

RH850/P1x

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコントローラ
RH850 ファミリ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) からVIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) からVIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して電源またはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態：電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序：内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号：当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、RH850/P1x の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示す RH850/P1x のハードウェア機能をユーザに理解していただくことを目的としています。

構成 RH850/P1x のユーザズマニュアルは、ハードウェア編（このマニュアル）と、ソフトウェア編「RH850G3M ユーザズマニュアル ソフトウェア編」（R01US0123J）の 2 冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU 機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング

ソフトウェア編

- ・概要
- ・プロセッサ・モデル
- ・レジスタ・リファレンス
- ・例外／割り込み
- ・メモリ管理
- ・命令リファレンス
- ・リセット
- ・付録

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通り RH850/P1x の機能を理解しようとするとき

→目次に従ってお読みください。

命令機能の詳細を理解しようとするとき

→別冊の「RH850G3M ユーザズマニュアル ソフトウェア編」（R01US0123J）を参照してください。

このマニュアルでは、「xxx レジスタの yyy ビット」を「xxx.yyy ビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ／アセンブラは正しく認識できませんので、注意してください。

凡例 データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記：xxx（端子，信号名称に上線）
メモリ・マップのアドレス：上部－上位，下部－下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記： 2進数 ... xxxx または xxxx_B
 10進数 ... xxxx
 16進数 ... xxxx_H
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： $2^{10} = 1024$
M（メガ）： $2^{20} = 1024^2$
G（ギガ）： $2^{30} = 1024^3$

レジスタの説明

各レジスタの説明には、レジスタのアクセス、アドレス、リセット後の値の説明、ビットの並びを示す図、ビットに設定する内容を説明する表があります。

下記にその例を示します。

(1) アクセス 32ビット単位でリード/ライト可能です。
 (2) アドレス <CSIGN_base> + 1010_H
 (3) リセット後の値 0000 0000_H

ビット 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGNPS[1:0]		CSIGNDLS[3:0]			—	—	—	—	—	—	CSIGNDIR	—	CSIGNDAP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W

ビット 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(4) (5) (6) (7) (8)

表 14.19 CSIGNCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																				
31, 30	予約ビット	ライトする場合はリセット後の値を書いてください。																				
29, 28	CSIGNPS[1:0]	パリティを指定します。 <table border="1"> <thead> <tr> <th>CSIGNPS1</th> <th>CSIGNPS0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIGNPS1	CSIGNPS0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIGNPS1	CSIGNPS0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27 ~ 24	CSIGNDLS [3:0]	データ長を指定します。 0: データ長を 16 ビットにします。 1: データ長を 1 ビットにします。 2: データ長を 2 ビットにします。 ... 15: データ長を 15 ビットにします。																				
23 ~ 19	予約ビット	ライト時はリセット後の値を設定してください。																				

(1) アクセス

レジスタのアクセス単位を示します。

(2) アドレス

レジスタのアドレスを示します。
 ベースアドレスは各章のベースアドレスを参照してください。

(3) リセット後の値（16進数表記）

レジスタの各ビットのリセット後の値を示します。
16進数表記では0～9、A～Fまたは不定値が含まれる場合Xで表記します。

(4) ビット位置

レジスタのビット番号を示します。
32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に、
8ビットレジスタの場合は7から0の順に示します。

(5) ビット名

レジスタのビット名またはフィールド名を示します。
フィールドでビット桁数を明示する必要があるときは、CSIGNDLS[3:0]のように桁数の表記を
追加します。
また、予約ビットの場合は「—」と表記します。

(6) リセット後の値（2進数表記）

レジスタの各ビットのリセット後の値を示します。

- 0：リセット後の値は0であることを示します。
- 1：リセット後の値は1であることを示します。
- ：リセット後の値は不定であることを示します。

(7) R/W

レジスタの各ビットのリード／ライト属性を示します。

- R/W：リードおよびライト可能なビットまたはフィールドです。
- R：リードが可能なビットまたはフィールドです。
ただし、予約ビットはすべて「R」と表記します。
ライト時は、ビット表で指定された値またはリセット後の値を書き込んでください。
- W：ライトが可能なビットまたはフィールドです。
リード時の値は不定です。ただし、ビット表に記載がある場合はその値が読み出されます。

(8) 機能

レジスタのビット機能について説明しています。

目次

第1章	概要	56
1.1	概説	56
1.2	応用分野	57
1.3	仕様概要	57
1.4	機能ブロック構成	59
1.4.1	内部ブロック図	59
第2章	端子	60
2.1	端子接続図	60
2.2	端子説明	67
2.2.1	概要	67
2.2.2	端子機能一覧	67
2.3	ポート機能	82
2.3.1	特長	82
2.3.2	概説	83
2.3.2.1	用語	83
2.3.2.2	端子機能概要	84
2.3.2.3	端子データ入力/出力	85
2.3.3	ポートタイプ	88
2.3.4	ポートグループコンフィグレーションレジスタ	90
2.3.4.1	概要	90
2.3.4.2	端子機能の設定	92
2.3.4.3	端子データ入力/出力	102
2.3.4.4	電気的特性の設定	108
2.3.4.5	端子単位のレジスタ	117
2.3.4.6	ポート設定のフローチャート例	119
2.3.5	機能選択	124
2.3.5.1	兼用機能使用時のレジスタ設定	124
2.3.5.2	直接 I/O 制御兼用モードで使用する兼用機能	124
2.3.5.3	アナログ入力端子使用時のレジスタ設定	125
2.3.5.4	入力バッファ制御 (PISA)	125
2.3.5.5	出力バッファ制御 (PDSC, PUCC)	127
2.4	ポートグループ構成	130
2.4.1	ポート機能	130
2.4.1.1	ポートレジスタ一覧	130
2.4.1.2	端子兼用機能一覧	143
2.4.1.3	ポート 0 (P0)	144
2.4.1.4	ポート 1 (P1)	145
2.4.1.5	ポート 2 (P2)	146
2.4.1.6	ポート 3 (P3)	147
2.4.1.7	ポート 4 (P4)	148
2.4.1.8	ポート 5 (P5)	149
2.4.1.9	ポート JP0 (JP0)	150
2.4.2	未使用端子処置	151
2.5	DNF	158
2.5.1	ノイズ除去例	158
2.6	ノイズフィルタ & エッジレベル検出回路	159
2.6.1	ポートフィルタの割り当て	159
2.6.2	フィルタタイプ	166

2.6.2.1	デジタルフィルタタイプ A (INTP/RXD 兼用) 入力端子	166
2.6.2.2	デジタルフィルタタイプ B (INTP/ESO 兼用) 入力端子	167
2.6.2.3	デジタルフィルタタイプ C (INTP9, NMI 用) 入力端子	168
2.6.2.4	デジタルフィルタタイプ D (SENT, PSI5 用) 入力端子	169
2.6.2.5	デジタルフィルタタイプ E (エッジ検出なし) 入力端子	170
2.6.2.6	デジタルフィルタタイプ F (エッジ検出なし) 入力端子	171
2.6.2.7	アナログフィルタ ANF 入力端子	171
2.6.3	レジスタ	172
2.6.3.1	レジスタ一覧	172
2.6.3.2	FCLAnCTLm — フィルタ制御レジスタ	173
2.6.3.3	DNFAnCTL — デジタルノイズ除去制御レジスタ	174
2.6.3.4	DNFAnEN — デジタルノイズ除去許可レジスタ	175
2.6.3.5	DNFAnENL — デジタルノイズ除去許可レジスタ L	175
2.6.3.6	DNFCKSnC — デジタルノイズ除去サンプリングクロックソース選択レジスタ	176
2.6.3.7	DNFCSCnSTAT — デジタルノイズ除去サンプリングクロックソースステータスレジスタ	177
2.6.4	デジタルノイズフィルタ使用時の注意事項	178
2.7	端子状態	179
第 3 章 CPU システム		182
3.1	概要	182
3.1.1	ブロック構成	182
3.2	CPU	184
3.2.1	コア機能	184
3.2.1.1	特長	184
3.2.1.2	レジスタセット	185
3.2.2	命令キャッシュ、データバッファ	225
3.2.2.1	特長	225
3.2.2.2	命令キャッシュ機能	226
3.2.2.3	データバッファ機能	227
3.2.3	信頼性機能	228
3.2.3.1	PE ガード機能 (PEG)	228
3.2.3.2	PE 内部周辺装置保護機能 (IPG)	234
3.2.3.3	システムエラー通知制御機能 (SEG)	241
3.2.3.4	Checker Core	247
3.3	プロセッサエレメント識別子	247
3.4	使用上の注意	248
3.4.1	ストア命令の完了と後続命令の同期化	248
3.4.2	ビット操作命令でのレジスタ・アクセス	249
3.4.3	CodeFlash 書き換え後のコヒーレンシ確保	249
3.4.4	多重例外受け付け時のコンテキストの上書き	249
3.4.5	プリフェッチに関する注意事項	250
3.4.6	レジスタセットの初期化	251
3.4.7	例外受け付け時の注意事項	251
第 4 章 アドレス空間		252
4.1	アドレス空間	252
4.2	各バスマスタから見たアドレス空間	253
4.2.1	命令フェッチ可能空間	253

4.2.2	PE1によるデータアクセス可能空間	253
4.2.3	DMA (DMAC、DTS)によるデータアクセス可能空間	253
4.2.4	H-Bus マスタによるデータアクセス可能空間	253
4.3	書き込み保護レジスタ	255
4.3.1	概要	255
4.3.1.1	機能概要	255
4.3.1.2	書き込み保護されたレジスタへの書き込み手順	255
4.3.1.3	書き込みシーケンス中の割り込み	256
4.3.1.4	書き込みシーケンス中のエミュレーションブレイク	257
4.3.1.5	書き込み保護対象レジスタ	257
4.3.2	レジスタ	260
4.3.2.1	レジスタ一覧	260
4.3.2.2	ポートレジスタ保護	261
4.3.2.3	コアボルテージモニタ (CVM) レジスタ保護	263
4.3.2.4	LVI/リセット/クロックコントローラ/BIST レジスタ保護	265
4.3.2.5	クロックモニタレジスタ保護	267
4.3.2.6	エラーコントロールモジュール (ECM) レジスタ保護	269
4.3.2.7	FLMDCNT レジスタ保護	272
第5章	動作モード	274
5.1	動作モード	274
5.2	レジスタ仕様	275
5.2.1	レジスタ一覧	275
5.2.2	MODER — 動作モード表示レジスタ	275
第6章	割り込み	276
6.1	概要	276
6.1.1	リセット要因	276
6.2	レジスタ仕様	277
6.2.1	レジスタ構成	277
6.2.2	EIC0 ~ EIC383 — EI レベル割り込み制御レジスタ 0 ~ 383	279
6.2.3	IMR0 ~ IMR11 — EI レベル割り込みマスクレジスタ 0 ~ 11	281
6.2.4	EIBD0 ~ EIBD383 — EI レベル割り込みバインドレジスタ 0 ~ 383	282
6.2.5	FNC — FE レベル NMI 制御レジスタ	283
6.2.6	FIC — FE レベル割り込み制御レジスタ	283
6.2.7	SINTR0 ~ SINTR4 — ソフトウェア割り込みレジスタ	284
6.2.8	PINT0 ~ PINT7, PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、 周辺割り込みステータスクリアレジスタ	285
6.2.9	FEINTF — FEINT 要因レジスタ	289
6.2.10	FEINTFC — FEINT 要因クリアレジスタ	290
6.3	割り込み要因	291
6.3.1	NMI 割り込み	291
6.3.2	INTPn 割り込み	291
6.3.3	ECM 割り込み	291
6.3.4	ソフトウェア割り込み	291
6.3.5	内蔵周辺モジュール割り込み	292
6.4	割り込み例外ハンドラと優先順位動作説明	293

6.5	動作説明	303
6.5.1	外部割り込み (NMI / INTP)	303
6.5.2	ソフトウェア割り込み	303
6.5.3	DTS 割り込みのマージ機能	303
6.5.4	割り込み処理フロー	304
6.5.4.1	NMI 処理フロー	304
6.5.4.2	外部割り込み処理フロー	305
6.5.4.3	ソフトウェア割り込み処理フロー	306
6.5.4.4	DTS 割り込み処理フロー	307
6.6	割り込み応答時間	309
6.7	割り込み要求信号によるデータ転送	309
第 7 章	DMA	310
7.1	概要	310
7.1.1	概要	310
7.1.2	リセット要因	310
7.1.3	語句の定義	311
7.2	DMA 機能	312
7.2.1	DMA 転送基本動作	312
7.2.1.1	転送モード	312
7.2.1.2	DMA サイクルの実行	312
7.2.1.3	転送情報の更新	312
7.2.1.4	最終転送とアドレスリロード転送	313
7.2.1.5	転送完了割り込み、転送回数一致割り込み出力	313
7.2.1.6	連続転送	314
7.2.2	チャネルの優先順位	316
7.2.2.1	DMAC チャネルアービトレーション	316
7.2.2.2	DTS チャネルアービトレーション	317
7.2.2.3	インタフェースアービトレーション	318
7.2.3	リロード機能	319
7.2.3.1	リロード機能の概要	319
7.2.3.2	リロード機能 1 の動作	319
7.2.3.3	リロード機能 2	320
7.2.3.4	DMAC のリロードレジスタ設定タイミング	322
7.2.3.5	DTS のリロード情報設定タイミング	322
7.2.4	チェイン機能	323
7.2.4.1	概要	323
7.2.4.2	チェイン動作の設定方法	324
7.2.4.3	チェイン機能使用時の注意	324
7.2.5	DMAC 動作	325
7.2.5.1	DMA 転送要求の種類と割り当て	325
7.2.5.2	ソフトウェア DMA 転送要求の発生と受け付け	325
7.2.6	DTS 動作	326
7.2.6.1	DMA 転送要求の種類と割り当て	326
7.2.6.2	DMA 転送要求の発生と受け付け	326
7.2.6.3	DMA 転送の実行	326
7.2.6.4	DTSRAM アクセス	327
7.3	一時中断・再開、転送中止および DMA 転送要求のクリア	328
7.3.1	ソフトウェア制御による DMA 一時中断・再開	328
7.3.2	DMAC チャネルの一時中断・再開および転送中止	328
7.3.3	DTS の一時中断・再開および転送中止	329

7.3.4	DTFR のハードウェア DMA 転送要求マスクおよびクリア	330
7.3.5	DTSFSL の DMA 転送要求マスクおよびクリア	331
7.3.6	一時中断・再開・転送中止機能一覧	331
7.4	エラー制御	332
7.4.1	エラーの種類	332
7.4.2	DMA 転送エラー	332
7.4.2.1	DMAC の DMA 転送エラー発生時の動作	332
7.4.2.2	DTS の DMA 転送エラー発生時の動作	332
7.4.3	DTSRAM エラー	333
7.5	信頼性機能	334
7.5.1	概要	334
7.5.2	レジスタアクセス保護機能	334
7.5.2.1	アクセス元マスタの識別	334
7.5.2.2	特殊マスタアクセス	334
7.5.2.3	一般マスタアクセス	334
7.5.2.4	チャンネル割り当て	335
7.5.2.5	違反アクセス	335
7.5.3	マスタ情報継承機能	336
7.5.4	その他の信頼性機能	336
7.5.4.1	チェーン先の制限	336
7.6	DMA 転送の設定手順	337
7.6.1	DMA 設定手順概要	337
7.6.2	DMA 全体動作設定手順	338
7.6.3	DMA チャンネル設定手順	338
7.6.3.1	DMAC チャンネル設定手順	339
7.6.3.2	DTS チャンネル設定手順	340
7.7	DMA トリガ要因	341
7.7.1	DMA トリガ要因一覧	341
7.8	DTS トリガ要因	345
7.8.1	DTS トリガ要因一覧	345
7.9	グローバルレジスタ	349
7.9.1	グローバルレジスタアドレス一覧	349
7.9.2	グローバルレジスタ詳細	351
7.9.2.1	DMACTL — DMA 制御レジスタ	351
7.9.2.2	DTSC1 — DTS 制御レジスタ 1	352
7.9.2.3	DTSC2 — DTS 制御レジスタ 2	353
7.9.2.4	DTSSTS — DTS 状態レジスタ	354
7.9.2.5	DMACER — DMAC エラーレジスタ	355
7.9.2.6	DTSER1 — DTS エラーレジスタ 1	356
7.9.2.7	DTSER2 — DTS エラーレジスタ 2	357
7.9.2.8	DTSERC — DTS エラークリアレジスタ	359
7.9.2.9	DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ	360
7.9.2.10	DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ	361
7.9.2.11	DTSCMV — DTS レジスタアクセス保護違反レジスタ	362
7.9.2.12	CMVC — レジスタアクセス保護違反クリアレジスタ	363
7.9.2.13	DTSPRn — DTS チャンネル優先順位設定 (n = 0 ~ 7)	364
7.9.2.14	DTRECCCTL — DTSRAM ECC コントロールレジスタ	368
7.9.2.15	DTRERINT — DTSRAM エラー通知コントロールレジスタ	369
7.9.2.16	DTRTSCCTL — DTSRAM テストコントロールレジスタ	370
7.9.2.17	DTRTWDAT — DTSRAM テスト書き込みデータレジスタ	371

7.9.2.18	DTRTRDAT — DTSRAM テスト読み出しデータレジスタ	372
7.9.2.19	DMnnCM — DMAC チャンネルマスタ設定 (nn = 00 ~ 07、10 ~ 17)	373
7.9.2.20	DTSnnnCM — DTS チャンネルマスタ設定レジスタ (nnn = 000 ~ 127)	374
7.10	DMAC チャンネルレジスタ	376
7.10.1	DMAC チャンネルレジスタアドレス	376
7.10.2	DMAC チャンネルレジスタ詳細	377
7.10.2.1	DSAn — DMAC ソースアドレスレジスタ	377
7.10.2.2	DDAn — DMAC デスティネーションアドレスレジスタ	378
7.10.2.3	DTCn — DMAC 転送回数レジスタ	379
7.10.2.4	DTCTn — DMAC 転送制御レジスタ	380
7.10.2.5	DRSAn — DMAC リロードソースアドレスレジスタ	383
7.10.2.6	DRDAn — DMAC リロードデスティネーションアドレスレジスタ	384
7.10.2.7	DRTCn — DMAC リロード転送回数レジスタ	385
7.10.2.8	DTCCn — DMAC 転送回数コンペアレジスタ	386
7.10.2.9	DCENn — DMAC チャンネル動作有効設定レジスタ	387
7.10.2.10	DCSTn — DMAC 転送ステータスレジスタ	388
7.10.2.11	DCSTSn — DMAC 転送ステータスセットレジスタ	390
7.10.2.12	DCSTCn — DMAC 転送ステータスクリアレジスタ	391
7.10.2.13	DTFRn — DTFR 設定レジスタ	392
7.10.2.14	DTFRRQn — DTFR 転送要求ステータスレジスタ	393
7.10.2.15	DTFRRQCn — DTFR 転送要求クリアレジスタ	394
7.11	DTS チャンネルレジスタ	395
7.11.1	DTS の転送情報 (TI)	395
7.11.1.1	TI 構成	395
7.11.1.2	DTSRAM 内の TI 配置	396
7.11.1.3	TI へのアクセス方法	397
7.11.1.4	TI アクセスの際の注意点	397
7.11.2	DTS チャンネルレジスタアドレス	398
7.11.3	DTS チャンネルレジスタ詳細	399
7.11.3.1	DTSAnnn — DTS ソースアドレスレジスタ	399
7.11.3.2	DTDAnnn — DTS デスティネーションアドレスレジスタ	400
7.11.3.3	DTTCnnn — DTS 転送回数レジスタ	401
7.11.3.4	DTTCTnnn — DTS 転送制御レジスタ	402
7.11.3.5	DTRSAnnn — DTS リロードソースアドレスレジスタ	405
7.11.3.6	DTRDAnnn — DTS リロードデスティネーションアドレスレジスタ	406
7.11.3.7	DTRTCnnn — DTS リロード転送回数レジスタ	407
7.11.3.8	DTTCCnnn — DTS 転送回数コンペアレジスタ	408
7.11.3.9	DTFSLnnn — DTSFSL 動作設定レジスタ	409
7.11.3.10	DTFSTnnn — DTSFSL 転送要求ステータスレジスタ	410
7.11.3.11	DTFSSnnn — DTSFSL 転送要求セットレジスタ	411
7.11.3.12	DTFSCnnn — DTSFSL 転送要求クリアレジスタ	412
第 8 章	リセット	413
8.1	特長	413
8.2	概要	414
8.2.1	リセット出力 (RESETOUT)	415
8.3	レジスタ仕様	416
8.3.1	レジスタ一覧	416
8.3.2	RESF — リセット要因判定レジスタ	417
8.3.3	RESFC — リセット要因クリアレジスタ	418
8.3.4	POF — パワーオンクリアフラグレジスタ	419
8.3.5	POFC — パワーオンクリアフラグクリアレジスタ	420

8.3.6	SWRESA — ソフトウェアリセット要求レジスタ	421
8.4	ソフトウェアリセット	422
8.5	使用上の注意	422
第 9 章	電源回路	423
9.1	特長	423
9.2	電源回路の構成	424
9.3	電源 IC の接続例	428
9.4	電源投入シーケンス	428
第 10 章	電源電圧モニタ	429
10.1	コアボルテージモニタ (CVM)	429
10.1.1	機能概要	429
10.1.2	ブロック図	429
10.1.3	自己診断機能	430
10.2	低電圧検出回路 (LVI)	434
10.2.1	LVI 基準電圧	434
10.2.2	LVI エラー信号 (LVIRE)	434
10.2.3	LVI の設定手順	435
10.3	パワーオンリセット (POCRES)	436
10.4	レジスタ	437
10.4.1	レジスタ一覧	437
10.4.2	CVMF — CVM 要因レジスタ	438
10.4.3	CVMFC — CVM 要因クリアレジスタ	439
10.4.4	CVMDE — CVM 検出許可レジスタ	440
10.4.5	CVMDEW — CVM 検出許可セットレジスタ	441
10.4.6	CVMDMASK — CVM 検出出力マスクレジスタ	442
10.4.7	CVMDIAG — CVM 診断機能制御レジスタ	443
10.4.8	CVMMON — CVM モニタレジスタ	444
10.4.9	CVMREN — CVM リセットイネーブルレジスタ	445
10.4.10	LVICNT — LVI 制御レジスタ	446
第 11 章	温度センサ	447
11.1	RH850/P1x の温度センサの概要	447
11.1.1	ユニット数	447
11.1.2	レジスタベースアドレス	447
11.1.3	クロック供給	447
11.1.4	リセット要因	447
11.2	概要	448
11.2.1	機能概要	448
11.2.2	ブロック図	448
11.3	レジスタ	449
11.3.1	レジスタ一覧	449
11.3.2	TSN0CR — 温度センサ制御レジスタ	449

11.3.3	TSN0STAT — 温度センサステータスレジスタ	450
11.3.4	TSN0DIAG — 温度センサ診断制御レジスタ	451
11.3.5	TSNREFD — 温度センサ基準温度格納レジスタ	452
11.4	機能	453
11.4.1	温度測定	453
11.4.2	温度異常通知機能	454
11.4.3	自己診断機能	454
11.5	温度の計算	455
第 12 章	クロックコントローラ	456
12.1	特長	456
12.2	クロック種類	456
12.3	入出力端子	458
12.3.1	水晶振動子の接続方法	458
12.3.2	ボード設計上の注意	458
12.4	クロック出力機能	459
12.4.1	特長	459
12.4.2	構成	459
12.4.3	レジスタ仕様	460
12.4.3.1	CKSCnCTL — クロック選択制御レジスタ n (n = 0, 1)	461
12.4.3.2	CSCnSTAT — クロック選択ステータスレジスタ n (n = 0, 1)	462
12.4.3.3	CLKDnDIV — クロック分周レジスタ n (n = 0, 1)	463
12.4.3.4	CLKDnSTAT — クロックステータスレジスタ n (n = 0, 1)	464
12.4.3.5	ADCKSC0CTL — A/D クロック選択制御レジスタ 0	465
12.4.3.6	ADCSC0STAT — A/D クロック選択ステータスレジスタ 0	466
12.5	動作説明	467
12.5.1	EXTCLKnO クロック分周機能使用時の動作説明	467
第 13 章	クロック同期シリアルインタフェース G (CSIG)	468
13.1	RH850/P1x CSIG の特長	468
13.1.1	ユニット数	468
13.1.2	レジスタベースアドレス	468
13.1.3	クロック供給	468
13.1.4	割り込み要求	469
13.1.5	リセット要因	469
13.1.6	外部入出力信号	469
13.1.7	データ整合性チェック	469
13.1.8	端子名とポート名の組み合わせ	470
13.2	概要	471
13.2.1	機能概要	471
13.2.2	機能概要説明	471
13.2.3	ブロック図	472
13.3	レジスタ	473
13.3.1	レジスタ一覧	473
13.3.2	CSIGnCTL0 — CSIGn 制御レジスタ 0	474

13.3.3	CSIGnCTL1 — CSIGn 制御レジスタ 1	475
13.3.4	CSIGnCTL2 — CSIGn 制御レジスタ 2	477
13.3.5	CSIGnSTR0 — CSIGn ステータスレジスタ 0	478
13.3.6	CSIGnSTCR0 — CSIGn ステータスクリアレジスタ 0	480
13.3.7	CSIGnBCTL0 — CSIGn 受信専用モード制御レジスタ 0	481
13.3.8	CSIGnCFG0 — CSIGn コンフィグレーションレジスタ 0	482
13.3.9	CSIGnTX0W — ワードアクセス用 CSIGn 送信レジスタ 0	484
13.3.10	CSIGnTX0H — ハーフワードアクセス用 CSIGn 送信レジスタ 0	485
13.3.11	CSIGnRX0 — CSIGn 受信レジスタ 0	485
13.3.12	注意事項の一覧	486
13.4	割り込み要因	487
13.4.1	割り込みの遅延	487
13.4.2	INTCSIG0IC (通信ステータス割り込み)	488
13.4.3	INTCSIG0IR (受信ステータス割り込み)	489
13.4.4	INTCSIG0IRE (通信エラー割り込み)	489
13.5	動作	490
13.5.1	マスタ/スレーブモード	490
13.5.1.1	マスタモード	490
13.5.1.2	スレーブモード	491
13.5.2	マスタ/スレーブの接続	491
13.5.2.1	マスタ 1、スレーブ 1 の場合	491
13.5.3	送信クロックの選択	492
13.5.4	データ転送モード	493
13.5.4.1	送信専用モード	493
13.5.4.2	受信専用モード	493
13.5.4.3	送受信モード	493
13.5.5	データ長の選択	494
13.5.5.1	データ長が拡張されていない場合のデータ長の選択	494
13.5.5.2	データ長が拡張されている場合のデータ長の選択	494
13.5.6	シリアルデータ方向選択機能	496
13.5.7	スレーブモードでの通信	497
13.5.8	ハンドシェイク機能	498
13.5.8.1	スレーブモード	498
13.5.8.2	マスタモード	499
13.5.9	ループバックモード	500
13.5.10	エラー検出	501
13.5.10.1	データ整合性チェック	501
13.5.10.2	パリティチェック	502
13.5.10.3	オーバランエラー	503
13.6	操作手順	505
13.6.1	DMA によるマスタモード送受信	505
第 14 章 クロック同期シリアルインタフェース H (CSIH)		507
14.1	RH850/P1x CSIH の特長	507
14.1.1	ユニット数	507
14.1.2	レジスタベースアドレス	508
14.1.3	クロック供給	508
14.1.4	割り込み要求	509

14.1.5	リセット要因	509
14.1.6	外部入出力信号	510
14.1.7	データ整合性チェック	511
14.1.8	端子名とポート名の組み合わせ	512
14.2	概要	514
14.2.1	機能概要	514
14.2.2	機能概要説明	515
14.2.3	ブロック図	516
14.3	レジスタ	517
14.3.1	レジスタ一覧	517
14.3.2	CSIHnCTL0 — CSIHn 制御レジスタ 0	518
14.3.3	CSIHnCTL1 — CSIHn 制御レジスタ 1	519
14.3.4	CSIHnCTL2 — CSIHn 制御レジスタ 2	522
14.3.5	CSIHnSTR0 — CSIHn ステータスレジスタ 0	524
14.3.6	CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0	528
14.3.7	CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0	529
14.3.8	CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1	530
14.3.9	CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2	531
14.3.10	CSIHnMRWP0 — CSIHn メモリ読み出し／書き込みポインタレジスタ 0	533
14.3.11	CSIHnCFGx — CSIHn コンフィグレーションレジスタ x	535
14.3.12	CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0	540
14.3.13	CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0	542
14.3.14	CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0	543
14.3.15	CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0	544
14.3.16	CSIHnBRSy — CSIHn ボーレート設定レジスタ y (y = 0 ~ 3)	545
14.3.17	SELCSIHDMA — CSIH DMA 選択レジスタ	546
14.3.18	注意事項の一覧	548
14.4	割り込み要因	551
14.4.1	概要	551
14.4.2	割り込み遅延	552
14.4.3	INTCSIHnIC (通信ステータス割り込み)	553
14.4.3.1	ダイレクトアクセスモードでの INTCSIHnIC	554
14.4.3.2	FIFO モードでの INTCSIHnIC	555
14.4.3.3	ジョブモードでの INTCSIHnIC	556
14.4.4	INTCSIHnIR (受信ステータス割り込み)	557
14.4.4.1	ダイレクトアクセスモードでの INTCSIHnIR	557
14.4.4.2	デュアルバッファモードでの INTCSIHnIR	558
14.4.5	INTCSIHnIRE (受信エラー割り込み)	559
14.4.6	INTCSIHnIJC (ジョブ完了割り込み)	560
14.5	動作	561
14.5.1	動作モード (マスタ/スレーブ)	561
14.5.1.1	マスタモード	561
14.5.1.2	スレーブモード	562
14.5.2	マスタ/スレーブの接続	563
14.5.2.1	マスタ 1、スレーブ 1 の場合	563
14.5.2.2	マスタ 1、スレーブ複数の場合	563
14.5.3	チップセレクト (CS) 機能	565

第 15 章	シリアルコミュニケーションインタフェース 3 (SCI3)	619
15.1	概要	619
15.1.1	ユニット数とチャネル数	619
15.1.2	レジスタベースアドレス	620
15.1.3	クロック供給	620
15.1.4	割込み要求	620
15.1.5	リセット要因	621
15.1.6	外部入出力信号	621
15.1.7	端子名とポート名の組み合わせ	622
15.2	機能の概要	623
15.2.1	シリアル通信方式	623
15.2.2	ブロック図	624
15.3	レジスタの説明	625
15.3.1	SCI3nRSR — レシーブシフトレジスタ	626
15.3.2	SCI3nRDR — レシーブデータレジスタ	626
15.3.3	SCI3nTDR — トランスミットデータレジスタ	626
15.3.4	SCI3nTSR — トランスミットシフトレジスタ	626
15.3.5	SCI3nSMR — シリアルモードレジスタ	627
15.3.6	SCI3nSCR — シリアルコントロールレジスタ	628
15.3.7	SCI3nSSR — シリアルステータスレジスタ	630
15.3.8	SCI3nSCMR — シリアル通信フォーマットレジスタ	632
15.3.9	SCI3nSEMR — シリアル拡張モードレジスタ	633
15.3.10	SCI3nBRR — ビットレートレジスタ	634
15.3.11	SCI3nMDDR — モジュレーションデューティレジスタ	637
15.4	調歩同期式モードの動作	638
15.4.1	送受信フォーマット	639
15.4.2	受信データサンプリングタイミングと受信マージン	640
15.4.3	クロック	641
15.4.4	倍速動作	641
15.4.5	SCI3 の初期化 (調歩同期式)	642
15.4.6	シリアルデータ送信 (調歩同期式)	643
15.4.7	シリアルデータ受信 (調歩同期式)	646
15.5	マルチプロセッサ通信機能	650
15.5.1	概要と接続例	650
15.5.2	マルチプロセッサシリアルデータ送信	651
15.5.3	マルチプロセッサシリアルデータ受信	652
15.6	クロック同期式モードの動作	656
15.6.1	クロック	656
15.6.2	SCI3 の初期化 (クロック同期式)	657
15.6.3	シリアルデータ送信 (クロック同期式)	658
15.6.4	シリアルデータ受信 (クロック同期式)	661
15.6.5	シリアルデータ送受信同時動作 (クロック同期式)	663
15.7	ビットレートモジュレーション機能	665
15.8	割り込み要因	666

15.9	使用上の注意事項	667
15.9.1	ブレークの検出と処理	667
15.9.2	マーク状態とブレーク送出	667
15.9.3	クロック同期式モードの受信エラーフラグと送信動作	667
15.9.4	SCI3nTDR へのライトと TDRE フラグの関係	667
15.9.5	クロック同期式モード送信での外部クロック使用の制約事項	668
15.9.6	クロック同期式モードの外部クロック入力	668
第 16 章 LIN/UART インタフェース (RLIN3)		669
16.1	RH850/P1x RLIN3 の特長	669
16.1.1	ユニット数とチャネル数	669
16.1.2	レジスタベースアドレス	670
16.1.3	クロック供給	670
16.1.4	割り込み要求	670
16.1.5	リセット要因	670
16.1.6	外部入出力信号	671
16.1.7	端子名とポート名の組み合わせ	671
16.2	概要	672
16.2.1	機能概要	672
16.2.2	ブロック図	675
16.2.3	ブロック図の説明	675
16.3	レジスタ	676
16.3.1	レジスタ一覧	676
16.3.2	LIN マスタ関連レジスタ	677
16.3.2.1	RLN3nLWBR — LIN ウェイクアップポーレート選択レジスタ	677
16.3.2.2	RLN3nLBRP0 — LIN ポーレートプリスケラ 0 レジスタ	678
16.3.2.3	RLN3nLBRP1 — LIN ポーレートプリスケラ 1 レジスタ	679
16.3.2.4	RLN3nLSTC — LIN セルフテスト制御レジスタ	680
16.3.2.5	RLN3nLMD — LIN モードレジスタ	681
16.3.2.6	RLN3nLBFC — LIN ブレークフィールド設定レジスタ	683
16.3.2.7	RLN3nLSC — LIN スペース設定レジスタ	684
16.3.2.8	RLN3nLWUP — LIN ウェイクアップ設定レジスタ	685
16.3.2.9	RLN3nLIE — LIN 割り込み許可レジスタ	686
16.3.2.10	RLN3nLEDE — LIN エラー検出許可レジスタ	688
16.3.2.11	RLN3nLCUC — LIN 制御レジスタ	690
16.3.2.12	RLN3nLTRC — LIN 送信制御レジスタ	691
16.3.2.13	RLN3nLMST — LIN モードステータスレジスタ	692
16.3.2.14	RLN3nLST — LIN ステータスレジスタ	693
16.3.2.15	RLN3nLEST — LIN エラーステータスレジスタ	695
16.3.2.16	RLN3nLDFC — LIN データフィールド設定レジスタ	697
16.3.2.17	RLN3nLIDB — LIN ID バッファレジスタ	699
16.3.2.18	RLN3nLCBR — LIN チェックサムバッファレジスタ	700
16.3.2.19	RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1 ~ 8)	701
16.3.3	UART 関連レジスタ	703
16.3.3.1	RLN3nLWBR — LIN ウェイクアップポーレート選択レジスタ	703
16.3.3.2	RLN3nLBRP01 — UART ポーレートプリスケラ 01 レジスタ	704
16.3.3.3	RLN3nLMD — UART モードレジスタ	705
16.3.3.4	RLN3nLBFC — UART 設定レジスタ	706
16.3.3.5	RLN3nLSC — UART スペース設定レジスタ	708
16.3.3.6	RLN3nLEDE — UART エラー検出許可レジスタ	709

16.3.3.7	RLN3nLCUC — UART 制御レジスタ	710
16.3.3.8	RLN3nLTRC — UART 送信制御レジスタ	711
16.3.3.9	RLN3nLMST — UART モードステータスレジスタ	712
16.3.3.10	RLN3nLST — UART ステータスレジスタ	713
16.3.3.11	RLN3nLEST — UART エラーステータスレジスタ	715
16.3.3.12	RLN3nLDFC — UART データフィールド設定レジスタ	717
16.3.3.13	RLN3nLIDB — UART ID バッファレジスタ	718
16.3.3.14	RLN3nLUDB0 — UART データバッファ 0 レジスタ	718
16.3.3.15	RLN3nLDBRb — UART データバッファ b レジスタ (b = 1 ~ 8)	719
16.3.3.16	RLN3nLUOER — UART オペレーション許可レジスタ	720
16.3.3.17	RLN3nLUOR1 — UART オプションレジスタ 1	721
16.3.3.18	RLN3nLUTDR — UART 送信データレジスタ	723
16.3.3.19	RLN3nLURDR — UART 受信データレジスタ	724
16.3.3.20	RLN3nLUWTD — UART ウェイト用送信データレジスタ	725
16.4	割り込み要因	726
16.5	モード	727
16.6	LIN リセットモード	729
16.7	LIN モード	730
16.7.1	LIN マスタモード	732
16.7.1.1	ヘッダ送信	732
16.7.1.2	レスポンス送信	733
16.7.1.3	レスポンス受信	734
16.7.2	データ送信/受信	735
16.7.2.1	データ送信	735
16.7.2.2	データ受信	736
16.7.3	送信/受信データのバッファ処理	737
16.7.3.1	LIN フレームの送信	737
16.7.3.2	LIN フレームの受信	738
16.7.3.3	多バイトレスポンス送受信機能	739
16.7.4	ウエイクアップ送信/受信	740
16.7.4.1	ウエイクアップ送信動作	740
16.7.4.2	ウエイクアップ受信動作	741
16.7.4.3	ウエイクアップ衝突	741
16.7.5	ステータス	742
16.7.6	エラーステータス	743
16.7.6.1	LIN マスタモード	743
16.8	UART モード	745
16.8.1	送信	745
16.8.1.1	連続送信	746
16.8.1.2	UART バッファ送信	747
16.8.1.3	データ送信	749
16.8.1.4	送信開始ウェイト機能	750
16.8.2	受信	751
16.8.2.1	データ受信	752
16.8.3	拡張ビット	753
16.8.3.1	拡張ビット送信	753
16.8.3.2	拡張ビット受信	753
16.8.3.3	拡張ビット受信 (拡張ビット比較あり)	754
16.8.3.4	拡張ビット受信 (データ比較あり)	755
16.8.4	ステータス	756
16.8.5	エラーステータス	757
16.9	LIN セルフテストモード	758

16.9.1	LIN セルフテストモードへの移行	760
16.9.2	LIN マスタ セルフテストモードにおける送信	761
16.9.3	LIN マスタ セルフテストモードにおける受信	762
16.9.4	LIN セルフテストモード終了	763
16.10	ポーレートジェネレータ	764
16.10.1	LIN マスタモード	764
16.10.2	UART モード	766
16.11	ノイズフィルタ	767
第 17 章 CAN インタフェース (RS-CAN)		769
17.1	RH850/P1x RS-CAN の特長	769
17.1.1	ユニット数とチャンネル数	769
17.1.2	レジスタベースアドレス	770
17.1.3	クロック供給	770
17.1.4	割り込み要求	771
17.1.5	リセット要因	771
17.1.6	外部入出力信号	771
17.1.7	端子名とポート名の組み合わせ	772
17.2	概要	773
17.2.1	機能概要	773
17.2.2	ブロック図	775
17.3	レジスタ	776
17.3.1	レジスタ一覧	776
17.3.2	RSCAN0CmCFG — チャンネルコンフィグレーションレジスタ (m = 0 ~ 2)	795
17.3.3	RSCAN0CmCTR — チャンネル制御レジスタ (m = 0 ~ 2)	797
17.3.4	RSCAN0CmSTS — チャンネルステータスレジスタ (m = 0 ~ 2)	802
17.3.5	RSCAN0CmERFL — チャンネルエラーフラグレジスタ (m = 0 ~ 2)	804
17.3.6	RSCAN0GCFG — グローバルコンフィグレーションレジスタ	808
17.3.7	RSCAN0GCTR — グローバル制御レジスタ	811
17.3.8	RSCAN0GSTS — グローバルステータスレジスタ	813
17.3.9	RSCAN0GERFL — グローバルエラーフラグレジスタ	815
17.3.10	RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0	817
17.3.11	RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ	820
17.3.12	RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ	821
17.3.13	RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0	822
17.3.14	RSCAN0GAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)	823
17.3.15	RSCAN0GAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)	825
17.3.16	RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)	826
17.3.17	RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)	828
17.3.18	RSCAN0RMNB — 受信バッファナンバレジスタ	829
17.3.19	RSCAN0RMNDy — 受信バッファ新データレジスタ y (y = 0,1)	830
17.3.20	RSCAN0RMIDq — 受信バッファ ID レジスタ (q = 0 ~ 47) 注	831
17.3.21	RSCAN0RMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 47) 注	832
17.3.22	RSCAN0RMDf0q — 受信バッファデータフィールド 0 レジスタ (q = 0 ~ 47) 注	833
17.3.23	RSCAN0RMDf1q — 受信バッファデータフィールド 1 レジスタ (q = 0 ~ 47) 注	834

17.3.24	RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)	835
17.3.25	RSCAN0RFSTSc — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)	837
17.3.26	RSCAN0RFPCTR _x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)	839
17.3.27	RSCAN0RFID _x — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)	840
17.3.28	RSCAN0RFPTR _x — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)	841
17.3.29	RSCAN0RFDF0 _x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)	842
17.3.30	RSCAN0RFDF1 _x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)	843
17.3.31	RSCAN0CFCC _k — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 8) 注	844
17.3.32	RSCAN0CFSTSc _k — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 8) 注	848
17.3.33	RSCAN0CFPCTR _k — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 8) 注	851
17.3.34	RSCAN0CFID _k — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 8) 注	853
17.3.35	RSCAN0CFPTR _k — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 8) 注	855
17.3.36	RSCAN0CFDF0 _k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 8) 注	857
17.3.37	RSCAN0CFDF1 _k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ (k = 0 ~ 8) 注	858
17.3.38	RSCAN0FESTS — FIFO エンプティステータスレジスタ	859
17.3.39	RSCAN0FFSTS — FIFO フルステータスレジスタ	861
17.3.40	RSCAN0FMSTS — FIFO メッセージロスステータスレジスタ	863
17.3.41	RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ	865
17.3.42	RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータス レジスタ	866
17.3.43	RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータス レジスタ	867
17.3.44	RSCAN0TMC _p — 送信バッファ制御レジスタ (p = 0 ~ 47) 注	868
17.3.45	RSCAN0TMST _{Sp} — 送信バッファステータスレジスタ (p = 0 ~ 47) 注	870
17.3.46	RSCAN0TMTRST _{Sy} — 送信バッファ送信要求ステータスレジスタ y (y = 0,1)	872
17.3.47	RSCAN0TMTARST _{Sy} — 送信バッファ送信アポート要求ステータスレジスタ y (y = 0,1)	874
17.3.48	RSCAN0TMTCAST _{Sy} — 送信バッファ送信完了ステータスレジスタ y (y=0,1)	876
17.3.49	RSCAN0TMTAST _{Sy} — 送信バッファ送信アポートステータスレジスタ y (y = 0,1)	878
17.3.50	RSCAN0TMIEC _y — 送信バッファ割り込みイネーブルコンフィグレーション レジスタ y (y = 0,1)	880
17.3.51	RSCAN0TMID _p — 送信バッファ ID レジスタ (p = 0 ~ 47) 注	882
17.3.52	RSCAN0TMPTR _p — 送信バッファポインタレジスタ (p = 0 ~ 47) 注	884
17.3.53	RSCAN0TMDF0 _p — 送信バッファデータフィールド 0 レジスタ (p = 0 ~ 47) 注	886
17.3.54	RSCAN0TMDF1 _p — 送信バッファデータフィールド 1 レジスタ (p = 0 ~ 47) 注	887
17.3.55	RSCAN0TXQCC _m — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 2) ..	888
17.3.56	RSCAN0TXQST _{Sm} — 送信キューステータスレジスタ (m = 0 ~ 2)	890
17.3.57	RSCAN0TXQPCTR _m — 送信キューポインタ制御レジスタ (m = 0 ~ 2)	892
17.3.58	RSCAN0THLCC _m — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 2)	893
17.3.59	RSCAN0THLST _{Sm} — 送信履歴ステータスレジスタ (m = 0 ~ 2)	895
17.3.60	RSCAN0THLACC _m — 送信履歴アクセスレジスタ (m = 0 ~ 2)	897
17.3.61	RSCAN0THLPCTR _m — 送信履歴ポインタ制御レジスタ (m = 0 ~ 2)	898

17.3.62	RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ	899
17.3.63	RSCAN0GTSTCTR — グローバルテスト制御レジスタ	900
17.3.64	RSCAN0GLOCKK — グローバルロックキーレジスタ	901
17.3.65	RSCAN0RPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63).....	902
17.4	割り込み要因	903
17.5	CAN モード	906
17.5.1	グローバルモード	906
17.5.1.1	グローバルストップモード	908
17.5.1.2	グローバルリセットモード	908
17.5.1.3	グローバルテストモード	908
17.5.1.4	グローバル動作モード	908
17.5.2	チャンネルモード	909
17.5.2.1	チャンネルストップモード	910
17.5.2.2	チャンネルリセットモード	910
17.5.2.3	チャンネル待機モード	910
17.5.2.4	チャンネル通信モード	911
17.5.2.5	バスオフ状態	912
17.6	受信機能	914
17.6.1	受信ルールテーブルを用いたデータ処理	914
17.6.1.1	アクセプタンスフィルタ処理	915
17.6.1.2	DLC フィルタ処理	915
17.6.1.3	ルーティング処理	916
17.6.1.4	ラベル付加処理	916
17.6.1.5	ミラー機能の処理	916
17.6.1.6	タイムスタンプ	916
17.7	送信機能	918
17.7.1	送信の優先順位判定	919
17.7.2	送信バッファを用いた送信	919
17.7.2.1	送信アポート機能	919
17.7.2.2	ワンショット送信機能 (再送信禁止機能)	919
17.7.3	FIFO バッファによる送信	920
17.7.3.1	インターバル送信機能	920
17.7.4	送信キューによる送信	922
17.7.5	送信履歴機能	923
17.8	ゲートウェイ機能	924
17.9	テスト機能	925
17.9.1	標準テストモード	925
17.9.2	リッスンオンリモード	925
17.9.3	セルフテストモード (ループバックモード)	926
17.9.3.1	セルフテストモード 0 (外部ループバックモード)	926
17.9.3.2	セルフテストモード 1 (内部ループバックモード)	926
17.9.4	RAM テスト	927
17.9.5	チャンネル間通信テスト	927
17.10	RS-CAN の設定手順	928
17.10.1	初期設定	928
17.10.1.1	クロックの設定	929
17.10.1.2	ビットタイミングの設定	929
17.10.1.3	通信速度の設定	930
17.10.1.4	受信ルールの設定	931
17.10.1.5	バッファの設定	932

17.10.2	受信手順	934
17.10.2.1	受信バッファの読み出し手順	934
17.10.2.2	FIFO バッファの読み出し手順	936
17.10.3	送信手順	939
17.10.3.1	送信バッファからの送信手順	939
17.10.3.2	送受信 FIFO バッファからの送信手順	943
17.10.3.3	送信キューからの送信手順	947
17.10.3.4	送信履歴バッファの読み出し手順	947
17.10.4	テスト設定	948
17.10.4.1	セルフテストモードの設定手順	948
17.10.4.2	プロテクト解除手順	949
17.10.4.3	RAM テストの設定手順	950
17.10.4.4	チャンネル間通信テストの設定手順	951
17.11	RS-CAN モジュールの注意事項	952

第 18 章 FlexRay (FLXA) 953

18.1	RH850/P1x の FlexRay の概要	953
18.1.1	チャンネル数とユニット数	953
18.1.2	レジスタベースアドレス	953
18.1.3	クロック供給	954
18.1.4	割り込み	954
18.1.5	リセット要因	954
18.1.6	入出力信号	954
18.1.7	端子名とポート名の組み合わせ	955
18.1.8	機能	956
18.1.9	ブロック図	957
18.2	レジスタ	960
18.2.1	レジスタマップ	960
18.2.2	FlexRay 動作レジスタ	963
18.2.2.1	FLXAnFROC — FlexRay 動作制御レジスタ	963
18.2.2.2	FLXAnFROS — FlexRay 動作ステータスレジスタ	966
18.2.3	特殊レジスタ	968
18.2.3.1	FLXAnFRLCK — FlexRay ロックレジスタ	968
18.2.4	割り込み関連レジスタ	969
18.2.4.1	FLXAnFREIR — FlexRay エラー割り込みレジスタ	969
18.2.4.2	FLXAnFRSIR — FlexRay ステータス割り込みレジスタ	975
18.2.4.3	FLXAnFREILS — FlexRay エラー割り込み出力選択レジスタ	981
18.2.4.4	FLXAnFRSILS — FlexRay ステータス割り込み出力選択レジスタ	983
18.2.4.5	FLXAnFREIES — FlexRay エラー割り込み許可レジスタ	985
18.2.4.6	FLXAnFREIER — FlexRay エラー割り込み禁止レジスタ	987
18.2.4.7	FLXAnFRSIES — FlexRay ステータス割り込み許可レジスタ	989
18.2.4.8	FLXAnFRSIER — FlexRay ステータス割り込み禁止レジスタ	991
18.2.4.9	FLXAnFRILE — FlexRay 割り込み出力許可レジスタ	993
18.2.5	FlexRay タイマレジスタ	994
18.2.5.1	FLXAnFRT0C — FlexRay タイマ 0 設定レジスタ	994
18.2.5.2	FLXAnFRT1C — FlexRay タイマ 1 設定レジスタ	996
18.2.5.3	FLXAnFRT2C — FlexRay タイマ 2 設定レジスタ	998
18.2.5.4	FLXAnFRSTPW1 — FlexRay ストップウォッチレジスタ 1	1000
18.2.5.5	FLXAnFRSTPW2 — FlexRay ストップウォッチレジスタ 2	1003
18.2.6	CC 制御レジスタ	1004
18.2.6.1	FLXAnFRSUCC1 — FlexRay SUC 設定レジスタ 1	1004

18.2.6.2	FLXAnFRSUC2 — FlexRay SUC 設定レジスタ 2	1012
18.2.6.3	FLXAnFRSUC3 — FlexRay SUC 設定レジスタ 3	1014
18.2.6.4	FLXAnFRNEMC — FlexRay NEM 設定レジスタ	1016
18.2.6.5	FLXAnFRPRTC1 — FlexRay PRT 設定レジスタ 1	1017
18.2.6.6	FLXAnFRPRTC2 — FlexRay PRT 設定レジスタ 2	1020
18.2.6.7	FLXAnFRMHDC — FlexRay MHD 設定レジスタ	1022
18.2.6.8	FLXAnFRGTUC1 — FlexRay GTU 設定レジスタ 1	1023
18.2.6.9	FLXAnFRGTUC2 — FlexRay GTU 設定レジスタ 2	1024
18.2.6.10	FLXAnFRGTUC3 — FlexRay GTU 設定レジスタ 3	1025
18.2.6.11	FLXAnFRGTUC4 — FlexRay GTU 設定レジスタ 4	1027
18.2.6.12	FLXAnFRGTUC5 — FlexRay GTU 設定レジスタ 5	1029
18.2.6.13	FLXAnFRGTUC6 — FlexRay GTU 設定レジスタ 6	1031
18.2.6.14	FLXAnFRGTUC7 — FlexRay GTU 設定レジスタ 7	1032
18.2.6.15	FLXAnFRGTUC8 — FlexRay GTU 設定レジスタ 8	1033
18.2.6.16	FLXAnFRGTUC9 — FlexRay GTU 設定レジスタ 9	1034
18.2.6.17	FLXAnFRGTUC10 — FlexRay GTU 設定レジスタ 10	1036
18.2.6.18	FLXAnFRGTUC11 — FlexRay GTU 設定レジスタ 11	1037
18.2.7	CC ステータスレジスタ	1039
18.2.7.1	FLXAnFRCCSV — FlexRay CC ステータスベクタレジスタ	1039
18.2.7.2	FLXAnFRCCV — FlexRay CC エラーベクタレジスタ	1044
18.2.7.3	FLXAnFRSCV — FlexRay スロットカウンタ値レジスタ	1046
18.2.7.4	FLXAnFRMTCCV — FlexRay MT 値 / サイクルカウンタ値レジスタ	1047
18.2.7.5	FLXAnFRRCV — FlexRay レート補正值レジスタ	1048
18.2.7.6	FLXAnFROCV — FlexRay オフセット補正值レジスタ	1049
18.2.7.7	FLXAnFRSFS — FlexRay Sync フレームステータスレジスタ	1050
18.2.7.8	FLXAnFRSWNIT — FlexRay シンボルウィンドウ / NIT ステータスレジスタ	1053
18.2.7.9	FLXAnFRACS — FlexRay チャネルステータス集計レジスタ	1056
18.2.7.10	FLXAnFRESIDm — FlexRay 偶数 Sync ID レジスタ m (m = 1 ~ 15)	1060
18.2.7.11	FLXAnFROSIDm — FlexRay 奇数 Sync ID レジスタ m (m = 1 ~ 15)	1062
18.2.7.12	FLXAnFRNMVm — FlexRay ネットワーク管理ベクタレジスタ m (m = 1 ~ 3)	1064
18.2.8	メッセージバッファ制御レジスタ	1065
18.2.8.1	FLXAnFRMRC — FlexRay メッセージ RAM 設定レジスタ	1065
18.2.8.2	FLXAnFRFRF — FlexRay FIFO リジェクションフィルタレジスタ	1069
18.2.8.3	FLXAnFRFRFM — FlexRay FIFO リジェクションフィルタマスクレジスタ	1071
18.2.8.4	FLXAnFRFCL — FlexRay FIFO クリティカルレベルレジスタ	1072
18.2.9	メッセージバッファステータスレジスタ	1073
18.2.9.1	FLXAnFRMHDS — FlexRay メッセージハンドラステータスレジスタ	1073
18.2.9.2	FLXAnFRLDTS — FlexRay 最終ダイナミック送信スロットレジスタ	1076
18.2.9.3	FLXAnFRFSR — FlexRay FIFO ステータスレジスタ	1077
18.2.9.4	FLXAnFRMHDF — FlexRay メッセージハンドラ制限フラグレジスタ	1079
18.2.9.5	FLXAnFRTXRQm — FlexRay 送信要求レジスタ m (m = 1 ~ 4)	1083
18.2.9.6	FLXAnFRNDATm — FlexRay 新データレジスタ m (m = 1 ~ 4)	1084
18.2.9.7	FLXAnFRMBSCm — FlexRay メッセージバッファステータス変化レジスタ m (m = 1 ~ 4)	1085
18.2.10	入力バッファ	1086
18.2.10.1	FLXAnFRWRDSm — FlexRay データセクションライトレジスタ m (m = 1 ~ 64)	1087
18.2.10.2	FLXAnFRWRHS1 — FlexRay ヘッダセクションライトレジスタ 1	1088
18.2.10.3	FLXAnFRWRHS2 — FlexRay ヘッダセクションライトレジスタ 2	1092
18.2.10.4	FLXAnFRWRHS3 — FlexRay ヘッダセクションライトレジスタ 3	1093
18.2.10.5	FLXAnFRIBCM — FlexRay 入力バッファコマンドマスクレジスタ	1094
18.2.10.6	FLXAnFRIBCR — FlexRay 入力バッファコマンド要求レジスタ	1096
18.2.11	出力バッファ	1098
18.2.11.1	FLXAnFRRDDSm — FlexRay データセクションリードレジスタ m (m = 1 ~ 64)	1098
18.2.11.2	FLXAnFRRDHS1 — FlexRay ヘッダセクションリードレジスタ 1	1099

18.2.11.3	FLXAnFRRDHS2 — FlexRay ヘッドセクションリードレジスタ 2	1101
18.2.11.4	FLXAnFRRDHS3 — FlexRay ヘッドセクションリードレジスタ 3	1103
18.2.11.5	FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ	1105
18.2.11.6	FLXAnFROBCM — FlexRay 出力バッファコマンドマスクレジスタ	1111
18.2.11.7	FLXAnFROBCR — FlexRay 出力バッファコマンド要求レジスタ	1113
18.2.12	データ転送制御レジスタ	1116
18.2.12.1	FLXAnFRITC — FlexRay 入力転送設定レジスタ	1116
18.2.12.2	FLXAnFROTC — FlexRay 出力転送設定レジスタ	1118
18.2.12.3	FLXAnFRIBA — FlexRay 入力ポインタテーブルベースアドレスレジスタ	1121
18.2.12.4	FLXAnFRFBA — FlexRay FIFO ポインタテーブルベースアドレスレジスタ	1122
18.2.12.5	FLXAnFROBA — FlexRay 出力ポインタテーブルベースアドレスレジスタ	1123
18.2.12.6	FLXAnFRIQC — FlexRay 入力キュー制御レジスタ	1124
18.2.12.7	FLXAnFRUIR — FlexRay ユーザ入力転送要求レジスタ	1125
18.2.12.8	FLXAnFRUOR — FlexRay ユーザ出力転送要求レジスタ	1126
18.2.12.9	FLXAnFRAHBC — FlexRay H-Bus 設定レジスタ	1128
18.2.13	データ転送ステータスレジスタ	1129
18.2.13.1	FLXAnFRITS — FlexRay 入力転送ステータスレジスタ	1129
18.2.13.2	FLXAnFROTS — FlexRay 出力転送ステータスレジスタ	1133
18.2.13.3	FLXAnFRAES — FlexRay アクセスエラーステータスレジスタ	1138
18.2.13.4	FLXAnFRAEA — FlexRay アクセスエラーアドレスレジスタ	1140
18.2.13.5	FLXAnFRDAm — FlexRay メッセージデータ使用可能レジスタ m (m = 0 ~ 3)	1141
18.3	機能説明	1143
18.3.1	FlexRay モジュール動作制御	1143
18.3.1.1	FlexRay モジュールイネーブル	1143
18.3.1.2	FlexRay モジュールディセーブル	1143
18.3.2	通信サイクル	1145
18.3.2.1	スタティックセグメント	1145
18.3.2.2	ダイナミックセグメント	1146
18.3.2.3	シンボルウィンドウ	1146
18.3.2.4	ネットワークアイドル時間 (NIT)	1146
18.3.2.5	NIT 開始位置設定、オフセット補正開始位置の設定	1147
18.3.3	通信モード	1148
18.3.3.1	タイムトリガ式分散 (TT-D)	1148
18.3.4	クロック同期	1148
18.3.4.1	グローバルタイム	1148
18.3.4.2	ローカルタイム	1148
18.3.4.3	同期プロセス	1149
18.3.5	エラー処理	1151
18.3.5.1	クロック補正失敗カウンタ	1151
18.3.5.2	Passive-to-Active カウンタ	1152
18.3.5.3	HALT コマンド	1152
18.3.5.4	FREEZE コマンド	1152
18.3.6	通信コントローラの状態	1153
18.3.6.1	通信コントローラ状態遷移図	1153
18.3.6.2	DEFAULT_CONFIG 状態	1155
18.3.6.3	CONFIG 状態	1155
18.3.6.4	READY 状態	1156
18.3.6.5	WAKEUP 状態	1157
18.3.6.6	STARTUP 状態	1161
18.3.6.7	NORMAL_ACTIVE 状態	1166
18.3.6.8	NORMAL_PASSIVE 状態	1167
18.3.6.9	HALT 状態	1168
18.3.7	ネットワーク管理	1169
18.3.8	フィルタリングとマスキング	1169

18.3.8.1	スロットカウンタフィルタリング	1170
18.3.8.2	サイクルカウンタフィルタリング	1170
18.3.8.3	チャンネル ID フィルタリング	1171
18.3.8.4	FIFO フィルタリング	1172
18.3.9	送信プロセス	1173
18.3.9.1	スタティックセグメント	1173
18.3.9.2	ダイナミックセグメント	1173
18.3.9.3	送信バッファ	1173
18.3.9.4	フレーム送信	1174
18.3.9.5	Null フレーム送信	1175
18.3.10	受信プロセス	1175
18.3.10.1	専用受信バッファ	1175
18.3.10.2	フレーム受信	1175
18.3.10.3	Null フレーム受信	1176
18.3.11	FIFO 機能	1177
18.3.11.1	解説	1177
18.3.11.2	FIFO の設定	1178
18.3.11.3	FIFO へのアクセス	1179
18.3.12	メッセージハンドリング	1179
18.3.12.1	メッセージバッファの設定変更	1179
18.3.12.2	メッセージ RAM へのアクセス	1181
18.3.12.3	FlexRay プロトコルコントローラからメッセージ RAM へのアクセス	1188
18.3.13	メッセージ RAM	1189
18.3.13.1	ヘッダパーティション	1191
18.3.13.2	データパーティション	1195
18.3.13.3	メッセージデータ安全性チェック	1196
18.3.13.4	アクセスエラーの処理	1198
18.3.14	割り込み	1199
18.3.15	FlexRay 設定パラメータ	1200
18.3.16	データ転送機能	1201
18.3.16.1	入力データ転送	1201
18.3.16.2	出力データ転送	1209
18.3.16.3	データ構造転送のスケジューリング	1217
18.3.16.4	データ転送アクセスエラーの場合の動き	1217
18.3.16.5	RAM 読み出しエラーの場合の動作	1219
第 19 章	Single Edge Nibble Transmission (RSENT)	1221
19.1	RH850/P1x の RSENT の概要	1221
19.1.1	チャンネル数	1221
19.1.2	レジスタベースアドレス	1221
19.1.3	クロック供給	1221
19.1.4	割り込みと DMA/DTS	1222
19.1.5	リセット要因	1222
19.1.6	外部入出力信号	1223
19.1.7	端子名とポート名の組み合わせ	1223
19.2	機能	1224
19.2.1	ブロック図	1225
19.3	レジスタ	1226
19.3.1	RSENTnTSPC — RSENT タイムスタンプレジスタ	1227
19.3.2	RSENTnTSC — RSENT タイムスタンプカウンタ	1229
19.3.3	RSENTnCC — RSENT 通信設定レジスタ	1230

19.3.4	RSENTnBRP — RSENT ボーレートプリスケアラレジスタ	1234
19.3.5	RSENTnIDE — RSENT 割り込み / DMA イネーブルレジスタ	1236
19.3.6	RSENTnMDC — RSENT モード制御レジスタ	1239
19.3.7	RSENTnSPCT — RSENT SPC 送信レジスタ	1240
19.3.8	RSENTnMST — RSENT モードステータスレジスタ	1241
19.3.9	RSENTnCS — RSENT 通信ステータスレジスタ	1243
19.3.10	RSENTnCSC — RSENT 通信ステータスクリアレジスタ	1248
19.3.11	RSENTnSRTS — RSENT 低速チャネル受信タイムスタンプレジスタ	1250
19.3.12	RSENTnSRXD — RSENT 低速チャネル受信データレジスタ	1251
19.3.13	RSENTnCPL — RSENT キャリブレーションパルス長レジスタ	1253
19.3.14	RSENTnML — RSENT メッセージ長レジスタ	1254
19.3.15	RSENTnFRTS — RSENT 高速チャネル受信タイムスタンプレジスタ	1255
19.3.16	RSENTnFRXD — RSENT 高速チャネル受信データレジスタ	1256
19.3.17	RSENTTSSSEL — RSENT タイムスタンプモード選択レジスタ	1258
19.4	動作モード	1260
19.4.1	RESET モード	1261
19.4.2	CONFIGURATION モード	1261
19.4.3	OPERATION IDLE モード	1261
19.4.4	OPERATION ACTIVE モード	1261
19.4.5	動作モードにおけるレジスタ動作	1262
19.5	クロック設定	1263
19.5.1	タイムスタンプ	1263
19.5.1.1	タイムスタンプクロック設定	1263
19.5.1.2	タイムスタンプカウンタ動作	1263
19.5.2	通信クロック設定	1266
19.5.2.1	RX BRP 設定	1266
19.5.2.2	受信と SPC のティック設定	1266
19.6	RSENT 動作	1267
19.6.1	動作モードの移行	1267
19.6.2	メッセージの受信	1270
19.6.2.1	キャリブレーションパルス受信	1270
19.6.2.2	データニブル受信	1270
19.6.2.3	高速チャネルメッセージ受信	1271
19.6.2.4	高速チャネル受信フロー	1275
19.6.2.5	低速チャネルメッセージ受信	1277
19.6.2.6	低速チャネル受信フロー	1279
19.6.2.7	DMA フロー	1280
19.6.2.8	エラーのフラグ	1281
19.7	SPC 機能	1283
19.7.1	SENTnRX / SENTnSPCO 端子共有	1285
19.8	割り込みとチェック	1286
第 20 章	PSI5	1288
20.1	RH850/P1x の PSI5 の概要	1288
20.1.1	チャネル数	1288
20.1.2	レジスタベースアドレス	1288
20.1.3	クロック供給	1288

20.1.4	割り込みと DMA.....	1289
20.1.5	リセット要因.....	1289
20.1.6	外部入出力信号.....	1289
20.2	機能.....	1290
20.2.1	ブロック図.....	1291
20.3	レジスタ.....	1292
20.3.1	PSI5nCHCTRL — PSI5 チャンネル制御レジスタ.....	1294
20.3.2	PSI5nIPTIMERCTRL — PSI5 IP タイマ制御レジスタ.....	1295
20.3.3	PSI5nIPTIMER — PSI5 IP タイマカウンタ.....	1296
20.3.4	PSI5nOPMCOMM — PSI5 動作モード／通信モードレジスタ.....	1297
20.3.5	PSI5nOPMBITRATE — PSI5 動作モードビットレートレジスタ.....	1298
20.3.6	PSI5nOPMCYCT — PSI5 動作モードサイクルタイムレジスタ.....	1299
20.3.7	PSI5nPSI5INT — PSI5 割り込みステータスレジスタ.....	1300
20.3.8	PSI5nEMRXDATA — PSI5 受信データエミュレーションレジスタ.....	1301
20.3.9	PSI5nEMRXDST — PSI5 受信データステータスエミュレーションレジスタ.....	1302
20.3.10	PSI5nEMRXDTIM — PSI5 受信データ IP タイマエミュレーションレジスタ.....	1303
20.3.11	PSI5nEMRXDFIFO — PSI5 受信データ FIFO エミュレーションレジスタ.....	1304
20.3.12	PSI5nEMRXMRXMSG — PSI5 受信メッセージ受信メッセージエミュレーション レジスタ.....	1305
20.3.13	PSI5nEMRXMRXST — PSI5 受信メッセージチャンネル受信ステータス エミュレーションレジスタ.....	1306
20.3.14	PSI5nEMRXMRXTIM — PSI5 受信メッセージチャンネル受信タイムスタンプ エミュレーションレジスタ.....	1307
20.3.15	PSI5nEMRXMFIFO — PSI5 受信メッセージチャンネル FIFO エミュレーション レジスタ.....	1308
20.3.16	PSI5nTXSETTING — PSI5 送信設定レジスタ.....	1309
20.3.17	PSI5nSYNCCTRL — PSI5 同期制御レジスタ.....	1311
20.3.18	PSI5nTXST — PSI5 送信ステータスレジスタ.....	1312
20.3.19	PSI5nTXSTCLR — PSI5 送信ステータスクリアレジスタ.....	1313
20.3.20	PSI5nTXSTINTEN — PSI5 送信ステータス割り込み許可レジスタ.....	1314
20.3.21	PSI5nTXDCTRL — PSI5 送信データ制御レジスタ.....	1315
20.3.22	PSI5nTXDATA — PSI5 送信データレジスタ.....	1316
20.3.23	PSI5nRXSPLSET — PSI5 受信サンプリング設定レジスタ.....	1318
20.3.24	PSI5nRXSmSET — PSI5 受信スロット m 設定レジスタ (m = 1 ~ 8).....	1319
20.3.25	PSI5nRXDATA — PSI5 受信データレジスタ.....	1320
20.3.26	PSI5nRXDST — PSI5 受信データステータスレジスタ.....	1321
20.3.27	PSI5nRXDTIM — PSI5 受信データ IP タイマレジスタ.....	1322
20.3.28	PSI5nRXDFIFO — PSI5 受信データ FIFO レジスタ.....	1323
20.3.29	PSI5nRXMODST — PSI5 受信モジュールステータスレジスタ.....	1324
20.3.30	PSI5nRXMODSTCLR — PSI5 受信モジュールステータスクリアレジスタ.....	1325
20.3.31	PSI5nRXMODSTINTEN — PSI5 受信モジュールステータス割り込み許可レジスタ.....	1326
20.3.32	PSI5nRXMSET — PSI5 受信メッセージチャンネル設定レジスタ.....	1327
20.3.33	PSI5nRXMRXMSG — PSI5 受信メッセージ受信メッセージレジスタ.....	1328
20.3.34	PSI5nRXMRXST — PSI5 受信メッセージチャンネル受信ステータスレジスタ.....	1330
20.3.35	PSI5nRXMRXTIM — PSI5 受信メッセージチャンネル受信タイムスタンプレジスタ.....	1331
20.3.36	PSI5nRXMFIFO — PSI5 受信メッセージチャンネル FIFO レジスタ.....	1332
20.3.37	PSI5nRXMMST — PSI5 受信メッセージチャンネルモジュールステータスレジスタ.....	1333

20.3.38	PSI5nRXMMSTCLR — PSI5 受信メッセージチャンネルモジュールステータスクリアレジスタ	1334
20.3.39	PSI5nRXMMSTINTEN — PSI5 受信メッセージチャンネルモジュールステータス割り込み許可レジスタ	1335
20.3.40	PSI5TSSEL — PSI5 タイムスタンプ機能モード選択レジスタ	1336
20.4	割り込み	1337
20.5	動作	1338
20.5.1	動作モード設定	1338
20.5.1.1	送受信モード設定	1339
20.5.1.2	データ受信設定	1339
20.5.1.3	非同期モード初期設定	1339
20.5.1.4	同期モード初期設定	1340
20.5.1.5	シリアルメッセージ受信設定	1341
20.5.1.6	非同期モード時初期設定	1341
20.5.1.7	同期モード時初期設定	1341
20.5.1.8	タイムスタンプ機能設定	1341
20.5.2	動作フロー	1343
20.5.2.1	動作開始フロー	1343
20.5.2.2	データ受信フロー	1344
20.5.2.3	データ送信フロー	1345
20.5.2.4	シリアルメッセージ受信フロー	1347
20.5.2.5	受信データのパリティ / CRC エラー	1348
20.5.3	PAS 互換モード	1349
20.5.4	ボーレート	1349
第 21 章 ウィンドウウォッチドッグタイマ (WDTA)		1350
21.1	RH850/P1x WDTA の特長	1350
21.1.1	ユニット数とチャンネル数	1350
21.1.2	レジスタベースアドレス	1350
21.1.3	クロック供給	1351
21.1.4	割り込み要求	1351
21.1.5	リセット要因	1351
21.2	概要	1352
21.2.1	機能概要	1352
21.2.2	ブロック図	1353
21.3	レジスタ	1354
21.3.1	レジスタ一覧	1354
21.3.2	WDTAnWDTE — WDTA イネーブルレジスタ	1355
21.3.3	WDTAnEVAC — WDTA イネーブル VAC レジスタ	1356
21.3.4	WDTAnREF — WDTA 基準値レジスタ	1357
21.3.5	WDTAnMD — WDTA モードレジスタ	1358
21.4	割り込み要因	1359
21.5	機能	1359
21.5.1	リセット解除後の WDTA	1359
21.5.1.1	スタートモード	1359
21.5.1.2	カウントクロックの選択	1359
21.5.1.3	リセット解除後の WDTA の設定	1360
21.5.1.4	デフォルトスタートモードのタイミング	1361
21.5.1.5	ソフトウェアトリガスタートモードのタイミング	1362

21.5.2	WDTA トリガ	1363
21.5.2.1	VAC 機能使用時の起動コードの計算	1363
21.5.3	WDTA エラー検出	1364
21.5.4	75%割り込み要求信号	1365
21.5.5	ウインドウ機能	1366
第 22 章	OS タイマ (OSTM)	1367
22.1	RH850/P1x OSTMn の特長	1367
22.1.1	ユニット数	1367
22.1.2	レジスタベースアドレス	1367
22.1.3	クロック供給	1368
22.1.4	割り込み要求	1368
22.1.5	リセット要因	1368
22.1.6	外部入出力信号	1369
22.2	概要	1370
22.2.1	機能概要	1370
22.2.2	ブロック図	1371
22.2.3	カウントクロック	1372
22.2.4	出力モード (OSTM0、OSTM1 のみ)	1374
22.2.5	割り込み要求 (INTOSTMn)	1375
22.3	レジスタ	1376
22.3.1	レジスタ一覧	1376
22.3.2	OSTMn レジスタの詳細	1377
22.3.2.1	OSTMnCMP — OSTMn コンペアレジスタ	1377
22.3.2.2	OSTMnCNT — OSTMn カウンタレジスタ	1378
22.3.2.3	OSTMnTO — OSTMn 出力レジスタ	1379
22.3.2.4	OSTMnTOE — OSTMn 出カインーブルレジスタ	1379
22.3.2.5	OSTMnTE — OSTMn カウントインーブルステータスレジスタ	1380
22.3.2.6	OSTMnTS — OSTMn カウント開始トリガレジスタ	1381
22.3.2.7	OSTMnTT — OSTMn カウント停止トリガレジスタ	1381
22.3.2.8	OSTMnCTL — OSTMn 制御レジスタ	1382
22.3.2.9	IC0CKSEL0 — OSTM0 クロック選択レジスタ	1383
22.3.2.10	IC0CKSEL1 — OSTM1 クロック選択レジスタ	1385
22.4	動作	1387
22.4.1	OSTMn の起動と停止	1387
22.4.2	インターバルタイマモード	1388
22.4.2.1	インターバルタイマモードの基本動作	1388
22.4.2.2	OSTMnCMP = 0000 0000 _H の場合の動作	1391
22.4.2.3	インターバルタイマモードの設定手順	1392
22.4.3	フリーランニングコンペアモード	1393
22.4.3.1	フリーランニングコンペアモードの基本動作	1393
22.4.3.2	OSTMnCMP = 0000 0000 _H の場合の動作	1395
22.4.3.3	フリーランニングコンペアモードの設定手順	1396
第 23 章	タイマアレイユニット D (TAUD)	1397
23.1	RH850/P1x TAUD の特長	1397
23.1.1	ユニット数チャンネル数	1397
23.1.2	レジスタベースアドレス	1397

23.1.3	クロック供給	1398
23.1.4	割込み要求	1398
23.1.5	リセット要因	1399
23.1.6	外部入出力信号	1400
23.2	概要	1401
23.2.1	機能概要	1401
23.2.2	用語	1402
23.2.3	タイマ動作機能一覧	1403
23.2.4	入出力と割り込み要求信号	1404
23.2.5	ブロック図	1405
23.2.6	ブロック図の説明	1406
23.3	レジスタ	1407
23.3.1	レジスタ一覧	1407
23.3.2	TAUDn プリスケラレジスタの詳細	1408
23.3.2.1	TAUDnTPS — TAUDn プリスケラクロック選択レジスタ	1408
23.3.2.2	TAUDnBRS — TAUDn プリスケラポーレート設定レジスタ	1411
23.3.3	TAUDn 制御レジスタの詳細	1412
23.3.3.1	TAUDnCDRm — TAUDn チャネルデータレジスタ	1412
23.3.3.2	TAUDnCNTm — TAUDn チャネルカウンタレジスタ	1412
23.3.3.3	TAUDnCMORM — TAUDn チャネルモード OS レジスタ	1414
23.3.3.4	TAUDnCMURm — TAUDn チャネルモードユーザレジスタ	1417
23.3.3.5	TAUDnCSRm — TAUDn チャネルステータスレジスタ	1418
23.3.3.6	TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ	1419
23.3.3.7	TAUDnTS — TAUDn チャネルスタートトリガレジスタ	1419
23.3.3.8	TAUDnTE — TAUDn チャネル許可ステータスレジスタ	1420
23.3.3.9	TAUDnTT — TAUDn チャネルストップトリガレジスタ	1420
23.3.4	TAUDn 一斉書き換えレジスタの詳細	1421
23.3.4.1	TAUDnRDE — TAUDn チャネルリロードデータ許可レジスタ	1421
23.3.4.2	TAUDnRDS — TAUDn チャネルリロードデータ制御チャンネル選択レジスタ	1421
23.3.4.3	TAUDnRDM — TAUDn チャネルリロードデータモードレジスタ	1422
23.3.4.4	TAUDnRDC — TAUDn チャネルリロードデータ制御レジスタ	1422
23.3.4.5	TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ	1423
23.3.4.6	TAUDnRSF — TAUDn チャネルリロードステータスレジスタ	1423
23.3.5	TAUDn 出力レジスタの詳細	1424
23.3.5.1	TAUDnTOE — TAUDn チャネル出力許可レジスタ	1424
23.3.5.2	TAUDnTO — TAUDn チャネル出力レジスタ	1424
23.3.5.3	TAUDnTOM — TAUDn チャネル出力モードレジスタ	1425
23.3.5.4	TAUDnTOC — TAUDn チャネル出力コンフィグレーションレジスタ	1426
23.3.5.5	TAUDnTOL — TAUDn チャネル出力レベルレジスタ	1427
23.3.6	TAUDn のデッドタイム出力レジスタの詳細	1428
23.3.6.1	TAUDnTDE — TAUDn チャネルデッドタイム出力許可レジスタ	1428
23.3.6.2	TAUDnTDM — TAUDn チャネルデッドタイム出力モードレジスタ	1428
23.3.6.3	TAUDnTDL — TAUDn チャネルデッドタイム出力レベルレジスタ	1429
23.3.7	TAUDn のリアルタイム/変調出力レジスタの詳細	1430
23.3.7.1	TAUDnTRE — TAUDn チャネルリアルタイム出力許可レジスタ	1430
23.3.7.2	TAUDnTRC — TAUDn チャネルリアルタイム出力制御レジスタ	1430
23.3.7.3	TAUDnTRO — TAUDn チャネルリアルタイム出力レジスタ	1431
23.3.7.4	TAUDnTME — TAUDn チャネル変調出力許可レジスタ	1431
23.4	操作手順	1432
23.5	チャンネル連動動作の概念	1433
23.5.1	チャンネル連動動作のルール	1433

23.5.2	連動チャンネルカウンタの同時動作開始／停止.....	1435
23.5.2.1	ユニット内の連動チャンネルカウンタの同時動作開始／停止.....	1435
23.5.2.2	ユニット間の同時スタート.....	1435
23.6	一斉書き換え.....	1436
23.6.1	動作概要.....	1436
23.6.2	一斉書き換えの制御方法.....	1437
23.6.2.1	初期設定.....	1438
23.6.2.2	カウント開始とカウント動作.....	1438
23.6.2.3	一斉書き換え.....	1438
23.6.3	一斉書き換えのその他の基本ルール.....	1439
23.6.4	一斉書き換えの種類.....	1440
23.6.4.1	マスタチャンネルがカウントを再開／開始した場合の一斉書き換え（方法 A）....	1440
23.6.4.2	スレーブチャンネルの三角波の [山] のタイミングで一斉書き換え（方法 B）.....	1442
23.6.4.3	TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え（方法 C1）.....	1444
23.6.4.4	外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え（方法 C2）.....	1446
23.7	チャンネル出力モード.....	1448
23.7.1	チャンネル出力モードを指定するための基本手順.....	1450
23.7.2	TAUDn 信号により単体制御されるチャンネル出力モード.....	1451
23.7.2.1	チャンネル単体出力モード 1.....	1451
23.7.2.2	リアルタイム出力を行うチャンネル単体出力モード 1.....	1451
23.7.2.3	チャンネル単体出力モード 2.....	1452
23.7.3	TAUDn 信号により連動制御されるチャンネル出力モード.....	1453
23.7.3.1	チャンネル連動出力モード 1.....	1453
23.7.3.2	非相補方式変調出力を行うチャンネル連動出力モード 1.....	1453
23.7.3.3	チャンネル連動出力モード 2.....	1454
23.7.3.4	デッドタイム出力を行うチャンネル連動出力モード 2.....	1454
23.7.3.5	1 相 PWM 出力を行うチャンネル連動出力モード 2.....	1455
23.7.3.6	相補方式変調出力を行うチャンネル連動出力モード 2.....	1456
23.7.3.7	非相補方式変調出力を行うチャンネル連動出力モード 2.....	1456
23.8	各動作モードでのカウント開始タイミング.....	1457
23.8.1	インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード.....	1457
23.8.2	イベントカウントモード.....	1458
23.8.3	その他の動作モード.....	1458
23.9	カウント開始／リスタート時の TAUDnTTOUtm 出力と INTTAUDnIm 生成.....	1459
23.10	オーバフロー時の割り込み発生.....	1460
23.10.1	TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ.....	1461
23.10.2	TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせ.....	1462
23.10.3	TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ.....	1463
23.10.4	TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせ.....	1464
23.11	TAUDnTTINm エッジ検出.....	1465
23.12	チャンネル単体動作機能.....	1466
23.12.1	インターバルタイマ機能.....	1466
23.12.1.1	概要.....	1466
23.12.1.2	算出式.....	1466

23.12.1.3	ブロック図と基本タイミング図	1467
23.12.1.4	レジスタ設定	1468
23.12.1.5	インターバルタイマ機能の操作手順	1470
23.12.1.6	特定の設定時のタイミング図	1471
23.12.2	TAUDnTTINm 入カインターバルタイマ機能	1476
23.12.2.1	概要	1476
23.12.2.2	算出式	1476
23.12.2.3	ブロック図と基本タイミング図	1477
23.12.2.4	TAUDnTTINm 入カインターバルタイマ機能の操作手順	1480
23.12.2.5	特定の設定時のタイミング図	1481
23.12.3	クロック分周機能	1482
23.12.3.1	概要	1482
23.12.3.2	算出式	1483
23.12.3.3	ブロック図と基本タイミング図	1483
23.12.3.4	レジスタ設定	1484
23.12.3.5	クロック分周機能の操作手順	1486
23.12.3.6	特定の設定時のタイミング図	1487
23.12.4	外部イベントカウント機能	1489
23.12.4.1	概要	1489
23.12.4.2	算出式	1489
23.12.4.3	ブロック図と基本タイミング図	1490
23.12.4.4	レジスタ設定	1491
23.12.4.5	外部イベントカウント機能の操作手順	1492
23.12.4.6	特定の設定時のタイミング図	1493
23.12.5	ディレイカウント機能	1495
23.12.5.1	概要	1495
23.12.5.2	算出式	1495
23.12.5.3	ブロック図と基本タイミング図	1496
23.12.5.4	レジスタ設定	1497
23.12.5.5	ディレイカウント機能の操作手順	1498
23.12.6	ワンパルス出力機能	1499
23.12.6.1	概要	1499
23.12.6.2	算出式	1499
23.12.6.3	ブロック図と基本タイミング図	1500
23.12.6.4	レジスタ設定	1501
23.12.6.5	ワンパルス出力機能の操作手順	1503
23.12.7	TAUDnTTINm 入力パルスインターバル測定機能	1504
23.12.7.1	概要	1504
23.12.7.2	算出式	1505
23.12.7.3	ブロック図と基本タイミング図	1506
23.12.7.4	レジスタ設定	1507
23.12.7.5	TAUDnTTINm 入力パルスインターバル測定機能の操作手順	1508
23.12.7.6	特定の設定時のタイミング図：オーバフロー動作	1509
23.12.8	TAUDnTTINm 入力信号幅測定機能	1512
23.12.8.1	概要	1512
23.12.8.2	算出式	1513
23.12.8.3	ブロック図と基本タイミング図	1513
23.12.8.4	レジスタ設定	1514
23.12.8.5	TAUDnTTINm 入力信号幅測定機能の操作手順	1515
23.12.8.6	特定の設定時のタイミング図：オーバフロー動作	1516
23.12.9	TAUDnTTINm 入力位置検出機能	1519
23.12.9.1	概要	1519
23.12.9.2	算出式	1519
23.12.9.3	ブロック図と基本タイミング図	1520
23.12.9.4	レジスタ設定	1521
23.12.9.5	TAUDnTTINm 入力位置検出機能の操作手順	1522

23.12.9.6	特定の設定時のタイミング図	1523
23.12.10	TAUDnTTINm 入力期間カウント検出機能	1524
23.12.10.1	概要	1524
23.12.10.2	算出式	1525
23.12.10.3	ブロック図と基本タイミング図	1525
23.12.10.4	レジスタ設定	1526
23.12.10.5	TAUDnTTINm 入力期間カウント検出機能の操作手順	1527
23.12.10.6	特定の設定時のタイミング図	1528
23.12.11	TAUDnTTINm 入力パルスインターバル判定機能	1529
23.12.11.1	概要	1529
23.12.11.2	ブロック図と基本タイミング図	1530
23.12.11.3	レジスタ設定	1531
23.12.11.4	TAUDnTTINm 入力パルスインターバル判定機能の操作手順	1532
23.12.12	TAUDnTTINm 入力信号幅判定機能	1533
23.12.12.1	概要	1533
23.12.12.2	ブロック図と基本タイミング図	1534
23.12.12.3	レジスタ設定	1535
23.12.12.4	TAUDnTTINm 入力信号幅判定機能の操作手順	1536
23.12.13	1相PWM出力機能	1537
23.12.13.1	概要	1537
23.12.13.2	ブロック図と基本タイミング図	1538
23.12.13.3	下位チャンネルのレジスタ設定	1540
23.12.13.4	上位チャンネルのレジスタ設定	1542
23.12.13.5	1相PWM出力機能の操作手順	1543
23.12.14	リアルタイム出力機能タイプ1	1544
23.12.14.1	概要	1544
23.12.14.2	算出式	1545
23.12.14.3	ブロック図と基本タイミング図	1545
23.12.14.4	上位チャンネルのレジスタ設定	1547
23.12.14.5	下位チャンネルのレジスタ設定	1549
23.12.14.6	リアルタイム出力機能タイプ1の操作手順	1550
23.12.14.7	特定の設定時のタイミング図	1551
23.12.15	リアルタイム出力機能タイプ2	1552
23.12.15.1	概要	1552
23.12.15.2	ブロック図と基本タイミング図	1553
23.12.15.3	上位チャンネルのレジスタ設定	1555
23.12.15.4	下位チャンネルのレジスタ設定	1557
23.12.15.5	リアルタイム出力機能タイプ2の操作手順	1558
23.12.15.6	特定のタイミング図	1559
23.12.16	一斉書き換えトリガ生成機能タイプ1	1560
23.12.16.1	概要	1560
23.12.16.2	算出式	1561
23.12.16.3	ブロック図と基本タイミング図	1562
23.12.16.4	上位チャンネルのレジスタ設定	1564
23.12.16.5	下位チャンネルのレジスタ設定	1565
23.12.16.6	一斉書き換えトリガ生成機能タイプ1の操作手順	1566
23.13	チャンネル連動動作機能	1567
23.13.1	PWM出力機能	1567
23.13.1.1	概要	1567
23.13.1.2	算出式	1568
23.13.1.3	ブロック図と基本タイミング図	1569
23.13.1.4	マスタチャンネルのレジスタ設定	1571
23.13.1.5	スレーブチャンネルのレジスタ設定	1573
23.13.1.6	PWM出力機能の操作手順	1575
23.13.1.7	特定の設定時のタイミング図	1576

23.13.2	ワンショットパルス出力機能	1579
23.13.2.1	概要	1579
23.13.2.2	算出式	1580
23.13.2.3	ブロック図と基本タイミング図	1581
23.13.2.4	マスタチャンネルのレジスタ設定	1584
23.13.2.5	スレーブチャンネルのレジスタ設定	1586
23.13.2.6	ワンショットパルス出力機能時の操作手順	1588
23.13.2.7	特定のタイミング図	1589
23.13.3	ディレイパルス出力機能	1593
23.13.3.1	概要	1593
23.13.3.2	算出式	1594
23.13.3.3	ブロック図と基本タイミング図	1595
23.13.3.4	マスタチャンネルのレジスタ設定	1597
23.13.3.5	スレーブチャンネル1のレジスタ設定	1599
23.13.3.6	スレーブチャンネル2のレジスタ設定	1601
23.13.3.7	スレーブチャンネル3のレジスタ設定	1603
23.13.3.8	ディレイパルス出力機能時の操作手順	1605
23.13.3.9	特定のタイミング図	1607
23.13.4	オフセットトリガ出力機能	1609
23.13.4.1	概要	1609
23.13.4.2	算出式	1610
23.13.4.3	ブロック図と基本タイミング図	1610
23.13.4.4	マスタチャンネルのレジスタ設定	1612
23.13.4.5	スレーブチャンネルのレジスタ設定	1614
23.13.4.6	オフセットトリガ出力機能時の操作手順	1616
23.13.4.7	特定のタイミング図	1617
23.13.5	A/D変換トリガ出力機能タイプ1	1619
23.13.5.1	概要	1619
23.13.5.2	ブロック図と基本タイミング図	1619
23.13.5.3	基本タイミング図	1620
23.13.6	三角波PWM出力機能	1621
23.13.6.1	概要	1621
23.13.6.2	算出式	1622
23.13.6.3	ブロック図と基本タイミング図	1623
23.13.6.4	マスタチャンネルのレジスタ設定	1625
23.13.6.5	スレーブチャンネルのレジスタ設定	1627
23.13.6.6	三角波PWM出力機能時の操作手順	1628
23.13.6.7	特定の設定時のタイミング図	1630
23.13.7	デッドタイム付き三角波PWM出力機能	1632
23.13.7.1	概要	1632
23.13.7.2	算出式	1634
23.13.7.3	ブロック図と基本タイミング図	1635
23.13.7.4	マスタチャンネルのレジスタ設定	1637
23.13.7.5	スレーブチャンネル2のレジスタ設定	1639
23.13.7.6	スレーブチャンネル3のレジスタ設定	1641
23.13.7.7	デッドタイム付き三角波PWM出力機能時の操作手順	1643
23.13.7.8	特定の設定時のタイミング図	1644
23.13.8	A/D変換トリガ出力機能タイプ2	1646
23.13.8.1	概要	1646
23.13.8.2	ブロック図と基本タイミング図	1646
23.13.9	割り込み要求信号間引き機能	1648
23.13.9.1	概要	1648
23.13.9.2	算出式	1649
23.13.9.3	ブロック図と基本タイミング図	1649
23.13.9.4	マスタチャンネルのレジスタ設定	1651
23.13.9.5	スレーブチャンネルのレジスタ設定	1653

23.13.9.6	割り込み要求信号間引き機能時の操作手順	1654
23.13.9.7	特定の設定時のタイミング図	1655
23.14	連動非相補方式変調出力機能と連動相補方式変調出力機能	1656
23.14.1	非相補方式変調出力機能タイプ1	1656
23.14.1.1	概要	1656
23.14.1.2	算出式	1658
23.14.1.3	ブロック図と基本タイミング図	1659
23.14.1.4	マスタチャンネルのレジスタ設定	1661
23.14.1.5	スレーブチャンネル1のレジスタ設定	1663
23.14.1.6	スレーブチャンネル2～7のレジスタ設定	1665
23.14.1.7	非相補方式変調出力機能タイプ1時の操作手順	1667
23.14.1.8	特定の設定時のタイミング図	1669
23.14.2	非相補方式変調出力機能タイプ2	1670
23.14.2.1	概要	1670
23.14.2.2	算出式	1672
23.14.2.3	ブロック図と基本タイミング図	1673
23.14.2.4	マスタチャンネルのレジスタ設定	1675
23.14.2.5	スレーブチャンネル1のレジスタ設定	1677
23.14.2.6	スレーブチャンネル2～7のレジスタ設定	1679
23.14.2.7	非相補方式変調出力機能タイプ2時の操作手順	1681
23.14.2.8	特定の設定時のタイミング図	1683
23.14.3	相補方式変調出力機能	1684
23.14.3.1	概要	1684
23.14.3.2	算出式	1687
23.14.3.3	ブロック図と基本タイミング図	1688
23.14.3.4	マスタチャンネルのレジスタ設定	1690
23.14.3.5	スレーブチャンネル1のレジスタ設定	1692
23.14.3.6	スレーブチャンネル2, 4, 6のレジスタ設定	1694
23.14.3.7	スレーブチャンネル3, 5, 7のレジスタ設定	1696
23.14.3.8	相補方式変調出力機能時の操作手順	1698
23.14.3.9	特定の設定時のタイミング図	1700
第24章	タイマアレユニットJ (TAUJ)	1702
24.1	RH850/P1x TAUJの特長	1702
24.1.1	ユニット数	1702
24.1.2	レジスタベースアドレス	1702
24.1.3	クロック供給	1703
24.1.4	割り込み要求	1703
24.1.5	リセット要因	1703
24.1.6	外部入出力信号	1704
24.2	概要	1705
24.2.1	機能概要	1705
24.2.2	用語	1706
24.2.3	タイマ動作機能一覧	1707
24.2.4	入出力と割り込み要求信号	1707
24.2.5	ブロック図	1708
24.2.6	ブロック図の説明	1709
24.3	レジスタ	1710
24.3.1	レジスタ一覧	1710
24.3.2	TAUJnプリスケラレジスタの詳細	1711
24.3.2.1	TAUJnTPS — TAUJnプリスケラクロック選択レジスタ	1711

24.3.2.2	TAUJnBRS — TAUJn プリスケラボーレート設定レジスタ	1714
24.3.3	TAUJn 制御レジスタの詳細	1715
24.3.3.1	TAUJnCDRm — TAUJn チャネルデータレジスタ	1715
24.3.3.2	TAUJnCNTm — TAUJn チャネルカウンタレジスタ	1716
24.3.3.3	TAUJnCMORm — TAUJn チャネルモード OS レジスタ	1717
24.3.3.4	TAUJnCMURm — TAUJn チャネルモードユーザレジスタ	1720
24.3.3.5	TAUJnCSRm — TAUJn チャネルステータスレジスタ	1721
24.3.3.6	TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ	1721
24.3.3.7	TAUJnTS — TAUJn チャネルスタートトリガレジスタ	1722
24.3.3.8	TAUJnTE — TAUJn チャネル許可ステータスレジスタ	1722
24.3.3.9	TAUJnTT — TAUJn チャネルストップトリガレジスタ	1723
24.3.4	TAUJn 一斉書き換えレジスタの詳細	1724
24.3.4.1	TAUJnRDE — TAUJn チャネルリロードデータ許可レジスタ	1724
24.3.4.2	TAUJnRDM — TAUJn チャネルリロードデータモードレジスタ	1724
24.3.4.3	TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ	1725
24.3.4.4	TAUJnRSF — TAUJn チャネルリロードステータスレジスタ	1725
24.3.5	TAUJn 出力レジスタの詳細	1726
24.3.5.1	TAUJnTOE — TAUJn チャネル出力許可レジスタ	1726
24.3.5.2	TAUJnTO — TAUJn チャネル出力レジスタ	1726
24.3.5.3	TAUJnTOM — TAUJn チャネル出力モードレジスタ	1727
24.3.5.4	TAUJnTOC — TAUJn チャネル出力コンフィグレーションレジスタ	1728
24.3.5.5	TAUJnTOL — TAUJn チャネル出力アクティブレベルレジスタ	1729
24.4	操作手順	1730
24.5	チャンネル連動動作の概念	1731
24.5.1	チャンネル連動動作のルール	1731
24.5.2	連動チャンネルカウンタの同時動作開始/停止	1733
24.5.2.1	ユニット内の連動チャンネルカウンタの同時動作開始/停止	1733
24.5.2.2	ユニット間の同時スタート	1733
24.6	一斉書き換え	1734
24.6.1	動作概要	1734
24.6.2	一斉書き換への制御方法	1734
24.6.2.1	初期設定	1736
24.6.2.2	カウント開始とカウント動作	1736
24.6.2.3	一斉書き換え	1736
24.6.3	一斉書き換のその他の基本ルール	1736
24.6.4	一斉書き換の方法	1737
24.7	チャンネル出力モード	1739
24.7.1	チャンネル出力モードを指定するための基本手順	1741
24.7.2	TAUJn 信号により単体制御されるチャンネル出力モード	1741
24.7.3	TAUJn 信号により連動制御されるチャンネル出力モード	1742
24.8	各動作モードでのカウント開始タイミング	1743
24.8.1	インターバルタイマモード、キャプチャモード、カウントキャプチャモード	1743
24.8.2	その他の動作モード	1744
24.9	カウント開始/リスタート時の TAUJnTTOUtm 出力と INTTAUJnlm 生成	1745
24.10	オーバフロー時の割り込み発生	1746
24.10.1	TAUJnTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ	1747
24.11	TAUJnTTINm エッジ検出	1748
24.12	チャンネル単体動作機能	1749
24.12.1	インターバルタイマ機能	1749

24.12.1.1	概要	1749
24.12.1.2	算出式	1750
24.12.1.3	ブロック図と基本タイミング図	1750
24.12.1.4	レジスタ設定	1751
24.12.1.5	インターバルタイマ機能の操作手順	1753
24.12.1.6	特定の設定時のタイミング図	1754
24.12.2	TAUJnTTINm 入力インターバルタイマ機能	1758
24.12.2.1	概要	1758
24.12.2.2	算出式	1758
24.12.2.3	ブロック図と基本タイミング図	1759
24.12.2.4	レジスタ設定	1760
24.12.2.5	TAUJnTTINm 入力インターバルタイマ機能の操作手順	1762
24.12.2.6	特定の設定時のタイミング図	1763
24.12.3	TAUJnTTINm 入力パルスインターバル測定機能	1764
24.12.3.1	概要	1764
24.12.3.2	算出式	1765
24.12.3.3	ブロック図と基本タイミング図	1765
24.12.3.4	レジスタ設定	1767
24.12.3.5	TAUJnTTINm 入力パルスインターバル測定機能の操作手順	1768
24.12.3.6	特定の設定時のタイミング図：オーバフロー動作	1769
24.12.4	TAUJnTTINm 入力信号幅測定機能	1773
24.12.4.1	概要	1773
24.12.4.2	算出式	1774
24.12.4.3	ブロック図と基本タイミング図	1774
24.12.4.4	レジスタ設定	1775
24.12.4.5	TAUJnTTINm 入力信号幅測定機能の操作手順	1776
24.12.4.6	特定の設定時のタイミング図：オーバフロー動作	1777
24.12.5	TAUJnTTINm 入力位置検出機能	1781
24.12.5.1	概要	1781
24.12.5.2	算出式	1781
24.12.5.3	ブロック図と基本タイミング図	1782
24.12.5.4	レジスタ設定	1783
24.12.5.5	TAUJnTTINm 入力位置検出機能の操作手順	1784
24.12.5.6	特定の設定時のタイミング図	1785
24.12.6	TAUJnTTINm 入力期間カウント検出機能	1786
24.12.6.1	概要	1786
24.12.6.2	算出式	1787
24.12.6.3	ブロック図と基本タイミング図	1787
24.12.6.4	レジスタ設定	1788
24.12.6.5	TAUJnTTINm 入力期間カウント検出機能の操作手順	1789
24.12.6.6	特定の設定時のタイミング図	1790
24.13	チャンネル連動動作機能	1791
24.13.1	PWM 出力機能	1791
24.13.1.1	概要	1791
24.13.1.2	算出式	1793
24.13.1.3	ブロック図と基本タイミング図	1793
24.13.1.4	マスタチャンネルのレジスタ設定	1795
24.13.1.5	スレーブチャンネルのレジスタ設定	1797
24.13.1.6	PWM 出力機能の操作手順	1798
24.13.1.7	特定の設定時のタイミング図	1799

第 25 章 モータコントロールタイマ (TSG3) 1802

25.1	RH850/P1x TSG3 の特長	1802
25.1.1	ユニット数	1802

25.1.2	レジスタベースアドレス	1802
25.1.3	クロック供給	1802
25.1.4	割り込み要求	1803
25.1.5	リセット要因	1804
25.1.6	外部入出力信号	1804
25.2	概要	1805
25.2.1	機能概要	1805
25.2.2	ブロック図	1807
25.3	レジスタ	1808
25.3.1	レジスタ一覧	1808
25.3.2	TSG3nCTL0 — TSG3n 制御レジスタ 0	1811
25.3.3	TSG3nCTL1 — TSG3n 制御レジスタ 1	1812
25.3.4	TSG3nCTL2 — TSG3n 制御レジスタ 2	1814
25.3.5	TSG3nCTL3 — TSG3n 制御レジスタ 3	1815
25.3.6	TSG3nCTL4 — TSG3n 制御レジスタ 4	1816
25.3.7	TSG3nCTL5 — TSG3n 制御レジスタ 5	1818
25.3.8	TSG3nCTL6 — TSG3n 制御レジスタ 6	1820
25.3.9	TSG3nCTL7 — TSG3n 制御レジスタ 7	1822
25.3.10	TSG3nCTL8 — TSG3n 制御レジスタ 8	1823
25.3.11	TSG3nIOC0 — TSG3n I/O 制御レジスタ 0	1824
25.3.12	TSG3nIOC1 — TSG3n I/O 制御レジスタ 1	1825
25.3.13	TSG3nIOC2 — TSG3n I/O 制御レジスタ 2	1826
25.3.14	TSG3nIOC3 — TSG3n I/O 制御レジスタ 3	1827
25.3.15	TSG3nSTR0 — TSG3n ステータスレジスタ 0	1828
25.3.16	TSG3nSTR1 — TSG3n ステータスレジスタ 1	1829
25.3.17	TSG3nSTR2 — TSG3n ステータスレジスタ 2	1830
25.3.18	TSG3nSTC — TSG3n ステータスクリアトリガレジスタ	1833
25.3.19	TSG3nOPT0 — TSG3n オプションレジスタ 0	1835
25.3.20	TSG3nOPT1 — TSG3n オプションレジスタ 1	1837
25.3.21	TSG3nTRG0 — TSG3n トリガレジスタ 0	1838
25.3.22	TSG3nTRG1 — TSG3n トリガレジスタ 1	1838
25.3.23	TSG3nTRG2 — TSG3n トリガレジスタ 2	1839
25.3.24	TSG3nCNT — TSG3n カウンタリードバッファレジスタ	1839
25.3.25	TSG3nCNTE — TSG3n ビット拡張カウンタリードバッファレジスタ	1840
25.3.26	TSG3nSBC — TSG3n サブカウンタリードバッファレジスタ	1841
25.3.27	TSG3nSBCE — TSG3n ビット拡張サブカウンタリードバッファレジスタ	1841
25.3.28	TSG3nCMP0 — TSG3n コンペアレジスタ 0	1842
25.3.29	TSG3nCMP0E — TSG3n ビット拡張コンペアレジスタ 0	1843
25.3.30	TSG3nCMP1W — TSG3n コンペアレジスタ 1, 2	1844
25.3.31	TSG3nCMP3W — TSG3n コンペアレジスタ 3, 4	1844
25.3.32	TSG3nCMP5W — TSG3n コンペアレジスタ 5, 6	1845
25.3.33	TSG3nCMP7W — TSG3n コンペアレジスタ 7, 8	1845
25.3.34	TSG3nCMP9W — TSG3n コンペアレジスタ 9, 10	1846
25.3.35	TSG3nCMP11W — TSG3n コンペアレジスタ 11, 12	1846
25.3.36	TSG3nCMP1-TSG3nCMP12 — TSG3n コンペアレジスタ 1-12	1847
25.3.37	TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12	1848

25.3.38	TSG3nDCMP0W — TSG3n ダイアグ出力用コンペアレジスタ 0, 1	1849
25.3.39	TSG3nDCMP2 — TSG3n ダイアグ出力用コンペアレジスタ 2	1850
25.3.40	TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0-2	1850
25.3.41	TSG3nPAT0W — TSG3n パタンレジスタ 0	1851
25.3.42	TSG3nPAT1W — TSG3n パタンレジスタ 1	1852
25.3.43	TSG3nDTC0W — TSG3n デッドタイム設定レジスタ 0	1853
25.3.44	TSG3nDTC1W — TSG3n デッドタイム設定レジスタ 1	1854
25.3.45	TSG3nCMPU — TSG3n HT-PWM U 相用コンペアレジスタ	1854
25.3.46	TSG3nCMPV — TSG3n HT-PWM V 相用コンペアレジスタ	1855
25.3.47	TSG3nCMPW — TSG3n HT-PWM W 相用コンペアレジスタ	1855
25.3.48	TSG3nCMPUE — TSG3n ビット拡張 U 相用コンペアレジスタ	1856
25.3.49	TSG3nCMPVE — TSG3n ビット拡張 V 相用コンペアレジスタ	1857
25.3.50	TSG3nCMPWE — TSG3n ビット拡張 W 相用コンペアレジスタ	1858
25.3.51	TSG3nUPW — TSG3n SP-PWM U 相アクティブ幅レジスタ	1859
25.3.52	TSG3nVPW — TSG3n SP-PWM V 相アクティブ幅レジスタ	1859
25.3.53	TSG3nWPW — TSG3n SP-PWM W 相アクティブ幅レジスタ	1860
25.3.54	TSG3nUPWE — TSG3n ビット拡張 U 相アクティブ幅レジスタ	1861
25.3.55	TSG3nVPWE — TSG3n ビット拡張 V 相アクティブ幅レジスタ	1862
25.3.56	TSG3nWPWE — TSG3n ビット拡張 W 相アクティブ幅レジスタ	1863
25.3.57	TSG3nHSPCMUE — TSG3n HSP-PWM モード U 相コンペアレジスタ	1864
25.3.58	TSG3nHSPCMVE — TSG3n HSP-PWM モード V 相コンペアレジスタ	1864
25.3.59	TSG3nHSPCMWE — TSG3n HSP-PWM モード W 相コンペアレジスタ	1865
25.3.60	TSG3nHSPSHUE — TSG3n HSP-PWM モード U 相シフトレジスタ	1865
25.3.61	TSG3nHSPSHVE — TSG3n HSP-PWM モード V 相シフトレジスタ	1866
25.3.62	TSG3nHSPSHWE — TSG3n HSP-PWM モード W 相シフトレジスタ	1866
25.3.63	TSG3nDTPR — TSG3n デッドタイムプロテクションレジスタ	1867
25.4	機能	1868
25.4.1	基本動作	1868
25.4.1.1	18 ビットカウンタ基本動作	1868
25.4.1.2	コンペアレジスタの機能	1870
25.4.1.3	コンペアレジスタの書き換え操作	1872
25.4.1.4	各モード時における出力一覧	1880
25.4.1.5	リスタート	1883
25.4.2	一致割り込み	1884
25.4.3	フラグ	1889
25.4.3.1	アップカウントフラグ (TSG3nCUF, TSG3nSUF)	1890
25.4.3.2	正相/逆相同時アクティブ検出フラグ (TSG3nTBF0-TSG3nTBF2)	1892
25.4.3.3	リロード要求フラグ (TSG3nRSF)	1893
25.4.3.4	ノイズ検出フラグ (TSG3nNDF)	1894
25.4.3.5	パタン順序検出フラグ (TSG3nTSF)	1895
25.4.3.6	パタンエラー検出フラグ (TSG3nPEF)	1897
25.4.3.7	パタン反転検出フラグ (TSG3nPRF)	1898
25.4.3.8	TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nPTF)	1900
25.4.3.9	TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)	1901
25.4.3.10	パタン位相差異検出フラグ (TSG3nPPF)	1902
25.4.3.11	タイマ出力パタンフラグ (TSG3nOPF2-TSG3nOPF0)	1904
25.4.3.12	パタン切り替え検出信号 (TSG3nPTE)	1904
25.4.4	割り込み間引き機能	1906
25.4.4.1	割り込み間引き機能の動作	1907
25.4.4.2	山割り込みを発生する場合の動作例 (PWM モード時)	1910

25.4.5	A/D 変換トリガ機能	1912
25.4.5.1	A/D 変換トリガの動作	1913
25.4.6	エラー／ワーニング割り込み	1918
25.4.6.1	エラー割り込み機能	1918
25.4.6.2	ワーニング割り込み機能	1921
25.4.7	各モードの動作	1922
25.4.7.1	PWM モード	1922
25.4.7.2	HT-PWM モード (High accuracy Triangular - Pulse Width Modulation モード)	1933
25.4.7.3	SP-PWM モード (Shifted-pulse - Pulse Width Modulation モード)	1959
25.4.7.4	120-DC モード	1970
25.4.7.5	HSP-PWM モード (High accuracy Shifted-pulse - Pulse Width Modulation モード)	2005
25.4.7.6	HSP-PWM モードのコンペア設定	2014
25.4.7.7	HSP-PWM モードのタイマ出力動作	2015
25.4.7.8	ソフトウェア出力制御機能	2026
第 26 章	タイマオプション (TAPA)	2027
26.1	RH850/P1x TAPA の特長	2027
26.1.1	ユニット数	2027
26.1.2	レジスタベースアドレス	2027
26.1.3	クロック供給	2027
26.1.4	割り込み要求	2028
26.1.5	リセット要因	2028
26.1.6	内部信号	2028
26.1.7	周辺構成図	2029
26.2	概要	2030
26.2.1	機能概要	2030
26.2.2	ブロック図	2030
26.3	レジスタ	2031
26.3.1	レジスタ一覧	2031
26.3.2	TAPAnCTL0 — TAPAn 制御レジスタ 0	2032
26.3.3	TAPAnFLG — TAPAn フラグレジスタ	2033
26.3.4	TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ	2034
26.3.5	TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ	2035
26.3.6	TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ	2035
26.3.7	TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ	2036
26.3.8	TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ	2036
26.4	機能	2037
26.4.1	非同期 Hi-Z 制御機能	2037
26.4.1.1	概要	2037
26.4.1.2	システム構成例	2037
26.4.1.3	基本動作	2039
26.4.1.4	ソフトウェアトリガによる非同期 Hi-Z 制御	2041
26.4.1.5	操作手順	2042
第 27 章	タイマパターンバッファ (TPBA)	2043
27.1	RH850/P1x TPBA の特長	2043
27.1.1	ユニット数	2043

27.1.2	レジスタベースアドレス	2043
27.1.3	クロック供給	2043
27.1.4	割り込み要求	2044
27.1.5	リセット要因	2044
27.1.6	外部入出力信号	2044
27.2	概要	2045
27.2.1	機能概要	2045
27.2.2	ブロック図	2046
27.3	レジスタ	2047
27.3.1	レジスタ一覧	2047
27.3.2	TPBAnCTL — TPBAn 制御レジスタ	2048
27.3.3	TPBAnRDM — TPBAn リロードデータモードレジスタ	2049
27.3.4	TPBAnRSF — TPBAn リロードステータスレジスタ	2050
27.3.5	TPBAnRDT — TPBAn リロードデータトリガレジスタ	2051
27.3.6	TPBAnTOE — TPBAn タイマ出力許可レジスタ	2051
27.3.7	TPBAnTO — TPBAn タイマ出力レジスタ	2052
27.3.8	TPBAnTOL — TPBAn タイマ出力レベルレジスタ	2053
27.3.9	TPBAnCMP0 — TPBAn 周期設定レジスタ	2054
27.3.10	TPBAnBUFm — TPBAn デューティ設定レジスタ	2055
27.3.11	TPBAnCMP1 — TPBAn パタン数設定レジスタ	2056
27.3.12	TPBAnCNT0 — TPBAn タイマカウンタレジスタ	2057
27.3.13	TPBAnCNT1 — TPBAn アドレスカウンタレジスタ	2057
27.3.14	TPBAnTE — TPBAn イネーブルステータスレジスタ	2058
27.3.15	TPBAnTS — TPBAn スタートトリガレジスタ	2058
27.3.16	TPBAnTT — TPBAn ストップトリガレジスタ	2059
27.4	機能	2060
27.4.1	基本動作	2060
27.4.1.1	16 ビットカウンタ (TPBAnCNT0) の基本動作	2060
27.4.1.2	7 ビットカウンタ (TPBAnCNT1) の基本動作	2060
27.4.2	コンペアレジスタの書き換え操作	2061
27.4.3	デューティの書き換え操作	2064
27.4.3.1	TPBAnBUFm レジスタの設定フロー	2064
27.4.3.2	TPBAnBUFm レジスタのアクセス	2065
27.4.3.3	TPBAnCNT1 レジスタのリード値と TPBAnBUFm の関係	2066
27.4.4	基本動作例	2067
27.4.4.1	動作一覧	2068
第 28 章	エンコーダタイマ (ENCA)	2072
28.1	RH850/P1x ENCA の特長	2072
28.1.1	ユニット数とチャネル数	2072
28.1.2	レジスタベースアドレス	2072
28.1.3	クロック供給	2073
28.1.4	割り込み要求	2073
28.1.5	リセット要因	2073
28.1.6	外部入出力信号	2074
28.2	概要	2075

28.2.1	機能概要	2075
28.2.2	ブロック図	2076
28.3	レジスタ	2077
28.3.1	レジスタ一覧	2077
28.3.2	ENCAAnCTL — ENCA 制御レジスタ	2078
28.3.3	ENCAAnIOC0 — ENCA I/O 制御レジスタ 0	2080
28.3.4	ENCAAnIOC1 — ENCA I/O 制御レジスタ 1	2081
28.3.5	ENCAAnFLG — ENCA ステータスフラグレジスタ	2083
28.3.6	ENCAAnFGC — ENCA ステータスフラグクリアレジスタ	2084
28.3.7	ENCAAnCCR0 — ENCA キャプチャ/コンペアレジスタ 0	2085
28.3.8	ENCAAnCCR1 — ENCA キャプチャ/コンペアレジスタ 1	2086
28.3.9	ENCAAnCNT — ENCA カウンタレジスタ	2087
28.3.10	ENCAAnTE — ENCA タイマイネーブルステータスレジスタ	2088
28.3.11	ENCAAnTS — ENCA タイマスタートトリガレジスタ	2089
28.3.12	ENCAAnTT — ENCA タイマストップトリガレジスタ	2090
28.4	動作	2091
28.4.1	タイマカウンタの動作	2091
28.4.2	タイマカウンタのアップ/ダウン制御	2093
28.4.2.1	ENCAAnCTL レジスタの ENCAAnUDS[1:0] ビット = 00B の場合	2093
28.4.2.2	ENCAAnCTL レジスタの ENCAAnUDS[1:0] ビット = 01B の場合	2094
28.4.2.3	ENCAAnCTL レジスタの ENCAAnUDS[1:0] ビット = 10B の場合	2095
28.4.2.4	ENCAAnCTL レジスタの ENCAAnUDS[1:0] ビット = 11B の場合	2096
28.4.3	エンコーダ入力によるタイマカウンタクリア制御	2097
28.4.3.1	ENCAAnSCE = 0 のときのクリア方法	2097
28.4.3.2	ENCAAnSCE = 1 のときのクリア方法	2097
28.4.4	ENCAAnCCR0 の機能	2099
28.4.4.1	コンペア機能	2099
28.4.4.2	キャプチャ機能	2099
28.4.5	ENCAAnCCR1 の機能	2100
28.4.5.1	コンペア機能	2100
28.4.5.2	キャプチャ機能	2102
28.4.5.3	コンペアレジスタが一致したときのタイマカウンタのクリア	2103
28.4.6	タイマカウンタの起動/停止	2104
28.4.6.1	タイマの起動	2104
28.4.6.2	タイマの停止	2104
28.5	設定の順序	2105
28.5.1	エンコーダタイマの設定手順	2105
28.5.1.1	カウンタの初期設定手順	2105
28.5.1.2	カウンタクリアのための初期設定手順	2106
28.5.1.3	ENCAAnCCR0 レジスタの設定手順	2106
28.5.1.4	ENCAAnCCR1 レジスタの設定手順	2107
28.6	タイミング図	2108
28.6.1	オーバフローの発生とオーバフローフラグクリア操作	2108
28.6.2	アンダフローの発生とアンダフローフラグクリア操作	2109
28.6.3	エンコーダクリア入力 (ENCAAnEC 端子) によるカウントクリアとキャプチャ動作	2110
28.6.4	オーバフローの発生とエンコーダクリア入力 (ENCAAnEC 端子) による クリア動作との競合	2111
28.6.5	アンダフローの発生とエンコーダクリア入力 (ENCAAnEC 端子) による クリア動作との競合	2112

28.6.6	開始直後のオーバフロー動作.....	2113
28.6.7	開始直後のアンダフロー動作.....	2114
28.6.8	開始直後の ENCA _n LDE 機能の利用.....	2115
28.6.9	ENCA _n LDE 機能 (カウンタ値のロード).....	2116
28.6.10	ENCA _n LDE 機能 (カウンタ値のロード) と ENCA _n CCR0 レジスタの書き換えとの競合.....	2118
28.6.11	ENCA _n LDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合.....	2119
28.6.12	ENCA _n LDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント.....	2121
28.6.13	カウントクロック間のキャプチャ動作 (ENCA _n CCR1).....	2122
28.6.14	カウントクロック間のキャプチャ動作 (ENCA _n CCR0).....	2123
28.6.15	コンペアー一致クリア制御有効時かつ ENCA _n CTS = 0 のときのエンコーダの動作.....	2124
28.6.16	コンペアー一致クリア制御有効時かつ ENCA _n CTS = 1 のときのエンコーダの動作.....	2125
28.6.17	コンペアー一致クリア制御無効時ときのエンコーダの動作.....	2126
28.6.18	ENCA _n SCE = 1 のときに ENCA _n EC、ENCA _n E0、ENCA _n E1 によるクリアタイミングで行われるキャプチャ動作.....	2127
28.6.18.1	付随するキャプチャ動作.....	2127
28.6.18.2	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより遅かった場合 (ENCA _n ACL=1、ENCA _n BCL=0、ENCA _n ZCL=1、ENCA _n UDS[1:0] = 11B のとき).....	2128
28.6.18.3	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングと同じだった場合.....	2129
28.6.18.4	アップカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより早かった場合.....	2129
28.6.18.5	ダウンカウント中に ENCA _n EC の入力のタイミングが ENCA _n E1 の入力のタイミングより遅かった場合 (ENCA _n ACL = 1、ENCA _n BCL = 0、ENCA _n ZCL = 1、ENCA _n UDS[1:0] = 11B のとき).....	2130
28.6.19	ENCA _n SCE = 0 のときに ENCA _n EC によるクリアのタイミングで行われるキャプチャ動作.....	2131

第 29 章 ペリフェラルインタコネクション (PIC) 2132

29.1	RH850/P1x PIC の特長.....	2132
29.1.1	ユニット数.....	2132
29.1.2	レジスタベースアドレス.....	2132
29.1.3	クロック供給.....	2132
29.1.4	リセット要因.....	2133
29.1.5	入出力信号.....	2133
29.1.6	外部入出力信号.....	2135
29.2	ペリフェラルインタコネクション — 1 (PIC1A).....	2137
29.2.1	概要.....	2137
29.2.1.1	機能概要.....	2137
29.2.2	レジスタ.....	2138
29.2.2.1	レジスタ一覧.....	2138
29.2.2.2	PIC1ASST — 同時スタートトリガ制御レジスタ.....	2140
29.2.2.3	PIC1ASSER0 — 同時スタート制御レジスタ 0.....	2141
29.2.2.4	PIC1ASSER1 — 同時スタート制御レジスタ 1.....	2141
29.2.2.5	PIC1ASSER2 — 同時スタート制御レジスタ 2.....	2142
29.2.2.6	PIC1ASSER3 — 同時スタート制御レジスタ 3.....	2144
29.2.2.7	PIC1AINIn0 — フリップフロップ回路初期化レジスタ n0.....	2144
29.2.2.8	PIC1AINIn1 — DT 初期化レジスタ n1.....	2145
29.2.2.9	PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ.....	2145

29.2.2.10	PIC1ATAUD0SEL — TAUD0 入力選択レジスタ	2146
29.2.2.11	PIC1ATAUD1SEL — TAUD1 入力選択レジスタ	2147
29.2.2.12	PIC1AHIZCEN0 — Hi-Z 制御レジスタ 0	2148
29.2.2.13	PIC1AHIZCEN1 — Hi-Z 制御レジスタ 1	2149
29.2.2.14	PIC1AHIZCEN2 — Hi-Z 制御レジスタ 2	2150
29.2.2.15	PIC1AHIZCEN3 — Hi-Z 制御レジスタ 3	2151
29.2.2.16	PIC1AENCSEL400 — ENCATIN1 入力選択レジスタ 400	2152
29.2.2.17	PIC1AENCSEL410 — ENCATIN1 入力選択レジスタ 410	2153
29.2.2.18	PIC1AREG200 — タイマ入出力制御レジスタ 200	2154
29.2.2.19	PIC1AREG210 — タイマ入出力制御レジスタ 210	2155
29.2.2.20	PIC1AREG2n1 — タイマ入出力制御レジスタ 2n1	2156
29.2.2.21	PIC1AREG2n2 — タイマ入出力制御レジスタ 2n2	2158
29.2.2.22	PIC1AREG2n3 — タイマ入出力制御レジスタ 2n3	2160
29.2.2.23	PIC1AREG30 — タイマ入出力制御レジスタ 30	2162
29.2.2.24	PIC1AREG31 — タイマ入出力制御レジスタ 31	2164
29.2.2.25	PIC1AREG50 — タイマ入出力制御レジスタ 50	2166
29.2.2.26	PIC1AREG51 — タイマ入出力制御レジスタ 51	2167
29.2.2.27	POMONSEL — ポート出力モニタ選択レジスタ	2168
29.2.2.28	PIMONSEL — ポート入力モニタ選択レジスタ	2169
29.2.2.29	SELBSSER — 同期クリア許可レジスタ	2170
29.2.3	機能	2171
29.2.3.1	同時 スタートトリガ機能	2171
29.2.3.2	デッドタイム付き PWM 出力機能	2175
29.2.3.3	デッドタイム付き高精度三角波 PWM 出力機能	2184
29.2.3.4	デッドタイム付きディレイパルス出力機能	2197
29.2.3.5	トリガパルス間隔測定機能	2203
29.2.3.6	エンコーダキャプチャトリガ選択機能	2210
29.2.3.7	2 相エンコーダ制御機能 (制御方式 1)	2217
29.2.3.8	2 相エンコーダ制御機能 (制御方式 2)	2223
29.2.3.9	3 相パルス入力制御機能	2229
29.2.3.10	3 相エンコーダ制御機能	2238
29.2.3.11	TAUD 入力選択機能	2241
29.2.3.12	Hi-Z 制御機能	2244
29.2.3.13	タイマ出力モニタ機能 (PWM-Diag)	2247
29.2.3.14	タイマ入力モニタ機能	2249
29.2.3.15	TSG3 同期クリア機能	2250
29.3	ペリフェラルインタコネクション — 2 (PIC2B)	2251
29.3.1	概要	2251
29.3.1.1	機能概要	2251
29.3.2	レジスタ	2251
29.3.2.1	レジスタ一覧	2251
29.3.2.2	PIC2BADCDnTSELx — AD コンバータ n トリガ選択制御レジスタ x	2252
29.3.2.3	PIC2BADCDnEDGSEL — AD コンバータトリガエッジ制御レジスタ	2254
29.3.2.4	PIC2BADTEN4nx — AD コンバータトリガ出力選択制御レジスタ	2255
29.3.2.5	ADSYNCTRG — A/D コンバータ同期スタートトリガレジスタ	2256
29.3.3	機能	2257
29.3.3.1	ADCD トリガ選択機能	2257
第 30 章	A/D コンバータ (ADCD)	2260
30.1	RH850/P1x ADCD の特長	2260
30.1.1	ユニット数	2260
30.1.2	レジスタベースアドレス	2260
30.1.3	クロック供給	2261
30.1.4	割り込みと DMA	2261

30.1.5	リセット要因	2261
30.1.6	外部入出力信号	2262
30.1.7	アナログチャンネルとトラック & ホールド機能	2263
30.1.8	仮想チャンネル	2263
30.2	概要	2264
30.2.1	機能概要	2264
30.2.2	ブロック図	2266
30.2.3	スキャングループ (SG)	2268
30.3	レジスタ	2269
30.3.1	レジスタ一覧	2269
30.3.2	ADCD0ADSYNSTCR — AD 同期開始制御レジスタ	2271
30.3.3	ADCD0ADTSYNSTCR — AD タイマ同期開始制御レジスタ	2271
30.3.4	ADCDnVCRj — 仮想チャンネルレジスタ j	2272
30.3.5	ADCDnDRj — データレジスタ j	2274
30.3.6	ADCDnDIRj — データ付帯情報レジスタ j	2276
30.3.7	ADCDnSMPCR — A/D 変換時間制御レジスタ	2278
30.3.8	ADCDnADHALTR — AD 終了レジスタ	2279
30.3.9	ADCDnADCR1 — AD 制御レジスタ 1	2280
30.3.10	ADCDnMPXCURCR — MPX カレント制御レジスタ	2281
30.3.11	ADCDnMPXCURR — MPX カレントレジスタ	2282
30.3.12	ADCDnMPXOWR — MPX 任意ウェイトレジスタ	2283
30.3.13	ADCDnADCR2 — AD 制御レジスタ 2	2284
30.3.14	ADCDnADENDPz — A/D 変換モニタ仮想チャンネルポインタ z	2285
30.3.15	ADCDnTHSMPSTCR — T&H サンプリング開始制御レジスタ	2286
30.3.16	ADCDnTHSTPCR — T&H 停止制御レジスタ	2287
30.3.17	ADCDnTHCR — T&H 制御レジスタ	2288
30.3.18	ADCDnTHAHLSTCR — T&H グループ A ホールド開始制御レジスタ	2289
30.3.19	ADCDnTHBHLSTCR — T&H グループ B ホールド開始制御レジスタ	2290
30.3.20	ADCDnTHACR — T&H グループ A 制御レジスタ	2291
30.3.21	ADCDnTHBCR — T&H グループ B 制御レジスタ	2293
30.3.22	ADCDnTHER — T&H イネーブルレジスタ	2295
30.3.23	ADCDnTHGSR — T&H グループ選択レジスタ	2296
30.3.24	ADCDnSFTCR — セーフティ制御レジスタ	2297
30.3.25	ADCDnTDCR — 端子レベル自己診断制御レジスタ	2298
30.3.26	ADCDnODCR — 断線検出制御レジスタ	2299
30.3.27	ADOPDIGn — 断線検出端子設定レジスタ n (n = 0, 1)	2300
30.3.28	ADCDnULLMTBR0 ~ 2 — 上限 / 下限テーブルレジスタ 0 ~ 2	2301
30.3.29	ADCDnECR — エラークリアレジスタ	2302
30.3.30	ADCDnULER — 上限 / 下限エラーレジスタ	2303
30.3.31	ADCDnOWER — オーバーライトエラーレジスタ	2304
30.3.32	ADCDnPER — パリティエラーレジスタ	2305
30.3.33	ADCDnIDER — ID エラーレジスタ	2306
30.3.34	ADCDnSGSTCRx — スキャングループ x 開始制御レジスタ	2307
30.3.35	ADCDnADTSTCRy — AD タイマ y 開始制御レジスタ	2308
30.3.36	ADCDnADTENDCRy — AD タイマ y 終了制御レジスタ	2309
30.3.37	ADCDnSGCRx — スキャングループ x 制御レジスタ	2310

30.3.38	ADCDnSGVCSPx — スキャングループ x 開始仮想チャンネルポインタ	2312
30.3.39	ADCDnSGVCEPx — スキャングループ x 終了仮想チャンネルポインタ	2313
30.3.40	ADCDnSGMCYCRx — スキャングループ x マルチサイクルレジスタ	2314
30.3.41	ADCDnSGSRx — スキャングループ x ステータスレジスタ	2315
30.3.42	ADCDnADTIPRy — AD タイマ初期位相レジスタ y	2316
30.3.43	ADCDnADTPRRy — AD タイマ周期レジスタ y	2317
30.3.44	ADCDnULLMSRx — スキャングループ x 上限値 / 下限値テーブル選択レジスタ	2318
30.4	機能	2319
30.4.1	A/D 変換機能	2319
30.4.1.1	マルチサイクルスキャンモード動作例	2319
30.4.1.2	連続スキャンモード動作例	2320
30.4.1.3	同時トラック&ホールド動作 (THC 制御)	2321
30.4.1.4	加算モードの通常 A/D 変換動作例	2325
30.4.1.5	外付けアナログマルチプレクサ使用例 (ポート出力)	2326
30.4.2	トリガ機能	2327
30.4.2.1	ハードウェアトリガによるスキャングループの起動	2327
30.4.2.2	AD タイマトリガによるスキャングループの起動	2327
30.4.2.3	ハードウェアトリガによる AD タイマの起動	2328
30.4.3	サスペンド機能	2329
30.4.3.1	同期サスペンド & レジューム動作	2329
30.4.3.2	非同期サスペンド & レジューム動作例	2330
30.4.3.3	同期 / 非同期ミックス型サスペンド動作	2330
30.4.4	自己診断機能	2331
30.4.4.1	端子レベル自己診断機能	2331
30.4.4.2	A/D 変換回路自己診断機能	2333
30.4.4.3	断線検出機能	2334
30.4.4.4	断線検出機能の診断	2335
30.4.4.5	T&H 経路の端子レベル自己診断	2336
30.4.5	割り込み要求機能	2342
30.4.5.1	スキャン終了割り込み	2342
30.4.5.2	AD エラー割り込み要求と AD パリティエラー割り込み要求	2343
30.5	手順	2344
30.5.1	初期設定	2344
30.5.2	A/D 変換起動手順	2345
30.5.3	A/D 変換停止手順	2346
30.6	A/D 変換精度の定義	2347
第 31 章	ファンクショナルセーフティ	2348
31.1	概要	2348
31.2	ECC および EDC	2349
31.2.1	概要	2349
31.2.1.1	ECC	2349
31.2.1.2	アドレスパリティ	2350
31.2.1.3	データパリティ	2350
31.2.2	Code Flash の ECC およびアドレスパリティ	2351
31.2.2.1	概要	2351
31.2.2.2	レジスター一覧	2352
31.2.2.3	レジスタ詳細	2353
31.2.3	Data Flash の ECC	2362
31.2.3.1	概要	2362

31.2.3.2	レジスタ一覧	2363
31.2.3.3	レジスタ詳細	2364
31.2.3.4	テスト機能	2372
31.2.4	Local RAM (CPU1) の ECC	2373
31.2.4.1	概要	2373
31.2.4.2	レジスタ一覧	2374
31.2.4.3	レジスタ詳細	2375
31.2.4.4	テスト機能	2383
31.2.5	命令キャッシュの ECC および EDC	2385
31.2.5.1	概要	2385
31.2.5.2	レジスタ一覧	2386
31.2.5.3	レジスタ詳細	2387
31.2.5.4	テスト機能	2399
31.2.6	DTS 用 RAM の ECC	2400
31.2.6.1	テスト機能	2400
31.2.7	周辺 RAM (32 ビット) の ECC	2401
31.2.7.1	概要	2401
31.2.7.2	レジスタ一覧	2402
31.2.7.3	レジスタ詳細	2403
31.2.7.4	ECM への通知	2412
31.2.7.5	テスト機能	2413
31.2.8	データ転送経路のデータパリティ	2414
31.2.8.1	レジスタ一覧	2414
31.2.8.2	レジスタ詳細	2416
31.2.9	使用上の注意	2419
31.3	ロックステップ	2420
31.3.1	レジスタ一覧	2420
31.3.2	レジスタ詳細	2421
31.3.2.1	TESTCOMPREG0 — 比較器テストレジスタ 0	2421
31.3.2.2	TESTCOMPREG1 — 比較器テストレジスタ 1	2422
31.3.2.3	PDMA_COMP_CNTRL — DMA コントロールレジスタ	2423
31.3.3	使用上の注意	2423
31.4	メモリ保護	2424
31.4.1	概要	2424
31.4.1.1	スレーブガードの識別子	2425
31.4.2	PBG	2426
31.4.2.1	レジスタ一覧	2430
31.4.2.2	レジスタ詳細	2431
31.5	クロックモニタ	2435
31.5.1	概要	2435
31.5.2	レジスタ一覧	2436
31.5.2.1	クロックモニタ チャンネルレジスタ	2436
31.5.2.2	共通レジスタ	2436
31.5.3	レジスタ詳細	2437
31.5.3.1	CLMAnCTL0 — CLMAn 制御レジスタ 0	2437
31.5.3.2	CLMAnCMPL — CLMAn 比較レジスタ L	2437
31.5.3.3	CLMAnCMPH — CLMAn 比較レジスタ H	2438
31.5.3.4	CLMATEST — CLMA セルフテストレジスタ	2439
31.5.3.5	CLMATESTS — CLMA セルフテストステータスレジスタ	2440
31.5.4	異常クロック周波数の検出	2441
31.5.5	自己診断	2443
31.5.6	レジスタ設定時の注意事項	2444

31.5.6.1	CLMAnCMPL/CLMAnCMPH レジスタの設定.....	2444
31.6	BIST.....	2445
31.6.1	BIST レジスタ一覧.....	2445
31.6.2	レジスタ詳細.....	2446
31.6.2.1	BSEQ0CTL — FieldBIST 制御レジスタ.....	2446
31.6.2.2	LBISTREF1 — ロジック BIST シグネチャレジスタ 1.....	2447
31.6.2.3	LBISTREF2 — ロジック BIST シグネチャレジスタ 2.....	2448
31.6.2.4	MBISTREF — メモリ BIST シグネチャレジスタ.....	2449
31.6.2.5	LBISTSIG1 — ロジック BIST シグネチャ結果レジスタ 1.....	2450
31.6.2.6	LBISTSIG2 — ロジック BIST シグネチャ結果レジスタ 2.....	2451
31.6.2.7	MBISTSIG — メモリ BIST シグネチャ結果レジスタ.....	2452
31.6.2.8	BSEQ0ST — BIST エラーステータスレジスタ.....	2453
31.6.2.9	BSEQ0STB — BIST エラーステータス反転レジスタ.....	2454
31.6.3	BIST 正常終了の確認.....	2455
31.6.4	Field BIST 状態遷移図.....	2456
31.6.5	注意事項.....	2456
31.7	ECM.....	2456
第 32 章	エラーコントロールモジュール (ECM).....	2457
32.1	概要.....	2457
32.1.1	仕様概要.....	2457
32.1.2	リセット要因.....	2458
32.1.3	エラー要因.....	2458
32.1.4	ERROROUT 出力動作.....	2462
32.1.4.1	ダイナミックモードを有効にする.....	2462
32.1.4.2	ダイナミックモードを無効にする.....	2462
32.1.5	ループバック機能.....	2462
32.1.6	疑似エラー発生.....	2463
32.1.7	エラー状態.....	2463
32.1.8	割り込み処理のタイムアウト機能.....	2463
32.2	ブロック図.....	2464
32.3	レジスタ仕様.....	2465
32.3.1	レジスタ一覧.....	2465
32.3.2	ECMmESET — ECM マスタ / チェッカエラーセットトリガレジスタ (m=M/C).....	2467
32.3.3	ECMmECLR — ECM マスタ / チェッカエラークリアトリガレジスタ (m=M/C).....	2468
32.3.4	ECMmESSTR0 — ECM マスタ / チェッカエラーソースステータスレジスタ 0 (m=M/C).....	2469
32.3.5	ECMmESSTR1 — ECM マスタ / チェッカエラーソースステータスレジスタ 1 (m=M/C).....	2470
32.3.6	ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ.....	2471
32.3.7	ECMMICFG0 — ECM EI レベル割り込みコンフィグレーションレジスタ 0.....	2472
32.3.8	ECMMICFG1 — ECM EI レベル割り込みコンフィグレーションレジスタ 1.....	2473
32.3.9	ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0.....	2474
32.3.10	ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1.....	2475
32.3.11	ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0.....	2476
32.3.12	ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1.....	2477
32.3.13	ECMEMK0 — ECM エラーマスクレジスタ 0.....	2478
32.3.14	ECMEMK1 — ECM エラーマスクレジスタ 1.....	2479

32.3.15	ECMESSTC0 — ECM エラーソースステータスクリアトリガレジスタ 0	2480
32.3.16	ECMESSTC1 — ECM エラーソースステータスクリアトリガレジスタ 1	2481
32.3.17	ECMPE0 — ECM 疑似エラートリガレジスタ 0	2482
32.3.18	ECMPE1 — ECM 疑似エラートリガレジスタ 1	2483
32.3.19	ECMDTMCTL — ECM ディレイタイマコントロールレジスタ	2484
32.3.20	ECMDTMR — ECM ディレイタイマレジスタ	2484
32.3.21	ECMDTMCMP — ECM ディレイタイマコンペアレジスタ	2485
32.3.22	ECMDTMCFG0 — ECM ディレイタイマコンフィグレーションレジスタ 0	2486
32.3.23	ECMDTMCFG1 — ECM ディレイタイマコンフィグレーションレジスタ 1	2487
32.3.24	ECMDTMCFG2 — ECM ディレイタイマコンフィグレーションレジスタ 2	2488
32.3.25	ECMDTMCFG3 — ECM ディレイタイマコンフィグレーションレジスタ 3	2489
32.3.26	ECMEPCTL — ECM エラーパルスコントロールレジスタ	2490
第 33 章 データ CRC (DCRA)		2491
33.1	RH850/P1x DCRA の特長	2491
33.1.1	ユニット数	2491
33.1.2	レジスタベースアドレス	2491
33.1.3	クロック供給	2492
33.1.4	リセット要因	2492
33.2	概要	2493
33.2.1	機能概要	2493
33.2.2	ブロック図	2493
33.2.3	演算回路	2494
33.3	レジスタ	2496
33.3.1	レジスタ一覧	2496
33.3.2	DCRAnCIN — CRC 入力レジスタ	2497
33.3.3	DCRAnCOUT — CRC データレジスタ	2498
33.3.4	DCRAnCTL — CRC 制御レジスタ	2499
33.4	動作	2500
第 34 章 オンチップデバッグユニット (OCD)		2501
34.1	デバッグ機能	2501
34.2	キャリブレーション機能	2503
34.3	トレースコントロール機能	2503
34.4	ペリフェラルブレークの制御	2503
34.5	AUD-RAM モニタ (AUDR)	2504
34.5.1	概要	2504
34.5.2	入出力端子	2506
34.5.3	レジスタの説明	2507
34.5.3.1	AUDMBR/AUDMBRC — AUDR メッセージボードレジスタ	2508
34.5.4	RAM モニタ機能	2509
34.5.4.1	通信プロトコル	2509
34.5.4.2	動作説明	2509
34.5.4.3	RAM モニタ機能に関しての使用上の注意事項	2517
34.5.4.4	RAM モニタ機能の有効 / 無効設定	2517

34.6	オンチップデバッグ使用上の注意.....	2517
第 35 章	フラッシュメモリ.....	2518
35.1	特長.....	2518
35.2	メモリ構成.....	2519
35.3	フラッシュメモリ関連の動作モード.....	2523
35.4	機能概要.....	2524
35.5	シリアルプログラミング.....	2529
35.5.1	プログラミング環境.....	2529
35.6	通信モード.....	2530
35.6.1	非同期フラッシュプログラミングインタフェース 1 wire UART.....	2530
35.6.2	非同期フラッシュプログラミングインタフェース 2 wire UART.....	2530
35.6.3	同期フラッシュプログラミングインタフェース CSI.....	2530
35.6.4	通信方式の選択.....	2531
35.7	セルフプログラミング.....	2532
35.7.1	概要.....	2532
35.7.2	BGO 機能.....	2532
35.7.3	セルフプログラミングの有効化.....	2533
35.7.3.1	FLMDCNT レジスタ.....	2533
35.8	フラッシュメモリの読み出し.....	2534
35.8.1	コードフラッシュメモリの読み出し.....	2534
35.8.2	データフラッシュメモリの読み出し.....	2534
35.9	レジスタの説明.....	2535
35.9.1	データフラッシュメモリ関連のレジスタ.....	2535
35.9.1.1	EEMPRDCYCL — データフラッシュメモリ読み出しサイクル設定レジスタ.....	2535
35.9.2	フラッシュメモリ書き込み消去プロテクト関連レジスタ.....	2536
35.9.2.1	FHVE15 — FHVE15 コントロールレジスタ.....	2536
35.9.2.2	FHVE3 — FHVE3 コントロールレジスタ.....	2537
35.9.3	製品情報関連レジスタ.....	2538
35.9.3.1	PRDNAME _n — 製品名格納レジスタ (n = 1 ~ 4).....	2539
35.10	オプションバイト.....	2540
35.10.1	オプションバイトの設定.....	2540
35.10.1.1	オプションバイト 0 の設定.....	2541
35.10.1.2	オプションバイト 2 の設定.....	2542
35.10.2	OPBT0 — オプションバイト 0.....	2543
35.10.3	OPBT2 — オプションバイト 2.....	2545
35.11	ECC テスト領域.....	2546
35.12	使用上の注意事項.....	2547
第 36 章	RAM.....	2548
36.1	搭載 RAM 一覧.....	2548
36.2	特長.....	2548
36.3	バックアップレジスタ.....	2548
36.3.1	レジスタ一覧.....	2548
36.3.2	BRAMDAT _n — バックアップレジスタ.....	2549

36.4	Emulation RAM	2549
36.4.1	Emulation RAM について	2549
36.4.2	Emulation RAM を使った Code Flash エミュレーション機能について	2549
36.4.3	EmulationRAM のメモリマップ	2551
36.4.4	CFU レジスタ一覧	2551
36.4.5	TM_ME — チューニングメモリマッピング許可レジスタ	2552
36.4.6	TM_MS — チューニングメモリマッピングステータスレジスタ	2553
36.4.7	TM_BMC0 — チューニングメモリバンクマッピングサイズコンフィグレーション レジスタ 0	2554
36.4.8	TM_MA0 ~ 3 — チューニングメモリマッピングアドレスレジスタ 0 ~ 3	2555
36.4.9	チューニング処理フロー	2556
36.4.10	ERAM アクセス時の注意事項	2556
36.5	使用上の注意事項	2556
第 37 章	電气的特性	2557
37.1	概要	2557
37.1.1	通常測定条件	2557
37.1.1.1	共通条件	2557
37.1.1.2	AC 特性の測定条件	2558
37.2	絶対最大定格	2559
37.3	供給電圧特性	2560
37.4	オシレータ特性	2560
37.5	高速内蔵発振回路特性	2561
37.6	PLL 特性	2561
37.7	レギュレータ特性	2561
37.8	DC 特性	2562
37.8.1	電源名と端子の関係	2562
37.8.2	バッファ特性	2563
37.8.3	許容出力電流	2564
37.8.4	注入電流	2564
37.8.5	入力容量	2564
37.8.6	電源電流特性	2565
37.9	AC 特性	2566
37.9.1	電源投入／切断タイミング	2566
37.9.2	ドライブ強度	2568
37.9.3	クロックタイミング	2568
37.9.4	制御信号タイミング	2569
37.9.4.1	リセット	2569
37.9.4.2	割り込み／ADTRG	2570
37.9.4.3	モード	2571
37.9.5	タイマタイミング	2571
37.9.6	CSI タイミング	2572
37.9.6.1	CSIG タイミング	2572
37.9.6.2	CSIH タイミング	2573
37.9.6.3	CSIG/CSIH タイミングチャート	2574
37.9.7	SCI3 タイミング	2583

37.9.8	RS-CAN タイミング	2585
37.9.9	RLIN3 タイミング	2585
37.9.10	FlexRay タイミング	2586
37.9.11	PSI5 タイミング	2586
37.9.12	RSENT タイミング	2586
37.10	POC 特性	2587
37.11	LVI 特性	2588
37.12	コア・ボルテージ・モニタ特性	2588
37.13	温度センサ	2588
37.14	BIST 実行時間	2589
37.15	A/D コンバータ特性	2589
37.16	Code Flash 特性	2591
37.17	Data Flash 特性	2592
37.18	デバッグインタフェース	2593
37.18.1	JTAG、NEXUS タイミング	2593
37.18.2	LDU4 線式タイミング	2594
37.18.3	AUD RAM モニタ	2595
37.19	熱特性	2596
付録 A.	レジスタ一覧	2597
付録 B.	外形寸法図	2721

第1章 概要

RH850/P1x は、ルネサス エレクトロニクス のシングルチップマイクロコンピュータ「RH850 シリーズ」の1製品です。この章では、RH850/P1x の概要を説明します。

1.1 概説

この製品は、RH850 シリーズの「RH850G3M」CPU を使用し、ROM、RAM、DMA コントローラ、PWM タイマをはじめとする各種タイマ、CAN を含めた各種シリアルインタフェース、A/D コンバータなどの周辺機能を内蔵し、高速演算による高精度なモータ制御に最適な32ビットシングルチップマイクロコンピュータです。

(1) RH850 のマルチコア搭載

この製品は「RH850G3M」CPU を2ユニット搭載しており、ひとつは通常動作の Master CPU として、もうひとつは Master CPU の動作を監視する Checker CPU として機能します。2つのCPUはロックステップで動作します。

「RH850G3M」CPU は、RISC 型命令セットをサポートしており、1命令を1クロックで実行する基本命令と、最適化された7段パイプラインにより、命令実行速度を飛躍的に向上させています。さらにデジタルサーボ制御の応用に最適な命令として、32ビットのハードウェア乗算器による乗算命令、飽和積和演算命令、ビット操作命令などもサポートしています。

また、2バイト長の基本命令、高級言語対応命令などにより、Cコンパイラでのオブジェクトコード効率を高めており、プログラムサイズのコンパクト化を実現します。さらに、内蔵割り込みコントローラでの処理を含む割り込み応答時間も高速なため、高度なリアルタイム制御分野に適しています。

(2) フラッシュメモリ、データフラッシュメモリ内蔵

この製品は、高速アクセス可能なフラッシュメモリを内蔵しており、アプリケーションシステム上に実装したままプログラムの書き換えが可能です。そのためシステム開発期間の短縮が実現できるとともに、システム出荷後のメンテナンス性を飛躍的に向上させることができます。

また、データフラッシュメモリを搭載しており、代表的な例としてEEPROMの代わりに使用することも可能です。

(3) 豊富な周辺機能

自動車のシャシーアプリケーション用途に適した、タイマやAD変換機能に加え、CAN、LIN、FlexRay、シリアル通信などの標準的な通信コントローラを搭載しています。さらに、センサインタフェースとして使用できるSENTやPSI5の通信コントローラ機も搭載しています。

(4) 機能安全対応

CPUの高信頼性動作を保証するために、メモリ保護機能、周辺装置保護機能、システムレジスタ保護機能があります。これらを搭載することで自動車分野の機能安全要求(ASIL)に対応しております。

1.2 応用分野

- 自動車分野（シャシー制御システムなど）

1.3 仕様概要

各製品の仕様概要は以下のようになります。

(1/2)

対象品			RH850/P1M		
			100-pin	144-pin	
Package			LFQFP100 (14×14)	LFQFP144 (16×16)	LFQFP144 (20×20)
Product name	eVR	512KB	R7F701304	—	—
		1MB	R7F701312	R7F701310	R7F701314
		2MB	R7F701320	R7F701318	R7F701322
	DPS	512KB	R7F701305	—	—
		1MB	R7F701313	R7F701311	R7F701315
		2MB	R7F701321	R7F701319	R7F701323
CPU	Frequency		160MHz メイン OSC = 16 MHz のみ		
	Main Core		1		
	lockstep		Yes		
	FPU	Double prec.	Yes		
	MPU		12ch		
	TPT		Yes		
	Cache(Inst.)		8KB 4way		
Flash	Code Flash	Size	2MB/1MB/512KB		
	Data Flash	Size	64KB 注1/32KB 注2		
RAM	Local RAM		128KB 注3/64KB 注4		
	Trace RAM	Size	32KB		
	ERAM (Emulation RAM)		32KB 注1/8KB 注2		
INTC	INTC1		32ch 注5 Redundant		
	INTC2		352ch 注5 No Redundancy		
DMA	DMAC		16ch Redundant		
	DTS		128ch Redundant		
Safety	ECM		Yes		
	CVM		Yes		
	BIST with status flag		Yes		
	ERROROUT		Yes		
	Clock Monitor		Yes		

(2/2)

対象品			RH850/P1M		
			100-pin	144-pin	
SAR-ADC	ADC 12bit	module	2		
		温度センサ	Yes		
		Analog input	ADCD0	9ch	12ch
			ADCD1	10ch	12ch
		T & H	ADCD0	6	
ADCD1	4				
Timer	TAUD (16bit×16ch)	modules	3		
	TAUJ (32bit×4ch)	modules	3		
	TSG3	modules	2		
	TAPA (HiZ control)	modules	4		
	ENCA	modules	2		
	OSTM	modules	5		
	OSTM(Output)	modules	2		
	WDT	modules	1		
	TPBA(Timer Pattern Buffer)	modules	2		
	PIC(Peripheral interconnect)	modules	Yes		
Clock out	modules	2			
シリアル通信	RS-CAN	channels	3注1/2注2		
	FlexRay注3	channels	2		
	PSI5	channels	2		
	RSENT	channels	5	6	
	SCI 3(Sync/Async USART)	channels	3		
	RLIN3(LIN master)	channels	2		
	CSIG(SPI)	channels	1		
CSIH(SPI)	channels	4			
DataCRC			4		
Debug	NEXUS-JTAG		Yes		
	LPD		Yes		
	AUD-RAM モニタ		No	Yes	
	Internal Branch Trace (to Trace RAM)		Yes		
	Internal Data Trace (to Trace RAM)		Yes		
	Measurement (Memory Read)		Yes		

注 1. Flash 2MB の製品のみ

注 2. Flash 1MB/512KB の製品のみ

注 3. Flash 2MB/1MB 製品のみ

注 4. Flash 512KB の製品のみ

注 5. 割り込みチャネル : INTC1[31:0], INTC2[383:32]

1.4 機能ブロック構成

1.4.1 内部ブロック図

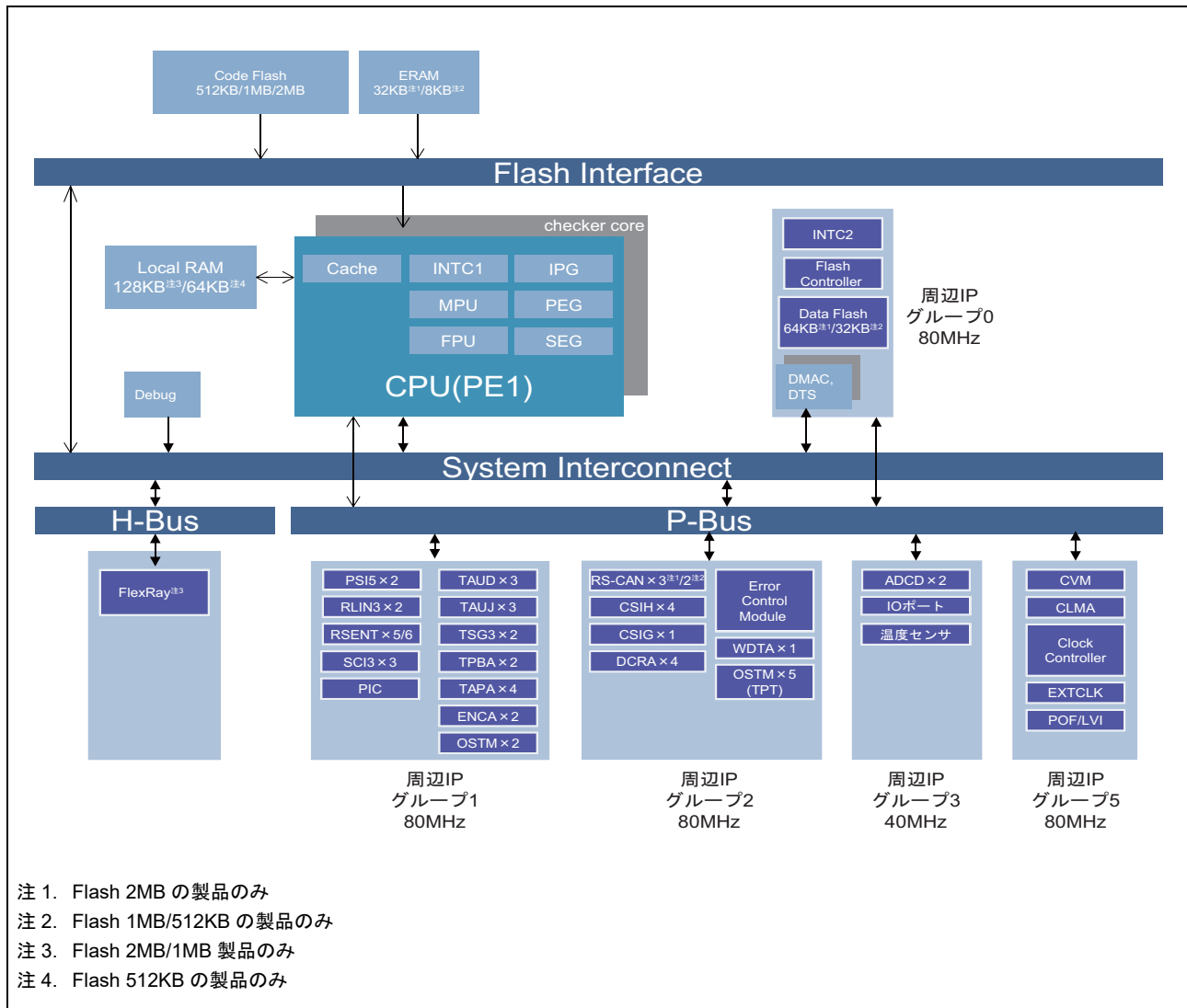


図 1.1 内部ブロック図

第2章 端子

2.1 端子接続図

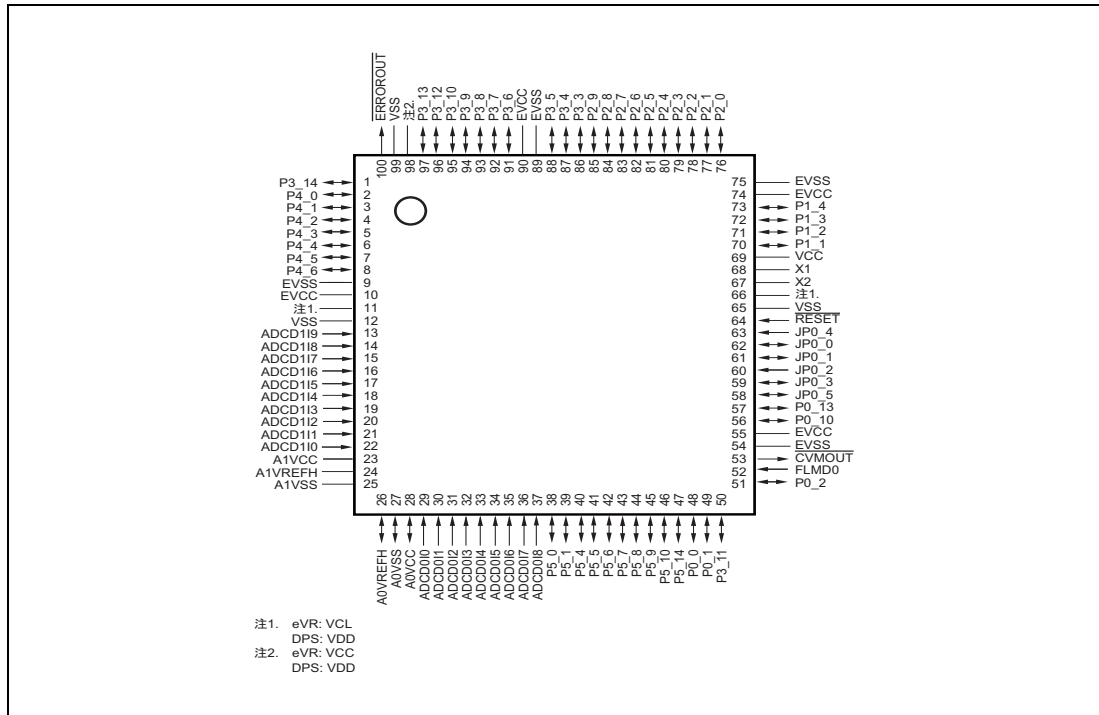


图 2.1 端子接続図 (100 pin)

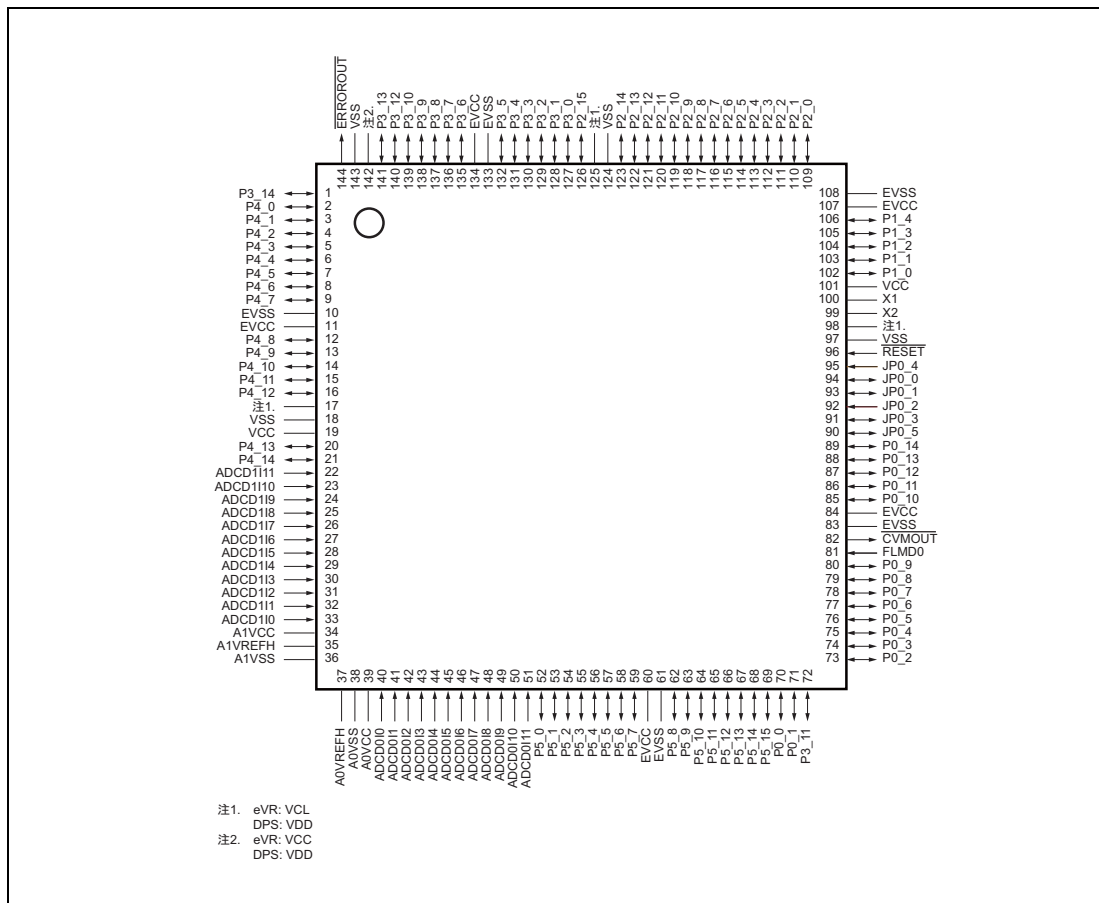


图 2.2 端子接续图 (144 pin)

表 2.1 に端子配置を示します。

注 意

CSIG、CSIH、SCI3、RLIN3、RSCAN、FlexRay、RSENT は使用できる端子の組み合わせに制限があります。詳細は各章に記載しております、表「端子名とポート名の組み合わせ」を参照してください。

表 2.1 端子配置 (1/5)

端子名称	端子番号			
	Pkg 100 (eVR)	Pkg 100 (DPS)	Pkg 144 (eVR)	Pkg 144 (DPS)
P3_14 / CSIH1SI / TAPA0ESO / INTP7 / TPB10 / EXTCLK00 / NMI / TSG3107 / FLMD1	1	1	1	1
P4_0 / CSIH1SO / TAUJ0I0 / TAUJ0O0 / RLIN30RX / INTP3 / TSG30PTSIO / ENCA0E0 / FLX0TXDA 注2 / ADCD1CNV0	2	2	2	2
P4_1 / CSIH1SCI / CSIH1SCO / TAUJ0I1 / TAUJ0O1 / RLIN30TX / TSG30PTS11 / ENCA0E1 / FLX0TXENA 注2 / ADCD1CNV1	3	3	3	3
P4_2 / RSCAN0RX1 / INTP6 / CSIH1RYO / TAUJ0I2 / TAUJ0O2 / SCI30SCI / SCI30SCO / TSG30PTS2 / ENCA0EC / FLX0RXDA 注2 / INTP11 / ADCD1CNV2	4	4	4	4
P4_3 / CSIH2RYI / RSCAN0TX1 / TAUJ0I3 / TAUJ0O3 / OSTM10 / TSG30CLKI / CSIH1CSS0 / FLX0RXDB 注2 / INTP12 / ADCD1CNV3 / TAUD2I0 / TAUD2O0	5	5	5	5
P4_4 / CSIH2SI / TAPA1ESO / INTP8 / CSIH2CSS7 / TSG31PTSIO / ENCA1E0 / CSIH1CSS1 / FLX0STPWT 注2 / ADCD1CNV4 / TAUD2I1 / TAUD2O1	6	6	6	6
P4_5 / CSIH2SO / SCI30RX / INTP0 / RSCAN0RX0 / INTP5 / EXTCLK10 / TSG31PTS11 / ENCA1E1 / CSIH1CSS2 / FLX0TXDB 注2 / TAUD2I2 / TAUD2O2	7	7	7	7
P4_6 / CSIH2SCI / CSIH2SCO / SCI30TX / RSCAN0TX0 / TSG31PTS2 / ENCA1EC / CSIH1CSS3 / FLX0TXENB 注2 / TAUD2I3 / TAUD2O3	8	8	8	8
P4_7 / RSCAN0RX1 / INTP6 / CSIH2RYO / TAUD1O0 / ENCA0TIN0 / CSIH2CSS0 / TSG31CLKI / CSIH1CSS4 / TAUD2I4 / TAUD2O4	—	—	9	9
EVSS	9	9	10	10
EVCC	10	10	11	11
P4_8 / FLX0RXDA 注2 / INTP11 / TAUD1O1 / ENCA0TIN1 / CSIH2CSS1 / CSIH1SSI / CSIH1CSS5 / TAUD2I5 / TAUD2O5	—	—	12	12
P4_9 / FLX0TXDA 注2 / TAUD1O2 / ENCA1TIN0 / CSIH2CSS2 / CSIH1RYI / CSIH1CSS6 / TAUD2I6 / TAUD2O6	—	—	13	13
P4_10 / FLX0TXENA 注2 / TAUD1O3 / ENCA1TIN1 / CSIH2CSS3 / CSIH1RYO / CSIH1CSS7 / TAUD2I7 / TAUD2O7	—	—	14	14
P4_11 / FLX0RXDB 注2 / INTP12 / TAUD1O4 / CSIH2CSS4 / TAUJ1I0 / TAUJ1O0 / TAUD2I8 / TAUD2O8	—	—	15	15
P4_12 / FLX0TXDB 注2 / TAUD1O5 / CSIH2CSS5 / TAUJ1I1 / TAUJ1O1 / TAUD2I9 / TAUD2O9	—	—	16	16
VCL	11	—	17	—
VDD	—	11	—	17
VSS	12	12	18	18
VCC	—	—	19	19
P4_13 / FLX0TXENB 注2 / TAUD1O6 / CSIH2SSI / TAUJ1I2 / TAUJ1O2 / TAUD2I10 / TAUD2O10	—	—	20	20
P4_14 / FLX0STPWT 注2 / TAUD1O7 / CSIH2CSS6 / TAUJ1I3 / TAUJ1O3 / TAUD2I11 / TAUD2O11	—	—	21	21
ADCD1I11	—	—	22	22
ADCD1I10	—	—	23	23
ADCD1I9	13	13	24	24

表 2.1 端子配置 (2/5)

端子名称	端子番号			
	Pkg 100 (eVR)	Pkg 100 (DPS)	Pkg 144 (eVR)	Pkg 144 (DPS)
ADCD118	14	14	25	25
ADCD117	15	15	26	26
ADCD116	16	16	27	27
ADCD115	17	17	28	28
ADCD114	18	18	29	29
ADCD113	19	19	30	30
ADCD112	20	20	31	31
ADCD111	21	21	32	32
ADCD110	22	22	33	33
A1VCC	23	23	34	34
A1VREFH	24	24	35	35
A1VSS	25	25	36	36
A0VREFH	26	26	37	37
A0VSS	27	27	38	38
A0VCC	28	28	39	39
ADCD010	29	29	40	40
ADCD011	30	30	41	41
ADCD012	31	31	42	42
ADCD013	32	32	43	43
ADCD014	33	33	44	44
ADCD015	34	34	45	45
ADCD016	35	35	46	46
ADCD017	36	36	47	47
ADCD018	37	37	48	48
ADCD019	—	—	49	49
ADCD0110	—	—	50	50
ADCD0111	—	—	51	51
P5_0 / CSIG0SI / TAUD000 / TAUD011 / TAUD001 / CSIH2CSS1 / SCI30RX / INTP0	38	38	52	52
P5_1 / CSIG0SO / TAUD002 / TAUD013 / ADCD0CNV0 / TAUD003 / TAUD012 / CSIH2CSS2 / SCI30TX	39	39	53	53
P5_2 / CSIG0SCI / CSIG0SCO / TAUD002 / TAUD014 / TAUD003 / TAUD015 / SCI30SCI / SCI30SCO	—	—	54	54
P5_3 / TAUD017 / TAUD016	—	—	55	55
P5_4 / CSIG0SCI / CSIG0SCO / TAUD004 / TAUD015 / ADCD0CNV1 / TAUD005 / TAUD014 / CSIH2CSS3 / SCI30SCI / SCI30SCO	40	40	56	56
P5_5 / SENT0RX / SENT0SPCO / TAUD006 / TAUD017 / ADCD0CNV2 / TAUD007 / TAUD016 / CSIH2CSS4 / SCI31RX / INTP1	41	41	57	57
P5_6 / INTP10 / RSCAN0RX2 ^{注1} / SENT0SPCO / TAUD008 / TAUD019 / ADCD0CNV3 / TAUD009 / TAUD018 / CSIH2CSS5 / SCI31TX	42	42	58	58
P5_7 / RSCAN0TX2 ^{注1} / TAUD010 / TAUD011 / ADCD0CNV4 / TAUD0011 / TAUD010 / CSIH2CSS6 / SCI31SCI / SCI31SCO	43	43	59	59
EVCC	—	—	60	60
EVSS	—	—	61	61
P5_8 / SENT1RX / SENT1SPCO / TAUD0012 / TAUD013 / TAUD0013 / TAUD012 / CSIH2CSS7 / SCI32RX / INTP2	44	44	62	62
P5_9 / TAUD014 / SENT1SPCO / TAUD0014 / TAUD015 / TAUD0015 / PSI51DIN / SCI32TX	45	45	63	63

表 2.1 端子配置 (3/5)

端子名称	端子番号			
	Pkg 100 (eVR)	Pkg 100 (DPS)	Pkg 144 (eVR)	Pkg 144 (DPS)
P5_10 / RLIN30RX / INTP3 / ADCDTRG0 / ADCD0CNV0 / PSI51DOUT / SCI32SCI / SCI32SCO	46	46	64	64
P5_11 / RLIN30TX / SENT3RX / SENT3SPCO / TAUD1O10	—	—	65	65
P5_12 / RLIN31RX / INTP4 / SENT2RX / SENT2SPCO / TAUD1O11	—	—	66	66
P5_13 / RLIN31TX / SENT2SPCO / TAUD1O12 / TAUD0I13 / TAUD0I12	—	—	67	67
P5_14 / TAUJ0I0 / TAUJ0O0 / SENT3RX / SENT3SPCO / TAUD1O13 / ADCDTRG1 / ADCD0CNV1 / PSI50DIN / RLIN30RX / INTP3	47	47	68	68
P5_15 / RLIN31RX / INTP4 / SENT3SPCO / RLIN30TX	—	—	69	69
P0_0 / TAUJ0I1 / TAUJ0O1 / SENT3SPCO / TAUD1O14 / ADCD0CNV2 / PSI50DOUT / RLIN30TX	48	48	70	70
P0_1 / TAUJ0I2 / TAUJ0O2 / SENT4RX / SENT4SPCO / TAUD1O15 / ADCD0CNV3 / RLIN31RX / INTP4	49	49	71	71
P3_11 / TAUJ0I3 / TAUJ0O3 / SENT4SPCO / ADCD0CNV4 / RLIN31TX	50	50	72	72
P0_2 / SCI30RX / INTP0 / TAPA1ESO / INTP8 / TAUD2I0 / ADCD0CNV0 / TAUD2O0 / SENT5RX / SENT5SPCO	51	51	73	73
P0_3 / SCI30TX / TAUD1O8 / TAUD2I1 / ADCD0CNV1 / TAUD2O1 / SENT5SPCO / AUDA1	—	—	74	74
P0_4 / SCI30SCI / SCI30SCO / TAUD1O9 / TAUD2I2 / ADCD0CNV2 / TAUD2O2 / SENT4SPCO/AUDA2	—	—	75	75
P0_5 / TAUJ1I0 / TAUJ1O0 / TAUD1O10 / TAUD2I3 / ADCD0CNV3 / TAUD2O3 / SENT3SPCO/AUDA3	—	—	76	76
P0_6 / TAUJ1I1 / TAUJ1O1 / TAUD1O11 / TAUD2I4 / TAUD2O4 / SENT2SPCO/AUDCK	—	—	77	77
P0_7 / TAUJ1I2 / TAUJ1O2 / TAUD1O12 / TAUD2I5 / ADCDTRG0 / TAUD2O5 / SENT1SPCO/AUDSYNC	—	—	78	78
P0_8 / TAUJ1I3 / TAUJ1O3 / TAUD1O13 / TAUD2I6 / ADCDTRG1 / TAUD2O6 / SENT0SPCO/AUDRST	—	—	79	79
P0_9 / ADCD1CNV1 / TAUD1O14 / TAUD2I7 / ADCD0CNV4 / TAUD2O7/AUDA0	—	—	80	80
FLMD0	52	52	81	81
CVMOUT	53	53	82	82
EVSS	54	54	83	83
EVCC	55	55	84	84
P0_10 / RESETOUT / ADCD1CNV0 / EVTO	56	56	85	85
P0_11 / ADCD1CNV2	—	—	86	86
P0_12 / ADCD1CNV3	—	—	87	87
P0_13 / OSTM00 / TAUD1O15 / TAUD2I7 / INTP9 / TAUD2O7 / EVTI	57	57	88	88
P0_14 / ADCD1CNV4	—	—	89	89
JP0_5 / DCUTRDY / LPDCLKOUT	58	58	90	90
JP0_3 / DCUTMS	59	59	91	91
JP0_2 / FLSCI3SCKI (FPCK) / DCUTCK / LPDCLK	60	60	92	92
JP0_1 / FLSCI3TXD (FPDT) / DCUTDO / LPDO	61	61	93	93
JP0_0 / FLSCI3RXD (FPDR) / FLSCI3TXD (FPDT),FLSCI3RXD (FPDR) / DCUTDI / LPDI / LPDIO	62	62	94	94
JP0_4 / DCUTRST	63	63	95	95
RESET	64	64	96	96
VSS	65	65	97	97
VDD	—	66	—	98
VCL	66	—	98	—
X2	67	67	99	99

表 2.1 端子配置 (4/5)

端子名称	端子番号			
	Pkg 100 (eVR)	Pkg 100 (DPS)	Pkg 144 (eVR)	Pkg 144 (DPS)
X1	68	68	100	100
VCC	69	69	101	101
P1_0 / RLIN30TX / CSIH3RYO	—	—	102	102
P1_1 / TAUJ2I0 / TAUJ2O0 / TAUJ1I0 / TAUJ1O0 / TAUD2I12 / TAUD2O12 / RLIN30RX / INTP3 / CSIH2CSS0 / TAUD0I6 / CSIH3RYI	70	70	103	103
P1_2 / TAUJ2I1 / TAUJ2O1 / TAUJ1I1 / TAUJ1O1 / TAUD2I13 / TAUD2O13 / CSIH2SI / TAUD0I8 / CSIH3SI	71	71	104	104
P1_3 / TAUJ2I2 / TAUJ2O2 / TAUJ1I2 / TAUJ1O2 / TAUD2I14 / TAUD2O14 / CSIH2SO / TAUD0I10 / CSIH3SO	72	72	105	105
P1_4 / TAUJ2I3 / TAUJ2O3 / TAUJ1I3 / TAUJ1O3 / TAUD2I15 / TAUD2O15 / CSIH2SCI / CSIH2SCO / CSIH3SCI / CSIH3SCO	73	73	106	106
EVCC	74	74	107	107
EVSS	75	75	108	108
P2_0 / RSCAN0RX0 / INTP5 / CSIH2SI / TAUD2I11 / TAUD2O11 / CSIH3CSS6	76	76	109	109
P2_1 / RSCAN0TX0 / CSIH2SO / TAUD2I12 / TAUD2O12 / CSIH3CSS7 / TSG3007	77	77	110	110
P2_2 / RSCAN0RX1 / INTP6 / CSIH2SCI / CSIH2SCO / TAUD2I13 / TAUD2O13 / TPB00 / TSG3000 / CSIH0CSS5	78	78	111	111
P2_3 / RSCAN0TX1 / CSIH2RYI / CSIH2CSS0 / TAUD2I14 / TAUD2O14 / TPB10 / TSG3001	79	79	112	112
P2_4 / CSIH2RYO / CSIH0CSS2 / RLIN31TX / TAUJ1I3 / TAUJ1O3 / CSIH0SI / TAUD2I11 / TAUD2O11	80	80	113	113
P2_5 / SCI30RX / INTP0 / CSIH0CSS3 / RLIN31RX / INTP4 / CSIH3SO / TSG3002 / CSIH0SO	81	81	114	114
P2_6 / SCI30TX / OSTM10 / CSIH0SCI / CSIH0SCO / CSIH3SI / CSIH0CSS4 / TSG3003 / TAUD1I0 / TAUD1O0	82	82	115	115
P2_7 / SCI30SCI / SCI30SCO / CSIH0CSS5 / CSIH1SI / CSIH3SCI / CSIH3SCO / TSG3004 / TAUD1I1 / TAUD1O1	83	83	116	116
P2_8 / SCI31RX / INTP1 / CSIH3RYO / CSIH0CSS6 / CSIH1SO / CSIH3RYI / CSIH3CSS0 / TSG3005 / TAUD1I2 / TAUD1O2	84	84	117	117
P2_9 / SCI31TX / CSIH0CSS7 / CSIH1SCI / CSIH1SCO / CSIH3CSS1 / TSG3006 / TAUD1I3 / TAUD1O3	85	85	118	118
P2_10 / TAUD2I10 / TAUD2O10 / CSIH0RYI / CSIH0CSS6 / OSTM10	—	—	119	119
P2_11 / TAUD1I0 / TAUD1O0 / TAUD1I1 / TAUD1O1 / CSIH0CSS5 / CSIH1RYI / CSIH0RYO	—	—	120	120
P2_12 / TAUD1I2 / TAUD1O2 / TAUD1I3 / TAUD1O3 / CSIH0CSS4 / CSIH0SO	—	—	121	121
P2_13 / TAUD1I4 / TAUD1O4 / TAUD1I5 / TAUD1O5 / CSIH0CSS3 / CSIH1RYO	—	—	122	122
P2_14 / TAUD1I6 / TAUD1O6 / TAUD1I7 / TAUD1O7 / CSIH0CSS2	—	—	123	123
VSS	—	—	124	124
VCL	—	—	125	—
VDD	—	—	—	125
P2_15 / TAUD1I8 / TAUD1O8 / TAUD1I9 / TAUD1O9 / CSIH0RYI	—	—	126	126
P3_0 / TAUD1I10 / TAUD1O10 / TAUD1I11 / TAUD1O11 / CSIH0SO / CSIG0SI	—	—	127	127
P3_1 / TAUD1I12 / TAUD1O12 / TAUD1I13 / TAUD1O13 / CSIH0SCI / CSIH0SCO / CSIG0SO	—	—	128	128
P3_2 / TAUD1I14 / TAUD1O14 / TAUD1I15 / TAUD1O15 / CSIH0SI / CSIH0CSS7 / CSIG0SCI / CSIG0SCO	—	—	129	129
P3_3 / CSIH0RYI / SCI32TX / TAUD1I0 / CSIH2CSS1 / CSIH3SSI / CSIH3CSS4 / TAUD1O0 / TAUD1O1	86	86	130	130
P3_4 / SCI32RX / INTP2 / TAUD1I2 / CSIH2CSS2 / RLIN30RX / INTP3 / CSIG0RYO / CSIH3CSS3 / TAUD1O2 / TAUD1O3	87	87	131	131

表 2.1 端子配置 (5/5)

端子名称	端子番号			
	Pkg 100 (eVR)	Pkg 100 (DPS)	Pkg 144 (eVR)	Pkg 144 (DPS)
P3_5 / SCI31SCI / SCI31SCO / TAUD010 / CSH2CSS3 / CSIG0RY1 / RLIN30TX / CSH3CSS2 / TAUD000 / TAUD001	88	88	132	132
EVSS	89	89	133	133
EVCC	90	90	134	134
P3_6 / CSH0SI / TSG3100 / TAUD002 / CSH3RY1 / CSH2CSS4 / TAUD003	91	91	135	135
P3_7 / CSH0SO / TSG3101 / RSCAN0RX0 / INTP5 / SCI30RX / INTP0 / CSH2RY1 / CSH2CSS5 / TAUD005	92	92	136	136
P3_8 / CSH0SCI / CSH0SCO / TSG3102 / RSCAN0TX0 / TPB10 / CSH0SSI / CSH2CSS6 / TAUD007	93	93	137	137
P3_9 / SCI32SCI / SCI32SCO / TSG3103 / CSH3CSS5 / CSH0RY1 / CSH2CSS7 / TAUD009	94	94	138	138
P3_10 / TSG3104 / TAUD1I6 / TAUD0011	95	95	139	139
P3_12 / CSH1RY0 / TSG3105 / RSCAN0RX1 / INTP6 / SCI30TX / TAUD1I8 / CSH0CSS0 / TAUD0013	96	96	140	140
P3_13 / CSH1RY1 / TSG3106 / RSCAN0TX1 / SCI30SCI / SCI30SCO / TAUD1I10 / CSH0CSS1 / TAUD0015	97	97	141	141
VDD	—	98	—	142
VCC	98	—	142	—
VSS	99	99	143	143
ERROROUT	100	100	144	144

注 1. Flash 2MB 製品のみ

注 2. Flash 2MB/1MB 製品のみ

2.2 端子説明

2.2.1 概要

本節では、端子機能および外部端子の一覧と、リセット時および各状態での外部端子の端子状態を示します。

2.2.2 端子機能一覧

各端子の機能を表 2.2 に示します。表の“ポート番号”はサポート機能、“—”は非サポート機能を意味します。非サポートの端子機能は、使用しないでください。

表 2.2 端子機能 (1/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
NMI	NMI	I	外部ノンマスカブル割り込み入力	P3_14	P3_14	P3_14	P3_14
INTP	INTP0	I	外部割り込み入力 0	P3_7/ P2_5/ P0_2/ P5_0/ P4_5	P3_7/ P2_5/ P0_2/ P5_0/ P4_5	P3_7/ P2_5/ P0_2/ P5_0/ P4_5	P3_7/ P2_5/ P0_2/ P5_0/ P4_5
	INTP1	I	外部割り込み入力 1	P2_8/ P5_5	P2_8/ P5_5	P2_8/ P5_5	P2_8/ P5_5
	INTP2	I	外部割り込み入力 2	P3_4/ P5_8	P3_4/ P5_8	P3_4/ P5_8	P3_4/ P5_8
	INTP3	I	外部割り込み入力 3	P3_4/ P1_1/ P5_14/ P5_10/ P4_0	P3_4/ P1_1/ P5_14/ P5_10/ P4_0	P3_4/ P1_1/ P5_14/ P5_10/ P4_0	P3_4/ P1_1/ P5_14/ P5_10/ P4_0
	INTP4	I	外部割り込み入力 4	P2_5/ P0_1	P2_5/ P0_1	P2_5/ P0_1/ P5_15/ P5_12	P2_5/ P0_1/ P5_15/ P5_12
	INTP5	I	外部割り込み入力 5	P3_7/ P2_0/ P4_5	P3_7/ P2_0/ P4_5	P3_7/ P2_0/ P4_5	P3_7/ P2_0/ P4_5
	INTP6	I	外部割り込み入力 6	P3_12/ P2_2/ P4_2	P3_12/ P2_2/ P4_2	P3_12/ P2_2/ P4_7/ P4_2	P3_12/ P2_2/ P4_7/ P4_2
	INTP7	I	外部割り込み入力 7	P3_14	P3_14	P3_14	P3_14
	INTP8	I	外部割り込み入力 8	P0_2/ P4_4	P0_2/ P4_4	P0_2/ P4_4	P0_2/ P4_4
	INTP9	I	外部割り込み入力 9	P0_13	P0_13	P0_13	P0_13
	INTP10	I	外部割り込み入力 10	P5_6	P5_6	P5_6	P5_6
	INTP11	I	外部割り込み入力 11	P4_2	P4_2	P4_8/ P4_2	P4_8/ P4_2
	INTP12	I	外部割り込み入力 12	P4_3	P4_3	P4_11/ P4_3	P4_11/ P4_3
TAUD0	TAUD010	I	TAUD0 チャネル入力 0	P3_5	P3_5	P3_5	P3_5
	TAUD011	I	TAUD0 チャネル入力 1	P5_0	P5_0	P5_0	P5_0
	TAUD012	I	TAUD0 チャネル入力 2	P5_1	P5_1	P5_1	P5_1
	TAUD013	I	TAUD0 チャネル入力 3	P5_1	P5_1	P5_1	P5_1
	TAUD014	I	TAUD0 チャネル入力 4	P5_4	P5_4	P5_4	P5_4
	TAUD015	I	TAUD0 チャネル入力 5	P5_4	P5_4	P5_4	P5_4
	TAUD016	I	TAUD0 チャネル入力 6	P1_1/ P5_5	P1_1/ P5_5	P1_1/ P5_5/ P5_3	P1_1/ P5_5/ P5_3

表 2.2 端子機能 (2/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
TAUD0	TAUD0I7	I	TAUD0 チャネル入力 7	P5_5	P5_5	P5_5/ P5_3	P5_5/ P5_3
	TAUD0I8	I	TAUD0 チャネル入力 8	P1_2/ P5_6	P1_2/ P5_6	P1_2/ P5_6	P1_2/ P5_6
	TAUD0I9	I	TAUD0 チャネル入力 9	P5_6	P5_6	P5_6	P5_6
	TAUD0I10	I	TAUD0 チャネル入力 10	P1_3/ P5_7	P1_3/ P5_7	P1_3/ P5_7	P1_3/ P5_7
	TAUD0I11	I	TAUD0 チャネル入力 11	P5_7	P5_7	P5_7	P5_7
	TAUD0I12	I	TAUD0 チャネル入力 12	P5_8	P5_8	P5_13/ P5_8	P5_13/ P5_8
	TAUD0I13	I	TAUD0 チャネル入力 13	P5_8	P5_8	P5_13/ P5_8	P5_13/ P5_8
	TAUD0I14	I	TAUD0 チャネル入力 14	P5_9	P5_9	P5_9/ P5_2	P5_9/ P5_2
	TAUD0I15	I	TAUD0 チャネル入力 15	P5_9	P5_9	P5_9/ P5_2	P5_9/ P5_2
	TAUD0O0	O	TAUD0 チャネル出力 0	P3_5/ P5_0	P3_5/ P5_0	P3_5/ P5_0	P3_5/ P5_0
	TAUD0O1	O	TAUD0 チャネル出力 1	P3_5/ P5_0	P3_5/ P5_0	P3_5/ P5_0	P3_5/ P5_0
	TAUD0O2	O	TAUD0 チャネル出力 2	P3_6/ P5_1	P3_6/ P5_1	P3_6/ P5_2/ P5_1	P3_6/ P5_2/ P5_1
	TAUD0O3	O	TAUD0 チャネル出力 3	P3_6/ P5_1	P3_6/ P5_1	P3_6/ P5_2/ P5_1	P3_6/ P5_2/ P5_1
	TAUD0O4	O	TAUD0 チャネル出力 4	P5_4	P5_4	P5_4	P5_4
	TAUD0O5	O	TAUD0 チャネル出力 5	P3_7/ P5_4	P3_7/ P5_4	P3_7/ P5_4	P3_7/ P5_4
	TAUD0O6	O	TAUD0 チャネル出力 6	P5_5	P5_5	P5_5	P5_5
	TAUD0O7	O	TAUD0 チャネル出力 7	P3_8/ P5_5	P3_8/ P5_5	P3_8/ P5_5	P3_8/ P5_5
	TAUD0O8	O	TAUD0 チャネル出力 8	P5_6	P5_6	P5_6	P5_6
	TAUD0O9	O	TAUD0 チャネル出力 9	P3_9/ P5_6	P3_9/ P5_6	P3_9/ P5_6	P3_9/ P5_6
	TAUD0O10	O	TAUD0 チャネル出力 10	P5_7	P5_7	P5_7	P5_7
	TAUD0O11	O	TAUD0 チャネル出力 11	P3_10/ P5_7	P3_10/ P5_7	P3_10/ P5_7	P3_10/ P5_7
TAUD0O12	O	TAUD0 チャネル出力 12	P5_8	P5_8	P5_8	P5_8	
TAUD0O13	O	TAUD0 チャネル出力 13	P3_12/ P5_8	P3_12/ P5_8	P3_12/ P5_8	P3_12/ P5_8	
TAUD0O14	O	TAUD0 チャネル出力 14	P5_9	P5_9	P5_9	P5_9	
TAUD0O15	O	TAUD0 チャネル出力 15	P3_13/ P5_9	P3_13/ P5_9	P3_13/ P5_9	P3_13/ P5_9	
TAUD1	TAUD1I0	I	TAUD1 チャネル入力 0	P3_3/ P2_6	P3_3/ P2_6	P3_3/ P2_11/ P2_6	P3_3/ P2_11/ P2_6
	TAUD1I1	I	TAUD1 チャネル入力 1	P2_7	P2_7	P2_11/ P2_7	P2_11/ P2_7
	TAUD1I2	I	TAUD1 チャネル入力 2	P3_4/ P2_8	P3_4/ P2_8	P3_4/ P2_12/ P2_8	P3_4/ P2_12/ P2_8
	TAUD1I3	I	TAUD1 チャネル入力 3	P2_9	P2_9	P2_12/ P2_9	P2_12/ P2_9
	TAUD1I4	I	TAUD1 チャネル入力 4	—	—	P2_13	P2_13
	TAUD1I5	I	TAUD1 チャネル入力 5	—	—	P2_13	P2_13

表 2.2 端子機能 (3/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
TAUD1	TAUD1I6	I	TAUD1 チャネル入力 6	P3_10	P3_10	P3_10/ P2_14	P3_10/ P2_14
	TAUD1I7	I	TAUD1 チャネル入力 7	—	—	P2_14	P2_14
	TAUD1I8	I	TAUD1 チャネル入力 8	P3_12	P3_12	P3_12/ P2_15	P3_12/ P2_15
	TAUD1I9	I	TAUD1 チャネル入力 9	—	—	P2_15	P2_15
	TAUD1I10	I	TAUD1 チャネル入力 10	P3_13	P3_13	P3_13/ P3_0	P3_13/ P3_0
	TAUD1I11	I	TAUD1 チャネル入力 11	—	—	P3_0	P3_0
	TAUD1I12	I	TAUD1 チャネル入力 12	—	—	P3_1	P3_1
	TAUD1I13	I	TAUD1 チャネル入力 13	—	—	P3_1	P3_1
	TAUD1I14	I	TAUD1 チャネル入力 14	—	—	P3_2	P3_2
	TAUD1I15	I	TAUD1 チャネル入力 15	—	—	P3_2	P3_2
	TAUD1O0	O	TAUD1 チャネル出力 0	P3_3/ P2_6	P3_3/ P2_6	P3_3/ P2_11/ P2_6/ P4_7	P3_3/ P2_11/ P2_6/ P4_7
	TAUD1O1	O	TAUD1 チャネル出力 1	P3_3/ P2_7	P3_3/ P2_7	P3_3/ P2_11/ P2_7/ P4_8	P3_3/ P2_11/ P2_7/ P4_8
	TAUD1O2	O	TAUD1 チャネル出力 2	P3_4/ P2_8	P3_4/ P2_8	P3_4/ P2_12/ P2_8/ P4_9	P3_4/ P2_12/ P2_8/ P4_9
	TAUD1O3	O	TAUD1 チャネル出力 3	P3_4/ P2_9	P3_4/ P2_9	P3_4/ P2_12/ P2_9/ P4_10	P3_4/ P2_12/ P2_9/ P4_10
	TAUD1O4	O	TAUD1 チャネル出力 4	—	—	P2_13/ P4_11	P2_13/ P4_11
	TAUD1O5	O	TAUD1 チャネル出力 5	—	—	P2_13/ P4_12	P2_13/ P4_12
	TAUD1O6	O	TAUD1 チャネル出力 6	—	—	P2_14/ P4_13	P2_14/ P4_13
	TAUD1O7	O	TAUD1 チャネル出力 7	—	—	P2_14/ P4_14	P2_14/ P4_14
	TAUD1O8	O	TAUD1 チャネル出力 8	—	—	P2_15/ P0_3	P2_15/ P0_3
	TAUD1O9	O	TAUD1 チャネル出力 9	—	—	P2_15/ P0_4	P2_15/ P0_4
	TAUD1O10	O	TAUD1 チャネル出力 10	—	—	P3_0/ P0_5/ P5_11	P3_0/ P0_5/ P5_11
	TAUD1O11	O	TAUD1 チャネル出力 11	—	—	P3_0/ P0_6/ P5_12	P3_0/ P0_6/ P5_12
	TAUD1O12	O	TAUD1 チャネル出力 12	—	—	P3_1/ P0_7/ P5_13	P3_1/ P0_7/ P5_13
TAUD1O13	O	TAUD1 チャネル出力 13	P5_14	P5_14	P3_1/ P0_8/ P5_14	P3_1/ P0_8/ P5_14	
TAUD1O14	O	TAUD1 チャネル出力 14	P0_0	P0_0	P3_2/ P0_9/ P0_0	P3_2/ P0_9/ P0_0	
TAUD1O15	O	TAUD1 チャネル出力 15	P0_13/ P0_1	P0_13/ P0_1	P3_2/ P0_13/ P0_1	P3_2/ P0_13/ P0_1	

表 2.2 端子機能 (4/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
TAUD2	TAUD2I0	I	TAUD2 チャネル入力 0	P0_2/ P4_3	P0_2/ P4_3	P0_2/ P4_3	P0_2/ P4_3
	TAUD2I1	I	TAUD2 チャネル入力 1	P4_4	P4_4	P0_3/ P4_4	P0_3/ P4_4
	TAUD2I2	I	TAUD2 チャネル入力 2	P4_5	P4_5	P0_4/ P4_5	P0_4/ P4_5
	TAUD2I3	I	TAUD2 チャネル入力 3	P4_6	P4_6	P0_5/ P4_6	P0_5/ P4_6
	TAUD2I4	I	TAUD2 チャネル入力 4	—	—	P0_6/ P4_7	P0_6/ P4_7
	TAUD2I5	I	TAUD2 チャネル入力 5	—	—	P0_7/ P4_8	P0_7/ P4_8
	TAUD2I6	I	TAUD2 チャネル入力 6	—	—	P0_8/ P4_9	P0_8/ P4_9
	TAUD2I7	I	TAUD2 チャネル入力 7	P0_13	P0_13	P0_13/ P0_9/ P4_10	P0_13/ P0_9/ P4_10
	TAUD2I8	I	TAUD2 チャネル入力 8	—	—	P4_11	P4_11
	TAUD2I9	I	TAUD2 チャネル入力 9	—	—	P4_12	P4_12
	TAUD2I10	I	TAUD2 チャネル入力 10	—	—	P2_10/ P4_13	P2_10/ P4_13
	TAUD2I11	I	TAUD2 チャネル入力 11	P2_4/ P2_0	P2_4/ P2_0	P2_4/ P2_0/ P4_14	P2_4/ P2_0/ P4_14
	TAUD2I12	I	TAUD2 チャネル入力 12	P2_1/ P1_1	P2_1/ P1_1	P2_1/ P1_1	P2_1/ P1_1
	TAUD2I13	I	TAUD2 チャネル入力 13	P2_2/ P1_2	P2_2/ P1_2	P2_2/ P1_2	P2_2/ P1_2
	TAUD2I14	I	TAUD2 チャネル入力 14	P2_3/ P1_3	P2_3/ P1_3	P2_3/ P1_3	P2_3/ P1_3
	TAUD2I15	I	TAUD2 チャネル入力 15	P1_4	P1_4	P1_4	P1_4
	TAUD2O0	O	TAUD2 チャネル出力 0	P0_2/ P4_3	P0_2/ P4_3	P0_2/ P4_3	P0_2/ P4_3
	TAUD2O1	O	TAUD2 チャネル出力 1	P4_4	P4_4	P0_3/ P4_4	P0_3/ P4_4
	TAUD2O2	O	TAUD2 チャネル出力 2	P4_5	P4_5	P0_4/ P4_5	P0_4/ P4_5
	TAUD2O3	O	TAUD2 チャネル出力 3	P4_6	P4_6	P0_5/ P4_6	P0_5/ P4_6
	TAUD2O4	O	TAUD2 チャネル出力 4	—	—	P0_6/ P4_7	P0_6/ P4_7
	TAUD2O5	O	TAUD2 チャネル出力 5	—	—	P0_7/ P4_8	P0_7/ P4_8
	TAUD2O6	O	TAUD2 チャネル出力 6	—	—	P0_8/ P4_9	P0_8/ P4_9
TAUD2O7	O	TAUD2 チャネル出力 7	P0_13	P0_13	P0_13/ P0_9/ P4_10	P0_13/ P0_9/ P4_10	
TAUD2O8	O	TAUD2 チャネル出力 8	—	—	P4_11	P4_11	
TAUD2O9	O	TAUD2 チャネル出力 9	—	—	P4_12	P4_12	
TAUD2O10	O	TAUD2 チャネル出力 10	—	—	P2_10/ P4_13	P2_10/ P4_13	
TAUD2O11	O	TAUD2 チャネル出力 11	P2_4/ P2_0	P2_4/ P2_0	P2_4/ P2_0/ P4_14	P2_4/ P2_0/ P4_14	

表 2.2 端子機能 (5/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
TAUD2	TAUD2O12	O	TAUD2 チャネル出力 12	P2_1/ P1_1	P2_1/ P1_1	P2_1/ P1_1	P2_1/ P1_1
	TAUD2O13	O	TAUD2 チャネル出力 13	P2_2/ P1_2	P2_2/ P1_2	P2_2/ P1_2	P2_2/ P1_2
	TAUD2O14	O	TAUD2 チャネル出力 14	P2_3/ P1_3	P2_3/ P1_3	P2_3/ P1_3	P2_3/ P1_3
	TAUD2O15	O	TAUD2 チャネル出力 15	P1_4	P1_4	P1_4	P1_4
TAUJ0	TAUJ0I0	I	TAUJ0 チャネル入力 0	P5_14/ P4_0	P5_14/ P4_0	P5_14/ P4_0	P5_14/ P4_0
	TAUJ0I1	I	TAUJ0 チャネル入力 1	P0_0/ P4_1	P0_0/ P4_1	P0_0/ P4_1	P0_0/ P4_1
	TAUJ0I2	I	TAUJ0 チャネル入力 2	P0_1/ P4_2	P0_1/ P4_2	P0_1/ P4_2	P0_1/ P4_2
	TAUJ0I3	I	TAUJ0 チャネル入力 3	P3_11/ P4_3	P3_11/ P4_3	P3_11/ P4_3	P3_11/ P4_3
	TAUJ0O0	O	TAUJ0 チャネル出力 0	P5_14/ P4_0	P5_14/ P4_0	P5_14/ P4_0	P5_14/ P4_0
	TAUJ0O1	O	TAUJ0 チャネル出力 1	P0_0/ P4_1	P0_0/ P4_1	P0_0/ P4_1	P0_0/ P4_1
	TAUJ0O2	O	TAUJ0 チャネル出力 2	P0_1/ P4_2	P0_1/ P4_2	P0_1/ P4_2	P0_1/ P4_2
	TAUJ0O3	O	TAUJ0 チャネル出力 3	P3_11/ P4_3	P3_11/ P4_3	P3_11/ P4_3	P3_11/ P4_3
TAUJ1	TAUJ1I0	I	TAUJ1 チャネル入力 0	P1_1	P1_1	P1_1/ P0_5/ P4_11	P1_1/ P0_5/ P4_11
	TAUJ1I1	I	TAUJ1 チャネル入力 1	P1_2	P1_2	P1_2/ P0_6/ P4_12	P1_2/ P0_6/ P4_12
	TAUJ1I2	I	TAUJ1 チャネル入力 2	P1_3	P1_3	P1_3/ P0_7/ P4_13	P1_3/ P0_7/ P4_13
	TAUJ1I3	I	TAUJ1 チャネル入力 3	P2_4/ P1_4	P2_4/ P1_4	P2_4/ P1_4/ P0_8/ P4_14	P2_4/ P1_4/ P0_8/ P4_14
	TAUJ1O0	O	TAUJ1 チャネル出力 0	P1_1	P1_1	P1_1/ P0_5/ P4_11	P1_1/ P0_5/ P4_11
	TAUJ1O1	O	TAUJ1 チャネル出力 1	P1_2	P1_2	P1_2/ P0_6/ P4_12	P1_2/ P0_6/ P4_12
	TAUJ1O2	O	TAUJ1 チャネル出力 2	P1_3	P1_3	P1_3/ P0_7/ P4_13	P1_3/ P0_7/ P4_13
	TAUJ1O3	O	TAUJ1 チャネル出力 3	P2_4/ P1_4	P2_4/ P1_4	P2_4/ P1_4/ P0_8/ P4_14	P2_4/ P1_4/ P0_8/ P4_14
TAUJ2	TAUJ2I0	I	TAUJ2 チャネル入力 0	P1_1	P1_1	P1_1	P1_1
	TAUJ2I1	I	TAUJ2 チャネル入力 1	P1_2	P1_2	P1_2	P1_2
	TAUJ2I2	I	TAUJ2 チャネル入力 2	P1_3	P1_3	P1_3	P1_3
	TAUJ2I3	I	TAUJ2 チャネル入力 3	P1_4	P1_4	P1_4	P1_4
	TAUJ2O0	O	TAUJ2 チャネル出力 0	P1_1	P1_1	P1_1	P1_1
	TAUJ2O1	O	TAUJ2 チャネル出力 1	P1_2	P1_2	P1_2	P1_2
	TAUJ2O2	O	TAUJ2 チャネル出力 2	P1_3	P1_3	P1_3	P1_3
	TAUJ2O3	O	TAUJ2 チャネル出力 3	P1_4	P1_4	P1_4	P1_4
TSG30	TSG30O0	O	TSG30 タイマアップ / ダウンステータス出力	P2_2	P2_2	P2_2	P2_2
	TSG30O1	O	TSG30 PWM 出力 1	P2_3	P2_3	P2_3	P2_3

表 2.2 端子機能 (6/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
TSG30	TSG30O2	O	TSG30 PWM 出力 2	P2_5	P2_5	P2_5	P2_5
	TSG30O3	O	TSG30 PWM 出力 3	P2_6	P2_6	P2_6	P2_6
	TSG30O4	O	TSG30 PWM 出力 4	P2_7	P2_7	P2_7	P2_7
	TSG30O5	O	TSG30 PWM 出力 5	P2_8	P2_8	P2_8	P2_8
	TSG30O6	O	TSG30 PWM 出力 6	P2_9	P2_9	P2_9	P2_9
	TSG30O7	O	TSG30 AD トリガダイアグ出力	P2_1	P2_1	P2_1	P2_1
	TSG30PTS10	I	TSG30 ホールセンサ入力 0	P4_0	P4_0	P4_0	P4_0
	TSG30PTS11	I	TSG30 ホールセンサ入力 1	P4_1	P4_1	P4_1	P4_1
	TSG30PTS12	I	TSG30 ホールセンサ入力 2	P4_2	P4_2	P4_2	P4_2
	TSG30CLKI	I	TSG30 外部クロック入力許可	P4_3	P4_3	P4_3	P4_3
TSG31	TSG31O0	O	TSG31 タイマアップ/ダウンステータス出力	P3_6	P3_6	P3_6	P3_6
	TSG31O1	O	TSG31 PWM 出力 1	P3_7	P3_7	P3_7	P3_7
	TSG31O2	O	TSG31 PWM 出力 2	P3_8	P3_8	P3_8	P3_8
	TSG31O3	O	TSG31 PWM 出力 3	P3_9	P3_9	P3_9	P3_9
	TSG31O4	O	TSG31 PWM 出力 4	P3_10	P3_10	P3_10	P3_10
	TSG31O5	O	TSG31 PWM 出力 5	P3_12	P3_12	P3_12	P3_12
	TSG31O6	O	TSG31 PWM 出力 6	P3_13	P3_13	P3_13	P3_13
	TSG31O7	O	TSG31 AD トリガダイアグ出力	P3_14	P3_14	P3_14	P3_14
	TSG31PTS10	I	TSG31 ホールセンサ入力 0	P4_4	P4_4	P4_4	P4_4
	TSG31PTS11	I	TSG31 ホールセンサ入力 1	P4_5	P4_5	P4_5	P4_5
	TSG31PTS12	I	TSG31 ホールセンサ入力 2	P4_6	P4_6	P4_6	P4_6
	TSG31CLKI	I	TSG31 外部クロック入力許可	—	—	P4_7	P4_7
ESO	TAPA0ESO	I	イメージンシー Hi-Z 入力 0	P3_14	P3_14	P3_14	P3_14
	TAPA1ESO	I	イメージンシー Hi-Z 入力 1	P0_2/ P4_4	P0_2/ P4_4	P0_2/ P4_4	P0_2/ P4_4
ENCA0	ENCA0TIN0	I	ENCA0 キャプチャトリガ入力 0	—	—	P4_7	P4_7
	ENCA0TIN1	I	ENCA0 キャプチャトリガ入力 1	—	—	P4_8	P4_8
	ENCA0E0	I	ENCA0 エンコーダ入力	P4_0	P4_0	P4_0	P4_0
	ENCA0E1	I	ENCA0 エンコーダ入力	P4_1	P4_1	P4_1	P4_1
	ENCA0EC	I	ENCA0 エンコーダ入力	P4_2	P4_2	P4_2	P4_2
ENCA1	ENCA1TIN0	I	ENCA1 キャプチャトリガ入力 0	—	—	P4_9	P4_9
	ENCA1TIN1	I	ENCA1 キャプチャトリガ入力 1	—	—	P4_10	P4_10
	ENCA1E0	I	ENCA1 エンコーダ入力	P4_4	P4_4	P4_4	P4_4
	ENCA1E1	I	ENCA1 エンコーダ入力	P4_5	P4_5	P4_5	P4_5
	ENCA1EC	I	ENCA1 エンコーダ入力	P4_6	P4_6	P4_6	P4_6
OSTM0	OSTM0O	O	OSTM0 タイマ出力	P0_13	P0_13	P0_13	P0_13
OSTM1	OSTM1O	O	OSTM1 タイマ出力	P2_6/ P4_3	P2_6/ P4_3	P2_10/ P2_6/ P4_3	P2_10/ P2_6/ P4_3
TPB0	TPB0O	O	TPB0 タイマパタンバッファ出力 0	P2_2	P2_2	P2_2	P2_2
TPB1	TPB1O	O	TPB0 タイマパタンバッファ出力 1	P3_8/ P2_3/ P3_14	P3_8/ P2_3/ P3_14	P3_8/ P2_3/ P3_14	P3_8/ P2_3/ P3_14
CLKDIV0	EXTCLK0O	O	クロック制御出力	P3_14	P3_14	P3_14	P3_14
CLKDIV1	EXTCLK1O	O	クロック制御出力	P4_5	P4_5	P4_5	P4_5

表 2.2 端子機能 (7/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
CSIG0	CSIG0RYI	I	CSIG0 レディ (1)/ ビジー (0) 入力信号	P3_5	P3_5	P3_5	P3_5
	CSIG0RYO	O	CSIG0 レディ (1)/ ビジー (0) 出力信号	P3_4	P3_4	P3_4	P3_4
	CSIG0SCI	I	CSIG0 シリアルクロック入力信号	P5_4	P5_4	P3_2/ P5_4/ P5_2	P3_2/ P5_4/ P5_2
	CSIG0SCO	O	CSIG0 シリアルクロック出力信号	P5_4	P5_4	P3_2/ P5_4/ P5_2	P3_2/ P5_4/ P5_2
	CSIG0SI	I	CSIG0 シリアルデータ入力	P5_0	P5_0	P3_0/ P5_0	P3_0/ P5_0
	CSIG0SO	O	CSIG0 シリアルデータ出力	P5_1	P5_1	P3_1/ P5_1	P3_1/ P5_1
CSIH0	CSIH0CSS0	O	CSIH0 シリアル周辺チップ選択信号 0	P3_12	P3_12	P3_12	P3_12
	CSIH0CSS1	O	CSIH0 シリアル周辺チップ選択信号 1	P3_13	P3_13	P3_13	P3_13
	CSIH0CSS2	O	CSIH0 シリアル周辺チップ選択信号 2	P2_4	P2_4	P2_14/ P2_4	P2_14/ P2_4
	CSIH0CSS3	O	CSIH0 シリアル周辺チップ選択信号 3	P2_5	P2_5	P2_13/ P2_5	P2_13/ P2_5
	CSIH0CSS4	O	CSIH0 シリアル周辺チップ選択信号 4	P2_6	P2_6	P2_12/ P2_6	P2_12/ P2_6
	CSIH0CSS5	O	CSIH0 シリアル周辺チップ選択信号 5	P2_7/ P2_2	P2_7/ P2_2	P2_11/ P2_7/ P2_2	P2_11/ P2_7/ P2_2
	CSIH0CSS6	O	CSIH0 シリアル周辺チップ選択信号 6	P2_8	P2_8	P2_10/ P2_8	P2_10/ P2_8
	CSIH0CSS7	O	CSIH0 シリアル周辺チップ選択信号 7	P2_9	P2_9	P3_2/ P2_9	P3_2/ P2_9
	CSIH0SSI	I	CSIH0 シリアル SS 機能制御入力 信号	P3_8	P3_8	P3_8	P3_8
	CSIH0RYI	I	CSIH0 レディ (1)/ ビジー (0) 入力信号	P3_9/ P3_3	P3_9/ P3_3	P3_9/ P3_3/ P2_15/ P2_10	P3_9/ P3_3/ P2_15/ P2_10
	CSIH0RYO	O	CSIH0 レディ (1)/ ビジー (0) 出力信号	—	—	P2_11	P2_11
	CSIH0SCI	I	CSIH0 シリアル クロック入力信号	P3_8/ P2_6	P3_8/ P2_6	P3_8/ P3_1/ P2_6	P3_8/ P3_1/ P2_6
	CSIH0SCO	O	CSIH0 シリアル クロック出力信号	P3_8/ P2_6	P3_8/ P2_6	P3_8/ P3_1/ P2_6	P3_8/ P3_1/ P2_6
	CSIH0SI	I	CSIH0 シリアルデータ入力	P3_6/ P2_4	P3_6/ P2_4	P3_6/ P3_2/ P2_4	P3_6/ P3_2/ P2_4
	CSIH0SO	O	CSIH0 シリアルデータ出力	P3_7/ P2_5	P3_7/ P2_5	P3_7/ P3_0/ P2_12/ P2_5	P3_7/ P3_0/ P2_12/ P2_5

表 2.2 端子機能 (8/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
CSIH1	CSIH1CSS0	O	CSIH1 シリアル周辺チップ選択信号 0	P4_3	P4_3	P4_3	P4_3
	CSIH1CSS1	O	CSIH1 シリアル周辺チップ選択信号 1	P4_4	P4_4	P4_4	P4_4
	CSIH1CSS2	O	CSIH1 シリアル周辺チップ選択信号 2	P4_5	P4_5	P4_5	P4_5
	CSIH1CSS3	O	CSIH1 シリアル周辺チップ選択信号 3	P4_6	P4_6	P4_6	P4_6
	CSIH1CSS4	O	CSIH1 シリアル周辺チップ選択信号 4	—	—	P4_7	P4_7
	CSIH1CSS5	O	CSIH1 シリアル周辺チップ選択信号 5	—	—	P4_8	P4_8
	CSIH1CSS6	O	CSIH1 シリアル周辺チップ選択信号 6	—	—	P4_9	P4_9
	CSIH1CSS7	O	CSIH1 シリアル周辺チップ選択信号 7	—	—	P4_10	P4_10
	CSIH1SSI	I	CSIH1 シリアル SS 機能制御入力信号	—	—	P4_8	P4_8
	CSIH1RYI	I	CSIH1 レディ (1)/ ビジー (0) 入力信号	P3_13	P3_13	P3_13/ P2_11/ P4_9	P3_13/ P2_11/ P4_9
	CSIH1RYO	O	CSIH1 レディ (1)/ ビジー (0) 出力信号	P3_12/ P4_2	P3_12/ P4_2	P3_12/ P2_13/ P4_10/ P4_2	P3_12/ P2_13/ P4_10/ P4_2
	CSIH1SCI	I	CSIH1 シリアルクロック入力信号	P2_9/ P4_1	P2_9/ P4_1	P2_9/ P4_1	P2_9/ P4_1
	CSIH1SCO	O	CSIH1 シリアルクロック出力信号	P2_9/ P4_1	P2_9/ P4_1	P2_9/ P4_1	P2_9/ P4_1
	CSIH1SI	I	CSIH1 シリアルデータ入力	P2_7/ P3_14	P2_7/ P3_14	P2_7/ P3_14	P2_7/ P3_14
	CSIH1SO	O	CSIH1 シリアルデータ出力	P2_8/ P4_0	P2_8/ P4_0	P2_8/ P4_0	P2_8/ P4_0
CSIH2	CSIH2CSS0	O	CSIH2 シリアル周辺チップ選択信号 0	P2_3/ P1_1	P2_3/ P1_1	P2_3/ P1_1/ P4_7	P2_3/ P1_1/ P4_7
	CSIH2CSS1	O	CSIH2 シリアル周辺チップ選択信号 1	P3_3/ P5_0	P3_3/ P5_0	P3_3/ P5_0/ P4_8	P3_3/ P5_0/ P4_8
	CSIH2CSS2	O	CSIH2 シリアル周辺チップ選択信号 2	P3_4/ P5_1	P3_4/ P5_1	P3_4/ P5_1/ P4_9	P3_4/ P5_1/ P4_9
	CSIH2CSS3	O	CSIH2 シリアル周辺チップ選択信号 3	P3_5/ P5_4	P3_5/ P5_4	P3_5/ P5_4/ P4_10	P3_5/ P5_4/ P4_10
	CSIH2CSS4	O	CSIH2 シリアル周辺チップ選択信号 4	P3_6/ P5_5	P3_6/ P5_5	P3_6/ P5_5/ P4_11	P3_6/ P5_5/ P4_11
	CSIH2CSS5	O	CSIH2 シリアル周辺チップ選択信号 5	P3_7/ P5_6	P3_7/ P5_6	P3_7/ P5_6/ P4_12	P3_7/ P5_6/ P4_12
	CSIH2CSS6	O	CSIH2 シリアル周辺チップ選択信号 6	P3_8/ P5_7	P3_8/ P5_7	P3_8/ P5_7/ P4_14	P3_8/ P5_7/ P4_14
	CSIH2CSS7	O	CSIH2 シリアル周辺チップ選択信号 7	P3_9/ P5_8/ P4_4	P3_9/ P5_8/ P4_4	P3_9/ P5_8/ P4_4	P3_9/ P5_8/ P4_4
	CSIH2SSI	I	CSIH2 シリアル SS 機能制御入力信号	—	—	P4_13	P4_13
	CSIH2RYI	I	CSIH2 レディ (1)/ ビジー (0) 入力信号	P3_7/ P2_3/ P4_3	P3_7/ P2_3/ P4_3	P3_7/ P2_3/ P4_3	P3_7/ P2_3/ P4_3
	CSIH2RYO	O	CSIH2 レディ (1)/ ビジー (0) 出力信号	P2_4	P2_4	P2_4/ P4_7	P2_4/ P4_7

表 2.2 端子機能 (9/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
CSIH2	CSIH2SCI	I	CSIH2 シリアルクロック入力信号	P2_2/ P1_4/ P4_6	P2_2/ P1_4/ P4_6	P2_2/ P1_4/ P4_6	P2_2/ P1_4/ P4_6
	CSIH2SCO	O	CSIH2 シリアルクロック出力信号	P2_2/ P1_4/ P4_6	P2_2/ P1_4/ P4_6	P2_2/ P1_4/ P4_6	P2_2/ P1_4/ P4_6
	CSIH2SI	I	CSIH2 シリアルデータ入力	P2_0/ P1_2/ P4_4	P2_0/ P1_2/ P4_4	P2_0/ P1_2/ P4_4	P2_0/ P1_2/ P4_4
	CSIH2SO	O	CSIH2 シリアルデータ出力	P2_1/ P1_3/ P4_5	P2_1/ P1_3/ P4_5	P2_1/ P1_3/ P4_5	P2_1/ P1_3/ P4_5
CSIH3	CSIH3CSS0	O	CSIH3 シリアル周辺チップ選択信号 0	P2_8	P2_8	P2_8	P2_8
	CSIH3CSS1	O	CSIH3 シリアル周辺チップ選択信号 1	P2_9	P2_9	P2_9	P2_9
	CSIH3CSS2	O	CSIH3 シリアル周辺チップ選択信号 2	P3_5	P3_5	P3_5	P3_5
	CSIH3CSS3	O	CSIH3 シリアル周辺チップ選択信号 3	P3_4	P3_4	P3_4	P3_4
	CSIH3CSS4	O	CSIH3 シリアル周辺チップ選択信号 4	P3_3	P3_3	P3_3	P3_3
	CSIH3CSS5	O	CSIH3 シリアル周辺チップ選択信号 5	P3_9	P3_9	P3_9	P3_9
	CSIH3CSS6	O	CSIH3 シリアル周辺チップ選択信号 6	P2_0	P2_0	P2_0	P2_0
	CSIH3CSS7	O	CSIH3 シリアル周辺チップ選択信号 7	P2_1	P2_1	P2_1	P2_1
	CSIH3SSI	I	CSIH3 シリアル SS 機能制御入力信号	P3_3	P3_3	P3_3	P3_3
	CSIH3RYI	I	CSIH3 レディ (1) / ビジー (0) 入力信号	P3_6/ P2_8/ P1_1	P3_6/ P2_8/ P1_1	P3_6/ P2_8/ P1_1	P3_6/ P2_8/ P1_1
	CSIH3RYO	O	CSIH3 レディ (1) / ビジー (0) 出力信号	P2_8	P2_8	P2_8/ P1_0	P2_8/ P1_0
	CSIH3SCI	I	CSIH3 シリアルクロック入力信号	P2_7/ P1_4	P2_7/ P1_4	P2_7/ P1_4	P2_7/ P1_4
	CSIH3SCO	O	CSIH3 シリアルクロック出力信号	P2_7/ P1_4	P2_7/ P1_4	P2_7/ P1_4	P2_7/ P1_4
	CSIH3SI	I	CSIH3 シリアルデータ入力	P2_6/ P1_2	P2_6/ P1_2	P2_6/ P1_2	P2_6/ P1_2
	CSIH3SO	O	CSIH3 シリアルデータ出力	P2_5/ P1_3	P2_5/ P1_3	P2_5/ P1_3	P2_5/ P1_3
SCI30	SCI30RX	I	SCI30 データ入力	P3_7/ P2_5/ P0_2/ P5_0/ P4_5	P3_7/ P2_5/ P0_2/ P5_0/ P4_5	P3_7/ P2_5/ P0_2/ P5_0/ P4_5	P3_7/ P2_5/ P0_2/ P5_0/ P4_5
	SCI30TX	O	SCI30 データ出力	P3_12/ P2_6/ P5_1/ P4_6	P3_12/ P2_6/ P5_1/ P4_6	P3_12/ P2_6/ P0_3/ P5_1/ P4_6	P3_12/ P2_6/ P0_3/ P5_1/ P4_6
	SCI30SCI	I	SCI30 シリアルクロック入力	P3_13/ P2_7/ P5_4/ P4_2	P3_13/ P2_7/ P5_4/ P4_2	P3_13/ P2_7/ P0_4/ P5_4/ P5_2/ P4_2	P3_13/ P2_7/ P0_4/ P5_4/ P5_2/ P4_2
	SCI30SCO	O	SCI30 シリアルクロック出力	P3_13/ P2_7/ P5_4/ P4_2	P3_13/ P2_7/ P5_4/ P4_2	P3_13/ P2_7/ P0_4/ P5_4/ P5_2/ P4_2	P3_13/ P2_7/ P0_4/ P5_4/ P5_2/ P4_2
SCI31	SCI31RX	I	SCI31 データ入力	P2_8/ P5_5	P2_8/ P5_5	P2_8/ P5_5	P2_8/ P5_5
	SCI31TX	O	SCI31 データ出力	P2_9/ P5_6	P2_9/ P5_6	P2_9/ P5_6	P2_9/ P5_6

表 2.2 端子機能 (10/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
SCI31	SCI31SCI	I	SCI31 シリアルクロック入力	P3_5/ P5_7	P3_5/ P5_7	P3_5/ P5_7	P3_5/ P5_7
	SCI31SCO	O	SCI31 シリアルクロック出力	P3_5/ P5_7	P3_5/ P5_7	P3_5/ P5_7	P3_5/ P5_7
SCI32	SCI32RX	I	SCI32 データ入力	P3_4/ P5_8	P3_4/ P5_8	P3_4/ P5_8	P3_4/ P5_8
	SCI32TX	O	SCI32 データ出力	P3_3/ P5_9	P3_3/ P5_9	P3_3/ P5_9	P3_3/ P5_9
	SCI32SCI	I	SCI32 シリアルクロック入力	P3_9/ P5_10	P3_9/ P5_10	P3_9/ P5_10	P3_9/ P5_10
	SCI32SCO	O	SCI32 シリアルクロック出力	P3_9/ P5_10	P3_9/ P5_10	P3_9/ P5_10	P3_9/ P5_10
RLIN30	RLIN30RX	I	RLIN30 データ入力	P3_4/ P1_1/ P5_14/ P5_10/ P4_0	P3_4/ P1_1/ P5_14/ P5_10/ P4_0	P3_4/ P1_1/ P5_14/ P5_10/ P4_0	P3_4/ P1_1/ P5_14/ P5_10/ P4_0
	RLIN30TX	O	RLIN30 データ出力	P3_5/ P0_0/ P4_1	P3_5/ P0_0/ P4_1	P3_5/ P1_0/ P0_0/ P5_15/ P5_11/ P4_1	P3_5/ P1_0/ P0_0/ P5_15/ P5_11/ P4_1
RLIN31	RLIN31RX	I	RLIN31 データ入力	P2_5/ P0_1	P2_5/ P0_1	P2_5/ P0_1/ P5_15/ P5_12	P2_5/ P0_1/ P5_15/ P5_12
	RLIN31TX	O	RLIN31 データ出力	P2_4/ P3_11	P2_4/ P3_11	P2_4/ P3_11/ P5_13	P2_4/ P3_11/ P5_13
RSCAN0	RSCAN0RX0	I	RSCAN0 受信データ入力 0	P3_7/ P2_0/ P4_5	P3_7/ P2_0/ P4_5	P3_7/ P2_0/ P4_5	P3_7/ P2_0/ P4_5
	RSCAN0TX0	O	RSCAN0 送信データ出力 0	P3_8/ P2_1/ P4_6	P3_8/ P2_1/ P4_6	P3_8/ P2_1/ P4_6	P3_8/ P2_1/ P4_6
	RSCAN0RX1	I	RSCAN0 受信データ入力 1	P3_12/ P2_2/ P4_2	P3_12/ P2_2/ P4_2	P3_12/ P2_2/ P4_7/ P4_2	P3_12/ P2_2/ P4_7/ P4_2
	RSCAN0TX1	O	RSCAN0 送信データ出力 1	P3_13/ P2_3/ P4_3	P3_13/ P2_3/ P4_3	P3_13/ P2_3/ P4_3	P3_13/ P2_3/ P4_3
	RSCAN0RX2 ^{注1}	I	RSCAN0 受信データ入力 2	P5_6	P5_6	P5_6	P5_6
	RSCAN0TX2 ^{注1}	O	RSCAN0 送信データ出力 2	P5_7	P5_7	P5_7	P5_7
FLX0 ^{注2}	FLX0RXDA	I	FLX0 チャネル A 受信データ入力	P4_2	P4_2	P4_8/ P4_2	P4_8/ P4_2
	FLX0RXDB	I	FLX0 チャネル B 受信データ入力	P4_3	P4_3	P4_11/ P4_3	P4_11/ P4_3
	FLX0STPWT	I	FLX0 ストップウォッチトリガ入力	P4_4	P4_4	P4_14/ P4_4	P4_14/ P4_4
	FLX0TXDA	O	FLX0 チャネル A 送信データ出力	P4_0	P4_0	P4_9/ P4_0	P4_9/ P4_0
	FLX0TXDB	O	FLX0 チャネル B 送信データ出力	P4_5	P4_5	P4_12/ P4_5	P4_12/ P4_5
	FLX0TXENA	O	FLX0 チャネル A 送信許可	P4_1	P4_1	P4_10/ P4_1	P4_10/ P4_1
	FLX0TXENB	O	FLX0 チャネル B 送信許可	P4_6	P4_6	P4_13/ P4_6	P4_13/ P4_6
PSI50	PSI50DIN	I	PSI50 受信データ入力	P5_14	P5_14	P5_14	P5_14
	PSI50DOUT	O	PSI50 送信データ出力	P0_0	P0_0	P0_0	P0_0

表 2.2 端子機能 (11/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
PSI51	PSI51DIN	I	PSI51 受信データ入力	P5_9	P5_9	P5_9	P5_9
	PSI51DOUT	O	PSI51 送信データ出力	P5_10	P5_10	P5_10	P5_10
SENT0	SENT0RX	I	SENT ch0 センサデータ入力	P5_5	P5_5	P5_5	P5_5
	SENT0SPCO	O	SENT ch0 SPC 拡張出力	P5_6/ P5_5	P5_6/ P5_5	P0_8/ P5_6/ P5_5	P0_8/ P5_6/ P5_5
SENT1	SENT1RX	I	SENT ch1 センサデータ入力	P5_8	P5_8	P5_8	P5_8
	SENT1SPCO	O	SENT ch1 SPC 拡張出力	P5_9/ P5_8	P5_9/ P5_8	P0_7/ P5_9/ P5_8	P0_7/ P5_9/ P5_8
SENT2	SENT2RX	I	SENT ch2 センサデータ入力	—	—	P5_12	P5_12
	SENT2SPCO	O	SENT ch2 SPC 拡張出力	—	—	P0_6/ P5_13/ P5_12	P0_6/ P5_13/ P5_12
SENT3	SENT3RX	I	SENT ch3 センサデータ入力	P5_14	P5_14	P5_14/ P5_11	P5_14/ P5_11
	SENT3SPCO	O	SENT ch3 SPC 拡張出力	P0_0/ P5_14	P0_0/ P5_14	P0_5/ P0_0/ P5_15/ P5_14/ P5_11	P0_5/ P0_0/ P5_15/ P5_14/ P5_11
SENT4	SENT4RX	I	SENT ch4 センサデータ入力	P0_1	P0_1	P0_1	P0_1
	SENT4SPCO	O	SENT ch4 SPC 拡張出力	P3_11/ P0_1	P3_11/ P0_1	P0_4/ P3_11/ P0_1	P0_4/ P3_11/ P0_1
SENT5	SENT5RX	I	SENT ch5 センサデータ入力	P0_2	P0_2	P0_2	P0_2
	SENT5SPCO	O	SENT ch5 SPC 拡張出力	P0_2	P0_2	P0_3/ P0_2	P0_3/ P0_2
ADCD0	ADCDTRG0	I	AD トリガ入力 0	P5_10	P5_10	P0_7/ P5_10	P0_7/ P5_10
	ADCD0CNV0	O	ADCD0 AD 変換開始信号	P0_2/ P5_10/ P5_1	P0_2/ P5_10/ P5_1	P0_2/ P5_10/ P5_1	P0_2/ P5_10/ P5_1
	ADCD0CNV1	O	ADCD0 AD 変換開始信号	P5_14/ P5_4	P5_14/ P5_4	P0_3/ P5_14/ P5_4	P0_3/ P5_14/ P5_4
	ADCD0CNV2	O	ADCD0 AD 変換開始信号	P0_0/ P5_5	P0_0/ P5_5	P0_4/ P0_0/ P5_5	P0_4/ P0_0/ P5_5
	ADCD0CNV3	O	ADCD0 AD 変換開始信号	P0_1/ P5_6	P0_1/ P5_6	P0_5/ P0_1/ P5_6	P0_5/ P0_1/ P5_6
	ADCD0CNV4	O	ADCD0 AD 変換開始信号	P3_11/ P5_7	P3_11/ P5_7	P0_9/ P3_11/ P5_7	P0_9/ P3_11/ P5_7
	ADCD0I0	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD0I1	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD0I2	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD0I3	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD0I4	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD0I5	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD0I6	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD0I7	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
ADCD0I8	I	ADCD0 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし	
ADCD0I9	I	ADCD0 入力チャネル	—	—	兼用なし	兼用なし	

表 2.2 端子機能 (12/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
ADCD0	ADCD0I10	I	ADCD0 入力チャネル	—	—	兼用なし	兼用なし
	ADCD0I11	I	ADCD0 入力チャネル	—	—	兼用なし	兼用なし
ADCD1	ADCDTRG1	I	AD トリガ入力 1	P5_14	P5_14	P0_8/ P5_14	P0_8/ P5_14
	ADCD1CNV0	O	ADCD1 AD 変換開始信号	P0_10/ P4_0	P0_10/ P4_0	P0_10/ P4_0	P0_10/ P4_0
	ADCD1CNV1	O	ADCD1 AD 変換開始信号	P4_1	P4_1	P0_9/ P4_1	P0_9/ P4_1
	ADCD1CNV2	O	ADCD1 AD 変換開始信号	P4_2	P4_2	P0_11/ P4_2	P0_11/ P4_2
	ADCD1CNV3	O	ADCD1 AD 変換開始信号	P4_3	P4_3	P0_12/ P4_3	P0_12/ P4_3
	ADCD1CNV4	O	ADCD1 AD 変換開始信号	P4_4	P4_4	P0_14/ P4_4	P0_14/ P4_4
	ADCD1I0	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I1	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I2	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I3	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I4	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I5	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I6	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I7	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I8	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I9	I	ADCD1 入力チャネル	兼用なし	兼用なし	兼用なし	兼用なし
	ADCD1I10	I	ADCD1 入力チャネル	—	—	兼用なし	兼用なし
	ADCD1I11	I	ADCD1 入力チャネル	—	—	兼用なし	兼用なし
	Nexus	DCUTCK	I	デバッグクロック	JP0_2	JP0_2	JP0_2
DCUTDI		I	デバッグデータ入力	JP0_0	JP0_0	JP0_0	JP0_0
DCUTDO		O	デバッグデータ出力	JP0_1	JP0_1	JP0_1	JP0_1
DCUTMS		I	デバッグモード選択	JP0_3	JP0_3	JP0_3	JP0_3
DCUTRDY		O	デバッグレディ	JP0_5	JP0_5	JP0_5	JP0_5
DCUTRST		I	デバッグリセット	JP0_4	JP0_4	JP0_4	JP0_4
LPD	LPDCLK	I	LPD クロック入力 (4 端子モード)	JP0_2	JP0_2	JP0_2	JP0_2
	LPDCLKOUT	O	LPD クロック出力 (4 端子モード)	JP0_5	JP0_5	JP0_5	JP0_5
	LPDI	I	LPD データ入力 (4 端子モード)	JP0_0	JP0_0	JP0_0	JP0_0
	LPDIO	I/O	LPD データ入力 / 出力 (1 端子モード)	JP0_0	JP0_0	JP0_0	JP0_0
	LPDO	O	LPD データ出力 (4 端子モード)	JP0_1	JP0_1	JP0_1	JP0_1
Nexus	EVTO	O	デバッグ I/F イベント出力信号	P0_10	P0_10	P0_10	P0_10
	EVTI	I	デバッグ I/F イベント入力信号	P0_13	P0_13	P0_13	P0_13
AUDR	AUDRST	I	AUDR リセット信号	—	—	P0_8	P0_8
	AUDCK	I	AUDR クロック信号	—	—	P0_6	P0_6
	AUDSYNC	I	AUDR 同期信号	—	—	P0_7	P0_7
	AUDATA0	I/O	AUDR データ信号	—	—	P0_9	P0_9
	AUDATA1	I/O	AUDR データ信号	—	—	P0_3	P0_3
	AUDATA2	I/O	AUDR データ信号	—	—	P0_4	P0_4
FLSCI3	FLSCI3TXD (FPDT)	O	フラッシュライタ I/F TxD	JP0_0/ JP0_1	JP0_0/ JP0_1	JP0_0/ JP0_1	JP0_0/ JP0_1
	FLSCI3RXD (FPDR)	I	フラッシュライタ I/F RxD	JP0_0	JP0_0	JP0_0	JP0_0
	FLSCI3SCKI (FPCK)	I	フラッシュライタ I/F SCK	JP0_2	JP0_2	JP0_2	JP0_2

表 2.2 端子機能 (13/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
MODE	FLMD1	I	セカンダリ動作モード選択端子	P3_14	P3_14	P3_14	P3_14
System	FLMD0	I	プライマリ動作モード選択	兼用なし	兼用なし	兼用なし	兼用なし
	RESET	I	リセット入力	兼用なし	兼用なし	兼用なし	兼用なし
	RESETOUT	O	リセット出力	P0_10	P0_10	P0_10	P0_10
	X1	—	メインクロック水晶振動子接続	兼用なし	兼用なし	兼用なし	兼用なし
	X2	—	メインクロック水晶振動子接続	兼用なし	兼用なし	兼用なし	兼用なし
CVM	CVMOUT	O	CVM 内部電圧エラー検出出力信号	兼用なし	兼用なし	兼用なし	兼用なし
Safety	ERROROUT	O	エラー出力信号	兼用なし	兼用なし	兼用なし	兼用なし
JP0	JP0_0	I/O	JTAG ポート	JP0_0	JP0_0	JP0_0	JP0_0
	JP0_1	I/O	JTAG ポート	JP0_1	JP0_1	JP0_1	JP0_1
	JP0_2	I	JTAG ポート	JP0_2	JP0_2	JP0_2	JP0_2
	JP0_3	I/O	JTAG ポート	JP0_3	JP0_3	JP0_3	JP0_3
	JP0_4	I	JTAG ポート	JP0_4	JP0_4	JP0_4	JP0_4
	JP0_5	I/O	JTAG ポート	JP0_5	JP0_5	JP0_5	JP0_5
P0	P0_0	I/O	ポート	P0_0	P0_0	P0_0	P0_0
	P0_1	I/O	ポート	P0_1	P0_1	P0_1	P0_1
	P0_2	I/O	ポート	P0_2	P0_2	P0_2	P0_2
	P0_3	I/O	ポート	—	—	P0_3	P0_3
	P0_4	I/O	ポート	—	—	P0_4	P0_4
	P0_5	I/O	ポート	—	—	P0_5	P0_5
	P0_6	I/O	ポート	—	—	P0_6	P0_6
	P0_7	I/O	ポート	—	—	P0_7	P0_7
	P0_8	I/O	ポート	—	—	P0_8	P0_8
	P0_9	I/O	ポート	—	—	P0_9	P0_9
	P0_10	I/O	ポート	P0_10	P0_10	P0_10	P0_10
	P0_11	I/O	ポート	—	—	P0_11	P0_11
	P0_12	I/O	ポート	—	—	P0_12	P0_12
	P0_13	I/O	ポート	P0_13	P0_13	P0_13	P0_13
	P0_14	I/O	ポート	—	—	P0_14	P0_14
P1	P1_0	I/O	ポート	—	—	P1_0	P1_0
	P1_1	I/O	ポート	P1_1	P1_1	P1_1	P1_1
	P1_2	I/O	ポート	P1_2	P1_2	P1_2	P1_2
	P1_3	I/O	ポート	P1_3	P1_3	P1_3	P1_3
	P1_4	I/O	ポート	P1_4	P1_4	P1_4	P1_4
P2	P2_0	I/O	ポート	P2_0	P2_0	P2_0	P2_0
	P2_1	I/O	ポート	P2_1	P2_1	P2_1	P2_1
	P2_2	I/O	ポート	P2_2	P2_2	P2_2	P2_2
	P2_3	I/O	ポート	P2_3	P2_3	P2_3	P2_3
	P2_4	I/O	ポート	P2_4	P2_4	P2_4	P2_4
	P2_5	I/O	ポート	P2_5	P2_5	P2_5	P2_5
	P2_6	I/O	ポート	P2_6	P2_6	P2_6	P2_6
	P2_7	I/O	ポート	P2_7	P2_7	P2_7	P2_7
	P2_8	I/O	ポート	P2_8	P2_8	P2_8	P2_8
	P2_9	I/O	ポート	P2_9	P2_9	P2_9	P2_9
	P2_10	I/O	ポート	—	—	P2_10	P2_10
	P2_11	I/O	ポート	—	—	P2_11	P2_11
	P2_12	I/O	ポート	—	—	P2_12	P2_12

表 2.2 端子機能 (14/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
P2	P2_13	I/O	ポート	—	—	P2_13	P2_13
	P2_14	I/O	ポート	—	—	P2_14	P2_14
	P2_15	I/O	ポート	—	—	P2_15	P2_15
P3	P3_0	I/O	ポート	—	—	P3_0	P3_0
	P3_1	I/O	ポート	—	—	P3_1	P3_1
	P3_2	I/O	ポート	—	—	P3_2	P3_2
	P3_3	I/O	ポート	P3_3	P3_3	P3_3	P3_3
	P3_4	I/O	ポート	P3_4	P3_4	P3_4	P3_4
	P3_5	I/O	ポート	P3_5	P3_5	P3_5	P3_5
	P3_6	I/O	ポート	P3_6	P3_6	P3_6	P3_6
	P3_7	I/O	ポート	P3_7	P3_7	P3_7	P3_7
	P3_8	I/O	ポート	P3_8	P3_8	P3_8	P3_8
	P3_9	I/O	ポート	P3_9	P3_9	P3_9	P3_9
	P3_10	I/O	ポート	P3_10	P3_10	P3_10	P3_10
	P3_11	I/O	ポート	P3_11	P3_11	P3_11	P3_11
	P3_12	I/O	ポート	P3_12	P3_12	P3_12	P3_12
	P3_13	I/O	ポート	P3_13	P3_13	P3_13	P3_13
P3_14	I/O	ポート	P3_14	P3_14	P3_14	P3_14	
P4	P4_0	I/O	ポート	P4_0	P4_0	P4_0	P4_0
	P4_1	I/O	ポート	P4_1	P4_1	P4_1	P4_1
	P4_2	I/O	ポート	P4_2	P4_2	P4_2	P4_2
	P4_3	I/O	ポート	P4_3	P4_3	P4_3	P4_3
	P4_4	I/O	ポート	P4_4	P4_4	P4_4	P4_4
	P4_5	I/O	ポート	P4_5	P4_5	P4_5	P4_5
	P4_6	I/O	ポート	P4_6	P4_6	P4_6	P4_6
	P4_7	I/O	ポート	—	—	P4_7	P4_7
	P4_8	I/O	ポート	—	—	P4_8	P4_8
	P4_9	I/O	ポート	—	—	P4_9	P4_9
	P4_10	I/O	ポート	—	—	P4_10	P4_10
	P4_11	I/O	ポート	—	—	P4_11	P4_11
	P4_12	I/O	ポート	—	—	P4_12	P4_12
	P4_13	I/O	ポート	—	—	P4_13	P4_13
P4_14	I/O	ポート	—	—	P4_14	P4_14	
P5	P5_0	I/O	ポート	P5_0	P5_0	P5_0	P5_0
	P5_1	I/O	ポート	P5_1	P5_1	P5_1	P5_1
	P5_2	I/O	ポート	—	—	P5_2	P5_2
	P5_3	I/O	ポート	—	—	P5_3	P5_3
	P5_4	I/O	ポート	P5_4	P5_4	P5_4	P5_4
	P5_5	I/O	ポート	P5_5	P5_5	P5_5	P5_5
	P5_6	I/O	ポート	P5_6	P5_6	P5_6	P5_6
	P5_7	I/O	ポート	P5_7	P5_7	P5_7	P5_7
	P5_8	I/O	ポート	P5_8	P5_8	P5_8	P5_8
	P5_9	I/O	ポート	P5_9	P5_9	P5_9	P5_9
	P5_10	I/O	ポート	P5_10	P5_10	P5_10	P5_10
	P5_11	I/O	ポート	—	—	P5_11	P5_11
	P5_12	I/O	ポート	—	—	P5_12	P5_12
P5_13	I/O	ポート	—	—	P5_13	P5_13	

表 2.2 端子機能 (15/15)

分類	端子名	IO	機能	兼用ポート			
				100-pin		144-pin	
				eVR	DPS	eVR	DPS
P5	P5_14	I/O	ポート	P5_14	P5_14	P5_14	P5_14
	P5_15	I/O	ポート	—	—	P5_15	P5_15

注 1. Flash 2MB 製品のみ

注 2. Flash 2MB/1MB 製品のみ

2.3 ポート機能

2.3.1 特長

ポートグループ

この製品には下記番号のポートグループがあります。

表 2.3 本製品のポートグループ

製品	グループ数	グループ名
RH850/P1x	7	P0-P5、JP0

ポートグループインデクス n

この章を通して、個々のポートグループはインデクス“n”（n=0～5）により識別されます。たとえば、Pn 端子のポートモードコントロールレジスタは PMCn です。

レジスタアドレス

すべてのポートアドレスは、ベースアドレス <JPORT0_base> および <PORT_base> からのオフセットアドレスとして与えられます。

ベースアドレスの <JPORT0_base> および <PORT_base> は表 2.4 に示します。

表 2.4 ポートベースアドレス

ベースアドレス	アドレス
<PORT_base>	FFC1 0000 _H
<JPORT0_base>	FFC2 0000 _H

2.3.2 概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポートグループの用語の説明は、「**2.3.2.1 用語**」を参照してください。

2.3.2.1 用語

この章で使用されている用語について説明します。

- 端子
物理的な端子を表します。端子ごとに一意の端子番号で表されます。
端子は複数のモードで使用できます。端子名は、選択したモードによって決まる、端子機能を示す名称が割り当てられます。
- ポートグループ
端子のグループを表します。
- ポートモード / ポート
ポートモードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。
対応する名称は **Pn_m** です。たとえば、**P0_7** はポートグループ **0** のポート **7** を示します。これを「ポート **P0_7**」と表します。
- 兼用モード
兼用モードでは、端子は内蔵周辺機能の入出力端子などの汎用入出力以外の機能にも使用されます。
対応する端子名は、選択した機能によって異なります。たとえば、**INTP0** 端子は外部割り込み入力用の端子を表します。
なお、複数の異なる名称、たとえば **P0_2** と **INTP0** が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

2.3.2.2 端子機能概要

端子は、3つのモードで動作することができます。

- ポートモード (PMcN.PMcN_m = 0)
ポートモードでは、端子は汎用入出力ポートとして動作します。
PMn.PMn_m で入力 / 出力を選択します。
- S/W I/O 制御兼用モード (PMcN.PMcN_m = 1、PIPCn.PIPCn_m = 0)
S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力 / 出力の選択は、S/W による PMn.PMn_m コントロールビットの設定によって行われます。
- 直接 I/O 制御兼用モード (PMcN.PMcN_m = 1、PIPCn.PIPCn_m = 1)
直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力 / 出力が直接制御されます。

レジスタ設定の概要は表 2.5 に示します。

表 2.5 端子機能の設定 (概要)

モード	ビット				I/O
	PMcN_m	PMn_m	PIPCn_m	PIBCn_m	
ポートモード	0	0	X	X	O
		1		1	I
S/W I/O 制御兼用モード	1	0	0	X	O
		1	0	0	I
直接 I/O 制御兼用モード		X	1	X	兼用機能による制御

- S/W I/O 制御兼用モード (PIPCn.PIPCn_m = 0) :
 - 出力 (PMn_m = 0) : 兼用出力モード 1 ~ 兼用出力モード 6
 - 入力 (PMn_m = 1) : 兼用入力モード 1 ~ 兼用入力モード 6
- 直接 I/O 制御兼用モード (PIPCn.PIPCn_m = 1) :
 - 兼用出力モード 1 ~ 兼用出力モード 6、兼用入力モード 1 ~ 兼用入力モード 6 の入出力は、兼用機能によって直接選択されます。

表 2.6 兼用モード選択の概要 (PM_{Cn}.PM_{Cn_m} = 1)

機能	レジスタ				I/O
	PFCAE	PFCE	PFC	PM ^{注1}	
兼用出力モード1 (ALT-OUT1)	0	0	0	0	O
兼用入力モード1 (ALT-IN1)	0	0	0	1	I
兼用出力モード2 (ALT-OUT2)	0	0	1	0	O
兼用入力モード2 (ALT-IN2)	0	0	1	1	I
兼用出力モード3 (ALT-OUT3)	0	1	0	0	O
兼用入力モード3 (ALT-IN3)	0	1	0	1	I
兼用出力モード4 (ALT-OUT4)	0	1	1	0	O
兼用入力モード4 (ALT-IN4)	0	1	1	1	I
兼用出力モード5 (ALT-OUT5)	1	0	0	0	O
兼用入力モード5 (ALT-IN5)	1	0	0	1	I
兼用出力モード6 (ALT-OUT6)	1	0	1	0	O
兼用入力モード6 (ALT-IN6)	1	0	1	1	I

注1. PIP_{Cn}.PIP_{Cn_m} = 1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PMは無視されません。

端子が兼用モード (PM_{Cn}.PM_{Cn_m} = 1) の場合、複数の兼用機能の1つを PFC_{Cn}、PFCE_{Cn}、PFCAE_{Cn} レジスタによって選択します。

2.3.2.3 端子データ入力 / 出力

データの入力 / 出力に使用するレジスタについて説明します。

端子モードによって PPR_n レジスタを介してリードされる場所が異なります。

出力データ

ポートモード (PM_{Cn}.PM_{Cn_m} = 0) では P_n.P_{n_m} の値が P_{n_m} 端子から出力されます。

入力データ

PPR_n レジスタのリード動作では、P_{n_m} 端子の値、ポートレジスタの関連ビット P_n.P_{n_m} の値、または兼用機能による出力値のいずれかを読み出します。

PPR_n のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPRn リードモードの違いを**表 2.7** に示します。

表 2.7 PPRn_m リード値

PMC n_m	PM n_m	PIBC n_m	PIPC n_m	PODCE n_m	PODC n_m	モード	PPRn_m リード値	
0	1	0	X	X	X	ポート入力、入力バッファ禁止	Pn.Pn_m ビット	
		1		X	X	ポート入力、入力バッファ許可	Pn_m 端子	
	0	X		0	0	ポートプッシュプル出力	Pn.Pn_m ビット ^{注1}	
				0	1	ポート N-ch オープンドレイン出力		
				1	0	ポートプッシュプル出力		
				1	1	ポート P-ch オープンドレイン出力		
1	1	0	0	X	X	S/W I/O 制御兼用入力	Pn_m 端子	
		1				設定禁止		—
	0	X		0	0	S/W I/O 制御兼用プッシュプル出力	兼用機能からの出力信号 ^{注1}	
				0	1	S/W I/O 制御兼用 N-ch オープンドレイン出力		
				1	0	S/W I/O 制御兼用プッシュプル出力		
				1	1	S/W I/O 制御兼用 P-ch オープンドレイン出力		
	X			1	0	0	直接 I/O 制御兼用入力またはプッシュプル出力	兼用モードでの入出力ポート： • 入力：Pn_m 端子 • 出力：兼用機能からの出力信号 ^{注1}
					0	1	直接 I/O 制御兼用入力または N-ch オープンドレイン出力	
					1	0	直接 I/O 制御兼用入力またはプッシュプル出力	
					1	1	直接 I/O 制御兼用入力または P-ch オープンドレイン出力	

注 1. PBDCn.PBDCn_m = 1 の場合、Pn_m 端子レベルが、PPRn.PPRn_m ビットでリードされます。

表 2.7 に示す各制御レジスタの効果：

- PMCn.PMCn_m**
 このビットは、ポートモード (PMCn_m = 0) または兼用モード (PMCn_m = 1) を選択します。
- PMn.PMn_m**
 このビットは、ポートモード (PMCn_m = 0) と S/W I/O 制御兼用モード (PMCn_m = 1、PIPCn_m = 0) 時に入力 (PMn_m = 1) または出力 (PMn_m = 0) を選択します。
- PIBCn.PIBCn_m**
 このビットは、入力ポートモード (PMCn_m = 0 と PMn_m = 1) 時に入力バッファを使用不可 (PIBCn_m = 0) または使用許可 (PIBCn_m = 1) を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。
- PIPCn.PIPCn_m**
 このビットは、S/W I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。
- PBDCn.PBDCn_m**
 このビットを 1 に設定すると、PPRn_m は強制的に Pn_m 端子のレベルがリードされます。つまり、ポートが出力モードの場合、Pn_m 端子のレベルをリードできる双方向モードを許可します。

- $PODCn.PODCn_m$ 、 $PODCEn.PODCEn_m$ ビット
このビットは、プッシュプル ($PODCn_m$ ビット = 0) または N-ch オープンドレイン ($PODCn_m$ ビット = 1、 $PODCEn_m$ ビット = 0) 出力、または P-ch オープンドレイン ($PODCn_m$ ビット = 1、 $PODCEn_m$ ビット = 1) 出力を選択します。

Pn レジスタへのライト

ポートモード ($PMcN.PMcN_m = 0$) 時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは2つの方法で書き換えることができます。

- Pn レジスタへの直接ライト
新しいデータは Pn レジスタに直接ライトすることができます。
- 間接的な Pn レジスタへのビット操作 (set/reset/not)
 Pn レジスタへのビット操作 (set/reset/not) は2つのレジスタを使って間接的に可能です。
 - ポートセット/リセットレジスタ $PSRn$
 $PSRn.PSRn_m = 1$ の場合、 $PSRn.PSRn_m$ ビットの値が $Pn.Pn_m$ ビットの値を決めます。
つまり、 Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。
 - ポートノットレジスタ $PNOTn$
 $PNOTn.PNOTn_m = 1$ に設定すると Pn レジスタへ直接ライトせずに $Pn.Pn_m$ ビットを反転することが可能です。
また出力端子のレベルをリードすると最初設定した値の反転値がリードできます。

間接的な Pn レジスタへのビット操作 (set/reset/not) は、 Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット (1 ビットとは限りません) を書き換えることができます。

2.3.3 ポートタイプ

端子機能の全体構成を図 2.3 に示します。ポートブロックの詳細は、図 2.4 を参照してください。

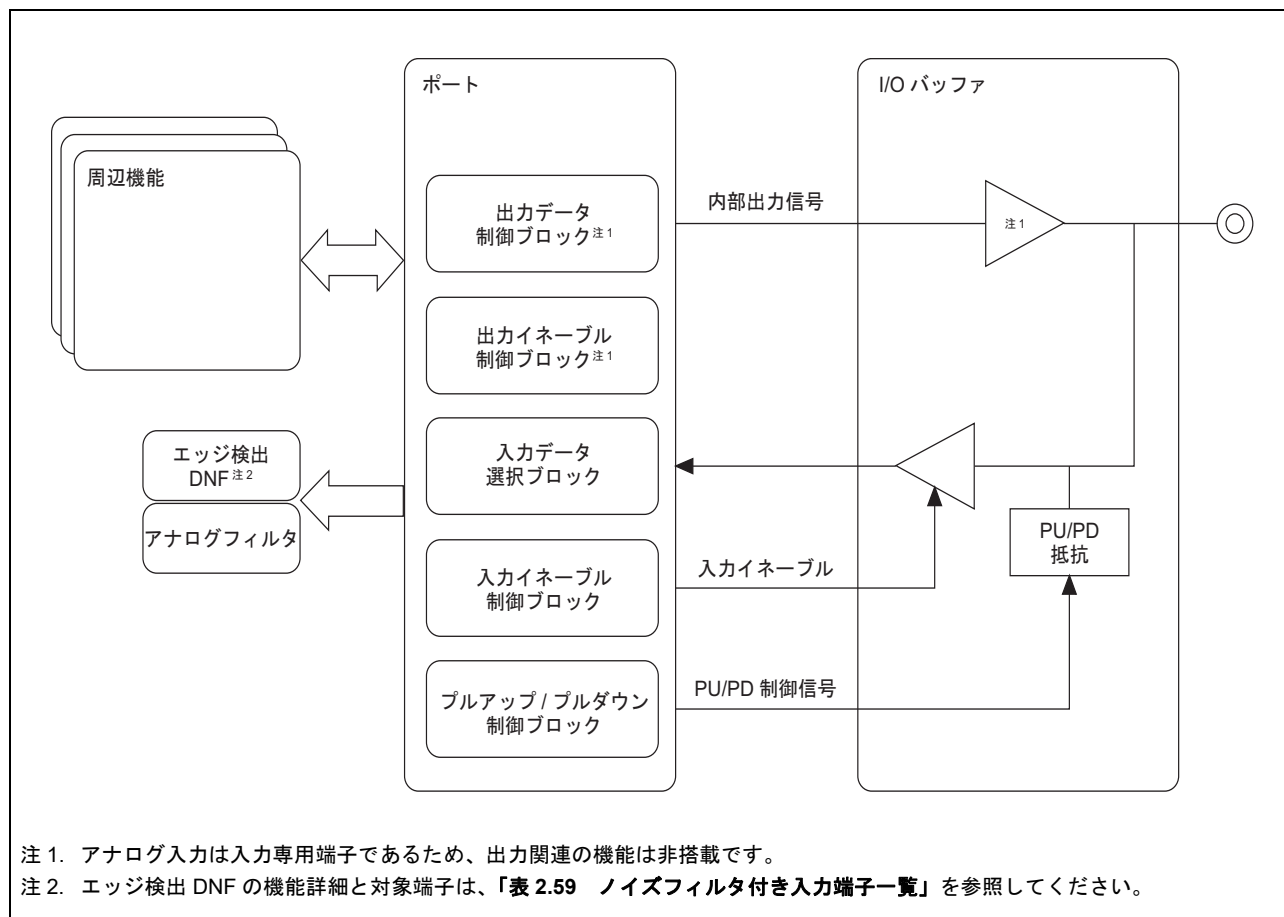


図 2.3 端子全体構成ブロック図

ポートの制御論理を図 2.4 に示します。実際の回路を表現するものではありません。

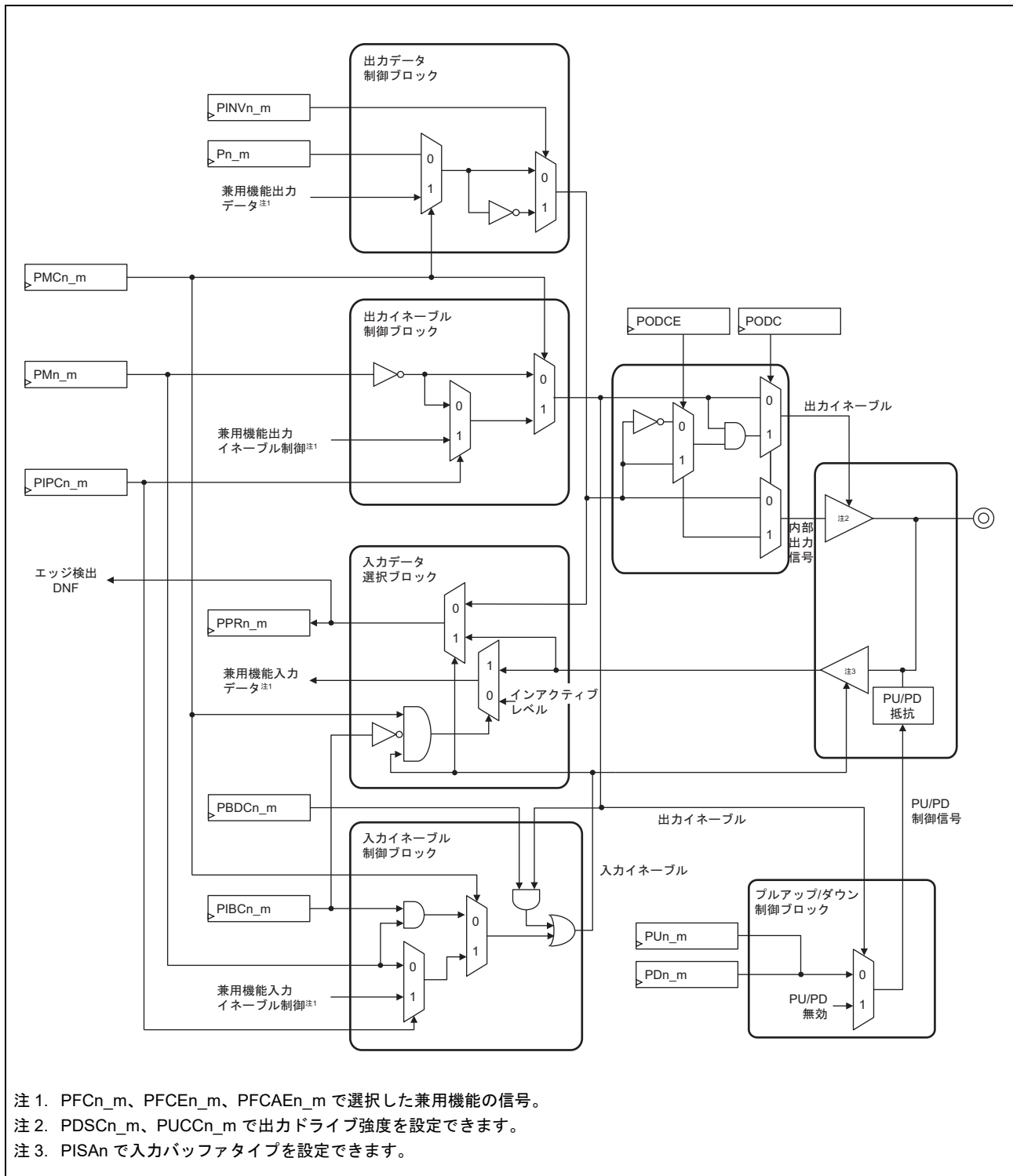


図 2.4 ポート制御論理

2.3.4 ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィグレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィグレーションレジスタは次のように分類されます。

- 「2.3.4.2 端子機能の設定」
- 「2.3.4.3 端子データ入力/出力」
- 「2.3.4.4 電気的特性の設定」

2.3.4.1 概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

表 2.8 ポートグループコンフィグレーションレジスタ (1/2)

レジスタ名	略号	アドレス
端子機能の設定		
ポートコントロールレジスタ	PCRn_m	<PORT_base> + 2000 _H + n × 40 _H + 4 _H × m
	JPCR0_m	<JPORT0_base> + 2000 _H + 4 _H × m
ポートモードコントロールレジスタ	PMcN	<PORT_base> + 0014 _H + n × 40 _H
	JPMC0	<JPORT0_base> + 0014 _H
ポートモードコントロールセット/リセットレジスタ	PMCSRn	<PORT_base> + 0024 _H + n × 40 _H
	JPMCSR0	<JPORT0_base> + 0024 _H
ポート IP コントロールレジスタ	PIPCn	<PORT_base> + 4008 _H + n × 40 _H
ポートモードレジスタ	PMn	<PORT_base> + 0010 _H + n × 40 _H
	JPM0	<JPORT0_base> + 0010 _H
ポートモードセット/リセットレジスタ	PMSRn	<PORT_base> + 0020 _H + n × 40 _H
	JPMSR0	<JPORT0_base> + 0020 _H
ポート入力バッファコントロールレジスタ	PIBCn	<PORT_base> + 4000 _H + n × 40 _H
	JPIBC0	<JPORT0_base> + 4000 _H
ポート機能コントロールレジスタ	PFCn	<PORT_base> + 0018 _H + n × 40 _H
ポート機能コントロール拡張レジスタ	PFCEn	<PORT_base> + 001C _H + n × 40 _H
	JPFCE0	<JPORT0_base> + 001C _H
ポート機能コントロール追加拡張レジスタ	PFCAEn	<PORT_base> + 0028 _H + n × 40 _H
端子データ入力/出力		
ポート双方向コントロールレジスタ	PBDCn	<PORT_base> + 4004 _H + n × 40 _H
	JPBDC0	<JPORT0_base> + 4004 _H
ポート端子リードレジスタ	PPRn	<PORT_base> + 000C _H + n × 40 _H
	JPPR0	<JPORT0_base> + 000C _H
ポートレジスタ	Pn	<PORT_base> + 0000 _H + n × 40 _H
	JP0	<JPORT0_base> + 0000 _H
ポートノットレジスタ	PNOTn	<PORT_base> + 0008 _H + n × 40 _H
	JPNOT0	<JPORT0_base> + 0008 _H
ポートセット/リセットレジスタ	PSRn	<PORT_base> + 0004 _H + n × 40 _H
	JPSR0	<JPORT0_base> + 0004 _H
ポート出力レベル反転レジスタ	PINVn	<PORT_base> + 0030 _H + n × 40 _H

表 2.8 ポートグループコンフィギュレーションレジスタ (2/2)

レジスタ名	略号	アドレス
電気的特性の設定		
プルアップオプションレジスタ	PUn	<PORT_base> + 400C _H + n × 40 _H
	JPU0	<JPORT0_base> + 400C _H
プルダウンオプションレジスタ	PDn	<PORT_base> + 4010 _H + n × 40 _H
	JPD0	<JPORT0_base> + 4010 _H
ポートドライブ強度コントロールレジスタ	PDSCn	<PORT_base> + 4018 _H + n × 40 _H
	JPDSC0	<JPORT0_base> + 4018 _H
ポートオープンドレインコントロールレジスタ	PODCn	<PORT_base> + 4014 _H + n × 40 _H
	JPODC0	<JPORT0_base> + 4014 _H
ポートオープンドレインコントロール拡張レジスタ	PODCEn	<PORT_base> + 403C _H + n × 40 _H
ポートユニバーサルコントロールレジスタ	PUCn	<PORT_base> + 4028 _H + n × 40 _H
	JPUCC0	<JPORT0_base> + 4028 _H
ポート入力バッファ選択レジスタ	PISAn	<PORT_base> + 402C _H + n × 40 _H
	JPISA0	<JPORT0_base> + 402C _H

備考 n : ポートグループ番号、m : ポートグループ内のビット番号

ベースアドレス

PORTn のベースアドレス <PORT_base>、<JPORT0_base> は、「2.3.1 特長」のレジスタアドレスで定義しています。

リセット後の値

リセット後の値はポートに依存します。リセット後の値については、以降のレジスタ説明ではなく、「2.4.1.1 ポートレジスタ一覧」に記載します。

2.3.4.2 端子機能の設定

(1) PMCn / JPMC0 — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス PMCn : 16 ビット単位でリード/ライト可能です。
JPMC0 : 8 ビット単位でリード/ライト可能です。

アドレス PMCn : <PORT_base> + 0014_H + n × 40_H
JPMC0 : <JPORT0_base> + 0014_H 備考 1.

リセット後の値 PMCn : 0000_H
JPMC0 : 00_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCn_15	PMCn_14	PMCn_13	PMCn_12	PMCn_11	PMCn_10	PMCn_9	PMCn_8	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.9 PMCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PMCn_[15:0]	対応する端子の動作モードを指定します。 0 : ポートモード 1 : 兼用モード

注 意

- 兼用モード (PMCn.PMCn_m) に設定するだけでは入出力制御は行われません。兼用機能が直接入出力制御を行う場合は PIPcn.PIPcn_m ビットにも "1" を設定してください。
- ポートが兼用モードの入力端子として使用される場合、ノイズフィルタを通過する端子があります。このような端子は、FCLA0CTLm.DFNAnCTL および DNFAAnEN レジスタの設定が必要になる場合があります。詳細は「2.6 ノイズフィルタ & エッジレベル検出回路」および「2.7 ポートノイズフィルタ & エッジ/レベル検出機能説明」を参照してください。

備 考

- JTAG ポートモードコントロールレジスタ (JPMC0) の制御ビットは JPMC0_[7:0] になります。
- 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(2) PMCSRn / JPMCSR0 — ポートモードコントロールセット/リセットレジスタ

このレジスタにより、PMCn レジスタの任意のビットにデータをライトするもう 1 つの方法を示します。

PMCSRn の上位 16 ビットは、対応する PMCSRn の下位 16 ビットのデータを PMCn.PMCn_m にライトするかどうかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。
 PMCSR : ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は PMCn レジスタの値がリードされます。
 JPMCSR : ビット 31 ~ 8 は常に 0000 00_H がリードされます。ビット 7 ~ 0 は JPMCSRn レジスタの値がリードされます。

アドレス PMCSRn : <PORT_base> + 0024_H + n × 40_H
 JPMCSR0 : <JPOR0_base> + 0024_H 備考¹

リセット後の値 0000 0000_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMCSR n_31	PMCSR n_30	PMCSR n_29	PMCSR n_28	PMCSR n_27	PMCSR n_26	PMCSR n_25	PMCSR n_24	PMCSR n_23	PMCSR n_22	PMCSR n_21	PMCSR n_20	PMCSR n_19	PMCSR n_18	PMCSR n_17	PMCSR n_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCSR n_15	PMCSR n_14	PMCSR n_13	PMCSR n_12	PMCSR n_11	PMCSR n_10	PMCSR n_9	PMCSR n_8	PMCSR n_7	PMCSR n_6	PMCSR n_5	PMCSR n_4	PMCSR n_3	PMCSR n_2	PMCSR n_1	PMCSR n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.10 PMCSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PMCSRn_ [31:16]	対応する PMCSRn_m の下位ビット (PMCSRn_[15:0]) の値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMCn_m は PMCSRn_m に依存しません。 1 : PMCn_m は PMCSRn_m の値になります。 例 : PMCSRn.PMCSRn_31 = 1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15 ~ 0	PMCSRn_ [15:0]	対応する上位ビットの PMCSRn_(m+16) が 1 の場合、PMCn_m の値を指定するデータビットです。 0 : PMCn_m = 0 1 : PMCn_m = 1

備考

- JTAG ポートモードコントロールセット/リセットレジスタ (JPMCSR0) の制御ビットは JPMCSR0_[31:0] になります。
- 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(3) PIPc_n — ポート IP コントロールレジスタ

このレジスタは、P_n_m 端子の入出力方向がポートモードレジスタ PM_n.PM_n_m と兼用機能のどちらによって制御されるかを指定します。

P_n_m 端子が兼用モード (PMc_n.PMc_n_m = 1) となり、兼用機能が直接 P_n_m の入出力方向を制御する場合、PIPc_n.PIPc_n_m は 1 に設定する必要があります。

これにより兼用機能が入出力制御を行い、PM_n.PM_n_m の設定が無効となります。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス PIPc_n : <PORT_base> + 4008_H + n × 40_H **備考 1.**

リセット後の値 0000_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPc _n ₁₅	PIPc _n ₁₄	PIPc _n ₁₃	PIPc _n ₁₂	PIPc _n ₁₁	PIPc _n ₁₀	PIPc _n ₉	PIPc _n ₈	PIPc _n ₇	PIPc _n ₆	PIPc _n ₅	PIPc _n ₄	PIPc _n ₃	PIPc _n ₂	PIPc _n ₁	PIPc _n ₀
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.11 PIPc_n レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIPc _n _[15:0]	入出力モードを指定します。 0 : 入出力モードは PM _n .PM _n _m (S/W 入出力制御) によって制御します。 1 : 入出力モードは周辺機能 (直接入出力制御) によって制御します。

備考

対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(4) PMn / JPM0 — ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス PMn : 16 ビット単位でリード/ライト可能です。
JPM0 : 8 ビット単位でリード/ライト可能です。

アドレス PMn : $\langle \text{PORT_base} \rangle + 0010_{\text{H}} + n \times 40_{\text{H}}$
JPM0 : $\langle \text{JPORT0_base} \rangle + 0010_{\text{H}}$ 備考 1.

リセット後の値 PM0 : FBFF_{H} , PM1~5 : FFFF_{H}
JPM0 : FF_{H}

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn_ 15	PMn_ 14	PMn_ 13	PMn_ 12	PMn_ 11	PMn_ 10	PMn_ 9	PMn_ 8	PMn_ 7	PMn_ 6	PMn_ 5	PMn_ 4	PMn_ 3	PMn_ 2	PMn_ 1	PMn_ 0
リセット後の値	1	1	1	1	1	注1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. PM0 の場合 : 0
PM1 ~ 5 の場合 : 1

表 2.12 PMn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PMn_[15:0]	対応する端子の入力 / 出力モードを指定します。 0 : 出力モード (出力許可) 1 : 入力モード (出力禁止)

備考

- 端子レベルを入力したい場合は、PIBCn.PIBCn_m = 1 にして入力バッファを有効にしてください。
- リセット後は PIPcn.PIPcn_m = 0 (入出力モードは PMn.PMn_m によって制御) ですので、PMn_m はポートモード (PMcn.PMCn_m = 0) と兼用モード (PMcn.PMCn_m = 1) の入出力方向を指定します。
- JTAG ポートモードレジスタ (JPM0) の制御ビットは JPM0_[7:0] になります。
- 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(5) PMSRn / JPMSR0 — ポートモードセット/リセットレジスタ

このレジスタにより、PMn レジスタの任意のビットにデータをライトするもう1つの方法を示します。

PMSRn の上位 16 ビットは、対応する PMSRn の下位 16 ビットのデータを PMn.PMn_m にライトするかどうかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。
PMSRn : ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は PMn レジスタの値がリードされます。
JPMSRn : ビット 31 ~ 8 は常に 0000 00_H がリードされます。ビット 7 ~ 0 は JPMn レジスタの値がリードされます。

アドレス PMSRn : <PORT_base> + 0020_H + n × 40_H
JPMSR0 : <JPORT0_base> + 0020_H 備考 1:

リセット後の値 PMSR0 : 0000 FBFF_H, PMSR1~5 : 0000 FFFF_H
JPMSR0 : 0000 00FF_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn _31	PMSRn _30	PMSRn _29	PMSRn _28	PMSRn _27	PMSRn _26	PMSRn _25	PMSRn _24	PMSRn _23	PMSRn _22	PMSRn _21	PMSRn _20	PMSRn _19	PMSRn _18	PMSRn _17	PMSRn _16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn _15	PMSRn _14	PMSRn _13	PMSRn _12	PMSRn _11	PMSRn _10	PMSRn _9	PMSRn _8	PMSRn _7	PMSRn _6	PMSRn _5	PMSRn _4	PMSRn _3	PMSRn _2	PMSRn _1	PMSRn _0
リセット後の値	注1	注1	注1	注1	注1	注2	注1	注1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. PMSR0 ~ 5 の場合 : 1

JPMSR0 の場合 : 0

注 2. PMSR1 ~ 5 の場合 : 1

PMSR0, JPMSR0 の場合 : 0

表 2.13 PMSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PMSRn_[31:16]	対応する PMSRn_m の下位ビット (PMSRn_[15:0]) の値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMn_m は PMSRn_m に依存しません。 1 : PMn_m は PMSRn_m の値になります。 例 : PMSRn.PMSRn_31 = 1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。
15 ~ 0	PMSRn_[15:0]	対応する上位ビットの PMSRn_(m+16) が 1 の場合、PMn_m 値を指定するデータビットです。 0 : PMn_m = 0 1 : PMn_m = 1

備考

- JTAG ポートモードセット/リセットレジスタ (JPMSR0) の制御ビットは JPMSR0_[31:0] になります。
- 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(6) PIBCn / JPIBC0 — ポート入力バッファコントロールレジスタ

このレジスタは、入力ポートモード（PMnCn.PMCn_m=0 かつ PMn.PMn_m=1）で使用する場合、入力バッファの許可/禁止を設定します。

また、端子が双方向モード（PBDCn.PBDCn_m=1）のとき、PIBCn.PIBCn_m の設定で兼用出力レベルループバック機能と端子出力レベルリード機能を選択できます。詳細は、**2.3.4.3**

端子データ入力/出力 (1) PBDCn / JPBDC0 — ポート双方向コントロールレジスタ を参照してください。

アクセス PIBCn: 16 ビット単位でリード/ライト可能です。
JPIBC0: 8 ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 4000_H + n × 40_H
<JPOR0_base> + 4000_H **備考 1.**

リセット後の値 PIBCn : 0000_H
JPIBC0 : 00_H

備考 1. 有効ビット位置（m の値の種類）はデバイスの端子数によって変わります。「**2.4.1.1 ポートレジスタ一覧**」のポートグループごとのレジスタ一覧（**表 2.36 ポートグループ 0 レジスタ一覧**、**表 2.37 ポートグループ 1 レジスタ一覧**、**表 2.38 ポートグループ 2 レジスタ一覧**、**表 2.39 ポートグループ 3 レジスタ一覧**、**表 2.40 ポートグループ 4 レジスタ一覧**、**表 2.41 ポートグループ 5 レジスタ一覧**、**表 2.42 ポートグループ JP0 レジスタ一覧**）を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIBCn_	PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.14 PIBCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIBCn_[15:0]	入力バッファを許可/禁止します。 0: 入力バッファ禁止 1: 入力バッファ許可

備考

1. 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。
2. JTAG ポート入力バッファコントロールレジスタ（JPIBC0）の制御ビットは JPIBC0_[7:0] になります。
3. 対象ポートグループ、ビットの情報は「**2.4.1.1 ポートレジスタ一覧**」を参照ください。

(7) PFCn — ポート機能コントロールレジスタ

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 0018_H + n × 40_H 備考 1.

リセット後の値 0000_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn_15	PFCn_14	PFCn_13	PFCn_12	PFCn_11	PFCn_10	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.15 PFCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.6 兼用モード選択の概要 (PMcN.PMcN_m = 1)」を参照してください。

備考

対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(8) PFCEn / JPFCE0 — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス PFCEn : 16 ビット単位でリード/ライト可能です。
JPFCE0 : 8 ビット単位でリード/ライト可能です。

アドレス PFCEn : <PORT_base> + 001C_H + n × 40_H
JPFCE0 : <JPORT0_base> + 001C_H 備考 1

リセット後の値 PFCEn : 0000_H
JPFCE0 : 00_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn _15	PFCEn _14	PFCEn _13	PFCEn _12	PFCEn _11	PFCEn _10	PFCEn _9	PFCEn _8	PFCEn _7	PFCEn _6	PFCEn _5	PFCEn _4	PFCEn _3	PFCEn _2	PFCEn _1	PFCEn _0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.16 PFCEn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.6 兼用モード選択の概要 (PMcn.PMCn_m = 1)」を参照してください。

備考

1. JTAG ポート機能コントロールレジスタ (JPFCE0) の制御ビットは JPFCE0_[7:0] になります。
2. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(9) PFCAEn — ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCn、PFCEn レジスタとともに、端子の兼用機能を指定します。いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 0028_H + n × 40_H **備考 1.**

リセット後の値 0000_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAE n_15	PFCAE n_14	PFCAE n_13	PFCAE n_12	PFCAE n_11	PFCAE n_10	PFCAE n_9	PFCAE n_8	PFCAE n_7	PFCAE n_6	PFCAE n_5	PFCAE n_4	PFCAE n_3	PFCAE n_2	PFCAE n_1	PFCAE n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.17 PFCAEn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は「表 2.6 兼用モード選択の概要 (PMCn.PMCn_m = 1)」を参照してください。

表 2.18 兼用機能の設定

PFCAEn_m	PFCEn_m	PFCn_m	PMn_m	機能
0	0	0	1	兼用入力モード 1
			0	兼用出力モード 1
		1	1	兼用入力モード 2
			0	兼用出力モード 2
	1	0	1	兼用入力モード 3
			0	兼用出力モード 3
		1	1	兼用入力モード 4
			0	兼用出力モード 4
1	0	0	1	兼用入力モード 5
			0	兼用出力モード 5
		1	1	兼用入力モード 6
			0	兼用出力モード 6
	1	X	X	X

注 意

- PFCn_m, PFCEn_m, PFCAEn_m ビットで兼用機能を選択後、PMCn_m = 1 に設定してください。
- この製品では、一部機能の入出力を 2カ所で兼用していますが、使用できる端子機能としてはいずれか一方のみになります。2カ所で同じ端子機能を設定することは禁止です。
例えば、a/b/c 端子を b として使用する場合、b/d/e 端子は b として使用できません。b 以外の端子機能として設定して使用してください。

備 考

対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

2.3.4.3 端子データ入力/出力

(1) PBDCn / JPBDC0 — ポート双方向コントロールレジスタ

このレジスタは、ポートを出力モードで使用時に入力バッファを許可し、双方向モードにします。双方向モード時、PPRn.PPRn_mはPn_m端子のレベルを読み出すことができます。

- 兼用出力レベルループバック機能

Pn_m端子を兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 0に設定すると、兼用出力機能による実際の端子出力レベルを、兼用入力側にループバックすることができます。たとえば、第1兼用機能による端子出力レベルを、同じ第1兼用の入力側にループバックすることができます。また、PPRn.PPRn_mで端子出力レベルをリードすることもできます。

- 端子出力レベルリード機能

Pn_m端子を汎用出力ポート機能もしくは兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 1に設定すると、PPRn.PPRn_mで実際の端子出力レベルをリードすることができます。兼用出力モードであっても、端子出力レベルが兼用入力側にループバックすることはありません。

アクセス PBDCn : 16ビット単位でリード/ライト可能です。
JPBDC0 : 8ビット単位でリード/ライト可能です。

アドレス PBDCn : <PORT_base> + 4004_H + n × 40_H
JPBDC0 : <JPOR0_base> + 4004_H 備考1:

リセット後の値 PBDCn : 0000_H
JPBDC0 : 00_H

備考1. 有効ビット位置 (mの値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ0レジスタ一覧、表 2.37 ポートグループ1レジスタ一覧、表 2.38 ポートグループ2レジスタ一覧、表 2.39 ポートグループ3レジスタ一覧、表 2.40 ポートグループ4レジスタ一覧、表 2.41 ポートグループ5レジスタ一覧、表 2.42 ポートグループJP0レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn _15	PBDCn _14	PBDCn _13	PBDCn _12	PBDCn _11	PBDCn _10	PBDCn _9	PBDCn _8	PBDCn _7	PBDCn _6	PBDCn _5	PBDCn _4	PBDCn _3	PBDCn _2	PBDCn _1	PBDCn _0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.19 PBDCn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PBDCn_[15:0]	対応する端子の双方向モードの許可 / 禁止を指定します。 0 : 双方向モードを禁止 1 : 双方向モードを許可

注意

Pn_mポートを兼用出力機能 (PMcn.PMCn_m = 1、PMn.PMn_m = 0) として使用する場合、双方向モードを許可 (PBDCn.PBDCn_m = 1) することにより、PPRn.PPRn_mでPn_m端子のレベルをリードすることができます。

しかし、その兼用出力機能の出力は、同端子の兼用入力機能 (PFCn.PFCn_m、PFCEn.PFCEn_m および PFCAEn.PFCAEn_m で設定された兼用入力機能) に入力されます。この兼用入力機能を他の端子で使用している場合は、兼用出力機能の出力および他端子での兼用入力が入力 (OR 入力) されますので、注意が必要です。

備 考

1. JTAG ポート双方向コントロールレジスタ (JPBDC0) の制御ビットは JPBDC0_[7:0] になります。
2. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(2) PPRn / JPPR0 — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。リードする値は、「表 2.7 PPRn_m リード値」に示すように、制御設定によって異なります。

アクセス PPRn : 16 ビット単位でリードのみ可能です。
JPPR0 : 8 ビット単位でリードのみ可能です。

アドレス PPRn : <PORT_base> + 000C_H + n × 40_H
JPPR0 : <JPORT0_base> + 000C_H 備考 1.

リセット後の値 PPRn : 0000_H
JPPR0 : 00_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPRn_15	PPRn_14	PPRn_13	PPRn_12	PPRn_11	PPRn_10	PPRn_9	PPRn_8	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 2.20 PPRn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

備 考

1. PPRn レジスタのリード値は、「2.3.2.3 端子データ入力/出力」を参照してください。
2. JTAG ポート端子リードレジスタ (JPPR0) の制御ビットは JPPR0_[7:0] になります。
3. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(3) Pn / JP0 — ポートレジスタ

このレジスタは、出力ポートモード時（PMCN.PMCn_m=0、PMn.PMn_m=0）に、ポート Pn_m から出力される Pn.Pn_m データを設定 / 保持します。

アクセス Pn : 16 ビット単位でリード / ライト可能です。
JP0 : 8 ビット単位でリード / ライト可能です。

アドレス Pn : <PORT_base> + 0000_H + n × 40_H
JP0 : <JP0_base> + 0000_H 備考 1.

リセット後の値 Pn : 0000_H
JP0 : 00_H

備考 1. 有効ビット位置（m の値の種類）はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧（表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧）を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.21 Pn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	Pn_[15:0]	m 端子（m = 0 ~ 15）の出力レベルを設定します。 0 : ローレベル出力 1 : ハイレベル出力

備考

- このレジスタのビットは、さまざまな手段で操作できます。「2.3.2.3 端子データ入力 / 出力」の「Pn レジスタへのライト」を参照してください。
- JTAG ポートレジスタ（JP0）の制御ビットは JP0_[7:0] になります。
- 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(4) PNOTn / JPNOT0 — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせず Pn の Pn_m ビットを反転できます。

アクセス PNOTn : 16 ビット単位でライト可能です。常に 0000_H としてリードされます。
JPNOT0 : 8 ビット単位でライト可能です。常に 00_H としてリードされます。

アドレス PNOTn : <PORT_base> + 0008_H + n × 40_H
JPNOT0 : <JPORT0_base> + 0008_H 備考1:

リセット後の値 PNOTn : 0000_H
JPNOT0 : 00_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn _15	PNOTn _14	PNOTn _13	PNOTn _12	PNOTn _11	PNOTn _10	PNOTn _9	PNOTn _8	PNOTn _7	PNOTn _6	PNOTn _5	PNOTn _4	PNOTn _3	PNOTn _2	PNOTn _1	PNOTn _0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 2.22 PNOTn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0 : Pn.Pn_m を反転しない (Pn_m → Pn_m) 1 : Pn.Pn_m を反転する (Pn_m → Pn_m)

備考

1. JTAG ポートノットレジスタ (JPNOT0) の制御ビットは JPNOT0_[7:0] になります。
2. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(5) PSRn / JPSR0 — ポートセット/リセットレジスタ

このレジスタにより、Pn レジスタの任意のビットにデータをライトするもう 1 つの方法を示します。

PSRn の上位 16 ビットは、対応する PSRn の下位 16 ビットのデータを Pn.Pn_m にライトするかどうかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。
 PSRn : ビット 31 ~ 16 は常に 0000_H がリードされます。ビット 15 ~ 0 は Pn レジスタの値がリードされます。
 JPSRn : ビット 31 ~ 8 は常に 0000 00_H がリードされます。ビット 7 ~ 0 は JPn レジスタの値がリードされます。

アドレス PSRn : <PORT_base> + 0004_H + n × 40_H
 JPSR0 : <JPORT0_base> + 0004_H **備考 1:**

リセット後の値 PSRn : 0000 0000_H
 JPSR0 : 0000 0000_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.23 PSRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	PSRn_[31:16]	対応する PSRn_m の下位ビット (PSRn_[15:0]) の値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0 : Pn_m は PSRn_m に依存しません。 1 : Pn_m は PSRn_m の値になります。 例 : PSRn.PSRn_31 = 1 の場合、PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。
15 ~ 0	PSRn_[15:0]	対応する上位ビットの PSRn_(m+16) が 1 の場合、Pn_m 値を指定するデータビットです。 0 : Pn_m = 0 1 : Pn_m = 1

備考

- JTAG ポートセット/リセットレジスタ (JPSR0) の制御ビットは JPSR0_[31:0] になります。
- 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(6) PINVn — ポート出力レベル反転レジスタ

このレジスタは、端子からの出力レベルを反転させることができます。ポート出力モードや兼用出力モードを問わず、端子が出力モードのときに有効です。

このレジスタへのライトは、保護コマンドレジスタ PPCMDn を使用した特定の命令シーケンスによって保護されています。

詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 0030_H + n × 40_H **備考 1.**

リセット後の値 0000 0000_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「**2.4.1.1 ポートレジスタ一覧**」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧) を参照してください。

注 意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PINVn_ 15	PINVn_ 14	PINVn_ 13	PINVn_ 12	PINVn_ 11	PINVn_ 10	PINVn_ 9	PINVn_ 8	PINVn_ 7	PINVn_ 6	PINVn_ 5	PINVn_ 4	PINVn_ 3	PINVn_ 2	PINVn_ 1	PINVn_ 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.24 PINVn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PINVn_[15:0]	端子からの出力値を反転させるかどうかを指定します。 0: 端子出力レベルを反転しない 1: 端子出力レベルを反転する

備 考

対象ポートグループ、ビットの情報は「**2.4.1.1 ポートレジスタ一覧**」を参照ください。

2.3.4.4 電気的特性の設定

(1) PUn / JPU0 — プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス PUn : 16 ビット単位でリード/ライト可能です。
JPU0 : 8 ビット単位でリード/ライト可能です。

アドレス PUn : <PORT_base> + 400C_H + n × 40_H
JPU0 : <JPORT0_base> + 400C_H **備考 1.**

リセット後の値 PUn : 0000_H
JPU0 : 00_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.25 PUn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0 : 内蔵プルアップ抵抗を接続しない 1 : 内蔵プルアップ抵抗を接続する

備考

1. 端子に対して、PUn.PUn_m=1 かつ PDn.PDn_m=1 に設定しないでください。
2. 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。
3. JTAG プルアップオプションレジスタ (JPU0) の制御ビットは JPU0_[7:0] になります。
4. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(2) PDn / JPD0 — プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス PDn : 16 ビット単位でリード/ライト可能です。
JPD0 : 8 ビット単位でリード/ライト可能です。

アドレス PDn : <PORT_base> + 4010_H + n × 40_H
JPD0 : <JPORT0_base> + 4010_H 備考 1.

リセット後の値 PDn : 0000_H
JPD0 : 00_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn_15	PDn_14	PDn_13	PDn_12	PDn_11	PDn_10	PDn_9	PDn_8	PDn_7	PDn_6	PDn_5	PDn_4	PDn_3	PDn_2	PDn_1	PDn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.26 PDn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0 : 内蔵プルダウン抵抗を接続しない 1 : 内蔵プルダウン抵抗を接続する

備考

1. 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。
3. JTAG プルダウンオプションレジスタ (JPD0) の制御ビットは JPD0_[7:0] になります。
4. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(3) PODCn / JPODC0 — ポートオープンドレインコントロールレジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープンドレインを選択します。

このレジスタへのライトは、保護コマンドレジスタ PPCMDn / JPPCMDn を使用した特定の命令シーケンスによって保護されています。

詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス PODCn : <PORT_base> + 4014_H + n × 40_H
 JPODC0 : <JPORT0_base> + 4014_H 備考1:

リセット後の値 PODC0 : 0000 0400_H, PODC1~5 : 0000 0000_H
 JPODC0 : 0000 0000_H

備考1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「**2.4.1.1 ポートレジスタ一覧**」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ0 レジスタ一覧、表 2.37 ポートグループ1 レジスタ一覧、表 2.38 ポートグループ2 レジスタ一覧、表 2.39 ポートグループ3 レジスタ一覧、表 2.40 ポートグループ4 レジスタ一覧、表 2.41 ポートグループ5 レジスタ一覧、表 2.42 ポートグループJP0 レジスタ一覧) を参照してください。

注 意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PODCn _15	PODCn _14	PODCn _13	PODCn _12	PODCn _11	PODCn _10	PODCn _9	PODCn _8	PODCn _7	PODCn _6	PODCn _5	PODCn _4	PODCn _3	PODCn _2	PODCn _1	PODCn _0
リセット後の値	0	0	0	0	0	注1	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. PODC0 の場合 : 1
 PODC1 ~ 5, JPODC0 の場合 : 0

表 2.27 PODCn レジスタの内容

ビット位置	ビット名	機能																					
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																					
15 ~ 0	PODCn_[15:0] (JPODCn_[15:0])	<p>ビット PODCEn_[15:0] とともに端子 Pn_m (m = 0 ~ 15) の出力回路特性を指定します。</p> <table border="1"> <thead> <tr> <th>PODCEn_m</th> <th>PODCn_m</th> <th>出力回路特性</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プッシュプル</td> </tr> <tr> <td>0</td> <td>1</td> <td>N-ch オープンドレイン</td> </tr> <tr> <td>1</td> <td>0</td> <td>プッシュプル</td> </tr> <tr> <td>1</td> <td>1</td> <td>P-ch オープンドレイン</td> </tr> </tbody> </table> <p>端子 JPN_m (m = 0 ~ 15) の出力回路特性を指定します。</p> <table border="1"> <thead> <tr> <th>JPODCn_m</th> <th>出力回路特性</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>プッシュプル</td> </tr> <tr> <td>1</td> <td>N-ch オープンドレイン</td> </tr> </tbody> </table>	PODCEn_m	PODCn_m	出力回路特性	0	0	プッシュプル	0	1	N-ch オープンドレイン	1	0	プッシュプル	1	1	P-ch オープンドレイン	JPODCn_m	出力回路特性	0	プッシュプル	1	N-ch オープンドレイン
PODCEn_m	PODCn_m	出力回路特性																					
0	0	プッシュプル																					
0	1	N-ch オープンドレイン																					
1	0	プッシュプル																					
1	1	P-ch オープンドレイン																					
JPODCn_m	出力回路特性																						
0	プッシュプル																						
1	N-ch オープンドレイン																						

備考

1. JTAG ポートオープンドレインコントロールレジスタ (JPODC0) の制御ビットは JPODC0_[31:0] になります。
2. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(4) PODCE_n — ポートオープンドレインコントロール拡張レジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープンドレインを選択します。

このレジスタへのライトは、保護コマンドレジスタ PPCMD_n を使用した特定の命令シーケンスによって保護されています。

詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PORT_base> + 403C_H + n × 40_H 備考1.

リセット後の値 0000 0000_H

備考1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「**2.4.1.1 ポートレジスタ一覧**」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ0レジスタ一覧、表 2.37 ポートグループ1レジスタ一覧、表 2.38 ポートグループ2レジスタ一覧、表 2.39 ポートグループ3レジスタ一覧、表 2.40 ポートグループ4レジスタ一覧、表 2.41 ポートグループ5レジスタ一覧) を参照してください。

注 意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PODCE _{n_15}	PODCE _{n_14}	PODCE _{n_13}	PODCE _{n_12}	PODCE _{n_11}	PODCE _{n_10}	PODCE _{n_9}	PODCE _{n_8}	PODCE _{n_7}	PODCE _{n_6}	PODCE _{n_5}	PODCE _{n_4}	PODCE _{n_3}	PODCE _{n_2}	PODCE _{n_1}	PODCE _{n_0}
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.28 PODCE_n レジスタの内容

ビット位置	ビット名	機能															
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
15 ~ 0	PODCE _n [15:0]	ビット PODC _n [15:0] とともに端子 m (m = 0 ~ 15) の出力回路特性を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PODCE_n_m</th> <th>PODC_n_m</th> <th>出力回路特性</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プッシュプル</td> </tr> <tr> <td>0</td> <td>1</td> <td>N-ch オープンドレイン</td> </tr> <tr> <td>1</td> <td>0</td> <td>プッシュプル</td> </tr> <tr> <td>1</td> <td>1</td> <td>P-ch オープンドレイン</td> </tr> </tbody> </table>	PODCE _n _m	PODC _n _m	出力回路特性	0	0	プッシュプル	0	1	N-ch オープンドレイン	1	0	プッシュプル	1	1	P-ch オープンドレイン
PODCE _n _m	PODC _n _m	出力回路特性															
0	0	プッシュプル															
0	1	N-ch オープンドレイン															
1	0	プッシュプル															
1	1	P-ch オープンドレイン															

(5) PDSCn / JPDSC0 — ポートドライブ強度コントロールレジスタ

このレジスタは、ポート端子の出力ドライブ強度を指定します。この機能は、出力バッファの高速モード（ハイドライブ強度）と低速モード（ロウドライブ強度）が選択できます。

このレジスタへのライトは、保護コマンドレジスタ PPCMDn / JPPCMDn を使用した特定の命令シーケンスによって保護されています。

詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス PDSCn : <PORT_base> + 4018_H + n × 40_H
 JPDSC0 : <JPORT0_base> + 4018_H 備考1.

リセット後の値 PDSC0 : 0000 0400_H, PDSC1~5 : 0000 0000_H
 JPDSC0 : 0000 0000_H

備考1. 有効ビット位置（mの値の種類）はデバイスの端子数によって変わります。「**2.4.1.1 ポートレジスタ一覧**」のポートグループごとのレジスタ一覧（表 2.36 ポートグループ0レジスタ一覧、表 2.37 ポートグループ1レジスタ一覧、表 2.38 ポートグループ2レジスタ一覧、表 2.39 ポートグループ3レジスタ一覧、表 2.40 ポートグループ4レジスタ一覧、表 2.41 ポートグループ5レジスタ一覧、表 2.42 ポートグループJP0レジスタ一覧）を参照してください。

注 意

上位16ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDSCn _15	PDSCn _14	PDSCn _13	PDSCn _12	PDSCn _11	PDSCn _10	PDSCn _9	PDSCn _8	PDSCn _7	PDSCn _6	PDSCn _5	PDSCn _4	PDSCn _3	PDSCn _2	PDSCn _1	PDSCn _0
リセット後の値	0	0	0	0	0	注1	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. PDSC0の場合：1
 PDSC1～5, JPDSC0の場合：0

表 2.29 PDSCn レジスタの内容

ビット位置	ビット名	機能															
15～0	PDSCn_[15:0]	ビット PUCCCn_[15:0] とともに端子 m (m = 0～15) の出力バッファ特性を指定します。															
		<table border="1"> <thead> <tr> <th>PUCn_m</th> <th>PDSCn_m</th> <th>出力バッファ特性</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SLOW</td> </tr> <tr> <td>0</td> <td>1</td> <td>FAST</td> </tr> <tr> <td>1</td> <td>0</td> <td>MIDDLE</td> </tr> <tr> <td>1</td> <td>1</td> <td>MIDDLE</td> </tr> </tbody> </table>	PUCn_m	PDSCn_m	出力バッファ特性	0	0	SLOW	0	1	FAST	1	0	MIDDLE	1	1	MIDDLE
PUCn_m	PDSCn_m	出力バッファ特性															
0	0	SLOW															
0	1	FAST															
1	0	MIDDLE															
1	1	MIDDLE															

備 考

1. JTAG ポートドライブ強度コントロールレジスタ (JPDSC0) の制御ビットは JPDSC0_[31:0] になります。
 2. 対象ポートグループ、ビットの情報は「**2.4.1.1 ポートレジスタ一覧**」を参照ください。
 3. ドライブ強度の出力バッファ特性は「**37.9.2 ドライブ強度**」を参照ください。
 4. ドライブ強度の設定は兼用機能時も有効です。
 5. ドライブ強度を FAST に設定した場合は SLOW に設定した場合に比べポートドライブ電流量が増えます。許容されるポートドライブ電流は「**37.8.3 許容出力電流**」を参照ください。
-

(6) PUCcN / JPUCc0 — ポートユニバーサルコントロールレジスタ

このレジスタは、出力バッファ特性を指定する機能を拡張しています。

このレジスタは、ポートドライブ強度コントロールレジスタ PDSCn とともに、3つの出力バッファ特性を指定できます。

このレジスタへのライトは、保護コマンドレジスタ PPCMDn / JPPCMDn を使用した特定の命令シーケンスによって保護されています。

詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス	32ビット単位でリード/ライト可能です。
アドレス	PUCcN : <PORT_base> + 4028 _H + n × 40 _H JPUCc0 : <JPORT0_base> + 4028 _H <small>備考1.</small>
リセット後の値	PUCcN : 0000 0000 _H JPUCc0 : 0000 0000 _H

備考1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「**2.4.1.1 ポートレジスター**」のポートグループごとのレジスター一覧 (表 2.36 ポートグループ0 レジスター一覧、表 2.37 ポートグループ1 レジスター一覧、表 2.38 ポートグループ2 レジスター一覧、表 2.39 ポートグループ3 レジスター一覧、表 2.40 ポートグループ4 レジスター一覧、表 2.41 ポートグループ5 レジスター一覧、表 2.42 ポートグループ JP0 レジスター一覧) を参照してください。

注 意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。詳細は「**4.3 書き込み保護レジスタ**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUCcN _15	PUCcN _14	PUCcN _13	PUCcN _12	PUCcN _11	PUCcN _10	PUCcN _9	PUCcN _8	PUCcN _7	PUCcN _6	PUCcN _5	PUCcN _4	PUCcN _3	PUCcN _2	PUCcN _1	PUCcN _0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.30 PUCcN レジスタの内容

ビット位置	ビット名	機能															
15 ~ 0	PUCcN_[15:0]	ビット PDSCn_[15:0] とともに端子 m (m = 0 ~ 15) の出力バッファ特性を指定します。 <table border="1"> <thead> <tr> <th>PUCcN_m</th> <th>PDSCn_m</th> <th>出力バッファ特性</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SLOW</td> </tr> <tr> <td>0</td> <td>1</td> <td>FAST</td> </tr> <tr> <td>1</td> <td>0</td> <td>MIDDLE</td> </tr> <tr> <td>1</td> <td>1</td> <td>MIDDLE</td> </tr> </tbody> </table>	PUCcN_m	PDSCn_m	出力バッファ特性	0	0	SLOW	0	1	FAST	1	0	MIDDLE	1	1	MIDDLE
PUCcN_m	PDSCn_m	出力バッファ特性															
0	0	SLOW															
0	1	FAST															
1	0	MIDDLE															
1	1	MIDDLE															

備 考

1. JTAG ポートユニバーサルコントロールレジスタ (JPUC0) の制御ビットは JPUC0_[31:0] になります。
2. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。
3. ドライブ強度の出力バッファ特性は「37.9.2 ドライブ強度」を参照ください。
4. ドライブ強度の設定は兼用機能時でも有効です。
5. ドライブ強度を FAST に設定した場合は SLOW に設定した場合に比べポートドライブ電流量が増えます。許容されるポートドライブ電流は「37.8.3 許容出力電流」を参照ください。

(7) PISAn / JPISA0 — ポート入力バッファ選択レジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス PISAn : 16 ビット単位でリード/ライト可能です。
JPISA0 : 8 ビット単位でリード/ライト可能です。

アドレス PISAn : <PORT_base> + 402C_H + n × 40_H
JPISA0 : <JPOR0_base> + 402C_H 備考 1.

リセット後の値 PISA0 : 0400_H, PISA1~4 : 0000_H
JPISA0 : 00_H

備考 1. 有効ビット位置 (m の値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧) を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn	PISAn
リセット後の値	0	0	0	0	0	注1	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. PISA0 の場合 : 1
PISA1 ~ 4, JPISA0 の場合 : 0

表 2.31 PISAn レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PISAn_[15:0]	入力バッファ特性を指定します。 0 : タイプ 1 (シュミット) 1 : タイプ 2 (CMOS)

備 考

1. タイプ 1 とタイプ 2 の定義は、「2.3.5.4 入力バッファ制御 (PISA)」を参照してください。
2. 対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。
3. JTAG ポート入力バッファ選択レジスタ (JPISA0) の制御ビットは JPISA0_[7:0] になります。

2.3.4.5 端子単位のレジスタ

(1) PCRn_m / JPCR0_m — ポートコントロールレジスタ

このレジスタ経由でポートグループ単位の各レジスタにアクセスすることができ、1端子の一部の機能を1つのPCRレジスタで設定可能です。たとえば、PCRn_mレジスタのビット6に1をセットすると、PMcNレジスタのビットmも1になります。

アクセス 32ビット単位でリード/ライト可能です。

アドレス PCRn_m : <PORT_base> + 2000_H + n × 40_H + 4_H × m
JPCR0_m : <JPORT0_base> + 2000_H + 4_H × m **備考1**。

リセット後の値 PCR0_10 : 1140 0000_H, PCR0_10 以外の PCRn_m : 0000 0010_H
JPCR0_m : 0000 0010_H

備考1. 有効ビット位置 (mの値の種類) はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧 (表 2.36 ポートグループ0レジスタ一覧、表 2.37 ポートグループ1レジスタ一覧、表 2.38 ポートグループ2レジスタ一覧、表 2.39 ポートグループ3レジスタ一覧、表 2.40 ポートグループ4レジスタ一覧、表 2.41 ポートグループ5レジスタ一覧、表 2.42 ポートグループJP0レジスタ一覧) を参照してください。

備考2. このレジスタ経由で PINVn、PODCn、PODCEn、PUCcN、PDSCn レジスタを設定することはできません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PINV	—	PODC	PODCEn	—	PUCc	PDSC	—	PISA	—	—	PU	PD	PBDC	PIBC
リセット後の値	0	0	0	注1	0	0	0	注1	0	注1	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	P	—	—	—	PPR	—	PMC	PIPC	PM	—	PFCAE	PFCE	PFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	注2	0	0	0	0
R/W	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

注1. PCR0_10の場合: 1

PCR0_10以外のPCRn_m, JPCR0_mの場合: 0

注2. PCR0_10の場合: 0

PCR0_10以外のPCRn_m, JPCR0_mの場合: 1

表 2.32 PCRn_m レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	PINV	PINVn レジスタのビット m の値が読めます
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28	PODC	PODCn レジスタのビット m の値が読めます
27	PODCEn	PODCEn レジスタのビット m の値が読めます
26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PUCc	PUCcN レジスタのビット m の値が読めます
24	PDSC	PDSCn レジスタのビット m の値が読めます
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22	PISA	PISAn レジスタのビット m と同じ機能
21、20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 2.32 PCRn_m レジスタの内容 (2/2)

ビット位置	ビット名	機能
19	PU	PUn レジスタのビット m と同じ機能
18	PD	PDn レジスタのビット m と同じ機能
17	PBDC	PBDCn レジスタのビット m と同じ機能
16	PIBC	PIBCn レジスタのビット m と同じ機能
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	P	Pn レジスタのビット m と同じ機能
11 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	PPR	PPRn レジスタのビット m の値が読めます
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PMC	PMcn レジスタのビット m と同じ機能
5	PIPC	PIPCn レジスタのビット m と同じ機能
4	PM	PMn レジスタのビット m と同じ機能
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PFCAE	PFCAEn レジスタのビット m と同じ機能
1	PFCE	PFCEn レジスタのビット m と同じ機能
0	PFC	PFCn レジスタのビット m と同じ機能

備考

対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

2.3.4.6 ポート設定のフローチャート例

ポート設定のフローチャート例を次に示します。

注 意

ポートを PIP_{Cn}.PIP_{Cn_m} ビット = 0 かつ兼用出力モードに設定するとき、一時的に兼用入力モードになる場合があります。これは、PMC_n.PMC_{n_m} ビット = 1 の設定から PM_n.PM_{n_m} ビット = 0 の設定までのタイミングで発生します。ポート兼用機能として割り込み関連信号が設定されている場合、ポート設定中に一時的に兼用入力モードになるため、割り込みが動作しない、または無視されるようにしてください。

(1) 一括設定

一括でポートグループを設定する場合のフローチャート例を次に示します。

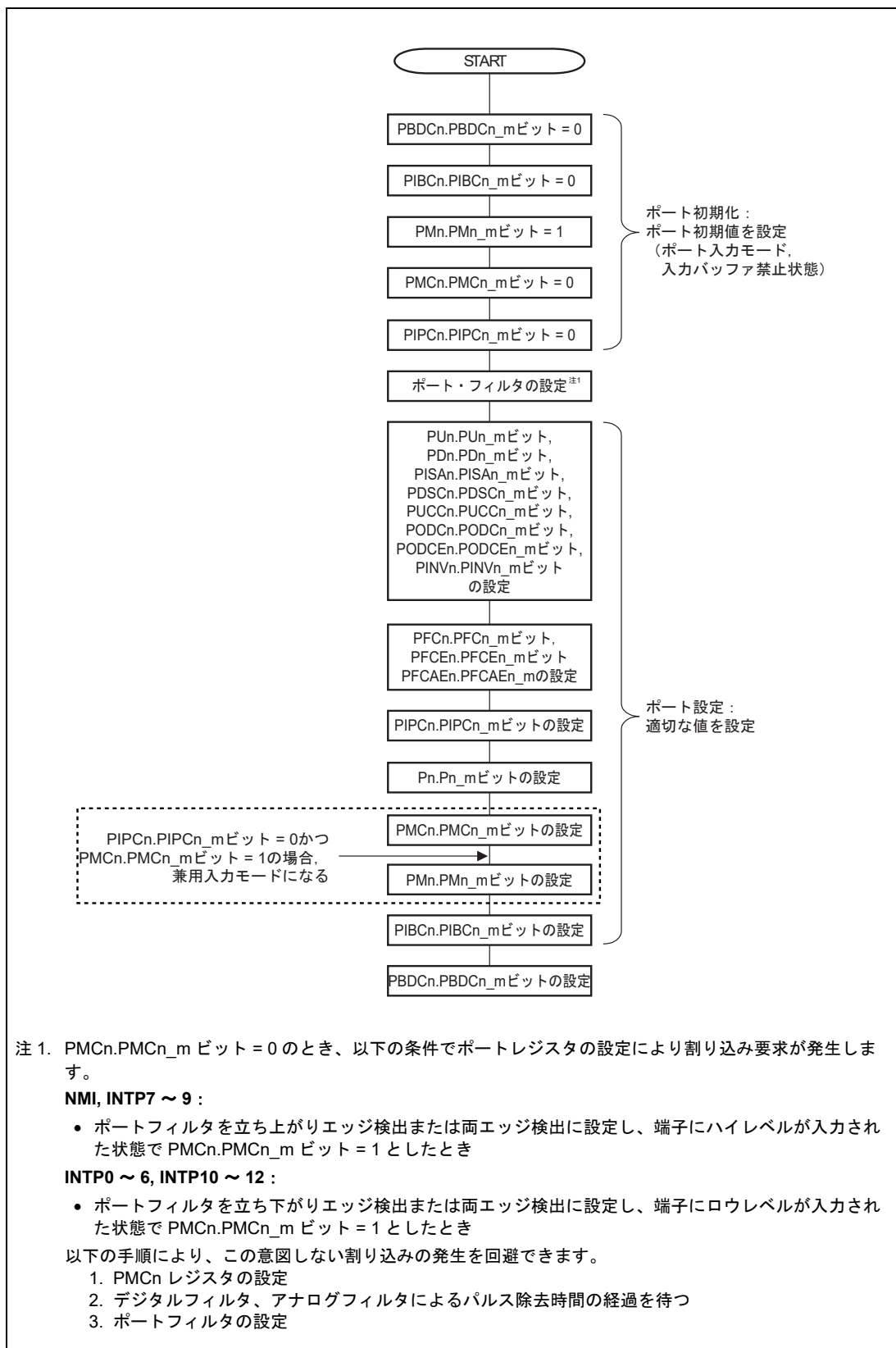


図 2.5 ポート設定のフローチャート例（一括設定の場合）

(2) 個別設定

個別でポートを設定する場合のフローチャート例を次に示します。

また、PCRn_m レジスタを使用すれば、下図の設定範囲内の複数ビットを一括設定できます。

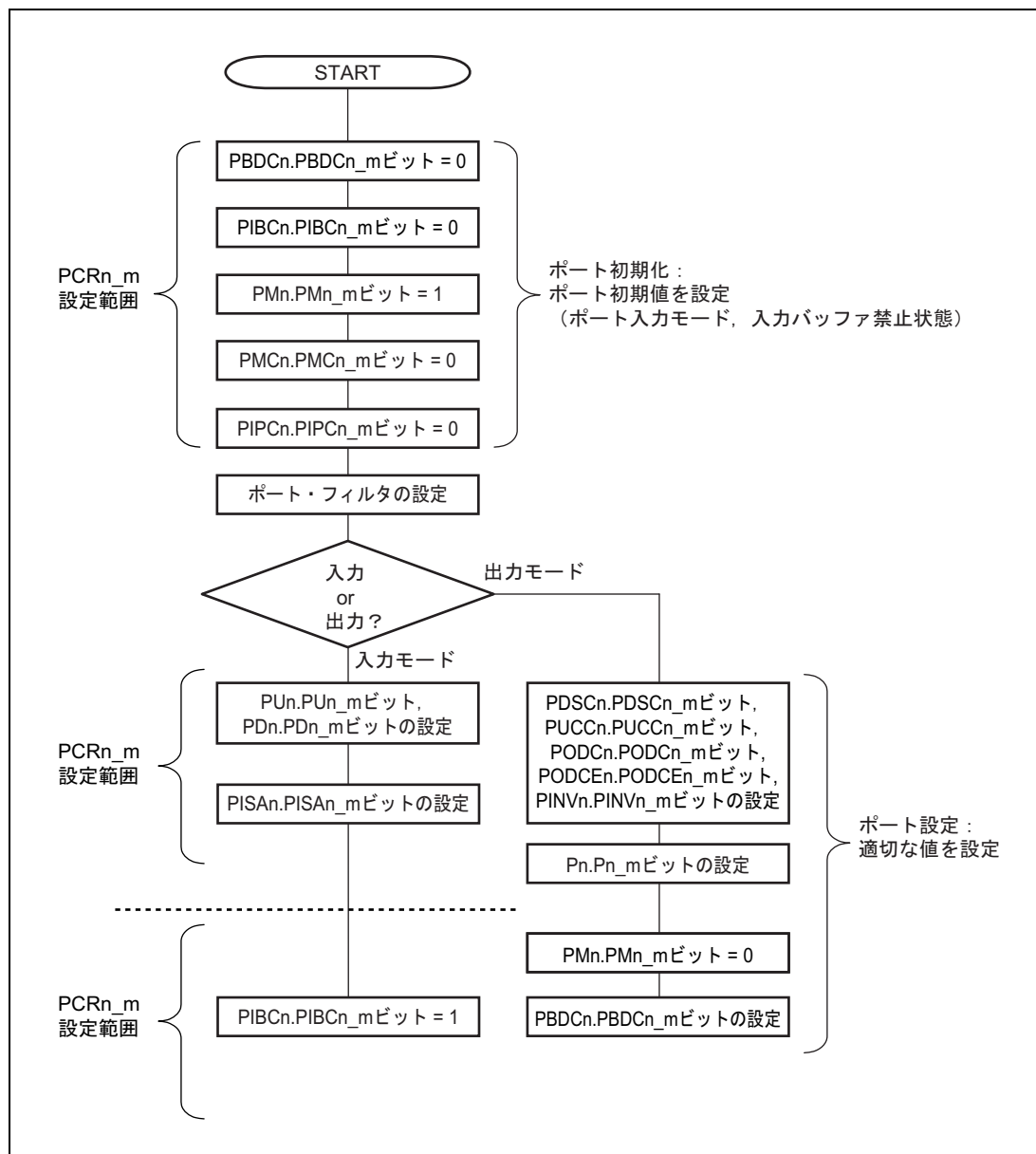


図 2.6 ポート設定のフローチャート例 (ポートモードの場合)

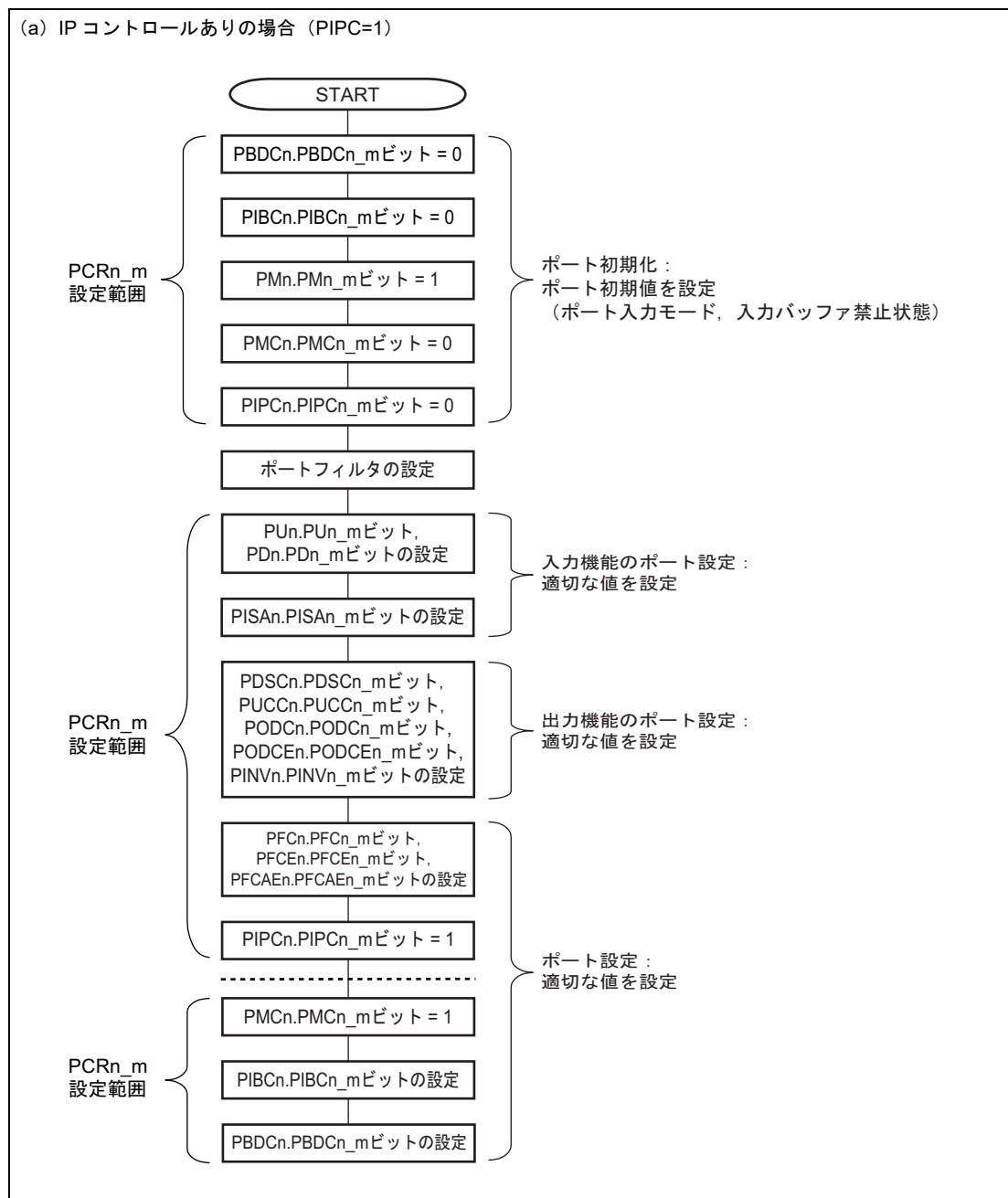


図 2.7 ポート設定のフローチャート例 (兼用モードの場合) (1/2)

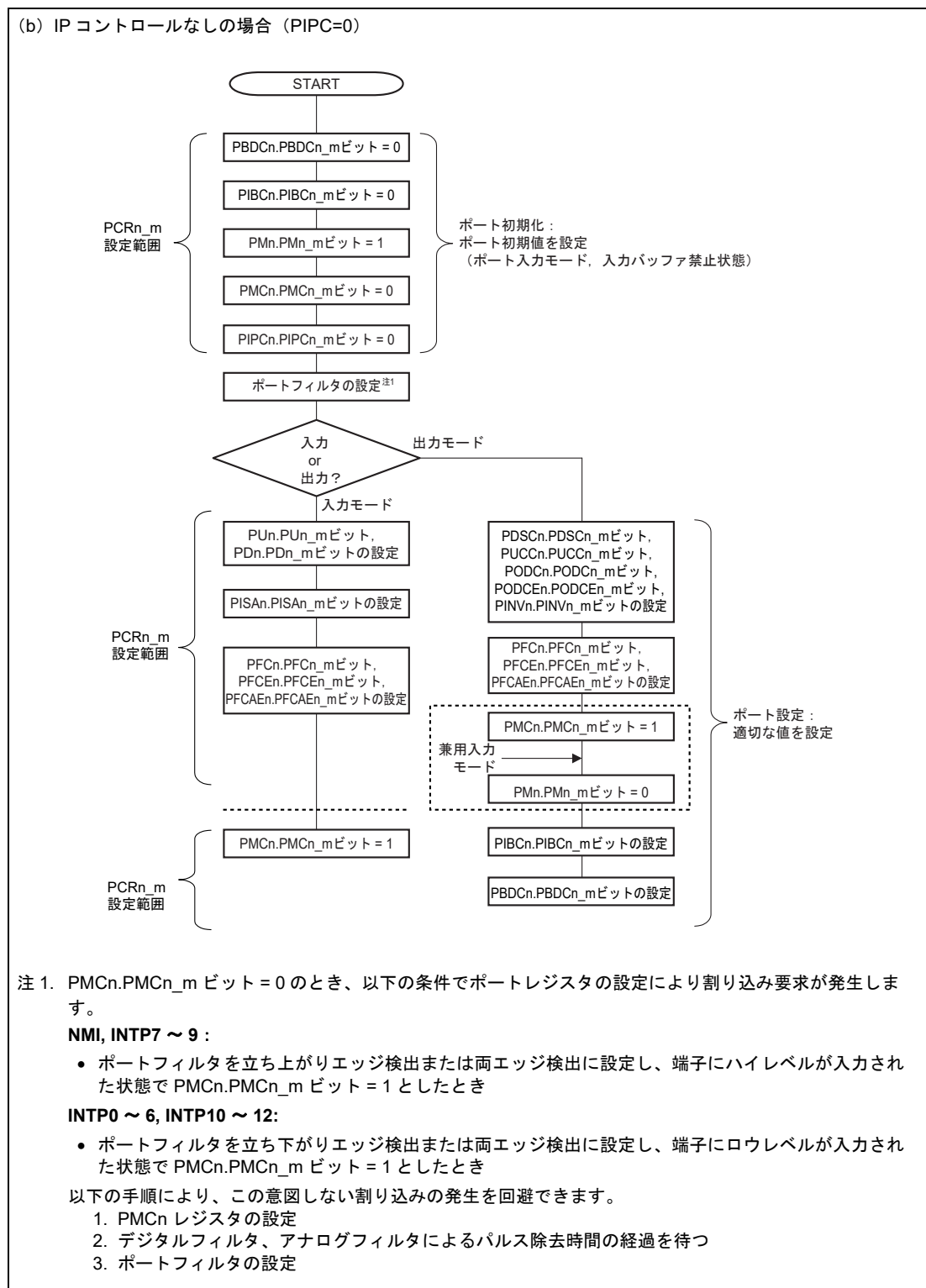


図 2.8 ポート設定のフローチャート例 (兼用モードの場合) (2/2)

2.3.5 機能選択

2.3.5.1 兼用機能使用時のレジスタ設定

端子の兼用機能を使用するとき、 $PMc_n_m = 1$ に設定し、 $PFCn_m$ 、 $PFCEn_m$ 、 $PFCAEn_m$ で兼用番号を選択してください。また、いくつかの周辺機能では、1つの兼用入出力機能を複数の端子に割り当てています。しかし、これらの兼用機能を、複数の端子で有効にすることは禁止です。たとえば、外部割り込み入力の $INTP0$ は $P0_2$ や $P2_5$ に割り当てられていますが、この兼用機能を選択してよいのは1端子のみです。

2.3.5.2 直接 I/O 制御兼用モードで使用する兼用機能

表 2.33 の端子を使用するときは、直接 I/O 制御兼用モードに設定してください。 $PIPCn_m = 1$ に設定すると、周辺機能がバッファの入力、出力許可を制御するため、 PMn_m の設定値は無視されます。

表 2.33 直接 I/O 制御兼用モード設定が有効な端子一覧

機能	端子名
CSIH0	CSIH0SCO
	CSIH0SO
CSIH1	CSIH1SCO
	CSIH1SO
CSIH2	CSIH2SCO
	CSIH2SO
CSIH3	CSIH3SCO
	CSIH3SO
CSIG0	CSIG0SCO
	CSIG0SO
TSG30	TSG30O1
	TSG30O2
	TSG30O3
	TSG30O4
	TSG30O5
	TSG30O6
TSG31	TSG31O1
	TSG31O2
	TSG31O3
	TSG31O4
	TSG31O5
	TSG31O6

注 意

上記の表 2.33 に含まれない端子は $PIPCn_m = 1$ に設定しないでください。

2.3.5.3 アナログ入力端子使用時のレジスタ設定

アナログ入力の ADCDnIm (SAR-A/D) は常時 A/D コンバータと接続されているので、端子機能を選択するためのポートレジスタ設定は必要ありません。

2.3.5.4 入力バッファ制御 (PISA)

本デバイスでは、ポートの入力バッファの特性 (タイプ 1、タイプ 2) を PISAn レジスタで選択することができます。適用可能な端子を以下の表に示します。

表 2.34 入力バッファ特性の選択 (1/2)

ポート名	入力バッファ選択		備考	デバイス			
	タイプ1 (PISAn_m = 0)	タイプ2 (PISAn_m = 1)		100-pin (eVR)	100-pin (DPS)	144-pin (eVR)	144-pin (DPS)
P0_3	シュミット	CMOS		—	—	○	○
P0_4	シュミット	CMOS		—	—	○	○
P0_5	シュミット	CMOS		—	—	○	○
P0_6	シュミット	CMOS		—	—	○	○
P0_7	シュミット	CMOS		—	—	○	○
P0_8	シュミット	CMOS		—	—	○	○
P0_9	シュミット	CMOS		—	—	○	○
P0_13	シュミット	CMOS		○	○	○	○
P1_1	シュミット	CMOS		○	○	○	○
P1_2	シュミット	CMOS		○	○	○	○
P1_3	シュミット	CMOS		○	○	○	○
P1_4	シュミット	CMOS		○	○	○	○
P2_0	シュミット	CMOS		○	○	○	○
P2_1	シュミット	CMOS		○	○	○	○
P2_2	シュミット	CMOS		○	○	○	○
P2_5	シュミット	CMOS		○	○	○	○
P2_7	シュミット	CMOS		○	○	○	○
P2_12	シュミット	CMOS		—	—	○	○
P3_0	シュミット	CMOS		—	—	○	○
P3_1	シュミット	CMOS		—	—	○	○
P3_14	シュミット	CMOS		○	○	○	○
P4_0	シュミット	CMOS		○	○	○	○
P4_1	シュミット	CMOS		○	○	○	○
P4_2	シュミット	CMOS		○	○	○	○
P4_3	シュミット	CMOS		○	○	○	○
P4_4	シュミット	CMOS		○	○	○	○
P4_5	シュミット	CMOS		○	○	○	○
P4_6	シュミット	CMOS		○	○	○	○
P4_9	シュミット	CMOS		—	—	○	○
P4_10	シュミット	CMOS		—	—	○	○
P4_12	シュミット	CMOS		—	—	○	○
P4_13	シュミット	CMOS		—	—	○	○
JP0_0	シュミット	CMOS		○	○	○	○
JP0_1	シュミット	CMOS		○	○	○	○

表 2.34 入力バッファ特性の選択 (2/2)

ポート名	入力バッファ選択		備考	デバイス			
	タイプ1 (PISAn_m = 0)	タイプ2 (PISAn_m = 1)		100-pin (eVR)	100-pin (DPS)	144-pin (eVR)	144-pin (DPS)
JP0_2	シュミット	CMOS		○	○	○	○
JP0_3	シュミット	CMOS		○	○	○	○
JP0_5	シュミット	CMOS		○	○	○	○

2.3.5.5 出力バッファ制御 (PDSC, PUCC)

本デバイスでは、ポートの出力ドライバの強度 (SLOW、MIDDLE、FAST) を PDSCn、PUCCn レジスタで選択することができます。適用可能な端子を以下の表に示します。

表 2.35 出力ドライブ強度の選択 (1/3)

ポート名	デバイス			
	100-pin (eVR)	100-pin (DPS)	144-pin (eVR)	144-pin (DPS)
P0_0	○	○	○	○
P0_1	○	○	○	○
P0_2	○	○	○	○
P0_3	—	—	○	○
P0_4	—	—	○	○
P0_5	—	—	○	○
P0_6	—	—	○	○
P0_7	—	—	○	○
P0_8	—	—	○	○
P0_9	—	—	○	○
P0_10	○	○	○	○
P0_11	—	—	○	○
P0_12	—	—	○	○
P0_13	○	○	○	○
P0_14	—	—	○	○
P1_0	—	—	○	○
P1_1	○	○	○	○
P1_2	○	○	○	○
P1_3	○	○	○	○
P1_4	○	○	○	○
P2_0	○	○	○	○
P2_1	○	○	○	○
P2_2	○	○	○	○
P2_3	○	○	○	○
P2_4	○	○	○	○
P2_5	○	○	○	○
P2_6	○	○	○	○
P2_7	○	○	○	○
P2_8	○	○	○	○
P2_9	○	○	○	○
P2_10	—	—	○	○
P2_11	—	—	○	○
P2_12	—	—	○	○
P2_13	—	—	○	○
P2_14	—	—	○	○
P2_15	—	—	○	○
P3_0	—	—	○	○
P3_1	—	—	○	○
P3_2	—	—	○	○

表 2.35 出力ドライブ強度の選択 (2/3)

ポート名	デバイス			
	100-pin (eVR)	100-pin (DPS)	144-pin (eVR)	144-pin (DPS)
P3_3	○	○	○	○
P3_4	○	○	○	○
P3_5	○	○	○	○
P3_6	○	○	○	○
P3_7	○	○	○	○
P3_8	○	○	○	○
P3_9	○	○	○	○
P3_10	○	○	○	○
P3_11	○	○	○	○
P3_12	○	○	○	○
P3_13	○	○	○	○
P3_14	○	○	○	○
P4_0	○	○	○	○
P4_1	○	○	○	○
P4_2	○	○	○	○
P4_3	○	○	○	○
P4_4	○	○	○	○
P4_5	○	○	○	○
P4_6	○	○	○	○
P4_7	—	—	○	○
P4_8	—	—	○	○
P4_9	—	—	○	○
P4_10	—	—	○	○
P4_11	—	—	○	○
P4_12	—	—	○	○
P4_13	—	—	○	○
P4_14	—	—	○	○
P5_0	○	○	○	○
P5_1	○	○	○	○
P5_2	—	—	○	○
P5_3	—	—	○	○
P5_4	○	○	○	○
P5_5	○	○	○	○
P5_6	○	○	○	○
P5_7	○	○	○	○
P5_8	○	○	○	○
P5_9	○	○	○	○
P5_10	○	○	○	○
P5_11	—	—	○	○
P5_12	—	—	○	○
P5_13	—	—	○	○
P5_14	○	○	○	○
P5_15	—	—	○	○

表 2.35 出力ドライブ強度の選択 (3/3)

ポート名	デバイス			
	100-pin (eVR)	100-pin (DPS)	144-pin (eVR)	144-pin (DPS)
JP0_0	○	○	○	○
JP0_1	○	○	○	○
JP0_3	○	○	○	○
JP0_5	○	○	○	○

2.4 ポートグループ構成

2.4.1 ポート機能

2.4.1.1 ポートレジスタ一覧

144pin 製品の各ポートの制御レジスタ詳細ビット配置について、**表 2.36**～**表 2.42**に示します。ビットマップにおいて“○”は有効ビット、“—”はリザーブビットを表します。リザーブビットをリードするとリセット後の値を読み出します。ライトするときもリセット後の値を書き込んでください。

100ピン製品にアサインされていないポートに対応するビットはリザーブビットです。

100ピン製品にアサインされていないポートは「**表 2.2 端子機能**」を参照ください。

表 2.36 ポートグループ 0 レジスタ一覧 (1/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考		
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0	P0	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PSR0	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PPR0	R	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PM0	R/W	FBFF _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PMC0	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFC0	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFCE0	R/W	0000 _H	16	—	—	○	—	—	—	○	○	○	○	○	○	○	○	○	○	○		
	PNOT0	W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFCAE0	R/W	0000 _H	16	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○		
	PMSR0	R/W	0000 FBFF _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PMCSR0	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PIBC0	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PBDC0	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PIPC0	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PU0	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PD0	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PODC0	R/W	0000 0400 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PDSC0	R/W	0000 0400 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PUCC0	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PISA0	R/W	0400 _H	16	—	—	○	—	—	—	○	○	○	○	○	○	○	○	○	○	○		
	PPROTS0	R	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PPCMD0	W	0000 0000 _H	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PODCE0	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PINV0	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット	
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○
PCR0_0	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	○	○	○	○	○	○	○	○	○
PCR0_1	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	○	○	○	○	○	○	○	○	○

表 2.36 ポートグループ 0 レジスタ一覧 (2/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	PCR0_2	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR0_3	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR0_4	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR0_5	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR0_6	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR0_7	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR0_8	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR0_9	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	—	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR0_10	R/W	1140 0000 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	—	—	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR0_11	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	—	—	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR0_12	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	—	—	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR0_13	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	—	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR0_14	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	—	—	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット

表 2.37 ポートグループ1 レジスタ一覧

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考		
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
1	P1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PSR1	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○		上位 16 ビット
	PPR1	R	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PM1	R/W	FFFF _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PMC1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PFC1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PFCE1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PNOT1	W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PFCAE1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PMSR1	R/W	0000 FFFF _H	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○		上位 16 ビット
	PMCSR1	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○		上位 16 ビット
	PIBC1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PBDC1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PIPC1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	—	—	—		
	PU1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PD1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○		
	PODC1	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PDSC1	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PUCC1	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PISA1	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	—		
	PPROTS1	R	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PPCMD1	W	0000 0000 _H	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PODCE1	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PINV1	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット	
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
PCR1_0	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	—	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○		上位 16 ビット		
PCR1_1	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	—	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○		上位 16 ビット		
PCR1_2	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	—	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○		上位 16 ビット		
PCR1_3	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	—	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○		上位 16 ビット		
PCR1_4	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	—	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○		上位 16 ビット		

表 2.38 ポートグループ 2 レジスタ一覧 (1/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考		
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
2	P2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PSR2	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット	
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR2	R	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PM2	R/W	FFFF _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PMC2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PFC2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PFCE2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PNOT2	W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PFCAE2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	—		
	PMSR2	R/W	0000 FFFF _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PMCSR2	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PIBC2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PBDC2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PIPC2	R/W	0000 _H	16	—	—	—	○	—	—	○	○	○	○	○	—	○	○	○	—			
	PU2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PD2	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○			
	PODC2	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PDSC2	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PUCC2	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PISA2	R/W	0000 _H	16	—	—	—	○	—	—	—	—	○	—	○	—	—	○	○	○			
	PPROTS2	R	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PPCMD2	W	0000 0000 _H	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PODCE2	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PINV2	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット	
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCR2_0	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	—	○	○	○	○	○	○	○
PCR2_1	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	—	○	○	○	○	○	○	○
PCR2_2	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	—	○	○	○	○	○	○	○
PCR2_3	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	—	○	○	○	○	○	○	○
PCR2_4	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	—	○	○	○	○	○	○	○
PCR2_5	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	—	○	○	○	○	○	○	○
PCR2_6	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	—	○	○	○	○	○	○	○

表 2.38 ポートグループ2 レジスタ一覧 (2/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	PCR2_7	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR2_8	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR2_9	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR2_10	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR2_11	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR2_12	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR2_13	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR2_14	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR2_15	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット

表 2.39 ポートグループ3 レジスタ一覧 (1/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考	
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
3	P3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PSR3	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PPR3	R	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PM3	R/W	FFFF _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PMC3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFC3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFCE3	R/W	0000 _H	16	—	○	○	○	○	—	○	○	○	○	○	○	○	○	○	○		
	PNOT3	W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFCAE3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PMSR3	R/W	0000 FFFF _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PMCSR3	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PIBC3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PBDC3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PIPC3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	—	—	—	—	○	○	○		
	PU3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PD3	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PODC3	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PDSC3	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PUCC3	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PISA3	R/W	0000 _H	16	—	○	—	—	—	—	—	—	—	—	—	—	—	—	○	○		
	PPROTS3	R	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PPCMD3	W	0000 0000 _H	32	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PODCE3	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PINV3	R/W	0000 0000 _H	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット	
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
PCR3_0	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	—	○	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	○	○	上位 16 ビット
PCR3_1	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	○	○	上位 16 ビット
PCR3_2	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR3_3	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR3_4	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR3_5	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR3_6	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット

表 2.39 ポートグループ3 レジスタ一覧 (2/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
3	PCR3_7	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR3_8	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR3_9	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR3_10	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	—	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR3_11	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR3_12	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR3_13	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR3_14	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット

表 2.40 ポートグループ 4 レジスタ一覧 (1/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考		
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
4	P4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PSR4	R/W	0000 0000 _H	32	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	PPR4	R	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PM4	R/W	FFFF _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PMC4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PFC4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PFCE4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PNOT4	W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PFC4E4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PMSR4	R/W	0000 FFFF _H	32	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	PMCSR4	R/W	0000 0000 _H	32	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	PIBC4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PBDC4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PIPC4	R/W	0000 _H	16	—	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0		
	PU4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PD4	R/W	0000 _H	16	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	PODC4	R/W	0000 0000 _H	32	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PDSC4	R/W	0000 0000 _H	32	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PUCC4	R/W	0000 0000 _H	32	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PISA4	R/W	0000 _H	16	—	—	0	0	—	0	0	—	—	0	0	0	0	0	0	0	0		
	PPROTS4	R	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PPCMD4	W	0000 0000 _H	32	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PODCE4	R/W	0000 0000 _H	32	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PINV4	R/W	0000 0000 _H	32	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	下位 16 ビット	
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
PCR4_0	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	0	—	0	0	—	0	0	0	下位 16 ビット	
				—	0	—	0	0	—	0	0	—	0	—	—	0	0	0	0	0	0	0	上位 16 ビット
PCR4_1	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	0	—	0	0	—	0	0	0	下位 16 ビット	
				—	0	—	0	0	—	0	0	—	0	—	—	0	0	0	0	0	0	0	上位 16 ビット
PCR4_2	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	0	—	0	0	—	0	0	0	下位 16 ビット	
				—	0	—	0	0	—	0	0	—	0	—	—	0	0	0	0	0	0	0	上位 16 ビット
PCR4_3	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	0	—	0	0	—	0	0	0	下位 16 ビット	
				—	0	—	0	0	—	0	0	—	0	—	—	0	0	0	0	0	0	0	上位 16 ビット
PCR4_4	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	0	—	0	0	—	0	0	0	下位 16 ビット	
				—	0	—	0	0	—	0	0	—	0	—	—	0	0	0	0	0	0	0	上位 16 ビット
PCR4_5	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	0	—	0	0	—	0	0	0	下位 16 ビット	
				—	0	—	0	0	—	0	0	—	0	—	—	0	0	0	0	0	0	0	上位 16 ビット
PCR4_6	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	0	—	0	0	—	0	0	0	下位 16 ビット	
				—	0	—	0	0	—	0	0	—	0	—	—	0	0	0	0	0	0	0	上位 16 ビット

表 2.40 ポートグループ4 レジスタ一覧 (2/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
4	PCR4_7	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR4_8	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	下位 16 ビット	
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR4_9	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	下位 16 ビット	
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR4_10	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	下位 16 ビット	
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR4_11	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	下位 16 ビット	
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR4_12	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	下位 16 ビット	
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR4_13	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	下位 16 ビット	
					—	○	—	○	○	—	○	○	—	○	—	—	○	○	○	○	上位 16 ビット
	PCR4_14	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	下位 16 ビット	
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット

表 2.41 ポートグループ 5 レジスタ一覧 (1/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考	
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
5	P5	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PSR5	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PPR5	R	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PM5	R/W	FFFF _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PMC5	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFC5	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFCE5	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PNOT5	W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PFC5E5	R/W	0000 _H	16	○	○	○	—	—	○	○	○	○	○	○	○	○	○	○	○		
	PMSR5	R/W	0000 FFFF _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PMCSR5	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PIBC5	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PBDC5	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PIPC5	R/W	0000 _H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PU5	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PD5	R/W	0000 _H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
	PODC5	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PDSC5	R/w	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC5	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS5	R	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PPCMD5	W	0000 0000 _H	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PODCE5	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PINV5	R/W	0000 0000 _H	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
—					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
PCR5_0	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR5_1	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR5_2	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR5_3	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR5_4	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR5_5	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
PCR5_6	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	○	下位 16 ビット	
				—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	○	○	上位 16 ビット

表 2.41 ポートグループ 5 レジスタ一覧 (2/2)

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
5	PCR5_7	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR5_8	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR5_9	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR5_10	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR5_11	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	—	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR5_12	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	—	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR5_13	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR5_14	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	○	○	—	○	○	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット
	PCR5_15	R/W	0000 0010 _H	32	—	—	—	○	—	—	—	○	—	○	—	○	—	○	—	○	下位 16 ビット
					—	○	—	○	○	—	○	○	—	—	—	—	○	○	○	○	上位 16 ビット

表 2.42 ポートグループ JP0 レジスタ一覧

ポート グループ名	レジスタ名	R/W	リセット後 の値	アクセス サイズ	ビットマップ																備考	
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
JP0	JP0	R/W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	
	JPSR0	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	上位 16 ビット	
	JPPR0	R	00 _H	8	—	—	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	
	JPM0	R/W	FF _H	8	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	
	JPMC0	R/W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0	
	JPFCE0	R/W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0	
	JPNOT0	W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	
	JPMSR0	R/W	0000 00FF _H	32	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	上位 16 ビット	
	JPMCSR0	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0	下位 16 ビット
						—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0	上位 16 ビット
	JPIBC0	R/W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	0	—	0	0	0	0	
	JPBDC0	R/W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	
	JPU0	R/W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	0	—	0	0	0	0	
	JPD0	R/W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	0	—	0	0	0	0	
	JPODC0	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JPDSC0	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JPUCC0	R/W	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	0	—	0	—	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JPISA0	R/W	00 _H	8	—	—	—	—	—	—	—	—	—	—	—	0	—	0	0	0	0	
	JPPROTS0	R	0000 0000 _H	32	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JPPCMD0	W	0000 0000 _H	32	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JPCR0_0	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	—	0	—	—	0	—	下位 16 ビット	
					—	—	—	0	—	—	0	0	—	0	—	—	0	0	0	0	上位 16 ビット	
	JPCR0_1	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	0	—	0	—	—	0	—	下位 16 ビット	
—					—	—	0	—	—	0	0	—	0	—	—	0	0	0	0	上位 16 ビット		
JPCR0_2	R/W	0000 0010 _H	32	—	—	—	—	—	—	—	—	0	—	0	—	—	—	0	—	下位 16 ビット		
				—	—	—	—	—	—	—	—	—	0	—	—	0	0	—	0	上位 16 ビット		
JPCR0_3	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	—	—	0	—	—	—	—	下位 16 ビット		
				—	—	—	0	—	—	0	0	—	0	—	—	0	0	0	0	上位 16 ビット		
JPCR0_4	R/W	0000 0010 _H	32	—	—	—	—	—	—	—	—	0	—	—	—	—	—	—	—	下位 16 ビット		
				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット		
JPCR0_5	R/W	0000 0010 _H	32	—	—	—	0	—	—	—	0	—	—	—	0	—	—	—	—	下位 16 ビット		
				—	—	—	0	—	—	0	0	—	0	—	—	0	0	0	0	上位 16 ビット		

備考 JPPR0.JPPR0_4 ビットは DCUTRST 端子の端子レベルをリード可能です。

2.4.1.2 端子兼用機能一覧

各ポートの端子兼用機能一覧を、**表 2.43**～**表 2.49**に示します。表の“—”の記載はリザーブですので、選択しないでください。

2.4.1.3 ポート0 (P0)

表 2.43 ポート0 (P0)

ポート モード (PMCO_ m = 0)	兼用モード (PMCO_m = 1)												デバイス					
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		専用機能		100-pin		144-pin	
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	専用機能	eVR	DPS	eVR	DPS	
P0_0	TAUJ01	TAUJ001		SENT3SPCO	TAUD1014	ADCDCNV2		PSI60DOUT				RLIN30TX		○	○	○	○	
P0_1	TAUJ02	TAUJ002	SENT4RX	SENT4SPCO	TAUD1015	ADCDCNV3						RLIN31RX/ INTP4	○	○	○	○		
P0_2	SCI30RX/ INTP0		TAPA1ESO/ INTP8		TAUD210	ADCDCNV0		TAUD200				SENT5RX	○	○	○	○		
P0_3		SCI30TX		TAUD108	TAUD211	ADCDCNV1		TAUD201				SENT5SPCO	—	—	○	○		
P0_4	SCI30SCI	SCI30SCO		TAUD109	TAUD212	ADCDCNV2		TAUD202				SENT4SPCO	—	—	○	○		
P0_5	TAUJ10	TAUJ100		TAUD1010	TAUD213	ADCDCNV3		TAUD203				SENT3SPCO	—	—	○	○		
P0_6	TAUJ11	TAUJ101		TAUD1011	TAUD214			TAUD204				SENT2SPCO	—	—	○	○		
P0_7	TAUJ12	TAUJ102		TAUD1012	TAUD215		ADCDTRG0	TAUD205				SENT1SPCO	—	—	○	○		
P0_8	TAUJ13	TAUJ103		TAUD1013	TAUD216		ADCDTRG1	TAUD206				SENT0SPCO	—	—	○	○		
P0_9		ADCD1CNV1		TAUD1014	TAUD217	ADCDCNV4		TAUD207				AUDATA0	—	—	○	○		
P0_10				ADCD1CNV0								RESET OUT EVTO	○	○	○	○		
P0_11													—	—	○	○		
P0_12													—	—	○	○		
P0_13		OSTM00		TAUD1015	TAUD217		INTP9	TAUD207					○	○	○	○		
P0_14				ADCD1CNV4									—	—	○	○		

備考 P0_10 : RESETOUT

P0_10は初期状態で、ロウレベルを出力します。

リセット解除後は以下の設定となります。

- ・ PM0.PM0_10=0 : 出力ポート
- ・ PODC0.PODC0_10 : Nch オープンドレイン出力

「8.2.1 リセット出力 (RESETOUT)」の動作を実現するにはリセット解除後、ハイ・レベル (P0.P0_10 = 1) を出力してください。

2.4.1.4 ポート1 (P1)

表 2.44 ポート1 (P1)

ポート モード (PMC1_ m = 0)	兼用モード (PMC1_m = 1)												専用機能				デバイス					
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		100-pin		144-pin		eVR	DPS	eVR	DPS		
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	eVR	DPS	eVR	DPS						
P1_0							RLIN30TX															
P1_1	TAUJ210	TAUJ200	TAUJ110	TAUJ100	TAUD2112	TAUD2012	RLIN30RX/ INTP3	CSIH2CSS0	TAUD016			CSIH3RYI										
P1_2	TAUJ211	TAUJ201	TAUJ111	TAUJ101	TAUD2113	TAUD2013	CSIH2SI		TAUD018			CSIH3SI										
P1_3	TAUJ212	TAUJ202	TAUJ112	TAUJ102	TAUD2114	TAUD2014		CSIH2SO	TAUD0110													
P1_4	TAUJ213	TAUJ203	TAUJ113	TAUJ103	TAUD2115	TAUD2015	CSIH2SCI	CSIH2SCO				CSIH3SCI										

2.4.1.5 ポート 2 (P2)

表 2.45 ポート 2 (P2)

ポート モード (PMC ₂ m = 0)	兼用モード (PMC ₂ m = 1)												専用機能				デバイス				
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		100-pin		144-pin		eVR	DPS	eVR	DPS	
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	eVR	DPS	eVR	DPS					
P2_0	RSCAN0RX0 /INTP5		CSIH2SI		TAUD2111	TAUD2011		CSIH3CSS6													
P2_1		RSCAN0TX0		CSIH2SO	TAUD2112	TAUD2012		CSIH3CSS7		TSG3007											
P2_2	RSCAN0RX1 /INTP6		CSIH2SCI	CSIH2SCO	TAUD2113	TAUD2013		TPB00		TSG3000											
P2_3		RSCAN0TX1	CSIH2RY1	CSIH2CSS0	TAUD2114	TAUD2014		TPB10		TSG3001											
P2_4		CSIH2RY0		CSIH0CSS2	RLIN31TX	TAUJ113	TAUJ103	CSIH0SI				TAUD2111	TAUD2011								
P2_5	SCI30RX/ INTP0			CSIH0CSS3	RLIN31RX/ INTP4		CSIH3SO			TSG3002											
P2_6		SCI30TX		OSTM10	CSIH0SCI	CSIH0SCO	CSIH3SI	CSIH0CSS4		TSG3003		TAUD110	TAUD100								
P2_7	SCI30SCI	SCI30SCO		CSIH0CSS5	CSIH1SI		CSIH3SCI	CSIH3SCO		TSG3004		TAUD111	TAUD101								
P2_8	SCI31RX/ INTP1	CSIH3RY0		CSIH0CSS6		CSIH1SO	CSIH3RY1	CSIH3CSS0		TSG3005		TAUD112	TAUD102								
P2_9		SCI31TX		CSIH0CSS7	CSIH1SCI	CSIH1SCO		CSIH3CSS1		TSG3006		TAUD113	TAUD103								
P2_10					TAUD2110	TAUD2010			CSIH0RY1	CSIH0CSS6											
P2_11	TAUD110			TAUD100	TAUD111			TAUD101		CSIH0CSS5	CSIH1RY1										
P2_12	TAUD112			TAUD102	TAUD113			TAUD103		CSIH0CSS4											
P2_13	TAUD114			TAUD104	TAUD115			TAUD105		CSIH0CSS3											
P2_14	TAUD116			TAUD106	TAUD117			TAUD107		CSIH0CSS2											
P2_15	TAUD118			TAUD108	TAUD119			TAUD109	CSIH0RY1												

2.4.1.6 ポート3 (P3)

表 2.46 ポート3 (P3)

ポート モード (PMC3_ m = 0)	兼用モード (PMC3_m = 1)														専用機能				デバイス			
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		100-pin		144-pin		eVR	DPS	eVR	DPS		
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	eVR	DPS	eVR	DPS						
P3_0	TAUD1110		TAUD1010		TAUD1111		TAUD1011		CSIH0S0		CSIG0S0											
P3_1	TAUD1112		TAUD1012		TAUD1113		TAUD1013		CSIH0S0		CSIG0S0											
P3_2	TAUD1114		TAUD1014		TAUD1115		TAUD1015		CSIH0S0		CSIG0S0											
P3_3	CSIH0RY1	SCI32TX	TAUD110	CSIH2CSS1		CSIH3SSI	CSIH3CSS4		TAUD100		TAUD101											
P3_4	SCI32RX/ INTP2		TAUD112	CSIH2CSS2	RLIN30RX/ INTP3	CSIG0RY0	CSIH3CSS3		TAUD102		TAUD103											
P3_5	SCI31SCI	SCI31SCO	TAUD010	CSIH2CSS3	CSIG0RY1	RLIN30TX	CSIH3CSS2		TAUD000		TAUD001											
P3_6	CSIH0S1			TSG3100			TAUD002		CSIH3RY1		TAUD003											
P3_7		CSIH0S0		TSG3101	RSCAN0RX0 /INTP5		SCI30RX/ INTP0		CSIH2RY1		TAUD005											
P3_8	CSIH0SCI	CSIH0SCO		TSG3102		RSCAN0TX0		TPB10	CSIH0SSI		TAUD007											
P3_9	SCI32SCI	SCI32SCO		TSG3103			CSIH3CSS5		CSIH0RY1		TAUD009											
P3_10				TSG3104					TAUD116		TAUD0011											
P3_11	TAUJ013	TAUJ003		SENT4SPO			ADCD0CNV4				RLIN31TX											
P3_12		CSIH1RY0		TSG3105	RSCAN0RX1 /INTP6		SCI30TX		TAUD118		TAUD0013											
P3_13	CSIH1RY1			TSG3106		RSCAN0TX1	SCI30SCI		TAUD110		TAUD0015											
P3_14	CSIH1S1		TAPA0ES0/ INTP7	TPB10		EXTCLK00	NMI				TSG3107											

2.4.1.7 ポート4 (P4)

表 2.47 ポート4 (P4)

ポート モード (PMCA _m = 0)	兼用モード (PMCA _m = 1)														専用機能			デバイス		
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用									
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	eVR	DPS	100-pin eVR	DPS	144-pin eVR	DPS
P4_0		CSIH1SO	TAUJ00	TAUJ000	RLIN30RX/ /INTP3		TSG30PTS0/ /ENCA0E0		FLX0TXDA 注1		ADCD1CNV0				○	○			○	○
P4_1	CSIH1SCI	CSIH1SCO	TAUJ01	TAUJ001		RLIN30TX		TSG30PTS1/ /ENCA0E1		FLX0TXENA 注1		ADCD1CNV1			○	○			○	○
P4_2	RSCAN0RX1/ /INTP6	CSIH1RYO	TAUJ02	TAUJ002	SCI30SCI	SCI30SCO	TSG30PTS2/ /ENCA0E2		FLX0RXDA 注1 /INTP11		ADCD1CNV2				○	○			○	○
P4_3	CSIH2RY1	RSCAN0TX1	TAUJ03	TAUJ003		OSTM10	TSG30CLK1		FLX0RXDB 注1 /INTP12	ADCD1CNV3	TAUD200				○	○			○	○
P4_4	CSIH2SI		TAPA1ESO/ /INTP8			CSIH2CSS7	TSG31PTS0/ /ENCA1E0		FLX0STPWT 注1	ADCD1CNV4	TAUD201				○	○			○	○
P4_5		CSIH2SO	SCI30RX/ /INTP0		RSCAN0RX0/ /INTP5	EXTCLK10	TSG31PTS1/ /ENCA1E1			FLX0TXDB 注1	TAUD202				○	○			○	○
P4_6	CSIH2SCI	CSIH2SCO		SCI30TX		RSCAN0TX0	TSG31PTS2/ /ENCA1E2			FLX0TXENB 注1	TAUD203				○	○			○	○
P4_7	RSCAN0RX1/ /INTP6	CSIH2RYO		TAUD100	ENCA0TIN0	CSIH2CSS0	TSG31CLK1			CSIH1CSS4	TAUD204				—	—			○	○
P4_8	FLX0RXDA 注1 /INTP11			TAUD101	ENCA0TIN1	CSIH2CSS1	CSIH1SSI			CSIH1CSS5	TAUD205				—	—			○	○
P4_9		FLX0TXDA 注1		TAUD102	ENCA1TIN0	CSIH2CSS2	CSIH1RY1			CSIH1CSS6	TAUD206				—	—			○	○
P4_10		FLX0TXENA 注1		TAUD103	ENCA1TIN1	CSIH2CSS3				CSIH1RYO	TAUD207				—	—			○	○
P4_11	FLX0RXDB 注1 /INTP12			TAUD104		CSIH2CSS4	TAUJ110			TAUJ100	TAUD208				—	—			○	○
P4_12		FLX0TXDB 注1		TAUD105		CSIH2CSS5	TAUJ111			TAUJ101	TAUD209				—	—			○	○
P4_13		FLX0TXENB 注1		TAUD106	CSIH2SSI		TAUJ112			TAUJ102	TAUD2010				—	—			○	○
P4_14	FLX0STPWT 注1			TAUD107		CSIH2CSS6	TAUJ113			TAUJ103	TAUD2011				—	—			○	○

注1. Flash 2MB/1MB 製品のみ

2.4.1.8 ポート5 (P5)

表 2.48 ポート5 (P5)

ポート モード (PMC _{5_m} = 0)	兼用モード (PMC _{5_m} = 1)																		
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		専用機能		100-pin		144-pin		
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	eVR	DPS	eVR	DPS	
P5_0	CSIG0SI		TAUD000	TAUD001		TAUD001	TAUD001		TAUD001		TAUD001		TAUD001		TAUD001		TAUD001		TAUD001
P5_1		CSIG0SO	TAUD002	TAUD003	ADC00CNV0	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003	TAUD003
P5_2	CSIG0SCI	CSIG0SCO	TAUD002	TAUD014		TAUD002	TAUD014		TAUD002		TAUD014		TAUD002		TAUD014		TAUD002		TAUD014
P5_3				TAUD017		TAUD017	TAUD017		TAUD017		TAUD017		TAUD017		TAUD017		TAUD017		TAUD017
P5_4	CSIG0SCI	CSIG0SCO	TAUD004	TAUD015	ADC00CNV1	TAUD004	TAUD015	ADC00CNV1	TAUD004	TAUD015	ADC00CNV1	TAUD004	TAUD015	ADC00CNV1	TAUD004	TAUD015	ADC00CNV1	TAUD004	TAUD015
P5_5	SENT0RX	SENT0SPCO	TAUD006	TAUD017	ADC00CNV2	TAUD006	TAUD017	ADC00CNV2	TAUD006	TAUD017	ADC00CNV2	TAUD006	TAUD017	ADC00CNV2	TAUD006	TAUD017	ADC00CNV2	TAUD006	TAUD017
P5_6	RSCAN0RX2 注1/INTP10	SENT0SPCO	TAUD008	TAUD019	ADC00CNV3	TAUD008	TAUD019	ADC00CNV3	TAUD008	TAUD019	ADC00CNV3	TAUD008	TAUD019	ADC00CNV3	TAUD008	TAUD019	ADC00CNV3	TAUD008	TAUD019
P5_7		RSCAN0TX2 注1	TAUD010	TAUD011	ADC00CNV4	TAUD010	TAUD011	ADC00CNV4	TAUD010	TAUD011	ADC00CNV4	TAUD010	TAUD011	ADC00CNV4	TAUD010	TAUD011	ADC00CNV4	TAUD010	TAUD011
P5_8	SENT1RX	SENT1SPCO	TAUD012	TAUD013		TAUD012	TAUD013		TAUD012	TAUD013		TAUD012	TAUD013		TAUD012	TAUD013		TAUD012	TAUD013
P5_9	TAUD014	SENT1SPCO	TAUD014	TAUD015		TAUD014	TAUD015		TAUD014	TAUD015		TAUD014	TAUD015		TAUD014	TAUD015		TAUD014	TAUD015
P5_10	RLIN30RX/ INTP3								ADCDTRG0	ADC00CNV0					ADCDTRG0	ADC00CNV0			
P5_11		RLIN30TX	SENT3RX	SENT3RX	TAUD1010			TAUD1010			TAUD1010								
P5_12	RLIN31RX/ INTP4		SENT2RX	SENT2RX	TAUD1011			TAUD1011			TAUD1011								
P5_13		RLIN31TX	SENT2SPCO	SENT2SPCO	TAUD1012	TAUD013	TAUD013	TAUD1012	TAUD013	TAUD013	TAUD1012	TAUD013	TAUD013	TAUD1012	TAUD013	TAUD013	TAUD1012	TAUD013	TAUD013
P5_14	TAUJ010	TAUJ000	SENT3RX	SENT3RX	TAUD1013	ADCDTRG1	ADCDTRG1	TAUD1013	ADCDTRG1	ADCDTRG1	TAUD1013	ADCDTRG1	ADCDTRG1	TAUD1013	ADCDTRG1	ADCDTRG1	TAUD1013	ADCDTRG1	ADCDTRG1
P5_15	RLIN31RX/ INTP4		SENT3SPCO	SENT3SPCO															RLIN30TX

注1. Flash 2MB 製品のみ

2.4.1.9 ポートJP0 (JP0)

表 2.49 ポートJP0 (JP0)

ポート モード (JPMC0 _m = 0)	兼用モード (JPMC0_m = 1)												専用機能				デバイス			
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		eVR	DPS	100-pin eVR	DPS	144-pin eVR	DPS		
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力								
JP0_0					FLSCI3RXD (FPDR)	FLSCI3TXD (FPDT)								○	○	○	○			
JP0_1						FLSCI3TXD (FPDT)								○	○	○	○			
JP0_2					FLSCI3SCKI (FPCK)									○	○	○	○			
JP0_3														○	○	○	○			
JP0_4														○	○	○	○			
JP0_5														○	○	○	○			

2.4.2 未使用端子処置

兼用機能列は、オプションバイトで選択される機能です。

pull-up/down で使用する抵抗値は $1K\Omega$ 以上を推奨します。

pull-up/down で使用する場合、端子毎に抵抗を介してください。端子同士を配線で直接接続しないでください。

表 2.50 未使用端子の処置例 (JP0)

端子名	兼用機能	未使用時の端子処理
JP0_0	GPI/O	入力時： ポート入力で入力バッファ禁止 (JPIBC0_m=0 で JPMC0_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (JPIBC0_m=1 または JPMC0_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	DCUTDI	抵抗を介して EVCC に接続
	LPDIO	
	LPDI	オープン
JP0_1	GPI/O	入力時： ポート入力で入力バッファ禁止 (JPIBC0_m=0 で JPMC0_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (JPIBC0_m=1 または JPMC0_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	DCUTDO	オープン
	LPDO	オープン
JP0_2	GPI	入力時： ポート入力で入力バッファ禁止 (JPIBC0_m=0 で JPMC0_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (JPIBC0_m=1 または JPMC0_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：出力なし
	DCUTCK	オープン
	LPDCLK	オープン
JP0_3	GPI/O	入力時： ポート入力で入力バッファ禁止 (JPIBC0_m=0 で JPMC0_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (JPIBC0_m=1 または JPMC0_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	DCUTMS	抵抗を介して EVCC に接続
JP0_4	DCUTRST	VSS に接続
JP0_5	GPI/O	入力時： ポート入力で入力バッファ禁止 (JPIBC0_m=0 で JPMC0_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (JPIBC0_m=1 または JPMC0_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	DCUTRDY	オープン
	LPDCLKOUT	オープン

表 2.51 未使用端子の処置例 (P0) (1/2)

端子名	兼用機能	未使用時の端子処理
P0_0	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
P0_1		
P0_2		
P0_3	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	AUDATA1	
P0_4	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	AUDATA2	
P0_5	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	AUDATA3	
P0_6	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	AUDCK	
P0_7	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	AUDSYNC	
P0_8	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	AUDRST	
P0_9	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	AUDATA0	
P0_10	GPIO RESETOUT	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVSS に接続 出力時：オープン
	EVTO	
P0_11	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
P0_12		

表 2.51 未使用端子の処置例 (P0) (2/2)

端子名	兼用機能	未使用時の端子処理
P0_13	GPI/O	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	EVTI	オープン
P0_14	GPI/O	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
	EVTI	オープン

表 2.52 未使用端子の処置例 (P1)

端子名	兼用機能	未使用時の端子処理
P1_0	GPI/O	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
P1_1		
P1_2		
P1_3		
P1_4		

表 2.53 未使用端子の処置例 (P2)

端子名	兼用機能	未使用時の端子処理
P2_0	GPI/O	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
P2_1		
P2_2		
P2_3		
P2_4		
P2_5		
P2_6		
P2_7		
P2_8		
P2_9		
P2_10		
P2_11		
P2_12		
P2_13		
P2_14		
P2_15		

表 2.54 未使用端子の処置例 (P3)

端子名	兼用機能	未使用時の端子処理
P3_0	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
P3_1		
P3_2		
P3_3		
P3_4		
P3_5		
P3_6		
P3_7		
P3_8		
P3_9		
P3_10		
P3_11		
P3_12		
P3_13		
P3_14	FLMD1	抵抗を介して EVSS に接続

表 2.55 未使用端子の処置例 (P4)

端子名	兼用機能	未使用時の端子処理
P4_0	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
P4_1		
P4_2		
P4_3		
P4_4		
P4_5		
P4_6		
P4_7		
P4_8		
P4_9		
P4_10		
P4_11		
P4_12		
P4_13		
P4_14		

表 2.56 未使用端子の処置例 (P5)

端子名	兼用機能	未使用時の端子処理
P5_0	GPIO	入力時： ポート入力で入力バッファ禁止 (PIBCn_m=0 で PMCN_m=0) の場合： オープン ポート入力で入力バッファ許可または S/W I/O 制御兼用入力 (PIBCn_m=1 または PMCN_m=1) の場合： 抵抗を介して EVCC または EVSS に接続 出力時：オープン
P5_1		
P5_2		
P5_3		
P5_4		
P5_5		
P5_6		
P5_7		
P5_8		
P5_9		
P5_10		
P5_11		
P5_12		
P5_13		
P5_14		
P5_15		

表 2.57 未使用端子の処置例（その他）

端子名	兼用機能	未使用時の端子処理
FLMD0		抵抗を介して EVSS に接続
RESET		必ず使用ください
CVMOUT		オープン
ERROROUT		オープン
X1		必ず使用ください
X2		必ず使用ください
VCC		必ず使用ください
VSS		必ず使用ください
VDD		必ず使用ください
VCL		必ず使用ください 144pin 版は VCL3 端子のうち 1 端子をオープンにすることが可能です
EVCC		必ず使用ください
EVSS		必ず使用ください
A0VCC		必ず使用ください
A0VREFH		必ず使用ください
A0VSS		必ず使用ください
A1VCC		必ず使用ください
A1VREFH		必ず使用ください
AIVSS		必ず使用ください

表 2.58 未使用端子の処置例 (ADCD0, ADCD1)

端子名	兼用機能	未使用時の端子処理
ADCD010	ADIN	A0VCC または A0VSS に接続ください
ADCD011		
ADCD012		
ADCD013		
ADCD014		
ADCD015		
ADCD016		
ADCD017		
ADCD018		
ADCD019		
ADCD0110		
ADCD0111		
ADCD110	ADIN	A1VCC または A1VSS に接続ください
ADCD111		
ADCD112		
ADCD113		
ADCD114		
ADCD115		
ADCD116		
ADCD117		
ADCD118		
ADCD119		
ADCD1110		
ADCD1111		

2.5 DNF

Digital Noise Filter（以下 DNF）は、製品外部からの入力信号に対してデジタルノイズ除去を実現します。本製品には周辺機能 DNF と、エッジ検出 DNF の 2 種類を搭載しています。

2.5.1 ノイズ除去例

周辺機能 DNF とエッジ検出 DNF のノイズ除去例を、**図 2.9** に示します。この例では、サンプリングクロックを DNF 入力クロックの 1/2、サンプリング回数を 2 回に設定し、現状の出力レベルを Low にしています。また、図の○は、High レベルを検出したことを意味しています。

入力例 1、2、3 では 2 回連続同一レベルが検出されることにより、入力信号の変化を内部に出力します。入力例 4、5、6 では 2 回連続で同一レベルが検出されず、結果としてノイズとみなし、入力信号の変化は除去され内部の出力は変化しないことを示します。

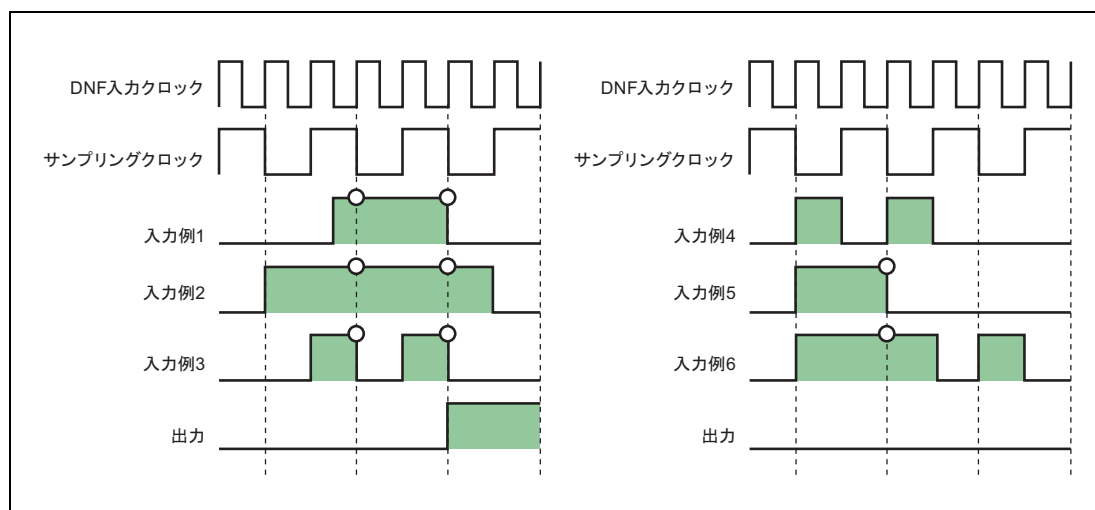


図 2.9 デジタルノイズ除去タイミングチャート

2.6 ノイズフィルタ & エッジレベル検出回路

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品ではアナログフィルタとデジタルフィルタの両方をサポートしています。

また、フィルタ通過後、エッジ検出/レベル検出する機能もサポートしています。

最初の節で、フィルタが割り当てられているポート入力信号とそのフィルタの種類、ノイズフィルタ & エッジ/レベル検出制御レジスタと制御ビット、およびレジスタアドレスなどの概要を説明します。

デジタル/アナログフィルタ機能とノイズフィルタ & エッジ/レベル検出制御レジスタの詳細は「**2.6.1 ポートフィルタの割り当て**」を参照してください。

2.6.1 ポートフィルタの割り当て

アナログまたは、デジタルフィルタを内蔵した入力端子の一覧を次に示します。

表 2.59 ノイズフィルタ付き入力端子一覧 (1/6)

入力端子	フィルタタイプ	デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ	フィルタ制御レジスタ		デバイス			
		制御レジスタ	アドレス		制御レジスタ	アドレス	100-pin	144-pin		
INTP0/SCI30RX	タイプA	DNFA0CTL	FFC3 0000 _H	DNFA0EN	DNFA0NFENL0	FCLA1CTL0	FFC3 4020 _H	eVR	DPS	DPS
INTP1/SCI31RX	タイプA	DNFA0CTL	FFC3 0000 _H	DNFA0EN	DNFA0NFENL1	FCLA1CTL1	FFC3 4024 _H	○	○	○
INTP2/SCI32RX	タイプA	DNFA0CTL	FFC3 0000 _H	DNFA0EN	DNFA0NFENL2	FCLA1CTL2	FFC3 4028 _H	○	○	○
INTP3/RLIN30RX	タイプA	DNFA1CTL	FFC3 0100 _H	DNFA1EN	DNFA1NFENL0	FCLA1CTL3	FFC3 402C _H	○	○	○
INTP4/RLIN31RX	タイプA	DNFA1CTL	FFC3 0100 _H	DNFA1EN	DNFA1NFENL1	FCLA1CTL4	FFC3 4030 _H	○	○	○
INTP5/RSCAN0RX0	タイプA	DNFA2CTL	FFC3 0200 _H	DNFA2EN	DNFA2NFENL0	FCLA1CTL5	FFC3 4034 _H	○	○	○
INTP6/RSCAN0RX1	タイプA	DNFA2CTL	FFC3 0200 _H	DNFA2EN	DNFA2NFENL1	FCLA1CTL6	FFC3 4038 _H	○	○	○
INTP7/TAPA0ESO	タイプB	DNFA3CTL	FFC3 0300 _H	DNFA3EN	DNFA3NFENL0	FCLA1CTL7	FFC3 403C _H	○	○	○
INTP8/TAPA1ESO	タイプB	DNFA3CTL	FFC3 0300 _H	DNFA3EN	DNFA3NFENL1	FCLA2CTL0	FFC3 4040 _H	○	○	○
INTP9	タイプC	DNFA4CTL	FFC3 0400 _H	DNFA4EN	DNFA4NFENL0	FCLA2CTL1	FFC3 4044 _H	○	○	○
INTP10/RSCAN0RX2 注1	タイプA	DNFA2CTL	FFC3 0200 _H	DNFA2EN	DNFA2NFENL2	FCLA2CTL2	FFC3 4048 _H	○	○	○
INTP11/FLX0RXDA 注2	タイプA	DNFA2CTL	FFC3 0200 _H	DNFA2EN	DNFA2NFENL3	FCLA2CTL3	FFC3 404C _H	○	○	○
INTP12/FLX0RXDB 注2	タイプA	DNFA2CTL	FFC3 0200 _H	DNFA2EN	DNFA2NFENL4	FCLA2CTL4	FFC3 4050 _H	○	○	○
NMI	タイプC	DNFA4CTL	FFC3 0400 _H	DNFA4EN	DNFA4NFENL1	FCLA0CTL0	FFC3 4000 _H	○	○	○

デジタルノイズ除去サンプリング
クロックソース選択レジスタ
(DNFCKSnC.CKSCn[1:0])

サンプリングクロックソース
(DNFCKSnC.CKSCn[1:0])

00 : 設定禁止
01 : 高速周辺クロック CLK_HSB
10 : 高速周辺クロック CLK_HSB/2
11 : 設定禁止

表 2.59 ノイズフィルタ付き入力端子一覧 (2/6)

入力端子	フィルタ タイプ	デジタルノイズ除去 制御レジスタ		デジタルノイズ除去サンプリング クロックソース選択レジスタ (DNFCKSnC.CKSCn[1:0])	デジタルノイズ除去許可レジスタ			フィルタ制御レジスタ		デバイス	
		制御レジスタ	アドレス		制御ビット	アドレス	制御レジスタ	アドレス	100-pin	144-pin	
TAUD010	タイプE	DNFA5CTL	FFC3 0500 _H	サンプリングクロックソース (DNFCKSnC.CKSCn[1:0]) 00 : 設定禁止 01 : 高速周辺クロック CLK_HSB 10 : 高速周辺クロック CLK_HSB/2 11 : TAUD0TCKEN0	DNFA5EN	DNFA5NFENL0	FFC3 0504 _H	—	—	eVR	DPS
TAUD011	タイプE	DNFA6CTL	FFC3 0600 _H		DNFA6EN	DNFA6NFENL0	FFC3 0604 _H	—	—	eVR	DPS
TAUD012	タイプE	DNFA7CTL	FFC3 0700 _H		DNFA7EN	DNFA7NFENL0	FFC3 0704 _H	—	—	eVR	DPS
TAUD013	タイプE	DNFA8CTL	FFC3 0800 _H		DNFA8EN	DNFA8NFENL0	FFC3 0804 _H	—	—	eVR	DPS
TAUD014	タイプE	DNFA9CTL	FFC3 0900 _H		DNFA9EN	DNFA9NFENL0	FFC3 0904 _H	—	—	eVR	DPS
TAUD015	タイプE	DNFA0CTL	FFC3 0A00 _H		DNFA0EN	DNFA0NFENL0	FFC3 0A04 _H	—	—	eVR	DPS
TAUD016	タイプE	DNFA1CTL	FFC3 0B00 _H		DNFA1EN	DNFA1NFENL0	FFC3 0B04 _H	—	—	eVR	DPS
TAUD017	タイプE	DNFA2CTL	FFC3 0C00 _H		DNFA2EN	DNFA2NFENL0	FFC3 0C04 _H	—	—	eVR	DPS
TAUD018	タイプE	DNFA3CTL	FFC3 0D00 _H		DNFA3EN	DNFA3NFENL0	FFC3 0D04 _H	—	—	eVR	DPS
TAUD019	タイプE	DNFA4CTL	FFC3 0E00 _H		DNFA4EN	DNFA4NFENL0	FFC3 0E04 _H	—	—	eVR	DPS
TAUD020	タイプE	DNFA5CTL	FFC3 0F00 _H		DNFA5EN	DNFA5NFENL0	FFC3 0F04 _H	—	—	eVR	DPS
TAUD021	タイプE	DNFA6CTL	FFC3 1000 _H		DNFA6EN	DNFA6NFENL0	FFC3 1004 _H	—	—	eVR	DPS
TAUD022	タイプE	DNFA7CTL	FFC3 1100 _H		DNFA7EN	DNFA7NFENL0	FFC3 1104 _H	—	—	eVR	DPS
TAUD023	タイプE	DNFA8CTL	FFC3 1200 _H		DNFA8EN	DNFA8NFENL0	FFC3 1204 _H	—	—	eVR	DPS
TAUD024	タイプE	DNFA9CTL	FFC3 1300 _H		DNFA9EN	DNFA9NFENL0	FFC3 1304 _H	—	—	eVR	DPS
TAUD025	タイプE	DNFA0CTL	FFC3 1400 _H	DNFA0EN	DNFA0NFENL0	FFC3 1404 _H	—	—	eVR	DPS	

表 2.59 ノイズフィルタ付き入力端子一覧 (3/6)

入力端子	フィルタ タイプ	デジタルノイズ除去 制御レジスタ		デジタルノイズ除去サンプリング クロックソース選択レジスタ (DNFCKSnC.CKSCn[1:0])	デジタルノイズ除去許可レジスタ		フィルタ制御レジスタ		デバイス			
		制御レジスタ	アドレス		制御ビット	アドレス	制御レジスタ	アドレス	100-pin	144-pin		
TAUD110	タイプE	DNFA10CTL	FFC3 0A00 _H	サンプリングクロックソース (DNFCKSnC.CKSCn[1:0]) 00 : 設定禁止 01 : 高速周辺クロック CLK_HSB 10 : 高速周辺クロック CLK_HSB/2 11 : TAUD1TCKEN0	DNFA10EN	DNFA10NFENL0	FFC3 0A04 _H	—	—	eVR	DPS	
TAUD111	タイプE	DNFA10CTL	FFC3 0A00 _H		DNFA10EN	DNFA10NFENL1	FFC3 0A04 _H	—	—	—	eVR	DPS
TAUD112	タイプE	DNFA11CTL	FFC3 0B00 _H		DNFA11EN	DNFA11NFENL0	FFC3 0B04 _H	—	—	—	eVR	DPS
TAUD113	タイプE	DNFA11CTL	FFC3 0B00 _H		DNFA11EN	DNFA11NFENL1	FFC3 0B04 _H	—	—	—	eVR	DPS
TAUD114	タイプE	DNFA12CTL	FFC3 0C00 _H		DNFA12EN	DNFA12NFENL0	FFC3 0C04 _H	—	—	—	eVR	DPS
TAUD115	タイプE	DNFA12CTL	FFC3 0C00 _H		DNFA12EN	DNFA12NFENL1	FFC3 0C04 _H	—	—	—	eVR	DPS
TAUD116	タイプE	DNFA13CTL	FFC3 0D00 _H		DNFA13EN	DNFA13NFENL0	FFC3 0D04 _H	—	—	—	eVR	DPS
TAUD117	タイプE	DNFA13CTL	FFC3 0D00 _H		DNFA13EN	DNFA13NFENL1	FFC3 0D04 _H	—	—	—	eVR	DPS
TAUD118	タイプE	DNFA14CTL	FFC3 0E00 _H		DNFA14EN	DNFA14NFENL0	FFC3 0E04 _H	—	—	—	eVR	DPS
TAUD119	タイプE	DNFA14CTL	FFC3 0E00 _H		DNFA14EN	DNFA14NFENL1	FFC3 0E04 _H	—	—	—	eVR	DPS
TAUD1110	タイプE	DNFA14CTL	FFC3 0E00 _H		DNFA14EN	DNFA14NFENL2	FFC3 0E04 _H	—	—	—	eVR	DPS
TAUD1111	タイプE	DNFA14CTL	FFC3 0E00 _H		DNFA14EN	DNFA14NFENL3	FFC3 0E04 _H	—	—	—	eVR	DPS
TAUD1112	タイプE	DNFA14CTL	FFC3 0E00 _H		DNFA14EN	DNFA14NFENL4	FFC3 0E04 _H	—	—	—	eVR	DPS
TAUD1113	タイプE	DNFA14CTL	FFC3 0E00 _H		DNFA14EN	DNFA14NFENL5	FFC3 0E04 _H	—	—	—	eVR	DPS
TAUD1114	タイプE	DNFA14CTL	FFC3 0E00 _H		DNFA14EN	DNFA14NFENL6	FFC3 0E04 _H	—	—	—	eVR	DPS
TAUD1115	タイプE	DNFA14CTL	FFC3 0E00 _H	DNFA14EN	DNFA14NFENL7	FFC3 0E04 _H	—	—	—	eVR	DPS	

表 2.59 ノイズフィルタ付き入力端子一覧 (4/6)

入力端子	フィルタタイプ	デジタルノイズ除去制御レジスタ		デジタルノイズ除去サンプリングクロックソース選択レジスタ		デジタルノイズ除去許可レジスタ		フィルタ制御レジスタ		デバイス				
		制御レジスタ	アドレス	サンプリングクロックソース (DNFCKSnC.CKSCn[1:0])	制御レジスタ	アドレス	制御レジスタ	アドレス	100-pin	144-pin				
TAUD210	タイプE	DNFA15CTL	FFC3 0F00 _H	DNFCKS110C.CKSC110[1:0] 00 : 設定禁止 01 : 高速周辺クロック CLK_HSB 10 : 高速周辺クロック CLK_HSB/2 11 : TAUD2TCKEN0	DNFA15EN	FFC3 0F04 _H	—	—	eVR	DPS	○	○		
TAUD211	タイプE	DNFA15CTL	FFC3 0F00 _H		DNFA15EN	FFC3 0F04 _H	—	—	eVR	DPS	○	○	○	
TAUD212	タイプE	DNFA16CTL	FFC3 1000 _H		DNFA16EN	FFC3 1004 _H	—	—	eVR	DPS	○	○	○	
TAUD213	タイプE	DNFA16CTL	FFC3 1000 _H		DNFA16EN	FFC3 1004 _H	—	—	eVR	DPS	○	○	○	
TAUD214	タイプE	DNFA17CTL	FFC3 1100 _H		DNFA17EN	FFC3 1104 _H	—	—	eVR	DPS	—	—	○	○
TAUD215	タイプE	DNFA17CTL	FFC3 1100 _H		DNFA17EN	FFC3 1104 _H	—	—	eVR	DPS	—	—	○	○
TAUD216	タイプE	DNFA18CTL	FFC3 1200 _H		DNFA18EN	FFC3 1204 _H	—	—	eVR	DPS	—	—	○	○
TAUD217	タイプE	DNFA18CTL	FFC3 1200 _H		DNFA18EN	FFC3 1204 _H	—	—	eVR	DPS	—	—	○	○
TAUD218	タイプE	DNFA19CTL	FFC3 1300 _H		DNFA19EN	FFC3 1304 _H	—	—	eVR	DPS	—	—	○	○
TAUD219	タイプE	DNFA19CTL	FFC3 1300 _H		DNFA19EN	FFC3 1304 _H	—	—	eVR	DPS	—	—	○	○
TAUD2110	タイプE	DNFA19CTL	FFC3 1300 _H		DNFA19EN	FFC3 1304 _H	—	—	eVR	DPS	—	—	○	○
TAUD2111	タイプE	DNFA19CTL	FFC3 1300 _H		DNFA19EN	FFC3 1304 _H	—	—	eVR	DPS	—	—	○	○
TAUD2112	タイプE	DNFA19CTL	FFC3 1300 _H		DNFA19EN	FFC3 1304 _H	—	—	eVR	DPS	—	—	○	○
TAUD2113	タイプE	DNFA19CTL	FFC3 1300 _H		DNFA19EN	FFC3 1304 _H	—	—	eVR	DPS	—	—	○	○
TAUD2114	タイプE	DNFA19CTL	FFC3 1300 _H		DNFA19EN	FFC3 1304 _H	—	—	eVR	DPS	—	—	○	○
TAUD2115	タイプE	DNFA19CTL	FFC3 1300 _H	DNFA19EN	FFC3 1304 _H	—	—	eVR	DPS	—	—	○	○	
TAUJ010	タイプE	DNFA20CTL	FFC3 1400 _H	DNFCKS112C.CKSC112[1:0] 00 : 設定禁止 01 : 高速周辺クロック CLK_HSB 10 : 高速周辺クロック CLK_HSB/2 11 : TAUJ0TCKEN0	DNFA20EN	FFC3 1404 _H	—	—	eVR	DPS	○	○		
TAUJ011	タイプE	DNFA21CTL	FFC3 1500 _H		DNFA21EN	FFC3 1504 _H	—	—	eVR	DPS	○	○	○	
TAUJ012	タイプE	DNFA22CTL	FFC3 1600 _H		DNFA22EN	FFC3 1604 _H	—	—	eVR	DPS	○	○	○	
TAUJ013	タイプE	DNFA23CTL	FFC3 1700 _H		DNFA23EN	FFC3 1704 _H	—	—	eVR	DPS	○	○	○	
TAUJ110	タイプE	DNFA24CTL	FFC3 1800 _H		DNFA24EN	FFC3 1804 _H	—	—	eVR	DPS	○	○	○	
TAUJ111	タイプE	DNFA25CTL	FFC3 1900 _H		DNFA25EN	FFC3 1904 _H	—	—	eVR	DPS	○	○	○	
TAUJ112	タイプE	DNFA26CTL	FFC3 1A00 _H		DNFA26EN	FFC3 1A04 _H	—	—	eVR	DPS	○	○	○	
TAUJ113	タイプE	DNFA27CTL	FFC3 1B00 _H		DNFA27EN	FFC3 1B04 _H	—	—	eVR	DPS	○	○	○	
TAUJ210	タイプE	DNFA28CTL	FFC3 1C00 _H		DNFCKS114C.CKSC114[1:0] 00 : 設定禁止 01 : 高速周辺クロック CLK_HSB 10 : 高速周辺クロック CLK_HSB/2 11 : TAUJ2TCKEN0	DNFA28EN	FFC3 1C04 _H	—	—	eVR	DPS	○	○	
TAUJ211	タイプE	DNFA29CTL	FFC3 1D00 _H			DNFA29EN	FFC3 1D04 _H	—	—	eVR	DPS	○	○	○
TAUJ212	タイプE	DNFA30CTL	FFC3 1E00 _H			DNFA30EN	FFC3 1E04 _H	—	—	eVR	DPS	○	○	○
TAUJ213	タイプE	DNFA31CTL	FFC3 1F00 _H			DNFA31EN	FFC3 1F04 _H	—	—	eVR	DPS	○	○	○

表 2.59 ノイズフィルタ付き入力端子一覧 (5/6)

入力端子	フィルタ タイプ	デジタルノイズ除去 制御レジスタ		デジタルノイズ除去サンプリング クロックソース選択レジスタ (DNFCKSnC.CKSCn[1:0])	デジタルノイズ除去許可レジスタ		フィルタ制御レジスタ		デバイス					
		制御レジスタ	アドレス		制御レジスタ	アドレス	制御レジスタ	アドレス	100-pin	144-pin				
TSG30PTS10/ENCA0E0	タイプE	DNFA32CTL	FFC3 2000 _H	サンプリングクロックソース DNFCKS104C.CKSC104[1:0] 00: 設定禁止 01: 高速周波クロック CLK_HSB 10: 高速周波クロック CLK_HSB/2 11: 設定禁止	DNFA32EN	DNFA32NFENL0	FFC3 2004 _H	—	—	eVR	DPS	○	○	
TSG30PTS11/ENCA0E1	タイプE	DNFA32CTL	FFC3 2000 _H		DNFA32EN	DNFA32NFENL1	FFC3 2004 _H	—	—	—	—	—	○	○
TSG30PTS12/ENCA0E2	タイプE	DNFA33CTL	FFC3 2100 _H		DNFA33EN	DNFA33NFENL0	FFC3 2104 _H	—	—	—	—	—	○	○
TSG30CLK1	タイプE	DNFA34CTL	FFC3 2200 _H		DNFA34EN	DNFA34NFENL0	FFC3 2204 _H	—	—	—	—	—	○	○
TSG31PTS10/ENCA1E0	タイプE	DNFA35CTL	FFC3 2300 _H	サンプリングクロックソース DNFCKS105C.CKSC105[1:0] 00: 設定禁止 01: 高速周波クロック CLK_HSB 10: 高速周波クロック CLK_HSB/2 11: 設定禁止	DNFA35EN	DNFA35NFENL0	FFC3 2304 _H	—	—	—	—	—	○	○
TSG31PTS11/ENCA1E1	タイプE	DNFA35CTL	FFC3 2300 _H		DNFA35EN	DNFA35NFENL1	FFC3 2304 _H	—	—	—	—	—	○	○
TSG31PTS12/ENCA1E2	タイプE	DNFA36CTL	FFC3 2400 _H		DNFA36EN	DNFA36NFENL0	FFC3 2404 _H	—	—	—	—	—	○	○
TSG31CLK1	タイプE	DNFA37CTL	FFC3 2500 _H		DNFA37EN	DNFA37NFENL0	FFC3 2504 _H	—	—	—	—	—	○	○
ENCA0TIN0	タイプE	DNFA38CTL	FFC3 2600 _H	サンプリングクロックソース DNFCKS104C.CKSC104[1:0] 00: 設定禁止 01: 高速周波クロック CLK_HSB 10: 高速周波クロック CLK_HSB/2 11: 設定禁止	DNFA38EN	DNFA38NFENL0	FFC3 2604 _H	—	—	—	—	—	○	○
ENCA0TIN1	タイプE	DNFA38CTL	FFC3 2600 _H		DNFA38EN	DNFA38NFENL1	FFC3 2604 _H	—	—	—	—	—	○	○
ENCA1TIN0	タイプE	DNFA39CTL	FFC3 2700 _H	サンプリングクロックソース DNFCKS105C.CKSC105[1:0] 00: 設定禁止 01: 高速周波クロック CLK_HSB 10: 高速周波クロック CLK_HSB/2 11: 設定禁止	DNFA39EN	DNFA39NFENL0	FFC3 2704 _H	—	—	—	—	—	○	○
ENCA1TIN1	タイプE	DNFA39CTL	FFC3 2700 _H		DNFA39EN	DNFA39NFENL1	FFC3 2704 _H	—	—	—	—	—	○	○
CSIG0RY1	タイプF	DNFA40CTL	FFC3 2800 _H	サンプリングクロックソース DNFCKS102C.CKSC102[1:0] 00: 設定禁止 01: 高速周波クロック CLK_HSB 10: 高速周波クロック CLK_HSB/2 11: 設定禁止	DNFA40EN	DNFA40NFENL0	FFC3 2804 _H	—	—	—	—	—	○	○
CSIH0RY1	タイプF	DNFA40CTL	FFC3 2800 _H		DNFA40EN	DNFA40NFENL1	FFC3 2804 _H	—	—	—	—	—	○	○
CSIH1RY1	タイプF	DNFA40CTL	FFC3 2800 _H		DNFA40EN	DNFA40NFENL2	FFC3 2804 _H	—	—	—	—	—	○	○
CSIH2RY1	タイプF	DNFA40CTL	FFC3 2800 _H		DNFA40EN	DNFA40NFENL3	FFC3 2804 _H	—	—	—	—	—	○	○
CSIH3RY1	タイプF	DNFA40CTL	FFC3 2800 _H		DNFA40EN	DNFA40NFENL4	FFC3 2804 _H	—	—	—	—	—	○	○
ADCDTRG0	タイプF	DNFA41CTL	FFC3 2900 _H	サンプリングクロックソース DNFCKS101C.CKSC101[1:0] 00: 設定禁止 01: 高速周波クロック CLK_HSB 10: 高速周波クロック CLK_HSB/2 11: 設定禁止	DNFA41EN	DNFA41NFENL0	FFC3 2904 _H	—	—	—	—	—	○	○
ADCDTRG1	タイプF	DNFA41CTL	FFC3 2900 _H		DNFA41EN	DNFA41NFENL1	FFC3 2904 _H	—	—	—	—	—	○	○
SENT0RX	タイプD	DNFA42CTL	FFC3 2A00 _H	サンプリングクロックソース DNFCKS106C.CKSC106[1:0] 00: 設定禁止 01: 高速周波クロック CLK_HSB 10: 高速周波クロック CLK_HSB/2 11: 設定禁止	DNFA42EN	DNFA42NFENL0	FFC3 2A04 _H	FCLA3CTL0	FFC3 4060 _H	—	—	—	○	○
SENT1RX	タイプD	DNFA42CTL	FFC3 2A00 _H		DNFA42EN	DNFA42NFENL1	FFC3 2A04 _H	FCLA3CTL1	FFC3 4064 _H	—	—	—	○	○
SENT2RX	タイプD	DNFA42CTL	FFC3 2A00 _H		DNFA42EN	DNFA42NFENL2	FFC3 2A04 _H	FCLA3CTL2	FFC3 4068 _H	—	—	—	○	○
SENT3RX	タイプD	DNFA42CTL	FFC3 2A00 _H		DNFA42EN	DNFA42NFENL3	FFC3 2A04 _H	FCLA3CTL3	FFC3 406C _H	—	—	—	○	○
SENT4RX	タイプD	DNFA42CTL	FFC3 2A00 _H		DNFA42EN	DNFA42NFENL4	FFC3 2A04 _H	FCLA3CTL4	FFC3 4070 _H	—	—	—	○	○
SENT5RX	タイプD	DNFA42CTL	FFC3 2A00 _H		DNFA42EN	DNFA42NFENL5	FFC3 2A04 _H	FCLA3CTL5	FFC3 4074 _H	—	—	—	○	○

表 2.59 ノイズフィルタ付き入力端子一覧 (6/6)

入力端子	フィルタ タイプ	デジタルノイズ除去 制御レジスタ		デジタルノイズ除去サンプリング クロックソース選択レジスタ	デジタルノイズ除去許可レジスタ		フィルタ制御レジスタ		デバイス				
		制御レジスタ	アドレス		制御レジスタ	アドレス	制御レジスタ	アドレス	100-pin	144-pin			
PSI50DIN	タイプD	DNFA43CTL	FFC3 2B00 _H	サンプリングクロックソース (DNFCKSnC.CKSCn[1:0])	DNFA43EN	DNFA43NFENL0	FFC3 2B04 _H	FCLA4CTL0	FFC3 4080 _H	eVR	DPS	eVR	DPS
PSI51DIN	タイプD	DNFA43CTL	FFC3 2B00 _H	DNFCKS107C.CKSC107[1:0] 00: 設定禁止 01: 高速周辺クロック CLK_HSB 10: 高速周辺クロック CLK_HSB/2 11: 設定禁止	DNFA43EN	DNFA43NFENL1	FFC3 2B04 _H	FCLA4CTL1	FFC3 4084 _H	○	○	○	○
RESET	ANF	—	—	—	—	—	—	—	—	○	○	○	○
DCUTRST	ANF	—	—	—	—	—	—	—	—	○	○	○	○
FLMD0	ANF	—	—	—	—	—	—	—	—	○	○	○	○

注 1. Flash 2MB 製品のみ

注 2. Flash 2MB/1MB 製品のみ

2.6.2 フィルタタイプ

2.6.2.1 デジタルフィルタタイプ A (INTP/RXD 兼用) 入力端子

デジタルフィルタタイプ A の入力端子は、デジタルフィルタおよびエッジ検出機能を搭載しています。デジタルフィルタおよびエッジ検出は次のレジスタによって制御されます。割り込み信号と周辺機能のデータ受信信号が兼用されています。

- フィルタ制御レジスタ FCLAnCTLm
各デジタルフィルタ付きポートには専用の FCLAnCTLm レジスタがあります。
- デジタルノイズ除去制御レジスタ DNFAAnCTL
各 DNFAAnCTL 制御レジスタは、デジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFAAnEN
デジタルノイズ除去を許可/禁止します。

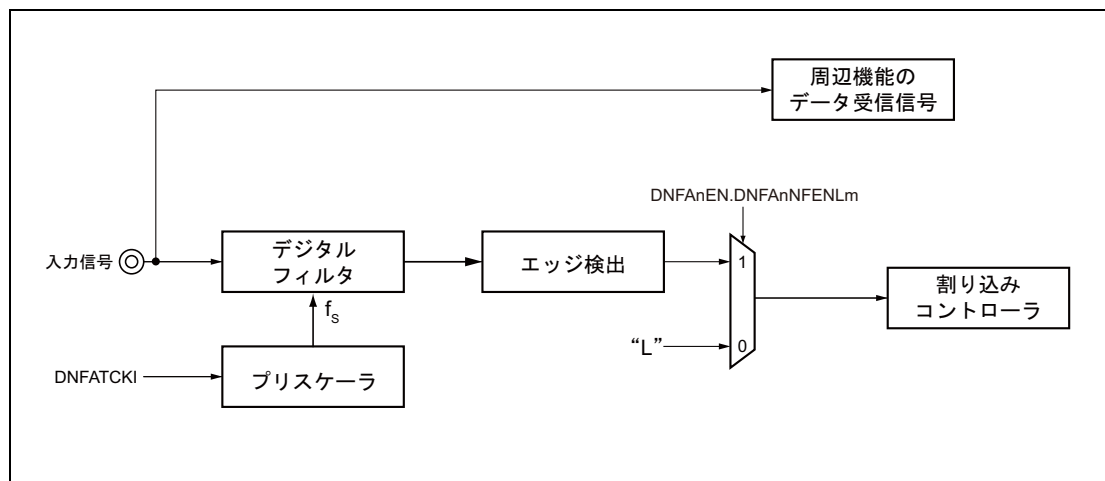


図 2.10 デジタルフィルタタイプ A のブロック図

注 意

割り込みコントローラへの入力を使用するためには、DNFAAnEN.DNFAAnNFENLm=1 を設定してください。

2.6.2.2 デジタルフィルタタイプ B (INTP/ESO 兼用) 入力端子

デジタルフィルタタイプ B の入力端子は、デジタルフィルタ、アナログフィルタおよびエッジ検出機能を搭載しています。デジタルフィルタおよびエッジ検出は次のレジスタによって制御されます。割り込み信号と Hi-Z 出力制御信号が兼用されています。

- フィルタ制御レジスタ FCLAnCTLm
各デジタルフィルタ付きポートには専用の FCLAnCTLm レジスタがあります。
- デジタルノイズ除去制御レジスタ DNFAAnCTL
各 DNFAAnCTL 制御レジスタは、デジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFAAnEN
デジタルフィルタ、アナログフィルタを選択します。

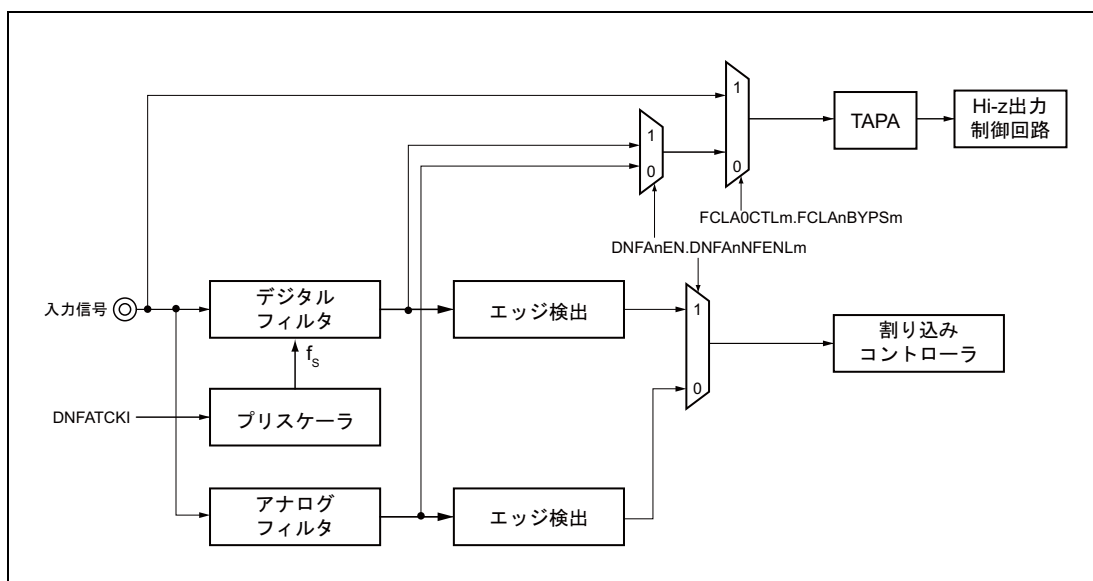


図 2.11 デジタルフィルタタイプ B のブロック図

2.6.2.3 デジタルフィルタタイプ C (INTP9, NMI 用) 入力端子

デジタルフィルタタイプ C の入力端子は、デジタルフィルタおよびエッジ検出機能を搭載しています。デジタルフィルタおよびエッジ検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLAnCTLm
各デジタルフィルタ付きポートには専用の FCLAnCTLm レジスタがあります。
- デジタルノイズ除去制御レジスタ DNFAAnCTL
各 DNFAAnCTL 制御レジスタは、デジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFAAnEN
デジタルノイズ除去を許可/禁止します。

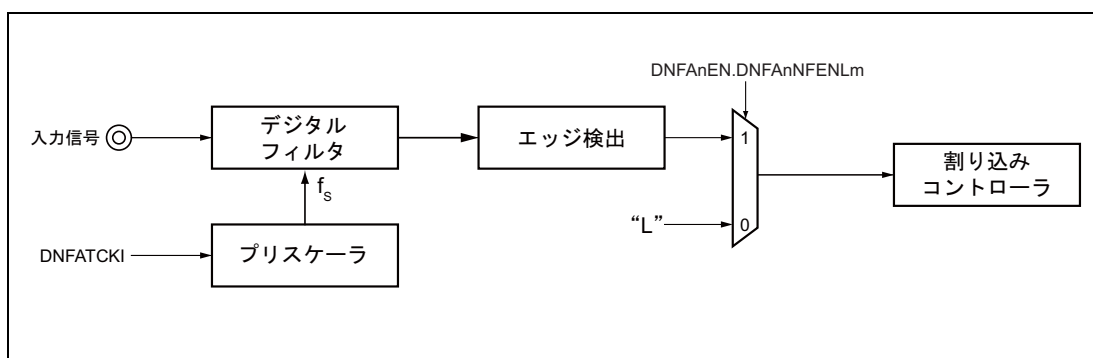


図 2.12 デジタルフィルタタイプ C のブロック図

注 意

割り込みコントローラへの入力を使用するためには、DNFAAnEN.DNFAAnNFENLm=1 を設定してください。

2.6.2.4 デジタルフィルタタイプ D (SENT, PSI5 用) 入力端子

デジタルフィルタタイプ D の入力端子は、デジタルフィルタ、アナログフィルタを搭載しています。デジタルフィルタおよびアナログフィルタは次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLAnCTLm
各デジタルフィルタ付きポートには専用の FCLAnCTLm レジスタがあります。
- デジタルノイズ除去制御レジスタ DNFAAnCTL
各 DNFAAnCTL 制御レジスタは、デジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFAAnEN
デジタルフィルタ、アナログフィルタを選択します。

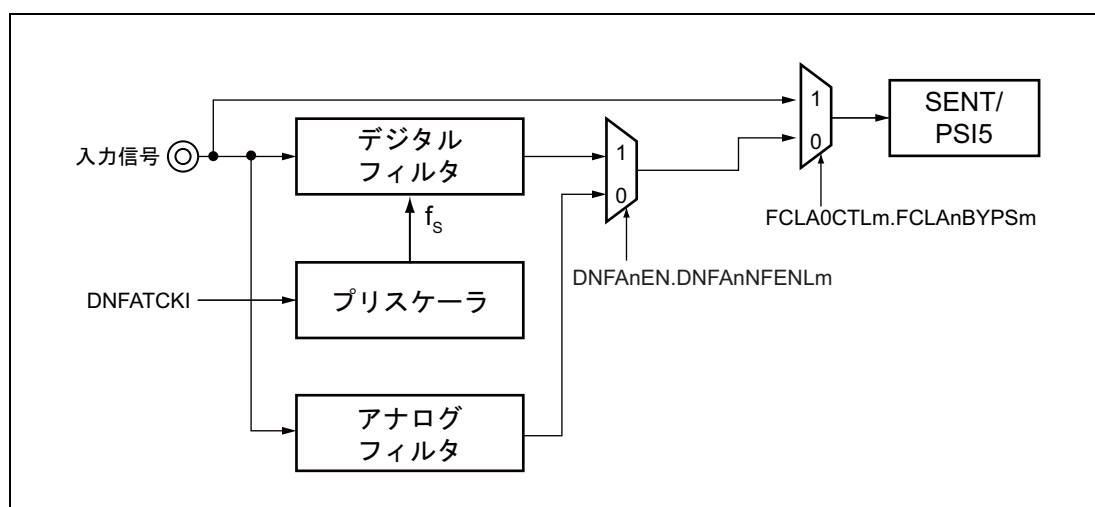


図 2.13 デジタルフィルタタイプ D のブロック図

2.6.2.5 デジタルフィルタタイプE（エッジ検出なし）入力端子

デジタルフィルタタイプE入力端子は、デジタルフィルタを搭載しています。デジタルフィルタは次のレジスタによって制御されます。

- デジタルノイズ除去制御レジスタ DNFA_nCTL
各 DNFA_nCTL 制御レジスタは、デジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFA_nEN
デジタルノイズ除去を許可/禁止します。

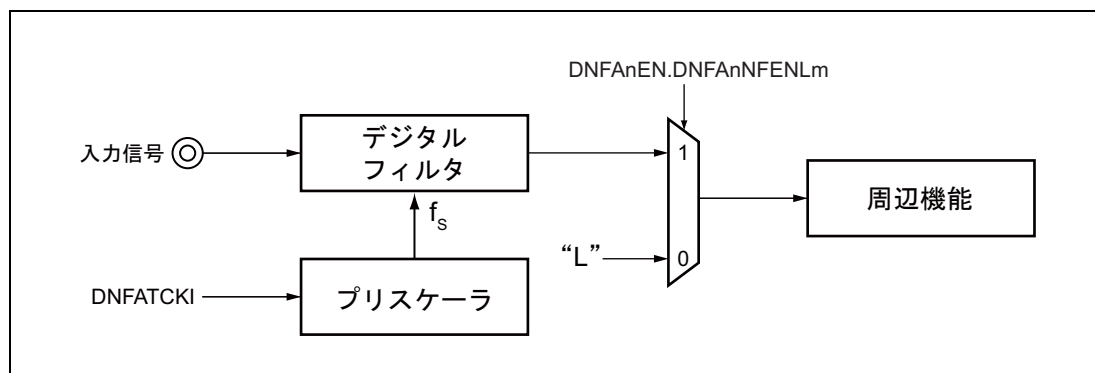


図 2.14 デジタルフィルタタイプEのブロック図

2.6.2.6 デジタルフィルタタイプF（エッジ検出なし）入力端子

デジタルフィルタタイプF入力端子は、デジタルフィルタを搭載しています。デジタルフィルタは次のレジスタによって制御されます。

- デジタルノイズ除去制御レジスタ DNFA_nCTL
各 DNFA_nCTL 制御レジスタは、デジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFA_nEN
デジタルノイズ除去を許可/禁止します。

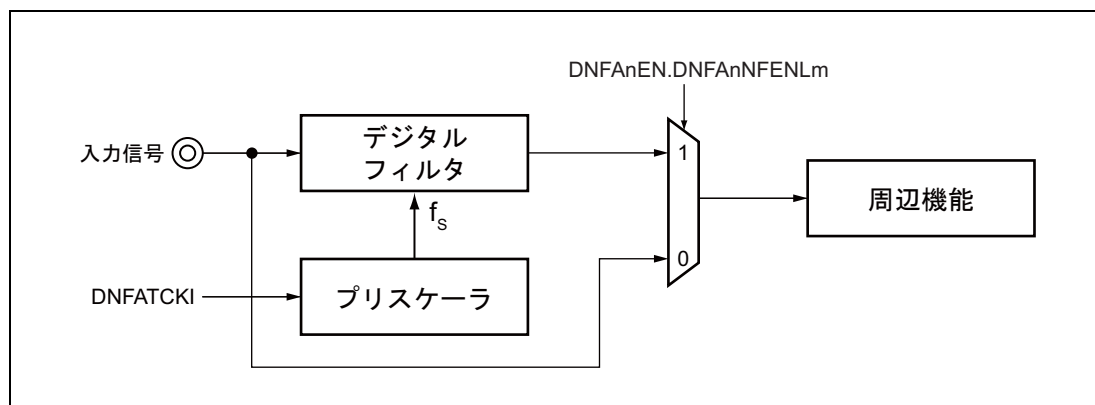


図 2.15 デジタルフィルタタイプFのブロック図

2.6.2.7 アナログフィルタ ANF 入力端子

アナログフィルタ入力端子は、アナログフィルタのみを搭載しています。

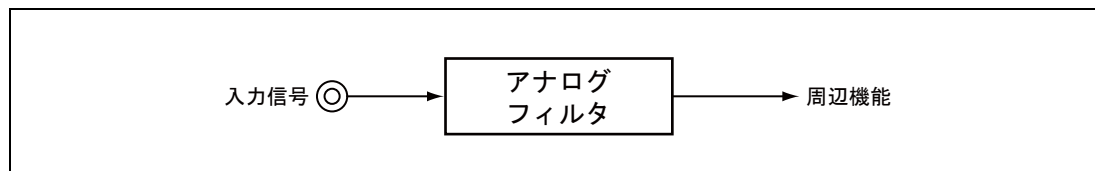


図 2.16 アナログフィルタ ANF のブロック図

2.6.3 レジスタ

2.6.3.1 レジスタ一覧

デジタルノイズフィルタは、次のレジスタで制御、動作します。

表 2.60 デジタルノイズフィルタレジスタ一覧

レジスタ名	略号	アドレス
フィルタ制御レジスタ	FCLAnCTLm	「表 2.59 ノイズフィルタ付き入力端子一覧」を参照してください。
デジタルノイズ除去制御レジスタ	DNFAnCTL	FFC3 0000 _H + n × 100 _H
デジタルノイズ除去許可レジスタ	DNFAnEN	FFC3 0000 _H + n × 100 _H + 4 _H
デジタルノイズ除去許可レジスタ L	DNFAnENL	FFC3 0000 _H + n × 100 _H + C _H
デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKSnC	「2.6.3.6 DNFCKSnC — デジタルノイズ除去サンプリングクロックソース選択レジスタ」を参照してください。
デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSnSTAT	「2.6.3.7 DNFCSnSTAT — デジタルノイズ除去サンプリングクロックソースステータスレジスタ」を参照してください。

注 意

1. DNFAnEN.DNFAnNFENLm = 1 でデジタルフィルタを有効にしている間は、関連する制御レジスタ（FCLAnCTLm レジスタ、DNFAnCTL レジスタ、DNFAnEN レジスタ、DNFAnENL レジスタ、DNFCKSnC レジスタ）の設定は変えないでください。変更した場合、予期しないフィルタ出力が生成される可能性があります。
2. 各レジスタには機能が割り当てられていないビットがあります。特に指定のない限り、これらのビットには初期値以外をライトしないでください。初期値以外の値を設定した場合の動作は保証できません。

2.6.3.2 FCLAnCTLm — フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタの動作を制御します。

フィルタタイプによって動作が異なります。詳細は「**2.6.2 フィルタタイプ**」を参照ください。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FCLAnCTLm レジスタと入力信号の対応、および各レジスタのアドレスについては、「**表 2.59 ノイズフィルタ付き入力端子一覧**」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	FCLAnBYPSm	—	—	—	—	—	FCLAnINTFm	FCLAnINTRm
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 2.61 FCLAnCTLm レジスタの内容

ビット位置	ビット名	機能
7	FCLAnBYPSm	兼用機能のフィルタ・バイパス制御 0: フィルタ・バイパス無効 1: フィルタ・バイパス有効
6 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FCLAnINTFm	立ち下がりエッジ検出制御 0: 立ち下がりエッジ検出無効 1: 立ち下がりエッジ検出有効
0	FCLAnINTRm	立ち上がりエッジ検出制御 0: 立ち上がりエッジ検出無効 1: 立ち上がりエッジ検出有効

備考

対象端子の情報は「**表 2.59 ノイズフィルタ付き入力端子一覧**」を参照ください。

2.6.3.3 DNFAAnCTL — デジタルノイズ除去制御レジスタ

デジタルノイズ除去フィルタの特性を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス DNFAAnCTL レジスタと入力信号の対応、および各レジスタのアドレスについては、「表 2.59 ノイズフィルタ付き入力端子一覧」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	DNFAAnFSTS[1:0]		—	—	DNFAAnPRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 2.62 DNFAAnCTL レジスタの内容

ビット位置	ビット名	機能																		
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																		
6、5	DNFAAnFSTS [1:0]	DNFAAnFSTS[1:0] ビットは、外部信号パルスの有効/無効を判断する際のサンプル数を指定します。 <table border="1" data-bbox="651 913 1414 1102"> <thead> <tr> <th>DNFAAnFSTS[1:0]</th> <th>サンプル数</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>2</td> </tr> <tr> <td>01_B</td> <td>3</td> </tr> <tr> <td>10_B</td> <td>4</td> </tr> <tr> <td>11_B</td> <td>5</td> </tr> </tbody> </table>	DNFAAnFSTS[1:0]	サンプル数	00 _B	2	01 _B	3	10 _B	4	11 _B	5								
DNFAAnFSTS[1:0]	サンプル数																			
00 _B	2																			
01 _B	3																			
10 _B	4																			
11 _B	5																			
4、3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																		
2～0	DNFAAnPRS [2:0]	デジタルフィルタサンプリングクロック周波数の選択 <table border="1" data-bbox="651 1236 1414 1568"> <thead> <tr> <th>DNFAAnPRS[2:0]</th> <th>サンプリング周波数</th> </tr> </thead> <tbody> <tr> <td>000_B</td> <td>DNFATCKI / 1</td> </tr> <tr> <td>001_B</td> <td>DNFATCKI / 2</td> </tr> <tr> <td>010_B</td> <td>DNFATCKI / 4</td> </tr> <tr> <td>011_B</td> <td>DNFATCKI / 8</td> </tr> <tr> <td>100_B</td> <td>DNFATCKI / 16</td> </tr> <tr> <td>101_B</td> <td>DNFATCKI / 32</td> </tr> <tr> <td>110_B</td> <td>DNFATCKI / 64</td> </tr> <tr> <td>111_B</td> <td>DNFATCKI / 128</td> </tr> </tbody> </table>	DNFAAnPRS[2:0]	サンプリング周波数	000 _B	DNFATCKI / 1	001 _B	DNFATCKI / 2	010 _B	DNFATCKI / 4	011 _B	DNFATCKI / 8	100 _B	DNFATCKI / 16	101 _B	DNFATCKI / 32	110 _B	DNFATCKI / 64	111 _B	DNFATCKI / 128
DNFAAnPRS[2:0]	サンプリング周波数																			
000 _B	DNFATCKI / 1																			
001 _B	DNFATCKI / 2																			
010 _B	DNFATCKI / 4																			
011 _B	DNFATCKI / 8																			
100 _B	DNFATCKI / 16																			
101 _B	DNFATCKI / 32																			
110 _B	DNFATCKI / 64																			
111 _B	DNFATCKI / 128																			

備考

対象端子の情報は「表 2.59 ノイズフィルタ付き入力端子一覧」を参照ください。

2.6.3.4 DNFA_nEN — デジタルノイズ除去許可レジスタ

任意の入力信号のデジタルノイズ除去を有効/無効にします。フィルタタイプによって動作が異なります。詳細は「2.6.2 フィルタタイプ」を参照ください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス DNFA_nEN レジスタと入力信号の対応、および各レジスタのアドレスについては、「表 2.59 ノイズフィルタ付き入力端子一覧」を参照してください。

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DNFA _n NFENL 7	DNFA _n NFENL 6	DNFA _n NFENL 5	DNFA _n NFENL 4	DNFA _n NFENL 3	DNFA _n NFENL 2	DNFA _n NFENL 1	DNFA _n NFENL 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.63 DNFA_nEN レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	DNFA _n NFENL [7:0]	デジタルノイズ除去制御 0: デジタルノイズ除去無効 (アナログノイズ除去有効) 注1 1: デジタルノイズ除去有効

注1. デジタルフィルタタイプ B と D の場合

備考

- 対象端子の情報は「表 2.59 ノイズフィルタ付き入力端子一覧」を参照ください。
- 「表 2.59 ノイズフィルタ付き入力端子一覧」に記載のない DNFA_nNFENL[7:0] ビットは、予約ビットです。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2.6.3.5 DNFA_nENL — デジタルノイズ除去許可レジスタ L

このレジスタは、DNFA_nEN レジスタの下位 8 ビットに相当します。

アクセス 8/1 ビット単位でリード/ライト可能です。

アドレス FFC3 0000_H + n × 100_H + C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	DNFA _n NFENL7	DNFA _n NFENL6	DNFA _n NFENL5	DNFA _n NFENL4	DNFA _n NFENL3	DNFA _n NFENL2	DNFA _n NFENL1	DNFA _n NFENL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビットの機能の詳細は、「2.6.3.4 DNFA_nEN — デジタルノイズ除去許可レジスタ」を参照してください。

2.6.3.6 DNFCKSnC — デジタルノイズ除去サンプリングクロックソース選択レジスタ

デジタルノイズサンプリングクロック周波数 (DNFATCKI) のクロックソースを選択するレジスタです。(n = 100 ~ 114)

アクセス 32ビット単位でリード/ライト可能です。

アドレス DNFCKS100C FFF8 9100_H
 DNFCKS101C FFF8 9108_H
 DNFCKS106C FFF8 9110_H
 DNFCKS107C FFF8 9118_H
 DNFCKS108C FFF8 9120_H
 DNFCKS109C FFF8 9128_H
 DNFCKS110C FFF8 9130_H
 DNFCKS112C FFF8 9138_H
 DNFCKS113C FFF8 9140_H
 DNFCKS114C FFF8 9148_H
 DNFCKS104C FFF8 9150_H
 DNFCKS105C FFF8 9158_H
 DNFCKS102C FFF8 9160_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CKSCn [1:0]	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R

表 2.64 DNFCKSnC レジスタの内容

ビット位置	ビット名	機能													
31~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。													
2、1	CKSCn[1:0]	CKSCn[1:0] ビットは、外部信号パルスの有効/無効を判断する際のサンプリング周波数のソースクロックを選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CKSCn1</th> <th>CKSCn0</th> <th>サンプリングクロックソース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td rowspan="3">デジタルフィルタサンプリングクロック周波数 (DNFATCKI) のクロックソースを選択。対象となるクロックソースは入力信号によって異なります。詳細は「表 2.59 ノイズフィルタ付き入力端子一覧」を参照ください。</td> </tr> <tr> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </tbody> </table>	CKSCn1	CKSCn0	サンプリングクロックソース	0	0	設定禁止	0	1	デジタルフィルタサンプリングクロック周波数 (DNFATCKI) のクロックソースを選択。対象となるクロックソースは入力信号によって異なります。詳細は「表 2.59 ノイズフィルタ付き入力端子一覧」を参照ください。	1	0	1	1
CKSCn1	CKSCn0	サンプリングクロックソース													
0	0	設定禁止													
0	1	デジタルフィルタサンプリングクロック周波数 (DNFATCKI) のクロックソースを選択。対象となるクロックソースは入力信号によって異なります。詳細は「表 2.59 ノイズフィルタ付き入力端子一覧」を参照ください。													
1	0														
1	1														
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。													

2.6.3.7 DNFCSCnSTAT — デジタルノイズ除去サンプリングクロックソースステータスレジスタ

デジタルノイズフィルタのサンプリングクロックソースのステータスを確認するレジスタです。(n = 100 ~ 114)

アクセス 32ビット単位でリード可能です。

アドレス DNFCSC100STAT FFF8 9104_H
 DNFCSC101STAT FFF8 910C_H
 DNFCSC106STAT FFF8 9114_H
 DNFCSC107STAT FFF8 911C_H
 DNFCSC108STAT FFF8 9124_H
 DNFCSC109STAT FFF8 912C_H
 DNFCSC110STAT FFF8 9134_H
 DNFCSC112STAT FFF8 913C_H
 DNFCSC113STAT FFF8 9144_H
 DNFCSC114STAT FFF8 914C_H
 DNFCSC104STAT FFF8 9154_H
 DNFCSC105STAT FFF8 915C_H
 DNFCSC102STAT FFF8 9164_H

リセット後の値 0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKSELn[1:0]	CLKACTn	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 2.65 DNFCSCnSTAT レジスタの内容

ビット位置	ビット名	機能															
31~3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
2、1	CLKSELn[1:0]	サンプリングクロックソース選択確認。 <table border="1"> <thead> <tr> <th>CKSCn1</th> <th>CKSCn0</th> <th>サンプル数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>デジタルノイズ除去サンプリングクロックソース選択レジスタで選択されたクロックソースが確認できます。対象となるクロックソースは入力信号によって異なります。詳細は「表 2.59 ノイズフィルタ付き入力端子一覧」を参照ください。</td> </tr> <tr> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td></td> </tr> </tbody> </table>	CKSCn1	CKSCn0	サンプル数	0	0	設定禁止	0	1	デジタルノイズ除去サンプリングクロックソース選択レジスタで選択されたクロックソースが確認できます。対象となるクロックソースは入力信号によって異なります。詳細は「表 2.59 ノイズフィルタ付き入力端子一覧」を参照ください。	1	0		1	1	
CKSCn1	CKSCn0	サンプル数															
0	0	設定禁止															
0	1	デジタルノイズ除去サンプリングクロックソース選択レジスタで選択されたクロックソースが確認できます。対象となるクロックソースは入力信号によって異なります。詳細は「表 2.59 ノイズフィルタ付き入力端子一覧」を参照ください。															
1	0																
1	1																
0	CLKACTn	デジタルノイズ除去サンプリングクロックソース選択レジスタで選択されたクロックソースの動作が確認できます 0: 停止 1: 動作															

2.6.4 デジタルノイズフィルタ使用時の注意事項

(1) デジタルフィルタの出力信号を兼用機能に入力する場合

デジタルフィルタを有効 (DNFAnEN.DNFAnENm(m = 0 ~ 7) = 1) にし、次の時間を経過した後、ポート端子を兼用機能に切り替えてください。

$$s = \text{DNFAnNFSTS}[1:0] + 2$$

$$\text{時間} = s \times 1/\text{fs} + 2 \times 1/\text{DNFATCKI}$$

(2) デジタルフィルタのイベント出力信号を割り込みとして使用する場合

割り込み禁止状態でデジタルフィルタを有効 (DNFAnEN.DNFAnENm(m = 0 ~ 7) = 1) にしてください。

また、デジタルフィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で、割り込みを許可してください。

$$\text{時間} = s \times 1/\text{fs} + 3 \times 1/\text{DNFATCKI}$$

2.7 端子状態

各状態の端子状態を表 2.66、表 2.67、表 2.68 に示します。製品グレードやパッケージの種類によっては、非搭載の端子もあります。端子搭載の有無は、「2.1 端子接続図」の「表 2.1 端子配置」を参照してください。

表 2.66 シングルチップモード（通常モード）での端子状態

Port	Pin Category	OPAUDR/ OPJTAG/ OPEVTI/ OPEVTO	Power OFF	DCUTRST = L				
				RESET 端子 = L Power ON	Reset Release 備考	HW-BIST	RUN (User program)	CVM Reset
GPIO		—	—	Hi-Z	Hi-Z	Hi-Z	Operate	Hi-Z
P0_3 ~ P0_9	GPIO (/AUDR)	OPAUDR=1	—	Hi-Z	Hi-Z	Hi-Z	Operate	Hi-Z
	AUDRST	OPAUDR=0	—	Hi-Z	Hi-Z	Hi-Z	Operate	Hi-Z
	AUDCK							
	AUDSYNC							
	AUDATA[3:0]							
JP0_x	JP0_0 ~ JP0_3, JP0_5	OPJTAG=00	—	Hi-Z	Hi-Z	Hi-Z	Operate	Hi-Z
	DCUTDI	OPJTAG=11	—					
	DCUTDO							
	DCUTCK							
	DCUTMS							
	DCUTRDY							
	LPDI	OPJTAG=01	—					
	LPDO							
	LPDCLK							
	JP0_3							
	LPDCLKOUT	OPJTAG=10	—					
	LPDIO							
JP0_1 ~ P0_3, JP0_5								
P0_13	GPIO (EVTI)	OPEVTI=1	—	Hi-Z			Operate	Hi-Z
	EVTI	OPEVTI=0	—					
RESET		—	—	L (PD)	H (PD)	H (PD)	H (PD)	H (PD)
ERROROUT		—	—	Hi-Z before RESET is released.	L	L	Operate	Hi-Z
P0_10	RESETOUT (/GPIO)	OPEVTO=1 or DCUTRST=L	—	L	L	L	H ^{注3} (set "High" by user program)	L
	EVTO	OPEVTO=0 and DCUTRST=H	—	N.A.	N.A.	N.A.	N.A.	N.A.
CVMOUT		—	—	L → H ^{注1}	H	H	H	L
FLMD0 ^{注2}		—	—	L (PD)	L (PD)	L (PD)	L (PD)	L (PD)
P3_14	FLMD1(/GPIO)	—	—	Hi-Z	Hi-Z	Hi-Z	Operate ^{注3}	Hi-Z
X1/X2		—	—	Stop → Run	Run	Run	Run	Run
ANI		—	—	Hi-Z	Hi-Z	Hi-Z	Operate	Hi-Z
DCUTRST		—	—	L (PD)	L (PD)	L (PD)	L (PD)	L (PD)

備考 端子リセット、ECM リセット、SW リセット、CVM リセットの解除された状態です。

注 1. CVMOUT = H になった後は端子リセット = L でも CVMOUT は電圧の状態を反映します。

注 2. FLMD0 = L を入力してください。

注 3. ポート機能として動作します。

表 2.67 シングルチップモード（デバッグモード）での端子状態

Port	Pin Category	OPAUDR/ OPJTAG/ OPEVTI/ OPEVTO	DCUTRST = H				
			RUN	RESET 端子 = L	Reset Release 備考	Debug Reset	CVM Reset
GPIO		—	Operate	Hi-Z	Hi-Z	Hi-Z	Hi-Z
P0_3 ~ P0_9	GPIO (/AUDR)	OPAUDR=1	Operate	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	AUDRST	OPAUDR=0	Operate	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	AUDCK						
	AUDSYNC						
	AUDATA[3:0]						
JP0_x	JP0_0 ~ JP0_3, JP0_5	OPJTAG=00	N.A.			N.A.	N.A.
	DCUTDI	OPJTAG=11	Operate (if JTAG is selected based on OPJTAG setting.)			Operate	Operate
	DCUTDO						
	DCUTCK						
	DCUTMS						
	DCUTRDY						
	LPDI	OPJTAG=01	Operate (if LPD4P is selected based on OPJTAG setting.)			Hi-Z	Hi-Z
	LPDO						
	LPDCLK						
	JP0_3						
	LPDCLKOUT	OPJTAG=10	Operate (if LPD1P is selected based on OPJTAG setting.)			Operate	Operate
	LPDIO					Operate	Operate
JP0_1 ~ JP0_3, JP0_5	Operate					Hi-Z	Hi-Z
P0_13	GPIO (EVTI)	OPEVTI=1	Operate	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	EVTI	OPEVTI=0	Operate (if EVTI is selected based on OPEVTI setting.)			Operate	Operate
RESET		—	H (PD)	L (PD)	H (PD)	H (PD)	H (PD)
ERROROUT		—	Operate	Hi-Z	L	L	Hi-Z
P0_10	RESETOUT (/GPIO)	OPEVTO=1 or DCUTRST=L	H ^{注1} (set "High" by user program)	L	L	L	L
	EVTO	OPEVTO=0 and DCUTRST=H	Operate (if EVTO is selected based on OPJTAG setting.)			Operate	Operate
CVMOUT		—	H	H	H	L	L
FLMD0 ^{注2}		—	L (PD)	L (PD)	L (PD)	L (PD)	L (PD)
P3_14	FLMD1(/GPIO)	—	Operate ^{注1}	Hi-Z	Hi-Z	Hi-Z	Hi-Z
X1/X2		—	Run	Run	Run	Run	Run
ANI		—	Operate	Hi-Z	Hi-Z	Hi-Z	Hi-Z
DCUTRST		—	H (PD)	H (PD)	H (PD)	H (PD)	H (PD)

備考 端子リセット、Debug リセット、ECM リセット、SW リセット、CVM リセットの解除された状態です。

注 1. ポート機能として動作します。

注 2. FLMD0 端子 = L を入力してください。

表 2.68 シリアルプログラミングモードでの端子状態

Port	Pin Category	OPAUDR/ OPJTAG/ OPEVTI/ OPEVTO	Power OFF	DCUTRST = L		
				RESET 端子 = L Power ON	Reset Release	RUN (シリアルプログラミングモード)
GPIO		—	—	Hi-Z	Hi-Z	Operate
P0_3 ~ P0_9	GPIO (/AUDR)	OPAUDR=x	—	Hi-Z	Hi-Z	Operate as GPIO (not depend on OPAUDR setting)
JPO_x	JTAG PORT (FLSCI3RXD (FPDR) / FLSCI3TXD (FPDT) / FLSCI3SCKI (FPCK))	OPJTAG=xx	—	Hi-Z	Hi-Z	Operate
P0_13	GPIO (EVTI)	OPEVTI=x	—	Hi-Z	Hi-Z	Operate as GPIO (not depend on OPEVTI setting)
RESET		—	—	L (PD)	H (PD)	H (PD)
ERROROUT		—	—	Hi-Z	L	Operate
P0_10	RESETOUT (/GPIO)	OPEVTO=x or DCUTRST=x	—	L	L	L
CVMOUT		—	—	L → H	H (masked) 注1	H (masked) 注1
FLMD0 注2		—	—	H (PD)	H (PD)	H (PD)
P3_14	FLMD1(/GPIO) 注2	—	—	L	L	L
X1/X2		—	—	Stop → Run	Run	Run
ANI		—	—	Hi-Z	Hi-Z	Operate
DCUTRST		—	—	L (PD)	L (PD)	L (PD)

注 1. CVMOUT はシリアルプログラミングモード時にはマスクされハイレベルを出力します。

注 2. FLMD0 端子 = H、FLMD1 端子 = L を入力してください。

第3章 CPUシステム

3.1 概要

3.1.1 ブロック構成

ブロック構成を図 3.1 に示します。

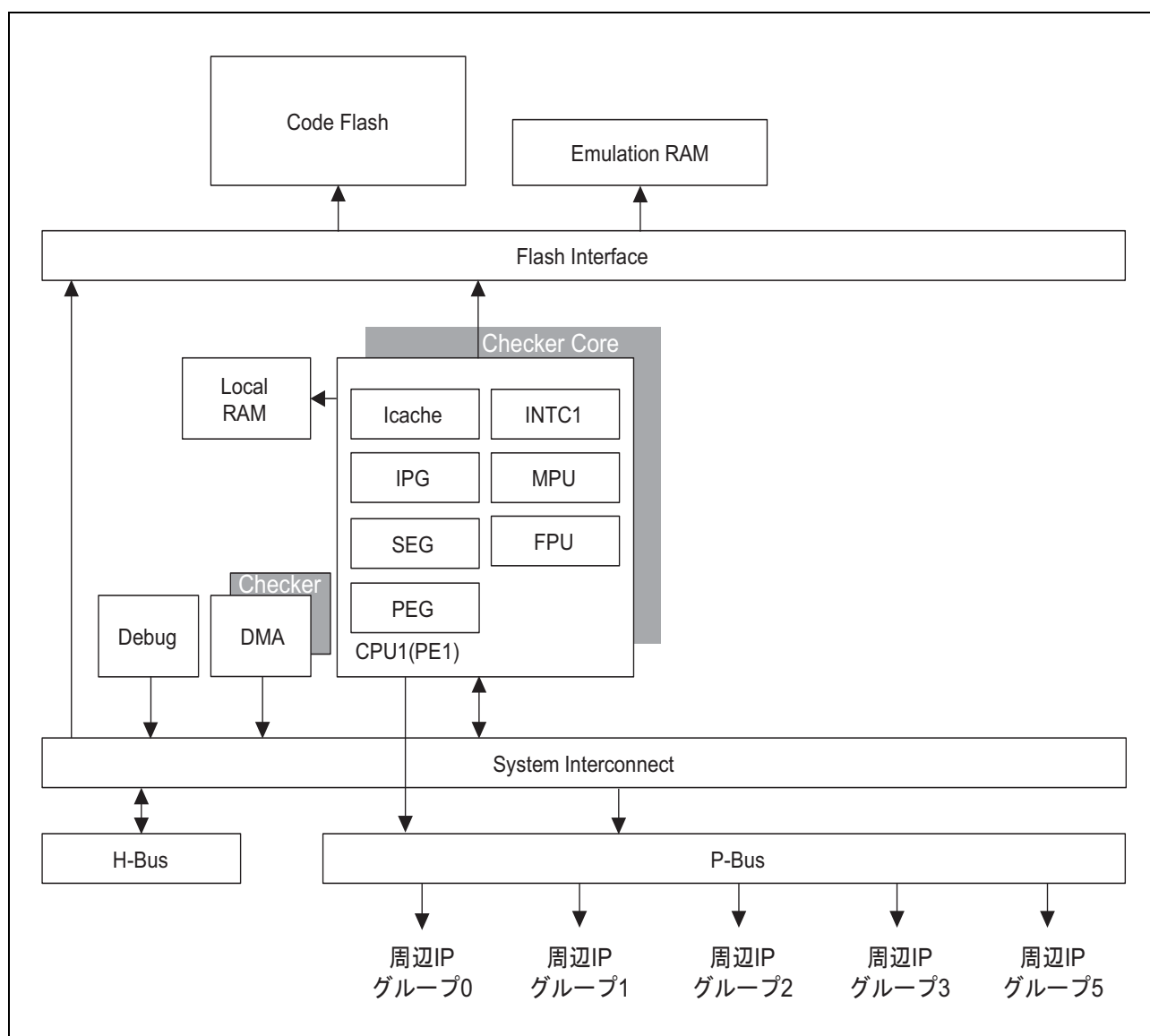


図 3.1 ブロック構成図

CPU1 (PE1)

メイン CPU として、RH850 G3M コアを搭載します。また、CPU1 はセーフティ対応として、Checker Core を備えます。

Local RAM

高速アクセス可能な Local RAM を持ちます。

Code Flash

プログラム格納用に、大容量の Code Flash を搭載しています。CPU1 と Flash Interface を介して接続します。

Emulation RAM

Code Flash をエミュレーションする RAM です。外部ツールからの制御により、Code Flash を書き換えることなくプログラムの置き換えが可能です。

Data Flash

CPU から書き換え可能な Flash メモリです。

P-Bus、H-Bus

周辺 IP を接続するバスです。P-Bus は、周辺 IP グループ 0 ～ 3, 5 に分かれています。

INTC1、INTC2

割り込みコントローラは INTC1 と INTC2 に分かれています。INTC1 は Checker Core との冗長構成になっています。

DMA

DMAC と DTS の 2 種類の DMA 転送モジュールを搭載します。DMA はセーフティ対応として Checker を備えています。

Slave Guard

特定のバスマスタからの不正アクセスを防止する機構です。次の Guard 機構で構成されます。

(1) PE ガード (PEG)

外部マスタから PE 内資源への不正なアクセスを防止する機構です。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。

(2) 周辺ガード (PBG)

外部マスタから周辺機能への不正なアクセスを防止する機構です。リセット解除後は、ガードされていない状態 (すべてのバスマスタがアクセス可能) になっています。

3.2 CPU

3.2.1 コア機能

3.2.1.1 特長

RH850G3M コアの特長を表 3.1 に示します。

表 3.1 RH850G3M コアの特長

項目	特長
CPU	<ul style="list-style-type: none"> ● 組み込み制御用高性能 32 ビットアーキテクチャ ● 32 ビット内部データバス ● 32 本の 32 ビット汎用レジスタ ● RISC タイプ命令セット <ul style="list-style-type: none"> – ロング/ショート形式を持つロード/ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット ● CPU 動作モード <ul style="list-style-type: none"> – ユーザモード、スーパバイザモード ● アドレス空間：データ/命令ともに 4G バイトリニア ● 命令：SNOOZE 命令による一時停止期間は CPU クロック (CLK_CPU) で 32 クロック
コプロセッサ	<ul style="list-style-type: none"> ● 浮動小数点演算コプロセッサ (FPU) 搭載 <ul style="list-style-type: none"> – 単精度 (32 ビット) および倍精度 (64 ビット) をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、+∞方向、-∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知
例外/割り込み	<ul style="list-style-type: none"> ● チャンネルごとに設定可能な 16 レベルの割り込み優先度 ● 性能要求/メモリ消費量によって選択可能なベクタ選択方式 <ul style="list-style-type: none"> – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ ● 専用命令 (PUSHSP, POPSP) による割り込み時のコンテキスト高速退避/復帰処理の支援
メモリ管理	<ul style="list-style-type: none"> ● メモリ保護機能搭載 (MPU)：12 領域設定可能
キャッシュ	<ul style="list-style-type: none"> ● 命令キャッシュ搭載

3.2.1.2 レジスタセット

本章では本 CPU に搭載しているプログラムレジスタとシステムレジスタについて説明します。

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ (r0-r31) とプログラムカウンタ (PC) があります。汎用レジスタの r0 は常に 0 を保持していますが、r1-r31 のリセット後の値は不定です。

表 3.2 プログラムレジスタ一覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス/データ変数用レジスタ (使用するリアルタイム OS がこのレジスタを使用していない場合)	
	r3	スタックポインタ (SP)	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ (GP)	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ (TP)	テキスト領域 (プログラムコードを配置する領域) の先頭を示すレジスタとして使用
	r6-29	アドレス/データ変数用レジスタ	
	r30	エレメントポインタ (EP)	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ (LP)	コンパイラが関数コールをするときに使用
	プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持

備 考

アセンブラや C コンパイラで使用される r1、r3-r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のマニュアルを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。

汎用レジスタのうち、r0-r5、r30、r31は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり、0を使用する演算やベースアドレスが0のアドレッシングで使用されます。

r3はPREPARE命令、DISPOSE命令、PUSHSP命令、POPSP命令により、暗黙的に使用されます。

r30はSLD命令とSST命令により、メモリをアクセスするときのベースポイントとして使用されます。

2. r1、r4、r5、r31

アセンブラとCコンパイラにより暗黙的に使用されます。

これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2

リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。

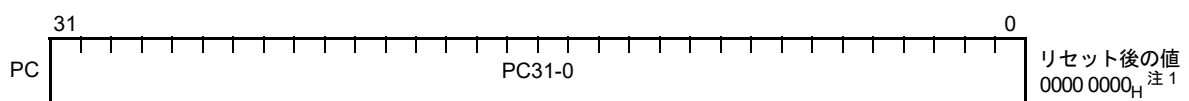


表 3.3 PC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	PC31-1	実行中の命令アドレスです。	R/W	注1
0	PC0	常に0を示します。奇数番地への分岐はできません。	R/W	0

注1. 可変リセットベクタ機能の利用により異なります。詳細は「第35章 フラッシュメモリ」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPUの状態制御、例外情報保持などを行います。

基本システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.4 基本システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR0, 0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1, 0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2, 0	FEPC	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3, 0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5, 0	PSW	プログラムステータスワード	注 1
SR6, 0	FPSR	((4) FPU 機能レジスタ参照)	CU0 かつ SV
SR7, 0	FPEPC	((4) FPU 機能レジスタ参照)	CU0 かつ SV
SR8, 0	FPST	((4) FPU 機能レジスタ参照)	CU0
SR9, 0	FPCC	((4) FPU 機能レジスタ参照)	CU0
SR10, 0	FPCFG	((4) FPU 機能レジスタ参照)	CU0
SR11, 0	FPEC	((4) FPU 機能レジスタ参照)	CU0 かつ SV
SR13, 0	EIIC	EI レベル例外要因	SV
SR14, 0	FEIC	FE レベル例外要因	SV
SR16, 0	CTPC	CALLT 実行時の状態退避レジスタ	UM
SR17, 0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20, 0	CTBP	CALLT ベースポインタ	UM
SR28, 0	EIWR	EI レベル例外用作業レジスタ	SV
SR29, 0	FEWR	FE レベル例外用作業レジスタ	SV
SR31, 0	(BSEL)	(V850E2 シリーズ後方互換のため予約) 注 2	SV
SR0, 1	MCFG0	マシンコンフィグレーション	SV
SR2, 1	RBASE	リセットベクタベースアドレス	SV
SR3, 1	EBASE	例外ハンドラベクタアドレス	SV
SR4, 1	INTBP	割り込みハンドラアドレステーブルのベースアドレス	SV
SR5, 1	MCTL	CPU の制御	SV
SR6, 1	PID	プロセッサ識別子	SV
SR11, 1	SCCFG	SYSCALL の動作設定	SV
SR12, 1	SCBP	SYSCALL ベースポインタ	SV
SR0, 2	HTCFG0	スレッドコンフィグレーション	SV
SR6, 2	MEA	メモリエラーアドレス	SV
SR7, 2	ASID	アドレス空間識別子	SV
SR8, 2	MEI	メモリエラー情報	SV

注 1. ビットによってアクセス権限が異なります。詳細は、(2) 基本システムレジスタの PSW レジスタの説明を参照してください。

注 2. V850E2 シリーズの後方互換のため予約しています。読み込みは常に 0 を読み出し、書き込みは無視します。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「RH850G3M ユーザーズマニュアル ソフトウェア編」の「例外の実行形態」を参照してください）。

EI レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

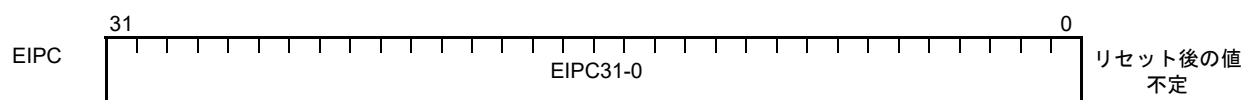


表 3.5 EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	EIPC31-1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「RH850G3M ユーザーズマニュアル ソフトウェア編」の「例外の実行形態」を参照してください）。

FE レベル例外時状態退避レジスタは、1組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

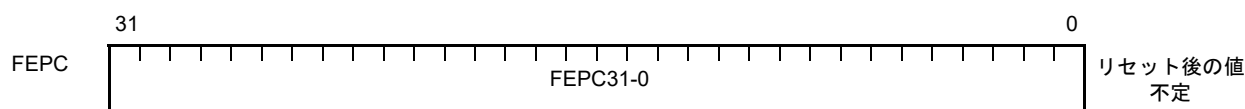


表 3.7 FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	FEPC31-1	FE レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11～9 はデバッグ機能にかかわるため、通常は変更できません。

	31	30	29																	19	18																			16	15	14																				12	11																					9	8	7	6	5	4	3	2	1	0										
FEPSW	0	U	M	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CU2-0	E	B	V	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Debug	0	N	P	E	P	I	D	S	A	T	C	Y	O	V	S	Z	リセット後の値 0000 0020 _H																																													

表 3.8 FEPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
30	UM	FE レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
18～16	CU2-0	FE レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。(CU2-1 ビットは将来のための予約です。必ず 0 を設定してください)	R/W	0
15	EBV	FE レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
11～9	Debug	FE レベル例外受け付け時の PSW.Debug フィールドを退避します。	R/W	0
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
7	NP	FE レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	FE レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	FE レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	FE レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	FE レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	FE レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	FE レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	FE レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(e) PSW — プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグやCPUの動作状態を示すビットの集合です（フラグとは条件命令（BcondやCMOVなど）によって参照されるPSW上のビットを示します）。

注 意

1. LDSR 命令を使用して、このレジスタのビット7～0の内容を変更した場合は、LDSR 命令の直後の命令から変更内容が有効となります。
2. PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、「表 3.9 PSW レジスタビットのアクセス権限」を参照してください。

表 3.9 PSW レジスタビットのアクセス権限

ビット		読み出し時 アクセス権限	書き込み時 アクセス権限
30	UM	UM	SV ^{注1}
18～16	CU2-0		SV ^{注1}
15	EBV		SV ^{注1}
11～9	Debug		特殊 ^{注1}
7	NP		SV ^{注1}
6	EP		SV ^{注1}
5	ID		SV ^{注1}
4	SAT		UM
3	CY		UM
2	OV		UM
1	S		UM
0	Z		UM

注 1. PSW レジスタ全体はアクセス権限が UM であるため、PSW.UM = 1 のとき LDSR で書き込みを行っても PIE 例外は起きません。書き込みが無視されます。

	31	30	29									19	18	16	15	14	12	11	9	8	7	6	5	4	3	2	1	0																
PSW	0	U	M	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CU2-0	E	B	V	0	0	0	Debug	0	N	P	E	P	I	D	S	A	T	C	Y	O	V	S	Z	リセット後の値 0000 0020 _H

表 3.10 PSW レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W	リセット後の値
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。	R	0
30	UM	CPU がユーザモード（UM モード）にあることを示します。 0：スーパーバイザモード 1：ユーザモード	R/W	0
29～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。	R	0
18～16	CU2-CU0	コプロセッサ使用権を示します。コプロセッサに対応するビットが0のとき、そのコプロセッサ命令の実行、コプロセッサリソース（システムレジスタ）へのアクセスで、コプロセッサ使用不可例外が発生します。 CU2 ビット 18：（将来のための予約です。必ず0を設定してください） CU1 ビット 17：（将来のための予約です。必ず0を設定してください） CU0 ビット 16：FPU	R/W	000

表 3.10 PSW レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
15	EBV	リセットベクタ、例外ベクタの動作を示します。詳細は、本節の RBASE レジスタ、EBASE レジスタを参照してください。	R/W	0
14 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
11 ~ 9	Debug	開発ツール向けのデバッグ機能で使います。通常は、0 を設定してください。	—	0
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
7	NP	FE レベル例外の受け付けを禁止します。FE レベル例外が受け付けられるとセット (1) され、EI レベル例外、FE レベル例外の受け付けを禁止します。NP ビットによって、受け付けが禁止される例外は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「例外要因一覽」を参照してください。 0 : FE レベル例外の受け付けを許可する 1 : FE レベル例外の受け付けを禁止する	R/W	0
6	EP	割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット (1) されます。なお、このビットはセット (1) されても例外要求の受け付けには影響しません。 0 : 割り込み以外の例外処理中ではない 1 : 割り込み以外の例外処理中である	R/W	0
5	ID	EI レベル例外の受け付けを禁止します。EI レベル例外、FE レベル例外が受け付けられるとセット (1) され、EI レベル例外の受け付けを禁止します。ID ビットによって、受け付けが禁止される例外は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「例外要因一覽」を参照してください。また、通常のプログラムや、割り込み処理中にクリティカルセクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット (1) し、EI 命令の実行によってクリア (0) します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0 : EI レベル例外の受け付けを許可する 1 : EI レベル例外の受け付けを禁止する	R/W	1
4	SAT ^{注1}	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット (1) され、以降の命令の演算結果が飽和しなくてもクリア (0) されません。クリア (0) する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット (1) もクリア (0) も行いません。 0 : 飽和していない 1 : 飽和している	R/W	0
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0 : キャリー、およびボローが発生していない 1 : キャリー、またはボローが発生した	R/W	0
2	OV ^{注1}	演算中にオーバフローが発生したかどうかを示します。 0 : オーバフローが発生していない 1 : オーバフローが発生した	R/W	0
1	S ^{注1}	演算の結果が負かどうかを示します。 0 : 演算の結果は、正または 0 であった 1 : 演算の結果は負であった	R/W	0
0	Z	演算の結果が 0 かどうかを示します。 0 : 演算の結果は 0 でなかった 1 : 演算の結果は 0 であった	R/W	0

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFF FFFF _H
負の最大値を越えた	1	1	1	8000 0000 _H
正（最大値を越えない）	演算前の値 を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

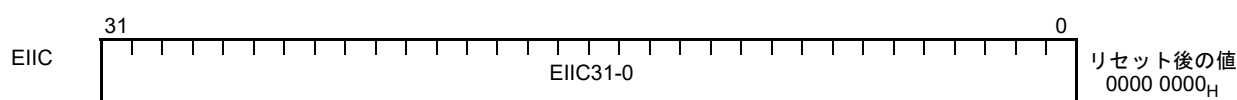


表 3.11 EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	EIIC31-0	EI レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.12 割り込み例外ハンドラと優先順位」および「RH850G3M ユーザーズマニュアル ソフトウェア編」の「例外要因一覧」を参照してください。EIIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

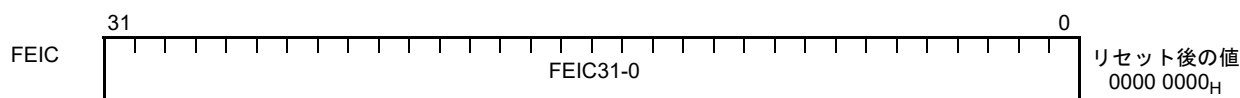


表 3.12 FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	FEIC31-0	FE レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.12 割り込み例外ハンドラと優先順位」および「RH850G3M ユーザーズマニュアル ソフトウェア編」の「例外要因一覧」を参照してください。FEIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

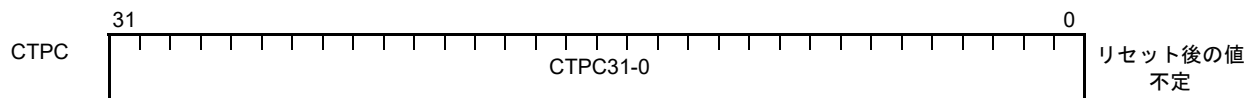


表 3.13 CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	CTPC31-1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

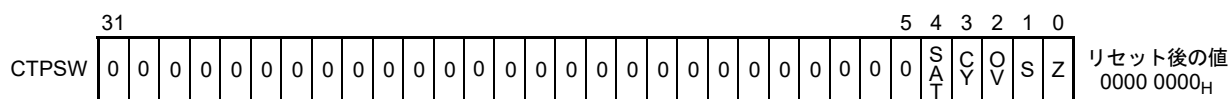


表 3.14 CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

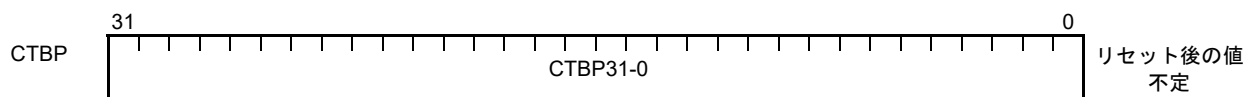


表 3.15 CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	CTBP31-1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

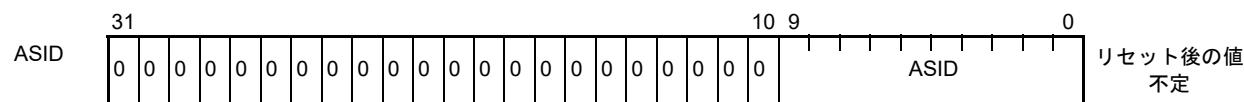


表 3.16 ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
9 ~ 0	ASID	アドレス空間識別子です。	R/W	不定

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

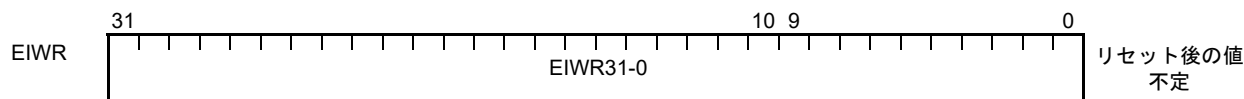


表 3.17 EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	EIWR31-0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

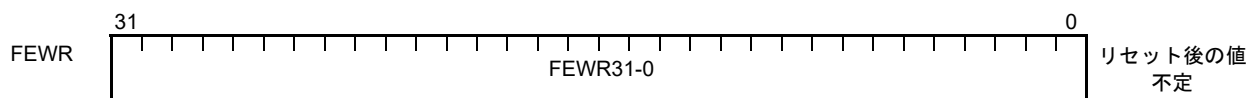


表 3.18 FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	FEWR31-0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(n) HTCFG0 — スレッドコンフィグレーション

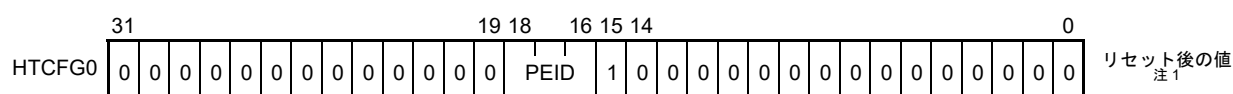


表 3.19 HTCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。	R	0
18 ~ 16	PEID	プロセッサエレメント番号を示します。	R	注1
15	予約ビット	リードした場合はリセット後の値が読めます。	R	1
14 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。	R	0

注 1. 本製品の CPU1 (PE1) では 001_B です。

(o) MEA — メモリエラーアドレス

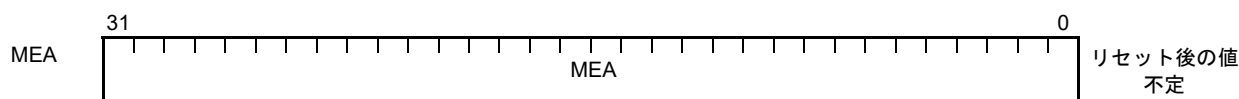


表 3.20 MEA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MEA	MAE (ミスアライン) / MPU 違反時のアドレスを保存します。	R/W	不定

(p) MEI — メモリエラー情報

ミスライン例外 (MAE)、メモリ保護例外 (MDP) 発生時に、例外を引き起こした命令の情報を格納します。

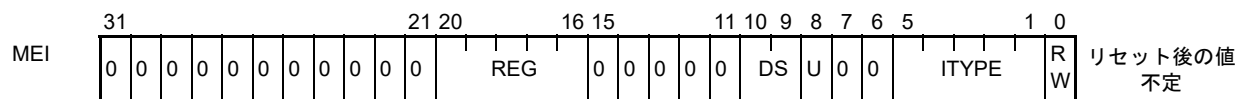


表 3.21 MEI レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
20 ~ 16	REG4-0	例外を引き起こした命令のソースレジスタ番号、またはデスティネーションレジスタ番号を示します。 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
10, 9	DS	例外を引き起こした命令のデータタイプを示します注1。 0: バイト (8 ビット) 1: ハーフワード (16 ビット) 2: ワード (32 ビット) 3: ダブルワード (64 ビット) 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
8	U	例外を引き起こした命令の符号拡張方式を示します。 0: Signed 1: Unsigned 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
5 ~ 1	ITYPE4-0	例外を引き起こした命令を示します。 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定
0	RW	例外を引き起こした命令のオペレーションが、リード (Loadmemory) だったのか、ライト (Store-memory) だったのかを示します。 0: リード (Load-memory) 1: ライト (Store-memory) 詳細は、「表 3.22 例外を引き起こした命令と MEI レジスタの値」を参照してください。	R/W	不定

注 1. ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3.22 例外を引き起こした命令と MEI レジスタの値 (1/2)

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0 (Byte)	0 (Signed)	0 (Read)	00000b
SLD.BU	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00000b
SLD.H	dst	1 (Half-word)	0 (Signed)	0 (Read)	00000b
SLD.HU	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00000b
SLD.W	dst	2 (Word)	0 (Signed)	0 (Read)	00000b
SST.B	src	0 (Byte)	0 (Signed)	1 (Write)	00000b
SST.H	src	1 (Half-word)	0 (Signed)	1 (Write)	00000b
SST.W	src	2 (Word)	0 (Signed)	1 (Write)	00000b
LD.B (disp16)	dst	0 (Byte)	0 (Signed)	0 (Read)	00001b

表 3.22 例外を引き起こした命令と MEI レジスタの値 (2/2)

命令	REG	DS	U	RW	ITYPE
LD.BU (disp16)	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00001b
LD.H (disp16)	dst	1 (Half-word)	0 (Signed)	0 (Read)	00001b
LD.HU (disp16)	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00001b
LD.W (disp16)	dst	2 (Word)	0 (Signed)	0 (Read)	00001b
ST.B (disp16)	src	0 (Byte)	0 (Signed)	1 (Write)	00001b
ST.H (disp16)	src	1 (Half-word)	0 (Signed)	1 (Write)	00001b
ST.W (disp16)	src	2 (Word)	0 (Signed)	1 (Write)	00001b
LD.B (disp23)	dst	0 (Byte)	0 (Signed)	0 (Read)	00010b
LD.BU (disp23)	dst	0 (Byte)	1 (Unsigned)	0 (Read)	00010b
LD.H (disp23)	dst	1 (Half-word)	0 (Signed)	0 (Read)	00010b
LD.HU (disp23)	dst	1 (Half-word)	1 (Unsigned)	0 (Read)	00010b
LD.W (disp23)	dst	2 (Word)	0 (Signed)	0 (Read)	00010b
ST.B (disp23)	src	0 (Byte)	0 (Signed)	1 (Write)	00010b
ST.H (disp23)	src	1 (Half-word)	0 (Signed)	1 (Write)	00010b
ST.W (disp23)	src	2 (Word)	0 (Signed)	1 (Write)	00010b
LD.DW (disp23)	dst	3 (Double-word)	0 (Signed)	0 (Read)	00010b
ST.DW (disp23)	src	3 (Double-word)	0 (Signed)	1 (Write)	00010b
LDL.W	dst	2 (Word)	0 (Signed)	0 (Read)	00111b
STC.W	src	2 (Word)	0 (Signed)	1 (Write)	00111b
CAXI	dst	2 (Word)	1 (Unsigned)	0 (Read) 注1	01000b
SET1	—	0 (Byte)	1 (Unsigned)	0 (Read) 注1	01001b
CLR1	—	0 (Byte)	1 (Unsigned)	0 (Read) 注1	01001b
NOT1	—	0 (Byte)	1 (Unsigned)	0 (Read) 注1	01001b
TST1	—	0 (Byte)	1 (Unsigned)	0 (Read)	01001b
PREPARE	—	2 (Word)	1 (Unsigned)	1 (Write)	01100b
DISPOSE	—	2 (Word)	1 (Unsigned)	0 (Read)	01100b
PUSHSP	—	2 (Word)	1 (Unsigned)	1 (Write)	01101b
POPSP	—	2 (Word)	1 (Unsigned)	0 (Read)	01101b
SWITCH	—	1 (Half-word)	0 (Signed)	0 (Read)	10000b
CALLT	—	1 (Half-word)	1 (Unsigned)	0 (Read)	10001b
SYSCALL	—	2 (Word)	1 (Unsigned)	0 (Read)	10010b
CACHE	—	—	—	0/1 注2	10100b
割り込み (テーブル参照) 注3	—	2 (Word)	1 (Unsigned)	0 (Read)	10101b

注 1. リード時点で例外が発生します。

注 2. オペレーションに依存します。

注 3. テーブル参照方式の割り込みベクタ読み込み時

備考

dst : デスティネーションレジスタ番号、src : ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア (0) されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

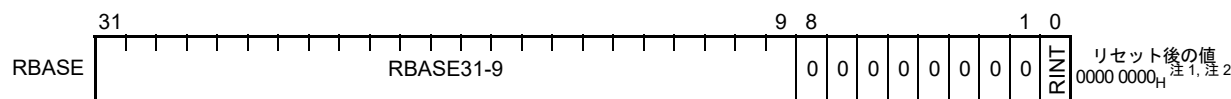


表 3.23 RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	RBASE31-9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。RBASE8-0 は、暗黙的に 0 が利用されます。	R	注 1
8 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「直接ベクタ方式」を参照してください。このビットは PSW.EBV = 0 のときに有効です。	R	注 2

注 1. 可変リセットベクタ機能の利用により異なります。詳細は「第 35 章 フラッシュメモリ」を参照してください。

注 2. 本製品では 0_B です。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット (1) されている場合に有効です。

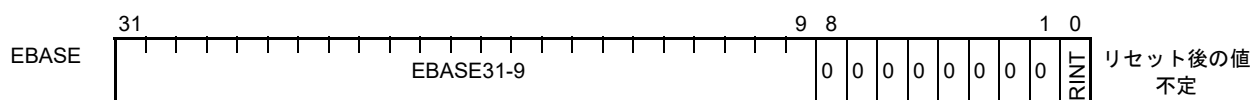


表 3.24 EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	EBASE31-9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。EBASE8-1 は、暗黙的に 0 が利用されます。	R/W	不定
8 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「直接ベクタ方式」を参照してください。	R/W	不定

(s) INTBP — 割り込みハンドラテーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、テーブル参照方式を選択した場合の、テーブルのベースアドレスを示すレジスタです。

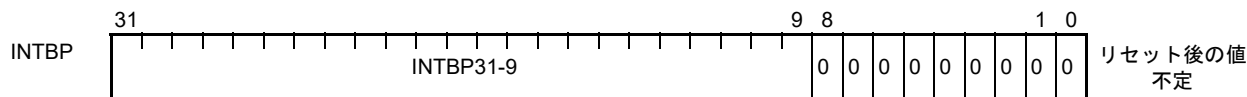


表 3.25 INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 9	INTBP31-9	割り込みのテーブル参照方式のベースポインタアドレスです。テーブル参照方式を指定した割り込み (EIINT0-511) 受け付け時の例外ハンドラ決定に利用するテーブルの先頭アドレスを示します。INTBP8-0は、暗黙的に0が利用されます。	R/W	不定
8 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

注意

PID レジスタは、搭載された CPU コア、および CPU コアのコンフィギュレーションを識別するための情報です。ソフトウェアの挙動を、PID レジスタの情報によって、動的に変化させるような利用方法を想定していません。

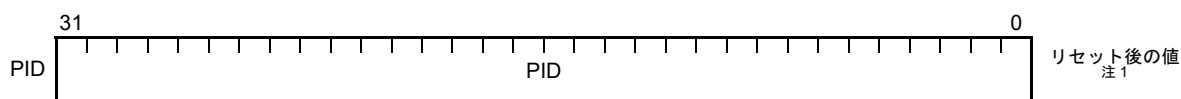


表 3.26 PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。	R	05 _H
23 ~ 8		機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載/非搭載を示します (1: 搭載、0: 非搭載)。 ビット 23-11: 予約 ビット 10: 倍精度浮動小数点演算機能 ビット 9: 単精度浮動小数点演算機能 ビット 8: メモリ保護機能 (MPU)	R	8007 _H
7 ~ 0		バージョン識別子 プロセッサのバージョンを示す識別子です。	R	03 _H

注 1. 本製品では 0580 0703_H です。

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

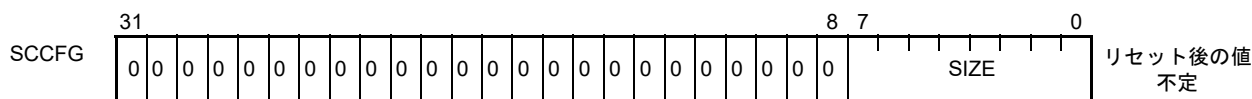


表 3.27 SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
7 ~ 0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL が参照する最大エントリ数は、SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。 最大エントリ数を越えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

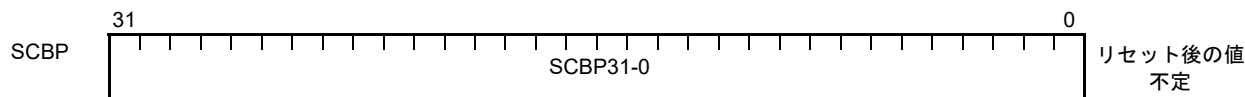


表 3.28 SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	SCBP31-2	SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1、0	SCBP1-0	SYSCALL 命令のベースポインタアドレスです。SYSCALL 命令で利用するテーブルの先頭アドレスを示します。常に 0 を設定してください。	R	0

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィギュレーションを表すレジスタです。

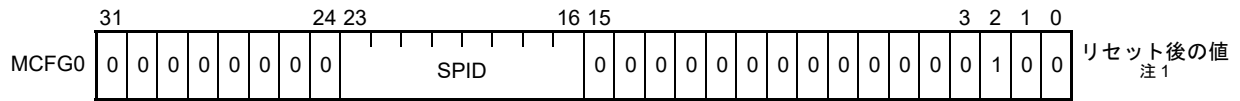


表 3.29 MCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
23 ~ 16	SPID	ビット 23 ~ 18 : 本製品では対応していません。(将来のための予約です。必ず0を設定してください) ビット 17、16 : システムプロテクション番号を示します。	R/W	注1
15 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	1
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0

注 1. 本製品の CPU1 (PE1) では 01_H です。

(x) MCTL — マシンの制御

CPU の制御を行うレジスタです。

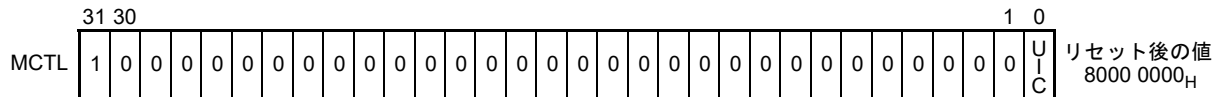


表 3.30 MCTL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	1
30 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
0	UIC	ユーザモードでの割り込み許可禁止操作を制御するビットです。このビットをセット (1) するとユーザモードでの EI/DI 命令の実行が可能になります。	R/W	0

(2) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINT_n の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

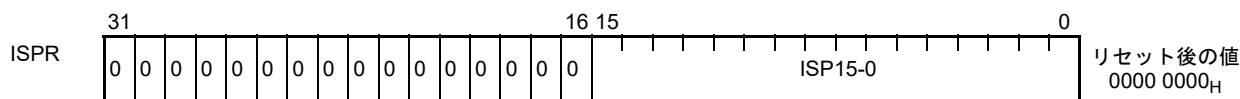


表 3.33 ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値												
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き替えてください。	R	0												
15 ~ 0	ISP15-0	<p>ビット位置に対応した優先度^{注1}の割り込み (EIINT_n) の受け付け状況を示します。</p> <p>0 : ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない</p> <p>1 : ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中</p> <p>各ビット位置が、次のように各優先度に対応しています。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット</th> <th>優先度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>優先度 0 (最高優先度)</td> </tr> <tr> <td>1</td> <td>優先度 1</td> </tr> <tr> <td colspan="2" style="text-align: center;">:</td> </tr> <tr> <td>14</td> <td>優先度 14</td> </tr> <tr> <td>15</td> <td>優先度 15</td> </tr> </tbody> </table> <p>割り込み (EIINT_n) 要求を受け付けた場合、受け付けた割り込み (EIINT_n) 要求に対応するビットが自動的にセット (1) されます。また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP15-0 でセット (1) されているビットのうち、最も高優先度 (0 が高優先度側) のビットがクリア (0) されます^{注2}。</p> <p>このビットがセット (1) されている間、その優先度以下の割り込み (EIINT_n) と FPI 例外^{注3} がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることはありません。詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「割り込みの例外優先度と優先度マスク」を参照してください。</p> <p>PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。</p>	ビット	優先度	0	優先度 0 (最高優先度)	1	優先度 1	:		14	優先度 14	15	優先度 15	R ^{注4}	0
ビット	優先度															
0	優先度 0 (最高優先度)															
1	優先度 1															
:																
14	優先度 14															
15	優先度 15															

注 1. 詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の「割り込みの例外優先度と優先度マスク」を参照してください。

注 2. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注 3. FPI 例外は、割り込み (EIINT_n) と同一の優先レベルであるため、割り込みと同様に ISPR の影響を受けません。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注 4. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(5) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

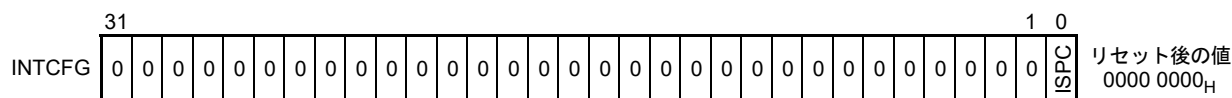


表 3.36 INTCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
0	ISPC	<p>ISPR レジスタの書き込み変更方法を設定するビットです。</p> <p>0 : ISPR を自動的に更新します。プログラムによる更新 (LDSR) を無視します。</p> <p>1 : ISPR を自動的に更新しません。プログラムによる更新 (LDSR) が行えます。</p> <p>このビットがクリア (0) されている場合、ISPR レジスタの各ビットは割り込み (EIINTn) の受け付けにより自動的にセット (1)、EIRET 命令の実行によって自動的にクリア (0) が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。</p> <p>このビットがセット (1) されている場合、ISPR レジスタの各ビットは割り込み (EIINTn) の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。</p> <p>通常 ISPC ビットはクリア (0) した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット (1) し、PMR レジスタによる優先度管理を行ってください。</p>	R/W	0

(4) FPU 機能レジスタ

(a) 浮動小数点レジスタ

FPU は CPU の汎用レジスタ (r0-r31) を使用します。浮動小数点演算専用のレジスタファイルはありません。

- 単精度浮動小数点演算命令：
32 個の 32 ビットレジスタを指定できます。これは汎用レジスタの r0-r31 に相当します。
- 倍精度浮動小数点演算命令：
16 個の 64 ビットレジスタを指定できます。これは汎用レジスタを 1 対ずつ使用するレジスタペア ({r1, r0}, {r3, r2} ... {r31, r30}) に相当します。レジスタペアは命令形式上、偶数レジスタで指定します。r0 がゼロレジスタ (常に 0 を保持) であるので、原則として {r1, r0} は倍精度浮動小数点演算命令では使用すべきではありません。

(b) 浮動小数点機能システムレジスタ

FPU では浮動小数点演算制御のために以下のシステムレジスタが使用できます。浮動小数点機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。レジスタの詳細は「RH850G3M ユーザーズマニュアル ソフトウェア編」の「浮動小数点機能システム・レジスタ」を参照してください。

表 3.37 FPU 機能システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR6, 0	FPSR	浮動小数点演算の設定/ステータス	CU0 かつ SV
SR7, 0	FPEPC	浮動小数点演算例外プログラムカウンタ	CU0 かつ SV
SR8, 0	FPST	浮動小数点のステータス	CU0
SR9, 0	FPCC	浮動小数点演算の比較結果	CU0
SR10, 0	FPCFG	浮動小数点機能の設定	CU0
SR11, 0	FPEC	浮動小数点演算例外の制御	CU0 かつ SV

(5) MPU 機能レジスタ

(a) MPU 機能システムレジスタ

MPU 機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.38 MPU 機能システムレジスタ一覧 (1/2)

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR0, 5	MPM	メモリ保護動作モードの設定	SV
SR1, 5	MPRC	MPU リージョン制御	SV
SR4, 5	MPBRGN	MPU ベースリージョン番号	SV
SR5, 5	MPTRGN	MPU 終端リージョン番号	SV
SR8, 5	MCA	メモリ保護設定チェックアドレス	SV
SR9, 5	MCS	メモリ保護設定チェックサイズ	SV
SR10, 5	MCC	メモリ保護設定チェックコマンド	SV
SR11, 5	MCR	メモリ保護設定チェック結果	SV
SR0, 6	MPLA0	保護領域の下限アドレス	SV
SR1, 6	MPUA0	保護領域の上限アドレス	SV
SR2, 6	MPAT0	保護領域の属性	SV
SR4, 6	MPLA1	保護領域の下限アドレス	SV
SR5, 6	MPUA1	保護領域の上限アドレス	SV
SR6, 6	MPAT1	保護領域の属性	SV
SR8, 6	MPLA2	保護領域の下限アドレス	SV
SR9, 6	MPUA2	保護領域の上限アドレス	SV
SR10, 6	MPAT2	保護領域の属性	SV
SR12, 6	MPLA3	保護領域の下限アドレス	SV
SR13, 6	MPUA3	保護領域の上限アドレス	SV
SR14, 6	MPAT3	保護領域の属性	SV
SR16, 6	MPLA4	保護領域の下限アドレス	SV
SR17, 6	MPUA4	保護領域の上限アドレス	SV
SR18, 6	MPAT4	保護領域の属性	SV
SR20, 6	MPLA5	保護領域の下限アドレス	SV
SR21, 6	MPUA5	保護領域の上限アドレス	SV
SR22, 6	MPAT5	保護領域の属性	SV
SR24, 6	MPLA6	保護領域の下限アドレス	SV
SR25, 6	MPUA6	保護領域の上限アドレス	SV
SR26, 6	MPAT6	保護領域の属性	SV
SR28, 6	MPLA7	保護領域の下限アドレス	SV
SR29, 6	MPUA7	保護領域の上限アドレス	SV
SR30, 6	MPAT7	保護領域の属性	SV
SR0, 7	MPLA8	保護領域の下限アドレス	SV
SR1, 7	MPUA8	保護領域の上限アドレス	SV
SR2, 7	MPAT8	保護領域の属性	SV
SR4, 7	MPLA9	保護領域の下限アドレス	SV
SR5, 7	MPUA9	保護領域の上限アドレス	SV
SR6, 7	MPAT9	保護領域の属性	SV

表 3.38 MPU 機能システムレジスタ一覧 (2/2)

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR8, 7	MPLA10	保護領域の下限アドレス	SV
SR9, 7	MPUA10	保護領域の上限アドレス	SV
SR10, 7	MPAT10	保護領域の属性	SV
SR12, 7	MPLA11	保護領域の下限アドレス	SV
SR13, 7	MPUA11	保護領域の上限アドレス	SV
SR14, 7	MPAT11	保護領域の属性	SV

注 1. 搭載されている MPLAn、MPUAn、MPATn レジスタの数は、製品によって異なります。本製品の保護領域数は 12 (n = 0 ~ 11) です。

(1) MPM — メモリ保護動作モード

メモリ保護モードレジスタはメモリ保護機能の基本的な動作状態を決定します。

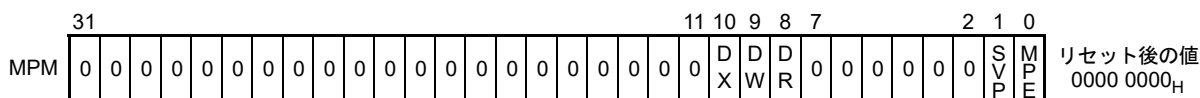


表 3.39 MPM レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
10	DX	本製品では対応していません。 (将来のための予約です。必ず 0 を設定してください)	R	0
9	DW	本製品では対応していません。 (将来のための予約です。必ず 0 を設定してください)	R	0
8	DR	本製品では対応していません。 (将来のための予約です。必ず 0 を設定してください)	R	0
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
1	SVP	SV モード (PSW.UM = 0) 時に、各保護領域ごとに MPAT レジスタの SX、SW、SR にしたがってアクセス制限を行うかどうかを指定します。注 ¹ 0: 従来どおり、SV モードでは、暗黙的にすべてのアクセスは許可とします。 1: SV モードであっても、SX、SW、SR ビットにしたがってアクセス制限を行います。注 ²	R/W	0
0	MPE	MPU 機能の有効/無効を指定します。 0: 無効 1: 有効	R/W	0

- 注 1. SVP ビットをセット (1) すると、SV モードであっても各保護領域ごとの設定にしたがってアクセス制限が課されるようになります。このため、SVP ビットをセットするプログラム自身がアクセス制限されることがないように、あらかじめ保護領域の設定を行ってください。
- 注 2. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(2) MPRC — MPU リージョン制御

メモリ保護機能の特殊操作を行うビットが配置されたレジスタです。

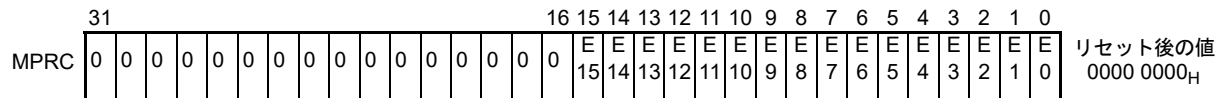


表 3.40 MPRC レジスタの内容

ビット	名称	機能	R/W	リセット後の値
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
15 ~ 12	E15-E12	本製品では対応していません。 (将来のための予約です。必ず0を設定してください)	R	0
11 ~ 0	E11-E0	各保護領域の Enable ビットです。En ビットが MPATn.E ビットの写像です (n = 11 ~ 0)。本製品の保護領域数は 12 です。	R/W	0

(3) MPBRGN — MPU ベースリージョン

利用可能な MPU 領域の最小番号を示します。

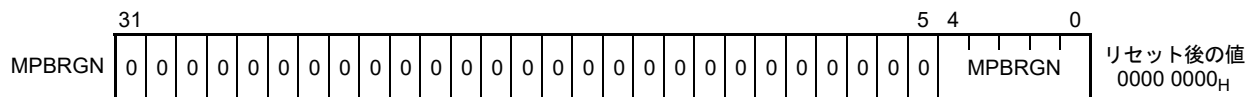


表 3.41 MPBRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。	R	0
4 ~ 0	MPBRGN	MPU 領域の一番小さい番号を示します。 常に0を示します。	R	0

(4) MPTRGN — MPU 終端リージョン

利用可能な MPU 領域の最大番号+1を示します。

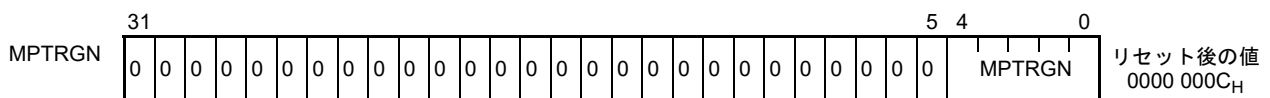


表 3.42 MPTRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。	R	0
4 ~ 0	MPTRGN	MPU 領域の一番大きい番号+1を示します。 常にハードウェアが搭載する MPU 領域の最大数 を示します。本製品の保護領域数は 12 です。	R	12

(5) MCA — メモリ保護設定チェックアドレス

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

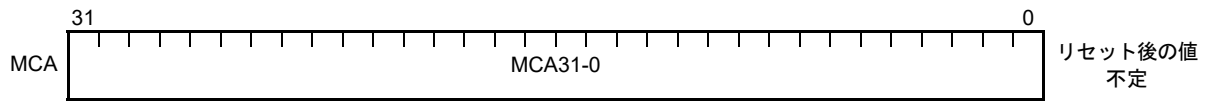


表 3.43 MCA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MCA31-MCA0	メモリ保護設定のチェックを行う対象のメモリ領域の先頭アドレスをバイト単位で指定します。	R/W	不定

(6) MCS — メモリ保護設定チェックサイズ

メモリ保護設定のチェックを行う領域のサイズを指定します。

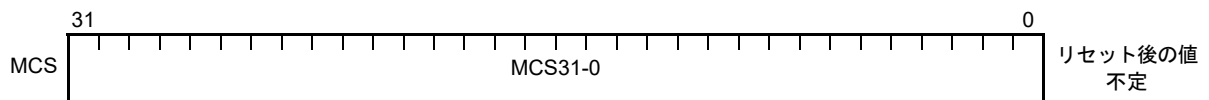


表 3.44 MCS レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MCS31-MCS0	メモリ保護設定のチェックを行う対象のメモリ領域のサイズを指定する、対象領域のサイズをバイト単位で指定します。指定されたサイズは符号なしの整数として扱うため、MCA レジスタの値からアドレス値が減少する方向へ領域のチェックを行うことができません。MCS レジスタには 0000 0000 _H を設定しないでください。	R/W	不定

(7) MCC — メモリ保護設定チェックコマンド

メモリ保護設定のチェックを開始するためのコマンド・レジスタです。

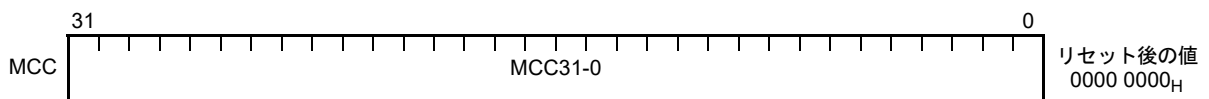


表 3.45 MCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	MCC31-MCC0	MCC レジスタへの任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。任意の書き込み値で、チェックを開始するため、r0 をソース・レジスタとして、余分なレジスタを使用することなく、チェックを開始できます。また、チェックは、PSW.UIM ビットの状態にかかわらず、各領域設定にしたがった結果を反映します。MCC レジスタからの読み出し値は、常に 0000 0000 _H となります。	R/W	0

(8) MCR — メモリ保護設定チェック結果

メモリ保護設定のチェックの結果を格納するレジスタです。

ビット 31～9、7、6 には、必ず 0 を設定してください。

注 意

1. チェック対象の領域の指定が 0000 0000_H をまたぐ場合、領域指定が誤っていると判断し、MCR.OV ビットがセット（1）されます。このため、チェック結果を参照する場合には、必ず MCR.OV ビットを確認し、結果が不正でないことを確認（OV = 0 であることを確認）してから、その他のチェック結果を利用してください。
2. デフォルト設定（MPM.DX, DW, DR）をセット（1）している場合、正しい結果が得られない場合があります。デフォルトを許可にする場合、メモリ保護設定チェック機能は利用しないで下さい。

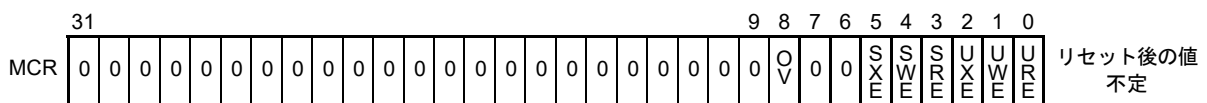


表 3.46 MCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
8	OV	指定された領域が 0000 0000 _H または、7FFF FFFF _H をまたがる場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
5	SXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザ実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
4	SWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザライト許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
3	SRE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパーバイザリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
2	UXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモード実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
1	UWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモードライト許可であった場合に、1 が格納されます。それ以外の場合は 0 が格納されます。	R/W	不定
0	URE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザーモードリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定

(9) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです ($n=0 \sim 11$)。本製品の保護領域数は 12 です。

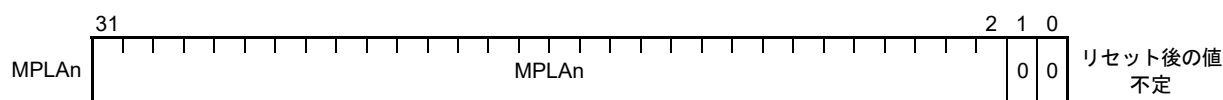


表 3.47 MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	MPLA31-2	領域 n の下限アドレスを示します。 MPLAn.MPLA1-0 は暗黙的に 0 を使用します。	R/W	不定
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0

(10) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです ($n=0 \sim 11$)。本製品の保護領域数は 12 です。

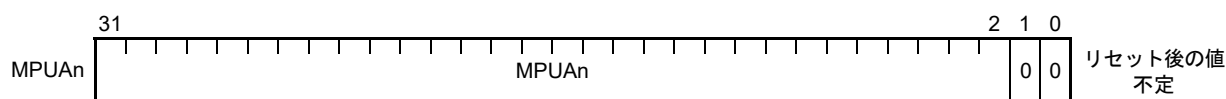


表 3.48 MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	MPUA31-2	領域 n の上限アドレスを示します。 MPUAn.MPUA1-0 は暗黙的に 1 を使用します。	R/W	不定
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0

(11) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです (n = 0 ~ 11)。本製品の保護領域数は 12 です。

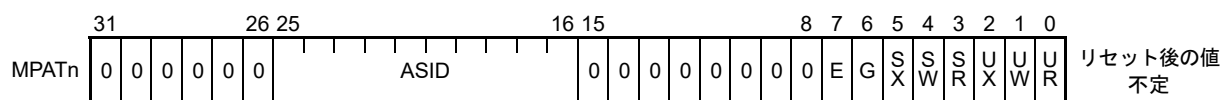


表 3.49 MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
25 ~ 16	ASID	領域一致の条件として利用する ASID の値を示します。	R/W	不定
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
7	E	領域 n の有効/無効を示します。 0: 領域 n を無効とする 1: 領域 n を有効とする	R/W	0
6	G	0: ASID 一致を条件とする 1: ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。	R/W	不定
5	SX	スーパーバイザモードでの実行権を示します ^{注1} 。 0: 実行禁止 1: 実行許可	R/W	不定
4	SW	スーパーバイザモードでの書き込み許可を示します ^{注1} 。 0: 書き込み禁止 1: 書き込み許可	R/W	不定
3	SR	スーパーバイザモードでの読み出し許可を示します ^{注1} 。 0: 読み出し禁止 1: 読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0: 実行禁止 1: 実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0: 書き込み禁止 1: 書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0: 読み出し禁止 1: 読み出し許可	R/W	不定

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ**(a) キャッシュ制御機能システムレジスタ**

キャッシュ制御機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.50 キャッシュ制御システムレジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR16, 4	ICTAGL	命令キャッシュタグ Lo アクセス	SV
SR17, 4	ICTAGH	命令キャッシュタグ Hi アクセス	SV
SR18, 4	ICDATL	命令キャッシュデータ Lo アクセス	SV
SR19, 4	ICDATH	命令キャッシュデータ Hi アクセス	SV
SR24, 4	ICCTRL	命令キャッシュ制御	SV
SR26, 4	ICCFG	命令キャッシュコンフィグ	SV
SR28, 4	ICERR	命令キャッシュエラー	SV

(1) ICTAGL — 命令キャッシュタグ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。



表 3.51 ICTAGL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 10	LPN	物理ページ番号のビット 24 ~ 11 を保持します。 ビット 31 ~ 25、10 には必ず 0 を設定してください。	R/W	不定
9 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
5、4	LRU	指定したキャッシュラインの LRU 情報を示します。LRU 情報は CIST 命令で任意の値に変更することはできません。	R/W	不定
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
2	L	ロック情報を保持します。	R/W	不定
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
0	V	指定したキャッシュラインの有効/無効情報を保持します。	R/W	不定

(2) ICTAGH — 命令キャッシュタグ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

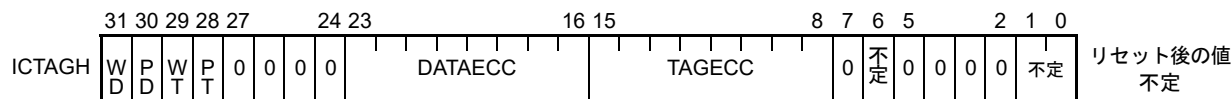


表 3.52 ICTAGH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	WD	CIST の実行時にセット (1) しておくでキャッシュのデータ RAM を更新します。	R/W	不定
30	PD	CIST の実行時にセット (1) しておくで DATAECC フィールドの値をデータ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
29	WT	CIST の実行時にセット (1) しておくでキャッシュのタグ RAM を更新します。	R/W	不定
28	PT	CIST の実行時にをセット (1) しておくで TAGECC フィールドの値をタグ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
27 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
23 ~ 16	DATAECC	データ RAM の ECC を保持します。	R/W	不定
15 ~ 8	TAGECC	タグ RAM の ECC を保持します。 ビット 15 には 0 を書き込んでください。	R/W	不定
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
6	予約ビット	リードした場合は不定値が読めます。ライトする場合は "0" を書いてください。	R	不定
5 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
1, 0	予約ビット	リードした場合は不定値が読めます。ライトする場合は "0" を書いてください。	R	不定

(3) ICDATL — 命令キャッシュデータ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

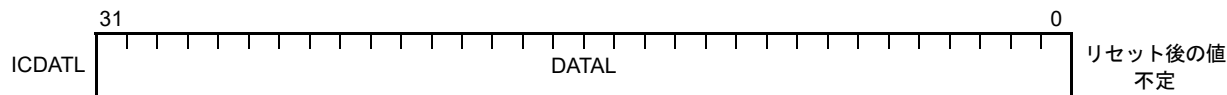


表 3.53 ICDATL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	DATAL	指定したキャッシュライン内ブロックの命令データのうちビット 31 ~ 0、または ビット 95 ~ 64 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 0000 : ビット 31 ~ 0 インデックスの Offset = 1000 : ビット 95 ~ 64	R/W	不定

(4) ICDATH — 命令キャッシュデータ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

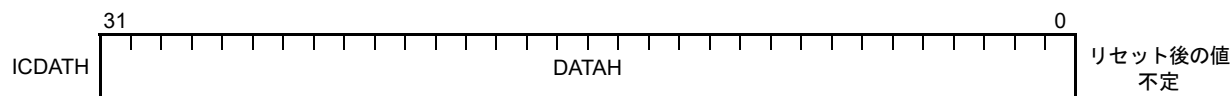


表 3.54 ICDATH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 0	DATAH	指定したキャッシュライン内ブロックの命令データのうちビット 63 ~ 32、または ビット 127 ~ 96 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 0000 : ビット 63 ~ 32 インデックスの Offset = 1000 : ビット 127 ~ 96	R/W	不定

(5) ICCTRL — 命令キャッシュ制御

命令キャッシュの制御を行うレジスタです。

	31	18 17 16 15															9 8 7	3 2 1 0																		
ICCTRL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D1EIV	1	0	0	0	0	0	0	0	0	ICHCLR	0	0	0	0	0	ICHEIV	ICHEMK	ICHEN	リセット後の値 0001 0003 _H

表 3.55 ICCTRL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
17	D1EIV	データ RAM 1 ビットエラー発生時の動作を選択します。 0 : エラー訂正後、処理を続行します。 ただし、当該エントリはエラーを含んだまま保持となります。 1 : エラー訂正はせず、当該エントリをクリアし再フェッチします。 このビットを設定してから実際に命令キャッシュに反映されるまで、このビットのリード値は設定前の値となります。	R/W	0
16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	1
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
8	ICHCLR	セット (1) すると命令キャッシュを一括でクリアします。本ビットに 1 を設定後、クリアを完了するまではこのビットのリード値は 1 になります。クリア完了後、このビットのリード値は 0 になります。	R/W	0
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
2	ICHEIV	セット (1) するとキャッシュエラーの発生時に自動的に命令キャッシュを無効 (ICHEN ビットを 0 にします) にします。	R/W	0
1	ICHEMK	セット (1) するとキャッシュエラーの発生時に CPU に対するキャッシュエラー例外の通知をマスクします。	R/W	1
0	ICHEN	命令キャッシュの有効/無効を示します。 0 : 命令キャッシュは無効 1 : 命令キャッシュは有効 このビットを設定してから実際に命令キャッシュに反映されるまで、このビットのリード値は設定前の値となります。	R/W	1

(6) ICCFG — 命令キャッシュコンフィグ

命令キャッシュの構成を示すレジスタです。

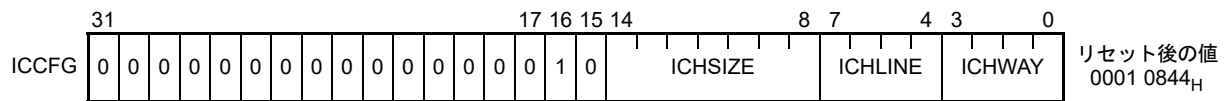


表 3.56 ICCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。	R	0
16	予約ビット	リードした場合はリセット後の値が読めます。	R	1
15	予約ビット	リードした場合はリセット後の値が読めます。	R	0
14 ~ 8	ICHSIZE	命令キャッシュの容量 (K バイト) を示します。本製品では 8K バイトです。 000 1000 : 8 K バイト	R	08 _H
7 ~ 4	ICHLINE	命令キャッシュの 1way あたりのライン数を示します。本製品では 128 ラインです。 0100 : 128 ライン	R	4 _H
3 ~ 0	ICHWAY	命令キャッシュの way 数を示します。本製品では 4way です。 0100 : 4way	R	4 _H

(7) ICERR — 命令キャッシュエラー

命令キャッシュのキャッシュエラー情報を格納するレジスタです。

ICHERR ビットがセット (1) されたあとは、それが明示的にクリア (0) されるまで後続で発生するキャッシュエラー情報は格納されません。

また、CILD 命令によるキャッシュ操作時は ICERR レジスタの更新は行われません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12							5	4	3	2	1	0		
ICERR	CISTW	0	ESMH	ESPBSE	ESTE1	ESTE2	ESDC	ESDE	0	0	ERMMH	ERMPSSE	ERMTE1	ERMTE2	ERMDC	ERMDE	0	ICHEWY																ICHERR

リセット後の値
不定

表 3.57 ICERR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	CISTW	CISTI 実行後、書き込み先 WAY 指定に不正があったことを示します。書き込みは完了するためエントリ情報は上書きされますが、当該キャッシュラインのリード時に V ビットがクリアされます。(ミス判定扱い)。本ビットから CPU への例外通知は行われません。	R/W	0
30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。	R	0
29	ESMH	エラーステータス：マルチヒット	R/W	不定
28	ESPBSE	エラーステータス：WAY エラー	R/W	不定
27	ESTE1	エラーステータス：タグ RAM 1bit エラー	R/W	不定
26	ESTE2	エラーステータス：タグ RAM 2bits エラー	R/W	不定
25	ESDC	エラーステータス：データ RAM 1bit 訂正	R/W	不定
24	ESDE	エラーステータス：データ RAM 2bits エラー	R/W	不定
23, 22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。	R	0
21	ERMMH	エラー例外通知マスク：マルチヒット	R/W	0
20	ERMPSSE	エラー例外通知マスク：WAY エラー	R/W	0
19	ERMTE1	エラー例外通知マスク：タグ RAM 1bit エラー	R/W	0
18	ERMTE2	エラー例外通知マスク：タグ RAM 2bits エラー	R/W	0
17	ERMDC	エラー例外通知マスク：データ RAM 1bit 訂正	R/W	0
16	ERMDE	エラー例外通知マスク：データ RAM 2bits エラー	R/W	0
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。	R	0
14, 13	ICHEWY	キャッシュエラーが発生した way 番号を保持します。	R/W	不定
12 ~ 5	ICHEIX	キャッシュエラーが発生したキャッシュインデックスを保持します。	R/W	不定
4	ICHERQ	1 の場合はキャッシュエラー例外を通知中であることを示します。ただしキャッシュエラー例外の通知がマスクされている場合はセット (1) されていても CPU への通知は行われません。	R/W	0
3	ICHED	データ RAM でエラーが発生したことを示します。	R/W	0
2	ICHET	タグ RAM でエラーが発生したことを示します。	R/W	0
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。	R	0
0	ICHERR	キャッシュエラーが発生するとセット (1) されます。	R/W	0

(7) データバッファ操作機能レジスタ

(a) データバッファ制御機能システムレジスタ

データバッファ制御機能システムレジスタへのリード/ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.58 データバッファ操作機能レジスタ一覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR24, 13	CDBCR	データバッファ制御レジスタ	SV

(1) CDBCR — データバッファ制御レジスタ

データバッファを制御するためのレジスタです。

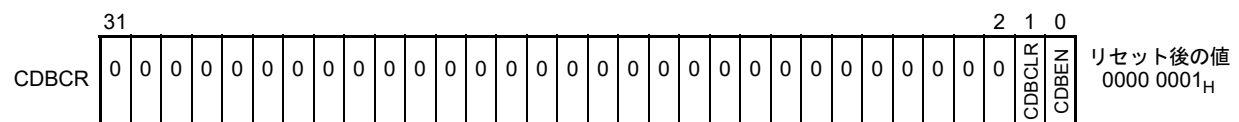


表 3.59 CDBCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
1	CDBCLR	セット(1)するとデータバッファを一括クリアします。このビットは常に0が読み出されます。	W	0
0	CDBEN	データバッファの有効/無効を指定します。 0：データバッファは無効 1：データバッファは有効	R/W	1

3.2.2 命令キャッシュ、データバッファ

3.2.2.1 特長

CPU1 と Code Flash 間に、8K バイト 4Way セットアソシアティブの命令キャッシュを搭載しています。命令キャッシュと Code Flash 間は 128 ビットの専用バスで接続されており、キャッシュミスヒット時のペナルティを最小にします。また、CPU1 と Code Flash 間にデータバッファを搭載しており、高速なデータアクセスが可能です。アドレス空間上、0000 0000_H ~ 01FF FFFF_H の 32MB 領域が、命令キャッシュおよびデータバッファ対象です。

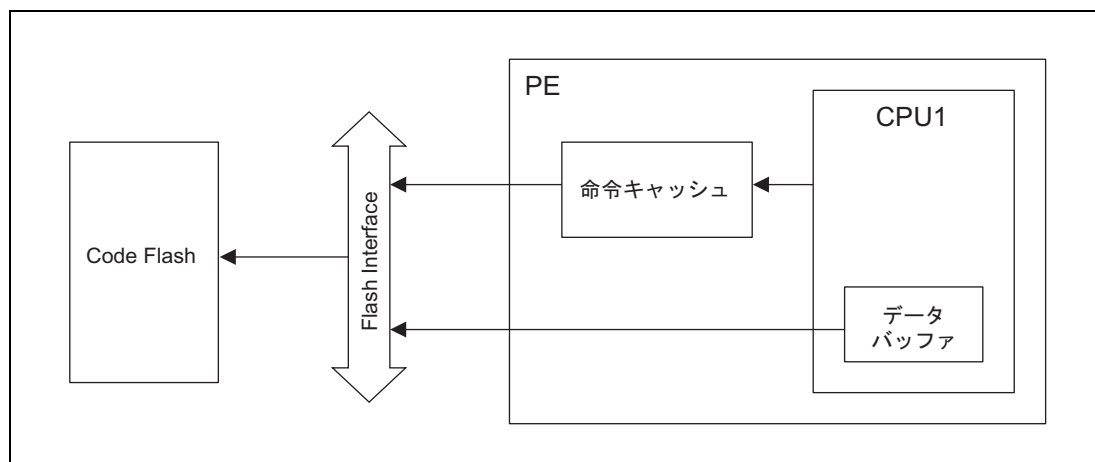


図 3.2 命令キャッシュ、データバッファ

3.2.2.2 命令キャッシュ機能

8K バイト 4Way セットアソシアティブキャッシュは、1 ラインが 4 ワードの 128 エントリのブロックで構成された Way が 4 枚で、合計 8K バイトの容量です。Way は 2 つのグループに分かれており、Way0、Way1 が Way グループ 0、Way2、Way3 が Way グループ 1 です。アクセス対象のアドレス情報をデコードし、使用する Way グループを選択します。キャッシュミスが発生した場合は、LRU による入れ替えアルゴリズムにより 1 ライン単位のリフィルを行います。Code Flash 領域への命令フェッチアクセスがキャッシュ対象です。

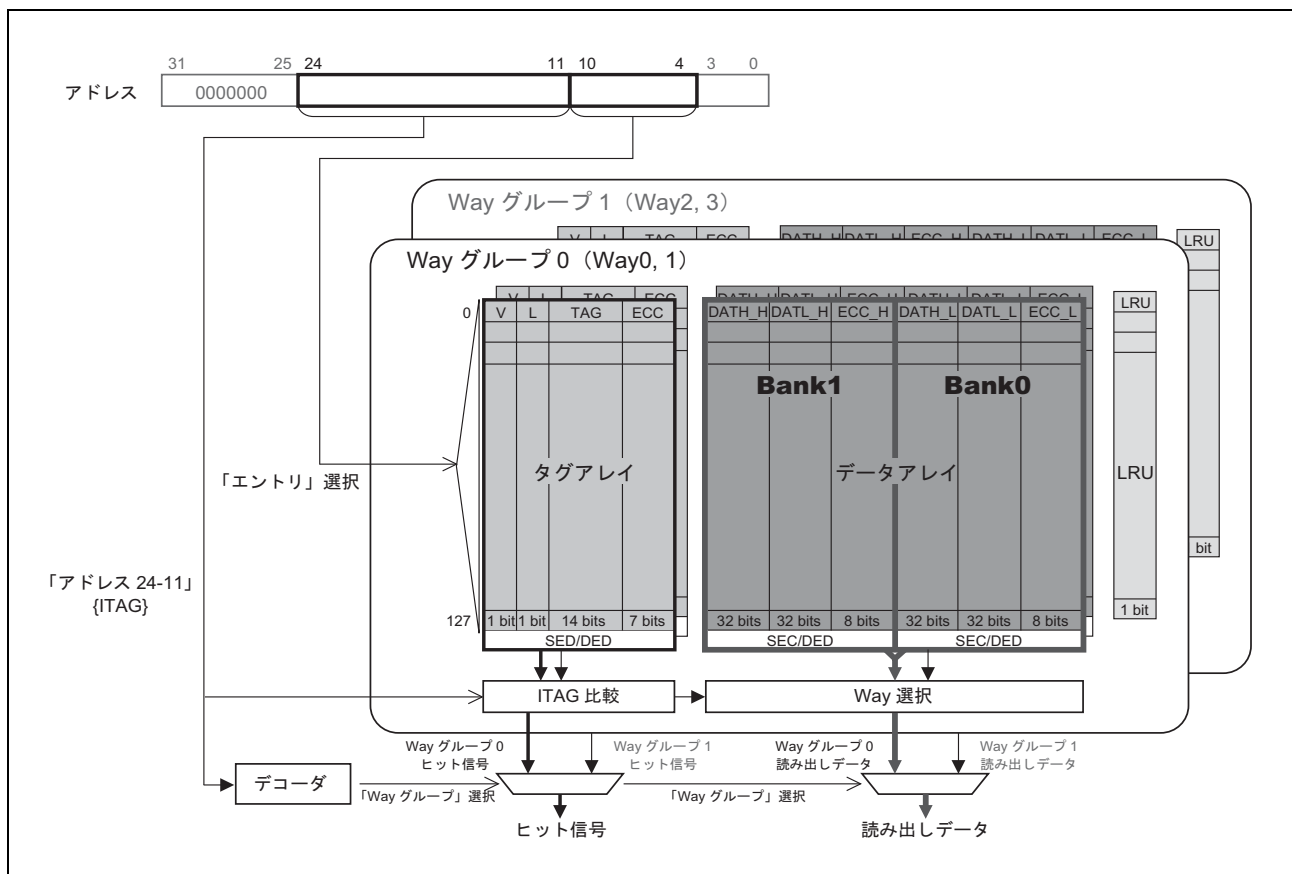


図 3.3 命令キャッシュの構成

タグアレイ

V ビット	キャッシュラインに有効なデータが格納されているか否かを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはリセットで 0 に初期化されます。
L ビット	キャッシュラインがロック状態か否かを示します。このビットが 1 のとき、そのキャッシュラインはロック状態であり、新たなデータで置換されることはありません。L ビットは V ビットが 1 のときのみ有効であり、リセットで初期化されません。
TAG	キャッシュされるデータラインの操作アドレス 32 ビットのうち、ビット 24 ~ 11 を格納します。TAG はリセットで初期化されません。
ECC	タグアレイの ECC を格納します。ECC はリセットで初期化されません。

データアレイ

DATH_H、DATH_L、 DATH_L、DATH_L	キャッシュラインのデータ 128 ビットを 32 ビットごとに格納します。DATH_H に ビット 127 ~ 96、DATH_L に ビット 95 ~ 64、DATH_L に ビット 63 ~ 32、DATH_L に ビット 31 ~ 0 を格納します。CACHE 命令の CIST/CILD 操作において、DATH_H、DATH_L については「ICDATH レジスタ」を、DATH_H、DATH_L については「ICDATH レジスタ」を経由します。
ECC_H、ECC_L	データの [127:64] の ECC を ECC_H に、[63:0] の ECC を ECC_L に格納します。

LRU

LRU	Way グループ内での LRU 情報を格納します。LRU はリセットで初期化されます。
-----	---

注意

CIST 命令で命令キャッシュのタグアレイにテストデータをライトしてから該当ラインを命令フェッチする場合、タグ情報は WAY グループ単位でライトしてください。例えば、WAY グループ 0 の WAY0 側のあるラインにタグ情報をライトする場合、WAY1 側の同一ラインのタグ情報もライトしてから、命令フェッチしてください。

- WAY グループ 0 (WAY0,1) にライトする場合、ICTAGL.LPN ビットの排他的論理和が 0 になる値をライトしてください。
- WAY グループ 1 (WAY2,3) にライトする場合、ICTAGL.LPN ビットの排他的論理和が 1 になる値をライトしてください。

なお、タグアレイに上記以外の値をライトして命令フェッチすると、WAY エラーが発生し ICERR.ESPBSE ビットに 1 がセットされます。また、WAY グループ内の 2 つの WAY の同一ラインに同じタグ情報をライトして命令フェッチすると、マルチヒットエラーが発生し ICERR.ESMH ビットに 1 がセットされます。

3.2.2.3 データバッファ機能

データバッファとして、1 ラインあたり 128 ビットのバッファを、4 ライン搭載しています。Code Flash からリードされる 128 ビット単位のデータを、データバッファに格納します。次回以降、同一アドレスにアクセスした場合、データバッファから読み出すため、Code Flash へのアクセスは発生しません。

3.2.3 信頼性機能

3.2.3.1 PE ガード機能 (PEG)

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから PE 内資源への不正なアクセスを防止します。PE 内部の Local RAM へのアクセスが対象です。リセット初期状態では、自 PE 以外のマスタからのアクセスをすべてガードします。「(3) PEG 保護設定レジスタ一覧」のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

(1) PE ガード違反の検出

PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと「PE ガード違反」として検出します。

(2) 不正アクセスの阻止

PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。

(3) 違反発生の通知

PE ガード違反を検出した場合、ECM に通知します。また、DMAC や DTS が不正アクセスを実行した場合は、DMA 転送エラーが検出されます。

(2) SPID による保護

- PEG 保護設定
 - 自 PE の LocalRAM アドレスによって 4 領域まで設定できます。
 - 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います（最小 4KB ～最大 4GB）。
 - 各領域に対して「リード許可」、「ライト許可」をそれぞれ設定できます。
 - 各領域に対して「システム保護識別子 (SPID)」ごとに許可／禁止を選択できます。
- 「システム保護識別子 (SPID)」によるアクセス許可 (図 3.4 を参照)
 1. アクセス対象が「有効な 領域 0 ～ 3」のどれかの範囲内であれば 2 へ。
さもなければ「エラー応答」を返します。
 2. 該当領域に対して以下の条件すべてを満たすか
 - 「システム保護識別子 (SPID)」が許可
 - 「要求されている操作 (リード、ライト)」が許可さもなければ「エラー応答」を返します。

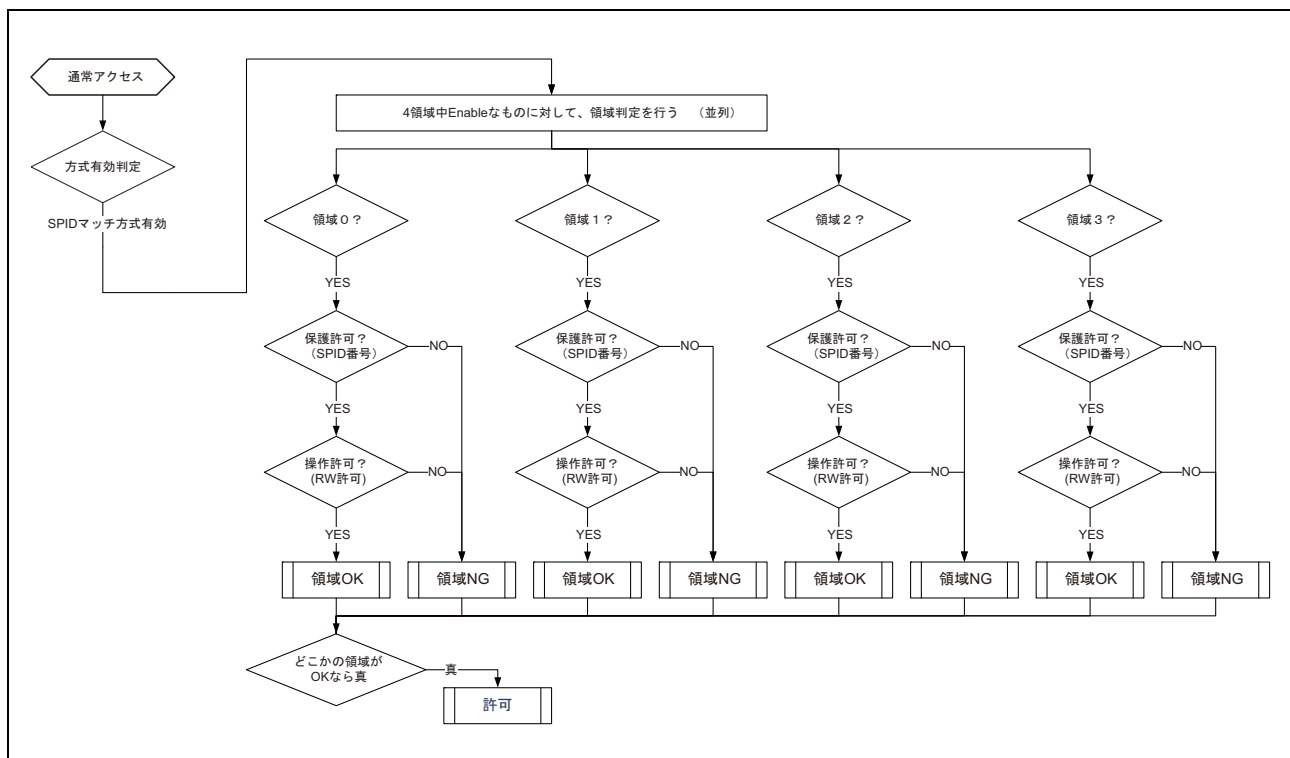


図 3.4 システム保護識別子 (SPID) によるアクセス許可

(3) PEG 保護設定レジスタ一覧

外部マスタによる不正アクセスから PE 内資源を保護するには、以下のレジスタに必要な設定を行います。

- PE 内部の Local RAM へのアクセスを検出対象として許可を与えます。
- レジスタ・セットへのアクセスに対しては、PEG 機能独自にアクセス制限を実施していません。必要に応じて IPG などによるアクセス保護設定を行なってください。
- PEG 保護設定は以下の手順によって可能となります。(n = 0 ~ 3)
 - PEGGnMK — PE ガード領域 n マスク設定レジスタを設定する。
 - PEGGnBA — PE ガード領域 n ベース設定レジスタを設定する。

表 3.60 レジスタ一覧

アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後 の値
						1	8	16	32	
+00C _H	2	PE ガード SPID マスタ判定制御レジスタ	PEGSP	—	R/W	—	○	○	—	0000 _H
+080 _H	4	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	0000 0000 _H
+084 _H	4	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	0000 0000 _H
+090 _H	4	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	0000 0000 _H
+094 _H	4	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	0000 0000 _H
+0A0 _H	4	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	0000 0000 _H
+0A4 _H	4	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	0000 0000 _H
+0B0 _H	4	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	0000 0000 _H
+0B4 _H	4	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	0000 0000 _H

備考 ベースアドレス : FFFE E600_H

(4) レジスタセット**(a) PEGSP — PE ガード SPID マスタ判定制御レジスタ**

外部マスタから PE 内資源へのアクセス許可設定を有効にするレジスタです。SPEN ビットの初期状態は 0 であり、外部マスタから PE 内資源へのアクセスはできません。SPEN ビットに 1 をセットすると、PEGGnMK と PEGGnBA で設定した条件で、外部マスタからのアクセスを許可します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 3.61 PEGSP レジスタの内容

ビット位置	ビット名	機能
15 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SPEN	SPID を持つ外部マスタによるアクセスの検出を有効にします。 0 : SPID を持つ外部マスタによるアクセスの検出は無効です。 1 : SPID を持つ外部マスタによるアクセスの検出は有効です。

(b) PEGGnMK — PE ガード領域 n マスク設定レジスタ

PE ガード保護領域 n の範囲を、PEGGnBA レジスタとの組み合わせで指定するレジスタです。GnMASK ビットに 1 をセットすると、PEGGnBA レジスタの対応するアドレスビットがマスクされ、PE ガード保護領域 n の範囲内に指定できます。なお、PE ガード保護領域 n の最小設定単位は 4KB です。

例：PEGGnBA[31:12] = FEBF6_H, PEGGnMK[31:12] = 00008_H に設定した場合、PE ガード保護領域 n は FEBF6000_H ~ FEBF6FFF_H と FEBFE000_H ~ FEBFEFFF_H になります。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnMASK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnMASK				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 3.62 PEGGnMK レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	GnMASK	PE ガード保護領域 n の範囲を指定するベースアドレス PEGGnBA[31:12] に対するマスク有無を設定します。 0: 対象となるアドレスビットは、PE ガード領域判定時の比較対象 1: 対象となるアドレスビットは、PE ガード領域判定時の比較対象外
11 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(c) PEGGnBA — PE ガード領域 n ベース設定レジスタ

PE ガード保護領域 n の範囲を PEGGnMK レジスタとの組み合わせで指定し、その領域内に対するアクセス許可条件を設定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnBASE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnBASE				—	—	—	—	GnSP3	GnSP2	GnSP1	GnSP0	—	GnWR	GnRD	GnEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 3.63 PEGGnBA レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	GnBASE	PE ガード保護領域 n の範囲を指定するベースアドレスを設定します。
11 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	GnSP3	PE ガード保護領域 n に対する SPID = 3 の外部マスタによるアクセス許可を設定します。 0: SPID = 3 の外部マスタからのアクセスをガード 1: SPID = 3 の外部マスタからのアクセスを許可
6	GnSP2	PE ガード保護領域 n に対する SPID = 2 の外部マスタによるアクセス許可を設定します。 0: SPID = 2 の外部マスタからのアクセスをガード 1: SPID = 2 の外部マスタからのアクセスを許可
5	GnSP1	PE ガード保護領域 n に対する SPID = 1 の外部マスタによるアクセス許可を設定します。 0: SPID = 1 の外部マスタからのアクセスをガード 1: SPID = 1 の外部マスタからのアクセスを許可
4	GnSP0	PE ガード保護領域 n に対する SPID = 0 の外部マスタによるアクセス許可を設定します。 0: SPID = 0 の外部マスタからのアクセスをガード 1: SPID = 0 の外部マスタからのアクセスを許可
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GnWR	PE ガード保護領域 n に対するライト許可を設定します。 0: ライトアクセスをガード 1: ライトアクセスを許可
1	GnRD	PE ガード保護領域 n に対するリード許可を設定します。 0: リードアクセスをガード 1: リードアクセスを許可
0	GnEN	PE ガード保護領域 n に対するアクセス許可条件の設定を有効にします。 0: アクセス許可条件の設定無効 1: アクセス許可条件の設定有効

注 意

PEGGnBA.GnEN は、PEGGnMK のレジスタライトによってクリアされます。

3.2.3.2 PE 内部周辺装置保護機能 (IPG)

(1) IPG 機能概要

IPG は、IPG を備える CPU コアから周辺装置への不正なアクセスを防止する機構であり、以下の機能を実現します。Code Flash、Local RAM を除く資源へのアクセスが対象です。

(1) 周辺装置保護違反の検出

周辺装置保護を設定した領域（周辺装置）に対して、CPU が不正なアクセスを行うと「周辺装置保護違反」として検出します。

(2) 不正アクセス情報の保存

周辺装置保護違反を検出した場合、不正アクセス情報を IPG 内部のレジスタに保存します。

(3) 不正アクセスの阻止

周辺装置保護違反を検出した場合、周辺装置の内容が不正に書き換えられてしまうことを防ぐために、周辺装置への不正アクセスを阻止します。

(4) 違反発生の通知

周辺装置保護違反を検出した場合、CPU に対して処理中断を促すべくシステムエラー例外 (SYSERR 例外) の発生を要求します。

システムエラー例外 (SYSERR 例外) は、「**3.2.3.3 システムエラー通知制御機能 (SEG)**」を参照して下さい。

(5) 後続アクセスの無効化

周辺装置保護違反を検出した場合、CPU からの指示があるまで（不正に限らず）後続アクセスを阻止します。

備 考

上記 (4) で直ちに「CPU に対して例外発生を要求」しても、CPU が違反発生を知らず (IPG からの要求を受け付ける前) に発行してしまった後発アクセスが周辺装置の内容を不正に書き換えてしまう場合があります (違反発生後のアクセスは結果的に不正になります)。

(2) IPG 機能

- (1) アクセスの属性（アドレス／転送種別／アクセス権限）に基づいてアクセスを無効化します。
- (2) アクセス権限違反を検出したのち、エラーフラグ（後述）が、ソフトウェアの書き込みによってクリアされるまで、後続アクセスを無効化します。ただし、無効化動作は、CPU のアクセスに対してのみ作用します。CPU コア外部からのアクセスに対しては行われません。また、無効化動作は、アドレスとは無関係に行われます。
- (3) ミスアラインダブルワード等のアクセスにより、同時に異なる周辺装置に対してアクセスを行うリクエストに対しては、当該アクセス対象すべてのアクセスが許可されている場合にアクセスが実行されます。

(3) 対不正ユーザ IPG 保護設定レジスタ一覧

ユーザモードのプログラムによる不正アクセスから周辺装置を保護するには、以下のレジスタに必要な設定を行います。

- ユーザモードによるアクセスを検出対象とします。
- 本レジスタセットはユーザモードに関連した IPG 設定やその読み出しを目的としています。

表 3.64 レジスタ一覧

アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限 注1	R/W	操作可能ビット				リセット 後の値
						1	8	16	32	
+002 _H	2	周辺装置保護違反アクセス情報保存レジスタ	IPGECRUM	SV	R/W	—	—	○	—	不定 (保持)
+008 _H	4	周辺装置保護違反アクセスアドレス保存レジスタ	IPGADRUM	SV	R/W	—	—	—	○	不定 (保持)
+00D _H	1	周辺装置保護イネーブルレジスタ	IPGENUM	SV	R/W	○	○	—	—	00 _H
+020 _H	1	周辺装置保護設定レジスタ 0	IPGPMTUM0	SV	R/W	○	○	—	—	00 _H
+022 _H	1	周辺装置保護設定レジスタ 2	IPGPMTUM2	SV	R/W	○	○	—	—	00 _H
+023 _H	1	周辺装置保護設定レジスタ 3	IPGPMTUM3	SV	R/W	○	○	—	—	00 _H
+024 _H	1	周辺装置保護設定レジスタ 4	IPGPMTUM4	SV	R/W	○	○	—	—	00 _H

注 1. 「SV」と記載されたレジスタは、SV 特権 (UM = 0) でのみアクセス可能です。

備考 ベースアドレス : FFFE E000_H

(4) レジスタセット

(a) IPGECRUM — 周辺装置保護違反アクセス情報保存レジスタ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DS			EX	WR	RD	VD	
リセット後の値	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 x : 不定 (保持)

表 3.65 IPGECRUM レジスタの内容

ビット位置	ビット名	機能
15, 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合は "0" を書いてください。
7 ~ 4	DS	違反を起こしたアクセスのデータサイズが格納されます。 1000 : ダブルワード (8byte) 0100 : ワード (4byte) 0010 : ハーフワード (2byte) 0001 : バイト 上記以外は、RFU
3	EX	違反を起こしたアクセスが命令フェッチリードアクセスであった場合にセット (1) されます。それ以外の場合はクリア "0" されます。
2	WR	違反を起こしたアクセスがライトアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット (1) されます。それ以外の場合はクリア "0" されます。
1	RD	違反を起こしたアクセスがリードアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット (1) されます。それ以外の場合はクリア "0" されます。
0	VD	該当する権限によるプログラムによる周辺装置保護違反を検出するとセット (1) されます。新たに周辺装置保護違反を検出すると、本レジスタ IPGECRUM、および IPGADRUML レジスタ を更新します。

備考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(b) IPGADRUM — 周辺装置保護違反アクセスアドレス保存レジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EADR															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 x: 不定 (保持)

表 3.66 IPGADRUM レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	EADR	違反を起こしたアクセスアドレスを格納します

備考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(c) IPGENUM — 周辺装置保護イネーブルレジスタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IRE	E
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 3.67 IPGENUM レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	IRE	周辺装置保護違反を起こしたアクセスが命令フェッチアクセスである場合、そのアクセスの情報を周辺装置保護違反アクセスアドレス保存レジスタと周辺装置保護違反アクセス情報保存レジスタに保存するか否かを設定します 0: 命令フェッチアクセスのアクセス情報を保存しません 1: 命令フェッチアクセスのアクセス情報を保存します 注意 投機的な命令フェッチ (命令を実行しない場合がある) に対する検出を望まない場合に本ビットを 0 にクリアしてください。
0	E	該当する権限によるアクセスに対して、周辺装置保護機能の有効/無効を設定します。 0: 周辺装置保護機能は無効です 1: 周辺装置保護機能は有効です

(d) IPGPMTUM0 — 周辺装置保護設定レジスタ 0

ビット	7	6	5	4	3	2	1	0
	—	X1	W1	R1	—	X0	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 3.68 IPGPMTUM0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	X1	周辺 IP グループ 0～3、5 への命令フェッチリードアクセスを許可するかどうかを設定します。 0：周辺 IP グループ 0～3、5 への命令フェッチリードアクセスを違反とします。 1：周辺 IP グループ 0～3、5 への命令フェッチリードアクセスを制限しません。
5	W1	周辺 IP グループ 0～3、5 へのライトアクセスを許可するかどうかを設定します。 0：周辺 IP グループ 0～3、5 へのライトアクセスを違反とします。 1：周辺 IP グループ 0～3、5 へのライトアクセスを制限しません。
4	R1	周辺 IP グループ 0～3、5 へのリードアクセスを許可するかどうかを設定します。 0：周辺 IP グループ 0～3、5 へのリードアクセスを違反とします。 1：周辺 IP グループ 0～3、5 へのリードアクセスを制限しません。
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	X0	H-Bus に接続される周辺装置への命令フェッチリードアクセスを許可するかどうかを設定します。 0：H-Bus に接続される周辺装置への命令フェッチリードアクセスを違反とします。 1：H-Bus に接続される周辺装置への命令フェッチリードアクセスを制限しません。
1	W0	H-Bus に接続される周辺装置へのライトアクセスを許可するかどうかを設定します。 0：H-Bus に接続される周辺装置へのライトアクセスを違反とします。 1：H-Bus に接続される周辺装置へのライトアクセスを制限しません。
0	R0	H-Bus に接続される周辺装置へのリードアクセスを許可するかどうかを設定します。 0：H-Bus に接続される周辺装置へのリードアクセスを違反とします。 1：H-Bus に接続される周辺装置へのリードアクセスを制限しません。

(e) IPGPMTUM2 — 周辺装置保護設定レジスタ 2

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 3.69 IPGPMTUM2 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	W1	COMPTEST へのライトアクセスを許可するかどうかを設定します。 0: COMPTEST へのライトアクセスを違反とします。 1: COMPTEST へのライトアクセスを制限しません。
4	R1	COMPTEST へのリードアクセスを許可するかどうかを設定します。 0: COMPTEST へのリードアクセスを違反とします。 1: COMPTEST へのリードアクセスを制限しません。
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	W0	INTC1 へのライトアクセスを許可するかどうかを設定します。 0: INTC1 へのライトアクセスを違反とします。 1: INTC1 へのライトアクセスを制限しません。
0	R0	INTC1 へのリードアクセスを許可するかどうかを設定します。 0: INTC1 へのリードアクセスを違反とします。 1: INTC1 へのリードアクセスを制限しません。

(f) IPGPMTUM3 — 周辺装置保護設定レジスタ 3

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 3.70 IPGPMTUM3 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	W1	SysErrGen へのライトアクセスを許可するかどうかを設定します。 0: SysErrGen へのライトアクセスを違反とします。 1: SysErrGen へのライトアクセスを制限しません。
4	R1	SysErrGen へのリードアクセスを許可するかどうかを設定します。 0: SysErrGen へのリードアクセスを違反とします。 1: SysErrGen へのリードアクセスを制限しません。
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(g) IPGPMTUM4 — 周辺装置保護設定レジスタ 4

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3.71 IPGPMTUM4 レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	W0	ユーザモードでの PEG へのライトアクセスを許可するかどうかを設定します。 0: PEG へのライトアクセスを違反とします。 1: PEG へのライトアクセスを制限しません。
0	R0	ユーザモードでの PEG へのリードアクセスを許可するかどうかを設定します。 0: PEG へのリードアクセスを違反とします。 1: PEG へのリードアクセスを制限しません。

3.2.3.3 システムエラー通知制御機能 (SEG)

命令フェッチまたはデータアクセスによるエラーは、システムエラー例外の要因となります。システムエラー例外は、復帰/回復が不可能な FE レベル例外です。

システムエラー例外の要因コード (FEIC) とエラー内容の対応は、「表 3.74 G3M コアのシステムエラー例外の要因コードとエラー内容の対応」を参照して下さい。

データアクセスによるエラーは、SEG(SysErrGen) で通知記録を制御します。命令キャッシュの RAM 上で発生したエラーは SEG に通知されます。詳細は「(a) SEGCONT — エラー通知制御レジスタ」と「(c) SYSERR 例外に関する補足事項」を参照してください。

複数のエラー発生入力エラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの非同期例外 (SYSERR) を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラー情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のものが有効です。記録されたエラー情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスタ一覧

表 3.72 レジスタ一覧

アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット 後の値
						1	8	16	32	
+00 _H	2	エラー通知制御レジスタ	SEGCONT	—	R/W 注1	—	—	○	—	0000 _H
+02 _H	2	エラー発生保持レジスタ	SEGFLAG	—	R/W 注1	—	—	○	—	0000 _H
+08 _H	4	エラー要因保持レジスタ (アドレス)	SEGADDR	—	R/W 注1	—	—	○	○	不定 (保持)

注 1. ユーザモードからのライトアクセスは無視します。

備考 ベースアドレス : FFFE E980_H

備考

- 上記以外の「アドレスオフセット」「操作可能ビット」でアクセスすると「エラー応答」を返しません。
- ライトアクセスについては、スーパーバイザモード (UM = 0) のみ有効です。その他のアクセス権限によるライトアクセスはエラー応答になります。
- リードアクセスは、アクセス制限を設けていません。
- ほかの保護機構が許可する範囲内であればいつでも読み出し可能です。

(2) レジスタセット

(a) SEGCONT — エラー通知制御レジスタ

- エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SYSERR 要求の通知許可 (= 1) / 不許可 (= 0) を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VPGE	VCRE	—	TCME	ROME	VCIE	—	ICCE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R	R

表 3.73 SEGCONT レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	VPGE	P-Bus エラー応答通知 <ul style="list-style-type: none"> ライトアクセスでの P-Bus ガードエラー (31.4.2 に記載の保護対象モジュールの各レジスタに対する P-Bus ガード)
8	VCRE	IPG 違反アクセス検出および後続アクセス阻止通知 (命令フェッチ時を含む) 注2
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCME	自 Local RAM へのデータアクセスで下記エラーが生じた場合。 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生 Local RAM 空間のうち、RAM 未実装領域へのアクセスを検出
5	ROME	テーブル参照割り込みのテーブル参照時に、Code Flash へのアクセスで下記エラーが生じた場合。 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生 アドレスパリティエラーの発生
4	VCIE	<ul style="list-style-type: none"> P-Bus エラー応答通知 (P-Bus ライトエラーを除く) <ul style="list-style-type: none"> 未実装領域 (FFFF 7900_H-FFFF 7EFF_H) アクセス時 P-Bus ガードエラー (31.4.2 に記載の保護対象モジュールの各レジスタに対する P-Bus ガード) P-Bus データパリティエラー (データパリティ対象の周辺機能) DTSRAM リード時のエラー CPU 固有周辺機能領域内の未実装領域へのアクセス Code Flash エラー応答 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生 アドレスパリティエラー Data Flash エラー応答 <ul style="list-style-type: none"> 訂正できない ECC エラーの発生 (注1) Interconnect 予約領域アクセス検出通知 <ul style="list-style-type: none"> FFFF 0000_H-FFFF 4FFF_H FFFE 0000_H-FFFE BFFF_H FB00 0000_H-FE9F FFFF_H F300 0000_H-F8FF FFFF_H IPG 違反アクセス検出および後続アクセス阻止通知注2 アクセス権限違反 <ul style="list-style-type: none"> ユーザモード (PSW.UM = 1) で IPG 保護設定レジスタへリード/ライトアクセス ユーザモード (PSW.UM = 1) で SEG 機能制御レジスタへライトアクセス

表 3.73 SEGCONT レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ICCE	命令キャッシュエラー通知イネーブル 命令キャッシュのシステムレジスタ ICCTRL.ICHEMK = 0 (リセット後の値 = 1) に設定した場合に、命令キャッシュで発生したエラーを扱います。 命令キャッシュのエラーについては「3.2.1.2 レジスタセット (7) ICERR — 命令キャッシュエラー」を参照してください。
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 1. ECC のエラー通知設定が有効な状態で、訂正できない ECC エラーが発生した場合です。エラー訂正の可否は ECC の設定状態により異なります。詳細は「31.2 ECC および EDC」を参照してください。

注 2. エラー要因アドレスは「3.2.3.2 PE 内部周辺装置保護機能 (IPG)」の IPGADRUM レジスタを参照してください。

表 3.74 G3M コアのシステムエラー例外の要因コードとエラー内容の対応

要因コード	エラー内容
10	予約
11	命令フェッチのエラー (CodeFlash)
12	SEGCONT 2bit 目により通知許可されるエラー
13	命令フェッチのエラー (CodeFlash 以外)
14	SEGCONT 4bit 目により通知許可されるエラー
15	SEGCONT 5bit 目により通知許可されるエラー
16	SEGCONT 6bit 目により通知許可されるエラー
17	予約
18	SEGCONT 8bit 目により通知許可されるエラー
19	SEGCONT 9bit 目により通知許可されるエラー
1A	予約
1B	予約
1C	予約
1D	予約
1E	予約
1F	予約

(b) SEGFLAG — エラー発生保持レジスタ

- エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット (=1) されます。自動クリア (=0) はありません。
- レジスタへの書き込みであれば、セット/クリアの両方が可能です。

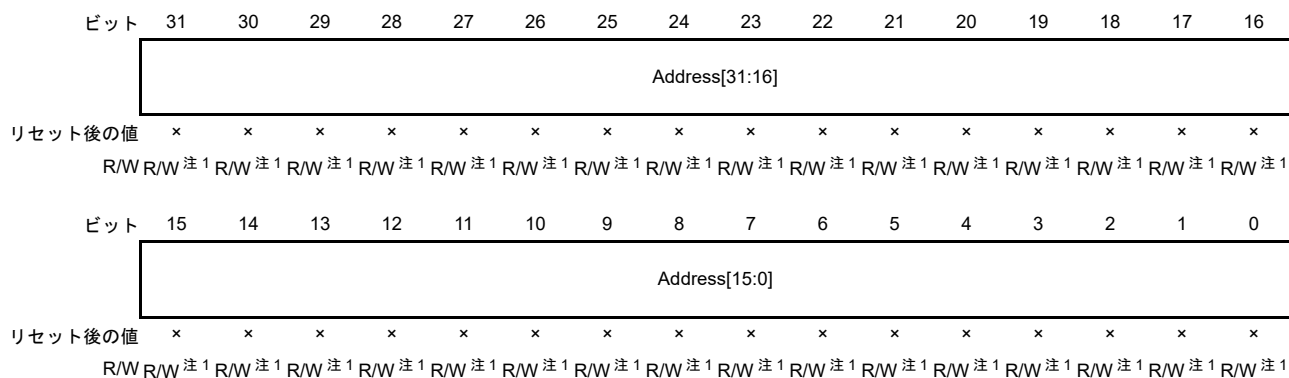
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VPGF	VCRF	—	TCMF	ROMF	VCIF	—	ICCF	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R	R

表 3.75 SEGFLAG レジスタの内容

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	VPGF	SEGCONT レジスタのビット 9 に対応したフラグ。
8	VCRF	SEGCONT レジスタのビット 8 に対応したフラグ。
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCMF	SEGCONT レジスタのビット 6 に対応したフラグ。
5	ROMF	SEGCONT レジスタのビット 5 に対応したフラグ。
4	VCIF	SEGCONT レジスタのビット 4 に対応したフラグ。
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ICCF	SEGCONT レジスタのビット 2 に対応したフラグ。
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(c) SEGADDR — エラー要因保持レジスタ（アドレス）

SYSERR 要求の通知を行ったエラー要因の情報（1履歴）が記録されます。SEGFLAG レジスタのうち、VCIF ビットと ROMF ビットおよび TCMF ビットのエラー要因がエラーアドレスの記録対象です。記録対象以外のエラー要因は 0000 0000_H が格納されます。通知許可のエラー発生フラグがセットされた状態では変更されません。



備考 x: 不定（保持）

注1. 通知許可のエラー発生フラグがセットされた状態では変更されません。

表 3.76 SEGADDR アドレスの内容

ビット位置	ビット名	機能
31 ~ 0	Address[31:0]	SYSERR 要因が発生したアドレスを保持します。 (LocalRAM 領域へのアクセスでエラーが発生した場合、アドレスの下位 19bit のみ保持し、上位 13bit は 0 になります。)

(3) SEG 機能

(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知

- 各エラー発生フラグはセット優先
 - － 同時のクリア操作は無視します。
- エラー要因の優先順位
 - － 通知許可のエラ SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
 - － エラー要因のビット位置を「SYSERR 要因コード」として通知します。
- SYSERR 要求の通知開始条件
 - － 通知不許可のフラグをセットしても通知しません。
 - － 通知許可のフラグをセットした直後に通知します。
 - － クリア操作後はフラグ状態次第で通知します（再調停）。
- SYSERR 要求応答で通知を終了
 - － 通知を終了しても、フラグを自動クリアしません。
 - － 新たなセットもしくは、クリア操作による再調停があるまで通知しません。
 - － 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされると通知内容がより上位の SYSERR 要因コードに挿し替わることがあります。

(b) SEG 機能：エラー要因の情報記録

- 通知許可のエラー発生入力時にそのエラーアドレスを上記レジスタに保持します。
 - － 「(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知」の「エラー発生フラグのセット/クリア操作」では情報の保持は行われません。
 - － 同時に複数のエラー発生入力があるとき、優先するエラー要因以外の情報は保持されません。
- 「(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知」の「通知許可のエラー発生フラグがセットされている状態」では上記レジスタに対する上書きを抑制します。
 - － エラー発生入力が連続した場合には、後発のエラー要因の情報は保持されません。
 - － レジスタ上書き抑制を解除するには、SEGCONT レジスタ/SEGFLAG レジスタのいずれか（または両方）をクリアしてください。

(c) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。
- 命令キャッシュでのエラー検出
命令キャッシュの RAM 上でエラーが発生しても、命令フェッチ要因の再実行型 SYSERR 例外は発生しません。命令キャッシュはエラーが発生した対象エントリを自動的にインバリデートし、Code Flash から再フェッチすることで、CPU の命令実行を継続します。システムレジスタの ICCTRL.ICHEMK ビットを 0 に設定すると、命令キャッシュで発生したエラーを SEG に通知することができます。命令キャッシュのエラーについては「(7) ICERR — 命令キャッシュエラー」を参照してください。

3.2.3.4 Checker Core

CPU1 はセーフティ対応として Checker Core を備えており、高信頼性のシステムを実現します。CPU1 と Checker Core からの出力を常時比較器で監視することで、CPU1 の異常動作を直ちに検出できます。Checker Core による 2 重化の範囲は、CPU コアと FPU、MPU、PEG、IPG、SEG、INTC1 です。また、COMPTEST モジュールで擬似エラーを発生させ、比較器自体の故障診断テストをすることができます。COMPTEST モジュールの詳細は、「**第 31 章 ファンクショナルセーフティの 31.3 ロックステップ**」を参照してください。

注 意

PE 内のリセット値が不定のレジスタを初期化せずに読み出し、PE 外のメモリやレジスタに書き込むと、ロックステップコンペアエラーが発生する場合があります。プログラム・レジスタやシステム・レジスタの一部はリセット値が不定なので、RAM へのスタック退避時などご注意ください。

3.3 プロセッサエレメント識別子

各プロセッサのプロセッサエレメント番号 PEID は、HTCFG0 レジスタの PEID フィールドより読み出せます。PEID を参照することで、プログラム自身がいずれの CPU コアで実行されているのかを知ることができます。本製品の PEID は以下のとおりです。

CPU コア	PEID
CPU1 (PE1)	001 _B

3.4 使用上の注意

3.4.1 ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPUによるストア命令の実行から実際に制御レジスタが更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要となります。以下に同期化処理の実行方法を示します。LDSR 命令によるシステム・レジスタの更新と後続命令の同期化に関する手続きについては、*RH850G3M ユーザーズマニュアル ソフトウェア編*の「付録A システム・レジスタのハザード解消手続き」を参照してください。

制御レジスタの更新結果を、後続命令の実行に反映させる場合

例 1. INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合があります。この場合は以下の処理を実行してください。

- (1) 制御レジスタを更新するストア命令 (ST.W など)
- (2) 上記制御レジスタのダミーリード (LD.W など)
- (3) SYNCNP
- (4) 後続の命令 (EI)

例 2. ある制御レジスタ A の確実な更新を待ってから、ほかの制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。異なる周辺機能を連携動作させる場合や、周辺機能を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ周辺 IP グループ、あるいは制御レジスタ A と B が共に CPU 固有周辺機能であれば、この処理は不要です。

- (1) 制御レジスタ A を更新するストア命令 (ST.W など)
- (2) 上記制御レジスタのダミーリード (LD.W など)
- (3) SYNCNP
- (4) 制御レジスタ B にアクセスする命令 (ST.W, LD.W など)

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

(a) RAM に命令を書き込んでから、その RAM に分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。

- (1) メモリを更新するストア命令 (ST.W など)
- (2) 上記メモリのダミーリード (LD.W など)
- (3) SYNCNP
- (4) SYNCI
- (5) 後続の命令 (分岐命令など)

(b) メモリ保護機能および ECC の制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。

- (1) 制御レジスタを更新するストア命令 (ST.W など)
- (2) 制御レジスタのダミーリード (LD.W など)
- (3) SYNC P
- (4) SYNC I
- (5) 後続の命令 (分岐命令など)

Code Flash の領域を切り替える場合

この場合は、「RH850/P1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」の「第9章 使用上の注意点 (7) FCUFAREA レジスタの更新」を参照してください。

3.4.2 ビット操作命令でのレジスタ・アクセス

ビット操作命令によるライトは、8ビット単位のアトミックなリード・モディファイ・ライト処理です。このため、8ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグ・ビットを共有しているレジスタには、リード・モディファイ・ライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

なお、FlexRay のレジスタに対してビット操作命令でライト・アクセスしても、アトミック操作にはなりません。リード・モディファイ・ライト処理の期間中に、ほかのマスタからのアクセスが割り込む可能性があります。

3.4.3 CodeFlash 書き換え後のコヒーレンシ確保

CPU は CodeFlash 領域に対して有効な命令キャッシュとデータバッファを搭載しています。このため、セルフプログラミングで CodeFlash を書き換えた後は、コヒーレンシ確保のために命令キャッシュとデータバッファをクリアしてください。命令キャッシュは ICCTRL レジスタで、データバッファは CDBCR レジスタでクリアできます。

3.4.4 多重例外受け付け時のコンテキストの上書き

例外要因の種類によっては、PSW レジスタの ID、NP ビットの状態にかかわらず例外が受け付けられます。多重例外が発生した場合はコンテキスト情報を格納しているシステムレジスタの内容は上書きされます。例外要因ごとの受け付け条件と復帰/回復の可否については「RH850G3M ユーザーズマニュアル ソフトウェア編」の例外要因一覧を参照してください。

3.4.5 プリフェッチに関する注意事項

CPUは命令フェッチのスループットを維持するために、実行中のプログラムより後方の領域に対して投機的な命令フェッチを実施します。このプリフェッチにより、命令コードを配置していない領域（**図 3.5**の注 1）からもメモリの読み出しが発生するため、以下の点にご注意ください。なお、該当領域（**図 3.5**の注 1）からメモリの読み出しが発生しても、読み出した値を命令実行することはありません。

本注意事項は命令フェッチが可能な全メモリが対象です。

- メモリ値不定状態による ECC エラーの発生
このプリフェッチにより、消去状態の CodeFlash や初期化前の LocalRAM で ECC エラーが発生する可能性があります。命令コードをメモリに配置する際は、該当領域（**図 3.5**の注 1）を任意のデータで初期化してください。
- IPG 機能による違反アクセスの検出
このプリフェッチを、IPG 機能が違反アクセスとして検出する可能性があります。違反アクセスとして検出させたくない場合、該当領域（**図 3.5**の注 1）と IPG によるアクセス禁止領域が重ならないようにしてください。なお、MPU で保護している領域に対してこのメモリ読み出しが発生しても、メモリ保護例外が発生することはありません。
- アクセス禁止領域へのアクセス
該当領域（**図 3.5**の注 1）とアクセス禁止領域が重ならないよう、命令コードをメモリに配置してください。

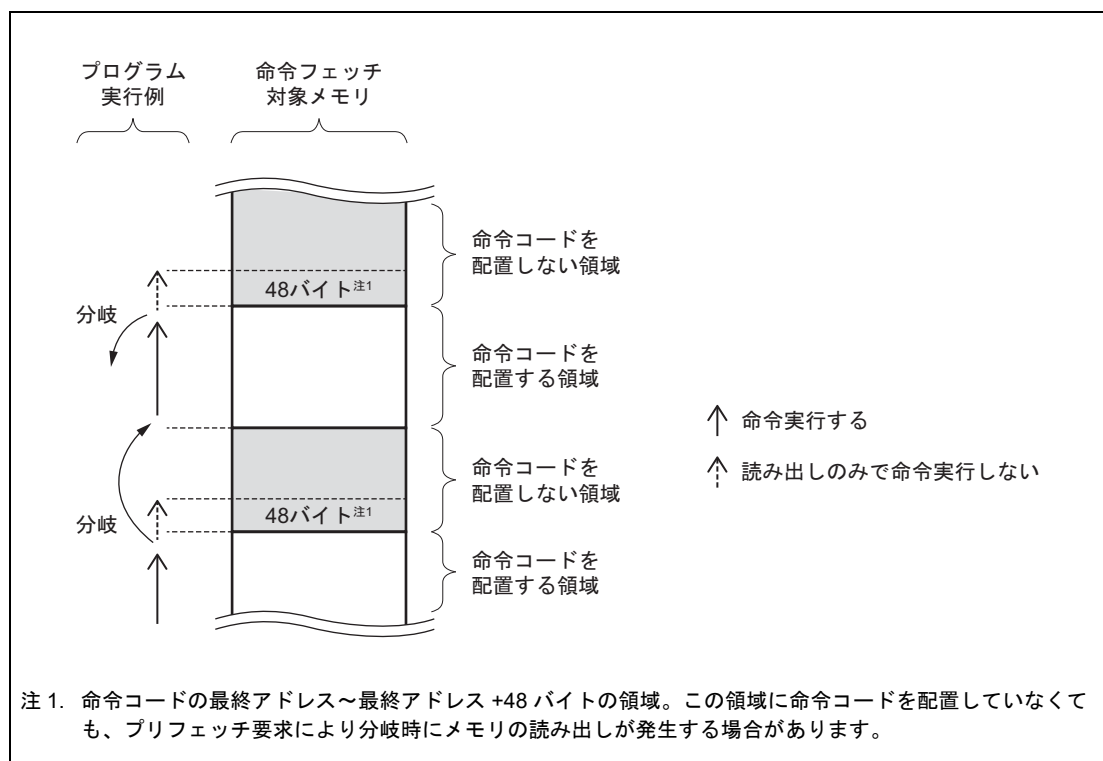


図 3.5 プリフェッチに対する注意が必要な領域

3.4.6 レジスタセットの初期化

レジスタセットの内、リセット後の値に不定値を含むレジスタは値を書き込んだ後、読み出しをしてください。

表 3.77 初期化が必要なレジスタ一覧（システムレジスタ）

レジスタ番号	レジスタ名	レジスタ番号	レジスタ名	レジスタ番号	レジスタ名
SR0,0	EIPC	SR0,6	MPLA0	SR0,7	MPLA8
SR2,0	FEPC	SR1,6	MPUA0	SR1,7	MPUA8
SR16,0	CTPC	SR2,6	MPAT0	SR2,7	MPAT8
SR20,0	CTBP	SR4,6	MPLA1	SR4,7	MPLA9
SR28,0	EIWR	SR5,6	MPUA1	SR5,7	MPUA9
SR29,0	FEWR	SR6,6	MPAT1	SR6,7	MPAT9
SR3,1	EBASE	SR8,6	MPLA2	SR8,7	MPLA10
SR4,1	INTBP	SR9,6	MPUA2	SR9,7	MPUA10
SR11,1	SCCFG	SR10,6	MPAT2	SR10,7	MPAT10
SR12,1	SCBP	SR12,6	MPLA3	SR12,7	MPLA11
SR6,2	MEA	SR13,6	MPUA3	SR13,7	MPUA11
SR7,2	ASID	SR14,6	MPAT3	SR14,7	MPAT11
SR8,2	MEI	SR16,6	MPLA4	SR16,4	ICTAGL
SR6,0	FPSR	SR17,6	MPUA4	SR17,4	ICTAGH
SR7,0	FPEPC	SR18,6	MPAT4	SR18,4	ICDATH
SR8,0	FPST	SR20,6	MPLA5	SR19,4	ICDATH
SR9,0	FPCC	SR21,6	MPUA5	SR28,4	ICERR
SR8,5	MCA	SR22,6	MPAT5		
SR9,5	MCS	SR24,6	MPLA6		
SR11,5	MCR	SR25,6	MPUA6		
		SR26,6	MPAT6		
		SR28,6	MPLA7		
		SR29,6	MPUA7		
		SR30,6	MPAT7		

表 3.78 初期化が必要なレジスタ一覧（PEG、IPG、SEG 関連レジスタ）

レジスタ名
IPGECRUM
IPGADRUM
SEGADDR

3.4.7 例外受け付け時の注意事項

例外要因の種類によっては、例外ハンドラの先頭に必ず SYNCNCP 命令を配置する必要があります。詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」の例外要因の概要を参照してください。

第4章 アドレス空間

表 4.1 に RH850/P1x のアドレス空間を示します。

注 意

内蔵 I/O レジスタ空間へのアクセスは、本ユーザーズマニュアルに記載のレジスタのアドレスにアクセスしてください。本ユーザーズマニュアルに記載のないアドレスおよび予約エリアにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

4.1 アドレス空間

表 4.1 アドレス空間

アドレス	アドレス空間の種類	サイズ
0000 0000 _H ~ ^{注1} (0001 7000 _H ~ 0001 7FFF _H)	Code Flash (ユーザ領域) (FCU ファーム領域 (FCUFAREA レジスタで Map を切り替え)) ^{注3}	512 KB / 1 MB/ 2MB (4 KB)
0010 0000 _H ~ 00FF FFFF _H	予約エリア	
0100 0000 _H ~ 0100 7FFF _H	Code Flash (拡張ユーザ領域)	32 KB
0100 8000 _H ~ 0FFF FFFF _H	予約エリア	
1000 0000 _H ~ 1FFF FFFF _H	内蔵 I/O レジスタ	256 MB
2000 0000 _H ~ FEBD FFFF _H	予約エリア	
^{注5} ~ FEBF FFFF _H	Local RAM (PE1 領域)	128KB/64KB
FEC0 0000 _H ~ FEDD FFFF _H	予約エリア	
^{注6} ~ FEDF FFFF _H	Local RAM (self ^{注7})	128KB/64KB
FEE0 0000 _H ~ FEFF FFFF _H	予約エリア	
FF00 0000 _H ~ FFFD FFFF _H (FF20 0000 _H ~ ^{注4} (FFA1 2000 _H ~ FFA1 2FFF _H))	内蔵 I/O レジスタ (Data Flash) (FCU RAM)	15MB-128KB (32KB/64KB) (4KB)
FFFE 0000 _H ~ FFFE DFFF _H	予約エリア	
FFFE E000 _H ~ FFFE FFFF _H	内蔵 I/O レジスタ (self ^{注2})	8KB
FFFF 0000 _H ~ FFFF 4FFF _H	予約エリア	
FFFF 5000 _H ~ FFFF FFFF _H	内蔵 I/O レジスタ	44KB

注 1. 512KB 製品 : 0007 FFFF_H、1MB 製品 : 000F FFFF_H、2MB 製品 : 001F FFFF_H

注 2. 内蔵 I/O レジスタ (self) は CPU 固有周辺機能 (SEG, PEG, IPG, INT C1) を配置している領域です。CPU1 (PE1) のみアクセスすることが可能です。

注 3. 詳細は、『RH850/P1x フラッシュメモリ ユーザーズマニュアルハードウェア インタフェース編』をご参照ください。

注 4. 512KB 製品 : FF20_7FFF_H、1MB 製品 : FF20_7FFF_H、2MB 製品 : FF20_FFFF_H

注 5. 512KB 製品 : FEBF 0000_H、1MB 製品 : FEBE 0000_H、2MB 製品 : FEBE 0000_H

注 6. 512KB 製品 : FEDF 0000_H、1MB 製品 : FEDE 0000_H、2MB 製品 : FEDE 0000_H

注 7. Local RAM (self) は Local RAM (PE1 領域) のミラー領域です。CPU1 (PE1) のみアクセスすることが可能です。

4.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を図 4.1 に示します。

4.2.1 命令フェッチ可能空間

1. PE1 は、Code Flash、Local RAM から命令フェッチ可能です。
2. PE1 のリセットベクタ (RBASE 初期値) について、
 - ユーザ領域から起動する場合、先頭アドレスは「0000 0000_H」です。
 - 拡張ユーザ領域から起動する場合、先頭アドレスは「0100 0000_H」です。

4.2.2 PE1 によるデータアクセス可能空間

すべての空間をアクセス可能です。

4.2.3 DMA (DMAC、DTS) によるデータアクセス可能空間

DMA からアクセス可能な空間について、図 4.1 を参照してください。

4.2.4 H-Bus マスタによるデータアクセス可能空間

H-Bus からアクセス可能な空間について、図 4.1 を参照してください。

	PE1からのアクセス	DMAからのアクセス	H-Busマスタからのアクセス
FFFF FFFF _H	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ
FFFF 5000 _H FFFF 4FFF _H	アクセス禁止		
FFFF 0000 _H FFFE FFFF _H	内蔵I/Oレジスタ (self)		
FFFE E000 _H FFFE DFFF _H	アクセス禁止	アクセス禁止	アクセス禁止
FFFE 0000 _H FFFD FFFF _H	内蔵I/Oレジスタ ^{注2}	内蔵I/Oレジスタ ^{注2}	内蔵I/Oレジスタ ^{注2}
FF00 0000 _H FEFF FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止
FE00 0000 _H FEDF FFFF _H	Local RAM (self)		
FEDE 0000 _H FEDD FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止
FEC0 0000 _H FEBF FFFF _H	Local RAM (PE1)	Local RAM (PE1)	Local RAM (PE1)
FEBE 0000 _H FEBD FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止
2000 0000 _H 1FFF FFFF _H	内蔵I/Oレジスタ	内蔵I/Oレジスタ	内蔵I/Oレジスタ
1000 0000 _H 0FFF FFFF _H	アクセス禁止	アクセス禁止	アクセス禁止
0100 8000 _H 0100 7FFF _H	Code Flash (拡張ユーザ領域)		
0100 0000 _H 00FF FFFF _H	アクセス禁止		
^{注1} 0000 0000 _H	Code Flash (ユーザ領域)	Code Flash (ユーザ領域)	Code Flash (ユーザ領域)

備考：上記マップ中の色は以下の区別を行っています。

フェッチ可能
データアクセス可能
データアクセス可能
アクセス禁止
アクセス不可能

注 1. Code Flash の容量は製品によって異なります。詳細は「4.1 アドレス空間」を参照してください。

注 2. この内蔵 I/O レジスタには、Data Flash と FCU RAM が含まれます。詳細は「4.1 アドレス空間」を参照してください。

図 4.1 各バスマスタから見たアドレス空間

4.3 書き込み保護レジスタ

本節では、書き込み保護レジスタ全般について説明します。

最初の項では書き込み保護レジスタの機能について説明し、それ以降の項でレジスタについて説明します。

4.3.1 概要

4.3.1.1 機能概要

RH850/P1x では、クロックやリセット、ポート関連レジスタ等、システムに影響する重要なレジスタの設定では、書き込み保護レジスタによる特別な手順が必要です。保護対象となるレジスタの設定は特別な手順を必要とすることにより、プログラムの不正動作による書き込みから保護されます。保護対象のレジスタは、「**4.3.1.5 書き込み保護対象レジスタ**」を参照してください。書き込み保護レジスタは保護対象レジスタを、モジュール単位で管理します。

4.3.1.2 書き込み保護されたレジスタへの書き込み手順

書き込み保護されたレジスタへの書き込みは、以下の書き込みシーケンスを用いることによって可能となります。

1. 保護コマンドレジスタに固定値 0000 00A5_H を書き込む。
2. 保護されているレジスタに任意の値を書き込む。
3. 保護されているレジスタに任意の値のビット反転値を書き込む。
保護されているレジスタの予約ビットも反転値を書き込みます。
4. 保護されているレジスタに任意の値（ステップ 2 と同値）を書き込む。
5. 保護されているレジスタに任意の値が書き込まれたことを確認する。
書き込みシーケンスステータスレジスタ内のエラーモニタビットが“0”であることを確認することによって、保護されているレジスタに対する任意の値の書き込みが成功したことを確認します。
書き込みが成功しなかった場合、すなわちエラーモニタビットが“1”であった場合、シーケンス全体をステップ 1 から繰り返す必要があります。

また、上記ステップ 1 からステップ 4 までの間に別のレジスタへライトアクセスした場合、書き込み保護機能は次のように動作します（書き込みシーケンス中に割り込みが受け付けられ、割り込み処理内で別のレジスタへライトアクセスした場合も同じ動作となります）。

- 同一モジュール内の別のレジスタへライトアクセスした場合、書き込み保護対象レジスタへの書き込みは失敗し、書き込みシーケンスステータスレジスタのエラーモニタビットが 1 になります。
- 別のモジュールのレジスタへライトアクセスした場合、書き込み保護対象レジスタへの書き込みは成功します。

なお、同一モジュール内のレジスタ、もしくは、別のモジュールのレジスタへリードアクセスした場合、書き込みシーケンスは失敗しません。

備 考

同一モジュール内の別のレジスタとは、保護コマンドレジスタ、シーケンスステータスレジスタ、および、書き込み保護対象レジスタと同じモジュール区分のレジスタです。各レジスタおよびモジュールについては、表 4.2 書き込み保護対象レジスタのモジュール区分および「付録 A. レジスタ一覧」を参照してください。

4.3.1.3 書き込みシーケンス中の割り込み

書き込みシーケンス中に割り込みが発生した場合、保護メカニズムは以下のように働きます。

- (1) 書き込みシーケンス中に割り込みが受け付けられ、同じモジュールのレジスタにライトアクセスした場合

書き込みシーケンスは中断されるため、割り込みサービスルーチンから復帰後、保護されているレジスタへの書き込みを完了することができません。図 4.2 に実行例を示します。

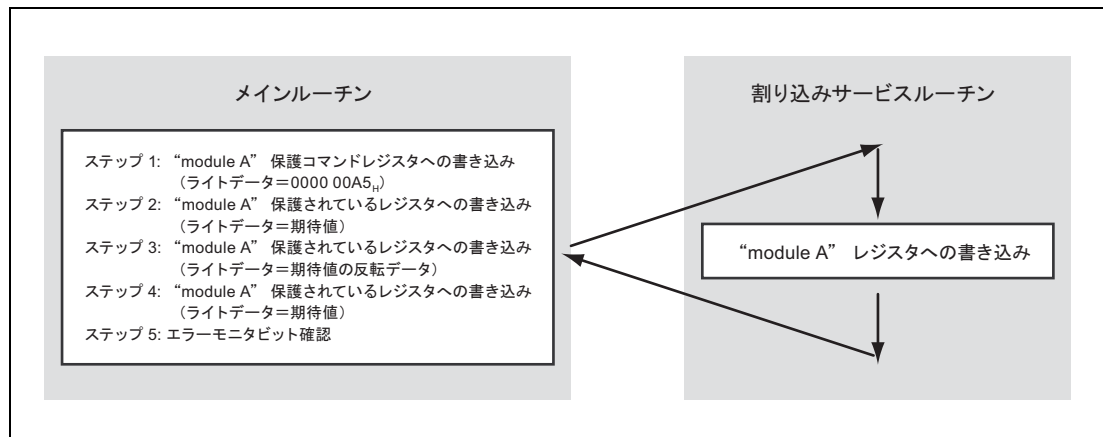


図 4.2 書き込みシーケンスの中断例

- (2) 書き込みシーケンス中に割り込みが受け付けられ、別のモジュールのレジスタにライトアクセスした場合

書き込みシーケンスは中断されず、割り込みサービスルーチンから復帰後、書き込み保護対象レジスタへの書き込みを完了することができます。図 4.3 に実行例を示します。

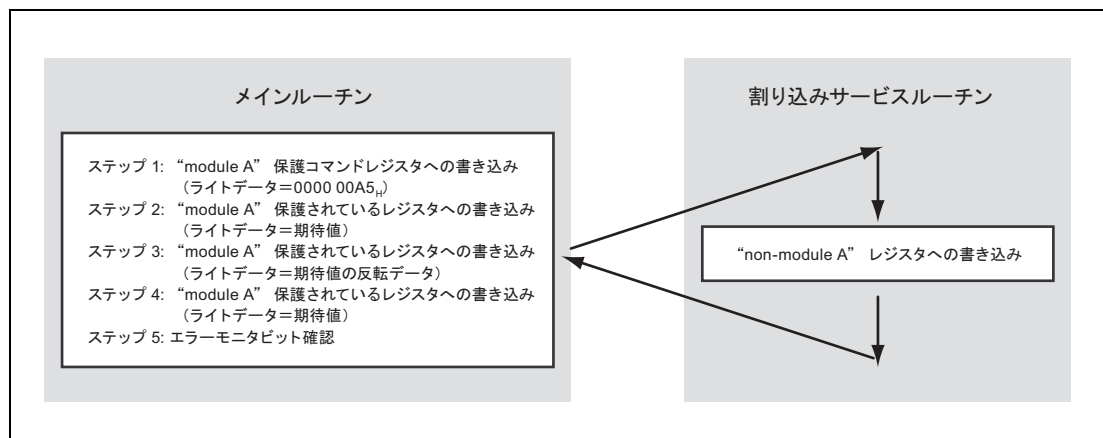


図 4.3 書き込みシーケンスの成功例

RH850/P1x の書き込み保護対象レジスタについては、「**4.3.1.5 書き込み保護対象レジスタ**」を参照してください。

4.3.1.4 書き込みシーケンス中のエミュレーションブレーク

書き込みシーケンス中にエミュレーションブレークが発生した場合（たとえば、ブレークポイントヒットのために）レジスタ保護は正常動作が再開されるまで中断されます。同じモジュールの任意のレジスタがブレーク中にアクセスされたとしても、保護解除シーケンスは中断されず、エラーモニタビットは“1”にセットされません。

4.3.1.5 書き込み保護対象レジスタ

書き込み保護レジスタにより保護されるレジスタを以下に示します。

表 4.2 書き込み保護対象レジスタ (1/3)

モジュール区分	保護されるレジスタ	保護レジスタ	
		コマンドレジスタ	ステータスレジスタ
PORT、 PORTJ	JPODC0	JPPCMD0	JPPROTS0
	JPDSC0		
	JPUCC0		
	PODC0	PPCMD0	PPROTS0
	PDSC0		
	PODCE0		
	PUCC0		
	PINV0		
	PODC1	PPCMD1	PPROTS1
	PDSC1		
	PODCE1		
	PUCC1		
	PINV1		
	PODC2	PPCMD2	PPROTS2
	PDSC2		
	PODCE2		
	PUCC2		
	PINV2		
	PODC3	PPCMD3	PPROTS3
	PDSC3		
PODCE3			
PUCC3			
PINV3			
PODC4	PPCMD4	PPROTS4	
PDSC4			
PODCE4			
PUCC4			
PINV4			

表 4.2 書き込み保護対象レジスタ (2/3)

モジュール区分	保護されるレジスタ	保護レジスタ	
		コマンドレジスタ	ステータスレジスタ
PORT、 PORTJ	PODC5	PPCMD5	PPROTS5
	PDSC5		
	PODCE5		
	PUCC5		
	PINV5		
SYS ^{注1}	CVMFC	PROTCMDCVM	PROTSCVM
	CVMDIAG		
	CVMDMASK		
	CVMDEW		
	CVMREN		
SYS ^{注2} 、 CLMAC (CLMA0 - CLMA3 も同一モ ジュールの対象となります)	LVICNT	PROT1PHCMD	PROT1PS
	SWRESA		
	CKSC0CTL		
	CKSC1CTL		
	ADCKSC0CTL		
	BSEQ0CTL		
	CLMATEST		
CLMA0	CLMA0CTL0	CLMA0PCMD	CLMA0PS
CLMA1	CLMA1CTL0	CLMA1PCMD	CLMA1PS
CLMA2	CLMA2CTL0	CLMA2PCMD	CLMA2PS
CLMA3	CLMA3CTL0	CLMA3PCMD	CLMA3PS

表 4.2 書き込み保護対象レジスタ (3/3)

モジュール区分	保護されるレジスタ	保護レジスタ	
		コマンドレジスタ	ステータスレジスタ
ECMM (ECM も同一モジュールの対象となります)	ECMMESET	ECMMPCMD0 もしくは ECMPCMD1	ECMPS
	ECMMECLR		
ECMC (ECM も同一モジュールの対象となります)	ECMCESET	ECMCPCMD0 もしくは ECMPCMD1	
	ECMCECLR		
ECM (ECMM、ECMC も同一モジュールの対象となります)	ECMEPCFG	ECMPCMD1	
	ECMMICFG0		
	ECMMICFG1		
	ECNMICFG0		
	ECNMICFG1		
	ECMIRCFG0		
	ECMIRCFG1		
	ECMEMK0		
	ECMEMK1		
	ECMESSTC0		
	ECMESSTC1		
	ECMPE0		
	ECMPE1		
	ECMDTMCTL		
	ECMDTMCMP		
	ECMDTMCFG0		
ECMDTMCFG1			
ECMDTMCFG2			
ECMDTMCFG3			
FLMD	FLMDCNT	FLMDPCMD	FLMDPS

- 注 1. 以下の機能およびアドレス範囲が対象となります。
 コアボルテージモニタ (CVM) : FFF8 2820_H - FFF8 2843_H
- 注 2. 以下の機能およびアドレス範囲が対象となります。
 低電圧検出回路 (LVI) : FFF8 2C00_H - FFF8 2C03_H
 クロックコントローラ : FFF8 9080_H - FFF8 9087_H、FFF8 90C0_H - FFF8 90C7_H、FFF8 9200_H - FFF8 9207_H
 BIST : FFF8 A440_H - FFF8 A443_H
 リセット : FFF8 AC10_H - FFF8 AC1B_H

4.3.2 レジスタ

4.3.2.1 レジスタ一覧

書き込み保護レジスタのレジスタ一覧を以下にします。

表 4.3 書き込み保護レジスタ一覧

保護対象・レジスタ名	略号	アドレス
ポート :		
書き込み保護コマンドレジスタ	PPCMD0	FFC1 4030 _H
	PPCMD1	FFC1 4070 _H
	PPCMD2	FFC1 40B0 _H
	PPCMD3	FFC1 40F0 _H
	PPCMD4	FFC1 4130 _H
	PPCMD5	FFC1 4170 _H
	JPPCMD0	FFC2 4030 _H
書き込みシーケンスステータスレジスタ	PPROTS0	FFC1 4034 _H
	PPROTS1	FFC1 4074 _H
	PPROTS2	FFC1 40B4 _H
	PPROTS3	FFC1 40F4 _H
	PPROTS4	FFC1 4134 _H
	PPROTS5	FFC1 4174 _H
	JPPROTS0	FFC2 4034 _H
CVM :		
書き込み保護コマンドレジスタ	PROTCMDCVM	FFF8 3010 _H
書き込みシーケンスステータスレジスタ	PROTSCVM	FFF8 3014 _H
LVI / リセット / クロックコントローラ / BIST :		
書き込み保護コマンドレジスタ	PROT1PHCMD	FFF8 B000 _H
書き込みシーケンスステータスレジスタ	PROT1PS	FFF8 B004 _H
クロックモニタ :		
書き込み保護コマンドレジスタ	CLMA0PCMD	FFF8 8410 _H
	CLMA1PCMD	FFF8 8430 _H
	CLMA2PCMD	FFF8 8450 _H
	CLMA3PCMD	FFF8 8470 _H
書き込みシーケンスステータスレジスタ	CLMA0PS	FFF8 8414 _H
	CLMA1PS	FFF8 8434 _H
	CLMA2PS	FFF8 8454 _H
	CLMA3PS	FFF8 8474 _H
ECM :		
ECM マスタ書き込み保護コマンドレジスタ	ECMMPCMD0	FFD6 0010 _H
ECM チェッカ書き込み保護コマンドレジスタ	ECMCPCMD0	FFD6 1010 _H
ECM 書き込み保護コマンドレジスタ	ECMPCMD1	FFD6 202C _H
ECM 書き込みシーケンスステータスレジスタ	ECMPS	FFD6 2030 _H
フラッシュメモリ :		
FLMD 書き込み保護コマンドレジスタ	FLMDPCMD	FFA0 0004 _H
FLMD 書き込みシーケンスステータスレジスタ	FLMDPS	FFA0 0008 _H

4.3.2.2 ポートレジスタ保護

(1) PPCMDn / JPPCMD0 — 書き込み保護コマンドレジスタ

このレジスタは、書き込み保護対象レジスタに書き込むためのコマンドレジスタです。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

有効ビット位置（n の値の種類）はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧（表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧）を参照してください。

アクセス 32 ビット単位でライトのみ可能です。

アドレス PPCMD0 : FFC1 4030_H
 PPCMD1 : FFC1 4070_H
 PPCMD2 : FFC1 40B0_H
 PPCMD3 : FFC1 40F0_H
 PPCMD4 : FFC1 4130_H
 PPCMD5 : FFC1 4170_H
 JPPCMD0 : FFC2 4030_H

リセット後の値 0000 0000_H
 どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMDn[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 4.4 PPCMDn レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	PCMDn[7:0]	書き込み保護対象レジスタの書き込みを可能にする保護コマンドレジスタビット

備 考

対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

(2) PPROTSn / JPPROTS0 — 書き込みシーケンスステータスレジスタ

このレジスタは、書き込み保護対象レジスタの書き込みシーケンスのステータスを示します。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

有効ビット位置（n の値の種類）はデバイスの端子数によって変わります。「2.4.1.1 ポートレジスタ一覧」のポートグループごとのレジスタ一覧（表 2.36 ポートグループ 0 レジスタ一覧、表 2.37 ポートグループ 1 レジスタ一覧、表 2.38 ポートグループ 2 レジスタ一覧、表 2.39 ポートグループ 3 レジスタ一覧、表 2.40 ポートグループ 4 レジスタ一覧、表 2.41 ポートグループ 5 レジスタ一覧、表 2.42 ポートグループ JP0 レジスタ一覧）を参照してください。

アクセス 32 ビット単位でリードのみ可能です。ライトした場合、無視されます。

アドレス PPROTS0 : FFC1 4034_H
 PPROTS1 : FFC1 4074_H
 PPROTS2 : FFC1 40B4_H
 PPROTS3 : FFC1 40F4_H
 PPROTS4 : FFC1 4134_H
 PPROTS5 : FFC1 4174_H
 JPPROTS0 : FFC2 4034_H

リセット後の値 0000 0000_H
 どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPROT Sn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.5 PPROTSn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	PPROTSn_0	書き込みシーケンスエラーモニタ 0 : 保護エラーなし 1 : 保護エラー発生

備考

対象ポートグループ、ビットの情報は「2.4.1.1 ポートレジスタ一覧」を参照ください。

4.3.2.3 コアボルテージモニタ (CVM) レジスタ保護

(1) PROTCMDCVM — 書き込み保護コマンドレジスタ

このレジスタは、書き込み保護対象レジスタに書き込むためのコマンドレジスタです。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFF8 3010_H

リセット後の値 0000 0000_H
どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 4.6 PROTCMDCVM レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	PCMD[7:0]	書き込み保護対象レジスタの書き込みを可能にする保護コマンドレジスタビット

(2) PROTSCVM — 書き込みシーケンスステータスレジスタ

このレジスタは、書き込み保護対象レジスタの書き込みシーケンスのステータスを示します。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 3014_H

リセット後の値 0000 0000_H
どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTE RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.7 PROTSCVM レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	PROTERR	書き込みシーケンスエラーモニタ 0: 保護エラーなし 1: 保護エラー発生

4.3.2.4 LVI / リセット / クロックコントローラ / BIST レジスタ保護

(1) PROT1PHCMD — 書き込み保護コマンドレジスタ

このレジスタは、書き込み保護対象レジスタに書き込むためのコマンドレジスタです。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFF8 B000_H

リセット後の値 0000 0000_H
どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 4.8 PROT1PHCMD レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ~ 0	PCMD[7:0]	書き込み保護対象レジスタの書き込みを可能にする保護コマンドレジスタビット

(2) PROT1PS — 書き込みシーケンスステータスレジスタ

このレジスタは、書き込み保護対象レジスタの書き込みシーケンスのステータスを示します。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 B004_H

リセット後の値 0000 0000_H
どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTE RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.9 PROT1PS レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	PROTERR	書き込みシーケンスエラーモニタ 0: 保護エラーなし 1: 保護エラー発生

4.3.2.5 クロックモニタレジスタ保護

(1) CLMA_nPCMD — CLMA_n 書き込み保護コマンドレジスタ

このレジスタは、書き込み保護対象レジスタに書き込むためのコマンドレジスタです。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

CLMA_n (n の値) はクロックモニタのチャンネルとなります。

アクセス 8ビット単位でライトのみ可能です。

アドレス CLMA0PCMD : FFF8 8410_H
 CLMA1PCMD : FFF8 8430_H
 CLMA2PCMD : FFF8 8450_H
 CLMA3PCMD : FFF8 8470_H

リセット後の値 00_H
 どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	CLMA _n PCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 4.10 CLMA_nPCMD レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	CLMA _n PCMD[7:0]	書き込み保護対象レジスタの書き込みを可能にする保護コマンドレジスタビット

(2) CLMAnPS — CLMAn 書き込みシーケンスステータスレジスタ

このレジスタは、書き込み保護対象レジスタの書き込みシーケンスのステータスを示します。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

CLMAn (n の値) はクロックモニタのチャンネルとなります。

アクセス 8ビット単位でリードのみ可能です。

アドレス CLMA0PS : FFF8 8414_H
 CLMA1PS : FFF8 8434_H
 CLMA2PS : FFF8 8454_H
 CLMA3PS : FFF8 8474_H

リセット後の値 00_H
 どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 4.11 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	CLMAnPRERR	書き込みシーケンスエラーモニタ 0 : 保護エラーなし 1 : 保護エラー発生

4.3.2.6 エラーコントロールモジュール（ECM）レジスタ保護

(1) ECMmPCMD0 — ECM マスタ / チェッカ書き込み保護コマンドレジスタ（m = M/C）

このレジスタは、書き込み保護対象レジスタに書き込むためのコマンドレジスタです。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス 32ビット単位でライトのみ可能です。

アドレス ECMmPCMD0 : FFD6 0010_H
ECMmPCMD0 : FFD6 1010_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定								不定							
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECMmREG0[7:0]							
リセット後の値	不定								不定							
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 4.12 ECMmPCMD0 レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合は"0"を書いてください。
7～0	ECMmREG0[7:0]	書き込み保護対象レジスタの書き込みを可能にする保護コマンドレジスタビット

(2) ECMPCMD1 — ECM 書き込み保護コマンドレジスタ

このレジスタは、書き込み保護対象レジスタに書き込むためのコマンドレジスタです。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス 32ビット単位でライトのみ可能です。

アドレス FFD6 202C_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECMREG1[7:0]							
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 4.13 ECMPCMD1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合は "0" を書いてください。
7 ~ 0	ECMREG1[7:0]	書き込み保護対象レジスタの書き込みを可能にする保護コマンドレジスタビット

(3) ECMP5 — ECM 書き込みシーケンスステータスレジスタ

このレジスタは、書き込み保護対象レジスタの書き込みシーケンスのステータスを示します。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス 8ビット単位でリードのみ可能です。

アドレス FFD6 2030_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 4.14 ECMP5 レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ECMPRERR	書き込みシーケンスエラーモニタ 0: 保護エラーなし 1: 保護エラー発生

4.3.2.7 FLMDCNT レジスタ保護

(1) FLMDPCMD — FLMD 書き込み保護コマンドレジスタ

このレジスタは、書き込み保護対象レジスタに書き込むためのコマンドレジスタです。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス： 32 ビット単位でライトのみ可能です。

アドレス： FFA0 0004_H

リセット後の値： 0000 0000_H
どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FLMDPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 4.15 FLMDPCMD レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	ライトする場合は "0" を書いてください。
7 ~ 0	FLMDPC[7:0]	書き込み保護対象レジスタの書き込みを可能にする保護コマンドレジスタビット

(2) FLMDPS — FLMD 書き込みシーケンスステータスレジスタ

このレジスタは、書き込み保護対象レジスタの書き込みシーケンスのステータスを示します。

書き込み保護対象レジスタについては、「表 4.2 書き込み保護対象レジスタ」を参照してください。

アクセス： 32ビット単位でリードのみ可能です。

アドレス： FFA0 0008_H

リセット後の値： 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLMDP RERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.16 FLMDPS レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	FLMDPRERR	書き込みシーケンスエラーモニタ 0：保護エラーなし 1：保護エラー発生

第5章 動作モード

RH850/P1x の動作モードとモードの選択方法について説明します。

RH850/P1x には、次の動作モードがあります。

5.1 動作モード

- 通常動作モード

ユーザプログラム実行用のモードです。オンチップデバッグ機能を使用する場合も、このモードになります。本動作モード中に、FLMD0 をハイにプルアップすることによって、セルフプログラミングによるコードフラッシュメモリへの書き換えも可能です。

- シリアルプログラミングモード

専用フラッシュメモリプログラマによりフラッシュメモリへの消去／書き込み操作が可能になります。

RH850/P1x は、端子リセット解除時、FLMD0, FLMD1 端子の状態をラッチし、リセット解除後の動作モードを決定します。各端子状態と動作モードの関係を、**表 5.1** に示します。

表 5.1 動作モードの選択

端子		動作モード
FLMD0	FLMD1 (P3_14)	
0	x	通常動作モード
1	0	シリアルプログラミングモード
上記以外		設定禁止

5.2 レジスタ仕様

5.2.1 レジスタ一覧

レジスタ一覧を以下の表に示します。

表 5.2 レジスタ一覧

レジスタ名	シンボル名	R/W	初期値	アドレス
動作モード表示レジスタ	MODER	R	不定	FFCD 13F4 _H

5.2.2 MODER — 動作モード表示レジスタ

本製品の動作モードを表示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス FFCD 13F4_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MODE[3:0]			
リセット後の値	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R

表 5.3 MODER レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合は不定値が読めます。
3 ~ 0	MODE[3:0]	0011 : 通常動作モード

第6章 割り込み

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1 概要

- 割り込み要因
 - ノンマスカブル割り込み (FENMI) : 1 本
ECM からの FE レベル割り込み
 - FE レベルマスカブル割り込み (FEINT) : 1 本
端子 NMI、OSTM3 ~ OSTM7 からの FE レベル割り込み
 - EI レベルマスカブル割り込み (EIINT) : 384 本
 - 高速割り込み 32 本
 - DMAC
 - ECM
 - ウインドウウォッチドッグタイマ
低速割り込み 352 本
 - タイマ系
 - 通信系
 - 外部割り込み
 - A/D 割り込み
 - DTS
 - フラッシュ

FENMI、FEINT、EIINT に関する詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」を参照してください。

- EI レベル割り込みに対して優先順位を 16 レベル設定可能
EI レベル割り込み制御レジスタにより、EI レベル割り込みの優先順位を要求別に 16 レベルまで設定することができます。
- 3 種類の検出方法
端子 NMI 割り込みおよび外部割り込みについては、Rise エッジ、Fall エッジ、両エッジから選択可能です。
- 2 種類の割り込みハンドラアドレス指定
レジスタ設定により、直接分岐方式とテーブル参照方式から選択可能です。
- ソフトウェア割り込み
ソフトウェア割り込みレジスタにより、任意の優先順位の割り込みをプログラムから発生させることができます。

6.1.1 リセット要因

割り込み機能のリセット要因を以下に示します。割り込み機能は以下に示すリセット要因で初期化されます。

表 6.1 リセット要因

ユニット名	リセット要因
INTC	リセットコントローラ SYSRES

6.2 レジスタ仕様

INTCには以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

6.2.1 レジスタ構成

表 6.2 割り込み制御

アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFFE EA00 _H -FFFE EA3E _H (EIC0-31) FFFF B040 _H -FFFF B2FE _H (EIC32-383)	EICn ^{注1}	EI レベル割り込み制御レジスタ	R/W	008F _H ^{注4} 808F _H ^{注5}	1/8/16
FFFE EAF0 _H (IMR0) FFFF B404 _H -FFFF B42C _H (IMR1-IMR11)	IMRn ^{注2}	EI レベル割り込みマスクレジスタ	R/W	FFFF FFFF _H	1/8/16/32
FFFE EB00 _H -FFFE EB7C _H (EIBD0-31) FFFF B880 _H -FFFF BDFC _H (EIBD32-383)	EIBDn ^{注3}	EI レベル割り込みバインドレジスタ	R/W	0000 0001 _H	32
FFFE EA78 _H	FNC	FE レベル NMI 制御レジスタ	R	0000 _H	1/8/16
FFFE EA7A _H	FIC	FE レベル割り込み制御レジスタ	R	0000 _H	1/8/16
FFD6 7000 _H	FEINTF	FEINT 要因レジスタ	R	0000 0000 _H	32
FFD6 7008 _H	FEINTFC	FEINT 要因クリアレジスタ	W	0000 0000 _H	32

注 1. n = 0 ~ 383

注 2. n = 0 ~ 11

注 3. n = 0 ~ 383

注 4. 同期エッジ検出時

注 5. High レベル検出時

表 6.2 に示すレジスタのうち、EIC0 ~ 31、IMR0、EIBD0 ~ 31、FNC、FIC は、CPU 固有周辺内の INTC1 に配置されています。これらのレジスタは、これらのレジスタを内蔵している CPU からしかアクセスすることはできません。また、書き込みは、スーパーバイザモード (PSW.UM=0) のみが実行可能です。

表 6.2 に示すレジスタのうち、EIC32 ~ 383、IMR1 ~ 11、EIBD32 ~ 383 は、周辺 IP グループ 0 内の INTC2 に配置されています。これらのレジスタへの書き込みは、CPU1 のスーパーバイザモード (PSW.UM = 0) のみが実行可能です。

表 6.3 ソフトウェア割り込み

アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC0000H	SINTR0	ソフトウェア割り込みレジスタ 0	R/W	00 _H	8
FFC0004H	SINTR1	ソフトウェア割り込みレジスタ 1	R/W	00 _H	8
FFC0008H	SINTR2	ソフトウェア割り込みレジスタ 2	R/W	00 _H	8
FFC000CH	SINTR3	ソフトウェア割り込みレジスタ 3	R/W	00 _H	8
FFC0010H	SINTR4	ソフトウェア割り込みレジスタ 4	R/W	00 _H	8

表 6.4 割り込みマージ機能

アドレス	レジスタシンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFF9 8000 _H	PINT0	周辺割り込みステータスレジスタ 0	R	0000 0000 _H	32
FFF9 8004 _H	PINT1	周辺割り込みステータスレジスタ 1	R	0000 0000 _H	32
FFF9 8008 _H	PINT2	周辺割り込みステータスレジスタ 2	R	0000 0000 _H	32
FFF9 800C _H	PINT3	周辺割り込みステータスレジスタ 3	R	0000 0000 _H	32
FFF9 8010 _H	PINT4	周辺割り込みステータスレジスタ 4	R	0000 0000 _H	32
FFF9 8014 _H	PINT5	周辺割り込みステータスレジスタ 5	R	0000 0000 _H	32
FFF9 8018 _H	PINT6	周辺割り込みステータスレジスタ 6	R	0000 0000 _H	32
FFF9 801C _H	PINT7	周辺割り込みステータスレジスタ 7	R	0000 0000 _H	32
FFF9 8020 _H	PINTCLR0	割り込みクリアレジスタ 0	W	0000 0000 _H	32
FFF9 8024 _H	PINTCLR1	割り込みクリアレジスタ 1	W	0000 0000 _H	32
FFF9 8028 _H	PINTCLR2	割り込みクリアレジスタ 2	W	0000 0000 _H	32
FFF9 802C _H	PINTCLR3	割り込みクリアレジスタ 3	W	0000 0000 _H	32
FFF9 8030 _H	PINTCLR4	割り込みクリアレジスタ 4	W	0000 0000 _H	32
FFF9 8034 _H	PINTCLR5	割り込みクリアレジスタ 5	W	0000 0000 _H	32
FFF9 8038 _H	PINTCLR6	割り込みクリアレジスタ 6	W	0000 0000 _H	32
FFF9 803C _H	PINTCLR7	割り込みクリアレジスタ 7	W	0000 0000 _H	32

6.2.2 EIC0 ~ EIC383 — EI レベル割り込み制御レジスタ 0 ~ 383

EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。同期エッジ検出モード時には、本レジスタに対する書き込みにはご注意ください。周辺モジュールからの割り込み要求の直後に、EIRFn ビットに“0”を書き込んだ場合は誤って要求が失われる恐れがあります。CPU によって割り込みが受け付けられた直後に、EIRFn ビットに“1”を書き込んだ場合は誤って要求が再セットされる恐れがあります。本レジスタへの書き込みは、周辺モジュールからの割り込み要求や、CPU による割り込み受け付けがない状態で行うようにしてください。

レジスタへの書き込みにはビット操作命令 (set1、clr1、not1) を含みます。ビット操作命令は、①レジスタの読み出し、②特定ビットの操作、③レジスタへの書き戻し、で実現されます。EIRFn ビット以外へのビット操作命令実行時には、①での読み出し値が③で書き込まれます。このため、①と③の間に割り込みが要求された場合や CPU による割り込みが受け付けられた場合は上記の問題が発生する恐れがあります。なお、ビット 15 - 13、11 - 8、5、4 に対するビット操作命令でのアクセスは禁止です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EICTn	—	—	EIRFn	—	—	—	—	EIMKn	EITBn	—	—	EIP3n	EIP2n	EIP1n	EIP0n
リセット後の値	注1	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

注 1. 同期エッジ検出時 0、High レベル検出時 1

表 6.5 EIC0 - EIC383 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	EICTn	割り込みチャンネルタイプビットです。割り込み入カインタフェースにより以下の値がリードされます。リードのみ可能です。 0: 同期エッジ検出 1: High レベル検出 本レジスタにライトする場合は、本ビットにはリセット後の値を書いてください。
14, 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	EIRFn	割り込み要求フラグです。割り込み入カインタフェースにより動作が異なります。 0: 割り込み要求なし (リセット後の値) 1: 割り込み要求あり • 同期エッジ検出 CPU コアに自チャンネルの割り込み要求が受け付けられると自動的にクリアされます。 ソフトウェアによるビットのセット・クリアが可能です。 • High レベル検出 ソフトウェアによるビットのセット・クリアはできません。リードのみ可能です。
11 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	EIMKn	割り込みマスクビットです。本ビットがセットされている場合は割り込み要求フラグ (EIRFn) へセットされた割り込み要求をマスクし、そのチャンネルから CPU コアへ割り込み要求が行われないようにします。また、本ビットがセットされているチャンネルからは未処理割り込みの存在通知と ICSR レジスタの PMEI ビットのセットは行われません。本ビットで割り込み処理を禁止に設定した場合も、割り込み信号の入力そのもののマスクは行われず、割り込み要求フラグはセットされます。割り込みマスクレジスタ (IMR) の対応するビットの設定も反映されません。 0: 割り込み処理を許可 1: 割り込み処理を禁止 (リセット後の値)

表 6.5 EIC0 - EIC383 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	EITBn	割り込みベクタ方式選択ビットです。 0: 優先度に基づいた直接分岐方式 1: テーブル参照方式
5, 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	EIP3n-0n	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。本ビットで指定される優先度が同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

備考 n = 0 ~ 383

備 考

「表 6.12 割り込み例外ハンドラと優先順位」にて予約となっている割り込みチャンネルに対応するレジスタの存在するアドレスは予約領域となりますので、アクセスしないでください。アクセスした場合、動作の保証はできません。

6.2.3 IMR0 ~ IMR11 — EI レベル割り込みマスクレジスタ 0 ~ 11

EIC レジスタの EIMK ビットの集合レジスタです。IMRn レジスタの各ビットは対応する EIMK ビットの設定が反映されます。また IMRn レジスタへの設定は対応する EIMK ビットへ反映されます。

IMR0

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR0H	EIMK31	EIMK30	EIMK29	EIMK28	EIMK27	EIMK26	EIMK25	EIMK24	EIMK23	EIMK22	EIMK21	EIMK20	EIMK19	EIMK18	EIMK17	EIMK16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR0L	EIMK15	EIMK14	EIMK13	EIMK12	EIMK11	EIMK10	EIMK9	EIMK8	EIMK7	EIMK6	EIMK5	EIMK4	EIMK3	EIMK2	EIMK1	EIMK0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IMR1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR1H	EIMK63	EIMK62	EIMK61	EIMK60	EIMK59	EIMK58	EIMK57	EIMK56	EIMK55	EIMK54	EIMK53	EIMK52	EIMK51	EIMK50	EIMK49	EIMK48
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR1L	EIMK47	EIMK46	EIMK45	EIMK44	EIMK43	EIMK42	EIMK41	EIMK40	EIMK39	EIMK38	EIMK37	EIMK36	EIMK35	EIMK34	EIMK33	EIMK32
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

:

:

IMR11

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMR11H	EIMK 383	EIMK 382	EIMK 381	EIMK 380	EIMK 379	EIMK 378	EIMK 377	EIMK 376	EIMK 375	EIMK 374	EIMK 373	EIMK 372	EIMK 371	EIMK 370	EIMK 369	EIMK 368
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR11L	EIMK 367	EIMK 366	EIMK 365	EIMK 364	EIMK 363	EIMK 362	EIMK 361	EIMK 360	EIMK 359	EIMK 358	EIMK 357	EIMK 356	EIMK 355	EIMK 354	EIMK 353	EIMK 352
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考

「表 6.12 割り込み例外ハンドラと優先順位」にて予約となっている割り込みチャネルに対応するビットは予約となります。リード値はリセット後の値が読みだされます。ライトはリセット後の値と同じ値としてください。

6.2.4 EIBD0 ~ EIBD383 — EI レベル割り込みバインドレジスタ 0 ~ 383

EI レベル INT の要因ごとに用意され、各要因と PE の対応付けを行います。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIBDnH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GPID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIBDnL	—	—	—	—	—	—	—	—	—	—	—	—	—	PEID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 6.6 EIBD0 - EIBD383 レジスタの内容

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	GPID	本ビットは、EIBD32-383 にのみ実装されています。本製品では必ず 00 を設定してください。 EIBD0-31 では予約ビットであり、リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	PEID	割り込みをバインド（要求）する先を指定します。 EIBD0 - EIBD31 は 001 に固定されており、変更することはできません。 EIBD32 - EIBD383 には、本製品では必ず 001 を設定してください。

備考

「表 6.12 割り込み例外ハンドラと優先順位」にて予約となっている割り込みチャネルに対応するレジスタの存在するアドレスは予約領域となりますので、アクセスしないでください。アクセスした場合、動作の保証はできません。

注意

EIINT の要求を処理中に対応する EIBDn レジスタの値を変更する事は禁止です。

6.2.5 FNC — FE レベル NMI 制御レジスタ

FE レベル NMI の制御条件を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FNRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6.7 FNC レジスタの内容

ビット位置	ビット名	機能
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	FNRF	割り込み要求フラグです。 0: 割り込み要求なし (リセット後の値) 1: 割り込み要求あり CPU コアに FE レベル NMI の割り込み要求が受け付けられると自動的にクリアされます。
11 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。

6.2.6 FIC — FE レベル割り込み制御レジスタ

FE レベル割り込みの制御条件を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FIRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6.8 FIC レジスタの内容

ビット位置	ビット名	機能
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	FIRF	割り込み要求フラグです。 0: 割り込み要求なし (リセット後の値) 1: 割り込み要求あり CPU コアに FE レベル割り込み要求が受け付けられると自動的にクリアされま す。
11 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。

6.2.7 SINTR0 ~ SINTR4 — ソフトウェア割り込みレジスタ

本レジスタは、ソフトウェア割り込み 0 ~ 4 (SINT0 ~ SINT4) を制御する 8 ビットのレジスタです。

本レジスタに、01H をライトすることでカウンタ値をインクリメントします。また、00H をライトすることでカウンタ値をデクリメントします。本レジスタのカウント値が 1 以上のとき、ソフトウェア割り込み 0 ~ 4 (SINT0 ~ SINT4) が発生します。リードした場合、現在のカウンタ値が読み出されます。

ビット	7	6	5	4	3	2	1	0
	SINTCn7	SINTCn6	SINTCn5	SINTCn4	SINTCn3	SINTCn2	SINTCn1	SINTCn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.9 SINTR0 - SINTR4 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	SINTCn[7:0]	ソフトウェア割り込み要求 ソフトウェア割り込みが発生します。 [リード動作] SINTn の割り込み要求回数カウンタ値が読み出されます。 [ライト動作] 01H をライト：カウンタをインクリメントします。 ^{注1} 00H をライト：カウンタをデクリメントします。 ^{注2} 上記以外：設定禁止（設定した場合の動作を保証しません）

注 1. カウンタが FF_H のときに 01_H をライトした場合、インクリメントされず、FF_H のままとなります

注 2. カウンタが 00_H のときに 00_H をライトした場合、デクリメントされず、00_H のままとなります。

6.2.8 PINT0 ~ PINT7, PINTCLR0 ~ PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ

PINT0 ~ PINT7 は、32 チャンネル単位でマージされている DTS の転送完了割り込みおよび転送回数一致割り込みについて、チャンネルごとの割り込みステータスを確認することができます。

割り込みハンドラ内で、周辺割り込みステータスレジスタ (PINT0 ~ PINT7) のリード値を、同チャンネルの割り込みクリアレジスタ (PINTCLR0 ~ PINTCLR7) にライトすることにより、割り込みをクリアします。多重割り込みに対応するために、下位ビット側の割り込みが優先されます。

PINT0 ~ PINT7 は、SYSRES により 0000 0000_H に初期化されます。

PINT n + x (n=0 ~ 3, x=0)

ビット	31	30	29	28	27	26	25	24
	INTDTS [31+32*n]	INTDTS [30+32*n]	INTDTS [29+32*n]	INTDTS [28+32*n]	INTDTS [27+32*n]	INTDTS [26+32*n]	INTDTS [25+32*n]	INTDTS [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	23	22	21	20	19	18	17	16
	INTDTS [23+32*n]	INTDTS [22+32*n]	INTDTS [21+32*n]	INTDTS [20+32*n]	INTDTS [19+32*n]	INTDTS [18+32*n]	INTDTS [17+32*n]	INTDTS [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8
	INTDTS [15+32*n]	INTDTS [14+32*n]	INTDTS [13+32*n]	INTDTS [12+32*n]	INTDTS [11+32*n]	INTDTS [10+32*n]	INTDTS [9+32*n]	INTDTS [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
	INTDTS [7+32*n]	INTDTS [6+32*n]	INTDTS [5+32*n]	INTDTS [4+32*n]	INTDTS [3+32*n]	INTDTS [2+32*n]	INTDTS [1+32*n]	INTDTS [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

PINT n + x (n=0 ~ 3, x=4)

ビット	31	30	29	28	27	26	25	24
	INTCTDTS [31+32*n]	INTCTDTS [30+32*n]	INTCTDTS [29+32*n]	INTCTDTS [28+32*n]	INTCTDTS [27+32*n]	INTCTDTS [26+32*n]	INTCTDTS [25+32*n]	INTCTDTS [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	23	22	21	20	19	18	17	16
	INTCTDTS [23+32*n]	INTCTDTS [22+32*n]	INTCTDTS [21+32*n]	INTCTDTS [20+32*n]	INTCTDTS [19+32*n]	INTCTDTS [18+32*n]	INTCTDTS [17+32*n]	INTCTDTS [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8
	INTCTDTS [15+32*n]	INTCTDTS [14+32*n]	INTCTDTS [13+32*n]	INTCTDTS [12+32*n]	INTCTDTS [11+32*n]	INTCTDTS [10+32*n]	INTCTDTS [9+32*n]	INTCTDTS [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
	INTCTDTS [7+32*n]	INTCTDTS [6+32*n]	INTCTDTS [5+32*n]	INTCTDTS [4+32*n]	INTCTDTS [3+32*n]	INTCTDTS [2+32*n]	INTCTDTS [1+32*n]	INTCTDTS [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

PINTCLR n + x (n=0 ~ 3, x=0)

ビット	31	30	29	28	27	26	25	24
	INTCLR [31+32*n]	INTCLR [30+32*n]	INTCLR [29+32*n]	INTCLR [28+32*n]	INTCLR [27+32*n]	INTCLR [26+32*n]	INTCLR [25+32*n]	INTCLR [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	23	22	21	20	19	18	17	16
	INTCLR [23+32*n]	INTCLR [22+32*n]	INTCLR [21+32*n]	INTCLR [20+32*n]	INTCLR [19+32*n]	INTCLR [18+32*n]	INTCLR [17+32*n]	INTCLR [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8
	INTCLR [15+32*n]	INTCLR [14+32*n]	INTCLR [13+32*n]	INTCLR [12+32*n]	INTCLR [11+32*n]	INTCLR [10+32*n]	INTCLR [9+32*n]	INTCLR [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	7	6	5	4	3	2	1	0
	INTCLR [7+32*n]	INTCLR [6+32*n]	INTCLR [5+32*n]	INTCLR [4+32*n]	INTCLR [3+32*n]	INTCLR [2+32*n]	INTCLR [1+32*n]	INTCLR [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PINTCLR n + x (n=0 ~ 3、x=4)

ビット	31	30	29	28	27	26	25	24
	INTCTCLR [31+32*n]	INTCTCLR [30+32*n]	INTCTCLR [29+32*n]	INTCTCLR [28+32*n]	INTCTCLR [27+32*n]	INTCTCLR [26+32*n]	INTCTCLR [25+32*n]	INTCTCLR [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	23	22	21	20	19	18	17	16
	INTCTCLR [23+32*n]	INTCTCLR [22+32*n]	INTCTCLR [21+32*n]	INTCTCLR [20+32*n]	INTCTCLR [19+32*n]	INTCTCLR [18+32*n]	INTCTCLR [17+32*n]	INTCTCLR [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8
	INTCTCLR [15+32*n]	INTCTCLR [14+32*n]	INTCTCLR [13+32*n]	INTCTCLR [12+32*n]	INTCTCLR [11+32*n]	INTCTCLR [10+32*n]	INTCTCLR [9+32*n]	INTCTCLR [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
ビット	7	6	5	4	3	2	1	0
	INTCTCLR [7+32*n]	INTCTCLR [6+32*n]	INTCTCLR [5+32*n]	INTCTCLR [4+32*n]	INTCTCLR [3+32*n]	INTCTCLR [2+32*n]	INTCTCLR [1+32*n]	INTCTCLR [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PINT0

ビット位置	ビット名	機能
31 ~ 0	INTDTS[31:0]	DTS ch31 ~ 0 転送完了割り込みステータス

PINT1

ビット位置	ビット名	機能
31 ~ 0	INTDTS[63:32]	DTS ch63 ~ 32 転送完了割り込みステータス

PINT2

ビット位置	ビット名	機能
31 ~ 0	INTDTS[95:64]	DTS ch95 ~ 64 転送完了割り込みステータス

PINT3

ビット位置	ビット名	機能
31 ~ 0	INTDTS [127:96]	DTS ch127 ~ 96 転送完了割り込みステータス

PINT4

ビット位置	ビット名	機能
31 ~ 0	INTCTDTS [31:0]	DTS ch31 ~ 0 転送回数一致割り込みステータス

PINT5

ビット位置	ビット名	機能
31 ~ 0	INTCTDTS [63:32]	DTS ch63 ~ 32 転送回数一致割り込みステータス

PINT6

ビット位置	ビット名	機能
31 ~ 0	INTCTDTS [95:64]	DTS ch95 ~ 64 転送回数一致割り込みステータス

PINT7

ビット位置	ビット名	機能
31 ~ 0	INTCTDTS [127:96]	DTS ch127 ~ 96 転送回数一致割り込みステータス

PINTCLR0

ビット位置	ビット名	機能
31 ~ 0	INTCLR[31:0]	DTS ch31 ~ 0 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT0 の読み出し値を書き込みます。

PINTCLR1

ビット位置	ビット名	機能
31 ~ 0	INTCLR[63:32]	DTS ch63 ~ 32 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT1 の読み出し値を書き込みます。

PINTCLR2

ビット位置	ビット名	機能
31 ~ 0	INTCLR[95:64]	DTS ch95 ~ 64 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT2 の読み出し値を書き込みます。

PINTCLR3

ビット位置	ビット名	機能
31 ~ 0	INTCLR[127:96]	DTS ch127 ~ 96 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT3 の読み出し値を書き込みます。

PINTCLR4

ビット位置	ビット名	機能
31 ~ 0	INTCTCLR[31:0]	DTS ch31 ~ 0 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT4 の読み出し値を書き込みます。

PINTCLR5

ビット位置	ビット名	機能
31 ~ 0	INTCTCLR [63:32]	DTS ch63 ~ 32 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT5 の読み出し値を書き込みます。

PINTCLR6

ビット位置	ビット名	機能
31 ~ 0	INTCTCLR [95:64]	DTS ch95 ~ 64 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT6 の読み出し値を書き込みます。

PINTCLR7

ビット位置	ビット名	機能
31 ~ 0	INTCTCLR [127:96]	DTS ch127 ~ 96 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT7 の読み出し値を書き込みます。

6.2.9 FEINTF — FEINT 要因レジスタ

FE レベル割り込み (FEINT) は、端子 NMI 割り込みおよび OSTM3 ~ 7 割り込みで共有しています。FE レベル割り込み発生時は本レジスタを参照して、割り込み発生要因を確認してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	INTOST M7FEIF	INTOST M6FEIF	INTOST M5FEIF	INTOST M4FEIF	INTOST M3FEIF	NMIFEI F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 6.10 FEINTF レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。
5	INTOSTM7 FEIF	OSTM7 割り込みの発生有無 0 : OSTM7 割り込み未発生 1 : OSTM7 割り込み発生
4	INTOSTM6 FEIF	OSTM6 割り込みの発生有無 0 : OSTM6 割り込み未発生 1 : OSTM6 割り込み発生
3	INTOSTM5 FEIF	OSTM5 割り込みの発生有無 0 : OSTM5 割り込み未発生 1 : OSTM5 割り込み発生
2	INTOSTM4 FEIF	OSTM4 割り込みの発生有無 0 : OSTM4 割り込み未発生 1 : OSTM4 割り込み発生
1	INTOSTM3 FEIF	OSTM3 割り込みの発生有無 0 : OSTM3 割り込み未発生 1 : OSTM3 割り込み発生
0	NMIFEIF	端子 NMI 割り込みの発生有無 0 : 端子 NMI 割り込み未発生 1 : 端子 NMI 割り込み発生

6.2.10 FEINTFC — FEINT 要因クリアレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	OSTM7 FEIFC	OSTM6 FEIFC	OSTM5 FEIFC	OSTM4 FEIFC	OSTM3 FEIFC	NMIFEI FC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	W	W	W	W	W	W

表 6.11 FEINTFC レジスタの内容

ビット位置	ビット名	機能
31 ~ 6	予約ビット	ライト時は常に 0 を設定してください。
5	OSTM7FEIFC	INTOSTM7FEIF のクリア 0 : INTOSTM7FEIF ビットをクリアしない 1 : INTOSTM7FEIF ビットをクリアする
4	OSTM6FEIFC	INTOSTM6FEIF のクリア 0 : INTOSTM6FEIF ビットをクリアしない 1 : INTOSTM6FEIF ビットをクリアする
3	OSTM5FEIFC	INTOSTM5FEIF のクリア 0 : INTOSTM5FEIF ビットをクリアしない 1 : INTOSTM5FEIF ビットをクリアする
2	OSTM4FEIFC	INTOSTM4FEIF のクリア 0 : INTOSTM4FEIF ビットをクリアしない 1 : INTOSTM4FEIF ビットをクリアする
1	OSTM3FEIFC	INTOSTM3FEIF のクリア 0 : INTOSTM3FEIF ビットをクリアしない 1 : INTOSTM3FEIF ビットをクリアする
0	NMIFEIFC	NMIFEIF のクリア 0 : NMIFEIF ビットをクリアしない 1 : NMIFEIF ビットをクリアする

6.3 割り込み要因

割り込み要因は、NMI、INTP_n、ECM 割り込み、ソフトウェア割り込み (SINT)、内蔵周辺モジュールの 5 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (0 ~ 15) で表され、レベル 15 が最低でレベル 0 が最高です。

6.3.1 NMI 割り込み

NMI 割り込みは、NMI 端子からの入力による割り込みです。NMI 割り込みの検出方法を Rise エッジ、Fall エッジ、両エッジから選択できます。検出方法の設定については、「**第 2 章 端子**」を参照してください。

6.3.2 INTP_n 割り込み

INTP_n 割り込みは INTP_n 端子からの入力による割り込みです。INTP_n 割り込みの検出方法は、端子ごとに Rise エッジ、Fall エッジ、両エッジから選択できます。検出方法の設定については、「**第 2 章 端子**」を参照してください。

また、割り込み制御レジスタ (EIC_m) によって、端子ごとに優先レベルを 0 ~ 15 の範囲で設定できます。

INTP_n 端子の変化により割り込み要求が検出されると、INTC に割り込み要求信号が送られます。INTP_n 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、各 INTP_n に対応する EI レベル割り込み制御レジスタ *n* (EIC_n) の EIRF_n ビットをリードすることにより INTP_n 割り込み要求が検出されているかどうかを確認でき、0 をライトすることにより INTP_n 割り込み要求の検出結果を取り下げることができます。

INTP_n 割り込み例外ハンドラから復帰する際は、誤って再度受け付けないように、各 INTP_n に対応する EI レベル割り込み制御レジスタ *n* (EIC_n) の EIRF_n ビットがクリアされていることを確認してから割り込み復帰命令を実行してください。

6.3.3 ECM 割り込み

ECM (Error Control Module) で複数の割り込み要求をマージして生成される要因です。詳細は、「**第 32 章 エラーコントロールモジュール (ECM)**」と「**第 31 章 ファンクショナルセーフティ**」を参照してください。

6.3.4 ソフトウェア割り込み

ソフトウェア割り込み (SINT) の割り込み優先順位は、要因ごとに優先レベルを 0 ~ 15 の範囲で設定できます。

6.3.5 内蔵周辺モジュール割り込み

割り込みを発生させる内蔵周辺モジュールは「**表 6.12 割り込み例外ハンドラと優先順位**」を参照してください。

要因ごとに異なる割り込みベクタが割り当てられているため、割り込み例外ハンドラで要因を判定する必要はありません。優先順位は、割り込み要因ごとに優先レベル0～15の範囲で設定できます。

6.4 割り込み例外ハンドラと優先順位動作説明

表 6.12 に、割り込み要因と要因コード、例外ハンドラアドレスオフセット、割り込み優先順位を示します。

例外ハンドラアドレスは、CPU コア内の PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって決定する標準仕様に加えて、割り込みに関しては、チャンネルごとに例外ハンドラアドレスを個別に指定する拡張仕様があります。

標準仕様は、CPU コア内にあるベースアドレス (RBASE レジスタ /EBASE レジスタ) に、オフセットアドレスを加算して例外ハンドラアドレスとします。割り込みのオフセットアドレスの与え方には、以下の 2 通りの方式があります。なお、割り込みチャンネル以外は指定のオフセットアドレスとなります。

- 割り込みチャンネルに関係なく、チャンネルごとに設定する優先度 (0 ~ 15) によって +100H ~ +1F0H の範囲で決定する。(表 6.12 のオフセットアドレス、直接分岐方式、RINT=0)
- 優先度に関係なく、一律 +100H となる。これは、例外ハンドラのメモリ占有サイズを小さくするための機能です。(表 6.12 のオフセットアドレス、直接分岐方式、RINT=1)

拡張仕様は、割り込みチャンネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求められます。(表 6.12 のオフセットアドレス、テーブル参照方式) INTBP レジスタは、CPU コア内のレジスタです。

$$\text{例外ハンドラアドレス読み出し位置} = \text{INTBP レジスタ} + \text{チャンネル番号} * 4 \text{ バイト}$$

例外ハンドラアドレスに関する詳細は、「RH850G3M ユーザーズマニュアル ソフトウェア編」を参照してください。

INTPn (外部割り込み) および、内蔵周辺モジュール割り込みの優先順位は、チャンネルごとに優先レベル 0 ~ 15 (0 が優先高) の範囲で設定できます。指定した優先レベルが同じ場合は、固定の優先度としてチャンネル番号が小さい要因が選択されます。

注 意

FENMI、FEINT、EIINT (直接ベクタ方式)、SYSERR、FPI の例外ハンドラの先頭には、必ず SYNCNCP 命令を配置してください。

詳細については「RH850G3M ユーザーズマニュアル ソフトウェア編」を参照してください。

表 6.12 割り込み例外ハンドラと優先順位 (1/9)

機能・ モジュール	割り込み要因名	レベル 割り込み 差 ¹	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB	
					直接分岐方式						
					RINT=0	RINT=1					
ノンマスカブル割 り込み	エラーコントロールモジュール (ノンマスカブル)		(FENMI)	E0H	+0E0H	+0E0H	—	優先高	○	○	
FE レベル割り込 み	OSTM3 ~ 7 NMI 端子割り込み		(FEINT)	F0H	+0F0H	+0F0H	—		○	○	
	Reserved		0	1000	オフセット アドレスは、 チャンネルに よる違いは なく、優先 順位により +100H ~ +1F0H の間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	+000H	0 ~ 15(15)	—	—	
	Reserved		1	1001			+004H	0 ~ 15(15)	—	—	
	Reserved		2	1002			+008H	0 ~ 15(15)	—	—	
	Reserved		3	1003			+00CH	0 ~ 15(15)	—	—	
	Reserved		4	1004			+010H	0 ~ 15(15)	—	—	
	Reserved		5	1005			+014H	0 ~ 15(15)	—	—	
	Reserved		6	1006			+018H	0 ~ 15(15)	—	—	
	Reserved		7	1007			+01CH	0 ~ 15(15)	—	—	
エラーコントロ ールモジュール	エラーコントロールモジュール (マスカブル) (INTECM)		8	1008			+020H	0 ~ 15(15)		○	○
WDTA	WDTATIT75% 割り込み (INTWDTA0)		9	1009			+024H	0 ~ 15(15)		○	○
	Reserved		10	100A			+028H	0 ~ 15(15)		—	—
	Reserved		11	100B			+02CH	0 ~ 15(15)		—	—
	Reserved		12	100C			+030H	0 ~ 15(15)		—	—
	Reserved		13	100D			+034H	0 ~ 15(15)		—	—
	Reserved		14	100E			+038H	0 ~ 15(15)		—	—
	Reserved		15	100F	+03CH	0 ~ 15(15)		—	—		
DMA	DMA0 転送完了/カウンター一致 (INTDMA0)		16	1010	+040H	0 ~ 15(15)		○	○		
	DMA1 転送完了/カウンター一致 (INTDMA1)		17	1011	+044H	0 ~ 15(15)		○	○		
	DMA2 転送完了/カウンター一致 (INTDMA2)		18	1012	+048H	0 ~ 15(15)		○	○		
	DMA3 転送完了/カウンター一致 (INTDMA3)		19	1013	+04CH	0 ~ 15(15)		○	○		
	DMA4 転送完了/カウンター一致 (INTDMA4)		20	1014	+050H	0 ~ 15(15)		○	○		
	DMA5 転送完了/カウンター一致 (INTDMA5)		21	1015	+054H	0 ~ 15(15)		○	○		
	DMA6 転送完了/カウンター一致 (INTDMA6)		22	1016	+058H	0 ~ 15(15)		○	○		
	DMA7 転送完了/カウンター一致 (INTDMA7)		23	1017	+05CH	0 ~ 15(15)		○	○		
	DMA8 転送完了/カウンター一致 (INTDMA8)		24	1018	+060H	0 ~ 15(15)		○	○		
	DMA9 転送完了/カウンター一致 (INTDMA9)		25	1019	+064H	0 ~ 15(15)		○	○		
	DMA10 転送完了/カウンター一致 (INTDMA10)		26	101A	+068H	0 ~ 15(15)		○	○		
	DMA11 転送完了/カウンター一致 (INTDMA11)		27	101B	+06CH	0 ~ 15(15)		○	○		
	DMA12 転送完了/カウンター一致 (INTDMA12)		28	101C	+070H	0 ~ 15(15)		○	○		
	DMA13 転送完了/カウンター一致 (INTDMA13)		29	101D	+074H	0 ~ 15(15)		○	○		
	DMA14 転送完了/カウンター一致 (INTDMA14)		30	101E	+078+	0 ~ 15(15)		○	○		
DMA15 転送完了/カウンター一致 (INTDMA15)		31	101F	+07CH	0 ~ 15(15)		○	○			
INTP	外部割り込み 0 (INTP0)		32	1020	+080H	0 ~ 15(15)		○	○		
	外部割り込み 1 (INTP1)		33	1021	+084H	0 ~ 15(15)		○	○		
	外部割り込み 2 (INTP2)		34	1022	+088H	0 ~ 15(15)		○	○		
	外部割り込み 3 (INTP3)		35	1023	+08CH	0 ~ 15(15)		○	○		
	外部割り込み 4 (INTP4)		36	1024	+090H	0 ~ 15(15)		○	○		
	Reserved		37	1025	+094H	0 ~ 15(15)		—	—		
	Reserved		38	1026	+098H	0 ~ 15(15)		—	—		
	Reserved		39	1027	+09CH	0 ~ 15(15)		—	—		
TSG30	TSG30 コンペアー一致割り込み 0 (INTTSG30I0)		40	1028	+0A0H	0 ~ 15(15)		○	○		
	TSG30 コンペアー一致割り込み 1 (INTTSG30I1)		41	1029	+0A4H	0 ~ 15(15)		○	○		
	TSG30 コンペアー一致割り込み 2 (INTTSG30I2)		42	102A	+0A8H	0 ~ 15(15)		○	○		
	TSG30 コンペアー一致割り込み 3 (INTTSG30I3)		43	102B	+0ACH	0 ~ 15(15)		○	○		
	TSG30 コンペアー一致割り込み 4 (INTTSG30I4)		44	102C	+0B0H	0 ~ 15(15)		○	○		

表 6.12 割り込み例外ハンドラと優先順位 (2/9)

機能・ モジュール	割り込み要因名	レベル 割り込み 注1	EIINT 割り込み チャネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB	
					直接分岐方式						テーブル 参照方式
					RINT=0	RINT=1					
TSG30	TSG30 コンペアー致割り込み 5 (INTTSG30I5)		45	102D	オフセット アドレスは、 チャネルに よる違いは なく、優先 順位により +100H ~ +1F0Hの間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	+0B4H	0 ~ 15(15)	優先高 ↑	○	○
	TSG30 コンペアー致割り込み 6 (INTTSG30I6)		46	102E			+0B8H	0 ~ 15(15)		○	○
	TSG30 コンペアー致割り込み 7 (INTTSG30I7)		47	102F			+0BCH	0 ~ 15(15)		○	○
	TSG30 コンペアー致割り込み 8 (INTTSG30I8)		48	1030			+0C0H	0 ~ 15(15)		○	○
	TSG30 コンペアー致割り込み 9 (INTTSG30I9)		49	1031			+0C4H	0 ~ 15(15)		○	○
	TSG30 コンペアー致割り込み 10 (INTTSG30I10)		50	1032			+0C8H	0 ~ 15(15)		○	○
	TSG30 コンペアー致割り込み 11 (INTTSG30I11)		51	1033			+0CCH	0 ~ 15(15)		○	○
	TSG30 コンペアー致割り込み 12 (INTTSG30I12)		52	1034			+0D0H	0 ~ 15(15)		○	○
	TSG30 山割り込み (INTTSG30IPEK)		53	1035			+0D4H	0 ~ 15(15)		○	○
	TSG30 谷割り込み (INTTSG30IVLY)		54	1036			+0D8H	0 ~ 15(15)		○	○
	TSG30 タイマエラー割り込み (INTTSG30IER)		55	1037			+0DCH	0 ~ 15(15)		○	○
	TSG30 タイマワーニング割り込み (INTTSG30IWN)		56	1038			+0E0H	0 ~ 15(15)		○	○
	TSG31	TSG31 コンペアー致割り込み 0 (INTTSG31I0)		57			1039	+0E4H		0 ~ 15(15)	○
TSG31 コンペアー致割り込み 1 (INTTSG31I1)			58	103A	+0E8H	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 2 (INTTSG31I2)			59	103B	+0ECH	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 3 (INTTSG31I3)			60	103C	+0F0H	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 4 (INTTSG31I4)			61	103D	+0F4H	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 5 (INTTSG31I5)			62	103E	+0F8H	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 6 (INTTSG31I6)			63	103F	+0FCH	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 7 (INTTSG31I7)			64	1040	+100H	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 8 (INTTSG31I8)			65	1041	+104H	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 9 (INTTSG31I9)			66	1042	+108H	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 10 (INTTSG31I10)			67	1043	+10CH	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 11 (INTTSG31I11)			68	1044	+110H	0 ~ 15(15)	○	○			
TSG31 コンペアー致割り込み 12 (INTTSG31I12)			69	1045	+114H	0 ~ 15(15)	○	○			
TSG31 山割り込み (INTTSG31IPEK)			70	1046	+118H	0 ~ 15(15)	○	○			
TSG31 谷割り込み (INTTSG31IVLY)			71	1047	+11CH	0 ~ 15(15)	○	○			
TSG31 タイマエラー割り込み (INTTSG31IER)			72	1048	+120H	0 ~ 15(15)	○	○			
TSG31 タイマワーニング割り込み (INTTSG31IWN)			73	1049	+124H	0 ~ 15(15)	○	○			
OSTM0	OSTM0 割り込み (INTOSTM0)		74	104A	+128H	0 ~ 15(15)	○	○			
OSTM1	OSTM1 割り込み (INTOSTM1)		75	104B	+12CH	0 ~ 15(15)	○	○			
ADCD0	ADCD0 エラー割り込み (INTADCD0ERR)		76	104C	+130H	0 ~ 15(15)	○	○			
	ADCD0 SG0 終了割り込み (INTADCD0I0)		77	104D	+134H	0 ~ 15(15)	○	○			
	ADCD0 SG1 終了割り込み (INTADCD0I1)		78	104E	+138H	0 ~ 15(15)	○	○			
	ADCD0 SG2 終了割り込み (INTADCD0I2)		79	104F	+13CH	0 ~ 15(15)	○	○			
	ADCD0 SG3 終了割り込み (INTADCD0I3)		80	1050	+140H	0 ~ 15(15)	○	○			
	ADCD0 SG4 終了割り込み (INTADCD0I4)		81	1051	+144H	0 ~ 15(15)	○	○			
CSIH0	CSIH0 通信エラー割り込み (INTCSIH0IRE)		82	1052	+148H	0 ~ 15(15)	○	○			
	CSIH0 受信ステータス /CS0 受信ステータス割り込み (INTCSIH0IROS)		83	1053	+14CH	0 ~ 15(15)	○	○			
	CSIH0 通信ステータス /CS0 通信ステータス割り込み (INTCSIH0IC0S)		84	1054	+150H	0 ~ 15(15)	○	○			
	CSIH0 CS1 受信ステータス割り込み (INTCSIH0IR1)		85	1055	+154H	0 ~ 15(15)	○	○			
	CSIH0 CS1 通信ステータス割り込み (INTCSIH0IC1)		86	1056	+158H	0 ~ 15(15)	○	○			

表 6.12 割り込み例外ハンドラと優先順位 (3/9)

機能・モジュール	割り込み要因名	レベル 割り込み 注1	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB	
					直接分岐方式						テーブル 参照方式
					RINT=0	RINT=1					
CSIH0	CSIH0 CS2 受信ステータス割り込み (INTCSIH0IR2)		87	1057	オフセット アドレスは、 チャンネルに よる違いは なく、優先 順位により +100H ~ +1F0Hの間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	+15CH	0 ~ 15(15)	優先高	○	○
	CSIH0 CS2 通信ステータス割り込み (INTCSIH0IC2)		88	1058			+160H	0 ~ 15(15)	○	○	
	CSIH0 JOB 完了割り込み (INTCSIH0IJC)		89	1059			+164H	0 ~ 15(15)	○	○	
CSIH1	CSIH1 通信エラー割り込み (INTCSIH1IRE)		90	105A			+168H	0 ~ 15(15)	○	○	
	CSIH1 受信ステータス /CS0 受信ステータス割り込み (INTCSIH1ROS)		91	105B			+16CH	0 ~ 15(15)	○	○	
	CSIH1 通信ステータス /CS0 通信ステータス割り込み (INTCSIH1IC0S)		92	105C			+170H	0 ~ 15(15)	○	○	
	CSIH1 CS1 受信ステータス割り込み (INTCSIH1IR1)		93	105D			+174H	0 ~ 15(15)	○	○	
	CSIH1 CS1 通信ステータス割り込み (INTCSIH1IC1)		94	105E			+178H	0 ~ 15(15)	○	○	
	CSIH1 CS2 受信ステータス割り込み (INTCSIH1IR2)		95	105F			+17CH	0 ~ 15(15)	○	○	
	CSIH1 CS2 通信ステータス割り込み (INTCSIH1IC2)		96	1060			+180H	0 ~ 15(15)	○	○	
	CSIH1 JOB 完了割り込み (INTCSIH1JJC)		97	1061	+184H	0 ~ 15(15)	○	○			
CSIH2	CSIH2 通信エラー割り込み (INTCSIH2IRE)		98	1062	+188H	0 ~ 15(15)	○	○			
	CSIH2 受信ステータス割り込み (INTCSIH2IR)		99	1063	+18CH	0 ~ 15(15)	○	○			
	CSIH2 通信ステータス割り込み (INTCSIH2IC)		100	1064	+190H	0 ~ 15(15)	○	○			
	CSIH2 JOB 完了割り込み (INTCSIH2IJC)		101	1065	+194H	0 ~ 15(15)	○	○			
CSIH3	CSIH3 通信エラー割り込み (INTCSIH3IRE)		102	1066	+198H	0 ~ 15(15)	○	○			
	CSIH3 受信ステータス割り込み (INTCSIH3IR)		103	1067	+19CH	0 ~ 15(15)	○	○			
	CSIH3 通信ステータス割り込み (INTCSIH3IC)		104	1068	+1A0H	0 ~ 15(15)	○	○			
	CSIH3 JOB 完了割り込み (INTCSIH3IJC)		105	1069	+1A4H	0 ~ 15(15)	○	○			
SCI30	SCI30 受信エラー (INTSCI30ERI)	○	106	106A	+1A8H	0 ~ 15(15)	○	○			
	SCI30 受信データフル (INTSCI30RXI)		107	106B	+1ACH	0 ~ 15(15)	○	○			
	SCI30 送信データエンプティ (INTSCI30TXI)		108	106C	+1B0H	0 ~ 15(15)	○	○			
	SCI30 送信終了 (INTSCI30TEI)	○	109	106D	+1B4H	0 ~ 15(15)	○	○			
SCI31	SCI31 受信エラー (INTSCI31ERI)	○	110	106E	+1B8H	0 ~ 15(15)	○	○			
	SCI31 受信データフル (INTSCI31RXI)		111	106F	+1BCH	0 ~ 15(15)	○	○			
	SCI31 送信データエンプティ (INTSCI31TXI)		112	1070	+1C0H	0 ~ 15(15)	○	○			
	SCI31 送信終了 (INTSCI31TEI)	○	113	1071	+1C4H	0 ~ 15(15)	○	○			
RLIN30	RLIN30 ステータス検出割り込み (INTRLIN30UR2)		114	1072	+1C8H	0 ~ 15(15)	○	○			
	RLIN30 受信完了割り込み (INTRLIN30UR1)		115	1073	+1CCH	0 ~ 15(15)	○	○			
	RLIN30 送信割り込み (INTRLIN30UR0)		116	1074	+1D0H	0 ~ 15(15)	○	○			
RLIN31	RLIN31 ステータス検出割り込み (INTRLIN31UR2)		117	1075	+1D4H	0 ~ 15(15)	○	○			
	RLIN31 受信完了割り込み (INTRLIN31UR1)		118	1076	+1D8H	0 ~ 15(15)	○	○			
	RLIN31 送信割り込み (INTRLIN31UR0)		119	1077	+1DCH	0 ~ 15(15)	○	○			
SINT	ソフトウェア割り込み 3 (INTSINT3)	○	120	1078	+1E0H	0 ~ 15(15)	○	○			
	ソフトウェア割り込み 4 (INTSINT4)	○	121	1079	+1E4H	0 ~ 15(15)	○	○			
	Reserved		122	107A	+1E8H	0 ~ 15(15)	—	—			
	Reserved		123	107B	+1ECH	0 ~ 15(15)	—	—			
	Reserved		124	107C	+1F0H	0 ~ 15(15)	—	—			
	Reserved		125	107D	+1F4H	0 ~ 15(15)	—	—			
	Reserved		126	107E	+1F8H	0 ~ 15(15)	—	—			
INTP	外部割り込み 5 (INTP5)		128	1080	+1FCH	0 ~ 15(15)	—	—			
	外部割り込み 6 (INTP6)		129	1081	+200H	0 ~ 15(15)	○	○			
	外部割り込み 7 (INTP7)		130	1082	+204H	0 ~ 15(15)	○	○			
					+208H	0 ~ 15(15)	○	○			

表 6.12 割り込み例外ハンドラと優先順位 (4/9)

機能・ モジュール	割り込み要因名	レベル 割り込み 注1	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB	
					直接分岐方式						テーブル 参照方式
					RINT=0	RINT=1					
INTP	外部割り込み 8 (INTP8)		131	1083	オフセット アドレスは、 チャンネルに よる違いは なく、優先 順位により +100H ~ +1F0H の間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	+20CH	0 ~ 15(15)	優先高 ↑	○	○
	外部割り込み 9 (INTP9)		132	1084			+210H	0 ~ 15(15)		○	○
TAUJ0	TAUJ0 の CH0 割り込み (INTTAUJ0I0)		133	1085			+214H	0 ~ 15(15)		○	○
	TAUJ0 の CH1 割り込み (INTTAUJ0I1)		134	1086			+218H	0 ~ 15(15)		○	○
	TAUJ0 の CH2 割り込み (INTTAUJ0I2)		135	1087			+21CH	0 ~ 15(15)		○	○
	TAUJ0 の CH3 割り込み (INTTAUJ0I3)		136	1088			+220H	0 ~ 15(15)		○	○
TAUJ1	TAUJ1 の CH0 割り込み (INTTAUJ1I0)		137	1089			+224H	0 ~ 15(15)		○	○
	TAUJ1 の CH1 割り込み (INTTAUJ1I1)		138	108A			+228H	0 ~ 15(15)		○	○
	TAUJ1 の CH2 割り込み (INTTAUJ1I2)		139	108B			+22CH	0 ~ 15(15)		○	○
	TAUJ1 の CH3 割り込み (INTTAUJ1I3)		140	108C			+230H	0 ~ 15(15)		○	○
TAUD0	TAUD0 の CH0 割り込み (INTTAUD0I0)		141	108D			+234H	0 ~ 15(15)		○	○
	TAUD0 の CH1 割り込み (INTTAUD0I1)		142	108E			+238H	0 ~ 15(15)		○	○
	TAUD0 の CH2 割り込み (INTTAUD0I2)		143	108F			+23CH	0 ~ 15(15)		○	○
	TAUD0 の CH3 割り込み (INTTAUD0I3)		144	1090			+240H	0 ~ 15(15)		○	○
	TAUD0 の CH4 割り込み (INTTAUD0I4)		145	1091			+244H	0 ~ 15(15)		○	○
	TAUD0 の CH5 割り込み (INTTAUD0I5)		146	1092			+248H	0 ~ 15(15)		○	○
	TAUD0 の CH6 割り込み (INTTAUD0I6)		147	1093			+24CH	0 ~ 15(15)		○	○
	TAUD0 の CH7 割り込み (INTTAUD0I7)		148	1094			+250H	0 ~ 15(15)		○	○
	TAUD0 の CH8 割り込み (INTTAUD0I8)		149	1095	+254H	0 ~ 15(15)	○	○			
	TAUD0 の CH9 割り込み (INTTAUD0I9)		150	1096	+258H	0 ~ 15(15)	○	○			
	TAUD0 の CH10 割り込み (INTTAUD0I10)		151	1097	+25CH	0 ~ 15(15)	○	○			
	TAUD0 の CH11 割り込み (INTTAUD0I11)		152	1098	+260H	0 ~ 15(15)	○	○			
	TAUD0 の CH12 割り込み (INTTAUD0I12)		153	1099	+264H	0 ~ 15(15)	○	○			
	TAUD0 の CH13 割り込み (INTTAUD0I13)		154	109A	+268H	0 ~ 15(15)	○	○			
	TAUD0 の CH14 割り込み (INTTAUD0I14)		155	109B	+26CH	0 ~ 15(15)	○	○			
TAUD0 の CH15 割り込み (INTTAUD0I15)		156	109C	+270H	0 ~ 15(15)	○	○				
	Reserved		157	109D	+274H	0 ~ 15(15)	—	—			
TAUD1	TAUD1 の CH0 割り込み (INTTAUD1I0)		158	109E	+278H	0 ~ 15(15)	○	○			
	TAUD1 の CH1 割り込み (INTTAUD1I1)		159	109F	+27CH	0 ~ 15(15)	○	○			
	TAUD1 の CH2 割り込み (INTTAUD1I2)		160	10A0	+280H	0 ~ 15(15)	○	○			
	TAUD1 の CH3 割り込み (INTTAUD1I3)		161	10A1	+284H	0 ~ 15(15)	○	○			
	TAUD1 の CH4 割り込み (INTTAUD1I4)		162	10A2	+288H	0 ~ 15(15)	○	○			
	TAUD1 の CH5 割り込み (INTTAUD1I5)		163	10A3	+28CH	0 ~ 15(15)	○	○			
	TAUD1 の CH6 割り込み (INTTAUD1I6)		164	10A4	+290H	0 ~ 15(15)	○	○			
	TAUD1 の CH7 割り込み (INTTAUD1I7)		165	10A5	+294H	0 ~ 15(15)	○	○			
	TAUD1 の CH8 割り込み (INTTAUD1I8)		166	10A6	+298H	0 ~ 15(15)	○	○			
	TAUD1 の CH9 割り込み (INTTAUD1I9)		167	10A7	+29CH	0 ~ 15(15)	○	○			
	TAUD1 の CH10 割り込み (INTTAUD1I10)		168	10A8	+2A0H	0 ~ 15(15)	○	○			
	TAUD1 の CH11 割り込み (INTTAUD1I11)		169	10A9	+2A4H	0 ~ 15(15)	○	○			
	TAUD1 の CH12 割り込み (INTTAUD1I12)		170	10AA	+2A8H	0 ~ 15(15)	○	○			
	TAUD1 の CH13 割り込み (INTTAUD1I13)		171	10AB	+2ACH	0 ~ 15(15)	○	○			
	TAUD1 の CH14 割り込み (INTTAUD1I14)		172	10AC	+2B0H	0 ~ 15(15)	○	○			
TAUD1 の CH15 割り込み (INTTAUD1I15)		173	10AD	+2B4H	0 ~ 15(15)	○	○				
CSIG0	CSIG0 受信エラー割り込み (INTCSIG0IRE)		174	10AE	+2B8H	0 ~ 15(15)	○	○			
	CSIG0 送信ステータス割り込み (INTCSIG0IC)		175	10AF	+2BCH	0 ~ 15(15)	○	○			
	CSIG0 受信ステータス割り込み (INTCSIG0IR)		176	10B0	+2C0H	0 ~ 15(15)	○	○			
ADCD1	ADCD1 のエラー割り込み (INTADCD1ERR)		177	10B1	+2C4H	0 ~ 15(15)	○	○			
	ADCD1 SG0 終了割り込み (INTADCD1I0)		178	10B2	+2C8H	0 ~ 15(15)	○	○			
	ADCD1 SG1 終了割り込み (INTADCD1I1)		179	10B3	+2CCH	0 ~ 15(15)	○	○			

表 6.12 割り込み例外ハンドラと優先順位 (5/9)

機能・モジュール	割り込み要因名	レベル 割り込み 注1	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB	
					直接分岐方式						テーブル 参照方式
					RINT=0	RINT=1					
ADCD1	ADCD1 SG2 終了割り込み (INTADCD1I2)		180	10B4	オフセット アドレスは、 チャンネルに よる違いは なく、優先 順位により +100H ~ +1F0Hの間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	+2D0H	0 ~ 15(15)	優先高 ↑	○	○
	ADCD1 SG3 終了割り込み (INTADCD1I3)		181	10B5			+2D4H	0 ~ 15(15)		○	○
	ADCD1 SG4 終了割り込み (INTADCD1I4)		182	10B6			+2D8H	0 ~ 15(15)		○	○
RSCAN	チャンネルエラー割り込み 0 (INTRCAN0ERR)	○	183	10B7			+2DCH	0 ~ 15(15)		○	○
	COM RX FIFO 割り込み 0 (INTRCAN0REC)	○	184	10B8			+2E0H	0 ~ 15(15)		○	○
	チャンネル TX 割り込み 0 (INTRCAN0TRX)	○	185	10B9			+2E4H	0 ~ 15(15)		○	○
	チャンネルエラー割り込み 1 (INTRCAN1ERR)	○	186	10BA			+2E8H	0 ~ 15(15)		○	○
	COM RX FIFO 割り込み 1 (INTRCAN1REC)	○	187	10BB			+2ECH	0 ~ 15(15)		○	○
	チャンネル TX 割り込み 1 (INTRCAN1TRX)	○	188	10BC			+2F0H	0 ~ 15(15)		○	○
	グローバルエラー割り込み (INTRCANGERR)	○	189	10BD			+2F4H	0 ~ 15(15)		○	○
	RX FIFO 割り込み (INTRCANGRECC)	○	190	10BE			+2F8H	0 ~ 15(15)		○	○
	チャンネルエラー割り込み 2 (INTRCAN2ERR)	○	191	10BF			+2FCH	0 ~ 15(15)		—	○
	COM RX FIFO 割り込み 2 (INTRCAN2REC)	○	192	10C0			+300H	0 ~ 15(15)		—	○
	チャンネル TX 割り込み 2 (INTRCAN2TRX)	○	193	10C1	+304H	0 ~ 15(15)	—	○			
FLEXRAY	FlexRay0 割り込み (INTFLX0LINE0)	○	194	10C2	+308H	0 ~ 15(15)	○	○			
	FlexRay1 割り込み (INTFLX0LINE1)	○	195	10C3	+30CH	0 ~ 15(15)	○	○			
	タイマ 0 割り込み (INTFLX0TIM0)	○	196	10C4	+310H	0 ~ 15(15)	○	○			
	タイマ 1 割り込み (INTFLX0TIM1)	○	197	10C5	+314H	0 ~ 15(15)	○	○			
	タイマ 2 割り込み (INTFLX0TIM2)	○	198	10C6	+318H	0 ~ 15(15)	○	○			
	FIFO 転送割り込み (INTFLX0FDA)	○	199	10C7	+31CH	0 ~ 15(15)	○	○			
	FIFO 転送警告割り込み (INTFLX0FW)	○	200	10C8	+320H	0 ~ 15(15)	○	○			
	出力転送警告割り込み (INTFLX0OW)	○	201	10C9	+324H	0 ~ 15(15)	○	○			
	出力転送終了割り込み (INTFLX0OT)	○	202	10CA	+328H	0 ~ 15(15)	○	○			
	入力キューフル割り込み (INTFLX0IQF)	○	203	10CB	+32CH	0 ~ 15(15)	○	○			
	入力キューエンpty割り込み (INTFLX0IQE)	○	204	10CC	+330H	0 ~ 15(15)	○	○			
	Reserved		205	10CD	+334H	0 ~ 15(15)	—	—			
	Reserved		206	10CE	+338H	0 ~ 15(15)	—	—			
	Reserved		207	10CF	+33CH	0 ~ 15(15)	—	—			
	Reserved		208	10D0	+340H	0 ~ 15(15)	—	—			
	Reserved		209	10D1	+344H	0 ~ 15(15)	—	—			
	Reserved		210	10D2	+348H	0 ~ 15(15)	—	—			
Reserved		211	10D3	+34CH	0 ~ 15(15)	—	—				
Reserved		212	10D4	+350H	0 ~ 15(15)	—	—				
Reserved		213	10D5	+354H	0 ~ 15(15)	—	—				
Reserved		214	10D6	+358H	0 ~ 15(15)	—	—				
Reserved		215	10D7	+35CH	0 ~ 15(15)	—	—				
Reserved		216	10D8	+360H	0 ~ 15(15)	—	—				
Reserved		217	10D9	+364H	0 ~ 15(15)	—	—				
SCI32	SCI32 受信エラー (INTSCI32ERI)	○	218	10DA	+368H	0 ~ 15(15)	○	○			
	SCI32 受信データフル (INTSCI32RXI)		219	10DB	+36CH	0 ~ 15(15)	○	○			
	SCI32 送信データエンpty (INTSCI32TXI)		220	10DC	+370H	0 ~ 15(15)	○	○			
	SCI32 送信終了 (INTSCI32TEI)	○	221	10DD	+374H	0 ~ 15(15)	○	○			
	Reserved		222	10DE	+378H	0 ~ 15(15)	—	—			
Reserved		223	10DF	+37CH	0 ~ 15(15)	—	—				
Reserved		224	10E0	+380H	0 ~ 15(15)	—	—				
Reserved		225	10E1	+384H	0 ~ 15(15)	—	—				
PSI50	PSI50 ステータス割り込み (INTPSI50SI)	○	226	10E2	+388H	0 ~ 15(15)	○	○			
	PSI50 受信割り込み (INTPSI50RI)	○	227	10E3	+38CH	0 ~ 15(15)	○	○			
	PSI50 転送割り込み (INTPSI50TI)	○	228	10E4	+390H	0 ~ 15(15)	○	○			

表 6.12 割り込み例外ハンドラと優先順位 (6/9)

機能・ モジュール	割り込み要因名	レベル 割り込み 注1	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB	
					直接分岐方式						テーブル 参照方式
					RINT=0	RINT=1					
PSI51	PSI51 ステータス割り込み (INTPSI51SI)	○	229	10E5	オフセット アドレスは、 チャンネルに よる違いは なく、優先 順位により +100H ~ +1F0H の間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	+394H	0 ~ 15(15)	優先高 ↑	○	○
	PSI51 受信割り込み (INTPSI51RI)	○	230	10E6			+398H	0 ~ 15(15)		○	○
	PSI51 転送割り込み (INTPSI51TI)	○	231	10E7			+39CH	0 ~ 15(15)		○	○
SENT0	SENT0 ステータス割り込み (INTSENT0SI)	○	232	10E8			+3A0H	0 ~ 15(15)		○	○
	SENT0 受信割り込み (INTSENT0RI)		233	10E9			+3A4H	0 ~ 15(15)		○	○
SENT1	SENT1 ステータス割り込み (INTSENT1SI)	○	234	10EA			+3A8H	0 ~ 15(15)		○	○
	SENT1 受信割り込み (INTSENT1RI)		235	10EB			+3ACH	0 ~ 15(15)		○	○
SENT2	SENT2 ステータス割り込み (INTSENT2SI)	○	236	10EC			+3B0H	0 ~ 15(15)		○	○
	SENT2 受信割り込み (INTSENT2RI)		237	10ED			+3B4H	0 ~ 15(15)		○	○
SENT3	SENT3 ステータス割り込み (INTSENT3SI)	○	238	10EE			+3B8H	0 ~ 15(15)		○	○
	SENT3 受信割り込み (INTSENT3RI)		239	10EF			+3BCH	0 ~ 15(15)		○	○
SENT4	SENT4 ステータス割り込み (INTSENT4SI)	○	240	10F0			+3C0H	0 ~ 15(15)		○	○
	SENT4 受信割り込み (INTSENT4RI)		241	10F1			+3C4H	0 ~ 15(15)		○	○
SENT5	SENT5 ステータス割り込み (INTSENT5SI)	○	242	10F2			+3C8H	0 ~ 15(15)		○	○
	SENT5 受信割り込み (INTSENT5RI)		243	10F3			+3CCH	0 ~ 15(15)		○	○
DTS	DTS 転送完了割り込み Ch0-31 (INTDTSTC0)	○	244	10F4			+3D0H	0 ~ 15(15)		○	○
	DTS 転送完了割り込み Ch32-63 (INTDTSTC1)	○	245	10F5			+3D4H	0 ~ 15(15)		○	○
	DTS 転送完了割り込み Ch64-95 (INTDTSTC2)	○	246	10F6			+3D8H	0 ~ 15(15)		○	○
	DTS 転送完了割り込み Ch96-127 (INTDTSTC3)	○	247	10F7			+3DCH	0 ~ 15(15)		○	○
	DTS カウント一致割り込み Ch0-31 (INTDTSCM0)	○	248	10F8			+3E0H	0 ~ 15(15)		○	○
	DTS カウント一致割り込み Ch32-63 (INTDTSCM1)	○	249	10F9			+3E4H	0 ~ 15(15)		○	○
	DTS カウント一致割り込み Ch64-95 (INTDTSCM2)	○	250	10FA			+3E8H	0 ~ 15(15)		○	○
	DTS カウント一致割り込み Ch96-127 (INTDTSCM3)	○	251	10FB			+3ECH	0 ~ 15(15)		○	○
SINT	ソフトウェア割り込み 0 (INTSINT0)	○	252	10FC			+3F0H	0 ~ 15(15)		○	○
	ソフトウェア割り込み 1 (INTSINT1)	○	253	10FD			+3F4H	0 ~ 15(15)		○	○
	ソフトウェア割り込み 2 (INTSINT2)	○	254	10FE			+3F8H	0 ~ 15(15)		○	○
	Reserved		255	10FF	+3FCH	0 ~ 15(15)	—	—			
TAUJ2	TAUJ2 の CH0 割り込み (INTTAUJ2I0)		256	1100	+400H	0 ~ 15(15)	○	○			
	TAUJ2 の CH1 割り込み (INTTAUJ2I1)		257	1101	+404H	0 ~ 15(15)	○	○			
	TAUJ2 の CH2 割り込み (INTTAUJ2I2)		258	1102	+408H	0 ~ 15(15)	○	○			
	TAUJ2 の CH3 割り込み (INTTAUJ2I3)		259	1103	+40CH	0 ~ 15(15)	○	○			
TAUD2	TAUD2 の CH0 割り込み (INTTAUD2I0)		260	1104	+410H	0 ~ 15(15)	○	○			
	TAUD2 の CH1 割り込み (INTTAUD2I1)		261	1105	+414H	0 ~ 15(15)	○	○			
	TAUD2 の CH2 割り込み (INTTAUD2I2)		262	1106	+418H	0 ~ 15(15)	○	○			
	TAUD2 の CH3 割り込み (INTTAUD2I3)		263	1107	+41CH	0 ~ 15(15)	○	○			
	TAUD2 の CH4 割り込み (INTTAUD2I4)		264	1108	+420H	0 ~ 15(15)	○	○			
	TAUD2 の CH5 割り込み (INTTAUD2I5)		265	1109	+424H	0 ~ 15(15)	○	○			
	TAUD2 の CH6 割り込み (INTTAUD2I6)		266	110A	+428H	0 ~ 15(15)	○	○			
	TAUD2 の CH7 割り込み (INTTAUD2I7)		267	110B	+42CH	0 ~ 15(15)	○	○			
	TAUD2 の CH8 割り込み (INTTAUD2I8)		268	110C	+430H	0 ~ 15(15)	○	○			
	TAUD2 の CH9 割り込み (INTTAUD2I9)		269	110D	+434H	0 ~ 15(15)	○	○			
	TAUD2 の CH10 割り込み (INTTAUD2I10)		270	110E	+438H	0 ~ 15(15)	○	○			
	TAUD2 の CH11 割り込み (INTTAUD2I11)		271	110F	+43CH	0 ~ 15(15)	○	○			
	TAUD2 の CH12 割り込み (INTTAUD2I12)		272	1110	+440H	0 ~ 15(15)	○	○			
	TAUD2 の CH13 割り込み (INTTAUD2I13)		273	1111	+444H	0 ~ 15(15)	○	○			
	TAUD2 の CH14 割り込み (INTTAUD2I14)		274	1112	+448H	0 ~ 15(15)	○	○			
TAUD2 の CH15 割り込み (INTTAUD2I15)		275	1113	+44CH	0 ~ 15(15)	○	○				

表 6.12 割り込み例外ハンドラと優先順位 (7/9)

機能・ モジュール	割り込み要因名	レベル 割り込み 注1	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB	
					直接分岐方式						
					RINT=0	RINT=1					
ENCA0	ENCA0 オーバフロー割り込み (INTENCA0IOV)		276	1114	オフセット アドレスは、 チャンネルに よる違いは なく、優先 順位により +100H ~ +1F0Hの間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	+450H	0 ~ 15(15)	優先高 ↑	○	○
	ENCA0 一致ノキャプチャ割り込み 0 (INTENCA0I0)		277	1115			+454H	0 ~ 15(15)		○	○
	ENCA0 一致ノキャプチャ割り込み 1 (INTENCA0I1)		278	1116			+458H	0 ~ 15(15)		○	○
	ENCA0 アンダフロー割り込み (INTENCA0IUD)		279	1117			+45CH	0 ~ 15(15)		○	○
	ENCA0 エンコーダクリア割り込み (INTENCA0IEC)		280	1118			+460H	0 ~ 15(15)		○	○
ENCA1	ENCA1 オーバフロー割り込み (INTENCA1IOV)		281	1119			+464H	0 ~ 15(15)		○	○
	ENCA1 一致ノキャプチャ割り込み 0 (INTENCA1I0)		282	111A			+468H	0 ~ 15(15)		○	○
	ENCA1 一致ノキャプチャ割り込み 1 (INTENCA1I1)		283	111B			+46CH	0 ~ 15(15)		○	○
	ENCA1 アンダフロー割り込み (INTENCA1IUD)		284	111C			+470H	0 ~ 15(15)		○	○
	ENCA1 エンコーダクリア割り込み (INTENCA1IEC)		285	111D			+474H	0 ~ 15(15)		○	○
TPBA0	周期一致検出割り込み 0 (INTTPBA0IPRD)		286	111E			+478H	0 ~ 15(15)		○	○
	デューティ一致検出割り込み 0 (INTTPBA0IDTY)		287	111F			+47CH	0 ~ 15(15)		○	○
	パタン数一致検出割り込み 0 (INTTPBA0IPAT)		288	1120			+480H	0 ~ 15(15)		○	○
TPBA1	周期一致検出割り込み 1 (INTTPBA1IPRD)		289	1121			+484H	0 ~ 15(15)		○	○
	デューティ一致検出割り込み 1 (INTTPBA1IDTY)		290	1122			+488H	0 ~ 15(15)		○	○
	パタン数一致検出割り込み 1 (INTTPBA1IPAT)		291	1123	+48CH	0 ~ 15(15)	○	○			
	Reserved		292	1124	+490H	0 ~ 15(15)	—	—			
	Reserved		293	1125	+494H	0 ~ 15(15)	—	—			
MPX	ADCD0 MPX 要求割り込み (INTADCD0MPX)		294	1126	+498H	0 ~ 15(15)	○	○			
	ADCD1 MPX 要求割り込み (INTADCD1MPX)		295	1127	+49CH	0 ~ 15(15)	○	○			
INTP	外部割り込み 10 (INTP10)		296	1128	+4A0H	0 ~ 15(15)	○	○			
	外部割り込み 11 (INTP11)		297	1129	+4A4H	0 ~ 15(15)	○	○			
	外部割り込み 12 (INTP12)		298	112A	+4A8H	0 ~ 15(15)	○	○			
	Reserved		299	112B	+4ACH	0 ~ 15(15)	—	—			
	Reserved		300	112C	+4B0H	0 ~ 15(15)	—	—			
	Reserved		301	112D	+4B4H	0 ~ 15(15)	—	—			
	Reserved		302	112E	+4B8H	0 ~ 15(15)	—	—			
	Reserved		303	112F	+4BCH	0 ~ 15(15)	—	—			
	Reserved		304	1130	+4C0H	0 ~ 15(15)	—	—			
	Reserved		305	1131	+4C4H	0 ~ 15(15)	—	—			
	Reserved		306	1132	+4C8H	0 ~ 15(15)	—	—			
	Reserved		307	1133	+4CCH	0 ~ 15(15)	—	—			
	Reserved		308	1134	+4D0H	0 ~ 15(15)	—	—			
	Reserved		309	1135	+4D4H	0 ~ 15(15)	—	—			
	Reserved		310	1136	+4D8H	0 ~ 15(15)	—	—			
	Reserved		311	1137	+4DCH	0 ~ 15(15)	—	—			
	Reserved		312	1138	+4E0H	0 ~ 15(15)	—	—			
	Reserved		313	1139	+4E4H	0 ~ 15(15)	—	—			
	Reserved		314	113A	+4E8H	0 ~ 15(15)	—	—			
	Reserved		315	113B	+4ECH	0 ~ 15(15)	—	—			
	Reserved		316	113C	+4F0H	0 ~ 15(15)	—	—			
	Reserved		317	113D	+4F4H	0 ~ 15(15)	—	—			
	Reserved		318	113E	+4F8H	0 ~ 15(15)	—	—			
	Reserved		319	113F	+4FCH	0 ~ 15(15)	—	—			
	Reserved		320	1140	+500H	0 ~ 15(15)	—	—			
	Reserved		321	1141	+504H	0 ~ 15(15)	—	—			

表 6.12 割り込み例外ハンドラと優先順位 (8/9)

機能・ モジュール	割り込み要因名	レベル 割り込み 注1	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB		
					直接分岐方式						テーブル 参照方式	
					RINT=0	RINT=1						
	Reserved		322	1142	オフセット アドレスは、 チャンネルに よる違いは なく、優先 順位により +100H ~ +1F0Hの間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	0 ~ 15(15)	優先高 ↑	—	—		
	Reserved		323	1143					+508H	0 ~ 15(15)	—	—
	Reserved		324	1144					+50CH	0 ~ 15(15)	—	—
	Reserved		325	1145					+510H	0 ~ 15(15)	—	—
	Reserved		326	1146					+514H	0 ~ 15(15)	—	—
	Reserved		327	1147					+518H	0 ~ 15(15)	—	—
	Reserved		328	1148					+51CH	0 ~ 15(15)	—	—
	Reserved		329	1149					+520H	0 ~ 15(15)	—	—
	Reserved		330	114A					+524H	0 ~ 15(15)	—	—
	Reserved		331	114B					+528H	0 ~ 15(15)	—	—
	Reserved		332	114C					+52CH	0 ~ 15(15)	—	—
	Reserved		333	114D					+530H	0 ~ 15(15)	—	—
	Reserved		334	114E					+534H	0 ~ 15(15)	—	—
	Reserved		335	114F					+538H	0 ~ 15(15)	—	—
	Reserved		336	1150					+53CH	0 ~ 15(15)	—	—
	Reserved		337	1151					+540H	0 ~ 15(15)	—	—
	Reserved		338	1152					+544H	0 ~ 15(15)	—	—
	Reserved		339	1153					+548H	0 ~ 15(15)	—	—
	Reserved		340	1154					+54CH	0 ~ 15(15)	—	—
	Reserved		341	1155					+550H	0 ~ 15(15)	—	—
	Reserved		342	1156					+554H	0 ~ 15(15)	—	—
	Reserved		343	1157					+558H	0 ~ 15(15)	—	—
	Reserved		344	1158					+55CH	0 ~ 15(15)	—	—
	Reserved		345	1159					+560H	0 ~ 15(15)	—	—
	Reserved		346	115A					+564H	0 ~ 15(15)	—	—
	Reserved		347	115B					+568H	0 ~ 15(15)	—	—
	Reserved		348	115C					+56CH	0 ~ 15(15)	—	—
	Reserved		349	115D					+570H	0 ~ 15(15)	—	—
	Reserved		350	115E					+574H	0 ~ 15(15)	—	—
	Reserved		351	115F					+578H	0 ~ 15(15)	—	—
	Reserved		352	1160	+57CH	0 ~ 15(15)	—	—				
	Reserved		353	1161	+580H	0 ~ 15(15)	—	—				
	Reserved		354	1162	+584H	0 ~ 15(15)	—	—				
	Reserved		355	1163	+588H	0 ~ 15(15)	—	—				
	Reserved		356	1164	+58CH	0 ~ 15(15)	—	—				
	Reserved		357	1165	+590H	0 ~ 15(15)	—	—				
	Reserved		358	1166	+594H	0 ~ 15(15)	—	—				
	Reserved		359	1167	+598H	0 ~ 15(15)	—	—				
	Reserved		360	1168	+59CH	0 ~ 15(15)	—	—				
	Reserved		361	1169	+5A0H	0 ~ 15(15)	—	—				
	Reserved		362	116A	+5A4H	0 ~ 15(15)	—	—				
	Reserved		363	116B	+5A8H	0 ~ 15(15)	—	—				
	Reserved		364	116C	+5ACH	0 ~ 15(15)	—	—				
	Reserved		365	116D	+5B0H	0 ~ 15(15)	—	—				
	Reserved		366	116E	+5B4H	0 ~ 15(15)	—	—				
	Reserved		367	116F	+5B8H	0 ~ 15(15)	—	—				
	Reserved		368	1170	+5BCH	0 ~ 15(15)	—	—				
	Reserved		369	1171	+5C0H	0 ~ 15(15)	—	—				
	Reserved		370	1172	+5C4H	0 ~ 15(15)	—	—				
	Reserved				+5C8H	0 ~ 15(15)	—	—				

表 6.12 割り込み例外ハンドラと優先順位 (9/9)

機能・ モジュール	割り込み要因名	レベル 割り込み 注1	EIINT 割り込み チャンネル 番号	要因 コード	オフセットアドレス		割り込み 優先順位 (リセット後 の値)	デフォルト 優先順位	512KB 1MB	2MB	
					直接分岐方式						テーブル 参照方式
					RINT=0	RINT=1					
	Reserved		371	1173	オフセット アドレスは、 チャンネルに よる違いは なく、優先 順位により +100H ~ +1F0H の間 で決定する	オフセット アドレスの 縮小化のた め、優先度 に関係なく、 一律 +100H	+5CCH 0 ~ 15(15)	優先高	—	—	
	Reserved		372	1174			+5D0H 0 ~ 15(15)	↑	—	—	
	Reserved		373	1175			+5D4H 0 ~ 15(15)		—	—	
	Reserved		374	1176			+5D8H 0 ~ 15(15)		—	—	
	Reserved		375	1177			+5DCH 0 ~ 15(15)		—	—	
	Reserved		376	1178			+5E0H 0 ~ 15(15)		—	—	
	Reserved		377	1179			+5E4H 0 ~ 15(15)		—	—	
	Reserved		378	117A			+5E8H 0 ~ 15(15)		—	—	
フラッシュ	フラッシュシーケンサ終了割り込み (INTFLENDNM) 注3		379	117B			+5ECH 0 ~ 15(15)		○	○	
	Reserved		380	117C			+5F0H 0 ~ 15(15)		—	—	
	Reserved		381	117D			+5F4H 0 ~ 15(15)		—	—	
	Reserved		382	117E	+5F8H 0 ~ 15(15)	—	—				
フラッシュ	フラッシュシーケンサ終了エラー割り込み (INTFLERR) 注3	○	383	117F	+5FCH 0 ~ 15(15)	○	○				

- 注 1. 各割り込み要因がレベルで検出しているのか、エッジで検出しているのかを示します。本欄に○がある要因は High レベル検出の割り込み要因、空欄の要因は同期エッジ検出の割り込み要因になります。High レベル検出の割り込み要因は割り込み処理内にて、ソフトウェアで各モジュールにあるステータスレジスタをクリアする必要があります。
- 注 2. 割り込み要因名称は、各モジュールの割り込み信号名称と異なる場合があります。
- 注 3. 割り込み発生要因の詳細については、「RH850/P1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」を参照してください。

6.5 動作説明

6.5.1 外部割り込み（NMI / INTP）

外部から入力される割り込みは、NMI と INTP があります。これらは、レジスタの設定により、3 種類の検出方法から選択可能です。割り込み検出フローについては、「**6.5.4 割り込み処理フロー**」を参照してください。

6.5.2 ソフトウェア割り込み

動作説明は、「**6.2.7 SINTR0 ~ SINTR4 — ソフトウェア割り込みレジスタ**」、および「**6.5.4 割り込み処理フロー**」を参照してください。

6.5.3 DTS 割り込みのマージ機能

転送完了割り込み（128 本）と転送回数一致割り込み（128 本）は、32 本単位で 1 本にまとめられています。

多重割り込みが発生した場合、どの割り込みを受け付けたかを判断できるよう、ステータスレジスタ（PINT0-7）は、受け付けた割り込み要因のビットのみ 1 にセットされます。DTS 割り込みのマージによる割り込み要求フローについては、「**6.5.4 割り込み処理フロー**」を参照してください。

表 6.13 DTS 割り込み関連レジスタ

割り込み要因	CH	ステータスレジスタ	クリアレジスタ
DTS 転送完了割り込み	0-31	PINT0	PINTCLR0
	32-63	PINT1	PINTCLR1
	64-95	PINT2	PINTCLR2
	96-127	PINT3	PINTCLR3
DTS 転送回数一致割り込み	0-31	PINT4	PINTCLR4
	32-63	PINT5	PINTCLR5
	64-95	PINT6	PINTCLR6
	96-127	PINT7	PINTCLR7

6.5.4 割り込み処理フロー

6.5.4.1 NMI 処理フロー

NMI 検出フローを **図 6.1** に示します。

- NMI は、FCLA0CTL0 レジスタの設定により、検出方法（Rise エッジ、Fall エッジ、両エッジ検出）を選択します。
- NMI 検出後、INTC へ割り込み要求を出します。
- INTC 内での割り込み処理が終了し、復帰したとき、再び NMI の検出待ちになります。

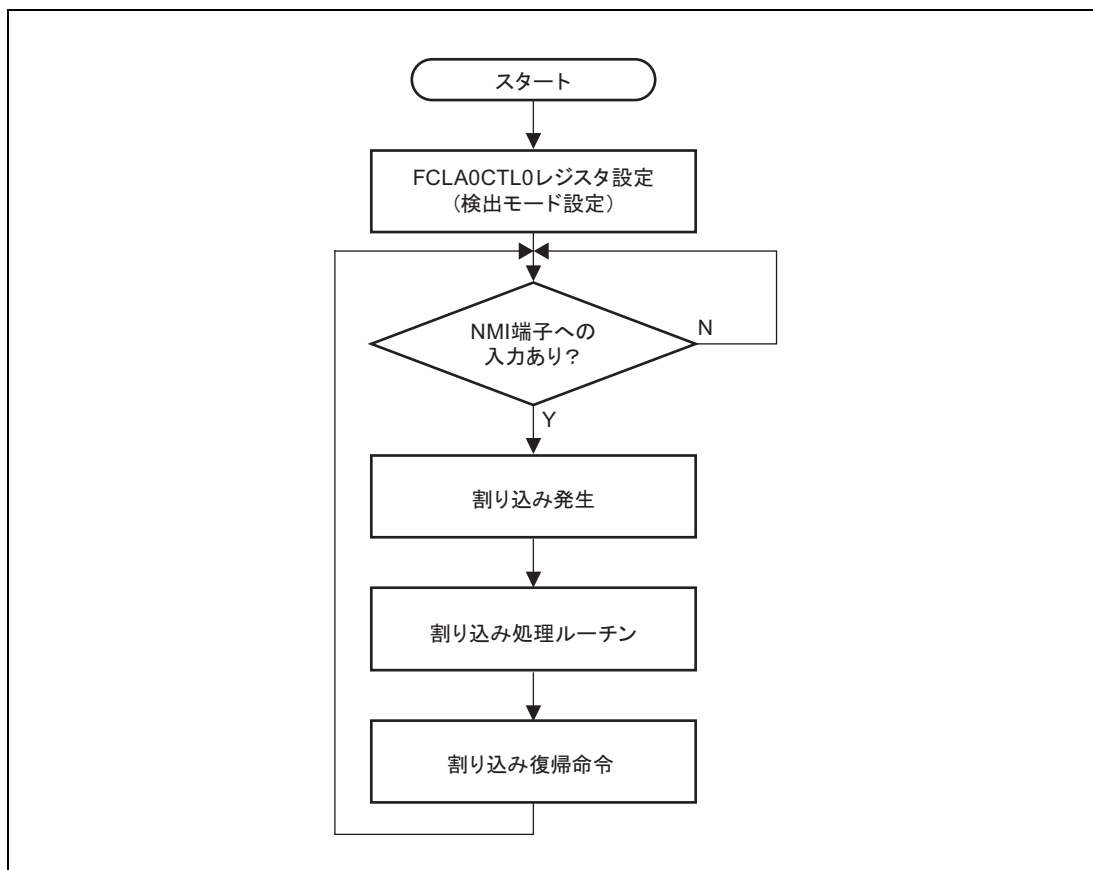


図 6.1 NMI 処理フロー

6.5.4.2 外部割り込み処理フロー

INTP（外部割り込み）検出フローを図 6.2 に示します。

- INTP は、FCLAnCTLm レジスタの設定により、検出方法（Rise エッジ、Fall エッジ、両エッジ検出）を選択します。
- INTP 検出後、INTC へ割り込み要求を出します。

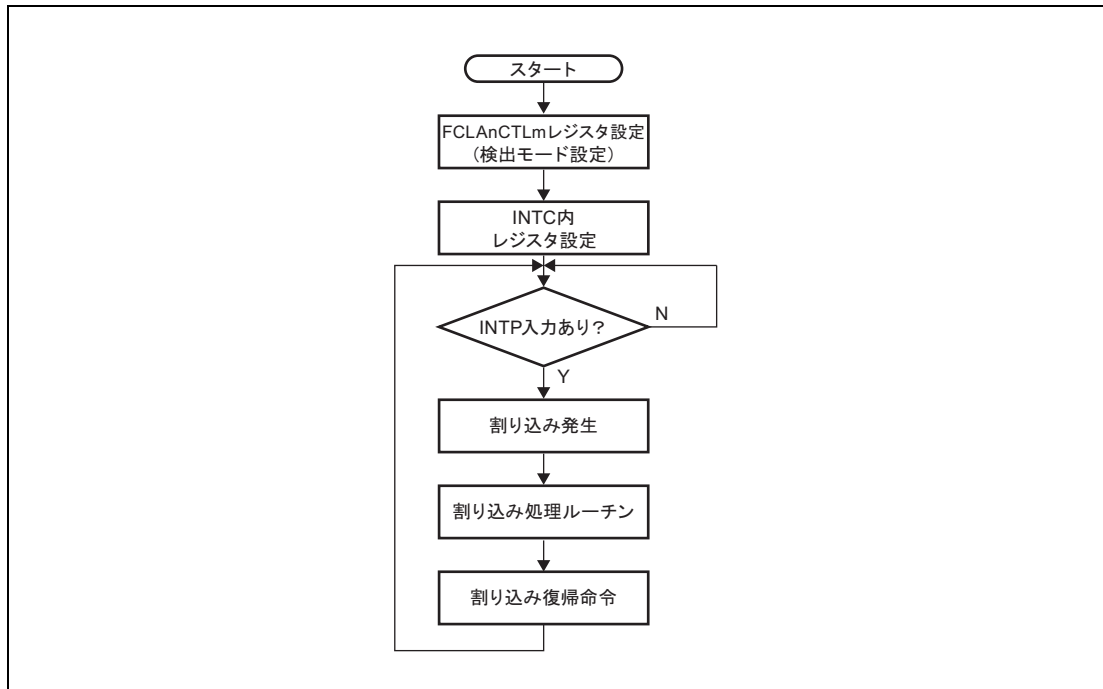


図 6.2 外部割り込み処理フロー

6.5.4.3 ソフトウェア割り込み処理フロー

ソフトウェア割り込みの割り込み要求フローを図 6.3 に示します。

- ソフトウェア割り込みは、ソフトウェア割り込みレジスタ (SINTR0 ~ SINTR4) のカウンタビット SINTCn[7:0] に、00_H または、01_H を書き込む事で、割り込み要求を制御します。
- 01_H を書き込んだ場合、カウンタ値は、1 インクリメントされます。
- 00_H を書き込んだ場合、カウンタ値は、1 デクリメントされます。
- インクリメントされたカウンタ値が、1 より大きい場合、INTC へ割り込み要求を出します。
- INTC 内での割り込み処理が終了し復帰した後、SINTRn が 00_H であれば、通常処理に戻ります。



図 6.3 ソフトウェア割り込み処理フロー

6.5.4.4 DTS 割り込み処理フロー

DTS 割り込み要求フローを図 6.4 に示します。

- 32 本に束ねた割り込み要因に対して、1 本のみ割り込み要求が発生した場合
 - PINTn レジスタの割り込み要求のあったビットに 1 を立てて、割り込み要求を出します。
 - 割り込み処理が終了し復帰する際は、クリアレジスタ (PINTCLRn) に 1 を書き込むことで、割り込み要求をクリアしてから、割り込み復帰命令を実行し、次の割り込み要求を待ちます。
- 32 本に束ねた割り込み要因に対して、多重割り込みが発生した場合
 - 割り込み要求のある複数ビットの内、優先順位が高いビット (下位ビット側の割り込みが優先) を抽出し、PINTn レジスタのその抽出したビットのみに 1 を立てて、割り込み要求を出します。
 - 割り込み処理が終了し復帰する際は、クリアレジスタ (PINTCLRn) に 1 を書き込むことで、最優先の割り込み要求をクリアしてから、割り込み復帰命令を実行します。
 - 最優先の割り込み要求をクリアしたことで、次に優先の高い割り込み要求を受け付けて、前回同様に PINTn レジスタの対象ビットに 1 を立てて、割り込み要求を出します。
 - 以後、32 ビットに束ねた割り込み要因がなくなるまで、繰り返されます。

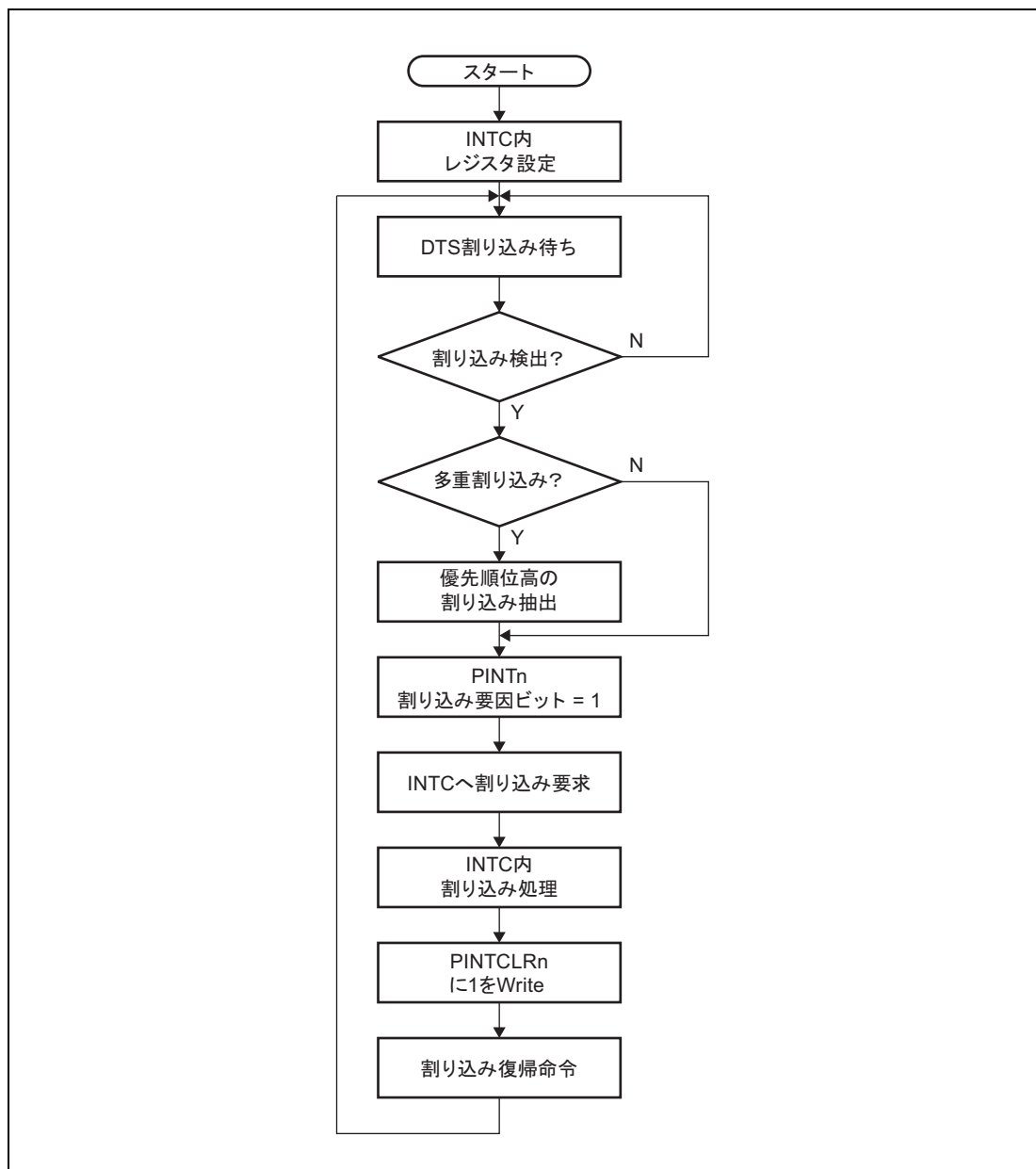


図 6.4 DTS 割り込み処理フロー

6.6 割り込み応答時間

表 6.14 割り込み応答時間

対象	割り込み要求元	処理サイクル			
	INTC 接続	INTC2	INTC1	CPU1 内	合計 (エッジ検出で固定ベクタ方式 a) の場合)
CPU1	INTC1 に直接入力	—	$2 \times I\phi$ < $1 \times I\phi$ >	下記の CPU1 内を参照	$7 \times I\phi$
	INTC2 に経由で入力	$3 \times P\phi + 1 \times I\phi$ < $2 \times P\phi + 1 \times I\phi$ >	—		$3 \times P\phi + 6 \times I\phi$

備考 1. <> 内は、レベル検出時のサイクル数を示します。

備考 2. $P\phi$: CLK_HSB、 $I\phi$: CLK_CPU

ベクタ方式	Cache HIT/MISS	CPU1 内 (160MHz 時)
固定ベクタ方式	a) ISR エントリ I\$ HIT	$5 \times I\phi$
	b) ISR エントリ I\$ MISS	$8 \times I\phi$
ベクタテーブル参照方式	c) ベクタ Code Flash 配置、ISR エントリ I\$ HIT	$12 \times I\phi$
	d) ベクタ Code Flash 配置、ISR エントリ I\$ MISS	$15 \times I\phi$

備考 $P\phi$: CLK_HSB、 $I\phi$: CLK_CPU

6.7 割り込み要求信号によるデータ転送

割り込み要求信号により、DMAC・DTS を起動し、データ転送を行うことができます。

詳細は、「第7章 DMA」を参照してください。

第7章 DMA

7.1 概要

7.1.1 概要

DMA (Direct Memory Access) とは、CPU を介さずにデータをアクセスする機能です。

DMA は、DMAC と DTS という 2 種類の方式の DMA 転送モジュールを含んでいます。DMAC は転送情報をレジスタに持ち、DTS は転送情報を外部に接続する RAM (DTSRAM) に格納します。DMA は 8 チャンネルの DMAC モジュールを 2 つ、128 チャンネルの DTS モジュールを 1 つ搭載しています。

また本マニュアルでは、DMAC のハードウェア DMA 転送要因を選択して DMA 転送要求を保持する機能を DTFR、DTS の各チャンネルの DMA 転送要求を保持する機能を DTSFSL と称しています。DTFR は 128 種類のハードウェア DMA 転送要因を、DTSFSL は 128 種類のハードウェア DMA 転送要因を扱うことができます。

DMA が DMA 転送の対象として指定可能なアドレス空間は、32 ビットアドレスで表現される 4GB のアドレス空間です。4GB のアドレス空間のどの領域にどのようなリソースが割り当てられるかや、DMA に対してどの領域へのアクセスを許可するかは、「**3.2.3 信頼性機能**」および「**第4章 アドレス空間**」を参照してください。

7.1.2 リセット要因

DMA 機能のリセット要因を以下に示します。DMA 機能は以下に示すリセット要因で初期化されます。

表 7.1 リセット要因

ユニット名	リセット要因
DMA	リセットコントローラ SYSRES

7.1.3 語句の定義

本章で使用する語句を表 7.2 に示します。

表 7.2 語句の定義

語句	意味
DMA 転送	DMA が行うデータ転送の総称
DMA サイクル	転送サイズで指定した量 (8/16/32/64/128 ビット) のデータを、ソースアドレスで指定したアドレスからリードして、デスティネーションアドレスで指定したアドレスへライトする動作。なお、DMA サイクルの前半のリード動作をリードサイクル、後半のライト動作をライトサイクルと呼ぶ
ハードウェア DMA 転送要因	内蔵周辺回路から与えられる DMA 転送要求のトリガ
ハードウェア DMA 転送要求	ハードウェア DMA 転送要因により発生する DMA 転送要求
ソフトウェア DMA 転送要求	ソフトウェアがレジスタを操作することで発生する DMA 転送要求
DMA 転送要求	DMAC および DTS で DMA 転送を開始するトリガ
転送情報 (TI)	ソースアドレス、デスティネーションアドレス、転送データサイズ、転送回数といった DMA 転送に必要な情報。DTS の転送情報を特に TI (Transfer Information) と呼ぶ
DTSRAM	DTS が転送情報を格納するための RAM
シングル転送	一回の DMA 転送要求で、一回の DMA サイクルを実行する DMA 転送動作。DMAC 転送回数レジスタ n (DTCn) に指定した回数の転送完了で INTDMA _n が発生します。
ブロック転送 1	一回の DMA 転送要求で、転送情報の転送回数で指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送 2	一回の DMA 転送要求で、転送情報のアドレスリロードカウントで指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送	ブロック転送 1 とブロック転送 2 の総称
最終転送	転送情報の転送回数が残り 1 回の状態で実行する DMA サイクル
アドレスリロード転送	リロード機能 2 を使用中に、転送情報のアドレスリロードカウントが残り 1 回の状態で実行する DMA サイクル
一時中断	ブロック転送の途中で DMA 転送を中断する動作、再開が可能
再開	一時中断を解除して、DMA 転送を継続する動作
転送中止	DMA 転送を途中で中止する動作、再開は不可能

7.2 DMA 機能

7.2.1 DMA 転送基本動作

7.2.1.1 転送モード

DMA には 3 種類の転送モードがあります。

シングル転送

DMA 転送要求を受け付けると、DMA サイクルを 1 回実行します。

ブロック転送 1

DMA 転送要求を受け付けると、転送回数レジスタで指定した回数の DMA サイクルを実行します。

ブロック転送 2

DMA 転送要求を受け付けると、アドレスリロードカウントで指定した回数の DMA サイクルを実行します。アドレスリロードカウントで指定した回数が転送回数レジスタで指定した回数よりも大きい場合には、転送回数レジスタで指定した回数の DMA サイクルを実行しません。

7.2.1.2 DMA サイクルの実行

DMA は必ずリードサイクルが完了した後で、ライトサイクルを実行します。

たとえば、転送データサイズが 128 ビットの場合は、128 ビット分のデータのリードサイクルが完了した後で、ライトサイクルを実行します。リードサイクルの途中でライトサイクルの実行を開始することはありません。

7.2.1.3 転送情報の更新

DMA サイクルを実行すると、DMA は次の転送情報を更新します。

ソースアドレス、デスティネーションアドレス

転送制御レジスタのソースアドレスカウント方向、デスティネーションアドレスカウント方向および転送データサイズの設定にしたがって、**表 7.3** のように更新します。

表 7.3 ソースアドレス、デスティネーションアドレスの更新

カウント方向	転送データサイズ	更新後のアドレス
インクリメント	8 ビット	更新前のアドレス + 0000 0001 _H
	16 ビット	更新前のアドレス + 0000 0002 _H
	32 ビット	更新前のアドレス + 0000 0004 _H
	64 ビット	更新前のアドレス + 0000 0008 _H
	128 ビット	更新前のアドレス + 0000 0010 _H
デクリメント	8 ビット	更新前のアドレス - 0000 0001 _H
	16 ビット	更新前のアドレス - 0000 0002 _H
	32 ビット	更新前のアドレス - 0000 0004 _H
	64 ビット	更新前のアドレス - 0000 0008 _H
	128 ビット	更新前のアドレス - 0000 0010 _H
固定	—	更新前のアドレスと同じ

リロード機能を使用する場合は、**表 7.3** とは別に最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「**7.2.3 リロード機能**」を参照してください。

転送回数、アドレスリロードカウント

転送回数は、DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。

アドレスリロードカウントは、リロード機能 2 またはブロック転送 2 を使用する場合は DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合には更新されません。

リロード機能を使用する場合は、最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「**7.2.3 リロード機能**」を参照してください。

その他の転送情報

DMA サイクルの実行では、更新されません。

7.2.1.4 最終転送とアドレスリロード転送

最終転送とは、転送回数レジスタが示す残り転送回数が 1 回の状態で実行される DMA サイクルを指します。最終転送では、最終転送でない DMA サイクルの実行時と比較して次の動作が異なります。

- 最終転送が完了すると転送完了フラグ (DCSTn.TC) がセットされます。(DMAC のみ)
- 最終転送が完了するとチャンネル動作有効 (DCENn.DTE) ビットがクリアされます。(DMAC のみ、連続転送機能が無効の場合)
- 転送完了割り込み出力イネーブルがセットされている場合、最終転送が完了すると転送完了割り込みが出力されます。
- リロード機能 1 が有効の場合は、最終転送でリロード機能 1 の動作が実行されます。詳細は、「**7.2.3 リロード機能**」を参照してください。

アドレスリロード転送とは、リロード機能 2 が有効で、かつアドレスリロードカウントが 1 回の状態で実行される DMA サイクルを指します。アドレスリロード転送では、リロード機能 2 の動作が実行されます。詳細は、「**7.2.3 リロード機能**」を参照してください。

7.2.1.5 転送完了割り込み、転送回数一致割り込み出力

DMA は、外部に対して転送完了割り込みまたは転送回数一致割り込みを出力する機能を持ちます。

転送完了割り込み出力

DMAC は、転送制御レジスタで転送完了割り込みイネーブル (DTCTn.TCE) がセットされている場合、最終転送が完了すると転送完了割り込みを要求します。

DTS は、転送制御レジスタで転送完了割り込みイネーブル (DTTCTnmm.TCE) がセットされている場合、最終転送が完了すると DTS 転送完了割り込みを要求します。

転送回数一致割り込み出力

DMAC は、転送制御レジスタで転送回数一致割り込みイネーブル (DTCTn.CCE) がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DMAC 転送回数一致割り込みを要求します。

DTS は、転送制御レジスタで転送回数一致割り込みイネーブル (DTTCTnnn.CCE) がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DTS 転送回数一致割り込みを要求します。

図 7.1 に転送完了割り込み・転送回数一致割り込みの動作を示します。

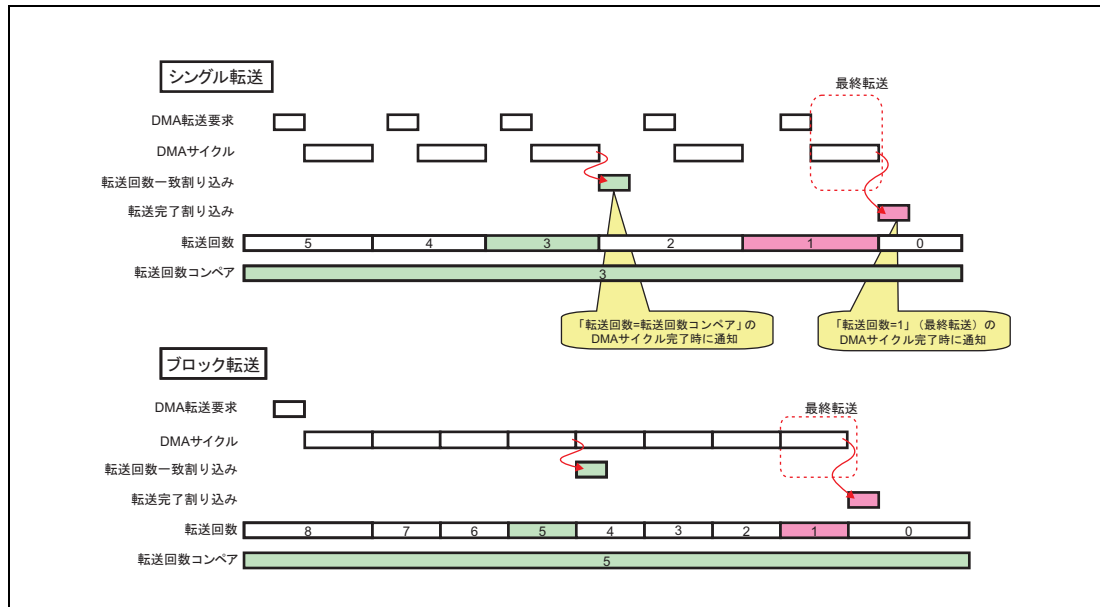


図 7.1 転送完了割り込み・転送回数一致割り込み

7.2.1.6 連続転送

DMAC では、連続転送機能を利用しない場合は、最終転送が完了すると転送完了フラグ (DCSTn.TC) がセットされ、チャンネル動作有効 (DCEN.DTE) ビットがクリアされます。このため、最終転送の完了後に DMA 転送要求が発生しても DMA 転送要求を受け付けません。

連続転送機能を利用すると、最終転送が完了してもチャンネル動作有効 (DCEN.DTE) ビットがクリアされず、また転送完了フラグがセットされた状態でも DMA 転送要求を受け付けることができます。指定した回数の DMA 転送を繰り返し実行するような用途では、連続転送機能を利用することで、最終転送完了後の転送完了フラグのクリアやチャンネル動作有効ビットのセットのためのソフトウェア処理のオーバーヘッドを減らすことができます。

連続転送機能は、DMAC 転送制御レジスタの連続転送イネーブル (DTCTn.MLE) をセットすることで有効になります。

連続転送機能はリロード機能 1 と一緒に利用することを想定しています。連続転送機能には、ソースアドレスレジスタ、デスティネーションアドレスレジスタおよび転送回数レジスタの値を変更する機能はありません。最終転送の完了後にソースアドレスレジスタ、デスティネーションアドレスレジスタおよび転送回数レジスタを DMA 転送開始前の状態に戻す動作は、リロードソースアドレスレジスタ、リロードデスティネーションアドレスレジスタおよびリロード転送回数レジスタに DMA 転送開始前のソースアドレスレジスタ、デスティネーションアドレスレジスタおよび転送回数レジスタの値を設定しておき、リロード機能 1 を利用することで実現できます。

DTS では、DMAC の連続転送イネーブル (DTCTn.MLE) に該当する設定はありません。DTS には DMAC の転送完了フラグ (DCSTn.TC) やチャンネル動作有効 (DCEN.DTE) の各ビットが存在しないためです。

DTS では、転送回数が 0 回の状態で DMA 転送要求が発生すると DMA 転送は行われません (DMAC で連続転送機能を利用しない場合の動作に相当します)。

DTS でリロード機能 1 を利用して、最終転送の完了時に転送回数を 0 回以外の値でリロードしておけば、次の DMA 転送要求を受け付けた際に DMA 転送を実行することができます (DMAC で連続転送機能を利用する場合の動作に相当します)。

図 7.2 に DMAC の連続転送の動作イメージを示します。

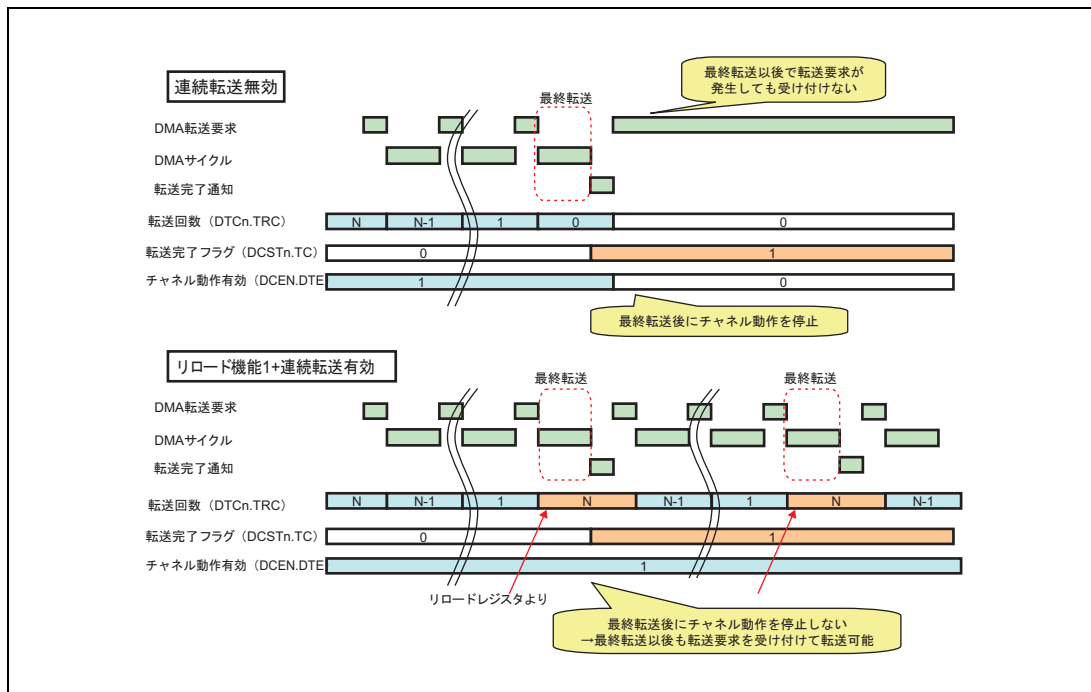


図 7.2 DMAC の連続転送の動作イメージ

7.2.2 チャンネルの優先順位

DMA の複数のチャンネル間のアービトレーションについて説明します。

7.2.2.1 DMAC チャンネルアービトレーション

DMAC では 8 チャンネルから 1 チャンネルを選択するアービトレーションを行います。

アービトレーションは固定優先順位で、DMAC0 では「チャンネル 0 >チャンネル 1 >チャンネル 2 >チャンネル 3 >チャンネル 4 >チャンネル 5 >チャンネル 6 >チャンネル 7」、DMAC1 では「チャンネル 8 >チャンネル 9 >チャンネル 10 >チャンネル 11 >チャンネル 12 >チャンネル 13 >チャンネル 14 >チャンネル 15」です。

アービトレーションは DMA サイクルごとに行われます。DMA サイクルのリードとライトの間ではアービトレーションは発生しません。

あるチャンネルのブロック転送の途中の DMA サイクルが終了した時点で、優先順位の高いチャンネルの DMA 転送要求があった場合には、アービトレーションの結果優先順位の高いチャンネルの DMA サイクルが実行されます。

DMAC がブロック転送 1 またはブロック転送 2 を実行する場合は、1 回の DMA サイクルごとに DMAC チャンネルアービトレーションを行うため、他の優先順位の高い DMAC チャンネルの DMA サイクルが割り込むことがあります。

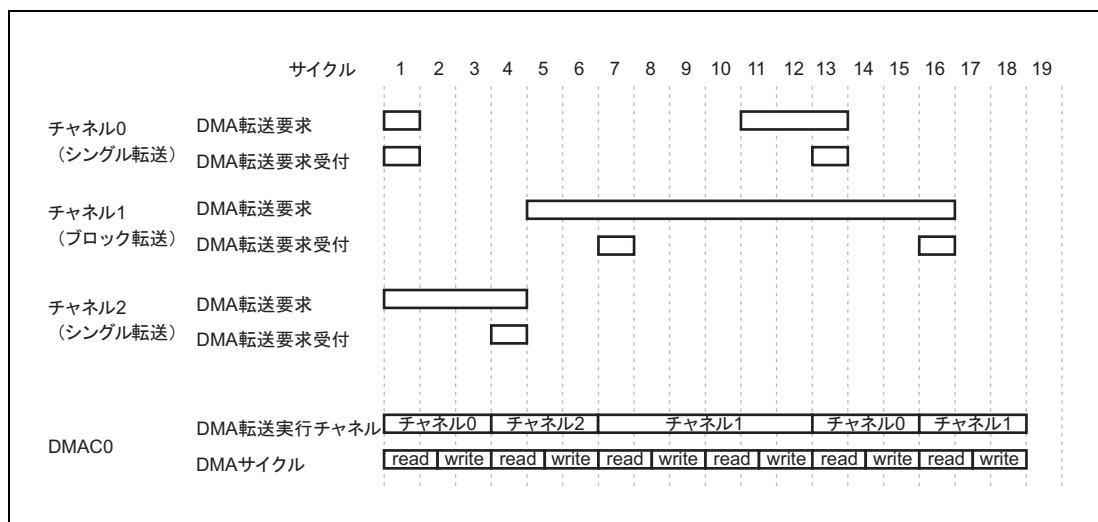


図 7.3 DMAC チャンネルアービトレーション

図 7.3 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.3 において、サイクル 1 でチャンネル 0 とチャンネル 2 の DMA 転送要求があり、アービトレーションの結果、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 2 の DMA サイクルの実行を開始します。サイクル 5 でチャンネル 1 の DMA 転送要求が発生しますが、チャンネル 2 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 7 でチャンネル 1 の DMA サイクルを実行します。チャンネル 1 はブロック転送なので、他のチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 12 でチャンネル 1 の DMA サイクルが完了し、サイクル 13 では DMA チャンネル 0 とチャンネル 1 のアービトレーションの結果チャンネル 0 の DMA サイクルの実行を開始します。サイクル 13 では既にブロック転送を実行中のチャンネル 1 よりも優先度の高いチャンネル 0 の

DMA サイクルを実行していることに注意してください。サイクル 15 でチャンネル 0 の DMA サイクルが完了し、サイクル 16 で再びチャンネル 1 の DMA サイクルの実行を開始します。サイクル 18 でチャンネル 1 のブロック転送の最後の DMA サイクルが完了しています。

7.2.2.2 DTS チャンネルアービトレーション

複数の DTS チャンネルで DMA 転送要求がある場合、DTSFSL で DTS チャンネルアービトレーションを行います。DTS の各チャンネルは、DTS チャンネル優先順位設定レジスタで 4 段階の優先度が設定可能です。

複数の DTS チャンネルで DMA 転送要求がある場合のアービトレーションは、

1. DTS チャンネル優先順位設定レジスタで設定した優先度の高いチャンネルを優先
2. DTS チャンネル優先順位設定レジスタで設定した優先度が同一の場合は、チャンネル番号が小さいチャンネルを優先

します。

DTSFSL は、アービトレーションにより選択したチャンネルの DMA 転送要求を DTS に伝えます。DTS は、DMA 転送要求を受け付けると DMA 転送を実行します。

DMAC での DMA 転送と異なり、DTS での DMA 転送ではブロック転送の途中で DTS チャンネル間のアービトレーションは行われません。つまり、あるチャンネルのブロック転送を実行中に、優先順位の高いチャンネルの DMA 転送要求があった場合でも、優先順位の低いチャンネルのブロック転送が終了する注¹までは、優先順位の高いチャンネルの DMA 転送は実行されません。

注 1. ブロック転送が終了するのは、ブロック転送 1 の最終転送か、ブロック転送 2 の最終転送またはアドレスリロード転送が発生した時点

DTS がブロック転送 1 またはブロック転送 2 を実行する場合は、最終転送まで他の優先順位の高い DTS チャンネルの DMA サイクルが割り込むことはありません。

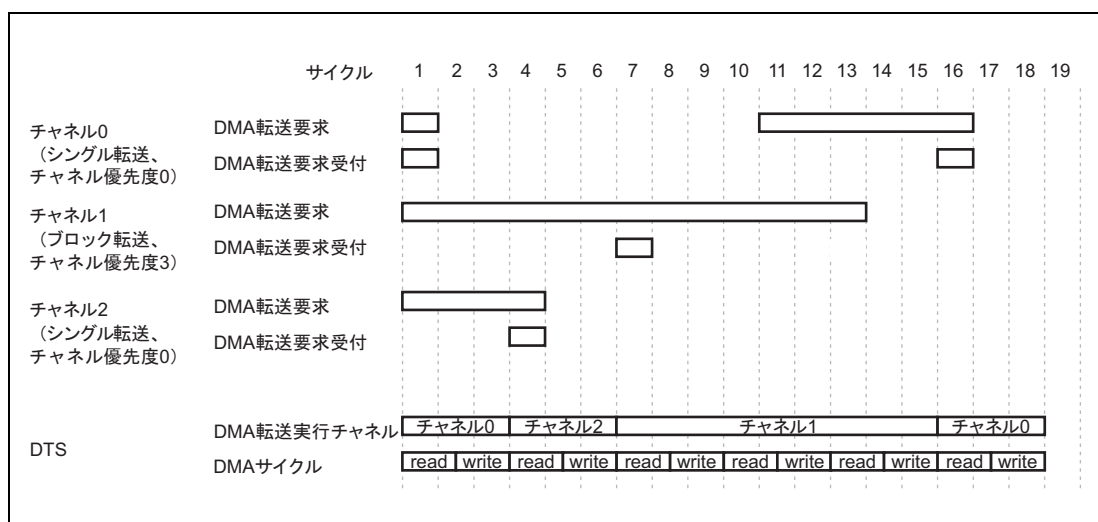


図 7.4 DTS チャンネルアービトレーション

図 7.4 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.4 において、サイクル 1 でチャンネル 0 とチャンネル 1 とチャンネル 2 の DMA 転送要求があります。チャンネル 0 およびチャンネル 2 のチャンネル優先度は 0 でチャンネル 1 のチャンネル優先度 3 よりも高く、またチャンネル優先度が同一の場合はチャンネル番号の小さいチャンネルが優先度が高くなるため、アービトレーションの優先度は「チャンネル 0 >チャンネル 2 >チャンネル 1」となり、優先度の高いチャンネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャンネル 1 とチャンネル 2 のアービトレーションの結果チャンネル 2 の DMA サイクルの実行を開始します。サイクル 7 でチャンネル 1 の DMA サイクルの実行を開始します。チャンネル 1 はブロック転送なので、他のチャンネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャンネル 0 の DMA 転送要求が発生しますが、チャンネル 1 の DMA サイクルを実行中であるため、チャンネル 1 のブロック転送が終了するまでアービトレーションは行われません。サイクル 15 でチャンネル 1 のブロック転送が終了し、サイクル 16 でチャンネル 0 の DMA サイクルの実行を開始します。

7.2.2.3 インタフェースアービトレーション

DMAC0、DMAC1、DTS はそれぞれ独立して動作し、DMA 転送を実行します。

7.2.3 リロード機能

7.2.3.1 リロード機能の概要

リロード機能は、DMA 転送中に、転送情報のうちソースアドレス、デスティネーションアドレス、転送回数およびアドレスリロード回数をあらかじめ指定した値で更新する機能です。

リロード機能はリロード機能 1 とリロード機能 2 の 2 つの機能があります。

7.2.3.2 リロード機能 1 の動作

リロード機能 1 が有効の場合、最終転送の実行時にリロード機能 1 設定にしたがって表 7.4 の動作を行います。

最終転送とアドレスリロード転送が同時に発生した場合、リロード機能 1 の設定に従いリロードが行われます。

表 7.4 リロード機能 1 動作

リロード機能 1 設定 (DTCTn.RLD1M[1:0])	レジスタ	最終転送時の動作
00 (リロード機能 1 無効)	ソースアドレス	リロードしない
	デスティネーションアドレス	リロードしない
	転送回数	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 1 有効、ソースアドレスと転送回数をリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	デスティネーションアドレス	リロードしない
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
10 (リロード機能 1 有効、デスティネーションアドレスと転送回数をリロード)	ソースアドレス	リロードしない
	デスティネーションアドレス	リロードデスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
11 (リロード機能 1 有効、ソースアドレスとデスティネーションアドレスと転送回数をリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	デスティネーションアドレス	リロードデスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	<ul style="list-style-type: none"> リロード機能 2 が無効の場合、リロードしない リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー

図 7.5 にリロード機能 1 の動作イメージを示します。

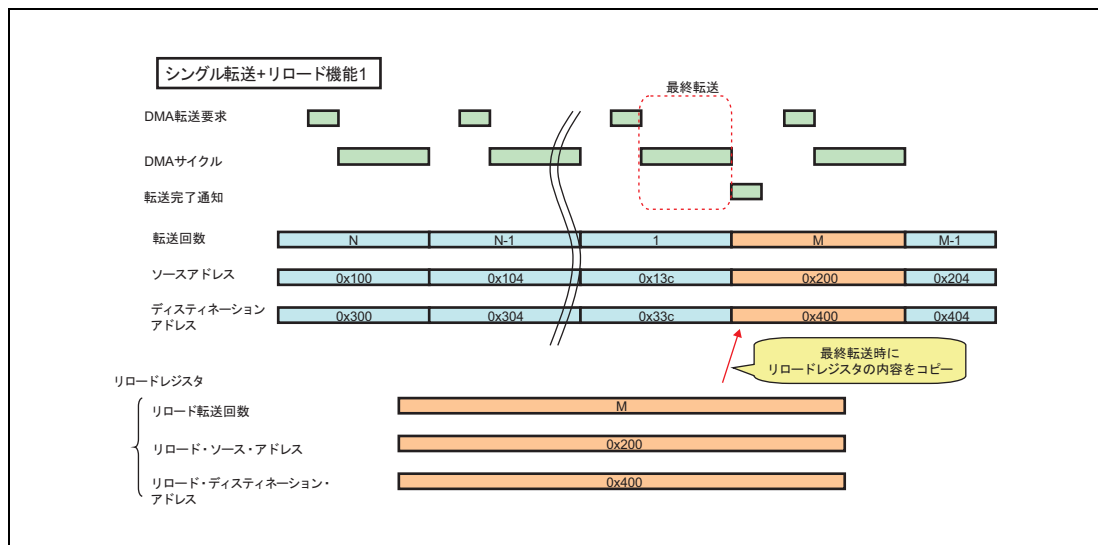


図 7.5 リロード機能 1 動作イメージ

7.2.3.3 リロード機能 2

リロード機能 2 が有効の場合、アドレスリロード転送の実行時にリロード機能 2 の設定にしたがって表 7.5 の動作を行います。

表 7.5 リロード機能 2 動作

リロード機能 2 設定 (DTCTn.RLD2M[1:0])	レジスタ	アドレスリロード転送時の動作
00 (リロード機能 2 無効)	ソースアドレス	リロードしない
	デスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 2 有効、ソースアドレスをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	デスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
10 (リロード機能 2 有効、デスティネーションアドレスをリロード)	ソースアドレス	リロードしない
	デスティネーションアドレス	リロードデスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
11 (リロード機能 2 有効、ソースアドレスとデスティネーションアドレスをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	デスティネーションアドレス	リロードデスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー

図 7.6 にリロード機能 2 の動作イメージを示します。

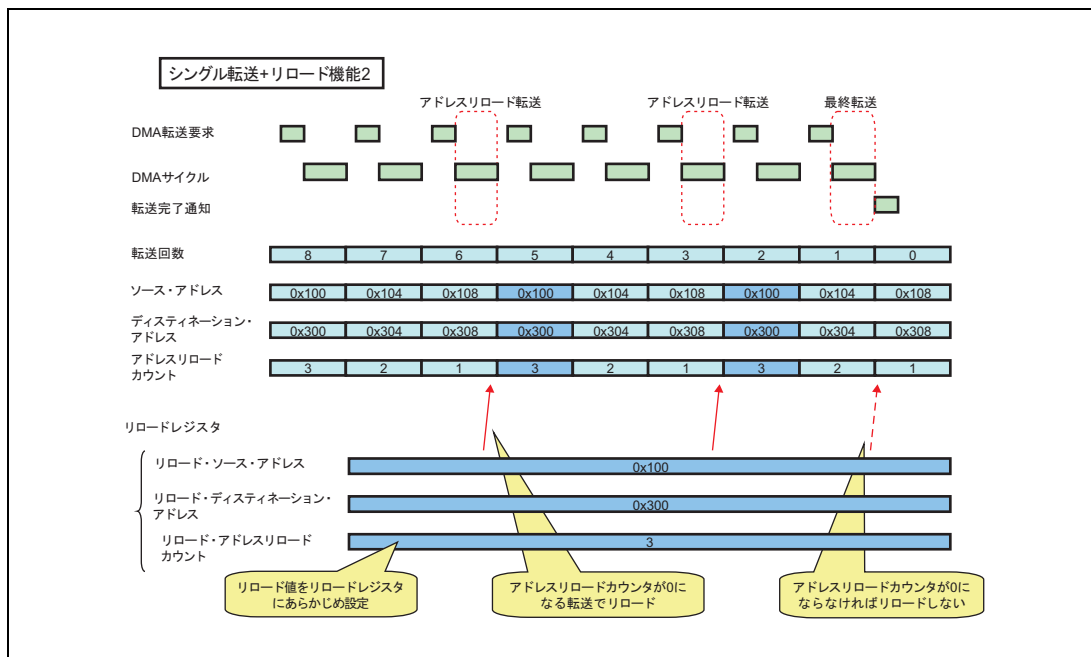


図 7.6 リロード機能 2 動作イメージ

図 7.7 にリロード機能 1 とリロード機能 2 を同時に使用する場合の動作イメージを示します。

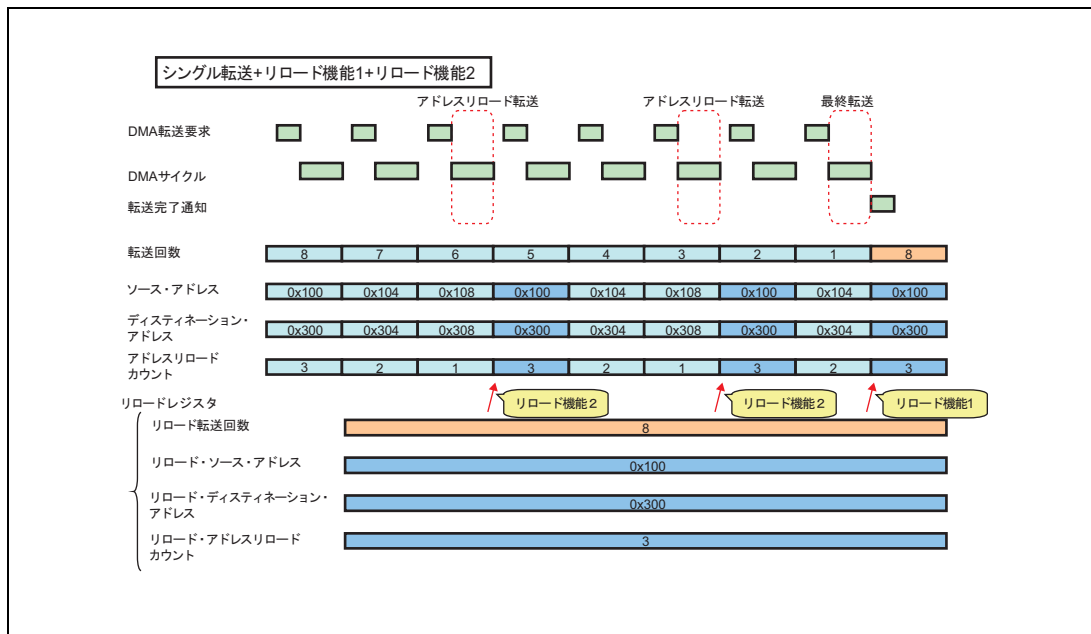


図 7.7 リロード機能 1 + リロード機能 2 動作イメージ

7.2.3.4 DMAC のリロードレジスタ設定タイミング

リロードソースアドレスレジスタ・リロードデスティネーションアドレスレジスタ・リロード転送回数レジスタはいつでも（DMA 転送中でも）設定が可能です。ただし、DMA 転送中にリロードソースアドレスレジスタ・リロードデスティネーションアドレスレジスタ・リロード転送回数レジスタの内容を書き換えた場合には、最終転送またはアドレスリロード転送時のリロード動作とユーザによるリロードレジスタの書き換えが競合する可能性があります。この競合を避けるため、リロードレジスタの設定は最終転送またはアドレスリロード転送が始まる前に完了するようにしてください。

DMA 転送中にリロードソースアドレスレジスタ・リロードデスティネーションアドレスレジスタ・リロード転送回数レジスタの内容を書き換える必要がある場合、書き換えのタイミングを知る方法として、DMA 転送回数一致割り込みを使用する方法があります。その場合、リロードレジスタの内容を書き換えるのに必要な時間を十分確保できるように DMA 転送回数コンペアレジスタ（DTCCn）を設定してください。

7.2.3.5 DTS のリロード情報設定タイミング

DTS のリロードソースアドレス情報、リロードデスティネーションアドレス情報、リロード転送回数情報の設定のタイミングは、転送モードによって異なるため注意が必要です。

シングル転送の場合には、最終転送またはアドレスリロード転送の開始時に TI フェッチした内容をもとに、DMA サイクル完了時にリロード動作を行います。このため、シングル転送でリロード機能を使用する場合には、最終転送またはアドレスリロード転送の開始前に、TI のリロードソースアドレス情報、リロードデスティネーションアドレス情報、リロード転送回数情報を設定しておく必要があります。

ブロック転送の場合は、TI フェッチが行われるのは DMA 転送の開始時のみです。最終転送またはアドレスリロード転送時には、DMA 転送の開始時に TI フェッチした情報にしたがってリロード動作を行います。このため、ブロック転送でリロード機能を使用する場合には、DMA 転送の開始前に TI のリロードソースアドレス情報、リロードデスティネーションアドレス情報、リロード転送回数情報を設定しておく必要があります。ブロック転送の実行の途中で TI のリロードソースアドレス情報、リロードデスティネーションアドレス情報、リロード転送回数レジスタを書き換えた場合には、そのブロック転送の完了時のリロード動作には反映されません。

7.2.4 チェイン機能

7.2.4.1 概要

DMA は、あるチャンネルの DMA サイクルの完了または最終転送の完了をトリガにして、別のチャンネルの DMA 転送要求を行うチェイン機能を提供します。

チェイン機能による別のチャンネルへの DMA 転送要求をチェイン要求と呼びます。

チェイン要求の条件として選択できるのは次の2つです。

- 常にチェイン：DMA サイクルの完了ごとにチェイン要求を行います。
- 最終転送でチェイン：最終転送の完了の際にチェイン要求を行います。

図 7.8 に常にチェインの動作イメージを示します。

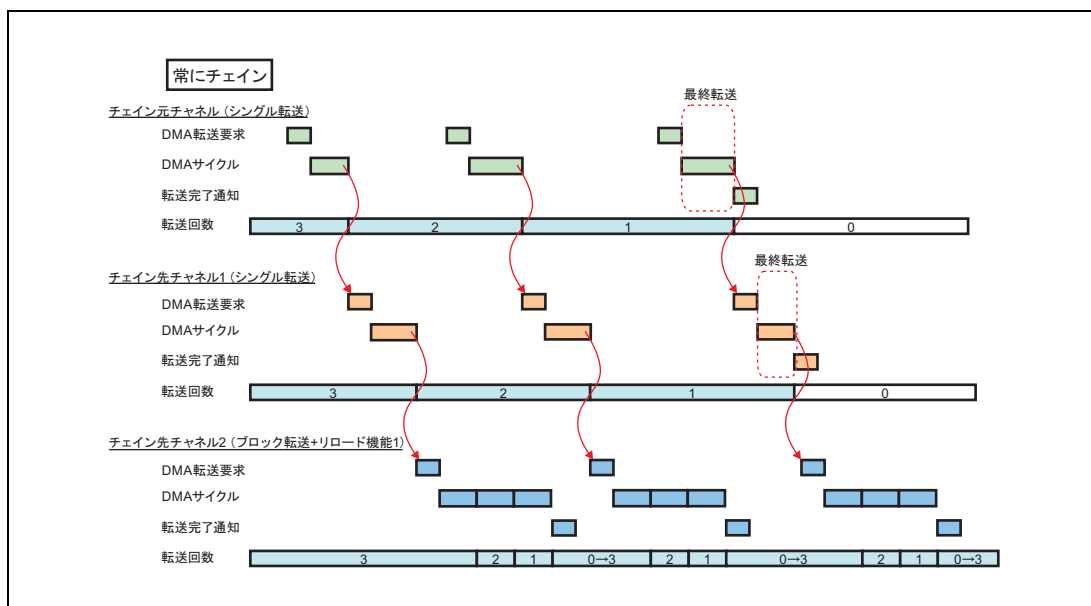


図 7.8 常にチェインの動作イメージ

図 7.9 に最終転送でチェーンの動作イメージを示します。

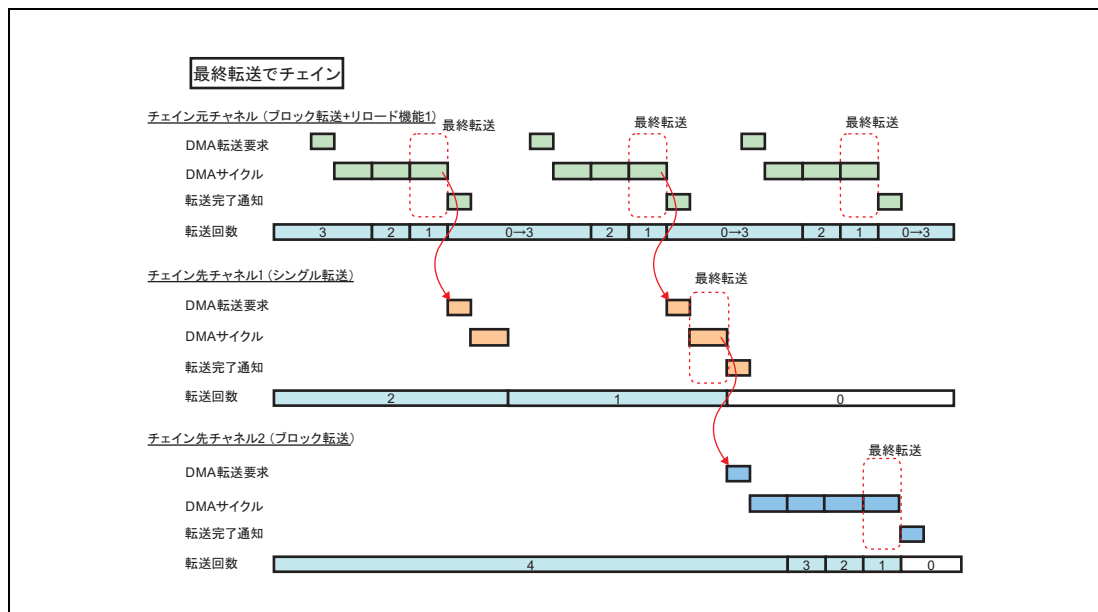


図 7.9 最終転送でチェーンの動作イメージ

7.2.4.2 チェイン動作の設定方法

DMAC の場合は、DMAC 転送制御レジスタのチェーンイネーブル (DTCTn.CHNE) およびチェーン先選択 (DTCTn.CHNSEL) に、チェーン動作の種類およびチェーン先のチャンネル番号を設定します。

DTS の場合は、DTS 転送制御レジスタのチェーンイネーブル (DTTCTn.CHNE) およびチェーン先選択 (DTTCTn.CHNSEL) に、チェーン動作の種類およびチェーン先のチャンネル番号を設定します。

7.2.4.3 チェイン機能使用時の注意

チェーン動作は、チェーン先のチャンネルのソフトウェア DMA 転送要求フラグをセットすることで実現しています。したがって、チェーン先となるチャンネルでは、ソフトウェア DMA 転送要求を使用する場合と同様のチャンネル設定を実施してください。ハードウェア DMA 転送要求を使用する設定を行ったチャンネルをチェーン先に指定した場合には、チェーン動作を行うことができません。

チェーン先のチャンネルは、チェーン元のチャンネルと同一のモジュール内 (DMAC0、DMAC1、DTS) のチャンネルに限られます。異なるモジュールのチャンネルをチェーン先として指定することはできません。

7.2.5 DMAC 動作

7.2.5.1 DMA 転送要求の種類と割り当て

DMAC はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかは、DMAC 転送制御レジスタ (DTCTn) の DMA 転送要求選択割り付け (DRS) ビットで指定します。

DMAC のハードウェア DMA 転送要求は、DTFR で 128 種類のハードウェア DMA 転送要因から DMAC の各チャンネルにそれぞれ 1 つずつ選択して割り当てます。この割り当ては DTFR 設定レジスタで行います。

7.2.5.2 ソフトウェア DMA 転送要求の発生と受け付け

DMAC 転送ステータスセットレジスタ (DCSTSn) を使用して DMAC 転送ステータスレジスタ (DCSTn) のソフトウェア DMA 転送要求フラグ (SR) をセットすると、ソフトウェア DMA 転送要求を発生させることができます。

ソフトウェア DMA 転送要求フラグは、DMAC が DMA 転送要求を実行すると自動的にクリアされます。ソフトウェア DMA 転送要求フラグが自動的にクリアされるタイミングは、実行する DMA 転送の転送モードによって異なります。

- シングル転送の場合は、ソフトウェア DMA 転送要求を受け付ける度に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 1 の場合は、最終転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 2 の場合は、最終転送またはアドレスリロード転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。

ソフトウェア DMA 転送要求フラグは DMAC 転送ステータスクリアレジスタ (DCSTCn) を利用してソフトウェアでクリアすることも可能です。DMAC チャンネルの DMA 転送中止の操作を行う際は、ソフトウェア DMA 転送要求フラグをクリアしてください。

7.2.6 DTS 動作

7.2.6.1 DMA 転送要求の種類と割り当て

DTS はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。

DTS の転送要求は、DTSFSL の転送要求保持状態ビットにチャンネルごとに保持されます。DTSFSL ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビットに保持されます。DTS は DMA 転送を実行する際に、DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。

DTS のハードウェア DMA 転送要求は、DTSFSL で 128 種類のハードウェア DMA 転送要因が DTS の 128 チャンネルに固定的に割り当てられています。この割り当てはレジスタなどで変更することはできません。

7.2.6.2 DMA 転送要求の発生と受け付け

DTSFSL はハードウェア DMA 転送要因入力を検出すると転送要求保持状態ビットをセットして DMA 転送要求として保持します。転送要求保持状態ビットがセットされており、DTSFSL 動作設定レジスタの転送要求有効ビット (DTFSL $_{nnn}$.REQEN) がセットされている場合、DTSFSL は DTS に対して DMA 転送要求があることを通知します。

ソフトウェアで DTSFSL 転送要求セットレジスタ (DTFSS $_{nnn}$) を使用して、DTSFSL 転送要求ステータスレジスタの転送要求保持状態ビット (DTFST $_{nnn}$.DRQ) をセットすることでも、DMA 転送要求を発生させることができます。

DTSFSL が保持可能な DMA 転送要求はチャンネルごとに 1 つです。あるチャンネルの転送要求保持状態ビットがセットされている状態で、同じチャンネルに対して後続のハードウェア DMA 転送要因入力が入力されても、後続のハードウェア DMA 転送要因入力は無視します。

DTS では DMA 転送要求を受け付けると、DMA 転送要求受け付けを通知します。

転送要求保持状態ビットは、DTS が DMA 転送要求を受け付けると自動的にクリアされます。DTSFSL の転送要求保持状態ビットは、DTS で実行する DMA 転送の種類によらず、DTS が DMA 転送要求を受け付けた際に自動的にクリアされます。

転送要求保持状態ビットは、DTSFSL 転送要求クリアレジスタ (DTFSC $_{nnn}$) を利用してクリアすることも可能です。DTS が DMA 転送要求を受け付ける前に転送要求保持状態ビットをクリアした場合は、そのチャンネルの DMA 転送が実行されることはありません。

7.2.6.3 DMA 転送の実行

DTS は DMA 転送要求を受け付けたチャンネルの DMA 転送を実行します。

複数のチャンネルからの DMA 転送要求が存在する場合には、DTSFSL が DTS チャンネルアービトラージョンを行って DMA 転送要求を行うチャンネルを決定します。

DTS で DMA 転送を実行中の場合は、DTS 状態レジスタの DTS 転送状態 (DTSSTS.DTSACT) ビットがセットされます。また、DMA 転送を実行中のチャンネル番号が同じレジスタの DTS 転送チャンネル (DTSSTS.DTSACH) にセットされます。DMA 転送が完了したり、DMA 転送エラーやレジスタ操作により DMA 転送が中止されたりして、DMA 転送を実行中のチャンネルがなくなった場合には、DTS 転送状態 (DTSSTS.DTSACT) ビットはクリアされます。

7.2.6.4 DTSRAM アクセス

DTS では、DMA 転送の開始時および DMA 転送の終了時に DTSRAM アクセスを行います。

DTS が DMA 転送の開始時に DTSRAM から転送情報を読み出す動作を TI フェッチと呼びます。

DTS が DMA 転送の終了時に DTSRAM 上の転送情報を更新する動作を TI ライトバックと呼びます。

シングル転送では DMA サイクルの開始時に TI フェッチを行い、DMA サイクルの完了時に TI ライトバックを行います。

ブロック転送では、最初の DMA サイクルの開始時に TI フェッチし、ブロック転送完了の条件（最終転送またはアドレスリロード転送）の DMA サイクルの完了後に TI ライトバックを行います。

したがって、シングル転送では DMA サイクルごとに DTSRAM 上の転送情報が更新されます。ブロック転送ではブロック転送の完了後に DTSRAM 上の転送情報が更新されます。ブロック転送の実行中に、ソフトウェアで DTSRAM 上の転送情報を読み出した場合は、ブロック転送の開始時の転送情報が読み出されます。

7.3 一時中断・再開、転送中止および DMA 転送要求のクリア

7.3.1 ソフトウェア制御による DMA 一時中断・再開

DMA 制御レジスタ (DMACTL) により、全チャンネルの DMA 転送一時中断機能を提供します。

DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) がセットされると、DMA は全チャンネル一時中断状態に移行します。全チャンネル一時中断状態で、DMA 制御レジスタの DMA 一時中断ビットがクリアされると、DMA は全チャンネル一時中断状態から通常状態に復帰し、一時中断状態だったチャンネルの DMA 転送は再開されます。

全チャンネル一時中断状態では、DMAC の各チャンネルの DCENn.DTE ビットおよび DTS の DTSCn.DTSUST ビットの状態は変わりませんが、すべてのチャンネルの DMA 転送は一時中断された状態になります。

注 意

DTS で実行中の DMA 転送を一時中断/再開する場合は、DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効/無効の操作を行う必要があります。詳細は、「7.3.3 DTS の一時中断・再開および転送中止」の注意事項を参照してください。

7.3.2 DMAC チャンネルの一時中断・再開および転送中止

DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアまたは DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) をセットすることで、DMAC チャンネルの DMA 転送を一時中断することができます。DMA サイクルを実行中の場合、実行中の DMA サイクルの終了後に DMA 転送を一時中断します。一時中断の状態では DCENn.DTE ビットを再びセットまたは DMACTL.DMASPD ビットをクリアすると、一時中断した DMAC チャンネルの DMA 転送を再開します。

DMAC チャンネルで実行中の DMA 転送を中止したい場合、DMAC チャンネル動作有効設定レジスタのチャンネル動作有効ビット (DCENn.DTE) をクリアした後で、ハードウェア DMA 転送要求であれば DTFR のハードウェア DMA 転送要求をクリアし、ソフトウェア DMA 転送要求であれば DMAC 転送ステータスクリアレジスタのソフトウェア DMA 転送要求フラグクリアビット (DCSTCn.SRC) を利用してソフトウェア DMA 転送要求フラグ (DCSTn.SR) をクリアしてください。

注 意

連続転送中 (DMAC 転送制御レジスタの連続転送イネーブル (DTCTn.MLE) = 1) のとき、最終転送の DMA サイクル中に DCENn.DTE をクリアした場合、DTCTn.MLE の設定が優先され、最終転送が終了後に DCENn.DTE は再びセットされます。このとき、DMA チャンネルを一時中断する場合、DCENn.DTE をクリアする前に DTCTn.MLE を先にクリアしてください。

図 7.10 に DMAC チャンネルの一時中断・再開・転送中止の動作例を示します。

図 7.10 では、チャンネル 0 とチャンネル 1 はいずれもブロック転送を実行します。時間 1 でチャンネル 1 が DMA 転送を開始します。時間 2 でチャンネル 0 の DMA 転送要求が受け付けられ、DMAC チャンネルアービトラージョンにより、チャンネル 1 よりも優先度の高いチャンネル 0 の DMA 転送を開始します。時間 3 でチャンネル 0 の最終転送が完了し、チャンネル 1 のブロッ

ク転送の残りの DMA 転送を開始します。時間 4 でチャンネル 1 の最終転送が完了します。時間 5 以降は同様にチャンネル 0 とチャンネル 1 の DMA 転送を実行しますが、時間 7 でチャンネル 0 の DMA 転送が一時中断され、DMAC チャンネルアービトレーションによりチャンネル 1 の DMA 転送を開始します。時間 8 でチャンネル 1 の最終転送が完了した後、時間 9 でチャンネル 0 の DMA 転送を再開しています。時間 10 で再びチャンネル 0 の DMA 転送を一時中断し、時間 11 でチャンネル 0 の DMA 転送を中止しています。時間 12 でチャンネル 0 の一時中断状態を解除していますが、時間 11 で DMA 転送が中止されているためチャンネル 0 の DMA 転送は実行されません。

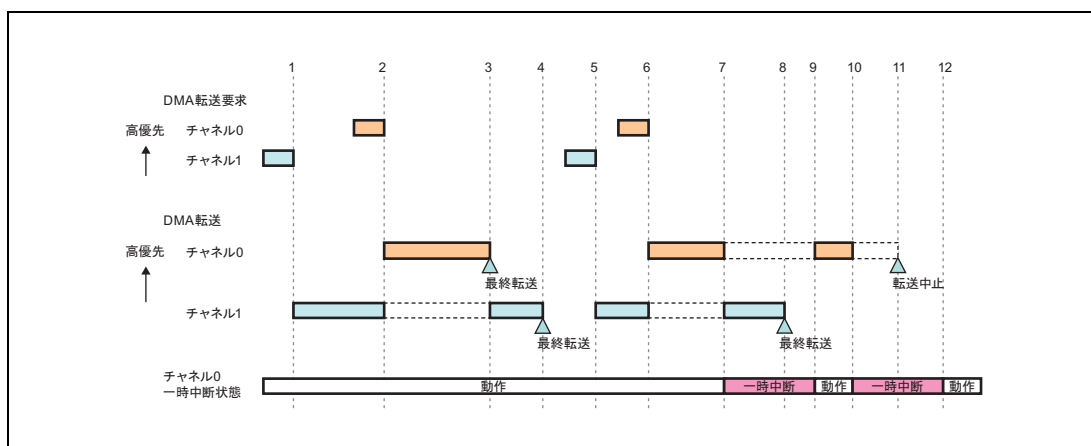


図 7.10 DMAC チャンネルの一時中断・再開・転送中止の動作例

7.3.3 DTS の一時中断・再開および転送中止

DTS 制御レジスタ 1 の DTS 一時中断ビット (DTSCTL1.DTSUST) または DMA 制御レジスタの DMA 一時中断ビット (DMACTL.DMASPD) をセットすることで、DTS で実行中の DMA 転送を一時中断することができます^{注 1}。DMA サイクルを実行中の場合、DMA サイクルが完了した時点で一時中断状態になります。実行中の DMA サイクルがシングル転送、またはブロック転送を完了する転送（最終転送またはアドレスリロード転送）の場合は、DMA サイクルの完了後、TI ライトバックを行った後に一時中断状態になります。それ以外の DMA サイクルを実行中の場合は、DMA サイクルの完了後、TI ライトバックは行わずに一時中断状態になります。一時中断状態から DMA 転送を再開するには DTS 制御レジスタ 1 の DTS 一時中断ビットまたは DMA 制御レジスタの DMA 一時中断ビットをクリアします^{注 1}。

注 1. DTS で実行中の DMA 転送を一時中断／再開する前に DMA 転送要求有効ビット (DTFSLnnn.REQEN) の有効／無効の操作を行う必要があります。一時中断／再開するには、以下の処置を行ってください。

(a) DTS を一時中断する際の手順

1. DMA 転送要求有効ビット (DTFSLnnn.REQEN) がセットされている全ての DTS チャンネルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をクリアする。
2. DTSCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをセットする。

(b) DTS を再開する際の手順

1. (a) の 1. でクリアした DTS チャンネルの DMA 転送要求 有効ビット (DTFSLnnn.REQEN) をセットする。

2. (a) の 2. でセットした DTSCCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをクリアする。

DTS で実行中の DMA 転送を中止したい場合は、まず上記の操作のうち、DTS 制御レジスタ 1 の DTS 一時中断ビット (DTSCCTL1.DTSUST) を使用して DTS を一時中断状態にした後、DTS 制御レジスタ 2 の DTS 転送中止要求ビット (DTSCCTL2.DTSTIT) をセットすることで、一時中断中の DMA 転送を中止することができます。転送中止の際に TI ライトバックは行われません。また、転送中止の操作を行った場合も DTS 一時中断ビット (DTSCCTL1.DTSUST) の状態は変わりませんので、転送中止後に DTS で別の DMA 転送要求を受け付けたい場合は、DTS チャンネルの DMA 転送要求有効ビット (DTFSLnnn.REQEN) をセットした後、DTS 一時中断ビットをクリアしてください。

図 7.11 に DTS の一時中断・再開・転送中止の動作例を示します。

図 7.11 では、チャンネル 0、チャンネル 1 およびチャンネル 2 はいずれもブロック転送を実行します。時間 1 でチャンネル 1 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 2 でチャンネル 0 とチャンネル 2 の DMA 転送要求が発生しています。時間 3 でチャンネル 1 の最終転送が完了し、DTS チャンネルアービトレーションにより優先度の高いチャンネル 0 の DMA 転送要求が受け付けられチャンネル 0 の DMA 転送を開始します。時間 4 でチャンネル 0 の最終転送が完了し、チャンネル 2 の DMA 転送を開始します。時間 5 で DTS が一時中断状態にセットされ、チャンネル 2 の DMA 転送は一時中断されます。時間 6 でチャンネル 0 とチャンネル 1 の DMA 転送要求が発生しています。時間 7 で DTS の一時中断状態がクリアされ、ブロック転送の途中で一時中断となったチャンネル 2 の DMA 転送が再開されます。ブロック転送の途中で一時中断となった場合、再開時に DTS チャンネルアービトレーションは行われません。時間 8 でチャンネル 2 の最終転送が完了し、DTS チャンネルアービトレーションにより優先度の高いチャンネル 0 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 9 で DTS が一時中断状態にセットされ、時間 10 で一時中断中のチャンネル 0 の DMA 転送が中止されています。時間 11 で DTS の一時中断状態がクリアされると、現在 DMA 転送中のチャンネルは存在しないため、DMA 転送要求のあるチャンネル 1 の DMA 転送が開始されます。

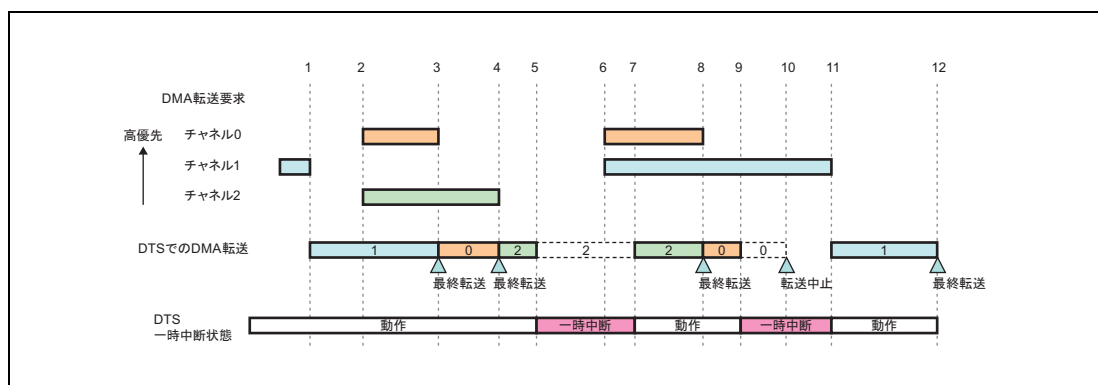


図 7.11 DTS の一時中断・再開・転送中止の動作例

7.3.4 DTFR のハードウェア DMA 転送要求マスクおよびクリア

DMAC でハードウェア DMA 転送要求を使用している場合、DTFR 設定レジスタのハードウェア DMA 転送要因選択有効ビット (DTFRn.REQEN) をクリアすることで、一時的に

DTFR から DMAC に対するハードウェア DMA 転送要求出力を無効化（マスク）することができます。

また、ハードウェア DMA 転送要因を利用する場合には、DTFR 転送要求クリアレジスタのハードウェア DMA 転送要求クリア（DTFRn.REQEN）ビットを使用して、DTFR で保持しているハードウェア DMA 転送要求をクリアすることができます。

DMAC チャンネルに対して DMA 転送の一時中断や転送中止の操作を行った場合でも、DTFR のハードウェア DMA 転送要求選択・保持回路は動作したままですので、DMAC チャンネルの一時中断の期間または転送中止の期間中に DTFR に入力されたハードウェア DMA 転送要求を DTFR は保持している場合があります。DMAC チャンネルで DMA 転送を再開または開始する場合には、必要に応じて、DTFR で保持しているハードウェア DMA 転送要求をクリアする操作を行ってください。

DMAC をハードウェア転送要求かつブロック転送（1 また 2）の設定で使用する場合、DMAC がブロック転送を実行中に、ソフトウェアで DTFR のハードウェア転送要因選択ビットを無効（DTFRn.REQEN = 0）に設定した場合、実行中のブロック転送が中断します。

7.3.5 DTSFSL の DMA 転送要求マスクおよびクリア

DTS では、DTSFSL 動作設定レジスタの転送要求有効ビット（DTSFSLnnn.REQEN）をクリアすることで、一時的に DTS に対するそのチャンネルからの DMA 転送要求を無効化（マスク）することができます。（実際の動作としては、DTSFSL 内で DTS チャンネルアービトレーションの際に、そのチャンネルをアービトレーション対象から除外します。）

また、DTSFSL 転送要求クリアレジスタの転送要求クリア（DTSFSLnnn.DREQEN）ビットを使用して、DTSFSL で保持している DMA 転送要求をクリアすることができます。

DTS の状態や DTSFSL の転送要求有効ビット（DTSFSLnnn.REQEN）の状態に関わらず、DTSFSL は常に外部からのハードウェア転送要因入力を監視しており、DTSFSL にハードウェア転送要因が入力されるとそのチャンネルに対応する DMA 転送要求がセットされます。DTS 転送を再開または開始する場合には、必要に応じて、DTSFSL で保持している DMA 転送要求をクリアする操作を行ってください。

7.3.6 一時中断・再開・転送中止機能一覧

表 7.6 一時中断・再開・転送中止機能一覧

機能	操作方法	動作	DMA 転送中止の可否	操作可能なマスタ（「7.5 信頼性機能」参照）
DMA 一時中断・再開	DMACTL.DMASPD をセット・クリア ^{注2}	全チャンネルが一時中断状態	不可 ^{注1}	特殊マスタ
DMAC チャンネル一時中断・再開	各チャンネルレジスタの DCENn.DTE をクリア・セット ^{注3}	チャンネルの DMA 転送を一時中断	可能 （一時中断状態で DMA 転送要求フラグをクリア）	特殊マスタ、チャンネルに割り当てられた一般マスタ
DTS 一時中断・再開	DTSCn.DTSUST をセット・クリア ^{注2}	DTS の DMA 転送を一時中断	可能 （一時中断状態で DTSCn.DTSTIT をセット）	特殊マスタ

注 1. DMA 転送を中止するためには、DMAC チャンネルの転送中止または DTS の転送中止の操作を行う必要があります。

注 2. DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット（DTSFSLnnn.REQEN）の有効／無効の操作を行う必要があります。詳細は、「7.3.3 DTS の一時中断・再開および転送中止」の注意事項を参照してください。

注 3. 連続転送で転送中の DMA チャンネルを中断・再開する場合、DCENn.DTE を変更する前に DTCTn.MLE を先に変更してください。

7.4 エラー制御

7.4.1 エラーの種類

DMA で発生するエラーは次の2つの種類があります。

- DMA 転送エラー
DMA サイクルのリードサイクルまたはライトサイクルで、エラーが検出された場合に発生します。DMAC および DTS のすべてのチャンネルで、DMA 転送の実行時に発生する可能性があります。
- DTSRAM エラー
DTS による DTSRAM リードアクセスで ECC エラーを検出した場合に発生します。DTS の DMA 転送実行時の TI フェッチ、またはソフトウェアから DTS チャンネルレジスタアクセスの際に発生する可能性があります。

7.4.2 DMA 転送エラー

7.4.2.1 DMAC の DMA 転送エラー発生時の動作

DMAC で DMA 転送エラーが発生すると、DMA 転送エラーが発生したチャンネルの DMAC 転送ステータスレジスタの転送エラーフラグ (DCSTn.ER) がセットされます。DMAC エラーレジスタ (DMACER) で DMAC の 16 チャンネルすべての転送エラーフラグの状態を確認することができます。

転送エラーフラグがセットされたチャンネルでは、転送エラー時 DMA 転送禁止設定 (DTCTn.ESE) ビットがセットされている場合は、新たな DMA サイクルは実行されませんが、転送エラー時 DMA 転送禁止設定 (DTCTn.ESE) ビットがクリアされている場合は、転送エラーフラグの状態に関係なく DMA サイクルが実行されます。

DMA 転送エラーが発生したチャンネルの DMA 転送を中止する場合は、DMAC チャンネルの DMA 転送中止の操作を実行してください。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、デスティネーションアドレス、転送回数およびアドレスリロードカウンタの各レジスタは更新されます。

7.4.2.2 DTS の DMA 転送エラー発生時の動作

DTS で DMA 転送エラーが発生すると、DTS エラーレジスタの DTS エラー発生フラグ (DTSER1.DTSER) がセットされ、同レジスタの DTS エラーチャンネル (DTSER1.DTSERCH) に DMA 転送エラーが発生した DTS チャンネル番号が格納されます。

シングル転送で DMA 転送エラーが発生すると、TI ライトバックを行って DMA サイクルを終了します。

ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定 (DTTCTnmm.ESE) がセットされている場合は、ブロック転送の残りの DMA サイクルを実行せずに、TI ライトバックを行って DMA 転送を終了します。その際 DTS 状態レジスタの DTS 転送状態 (DTSSTS.DTSACT) ビットはクリアされます。ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定 (DTTCTnmm.ESE) がクリアされている場合は、DMA 転送エラーの発生に関係なくブロック転送を継続します。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、デスティネーションアドレス、転送回数およびアドレスリロードカウンタは更新され、TI ライトバックの際に TI が更新されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャンネルに格納されたチャンネル番号と同じチャンネルの DMA 転送要求を DTS が受け付けると、TI フェッチを実行します。TI フェッチの結果転送エラー時 DMA 転送中止設定 (DTTCn.nn.ESE) がセットされていた場合は DMA サイクルおよび TI ライトバックを実行しません。転送エラー時 DMA 転送中止設定 (DTTCn.nn.ESE) がクリアされている場合は DMA 転送が実行されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャンネルに格納されたチャンネル番号と異なるチャンネルの DMA 転送要求を DTS が受け付けた場合には、DMA 転送が実行されます。

7.4.3 DTSRAM エラー

DTSRAM リードアクセスで検出する DTSRAM エラーには、ECC 1 ビットエラーと ECC 2 ビットエラーの 2 種類があります。

TI フェッチの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータを用いて DMA 転送を継続します。ソフトウェアからの DTS チャンネルレジスタアクセスの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータをリードデータとして応答します。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM 1 ビットエラー発生フラグ (DTSER2.RAMSEC) がセットされ、DTSRAM 1 ビットエラーアドレス (DTSER2.RAMSECAD) にエラーが発生した DTSRAM のアドレスが保持されます。また、ECM にエラー通知を行います。

TI フェッチの際に ECC 2 ビットエラーを検出した場合は、DMA サイクルおよび TI ライトバックを実行せずに、その DMA 転送要求に対する処理を終了します。ソフトウェアからの DTS チャンネルレジスタアクセスの際に ECC 2 ビットエラーを検出した場合は、P-bus エラーの通知を行います。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM 2 ビットエラー発生フラグ (DTSER2.RAMDED) がセットされ、DTSRAM 2 ビットエラーアドレス (DTSER2.RAMDEDAD) にエラーが発生したアドレスが保持されます。また、ECM にエラー通知を行います。

7.5 信頼性機能

7.5.1 概要

本製品では、DMA は以下の信頼性機能を提供します。

- レジスタアクセス保護機能
- マスタ情報継承機能

7.5.2 レジスタアクセス保護機能

レジスタアクセス保護機能は、DMA の各チャンネルの転送情報に対して、チャンネルに割り当てたマスタからのみアクセスを許可し、他のマスタからのアクセスを禁止する機能です。

レジスタアクセス保護機能により、たとえば、チャンネルに割り当てたマスタ以外の無関係のマスタによってチャンネルの設定内容が読み出されたり変更されたりすることを防ぐことができます。

7.5.2.1 アクセス元マスタの識別

DMA は、アクセス元の CPU 番号 (PEID)、CPU がスーパーバイザモード (PSW.UM = 0) かユーザモード (PSW.UM = 1) か、によってマスタを識別します。

7.5.2.2 特殊マスタアクセス

DMA は CPU1 のスーパーバイザモードを特殊マスタアクセスとして扱います。

7.5.2.3 一般マスタアクセス

DMA は、特殊マスタアクセス以外のアクセスを一般アクセスとして扱います。

一般マスタアクセスでは、次のレジスタに対してアクセスが許可されます。

- グローバルレジスタのうち次のレジスタ
DMACER, DTSER1, DTSER2, DTSSTS
- チャンネル割り当て (**「7.5.2.4 チャンネル割り当て」** 参照) によって割り当てられたチャンネルのチャンネルレジスタ

上記以外のレジスタに対しては、マスタアクセスは許可されません。

7.5.2.4 チャンネル割り当て

DMA では、各チャンネル単位で、そのチャンネルを利用するマスタを割り当てることができます。チャンネル割り当ては CPU1 のスーパーバイザモード (PSW.UM=0) がチャンネル設定レジスタ (DMAC の場合は DMnnCM、DTS の場合は DTSnnnCM) を設定することで行います。

一般マスタアクセスでは、チャンネル割り当てによって割り当てられたマスタは、そのチャンネルのチャンネルレジスタにアクセスすることが許可されます。チャンネル割り当てによって割り当てられたマスタ以外がチャンネルレジスタにアクセスした場合は、違反アクセスとなります。違反アクセスについては「7.5.2.5 違反アクセス」で説明します。

7.5.2.5 違反アクセス

DMA は次のアクセスを違反アクセスとして扱います。

- a) グローバルレジスタに対する一般マスタアクセス
ただし、次のレジスタを除く：DMACER, DTSER1, DTSER2, DTSSTS
- b) チャンネル割り当てによって割り当てられたマスタ以外からのチャンネルレジスタに対する一般マスタアクセス

DMA は違反アクセスに対して次の動作を行います。

- a) , b) の場合ともに
 - ライトアクセスは無視します。
 - リードアクセスはリードデータとして 0 を返します。

また、b) の場合にのみ、

- レジスタアクセス保護違反レジスタに、違反アクセスの際の情報を保存します。レジスタアクセス保護違反レジスタは DMAC0、DMAC1 および DTS で分かれています (DM0CMV, DM1CMV, DTSCMV)。
- 違反アクセスの発生を ECM へ通知します。

レジスタアクセス保護違反レジスタにアクセス可能なのは特殊マスタのみです。特殊マスタはレジスタアクセス保護違反レジスタを定期的に確認することで、違反アクセスの発生状態を確認することができます。

また、DMA を利用するマスタは、チャンネルレジスタに転送情報を設定する際に、違反アクセスが発生せずに設定が正しく行われていることをリードバックなどにより確認することを推奨します。

7.5.3 マスタ情報継承機能

本製品では、DMA アクセスの際にはDMA チャンネルを設定したCPU と同等のマスタ情報を継承します。

DMA が出力するマスタ情報は**表 7.7** のとおりです。

表 7.7 DMA が出力するマスタ情報

意味	DMA から出力する値
UM	チャンネルマスタ設定レジスタのUM ビットの値
SPID	チャンネルマスタ設定レジスタのSPID ビットの値
PEID	チャンネルマスタ設定レジスタのPEID ビットの値
DMA アクセス	1

7.5.4 その他の信頼性機能

7.5.4.1 チェイン先の制限

信頼性機能により、チェイン先として指定可能なチャンネルが制限されます。

チェイン機能を使用する際は、チェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定は同じ内容を設定してください。

チェイン機能の使用時は、チェイン元のチャンネルとチェイン先のチャンネルは同一のマスタの管理下で使用することを想定しています。

DMA は、異なるマスタを割り当てたチャンネルへのチェインは意図外の動作であると判断し、チェイン動作を制限します。具体的には、DMA はチェイン実行時にチェイン元チャンネルのチャンネルマスタ設定とチェイン先チャンネルのチャンネルマスタ設定の内容をチェックして、チャンネルマスタ設定のPEID、UM がすべて同一の場合はチェインを許可し、チェイン先チャンネルにチェイン要求を行います。チャンネルマスタ設定のPEID、UM のいずれかが異なる場合は、チェイン要求を行いません。

7.6 DMA 転送の設定手順

7.6.1 DMA 設定手順概要

表 7.8 チャンネル割り当て

No.	設定元マスタ	内容	レジスタ		操作の必要条件	
1	特殊マスタ (CPU1の スーパーバイザ モード)	DMA 全体動作の設定	DTSPR0 ~ DTSPR7	DTS チャンネル優先順位設 定	必須 (DTS を使用する場合)	
2			DM00CM ~ DM07CM、 DM10CM ~ DM17CM	DMAC チャンネルマスタ設 定	必須 (DMAC を使用する場合)	
3			DTS0CM ~ DTS127CM	DTS チャンネルマスタ設定	必須 (DTS を使用する場合)	
4		ステータスのクリア	DTSERC	DTS エラークリアレジス タ	推奨	
5			CMVC	チャンネル保護違反クリアレ ジスタ	推奨	
6	DMAC チャンネル に割り当てられ たマスタ	チャンネルの設定	DSAn	DMAC ソースアドレス	必須	
7			DDAn	DMAC デスティネーショ ンアドレス	必須	
8			DTCn	DMAC 転送回数	必須	
9			DTCTn	DMAC 転送制御	必須	
10			DRSAn	DMAC リロードソースア ドレス	リロード機能を使用する場合必須	
11			DRDAn	DMAC リロードデスティ ネーションアドレス	リロード機能を使用する場合必須	
12			DRTCn	DMAC リロード転送回数	リロード機能を使用する場合必須	
13			DTCCn	DMAC 転送回数コンペア	転送回数一致割り込みを使用する場合 必須	
14			DTFRn	DTFR 設定レジスタ	必須	
15			ステータスのクリア	DCSTCn	DMAC 転送ステータスク リア	必須
16				DTFRRQCn	DTFR 転送要求クリア	推奨
17			チャンネル動作有効	DCENn	DMAC チャンネル動作有効 設定	必須
18			DTS チャンネルに 割り当てられた マスタ	チャンネルの設定	DTSAAnnn	DTS ソースアドレス
19		DTDAAnnn			DTS デスティネーション アドレス	必須
20	DTTCAnnn	DTS 転送回数			必須	
21	DTTCTAnnn	DTS 転送制御			必須	
22	DTRSAAnnn	DTS リロードソースアド レス			リロード機能を使用する場合必須	
23	DTRDAAnnn	DTS リロードデスティ ネーションアドレス			リロード機能を使用する場合必須	
24	DTRTCAAnnn	DTS リロード転送回数			リロード機能を使用する場合必須	
25	DTTCCAnnn	DTS 転送回数コンペア			転送回数一致割り込みを使用する場合 必須	
26	ステータスのクリア	DTFSCAnnn			DTSFSL 転送要求クリア	推奨
27		DTFSLAnnn		DTSFSL 動作設定	必須	

7.6.2 DMA 全体動作設定手順

DMA を利用を開始する前に、DMA 全体動作設定を行う必要があります。

DMA 全体動作設定は、特殊マスタである CPU1 のスーパーバイザモード (PSW.UM = 0) がグローバルレジスタを設定することで実施します。グローバルレジスタの設定は特殊マスタアクセスのみ許可されます。詳細は「7.5 信頼性機能」を参照してください。

DMA 全体動作設定で設定が必要なレジスタは以下のとおりです。

- DTS チャンネル優先順位設定レジスタ (DTSPRn、n = 0 ~ 7)
DTS チャンネルアービトレーションの際の DTS の各チャンネルの優先度を設定します。
- DMAC チャンネルマスタ設定レジスタ (DMnnCM)
- DTS チャンネルマスタ設定レジスタ (DTSnnnCM)
チャンネル割り当てを行います。(詳細は「7.5 信頼性機能」を参照)

DMAC チャンネルマスタ設定レジスタと DTS チャンネルマスタ設定レジスタの設定を正しく行わない場合、DMA チャンネル設定および DMA 転送が正しく実行できません。

また、DMA 全体動作設定の際に次のレジスタでエラーを検出している場合には、エラーをクリアすることを推奨します。

- DTS エラーレジスタ 1 (DTSER1)
- DTS エラーレジスタ 2 (DTSER2)
- DMAC0 レジスタアクセス保護違反レジスタ (DM0CMV)
- DMAC1 レジスタアクセス保護違反レジスタ (DM1CMV)
- DTS レジスタアクセス保護違反レジスタ (DTSCMV)

7.6.3 DMA チャンネル設定手順

DMA チャンネル設定では、DMAC および DTS の各チャンネルの転送情報や転送要因の選択を行います。

DMA チャンネル設定は、チャンネル割り当てによって割り当てられた各チャンネルのマスタがチャンネルレジスタを設定することで実施します。

7.6.3.1 DMAC チャネル設定手順

DMAC を利用する場合の DMAC チャネル設定は以下の手順で行います。

(1) チャネル動作無効設定

DMAC チャネル動作有効設定レジスタ (DCENn) でチャネル動作有効 (DTE) がセットされている場合は、DTE ビットをクリアしてチャネル動作を無効の状態に変更します。

(2) 転送情報の設定

DMAC の転送情報の設定では、次のレジスタを設定します。

- DMAC ソースアドレスレジスタ (DSAn)
- DMAC デスティネーションアドレスレジスタ (DDAn)
- DMAC 転送回数レジスタ (DTCn)
- DMAC 転送制御レジスタ (DTCTn)
- DMAC リロードソースアドレスレジスタ (DRSAn)
- DMAC リロードデスティネーションアドレスレジスタ (DRDAn)
- DMAC リロード転送回数レジスタ (DRTCn)
- DMAC 転送回数コンペアレジスタ (DTCCn)

(3) DMA 転送要求の設定

転送情報の設定で、DMAC 転送制御レジスタ (DTCTn) の DMA 転送要求選択割り付け (DTCTn.DRS) ビットにハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定します。

1つのチャネルでハードウェア DMA 転送要求とソフトウェア DMA 転送要求の両方を同時に使用することはできません。

ハードウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRn.REQSEL) で 128 種類のハードウェア DMA 転送要因からハードウェア DMA 転送要求として使用する要因を選択して設定します。また同じレジスタのハードウェア DMA 転送要因選択 (DTFRn.REQEN) を有効に設定します。

DTFR には、ハードウェア DMA 転送要因を選択する前の状態でハードウェア DMA 転送要求が保持されている場合があるので、必要に応じて、DTFR 転送要求クリアレジスタ (DTFRn.DRQ) を利用して DTFR で保持しているハードウェア DMA 転送要求 (DTFRn.DRQ) をクリアしてください。

ソフトウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択 (DTFRn.REQEN) を無効に設定します。

(4) 転送ステータスのクリア

DMAC 転送ステータスレジスタ (DCSTn) に、以前の DMA 転送結果が保持されている場合があるので、DMAC 転送ステータスクリアレジスタ (DCSTCn) を利用して DMAC 転送ステータスレジスタの各フラグをクリアします。

(5) チャネル動作有効設定

DMAC チャネル動作有効設定レジスタのチャネル動作有効 (DCENn.DTE) ビットをセットして、チャネル動作を有効します。

チャネル動作有効設定を行った後は、DMAC は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.6.3.2 DTS チャンネル設定手順

DTS を利用する場合の DTS チャンネル設定は以下の手順で行います。

(1) DTSFSL の転送要求無効設定

チャンネル設定を実行する DTS チャンネルに対応する DTSFSL 動作設定レジスタの転送要求有効 (DTFSL_{nnn}.REQEN) ビットをクリアします。本手順は必須ではありませんが、チャンネル設定を実行する DTS チャンネルに誤って DMA 転送要求が入力されてしまうことを防ぐために実施することを推奨します。

また、チャンネル設定を実行する DTS チャンネルが DMA 転送を実行中でないことを、DTS 状態レジスタ (DTSSTS) で確認することを推奨します。

(2) 転送情報の設定

DTS の転送情報の設定では、次のレジスタから転送情報を設定します。

- DTS ソースアドレスレジスタ (DTSAnnn)
- DTS デスティネーションアドレスレジスタ (DTDAnnn)
- DTS 転送回数レジスタ (DTTCnnn)
- DTS 転送制御レジスタ (DTTCTnnn)
- DTS リロードソースアドレスレジスタ (DTRSAnnn)
- DTS リロードデスティネーションアドレスレジスタ (DTRDAnnn)
- DTS リロード転送回数レジスタ (DTRTCnnn)
- DTS 転送回数コンペアレジスタ (DTTCnnn)

(3) DMA 転送要求の設定

DMAC と異なり、DTS は DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。DTS ではチャンネルごとの転送要求保持状態ビットを DTSFSL に持っており、ハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビット (DTFST_{nnn}.DRQ) に保持されます。このため、DTS ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定する機能はありません。

DTSFSL には、転送情報を設定する前の状態で DMA 転送要求が保持されている場合があります。必要に応じて、DTSFSL 転送要求クリアレジスタ (DTFSC_{nnn}) を利用して DTSFSL で保持されている DMA 転送要求 (DTFST_{nnn}.DRQ) をクリアしてください。

(4) DTSFSL の転送要求有効設定

DTSFSL 動作設定レジスタの転送要求有効 (DTFSL_{nnn}.REQEN) ビットをセットして、DTS チャンネルに対応する DMA 転送要求を有効にします。

DTSFSL の転送要求有効設定を行った後は、DTS は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.7 DMA トリガ要因

7.7.1 DMA トリガ要因一覧

DMA チャンネル n への DMA トリガソースの割り当ては DTFR 設定レジスタ (DTFRn) で設定します。

表 7.9 DMA トリガ要因一覧 (1/4)

チャンネル	割り込み名	モジュール	DMA トリガ要因名
0	INTP9	PORT	外部割り込み
1	INTTAUJ0I0	TAUJ0	TAUJ0 の CH0 割り込み
2	INTTAUJ0I1		TAUJ0 の CH1 割り込み
3	INTTAUJ0I2		TAUJ0 の CH2 割り込み
4	INTTAUJ0I3		TAUJ0 の CH3 割り込み
5	INTTAUJ1I0	TAUJ1	TAUJ1 の CH0 割り込み
6	INTTAUJ1I1		TAUJ1 の CH1 割り込み
7	INTTAUJ1I2		TAUJ1 の CH2 割り込み
8	INTTAUJ1I3		TAUJ1 の CH3 割り込み
9	INTTAUJ2I0	TAUJ2	TAUJ2 の CH0 割り込み
10	INTTAUJ2I1		TAUJ2 の CH1 割り込み
11	INTTAUJ2I2		TAUJ2 の CH2 割り込み
12	INTTAUJ2I3		TAUJ2 の CH3 割り込み
13	INTTAUD0I0	TAUD0	TAUD0 の CH0 割り込み
14	INTTAUD0I1		TAUD0 の CH1 割り込み
15	INTTAUD0I2		TAUD0 の CH2 割り込み
16	INTTAUD0I3		TAUD0 の CH3 割り込み
17	INTTAUD0I4		TAUD0 の CH4 割り込み
18	INTTAUD0I5		TAUD0 の CH5 割り込み
19	INTTAUD0I6		TAUD0 の CH6 割り込み
20	INTTAUD0I7		TAUD0 の CH7 割り込み
21	INTTAUD0I8		TAUD0 の CH8 割り込み
22	INTTAUD0I9		TAUD0 の CH9 割り込み
23	INTTAUD0I10		TAUD0 の CH10 割り込み
24	INTTAUD0I11		TAUD0 の CH11 割り込み
25	INTTAUD0I12		TAUD0 の CH12 割り込み
26	INTTAUD0I13		TAUD0 の CH13 割り込み
27	INTTAUD0I14		TAUD0 の CH14 割り込み
28	INTTAUD0I15	TAUD0 の CH15 割り込み	
29	INTTAUD1I0	TAUD1	TAUD1 の CH0 割り込み
30	INTTAUD1I1		TAUD1 の CH1 割り込み
31	INTTAUD1I2		TAUD1 の CH2 割り込み
32	INTTAUD1I3		TAUD1 の CH3 割り込み
33	INTTAUD1I4		TAUD1 の CH4 割り込み
34	INTTAUD1I5		TAUD1 の CH5 割り込み
35	INTTAUD1I6		TAUD1 の CH6 割り込み
36	INTTAUD1I7		TAUD1 の CH7 割り込み
37	INTTAUD1I8		TAUD1 の CH8 割り込み

表 7.9 DMA トリガ要因一覧 (2/4)

チャンネル	割り込み名	モジュール	DMA トリガ要因名
38	INTTAUD1I9	TAUD1	TAUD1 の CH9 割り込み
39	INTTAUD1I10		TAUD1 の CH10 割り込み
40	INTTAUD1I11		TAUD1 の CH11 割り込み
41	INTTAUD1I12		TAUD1 の CH12 割り込み
42	INTTAUD1I13		TAUD1 の CH13 割り込み
43	INTTAUD1I14		TAUD1 の CH14 割り込み
44	INTTAUD1I15		TAUD1 の CH15 割り込み
45	INTTAUD2I0		TAUD2
46	INTTAUD2I1	TAUD2 の CH1 割り込み	
47	INTTAUD2I2	TAUD2 の CH2 割り込み	
48	INTTAUD2I3	TAUD2 の CH3 割り込み	
49	INTTAUD2I4	TAUD2 の CH4 割り込み	
50	INTTAUD2I5	TAUD2 の CH5 割り込み	
51	INTTAUD2I6	TAUD2 の CH6 割り込み	
52	INTTAUD2I7	TAUD2 の CH7 割り込み	
53	INTTAUD2I8	TAUD2 の CH8 割り込み	
54	INTTAUD2I9	TAUD2 の CH9 割り込み	
55	INTADCD0I0	ADCD0	ADCD0 SG0 終了割り込み
56	INTADCD0I1		ADCD0 SG1 終了割り込み
57	INTADCD0I2		ADCD0 SG2 終了割り込み
58	INTADCD0I3		ADCD0 SG3 終了割り込み
59	INTADCD0I4		ADCD0 SG4 終了割り込み
60	INTADCD1I0	ADCD1	ADCD1 SG0 終了割り込み
61	INTADCD1I1		ADCD1 SG1 終了割り込み
62	INTADCD1I2		ADCD1 SG2 終了割り込み
63	INTADCD1I3		ADCD1 SG3 終了割り込み
64	INTADCD1I4		ADCD1 SG4 終了割り込み
65	INTCSIH0IR0S	CSIH0	CSIH0 受信ステータス /CS0 受信ステータス割り込み
66	INTCSIH0IC0S		CSIH0 通信ステータス /CS0 通信ステータス割り込み
67	INTCSIH0IR1		CSIH0 CS1 受信ステータス割り込み
68	INTCSIH0IC1		CSIH0 CS1 通信ステータス割り込み
69	INTCSIH0IR2		CSIH0 CS2 受信ステータス割り込み
70	INTCSIH0IC2		CSIH0 CS2 通信ステータス割り込み
71	INTCSIH0IJC		CSIH0 JOB 完了割り込み
72	INTCSIH1IR0S		CSIH1
73	INTCSIH1IC0S	CSIH1 通信ステータス /CS0 通信ステータス割り込み	
74	INTCSIH1IR1	CSIH1 CS1 受信ステータス割り込み	
75	INTCSIH1IC1	CSIH1 CS1 通信ステータス割り込み	
76	INTCSIH1IR2	CSIH1 CS2 受信ステータス割り込み	
77	INTCSIH1IC2	CSIH1 CS2 通信ステータス割り込み	
78	INTCSIH1IJC	CSIH1 JOB 完了割り込み	

表 7.9 DMA トリガ要因一覧 (3/4)

チャンネル	割り込み名	モジュール	DMA トリガ要因名
79	INTCSIH2IR0	CSIH2	CSIH2 受信ステータス
80	INTCSIH2IC0		CSIH2 通信ステータス
81	INTCSIH2IJC		CSIH2 JOB 完了割り込み
82	INTCSIH3IR0	CSIH3	CSIH3 受信ステータス
83	INTCSIH3IC0		CSIH3 通信ステータス
84	INTCSIH3IJC		CSIH3 JOB 完了割り込み
85	INTCSIG0IR	CSIG0	CSIG0 受信ステータス割り込み
86	INTCSIG0IC		CSIG0 送信ステータス割り込み
87	INTSCI30RXI	SCI30	SCI30 受信データフル
88	INTSCI30TXI		SCI30 通信データエンプティ
89	INTSCI31RXI	SCI31	SCI31 受信データフル
90	INTSCI31TXI		SCI31 通信データエンプティ
91	INTSCI32RXI	SCI32	SCI32 受信データフル
92	INTSCI32TXI		SCI32 通信データエンプティ
93	INTADCD0MPX	ADCD0	ADCD0 MPX 割り込み要求
94	INTADCD1MPX	ADCD1	ADCD1 MPX 割り込み要求
95	INTRLIN30UR1	RLIN30	RLIN30 受信割り込み
96	INTRLIN30UR0		RLIN30 送信割り込み
97	INTRLIN31UR1	RLIN31	RLIN31 受信割り込み
98	INTRLIN31UR0		RLIN31 送信割り込み
99	INTTSG30I11	TSG30	TSG30 のコンペアー一致割り込み 11
100	INTTSG30I12		TSG30 のコンペアー一致割り込み 12
101	INTTSG30IPEK		TSG30 山割り込み
102	INTTSG30IVLY		TSG30 谷割り込み
103	INTTSG31I11	TSG31	TSG31 のコンペアー一致割り込み 11
104	INTTSG31I12		TSG31 のコンペアー一致割り込み 12
105	INTTSG31IPEK		TSG31 山割り込み
106	INTTSG31IVLY		TSG31 谷割り込み
107	INTENCA0I0	ENCA0	ENCA0 一致/キャプチャ割り込み 0
108	INTENCA0I1		ENCA0 一致/キャプチャ割り込み 1
109	INTENCA1I0	ENCA1	ENCA1 一致/キャプチャ割り込み 0
110	INTENCA1I1		ENCA1 一致/キャプチャ割り込み 1
111	INTTPBA0IPRD	TPBA0	周期一致検出割り込み
112	INTTPBA0IDTY		デューティ一致検出割り込み
113	INTTPBA0IPAT		パターン数一致検出割り込み
114	INTTABA1IPRD	TABA1	周期一致検出割り込み
115	INTTABA1IDTY		デューティ一致検出割り込み
116	INTTABA1IPAT		パターン数一致検出割り込み
117	INTPSI50RI	PSI5	PSI50 受信割り込み
118	INTPSI51RI		PSI51 受信割り込み
119	INTSENT0RI	SENT0	SETN0 受信割り込み
120	INTSENT1RI	SENT1	SETN1 受信割り込み
121	INTSENT2RI	SENT2	SETN2 受信割り込み
122	INTSENT3RI	SENT3	SETN3 受信割り込み

表 7.9 DMA トリガ要因一覧 (4/4)

チャンネル	割り込み名	モジュール	DMA トリガ要因名
123	INTSENT4RI	SENT4	SETN4 受信割り込み
124	INTSENT5RI	SENT5	SETN5 受信割り込み
125	DMACTRG[125]	予約	—
126	DMACTRG[126]	予約	—
127	INTDMAFL 注1	FPSYS	DMA Program for EEPROM

注 1. 詳細は、「RH850/P1x フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」を参照してください。

7.8 DTS トリガ要因

7.8.1 DTS トリガ要因一覧

DTS チャンネル n への DTS トリガソースの割り当ては表 7.10 のとおりとなります。

表 7.10 DTS トリガ要因一覧 (1/4)

チャンネル	割り込み名	モジュール	DTS トリガ要因名
0	INTP9	PORT	外部割り込み
1	INTTAUJ0I0	TAUJ0	TAUJ0 の CH0 割り込み
2	INTTAUJ0I1		TAUJ0 の CH1 割り込み
3	INTTAUJ0I2		TAUJ0 の CH2 割り込み
4	INTTAUJ0I3		TAUJ0 の CH3 割り込み
5	INTTAUJ1I0	TAUJ1	TAUJ1 の CH0 割り込み
6	INTTAUJ1I1		TAUJ1 の CH1 割り込み
7	INTTAUJ1I2		TAUJ1 の CH2 割り込み
8	INTTAUJ1I3		TAUJ1 の CH3 割り込み
9	INTTAUJ2I0	TAUJ2	TAUJ2 の CH0 割り込み
10	INTTAUJ2I1		TAUJ2 の CH1 割り込み
11	INTTAUJ2I2		TAUJ2 の CH2 割り込み
12	INTTAUJ2I3		TAUJ2 の CH3 割り込み
13	INTTAUD0I0	TAUD0	TAUD0 の CH0 割り込み
14	INTTAUD0I1		TAUD0 の CH1 割り込み
15	INTTAUD0I2		TAUD0 の CH2 割り込み
16	INTTAUD0I3		TAUD0 の CH3 割り込み
17	INTTAUD0I4		TAUD0 の CH4 割り込み
18	INTTAUD0I5		TAUD0 の CH5 割り込み
19	INTTAUD0I6		TAUD0 の CH6 割り込み
20	INTTAUD0I7		TAUD0 の CH7 割り込み
21	INTTAUD0I8		TAUD0 の CH8 割り込み
22	INTTAUD0I9		TAUD0 の CH9 割り込み
23	INTTAUD0I10		TAUD0 の CH10 割り込み
24	INTTAUD0I11		TAUD0 の CH11 割り込み
25	INTTAUD0I12		TAUD0 の CH12 割り込み
26	INTTAUD0I13		TAUD0 の CH13 割り込み
27	INTTAUD0I14		TAUD0 の CH14 割り込み
28	INTTAUD0I15	TAUD0 の CH15 割り込み	
29	INTTAUD1I0	TAUD1	TAUD1 の CH0 割り込み
30	INTTAUD1I1		TAUD1 の CH1 割り込み
31	INTTAUD1I2		TAUD1 の CH2 割り込み
32	INTTAUD1I3		TAUD1 の CH3 割り込み
33	INTTAUD1I4		TAUD1 の CH4 割り込み
34	INTTAUD1I5		TAUD1 の CH5 割り込み
35	INTTAUD1I6		TAUD1 の CH6 割り込み
36	INTTAUD1I7		TAUD1 の CH7 割り込み
37	INTTAUD1I8		TAUD1 の CH8 割り込み

表 7.10 DTS トリガ要因一覧 (2/4)

チャンネル	割り込み名	モジュール	DTS トリガ要因名
38	INTTAUD1I9	TAUD1	TAUD1 の CH9 割り込み
39	INTTAUD1I10		TAUD1 の CH10 割り込み
40	INTTAUD1I11		TAUD1 の CH11 割り込み
41	INTTAUD1I12		TAUD1 の CH12 割り込み
42	INTTAUD1I13		TAUD1 の CH13 割り込み
43	INTTAUD1I14		TAUD1 の CH14 割り込み
44	INTTAUD1I15		TAUD1 の CH15 割り込み
45	INTTAUD2I0	TAUD2	TAUD2 の CH0 割り込み
46	INTTAUD2I1		TAUD2 の CH1 割り込み
47	INTTAUD2I2		TAUD2 の CH2 割り込み
48	INTTAUD2I3		TAUD2 の CH3 割り込み
49	INTTAUD2I4		TAUD2 の CH4 割り込み
50	INTTAUD2I5		TAUD2 の CH5 割り込み
51	INTTAUD2I6		TAUD2 の CH6 割り込み
52	INTTAUD2I7		TAUD2 の CH7 割り込み
53	INTTAUD2I8		TAUD2 の CH8 割り込み
54	INTTAUD2I9	TAUD2 の CH9 割り込み	
55	INTADCD0I0	ADCD0	ADCD0 SG0 終了割り込み
56	INTADCD0I1		ADCD0 SG1 終了割り込み
57	INTADCD0I2		ADCD0 SG2 終了割り込み
58	INTADCD0I3		ADCD0 SG3 終了割り込み
59	INTADCD0I4		ADCD0 SG4 終了割り込み
60	INTADCD1I0	ADCD1	ADCD1 SG0 終了割り込み
61	INTADCD1I1		ADCD1 SG1 終了割り込み
62	INTADCD1I2		ADCD1 SG2 終了割り込み
63	INTADCD1I3		ADCD1 SG3 終了割り込み
64	INTADCD1I4		ADCD1 SG4 終了割り込み
65	INTCSIH0IR0S	CSIH0	CSIH0 受信ステータス /CS0 受信ステータス割り込み
66	INTCSIH0IC0S		CSIH0 通信ステータス /CS0 通信ステータス割り込み
67	INTCSIH0IR1		CSIH0 CS1 受信ステータス割り込み
68	INTCSIH0IC1		CSIH0 CS1 通信ステータス割り込み
69	INTCSIH0IR2		CSIH0 CS2 受信ステータス割り込み
70	INTCSIH0IC2		CSIH0 CS2 通信ステータス割り込み
71	INTCSIH0IJC		CSIH0 JOB 完了割り込み
72	INTCSIH1IR0S	CSIH1	CSIH1 受信ステータス /CS0 受信ステータス割り込み
73	INTCSIH1IC0S		CSIH1 通信ステータス /CS0 通信ステータス割り込み
74	INTCSIH1IR1		CSIH1 CS1 受信ステータス割り込み
75	INTCSIH1IC1		CSIH1 CS1 通信ステータス割り込み
76	INTCSIH1IR2		CSIH1 CS2 受信ステータス割り込み
77	INTCSIH1IC2		CSIH1 CS2 通信ステータス割り込み
78	INTCSIH1IJC		CSIH1 JOB 完了割り込み
79	INTCSIH2IR0	CSIH2	CSIH2 受信ステータス
80	INTCSIH2IC0		CSIH2 通信ステータス
81	INTCSIH2IJC		CSIH2 JOB 完了割り込み

表 7.10 DTS トリガ要因一覧 (3/4)

チャンネル	割り込み名	モジュール	DTS トリガ要因名
82	INTCSIH3IR0	CSIH3	CSIH3 受信ステータス
83	INTCSIH3IC0		CSIH3 通信ステータス
84	INTCSIH3IJC		CSIH3 JOB 完了割り込み
85	INTCSIG0IR	CSIG0	CSIG0 受信ステータス割り込み
86	INTCSIG0IC		CSIG0 送信ステータス割り込み
87	INTSCI30RXI	SCI30	SCI30 受信データフル
88	INTSCI30TXI		SCI30 通信データエンプティ
89	INTSCI31RXI	SCI31	SCI31 受信データフル
90	INTSCI31TXI		SCI31 通信データエンプティ
91	INTSCI32RXI	SCI32	SCI32 受信データフル
92	INTSCI32TXI		SCI32 通信データエンプティ
93	INTADCD0MPX	ADCD0	ADCD0 MPX 割り込み要求
94	INTADCD1MPX	ADCD1	ADCD1 MPX 割り込み要求
95	INTRLIN30UR1	RLIN30	RLIN30 受信割り込み
96	INTRLIN30UR0		RLIN30 送信割り込み
97	INTRLIN31UR1	RLIN31	RLIN31 受信割り込み
98	INTRLIN31UR0		RLIN31 送信割り込み
99	INTTSG30I11	TSG30	TSG30 のコンペアー一致割り込み 11
100	INTTSG30I12		TSG30 のコンペアー一致割り込み 12
101	INTTSG30IPEK		TSG30 期間割り込み／山割り込み
102	INTTSG30IVLY		TSG30 谷割り込み
103	INTTSG31I11	TSG31	TSG31 のコンペアー一致割り込み 11
104	INTTSG31I12		TSG31 のコンペアー一致割り込み 12
105	INTTSG31IPEK		TSG31 期間割り込み／山割り込み
106	INTTSG31IVLY		TSG31 谷割り込み
107	INTENCA0I0	ENCA0	ENCA0 一致／キャプチャ割り込み 0
108	INTENCA0I1		ENCA0 一致／キャプチャ割り込み 1
109	INTENCA1I0	ENCA1	ENCA1 一致／キャプチャ割り込み 0
110	INTENCA1I1		ENCA1 一致／キャプチャ割り込み 1
111	INTTPBA0IPRD	TPBA0	周期一致検出割り込み
112	INTTPBA0IDTY		デューティ一致検出割り込み
113	INTTPBA0IPAT		パターン数一致検出割り込み
114	INTTABA1IPRD	TABAA1	周期一致検出割り込み
115	INTTABA1IDTY		デューティ一致検出割り込み
116	INTTABA1IPAT		パターン数一致検出割り込み
117	INTPSI50RI	PSI5	PSI50 受信割り込み
118	INTPSI51RI		PSI51 受信割り込み
119	INTSENT0RI	SENT0	SETN0 受信割り込み
120	INTSENT1RI	SENT1	SETN1 受信割り込み
121	INTSENT2RI	SENT2	SETN2 受信割り込み
122	INTSENT3RI	SENT3	SETN3 受信割り込み
123	INTSENT4RI	SENT4	SETN4 受信割り込み
124	INTSENT5RI	SENT5	SETN5 受信割り込み
125	DMACTRG[125]	予約	—

表 7.10 DTS トリガ要因一覧 (4/4)

チャンネル	割り込み名	モジュール	DTS トリガ要因名
126	DMACTRG[126]	予約	—
127	DMACTRG[127]	予約	—

7.9 グローバルレジスタ

7.9.1 グローバルレジスタアドレス一覧

アドレス = ベースアドレス “FFFF 8000_H” + オフセットアドレス

表 7.11 グローバルレジスタアドレス一覧 (1/2)

オフセット アドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
0000H	DMACTL	DMA 制御レジスタ	○	×
0010H	DTSC11	DTS 制御レジスタ 1	○	×
0014H	DTSC12	DTS 制御レジスタ 2	○	×
0018H	DTSSTS	DTS 状態レジスタ	○	○
0020H	DMACER	DMAC エラーレジスタ	○	○
0024H	DTSER1	DTS エラーレジスタ 1	○	○
0028H	DTSER2	DTS エラーレジスタ 2	○	○
002CH	DTSERC	DTS エラークリアレジスタ	○	×
0030H	DM0CMV	DMAC0 レジスタアクセス保護違反レジスタ	○	×
0034H	DM1CMV	DMAC1 レジスタアクセス保護違反レジスタ	○	×
0038H	DTSCMV	DTS レジスタアクセス保護違反レジスタ	○	×
003CH	CMVC	レジスタアクセス保護違反クリアレジスタ	○	×
0060H	DTSPR0	DTS チャネル優先順位設定 0	○	×
0064H	DTSPR1	DTS チャネル優先順位設定 1	○	×
0068H	DTSPR2	DTS チャネル優先順位設定 2	○	×
006CH	DTSPR3	DTS チャネル優先順位設定 3	○	×
0070H	DTSPR4	DTS チャネル優先順位設定 4	○	×
0074H	DTSPR5	DTS チャネル優先順位設定 5	○	×
0078H	DTSPR6	DTS チャネル優先順位設定 6	○	×
007CH	DTSPR7	DTS チャネル優先順位設定 7	○	×
0080H	DTRECTL	DTSRAM ECC コントロールレジスタ	○	×
0084H	DTRERINT	DTSRAM エラー通知コントロールレジスタ	○	×
0094H	DTRTCTL	DTSRAM テストコントロールレジスタ	○	×
0098H	DTRTWDAT	DTSRAM テスト書き込みデータレジスタ	○	×
009CH	DTRTRDAT	DTSRAM テスト読み出しデータレジスタ	○	×
0100H	DM00CM	DMAC0 チャネル 0 チャネルマスタ設定	○	×
0104H	DM01CM	DMAC0 チャネル 1 チャネルマスタ設定	○	×
0108H	DM02CM	DMAC0 チャネル 2 チャネルマスタ設定	○	×
010CH	DM03CM	DMAC0 チャネル 3 チャネルマスタ設定	○	×
0110H	DM04CM	DMAC0 チャネル 4 チャネルマスタ設定	○	×
0114H	DM05CM	DMAC0 チャネル 5 チャネルマスタ設定	○	×
0118H	DM06CM	DMAC0 チャネル 6 チャネルマスタ設定	○	×
011CH	DM07CM	DMAC0 チャネル 7 チャネルマスタ設定	○	×
0120H	DM10CM	DMAC1 チャネル 0 チャネルマスタ設定	○	×
0124H	DM11CM	DMAC1 チャネル 1 チャネルマスタ設定	○	×
0128H	DM12CM	DMAC1 チャネル 2 チャネルマスタ設定	○	×
012CH	DM13CM	DMAC1 チャネル 3 チャネルマスタ設定	○	×
0130H	DM14CM	DMAC1 チャネル 4 チャネルマスタ設定	○	×

表 7.11 グローバルレジスタアドレス一覧 (2/2)

オフセット アドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
0134H	DM15CM	DMAC1 チャンネル 5 チャンネルマスタ設定	○	×
0138H	DM16CM	DMAC1 チャンネル 6 チャンネルマスタ設定	○	×
013CH	DM17CM	DMAC1 チャンネル 7 チャンネルマスタ設定	○	×
0200H + 4 * [DTS チャンネル 番号] 注1 (0200H ~ 03FCH)	DTSnnnCM 注1	DTS チャンネル nnn チャンネルマスタ設定注1	○	×

注 1. [DTS チャンネル番号]、レジスタ略称および意味の nnn は、000 ~ 127

注 意

- 以下のレジスタは、DMA が動作状態 (DMA 各 ch の DTE=1) の場合、書き込みは禁止です。書き込んだ場合の動作は保証しません。
 - DMnnCM
- 以下のレジスタは、DTS が動作状態 (DTSACT=1) の場合、書き込みは禁止です。書き込んだ場合の動作は保証しません。
 - DTSPRn
 - DTRECCTL
 - DTRERINT
 - DTRTSCTL
 - DTRTWDAT
 - DTSnnnCM

7.9.2 グローバルレジスタ詳細

7.9.2.1 DMACTL — DMA 制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASPD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.12 DMACTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	DMASPD	<p>DMA 一時中断</p> <p>すべてのチャンネルの DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、すべてのチャンネルの DMA 転送を一時中断状態することができます。また、ユーザが 0 を書き込むことで、すべてのチャンネルの DMA 転送の一時中断状態を解除することができます。</p> <p>本ビットで制御する一時中断は、DMAC の各チャンネルの転送有効ビット (DTE) および DTS の一時中断設定ビット (DTSUST) で制御する一時中断とは無関係に行われます。つまり、DMAC の各チャンネルの DTE ビットおよび DTS の DTSUST ビットがいかなる状態でも、本ビットを 1 にセットした場合はすべての DMA 転送が一時中断されます。</p> <p>本ビットを操作しても、DMAC の各チャンネルの DTE ビットおよび DTS の DTSUST ビットの状態は変わりません。</p> <p>0 : DMA 一時中断状態解除 1 : DMA 一時中断要求・DMA 一時中断状態</p>

7.9.2.2 DTSCCTL1 — DTS 制御レジスタ 1

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSUS T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.13 DTSCCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	DTSUST	DTS 一時中断 DTS の DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、DTS の DMA 転送を一時中断することができます。 0 : DTS 一時中断解除 1 : DTS 一時中断要求・一時中断状態

7.9.2.3 DTSCCTL2 — DTS 制御レジスタ 2

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8014_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSTIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.14 DTSCCTL2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	DTSTIT	DTS 転送中止要求 DTS が一時中断状態の場合に、ユーザが 1 を書き込むことで一時中断中の DMA 転送を中止します。 DTS で一時中断中の DMA 転送を中止した場合、DTSSTS.DTSACT ビットが 0 になります。 本ビットのリード値は常に 0 です。

7.9.2.4 DTSSTS — DTS 状態レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DTSCY C	DTSAC H6	DTSAC H5	DTSAC H4	DTSAC H3	DTSAC H2	DTSAC H1	DTSAC H0	DTSAC T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.15 DTSSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リード時はリセット後の値がリードされます。
8	DTSCYC	DMA サイクル実行状態 DTS で DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中
7 ~ 1	DTSACH[6:0]	DTS 転送チャンネル DTS で DMA 転送中のチャンネルがある場合、そのチャンネル番号を示します。 DTS で DMA 転送中のチャンネルがない場合、最後に DMA 転送を行ったチャンネル番号を示します。
0	DTSACT	DTS 転送状態 DTS で DMA 転送中のチャンネルがあるかどうかを表します。 0 : DMA 転送中のチャンネルがない 1 : DMA 転送中のチャンネルがある DMA 転送中のチャンネルがある状態で DTS 一時中断状態になると本ビットは 1 のままです。DTSCTL2.DTSTIT ビットで DTS 転送中止要求を行うと、一時中断状態の DTS 転送を中止するとともに本ビットは 0 になります。 DMA 転送エラーが発生して DMA 転送が中止されると本ビットはクリアされま す。

7.9.2.5 DMACER — DMAC エラーレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1ER 7	DM1ER 6	DM1ER 5	DM1ER 4	DM1ER 3	DM1ER 2	DM1ER 1	DM1ER 0	DM0ER 7	DM0ER 6	DM0ER 5	DM0ER 4	DM0ER 3	DM0ER 2	DM0ER 1	DM0ER 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.16 DMACER レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リード時はリセット後の値がリードされます。
15 ~ 8	DM1ER[7:0]	DMAC1 DMA 転送エラー状態 DMAC1 のチャンネル 0 ~ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC1 の各チャンネルの DCSTn.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生
7 ~ 0	DM0ER[7:0]	DMAC0 DMA 転送エラー状態 DMAC0 のチャンネル 0 ~ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC0 の各チャンネルの DCSTn.ER ビットの写像で、リードオンリーです。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生

7.9.2.6 DTSER1 — DTS エラーレジスタ 1

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8024_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DTSER CH6	DTSER CH5	DTSER CH4	DTSER CH3	DTSER CH2	DTSER CH1	DTSER CH0	—	—	—	—	—	—	DTSER WR	DTSER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.17 DTSER1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 15	予約ビット	リード時はリセット後の値がリードされます。
14 ~ 8	DTSERCH[6:0]	DTS エラーチャネル DTSER ビットが 0 の状態で最初に DMA 転送エラーが発生した DTS チャネル番号を示します。 本ビットはリードオンリーで、クリアできません。
7 ~ 2	予約ビット	リード時はリセット後の値がリードされます。
1	DTSERWR	DTS DMA 転送エラー発生サイクル DTS DMA 転送エラー発生フラグ (DTSER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に DTSER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 DTSER ビットがクリアされると本ビットも 0 にクリアされます。 0 : DMA 転送エラーがリードサイクルで発生した 1 : DMA 転送エラーがライトサイクルで発生した
0	DTSER	DTS DMA 転送エラー発生フラグ DTS で DMA 転送エラーが発生したかどうかを示します。 0 : DMA 転送エラー非発生 1 : DMA 転送エラー発生 本ビットが 0 の状態で DTS で DMA 転送エラーが発生すると、本ビットがセットされるとともに DTSERCH6-0 に DMA 転送エラーが発生した DTS チャネル番号が保持されます。 本ビットが 1 の状態で DTS で DMA 転送エラーが発生すると、本ビットはセットされたままで、DTSERCH6-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。

7.9.2.7 DTSER2 — DTS エラーレジスタ 2

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8028_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RAMDE D	RAMDE DOV	—	—	RAMDE DAD11	RAMDE DAD10	RAMDE DAD9	RAMDE DAD8	RAMDE DAD7	RAMDE DAD6	RAMDE DAD5	RAMDE DAD4	RAMDE DAD3	RAMDE DAD2	RAMDE DAD1	RAMDE DAD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAMSE C	RAMSE COV	—	—	RAMSE CAD11	RAMSE CAD10	RAMSE CAD9	RAMSE CAD8	RAMSE CAD7	RAMSE CAD6	RAMSE CAD5	RAMSE CAD4	RAMSE CAD3	RAMSE CAD2	RAMSE CAD1	RAMSE CAD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.18 DTSER2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	RAMDED	DTSRAM 2 ビットエラー発生フラグ DTSRAM のリードアクセスで 2 ビットエラーが発生したことを示します。 0 : DTSRAM で 2 ビットエラーが発生していない 1 : DTSRAM で 2 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM にリードアクセスして DTSRAM に 2 ビットエラーが発生すると、本ビットがセットされるとともに RAMDEDAD11-0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして DTSRAM に 2 ビットエラーが発生すると、本ビットはセットされたままで、RAMDEDAD11-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。
30	RAMDED OV	DTSRAM 2 ビットエラーオーバフロー発生フラグ RAMDED ビットが 1 のときに、RAMDEDAD11-0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 2 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。
29、28	予約ビット	リード時はリセット後の値がリードされます。
27 ~ 16	RAMDEDAD [11:0]	DTSRAM 2 ビットエラーアドレス RAMDED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 2 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。
15	RAMSEC	DTSRAM 1 ビットエラー発生フラグ DTSRAM のリードアクセスで 1 ビットエラーが発生したことを示します。 0 : DTSRAM で 1 ビットエラーが発生していない 1 : DTSRAM で 1 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM にリードアクセスして 1 ビットエラーが発生すると、本ビットがセットされるとともに RAMSECAD11-0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 1 ビットエラーが発生すると、本ビットはセットされたままで、RAMSECAD11-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。

表 7.18 DTSER2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	RAMSECOV	DTSRAM 1 ビットエラーオーバーフロー発生フラグ RAMSEC ビットが 1 のときに、RAMSECAD11-0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 1 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。
13,12	予約ビット	リード時はリセット後の値がリードされます。
11 ~ 0	RAMSECAD [11:0]	DTSRAM 1 ビットエラーアドレス RAMSEC ビットが 0 の状態で最初に DTSRAM にリードアクセスして 1 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。

7.9.2.8 DTSERC — DTS エラークリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 802C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RAMDE DC	RAMDE DOVC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAMSE CC	RAMSE COVC	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSER C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.19 DTSERC レジスタの内容

ビット位置	ビット名	機能
31	RAMDEDC	DTSRAM 2 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラー発生フラグ (DTSER2.RAMDED) をクリアします。 本ビットのリード値は常に 0 です。
30	RAMDEDOVC	DTSRAM 2 ビットエラーオーバーフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラーオーバーフロー発生フラグ (DTSER2.RAMDEDOV) をクリアします。 本ビットのリード値は常に 0 です。
29 ~ 16	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
15	RAMSECC	DTSRAM 1 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラー発生フラグ (DTSER2.RAMSEC) をクリアします。 本ビットのリード値は常に 0 です。
14	RAMSECOVC	DTSRAM 1 ビットエラーオーバーフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラーオーバーフロー発生フラグ (DTSER2.RAMSECOV) をクリアします。 本ビットのリード値は常に 0 です。
13 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	DTSERC	DTS エラー発生フラグクリア ユーザが 1 を書き込むと、DTS DMA 転送エラー発生フラグ (DTSER1.DTSER) をクリアします。 本ビットのリード値は常に 0 です。

7.9.2.9 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8030_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.20 DM0CMV レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リード時はリセット後の値がリードされます。
22 ~ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。MINF6 ~ 4 にはアクセス元の PEID が、MINF3、2 にはアクセス元の SPID が、MINF1 にはアクセス元の UM が保持されます。
16 ~ 7	予約ビット	リード時はリセット後の値がリードされます。
6 ~ 4	VCH[2:0]	違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0 ~ 7) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ~ 1	予約ビット	リード時はリセット後の値がリードされます。
0	VF	違反アクセス発生フラグ DMAC0 で違反アクセスが発生したかどうかを示します。 0 : DMAC0 で違反アクセスが発生していない 1 : DMAC0 で違反アクセスが発生している 本ビットが 0 の状態で DMAC0 で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ~ 1, VCH2 ~ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DMAC0 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ~ 1, VCH2 ~ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.10 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8034_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.21 DM1CMV レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リード時はリセット後の値がリードされます。
22 ~ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。MINF6 ~ 4 にはアクセス元の PEID が、MINF3、2 にはアクセス元の SPID が、MINF1 にはアクセス元の UM が保持されます。
16 ~ 7	予約ビット	リード時はリセット後の値がリードされます。
6 ~ 4	VCH[2:0]	違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0 ~ 7) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ~ 1	予約ビット	リード時はリセット後の値がリードされます。
0	VF	違反アクセス発生フラグ DMAC1 で違反アクセスが発生したかどうかを示します。 0 : DMAC1 で違反アクセスが発生していない 1 : DMAC1 で違反アクセスが発生している 本ビットが 0 の状態で DMAC1 で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ~ 1, VCH2 ~ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DMAC1 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ~ 1, VCH2 ~ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.11 DTSCMV — DTS レジスタアクセス保護違反レジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8038_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCH6	VCH5	VCH4	VCH3	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.22 DTSCMV レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リード時はリセット後の値がリードされます。
22 ~ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。MINF6 ~ 4 にはアクセス元の PEID が、MINF3、2 にはアクセス元の SPID が、MINF1 にはアクセス元の UM が保持されます。
16 ~ 11	予約ビット	リード時はリセット後の値がリードされます。
10 ~ 4	VCH[6:0]	違反アクセス発生チャンネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャンネル番号 (0 ~ 127) を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ~ 1	予約ビット	リード時はリセット後の値がリードされます。
0	VF	違反アクセス発生フラグ DTS で違反アクセスが発生したかどうかを示します。 0 : DTS で違反アクセスが発生していない 1 : DTS で違反アクセスが発生している 本ビットが 0 の状態で DTS で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ~ 1、VCH6 ~ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DTS で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ~ 1、VCH6 ~ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.12 CMVC — レジスタアクセス保護違反クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 803C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSVC	DM1VC	DM0VC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 7.23 CMVC レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
2	DTSVC	DTS 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DTS の違反アクセス発生フラグ (DTSCMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。
1	DM1VC	DMAC1 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC1 の違反アクセス発生フラグ (DM1CMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。
0	DM0VC	DMAC0 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC0 の違反アクセス発生フラグ (DM0CMV.VF) をクリアすることができます。本ビットのリード値は常に 0 です。

7.9.2.13 DTSPRn — DTS チャンネル優先順位設定 (n = 0 ~ 7)

• DTSPR0

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS15 PR1	DTS15 PR0	DTS14 PR1	DTS14 PR0	DTS13 PR1	DTS13 PR0	DTS12 PR1	DTS12 PR0	DTS11P R1	DTS11P R0	DTS10 PR1	DTS10 PR0	DTS9P R1	DTS9P R0	DTS8P R1	DTS8P R0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS7P R1	DTS7P R0	DTS6P R1	DTS6P R0	DTS5P R1	DTS5P R0	DTS4P R1	DTS4P R0	DTS3P R1	DTS3P R0	DTS2P R1	DTS2P R0	DTS1P R1	DTS1P R0	DTS0P R1	DTS0P R0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.24 DTSPR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[15:0]PR[1:0]	DTS チャンネル [15:0] 優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

• DTSPR1

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8064_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS31 PR1	DTS31 PR0	DTS30 PR1	DTS30 PR0	DTS29 PR1	DTS29 PR0	DTS28 PR1	DTS28 PR0	DTS27 PR1	DTS27 PR0	DTS26 PR1	DTS26 PR0	DTS25 PR1	DTS25 PR0	DTS24 PR1	DTS24 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS23 PR1	DTS23 PR0	DTS22 PR1	DTS22 PR0	DTS21 PR1	DTS21 PR0	DTS20 PR1	DTS20 PR0	DTS19 PR1	DTS19 PR0	DTS18 PR1	DTS18 PR0	DTS17 PR1	DTS17 PR0	DTS16 PR1	DTS16 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.25 DTSPR1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[31:16]PR[1:0]	DTS チャンネル [31:16] 優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定しま す。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR2

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS47 PR1	DTS47 PR0	DTS46 PR1	DTS46 PR0	DTS45 PR1	DTS45 PR0	DTS44 PR1	DTS44 PR0	DTS43 PR1	DTS43 PR0	DTS42 PR1	DTS42 PR0	DTS41 PR1	DTS41 PR0	DTS40 PR1	DTS40 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS39 PR1	DTS39 PR0	DTS38 PR1	DTS38 PR0	DTS37 PR1	DTS37 PR0	DTS36 PR1	DTS36 PR0	DTS35 PR1	DTS35 PR0	DTS34 PR1	DTS34 PR0	DTS33 PR1	DTS33 PR0	DTS32 PR1	DTS32 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.26 DTSPR2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[47:32]PR[1:0]	DTS チャンネル [47:32] 優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR3

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 806C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS63 PR1	DTS63 PR0	DTS62 PR1	DTS62 PR0	DTS61 PR1	DTS61 PR0	DTS60 PR1	DTS60 PR0	DTS59 PR1	DTS59 PR0	DTS58 PR1	DTS58 PR0	DTS57 PR1	DTS57 PR0	DTS56 PR1	DTS56 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS55 PR1	DTS55 PR0	DTS54 PR1	DTS54 PR0	DTS53 PR1	DTS53 PR0	DTS52 PR1	DTS52 PR0	DTS51 PR1	DTS51 PR0	DTS50 PR1	DTS50 PR0	DTS49 PR1	DTS49 PR0	DTS48 PR1	DTS48 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.27 DTSPR3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[63:48]PR[1:0]	DTS チャンネル [63:48] 優先順位設定 DTS チャンネルアービトラージョン時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR4

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8070_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS79 PR1	DTS79 PR0	DTS78 PR1	DTS78 PR0	DTS77 PR1	DTS77 PR0	DTS76 PR1	DTS76 PR0	DTS75 PR1	DTS75 PR0	DTS74 PR1	DTS74 PR0	DTS73 PR1	DTS73 PR0	DTS72 PR1	DTS72 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS71 PR1	DTS71 PR0	DTS70 PR1	DTS70 PR0	DTS69 PR1	DTS69 PR0	DTS68 PR1	DTS68 PR0	DTS67 PR1	DTS67 PR0	DTS66 PR1	DTS66 PR0	DTS65 PR1	DTS65 PR0	DTS64 PR1	DTS64 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.28 DTSPR4 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[79:64]PR[1:0]	DTS チャネル [79:64] 優先順位設定 DTS チャネルアービトラージョン時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR5

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8074_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS95 PR1	DTS95 PR0	DTS94 PR1	DTS94 PR0	DTS93 PR1	DTS93 PR0	DTS92 PR1	DTS92 PR0	DTS91 PR1	DTS91 PR0	DTS90 PR1	DTS90 PR0	DTS89 PR1	DTS89 PR0	DTS88 PR1	DTS88 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS87 PR1	DTS87 PR0	DTS86 PR1	DTS86 PR0	DTS85 PR1	DTS85 PR0	DTS84 PR1	DTS84 PR0	DTS83 PR1	DTS83 PR0	DTS82 PR1	DTS82 PR0	DTS81 PR1	DTS81 PR0	DTS80 PR1	DTS80 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.29 DTSPR5 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[95:80]PR[1:0]	DTS チャネル [95:80] 優先順位設定 DTS チャネルアービトラージョン時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR6

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8078_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS111 PR1	DTS111 PR0	DTS110 PR1	DTS110 PR0	DTS109 PR1	DTS109 PR0	DTS108 PR1	DTS108 PR0	DTS107 PR1	DTS107 PR0	DTS106 PR1	DTS106 PR0	DTS105 PR1	DTS105 PR0	DTS104 PR1	DTS104 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS103 PR1	DTS103 PR0	DTS102 PR1	DTS102 PR0	DTS101 PR1	DTS101 PR0	DTS100 PR1	DTS100 PR0	DTS99 PR1	DTS99 PR0	DTS98 PR1	DTS98 PR0	DTS97 PR1	DTS97 PR0	DTS96 PR1	DTS96 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.30 DTSPR6 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[111:96]PR[1:0]	DTS チャンネル [111:96] 優先順位設定 DTS チャンネルアービトレーション時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR7

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 807C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS127 PR1	DTS127 PR0	DTS126 PR1	DTS126 PR0	DTS125 PR1	DTS125 PR0	DTS124 PR1	DTS124 PR0	DTS123 PR1	DTS123 PR0	DTS122 PR1	DTS122 PR0	DTS121 PR1	DTS121 PR0	DTS120 PR1	DTS120 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS119 PR1	DTS119 PR0	DTS118 PR1	DTS118 PR0	DTS117 PR1	DTS117 PR0	DTS116 PR1	DTS116 PR0	DTS115 PR1	DTS115 PR0	DTS114 PR1	DTS114 PR0	DTS113 PR1	DTS113 PR0	DTS112 PR1	DTS112 PR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.31 DTSPR7 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DTS[127:112]PR[1:0]	DTS チャンネル [127:112] 優先順位設定 DTS チャンネルアービトレーション時の DTS チャンネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

7.9.2.14 DTRECCTL — DTSRAM ECC コントロールレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8080_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.32 DTRECCTL レジスタの内容

ビット位置	ビット名	機能
31、30	PROT[1:0]	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に0が読み出されます。本レジスタへの書き込みは (PROT1,PROT0) = (0,1)で行ってください。
29 ~ 2	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
1	SECDIS	DTSRAM 1 ビットエラー訂正ディスエーブル ECCDIS ビットが0のときに、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 本ビットの状態に関係なく、ECC1 ビットエラー検出動作は ECCDIS ビットが0であれば、常に行われます。 このビットの書き込み時は (PROT1,PROT0) = (0,1)を同時に書き込む必要があります。 0: 1 ビットエラー検出時にエラー訂正する 1: 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	DTSRAM ECC ディスエーブル DTSRAM の ECC エラー検出・訂正機能の有効/無効を設定します。 このビットの書き込み時は (PROT1,PROT0) = (0,1)を同時に書き込む必要があります。 0: DTSRAM ECC エラー検出・訂正機能が有効 1: DTSRAM ECC エラー検出・訂正機能が無効 備考 エラー検出・訂正機能が無効の場合でもエンコード機能は有効です。

7.9.2.15 DTRERINT — DTSRAM エラー通知コントロールレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8084_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.33 DTRERINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
1	DEDIE	DTSRAM 2 ビットエラー外部通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、2 ビットエラー検出時の ECM への通知の有無を制御するビットです。 0 : 2 ビットエラーの ECM への通知禁止 1 : 2 ビットエラーの ECM への通知許可
0	SEDIE	DTSRAM 1 ビットエラー外部通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、1 ビットエラー検出時の ECM への通知の有無を制御するビットです。 0 : 1 ビットエラーの ECM への通知禁止 1 : 1 ビットエラーの ECM への通知許可

7.9.2.16 DTRTSCTL — DTSRAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモードの設定、DTSRAM へ書き込む ECC データの選択が可能です。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8094_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.34 DTRTSCTL レジスタの内容

ビット位置	ビット名	機能
31、30	PROT[1:0]	ECCTST ビット、DATSEL ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは (PROT1,PROT0) = (0,1) で行ってください。
29～2	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
1	ECCTST	DTSRAM ECC テストモード DTSRAM の ECC テストモードを設定します。 このビットの書き込み時は (PROT1,PROT0) = (0,1) を同時に書き込む必要があります。 0: ECC テストモード無効 1: ECC テストモード有効
0	DATSEL	ECC テストデータ選択 ECCTST = 1 の時に有効で、DTSRAM に書き込む ECC データを選択します。このビットの書き込み時は (PROT1,PROT0) = (0,1) を同時に書き込む必要があります。 0: 書き込みデータからエンコードした ECC を使用 1: DTSRAM テストデータ書き込みレジスタ (DTRTWDAT) で指定した値を使用

7.9.2.17 DTRTWDAT — DTSRAM テスト書き込みデータレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）セット後、DTSRAM に書き込む ECC データを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 8098_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TWDAT 6	TWDAT 5	TWDAT 4	TWDAT 3	TWDAT 2	TWDAT 1	TWDAT 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.35 DTRTWDAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
6 ~ 0	TWDAT[6:0]	ECC テスト書き込みデータ DTRTSCTL.ECCTST = 1 かつ DTRTSCTL.DATSEL = 1 のときに、DTSRAM に書き込む ECC データの値を指定します。 本ビットへの書き込みは DTRTSCTL.ECCTST = 1 のときに可能です。 DTRTSCTL.ECCTST = 0 のときは書き込みできず、リードすると 0 が読み出されます。

7.9.2.18 DTRTRDAT — DTSRAM テスト読み出しデータレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）セット後、DTSRAM の ECC データをリードすることが可能です。

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 809C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TRDAT 6	TRDAT 5	TRDAT 4	TRDAT 3	TRDAT 2	TRDAT 1	TRDAT 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.36 DTRTRDAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リード時はリセット後の値がリードされます。
6 ~ 0	TRDAT[6:0]	ECC テスト読み出しデータ DTRTSCTL.ECCTST = 1 のときに、DTSRAM から最後に読み出した ECC データを保持します。 DTRTSCTL.ECCTST = 0 のときにリードすると 0 が読み出せます。

7.9.2.19 DMnnCM — DMAC チャンネルマスタ設定 (nn = 00 ~ 07、10 ~ 17)

アクセス 32ビット単位でリード/ライト可能です

アドレス FFFF 8100_H + 4_H × チャンネル番号 n (n = 0 ~ 7)
 FFFF 8120_H + 4_H × チャンネル番号 n - 10 (n = 10 ~ 17)

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 7.37 DMnnCM レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
9 ~ 7	予約ビット	必ず“0”を設定してください。
6 ~ 4	PEID[2:0]	チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。
3, 2	SPID[1:0]	チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。
1	UM	チャンネルマスタ UM 設定 チャンネルに割り当てるマスタの UM 情報を設定します。
0	予約ビット	必ず“0”を設定してください。

注 意

DM00CM ~ DM07CM は DMAC0 チャンネル 0 ~ 7 のチャンネルマスタ情報を設定
 DM10CM ~ DM17CM は DMAC1 チャンネル 0 ~ 7 のチャンネルマスタ情報を設定

本レジスタにより提供される機能の説明は「7.5 信頼性機能」を参照してください。

7.9.2.20 DTSnnnCM — DTS チャンルマスタ設定レジスタ (nnn = 000 ~ 127)

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8200_H + 4_H × チャンル番号 n (n = 0 ~ 127)

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC15	CMC14	CMC13	CMC12	CMC11	CMC10	CMC9	CMC8	CMC7	CMC6	CMC5	CMC4	CMC3	CMC2	CMC1	CMC0
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.38 DTSnnnCM レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リード時は不定値がリードされます。ライト時は“0”を設定してください。
22 ~ 20	PEID[2:0]	チャンネルマスタ PEID 設定。 チャンネルに割り当てるマスタの PEID 情報を設定します。
19, 18	SPID[1:0]	チャンネルマスタ SPID 設定 チャンネルに割り当てるマスタが利用する SPID 情報を設定します。
17	UM	チャンネルマスタ UM 設定 チャンネルに割り当てるマスタの UM 情報を設定します。
16	予約ビット	リード時は不定値がリードされます。ライト時は“0”を設定してください。
15 ~ 0	CMC[15:0]	転送回数コンペア このフィールドは「7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ」のビット [15:0] の内容と同じです。

注 意

1. DTS000CM ~ DTS127CM は DTS チャンネル 0 ~ 127 のチャンネルマスタ情報を設定
2. 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

本レジスタにより提供される機能の説明は「7.5 信頼性機能」を参照してください。

注 意

このレジスタの下位 16 ビットは、DTS チャンネルレジスタの DTS 転送回数コンペアレジスタと共通です。

このレジスタに対するライトの結果は、DTS 転送回数コンペアレジスタにも反映されます。

DTS チャンネルマスタ設定レジスタの推奨設定手順

特殊マスタによる DMA 全体動作設定時に、このレジスタのビット 25-16 にチャンネルマスタ設定を行うとともに、ビット 15-0、およびリザーブビット（31-26 ビット）は 0 で初期化してください。

チャンネルに割り当てられたマスタが転送回数コンペア値を書き換える場合には、DTS 転送回数コンペアレジスタを利用してください。

本レジスタのリザーブビットは、値の読み書きが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

7.10 DMAC チャネルレジスタ

7.10.1 DMAC チャネルレジスタアドレス

アドレス = ベースアドレス “FFFF 8000_H” + オフセットアドレス

表 7.39 DMAC チャネルレジスタアドレス

オフセットアドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
0400H + 40H * [チャンネル番号]	DSAn	DMAC ソースアドレス	○	○
0404H + 40H * [チャンネル番号]	DDAn	DMAC デスティネーションアドレス	○	○
0408H + 40H * [チャンネル番号]	DTCn	DMAC 転送回数	○	○
040CH + 40H * [チャンネル番号]	DTCTn	DMAC 転送制御	○	○
0410H + 40H * [チャンネル番号]	DRSAn	DMAC リロードソースアドレス	○	○
0414H + 40H * [チャンネル番号]	DRDAn	DMAC リロードデスティネーションアドレス	○	○
0418H + 40H * [チャンネル番号]	DRTCn	DMAC リロード転送回数	○	○
041CH + 40H * [チャンネル番号]	DTCCn	DMAC 転送回数コンペア	○	○
0420H + 40H * [チャンネル番号]	DCENn	DMAC チャネル動作有効設定	○	○
0424H + 40H * [チャンネル番号]	DCSTn	DMAC 転送ステータス	○	○
0428H + 40H * [チャンネル番号]	DCSTSn	DMAC 転送ステータスセット	○	○
042CH + 40H * [チャンネル番号]	DCSTCn	DMAC 転送ステータスクリア	○	○
0430H + 40H * [チャンネル番号]	DTFRn	DTFR 設定	○	○
0434H + 40H * [チャンネル番号]	DTFRRQn	DTFR 転送要求ステータス	○	○
0438H + 40H * [チャンネル番号]	DTFRRQCn	DTFR 転送要求クリア	○	○

注 1. オフセットアドレスの [チャンネル番号] およびレジスタ略称の n は 0 ~ 15 で、対応は以下のとおりです。

チャンネル番号 n	チャンネル
0	DMAC0 channel 0
1	DMAC0 channel 1
2	DMAC0 channel 2
3	DMAC0 channel 3
4	DMAC0 channel 4
5	DMAC0 channel 5
6	DMAC0 channel 6
7	DMAC0 channel 7
8	DMAC1 channel 0
9	DMAC1 channel 1
10	DMAC1 channel 2
11	DMAC1 channel 3
12	DMAC1 channel 4
13	DMAC1 channel 5
14	DMAC1 channel 6
15	DMAC1 channel 7

7.10.2 DMAC チャンネルレジスタ詳細

レジスタ名称の n は、DMAC チャンネル番号 (n = 0 ~ 15) を示します。

7.10.2.1 DSA_n — DMAC ソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8400_H + 40_H × チャンネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA31	SA30	SA29	SA28	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.40 DSA_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送元アドレスが読み出せます。

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが "0" の状態で設定してください。
3. DMA サイクルのリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、ソースアドレスの更新は実行します。
4. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.10.2.2 DDA_n — DMAC デスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8404_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA31	DA30	DA29	DA28	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.41 DDA_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DA[31:0]	デスティネーションアドレス DMA 転送先アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送先アドレスが読み出せます。

注 意

1. チャネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが“0”の状態を設定してください。
3. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、デスティネーションアドレスは更新します
4. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.10.2.3 DTCn — DMAC 転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8408_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC15	ARC14	ARC13	ARC12	ARC11	ARC10	ARC9	ARC8	ARC7	ARC6	ARC5	ARC4	ARC3	ARC2	ARC1	ARC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC15	TRC14	TRC13	TRC12	TRC11	TRC10	TRC9	TRC8	TRC7	TRC6	TRC5	TRC4	TRC3	TRC2	TRC1	TRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.42 DTCn レジスタの内容

ビット位置	ビット名	機能										
31 ~ 16	ARC[15:0]	<p>アドレスリロードカウンタ リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。DMA 転送中に参照すると、次の DMA サイクルを実行する際のアドレスリロードカウンタが読み出せます。リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクル毎に 1 ずつ減算されて更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。 0000H はリロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数が 65536 回であることを示します。</p>										
15 ~ 0	TRC[15:0]	<p>転送回数 転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ減算されて更新され、リードすると次の DMA サイクルを実行する際の残り転送回数が読み出せます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000H) を保持します。</p> <table border="1"> <thead> <tr> <th>TRC15-0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000H</td> <td>65536 回転送、または転送完了</td> </tr> <tr> <td>0001H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFFH</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table>	TRC15-0	動作	0000H	65536 回転送、または転送完了	0001H	1 回転送、または残り転送回数 1 回	:	:	FFFFH	65535 回転送、または残り転送回数 65535 回
TRC15-0	動作											
0000H	65536 回転送、または転送完了											
0001H	1 回転送、または残り転送回数 1 回											
:	:											
FFFFH	65535 回転送、または残り転送回数 65535 回											

注 意

1. チャネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します。

7.10.2.4 DTCTn — DMAC 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 840C_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	DRS	—	—	—	—	—	CHNSE L2	CHNSE L1	CHNSE L0	CHNE1	CHNE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCE	TCE	MLE	RLD2M 1	RLD2M 0	RLD1M 1	RLD1M 0	DACM1	DACM0	SACM1	SACM0	DS2	DS1	DS0	TRM1	TRM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.43 DTCTn レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
27	ESE	転送エラー時 DMA 転送禁止設定 DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態でも、後続の DMA サイクルを実行することができます。本ビットが 1 にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、後続の DMA サイクルを実行しません。 0 : DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行する 1 : DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行しない
26	DRS	DMA 転送要求選択割り付け 受け付ける DMA 転送要求の種類を選択します。 0 : ソフトウェア DMA 転送要求 1 : ハードウェア DMA 転送要求
25 ~ 21	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
20 ~ 18	CHNSEL[2:0]	チェーン先選択 チェーン先のチャンネルを指定します。 チェーン先は同一 DMAC 内の別のチャンネルをしてください。異なる DMAC および DTS のチャンネルへのチェーンは指定できません。チェーン先のチャンネルをチェーン元のチャンネルと同一に指定することは禁止です（設定した場合の動作を保証しません）。
17, 16	CHNE[1:0]	チェーンイネーブル チェーン機能を設定します。 00 : 無効 01 : 最終転送でチェーン 残り転送回数が 1 回の DMA サイクルが完了した際にチェーンします 10 : (設定禁止、設定した場合の動作を保証しません) 11 : 常にチェーン DMA サイクルが完了するたびにチェーンします
15	CCE	転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みが発生します。

表 7.43 DTCTn レジスタの内容 (2/3)

ビット位置	ビット名	機能															
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みが発生します。 DCSTn.TC = 1 の際に最終転送完了した場合も転送完了通知割り込みが発生します。															
13	MLE	連続転送イネーブル このビットをセットすると、DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。 0: DMA 転送完了時に DTE ビットをクリアします。また、TC ビットをクリアしてからでないと、次の DMA 転送を開始しません 1: DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います															
12, 11	RLD2M[1:0]	リロード機能 2 設定 リロード機能 2 の設定をします。 00: リロード機能 2 無効 01: リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウンタをリロード 10: リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、デスティネーションアドレスとアドレスリロードカウンタをリロード 11: リロード機能 2 有効 アドレスリロードカウンタが 1 の DMA サイクル完了時に、ソースアドレスとデスティネーションアドレスとアドレスリロードカウンタをリロード															
10, 9	RLD1M[1:0]	リロード機能 1 設定 リロード機能 1 の設定をします 00: リロード機能 1 無効 01: リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード） 10: リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、デスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード） 11: リロード機能 1 有効、転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとデスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウンタもリロード）															
8, 7	DACM[1:0]	デスティネーションアドレスカウンタ方向 デスティネーションアドレスのカウンタ方向を設定します。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止（設定した場合の動作を保証しません）</td> </tr> </tbody> </table>	DACM1	DACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止（設定した場合の動作を保証しません）
DACM1	DACM0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止（設定した場合の動作を保証しません）															
6, 5	SACM[1:0]	ソースアドレスカウンタ方向 ソースアドレスのカウンタ方向を設定します。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止（設定した場合の動作を保証しません）</td> </tr> </tbody> </table>	SACM1	SACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	0	1	設定禁止（設定した場合の動作を保証しません）
SACM1	SACM0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
0	1	設定禁止（設定した場合の動作を保証しません）															

表 7.43 DTCTn レジスタの内容 (3/3)

ビット位置	ビット名	機能																												
4 ~ 2	DS[2:0]	転送データサイズ 転送データサイズを設定します。 <table border="1" data-bbox="663 376 1402 685"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DS2	DS1	DS0	転送データサイズ	0	0	0	8 ビット	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	64 ビット	1	0	0	128 ビット	上記以外			設定禁止 (設定した場合の動作を保証しません)
DS2	DS1	DS0	転送データサイズ																											
0	0	0	8 ビット																											
0	0	1	16 ビット																											
0	1	0	32 ビット																											
0	1	1	64 ビット																											
1	0	0	128 ビット																											
上記以外			設定禁止 (設定した場合の動作を保証しません)																											
1, 0	TRM[1:0]	転送モード DMA 転送モードを設定します 00: シングル転送 01: ブロック転送 1 (転送回数で指定した回数分を転送) 10: ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11: 設定禁止 (設定した場合の動作を保証しません)																												

注 意

1. チャンネル動作有効状態 (DTE ビット = 1) では、MLE ビットを "1" から "0" へ設定することのみ可能です。(MLE ビット以外の値を変更した場合の動作は保証しません)
2. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。

7.10.2.5 DRSA_n — DMAC リロードソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8410_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.44 DRSA_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ソースアドレスレジスタにリロードするソースアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.10.2.6 DRDAn — DMAC リロードデスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8414_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.45 DRDAn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDA[31:0]	リロードデスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時に DMA デスティネーションアドレスレジスタにリロードするデスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.10.2.7 DRTCn — DMAC リロード転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8418_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC1 5	RARC1 4	RARC1 3	RARC1 2	RARC1 1	RARC1 0	RARC9	RARC8	RARC7	RARC6	RARC5	RARC4	RARC3	RARC2	RARC1	RARC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC1 5	RTRC1 4	RTRC1 3	RTRC1 2	RTRC1 1	RTRC1 0	RTRC9	RTRC8	RTRC7	RTRC6	RTRC5	RTRC4	RTRC3	RTRC2	RTRC1	RTRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.46 DRTCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RARC[15:0]	リロードアドレスリロードカウンタ リロード機能 2 を使用する場合に、リロード動作時に転送回数レジスタのアドレスリロードカウンタにリロードする値を設定します。
15 ~ 0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用する場合に、リロード動作時に転送回数レジスタの転送回数にリロードする値を設定します。

7.10.2.8 DTCCn — DMAC 転送回数コンペアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 841C_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC15	CMC14	CMC13	CMC12	CMC11	CMC10	CMC9	CMC8	CMC7	CMC6	CMC5	CMC4	CMC3	CMC2	CMC1	CMC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.47 DTCCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
15 ~ 0	CMC[15:0]	転送回数コンペア 転送回数レジスタとコンペアする転送回数を設定します。 残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、DMAC 転送ステータスレジスタの転送完了一致フラグ (DCSTn.CC) がセットされます。さらに DMAC 転送制御レジスタの転送回数一致割り込みイネーブル (DTCTn.CCE) ビットが 1 の場合は、転送回数一致割り込みを発生します。 0000H を設定した場合には、転送回数とのコンペアを行いません。その場合、DMAC 転送ステータスレジスタの転送完了一致フラグはセットされず、転送回数一致割り込みも発生しません。

注 意

チャンネル動作有効状態 (DTE ビット = 1) での書き込みは禁止です。書き込んだ場合の動作は保証しません。

7.10.2.9 DCENn — DMAC チャンネル動作有効設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8420_H + 40_H × チャンネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.48 DCENn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	DTE	チャンネル動作有効 チャンネルの転送動作の有効、無効を設定します。DTE ビットが 1 の状態で、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に MLE ビットが 0 の場合、自動的にクリアします。また、DMA 転送中に DTE ビットに 0 を書き込むと、DMA 転送を一時中断します。一時中断した状態で DTE ビットに 1 を書き込むと、一時中断を解除して DMA 転送を再開します 0 : チャンネル動作無効・チャンネル一時中断 1 : チャンネル動作有効・チャンネル一時中断解除

7.10.2.10 DCSTn — DMAC 転送ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8424_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ERWR	—	—	CY	ER	—	CC	TC	—	—	DR	SR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.49 DCSTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 12	予約ビット	リード時はリセット後の値がリードされます。
11	ERWR	DMA 転送エラー発生サイクル DMA 転送エラーフラグ (ER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に ER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合に本ビットは更新されません。 ER ビットがクリアされると本ビットも 0 にクリアされます。 0 : DMA 転送エラーがリードサイクルで発生した 1 : DMA 転送エラーがライトサイクルで発生した
10、9	予約ビット	リード時はリセット後の値がリードされます。
8	CY	DMA サイクル実行状態 このチャンネルで DMA サイクルを実行中かどうかを示します。 0 : DMA サイクルを実行中でない 1 : DMA サイクルを実行中
7	ER	転送エラーフラグ DMA 転送エラーが発生した際にセットされます。本ビットが 1 かつ DTCTn.ESE ビットがセットされている場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送エラーなし 1 : DMA 転送エラーあり
6	予約ビット	リード時はリセット後の値がリードされます。
5	CC	転送回数一致フラグ 残り転送回数が転送回数コンペアレジスタの設定値と一致する DMA サイクルが完了した際にセットされます。 0 : 転送回数コンペアレジスタと転送回数の一致が発生していない 1 : 転送回数コンペアレジスタと転送回数の一致が発生した
4	TC	転送完了フラグ 最終転送が完了した際にセットされ、DMA 転送が完了したことを示します。MLE ビットが 0 で本ビットが 1 の場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0 : DMA 転送未完了 1 : DMA 転送完了
3、2	予約ビット	リード時はリセット後の値がリードされます。

表 7.49 DCSTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	DR	<p>ハードウェア DMA 転送要求状態</p> <p>DTFR からのハードウェア DMA 転送要求 (DMARQ) があることを示します。本ビットは DTFR からのハードウェア DMA 転送要求があると、DTE ビットの状態に関わらず変化します。DMAC 転送制御レジスタの転送要求選択ビット (DRS) でソフトウェア DMA 転送要求を選択している場合は、DTFR からハードウェア DMA 転送要求が入力されても本ビットはセットされません。</p> <p>0: ハードウェア DMA 転送要求なし 1: ハードウェア DMA 転送要求あり</p>
0	SR	<p>ソフトウェア DMA 転送要求フラグ</p> <p>ソフトウェア DMA 転送要求があることを示します。DMA 転送を実行すると自動的にクリア されます。ユーザは DMAC 転送ステータスセットレジスタ (DCSTSn) の SRS ビットに 1 を書き込むことで本ビットをセットすることができます。また DMAC 転送ステータスクリアレジスタ (DCSTCn) の SRC ビットに 1 を書き込むことで本ビットをクリアすることができますが、その際に実行中の DMA 転送は中止され、再開することはできません。</p> <p>0: ソフトウェア DMA 転送要求なし 1: ソフトウェア DMA 転送要求あり</p>

7.10.2.11 DCSTSn — DMAC 転送ステータスセットレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8428_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.50 DCSTSn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	SRS	ソフトウェア DMA 転送要求セット ユーザは本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ (SR) をセットすることができます。本ビットのリード値は常に 0 です。

7.10.2.12 DCSTCn — DMAC 転送ステータスクリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 842C_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC	—	CCC	TCC	—	—	—	SRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R	R/W

表 7.51 DCSTCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
7	ERC	転送エラーフラグクリア 本ビットに1を書き込むことでDMA転送エラーフラグ(ER)をクリアすることができます。本ビットのリード値は常に0です。
6	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
5	CCC	転送回数一致フラグクリア 本ビットに1を書き込むことで転送回数一致フラグ(CC)をクリアすることができます。本ビットのリード値は常に0です。
4	TCC	転送完了フラグクリア 本ビットに1を書き込むことで転送完了フラグ(TC)をクリアすることができます。本ビットのリード値は常に0です。
3 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	SRC	ソフトウェアDMA転送要求フラグクリア 本ビットに1を書き込むことでソフトウェアDMA転送要求フラグ(SR)をクリアすることができます。本ビットのリード値は常に0です。

7.10.2.13 DTFRn — DTFR 設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8430_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REQSE L6	REQSE L5	REQSE L4	REQSE L3	REQSE L2	REQSE L1	REQSE L0	REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.52 DTFRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
7 ~ 1	REQSEL[6:0]	ハードウェア DMA 転送要因選択 128 種類のハードウェア DMA 転送要因の中から 1 つをハードウェア DMA 転送要求として選択します。 000_0000 : DMACTRG[0] 入力を選択 ~ 111_1111 : DMACTRG[127] 入力を選択 「表 7.9 DMA トリガ要因一覧」にて予約となっているチャネルの選択は禁止です。
0	REQEN	ハードウェア DMA 転送要因選択有効 ハードウェア DMA 転送要因選択を有効にします。 0 : ハードウェア DMA 転送要因選択無効 1 : ハードウェア DMA 転送要因選択有効 本ビットが 0 の場合、REQSEL6 ~ 0 ビットで選択したハードウェア DMA 転送要因がアクティブになってもハードウェア DMA 転送要求として認識せずハードウェア DMA 転送要求は発生しません。

注 意

- DTFR.REQSEL を変更する場合は DTFR.REQEN = 0 の状態で変更してください。
- DMAC がブロック転送実行中にソフトウェアでハードウェア DMA 転送要因選択ビット (DTFRn.REQEN) を 0 にした場合、実行中の DMA サイクルの終了後に DTFR から DMAC への転送要求がマスクされるため、実行中のブロック転送が中断します。

7.10.2.14 DTFRRQn — DTFR 転送要求ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 8434_H + 40_H × チャンネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.53 DTFRRQn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。
0	DRQ	<p>ハードウェア DMA 転送要求状態 ハードウェア DMA 転送要求がある、または保持していることを示します。</p> <ul style="list-style-type: none"> エッジ検出のハードウェア DMA 転送要求の場合^{注1} エッジ検出したハードウェア DMA 転送要求を保持しているかどうかを示します。DMAC から DMA 転送要求受け付け信号 (DMAAKn) がアサートされると自動的にクリアされます。ユーザは DTFRRQCn.DRQC ビットに 1 を書き込むことで本ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合^{注1} 外部からのハードウェア DMA 転送要求入力の有無を示します。DMAC から DMA 転送要求受け付け信号 (DMAAKn) がアサートされても自動的にクリアされません。 またユーザは DTFRRQCn.DRQC ビットを操作してもクリアすることはできません。 <p>本ビットは外部からのハードウェア DMA 転送要求があると、DTFRn.REQEN ビットの状態に関わらず変化します。 0: ハードウェア DMA 転送要求なし 1: ハードウェア DMA 転送要求あり</p>

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。また、DMA トリガ要因の PSI50/PSI51 の受信割り込み (INTPSI50RI,INTPSI51RI) はレベル割り込みですが、ハードウェア DMA 転送要求はエッジ検出信号が DMA に入力されます。

7.10.2.15 DTFRRQCn — DTFR 転送要求クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 8438_H + 40_H × チャネル番号 n (n = 0 ~ 15)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.54 DTFRRQCn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	DRQC	ハードウェア DMA 転送要求クリア エッジ検出のハードウェア DMA 転送要求の場合 ^{注1} 、ユーザは本ビットに 1 を書き込むことで DTFRRQn.DRQ ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合 ^{注1} 、本ビットを操作しても DTFRRQn.DRQ ビットをクリアすることはできません。 本ビットのリード値は常に 0 です。

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.11 DTS チャネルレジスタ

7.11.1 DTS の転送情報 (TI)

7.11.1.1 TI 構成

DTS 転送情報を TI (Transfer Information) と呼び、32 ビットを 1 つの TI として、1 チャネルあたり 8 つの TI が割り当てられます。8 つの TI をそれぞれ TI-A、TI-B、TI-C、TI-D、TI-E、TI-F、TI-G、TI-H と呼びます。

図 7.12 に TI の構成を示します。

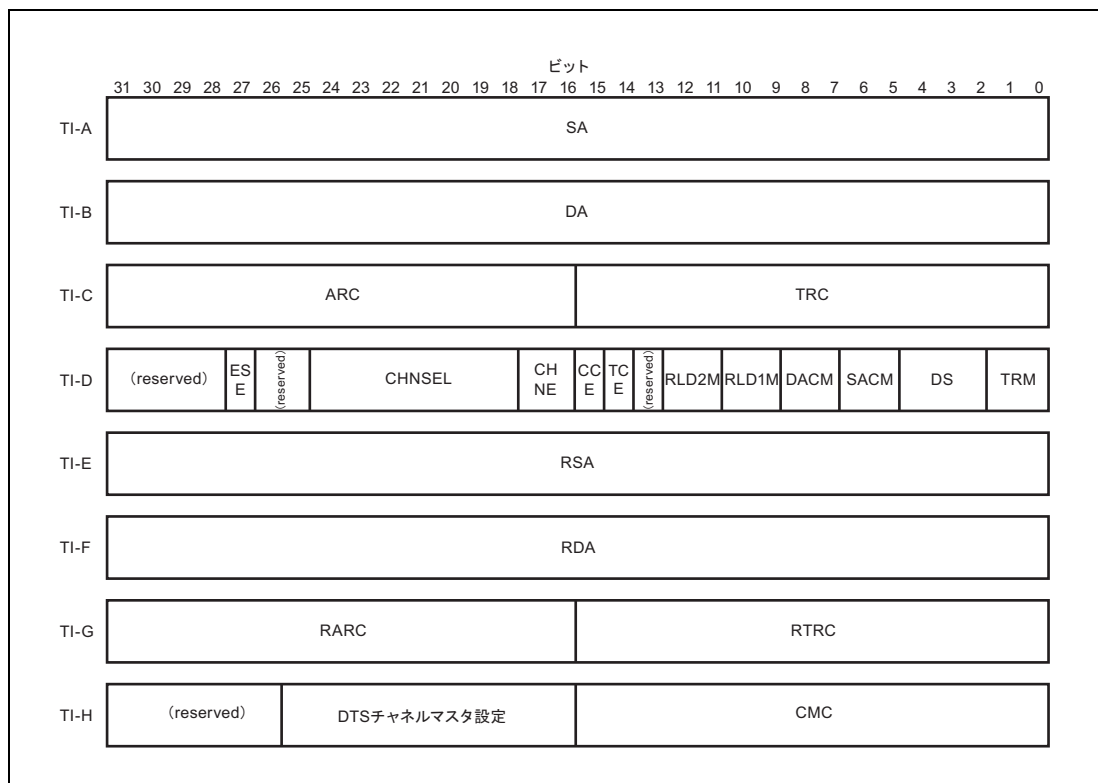


図 7.12 TI の構成

7.11.1.2 DTSRAM 内の TI 配置

ユーザは各チャンネルの DTS チャンネルレジスタおよび DTS チャンネルマスタ設定レジスタにアクセスすることで、間接的に DTSRAM にアクセスを行います。

したがって、ユーザは通常 DTSRAM 内の TI 配置アドレスを意識する必要はありません。

ただし、DTSRAM リード時に ECC エラーが発生した場合、グローバルレジスタの DTSRAM エラーレジスタ 2 (DTSER2) に ECC エラーが発生した DTSRAM 上のアドレスが保存されます。DTSRAM の ECC エラー発生時にどのチャンネルのどの TI でエラーが発生したのかを DTSRAM エラーレジスタの内容から知るためには、DTSRAM 内の TI 配置アドレスを理解する必要があります。

図 7.13 に DTSRAM 内の TI 配置アドレスを示します。

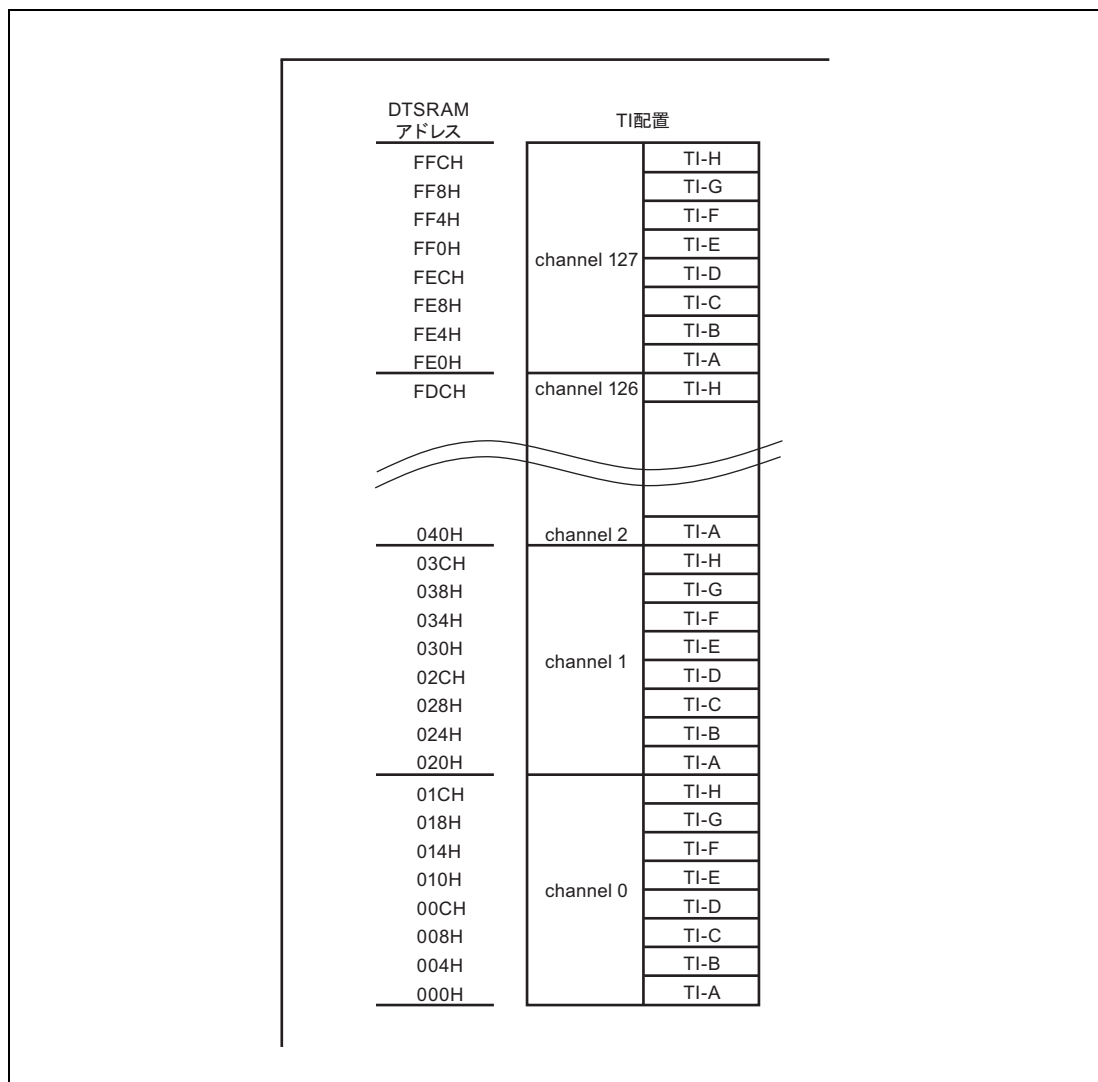


図 7.13 DTSRAM 内の TI 配置

7.11.1.3 TI へのアクセス方法

TI-A は、各チャネルの DTS ソースアドレスレジスタ (DTSAnnn) からアクセスが可能です。

TI-B は、各チャネルの DTS デスティネーションアドレスレジスタ (DTDAnnn) からアクセスが可能です。

TI-C は、各チャネルの DTS 転送回数レジスタ (DTTCnnn) からアクセスが可能です。

TI-D は、各チャネルの DTS 転送制御レジスタ (DTTCTnnn) からアクセスが可能です。

TI-E は、各チャネルの DTS リロードソースアドレスレジスタ (DTRSAnnn) からアクセスが可能です。

TI-F は、各チャネルの DTS リロードデスティネーションアドレスレジスタ (DTRDAnnn) からアクセスが可能です。

TI-G は、各チャネルの DTS リロード転送回数レジスタ (DTRTCnnn) からアクセスが可能です。

TI-H はグローバルレジスタのチャンネルマスタ設定レジスタ (DTSnnnCM)、および各チャネルの転送回数コンペアレジスタ (DTTCnnn) からアクセスが可能です。

7.11.1.4 TI アクセスの際の注意点

DTS チャンネルマスタ設定レジスタの内容と DTS 転送回数コンペアレジスタの内容は同一の TI-H に格納されます。

DTS チャンネルマスタ設定レジスタ (DTSnnnCM) へのアクセスは、32 ビットの TI-H 全体に対するアクセスとなります。したがって、DTS チャンネルマスタ設定レジスタへのライトアクセスでは、下位 16 ビットの DTS 転送回数コンペア (CMC) の値も同時に書き換えられます。DTS チャンネルマスタ設定レジスタへのリードアクセスでは、下位 16 ビットに DTS 転送回数コンペア (CMC) の値が読み出されます。

DTS 転送回数コンペアレジスタ (DTTCnnn) へのリードアクセスでは、32 ビットの TI-H をリードした結果の下位 16 ビットのみがレジスタリード結果に反映されます。DTS 転送回数コンペアレジスタ (DTTCnnn) へのライトアクセスでは、32 ビットの TI-H に対する下位 16 ビットのリードモディファイライトアクセスを行います。リセット直後の TI の内容は不定であり、DTS チャンネルマスタ設定レジスタを行わないまま DTS 転送回数コンペアレジスタ (DTTCnnn) へのライトアクセスを行うと、リードモディファイライトアクセスのリード時に ECC エラーを検出する可能性がありますので注意してください。

TI-H のビット 31-26 は未使用ですが、DTS チャンネルマスタ設定レジスタにアクセスすることでリードライトが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

TI を格納する DTSRAM のリセット後の内容は不定です。リセット後、値をライトする前の TI に対してリードを行うと ECC エラーが発生します。

したがって、リセット後の次のレジスタへの最初のアクセスは、必ずライトアクセスを行ってください。リセット後の最初のアクセスでリードアクセスを行わないでください。

- DTS ソースアドレスレジスタ (DTSAnnn)
- DTS デスティネーションアドレスレジスタ (DTDAnnn)
- DTS 転送回数コンペアレジスタ (DTTCnnn)
- DTS 転送制御レジスタ (DTTCTnnn)
- DTS リロードソースアドレスレジスタ (DTRSAnnn)

- DTS リロードデスティネーションアドレスレジスタ (DTRDAnnn)
- DTS リロード転送回数レジスタ (DTRTCnnn)
- チャンネルマスタ設定レジスタ (DTSnnnCM)

また、リセット後の DTS 転送回数コンペアレジスタ (DTTCnnn) への最初のアクセスは、必ずチャンネルマスタ設定レジスタ (DTSnnnCM) へのライトアクセスを行った後に行ってください。

DTS で DMA 転送を実行中でも CPU からの TI アクセスが可能です。その際、次の点に注意してください。

- DMA 転送を実行中のチャンネルの TI を CPU からの TI アクセスで書き換える操作は行わないようにしてください。DMA 転送の結果と TI の内容に不整合が生じる可能性があります。
- TI フェッチまたは TI ライトバックの実行中に CPU からの TI アクセス要求があると、TI フェッチまたは TI ライトバックの完了を待ってから TI アクセスを実行します。また、CPU からの TI アクセス要求の処理中に TI フェッチまたは TI ライトバックが発生すると、TI アクセス処理の完了を待ってから TI フェッチまたは TI ライトバックを実行します。

7.11.2 DTS チャンネルレジスタアドレス

アドレス = ベースアドレス “FFFF 9000_H” + オフセットアドレス

オフセットアドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
0000H + 40H * [チャンネル番号]	DTSAnnn	DTS ソースアドレス	○	○
0004H + 40H * [チャンネル番号]	DTDAnnn	DTS デスティネーションアドレス	○	○
0008H + 40H * [チャンネル番号]	DTTCnnn	DTS 転送回数	○	○
000CH + 40H * [チャンネル番号]	DTTCTnnn	DTS 転送制御	○	○
0010H + 40H * [チャンネル番号]	DTRSAnnn	DTS リロードソースアドレス	○	○
0014H + 40H * [チャンネル番号]	DTRDAnnn	DTS リロードデスティネーションアドレス	○	○
0018H + 40H * [チャンネル番号]	DTRTCnnn	DTS リロード転送回数	○	○
001CH + 40H * [チャンネル番号]	DTTCnnn	DTS 転送回数コンペア	○	○
0020H + 40H * [チャンネル番号]	DTFSLnnn	DTSFSL 動作設定	○	○
0024H + 40H * [チャンネル番号]	DTFSTnnn	DTSFSL 転送要求ステータス	○	○
0028H + 40H * [チャンネル番号]	DTFSSnnn	DTSFSL 転送要求セット	○	○
002CH + 40H * [チャンネル番号]	DTFSCnnn	DTSFSL 転送要求クリア	○	○

注 1. オフセットアドレスの [チャンネル番号] は 0 ~ 127
レジスタ名称の nnn は 3 桁のチャンネル番号 000 ~ 127

注 2. 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

7.11.3 DTS チャネルレジスタ詳細

レジスタ名称の nnn の部分は DTS チャネル番号 (nnn = 000 ~ 127) を示します。

7.11.3.1 DTSA_{nnn} — DTS ソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9000_H + 40_H × チャネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA31	SA30	SA29	SA28	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.55 DTSA_{nnn} レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。 T1 ライトバック時に更新され、次に DMA 転送を開始する DMA 転送元アドレスが保持されます。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.11.3.2 DTDAnnn — DTS デスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9004_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA31	DA30	DA29	DA28	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.56 DTDAnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DA[31:0]	デスティネーションアドレス DMA 転送先アドレスを設定します。TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送先アドレスが保持されます。

注 意

1. DMA 転送のリードサイクルで DMA 転送エラーが発生すると、ライトサイクルは実行しません
が、デスティネーションアドレスは更新します
2. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.11.3.3 D TTCn_{nn} — DTS 転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9008_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC15	ARC14	ARC13	ARC12	ARC11	ARC10	ARC9	ARC8	ARC7	ARC6	ARC5	ARC4	ARC3	ARC2	ARC1	ARC0
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC15	TRC14	TRC13	TRC12	TRC11	TRC10	TRC9	TRC8	TRC7	TRC6	TRC5	TRC4	TRC3	TRC2	TRC1	TRC0
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.57 D TTCn_{nn} レジスタの内容

ビット位置	ビット名	機能										
31 ~ 16	ARC[15:0]	<p>アドレスリロードカウンタ</p> <p>リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。リロード機能 2 またはブロック転送 2 を使用する場合本ビットは DMA サイクル毎に 1 ずつ減算され、T1 ライトバック時に更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。</p> <p>0000_H を設定した場合にはアドレスリロードは発生しません。</p> <p>DMA サイクル開始時の値が 0000_H の場合、DMA サイクルが発生してもアドレスリロードカウンタは減算されません。</p>										
15 ~ 0	TRC[15:0]	<p>転送回数</p> <p>転送回数を設定します。DMA サイクルを実行する毎に 1 ずつ減算され、T1 ライトバック時に更新されます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値 (0000_H) を保持します。</p> <p>0000_H を設定した場合、DMA 転送要求を受け付けても DMA 転送を行いません。</p> <table border="1" data-bbox="662 1370 1401 1572"> <thead> <tr> <th>TRC[15:0]</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>転送無効、または転送完了</td> </tr> <tr> <td>0001_H</td> <td>1 回転送、または残り転送回数 1 回</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送、または残り転送回数 65535 回</td> </tr> </tbody> </table>	TRC[15:0]	動作	0000 _H	転送無効、または転送完了	0001 _H	1 回転送、または残り転送回数 1 回	:	:	FFFF _H	65535 回転送、または残り転送回数 65535 回
TRC[15:0]	動作											
0000 _H	転送無効、または転送完了											
0001 _H	1 回転送、または残り転送回数 1 回											
:	:											
FFFF _H	65535 回転送、または残り転送回数 65535 回											

注 意

1. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウンタは更新します
2. DMAC と異なり、DTS の転送回数の "0000_H" は 65536 回転送ではなく、転送無効または転送完了を示します。

7.11.3.4 DTTCTnnn — DTS 転送制御レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 900C_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	—	—	CHNSE L6	CHNSE L5	CHNSE L4	CHNSE L3	CHNSE L2	CHNSE L1	CHNSE L0	CHNE1	CHNE0
リセット後の値	不定															
R/W	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCE	TCE	—	RLD2M 1	RLD2M 0	RLD1M 1	RLD1M 0	DACM1	DACM0	SACM1	SACM0	DS2	DS1	DS0	TRM1	TRM0
リセット後の値	不定															
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.58 DTTCTnnn レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リード時は不定値がリードされます。ライト時は“0”を設定してください。
27	ESE	転送エラー時 DMA 転送中止設定 DMA 転送エラーが発生した場合に DMA 転送を中止するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生しても DMA 転送を継続します。 本ビットが 1 にセットされている場合は、DMA 転送エラーが発生した場合、残りの DMA 転送を中止します。 0 : DMA 転送エラーが発生した場合に DMA 転送を継続する 1 : DMA 転送エラーが発生した場合に DMA 転送を中止する
26, 25	予約ビット	リード時は不定値がリードされます。ライト時は“0”を設定してください。
24 ~ 18	CHNSE[6:0]	チェーン先選択 チェーン先のチャンネルを指定します。 チェーン先は DTS 内の別のチャンネルを指定してください。DMAC のチャンネルへのチェーンは指定できません。 チェーン先のチャンネルをチェーン元のチャンネルと同一に指定することは禁止です。(設定した場合の動作を保証しません。)
17 ~ 16	CHNE1, 0	チェーンイネーブル チェーン機能を設定します 00 : 無効 01 : 最終転送でチェーン 残り転送回数が 1 回の DMA サイクルが完了した際にチェーンします 10 : (設定禁止、設定した場合の動作を保証しません) 11 : 常にチェーン DMA サイクルが完了するたびにチェーンします
15	CCE	転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みが発生します。
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みが発生します。
13	予約ビット	リード時は不定値がリードされます。ライト時は“0”を設定してください。

表 7.58 DTTCTnnn レジスタの内容 (2/3)

ビット位置	ビット名	機能																												
12, 11	RLD2M1, 0	リロード機能 2 設定 リロード機能 2 の設定をします 00: リロード機能 2 無効 01: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウン트를リロード 10: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、デスティネーションアドレスとアドレスリロードカウン트를リロード 11: リロード機能 2 有効 アドレスリロードカウン트가 1 の DMA サイクル完了時に、ソースアドレスとデスティネーションアドレスとアドレスリロードカウン트를リロード																												
10, 9	RLD1M1, 0	リロード機能 1 設定 リロード機能 1 の設定をします 00: リロード機能 1 無効 01: リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード) 10: リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、デスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード) 11: リロード機能 1 有効 転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとデスティネーションアドレスと転送回数をリロード (リロード機能 2 が有効の場合、アドレスリロードカウンともリロード)																												
8, 7	DACM1, 0	デスティネーションアドレスカウンタ方向 デスティネーションアドレスのカウンタ方向を設定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th>DACM1</th> <th>DACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DACM1	DACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)													
DACM1	DACM0	カウンタ方向																												
0	0	インクリメント																												
0	1	デクリメント																												
1	0	固定																												
1	1	設定禁止 (設定した場合の動作を保証しません)																												
6, 5	SACM1, 0	ソースアドレスカウンタ方向 ソースアドレスのカウンタ方向を設定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th>SACM1</th> <th>SACM0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	SACM1	SACM0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止 (設定した場合の動作を保証しません)													
SACM1	SACM0	カウンタ方向																												
0	0	インクリメント																												
0	1	デクリメント																												
1	0	固定																												
1	1	設定禁止 (設定した場合の動作を保証しません)																												
4 ~ 2	DS[2:0]	転送データサイズ 転送データサイズを設定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th>DS2</th> <th>DS1</th> <th>DS0</th> <th>転送データサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>128 ビット</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止 (設定した場合の動作を保証しません)</td> </tr> </tbody> </table>	DS2	DS1	DS0	転送データサイズ	0	0	0	8 ビット	0	0	1	16 ビット	0	1	0	32 ビット	0	1	1	64 ビット	1	0	0	128 ビット	上記以外			設定禁止 (設定した場合の動作を保証しません)
DS2	DS1	DS0	転送データサイズ																											
0	0	0	8 ビット																											
0	0	1	16 ビット																											
0	1	0	32 ビット																											
0	1	1	64 ビット																											
1	0	0	128 ビット																											
上記以外			設定禁止 (設定した場合の動作を保証しません)																											

表 7.58 DTTCTnnn レジスタの内容 (3/3)

ビット位置	ビット名	機能
1, 0	TRM1, 0	転送モード DMA 転送モードを設定します 00: シングル転送 01: ブロック転送 1 (転送回数で指定した回数分を転送) 10: ブロック転送 2 (アドレスリロードカウントで指定した回数分を転送) 11: 設定禁止 (設定した場合の動作を保証しません)

注 意

1. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。
2. ビット 31-28、ビット 26-25、ビット 13 は予約ビットです。ライト時は 0 とし、リード時はこれらのビットの値を無視することを推奨します。

7.11.3.5 DTRSAnn — DTS リロードソースアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9010_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.59 DTRSAnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするソースアドレスを設定します。

注 意

ミスラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.11.3.6 DTRDAnnn — DTS リロードデスティネーションアドレスレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9014_H + 40_H × チャネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.60 DTRDAnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDA[31:0]	リロードデスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするデスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです (x は任意の 1 ビットを表します)。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.11.3.7 DTRTCnnn — DTS リロード転送回数レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9018_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC 15	RARC 14	RARC 13	RARC 12	RARC 11	RARC 10	RARC9	RARC8	RARC7	RARC6	RARC5	RARC4	RARC3	RARC2	RARC1	RARC0
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC 15	RTRC 14	RTRC 13	RTRC 12	RTRC 11	RTRC 10	RTRC9	RTRC8	RTRC7	RTRC6	RTRC5	RTRC4	RTRC3	RTRC2	RTRC1	RTRC0
リセット後の値	不定															
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.61 DTRTCnnn レジスタの内容

ビット位置	ビット名	機能										
31 ~ 16	RARC[15:0]	リロードアドレスリロードカウンタ リロード機能 2 を使用時に、アドレスリロードカウンタにリロードする値を設定します。										
15 ~ 0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用時に、転送回数にリロードする値を設定します。										
		<table border="1"> <thead> <tr> <th>RTRC[15:0]</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0000_H</td> <td>DMA 転送しない</td> </tr> <tr> <td>0001_H</td> <td>1 回転送</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>FFFF_H</td> <td>65535 回転送</td> </tr> </tbody> </table>	RTRC[15:0]	動作	0000 _H	DMA 転送しない	0001 _H	1 回転送	:	:	FFFF _H	65535 回転送
RTRC[15:0]	動作											
0000 _H	DMA 転送しない											
0001 _H	1 回転送											
:	:											
FFFF _H	65535 回転送											

7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 901C_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC15	CMC14	CMC13	CMC12	CMC11	CMC10	CMC9	CMC8	CMC7	CMC6	CMC5	CMC4	CMC3	CMC2	CMC1	CMC0
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.62 DTTCCnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リード時は不定値がリードされます。ライト時は“0”を設定してください。
15 ~ 0	CMC[15:0]	転送回数コンペア 転送回数レジスタとコンペアする転送回数を設定します。 DTS 転送制御レジスタの転送回数一致割り込みイネーブル (DTTCTnnn.CCE) ビットが 1 の場合、残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、転送回数一致割り込みを発生します。 0000H を設定した場合には、転送回数とのコンペアを行いません。その場合、転送回数一致割り込みは発生しません。

注 意

本レジスタは、必ず DTS チャンネルマスタ設定レジスタの設定を行った後でアクセスを行ってください。

リセット後に DTS チャンネルマスタ設定を行わないまま本レジスタにアクセスを行うと、アクセスの際に ECC エラーが発生する可能性があります。

7.11.3.9 DTFSL_{nnn} — DTSFSL 動作設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9020_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 00000000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.63 DTFSL_{nnn} レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	REQEN	DMA 転送要求有効 DTSFSL で保持しているこのチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補とするかどうかを選択します。 0 : このチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補としない 1 : このチャンネルの DMA 転送要求を DTS チャンネルアービトレーションの候補とする 本ビットが 0 の場合は、DTSFSL で DMA 転送要求を保持していても、このチャンネルは DTSFSL 内での DTS チャンネルアービトレーションの候補とならず、結果としてこのチャンネルの DMA 転送要求は発生しません。

7.11.3.10 DTFSTnnn — DTSFSL 転送要求ステータスレジスタ

アクセス 32ビット単位でリード可能です。

アドレス FFFF 9024_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.64 DTFSTnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。
0	DRQ	<p>DMA 転送要求保持状態</p> <p>このチャンネルで DMA 転送要求を保持していることを示します。</p> <p>ハードウェア転送要因入力の立ち上がりエッジ検出、またはソフトウェアでの DTFSSnnn.DRQS ビットへの "1" 書き込みによりセットされます。</p> <p>DTSFSL からこのチャンネルの DMA 転送要求を行っている際に DTS から DMA 転送要求受け付けが発生すると自動的にクリアされます。またはソフトウェアで DTFSCnnn.DRQC ビットに "1" を書き込むことで本ビットをクリアすることができます。</p> <p>0 : DMA 転送要求を保持していない</p> <p>1 : DMA 転送要求を保持している</p>

7.11.3.11 DTFSSnnn — DTSFSL 転送要求セットレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 9028_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.65 DTFSSnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	DRQS	DMA 転送要求セット ユーザは本ビットに 1 を書き込むことで DTFSTnnn.DRQ ビットをセットすることができます。 本ビットのリード値は常に 0 です。

7.11.3.12 DTFSCnnn — DTSFSL 転送要求クリアレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 902C_H + 40_H × チャンネル番号 n (n = 0 ~ 127)

注 「表 7.10 DTS トリガ要因一覧」にて予約となっているチャンネルに対応するレジスタへのアクセスは禁止です。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.66 DTFSCnnn レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	DRQC	DMA 転送要求クリア ユーザは本ビットに 1 を書き込むことで DTFSTnnn.DRQ ビットをクリアすることができます。 本ビットのリード値は常に 0 です。

第8章 リセット

8.1 特長

- RESET 端子にノイズフィルタを搭載
- リセット要因判別レジスタ (RESF) を参照することにより、どの要因でリセットが掛かったかを判断することができます。
- CPU からレジスタを設定することによりリセットを発行することができます。

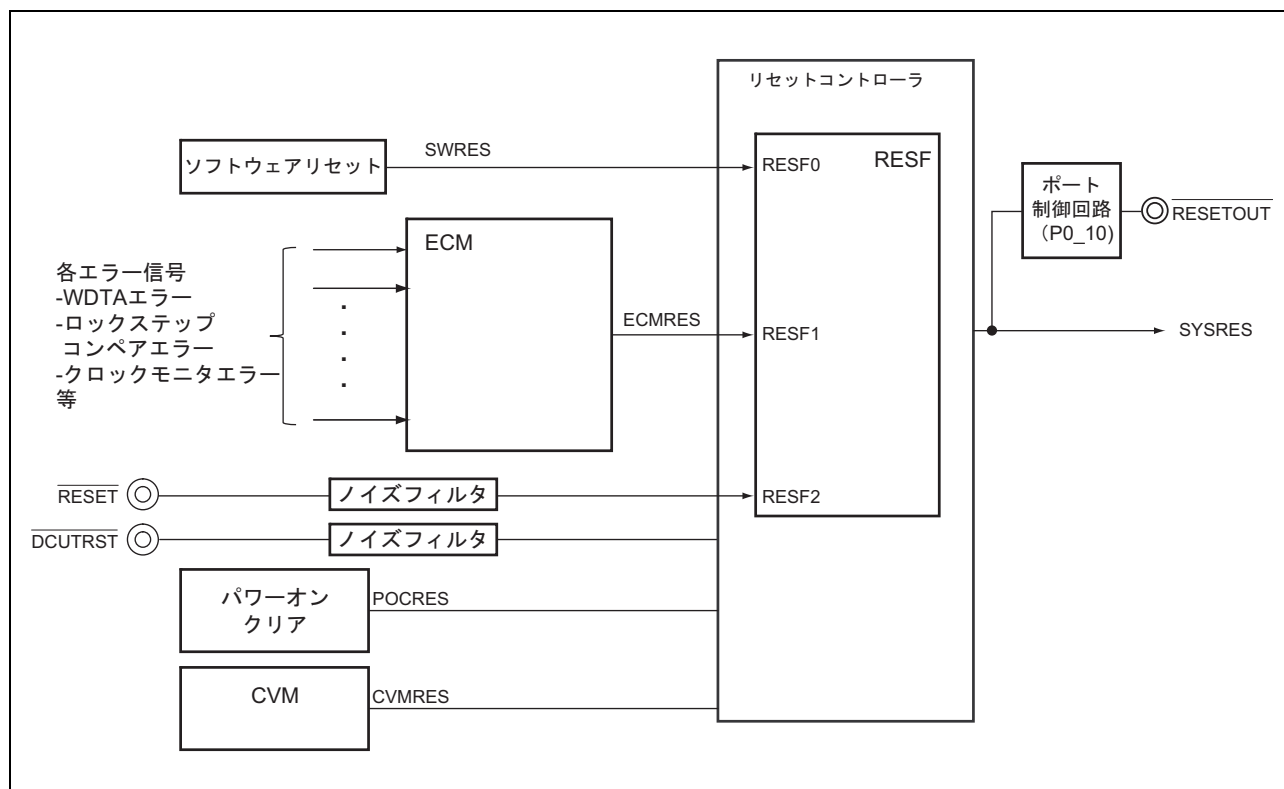


図 8.1 リセット回路

8.2 概要

マイクロコントローラとレジスタを初期化するため、複数のシステムリセット機能が用意されています。

次の要因によってリセットが起こります。

表 8.1 リセット要因

カテゴリ	リセット要因	略号	発生タイミング
パワーオンリセット	POC	POCRES	供給電圧 VCC が POC 基準電圧より下回った場合に発生
デバッグリセット	デバッグリセット	DBRES	デバッグ GUI 操作時に発生
端子リセット	端子リセット	EXTRES	外部端子 (RESET) にロウレベルが入力されると発生
内部リセット	CVM リセット	CVMRES	CVM が電圧異常 (高電圧/低電圧) を検出した場合に発生
	ソフトウェアリセット	SWRES	CPU によりソフトウェアで発生
	BIST リセット	BISTRES	BIST が終了したとき発生
	ECM リセット	ECMRES	ECM エラーが検出されたとき発生
	LVI	LVIRES	検出電圧が基準電圧より下回った場合に発生
	クロックモニタ	CLMRES	CLMA が周波数異常を検出した場合に発生
	ウォッチドッグタイマ	WDTRES	ウォッチドッグ・タイマのオーバフローで発生

システムリセット SYSRES は上記リセット要因が発生した場合に発生します。

8.2.1 リセット出力 ($\overline{\text{RESETOUT}}$)

いずれかのリセット要因が発生した場合、リセット出力 ($\overline{\text{RESETOUT}}$) が外部に出力されます。リセット出力は、マイクロコントローラ内部のリセット生成と同時に外部デバイスをリセットするために使用できます。

$\overline{\text{RESETOUT}}$ 出力動作を下記に示します。

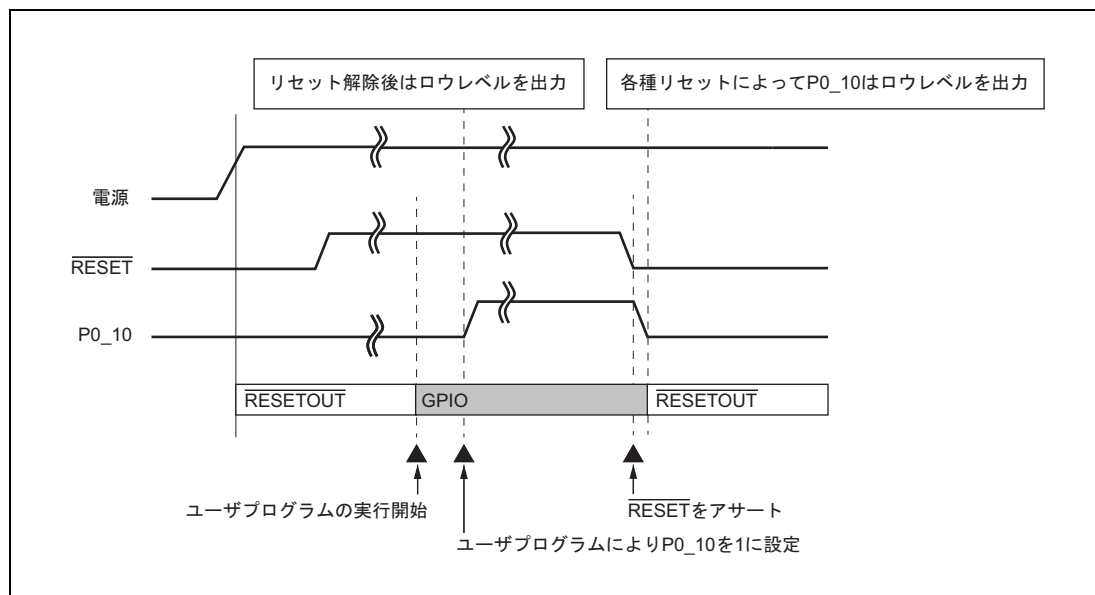


図 8.2 リセット中およびリセット解除後の P0_10 端子 ($\overline{\text{RESETOUT}}$ 信号) 動作

8.3 レジスタ仕様

8.3.1 レジスタ一覧

表 8.2 レジスタ一覧

リセット要因判定

アドレス	レジスタ名	説明	アクセス幅	リセット後の値	アクセス保護
FFF8 2800 _H	RESF	リセット要因判定レジスタ	32	0000 000x _H	
FFF8 2808 _H	RESFC	リセット要因クリアレジスタ	32	0000 0000 _H	

パワーオン検知

アドレス	レジスタ名	説明	アクセス幅	リセット後の値	アクセス保護
FFF8 AC10 _H	POF	パワーオンクリアフラグレジスタ	32	0000 000x _H	
FFF8 AC14 _H	POFC	パワーオンクリアフラグクリアレジスタ	32	0000 0000 _H	

ソフトウェアリセット制御

アドレス	レジスタ名	説明	アクセス幅	リセット後の値	アクセス保護
FFF8 AC18 _H	SWRESA	ソフトウェアリセット要求レジスタ	32	0000 0000 _H	PROT1PHCMD

8.3.2 RESF — リセット要因判定レジスタ

本レジスタは、リセット要因を判別するレジスタです。

このレジスタのフラグは RESFC レジスタでクリアできます。また、POCRES, CVMRES および DBRES によってクリアできます。

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 2800_H

リセット後の値 リセット要因によって値が異なります。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RESF2	RESF1	RESF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	注1	注1	注1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. リセット要因によって値が異なります。

表 8.3 RESF レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リード時はリセット後の値がリードされます。
2	RESF2	端子リセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり
1	RESF1	ECM リセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり
0	RESF0	ソフトウェアリセット リセットイベントが起きたことを示します。 0: イベントなし 1: イベントあり

8.3.3 RESFC — リセット要因クリアレジスタ

本レジスタは、RESF レジスタで示されたリセット要因をクリアするレジスタです。

リードすると常に 00h が読み出されます。

アクセス 32ビット単位でライトのみ可能です。

アドレス FFF8 2808_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RESFC 2	RESFC 1	RESFC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W

表 8.4 RESFC レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
2	RESFC2	端子リセット ステータスビットをクリアします。 0: クリアしない 1: クリアする
1	RESFC1	ECM リセット ステータスビットをクリアします。 0: クリアしない 1: クリアする
0	RESFC0	ソフトウェアリセット ステータスビットをクリアします。 0: クリアしない 1: クリアする

8.3.4 POF — パワーオンクリアフラグレジスタ

本レジスタは、VCC が電源 OFF から電源 ON を検知したことを判別するレジスタです。

POF フラグは、VCC が電源 OFF から電源 ON を検知した場合に“1”（コールドスタート）になります。

また、本レジスタに“0”または“1”を書いても変化しません。

POFC レジスタの POFC ビットに“0”または“1”をライトすると、“0”になります。

POF フラグを“0”に設定した状態で、その他のリセットが発生しても POF フラグは変化しません。（ウォームスタートを判断可能）

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 AC10_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	POF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.5 POF レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リード時はリセット後の値がリードされます。
0	POF	コールドスタートイベント検出 コールドスタートイベントが発生したことを示します。 0: 発生しない 1: 発生

8.3.5 POFC — パワーオンクリアフラグクリアレジスタ

本レジスタは、POF レジスタをクリアするレジスタです。

アクセス 32ビット単位でライトのみ可能です。

アドレス FFF8 AC14_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	POFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 8.6 POFC レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	POFC	ライトすると（値は 0/1 いずれでも）パワーオンクリアフラグレジスタのコールドスタートイベント検出ビットをクリアします。

8.3.6 SWRESA — ソフトウェアリセット要求レジスタ

本レジスタは、レジスタをアクセスすることで内部リセットを発生させるレジスタです。

SWRESA に 1 を書き込むと、ソフトウェアリセットが発行されます。

このレジスタへのライトは、保護コマンドレジスタ PROT1PHCMD を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 AC18_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRESA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.7 SWRESA レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
0	SWRESA	0 : — (デフォルト) 1 : 内部リセットが有効 (内部リセットのトリガ)

8.4 ソフトウェアリセット

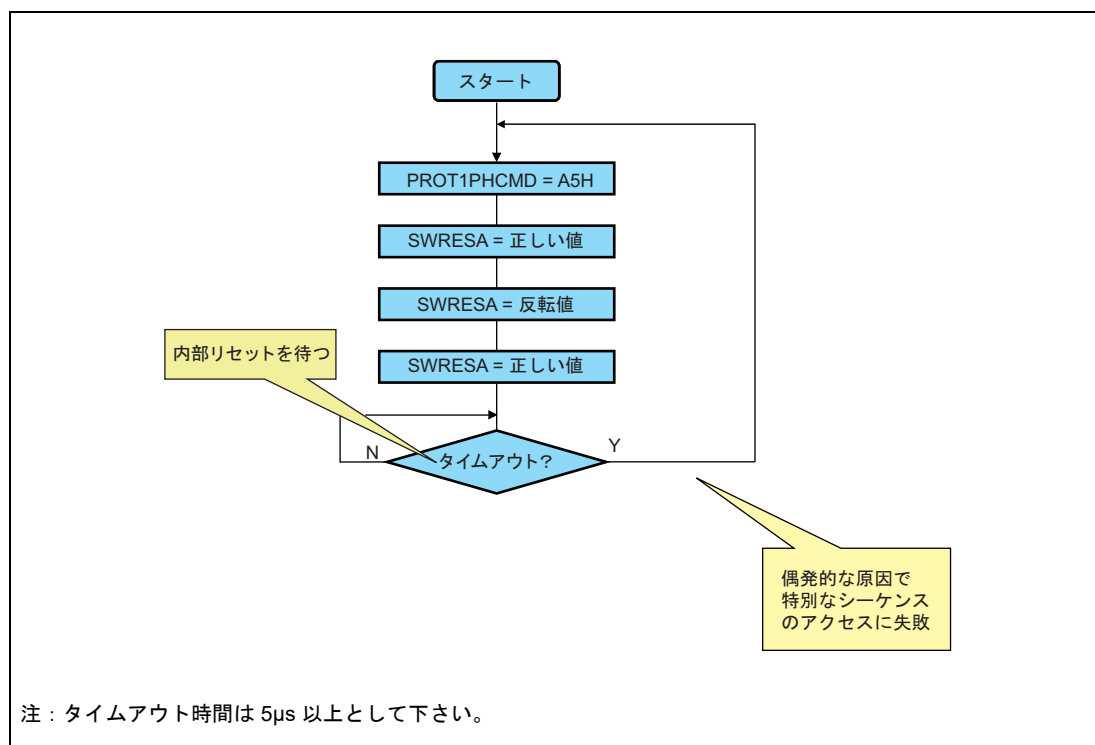


図 8.3 ソフトウェアリセットのフロー

8.5 使用上の注意

デバッグ機能において、リセットをマスクする機能があります。本機能の誤動作を防ぐため、デバッグ機能を使用しない場合は DCUTRST 端子を Low 固定して使用してください。

第9章 電源回路

9.1 特長

この製品は、コア電圧を外部から供給する二電源製品 (DPS) と内蔵レギュレータによりコア電源を供給する単一電源製品 (eVR) の2種類となります。EVCC と VCC は同じ電源から供給してください。

表 9.1 電源端子一覧

端子名	オペレーション状態の電源電圧値	電源用途
二電源製品 (DPS)		
VCC	「第 37 章 電気的特性」を参照してください。	POF/LVI、PLL、発振器、Flash 書き換え
VDD		コア電源 (ダイレクト給電)
EVCC		Port
A0VCC/A1VCC		A/D 用電源
A0VREFH/ A1VREFH		A/D 用基準電圧
単一電源製品 (eVR)		
VCC	「第 37 章 電気的特性」を参照してください。	POF/LVI、PLL、発振器、Flash 書き換え、内蔵レギュレータ
EVCC		Port
VCL		内蔵レギュレータ用キャパシタ接続端子
A0VCC/A1VCC		A/D 用電源
A0VREFH/ A1VREFH		A/D 用基準電圧

9.2 電源回路の構成

電源回路の構成を図9.1～図9.4に示します。

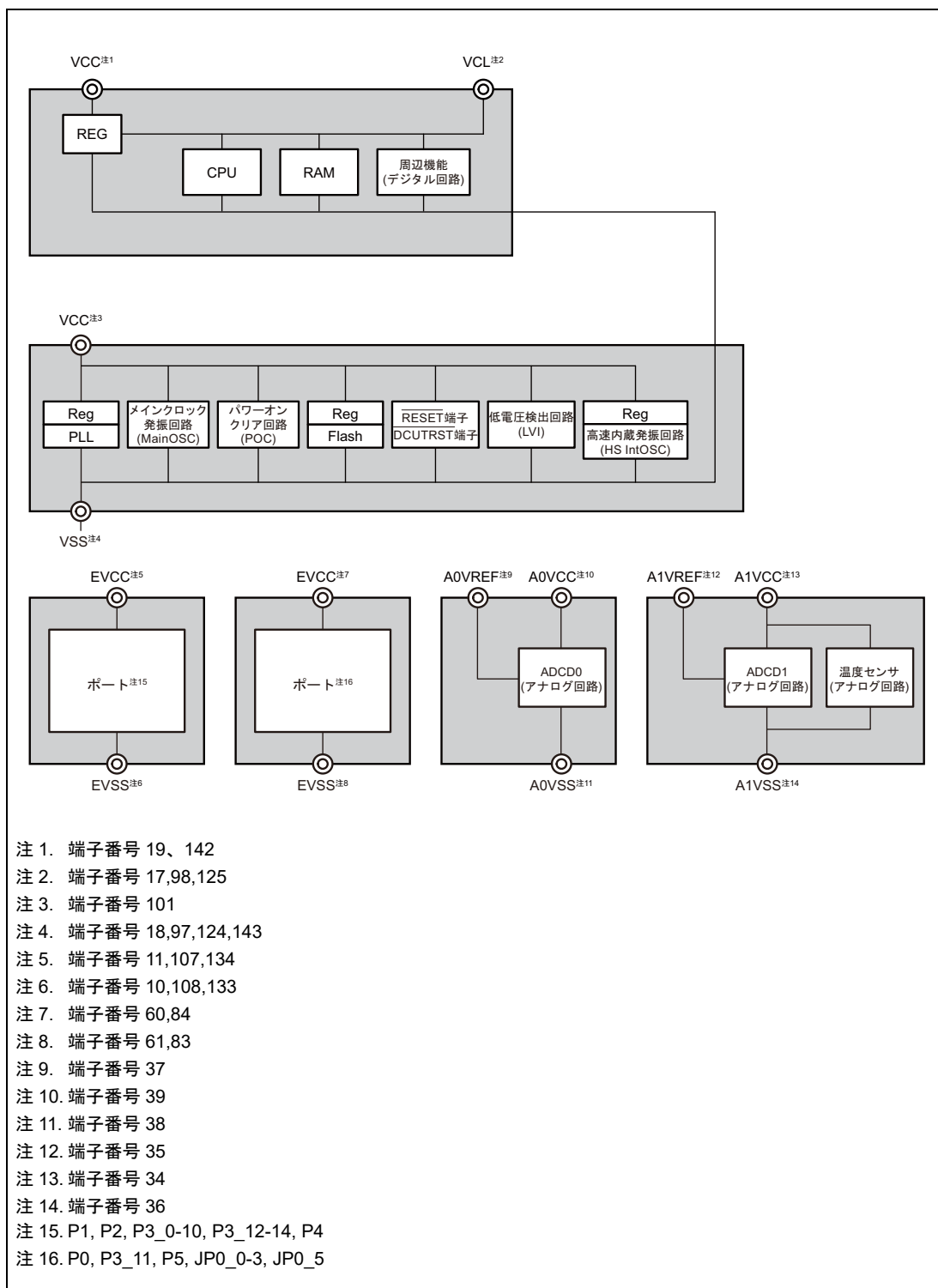


図 9.1 電源回路の構成（単一電源製品 (eVR) 144 ピン）

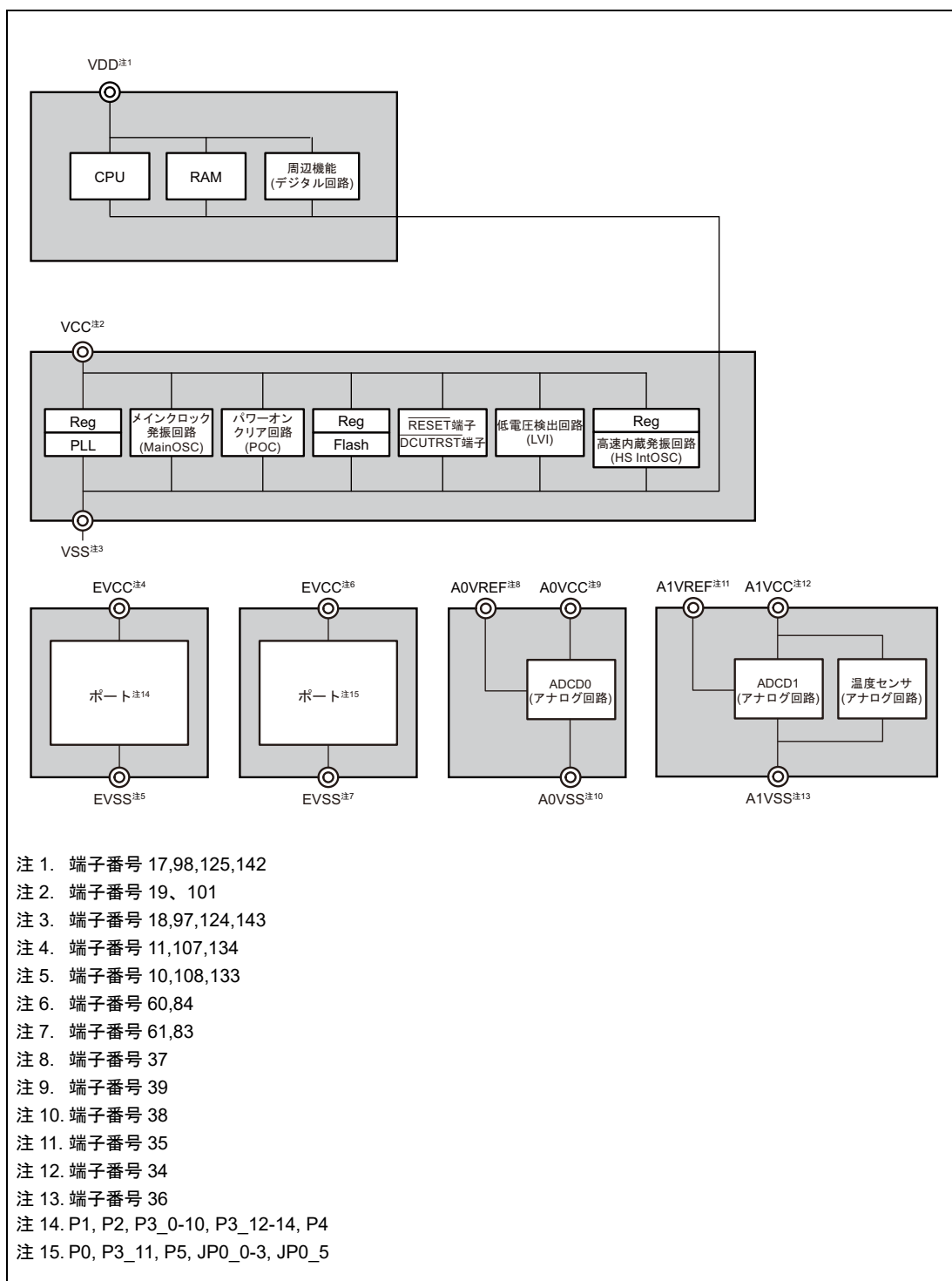


図 9.2 電源回路の構成 (二電源製品 (DPS) 144 ピン)

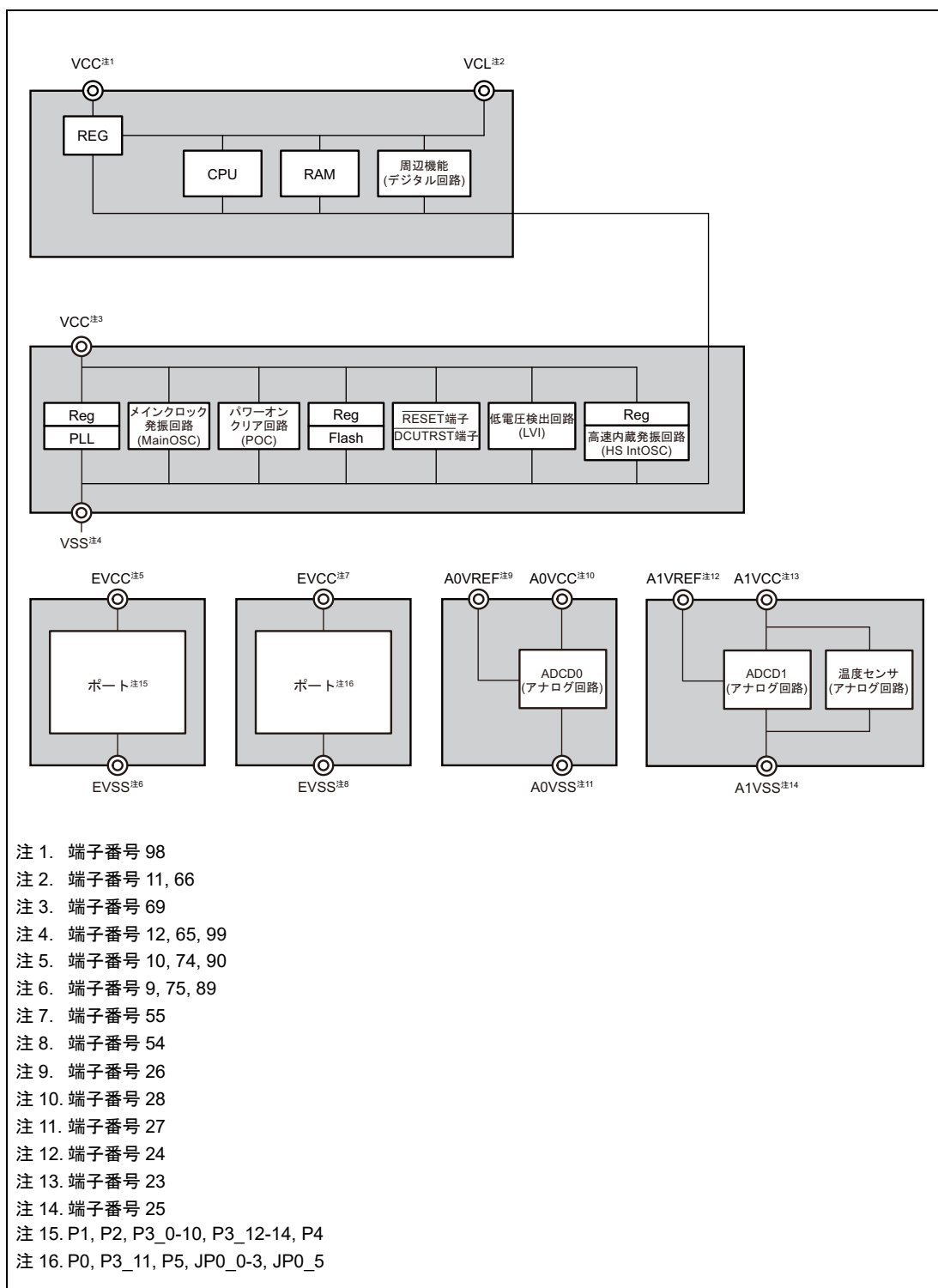


図 9.3 電源回路の構成 (単一電源製品 (eVR) 100 ピン)

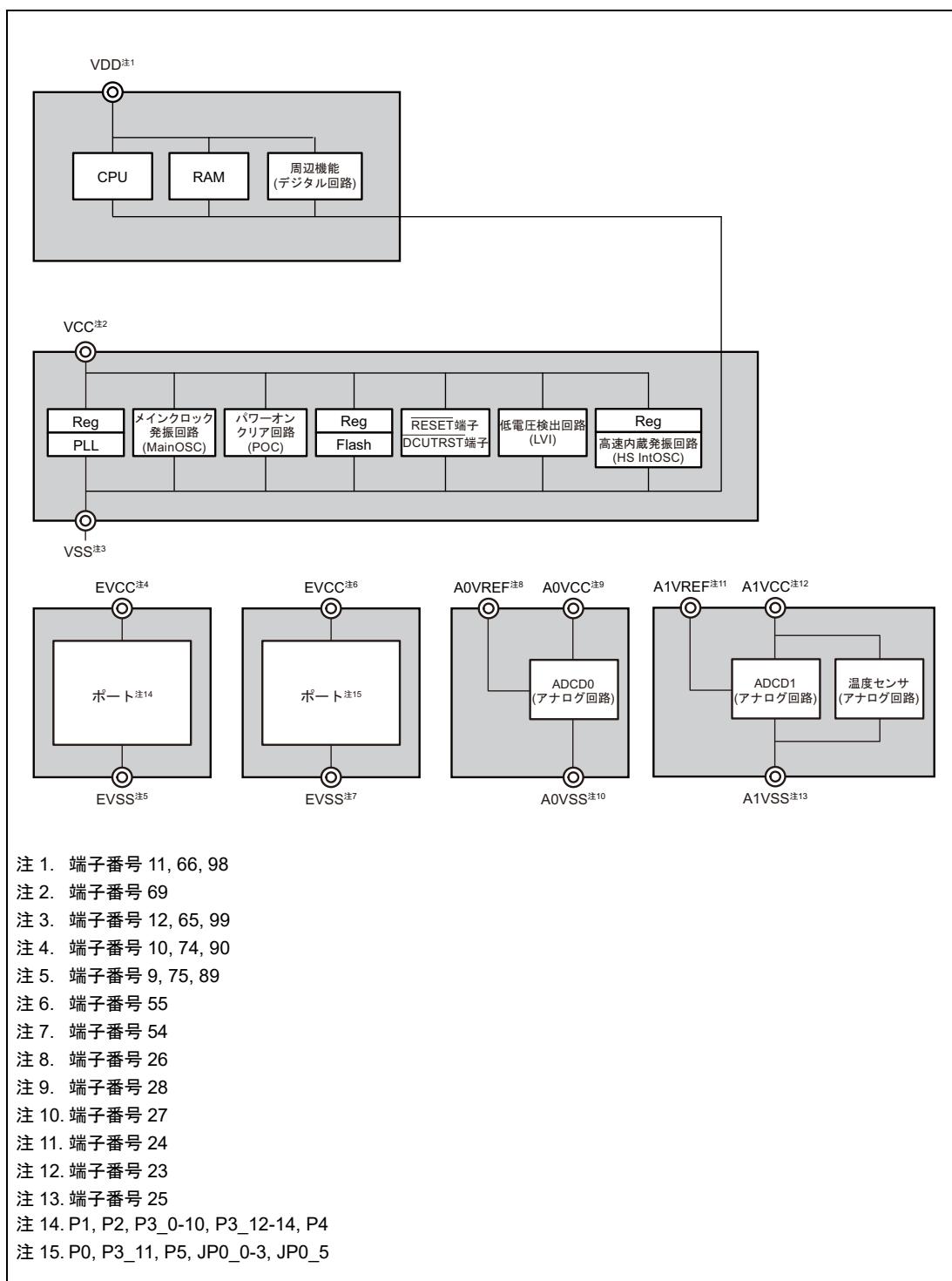


図 9.4 電源回路の構成 (二電源製品 (DPS) 100 ピン)

9.3 電源 IC の接続例

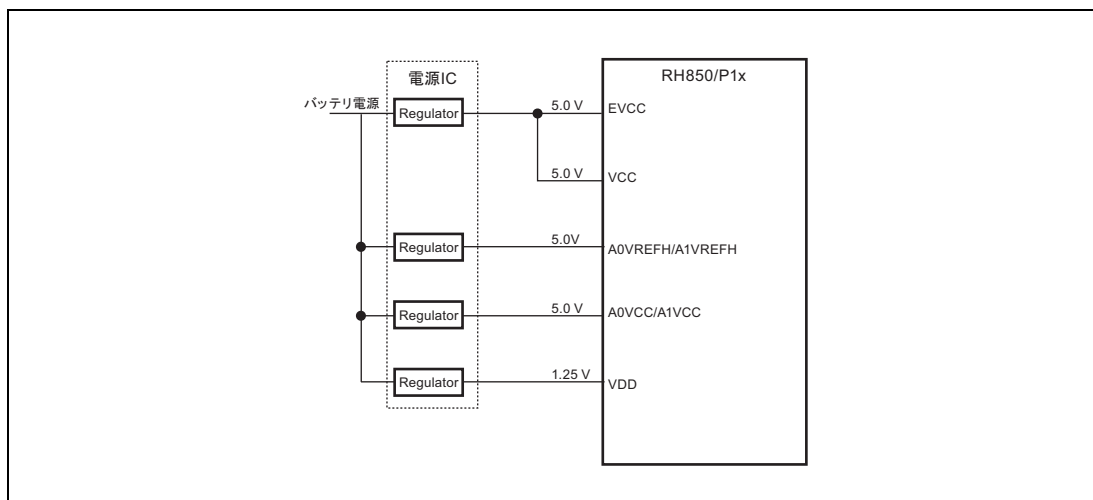


図 9.5 電源 IC の接続例（二電源製品（DPS））

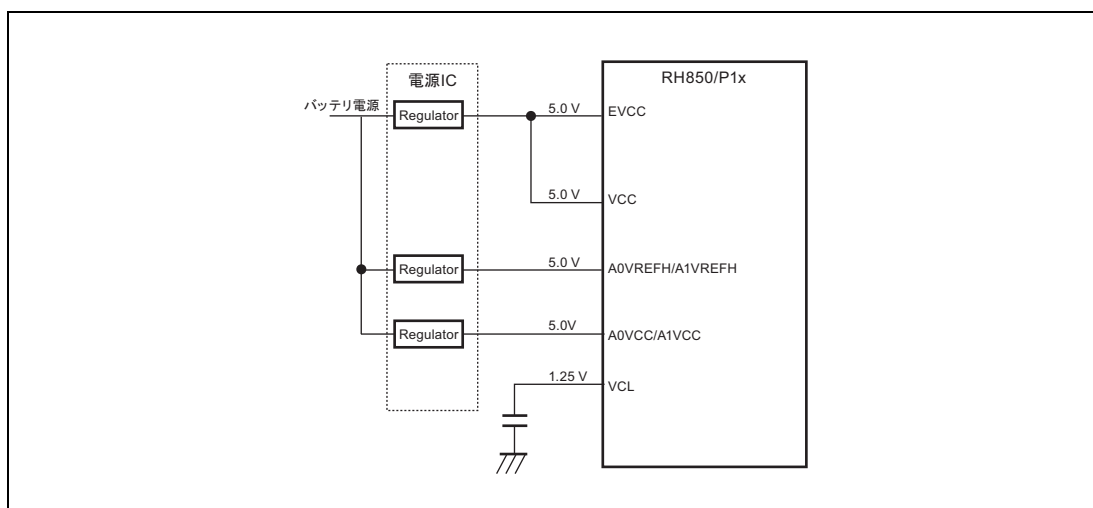


図 9.6 電源 IC の接続例（単一電源製品（eVR））

9.4 電源投入シーケンス

詳細値は「37.9.1 電源投入／切断タイミング」を参照してください。

第10章 電源電圧モニタ

10.1 コアボルテージモニタ (CVM)

コアボルテージモニタ (CVM : Core Voltage Monitor 以降、CVM と称す) はマイクロコントローラ動作時にコア電源の異常を検出することが可能です。

注 意

マイクロコントローラ動作時にコア電圧の異常を検出した場合、コア動作を保証できないため、「37.9.1 電源投入/切断タイミング」に従い電源を再投入してください。もしくは CVM リセットを許可に設定した上で、端子リセットをかけてください。

10.1.1 機能概要

- CVM は、コア論理に給電される VDD 電位をモニタします。
- 監視している電源電圧に基準電圧より上がった/下がった場合、次の動作を行います。
 - CVMREN レジスタの設定により、コア電圧動作領域のリセットが可能
 - CVMOUT 端子よりロウレベルを出力可能
 - イベント (高電圧検出/低電圧検出) に対して独立してフラグをセットすることが可能 (CVMF レジスタ)
- 診断機能
 - コア電圧自体に影響を与えることなく高電圧/低電圧エラーを発生することが可能
 - CVM 自己診断機能は基準電圧を変更することにより実行可能

10.1.2 ブロック図

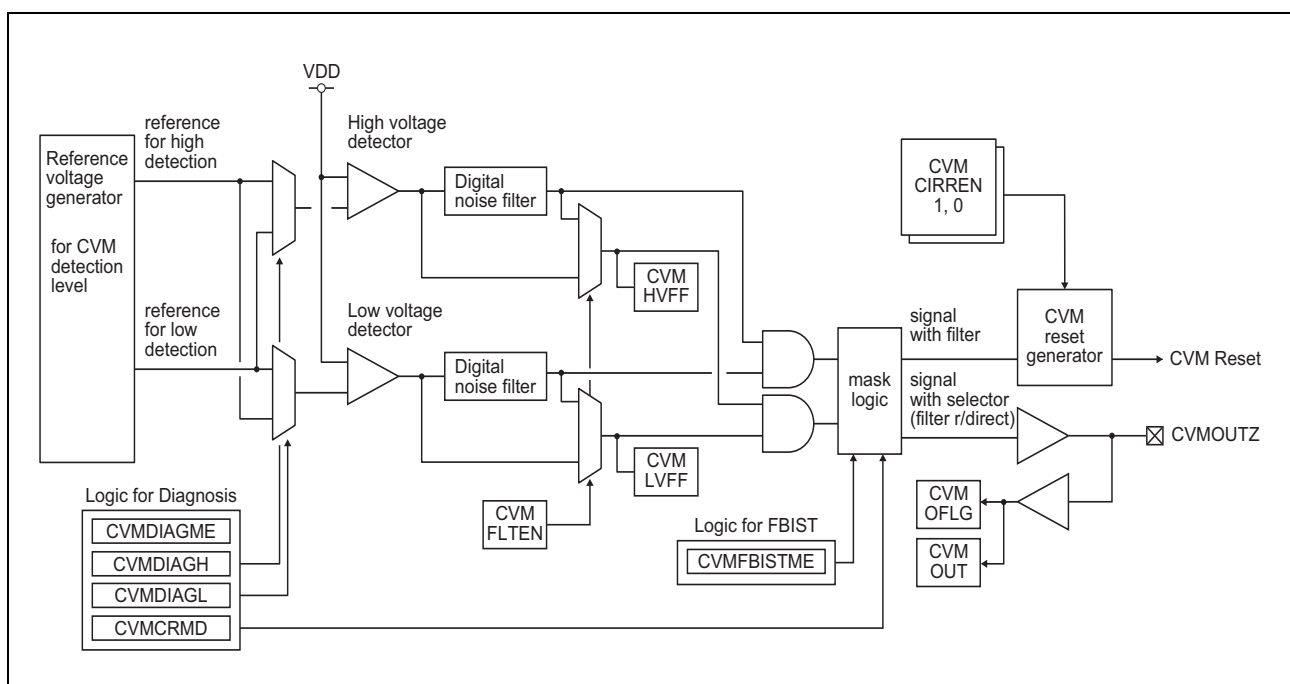


図 10.1 CVM ブロック図

10.1.3 自己診断機能

CVMは故障注入機能をサポートしています。診断機能制御レジスタ（CVMDIAG）のCVMDIAGLビット、CVMDIAGHビットを1に設定することにより、強制的にエラーを発生させます。CVM要因レジスタ（CVMF）のエラーフラグを確認することにより、CVMの動作を自己診断することができます。

また、CVMリセットは、パワーオン時、ソフトウェアリセットを組み合わせることにより自己診断することができます。

診断モード時 $\overline{\text{CVMOUT}}$ 出力をマスクする場合、自己診断処理フローを **図 10.2** に示します。

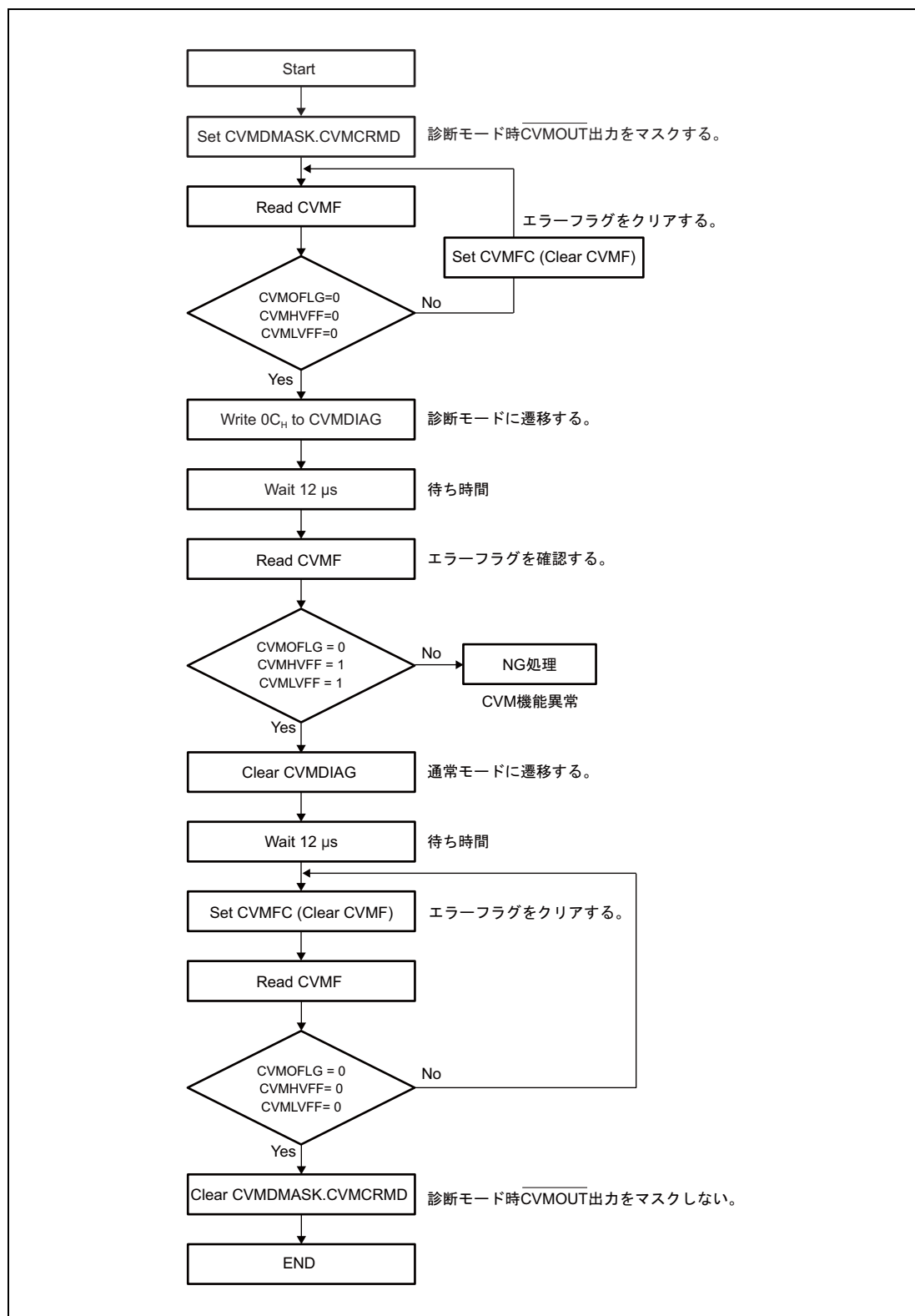


図 10.2 自己診断処理フロー（診断モード時 $\overline{\text{CVMOUT}}$ 出力をマスクする場合）

診断モード時 $\overline{\text{CVMOUT}}$ 出力をマスクしない場合、自己診断処理フローを **図 10.3** に示します。

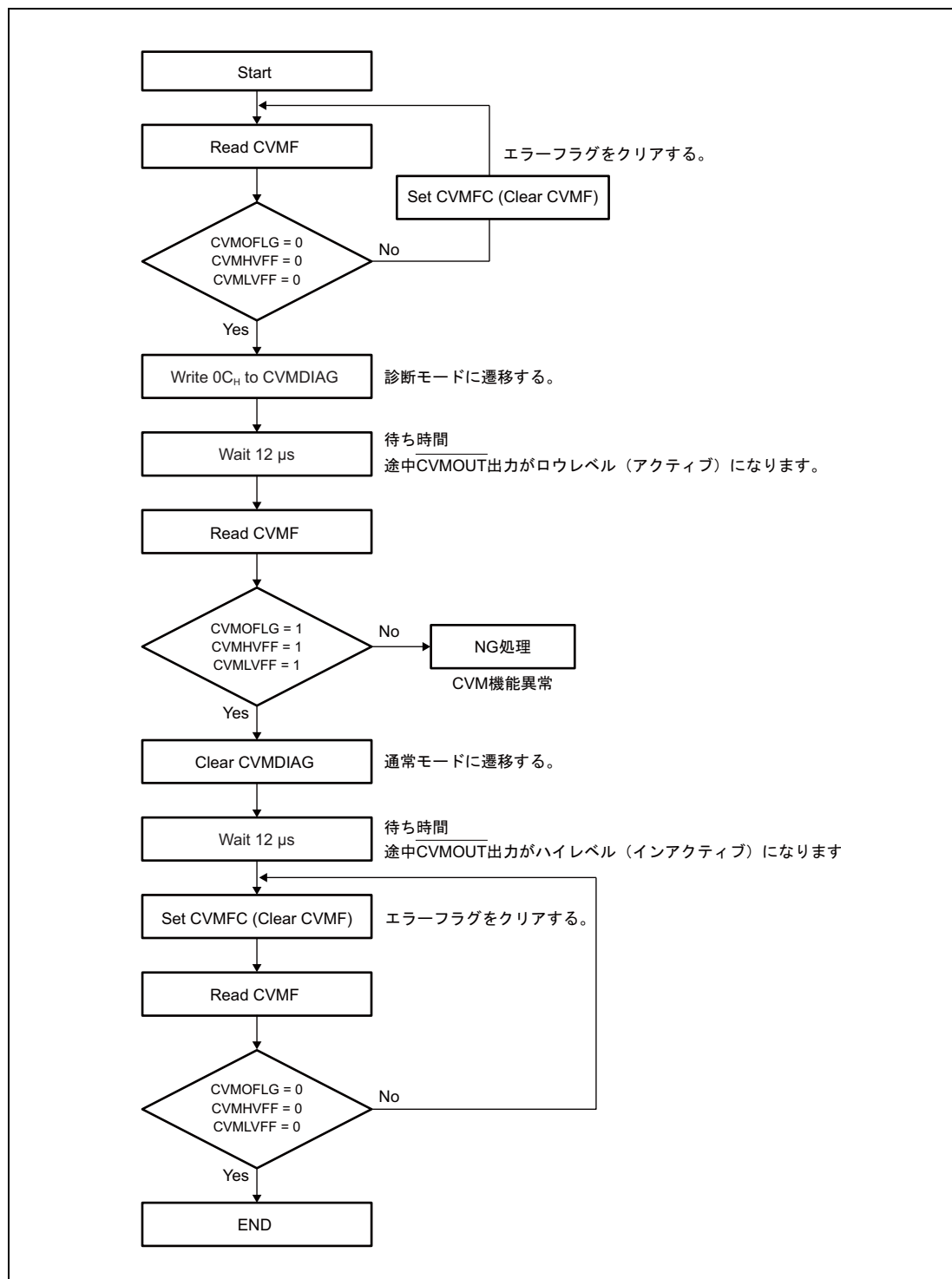


図 10.3 自己診断処理フロー（診断モード時 $\overline{\text{CVMOUT}}$ 出力をマスクしない場合）

CVM リセットの自己診断処理フローを図 10.4 に示します。

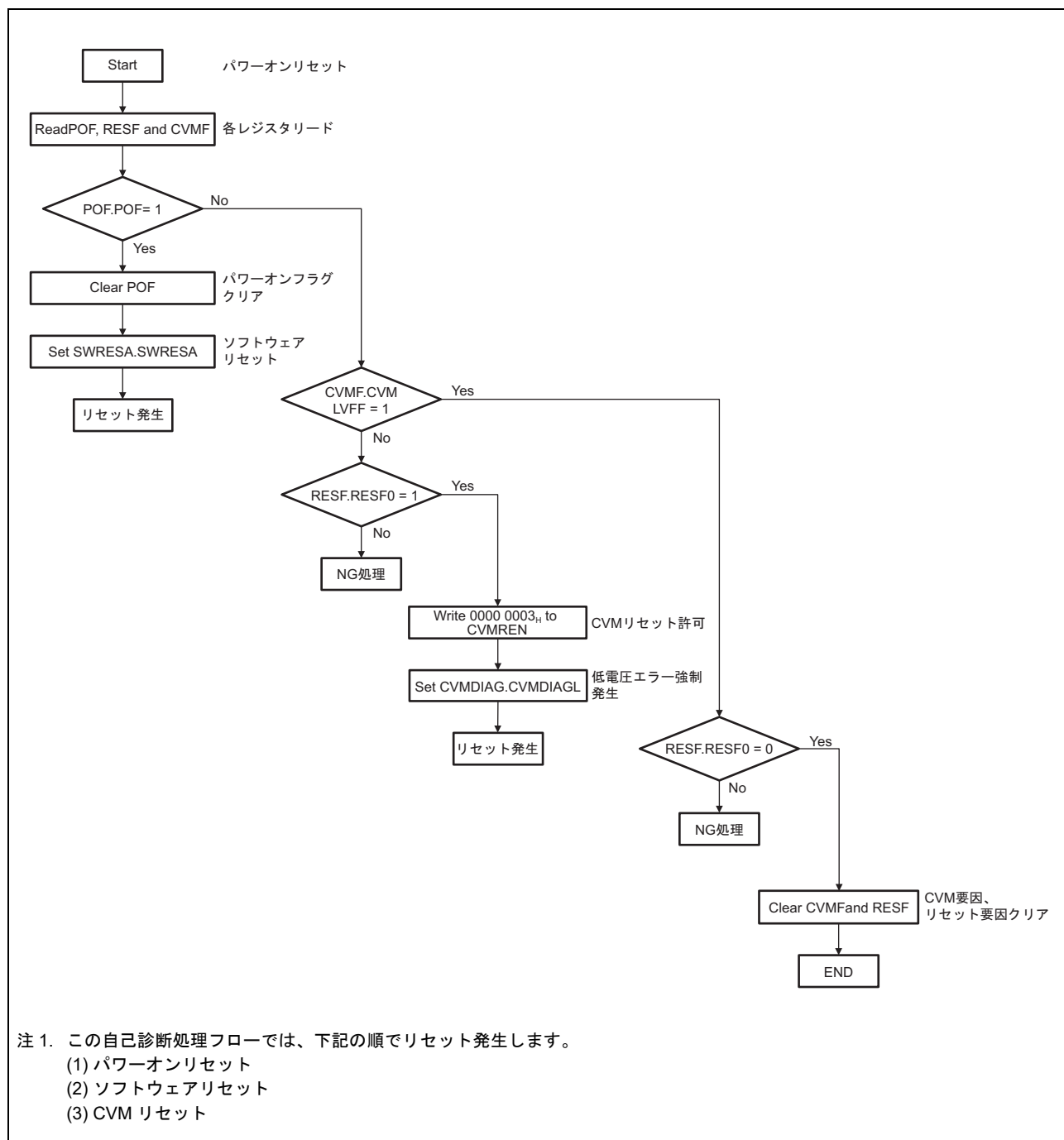


図 10.4 CVM リセットの自己診断処理フロー

10.2 低電圧検出回路 (LVI)

LVIは、継続的に外部電源電圧 VCC を LVI 基準電圧 V_{LVI} と比較します。

VCC が基準電圧を下回ると ($VCC < V_{LVI}$)、エラー信号 (\overline{LVIRE}) が ECM へ通知されます。

10.2.1 LVI 基準電圧

LVI 基準電圧 V_{LVI} は、LVICNT.LVICNT[1:0] ビットを設定することによって2種類のレベルから選択できます。

LVICNT.LVICNT[1:0] ビットが 00_B に設定されている場合、LVIは無効です。

基準電圧レベル V_{LVI} の仕様については、「10.4.10 LVICNT — LVI 制御レジスタ」を参照してください。

10.2.2 LVI エラー信号 (\overline{LVIRE})

LVI の検出電圧設定および LVIRESMK を解除時に、VCC が基準電圧を下回った場合 ($VCC < V_{LVI}$)、エラー信号 \overline{LVIRE} が発生し、ECM へ通知します。

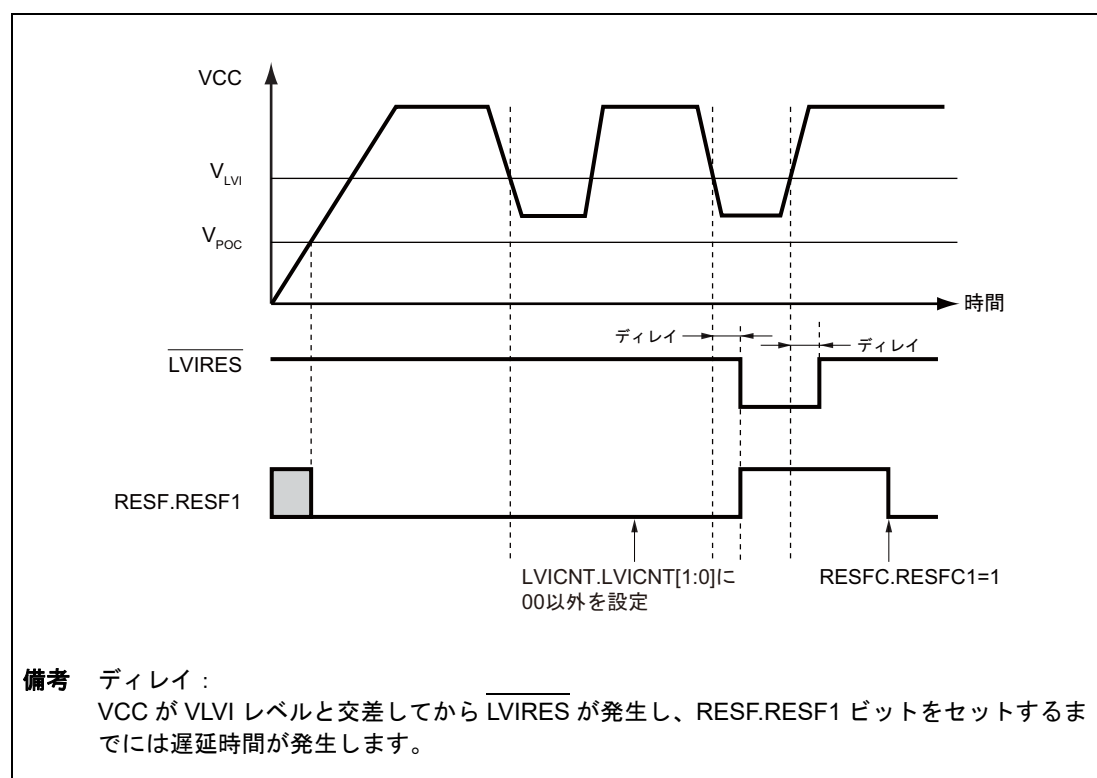


図 10.5 LVI エラー信号の発生タイミング

10.2.3 LVIの設定手順

図 10.6 に LVI の設定手順を示します。

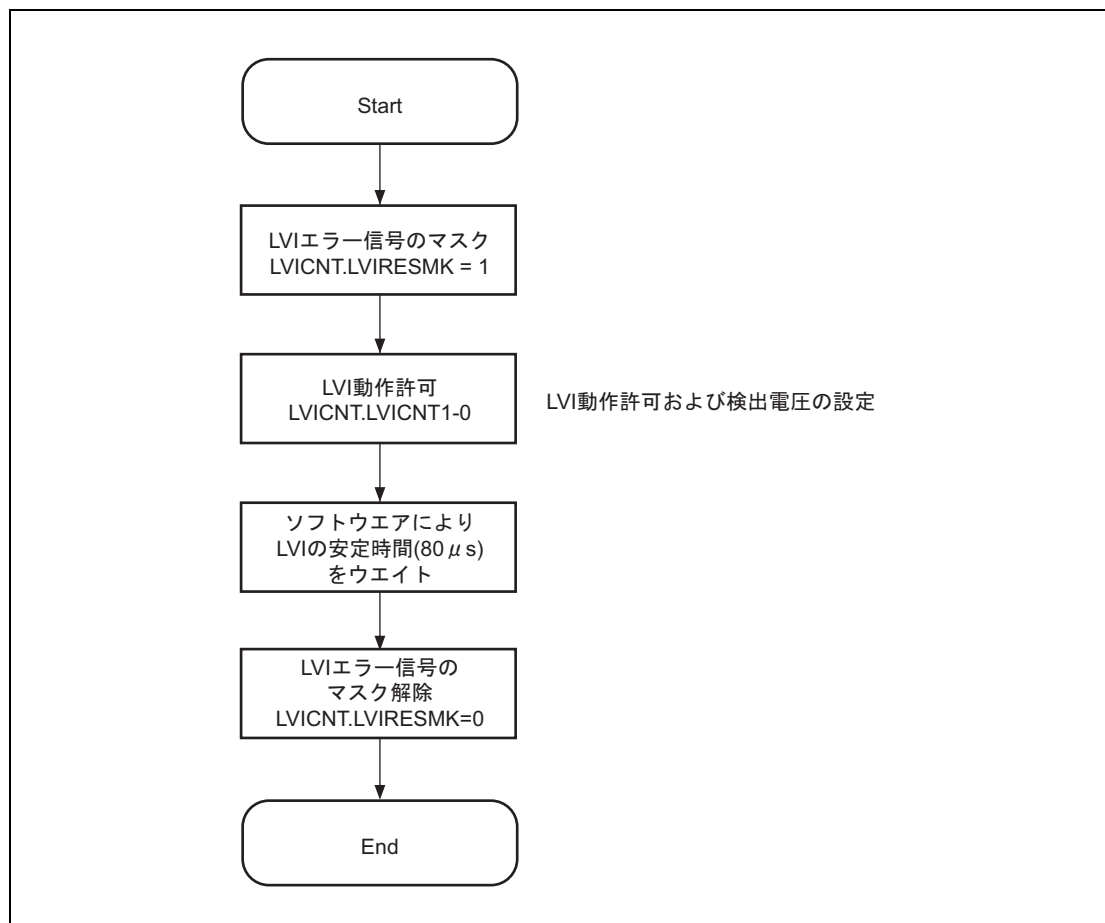


図 10.6 LVI の設定手順

10.3 パワーオンリセット (POCRES)

パワーオンクリア回路 (POC) は、電源電圧 V_{CC} と内蔵基準電圧 V_{POC} を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。

V_{CC} が内蔵基準電圧を下回った場合 ($V_{CC} < V_{POC}$)、パワーオンリセット POCRES とシステムリセット SYSRES が発生します。

内蔵基準電圧レベル V_{POC} の仕様についての詳細は、「37.10 POC 特性」を参照してください。

パワーオンクリア機能は、電源電圧がしきい値レベル V_{POC} を超えないかぎり、マイクロコントローラのリセット状態を保持します。

POCRES のタイミングを次の図に示します。

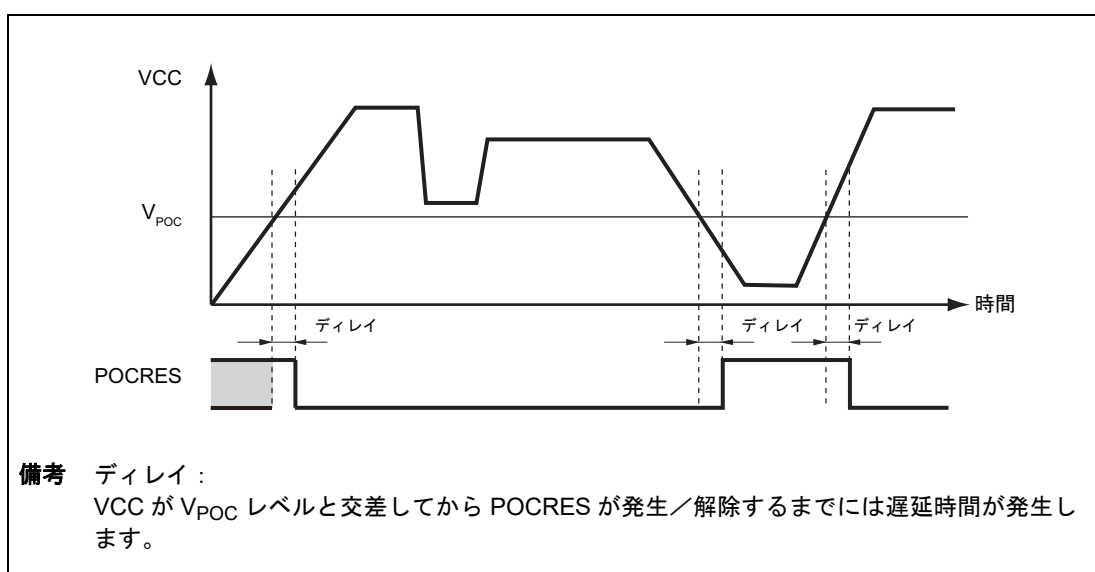


図 10.7 POC リセットタイミング

10.4 レジスタ

10.4.1 レジスタ一覧

レジスタ仕様を表 10.1 に示します。

表 10.1 レジスタ仕様

レジスタ名	略号	R/W	リセット後の値	アドレス	アクセスサイズ
コアボルテージモニタ制御レジスタ					
CVM 要因レジスタ	CVMF	R	00 _H	FFF8 2820 _H	8
CVM 検出許可レジスタ	CVMDE	R	03 _H	FFF8 2824 _H	8
CVM 検出出力マスクレジスタ	CVMDMASK	R/W	00 _H	FFF8 282C _H	8
CVM 診断機能制御レジスタ	CVMDIAG	R/W	00 _H	FFF8 2830 _H	8
CVM モニタレジスタ	CVMMON	R	不定	FFF8 2834 _H	8
CVM 要因クリアレジスタ	CVMFC	W	00 _H	FFF8 2838 _H	8
CVM 検出許可セットレジスタ	CVMDEW	W	00 _H	FFF8 283C _H	8
CVM リセットイネーブルレジスタ	CVMREN	W	0000 0000 _H	FFF8 2840 _H	32
低電圧検出リセット制御レジスタ					
LVI 制御レジスタ	LVICNT	R/W	0000 0000 _H	FFF8 2C00 _H	32

10.4.2 CVMF — CVM 要因レジスタ

CVMOUT 出力の状態および CVM によるエラー検出の状態を示します。

このレジスタは POCRES, DBRES によって初期化されます。

各ビットは CVMFC レジスタの対応するビットにより個別にクリアすることもできます。

アクセス 8ビット単位でリードのみ可能です。

アドレス FFF8 2820_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CVMOFLG	—	—	—	—	—	CVMHVFF	CVMLVFF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 10.2 CVMF レジスタの内容

ビット位置	ビット名	機能
7	CVMOFLG	CVMOUT 発生フラグ。 0: CVMOUT が発生していない 1: CVMOUT が発生した CVMOUT 出力の状態を示します。一度フラグがセットされると CPU 命令によってクリアされるまで値を保持します。
6 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	CVMHVFF	CVM によるコアボルテージの高電圧検出 0: 高コアボルテージ違反を検出しない 1: 高コアボルテージ違反を検出した
0	CVMLVFF	CVM によるコアボルテージの低電圧検出 0: 低コアボルテージ違反を検出しない 1: 低コアボルテージ違反を検出した

10.4.3 CVMFC — CVM 要因クリアレジスタ

CVMF レジスタの対象となるビットをクリアするレジスタです。

このレジスタへのライトは、保護コマンドレジスタ PROTCMDCVM を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

アクセス 8ビット単位でライトのみ可能です。

アドレス FFF8 2838_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CVMOFLGC	—	—	—	—	—	CVMHVFFC	CVMLVFFC
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	R	R	R	R	R	W	W

表 10.3 CVMFC レジスタの内容

ビット位置	ビット名	機能
7	CVMOFLGC	CVMOFLG フラグのクリア。 0: クリアしない 1: クリアする
6 ~ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	CVMHVFFC	CVMHVFF フラグのクリア。 0: クリアしない 1: クリアする
0	CVMLVFFC	CVMLVFF フラグのクリア。 0: クリアしない 1: クリアする

10.4.4 CVMDE — CVM 検出許可レジスタ

CVM 制御の状態を示すレジスタです。VCC 領域の CVM レジスタの状態を確認しています。

このレジスタは POCRES, DBRES によって初期化されます。

アクセス 8ビット単位でリードのみ可能です。

アドレス FFF8 2824_H

リセット後の値 03_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	CVMFBISTME	CVMFLTEN	CVMDIAGME	—	—
リセット後の値	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R

表 10.4 CVMDE レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。
4	CVMFBISTME	FBIST 動作時 $\overline{\text{CVMOUT}}$ 出力マスク制御 0: FBIST 中の $\overline{\text{CVMOUT}}$ 出力および CVMRES をマスクする 1: FBIST 中の $\overline{\text{CVMOUT}}$ 出力および CVMRES をマスクしない 注意 端子リセットにより起動した FBIST の場合のみ、本ビットの設定が有効となります。ECM リセットにより起動した FBIST の場合、本ビットの設定に関わらず、 $\overline{\text{CVMOUT}}$ 出力および CVMRES をマスクしません。
3	CVMFLTEN	$\overline{\text{CVMOUT}}$ 出力フィルタの制御 0: $\overline{\text{CVMOUT}}$ の出力フィルタを有効 1: $\overline{\text{CVMOUT}}$ の出力フィルタを無効
2	CVMDIAGME	診断機能制御 0: CVM の診断機能有効 1: CVM の診断機能無効
1、0	予約ビット	リードした場合はリセット後の値が読めます。

10.4.5 CVMDEW — CVM 検出許可セットレジスタ

CVMDE レジスタのビット2～4のビットの値を変更できます。パワーオンリセット解除後、一度だけセット可能です（後続の書き込みは無視されます）。

このレジスタへのライトは、保護コマンドレジスタ PROTCMDCVM を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

アクセス 8ビット単位でライトのみ可能です。

アドレス FFF8 283C_H

リセット後の値 00_H リード値は常に00_Hです。

ビット	7	6	5	4	3	2	1	0
	—	—	—	CVMFLTENW	CVMDIAGMEW	CVMFBISTMEW	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	W	W	W	R	R

表 10.5 CVMDEW レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	ライトする場合はリセット後の値を書いてください。
4	CVMFLTENW	CVMOUT 出力フィルタの制御 0 : CVMDE.CVMFLTEN = 0 (CVMOUT の出力フィルタを有効) 1 : CVMDE.CVMFLTEN = 1 (CVMOUT の出力フィルタを無効)
3	CVMDIAGMEW	診断機能制御 0 : CVMDE.CVMDIAGME = 0 (CVM の診断機能有効) 1 : CVMDE.CVMDIAGME = 1 (CVM の診断機能無効)
2	CVMFBISTMEW	FBIST 動作 CVMOUT 出力マスク制御 0 : CVMDE.CVMFBISTME = 0 (FBIST 中の CVMOUT 出力および CVMRES をマスクする) 1 : CVMDE.CVMFBISTME = 1 (FBIST 中の CVMOUT 出力および CVMRES をマスクしない) 注意 端子リセットにより起動した FBIST の場合のみ、本ビットの設定が有効となります。ECM リセットにより起動した FBIST の場合、本ビットの設定に関わらず、CVMOUT 出力および CVMRES をマスクしません。
1、0	予約ビット	ライトする場合はリセット後の値を書いてください。

10.4.6 CVMDMASK — CVM 検出出力マスクレジスタ

診断モードで $\overline{\text{CVMOUT}}$ 出力をマスクします（診断モードでのみ有効です）。

このレジスタへのライトは、保護コマンドレジスタ PROTCMDCVM を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

このレジスタは、すべてのリセット要因（SYSRES）により初期化されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFF8 282C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CVMCRMD
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 10.6 CVMDMASK レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CVMCRMD	診断モード時の $\overline{\text{CVMOUT}}$ 出力マスク 0：診断モード時に $\overline{\text{CVMOUT}}$ 出力および CVMRES をマスクしない 1：診断モード時に $\overline{\text{CVMOUT}}$ 出力および CVMRES をマスクする（ $\overline{\text{CVMOUT}}$ 出力はハイレベル）

備考 CVM 検出許可セットレジスタ（CVMDEW）のビット CVMDIAGMEW が 0 の場合のみ、CVM 検出出力マスクレジスタ（CVMDMASK）が有効となります。

10.4.7 CVMDIAG — CVM 診断機能制御レジスタ

CVM回路の診断モードを制御します。

このレジスタへのライトは、保護コマンドレジスタ PROTCMDCVM を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

このレジスタは、すべてのリセット要因（SYSRES）により初期化されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFF8 2830_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	CVMDIAGH	CVMDIAGL	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R

表 10.7 CVMDIAG レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CVMDIAGH	診断モード制御 0: 通常モード 1: 診断モード、高コアボルテージエラーを強制発生します。
2	CVMDIAGL	診断モード制御 0: 通常モード 1: 診断モード、低コアボルテージエラーを強制発生します
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

10.4.8 CVMMON — CVM モニタレジスタ

CVMOUT 出力の状態を示すレジスタです。診断モードに利用できます。

アクセス 8ビット単位でリードのみ可能です。

アドレス FFF8 2834_H

リセット後の値 不定。ビット0は CVMOUT 出力の状態を示します。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CVMOUT
リセット後の値	0	0	0	0	0	0	0	—
R/W	R	R	R	R	R	R	R	R

表 10.8 CVMMON レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	CVMOUT	<u>CVMOUT</u> 出力のレベル 0: ローレベル (アクティブ) 1: ハイレベル (インアクティブ)

10.4.9 CVMREN — CVM リセットイネーブルレジスタ

コア電源の異常を検出した場合に、コア電圧動作領域のリセット許可／禁止を設定するレジスタです。パワーオンリセット解除後、一度だけセット可能です（後続の書き込みは無視されます）。

このレジスタへのライトは、保護コマンドレジスタ PROTCMDCVM を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

このレジスタへの設定は POCRES, DBRES によってリセットされます。

アクセス 32ビット単位でライトのみ可能です。

アドレス FFF8 2840_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CVMCIRREN [1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W W

表 10.9 CVMREN レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	CVMCIRREN [1:0]	CVM リセットの許可／禁止を設定します。 11 _B ：リセット許可 上記以外：リセット禁止

備考

CVM リセットは、フィルタを通じた CVM 出力信号がトリガとなります。

10.4.10 LVICNT — LVI 制御レジスタ

低電圧検出の制御と、LVI 検出レベルの選択を行います。

このレジスタへのライトは、保護コマンドレジスタ PROT1PHCMD を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

このレジスタは、すべてのリセット要因 (SYSRES) によりリセットされます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 2C00_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LVIRES MK	LVICNT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 10.10 LVICNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LVIRESMK	LVI エラーがマスク 0 : LVI エラーがマスクされない 1 : LVI エラーがマスクされる
1, 0	LVICNT[1:0]	検出レベル 00 : LVI がアクティブになりません 01 : 4.5 V 10 : 設定禁止 11 : 3.1 V

第11章 温度センサ

本章では、温度センサ (TSN0) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、TSN0 の機能、レジスタについて説明します。

11.1 RH850/P1x の温度センサの概要

11.1.1 ユニット数

本製品は、以下のユニット数の温度センサを搭載しています。

表 11.1 温度センサのユニット数

温度センサ	
ユニット数	1
名称	TSN0

11.1.2 レジスタベースアドレス

TSN0 のベースアドレスを以下の表に示します。

TSN0 のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 11.2 レジスタベースアドレス

ベースアドレス名	ベースアドレス
TSN0_base	FFF2 8000 _H

11.1.3 クロック供給

温度センサは、次のクロックが供給されます。

表 11.3 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TSN0	PCLK	低速周辺クロック CLK_LSB

11.1.4 リセット要因

温度センサを構成するレジスタは次のリセット信号で初期化されます。

表 11.4 TSN0 のリセット信号

チャンネル	リセット信号
TSN0	<ul style="list-style-type: none"> リセットコントローラ SYSRES

11.2 概要

11.2.1 機能概要

TSN0 には次の機能があります。

- 温度測定
A/D コンバータ 1 (ADCD1) のアナログチャンネル 12 (AN112) を使用し温度を測定します。
温度測定時間 (CLK_ADC = 40MHz) : 4 μ s (A/D 変換時間 1 μ s \times 4 回)
温度測定時間 (CLK_ADC = 20MHz) : 45.2 μ s (A/D 変換時間 11.3 μ s \times 4 回)
安定時間 : 200 μ s
- 温度異常通知機能
温度が上限 / 下限に達すると温度異常エラーを ECM モジュールへ通知します。
- 温度測定モード
ワンショット温度測定モード (A/D 変換は連続して 4 回実行)
連続温度測定モード (4 つの連続した仮想チャンネルを温度センサ用に設定し、対応するスキャングループ 4 をマルチサイクルスキャンモードに設定した場合)
- 自己診断機能
高温異常エラーのエラー注入により、自己診断機能サポートします。

11.2.2 ブロック図

図 11.1 に温度センサのブロック図を示します。

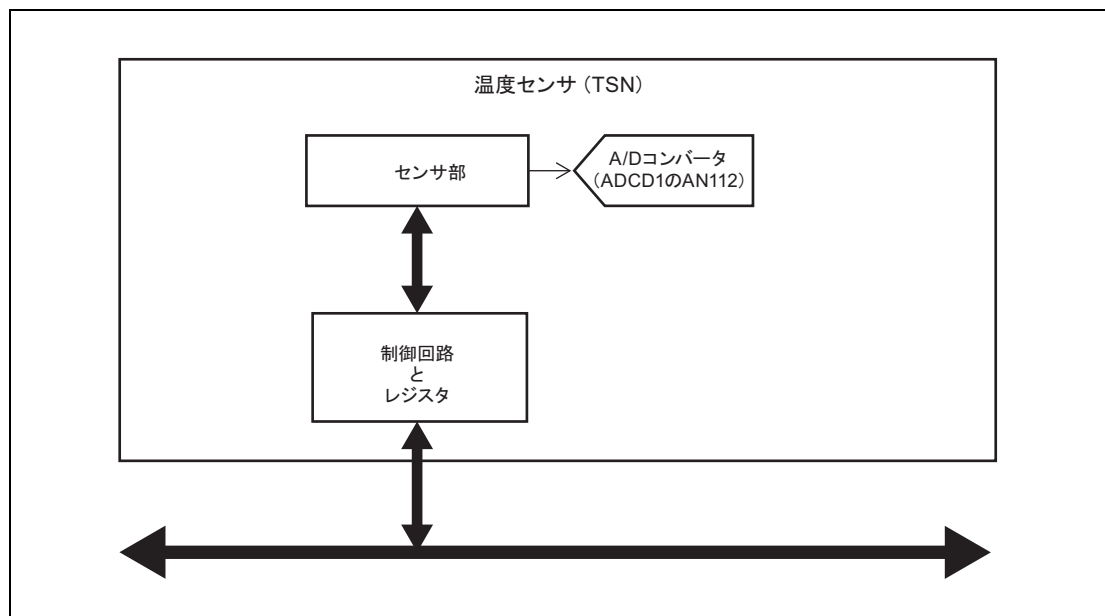


図 11.1 温度センサのブロック図

11.3 レジスタ

11.3.1 レジスタ一覧

TSN0 のレジスタ一覧を以下の表に示します。

<TSN0_base> は「11.1.2 レジスタベースアドレス」を参照してください。

レジスタ名	シンボル名	R/W	初期値	アドレス
温度センサ制御レジスタ	TSN0CR	R/W	0000 0000 _H	<TSNn_base> + 000 _H
温度センサステータスレジスタ	TSN0STAT	R	0000 0000 _H	<TSNn_base> + 004 _H
温度センサ診断制御レジスタ	TSN0DIAG	R/W	0000 0000 _H	<TSNn_base> + 008 _H
温度センサ基準温度格納レジスタ	TSNREFD	R	不定 ^{注1}	FFCD 019C _H

注1. 出荷時に固定値が設定されます。

11.3.2 TSN0CR — 温度センサ制御レジスタ

温度センサを制御します。このレジスタは A/D コンバータ停止時に設定できます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSNn_base> + 000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSNEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 11.5 TSN0CR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TSNEN	温度センサを制御します。 0: 温度センサ禁止 1: 温度センサ許可

11.3.3 TSN0STAT — 温度センサステータスレジスタ

温度センサの状態を示します。

アクセス 32ビット単位でリードのみ可能です。

アドレス <TSNn_base> + 004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSNST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.6 TSN0STAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	TSNST	温度センサの状態を示します。 0: 温度センサ無効 (温度センサ安定時間 200μs が終了していない) 1: 温度センサ有効 (温度センサ安定時間 200μs が終了している)

11.3.4 TSN0DIAG — 温度センサ診断制御レジスタ

温度センサの自己診断機能を制御します。このレジスタは A/D コンバータ停止時に設定できます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSNn_base> + 008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSN SELF DIAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 11.7 TSN0DIAG レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TSNSELF DIAG	温度センサの自己診断機能を制御します。 0: 温度センサ自己診断機能禁止 1: 温度センサ自己診断機能許可

11.3.5 TSNREFD — 温度センサ基準温度格納レジスタ

本レジスタは、出荷時に測定した値が格納されます。

TSNREFDH には、A1VREFH = 5.0V、 $T_j = 150\text{ }^\circ\text{C}$ の基準温度の値が、TSNREFDL には、A1VREFH = 5.0V、 $25\text{ }^\circ\text{C}$ の基準温度の値が格納されます。

アクセス 32ビット単位でリード可能です。

アドレス FFCD 019C_H

リセット後の値 不定（出荷時に固定値が設定されます）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	TSNREFDH[11:0]											
リセット後の値	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSNREFDL[11:0]											
リセット後の値	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.8 TSNREFD レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。
27 ~ 16	TSNREFDH[11:0]	$T_j = 150\text{ }^\circ\text{C}$ で測定した基準温度の値
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ~ 0	TSNREFDL[11:0]	$T_j = 25\text{ }^\circ\text{C}$ で測定した基準温度の値

11.4 機能

11.4.1 温度測定

TSN0 は ADCD1 の AN112 チャンネルを使用して温度を測定しています。AN112 チャンネルは ADCD1 のスキャングループ 4 に設定し、4 つの連続した仮想チャンネルを温度センサ用に設定して変換する必要があります。

設定例は **図 11.2** を参照してください。温度の測定結果は 4 つ目の仮想チャンネルに対応するデータレジスタに格納されます。

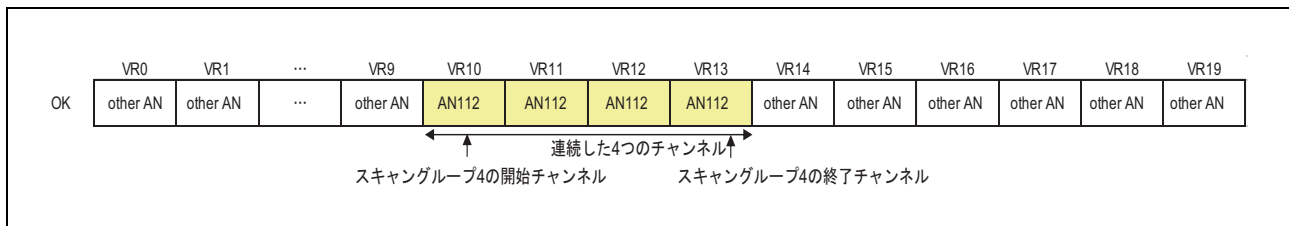


図 11.2 温度センサ専用 ADCD1 変換チャンネル AN112 の設定例

TSN0 は、次に示すフローで温度を測定します。

1. TSN0 専用 AD 変換チャンネル AN112 の設定、ADCD1 のスキャングループ 4 の連続 4 個仮想チャンネルに設定します。
2. 温度センサを有効にします。TSNCR レジスタの TSNEN ビットを "1" に設定します。この手順は、上記 1. の前に実行することもできます。
3. TSN0 の起動を待機します。TSNCR レジスタの TSNEN ビットを "1" に設定した後、次の 4. の実行の前に、200 us 待機してください。この待機時間は、温度センサの起動を待つために必要です。温度センサの起動待機が終了するまで、次のフロー 4. を実行しないでください。ユーザーは、TSNSTAT レジスタの TSNST ビットで、温度センサの起動が終了したかどうかを確認することができます。
4. 温度センサの測定を開始します。ソフトウェア・トリガまたはハードウェア・トリガによって、ADCD1 のスキャングループ 4 の AD 変換を開始します。
5. 結果を確認します。4 つ目の仮想チャンネルの AD 変換が終了すると、温度センサの測定が終了します。温度センサの測定結果は、4 つ目の仮想チャンネルに対応するデータレジスタに格納されます。TSN の測定結果から度への変換については、「**11.5 温度の計算**」を参照してください。
6. 温度センサの温度異常通知機能を使用する場合、ADCD1 の上限 / 下限エラーをクリアする必要があります。温度測定 A/D 変換の 1 回目にディスチャージを行うため、温度異常通知機能を使用した場合、下限エラーと判断され、ADCD1ULER 上限 / 下限エラーレジスタがセットされてしまいます。温度測定が終了後、必ず ADCD1 の上限 / 下限エラーをクリアしてください。

注 意

AN112 が変換中に、T&H グループ A/B のホールドトリガを入力した場合、変換中の仮想チャンネル動作が中断され、正しい温度測定結果が得られません。温度測定中に T&H グループ A/B のホールドトリガを入力しないでください。

11.4.2 温度異常通知機能

- ADCD1 の上限 / 下限チェック機能を使用し、設定した上限値と下限値を超えた場合、上限 / 下限エラーを ECM モジュールへ通知します。
- 温度異常通知機能を使用する場合、下記設定が必要です。
 - (1) ADCD1 の ADCD1ULLMTBR0 ~ 2 レジスタで温度上下限を設定します。
 - (2) ADCD1 の ADCD1ULLMSR4 レジスタでスキャングループ 4 の上限値 / 下限値テーブルを選択します。
 - (3) ADCD1 の ADCD1SFTCR セーフティ制御レジスタの ULEIE ビットを 1 に設定し、上限 / 下限エラー割り込みイネーブルを許可します。ただし、OWEIE、PEIE、IDEIE ビットを 0 に設定し、オーバーライトエラー割り込みイネーブル、パリティエラー割り込みイネーブル、ID エラー割り込みイネーブルを禁止にしてください。割り込みコントローラ (INTC) の ADCD1 エラー割り込み (INTADCD1ERR) を禁止してください。

11.4.3 自己診断機能

TSN0 は故障注入機能をサポートしています。TSN0DIAG レジスタの TSNSELDIAG ビットを 1 に設定することにより、強制的にエラーを発生させます。ADCD1 の AN112 チャネルの変化結果と期待値 (ゼロ) を比較することにより、TSN0 の動作を自己診断することができます。

TSN0 は、次に示すレジスタを設定することで自己診断機能を行います。

1. 温度センサチャンネルでの AD 変換を設定してください。操作は、通常の操作の場合と同じです。「11.4.1 温度測定」を参照してください。
2. 温度センサを有効にしてください。操作は、通常の操作の場合と同じです。「11.4.1 温度測定」を参照してください。
3. AD 変換開始する前に自己診断レジスタを設定してください。TSN0DIAG レジスタの TSNSELDIAG ビットに "1" にビットを設定してください。その後、TSOUT がローレベルに固定されます。
4. 温度センサの測定を開始してください。操作は、通常の操作の場合と同じです。「11.4.1 温度測定」を参照してください。
5. 結果を確認してください。操作は、通常の操作の場合と同じです。「11.4.1 温度測定」を参照してください。

11.5 温度の計算

TSN の測定結果から度への変換は、次式を用いて計算することができます。

$$T_{\text{current}} = \frac{150 - 25}{R_{150} - R_{25}} \times (R - R_{25}) + 25$$
$$R = \frac{A1VREFH}{5.0} \times R_{\text{current}}$$

R_{current} : 現在の温度用の AD 変換コード

T_{current} : 現在の温度

R₂₅ : 25 °Cでの参照 AD 変換コード

R₁₅₀ : 150 °Cでの参照 AD 変換コード

R₂₅ と R₁₅₀ は TSNREFD に格納されています。

注 意

R₂₅ と R₁₅₀ の値は、A1VREFH = 5.0V 時の測定結果が TSNREFD に格納されています。そのため、ご使用される電圧値に変換の上、計算式を適用いただきますようお願いいたします。

第12章 クロックコントローラ

12.1 特長

- メインクロック発振回路 (MainOSC) : 16 MHz
- 高速内蔵発振回路 (HS IntOSC) を内蔵
- クロックモニタ (CLMA0 - CLMA3) を搭載 (詳細は「**第31章 ファンクショナルセーフティ**」を参照)
- EXTCLKnO (n = 0, 1) 端子から、分周回路で設定した分周クロックを出力可能。
また、レジスタ設定により MainOSC、HS IntOSC、高速周辺クロックを選択することが可能

12.2 クロック種類

表 12.1 にクロック一覧、表 12.2 に各機能モジュールの動作クロック、図 12.1 にクロックコントローラのブロック図を示します。

表 12.1 クロック一覧

クロック名	シンボル	クロック周波数		備考
CPU クロック	CLK_CPU	160 MHz		
高速周辺クロック	CLK_HSB	80 MHz		
低速周辺クロック	CLK_LSB	40 MHz		
WDTA カウンタクロック	WDTCLKI	8 MHz	250kHz	OPWDMDS[0] による設定
メインクロック	clk_xincan	16MHz		
ADCD クロック	CLK_ADC	40MHz	20MHz	ADCKSC0CTL による設定

表 12.2 クロックと機能モジュール

クロック名	機能モジュール名
CPU クロック	CPU、INTC
高速周辺クロック	RS-CAN、FlexRay、CSIH、CSIG、RLIN3、RSENT、PSI5、SCI3、WDTA、TAUD、TAUJ、TSG3、TPBA、TAPA、ENCA、OSTM、ECM、DCRA、PIC、DMAC、DTS
低速周辺クロック	TSN、RS-CAN、ADCD
WDTA カウンタクロック	WDTA
メインクロック	RS-CAN
ADCD クロック	ADCD

各機能モジュールの章においてクロック名の記載がある場合は、表 12.2 のそれぞれのクロック名に対応した上記表 12.1 の周波数を表します。

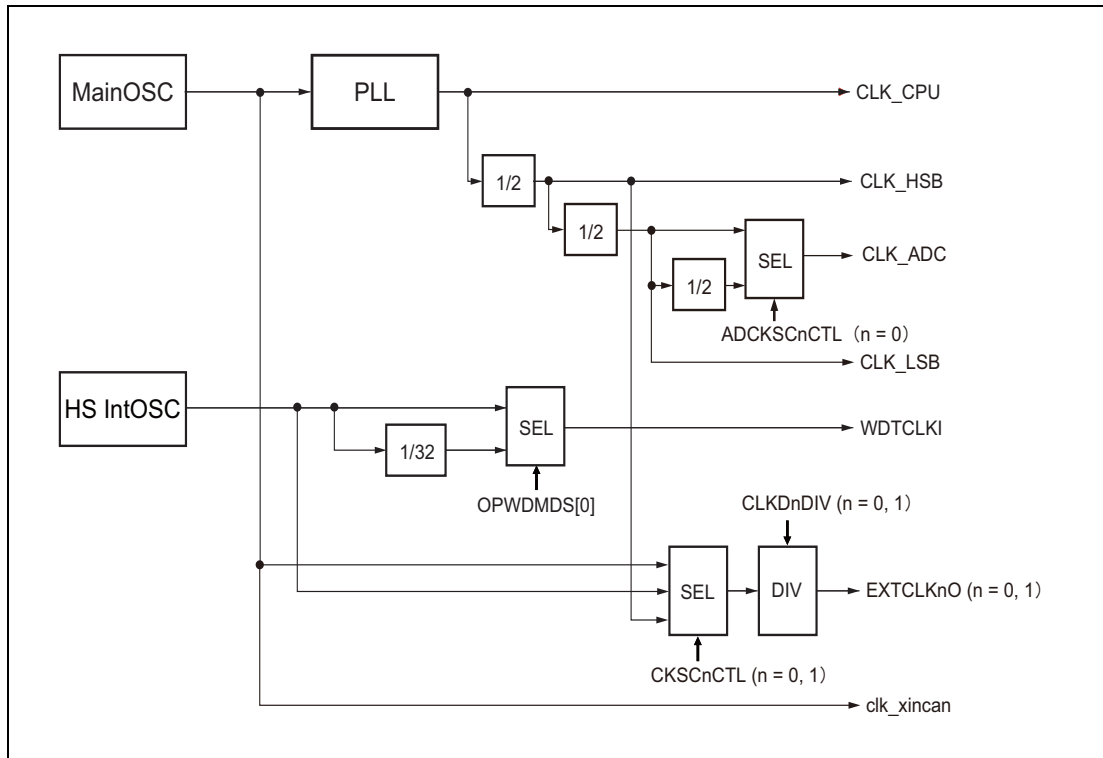


図 12.1 クロックコントローラのブロック図

12.3 入出力端子

クロックコントローラに関連する端子を表 12.3 に示します。

表 12.3 クロック発振関連端子

端子名	入出力	機能
X1	入力	メインクロック水晶振動子を接続
X2	出力	メインクロック水晶振動子を接続
EXTCLKnO	出力	MainOSC / HS IntOSC / 高速周辺クロックを分周したクロックを出力

12.3.1 水晶振動子の接続方法

図 12.2 に水晶振動子の接続方法を示します。当社で動作確認済みの水晶振動子（別途お問い合わせください）を使用した場合、基本的に負荷容量やダンピング抵抗などの外付け部品なしで発振が可能ですが、ご使用の環境で評価の上でお使いください。

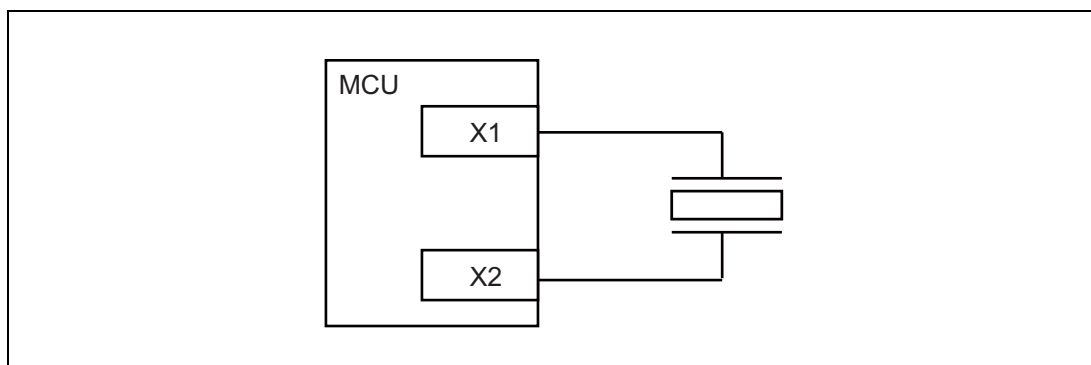


図 12.2 水晶振動子の接続例 1

12.3.2 ボード設計上の注意

図 12.3 に示すように、X1、X2 端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

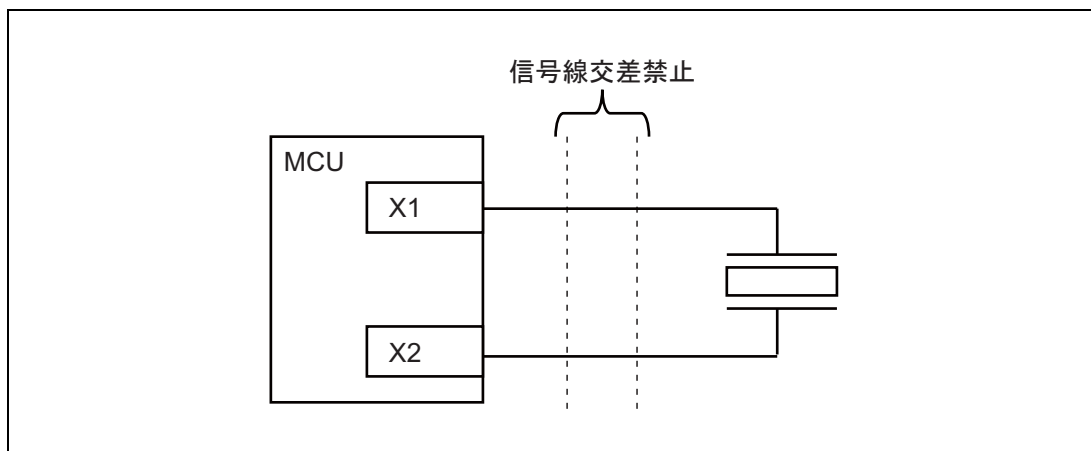


図 12.3 ボード設計上の注意

12.4 クロック出力機能

12.4.1 特長

- EXTCLKnO (n=0, 1) 端子より出力するクロックを選択する機能を提供します。
- クロック出力機能により、クロック信号を EXTCLKnO (n = 0, 1) 端子から出力できます。
- 出力される周波数は、分周回路で分周させることができます
- レジスタ設定により、MainOSC、HS IntOSC、高速周辺クロックを選択することができます。

12.4.2 構成

図 12.4 に、クロック出力機能ブロック図を記載します。

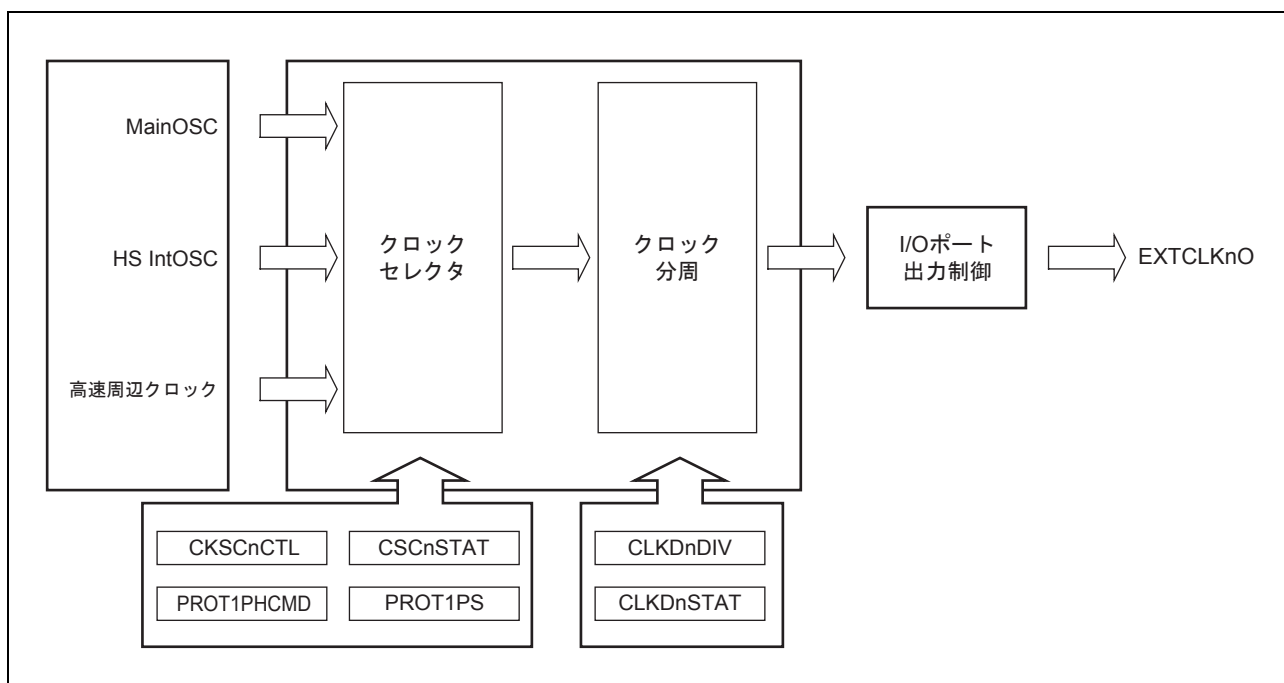


図 12.4 クロック出力機能ブロック図

12.4.3 レジスタ仕様

表 12.4 に、レジスタ仕様を記載します。

表 12.4 レジスタ仕様

レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
クロック選択制御レジスタ 0	CKSC0CTL	R/W	0000 0000 _H	FFF8 9080 _H	32
クロック選択ステータスレジスタ 0	CSC0STAT	R	0000 0000 _H	FFF8 9084 _H	32
クロック分周制御レジスタ 0	CLKD0DIV	R/W	0000 0000 _H	FFF8 9180 _H	32
クロック分周ステータスレジスタ 0	CLKD0STAT	R	0000 0001 _H	FFF8 9184 _H	32
クロック選択制御レジスタ 1	CKSC1CTL	R/W	0000 0000 _H	FFF8 90C0 _H	32
クロック選択ステータスレジスタ 1	CSC1STAT	R	0000 0000 _H	FFF8 90C4 _H	32
クロック分周制御レジスタ 1	CLKD1DIV	R/W	0000 0000 _H	FFF8 9188 _H	32
クロック分周ステータスレジスタ 1	CLKD1STAT	R	0000 0001 _H	FFF8 918C _H	32
A/D クロック選択制御レジスタ 0	ADCKSC0CTL	R/W	0000 0002 _H	FFF8 9200 _H	32
A/D クロック選択ステータスレジスタ 0	ADCSC0STAT	R	0000 0003 _H	FFF8 9204 _H	32

12.4.3.1 CKSCnCTL — クロック選択制御レジスタ n (n = 0, 1)

このレジスタへのライトは、保護コマンドレジスタ PROT1PHCMD を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス CKSC0CTL : FFF8 9080_H
CKSC1CTL : FFF8 90C0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CKCS1	CKCS0	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R

表 12.5 CKSCnCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2, 1	CKCS[1:0]	クロック選択 00: 出力なし (初期値) 01: MainOSC 10: HS IntOSC 11: 高速周辺クロック (80 MHz)
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

“CLKDnDIV レジスタが 0000 0000_H かつ CLKDnSTAT レジスタが 0000 0001_H” 以外のときに CKSCnCTL レジスタの書き換えは禁止です。

“CLKDnDIV=0000 0000_H かつ CLKDnSTAT=0000 0001_H” の時は EXTCLKnO 出力が停止しています。この状態で CKSCnCTL レジスタを書き換えてください。

12.4.3.2 CSCnSTAT — クロック選択ステータスレジスタ n (n = 0, 1)

アクセス 32ビット単位でリードのみ可能です。

アドレス CSC0STAT : FFF8 9084_H
CSC1STAT : FFF8 90C4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLK SEL1	CLK SEL0	CLK ACT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.6 CSCnSTAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2, 1	CLKSEL[1:0]	選択されているクロックを示します。 00: 出力なし (初期値) 01: MainOSC 10: HS IntOSC 11: 高速周辺クロック (80 MHz)
0	CLKACT	対応するクロックドメインのクロックがアクティブで、CLKSEL で選択されたクロックに同期していることを示します。 0: 非アクティブ 1: アクティブ

12.4.3.3 CLKDnDIV — クロック分周レジスタ n (n = 0, 1)

アクセス 32ビット単位でリード/ライト可能です。

アドレス CLKD0DIV : FFF8 9180_H
CLKD1DIV : FFF8 9188_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLKDn DIV8	CLKDn DIV7	CLKDn DIV6	CLKDn DIV5	CLKDn DIV4	CLKDn DIV3	CLKDn DIV2	CLKDn DIV1	CLKDn DIV0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.7 CLKDnDIV レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 0	CLKDnDIV[8:0]	EXTCLKnO 出力分周比選択 00000000: クロック出力停止 (ロウレベル) 00000001: EXTCLKnO = CLKIN/1 00000010: EXTCLKnO = CLKIN/2 00000011: EXTCLKnO = CLKIN/3 00000100: EXTCLKnO = CLKIN/4 00000101: EXTCLKnO = CLKIN/5 : 11111110: EXTCLKnO = CLKIN/510 11111111: EXTCLKnO = CLKIN/511

注 意

EXTCLKnO の周波数は 20 MHz 未満にしてください。

CLKIN は CKSCnCTL で選択されたクロックを示します。

CLKDnSYNC ビットが 0 の状態で、CLKDnDIV レジスタに書き込みすることは禁止です。

12.4.3.4 CLKDnSTAT — クロックステータスレジスタ n (n = 0, 1)

アクセス 32ビット単位でリードのみ可能です。

アドレス CLKD0STAT : FFF8 9184_H
CLKD1STAT : FFF8 918C_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKDn CLKACT	CLKDn SYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.8 CLKDnSTAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	CLKDn CLKACT	分周クロックアクティブ 0:EXTCLKnO 動作していない (EXTCLKnO はロウレベル) 1:EXTCLKnO 動作している
0	CLKDn SYNC	分周クロック同期 0:EXTCLKnO 出力は CLKDnDIV レジスタの設定に対応していない 1:EXTCLKnO 出力は CLKDnDIV レジスタの設定に対応している

12.4.3.5 ADCKSC0CTL — A/D クロック選択制御レジスタ 0

このレジスタへのライトは、保護コマンドレジスタ PROT1PHCMD を使用した特定の命令シーケンスによって保護されています。

詳細は「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 9200_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AD CKCS1	AD CKCS0	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R

表 12.9 ADCKSC0CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2、1	ADCKCS[1:0]	クロック選択 00：設定禁止 01：CLK_LSB（初期値） 10：CLK_LSB/2 11：設定禁止
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

A/D 変換機能を使用中にクロック選択を変更しないでください。

12.4.3.6 ADCSC0STAT — A/D クロック選択ステータスレジスタ 0

アクセス 32ビット単位でリードのみ可能です。

アドレス FFF8 9204_H

リセット後の値 0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ADCLK SEL1	ADCLK SEL0	ADCLK ACT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.10 ADCSC0STAT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2, 1	ADCLKSEL[1:0]	選択されているクロックを示します。 01 : CLK_LSB (初期値) 10 : CLK_LSB/2
0	ADCLKACT	対応するクロックドメインのクロックがアクティブで、ADCLKSEL で選択されたクロックに同期していることを示します。 0 : 非アクティブ 1 : アクティブ

12.5 動作説明

12.5.1 EXTCLKnO クロック分周機能使用時の動作説明

EXTCLKnO 出力を所定の設定値で出力するため、下記手順にてソースクロック選択設定及び分周比選択設定を行ってください。

- ソースクロック選択手順

1. EXTCLKnO 出力が停止状態あることを確認する
 - CLKDnDIV = 0000 0000_H であることかつ
 - CLKDnSTAT = 0000 0001_H であること
(CLKDnSTAT.CLKDnCLKACT = 0, CLKDnSTAT.CLKDnSYNC = 1)
2. CKSCnCTL.CKCS[1:0] に選択クロックを設定する
3. CSCnSTAT レジスタをリードし、選択クロックがアクティブであることを確認する
 - CSCnSTAT.CLKSEL[1 : 0] = CKSCnCTL.CKCS[1 : 0] を確認する
 - CSCnSTAT.CLKACT = 1 を確認する

- クロック分周比選択手順

1. CLKDnSTAT.CLKDnSYNC = 1 であることを確認する
2. CLKDnDIV にて EXTCLKnO 出力分周比選択を設定する
3. CLKDnSTAT.CLKDnSYNC = 1 であることを確認する

- ソースクロック選択の設定値変更手順（非選択設定はこの手順に含まれる）

1. 上記クロック分周比選択手順に沿い、CLKDnDIV = 0000 0000_H（クロック出力停止）を設定する
2. 上記ソースクロック選択手順に沿い、CKSCnCTL.CKCS[1 : 0] に変更後の選択クロックを設定する

第13章 クロック同期シリアルインタフェース G (CSIG)

本章では、クロック同期シリアルインタフェース G (CSIG) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、CSIG の機能、レジスタについて説明します。

13.1 RH850/P1x CSIG の特長

13.1.1 ユニット数

本製品は、以下のユニット数の CSIG を搭載しています。

CSIG 1 ユニット当たり 1 チャンネルのインタフェースを持っています。
本章のユニット数とチャンネル数は同義です。

表 13.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	1	
名称	CSIG _n (n = 0)	

備考 チャンネル名はユニット名と同じです。

表 13.2 添字

添字	意味
n	本章では、CSIG の各ユニットを「n」(n = 0) で識別します。たとえば、CSIG _n 制御レジスタ 0 は CSIG _n CTL0 と記述します。

13.1.2 レジスタベースアドレス

CSIG のベースアドレスを以下の表に示します。

CSIG のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 13.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CSIG0_base>	FFD8 A000 _H

13.1.3 クロック供給

CSIG のクロック供給を以下に示します。

表 13.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
CSIG _n	PCLK	高速周辺クロック CLK_HSB

13.1.4 割り込み要求

CSIG の割り込み要求を以下の表に示します。

表 13.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
CSIG0			
INTCSIG0IC	通信ステータス割り込み	175	86
INTCSIG0IR	受信ステータス割り込み	176	85
INTCSIG0IRE	受信エラー割り込み	174	—

13.1.5 リセット要因

CSIG のリセット要因を以下に示します。CSIG は以下に示すリセット要因で初期化されます。

表 13.6 リセット要因

ユニット名	リセット要因
CSIGn	リセットコントローラ SYSRES

13.1.6 外部入出力信号

CSIG の外部入出力信号を以下の表に示します。

表 13.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
CSIG0		
CSIGTSCK	シリアルクロック信号入力	CSIG0SCI
	シリアルクロック信号出力	CSIG0SCO
CSIGTSI	シリアルデータ入力信号	CSIG0SI
CSIGTSO	シリアルデータ出力信号	CSIG0SO
CSIGTRYI	レディ/ビジー入力信号	CSIG0RYI
CSIGTRYO	レディ/ビジー出力信号	CSIG0RYO

13.1.7 データ整合性チェック

CSIGnSO の兼用ポートのデータ整合性チェックの対応を以下の表に示します。データ整合性チェックの詳細は、「13.5.10 エラー検出」を参照してください。

表 13.8 データ整合性チェックの対象端子

ユニット信号名	ポート端子名	兼用機能	データ整合性チェック
CSIG0			
CSIGTSO	P3_1 ^{注1}	ALT-OUT6	対応
	P5_1	ALT-OUT1	対応

注 1. 144pin 版で使用可能

13.1.8 端子名とポート名の組み合わせ

CSIG の端子名とポート名の組み合わせを以下に示します。

表 13.9 端子名とポート名の組み合わせ

機能	端子名	ポート名		
		グループ1	グループ2	グループ3
CSIG0	CSIG0RY1	P3_5	—	—
	CSIG0RY0	P3_4	—	—
	CSIG0SCI/ CSIG0SCO	P3_2 ^{注1}	P5_2 ^{注1}	P5_4
	CSIG0SI	P3_0 ^{注1}	P5_0	P5_0
	CSIG0SO	P3_1 ^{注1}	P5_1	P5_1

注 1. 144pin 版で使用可能

13.2 概要

13.2.1 機能概要

- 3ワイヤシリアル同期データ転送
- マスタモードとスレーブモードを選択可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数を調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送速度：
 - マスタモード：8 MHz
 - スレーブモード：6.6 MHz
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 7ビットから16ビットまでの転送データ長を1ビット単位で選択可能
- 16ビットを上回るデータを転送するための EDL (Extended Data Length：拡張データ長) 機能を内蔵
- 以下の3つの転送モードを選択可能：
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出 (データ整合性チェック、パリティ、オーバラン) を内蔵
- 3個の割り込み要求信号 (INTCSIG0IC, INTCSIG0IR, INTCSIG0IRE)
- 自己テスト用の LBM (ループバックモード) 機能を内蔵

13.2.2 機能概要説明

CSIG では以下の3つの信号を通信に使用します。

- 送信クロック CSIGTCK (マスタモードでは出力、スレーブモードでは入力)
- シリアルデータ出力信号 CSIGTSO
- シリアルデータ入力信号 CSIGTSI

CSIGnCTL2 レジスタによって、CSIG をマスタモードまたはスレーブモードのどちらかで動作させるかを選択します。

そのほかに、外部制御とモニタ用に利用できる信号があります。

- CSIGTRYO：レディ/ビジー出力信号 (ハンドシェイク信号)
- CSIGTRYI：レディ/ビジー入力信号 (ハンドシェイク信号)

データ送信は、1ビットずつシリアルに行われ、送信クロックに同期します。

CSIG の設定で重要な役割を果たすレジスタを以下の表に示します。

表 13.10 CSIG の主なレジスタ

レジスタ	機能
CSIGnCTL0	動作クロックを供給または停止にし、データ送信とデータ受信を許可または禁止します。
CSIGnCTL1	割り込みのタイミング、拡張データ長、データ整合性チェック、ループバックモード、ハンドシェークなどのオプション機能を制御します。
CSIGnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵のポーレートジェネレータ (BRG) の転送クロック周波数を選択します。
CSIGnCFG0	通信プロトコルを設定します。

13.2.3 ブロック図

以下のブロック図は CSIG の主要なコンポーネントを示しています。

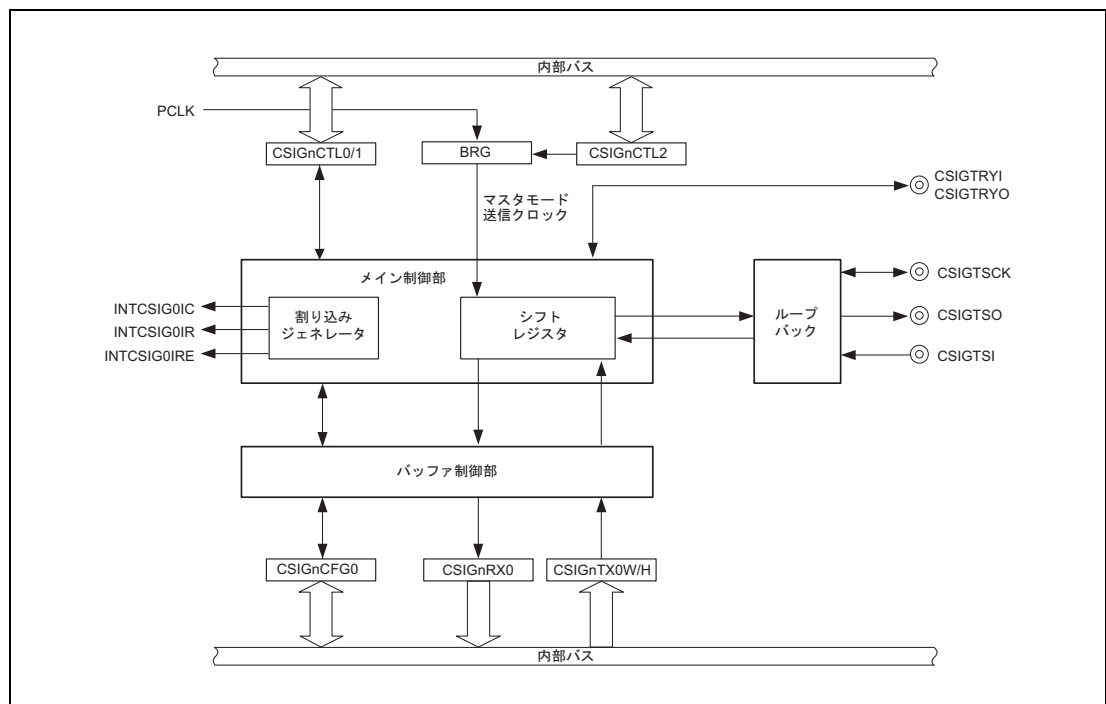


図 13.1 CSIG のブロック図

マスタモードでは、送信クロック CSIGTSCK が内蔵のポーレートジェネレータ (BRG) によって発生します。スレーブモードでは、外部ソースから送信クロックが供給されます。

13.3 レジスタ

13.3.1 レジスタ一覧

CSIG のレジスタ一覧を以下の表に示します。

CSIGn のベースアドレス <CSIGn_base> は、「13.1.2 レジスタベースアドレス」で定義されています。

表 13.11 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CSIGn	CSIGn 制御レジスタ 0	CSIGnCTL0	<CSIGn_base> + 0000 _H
CSIGn	CSIGn 制御レジスタ 1	CSIGnCTL1	<CSIGn_base> + 0010 _H
CSIGn	CSIGn 制御レジスタ 2	CSIGnCTL2	<CSIGn_base> + 0014 _H
CSIGn	CSIGn ステータスレジスタ 0	CSIGnSTR0	<CSIGn_base> + 0004 _H
CSIGn	CSIGn ステータスクリアレジスタ 0	CSIGnSTCR0	<CSIGn_base> + 0008 _H
CSIGn	CSIGn 受信専用モード制御レジスタ 0	CSIGnBCTL0	<CSIGn_base> + 1000 _H
CSIGn	CSIGn コンフィグレーションレジスタ 0	CSIGnCFG0	<CSIGn_base> + 1010 _H
CSIGn	ワードアクセス用 CSIGn 送信レジスタ 0	CSIGnTX0W	<CSIGn_base> + 1004 _H
CSIGn	ハーフワードアクセス用 CSIGn 送信レジスタ 0	CSIGnTX0H	<CSIGn_base> + 1008 _H
CSIGn	CSIGn 受信レジスタ 0	CSIGnRX0	<CSIGn_base> + 100C _H

13.3.2 CSIGNCTL0 — CSIGN 制御レジスタ 0

本レジスタは、動作クロックの制御と送信／受信の許可／禁止に使用されます。

アクセス 8ビット単位でリード／ライト可能です。

アドレス <CSIGN_base> + 0000_H

リセット後の値 00_H 本レジスタは各種リセットにより初期化されます。

ビット	7	6	5	4	3	2	1	0
	CSIGNPWR	CSIGNTXE	CSIGNRXE	—	—	—	—	CSIGNMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 13.12 CSIGNCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIGNPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIGNPWR を 0 にクリアすると、内部回路がリセットされ、動作が停止し、CSIG がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIGNPWR をクリアした場合、実行中の通信は中断されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIGNTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIGNRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。
4 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CSIGNMBS	CSIG を使用する場合は、このビットには、必ず“1”を設定してください。(リセット後の値“0”)

注 意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.3 CSIGNCTL1 — CSIGN 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェイク機能を有効または無効する機能も持っています。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 0010_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIGNCKR	CSIGNSLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIGNEDLE	—	CSIGNDCS	—	CSIGNLBM	CSIGNSIT	CSIGNHSE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R

表 13.13 CSIGNCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	CSIGNCKR	CSIGTSCK クロック反転機能 0: CSIGTSCK のデフォルトレベルはハイレベル 1: CSIGTSCK のデフォルトレベルはロウレベル CSIGNCKR ビットは CSIGNCFG0.CSIGNDAP ビットと組み合わせて使用します。詳細については、「13.3.8 CSIGNCFG0 — CSIGN コンフィグレーションレジスタ 0」を参照してください。
16	CSIGNSLIT	割り込み INTCSIG0IC のタイミングを選択します。 0: 通常の割り込みのタイミング (転送後に割り込みを発生します)。 1: CSIGNTX0W/H が空になり、次のデータを格納できる状態になったときに割り込みを発生します。 詳細については、「13.4.2 INTCSIG0IC (通信ステータス割り込み)」を参照してください。
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	CSIGNEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0: 拡張データ長モードを無効にします。 1: 拡張データ長モードを有効にします。 詳細については、「13.5.5.2 データ長が拡張されている場合のデータ長の選択」を参照してください。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSIGNDCS	データ整合性チェックを有効または無効にします。 0: データ整合性チェックを無効にします。 1: データ整合性チェックを有効にします。 詳細については、「13.5.10.1 データ整合性チェック」を参照してください。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 13.13 CSIGnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	CSIGnLBM	ループバックモード (LBM) を制御します。 0: ループバックモードを非アクティブにします。 1: ループバックモードをアクティブにします。 ループバックモードはマスタモードでのみ設定可能です。スレーブモードでは0に設定してください。 詳細については、「13.5.9 ループバックモード」を参照してください。
2	CSIGnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、「13.4.1 割り込みの遅延」を参照してください。
1	CSIGnHSE	ハンドシェーク機能を有効または無効にします。 0: ハンドシェーク機能を無効にします。 1: ハンドシェーク機能を有効にします。 詳細については、「13.5.8 ハンドシェーク機能」を参照してください。
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.4 CSIGnCTL2 — CSIGn 制御レジスタ 2

本レジスタでは通信クロックを選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIGn_base> + 0014_H

リセット後の値 E000_H 本レジスタは各種リセットにより初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnPRS[2:0]			—	CSIGnBRS[11:0]											
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.14 CSIGnCTL2 レジスタの内容

ビット位置	ビット名	機能																																				
15 ~ 13	CSIGnPRS [2:0]	<p>プリスケアラの値を選択します。</p> <table border="1"> <thead> <tr> <th>CSIGn PRS2</th> <th>CSIGn PRS1</th> <th>CSIGn PRS0</th> <th>プリスケアラの出力 (PRSOUT)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PCLK (マスタモード)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>PCLK / 2 (マスタモード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>PCLK / 4 (マスタモード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>PCLK / 8 (マスタモード)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>PCLK / 16 (マスタモード)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>PCLK / 32 (マスタモード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>PCLK / 64 (マスタモード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>CSIGTSCK 経由の外部クロック (スレーブモード)</td> </tr> </tbody> </table>	CSIGn PRS2	CSIGn PRS1	CSIGn PRS0	プリスケアラの出力 (PRSOUT)	0	0	0	PCLK (マスタモード)	0	0	1	PCLK / 2 (マスタモード)	0	1	0	PCLK / 4 (マスタモード)	0	1	1	PCLK / 8 (マスタモード)	1	0	0	PCLK / 16 (マスタモード)	1	0	1	PCLK / 32 (マスタモード)	1	1	0	PCLK / 64 (マスタモード)	1	1	1	CSIGTSCK 経由の外部クロック (スレーブモード)
CSIGn PRS2	CSIGn PRS1	CSIGn PRS0	プリスケアラの出力 (PRSOUT)																																			
0	0	0	PCLK (マスタモード)																																			
0	0	1	PCLK / 2 (マスタモード)																																			
0	1	0	PCLK / 4 (マスタモード)																																			
0	1	1	PCLK / 8 (マスタモード)																																			
1	0	0	PCLK / 16 (マスタモード)																																			
1	0	1	PCLK / 32 (マスタモード)																																			
1	1	0	PCLK / 64 (マスタモード)																																			
1	1	1	CSIGTSCK 経由の外部クロック (スレーブモード)																																			
12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				
11 ~ 0	CSIGnBRS [11:0]	<p>ポーレートを選擇します。 CSIGnBRS[11:0] ビットの設定はマスタモードでのみ有効となり、スレーブモードでは無視されます。</p> <table border="1"> <thead> <tr> <th>CSIGnBRS [11:0]</th> <th>CSIGTSCK のポーレート</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>BRG の停止</td> </tr> <tr> <td>1</td> <td>PCLK / (2^α×1×2)</td> </tr> <tr> <td>2</td> <td>PCLK / (2^α×2×2)</td> </tr> <tr> <td>3</td> <td>PCLK / (2^α×3×2)</td> </tr> <tr> <td>4</td> <td>PCLK / (2^α×4×2)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>4095</td> <td>PCLK / (2^α×4095×2)</td> </tr> </tbody> </table> <p>備考 α = 0 ~ 6 : CSIGnPRS[2:0] で設定した値</p>	CSIGnBRS [11:0]	CSIGTSCK のポーレート	0	BRG の停止	1	PCLK / (2 ^α ×1×2)	2	PCLK / (2 ^α ×2×2)	3	PCLK / (2 ^α ×3×2)	4	PCLK / (2 ^α ×4×2)	4095	PCLK / (2 ^α ×4095×2)																				
CSIGnBRS [11:0]	CSIGTSCK のポーレート																																					
0	BRG の停止																																					
1	PCLK / (2 ^α ×1×2)																																					
2	PCLK / (2 ^α ×2×2)																																					
3	PCLK / (2 ^α ×3×2)																																					
4	PCLK / (2 ^α ×4×2)																																					
...	...																																					
4095	PCLK / (2 ^α ×4095×2)																																					

注意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.5 CSIGNSTR0 — CSIGN ステータスレジスタ 0

本レジスタは CSIG の状態を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <CSIGN_base> + 0004_H

リセット後の値 0000 0010_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIGN TSF	—	—	—	CSIGN DCE	—	CSIGN PE	CSIGN OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.15 CSIGNSTR0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																		
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。																		
7	CSIGNTSF	転送ステータスフラグ 0 : アイドル状態 1 : 通信中または通信の準備中 このビットがセットまたはクリアされるタイミングを以下に示します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>マスタモード</th> <th>セットされるタイミング</th> <th>クリアされるタイミング</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタへの書き込み</td> <td rowspan="3">最後のシリアルクロックのエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>受信レジスタの読み込み</td> </tr> </tbody> </table> <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>スレーブモード</th> <th>セットされるタイミング</th> <th>クリアされるタイミング</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="2">送信レジスタへの書き込み</td> <td rowspan="3">最後のシリアルクロックのエッジから半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIGNTSCK 入力タイミング</td> </tr> </tbody> </table>	マスタモード	セットされるタイミング	クリアされるタイミング	送信専用モード	送信レジスタへの書き込み	最後のシリアルクロックのエッジから半クロック以内	送受信モード	受信専用モード	受信レジスタの読み込み	スレーブモード	セットされるタイミング	クリアされるタイミング	送信専用モード	送信レジスタへの書き込み	最後のシリアルクロックのエッジから半クロック以内	送受信モード	受信専用モード	CSIGNTSCK 入力タイミング
マスタモード	セットされるタイミング	クリアされるタイミング																		
送信専用モード	送信レジスタへの書き込み	最後のシリアルクロックのエッジから半クロック以内																		
送受信モード																				
受信専用モード	受信レジスタの読み込み																			
スレーブモード	セットされるタイミング	クリアされるタイミング																		
送信専用モード	送信レジスタへの書き込み	最後のシリアルクロックのエッジから半クロック以内																		
送受信モード																				
受信専用モード	CSIGNTSCK 入力タイミング																			
6 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。																		
3	CSIGNDCE	データ整合性チェックエラーフラグ 0 : データ整合性チェックエラーが検出されていません。 1 : データ整合性チェックエラーが検出されています。 このビットは CSIGNSTCR0.CSIGNDCEC に 1 を書き込むことによってクリアされます。ただし、データ整合性チェックエラーの検出によるセット (1) と、CSIGNSTCR0.CSIGNDCEC によるクリア (0) が同時に発生した場合、データ整合性チェックエラーの検出によるセット (1) を優先します。このビットは CSIGNCTL0.CSIGNPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。																		
2	予約ビット	リードした場合はリセット後の値が読めます。																		

表 13.15 CSIGnSTR0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	CSIGnPE	<p>パリティエラーフラグ</p> <p>0: パリティエラーが検出されていません。</p> <p>1: パリティエラーが検出されています。</p> <p>このビットは CSIGnSTCR0.CSIGnPEC に 1 を書き込むことによってクリアされます。ただし、パリティエラーの検出によるセット (1) と、CSIGnSTCR0.CSIGnPEC によるクリア (0) が同時に発生した場合、パリティエラーの検出によるセット (1) を優先します。</p> <p>このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。</p>
0	CSIGnOVE	<p>オーバランエラーフラグ</p> <p>0: オーバランエラーが検出されていません。</p> <p>1: オーバランエラーが検出されています。</p> <p>このビットは CSIGnSTCR0.CSIGnOVEC に 1 を書き込むことによってクリアされます。ただし、オーバランエラーの検出によるセット (1) と、CSIGnSTCR0.CSIGnOVEC によるクリア (0) が同時に発生した場合、オーバランエラーの検出によるセット (1) を優先します。</p> <p>このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。</p>

注 意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.6 CSIGnSTCR0 — CSIGn ステータスクリアレジスタ 0

本レジスタは CSIGnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス 16 ビット単位でリード/ライト可能です。
リードを行うと、常に値 0000_H が返されます。

アドレス <CSIGn_base> + 0008_H

リセット後の値 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CSIGn DCEC	—	CSIGn PEC	CSIGn OVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W

表 13.16 CSIGnSTCR0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CSIGnDCEC	データ整合性チェックエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。 1: データ整合性チェックエラーフラグ (CSIGnSTR0.CSIGnDCE) をクリアします。 読み出し値は常に 0 になります。
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIGnPEC	パリティエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。 1: パリティエラーフラグ (CSIGnSTR0.CSIGnPE) をクリアします。 読み出し値は常に 0 になります。
0	CSIGnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。 1: オーバランエラーフラグ (CSIGnSTR0.CSIGnOVE) をクリアします。 読み出し値は常に 0 になります。

13.3.7 CSIGNBCTL0 — CSIGN 受信専用モード制御レジスタ 0

本レジスタは受信専用モードでのデータ転送を許可または禁止します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1000_H

リセット後の値 01_H 本レジスタは各種リセットにより初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CSIGNSCE
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R/W

表 13.17 CSIGNBCTL0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CSIGNSCE	CSIGNRX0 を読み出すことで、次回のデータ受信の開始を許可または禁止します。 0 : 次回の受信を禁止します。 1 : 次回の受信を許可します。 詳細については、「13.5.4.2 受信専用モード」を参照してください。

注 意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.8 CSIGNCFG0 — CSIGN コンフィグレーションレジスタ 0

本レジスタでは、データ長、パリティ、転送方向、クロック位相、データ位相などの通信プロトコルを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1010_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGNPS[1:0]	CSIGNDLS[3:0]				—	—	—	—	—	—	CSIGNDIR	—	CSIGNDAP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.18 CSIGNCFG0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																				
31, 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
29, 28	CSIGNPS[1:0]	パリティを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CSIGNPS1</th> <th>CSIGNPS0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIGNPS1	CSIGNPS0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIGNPS1	CSIGNPS0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27 ~ 24	CSIGNDLS[3:0]	データ長を指定します。 0: データ長を 16 ビットにします。 1: データ長を 1 ビットにします。 2: データ長を 2 ビットにします。 ... 15: データ長を 15 ビットにします。 注意 拡張データ長モードが無効 (CSIGNCTL1.CSIGNEDLE ビット = 0) のときは CSIGNCFG0.CSIGNDLS[3:0] ビットを 1 ~ 6 の値に設定しないでください。また、データ長が 7 ビット未満のデータを 2 つ続けて送信することは禁止されています。																				
23 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
18	CSIGNDIR	シリアルデータ方向を選択します。 0: MSB ファーストでデータを送受信します。 1: LSB ファーストでデータを送受信します。																				
17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				

表 13.18 CSIGnCFG0 レジスタの内容 (2/2)

ビット位置	ビット名	機能															
16	CSIGnDAP	<p>データ位相選択ビット CSIGnCTL1.CSIGnCKR ビットと合わせ、データ位相を選択します。 クロック/データ位相については、下表を参照ください。</p> <table border="1"> <thead> <tr> <th>CSIGnCTL1.CSIGnCKR</th> <th>CSIGnDAP</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table>	CSIGnCTL1.CSIGnCKR	CSIGnDAP	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1	
CSIGnCTL1.CSIGnCKR	CSIGnDAP	クロック位相とデータ位相の選択															
0	0																
0	1																
1	0																
1	1																
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															

注 意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.9 CSIGnTX0W — ワードアクセス用 CSIGn 送信レジスタ 0

本レジスタは送信データを保存します。さらに、拡張データ長を指定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIGn_base> + 1004_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGn EDL	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnTX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.19 CSIGnTX0W レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	CSIGnEDL	拡張データ長を指定します。 0: 通常の動作 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットデータとして送信されます。 このビットは CSIGnCTL1.CSIGnEDLE = 1 のときにのみセットできます。
28 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	CSIGnTX[15:0]	送信データ

注 意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.10 CSIGNTX0H — ハーフワードアクセス用 CSIGN 送信レジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIGNTX0W レジスタのビット 15～0 と同じです。

転送には、CSIGNTX0W の上位 16 ビットの設定が適用されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIGN_base> + 1008_H

リセット後の値 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGNTX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.20 CSIGNTX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIGNTX[15:0]	送信データ

注意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.11 CSIGNRX0 — CSIGN 受信レジスタ 0

本レジスタは受信データを保存します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <CSIGN_base> + 100C_H

リセット後の値 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGNRX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.21 CSIGNRX0 レジスタの内容

ビット位置	ビット名	機能
15～0	CSIGNRX [15:0]	受信データ

備考

本レジスタは、INTCSIG0IR 割り込み発生時に受信データを保存します。本レジスタに保存する受信データは、次の INTCSIG0IR 割り込み発生時、次の受信データに上書きされるため、INTCSIG0IR 割り込みが発生する前までに読み出してください。

注意

本レジスタの設定では、「表 13.22 レジスタ設定上の注意事項」を参照してください。

13.3.12 注意事項の一覧

表 13.22 レジスタ設定上の注意事項

レジスタ名	ビット名	内容
CSIGnCTL0	CSIGnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIGnCTL0	CSIGnTXE CSIGnRXE	CSIGnCTL0.CSIGnPWR = 0 の間、これらのビットのいずれも変更しないでください。(これらのビットは、CSIGnCTL0.CSIGnPWR ビットと同時に変更することができます。) 実行中の通信が中断されると、設定した動作が保証されないため、CSIGnSTR0.CSIGnTSF = 1 の間、これらのビットを変更しないでください。
CSIGnCTL0	CSIGnMBS	このビットの変更は、CSIGnCTL0.CSIGnPWR ビットと同時に行ってください。
CSIGnCTL1	CSIGnCKR	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnCTL1	CSIGnSLIT CSIGnEDLE CSIGnDCS CSIGnHSE	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnCTL1	CSIGnLBM	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 本ビットの設定は、スレーブモードでは禁止されます。
CSIGnCTL1	CSIGnSIT	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 このビットはマスターモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIGnCTL2	CSIGnPRS[2:0] CSIGnBRS[11:0]	このビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。 最大ボーレートの設定は、以下のとおりです。 <ul style="list-style-type: none"> • マスターモード：PCLK/4 • スレーブモード：PCLK/6
CSIGnSTR0	CSIGnTSF	書き込みは禁止です。読み出しのみ有効です。
CSIGnSTR0	CSIGnDCE CSIGnPE CSIGnOVE	書き込みは禁止です。読み出しのみ有効です。 このビットは、CSIGnCTL0.CSIGnPWR=0 → 1 または、CSIGnCTL0.CSIGnPWR=1 → 0 のときに初期化されます。
CSIGnBCTL0	CSIGnSCE	次回の受信を停止するためには以下のタイミングで CSIGnSCE ビットを制御する必要があります。 <ul style="list-style-type: none"> • CSIGnSLIT = 0 の場合、最後のデータ受信 (CSIGnRX0 レジスタ読み出し) 前にこのビットをクリアしてください。 • CSIGnSLIT = 1 の場合、最後の1つ前のデータ受信 (CSIGnRX0 レジスタ読み出し) 直後 (最後の受信完了割り込み CSIGnTIR の1CSIGnTSCK クロック前まで) に、このビットをクリアしてください。
CSIGnCFG0	CSIGnPS[1:0] CSIGnDLS[3:0] CSIGnDIR CSIGnDAP	これらのビットの値の変更は、CSIGnCTL0.CSIGnPWR = 0 のときのみ許可されます。
CSIGnTX0W	CSIGnEDL	このビットは、CSIGnCTL1.CSIGnEDLE = 1 のときのみ、有効です。
CSIGnTX0W CSIGnTX0H		CSIGnCTL0.CSIGnTXE = CSIGnCTL0.CSIGnRXE = 0 のとき、これらのビットのライトアクセスすることは禁止です。
CSIGnRX0		CSIGnCTL0.CSIGnPWR = 0 → 1、または CSIGnCTL0.CSIGnPWR = 1 → 0 のときに初期化されます。 CSIGnCTL0.CSIGnTXE = CSIGnCTL0.CSIGnRXE = 0 のとき、これらのビットのリードアクセスすることは禁止です。

13.4 割り込み要因

CSIG は以下の割り込みを発生することができます。

- INTCSIG0IC (通信ステータス割り込み)
- INTCSIG0IR (受信ステータス割り込み)
- INTCSIG0IRE (通信エラー割り込み)

13.4.1 割り込みの遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIGT_{SCK} の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、ビット CSIGnCTL1.CSIGnSIT = 1 に設定します (スレーブモードでは CSIGnSIT ビットの設定は無効です)。

CSIGnCTL1.CSIGnSIT = 1 (割り込み遅延有効)、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0 (通常のクロック位相とデータ位相)、CSIGnCFG0.CSIGnDLS[3:0] = 1000_B (データ長 8 ビット) の設定で割り込み遅延機能を使用する例を以下の図に示します。

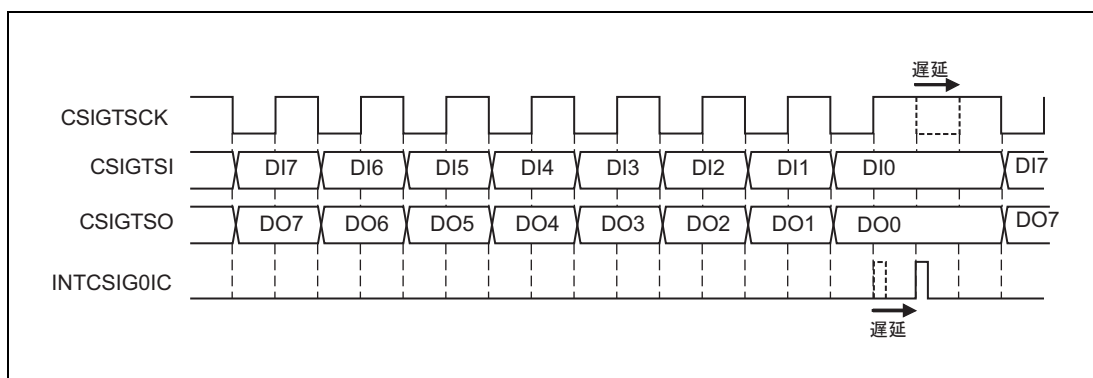


図 13.2 割り込み遅延機能 (CSIGnCTL1.CSIGnSIT = 1)

13.4.2 INTCSIG0IC (通信ステータス割り込み)

この割り込みは、通常、データ転送が行われるたびに発生します。この割り込みを利用して、CSIGNTX0W レジスタまたは CSIGNTX0H レジスタへ新しい送信データを書き込むための DMA をトリガすることができます。

以下の例では、マスタモード、CSIGNCTL1.CSIGNSIT = 0 (割り込み遅延なし)、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相)、CSIGNCFG0.CSIGNDLS[3:0] = 1000_B (データ長 8 ビット)、CSIGNCTL1.CSIGNSLIT = 0 (通常の割り込みタイミング) を想定しています。

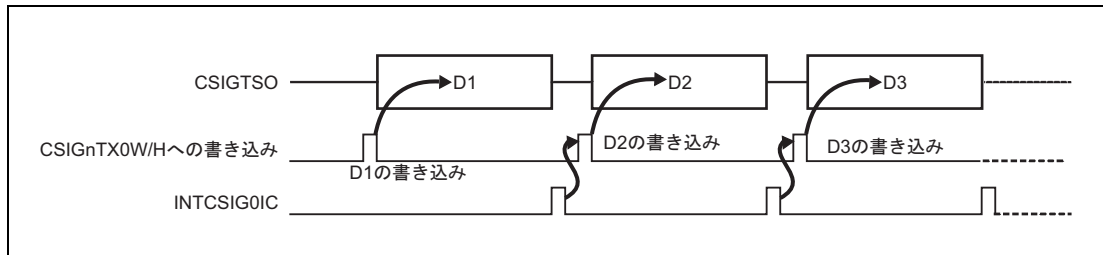


図 13.3 通信終了後の INTCSIG0IC の発生 (CSIGNCTL1.CSIGNSLIT = 0)

ただし、CSIGNTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INTCSIG0IC を発生するように設定することもできます。そうするには、CSIGNCTL1.CSIGNSLIT = 1 に設定します。

このモードを利用すれば、データ転送の効率を高めることができます。

以下の図にその効果を示します。

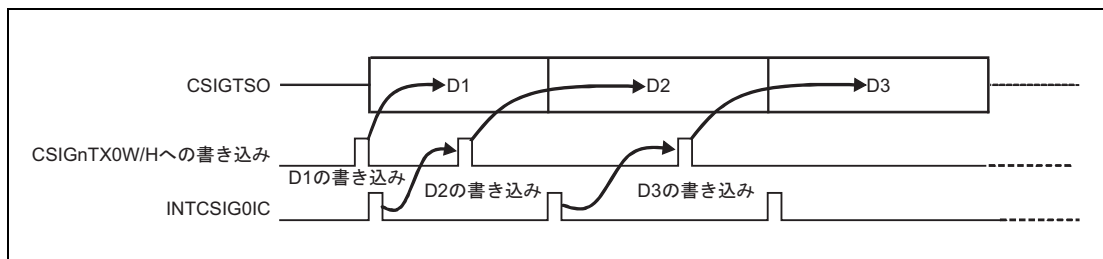


図 13.4 通信開始時の INTCSIG0IC の発生

13.4.3 INTCSIG0IR (受信ステータス割り込み)

この割り込みは、受信専用モードまたは送受信モードで、データが受信され、そのデータが受信レジスタで利用可能になると発生します。この割り込みを利用して、CSIGNRX0 レジスタから受信データを読み出すための DMA をトリガすることができます。

以下の図の例では、マスタモード、CSIGNCTL1.CSIGNSIT = 0 (割り込み遅延なし)、CSIGNCTL1.CSIGNCKR = 0、CSIGNCFG0.CSIGNDAP = 0 (通常のクロック位相とデータ位相)、CSIGNCFG0.CSIGNDLS[3:0] = 1000_B (データ長 8 ビット) を想定しています。

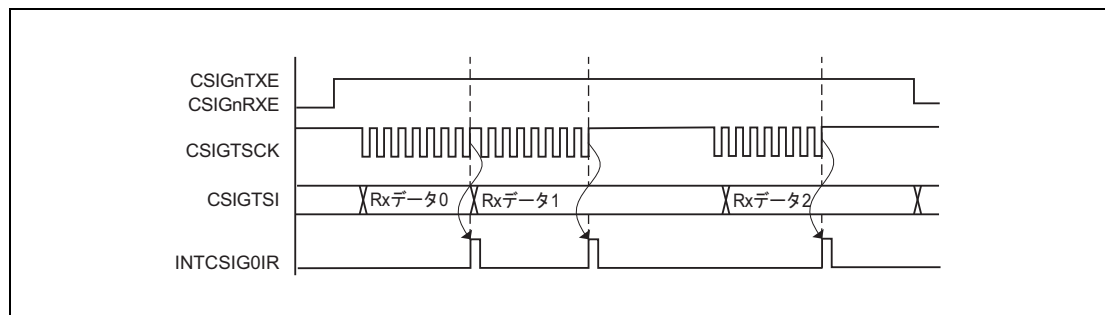


図 13.5 INTCSIG0IR の発生

13.4.4 INTCSIG0IRE (通信エラー割り込み)

この割り込みはエラーが検出されるたびに発生します。

表 13.23 データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性 チェックエラー	割り込みが発生しても通信は継続します。	—
オーバランエラー ^{注1}	スレーブモードで CSIGNCTL1.CSIGNHSE = 0 (ハンドシェークなし) の場合は、割り込みが発生しても通信は継続します。	スレーブモードで CSIGNCTL1.CSIGNHSE = 1 (ハンドシェークあり) の場合は、ハンドシェークにより通信が停止します。割り込みは発生せず、オーバランエラーとなりません。

注1. マスタモードではオーバランエラーは発生しません。スレーブモードでは通信を停止させることはできません。

INTCSIG0IRE が発生する原因となったエラーのタイプは、CSIGNSTR0 レジスタによって識別されます。

さまざまなエラータイプの詳細については、「13.5.10 エラー検出」を参照してください。

13.5 動作

13.5.1 マスタ/スレーブモード

マスタ/スレーブの選択は CSIGnCTL2.CSIGnPRS[2:0] ビットで行い、マスタを選択した場合は、送信クロックのソースクロックも選択する必要があります。

13.5.1.1 マスタモード

マスタモードでは、シリアル送信クロックが内蔵のポーレートジェネレータ (BRG) によって生成され、CSIGTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIGnCTL2.CSIGnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIGnCTL2.CSIGnPRS[2:0] ビットと CSIGnCTL2.CSIGnBRS[11:0] ビットを組み合わせることで BRG の周波数を設定できます。

CSIGTSCK のデフォルトレベルは、CSIGTSCK のクロック反転機能ビットの状態によって異なります。CSIGTSCK のデフォルトレベルは、CSIGnCTL1.CSIGnCKR = 0 であればハイレベルであり、CSIGnCTL1.CSIGnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0、MSB ファーストのときのマスタモードの通信を示しています。

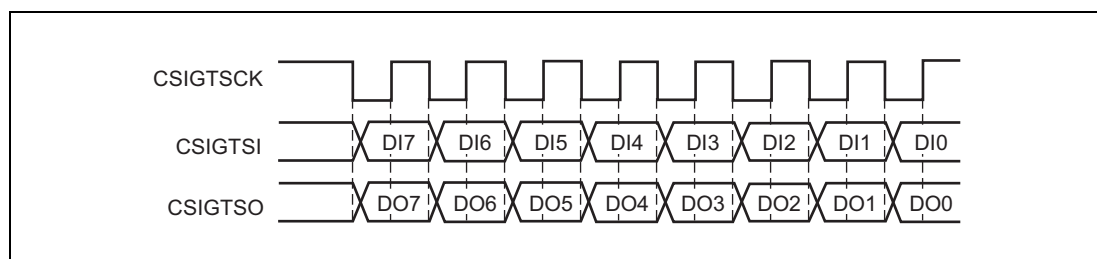


図 13.6 マスタモードでの送受信

13.5.1.2 スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになります。外部クロックは CSIGTSCK 信号を介して供給されます。クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブモードは、CSIGnCTL2.CSIGnPRS[2:0] を 111_B に設定することによって選択されます。

備 考

スレーブモードを使用するときは、CSIGnCTL2.CSIGnBRS[11:0] ビットを 000_H に設定することによってポーレートジェネレータ (BRG) を無効にします。

以下の例は、データ長 8 ビット、CSIGnCTL1.CSIGnCKR = 0、CSIGnCFG0.CSIGnDAP = 0、MSB ファーストのときのスレーブモードの通信を示しています。

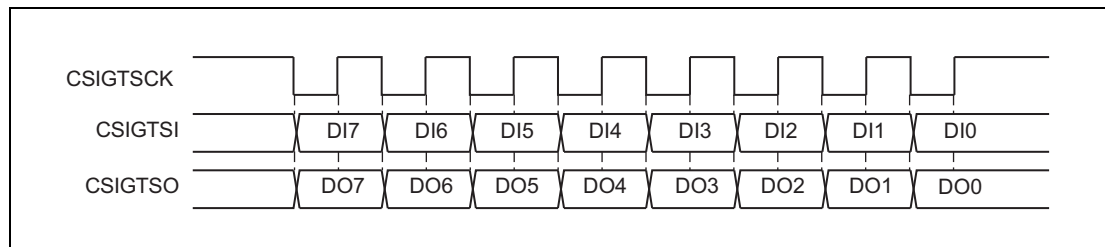


図 13.7 スレーブモードでの送受信

13.5.2 マスタ/スレーブの接続

13.5.2.1 マスタ 1、スレーブ 1 の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

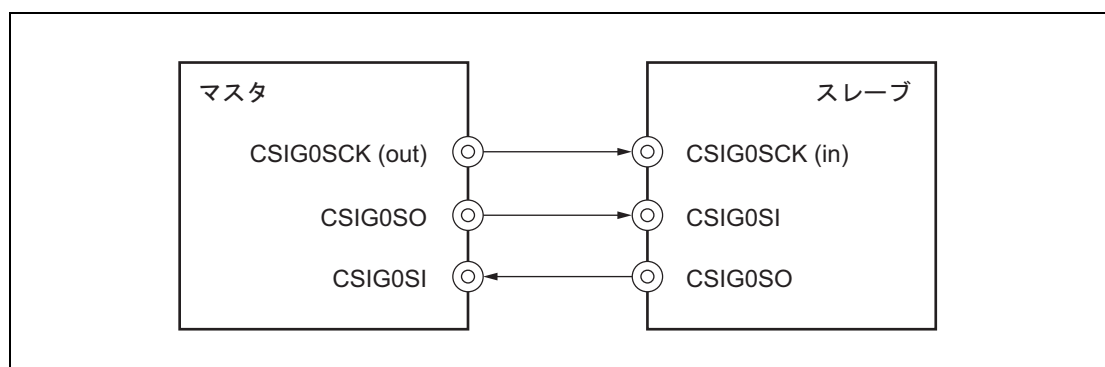


図 13.8 マスタ/スレーブ直接接続

13.5.3 送信クロックの選択

マスタモードでは、CSIGnCTL2 レジスタの CSIGnPRS[2:0] ビットと CSIGnBRS[11:0] ビットを使用して転送クロック周波数を選択できます。

BRG のブロック図を以下に示します。

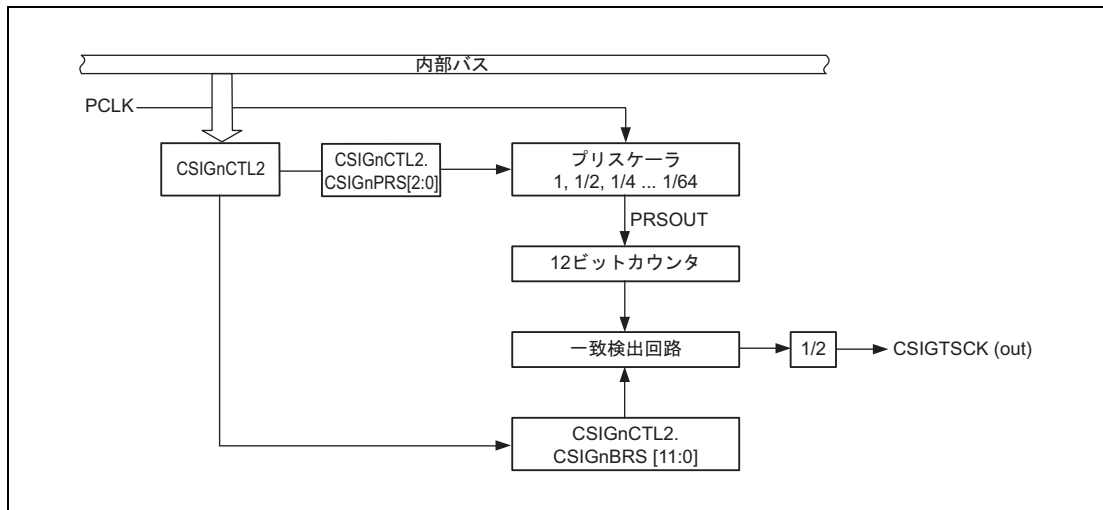


図 13.9 BRG のブロック図

CSIGnCTL2.CSIGnBRS[11:0] を 000_{H} に設定すると、BRG が無効になります。

転送クロック周波数の計算

マスタモード時の転送クロック周波数の計算式は以下の式で計算します。

$$\text{転送クロック周波数 (CSIGTSCK)} = \text{PCLK} / (\text{PCLK の分周比}) = \text{PCLK} / (2^{\alpha} \times k \times 2)$$

ただし、

$$\alpha = \text{CSIGnPRS}[2:0] = 0 \sim 6$$

$$k = \text{CSIGnBRS}[11:0] = 1 \sim 4095$$

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- マスタモードで使用できる最大転送クロック周波数は $\text{PCLK} / 4$ (ただし、最大 8 MHz) です。
- スレーブモードで使用できる最大転送クロック周波数は $\text{PCLK} / 6$ (ただし、最大 6.66MHz) です。(外部マスタの転送クロック周波数がこの範囲に収まっていることを確認する必要があります)。
- いずれのモードでも最小転送クロック周波数は $\text{PCLK} / 524160$ です。

13.5.4 データ転送モード

13.5.4.1 送信専用モード

CSIGnCTL0.CSIGnTXE = 1、CSIGnCTL0.CSIGnRXE = 0 に設定すると、CSIG は送信専用モードになります。CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると、送信が開始されます。

注 意

いずれかの受信モードから送信専用モードに入った場合は、最初の送信が完了したあと、CSIGnRX0 バッファのデータが未定義になります。
したがって、送信専用モードに切り換える前に受信レジスタ CSIGnRX0 を読み出す必要があります。

13.5.4.2 受信専用モード

CSIGnCTL0.CSIGnTXE = 0、CSIGnCTL0.CSIGnRXE = 1 に設定すると、CSIG は受信専用モードになります。

マスタモードでは、CSIGnRX0 レジスタのダミーデータを読み出すと受信が開始されます。CSIGnBCTL0.CSIGnSCE = 1 であれば、それ以降のすべての受信は受信レジスタ CSIGnRX0 からの読み出しによってトリガされます。

さらに、最後に受信したデータを CSIGnRX0 から読み出す前に、CSIGnBCTL0.CSIGnSCE に 0 を設定する必要があります。

推奨されている手順を以下に示します。

1. CSIGnBCTL0.CSIGnSCE = 1 に設定します。
2. CSIGnRX0 (ダミーデータ) を読み出します。
3. 受信割り込み INTCSIG0IR を待機します。
4. CSIGnRX0 (受信データ) を読み出します。
手順 3 でデータの受信が続いた場合は、すべてのデータを受信するまで読み出しを続けます。
最後に受信したデータを CSIGnRX0 から読み出す前に、CSIGnBCTL0.CSIGnSCE = 0 に設定します。

スレーブモードでは、マスタから通信クロック CSIGTSCK が供給されると、受信が開始されます。この場合、スレーブの CSIGnRX0 レジスタのデータを読み出す必要はありません。

備 考

スレーブモードでは、データが上書きされないように、すでに受信しているデータを受信レジスタ CSIGnRX0 から読み出す必要があります。

13.5.4.3 送受信モード

CSIGnCTL0.CSIGnTXE = 1 かつ CSIGnCTL0.CSIGnRXE = 1 に設定すると、CSIG は送受信モードになります。

CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると、データ転送 (送信と受信) が開始されます。

13.5.5 データ長の選択

13.5.5.1 データ長が拡張されていない場合のデータ長の選択

CSIGNCFG0 レジスタの CSIGNDLS[3:0] ビットを使用して、送信データ長を7ビットから16ビットの間に設定することができます。以下の例は、MSB ファースト (CSIGNCFG0.CSIGNDIR = 0) での通信を示しています。

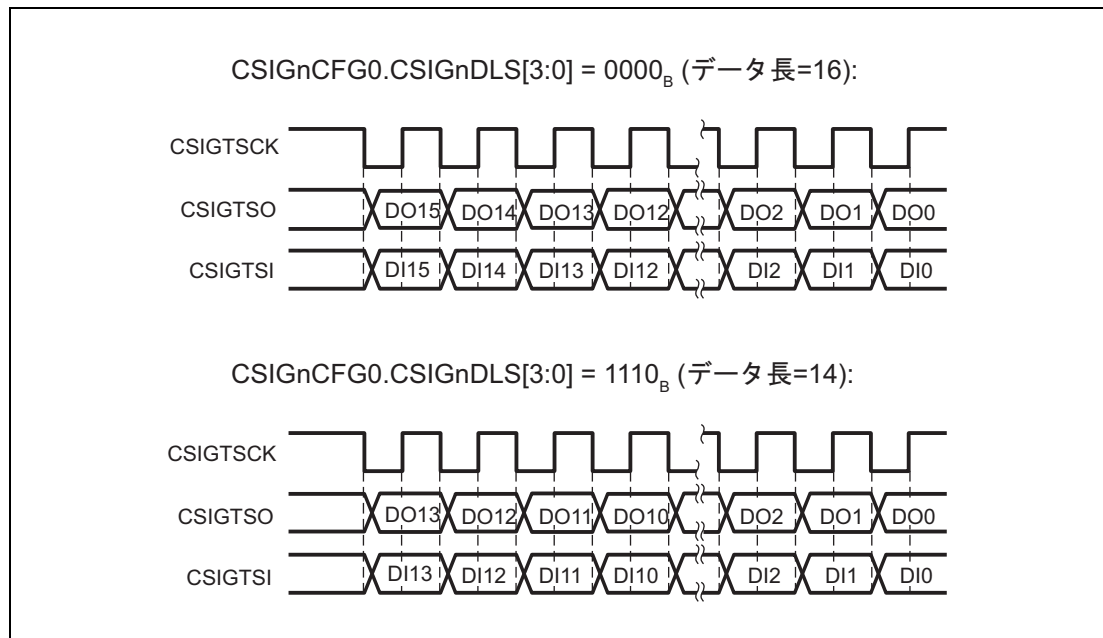


図 13.10 データ長選択機能

13.5.5.2 データ長が拡張されている場合のデータ長の選択

16ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。EDL 機能は、ビット CSIGNCTL1.CSIGNEDLE を 1 にセットすることによって有効になります。

EDL 機能の動作および設定手順を次に示します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は CSIGNCFG0.CSIGNDLS[3:0] ビットに「データ長」として設定します。
- 16 ビットのブロックを送信するときは、CSIGNTX0W.CSIGNEDL ビットをセット (1) してください。この場合、CSIGNTX0W レジスタに書き込まれるデータは、CSIGNCFG0.CSIGNDLS[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長 (CSIGNTX0W.CSIGNEDL = 0 のときの剰余部分) のデータが送信されると転送が完了します。

例

123456789A_H という 40 ビットのデータを送信する例

40 ビットを 2 × 16 ビットと 8 ビットに分割します。

- CSIGnCFG0.CSIGnDLS[3:0] = 8_D に初期化します。
- 123456789A_H を MSB ファーストで送信するには、以下のシーケンスを CSIGnTX0W に書き込みます。
 - 2000 1234_H (CSIGnTX0W.CSIGnEDL = 1)
 - 2000 5678_H (CSIGnTX0W.CSIGnEDL = 1)
 - 0000 009A_H (CSIGnTX0W.CSIGnEDL = 0)

以下の図にタイミングを示します。

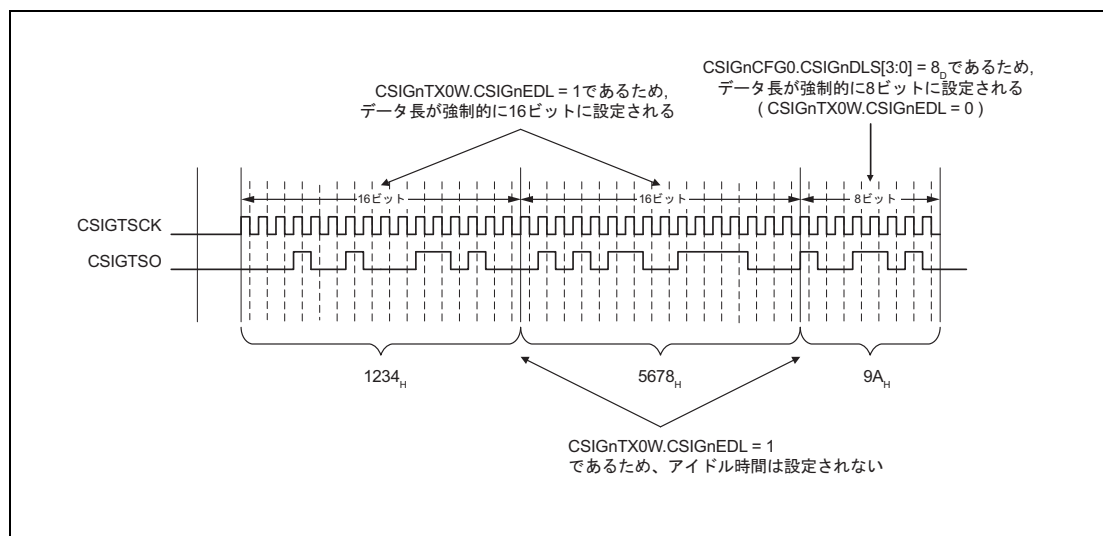


図 13.11 EDL のタイミング図

備考

1. 7 ビット未満のデータ長は、EDL モードを使用するときのみ設定できます。
2. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。
3. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されません。
4. 以下の例でデータ方向について説明します。
 - 送信されるデータ : 123456_H
 - MSB ファースト :
 - CSIGnCFG0.CSIGnDIR = 0 に設定
 - CSIGnTX0W = 2000 1234_H を書き込み (EDL ビット = 1)
 - CSIGnTX0W = 0000 0056_H を書き込み (EDL ビット = 0)
 - LSB ファースト :
 - CSIGnCFG0.CSIGnDIR = 1 に設定
 - CSIGnTX0W = 2000 3456_H を書き込み (EDL ビット = 1)
 - CSIGnTX0W = 0000 0012_H を書き込み (EDL ビット = 0)

5. EDL モードはスレープモードの受信専用モードでは使えません。
 (CSIGnCTL2.CSIGnPRS[2:0] = 111B, CSIGnCTL0.CSIGnTXE = 0,
 CSIGnCTL0.CSIGnRXE = 1)

13.5.6 シリアルデータ方向選択機能

CSIGnCFG0 レジスタの CSIGnDIR ビットを使用してシリアルデータの方向を選択できます。
 以下の例は 8 ビットデータ (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B) の通信を示しています。

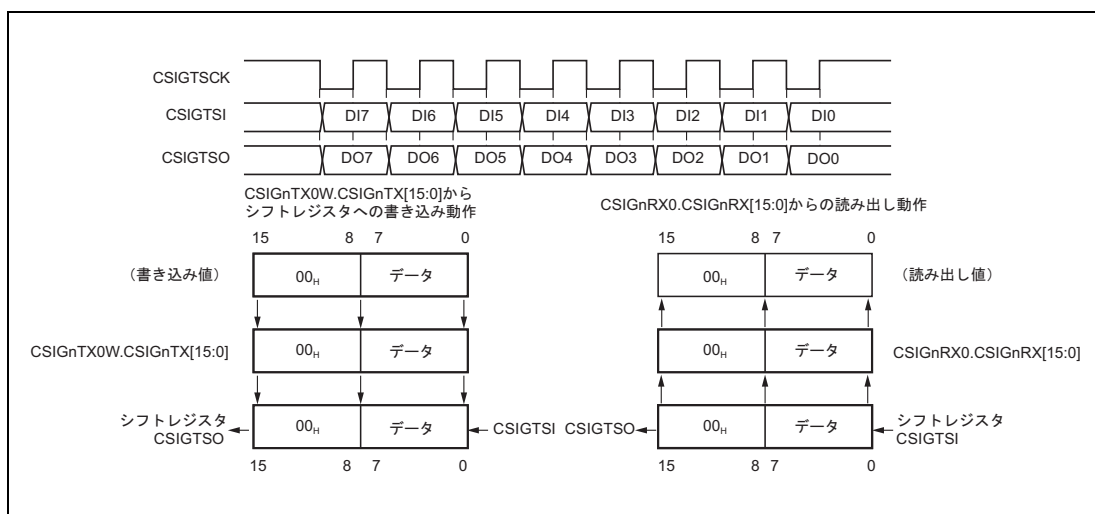


図 13.12 シリアルデータ方向選択機能 — MSB ファースト (CSIGnDIR = 0)

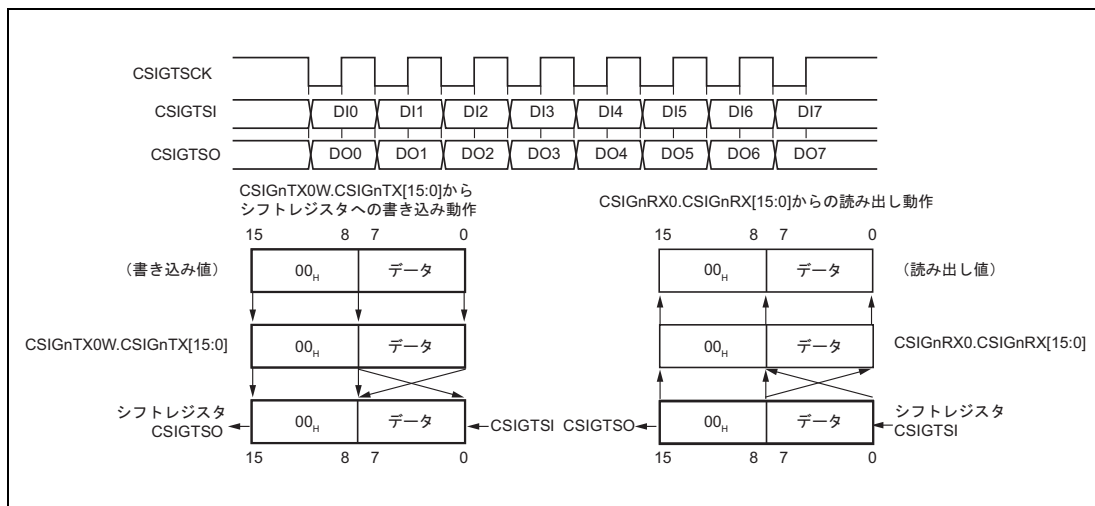


図 13.13 シリアルデータ方向選択機能 — LSB ファースト (CSIGnDIR = 1)

13.5.7 スレーブモードでの通信

以下の図は、スレーブモードでの通信の信号とタイミングを示しています。

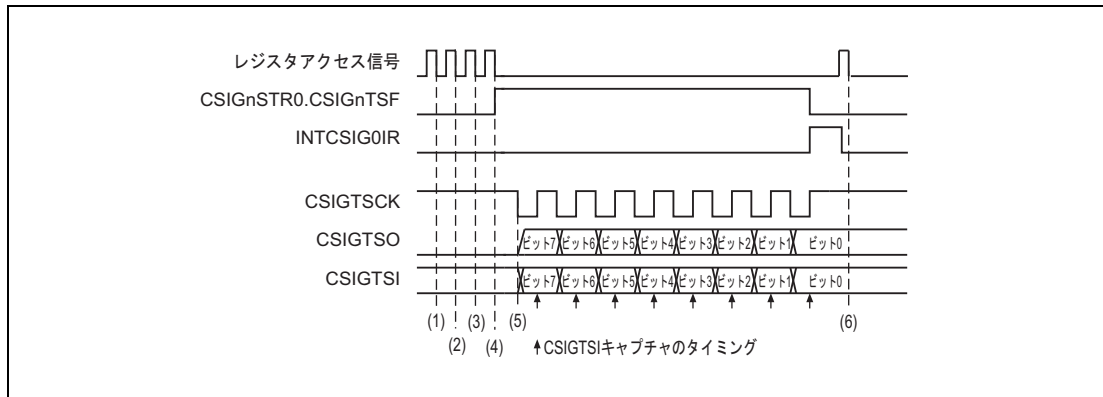


図 13.14 スレーブモードでの受信/送信の通信タイミング

1. CSIG はスレーブモードに設定 (CSIGnCTL2.CSIGnPRS[2:0] を 111_B に設定)
2. データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
データ方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
3. CSIG が送受信モードに設定 (CSIGnCTL0.CSIGnPWR = 1、
CSIGnCTL0.CSIGnTXE = 1, CSIGnCTL0.CSIGnRXE = 1)
4. 転送データが送信レジスタ CSIGnTX0W または CSIGnTX0H レジスタに書き込まれる
と、転送ステータスフラグ CSIGnSTR0.CSIGnTSF が自動的にセットされます
5. 外部クロック信号が CSIGTSCK 信号として検出されると、スレーブはただちにデータ
を CSIGTSO に送信し、同時に CSIGTSI からデータをキャプチャします
6. CSIGnRX0 レジスタを読み出します

13.5.8 ハンドシェーク機能

CSIGはマスタデバイスとスレーブデバイスを同期させるハンドシェーク機能を備えています。この機能はビットCSIGNCTL1.CSIGNHSEで有効または無効にすることができます。ハンドシェークでは、CSIGTRYI、CSIGTRYO信号を使用します。

タイミングはデータ位相選択ビットCSIGNCFG0.CSIGNDAPの設定によって異なります。

13.5.8.1 スレーブモード

CSIGNCTL1.CSIGNHSE = 1 のとき、スレーブはビジー状態になるとCSIGTRYOがロウレベルを出力します。すでに受信したデータがまだCSIGNRX0レジスタにあるため、シフトレジスタからCSIGNRX0へ新しいデータをコピーできないと、この状態になります（CSIGNRX0フル状態）。

以下の例では、8ビットのデータ長を想定しています。

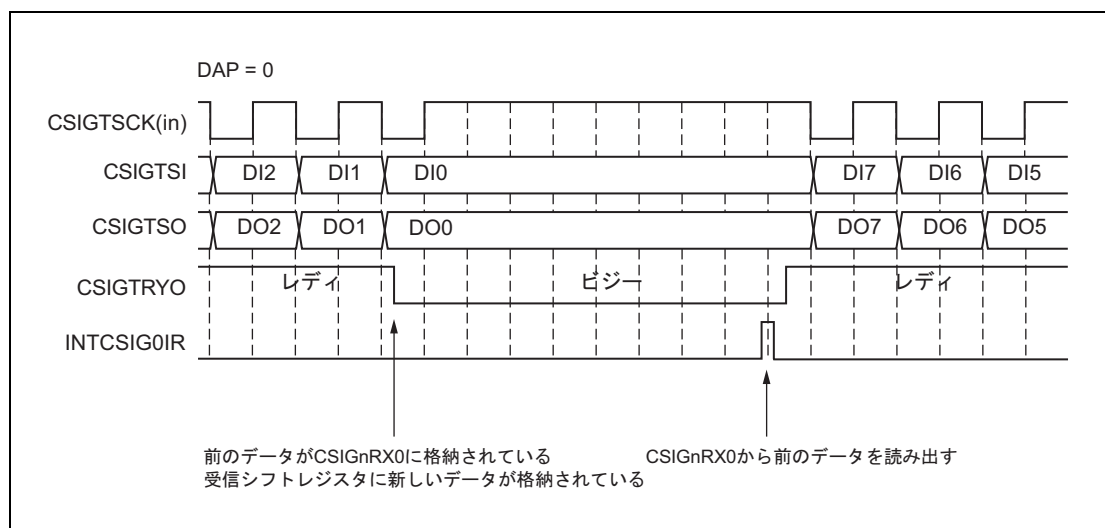


図 13.15 スレーブからのレディ/ビジー信号 (CSIGNCFG0.CSIGNDAP = 0)

スレーブがビジーである間、マスタは待機する（送信クロックを停止させる）必要があります。受信レジスタCSIGNRX0からの読み出しが完了すると、ただちにスレーブはCSIGTRYOをハイ（「レディ」）に設定します。

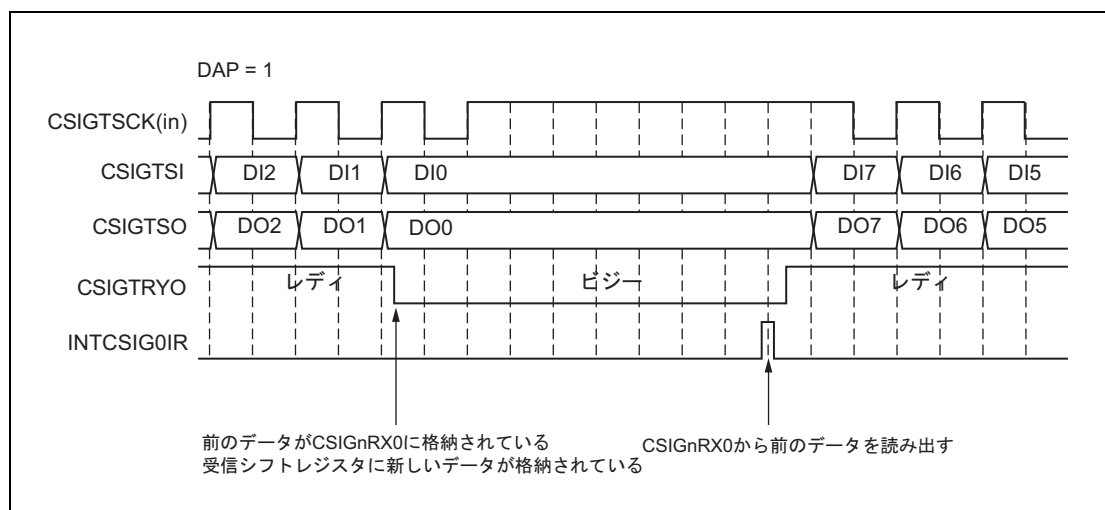


図 13.16 スレーブからのレディ/ビジー信号 (CSIGNCFG0.CSIGNDAP = 1)

13.5.8.2 マスタモード

CSIGNCTL1.CSIGNHSE = 1 のとき、マスタが CSIGTRYI のロウレベルを検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタは CSIGTSCK へのクロックの出力を停止します。

CSIGTRYI のレベルは、CSIGTSCK の半周期ごとにチェックされます。

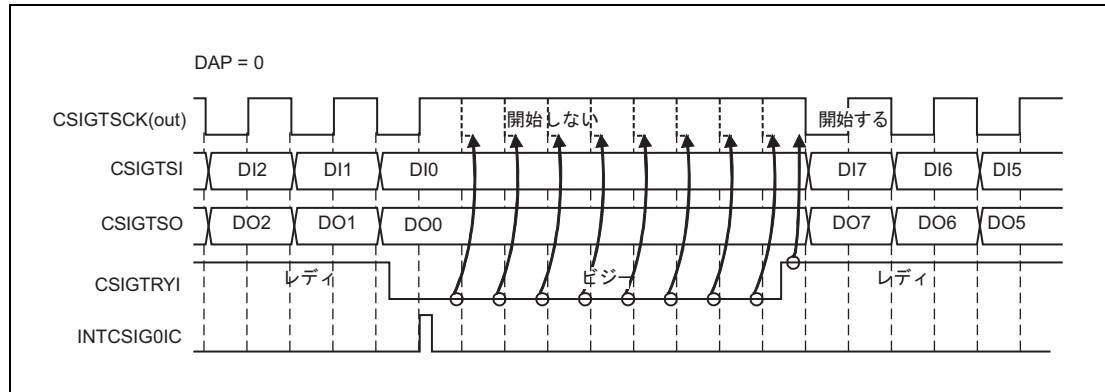


図 13.17 CSIGTRYI に対するマスタの反応 (CSIGNCFG0.CSIGNDAP = 0)

データの転送中に CSIGTRYI ロウ信号がスレーブから送信されると、転送が完了したあと、シリアルクロックが停止します。

マスタは CSIGTRYI がハイになる (スレーブが「レディ」状態になる) と、ただちに通信を再開します。

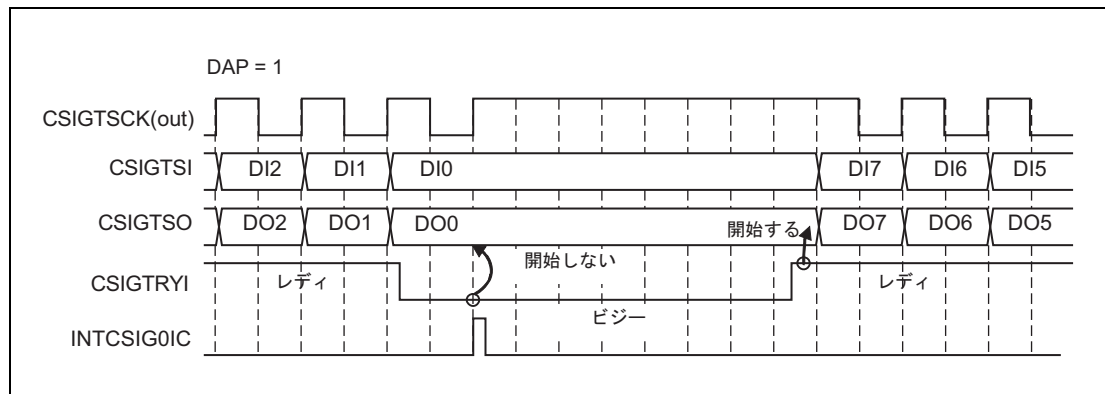


図 13.18 CSIGTRYI に対するマスタの反応 (CSIGNCFG0.CSIGNDAP = 1)

注 意

複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブだけの CSIGTRYI 信号を検出する必要があります。

次の転送が始まる前にスレーブは CSIGTRYI をロウレベルに下げする必要があります。転送中にスレーブがこの信号をロウレベルに下げても、転送は完了するまで続きます。

13.5.9 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ (CSIGNCTL1.CSIGNLBM = 1) になっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIGTSSCK 信号、CSIGTSSO 信号、CSIGTSSI 信号はポートから切り離されます。さらに、CSIGTSSO の出力レベルがロウレベルに固定され、CSIGTSSCK はリセットレベル (High) に設定されます。CSIG のそれ以外の部分は通常どおりに動作します。

CSIG をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

表 13.24 端子の出力レベル

端子名	出力レベル
CSIGTSSCK(out)	ハイレベル
CSIGTSSO	ロウレベル (それまでの値に依存しない)
割り込み	通常の機能
CSIGTRYO	通常の機能 (ロウレベル)

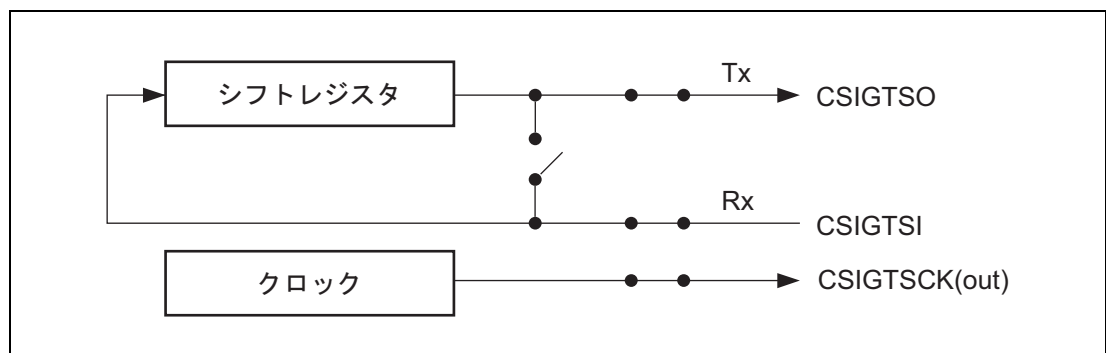


図 13.19 通常の動作

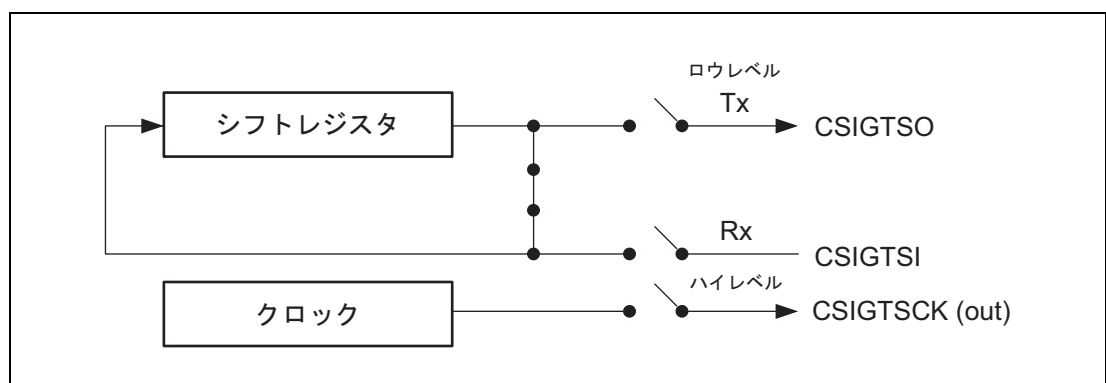


図 13.20 ループバックモードでの動作

13.5.10 エラー検出

CSIGは3つのエラータイプを検出することができます。

- データ整合性チェックエラー (送信データ)
- パリティエラー (受信データ)
- オーバランエラー (受信データ)

データ整合性チェックエラー、パリティエラーのチェック機能は個別に有効または無効にすることができます。

いずれかのエラーが検出されると、割り込み INTCSIG0IRE が発生します。

13.5.10.1 データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックはビット CSIGNCTL1.CSIGNDCS で有効または無効にすることができます (データ整合性チェックを行う場合は、CSIGTSO を必ず PIPCn.PIPCn_m = 1 に設定してください)。データ送信が禁止されていると (CSIGNCTL0.CSIGNTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIGNTX0W または CSIGNTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、出力信号 CSIGTSO の物理的なレベルがキャプチャされ、その論理的な解釈が独自のシフトレジスタに書き込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性チェックエラーと見なされます。

- 割り込み INTCSIG0IRE が発生します。
- ビット CSIGNSTR0.CSIGNDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

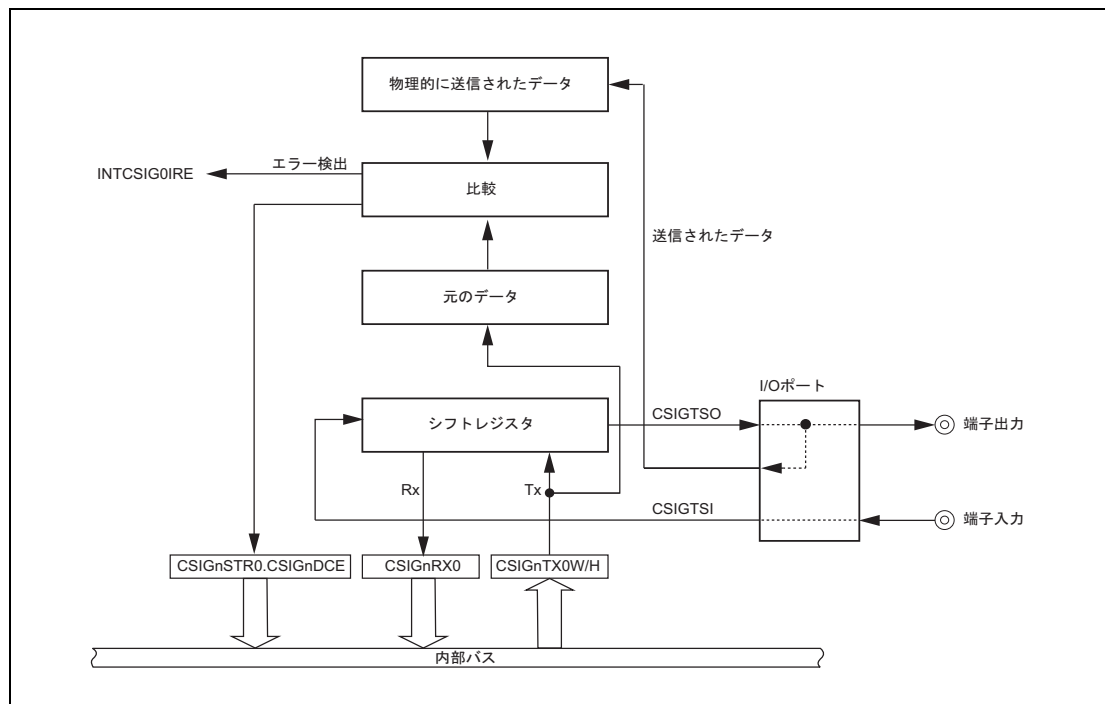


図 13.21 データ整合性チェックの機能ブロック図

13.5.10.2 パリティチェック

パリティはデータ送信中の単一ビットエラーを検出する手段としてよく使われます。CSIGでは、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは `CSIGnCFG0.CSIGnPS[1:0]` で指定されます。

`CSIGnCFG0.CSIGnPS[1]=1` であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み `INTCSIG0IRE` が発生します。
- ビット `CSIGnSTR0.CSIGnPE` がセットされます。

以下の図に例を示します。

データ長は8ビットです。送信されるデータは `05H` と `35H` です。パリティタイプは奇数です。

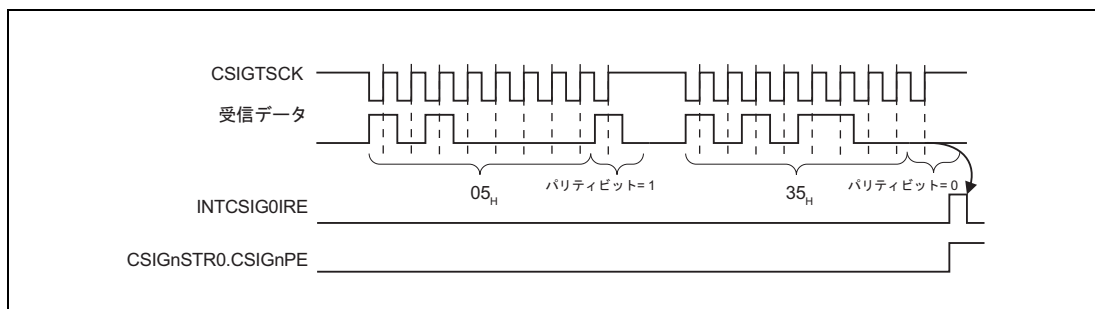


図 13.22 パリティチェックの例

先頭 8 ビットのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

次の 8 ビットのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

13.5.10.3 オーバランエラー

前に受信したデータが読み出されていないため、まだ受信レジスタ CSIGnRX0 に残っている状態で新しいデータを受信すると、このエラーが発生します。

データ受信が禁止されていると（CSIGnCTL0.CSIGnRXE = 0）、オーバランエラーは発生しません。

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIG0IRE が発生します。
- ビット CSIGnSTR0.CSIGnOVE がセットされます。
- 受信データが上書きされ、通信は継続します。

以下の図にオーバランエラー検出機能の仕組みを示します。

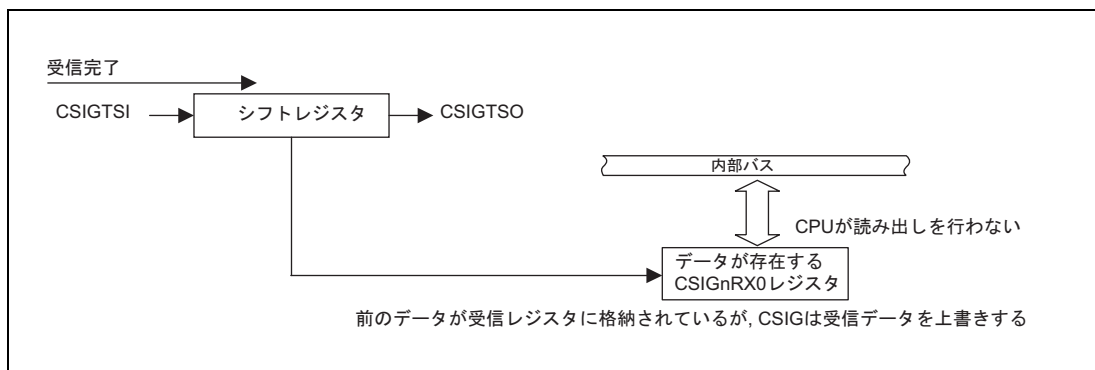


図 13.23 オーバランエラーの検出

以下の図に例を示します。

- 受信データ 3 は読み出されていません。
- 受信データ 4 は受信され、データは上書きされます。

したがって、オーバランエラーが発生します。

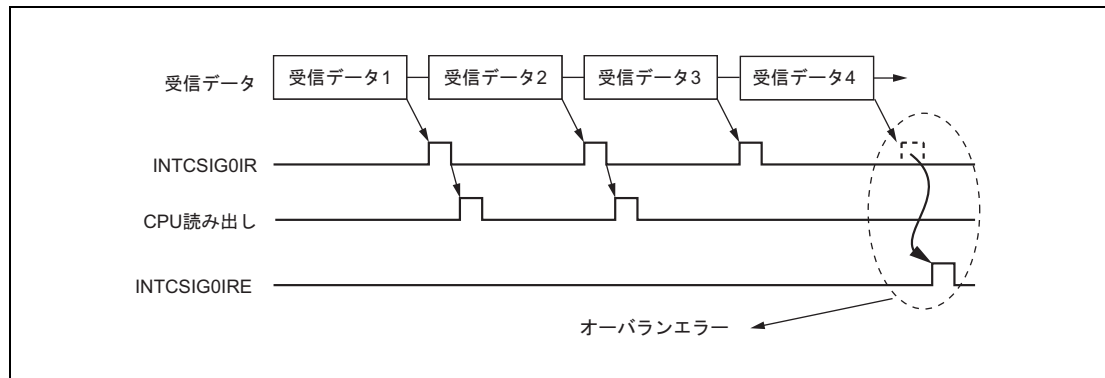


図 13.24 オーバランエラーの検出の例

備考

オーバランエラーは、ハンドシェイクを利用することで回避できます。

スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は、受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

詳細については、「**13.5.8 ハンドシェイク機能**」を参照してください。

13.6 操作手順

13.6.1 DMA によるマスタモード送受信

ここでは、マスタモードでの送受信を DMA と組み合わせて行う例について説明します。

ここに示す手順では、以下の条件を想定しています。

- 送信データ長は 8 ビット (CSIGnCFG0.CSIGnDLS[3:0] = 1000_B)
- 送信方向は MSB ファースト (CSIGnCFG0.CSIGnDIR = 0)
- 転送の最後に INTCSIG0IC 割り込みを発生 (CSIGnCTL1.CSIGnSLIT = 0)
- 通常のクロック位相とデータ位相 (CSIGnCTL1.CSIGnCKR = 0, CSIGnCFG0.CSIGnDAP = 0)
- データの数は 10 個 (0 ~ 9)

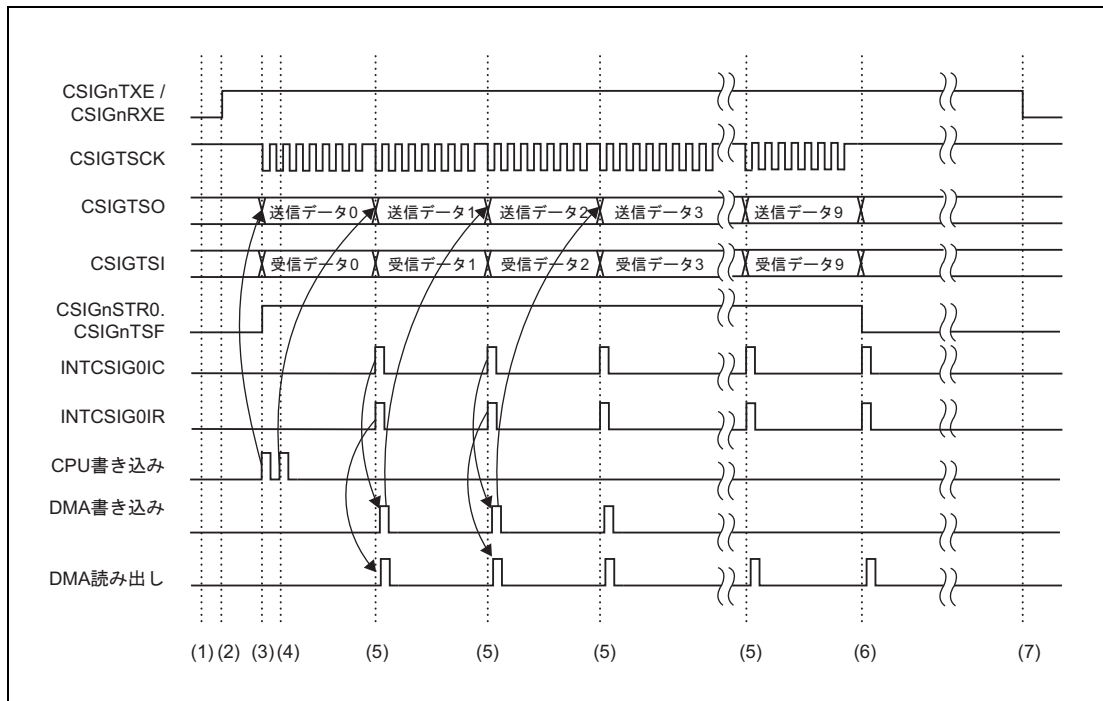


図 13.25 マスタモードでの通信

手順：

1. CSIGnCFG0 レジスタで通信プロトコルを設定します。CSIGnCTL1 レジスタと CSIGnCTL2 レジスタの対応するビットを設定することで、割り込みタイミングと動作モードなどを指定します。
2. CSIGnCTL0 レジスタで、CSIGnPWR = 1 (クロック有効)、CSIGnTXE = 1 (送信許可)、CSIGnRXE = 1 (受信許可) に設定します。
3. 最初の送信データを送信レジスタ CSIGnTX0H に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIGnTX0H に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。

5. データが1つ送受信されるたびに割り込み INTCSIG0IC と INTCSIG0IR が発生します。INTCSIG0IC は、次のデータを CSIGnTX0H に書き込めることを示します。INTCSIG0IR は、受信レジスタ CSIGnRX0 を読み出す必要があることを示します。この例では、CPU 書き込みと DMA 書き込みを同じものと見なしています。
6. データ8の送信が完了すれば、それ以降の書き込みアクションは必要ありません。データ9（最後のデータ）は、データ7送信後に書き込まれています。ただし、データ8とデータ9の受信が完了したあと、受信レジスタ CSIGnRX0 を読み出す必要があります。
7. 最後に、CSIGnCTL0.CSIGnTXE と CSIGnCTL0.CSIGnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIGn の消費電力を最小限にするために CSIGnCTL0.CSIGnPWR=0 に設定してください。

第14章 クロック同期シリアルインタフェースH (CSIH)

本章では、CSIH 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、CSIH の機能、レジスタについて説明します。

14.1 RH850/P1x CSIH の特長

14.1.1 ユニット数

本製品は、以下に示すユニット数の CSIH を搭載しています。

CSIH 1 ユニット当たり 1 チャンネルのインタフェースを持っています。

表 14.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	4	
名称	CSIHn (n = 0 ~ 3)	

表 14.2 CSIH のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) CSIHn	ユニット チャンネル数	RH850/P1x 100pin (4ch)	RH850/P1x 144pin (4ch)
CSIH0	1	○	
CSIH1	1		○
CSIH2	1		○
CSIH3	1		○

備考 チャンネル名はユニット名と同じです。

各製品の添字が示す値を以下に示します。

表 14.3 添字

添字	意味
n	本章では、CSIH の各ユニットを「n」(n = 0 ~ 3) で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。
x	CSIHn は最大 8 個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号は CSx と記述します。x の値は「表 14.4 チップセレクト数」を参照してください。
y	説明時における変数を「y」(y=0 ~ 3) で識別します。たとえば、CSIHn ボーレート設定レジスタは CSIHnBRSy と記述します。

CSIH の各チャネルのチップセレクト信号の数を以下の表に示します。

表 14.4 チップセレクト数

ユニット名	チップセレクト数	
	100 pin	144 pin
CSIH0	CSx (x = 0 ~ 7)	CSx (x = 0 ~ 7)
CSIH1	CSx (x = 0 ~ 3)	CSx (x = 0 ~ 7)
CSIH2	CSx (x = 0 ~ 7)	CSx (x = 0 ~ 7)
CSIH3	CSx (x = 0 ~ 7)	CSx (x = 0 ~ 7)

14.1.2 レジスタベースアドレス

CSIH のベースアドレスを以下の表に示します。

CSIH のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 14.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<CSIH0_base>	FFD8 0000 _H
<CSIH1_base>	FFD8 2000 _H
<CSIH2_base>	FFD8 4000 _H
<CSIH3_base>	FFD8 6000 _H

14.1.3 クロック供給

CSIH のクロック供給を以下の表に示します。

表 14.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
CSIHn	PCLK	高速周辺クロック CLK_HSB

14.1.4 割り込み要求

CSIH の割り込み要求を以下の表に示します。

表 14.7 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
CSIH0			
INTCSIH0IRE	CSIH0 通信エラー割り込み	82	—
INTCSIH0IR0S	CSIH0 受信ステータス /CS0 受信ステータス割り込み	83	65
INTCSIH0IC0S	CSIH0 通信ステータス /CS0 通信ステータス割り込み	84	66
INTCSIH0IR1	CSIH0 CS1 受信ステータス割り込み	85	67
INTCSIH0IC1	CSIH0 CS1 通信ステータス割り込み	86	68
INTCSIH0IR2	CSIH0 CS2 受信ステータス割り込み	87	69
INTCSIH0IC2	CSIH0 CS2 通信ステータス割り込み	88	70
INTCSIH0IJC	CSIH0 JOB 完了割り込み	89	71
CSIH1			
INTCSIH1IRE	CSIH1 通信エラー割り込み	90	—
INTCSIH1IR0S	CSIH1 受信ステータス /CS0 受信ステータス割り込み	91	72
INTCSIH1IC0S	CSIH1 通信ステータス /CS0 通信ステータス割り込み	92	73
INTCSIH1IR1	CSIH1 CS1 受信ステータス割り込み	93	74
INTCSIH1IC1	CSIH1 CS1 通信ステータス割り込み	94	75
INTCSIH1IR2	CSIH1 CS2 受信ステータス割り込み	95	76
INTCSIH1IC2	CSIH1 CS2 通信ステータス割り込み	96	77
INTCSIH1IJC	CSIH1 JOB 完了割り込み	97	78
CSIH2			
INTCSIH2IRE	CSIH2 通信エラー割り込み	98	—
INTCSIH2IR	CSIH2 受信ステータス割り込み	99	79
INTCSIH2IC	CSIH2 通信ステータス割り込み	100	80
INTCSIH2IJC	CSIH2 JOB 完了割り込み	101	81
CSIH3			
INTCSIH3IRE	CSIH3 通信エラー割り込み	102	—
INTCSIH3IR	CSIH3 受信ステータス割り込み	103	82
INTCSIH3IC	CSIH3 通信ステータス割り込み	104	83
INTCSIH3IJC	CSIH3 JOB 完了割り込み	105	84

14.1.5 リセット要因

CSIH のリセット要因を以下に示します。CSIH は以下のリセット要因で初期化されます。

表 14.8 リセット要因

ユニット名	リセット要因
CSIHn	リセットコントローラ SYSRES

14.1.6 外部入出力信号

CSIHの外部入出力信号を以下の表に示します。

表 14.9 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
CSIH0		
CSIHTSCK	シリアルクロック信号入力	CSIH0SCI
	シリアルクロック信号出力	CSIH0SCO
CSIHTSI	シリアルデータ入力信号	CSIH0SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH0SSI}}$
CSIHTRYI	レディ/ビジー入力信号	CSIH0RYI
CSIHTSO	シリアルデータ出力信号	CSIH0SO
CSIHTRYO	レディ/ビジー出力信号	CSIH0RYO
CSIHTCSS[7:0] ^{注1}	チップセレクト信号	CSIH0CSS[7:0] ^{注1}
CSIH1		
CSIHTSCK	シリアルクロック信号入力	CSIH1SCI
	シリアルクロック信号出力	CSIH1SCO
CSIHTSI	シリアルデータ入力信号	CSIH1SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH1SSI}}$
CSIHTRYI	レディ/ビジー入力信号	CSIH1RYI
CSIHTSO	シリアルデータ出力信号	CSIH1SO
CSIHTRYO	レディ/ビジー出力信号	CSIH1RYO
CSIHTCSS[7:0] ^{注1}	チップセレクト信号	CSIH1CSS[7:0] ^{注1}
CSIH2		
CSIHTSCK	シリアルクロック信号入力	CSIH2SCI
	シリアルクロック信号出力	CSIH2SCO
CSIHTSI	シリアルデータ入力信号	CSIH2SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH2SSI}}$
CSIHTRYI	レディ/ビジー入力信号	CSIH2RYI
CSIHTSO	シリアルデータ出力信号	CSIH2SO
CSIHTRYO	レディ/ビジー出力信号	CSIH2RYO
CSIHTCSS[7:0] ^{注1}	チップセレクト信号	CSIH2CSS[7:0] ^{注1}
CSIH3		
CSIHTSCK	シリアルクロック信号入力	CSIH3SCI
	シリアルクロック信号出力	CSIH3SCO
CSIHTSI	シリアルデータ入力信号	CSIH3SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH3SSI}}$
CSIHTRYI	レディ/ビジー入力信号	CSIH3RYI
CSIHTSO	シリアルデータ出力信号	CSIH3SO
CSIHTRYO	レディ/ビジー出力信号	CSIH3RYO
CSIHTCSS[7:0] ^{注1}	チップセレクト信号	CSIH3CSS[7:0] ^{注1}

注1. チップセレクト信号数は、「表 14.4 チップセレクト数」を参照してください。

14.1.7 データ整合性チェック

CSIHnSO の兼用ポートのデータ整合性チェック対応を以下の表に示します。データ整合性チェックの詳細は、「14.5.12 エラー検出」を参照してください。

表 14.10 データ整合性チェックの対応

ユニット信号名	ポート端子名	兼用機能	データ整合性チェック
CSIH0			
CSIHTSO	P2_5	ALT-OUT6	対応
	P2_12 ^{注1}	ALT-OUT6	対応
	P3_0 ^{注1}	ALT-OUT5	対応
	P3_7	ALT-OUT1	対応
CSIH1			
CSIHTSO	P2_8	ALT-OUT3	対応
	P4_0	ALT-OUT1	対応
CSIH2			
CSIHTSO	P1_3	ALT-OUT4	対応
	P2_1	ALT-OUT2	対応
	P4_5	ALT-OUT1	対応
CSIH3			
CSIHTSO	P1_3	ALT-OUT6	対応
	P2_5	ALT-OUT4	対応

注 1. 144pin 版で使用可能

14.1.8 端子名とポート名の組み合わせ

CSIHの端子名とポート名の組み合わせを以下に示します。

表 14.11 端子名とポート名の組み合わせ (1/2)

機能	端子名	ポート名			
		グループ1	グループ2	グループ3	グループ4
CSIH0	CSIH0CSS0	P3_12			
	CSIH0CSS1	P3_13			
	CSIH0CSS2	P2_4 / P2_14 ^{注1}			
	CSIH0CSS3	P2_5 / P2_13 ^{注1}			
	CSIH0CSS4	P2_6 / P2_12 ^{注1}			
	CSIH0CSS5	P2_2 / P2_7 / P2_11 ^{注1}			
	CSIH0CSS6	P2_8 / P2_10 ^{注1}			
	CSIH0CSS7	P2_9 / P3_2 ^{注1}			
	CSIH0SSI	P3_8			
	CSIH0RYI	P2_10 ^{注1} / P2_15 ^{注1} / P3_3 / P3_9			
	CSIH0RYO	P2_11 ^{注1}			
	CSIH0SCI/ CSIH0SCO	P2_6	P3_8	P3_1 ^{注1}	P3_1 ^{注1}
	CSIH0SI	P2_4	P3_6	P3_2 ^{注1}	P3_6
	CSIH0SO	P2_5	P3_7	P3_0 ^{注1}	P2_12 ^{注1}
CSIH1	CSIH1CSS0	P4_3			
	CSIH1CSS1	P4_4			
	CSIH1CSS2	P4_5			
	CSIH1CSS3	P4_6			
	CSIH1CSS4	P4_7 ^{注1}			
	CSIH1CSS5	P4_8 ^{注1}			
	CSIH1CSS6	P4_9 ^{注1}			
	CSIH1CSS7	P4_10 ^{注1}			
	CSIH1SSI	P4_8 ^{注1}			
	CSIH1RYI	P2_11 ^{注1} / P3_13 / P4_9 ^{注1}			
	CSIH1RYO	P2_13 ^{注1} / P3_12 / P4_2 / P4_10 ^{注1}			
	CSIH1SCI/ CSIH1SCO	P2_9	P4_1	—	—
	CSIH1SI	P2_7	P3_14	—	—
	CSIH1SO	P2_8	P4_0	—	—

表 14.11 端子名とポート名の組み合わせ (2/2)

機能	端子名	ポート名			
		グループ1	グループ2	グループ3	グループ4
CSIH2	CSIH2CSS0	P1_1 / P2_3 / P4_7 ^{注1}			—
	CSIH2CSS1	P3_3 / P4_8 ^{注1} / P5_0			—
	CSIH2CSS2	P3_4 / P4_9 ^{注1} / P5_1			—
	CSIH2CSS3	P3_5 / P4_10 ^{注1} / P5_4			—
	CSIH2CSS4	P3_6 / P4_11 ^{注1} / P5_5			—
	CSIH2CSS5	P3_7 / P4_12 ^{注1} / P5_6			—
	CSIH2CSS6	P3_8 / P4_14 ^{注1} / P5_7			—
	CSIH2CSS7	P3_9 / P4_4 / P5_8			—
	CSIH2SSI	P4_13 ^{注1}			—
	CSIH2RYI	P2_3 / P3_7 / P4_3			—
	CSIH2RYO	P2_4 / P4_7 ^{注1}			—
	CSIH2SCI/ CSIH2SCO	P1_4	P2_2	P4_6	—
	CSIH2SI	P1_2	P2_0	P4_4	—
	CSIH2SO	P1_3	P2_1	P4_5	—
CSIH3	CSIH3CSS0	P2_8			—
	CSIH3CSS1	P2_9			—
	CSIH3CSS2	P3_5			—
	CSIH3CSS3	P3_4			—
	CSIH3CSS4	P3_3			—
	CSIH3CSS5	P3_9			—
	CSIH3CSS6	P2_0			—
	CSIH3CSS7	P2_1			—
	CSIH3SSI	P3_3			—
	CSIH3RYI	P1_1 / P2_8 / P3_6			—
	CSIH3RYO	P1_0 ^{注1} / P2_8			—
	CSIH3SCI/ CSIH3SCO	P1_4	P2_7	—	—
	CSIH3SI	P1_2	P2_6	—	—
	CSIH3SO	P1_3	P2_5	—	—

注1. 144pin 版で使用可能

14.2 概要

14.2.1 機能概要

- 3ワイヤシリアル同期データ転送
- マスタモードまたはスレーブモードを選択可能
- 設定可能な8個のチップセレクト出力信号を備えているため、複数スレーブ構成とRCB (Recessive Configuration for Broadcasting) が可能
- スレーブ選択入力信号 ($\overline{\text{CSIHTSSI}}$) が使用可能
- 4つのボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数が調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数：
 - マスタモード：10 MHz
 - スレーブモード：6.66 MHz
- クロックとデータの位相を選択可能
- MSBファーストまたはLSBファーストでのデータ転送を選択可能
- 2ビットから16ビットまでの転送データ長を1ビット単位で選択可能
- 16ビットを上回るデータを転送するためのEDL (Extended Data Length：拡張データ長) 機能を内蔵
- 以下の3つの転送モードを選択可能：
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
- ハンドシェーク機能を内蔵
- エラー検出 (データ整合性チェック、パリティ、タイムアウト、オーバフロー、オーバーラン) を内蔵
- ジョブ概念のサポート
- 128ワードのI/Oバッファメモリ
- ダイレクトアクセスモードと、メモリモード (FIFO、デュアルバッファ、送信専用バッファ) を選択可能
- 4個の割り込み要求信号 (INTCSIHnIC、INTCSIHnIR、INTCSIHnIRE、INTCSIHnIJC)
- 自己テスト用のLBM (ループバックモード) 機能を内蔵
- CPU制御による高優先通信機能
- 強制CSアイドル設定
- ブロードキャストिंगのためRCB (Recessive Configuration for Broadcasting) ビットを内蔵

14.2.2 機能概要説明

CSIH では以下の3つの信号を通信に使用します。

- 送信クロック CSIHTSCK (マスタモードでは出力、スレーブモードでは入力)
- データ出力信号 CSIHTSO
- データ入力信号 CSIHTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- $\overline{\text{CSIHTSSI}}$: スレーブ選択入力信号
- CSIHTRYO : レディ/ビジー出力信号 (ハンドシェーク信号)
- CSIHTRYI : レディ/ビジー入力信号 (ハンドシェーク信号)
- CSIHTCSS[7:0] : チップセレクト信号

データ送信は、1ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

表 14.12 CSIH の主なレジスタ

レジスタ	機能
CSIHnCTL0	シリアルクロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効 (バッファのバイパス) にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループバックモード、ハンドシェークなどのオプション機能を制御します。
CSIHnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵ポーレートジェネレータ (BRG) で転送クロック周波数を選択します。
CSIHnBRSy	チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。
CSIHnMCTL0	メモリモードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	デュアルバッファモードでメモリを制御します。
CSIHnCFGx	各チップセレクト信号の通信プロトコルを設定するレジスタです。

14.2.3 ブロック図

以下のブロック図はCSIHの主要なコンポーネントを示しています。

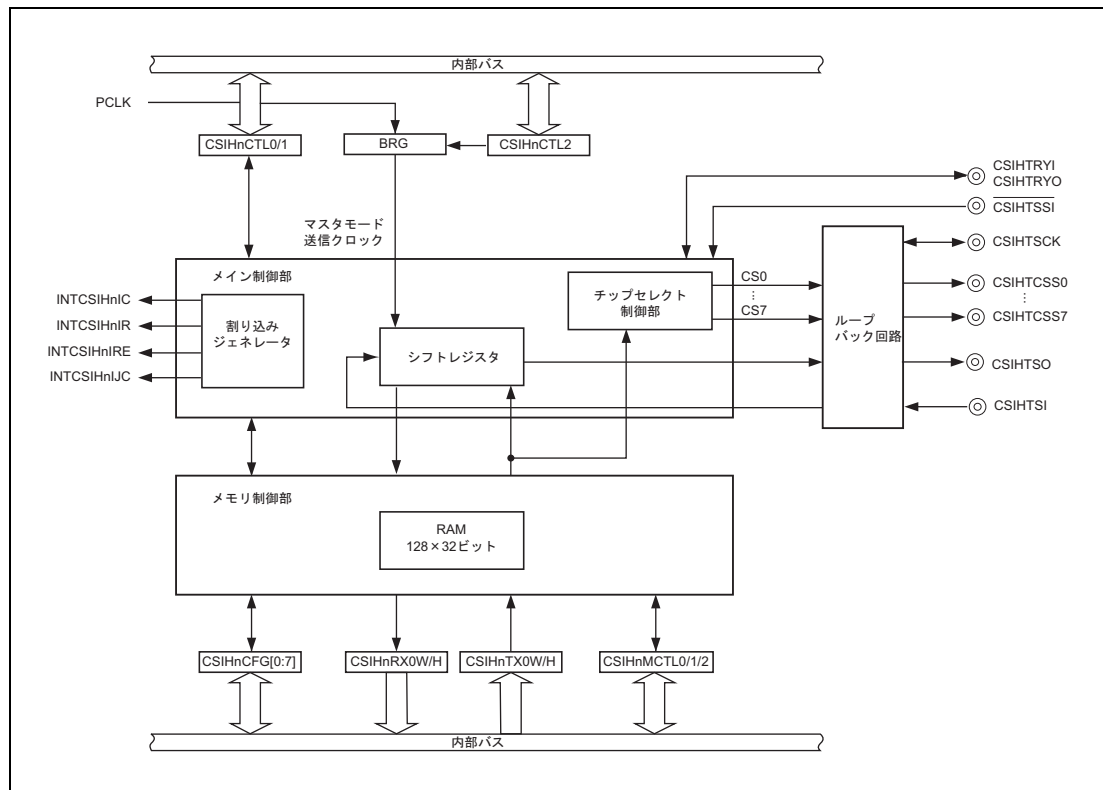


図 14.1 CSIHのブロック図

マスターモードでは、送信クロック $CSIHSSCK$ が内蔵のポーレートジェネレータ (BRG) によって生成されます。スレーブモードでは、外部ソースから送信クロックが供給されます。内蔵のメモリは FIFO、デュアルバッファ (別々の送信バッファと受信バッファ) または送信専用バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループバック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

備考

本章では、以下のモードについて説明します。

- 「動作モード」はマスターモードとスレーブモードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます (詳細については、「14.5.1 動作モード (マスタ/スレーブ)」を参照してください)。
- 「ジョブモード」は AUTOSAR ジョブ概念に関連しています (詳細については、「14.5.3.3 ジョブ概念」を参照してください)。
- 「メモリモード」では、関連付けられたバッファメモリのさまざまな設定に対応します (詳細については、「14.5.6 CSIHのバッファメモリ」を参照してください)。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります (詳細については、「14.5.7 データ転送モード」を参照してください)。

14.3 レジスタ

14.3.1 レジスタ一覧

CSIHのレジスタ一覧を以下の表に示します。

CSIHnのベースアドレス<CSIHn_base>は、「14.1.2 レジスタベースアドレス」を参照してください。

表 14.13 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CSIHn	CSIHn 制御レジスタ 0	CSIHnCTL0	<CSIHn_base> + 0000 _H
CSIHn	CSIHn 制御レジスタ 1	CSIHnCTL1	<CSIHn_base> + 0010 _H
CSIHn	CSIHn 制御レジスタ 2	CSIHnCTL2	<CSIHn_base> + 0014 _H
CSIHn	CSIHn ステータスレジスタ 0	CSIHnSTR0	<CSIHn_base> + 0004 _H
CSIHn	CSIHn ステータスクリアレジスタ 0	CSIHnSTCR0	<CSIHn_base> + 0008 _H
CSIHn	CSIHn メモリ制御レジスタ 0	CSIHnMCTL0	<CSIHn_base> + 1040 _H
CSIHn	CSIHn メモリ制御レジスタ 1	CSIHnMCTL1	<CSIHn_base> + 1000 _H
CSIHn	CSIHn メモリ制御レジスタ 2	CSIHnMCTL2	<CSIHn_base> + 1004 _H
CSIHn	CSIHn メモリ読み出し/書き込みポインタレジスタ 0	CSIHnMRWP0	<CSIHn_base> + 1018 _H
CSIHn	CSIHn コンフィグレーションレジスタ 0	CSIHnCFG0	<CSIHn_base> + 1044 _H
CSIHn	CSIHn コンフィグレーションレジスタ 1	CSIHnCFG1	<CSIHn_base> + 1048 _H
CSIHn	CSIHn コンフィグレーションレジスタ 2	CSIHnCFG2	<CSIHn_base> + 104C _H
CSIHn	CSIHn コンフィグレーションレジスタ 3	CSIHnCFG3	<CSIHn_base> + 1050 _H
CSIHn	CSIHn コンフィグレーションレジスタ 4	CSIHnCFG4	<CSIHn_base> + 1054 _H
CSIHn	CSIHn コンフィグレーションレジスタ 5	CSIHnCFG5	<CSIHn_base> + 1058 _H
CSIHn	CSIHn コンフィグレーションレジスタ 6	CSIHnCFG6	<CSIHn_base> + 105C _H
CSIHn	CSIHn コンフィグレーションレジスタ 7	CSIHnCFG7	<CSIHn_base> + 1060 _H
CSIHn	CSIHn ワードアクセス用送信データレジスタ 0	CSIHnTX0W	<CSIHn_base> + 1008 _H
CSIHn	CSIHn ハーフワードアクセス用送信データレジスタ 0	CSIHnTX0H	<CSIHn_base> + 100C _H
CSIHn	CSIHn ワードアクセス用受信データレジスタ 0	CSIHnRX0W	<CSIHn_base> + 1010 _H
CSIHn	CSIHn ハーフワードアクセス用受信データレジスタ 0	CSIHnRX0H	<CSIHn_base> + 1014 _H
CSIHn	CSIHn ポーレート設定レジスタ 0	CSIHnBRS0	<CSIHn_base> + 1068 _H
CSIHn	CSIHn ポーレート設定レジスタ 1	CSIHnBRS1	<CSIHn_base> + 106C _H
CSIHn	CSIHn ポーレート設定レジスタ 2	CSIHnBRS2	<CSIHn_base> + 1070 _H
CSIHn	CSIHn ポーレート設定レジスタ 3	CSIHnBRS3	<CSIHn_base> + 1074 _H
CSIH	CSIH DMA 選択レジスタ ^{注1}	SELCSIHDMA	<CSIH0_base> + E000 _H

注 1. CSIH0, 1のみ対応

14.3.2 CSIHnCTL0 — CSIHn 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可/禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス 8 / 1 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnPWR	CSIHnTXE	CSIHnRXE	—	—	—	CSIHnJOBE	CSIHnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

表 14.14 CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0: 動作クロックを停止させます。 1: 動作クロックを供給します。 CSIHnPWR をクリア (0) すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR をクリア (0) した場合、実行中の通信はただちに中止されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0: 送信を禁止します。 1: 送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0: 受信を禁止します。 1: 受信を許可します。
4 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します (CSIHnTX0W.CSIHnEOJ = 1 (ジョブ終了) 時に送信バッファにデータを書き込まれると通信が終了になります)。 0: 通信停止を要求しません。 1: 通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア (0) されます。このビットをセット (1) しても、リード値は常に 0 です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT = 1 に設定することによってポインタをクリアしたあと、次の通信を開始する必要があります。
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0: メモリモード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1: ダイレクトアクセスモード CSIH のメモリをバイパスします。

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照して下さい。

14.3.3 CSIHnCTL1 — CSIHn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェイク機能、ジョブモードを有効または無効する機能も持っています。また、各チップセレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップセレクト信号の動作の選択も行います。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIHn PHE	CSIHn CKR	CSIHn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn CSL7	CSIHn CSL6	CSIHn CSL5	CSIHn CSL4	CSIHn CSL3	CSIHn CSL2	CSIHn CSL1	CSIHn CSL0	CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.15 CSIHnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	CSIHnPHE	CPU 制御の優先度別通信機能を設定します。 0: CPU 制御の高優先通信機能は無効です。 1: CPU 制御の高優先通信機能は有効です。 CPU 制御の高優先通信機能を有効にする場合は、本ビットを 1 に設定するほかに、CSIHnJE = 1 を設定してください。このビットは送信専用バッファモードでのみ設定可能です。
17	CSIHnCKR	CSIHTSCK のクロック反転機能 0: CSIHTSCK のデフォルトレベルはハイレベル 1: CSIHTSCK のデフォルトレベルはロウレベル 詳細については、「14.3.11 CSIHnCFGx — CSIHn コンフィグレーションレジスタ x」を参照してください。
16	CSIHnSLIT	割り込み INTCSIHnIC のタイミングを選択します。 0: 通常の割り込みのタイミング (転送後に割り込みを発生します)。 1: CSIHnTX0W/H レジスタの内容がシフトレジスタに転送されると、ただちに割り込みが発生します (ダイレクトアクセスモード/送信専用バッファモードでのみ機能します)。 詳細については、「14.4.3 INTCSIHnIC (通信ステータス割り込み)」を参照してください。
15 ~ 8	CSIHnCSL7-0	チップセレクト信号 x (CSIHTCSSx) のアクティブ出力レベルを選択します (x = 0-7)。 0: チップセレクト信号をアクティブロウにします。 1: チップセレクト信号をアクティブハイにします。 詳細については、「14.5.3 チップセレクト (CS) 機能」を参照してください。
7	CSIHnEDLE	拡張データ長 (EDL) モードを有効または無効にします。 0: 拡張データ長モードを無効にします。 1: 拡張データ長モードを有効にします。 詳細については、「14.5.8.2 16 ビットを上回るデータ長」を参照してください。

表 14.15 CSIHnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	CSIHnJE	ジョブモードを有効または無効にします。 0: ジョブモードを無効にします。 1: ジョブモードを有効にします。 詳細については、「14.5.3.3 ジョブ概念」を参照してください。 CSIHnCTL0.CSIHnJOBE, CSIHnTX0W.CSIHnEOJ, CSIHnTX0W. CSIHnCIRE ビットは CSIHnJE = 1 のときにのみ有効です。 このビットはスレーブモードでは設定禁止です。 また、CPU 制御の高優先通信機能を有効にする場合は、CSIHnPHE = 1 のほかに、本ビットを 1 に設定してください。
5	CSIHnDCS	データ整合性チェックを有効または無効にします。 0: データ整合性チェックを無効にします。 1: データ整合性チェックを有効にします。 詳細については、「14.5.12.1 データ整合性チェック」を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップセレクト信号の動作を定義します。 0: チップセレクト信号がアクティブレベルを保持します。 1: チップセレクト信号が非アクティブレベルに戻ります。 最後のデータの判定は以下のタイミングで行います。 <ul style="list-style-type: none"> FIFO モード時、通信の最後に次の書き込みがない場合に出力される INTCSIHnIC 割り込み出カタイミグ ダイレクトアクセスモード時、CSIHnCTL1.CSIHnSLIT = 0 に設定した時の INTCSIHnIC 割り込み出カタイミグ
3	CSIHnLBM	ループバックモード (LBM) を制御します。 0: ループバックモードをインアクティブにします。 1: ループバックモードをアクティブにします。 詳細については、「14.5.13 ループバックモード」を参照してください。
2	CSIHnSIT	割り込み遅延モードを選択します。 0: 遅延を生成しません。 1: すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、「14.4.2 割り込み遅延」を参照してください。
1	CSIHnHSE	ハンドシェイク機能を有効または無効にします。 0: ハンドシェイク機能を無効にします。 1: ハンドシェイク機能を有効にします。 詳細については、「14.5.11 ハンドシェイク機能」を参照してください。
0	CSIHnSSE	スレーブ選択機能を有効または無効にします。 0: 入力信号 CSIHTSSI を無効にします。 1: 入力信号 CSIHTSSI を有効にします。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります (「14.5.2 マスタ/スレーブの接続」も参照してください)。

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 14.16 受信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	CSIHTSSI	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 14.17 送信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	CSIHnTSSI	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.4 CSIHnCTL2 — CSIHn 制御レジスタ 2

本レジスタでは動作モードと基本クロックの値を選択し、転送クロック周波数を指定します。

詳細については、「14.5.5 送信クロックの選択」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 0014_H

リセット後の値 E000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnPRS[2:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.18 CSIHnCTL2 レジスタの内容

ビット位置	ビット名	機能																																				
15 ~ 13	CSIHnPRS[2:0]	動作モードと基本クロックの値を選択します。																																				
		<table border="1"> <thead> <tr> <th>CSIHnPRS2</th> <th>CSIHnPRS1</th> <th>CSIHnPRS0</th> <th>基本クロック (PRSOOUT) の選択</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>PCLK (マスタモード)</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>PCLK/2 (マスタモード)</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>PCLK/4 (マスタモード)</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>PCLK/8 (マスタモード)</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>PCLK/16 (マスタモード)</td> </tr> <tr> <td>1</td><td>0</td><td>1</td><td>PCLK/32 (マスタモード)</td> </tr> <tr> <td>1</td><td>1</td><td>0</td><td>PCLK/64 (マスタモード)</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>CSIHTSCK(in) 経由の外部クロック (スレーブモード)</td> </tr> </tbody> </table>	CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック (PRSOOUT) の選択	0	0	0	PCLK (マスタモード)	0	0	1	PCLK/2 (マスタモード)	0	1	0	PCLK/4 (マスタモード)	0	1	1	PCLK/8 (マスタモード)	1	0	0	PCLK/16 (マスタモード)	1	0	1	PCLK/32 (マスタモード)	1	1	0	PCLK/64 (マスタモード)	1	1	1	CSIHTSCK(in) 経由の外部クロック (スレーブモード)
		CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック (PRSOOUT) の選択																																	
		0	0	0	PCLK (マスタモード)																																	
		0	0	1	PCLK/2 (マスタモード)																																	
		0	1	0	PCLK/4 (マスタモード)																																	
		0	1	1	PCLK/8 (マスタモード)																																	
		1	0	0	PCLK/16 (マスタモード)																																	
		1	0	1	PCLK/32 (マスタモード)																																	
1	1	0	PCLK/64 (マスタモード)																																			
1	1	1	CSIHTSCK(in) 経由の外部クロック (スレーブモード)																																			
12 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				

マスタモードでは、以下のビットを使って転送クロック周波数を設定します。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnCFGx.CSIHnBRSS[1:0]
- CSIHnBRSy.CSIHnBRS[11:0]

また、CSIHnBRSy.CSIHnBRS[11:0] ビットで設定される 4 種類の転送クロック周波数設定は、チップセレクト信号ごとに、そのいずれかの設定が選択されます。チップセレクト信号ごとの転送クロック周波数設定の選択は、CSIHnCFGx.CSIHnBRSS[1:0] ビットにて行います。

CSIHnCFGx.CSIHnBRSS[1:0] と CSIHnBRSy.CSIHnBRS[11:0] の関係は、以下のとおりです。

表 14.19 CSIHnCFGx.CSIHnBRSS[1:0] と CSIHnBRSy.CSIHnBRS[11:0] の関係

CSIHnCFGx (x = 0-7) CSIHnBRSS1-0	選択される転送クロック周波数設定ビット
00	CSIHnBRS0.CSIHnBRS[11:0]
01	CSIHnBRS1.CSIHnBRS[11:0]
10	CSIHnBRS2.CSIHnBRS[11:0]
11	CSIHnBRS3.CSIHnBRS[11:0]

CSIHnPRS[2:0] ビットの値を α とした場合、CSIHnBRSS[1:0] ビットにて選択された転送クロック周波数設定 (CSIHnBRSy[11:0]) と転送クロック周波数の関係は、以下のとおりです。

表 14.20 CSIHnBRSy[11:0] と転送クロック周波数の関係

CSIHnBRS[11:0]	転送クロック周波数
0	BRG stopped
1	$PCLK / (2^\alpha \times 1 \times 2)$
2	$PCLK / (2^\alpha \times 2 \times 2)$
3	$PCLK / (2^\alpha \times 3 \times 2)$
4	$PCLK / (2^\alpha \times 4 \times 2)$
...	...
4095	$PCLK / (2^\alpha \times 4095 \times 2)$

スレーブモードで、タイムアウトエラーを使用する場合のクロックは、本設定で設定したクロックが使われます。スレーブモードで使用する際は、CSIHnPRS[2:0] ビットに 111_B を設定しますが、その際のプリスケアラは、CSIHnPRS[2:0] ビットに 000_B を設定した場合と同じ設定になります。タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0] ビットには、000_H 以外の値を設定して使用してください。

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.5 CSIHnSTR0 — CSIHn ステータスレジスタ 0

本レジスタはCSIHの状態を示します。

アクセス 32ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 0004_H

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnSRP[7:0]								CSIHnSPF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn TMOE	CSIHn OFE	—	—	—	—	—	CSIHn HPST	CSIHn TSF	—	CSIHn FLF	CSIHn EMF	CSIHn DCE	—	CSIHn PE	CSIHn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.21 CSIHnSTR0 レジスタの内容 (1/3)

ビット位置	ビット名	機能										
31 ~ 24	CSIHnSRP[7:0]	<p>FIFO モードで受信データ数を示します。</p> <table border="1"> <thead> <tr> <th>CSIHnSRP[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>受信データ数 (0 ~ 128)</td> </tr> <tr> <td>:</td> <td></td> </tr> <tr> <td>80_H</td> <td></td> </tr> <tr> <td>上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。 ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が 00_H に固定されます。 ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、このビットは 0 に固定されます。</p>	CSIHnSRP[7:0]	説明	00 _H	受信データ数 (0 ~ 128)	:		80 _H		上記以外	未定義
CSIHnSRP[7:0]	説明											
00 _H	受信データ数 (0 ~ 128)											
:												
80 _H												
上記以外	未定義											
23 ~ 16	CSIHnSPF[7:0]	<p>FIFO モードで未送信データの数を示します。 (CPU によって書き込まれたデータの数は送信データ数です)</p> <table border="1"> <thead> <tr> <th>CSIHnSPF[7:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>未送信データパケットの数 (0 ~ 128)</td> </tr> <tr> <td>:</td> <td></td> </tr> <tr> <td>80_H</td> <td></td> </tr> <tr> <td>上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p>これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。 ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が 00_H に固定されます。 ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0] によってデータの数を管理するため、このビットは 0 に固定されます。</p>	CSIHnSPF[7:0]	説明	00 _H	未送信データパケットの数 (0 ~ 128)	:		80 _H		上記以外	未定義
CSIHnSPF[7:0]	説明											
00 _H	未送信データパケットの数 (0 ~ 128)											
:												
80 _H												
上記以外	未定義											

表 14.21 CSIHnSTR0 レジスタの内容 (2/3)

ビット位置	ビット名	機能																									
15	CSIHnTMOE	<p>FIFO モード時のタイムアウトエラーフラグ FIFO モード時のタイムアウトエラーが検出されたかどうかを示します。 0: FIFO モード時のタイムアウトエラーが検出されていません。 1: FIFO モード時のタイムアウトエラーが検出されています。 詳細については、「14.5.12.3 タイムアウトエラー」を参照してください。 このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア (0) されます。 ただし、タイムアウトエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnTMOEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したと きも初期化されます。</p>																									
14	CSIHnOFE	<p>FIFO モード時のオーバフローエラーフラグ FIFO モード時のオーバフローエラーが検出されたかどうかを示します。 0: FIFO モード時のオーバフローエラーが検出されていません。 1: FIFO モード時のオーバフローエラーが検出されています。 詳細については、「14.5.12.4 オーバフローエラー」を参照してください。 このビットは CSIHnSTCR0.CSIHnOFEC によってクリア (0) されます。 ただし、オーバフローエラー検出によるセット (1) と CSIHnSTCR0.CSIHnOFEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したと きも初期化されます。 CSIHnCTL0.CSIHnPWR = 0 のときに CSIHnTX0W または CSIHnTX0H に 129 の送信データを書き込むと、オーバフローエラーが発生します。</p>																									
13 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。																									
8	CSIHnHPST	<p>通信優先度確認フラグ 0: 低優先の通信中であることを示します。 1: 高優先の通信中であることを示します。 本ビットは、CPU 制御による高優先通信を無効 (CSIHnPHE = 0) 設定にしてい る場合は、常に 0 が読み出されます。</p>																									
7	CSIHnTSF	<p>転送ステータスフラグ 0: アイドル状態 1: 通信中または通信の準備中 このビットがセットまたはクリアされるタイミングを以下に示します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">マスタモード</th> <th colspan="2">セットされるタイミング</th> <th rowspan="2">クリアされる タイミング</th> </tr> <tr> <th>ダイレクトアクセス モード、 FIFO モード</th> <th>デュアルバッファ モード、 送信専用バッファ モード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への 書き込み</td> <td rowspan="3">CSIHnMCTL2.CSI HnBTST ビットの セット</td> <td rowspan="3">最後のシリアルク ロックエッジから 半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">スレーブモード</th> <th colspan="2">セットされるタイミング</th> <th rowspan="2">クリアされる タイミング</th> </tr> <tr> <th>ダイレクトアクセス モード、 FIFO モード</th> <th>デュアルバッファ モード、 送信専用バッファ モード</th> </tr> </thead> <tbody> <tr> <td>送信専用モード</td> <td rowspan="3">送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への 書き込み</td> <td rowspan="3">CSIHnMCTL2.CSI HnBTST ビットの セット</td> <td rowspan="3">最後のシリアルク ロックエッジから 半クロック以内</td> </tr> <tr> <td>送受信モード</td> </tr> <tr> <td>受信専用モード</td> <td>CSIHTSCK 入力 タイミング</td> </tr> </tbody> </table>	マスタモード	セットされるタイミング		クリアされる タイミング	ダイレクトアクセス モード、 FIFO モード	デュアルバッファ モード、 送信専用バッファ モード	送信専用モード	送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への 書き込み	CSIHnMCTL2.CSI HnBTST ビットの セット	最後のシリアルク ロックエッジから 半クロック以内	送受信モード	受信専用モード	スレーブモード	セットされるタイミング		クリアされる タイミング	ダイレクトアクセス モード、 FIFO モード	デュアルバッファ モード、 送信専用バッファ モード	送信専用モード	送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への 書き込み	CSIHnMCTL2.CSI HnBTST ビットの セット	最後のシリアルク ロックエッジから 半クロック以内	送受信モード	受信専用モード	CSIHTSCK 入力 タイミング
マスタモード	セットされるタイミング			クリアされる タイミング																							
	ダイレクトアクセス モード、 FIFO モード	デュアルバッファ モード、 送信専用バッファ モード																									
送信専用モード	送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への 書き込み	CSIHnMCTL2.CSI HnBTST ビットの セット	最後のシリアルク ロックエッジから 半クロック以内																								
送受信モード																											
受信専用モード																											
スレーブモード	セットされるタイミング		クリアされる タイミング																								
	ダイレクトアクセス モード、 FIFO モード	デュアルバッファ モード、 送信専用バッファ モード																									
送信専用モード	送信レジスタ (CSIHnTX0W/ CSIHnTX0H) への 書き込み	CSIHnMCTL2.CSI HnBTST ビットの セット	最後のシリアルク ロックエッジから 半クロック以内																								
送受信モード																											
受信専用モード				CSIHTSCK 入力 タイミング																							
6	予約ビット	リードした場合はリセット後の値が読めます。																									

表 14.21 CSIHnSTR0 レジスタの内容 (3/3)

ビット位置	ビット名	機能
5	CSIHnFLF	FIFO モード時のバッファフルの状態を示すフラグです。 0: FIFO バッファがフル状態ではありません。 1: FIFO バッファがフル状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってクリア (0) されます。 FIFO バッファは未送信データや受信データでフルになることがあります。
4	CSIHnEMF	FIFO モード時のバッファエンプティの状態を示すフラグです。 0: FIFO バッファがエンプティ状態ではありません。 1: FIFO バッファがエンプティ状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってセット (1) されます。 このビットは、CSIHnSTR0.CSIHnSRP[7:0] + CSIHnSTR0.CSIHnSPF[7:0] = 00 _H となったときにセット (1) されます。
3	CSIHnDCE	データ整合性チェックエラーフラグ 0: データ整合性チェックエラーが検出されていません。 1: データ整合性チェックエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に 1 を書き込むことによってクリア (0) されます。ただし、データ整合性チェックエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnDCEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
2	予約ビット	リードした場合はリセット後の値が読めます。
1	CSIHnPE	パリティエラーフラグ 0: パリティエラーが検出されていません。 1: パリティエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnPEC に 1 を書き込むことによってクリア (0) されます。 ただし、パリティエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnPEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
0	CSIHnOVE	オーバランエラーフラグ (デュアルバッファモードでは 0 固定です) 0: オーバランエラーが検出されていません。 1: オーバランエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に 1 を書き込むことによってクリア (0) されます。ただし、オーバランエラーの検出によるセット (1) と CSIHnSTCR0.CSIHnOVEC によるクリア (0) が同時に発生した場合、セット (1) を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。

表 14.22 メモリモードでの動作

ビット名	ビット位置	ダイレクトアクセスモード	FIFO モード	送信専用バッファモード	デュアルバッファモード
CSIHnSRP[7:0]	31-24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23-16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0: エラー未検出 1: エラー検出	0 固定	0 固定
CSIHnTSF	7	0: アイドル状態 1: 送信中または送信の準備中			
CSIHnFLF	5	0 固定	0: フルでない 1: フル	0 固定	0 固定
CSIHnEMF	4	1 固定	0: エンプティでない 1: エンプティ	1 固定	1 固定
CSIHnDCE	3	0: エラー未検出 1: エラー検出			
CSIHnPE	1	0: エラー未検出 1: エラー検出			
CSIHnOVE	0	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0: エラー未検出 1: エラー検出	0 固定

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.6 CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0

本レジスタは CSIHnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス 16 ビット単位でリード/ライト可能です。
読み出すと、常に値 0000_H が返されます。

アドレス <CSIHn_base> + 0008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTMOEC	CSIHnOFEC	—	—	—	—	—	CSIHnPCT	—	—	—	—	CSIHnDCEC	—	CSIHnPEC	CSIHnOVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 14.23 CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能				
15	CSIHnTMOEC	タイムアウトエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。 1: タイムアウトエラーフラグ (CSIHnSTR0.CSIHnTMOE) をクリアします。 読み出し値は常に 0 になります。				
14	CSIHnOFEC	オーバフローエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。 1: オーバフローエラーフラグ (CSIHnSTR0.CSIHnOFE) をクリアします。 読み出し値は常に 0 になります。				
13 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。				
8	CSIHnPCT	FIFO ポインタクリアコマンドを制御します。 0: 何も操作を行いません。 1: 次の FIFO バッファポインタ (FIFO モード、デュアルバッファモード、送信専用バッファモード) およびステータスビットをクリアします。 読み出し値は常に 0 になります。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>FIFO バッファポインタ</th> <th>ステータスビット</th> </tr> </thead> <tbody> <tr> <td>CSIHnMRWP0.CSIHnTRWA[6:0] CSIHnMRWP0.CSIHnRRA[6:0] CSIHnMCTL2.CSIHnSOP[6:0]</td> <td>CSIHnSTR0.CSIHnSPF[7:0] CSIHnSTR0.CSIHnSRP[7:0] CSIHnSTR0.CSIHnFLF CSIHnSTR0.CSIHnTSF</td> </tr> </tbody> </table>	FIFO バッファポインタ	ステータスビット	CSIHnMRWP0.CSIHnTRWA[6:0] CSIHnMRWP0.CSIHnRRA[6:0] CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnSPF[7:0] CSIHnSTR0.CSIHnSRP[7:0] CSIHnSTR0.CSIHnFLF CSIHnSTR0.CSIHnTSF
FIFO バッファポインタ	ステータスビット					
CSIHnMRWP0.CSIHnTRWA[6:0] CSIHnMRWP0.CSIHnRRA[6:0] CSIHnMCTL2.CSIHnSOP[6:0]	CSIHnSTR0.CSIHnSPF[7:0] CSIHnSTR0.CSIHnSRP[7:0] CSIHnSTR0.CSIHnFLF CSIHnSTR0.CSIHnTSF					
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。				
3	CSIHnDCEC	データ整合性チェックエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。 1: データ整合性チェックエラーフラグ (CSIHnSTR0.CSIHnDCE) をクリアします。 読み出し値は常に 0 になります。				
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。				
1	CSIHnPEC	パリティエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。 1: パリティエラーフラグ (CSIHnSTR0.CSIHnPE) をクリアします。 読み出し値は常に 0 になります。				
0	CSIHnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0: 何も操作を行いません。 1: オーバランエラーフラグ (CSIHnSTR0.CSIHnOVE) をクリアします。 読み出し値は常に 0 になります。				

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.7 CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0

本レジスタではメモリモードとタイムアウトの設定を選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1040_H

リセット後の値 001F_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CSIHnMMS[1:0]	—	—	—	CSIHnTO[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 14.24 CSIHnMCTL0 レジスタの内容

ビット位置	ビット名	機能															
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
9, 8	CSIHnMMS [1:0]	<p>メモリモードを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnMMS1</th> <th>CSIHnMMS0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>FIFO モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>デュアルバッファモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>送信専用バッファモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>禁止</td> </tr> </tbody> </table> <p>メモリモードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット (1) し個々のバッファポインタをクリアしてください。 ダイレクトアクセスモードでは、これらのビットの設定は無視されます。</p>	CSIHnMMS1	CSIHnMMS0	説明	0	0	FIFO モード	0	1	デュアルバッファモード	1	0	送信専用バッファモード	1	1	禁止
CSIHnMMS1	CSIHnMMS0	説明															
0	0	FIFO モード															
0	1	デュアルバッファモード															
1	0	送信専用バッファモード															
1	1	禁止															
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4 ~ 0	CSIHnTO[4:0]	<p>FIFO モードのタイムアウトの設定を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnTO[4:0]</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>タイムアウトを検出しません。</td> </tr> <tr> <td>00001_B</td> <td>タイムアウトを (1 × 8 × BRG 出カクロック) にします。</td> </tr> <tr> <td>00010_B</td> <td>タイムアウトを (2 × 8 × BRG 出カクロック) にします。</td> </tr> <tr> <td>...</td> <td></td> </tr> <tr> <td>11111_B</td> <td>タイムアウトを (31 × 8 × BRG 出カクロック) にします。</td> </tr> </tbody> </table> <p>注意</p> <p>タイムアウトの設定は、CSIHnCTL0.CSIHnPWR = 0 のときのみ変更することができます。 CSIHnTO[4:0] ビットは FIFO モード以外 (ダイレクトアクセスモード、デュアルバッファモード、送信専用バッファモード) は 0000_B に設定してください タイムアウトの検出の詳細については、「14.5.12.3 タイムアウトエラー」も参照してください。</p>	CSIHnTO[4:0]	説明	0000 _B	タイムアウトを検出しません。	00001 _B	タイムアウトを (1 × 8 × BRG 出カクロック) にします。	00010 _B	タイムアウトを (2 × 8 × BRG 出カクロック) にします。	...		11111 _B	タイムアウトを (31 × 8 × BRG 出カクロック) にします。			
CSIHnTO[4:0]	説明																
0000 _B	タイムアウトを検出しません。																
00001 _B	タイムアウトを (1 × 8 × BRG 出カクロック) にします。																
00010 _B	タイムアウトを (2 × 8 × BRG 出カクロック) にします。																
...																	
11111 _B	タイムアウトを (31 × 8 × BRG 出カクロック) にします。																

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.8 CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1

本レジスタでは FIFO モードで割り込み要求 INTCSIHnIC と INTCSIHnIR を発生する条件を選択します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnFES[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnFFS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.25 CSIHnMCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	CSIHnFES [6:0]	FIFO モードで INTCSIHnIC 割り込み (送信データエンプティ) を発生する条件を選択します。 FIFO に残っている未送信の送信データの数 (CSIHnSTR0.CSIHnSPF[7:0] ビットで確認) が CSIHnMCTL1.CSIHnFES[6:0] と一致すると、INTCSIHnIC 割り込み要求が発生します。
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	CSIHnFFS [6:0]	FIFO モードで INTCSIHnIR 割り込み (受信データフル) を発生する条件を選択します。 FIFO に残っている受信データの数が (CSIHnSTR0.CSIHnSRP[7:0] ビットで確認) (128-CSIHnMCTL1.CSIHnFFS[6:0]) と一致すると、INTCSIHnIR 割り込み要求が発生します。

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.9 CSIHnMCTL2 — CSIHn メモリ制御レジスタ 2

本レジスタでは、デュアルバッファモードまたは送信専用バッファモードのときにメモリの動作を制御し、通信の開始をトリガします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	CSIHn BTST	—	—	—	—	—	—	—	CSIHnND[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	CSIHnSOP[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 14.26 CSIHnMCTL2 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																																		
31	CSIHnBTST	<p>バッファ転送の開始トリガを供給します。</p> <p>0: 何も操作を行いません。</p> <p>1: 転送開始コマンドを発行します。</p> <p>読み出し値は常に0になります。</p> <p>注意</p> <p>このビットはデュアルバッファモードおよび送信専用バッファモードでのみ使用できます。</p>																																																		
30 ~ 24	予約ビット	<p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</p>																																																		
23 ~ 16	CSIHnND[7:0]	<p>各メモリモードにおけるデータの数を指定します。</p> <p>リード値は残りの通信データ数を表します。</p> <table border="1"> <thead> <tr> <th>CSIHnND[7:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFOモード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0個のデータを送信</td> <td>0個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>1個のデータを送信</td> <td>1個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>63個のデータを送信</td> <td>63個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>64個のデータを送信</td> <td>64個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>...</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>127個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>80_H</td> <td>禁止</td> <td>128個のデータを送信</td> <td>影響なし</td> <td>影響なし</td> </tr> <tr> <td>上記以外</td> <td colspan="4">設定禁止</td> </tr> </tbody> </table> <p>データ転送後、値は自動的にデクリメントされます（ダイレクトアクセスモードではデクリメントされません）。</p>	CSIHnND[7:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード	00 _H	0個のデータを送信	0個のデータを送信	影響なし	影響なし	01 _H	1個のデータを送信	1個のデータを送信	影響なし	影響なし	影響なし	影響なし	3F _H	63個のデータを送信	63個のデータを送信	影響なし	影響なし	40 _H	64個のデータを送信	64個のデータを送信	影響なし	影響なし	...	禁止	...	影響なし	影響なし	7F _H	禁止	127個のデータを送信	影響なし	影響なし	80 _H	禁止	128個のデータを送信	影響なし	影響なし	上記以外	設定禁止			
CSIHnND[7:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード																																																
00 _H	0個のデータを送信	0個のデータを送信	影響なし	影響なし																																																
01 _H	1個のデータを送信	1個のデータを送信	影響なし	影響なし																																																
...	影響なし	影響なし																																																
3F _H	63個のデータを送信	63個のデータを送信	影響なし	影響なし																																																
40 _H	64個のデータを送信	64個のデータを送信	影響なし	影響なし																																																
...	禁止	...	影響なし	影響なし																																																
7F _H	禁止	127個のデータを送信	影響なし	影響なし																																																
80 _H	禁止	128個のデータを送信	影響なし	影響なし																																																
上記以外	設定禁止																																																			
15 ~ 7	予約ビット	<p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</p>																																																		

表 14.26 CSIHnMCTL2 レジスタの内容 (2/2)

ビット位置	ビット名	機能																																								
6 ~ 0	CSIHnSOP [6:0]	<p>送信データのポインタを選択します。 CSIHnCTL0.CSIHnPWR = 0、または CSIHnSTCR0.CSIHnPCT = 1 に設定して通信を強制的に停止すると、これらのビットはハードウェアによってクリアされます。 FIFO モードでは、これらのビットは送信アドレスを示します。</p> <table border="1"> <thead> <tr> <th>CSIHn SOP[6:0]</th> <th>デュアルパッファモード</th> <th>送信専用パッファモード</th> <th>FIFO モード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0000_H</td> <td>0000_H</td> <td>0000_H</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>0004_H</td> <td>0004_H</td> <td>0004_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>00FC_H</td> <td>00FC_H</td> <td>00FC_H</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>禁止</td> <td>0100_H</td> <td>0100_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>...</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>01FC_H</td> <td>01FC_H</td> <td>影響なし</td> </tr> </tbody> </table> <p>データ転送後、値は自動的にインクリメントされます。</p> <p>注意</p> <p>ダイレクトアクセスモードではこれらのビットはインクリメントされません。</p>	CSIHn SOP[6:0]	デュアルパッファモード	送信専用パッファモード	FIFO モード	ダイレクトアクセスモード	00 _H	0000 _H	0000 _H	0000 _H	影響なし	01 _H	0004 _H	0004 _H	0004 _H	影響なし	影響なし	3F _H	00FC _H	00FC _H	00FC _H	影響なし	40 _H	禁止	0100 _H	0100 _H	影響なし	...	禁止	影響なし	7F _H	禁止	01FC _H	01FC _H	影響なし
CSIHn SOP[6:0]	デュアルパッファモード	送信専用パッファモード	FIFO モード	ダイレクトアクセスモード																																						
00 _H	0000 _H	0000 _H	0000 _H	影響なし																																						
01 _H	0004 _H	0004 _H	0004 _H	影響なし																																						
...	影響なし																																						
3F _H	00FC _H	00FC _H	00FC _H	影響なし																																						
40 _H	禁止	0100 _H	0100 _H	影響なし																																						
...	禁止	影響なし																																						
7F _H	禁止	01FC _H	01FC _H	影響なし																																						

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.10 CSIHnMRWP0 — CSIHn メモリ読み出し／書き込みポインタレジスタ 0

本レジスタではデュアルバッファまたは送信専用バッファの読み出しポインタと書き込みポインタを設定します。

アクセス 32ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 1018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnRRA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnTRWA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.27 CSIHnMRWP0 レジスタの内容 (1/2)

ビット位置	ビット名	機能																																								
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								
22 ~ 16	CSIHnRRA [6:0]	<p>受信バッファの読み出しポインタを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHnRRA[6:0]</th> <th>デュアルバッファモード</th> <th>送信専用バッファモード</th> <th>FIFOモード</th> <th>ダイレクトアクセスモード</th> </tr> </thead> <tbody> <tr> <td>00_H</td> <td>0000_H</td> <td>影響なし</td> <td>0000_H</td> <td>影響なし</td> </tr> <tr> <td>01_H</td> <td>0004_H</td> <td>影響なし</td> <td>0004_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>...</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>3F_H</td> <td>00FC_H</td> <td>影響なし</td> <td>00FC_H</td> <td>影響なし</td> </tr> <tr> <td>40_H</td> <td>禁止</td> <td>影響なし</td> <td>0100_H</td> <td>影響なし</td> </tr> <tr> <td>...</td> <td>禁止</td> <td>影響なし</td> <td>...</td> <td>影響なし</td> </tr> <tr> <td>7F_H</td> <td>禁止</td> <td>影響なし</td> <td>01FC_H</td> <td>影響なし</td> </tr> </tbody> </table> <p>受信データが読み出されると、これらのビットは自動的にインクリメントされません。 CSIHnRRA[6:0] = 7F_H のとき、受信データが読みだされた場合 CSIHnRRA[6:0] = 00_H になります。 CSIHnRX0W または CSIHnRX0H レジスタの読み出し中にオーバランエラーが発生した場合、読み出しポインタはインクリメントされません。 CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。 ダイレクトアクセスモード、送信専用バッファモードではこれらのビットはインクリメントされません。 送信専用バッファモードでライトアクセスしたい場合、これらのビットには 0000_H を設定してください。 FIFO モードでは、これらのビットは受信データの読み出しアドレスを示します。</p>	CSIHnRRA[6:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード	00 _H	0000 _H	影響なし	0000 _H	影響なし	01 _H	0004 _H	影響なし	0004 _H	影響なし	影響なし	...	影響なし	3F _H	00FC _H	影響なし	00FC _H	影響なし	40 _H	禁止	影響なし	0100 _H	影響なし	...	禁止	影響なし	...	影響なし	7F _H	禁止	影響なし	01FC _H	影響なし
CSIHnRRA[6:0]	デュアルバッファモード	送信専用バッファモード	FIFOモード	ダイレクトアクセスモード																																						
00 _H	0000 _H	影響なし	0000 _H	影響なし																																						
01 _H	0004 _H	影響なし	0004 _H	影響なし																																						
...	...	影響なし	...	影響なし																																						
3F _H	00FC _H	影響なし	00FC _H	影響なし																																						
40 _H	禁止	影響なし	0100 _H	影響なし																																						
...	禁止	影響なし	...	影響なし																																						
7F _H	禁止	影響なし	01FC _H	影響なし																																						
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																								

表 14.27 CSIHnMRWP0 レジスタの内容 (2/2)

ビット位置	ビット名	機能				
6 ~ 0	CSIHnTRWA [6:0]	送信バッファの読み出し/書き込みポインタを選択します。				
		CSIHn TRWA[6:0]	デュアル バッファモード	送信専用 バッファモード	FIFO モード	ダイレクト アクセスモード
		00 _H	0000 _H	0000 _H	0000 _H	影響なし
		01 _H	0004 _H	0004 _H	0004 _H	影響なし
		影響なし
		3F _H	00FC _H	00FC _H	00FC _H	影響なし
		40 _H	禁止	0100 _H	0100 _H	影響なし
		...	禁止	影響なし
		7F _H	禁止	01FC _H	01FC _H	影響なし
		送信データが書き込まれるか、読み出されると、これらのビットは自動的にインクリメントされます。 CSIHnTRWA[6:0] = 7F _H のとき、送信データが書き込まれるか、読み出された場合、CSIHnTRWA[6:0] = 00 _H になります。 CSIHnSTCR0.CSIHnPCT がセット (1) されると、これらのビットはクリアされます。 ダイレクトアクセスモードではこれらのビットはインクリメントされません。 FIFO モードでは、これらのビットは送信データの読み出し/書き込みアドレスを示します。				

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.11 CSIHnCFGx — CSIHn コンフィグレーションレジスタ x

これら8個のレジスタでは、各チップセレクト信号 CSIHnCSSx のボーレート、パリティ、データ長、ブロードキャスティング用のリセッシブの設定、シリアルデータ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブモード

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPSx[1:0] : パリティの使用法
- CSIHnDLSx[3:0] : データ長の選択
- CSIHnDIRx : データ方向
- CSIHnCKPx、CSIHnDAPx : クロック位相とデータ位相

スレーブモードでは CSIHnCFG0 レジスタの上記以外のビットおよび CSIHnCFG1 ~ CSIHnCFG7 レジスタには 0 を設定してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス CSIHnCFG0 : <CSIHn_base> + 1044_H
 CSIHnCFG1 : <CSIHn_base> + 1048_H
 CSIHnCFG2 : <CSIHn_base> + 104C_H
 CSIHnCFG3 : <CSIHn_base> + 1050_H
 CSIHnCFG4 : <CSIHn_base> + 1054_H
 CSIHnCFG5 : <CSIHn_base> + 1058_H
 CSIHnCFG6 : <CSIHn_base> + 105C_H
 CSIHnCFG7 : <CSIHn_base> + 1060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn BRSSx[1:0]		CSIHn PSx[1:0]		CSIHnDLSx[3:0]				—	—	—	—	CSIHn RCBx	CSIHn DIRx	CSIHn CKPx	CSIHn DAPx
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn IDLx	CSIHnIDx[2:0]			CSIHnHDx[3:0]			CSIHnINx[3:0]			CSIHnSPx[3:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.28 CSIHnCFGx レジスタの内容 (1/5)

ビット位置	ビット名	機能															
31、30	CSIHnBRSSx [1:0]	ボーレート設定レジスタ (CSIHnBRSSy) を選択するビットです。															
		<table border="1"> <thead> <tr> <th>CSIHn BRSSx1</th> <th>CSIHn BRSSx0</th> <th>ボーレート設定レジスタの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CSIHnBRS0 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>CSIHnBRS1 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>1</td> <td>0</td> <td>CSIHnBRS2 の設定に従い転送クロック周波数を設定します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>CSIHnBRS3 の設定に従い転送クロック周波数を設定します。</td> </tr> </tbody> </table>	CSIHn BRSSx1	CSIHn BRSSx0	ボーレート設定レジスタの選択	0	0	CSIHnBRS0 の設定に従い転送クロック周波数を設定します。	0	1	CSIHnBRS1 の設定に従い転送クロック周波数を設定します。	1	0	CSIHnBRS2 の設定に従い転送クロック周波数を設定します。	1	1	CSIHnBRS3 の設定に従い転送クロック周波数を設定します。
		CSIHn BRSSx1	CSIHn BRSSx0	ボーレート設定レジスタの選択													
		0	0	CSIHnBRS0 の設定に従い転送クロック周波数を設定します。													
		0	1	CSIHnBRS1 の設定に従い転送クロック周波数を設定します。													
1	0	CSIHnBRS2 の設定に従い転送クロック周波数を設定します。															
1	1	CSIHnBRS3 の設定に従い転送クロック周波数を設定します。															
転送クロック周波数の最大値は、CSIHnCTL2.CSIHnPRS[2:0] 設定と合わせて、以下のとおりとしてください。																	
マスタモード : PCLK/4, スレーブモード : PCLK/6																	

表 14.28 CSIHnCFGx レジスタの内容 (2/5)

ビット位置	ビット名	機能																				
29、28	CSIHnPSx[1:0]	<p>チップセレクト信号 x の送信用と受信用のパリティを選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn PSx1</th> <th>CSIHn PSx0</th> <th>送信</th> <th>受信</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティを送信しません。</td> <td>パリティの受信を待機しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0に固定されたパリティビットを追加します。</td> <td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを追加します。</td> <td>奇数パリティビットの受信を待機します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを追加します。</td> <td>偶数パリティビットの受信を待機します。</td> </tr> </tbody> </table>	CSIHn PSx1	CSIHn PSx0	送信	受信	0	0	パリティを送信しません。	パリティの受信を待機しません。	0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。	1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。	1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。
CSIHn PSx1	CSIHn PSx0	送信	受信																			
0	0	パリティを送信しません。	パリティの受信を待機しません。																			
0	1	0に固定されたパリティビットを追加します。	パリティビットの受信を待機しますが、パリティの判定は行いません。																			
1	0	奇数パリティを追加します。	奇数パリティビットの受信を待機します。																			
1	1	偶数パリティを追加します。	偶数パリティビットの受信を待機します。																			
27 ~ 24	CSIHnDLSx [3:0]	<p>チップセレクト信号 x のデータ長を選択します。</p> <table border="1"> <thead> <tr> <th>CSIHn DLSx[3:0]</th> <th>データ長</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>16 ビット</td> </tr> <tr> <td>0001_B</td> <td>1 ビット</td> </tr> <tr> <td>0010_B</td> <td>2 ビット</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111_B</td> <td>15 ビット</td> </tr> </tbody> </table> <p>注意</p> <p>CSIHnTX0W.CSIHnEDL = 1 のとき、このビットの設定は意味を持ちません。 (データ長は 16 ビット) CSIHnTX0W.CSIHnEDL = 0 のとき、このビットの設定が有効になります。1 つ前の送信データが CSIHnEDL = 1 設定の 16 ビットである時だけ、1 ビットを設定することが可能です。</p>	CSIHn DLSx[3:0]	データ長	0000 _B	16 ビット	0001 _B	1 ビット	0010 _B	2 ビット	1111 _B	15 ビット								
CSIHn DLSx[3:0]	データ長																					
0000 _B	16 ビット																					
0001 _B	1 ビット																					
0010 _B	2 ビット																					
...	...																					
1111 _B	15 ビット																					
23 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																				
19	CSIHnRCBx	<p>チップセレクト信号 x のブロードキャストのリセッパ設定を選択します。</p> <p>0 : ドミナント (高優先度) 1 : リセッパ (低優先度)</p> <p>詳細については、「14.5.3.1 コンフィグレーションレジスタ」を参照してください。</p>																				
18	CSIHnDIRx	<p>チップセレクト信号 x のシリアルデータ方向を選択します。</p> <p>0 : MSB ファーストでデータを送受信します。 1 : LSB ファーストでデータを送受信します。</p> <p>詳細については、「14.5.9 シリアルデータ方向選択機能」を参照してください。</p>																				

表 14.28 CSIHnCFGx レジスタの内容 (3/5)

ビット位置	ビット名	機能																											
17	CSIHnCKPx	CSIHnCKPx : クロック位相選択ビット																											
16	CSIHnDAPx	CSIHnDAPx : データ位相選択ビット <ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 0 <table border="1"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <ul style="list-style-type: none"> CSIHnCTL1.CSIHnCKR = 1 <table border="1"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDAPx</th> <th>クロック位相とデータ位相の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>×</td> <td>設定禁止</td> </tr> </tbody> </table>	CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択	0	0		0	1		1	0		1	1		CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択	0	0		0	1		1	×	設定禁止
CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択																											
0	0																												
0	1																												
1	0																												
1	1																												
CSIHnCKPx	CSIHnDAPx	クロック位相とデータ位相の選択																											
0	0																												
0	1																												
1	×	設定禁止																											
15	CSIHnIDLx	<p>チップセレクト信号 x の強制アイドル状態の設定を選択します。</p> <p>0 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が違えば、2 つの転送の間に必ずアイドル状態が入ります。連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が同じならば、2 つの転送の間にアイドル状態はありません。</p> <p>1 : 連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定に関係なく、2 つの転送の間にアイドル状態が入ります。</p> <p>このビットはマスターモードでのみ利用できます。 強制アイドル状態については「14.5.15 強制 CS アイドル設定」を参照してください。</p>																											

表 14.28 CSIHnCFGx レジスタの内容 (4/5)

ビット位置	ビット名	機能																																																			
14 ~ 12	CSIHnIDx[2:0]	チップセレクト信号 x のアイドル時間を選択します。 <table border="1"> <thead> <tr> <th>CSIHnIDx[2:0]</th> <th>アイドル時間</th> </tr> </thead> <tbody> <tr><td>000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>111_B</td><td>8.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnIDx[2:0]	アイドル時間	000 _B	0.5 送信クロック周期	001 _B	1.0 送信クロック周期	010 _B	1.5 送信クロック周期	011 _B	2.5 送信クロック周期	100 _B	3.5 送信クロック周期	101 _B	4.5 送信クロック周期	110 _B	6.5 送信クロック周期	111 _B	8.5 送信クロック周期																																	
CSIHnIDx[2:0]	アイドル時間																																																				
000 _B	0.5 送信クロック周期																																																				
001 _B	1.0 送信クロック周期																																																				
010 _B	1.5 送信クロック周期																																																				
011 _B	2.5 送信クロック周期																																																				
100 _B	3.5 送信クロック周期																																																				
101 _B	4.5 送信クロック周期																																																				
110 _B	6.5 送信クロック周期																																																				
111 _B	8.5 送信クロック周期																																																				
11 ~ 8	CSIHnHDx [3:0]	チップセレクト信号 x のホールド時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnHDx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td><td>2.0 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td><td>3.0 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td><td>4.0 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td><td>5.0 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td><td>7.0 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td><td>9.0 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td><td>10.0 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td><td>11.0 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td><td>12.0 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td><td>13.0 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td><td>15.0 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td><td>17.0 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td><td>19.0 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td><td>21.0 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnHDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間	0000 _B	0.5 送信クロック周期	1.0 送信クロック周期	0001 _B	1.0 送信クロック周期	1.5 送信クロック周期	0010 _B	1.5 送信クロック周期	2.0 送信クロック周期	0011 _B	2.5 送信クロック周期	3.0 送信クロック周期	0100 _B	3.5 送信クロック周期	4.0 送信クロック周期	0101 _B	4.5 送信クロック周期	5.0 送信クロック周期	0110 _B	6.5 送信クロック周期	7.0 送信クロック周期	0111 _B	8.5 送信クロック周期	9.0 送信クロック周期	1000 _B	9.5 送信クロック周期	10.0 送信クロック周期	1001 _B	10.5 送信クロック周期	11.0 送信クロック周期	1010 _B	11.5 送信クロック周期	12.0 送信クロック周期	1011 _B	12.5 送信クロック周期	13.0 送信クロック周期	1100 _B	14.5 送信クロック周期	15.0 送信クロック周期	1101 _B	16.5 送信クロック周期	17.0 送信クロック周期	1110 _B	18.5 送信クロック周期	19.0 送信クロック周期	1111 _B	20.5 送信クロック周期	21.0 送信クロック周期
CSIHnHDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間																																																			
0000 _B	0.5 送信クロック周期	1.0 送信クロック周期																																																			
0001 _B	1.0 送信クロック周期	1.5 送信クロック周期																																																			
0010 _B	1.5 送信クロック周期	2.0 送信クロック周期																																																			
0011 _B	2.5 送信クロック周期	3.0 送信クロック周期																																																			
0100 _B	3.5 送信クロック周期	4.0 送信クロック周期																																																			
0101 _B	4.5 送信クロック周期	5.0 送信クロック周期																																																			
0110 _B	6.5 送信クロック周期	7.0 送信クロック周期																																																			
0111 _B	8.5 送信クロック周期	9.0 送信クロック周期																																																			
1000 _B	9.5 送信クロック周期	10.0 送信クロック周期																																																			
1001 _B	10.5 送信クロック周期	11.0 送信クロック周期																																																			
1010 _B	11.5 送信クロック周期	12.0 送信クロック周期																																																			
1011 _B	12.5 送信クロック周期	13.0 送信クロック周期																																																			
1100 _B	14.5 送信クロック周期	15.0 送信クロック周期																																																			
1101 _B	16.5 送信クロック周期	17.0 送信クロック周期																																																			
1110 _B	18.5 送信クロック周期	19.0 送信クロック周期																																																			
1111 _B	20.5 送信クロック周期	21.0 送信クロック周期																																																			

表 14.28 CSIHnCFGx レジスタの内容 (5/5)

ビット位置	ビット名	機能																																																			
7 ~ 4	CSIHnINx[3:0]	チップセレクト信号 x のデータ間時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnINx[3:0]</th> <th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間</th> <th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.0 送信クロック周期</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.0 送信クロック周期</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.0 送信クロック周期</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.0 送信クロック周期</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.0 送信クロック周期</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.0 送信クロック周期</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.0 送信クロック周期</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.0 送信クロック周期</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.0 送信クロック周期</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.0 送信クロック周期</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.0 送信クロック周期</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.0 送信クロック周期</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.0 送信クロック周期</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.0 送信クロック周期</td><td>20.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間	0000 _B	0.0 送信クロック周期	0.5 送信クロック周期	0001 _B	0.5 送信クロック周期	1.0 送信クロック周期	0010 _B	1.0 送信クロック周期	1.5 送信クロック周期	0011 _B	2.0 送信クロック周期	2.5 送信クロック周期	0100 _B	3.0 送信クロック周期	3.5 送信クロック周期	0101 _B	4.0 送信クロック周期	4.5 送信クロック周期	0110 _B	6.0 送信クロック周期	6.5 送信クロック周期	0111 _B	8.0 送信クロック周期	8.5 送信クロック周期	1000 _B	9.0 送信クロック周期	9.5 送信クロック周期	1001 _B	10.0 送信クロック周期	10.5 送信クロック周期	1010 _B	11.0 送信クロック周期	11.5 送信クロック周期	1011 _B	12.0 送信クロック周期	12.5 送信クロック周期	1100 _B	14.0 送信クロック周期	14.5 送信クロック周期	1101 _B	16.0 送信クロック周期	16.5 送信クロック周期	1110 _B	18.0 送信クロック周期	18.5 送信クロック周期	1111 _B	20.0 送信クロック周期	20.5 送信クロック周期
CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間																																																			
0000 _B	0.0 送信クロック周期	0.5 送信クロック周期																																																			
0001 _B	0.5 送信クロック周期	1.0 送信クロック周期																																																			
0010 _B	1.0 送信クロック周期	1.5 送信クロック周期																																																			
0011 _B	2.0 送信クロック周期	2.5 送信クロック周期																																																			
0100 _B	3.0 送信クロック周期	3.5 送信クロック周期																																																			
0101 _B	4.0 送信クロック周期	4.5 送信クロック周期																																																			
0110 _B	6.0 送信クロック周期	6.5 送信クロック周期																																																			
0111 _B	8.0 送信クロック周期	8.5 送信クロック周期																																																			
1000 _B	9.0 送信クロック周期	9.5 送信クロック周期																																																			
1001 _B	10.0 送信クロック周期	10.5 送信クロック周期																																																			
1010 _B	11.0 送信クロック周期	11.5 送信クロック周期																																																			
1011 _B	12.0 送信クロック周期	12.5 送信クロック周期																																																			
1100 _B	14.0 送信クロック周期	14.5 送信クロック周期																																																			
1101 _B	16.0 送信クロック周期	16.5 送信クロック周期																																																			
1110 _B	18.0 送信クロック周期	18.5 送信クロック周期																																																			
1111 _B	20.0 送信クロック周期	20.5 送信クロック周期																																																			
3 ~ 0	CSIHnSPx[3:0]	チップセレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。 <table border="1"> <thead> <tr> <th>CSIHnSPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>0.5 送信クロック周期</td></tr> <tr><td>0001_B</td><td>1.0 送信クロック周期</td></tr> <tr><td>0010_B</td><td>1.5 送信クロック周期</td></tr> <tr><td>0011_B</td><td>2.5 送信クロック周期</td></tr> <tr><td>0100_B</td><td>3.5 送信クロック周期</td></tr> <tr><td>0101_B</td><td>4.5 送信クロック周期</td></tr> <tr><td>0110_B</td><td>6.5 送信クロック周期</td></tr> <tr><td>0111_B</td><td>8.5 送信クロック周期</td></tr> <tr><td>1000_B</td><td>9.5 送信クロック周期</td></tr> <tr><td>1001_B</td><td>10.5 送信クロック周期</td></tr> <tr><td>1010_B</td><td>11.5 送信クロック周期</td></tr> <tr><td>1011_B</td><td>12.5 送信クロック周期</td></tr> <tr><td>1100_B</td><td>14.5 送信クロック周期</td></tr> <tr><td>1101_B</td><td>16.5 送信クロック周期</td></tr> <tr><td>1110_B</td><td>18.5 送信クロック周期</td></tr> <tr><td>1111_B</td><td>20.5 送信クロック周期</td></tr> </tbody> </table> <p>これらのビットはマスタモードでのみ利用可能です。</p>	CSIHnSPx[3:0]	セットアップ時間	0000 _B	0.5 送信クロック周期	0001 _B	1.0 送信クロック周期	0010 _B	1.5 送信クロック周期	0011 _B	2.5 送信クロック周期	0100 _B	3.5 送信クロック周期	0101 _B	4.5 送信クロック周期	0110 _B	6.5 送信クロック周期	0111 _B	8.5 送信クロック周期	1000 _B	9.5 送信クロック周期	1001 _B	10.5 送信クロック周期	1010 _B	11.5 送信クロック周期	1011 _B	12.5 送信クロック周期	1100 _B	14.5 送信クロック周期	1101 _B	16.5 送信クロック周期	1110 _B	18.5 送信クロック周期	1111 _B	20.5 送信クロック周期																	
CSIHnSPx[3:0]	セットアップ時間																																																				
0000 _B	0.5 送信クロック周期																																																				
0001 _B	1.0 送信クロック周期																																																				
0010 _B	1.5 送信クロック周期																																																				
0011 _B	2.5 送信クロック周期																																																				
0100 _B	3.5 送信クロック周期																																																				
0101 _B	4.5 送信クロック周期																																																				
0110 _B	6.5 送信クロック周期																																																				
0111 _B	8.5 送信クロック周期																																																				
1000 _B	9.5 送信クロック周期																																																				
1001 _B	10.5 送信クロック周期																																																				
1010 _B	11.5 送信クロック周期																																																				
1011 _B	12.5 送信クロック周期																																																				
1100 _B	14.5 送信クロック周期																																																				
1101 _B	16.5 送信クロック周期																																																				
1110 _B	18.5 送信クロック周期																																																				
1111 _B	20.5 送信クロック周期																																																				

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.12 CSIHnTX0W — CSIHn ワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンドオブジョブ、拡張データ長、チップセレクトアクティブ化を指定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 1008_H

リセット後の値 X0XX XXXX_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn CIRE	CSIHn EOJ	CSIHn EDL	—	—	—	—	—	CSIHnC S7	CSIHnC S6	CSIHnC S5	CSIHnC S4	CSIHnC S3	CSIHnC S2	CSIHnC S1	CSIHnC S0
リセット後の値	—	—	—	0	0	0	0	0	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.29 CSIHnTX0W レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	CSIHnCIRE	デュアルバッファモードまたは送信専用バッファモードのときの通信割り込み要求 INTCSIHnC または FIFO モードのときのジョブ完了割り込み INTCSIHnJC を許可します。 0: 割り込みを要求しません。 1: 割り込みを要求します。送信後、割り込み INTCSIHnC または INTCSIHnJC を発生します。詳細については、「14.4.3 INTCSIHnC (通信ステータス割り込み)」と「14.4.6 INTCSIHnJC (ジョブ完了割り込み)」を参照してください。 注意 このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。
30	CSIHnEOJ	ジョブの終了を指定します。 0: エンドオブジョブデータではないことを示します。ジョブを続行します。 1: エンドオブジョブデータであることを示します。 注意 このビットはジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ有効です。 スレーブモードで使用するときこのビットは必ず 0 に設定してください。
29	CSIHnEDL	関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットの packets として送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意 このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。
28 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 14.29 CSIHnTX0W レジスタの内容 (2/2)

ビット位置	ビット名	機能
23 ~ 16	CSIHnCS[7:0]	<p>1つ以上のチップセレクト信号をアクティブにします。 0: 関連付けられた送信に対してチップセレクト信号 x をアクティブにします。 1: 関連付けられた送信に対してチップセレクト信号 x を非アクティブにします。</p> <p>CSIHnTX0W.CSIHnCS[7:0] = FF_H は設定禁止です。</p> <p>注意</p> <hr/> <p>複数のチップセレクト信号がブロードキャストिंगに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0 (ドミナント) に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップセレクト信号をまったく同じ値に設定する必要があります。 スレーブモードで使用する場合には CSIHnCS[7:0] ビット = FE_H に設定してください。</p> <hr/>
15 ~ 0	CSIHnTX[15:0]	送信データを保存します。

注意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.13 CSIHnTX0H — CSIHn ハーフワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15～0 と同じです。

転送には、CSIHnTX0W の上位 16 ビットの設定が適用されます。ただし、リセット後は CSIHnTX0W の値が不定ですので、本レジスタの使用前に、CSIHnTX0W に送信データ設定を行ってください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <CSIHn_base> + 100C_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.30 CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIHnTX[15:0]	送信データを保存します。

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.14 CSIHnRX0W — CSIHn ワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。

アクセス 32ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1010_H

リセット後の値 0XXX XXXX_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CSIHn RPE	CSIHn TDCE	CSIHn CS7	CSIHn CS6	CSIHn CS5	CSIHn CS4	CSIHn CS3	CSIHn CS2	CSIHn CS1	CSIHn CS0
リセット後の値	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.31 CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。
25	CSIHnRPE	受信データパリティエラーが検出されたかどうかを示します。 0: 関連付けられた受信データでパリティエラーが検出されていません。 1: 関連付けられた受信データでパリティエラーが検出されています。
24	CSIHnTDCE	送信データ整合性チェックエラーが検出されたかどうかを示します。 0: 関連付けられた送信で整合性チェックエラーが検出されていません。 1: 関連付けられた送信で整合性チェックエラーが検出されています。
23 ~ 16	CSIHnCSx (x = 7 ~ 0)	どのチップセレクト信号がアクティブになっているかを示します。 0: 関連付けられた受信に対してチップセレクト信号 x がアクティブになっています。 1: 関連付けられた受信に対してチップセレクト信号 x が非アクティブになっています。
15 ~ 0	CSIHnRX [15:0]	受信データを保存します。

備考

本レジスタは、INTCSIHnIR 割り込み発生時に受信データを保存します。本レジスタに保存する受信データは、次の INTCSIHnIR 割り込み発生時、次の受信データに上書きされるため、INTCSIHnIR 割り込みが発生する前までに読み出してください。

注意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.15 CSIHnRX0H — CSIHn ハーフワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15～0 と同じです。

アクセス 16ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1014_H

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.32 CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIHnRX [15:0]	受信データを保存します。

備考

本レジスタは、INTCSIHnIR 割り込み発生時に受信データを保存します。本レジスタに保存する受信データは、次の INTCSIHnIR 割り込み発生時、次の受信データに上書きされるため、INTCSIHnIR 割り込みが発生する前までに読み出してください。

注意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.16 CSIHnBRSy — CSIHn ボーレート設定レジスタ y (y = 0 ~ 3)

チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。

CSIHnCFG0 ~ 7.CSIHnBRSSx[1:0] ビットにより、チップセレクト信号ごとに、4種類の転送クロック周波数設定から1つの設定を選択することができます。転送クロック周波数設定の詳細については、「14.5.5 送信クロックの選択」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス CSIHnBRS0: <CSIHn_base> + 1068_H
 CSIHnBRS1: <CSIHn_base> + 106C_H
 CSIHnBRS2: <CSIHn_base> + 1070_H
 CSIHnBRS3: <CSIHn_base> + 1074_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHnBRS[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.33 CSIHnBRSy レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	CSIHnBRS [11:0]	0 : BRG stopped 1 : PCLK / (2 ^α × 1 × 2) 2 : PCLK / (2 ^α × 2 × 2) 3 : PCLK / (2 ^α × 3 × 2) 4 : PCLK / (2 ^α × 4 × 2) . . . 4095 : PCLK / (2 ^α × 4095 × 2) α は CSIHnCTL2.CSIHnPRS[2:0] の値です。

注 意

本レジスタの設定では、「表 14.35 レジスタ設定上の注意事項」を参照してください。

14.3.17 SELCSIHDMA — CSIH DMA 選択レジスタ

本レジスタは、割り込みと DMA/DTS 用のトリガ発生条件を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <CSIH0_base> + E000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SELCSI1DR	SELCSI1DC	SELCSI0DR	SELCSI0DC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 14.34 SELCSIHDMA レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SELCSI1DR	INTCSIH11R0S 割り込みと DMA/DTS トリガの発生条件を制御します。 0: CS0 に影響されず INTCSIH11R0S 割り込みと DMA/DTS トリガ発生可能 1: CS0 がアクティブのときのみ INTCSIH11R0S 割り込みと DMA/DTS トリガ発生可能
2	SELCSI1DC	INTCSIH11C0S 割り込みと DMA/DTS トリガの発生条件を制御します。 0: CS0 に影響されず INTCSIH11C0S 割り込みと DMA/DTS トリガ発生可能 1: CS0 がアクティブのときのみ INTCSIH11C0S 割り込みと DMA/DTS トリガ発生可能
1	SELCSI0DR	INTCSIH01R0S 割り込みと DMA/DTS トリガの発生条件を制御します。 0: CS0 に影響されず INTCSIH01R0S 割り込みと DMA/DTS トリガ発生可能 1: CS0 がアクティブのときのみ INTCSIH01R0S 割り込みと DMA/DTS トリガ発生可能
0	SELCSI0DC	INTCSIH01C0S 割り込みと DMA/DTS トリガの発生条件を制御します。 0: CS0 に影響されず INTCSIH01C0S 割り込みと DMA/DTS トリガ発生可能 1: CS0 がアクティブのときのみ INTCSIH01C0S 割り込みと DMA/DTS トリガ発生可能

図 14.2 では、DMA/DTS および割り込みコントローラと接続した CSIH_n (n = 0 ~ 1) の動作イメージを示します。

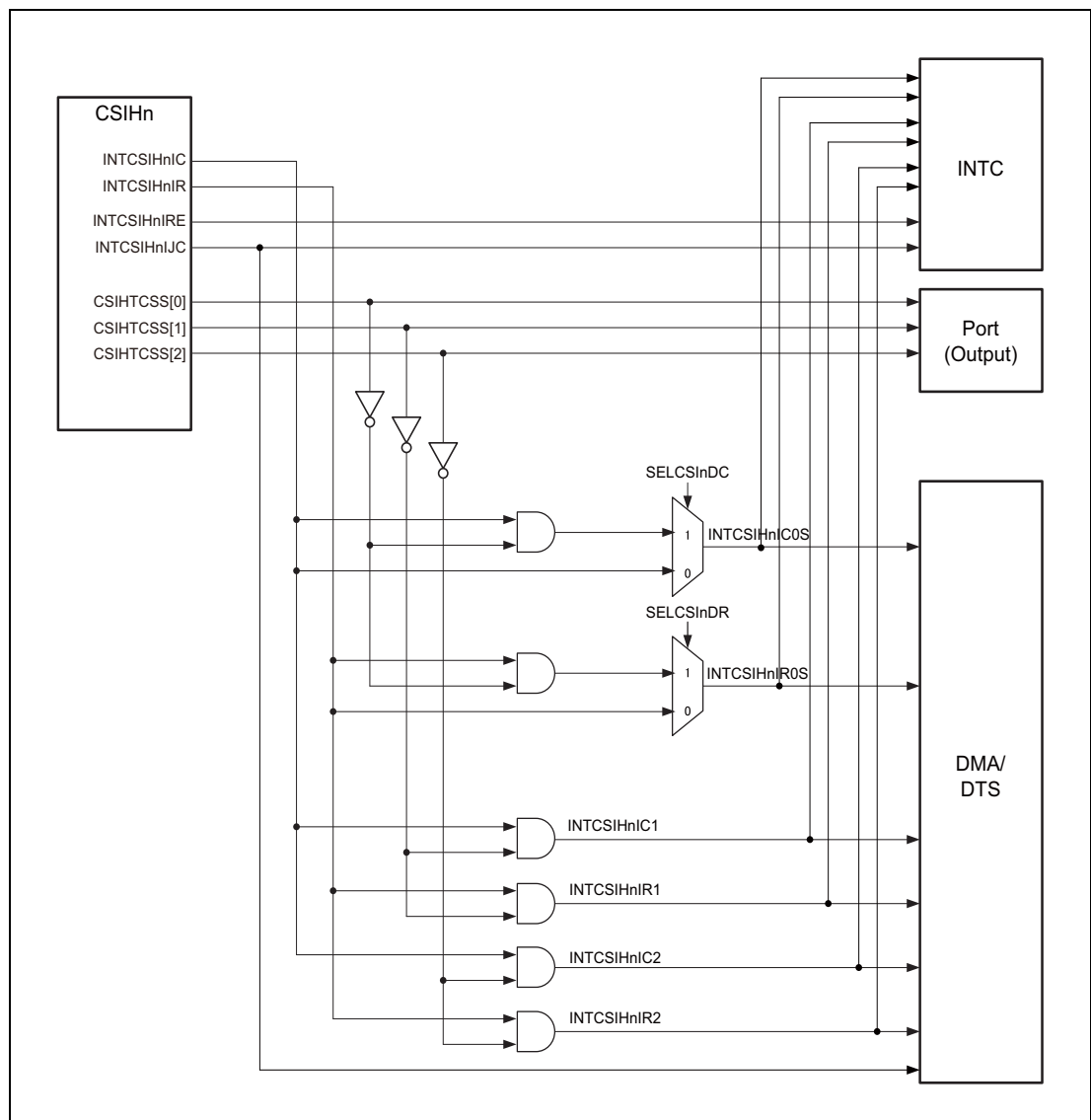


図 14.2 CSIHn (n=0 ~ 1) と DMA/DTC および割り込みコントローラとの接続を示すブロック図

14.3.18 注意事項の一覧

表 14.35 レジスタ設定上の注意事項 (1/3)

レジスタ名	ビット名	内容
CSIHnCTL0	CSIHnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIHnCTL0	CSIHnTXE CSIHnRXE	CSIHnCTL0.CSIHnPWR = 0 の間、これらのビットのいずれも変更しないでください。(これらのビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。) 実行中の通信が中断されると、設定した動作が保証されないため、CSIHnSTR0.CSIHnTSF = 1 の間、これらのビットを変更しないでください。
CSIHnCTL0	CSIHnJOBE	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。 CSIHnCTL1.CSIHnJE = 1 のときのみ、このビットは有効です。 このビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL0	CSIHnMBS	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。(このビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます) このビットの変更は CSIHnSTR0.CSIHnTSF = 0 のときのみ許可されます。 CSIHnCTL0.CSIHnPWR = 1 であるときに、FIFO モードと、ダイレクトアクセスモード間でのモードの変更をしないでください。 CPU 制御による高優先通信を実施している期間は、CSIHnMBS ビット設定に関わらずダイレクトアクセスモードと同じ動作を行います。
CSIHnCTL1	CSIHnCKR	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 CS が使用されていない場合、CSIHnCFGx.CSIHnCKPx の代わりにこのビットを使用し、CSIHnCFGx.CSIHnCKPx は 0 に設定してください。 スレーブモードでは、このビットを使用してください。
CSIHnCTL1	CSIHnSLIT CSIHnCSL[7:0] CSIHnEDLE CSIHnDCS CSIHnCSRI CSIHnHSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。
CSIHnCTL1	CSIHnPHE CSIHnJE CSIHnLBM	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 本ビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL1	CSIHnSSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットを 1 に設定することは、マスタモードでは禁止されます。
CSIHnCTL1	CSIHnSIT	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIHnCTL2	CSIHnPRS[2:0]	このビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 最大転送クロック周波数の設定は、以下のとおりです。 <ul style="list-style-type: none"> マスタモード：10 MHz (ただし PCLK/4 以下) スレーブモード：6.66 MHz (ただし PCLK/6 以下)
CSIHnSTR0	CSIHnSRP[7:0] CSIHnSPF[7:0] CSIHnFLF CSIHnEMF CSIHnTSF	書き込みは禁止です。読み出しのみ有効です。
CSIHnSTR0	CSIHnTMOE CSIHnOFE CSIHnDCE CSIHnPE CSIHnOVE	書き込みは禁止です。読み出しのみ有効です。 このビットは、CSIHnCTL0.CSIHnPWR = 0 -> 1 または CSIHnCTL0.CSIHnPWR = 1 -> 0 のときに初期化されます。

表 14.35 レジスタ設定上の注意事項 (2/3)

レジスタ名	ビット名	内容
CSIHnSTCR0	CSIHnPCT	データ送信、受信中にこのビットを1にすると、実行中の通信は中断し、次の送受信開始待ちとなります。また各種ウェイト（セットアップ、ホールド、アイドル、データ間）期間中に、このビットを1にすると、ウェイト挿入を中断し、次の送受信開始待ちとなります。
CSIHnMCTL0	CSIHnMMS[1:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0、CSIHnCTL0.CSIHnMBS = 0 のときのみ許可されます。
CSIHnMCTL0	CSIHnTO[4:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 マスタモードでは、これらのビットを“0”に設定してください。 ダイレクトアクセス、デュアルバッファ、送信専用バッファモードでは、これらのビットを“0”に設定してください。
CSIHnMCTL1	CSIHnFES[6:0] CSIHnFFS[6:0]	通信中に書き込むことは可能です。
CSIHnMCTL2	CSIHnBTST CSIHnND[7:0] CSIHnSOP[6:0]	CSIHnCTL0.CSIHnPWR = 0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnSTR0.CSIHnTSF = 1 のとき、これらのビットへ書き込みすることは禁止されています。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnMRWP0	CSIHnRRA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。 送信専用バッファモードで書き込みが必要なときは、これらのビットに“0000 _H ”を設定してください。
CSIHnMRWP0	CSIHnTRWA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnCFGx x = 0 ~ 7	CSIHnBRSSx[1:0] CSIHnRCBx CSIHnIDLx CSIHnIDx[2:0] CSIHnHDx[3:0] CSIHnINx[3:0] CSIHnSPx[3:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、これらのビットを“0”に設定してください。
CSIHnCFGx x = 0 ~ 7	CSIHnPSx[1:0] CSIHnDLSx[3:0] CSIHnDIRx CSIHnDAPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードのときは、CSIHnCFG0 の設定はコンフィギュレーションのために使用されます。そのため、CSIHnCFG1 ~ 7 のすべてビットは“0”に設定されなければなりません。
CSIHnCFGx x = 0 ~ 7	CSIHnCKPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、CSIHnCTL1.CSIHnCKR を使用する必要があるため、本ビットには“0”を設定してください。 CS が使用されていない場合、このビットの代わりに、CSIHnCTL1.CSIHnCKR ビットを使用し、このビットを“0”に設定してください。
CSIHnTX0W	CSIHnEOJ CSIHnCIRE	このビットは、CSIHnCTL1.CSIHnJE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnJE = 0 のとき、読み出し値が“1”でも、これらの値は無視されます。 スレーブモードのときは、これらのビットを“0”に設定してください。
CSIHnTX0W	CSIHnEDL	このビットは、CSIHnCTL1.CSIHnEDLE = 1 のときのみ、有効です。 CSIHnCTL1.CSIHnEDLE = 0 のとき、読み出し値が“1”でも、これらの値は無視されます。
CSIHnTX0W	CSIHnCS[7:0]	マスタモード時は、これらのビットを“FF _H ”に設定することは禁止されています。 スレーブモード時は、これらのビットを“FE _H ”に設定してください。

表 14.35 レジスタ設定上の注意事項 (3/3)

レジスタ名	ビット名	内容
CSIHnTX0W CSIHnTX0H		これらのビットの読み出しは FIFO モードでの通信中は禁止されています。 CSIHnCTL0.CSIHnPWR = 0 かつ FIFO モードのとき、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、ダイレクトアクセスモードでは、これらのビットへの書き込みは、禁止されています。
CSIHnRX0W		これらのビットは CSIHnCTL0.CSIHnPWR = 0 → 1、または、CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では、これらのビットの書き込み、読み出しは有効です。 CSIHnCTL0.CSIHnPWR = 1 のとき、これらのビットの書き込みは無効です。読み出しのみ有効です。
CSIHnRX0H		これらのビットは CSIHnCTL0.CSIHnPWR = 0 → 1、または、CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR = 0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR = 1 のとき、FIFO モードでは、これらのビットの書き込みは無効です。読み出しのみ有効です。 CSIHnCTL0.CSIHnPWR の値にかかわらず、FIFO モード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では、書き込みは無効です。読み出しのみ有効です。
CSIHnBRSy y = 0 ~ 3		これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。

14.4 割り込み要因

CSIH は以下の割り込み要求を発生することができます。

- INTCSIHnIC (通信割り込み)
- INTCSIHnIR (受信割り込み)
- INTCSIHnIRE (エラー割り込み)
- INTCSIHnJIC (ジョブ完了割り込み)

14.4.1 概要

エラーが検出されると、エラー割り込み INTCSIHnIRE が発生します。ほかの割り込みが発生する条件は、メモリモード、ジョブモードによって異なり、ジョブ完了割り込み INTCSIHnJIC の場合は動作モードによっても異なります。

ジョブ完了割り込み INTCSIHnJIC は、ジョブモードが有効になっているとき (CSIHnCTL1.CSIHnJE = 1) にのみ発生します。スレーブモードでこの割り込みを利用することはできません。

割り込みの概要を以下の表に示します。

表 14.36 割り込みの発生

メモリモード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	INTCSIHnIC	Tx データエンプティ ^{注1} ジョブ中断 ^{注4} 時を除く	Tx データエンプティ ^{注1} ジョブ中断 ^{注4} 時を除く
	INTCSIHnIR	Rx データフル ^{注2} かつ CSIHnCTL0.CSIHnRXE = 1	Rx データフル ^{注2} かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHnIRE	エラー検出	エラー検出
	INTCSIHnJIC ^{注3}	適用不可	CSIHnTX0W.CSIHnCIRE = 1 (Tx データエンプティではないとき) またはジョブ中断 ^{注4}
送信専用バッファ	INTCSIHnIC	通信終了	CSIHnTX0W.CSIHnCIRE = 1 かつ (CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0) のとき
	INTCSIHnIR	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHnIRE	エラー検出	エラー検出
	INTCSIHnJIC ^{注3}	適用不可	ジョブ中断 ^{注4}
デュアルバッファ	INTCSIHnIC	通信終了	CSIHnTX0W.CSIHnCIRE = 1 かつ (CSIHnCTL0.CSIHnJOBE = 0 もしくは CSIHnTX0W.CSIHnEOJ = 0) のとき
	INTCSIHnIR	通信終了かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHnIRE	エラー検出	エラー検出
	INTCSIHnJIC ^{注3}	適用不可	ジョブ中断 ^{注4}
ダイレクトアクセス	INTCSIHnIC	1 データ転送	1 データ転送 (ジョブ中断 ^{注4} の状態 を除く)
	INTCSIHnIR	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INTCSIHnIRE	エラー検出	エラー検出
	INTCSIHnJIC ^{注3}	適用不可	ジョブ中断 ^{注4}

注 1. 「Tx データエンプティ」とは、CSIHnMCTL1.CSIHnFES[6:0] で定義される FIFO の充填レベルです。

注 2. 「Rx データフル」とは、CSIHnMCTL1.CSIHnFFS[6:0] で定義される FIFO の充填レベルです。

- 注3. スレーブモードでは INTCSIHnJC は利用できません。
- 注4. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1
送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

14.4.2 割り込み遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIHnTSCk の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIHnCTL1.CSIHnSIT = 1 に設定します（スレーブモードでは CSIHnSIT ビットの設定は無効です）。

CSIHnCTL1.CSIHnSIT = 1（割り込み遅延有効）、
CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSIHnDAPx = 0（クロック位相とデータ位相）、
CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

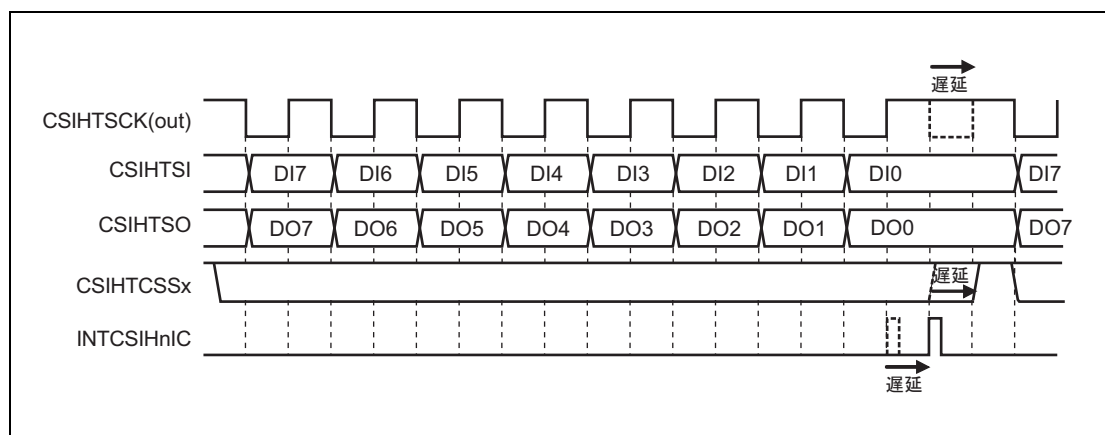


図 14.3 割り込み遅延機能 (CSIHnCTL1.CSIHnSIT = 1)

CSIHnCTL1.CSIHnSIT = 1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップセレクト信号 (CSIHnCSSx) の終了も遅延します。

14.4.3 INTCSIHnIC (通信ステータス割り込み)

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 14.37 INTCSIHnIC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	この割り込みは、FIFO 内の送信データがなくなる直前に発生し、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFOに残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなると INTCSIHnIC が発生します。	JE = 0 のときと同様に、FIFOに残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0] が CSIHnMCTL1.CSIHnFES[6:0] と等しくなったとき発生しますが、ジョブ中断の場合は発生しません。
送信専用バッファ、デュアルバッファ	通信終了 (CSIHnMCTL2.CSIHnND[7:0] ビットで指定) に発生します。	CSIHnTX0W.CSIHnCIRE = 1 の設定でデータが送信されたときに発生します。 ただし、CSIHnTX0W.CSIHnCIRE = 1 の設定でデータとジョブ中断 ^{注1} が送信された場合は、INTCSIHnIC の代わりに割り込み INTCSIHnJC が発生します。
ダイレクトアクセス	データ転送が1回行われるたびに発生します。	通信が中断された場合を除き、データ転送が1回行われるたびに発生します。

注 1. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1
送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

14.4.3.1 ダイレクトアクセスモードでの INTCSIHnIC

以下の例はダイレクトアクセスモードでの INTCSIHnIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の INTCSIHnIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

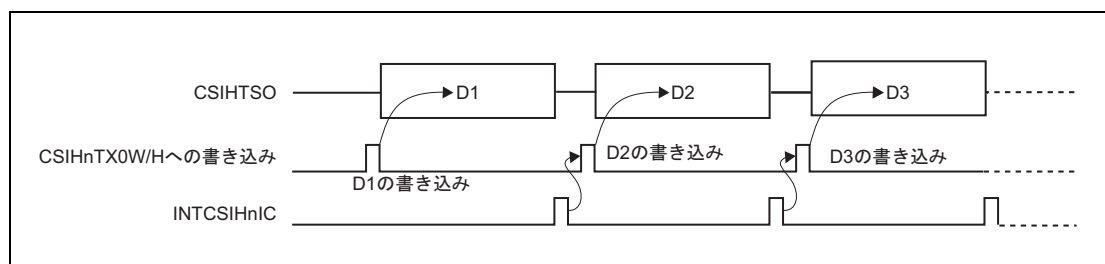


図 14.4 転送後の INTCSIHnIC の発生 (CSIHnCTL1.CSIHnSLIT = 0)

ジョブモードが有効になっており (CSIHnCTL1.CSIHnJE = 1)、CSIHnTX0W.CSIHnEOJ = 1 の設定でデータが送信され、通信停止の要求が発行されている (CSIHnCTL0.CSIHnJOB = 1) 状態でジョブが終了した場合、INTCSIHnIC はジョブ完了割り込み INTCSIHnIJC に置き換えられます。

CSIHnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INTCSIHnIC が発生するように設定することもできます。そうするには、CSIHnCTL1.CSIHnSLIT = 1 に設定します。

以下の図にその効果を示します。

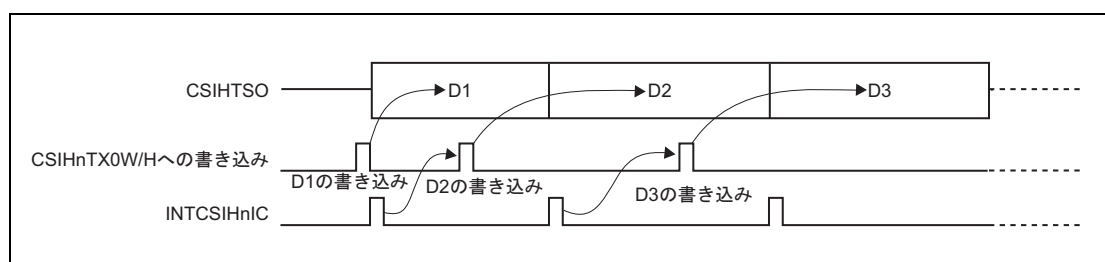


図 14.5 INTCSIHnIC の即時発生 (CSIHnCTL1.CSIHnSLIT = 1)

このように、新しいデータを先行して書き込むことができます。

備考

送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

14.4.3.2 FIFO モードでの INTCSIHnIC

以下の例は FIFO モードでの INTCSIHnIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- FIFO モード
- 割り込み遅延なし ($\text{CSIHnCTL1.CSIHnSIT} = 0$)
- 通常のクロック位相とデータ位相 ($\text{CSIHnCFGx.CSIHnCKPx} = 0$,
 $\text{CSIHnCFGx.CSIHnDAPx} = 0$)
- データ長 8 ビット ($\text{CSIHnCFGx.CSIHnDLSx}[3:0] = 1000_{\text{B}}$)

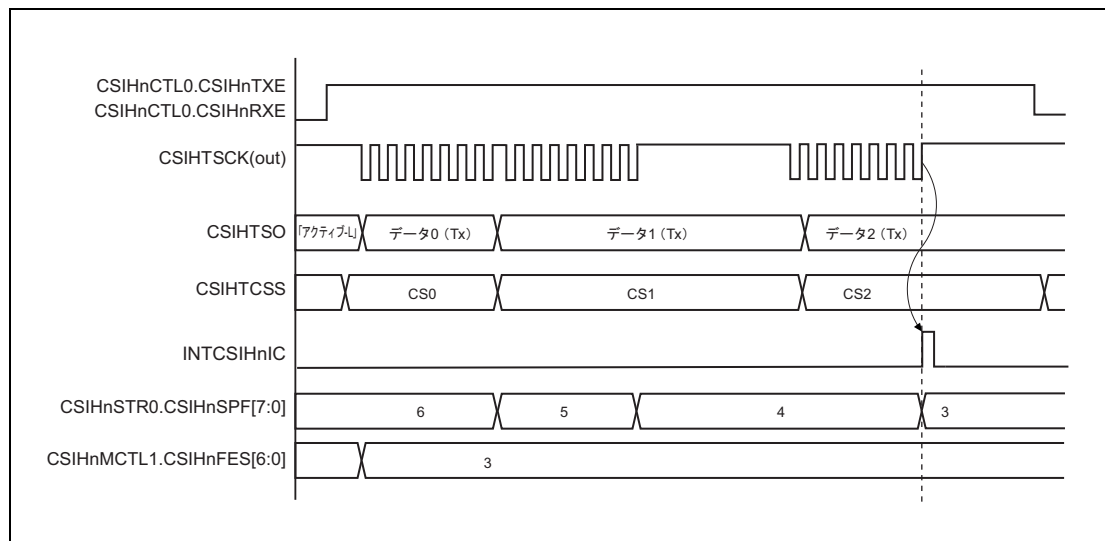


図 14.6 FIFO メモリモードでの INTCSIHnIC の発生

「FIFO エンプティ」の条件は $\text{CSIHnMCTL1.CSIHnFES}[6:0]$ で指定します。上の図の例では、FIFOに残っている未送信の送信データの数が 3 に設定されています。 $\text{CSIHnSTR0.CSIHnSPF}[7:0]$ は未送信のデータの数を示します。両方の数一致すると、割り込み INTCSIHnIC が発生します。

14.4.3.3 ジョブモードでの INTCSIHnIC

以下の例はジョブモードでの INTCSIHnIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 通常の INTCSIHnIC 割り込みのタイミング (CSIHnCTL1.CSIHnSLIT = 0)

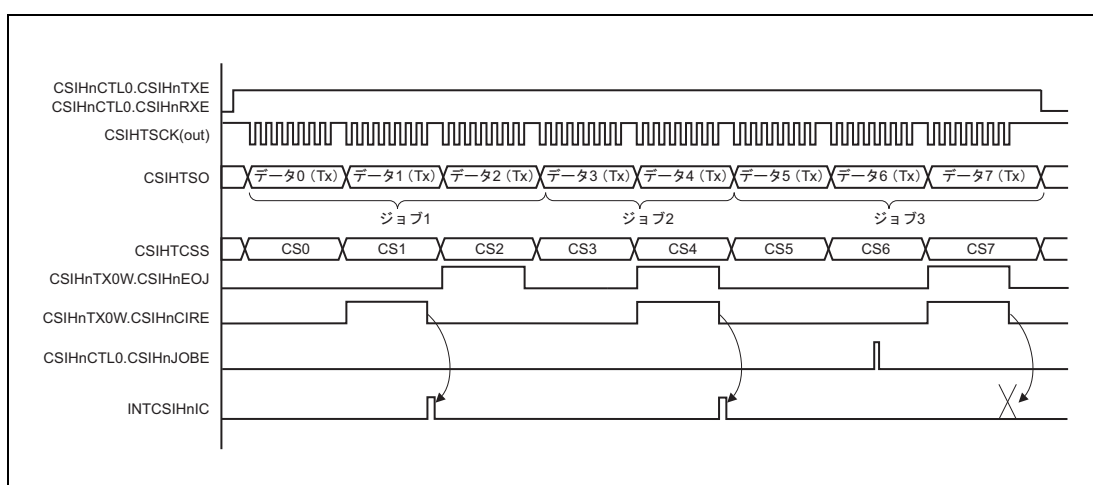


図 14.7 ジョブモードでの INTCSIHnIC の発生

ジョブモードでの INTCSIHnIC の発生に適用される規則を以下の表に示します。

表 14.38 ジョブモードでの INTCSIHnIC の発生

CSIHnTX0W. CSIHnEOJ	CSIHnTX0W. CSIHnCIRe	INTCSIHnIC
0	0	発生しません。
0	1	発生します。
1	0	発生しません。
1	1	CSIHnCTL0.CSIHnJOBE = 0 : 発生します。 CSIHnCTL0.CSIHnJOBE = 1 : 発生せず、割り込み INTCSIHnIC に置き換えられます。

14.4.4 INTCSIHnIR (受信ステータス割り込み)

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 14.39 INTCSIHnIR 割り込みの発生

メモリモード	割り込み要因	
	CSIHnCTL0.CSIHnRXE = 1	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO モード	この割り込みは、CSIHnCTL0.CSIHnRXE=1 のとき、FIFO バッファが受信データでフルになる直前に発生し、FIFO を空にする必要があることをアプリケーションに知らせます。 FIFO に残っている受信データの数 CSIHnSTR0.CSIHnSRP[7:0] が (128-CSIHnMCTL1.CSIHnFFS[6:0]) と等しくなると INTCSIHnIR が発生します。	
デュアルバッファモード	通信が終了し (CSIHnMCTL2.CSIHnND[7:0] ビットで指定)、かつ CSIHnCTL0.CSIHnRXE = 1 であれば発生します。	データ転送が 1 回行われるたびに発生します。
送信専用バッファモード ダイレクトアクセスモード	データ転送が 1 回行われるたびに発生します。	

14.4.4.1 ダイレクトアクセスモードでの INTCSIHnIR

以下の例はダイレクトアクセスモードでの INTCSIHnIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- 通常のコック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- データ長 8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)

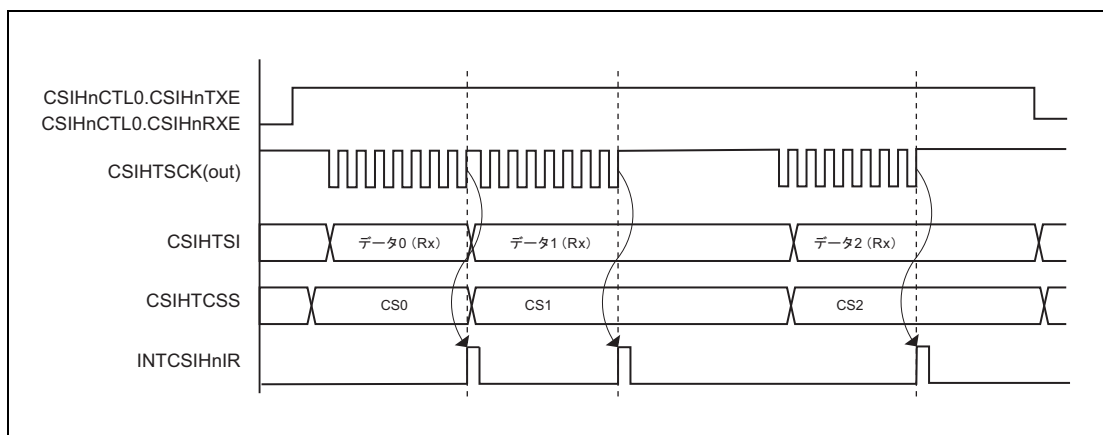


図 14.8 ダイレクトアクセスモードでの INTCSIHnIR の発生

14.4.4.2 デュアルバッファモードでの INTCSIHnIR

以下の例はデュアルバッファモードでの INTCSIHnIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- デュアルバッファモード
- 割り込み遅延なし ($\text{CSIHnCTL1.CSIHnSIT} = 0$)
- デフォルトのクロック位相とデータ位相 ($\text{CSIHnCFGx.CSIHnCKPx} = 0$,
 $\text{CSIHnCFGx.CSIHnDAPx} = 0$)
- データ長 8 ビット ($\text{CSIHnCFGx.CSIHnDLSx}[3:0] = 1000\text{B}$)

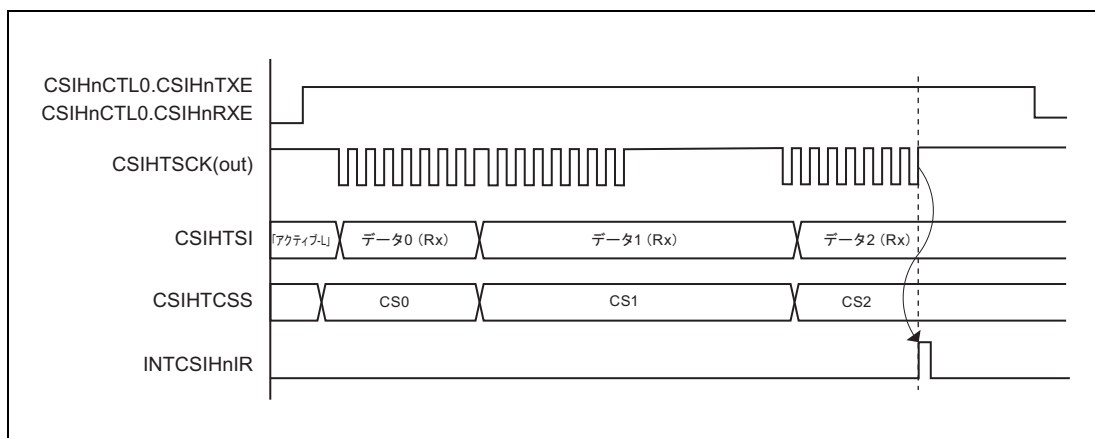


図 14.9 デュアルバッファモードでの INTCSIHnIR の発生

14.4.5 INTCSIHnIRE (受信エラー割り込み)

この割り込みはエラーが検出されるたびに発生します。

割り込み発生タイミングは、「14.5.12 エラー検出」を参照ください。

表 14.40 データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
オーバーフローエラー	割り込みが発生しても通信は継続します。	FIFO バッファに書き込まれず、オーバーフローしたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性チェックエラー	割り込みが発生しても通信は継続します。	—
タイムアウトエラー	割り込みが発生しても通信は継続します。	—
オーバランエラー	(エラー発生条件 1) FIFO モードで受信データの数が 0 になった状態で CPU が CSIHnRX0W/H レジスタをリードすると、割り込みが発生します。通信は継続します。	—
	(エラー発生条件 2) スレーブモードで CSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合、 [1] ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合、割り込みが発生しません。通信は継続します。 [2] FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合、割り込みが発生します。通信は継続します。	スレーブモードで CSIHnCTL1.CSIHnHSE = 1 (ハンドシェイクあり) の場合は、ハンドシェイクにより通信が停止するため、オーバランエラーは発生しません。

INTCSIHnIRE が発生する原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティエラーフラグとデータ整合性チェックエラーフラグが添付されます。

さまざまなエラータイプの詳細については、「14.5.12 エラー検出」を参照してください。

14.4.6 INTCSIHnIJC (ジョブ完了割り込み)

この割り込みはジョブの処理に対応しています。「14.5.3.3 ジョブ概念」を参照してください。この割り込みはマスタモードでのみ利用できます。

ジョブモードは CSIHnCTL1.CSIHnJE = 1 に設定することによって有効になります。CSIHnCTL1.CSIHnJE = 0 の場合、INTCSIHnIJC は発生しません。

この割り込みが発生する条件は、以下に示すように、メモリモードによって異なります。

表 14.41 INTCSIHnIJC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
FIFO	適用不可	<ul style="list-style-type: none"> ジョブ中断^{注1}がトリガされたあと、ジョブの終了時に通信が停止したことを示します。 FIFO エンプティが検出されていない場合は、CSIHnCIRE = 1 のときに INTCSIHnIJC が発生します。
送信専用バッファ		<ul style="list-style-type: none"> ジョブ中断^{注1}がトリガされたあと、ジョブの終了時に通信が停止したことを示します。
デュアルバッファ		
ダイレクトアクセス		

注 1. ジョブ中断の条件 : CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

14.5 動作

14.5.1 動作モード (マスタ/スレーブ)

CSIH がマスタモードまたはスレーブモードのどちらで動作するかでシリアルクロックのソースが異なります。

14.5.1.1 マスタモード

マスタモードでは、シリアル送信クロックが内蔵のポーレートジェネレータ (BRG) によって生成され、CSIHTSCK 信号を介してスレーブに供給されます。

マスタモードは、 $CSIHnCTL2.CSIHnPRS[2:0]$ を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、 $CSIHnCTL2.CSIHnPRS[2:0]$ ビットと $CSIHnBRSy.CSIHnBRS[11:0]$ ビットを組み合わせることで BRG の周波数を設定できます。

(1) チップセレクト信号

マスタモードでは、1 つ以上のチップセレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップセレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップセレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、「**14.5.3 チップセレクト (CS) 機能**」を参照してください。

(2) クロックのデフォルト設定

CSIHTSCK のデフォルトレベルは、クロック位相選択ビットの状態によって異なります。CSIHTSCK のデフォルトレベルは、 $CSIHnCTL1.CSIHnCKR = 0$ であればハイレベルであり、 $CSIHnCTL1.CSIHnCKR = 1$ であればロウレベルです。

以下の例は、データ長 8 ビット、 $CSIHnCTL1.CSIHnCKR = 0$ 、 $CSIHnCFGx.CSIHnCKPx = 0$ 、 $CSIHnCFGx.CSIHnDAPx = 0$ 、MSB ファーストのときのマスタモードの通信を示しています。

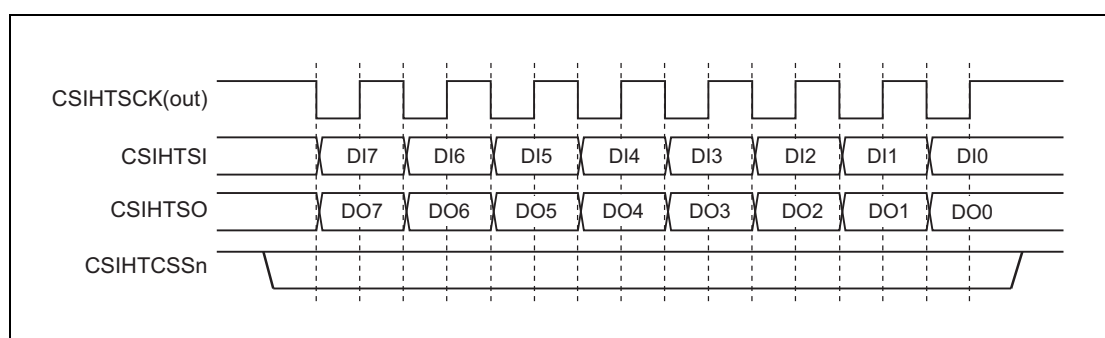


図 14.10 マスタモードでの送受信

14.5.1.2 スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブモードは、CSIHnCTL2.CSIHnPRS[2:0] ビットを 111_B に設定することによって選択されます。

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります (CSIHnCFG1-CSIHnCFG7 レジスタの設定は無効となります)。

- CSIHnPSx[1:0] : パリティの使用法
- CSIHnDLsx[3:0] : データ長の選択
- CSIHnDIRx : データ方向
- CSIHnCKPx、CSIHnDAPx : クロック位相とデータ位相

備 考

スレーブモードを使用するときは、CSIHnBRSy.CSIHnBRS[11:0] ビットを 000_H に設定することによってポーレートジェネレータ (BRG) を無効にします。ただし、タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0] ビットに、000_H 以外の値を設定してください。

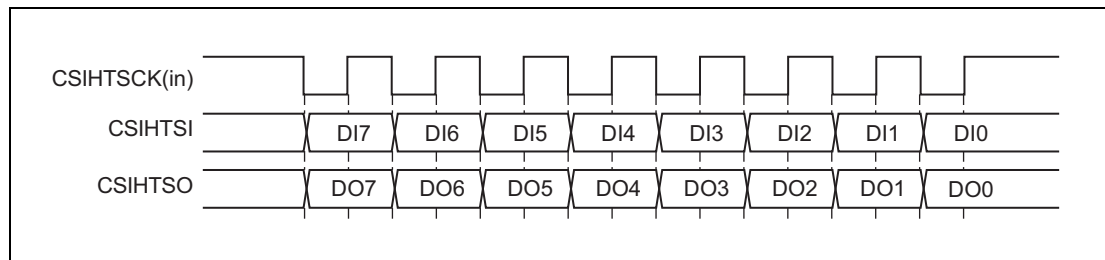


図 14.11 スレーブモードでの送受信

14.5.2 マスタ/スレーブの接続

14.5.2.1 マスタ 1、スレーブ 1 の場合

以下の図は、1つのマスタと1つのスレーブの間の接続を示しています。

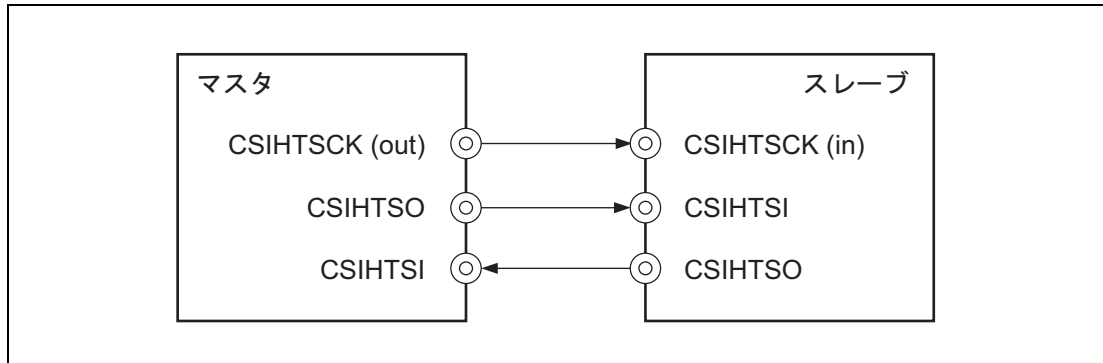


図 14.12 マスタ/スレーブ間の直接接続

14.5.2.2 マスタ 1、スレーブ複数の場合

以下の図は、1つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに1つずつチップセレクト (CS) 信号を供給します。この信号は、スレーブのスレーブ選択入力 CSIHTSSI に接続されます。

CSIHTSSI 信号は、ビット CSIHnCTL1.CSIHnSSE を使用して有効または無効にすることができます。

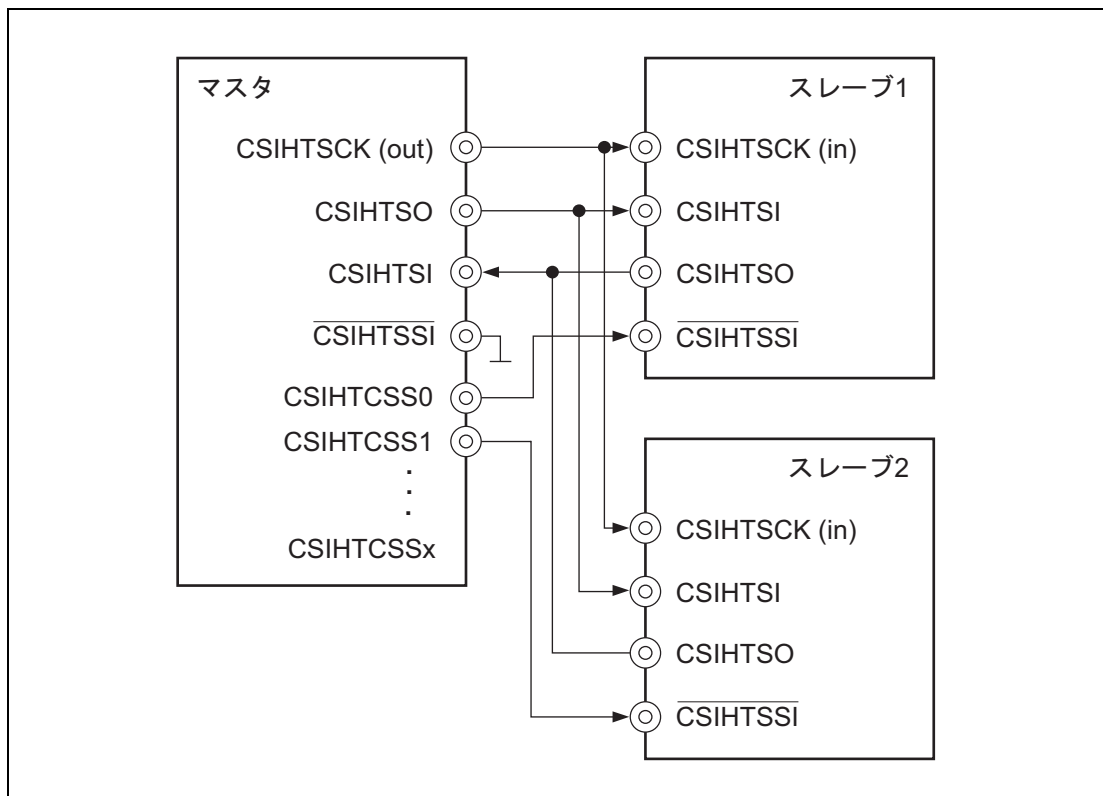


図 14.13 1つのマスタと複数のスレーブの間の接続

デフォルトのチップセレクトレベルはアクティブロウです。つまり、スレーブの $\overline{\text{CSIHTSSI}}$ 信号がロウレベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、CS をほかのデバイスに適合させるために、チップセレクト信号の出力レベルがアクティブハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの出力 CSIHTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

14.5.3 チップセレクト (CS) 機能

マスタはチップセレクト信号 CSIHTCSS_x を使用して 1 つ以上のスレーブを通信相手として選択することができます。

14.5.3.1 コンフィグレーションレジスタ

各チップセレクト信号 CSIHTCSS_x のパラメータは、対応するコンフィグレーションレジスタ CSIHnCFG_x で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。(CSIHnCFG_x.CSIHnDLS_x[3:0])
- 転送方向：MSB ファーストまたは LSB ファースト。(CSIHnCFG_x.CSIHnDIR_x)
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
(CSIHnCFG_x.CSIHnPS_x[1:0])
- クロック位相とデータ位相。(CSIHnCFG_x.CSIHnCKP_x, CSIHnCFG_x.CSIHnDAP_x)

マスタモードでのみ利用可能な各チップセレクト信号の付加的なパラメータを以下に示します。

- 各チップセレクト信号個別のボーレートジェネレータのプリスケアラ選択。
(CSIHnCFG_x.CSIHnBRSS_x[1:0])
- チップセレクト優先度：チップセレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップセレクト信号がメッセージブロードキャストイング用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。(CSIHnCFG_x.CSIHnRCB_x)

この原則は、「RCB (Recessive Configuration for Broadcasting)」とも呼ばれます。

注 意

すべてのドミナントチップセレクト信号の設定が同じである場合を除き、複数のチップセレクト信号をドミナントに指定し、それぞれの信号を別の設定にすることは禁止されています。

- チップセレクトのタイミング
 - セットアップ時間 T_{setup} ：CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。(CSIHnCFG_x.CSIHnSP_x[3:0])
 - データ間時間 T_{inter} ：同じ CS 信号がアクティブになっている間の 1 つのデータと次のデータの間の時間。(CSIHnCFG_x.CSIHnIN_x[3:0])
 - ホールド時間 T_{hold} ：CS が切り替わるまでに CS のアクティブレベルが保持される時間。(CSIHnCFG_x.CSIHnHD_x[3:0])
 - アイドル時間 T_{idle} ：CS 信号が終了したあと、または同じ CS_x への 1 回ごとのデータ転送が完了したあとの非アクティブ時間。(CSIHnCFG_x.CSIHnID_x[2:0])

以下の図に CS のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。CSIHnCFGx.CSIHnIDLx ビットに 1 を設定した場合、CS 信号に関係なく 1 転送ごとにアイドル時間を挿入します。

CSIHTCSS1 信号と CSIHTCSS2 信号がデフォルトのアクティブロウ (CSIHnCTL1.CSIHnCSL1 ビット=0, CSHnCTL1.CSIHnCSL2 ビット=0) に設定した場合の例を図 14.14 に示します。アクティブレベルは CS ごとに個別に指定することができます。

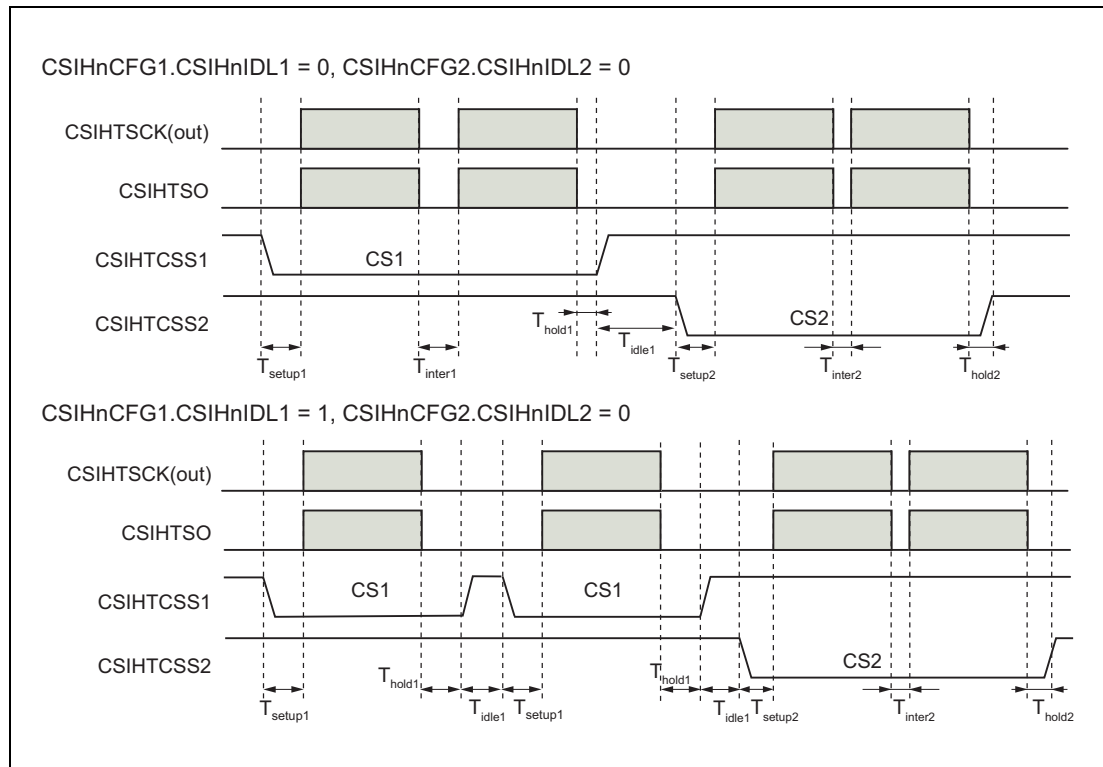


図 14.14 チップセレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップセレクト信号をアクティブにするには、送信レジスタ CSHnTX0W.CSIHnCSx の対応するビットをセットします。

受信レジスタの CSHnRX0W.CSIHnCSx は、受信データに関連付けられたチップセレクト信号を示します。

注 意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE=1) で、低優先通信モードから高優先通信モードに移行するときと、高優先通信モードから低優先通信モードに移行するときは、IDLn ビット設定に関わらず IDLE ステートが挿入されます。

14.5.3.2 CS の例

以下の図は2回続けてデータを送信する例を示しています。

最初の通信ではCS0を使用して1つのスレーブと通信しています。2番目の通信ではCS0とCS1を有効にして2つのスレーブにメッセージをブロードキャストしています。CS0の優先度は「リセッシブ：低優先度」に設定されており、CS1の優先度は「ドミナント：高優先度」に設定されています。

よって、2番目の通信はドミナントに設定されているCS1の設定を用いて行われます。

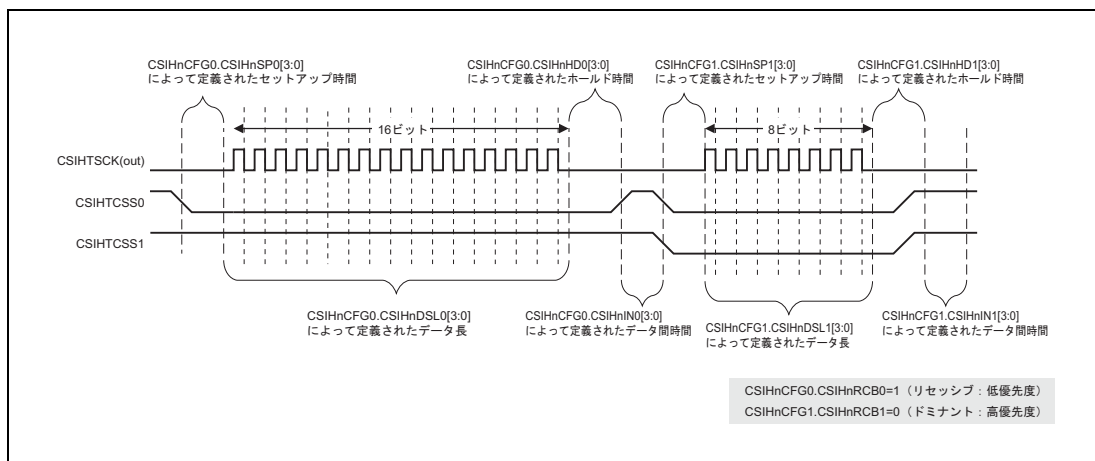


図 14.15 チップセレクトと RCB の例

14.5.3.3 ジョブ概念

CSIH でいうジョブは、転送の対象となる複数のデータから構成されます。

ジョブモードの有効化

ジョブモードはマスタモードでのみ有効になります。CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブモードを有効または無効にします。

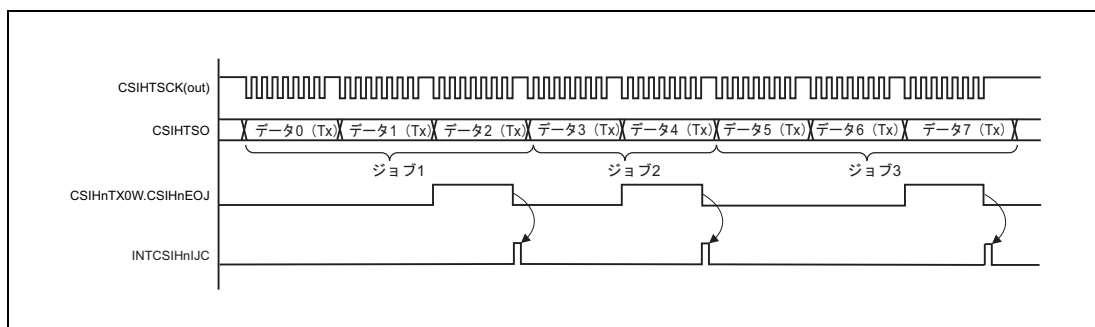


図 14.16 ジョブの例

CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み INTCSIHnIJC が発生します。

14.5.4 チップセレクトのタイミングの詳細

14.5.4.1 クロック位相の変更

CSIHnCFGx.CSIHnCKPx によって指定されたシリアルクロックレベルを通信停止中に変更することができます。アイドル時間の最小値は送信クロック (CSIHTSCK(out)) の1周期です。

CSIHnCFGx.CSIHnIDx[2:0] でアイドル時間が 0.5 送信クロック周期に設定されており、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータ が連続して送信されると、アイドル時間が自動的に CSIHTSCK(out) の 1 周期に延長されます。

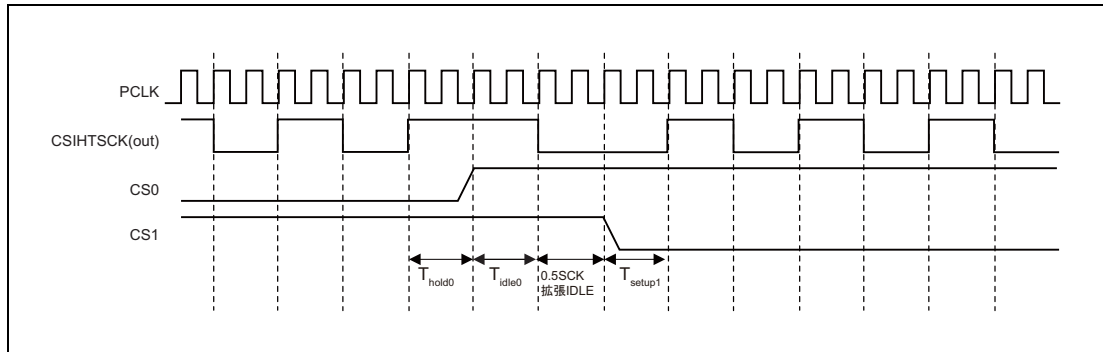


図 14.17 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 0.5\text{CSIHTSCK}$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) → CSHnCFG1.CSIHnCKP1 = 1 (CSIHTCSS1) の場合)

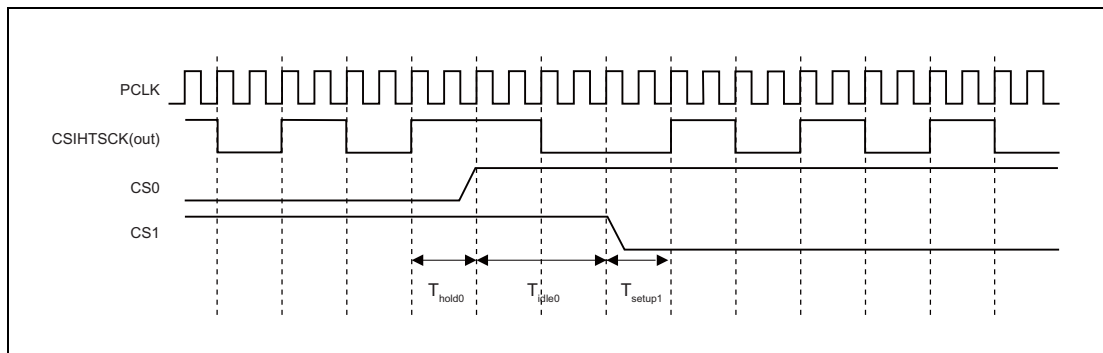


図 14.18 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 1\text{CSIHTSCK}$ 、CSIHnCFG0.CSIHnCKP0 = 0 (CSIHTCSS0) → CSHnCFG1.CSIHnCKP1 = 1 (CSIHTCSS1) の場合)

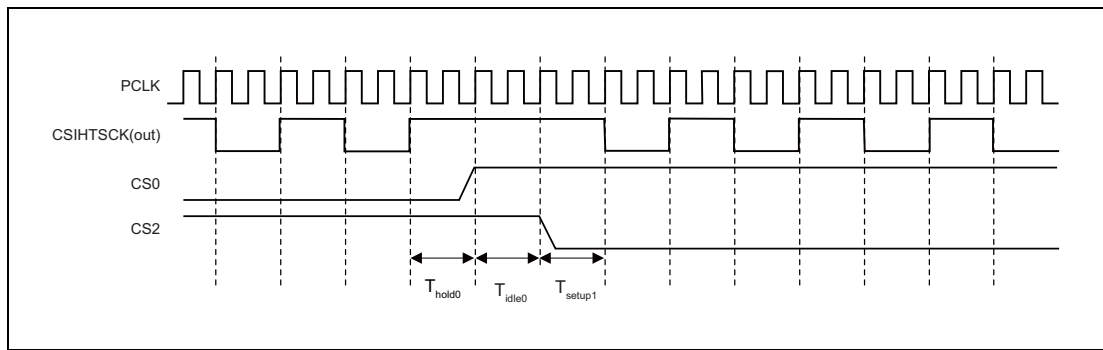


図 14.19 クロック位相のタイミング (PCLK/4、 $T_{\text{hold}0} = T_{\text{setup}1} = 0.5\text{CSIHTSCK}$ 、 $T_{\text{idle}0} = 0.5\text{CSIHTSCK}$ 、 $\text{CSIHnCFG0.CSIHnCKP0} = 0$ (CSIHTCSS0) → $\text{CSIHnCFG2.CSIHnCKP2} = 0$ (CSIHTCSS2) の場合)

14.5.4.2 データ位相の変更

ビット $\text{CSIHnCFGx.CSIHnDAPx}$ では、クロックを基準とするデータビットの位相を定義します。

ビット $\text{CSIHnCFGx.CSIHnDAPx}$ とホールド/セットアップ期間の関係は次の通りになります。

ホールド期間は、 $\text{CSIHnCFGx.CSIHnDAPx}$ の設定に関係なく、シリアルクロック (CSIHTSCK) の最後のエッジから $\text{CSIHTCSS}[7:0]$ がインアクティブレベルになるまでの期間です。

セットアップ期間は、 $\text{CSIHTCSS}[7:0]$ がアクティブレベルになるときから送信データ (CSIHTSO) が出力されるまでの期間です。

従って、 $\text{CSIHnCFGx.CSIHnDAPx}$ の設定によりシリアルクロック (CSIHTSCK) のエッジが出力されるまで 0.5 CSIHTSCK 分のずれがあります。

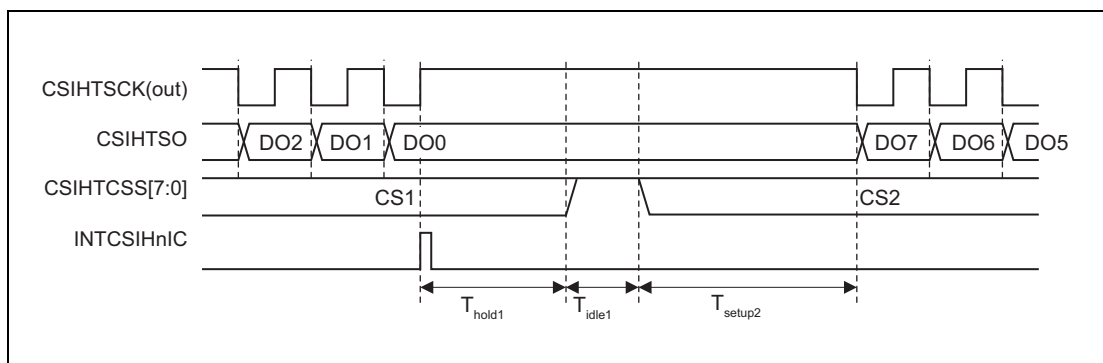


図 14.20 データ位相のタイミング (CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0 かつ $\text{CSIHnCFG2.CSIHnCKP2} = 0$ 、 $\text{CSIHnCFG2.CSIHnDAP2} = 0$ の場合)

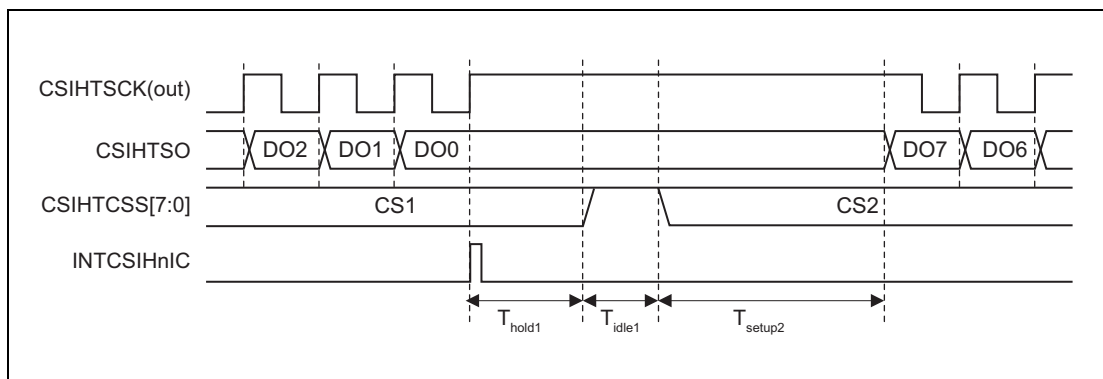


図 14.21 データ位相のタイミング
($\text{CSIHnCFG1.CSIHnCKP1} = 1$ 、 $\text{CSIHnCFG1.CSIHnDAP1} = 0$ かつ
 $\text{CSIHnCFG2.CSIHnCKP2} = 0$ 、 $\text{CSIHnCFG2.CSIHnDAP2} = 1$ の場合)

14.5.5 送信クロックの選択

マスタモードでは、以下のビットを使って転送クロック周波数を選択できます。

- $\text{CSIHnCTL2.CSIHnPRS}[2:0]$
- $\text{CSIHnBRsy.CSIHnBRS}[11:0]$ ($y = 0-3$)
- $\text{CSIHnCFGx.CSIHnBRSSx}[1:0]$ ($x = 0-7$)

送信クロック CSIHTSCK の転送クロック周波数は、 $\text{CSIHnCTL2.CSIHnPRS}[2:0]$ の設定と、 $\text{CSIHnBRsy.CSIHnBRS}[11:0]$ の設定によって決まりますが、 $\text{CSIHnCFGx.CSIHnBRSSx}[1:0]$ によってチップセレクト信号ごとに $\text{CSIHnBRS3} \sim \text{CSIHnBRS0}$ の 4 種類のうちいずれか 1 つの設定を選択することができます。

ボーレートジェネレータのブロック図を以下に示します。

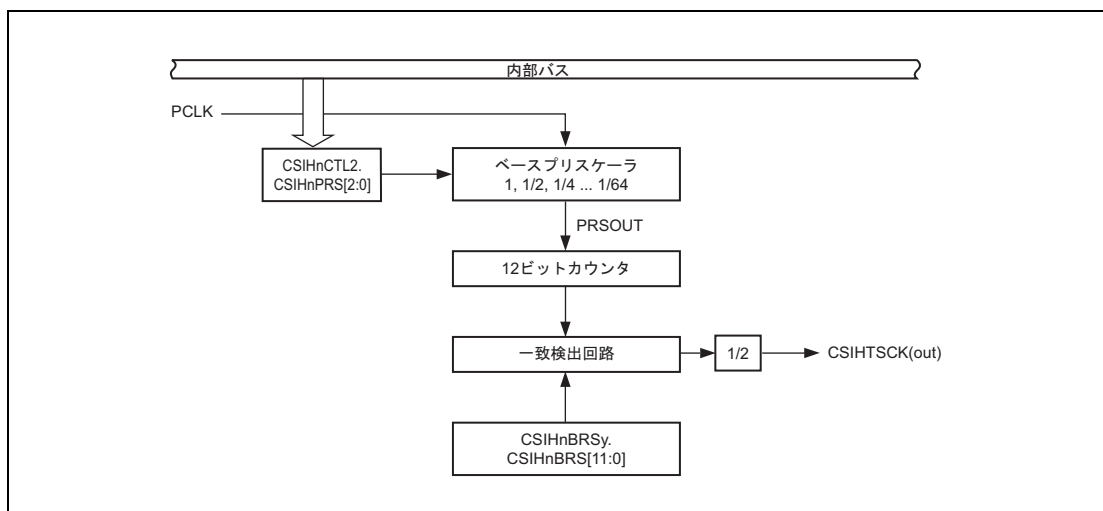


図 14.22 ボーレートジェネレータのブロック図

$\text{CSIHnBRsy.CSIHnBRS}[11:0]$ に 000_{H} を設定すると、ボーレートジェネレータが無効になり、すべての CSIHTSCK が停止します。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

$$\text{転送クロック周波数 (CSIHTSCK)} = \text{PCLK} / (\text{PCLK の分周比}) = \text{PCLK} / (2^\alpha \times k \times 2)$$

ただし、

$$\alpha = \text{CSIHnCTL2.CSIHnPRS}[2:0] = 0 \sim 6$$

$$\begin{aligned} k = & \text{CSIHnBRS0.CSIHnBRS0}[11:0] = 1 \sim 4095 \\ & (\text{CSIHnCFGx.CSIHnBRSSx}[1:0] = 0 \text{ のとき}) \\ & \text{CSIHnBRS1.CSIHnBRS1}[11:0] = 1 \sim 4095 \\ & (\text{CSIHnCFGx.CSIHnBRSSx}[1:0] = 1 \text{ のとき}) \\ & \text{CSIHnBRS2.CSIHnBRS2}[11:0] = 1 \sim 4095 \\ & (\text{CSIHnCFGx.CSIHnBRSSx}[1:0] = 2 \text{ のとき}) \\ & \text{CSIHnBRS3.CSIHnBRS3}[11:0] = 1 \sim 4095 \\ & (\text{CSIHnCFGx.CSIHnBRSSx}[1:0] = 3 \text{ のとき}) \end{aligned}$$

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 転送クロックの最小周波数は、マスタ・スレーブモードともに PCLK / 524160 です。
- 転送クロックの最大周波数は、以下の通りです。
 - マスタモード : 10.0 MHz
 - スレーブモード : 6.66 MHz

14.5.6 CSIH のバッファメモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータと 7 ビットの ECC から構成されます。

以下の設定が可能です。

モード	CSIHnCTL0. CSIHnMBS	CSIHnMCTL0. CSIHnMMS[1:0]
FIFO モード	0	00 _B
デュアルバッファモード		01 _B
送信専用バッファモード		10 _B
ダイレクトアクセスモード	1	X

14.5.6.1 FIFO モード

FIFO モードでは、FIFO フルになっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータを書き込んだり、受信後ただちに CSIHnRX0W レジスタを読み出さなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 データが送信されると同時に 1 データが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データが FIFO メモリに書き込みされたとき、読み出しされたとき、またはデータが FIFO メモリから送受信されたときに、それぞれに対応する FIFO メモリポインタを自動的に更新します。

表 14.42 FIFO モード

ポインタの説明	制御ビット ^{注1}	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0 ~ 128
受信して FIFO に格納されているワード数	CSIHnSTR0.CSIHnSRP[7:0]	0 ~ 128
送信データの書き込み / 読み出しのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 01FC _H
受信データの読み出しのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~ 01FC _H
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 01FC _H

注 1. 1 回の書き込み、読み出し、またはデータの送受信ごとに、自動的に値が更新されます。

CSIH ステータスレジスタには 2 つの FIFO ステータスフラグが含まれています。

- CSIHnSTR0.CSIHnFLF : FIFO フル
- CSIHnSTR0.CSIHnEMF : FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、CSIHnSTR0.CSIHnEMF のみ、リセットではなくセットされます。

CSIHnSTR0.CSIHnEMF を除くすべての FIFO ポインタと FIFO フラグがリセットされ、CSIHnSTR0.CSIHnEMF がセットされます。

14.5.6.2 デュアルバッファモード

このモードでは、サイズの等しい2つの部分にメモリが分割されます。つまり、下位 64 ワードが送信データに割り当てられ、上位 64 ワードが受信データに割り当てられます。デュアルバッファモードでは、個々のバッファポインタが以下の値を示します。

表 14.43 デュアルバッファモード

ポインタの説明	ポインタ ^{注1}	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 00FC _H
受信バッファから読みだされるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000 _H ~ 00FC _H
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[6:0]	0 ~ 64
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 00FC _H

注1. 1回の書き込み、読み出しごとに両方のポインタが自動的にインクリメントされます。

14.5.6.3 送信専用バッファモード

このモードでは、メモリ全体が送信データの保存に使用されます。

受信データは CSIHnRX0W/H から直接読み出す必要があります。

送信専用バッファモードでは、個々のバッファポインタが以下の値を示します。

表 14.44 送信専用バッファモード

ポインタの説明	ポインタ ^{注1}	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000 _H ~ 01FC _H
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[6:0]	0 ~ 128
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000 _H ~ 01FC _H

注1. 1回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

14.5.6.4 ダイレクトアクセスモード

ダイレクトアクセスモードでは、CSIH のメモリが完全にバイパスされます。

- CPUから送信レジスタCSIHnTX0WまたはCSIHnTX0Hに供給される送信データはシフトレジスタに直接コピーされます。
- 受信データはシフトレジスタから受信レジスタCSIHnRX0WまたはCSIHnRX0Hへ直接コピーされます。

14.5.7 データ転送モード

14.5.7.1 送信専用モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信専用モードになります。送信が開始される条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると送信が開始されます。

14.5.7.2 受信専用モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信専用モードになります。

マスタモードでは、受信を開始する条件がメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミーデータが書き込まれると受信が開始されます。

スレーブモードでは、マスタから送信クロック CSIHTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

- デュアルバッファモード、または送信専用バッファモードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると受信が開始されます。

14.5.7.3 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

通信（送信と受信）を開始する条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、ビット CSIHnMCTL2.CSIHnBTST がセットされると通信が開始されます。

14.5.7.4 まとめ

以下の表にこの節のまとめを記載します。この表は、さまざまなメモリモード、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 14.45 データ転送の開始

メモリモードと動作モード		転送モード	
		送信専用モード 送受信モード	受信専用モード
FIFO モード、 ダイレクトアクセスモード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信
送信専用バッファモード、 デュアルバッファモード	マスタ	CSIHnMCTL2.CSIHnBTST = 1	CSIHnMCTL2.CSIHnBTST = 1
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信

14.5.8 データ長の選択

14.5.8.1 2～16ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0] を使用して、チップセレクト信号ごとに2ビットから16ビットの間のデータパケット長を選択できます。以下の例は、MSBファースト (CSIHnCFGx.CSIHnDIRx = 0) での通信を示しています。

データ長 = 16ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 0000_B)

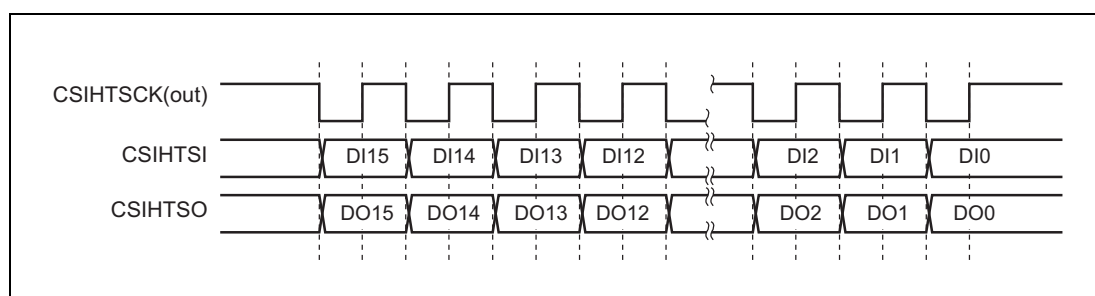


図 14.23 データ長 16 ビット、MSB ファースト

データ長 = 14ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1110_B)

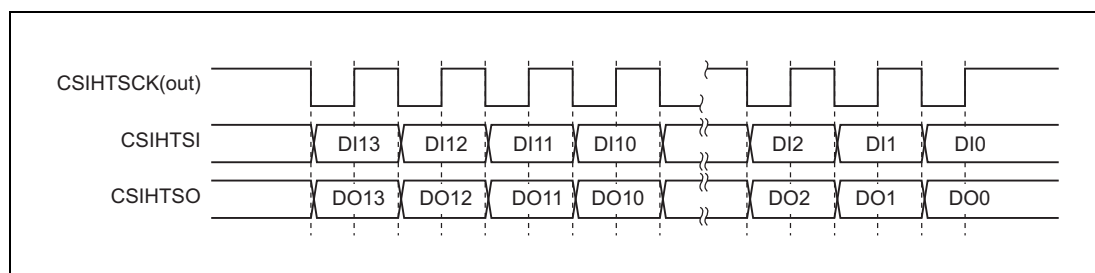


図 14.24 データ長 14 ビット、MSB ファースト

14.5.8.2 16ビットを上回るデータ長

16ビットを上回るデータを送受信する場合は、拡張データ長 (EDL) 機能を使用できます。

EDL 機能はビット $CSIHnCTL1.CSIHnEDLE$ を1にセットすることで有効になります。

EDL 機能は以下の仕組みで機能します。

- データを16ビットのブロックと剰余部分に分割する必要があります。たとえば、42ビットのデータは2つの16ビットブロックと10ビットに分割します。
- 剰余部分のビット長は、 $CSIHnCFGx.CSIHnDLSx[3:0]$ ビットに、「データ長」として設定します。
- 16ビットブロックを送信するには、 $CSIHnTX0W.CSIHnEDL$ を1にセットする必要があります。その場合、 $CSIHnTX0W$ に書き込まれるデータは、 $CSIHnCFGx.CSIHnDLSx[3:0]$ ビットの設定に関係なく、データ長16ビットのデータとして送信されます。
- 指定されたデータ長 ($CSIHnTX0W.CSIHnEDL = 0$ に設定して指定された剰余部分) のブロックが送信されると転送が完了します。

例

123456789A_H という40ビットのデータをCS0に送信する例

40ビットを2つの16ビットブロックと8ビットに分割します。

- $CSIHnCFG0.CSIHnDLS0[3:0] = 8_D$ に初期化します。
- 123456789A_H をMSBファーストで送信するには、以下のシーケンスを $CSIHnTX0W$ に書き込みます。
 - 20FE 1234_H ($CSIHnTX0W.CSIHnEDL = 1$)
 - 20FE 5678_H ($CSIHnTX0W.CSIHnEDL = 1$)
 - 00FE 009A_H ($CSIHnTX0W.CSIHnEDL = 0$)

以下にタイミング図を示します。

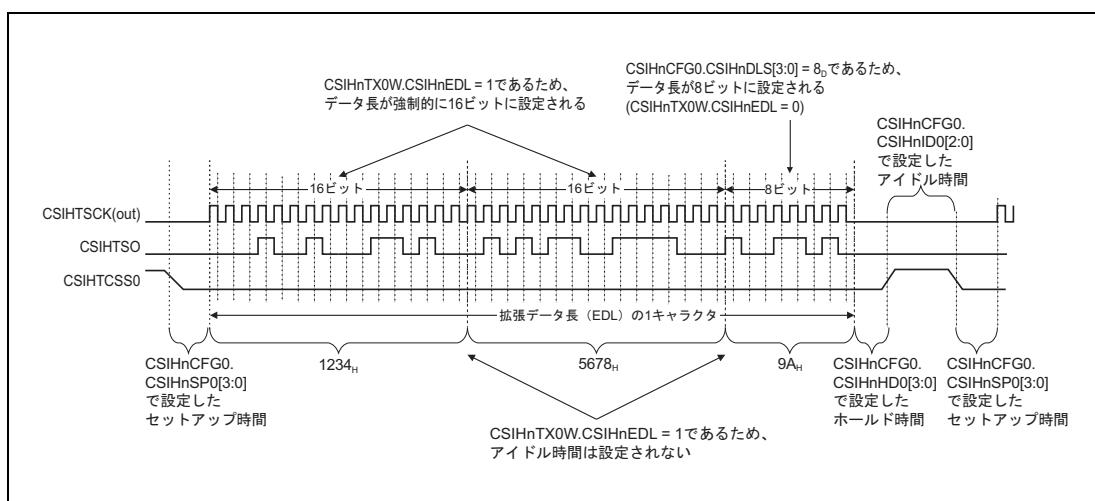


図 14.25 EDL のタイミング図

備 考

1. 7ビット未満のデータ長は、EDL モードを使用するときのみ設定できます。
 2. データ長が7ビット未満のデータを2つ続けて送信することはできません。
 3. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されません。
 4. 拡張データ長 (EDL) 機能を使用して送信しているときは、同一のチップセレクト信号を使用してください。
 5. CSIHnCTL1.CSIHnJE = 1, CSIHnCTL1.CSIHnEDLE = 1 のときに、CSIHnTX0W.CSIHnEOJ = 1 と CSIHnTX0W.CSIHnEDL = 1 に、同時に 1 を設定した場合は、動作の保証ができません。
 6. 以下の例でデータ方向について説明します。
 - 送信されるデータ : 123456_H
 - MSB ファースト :
CSIHnCFGx.CSIHnDIRx = 0 に設定
CSIHnTX0W = 20FE 1234_H を書き込み (EDL ビット = 1)
CSIHnTX0W = 00FE 0056_H を書き込み (EDL ビット = 0)
 - LSB ファースト :
CSIHnCFGx.CSIHnDIRx = 1 に設定
CSIHnTX0W = 20FE 3456_H を書き込み (EDL ビット = 1)
CSIHnTX0W = 00FE 0012_H を書き込み (EDL ビット = 0)
 7. EDL モードは、スレーブモードの受信専用モードでは使えません。
(CSIHnCTL2.CSIHnPRS[2:0] = 111_B, CSIHnCTL0.CSIHnTXE = 0, CSIHnCTL0.CSIHnRXE = 1)
-

14.5.9 シリアルデータ方向選択機能

CSIHnCFGx レジスタの CSIHnDIRx ビットを使用して、チップセレクト信号ごとにシリアルデータ方向を選択することができます。

以下の例はデータ長 8 ビットの通信 (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B) を示しています。

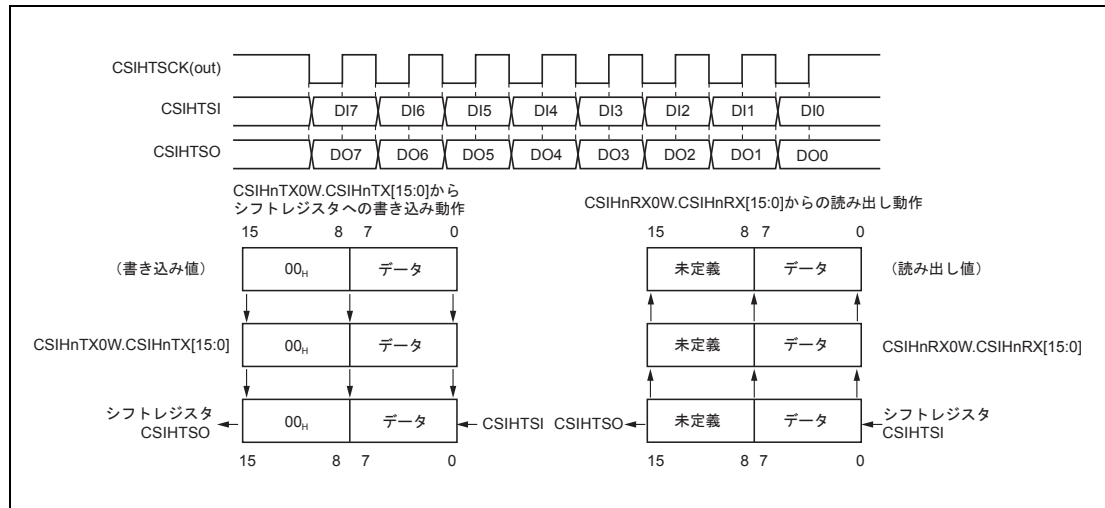


図 14.26 シリアルデータ方向選択機能 — MSB ファースト (CSIHnDIRx = 0)

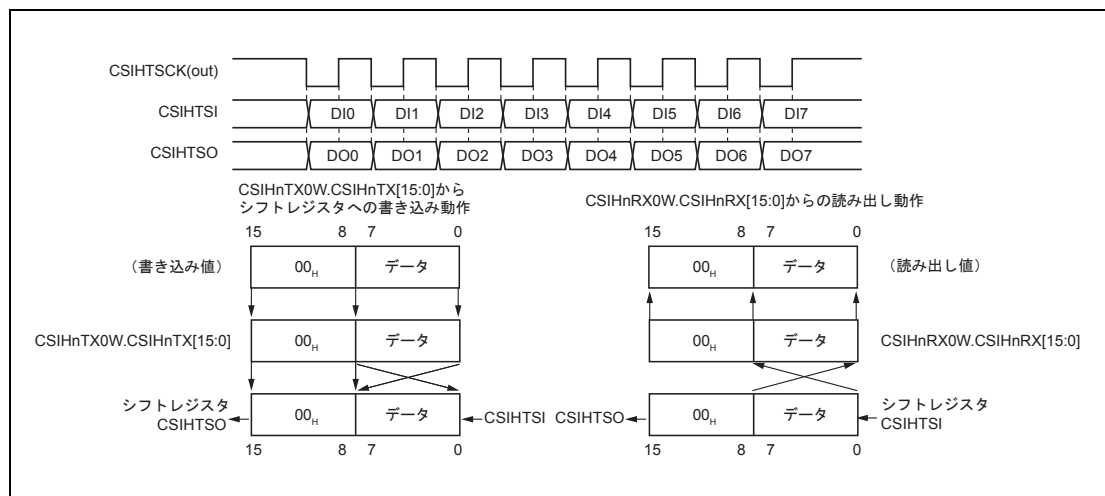


図 14.27 シリアルデータ方向選択機能 — LSB ファースト (CSIHnDIRx = 1)

14.5.10 SS (スレーブセレクト) 機能

SS (スレーブセレクト) 機能を使用することによって1つのマスタと複数のスレーブ間の通信が可能です。

マスタモードのとき1つのスレーブに対しスレーブ選択信号 (CSIHTCSSx) を出力します。スレーブモードではスレーブ入力選択信号 ($\overline{\text{CSIHTSSI}}$) がロウレベルのとき通信を行います。

SS 機能による接続例は「14.5.2 マスタ/スレーブの接続」を参照してください。

14.5.10.1 SS 機能を使用した通信のタイミング

以下の図は、SS 機能を使用した通信の信号とタイミングを示しています。

スレーブモードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

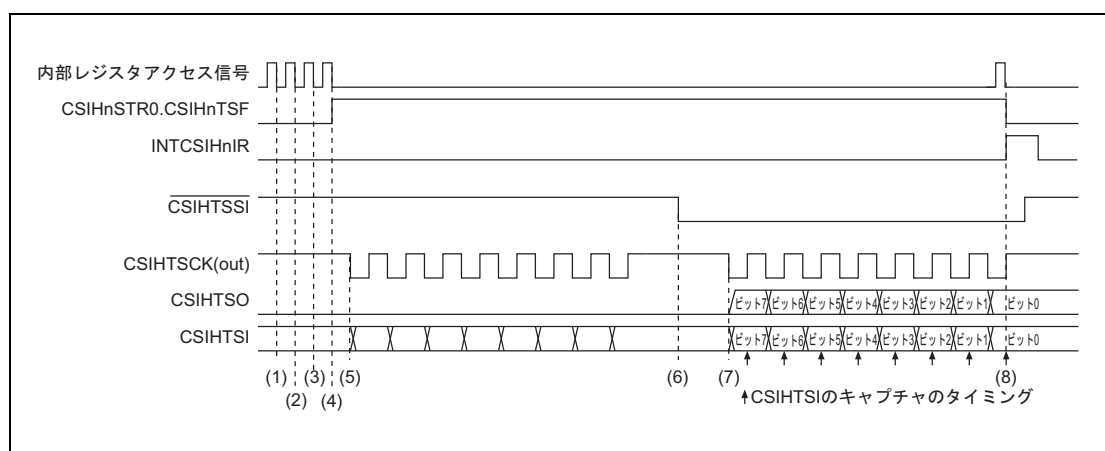


図 14.28 SS 機能を使用した通信の送受信のタイミング

- (1) CSIHnCTL2.CSIHnPRS[2:0] = 111_B を設定することによって、CSIH はスレーブモードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。
- (2) データ長は 8 ビットです (CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B)。データ方向は MSB ファースト (CSIHnCFG0.CSIHnDIR0 = 0) です。
- (3) 送受信モードに設定されます (CSIHnCTL0.CSIHnTXE = 1, CSIHnCTL0.CSIHnRXE = 1, CSIHnCTL0.CSIHnPWR = 1)。通信の開始が許可されます。
- (4) 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、ダイレクトアクセスモードのとき、または FIFO モードのときは、転送ステータスフラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。
- (5) $\overline{\text{CSIHTSSI}}$ 信号がハイレベルである間は、外部送信クロック CSIHTSCK が入力されても、送受信は開始されません。CSIHTSI への入力は無視されます。
- (6) $\overline{\text{CSIHTSSI}}$ がロウレベルになると、CSIHTSO が有効になったことを示し、送信が可能になります。
- (7) 外部クロック信号 CSIHTSCK が検出されると、スレーブはだたちにデータを CSIHTSO に送信し、同時に CSIHTSI からデータをキャプチャします。
- (8) 割り込み INTCSIHnIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

14.5.10.2 CSIHTSSO オペレーション

CSIHnPWR	CSIHnTXE	CSIHnRXE	CSIHnSSE	CHISTSSO
0	—	—	—	H
1	—	—	0	H
	0		1	H
	1		1	CSIHTSSI レベルの反転値

CSIHTSSO 端子は、SS 機能を使用する場合にチップの SO 端子の I/O 機能を制御する信号です。

CSIHTSO 端子は CSIHTSSO 端子がハイレベルのときに有効になります (チップの SO 端子は駆動されている)。

CSIHTSO 端子は CSIHTSSO 端子がロウレベルのときに無効になります (チップの SO 端子は駆動されていない)。

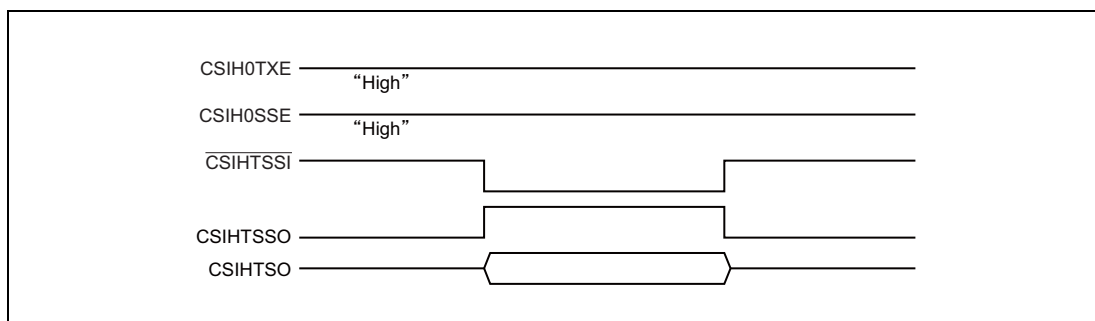


図 14.29 CSIHTSSO の動作

注 意

通信中に $\overline{\text{CSIHTSSI}}$ 端子が変化した場合 (CSIHnSTR0.CSIHnTSF = 1) の通信は保証されません。

14.5.11 ハンドシェイク機能

CSIHはマスタデバイスとスレーブデバイスを同期させるハンドシェイク機能を備えています。この機能はCSIHnCTL1.CSIHnHSEビットで有効または無効にすることができます。ハンドシェイクでは、CSIHTRYI、CSIHTRYO信号を使用します。

ビジーとなるタイミングはデータ位相選択CSIHnCFGx.CSIHnDAPxビットの設定によって異なります。

14.5.11.1 スレーブモード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になるとCSIHTRYO信号がロウレベル0を出力します。この状態になるのは以下の2つの場合です。

1. 次の送信データが用意されていない場合：
スレーブが送信専用モードまたは送受信モードに設定されている状態 (CSIHnCTL0.CSIHnTXE = 1) で、以下の状態のとき、CSIHTRYOはビジー状態 (ロウレベル) を出力します。

表 14.46 メモリモードとスレーブの転送状態

メモリモード	スレーブの転送状態
ダイレクトアクセスモード	次の転送データがない状態
FIFOモード	次の転送データがない状態 (CSIHnSTR0.CSIHnEMF = 1 の状態)
デュアルバッファモード	CSIHnMCTL2.CSIHnBTST が1に設定されていない状態
送信専用バッファモード	

以下の例では、8ビットのデータ長を想定しています。

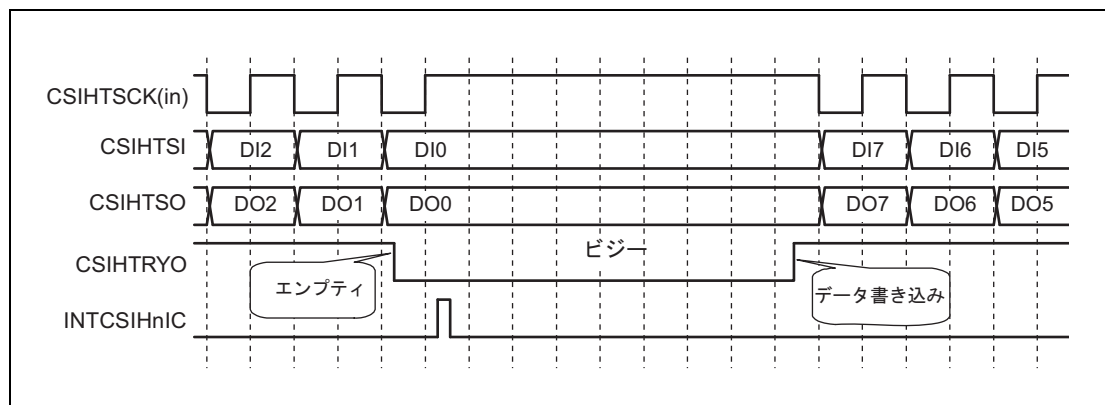


図 14.30 スレーブからのビジー信号 (FIFOモード、CSIHnCFGx.CSIHnDAPx = 0)

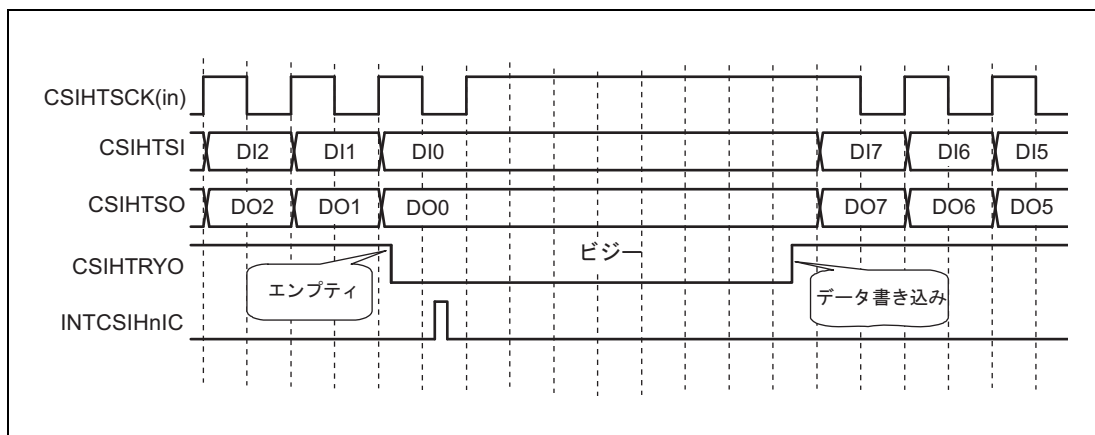


図 14.31 スレープからのビジー信号 (FIFO モード、CSIHnCFGx.CSIHnDAPx = 1)

2. 受信レジスタがフルになっている場合：
 スレープが受信専用モードまたは送受信モードに設定されてる状態
 (CSIHnCTL0.CSIHnRXE = 1) で、前に受信したデータがまだ CSIHnRX0 レジスタにあ
 るため、新しいデータをシフトレジスタから CSIHnRX0 へコピーできない状態
 (CSIHnRX0 フル状態) のとき。
 CSIHnCTL0.CSIHnRXE = 1 で、以下の状態のとき、CSIHTRYO はビジー状態 (ロウレ
 ベル) を出力します。

表 14.47 メモリモードとスレープの受信状態

メモリモード	スレープの受信状態
ダイレクトアクセスモード	CSIHnRX0W または CSIHnRX0H がフル状態
FIFO モード	受信データがバッファに残っている状態 (CSIHnSTR0.CSIHnFLF = 1 の状態)
デュアルバッファモード	該当する状態なし
送信専用バッファモード	CSIHnRX0W または CSIHnRX0H がフル状態

以下の例では、8 ビットのデータ長を想定しています。

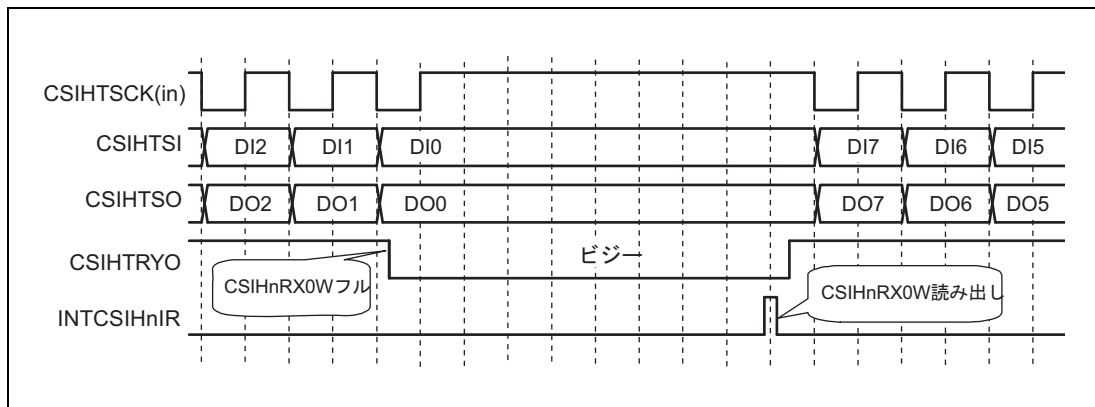


図 14.32 スレープからのビジー信号 (ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 0)

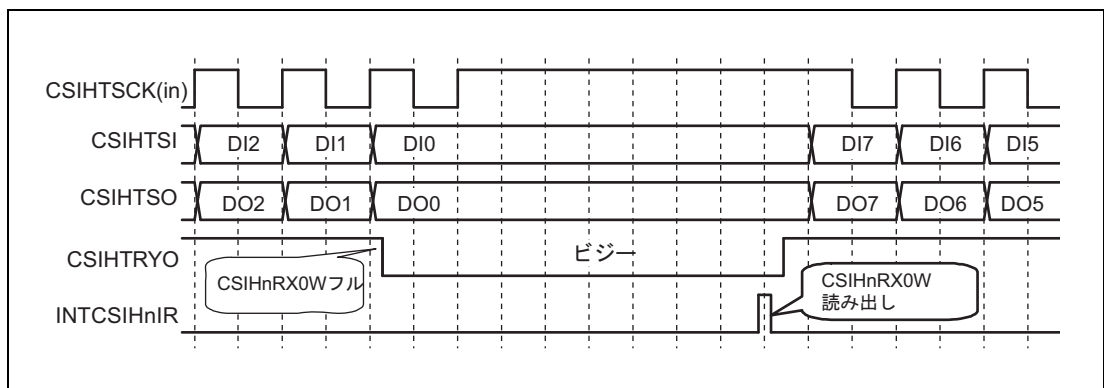


図 14.33 スレーブからのビジー信号 (ダイレクトアクセスモード、
CSIHnCFGx.CSIHnDAPx = 1)

14.5.11.2 マスタモード

CSIHnCTL1.CSIHnHSE = 1 のとき、マスタが CSIHTRYI = 0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHTSCK を停止させます。CSIHTRYI のレベルは、CSIHTSCK の半クロック周期ごとにチェックされます。

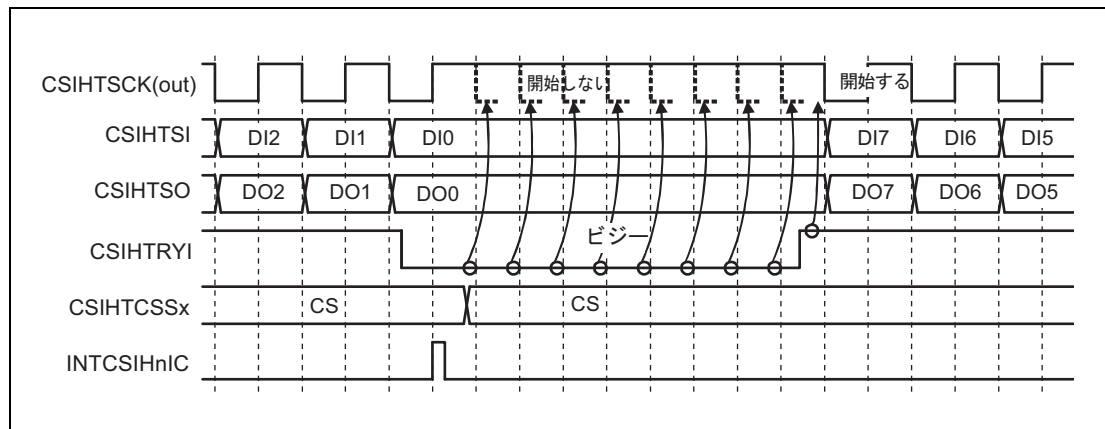


図 14.34 CSIHTRYI に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 0)

次の転送が始まる前にスレーブは CSIHTRYI をロウレベルに下げする必要があります。データ転送中にスレーブ側で CSIHTRYI 信号をロウレベルに下げると、転送が完了した後、マスタからのシリアルクロックが停止します。

マスタは CSIHTRYI がハイレベルになる (スレーブが「レディ」になる) と、ただちに通信を再開します。

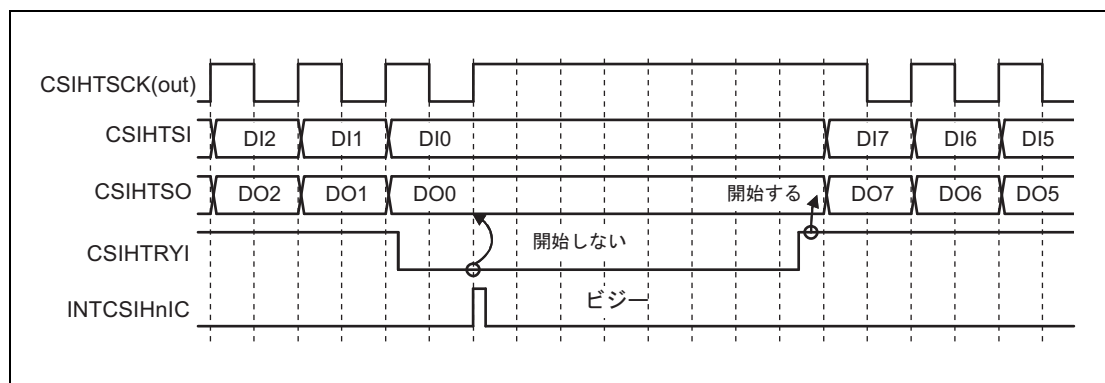


図 14.35 CSIHTRYI に対するマスタの反応 (CSIHnCFGx.CSIHnDAPx = 1)

注 意

1. 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIHTRYI 信号だけを検出する必要があります。
2. データ転送中にスレーブの CSIHTRYO 信号をマスタの CSIHTRYI 端子が検出しても、データ転送が終わるまで通信は待機しません。

14.5.12 エラー検出

CSIHは5種類のエラーを検出することができます。

- データ整合性チェックエラー (送信データ)
- パリティエラー (受信データ)
- オーバランエラー (受信データ)
- タイムアウトエラー (FIFO モード時)
- オーバフローエラー (FIFO モード時)

パリティエラー、データ整合性チェックエラー、タイムアウトエラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 INTCSIHnIRE が発生し、検出されたエラーに対応するフラグがセットされます。

14.5.12.1 データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックはビット CSIHnCTL1.CSIHnDCS で有効または無効にすることができます (データ整合性チェックを行う場合は、CSIHTSO を必ず PIPn.PIPCn_m = 1 に設定してください)。データ送信が禁止されていると (CSIHnCTL0.CSIHnTXE = 0)、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、CSIHTSO の物理レベルが独自のシフトレジスタに読み込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性チェックエラーと見なされます。

- 割り込み INTCSIHnIRE が発生します。
- ビット CSIHnSTR0.CSIHnDCE がセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

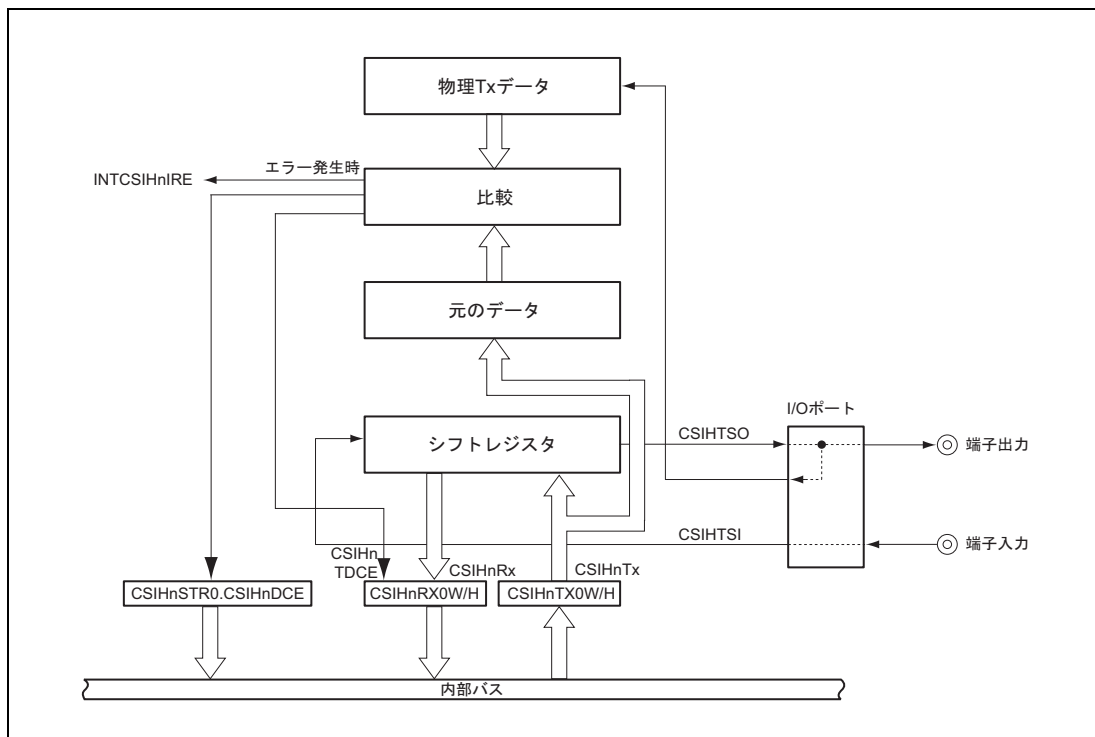


図 14.36 データ整合性チェック機能のブロック図

14.5.12.2 パリティチェック

CSIH では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは `CSIHnCFGx.CSIHnPSx[1:0]` で指定されます。

`CSIHnCFGx.CSIHnPSx[1] = 1` であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み `INTCSIHnIRE` が発生します。
- ビット `CSIHnSTR0.CSIHnPE` がセットされます。

さらに、エラーが発生したデータの `CSIHnRX0W.CSIHnRPE` がセットされます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは `05H` と `35H` です。
- データ方向は **LSB** ファーストです。
- パリティタイプは奇数です。

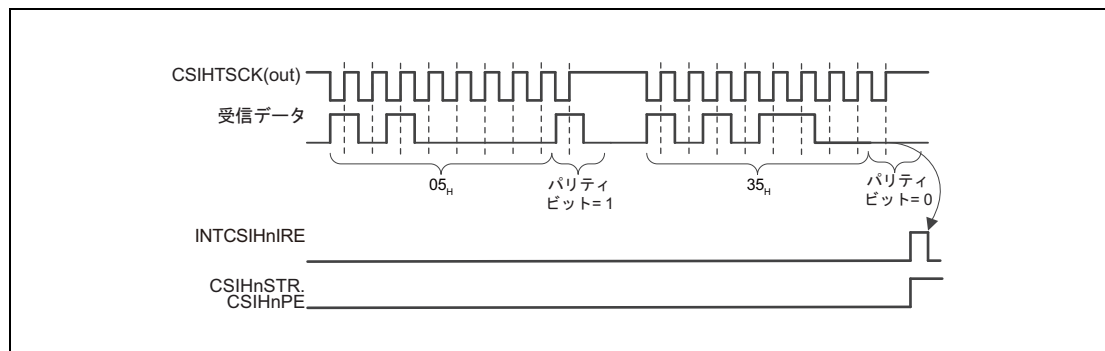


図 14.37 パリティチェックの例

1 つめのデータのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

2 つめのデータのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

14.5.12.3 タイムアウトエラー

タイムアウトエラーチェックはスレーブの FIFO モードでのみ可能です。

タイムアウトエラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データが読み出し
- FIFO が CSIHTSI からデータを受信

タイムアウトの時間は、 $\text{CSIHnMCTL0.CSIHnTO}[4:0]$ によって送信クロック CSIHTSCK の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウトエラーが発生します ($\text{CSIHnMCTL0.CSIHnTO}[4:0] = 00000_{\text{B}}$ に設定した場合タイムアウト時間は検出されません)。

専用のタイムアウトカウンタは、 $\text{CSIHnCTL2.CSIHnPRS}[2:0]$ ビットと、 $\text{CSIHnBRSy.CSIHnBRS}[11:0]$ ビットで設定をします。

$\text{CSIHnBRSy.CSIHnBRS}[11:0]$ ビットに 000_{H} を設定したままなら、専用のタイムアウトカウンタは動作しません。

専用のタイムアウトカウンタで最後の読み出し操作から次の読み出し操作までの時間を測定します。

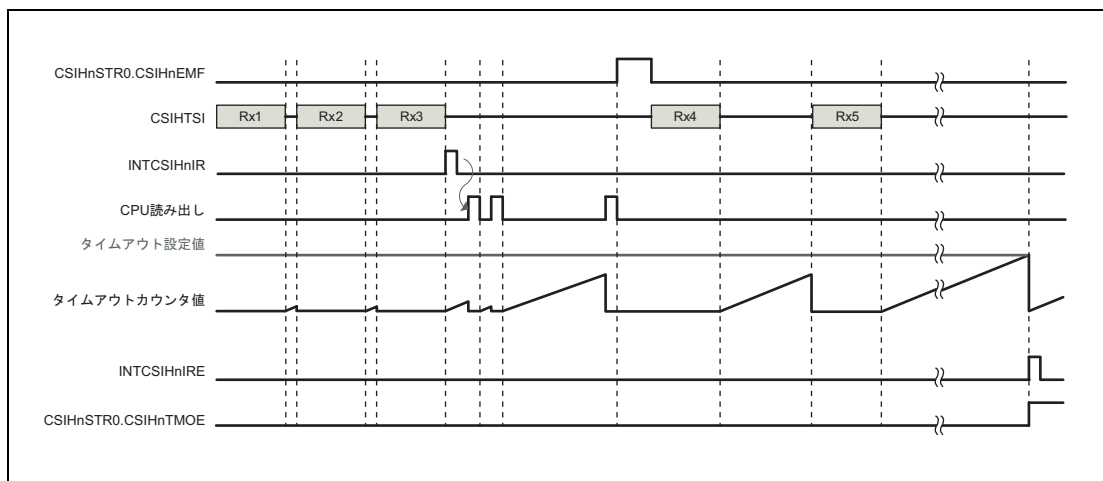


図 14.38 タイムアウトチェック機能のタイミング図

タイムアウトカウンタのスタートタイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ読み込みが完了したとき
(バッファが空なら、カウンタはスタートしません)
- タイムアウトエラーを検出したとき

タイムアウトエラーが検出された後、そのままであれば、タイムアウトカウンタは再起動します。

$\text{CSIHnMCTL0.CSIHnTO}[4:0]$ ビットで設定した値まで再度来た場合は、 INTCSIHnIRE 割り込みが再度出力されます。

タイムアウトカウンタは受信データがリードされない限りはカウントし続けます。タイムアウトカウンタを停止したい場合、すべての受信データを読みだすか、

CSIHnSTCR0.CSIHnPCT をセット (1) してください。ただしその場合、ポインタがクリアされます。

タイムアウトカウンタのリセットタイミングを次に示します。

- 読み出しが1回行われる
- 新しいデータが1つ着信
- タイムアウトエラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット (1)

タイムアウトエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHnIRE が発生します。
- ビット CSIHnSTR0.CSIHnTMOE がセットされます。

14.5.12.4 オーバフローエラー

オーバフローエラーは FIFO モードで発生する可能性があります。オーバフローエラーは、FIFO バッファが受信データフルになっている状態で CSIHnTX0W レジスタに送信データが書き込まれると発生します。

例

100 個のデータが送信されています。つまり、FIFO には 100 個の受信データが格納されています。アプリケーションが受信データの読み出しを開始します。

読み出し操作の進行中に、アプリケーションが新たに 50 個の送信データを FIFO に書き込みはじめます。しかし、現在までに 10 個の受信データしか読み出されておらず、90 個のデータがまだ FIFO に残っています。

この例では、新しい送信データを受け入れることができるバッファは 38 個しかありません。CPU が 39 個目のデータを書き込もうとすると、オーバフローエラーが発生します。

以下の図はその様子を示しています。

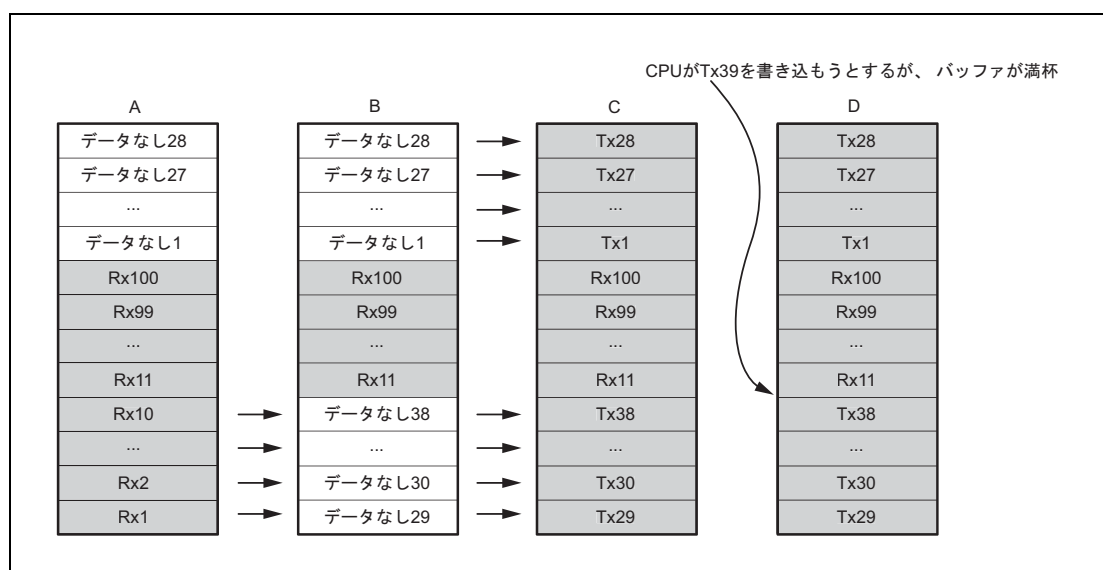


図 14.39 FIFO の概要

39 個目以降のデータは破棄されます。以下の図にオーバーフローのタイミングを示します。

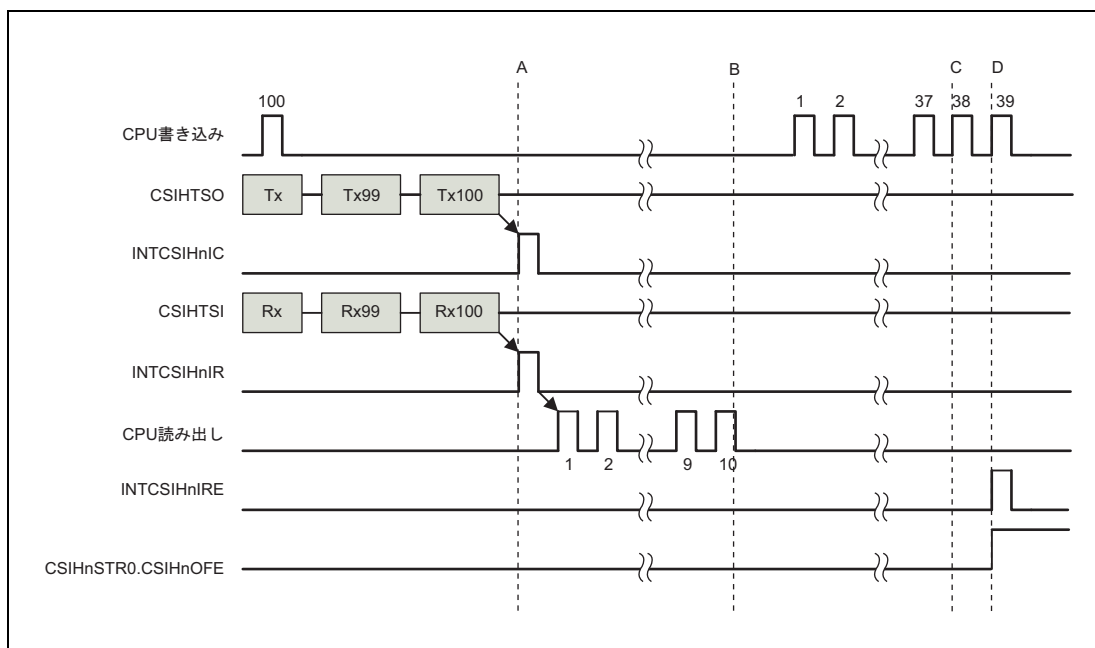


図 14.40 FIFO のオーバーフローのタイミング

オーバーフローエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHnIRE が発生します。
- ビット CSIHnSTR0.CSIHnOFE がセットされます。

14.5.12.5 オーバランエラー

オーバランエラーは、ダイレクトアクセスモード、送信専用バッファモード、FIFOモードで発生する可能性があります。デュアルバッファモードでオーバランエラーが発生する可能性はありません。データ受信が禁止されていると (CSIHnCTL0.CSIHnRXE = 0)、オーバランエラーは発生しません。

オーバランエラーの発生条件は2つあります。

(エラー発生条件 1)

- FIFOモードで受信データの数が0になった状態でCPUがCSIHnRX0W/Hレジスタをリードした場合。

(エラー発生条件 2)

- スレーブモードでCSIHnCTL1.CSIHnHSE = 0 (ハンドシェイクなし) の場合、
 - ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データがCSIHnRX0W/Hレジスタに残っている状態で受信を完了した場合。
 - FIFOモードで、FIFOバッファが受信データでフル状態で受信を完了した場合。

(1) ダイレクトアクセス/送信専用バッファ

ダイレクトアクセスモードと送信専用バッファモードでは、新たに受信したデータをシフトレジスタから受信レジスタCSIHnRX0W/Hへ転送できなくなると、このエラーが発生します。CSIHnRX0W/Hが読み出されていないため、前に受信したデータがCSIHnRX0W/Hに残っていると、その状態になります。

以下の図にオーバランエラー検出機能の仕組みを示します。

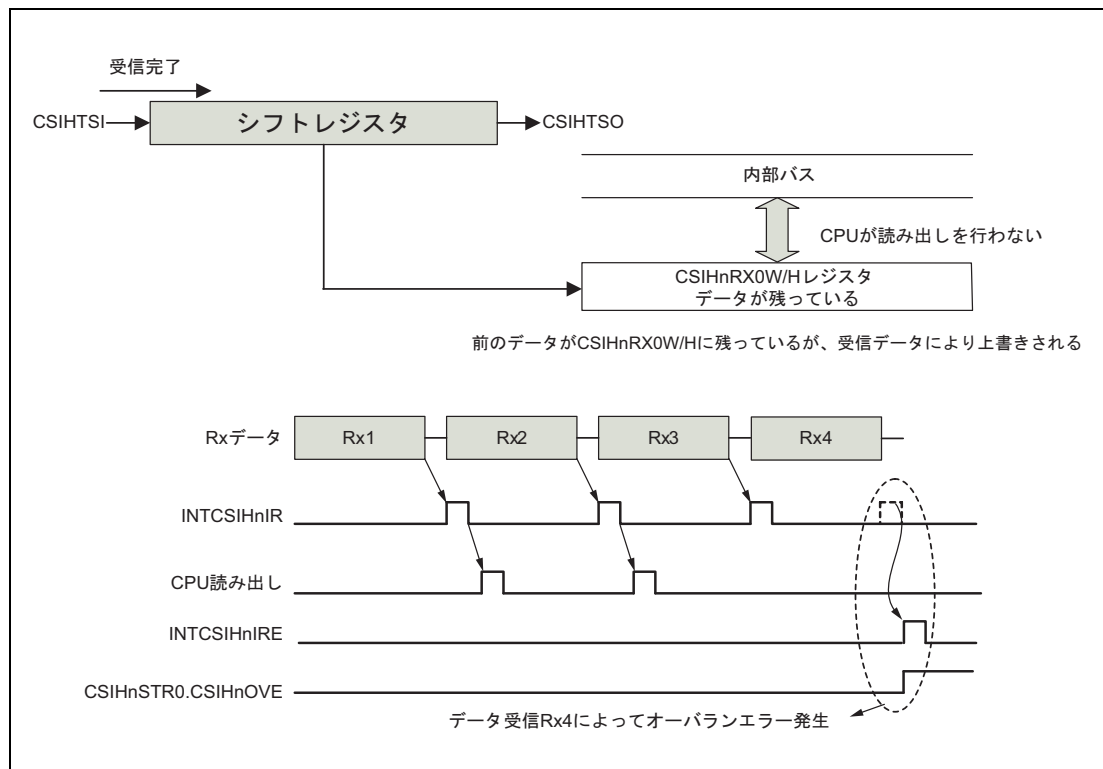


図 14.41 ダイレクトアクセスモードと送信専用バッファモードでのオーバランエラーの検出

備 考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。

スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

(2) FIFO モード

FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO フルの状態で新たにデータを受信し、バッファ上の古いデータが上書きされる

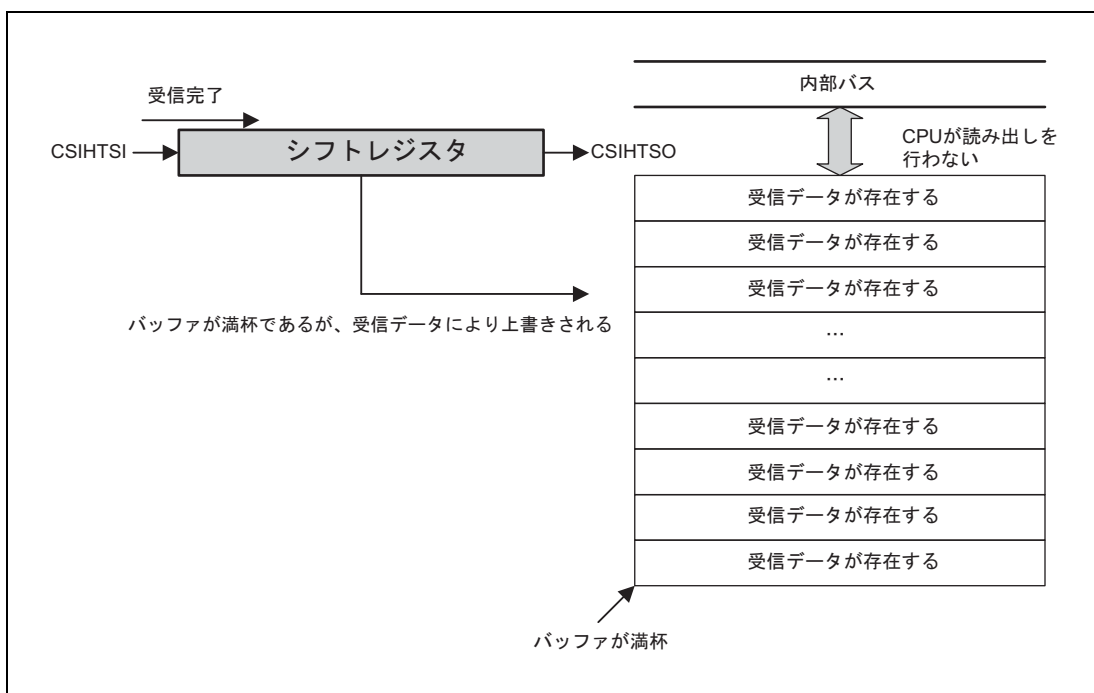


図 14.42 FIFO モードでのオーバランエラーの検出 (FIFO フル)

備 考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。

スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

2. CPU が存在しない受信データを読み出そうとしている

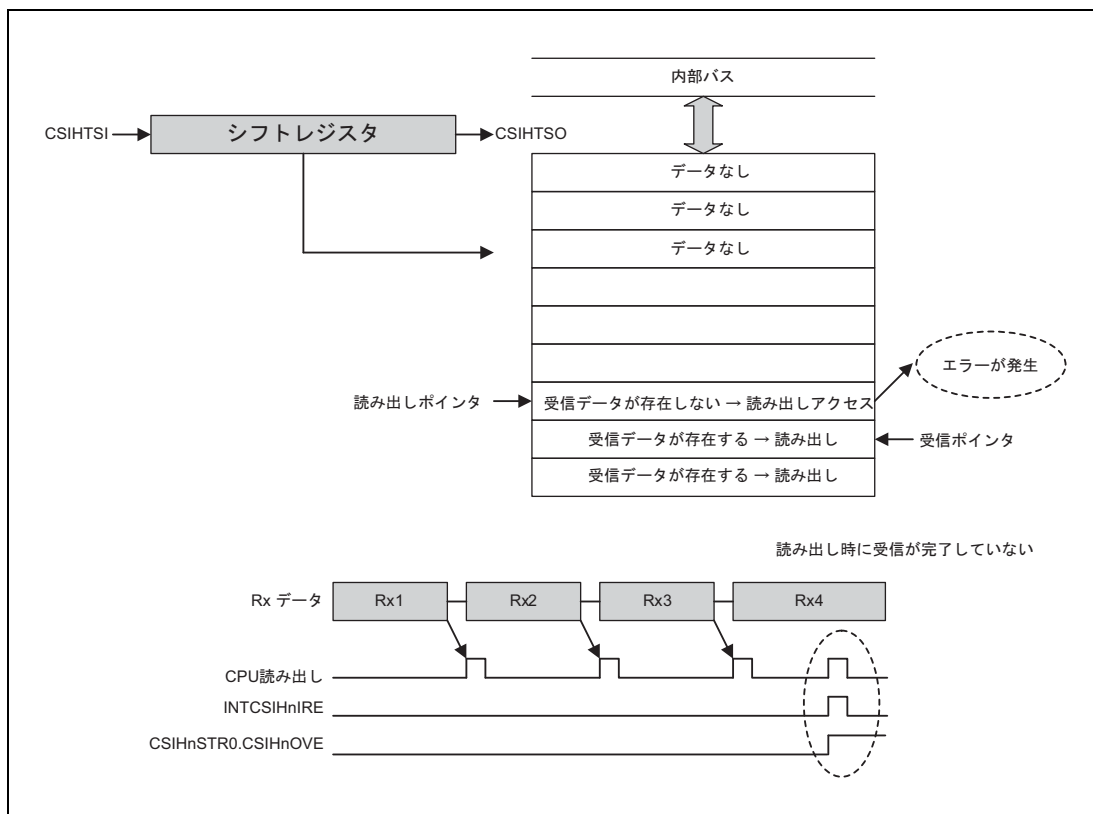


図 14.43 FIFO モードでのオーバランエラーの検出 (データなし)

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHnIRE が発生します。
- ビット CSIHnSTR0.CSIHnOVE がセットされます。
- 受信データが上書きされ、通信は継続します。
(受信完了後、CPU による受信データの読み出しが可能です。)

詳細については、「**14.5.11 ハンドシェーク機能**」を参照してください。

14.5.13 ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ (CSIHnCTL1.CSIHnLBM = 1) になっていると、CSIHTCSSx はインアクティブレベルに固定されます (アクティブレベルは CSIHnCTL1.CSIH0CSLx の値で定義されます)。そして、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHTSCK 信号、CSIHTSO 信号、CSIHTSI 信号はポートから切り離されます。さらに、CSIHTSO の出力レベルがロウレベルに固定され、CSIHnCFGx.CSIHnCKPx の値に関係なく、CSIHTSCK はハイレベルに設定されます。CSIH のそれ以外の部分は通常どおりに動作します。

CSIH をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。ループバックテストは、接続先のデバイスに影響を与えません。

表 14.48 ループバックモード使用時の端子の出力レベル

端子名	出力レベル
CSIHTSCK(out)	ハイレベル
CSIHTCSS[7:0]	インアクティブレベル
CSIHTSO	ロウレベル (それまでの値に依存しない)
割り込み	通常の機能
CSIHTRYO	通常の機能 (ロウレベル)

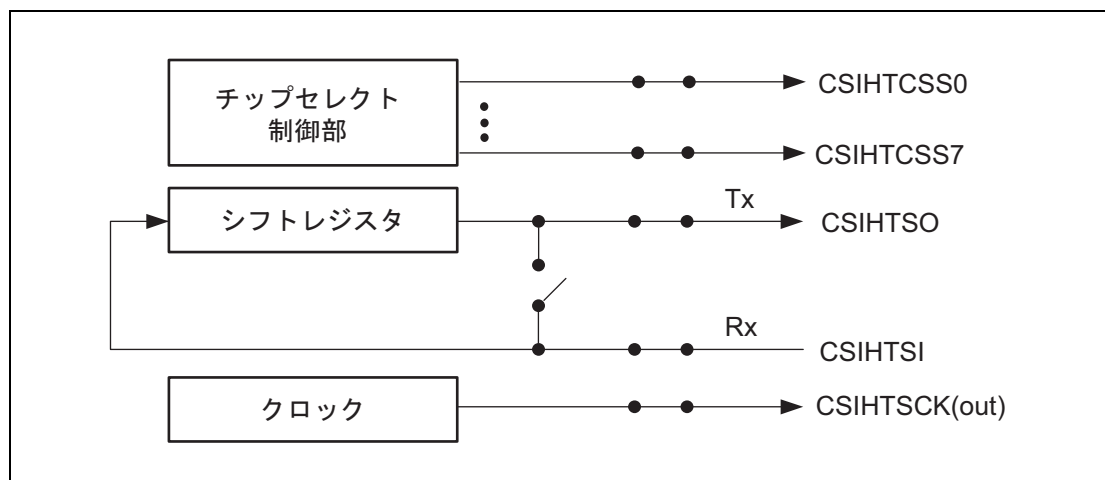
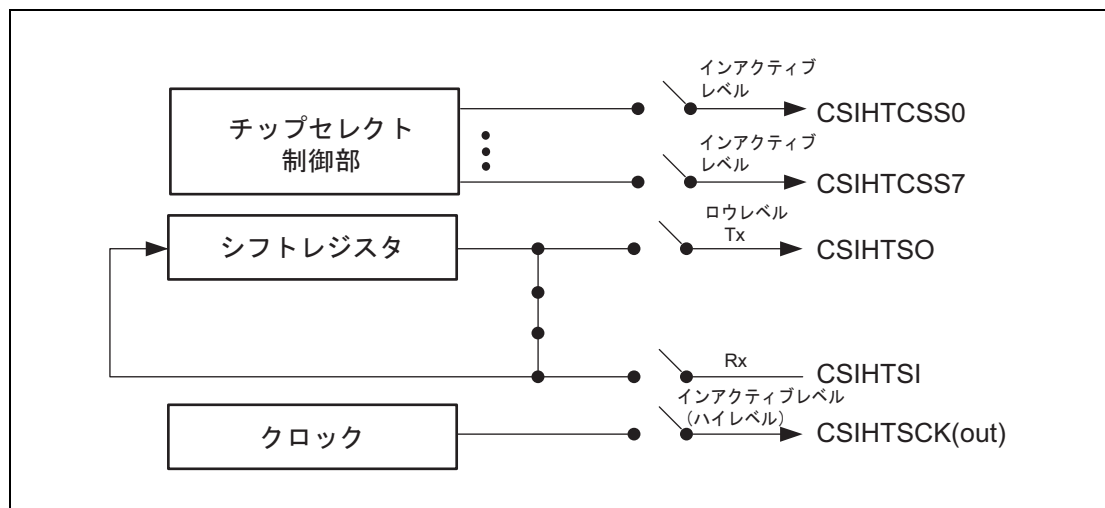


図 14.44 通常の動作



14.5.14 CPU 制御による高優先通信機能

CSIHは、低優先通信を行っているときに、CPUからの高優先通信要求があった場合に、低優先通信を中断して、高優先通信を行う機能を備えています。本機能は、低優先通信として送信専用バッファモード、高優先通信としてダイレクトアクセスモードのみに対応します。

本機能を有効にするためには、 $CSIHnCTL1.CSIHnPHE = 1$ 、 $CSIHnCTL1.CSIHnJE = 1$ を設定する必要があります。

CPU制御により高優先通信を行う例を示します。

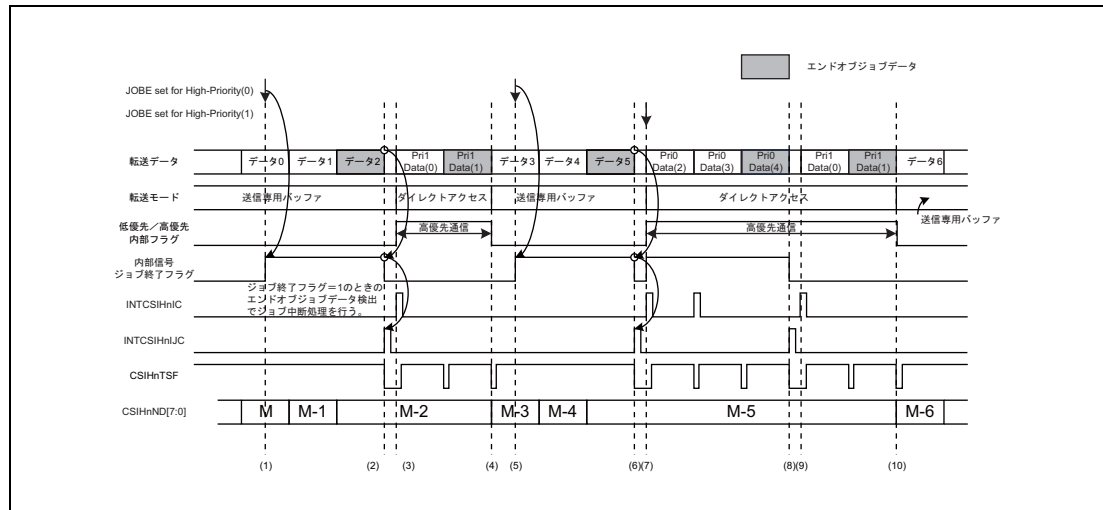


図 14.46 CPU 制御による高優先通信例

- 低優先通信中に、 $CSIHnCTL0.CSIHnJOBE = 1$ を設定することで、エンドオブジョブデータに続いて高優先通信を行うことを通知し、内部信号フラグをセットします。
- エンドオブジョブデータを検出すると、現在の低優先通信を中断して INTCSIHnJC 割り込みを発生します。通信を中断したことで、内部信号 JOB 終了フラグがクリアされ、続く高優先通信に備えてメモリモードをダイレクトアクセスモードに自動切り換えます。
- CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。
- エンドオブジョブデータを検出すると、通信を中断します。このとき内部信号 JOB 終了フラグが 0 のため、CSIH は、次の通信が低優先通信であると判断し、メモリモードを送信専用バッファモードに自動切り替えた後、中断していた低優先通信を再開します。
- (1) と同じ
- (2) と同じ
- CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。CPU は、次の通信が高優先通信であることを通知するため、再び $CSIHnCTL0.CSIHnJOBE = 1$ を設定します。
- エンドオブジョブデータを検出すると、通信を中断して INTCSIHnJC 割り込みを発生します。このとき、内部信号ジョブ終了フラグ = 1 のため、続く通信も高優先通信と判断し、通信開始を待ちます。
- (3) と同じ

(10) (4) と同じ

注 意

低優先通信から高優先通信に切り替わる際のメモリモード切り換え動作（送信専用バッファモードからダイレクトアクセスモードへの切り替え）および、高優先通信から低優先通信に切り替わる際のメモリモード切り換え動作（ダイレクトアクセスモードから送信専用バッファモードへの切り替え）は、自動的に行われます。

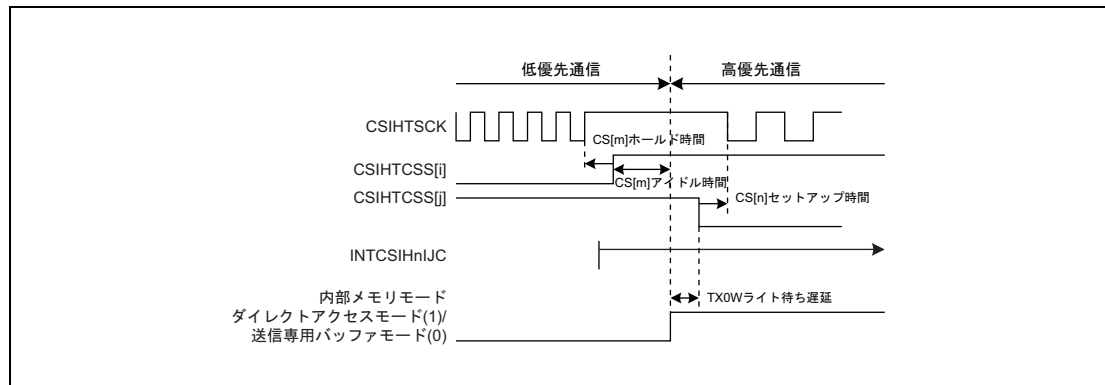


図 14.47 低優先モードから高優先モードへの移行

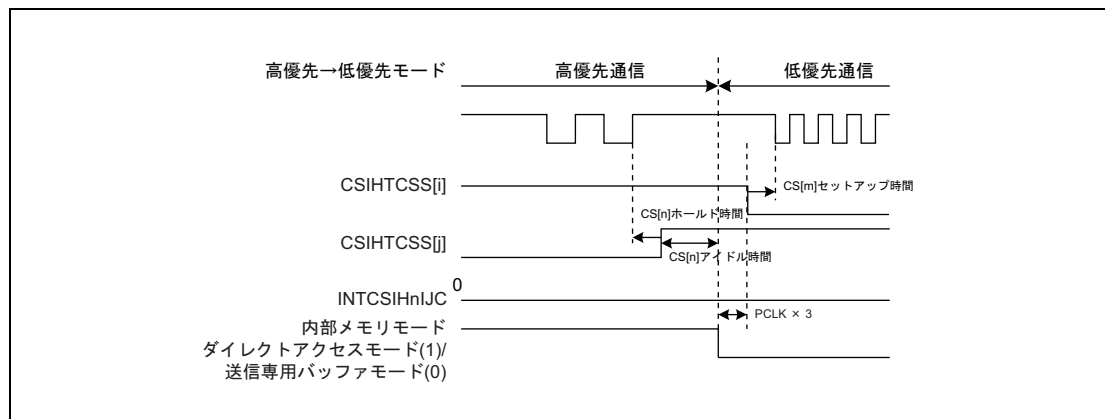


図 14.48 高優先モードから低優先モードへの移行

低優先／高優先通信モードの切り替えを正しく行うために、通信データのライト動作および、CSIHnCTL0.CSIHnJOBE ビット操作は設定禁止期間では行わないでください。

CSIHnTX0W レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOBE ビット設定後、INTCSIHnJIC 割り込みを検出するまでの期間。
- 高優先通信の最後のデータ（End of JOB データ）をライトした後、CSIHnHPST ステータス = 0 を検出するまでの期間。

CSIHnJOBE レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOBE ビット設定後、INTCSIHnJIC 割り込みを検出するまでの期間。

高優先通信モード期間中は CSIHnJOBE ビットの設定禁止期間はありません。通信データをライトする前に CSIHnJOBE ビットを設定することも可能です。例えば、予め複数の JOB

データを高優先で通信することが分かっている場合は、最初の通信データをライトする前に CSIHnJOBE ビットを設定しておくことができます。

注 意

高優先通信の最後の通信が終了する間に CSIHnJOBE ビットをセットした場合、内部で CSIHnJOBE ビットのセットを検出するタイミングによって動作が異なります。

最終ビットの通信が完了する前に CSIHnJOBE ビットのセットを検出した場合は、高優先通信モードを継続します。

最終ビットの通信が完了した後に CSIHnJOBE ビットのセットを検出した場合は、一旦低優先通信モードへ復帰した後、低優先通信データの End of JOB データを検出して、再び高優先通信モードへ遷移します。

14.5.15 強制 CS アイドル設定

CSIHnCFGx.CSIHnIDLx を設定することで、連続する2つの転送データ間にアイドル状態を挿入することができます。

1. CSIHnCFGx.CSIHnIDLx が 0 のとき
次の CSIHTCSSx が前と同じ場合、アイドル状態が挿入されず、データ間時間が挿入されます。
次の CSIHTCSSx が前と違う場合、アイドル状態が挿入されます。
2. CSIHnCFGx.CSIHnIDLx が 1 のとき
次の CSIHTCSSx が前と同じ場合でも、アイドル状態が常に挿入されます。

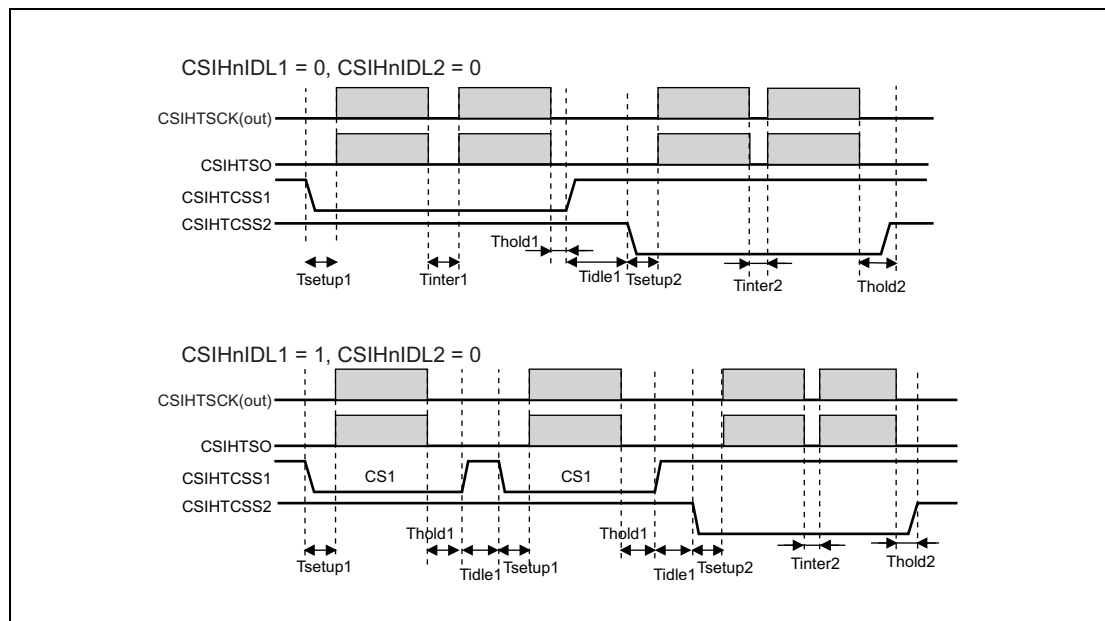


図 14.49 強制 CS アイドル設定の例

注意

CPU 制御による高優先通信機能を有効にしている場合 (CSIHnCTL1.CSIHnPHE = 1) で、低優先通信モードから高優先通信モードに移行するときと、高優先通信モードから低優先通信モードに移行するときは、IDLx ビット設定にかかわらずアイドル状態が挿入されます。

14.6 操作手順

ここに示す例および手順は、以下のメモリモード順に記載されています。

- ダイレクトアクセスモード
- 送信専用バッファモード
- デュアルバッファモード
- FIFO モード

14.6.1 ダイレクトアクセスモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

14.6.1.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INTCSIHnIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)

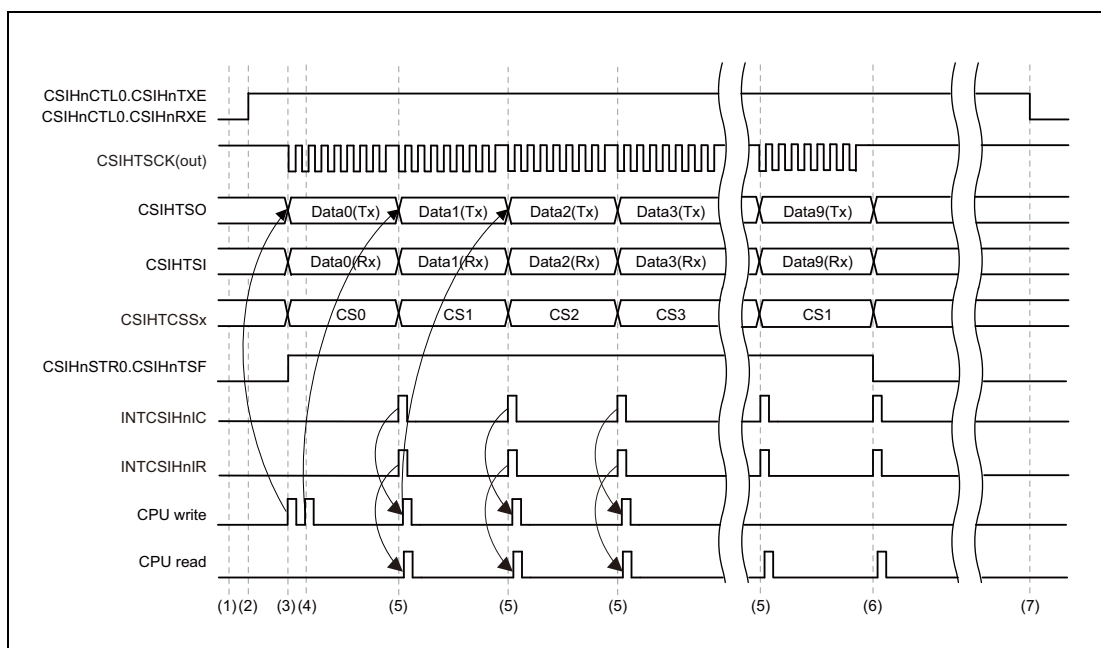


図 14.50 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS0 ~ CS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、ビット CSIHnTXE = 1 (送信許可)、ビット CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード選択) に設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み INTCSIHnIC と INTCSIHnIR が発生します。
 - INTCSIHnIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INTCSIHnIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. データ 8 の送信が完了すれば、それ以降の書き込みアクションは必要ありません。データ 9 (最後のデータ) は、データ 7 の送信完了割り込み時に書き込みが完了しています。ただし、データ 8 とデータ 9 の書き込みが完了したあと、受信レジスタ CSIHnRX0W を読み出す必要があります。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

14.6.1.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- 通常の INTCSIHnIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)
- それぞれ3個のデータを送信する2つのジョブ

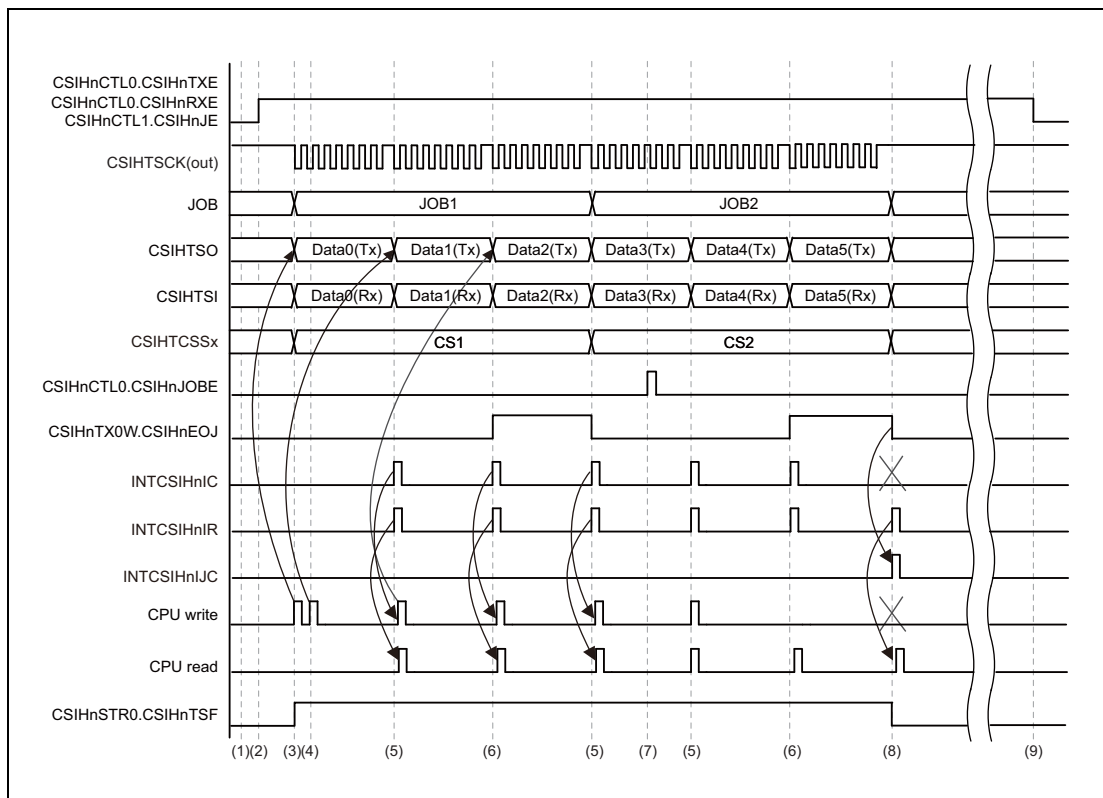


図 14.51 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1、CS2 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可)、CSIHnMBS = 1 (ダイレクトアクセスモード選択) を設定します。
3. 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。
4. 2番目のデータを CSIHnTX0W に書き込みます。最初のデータを書き込んだ直後に2番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが送受信されるたびに割り込み要求 INTCSIHnIC と INTCSIHnIR が発生します。
 - INTCSIHnIC は、次のデータを CSIHnTX0W に書き込めることを示します。
 - INTCSIHnIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。そのあと、次のジョブを開始できます。
7. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ (ジョブ 2) の終了時に通信を強制的に停止します。
8. 通信の強制停止後、割り込み要求 INTCSIHnIC が INTCSIHnIJC に置き換えられます。INTCSIHnIR は通常どおりに発生します。
割り込み要求 INTCSIHnIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHnIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
9. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。

14.6.2 送信専用バッファモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

14.6.2.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHnIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- 送信専用バッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B)

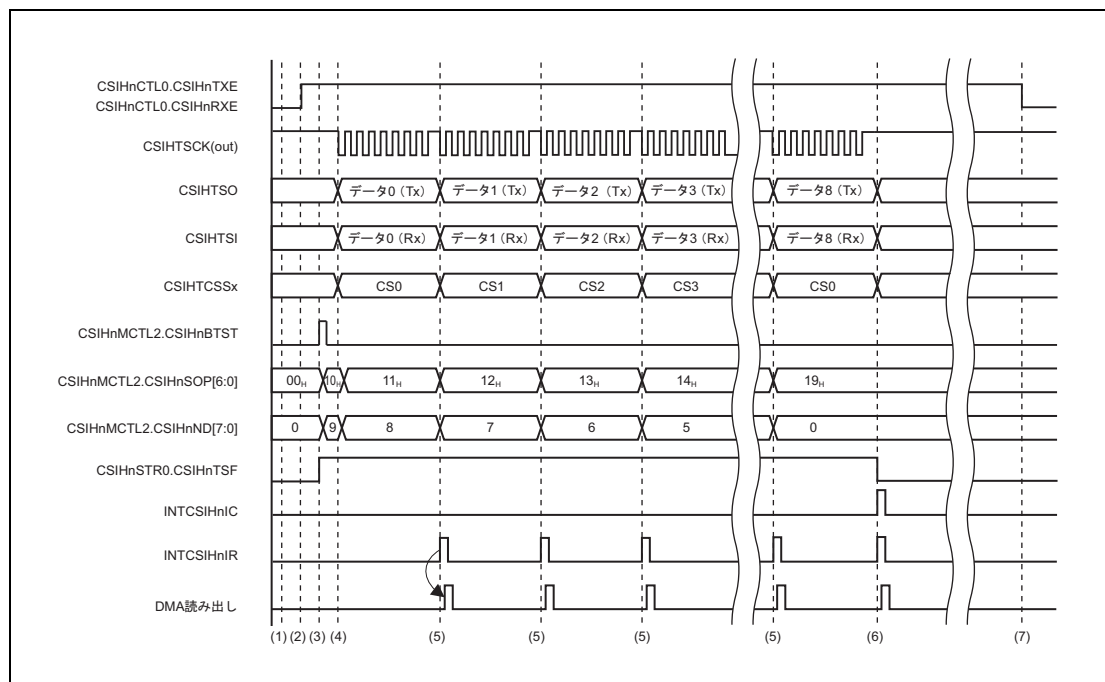


図 14.52 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0 ~ CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (送信専用バッファモード) に設定します。
2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
3. ビット CSIHnMCTL2.CSIHnSOP[6:0] とビット CSIHnMCTL2.CSIHnND[7:0] を設定することによって送信ポイントとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送受信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHnIR が発生します。INTCSIHnIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. すべての送信が完了すると、割り込み要求 INTCSIHnIC が発生します。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

14.6.2.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- データの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHnIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- 送信専用バッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 10_B)

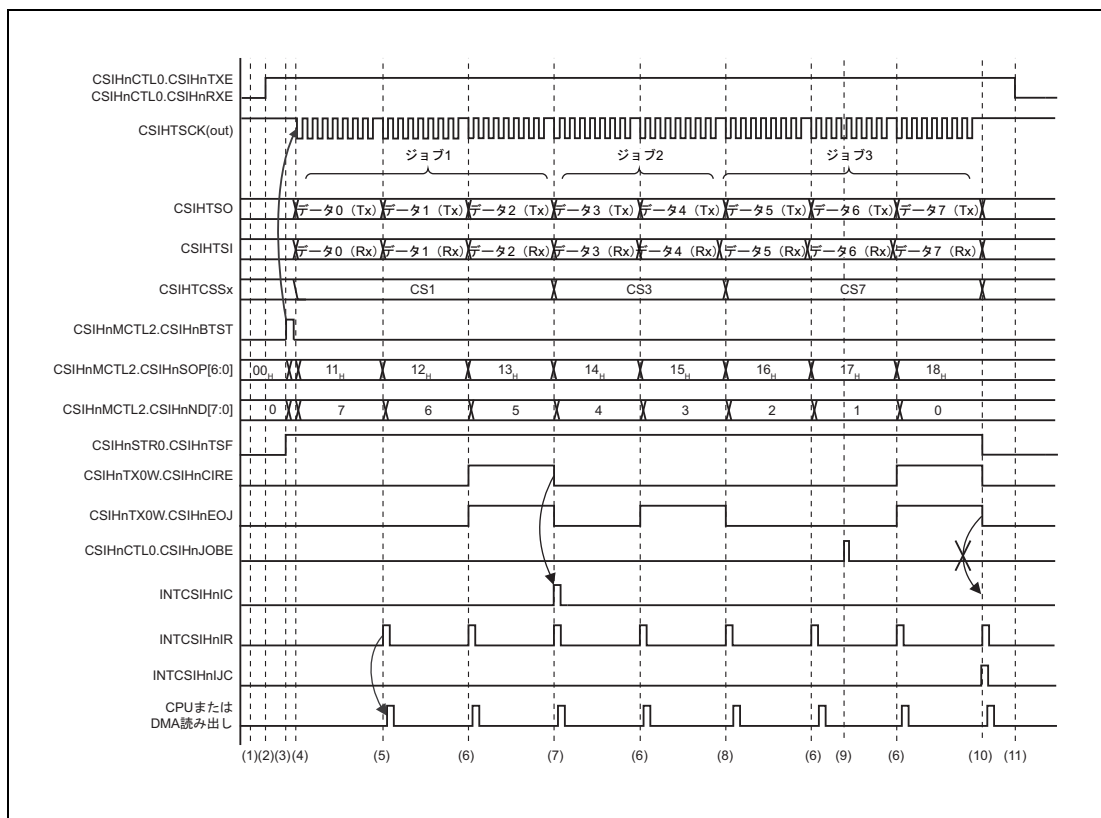


図 14.53 送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1、CS3、CS7 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 10_B (送信専用バッファモード) に設定します。
2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
3. ビット CSIHnMCTL2.CSIHnSOP[6:0] とビット CSIHnMCTL2.CSIHnND[7:0] を設定することによって送信ポイントとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。
4. 送信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHnIR が発生します。INTCSIHnIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHnIC が発生します。INTCSIHnIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHnIC は発生しません。
9. CSIHnCTL0.CSIHnJOB = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
10. 通信の強制停止後、ジョブ3の終了時に割り込み要求 INTCSIHnJIC と INTCSIHnIR が発生します。
割り込み要求 INTCSIHnJIC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHnIC の代わりに割り込み要求 INTCSIHnJIC が発生するため、割り込み要求 INTCSIHnIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

14.6.3 デュアルバッファモードでの手順

マスタモード時、ジョブモードが有効になっている例と無効になっている例、およびスレーブモード時、ジョブモードが無効になっている例を示します。

14.6.3.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHnIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)

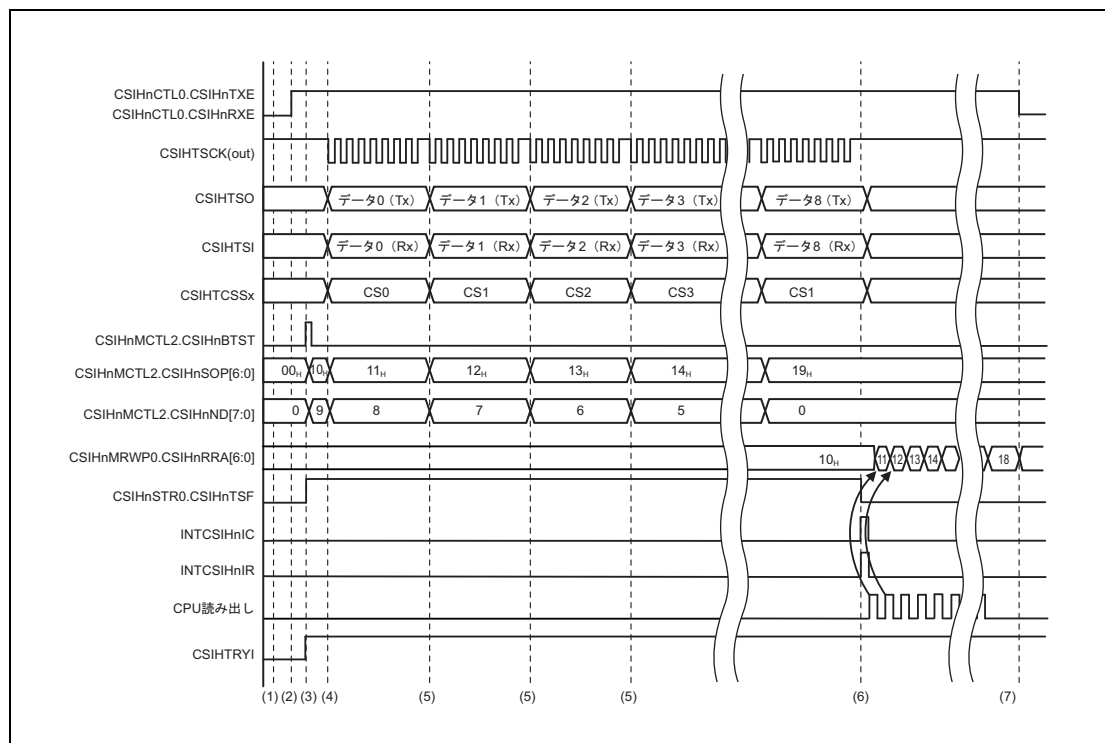


図 14.54 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHnCSS0 ~ CSIHnCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] と CSIHnMCTL2.CSIHnND[7:0] を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. 送信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
割り込み要求 INTCSIHnIC と INTCSIHnIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHnIC と INTCSIHnIR が発生します。
CPU が受信バッファからの受信データの読み出しを開始します。読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定されます。これらのビットはデータが1つ読み出されるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

14.6.3.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- データの数：8 (CSIHnMCTL2.CSIHnND[7:0] = 08_H)
- 転送開始アドレス：00_H (CSIHnMCTL2.CSIHnSOP[6:0] = 00_H)
- 通常の INTCSIHnIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)

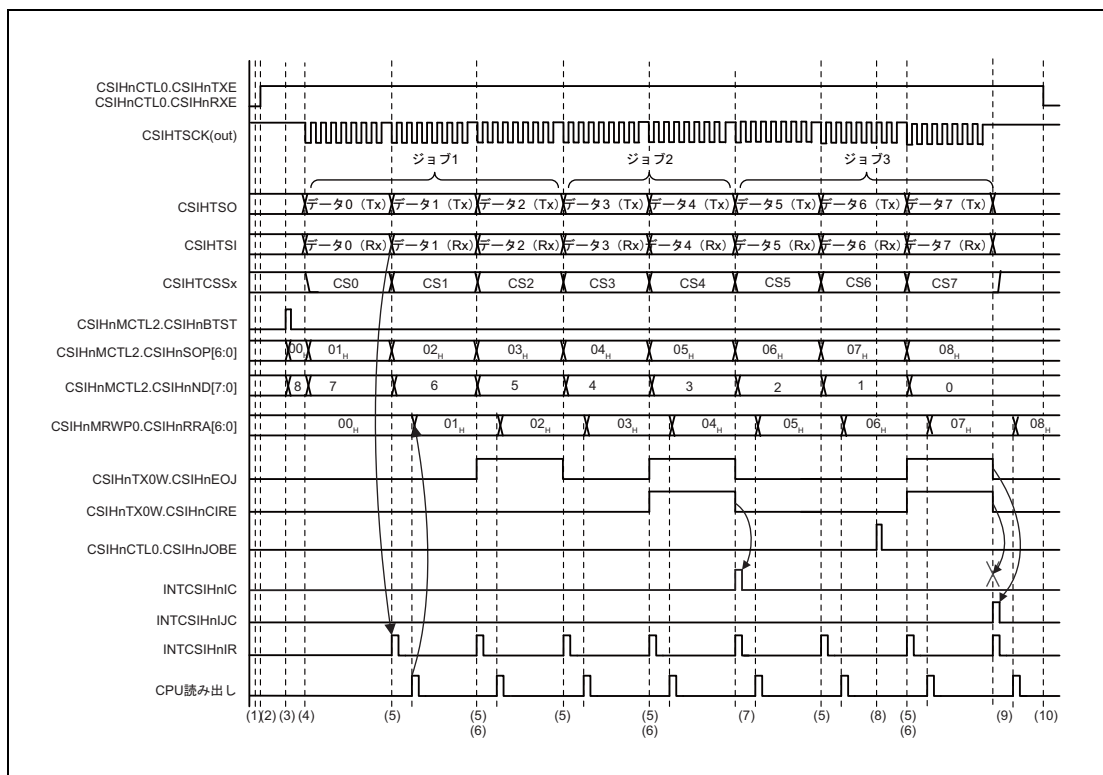


図 14.55 デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE = 1

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS0 ~ CS7 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01_B (デュアルバッファモード) に設定します。
2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
3. ビット CSIHnMCTL2.CSIHnSOP[6:0] と CSIHnMCTL2.CSIHnND[7:0] を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を開始します。
4. 送信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。最後のデータが送受信されるまで、この動作が繰り返し実行されます。
5. データが1つ受信されるたびに割り込み要求 INTCSIHnIR が発生します。
現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が
CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHnIC は発生しません。
6. CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。
7. 割り込み要求 INTCSIHnIC が発生します。INTCSIHnIC は、現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたことを示します。
8. CSIHnCTL0.CSIHnJOBE = 1 に設定することで、ジョブ3の終了時に通信を強制的に停止します。
9. 通信の強制停止後、ジョブ3の終了時に割り込み要求 INTCSIHnIJC と INTCSIHnIR が発生します。
割り込み要求 INTCSIHnIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHnIC の代わりに割り込み要求 INTCSIHnIJC が発生するため、割り込み要求 INTCSIHnIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。
10. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

14.6.3.3 スレーブモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCTL1.CSIHnCKR = 0, CSIHnCFG0.CSIHnDAP0 = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- データの数：9 (CSIHnMCTL2.CSIHnND[7:0] = 09_H)
- 転送開始アドレス：10_H (CSIHnMCTL2.CSIHnSOP[6:0] = 10_H)
- 通常の INTCSIHnIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- デュアルバッファモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 01_B)
- ハンドシェイク機能有効 (CSIHnCTL1.CSIHnHSE = 1)

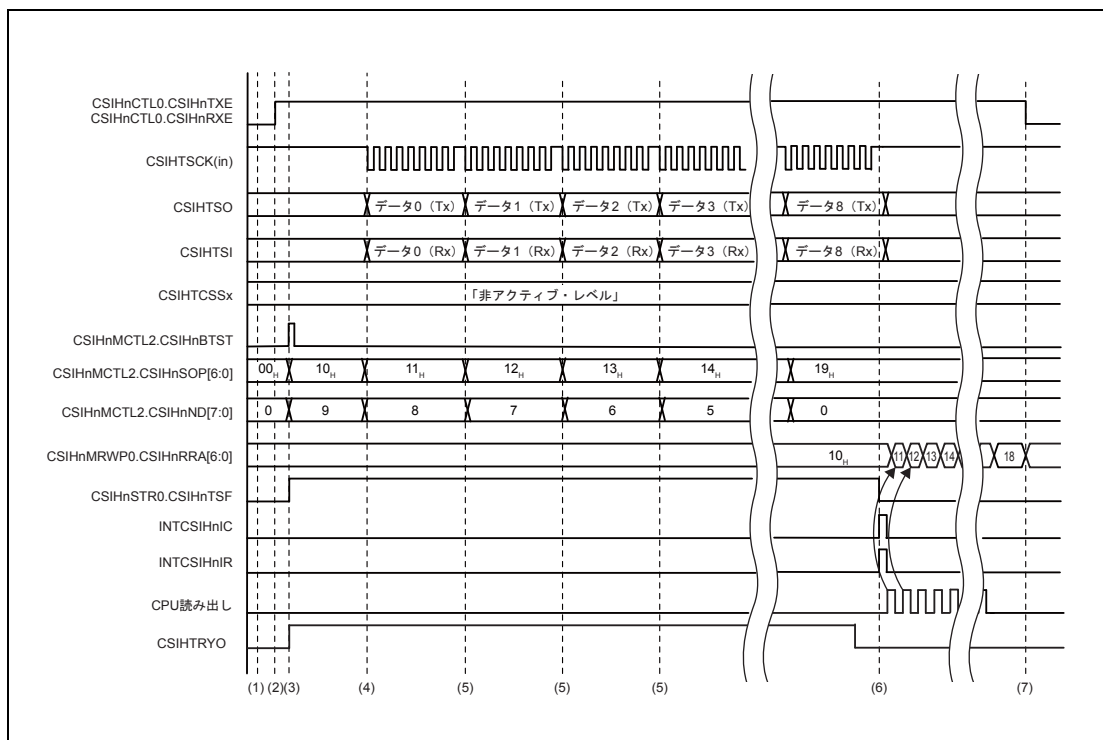


図 14.56 デュアルバッファモードのスレーブ、CSIHnCTL1.CSIHnJE = 0

備考

ここでは、バッファにデータを書き込む手順は説明しません。

手順：

1. CSIHnCFG0 レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0] でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0] = 01B でデュアルバッファモードに設定します。
2. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
3. CSIHnMCTL2.CSIHnSOP[6:0] を設定することによって転送開始アドレスを指定し、CSIHnMCTL2.CSIHnND[7:0] を設定することによってデータの数を指定します。
CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。
4. マスタから入力クロックを受信すると送信が開始されます。ビット CSIHnMCTL2.CSIHnSOP[6:0] が自動的にインクリメントされ、データが1つ送信されるたびにビット CSIHnMCTL2.CSIHnND[7:0] がデクリメントされます。
5. 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
送信データがバッファから送信され、受信データがバッファに格納されるため、割り込み要求 INTCSIHnIC と INTCSIHnIR は発生しません。
6. 最後のデータが送受信されると、割り込み要求 INTCSIHnIC と INTCSIHnIR が発生します。
CPU が受信バッファに格納された受信データの読み出しを開始します。読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0] で指定されます。これらのビットはデータが1つ読み出されるたびにインクリメントされます。
7. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR=0 に設定してください。

14.6.4 FIFO モードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

14.6.4.1 マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード無効 (CSIHnCTL1.CSIHnJE = 0)
- 通常の INTCSIHnIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- FIFO モード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)

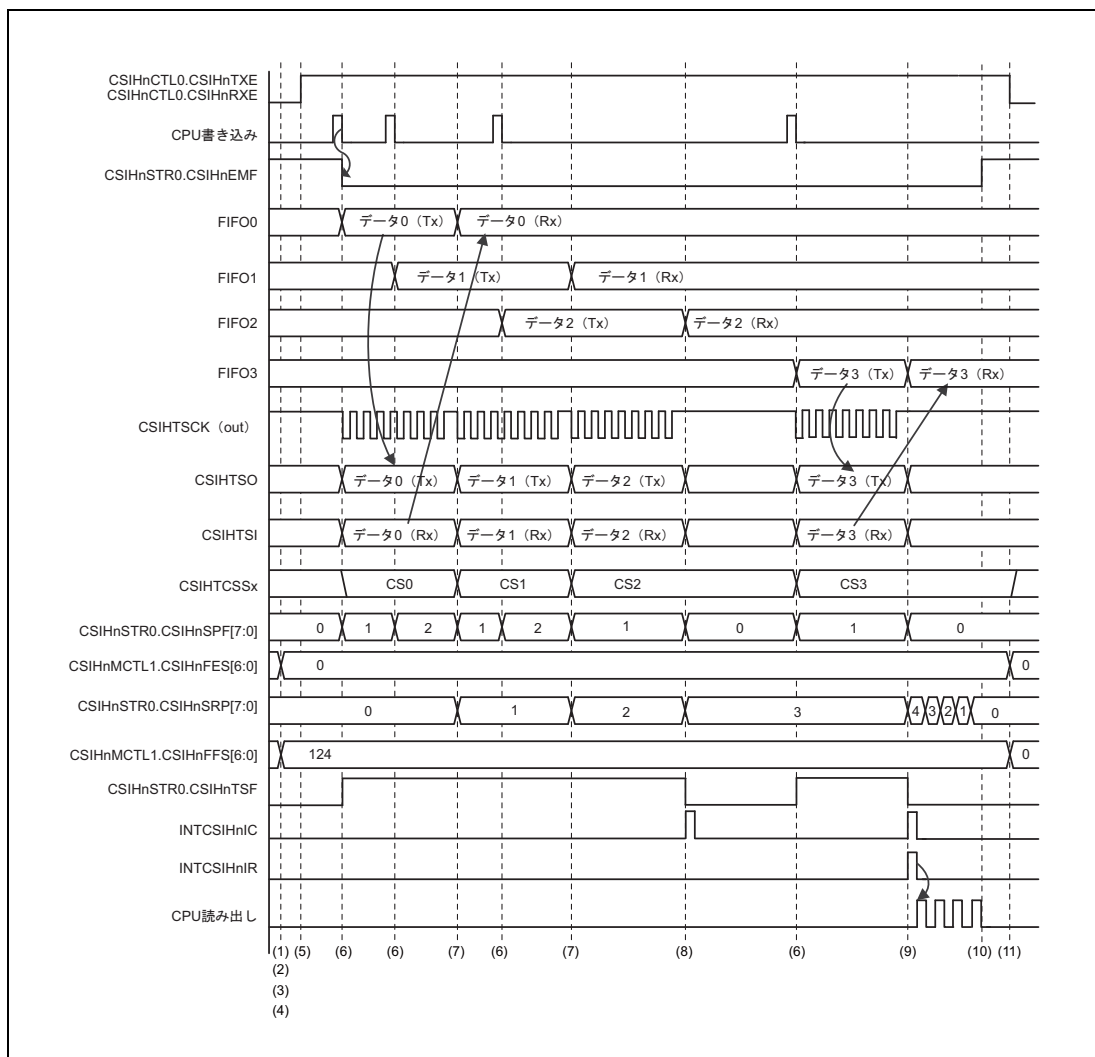


図 14.57 FIFO モードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタモードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。この例ではチップ選択信号 CSIHTCSS0 ~ CSIHTCSS3 を使用します。
2. CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポインタをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H に設定されていることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で INTCSIHnIC 割り込み出力の条件を指定します。同じレジスタの CSIHnFFS[6:0] で INTCSIHnIR 割り込み出力の条件を指定します。
5. CSIHnCTL0.CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
6. 送信データを送信レジスタ CSIHnTX0W にライトします。送信データが利用可能になると送信が自動的に開始されます。CSIHnSTR0.CSIHnEMF = 0 であることを確認します。
7. 現在の送信が完了します。CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHnIC が生成されません。
8. CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHnIC が生成されます。
9. CSIHnFFS[6:0] = 128 - CSIHnSRP[7:0] になると割り込み要求 INTCSIHnIR が生成されます。CSIHnFES[6:0] = CSIHnSPF[7:0] なので、割り込み要求 INTCSIHnIC が生成されます。割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
10. CPU が受信バッファに格納された受信データのリードを完了したとき、CSIHnSTR0.CSIHnEMF が 1 にセットされ、FIFO バッファはエンプティ状態になります。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

14.6.4.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8ビット (CSIHnCFGx.CSIHnDLsX[3:0] = 1000_B)
- 送信方向：MSB ファースト (CSIHnCFGx.CSIHnDIRx = 0)
- 通常のクロック位相とデータ位相 (CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0)
- 割り込み遅延なし (CSIHnCTL1.CSIHnSIT = 0)
- ジョブモード有効 (CSIHnCTL1.CSIHnJE = 1)
- ジョブ1 = 4データ、ジョブ2 = 3データ、ジョブ3 = 5データ
- 通常のINTCSIHnIC割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- FIFOモード (CSIHnCTL0.CSIHnMBS = 0, CSIHnMCTL0.CSIHnMMS[1:0] = 00_B)

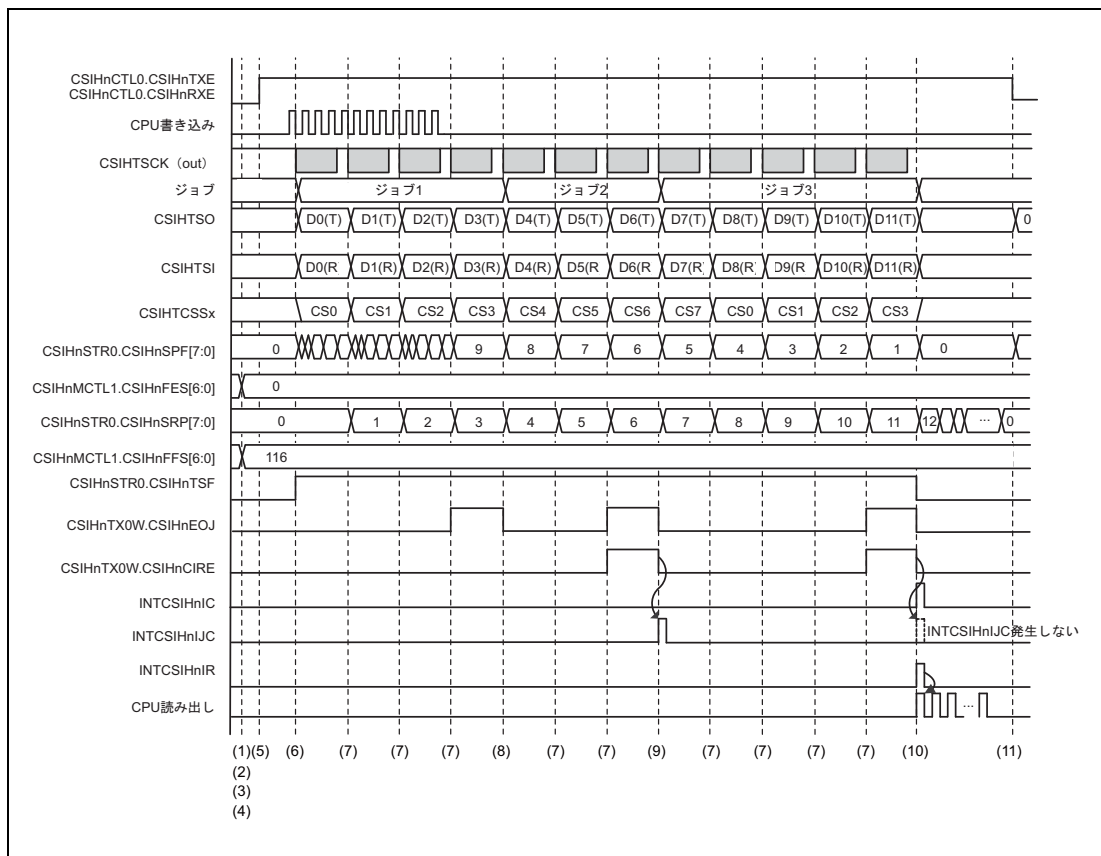


図 14.58 FIFOモードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

1. CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタモードを設定、CSIHnMCTL0.CSIHnMMS[1:0] = 00_B で FIFO モードを設定します。この例ではチップ選択信号 CS0 ~ CS7 を使用します。
2. ビット CSIHnSTCR0.CSIHnPCT = 1 に設定してすべてのバッファポイントをクリアします。
3. CSIHnSTR0.CSIHnFLF = 0、CSIHnSTR0.CSIHnEMF = 1、CSIHnSTR0.CSIHnSPF[7:0] = 00_H であることを確認します。
4. CSIHnMCTL1.CSIHnFES[6:0] で割り込み要求 INTCSIHnIC の発生条件を指定し、CSIHnMCTL1.CSIHnFFS[6:0] で割り込み要求 INTCSIHnIR の発生条件を指定します。
5. CSIHnCTL0 レジスタで、ビット CSIHnPWR = 1 (クロック有効)、CSIHnTXE = 1 (送信許可)、CSIHnRXE = 1 (受信許可) を設定します。ビット CSIHnCTL0.CSIHnMBS をクリアする必要があります。
6. 送信データを送信レジスタ CSIHnTX0W に書き込みます。送信データが利用可能になると送信が自動的に開始されます。CSIHnSTR0.CSIHnEMF = 0 であることを確認します。
7. 現在の送信が完了します。CSIHnFES[6:0] = CSIHnSPF[7:0] でないため、割り込み要求 INTCSIHnIC が生成されません。
8. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 0 の設定で送信されたため、割り込み要求 INTCSIHnIJC は発生しません。
9. 現在のジョブの最後のデータ (CSIHnTX0W.CSIHnEOJ = 1) が CSIHnTX0W.CSIHnCIRE = 1 の設定で送信されたため、割り込み要求 INTCSIHnIJC は生成されます。
10. CSIHnSTR0.CSIHnSPF[7:0] = CSIHnMCTL1.CSIHnFES[6:0] なので、割り込み要求 INTCSIHnIC が生成されます。INTCSIHnIC が生成されているので、INTCSIHnIJC は生成されません。CSIHnMCTL0.CSIHnFFS[6:0] = 128-CSIHnSTR0.CSIHnSRP[7:0] になると割り込み要求 INTCSIHnIR が生成されます。INTCSIHnIR 割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。
11. 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR = 0 に設定してください。

第15章 シリアルコミュニケーションインタフェース3 (SCI3)

15.1 概要

シリアルコミュニケーションインタフェース3 (SCI3 : Serial Communication Interface 3) は、調歩同期式とクロック同期式の2方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

15.1.1 ユニット数とチャネル数

本製品は、以下のユニット数の SCI3 を搭載しています。

SCI3 1 ユニット当たり 1 チャネルのインタフェースを持っています。
本章のユニット数とチャネル数は同義です。

表 15.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	3	3
名称	SCI3n (n = 0 ~ 2)	SCI3n (n = 0 ~ 2)

表 15.2 SCI3 のユニット構成とチャネルの対応

ユニット名 SCI3n	ユニット チャネル数	RH850/P1x 100pin (3ch)	RH850/P1x 144pin (3ch)
SCI30	1	○	○
SCI31	1	○	○
SCI32	1	○	○

備考 チャネル名はユニット名と同じです。

表 15.3 添字

添字	意味
n	本章では、シリアルコミュニケーションインタフェース3の各チャネルを「n」(n = 0 ~ 2)で識別します。たとえば、シリアルモードレジスタは SCI3nSMR と記述します。

15.1.2 レジスタベースアドレス

SCI3 のベースアドレスを以下の表に示します。

SCI3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 15.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<SCI30_base>	FFDF 0000 _H
<SCI31_base>	FFDF 1000 _H
<SCI32_base>	FFDF 2000 _H

15.1.3 クロック供給

SCI3 のクロック供給を以下に示します。

表 15.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
SCI3n	PCLK	高速周辺クロック CLK_HSB

15.1.4 割り込み要求

SCI3 の割り込み要求を以下の表に示します。

表 15.6 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
SCI30			
INTSCI30ERI	受信エラー	106	—
INTSCI30RXI	受信データフル	107	87
INTSCI30TXI	送信データエンプティ	108	88
INTSCI30TEI	送信終了	109	—
SCI31			
INTSCI31ERI	受信エラー	110	—
INTSCI31RXI	受信データフル	111	89
INTSCI31TXI	送信データエンプティ	112	90
INTSCI31TEI	送信終了	113	—
SCI32			
INTSCI32ERI	受信エラー	218	—
INTSCI32RXI	受信データフル	219	91
INTSCI32TXI	送信データエンプティ	220	92
INTSCI32TEI	送信終了	221	—

15.1.5 リセット要因

SCI3 のリセット要因を以下に示します。SCI3 は以下に示すリセット要因で初期化されません。

表 15.7 リセット要因

ユニット名	リセット要因
SCI3n	リセットコントローラ SYSRES

15.1.6 外部入出力信号

SCI3 の外部入出力信号を以下の表に示します。

表 15.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
SCI30		
SCI0SCK	SCI30 シリアルクロック入力	SCI30SCI
	SCI30 シリアルクロック出力	SCI30SCO
SCI0RxD	SCI30 データ入力信号	SCI30RX
SCI0TxD	SCI30 データ出力信号	SCI30TX
SCI31		
SCI1SCK	SCI31 シリアルクロック入力	SCI31SCI
	SCI31 シリアルクロック出力	SCI31SCO
SCI1RxD	SCI31 データ入力信号	SCI31RX
SCI1TxD	SCI31 データ出力信号	SCI31TX
SCI32		
SCI2SCK	SCI32 シリアルクロック入力	SCI32SCI
	SCI32 シリアルクロック出力	SCI32SCO
SCI2RxD	SCI32 データ入力信号	SCI32RX
SCI2TxD	SCI32 データ出力信号	SCI32TX

15.1.7 端子名とポート名の組み合わせ

SCI3 の端子名とポート名の組み合わせを以下に示します。

表 15.9 端子名とポート名の組み合わせ

機能	端子名	ポート名					
		グループ1	グループ2	グループ3	グループ4	グループ5	グループ6
SCI30	SCI30RX	P0_2	P2_5	P3_7	P4_5	P5_0	P5_0
	SCI30TX	P0_3 ^{注1}	P2_6	P3_12	P4_6	P5_1	P5_1
	SCI30SCI / SCI30SCO	P0_4 ^{注1}	P2_7	P3_13	P4_2	P5_2 ^{注1}	P5_4
SCI31	SCI31RX	P2_8	P5_5	—	—	—	—
	SCI31TX	P2_9	P5_6	—	—	—	—
	SCI31SCI / SCI31SCO	P3_5	P5_7	—	—	—	—
SCI32	SCI32RX	P3_4	P5_8	—	—	—	—
	SCI32TX	P3_3	P5_9	—	—	—	—
	SCI32SCI / SCI32SCO	P3_9	P5_10	—	—	—	—

注 1. 144pin 版で使用可能

15.2 機能の概要

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です。
- LSB ファースト /MSB ファースト選択可能（調歩同期式7ビットデータを除く）
- 割り込み要因：4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因により DMAC を起動することができます。
- ビットレートモジュレーション機能
内蔵ボーレートジェネレータの出力を補正することにより、高いビットレートでも誤差を平均的に低減することができます（クロック同期式モード最高速を除く）。
- シリアル入力データの端子レベルを確認可能
- 6ビット分周器（PSC）を内蔵

15.2.1 シリアル通信方式

調歩同期式モード

- データ長： 7ビット /8ビット選択可能
- ストップビット長：1ビット /2ビット選択可能
- パリティ： 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出： フレーミングエラー発生時レジスタをリードすることでブレークを検出可能

クロック同期式モード

- データ長： 8ビット
- 受信エラーの検出：オーバランエラー

15.2.2 ブロック図

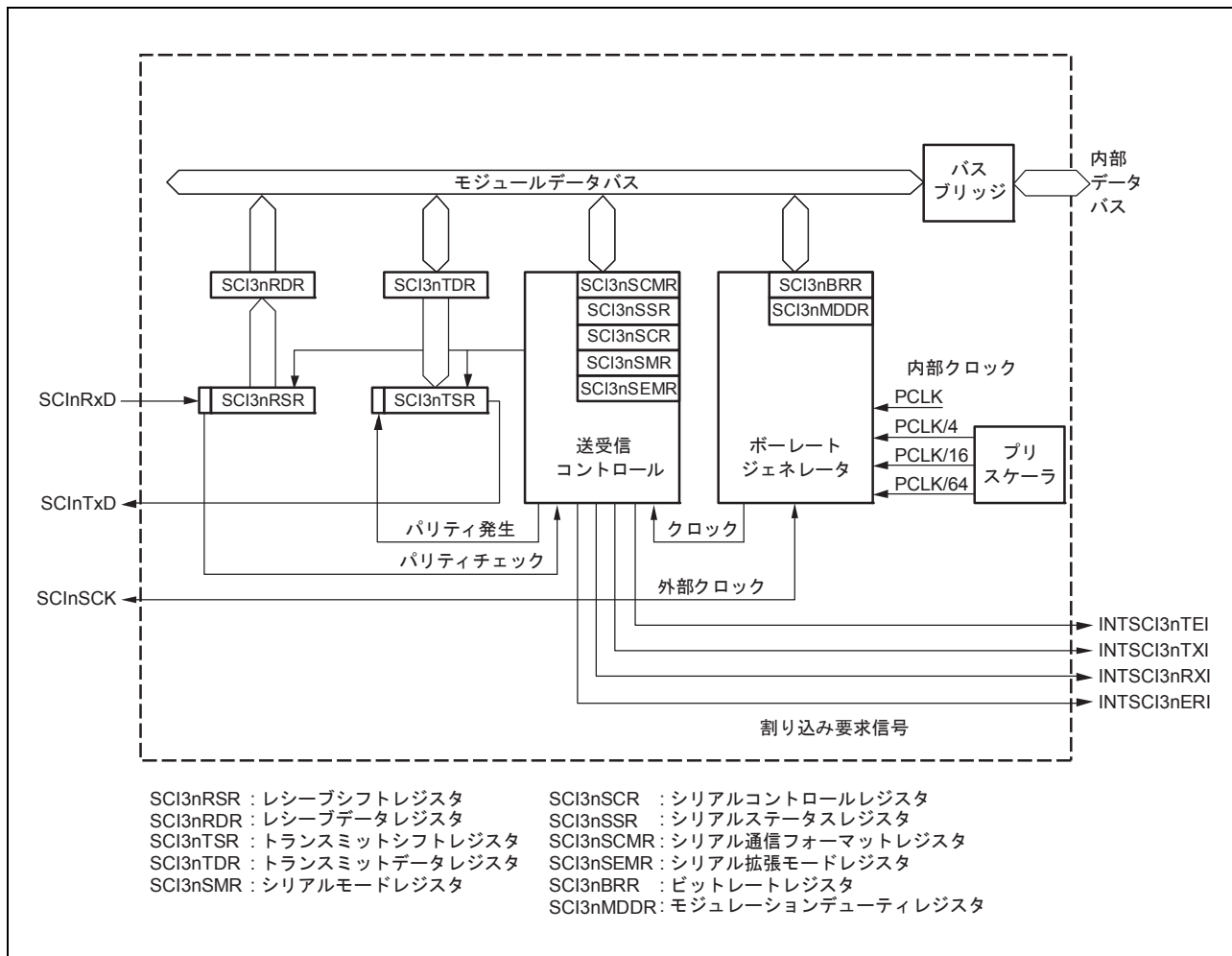


図 15.1 SCI3 のブロック図

15.3 レジスタの説明

SCI3 には以下のレジスタがあります。一部のレジスタには、CPU によるリード/ライトに制限があります。<SCI3n_base> は「**15.1.2 レジスタベースアドレス**」を参照してください。

注 意

SCI3nBRR と SCI3nMDDR は同一のアドレス（相対アドレス 4）に配置されています。これらのレジスタの切り替えは SCI3nSEMR の SCI3nMDDRS ビットで行います。

表 15.10 レジスタ構成

レジスタ名	シンボル ^{注1}	リセット後の値	アドレス	アクセスサイズ
レシーブシフトレジスタ	SCI3nRSR	—	—	—
シリアルモードレジスタ	SCI3nSMR	00 _H	<SCI3n_base> + 0000 _H	8
ビットレートレジスタ / モジュレーションデューティレジスタ	SCI3nBRR/ SCI3nMDDR	FF _H	<SCI3n_base> + 0004 _H	8
シリアルコントロールレジスタ	SCI3nSCR	00 _H	<SCI3n_base> + 0008 _H	8
トランスミットデータレジスタ	SCI3nTDR	FF _H	<SCI3n_base> + 000C _H	8
トランスミットシフトレジスタ	SCI3nTSR	—	—	—
シリアルステータスレジスタ	SCI3nSSR	84 _H	<SCI3n_base> + 0010 _H	8
レシーブデータレジスタ	SCI3nRDR	00 _H	<SCI3n_base> + 0014 _H	8
シリアル通信フォーマットレジスタ	SCI3nSCMR	F2 _H	<SCI3n_base> + 0018 _H	8
シリアル拡張モードレジスタ	SCI3nSEMR	04 _H	<SCI3n_base> + 001C _H	8

注 1. n = 0 ~ 2

相対アドレス $4n + 1$ 、 $4n + 2$ 、 $4n + 3$ ($n = 0 \sim 2$) はリザーブエリアです。リードした場合常に 0 がリードされます。ライトは無効です。

15.3.1 SCI3nRSR — レシーブシフトレジスタ

SCI3nRSR は SCInRxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に SCI3nRDR へ転送されます。CPU から直接アクセスすることはできません。

15.3.2 SCI3nRDR — レシーブデータレジスタ

SCI3nRDR は受信データを格納するための 8 ビットのレジスタです。SCI3nRDR のリセット後の値は 00_H です。1 フレーム分のデータを受信すると SCI3nRSR から受信データがこのレジスタへ転送され、SCI3nRSR は次のデータを受信可能となります。SCI3nRSR と SCI3nRDR はダブルバッファ構造になっているため連続受信動作が可能です。SCI3nRDR のリードは SCI3nSSR の RDRF フラグが 1 にセットされていることを確認して行ってください。SCI3nRDR は CPU からライトできません。

データ長が 7 ビットの場合、受信データはビット 0 ~ 6 に格納されます。ビット 7 は 0 に固定されます。これは SCI3nSCMR の SINV ビットによりません。

15.3.3 SCI3nTDR — トランスミットデータレジスタ

SCI3nTDR は送信データを格納するための 8 ビットのレジスタです。SCI3nTDR のリセット後の値は FF_H です。SCI3nTSR に空きを検出すると SCI3nTDR にライトされた送信データは SCI3nTSR に転送されて送信を開始します。SCI3nTDR と SCI3nTSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき SCI3nTDR につぎの送信データがライトされていれば SCI3nTSR へ転送して送信を続けます。SCI3nTDR は CPU から常にリード/ライト可能です。SCI3nTDR への送信データのライトは必ず SCI3nSSR の TDRE フラグが 1 にセットされていることを確認して行ってください。

15.3.4 SCI3nTSR — トランスミットシフトレジスタ

SCI3nTSR はシリアルデータを送信するためのシフトレジスタです。SCI3nTDR にライトされた送信データは自動的に SCI3nTSR に転送され、SCInTxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

15.3.5 SCI3nSMR — シリアルモードレジスタ

SCI3nSMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CM	CHR	PE	PM	STOP	MP	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}	R/W ^{注1}

注1. TE=RE=0 の場合のみライト可能です。

表 15.11 SCI3nSMR レジスタの内容

ビット位置	ビット名	機能
7	CM	コミュニケーションモードビット 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	キャラクターングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では SCI3nTDR の MSB (ビット7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	PM	パリティモードビット (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が奇数個になるようにパリティビットを決定します。
3	STOP	ストップビットレングス (調歩同期式モードのみ有効) 0: 送信時 1 ストップビット 1: 送信時 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なしません。
2	MP	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、PM ビットの設定は無効です。
1, 0	CKS[1:0]	クロックセレクト 1, 0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: PCLK クロック ($\alpha = 0$) 01: PCLK/4 クロック ($\alpha = 1$) 10: PCLK/16 クロック ($\alpha = 2$) 11: PCLK/64 クロック ($\alpha = 3$) このビットの設定値とボーレートの関係については「15.3.10 SCI3nBRR — ビットレートレジスタ」を参照してください。 α は設定値の 10 進表示で、「15.3.10 SCI3nBRR — ビットレートレジスタ」中の α の値を表します。

15.3.6 SCI3nSCR — シリアルコントロールレジスタ

SCI3nSCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「**15.8 割り込み要因**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0008_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W ^{注1}	R/W ^{注1}	R/W	R/W	R/W ^{注2}	R/W ^{注2}

注1. SCI3nSMR の CM ビットが 1 のときは TE=RE=0 の場合のみ、1 をライト可能です。いったん、TE、RE ビットのいずれかを 1 にセットした後は、TE=RE=0 のライトのみ可能になります。SCI3nSMR の CM ビットが 0 のときは任意のタイミングでライト可能です。

注2. TE=RE=0 の場合のみライト可能です。また、TE=RE=0 のライトと同時にライト可能です。

表 15.12 SCI3nSCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	TIE	トランスミットインタラプトイネーブル このビットを 1 にセットすると、INTSCI3nTXI 割り込み要求がイネーブルになります。 INTSCI3nTXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	レシーブインタラプトイネーブル このビットを 1 にセットすると、INTSCI3nRXI および INTSCI3nERI 割り込み要求がイネーブルになります。 INTSCI3nRXI および INTSCI3nERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、SCI3nTDR に送信データをライトして、SCI3nSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を禁止すると、SCI3nSSR の TDRE フラグは 1 に固定されます。
4	RE	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

表 15.12 SCI3nSCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	MPIE	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SCI3nSMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的に 0 にクリアされ通常の実動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SCI3nSSR の MPB = 0 を含む受信データを受信しているときは、SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SCI3nSSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、INTSCI3nRXI、INTSCI3nERI 割り込み要求 (SCI3nSCR の RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 セットすると INTSCI3nTEI 割り込み要求がイネーブルになります。INTSCI3nTEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1, 0	CKE[1:0]	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCI3nSCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <ul style="list-style-type: none"> 00: 内蔵ポーレートジェネレータ (SCI3nSCK 端子は入出力ポートとして使用できます) 01: 内蔵ポーレートジェネレータ (SCI3nSCK 端子からビットレートと同じ周波数のクロックを出力します) 1X: 設定禁止 <p>クロック同期式の場合</p> <ul style="list-style-type: none"> 0X: 内部クロック (SCI3nSCK 端子はクロック出力端子となります。) 1X: 外部クロック (SCI3nSCK 端子はクロック入力端子となります。)

備考 X : Don't care

15.3.7 SCI3nSSR — シリアルステータスレジスタ

SCI3nSSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER フラグはクリアのみ可能です。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0010_H

リセット後の値 84_H

ビット	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0
R/W	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R/(W) ^{注1}	R	R	R/W

注1. フラグをクリアするための0ライトのみ可能です。

表 15.13 SCI3nSSR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	TDRE	トランスミットデータレジスタエンプティ SCI3nTDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCI3nSCR の TE ビットが0 のとき SCI3nTDR から SCI3nTSR にデータが転送され、SCI3nTDR にデータライトが可能になったとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき TE=1 の状態で SCI3nTDR へ送信データをライトしたとき
6	RDRF	レシーブデータレジスタフル SCI3nRDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、SCI3nRSR から SCI3nRDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき SCI3nRDR からデータをリードしたとき SCI3nSCR の RE ビットをクリアしても RDRF フラグは影響を受けず状態を保持します。 RDRF フラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。
5	ORER	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] <ul style="list-style-type: none"> RDRF = 1 の状態で次のデータを受信したとき SCI3nRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに1がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。 [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき SCI3nSCR の RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。

表 15.13 SCI3nSSR レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	FER	<p>フレーミングエラー 調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。 [セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCI3nRDR に転送されませんが、RDRF フラグはセットされません。さらに、FER フラグが1にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき SCI3nSCR の RE ビットをクリアしても、FER フラグは影響を受けず以前の状態を保持します。
3	PER	<p>パリティエラー 調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。 [セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データは SCI3nRDR に転送されませんが、RDRF フラグはセットされません。なお、PER フラグが1にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき SCI3nSCR の RE ビットをクリアしても、PER フラグは影響を受けず以前の状態を保持します。
2	TEND	<p>トランスミットエンド 送信が終了したことを表示します。 [セット条件]</p> <ul style="list-style-type: none"> SCI3nSCR の TE ビットが0のとき 送信キャラクタの最後尾ビットの送信時、TDRE フラグが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE = 1の状態をリードした後、TDRE フラグに0をライトしたとき TE=1の状態では SCI3nTDR へ送信データをライトしたとき
1	MPB	<p>マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。</p>
0	MPBT	<p>マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

15.3.8 SCI3nSCMR — シリアル通信フォーマットレジスタ

SCI3nSCMR は、調歩同期式モード、クロック同期式モードで共通に設定可能な通信フォーマットを選択するためのレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0018_H

リセット後の値 F2_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	—
リセット後の値	1	1	1	1	0	0	1	0
R/W	R	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R

注1. TE=RE=0 の場合のみライト可能です。

表 15.14 SCI3nSCMR レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SDIR	シリアルデータトランスファディレクション (調歩同期式モードおよびクロック同期式モードで有効) シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。7ビットデータの場合はLSB ファーストに固定されます。
2	SINV	シリアルデータインバート (調歩同期式モードおよびクロック同期式モードで有効) 送信/受信データのロジックレベルを反転します。SINV ビットは、スタートビット、ストップビット、パリティビット、マルチプロセッサビットのロジックレベルには影響しません。パリティビットを反転させる場合はSCI3nSMRのPM ビットを反転してください。 0: SCI3nTDRの内容をそのまま送信、受信データをそのままSCI3nRDRに格納 1: SCI3nTDRの内容を反転して送信、受信データを反転してSCI3nRDRに格納
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

15.3.9 SCI3nSEMR — シリアル拡張モードレジスタ

SCI3nSEMR は、1 ビット期間の選択をするためのレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 001C_H

リセット後の値 04_H

ビット	7	6	5	4	3	2	1	0
	BRME	MDDRS	—	—	ABCS	RXDMON	—	—
リセット後の値	0	0	0	0	0	1	0	0
R/W	R/W ^{注1}	R/W ^{注1}	R	R	R/W ^{注1}	R	R	R

注 1. TE=RE=0 の場合のみライト可能です。

表 15.15 SCI3nSEMR レジスタの内容

ビット位置	ビット名	機能
7	BRME	ビットレートモジュレーションイネーブル このビットを 1 にセットするとビットレートモジュレーション機能が有効になります。
6	MDDRS	モジュレーションデューティレジスタセレクト このビットはアクセス可能にするレジスタを選択します。 0: SCI3nBRR がアクセス可能 1: SCI3nMDDR がアクセス可能
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ABCS	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作 (倍速動作)
2	RXDMON	シリアル入力データモニタビット SCI _n RxD 端子の状態を表示します。 0: SCI _n RxD 端子状態は Low レベル 1: SCI _n RxD 端子状態は High レベル
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

15.3.10 SCI3nBRR — ビットレートレジスタ

SCI3nBRR はビットレートを調整するための 8 ビットのレジスタです。SCI3 はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける SCI3nBRR の設定値 N とビットレート B の関係を表 15.17 に示します。SCI3nBRR のリセット後の値は FF_H です。SCI3nBRR は SCI3nMDDR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS=0 の場合に選択されます。TE=RE=0 の場合のみライト可能です。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0004_H

リセット後の値 FF_H

ビット	7	6	5	4	3	2	1	0
	BRR							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.16 SCI3nBRR レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	BRR	ボーレートジェネレータの設定値 (0 ≤ N ≤ 255)

表 15.17 SCI3nBRR の設定値 N とビットレート B の関係

モード	ABCS の設定	ビットレート	平均誤差
調歩同期式	0	$B = \frac{PCLK \times 10^6}{64 \times 2^{2\alpha-1} \times (N+1)}$	$\text{誤差}(\%) = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2\alpha-1} \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{PCLK \times 10^6}{32 \times 2^{2\alpha-1} \times (N+1)}$	$\text{誤差}(\%) = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2\alpha-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	—	$B = \frac{PCLK \times 10^6}{8 \times 2^{2\alpha-1} \times (N+1)}$	

備考 B : ビットレート (bps)

N : ボーレートジェネレータの SCI3nBRR の設定値 (0 ≤ N ≤ 255)

PCLK : 動作周波数 (MHz)

α : 下表のとおり SCI3nSMR の設定値によって決まります。

SCI3nSMR の設定値		α
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

調歩同期式モードにおける SCI3nBRR レジスタの値 N の設定例を表 15.18 に、設定可能な最大ビットレートを表 15.19 に示します。

表 15.18 ビットレートに対する BRR の設定例 (調歩同期式モード) (80 MHz)

PCLK (MHz)	α	N	ボーレート	
			SCI3nSEMR.ABCS = 0	SCI3nSEMR.ABCS = 1
80	0	0	2.500 MHz	5.000 MHz
80	0	1	1.250 MHz	2.500 MHz
80	0	2	0.833 MHz	1.667 MHz
80	0	3	0.625 MHz	1.250 MHz
80	0	4	0.500 MHz	1.000 MHz
80	0	5	0.417 MHz	0.833 MHz
80	0	6	0.357 MHz	0.714 MHz
80	0	7	0.313 MHz	0.625 MHz
:				
80	1	0	0.625 MHz	1.250 MHz
80	1	1	0.313 MHz	0.625 MHz
80	1	2	0.208 MHz	0.417 MHz
80	1	3	0.156 MHz	0.313 MHz
80	1	4	0.125 MHz	0.250 MHz
80	1	5	0.104 MHz	0.208 MHz
80	1	6	0.089 MHz	0.179 MHz
80	1	7	0.078 MHz	0.156 MHz
:				
80	3	242	160.751 Hz	321.502 Hz
80	3	243	160.092 Hz	320.184 Hz
80	3	244	159.439 Hz	318.878 Hz
80	3	245	158.791 Hz	317.581 Hz
80	3	246	158.148 Hz	316.296 Hz
80	3	247	157.510 Hz	315.020 Hz
80	3	248	156.878 Hz	313.755 Hz
80	3	249	156.250 Hz	312.500 Hz
80	3	250	155.627 Hz	311.255 Hz
80	3	251	155.010 Hz	310.020 Hz
80	3	252	154.397 Hz	308.794 Hz
80	3	253	153.789 Hz	307.579 Hz
80	3	254	153.186 Hz	306.373 Hz
80	3	255	152.588 Hz	305.176 Hz

表 15.19 最大ビットレート (調歩同期式モード)

PCLK (MHz)	設定値			最大シリアルクロック周波数
	ABCs の設定	α	N	
80	1	0	0	5 MHz

クロック同期式モードにおける SCI3nBRR レジスタの値 N の設定例を表 15.20 に示します。
設定可能な最大ビットレートを表 15.21 に示します。

表 15.20 クロック同期式モードのビットレート設定例 (マスタモード)

α	N	ボーレート
		PCLK= 80 MHz
0	0	設定禁止
0	1	設定禁止
0	2	設定禁止
0	3	5.000 MHz
0	4	4.000 MHz
0	5	3.333 MHz
0	6	2.857 MHz
0	7	2.500 MHz
:		
1	0	5.000 MHz
1	1	2.500 MHz
1	2	1.667 MHz
1	3	1.250 MHz
1	4	1.000 MHz
1	5	0.833 MHz
1	6	0.714 MHz
1	7	0.625 MHz
:		
3	242	1286.008 Hz
3	243	1280.738 Hz
3	244	1275.510 Hz
3	245	1270.325 Hz
3	246	1265.182 Hz
3	247	1260.081 Hz
3	248	1255.020 Hz
3	249	1250.000 Hz
3	250	1245.020 Hz
3	251	1240.079 Hz
3	252	1235.178 Hz
3	253	1230.315 Hz
3	254	1225.490 Hz
3	255	1220.703 Hz

表 15.21 最大ビットレート (クロック同期式モード) (マスタモード)

PCLK (MHz)	α	N	最大シリアルクロック周波数
80	0	3	5 MHz

15.3.11 SCI3nMDDR — モジュレーションデューティレジスタ

SCI3nMDDR は SCI3nBRR により調整されたビットレートを補正するためのレジスタです。SCI3nMDDR のリセット後の値は FF_H です。SCI3nSEMR の BRME ビットが 1 にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に SCI3nMDDR/256 に補正します。SCI3nMDDR の設定値とビットレート B の関係を表 15.23 に示します。SCI3nMDDR は SCI3nBRR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS=1 の場合に選択されます。TE=RE=0 の場合のみライト可能です。ビット 7 は 1 に固定されています。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <SCI3n_base> + 0004_H

リセット後の値 FF_H

ビット	7	6	5	4	3	2	1	0
	MDDR							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.22 SCI3nMDDR レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	MDDR	ボーレートジェネレータの設定値 (128 ≤ MDDR ≤ 255)

表 15.23 ビットレートモジュレーション機能使用時の SCI3nMDDR 設定値とビットレート B の関係

モード	ABCS の設定	ビットレート	平均誤差
調歩同期式	0	$B = \frac{PCLK \times 10^6}{64 \times 2^{2\alpha-1} \times (256/MDDR) \times (N+1)}$	$\text{誤差}(\%) = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2\alpha-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{PCLK \times 10^6}{32 \times 2^{2\alpha-1} \times (256/MDDR) \times (N+1)}$	$\text{誤差}(\%) = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2\alpha-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$
クロック同期式	—	$B = \frac{PCLK \times 10^6}{8 \times 2^{2\alpha-1} \times (256/MDDR) \times (N+1)}$	

備考 B : ビットレート (bps)

N : ボーレートジェネレータの SCI3nBRR の設定値 (0 ≤ N ≤ 255)

PCLK : 動作周波数 (MHz)

α : 「表 15.17 SCI3nBRR の設定値 N とビットレート B の関係」を参照してください。

SCI3nMDDR : SCI3nMDDR の設定値 (128 ≤ SCI3nMDDR ≤ 255)

15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

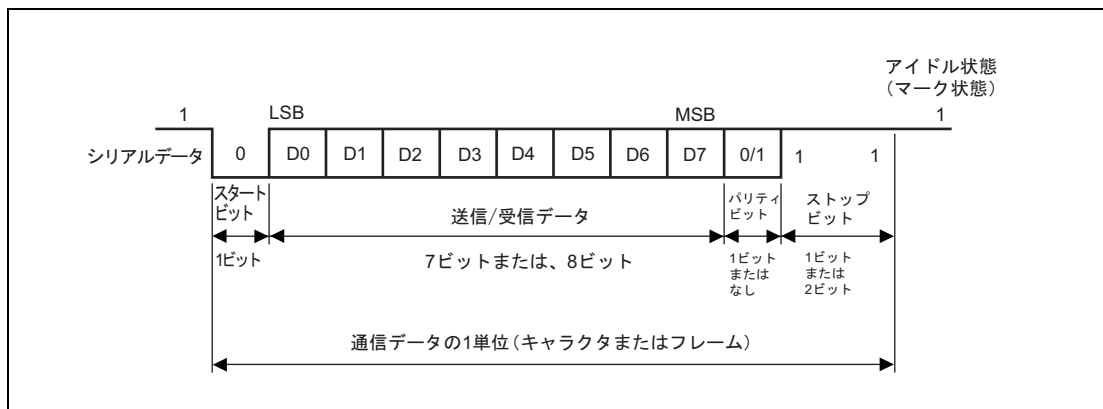


図 15.2 調歩同期式通信のデータフォーマット (8 ビットデータ / パリティあり / 2 ストップビットの例)

15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.24 に示します。フォーマットは 12 種類あり、SCI3nSMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

表 15.24 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMR の設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8 ビットデータ								STOP				
0	0	0	1	S	8 ビットデータ								STOP	STOP			
0	1	0	0	S	8 ビットデータ								P	STOP			
0	1	0	1	S	8 ビットデータ								P	STOP	STOP		
1	0	0	0	S	7 ビットデータ							STOP					
1	0	0	1	S	7 ビットデータ							STOP	STOP				
1	1	0	0	S	7 ビットデータ							P	STOP				
1	1	0	1	S	7 ビットデータ							P	STOP	STOP			
0	—	1	0	S	8 ビットデータ								MPB	STOP			
0	—	1	1	S	8 ビットデータ								MPB	STOP	STOP		
1	—	1	0	S	7 ビットデータ							MPB	STOP				
1	—	1	1	S	7 ビットデータ							MPB	STOP	STOP			

備考 S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

15.4.2 受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3はビットレートの16倍（倍速動作時は8倍）の周波数の基本クロックで動作します。受信時はスタートビットの始まり（Lowレベル）を基本クロックでサンプリングして内部を同期化します。また、**図 15.3**に示すように受信データを基本クロックの8ヶ目（倍速動作時は4ヶ目）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。

したがって、調歩同期式モードでの受信マージンは式（1）のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100[\%] \dots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比（SCI3nSEMRのABCS = 0のときN = 16、ABCS = 1のときN = 8）

D: クロックのデューティ（D = 0.5 ~ 1.0）

L: フレーム長（L = 9 ~ 12）

F: クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）= 0、D（クロックのデューティ）= 0.5、N=16とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100[\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

ビットレートモジュレーション機能使用時は基本クロックの周波数を平均的に補正します。

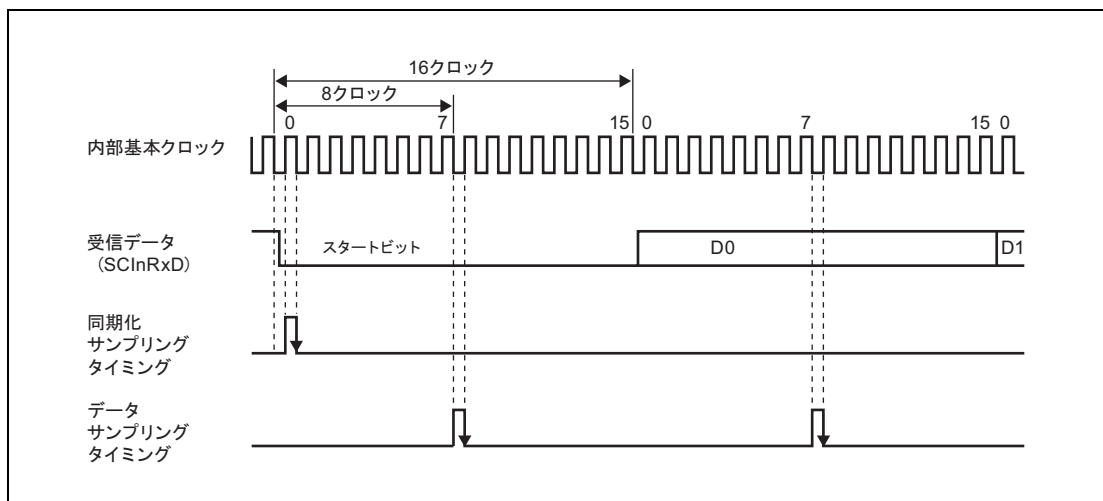


図 15.3 調歩同期式モードの受信データサンプリングタイミング

15.4.3 クロック

SCI3 の送受信クロックは、SCI3nSMR の CM ビットと SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックとなります。内部クロックで動作させるときは SCIInSCK 端子からクロックを出力することができます。

クロック同期式モードについては「**15.6 クロック同期式モードの動作**」を参照してください。

調歩同期式モードの場合、**図 15.4** に示すように出力されるクロックの周波数はビットレートと等しく送信データの中央で立ち上がる位相となります。

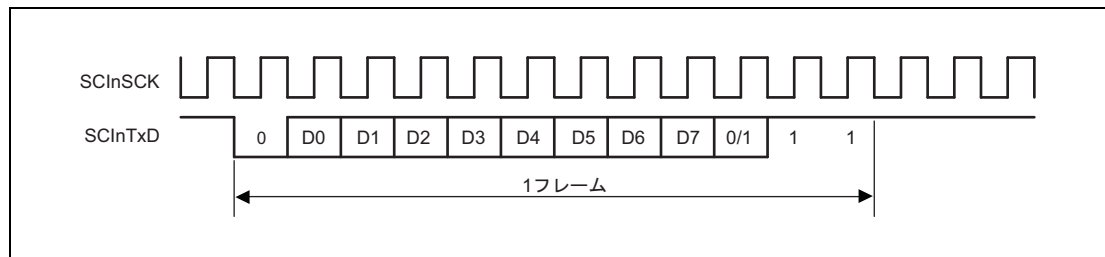


図 15.4 出カクロックと送信データの位相関係 (調歩同期式モード)

15.4.4 倍速動作

「**15.4.3 クロック**」の動作に加えて、SCI3nSEMR の ABCS ビットの設定により倍速動作が可能です。

通常のビットレートの 16 倍の周波数のクロックの動作を倍速動作では、8 倍の周波数のクロックで動作させることができます。同一の基本クロックで 2 倍の転送レートで動作することができます。

15.4.5 SCI3の初期化（調歩同期式）

データの送受信前に、SCI3nSCRのTE、REビットをクリアした後、**図15.5**のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットをいずれも0にクリアしてから変更を行ってください。TEビットを0にクリアすると、TDREフラグは1にセットされますが、REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびSCI3nRDRは初期化されませんので注意してください。

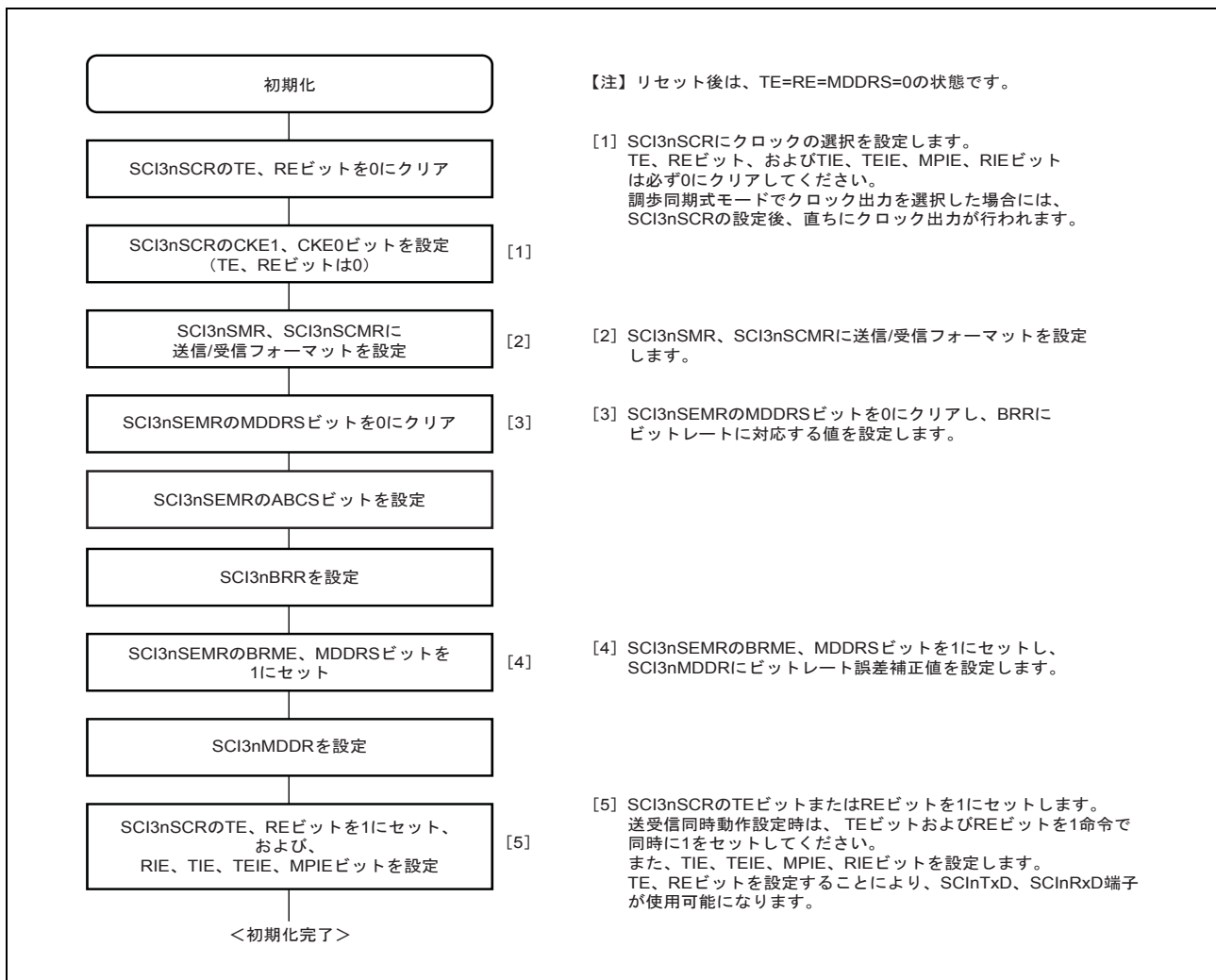


図 15.5 SCI3の初期化フローチャートの例

15.4.6 シリアルデータ送信 (調歩同期式)

図 15.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のよう
に動作します。

1. SCI3nTDR に送信データをライトすると TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送します。なお、SCI3nTDR への送信データライトを INTSCI3nTXI 割り込み要求にて行う場合、TIE ビットを 1 にセットした後に TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の INTSCI3nTXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると INTSCI3nTXI 割り込み要求を発生します。この INTSCI3nTXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。INTSCI3nTEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだ後、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. SCI3nTxD 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグを 1 をセットし、ストップビット送出後、1 を出力してマーク状態になります。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると INTSCI3nTEI 割り込み要求を発生します。

図 15.7 にデータ送信のフローチャートの例を示します。また、図 15.8 に、データ送信後に SCI3 を停止するフローチャートの例を示します。

※ 調歩同期式モードの送信許可時の動作に関する補足

TE ビットを 0 から 1 にセットすると 1 フレーム分の High レベル (プリアンブル) を出力します。プリアンブル出力中に SCI3nTDR に送信データをライトすると、プリアンブル出力終了後にその送信データが SCI3nTDR から SCI3nTSR にデータが転送されます。

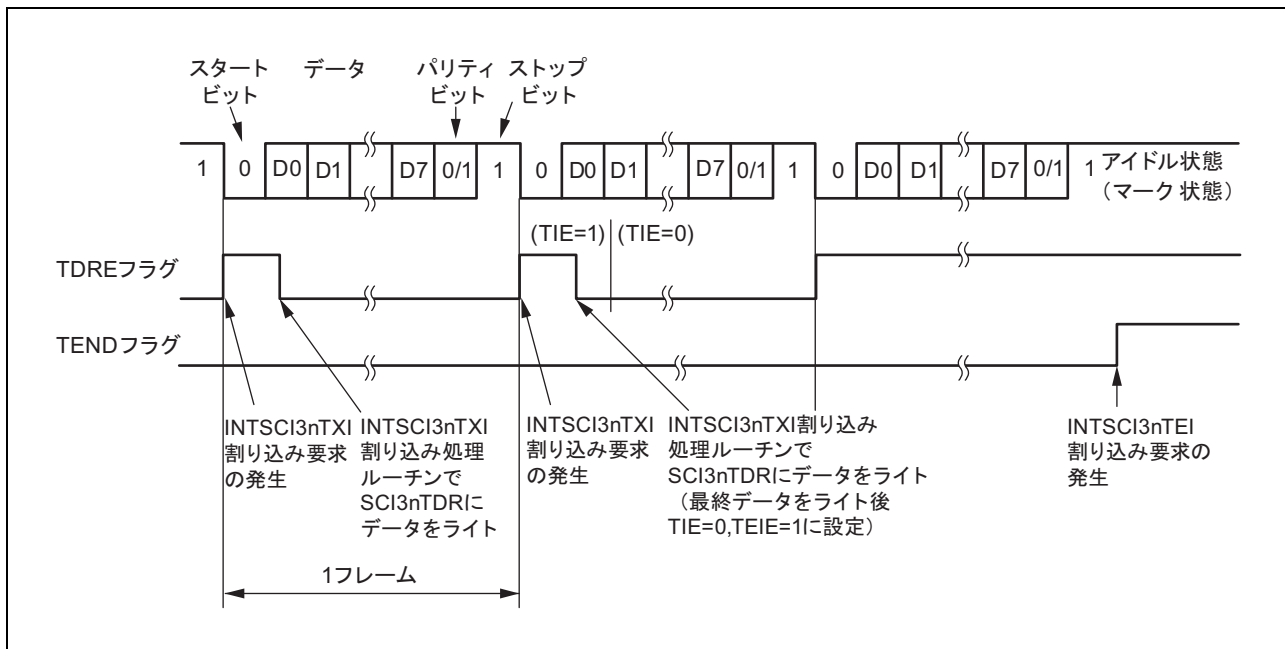


図 15.6 調歩同期式モードの送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

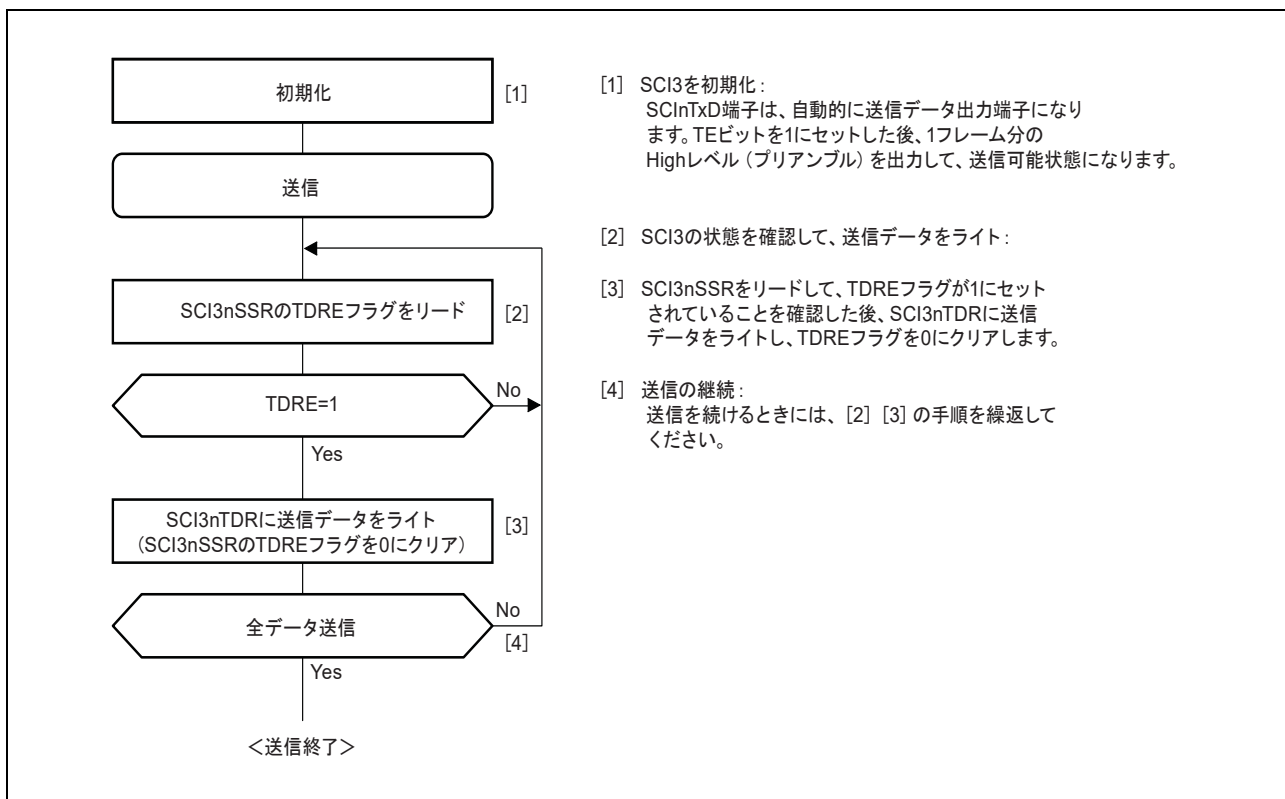


図 15.7 シリアル送信のフローチャートの例

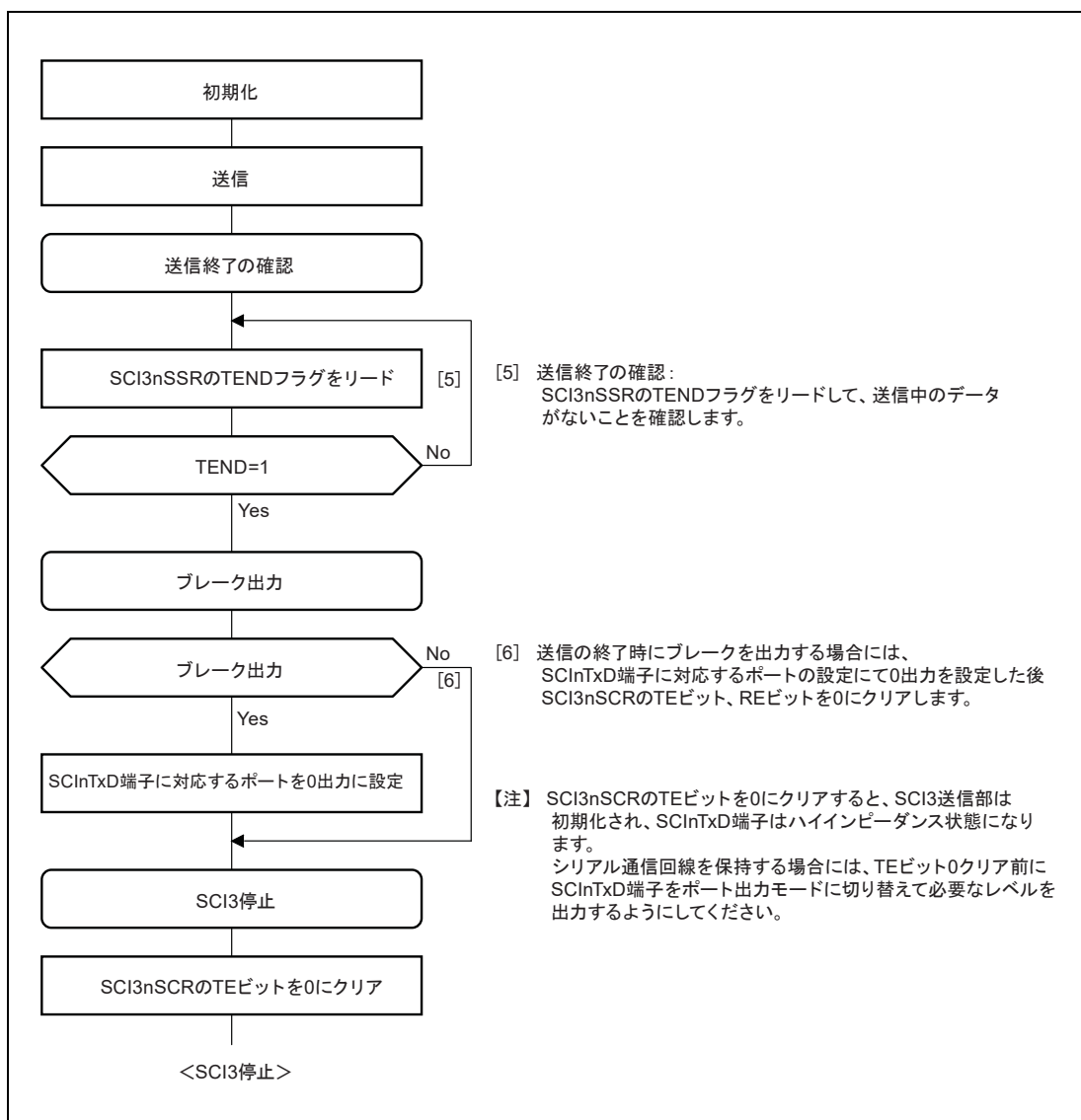


図 15.8 シリアル送信後に SCI3 を停止するフローチャートの例

15.4.7 シリアルデータ受信（調歩同期式）

図 15.9 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のよう
に動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データを SCI3nRSR に取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき）は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると INTSCI3nERI 割り込み要求が発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. パリティエラーを検出した場合は SCI3nSSR の PER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると INTSCI3nERI 割り込み要求が発生します。
4. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SCI3nSSR の FER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると INTSCI3nERI 割り込み要求が発生します。
5. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると INTSCI3nRXI 割り込み要求が発生します。この INTSCI3nRXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

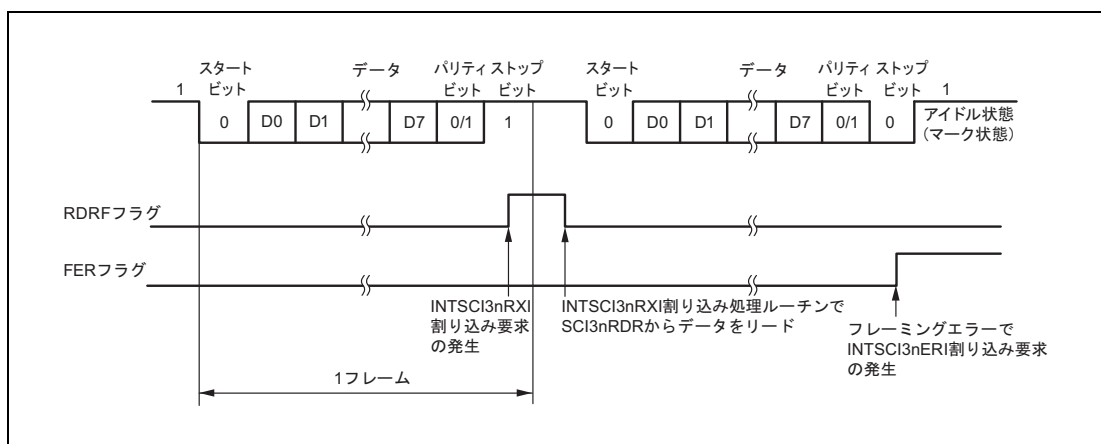


図 15.9 SCI3 の受信時の動作例（8 ビットデータ / パリティあり / 1 ストップビットの例）

受信エラーを検出した場合の SCI3nSSR の各ステータスフラグの状態と受信データの処理を **表 15.25** に示します。受信エラーを検出すると、RDRF フラグはデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。 **図 15.10** にデータ受信のためのフローチャートの例を示します。

表 15.25 SCI3nSSR のステータスフラグの状態と受信データの処理

SCI3nSSR のステータスフラグ				受信データ	受信状態
RDRF 注1	ORER	FER	PER		
1	0	0	0	SCI3nRDRへ転送	正常受信
0	0	1	0	SCI3nRDRへ転送	フレーミングエラー
0	0	0	1	SCI3nRDRへ転送	パリティエラー
0	0	1	1	SCI3nRDRへ転送	フレーミングエラー+パリティエラー
1*	1	0	0	消失	オーバランエラー
1*	1	1	0	消失	オーバランエラー+フレーミングエラー
1*	1	0	1	消失	オーバランエラー+パリティエラー
1*	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注 1. オーバランエラーの場合、RDRF フラグは、データ受信前の状態を保持します。

備考 +は、1つの受信動作において、同時に発生することを示します。

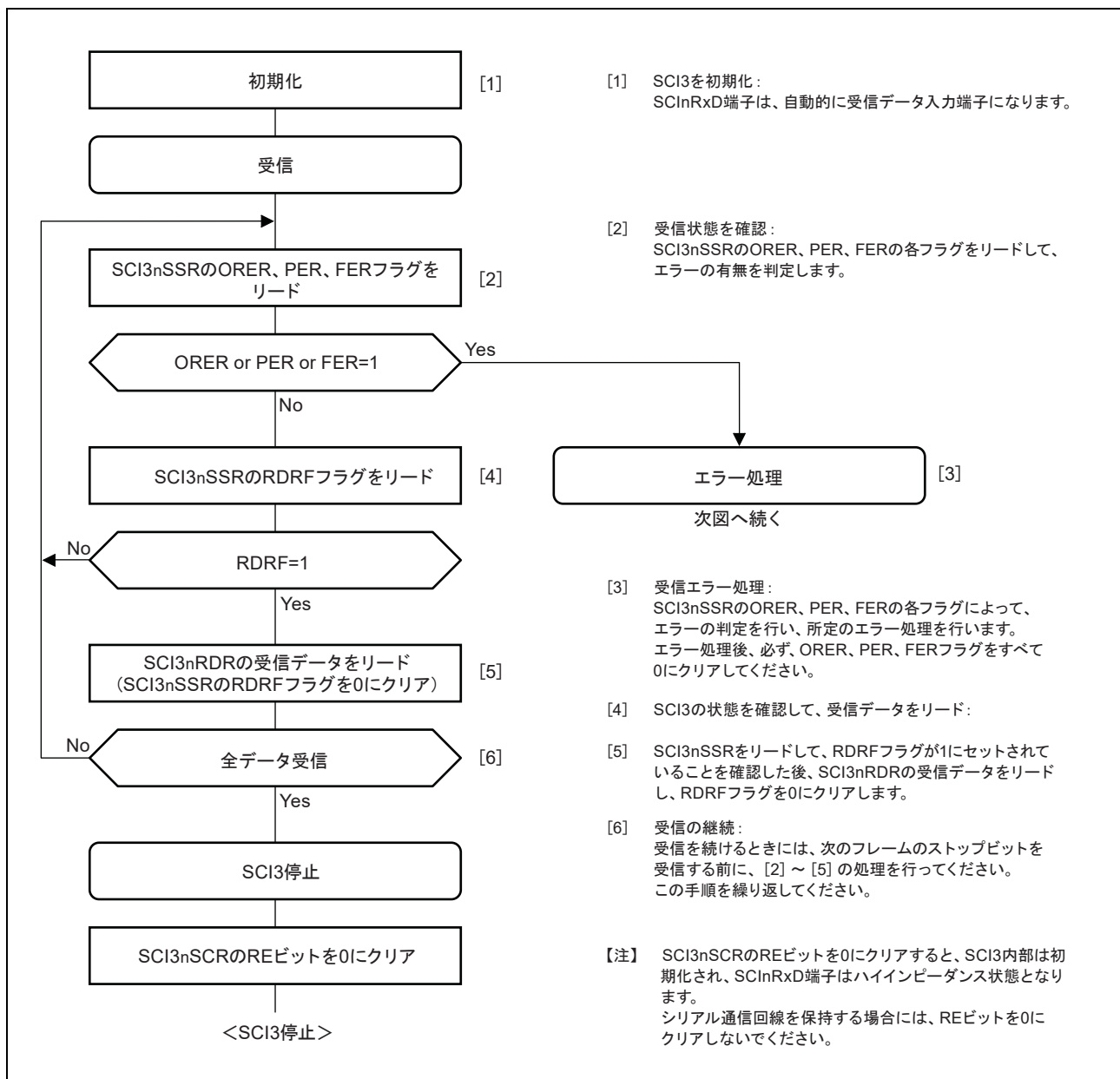


図 15.10 シリアル受信のフローチャートの例 (1)

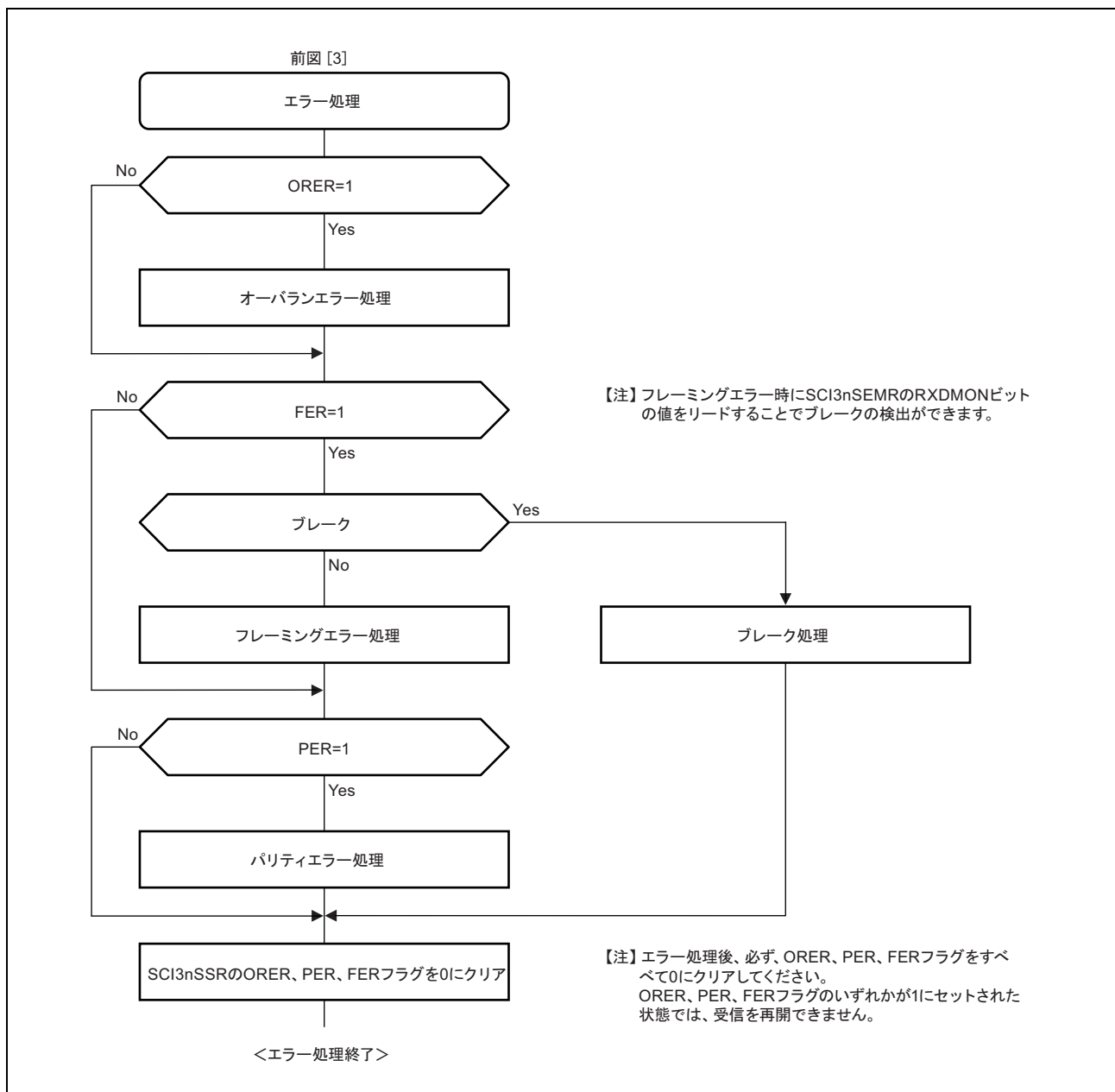


図 15.11 シリアル受信のフローチャートの例 (2)

15.5 マルチプロセッサ通信機能

15.5.1 概要と接続例

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCI3nSCR に MPIE ビットが設けてあります。MPIE ビットを 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SCI3nSSR の MPB ビットが 1 にセットされるとともに MPIE ビットが自動的に 0 にクリアされて通常の実動作に戻ります。このとき SCI3nSCR の RIE ビットがセットされていると INTSCI3nRXI 割り込み要求を発生します。MPIE ビットが 0 にクリアされた状態では、マルチプロセッサビットの値に関係なく受信動作を行います。マルチプロセッサビットは、SCI3nSSR の MPB ビットに格納されます。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

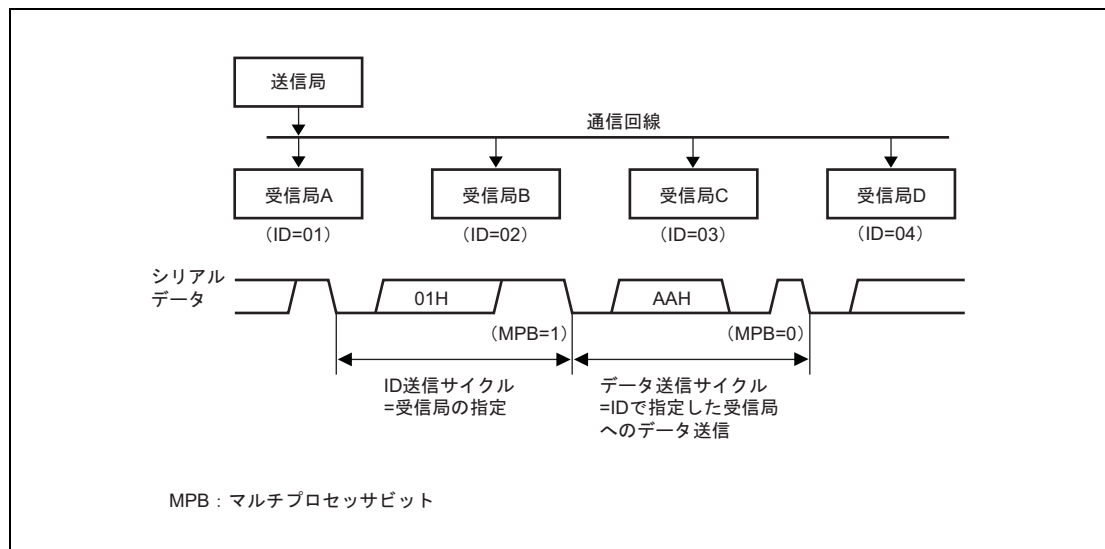


図 15.12 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ AA_H の送信の例)

15.5.2 マルチプロセッサシリアルデータ送信

図 15.13 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCI3nSSR の MPBT ビットを 1 にセットして送信してください。データ送信サイクルでは SCI3nSSR の MPBT ビットを 0 にクリアして送信してください。その他の動作は調歩同期モードの動作と同じです。

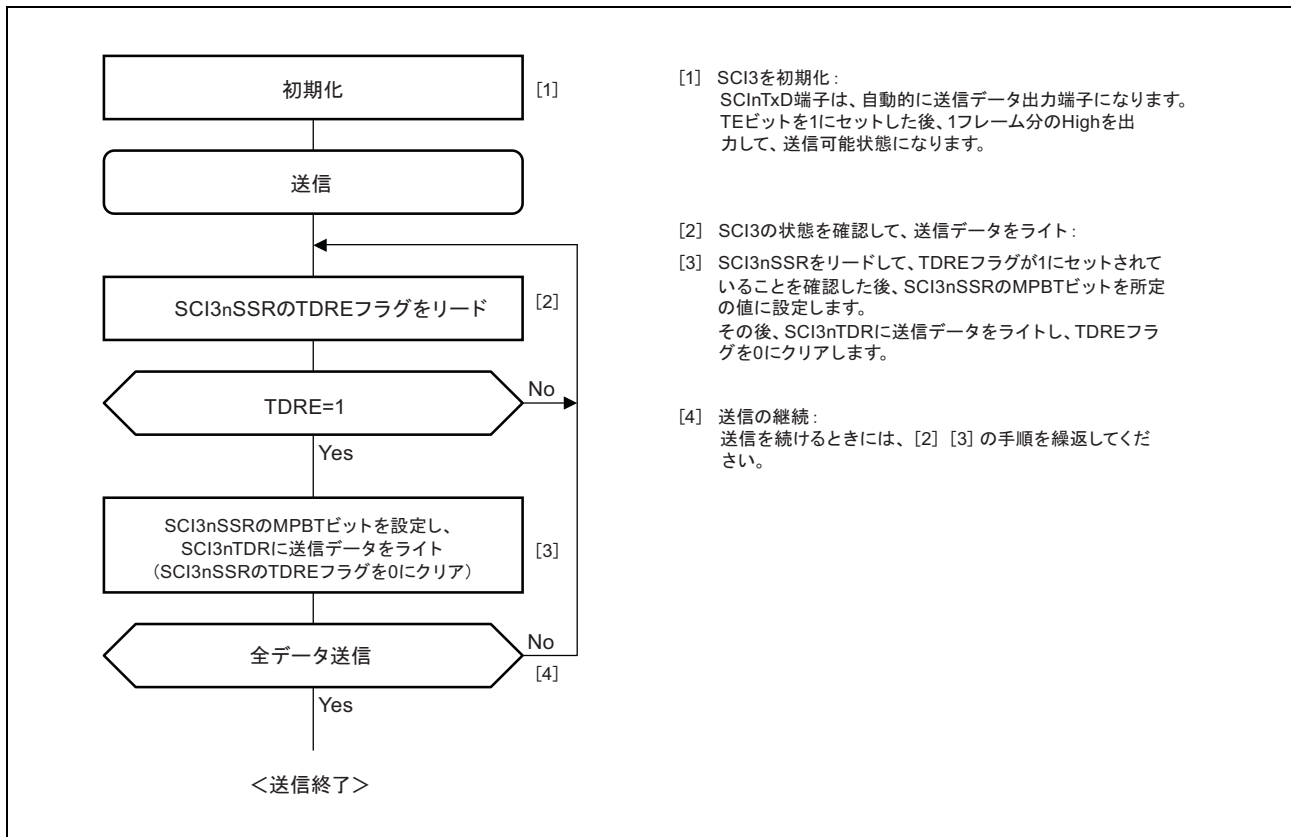


図 15.13 マルチプロセッサシリアル送信のフローチャートの例

15.5.3 マルチプロセッサシリアルデータ受信

図 15.15 にマルチプロセッサデータ受信のフローチャートの例を示します。SCI3nSCR の MPIE ビットを 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとびます。マルチプロセッサビットが 1 の通信データを受信すると受信データを SCI3nRDR に転送します。このとき INTSCI3nRXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 15.14 に受信時の動作例を示します。

注 意

マルチプロセッサビットが 1 の通信データを受信するタイミングで、SCI3nSCR へのライトを行わないでください。MPIE ビットが所望の状態にならない場合があります。

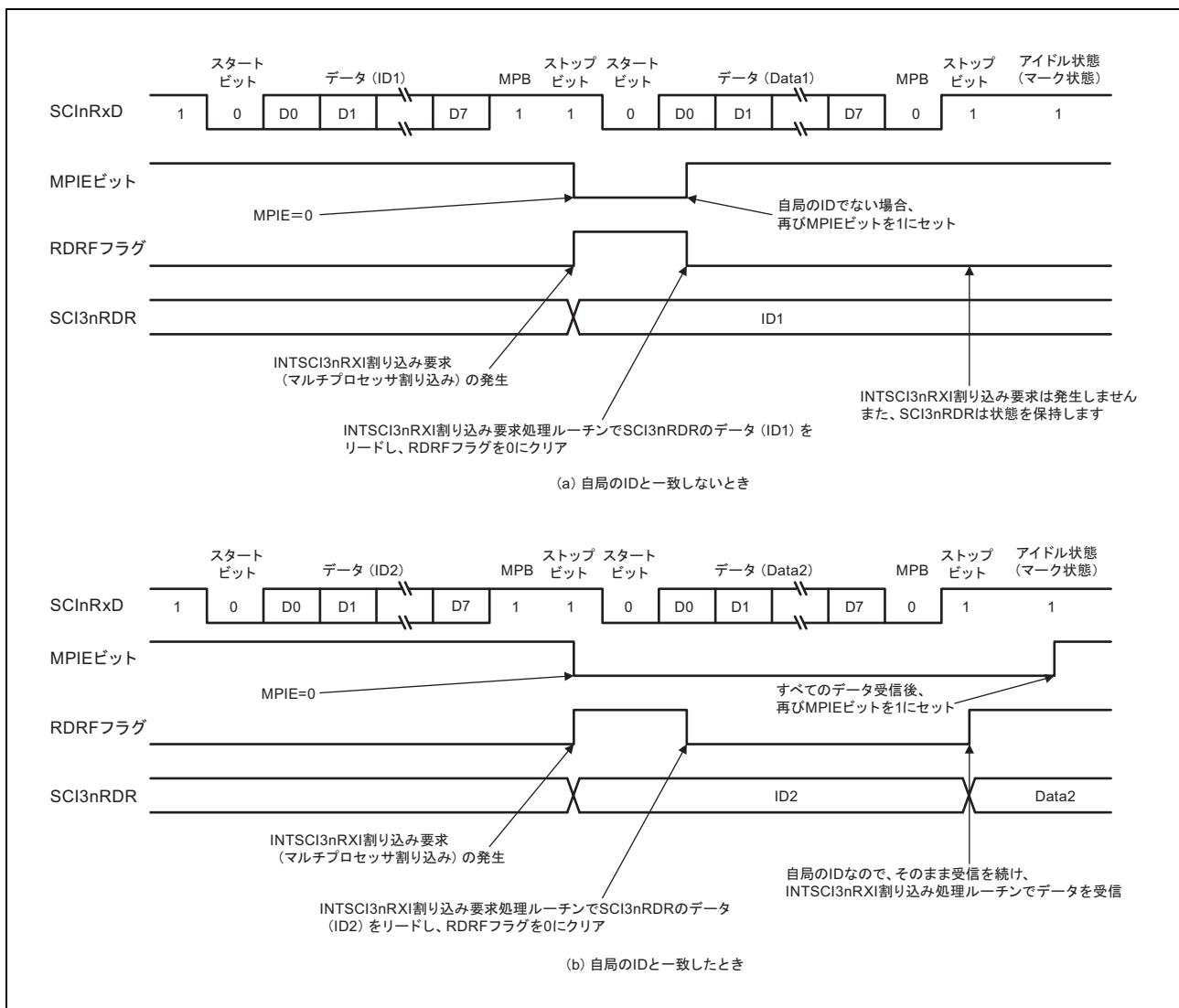


図 15.14 SCI3 の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

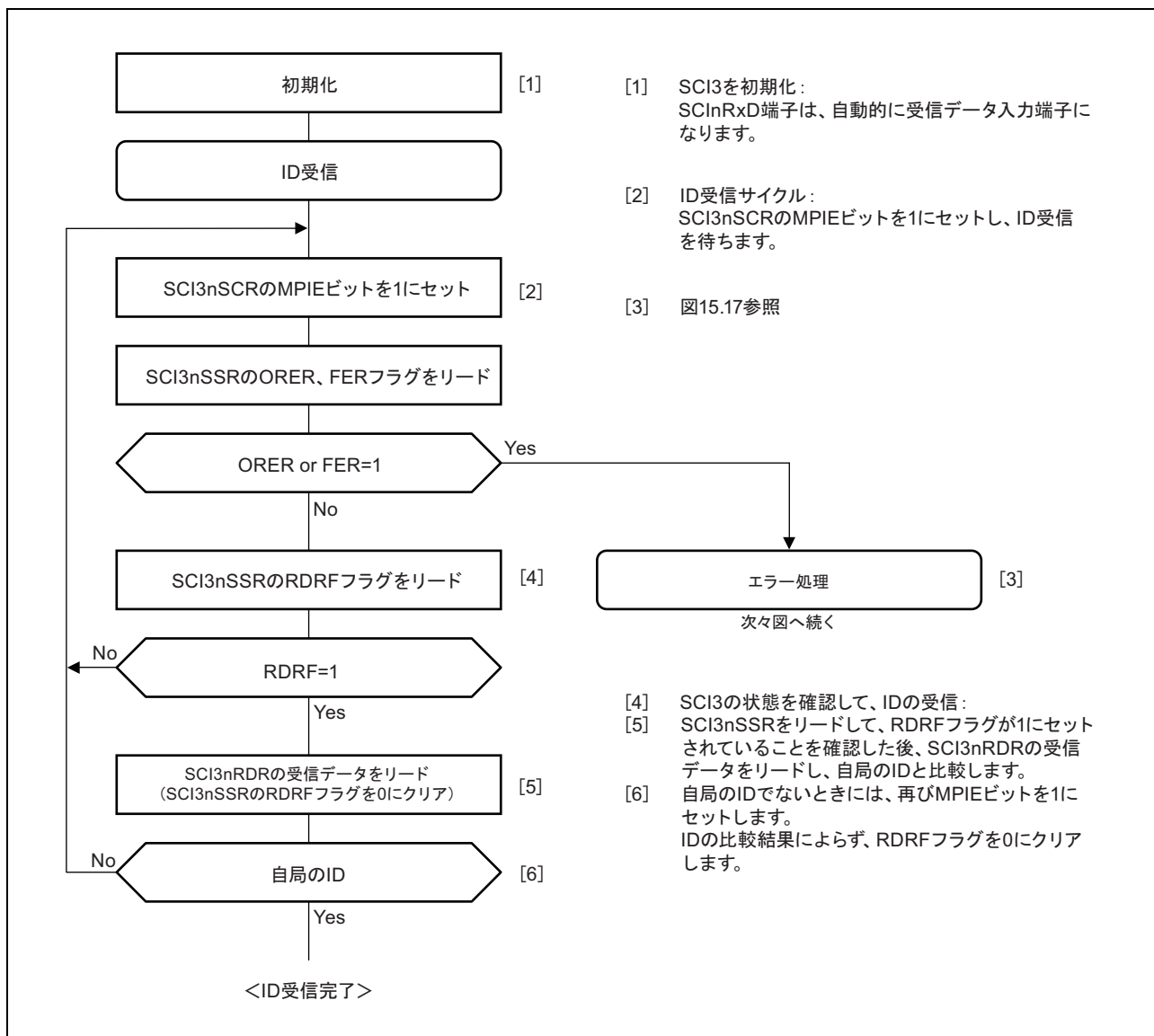


図 15.15 マルチプロセッサシリアル受信のフローチャートの例 (1)

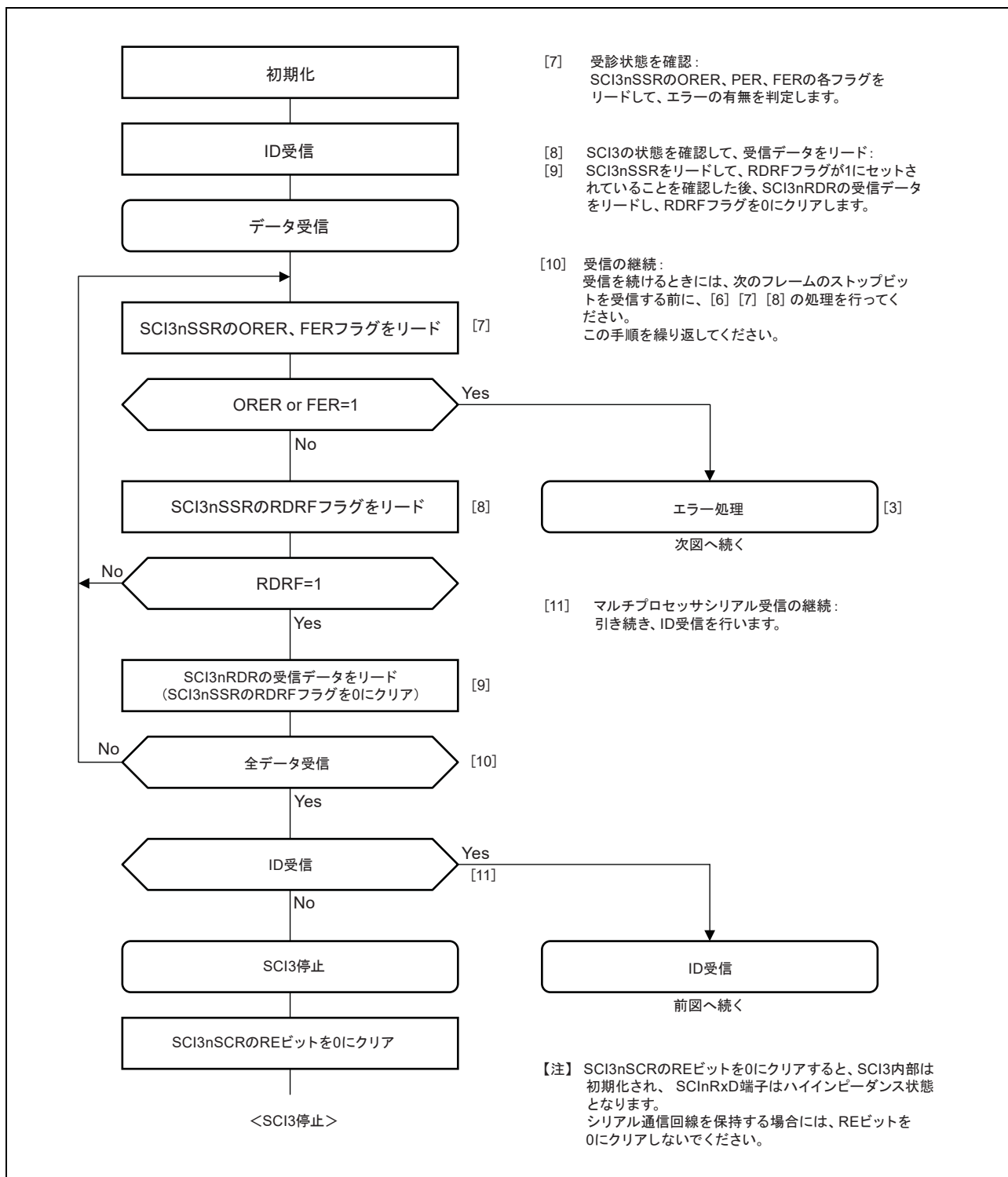


図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

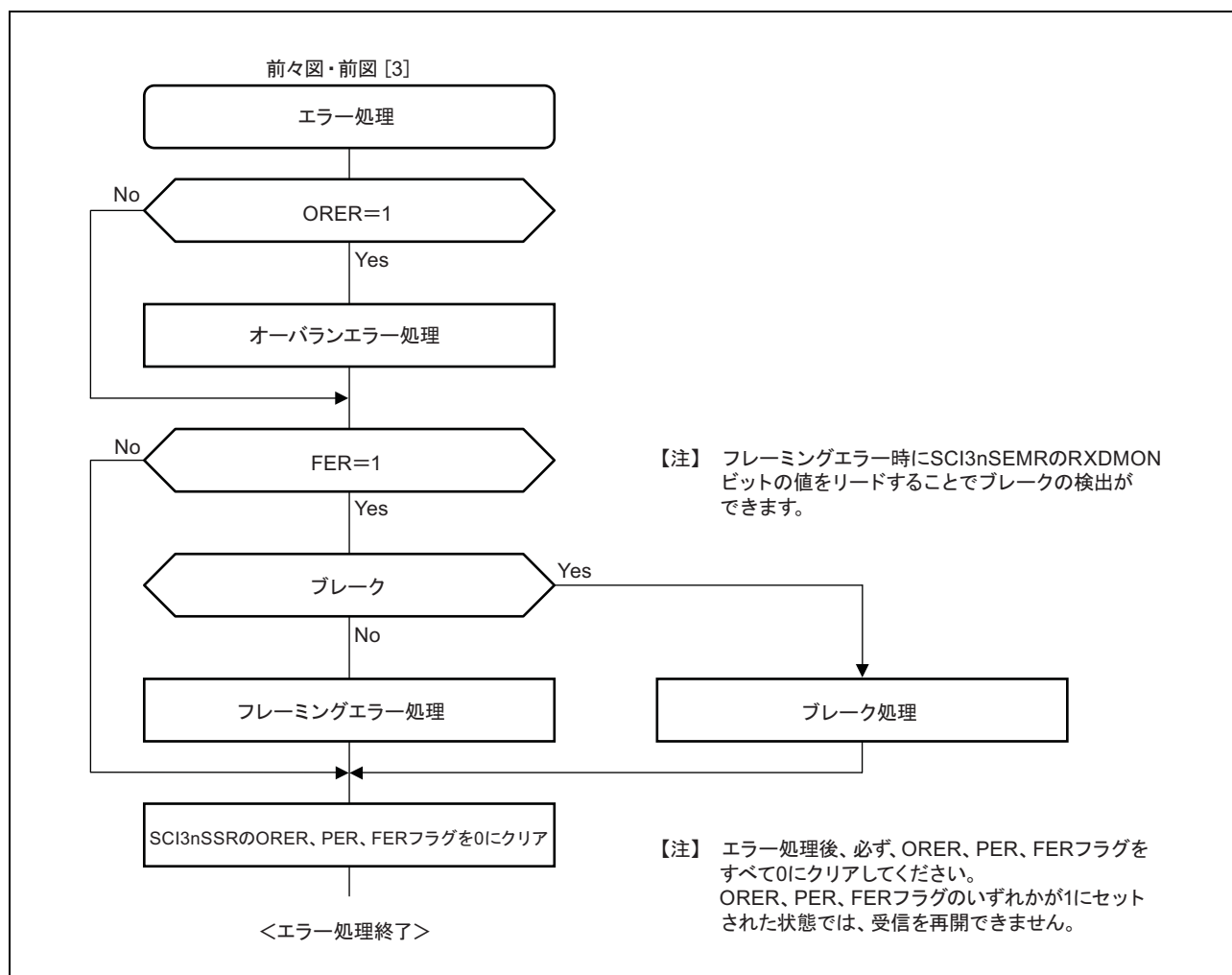


図 15.17 マルチプロセッサシリアル受信のフローチャートの例 (3)

15.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 15.18 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。SCI3は、同期クロック出力時のデータ送信においては、同期クロックの立ち下がりから次の立ち下がりまでデータを出力します。同期クロック入力時のデータ送信においては、転送開始最初のデータ（ビット0）を SCI3nSSR.TDRE ビットを0にクリアした直後から出力し、その後は同期クロックの立ち上がりから PCLK クロックで2～3クロック後に次のビットのデータを出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

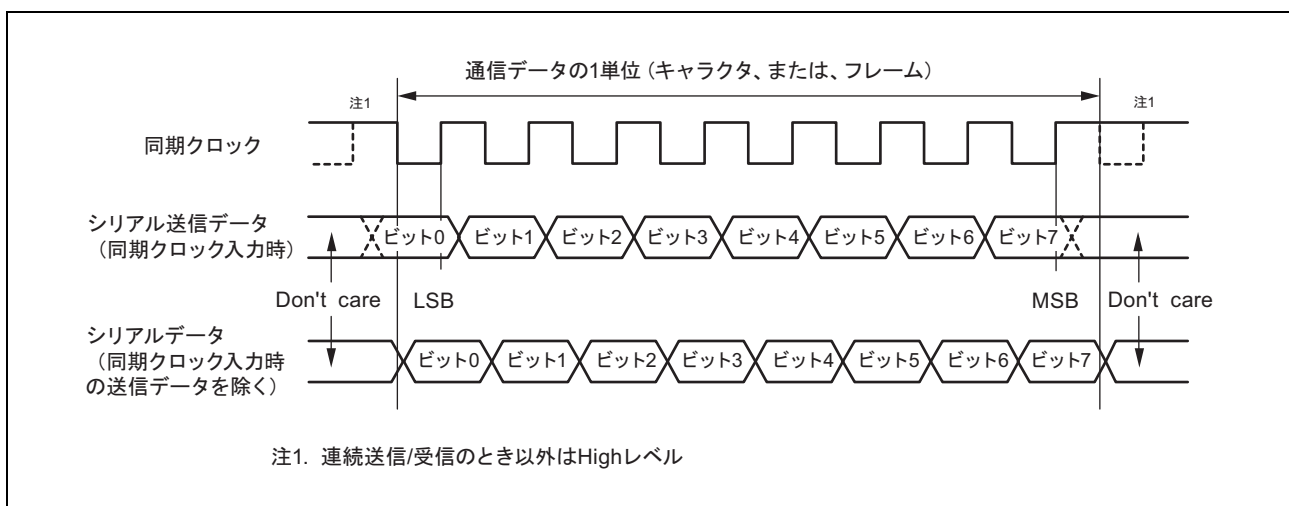


図 15.18 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

15.6.1 クロック

SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCInSCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCInSCK 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High レベルに固定されます。

15.6.2 SCI3の初期化（クロック同期式）

データの送受信前に、SCI3nSCRのTE、REビットをいずれも0にクリアした後、**図 15.19**のフローチャートの例に従って初期化してください。送信動作、受信動作、送受信動作を切り替えるときには、いったん、TEビットとREビットを0にクリアしてから、TEビット、REビットを所望の値に設定してください。通信フォーマットの変更の場合も必ず、TEビットおよびREビットをいずれも0にクリアしてから変更を行ってください。TEビットを0にクリアすると、TDREフラグは1にセットされますが、REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびSCI3nRDRは初期化されませんので注意してください。

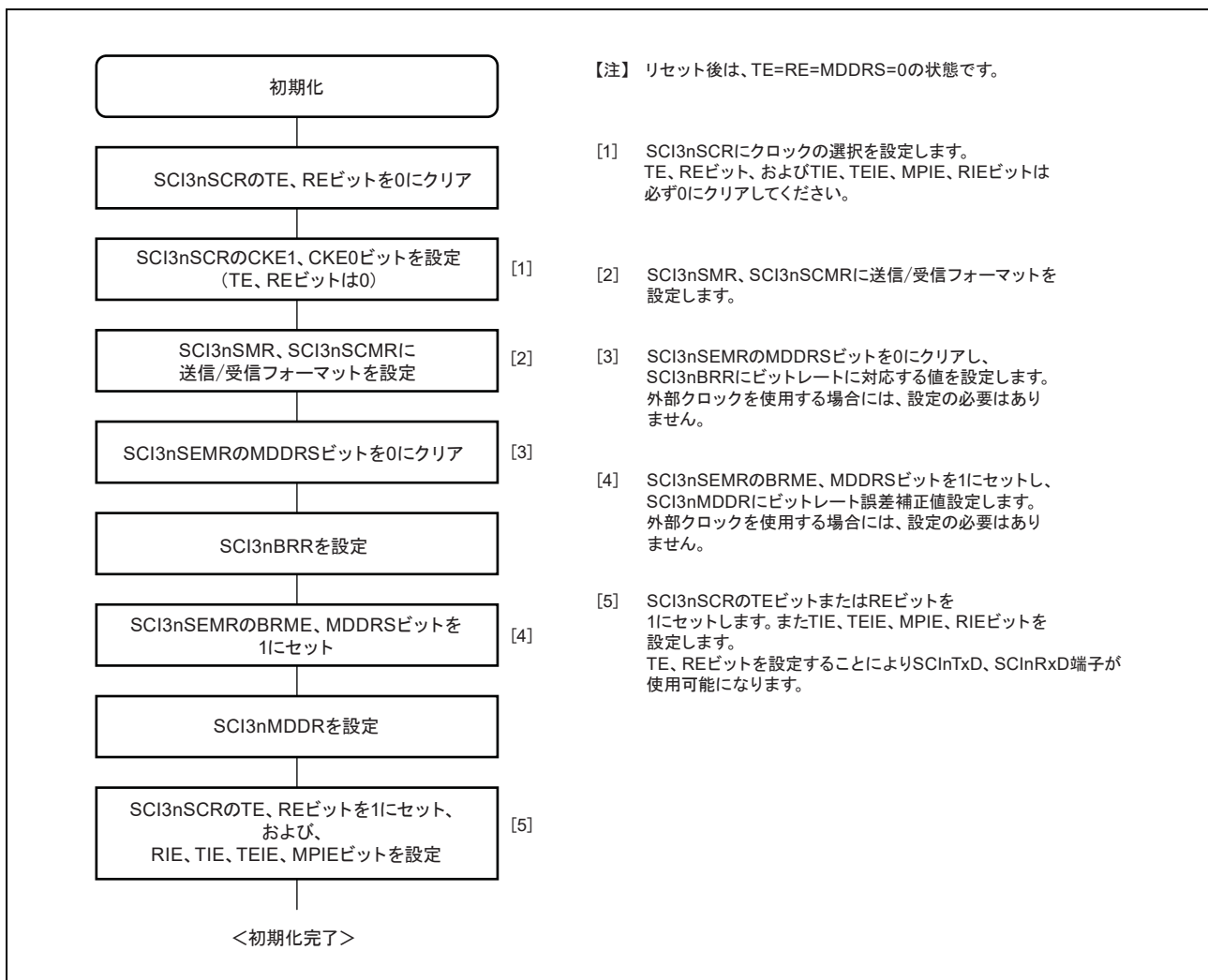


図 15.19 SCI3の初期化フローチャートの例

15.6.3 シリアルデータ送信 (クロック同期式)

図 15.20 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3nTDR に送信データをライトすると、TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送し、同期クロック入力時には最初のビットの出力を開始します。なお、SCI3nTDR への送信データライトを INTSCI3nTXI 割り込み要求にて行う場合、TIE ビットを 1 にセットした後に TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の INTSCI3nTXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると INTSCI3nTXI 割り込み要求を発生します。この INTSCI3nTXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。INTSCI3nTEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだ後、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、SCI3nTxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR に転送し、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグに 1 をセットし、最終ビット出力状態を保持します。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると INTSCI3nTEI 割り込み要求を発生します。SCI3nSCK 端子は High レベルに固定されません。

図 15.21 にデータ送信のフローチャートの例を示します。また、図 15.22 に、データ送信後に SCI3 を停止するフローチャートの例を示します。受信エラーフラグ (ORER) が 1 にセットされた状態では TDRE フラグをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

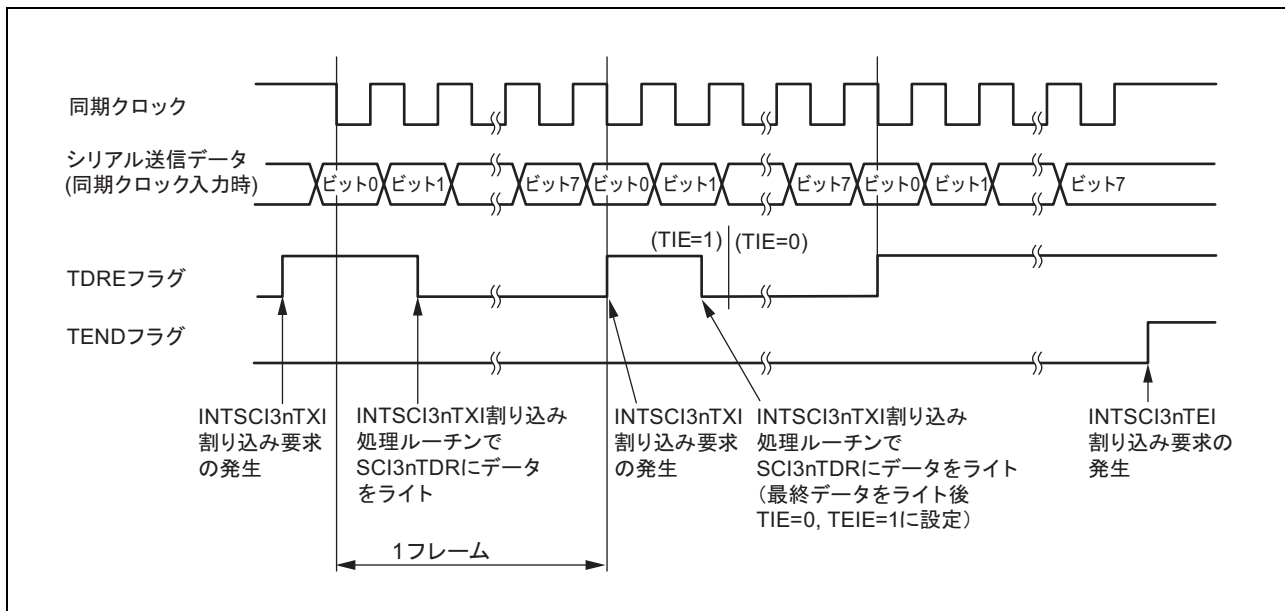


図 15.20 クロック同期式モードの送信時の動作例

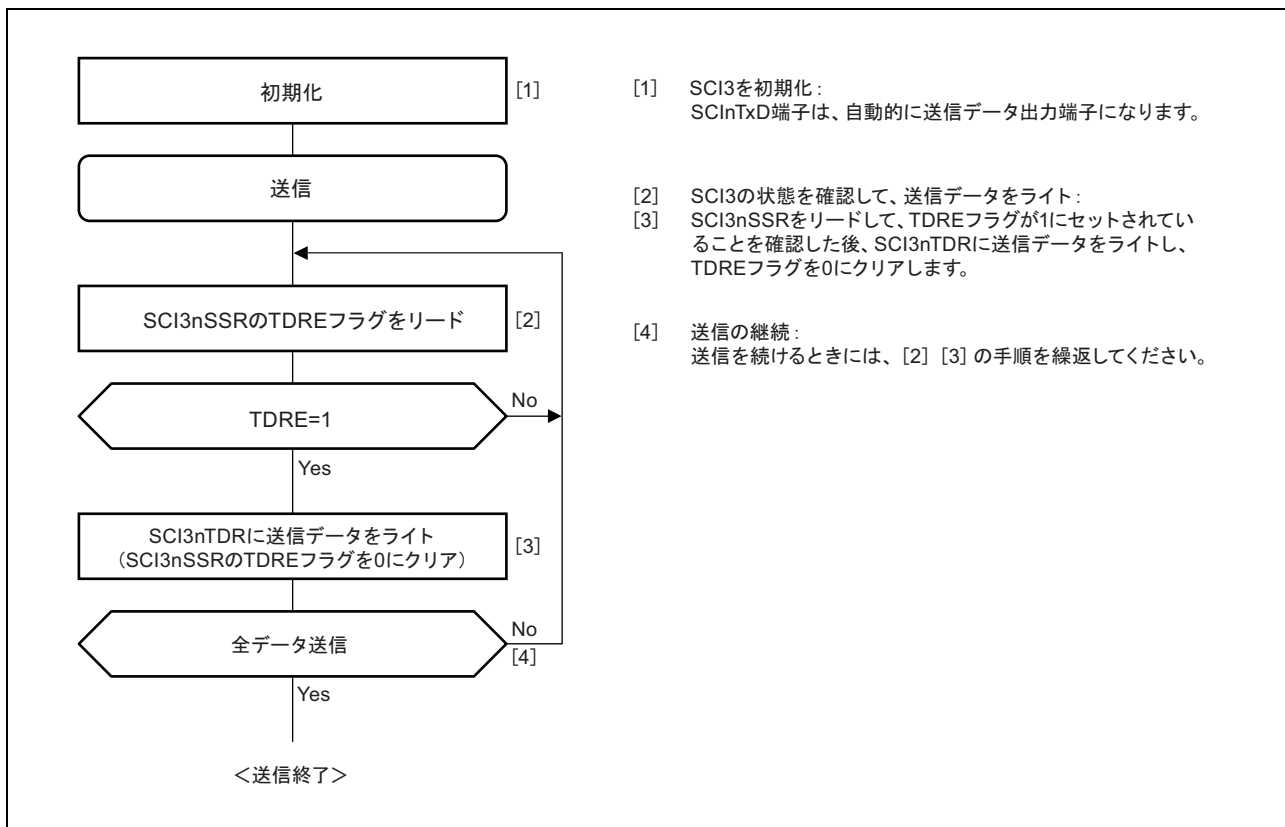


図 15.21 シリアル送信のフローチャートの例

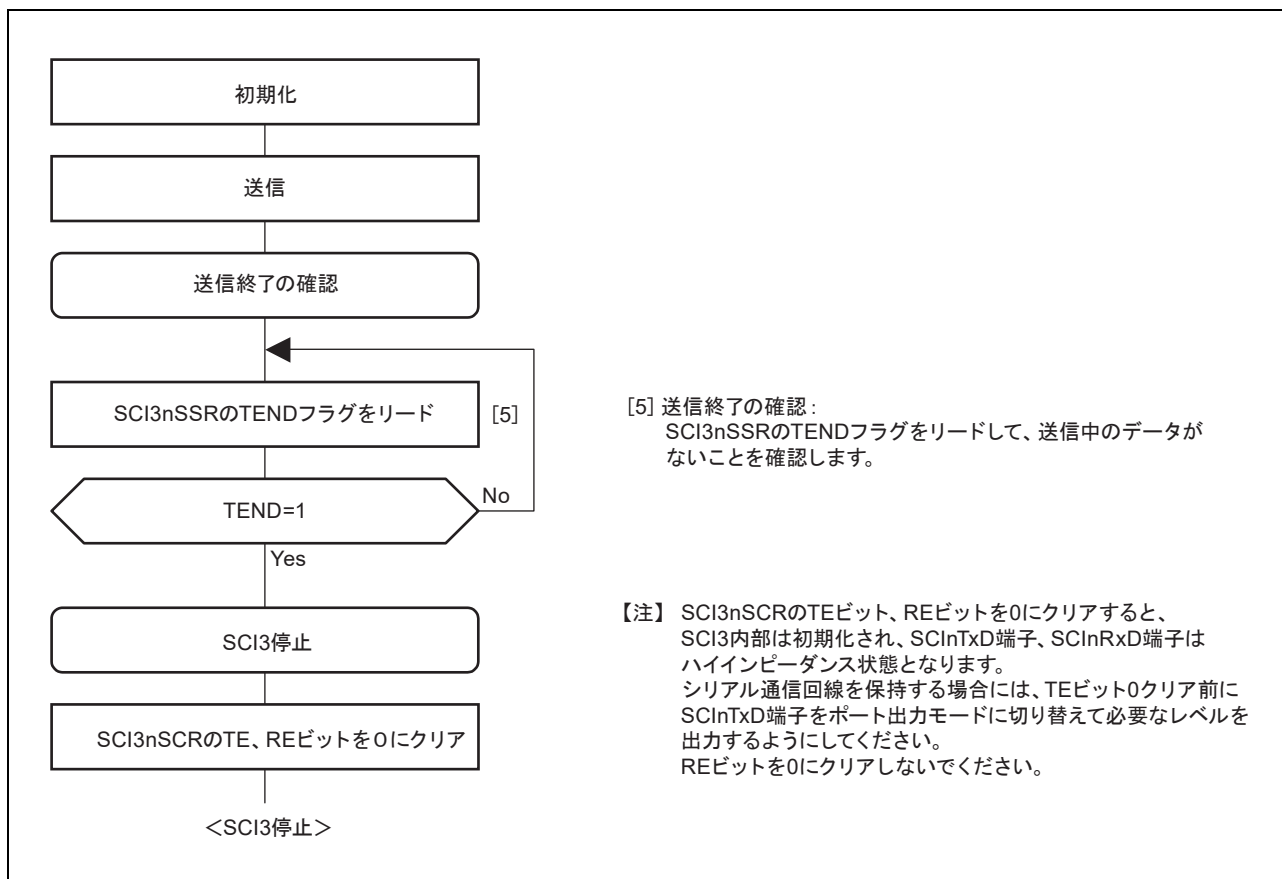


図 15.22 シリアル送信後に SCI3 を停止するフローチャートの例

15.6.4 シリアルデータ受信 (クロック同期式)

図 15.23 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のように動作します。

1. SCI3 は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを SCI3nRSR に取り込みます。
2. オーバランエラーが発生したとき (SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき) は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると INTSCI3nERI 割り込み要求が発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると INTSCI3nRXI 割り込み要求が発生します。この INTSCI3nRXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

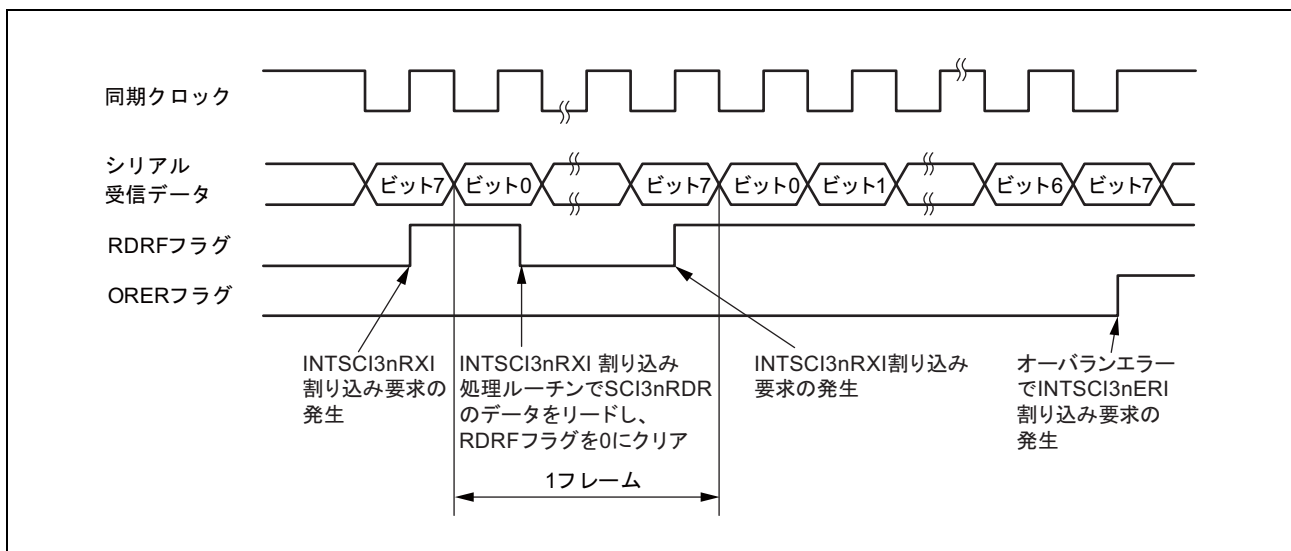


図 15.23 SCI3 の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。図 15.24 にデータ受信のためのフローチャートの例を示します。

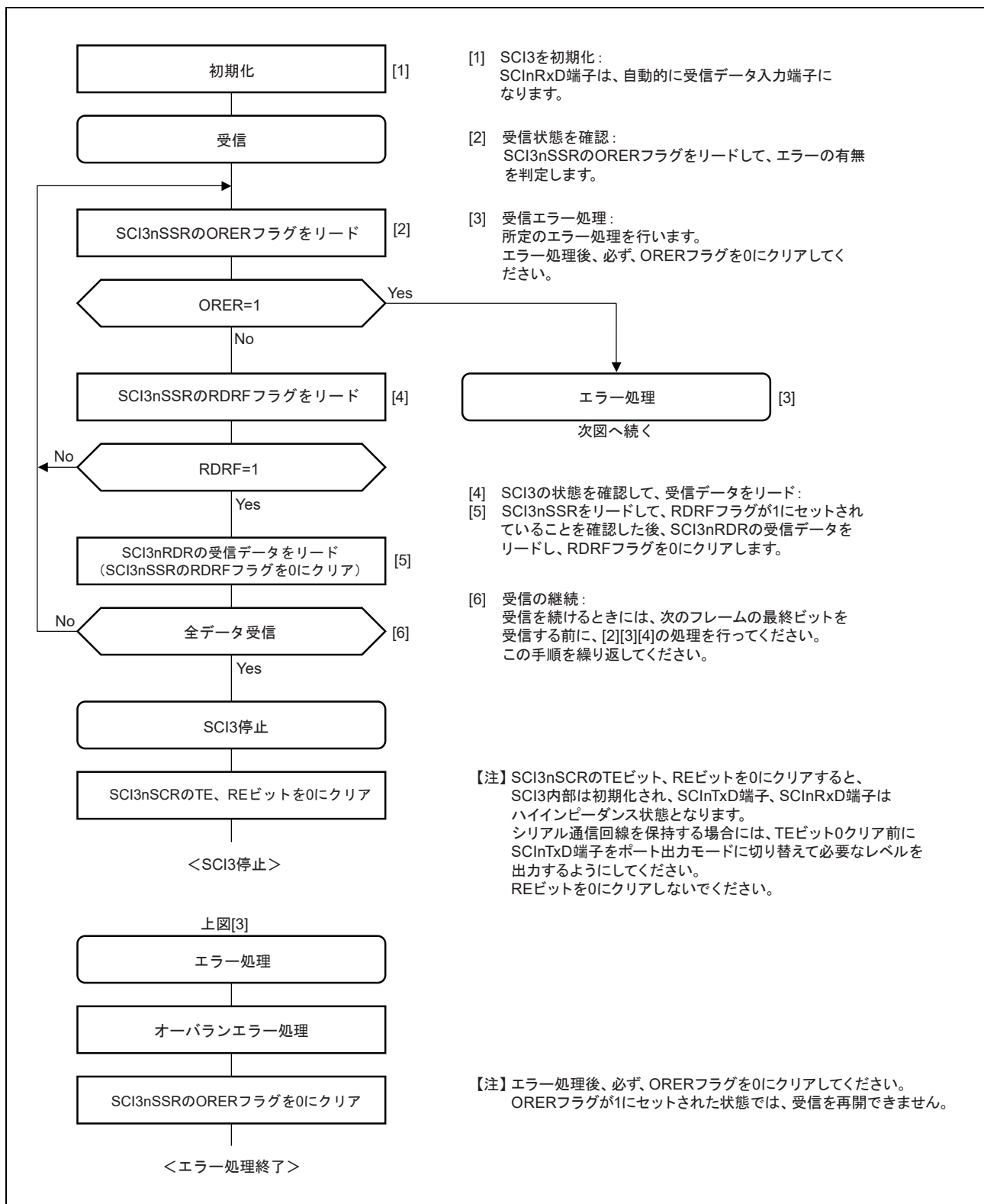


図 15.24 シリアル受信のフローチャートの例

15.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 15.25 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。

1. 送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE フラグおよび TEND フラグが 1 にセットされていることを確認した後、TE ビットを 0 にクリアしてから TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。
2. 受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから RDRF フラグおよびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。

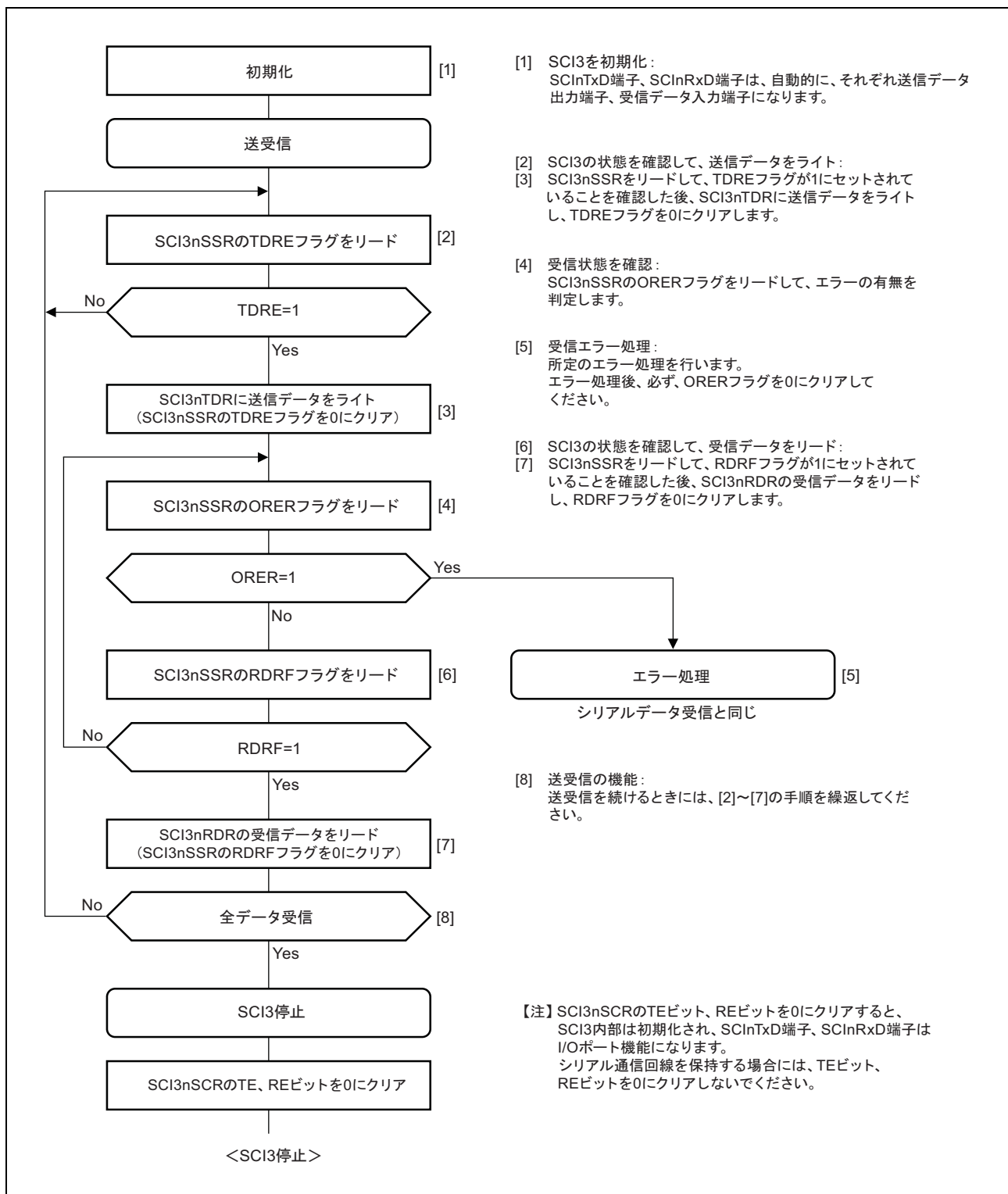


図 15.25 シリアル送受信同時動作のフローチャートの例

15.7 ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCI3nSMR の CKS1、CKS0 ビットで指定された内部クロックを、その 256 クロック中で SCI3nMDDR で指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで CKS1、CKS0 ビットで PCLK クロックを選択し、SCI3nBRR=0、SCI3nMDDR=160 に設定した例を、**図 15.26** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されます。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意してください。

クロック同期式モードの最高速設定 (SCI3nSMR の CKS1 ビット =CKS0 ビット =0、かつ SCI3nSCR の CKE1 ビット =0、かつ SCI3nBRR=0) では、本機能を使用しないでください。

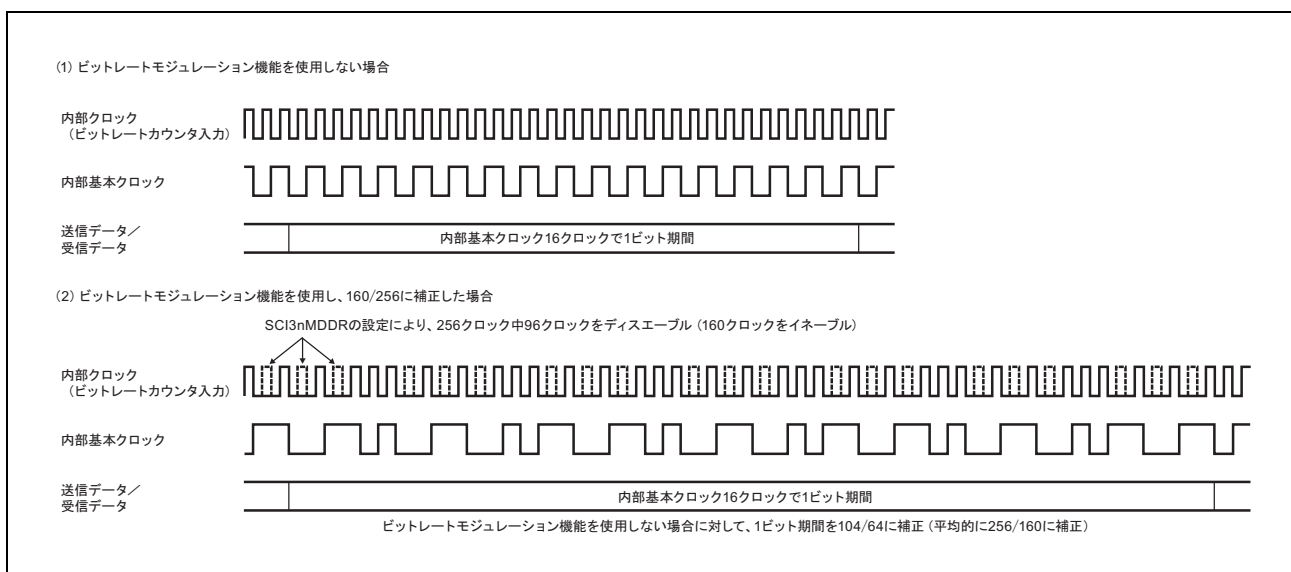


図 15.26 ビットレートモジュレーション機能使用時の内部基本クロックの例

15.8 割り込み要因

表 15.26 に割り込み要因を示します。各割り込み要因は独立した割り込み要求信号を出力しています。これらの割り込み要因は、SCI3nSCR のイネーブルビットにより独立にイネーブリングにすることができます。

SCI3nSSR の TDRE フラグが 1 にセットされると、INTSCI3nTXI 割り込み要求が発生します。また、SCI3nSSR の TEND フラグが 1 にセットされると、INTSCI3nTEI 割り込み要求が発生します。INTSCI3nTXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

注 意

SCI3nSCR の TE ビットが 0 のときには、TDRE フラグと TEND フラグを 0 にクリアすることはできません。TEND フラグは INTSCI3nTEI 割り込みのレベル割り込み要求フラグのため、TE ビットが 0 のときは、SCI3nSCR の TEIE ビットを 1 にセットしないでください。

SCI3nSSR の RDRF フラグが 1 にセットされると INTSCI3nRXI 割り込み要求が発生します。SCI3nSSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、INTSCI3nERI 割り込み要求が発生します。INTSCI3nRXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

INTSCI3nTEI 割り込み要求は TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。

注 意

INTSCI3nTEI 割り込み要求と INTSCI3nTXI 割り込み要求が同時に発生している状態では INTSCI3nTXI 割り込み要求が先に受け付けられます。このとき、INTSCI3nTXI 割り込み処理ルーチンで TDRE フラグを 0 にクリアすると、自動的に TEND フラグも 0 にクリアされ、INTSCI3nTEI 割り込み処理ルーチンへ分岐できなくなりますので注意してください。

表 15.26 SCI3 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	DTS の起動
INTSCI3nERI	受信エラー	ORER、FER、PER	不可	不可
INTSCI3nRXI	受信データフル	RDRF	可	可
INTSCI3nTXI	送信データエンプティ	TDRE	可	可
INTSCI3nTEI	送信終了	TEND	不可	不可

15.9 使用上の注意事項

15.9.1 ブレークの検出と処理

フレーミングエラー検出時に、SCI3nSEMR の RXDMON ビットの値をリードすることでブレークを検出できます。ブレークでは SCI3nRxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、また PER フラグもセットされる可能性があります。SCI3 は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0 にクリアしてもふたたび FER フラグが 1 にセットされますので注意してください。

15.9.2 マーク状態とブレーク送出

TE ビットが 0 のとき（通信動作禁止時）、SCI3nTxD 端子を汎用出力ポートに切り替えることで、SCI3nTxD 端子から任意のレベルが出力可能です。これを利用して SCI3nTxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

15.9.3 クロック同期式モードの受信エラーフラグと送信動作

クロック同期式送受信同時動作時、受信エラーフラグ (ORER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

15.9.4 SCI3nTDR へのライトと TDRE フラグの関係

SCI3nSSR の TDRE フラグは SCI3nTDR から SCI3nTSR に送信データの転送が行われたことを示すステータスフラグです。SCI3 が SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCI3nTDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCI3nTDR にライトすると、SCI3nTDR に格納されていたデータは SCI3nTSR に転送されていないため失われてしまいます。したがって SCI3nTDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

15.9.5 クロック同期式モード送信での外部クロック使用の制約事項

同期クロックに外部クロックを使用する場合、TDRE フラグを 0 にクリアした後に送信クロックを入力してください (図 15.27 参照)。連続送信時においても、TDRE フラグを 0 にクリアした後に次のフレームの送信クロックを入力してください。

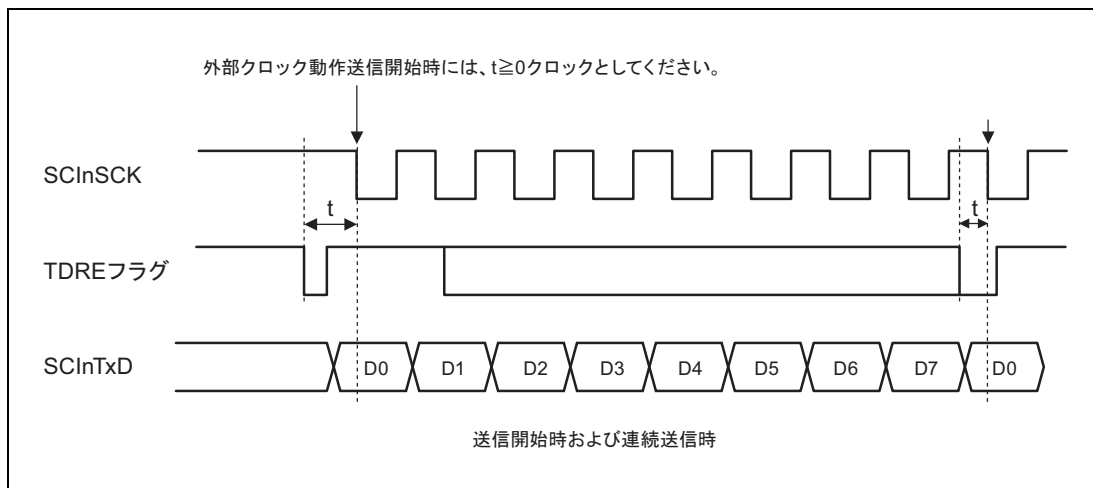


図 15.27 クロック同期式モード送信での外部クロック使用の制約事項

15.9.6 クロック同期式モードの外部クロック入力

クロック同期式モード時、外部クロック SCInSCK 入力は、**37.9.7 SCI3 タイミング**を参照してください。

第16章 LIN/UART インタフェース (RLIN3)

本章では、LIN/UART インタフェース (RLIN3) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、RLIN3 の機能、レジスタについて説明します。

16.1 RH850/P1x RLIN3 の特長

16.1.1 ユニット数とチャンネル数

本製品は、以下に示すユニット数の RLIN3 を搭載しています。

RLIN3 1 ユニットは 1 チャンネルのインタフェースを持っています。本章のユニット数とチャンネル数は同義です。

表 16.1 ユニット数

製品名	RH850/P1x 100 pin	RH850/P1x 144 pin
ユニット数	2	2
名称	RLIN3n (n = 0, 1)	RLIN3n (n = 0, 1)

表 16.2 RLIN3 のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) RLIN3n	ユニット チャンネル数	RH850/P1x 100pin (2ch)	RH850/P1x 144pin (2ch)
RLIN30	1	○	○
RLIN31	1	○	○

備考 チャンネル名はユニット名と同じです。

表 16.3 添字

添字	意味
n	本章では、RLIN3 の各ユニットを「n」(n = 0, 1) で識別します。たとえば、LIN 制御レジスタは RLIN3nLCUC と記述します。
b	RLIN3n の送信 / 受信用のデータバッファを「b」(b = 1 ~ 8) で識別します。たとえば 1 段目のデータバッファレジスタは、RLIN3nLDBR1 と記述します。

各製品の添字が示す値を以下に示します。

表 16.4 各製品の添字対応

各製品の添字対応
全製品
b = 1 ~ 8

16.1.2 レジスタベースアドレス

RLIN3 のベースアドレスを以下の表に示します。

RLIN3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 16.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN30_base>	FFDF 8000 _H
<RLIN31_base>	FFDF 9000 _H

16.1.3 クロック供給

RLIN3 のクロック供給を以下の表に示します。

表 16.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RLIN3n	LIN 通信クロック源	高速周辺クロック CLK_HSB

16.1.4 割り込み要求

RLIN3 の割り込み要求を以下の表に示します。

表 16.7 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号
RLIN30			
INTRLIN3nUR2 (n=0)	RLIN30 ステータス割り込み	114	—
INTRLIN3nUR1 (n=0)	RLIN30 受信完了割り込み	115	95
INTRLIN3nUR0 (n=0)	RLIN30 送信割り込み	116	96
RLIN31			
INTRLIN3nUR2 (n=1)	RLIN31 ステータス割り込み	117	—
INTRLIN3nUR1 (n=1)	RLIN31 受信完了割り込み	118	97
INTRLIN3nUR0 (n=1)	RLIN31 送信割り込み	119	98

16.1.5 リセット要因

RLIN3 のリセット要因を以下に示します。RLIN3 は以下のリセット要因で初期化されます。

表 16.8 リセット要因

ユニット名	リセット要因
RLIN3n	リセットコントローラ SYSRES

16.1.6 外部入出力信号

RLIN3 の外部入出力信号を以下の表に示します。

表 16.9 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
RLIN30		
RLIN3nRX (n=0)	RLIN30 受信データ入力	RLIN30RX
RLIN3nTX (n=0)	RLIN30 送信データ出力	RLIN30TX
RLIN31		
RLIN3nRX (n=1)	RLIN31 受信データ入力	RLIN31RX
RLIN3nTX (n=1)	RLIN31 送信データ出力	RLIN31TX

16.1.7 端子名とポート名の組み合わせ

表 16.10 端子名とポート名の組み合わせ

機能	端子名	ポート名					
		グループ1	グループ2	グループ3	グループ4	グループ5	グループ6
RLIN30	RLIN30RX	P1_1	P3_4	P4_0	P5_10	P5_14	P5_14
	RLIN30TX	P1_0 ^{注1}	P3_5	P4_1	P5_11 ^{注1}	P5_15 ^{注1}	P0_0
RLIN31	RLIN31RX	P2_5	P0_1	P5_15 ^{注1}	P5_12 ^{注1}	—	—
	RLIN31TX	P2_4	P3_11	P3_11	P5_13 ^{注1}	—	—

注 1. 144pin 版で使用可能

16.2 概要

16.2.1 機能概要

LIN/UART インタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602 に対応したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

また、UART モードを持っており、UART として使用することもできます。

LIN マスタ、UART の用途に応じて、以下のモードを使用します。

LIN マスタ

- LIN リセットモード
- LIN モード (LIN マスタモード)
 - LIN ウェイクアップモード
 - LIN 動作モード
- LIN セルフテストモード

UART

- LIN リセットモード
- UART モード

表 16.11 に LIN/UART インタフェースの仕様を示します。

表 16.11 LIN/UART インタフェースの仕様 (1/2)

項目		仕様	
チャンネル数	2 チャンネル		
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602	
	フレーム構成可変	マスタ	<ul style="list-style-type: none"> 送信ブレーク幅：13～28 Tbit 送信ブレークデリミタ幅：1～4 Tbit 送信インタバイトスペース幅（ヘッダ）：0～7 Tbit（Sync フィールドと ID フィールド間のスペース）^{注1} 送信レスポンススペース幅：0～7 Tbit^{注1} 送信インタバイトスペース幅：0～3 Tbit（レスポンス領域内のデータバイト間のスペース） 送信ウエイクアップ幅：1～16 Tbit
	チェックサム	<ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能（フレームごとに変更可能） 	
	レスポンスフィールドデータバイト数	0～8 バイト可変 9 バイト以上の多バイト・レスポンス送受信にも対応	
	フレーム通信方法	マスタ	<ul style="list-style-type: none"> ヘッダ送信とレスポンス送信／受信を 1 つの送信開始要求により通信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）
	ウエイクアップ送受信	LIN ウエイクアップモードで使用可能 <ul style="list-style-type: none"> ウエイクアップ送信機能（1～16 Tbit） ウエイクアップ受信 入力信号ロウレベル幅カウント機能 	
	ステータス	マスタ	<ul style="list-style-type: none"> フレーム／ウエイクアップ送信完了 ヘッダ送信完了 フレーム／ウエイクアップ受信完了^{注2} データ 1 受信完了 エラー検出 動作モード（LIN リセットモード、LIN ウエイクアップモード、LIN 動作モード、LIN セルフテストモード）
	エラーステータス	マスタ	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー／レスポンスタイムアウトエラー フィジカルバスエラー フレーミングエラー レスポンス準備エラー
	ポーレート選択	ポーレートジェネレータで LIN 仕様のポーレートを生成可能	
	テストモード	ユーザ評価用セルフテストモード	
割り込み機能	マスタ	<ul style="list-style-type: none"> ヘッダ／フレーム／ウエイクアップ送信完了 フレーム／ウエイクアップ受信完了^{注2} エラー検出 	

表 16.11 LIN/UART インタフェースの仕様 (2/2)

項目	仕様	
UART 通信機能	データバッファ	<ul style="list-style-type: none"> 送信データバッファ/ウェイト用送信データバッファ (送信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応) UART バッファ (送信専用。データ長 1～9 で可変。キャラクタ長 7、8 ビットに対応) 受信データバッファ (受信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応)
	データフォーマット	キャラクタ長：7、8 ビット 拡張ビットにより、9 ビット対応可能
		送信ストップビット：1、2 ビット
		パリティ機能：奇数、偶数、0、なし
		LSB / MSB ファースト転送選択可能
		送受信データの反転入出力が可能
	ステータス	<ul style="list-style-type: none"> 送信ステータス 受信ステータス UART バッファ送信完了 エラー検出 拡張ビット検出 ID 一致 リセットモードステータス
	エラーステータス	<ul style="list-style-type: none"> ビットエラー フレーミングエラー パリティエラー オーバランエラー
	ボーレート 選択	ボーレートジェネレータ内蔵により任意のボーレートを設定可能
	任意の拡張ビットが期待するレベルであった場合、受信データをあらかじめ設定したレジスタ内のデータと 8 ビット比較が可能	
受信のストップビットを保証 (送信開始時に受信のストップビット中の場合、送信開始をウェイト可能)		
割り込み機能	<ul style="list-style-type: none"> 送信開始 / 完了 受信完了 ステータス/エラー検出 	

注 1. 同一レジスタで設定するため、インタバイトスペース (ヘッダ) = レスポンススペースとなります。

注 2. ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

16.2.2 ブロック図

図 16.1 に LIN/UART インタフェースのブロック図を示します。

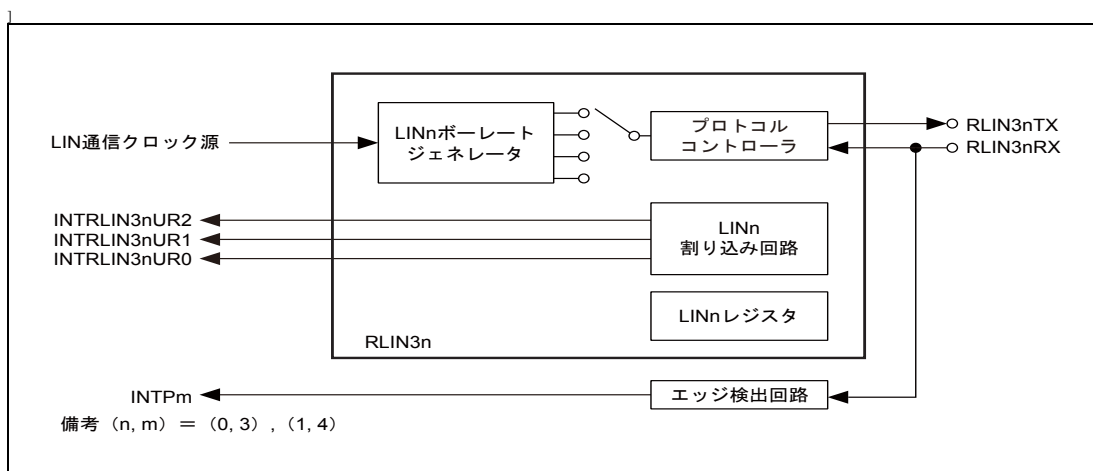


図 16.1 LIN/UART インタフェースブロック図

16.2.3 ブロック図の説明

- RLIN3nTX, RLIN3nRX : LIN/UART インタフェースの入出力端子です。
- LINn ボーレートジェネレータ : LIN/UART インタフェースの通信クロックを生成します。
- LINn レジスタ : LIN/UART インタフェースのレジスタです。
- LINn 割り込み制御回路 : LIN/UART インタフェースによって生成される割り込み要求を制御します。

16.3 レジスタ

16.3.1 レジスタ一覧

RLIN3 のレジスタ一覧を以下の表に示します。

<RLIN3n_base> は「16.1.2 レジスタベースアドレス」を参照してください。

表 16.12 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	LIN マスタ	UART
RLN3n	LIN ウェイクアップポーレート選択レジスタ	RLN3nLWBR	<RLIN3n_base> + 01 _H	○	○
RLN3n	LIN/UART ポーレートプリスケアラ 01 レジスタ	RLN3nLBRP01	<RLIN3n_base> + 02 _H	—	○
RLN3n	LIN/UART ポーレートプリスケアラ 0 レジスタ	RLN3nLBRP0	<RLIN3n_base> + 02 _H	○	○
RLN3n	LIN/UART ポーレートプリスケアラ 1 レジスタ	RLN3nLBRP1	<RLIN3n_base> + 03 _H	○	○
RLN3n	LIN セルフテスト制御レジスタ	RLN3nLSTC	<RLIN3n_base> + 04 _H	○	—
RLN3n	LIN/UART モードレジスタ	RLN3nLMD	<RLIN3n_base> + 08 _H	○	○
RLN3n	LIN ブレークフィールド設定レジスタ / UART 設定レジスタ	RLN3nLBFC	<RLIN3n_base> + 09 _H	○	○
RLN3n	LIN/UART スペース設定レジスタ	RLN3nLSC	<RLIN3n_base> + 0A _H	○	○
RLN3n	LIN ウェイクアップ設定レジスタ	RLN3nLWUP	<RLIN3n_base> + 0B _H	○	—
RLN3n	LIN 割り込み許可レジスタ	RLN3nLIE	<RLIN3n_base> + 0C _H	○	—
RLN3n	LIN/UART エラー検出許可レジスタ	RLN3nLEDE	<RLIN3n_base> + 0D _H	○	○
RLN3n	LIN/UART 制御レジスタ	RLN3nLCUC	<RLIN3n_base> + 0E _H	○	○
RLN3n	LIN/ UART 送信制御レジスタ	RLN3nLTRC	<RLIN3n_base> + 10 _H	○	○
RLN3n	LIN/UART モードステータスレジスタ	RLN3nLMST	<RLIN3n_base> + 11 _H	○	○
RLN3n	LIN/UART ステータスレジスタ	RLN3nLST	<RLIN3n_base> + 12 _H	○	○
RLN3n	LIN/UART エラーステータスレジスタ	RLN3nLEST	<RLIN3n_base> + 13 _H	○	○
RLN3n	LIN/UART データフィールド設定レジスタ	RLN3nLDFC	<RLIN3n_base> + 14 _H	○	○
RLN3n	LIN/UART ID バッファレジスタ	RLN3nLIDB	<RLIN3n_base> + 15 _H	○	○
RLN3n	LIN チェックサムバッファレジスタ	RLN3nLCBR	<RLIN3n_base> + 16 _H	○	—
RLN3n	UART データバッファ 0 レジスタ	RLN3nLUDB0	<RLIN3n_base> + 17 _H	—	○
RLN3n	LIN/UART データバッファ 1 レジスタ	RLN3nLDBR1	<RLIN3n_base> + 18 _H	○	○
RLN3n	LIN/UART データバッファ 2 レジスタ	RLN3nLDBR2	<RLIN3n_base> + 19 _H	○	○
RLN3n	LIN/UART データバッファ 3 レジスタ	RLN3nLDBR3	<RLIN3n_base> + 1A _H	○	○
RLN3n	LIN/UART データバッファ 4 レジスタ	RLN3nLDBR4	<RLIN3n_base> + 1B _H	○	○
RLN3n	LIN/UART データバッファ 5 レジスタ	RLN3nLDBR5	<RLIN3n_base> + 1C _H	○	○
RLN3n	LIN/UART データバッファ 6 レジスタ	RLN3nLDBR6	<RLIN3n_base> + 1D _H	○	○
RLN3n	LIN/UART データバッファ 7 レジスタ	RLN3nLDBR7	<RLIN3n_base> + 1E _H	○	○
RLN3n	LIN/UART データバッファ 8 レジスタ	RLN3nLDBR8	<RLIN3n_base> + 1F _H	○	○
RLN3n	UART オペレーション許可レジスタ	RLN3nLUOER	<RLIN3n_base> + 20 _H	—	○
RLN3n	UART オプションレジスタ 1	RLN3nLUOR1	<RLIN3n_base> + 21 _H	—	○
RLN3n	UART 送信データレジスタ	RLN3nLUTDR	<RLIN3n_base> + 24 _H	—	○
RLN3n	UART 送信データレジスタ L	RLN3nLUTDRL	<RLIN3n_base> + 24 _H	—	○
RLN3n	UART 送信データレジスタ H	RLN3nLUTDRH	<RLIN3n_base> + 25 _H	—	○
RLN3n	UART 受信データレジスタ	RLN3nLURDR	<RLIN3n_base> + 26 _H	—	○
RLN3n	UART 受信データレジスタ L	RLN3nLURDRL	<RLIN3n_base> + 26 _H	—	○
RLN3n	UART 受信データレジスタ H	RLN3nLURDRH	<RLIN3n_base> + 27 _H	—	○
RLN3n	UART ウェイト用送信データレジスタ	RLN3nLUWTDRL	<RLIN3n_base> + 28 _H	—	○
RLN3n	UART ウェイト用送信データレジスタ L	RLN3nLUWTDRL	<RLIN3n_base> + 28 _H	—	○
RLN3n	UART ウェイト用送信データレジスタ H	RLN3nLUWTDRLH	<RLIN3n_base> + 29 _H	—	○

備考 ○ : 使用、— : 未使用

未使用のレジスタに書き込みを行う場合は、リセット後の値を書いてください。

16.3.2 LIN マスタ関連レジスタ

16.3.2.1 RLN3nLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.13 RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0000: 16 サンプリング 1111: 16 サンプリング 上記以外は設定しないでください。
3 ~ 1	LPRS[2:0]	プリスケラクロック選択ビット b3 b1 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128
0	LWBR0	ウェイクアップボーレート選択ビット 0: LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定どおりのクロックが使用される (LIN1.3 使用時) 1: LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定によらずクロック fa が使用される (LIN2.x 使用時)

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

NSPB[3:0] ビット (ビットサンプリング数選択ビット)

1 Tbit (ボーレートの逆数) のサンプリング数を選択するビットです。

LIN マスタモード (LIN モードレジスタの LIN/UART モード選択ビットが 00_B) で使用するときは、これらのビットを“0000_B”または“1111_B” (16 サンプリング) に設定してください。

LPRS[2:0] ビット (プリスケラクロック選択ビット)

プリスケラの分周比を選択するビットです。

このプリスケラにより LIN 通信クロック源を分周します。

LWBR0 ビット (ウェイクアップポーレート選択ビット)

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.x 使用時は“1”にしてください。1”にすることで LIN ウェイクアップモード中は RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) は fa が選択されます (LCKS ビットは変化しません)。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のポーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130μs 以上の入力信号ロウレベル幅を検出することができます。

16.3.2.2 RLN3nLBRP0 — LIN ポーレートプリスケアラ 0 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 02_H

リセット後の値 00_H

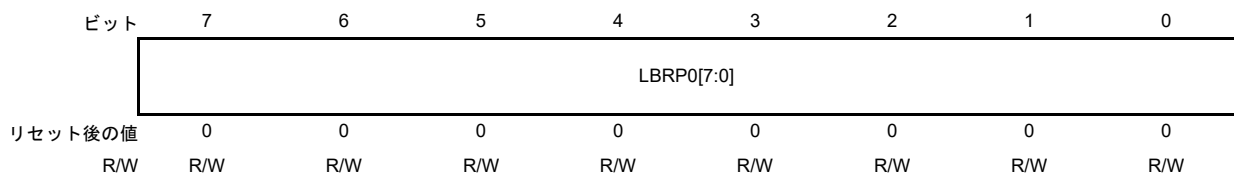


表 16.14 RLN3nLBRP0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LBRP0[7:0]	設定値を N (0 ~ 255) とすると、ポーレートプリスケアラはプリスケアラクロックのクロックを N+1 分周する 設定範囲: 00 _H ~ FF _H

RLN3nLBRP0 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ポーレートクロックソース“fa”、“fb”、“fc”の周波数制御に使用されます。

このレジスタの設定値を N とすると、ポーレートプリスケアラ 0 は LPRS ビット (プリスケアラクロック選択ビット) で分周したクロックを N+1 分周します。

RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタは、RLN3nLBRP01 として 16 ビットアクセス可能です。

16.3.2.3 RLN3nLBRP1 — LIN ボーレートプリスケアラ 1 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 03_H

リセット後の値 00_H

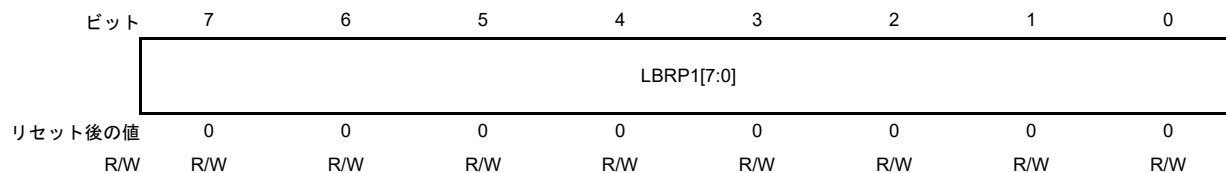


表 16.15 RLN3nLBRP1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LBRP1[7:0]	設定値を M (0 ~ 255) とすると、ボーレートプリスケアラはプリスケアラクロックのクロックを M+1 分周する 設定範囲 : 00 _H ~ FF _H

RLN3nLBRP1 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fd” の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケアラ 1 は LPRS ビット (プリスケアラクロック選択ビット) で分周したクロックを M+1 分周します。

RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタは、RLN3nLBRP01 として 16 ビットアクセス可能です。

16.3.2.4 RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.16 RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	—	“A7 _H ” → “58 _H ” → “01 _H ” の連続書き込みにより、LIN セルフテストモードへエントリーします。
0	LSTM	LIN セルフテストモードビット 0 : LIN セルフテストモードではない 1 : LIN セルフテストモード

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

“A7_H” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリーします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「16.9 LIN セルフテストモード」を参照してください。

ビット 6 ~ 1 を読み出すと “000000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット (LIN セルフテストモードビット)

LIN セルフテストモードに移行したとき、このビットは “1” になります。

LIN セルフテストモードからの終了方法は、「16.9 LIN セルフテストモード」を参照してください。

RLN3nLSTC レジスタへの “A7_H” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

16.3.2.5 RLN3nLMD — LIN モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base>+ 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	LCKS[1:0]		LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 16.17 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0 : ノイズフィルタを使用する 1 : ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0 : 割り込みを使用しない 1 : RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3, 2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0 : fa (ボーレートプリスケアラ 0 生成クロック) 0 1 : fb (ボーレートプリスケアラ 0 生成クロック /2) 1 0 : fc (ボーレートプリスケアラ 0 生成クロック /8) 1 1 : fd (ボーレートプリスケアラ 1 生成クロック /2)
1, 0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 0 0 : LIN マスタモード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LRDNFS ビット (LIN 受信データノイズフィルタ禁止ビット)

データ受信時のノイズフィルタの有効/無効を選択するビットです。

“0”の場合、データ受信時のノイズフィルタは有効です。

“1”の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット (LIN 割り込み出力選択ビット)

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。

“0”の場合、LIN/UART インタフェースからの割り込みは発生しません。

“1”の場合、LIN/UART インタフェースから RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みが発生します。

各割り込みの要因は、「16.4 割り込み要因」を参照してください。

LCKS[1:0] ビット (LIN システムクロック選択ビット)

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B”の場合、プロトコルコントローラには fa (ボーレートプリスケアラ 0 生成クロック) が入力されます。

“01_B”の場合、プロトコルコントローラには fb (ボーレートプリスケアラ 0 生成クロック / 2) が入力されます。

“10_B”の場合、プロトコルコントローラには fc (ボーレートプリスケアラ 0 生成クロック / 8) が入力されます。

“11_B”の場合、プロトコルコントローラには fd (ボーレートプリスケアラ 1 生成クロック / 2) が入力されます。

RLN3nLWBR レジスタの LWBR0 ビットが “1_B” (LIN 2.x 使用時) かつ RLN3nLMST レジスタが “01_H” (LIN ウェイクアップモード) の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます (LCKS ビットは変化しません)。

LMD[1:0] ビット (LIN/ UART モード選択ビット)

LIN/UART インタフェースのモードを選択するビットです。

LIN マスタとして使用する場合は、これらのビットを “00_B” に設定してください。

16.3.2.6 RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 16.18 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5, 4	BDT[1:0]	送信ブレークデリミタ (ハイレベル) 幅設定ビット b5 b4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits
3 ~ 0	BLT[3:0]	送信ブレーク (ロウレベル) 幅設定ビット b3 b0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット (送信ブレークデリミタ (ハイレベル) 幅設定ビット)

送信フレーム ヘッダ部のブレークデリミタ (ハイレベル) 幅の設定をします。
1 Tbit ~ 4 Tbits を設定できます。

BLT[3:0] ビット (送信ブレーク (ロウレベル) 幅設定ビット)

送信フレーム ヘッダ部のブレーク (ロウレベル) 幅の設定をします。
13 Tbits ~ 28 Tbits を設定できます。

16.3.2.7 RLN3nLSC — LIN スペース設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base>+ 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 16.19 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5, 4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	IBHS[2:0]	インタバイトスペース (ヘッダ) / レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット (インタバイトスペース設定ビット)

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。

レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

送信データバッファ (RLN3nLUTDR レジスタ) および ウェイト用送信データバッファ (RLN3nLUWTD R レジスタ) から送信を行う場合、これらのビットの設定は無効です。本場合、これらのビットは“00_B”に設定してください。

IBHS[2:0] ビット (インタバイトスペース (ヘッダ) / レスポンススペース設定ビット)

送信フレームヘッダ部のインタバイトスペース (ヘッダ) とレスポンススペースの幅の設定をします。0 Tbit ~ 7 Tbits を設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。インタバイトスペース (ヘッダ) とレスポンススペースの値は、同じになります。

16.3.2.8 RLN3nLWUP — LIN ウェイクアップ設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base>+ 0B_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 16.20 RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	WUTL[3:0]	ウェイクアップ送信 ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

WUTL[3:0] ビット (ウェイクアップ送信ロウレベル幅設定ビット)

ウェイクアップシグナル送信時のロウレベル幅を設定します。

1 Tbit ~ 16 Tbits を設定できます。

RLN3nLWBR レジスタの LWBR0 ビットが “1” (LIN 2.x 使用時) の場合、RLN3nLMD レジスタの LCKS ビットにかかわらず、LIN システムクロック (fLIN) は fa が選択されます (LCKS ビットは変化しません)。

16.3.2.9 RLN3nLIE — LIN 割り込み許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 16.21 RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SHIE	ヘッダ送信完了割り込み許可ビット 0: ヘッダ送信完了割り込み禁止 1: ヘッダ送信完了割り込み許可
2	ERRIE	エラー検出割り込み許可ビット 0: エラー検出割り込み禁止 1: エラー検出割り込み許可
1	FRCIE	フレーム/ウエイクアップ受信完了割り込み許可ビット 0: フレーム/ウエイクアップ受信完了割り込み禁止 1: フレーム/ウエイクアップ受信完了割り込み許可
0	FTCIE	フレーム/ウエイクアップ送信完了割り込み許可ビット 0: フレーム/ウエイクアップ送信完了割り込み禁止 1: フレーム/ウエイクアップ送信完了割り込み許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

SHIE ビット (ヘッダ送信完了割り込み許可ビット)

ヘッダ送信完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に RLIN3n 送信割り込み要求が発生します。

ERRIE ビット (エラー検出割り込み許可ビット)

エラーを検出したときの割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に RLIN3n ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、チェックサムエラー、レスポンス準備エラーです。

ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可/禁止の設定ができます。

FRCIE ビット (フレーム/ウェイクアップ受信完了割り込み許可ビット)

フレーム受信完了、または ウェイクアップシグナル受信 (入力信号ロウレベル幅カウント) 完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット (フレーム/ウェイクアップ送信完了割り込み許可ビット)

フレーム送信完了、または ウェイクアップシグナル送信完了時の割り込み要求の許可/禁止を設定します。

“0” の場合、RLN3nLST レジスタの FTC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FTC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生します。

16.3.2.10 RLN3nLEDE — LIN エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LTES	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 16.22 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0: フレームタイムアウトエラー 1: レスポンスタイムアウトエラー
6~4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	FTERE	タイムアウトエラー検出許可ビット 0: フレーム/レスポンスタイムアウトエラー検出禁止 1: フレーム/レスポンスタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0: フィジカルバスエラー検出禁止 1: フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット 0: ビットエラー検出禁止 1: ビットエラー検出許可

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

LTES ビット (タイムアウトエラー選択ビット)

タイムアウトを選択するビットです。

“0” の場合、タイムアウト機能はフレームタイムアウトとして動作します。

“1” の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「16.7.6 エラーステータス」を参照してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0” の場合、フレーミングエラーを検出しません。

“1” の場合、フレーミングエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FER フラグに反映されません。

フレーミングエラーの詳細は、「16.7.6 エラーステータス」を参照してください。

FTERE ビット (タイムアウトエラー検出許可ビット)

フレームタイムアウトエラー または レスポンスタイムアウトエラー検出の許可/禁止を設定します。

“0” の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出し

せん。

“1”の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの FTER フラグに反映されません。

LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。

タイムアウトエラーは、レスポンスを9バイト以上で送信 または 受信する場合には使用しないでください。

タイムアウトエラーの詳細は、「16.7.6 エラーステータス」を参照してください。

PBERE ビット (フィジカルバスエラー検出許可ビット)

フィジカルバスエラー検出の許可/禁止を設定します。

“0”の場合、フィジカルバスエラーを検出しません。

“1”の場合、フィジカルバスエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの PBER フラグに反映されません。

フィジカルバスエラーの詳細は、「16.7.6 エラーステータス」を参照してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0”の場合、ビットエラーを検出しません。

“1”の場合、ビットエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの BER フラグに反映されません。

ビットエラーの詳細は、「16.7.6 エラーステータス」を参照してください。

16.3.2.11 RLN3nLCUC — LIN 制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 16.23 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0: LIN ウェイクアップモード 1: LIN 動作モード
0	OM0	LIN リセットビット 0: LIN リセットモード 1: LIN リセットモード解除

LIN リセットモードを解除するとき、LIN ウェイクアップモードに移行させる場合は RLN3nLCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット (LIN モード選択ビット)

LIN リセットモード解除時の動作モード (LIN ウェイクアップモード、LIN 動作モード) 選択をするビットです。

“0”にすると、LIN ウェイクアップモードになります。

“1”にすると、LIN 動作モードになります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“1”のときのみ有効です。

このビットは、RLN3nLTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。

“1”にすると、LIN リセットモードは解除されます。

16.3.2.12 RLN3nLTRC — LIN 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 16.24 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信/受信開始ビット 0: フレームセパレートモードにおいてレスポンス送受信停止 1: フレームセパレートモードにおいてレスポンス送受信開始
0	FTS	フレーム送信/ウェイクアップ送受信開始ビット 0: フレーム送信/ウェイクアップ送受信停止 1: フレーム送信/ウェイクアップ送受信開始

RTS ビット (レスポンス送信/受信開始ビット)

フレームセパレートモードで、ヘッダを送信開始 (FTS ビットが“1”) し、レスポンス送信データ準備完了した後に、“1”にしてください。設定後、このビットはフレーム通信終了 (エラー検出時を含む) および LIN リセットモード移行時、自動的に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。

このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときは書けません。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ (0～8 バイトで可変) の送受信ごとに“1”に設定してください。設定後、データグループの通信終了時または LIN リセットモード移行時に自動的に“0”になります。

FTS ビット (フレーム送信/ウェイクアップ送受信開始ビット)

フレーム送信開始時、“1”にしてください。また、ウェイクアップ送信、ウェイクアップ受信 (入力信号ロウレベル幅カウント) を行う場合にも、このビットを“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときは書けません。

このビットは、フレームおよびウェイクアップの通信終了時 (エラー検出時を含む) に“0”になります。

LIN リセットモード移行時に“0”になります。

16.3.2.13 RLIN3nLMST — LIN モードステータスレジスタ

アクセス 8ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 16.25 RLIN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスマニタ 0 : LIN ウェイクアップモード 1 : LIN 動作モード
0	OMM0	LIN リセットステータスマニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM1 ビット (LIN モードステータスマニタ)

現在の動作モードが確認できます。

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

16.3.2.14 RLN3nLST — LIN ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 16.26 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0: 送信未完了 1: ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0: 受信未完了 1: データ 1 受信完了
4、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム/ウエイクアップ受信完了フラグ 0: 受信未完了 1: フレームまたはウエイクアップ受信完了
0	FTC	フレーム/ウエイクアップ送信完了フラグ 0: 送信未完了 1: フレームまたはウエイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時 および 次の通信開始 (RLN3nLTRC レジスタの FTS ビットが “1”) 時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

HTRC フラグ (ヘッダ送信完了フラグ)

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

ヘッダ送信完了時、“1” となります。このとき RLN3nLIE レジスタの SHIE ビットが “1” (割り込み許可) の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが “1”) 前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

D1RC フラグ (データ 1 受信完了フラグ)

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

データ1受信完了時、“1”となりますが割り込み要求は発生しません。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

9バイト以上のレスポンスデータ受信を行う場合は、データグループ (0～8バイトで可変) ごとにデータ1受信完了時、“1”となります。次のデータグループ受信開始前に“0”を書いてください。

ERR フラグ (エラー検出フラグ)

エラー検出 (RLN3nLEST レジスタのフラグのうち1つでも“1”) 時、“1”となります。このとき RLN3nLIE レジスタの ERRIE ビットが“1” (割り込み許可) の場合、RLIN3n ステータス割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTEP フラグ、PBER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ (フレーム/ウェイクアップ受信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーム受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN3nLIE レジスタの FRCIE ビットが“1” (割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

9バイト以上のレスポンスデータ受信を行う場合は、データグループ (0～8バイトで可変) の受信完了ごとに“1”となります。次のデータグループ受信開始前に“0”を書いてください。

FTC フラグ (フレーム/ウェイクアップ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN3nLIE レジスタの FTCIE ビットが“1” (割り込み許可) の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

9バイト以上のレスポンスデータ送信を行う場合は、データグループ (0～8バイトで可変) の送信完了ごとに“1”となります。次のデータグループ送信開始前に“0”を書いてください。

16.3.2.15 RLN3nLEST — LIN エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RPER	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 16.27 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0: レスポンス準備エラー未検出 1: レスポンス準備エラー検出
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0: チェックサムエラー未検出 1: チェックサムエラー検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	FTER	タイムアウトエラーフラグ 0: フレーム/レスポンスタイムアウトエラー未検出 1: フレーム/レスポンスタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0: フィジカルバスエラー未検出 1: フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、および次の通信開始 (RLN3nLTRC レジスタの FTS ビットが“1”) 時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

RLN3nLTRC レジスタの FTS ビットが“1” (フレーム送信/ウエイクアップ送受信開始) の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

RPER フラグ (レスポンス準備エラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

レスポンス準備エラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

CSER フラグ (チェックサムエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERF ビットが“1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER フラグ (タイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FTERE ビットが“1” (フレーム/レスポンスタイムアウトエラー検出許可) で、フレームタイムアウトエラー または レスポンスタイムアウトエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

PBER フラグ (フィジカルバスエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの PBERE ビットが“1” (フィジカルバスエラー検出許可) で、フィジカルバスエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが“1” (ビットエラー検出許可) で、ビットエラー検出時、“1”となります。次の通信が始まる (RLN3nLTRC レジスタの FTS ビットが“1”) 前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

16.3.2.16 RLIN3nLDFC — LIN データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LSS	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.28 RLIN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0: 次に送受信するデータグループは最終である。 1: 次に送受信するデータグループは最終ではない。 (チェックサムなし)
6	FSM	フレームセパレートモード選択ビット 0: フレームセパレートモードではない 1: フレームセパレートモード
5	CSM	チェックサム選択ビット 0: クラシック 1: エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0: 受信 1: 送信
3~0	RFDL[3:0]	レスポンスフィールド長設定ビット b3 b0 0000: 0バイト (+チェックサム) 0001: 1バイト (+チェックサム) 0010: 2バイト (+チェックサム) : 0111: 7バイト (+チェックサム) 1000: 8バイト (+チェックサム) 上記以外は設定しないでください。

LSS ビット (継続選択ビット)

9バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

“0”の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。

“1”の場合、次に送信または受信するデータグループが最後でないため、データのみを送信または受信を行ない、チェックサムは含みません。

このビットは、FSM ビットが“1” (フレームセパレートモード) で、かつ9バイト以上のレスポンスデータ送受信を行う場合にのみ設定してください。

このビットは、RLIN3nLTRC レジスタの RTS ビットが“0” (レスポンス送受信停止) のときに設定してください。

FSM ビット (フレームセパレートモード選択ビット)

レスポンス通信の方式を設定します。

“0”の場合、フレームセパレートモードになりません。ヘッダ送信開始 (RLIN3nLTRC レジスタの FTS ビットが“1”) 後、RLIN3nLTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1”の場合、フレームセパレートモードになります。ヘッダ送信中に RLN3nLTRC レジスタの RTS ビットを“1”にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。8 バイト以下のレスポンス受信 (RFT ビットが“0”) 時は、このビットを“0”に設定してください。

LIN セルフテストモードに移行する場合は、移行前にこのビットを“0”に設定してください。

フレームセパレートモードの詳細は「**16.7.3.1 LIN フレームの送信**」を参照してください。このビットは、RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウエイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、このビットを“1”にしてください。

CSM ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0”の場合、チェックサムの方式はクラシックとなります。

“1”の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する (RLN3nLEDE レジスタの FTERE ビットが“1”) 場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**16.7.6 エラーステータス**」を参照してください。

このビットは、RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウエイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ (LSS ビットが“0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが“1”) はチェックサムを含みません。

RFT ビット (レスポンスフィールド通信方向選択ビット)

レスポンスフィールド/ウエイクアップシグナルの通信方向を設定します。

“0”の場合、レスポンスフィールドで受信を行います。また、LIN ウエイクアップモードでは、ウエイクアップ受信 (入力信号ロウレベル幅カウント) を行います。

“1”の場合、レスポンスフィールドで送信を行います。また、LIN ウエイクアップモードでは、ウエイクアップ送信を行います。

このビットは、RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウエイクアップ送受信停止) のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は 0 ~ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。FSM ビットが“0” (フレームセパレートモードではない) で、レスポンス送信を行う場合は、ヘッダ送信前 (RLN3nLTRC レジスタの FTS ビットが“0”) に、これらのビットを設定してください。

FSM ビットが“1” (フレームセパレートモード) で、レスポンス送信を行う場合は、レスポンス送信前 (RLN3nLTRC レジスタの RTS ビットが“0”) に、これらのビットを設定してください。

レスポンスの受信を行う場合は、ヘッダ送信前 (RLN3nLTRC レジスタの FTS ビットが“0”) に、これらのビットを設定してください。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループの送受信前 (RLN3nLTRC レジスタの RTS ビットが “0”) に、これらのビットを設定してください。最後のデータグループ (LSS ビットが “0”) のみチェックサムを含み、それ以外のデータグループ (LSS ビットが “1”) はチェックサムを含みません。

16.3.2.17 RLN3nLIDB — LIN ID バッファレジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.29 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定
6	IDP0	パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定
5 ~ 0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN3nLTRC レジスタの FTS ビットが “0” (フレーム送信/ウエイクアップ送受信停止) のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書き込んでください。フレーム送受信完了後 (ループバック後)、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「16.9 LIN セルフテストモード」を参照してください。

IDP[1:0] ビット (パリティ設定ビット)

LIN フレームの ID フィールドで送信するパリティ (P0、P1) ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID[5:0] ビット (ID 設定ビット)

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

16.3.2.18 RLN3nLCBR — LIN チェックサムバッファレジスタ

アクセス	8ビット単位でリードのみ可能です。ただし、LINセルフテストモード時は、8ビット単位でリード/ライト可能です。							
アドレス	<RLIN3n_base> + 16 _H							
リセット後の値	00 _H							
ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.30 RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7～0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN モード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが“1”（送信）の場合：
送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
書き込みは無効になります。
- RLN3nLDFC レジスタの RFT ビットが“0”（受信）の場合：
受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
書き込みは無効になります。

LINセルフテストモード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが“1”（送信）の場合：
フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。
- RLN3nLDFC レジスタの RFT ビットが“0”（受信）の場合：
通信前に受信する値を書き込んでください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「**16.9 LINセルフテストモード**」を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

16.3.2.19 RLN3nLDBRb — LIN データバッファ b レジスタ (b = 1 ~ 8)

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN3nLDBR1 : <RLIN3n_base> + 18_H
 RLN3nLDBR2 : <RLIN3n_base> + 19_H
 RLN3nLDBR3 : <RLIN3n_base> + 1A_H
 RLN3nLDBR4 : <RLIN3n_base> + 1B_H
 RLN3nLDBR5 : <RLIN3n_base> + 1C_H
 RLN3nLDBR6 : <RLIN3n_base> + 1D_H
 RLN3nLDBR7 : <RLIN3n_base> + 1E_H
 RLN3nLDBR8 : <RLIN3n_base> + 1F_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.31 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲 : 00 _H ~ FF _H

- レスポンス送信の場合 :
 レスポンスフィールドで送信するデータを設定します。
 これらのレジスタは以下の状態で設定してください。
 - RLN3nLDFC レジスタの RFT ビットが“1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが“0” (フレームセパレートモードではない)
 - RLN3nLTRC レジスタの FTS ビットが“0” (フレーム送信/ウエイクアップ送受信停止)
 または
 - RLN3nLDFC レジスタの RFT ビットが“1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが“1” (フレームセパレートモード)
 - RLN3nLTRC レジスタの RTS ビットが“0” (レスポンス送信/受信停止)
- レスポンス受信の場合 :
 レスポンスフィールドで受信したデータが格納されます。
 受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。
 これらのレジスタは、FTS ビットが“1” (フレーム送信/ウエイクアップ送受信開始) のときに読み出さないでください。
- 9 バイト以上のレスポンス送信の場合 :
 これらのレジスタは以下の状態で設定してください
 - RLN3nLDFC レジスタの RFT ビットが“1” (送信)
 - RLN3nLDFC レジスタの FSM ビットが“1” (フレームセパレートモード)
 - RLN3nLTRC レジスタの RTS ビットが“0” (レスポンス送信/受信停止)
- 9 バイト以上のレスポンス受信の場合 :
 これらのレジスタは、RTS ビットが“1” (レスポンス送信/受信開始) のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**16.9 LIN セルフテストモード**」を参照してください。

16.3.3 UART 関連レジスタ

16.3.3.1 RLIN3nLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]		—	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 16.32 RLIN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7 b4 0000: 16 サンプリング 0101: 6 サンプリング 0110: 7 サンプリング 0111: 8 サンプリング 1000: 9 サンプリング 1001: 10 サンプリング 1010: 11 サンプリング 1011: 12 サンプリング 1100: 13 サンプリング 1101: 14 サンプリング 1110: 15 サンプリング 1111: 16 サンプリング 上記以外は設定しないでください。
3 ~ 1	LPRS[2:0]	プリスケークロック選択ビット b3 b1 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

LN3nLWBR レジスタは RLIN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

NSPB[3:0] ビット (ビットサンプリング数選択ビット)

1 Tbit (ボーレートの逆数) のサンプリング数を選択するビットです。
UART モードでは、これらのビットを 6 ~ 16 サンプリングで設定可能です。

LPRS[2:0] ビット (プリスケークロック選択ビット)

プリスケークラの分周比を選択するビットです。
このプリスケークラにより LIN 通信クロック源を分周します。

16.3.3.2 RLN3nLBRP01 — UART ボーレートプリスケアラ 01 レジスタ

アクセス RLN3nLBRP01 レジスタは 16 ビット単位でリード/ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード/ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLBRP01: <RLIN3n_base> + 02_H
RLN3nLBRP0: <RLIN3n_base> + 02_H
RLN3nLBRP1: <RLIN3n_base> + 03_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.33 RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	BRP[15:0]	設定値を L(0 ~ 65535) とすると、ボーレートプリスケアラはプリスケアラクロックを L+1 分周する。 設定範囲 : 0000 _H ~ FFFF _H

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0B”(LIN リセットモード)のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケアラは RLN3nLWBR レジスタの LPRS ビット (プリスケアラクロック選択ビット) で分周したクロックを L+1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

16.3.3.3 RLN3nLMD — UART モードレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	—	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R/W	R/W

表 16.34 RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	UART 受信データノイズフィルタ禁止ビット 0 : ノイズフィルタを使用する 1 : ノイズフィルタを使用しない
4 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	LMD[1:0]	LIN/UART モード選択ビット b1 b0 0 1 : UART モード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

LRDNFS ビット (UART 受信データノイズフィルタ禁止ビット)

データ受信時のノイズフィルタの有効/無効を選択するビットです。

“0” の場合、データ受信時のノイズフィルタは有効です。

“1” の場合、データ受信時のノイズフィルタは無効です。

LMD[1:0] ビット (LIN/UART モード選択ビット)

LIN/UART インタフェースのモードを選択するビットです。

UART として使用する場合は、これらのビットを“01_B”に設定してください。

16.3.3.4 RLN3nLBFC — UART 設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	UTPS	URPS	UPS[1:0]		USBLS	UBOS	UBLS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.35 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UTPS	UART 出力極性切り換えビット 0: 送信データ通常出力 1: 送信データ反転出力
5	URPS	UART 入力極性切り換えビット 0: 受信データ通常入力 1: 受信データ反転入力
4、3	UPS[1:0]	UART パリティ選択ビット 00: パリティ禁止 01: 偶数パリティ 10: 0パリティ 11: 奇数パリティ
2	USBLS	UART ストップビット長選択ビット 0: ストップビット: 1ビット 1: ストップビット: 2ビット
1	UBOS	UART 転送フォーマット順選択ビット 0: LSB ファースト 1: MSB ファースト
0	UBLS	UART キャラクタ長選択ビット 0: UART 8ビット通信 1: UART 7ビット通信

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

UTPS ビット (UART 出力極性切り替えビット)

UART 通信の出力極性を設定します。

“0” の場合、送信データをそのまま出力します。

“1” の場合、送信データを反転して出力します。

このビットの設定は、UART フレームの全てのビットで有効です。

半二重通信で使用するときは、URPS ビットと設定を合わせてください。

URPS ビット (UART 入力極性切り替えビット)

UART 通信の入力極性を設定します。

“0” の場合、受信データをそのまま取り込みます。

“1” の場合、受信データを反転して取り込みます。

このビットの設定は、UART フレームのすべてのビットで有効です。

半二重通信で使用するときには、UTPS ビットと設定を合わせてください。

このビットに "1" を設定して、拡張ビット受信 ((拡張ビット比較あり) または (データ比較あり)) を行う場合は、受信した値の反転値で比較を行うため、期待値の反転値を RLN3nLUOR1 レジスタの UEBDL ビット、RLN3nLIDB レジスタに設定してください。

UPS[1:0] ビット (UART パリティ選択ビット)

UART のパリティを設定します。

- “00_b” の場合、パリティなしで通信します。

【送信】

送信データにパリティビットを付加しません。

【受信】

パリティ処理なしで受信します。そのため、パリティエラーは発生しません。

- “01” の場合、偶数パリティで通信します。

【送信】

送信データ内の “1” の個数が奇数の場合、パリティビットに “1” を付加し、送信データ内の “1” の個数が偶数の場合、パリティビットに “0” を付加します。

【受信】

パリティビットを含めた受信データ内の “1” の個数が、奇数の場合にパリティエラーが発生します。

- “10” の場合、0 パリティで通信します。

【送信】

送信データ内の “1” の個数にかかわらず、パリティビットに “0” を付加します。

【受信】

パリティビットの値を判定しません。そのため、パリティエラーは発生しません。

- “11” の場合、奇数パリティで通信します。

【送信】

送信データ内の “1” の個数が奇数の場合、パリティビットに “0” を付加し、送信データ内の “1” の個数が偶数の場合、パリティビットに “1” を付加します。

【受信】

パリティビットを含めた受信データ内の “1” の個数が、偶数の場合にパリティエラーが発生します。

USBSL ビット (UART ストップビット長選択ビット)

UART 通信のストップビット長を設定します。
 “0” の場合、1 ビットのストップビット長で送信します。
 “1” の場合、2 ビットのストップビット長で送信します。

UBOS ビット (UART 転送フォーマット選択ビット)

UART 通信データのビットオーダを設定します。
 “0” の場合、LSB ファーストで通信します。
 “1” の場合、MSB ファーストで通信します。

UBLS ビット (UART キャラクタ長選択ビット)

UART 通信 1 フレームのキャラクタ長を設定します。
 “0” の場合、8 ビット
 “1” の場合、7 ビット
 1 フレームのキャラクタ長を 9 ビットで使用する場合 (RLN3nLUOR1 レジスタの UEBE ビットが “1”) は、このビットの設定は無効です。

16.3.3.5 RLN3nLSC — UART スペース設定レジスタ

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0A_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 16.36 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

IBS[1:0] ビット (インタバイトスペース設定ビット)

UART バッファによる送信時、UART フレーム間のスペースの幅の設定をします。
 0 Tbit ~ 3 Tbits を設定できます。

16.3.3.6 RLN3nLEDE — UART エラー検出許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0D_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	OERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R/W

表 16.37 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
4～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可
2	OERE	オーバランエラー検出許可ビット 0: オーバランエラー検出禁止 1: オーバランエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット 0: ビットエラー検出禁止 1: ビットエラー検出許可

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出の許可/禁止を設定します。

“0” の場合、フレーミングエラーを検出しません。

“1” の場合、フレーミングエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FER フラグに反映されません。

フレーミングエラーの詳細は、「16.8.5 エラーステータス」を参照してください。

OERE ビット (オーバランエラー検出許可ビット)

オーバランエラー検出の許可/禁止を設定します。

“0” の場合、オーバランエラーを検出しません。

“1” の場合、オーバランエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの OER フラグに反映されません。

オーバランの詳細は、「16.8.5 エラーステータス」を参照してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの BER フラグに反映されま

す。

全二重通信で使用する場合は、このビットを“1”にしないでください。

RLN3nLWBR レジスタの NSPB ビットが“0101_B” (6 サンプリング) かつ RLN3nLMD レジスタの LRDNFS ビットが“0” (ノイズフィルタを使用する) のときに、このビットを設定しないでください。

ビットエラーの詳細は、「16.8.5 エラーステータス」を参照してください。

16.3.3.7 RLN3nLCUC — UART 制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 0E_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 16.38 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OM0	LIN リセットビット 0: LIN リセットモード 1: LIN リセットモード解除

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM0 ビット (LIN リセットビット)

LIN リセットモードへの移行/LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。

“1”にすると、LIN リセットモードは解除されます。

16.3.3.8 RLN3nLTRC — UART 送信制御レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R

表 16.39 RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	UART バッファ送信開始ビット 0: UART バッファ送信停止 1: UART バッファ送信開始
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RTS ビット (UART バッファ送信開始ビット)

UART バッファからデータ送信を行う場合に“1”にしてください。

このビットは“1”のみ書けます。“0”は書けません。

このビットは、RLN3nLUOER レジスタの UTOE ビットが“1”（送信動作許可）かつ RLN3nLST レジスタの UTS ビットが“0”（送信動作中でない）のときに書いてください。設定後、エラーの有無にかかわらず、RLN3nLDFC レジスタの MDL ビットで設定したデータ数のデータを送信完了したとき、自動的に“0”になります。また、LIN リセットモードに移行したときも自動的に“0”になります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときは書けません。

RLN3nLRFC レジスタの UTSW ビットが“1”（UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる）でこのビットに“1”を書き込む場合は、ストップビットの受信中にのみ行ってください。

16.3.3.9 RLN3nLMST — UART モードステータスレジスタ

アクセス 8ビット単位でリードのみ可能です。

アドレス <RLIN3n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 16.40 RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	OMM0	LIN リセットステータスマニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM0 ビット (LIN リセットステータスマニタ)

現在の動作モードが確認できます。

16.3.3.10 RLN3nLST — UART ステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	URS	UTS	ERR	—	—	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 16.41 RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	URS	データ受信ステータスビット 0: 受信動作中でない 1: 受信動作中
4	UTS	送信ステータス 0: 送信動作中でない 1: 送信動作中
3	ERR	エラー検出フラグ 0: エラー未検出 1: エラー検出
2, 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FTC	UART バッファ送信完了フラグ 0: UART バッファ送信未完了 1: UART バッファ送信完了

RLN3nLST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

URS ステータス (受信ステータスフラグ)

受信動作開始時に“1”となります。

受信動作開始となるのは以下の条件です。

- スタートビットを検出したとき

受信動作終了時に“0”になります。受信動作停止中は”0”を保持します。

受信動作終了となるのは以下の条件です。

- ストップビット 1 ビット目のサンプリングポイント

UTS ステータス (送信ステータスフラグ)

送信動作開始時に“1”となります。送信動作中は“1”を保持します。

送信動作開始となるのは以下の条件です。

- RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタに送信データがセットされたとき
- RLN3nLTRC レジスタの RTS ビットに“1”がセットされたとき

送信動作終了時に“0”になります。

送信動作終了となるのは以下の条件です。

- RLIN3nLUTDR レジスタまたはRLIN3nLUWTD R レジスタにセットされたデータの送信完了かつ次のデータが設定されていないとき
- UART バッファからの送信が完了したとき (RLIN3nLTRC レジスタの RTS ビットが“0”になったとき)

ERR フラグ (エラー検出フラグ)

エラー検出、拡張ビット検出および ID 一致 (RLIN3nLEST レジスタのフラグのうち1つでも“1”)時、“1”となります。このとき、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが“1”の状態、エラー検出、拡張ビット検出および ID 一致した場合は、割り込みが発生しません。クリアする場合は、RLIN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに“0”を書いてください。

FTC フラグ (UART バッファ送信完了フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

UART バッファから RLIN3nLDFC レジスタの MDL ビットで設定したデータ数のデータをエラーの有無にかかわらず送信完了時、“1”となります。このとき、RLIN3n 送信割り込み要求が発生します。クリアする場合は、“0”を書いてください。

16.3.3.11 RLN3nLEST — UART エラーステータスレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	UPER	IDMT	EXBT	FER	OER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W

表 16.42 RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UPER	パリティエラーフラグ 0: パリティエラー未検出 1: パリティエラー検出
5	IDMT	ID一致フラグ 0: 受信データと ID 値不一致 1: 受信データと ID 値一致
4	EXBT	拡張ビット検出フラグ 0: 拡張ビット未検出 1: 拡張ビット検出
3	FER	フレーミングエラーフラグ 0: フレーミングエラー未検出 1: フレーミングエラー検出
2	OER	オーバランエラーフラグ 0: オーバランエラー未検出 1: オーバランエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BER	ビットエラーフラグ 0: ビットエラー未検出 1: ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

UPER フラグ (パリティエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。パリティエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

IDMT フラグ (ID一致フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

以下のすべての条件が成立したときに、“1”となります。

- RLN3nLUOR1 レジスタの UEBE ビットが“1” (拡張ビット動作許可)
- RLN3nLUOR1 レジスタの UECD ビットが“0” (拡張ビット比較許可)
- RLN3nLUOR1 レジスタの UEBDCE ビットが“1” (拡張ビット検出後のデータ比較する)

- 受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致
- 受信データのうち拡張ビットを除く 8 ビットの値が RLN3nLIDB レジスタの値と一致

クリアする場合は、“0”を書いてください。

EXBT フラグ (拡張ビット検出フラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLUOR1 レジスタの UEBE ビットが“1” (拡張ビット動作許可) で、受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致した場合、“1”となります。クリアする場合は、“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの FERE ビットが“1” (フレーミングエラー検出許可) で、フレーミングエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

OER フラグ (オーバランエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書き前の値を保持します。

RLN3nLEDE レジスタの OERE ビットが“1” (オーバランエラー検出許可) で、オーバランエラー発生時、“1”となります。クリアする場合は、“0”を書いてください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの BERE ビットが“1” (ビットエラー検出許可) で、送信したデータと、受信端子でモニタしているデータが一致しなかったとき、“1”となります。クリアする場合は、“0”を書いてください。

16.3.3.12 RLIN3nLDFC — UART データフィールド設定レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	UTSW	—	MDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 16.43 RLIN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	UTSW	送信開始ウェイトビット 0: UART バッファ送信要求時、すぐに送信を開始 1: UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	MDL[3:0]	UART バッファデータ長選択ビット b3 b0 0000: 9 データ 0001: 1 データ 0010: 2 データ 0011: 3 データ 0100: 4 データ 0101: 5 データ 0110: 6 データ 0111: 7 データ 1000: 8 データ 1001: 9 データ 上記以外は設定しないでください。

UTSW ビット (送信開始ウェイトビット)

UART バッファの送信開始タイミングを制御します。

“0” の場合、UART バッファ送信開始が要求され次第、すぐに送信を開始します。

“1” の場合、ストップビットの受信完了後、送信が開始されます。

なお、RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしても、1 ビット分しか待ちません。

このビットは、RLN3nLTRC レジスタの RTS ビットに“1”を設定したときに有効となります。また、RTS ビットが“1” (UART バッファ送信開始) のときは書けません。

半二重通信で受信から送信に切り替えるとき以外で、このビットを“1”にしないでください。

MDL ビット (UART バッファデータ長選択ビット)

UART バッファのデータ長を設定します。

これらのビットは、RLN3nLTRC レジスタの RTS ビットが“1” (UART バッファ送信開始) のときは書けません。

16.3.3.13 RLN3nLIDB — UART ID バッファレジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 15_H

リセット後の値 00_H

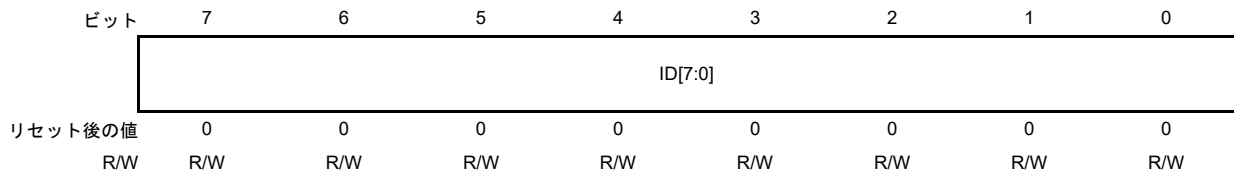


表 16.44 RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	ID[7:0]	拡張ビットデータ比較で参照する ID 値を設定

ID ビット (ID ビット)

RLN3nLUOR1 レジスタの UEBE ビットが“1” (拡張ビット動作許可) かつ UECD ビットが“0” (拡張ビット比較許可) かつ UEBDCE ビットが“1” (拡張ビット検出後のデータ比較する) で使用する際に、受信データと比較する値を設定してください。RLN3nLIDB レジスタは、RLN3nLST レジスタの URS ビットが“0” (受信動作中でない) のときに書いてください。

16.3.3.14 RLN3nLUDB0 — UART データバッファ 0 レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 17_H

リセット後の値 00_H

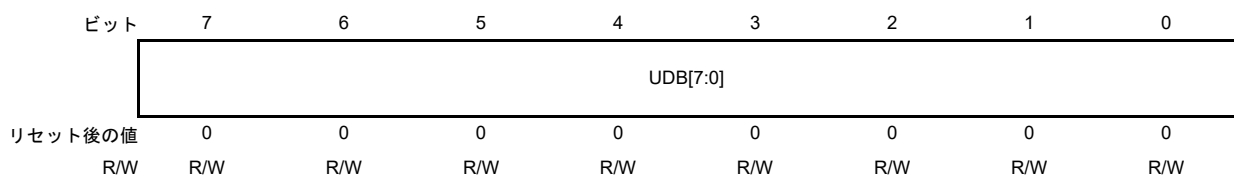


表 16.45 RLN3nLUDB0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	UDB[7:0]	UART 送信データを設定

UART バッファからデータ長 9 データ (RLN3nLDFC レジスタの MDL ビットが“0_H”または“9_H”) で送信する際に、始めに送信するデータを設定します。

RLN3nLUDB0 レジスタは、RLN3nLTRC レジスタの RTS ビットが“0” (UART バッファ送信停止) のときに書いてください。

UART バッファの詳細は、「16.8.1.2 UART バッファ送信 (1) UART バッファの送信」を参照してください。

16.3.3.15 RLN3nLDBRb — UART データバッファ b レジスタ (b = 1 ~ 8)

アクセス 8ビット単位でリード/ライト可能です。

アドレス RLN3nLDBR1 : <RLIN3n_base> + 18_H
 RLN3nLDBR2 : <RLIN3n_base> + 19_H
 RLN3nLDBR3 : <RLIN3n_base> + 1A_H
 RLN3nLDBR4 : <RLIN3n_base> + 1B_H
 RLN3nLDBR5 : <RLIN3n_base> + 1C_H
 RLN3nLDBR6 : <RLIN3n_base> + 1D_H
 RLN3nLDBR7 : <RLIN3n_base> + 1E_H
 RLN3nLDBR8 : <RLIN3n_base> + 1F_H

リセット後の値 00_H

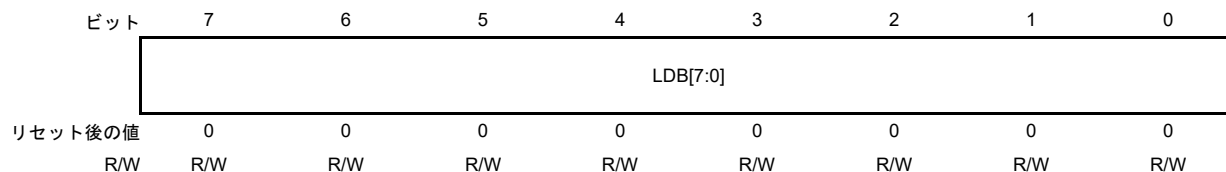


表 16.46 RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	LDB[7:0]	送信データを設定

UART バッファから送信するデータを設定します。

これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが“0” (UART バッファ送信停止) のときに書いてください。

UART バッファの詳細は、「16.8.1.2 UART バッファ送信 (1) UART バッファの送信」を参照してください。

16.3.3.16 RLN3nLUOER — UART オペレーション許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	UROE	UTOE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 16.47 RLN3nLUOER レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	UROE	受信動作許可ビット 0: 受信動作禁止 1: 受信動作許可
0	UTOE	送信動作許可ビット 0: 送信動作禁止 1: 送信動作許可

RLN3nLUOER レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

UROE ビット (受信動作許可ビット)

受信動作の許可/禁止を設定します。

“0”の場合、受信動作を禁止します。

“1”の場合、受信動作を許可します。

受信中にこのビットをクリアしないでください。受信中に通信を中断する場合は、RLN3nLCUC レジスタの OM0 ビットに“0” (LIN リセットモード) を設定し、LIN リセットモードに遷移させてください。ただし、このとき送信動作も中断されます。

UART バッファからデータを送信しているときは、このビットに“1”をセットしないでください。

UTOE ビット (送信動作許可ビット)

送信動作の許可/禁止を設定します。

“0”の場合、送信動作を禁止します。

“1”の場合、送信動作を許可します。

送信中にこのビットをクリアしないでください。送信中に通信を中断する場合は、RLN3nLCUC レジスタの OM0 ビットに“0” (LIN リセットモード) を設定し、LIN リセットモードに遷移させてください。ただし、このとき受信動作も中断されます。

16.3.3.17 RLN3nLUOR1 — UART オプションレジスタ 1

アクセス 8ビット単位でリード/ライト可能です。

アドレス <RLIN3n_base> + 21_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	UECD	UTIGTS	UEBDCE	UEBDL	UEBE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 16.48 RLN3nLUOR1 レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	UECD	拡張ビット比較禁止ビット 0: 拡張ビット比較許可 1: 拡張ビット比較禁止
3	UTIGTS	送信割り込み発生タイミング選択ビット 0: 送信開始時に送信割り込み発生 1: 送信完了時に送信割り込み発生
2	UEBDCE	拡張ビット・データ比較許可ビット 0: 拡張ビット検出後のデータ比較しない 1: 拡張ビット検出後のデータ比較する
1	UEBDL	拡張ビット検出レベル選択ビット 0: 拡張ビット値“0”を拡張ビット検出レベルに選択 1: 拡張ビット値“1”を拡張ビット検出レベルに選択
0	UEBE	拡張ビット許可ビット 0: 拡張ビット動作禁止 1: 拡張ビット動作許可

UECD ビット (拡張ビット比較禁止ビット)

UEBE ビットが“1” (拡張ビット動作許可) のときに、受信した拡張ビットの値と UEBDL ビットの値との比較の禁止/許可を設定します。

“0”の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を許可します。

“1”の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を禁止します。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B” (LIN リセットモード) のときに設定してください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBDCE ビットを“1” (拡張ビット検出後のデータ比較する) で使用する場合は、このビットに“1”をセットしないでください。

UTIGTS ビット (送信割り込み発生タイミング選択ビット)

送信割り込み発生タイミングを設定します。

“0”の場合、送信開始時に送信割り込みが発生します。

“1”の場合、送信完了時に送信割り込みが発生します。

“0”の状態では UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信開始時にのみ送信割り込みが発生します。

“1”の状態では UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信完了時にのみ送信割り込みが発生します。

UEBDCE (拡張ビット・データ比較許可ビット)

拡張ビット検出後、拡張ビットを除く 8 ビット受信データと RLN3nLIDB レジスタ値の比較の許可/禁止を設定します。

“0”の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を禁止します。“1”の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに、RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を許可します。このビットは RLN3nLMST レジスタの OMM0 ビットが“0B” (LIN リセットモード) のときに設定してください。

UEBE ビットを“0” (拡張ビット動作禁止) で使用する場合は、このビットに“1”をセットしないでください。

UECD ビットを“1” (拡張ビット比較禁止) で使用する場合は、このビットに“1”をセットしないでください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBDL ビット (拡張ビット検出レベル選択ビット)

UEBE ビットが“1” (拡張ビット動作許可) かつ UECD ビットが“0” (拡張ビット比較許可) のときに、拡張ビットとして検出するレベルを設定します。

“0”の場合、拡張ビット値“0”を拡張ビット検出レベルとします。

“1”の場合、拡張ビット値“1”を拡張ビット検出レベルとします。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0B” (LIN リセットモード) のときに設定してください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBE ビット (拡張ビット許可ビット)

拡張ビットの動作の許可/禁止を設定します。

“0”の場合、拡張ビット動作を禁止します。

“1”の場合、拡張ビット動作を許可します。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0B” (LIN リセットモード) のときに設定してください。

UART バッファを使用する場合は、このビットに“1”をセットしないでください。

16.3.3.18 RLN3nLUTDR — UART 送信データレジスタ

アクセス RLN3nLUTDR は 16 ビット単位でリード/ライト可能です。
RLN3nLUTDRL は 8 ビット単位でリード/ライト可能です。
RLN3nLUTDRH は 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLUTDR : <RLIN3n_base> + 24_H
RLN3nLUTDRL : <RLIN3n_base> + 24_H
RLN3nLUTDRH : <RLIN3n_base> + 25_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.49 RLN3nLUTDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 0	UTD[8:0]	送信データを設定 設定範囲：000 _H ~ 1FF _H

送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが“1”のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、8 ビットアクセス可能です。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

RLN3nLUWTDR レジスタへの書き込みにより送信要求が発生しているときは、このレジスタにデータの書き込みをしないでください。

連続送信する場合、送信割り込み発生前にこのレジスタに次のデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 16.50 各通信フォーマットでの RLN3nLUTDR レジスタのビット配置

	RLN3nLUTDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

16.3.3.19 RLN3nLURDR — UART 受信データレジスタ

アクセス RLN3nLURDR は 16 ビット単位でリードのみ可能です。
RLN3nLURDRL は 8 ビット単位でリードのみ可能です。
RLN3nLURDRH は 8 ビット単位でリードのみ可能です。

アドレス RLN3nLURDR : <RLIN3n_base> + 26_H
RLN3nLURDRL : <RLIN3n_base> + 26_H
RLN3nLURDRH : <RLIN3n_base> + 27_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	URD [8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.51 RLN3nLURDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。
8 ~ 0	URD [8:0]	受信データを設定 設定範囲：000 _H ~ 1FF _H

受信データレジスタから、受信データを読み出すことができます。

RLN3nLUOER レジスタの UROE ビットが“1”のときに、受信データがこのレジスタに格納され、読み出すことができます。

このレジスタは、受信データのストップビット受信で更新されます。

このレジスタは、パリティやストップビットでエラーが発生したときも値は更新されます。

しかし、RLN3nLEDE レジスタの OERE ビットが“1”（オーバランエラー検出許可）で、オーバランエラー発生時は値が更新されません。OERE ビットが“0”（オーバランエラー検出禁止）で、オーバランエラー発生時は値が更新されます。

RLN3nLEDE レジスタの OERE ビットが“1”（オーバランエラー検出許可）で、受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）が発生した場合は、このレジスタを読み出してください。このレジスタを読み出さないままで、次のデータを受信するとオーバランエラーが発生します。

このレジスタは 8 ビットアクセス可能です。ただし、拡張ビット使用時（RLN3nLUOR1 レジスタの UEBE ビットが“1”（拡張ビット動作許可））は 8 ビットアクセスしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 16.52 各通信フォーマットでの RLN3nLURDR レジスタのビット配置

	RLN3nLURDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

16.3.3.20 RLN3nLUWTDR — UART ウェイト用送信データレジスタ

アクセス RLN3nLUWTDR は 16 ビット単位でリード/ライト可能です。
RLN3nLUWTDRL は 8 ビット単位でリード/ライト可能です。
RLN3nLUWTDRLH は 8 ビット単位でリード/ライト可能です。

アドレス RLN3nLUWTDR : <RLIN3n_base> + 28_H
RLN3nLUWTDRL : <RLIN3n_base> + 28_H
RLN3nLUWTDRLH : <RLIN3n_base> + 29_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UWTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.53 RLN3nLUWTDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8 ~ 0	UWTD[8:0]	受信のストップビット完了を待った後にウェイト用送信データレジスタから送信するデータを設定 設定範囲：000 _H ~ 1FF _H

UART ウェイト用送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが“1”のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、半二重通信で受信から送信に切り替え時にのみ使用してください。

また、ユーザはストップビットの受信中にのみ、このレジスタへの書き込みを行ってください。

RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしている場合、1 ビット分しか待ちません。

このレジスタを読み出したときは、RLN3nLUTDR レジスタの値が読めます。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 16.54 各通信フォーマットでの RLN3nLUWTDR レジスタのビット配置

	RLN3nLUWTDR									
	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7bit LSB ファースト	—	—	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
7bit MSB ファースト	—	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	
8bit LSB ファースト	—	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
8bit MSB ファースト	—	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
9bit LSB ファースト	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
9bit MSB ファースト	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	

16.4 割り込み要因

LIN/UART インタフェースは3種類の割り込み要求を生成します。

- RLIN3n 送信割り込み
- RLIN3n 受信完了割り込み
- RLIN3n ステータス割り込み

RLN3nLMD レジスタの LIOS ビットを“0”にすると、割り込みは発生しません。

RLN3nLMD レジスタの LIOS ビットを“1”にすると、要因に応じて RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みの要求を出力します。

表 16.55 に各割り込みの要因を示します。

表 16.55 割り込み要因

		RLN3nLMD レジスタの LIOS ビットが“1” ^{注1}		
		RLIN3n 送信割り込み	RLIN3n 受信完了割り込み	RLIN3n ステータス割り込み
LIN モード	LIN マスタ モード	<ul style="list-style-type: none"> • フレーム送信完了 • ウェイクアップ送信完了 • ヘッダ送信完了 	<ul style="list-style-type: none"> • フレーム受信完了 • ウェイクアップ受信完了 	<ul style="list-style-type: none"> • ビットエラー • フィジカルバスエラー • フレーム/レスポンス タイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー
UART モード		<ul style="list-style-type: none"> • 送信開始/送信完了 	<ul style="list-style-type: none"> • 受信完了 • 拡張ビット不一致 	<ul style="list-style-type: none"> • ビットエラー • オーバランエラー • フレーミングエラー • 拡張ビット一致 • ID一致 • パリティエラー

注1. LIOS ビットの設定は、LIN モードで有効です。UART モードでは、LIOS ビットの設定は不要です。

LIN モードの場合、それぞれの割り込み要求は、RLN3nLIE レジスタの対応するビットが“1”（割り込み許可）のときに、RLN3nLST レジスタの対応するフラグが“1”になると出力されます。

16.5 モード

LIN/UART インタフェースには、機能に応じた次の4つのモードがあります。

- LIN リセットモード
- LIN モード
 - LIN マスタモード
- UART モード
- LIN セルフテストモード

LIN リセットモードの場合、LIN/UART インタフェースへのクロック供給が停止されるため、消費電力を低減することができます。

図 16.2 にモードの移行、表 16.56 にモード移行条件、表 16.57 に各モードで可能な動作を示します。

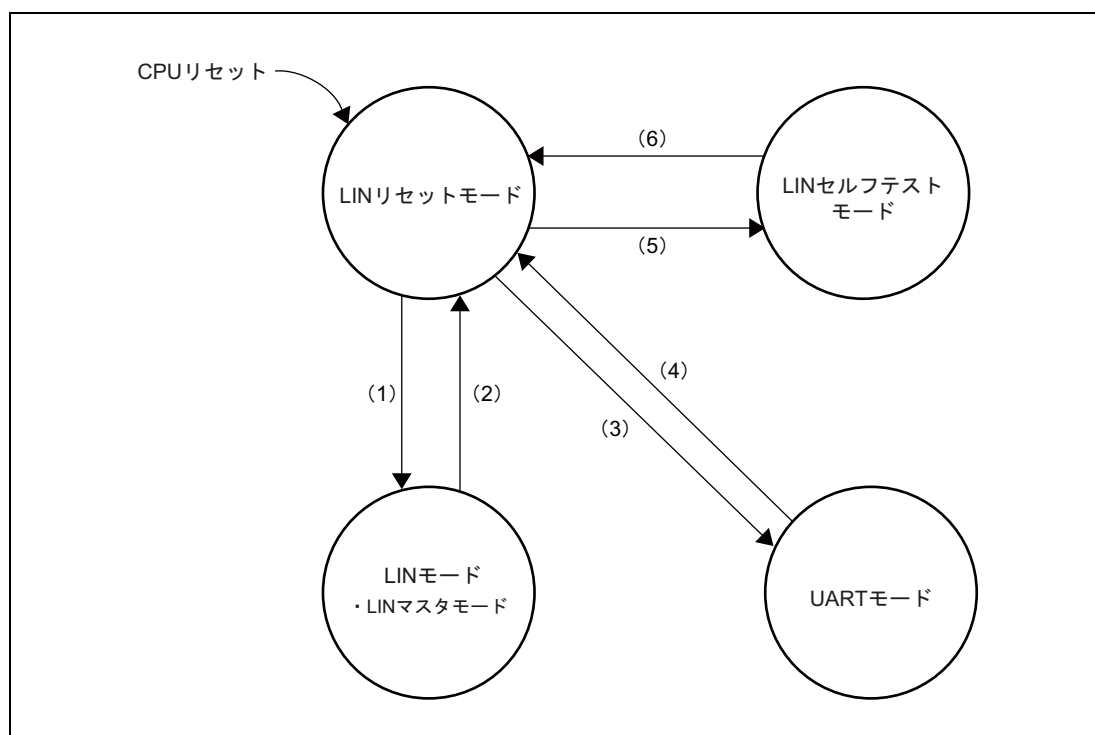


図 16.2 モードの移行

表 16.56 各モードの移行条件

	移行モード	移行条件
(1)	LIN リセットモード → LIN モード • LIN マスタモード	• RLN3nLMD.LMD = "00 _B " かつ RLN3nLCUC.OM1, OM0 = "01 _B " または "11 _B "
(2)	LIN モード → LIN リセットモード	RLN3nLCUC.OM0 = "0 _B "
(3)	LIN リセットモード → UART モード	RLN3nLMD.LMD = "01 _B " かつ RLN3nLCUC.OM0 = "1 _B "
(4)	UART モード → LIN リセットモード	RLN3nLCUC.OM0 = "0 _B "
(5)	LIN リセットモード → LIN セルフテストモード	「16.9 LIN セルフテストモード」参照
(6)	LIN セルフテストモード → LIN リセットモード	「16.9 LIN セルフテストモード」参照

表 16.57 各モードで可能な動作

LIN モード	UART モード	LIN セルフテストモード
LIN マスタモード		
ヘッダ送信 レスポンス送信 レスポンス受信 ウエイクアップ送信 ウエイクアップ受信 エラー検出	UART 送信 UART 受信 エラー検出	セルフテスト

RLN3nLMD レジスタの LMD ビット および RLN3nLMST レジスタの OMM0 ビットを読むことで、LIN リセットモード、LIN モード、UART モードへ移行したことを確認できます。

LIN セルフテストモードについては、「16.9 LIN セルフテストモード」を参照してください。

16.6 LIN リセットモード

RLN3nLCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にすると、LIN リセットモードに移行します。RLN3nLMST レジスタの OMM0 ビットが“0” (LIN リセットモード) になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能、UART 通信は停止しています。

LIN リセットモードからは、LIN モード、UART モード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN3nLTRC レジスタ
- RLN3nLST レジスタ
- RLN3nLEST レジスタ
- RLN3nLUOER レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN3nLWBR レジスタ
- RLN3nLBRP0 レジスタ
- RLN3nLBRP1 レジスタ
- RLN3nLMD レジスタ
- RLN3nLBFC レジスタ
- RLN3nLSC レジスタ
- RLN3nLWUP レジスタ
- RLN3nLIE レジスタ
- RLN3nLEDE レジスタ
- RLN3nLDFC レジスタ
- RLN3nLIDB レジスタ
- RLN3nLCBR レジスタ
- RLN3nLUDB0 レジスタ
- RLN3nLDBRb レジスタ (b = 1 ~ 8)
- RLN3nLUOR1 レジスタ
- RLN3nLUTDR レジスタ
- RLN3nLURDR レジスタ
- RLN3nLUWTDR レジスタ

16.7 LIN モード

LIN モードには、LIN マスタモードがあります。

LIN マスタモードでは、ヘッダ送信、レスポンス送信、レスポンス受信、ウエイクアップ送信、ウエイクアップ受信、エラー検出が可能です。LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“00_B” (LIN マスタモード) に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B” または“11_B” にすると LIN マスタモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B” または“11_B” になります。

LIN モード内の別のモードに変更する場合は、1 度 LIN リセットモードに移行し、RLN3nLMD レジスタの LMD ビットを設定を変更する必要があります。

LIN モードには、次の 2 つの動作モードがあります。

- LIN 動作モード
- LIN ウェイクアップモード

図 16.3 に動作モードの移行、表 16.58 に動作モード移行条件を示します。

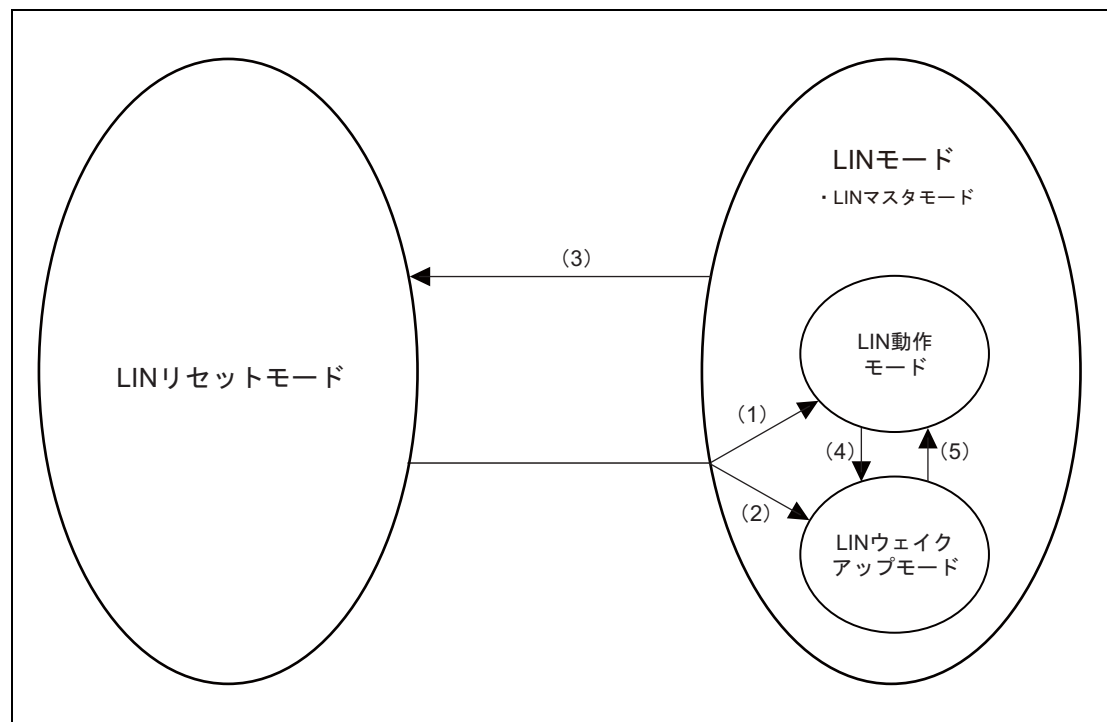


図 16.3 動作モードの移行

表 16.58 動作モード移行条件

	移行モード	移行条件
(1)	LIN リセットモード → LIN モード • LIN 動作モード	RLN3nLMD.LMD = "00 _B " かつ RLN3nLCUC.OM1,OM0 = "11 _B "
(2)	LIN リセットモード → LIN モード • LIN ウェイクアップモード	RLN3nLMD.LMD = "00 _B " かつ RLN3nLCUC.OM1,OM0 = "01 _B "
(3)	LIN モード → LIN リセットモード • LIN 動作モード • LIN ウェイクアップモード	RLN3nLCUC.OM0 = "0 _B "
(4) 注1	LIN モード → LIN モード • LIN 動作モード • LIN ウェイクアップモード	RLN3nLCUC.OM1,OM0 = "01 _B "
(5) 注1	LIN モード → LIN モード • LIN ウェイクアップモード • LIN 動作モード	RLN3nLCUC.OM1,OM0 = "11 _B "

注 1. LIN 動作モード⇄LIN ウェイクアップモードの移行は、通信中 (RLN3nLTRC レジスタの FTS ビットが "1") の間はできません。

(1) LIN 動作モード

LIN 動作モードでは、フレーム処理 (ヘッダ送信、ヘッダ受信、レスポンス送信、レスポンス受信、エラー検出) をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを "11_B" にすると LIN 動作モードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが "11_B" になります。OMM1 ビット、OMM0 ビットが "11_B" になるのを待ってから、通信設定を行ってください。

(2) LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理 (ウェイクアップ送信、ウェイクアップ受信、エラー検出) をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを "01_B" にすると LIN ウェイクアップモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが "01_B" になります。OMM1 ビット、OMM0 ビットが "01_B" になるのを待ってから、通信設定を行ってください。

16.7.1 LIN マスタモード

16.7.1.1 ヘッダ送信

図 16.4 に LIN/UART インタフェース (LIN マスタモード) のヘッダ送信時の動作、表 16.59 にヘッダ送信時の処理を示します。

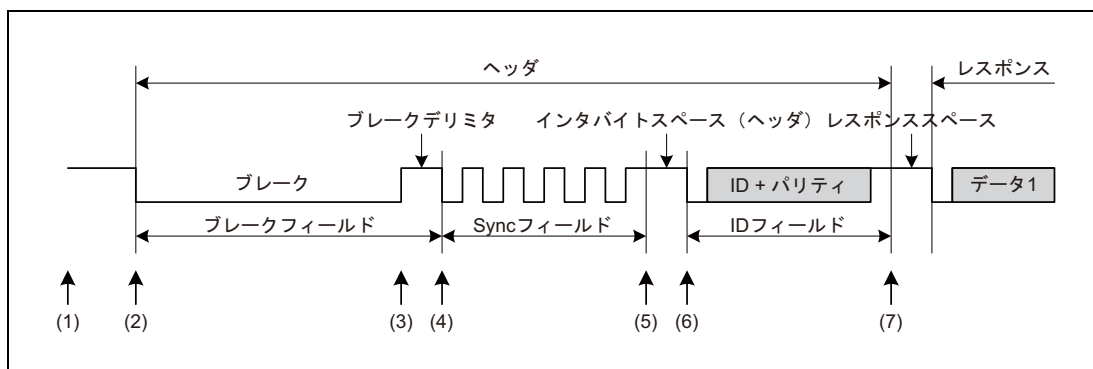


図 16.4 ヘッダ送信時の動作

表 16.59 ヘッダ送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN/UART インタフェースを LIN マスタモード : LIN 動作モードに移行 • 送信するフレーム情報 (ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ) を設定 	ソフトウェアによる RLIN3nLTRC レジスタの FTS ビット設定待ち (アイドル)
(2)	RLIN3nLTRC レジスタの FTS ビットを "1" (フレーム送信/ウェイクアップ送受信開始) にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド (55 μ s) 送信
(5)		インタバイトスペース (ヘッダ) 送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備考

エラー検出条件に関しては、「16.7.6 エラーステータス」を参照してください。

16.7.1.2 レスポンス送信

図 16.5 に LIN/UART インタフェース (LIN マスタモード) のレスポンス送信時の動作、表 16.60 にレスポンス送信時の処理を示します。

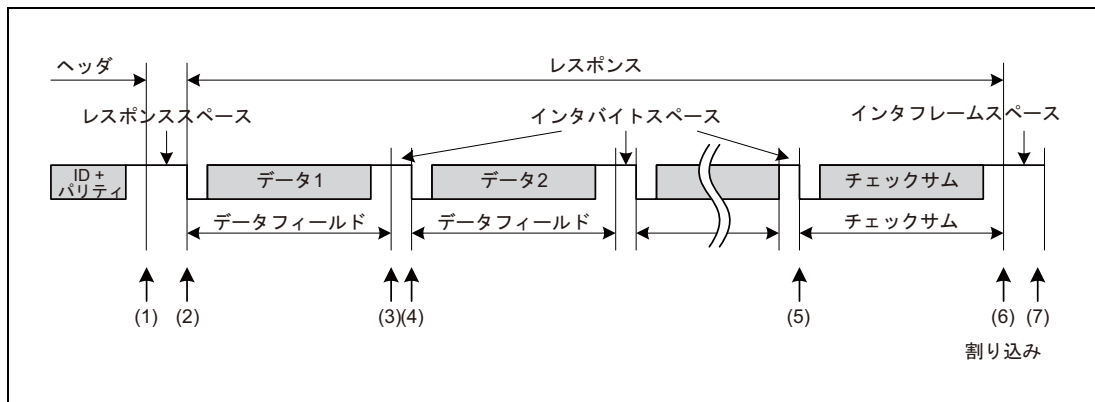


図 16.5 レスポンス送信時の動作

表 16.60 レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	【フレームセパレートモード時】 <ul style="list-style-type: none"> RLN3nLTRC レジスタの RTS ビットに“1”を設定 (レスポンス送信 / 受信開始) 【フレームセパレートモードでないとき】 <ul style="list-style-type: none"> 割り込み要求発生待ち 	【フレームセパレートモード時】 <ul style="list-style-type: none"> ソフトウェア処理による RLN3nLTRC レジスタの RTS ビットの“1”設定待ち “1”に設定されたあと、レスポンススペースを送信 【フレームセパレートモードでないとき】 <ul style="list-style-type: none"> レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		<ul style="list-style-type: none"> データ 2 送信 インタバイトスペース送信 データ 3 送信 インタバイトスペース送信 (RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。RLN3nLEST レジスタの BER フラグが“1” (ビットエラー検出) なら中断。エラー発生時には、(5) のチェックサム送信は実行しません。) : :
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> フレーム/ウエイクアップ送信完了フラグ設定 RLN3nLTRC レジスタの FTS ビットを“0” (フレーム送信 / ウエイクアップ送受信停止) にする 【フレームセパレートモード時】 <ul style="list-style-type: none"> RLN3nLTRC レジスタの RTS ビットを“0” (レスポンス送信 / 受信停止) にする
(7)	<ul style="list-style-type: none"> 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア	アイドル

備考

エラー検出条件に関しては、「16.7.6 エラーステータス」を参照してください。

16.7.1.3 レスポンス受信

図 16.6 に LIN/UART インタフェース (LIN マスタモード) のレスポンス受信時の動作、表 16.61 にレスポンス受信時の処理を示します。

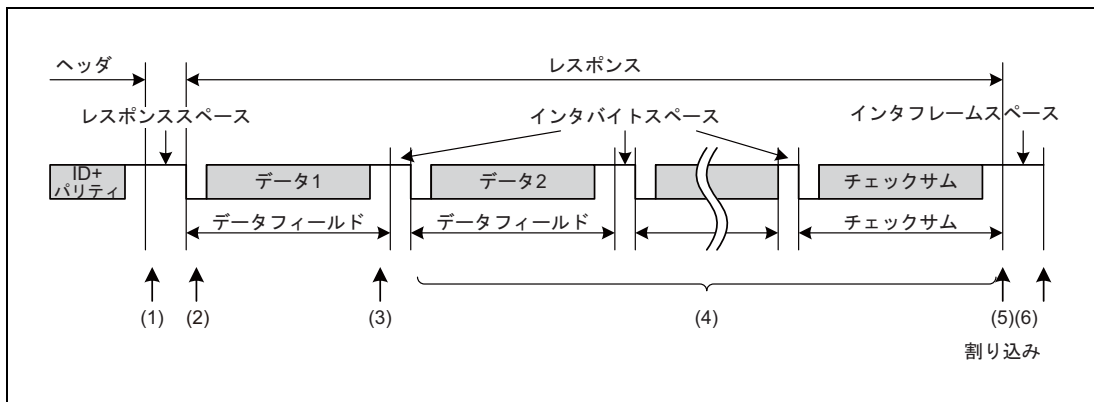


図 16.6 レスポンス受信時の動作

表 16.61 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	割り込み要求発生待ち (処理はなし)	スタートビット検出待ち
(2)		スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		<ul style="list-style-type: none"> スタートビット検出によりデータ 2 受信 スタートビット検出によりデータ 3 受信 (RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。RLN3nLEST レジスタのいずれかのビットが "1" (何らかのエラー検出) なら中断。エラー発生時には、(5) のチェックサム判定は実施しません。) スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 フレーム/ウエイクアップ受信完了フラグ設定 RLN3nLTRC レジスタの FTS ビットを "0" (フレーム送信/ウエイクアップ送受信停止) にする
(6)	<ul style="list-style-type: none"> 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア 	アイドル

備考

エラー検出条件に関しては、「16.7.6 エラーステータス」を参照してください。

16.7.2 データ送信／受信

16.7.2.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLIN3nLEST レジスタの BER フラグに格納されます（「16.7.6 エラーステータス」参照）。

LIN マスタモードでは、 $1 \text{ Tbit} = 16/f_{\text{LIN}}$ で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

図 16.7 にデータ送信タイミングの例を示します。

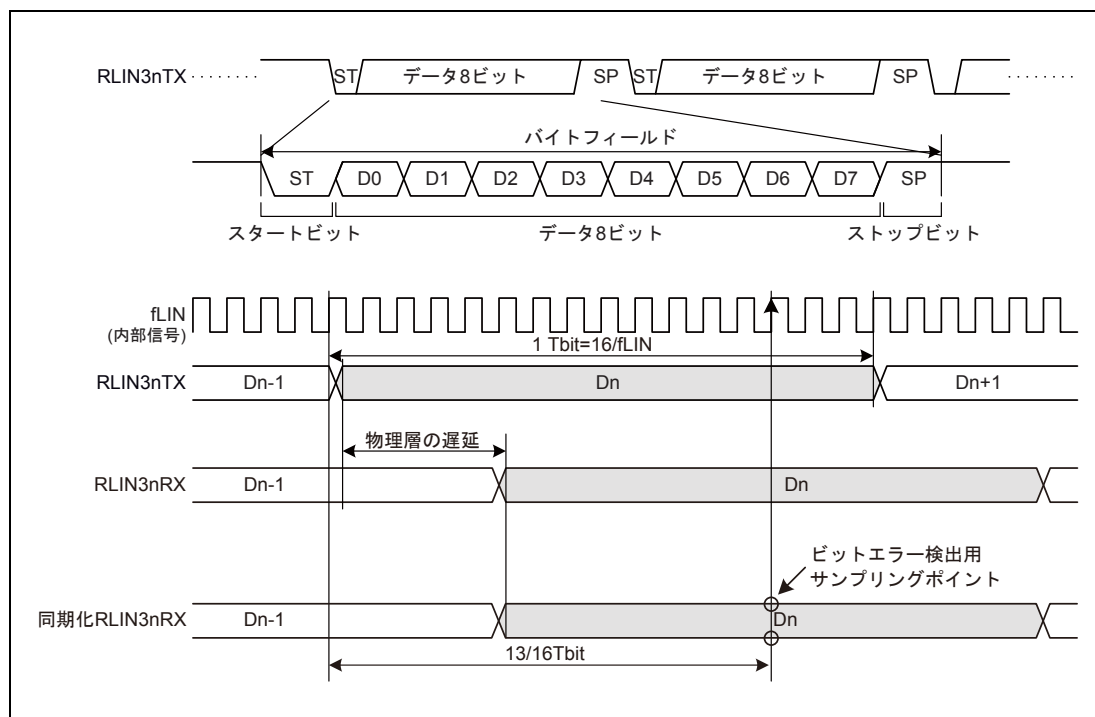


図 16.7 データ送信タイミング例 (LIN マスタモード)

16.7.2.2 データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケールクロックに同期させた同期化 RLIN3nRX (内部信号) を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが“0”の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケールクロックで3サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが“1”の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 16.8 にデータ受信タイミングの例を示します。

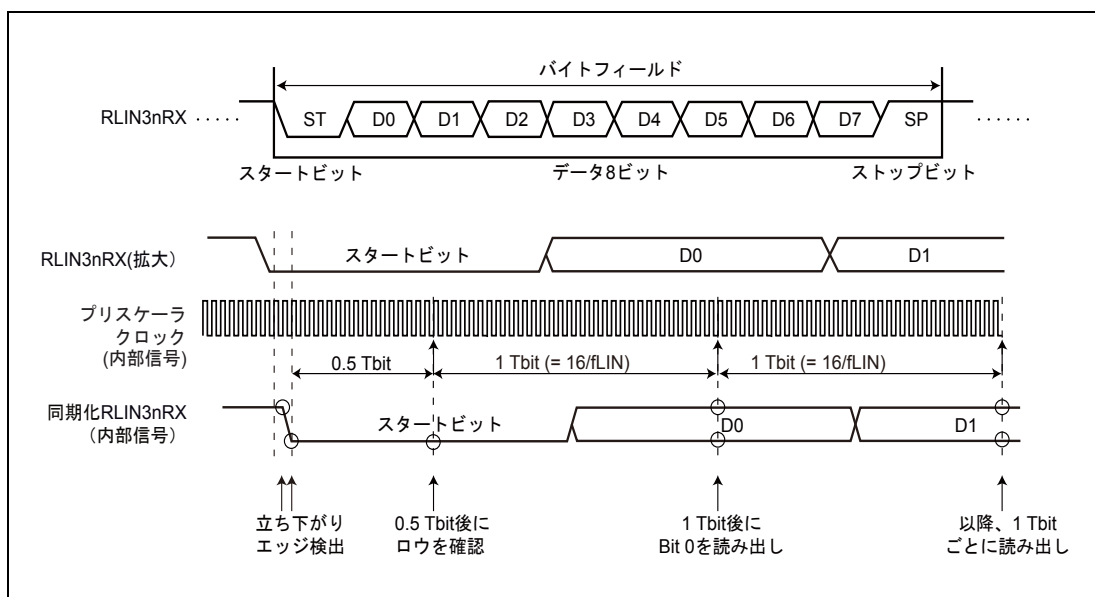


図 16.8 データ受信タイミング例 (LIN マスタモード)

16.7.3 送信／受信データのバッファ処理

LIN/UART インタフェースの連続データ送受信時のバッファ処理について説明します。

16.7.3.1 LIN フレームの送信

8 バイト送信の場合、RLN3nLDBR1 レジスタ～RLN3nLDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は、RLN3nLDBR1 レジスタ～RLN3nLDBR4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され、RLN3nLDBR5 レジスタ～RLN3nLDBR8 レジスタの内容は送信されません。また、RLN3nLCBR レジスタには送信したチェックサムデータが格納されます。

図 16.9 に LIN 送信処理とバッファを示します。

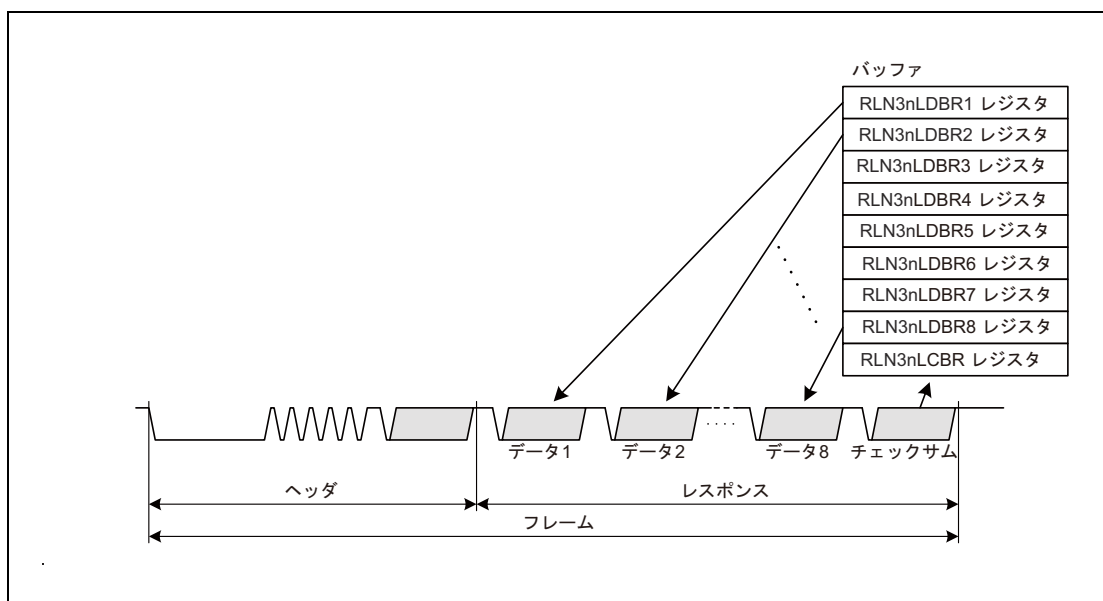


図 16.9 LIN 送信処理とバッファ

【フレームセパレートモード】

RLN3nLDFC レジスタの FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN3nLST レジスタの HTRC フラグが“1”（ヘッダ送信完了）になります。

LIN マスタモードで9バイト以上のレスポンスデータ送信 または レスポンスデータ受信を行なう場合は、フレームセパレートモードを使用してください。

16.7.3.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN3nLDBR1 レジスタ～RLN3nLDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ RLN3nLDBR1 レジスタ～RLN3nLDBR4 レジスタに格納され、RLN3nLDBR5 レジスタ～RLN3nLDBR8 レジスタには何も格納されません。また、RLN3nLCBR レジスタには受信したチェックサムデータが格納されます。

図 16.10 に LIN 受信処理とバッファを示します。

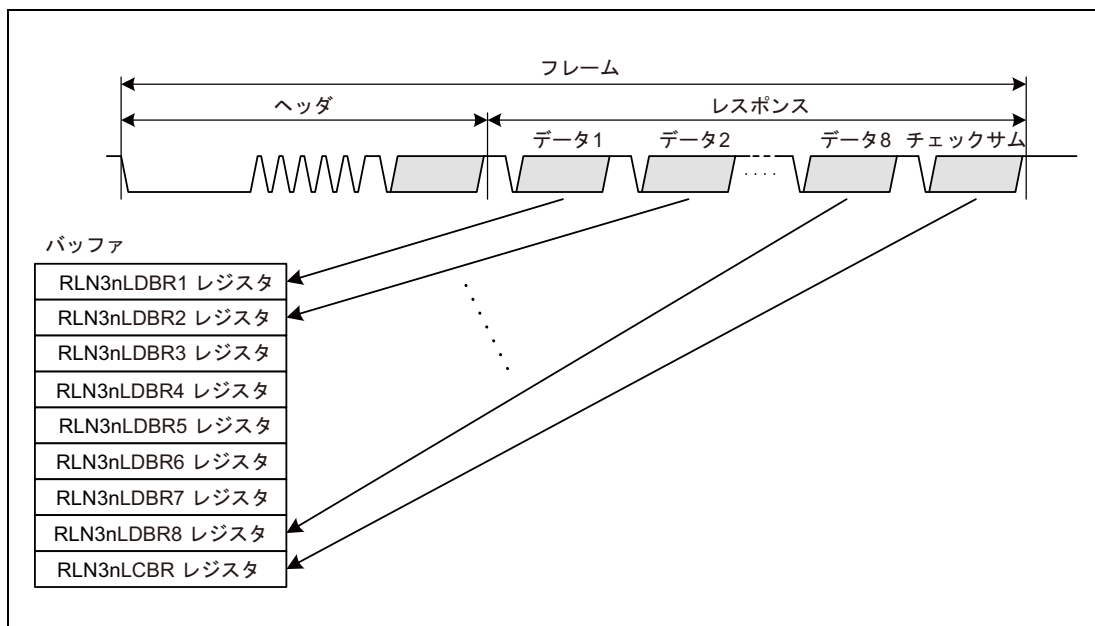


図 16.10 LIN 受信処理とバッファ

【データ 1 受信】

1 バイト目のデータ受信が完了すると、RLN3nLST レジスタの D1RC フラグが“1”（データ 1 受信完了）になります。

16.7.3.3 多バイトレスポンス送受信機能

通常 LIN 通信において、レスポンスはチェックサムを含み 9 バイト以下ですが、10 バイト以上のレスポンスを送受信することが可能です。

このとき、ビットエラー、フレーミングエラー、レスポンス準備エラー検出機能 および 自動チェックサム機能は有効です。

データ長が 8 バイトより多い場合は、最初のデータグループ (0 ~ 8 バイトで可変) で RLIN3nLDFC レジスタの LSS ビットを“1” (次に送受信するデータグループは最終ではない) に設定し、送信または受信します。送信または受信後、ユーザは次のデータグループが最後かどうかの判定を行い、最後のデータグループの場合は、RLIN3nLDFC レジスタの LSS ビットを“0” (次に送受信するデータグループは最終) に設定し、送信または受信します。チェックサムは最後のデータグループに付加します。

ユーザは、RLIN3nLTRC レジスタの RTS ビットが“0”のときに RLIN3nLDFC レジスタの RFDL ビットの設定を変更することにより、データグループごとにデータ長を変更することができます。

LIN マスタモードで、多バイトレスポンス送受信を行う場合は、RLIN3nLDFC レジスタの FSM ビットを“1” (フレームセパレートモード) に設定して行ってください。

16.7.4 ウェイクアップ送信／受信

ウェイクアップの送受信は LIN ウェイクアップモードで使用できます。

16.7.4.1 ウェイクアップ送信動作

LIN ウェイクアップモード時、RLN3nLDFC レジスタの RFT ビットを“1” (LIN マスタモード：レスポンス送信)、RLN3nLTRC レジスタの FTS ビットを“1” (フレーム送信／ウェイクアップ送受信開始) にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のロウ幅は RLN3nLWUP レジスタの WUTL[3:0] ビットで設定します。ただし、LIN マスタモードで RLN3nLWBR レジスタの LWBR0 ビットが“1” (LIN2.x 使用時) の場合は、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック (fLIN) が fa でのロウレベル幅になります。fa 選択時のボーレートを設定 19200 bps に、RLN3nLWUP レジスタの WUTL[3:0] ビットを“0100_B” (5Tbits) に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 260 μs のロウ幅を出力することができます。

ビットエラーなくウェイクアップのロウレベルが出力された場合、RLN3nLST レジスタの FTC フラグが“1” (フレームまたはウェイクアップ送信完了) になり、RLN3nLIE レジスタの FTCIE ビットが“1” (フレーム／ウェイクアップ送信完了割り込み許可) のとき RLIN3n 送信割り込み要求が発生します。

RLN3nLEDE.BERE がセットされていてビットエラーを検出した場合は、ウェイクアップ送信を中断し、RLN3nLEST レジスタの BER フラグを“1” (ビットエラー検出) にします。

LIN マスタモードで RLN3nLEDE.PBERE がセットされている場合は、ビットエラーと同時に RLN3nLEST.PBER フラグを“1” (フィジカルバスエラー検出) にします。

図 16.11 にウェイクアップ送信タイミングを示します。

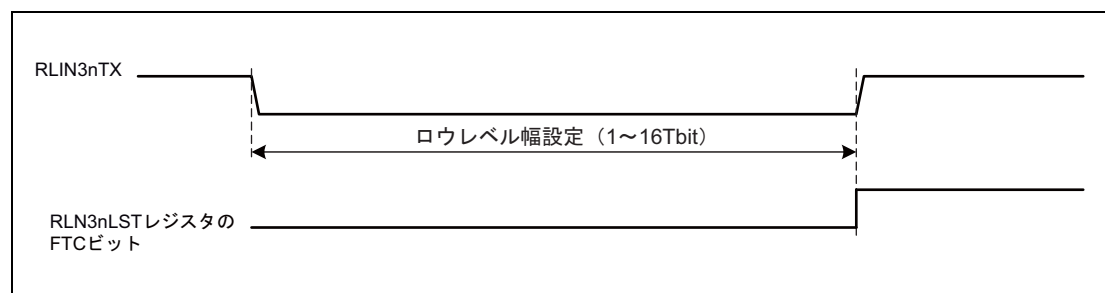


図 16.11 ウェイクアップ送信タイミング

16.7.4.2 ウェイクアップ受信動作

ウェイクアップ信号を検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで RLIN3nRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号ロウレベル幅を fLIN の 2.5 Tbit 以上で計測することができます。

LIN マスタモード時は、RLN3nLWBR レジスタの LWBR0 ビットの設定により、LIN 動作モードと LIN ウェイクアップモードの切り替え時に、ボーレートジェネレータの設定を変更することなく、動作させることが可能です。

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを“0”に、LIN Specification Package Revision 2.x 使用時は“1”に設定してください。LWBR0 ビットを“1”にすると RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) が fa になります。(LCKS ビットは変化しません)。fa 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130 μ s 以上の入力信号ロウレベル幅を検出することができます。

ウェイクアップ受信機能を使用する場合、LIN ウェイクアップモードにて、RLN3nLDFC レジスタの RFT ビットを“0” (LIN マスタモード：レスポンス受信)、RLN3nLTRC レジスタの FTS ビットを“1” (フレーム送信/ウェイクアップ送受信開始) にしてください。

計測するロウレベル幅に達すると RLN3nLST レジスタの FRC フラグが“1” (フレームまたはウェイクアップ受信完了) になり、RLN3nLIE レジスタの FRCIE ビットが“1” (フレーム/ウェイクアップ受信完了割り込み許可) の場合、RLIN3n 受信完了割り込み要求が発生します。

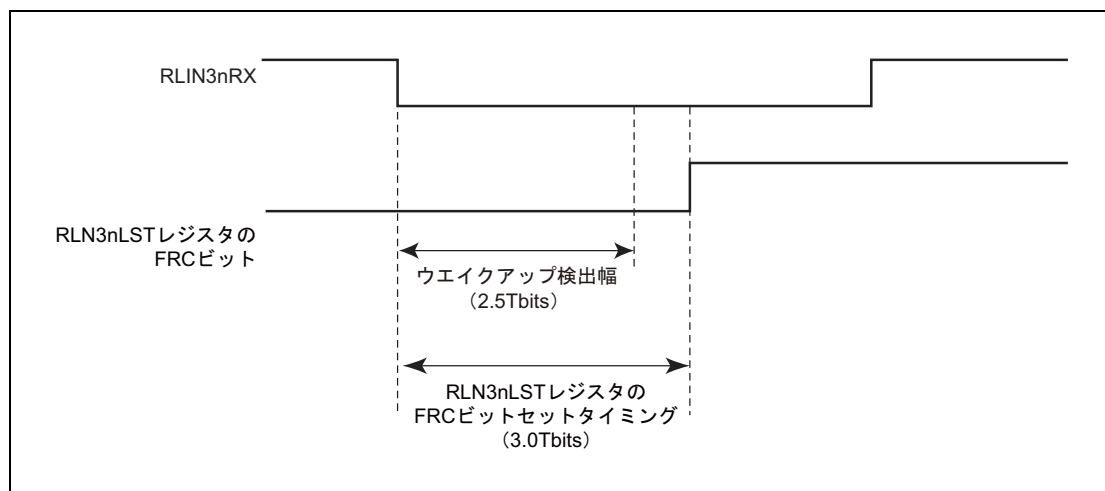


図 16.12 入力信号ロウレベル幅カウント機能

16.7.4.3 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN/UART インタフェースではウェイクアップ信号の衝突は検知しません。

16.7.5 ステータス

LIN/UART インタフェースは LIN モード動作時に、7 種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出、ヘッダ送信完了/ヘッダ受信完了の 4 つのステータスは割り込み要求を発生することができます。

表 16.62 に LIN マスタモードでのステータスの種類を示します。

表 16.62 LIN マスタモード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでなく設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウェイクアップモードになったとき	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	RLN3nLMST レジスタの OMM1 ビット	—
フレーム/ウェイクアップ送信完了	フレーム (ヘッダ送信 + レスポンス送信)、ウェイクアップ信号または データグループを正常に送信完了したとき	<ul style="list-style-type: none"> 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) ソフトウェアによるクリア LIN リセットモード移行時 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	RLN3nLST レジスタの FTC フラグ	○
フレーム/ウェイクアップ受信完了	フレーム (ヘッダ送信 + レスポンス受信)、ウェイクアップ信号または データグループを正常に受信完了したとき	<ul style="list-style-type: none"> 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) ソフトウェアによるクリア LIN リセットモード移行時 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが "1" (エラー検出) になったとき	<ul style="list-style-type: none"> 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) ソフトウェアによるクリア^{注1} LIN リセットモード移行時 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RFT ビットが "0" (受信) で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき ^{注2}	<ul style="list-style-type: none"> 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) ソフトウェアによるクリア LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	<ul style="list-style-type: none"> 次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき) ソフトウェアによるクリア LIN リセットモード移行時 	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注 1. LIN ウェイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに "0" を書くことにより、RLN3nLST レジスタの ERR フラグは "0" になります。

注 2. RLN3nLDFC レジスタの RFDL[3:0] ビットが "0000_B" (0 バイト + チェックサム) のときは検出されません。

16.7.6 エラーステータス

16.7.6.1 LIN マスタモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN マスタモードで 6 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 16.63 にエラーステータスの種類を示します。

表 16.63 エラーステータスの種類 (LIN マスタモード)

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可/禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注1、注2	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN3nLEST レジスタの BER フラグ
フィジカルバスエラー	<ul style="list-style-type: none"> ブ레이크送信時に LIN バスがハイレベルを検出した場合 ブ레이크デリミタ送信時に LIN バスがロウレベルを検出した場合 ウェイクアップ送信時に LIN バスがハイレベルを検出した場合 	<ul style="list-style-type: none"> LIN 動作モード LIN ウェイクアップモード 	中断	○	RLN3nLEST レジスタの PBER フラグ
タイムアウトエラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき注3	LIN 動作モード	中断	○	RLN3nLEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN3nLEST レジスタの CSER フラグ
レスポンス準備エラー	フレームセパレートモードで多バイトレスポンス受信において以下の場合 <ul style="list-style-type: none"> ヘッダ送信完了後、レスポンス送受信要求設定前に 1 バイト目の受信データを受信したとき 前のデータグループ受信完了後、次のデータグループの送受信要求設定前に 1 バイト目の受信データを受信したとき 	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注 2. 多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注 3. タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0] ビット)、およびチェックサム選択 (RLN3nLDFC レジスタの CSM ビット) に依存し、下記の式により計算できます。RLN3nLDFC レジスタの FSM ビットが "1" (フレームセパレートモード) の場合、RLN3nLTRC レジスタの RTS ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイムアウト時間は、レスポンスフィールドデータ長 (RLN3nLDFC レジスタの RFDL[3:0] ビット) を元にした時間に再設定されます。

【フレームタイムアウト】

クラシック選択時 (RLN3nLDFC レジスタの CSM ビットが "0" の場合) :

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

エンハンス選択時 (RLN3nLDFC レジスタの CSM ビットが "1" の場合) :

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

$$\text{タイムアウト時間} = (\text{データバイト数} + 1) \times 14 \text{ [Tbit]}$$

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

エラーステータスのクリア条件は、次の通信開始時 (RLN3nLTRC レジスタの FTS ビットをセットしたとき)、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

図 16.13 にエラーを検出するために LIN/UART インタフェースが LIN マスタモード時に監視する時間領域を示します。

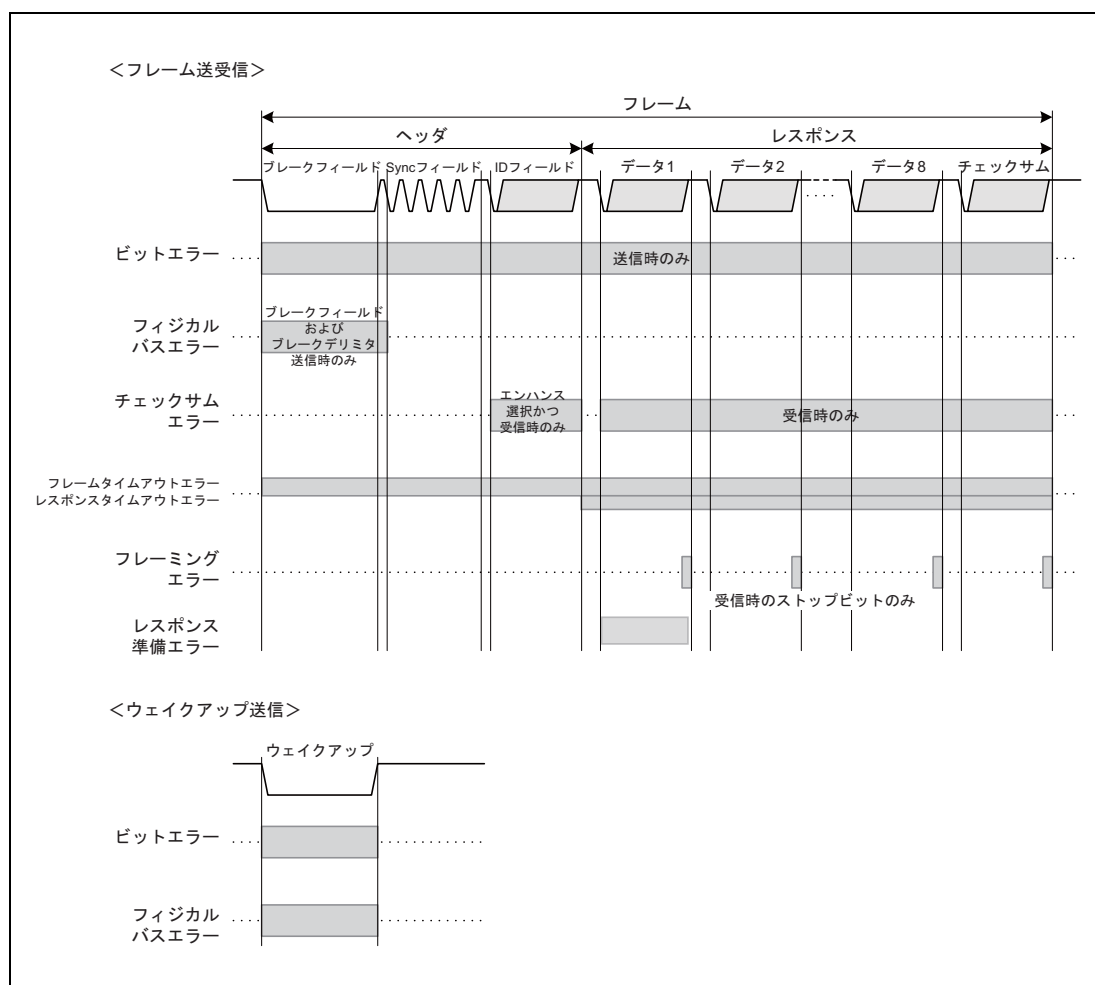


図 16.13 LIN エラー検出の対象時間領域 (LIN マスタモード)

16.8 UART モード

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“01_B” (UART モード) に設定し、RLN3nLCUC レジスタの OM0 ビットを“1”にしてください。これにより UART モードになり、RLN3nLMST レジスタの OMM0 ビットが“1”になります。

16.8.1 送信

図 16.14 に LIN/UART インタフェース (UART モード) の送信動作、表 16.64 に LIN/UART インタフェース (UART モード) の送信処理を示します。

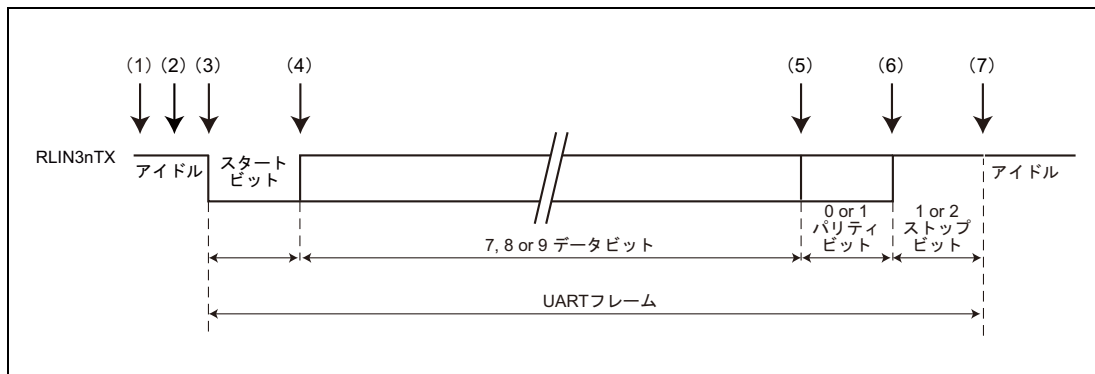


図 16.14 LIN/UART インタフェース (UART モード) の送信動作

表 16.64 LIN/UART インタフェース (UART モード) の送信処理 (1/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> ボーレートを設定 ノイズフィルタ ON/OFF を設定 エラー検出許可を設定 データフォーマットを設定 割り込み発生タイミングを設定 LIN/UART インタフェースを LIN リセットモードから解除 送信動作許可ビット (UTOE ビット) を“1”に設定 	<ul style="list-style-type: none"> ソフトウェアによる送信トリガ (RLN3nLUTDR レジスタ) 待ち
(2)	<ul style="list-style-type: none"> UART 送信データレジスタ (RLN3nLUTDR) または UART ウェイト用送信データレジスタ (RLN3nLUWTD) に送信データを設定 	<ul style="list-style-type: none"> 送信ステータスフラグを設定
(3)	<ul style="list-style-type: none"> 割り込み要求発生待ち <p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 連続してデータの送信を行う場合は、UART 送信データレジスタ (RLN3nLUTDR レジスタ) に次の送信データを設定。割り込み要求発生待ち 	<ul style="list-style-type: none"> スタートビット送信 (半二重通信で受信→送信切り替え時は、受信の1ストップビットの終わり以後、スタートビット送信。この機能は「16.8.1.4 送信開始ウェイト機能」を参照してください。) <p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 送信割り込み出力
(4)		UART (ウェイト用) 送信データレジスタに設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 or 2 ストップビットを送信

表 16.64 LIN/UART インタフェース (UART モード) の送信処理 (2/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(7)	<p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 次の送信データがセットされている場合は、(3) へ <p>【UTIGTS ビットが“1” (送信完了時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 連続してデータの送信を行う場合は、(2) へ 	<p>【UTIGTS ビットが“0” (送信開始時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> 次の送信データがセットされている場合は、(3) へ 次の送信データがセットされていない場合は、送信ステータスフラグをクリア <p>【UTIGTS ビットが“1” (送信完了時に送信割り込み発生) のとき】</p> <ul style="list-style-type: none"> RLIN3n 送信割り込み要求発生 送信ステータスフラグをクリア

16.8.1.1 連続送信

LIN/UART インタフェース (UART モード) では、RLN3nLUTDR レジスタを使用して複数のデータを連続送信することができます。送信割り込み発生タイミングが送信開始の場合の動作例および送信割り込み発生タイミングが送信完了の場合の動作例を図 16.15 に示します。

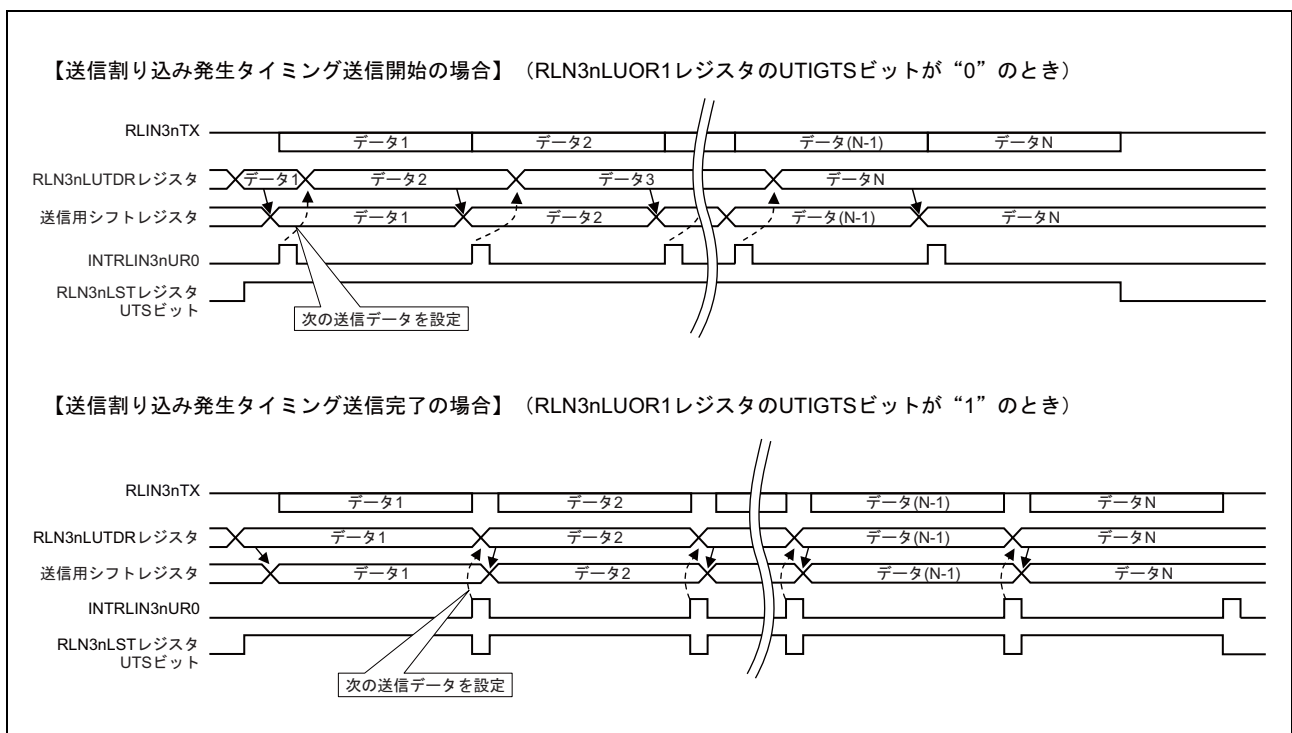


図 16.15 LIN/UART インタフェース (UART モード) 連続送信動作例

送信割り込み発生タイミングが送信開始で最終データの送信完了を知る必要がある場合のみ、最終データの送信開始後に RLN3nLUOR1 レジスタの UTIGTS ビットを“0”から“1”に変更することにより、送信完了で割り込みを発生させることができます。

16.8.1.2 UART バッファ送信

LIN/UART インタフェース (UART モード) は、最大9段の UART バッファを持っており、UART バッファを使用した連続送信が可能です。

図 16.16 に LIN/UART インタフェース (UART モード) の UART バッファ送信動作、表 16.65 に UART バッファ送信処理を示します。

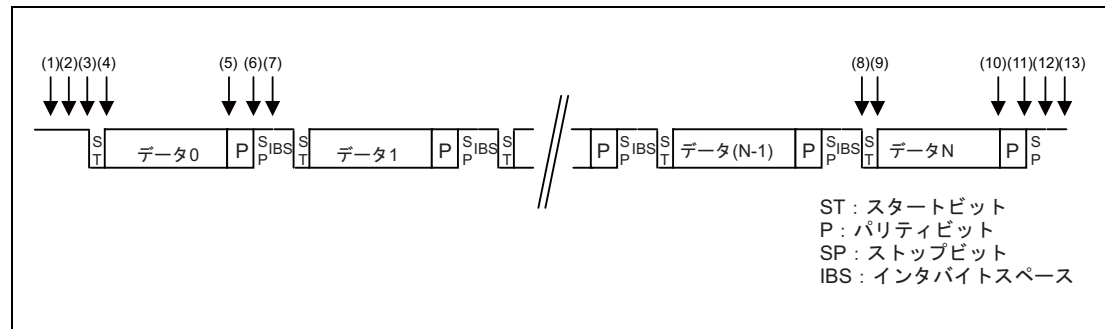


図 16.16 LIN/UART インタフェース (UART モード) の UART バッファ送信動作

表 16.65 LIN/UART インタフェース (UART モード) UART バッファ送信処理 (1/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> ボーレートを設定 ノイズフィルタ ON/OFF を設定 エラー検出許可を設定 データフォーマットを設定 割り込み発生タイミングを送信完了時に設定 LIN/UART インタフェースを LIN リセットモードから解除 送信動作許可ビット (UTOE ビット) を“1”に設定 	<ul style="list-style-type: none"> ソフトウェアによる送信トリガ (RTS ビット) 待ち
(2)	<ul style="list-style-type: none"> UART バッファデータ長 および 送信開始ウェイト有無の設定 UART データ 0 バッファレジスタ (RLN3nLUDB0)、LIN データバッファ b レジスタ (RLN3nLDBRb) に送信データを設定 (b = 1 ~ 8) UART バッファ送信開始ビット (RTS) を設定 	<ul style="list-style-type: none"> 送信ステータスフラグをセット
(3)	割り込み要求発生待ち	スタートビット送信 (半二重通信で受信→送信切り替え時は、受信の1ストップビットの終わり以後、スタートビット送信。この機能は「16.8.1.4 送信開始ウェイト機能」を参照してください。)
(4)		UART データバッファ 0 レジスタ (RLN3nLUDB0) または LIN/UART データバッファ b レジスタ (RLN3nLDBRb) に設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 または 2 ストップビットを送信 (UART バッファデータ長設定ビットで設定したデータ数が 1 の場合、(12)に進む)
(7)		インタバイトスペース (アイドル) を送信
		UART バッファデータ長設定ビットで設定したデータ数-1 まで、(3) ~ (7) を繰り返す

表 16.65 LIN/UART インタフェース (UART モード) UART バッファ送信処理 (2/2)

	ソフトウェア処理	LIN/UART インタフェース処理
(8)	割り込み要求発生待ち	スタートビット送信
(9)		LIN/UART データバッファ b レジスタ (RLN3nLDBRb) に設定したデータを送信
(10)		パリティ使用時、パリティビットを送信
(11)		1 または 2 ストップビットを送信
(12)		<ul style="list-style-type: none"> バッファ送信完了フラグをセット UART バッファ送信開始ビット (RTS) をクリア 送信割り込み要求信号 送信ステータスフラグをクリア
(13)	<ul style="list-style-type: none"> RLN3nLST レジスタのチェック、フラグのクリア 連続してデータの送信を行う場合は、(2) へ 	

(1) UART バッファの送信

9 バイト送信の場合、RLN3nLUDB0 レジスタ、RLN3nLDBR1 ~ RLN3nLDBR8 レジスタに格納されている内容が、データ 0 ~ 8 領域に送信されます。9 バイトの送信設定のときのみ、RLN3nLUDB0 レジスタは使われます。その他の場合、データ長により、RLN3nLDBR1 ~ RLN3nLDBR8 レジスタが選択されます。4 バイト送信の場合は、RLN3nLDBR1 ~ RLN3nLDBR4 レジスタに格納されている内容がデータ 1 ~ 4 領域に送信されます。RLN3nLDBR5 ~ RLN3nLDBR8 レジスタの内容は送信されません。RLN3nLDFC レジスタの MDL[3:0] ビットに設定したデータ数送信後、RLIN3n の送信割り込みが発生します。各送信データ間スペースは、RLN3nLSC レジスタの IBS ビットで設定できます。

図 16.17 に 9 バイトの UART バッファと送信処理を示します。

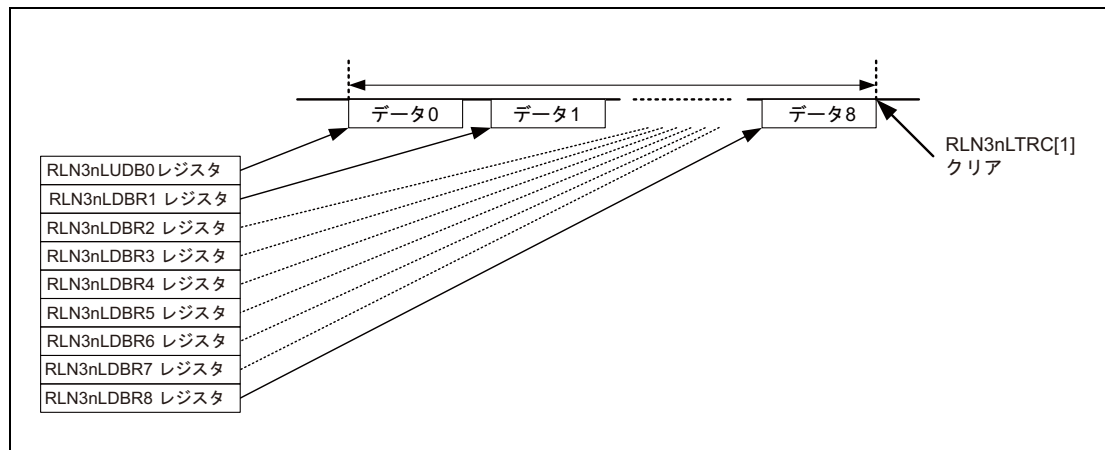


図 16.17 UART バッファと送信処理 (9 バイトの場合)

16.8.1.3 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

半二重通信で、RLN3nLEDE レジスタの BERE ビットが“1”（ビットエラー検出許可）のとき、データ送信時に送信データと入力端子レベルの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（「16.8.5 エラーステータス」参照）。データ送信時に、入力端子をサンプリングするタイミングは、RLN3nLWBR レジスタの LPRS[2:0] および NSPB[3:0] ビットの設定により異なります。

UART モード時のビットエラー検出タイミングを表 16.66 に示します。

表 16.66 UART モード時のビットエラー検出タイミング

1 ビットあたりのサンプリング数	ビットエラー検出タイミング
6 サンプリング	3 クロック目 + 1 プリスケールクロック
7 サンプリング	4 クロック目 + 1 プリスケールクロック
8 サンプリング	4 クロック目 + 1 プリスケールクロック
9 サンプリング	5 クロック目 + 1 プリスケールクロック
10 サンプリング	5 クロック目 + 1 プリスケールクロック
11 サンプリング	6 クロック目 + 1 プリスケールクロック
12 サンプリング	6 クロック目 + 1 プリスケールクロック
13 サンプリング	7 クロック目 + 1 プリスケールクロック
14 サンプリング	7 クロック目 + 1 プリスケールクロック
15 サンプリング	8 クロック目 + 1 プリスケールクロック
16 サンプリング	8 クロック目 + 1 プリスケールクロック

データ送信のタイミング例（1 Tbit が 16 サンプリングの場合）を図 16.18 に示します。

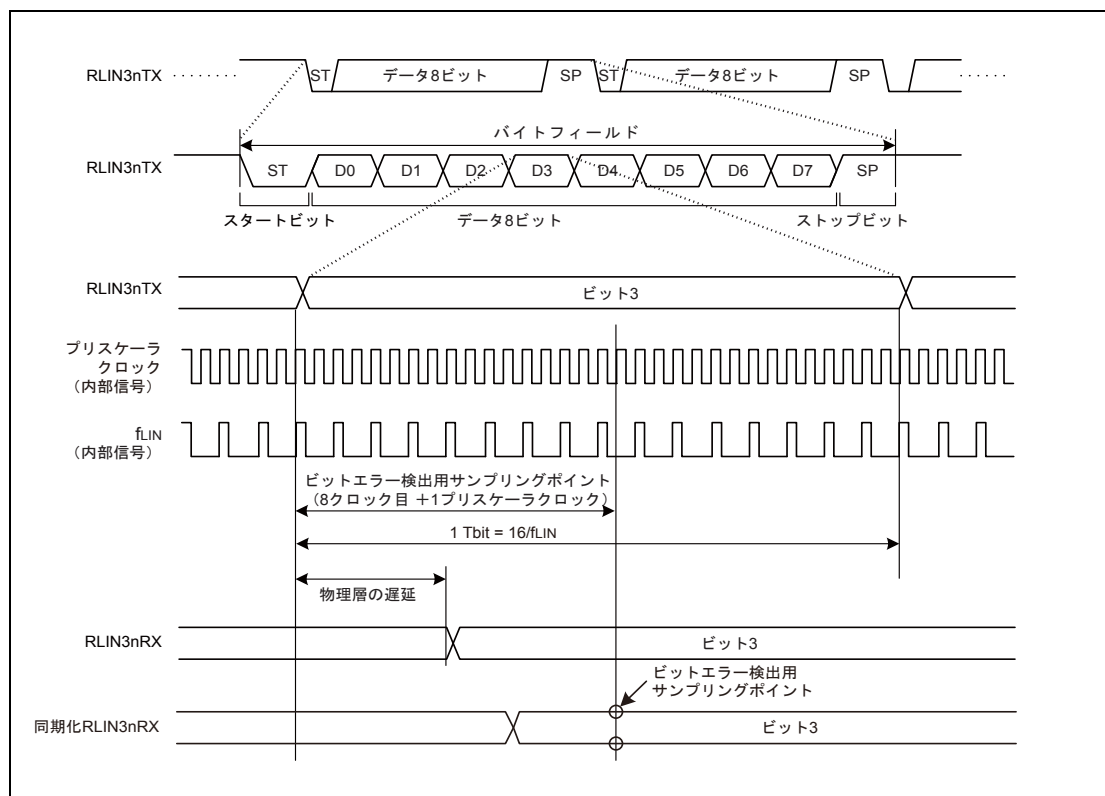


図 16.18 データ送信のタイミング例（1 Tbit が 16 サンプリングの場合）

16.8.1.4 送信開始ウェイト機能

LIN/UART インタフェース (UART モード) は、半二重通信を行う場合、受信から送信へ切り替わるときに受信のストップビット長を確保する機能を持っています。

受信のストップビット完了まで送信開始を遅らせたい場合、送信開始要求として RLIN3nLUTDR レジスタへ送信データを設定する代わりに、ウェイト専用レジスタである RLIN3nLUWTD R レジスタへデータを設定してください。UART バッファから送信する場合は、RLIN3nLDFC レジスタの UTSW ビットを“1”に設定した状態で、RLIN3nLTRC レジスタの RTS ビットに“1” (UART バッファ送信開始) を設定してください。

この場合、受信データのストップビットが終了するまで、送信開始をウェイトします。

なお、RLIN3nBLFC レジスタの UART ストップビット長選択ビット (USBLS) が“1” (ストップビット2ビット) の場合でも、1ビット分しかウェイトしません。

送信ウェイト機能の動作を **図 16.19** に示します。

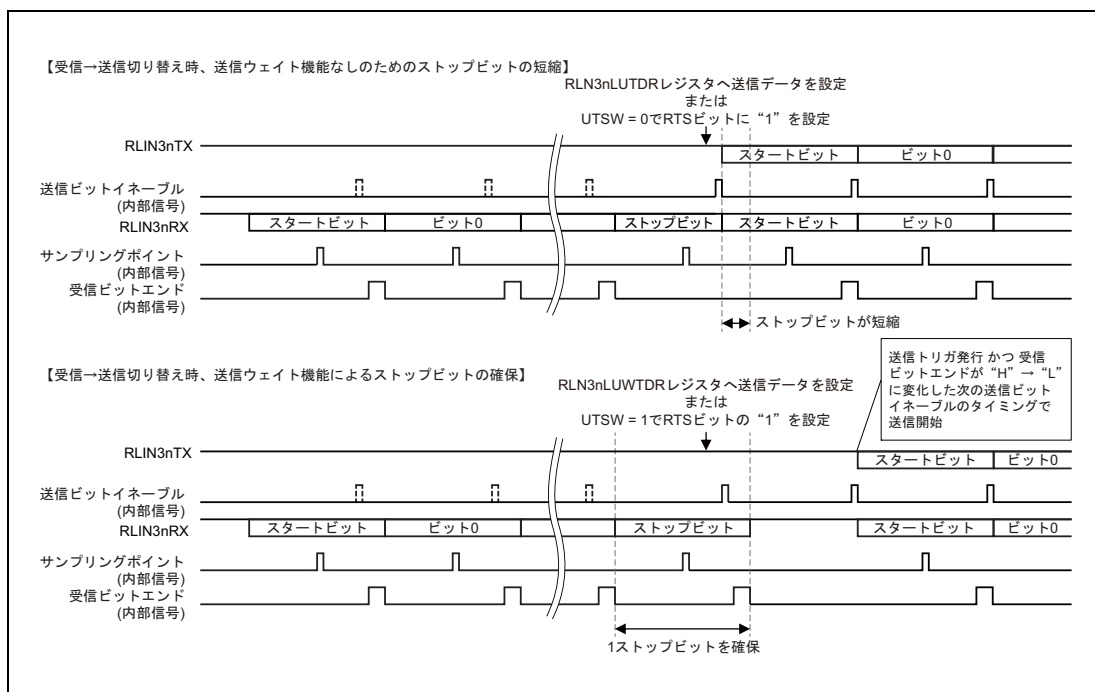


図 16.19 受信データのストップビット中に送信データを設定した場合

16.8.2 受信

図 16.20 に LIN/UART インタフェース (UART モード) の受信動作、表 16.67 に LIN/UART インタフェース (UART モード) の受信処理を示します。

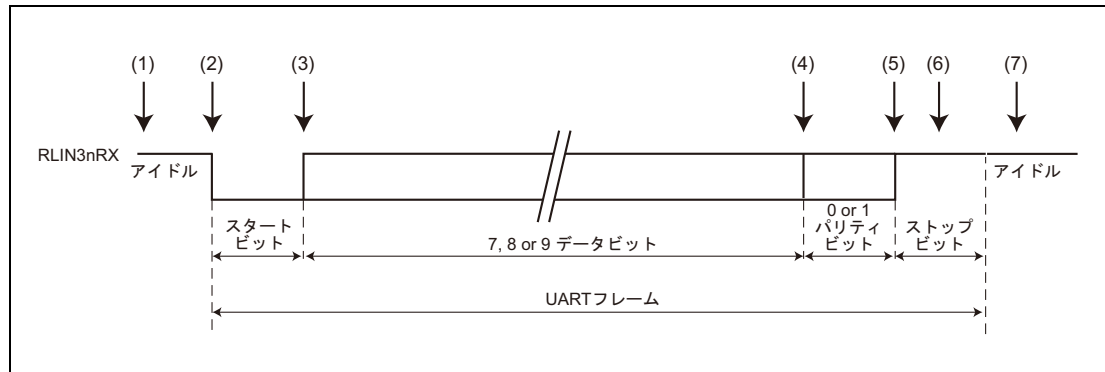


図 16.20 LIN/UART インタフェース (UART モード) の受信動作

表 16.67 LIN/UART インタフェース (UART モード) の受信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • エラー検出許可を設定 • データフォーマットを設定 • LIN/UARTインタフェースをLINリセットモードから解除 • 受信動作許可ビット (UROE ビット) を“1”に設定 	<ul style="list-style-type: none"> • ソフトウェアによる受信許可状態切り換え待ち • スタートビット検出待ち
(2)	割り込み要求発生待ち	<ul style="list-style-type: none"> • 受信端子からの立ち下がりエッジを待ち、スタートビットを検出 • 受信ステータスフラグをセット
(3)		データを受信
(4)		パリティ使用時、パリティビットを受信
(5)		1ストップビットのみ受信
(6)		<ul style="list-style-type: none"> • RLIN3n 受信完了割り込み要求発生 • 受信ステータスフラグをクリア
(7)	RLN3nLST レジスタのチェック、フラグのクリア	受信端子からの立ち下がりエッジ待ち

16.8.2.1 データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケールクロックに同期させた同期化 RLIN3nRX (内部信号) を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、1 Tbit あたりのサンプリング数が偶数の場合は 0.5 Tbit 後に、奇数の場合は $\{(\text{サンプリング数} + 1) / 2\} / (\text{サンプリング数}) \text{Tbit}$ 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

ただし、RLN3nLEDE レジスタの BERE ビットが“1”の場合は、サンプリングポイントがビットエラー検出タイミングと同じになります。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが“0”の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケールクロックで3サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが“1”の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 16.21 にデータ受信タイミングの例を示します。

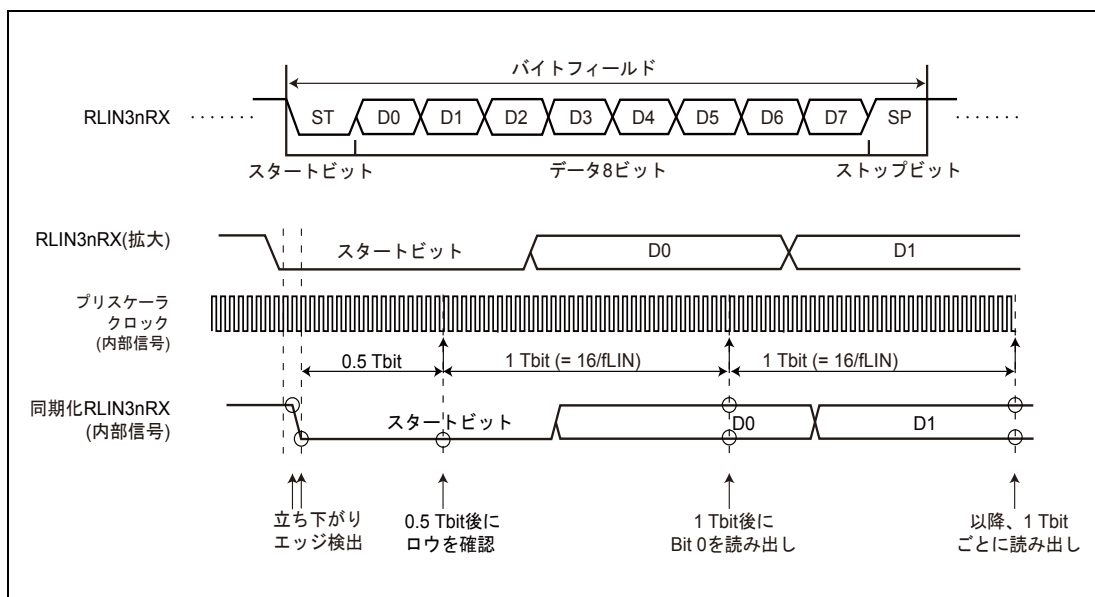


図 16.21 データ受信タイミング例 (1 Tbit が 16 サンプリングの場合)

16.8.3 拡張ビット

LIN/UART インタフェース (UART モード) で、RLN3nLUOR1 レジスタの UEBE ビットを“1”に設定することにより、9 ビット長のデータを送受信することが可能です。

16.8.3.1 拡張ビット送信

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が“1”で、UART 送信データレジスタ (RLN3nLUTDR) または UART ウェイト用送信データレジスタ (RLN3nLUWTD) に 9 ビットのデータを書き込むと 9 ビット長のデータが送信されます。

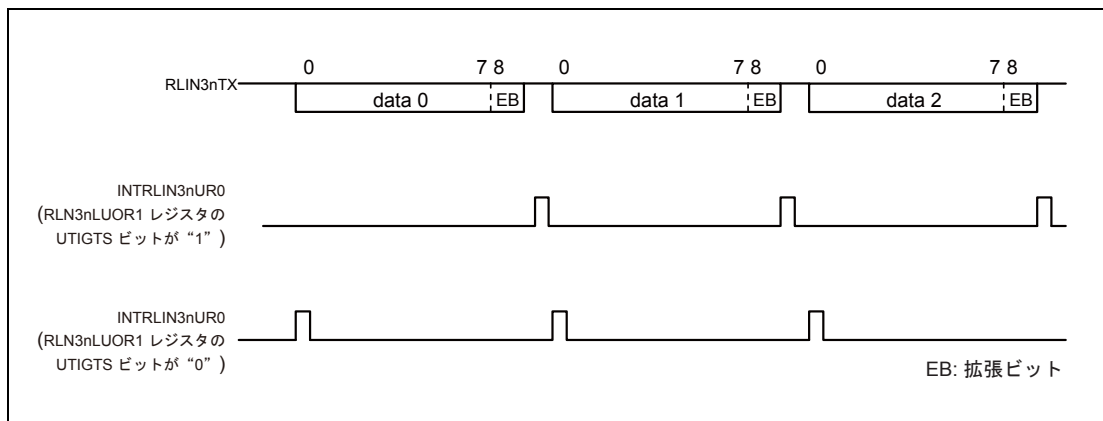


図 16.22 拡張ビット許可時送信例 (LSB ファースト)

16.8.3.2 拡張ビット受信

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が“1”かつ拡張ビット比較禁止ビット (UECD) が“1”かつ拡張ビット・データ比較許可ビット (UEBDCE) が“0”のとき、拡張ビットの比較なしで常に 9 ビット長の受信が可能です。UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット検出レベル選択ビット (UEBDL) の設定にかかわらず、9 ビット長のデータを受信すると RLIN3n の受信完了割り込みが発生します。

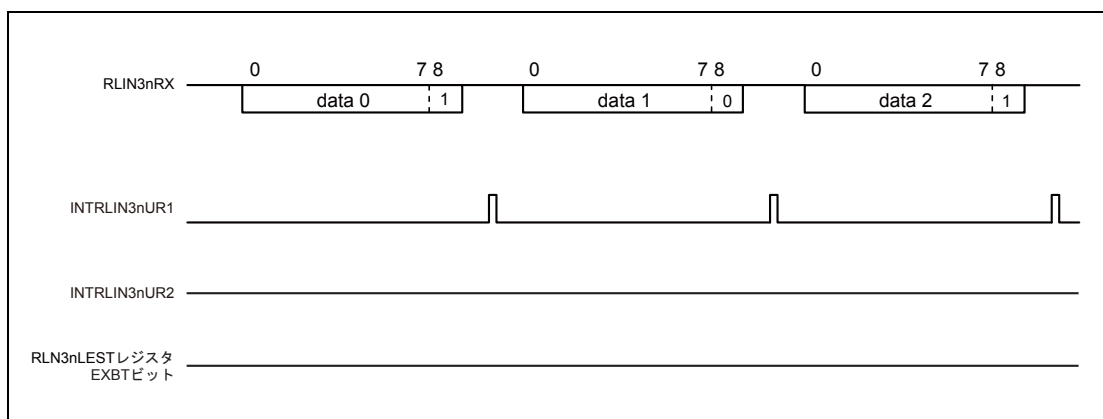


図 16.23 拡張ビット受信の例 (LSB ファースト)

16.8.3.3 拡張ビット受信 (拡張ビット比較あり)

LIN/UART インタフェース (UART モード) で、UART オプションレジスタ 1 (RLN3nLUOR1) の拡張ビット許可ビット (UEBE) が “1” かつ 拡張ビット比較禁止ビット (UECD) が “0” かつ 拡張ビット・データ比較許可ビット (UEBDCE) が “0” のとき、受信した拡張ビットと UEBDL ビットの比較が可能です。

拡張ビット検出レベル選択ビット (UEBDL) で設定したレベルを検出した場合は、データ受信完了時に RLIN3n のステータス割り込み要求が発生し、LIN エラーステータスレジスタ (RLN3nLEST) の拡張ビット検出フラグ (EXBT) がセットされます。拡張ビット検出レベルの反転値が検出された場合は、RLIN3n の受信完了割り込み要求が発生します。どちらの場合も、オーバランエラーでなければ受信データを UART 受信データレジスタ (RLN3nLURDR) へ格納します。

拡張ビット検出レベル選択ビット (UEBDL) を “0” に設定した場合の例を図 16.24 に示します。

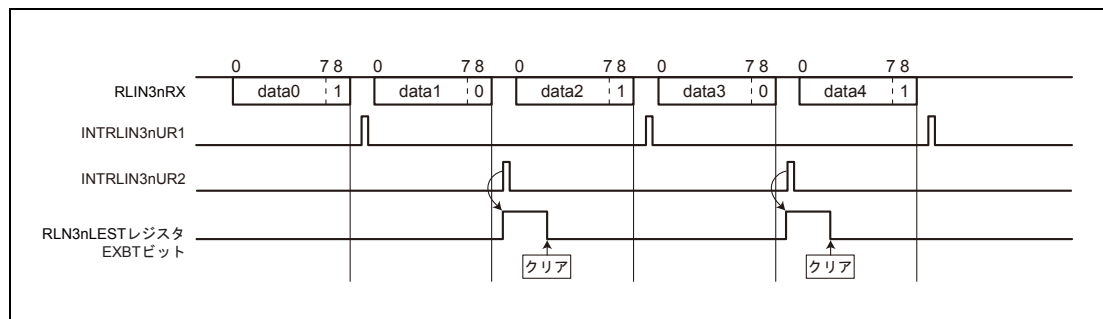


図 16.24 拡張ビット受信 (拡張ビット比較あり) の例 (LSB ファースト、UEBDL = 0)

備 考

- 受信 data0、2、4 (拡張ビット検出レベルの反転値が検出された場合) で受信エラー (パリティエラー/フレーミングエラー/オーバランエラー) が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。このとき、RLIN3n の受信完了割り込みは発生しません。
- 受信 data1、3 (拡張ビット検出レベルが検出された場合) で受信エラー (パリティエラー/フレーミングエラー/オーバランエラー) が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生時は、拡張ビット検出フラグ (EXBT) もセットされます。

16.8.3.4 拡張ビット受信（データ比較あり）

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が“1”かつ拡張ビット比較禁止ビット（UECD）が“0”かつ拡張ビット・データ比較許可ビット（UEBDCE）が“1”のとき、拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出すると、受信データの拡張ビットをのぞく 8 ビットを、あらかじめ設定した RLN3nLIDB レジスタ値と比較します。比較結果が一致の場合は、以下の動作を実行します。

- RLIN3n のステータス割り込みを発生
- 拡張ビット検出フラグ（EXBT）をセット
- ID 一致フラグ（IDMT）をセット
- 受信データを UART 受信データレジスタ（RLN3nLURDR）に格納

比較結果が一致の場合においても、RLIN3n の受信完了割り込みは発生しません。

比較結果が一致しない場合は、RLIN3n の受信完了割り込み および RLIN3n のステータス割り込みは発生せず、EXBT フラグ および IDMT フラグは“1”にセットされません。受信データは UART 受信データレジスタ（RLN3nLURDR）に格納されません。

UEBDCE ビットを“0”に変更する場合は、次の受信データ完了後までに行ってください。

拡張ビット検出レベル選択ビット（UEBDL）を“0”に設定した場合の例を図 16.25 に示します。

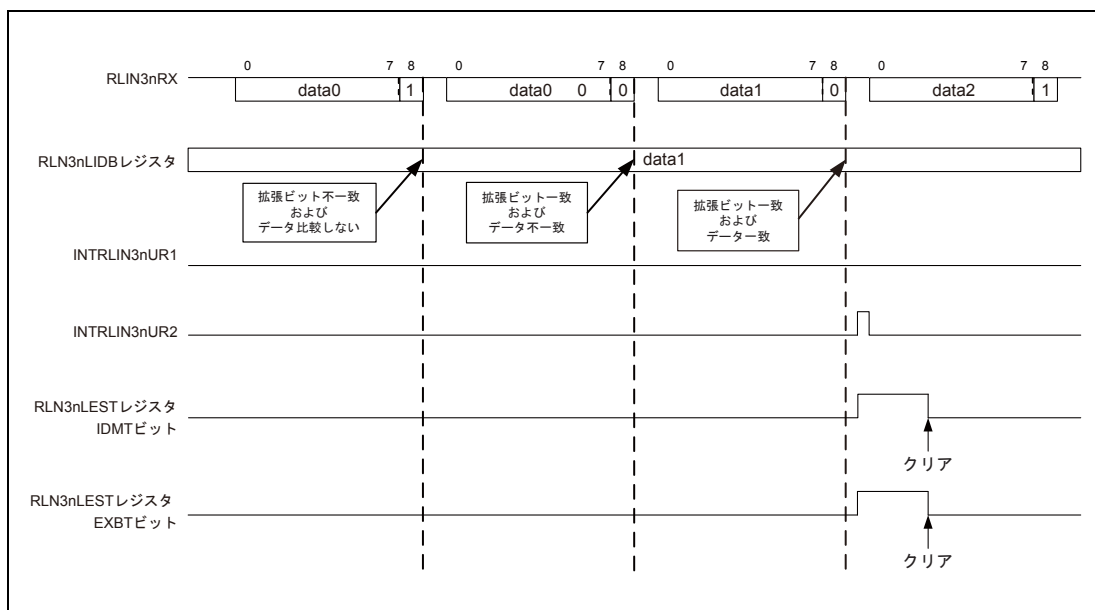


図 16.25 拡張ビット受信（データ比較あり）の例（LSB ファースト、UEBDL = 0）

備考

受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生かつ比較結果が一致の場合は、EXBT フラグおよび IDMT フラグもセットされます。

16.8.4 ステータス

LIN/UART インタフェースは UART モード動作時に、5 種類のステータスを検出します。

UART バッファ送信完了、エラー検出の2つのステータスは割り込み要求を発生することができます。

表 16.68 に UART モードでのステータスの種類を示します。

表 16.68 UART モードステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	RLN3nLMST レジスタの OMM0 ビット	—
UART バッファ送信完了	<ul style="list-style-type: none"> RLN3nLUOR1 レジスタの UTIGTS ビットが“0”（送信開始時に送信割り込み発生）の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長の最終データを送信開始したとき RLN3nLUOR1 レジスタの UTIGTS ビットが“1”（送信完了時に送信割り込み発生）の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長を送信完了したとき 	<ul style="list-style-type: none"> ソフトウェアによるクリア LIN リセットモード移行時 	RLN3nLST レジスタの FTC フラグ	○
エラー検出	RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグのいずれかが“1”（検出）になったとき	<ul style="list-style-type: none"> ソフトウェアによるクリア^{注1} LIN リセットモード移行時 	RLN3nLST レジスタの ERR フラグ	○
送信ステータス	<ul style="list-style-type: none"> RLN3nLUTDR レジスタ または RLN3nLUWTD R レジスタにデータを書き込んだとき RLN3nLTRC レジスタの RTS ビットに“1”を書き込んだとき 	<ul style="list-style-type: none"> RLN3nLUTDR レジスタ または RLN3nLUWTD R レジスタにセットされたデータが送信完了して、次の送信データがセットされていないとき UART バッファのデータの送信が完了して、RLN3nLTRC レジスタの RTS ビットがクリアされたとき LIN リセットモード移行時 	RLN3nLST レジスタの UTS フラグ	—
受信ステータス	<ul style="list-style-type: none"> スタートビットを検出したとき 	<ul style="list-style-type: none"> ストップビットのサンプリングポイントを検出したとき LIN リセットモード移行時 	RLN3nLST レジスタの URS フラグ	—

注 1. LIN リセットモード解除中に RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに“0”を書くことにより、RLN3nLST レジスタの ERR フラグは“0”になります。

16.8.5 エラーステータス

エラーステータスの種類

LIN/UART インタフェースは UART モードで、4 種類のエラーと 2 種類のステータスを検出します。これらのステータスの状態は RLN3nLEST レジスタの各ビットで確認できます。

表 16.69 にステータスの種類を示します。

表 16.69 ステータスの種類 (UART モード)

ステータス	エラー検出条件	通信処理	検出許可/ 禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているデータが一致しなかったとき ^{注1}	設定された送信データの送信完了まで継続	○	RLN3nLEST レジスタの BER フラグ
オーバランエラー	RLN3nLURDR レジスタに受信データ格納後、データの読み出し前に、次のデータを受信したとき (このとき、RLN3nLURDR レジスタには格納されない)	— (検出時はすでに受信完了)	○	RLN3nLEST レジスタの OER フラグ
フレーミングエラー	受信処理において、1 ビット目のストップビットがロウレベルであったとき	— (検出時はすでに受信完了)	○	RLN3nLEST レジスタの FER フラグ
パリティエラー	受信したパリティ値が、受信データから算出したパリティ値と一致しなかったとき	受信完了まで継続	× 注2	RLN3nLEST レジスタの UPER フラグ
拡張ビット検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致したとき	—	○	RLN3nLEST レジスタの EXBT フラグ
ID 一致検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致かつ拡張ビットを除く受信した 8 ビットデータが RLN3nLIDB レジスタの値と一致したとき	—	○	RLN3nLEST レジスタの IDMT フラグ

注 1. UART バッファから送信する場合は、UART フレーム間のスペース (インタバイトスペース) でもビットエラーを検出します。

注 2. RLN3nLBFC レジスタの UPS[1:0] ビットを "10_B" (0 パリティ) に設定すると、パリティビットの値の判定を実施しません。そのため、パリティエラーは発生しません。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

16.9 LIN セルフテストモード

LIN/UART インタフェースは、LIN セルフテストモードを持ちます。一度 LIN/UART インタフェースが LIN セルフテストモードになると、RLIN3nTX と RLIN3nRX は外部端子から切断され、LIN/UART インタフェース内部で RLIN3nTX と RLIN3nRX が接続されます。よって、RLIN3nTX から送信するフレームは RLIN3nRX にループバックします。LIN セルフテストモードは、LIN モードのみのテストが可能です。

セルフテストは、以下の2種類行うことができます。

- LIN マスタ セルフテストモード (送信) : ヘッダ送信およびレスポンス送信
- LIN マスタ セルフテストモード (受信) : ヘッダ送信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源 /16[bps] で動作します。(RLN3nLWBR レジスタの NSPB ビットは、必ず“0000_B”または“1111_B”で使用してください。)

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード
- 多バイトレスポンス送受信機能
- フレーム/レスポンスタイムアウトエラー

これらの機能は使用しないでください。

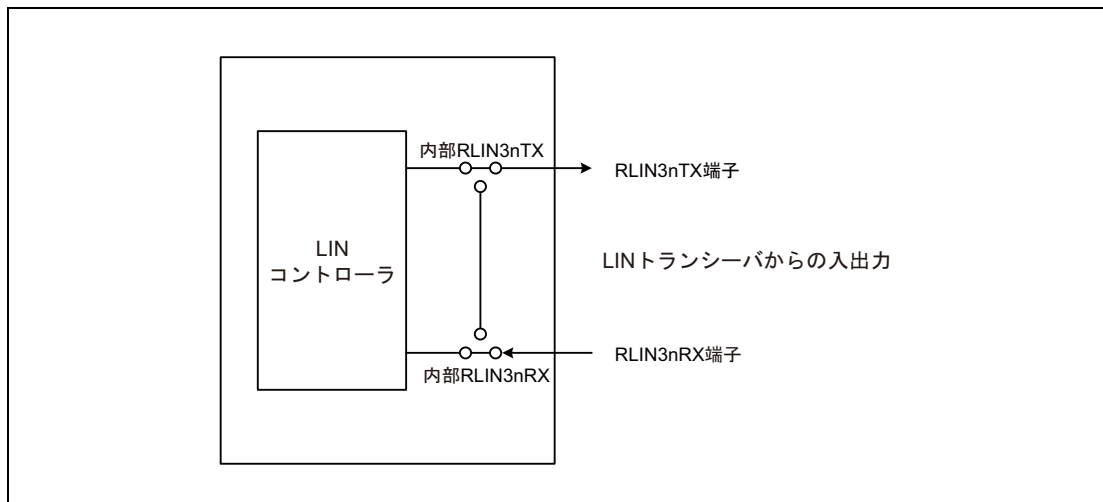


図 16.26 LIN リセットモード、LIN モード および UART モード接続

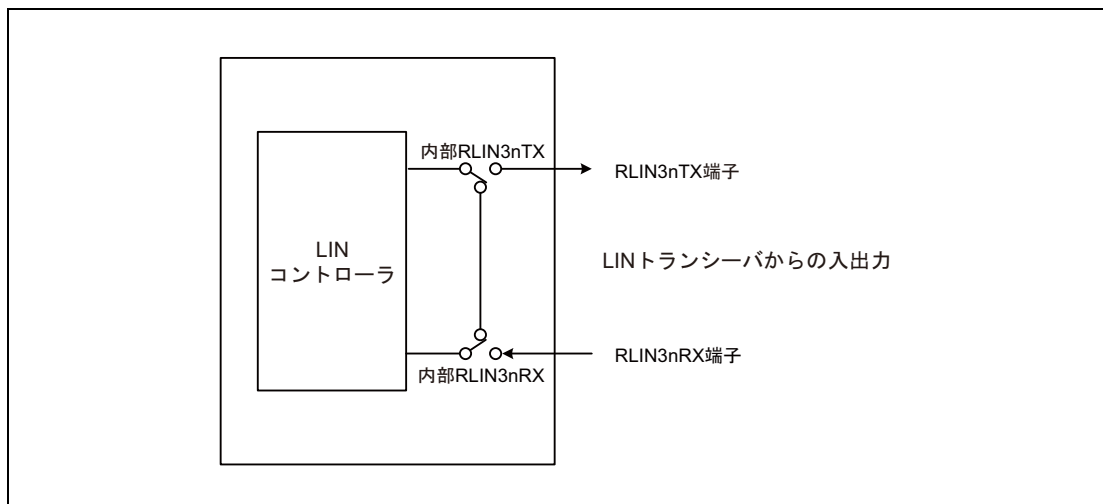


図 16.27 LIN セルフテストモード接続

16.9.1 LIN セルフテストモードへの移行

RLN3nLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。
RLN3nLSTC レジスタの LSTM ビットが“1”になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに3回連続書き込みを行う必要があります。

- LIN リセットモードへ移行
RLN3nLCUC レジスタの OM0 ビットを“0” (LIN リセットモード) にする。
RLN3nLMST レジスタの OMM0 ビットを読み出し、“0” (LIN リセットモード) であることを確認する
- LIN モードの選択
RLN3nLMD レジスタの LMD ビットが“00_B” (LIN マスタモード) 1回目書き込み：
RLN3nLSTC レジスタ = “1010 0111” (A7_H)
- 2回目書き込み：RLN3nLSTC レジスタ = “0101 1000” (58_H)
- 3回目書き込み：RLN3nLSTC レジスタ = “0000 0001_B” (01_H)
- LIN セルフテストモードへの移行を確認する
RLN3nLSTC レジスタの LSTM ビットを読み出し、“1” (LIN セルフテストモード) であることを確認する。

1回目のキー (A7_H) を誤って2回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度1回目の書き込みから実施してください。また、LIN セルフテストモードへの移行 (RLN3nLSTC レジスタへの3回連続書き込み) 中にほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

16.9.2 LIN マスタ セルフテストモードにおける送信

LIN マスタの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxxx_B^{注1}
 RLN3nLBRP0 レジスタ = xxxx xxxx_B^{注1}
 RLN3nLBRP1 レジスタ = xxxx xxxx_B^{注1}
 RLN3nLMD レジスタ = 00xx xx00_B^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxx_B^{注2}
 RLN3nLEDE レジスタ = x000 x0xx
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 00xx xxxx_B
 RLN3nLSC レジスタ = 00xx 0xxx_B
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する。
- 送信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x1 xxxx_B
 RLN3nLIDB レジスタ = xxxx xxxx_B
 RLN3nLDBR1 ~ RLN3nLDBR8 レジスタ = xxxx xxxx_B
- ヘッダ送信→レスポンス送信開始
 RLN3nLTRC レジスタの FTS ビットを“1”（フレーム送信/ウエイクアップ送受信開始）にする。
 LIN マスタセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN/UART インタフェースが自動演算する。
 LIN マスタセルフテストモード（送信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b = 1 ~ 8）、RLN3nLCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x : 任意の値を設定してください。

- 注 1.** 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
 RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット
 そのため、設定は必須ではありません。
- 注 2.** 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。
- 注 3.** ヘッダ送信完了割り込みとフレーム送信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ送信完了割り込み許可）にしな

いでください。

ヘッダ送信完了フラグのセットからフレーム/ウエイクアップ送信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$

$$1 \text{ Tbit} = 1/\text{LIN システムクロックの周波数 (fLIN)} \times 16$$

16.9.3 LIN マスタ セルフテストモードにおける受信

LIN マスタの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
 RLN3nLWBR レジスタ = 0000 xxxx_B^{注1}
 RLN3nLBRP0 レジスタ = xxxx xxxx_B^{注1}
 RLN3nLBRP1 レジスタ = xxxx xxxx_B^{注1}
 RLN3nLMD レジスタ = 00xx xx00_B^{注1}
- 割り込み許可、エラー許可関連レジスタを設定する。
 RLN3nLIE レジスタ = 0000 xxxx_B^{注2}
 RLN3nLEDE レジスタ = x000 x0xx_B
- ブレークフィールド、スペース関連レジスタを設定する。
 RLN3nLBFC レジスタ = 00xx xxxx_B
 RLN3nLSC レジスタ = 00xx 0xxx_B^{注1}
- LIN リセットモード解除
 RLN3nLCUC レジスタの OM1、OM0 ビットに“1_B”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“1_B”になることを確認する。
- 受信フレーム関連レジスタを設定する。
 RLN3nLDFC レジスタ = 00x0 xxxx_B
 RLN3nLIDB レジスタ = xxxx xxxx_B
 RLN3nLDBR1 ~ RLN3nLDBR8 レジスタ = xxxx xxxx_B
 RLN3nLCBR レジスタ = xxxx xxxx_B
 送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき 誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。
- ヘッダ送信→レスポンス受信開始
 RLN3nLTRC レジスタの FTS ビットを“1”（フレーム送信/ウエイクアップ送受信開始）にする。
 LIN マスタセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。
 LIN マスタセルフテストモード（受信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ (b=1 ~ 8)、RLN3nLCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考 x: 任意の値を設定してください。

- 注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLWBR レジスタの LPRS ビット、RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、
RLN3nLMD レジスタの LCKS ビット、RLN3nLSC レジスタの IBS ビット
そのため、設定は必須ではありません。
- 注 2. 必要に応じて、「第 6 章 割り込み」の関連レジスタを設定してください。
- 注 3. ヘッダ送信完了割り込みとフレーム受信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ送信完了割り込み許可）にしないでください。
ヘッダ送信完了フラグのセットからフレーム/ウエイクアップ受信完了フラグのセットまでの時間は次式で表されます。
$$10 \times (\text{データバイト数} + 1) [\text{Tbit}]$$
$$1 \text{ Tbit} = 1/\text{LIN システムクロックの周波数 (fLIN)} \times 16$$

16.9.4 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書く。
RLN3nLMST レジスタの OMM1、OMM0 ビットが“11_B”でない場合は、RLN3nLCUC レジスタの OM1、OM0 ビットに“11_B”を書き、RLN3nLMST レジスタ OMM1、OMM0 ビットが“11_B”になることを確認した後に、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
RLN3nLSTC レジスタの LSTM ビットを読み、“0”（LIN セルフテストモードではない）を確認。
- LIN リセットモードへの移行を確認する。
RLN3nLMST レジスタの OMM0 ビットを読み、“0”（LIN リセットモード）を確認。

16.10 ボーレートジェネレータ

LIN 通信クロック源をプリスケアラで分周したクロックがプリスケアラクロックとなり、プリスケアラクロックをボーレートジェネレータで分周したクロックが LIN システムクロック (fLIN) となり、これをサンプリング数で分周したクロックがボーレートになります。このボーレートの逆数をビットタイム (Tbit) といいます。

LIN/UART インタフェースは、2 種類のボーレートジェネレータを持ち、モードにより使用するボーレートジェネレータが切り替わります。

16.10.1 LIN マスタモード

図 16.28 に LIN マスタモード時のボーレート生成ブロック図を示します。

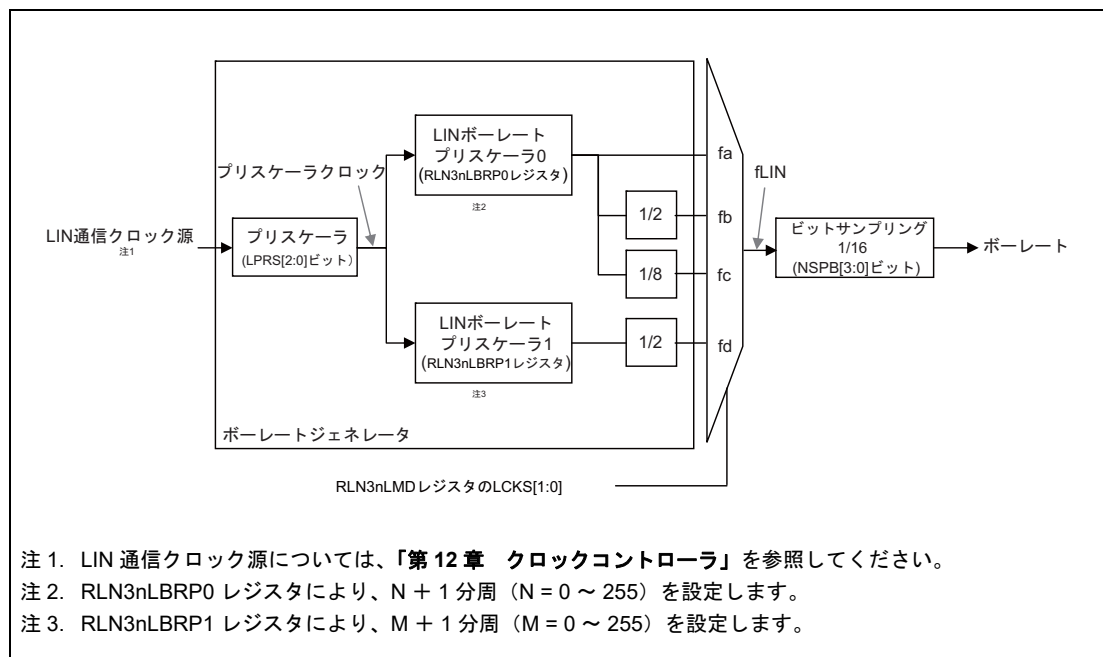


図 16.28 LIN マスタモード ボーレート生成ブロック図

fa が 307200 Hz ($= 19200 \times 16$) となるように RLIN3nLBRP0 レジスタを設定すれば、 $fa = 19200 \times 16$ 、 $fb = 9600 \times 16$ 、 $fc = 2400 \times 16$ となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz ($= 10417 \times 16$) となるように RLIN3nLBRP1 レジスタを設定すれば、 $fd = 10417 \times 16$ となり、ビットタイミング生成部で 16 分周するため、10417 bps が生成できます。

表 16.70 に LIN 通信クロック源の周波数ごとのボーレート (19200、9600、2400、10417 bps) 生成例とその誤差を示します。

表 16.70 LIN マスタモード ボーレート生成例 (19200bps、10417bps、9600bps、2400bps)

LIN 通信 クロック源	プリスケアラ	ボーレートジェネ レータ 0 (N + 1) 分周	ボーレートジェネ レータ 1 (M + 1) 分周	システム クロック	ボーレート	誤差
80MHz	1/2	130	—	fa	19230.77	+0.16%
	1/1	—	240	fd	10416.67	-0.003%
	1/2	130	—	fb	9615.38	+0.16%
	1/2	130	—	fc	2403.85	+0.16%

備 考

ビットサンプリング数は、16 サンプリング (RLN3nLWBR.NSPB[3:0]=0000_B または 1111_B) です。

ボーレートの計算式は、以下のとおりです。

LIN マスタ のボーレート

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div 16 \text{ [bps]} \text{ (} f_{\text{LIN}} \text{ に fa 選択時)}$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div 2 \div 16 \text{ [bps]} \text{ (} f_{\text{LIN}} \text{ に fb 選択時)}$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP0} + 1) \div 8 \div 16 \text{ [bps]} \text{ (} f_{\text{LIN}} \text{ に fc 選択時)}$$

$$= \{ \text{LIN 通信クロック源の周波数} \} \times (\text{RLN3nLWBR.LPRS}[2:0] \text{ 選択クロック}) \\ \div (\text{RLN3nLBRP1} + 1) \div 2 \div 16 \text{ [bps]} \text{ (} f_{\text{LIN}} \text{ に fd 選択時)}$$

16.10.2 UART モード

図 16.29 に UART モード時のボーレート生成ブロック図を示します。

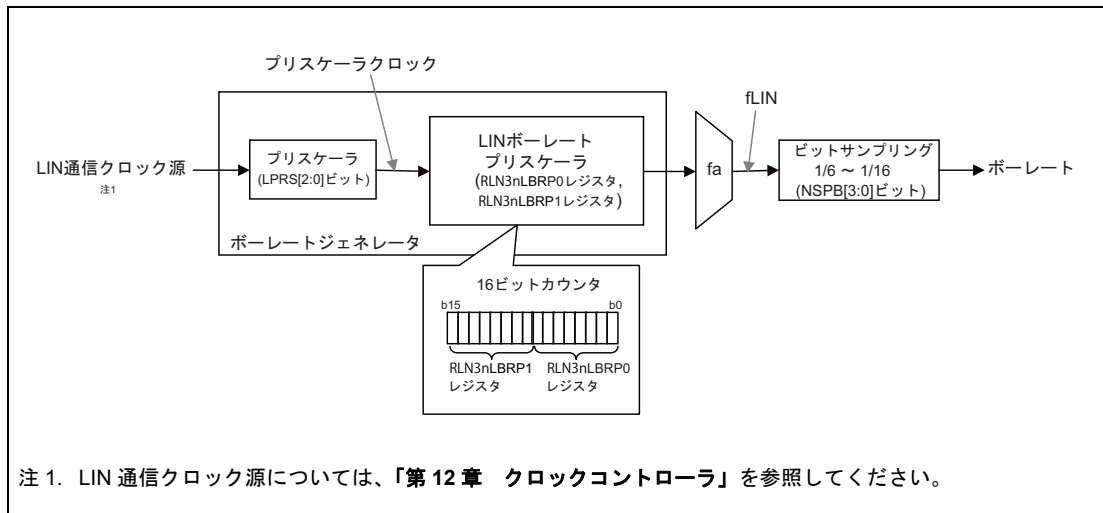


図 16.29 UART ボーレート生成ブロック図

UART のボーレートは次式で表せます。

$$\begin{aligned} \text{UART のボーレート} &= \{ \text{LIN 通信クロック源の周波数} \} \times \{ \text{RLN3nLWBR.LPRS[2:0] 選択クロック} \} \\ &\quad \div \{ \text{RLN3nLBRP0} + 1 \} \div \{ \text{RLN3nLWBR.NSPB[3:0] 選択数} \} \text{ [bps]} \end{aligned}$$

表 16.71 に LIN 通信クロック源の周波数ごとのボーレート (19200、9600、2400、10417bps) 生成例とその誤差を示します。

表 16.71 UART ボーレート設定例 (LIN 通信クロック源 = 80 MHz の場合)

UART ボーレート (目標ボーレート)	プリスケアラ	ボーレート ジェネレータ 01 (L + 1) 分周	ボーレート	誤差
1200 bps	1/2	2084	1199.616	-0.03%
2400 bps	1/2	1042	2399.232	-0.03%
4800 bps	1/2	520	4807.692	+0.16%
9600 bps	1/2	260	9615.385	+0.16%
19200 bps	1/2	130	19230.77	+0.16%
31250 bps	1/2	80	31250.00	0.00%
38400 bps	1/2	66	37878.79	-1.36%

備考

表 16.71 のビットサンプリング数は、16 サンプリング (RLN3nLWBR.NSPB[3:0]=0000_B または 1111_B) です。

16.11 ノイズフィルタ

LIN/UART インタフェースは、ノイズによるデータの誤受信を低減するためにノイズフィルタを持ちます。RLN3nLMD レジスタの LRDNFS ビットを“0”（ノイズフィルタを使用する）にすることによりノイズフィルタが有効になります。ノイズフィルタは、同期化 RLIN3nRX のレベルをプリスケールクロックで サンプリングし、サンプリング 3 回分の多数決の結果を出力します。受信データの各ビットの値はノイズフィルタ出力で決定されます。

図 16.30 にノイズフィルタの構成、図 16.31 にノイズフィルタ回路例、図 16.32 にノイズフィルタ使用時の受信データの決定を示します。

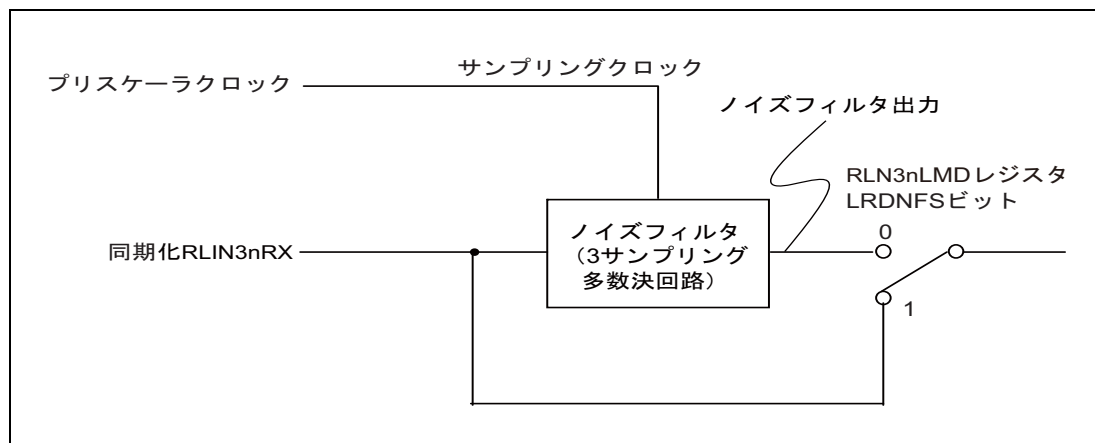


図 16.30 ノイズフィルタの構成

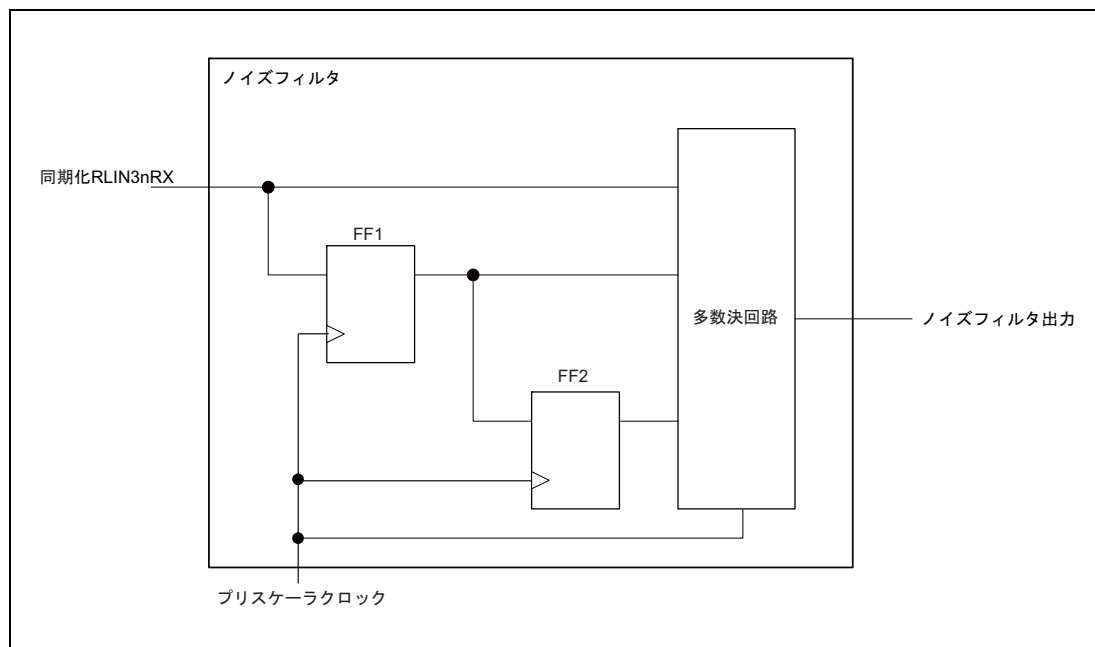


図 16.31 ノイズフィルタ回路例

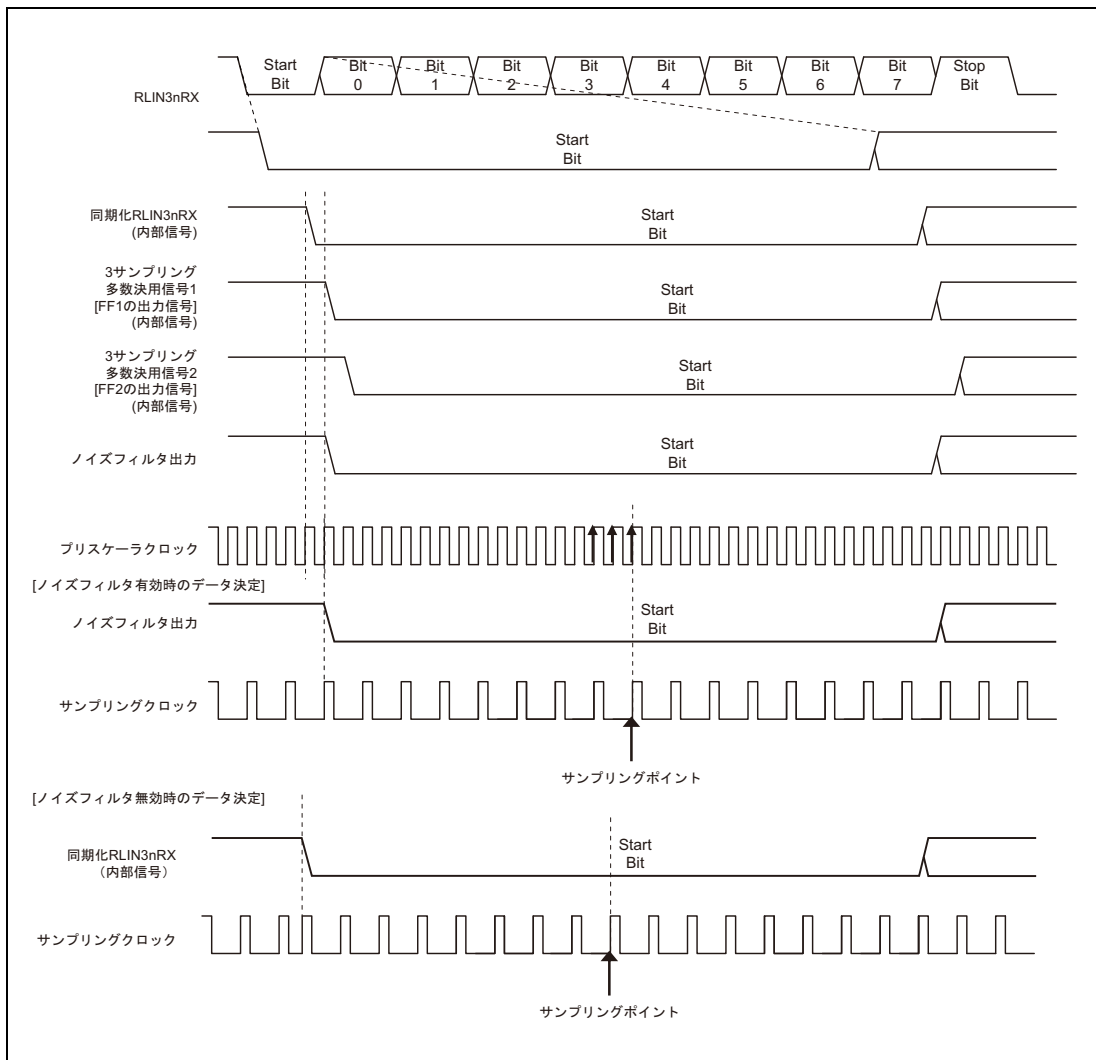


図 16.32 ノイズフィルタ使用時の受信データの決定

第17章 CANインタフェース (RS-CAN)

本章では、CANインタフェース (RS-CAN) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1xに固有の特長について説明します。それ以降の節では、RS-CANの機能、レジスタについて説明します。

17.1 RH850/P1x RS-CANの特長

17.1.1 ユニット数とチャンネル数

本製品は以下のユニット数のRS-CANを搭載しています。

表 17.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	1	
名称	RSCANn (n = 0)	

また各製品は以下に示すCANインタフェースチャンネルを搭載しています。

表 17.2 RS-CANのユニット構成とチャンネルの対応

ユニット名	チャンネル数	RH850/P1x 100pin			RH850/P1x 144pin	
		512KB (2ch)	1MB (2ch)	2MB (3ch)	1MB (2ch)	2MB (3ch)
RSCAN0	CAN0	○	○	○	○	○
	CAN1	○	○	○	○	○
	CAN2	—	—	○	—	○

表 17.3 添字

添字	意味
n	本章では、RS-CANのユニットを「n」(n = 0)で識別します。たとえば、ユニットnのRSCANのグローバル制御レジスタはRSCANnGCTRと記述します。
m	本章では、RS-CANのチャンネル数を「m」(m = 0 ~ 2)で識別します。たとえば、チャンネルmステータスレジスタはRSCAN0CmSTSと記述します。
j	受信ルールテーブルを関係するレジスタを「j」(j = 0 ~ 15)で識別します。たとえば、受信ルールIDレジスタはRSCAN0GAFLIDjと記述します。
k	送受信FIFOバッファ番号を「k」(k = 0 ~ チャンネルm × 3 + 2)で識別します。たとえば、送受信FIFOバッファコンフィグレーション/制御レジスタはRSCAN0CFCKkと記述します。
x	受信FIFOバッファ番号を「x」(x = 0 ~ 7)で識別します。例えば、受信FIFOバッファステータスレジスタは、RSCAN0RFSTSxと記述します。
q	受信バッファの番号を「q」(q = 0 ~ チャンネルm × 16 + 15)で識別します。たとえば、受信バッファIDレジスタはRSCAN0RMIDqで記述します。
p	送信バッファの番号を「p」(p = 0 ~ チャンネルm × 16 + 15)で識別します。たとえば、送信バッファ制御レジスタはRSCAN0TMCpと記述します。
r	CAN用RAMテスト番号を「r」(r = 0 ~ 63)で識別します。たとえば、RAMテストページアクセスレジスタはRSCAN0RPGACCrと記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」(y = 0, 1)で識別します。たとえば、受信バッファ新データレジスタはRSCAN0RMNDyと記述します。

備考 本章の機能およびレジスタ説明は、RS-CAN 3チャンネル内蔵品 (m=0~2) について記載しています。本文中の添字の値はお使いになる製品に合わせてください。また、以下の点に注意してください。お使いになる製品により添字の範囲外となるビットへ書き込む場合はリセット後の値を書き込んでください。

各製品の添字が示す値を以下に示します。

表 17.4 各製品の添字対応

各製品の添字対応						
	RH850/P1x 100pin			RH850/P1x 144pin		
	512KB (2ch)	1MB (2ch)	2MB (3ch)	512KB (2ch)	1MB (2ch)	2MB (3ch)
j	0 ~ 15		0 ~ 15	0 ~ 15		0 ~ 15
k	0 ~ 5		0 ~ 8	0 ~ 5		0 ~ 8
x	0 ~ 7		0 ~ 7	0 ~ 7		0 ~ 7
q	0 ~ 31		0 ~ 47	0 ~ 31		0 ~ 47
p	0 ~ 31		0 ~ 47	0 ~ 31		0 ~ 47
r	0 ~ 63		0 ~ 63	0 ~ 63		0 ~ 63
y	0		0, 1	0		0, 1

17.1.2 レジスタベースアドレス

RSCAN0 のベースアドレスを以下の表に示します。

RSCAN0 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 17.5 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCAN0_base>	FFD2 0000 _H

17.1.3 クロック供給

RSCAN0 のクロック供給を以下の表に示します。

表 17.6 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RSCAN0	clkc	低速周辺クロック CLK_LSB
	pclk	高速周辺クロック CLK_HSB
	clk_xincan	メインクロック

17.1.4 割り込み要求

RSCAN0 の割り込み要求を以下の表に示します。

表 17.7 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
RSCAN0			
INTRCANGERR	CAN グローバルエラー割り込み	189	—
INTRCANGRECC	CAN 受信 FIFO 割り込み	190	—
CAN0			
INTRCANmERR(m = 0)	CAN0 エラー割り込み	183	—
INTRCANmREC(m = 0)	CAN0 送受信 FIFO 受信完了割り込み	184	—
INTRCANmTRX(m = 0)	CAN0 送信割り込み	185	—
CAN1			
INTRCANmERR(m = 1)	CAN1 エラー割り込み	186	—
INTRCANmREC(m = 1)	CAN1 送受信 FIFO 受信完了割り込み	187	—
INTRCANmTRX(m = 1)	CAN1 送信割り込み	188	—
CAN2 注1			
INTRCANmERR(m = 2)	CAN2 エラー割り込み	191	—
INTRCANmREC(m = 2)	CAN2 送受信 FIFO 受信完了割り込み	192	—
INTRCANmTRX(m = 2)	CAN2 送信割り込み	193	—

注 1. 2MB 版製品のみサポートしています。

17.1.5 リセット要因

RSCAN0 のリセット要因を以下に示します。RSCAN0 は以下のリセット要因で初期化されます。

表 17.8 リセット要因

ユニット名	リセット要因
RSCAN0	リセットコントローラ SYSRES

17.1.6 外部入出力信号

RSCAN0 の外部入出力信号を以下の表に示します。

表 17.9 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
CAN0		
CANmRX (m = 0)	CAN0 受信データ入力	RSCAN0RX
CANmTX (m = 0)	CAN0 送信データ出力	RSCAN0TX
CAN1		
CANmRX (m = 1)	CAN1 受信データ入力	RSCAN1RX
CANmTX (m = 1)	CAN1 送信データ出力	RSCAN1TX
CAN2 注1		
CANmRX (m = 2)	CAN2 受信データ入力	RSCAN2RX
CANmTX (m = 2)	CAN2 送信データ出力	RSCAN2TX

注 1. 2MB 版製品のみサポートしています。

17.1.7 端子名とポート名の組み合わせ

RSCAN0 の端子名とポート名の組み合わせを以下に示します。

表 17.10 端子名とポート名の組み合わせ

機能	チャンネル数	端子名	ポート名			
			グループ1	グループ2	グループ3	グループ4
RSCAN0	CAN0	RSCAN0RX0	P2_0	P3_7	P4_5	—
		RSCAN0TX0	P2_1	P3_8	P4_6	—
	CAN1	RSCAN0RX1	P2_2	P3_12	P4_2	P4_7 ^{注1}
		RSCAN0TX1	P2_3	P3_13	P4_3	P4_3
	CAN2	RSCAN0RX2 ^{注2}	P5_6	—	—	—
		RSCAN0TX2 ^{注2}	P5_7	—	—	—

注 1. 144pin 版で使用可能

注 2. 2MB 版製品のみサポートしています。

17.2 概要

17.2.1 機能概要

RH850/P1x は、ISO11898-1 仕様に準拠した CAN コントローラを 3 チャンネル (CAN0, CAN1, CAN2) 搭載した CAN インタフェース (RS-CAN) を 1 ユニット内蔵しています。512KB 版、1MB 版製品では 2 チャンネル (CAN0, CAN1) のみサポートしています。表 17.11 に RS-CAN モジュールの仕様、図 17.1 に RS-CAN モジュールブロック図を示します。

表 17.11 RS-CAN モジュールの仕様 (1/2)

項目	仕様
チャンネル数	2(3) ^{注1}
プロトコル	ISO11898-1 仕様準拠
通信速度	<ul style="list-style-type: none"> 最大 1Mbps $\text{通信速度 (CANm ビットタイムクロック)} = \frac{1}{\text{CANm ビットタイム}}$ $\text{CANm ビットタイム} = \text{CANmTq} \times 1 \text{ ビット分の Tq 数}$ $\text{CANmTq} = \frac{(\text{RSCAN0CmCFG レジスタの BRP}[9:0] \text{ ビット} + 1)}{\text{fCAN}}$ <p>m = 0 ~ 1(2)^{注1} Tq : Time quantum fCAN : CAN クロック (RSCAN0GCFG レジスタの DCS ビットで選択したクロック) の周波数</p>
バッファ	合計 160(240) ^{注1} バッファ <ul style="list-style-type: none"> 各チャンネル専用 : 32(48)^{注1} バッファ (16 バッファ × 2 チャンネル) 送信バッファ : 16 バッファ / 1 チャンネル 送信キュー : 1 本 / 1 チャンネル (送信バッファと共用、最大 16 バッファ割り当て可能) チャンネル間共用 : 128(192)^{注1} バッファ 受信バッファ : 0 ~ 16 × チャンネル数 受信 FIFO バッファ : 8 本 (1 本あたり最大 128 バッファ割り当て可能) 送受信 FIFO バッファ : 3 本 / 1 チャンネル (1 本あたり最大 128 バッファ割り当て可能) ECC 内蔵
受信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 FIFO ごとの割り込み許可 / 禁止設定可能 ミラー機能 (自送信メッセージの受信機能) タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイム値で記録)
受信フィルタ機能	<ul style="list-style-type: none"> 合計 128(192)^{注1} 個の受信ルールで受信メッセージを選別可能 チャンネルごとに 0 ~ 128 個の範囲で受信ルール数を設定可能 アクセプタンスフィルタ処理 : 各受信ルールごとに ID、マスク設定可能 DLC フィルタ処理 : 各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	<ul style="list-style-type: none"> ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数 : 8) 転送先 : 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能

表 17.11 RS-CAN モジュールの仕様 (2/2)

項目	仕様
送信機能	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 送信バッファ、送受信 FIFO バッファごとに割り込み許可/禁止設定可能 ID 優先送信または送信バッファ番号優先送信を選択可能 送信アボート機能 (フラグでアボート完了を確認可能) ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能 (送受信 FIFO バッファの送信モードまたはゲートウェイモード)
送信キュー機能	格納された全メッセージが ID 優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 <ul style="list-style-type: none"> ISO11898-1 仕様準拠 バスオフ開始でチャネル待機モードへ自動遷移 バスオフ終了でチャネル待機モードへ自動遷移 プログラムによる要求によってチャネル待機モードへ遷移 プログラムによる要求によってエラーアクティブ状態へ遷移 (バスオフ強制復帰機能)
エラー状態の監視	<ul style="list-style-type: none"> CAN プロトコルエラー (スタンプエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック) を監視 エラー状態の遷移を検出 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタの読み出し DLC エラーを監視
割り込み要因	8(11)注 ¹ 本 <ul style="list-style-type: none"> グローバル割り込み (2本) <ul style="list-style-type: none"> 受信 FIFO 割り込み グローバルエラー割り込み チャネル割り込み (各チャネルごとに3本ずつ) <ul style="list-style-type: none"> CANm 送信割り込み (m = 0 ~ 2) <ul style="list-style-type: none"> - CANm 送信完了割り込み - CANm 送信アボート割り込み - CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時) - CANm 送信履歴割り込み - CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時) CANm エラー割り込み
CAN ストップモード	RS-CAN モジュールに供給されるクロックを停止することで消費電流を低減可能
CAN クロックソース	clk か clk_xincan を選択可能
テスト機能	ユーザ評価用テスト機能 <ul style="list-style-type: none"> リッスンオンリモード セルフテストモード 0 (外部ループバック) セルフテストモード 1 (内部ループバック) RAM テスト (読み書きテスト) チャネル間通信テスト

注 1. カッコ内は 2MB 版の場合

17.2.2 ブロック図

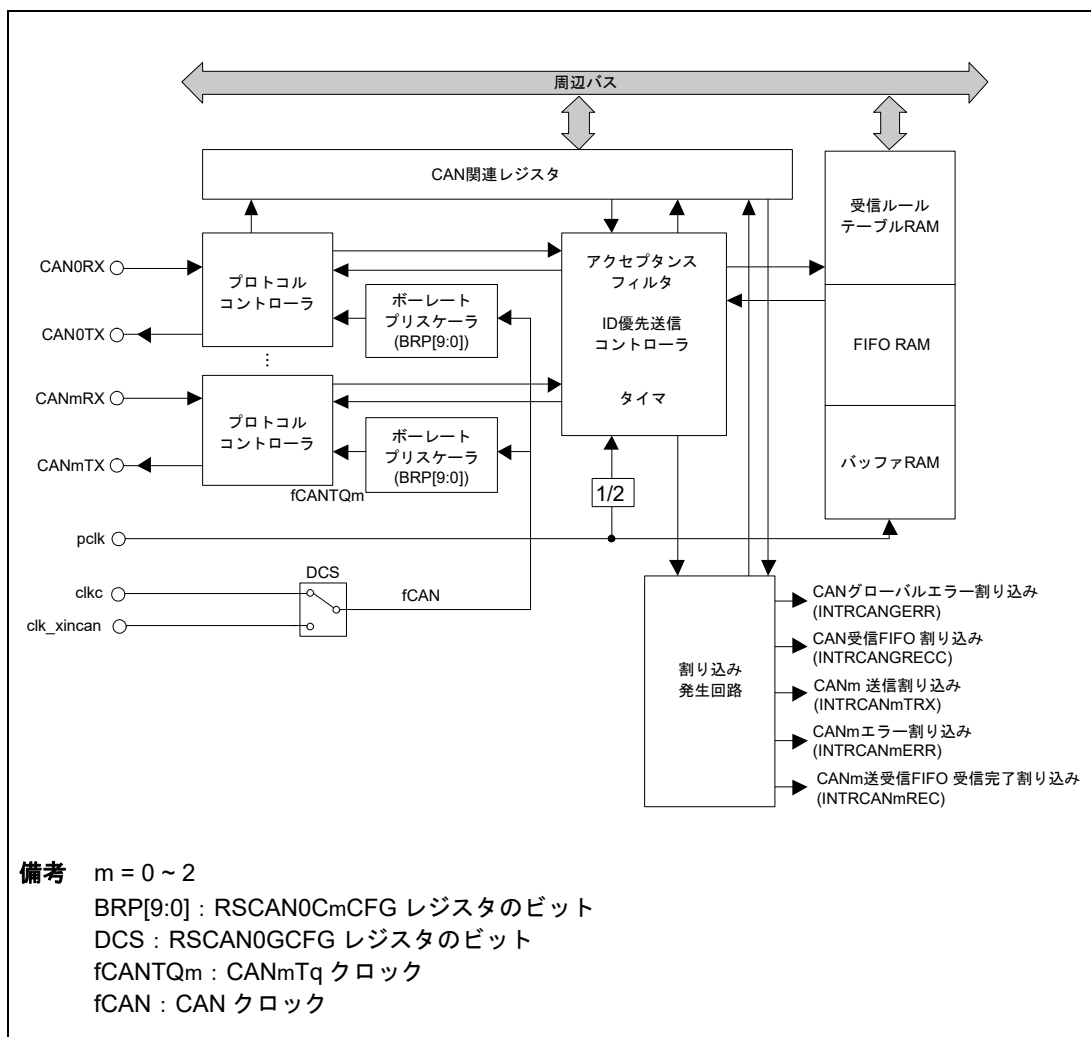


図 17.1 RS-CAN モジュールのブロック図

17.3 レジスタ

17.3.1 レジスタ一覧

RS-CAN のレジスタ一覧を以下の表に示します。

<RSCAN0_base> は「17.1.2 レジスタベースアドレス」を参照してください。

表 17.12 レジスタ一覧 (1/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
チャンネルコンフィグレーションレジスタ	RSCAN0C0CFG	0000 0000 _H	<RSCAN0_base> + 0000 _H	8、16、32
チャンネル制御レジスタ	RSCAN0C0CTR	0000 0005 _H	<RSCAN0_base> + 0004 _H	8、16、32
チャンネルステータスレジスタ	RSCAN0C0STS	0000 0005 _H	<RSCAN0_base> + 0008 _H	8、16、32
チャンネルエラーフラグレジスタ	RSCAN0C0ERFL	0000 0000 _H	<RSCAN0_base> + 000C _H	8、16、32
チャンネルコンフィグレーションレジスタ	RSCAN0C1CFG	0000 0000 _H	<RSCAN0_base> + 0010 _H	8、16、32
チャンネル制御レジスタ	RSCAN0C1CTR	0000 0005 _H	<RSCAN0_base> + 0014 _H	8、16、32
チャンネルステータスレジスタ	RSCAN0C1STS	0000 0005 _H	<RSCAN0_base> + 0018 _H	8、16、32
チャンネルエラーフラグレジスタ	RSCAN0C1ERFL	0000 0000 _H	<RSCAN0_base> + 001C _H	8、16、32
チャンネルコンフィグレーションレジスタ ^{注1}	RSCAN0C2CFG	0000 0000 _H	<RSCAN0_base> + 0020 _H	8、16、32
チャンネル制御レジスタ ^{注1}	RSCAN0C2CTR	0000 0005 _H	<RSCAN0_base> + 0024 _H	8、16、32
チャンネルステータスレジスタ ^{注1}	RSCAN0C2STS	0000 0005 _H	<RSCAN0_base> + 0028 _H	8、16、32
チャンネルエラーフラグレジスタ ^{注1}	RSCAN0C2ERFL	0000 0000 _H	<RSCAN0_base> + 002C _H	8、16、32
グローバルコンフィグレーションレジスタ	RSCAN0GCFG	0000 0000 _H	<RSCAN0_base> + 0084 _H	8、16、32
グローバル制御レジスタ	RSCAN0GCTR	0000 0005 _H	<RSCAN0_base> + 0088 _H	8、16、32
グローバルステータスレジスタ	RSCAN0GSTS	0000 000D _H	<RSCAN0_base> + 008C _H	8、16、32
グローバルエラーフラグレジスタ	RSCAN0GERFL	0000 0000 _H	<RSCAN0_base> + 0090 _H	8、16、32
グローバルタイムスタンプカウンタレジスタ	RSCAN0GTSC	0000 0000 _H	<RSCAN0_base> + 0094 _H	16、32
受信ルールエントリ制御レジスタ	RSCAN0GAFLECTR	0000 0000 _H	<RSCAN0_base> + 0098 _H	8、16、32
受信ルールコンフィグレーションレジスタ 0	RSCAN0GAFLCFG0	0000 0000 _H	<RSCAN0_base> + 009C _H	8、16、32
受信バッファナンバレジスタ	RSCAN0RMNB	0000 0000 _H	<RSCAN0_base> + 00A4 _H	8、16、32
受信バッファ新データレジスタ 0	RSCAN0RMND0	0000 0000 _H	<RSCAN0_base> + 00A8 _H	8、16、32
受信バッファ新データレジスタ 1 ^{注1}	RSCAN0RMND1	0000 0000 _H	<RSCAN0_base> + 00AC _H	8、16、32
受信 FIFO バッファコンフィグレーション/制御レジスタ 0	RSCAN0RFCC0	0000 0000 _H	<RSCAN0_base> + 00B8 _H	8、16、32
受信 FIFO バッファコンフィグレーション/制御レジスタ 1	RSCAN0RFCC1	0000 0000 _H	<RSCAN0_base> + 00BC _H	8、16、32
受信 FIFO バッファコンフィグレーション/制御レジスタ 2	RSCAN0RFCC2	0000 0000 _H	<RSCAN0_base> + 00C0 _H	8、16、32
受信 FIFO バッファコンフィグレーション/制御レジスタ 3	RSCAN0RFCC3	0000 0000 _H	<RSCAN0_base> + 00C4 _H	8、16、32
受信 FIFO バッファコンフィグレーション/制御レジスタ 4	RSCAN0RFCC4	0000 0000 _H	<RSCAN0_base> + 00C8 _H	8、16、32
受信 FIFO バッファコンフィグレーション/制御レジスタ 5	RSCAN0RFCC5	0000 0000 _H	<RSCAN0_base> + 00CC _H	8、16、32
受信 FIFO バッファコンフィグレーション/制御レジスタ 6	RSCAN0RFCC6	0000 0000 _H	<RSCAN0_base> + 00D0 _H	8、16、32
受信 FIFO バッファコンフィグレーション/制御レジスタ 7	RSCAN0RFCC7	0000 0000 _H	<RSCAN0_base> + 00D4 _H	8、16、32
受信 FIFO バッファステータスレジスタ 0	RSCAN0RFSTS0	0000 0001 _H	<RSCAN0_base> + 00D8 _H	8、16、32
受信 FIFO バッファステータスレジスタ 1	RSCAN0RFSTS1	0000 0001 _H	<RSCAN0_base> + 00DC _H	8、16、32
受信 FIFO バッファステータスレジスタ 2	RSCAN0RFSTS2	0000 0001 _H	<RSCAN0_base> + 00E0 _H	8、16、32
受信 FIFO バッファステータスレジスタ 3	RSCAN0RFSTS3	0000 0001 _H	<RSCAN0_base> + 00E4 _H	8、16、32
受信 FIFO バッファステータスレジスタ 4	RSCAN0RFSTS4	0000 0001 _H	<RSCAN0_base> + 00E8 _H	8、16、32
受信 FIFO バッファステータスレジスタ 5	RSCAN0RFSTS5	0000 0001 _H	<RSCAN0_base> + 00EC _H	8、16、32
受信 FIFO バッファステータスレジスタ 6	RSCAN0RFSTS6	0000 0001 _H	<RSCAN0_base> + 00F0 _H	8、16、32
受信 FIFO バッファステータスレジスタ 7	RSCAN0RFSTS7	0000 0001 _H	<RSCAN0_base> + 00F4 _H	8、16、32
受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0RFPCTR0	0000 0000 _H	<RSCAN0_base> + 00F8 _H	8、16、32
受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0RFPCTR1	0000 0000 _H	<RSCAN0_base> + 00FC _H	8、16、32

表 17.12 レジスタ一覧 (2/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0RFPCTR2	0000 0000 _H	<RSCAN0_base> + 0100 _H	8、16、32
受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0RFPCTR3	0000 0000 _H	<RSCAN0_base> + 0104 _H	8、16、32
受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0RFPCTR4	0000 0000 _H	<RSCAN0_base> + 0108 _H	8、16、32
受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0RFPCTR5	0000 0000 _H	<RSCAN0_base> + 010C _H	8、16、32
受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0RFPCTR6	0000 0000 _H	<RSCAN0_base> + 0110 _H	8、16、32
受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0RFPCTR7	0000 0000 _H	<RSCAN0_base> + 0114 _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 0	RSCAN0CFCC0	0000 0000 _H	<RSCAN0_base> + 0118 _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 1	RSCAN0CFCC1	0000 0000 _H	<RSCAN0_base> + 011C _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 2	RSCAN0CFCC2	0000 0000 _H	<RSCAN0_base> + 0120 _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 3	RSCAN0CFCC3	0000 0000 _H	<RSCAN0_base> + 0124 _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 4	RSCAN0CFCC4	0000 0000 _H	<RSCAN0_base> + 0128 _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 5	RSCAN0CFCC5	0000 0000 _H	<RSCAN0_base> + 012C _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 6 ^{注1}	RSCAN0CFCC6	0000 0000 _H	<RSCAN0_base> + 0130 _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 7 ^{注1}	RSCAN0CFCC7	0000 0000 _H	<RSCAN0_base> + 0134 _H	8、16、32
送受信 FIFO バッファコンフィグレーション/制御レジスタ 8 ^{注1}	RSCAN0CFCC8	0000 0000 _H	<RSCAN0_base> + 0138 _H	8、16、32
送受信 FIFO バッファステータスレジスタ 0	RSCAN0CFSTS0	0000 0001 _H	<RSCAN0_base> + 0178 _H	8、16、32
送受信 FIFO バッファステータスレジスタ 1	RSCAN0CFSTS1	0000 0001 _H	<RSCAN0_base> + 017C _H	8、16、32
送受信 FIFO バッファステータスレジスタ 2	RSCAN0CFSTS2	0000 0001 _H	<RSCAN0_base> + 0180 _H	8、16、32
送受信 FIFO バッファステータスレジスタ 3	RSCAN0CFSTS3	0000 0001 _H	<RSCAN0_base> + 0184 _H	8、16、32
送受信 FIFO バッファステータスレジスタ 4	RSCAN0CFSTS4	0000 0001 _H	<RSCAN0_base> + 0188 _H	8、16、32
送受信 FIFO バッファステータスレジスタ 5	RSCAN0CFSTS5	0000 0001 _H	<RSCAN0_base> + 018C _H	8、16、32
送受信 FIFO バッファステータスレジスタ 6 ^{注1}	RSCAN0CFSTS6	0000 0001 _H	<RSCAN0_base> + 0190 _H	8、16、32
送受信 FIFO バッファステータスレジスタ 7 ^{注1}	RSCAN0CFSTS7	0000 0001 _H	<RSCAN0_base> + 0194 _H	8、16、32
送受信 FIFO バッファステータスレジスタ 8 ^{注1}	RSCAN0CFSTS8	0000 0001 _H	<RSCAN0_base> + 0198 _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0CFPCTR0	0000 0000 _H	<RSCAN0_base> + 01D8 _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0CFPCTR1	0000 0000 _H	<RSCAN0_base> + 01DC _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0CFPCTR2	0000 0000 _H	<RSCAN0_base> + 01E0 _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0CFPCTR3	0000 0000 _H	<RSCAN0_base> + 01E4 _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0CFPCTR4	0000 0000 _H	<RSCAN0_base> + 01E8 _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0CFPCTR5	0000 0000 _H	<RSCAN0_base> + 01EC _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 6 ^{注1}	RSCAN0CFPCTR6	0000 0000 _H	<RSCAN0_base> + 01F0 _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 7 ^{注1}	RSCAN0CFPCTR7	0000 0000 _H	<RSCAN0_base> + 01F4 _H	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 8 ^{注1}	RSCAN0CFPCTR8	0000 0000 _H	<RSCAN0_base> + 01F8 _H	8、16、32
FIFO エンプティステータスレジスタ	RSCAN0FESTS	0001 FFFF _H	<RSCAN0_base> + 0238 _H	8、16、32
FIFO フルステータスレジスタ	RSCAN0FFSTS	0000 0000 _H	<RSCAN0_base> + 023C _H	8、16、32
FIFO Msg ロストステータスレジスタ	RSCAN0FMSTS	0000 0000 _H	<RSCAN0_base> + 0240 _H	8、16、32
受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCAN0RFISTS	0000 0000 _H	<RSCAN0_base> + 0244 _H	8、16、32
送受信 FIFO バッファ RX 割り込みフラグステータスレジスタ	RSCAN0CFRISTS	0000 0000 _H	<RSCAN0_base> + 0248 _H	8、16、32
送受信 FIFO バッファ TX 割り込みフラグステータスレジスタ	RSCAN0CFTISTS	0000 0000 _H	<RSCAN0_base> + 024C _H	8、16、32
送信バッファ制御レジスタ 0	RSCAN0TMC0	00 _H	<RSCAN0_base> + 0250 _H	8
送信バッファ制御レジスタ 1	RSCAN0TMC1	00 _H	<RSCAN0_base> + 0251 _H	8
送信バッファ制御レジスタ 2	RSCAN0TMC2	00 _H	<RSCAN0_base> + 0252 _H	8
送信バッファ制御レジスタ 3	RSCAN0TMC3	00 _H	<RSCAN0_base> + 0253 _H	8
送信バッファ制御レジスタ 4	RSCAN0TMC4	00 _H	<RSCAN0_base> + 0254 _H	8
送信バッファ制御レジスタ 5	RSCAN0TMC5	00 _H	<RSCAN0_base> + 0255 _H	8
送信バッファ制御レジスタ 6	RSCAN0TMC6	00 _H	<RSCAN0_base> + 0256 _H	8
送信バッファ制御レジスタ 7	RSCAN0TMC7	00 _H	<RSCAN0_base> + 0257 _H	8

表 17.12 レジスタ一覧 (3/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
送信バッファ制御レジスタ 8	RSCAN0TMC8	00 _H	<RSCAN0_base> + 0258 _H	8
送信バッファ制御レジスタ 9	RSCAN0TMC9	00 _H	<RSCAN0_base> + 0259 _H	8
送信バッファ制御レジスタ 10	RSCAN0TMC10	00 _H	<RSCAN0_base> + 025A _H	8
送信バッファ制御レジスタ 11	RSCAN0TMC11	00 _H	<RSCAN0_base> + 025B _H	8
送信バッファ制御レジスタ 12	RSCAN0TMC12	00 _H	<RSCAN0_base> + 025C _H	8
送信バッファ制御レジスタ 13	RSCAN0TMC13	00 _H	<RSCAN0_base> + 025D _H	8
送信バッファ制御レジスタ 14	RSCAN0TMC14	00 _H	<RSCAN0_base> + 025E _H	8
送信バッファ制御レジスタ 15	RSCAN0TMC15	00 _H	<RSCAN0_base> + 025F _H	8
送信バッファ制御レジスタ 16	RSCAN0TMC16	00 _H	<RSCAN0_base> + 0260 _H	8
送信バッファ制御レジスタ 17	RSCAN0TMC17	00 _H	<RSCAN0_base> + 0261 _H	8
送信バッファ制御レジスタ 18	RSCAN0TMC18	00 _H	<RSCAN0_base> + 0262 _H	8
送信バッファ制御レジスタ 19	RSCAN0TMC19	00 _H	<RSCAN0_base> + 0263 _H	8
送信バッファ制御レジスタ 20	RSCAN0TMC20	00 _H	<RSCAN0_base> + 0264 _H	8
送信バッファ制御レジスタ 21	RSCAN0TMC21	00 _H	<RSCAN0_base> + 0265 _H	8
送信バッファ制御レジスタ 22	RSCAN0TMC22	00 _H	<RSCAN0_base> + 0266 _H	8
送信バッファ制御レジスタ 23	RSCAN0TMC23	00 _H	<RSCAN0_base> + 0267 _H	8
送信バッファ制御レジスタ 24	RSCAN0TMC24	00 _H	<RSCAN0_base> + 0268 _H	8
送信バッファ制御レジスタ 25	RSCAN0TMC25	00 _H	<RSCAN0_base> + 0269 _H	8
送信バッファ制御レジスタ 26	RSCAN0TMC26	00 _H	<RSCAN0_base> + 026A _H	8
送信バッファ制御レジスタ 27	RSCAN0TMC27	00 _H	<RSCAN0_base> + 026B _H	8
送信バッファ制御レジスタ 28	RSCAN0TMC28	00 _H	<RSCAN0_base> + 026C _H	8
送信バッファ制御レジスタ 29	RSCAN0TMC29	00 _H	<RSCAN0_base> + 026D _H	8
送信バッファ制御レジスタ 30	RSCAN0TMC30	00 _H	<RSCAN0_base> + 026E _H	8
送信バッファ制御レジスタ 31	RSCAN0TMC31	00 _H	<RSCAN0_base> + 026F _H	8
送信バッファ制御レジスタ 32 ^{注1}	RSCAN0TMC32	00 _H	<RSCAN0_base> + 0270 _H	8
送信バッファ制御レジスタ 33 ^{注1}	RSCAN0TMC33	00 _H	<RSCAN0_base> + 0271 _H	8
送信バッファ制御レジスタ 34 ^{注1}	RSCAN0TMC34	00 _H	<RSCAN0_base> + 0272 _H	8
送信バッファ制御レジスタ 35 ^{注1}	RSCAN0TMC35	00 _H	<RSCAN0_base> + 0273 _H	8
送信バッファ制御レジスタ 36 ^{注1}	RSCAN0TMC36	00 _H	<RSCAN0_base> + 0274 _H	8
送信バッファ制御レジスタ 37 ^{注1}	RSCAN0TMC37	00 _H	<RSCAN0_base> + 0275 _H	8
送信バッファ制御レジスタ 38 ^{注1}	RSCAN0TMC38	00 _H	<RSCAN0_base> + 0276 _H	8
送信バッファ制御レジスタ 39 ^{注1}	RSCAN0TMC39	00 _H	<RSCAN0_base> + 0277 _H	8
送信バッファ制御レジスタ 40 ^{注1}	RSCAN0TMC40	00 _H	<RSCAN0_base> + 0278 _H	8
送信バッファ制御レジスタ 41 ^{注1}	RSCAN0TMC41	00 _H	<RSCAN0_base> + 0279 _H	8
送信バッファ制御レジスタ 42 ^{注1}	RSCAN0TMC42	00 _H	<RSCAN0_base> + 027A _H	8
送信バッファ制御レジスタ 43 ^{注1}	RSCAN0TMC43	00 _H	<RSCAN0_base> + 027B _H	8
送信バッファ制御レジスタ 44 ^{注1}	RSCAN0TMC44	00 _H	<RSCAN0_base> + 027C _H	8
送信バッファ制御レジスタ 45 ^{注1}	RSCAN0TMC45	00 _H	<RSCAN0_base> + 027D _H	8
送信バッファ制御レジスタ 46 ^{注1}	RSCAN0TMC46	00 _H	<RSCAN0_base> + 027E _H	8
送信バッファ制御レジスタ 47 ^{注1}	RSCAN0TMC47	00 _H	<RSCAN0_base> + 027F _H	8
送信バッファステータスレジスタ 0	RSCAN0TMSTS0	00 _H	<RSCAN0_base> + 02D0 _H	8
送信バッファステータスレジスタ 1	RSCAN0TMSTS1	00 _H	<RSCAN0_base> + 02D1 _H	8
送信バッファステータスレジスタ 2	RSCAN0TMSTS2	00 _H	<RSCAN0_base> + 02D2 _H	8
送信バッファステータスレジスタ 3	RSCAN0TMSTS3	00 _H	<RSCAN0_base> + 02D3 _H	8
送信バッファステータスレジスタ 4	RSCAN0TMSTS4	00 _H	<RSCAN0_base> + 02D4 _H	8
送信バッファステータスレジスタ 5	RSCAN0TMSTS5	00 _H	<RSCAN0_base> + 02D5 _H	8
送信バッファステータスレジスタ 6	RSCAN0TMSTS6	00 _H	<RSCAN0_base> + 02D6 _H	8

表 17.12 レジスタ一覧 (4/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
送信バッファステータスレジスタ 7	RSCAN0TMSTS7	00 _H	<RSCAN0_base> + 02D7 _H	8
送信バッファステータスレジスタ 8	RSCAN0TMSTS8	00 _H	<RSCAN0_base> + 02D8 _H	8
送信バッファステータスレジスタ 9	RSCAN0TMSTS9	00 _H	<RSCAN0_base> + 02D9 _H	8
送信バッファステータスレジスタ 10	RSCAN0TMSTS10	00 _H	<RSCAN0_base> + 02DA _H	8
送信バッファステータスレジスタ 11	RSCAN0TMSTS11	00 _H	<RSCAN0_base> + 02DB _H	8
送信バッファステータスレジスタ 12	RSCAN0TMSTS12	00 _H	<RSCAN0_base> + 02DC _H	8
送信バッファステータスレジスタ 13	RSCAN0TMSTS13	00 _H	<RSCAN0_base> + 02DD _H	8
送信バッファステータスレジスタ 14	RSCAN0TMSTS14	00 _H	<RSCAN0_base> + 02DE _H	8
送信バッファステータスレジスタ 15	RSCAN0TMSTS15	00 _H	<RSCAN0_base> + 02DF _H	8
送信バッファステータスレジスタ 16	RSCAN0TMSTS16	00 _H	<RSCAN0_base> + 02E0 _H	8
送信バッファステータスレジスタ 17	RSCAN0TMSTS17	00 _H	<RSCAN0_base> + 02E1 _H	8
送信バッファステータスレジスタ 18	RSCAN0TMSTS18	00 _H	<RSCAN0_base> + 02E2 _H	8
送信バッファステータスレジスタ 19	RSCAN0TMSTS19	00 _H	<RSCAN0_base> + 02E3 _H	8
送信バッファステータスレジスタ 20	RSCAN0TMSTS20	00 _H	<RSCAN0_base> + 02E4 _H	8
送信バッファステータスレジスタ 21	RSCAN0TMSTS21	00 _H	<RSCAN0_base> + 02E5 _H	8
送信バッファステータスレジスタ 22	RSCAN0TMSTS22	00 _H	<RSCAN0_base> + 02E6 _H	8
送信バッファステータスレジスタ 23	RSCAN0TMSTS23	00 _H	<RSCAN0_base> + 02E7 _H	8
送信バッファステータスレジスタ 24	RSCAN0TMSTS24	00 _H	<RSCAN0_base> + 02E8 _H	8
送信バッファステータスレジスタ 25	RSCAN0TMSTS25	00 _H	<RSCAN0_base> + 02E9 _H	8
送信バッファステータスレジスタ 26	RSCAN0TMSTS26	00 _H	<RSCAN0_base> + 02EA _H	8
送信バッファステータスレジスタ 27	RSCAN0TMSTS27	00 _H	<RSCAN0_base> + 02EB _H	8
送信バッファステータスレジスタ 28	RSCAN0TMSTS28	00 _H	<RSCAN0_base> + 02EC _H	8
送信バッファステータスレジスタ 29	RSCAN0TMSTS29	00 _H	<RSCAN0_base> + 02ED _H	8
送信バッファステータスレジスタ 30	RSCAN0TMSTS30	00 _H	<RSCAN0_base> + 02EE _H	8
送信バッファステータスレジスタ 31	RSCAN0TMSTS31	00 _H	<RSCAN0_base> + 02EF _H	8
送信バッファステータスレジスタ 32 ^{注1}	RSCAN0TMSTS32	00 _H	<RSCAN0_base> + 02F0 _H	8
送信バッファステータスレジスタ 33 ^{注1}	RSCAN0TMSTS33	00 _H	<RSCAN0_base> + 02F1 _H	8
送信バッファステータスレジスタ 34 ^{注1}	RSCAN0TMSTS34	00 _H	<RSCAN0_base> + 02F2 _H	8
送信バッファステータスレジスタ 35 ^{注1}	RSCAN0TMSTS35	00 _H	<RSCAN0_base> + 02F3 _H	8
送信バッファステータスレジスタ 36 ^{注1}	RSCAN0TMSTS36	00 _H	<RSCAN0_base> + 02F4 _H	8
送信バッファステータスレジスタ 37 ^{注1}	RSCAN0TMSTS37	00 _H	<RSCAN0_base> + 02F5 _H	8
送信バッファステータスレジスタ 38 ^{注1}	RSCAN0TMSTS38	00 _H	<RSCAN0_base> + 02F6 _H	8
送信バッファステータスレジスタ 39 ^{注1}	RSCAN0TMSTS39	00 _H	<RSCAN0_base> + 02F7 _H	8
送信バッファステータスレジスタ 40 ^{注1}	RSCAN0TMSTS40	00 _H	<RSCAN0_base> + 02F8 _H	8
送信バッファステータスレジスタ 41 ^{注1}	RSCAN0TMSTS41	00 _H	<RSCAN0_base> + 02F9 _H	8
送信バッファステータスレジスタ 42 ^{注1}	RSCAN0TMSTS42	00 _H	<RSCAN0_base> + 02FA _H	8
送信バッファステータスレジスタ 43 ^{注1}	RSCAN0TMSTS43	00 _H	<RSCAN0_base> + 02FB _H	8
送信バッファステータスレジスタ 44 ^{注1}	RSCAN0TMSTS44	00 _H	<RSCAN0_base> + 02FC _H	8
送信バッファステータスレジスタ 45 ^{注1}	RSCAN0TMSTS45	00 _H	<RSCAN0_base> + 02FD _H	8
送信バッファステータスレジスタ 46 ^{注1}	RSCAN0TMSTS46	00 _H	<RSCAN0_base> + 02FE _H	8
送信バッファステータスレジスタ 47 ^{注1}	RSCAN0TMSTS47	00 _H	<RSCAN0_base> + 02FF _H	8
送信バッファ送信要求ステータスレジスタ 0	RSCAN0MTRSTS0	0000 0000 _H	<RSCAN0_base> + 0350 _H	8、16、32
送信バッファ送信要求ステータスレジスタ 1 ^{注1}	RSCAN0MTRSTS1	0000 0000 _H	<RSCAN0_base> + 0354 _H	8、16、32
送信バッファ送信アボート要求ステータスレジスタ 0	RSCAN0MTARSTS0	0000 0000 _H	<RSCAN0_base> + 0360 _H	8、16、32
送信バッファ送信アボート要求ステータスレジスタ 1 ^{注1}	RSCAN0MTARSTS1	0000 0000 _H	<RSCAN0_base> + 0364 _H	8、16、32
送信バッファ送信完了ステータスレジスタ 0	RSCAN0MTCSTS0	0000 0000 _H	<RSCAN0_base> + 0370 _H	8、16、32
送信バッファ送信完了ステータスレジスタ 1 ^{注1}	RSCAN0MTCSTS1	0000 0000 _H	<RSCAN0_base> + 0374 _H	8、16、32

表 17.12 レジスタ一覧 (5/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
送信バッファ送信アボートステータスレジスタ 0	RSCAN0TMTASTS0	0000 0000 _H	<RSCAN0_base> + 0380 _H	8、16、32
送信バッファ送信アボートステータスレジスタ 1 ^{注1}	RSCAN0TMTASTS1	0000 0000 _H	<RSCAN0_base> + 0384 _H	8、16、32
送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCAN0TMIEC0	0000 0000 _H	<RSCAN0_base> + 0390 _H	8、16、32
送信バッファ割り込みイネーブルコンフィグレーションレジスタ 1 ^{注1}	RSCAN0TMIEC1	0000 0000 _H	<RSCAN0_base> + 0394 _H	8、16、32
送信キューコンフィグレーション/制御レジスタ 0	RSCAN0TXQCC0	0000 0000 _H	<RSCAN0_base> + 03A0 _H	8、16、32
送信キューコンフィグレーション/制御レジスタ 1	RSCAN0TXQCC1	0000 0000 _H	<RSCAN0_base> + 03A4 _H	8、16、32
送信キューコンフィグレーション/制御レジスタ 2 ^{注1}	RSCAN0TXQCC2	0000 0000 _H	<RSCAN0_base> + 03A8 _H	8、16、32
送信キューステータスレジスタ 0	RSCAN0TXQSTS0	0000 0001 _H	<RSCAN0_base> + 03C0 _H	8、16、32
送信キューステータスレジスタ 1	RSCAN0TXQSTS1	0000 0001 _H	<RSCAN0_base> + 03C4 _H	8、16、32
送信キューステータスレジスタ 2 ^{注1}	RSCAN0TXQSTS2	0000 0001 _H	<RSCAN0_base> + 03C8 _H	8、16、32
送信キューポインタ制御レジスタ 0	RSCAN0TXQPCTR0	0000 0000 _H	<RSCAN0_base> + 03E0 _H	8、16、32
送信キューポインタ制御レジスタ 1	RSCAN0TXQPCTR1	0000 0000 _H	<RSCAN0_base> + 03E4 _H	8、16、32
送信キューポインタ制御レジスタ 2 ^{注1}	RSCAN0TXQPCTR2	0000 0000 _H	<RSCAN0_base> + 03E8 _H	8、16、32
送信履歴コンフィグレーション/制御レジスタ 0	RSCAN0THLCC0	0000 0000 _H	<RSCAN0_base> + 0400 _H	8、16、32
送信履歴コンフィグレーション/制御レジスタ 1	RSCAN0THLCC1	0000 0000 _H	<RSCAN0_base> + 0404 _H	8、16、32
送信履歴コンフィグレーション/制御レジスタ 2 ^{注1}	RSCAN0THLCC2	0000 0000 _H	<RSCAN0_base> + 0408 _H	8、16、32
送信履歴ステータスレジスタ 0	RSCAN0THLSTS0	0000 0001 _H	<RSCAN0_base> + 0420 _H	8、16、32
送信履歴ステータスレジスタ 1	RSCAN0THLSTS1	0000 0001 _H	<RSCAN0_base> + 0424 _H	8、16、32
送信履歴ステータスレジスタ 2 ^{注1}	RSCAN0THLSTS2	0000 0001 _H	<RSCAN0_base> + 0428 _H	8、16、32
送信履歴ポインタ制御レジスタ 0	RSCAN0THLPCTR0	0000 0000 _H	<RSCAN0_base> + 0440 _H	8、16、32
送信履歴ポインタ制御レジスタ 1	RSCAN0THLPCTR1	0000 0000 _H	<RSCAN0_base> + 0444 _H	8、16、32
送信履歴ポインタ制御レジスタ 2 ^{注1}	RSCAN0THLPCTR2	0000 0000 _H	<RSCAN0_base> + 0448 _H	8、16、32
グローバル TX 割り込みステータスレジスタ 0	RSCAN0GTINTSTS0	0000 0000 _H	<RSCAN0_base> + 0460 _H	8、16、32
グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	0000 0000 _H	<RSCAN0_base> + 0468 _H	8、16、32
グローバルテスト制御レジスタ	RSCAN0GTSTCTR	0000 0000 _H	<RSCAN0_base> + 046C _H	8、16、32
グローバルロックキーレジスタ	RSCAN0GLOCKK	0000 0000 _H	<RSCAN0_base> + 047C _H	16、32
受信ルール ID レジスタ 0	RSCAN0GAFLID0	0000 0000 _H	<RSCAN0_base> + 0500 _H	8、16、32
受信ルールマスクレジスタ 0	RSCAN0GAFLM0	0000 0000 _H	<RSCAN0_base> + 0504 _H	8、16、32
受信ルールポインタ 0 レジスタ 0	RSCAN0GAFLP00	0000 0000 _H	<RSCAN0_base> + 0508 _H	8、16、32
受信ルールポインタ 1 レジスタ 0	RSCAN0GAFLP10	0000 0000 _H	<RSCAN0_base> + 050C _H	8、16、32
受信ルール ID レジスタ 1	RSCAN0GAFLID1	0000 0000 _H	<RSCAN0_base> + 0510 _H	8、16、32
受信ルールマスクレジスタ 1	RSCAN0GAFLM1	0000 0000 _H	<RSCAN0_base> + 0514 _H	8、16、32
受信ルールポインタ 0 レジスタ 1	RSCAN0GAFLP01	0000 0000 _H	<RSCAN0_base> + 0518 _H	8、16、32
受信ルールポインタ 1 レジスタ 1	RSCAN0GAFLP11	0000 0000 _H	<RSCAN0_base> + 051C _H	8、16、32
受信ルール ID レジスタ 2	RSCAN0GAFLID2	0000 0000 _H	<RSCAN0_base> + 0520 _H	8、16、32
受信ルールマスクレジスタ 2	RSCAN0GAFLM2	0000 0000 _H	<RSCAN0_base> + 0524 _H	8、16、32
受信ルールポインタ 0 レジスタ 2	RSCAN0GAFLP02	0000 0000 _H	<RSCAN0_base> + 0528 _H	8、16、32
受信ルールポインタ 1 レジスタ 2	RSCAN0GAFLP12	0000 0000 _H	<RSCAN0_base> + 052C _H	8、16、32
受信ルール ID レジスタ 3	RSCAN0GAFLID3	0000 0000 _H	<RSCAN0_base> + 0530 _H	8、16、32
受信ルールマスクレジスタ 3	RSCAN0GAFLM3	0000 0000 _H	<RSCAN0_base> + 0534 _H	8、16、32
受信ルールポインタ 0 レジスタ 3	RSCAN0GAFLP03	0000 0000 _H	<RSCAN0_base> + 0538 _H	8、16、32
受信ルールポインタ 1 レジスタ 3	RSCAN0GAFLP13	0000 0000 _H	<RSCAN0_base> + 053C _H	8、16、32
受信ルール ID レジスタ 4	RSCAN0GAFLID4	0000 0000 _H	<RSCAN0_base> + 0540 _H	8、16、32
受信ルールマスクレジスタ 4	RSCAN0GAFLM4	0000 0000 _H	<RSCAN0_base> + 0544 _H	8、16、32
受信ルールポインタ 0 レジスタ 4	RSCAN0GAFLP04	0000 0000 _H	<RSCAN0_base> + 0548 _H	8、16、32

表 17.12 レジスタ一覧 (6/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
受信ルールポインタ 1 レジスタ 4	RSCAN0GAFLP14	0000 0000 _H	<RSCAN0_base> + 054C _H	8、16、32
受信ルール ID レジスタ 5	RSCAN0GAFLID5	0000 0000 _H	<RSCAN0_base> + 0550 _H	8、16、32
受信ルールマスクレジスタ 5	RSCAN0GAFLM5	0000 0000 _H	<RSCAN0_base> + 0554 _H	8、16、32
受信ルールポインタ 0 レジスタ 5	RSCAN0GAFLP05	0000 0000 _H	<RSCAN0_base> + 0558 _H	8、16、32
受信ルールポインタ 1 レジスタ 5	RSCAN0GAFLP15	0000 0000 _H	<RSCAN0_base> + 055C _H	8、16、32
受信ルール ID レジスタ 6	RSCAN0GAFLID6	0000 0000 _H	<RSCAN0_base> + 0560 _H	8、16、32
受信ルールマスクレジスタ 6	RSCAN0GAFLM6	0000 0000 _H	<RSCAN0_base> + 0564 _H	8、16、32
受信ルールポインタ 0 レジスタ 6	RSCAN0GAFLP06	0000 0000 _H	<RSCAN0_base> + 0568 _H	8、16、32
受信ルールポインタ 1 レジスタ 6	RSCAN0GAFLP16	0000 0000 _H	<RSCAN0_base> + 056C _H	8、16、32
受信ルール ID レジスタ 7	RSCAN0GAFLID7	0000 0000 _H	<RSCAN0_base> + 0570 _H	8、16、32
受信ルールマスクレジスタ 7	RSCAN0GAFLM7	0000 0000 _H	<RSCAN0_base> + 0574 _H	8、16、32
受信ルールポインタ 0 レジスタ 7	RSCAN0GAFLP07	0000 0000 _H	<RSCAN0_base> + 0578 _H	8、16、32
受信ルールポインタ 1 レジスタ 7	RSCAN0GAFLP17	0000 0000 _H	<RSCAN0_base> + 057C _H	8、16、32
受信ルール ID レジスタ 8	RSCAN0GAFLID8	0000 0000 _H	<RSCAN0_base> + 0580 _H	8、16、32
受信ルールマスクレジスタ 8	RSCAN0GAFLM8	0000 0000 _H	<RSCAN0_base> + 0584 _H	8、16、32
受信ルールポインタ 0 レジスタ 8	RSCAN0GAFLP08	0000 0000 _H	<RSCAN0_base> + 0588 _H	8、16、32
受信ルールポインタ 1 レジスタ 8	RSCAN0GAFLP18	0000 0000 _H	<RSCAN0_base> + 058C _H	8、16、32
受信ルール ID レジスタ 9	RSCAN0GAFLID9	0000 0000 _H	<RSCAN0_base> + 0590 _H	8、16、32
受信ルールマスクレジスタ 9	RSCAN0GAFLM9	0000 0000 _H	<RSCAN0_base> + 0594 _H	8、16、32
受信ルールポインタ 0 レジスタ 9	RSCAN0GAFLP09	0000 0000 _H	<RSCAN0_base> + 0598 _H	8、16、32
受信ルールポインタ 1 レジスタ 9	RSCAN0GAFLP19	0000 0000 _H	<RSCAN0_base> + 059C _H	8、16、32
受信ルール ID レジスタ 10	RSCAN0GAFLID10	0000 0000 _H	<RSCAN0_base> + 05A0 _H	8、16、32
受信ルールマスクレジスタ 10	RSCAN0GAFLM10	0000 0000 _H	<RSCAN0_base> + 05A4 _H	8、16、32
受信ルールポインタ 0 レジスタ 10	RSCAN0GAFLP010	0000 0000 _H	<RSCAN0_base> + 05A8 _H	8、16、32
受信ルールポインタ 1 レジスタ 10	RSCAN0GAFLP110	0000 0000 _H	<RSCAN0_base> + 05AC _H	8、16、32
受信ルール ID レジスタ 11	RSCAN0GAFLID11	0000 0000 _H	<RSCAN0_base> + 05B0 _H	8、16、32
受信ルールマスクレジスタ 11	RSCAN0GAFLM11	0000 0000 _H	<RSCAN0_base> + 05B4 _H	8、16、32
受信ルールポインタ 0 レジスタ 11	RSCAN0GAFLP011	0000 0000 _H	<RSCAN0_base> + 05B8 _H	8、16、32
受信ルールポインタ 1 レジスタ 11	RSCAN0GAFLP111	0000 0000 _H	<RSCAN0_base> + 05BC _H	8、16、32
受信ルール ID レジスタ 12	RSCAN0GAFLID12	0000 0000 _H	<RSCAN0_base> + 05C0 _H	8、16、32
受信ルールマスクレジスタ 12	RSCAN0GAFLM12	0000 0000 _H	<RSCAN0_base> + 05C4 _H	8、16、32
受信ルールポインタ 0 レジスタ 12	RSCAN0GAFLP012	0000 0000 _H	<RSCAN0_base> + 05C8 _H	8、16、32
受信ルールポインタ 1 レジスタ 12	RSCAN0GAFLP112	0000 0000 _H	<RSCAN0_base> + 05CC _H	8、16、32
受信ルール ID レジスタ 13	RSCAN0GAFLID13	0000 0000 _H	<RSCAN0_base> + 05D0 _H	8、16、32
受信ルールマスクレジスタ 13	RSCAN0GAFLM13	0000 0000 _H	<RSCAN0_base> + 05D4 _H	8、16、32
受信ルールポインタ 0 レジスタ 13	RSCAN0GAFLP013	0000 0000 _H	<RSCAN0_base> + 05D8 _H	8、16、32
受信ルールポインタ 1 レジスタ 13	RSCAN0GAFLP113	0000 0000 _H	<RSCAN0_base> + 05DC _H	8、16、32
受信ルール ID レジスタ 14	RSCAN0GAFLID14	0000 0000 _H	<RSCAN0_base> + 05E0 _H	8、16、32
受信ルールマスクレジスタ 14	RSCAN0GAFLM14	0000 0000 _H	<RSCAN0_base> + 05E4 _H	8、16、32
受信ルールポインタ 0 レジスタ 14	RSCAN0GAFLP014	0000 0000 _H	<RSCAN0_base> + 05E8 _H	8、16、32
受信ルールポインタ 1 レジスタ 14	RSCAN0GAFLP114	0000 0000 _H	<RSCAN0_base> + 05EC _H	8、16、32
受信ルール ID レジスタ 15	RSCAN0GAFLID15	0000 0000 _H	<RSCAN0_base> + 05F0 _H	8、16、32
受信ルールマスクレジスタ 15	RSCAN0GAFLM15	0000 0000 _H	<RSCAN0_base> + 05F4 _H	8、16、32
受信ルールポインタ 0 レジスタ 15	RSCAN0GAFLP015	0000 0000 _H	<RSCAN0_base> + 05F8 _H	8、16、32
受信ルールポインタ 1 レジスタ 15	RSCAN0GAFLP115	0000 0000 _H	<RSCAN0_base> + 05FC _H	8、16、32
受信バッファ ID レジスタ 0	RSCAN0RMID0	0000 0000 _H	<RSCAN0_base> + 0600 _H	8、16、32
受信バッファポインタレジスタ 0	RSCAN0RMPTR0	0000 0000 _H	<RSCAN0_base> + 0604 _H	8、16、32

表 17.12 レジスタ一覧 (7/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
受信バッファデータフィールド0 レジスタ 0	RSCAN0RMDf00	0000 0000 _H	<RSCAN0_base> + 0608 _H	8、16、32
受信バッファデータフィールド1 レジスタ 0	RSCAN0RMDf10	0000 0000 _H	<RSCAN0_base> + 060C _H	8、16、32
受信バッファ ID レジスタ 1	RSCAN0RMID1	0000 0000 _H	<RSCAN0_base> + 0610 _H	8、16、32
受信バッファポインタレジスタ 1	RSCAN0RMPTR1	0000 0000 _H	<RSCAN0_base> + 0614 _H	8、16、32
受信バッファデータフィールド0 レジスタ 1	RSCAN0RMDf01	0000 0000 _H	<RSCAN0_base> + 0618 _H	8、16、32
受信バッファデータフィールド1 レジスタ 1	RSCAN0RMDf11	0000 0000 _H	<RSCAN0_base> + 061C _H	8、16、32
受信バッファ ID レジスタ 2	RSCAN0RMID2	0000 0000 _H	<RSCAN0_base> + 0620 _H	8、16、32
受信バッファポインタレジスタ 2	RSCAN0RMPTR2	0000 0000 _H	<RSCAN0_base> + 0624 _H	8、16、32
受信バッファデータフィールド0 レジスタ 2	RSCAN0RMDf02	0000 0000 _H	<RSCAN0_base> + 0628 _H	8、16、32
受信バッファデータフィールド1 レジスタ 2	RSCAN0RMDf12	0000 0000 _H	<RSCAN0_base> + 062C _H	8、16、32
受信バッファ ID レジスタ 3	RSCAN0RMID3	0000 0000 _H	<RSCAN0_base> + 0630 _H	8、16、32
受信バッファポインタレジスタ 3	RSCAN0RMPTR3	0000 0000 _H	<RSCAN0_base> + 0634 _H	8、16、32
受信バッファデータフィールド0 レジスタ 3	RSCAN0RMDf03	0000 0000 _H	<RSCAN0_base> + 0638 _H	8、16、32
受信バッファデータフィールド1 レジスタ 3	RSCAN0RMDf13	0000 0000 _H	<RSCAN0_base> + 063C _H	8、16、32
受信バッファ ID レジスタ 4	RSCAN0RMID4	0000 0000 _H	<RSCAN0_base> + 0640 _H	8、16、32
受信バッファポインタレジスタ 4	RSCAN0RMPTR4	0000 0000 _H	<RSCAN0_base> + 0644 _H	8、16、32
受信バッファデータフィールド0 レジスタ 4	RSCAN0RMDf04	0000 0000 _H	<RSCAN0_base> + 0648 _H	8、16、32
受信バッファデータフィールド1 レジスタ 4	RSCAN0RMDf14	0000 0000 _H	<RSCAN0_base> + 064C _H	8、16、32
受信バッファ ID レジスタ 5	RSCAN0RMID5	0000 0000 _H	<RSCAN0_base> + 0650 _H	8、16、32
受信バッファポインタレジスタ 5	RSCAN0RMPTR5	0000 0000 _H	<RSCAN0_base> + 0654 _H	8、16、32
受信バッファデータフィールド0 レジスタ 5	RSCAN0RMDf05	0000 0000 _H	<RSCAN0_base> + 0658 _H	8、16、32
受信バッファデータフィールド1 レジスタ 5	RSCAN0RMDf15	0000 0000 _H	<RSCAN0_base> + 065C _H	8、16、32
受信バッファ ID レジスタ 6	RSCAN0RMID6	0000 0000 _H	<RSCAN0_base> + 0660 _H	8、16、32
受信バッファポインタレジスタ 6	RSCAN0RMPTR6	0000 0000 _H	<RSCAN0_base> + 0664 _H	8、16、32
受信バッファデータフィールド0 レジスタ 6	RSCAN0RMDf06	0000 0000 _H	<RSCAN0_base> + 0668 _H	8、16、32
受信バッファデータフィールド1 レジスタ 6	RSCAN0RMDf16	0000 0000 _H	<RSCAN0_base> + 066C _H	8、16、32
受信バッファ ID レジスタ 7	RSCAN0RMID7	0000 0000 _H	<RSCAN0_base> + 0670 _H	8、16、32
受信バッファポインタレジスタ 7	RSCAN0RMPTR7	0000 0000 _H	<RSCAN0_base> + 0674 _H	8、16、32
受信バッファデータフィールド0 レジスタ 7	RSCAN0RMDf07	0000 0000 _H	<RSCAN0_base> + 0678 _H	8、16、32
受信バッファデータフィールド1 レジスタ 7	RSCAN0RMDf17	0000 0000 _H	<RSCAN0_base> + 067C _H	8、16、32
受信バッファ ID レジスタ 8	RSCAN0RMID8	0000 0000 _H	<RSCAN0_base> + 0680 _H	8、16、32
受信バッファポインタレジスタ 8	RSCAN0RMPTR8	0000 0000 _H	<RSCAN0_base> + 0684 _H	8、16、32
受信バッファデータフィールド0 レジスタ 8	RSCAN0RMDf08	0000 0000 _H	<RSCAN0_base> + 0688 _H	8、16、32
受信バッファデータフィールド1 レジスタ 8	RSCAN0RMDf18	0000 0000 _H	<RSCAN0_base> + 068C _H	8、16、32
受信バッファ ID レジスタ 9	RSCAN0RMID9	0000 0000 _H	<RSCAN0_base> + 0690 _H	8、16、32
受信バッファポインタレジスタ 9	RSCAN0RMPTR9	0000 0000 _H	<RSCAN0_base> + 0694 _H	8、16、32
受信バッファデータフィールド0 レジスタ 9	RSCAN0RMDf09	0000 0000 _H	<RSCAN0_base> + 0698 _H	8、16、32
受信バッファデータフィールド1 レジスタ 9	RSCAN0RMDf19	0000 0000 _H	<RSCAN0_base> + 069C _H	8、16、32
受信バッファ ID レジスタ 10	RSCAN0RMID10	0000 0000 _H	<RSCAN0_base> + 06A0 _H	8、16、32
受信バッファポインタレジスタ 10	RSCAN0RMPTR10	0000 0000 _H	<RSCAN0_base> + 06A4 _H	8、16、32
受信バッファデータフィールド0 レジスタ 10	RSCAN0RMDf10	0000 0000 _H	<RSCAN0_base> + 06A8 _H	8、16、32
受信バッファデータフィールド1 レジスタ 10	RSCAN0RMDf110	0000 0000 _H	<RSCAN0_base> + 06AC _H	8、16、32
受信バッファ ID レジスタ 11	RSCAN0RMID11	0000 0000 _H	<RSCAN0_base> + 06B0 _H	8、16、32
受信バッファポインタレジスタ 11	RSCAN0RMPTR11	0000 0000 _H	<RSCAN0_base> + 06B4 _H	8、16、32
受信バッファデータフィールド0 レジスタ 11	RSCAN0RMDf11	0000 0000 _H	<RSCAN0_base> + 06B8 _H	8、16、32
受信バッファデータフィールド1 レジスタ 11	RSCAN0RMDf111	0000 0000 _H	<RSCAN0_base> + 06BC _H	8、16、32
受信バッファ ID レジスタ 12	RSCAN0RMID12	0000 0000 _H	<RSCAN0_base> + 06C0 _H	8、16、32

表 17.12 レジスタ一覧 (12/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
送受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN0CFPTR3	0000 0000 _H	<RSCAN0_base> + 0EB4 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCAN0CFDF03	0000 0000 _H	<RSCAN0_base> + 0EB8 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCAN0CFDF13	0000 0000 _H	<RSCAN0_base> + 0ECB _H	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 4	RSCAN0CFID4	0000 0000 _H	<RSCAN0_base> + 0EC0 _H	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN0CFPTR4	0000 0000 _H	<RSCAN0_base> + 0EC4 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCAN0CFDF04	0000 0000 _H	<RSCAN0_base> + 0EC8 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCAN0CFDF14	0000 0000 _H	<RSCAN0_base> + 0ECC _H	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 5	RSCAN0CFID5	0000 0000 _H	<RSCAN0_base> + 0ED0 _H	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN0CFPTR5	0000 0000 _H	<RSCAN0_base> + 0ED4 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCAN0CFDF05	0000 0000 _H	<RSCAN0_base> + 0ED8 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCAN0CFDF15	0000 0000 _H	<RSCAN0_base> + 0EDC _H	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 6 ^{注1}	RSCAN0CFID6	0000 0000 _H	<RSCAN0_base> + 0EE0 _H	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 6 ^{注1}	RSCAN0CFPTR6	0000 0000 _H	<RSCAN0_base> + 0EE4 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6 ^{注1}	RSCAN0CFDF06	0000 0000 _H	<RSCAN0_base> + 0EE8 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6 ^{注1}	RSCAN0CFDF16	0000 0000 _H	<RSCAN0_base> + 0EEC _H	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 7 ^{注1}	RSCAN0CFID7	0000 0000 _H	<RSCAN0_base> + 0EF0 _H	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 7 ^{注1}	RSCAN0CFPTR7	0000 0000 _H	<RSCAN0_base> + 0EF4 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7 ^{注1}	RSCAN0CFDF07	0000 0000 _H	<RSCAN0_base> + 0EF8 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7 ^{注1}	RSCAN0CFDF17	0000 0000 _H	<RSCAN0_base> + 0EFC _H	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 8 ^{注1}	RSCAN0CFID8	0000 0000 _H	<RSCAN0_base> + 0F00 _H	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 8 ^{注1}	RSCAN0CFPTR8	0000 0000 _H	<RSCAN0_base> + 0F04 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 8 ^{注1}	RSCAN0CFDF08	0000 0000 _H	<RSCAN0_base> + 0F08 _H	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 8 ^{注1}	RSCAN0CFDF18	0000 0000 _H	<RSCAN0_base> + 0F0C _H	8、16、32
送信バッファ ID レジスタ 0	RSCAN0TMID0	0000 0000 _H	<RSCAN0_base> + 1000 _H	8、16、32
送信バッファポインタレジスタ 0	RSCAN0TMPTR0	0000 0000 _H	<RSCAN0_base> + 1004 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 0	RSCAN0TMDF00	0000 0000 _H	<RSCAN0_base> + 1008 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 0	RSCAN0TMDF10	0000 0000 _H	<RSCAN0_base> + 100C _H	8、16、32
送信バッファ ID レジスタ 1	RSCAN0TMID1	0000 0000 _H	<RSCAN0_base> + 1010 _H	8、16、32
送信バッファポインタレジスタ 1	RSCAN0TMPTR1	0000 0000 _H	<RSCAN0_base> + 1014 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 1	RSCAN0TMDF01	0000 0000 _H	<RSCAN0_base> + 1018 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 1	RSCAN0TMDF11	0000 0000 _H	<RSCAN0_base> + 101C _H	8、16、32
送信バッファ ID レジスタ 2	RSCAN0TMID2	0000 0000 _H	<RSCAN0_base> + 1020 _H	8、16、32
送信バッファポインタレジスタ 2	RSCAN0TMPTR2	0000 0000 _H	<RSCAN0_base> + 1024 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 2	RSCAN0TMDF02	0000 0000 _H	<RSCAN0_base> + 1028 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 2	RSCAN0TMDF12	0000 0000 _H	<RSCAN0_base> + 102C _H	8、16、32
送信バッファ ID レジスタ 3	RSCAN0TMID3	0000 0000 _H	<RSCAN0_base> + 1030 _H	8、16、32
送信バッファポインタレジスタ 3	RSCAN0TMPTR3	0000 0000 _H	<RSCAN0_base> + 1034 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 3	RSCAN0TMDF03	0000 0000 _H	<RSCAN0_base> + 1038 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 3	RSCAN0TMDF13	0000 0000 _H	<RSCAN0_base> + 103C _H	8、16、32
送信バッファ ID レジスタ 4	RSCAN0TMID4	0000 0000 _H	<RSCAN0_base> + 1040 _H	8、16、32
送信バッファポインタレジスタ 4	RSCAN0TMPTR4	0000 0000 _H	<RSCAN0_base> + 1044 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 4	RSCAN0TMDF04	0000 0000 _H	<RSCAN0_base> + 1048 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 4	RSCAN0TMDF14	0000 0000 _H	<RSCAN0_base> + 104C _H	8、16、32
送信バッファ ID レジスタ 5	RSCAN0TMID5	0000 0000 _H	<RSCAN0_base> + 1050 _H	8、16、32
送信バッファポインタレジスタ 5	RSCAN0TMPTR5	0000 0000 _H	<RSCAN0_base> + 1054 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 5	RSCAN0TMDF05	0000 0000 _H	<RSCAN0_base> + 1058 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 5	RSCAN0TMDF15	0000 0000 _H	<RSCAN0_base> + 105C _H	8、16、32

表 17.12 レジスタ一覧 (13/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
送信バッファ ID レジスタ 6	RSCAN0TMID6	0000 0000 _H	<RSCAN0_base> + 1060 _H	8、16、32
送信バッファポインタレジスタ 6	RSCAN0TMPTR6	0000 0000 _H	<RSCAN0_base> + 1064 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 6	RSCAN0TMDf06	0000 0000 _H	<RSCAN0_base> + 1068 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 6	RSCAN0TMDf16	0000 0000 _H	<RSCAN0_base> + 106C _H	8、16、32
送信バッファ ID レジスタ 7	RSCAN0TMID7	0000 0000 _H	<RSCAN0_base> + 1070 _H	8、16、32
送信バッファポインタレジスタ 7	RSCAN0TMPTR7	0000 0000 _H	<RSCAN0_base> + 1074 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 7	RSCAN0TMDf07	0000 0000 _H	<RSCAN0_base> + 1078 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 7	RSCAN0TMDf17	0000 0000 _H	<RSCAN0_base> + 107C _H	8、16、32
送信バッファ ID レジスタ 8	RSCAN0TMID8	0000 0000 _H	<RSCAN0_base> + 1080 _H	8、16、32
送信バッファポインタレジスタ 8	RSCAN0TMPTR8	0000 0000 _H	<RSCAN0_base> + 1084 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 8	RSCAN0TMDf08	0000 0000 _H	<RSCAN0_base> + 1088 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 8	RSCAN0TMDf18	0000 0000 _H	<RSCAN0_base> + 108C _H	8、16、32
送信バッファ ID レジスタ 9	RSCAN0TMID9	0000 0000 _H	<RSCAN0_base> + 1090 _H	8、16、32
送信バッファポインタレジスタ 9	RSCAN0TMPTR9	0000 0000 _H	<RSCAN0_base> + 1094 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 9	RSCAN0TMDf09	0000 0000 _H	<RSCAN0_base> + 1098 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 9	RSCAN0TMDf19	0000 0000 _H	<RSCAN0_base> + 109C _H	8、16、32
送信バッファ ID レジスタ 10	RSCAN0TMID10	0000 0000 _H	<RSCAN0_base> + 10A0 _H	8、16、32
送信バッファポインタレジスタ 10	RSCAN0TMPTR10	0000 0000 _H	<RSCAN0_base> + 10A4 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 10	RSCAN0TMDf10	0000 0000 _H	<RSCAN0_base> + 10A8 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 10	RSCAN0TMDf110	0000 0000 _H	<RSCAN0_base> + 10AC _H	8、16、32
送信バッファ ID レジスタ 11	RSCAN0TMID11	0000 0000 _H	<RSCAN0_base> + 10B0 _H	8、16、32
送信バッファポインタレジスタ 11	RSCAN0TMPTR11	0000 0000 _H	<RSCAN0_base> + 10B4 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 11	RSCAN0TMDf011	0000 0000 _H	<RSCAN0_base> + 10B8 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 11	RSCAN0TMDf111	0000 0000 _H	<RSCAN0_base> + 10BC _H	8、16、32
送信バッファ ID レジスタ 12	RSCAN0TMID12	0000 0000 _H	<RSCAN0_base> + 10C0 _H	8、16、32
送信バッファポインタレジスタ 12	RSCAN0TMPTR12	0000 0000 _H	<RSCAN0_base> + 10C4 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 12	RSCAN0TMDf012	0000 0000 _H	<RSCAN0_base> + 10C8 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 12	RSCAN0TMDf112	0000 0000 _H	<RSCAN0_base> + 10CC _H	8、16、32
送信バッファ ID レジスタ 13	RSCAN0TMID13	0000 0000 _H	<RSCAN0_base> + 10D0 _H	8、16、32
送信バッファポインタレジスタ 13	RSCAN0TMPTR13	0000 0000 _H	<RSCAN0_base> + 10D4 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 13	RSCAN0TMDf013	0000 0000 _H	<RSCAN0_base> + 10D8 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 13	RSCAN0TMDf113	0000 0000 _H	<RSCAN0_base> + 10DC _H	8、16、32
送信バッファ ID レジスタ 14	RSCAN0TMID14	0000 0000 _H	<RSCAN0_base> + 10E0 _H	8、16、32
送信バッファポインタレジスタ 14	RSCAN0TMPTR14	0000 0000 _H	<RSCAN0_base> + 10E4 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 14	RSCAN0TMDf014	0000 0000 _H	<RSCAN0_base> + 10E8 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 14	RSCAN0TMDf114	0000 0000 _H	<RSCAN0_base> + 10EC _H	8、16、32
送信バッファ ID レジスタ 15	RSCAN0TMID15	0000 0000 _H	<RSCAN0_base> + 10F0 _H	8、16、32
送信バッファポインタレジスタ 15	RSCAN0TMPTR15	0000 0000 _H	<RSCAN0_base> + 10F4 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 15	RSCAN0TMDf015	0000 0000 _H	<RSCAN0_base> + 10F8 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 15	RSCAN0TMDf115	0000 0000 _H	<RSCAN0_base> + 10FC _H	8、16、32
送信バッファ ID レジスタ 16	RSCAN0TMID16	0000 0000 _H	<RSCAN0_base> + 1100 _H	8、16、32
送信バッファポインタレジスタ 16	RSCAN0TMPTR16	0000 0000 _H	<RSCAN0_base> + 1104 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 16	RSCAN0TMDf016	0000 0000 _H	<RSCAN0_base> + 1108 _H	8、16、32
送信バッファデータフィールド 1 レジスタ 16	RSCAN0TMDf116	0000 0000 _H	<RSCAN0_base> + 110C _H	8、16、32
送信バッファ ID レジスタ 17	RSCAN0TMID17	0000 0000 _H	<RSCAN0_base> + 1110 _H	8、16、32
送信バッファポインタレジスタ 17	RSCAN0TMPTR17	0000 0000 _H	<RSCAN0_base> + 1114 _H	8、16、32
送信バッファデータフィールド 0 レジスタ 17	RSCAN0TMDf017	0000 0000 _H	<RSCAN0_base> + 1118 _H	8、16、32

表 17.12 レジスタ一覧 (14/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
送信バッファデータフィールド1レジスタ 17	RSCAN0TMDF117	0000 0000 _H	<RSCAN0_base> + 111C _H	8、16、32
送信バッファIDレジスタ 18	RSCAN0TMID18	0000 0000 _H	<RSCAN0_base> + 1120 _H	8、16、32
送信バッファポインタレジスタ 18	RSCAN0TMPTR18	0000 0000 _H	<RSCAN0_base> + 1124 _H	8、16、32
送信バッファデータフィールド0レジスタ 18	RSCAN0TMDF018	0000 0000 _H	<RSCAN0_base> + 1128 _H	8、16、32
送信バッファデータフィールド1レジスタ 18	RSCAN0TMDF118	0000 0000 _H	<RSCAN0_base> + 112C _H	8、16、32
送信バッファIDレジスタ 19	RSCAN0TMID19	0000 0000 _H	<RSCAN0_base> + 1130 _H	8、16、32
送信バッファポインタレジスタ 19	RSCAN0TMPTR19	0000 0000 _H	<RSCAN0_base> + 1134 _H	8、16、32
送信バッファデータフィールド0レジスタ 19	RSCAN0TMDF019	0000 0000 _H	<RSCAN0_base> + 1138 _H	8、16、32
送信バッファデータフィールド1レジスタ 19	RSCAN0TMDF119	0000 0000 _H	<RSCAN0_base> + 113C _H	8、16、32
送信バッファIDレジスタ 20	RSCAN0TMID20	0000 0000 _H	<RSCAN0_base> + 1140 _H	8、16、32
送信バッファポインタレジスタ 20	RSCAN0TMPTR20	0000 0000 _H	<RSCAN0_base> + 1144 _H	8、16、32
送信バッファデータフィールド0レジスタ 20	RSCAN0TMDF020	0000 0000 _H	<RSCAN0_base> + 1148 _H	8、16、32
送信バッファデータフィールド1レジスタ 20	RSCAN0TMDF120	0000 0000 _H	<RSCAN0_base> + 114C _H	8、16、32
送信バッファIDレジスタ 21	RSCAN0TMID21	0000 0000 _H	<RSCAN0_base> + 1150 _H	8、16、32
送信バッファポインタレジスタ 21	RSCAN0TMPTR21	0000 0000 _H	<RSCAN0_base> + 1154 _H	8、16、32
送信バッファデータフィールド0レジスタ 21	RSCAN0TMDF021	0000 0000 _H	<RSCAN0_base> + 1158 _H	8、16、32
送信バッファデータフィールド1レジスタ 21	RSCAN0TMDF121	0000 0000 _H	<RSCAN0_base> + 115C _H	8、16、32
送信バッファIDレジスタ 22	RSCAN0TMID22	0000 0000 _H	<RSCAN0_base> + 1160 _H	8、16、32
送信バッファポインタレジスタ 22	RSCAN0TMPTR22	0000 0000 _H	<RSCAN0_base> + 1164 _H	8、16、32
送信バッファデータフィールド0レジスタ 22	RSCAN0TMDF022	0000 0000 _H	<RSCAN0_base> + 1168 _H	8、16、32
送信バッファデータフィールド1レジスタ 22	RSCAN0TMDF122	0000 0000 _H	<RSCAN0_base> + 116C _H	8、16、32
送信バッファIDレジスタ 23	RSCAN0TMID23	0000 0000 _H	<RSCAN0_base> + 1170 _H	8、16、32
送信バッファポインタレジスタ 23	RSCAN0TMPTR23	0000 0000 _H	<RSCAN0_base> + 1174 _H	8、16、32
送信バッファデータフィールド0レジスタ 23	RSCAN0TMDF023	0000 0000 _H	<RSCAN0_base> + 1178 _H	8、16、32
送信バッファデータフィールド1レジスタ 23	RSCAN0TMDF123	0000 0000 _H	<RSCAN0_base> + 117C _H	8、16、32
送信バッファIDレジスタ 24	RSCAN0TMID24	0000 0000 _H	<RSCAN0_base> + 1180 _H	8、16、32
送信バッファポインタレジスタ 24	RSCAN0TMPTR24	0000 0000 _H	<RSCAN0_base> + 1184 _H	8、16、32
送信バッファデータフィールド0レジスタ 24	RSCAN0TMDF024	0000 0000 _H	<RSCAN0_base> + 1188 _H	8、16、32
送信バッファデータフィールド1レジスタ 24	RSCAN0TMDF124	0000 0000 _H	<RSCAN0_base> + 118C _H	8、16、32
送信バッファIDレジスタ 25	RSCAN0TMID25	0000 0000 _H	<RSCAN0_base> + 1190 _H	8、16、32
送信バッファポインタレジスタ 25	RSCAN0TMPTR25	0000 0000 _H	<RSCAN0_base> + 1194 _H	8、16、32
送信バッファデータフィールド0レジスタ 25	RSCAN0TMDF025	0000 0000 _H	<RSCAN0_base> + 1198 _H	8、16、32
送信バッファデータフィールド1レジスタ 25	RSCAN0TMDF125	0000 0000 _H	<RSCAN0_base> + 119C _H	8、16、32
送信バッファIDレジスタ 26	RSCAN0TMID26	0000 0000 _H	<RSCAN0_base> + 11A0 _H	8、16、32
送信バッファポインタレジスタ 26	RSCAN0TMPTR26	0000 0000 _H	<RSCAN0_base> + 11A4 _H	8、16、32
送信バッファデータフィールド0レジスタ 26	RSCAN0TMDF026	0000 0000 _H	<RSCAN0_base> + 11A8 _H	8、16、32
送信バッファデータフィールド1レジスタ 26	RSCAN0TMDF126	0000 0000 _H	<RSCAN0_base> + 11AC _H	8、16、32
送信バッファIDレジスタ 27	RSCAN0TMID27	0000 0000 _H	<RSCAN0_base> + 11B0 _H	8、16、32
送信バッファポインタレジスタ 27	RSCAN0TMPTR27	0000 0000 _H	<RSCAN0_base> + 11B4 _H	8、16、32
送信バッファデータフィールド0レジスタ 27	RSCAN0TMDF027	0000 0000 _H	<RSCAN0_base> + 11B8 _H	8、16、32
送信バッファデータフィールド1レジスタ 27	RSCAN0TMDF127	0000 0000 _H	<RSCAN0_base> + 11BC _H	8、16、32
送信バッファIDレジスタ 28	RSCAN0TMID28	0000 0000 _H	<RSCAN0_base> + 11C0 _H	8、16、32
送信バッファポインタレジスタ 28	RSCAN0TMPTR28	0000 0000 _H	<RSCAN0_base> + 11C4 _H	8、16、32
送信バッファデータフィールド0レジスタ 28	RSCAN0TMDF028	0000 0000 _H	<RSCAN0_base> + 11C8 _H	8、16、32
送信バッファデータフィールド1レジスタ 28	RSCAN0TMDF128	0000 0000 _H	<RSCAN0_base> + 11CC _H	8、16、32
送信バッファIDレジスタ 29	RSCAN0TMID29	0000 0000 _H	<RSCAN0_base> + 11D0 _H	8、16、32
送信バッファポインタレジスタ 29	RSCAN0TMPTR29	0000 0000 _H	<RSCAN0_base> + 11D4 _H	8、16、32

表 17.12 レジスタ一覧 (16/17)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
送信バッファポインタレジスタ 41 ^{注1}	RSCAN0TMPTR41	0000 0000 _H	<RSCAN0_base> + 1294 _H	8、16、32
送信バッファデータフィールド0 レジスタ 41 ^{注1}	RSCAN0TMDF041	0000 0000 _H	<RSCAN0_base> + 1298 _H	8、16、32
送信バッファデータフィールド1 レジスタ 41 ^{注1}	RSCAN0TMDF141	0000 0000 _H	<RSCAN0_base> + 129C _H	8、16、32
送信バッファID レジスタ 42 ^{注1}	RSCAN0TMID42	0000 0000 _H	<RSCAN0_base> + 12A0 _H	8、16、32
送信バッファポインタレジスタ 42 ^{注1}	RSCAN0TMPTR42	0000 0000 _H	<RSCAN0_base> + 12A4 _H	8、16、32
送信バッファデータフィールド0 レジスタ 42 ^{注1}	RSCAN0TMDF042	0000 0000 _H	<RSCAN0_base> + 12A8 _H	8、16、32
送信バッファデータフィールド1 レジスタ 42 ^{注1}	RSCAN0TMDF142	0000 0000 _H	<RSCAN0_base> + 12AC _H	8、16、32
送信バッファID レジスタ 43 ^{注1}	RSCAN0TMID43	0000 0000 _H	<RSCAN0_base> + 12B0 _H	8、16、32
送信バッファポインタレジスタ 43 ^{注1}	RSCAN0TMPTR43	0000 0000 _H	<RSCAN0_base> + 12B4 _H	8、16、32
送信バッファデータフィールド0 レジスタ 43 ^{注1}	RSCAN0TMDF043	0000 0000 _H	<RSCAN0_base> + 12B8 _H	8、16、32
送信バッファデータフィールド1 レジスタ 43 ^{注1}	RSCAN0TMDF143	0000 0000 _H	<RSCAN0_base> + 12BC _H	8、16、32
送信バッファID レジスタ 44 ^{注1}	RSCAN0TMID44	0000 0000 _H	<RSCAN0_base> + 12C0 _H	8、16、32
送信バッファポインタレジスタ 44 ^{注1}	RSCAN0TMPTR44	0000 0000 _H	<RSCAN0_base> + 12C4 _H	8、16、32
送信バッファデータフィールド0 レジスタ 44 ^{注1}	RSCAN0TMDF044	0000 0000 _H	<RSCAN0_base> + 12C8 _H	8、16、32
送信バッファデータフィールド1 レジスタ 44 ^{注1}	RSCAN0TMDF144	0000 0000 _H	<RSCAN0_base> + 12CC _H	8、16、32
送信バッファID レジスタ 45 ^{注1}	RSCAN0TMID45	0000 0000 _H	<RSCAN0_base> + 12D0 _H	8、16、32
送信バッファポインタレジスタ 45 ^{注1}	RSCAN0TMPTR45	0000 0000 _H	<RSCAN0_base> + 12D4 _H	8、16、32
送信バッファデータフィールド0 レジスタ 45 ^{注1}	RSCAN0TMDF045	0000 0000 _H	<RSCAN0_base> + 12D8 _H	8、16、32
送信バッファデータフィールド1 レジスタ 45 ^{注1}	RSCAN0TMDF145	0000 0000 _H	<RSCAN0_base> + 12DC _H	8、16、32
送信バッファID レジスタ 46 ^{注1}	RSCAN0TMID46	0000 0000 _H	<RSCAN0_base> + 12E0 _H	8、16、32
送信バッファポインタレジスタ 46 ^{注1}	RSCAN0TMPTR46	0000 0000 _H	<RSCAN0_base> + 12E4 _H	8、16、32
送信バッファデータフィールド0 レジスタ 46 ^{注1}	RSCAN0TMDF046	0000 0000 _H	<RSCAN0_base> + 12E8 _H	8、16、32
送信バッファデータフィールド1 レジスタ 46 ^{注1}	RSCAN0TMDF146	0000 0000 _H	<RSCAN0_base> + 12EC _H	8、16、32
送信バッファID レジスタ 47 ^{注1}	RSCAN0TMID47	0000 0000 _H	<RSCAN0_base> + 12F0 _H	8、16、32
送信バッファポインタレジスタ 47 ^{注1}	RSCAN0TMPTR47	0000 0000 _H	<RSCAN0_base> + 12F4 _H	8、16、32
送信バッファデータフィールド0 レジスタ 47 ^{注1}	RSCAN0TMDF047	0000 0000 _H	<RSCAN0_base> + 12F8 _H	8、16、32
送信バッファデータフィールド1 レジスタ 47 ^{注1}	RSCAN0TMDF147	0000 0000 _H	<RSCAN0_base> + 12FC _H	8、16、32
送信履歴アクセスレジスタ 0	RSCAN0THLACC0	0000 0000 _H	<RSCAN0_base> + 1800 _H	8、16、32
送信履歴アクセスレジスタ 1	RSCAN0THLACC1	0000 0000 _H	<RSCAN0_base> + 1804 _H	8、16、32
送信履歴アクセスレジスタ 2 ^{注1}	RSCAN0THLACC2	0000 0000 _H	<RSCAN0_base> + 1808 _H	8、16、32
RAM テストページアクセスレジスタ 0	RSCAN0RPGACC0	0000 0000 _H	<RSCAN0_base> + 1900 _H	8、16、32
RAM テストページアクセスレジスタ 1	RSCAN0RPGACC1	0000 0000 _H	<RSCAN0_base> + 1904 _H	8、16、32
RAM テストページアクセスレジスタ 2	RSCAN0RPGACC2	0000 0000 _H	<RSCAN0_base> + 1908 _H	8、16、32
RAM テストページアクセスレジスタ 3	RSCAN0RPGACC3	0000 0000 _H	<RSCAN0_base> + 190C _H	8、16、32
RAM テストページアクセスレジスタ 4	RSCAN0RPGACC4	0000 0000 _H	<RSCAN0_base> + 1910 _H	8、16、32
RAM テストページアクセスレジスタ 5	RSCAN0RPGACC5	0000 0000 _H	<RSCAN0_base> + 1914 _H	8、16、32
RAM テストページアクセスレジスタ 6	RSCAN0RPGACC6	0000 0000 _H	<RSCAN0_base> + 1918 _H	8、16、32
RAM テストページアクセスレジスタ 7	RSCAN0RPGACC7	0000 0000 _H	<RSCAN0_base> + 191C _H	8、16、32
RAM テストページアクセスレジスタ 8	RSCAN0RPGACC8	0000 0000 _H	<RSCAN0_base> + 1920 _H	8、16、32
RAM テストページアクセスレジスタ 9	RSCAN0RPGACC9	0000 0000 _H	<RSCAN0_base> + 1924 _H	8、16、32
RAM テストページアクセスレジスタ 10	RSCAN0RPGACC10	0000 0000 _H	<RSCAN0_base> + 1928 _H	8、16、32
RAM テストページアクセスレジスタ 11	RSCAN0RPGACC11	0000 0000 _H	<RSCAN0_base> + 192C _H	8、16、32
RAM テストページアクセスレジスタ 12	RSCAN0RPGACC12	0000 0000 _H	<RSCAN0_base> + 1930 _H	8、16、32
RAM テストページアクセスレジスタ 13	RSCAN0RPGACC13	0000 0000 _H	<RSCAN0_base> + 1934 _H	8、16、32
RAM テストページアクセスレジスタ 14	RSCAN0RPGACC14	0000 0000 _H	<RSCAN0_base> + 1938 _H	8、16、32
RAM テストページアクセスレジスタ 15	RSCAN0RPGACC15	0000 0000 _H	<RSCAN0_base> + 193C _H	8、16、32
RAM テストページアクセスレジスタ 16	RSCAN0RPGACC16	0000 0000 _H	<RSCAN0_base> + 1940 _H	8、16、32

注 1. 3ch 搭載製品のみ

表 17.13 各チャンネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ $16 \times m + 0$
	送信バッファ $16 \times m + 1$
	送信バッファ $16 \times m + 2$
	送信バッファ $16 \times m + 3$
	送信バッファ $16 \times m + 4$
	送信バッファ $16 \times m + 5$
	送信バッファ $16 \times m + 6$
	送信バッファ $16 \times m + 7$
	送信バッファ $16 \times m + 8$
	送信バッファ $16 \times m + 9$
	送信バッファ $16 \times m + 10$
	送信バッファ $16 \times m + 11$
	送信バッファ $16 \times m + 12$
	送信バッファ $16 \times m + 13$
	送信バッファ $16 \times m + 14$
送信バッファ $16 \times m + 15$	

表 17.14 各チャンネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ $3 \times m + 0$
	送受信 FIFO バッファ $3 \times m + 1$
	送受信 FIFO バッファ $3 \times m + 2$

表 17.15 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000 _B	送信バッファ $16 \times m + 0$
0001 _B	送信バッファ $16 \times m + 1$
0010 _B	送信バッファ $16 \times m + 2$
0011 _B	送信バッファ $16 \times m + 3$
0100 _B	送信バッファ $16 \times m + 4$
0101 _B	送信バッファ $16 \times m + 5$
0110 _B	送信バッファ $16 \times m + 6$
0111 _B	送信バッファ $16 \times m + 7$
1000 _B	送信バッファ $16 \times m + 8$
1001 _B	送信バッファ $16 \times m + 9$
1010 _B	送信バッファ $16 \times m + 10$
1011 _B	送信バッファ $16 \times m + 11$
1100 _B	送信バッファ $16 \times m + 12$
1101 _B	送信バッファ $16 \times m + 13$
1110 _B	送信バッファ $16 \times m + 14$
1111 _B	送信バッファ $16 \times m + 15$

表 17.16 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC [3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000 _B	設定しないでください。
0001 _B	設定しないでください。
0010 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 13$
0011 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 12$
0100 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 11$
0101 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 10$
0110 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 9$
0111 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 8$
1000 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 7$
1001 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 6$
1010 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 5$
1011 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 4$
1100 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 3$
1101 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 2$
1110 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 1$
1111 _B	送信バッファ $16 \times m + 15 \sim 16 \times m + 0$

17.3.2 RSCAN0CmCFG — チャネルコンフィグレーションレジスタ (m = 0 ~ 2)

アクセス RSCAN0CmCFG レジスタは、32 ビット単位でリード/ライト可能です。
 RSCAN0CmCFGL、RSCAN0CmCFGH レジスタは、16 ビット単位でリード/ライト可能です。
 RSCAN0CmCFGLL、RSCAN0CmCFGLH、RSCAN0CmCFGHL、RSCAN0CmCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CmCFG: <RSCAN0_base> + 0000_H + (10_H × m)
 RSCAN0CmCFGL: <RSCAN0_base> + 0000_H + (10_H × m)、
 RSCAN0CmCFGH: <RSCAN0_base> + 0002_H + (10_H × m)
 RSCAN0CmCFGLL: <RSCAN0_base> + 0000_H + (10_H × m)、
 RSCAN0CmCFGLH: <RSCAN0_base> + 0001_H + (10_H × m)、
 RSCAN0CmCFGHL: <RSCAN0_base> + 0002_H + (10_H × m)、
 RSCAN0CmCFGHH: <RSCAN0_base> + 0003_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	SJW [1:0]		—	TSEG2 [2:0]			TSEG1 [3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	BRP [9:0]									—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

表 17.17 RSCAN0CmCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	SJW [1:0]	再同期ジャンプ幅制御ビット b25 b24 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 20	TSEG2 [2:0]	タイムセグメント 2 制御ビット b22 b21 b20 0 0 0 : 設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq

表 17.17 RSCAN0CmCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ~ 16	TSEG1 [3:0]	タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ~ 0	BRP [9:0]	プリスケーラ分周比設定ビット 設定値を P (0 ~ 1023) とすると、ポーレートプリスケーラは fCAN を P+1 で分周します。

RSCAN0CmCFG レジスタは、チャンネルリセットモードまたはチャンネル待機モードで書き換えてください。また、チャンネルリセットモードで本レジスタを設定した後で、チャンネル通信モードまたはチャンネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、「**17.10.1 初期設定**」を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅 (Resynchronization jump width) を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロパゲーションセグメント (PROP_SEG) とフェーズセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック (fCAN) をポーレートプリスケーラ ((BRP[9:0]) + 1) で分周したクロックが CANmTq クロック (fCANTQm) になり、CANmTq クロックの 1 クロックが 1 Time Quantum (Tq) になります。

17.3.3 RSCAN0CmCTR — チャネル制御レジスタ (m = 0 ~ 2)

アクセス RSCAN0CmCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CmCTRL、RSCAN0CmCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CmCTRL、RSCAN0CmCTRLH、RSCAN0CmCTRHL、RSCAN0CmCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CmCTR: <RSCAN0_base> + 0004_H + (10_H × m)
RSCAN0CmCTRL: <RSCAN0_base> + 0004_H + (10_H × m)、
RSCAN0CmCTRH: <RSCAN0_base> + 0006_H + (10_H × m)
RSCAN0CmCTRL: <RSCAN0_base> + 0004_H + (10_H × m)、
RSCAN0CmCTRLH: <RSCAN0_base> + 0005_H + (10_H × m)、
RSCAN0CmCTRHL: <RSCAN0_base> + 0006_H + (10_H × m)、
RSCAN0CmCTRHH: <RSCAN0_base> + 0007_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	—	—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 17.18 RSCAN0CmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0: 標準テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード 0 (外部ループバックモード) 1 1: セルフテストモード 1 (内部ループバックモード)
24	CTME	通信テストモード許可ビット 0: 通信テストモード禁止 1: 通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0: RSCAN0CmERFL レジスタのビット 14 ~ 8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1: 発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0: ISO11898-1 仕様準拠 0 1: バスオフ開始でチャネル待機モードへ遷移 1 0: バスオフ終了でチャネル待機モードへ遷移 1 1: バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TAIE	送信アボート割り込み許可ビット 0: 送信アボート割り込み禁止 1: 送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可

表 17.18 RSCAN0CmCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
14	BLIE	バスロック割り込み許可ビット 0: バスロック割り込み禁止 1: バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0: オーバロードフレーム送信割り込み禁止 1: オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0: バスエラー割り込み禁止 1: バスエラー割り込み許可
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。
2	CSLPR	チャンネルストップモードビット 0: チャンネルストップモードではない 1: チャンネルストップモード
1, 0	CHMDC[1:0]	モード選択ビット b1 b0 0 0: チャンネル通信モード 0 1: チャンネルリセットモード 1 0: チャンネル待機モード 1 1: 設定しないでください

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャンネル待機モードのみで書き換えてください。チャンネルリセットモード時は、“0”になります。

CTME ビット

“1”にすると通信テストモードは許可になります。このビットはチャンネル待機モードで書き換えてください。チャンネルリセットモード時は、“0”になります。

ERRD ビット

RSCAN0CmERFL レジスタのビット 14 ~ 8 の表示モードを制御します。

“0”にすると最初に発生したエラーのフラグのみ“1”になります。最初のエラーで複数のエラーが発生した場合、検出されたエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャンネルリセットモードまたはチャンネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CAN モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを“10_B”（チャンネル待機モード）にしても 128 回検出するまでチャンネル待機モードには遷移しません。

BOM[1:0] ビットが“01_B”の場合、RS-CAN モジュールがバスオフ状態に達すると、RSCAN0CmCTR レジスタ（m=0~2）の CHMDC[1:0] ビットが“10_B”になり、チャンネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“10_B”の場合、RS-CAN モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが“10_B”になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャンネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが“00_H”になります。

BOM[1:0] ビットが“11_B”の場合、RS-CAN モジュールがバスオフ状態のときに CHMDC[1:0] ビットを“10_B”にすると、チャンネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは“00_H”になります。しかし、CHMDC[1:0] ビットを“10_B”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールがチャンネル待機モードに遷移するのと同様（BOM[1:0] ビットが“01_B”のとき：バスオフ開始時、または BOM[1:0] ビットが“10_B”のとき：バスオフ終了時）に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャンネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを“1”に設定し、送信バッファの送信アポートが完了した場合、割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの ALF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの BLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの OVLV フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの BORF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、RSCAN0CmERFL レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャンネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが“00_H”になり、RSCAN0CmSTS レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCAN0CmCTR レジスタの BOM[1:0] ビットが“00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャンネル通信モードで“1”を書いてください。

CSLPR ビット

“1”にすると、チャンネルストップモードになります。

“0”にすると、チャンネルストップモードは解除されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードでは書き換えしないでください。

CHMDC[1:0] ビット

チャンネルのモード (チャンネル通信モード、チャンネルリセットモード、チャンネル待機モード) を選択するビットです。詳細は、「**17.5.2 チャンネルモード**」を参照してください。チャンネルストップモードへは、チャンネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0] ビットを“11_B”には設定しないでください。BOM[1:0] ビットの設定によってチャンネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に“10_B”になります。

17.3.4 RSCAN0CmSTS — チャネルステータスレジスタ (m = 0 ~ 2)

アクセス RSCAN0CmSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CmSTSL、RSCAN0CmSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CmSTSLL、RSCAN0CmSTSLH、RSCAN0CmSTSHL、RSCAN0CmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CmSTS: <RSCAN0_base> + 0008_H + (10_H × m)

RSCAN0CmSTSL: <RSCAN0_base> + 0008_H + (10_H × m)、
RSCAN0CmSTSH: <RSCAN0_base> + 000A_H + (10_H × m)

RSCAN0CmSTSLL: <RSCAN0_base> + 0008_H + (10_H × m)、
RSCAN0CmSTSLH: <RSCAN0_base> + 0009_H + (10_H × m)、
RSCAN0CmSTSHL: <RSCAN0_base> + 000A_H + (10_H × m)、
RSCAN0CmSTSHH: <RSCAN0_base> + 000B_H + (10_H × m)

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC [7:0]								REC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMST S	RECST S	TRMST S	BOSTS	EPSTS	CSLPST S	CHLTST S	CRSTST S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.19 RSCAN0CmSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TEC [7:0]	送信エラーカウンタ (TEC) の値が読めます。
23 ~ 16	REC [7:0]	受信エラーカウンタ (REC) の値が読めます。
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	COMSTS	通信ステータスフラグ 0: 通信可能な状態ではない 1: 通信可能な状態
6	RECSTS	受信ステータスフラグ 0: バスアイドルまたは送信中またはバスオフ状態 1: 受信中
5	TRMSTS	送信ステータスフラグ 0: バスアイドルまたは受信中 1: 送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0: バスオフ状態ではない 1: バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0: エラーパッシブ状態ではない 1: エラーパッシブ状態
2	CSLPSTS	チャネルストップステータスフラグ 0: チャネルストップモードではない 1: チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0: チャネル待機モードではない 1: チャネル待機モード
0	CRSTSTS	チャネルリセットステータスフラグ 0: チャネルリセットモードではない 1: チャネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

チャンネルリセットモード時は、“0”になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャンネルリセットモードまたはチャンネル待機モードからチャンネル通信モードに移行し、11ビットの連続するレセシブを検出した後に、“1”になります。チャンネルリセットモードまたはチャンネル待機モード時は、“0”になります。

RECSTS フラグ

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

TRMSTS フラグ

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

BOSTS フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると“1”になります。バスオフ状態以外になると“0”になります。

EPSTS フラグ

エラーパッシブ状態 ((128 ≤ TEC[7:0] ビット ≤ 255) または (128 ≤ REC[7:0] ビット)) になると、“1”になります。エラーパッシブ状態以外になるか、またはチャンネルリセットモードになると、“0”になります。

CSLPSTS フラグ

チャンネルストップモードに遷移すると、“1”になります。チャンネルストップモードから復帰すると“0”になります。

CHLTSTS フラグ

チャンネル待機モードに遷移すると“1”になります。チャンネル待機モード以外のモードに遷移すると“0”になります。

CRSTSTS フラグ

チャンネルリセットモードに遷移すると“1”になります。チャンネル通信モードまたはチャンネル待機モードに遷移すると“0”になります。チャンネルリセットモードからチャンネルストップモードに遷移しても、“1”のままです。

17.3.5 RSCAN0CmERFL — チャネルエラーフラグレジスタ (m = 0 ~ 2)

アクセス RSCAN0CmERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CmERFLL、RSCAN0CmERFLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CmERFLLL、RSCAN0CmERFLLH、RSCAN0CmERFLHL、RSCAN0CmERFLHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CmERFL: $\langle \text{RSCAN0_base} \rangle + 000C_H + (10_H \times m)$
RSCAN0CmERFLL: $\langle \text{RSCAN0_base} \rangle + 000C_H + (10_H \times m)$ 、
RSCAN0CmERFLH: $\langle \text{RSCAN0_base} \rangle + 000E_H + (10_H \times m)$
RSCAN0CmERFLLL: $\langle \text{RSCAN0_base} \rangle + 000C_H + (10_H \times m)$ 、
RSCAN0CmERFLLH: $\langle \text{RSCAN0_base} \rangle + 000D_H + (10_H \times m)$ 、
RSCAN0CmERFLHL: $\langle \text{RSCAN0_base} \rangle + 000E_H + (10_H \times m)$ 、
RSCAN0CmERFLHH: $\langle \text{RSCAN0_base} \rangle + 000F_H + (10_H \times m)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRCREG[14:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWf	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 17.20 RSCAN0CmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ~ 16	CRCREG[14:0]	CRC 演算データ 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0: ACK デリミタエラー未検出 1: ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0: ドミナントビットエラー未検出 1: ドミナントビットエラー検出
12	B1ERR	レセプティブビットエラーフラグ 0: レセプティブビットエラー未検出 1: レセプティブビットエラー検出
11	CERR	CRC エラーフラグ 0: CRC エラー未検出 1: CRC エラー検出
10	AERR	ACK エラーフラグ 0: ACK エラー未検出 1: ACK エラー検出
9	FERR	フォームエラーフラグ 0: フォームエラー未検出 1: フォームエラー検出

表 17.20 RSCAN0CmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	SERR	スタッフエラーフラグ 0: スタッフエラー未検出 1: スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0: アービトレーションロスト未検出 1: アービトレーションロスト検出
6	BLF	バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出
5	OVLf	オーバロードフラグ 0: オーバロード未検出 1: オーバロード検出
4	BORF	バスオフ復帰フラグ 0: バスオフ復帰未検出 1: バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0: バスオフ開始未検出 1: バスオフ開始検出
2	EPF	エラーパッシブフラグ 0: エラーパッシブ未検出 1: エラーパッシブ検出
1	EWf	エラーワーニングフラグ 0: エラーワーニング未検出 1: エラーワーニング検出
0	BEF	バスエラーフラグ 0: チャンネルバスエラーは未検出 1: チャンネルバスエラー検出

各エラーの発生条件を確認するには、CAN仕様 (ISO11898-1) を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャンネルリセットモード時、“0”になります。

RSCAN0CmERFL レジスタのビット 14～8 に関して、RSCAN0CmCTR レジスタの ERRD ビットを“0” (最初に発生したエラー情報のみ表示) に設定したとき、ビット 14～8 のすべてのフラグが“0”の状態エラーが検出された場合に、対応するフラグは“1”になります。

CRCREG[14:0] フラグ

RSCAN0CmCTR レジスタの CTME ビットが“1” (通信テストモード許可) の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが“0” (通信テストモード禁止) の場合、常に“0”が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトラージョンロストを検出すると“1”になります。

BLF フラグ

チャンネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを“1”から“0”にした後、レセシブビットを検出
- BLF ビットを“1”から“0”にした後、チャンネルリセットモードに遷移し、再度チャンネル通信モードに遷移

OVLV フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを“01_B” (チャンネルリセットモード) に設定した場合
- RSCAN0CmCTR レジスタの RTBO ビットを“1” (バスオフからの強制復帰) に設定した場合
- RSCAN0CmCTR レジスタの BOM[1:0] ビットを“01_B” (バスオフ開始でチャンネル待機モードへ遷移) に設定した場合
- BOM[1:0] ビットが“11_B” (バスオフ中にプログラムによる要求でチャンネル待機モードへ遷移) で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを“10_B” (チャンネル待機モード) に設定した場合

BOEF フラグ

バスオフ状態 (TEC[7:0] ビット > 255) になると、“1” になります。RSCAN0CmCTR レジスタ (m=0~2) の BOM[1:0] ビットが “01_B” (バスオフ開始でチャンネル待機モードへ遷移) で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態 (REC[7:0] または TEC[7:0] ビット > 127) になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWf フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビットが 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCAN0CmERFL レジスタの ADERR、BOERR、BIERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

備 考

本レジスタのフラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

17.3.6 RSCAN0GCFG — グローバルコンフィグレーションレジスタ

アクセス RSCAN0GCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GCFG_L、RSCAN0GCFG_H レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GCFG_LL、RSCAN0GCFG_LH、RSCAN0GCFG_HL、RSCAN0GCFG_HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GCFG: <RSCAN0_base> + 0084_H
RSCAN0GCFG_L: <RSCAN0_base> + 0084_H, RSCAN0GCFG_H: <RSCAN0_base> + 0086_H
RSCAN0GCFG_LL: <RSCAN0_base> + 0084_H, RSCAN0GCFG_LH: <RSCAN0_base> + 0085_H,
RSCAN0GCFG_HL: <RSCAN0_base> + 0086_H, RSCAN0GCFG_HH: <RSCAN0_base> + 0087_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]		TSSS	TSP[3:0]			—	—	—	DCS	MME	DRE	DCE	TPRI		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 17.21 RSCAN0GCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	ITRCP [15:0]	インターバルタイムプリスケアラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイムを使用する場合、“0000 _H ” を設定しないでください。
15 ~ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0: チャンネル0 ビットタイムクロック 0 0 1: チャンネル1 ビットタイムクロック 0 1 0: チャンネル2 ビットタイムクロック 0 1 1: 設定しないでください 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: 設定しないでください 1 1 1: 設定しないでください
12	TSSS	タイムスタンプソース選択 0: pclk/2 ^{注1} 1: ビットタイムクロック
11 ~ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0: 分周なし 0 0 0 1: 2 分周 0 0 1 0: 4 分周 0 0 1 1: 8 分周 0 1 0 0: 16 分周 0 1 0 1: 32 分周 0 1 1 0: 64 分周 0 1 1 1: 128 分周 1 0 0 0: 256 分周 1 0 0 1: 512 分周 1 0 1 0: 1024 分周 1 0 1 1: 2048 分周 1 1 0 0: 4096 分周 1 1 0 1: 8192 分周 1 1 1 0: 16384 分周 1 1 1 1: 32768 分周

表 17.21 RSCAN0GCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DCS	CAN クロック源選択ビット 0 : clk 1 : clk_xincan
3	MME	ミラー機能許可ビット 0 : ミラー機能禁止 1 : ミラー機能許可
2	DRE	DLC 置換許可ビット 0 : DLC 置換禁止 1 : DLC 置換許可
1	DCE	DLC チェック許可ビット 0 : DLC チェック禁止 1 : DLC チェック許可
0	TPRI	送信優先順位選択ビット 0 : ID 優先 1 : 送信バッファ番号優先

注 1. タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_b” にしてください。

RSCAN0GCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「**17.7.3.1 インターバル送信機能**」を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが“1”のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

DCS ビット

“0”のとき、clk が CAN クロック (fCAN) のクロック源になります。

“1”のとき、clk_xincan が CAN クロック (fCAN) のクロック源になります。

MME ビット

“1”にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを“1”にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

DCE ビットが“1” (DLC チェック許可) のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCAN0GAFLP0j レジスタの GAFLDLC[3:0] ビットを“0000_B”にしてから、RSCAN0GCFG レジスタの DCE ビットを“0”にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール (ISO11898-1 仕様) に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

17.3.7 RSCAN0GCTR — グローバル制御レジスタ

アクセス RSCAN0GCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GCTRL、RSCAN0GCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GCTRL、RSCAN0GCTRLH、RSCAN0GCTRLH、RSCAN0GCTRH、RSCAN0GCTRHHL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GCTR: <RSCAN0_base> + 0088_H
RSCAN0GCTRL: <RSCAN0_base> + 0088_H, RSCAN0GCTRH: <RSCAN0_base> + 008A_H
RSCAN0GCTRL: <RSCAN0_base> + 0088_H, RSCAN0GCTRLH: <RSCAN0_base> + 0089_H,
RSCAN0GCTRLH: <RSCAN0_base> + 008A_H, RSCAN0GCTRHHL: <RSCAN0_base> + 008B_H

リセット後の値 0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 17.22 RSCAN0GCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLEIE	送信履歴バッファオーバーフロー割り込み許可ビット 0: 送信履歴バッファオーバーフロー割り込み禁止 1: 送信履歴バッファオーバーフロー割り込み許可
9	MEIE	FIFO メッセージロス割り込み許可ビット 0: FIFO メッセージロス割り込み禁止 1: FIFO メッセージロス割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0: DLC エラー割り込み禁止 1: DLC エラー割り込み許可
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0: グローバルストップモードではない 1: グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0: グローバル動作モード 0 1: グローバルリセットモード 1 0: グローバルテストモード 1 1: 設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RSCAN0GTSC レジスタが“0000_H”になります。

THLEIE ビット

THLEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、RSCAN0GERFL レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、グローバルストップモードになります。

“0”にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0] ビット

RS-CAN モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**17.5.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

17.3.8 RSCAN0GSTS — グローバルステータスレジスタ

アクセス RSCAN0GSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GSTSL、RSCAN0GSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0GSTSLL、RSCAN0GSTSLH、RSCAN0GSTSHL、RSCAN0GSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0GSTS: <RSCAN0_base> + 008C_H
RSCAN0GSTSL: <RSCAN0_base> + 008C_H, RSCAN0GSTSH: <RSCAN0_base> + 008E_H
RSCAN0GSTSLL: <RSCAN0_base> + 008C_H, RSCAN0GSTSLH: <RSCAN0_base> + 008D_H,
RSCAN0GSTSHL: <RSCAN0_base> + 008E_H, RSCAN0GSTSHH: <RSCAN0_base> + 008F_H

リセット後の値 0000 000D_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAM NIT	GSLPS TS	GHLT S TS	GRST S TS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.23 RSCAN0GSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0: CAN 用 RAM クリア完了 1: CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0: グローバルストップモードではない 1: グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0: グローバルテストモードではない 1: グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0: グローバルリセットモードではない 1: グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると“0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると“0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると“0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1”になります。

グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

17.3.9 RSCAN0GERFL — グローバルエラーフラグレジスタ

アクセス RSCAN0GERFL レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GERFLL、RSCAN0GERFLH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GERFLLL、RSCAN0GERFLLH、RSCAN0GERFLHL、RSCAN0GERFLHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GERFL: <RSCAN0_base> + 0090_H
RSCAN0GERFLL: <RSCAN0_base> + 0090_H, RSCAN0GERFLH: <RSCAN0_base> + 0092_H
RSCAN0GERFLLL: <RSCAN0_base> + 0090_H, RSCAN0GERFLLH: <RSCAN0_base> + 0091_H,
RSCAN0GERFLHL: <RSCAN0_base> + 0092_H, RSCAN0GERFLHH: <RSCAN0_base> + 0093_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 17.24 RSCAN0GERFL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
2	THLES	送信履歴バッファオーバフローステータスフラグ 0: 送信履歴バッファオーバフローなし 1: 送信履歴バッファオーバフロー
1	MES	FIFO メッセージロストステータスフラグ 0: FIFO メッセージロストエラーなし 1: FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0: DLC エラーなし 1: DLC エラー

RSCAN0GERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

THLES フラグ

RSCAN0THLSTSm レジスタ (m=0~2) の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャンネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

MES フラグ

RSCAN0RFSTSx レジスタ (x=0~7) の RFMLT フラグまたは RSCAN0CFSTSk レジスタ (k=0~5) の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1”になります。プログラムで“0”を書くことで、“0”にできます。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

17.3.10 RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCAN0GTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GTINTSTS0L、RSCAN0GTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0GTINTSTS0LL、RSCAN0GTINTSTS0LH、RSCAN0GTINTSTS0HL、RSCAN0GTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0GTINTSTS0: <RSCAN0_base> + 0460_H
RSCAN0GTINTSTS0L: <RSCAN0_base> + 0460_H, RSCAN0GTINTSTS0H: <RSCAN0_base> + 0462_H
RSCAN0GTINTSTS0LL: <RSCAN0_base> + 0460_H, RSCAN0GTINTSTS0LH: <RSCAN0_base> + 0461_H,
RSCAN0GTINTSTS0HL: <RSCAN0_base> + 0462_H, RSCAN0GTINTSTS0HH: <RSCAN0_base> + 0463_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R	R	R	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}	R ^{注1}

注1. 本ビットはグローバルリセットモードまたはチャンネルリセットモードで自動的にクリアされます。

表 17.25 RSCAN0GTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャンネル 2 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
19	CFTIF2	チャンネル 2 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャンネル 2 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
17	TAIF2	チャンネル 2 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
16	TSIF2	チャンネル 2 送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャンネル 1 送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
11	CFTIF1	チャンネル 1 送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャンネル 1 送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
9	TAIF1	チャンネル 1 送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり

表 17.25 RSCAN0GTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	TSIF1	チャンネル1送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり
7～5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャンネル0送信履歴割り込みステータスフラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
3	CFTIF0	チャンネル0送受信 FIFO 送信割り込みステータスフラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャンネル0送信キュー割り込みステータスフラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TAIF0	チャンネル0送信バッファアポート割り込みステータスフラグ 0: 送信バッファアポート割り込み要求なし 1: 送信バッファアポート割り込み要求あり
0	TSIF0	チャンネル0送信バッファ割り込みステータスフラグ 0: 送信バッファ送信完了割り込み要求なし 1: 送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCAN0TMIECy レジスタの TMIE ビットが“1” (送信バッファ割り込みが許可)、かつ対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“10_B” (送信完了、アポート要求なし)、または“11_B” (送信完了、アポート要求あり) になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0] フラグを全て“00_B”にすると、このフラグは“0”になります。また TMIE ビットを“0”にすることでも、このフラグは“0”になります。

TAIFm ビット

RSCAN0CmCTR レジスタの TAIE ビットが“1” (送信アポート割り込み許可)、かつ RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アポート完了) になると、TAIFm ビットは“1”になります。

送信アポートを完了した TMTRF[1:0] フラグを全て“00_B”にすると、このフラグは“0”になります。

TQIFm ビット

RSCAN0TXQCCm レジスタの TXQIE ビットが“1” (送信キュー割り込み許可)、かつ RSCAN0TXQSTSm レジスタの TXQIF が“1” (送信キュー割り込み要求あり) になると TQIFm ビットは“1”になります。

RSCAN0TXQSTSm レジスタの TXQIF ビット (送信キュー割り込み要求) を“0”にすると、このビットは“0”になります。TXQIE ビットを“0”にすることでも、このフラグは“0”になります。

CFTIFm ビット

RSCAN0CFCK レジスタの CFTXIE ビットが“1” (送受信 FIFO 送信割り込み許可)、かつ RSCAN0CFSTSk レジスタの CFTXIF ビットが“1” (送受信 FIFO 送信割り込み要求あり) に

なると CFTIFm ビットは“1”になります。

CFTIFm が“1”になる条件が成立している CFTXIF ビットをすべて“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることでも、このフラグは“0”になります。

THIFm ビット

RSCAN0THLCCm レジスタの THLIE ビットが“1”（送信履歴割り込み許可）、かつ RSCAN0THLSTSm レジスタの THLIF ビットが“1”（送信履歴割り込み要求あり）になると、THIFm ビットは“1”になります。

RSCAN0THLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることでも、このフラグは“0”になります。

17.3.11 RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCAN0GTSC レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0GTSL、RSCAN0GTSCH レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCAN0GTSC: <RSCAN0_base> + 0094_H
RSCAN0GTSL: <RSCAN0_base> + 0094_H, RSCAN0GTSCH: <RSCAN0_base> + 0096_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.26 RSCAN0GTSC レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値 : 0000 _H ~ FFFF _H

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCAN0GCFG レジスタの TSSS ビットが “0” (pclk) の場合 :
グローバル動作モードへ遷移したときに、カウント開始。
グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1” (CANm ビットタイムクロック) の場合 :
対応するチャンネルがチャンネル通信モードへ遷移したときに、カウント開始。
対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードで、カウント停止。

17.3.12 RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCAN0GAFLECTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLECTRL、RSCAN0GAFLECTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLECTRLL、RSCAN0GAFLECTRLH、RSCAN0GAFLECTRHL、RSCAN0GAFLECTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLECTR: <RSCAN0_base> + 0098_H
RSCAN0GAFLECTRL: <RSCAN0_base> + 0098_H, RSCAN0GAFLECTRH: <RSCAN0_base> + 009A_H
RSCAN0GAFLECTRLL: <RSCAN0_base> + 0098_H, RSCAN0GAFLECTRLH: <RSCAN0_base> + 0099_H,
RSCAN0GAFLECTRHL: <RSCAN0_base> + 009A_H, RSCAN0GAFLECTRHH: <RSCAN0_base> + 009B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN [4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 17.27 RSCAN0GAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0: 受信ルールテーブル書き込み禁止 1: 受信ルールテーブル書き込み許可
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 0	AFLPN [4:0]	受信ルールテーブルページ番号設定ビット ページ 0 (0000 _B) からページ 11 (01011 _B) の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

2ch 搭載製品では“0000_B”～“00111_B”以外の値を設定しないでください。

3ch 搭載製品では“0000_B”～“01011_B”以外の値を設定しないでください。

17.3.13 RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCAN0GAFLCFG0 レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLCFG0L、RSCAN0GAFLCFG0H レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLCFG0LL、RSCAN0GAFLCFG0LH、RSCAN0GAFLCFG0HL、RSCAN0GAFLCFG0HH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLCFG0: <RSCAN0_base> + 009C_H
RSCAN0GAFLCFG0L: <RSCAN0_base> + 009C_H, RSCAN0GAFLCFG0H: <RSCAN0_base> + 009E_H
RSCAN0GAFLCFG0LL: <RSCAN0_base> + 009C_H, RSCAN0GAFLCFG0LH: <RSCAN0_base> + 009D_H,
RSCAN0GAFLCFG0HL: <RSCAN0_base> + 009E_H, RSCAN0GAFLCFG0HH: <RSCAN0_base> + 009F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 17.28 RSCAN0GAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RNC0[7:0]	チャンネル 0 用ルール数 チャンネル 0 の受信ルール数を設定してください。
23 ~ 16	RNC1[7:0]	チャンネル 1 用ルール数 チャンネル 1 の受信ルール数を設定してください。
15 ~ 8	RNC2[7:0]	チャンネル 2 用ルール数 チャンネル 2 の受信ルール数を設定してください。
7 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCAN0GAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 × (チャンネル数) です。各チャンネルの受信ルール数は、次の条件を満たしてください。

- 1 チャンネルのルール数は 128 以下である。
- 各チャンネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャンネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャンネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC2[7:0] ビット

チャンネル2の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H以外の値を設定しないでください。

17.3.14 RSCAN0GAFLIDj — 受信ルール ID レジスタ (j = 0 ~ 15)

アクセス RSCAN0GAFLIDj レジスタは、32ビット単位でリード/ライト可能です。
RSCAN0GAFLIDjL、RSCAN0GAFLIDjH レジスタは、16ビット単位でリード/ライト可能です。
RSCAN0GAFLIDjLL、RSCAN0GAFLIDjLH、RSCAN0GAFLIDjHL、RSCAN0GAFLIDjHH レジスタは、8ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLIDj: <RSCAN0_base> + 0500_H + (10_H × j)

RSCAN0GAFLIDjL: <RSCAN0_base> + 0500_H + (10_H × j)、
RSCAN0GAFLIDjH: <RSCAN0_base> + 0502_H + (10_H × j)

RSCAN0GAFLIDjLL: <RSCAN0_base> + 0500_H + (10_H × j)、
RSCAN0GAFLIDjLH: <RSCAN0_base> + 0501_H + (10_H × j)、
RSCAN0GAFLIDjHL: <RSCAN0_base> + 0502_H + (10_H × j)、
RSCAN0GAFLIDjHH: <RSCAN0_base> + 0503_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID E	GAFLR TR	GAFL B	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.29 RSCAN0GAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0: 標準 ID 1: 拡張 ID
30	GAFLRTR	RTR 選択ビット 0: データフレーム 1: リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0: 他の CAN ノードが送信したメッセージを受信時 1: 自らが送信したメッセージを受信時
28 ~ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。

RSCAN0GAFLIDj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが "1" (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット (標準 ID または拡張 ID) を選択します。アクセプタンス

フィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に“1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

17.3.15 RSCAN0GAFLMj — 受信ルールマスクレジスタ (j = 0 ~ 15)

アクセス RSCAN0GAFLMj レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLMjL、RSCAN0GAFLMjH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLMjLL、RSCAN0GAFLMjLH、RSCAN0GAFLMjHL、RSCAN0GAFLMjHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLMj: <RSCAN0_base> + 0504_H + (10_H × j)
RSCAN0GAFLMjL: <RSCAN0_base> + 0504_H + (10_H × j)、
RSCAN0GAFLMjH: <RSCAN0_base> + 0506_H + (10_H × j)
RSCAN0GAFLMjLL: <RSCAN0_base> + 0504_H + (10_H × j)、
RSCAN0GAFLMjLH: <RSCAN0_base> + 0505_H + (10_H × j)、
RSCAN0GAFLMjHL: <RSCAN0_base> + 0506_H + (10_H × j)、
RSCAN0GAFLMjHH: <RSCAN0_base> + 0507_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLID EM	GAFLR TRM	—	GAFLIDM [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.30 RSCAN0GAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0: IDE ビットを比較しない 1: IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0: RTR ビットを比較しない 1: RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ~ 0	GAFLIDM [28:0]	ID マスクビット 0: 対応する ID ビットを比較しない 1: 対応する ID ビットを比較する

RSCAN0GAFLMj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCAN0GAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLIDM[28:0] ビットをすべて“0”にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

17.3.16 RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ (j = 0 ~ 15)

アクセス RSCAN0GAFLP0j レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLP0jL、RSCAN0GAFLP0jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLP0jLL、RSCAN0GAFLP0jLH、RSCAN0GAFLP0jHL、RSCAN0GAFLP0jHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLP0j: <RSCAN0_base> + 0508_H + (10_H × j)
RSCAN0GAFLP0jL: <RSCAN0_base> + 0508_H + (10_H × j)、
RSCAN0GAFLP0jH: <RSCAN0_base> + 050A_H + (10_H × j)
RSCAN0GAFLP0jLL: <RSCAN0_base> + 0508_H + (10_H × j)、
RSCAN0GAFLP0jLH: <RSCAN0_base> + 0509_H + (10_H × j)、
RSCAN0GAFLP0jHL: <RSCAN0_base> + 050A_H + (10_H × j)、
RSCAN0GAFLP0jHH: <RSCAN0_base> + 050B_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC [3:0]				GAFLPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLR MV	GAFLRMDP [6:0]						—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 17.31 RSCAN0GAFLP0j レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	GAFLDLC [3:0]	受信ルール DLC 設定ビット b31 b30 b29 b28 0 0 0 0: DLC チェックしない 0 0 0 1: 1 データバイト 0 0 1 0: 2 データバイト 0 0 1 1: 3 データバイト 0 1 0 0: 4 データバイト 0 1 0 1: 5 データバイト 0 1 1 0: 6 データバイト 0 1 1 1: 7 データバイト 1 X X X: 8 データバイト
27 ~ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0: 受信バッファを使用しない 1: 受信バッファを使用する
14 ~ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCAN0GAFLP0j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1”にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCAN0RMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

17.3.17 RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ (j = 0 ~ 15)

アクセス RSCAN0GAFLP1j レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GAFLP1jL、RSCAN0GAFLP1jH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GAFLP1jLL、RSCAN0GAFLP1jLH、RSCAN0GAFLP1jHL、RSCAN0GAFLP1jHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0GAFLP1j: <RSCAN0_base> + 050C_H + (10_H × j)
RSCAN0GAFLP1jL: <RSCAN0_base> + 050C_H + (10_H × j)、
RSCAN0GAFLP1jH: <RSCAN0_base> + 050E_H + (10_H × j)
RSCAN0GAFLP1jLL: <RSCAN0_base> + 050C_H + (10_H × j)、
RSCAN0GAFLP1jLH: <RSCAN0_base> + 050D_H + (10_H × j)、
RSCAN0GAFLP1jHL: <RSCAN0_base> + 050E_H + (10_H × j)、
RSCAN0GAFLP1jHH: <RSCAN0_base> + 050F_H + (10_H × j)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAFLF DP16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLFDP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.32 RSCAN0GAFLP1j レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16 ~ 8	GAFLFDP[16:8]	送受信 FIFO バッファ k 選択ビット (ビット位置 -8 が対象となる送受信 FIFO バッファ番号 k になります) 0: 送受信 FIFO バッファを選択しない 1: 送受信 FIFO バッファを選択する
7 ~ 0	GAFLFDP [7:0]	受信 FIFO バッファ x 選択ビット (ビット位置が対象となる受信 FIFO バッファ番号 x になります) 0: 受信 FIFO バッファを選択しない 1: 受信 FIFO バッファを選択する

RSCAN0GAFLP1j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが“1” (受信ルールテーブル書き込み許可) で、かつグローバルリセットモードで書き換えてください。

GAFLFDP [16:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCAN0GAFLP0j レジスタの GAFLRMV ビットを“1” (受信バッファにメッセージを格納する) にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCAN0CFCK レジスタの CFM[1:0] ビットを“00_B” (受信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファのみ選択できます。

2ch 搭載製品では GAFLFDP[13:0] ビットのみ有効です。GAFLFDP[16:14] にライトする場合はリセット後の値を書いてください。

17.3.18 RSCAN0RMNB — 受信バッファナンバレジスタ

アクセス RSCAN0RMNB レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RMNBL、RSCAN0RMNBH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RMNBLL、RSCAN0RMNBLH、RSCAN0RMNBHL、RSCAN0RMNBHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RMNB: <RSCAN0_base> + 00A4_H
RSCAN0RMNBL: <RSCAN0_base> + 00A4_H, RSCAN0RMNBH: <RSCAN0_base> + 00A6_H
RSCAN0RMNBLL: <RSCAN0_base> + 00A4_H, RSCAN0RMNBLH: <RSCAN0_base> + 00A5_H,
RSCAN0RMNBHL: <RSCAN0_base> + 00A6_H, RSCAN0RMNBHH: <RSCAN0_base> + 00A7_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.33 RSCAN0RMNB レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	NRXMB [7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ~ 48 の範囲で設定してください。

RSCAN0RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

RS-CAN モジュール全体の受信バッファ数を設定します。最大値は、16 × (チャンネル数) です。

“0” を設定すると、受信バッファは使用できません。

17.3.19 RSCAN0RMNDy — 受信バッファ新データレジスタ y (y = 0,1)

アクセス RSCAN0RMNDy レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RMNDyL、RSCAN0RMNDyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RMNDyLL、RSCAN0RMNDyLH、RSCAN0RMNDyHL、RSCAN0RMNDyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RMNDy: <RSCAN0_base> + 00A8_H + (y × 0004_H)

RSCAN0RMNDyL: <RSCAN0_base> + 00A8_H + (y × 0004_H)、
RSCAN0RMNDyH: <RSCAN0_base> + 00AA_H + (y × 0004_H)

RSCAN0RMNDyLL: <RSCAN0_base> + 00A8_H + (y × 0004_H)、
RSCAN0RMNDyLH: <RSCAN0_base> + 00A9_H + (y × 0004_H)、
RSCAN0RMNDyHL: <RSCAN0_base> + 00AA_H + (y × 0004_H)、
RSCAN0RMNDyHH: <RSCAN0_base> + 00AB_H + (y × 0004_H)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31 ~ y × 32 + 16 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.34 RSCAN0RMNDy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 31 ~ y × 32 + 16) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり ただし、y = 1 のときは予約ビット。リードした場合はリセット後の値が読め ず。 ライトする場合はリセット後の値を書いてください。
15 ~ 0	RMNSq	受信バッファ受信完了フラグ q (q = y × 32 + 15 ~ y × 32 + 0) 0: 受信バッファ q に新しいメッセージなし 1: 受信バッファ q に新しいメッセージあり

RSCAN0RMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ (q = 0 ~ 47)

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、プログラムで“0”を書いてください。書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0”になります。

注 意

2ch 搭載製品では q = 0 ~ 31

17.3.20 RSCAN0RMIDq — 受信バッファ ID レジスタ (q = 0 ~ 47) 注

注 意

2ch 搭載製品では q = 0 ~ 31

アクセス RSCAN0RMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMIDqL、RSCAN0RMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMIDqLL、RSCAN0RMIDqLH、RSCAN0RMIDqHL、RSCAN0RMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RMIDq: $\langle \text{RSCAN0_base} \rangle + 0600_{\text{H}} + (10_{\text{H}} \times q)$

RSCAN0RMIDqL: $\langle \text{RSCAN0_base} \rangle + 0600_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCAN0RMIDqH: $\langle \text{RSCAN0_base} \rangle + 0602_{\text{H}} + (10_{\text{H}} \times q)$

RSCAN0RMIDqLL: $\langle \text{RSCAN0_base} \rangle + 0600_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCAN0RMIDqLH: $\langle \text{RSCAN0_base} \rangle + 0601_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCAN0RMIDqHL: $\langle \text{RSCAN0_base} \rangle + 0602_{\text{H}} + (10_{\text{H}} \times q)$ 、
RSCAN0RMIDqHH: $\langle \text{RSCAN0_base} \rangle + 0603_{\text{H}} + (10_{\text{H}} \times q)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.35 RSCAN0RMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RMRTR	受信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ~ 0	RMID [28:0]	受信バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット (標準 ID または拡張 ID) を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット (データフレームまたはリモートフレーム) を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

17.3.21 RSCAN0RMPTRq — 受信バッファポインタレジスタ (q = 0 ~ 47) 注

注 意

2ch 搭載製品では q = 0 ~ 31

アクセス RSCAN0RMPTRq レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMPTRqL、RSCAN0RMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMPTRqLL、RSCAN0RMPTRqLH、RSCAN0RMPTRqHL、RSCAN0RMPTRqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RMPTRq: <RSCAN0_base> + 0604_H + (10_H × q)
RSCAN0RMPTRqL: <RSCAN0_base> + 0604_H + (10_H × q)、
RSCAN0RMPTRqH: <RSCAN0_base> + 0606_H + (10_H × q)
RSCAN0RMPTRqLL: <RSCAN0_base> + 0604_H + (10_H × q)、
RSCAN0RMPTRqLH: <RSCAN0_base> + 0605_H + (10_H × q)、
RSCAN0RMPTRqHL: <RSCAN0_base> + 0606_H + (10_H × q)、
RSCAN0RMPTRqHH: <RSCAN0_base> + 0607_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC [3:0]				RMPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.36 RSCAN0RMPTRq レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RMDLC [3:0]	受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : データバイトなし 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	RMPTR [11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RMTS [15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

17.3.22 RSCAN0RMDF0q — 受信バッファデータフィールド 0 レジスタ (q = 0 ~ 47)

注

注 意

2ch 搭載製品では q = 0 ~ 31

アクセス RSCAN0RMDF0q レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMDF0qL、RSCAN0RMDF0qH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMDF0qLL、RSCAN0RMDF0qLH、RSCAN0RMDF0qHL、RSCAN0RMDF0qHH レジスタは、8
ビット単位でリードのみ可能です。

アドレス RSCAN0RMDF0q: <RSCAN0_base> + 0608_H + (10_H × q)
RSCAN0RMDF0qL: <RSCAN0_base> + 0608_H + (10_H × q)、
RSCAN0RMDF0qH: <RSCAN0_base> + 060A_H + (10_H × q)
RSCAN0RMDF0qLL: <RSCAN0_base> + 0608_H + (10_H × q)、
RSCAN0RMDF0qLH: <RSCAN0_base> + 0609_H + (10_H × q)、
RSCAN0RMDF0qHL: <RSCAN0_base> + 060A_H + (10_H × q)、
RSCAN0RMDF0qHH: <RSCAN0_base> + 060B_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3 [7:0]								RMDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1 [7:0]								RMDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.37 RSCAN0RMDF0q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB3 [7:0]	受信バッファデータバイト 3
23 ~ 16	RMDB2 [7:0]	受信バッファデータバイト 2
15 ~ 8	RMDB1 [7:0]	受信バッファデータバイト 1
7 ~ 0	RMDB0 [7:0]	受信バッファデータバイト 0
		受信バッファに格納されたメッセージのデータが読めます。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

17.3.23 RSCAN0RMDF1q — 受信バッファデータフィールド1レジスタ (q = 0 ~ 47) 注

注 意

2ch 搭載製品では q = 0 ~ 31

アクセス RSCAN0RMDF1q レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RMDF1qL、RSCAN0RMDF1qH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RMDF1qLL、RSCAN0RMDF1qLH、RSCAN0RMDF1qHL、RSCAN0RMDF1qHH レジスタは、8
ビット単位でリードのみ可能です。

アドレス RSCAN0RMDF1q: <RSCAN0_base> + 060C_H + (10_H × q)

RSCAN0RMDF1qL: <RSCAN0_base> + 060C_H + (10_H × q)、
RSCAN0RMDF1qH: <RSCAN0_base> + 060E_H + (10_H × q)

RSCAN0RMDF1qLL: <RSCAN0_base> + 060C_H + (10_H × q)、
RSCAN0RMDF1qLH: <RSCAN0_base> + 060D_H + (10_H × q)、
RSCAN0RMDF1qHL: <RSCAN0_base> + 060E_H + (10_H × q)、
RSCAN0RMDF1qHH: <RSCAN0_base> + 060F_H + (10_H × q)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7 [7:0]								RMDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5 [7:0]								RMDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.38 RSCAN0RMDF1q レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RMDB7 [7:0]	受信バッファデータバイト 7
23 ~ 16	RMDB6 [7:0]	受信バッファデータバイト 6
15 ~ 8	RMDB5 [7:0]	受信バッファデータバイト 5
7 ~ 0	RMDB4 [7:0]	受信バッファデータバイト 4
		受信バッファに格納されたメッセージのデータが読めます。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

17.3.24 RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション/制御レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFCCx レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RFCCxL、RSCAN0RFCCxH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RFCCxLL、RSCAN0RFCCxLH、RSCAN0RFCCxHL、RSCAN0RFCCxHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RFCCx: <RSCAN0_base> + 00B8_H + (04_H × x)
RSCAN0RFCCxL: <RSCAN0_base> + 00B8_H + (04_H × x)、
RSCAN0RFCCxH: <RSCAN0_base> + 00BA_H + (04_H × x)
RSCAN0RFCCxLL: <RSCAN0_base> + 00B8_H + (04_H × x)、
RSCAN0RFCCxLH: <RSCAN0_base> + 00B9_H + (04_H × x)、
RSCAN0RFCCxHL: <RSCAN0_base> + 00BA_H + (04_H × x)、
RSCAN0RFCCxHH: <RSCAN0_base> + 00BB_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV [2:0]		RFIM	—	RFDC [2:0]		—	—	—	—	—	—	—	RFIE	RFE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 17.39 RSCAN0RFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 13	RFIGCV [2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0: RFIGCV[2:0] ビットで設定した条件に達したときに発生 1: 1 メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	RFDC [2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ

表 17.39 RSCAN0RFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0: 受信 FIFO 割り込み禁止 1: 受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0: 受信 FIFO バッファを使用しない 1: 受信 FIFO バッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求発生タイミングを選択します。RFDC[2:0] ビットで設定した格納可能なメッセージ数に対して、分数で指定した割合のメッセージが格納されると割り込み要求が発生します。

RFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、RFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0” (受信 FIFO バッファを使用しない) のときに、RFIE ビットを書き換えてください。

RFE ビット

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RSCAN0RFSTSx レジスタの RFEMP フラグが“1” (バッファ空) になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

17.3.25 RSCAN0RFSTSx — 受信 FIFO バッファステータスレジスタ (x = 0 ~ 7)

アクセス RSCAN0RFSTSx レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RFSTSxL、RSCAN0RFSTSxH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RFSTSxLL、RSCAN0RFSTSxLH、RSCAN0RFSTSxHL、RSCAN0RFSTSxHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0RFSTSx: <RSCAN0_base> + 00D8_H + (04_H × x)

RSCAN0RFSTSxL: <RSCAN0_base> + 00D8_H + (04_H × x)、
RSCAN0RFSTSxH: <RSCAN0_base> + 00DA_H + (04_H × x)

RSCAN0RFSTSxLL: <RSCAN0_base> + 00D8_H + (04_H × x)、
RSCAN0RFSTSxLH: <RSCAN0_base> + 00D9_H + (04_H × x)、
RSCAN0RFSTSxHL: <RSCAN0_base> + 00DA_H + (04_H × x)、
RSCAN0RFSTSxHH: <RSCAN0_base> + 00DB_H + (04_H × x)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]							—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 17.40 RSCAN0RFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0: 受信 FIFO 割り込み要求なし 1: 受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0: 受信 FIFO メッセージロストなし 1: 受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファフルではない 1: 受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0: 受信 FIFO バッファに未読メッセージあり 1: 受信 FIFO バッファに未読メッセージなし (バッファ空)

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCAN0RFCCx レジスタの RFE ビットを“0”にすると、“00_H”になります。

RFIF フラグ

RSCAN0RFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCAN0RFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると“0”になります。また、RSCAN0RFCCx レジスタの RFE ビットが“0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に“0”になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。また、RSCAN0RFCCx レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが1つでも受信 FIFO バッファに格納されると“0”になります。

備 考

RFMLT もしくは RFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

17.3.26 RSCAN0RFPCTR_x — 受信 FIFO バッファポインタ制御レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFPCTR_x レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0RFPCTR_{xL}、RSCAN0RFPCTR_{xH} レジスタは、16 ビット単位でライトのみ可能です。
RSCAN0RFPCTR_{xLL}、RSCAN0RFPCTR_{xLH}、RSCAN0RFPCTR_{xHL}、RSCAN0RFPCTR_{xHH} レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN0RFPCTR_x: <RSCAN0_base> + 00F8_H + (04_H × x)
RSCAN0RFPCTR_{xL}: <RSCAN0_base> + 00F8_H + (04_H × x)、
RSCAN0RFPCTR_{xH}: <RSCAN0_base> + 00FA_H + (04_H × x)
RSCAN0RFPCTR_{xLL}: <RSCAN0_base> + 00F8_H + (04_H × x)、
RSCAN0RFPCTR_{xLH}: <RSCAN0_base> + 00F9_H + (04_H × x)、
RSCAN0RFPCTR_{xHL}: <RSCAN0_base> + 00FA_H + (04_H × x)、
RSCAN0RFPCTR_{xHH}: <RSCAN0_base> + 00FB_H + (04_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 17.41 RSCAN0RFPCTR_x レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	RFPC [7:0]	受信 FIFO ポインタ制御 “FF _H ” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0RFSTS_x レジスタの RFMC[7:0] ビット (受信 FIFO 未読メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN0RFID、RSCAN0RFPTR、RSCAN0RDF0、RSCAN0RDF1 レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN0RFCC_x レジスタの RFE ビットが “1” (受信 FIFO バッファを使用する) で、RSCAN0RFSTS_x レジスタの RFEMP フラグが “0” (未読メッセージあり) のときに行ってください。

17.3.27 RSCAN0RFIDx — 受信 FIFO バッファアクセス ID レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFIDxL、RSCAN0RFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFIDxLL、RSCAN0RFIDxLH、RSCAN0RFIDxHL、RSCAN0RFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFIDx: <RSCAN0_base> + 0E00_H + (10_H × x)
RSCAN0RFIDxL: <RSCAN0_base> + 0E00_H + (10_H × x)、
RSCAN0RFIDxH: <RSCAN0_base> + 0E02_H + (10_H × x)
RSCAN0RFIDxLL: <RSCAN0_base> + 0E00_H + (10_H × x)、
RSCAN0RFIDxLH: <RSCAN0_base> + 0E01_H + (10_H × x)、
RSCAN0RFIDxHL: <RSCAN0_base> + 0E02_H + (10_H × x)、
RSCAN0RFIDxHH: <RSCAN0_base> + 0E03_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.42 RSCAN0RFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ~ 0	RFID [28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID / 拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は "0" が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

17.3.28 RSCAN0RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ (x = 0 ~ 7)

アクセス RSCAN0RFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFPTRxL、RSCAN0RFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFPTRxLL、RSCAN0RFPTRxLH、RSCAN0RFPTRxHL、RSCAN0RFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFPTRx: $\langle \text{RSCAN0_base} \rangle + 0\text{E}04_{\text{H}} + (10_{\text{H}} \times x)$
RSCAN0RFPTRxL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}04_{\text{H}} + (10_{\text{H}} \times x)$ 、
RSCAN0RFPTRxH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}06_{\text{H}} + (10_{\text{H}} \times x)$
RSCAN0RFPTRxLL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}04_{\text{H}} + (10_{\text{H}} \times x)$ 、
RSCAN0RFPTRxLH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}05_{\text{H}} + (10_{\text{H}} \times x)$ 、
RSCAN0RFPTRxHL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}06_{\text{H}} + (10_{\text{H}} \times x)$ 、
RSCAN0RFPTRxHH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}07_{\text{H}} + (10_{\text{H}} \times x)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC [3:0]				RFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.43 RSCAN0RFPTRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RFDLC [3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	RFPTR [11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RFTS [15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

17.3.29 RSCAN0RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFDF0x レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFDF0xL、RSCAN0RFDF0xH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFDF0xLL、RSCAN0RFDF0xLH、RSCAN0RFDF0xHL、RSCAN0RFDF0xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFDF0x: <RSCAN0_base> + 0E08_H + (10_H × x)
RSCAN0RFDF0xL: <RSCAN0_base> + 0E08_H + (10_H × x)、
RSCAN0RFDF0xH: <RSCAN0_base> + 0E0A_H + (10_H × x)
RSCAN0RFDF0xLL: <RSCAN0_base> + 0E08_H + (10_H × x)、
RSCAN0RFDF0xLH: <RSCAN0_base> + 0E09_H + (10_H × x)、
RSCAN0RFDF0xHL: <RSCAN0_base> + 0E0A_H + (10_H × x)、
RSCAN0RFDF0xHH: <RSCAN0_base> + 0E0B_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3 [7:0]								RFDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1 [7:0]								RFDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.44 RSCAN0RFDF0x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB3 [7:0]	受信 FIFO バッファデータバイト 3
23 ~ 16	RFDB2 [7:0]	受信 FIFO バッファデータバイト 2
15 ~ 8	RFDB1 [7:0]	受信 FIFO バッファデータバイト 1
7 ~ 0	RFDB0 [7:0]	受信 FIFO バッファデータバイト 0
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

17.3.30 RSCAN0RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ (x = 0 ~ 7)

アクセス RSCAN0RFDF1x レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFDF1xL、RSCAN0RFDF1xH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFDF1xLL、RSCAN0RFDF1xLH、RSCAN0RFDF1xHL、RSCAN0RFDF1xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFDF1x: <RSCAN0_base> + 0E0C_H + (10_H × x)
RSCAN0RFDF1xL: <RSCAN0_base> + 0E0C_H + (10_H × x)、
RSCAN0RFDF1xH: <RSCAN0_base> + 0E0E_H + (10_H × x)
RSCAN0RFDF1xLL: <RSCAN0_base> + 0E0C_H + (10_H × x)、
RSCAN0RFDF1xLH: <RSCAN0_base> + 0E0D_H + (10_H × x)、
RSCAN0RFDF1xHL: <RSCAN0_base> + 0E0E_H + (10_H × x)、
RSCAN0RFDF1xHH: <RSCAN0_base> + 0E0F_H + (10_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7 [7:0]								RFDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5 [7:0]								RFDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.45 RSCAN0RFDF1x レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	RFDB7 [7:0]	受信 FIFO バッファデータバイト 7
23 ~ 16	RFDB6 [7:0]	受信 FIFO バッファデータバイト 6
15 ~ 8	RFDB5 [7:0]	受信 FIFO バッファデータバイト 5
7 ~ 0	RFDB4 [7:0]	受信 FIFO バッファデータバイト 4
		受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

17.3.31 RSCAN0FCCK — 送受信 FIFO バッファコンフィグレーション/制御レジスタ (k = 0 ~ 8) 注

注 意

2ch 搭載製品では k = 0 ~ 5

アクセス RSCAN0FCCK レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0FCCKL、RSCAN0FCCKH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0FCCKLL、RSCAN0FCCKLH、RSCAN0FCCKHL、RSCAN0FCCKHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0FCCK: <RSCAN0_base> + 0118_H + (04_H × k)
RSCAN0FCCKL: <RSCAN0_base> + 0118_H + (04_H × k)、
RSCAN0FCCKH: <RSCAN0_base> + 011A_H + (04_H × k)
RSCAN0FCCKLL: <RSCAN0_base> + 0118_H + (04_H × k)、
RSCAN0FCCKLH: <RSCAN0_base> + 0119_H + (04_H × k)、
RSCAN0FCCKHL: <RSCAN0_base> + 011A_H + (04_H × k)、
RSCAN0FCCKHH: <RSCAN0_base> + 011B_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]							CFTML[3:0]			CFITR	CFITSS	CFM[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV [2:0]		CFIM	—	CFDC [2:0]		—	—	—	—	—	CFIXIE	CFRXIE	CFE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 17.46 RSCAN0FCCK レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値 : 00 _H ~ FF _H
23 ~ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイム分解能 0 : pclk/2 を ITRCP [15:0] ビットで分周したクロック 1 : pclk/2 を ITRCP [15:0] ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイムクロックソース選択 0 : CFITR ビットで選択したクロックソース 1 : 関連チャンネルのビットタイムクロック
17 ~ 16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0 : 受信モード 0 1 : 送信モード 1 0 : ゲートウェイモード 1 1 : 設定しないでください

表 17.46 RSCAN0FCCK レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ~ 13	CFIGCV [2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0: FIFO バッファに 1/8 までメッセージ格納時 0 0 1: FIFO バッファに 2/8 までメッセージ格納時 0 1 0: FIFO バッファに 3/8 までメッセージ格納時 0 1 1: FIFO バッファに 4/8 までメッセージ格納時 1 0 0: FIFO バッファに 5/8 までメッセージ格納時 1 0 1: FIFO バッファに 6/8 までメッセージ格納時 1 1 0: FIFO バッファに 7/8 までメッセージ格納時 1 1 1: FIFO バッファがフルのとき
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0: <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1: <ul style="list-style-type: none"> 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	CFDC [2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0: 0 メッセージ 0 0 1: 4 メッセージ 0 1 0: 8 メッセージ 0 1 1: 16 メッセージ 1 0 0: 32 メッセージ 1 0 1: 48 メッセージ 1 1 0: 64 メッセージ 1 1 1: 128 メッセージ
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0: 送受信 FIFO 送信割り込み禁止 1: 送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0: 送受信 FIFO 受信割り込み禁止 1: 送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0: 送受信 FIFO バッファを使用しない 1: 送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0” (送受信 FIFO バッファを使用しない) にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを“01_B” (送信モード) または“10_B” (ゲートウェイモード) に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャンネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャンネル番号 m は、 $k/3$ の整数となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、 $(16 \times m) + \text{CFTML}[3:0]$ となります (表 17.15 を参照)。

送受信 FIFO バッファ k と送信バッファ p の関係は、表 17.13 および表 17.14 を参照してください。

CFDC[2:0] ビットを“001_B”以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャンネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCAN0GCFG レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、 $\text{pclk}/2$ を RSCAN0GCFG レジスタの ITRCP [15:0] ビットの値 $\times 10$ で分周したクロックとなります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1”のとき、FIFO にリンクしているチャンネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが“0” (送受信 FIFO バッファを使用しない) の状態で、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットが“00_B” (受信モード) または“10_B” (ゲートウェイモード) のとき、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求発生タイミングを選択します。

CFDC[2:0] ビットで設定した格納可能なメッセージ数に対して、分数で指定した割合のメッセージが格納されると割り込み要求が発生します。

CFDC[2:0] ビットを“001_B” (4 メッセージ) に設定した場合は、CFIGCV[2:0] ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、RSCAN0CFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、RSCAN0CFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態、CFRXIE ビットを書き換えてください。

CFE ビット

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラジョンロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード
- 送信モードまたはゲートウェイモード時：チャンネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード：チャンネル通信モードまたはチャンネル待機モード

17.3.32 RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ (k = 0 ~ 8) 注

注 意

2ch 搭載製品では k = 0 ~ 5

アクセス RSCAN0CFSTSk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFSTSkL、RSCAN0CFSTSkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFSTSkLL、RSCAN0CFSTSkLH、RSCAN0CFSTSkHL、RSCAN0CFSTSkHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0CFSTSk: <RSCAN0_base> + 0178_H + (04_H × k)
RSCAN0CFSTSkL: <RSCAN0_base> + 0178_H + (04_H × k)、
RSCAN0CFSTSkH: <RSCAN0_base> + 017A_H + (04_H × k)
RSCAN0CFSTSkLL: <RSCAN0_base> + 0178_H + (04_H × k)、
RSCAN0CFSTSkLH: <RSCAN0_base> + 0179_H + (04_H × k)、
RSCAN0CFSTSkHL: <RSCAN0_base> + 017A_H + (04_H × k)、
RSCAN0CFSTSkHH: <RSCAN0_base> + 017B_H + (04_H × k)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC [7:0]							—	—	—	CFTXIF	CFRXIF	CFMLT	CFLL	CFEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする ("0" にする) 動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 17.47 RSCAN0CFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 8	CFMC [7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0: 送受信 FIFO 送信割り込み要求なし 1: 送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0: 送受信 FIFO 受信割り込み要求なし 1: 送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0: 送受信 FIFO メッセージロストなし 1: 送受信 FIFO メッセージロスト
1	CFLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファフルではない 1: 送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0: 送受信 FIFO バッファにメッセージあり 1: 送受信 FIFO バッファにメッセージなし (バッファ空)

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCAN0CFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01_B” (送信モード) の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが “00_B” (受信モード) の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10_B” (ゲートウェイモード) の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャンネルリセットモード

CCTXIF フラグ

次の条件で、CCTXIF フラグは “1” になります。

- CFM[1:0] ビットが “01_B” または “10_B” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CCTXIF フラグは “0” になります。

- CCTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。 “0” を書く場合はストア 命令を使用し、 “0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00_B” または “10_B” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャンネルリセット・モード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。 “0” を書く場合はストア 命令を使用し、 “0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFLL フラグ

次の条件で、CFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCAN0CFCCk レジスタの CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アポート中でないとき
- CFM[1:0] ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：チャンネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0] ビットが“00_B”の場合：
全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが“01_B”または“10_B”の場合：
すべてのメッセージを送信したとき、またはチャンネルリセットモード
- CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：
送信アポート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0] ビットが“00_B”または“10_B”の場合：
受信メッセージが1つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが“01_B”の場合：
RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いてから、RSCAN0CFPCTRk レジスタに“FF_H”を書いたとき

備考

CFTXIF, CFRXIF, CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

17.3.33 RSCAN0CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ (k = 0 ~ 8)

注

注意

2ch 搭載製品では k = 0 ~ 5

アクセス RSCAN0CFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0CFPCTRkL、RSCAN0CFPCTRkH レジスタは、16 ビット単位でライトのみ可能です。
RSCAN0CFPCTRkLL、RSCAN0CFPCTRkLH、RSCAN0CFPCTRkHL、RSCAN0CFPCTRkHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN0CFPCTRk: <RSCAN0_base> + 01D8_H + (04_H × k)
RSCAN0CFPCTRkL: <RSCAN0_base> + 01D8_H + (04_H × k)、
RSCAN0CFPCTRkH: <RSCAN0_base> + 01DA_H + (04_H × k)
RSCAN0CFPCTRkLL: <RSCAN0_base> + 01D8_H + (04_H × k)、
RSCAN0CFPCTRkLH: <RSCAN0_base> + 01D9_H + (04_H × k)、
RSCAN0CFPCTRkHL: <RSCAN0_base> + 01DA_H + (04_H × k)、
RSCAN0CFPCTRkHH: <RSCAN0_base> + 01DB_H + (04_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 17.48 RSCAN0CFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	CFPC [7:0]	送受信 FIFO ポインタ制御 <ul style="list-style-type: none"> 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ゲートウェイモード時 設定しないでください。

CFPC[7:0] ビット

- 受信モード (RSCAN0CFCCk レジスタの CFM[1:0] ビットが “00_B”) のとき:

CFPC[7:0] ビットに“FF_H”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0CFSTSk レジスタの CFMC[7:0] ビット (送受信 FIFO メッセージ数表示カウンタ) の値が 1 減算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは RSCAN0FCCK レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する) で、RSCAN0CFSTSk レジスタの CFEMP フラグが“0” (メッセージあり) のときに行ってください。

- 送信モード (RSCAN0FCCK レジスタの CFM[1:0] ビットが“01_B”) のとき：
CFPC[7:0] ビットに“FF_H”を書くと、RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに“FF_H”を書いてください。
なお、“FF_H”の書き込みは、RSCAN0FCCK レジスタの CFE ビットが“1”で、RSCAN0CFSTSk レジスタの CFLL フラグが“0” (フルではない) のときに行ってください。
- ゲートウェイモード (RSCAN0FCCK レジスタの CFM[1:0] ビットが“10_B”) のとき：
設定しないでください。

17.3.34 RSCAN0CFIDk — 送受信 FIFO バッファアクセス ID レジスタ (k = 0 ~ 8) 注

注 意

2ch 搭載製品では k = 0 ~ 5

アクセス RSCAN0CFIDk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFIDkL、RSCAN0CFIDkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFIDkLL、RSCAN0CFIDkLH、RSCAN0CFIDkHL、RSCAN0CFIDkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFIDk: <RSCAN0_base> + 0E80_H + (10_H × k)

RSCAN0CFIDkL: <RSCAN0_base> + 0E80_H + (10_H × k)、
RSCAN0CFIDkH: <RSCAN0_base> + 0E82_H + (10_H × k)

RSCAN0CFIDkLL: <RSCAN0_base> + 0E80_H + (10_H × k)、
RSCAN0CFIDkLH: <RSCAN0_base> + 0E81_H + (10_H × k)、
RSCAN0CFIDkHL: <RSCAN0_base> + 0E82_H + (10_H × k)、
RSCAN0CFIDkHH: <RSCAN0_base> + 0E83_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.49 RSCAN0CFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが“01 _B ” (送信モード) 時のみ有効 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	CFID [28:0]	送受信 FIFO バッファ ID データ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は“0”にしてください。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b28 ~ b11 は“0”が読めます。

RSCAN0CFIDk レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読めます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット (標準 ID または拡張 ID) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット (データフレームまたはリモートフレーム) を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ (ラベル情報、バッファ番号、バッファタイプ) が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01_B” (送信モード) のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

17.3.35 RSCAN0CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ (k = 0 ~ 8) 注

注 意

2ch 搭載製品では k = 0 ~ 5

アクセス RSCAN0CFPTRk レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFPTRkL、RSCAN0CFPTRkH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFPTRkLL、RSCAN0CFPTRkLH、RSCAN0CFPTRkHL、RSCAN0CFPTRkHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFPTRk: $\langle \text{RSCAN0_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$
RSCAN0CFPTRkL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCAN0CFPTRkH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}86_{\text{H}} + (10_{\text{H}} \times k)$

RSCAN0CFPTRkLL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}84_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCAN0CFPTRkLH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}85_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCAN0CFPTRkHL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}86_{\text{H}} + (10_{\text{H}} \times k)$ 、
RSCAN0CFPTRkHH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}87_{\text{H}} + (10_{\text{H}} \times k)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC [3:0]				CFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.50 RSCAN0CFPTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	CFDLC [3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	CFPTR [11:0]	送受信 FIFO バッファラベルデータ <ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 CFM[1:0] ビットが“00_B” (受信モード) 時 受信メッセージのラベル情報が読めます。
15 ~ 0	CFTS [15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが“00 _B ” (受信モード) 時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCAN0FCCK レジスタの CFM[1:0] ビットが“01_B” (送信モード) の場合のみ、このレジスタに書けます。CFM[1:0] ビットが“00_B” (受信モード) の場合のみ、このレジスタを読め

ます。CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが“01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0] ビット

CFM[1:0] ビットが“00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが“01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが“00_B” のときに、有効になります。

17.3.36 RSCAN0CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ (k = 0 ~ 8) 注

注 意

2ch 搭載製品では k = 0 ~ 5

アクセス RSCAN0CFDF0k レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFDF0kL、RSCAN0CFDF0kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFDF0kLL、RSCAN0CFDF0kLH、RSCAN0CFDF0kHL、RSCAN0CFDF0kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFDF0k: <RSCAN0_base> + 0E88_H + (10_H × k)
RSCAN0CFDF0kL: <RSCAN0_base> + 0E88_H + (10_H × k)、
RSCAN0CFDF0kH: <RSCAN0_base> + 0E8A_H + (10_H × k)
RSCAN0CFDF0kLL: <RSCAN0_base> + 0E88_H + (10_H × k)、
RSCAN0CFDF0kLH: <RSCAN0_base> + 0E89_H + (10_H × k)、
RSCAN0CFDF0kHL: <RSCAN0_base> + 0E8A_H + (10_H × k)、
RSCAN0CFDF0kHH: <RSCAN0_base> + 0E8B_H + (10_H × k)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3 [7:0]								CFDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1 [7:0]								CFDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.51 RSCAN0CFDF0k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB3 [7:0]	送受信 FIFO バッファデータバイト 3
23 ~ 16	CFDB2 [7:0]	送受信 FIFO バッファデータバイト 2
15 ~ 8	CFDB1 [7:0]	送受信 FIFO バッファデータバイト 1
7 ~ 0	CFDB0 [7:0]	送受信 FIFO バッファデータバイト 0
		<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0CFCKk レジスタの CFM[1:0] ビットが“01_B”の場合のみ、このレジスタに書けません。

CFM[1:0] ビットが“00_B”の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

17.3.37 RSCAN0CFDF1k — 送受信 FIFO バッファアクセスデータフィールド1レジスタ (k = 0 ~ 8) 注

注意

2ch 搭載製品では k = 0 ~ 5

アクセス RSCAN0CFDF1k レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0CFDF1kL、RSCAN0CFDF1kH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0CFDF1kLL、RSCAN0CFDF1kLH、RSCAN0CFDF1kHL、RSCAN0CFDF1kHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0CFDF1k: $\langle \text{RSCAN0_base} \rangle + 0\text{E}8\text{C}_\text{H} + (10_\text{H} \times k)$
RSCAN0CFDF1kL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}8\text{C}_\text{H} + (10_\text{H} \times k)$ 、
RSCAN0CFDF1kH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}8\text{E}_\text{H} + (10_\text{H} \times k)$
RSCAN0CFDF1kLL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}8\text{C}_\text{H} + (10_\text{H} \times k)$ 、
RSCAN0CFDF1kLH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}8\text{D}_\text{H} + (10_\text{H} \times k)$ 、
RSCAN0CFDF1kHL: $\langle \text{RSCAN0_base} \rangle + 0\text{E}8\text{E}_\text{H} + (10_\text{H} \times k)$ 、
RSCAN0CFDF1kHH: $\langle \text{RSCAN0_base} \rangle + 0\text{E}8\text{F}_\text{H} + (10_\text{H} \times k)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7 [7:0]								CFDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5 [7:0]								CFDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.52 RSCAN0CFDF1k レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	CFDB7 [7:0]	送受信 FIFO バッファデータバイト 7
23 ~ 16	CFDB6 [7:0]	送受信 FIFO バッファデータバイト 6
15 ~ 8	CFDB5 [7:0]	送受信 FIFO バッファデータバイト 5
7 ~ 0	CFDB4 [7:0]	送受信 FIFO バッファデータバイト 4
		<ul style="list-style-type: none"> CFM[1:0] ビットが“01_B” (送信モード) 時 送受信 FIFO バッファのデータを設定してください。 CFM[1:0] ビットが“00_B” (受信モード) 時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCAN0CFCKk レジスタの CFM[1:0] ビットが“01_B”の場合のみ、このレジスタに書けません。

CFM[1:0] ビットが“00_B”の場合のみ、このレジスタを読めます。RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が“1000_B”未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

CFM[1:0] ビットが“10_B” (ゲートウェイモード) の場合は、このレジスタに読み書きしないでください。

17.3.38 RSCAN0FESTS — FIFO エンプティステータスレジスタ

アクセス RSCAN0FESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FESTSL、RSCAN0FESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FESTSLL、RSCAN0FESTSLH、RSCAN0FESTSHL、RSCAN0FESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FESTS: <RSCAN0_base> + 0238_H
RSCAN0FESTSL: <RSCAN0_base> + 0238_H、RSCAN0FESTSH: <RSCAN0_base> + 023A_H
RSCAN0FESTSLL: <RSCAN0_base> + 0238_H、RSCAN0FESTSLH: <RSCAN0_base> + 0239_H、
RSCAN0FESTSHL: <RSCAN0_base> + 023A_H、RSCAN0FESTSHH: <RSCAN0_base> + 023B_H

リセット後の値 0001 FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF8EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EMP	CF6EMP	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.53 RSCAN0FESTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。
16	CF8EMP	送受信 FIFO バッファエンプティステータスフラグ 0: 送受信 FIFO バッファ k にメッセージあり 1: 送受信 FIFO バッファ k にメッセージなし (k = 0 ~ 8) 注1
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	受信 FIFO バッファエンプティステータスフラグ 0: 受信 FIFO バッファ x に未読メッセージあり 1: 受信 FIFO バッファ x に未読メッセージなし (x = 0 ~ 7)
7	RF7EMP	
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

注 1. 2ch 搭載製品では k = 0 ~ 5

RSCAN0FESTS レジスタは、グローバルリセットモード時、“0001 FFFF_H”になります。

CFkEMP フラグ (k = 0 ~ 8) 注

RSCAN0CFSTSk レジスタの CFEMP フラグが“1” (メッセージなし) になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0” (メッセージあり) になると、CFkEMP フラグは“0”になります。

注 意

2ch 搭載製品では k = 0 ~ 5

RFxEMP フラグ (x = 0 ~ 7)

RSCAN0RFSTSc レジスタの RFEMP フラグが“1” (未読メッセージなし) になると、RFxEMP フラグは“1”になります。RFEMP フラグが“0” (未読メッセージあり) になると、RFxEMP フラグは“0”になります。

17.3.39 RSCAN0FFSTS — FIFO フルステータスレジスタ

アクセス RSCAN0FFSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FFSTSL、RSCAN0FFSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FFSTSLL、RSCAN0FFSTSLH、RSCAN0FFSTSHL、RSCAN0FFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FFSTS: <RSCAN0_base> + 023C_H
RSCAN0FFSTSL: <RSCAN0_base> + 023C_H, RSCAN0FFSTSH: <RSCAN0_base> + 023E_H
RSCAN0FFSTSLL: <RSCAN0_base> + 023C_H, RSCAN0FFSTSLH: <RSCAN0_base> + 023D_H,
RSCAN0FFSTSHL: <RSCAN0_base> + 023E_H, RSCAN0FFSTSHH: <RSCAN0_base> + 023F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.54 RSCAN0FFSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。
16	CF8FLL	送受信 FIFO バッファフルステータスフラグ 0: 送受信 FIFO バッファ k はフルではない 1: 送受信 FIFO バッファ k はフル (k = 0 ~ 8) 注1
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0: 受信 FIFO バッファ x はフルではない 1: 受信 FIFO バッファ x はフル (x = 0 ~ 7)
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

注 1. 2ch 搭載製品では k = 0 ~ 5

RSCAN0FFSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ (k = 0 ~ 8) 注

RSCAN0CFSTSk レジスタの CFFLL フラグが“1” (バッファフル) になると、CFkFLL フラグは“1”になります。

CFFLL フラグが“0” (送受信 FIFO がバッファフルでない) になると、CFkFLL フラグは“0”になります。

注 意

2ch 搭載製品では k = 0 ~ 5

RFxFLL フラグ (x = 0 ~ 7)

RSCAN0RFSTSk レジスタの RFFLL フラグが“1” (バッファフル) になると、RFxFLL フラグは“1”になります。RFFLL フラグが“0” (バッファフルでない) になると、RFxFLL フラグは“0”になります。

17.3.40 RSCAN0FMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCAN0FMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0FMSTSL、RSCAN0FMSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0FMSTSLL、RSCAN0FMSTSLH、RSCAN0FMSTSHL、RSCAN0FMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0FMSTS: <RSCAN0_base> + 0240_H
RSCAN0FMSTSL: <RSCAN0_base> + 0240_H、RSCAN0FMSTSH: <RSCAN0_base> + 0242_H
RSCAN0FMSTSLL: <RSCAN0_base> + 0240_H、RSCAN0FMSTSLH: <RSCAN0_base> + 0241_H、
RSCAN0FMSTSHL: <RSCAN0_base> + 0242_H、RSCAN0FMSTSHH: <RSCAN0_base> + 0243_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.55 RSCAN0FMSTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	CF8MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0: 送受信 FIFO バッファ k メッセージロストなし 1: 送受信 FIFO バッファ k メッセージロスト (k = 0 ~ 8) 注1
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0: 受信 FIFO バッファ x メッセージロストなし 1: 受信 FIFO バッファ x メッセージロスト (x = 0 ~ 7)
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

注 1. 2ch 搭載製品では k = 0 ~ 5

RSCAN0FMSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkMLT フラグ (k = 0 ~ 8) 注

RSCAN0CFSTSk レジスタの CFMLT フラグが“1” (メッセージロスト) になると、CFkMLT フラグは“1” になります。

CFMLT フラグを“0” にすると、CFkMLT フラグは“0” になります。

注 意

2ch 搭載製品では k = 0 ~ 5

RFxMLT フラグ (x = 0 ~ 7)

RSCAN0RFSTStx レジスタの RFMLT フラグが“1” (メッセージロスト) になると、RFxMLT フラグは“1” になります。RFMLT フラグを“0” にすると、RFxMLT フラグは“0” になります。

17.3.41 RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCAN0RFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0RFISTS_{SL}、RSCAN0RFISTS_{SH} レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0RFISTS_{SL}_L、RSCAN0RFISTS_{SL}_H、RSCAN0RFISTS_{SH}_L、RSCAN0RFISTS_{SH}_H レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0RFISTS: <RSCAN0_base> + 0244_H
RSCAN0RFISTS_{SL}: <RSCAN0_base> + 0244_H、RSCAN0RFISTS_{SH}: <RSCAN0_base> + 0246_H
RSCAN0RFISTS_{SL}_L: <RSCAN0_base> + 0244_H、RSCAN0RFISTS_{SL}_H: <RSCAN0_base> + 0245_H、
RSCAN0RFISTS_{SH}_L: <RSCAN0_base> + 0246_H、RSCAN0RFISTS_{SH}_H: <RSCAN0_base> + 0247_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.56 RSCAN0RFISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0: 受信 FIFO バッファ x 割り込み要求なし 1: 受信 FIFO バッファ x 割り込み要求あり (x = 0 ~ 7)
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCAN0RFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RFxIF フラグ (x = 0 ~ 7)

RSCAN0RFISTS_x レジスタの RFIF フラグが“1” (割り込み要求あり) になると、RFxIF フラグは“1”になります。RFIF フラグを“0”にすると、RFxIF フラグは“0”になります。

17.3.42 RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCAN0CFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CFRISTSL、RSCAN0CFRISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CFRISTSLL、RSCAN0CFRISTSLH、RSCAN0CFRISTSHL、RSCAN0CFRISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CFRISTS: <RSCAN0_base> + 0248_H

RSCAN0CFRISTSL: <RSCAN0_base> + 0248_H、RSCAN0CFRISTSH: <RSCAN0_base> + 024A_H

RSCAN0CFRISTSLL: <RSCAN0_base> + 0249_H、RSCAN0CFRISTSLH: <RSCAN0_base> + 0249_H、

RSCAN0CFRISTSHL: <RSCAN0_base> + 024A_H、RSCAN0CFRISTSHH: <RSCAN0_base> + 024B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CF8RXI F	CF7RXI F	CF6RXI F	CF5RXI F	CF4RXI F	CF3RXI F	CF2RXI F	CF1RXI F	CF0RXI F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.57 RSCAN0CFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	CF8RXIF	送受信 FIFO バッファ 受信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 受信割り込み要求なし 1: 送受信 FIFO バッファ k 受信割り込み要求あり (k = 0 ~ 8) 注1
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

注 1. 2ch 搭載製品では k = 0 ~ 5

RSCAN0CFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ (k = 0 ~ 8) 注

RSCAN0CFSTSk レジスタの CFRXIF フラグが“1” (割り込み要求あり) になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

注意

2ch 搭載製品では k = 0 ~ 5

17.3.43 RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ

アクセス RSCAN0CFTISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCAN0CFTISTSL、RSCAN0CFTISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0CFTISTSLL、RSCAN0CFTISTSLH、RSCAN0CFTISTSHL、RSCAN0CFTISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0CFTISTS: <RSCAN0_base> + 024C_H

RSCAN0CFTISTSL: <RSCAN0_base> + 024C_H、RSCAN0CFTISTSH: <RSCAN0_base> + 024E_H

RSCAN0CFTISTSLL: <RSCAN0_base> + 024C_H、RSCAN0CFTISTSLH: <RSCAN0_base> + 024D_H、

RSCAN0CFTISTSHL: <RSCAN0_base> + 024E_H、RSCAN0CFTISTSHH: <RSCAN0_base> + 024F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CF8TXI F	CF7TXI F	CF6TXI F	CF5TXI F	CF4TXI F	CF3TXI F	CF2TXI F	CF1TXI F	CF0TXI F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.58 RSCAN0CFTISTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	CF8TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0: 送受信 FIFO バッファ k 送信割り込み要求なし 1: 送受信 FIFO バッファ k 送信割り込み要求あり (k = 0 ~ 8) 注1
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

注 1. 2ch 搭載製品では k = 0 ~ 5

RSCAN0CFTISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ (k = 0 ~ 8) 注

RSCAN0CFTISTS レジスタの CFTXIF フラグが“1” (割り込み要求あり) になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

注意

2ch 搭載製品では k = 0 ~ 5

17.3.44 RSCAN0TMCp — 送信バッファ制御レジスタ (p = 0 ~ 47) 注

注 意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMCp レジスタは、8ビット単位でリード/ライト可能です。

アドレス RSCAN0TMCp: <RSCAN0_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W注1	R/W注1

注1. このビットへの書き込みは、ビットセットする（“1”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 17.59 RSCAN0TMCp レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0: ワンショット送信禁止 1: ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0: 送信アボートを要求しない 1: 送信アボートを要求する
0	TMTR	送信要求ビット 0: 送信を要求しない 1: 送信を要求する

RSCAN0TMCp レジスタが次の条件を満たす場合は、“00_H”にしてください。

- RSCAN0FCCK レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCAN0TMCp レジスタ (p = m × 16 + CFTML[3:0] ビットの値)
- RSCAN0TXQCCm レジスタ (m = 0 ~ 2) の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCAN0TMCp レジスタ (p = (m × 16 + 15) ~ (m × 16 + 15 - TXQDC[3:0] ビットの値))

RSCAN0TMCp レジスタのビットは、チャンネルリセットモード時に“0”になります。

RSCAN0TMCp レジスタは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。

TMOM ビット

“1”にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCAN0TMSTSp レジスタの TMTRM フラグが“0”のときに書き換えてください。TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

TMTAR ビット

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMTR ビット

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態、エラーまたはアービトレーションロストを検出したとき

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“00_B”のときに、TMTR ビットを“1”に設定してください。

17.3.45 RSCAN0TMSTSp — 送信バッファステータスレジスタ (p = 0 ~ 47) 注

注 意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMSTSp レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TMSTSp: <RSCAN0_base> + 02D0_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 17.60 RSCAN0TMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アポート要求ステータスフラグ 0: 送信アポート要求なし 1: 送信アポート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0: 送信要求なし 1: 送信要求あり
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0: 送信中、または送信要求なし 0 1: 送信アポート完了 1 0: 送信完了 (送信アポート要求なし) 1 1: 送信完了 (送信アポート要求あり)
0	TMTSTS	送信バッファ送信ステータスフラグ 0: 送信中ではない 1: 送信中

RSCAN0TMSTSp レジスタのビットは、チャンネルリセットモード時に“0”になります。

TMTARM フラグ

RSCAN0TMCp レジスタの TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。

RSCAN0TMCp レジスタの TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RSCAN0TMCp レジスタの TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。

RSCAN0TMCp レジスタの TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B : 送信中または送信要求なし。

01_B : 送信バッファからの送信がアボートされた。

10_B : RSCAN0TMC_p レジスタの TMTAR ビットが “0” (送信アボートを要求しない) で、送信が完了した。

11_B : RSCAN0TMC_p レジスタの TMTAR ビットが “1” (送信アボートを要求する) で、送信が完了した。

TMTRF[1:0] フラグは、チャンネル通信モードまたはチャンネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

17.3.46 RSCAN0TMTRSTSy — 送信バッファ送信要求ステータスレジスタ y (y = 0,1)

注 意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTRSTSyL、RSCAN0TMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTRSTSyLL、RSCAN0TMTRSTSyLH、RSCAN0TMTRSTSyHL、RSCAN0TMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTRSTSy: <RSCAN0_base> + 0350_H + (y × 0004_H)
RSCAN0TMTRSTSyL: <RSCAN0_base> + 0350_H + (y × 0004_H)、
RSCAN0TMTRSTSyH: <RSCAN0_base> + 0352_H + (y × 0004_H)
RSCAN0TMTRSTSyLL: <RSCAN0_base> + 0350_H + (y × 0004_H)、
RSCAN0TMTRSTSyLH: <RSCAN0_base> + 0351_H + (y × 0004_H)、
RSCAN0TMTRSTSyHL: <RSCAN0_base> + 0352_H + (y × 0004_H)、
RSCAN0TMTRSTSyHH: <RSCAN0_base> + 0353_H + (y × 0004_H)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.61 RSCAN0TMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信要求なし 1: 送信要求あり ただし、y = 1 のときは予約ビット。リードした場合はリセット後の値が読め ず。 ライトする場合はリセット後の値を書いてください。
15 ~ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信要求なし 1: 送信要求あり

TMTRSTSp フラグ (p = 0 ~ 47)

RSCAN0TMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1” (送信を要求する) にすると、対応する TMTRSTSp フラグは“1” になります。

TMTR ビットが“0” (送信を要求しない) になると、対応する TMTRSTSp フラグは“0” になります。また、チャンネルリセットモード時、“0” になります。

表 17.62 にビット配置を示します。

表 17.62 TMTRSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15
16	1	0
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
47	2	15

17.3.47 RSCAN0TMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ y (y = 0,1)

注意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTARSTSyL、RSCAN0TMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTARSTSyLL、RSCAN0TMTARSTSyLH、RSCAN0TMTARSTSyHL、RSCAN0TMTARSTSyHH
レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTARSTSy: <RSCAN0_base> + 0360_H + (y × 0004_H)

RSCAN0TMTARSTSyL: <RSCAN0_base> + 0360_H + (y × 0004_H),
RSCAN0TMTARSTSyH: <RSCAN0_base> + 0362_H + (y × 0004_H)

RSCAN0TMTARSTSyLL: <RSCAN0_base> + 0360_H + (y × 0004_H),
RSCAN0TMTARSTSyLH: <RSCAN0_base> + 0361_H + (y × 0004_H),
RSCAN0TMTARSTSyHL: <RSCAN0_base> + 0362_H + (y × 0004_H),
RSCAN0TMTARSTSyHH: <RSCAN0_base> + 0363_H + (y × 0004_H)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.63 RSCAN0TMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信アボート要求なし 1: 送信アボート要求あり ただし、y = 1 のときは予約ビット。リードした場合はリセット後の値が読めません。 ライトする場合はリセット後の値を書いてください。
15 ~ 0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信アボート要求なし 1: 送信アボート要求あり

TMTARSTSp フラグ (p = 0 ~ 47)

RSCAN0TMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1” (送信アボートを要求する) にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0” (送信アボートを要求しない) になると、対応する TMTARSTSp フラグは“0”になります。また、チャンネルリセットモード時、“0”になります。

表 17.64 にビット配置を示します。

表 17.64 TMTARSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
.	.	.
15	0	15
16	1	0
.	.	.
30	1	14
31	1	15
32	2	0
33	2	1
.	.	.
47	2	15

17.3.48 RSCAN0TMCSTSy — 送信バッファ送信完了ステータスレジスタ y (y=0,1)

注意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMCSTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMCSTSyL、RSCAN0TMCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMCSTSyLL、RSCAN0TMCSTSyLH、RSCAN0TMCSTSyHL、RSCAN0TMCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMCSTSy: <RSCAN0_base> + 0370_H + (y × 0004_H)
RSCAN0TMCSTSyL: <RSCAN0_base> + 0370_H + (y × 0004_H)、
RSCAN0TMCSTSyH: <RSCAN0_base> + 0372_H + (y × 0004_H)
RSCAN0TMCSTSyLL: <RSCAN0_base> + 0370_H + (y × 0004_H)、
RSCAN0TMCSTSyLH: <RSCAN0_base> + 0371_H + (y × 0004_H)、
RSCAN0TMCSTSyHL: <RSCAN0_base> + 0372_H + (y × 0004_H)、
RSCAN0TMCSTSyHH: <RSCAN0_base> + 0273_H + (y × 0004_H)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMCSTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMCSTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.65 RSCAN0TMCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信未完了 1: 送信完了 ただし、y=1 のときは予約ビット。リードした場合はリセット後の値が読めません。 ライトする場合はリセット後の値を書き込んでください。
15 ~ 0	TMCSTSp	送信バッファ送信完了ステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信未完了 1: 送信完了

TMCSTSp フラグ (p = 0 ~ 47)

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“10_B” (送信完了、送信アポート要求なし) または“11_B” (送信完了、送信アポート要求あり) になると、対応する TMCSTSp フラグは“1”になります。

TMCSTSp フラグを“0”にする場合は、対応する TMTRF[1:0] フラグを“00_B”にしてください。また、チャンネルリセットモード時、“0”になります。

表 17.66 にビット配置を示します。

表 17.66 TMTCSTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
·	·	·
·	·	·
15	0	15
16	1	0
·	·	·
·	·	·
30	1	14
31	1	15
32	2	0
33	2	1
·	·	·
·	·	·
47	2	15

17.3.49 RSCAN0TMTASTSy — 送信バッファ送信アポートステータスレジスタ y (y = 0,1)

注意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCAN0TMTASTSyL、RSCAN0TMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0TMTASTSyLL、RSCAN0TMTASTSyLH、RSCAN0TMTASTSyHL、RSCAN0TMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0TMTASTSy: <RSCAN0_base> + 0380_H + (y × 0004_H)

RSCAN0TMTASTSyL: <RSCAN0_base> + 0380_H + (y × 0004_H)、
RSCAN0TMTASTSyH: <RSCAN0_base> + 0382_H + (y × 0004_H)

RSCAN0TMTASTSyLL: <RSCAN0_base> + 0380_H + (y × 0004_H)、
RSCAN0TMTASTSyLH: <RSCAN0_base> + 0381_H + (y × 0004_H)、
RSCAN0TMTASTSyHL: <RSCAN0_base> + 0382_H + (y × 0004_H)、
RSCAN0TMTASTSyHH: <RSCAN0_base> + 0383_H + (y × 0004_H)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.67 RSCAN0TMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信アポートなし 1: 送信アポートあり ただし、y=1 のときは予約ビット。リードした場合はリセット後の値が読め ず。 ライトする場合はリセット後の値を書いてください。
15 ~ 0	TMTASTSp	送信バッファ送信アポートステータスフラグ p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信アポートなし 1: 送信アポートあり

TMTASTSp フラグ (p = 0 ~ 47)

RSCAN0TMTASTSp レジスタの TMTRF[1:0] フラグが “01_B” (送信アポート完了) になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャンネルリセットモード時、“0” になります。

表 17.68 にビット配置を示します。

表 17.68 TMTASTSp ビット配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
·	·	·
·	·	·
15	0	15
16	1	0
·	·	·
·	·	·
30	1	14
31	1	15
32	2	0
33	2	1
·	·	·
·	·	·
47	2	15

17.3.50 RSCAN0TMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ y (y = 0,1)

注意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMIECy レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMIECyL、RSCAN0TMIECyH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMIECyLL、RSCAN0TMIECyLH、RSCAN0TMIECyHL、RSCAN0TMIECyHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TMIECy: <RSCAN0_base> + 0390_H + (y × 0004_H)

RSCAN0TMIECyL: <RSCAN0_base> + 0390_H + (y × 0004_H),
RSCAN0TMIECyH: <RSCAN0_base> + 0392_H + (y × 0004_H)

RSCAN0TMIECyLL: <RSCAN0_base> + 0390_H + (y × 0004_H),
RSCAN0TMIECyLH: <RSCAN0_base> + 0391_H + (y × 0004_H),
RSCAN0TMIECyHL: <RSCAN0_base> + 0392_H + (y × 0004_H),
RSCAN0TMIECyHH: <RSCAN0_base> + 0393_H + (y × 0004_H)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31 ~ y × 32 + 16 (y = 0))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15 ~ y × 32 + 0 (y = 0, 1))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.69 RSCAN0TMIECy レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 31 ~ y × 32 + 16) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可 ただし、y = 1 のときは予約ビット。リードした場合はリセット後の値が読めません。 ライトする場合はリセット後の値を書いてください。
15 ~ 0	TMIEp	送信バッファ割り込み許可ビット p (p = y × 32 + 15 ~ y × 32 + 0) 0: 送信バッファ割り込み禁止 1: 送信バッファ割り込み許可

TMIEp ビット (p = 0 ~ 47)

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCAN0TMSTSp レジスタの TMTRM フラグが“0” (送信要求なし) のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

表 17.70 にビット配置を示します。

表 17.70 TMIEp ビットの配置

ビット位置	チャンネル	送信バッファ番号
0	0	0
1	0	1
·	·	·
·	·	·
15	0	15
16	1	0
·	·	·
·	·	·
30	1	14
31	1	15
32	2	0
33	2	1
·	·	·
·	·	·
47	2	15

17.3.51 RSCAN0TMIDp — 送信バッファ ID レジスタ (p = 0 ~ 47) 注

注 意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMIDp レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMIDpL、RSCAN0TMIDpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMIDpLL、RSCAN0TMIDpLH、RSCAN0TMIDpHL、RSCAN0TMIDpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TMIDp: <RSCAN0_base> + 1000_H + (10_H × p)

RSCAN0TMIDpL: <RSCAN0_base> + 1000_H + (10_H × p)、
RSCAN0TMIDpH: <RSCAN0_base> + 1002_H + (10_H × p)

RSCAN0TMIDpLL: <RSCAN0_base> + 1000_H + (10_H × p)、
RSCAN0TMIDpLH: <RSCAN0_base> + 1001_H + (10_H × p)、
RSCAN0TMIDpHL: <RSCAN0_base> + 1002_H + (10_H × p)、
RSCAN0TMIDpHH: <RSCAN0_base> + 1003_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.71 RSCAN0TMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0: 標準 ID 1: 拡張 ID
30	TMRTR	送信バッファ RTR ビット 0: データフレーム 1: リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0: 送信履歴データをバッファに格納しない 1: 送信履歴データをバッファに格納する
28 ~ 0	TMID [28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は "0" にしてください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが "0" (送信を要求しない) のとき書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファ・タイプ）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

17.3.52 RSCAN0TMPTRp — 送信バッファポインタレジスタ (p = 0 ~ 47) 注

注 意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMPTRp レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMPTRpL、RSCAN0TMPTRpH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMPTRpLL、RSCAN0TMPTRpLH、RSCAN0TMPTRpHL、RSCAN0TMPTRpHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TMPTRp: <RSCAN0_base> + 1004_H + (10_H × p)
RSCAN0TMPTRpL: <RSCAN0_base> + 1004_H + (10_H × p)、
RSCAN0TMPTRpH: <RSCAN0_base> + 1006_H + (10_H × p)
RSCAN0TMPTRpLL: <RSCAN0_base> + 1004_H + (10_H × p)、
RSCAN0TMPTRpLH: <RSCAN0_base> + 1005_H + (10_H × p)、
RSCAN0TMPTRpHL: <RSCAN0_base> + 1006_H + (10_H × p)、
RSCAN0TMPTRpHH: <RSCAN0_base> + 1007_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC [3:0]				—	—	—	—	TMPTR [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.72 RSCAN0TMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	TMDLC [3:0]	送信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 × × × : 8 データバイト
27 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ~ 16	TMPTR [7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCAN0TMIDp レジスタの TMRTR ビットが“0” (データフレーム) のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが“1” (リモートフレーム) のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されません。

17.3.53 RSCAN0TMDF0p — 送信バッファデータフィールド0レジスタ (p = 0 ~ 47) 注

注 意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMDF0p レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMDF0pL、RSCAN0TMDF0pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMDF0pLL、RSCAN0TMDF0pLH、RSCAN0TMDF0pHL、RSCAN0TMDF0pHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0TMDF0p: <RSCAN0_base> + 1008_H + (10_H × p)
RSCAN0TMDF0pL: <RSCAN0_base> + 1008_H + (10_H × p)、
RSCAN0TMDF0pH: <RSCAN0_base> + 100A_H + (10_H × p)
RSCAN0TMDF0pLL: <RSCAN0_base> + 1008_H + (10_H × p)、
RSCAN0TMDF0pLH: <RSCAN0_base> + 1009_H + (10_H × p)、
RSCAN0TMDF0pHL: <RSCAN0_base> + 100A_H + (10_H × p)、
RSCAN0TMDF0pHH: <RSCAN0_base> + 100B_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3 [7:0]								TMDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1 [7:0]								TMDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.73 RSCAN0TMDF0p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB3 [7:0]	送信バッファデータバイト3
23 ~ 16	TMDB2 [7:0]	送信バッファデータバイト2
15 ~ 8	TMDB1 [7:0]	送信バッファデータバイト1
7 ~ 0	TMDB0 [7:0]	送信バッファデータバイト0
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

17.3.54 RSCAN0TMDF1p — 送信バッファデータフィールド1レジスタ (p = 0 ~ 47) 注

注 意

2ch 搭載製品では p = 0 ~ 31

アクセス RSCAN0TMDF1p レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TMDF1pL、RSCAN0TMDF1pH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TMDF1pLL、RSCAN0TMDF1pLH、RSCAN0TMDF1pHL、RSCAN0TMDF1pHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0TMDF1p: <RSCAN0_base> + 100C_H + (10_H × p)
RSCAN0TMDF1pL: <RSCAN0_base> + 100C_H + (10_H × p)、
RSCAN0TMDF1pH: <RSCAN0_base> + 100E_H + (10_H × p)
RSCAN0TMDF1pLL: <RSCAN0_base> + 100C_H + (10_H × p)、
RSCAN0TMDF1pLH: <RSCAN0_base> + 100D_H + (10_H × p)、
RSCAN0TMDF1pHL: <RSCAN0_base> + 100E_H + (10_H × p)、
RSCAN0TMDF1pHH: <RSCAN0_base> + 100F_H + (10_H × p)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7 [7:0]							TMDB6 [7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5 [7:0]							TMDB4 [7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.74 RSCAN0TMDF1p レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	TMDB7 [7:0]	送信バッファデータバイト7
23 ~ 16	TMDB6 [7:0]	送信バッファデータバイト6
15 ~ 8	TMDB5 [7:0]	送信バッファデータバイト5
7 ~ 0	TMDB4 [7:0]	送信バッファデータバイト4
		送信バッファのデータを設定してください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

17.3.55 RSCAN0TXQCCm — 送信キューコンフィグレーション/制御レジスタ (m = 0 ~ 2)

アクセス RSCAN0TXQCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TXQCCmL、RSCAN0TXQCCmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TXQCCmLL、RSCAN0TXQCCmLH、RSCAN0TXQCCmHL、RSCAN0TXQCCmHH レジスタは、
8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TXQCCm: <RSCAN0_base> + 03A0_H + (04_H × m)

RSCAN0TXQCCmL: <RSCAN0_base> + 03A0_H + (04_H × m)、
RSCAN0TXQCCmH: <RSCAN0_base> + 03A2_H + (04_H × m)

RSCAN0TXQCCmLL: <RSCAN0_base> + 03A0_H + (04_H × m)、
RSCAN0TXQCCmLH: <RSCAN0_base> + 03A1_H + (04_H × m)、
RSCAN0TXQCCmHL: <RSCAN0_base> + 03A2_H + (04_H × m)、
RSCAN0TXQCCmHH: <RSCAN0_base> + 03A3_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC [3:0]			—	—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 17.75 RSCAN0TXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0: 送信完了によって送信キューが空になったときに発生 1: 1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0: 送信キュー割り込み禁止 1: 送信キュー割り込み許可
11 ~ 8	TXQDC [3:0]	送信キュー段数設定ビット 設定値を g (g = 2 ~ 15) とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0: 送信キューを使用しない 1: 送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャンネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に $(m \times 16 + 15)$ から $(m \times 16 + 0)$ まで順番に割り付けられます (表 17.16 を参照)。バッファの割り当て例については、図 17.9 を参照してください。このビットはチャンネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1”にすると送信キューを使用できます。このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0”になります。

TXQDC[3:0] ビットの値を“0010_B”以上に設定してから TXQE ビットを“1”にしてください。

17.3.56 RSCAN0TXQSTSm — 送信キューステータスレジスタ (m = 0 ~ 2)

アクセス RSCAN0TXQSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0TXQSTSmL、RSCAN0TXQSTSmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0TXQSTSmLL、RSCAN0TXQSTSmLH、RSCAN0TXQSTSmHL、RSCAN0TXQSTSmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0TXQSTSm: <RSCAN0_base> + 03C0_H + (04_H × m)
RSCAN0TXQSTSmL: <RSCAN0_base> + 03C0_H + (04_H × m)、
RSCAN0TXQSTSmH: <RSCAN0_base> + 03C2_H + (04_H × m)
RSCAN0TXQSTSmLL: <RSCAN0_base> + 03C0_H + (04_H × m)、
RSCAN0TXQSTSmLH: <RSCAN0_base> + 03C1_H + (04_H × m)、
RSCAN0TXQSTSmHL: <RSCAN0_base> + 03C2_H + (04_H × m)、
RSCAN0TXQSTSmHH: <RSCAN0_base> + 03C3_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFL L	TXQEMP P
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 17.76 RSCAN0TXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0: 送信キュー割り込み要求なし 1: 送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0: 送信キューフルではない 1: 送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0: 送信キューにメッセージあり 1: 送信キューにメッセージなし (送信キュー空)

TXQIF フラグ

RSCAN0TXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1”になります。

TXQIF フラグへの“0”書き込み、またはチャネルリセットモード時、“0”になります。TXQIF フラグは、RSCAN0TXQCCm レジスタの TXQE ビットを“0”（送信キューを使用しない）にしても“0”になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCAN0TXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で“0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャンネルリセットモード時

TXQEMP フラグ

メッセージを1つでも送信キューに設定すると、TXQEMP フラグは“0” になります。

次の条件で、“1” になります。

- TXQE ビットを“0” (送信キューを使用しない) にしたとき
- 送信キューが空になったとき
- チャンネルリセットモード時

17.3.57 RSCAN0TXQPCTRM — 送信キューポインタ制御レジスタ (m = 0 ~ 2)

アクセス RSCAN0TXQPCTRM レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0TXQPCTRM_L、RSCAN0TXQPCTRM_H レジスタは、16 ビット単位でライトのみ可能です。
RSCAN0TXQPCTRM_{LL}、RSCAN0TXQPCTRM_{LH}、RSCAN0TXQPCTRM_{HL}、RSCAN0TXQPCTRM_{HH} レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN0TXQPCTRM: <RSCAN0_base> + 03E0_H + (04_H × m)
RSCAN0TXQPCTRM_L: <RSCAN0_base> + 03E0_H + (04_H × m)、
RSCAN0TXQPCTRM_H: <RSCAN0_base> + 03E2_H + (04_H × m)
RSCAN0TXQPCTRM_{LL}: <RSCAN0_base> + 03E0_H + (04_H × m)、
RSCAN0TXQPCTRM_{LH}: <RSCAN0_base> + 03E1_H + (04_H × m)、
RSCAN0TXQPCTRM_{HL}: <RSCAN0_base> + 03E2_H + (04_H × m)、
RSCAN0TXQPCTRM_{HH}: <RSCAN0_base> + 03E3_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 17.77 RSCAN0TXQPCTRM レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	TXQPC [7:0]	送信キューポインタ制御 “FF _H ” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCAN0TMID_p、RSCAN0TMPTR_p、RSCAN0TMD_{F0p}、RSCAN0TMD_{F1p} レジスタ (p = m × 16 + 15) に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN0TXQCC_m レジスタの TXQE ビットが “1” (送信キューを使用する) で、RSCAN0TXQSTS_m レジスタの TXQFLL フラグが “0” (フルではない) の場合にのみ行ってください。

17.3.58 RSCAN0THLCCm — 送信履歴コンフィグレーション/制御レジスタ (m = 0 ~ 2)

アクセス RSCAN0THLCCm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0THLCCmL、RSCAN0THLCCmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0THLCCmLL、RSCAN0THLCCmLH、RSCAN0THLCCmHL、RSCAN0THLCCmHH レジスタは、8
ビット単位でリード/ライト可能です。

アドレス RSCAN0THLCCm: <RSCAN0_base> + 0400_H + (04_H × m)

RSCAN0THLCCmL: <RSCAN0_base> + 0400_H + (04_H × m)、
RSCAN0THLCCmH: <RSCAN0_base> + 0402_H + (04_H × m)

RSCAN0THLCCmLL: <RSCAN0_base> + 0400_H + (04_H × m)、
RSCAN0THLCCmLH: <RSCAN0_base> + 0401_H + (04_H × m)、
RSCAN0THLCCmHL: <RSCAN0_base> + 0402_H + (04_H × m)、
RSCAN0THLCCmHH: <RSCAN0_base> + 0403_H + (04_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDT E	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 17.78 RSCAN0THLCCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0: 送受信 FIFO、送信キューからのエントリ 1: 送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0: 送信履歴バッファに 12 データ格納されたとき 1: 1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0: 送信履歴バッファを使用しない 1: 送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャンネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLIE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャンネル通信モードまたはチャンネル待機モードで書き換えてください。チャンネルリセットモード時、“0”になります。

17.3.59 RSCAN0THLSTSm — 送信履歴ステータスレジスタ (m = 0 ~ 2)

アクセス RSCAN0THLSTSm レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0THLSTSmL、RSCAN0THLSTSmH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0THLSTSmLL、RSCAN0THLSTSmLH、RSCAN0THLSTSmHL、RSCAN0THLSTSmHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0THLSTSm: <RSCAN0_base> + 0420_H + (04_H × m)

RSCAN0THLSTSmL: <RSCAN0_base> + 0420_H + (04_H × m)、
RSCAN0THLSTSmH: <RSCAN0_base> + 0422_H + (04_H × m)

RSCAN0THLSTSmLL: <RSCAN0_base> + 0420_H + (04_H × m)、
RSCAN0THLSTSmLH: <RSCAN0_base> + 0421_H + (04_H × m)、
RSCAN0THLSTSmHL: <RSCAN0_base> + 0422_H + (04_H × m)、
RSCAN0THLSTSmHH: <RSCAN0_base> + 0423_H + (04_H × m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC [4:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 17.79 RSCAN0THLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	THLMC [4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0: 送信履歴割り込み要求なし 1: 送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバーフローフラグ 0: 送信履歴バッファオーバーフローではない 1: 送信履歴バッファオーバーフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0: 送信履歴バッファフルではない 1: 送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0: 送信履歴バッファに未読データあり 1: 送信履歴バッファに未読データなし (バッファ空)

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。

THLIF フラグ

RSCAN0THLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。

プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャンネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLFL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1”になります。格納数が 16 個より少なくなると“0”になります。RSCAN0THLCCm レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャンネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RSCAN0THLCCm レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャンネルリセットモード時、“1”になります。

備 考

THLIF、THLELT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

17.3.60 RSCAN0THLACCm — 送信履歴アクセスレジスタ (m = 0 ~ 2)

アクセス RSCAN0THLACCm レジスタは、32 ビット単位でリードのみです。
RSCAN0THLACCmL、RSCAN0THLACCmH レジスタは、16 ビット単位でリードのみ可能です。
RSCAN0THLACCmLL、RSCAN0THLACCmLH、RSCAN0THLACCmHL、RSCAN0THLACCmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCAN0THLACCm: $\langle \text{RSCAN0_base} \rangle + 1800_{\text{H}} + (04_{\text{H}} \times m)$
RSCAN0THLACCmL: $\langle \text{RSCAN0_base} \rangle + 1800_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLACCmH: $\langle \text{RSCAN0_base} \rangle + 1802_{\text{H}} + (04_{\text{H}} \times m)$
RSCAN0THLACCmLL: $\langle \text{RSCAN0_base} \rangle + 1800_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLACCmLH: $\langle \text{RSCAN0_base} \rangle + 1801_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLACCmHL: $\langle \text{RSCAN0_base} \rangle + 1802_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLACCmHH: $\langle \text{RSCAN0_base} \rangle + 1803_{\text{H}} + (04_{\text{H}} \times m)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]							—	BN[3:0]			BT[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.80 RSCAN0THLACCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ/送受信 FIFO/送信キュー番号が読めます。
2 ~ 0	BT[2:0]	バッファタイプデータ b2 b1 b0 0 0 1: 送信バッファ 0 1 0: 送信 FIFO バッファ 1 0 0: 送信キュー

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

17.3.61 RSCAN0THLPCTRm — 送信履歴ポインタ制御レジスタ (m = 0 ~ 2)

アクセス RSCAN0THLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0THLPCTRmL、RSCAN0THLPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCAN0THLPCTRmLL、RSCAN0THLPCTRmLH、RSCAN0THLPCTRmHL、RSCAN0THLPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCAN0THLPCTRm: $\langle \text{RSCAN0_base} \rangle + 0440_{\text{H}} + (04_{\text{H}} \times m)$
RSCAN0THLPCTRmL: $\langle \text{RSCAN0_base} \rangle + 0440_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLPCTRmH: $\langle \text{RSCAN0_base} \rangle + 0442_{\text{H}} + (04_{\text{H}} \times m)$
RSCAN0THLPCTRmLL: $\langle \text{RSCAN0_base} \rangle + 0440_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLPCTRmLH: $\langle \text{RSCAN0_base} \rangle + 0441_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLPCTRmHL: $\langle \text{RSCAN0_base} \rangle + 0442_{\text{H}} + (04_{\text{H}} \times m)$ 、
RSCAN0THLPCTRmHH: $\langle \text{RSCAN0_base} \rangle + 0443_{\text{H}} + (04_{\text{H}} \times m)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 17.81 RSCAN0THLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	THLPC [7:0]	送信履歴リストポインタ制御 “FF _H ” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCAN0THLSTSm レジスタの THLMC[4:0] ビット (送信履歴バッファ未読数カウンタ) の値が 1 減算されます。RSCAN0THLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN0THLCCm レジスタの THLE ビットが “1” (送信履歴バッファを使用する) で、RSCAN0THLSTSm レジスタの THLEMP フラグが “0” のときのみに行ってください。

17.3.62 RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCAN0GTSTCFG レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GTSTCFGL、RSCAN0GTSTCFGH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GTSTCFGLL、RSCAN0GTSTCFGLH、RSCAN0GTSTCFGHL、RSCAN0GTSTCFGHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GTSTCFG: <RSCAN0_base> + 0468_H
RSCAN0GTSTCFGL: <RSCAN0_base> + 0468_H, RSCAN0GTSTCFGH: <RSCAN0_base> + 046A_H
RSCAN0GTSTCFGLL: <RSCAN0_base> + 0468_H, RSCAN0GTSTCFGLH: <RSCAN0_base> + 0469_H,
RSCAN0GTSTCFGHL: <RSCAN0_base> + 046A_H, RSCAN0GTSTCFGHH: <RSCAN0_base> + 046B_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS [6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 17.82 RSCAN0GTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	RTMPS [6:0]	RAM テストページ設定ビット ページ 0 (00 _H) ~ 28 (1C _H) ページの範囲で設定
15 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	C2ICBCE	CAN2 チャンネル間通信テスト許可ビット 0: CAN2 チャンネル間通信テスト禁止 1: CAN2 チャンネル間通信テスト許可
1	C1ICBCE	CAN1 チャンネル間通信テスト許可ビット 0: CAN1 チャンネル間通信テスト禁止 1: CAN1 チャンネル間通信テスト許可
0	C0ICBCE	CAN0 チャンネル間通信テスト許可ビット 0: CAN0 チャンネル間通信テスト禁止 1: CAN0 チャンネル間通信テスト許可

RSCAN0GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ~ 1C_H 以外の値を設定しないでください。

C2ICBCE ビット

“1” にすると、チャンネル 2 のチャンネル間通信テストが許可になります。

C1ICBCE ビット

“1” にすると、チャンネル 1 のチャンネル間通信テストが許可になります。

C0ICBCE ビット

“1” にすると、チャンネル 0 のチャンネル間通信テストが許可になります。

17.3.63 RSCAN0GTSTCTR — グローバルテスト制御レジスタ

アクセス RSCAN0GTSTCTR レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0GTSTCTRL、RSCAN0GTSTCTRH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0GTSTCTRL、RSCAN0GTSTCTRLH、RSCAN0GTSTCTRH、RSCAN0GTSTCTRHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0GTSTCTR: <RSCAN0_base> + 046C_H
RSCAN0GTSTCTRL: <RSCAN0_base> + 046C_H, RSCAN0GTSTCTRH: <RSCAN0_base> + 046E_H
RSCAN0GTSTCTRL: <RSCAN0_base> + 046C_H, RSCAN0GTSTCTRLH: <RSCAN0_base> + 046D_H,
RSCAN0GTSTCTRH: <RSCAN0_base> + 046E_H, RSCAN0GTSTCTRHH: <RSCAN0_base> + 046F_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 17.83 RSCAN0GTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0: RAM テスト禁止 1: RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャンネル間通信テスト許可ビット 0: チャンネル間通信テスト禁止 1: チャンネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。

- RSCAN0GCTR レジスタの GMDC[1:0] ビットを“10_B” (グローバルテストモード) にする。
- RTME ビットを“1”にする。
- RTME ビットが“1”になったことを確認する。

RAM テストの設定手順については、「[図 17.36 RAM テストの設定手順](#)」を参照ください。

ICBCTME ビット

“1” にすると、RSCAN0GTSTCFG レジスタの CmICBCE ビット (m = 0 ~ 2) を“1” に設定したチャンネルのチャンネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。

17.3.64 RSCAN0GLOCKK — グローバルロックキーレジスタ

アクセス RSCAN0GLOCKK レジスタは、32 ビット単位でライトのみ可能です。
RSCAN0GLOCKKL、RSCAN0GLOCKKH レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCAN0GLOCKK: <RSCAN0_base> + 047C_H
RSCAN0GLOCKKL: <RSCAN0_base> + 047C_H、RSCAN0GLOCKKH: <RSCAN0_base> + 047E_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}	W ^{注1}

注1. RS-CAN モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 17.84 RSCAN0GLOCKK レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCAN0GLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「17.10.4.2 プロテクト解除手順」を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCAN0GTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域 (<RSCAN0_base> + 0000_H ~ <RSCAN0_base> + 04FF_H) に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

17.3.65 RSCAN0RPGACCr — RAM テストページアクセスレジスタ (r = 0 ~ 63)

アクセス RSCAN0RPGACCr レジスタは、32 ビット単位でリード/ライト可能です。
RSCAN0RPGACCrL、RSCAN0RPGACCrH レジスタは、16 ビット単位でリード/ライト可能です。
RSCAN0RPGACCrLL、RSCAN0RPGACCrLH、RSCAN0RPGACCrHL、RSCAN0RPGACCrHH レジスタは、8 ビット単位でリード/ライト可能です。

アドレス RSCAN0RPGACCr: $\langle \text{RSCAN0_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN0RPGACCrL: $\langle \text{RSCAN0_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCAN0RPGACCrH: $\langle \text{RSCAN0_base} \rangle + 1902_{\text{H}} + (04_{\text{H}} \times r)$
RSCAN0RPGACCrLL: $\langle \text{RSCAN0_base} \rangle + 1900_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCAN0RPGACCrLH: $\langle \text{RSCAN0_base} \rangle + 1901_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCAN0RPGACCrHL: $\langle \text{RSCAN0_base} \rangle + 1902_{\text{H}} + (04_{\text{H}} \times r)$ 、
RSCAN0RPGACCrHH: $\langle \text{RSCAN0_base} \rangle + 1903_{\text{H}} + (04_{\text{H}} \times r)$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA [31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.85 RSCAN0RPGACCr レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RDTA [31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCAN0RPGACCr レジスタは、グローバルテストモードでかつ RSCAN0GTSTCTR レジスタの RTME ビットが“1” (RAM テスト許可) の状態で書き換えてください。

RTME ビットが“1”のときに、RSCAN0RPGACCr レジスタへの読み書きができます。

17.4 割り込み要因

RS-CAN モジュールには 11 本 ($2 + 3 \times m$) の割り込みがあり、グローバル割り込みとチャンネル割り込みに分類されます。

- グローバル割り込み (2 本)
 - 受信 FIFO 割り込み (1 本)
 - グローバルエラー割り込み (1 本)
- チャンネル割り込み (各チャンネルごとに 3 本ずつ)
 - CANm 送信割り込み ($m = 0 \sim 2$)
 - CANm 送信完了割り込み
 - CANm 送信アボート割り込み
 - CANm 送受信 FIFO 送信完了割り込み (送信モード、ゲートウェイモード時)
 - CANm 送信履歴割り込み
 - CANm 送信キュー割り込み
 - CANm 送受信 FIFO 受信完了割り込み (受信モード、ゲートウェイモード時)
 - CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが“1” (割り込み要求あり) になります。その場合、割り込み許可ビットを“1” (割り込み許可) にしていると、RS-CAN モジュールから割り込み要求が出力されます。(割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。)

割り込み要求フラグを“0” (割り込み要求なし) にするか、割り込み許可ビットを“0” (割り込み禁止) にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 17.86 に CAN 割り込み要因一覧を示します。**図 17.2** に CAN グローバル割り込みブロック図を、**図 17.3** に CAN チャンネル割り込みブロック図を示します。

表 17.86 CAN 割り込み要因一覧

	割り込み要因	対応する割り込み要求フラグ	対応する割り込み許可ビット	
グローバル 割り込み	受信 FIFO	受信 FIFO 0	RSCAN0RFSTS0 レジスタの RFIF フラグ	RSCAN0RFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RSCAN0RFSTS1 レジスタの RFIF フラグ	RSCAN0RFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RSCAN0RFSTS2 レジスタの RFIF フラグ	RSCAN0RFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RSCAN0RFSTS3 レジスタの RFIF フラグ	RSCAN0RFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RSCAN0RFSTS4 レジスタの RFIF フラグ	RSCAN0RFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RSCAN0RFSTS5 レジスタの RFIF フラグ	RSCAN0RFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RSCAN0RFSTS6 レジスタの RFIF フラグ	RSCAN0RFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RSCAN0RFSTS7 レジスタの RFIF フラグ	RSCAN0RFCC7 レジスタの RFIE ビット
	グローバルエラー	RSCAN0GERFL レジスタの DEF フラグ RSCAN0GERFL レジスタの MES フラグ RSCAN0GERFL レジスタの THLES フラグ	RSCAN0GCTR レジスタの DEIE ビット RSCAN0GCTR レジスタの MEIE ビット RSCAN0GCTR レジスタの THLEIE ビット	
チャンネル 割り込み (m = 0 ~ 2)	CANm 送信	CANm 送信完了	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0TMIECy レジスタの TMIE ビット
		CANm 送信 アボート	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0CmCTR レジスタの TAIE ビット
		CANm 送受信 FIFO 送信完了	RSCAN0CFSTSk レジスタの CFTXIF フラグ	RSCAN0CFCCk レジスタの CFTXIE ビット
		CANm 送信キュー	RSCAN0TXQSTSm レジスタの TXQIF フラグ	RSCAN0TXQCCm レジスタの TXQIE ビット
		CANm 送信履歴	RSCAN0THLSTSm レジスタの THLIF フラグ	RSCAN0THLCCm レジスタの THLIE ビット
	CANm 送受信 FIFO 受信完了	RSCAN0CFSTSk レジスタの CFRXIF フラグ	RSCAN0CFCCk レジスタの CFRXIE ビット	
	CANm エラー	RSCAN0CmERFL レジスタの BEF フラグ RSCAN0CmERFL レジスタの ALF フラグ RSCAN0CmERFL レジスタの BLF フラグ RSCAN0CmERFL レジスタの OVLF フラグ RSCAN0CmERFL レジスタの BORF フラグ RSCAN0CmERFL レジスタの BOEF フラグ RSCAN0CmERFL レジスタの EPF フラグ RSCAN0CmERFL レジスタの EWF フラグ	RSCAN0CmCTR レジスタの BEIE ビット RSCAN0CmCTR レジスタの ALIE ビット RSCAN0CmCTR レジスタの BLIE ビット RSCAN0CmCTR レジスタの OLIE ビット RSCAN0CmCTR レジスタの BORIE ビット RSCAN0CmCTR レジスタの BOEIE ビット RSCAN0CmCTR レジスタの EPIE ビット RSCAN0CmCTR レジスタの EWIE ビット	

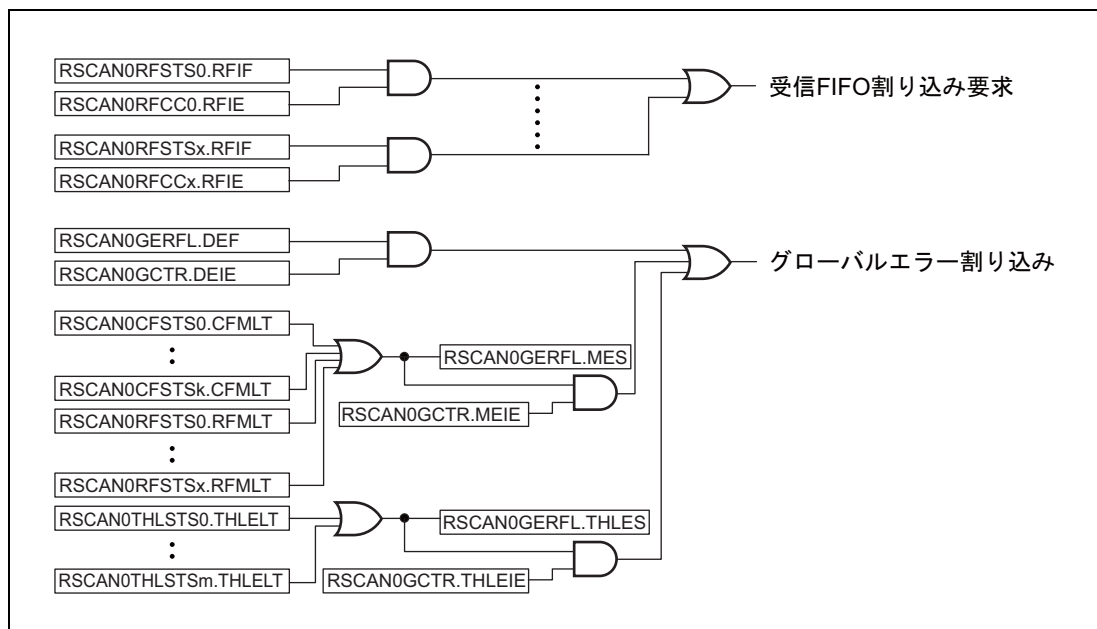


図 17.2 CAN グローバル割り込みブロック図

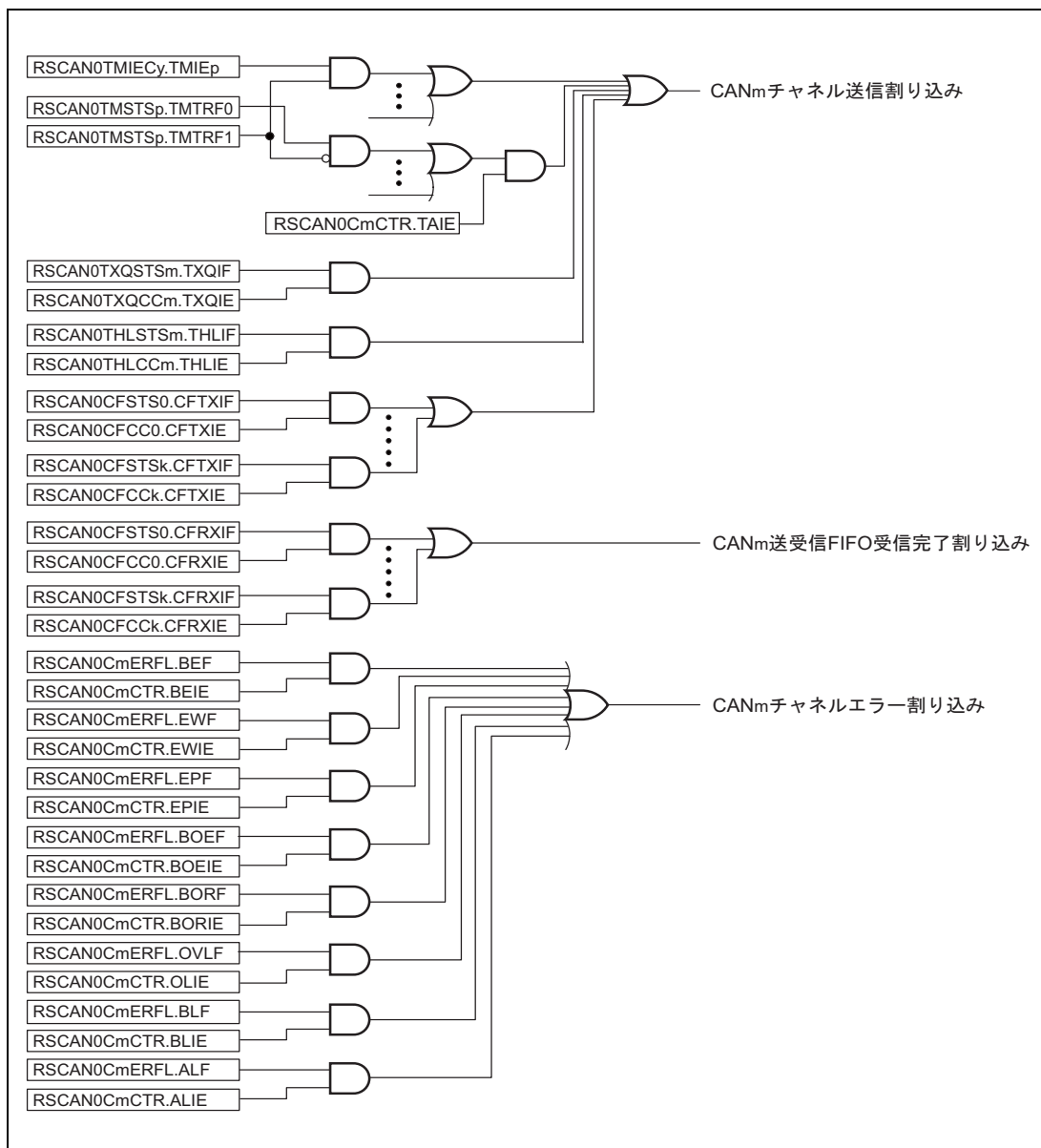


図 17.3 CAN チャンネル割り込みブロック図

17.5 CAN モード

RS-CAN モジュールには、RS-CAN モジュール全体の状態を制御するグローバルモードが4種類と、個々のチャンネル状態を制御するチャンネルモードが4種類あります。「17.5.1 グローバルモード」にグローバルモード、「17.5.2 チャンネルモード」にチャンネルモードの詳細を示します。

- グローバルストップモード : モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード : モジュール全体の初期設定を行う。
- グローバルテストモード : テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード : モジュール全体を動作可能にする。
- チャンネルストップモード : チャンネルのクロックが停止する。
- チャンネルリセットモード : チャンネルの初期設定を行う。
- チャンネル待機モード : CAN 通信を停止させたり、チャンネルのテストを許可する。
- チャンネル通信モード : CAN 通信を行う。

17.5.1 グローバルモード

図 17.4 にグローバルモードの遷移図を示します。

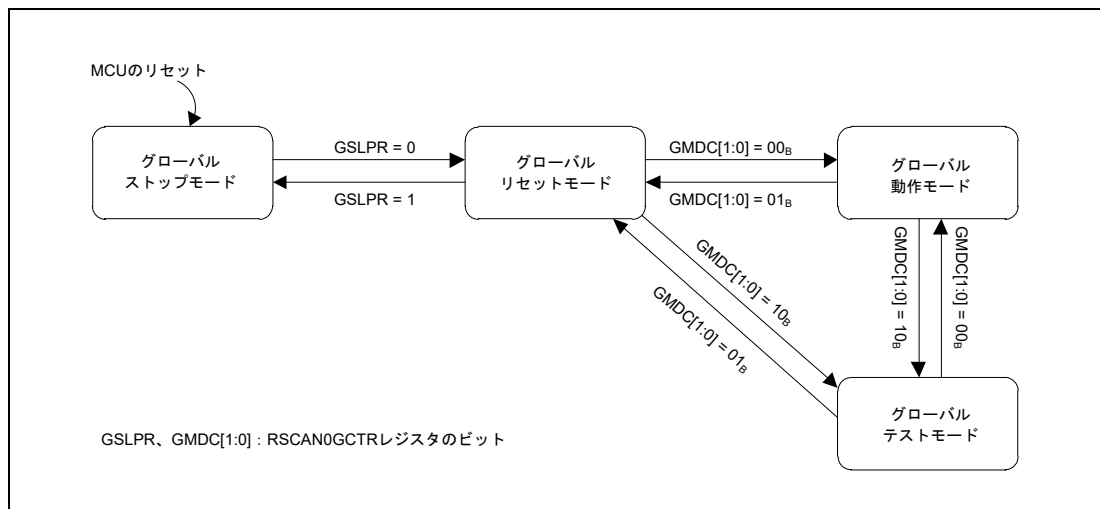


図 17.4 グローバルモードの遷移図

グローバルモードの遷移により、チャンネルのモードが変化することがあります。表 17.87 にグローバルモード設定 ($GMDC[1:0]$ 、 $GSLPR$ ビット) によるチャンネルモードの変化を示します。

表 17.87 グローバルモード設定 (GMDC[1:0]、GSLPR ビット) によるチャンネルモードの変化

設定前の チャンネルモード	設定後のチャンネルモード			
	GMDC[1:0] = 00 _B GSLPR = 0 (グローバル動作)	GMDC[1:0] = 10 _B GSLPR = 0 (グローバルテスト)	GMDC[1:0] = 01 _B GSLPR = 0 (グローバルリセット)	GMDC[1:0] = 01 _B GSLPR = 1 (グローバルストップ)
チャンネル通信	チャンネル通信	チャンネル待機	チャンネルリセット	遷移禁止
チャンネル待機	チャンネル待機	チャンネル待機	チャンネルリセット	遷移禁止
チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルリセット	チャンネルストップ
チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ	チャンネルストップ

注 1. GMDC[1:0] ビットと GSLPR ビットは、RSCAN0GCTR レジスタのビット。

表 17.88 にグローバルモードの遷移時間を示します。

表 17.88 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	pclk の 3 クロック
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	pclk の 3 クロック
グローバル動作	グローバルテスト	CAN フレームの 2 つ分 ^{注 1}

注 1. 使用チャンネルの内、最も遅い通信速度の CAN フレーム時間になります。

17.5.1.1 グローバルストップモード

グローバルストップモードではCANのクロックが停止するので、消費電力が低減されます。CAN関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPRビットへのCPU書き込み用クロックのみが動作します。

MCUのリセット後、グローバルストップモードになります。また、グローバルリセットモード時にRSCAN0GCTRレジスタのGSLPRビットを“1”（グローバルストップモード）にすると、各RSCAN0CmCTRレジスタのCSLPRビットが“1”（チャンネルストップモード）になります。すべてのチャンネルが強制的にチャンネルストップモードへ遷移すると、グローバルストップモードになります。GSLPRビットは、グローバル動作モードまたはグローバルテストモードでは書き換えしないでください。

17.5.1.2 グローバルリセットモード

グローバルリセットモードでRS-CANモジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。表17.91と表17.92に初期化されるレジスタ一覧を示します。

RSCAN0GCTRレジスタのGMDC[1:0]ビットを“01_B”に設定すると、各RSCAN0CmCTRレジスタ(m=0~2)のCHMDC[1:0]ビットが“01_B”（チャンネルリセットモード）になります。すべてのチャンネルが強制的にチャンネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャンネルリセットモードまたはチャンネルストップモードであるチャンネルはモード遷移しません（CHMDC[1:0]ビットがすでに“01_B”に設定されているため）。

17.5.1.3 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべてのCAN通信は停止します。

RSCAN0GCTRレジスタのGMDC[1:0]ビットを“10_B”に設定すると、各RSCAN0CmCTRレジスタのCHMDC[1:0]ビットが“10_B”（チャンネル待機モード）になります。すべてのチャンネルが強制的にチャンネル待機モードへ遷移すると、グローバルテストモードになります。チャンネルストップモード、チャンネルリセットモード、またはチャンネル待機モードであるチャンネルは、モード遷移しません。

17.5.1.4 グローバル動作モード

グローバル動作モードではRS-CANモジュールが動作します。

RSCAN0GCTRレジスタのGMDC[1:0]ビットを“00_B”にすると、グローバル動作モードに遷移します。

17.5.2 チャネルモード

図 17.5 にチャネルモードの状態遷移図を示します。表 17.89 にチャネルモードの遷移時間を示します。

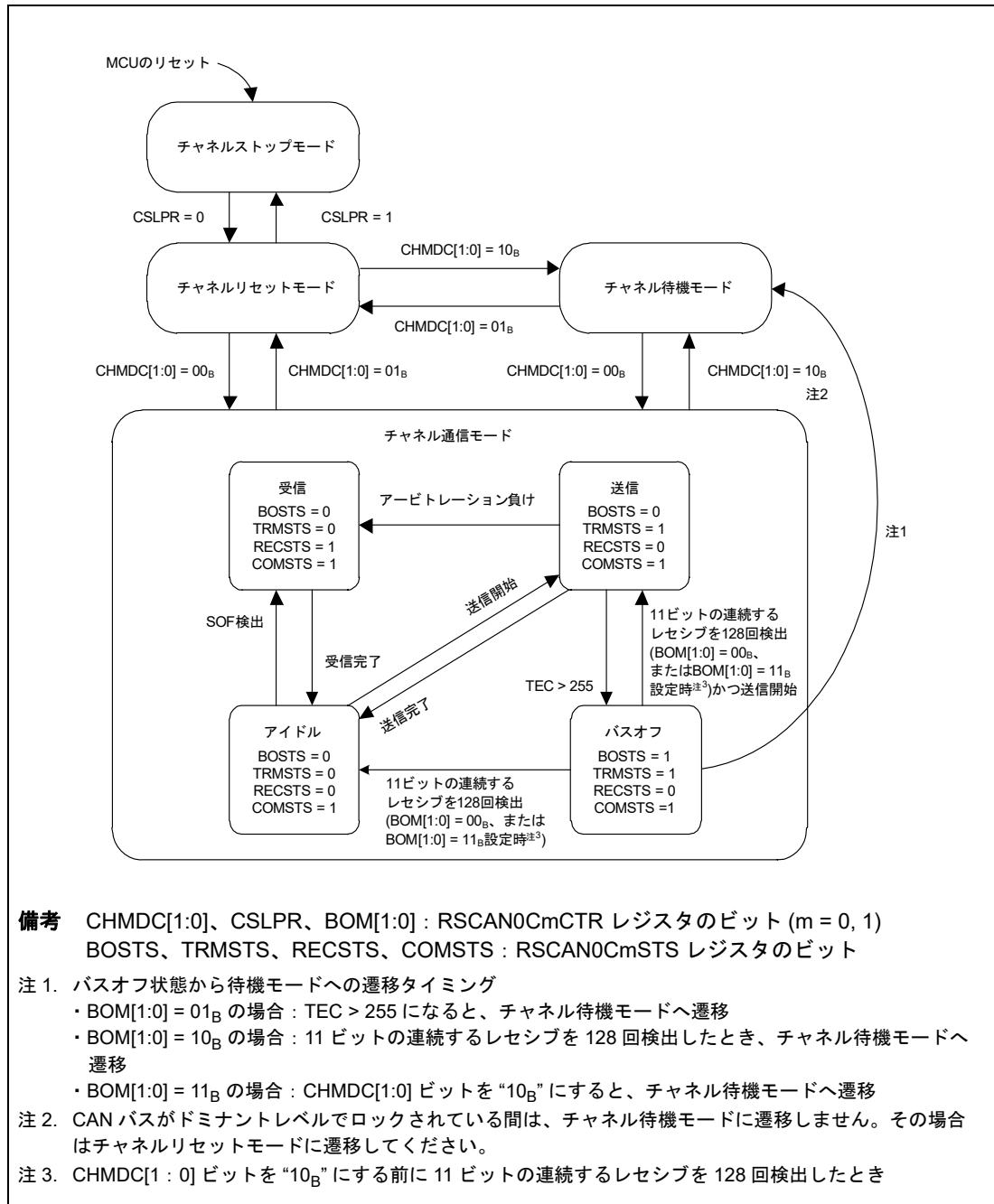


図 17.5 チャネルモードの状態遷移図

表 17.89 チャンネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャンネルストップ	チャンネルリセット	pclk の 3 クロック
チャンネルリセット	チャンネルストップ	pclk の 3 クロック
チャンネルリセット	チャンネル待機	3CANm ビットタイム
チャンネルリセット	チャンネル通信	2CANm ビットタイム
チャンネル待機	チャンネルリセット	pclk の 3 クロック
チャンネル待機	チャンネル通信	3 CANm ビットタイム
チャンネル通信	チャンネルリセット	pclk の 3 クロック
チャンネル通信	チャンネル待機	CANm フレームの 2 つ分

17.5.2.1 チャンネルストップモード

チャンネルストップモードでは、チャンネルへ供給するクロックが停止するので、消費電力が低減されます。チャンネル関連レジスタの読み出しは可能ですが、書き込みはしないでください (CSLPR ビットへの書き込みを除く)。レジスタ値は保持されます。

各チャンネルは、MCU のリセット後、チャンネルストップモードになります。また、チャンネルリセットモード時に、RSCAN0CmCTR レジスタ (m=0~2) の CSLPR ビットを“1” (チャンネルストップモード) にすると、チャンネルストップモードに遷移します。CSLPR ビットはチャンネル通信モードおよびチャンネル待機モードでは書き換えしないでください。

17.5.2.2 チャンネルリセットモード

チャンネルリセットモードでチャンネルの設定を行います。チャンネルリセットモードに遷移すると、一部のチャンネル関連レジスタが初期化されます。表 17.91 に初期化されるレジスタ一覧を示します。

CAN 通信中に RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを“01_B” (チャンネルリセットモード) にすると、送受信の完了を待たずに通信が中断され、チャンネルリセットモードへ遷移します。表 17.90 に CAN 通信中に CHMDC[1:0] ビットを“01_B” (チャンネルリセットモード) に設定したときの動作を示します。

17.5.2.3 チャンネル待機モード

チャンネル待機モードでチャンネルのテスト関連レジスタの設定を行います。チャンネル待機モードに遷移すると、チャンネルの CAN 通信は停止します。

表 17.90 に CAN 通信中に CHMDC[1:0] ビットを“10_B” (チャンネル待機モード) に設定したときの動作を示します。

表 17.90 チャンネルリセット/チャンネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャンネルリセット (CHMDC[1:0] = "01 _B ")	受信の終了を待たずにチャンネルリセットモードに遷移 ^{注1}	送信の終了を待たずにチャンネルリセットモードに遷移 ^{注1}	バスオフ復帰の終了を待たずにチャンネルリセットモードに遷移
チャンネル待機 ^{注3} (CHMDC[1:0] = "10 _B ")	受信の終了を待ってチャンネル待機モードに遷移 ^{注2}	送信の終了を待ってチャンネル待機モードに遷移	【BOM[1:0] ビットが "00 _B " の場合】 バスオフ復帰後のみ、チャンネル待機モード遷移 (CHMDC[1:0] = "10 _B ") が実行される 【BOM[1:0] ビットが "01 _B " の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャンネル待機モードに遷移 【BOM[1:0] ビットが "10 _B " の場合】 バスオフ復帰の終了を待って自動的にチャンネル待機モードに遷移 【BOM[1:0] ビットが "11 _B " の場合】 CHMDC[1:0] ビットに "10 _B " が設定されるとすぐにチャンネル待機モードに遷移 (バスオフ復帰の終了は待たない)

注 1. 通信が終了した後にチャンネルリセットモードへ遷移するには、まず CHMDC[1:0] ビットを "10_B" に設定し、通信が終了しチャンネル待機モードへ遷移したことを確認してから、CHMDC[1:0] ビットを "01_B" に設定してください。

注 2. CAN バスがドミナントレベルでロックされている間は、チャンネル待機モードに遷移しません。その場合はチャンネルリセットモードに遷移してください。ドミナントロックを検出すると RSCAN0CmERFL レジスタの BLF フラグが "1" になるので、CAN バスの状態を確認できます。

注 3. チャンネルリセットモードからチャンネル待機モードへ遷移する場合、チャンネルリセットモードで RSCAN0CmCFG レジスタを設定してからチャンネル待機モードへ遷移してください。

17.5.2.4 チャンネル通信モード

チャンネル通信モードで CAN 通信を行います。CAN 通信時、各チャンネルは次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN 通信から遮断されている状態。

RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを "00_B" にすると、チャンネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCAN0CmSTS レジスタ (m = 0 ~ 2) の COMSTS フラグが "1" (通信可能な状態) になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信を開始できるようになります。

17.5.2.5 バスオフ状態

CAN仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。バスオフ状態からの復帰条件は、RSCAN0CmCTRレジスタのBOM[1:0]ビットで設定します。

- BOM[1:0]ビットが“00_B”のとき：
CAN仕様に準拠し、11ビットの連続するレセシブを128回検出後に、バスオフ状態からCAN通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCAN0CmSTSレジスタのTEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化され、RSCAN0CmERFLレジスタのBORFフラグが“1”（バスオフ復帰検出）になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、RSCAN0CmCTRレジスタのCHMDC[1:0]ビットを“10_B”（チャンネル待機モード）にすると、バスオフ復帰が完了（11ビットの連続するレセシブを128回検出）してからチャンネル待機モードに遷移します。
- BOM[1:0]ビットが“01_B”のとき：
バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10_B”になり、チャンネル待機モードへ遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化されません。BORFフラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。
- BOM[1:0]ビットが“10_B”のとき：
バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10_B”になり、バスオフ復帰が完了（11ビットの連続するレセシブを128回検出）してからチャンネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化され、BORFフラグが“1”になり、バスオフ復帰割り込み要求が発生します。
- BOM[1:0]ビットが“11_B”のとき：
バスオフ状態時に、CHMDC[1:0]ビットを“10_B”にすると、バスオフ復帰を待たずにチャンネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化されます。BORFフラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。
ただし、CHMDC[1:0]ビットを“10_B”にする前に11ビットの連続するレセシブを128回検出し、エラーアクティブ状態に復帰した場合、BORFフラグが“1”になり、バスオフ復帰割り込み要求が発生します。

RS-CANモジュールによるチャンネル待機モードへの遷移と、プログラムによるCHMDC[1:0]ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0]ビットを“01_B”または“10_B”に設定した場合のチャンネル待機モードへの自動的な遷移は、CHMDC[1:0]ビットが“00_B”（チャンネル通信モード）のときのみ発生します。

また、RSCAN0CmCTRレジスタのRTBOビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。RTBOビットに“1”を書くと、直ちにエラーアクティブ状態になり、11ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORFフラグは“1”になりません。TEC[7:0]ビットとREC[7:0]ビットは“00_H”に初期化されます。RTBOビットは、BOM[1:0]ビットが“00_B”のときのみ“1”を書いてください。バスオフ状態以外で、RTBOビットに“1”を書いても無視され、RTBOビットは直ちに“0”になります。

表 17.91 グローバルリセットモードおよびチャンネルリセットモードで初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCAN0CmCTR レジスタ	CTMS[1:0], CTME, CHMDC[1:0]
RSCAN0CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, REC[7:0], TEC[7:0]
RSCAN0CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCAN0CFCCk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFE
RSCAN0CFSTSk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCAN0CFTISTS レジスタ	CFkTXIF
RSCAN0TMCP レジスタ	TMOM, TMTAR, TMTR
RSCAN0TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCAN0TMTRSTSy レジスタ	TMTRSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCAN0TMTARSTSy レジスタ	TMTARSTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCAN0TMTCASTSy レジスタ	TMTCASTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCAN0TMTASTSy レジスタ	TMTASTSp (チャンネルリセットモード時は、対応するチャンネルのビットが初期化される)
RSCAN0TXQCCm レジスタ	TXQE
RSCAN0TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCAN0THLCCm レジスタ	THLE
RSCAN0THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCAN0GTINTSTS0 レジスタ	TSIFm, TAIEm, TQIFm, CFTIFm, THIFm (m = 0 ~ 2)

表 17.92 グローバルリセットモードでのみ初期化されるレジスタ一覧

レジスタ	ビット/フラグ
RSCAN0GSTS レジスタ	GHLTSTS
RSCAN0GERFL レジスタ	THLES, MES, DEF
RSCAN0GTSC レジスタ	TS[15:0]
RSCAN0RMNDy レジスタ	RMNSq
RSCAN0RFCCx レジスタ	RFE
RSCAN0RFSTsx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCAN0CFCCk レジスタ	送受信 FIFO が受信モード時: CFE
RSCAN0CFSTSk レジスタ	送受信 FIFO バッファが受信モード時: CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCAN0FESTS レジスタ	CFkEMP, RFxEMP
RSCAN0FFSTS レジスタ	CFkFLL, RFxFLL
RSCAN0FMSTS レジスタ	CFkMLT, RFxMLT
RSCAN0RFISTS レジスタ	RFxIF
RSCAN0CFRISTS レジスタ	CFkRXIF
RSCAN0GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE
RSCAN0GTSTCTR レジスタ	RTME, ICBCTME

17.6 受信機能

受信の種類には次の2つがあります。

- 受信バッファによる受信：

全チャンネルで共有する受信バッファは、0～48(16×m) バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ (受信モード) による受信：

全チャンネルで共有する受信 FIFO バッファが8本と、各チャンネル専用の送受信 FIFO バッファが1チャンネルにつき3本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

17.6.1 受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は1チャンネルにつき最大128で、モジュール全体では、64×チャンネル数となります(2ch搭載製品は最大128ルール、3ch搭載製品では192ルール登録できます)。受信ルールは各チャンネルごとに設定してください。他のチャンネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。図17.6に受信ルール登録の説明図を示します。

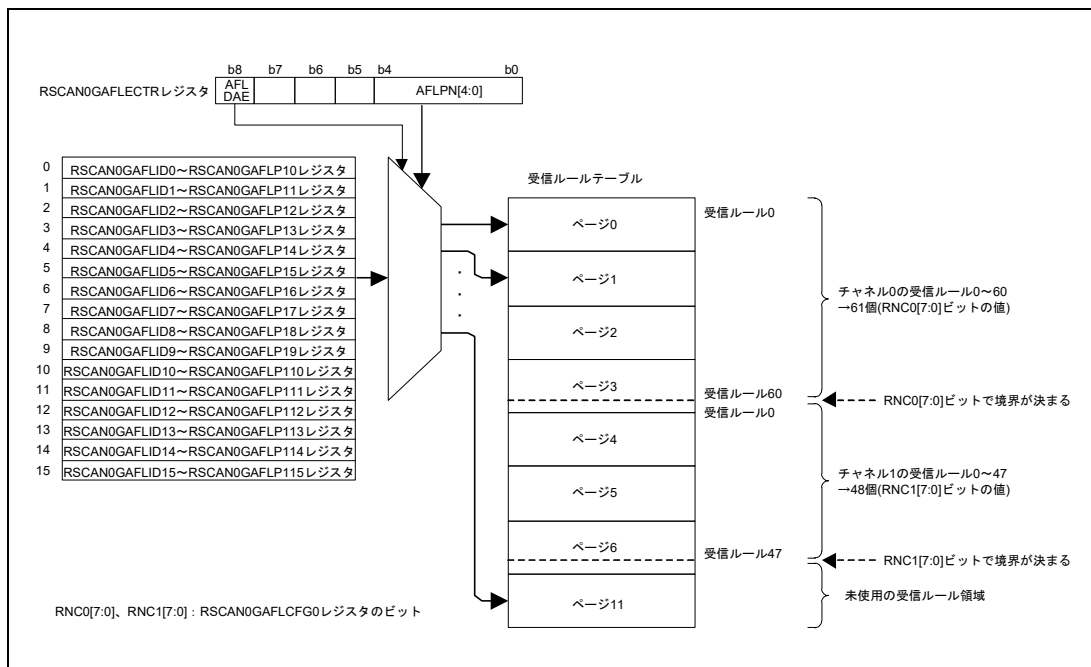


図 17.6 受信ルール登録 (チャンネル0,1 を設定する場合)

注意

各チャンネルの受信ルールは、連続して設定してください。
チャンネル0の受信ルールとチャンネル1の受信ルールを交互に設定することはできません。

各受信ルールは RSCAN0GAFLIDj、RSCAN0GAFLMj、RSCAN0GAFLP0j、RSCAN0GAFLP1j レジスタ (j=0~15) の 16 バイトで構成されています。RSCAN0GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCAN0GAFLMj レジスタではマスク設定、RSCAN0GAFLP0j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCAN0GAFLP1j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

17.6.1.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャンネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCAN0GAFLMj レジスタで“0” (ビットを比較しない) にしたビットに対応する受信メッセージの ID データ、IED ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャンネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

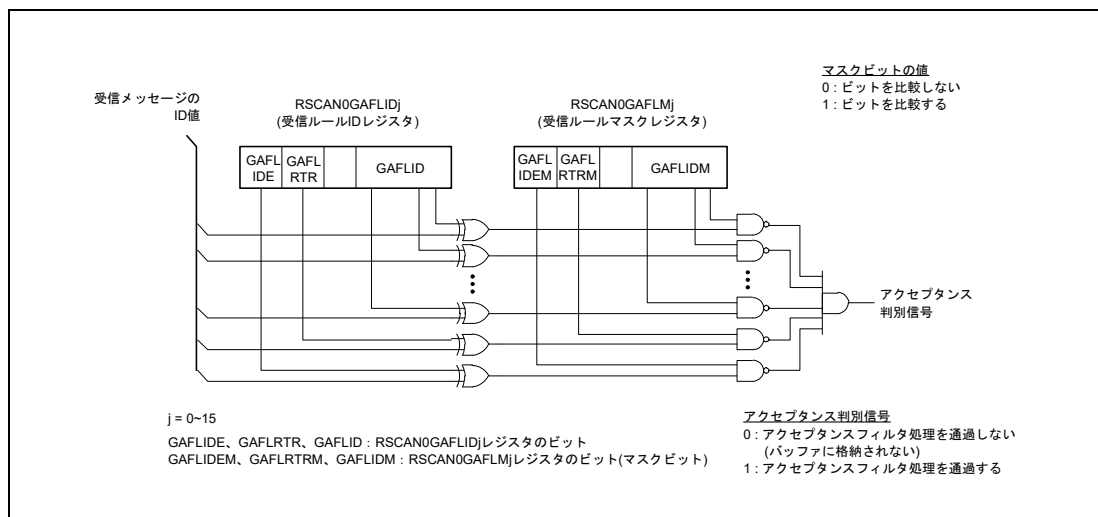


図 17.7 アクセプタンスフィルタ機能

17.6.1.2 DLC フィルタ処理

RSCAN0GCFG レジスタの DCE ビットを“1” (DLC チェック許可) にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCAN0GCFG レジスタの DRE ビットが“0” (DLC 置換禁止) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCAN0GCFG レジスタの DRE ビットが“1” (DLC 置換許可) で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCAN0GERFL レジスタの DEF フラグが“1” (DLC エラー) となります。

17.6.1.3 ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCAN0GAFLP0j レジスタ (j=0~15) の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCAN0GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

17.6.1.4 ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCAN0GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

17.6.1.5 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCAN0GCFG レジスタの MME ビットを“1” (ミラー機能許可) にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCAN0GAFLIDj レジスタの GAFLLB ビットを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

17.6.1.6 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF (スタートオブフレーム) のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCAN0GCFG レジスタの TSBTCS[2:0]、TSSS ビットで、pclk/2 または CANm ビットタイムクロック (m=0~2) から選択できます。選択したクロック源を RSCAN0GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックをクロック源として使用する場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。pclk/2 をクロック源として使用する場合、タイムスタンプ機能はチャンネルモードに影響されません。

タイムスタンプカウンタ値は RSCAN0GCTR レジスタの TSRST ビットを“1”にすると、“0000_H”にリセットされます。

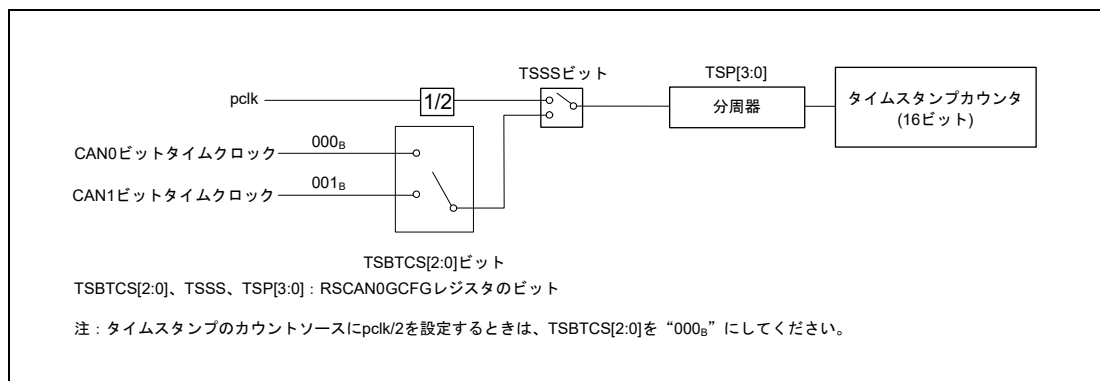


図 17.8 タイムスタンプ機能のブロック図

17.7 送信機能

送信の種類には、次の3つがあります。

- 送信バッファによる送信：
1チャンネルにつき16バッファあります。
- 送受信FIFOバッファ（送信モード）による送信：
1チャンネルにつき3本ずつあります。1本のFIFOバッファに最大128メッセージ格納できます。送信バッファにリンクさせて使用します。FIFOバッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信：
1チャンネルにつき最大16の送信バッファを送信キューに割り付けできます。送信バッファ（ $16 \times m$ ）+15が対応するチャンネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID順に送信されます。

図17.9に送信キューの割り付けと送受信FIFOバッファのリンクを示します。

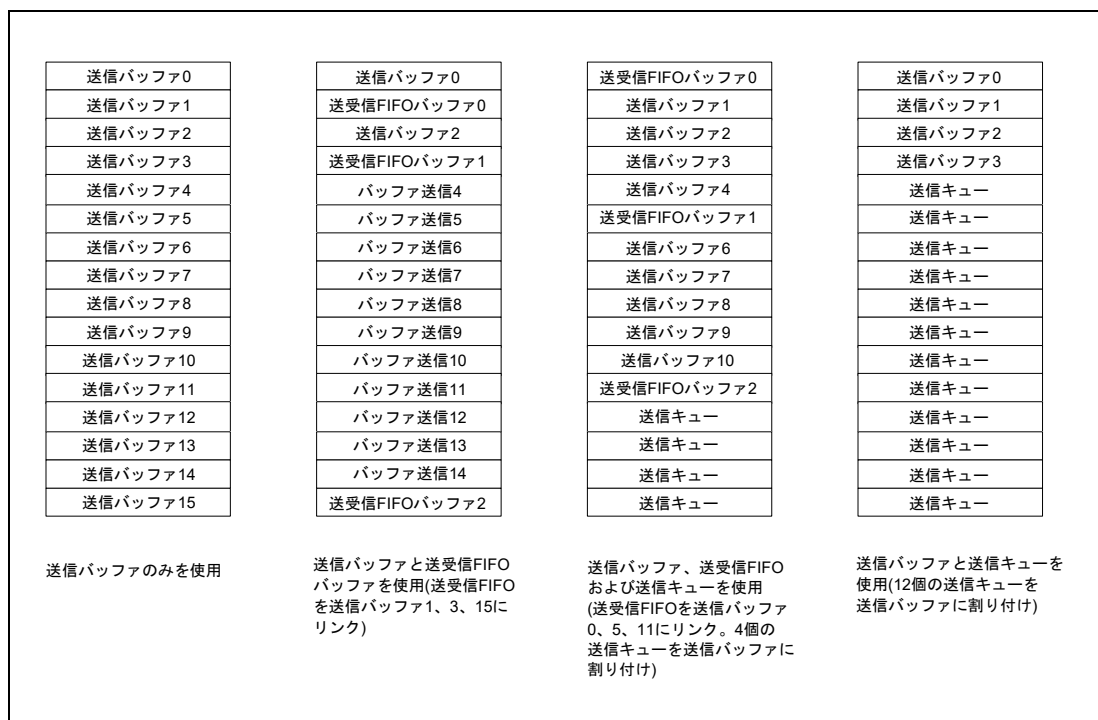


図17.9 送信キューの割り付けと送受信FIFOバッファのリンク

17.7.1 送信の優先順位判定

同一チャネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の2つから選択することができます。

- ID 優先 (TPRI ビットが“0”)
- 送信バッファ番号優先 (TPRI ビットが“1”)

RSCAN0GCFG レジスタの TPRI ビットの設定は、すべての CAN チャネルで有効です。

TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

17.7.2 送信バッファを用いた送信

送信バッファの送信要求ビット (RSCAN0TMCp レジスタの TMTR ビット) を“1” (送信を要求する) にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCAN0TMSTSp レジスタ (p = 0 ~ 47) の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは“10_B” (送信完了: 送信アポート要求なし) または“11_B” (送信完了: 送信アポート要求あり) になります。

17.7.2.1 送信アポート機能

RSCAN0TMSTSp レジスタの TMTRM ビットが“1” (送信要求あり) である送信バッファにおいて、RSCAN0TMCp レジスタの TMTAR ビットを“1” (送信アポートを要求する) にすると、送信要求が取り消されます。送信アポートが完了すると、RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが“01_B” (送信アポート完了) になり、送信要求が取り消されます (TMTRM ビットが“0”になる)。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアポートできません。ただし、TMTAR ビットを“1”にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

17.7.2.2 ワンショット送信機能 (再送信禁止機能)

RSCAN0TMCp レジスタの TMOM ビットを“1” (ワンショット送信許可) にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは“10_B”または“11_B”になります。アービトラクションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは“01_B”（送信アボート完了）になります。

17.7.3 FIFO バッファによる送信

1本の送受信 FIFO バッファに、RSCAN0CFCCk レジスタ (k=0~8) の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。一番最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCAN0CFCCk レジスタの CFE ビットを“1”（送受信 FIFO バッファを使用する）にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを“0”（送受信 FIFO バッファを使用しない）にすると、次に示すタイミングで CFEMP フラグが“1”（送受信 FIFO バッファ空）になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトラクションロストの後に、空になります。

CFE ビットを“0”にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを“1”にする前に、CFEMP フラグが“1”になったことを確認してください。

17.7.3.1 インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCAN0CFCCk レジスタの CFE ビットを“1”にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します（CAN プロトコルの EOF7 の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを“0”にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCAN0CFCCk レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに“00_H”を設定してください。

RSCAN0CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを“00_B”にすると pclk/2 を ITRCP[15:0] ビットの値で分周したクロック、“10_B”にすると pclk/2 を ITRCP[15:0] ビットの値×10 で分周したクロック、“x1_B”にすると CANm ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが“00_B”の場合（fPBA は pclk の周波数）：

$$\frac{1}{f_{PBA}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが “10_B” の場合 :

$$\frac{1}{f_{PBA}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが “x1_B” の場合 (fCANBIT は CANm ビットタイムクロックの周波数) :

$$\frac{1}{f_{CANBIT}} \times N$$

図 17.10 にインターバルタイマのブロック図を示します。

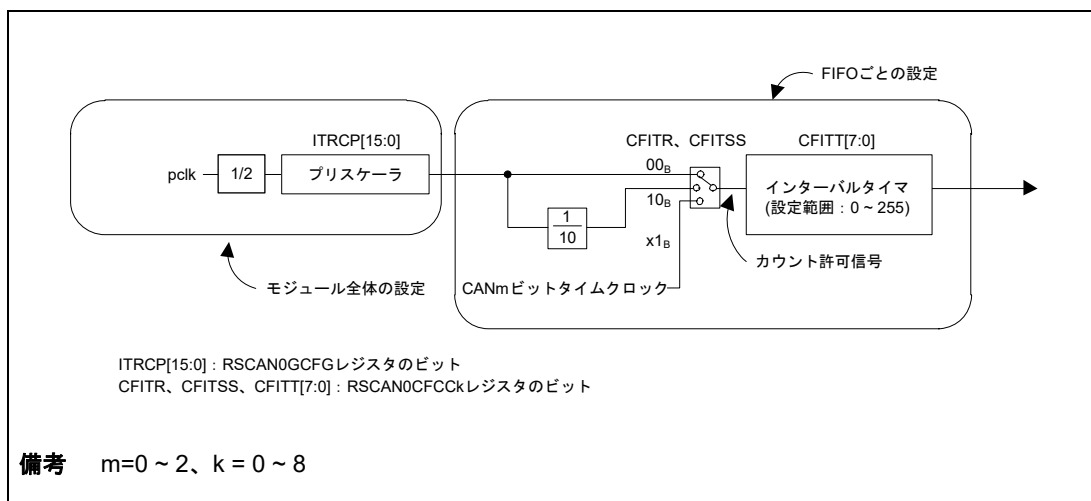


図 17.10 インターバルタイマのブロック図

図 17.11 にインターバルタイマのタイミング図を示します。

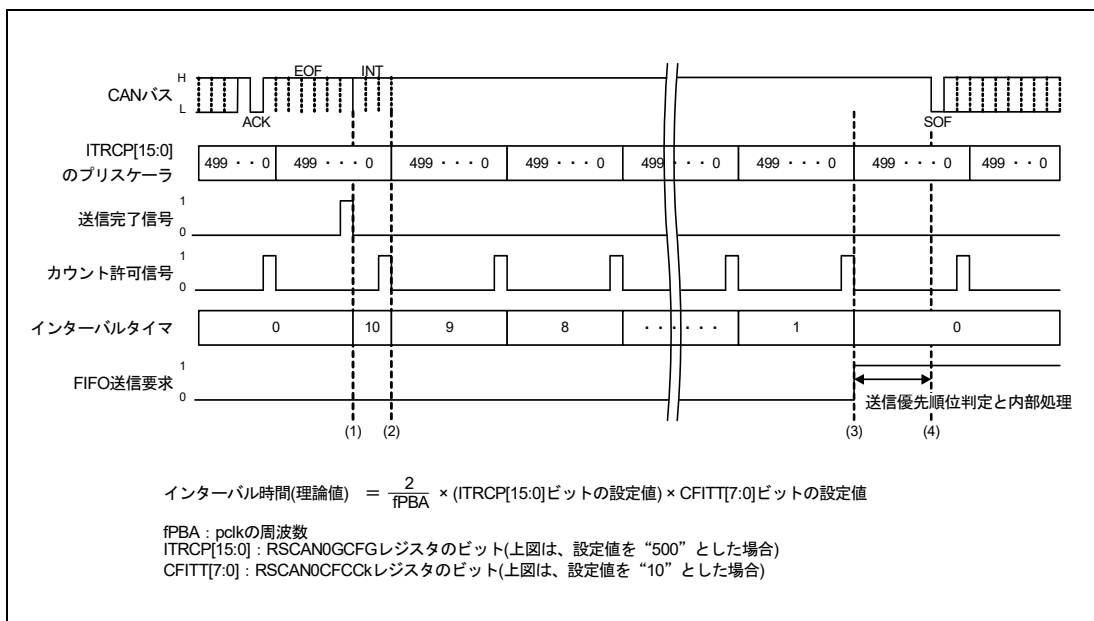


図 17.11 インターバルタイマのタイミング図

1. 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケアラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの1カウント分の誤差が発生します。
2. 次のカウント許可信号で、インターバルタイマは“1”減算されます。
3. インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されません。
4. 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信を開始するまで、通常 CANm ビットタイムクロックの3クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャンネルで発生すると、最大で pclk の 348 クロック分遅延する場合があります。

17.7.4 送信キューによる送信

送信キューは1チャンネルごとに3～16バッファまで割り付けられ、送信バッファ (16×m) + 15 が対応するチャンネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCAN0TXQCCm レジスタの TXQE ビットを“0”にすると、送信キューが使用不可になります。TXQE ビットを“0”にするとき、次に示すタイミングで RSCAN0TXQSTSm レジスタの TXQEMP フラグは“1” (送信キュー空) になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

TXQE ビットを“0”にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを“1”にする前に、TXQEMP フラグが“1”になったことを確認してください。

17.7.5 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャンネルごとに1つの送信履歴バッファを持ち、送信履歴バッファには16個の送信履歴データを格納できます。

RSCAN0THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCAN0CFIDk レジスタ (k=0~8) の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で pclk の132クロック分遅延する場合があります。

- バッファタイプ 001_B: 送信バッファ
 010_B: 送受信 FIFO バッファ
 100_B: 送信キュー
- バッファ番号 送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。これはバッファタイプに依存します。**表 17.93**を参照してください。
- ラベルデータ 送信メッセージのラベル情報

表 17.93 送信履歴データのバッファ番号

バッファタイプ バッファ番号	001 _B	010 _B	100 _B
0000 _B	送信バッファ 16 × m + 0	RSCAN0CFIDk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッ ファの番号 (k = 0 ~ 8)	送信を行った送信キューに割り付け られた送信バッファの番号
0001 _B	送信バッファ 16 × m + 1		
0010 _B	送信バッファ 16 × m + 2		
0011 _B	送信バッファ 16 × m + 3		
0100 _B	送信バッファ 16 × m + 4		
0101 _B	送信バッファ 16 × m + 5		
0110 _B	送信バッファ 16 × m + 6		
0111 _B	送信バッファ 16 × m + 7		
1000 _B	送信バッファ 16 × m + 8		
1001 _B	送信バッファ 16 × m + 9		
1010 _B	送信バッファ 16 × m + 10		
1011 _B	送信バッファ 16 × m + 11		
1100 _B	送信バッファ 16 × m + 12		
1101 _B	送信バッファ 16 × m + 13		
1110 _B	送信バッファ 16 × m + 14		
1111 _B	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、RSCAN0THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとする、バッファがオーバフローし、新しいデータは破棄されます。

17.8 ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャンネルから送信することができます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットを “10_B” (ゲートウェイモード) に設定した送受信 FIFO バッファを RSCAN0GAFLP1j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイモードに設定した送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

17.9 テスト機能

テスト機能は、通信テストとグローバルテストの2つに分類できます。

- 通信テスト: チャンネルごとに行うテスト
 - 標準テストモード
 - リッスンオンリモード
 - セルフテストモード0 (外部ループバックモード)
 - セルフテストモード1 (内部ループバックモード)
- グローバルテスト: モジュール全体で行うテスト
 - RAM テスト (読み書きテスト)
 - チャンネル間通信テスト

17.9.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。

17.9.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 17.12 にリッスンオンリモード選択時の接続を示します。

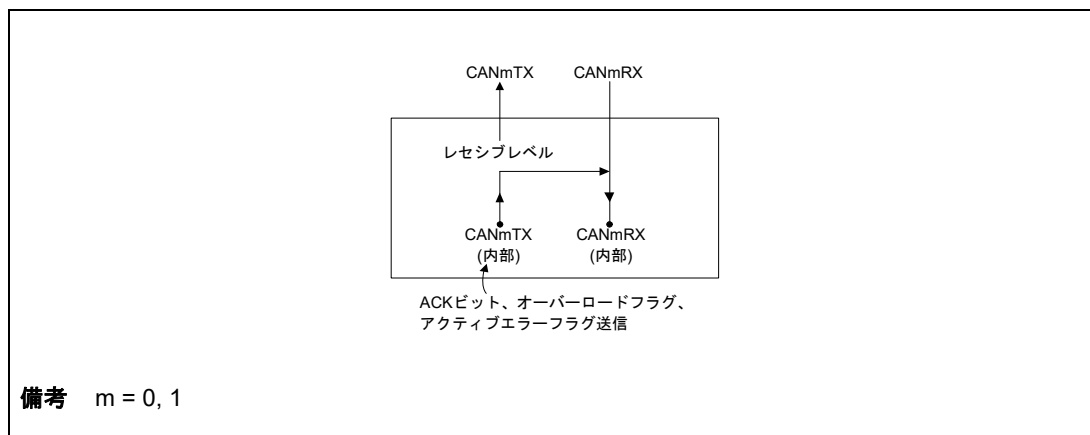


図 17.12 リッスンオンリモード選択時の接続

17.9.3 セルフテストモード (ループバックモード)

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他のCANノードが送信したメッセージは、RSCAN0GAFLIDj レジスタ (j=0~15) のGAFLLB ビットを“0” (他のCANノードが送信したメッセージを受信時) にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

17.9.3.1 セルフテストモード0 (外部ループバックモード)

セルフテストモード0はCANトランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

図 17.13 にセルフテストモード0 選択時の接続を示します。

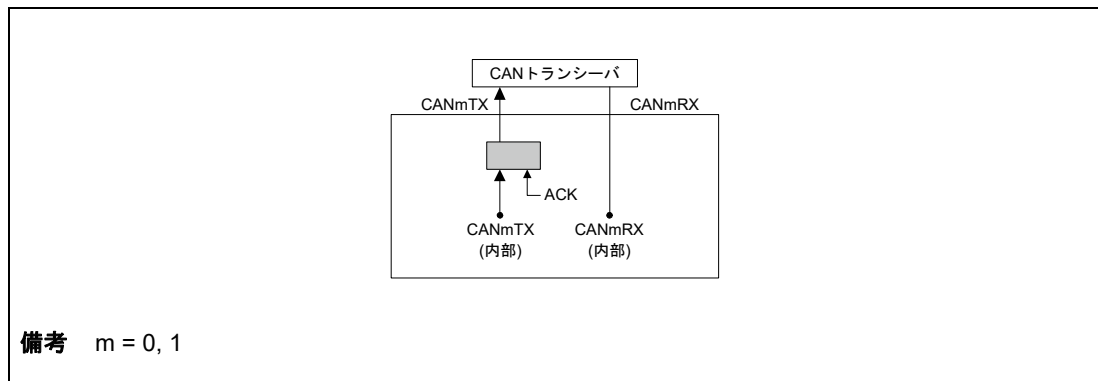


図 17.13 セルフテストモード0 選択時の接続

17.9.3.2 セルフテストモード1 (内部ループバックモード)

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

セルフテストモード1では内部CANmTX端子 (m=0~2) から内部CANmRX端子への内部フィードバックを行います。外部CANmRX端子の入力は、切り離されます。外部CANmTX端子はレセシブビットのみ出力します。

図 17.14 にセルフテストモード1 選択時の接続を示します。

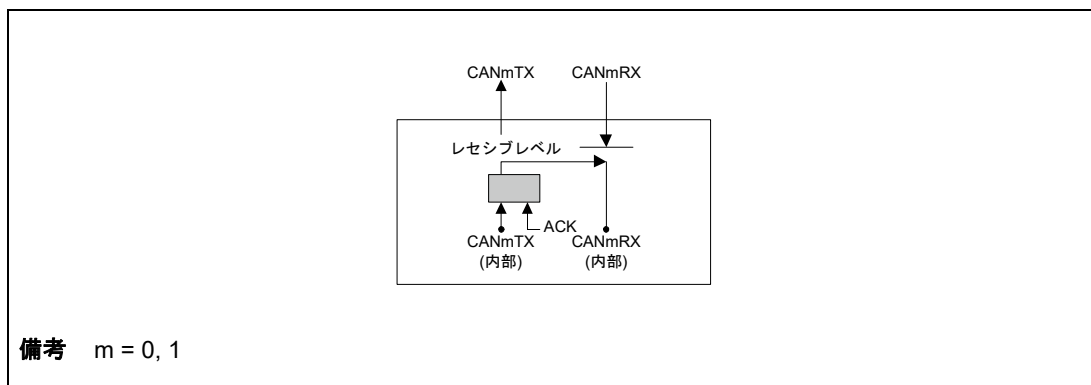


図 17.14 セルフテストモード1 選択時の接続

17.9.4 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCAN0GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCAN0RPGACCr レジスタ (r=0~63) から読み出し/書き込みができます。有効な総 RAM サイズは、7296 バイト (1C7F_H) です。

17.9.5 チャンネル間通信テスト

チャンネル間通信テスト機能を使用すると、CAN チャンネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャンネルは外部の CAN バスから切り離されます。

各チャンネルに対して送受信の設定を行ってから、チャンネル通信モードで送受信を開始してください。テストに参加しないチャンネルは、チャンネル待機モードにしてください。

図 17.15 にチャンネル間通信テスト接続図を示します。

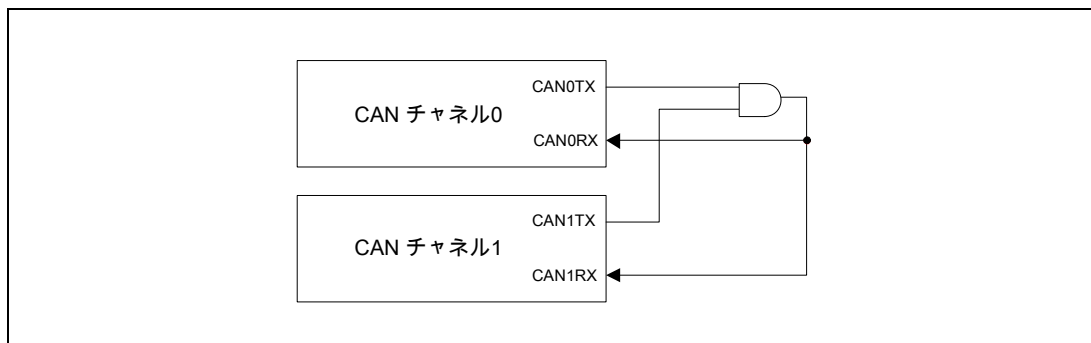


図 17.15 チャンネル間通信テスト接続図

17.10 RS-CAN の設定手順

17.10.1 初期設定

MCUのリセット後にRS-CANモジュールはCAN用RAMの初期化を行います。RAMの初期化時間は、pclkの3650サイクルです。RAMの初期化中は、RSCAN0GSTSレジスタのGRAMINITフラグが“1”（CAN用RAMクリア中）になり、初期化が終了すると“0”（CAN用RAMクリア完了）になります。GRAMINITフラグが“0”になった後にCANの設定を行ってください。図17.16にMCUのリセット後の設定手順を示します。

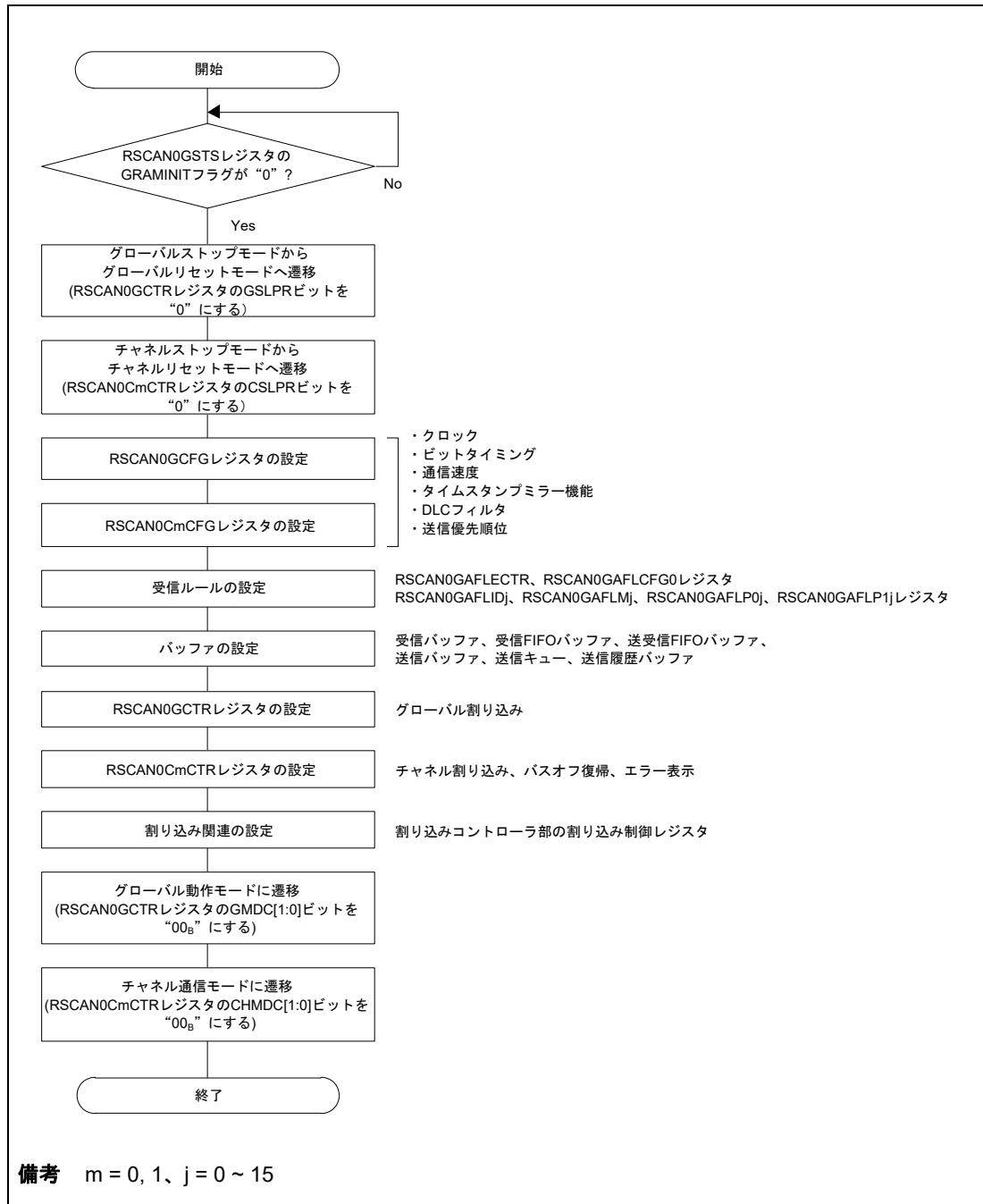


図 17.16 MCUのリセット後の設定手順

17.10.1.1 クロックの設定

RS-CAN モジュールのクロック源である CAN クロック (fCAN) を設定します。
RSCAN0GCFG レジスタの DCS ビットで、clk_c、または clk_xincan を選択します。

17.10.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャンネルごとに RSCAN0CmCFG レジスタで設定できます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum (以下 Tq) 単位で調整できます。1Tq は、RSCAN0GCFG レジスタの DCS ビットで選択したクロックを RSCAN0CmCFG レジスタの BRP[9:0] ビットで分周したクロック (CANmTq クロック) の周期になります。

図 17.17 にビットタイミング図を示します。表 17.94 にビットタイミングの設定例を示します。

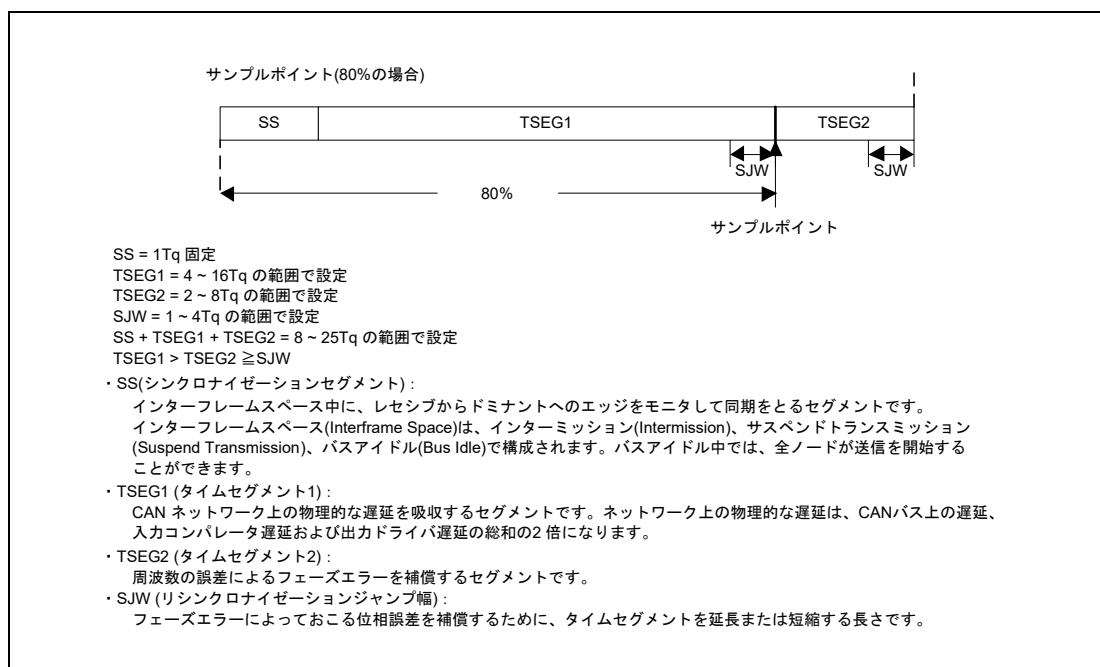


図 17.17 ビットタイミング図

表 17.94 ビットタイミングの設定例

1 ビット	設定値 (Tq)				サンプルポイント (%) ※ 図 17.17 を参照
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00

17.10.1.3 通信速度の設定

CANの通信速度は、fCAN、ポーレートプリスケアラ分周値（RSCAN0CmCFGレジスタのBRP[9:0]ビット）、および1ビットタイムのTq数を用いてチャンネルごとに設定します。

図 17.18 に CAN クロック制御ブロック図、表 17.95 に通信速度の設定例を示します。

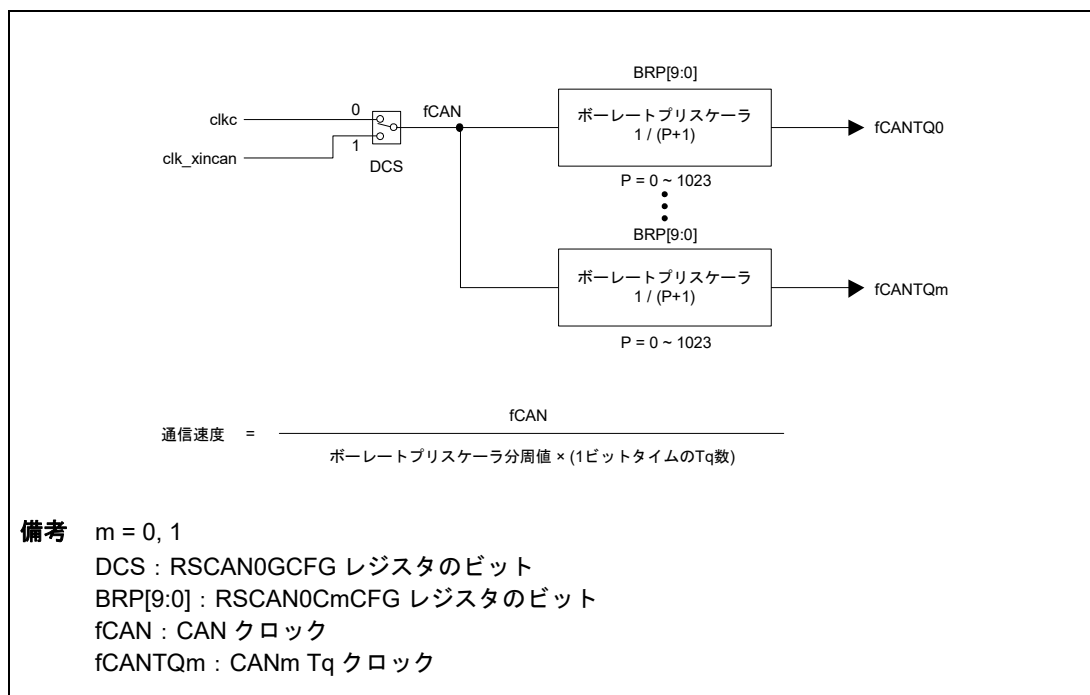


図 17.18 CAN クロック制御ブロック図

表 17.95 通信速度の設定例

fCAN \ 通信速度	40MHz	16MHz
1Mbps	8Tq (5) 20Tq (2)	8Tq (2) 16Tq (1)
500Kbps	8Tq (10) 20Tq (4)	8Tq (4) 16Tq (2)
250Kbps	8Tq (20) 20Tq (8)	8Tq (8) 16Tq (4)
125Kbps	8Tq (40) 20Tq (16)	8Tq (16) 16Tq (8)

備考 () 内の数字はポーレートプリスケアラ分周値

17.10.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCAN0GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ~ 11 を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可/禁止を設定します。

図 17.19 に受信ルール設定手順について示します。

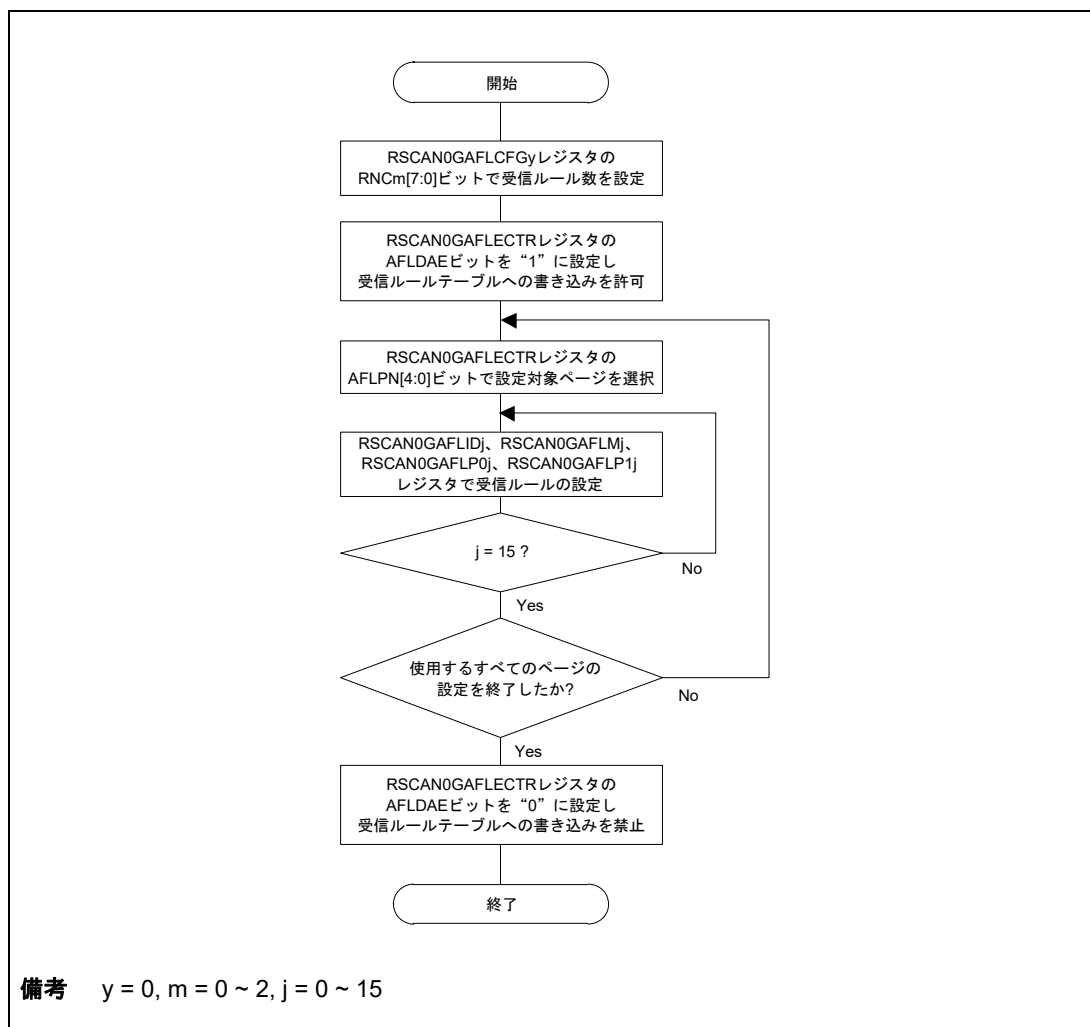


図 17.19 受信ルール設定手順

17.10.1.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

図 17.20 にバッファの構成を示します。図 17.21 に各種バッファの設定手順を示します。

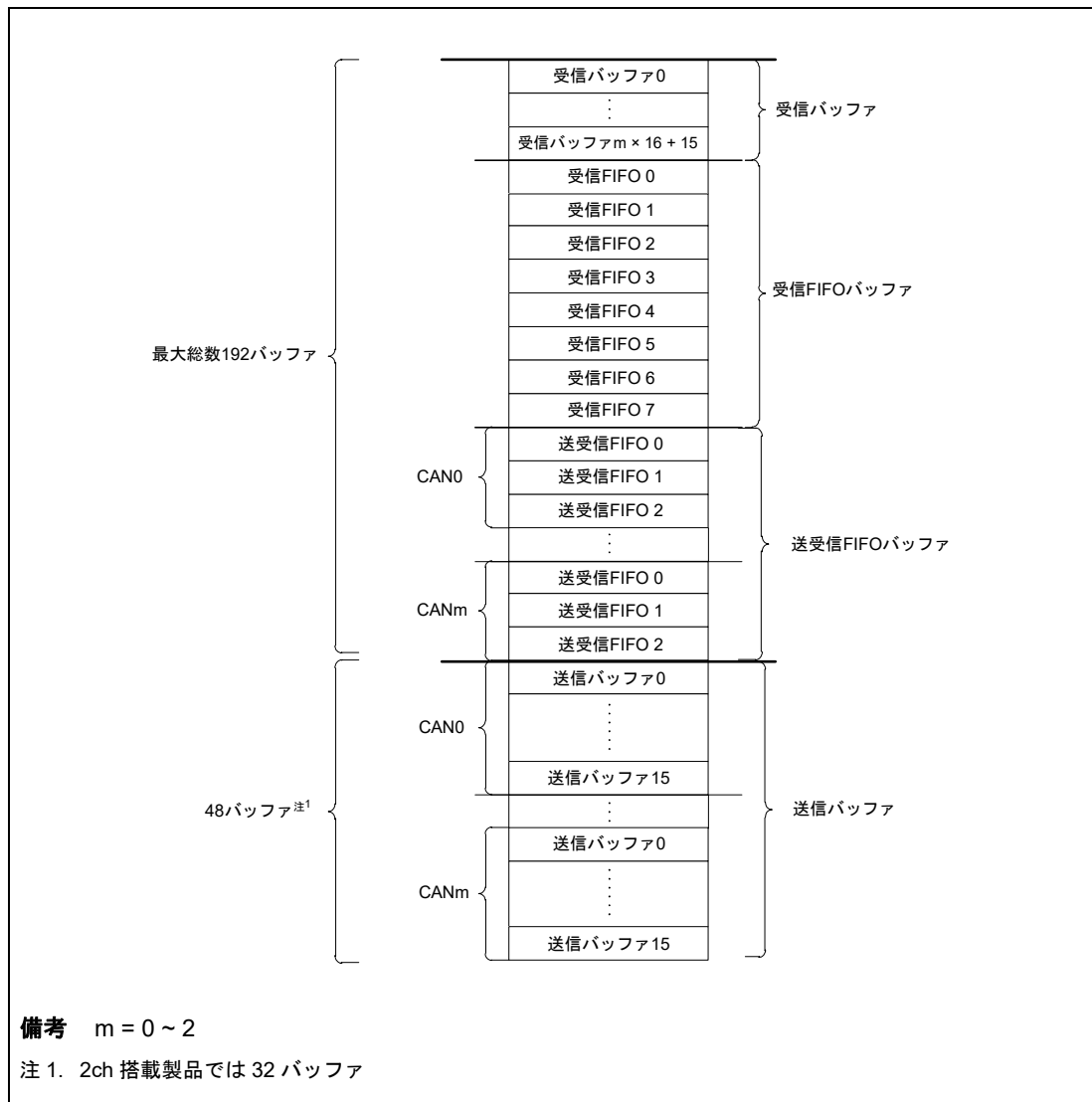


図 17.20 バッファの構成

注 意

受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。

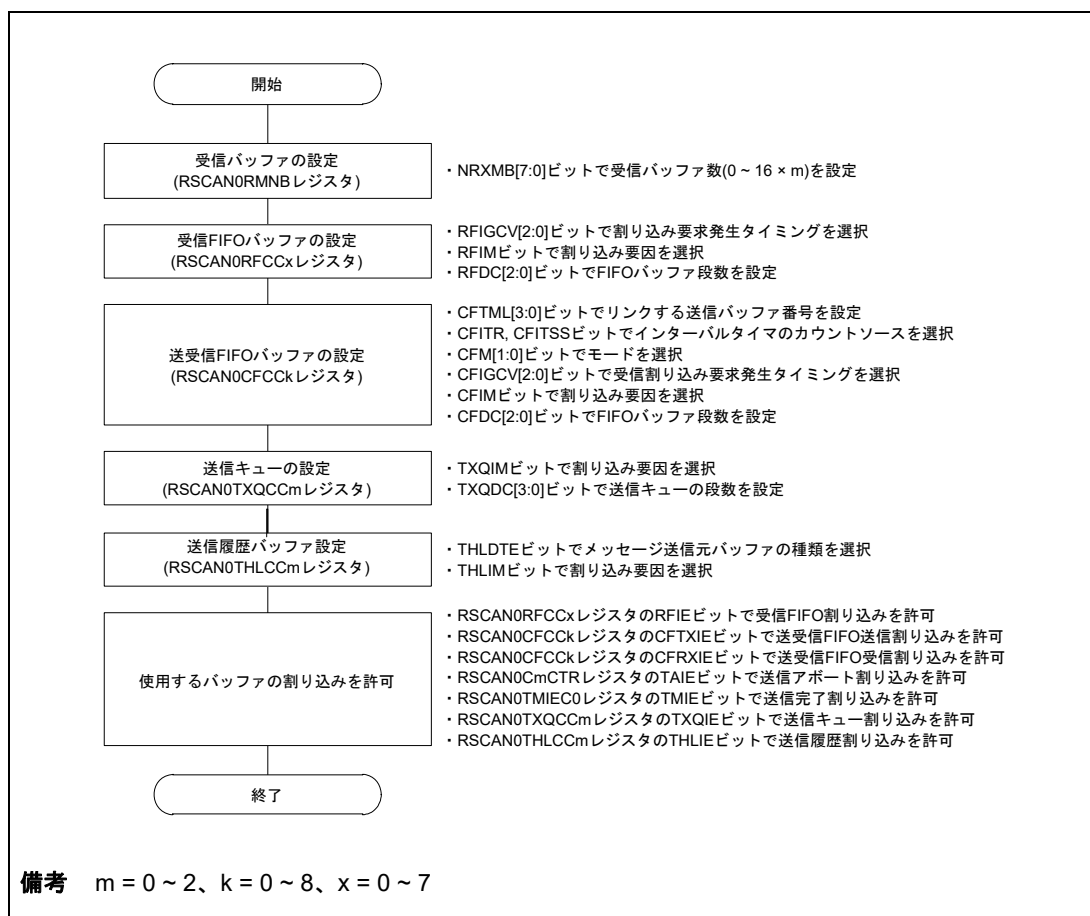


図 17.21 各種バッファの設定手順

17.10.2 受信手順

17.10.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCAN0RMND y レジスタのRMNS q フラグ ($y=0, 1, q=0\sim 47$) が“1” (受信バッファ q に新しいメッセージあり) になります。メッセージは RSCAN0RMID q 、RSCAN0RMPTR q 、RSCAN0RMDF0 q 、RSCAN0RMDF1 q レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。図 17.22 に受信バッファの読み出し手順を示します。

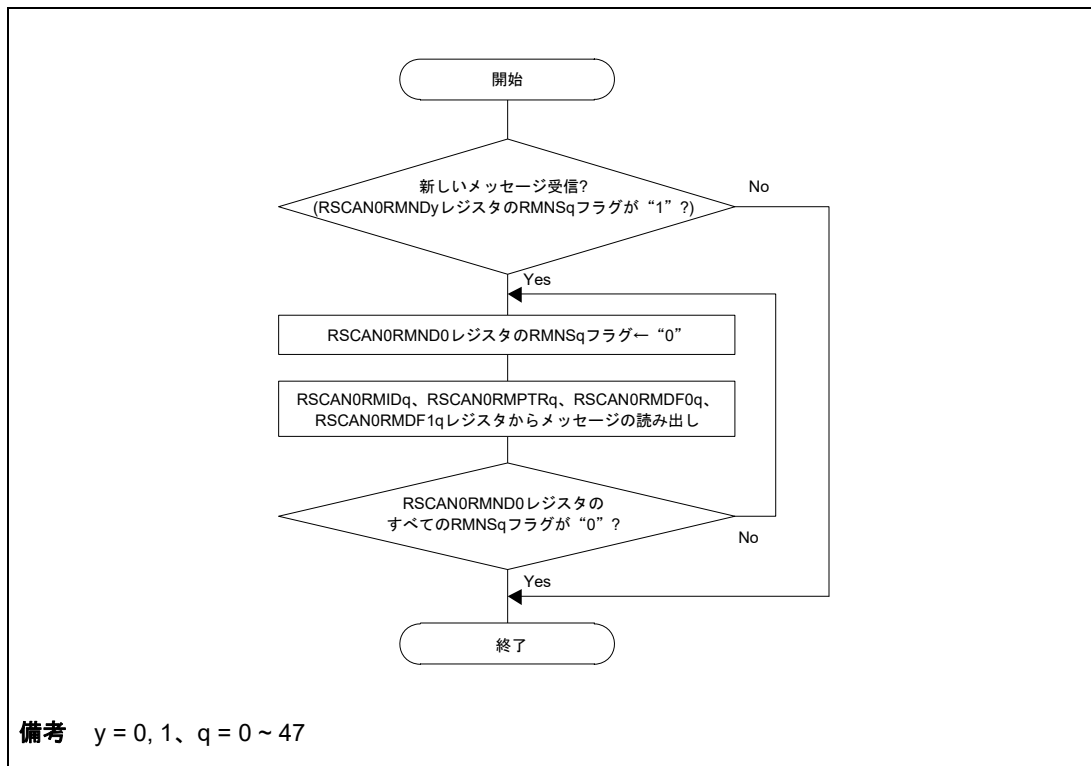


図 17.22 受信バッファの読み出し手順

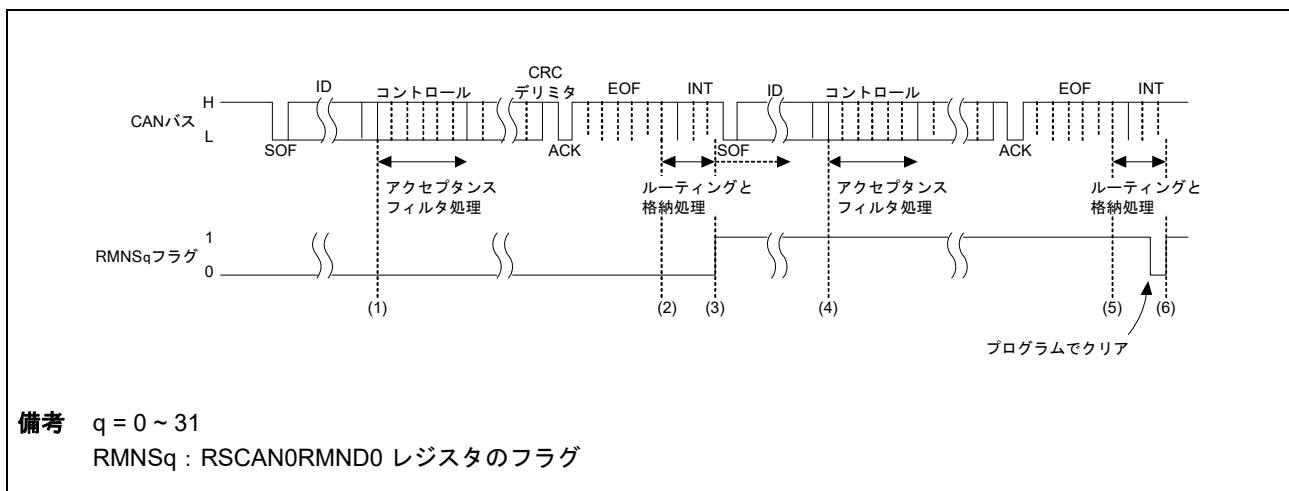


図 17.23 受信バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
2. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
メッセージの格納処理が始まると、対応する RSCAN0RMNDy レジスタの RMNSq フラグが“1” (受信バッファに新しいメッセージあり) になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っている場合、ルーティング処理や格納処理が遅延する場合があります。
4. 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
5. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
6. 対応する RMNSq フラグを“0” (受信バッファに新しいメッセージなし) にクリアした場合、メッセージの格納処理が始まると、再度“1”になります。RMNSq フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを“0”にできません。

17.10.2.2 FIFO バッファの読み出し手順

受信メッセージが1つ以上の受信 FIFO バッファまたは、受信モード/ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ (RSCAN0RFSTS_x レジスタ ($x=0\sim 7$) の RFMC[7:0] ビットまたは RSCAN0CFSTS_k レジスタ ($k=0\sim 8$) の CFMC[7:0] ビット) の値が1加算されます。このとき、RSCAN0RFCC_x レジスタの RFIE ビット (受信 FIFO 割り込み許可ビット) や RSCAN0CFCC_k レジスタの CFRXIE ビット (送受信 FIFO 受信割り込み許可ビット) を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCAN0RFID_x、RSCAN0RFPTR_x、RSCAN0RFDf0_x、RSCAN0RFDf1_x レジスタから、送受信 FIFO バッファの場合は RSCAN0CFID_k、RSCAN0CFPTR_k、RSCAN0CFDF0_k、RSCAN0CFDF1_k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値 (RSCAN0RFCC_x レジスタの RFDC[2:0] ビットまたは RSCAN0CFCC_k レジスタの CFDC[2:0] ビットで設定した値) に一致したとき、RFLL フラグまたは CFLL フラグが“1” (FIFO バッファフル) になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCAN0RFSTS_x レジスタの RFEMP フラグまたは RSCAN0CFSTS_k レジスタの CFEMP フラグが“1” (FIFO バッファ空) になります。

割り込み要求フラグ (RSCAN0RFSTS_x レジスタの RFIF フラグまたは RSCAN0CFSTS_k レジスタの CFRXIF フラグ) が“1” (割り込み要求あり) の状態で RFE ビットや CFE ビットを“0” (FIFO バッファを使用しない) にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。

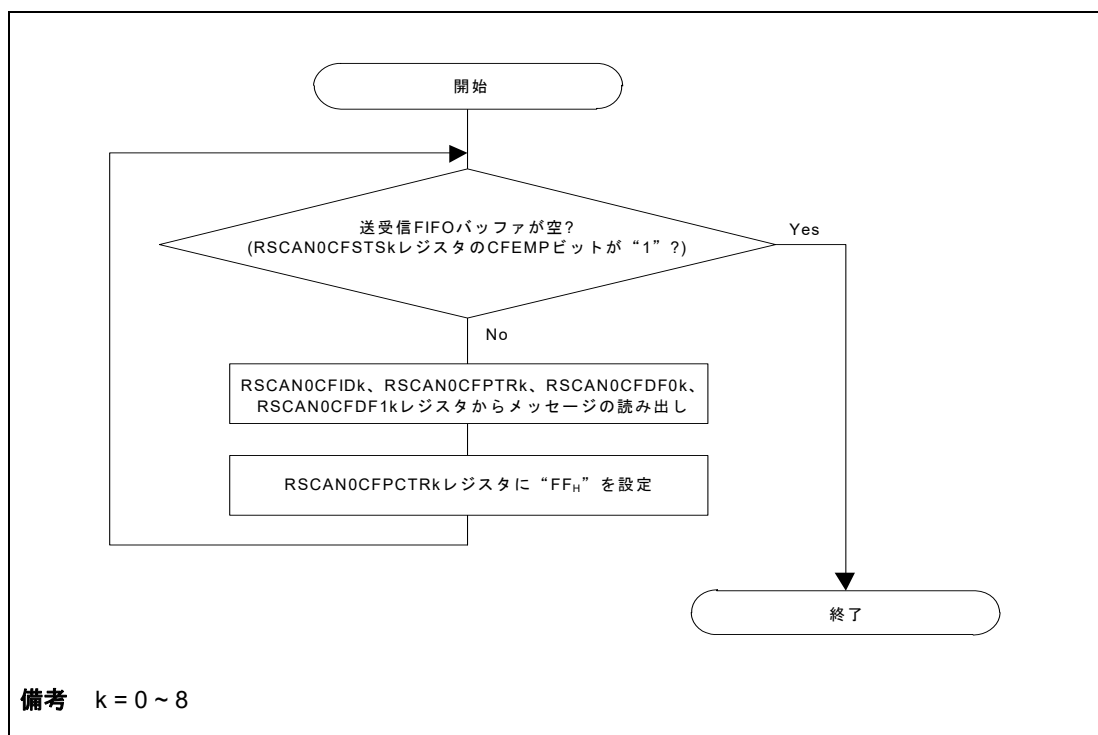


図 17.24 送受信 FIFO バッファの読み出し手順

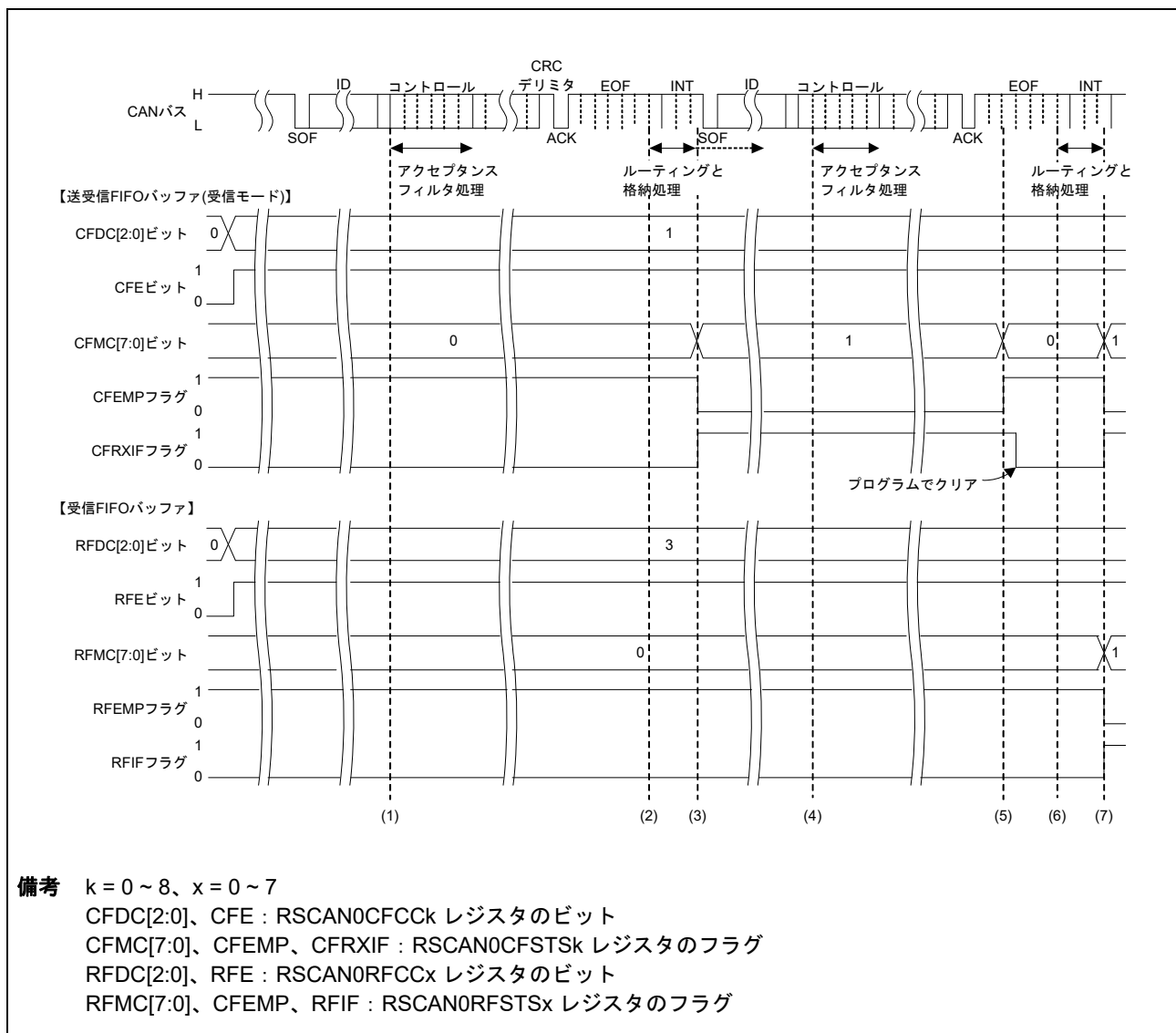


図 17.25 FIFO バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
2. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0CFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過し、かつ RSCAN0CFCCk レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する) で、RSCAN0CFCCk レジスタの CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて“01_H”になります。RSCAN0CFCCk レジスタの CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RSCAN0CFSTSk レジスタの CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。CFRXIF フラグはプログラムで“0”にできます。

4. 次のメッセージの ID フィールドを受信し終わると、アクセプタンスフィルタ処理が開始します。
5. RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから受信メッセージを読み出し、RSCAN0CFPCTRk レジスタに“FF_H”を書きます。それにより、RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 減算されて“00_H”になり、RSCAN0CFSTSk レジスタの CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。
6. 対応するチャンネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが“1” (DLC チェック許可) の場合、この時点で DLC フィルタ処理を行います。
7. DLC フィルタ処理を通過し、かつ CFE ビットが“1” (送受信 FIFO バッファを使用する)、CFDC[2:0] ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが 1 加算されて“01_H”になります。CFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、CFRXIF フラグが“1” (送受信 FIFO 受信割り込み要求あり) になります。また、RSCAN0RFCCx レジスタの RFE ビットが“1” (受信 FIFO バッファを使用する)、RSCAN0RFCCx レジスタの RFDC[2:0] ビットの値が“001_B”以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCAN0RFSTSk レジスタの RFMC[7:0] ビットが 1 加算されて“01_H”になります。RSCAN0RFCCx レジスタの RFIM ビットを“1” (1 メッセージ受信ごとに割り込み要求発生) にしている場合、RSCAN0RFSTSk レジスタの RFIF フラグが“1” (受信 FIFO 割り込み要求あり) になります。

17.10.3 送信手順

17.10.3.1 送信バッファからの送信手順

図 17.26 に送信バッファからの送信手順を示します。

図 17.27 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 17.28 に、同一チャネルの2つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。



図 17.26 送信バッファからの送信手順

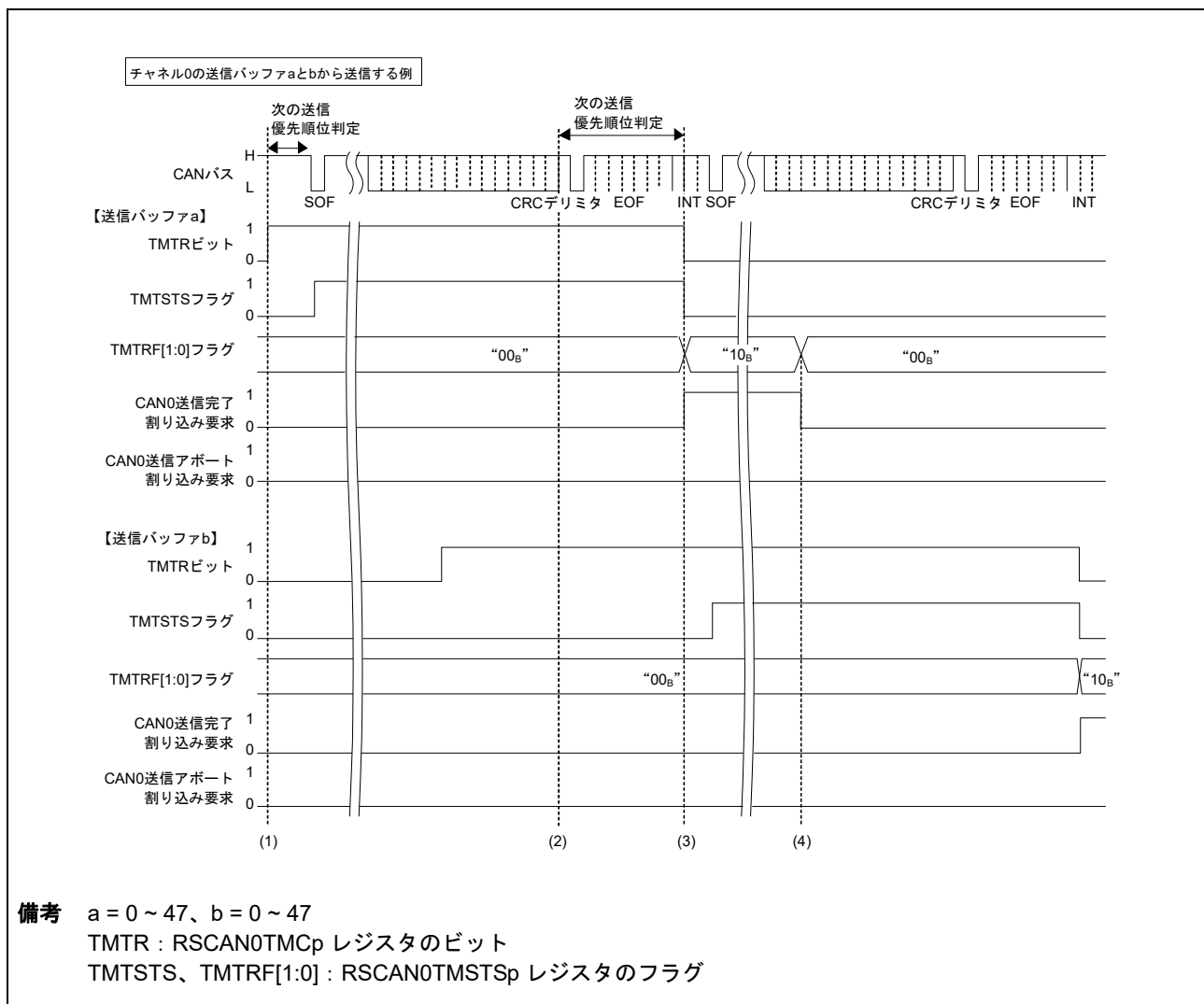


図 17.27 送信バッファの送信タイミング図 (正常に送信完了時)

1. CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
2. CRC デリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。
3. 送信が成功すると、RSCAN0TMSTSa レジスタの TMTRF[1:0] フラグは“10_B” (送信完了 (送信アボート要求なし)) になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは“0”になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B” (送信中または送信要求なし) にしてください。
4. 次の送信を開始する前に、TMTRF[1:0] フラグを“00_B”にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを“1” (送信を要求する) にしてください。TMTRF[1:0] フラグが“00_B”のときのみ、TMTR ビットを“1”に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは“0”になります。送信の優先順位判定はCRCデリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

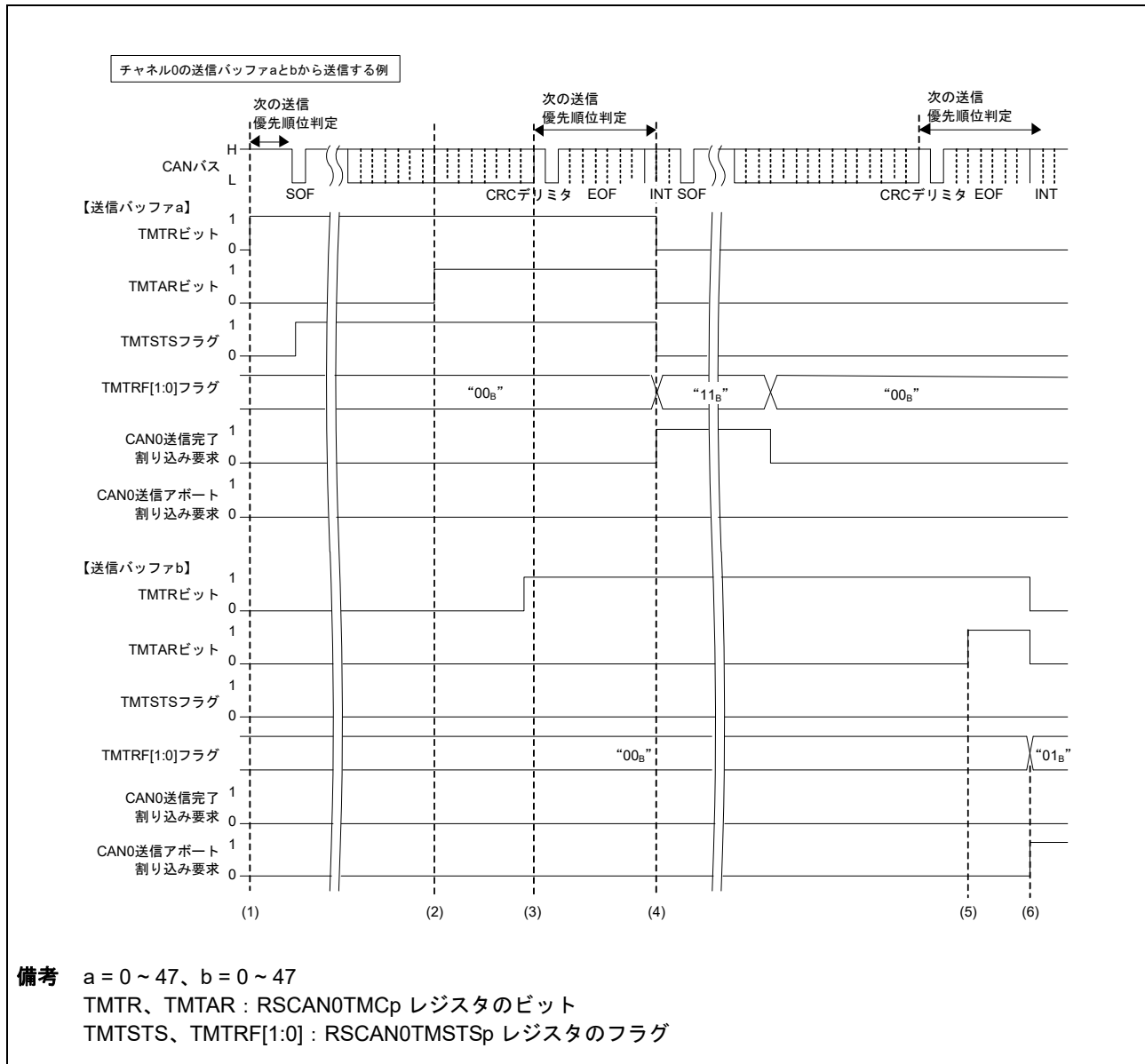


図 17.28 送信バッファの送信タイミング図 (送信アボート完了時)

1. CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMSTSa レジスタの TMTSTS フラグが“1” (送信中) になり、CAN チャンネルは送信を開始します。
2. 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを“1” (アボート要求する) にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。

3. CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ **b** は次の送信バッファとして選択されていません。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの3ビット目までには完了するので、送信間に遅延は発生しません。
4. 送信が成功すると、RSCAN0TMSTSa レジスタの TMTRF[1:0] フラグは“11_B” (送信完了 (送信アボート要求あり)) になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは“0”になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが“1” (割り込み許可) のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B” (送信中または送信要求なし) にしてください。
5. CAN バス上に他の CAN ノードが送信している場合 (TMTSTS フラグは“0”)、対応するチャンネルが優先順位判定中に TMTAR ビットを“1”にすると、TMTR ビットを“0”にできません。
6. 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが“01_B”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは“01_B”になります。このとき、TMTR ビットと TMTAR ビットは“0”になります。RSCAN0CmCTR レジスタの TAIE ビットが“1” (送信アボート割り込み許可) のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B”にしてください。

CAN チャンネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは“0”になります。優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

17.10.3.2 送受信 FIFO バッファからの送信手順

図 17.29 に送受信 FIFO バッファからの送信手順を示します。

図 17.30 に、同一チャネルの2つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 17.31 に、同一チャネルの2つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

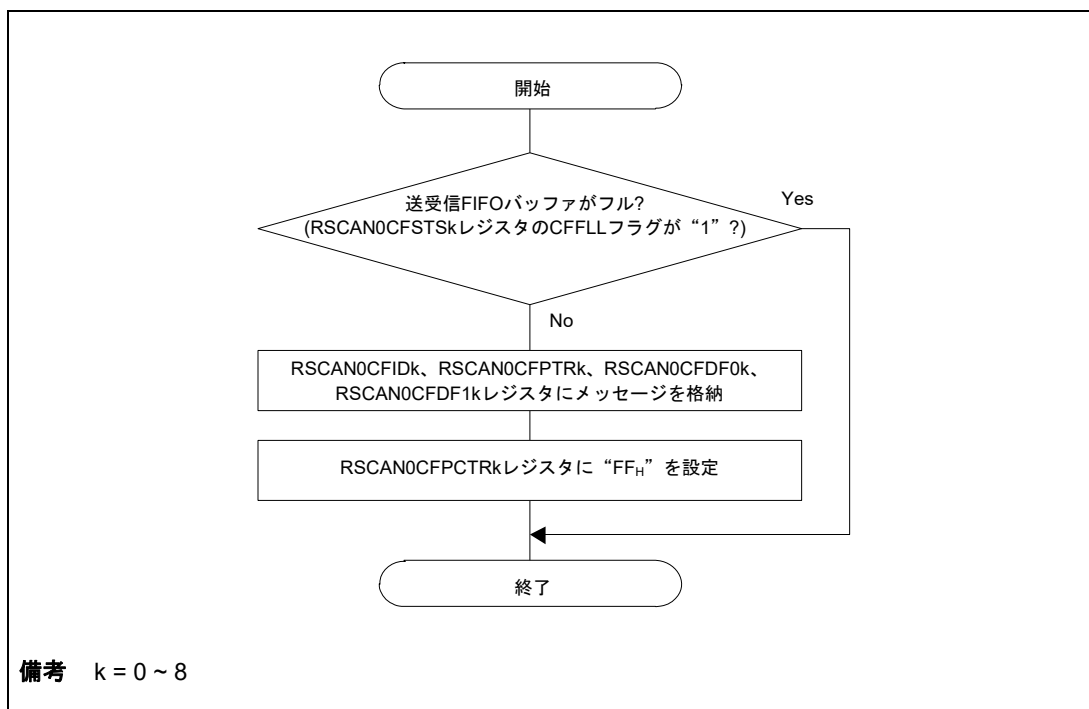


図 17.29 送受信 FIFO バッファからの送信手順

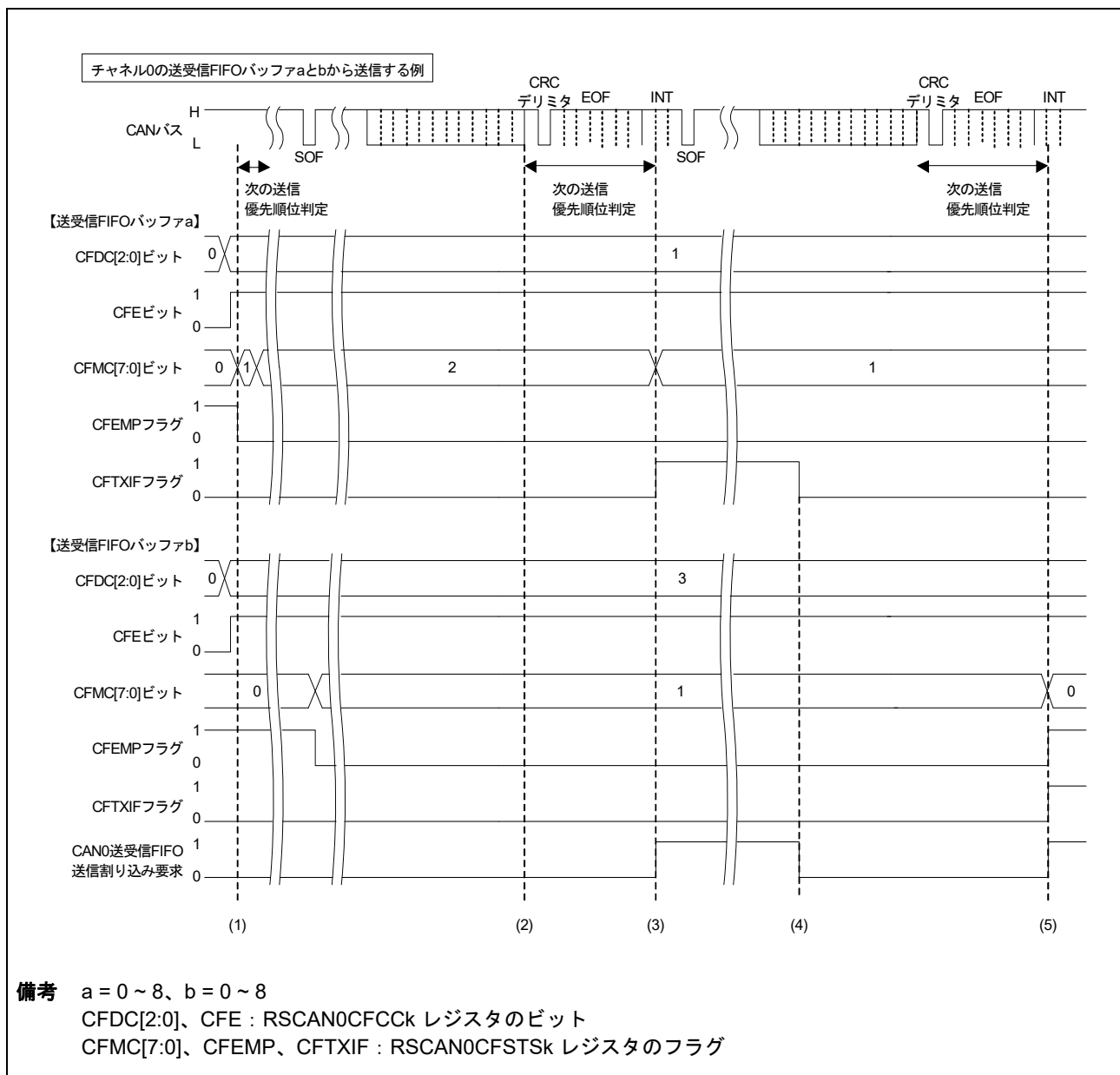


図 17.30 送受信 FIFO バッファの送信タイミング図 (正常に送信完了時)

- (1) CAN バスがアイドル状態のとき、RSCAN0CFCC_a レジスタの CFE ビットが“1” (送受信 FIFO バッファを使用する)、RSCAN0CFCC_a レジスタの CFDC[2:0] ビットが“001_B” (4 メッセージ) 以上、RSCAN0CFSTS_a レジスタの CFMC[7:0] ビットの値が“01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
- (2) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (3) 送信が成功すると、RSCAN0CFSTS_a レジスタの CFMC[7:0] ビットが 1 減算されます。RSCAN0CFCC_a レジスタの CFIM ビットを“1” (1 メッセージ送信ごとに割り込み要求

発生)にした場合、RSCAN0CFSTSk レジスタの CFTXIF フラグが“1” (送受信 FIFO 送信割り込み要求あり) になります。

- (4) CFTXIF フラグはプログラムでクリアできます。
- (5) チャンネル 0 の送受信 FIFO バッファ b からの送信が完了し、RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 減算されます。CFMC[7:0] ビットが“00H”になるため、RSCAN0CFSTSk レジスタの CFEMP フラグが“1” (送受信 FIFO バッファ空) になります。

CFEMP フラグが“1”になるまで送信は続けられます。RSCAN0CFSTSa、RSCAN0CFSTSk レジスタの CFLL フラグが“1” (送受信 FIFO バッファフル) になるまで、送信メッセージを FIFO バッファに格納することができます。

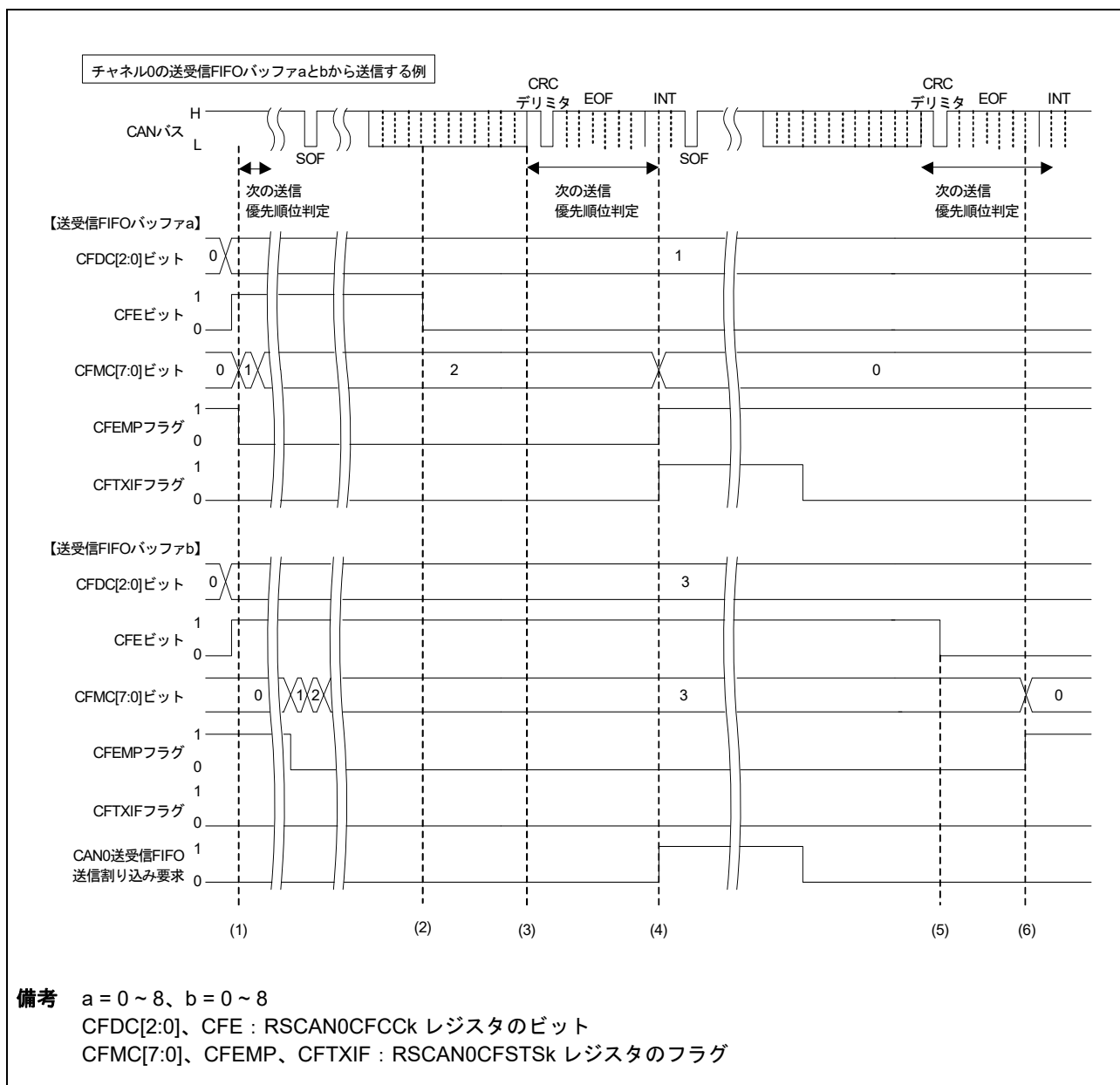


図 17.31 送受信 FIFO バッファの送信タイミング図 (送信アポート完了時)

- (1) CANバスがアイドル状態のとき、RSCAN0CFCCa レジスタ (a=0~8) の CFE ビットが “1” (送受信 FIFO バッファを使用する)、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが “001_B” (4 メッセージ) 以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が “01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャンネル 0 の送受信 FIFO バッファ a から送信されます。
- (2) メッセージが送信中、または次の送信に決まっているとき、アービトレーションロスまたはエラーが発生しない限り、CFE ビットを “0” (送受信 FIFO バッファを使用しない) にしても送信はアボートされません。
- (3) バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。他のチャンネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
- (4) 送信が成功すると、CFMC[7:0] ビットの値が “00_H” になります。CFIM ビットを “1” (1 メッセージ送信ごとに割り込み要求発生) にした場合、RSCAN0CFSTSa レジスタの CFTXIF フラグが “1” (送受信 FIFO バッファ送信割り込み要求あり) になります。CFTXIF フラグはプログラムでクリアできます。
- (5) CANバス上の他の CAN ノードが送信中の場合 (送受信 FIFO バッファ b からは送信されていない)、送信の優先順位判定中に RSCAN0CFCCb レジスタの CFE ビットを “0” (送受信 FIFO バッファを使用しない) にしても、送受信 FIFO バッファは直ちに禁止にはできません (RSCAN0CFSTSb レジスタの CFEMP フラグは直ちに “1” (送受信 FIFO バッファ空) にはなりません)。
- (6) 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットは “00_H” になり、CFEMP フラグは “1” になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます (CFMC[7:0] ビットは “00_H” になり、CFEMP フラグは “1” になります)。

17.10.3.3 送信キューからの送信手順

図 17.32 に送信キューからの送信手順を示します。

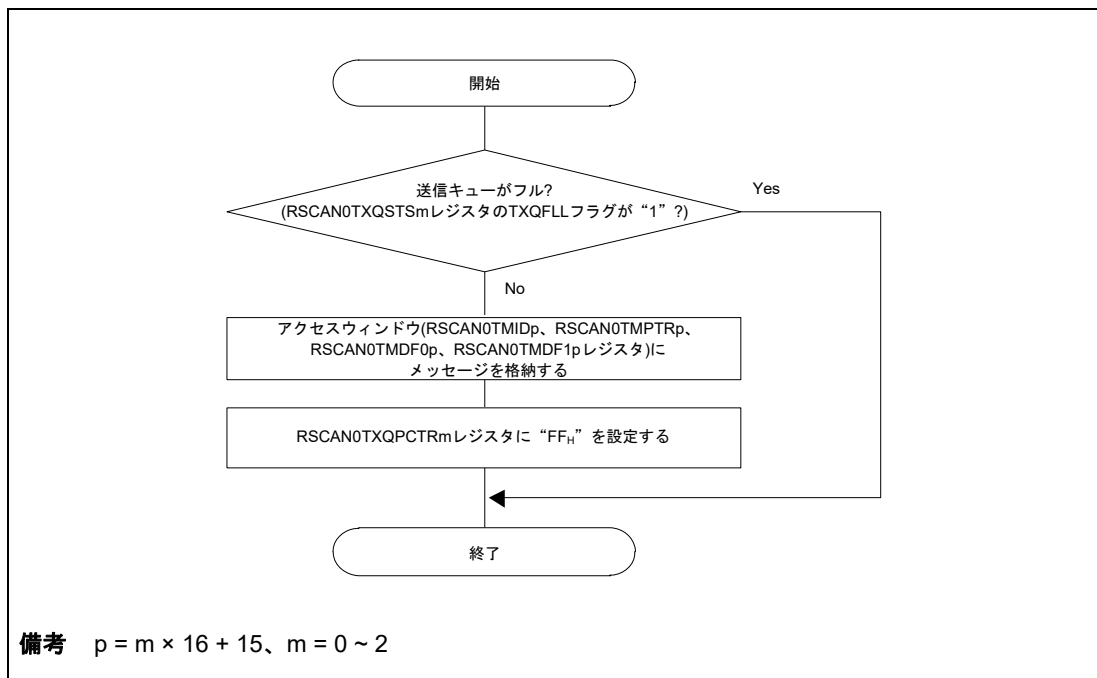


図 17.32 送信キューからの送信手順

17.10.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCAN0THLACC m レジスタで読めます。1 データを読んだ後、対応する RSCAN0THLPCTR m レジスタ ($m = 0 \sim 2$) へ“FF_H”を書くと、次のデータへアクセスできます。図 17.33 に送信履歴バッファの読み出し手順を示します。

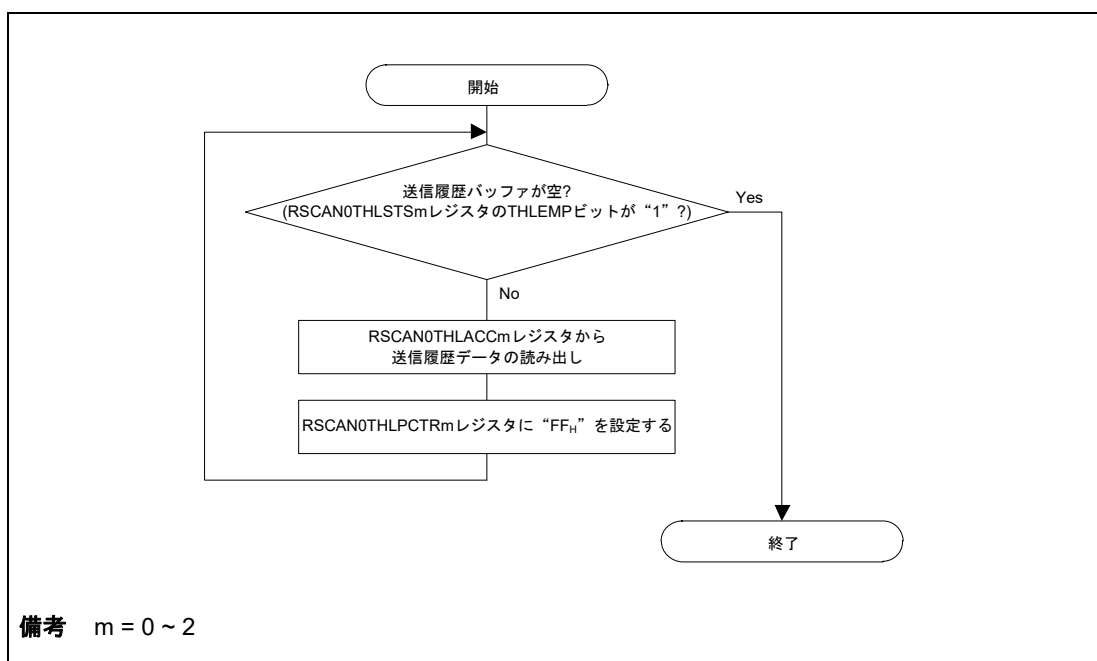


図 17.33 送信履歴バッファの読み出し手順

17.10.4 テスト設定

17.10.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャンネル単体で通信テストを行うことができます。

図 17.34 にセルフテストモードの設定手順を示します。

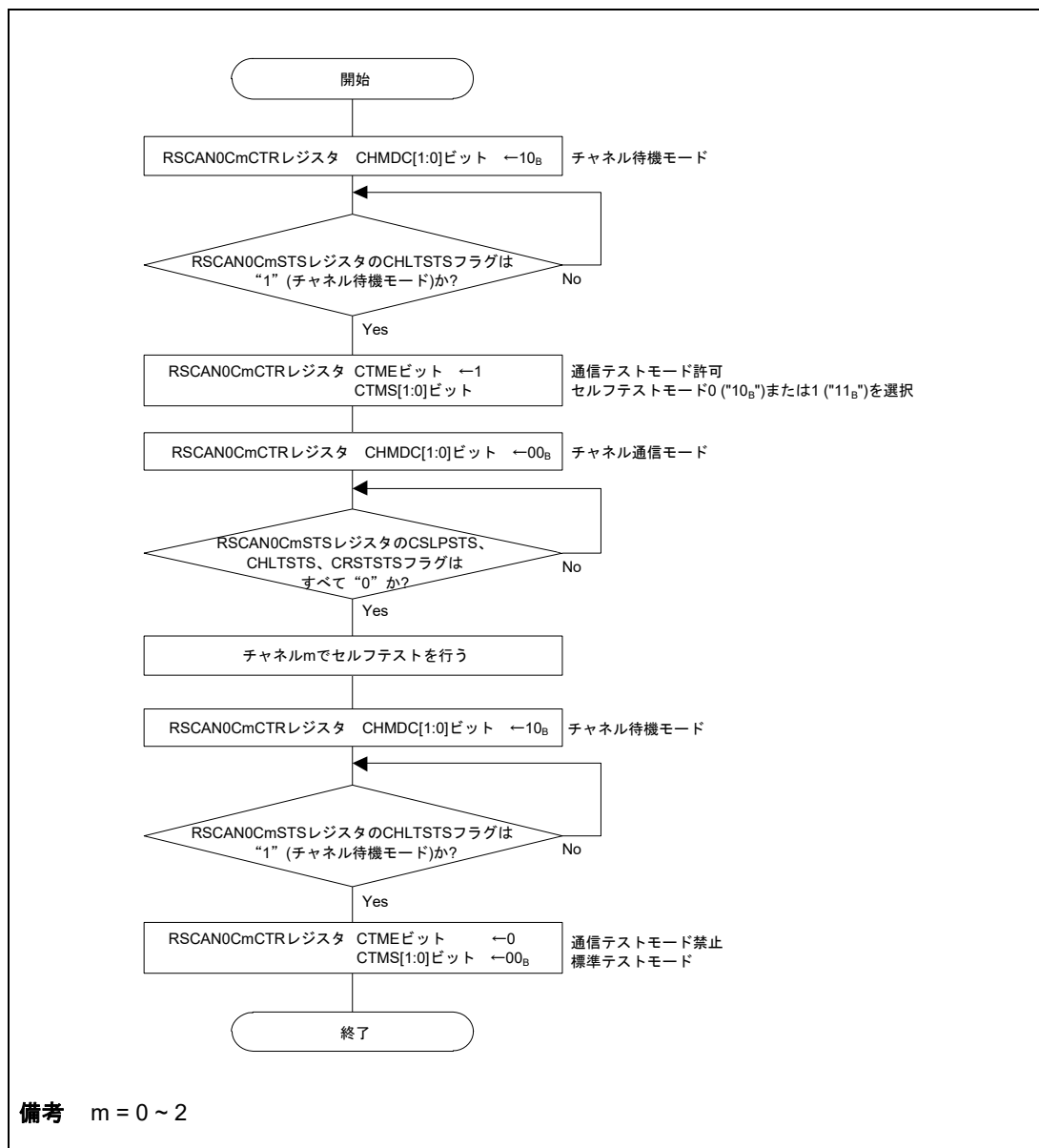


図 17.34 セルフテストモードの設定手順

17.10.4.2 プロテクト解除手順

表 17.96 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCAN0GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 17.96 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575 _H	8A8A _H	RSCAN0GTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。図 17.35 にプロテクト解除手順を示します。

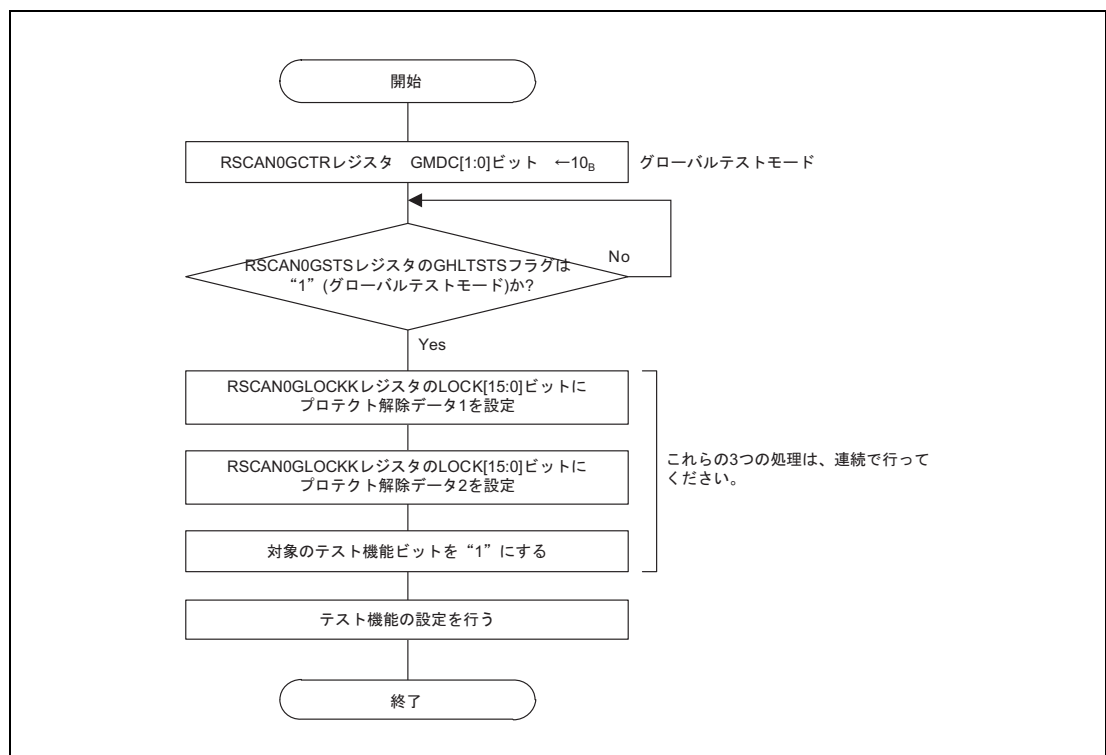


図 17.35 プロテクト解除手順

17.10.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに“0000 0000_H”を書いてください。

図 17.36 に RAM テストの設定手順を示します。

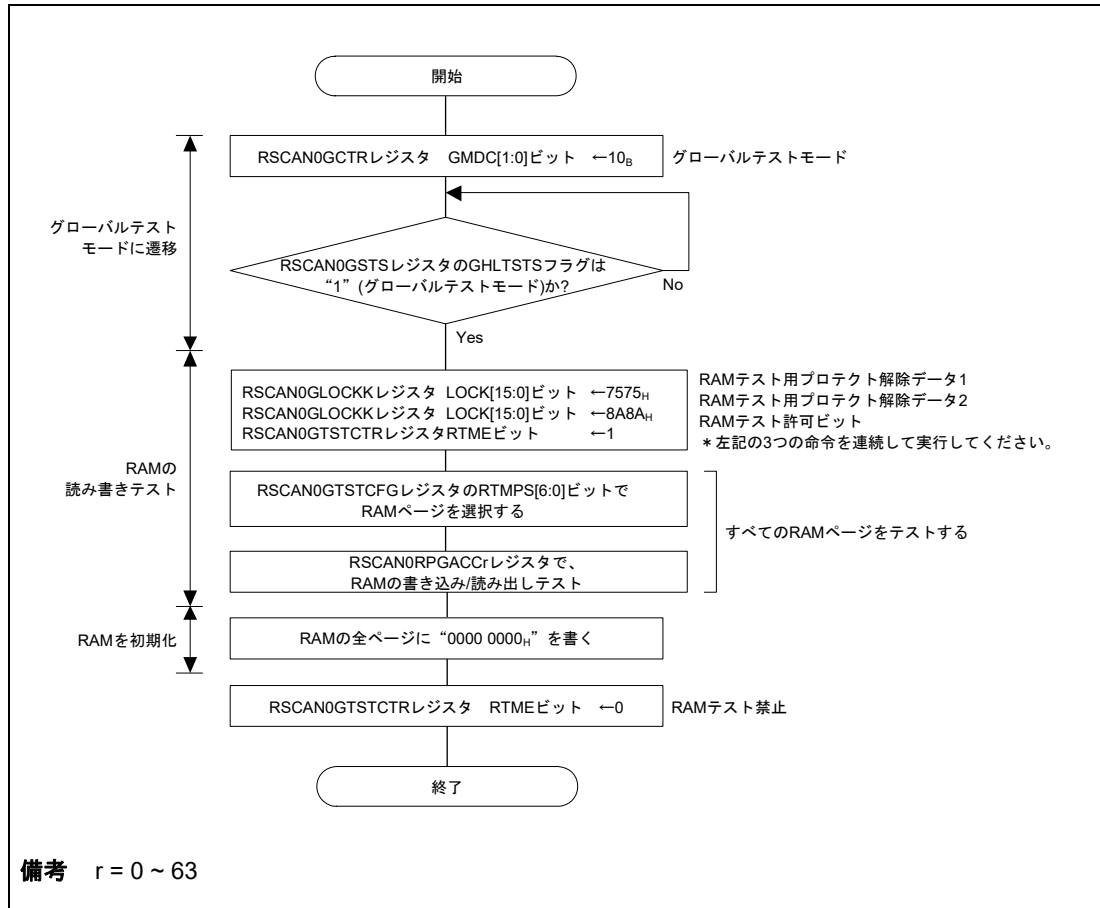


図 17.36 RAM テストの設定手順

17.10.4.4 チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。

図 17.37 にチャネル間通信テストの設定手順を示します。

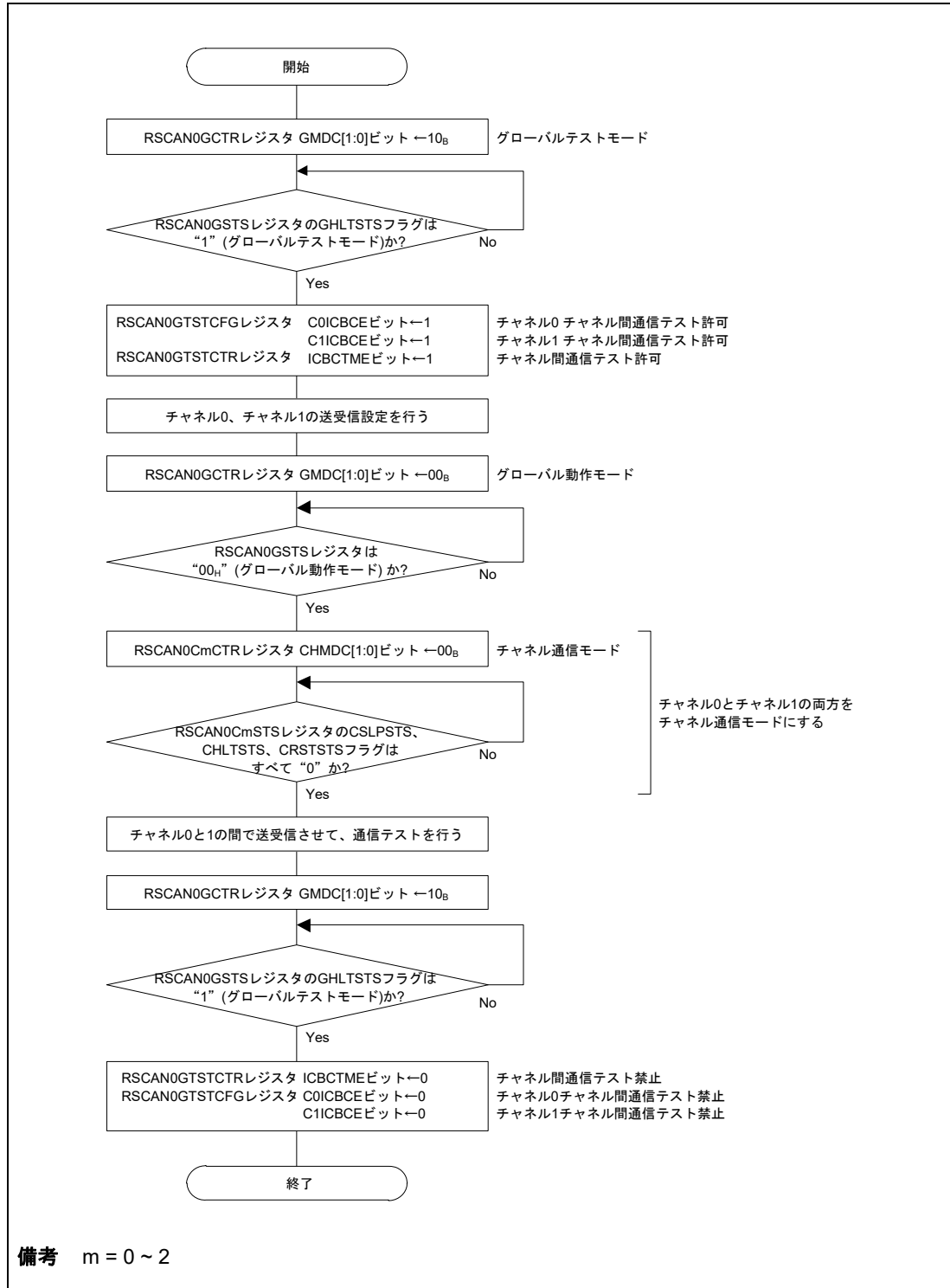


図 17.37 チャネル間通信テストの設定手順 (チャンネル 0-1 間通信テストの例)

17.11 RS-CAN モジュールの注意事項

- グローバルモードを変更する場合は、RSCAN0GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャンネルモードを変更する場合は、RSCAN0CmSTS レジスタ (m=0~2) の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ (RSCAN0TMCp レジスタ) は“00_H”にしてください。また、対応する送信バッファのステータスレジスタ (RSCAN0TMSTSp レジスタ) は使用しないでください。その他のステータスレジスタ (RSCAN0TMTRSTS0、RSCAN0TMTRSTS1、RSCAN0TMTARSTS0、RSCAN0TMTARSTS1、RSCAN0TMCSTS0、RSCAN0TMCSTS1、RSCAN0TMTASTS0、RSCAN0TMTASTS1 レジスタ) は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ (RSCAN0TMIEC0、RSCAN0TMIEC1 レジスタ) の許可ビットは“0” (割り込み禁止) にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。
- 1 つの送信バッファには、1 つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャンネルがチャンネルリセットモードまたはチャンネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 未使用の受信バッファ (RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDf0q、RSCAN0RMDf1q レジスタ)、受信 FIFO バッファアクセスレジスタ (RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDf0x、RSCAN0RFDf1x レジスタ) と送受信 FIFO バッファアクセスレジスタ (RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタ) の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

第18章 FlexRay (FLXA)

本製品搭載の FlexRay モジュールは、FlexRay プロトコル仕様 (FlexRay communication Systems Protocol Specification V2.1) に準拠した FlexRay 通信を実行します。最大ビットレートは 10Mbit/sec です。物理層との接続のためには、バスドライバハードウェアが別途必要となります。

本章では、FlexRay 全般について説明します。

最初の節では、チャンネル、レジスタベースアドレス、入出力信号名など、すべての RH850/P1x に固有の特性について説明します。

それ以降の節では、すべてのバージョンに共通の特長について説明します。

18.1 RH850/P1x の FlexRay の概要

18.1.1 チャンネル数とユニット数

本マイクロコントローラは以下のユニット数の FlexRay を搭載しています。

表 18.1 FlexRay のユニット数

FlexRay	RH850/P1x
ユニット数	1 (A ch, B ch)
名称	FLXAn

表 18.2 添字

添字	意味
n	FlexRay のユニット数を「n」(n = 0) で識別します。
m	レジスタ番号を「m」で識別します。たとえば、偶数 Sync ID レジスタは FLXAnFRESIDm と記述します。
p	フラグ番号を「p」(p = (m - 1) * 32 to (m * 32 - 1)) で識別します。
q	ビット番号を「q」(q = m*32 to ((m+1) * 32) - 1) で識別します。

18.1.2 レジスタベースアドレス

FlexRay のレジスタアドレスは、ベースアドレス <FLXn_base> からのオフセットで表されます。

各 FlexRay のベースアドレス <FLXn_base> を以下の表に示します。

表 18.3 レジスタベースアドレス <FLXn_base>

FlexRay のチャンネル	<FLXn_base> アドレス
FLXA0	1002 0000 _H

18.1.3 クロック供給

FlexRay は1つのクロック入力を供給します。

表 18.4 FlexRay のクロック供給

モジュール	クロック	接続先
FLXAn	サンプルクロック	高速周辺クロック CLK_HSB
	周辺バスクロック	

18.1.4 割り込み

FlexRay は以下の割り込み要求を発生することができます。

表 18.5 FlexRay の割り込み要求

機能	接続先
FlexRay0 割り込み	• 割り込みコントローラ 194 (INTFLX0LINE0)
FlexRay1 割り込み	• 割り込みコントローラ 195 (INTFLX0LINE1)
タイマ 0 割り込み	• 割り込みコントローラ 196 (INTFLX0TIM0)
タイマ 1 割り込み	• 割り込みコントローラ 197 (INTFLX0TIM1)
タイマ 2 割り込み	• 割り込みコントローラ 198 (INTFLX0TIM2)
FIFO 転送割り込み	• 割り込みコントローラ 199 (INTFLX0FDA)
FIFO 転送警告割り込み	• 割り込みコントローラ 200 (INTFLX0FW)
出力転送警告割り込み	• 割り込みコントローラ 201 (INTFLX0OW)
出力転送終了割り込み	• 割り込みコントローラ 202 (INTFLX0OT)
入力キューフル割り込み	• 割り込みコントローラ 203 (INTFLX0IQF)
入力キューエンプティ割り込み	• 割り込みコントローラ 204 (INTFLX0IQE)

18.1.5 リセット要因

FlexRay と FlexRay を構成するレジスタは次のリセット信号で初期化されます。

表 18.6 FlexRay のリセット信号

モジュール	リセット信号
FLXAn	• リセットコントローラ SYSRES

18.1.6 入出力信号

FlexRay の入出力信号を以下の表に示します。

表 18.7 FlexRay の I/O 信号

FlexRay の信号	機能	接続先
FLXAn		
rxda_extfxr	Flex Ray0 チャンネル A 受信データ入力	ポート FLX0RXDA
fxr_txda	Flex Ray0 チャンネル A 送信データ出力	ポート FLX0TXDA
fxr_txena_n	Flex Ray0 チャンネル A 送信データ許可	ポート FLX0TXENA
rxdb_extfxr	Flex Ray0 チャンネル B 受信データ入力	ポート FLX0RXDB
fxr_txdb	Flex Ray0 チャンネル B 送信データ出力	ポート FLX0TXDB
fxr_txenb_n	Flex Ray0 チャンネル B 送信データ許可	ポート FLX0TXENB
stpwt_extfxr	Flexray0 ストップウォッチトリガ入力	ポート FLX0STPWT

18.1.7 端子名とポート名の組み合わせ

FlexRay の端子名とポート名の組み合わせを以下に示します。

表 18.8 端子名とポート名の組み合わせ

機能	端子名	ポート名	
		グループ 1	グループ 2
FLX0	FLX0RXDA	P4_2	P4_8 ^{注1}
	FLX0RXDB	P4_3	P4_11 ^{注1}
	FLX0STPWT	P4_4	P4_14 ^{注1}
	FLX0TXDA	P4_0	P4_9 ^{注1}
	FLX0TXDB	P4_5	P4_12 ^{注1}
	FLX0TXENA	P4_1	P4_10 ^{注1}
	FLX0TXENB	P4_6	P4_13 ^{注1}

注 1. 144pin 版で使用可能

18.1.8 機能

FlexRay ネットワーク上での通信用に最大 254 データバイトの独立したメッセージバッファを設定することができます。メッセージバッファは、最大 128 個のメッセージバッファとして構成可能なメッセージ RAM です。メッセージ処理に関する機能はすべてメッセージハンドラに組み込まれています。主な機能は、フィルタリングの設定、2つの FlexRay チャンネルプロトコルコントローラとメッセージ RAM 間のメッセージ転送、伝送スケジュールの保守、メッセージステータス情報の提供などです。

FlexRay IP モジュールのレジスタセットは、モジュールの CPU インタフェースを介して外部 CPU から直接アクセス可能です。これらのレジスタは、FlexRay チャンネルプロトコルコントローラ、メッセージハンドラ、内部クロック生成、システム制御を制御・構成・監視し、入出力バッファを介してメッセージ RAM にアクセスし、メッセージ RAM と Local RAM 間のデータ転送を制御するために使用されます。

FlexRay IP モジュールは、次に示す機能をサポートします。

項目	仕様
通信	FlexRay 通信システムプロトコル仕様 v2.1 に準拠
データ転送速度	チャンネルごとに最大 10 Mbit/s
データリンクレイヤクロック周波数	80MHz
チャンネルごとの入出力端子	TxD, RxD, TxEN
FlexRay チャンネル	2 本 (チャンネル A および B)
メッセージバッファ	最大 128 個のメッセージバッファが構成可能 異なるペイロード長でメッセージバッファが構成可能 各メッセージバッファを受信バッファ、転送バッファ、あるいは受信 FIFO の 1 部として構成可能 スロットカウンタ、サイクルカウンタ、チャンネル用にフィルタリング
メッセージ RAM	8K バイトのメッセージ RAM は下記例のような構成をとることが可能です。 最大 48 バイトのデータセクションを持つ 128 個のメッセージバッファ 254 バイトのデータセクションを持つ最大 30 個のメッセージバッファ
FIFO	1 つの構成可能な受信 FIFO
メッセージバッファアクセス	入出力バッファを介してホスト CPU によるもの 入力バッファ：メッセージ RAM へ転送されるメッセージを保持 出力バッファ：メッセージ RAM から読み込んだメッセージを保持 データ転送機能によるもの 入力転送：メッセージバッファの内容は、CPU の要求によって Local RAM からメッセージ RAM へ転送される 出力転送：メッセージバッファの内容は、メッセージ RAM から Local RAM へ自動的に転送される
ネットワーク管理	サポート
割り込み	マスク可能なモジュール割り込み
タイマ	2 個の絶対値タイマ 1 個の相対値タイマ 1 個のストップウォッチタイマ

18.1.9 ブロック図

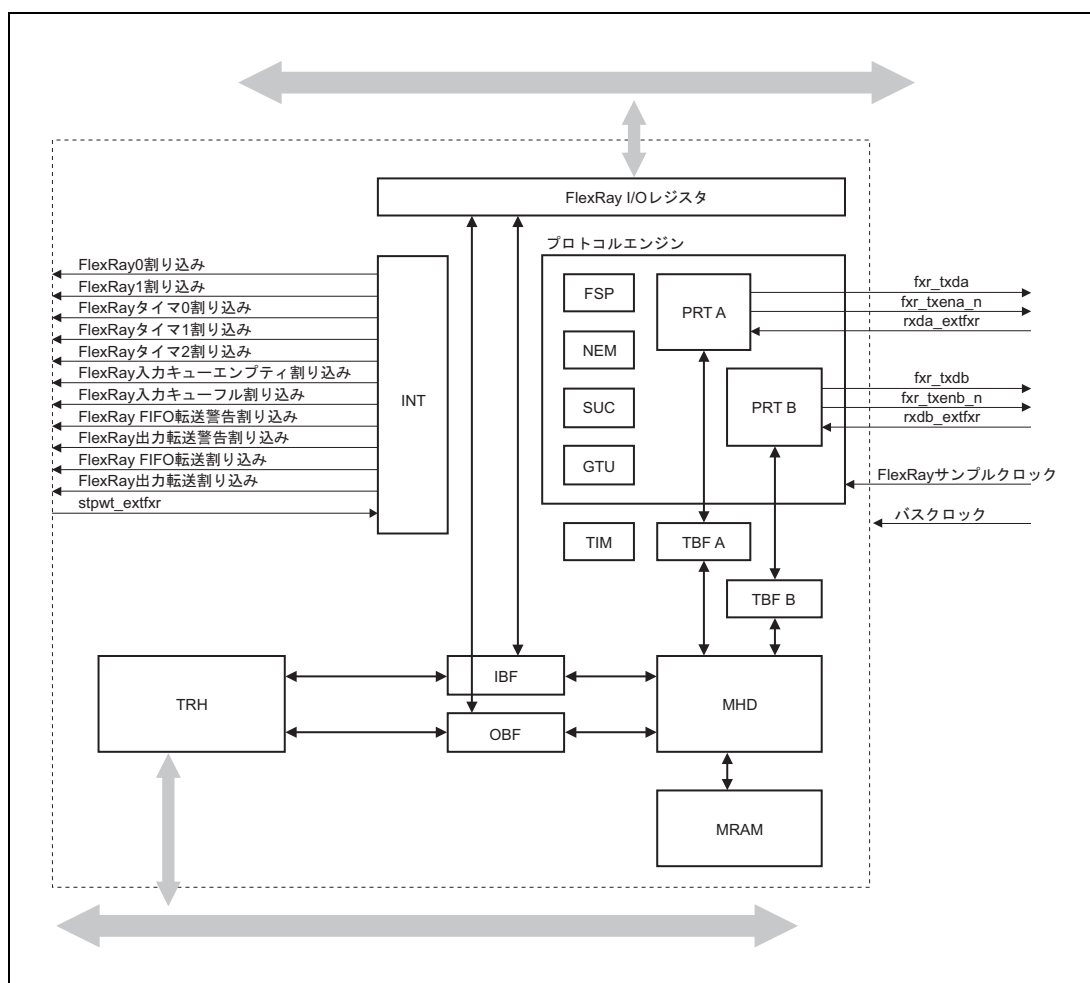


図 18.1 FlexRay IP ブロック図

入力バッファ (IBF)

メッセージ RAM 内に設定されたメッセージバッファへ書き込む場合、CPU は入力バッファに対する特定のメッセージバッファのヘッダおよびデータセクションに書き込みます。その後、メッセージハンドラがデータを入力バッファからメッセージ RAM 内の選択されたメッセージバッファに転送します。

出力バッファ (OBF)

メッセージ RAM に設定されたメッセージバッファに読み出す場合、メッセージハンドラは選択されたメッセージバッファを出力バッファに転送します。転送完了後、CPU は転送されたメッセージバッファのヘッダおよびデータセクションを読み出せます。

メッセージハンドラ (MHD)

FlexRay メッセージハンドラは、以下のコンポーネント間のデータ転送を制御します。

- 入力/出力バッファとメッセージ RAM 間
- 2つの FlexRay プロトコルコントローラの TBFRAM とメッセージ RAM 間

メッセージ RAM (MRAM)

メッセージ RAM は、最大 128 個の FlexRay メッセージバッファと関連設定データ（ヘッダおよびデータパーティション）を格納するシングルポート RAM で構成されます。

TBFRAM (TBF A/B)

2 つの完全なメッセージのデータセクションを格納します。

FlexRay チャンネルプロトコルコントローラ (PRT A/B)

FlexRay チャンネルプロトコルコントローラは、シフトレジスタと FlexRay プロトコル FSM で構成されます。このコントローラは、メッセージを一時的に保存するために TBFRAM に接続され、物理レイヤにもバスドライバ BD を介して接続されます。

このコントローラには以下の機能があります。

- ビットタイミングの制御とチェック
- FlexRay フレームおよびシンボルの送受信
- ヘッダ CRC のチェック
- フレーム CRC の生成 / チェック
- バスドライバとの接続

内部クロック生成ブロック (GTU)

内部クロック生成ブロックには以下の機能があります。

- μT の生成
- MT の生成
- FTM アルゴリズムによるフォールトトレラントクロック同期の
 - レート補正
 - オフセット補正
- サイクルカウンタ
- スタティックセグメントのタイミング制御
- ダイナミックセグメント（ミニスロット）のタイミング制御
- 外部クロック補正のサポート

システムコントローラ (SUC)

システムコントローラには以下の機能があります。

- 設定
- ウェイクアップ
- スタートアップ
- 通常動作
- パッシブ動作

フレーム / シンボル処理 (FSP)

フレーム / シンボル処理には以下の機能があります。

- フレームおよびシンボルのタイミングが正しいかどうか確認
- 受信フレームのシンタックスとセマンティクスが正しいかどうか確認
- スロットステータスフラグの設定

ネットワーク管理 (NEM)

ネットワーク管理ベクタを処理します。

割り込み処理 (INT)

割り込みコントローラには以下の機能があります。

- エラーおよびステータス割り込みフラグの提供
- 割り込みソースの許可 / 禁止
- 割り込みソースを2つのモジュール割り込み出力のどちらかに割り当て
- モジュール割り込みの有効 / 無効

タイマ (TIM)

タイマモジュールには、次に示すマクロティックタイマが含まれます。

- 1個の絶対値タイマ
- 1個の相対値タイマ
- 1個のストップウォッチタイマ

転送ハンドラ (TRH)

Local RAM と FlexRay モジュール間のデータ転送を処理します。

転送ハンドラは、以下の転送方式をサポートしています。

- Local RAM からメッセージ RAM へのバッファ設定データの転送
- Local RAM からメッセージ RAM へ送信バッファ用ペイロードデータの転送
- Local RAM からメッセージ RAM へ送信バッファ用バッファ設定データおよびペイロードデータの転送
- フレーム受信において受信バッファから Local RAM へのペイロードデータの自動転送
- フレーム受信において受信バッファから Local RAM へのペイロードデータ、バッファ構成データ、メッセージバッファステータスデータの自動転送
- スロットステータス更新において専用の送信および受信バッファから Local RAM へのバッファ構成データとメッセージバッファステータスデータの自動転送
- 専用の送信および受信バッファから Local RAM へのペイロードデータ、バッファ構成データ、メッセージバッファステータスデータのマニュアル転送

18.2 レジスタ

18.2.1 レジスタマップ

FlexRay モジュールは、表 18.9 に示すようにアドレス空間を割り当てます。

この仕様内で、「リセット後の値」とはマイクロコントローラの HW リセットを意味します。0010_H から 0FFF_H のアドレス範囲のレジスタでは SW リセット時 (FLXAnFROC.OE ビットを使用) にも「リセット後の値」は適用されます。

この仕様内のアドレスは間接アドレスです。すべてのアドレスにアドレスオフセット <FLXn_base> を加える必要があります。

<FLXn_base> は、「18.1.2 レジスタベースアドレス」を参照してください。

表 18.9 FlexRay レジスタマップ (1/3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
FlexRay 動作制御レジスタ	FLXAnFROC	0000 0000 _H	<FLXn_base>+ 0004 _H	8, 16, 32
FlexRay 動作状態レジスタ	FLXAnFROS	0000 0000 _H	<FLXn_base>+ 000C _H	8, 16, 32
FlexRay ロックレジスタ	FLXAnFRLCK	0000 0000 _H	<FLXn_base>+ 001C _H	8, 16, 32
FlexRay エラー割り込みレジスタ	FLXAnFREIR	0000 0000 _H	<FLXn_base>+ 0020 _H	8, 16, 32
FlexRay ステータス割り込みレジスタ	FLXAnFRSIR	0000 0000 _H	<FLXn_base>+ 0024 _H	8, 16, 32
FlexRay エラー割り込み出力選択レジスタ	FLXAnFREILS	0000 0000 _H	<FLXn_base>+ 0028 _H	8, 16, 32
FlexRay ステータス割り込み出力選択レジスタ	FLXAnFRSILS	0303 FFFF _H	<FLXn_base>+ 002C _H	8, 16, 32
FlexRay エラー割り込み許可レジスタ	FLXAnFREIES	0000 0000 _H	<FLXn_base>+ 0030 _H	8, 16, 32
FlexRay エラー割り込み禁止レジスタ	FLXAnFREIER	0000 0000 _H	<FLXn_base>+ 0034 _H	8, 16, 32
FlexRay ステータス割り込み許可レジスタ	FLXAnFRSIES	0000 0000 _H	<FLXn_base>+ 0038 _H	8, 16, 32
FlexRay ステータス割り込み禁止レジスタ	FLXAnFRSIER	0000 0000 _H	<FLXn_base>+ 003C _H	8, 16, 32
FlexRay 割り込み出力許可レジスタ	FLXAnFRILE	0000 0000 _H	<FLXn_base>+ 0040 _H	8, 16, 32
FlexRay タイマ 0 設定レジスタ	FLXAnFRT0C	0000 0000 _H	<FLXn_base>+ 0044 _H	8, 16, 32
FlexRay タイマ 1 設定レジスタ	FLXAnFRT1C	0002 0000 _H	<FLXn_base>+ 0048 _H	8, 16, 32
FlexRay ストップウォッチレジスタ 1	FLXAnFRSTPW1	0000 0000 _H	<FLXn_base>+ 004C _H	8, 16, 32
FlexRay ストップウォッチレジスタ 2	FLXAnFRSTPW2	0000 0000 _H	<FLXn_base>+ 0050 _H	8, 16, 32
FlexRay SUC 設定レジスタ 1	FLXAnFRSUCC1	0C40 1080 _H	<FLXn_base>+ 0080 _H	8, 16, 32
FlexRay SUC 設定レジスタ 2	FLXAnFRSUCC2	0100 0504 _H	<FLXn_base>+ 0084 _H	8, 16, 32
FlexRay SUC 設定レジスタ 3	FLXAnFRSUCC3	0000 0011 _H	<FLXn_base>+ 0088 _H	8, 16, 32
FlexRay NEM 設定レジスタ	FLXAnFRNEMC	0000 0000 _H	<FLXn_base>+ 008C _H	8, 16, 32
FlexRay PRT 設定レジスタ 1	FLXAnFRPRTC1	084C 0633 _H	<FLXn_base>+ 0090 _H	8, 16, 32
FlexRay PRT 設定レジスタ 2	FLXAnFRPRTC2	0F2D 0A0E _H	<FLXn_base>+ 0094 _H	8, 16, 32
FlexRay MHD 設定レジスタ	FLXAnFRMHDC	0000 0000 _H	<FLXn_base>+ 0098 _H	8, 16, 32
FlexRay GTU 設定レジスタ 1	FLXAnFRGTUC1	0000 0280 _H	<FLXn_base>+ 00A0 _H	8, 16, 32
FlexRay GTU 設定レジスタ 2	FLXAnFRGTUC2	0002 000A _H	<FLXn_base>+ 00A4 _H	8, 16, 32
FlexRay GTU 設定レジスタ 3	FLXAnFRGTUC3	0202 0000 _H	<FLXn_base>+ 00A8 _H	8, 16, 32
FlexRay GTU 設定レジスタ 4	FLXAnFRGTUC4	0008 0007 _H	<FLXn_base>+ 00AC _H	8, 16, 32
FlexRay GTU 設定レジスタ 5	FLXAnFRGTUC5	0E00 0000 _H	<FLXn_base>+ 00B0 _H	8, 16, 32
FlexRay GTU 設定レジスタ 6	FLXAnFRGTUC6	0002 0000 _H	<FLXn_base>+ 00B4 _H	8, 16, 32
FlexRay GTU 設定レジスタ 7	FLXAnFRGTUC7	0002 0004 _H	<FLXn_base>+ 00B8 _H	8, 16, 32

表 18.9 FlexRay レジスタマップ (2/3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
FlexRay GTU 設定レジスタ 8	FLXAnFRGTUC8	0000 0002 _H	<FLXn_base>+ 00BC _H	8, 16, 32
FlexRay GTU 設定レジスタ 9	FLXAnFRGTUC9	0000 0101 _H	<FLXn_base>+ 00C0 _H	8, 16, 32
FlexRay GTU 設定レジスタ 10	FLXAnFRGTUC10	0002 0005 _H	<FLXn_base>+ 00C4 _H	8, 16, 32
FlexRay GTU 設定レジスタ 11	FLXAnFRGTUC11	0000 0000 _H	<FLXn_base>+ 00C8 _H	8, 16, 32
FlexRay CC ステータスペクタレジスタ	FLXAnFRCCSV	0010 4000 _H	<FLXn_base>+ 0100 _H	8, 16, 32
FlexRay CC エラーベクタレジスタ	FLXAnFRCEV	0000 0000 _H	<FLXn_base>+ 0104 _H	8, 16, 32
FlexRay スロットカウンタ値レジスタ	FLXAnFRSCV	0000 0000 _H	<FLXn_base>+ 0110 _H	8, 16, 32
FlexRay MT 値 / サイクルカウンタ値レジスタ	FLXAnFRMTCCV	0000 0000 _H	<FLXn_base>+ 0114 _H	8, 16, 32
FlexRay レート補正值レジスタ	FLXAnFRRCV	0000 0000 _H	<FLXn_base>+ 0118 _H	8, 16, 32
FlexRay オフセット補正值レジスタ	FLXAnFROCV	0000 0000 _H	<FLXn_base>+ 011C _H	8, 16, 32
FlexRay Sync フレームステータスレジスタ	FLXAnFRSFS	0000 0000 _H	<FLXn_base>+ 0120 _H	8, 16, 32
FlexRay シンボルウィンドウ / NIT ステータスレジスタ	FLXAnFRSWNIT	0000 0000 _H	<FLXn_base>+ 0124 _H	8, 16, 32
FlexRay チャネルステータス集計レジスタ	FLXAnFRACS	0000 0000 _H	<FLXn_base>+ 0128 _H	8, 16, 32
FlexRay 偶数 Sync ID レジスタ m (m = 1 ~ 15)	FLXAnFRESIDm (m = 1 ~ 15)	0000 0000 _H	<FLXn_base>+ 0130 _H ~ <FLXn_base>+ 0168 _H (<FLXn_base>+ 0130 _H + (m - 1) * 4)	8, 16, 32
FlexRay 奇数 Sync ID レジスタ m (m = 1 ~ 15)	FLXAnFROSIDm (m = 1 ~ 15)	0000 0000 _H	<FLXn_base>+ 0170 _H ~ <FLXn_base>+ 01A8 _H (<FLXn_base>+ 0170 _H + (m - 1) * 4)	8, 16, 32
FlexRay ネットワーク管理ベクタレジスタ m (m = 1 ~ 3)	FLXAnFRNMV/m (m = 1 ~ 3)	0000 0000 _H	<FLXn_base>+ 01B0 _H ~ <FLXn_base>+ 01B8 _H (<FLXn_base>+ 01B0 _H + (m - 1) * 4)	8, 16, 32
FlexRay メッセージ RAM 設定レジスタ	FLXAnFRMRC	0180 0000 _H	<FLXn_base>+ 0300 _H	8, 16, 32
FlexRay FIFO リジェクションフィルタレジスタ	FLXAnFRFRF	0180 0000 _H	<FLXn_base>+ 0304 _H	8, 16, 32
FlexRay FIFO リジェクションフィルタマスクレジスタ	FLXAnFRFRFM	0000 0000 _H	<FLXn_base>+ 0308 _H	8, 16, 32
FlexRay FIFO クリティカルレベルレジスタ	FLXAnFRFCL	0000 0080 _H	<FLXn_base>+ 030C _H	8, 16, 32
FlexRay メッセージハンドラステータスレジスタ	FLXAnFRMHDS	0000 0080 _H	<FLXn_base>+ 0310 _H	8, 16, 32
FlexRay 最終ダイナミック送信スロットレジスタ	FLXAnFRLDTS	0000 0000 _H	<FLXn_base>+ 0314 _H	8, 16, 32
FlexRay FIFO ステータスレジスタ	FLXAnFRFSR	0000 0000 _H	<FLXn_base>+ 0318 _H	8, 16, 32
FlexRay メッセージハンドラ制限フラグレジスタ	FLXAnFRMHDF	0000 0000 _H	<FLXn_base>+ 031C _H	8, 16, 32
FlexRay 送信要求レジスタ m (m = 1 ~ 4)	FLXAnFRTXRQm (m = 1 ~ 4)	0000 0000 _H	<FLXn_base>+ 0320 _H ~ <FLXn_base>+ 032C _H (<FLXn_base>+ 0320 _H + (m - 1) * 4)	8, 16, 32
FlexRay 新データレジスタ m (m = 1 ~ 4)	FLXAnFRNDATm (m = 1 ~ 4)	0000 0000 _H	<FLXn_base>+ 0330 _H ~ <FLXn_base>+ 033C _H (<FLXn_base>+ 0330 _H + (m - 1) * 4)	8, 16, 32
FlexRay メッセージバッファ変化レジスタ m (m = 1 ~ 4)	FLXAnFRMBSCm (m = 1 ~ 4)	0000 0000 _H	<FLXn_base>+ 0340 _H ~ <FLXn_base>+ 034C _H (<FLXn_base>+ 0340 _H + (m - 1) * 4)	8, 16, 32
FlexRay データセクションライトレジスタ m (m = 1 ~ 64)	FLXAnFRWRDSm (m = 1 ~ 64)	0000 0000 _H	<FLXn_base>+ 0400 _H to <FLXn_base>+ 04FC _H (<FLXn_base>+ 0400 _H + (m - 1) * 4)	8, 16, 32

表 18.9 FlexRay レジスタマップ (3/3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
FlexRay ヘッダセクションライトレジスタ 1	FLXAnFRWRHS1	0000 0000 _H	<FLXn_base>+ 0500 _H	8, 16, 32
FlexRay ヘッダセクションライトレジスタ 2	FLXAnFRWRHS2	0000 0000 _H	<FLXn_base>+ 0504 _H	8, 16, 32
FlexRay ヘッダセクションライトレジスタ 3	FLXAnFRWRHS3	0000 0000 _H	<FLXn_base>+ 0508 _H	8, 16, 32
FlexRay 入力バッファコマンドマスクレジスタ	FLXAnFRIBCM	0000 0000 _H	<FLXn_base>+ 0510 _H	8, 16, 32
FlexRay 入力バッファコマンド要求レジスタ	FLXAnFRIBCR	0000 0000 _H	<FLXn_base>+ 0514 _H	8, 16, 32
FlexRay データセクションリードレジスタ m (m = 1 ~ 64)	FLXAnFRRDDSm (m = 1 ~ 64)	0000 0000 _H	<FLXn_base>+ 0600 _H ~ <FLXn_base>+ 06FC _H (<FLXn_base>+ 0600 _H + (m - 1) * 4)	8, 16, 32
FlexRay ヘッダセクションリードレジスタ 1	FLXAnFRRDHS1	0000 0000 _H	<FLXn_base>+ 0700 _H	8, 16, 32
FlexRay ヘッダセクションリードレジスタ 2	FLXAnFRRDHS2	0000 0000 _H	<FLXn_base>+ 0704 _H	8, 16, 32
FlexRay ヘッダセクションリードレジスタ 3	FLXAnFRRDHS3	0000 0000 _H	<FLXn_base>+ 0708 _H	8, 16, 32
FlexRay メッセージバッファステータスレジスタ	FLXAnFRMBS	0000 0000 _H	<FLXn_base>+ 070C _H	8, 16, 32
FlexRay 出力バッファコマンドマスクレジスタ	FLXAnFROBCM	0000 0000 _H	<FLXn_base>+ 0710 _H	8, 16, 32
FlexRay 出力バッファコマンド要求レジスタ	FLXAnFROBCR	0000 0000 _H	<FLXn_base>+ 0714 _H	8, 16, 32
FlexRay 入力転送設定レジスタ	FLXAnFRITC	0000 0000 _H	<FLXn_base>+ 0800 _H	8, 16, 32
FlexRay 出力転送設定レジスタ	FLXAnFROTC	0000 0000 _H	<FLXn_base>+ 0804 _H	8, 16, 32
FlexRay 入力ポインタテーブルベースアドレスレジスタ	FLXAnFRIBA	0000 0000 _H	<FLXn_base>+ 0808 _H	8, 16, 32
FlexRay FIFO ポインタテーブルベースアドレスレジスタ	FLXAnFRFBA	0000 0000 _H	<FLXn_base>+ 080C _H	8, 16, 32
FlexRay 出力ポインタテーブルベースアドレスレジスタ	FLXAnFROBA	0000 0000 _H	<FLXn_base>+ 0810 _H	8, 16, 32
FlexRay 入力キュー制御レジスタ	FLXAnFRIQC	0000 0000 _H	<FLXn_base>+ 0814 _H	8, 16, 32
FlexRay ユーザ入力転送要求レジスタ	FLXAnFRUIR	0000 0000 _H	<FLXn_base>+ 0818 _H	8, 16, 32
FlexRay ユーザ出力転送要求レジスタ	FLXAnFRUOR	0000 0000 _H	<FLXn_base>+ 081C _H	8, 16, 32
FlexRay 入力転送ステータスレジスタ	FLXAnFRITS	0000 0000 _H	<FLXn_base>+ 0820 _H	8, 16, 32
FlexRay 出力転送ステータスレジスタ	FLXAnFROTS	0000 0000 _H	<FLXn_base>+ 0824 _H	8, 16, 32
FlexRay アクセスエラーステータスレジスタ	FLXAnFRAES	0000 0000 _H	<FLXn_base>+ 0828 _H	8, 16, 32
FlexRay アクセスエラーアドレスレジスタ	FLXAnFRAEA	0000 0000 _H	<FLXn_base>+ 082C _H	8, 16, 32
FlexRay メッセージデータ可能レジスタ m (m = 0 ~ 3)	FLXAnFRDAm (m = 0 ~ 3)	0000 0000 _H	<FLXn_base>+ 0830 _H ~ <FLXn_base>+ 083C _H (<FLXn_base>+ 0830 _H + (m*4))	8, 16, 32
FlexRay H-Bus 設定レジスタ	FLXAnFRAHBC	0000 0000 _H	<FLXn_base>+ 0840 _H	8, 16, 32
FlexRay タイマ 2 設定レジスタ	FLXAnFRT2C	0000 0000 _H	<FLXn_base>+ 0844 _H	8, 16, 32

18.2.2 FlexRay 動作レジスタ

18.2.2.1 FLXAnFROC — FlexRay 動作制御レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+0004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	T2IE	T1IE	T0IE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OEP	—	—	—	—	—	—	OE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

表 18.10 FLXAnFROC レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	T2IE	タイマ 2 割り込み許可ビット 0: 禁止 1: 許可
17	T1IE	タイマ 1 割り込み許可ビット 0: 禁止 1: 許可
16	T0IE	タイマ 0 割り込み許可ビット 0: 禁止 1: 許可
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	OEP	動作許可ビット保護ビット 0: OE ビットアンプロテクト状態 1: OE ビットプロテクト状態
6 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OE	動作許可ビット 0: 動作禁止、SW リセット 1: 動作許可

(1) FLXAnFROC.T2IE

タイマ2 割り込み許可ビット

タイマ2 割り込みを制御します。

0: 禁止

割り込みは要求されず、タイマ2 割り込み出力は開放されます。

1: 許可

FLXAnFROTS.T2IS ビットが1 の場合、タイマ2 割り込みが発生します。

(2) FLXAnFROC.T1IE

タイマ1 割り込み許可ビット

FlexRay ステータス割り込み許可レジスタのタイマ1 割り込みビットが無効の場合 (FLXAnFRSIES.T1IE ビットが0) のみ、ユーザはこのビットを1 にセットできます。

このビットはタイマ1 割り込みを制御します。

0: 禁止

割り込みは要求されず、タイマ1 割り込み出力は開放されます。

1: 許可

FLXAnFROTS.T1IS ビットが1 の場合、タイマ1 割り込みが発生します。

(3) FLXAnFROC.T0IE

タイマ0 割り込み許可ビット

FlexRay ステータス割り込み許可レジスタのタイマ0 割り込みビットが無効の場合 (FLXAnFRSIES.TI0E ビットが0) のみ、ユーザはこのビットを1 にセットできます。

このビットはタイマ0 割り込みを制御します。

0: 禁止

割り込みは要求されず、タイマ0 割り込み出力は開放されます。

1: 許可

FLXAnFROTS.T0IS ビットが1 の場合、タイマ0 割り込みが発生します。

(4) FLXAnFROC.OEP

動作許可ビット保護ビット

このビットはOE ビットへの意図しない書き込みを保護するものです。

0: OE ビットアンプロテクト状態

OE ビットへの書き込みは有効

1: OE ビットプロテクト状態

OE ビットへの書き込みは禁止

(5) FLXAnFROC.OE

動作許可ビット

FLXAnFROC.OEP ビットが 0 の場合のみこのビットに書き込み可能です。

FLXAnFROS.OS ビットが 1 の場合のみこのビットに 0 を書き込んでください。

FLXAnFROS.OS ビットが 0 で FlexRay サンプルクロックが有効な場合のみこのビットに 1 を書き込んでください。

このビットは動作状態を制御し、FlexRay モジュールのソフトウェアリセットを提供します。動作状態ビット (FLXAnFROS.OS) は、FlexRay モジュールがリセット状態かどうかを示します。

0: 動作禁止、SW リセット

FlexRay モジュールの状態にかかわらず、FlexRay モジュールは強制的にリセット状態になります。

1: 動作許可

FlexRay モジュールのリセット状態は解除されています。

18.2.2.2 FLXAnFROS — FlexRay 動作ステータスレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 000C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	T2IS	T1IS	T0IS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.11 FLXAnFROS レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	T2IS	タイマ 2 割り込みステータスビット 0: タイマ 2 は FLXAnFRT2C レジスタに設定された状態と一致していない。 1: タイマ 2 は FLXAnFRT2C レジスタに設定された状態と一致した
17	T1IS	タイマ 1 割り込みステータスビット 0: タイマ 1 は FLXAnFRT1C レジスタに設定された状態と一致していない。 1: タイマ 1 は FLXAnFRT1C レジスタに設定された状態と一致した。
16	T0IS	タイマ 0 割り込みステータスビット 0: タイマ 0 は FLXAnFRT0C レジスタに設定された状態と一致していない。 1: タイマ 0 は FLXAnFRT0C レジスタに設定された状態と一致した。
15 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OS	動作状態ビット 0: 動作禁止、リセット状態 1: 動作可能

(1) FLXAnFROS.T2IS

タイマ 2 割り込みステータスビット

このビットに 0 を書き込んでも無効です。

このビットは、タイマ 2 が FLXAnFRT2C レジスタに設定された状態と一致したことを示します。

FLXAnFROS.T2IE ビットが有効で FLXAnFROS.T2IS ビットが 1 の場合、タイマ 2 割り込みが発生します。

【クリア条件】

FLXAnFROS.T2IS ビットに 1 を書き込むと、このビットはクリアされます。

FLXAnFROS.OS ビットが 1 から 0 に変化すると、このビットはクリアされます。

【セット条件】

FLXAnFRT2C レジスタに設定された状態と一致すると、このビットはセットされます。

(2) FLXAnFROS.T1IS

タイマ1 割り込みステータスビット

このビットに0を書き込んでも無効です。

このビットは、タイマ1がFLXAnFRT1Cレジスタに設定された状態と一致したことを示します。

FLXAnFROC.T1IEビットが有効でFLXAnFROS.T1ISビットが1の場合、タイマ1割り込みが発生します。

【クリア条件】

FLXAnFROS.T1ISビットに1を書き込むと、このビットはクリアされます。

FLXAnFROS.OSビットが1から0に変化すると、このビットはクリアされます。

【セット条件】

FLXAnFRT1Cレジスタに設定された状態と一致すると、このビットはセットされます。

(3) FLXAnFROS.T0IS

タイマ0 割り込みステータスビット

このビットに0を書き込んでも無効です。

このビットは、タイマ0がFLXAnFRT0Cレジスタに設定された状態と一致したことを示します。

FLXAnFROC.T0IEビットが有効でFLXAnFROS.T0ISビットが1の場合、タイマ0割り込みが発生します。

【クリア条件】

FLXAnFROS.T0ISビットに1を書き込むと、このビットはクリアされます。

FLXAnFROS.OSビットが1から0に変化すると、このビットはクリアされます。

【セット条件】

FLXAnFRT0Cレジスタに設定された状態と一致すると、このビットはセットされます。

(4) FLXAnFROS.OS

動作状態ビット

このビットはFlexRayモジュールがリセット状態であるか動作状態であるかを示します。

FLXAnFROS.OSビットが0の場合、FlexRayモジュールは初期化され、アドレス範囲<FLXn_base>+0010_Hから<FLXn_base>+0FFF_Hにマッピングされたレジスタをアクセスすることはできません。また、これらのレジスタを読み出すと未定義データを返します。

FLXAnFROS.OSビットが1の場合、アドレス範囲<FLXn_base>+0010_Hから<FLXn_base>+0FFF_HへのアクセスおよびFlexRay通信の実行が可能です。

FLXAnFROS.OSビットが0から1へ変化すると、アドレス範囲<FLXn_base>+0010_Hから<FLXn_base>+0FFF_H内のすべてのレジスタは“リセット後の値”にセットされます。

【クリア条件】

FLXAnFROC.OEビットが0にセットされている場合、FLXAnFROS.OSビットが0にセットされるまで最大2周辺クロック必要です。

【セット条件】

FLXAnFROC.OEビットが1にセットされている場合、FLXAnFROS.OSビットが1にセットされるまでFlexRayサンプルクロックと周辺バスクロックのうち、より低い周波数をもつクロックの最大4周辺クロック必要です。

18.2.3 特殊レジスタ

18.2.3.1 FLXAnFRLCK — FlexRay ロックレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 001C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CLK[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.12 FLXAnFRLCK レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	CLK[7:0]	設定ロックキービット

(1) FLXAnFRLCK.CLK

設定ロックキービット

ロックレジスタは書き込み専用です。リードすると 0000 0000_H が戻ります。

FLXAnFRSUCC1.CMD[3:0] ビット (READY コマンド) への書き込みによって CONFIG 状態から抜ける前に、設定ロックキービットに連続した 2 つの書き込み (ロック解除シーケンス) を行ってください。以下にその手順を示します。設定ロックキービットへの 2 番目の書き込みと FLXAnFRSUCC1 レジスタへの書き込みサイクルの間に他のライトアクセスが発生した場合、CONFIG 状態のままなので、下記の手順を繰り返してください。

1 番目の書き込み : FLXAnFRLCK.CLK[7:0] ビット = “1100 1110_B” (CE_H)

2 番目の書き込み : FLXAnFRLCK.CLK[7:0] ビット = “0011 0001_B” (31_H)

3 番目の書き込み : FLXAnFRSUCC1.CMD[3:0] ビット

注 意

CPU が 8/16 ビットアクセスで上記のビットフィールドに書き込む場合、プログラマはコンパイラが残りのレジスタバイト/ワードにダミーアクセスしないように設定してください。

18.2.4 割り込み関連レジスタ

18.2.4.1 FLXAnFREIR — FlexRay エラー割り込みレジスタ

下記のいずれかのエラーが検出されると、フラグがセットされます。フラグは、クリアされるまでセットされたままです。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABB	LTVB	EDB	—	—	—	—	—	TABA	LTVA	EDA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHF	IOBA	IIBA	EFA	RFO	AERR	CCL	CCF	SFO	SFBM	CNA	PEMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.13 FLXAnFREIR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TABB	チャンネル B 境界越え送信フラグ 0: チャンネル B でスロット境界を越えた送信が未検出 1: チャンネル B でスロット境界を越えた送信が検出
25	LTVB	チャンネル B 最終送信違反フラグ 0: チャンネル B で最終送信違反が未検出 1: チャンネル B で最終送信違反が検出
24	EDB	チャンネル B エラー検出フラグ 0: チャンネル B でエラー未検出 1: チャンネル B でエラー検出
23 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	TABA	チャンネル A 境界越え送信フラグ 0: チャンネル A でスロット境界を越えた送信が未検出 1: チャンネル A でスロット境界を越えた送信が検出
17	LTVA	チャンネル A 最終送信違反フラグ 0: チャンネル A で最終送信違反が未検出 1: チャンネル A で最終送信違反が検出
16	EDA	チャンネル A エラー検出フラグ 0: チャンネル A でエラー未検出 1: チャンネル A でエラー検出
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MHF	メッセージハンドラ制約フラグ 0: メッセージハンドラ制約違反なし 1: メッセージハンドラ制約違反発生
10	IOBA	出力バッファ不正アクセスフラグ 0: 出力バッファへの不正 CPU アクセスなし 1: 出力バッファへの不正 CPU アクセス発生

表 18.13 FLXAnFREIR レジスタの内容 (2/2)

ビット位置	ビット名	機能
9	IIBA	入力バッファ不正アクセスフラグ 0: 入力バッファへの不正な CPU アクセスなし 1: 入力バッファへの不正な CPU アクセス発生
8	EFA	エンプティ FIFO アクセスフラグ 0: エンプティ FIFO へのアクセスなし 1: エンプティ FIFO へのアクセスあり
7	RFO	受信 FIFO オーバランフラグ 0: 受信 FIFO オーバラン未検出 1: 受信 FIFO オーバラン発生
6	AERR	アクセスエラーフラグ 0: アクセスエラー未検出 1: アクセスエラー検出
5	CCL	CHI コマンドロックフラグ 0: CHI コマンド受け付け 1: CHI コマンド拒否
4	CCF	クロック補正エラーフラグ 0: クロック補正成功 1: クロック補正エラー
3	SFO	Sync フレーム数オーバフローフラグ 0: 受信した Sync フレーム数が FLXAnFRGTUC2.SNM ビットの設定値以下 1: 受信した Sync フレーム数が FLXAnFRGTUC2.SNM ビットの設定値を超過
2	SFBM	Sync フレーム数不足フラグ 0: Sync ノード : 1 つ以上の Sync フレームを受信 非 Sync ノード : 2 つ以上の Sync フレームを受信 1: 受信した Sync フレーム数が規定の最小値未満
1	CNA	コマンド無効フラグ 0: CHI コマンド受け付け 1: CHI コマンド無効
0	PEMC	POC エラーモード変更フラグ 0: エラーモード未変更 1: エラーモード変更

(1) FLXAnFREIR.TABB

チャンネル B 境界越え送信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャンネル B においてスロット境界を越える送信が発生したことを示します。

(2) FLXAnFREIR.LTVB

チャンネル B 最終送信違反フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャンネル B 最終送信違反があったことを示します。

(3) FLXAnFREIR.EDB

チャンネル B エラー検出フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRACS.SEDB, CEDB, CIB, SBVB ビットのいずれかが “0” から “1” になると “1” になります。

(4) FLXAnFREIR.TABA

チャンネル A 境界越え送信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャンネル A においてスロット境界を越える送信が発生したことを示します。

(5) FLXAnFREIR.LTVA

チャンネル A 最終送信違反フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャンネル A 最終送信違反があったことを示します。

(6) FLXAnFREIR.EDA

チャンネル A エラー検出フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRACS.SEDA, CEDA, CIA, SBVA ビットのいずれかが “0” から “1” になると “1” になります。

(7) FLXAnFREIR.MHF

メッセージハンドラ制約フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージハンドラ制約違反状態を示します。FLXAnFRMHDF.SNUA, SNUB, FNFA, FNFB, TBFA, TBFB, WAHP ビットのいずれかが “0” から “1” になると “1” になります。

(8) FLXAnFREIR.IOBA

出力バッファ不正アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFROBCR.OBSYS ビットが “1” のとき、メッセージ RAM から出力バッファへ、メッセージバッファの転送要求が発生すると “1” になります。

(9) FLXAnFREIR.IIBA

入力バッファ不正アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

CPU が入力バッファ経由でメッセージバッファの変更を要求し、下記のいずれかの条件が発生したとき、“1” になります。

- (1) CONFIG 状態または DEFAULT_CONFIG 状態以外で、CPU が以下の変更をするために、FlexRay 入力バッファコマンド要求レジスタに書き込んだ場合
 - キースロットとして設定されているメッセージバッファ 0 または 1 のヘッダセクション
 - FLXAnFRMRC.SEC[1:0] ビットが “01” のとき、FDB[7:0] ビットで設定したバッファ番号より小さいバッファ番号を持つスタティックメッセージバッファのヘッダセクション
 - FLXAnFRMRC.SEC[1:0] ビットが “1x” のとき、スタティックメッセージバッファまたはダイナミックメッセージバッファのヘッダセクション
 - 受信 FIFO に属するメッセージバッファのヘッダおよび/またはデータセクション
- (2) FLXAnFRIBCR.IBSYH ビットが “1” のとき、入力バッファ関連のレジスタに書き込んだ場合

(10) FLXAnFREIR.EFA

エンプティ FIFO アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

受信 FIFO がエンプティ状態のとき、CPU が出力バッファを通じて受信 FIFO からメッセージ転送を要求した場合、“1” になります。

(11) FLXAnFREIR.RFO

受信 FIFO オーバランフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

受信 FIFO オーバランを検出したとき “1” になります。受信 FIFO オーバランが発生すると、受信 FIFO 内の一番古いメッセージに新しいメッセージが上書きされます。FIFO の現在の状態は FLXAnFRFSR レジスタで読むことができます。

(12) FLXAnFREIR.AERR

アクセスエラーフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

アクセスエラーを通知します。

FLXAnFRMHDS.AMR ビット、ATBF1 ビットまたは ATBF2 ビットが “0” から “1” になると “1” になります。

(13) FLXAnFREIR.CCL

CHI コマンドロックフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前の CHI コマンドの実行が完了していないために、FLXAnFRSUCC1.CMD[3:0] ビットへの CHI コマンド書き込みが無効になったことを示します。このフラグが“1”になると同時に、CNA フラグも“1”になります。

(14) FLXAnFREIR.CCF

クロック補正エラーフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

下記のエラーのうちいずれかが発生した場合、コミュニケーションサイクルの最後で“1”になります。

- オフセットおよび/またはレート補正未満
- クロック補正制限値の超過

クロック補正の状態は FLXAnFRCCEV レジスタ、FLXAnFRSFS レジスタで読むことができます。このフラグはスタートアップ中に“1”なる可能性があるため、NORMAL_ACTIVE 状態に遷移後、このフラグを“0”にしてください。

(15) FLXAnFREIR.SFO

Sync フレーム数オーバーフローフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のコミュニケーションサイクル中で受信した Sync フレーム数、または最後の 2 つのサイクルで受信した異なる Sync フレーム ID 数の総和が、FLXAnFRGTUC2.SNM[3:0] ビットで設定した Sync フレームの最大数を超過した場合、“1”になります。

(16) FLXAnFREIR.SFBM

Sync フレーム数不足フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のコミュニケーションサイクル中に受信した Sync フレーム数が、レートあるいはオフセット補正值で規定された最小値未満の場合（レートおよび/またはオフセット補正未満）、サイクルの最後で“1”になります。

クロック補正の状態は、FLXAnFRCCEV レジスタ、FLXAnFRSFS レジスタで読むことができます。

このフラグはスタートアップ中に“1”なる可能性があるため、NORMAL_ACTIVE 状態に遷移後このフラグを“0”にしてください。

(17) FLXAnFREIR.CNA

コマンド無効フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

要求したコマンドが、現状の POC 状態で無効だった、または CHI コマンドがロックされた (CCL = 1) ために、FLXAnFRSUCC1.CMD[3:0] ビットへのコマンドが無効だったことを示します。

(18) FLXAnFREIR.PEMC

POC エラーモード変更フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRCCEV.ERRM[1:0] ビットで示されるエラーモードが変更されると“1”になります。

18.2.4.2 FLXAnFRSIR — FlexRay ステータス割り込みレジスタ

下記のいずれかのイベントを検出すると、フラグがセットされます。フラグは、クリアされるまでセットされたままです。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0024_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSB	WUPB	—	—	—	—	—	—	MTSA	WUPA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS	WST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.14 FLXAnFRSIR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	MTSB	チャンネル B MTS 受信フラグ (vSSIValidMTSB) 0: チャンネル B で MTS の受信なし 1: チャンネル B で MTS を受信した
24	WUPB	チャンネル B ウェイクアップパターン受信フラグ 0: チャンネル B でウェイクアップパターンの受信なし 1: チャンネル B でウェイクアップパターンを受信した
23 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MTSA	チャンネル A MTS 受信フラグ (vSSIValidMTSA) 0: チャンネル A で MTS の受信なし 1: チャンネル A で MTS を受信した
16	WUPA	チャンネル A ウェイクアップパターン受信フラグ 0: チャンネル A でウェイクアップパターンの受信なし 1: チャンネル A でウェイクアップパターンを受信した
15	SDS	ダイナミックセグメント開始フラグ 0: ダイナミックセグメント未開始 1: ダイナミックセグメント開始
14	MBSI	メッセージバッファステータス割り込みフラグ 0: MBI ビットが "1" のメッセージバッファのステータス変化なし 1: MBI ビットが "1" のメッセージバッファのステータスが 1 つ以上変化
13	SUCS	スタートアップ正常終了フラグ 0: スタートアップ未終了 1: スタートアップ正常終了
12	SWE	ストップウォッチイベントフラグ 0: ストップウォッチイベントなし 1: ストップウォッチイベントあり
11	TOBC	OBF 転送完了フラグ 0: 転送未完了 1: メッセージ RAM から出力バッファへの転送完了

表 18.14 FLXAnFRSIR レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	TIBC	IBF 転送完了フラグ 0: 転送未完了 1: 入力バッファからメッセージ RAM への転送完了
9	TI1	タイマ 1 割り込みフラグ 0: タイマ 1 割り込みなし 1: タイマ 1 割り込み発生
8	TI0	タイマ 0 割り込みフラグ 0: タイマ 0 割り込みなし 1: タイマ 0 割り込み発生
7	NMVC	NM ベクタ変更フラグ 0: NM ベクタ変更なし 1: NM ベクタ変更された
6	RFCL	受信 FIFO クリティカルレベルフラグ 0: 受信 FIFO 中のデータがクリティカルレベル未満 1: 受信 FIFO 中のデータがクリティカルレベルに達した
5	RFNE	受信 FIFO データありフラグ 0: 受信 FIFO にデータなし 1: 受信 FIFO にデータあり
4	RXI	受信割り込みフラグ 0: MBI ビットが "1" の受信バッファの ND フラグが "1" に設定されていない 1: MBI ビットが "1" の受信バッファの ND フラグが "1" に設定されていた
3	TXI	送信割り込みフラグ 0: MBI ビットが 1 の送信バッファからフレーム送信なし 1: MBI ビットが 1 の送信バッファから 1 つ以上のフレームの送信あり
2	CYCS	サイクル開始割り込みフラグ 0: コミュニケーションサイクル開始せず 1: コミュニケーションサイクル開始
1	CAS	衝突回避シンボル受信フラグ 0: CAS シンボルと同じビットパターンを受信せず 1: CAS シンボルと同じビットパターンを受信
0	WST	ウェイクアップ状態変化フラグ 0: ウェイクアップ状態変化せず 1: ウェイクアップ状態変化

(1) FLXAnFRSIR.MTSB

チャンネル B MTS 受信フラグ (vSS!ValidMTSB)

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のチャンネル B シンボルウィンドウで Media Access Test Symbol (MTS) を受信したことを示します。シンボルウィンドウの最後でチャンネルごとに更新されます。

(2) FLXAnFRSIR.WUPB

チャンネル B ウェイクアップパターン受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

以下のいずれかの状態の場合に、チャンネル B でウェイクアップパターンを受信すると“1”になります。

- WAKEUP
- READY
- STARTUP

(3) FLXAnFRSIR.MTSA

チャンネル A MTS 受信フラグ (vSS!ValidMTSA)

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のチャンネル A シンボルウィンドウで Media Access Test Symbol (MTS) を受信したことを示します。シンボルウィンドウの最後でチャンネルごとに更新されます。

(4) FLXAnFRSIR.WUPA

チャンネル A ウェイクアップパターン受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

以下のいずれかの状態の場合に、チャンネル A でウェイクアップパターンを受信すると“1”になります。

- WAKEUP
- READY
- STARTUP

(5) FLXAnFRSIR.SDS

ダイナミックセグメント開始フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

ダイナミックセグメントが開始したときに“1”になります。

(6) FLXAnFRSIR.MBSI

メッセージバッファステータス割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

該当するメッセージバッファの MBI ビットが“1”のとき、メッセージバッファのステータス (FLXAnFRMBS レジスタ) が変化すると、“1”になります。(表 18.107 参照)

(7) FLXAnFRSIR.SUCS

スタートアップ正常終了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

スタートアップが正常に終了して、NORMAL_ACTIVE 状態に遷移したときに "1" になります。

(8) FLXAnFRSIR.SWE

ストップウォッチイベントフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

現在のサイクルカウンタ値と MT 値がストップウォッチレジスタに格納されたとき、ストップウォッチ有効化の後、“1” になります。(「18.2.5.4 FLXAnFRSTPW1 — FlexRay ストップウォッチレジスタ 1」参照)

(9) FLXAnFRSIR.TOBC

OBF 転送完了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージ RAM から出力バッファへの転送が完了して、FLXAnFROBCR.OBSYS ビットが、メッセージハンドラによりクリアされたときに “1” になります。

(10) FLXAnFRSIR.TIBC

IBF 転送完了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージ RAM から入力バッファへの転送が完了して、FLXAnFRIBCR.IBSYS ビットが、メッセージハンドラによりクリアされたときに “1” になります。

(11) FLXAnFRSIR.TI1

タイマ 1 割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

タイマ 1 の値と FLXAnFRT1C レジスタの値が一致したときに “1” になります。

FLXAnFROC.TI1E ビットが有効の場合、FlexRay タイマ 1 割り込みが発生します。

(12) FLXAnFRSIR.TI0

タイマ 0 割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

タイマ 0 の値と FLXAnFRT0C レジスタの値が一致したときに “1” になります。

FLXAnFROC.TI0E ビットが有効の場合、FlexRay タイマ 0 割り込みが発生します。

(13) FLXAnFRSIR.NMVC

NM ベクタ変更フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

ネットワーク管理ベクタ (NM ベクタ) が変更されたとき、“1” になります。

(14) FLXAnFRSIR.RFCL

受信 FIFO クリティカルレベルフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRFSR.RFFL [7:0] ビットで示される FIFO データ量が FLXAnFRFCL.CL[7:0] ビットの設定値以上の場合 “1” になります。

(15) FLXAnFRSIR.RFNE

受信 FIFO データありフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

有効なフレームが受信 FIFO に格納されると “1” になります。現在の受信 FIFO の状態は FLXAnFRFSR レジスタで読むことができます。

(16) FLXAnFRSIR.RXI

受信割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージバッファの ND フラグの設定条件が満たされ (「**18.2.9.6 FLXAnFRNDATm—FlexRay 新データレジスタ m (m = 1 ~ 4)**」参照)、このとき、各メッセージバッファの MBI ビットが “1” に設定されると、“1” になります。(表 18.107 参照)

(17) FLXAnFRSIR.TXI

送信割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

各メッセージバッファの MBI ビットに “1” が設定されているとフレーム送信の最後に “1” になります。(表 18.107 参照)

(18) FLXAnFRSIR.CYCS

サイクル開始割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

コミュニケーションサイクル開始ごとに “1” になります。

(19) FLXAnFRSIR.CAS

衝突回避シンボル受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

STARTUP 状態のとき CAS（または、予測される CAS）を受信すると“1”になります。

(20) FLXAnFRSIR.WST

ウェイクアップ状態変化フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXAnFRCCSV.WSV[2:0] フラグが UNDEFINED 以外に変化すると“1”になります。

18.2.4.3 FLXAnFREILS — FlexRay エラー割り込み出力選択レジスタ

FLXAnFREIR レジスタの特定のエラー割り込みフラグで生成される割り込みを2つのモジュール割り込み出力 (FlexRay0 割り込みあるいは FlexRay1 割り込み) のどちらかに割り当てます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0028_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABB	LTVBL	EDBL	—	—	—	—	—	TABAL	LTVL	EDAL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFL	IOBAL	IIBAL	EFAL	RFOL	AERRL	CCLL	CCFL	SFOL	SFBML	CNAL	PEMCL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.15 FLXAnFREILS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TABB	チャンネル B スロット境界越え送信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
25	LTVBL	チャンネル B 最終送信違反割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
24	EDBL	チャンネル B エラー検出割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
23 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	TABAL	チャンネル A スロット境界越え送信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
17	LTVL	チャンネル A 最終送信違反割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
16	EDAL	チャンネル A エラー検出割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MHFL	メッセージハンドラ制限割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
10	IOBAL	出力バッファ不正アクセス割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て

表 18.15 FLXAnFREILS レジスタの内容 (2/2)

ビット位置	ビット名	機能
9	IIBAL	入力バッファ不正アクセス割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
8	EFAL	エンプティ FIFO アクセス割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
7	RFOL	受信 FIFO オーバラン割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
6	AERRL	アクセスエラー割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
5	CCLL	CHI コマンドロック割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
4	CCFL	クロック補正失敗割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
3	SFOL	Sync フレーム数オーバーフロー割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
2	SFBML	Sync フレーム数不足割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
1	CNAL	コマンド無効割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
0	PEMCL	POC エラーモード変化割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て

18.2.4.4 FLXAnFRSILS — FlexRay ステータス割り込み出力選択レジスタ

FLXAnFRSIR レジスタの特定のステータス割り込みフラグで生成される割り込みを2つのモジュール割り込み出力 (FlexRay0 割り込みあるいは FlexRay1 割り込み) のどちらかに割り当てます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 002C_H

リセット後の値 0303 FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBL	WUPBL	—	—	—	—	—	—	MTSAL	WUPAL
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L	NMVCL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.16 FLXAnFRSILS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	MTSBL	チャンネル B MTS 受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
24	WUPBL	チャンネル B ウェイクアップパターン受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
23 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MTSAL	チャンネル A MTS 受信割り込み出力ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
16	WUPAL	チャンネル A ウェイクアップパターン受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
15	SDSL	ダイナミックセグメント開始割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
14	MBSIL	メッセージバッファステータス割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
13	SUCSL	スタートアップ正常終了割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
12	SWEL	ストップウォッチイベント割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
11	TOBCL	出力バッファ転送完了割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て

表 18.16 FLXAnFRSILS レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	TIBCL	入力バッファ転送完了割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
9	TI1L	タイマ 1 割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
8	TI0L	タイマ 0 割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
7	NMVCL	NM ベクタ変化割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
6	RFCLL	受信 FIFO クリティカルレベル割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
5	RFNEL	受信 FIFO データあり割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
4	RXIL	受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
3	TXIL	送信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
2	CYCSL	サイクル開始割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
1	CASL	衝突回避シンボル受信割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て
0	WSTL	ウェイクアップ状態変化割り込み出力選択ビット 0: FlexRay0 割り込み要求に割り当て 1: FlexRay1 割り込み要求に割り当て

18.2.4.5 FLXAnFREIES — FlexRay エラー割り込み許可レジスタ

FlexRay エラー割り込み許可レジスタ (FLXAnFREIES) および FlexRay エラー割り込み禁止レジスタ (FLXAnFREIER) では、FlexRay エラー割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFREIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFREIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがセットされます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0030_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBE	LTVBE	EDBE	—	—	—	—	—	TABAE	LTVAE	EDAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFE	IOBAE	IIBAE	EFAE	RFOE	AERRE	CCLE	CCFE	SFOE	SFBME	CNAE	PEMCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.17 FLXAnFREIES レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TABBE	チャンネル B スロット境界送信違反割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
25	LTVBE	チャンネル B 最終送信違反割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
24	EDBE	チャンネル B エラー検出割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
23 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	TABAE	チャンネル A スロット境界送信違反割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
17	LTVAE	チャンネル A 最終送信違反割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
16	EDAE	チャンネル A エラー検出割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 18.17 FLXAnFREIES レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	MHFE	メッセージハンドラ制限割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
10	IOBAE	OBF 不正アクセス割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
9	IIBAE	IBF 不正アクセス割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
8	EFAE	エンプティ FIFO アクセス割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
7	RFOE	受信 FIFO オーバラン割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
6	AERRE	アクセスエラー割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
5	CCLE	CHI コマンドロック割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
4	CCFE	クロック補正失敗割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
3	SFOE	Sync フレーム数オーバフロー割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
2	SFBME	Sync フレーム数不足割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
1	CNAE	コマンド無効割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
0	PEMCE	POC エラーモード変化割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

18.2.4.6 FLXAnFREIER — FlexRay エラー割り込み禁止レジスタ

FlexRay エラー割り込み許可レジスタ (FLXAnFREIES) および FlexRay エラー割り込み禁止レジスタ (FLXAnFREIER) では、FlexRay エラー割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFREIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFREIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがクリアされます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0034_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABB	LTVB	EDBD	—	—	—	—	—	TABAD	LTVAD	EDAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFD	IOBAD	IIBAD	EFAD	RFOD	AERRD	CCLD	CCFD	SFOD	SFBMD	CNAD	PEMCD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.18 FLXAnFREIER レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TABB	チャンネル B スロット境界送信違反割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
25	LTVB	チャンネル B 最終送信違反割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
24	EDBD	チャンネル B エラー検出割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
23 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	TABAD	チャンネル A スロット境界送信違反割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
17	LTVAD	チャンネル A 最終送信違反割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
16	EDAD	チャンネル A エラー検出割り込み禁止ビット 0: 割り込み禁止 1: 割り込み禁止
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 18.18 FLXAnFREIER レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	MHFD	メッセージハンドラ制限割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
10	IOBAD	OBF 不正アクセス割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
9	IIBAD	IBF 不正アクセス割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
8	EFAD	エンプティ FIFO アクセス割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
7	RFOD	受信 FIFO オーバラン割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
6	AERRD	アクセスエラー割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
5	CCLD	CHI コマンドロック割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
4	CCFD	クロック補正失敗割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
3	SFOD	Sync フレーム数オーバーフロー割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
2	SFBMD	Sync フレーム数不足割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
1	CNAD	コマンド無効割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
0	PEMCD	POC エラーモード変化割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可

18.2.4.7 FLXAnFRSIES — FlexRay ステータス割り込み許可レジスタ

FlexRay ステータス割り込み許可レジスタ (FLXAnFRSIES) および FlexRay ステータス割り込み禁止レジスタ (FLXAnFRSIER) では、FlexRay ステータス割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFRSIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFRSIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがセットされます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0038_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBE	WUPBE	—	—	—	—	—	—	MTSAE	WUPAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSE	MBSIE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E	NMVCE	RFCLE	RFNEE	RXIE	TXIE	CYCSE	CASE	WSTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.19 FLXAnFRSIES レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	MTSBE	チャンネル B MTS 受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
24	WUPBE	チャンネル B WUP 受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
23 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MTSAE	チャンネル A MTS 受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
16	WUPAE	チャンネル A WUP 受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
15	SDSE	ダイナミックセグメント開始割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
14	MBSIE	メッセージバッファステータス割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
13	SUCSE	スタートアップ正常終了割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

表 18.19 FLXAnFRSIES レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	SWEE	ストップウォッチイベント割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
11	TOBCE	OBF 転送完了割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
10	TIBCE	IBF 転送完了割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
9	TI1E	タイマ 1 割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
8	TI0E	タイマ 0 割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
7	NMVCE	NM ベクタ変化割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
6	RFCLE	受信 FIFO クリティカルレベル割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
5	RFNEE	受信 FIFO データあり割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
4	RXIE	受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
3	TXIE	送信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
2	CYCSE	サイクル開始割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
1	CASE	衝突回避シンボル受信割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
0	WSTE	ウェイクアップ状態変化割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可

18.2.4.8 FLXAnFRSIER — FlexRay ステータス割り込み禁止レジスタ

FlexRay ステータス割り込み許可レジスタ (FLXAnFRSIES) および FlexRay ステータス割り込み禁止レジスタ (FLXAnFRSIER) では、FlexRay ステータス割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFRSIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFRSIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがクリアされます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 003C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBD	WUPBD	—	—	—	—	—	—	MTSAD	WUPAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSD	MBSID	SUCSD	SWED	TOBCD	TIBCD	TI1D	TI0D	NMVCD	RFCLD	RFNED	RXID	TXID	CYCSD	CASD	WSTD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.20 FLXAnFRSIER レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	MTSBD	チャンネル B MTS 受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
24	WUPBD	チャンネル B WUP 受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
23 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MTSAD	チャンネル A MTS 受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
16	WUPAD	チャンネル A WUP 受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
15	SDSD	ダイナミックセグメント開始割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
14	MBSID	メッセージバッファステータス割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
13	SUCSD	スタートアップ正常終了割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可

表 18.20 FLXAnFRSIER レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	SWED	ストップウォッチイベント割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
11	TOBCD	OBF 転送完了割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
10	TIBCD	IBF 転送完了割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
9	TI1D	タイマ 1 割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
8	TI0D	タイマ 0 割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
7	NMVCD	NM ベクタ変化割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
6	RFCLD	受信 FIFO クリティカルレベル割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
5	RFNED	受信 FIFO データあり割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
4	RXID	受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
3	TXID	送信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
2	CYCSD	サイクル開始割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
1	CASD	衝突回避シンボル受信割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可
0	WSTD	ウェイクアップ状態変化割り込み禁止ビット 0: 割り込み禁止 1: 割り込み許可

18.2.4.9 FLXAnFRILE — FlexRay 割り込み出力許可レジスタ

FlexRay0 割り込み要求および FlexRay1 割り込み要求の出力許可 / 禁止を FLXAnFRILE.EINT0、FLXAnFRILE.EINT1 ビットで設定します。

アクセス 8、16、32 ビット単位でリード / ライト可能です。

アドレス <FLXn_base>+ 0040_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EINT1	EINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 18.21 FLXAnFRILE レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	EINT1	FlexRay1 割り込み出力許可ビット 0: FlexRay 1 割り込み要求出力禁止 1: FlexRay 1 割り込み要求出力許可
0	EINT0	FlexRay0 割り込み出力許可ビット 0: FlexRay 0 割り込み要求出力禁止 1: FlexRay0 割り込み要求出力許可

18.2.5 FlexRay タイマレジスタ

18.2.5.1 FLXAnFRT0C — FlexRay タイマ 0 設定レジスタ

絶対値タイマです。タイマ 0 割り込みの発生タイミングをサイクルカウント値と MT 値で指定します。タイマ 0 が経過すると、FLXAnFRSIR.TI0 ビットおよび FLXAnFROS.T0IS ビットが“1”にセットされ、FLXAnFROC.T0IE ビットが有効の場合、タイマ 0 割り込みが発生します。

注意

タイマ 0 の設定は、MT カウンタ値と比較されます。タイマ 0 用に独立したカウンタはありません。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0044_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TOMO[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TOCC[6:0]						—	—	—	—	—	—	—	TOMS	TORC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 18.22 FLXAnFRT0C レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ~ 16	TOMO[13:0]	タイマ 0 MT オフセットビット タイマ 0 MT オフセット
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ~ 8	TOCC[6:0]	タイマ 0 サイクルコードビット タイマ 0 サイクルコード
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	TOMS	タイマ 0 モード選択ビット 0: シングルショットモード 1: 連続モード
0	TORC	タイマ 0 制御ビット 0: タイマ 0 停止 1: タイマ 0 動作開始

(1) FLXAnFRT0C.T0MO

タイマ 0 MT オフセットビット

タイマの設定値を変更する場合は、FLXAnFRT0C.T0RC ビットに“0”を書き、タイマを停止させてから設定してください。

本ビットは、タイマ 0 割り込みを発生させるタイミングを、通信サイクルの開始位置からの MT オフセット値で設定します。タイマ 0 割り込みは、サイクルセットの各サイクルの設定したオフセット位置で発生します。

(2) FLXAnFRT0C.T0CC

タイマ 0 サイクルコードビット

タイマの設定値を変更する場合は、FLXAnFRT0C.T0RC ビットに“0”を書き、タイマを停止させてから設定してください。

タイマ 0 割り込みを発生させるサイクルセットを 7 ビットのタイマ 0 サイクルコードで設定します。詳細は「**18.3.8.2 サイクルカウンタフィルタリング**」を参照してください。

(3) FLXAnFRT0C.T0MS

タイマ 0 モード選択ビット

タイマの設定値を変更する場合は、FLXAnFRT0C.T0RC ビットに“0”を書き、タイマを停止させてから設定してください。

タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(4) FLXAnFRT0C.T0RC

タイマ 0 制御ビット

タイマ 0 は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能 (FLXAnFRT0C.T0RC ビットに“1”をセット) です。

タイマ 0 は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移すると停止します。

18.2.5.2 FLXAnFRT1C — FlexRay タイマ 1 設定レジスタ

相対値タイマです。一定の MT 数が経過すると、タイマ 1 割り込みが発生します。タイマ 1 が経過すると、FLXAnFRSIR.TI1 ビットおよび FLXAnFROS.TIIS ビットに“1”がセットされ、FLXAnFROC.TIIE ビットが有効の場合、タイマ 1 割り込みが発生します。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0048_H

リセット後の値 0002 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T1MC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	T1MS	T1RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 18.23 FLXAnFRT1C レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ~ 16	T1MC[13:0]	タイマ 1 の MT カウント値を設定します。
15 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	T1MS	タイマ 1 モード選択ビット 0: シングルショットモード 1: 連続モード
0	T1RC	タイマ 1 制御ビット 0: タイマ 1 停止 1: タイマ 1 動作開始

(1) FLXAnFRT1C.T1MC

タイマ 1 MT カウントビット

タイマの設定値を変更する場合は、FLXAnFRT1C.T1RC ビットに“0”を書き、タイマを停止させてから設定してください。

連続モード時の有効値 : 2 ~ 16383 MT

シングルショットモード時の有効値 : 1 ~ 16383 MT

タイマ 1 の値が設定した MT カウント値になるとタイマ 1 割り込みが発生します。

(2) FLXAnFRT1C.T1MS

タイマ1モード選択ビット

タイマの設定値を変更する場合は、FLXAnFRT1C.T1RC ビットに“0”を書き、タイマを停止させてから設定してください。

タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(3) FLXAnFRT1C.T1RC

タイマ1制御ビット

タイマ1は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能 (FLXAnFRT1C.T1RC ビットに“1”をセット) です。

タイマ1は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移すると停止します。

18.2.5.3 FLXAnFRT2C — FlexRay タイマ 2 設定レジスタ

絶対値タイマです。タイマ 2 は、タイマ 0 と同様の絶対値タイマ機能を持っています。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0844_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T2MO[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	T2CC[6:0]						—	—	—	—	—	—	T2MS	T2RC	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 18.24 FLXAnFRT2C レジスタの内容

ビット位置	ビット名	機能
31 ~ 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ~ 16	T2MO[13:0]	タイマ 2 MT オフセットビット タイマ 2 MT オフセット
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ~ 8	T2CC[6:0]	タイマ 2 サイクルコードビット タイマ 2 サイクルコード
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	T2MS	タイマ 2 モード選択ビット 0: シングルショットモード 1: 連続モード
0	T2RC	タイマ 2 制御ビット 0: タイマ 2 停止 1: タイマ 2 動作開始

(1) FLXAnFRT2C.T2MO

タイマ 2 MT オフセットビット

タイマの設定値を変更する場合は、FLXAnFRT2C.T2RC ビットに“0”を書き、タイマを停止させてから設定してください。

本ビットは、タイマ 2 割り込みを発生させるタイミングを、通信サイクルの開始位置からの MT オフセット値で設定します。タイマ 2 割り込みは、サイクルセットの各サイクルの設定したオフセット位置で発生します。

(2) FLXAnFRT2C.T2CC

タイマ2 サイクルコードビット

タイマの設定値を変更する場合は、FLXAnFRT2C.T2RC ビットに“0”を書き、タイマを停止させてから設定してください。

タイマ2 割り込みを発生させるサイクルセットを7ビットのタイマ2 サイクルコードで設定します。詳細は「**18.3.8.2 サイクルカウンタフィルタリング**」を参照してください。

(3) FLXAnFRT2C.T2MS

タイマ2 モード選択ビット

タイマの設定値を変更する場合は、FLXAnFRT2C.T2RC ビットに“0”を書き、タイマを停止させてから設定してください。

タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(4) FLXAnFRT2C.T2RC

タイマ2 制御ビット

タイマ2 は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能 (FLXAnFRT2C.T2RC ビットに“1”をセット) です。

タイマ2 は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移すると停止します。

18.2.5.4 FLXAnFRSTPW1 — FlexRay ストップウォッチレジスタ 1

ストップウォッチタイマは、以下のトリガイベントにより起動します。

- FLX0STPWT 端子への立ち上がり／立ち下がりエッジの入力
- FlexRay0 割り込み要求または FlexRay1 割り込み要求の発生
- FLXAnFRSTPW1.SSWT ビットへの“1”書き込み

ストップウォッチが起動してから最初の MT カウンタのインクリメント発生時に、サイクルカウンタ値と MT 値が FLXAnFRSTPW1 レジスタに、チャンネル A および B のスロットカウンタ値が FLXAnFRSTPW2 レジスタに取り込まれます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 004C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SMTV[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SCCV[5:0]					—	EINT1	EINT0	EETP	SSWT	EDGE	SWMS	ESWT	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.25 FLXAnFRSTPW1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ~ 16	SMTV[13:0]	ストップウォッチイベント発生 MT 値ビット ストップウォッチイベント発生 MT 値
15 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 8	SCCV[5:0]	ストップウォッチイベント発生サイクルカウンタ値ビット ストップウォッチイベント発生サイクルカウンタ値
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	EINT1	FlexRay1 割り込みトリガ許可ビット 0: FlexRay1 割り込みによるトリガ禁止 1: FlexRay1 割り込みによるトリガ許可
5	EINT0	FlexRay0 割り込みトリガ許可ビット 0: FlexRay0 割り込みによるトリガ禁止 1: FlexRay0 割り込みによるトリガ許可
4	EETP	外部トリガ端子許可ビット 0: FLX0STPWT 端子によるトリガ禁止 1: FLX0STPWT 端子によるトリガ許可
3	SSWT	ソフトウェアストップウォッチトリガビット 0: ソフトウェアトリガリセット 1: ストップウォッチトリガが起動

表 18.25 FLXAnFRSTPW1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	EDGE	ストップウォッチトリガエッジ選択ビット 0: 立ち下がりエッジ 1: 立ち上がりエッジ
1	SWMS	ストップウォッチモード選択ビット 0: シングルショットモード 1: 連続モード
0	ESWT	ハードウェアストップウォッチトリガ許可ビット 0: ハードウェアトリガ禁止 1: ハードウェアトリガ許可

(1) FLXAnFRSTPW1.SMTV

ストップウォッチイベント発生 MT 値

ストップウォッチイベント発生時の MT カウンタ値を示します。

(2) FLXAnFRSTPW1.SCCV

ストップウォッチイベント発生サイクルカウンタ値

ストップウォッチイベント発生時のサイクルカウンタ値を示します。

(3) FLXAnFRSTPW1.EINT1

FlexRay1 割り込みトリガ許可ビット

FLXAnFRSTPW1.ESWT ビットが“1”のときに FlexRay1 割り込みイベントをストップウォッチトリガとします。

(4) FLXAnFRSTPW1.EINT0

FlexRay0 割り込みトリガ許可ビット

FLXAnFRSTPW1.ESWT ビットが“1”のときに FlexRay0 割り込みイベントをストップウォッチトリガとします。

(5) FLXAnFRSTPW1.EETP

外部トリガ端子許可ビット

FLXAnFRSTPW1.ESWT ビットが“1”のときに FLX0STPWT 端子イベントをストップウォッチトリガとします。

(6) FLXAnFRSTPW1.SSWT

ソフトウェアストップウォッチトリガビット

FLXAnFRSTPW1.ESWT ビットと SSWT ビットを同時に“1”にセットすることはできません。この場合、レジスタへの書き込みアクセスは無視され、両方のビットは前の値のままです。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されます。

このビットに“1”が書き込まれるとストップウォッチが起動します。このビットは、サイクルカウンタ値、スロットカウンタ値および MT 値が FlexRay ストップウォッチレジスタに設定された後、“0”になります。

(7) FLXAnFRSTPW1.EDGE

ストップウォッチトリガエッジ選択ビット

(8) FLXAnFRSTPW1.SWMS

ストップウォッチモード選択ビット

(9) FLXAnFRSTPW1.ESWT

ハードウェアストップウォッチトリガ許可ビット

FLXAnFRSTPW1.ESWT ビットと SSWT ビットを同時に“1”にセットすることはできません。この場合、レジスタへの書き込みアクセスは無視され、両方のビットは前の値のままです。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されます。

本ビットが許可されると、外部トリガ端子入力イベントか FlexRay0 割り込みイベント、FlexRay1 割り込みイベントのいずれかがストップウォッチを起動します。

シングルショットモード時、このビットは、サイクルカウンタ値、スロットカウンタ値および MT 値が FlexRay ストップウォッチレジスタに設定された後 "0" になります。

18.2.5.5 FLXAnFRSTPW2 — FlexRay ストップウォッチレジスタ 2

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0050_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SSCVB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SSCVA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.26 FLXAnFRSTPW2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。
26 ~ 16	SSCVB[10:0]	チャンネル B ストップウォッチスロットカウンタ値
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 0	SSCVA[10:0]	チャンネル A ストップウォッチスロットカウンタ値

(1) FLXAnFRSTPW2.SSCVB

チャンネル B ストップウォッチスロットカウンタ値

ストップウォッチイベント発生時のチャンネル B のスロットカウンタ値を示します。

(2) FLXAnFRSTPW2.SSCVA

チャンネル A ストップウォッチスロットカウンタ値

ストップウォッチイベント発生時のチャンネル A のスロットカウンタ値を示します。

18.2.6 CC 制御レジスタ

ここでは、CPU が CC (Communication Controller) の動作を制御するためのレジスタについて説明します。FlexRay プロトコル仕様では、アプリケーション設定データの書き込みを CONFIG 状態でのみ行うよう規定しています。なお、各設定レジスタは DEFAULT_CONFIG 状態での書き換えからは保護されていないことに注意してください。

設定データは、リセット後に DEFAULT_CONFIG 状態に入るとクリアされます。POC の状態を DEFAULT_CONFIG 状態から CONFIG 状態に遷移させるには、CHI コマンドの CONFIG を使用します。CONFIG 状態から抜けるには、「18.2.3.1 FLXAnFRLCK — FlexRay ロックレジスタ」に記載のロック解除シーケンスを実行します。

18.2.6.1 FLXAnFRSUCC1 — FlexRay SUC 設定レジスタ 1

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0080_H

リセット後の値 0C40 1080_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	CCHB	CCHA	MTSB	MTSA	HCSE	TSM	WUCS	PTA[4:0]				
リセット後の値	0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSA[4:0]				—	TXSY	TXST	PBSY	—	—	—	CMD[3:0]				
リセット後の値	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 18.27 FLXAnFRSUCC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27	CCHB	チャンネル B 接続設定ビット pChannels を設定します。 0: ノードをチャンネル B に接続しない 1: ノードをチャンネル B に接続する (リセット後のデフォルト値)
26	CCHA	チャンネル A 接続設定ビット pChannels を設定します。 0: ノードをチャンネル A に接続しない 1: ノードをチャンネル A に接続する (リセット後のデフォルト値)
25	MTSB	チャンネル B MTS 送信設定ビット 0: チャンネル B で MTS シンボルを送信しない 1: チャンネル B で MTS シンボルを送信する
24	MTSA	チャンネル A MTS 送信設定ビット 0: チャンネル A で MTS シンボルを送信しない 1: チャンネル A で MTS シンボルを送信する
23	HCSE	クロック同期エラー時 HALT 遷移ビット pAllowHaltDueToClock を設定します。 0: NORMAL_PASSIVE 状態への遷移 / 状態維持 1: HALT 状態への遷移
22	TSM	送信スロットモード選択ビット pSingleSlotEnabled を設定します。 0: ALL スロットモード 1: SINGLE スロットモード (リセット後の値)

表 18.27 FLXAnFRSUCC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
21	WUCS	ウェイクアップチャンネル選択ビット pWakeupChannel を設定します。 0: チャンネル A で WUP を送信する 1: チャンネル B で WUP (ウェイクアップパターン) を送信する
20 ~ 16	PTA[4:0]	Passive-to-Active 遷移条件設定ビット pAllowPassiveToActive を設定します。
15 ~ 11	CSA[4:0]	Coldstart 試行回数設定ビット gColdStartAttempts を設定します。
10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TXSY	Sync フレームキースロット送信ビット pKeySlotUsedForSync を設定します。 0: キースロットで Sync フレームを送信しない (同期ノード、Coldstart ノード以外) 1: キースロットを Sync フレーム送信に使用 (Sync ノード用)
8	TXST	Startup フレームキースロット送信ビット pKeySlotUsedForStartup を設定します。 0: キースロットで Startup フレームを送信しない (非 Coldstart ノード用) 1: キースロットを Startup フレーム送信に使用 (Leading Coldstart ノードまたは Following Coldstart ノード用)
7	PBSY	POC ビジーフラグ 0: POC がビジーでない、FLXAnFRSUCC1.CMD ビットへの書き込み可能 1: POC がビジー、FLXAnFRSUCC1.CMD ビットがロック状態
6 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	CMD[3:0]	CHI コマンドベクタビット 0000: 無効コマンド 0001: CONFIG コマンド 0010: READY コマンド 0011: WAKEUP コマンド 0100: RUN コマンド 0101: ALL_SLOTS コマンド 0110: HALT コマンド 0111: FREEZE コマンド 1000: SEND_MTS コマンド 1001: ALLOW_COLDSTART コマンド 1010: RESET_STATUS_INDICATORS コマンド 1011: MONITOR_MODE コマンド 1100: CLEAR_RAM コマンド その他: リザーブ

(1) FLXAnFRSUCC1.CCHB

チャンネル B 接続設定ビット

FLXAnFRCCSV.POCS [5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ノードをチャンネル B に接続するかどうかを設定します。(pChannels)

(2) FLXAnFRSUCC1.CCHA

チャンネル A 接続設定ビット

FLXAnFRCCSV.POCS [5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ノードをチャンネル A に接続するかどうかを設定します。(pChannels)

(3) FLXAnFRSUCC1.MTSB

チャンネル B MTS 送信設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FLXAnFRSUCC1 レジスタの設定ロックキービットでロックを解除する（「**18.2.3.1 FLXAnFRLCK — FlexRay ロックレジスタ**」参照）直前に設定した場合、DEFAULT_CONFIG 状態または CONFIG 状態以外でも変化する可能性があります。CHI コマンド SEND_MTS と連結可能です。MTSA ビットおよび MTSB ビットともに“1”の場合、FLXAnFRSUCC1.CMD[3:0] ビットに“1000_B”を設定すると両チャンネルで MTS シンボルが送信されます。

チャンネル B で MTS シンボルを送信するかどうかを設定します。

(4) FLXAnFRSUCC1.MTSA

チャンネル A MTS 送信設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FLXAnFRSUCC1 レジスタの設定ロックキービットでロックを解除する（「**18.2.3.1 FLXAnFRLCK — FlexRay ロックレジスタ**」参照）直前に設定した場合、DEFAULT_CONFIG 状態または CONFIG 状態以外でも変化する可能性があります。CHI コマンド SEND_MTS と連結可能です。MTSA ビットおよび MTSB ビットともに“1”の場合、FLXAnFRSUCC1.CMD[3:0] ビットに“1000_B”を設定すると両チャンネルで MTS シンボルが送信されます。

チャンネル A で MTS シンボルを送信するかどうかを設定します。

(5) FLXAnFRSUCC1.HCSE

クロック同期エラー時 HALT 遷移ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

同期クロックエラーによる HALT 状態への遷移を制御します。（pAllowHaltDueToClock）

(6) FLXAnFRSUCC1.TSM

送信スロットモード選択ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

送信スロットモードのリセット後の値を設定します。（pSingleSlotEnabled）

SINGLE スロットモードでは事前に設定されたキースロットでのみ送信できます。キースロット ID は FLXAnFRMRC.SPLM ビットの設定に従い、メッセージバッファ 0、あるいはメッセージバッファ 0、1 両方の各ヘッダセクションで設定されます。

このビットが“1”のとき、メッセージバッファ 0、あるいはメッセージバッファ 0、1 両方は DEFAULT_CONFIG あるいは CONFIG 状態でのみ設定（または変更）できます。

ALL スロットモードでは、すべてのスロットで送信可能です。

このビットの設定は CPU からのみ可能です。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で FLXAnFRSUCC1.CMD[3:0] ビットに“0101”（ALL_SLOTS コマンド）を設定すると SINGLE スロットモードから ALL ス

ロットモードへ遷移します。現在の送信モードは FLXAnFRCCSV.SLM[1:0] ビットで確認できます。

(7) FLXAnFRSUCC1.WUCS

ウェイクアップチャンネル選択ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ウェイクアップパターンの送信チャンネルを選択します。(pWakeupChannel)

(8) FLXAnFRSUCC1.PTA

Passive-to-Active 遷移条件設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0～31 偶数 / 奇数サイクルペア

CC が NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移する条件となるクロック補正成功の回数を、連続する偶数 / 奇数サイクルペアの組数で設定します。

(pAllowPassiveToActive)

“00000_B” に設定されている場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。

(9) FLXAnFRSUCC1.CSA

Coldstart 試行回数設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

クラスタ内の全ノードで同じ設定にしてください。

有効値：2～31

Coldstart のネットワークスタートアップで、他のノードから有効なレスポンスを受け取れない場合の Startup 試行回数の最大値を設定します。(gColdStartAttempts)

(10) FLXAnFRSUCC1.TXSY

Sync フレームキースロット送信ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

キースロットで Sync フレームを送信するかどうかを設定します。(pKeySlotUsedForSync)

注 意

プロトコル規定では、FLXAnFRSUCC1.TXST と TXSY の両ビットは Coldstart ノード用に設定されています。

(11) FLXAnFRSUCC1.TXST

Startup フレームキースロット送信ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

キースロットで Startup フレームを送信するかどうか設定します。(pKeySlotUsedForStartup)

注 意

プロトコル規定では、FLXAnFRSUCC1.TXST と TXSY の両ビットは Coldstart ノード用に設定されています。

(12) RSUCC1.PBSY

POC ビジーフラグ

POC がビジーでコマンドを受け付けられないことを示します。FLXAnFRSUCC1.CMD[3:0] ビットはライトアクセスに対してロックされます。

リセット後、内部 RAM の初期化中に“1”に設定されます。

(13) FLXAnFRSUCC1.CMD

CHI コマンドベクタビット

CHI コマンドベクタはいつでも書き込み可能ですが、一部のコマンドは特定の POC 状態でのみ有効です。コマンドが有効でない場合、そのコマンドは実行されず、CHI コマンドベクタ FLXAnFRSUCC1.CMD[3:0] ビットは“0000_B”＝無効コマンドにクリアされ、FLXAnFREIR.CNA フラグが“1”になります。

なお、新しい CHI コマンドを書き込む前に、本レジスタの PBSY フラグをチェックする必要があります。

前の CHI コマンドが完了しなかった場合、FLXAnFREIR.CCL フラグと CNA フラグがともに“1”になります。この場合、CHI コマンドを繰り返してください。

HALT 状態を除く、ある POC 状態の間にそれと同じ状態への遷移コマンドを発行した場合、そのコマンドによる状態遷移は起きず、また、FLXAnFREIR.CNA フラグがセットされることもありません。

FLXAnFRSUCC1.CMD[3:0] ビットの読み出しは、受け付けられた最後の CHI コマンドを示します。実際の POC 状態は FLXAnFRCCSV.POCS[5:0] ビットでモニタされます。

- 無効コマンド

下記のうち1つが該当した場合、FLXAnFRSUCC1.CMD[3:0] ビットは“0000_B”にクリアされます。

- 不正なコマンドが発行された場合
- 設定ロックキーを入力せずに CONFIG 状態から遷移するコマンドを発行した場合
- 前のコマンド実行中に新しいコマンドが発行された場合
- 無効コマンドが発行された場合

FLXAnFRSUCC1.CMD[3:0] ビットが“0000_B”にクリアされた場合、FLXAnFREIR.CNA フラグが“1”になり、割り込みが有効な場合は、割り込みが発生します。コマンドが無効な場合は、そのコマンドは実行されません。

CONFIG コマンド

DEFAULT_CONFIG 状態、READY 状態でこのコマンドを発行すると、CONFIG 状態に遷移します。HALT 状態で発行した場合、DEFAULT_CONFIG 状態に遷移します。他の状態で発行した場合は FLXAnFRSUCC1.CMD[3:0] ビットは “0000_B” = 無効コマンドにクリアされます。

READY コマンド

CONFIG 状態、NORMAL_ACTIVE 状態、NORMAL_PASSIVE 状態、STARTUP 状態、WAKEUP 状態でこのコマンドを発行すると、READY 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD[3:0] ビットは “0000_B” = 無効コマンドにクリアされます。

WAKEUP コマンド

READY 状態でこのコマンドを発行すると、WAKEUP 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD[3:0] ビットは “0000_B” = 無効コマンドにクリアされます。

RUN コマンド

READY 状態でこのコマンドを発行すると、STARTUP 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD[3:0] ビットは “0000_B” = 無効コマンドにクリアされます。

ALL_SLOTS コマンド

NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態でこのコマンドを発行すると、次のサイクルの終了時、スタートアップ/統合の成功後に、シングルスロットモードから ALL スロットモードに遷移します。他の状態で発行したときは、FLXAnFRSUCC1.CMD[3:0] ビットは “0000_B” = 無効コマンドにクリアされます。

HALT コマンド

NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態でこのコマンドを発行すると、FLXAnFRCCSV レジスタの HRQ フラグ (HALT 要求ビット) が “1” にセットされ、次のサイクルの終了時に HALT 状態に遷移します。他の状態で発行したときは、FLXAnFRSUCC1.CMD[3:0] ビットは “0000_B” = 無効コマンドにクリアされます。

FREEZE コマンド

このコマンドを発行すると、FLXAnFRCCSV.FSI フラグ (フリーズ状態インジケータ) が “1” にセットされて、ただちに HALT 状態に遷移します。これは、すべての状態で発行可能です。

SEND_MTS コマンド

ALL スロットモード (FLXAnFRCCSV.SLM[1:0] ビット = 11) に設定した後に NORMAL_ACTIVE 状態でこのコマンドを発行すると、次のシンボルウィンドウ中に FLXAnFRSUCC1.MTSA、MTSB ビットで設定したチャンネル上に、シングル MTS シンボルを送信します。他の状態で発行したとき、または、前回要求した MTS シンボルがまだ未送信だったときには、FLXAnFRSUCC1.CMD[3:0] ビットは “0000_B” = 無効コマンドにクリアされます。

ALLOW_COLDSTART コマンド

ノードの coldstart を有効にするために FLXAnFRCCSV.CSI フラグを“0”にクリアするコマンドです。DEFAULT_CONFIG 状態、CONFIG 状態、HALT 状態で発行すると、FLXAnFRSUCC1.CMD[3:0] ビットは“0000_B”＝無効コマンドにクリアされます。また、coldstart を有効にするために FLXAnFRSUCC1.TXST と TXSY ビットの両方をセットしてください。

RESET_STATUS_INDICATORS コマンド

FLXAnFRCCSV.FSI、HRQ、CSNI および CSAI の全状態フラグをリセット後の値にクリアするコマンドです。これは、READY 状態、または STARUP 状態で発行可能です。他の状態で発行すると、FLXAnFRSUCC1.CMD[3:0] ビットは“0000_B”＝無効コマンドにクリアされません。

CLEAR_RAMs コマンド

DEFAULT_CONFIG 状態または CONFIG 状態でこのコマンドを発行すると、FLXAnFRMHDS.CRAM ビットが“1”になります。他の状態で発行すると、FLXAnFRSUCC1.CMD[3:0] ビットは“0000_B”＝無効コマンドにクリアされます。

リセット後も、FLXAnFRMHDS.CRAM ビットは“1”にセットされます。FLXAnFRMHDS.CRAM ビットを“1”に設定することで、すべての内部 RAM ブロックがゼロに初期化されます。RAM の初期化の間、RSUCC1.PBSY ビットは POC ビジーを示します。本コマンドの実行中は、設定レジスタおよび、ステータスレジスタへのアクセスが可能です。

内部 RAM ブロックの初期化は、周辺バスクロック 2048 サイクルを必要とします。リセット後、もしくは CLEAR_RAMs コマンドを有効にした後、内部 RAM ブロックの初期化中に IBF や OBF にアクセスしないでください。

CLEAR_RAMs コマンドを有効にする前に、メッセージ RAM と IBF/OBF 間もしくはメッセージ RAM と TBFRAM 間に何も転送されていないこと、およびデータ転送ハンドラが無効であること (FLXAnFRITS.ITS ビット＝“0” および FLXAnFROTS.OTS ビット＝“0”) を確認してください。本コマンドは、メッセージバッファ状態レジスタ (FLXAnFRMHDS、FLXAnFRLDTS、FLXAnFRFSR、FLXAnFRMHDF、FLXAnFRTXRQ1/2/3/4、FLXAnFRNDAT1/2/3/4、FLXAnFRMBSC1/2/3/4) をクリアします。

注 意

1. CLEAR_RAMs と SEND_MTS を除くすべての許可コマンドは、最大で 8 サイクル後、FlexRay サンプルクロックドメインでの POC 状態に反映されます。サイクルカウントは、“バスクロック”と“FlexRay サンプルクロック”のうち速度の遅い方のサイクルを適用します。これはコマンド適用時に POC がビジーでない、また、同タイムフレーム内で、バス動作による POC の状態変化がないことを前提とします。FLXAnFRCCSV レジスタの読み出しは、FlexRay サンプルクロックドメインからバスクロックドメインへの同期時間分の追加遅延が発生します。追加遅延は最大 12 サイクルです。サイクルカウントは、“バスクロック”と“FlexRay サンプルクロック”のうち速度の遅い方のサイクルを適用します。
2. FREEZE コマンドまたは READY コマンドによって通信を停止した後に Leading Coldstart ノードとして再びスタートアップしたとき、FlexRay モジュールの内部状態によって、サイクル 0 で Startup フレームを送信しない場合があります。この現象は Startup フレームをスロット 1～スロット 7 のいずれかのスロットに設定している場合に発生します。ハードウェアリセット後の ColdStart ではこの現象は発生しません。この現象が発生した場合においても、2 回目の ColdStart の試みは成功します。ColdStart 時間が長くなりますが、FlexRay システムの ColdStart はこの現象によって阻害されません。この現象を回避したい場合は、Startup/Sync フレームをスタティックスロット 8 以上のスタティックスロットに配置してください。

表 18.28 に、FlexRay プロトコル仕様書（セクション 2.2.1.1、表 2.2）の CHI コマンドと本モジュールの CHI コマンドベクタ FLXAnFRSUCC1.CMD[3:0] ビットの対応を示します。

表 18.28 FlexRay プロトコル仕様の CHI ホストコマンド対応表

CHI コマンド	コマンドを発行できる POC の状態	CHI コマンドベクタ CMD
ALL_SLOTS	POC:normal active, POC:normal passive	ALL_SLOTS
ALLOW_COLDSTART	POC:default config、 POC:config、 POC:halt 以外のすべて	ALLOW_COLDSTART
CONFIG	POC:default config, POC:ready	CONFIG
CONFIG_COMPLETE	POC:config	ロック解除シーケンス + READY
DEFAULT_CONFIG	POC:halt	CONFIG
FREEZE	すべての状態	FREEZE
HALT	POC:normal active, POC:normal passive	HALT
READY	POC:default config、 POC:config、 POC:ready、 POC:halt 以外のすべて	READY
RUN	POC:ready	RUN
WAKEUP	POC:ready	WAKEUP

18.2.6.2 FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0084_H

リセット後の値 0100 0504_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	LTN[3:0]				—	—	—	LT[20:16]				
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LT[15:0]															
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.29 FLXAnFRSUCC2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27 ~ 24	LTN[3:0]	Listen タイムアウトノイズ値設定ビット (gListenNoise - 1) を設定
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ~ 0	LT[20:0]	Listen タイムアウト値設定ビット pdListenTimeout を設定

(1) FLXAnFRSUCC2.LTN

Listen タイムアウトノイズ値設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 2 ~ 16

クラスタ内の全ノードで同じ設定にしてください。

ノイズがある状態でのウェイクアップ/スタートアップ時の Listen タイムアウト値の上限を Listen タイムアウト値の倍数で設定します。

注 意

ウェイクアップ/スタートアップノイズタイムアウト値は以下のように計算されます。

$$\text{pdListenTimeout} \times \text{gListenNoise} = \text{FLXAnFRSUCC2.LT} \times (\text{FLXAnFRSUCC2.LTN} + 1)$$

(2) FLXAnFRSUCG2.LT

Listen タイムアウト値設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 1284 ~ 1283846 μ T

ウェイクアップ/スタートアップ時の Listen タイムアウト値を μ T 単位で設定します。

18.2.6.3 FLXAnFRSUCC3 — FlexRay SUC 設定レジスタ 3

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0088_H

リセット後の値 0000 0011_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WCF[3:0]			WCP[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.30 FLXAnFRSUCC3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 4	WCF[3:0]	クロック補正エラー回数設定ビット (HALT 状態への遷移条件) gMaxWithoutClockCorrectionFatal を設定
3 ~ 0	WCP[3:0]	クロック補正エラー回数設定ビット (NORMAL_PASSIVE 状態への遷移条件) gMaxWithoutClockCorrectionPassive を設定

(1) FLXAnFRSUCC3.WCF

クロック補正エラー回数設定ビット (HALT 状態への遷移条件)

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 1 ~ 15

クラスタ内の全ノードで同じ設定にしてください。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数 / 奇数サイクルペア数で設定します。

注 意

FLXAnFRSUCC1.HCSE ビットがセットされていない場合、HALT 状態への遷移はできません。

(2) FLXAnFRSUCC3.WCP

クロック補正エラー回数設定ビット (NORMAL_PASSIVE 状態への遷移条件)

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 1 ~ 15

クラスタ内の全ノードで同じ設定にしてください。

NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数 / 奇数サイクルペア数で設定します。

18.2.6.4 FLXAnFRNEMC — FlexRay NEM 設定レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 008C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	NML[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 18.31 FLXAnFRNEMC レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	NML[3:0]	ネットワーク管理ベクタ長設定ビット gNetworkManagementVectorLength を設定

(1) FLXAnFRNEMC.NML

ネットワーク管理ベクタ長設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 12 バイト

クラスタ内の全ノードで同じ設定にしてください。

ネットワーク管理ベクタ長をバイト単位で設定します。

18.2.6.5 FLXAnFRPRTC1 — FlexRay PRT 設定レジスタ 1

アクセス 8、16、32 ビット単位でリード / ライト可能です。

アドレス <FLXn_base>+ 0090_H

リセット後の値 084C 0633_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RWP[5:0]						—	RXW[8:0]								
リセット後の値	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[1:0]		SPP[1:0]		—	CASM[6:0]						TSST[3:0]				
リセット後の値	0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.32 FLXAnFRPRTC1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	RWP[5:0]	送信ウェイクアップパターン繰り返し回数設定ビット pWakeupPattern を設定
25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24 ~ 16	RXW[8:0]	Wakeup シンボル受信ウィンドウ幅設定ビット gdWakeupSymbolRxWindow を設定
15、14	BRP[1:0]	ポーレートプリスケラ設定ビット gdSampleClockPeriod and pSamplesPerMicrotick を設定 00 = 10 Mbps 01 = 5 Mbps 10 = 2.5 Mbps 11 = 2.5 Mbps
13、12	SPP[1:0]	ストローブポイント位置設定ビット ストローブポイント位置設定 00 = サンプル 5 01 = サンプル 4 10 = サンプル 6 11 = サンプル 5
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 4	CASM[6:0]	衝突回避シンボル最大長設定ビット gdCASRxLowMax を設定
3 ~ 0	TSST[3:0]	送信 TSS 長設定ビット gdTSSTransmitter を設定

(1) FLXAnFRPRTC1.RWP

送信ウェイクアップパターン繰り返し回数設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 2 ~ 63

送信 Wakeup シンボルの繰り返し (シーケンス) 回数を設定します。

(2) FLXAnFRPRTC1.RXW

Wakeup シンボル受信ウィンドウ幅設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 76 ~ 301

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信したウェイクアップパターンを評価する期間をビットタイム数で設定します。

(3) FLXAnFRPRTC1.BRP

ボーレートプリスケアラ設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FlexRay バスのボーレートを設定します。下記値はサンプルクロックが 80MHz の場合のみ有効です。設定されたボーレートに関係なく、1 ビット時間は常に 8 サンプルで構成されません。

00 = 10 MBit/s

$gdSampleClockPeriod = 12.5 \text{ ns} = 1 * 'sample \text{ clock}'$

$pSamplesPerMicrotick = 2 \quad (1 \mu\text{T} = 25 \text{ ns})$

01 = 5 MBit/s

$gdSampleClockPeriod = 25 \text{ ns} = 2 * 'sample \text{ clock}'$

$pSamplesPerMicrotick = 1 \quad (1 \mu\text{T} = 25 \text{ ns})$

10, 11 = 2.5 MBit/s

$gdSampleClockPeriod = 50 \text{ ns} = 4 * 'sample \text{ clock}'$

$pSamplesPerMicrotick = 1 \quad (1 \mu\text{T} = 50 \text{ ns})$

(4) FLXAnFRPRTC1.SPP

ストローブポイント位置設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

CC が受信ビットをストローブするサンプルカウンタの位置を設定します。

FLXAnFRPRTC1.SPP[1:0] ビットによって設定されたタイミングでサンプリングを行い、ビット値を決定します。

注 意

FlexRay 通信システムプロトコル仕様 v 2.1 では、FLXAnFRPRTC1.SPP[1:0] ビットは "00" に規定しています。その他の設定値は物理レイヤの不均衡を補正するために使用されます。

(5) FLXAnFRPRTC1.CASM

衝突回避シンボル最大長設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

CASM6 ビットは“1”固定です。

有効値：67～99

衝突回避シンボル (CAS) の受信可能な最大許容長をビットタイムで設定します。

(6) FLXAnFRPRTC1.TSST

送信 TSS 長設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：3～15

クラスタ内の全ノードで同じ設定にしてください。

送信時の送信開始シーケンス (TSS) 幅をビットタイムで設定します。(1 ビットタイム = 4 μ T = 100ns @ 10Mbps)

18.2.6.6 FLXAnFRPRTC2 — FlexRay PRT 設定レジスタ 2

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0094_H

リセット後の値 0F2D 0A0E_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TXL[5:0]					TXI[7:0]								
リセット後の値	0	0	0	0	1	1	1	1	0	0	1	0	1	1	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RXL[5:0]					—	—	RXI[5:0]						
リセット後の値	0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 18.33 FLXAnFRPRTC2 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ~ 24	TXL[5:0]	送信ウェイクアップシンボル Low 幅設定ビット gdWakeupSymbolTxLow を設定
23 ~ 16	TXI[7:0]	送信ウェイクアップシンボルアイドル幅設定ビット gdWakeupSymbolTxIdle を設定
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 8	RXL[5:0]	受信ウェイクアップシンボル Low 幅設定ビット gdWakeupSymbolRxLow を設定
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ~ 0	RXI[5:0]	受信ウェイクアップシンボルアイドル幅設定ビット gdWakeupSymbolRxIdle を設定

(1) FLXAnFRPRTC2.TXL

送信 Wakeup シンボル Low 幅設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：15 ~ 60

クラスタ内の全ノードで同じ設定にしてください。

ノードが送信する Wakeup シンボルの “L” 幅をビットタイムで設定します。

(2) FLXAnFRPRTC2.TXI

送信 Wakeup シンボルアイドル幅設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 45 ~ 180

クラスタ内の全ノードで同じ設定にしてください。

ノードが送信する Wakeup シンボルのアイドル幅をビットタイムで設定します。

(3) FLXAnFRPRTC2.RXL

受信 Wakeup シンボル Low 幅設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 10 ~ 55

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信する Wakeup シンボルの最小“L”幅をビットタイムで設定します。

(4) FLXAnFRPRTC2.RXI

受信 Wakeup シンボルアイドル幅設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 14 ~ 59

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信する Wakeup シンボルの最小アイドル幅をビットタイムで設定します。

18.2.6.7 FLXAnFRMHDC — FlexRay MHD 設定レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0098_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SLT[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SFDL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.34 FLXAnFRMHDC レジスタの内容

ビット位置	ビット名	機能
31 ~ 29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ~ 16	SLT[12:0]	最終送信開始位置設定ビット pLatestTx を設定
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	SFDL[6:0]	スタティックフレームデータ長設定ビット gPayloadLengthStatic を設定

(1) FLXAnFRMHDC.SLT

最終送信開始位置設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 7981

ダイナミックセグメント内で送信を開始できる最終の最大ミニスロット値を設定します。このビットが“0”の場合、ダイナミックセグメントでの送信はありません。

(2) FLXAnFRMHDC.SFDL

スタティックフレームデータ長設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 127

クラスタ内の全ノードで同じ設定にしてください。

スタティックセグメントで送信されるすべてのフレームについて、クラスタのペイロード長を2バイト単位で設定します。

18.2.6.8 FLXAnFRGTUC1 — FlexRay GTU 設定レジスタ 1

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00A0_H

リセット後の値 0000 0280_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	UT[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UT[15:0]															
リセット後の値	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.35 FLXAnFRGTUC1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	UT[19:0]	コミュニケーションサイクル μ T 数設定ビット pMicroPerCycle を設定

(1) FLXAnFRGTUC1.UT

コミュニケーションサイクル μ T 数設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 640 ~ 640000 μ T

コミュニケーションサイクル長を μ T 単位で設定します。

18.2.6.9 FLXAnFRGTUC2 — FlexRay GTU 設定レジスタ 2

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00A4_H

リセット後の値 0002 000A_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SNM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MPC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.36 FLXAnFRGTUC2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 16	SNM[3:0]	最大 SYNC ノード数設定ビット
15 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 0	MPC[13:0]	コミュニケーションサイクル MT 数設定ビット gMacroPerCycle を設定

(1) FLXAnFRGTUC2.SNM

最大 SYNC ノード数設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ~ 15

クラスタ内の全ノードで同じ設定にしてください。

Sync フレームインジケータ SYN に “1” がセットされたフレームの最大数を設定します。

(2) FLXAnFRGTUC2.MPC

コミュニケーションサイクル MT 数設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：10 ~ 16000MT

クラスタ内の全ノードで同じ設定にしてください。

コミュニケーションサイクル長を MT 単位で設定します。

18.2.6.10 FLXAnFRGTUC3 — FlexRay GTU 設定レジスタ 3

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00A8_H

リセット後の値 0202 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MIOB[6:0]						—	MIOA[6:0]							
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UIOB[7:0]							UIOA[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.37 FLXAnFRGTUC3 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ~ 24	MIOB[6:0]	チャンネル B MT 初期オフセット設定ビット pMacroInitialOffset[B] を設定
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	MIOA[6:0]	チャンネル A MT 初期オフセット設定ビット pMacroInitialOffset[A] を設定
15 ~ 8	UIOB[7:0]	チャンネル B μ T 初期オフセット設定ビット pMicroInitialOffset[B] を設定
7 ~ 0	UIOA[7:0]	チャンネル A μ T 初期オフセット設定ビット pMicroInitialOffset[A] を設定

(1) FLXAnFRGTUC3.MIOB

チャンネル B MT 初期オフセット設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 2 ~ 72MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット境界からセカンダリ TRP (time reference point) 直後の MT 境界までの MT 数を公称 MT 長ベースで設定します。

(2) FLXAnFRGTUC3.MIOA

チャンネル A MT 初期オフセット設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 2 ~ 72MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット境界からセカンダリ TRP 直後の MT 境界までの MT 数を公称 MT 長ベースで設定します。

(3) FLXAnFRGTUC3.UIOB

チャンネル B μ T 初期オフセット設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 240 μ T

チャンネル B のセカンダリ TRP から直後の MT 境界までの時間を μ T 単位で設定します。パラメータは FLXAnFRGTUC5 レジスタの pDelayCompensation[B] の設定値に依存しますので、チャンネルごとに設定する必要があります。

(4) FLXAnFRGTUC3.UIOA

チャンネル A μ T 初期オフセット設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 240 μ T

チャンネル A のセカンダリ TRP (time reference point) から直後の MT 境界までの時間を μ T 単位で設定します。パラメータは FLXAnFRGTUC5 レジスタの pDelayCompensation[A] の設定値に依存しますので、チャンネルごとに設定する必要があります。

18.2.6.11 FLXAnFRGTUC4 — FlexRay GTU 設定レジスタ 4

FLXAnFRGTUC4 レジスタの NIT ビットおよび FLXAnFRGTUC4 レジスタの OCS ビットの設定については、「18.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定」を参照してください。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00AC_H

リセット後の値 0008 0007_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	OCS[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	NIT[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.38 FLXAnFRGTUC4 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ~ 16	OCS[13:0]	オフセット補正開始位置設定ビット (gOffsetCorrectionStart - 1) を設定
15 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 0	NIT[13:0]	NIT 開始位置設定ビット (gMacroPerCycle -gdNIT - 1) を設定

(1) FLXAnFRGTUC4.OCS

オフセット補正開始位置設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 8 ~ 15998 MT

E-Ray のみで構成されているクラスタについては、FLXAnFRGTUC4.OCS = FLXAnFRGTUC4.NIT + 1 とプログラムすることで十分です。

クラスタ内の全ノードで同じ設定にしてください。

NIT フェーズ内でのオフセット補正の開始位置をコミュニケーションサイクルの先頭から数えて計算します。

(2) FLXAnFRGTUC4.NIT

NIT 開始位置設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 7 ~ 15997MT

クラスタ内の全ノードで同じ設定にしてください。 .

NIT (Network Idle Time) の開始位置をコミュニケーションサイクルの先頭からの MT 数で設定します。MT 値が `gMacroPerCycle -gdNIT -1` と一致し、MT のインクリメントパルスがセットされたとき NIT の開始位置と認識されます。

18.2.6.12 FLXAnFRGTUC5 — FlexRay GTU 設定レジスタ 5

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00B0_H

リセット後の値 0E00 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEC[7:0]							—	—	—	CDD[4:0]					
リセット後の値	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCB[7:0]							DCA[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.39 FLXAnFRGTUC5 レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	DEC[7:0]	デコード補正ビット pDecodingCorrection を設定
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ~ 16	CDD[4:0]	クラスタドリフトダンピング値設定ビット pClusterDriftDamping を設定
15 ~ 8	DCB[7:0]	チャンネル B 遅延補正值設定ビット pDelayCompensation[B] を設定
7 ~ 0	DCA[7:0]	チャンネル A 遅延補正值設定ビット pDelayCompensation[A] を設定

(1) FLXAnFRGTUC5.DEC

デコード補正ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 14 ~ 143 μ T

プライマリ TRP (time reference point) を決定するために使用するデコード補正值を μ T 単位で設定します。

(2) FLXAnFRGTUC5.CDD

クラスタドリフトダンピング値設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 20 μ T

クロック同期において、丸め誤差の蓄積を最小限にするために使用するクラスタドリフトダンピング値を μ T 単位で設定します。

(3) FLXAnFRGTUC5.DCB

チャンネル B 遅延補正值設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 200 μ T

チャンネル B での受信遅延の補正に使用します。このビットは 0.0125 ~ 0.05 μ s の範囲の μ T に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際には、全 Sync ノードの最小伝播遅延値を適用してください。

(4) FLXAnFRGTUC5.DCA

チャンネル A 遅延補正值設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 200 μ T

チャンネル A での受信遅延の補正に使用します。このビットは 0.0125 ~ 0.05 μ s の範囲の μ T に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際には、全 Sync ノードの最小伝播遅延値を適用してください。

18.2.6.13 FLXAnFRGTUC6 — FlexRay GTU 設定レジスタ 6

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00B4_H

リセット後の値 0002 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	MOD[10:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	ASR[10:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.40 FLXAnFRGTUC6 レジスタの内容

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26 ~ 16	MOD[10:0]	最大発振偏移設定ビット pdMaxDrift を設定
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 0	ASR[10:0]	許容 Startup 範囲設定ビット pdAcceptedStartupRange を設定

(1) FLXAnFRGTUC6.MOD

最大発振偏移設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ~ 1923 μ T

異なるクロックで動作している二つのノード間における 1 コミュニケーションサイクル間での最大偏移量を μ T 単位で設定します。

(2) FLXAnFRGTUC6.ASR

許容 Startup 範囲設定ビット

FLXAnFRCCSV0.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ~ 1875 μ T

統合中の Startup フレームの許容誤差範囲を拡張して μ T 単位で設定します。

18.2.6.14 FLXAnFRGTUC7 — FlexRay GTU 設定レジスタ 7

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00B8_H

リセット後の値 0002 0004_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NSS[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSL[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.41 FLXAnFRGTUC7 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25 ~ 16	NSS[9:0]	スタティックスロット数設定ビット gNumberOfStaticSlots を設定
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ~ 0	SSL[9:0]	スタティックスロット長設定ビット gdStaticSlot を設定

(1) FLXAnFRGTUC7.NSS

スタティックスロット数設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 2 ~ 1023

クラスタ内の全ノードで同じ設定にしてください。

1 サイクル当たりのスタティックスロット数を設定します。

(2) FLXAnFRGTUC7.SSL

スタティックスロット長設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 4 ~ 659MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット長を MT 単位で設定します。

18.2.6.15 FLXAnFRGTUC8 — FlexRay GTU 設定レジスタ 8

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00BC_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NMS[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	MSL[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 18.42 FLXAnFRGTUC8 レジスタの内容

ビット位置	ビット名	機能
31 ~ 29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ~ 16	NMS[12:0]	ミニスロット数設定ビット gNumberOfMinislots を設定
15 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ~ 0	MSL[5:0]	ミニスロット長設定ビット gdMinislot を設定

(1) FLXAnFRGTUC8.NMS

ミニスロット数設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 7986

クラスタ内の全ノードで同じ設定にしてください。

1 サイクル中のダイナミックセグメント内のミニスロット数を設定します。

(2) FLXAnFRGTUC8.MSL

ミニスロット長設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 2 ~ 63MT

クラスタ内の全ノードで同じ設定にしてください。

ミニスロット長を MT 単位で設定します。

18.2.6.16 FLXAnFRGTUC9 — FlexRay GTU 設定レジスタ 9

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00C0_H

リセット後の値 0000 0101_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSI[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MAPO[4:0]				—	—	APO[5:0]						
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 18.43 FLXAnFRGTUC9 レジスタの内容

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	DSI[1:0]	ダイナミックスロットアイドルフェーズ設定ビット gdDynamicSlotIdlePhase を設定
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 8	MAPO[4:0]	ミニスロットアクションポイントオフセット設定ビット gdMinislotActionPointOffset を設定
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5 ~ 0	APO[5:0]	アクションポイントオフセット設定ビット gdActionPointOffset を設定

(1) FLXAnFRGTUC9.DSI

ダイナミックスロットアイドルフェーズ設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 2

クラスタ内の全ノードで同じ設定にしてください。

ダイナミックスロットアイドルフェーズ時間をミニスロット数で設定します。アイドル検出時間以上に設定してください。

(2) FLXAnFRGTUC9.MAPO

ミニスロットアクションポイントオフセット設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 1 ~ 31MT

クラスタ内の全ノードで同じ設定にしてください。

ダイナミックセグメントのミニスロット内のアクションポイントの位置を MT 単位で設定します。

(3) FLXAnFRGTUC9.APO

アクションポイントオフセット設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 1 ~ 63MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロットおよびシンボルウィンドウ内のアクションポイントの位置を MT 単位で設定します。

18.2.6.17 FLXAnFRGTUC10 — FlexRay GTU 設定レジスタ 10

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00C4_H

リセット後の値 0002 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MOC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.44 FLXAnFRGTUC10 レジスタの内容

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26 ~ 16	MRC[10:0]	最大レート補正值設定ビット pRateCorrectionOut を設定
15 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ~ 0	MOC[13:0]	最大オフセット補正值設定ビット pOffsetCorrectionOut を設定

(1) FLXAnFRGTUC10.MRC

最大レート補正值設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ~ 1923 μ T

内部クロック同期アルゴリズムで使用されるレート補正值の最大許容値を設定します。CC は最大レート補正值（絶対値）と内部レート補正值を比較確認します。

(2) FLXAnFRGTUC10.MOC

最大オフセット補正值設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：5 ~ 15266 μ T

内部クロック同期アルゴリズム（絶対値）で使用されるオフセット補正值の最大許容値（絶対値）を設定します。CC は最大オフセット補正值と内部オフセット補正值を比較確認します。

18.2.6.18 FLXAnFRGTUC11 — FlexRay GTU 設定レジスタ 11

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 00C8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ERC[2:0]			—	—	—	—	—	EOC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ERCC[1:0]		—	—	—	—	—	—	EOCC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 18.45 FLXAnFRGTUC11 レジスタの内容

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26 ~ 24	ERC[2:0]	外部レート補正值設定ビット pExternRateCorrection を設定
23 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18 ~ 16	EOC[2:0]	外部オフセット補正值設定ビット pExternOffsetCorrection を設定
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	ERCC[1:0]	外部レート補正制御ビット vExternRateControl を設定 00: 外部レート補正禁止 01: 外部レート補正禁止 10: 減算 11: 加算
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	EOCC[1:0]	外部オフセット補正制御ビット vExternOffsetControl 00: 外部オフセット補正禁止 01: 外部オフセット補正禁止 10: 減算 11: 加算

(1) FLXAnFRGTUC11.ERC

外部レート補正值設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 7 μ T

内部クロック同期アルゴリズムで使用される外部レート補正値を μ T 単位で設定します。値は計算されたレート補正値から減算または加算されます。設定値は NIT 期間に使用されません。

(2) FLXAnFRGTUC11.EOC

外部オフセット補正值設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値 : 0 ~ 7 μ T

内部クロック同期アルゴリズムで使用される外部オフセット補正値を μ T 単位で設定します。値は計算されたオフセット補正値から減算または加算されます。設定値は NIT 期間に使用されます。

(3) FLXAnFRGTUC11.ERCC

外部レート補正制御ビット

設定変更は NIT (ネットワークアイドル時間) 以外で行ってください。

下記の値を書き込むと、外部レート補正が有効になります。

00 = 外部レート補正禁止

01 = 外部レート補正禁止

10 = 減算

計算されたレート補正値 - 外部レート補正値

11 = 加算

計算されたレート補正値 + 外部レート補正値

(4) FLXAnFRGTUC11.EOCC

外部オフセット補正制御ビット

設定変更は NIT (ネットワークアイドル時間) 以外で行ってください。

下記の値を書き込むと、外部オフセット補正が有効になります。

00 = 外部オフセット補正禁止

01 = 外部オフセット補正禁止

10 = 減算

計算されたオフセット補正値 - 外部オフセット補正値

11 = 加算

計算されたオフセット補正値 + 外部オフセット補正値

18.2.7 CC ステータスレジスタ

8/16 ビットを超えるステータス変数に対して 8/16 ビットアクセスを行った場合、2 回のアクセス（非アトミックなリードアクセス）の間に CC によって変数が更新される可能性があります。

18.2.7.1 FLXAnFRCCSV — FlexRay CC ステータスベクタレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0100_H

リセット後の値 0010 4000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	PSL[5:0]					RCA[4:0]				WSV[2:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CSI	CSAI	CSNI	—	—	SLM[1:0]	HRQ	FSI	POCS[5:0]						
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.46 FLXAnFRCCSV レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29 ~ 24	PSL[5:0]	POC 状態ログフラグ HALT 状態へ遷移する直前の FLXAnFRCCSV レジスタの POCS ビットの値が設定されます。
23 ~ 19	RCA[4:0]	Coldstart 試行残数フラグ vRemainingColdstartAttempts を表示
18 ~ 16	WSV[2:0]	ウェイクアップ状態フラグ vPOC!WakeupStatus を表示 000: UNDEFINED 001: RECEIVED_HEADER 010: RECEIVED_WUP 011: COLLISION_HEADER 100: COLLISION_WUP 101: COLLISION_UNKNOWN 110: TRANSMITTED 111: reserved
15	予約ビット	リードした場合はリセット後の値が読めます。
14	CSI	Coldstart 禁止フラグ vColdStartInhibit を表示 0: ノードの Coldstart 許可 1: ノードの Coldstart 禁止
13	CSAI	Coldstart アポート表示フラグ
12	CSNI	Coldstart ノイズ表示フラグ vPOC!ColdstartNoise を表示
11、10	予約ビット	リードした場合はリセット後の値が読めます。

表 18.46 FLXAnFRCCSV レジスタの内容 (2/2)

ビット位置	ビット名	機能
9, 8	SLM[1:0]	スロットモードフラグ vPOC!SlotMode を表示 00: SINGLE 01: リザーブ 10: ALL_PENDING 11: ALL
7	HRQ	HALT 要求フラグ vPOC!CHIHaltRequest を表示
6	FSI	フリーズ状態フラグ vPOC!Freeze を表示
5 ~ 0	POCS[5:0]	POC 状態フラグ

(1) FLXAnFRCCSV.PSL

POC 状態ログフラグ

HALT 状態へ遷移する直前の FLXAnFRCCSV.POCS[5:0] ビットの値が設定されます。

HALT 状態時に FREEZE コマンドが受け付けられ、かつ、FSI フラグがまだ“1”にセットされていない、つまり、FREEZE コマンドにより HALT 状態に到達していない場合は、HALT が設定されます。

HALT 状態から抜けると、“000000_B”になります。

(2) FLXAnFRCCSV.RCA

Coldstart 試行残数フラグ

Coldstart の試行回数の残数 (vRemainingColdstartAttempts) を表示します。

CONFIG 状態および DEFAULT_CONFIG 状態時のリセット後の値は、FLXAnFRSUCC1.CSA[4:0] ビットの値になります。

RUN コマンドにより、FLXAnFRSUCC1.CSA[4:0] ビットで設定した Coldstart の試行回数の最大値に初期化されます。

(3) FLXAnFRCCSV.WSV

ウェイクアップ状態フラグ

現在のウェイクアップ試行状態 (vPOC!WakeupStatus) を示します

CHI コマンドの RESET_STATUS_INDICATORS、または、DEFAULT_CONFIG 状態から CONFIG 状態への遷移でより、ウェイクアップ状態になると、“0”になります。

000_B = UNDEFINED 状態

CC によるウェイクアップが実行されていない状態です。

001_B = RECEIVED_HEADER 状態

WAKEUP_LISTEN 状態において、いずれのチャンネル上にもコード違反が生じることなくフレームヘッダが受信され、CC がウェイクアップを終了すると、終了時に本状態が設定されます。

010_B = RECEIVED_WUP 状態

WAKEUP_LISTEN 状態において、指定のウェイクアップチャンネル上の有効なウェイクアップパターンが受信され、CC がウェイクアップを終了すると、終了時に本状態が設定されます。

011_B = COLLISION_HEADER 状態

ウェイクアップパターン送信中に、いずれかのチャンネル上の有効なヘッダが受信されたことにより衝突が検出され、CCがウェイクアップを停止すると、停止時に本状態が設定されます。

100_B = COLLISION_WUP 状態

ウェイクアップパターン送信中に、指定のウェイクアップチャンネル上の有効なウェイクアップパターンが受信されたことにより衝突が検出され、CCがウェイクアップを停止すると、停止時に本状態が設定されます。

101_B = COLLISION_UNKNOWN 状態

有効なウェイクアップパターンおよび有効なフレームヘッダのいずれも受信されないまま、ウェイクアップタイマが終了して WAKEUP_DETECT 状態から遷移し、CCがウェイクアップを停止すると、停止時に本状態が設定されます。

110_B = TRANSMITTED 状態

CCがウェイクアップパターンを正常に終了した場合、終了時に本状態が設定されます。

111_B = リザーブ**(4) FLXAnFRCCSV.CSI**

Coldstart 禁止フラグ

Coldstart が許可されている状態かどうかを示します。(vColdStartInhibit)

POC が CHI コマンドにより READY 状態に遷移したときは常に“1”になります。

“0”にするときは CHI コマンドの ALLOW_COLDSTART コマンドを発行 (FLXAnFRSUCC1.CMD[3:0] ビットに“1001_B”を設定) してください。

(5) FLXAnFRCCSV.CSAI

Coldstart アポート表示フラグ

Coldstart が中止されたことを示します。

CHI コマンドの RESET_STATUS_INDICATORS、HALT 状態から DEFAULT_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により“0”になります。

(6) FLXAnFRCCSV.CSNI

Coldstart ノイズ表示フラグ

Coldstart 処理がノイズの多い条件化で発生したことを示します。(vPOC!ColdstartNoise)

CHI コマンドの RESET_STATUS_INDICATORS、HALT 状態から DEFAULT_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により“0”になります。

(7) FLXAnFRCCSV.SLM

スロットモードフラグ

READY 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態のときの、POC のスロットモード (vPOC!SlotMode) を示します。

デフォルトは SINGLE です。ALL に変化するかどうかは FLXAnFRSUCC1.TSM ビットの値に依存します。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態のときに CHI コマンドの ALL_SLOT コマンドを設定すると、SINGLE から ALL_PENDING を経て ALL になります。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態以外は FLXAnFRSUCC1.TSM ビットを SINGLE スロットモードに設定してください。

(8) FLXAnFRCCSV.HRQ

HALT 要求フラグ

コミュニケーションサイクルの終了時に HALT 状態に遷移するように CPU から要求されたことを示します。(vPOC!CHIHaltRequest)

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに "0" になります。

(9) FLXAnFRCCSV.FSI

フリーズ状態フラグ

CHI コマンド、FREEZE (FLXAnFRSUCC1.CMD[3:0] ビット = 0111_B) の設定、または HALT 状態への遷移が必要なエラーが発生したため、HALT 状態へ遷移したことを示します (vPOC!Freeze)。

HALT 状態から DEFAULT_CONFIG 状態への遷移により "0" になります。

(10) FLXAnFRCCSV.POCS

POC 状態フラグ

現在の POC の実行状態を表示します。

00 0000_B = DEFAULT_CONFIG 状態

00 0001_B = READY 状態

00 0010_B = NORMAL_ACTIVE 状態

00 0011_B = NORMAL_PASSIVE 状態

00 0100_B = HALT 状態

00 1111_B = CONFIG 状態

ウェイクアップ処理における現在の POC 状態を表示します。

01 0000_B = WAKEUP_STANDBY 状態

01 0001_B = WAKEUP_LISTEN 状態

01 0010_B = WAKEUP_SEND 状態

01 0011_B = WAKEUP_DETECT 状態

スタートアップ処理における現在の POC 状態を表示します。

10 0000_B = STARTUP_PREPARE 状態

10 0001_B = COLDSTART_LISTEN 状態

10 0010_B = COLDSTART_COLLISION_RESOLUTION 状態

10 0011_B = COLDSTART_CONSISTENCY_CHECK 状態

10 0100_B = COLDSTART_GAP 状態

10 0101_B = COLDSTART_JOIN 状態

10 0110_B = INTEGRATION_COLDSTART_CHECK 状態

10 0111_B = INTEGRATION_LISTEN 状態

10 1000_B = INTEGRATION_CONSISTENCY_CHECK 状態

10 1001_B = INITIALIZE_SCHEDULE 状態

10 1010_B = ABORT_STARTUP 状態

10 1011_B = STARTUP_SUCCESS 状態

その他 = リザーブ

18.2.7.2 FLXAnFRCCEV — FlexRay CC エラーベクタレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0104_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PTAC[4:0]				ERRM[1:0]		—	—	CCFC[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.47 FLXAnFRCCEV レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。
12 ~ 8	PTAC[4:0]	Passive-to-Active カウンタ vAllowPassiveToActive を示します。
7、6	ERRM[1:0]	エラーモードフラグ vPOC!ErrorMode を示します。 00: ACTIVE 01: PASSIVE 10: COMM_HALT 11: リザーブ
5、4	予約ビット	リードした場合はリセット後の値が読めます。
3 ~ 0	CCFC[3:0]	クロック補正失敗カウンタ vClockCorrectionFailed を示します。

(1) FLXAnFRCCEV.PTAC

Passive-to-Active カウンタ

ノードが NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を待っている間に、有効なレート / オフセット補正量で通過した連続する偶数 / 奇数サイクルペアの組数を表示します。FLXAnFRSUCC1.PTA[4:0] ビットで設定した値 -1 と本ビットの値が一致したとき、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移します。

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに“0”になります。

(2) FLXAnFRCCEV.ERRM

エラーモードフラグ

POC の現在のエラーモードを示します。(vPOC!ErrorMode)

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに“0”になります。

(3) FLXAnFRCCEV.CCFC

クロック補正失敗カウンタ

POC のクロック補正失敗カウンタの値 (vClockCorrectionFailed) を表示します。

オフセット補正欠落エラーまたはレート補正欠落エラーを検出した場合、奇数コミュニケーションサイクル終了時にインクリメントされます。

オフセット補正欠落エラーとレート補正欠落エラーのどちらも検出されていない場合、奇数コミュニケーションサイクル終了時に“0”になります。

クロック補正失敗カウンタは 15 までカウントすると停止します。

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに“0”になります。

18.2.7.3 FLXAnFRSCV — FlexRay スロットカウンタ値レジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0110_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SCCB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCCA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.48 FLXAnFRSCV レジスタの内容

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。
26 ~ 16	SCCB[10:0]	チャンネル B スロットカウンタ vSlotCounter[B] を表示します。
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 0	SCCA[10:0]	チャンネル A スロットカウンタ vSlotCounter[A] を表示します。

(1) FLXAnFRSCV.SCCB

チャンネル B スロットカウンタ

チャンネル B の現在のスロットカウンタ値 (vSlotCounter[B]) を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRSCV.SCCA

チャンネル A スロットカウンタ

チャンネル A の現在のスロットカウンタ値 (vSlotCounter[A]) を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

18.2.7.4 FLXAnFRMTCCV — FlexRay MT 値 / サイクルカウンタ値レジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0114_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	CCV[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MTV[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.49 FLXAnFRMTCCV レジスタの内容

ビット位置	ビット名	機能
31 ~ 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ~ 16	CCV[5:0]	サイクルカウンタ値 vCycleCounter を表示します。
15 ~ 14	予約ビット	リードした場合はリセット後の値が読めます。
13 ~ 0	MTV[13:0]	MT 値 vMacrotick を表示します。

(1) FLXAnFRMTCCV.CCV

サイクルカウンタ値

現在のサイクルカウンタ値 (vCycleCounter) を表示します。値はコミュニケーションサイクルの開始時に CC によってインクリメントされます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRMTCCV.MTV

MT 値

現在の MT 値 (vMacrotick) を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

18.2.7.5 FLXAnFRRCV — FlexRay レート補正值レジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0118_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RCV[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.50 FLXAnFRRCV レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11 ~ 0	RCV[11:0]	レート補正值フラグ vRateCorrection を表示します。

(1) FLXAnFRRCV.RCV

レート補正值フラグ

範囲制限前の内部レート補正值 (vRateCorrection/2 の補数) を示します。本ビットの値が FLXAnFRGTUC10.MRC[10:0] ビットで設定した範囲を超えた場合は、FLXAnFRSFS.RCLR フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注 意

外部レート補正值には、この値を範囲制限した値が加算されます。

18.2.7.6 FLXAnFROCV — FlexRay オフセット補正值レジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 011C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	OCV[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.51 FLXAnFROCV レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。
18 ~ 0	OCV[18:0]	オフセット補正值フラグ vOffsetCorrection を表示します。

(1) FLXAnFROCV.OCV

オフセット補正值フラグ

範囲制限前の内部オフセット補正值を2の補数で表示します。本ビットの値がFLXAnFRGTUC10.MOC[10:0] ビットで設定した範囲を超えた場合は、FLXAnFRSFS.OCLR フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注 意

外部オフセット補正值には、この値を範囲制限した値が加算されます。

18.2.7.7 FLXAnFRSFS — FlexRay Sync フレームステータスレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0120_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RCLR	MRCS	OCLR	MOCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSBO[3:0]			VSBE[3:0]			VSAO[3:0]			VSAE[3:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.52 FLXAnFRSFS レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。
19	RCLR	レート補正值制限到達フラグ 0: レート補正值が制限値未満 1: レート補正值が制限値に到達
18	MRCS	レート補正欠落フラグ 0: レート補正有効 1: レート補正欠落
17	OCLR	オフセット補正值制限到達フラグ 0: オフセット補正值が制限値未満 1: オフセット補正值が制限値に到達
16	MOCS	オフセット補正欠落フラグ 0: オフセット補正有効 1: オフセット補正欠落
15 ~ 12	VSBO[3:0]	チャンネル B 有効 Sync フレーム、奇数コミュニケーションサイクル
11 ~ 8	VSBE[3:0]	チャンネル B 有効 Sync フレーム、偶数コミュニケーションサイクル
7 ~ 4	VSAO[3:0]	チャンネル A 有効 Sync フレーム、奇数コミュニケーションサイクル
3 ~ 0	VSAE[3:0]	チャンネル A 有効 Sync フレーム、偶数コミュニケーションサイクル

(1) FLXAnFRSFS.RCLR

レート補正值制限到達フラグ

レート補正值が FLXAnFRGTUC10.MRC[10:0] ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(2) FLXAnFRSFS.MRCS

レート補正欠落フラグ

レート補正欠落フラグは、一对の偶数 / 奇数 Sync フレームが受信されなかったためにレート補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(3) FLXAnFRSFS.OCLR

オフセット補正值制限到達フラグ

オフセット補正值が FLXAnFRGTUC10.MOC[10:0] ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(4) FLXAnFRSFS.MOCS

オフセット補正欠落フラグ

オフセット補正欠落フラグは、Sync フレームが受信されなかったためにオフセット補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(5) FLXAnFRSFS.VSBO

チャンネル B 有効 Sync フレーム、奇数コミュニケーションサイクル

FLXAnFRSUCC1.CCHB ビットが“1”のとき有効です。

奇数コミュニケーションサイクル中にチャンネル B で受信した有効な Sync フレーム数を表示します。FLXAnFRSUCC1.TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は1ずつインクリメントされます。値は奇数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(6) FLXAnFRSFS.VSBE

チャンネル B 有効 Sync フレーム、偶数コミュニケーションサイクル

FLXAnFRSUCC1.CCHB ビットが“1”のとき有効です。

偶数コミュニケーションサイクル中にチャンネル B で受信した有効な Sync フレーム数を表示します。FLXAnFRSUCC1.TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は1ずつインクリメントされます。値は偶数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(7) FLXAnFRSFS.VSAO

チャンネル A 有効 Sync フレーム、奇数コミュニケーションサイクル

FLXAnFRSUCC1.CCHA ビットが“1”のとき有効です。

奇数コミュニケーションサイクル中にチャンネル A で受信した有効な Sync フレーム数を表示します。FLXAnFRSUCC1.TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は1ずつインクリメントされます。値は奇数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(8) FLXAnFRSFS.VSAE

チャンネル A 有効 Sync フレーム、偶数コミュニケーションサイクル

FLXAnFRSUCC1.CCHA ビットが“1”のとき有効です。

偶数コミュニケーションサイクル中にチャンネル A で受信した有効な Sync フレーム数を表示します。FLXAnFRSUCC1.TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は1ずつインクリメントされます。値は偶数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

18.2.7.8 FLXAnFRSWNIT — FlexRay シンボルウィンドウ /NIT ステータスレジスタ

シンボルウィンドウ関連のステータスを示します。各チャネルのシンボルウィンドウの最後で CC によって更新されます。ステータス情報に関する NIT は各チャネルの NIT の最後で CC によって更新されます。

スタートアップ中は更新されません。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0124_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SBNB	SENB	SBNA	SENA	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.53 FLXAnFRSWNIT レジスタの内容 (1/2)

ビット位置	ビット	機能
31 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	SBNB	チャンネル B NIT 内スロット境界違反検出フラグ 0: スロット境界違反検出なし 1: チャンネル B で NIT 内スロット境界違反検出
10	SENB	チャンネル B NIT 内シンタックスエラー検出フラグ 0: シンタックスエラー検出なし 1: チャンネル B で NIT 内シンタックスエラー検出
9	SBNA	チャンネル A NIT 内スロット境界違反検出フラグ 0: スロット境界違反検出なし 1: チャンネル A で NIT 内スロット境界違反検出
8	SENA	チャンネル A NIT 内シンタックスエラー検出フラグ 0: シンタックスエラー検出なし 1: チャンネル A で NIT 内シンタックスエラー検出
7	MTSB	チャンネル B MTS 受信フラグ 0: チャンネル B で MTS シンボル受信なし 1: チャンネル B で MTS シンボル受信
6	MTSA	チャンネル A MTS 受信フラグ 0: チャンネル A で MTS シンボル受信なし 1: チャンネル A で MTS シンボル受信
5	TCSB	チャンネル B シンボルウィンドウ内送信競合検出フラグ 0: 送信競合検出なし 1: チャンネル B でシンボルウィンドウ内送信競合検出
4	SBSB	チャンネル B シンボルウィンドウ内スロット境界違反検出フラグ 0: スロット境界違反検出なし 1: チャンネル B でシンボルウィンドウ内スロット境界違反検出
3	SESB	チャンネル B シンボルウィンドウ内シンタックスエラー検出フラグ 0: シンタックスエラー検出なし 1: チャンネル B でシンボルウィンドウ内シンタックスエラー検出

表 18.53 FLXAnFRSWNIT レジスタの内容 (2/2)

ビット位置	ビット	機能
2	TCSA	チャンネル A シンボルウィンドウ内送信競合検出フラグ 0: 送信競合検出なし 1: チャンネル A でシンボルウィンドウ内送信競合検出
1	SBSA	チャンネル A シンボルウィンドウ内スロット境界違反検出フラグ 0: スロット境界違反検出なし 1: チャンネル A でシンボルウィンドウ内スロット境界違反検出
0	SESA	チャンネル A シンボルウィンドウ内シンタックスエラー検出フラグ 0: シンタックスエラー検出なし 1: チャンネル A でシンボルウィンドウ内シンタックスエラー検出

(1) FLXAnFRSWNIT.SBNB

チャンネル B NIT 内スロット境界違反検出フラグ (vSS!BViolationB) を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRSWNIT.SENB

チャンネル B NIT 内シンタックスエラー検出フラグ (vSS!SyntaxErrorB) を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFRSWNIT.SBNA

チャンネル A NIT 内スロット境界違反検出フラグ (vSS!BViolationA) を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(4) FLXAnFRSWNIT.SENA

チャンネル A NIT 内シンタックスエラー検出フラグ (vSS!SyntaxErrorA) を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(5) FLXAnFRSWNIT.MTSB

チャンネル B MTS 受信フラグ (vSS!ValidMTSB) を表示します。

直前のシンボルウィンドウ区間内で MTS シンボル (Media Access Test Symbol) をチャンネル B で受信したことを示します。各チャンネルのシンボルウィンドウの最後で CC により更新されます。

このビットが“1”になると、FLXAnFRSIR.MTSB ビットも“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(6) FLXAnFRSWNIT.MTSA

チャンネル A MTS 受信フラグ (vSS!ValidMTSA) を表示します。

直前のシンボルウィンドウ区間内で MTS シンボル (Media Access Test Symbol) をチャンネル A で受信したことを示します。各チャンネルのシンボルウィンドウの最後で CC により更新されます。

このビットが“1”になると、FLXAnFRSIR.MTSA ビットも“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(7) FLXAnFRSWNIT.TCSB

チャンネル B シンボルウィンドウ内送信競合検出フラグ (vSS!TxConflictB) を表示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(8) FLXAnFRSWNIT.SBSB

チャンネル B シンボルウィンドウ内スロット境界違反検出フラグ (vSS!BViolationB) を表示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(9) FLXAnFRSWNIT.SESB

チャンネル B シンボルウィンドウ内シンタックスエラー検出フラグ (vSS!SyntaxErrorB) を表示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(10) FLXAnFRSWNIT.TCSA

チャンネル A シンボルウィンドウ内送信競合検出フラグ (vSS!TxConflictA) を表示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(11) FLXAnFRSWNIT.SBSA

チャンネル A シンボルウィンドウ内スロット境界違反検出フラグ (vSS!BViolationA) を表示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(12) FLXAnFRSWNIT.SESA

チャンネル A シンボルウィンドウ内シンタックスエラー検出フラグ (vSS!SyntaxErrorA) を表示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

18.2.7.9 FLXAnFRACS — FlexRay チャンネルステータス集計レジスタ

チャンネルステータス集計レジスタは、チャンネルが送信/受信のどちらに割り当てられているかに関係なく、すべてのコミュニケーションスロットのチャンネル処理のステータスを示します。

このレジスタにはシンボルウィンドウおよびNITからのステータスデータも含まれます。

ステータスデータは、各スロットの終了後に更新（セット）され、クリアされるまで集計されます。

スタートアップ中は更新されません。

アクセス 8、16、32ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0128_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SBVB	CIB	CEDB	SEDB	VFRB	—	—	—	SBVA	CIA	CEDA	SEDA	VFRA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 18.54 FLXAnFRACS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SBVB	チャンネル B スロット境界違反検出フラグ 0: スロット境界違反検出されず 1: チャンネル B でスロット境界違反を検出
11	CIB	チャンネル B 通信表示フラグ 0: 追加の通信を含む有効なフレームを受信せず 1: チャンネル B のスロットで追加の通信を含む有効なフレームを受信
10	CEDB	チャンネル B コンテンツエラー検出フラグ 0: コンテンツエラーを含むフレームを受信せず 1: チャンネル B でコンテンツエラーを含むフレームを受信
9	SEDB	チャンネル B シンタックスエラー検出フラグ 0: シンタックスエラー検出されず 1: チャンネル B でシンタックスエラーを検出
8	VFRB	チャンネル B 有効フレーム受信フラグ 0: 有効なフレームを受信せず 1: チャンネル B で有効なフレームを受信
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	SBVA	チャンネル A スロット境界違反検出フラグ 0: スロット境界違反検出されず 1: チャンネル A でスロット境界違反を検出
3	CIA	チャンネル A 通信表示フラグ 0: 追加の通信を含む有効なフレームを受信せず 1: チャンネル A のスロットで追加の通信を含む有効なフレームを受信

表 18.54 FLXAnFRACS レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	CEDA	チャンネル A コンテンツエラー検出フラグ 0: コンテンツエラーを含むフレームを受信せず 1: チャンネル A でコンテンツエラーを含むフレームを受信
1	SEDA	チャンネル A シンタックスエラー検出フラグ 0: シンタックスエラー検出されず 1: チャンネル A でシンタックスエラーを検出
0	VFRA	チャンネル A 有効フレーム受信フラグ 0: 有効なフレームを受信せず 1: チャンネル A で有効なフレームを受信

(1) FLXAnFRACS.SBVB

チャンネル B スロット境界違反検出フラグ

"0" をライトしてもフラグは変化しません。

本ビットをクリアするには "1" を書き込みます。

観測期間中 (スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で)、チャンネル B でスロット境界違反が検出されたことを示します。

本フラグが "0" から "1" に変化すると、FLXAnFREIR.EDB ビットが "1" になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRACS.CIB

チャンネル B 通信表示フラグ

"0" をライトしてもフラグは変化しません。

本ビットをクリアするには "1" を書き込みます。

観測期間中、チャンネル B のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。

本フラグが "0" から "1" に変化すると、FLXAnFREIR.EDB ビットが "1" になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

スロットにフレームが一つしかなく、チャンネルアイドル認識フェーズ中に、そのスロットの最後にあるスロット境界に到達した場合も本ビットの設定条件は満たされます。

(3) FLXAnFRACS.CEDB

チャンネル B コンテンツエラー検出フラグ

"0" をライトしてもフラグは変化しません。

本ビットをクリアするには "1" を書き込みます。

観測期間中、チャンネル B のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。

本フラグが "0" から "1" に変化すると、FLXAnFREIR.EDB ビットが "1" になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(4) FLXAnFRACS.SEDB

チャンネル B シンタックスエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

チャンネル B のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーが検出されたことを示します。

本フラグが“0”から“1”に変化すると、FLXAnFREIR.EDB ビットが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(5) FLXAnFRACS.VFRB

チャンネル B 有効フレーム受信フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

観測期間中、チャンネル B のスタティックスロットまたはダイナミックスロットで有効なフレームを 1 つ以上受信したことを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(6) FLXAnFRACS.SBVA

チャンネル A スロット境界違反検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

観測期間中（スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で）、チャンネル A でスロット境界違反が検出されたことを示します。

本フラグが“0”から“1”に変化すると、FLXAnFREIR.EDA ビットが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(7) FLXAnFRACS.CIA

チャンネル A 通信表示フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

観測期間中、チャンネル A のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。

本フラグが“0”から“1”に変化すると、FLXAnFREIR.EDA ビットが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

スロットにフレームが一つしかなく、チャンネルアイドル認識フェーズ中に、そのスロットの最後にあるスロット境界に到達した場合も本ビットの設定条件は満たされます。

(8) FLXAnFRACS.CEDA

チャンネル A コンテンツエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

観測期間中、チャンネル A のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを1つ以上受信したことを示します。

本フラグが“0”から“1”に変化すると、FLXAnFREIR.EDA ビットが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(9) FLXAnFRACS.SEDA

チャンネル A シンタックスエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

チャンネル A のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で1つ以上のシンタックスエラーが検出されたことを示します。

本フラグが“0”から“1”に変化すると、FLXAnFREIR.EDA ビットが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(10) FLXAnFRACS.VFRA

チャンネル A 有効フレーム受信フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

観測期間中、チャンネル A のスタティックスロットまたはダイナミックスロットで有効なフレームを1つ以上受信したことを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

18.2.7.10 FLXAnFRESIDm — FlexRay 偶数 Sync ID レジスタ m (m = 1 ~ 15)

FLXAnFRESID1 ~ FLXAnFRESID15 レジスタは、gSyncNodeMax の限界値までのクロック同期に使用される偶数コミュニケーションサイクルで受信した Sync フレームのフレーム ID を、フレーム ID の昇順に FLXAnFRESID1 レジスタから格納します。自ノードが偶数コミュニケーションサイクルで Sync フレームを送信する場合、FLXAnFRESID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、FLXAnFRESID1 レジスタの RXEA フラグと RXEB フラグがセットされます。レジスタの内容は、各偶数コミュニケーションサイクルの NIT 期間中に更新されます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0130_H ~ <FLXn_base>+ 0168_H (<FLXn_base>+ 0130_H + (m - 1) * 4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXEB	RXEA	—	—	—	—	EID[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.55 FLXAnFRESIDm レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15	RXEB	偶数 Sync ID チャンネル B 受信/設定フラグ 0: Sync フレームはチャンネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1: 保存した偶数 Sync ID に対応する Sync フレームはチャンネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXEA	偶数 Sync ID チャンネル A 受信/設定フラグ 0: Sync フレームはチャンネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1: 保存した偶数 Sync ID に対応する Sync フレームはチャンネル A で受信、またはノードが Sync フレーム送信用に設定
13 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9 ~ 0	EID[9:0]	偶数 Sync ID フラグ (vsSyncIDListA,B even)

(1) FLXAnFRESIDm.RXEB

偶数 Sync ID チャンネル B 受信/設定フラグ

保存した偶数 SyncID に対応する Sync フレームをチャンネル B で受信したか、そのノードが FLXAnFRESID1.EID[9:0] ビットで示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRESIDm.RXEA

偶数 Sync ID チャンネル A 受信／設定フラグ

保存した偶数 SyncID に対応する Sync フレームをチャンネル A で受信したか、そのノードが FLXAnFRESID1.EID[9:0] ビットで示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFRESIDm.EID

偶数 Sync ID フラグ (vsSyncIDListA,B even)

偶数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

18.2.7.11 FLXAnFROSIDm — FlexRay 奇数 Sync ID レジスタ m (m = 1 ~ 15)

FLXAnFROSID1 ~ FLXAnFROSID15 レジスタは、gSyncNodeMax の限界値までのクロック同期に使用される奇数コミュニケーションサイクルで受信した Sync フレームのフレーム ID を、フレーム ID の昇順に FLXAnFROSID1 レジスタから格納します。自ノードが奇数コミュニケーションサイクルで Sync フレームを送信する場合、FLXAnFROSID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、FLXAnFROSID1 レジスタの RXOA フラグと RXOB フラグがセットされます。レジスタの内容は、各奇数コミュニケーションサイクルの NIT 期間中に更新されます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0170_H ~ <FLXn_base>+ 01A8_H (<FLXn_base>+ 0170_H + (m - 1) * 4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXOB	RXOA	—	—	—	—	OID[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.56 FLXAnFROSIDm レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15	RXOB	奇数 Sync ID チャンネル B 受信/設定フラグ 0: Sync フレームはチャンネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1: 保存した奇数 Sync ID に対応する Sync フレームはチャンネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXOA	奇数 Sync ID チャンネル A 受信/設定フラグ 0: Sync フレームはチャンネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1: 保存した奇数 Sync ID に対応する Sync フレームはチャンネル A で受信、またはノードが Sync フレーム送信用に設定
13 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9 ~ 0	OID[9:0]	奇数 Sync ID フラグ (vsSyncIDListA,B odd)

(1) FLXAnFROSIDm.RXOB

奇数 Sync ID チャンネル B 受信/設定フラグ

保存した奇数 SyncID に対応する Sync フレームをチャンネル B で受信したか、そのノードが FLXAnFROSID1.OID[9:0] ビットで示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFROSIDm.RXOA

奇数 Sync ID チャンネル A 受信／設定フラグ

保存した奇数 SyncID に対応する Sync フレームをチャンネル A で受信したか、そのノードが FLXAnFROSID1.OID[9:0] ビットで示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFROSIDm.OID

奇数 Sync ID フラグ (vsSyncIDListA,B odd)

奇数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

18.2.7.12 FLXAnFRNMVm — FlexRay ネットワーク管理ベクタレジスタ m (m = 1 ~ 3)

3つのネットワーク管理ベクタレジスタは、生成された NM ベクタ（「18.3.7 ネットワーク管理」参照）。

レジスタの内容は CC が NORMAL_ACTIVE または NORMAL_PASSIVE 状態にある限り、コミュニケーションサイクル終了時ごとに更新されます。

設定されている NM ベクタ長を超える FLXAnFRNMVm バイトは無効です。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 01B0_H ~ <FLXn_base>+ 01B8_H (<FLXn_base>+ 01B0_H + (m - 1) * 4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NM[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.57 FLXAnFRNMVm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	NM[31:0]	NM ベクタ

(1) FLXAnFRNMVm.NM

NM ベクタ

3つのネットワーク管理ベクタレジスタは、生成された NM ベクタ（0 ~ 12 バイト設定可能）を保持します。保持されるベクタは、各チャネルで受信された NM ベクタ（PPI が 1 の有効なスタティックフレーム）をビットごとの論理 OR を取って生成されます（「18.3.7 ネットワーク管理」参照）。

設定されている NM ベクタ長を超える FLXAnFRNMVm バイトは無効です。

レジスタの内容は CC が NORMAL_ACTIVE または NORMAL_PASSIVE 状態にある限り、コミュニケーションサイクル終了時ごとに更新されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

18.2.8 メッセージバッファ制御レジスタ

18.2.8.1 FLXAnFRMRC — FlexRay メッセージ RAM 設定レジスタ

メッセージ RAM 設定レジスタは、スタティックセグメント、ダイナミックセグメント、および FIFO に割り当てられるメッセージバッファ数を設定します。

メッセージ RAM は、スタティックバッファ領域、スタティック + ダイナミックバッファ領域、FIFO 領域の、最大 3 つの異なる領域に分けることができます。スタティックバッファ領域が存在する場合、スタティックバッファ領域は、メッセージバッファ 0 から始まります。

スタティック + ダイナミックバッファ領域の始まりは、FLXAnFRMRC.FDB[7:0] ビットにより設定されます。FLXAnFRMRC.FDB[7:0] ビットでスタティックバッファ領域の終りを定義します。スタティックバッファ領域が存在しない場合、スタティック + ダイナミックバッファ領域が、メッセージバッファ 0 から始まります。

FIFO 領域の始まりは、FLXAnFRMRC.FFB[7:0] ビットにより設定されます。FLXAnFRMRC.FFB[7:0] ビットが前の領域の終り（スタティックバッファ領域、またはスタティック + ダイナミックバッファ領域）を定義します。

スタティックバッファ領域もスタティック + ダイナミックバッファ領域も存在しない場合、FIFO 領域が、メッセージバッファ 0 から始まります。

最後に設定された領域の終り（スタティックバッファ領域、スタティック + ダイナミックバッファ領域、または FIFO 領域）は、FLXAnFRMRC.LCB[7:0] ビットで設定されます。

図 18.2 に、3 領域すべてが設定された場合のメッセージ RAM の設定例を示します。

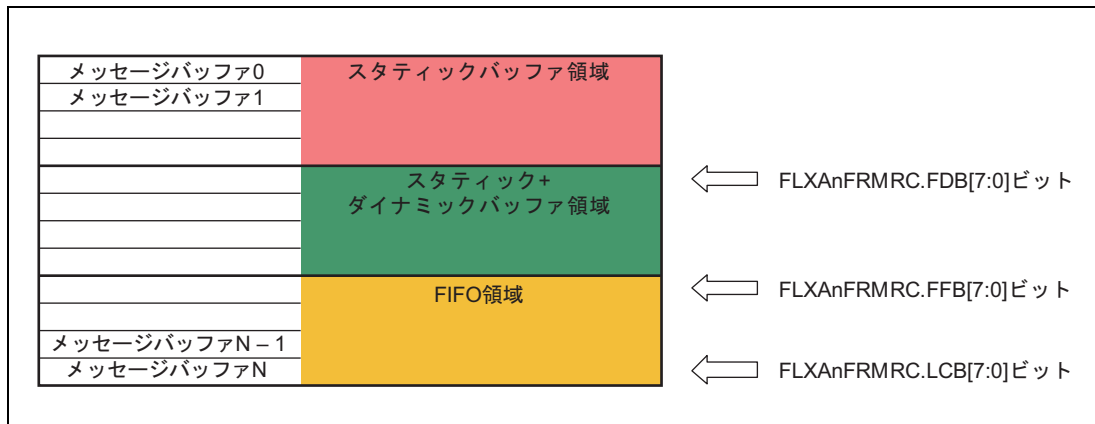


図 18.2 メッセージ RAM の構成

注意

1. Sync ノードの場合 (FLXAnFRSUCC1.TXSY ビット = '1')、または SINGLE スロットモードに設定されている場合 (FLXAnFRSUCC1.TSM ビット = '1')、メッセージバッファ 0 および 1 は Sync フレーム用または SINGLE スロットフレーム用に確保されるので、ノード固有のキースロット ID を設定してください。Sync ノードまたは SINGLE スロットモードとして設定されていない場合、メッセージバッファ 0 および 1 は他のメッセージバッファと同様に扱われます。
2. ヘッダセクション数は最大で 128 です。したがって、最大で 128 個のメッセージバッファを設定できます。データセクションの最大長は 254 バイトです。データセクション長は、メッセージバッファごとに個別に設定できます。詳細については、「18.3.13 メッセージ RAM」を参照してください。
3. サイクルフィルタリングを使用することで 2 個以上のメッセージバッファをスロット 1 に割り当てる場合、それらはすべて「スタティックバッファ領域」か「スタティック + ダイナミックバッファ領域」セクションの先頭に配置しなければなりません。

4. FlexRay プロトコル仕様では、各ノードがそれぞれのキースロットでフレームを送信する必要があります。したがって、少なくともメッセージバッファ 0 は、キースロットでの送信のため予約されます。このため、FIFO 領域に割り当てることができるメッセージバッファは最大 127 個です。ただしこの場合でも、スタティックセグメントでの送信スロットを持たず、プロトコルに一致しない設定は有効となります。
5. ペイロード長およびデータセクション長は、FLXAnFRWRHS2.PLC[6:0] ビットと FLXAnFRWRHS3.DP[6:0] ビットを使用して FIFO 領域内のすべてのメッセージバッファで同じ値を設定してください。CC が DEFAULT_CONFIG 状態または CONFIG 状態以外の場合、FIFO 領域のメッセージバッファは設定変更できません。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0300_H

リセット後の値 0180 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SPLM	SEC[1:0]		LCB[7:0]							
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FFB[7:0]								FDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.58 FLXAnFRMRC レジスタの内容

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	SPLM	Sync フレームペイロード Multiplex ビット 0: メッセージバッファ 0 への書き込み禁止 1: メッセージバッファ 0 および 1 への書き込み禁止
25、24	SEC[1:0]	保護バッファビット 00: すべてのバッファへの書き込み許可 01: スタティックバッファへの書き込み禁止、FIFO への書き込み禁止、送信制限 10: すべてのバッファへの書き込み禁止 11: すべてのバッファへの書き込み禁止、送信制限
23 ~ 16	LCB[7:0]	最終バッファ番号設定ビット 0 ~ 127: メッセージバッファ数は LCB+1 128: FIFO バッファ設定なし
15 ~ 8	FFB[7:0]	FIFO バッファ先頭位置設定ビット 0: すべて FIFO バッファに設定 1 ~ 127: メッセージバッファ FFB ~ LCB を FIFO バッファに設定 128: メッセージバッファ設定なし
7 ~ 0	FDB[7:0]	ダイナミックバッファ先頭位置設定ビット 0: スタティックセグメント用にメッセージバッファなし 1 ~ 127: メッセージバッファ 0 ~ FDB-1 をスタティックセグメント用に確保 128: ダイナミックメッセージバッファなし

(1) FLXAnFRMRC.SPLM

Sync フレームペイロード Multiplex ビット

DEFAULT_CONFIG 状態または CONFIG 状態でのみ書き込み可能です。

Sync ノードの場合 (FLXAnFRSUCC1.TXSY ビットが“1”のとき) または SINGLE スロットモードに設定されている場合 (FLXAnFRSUCC1.TSM ビットが“1”のとき) 有効です。

このビットを“1”にすると、メッセージバッファ 0 および 1 はチャンネル A および B で個別のペイロードデータをもつ Sync フレーム送信専用のメッセージバッファとなります。

“0”にした場合、全設定チャンネルで同一のペイロードデータをもつ Sync フレームがメッセージバッファ 0 から送信されます。メッセージバッファ 0 およびメッセージバッファ 1 用のチャンネルフィルタは本ビット設定に応じて選択されます。

(2) FLXAnFRMRC.SEC

保護バッファビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

DEFAULT_CONFIG 状態、または、CONFIG 状態では、これらのビットは無効です。一時的なロック解除については「**18.3.13.4 アクセスエラーの処理**」を参照してください。

00_B = すべてのバッファに対する書き込み許可

メッセージバッファ (<FFB) への書き込み許可

【例外】 ノードが Sync フレーム送信用または SINGLE スロットモードに設定されている場合、メッセージバッファ 0 (FLXAnFRMRC.SPLM ビットが“1”のときはメッセージバッファ 1 も同様) への書き込みは禁止です。

01_B = スタティックバッファへの書き込み禁止、FIFO への書き込み禁止、送信制限

メッセージバッファ (<FDB かつ ≥ FFB) への書き込み禁止、およびメッセージバッファ (≥ FDB) のスタティックセグメントへの送信禁止

10_B = すべてのバッファへの書き込み禁止

すべてのメッセージバッファへの書き込み禁止

11_B = すべてのバッファへの書き込み禁止、送信制限

すべてのメッセージバッファへの書き込み禁止、およびメッセージバッファ (≥ FDB) のスタティックセグメントへの送信禁止

(3) FLXAnFRMRC.LCB

最終バッファ番号設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

スタティック + ダイナミックバッファ領域が設定された場合 (FLXAnFRMRC.FDB[7:0] ビット < 128)、ユーザは FLXAnFRMRC.LCB[7:0] ビット ≥ FLXAnFRMRC.FDB[7:0] ビットを設定しなければなりません。

FIFO 領域が設定された場合 (FLXAnFRMRC.FFB[7:0] ビット < 128)、ユーザは FLXAnFRMRC.LCB[7:0] ビット ≥ FLXAnFRMRC.FFB[7:0] ビットを設定しなければなりません。

(4) FLXAnFRMRC.FFB

FIFO バッファ先頭位置設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

スタティック + ダイナミックバッファ領域が設定された場合 (FLXAnFRMRC.FDB[7:0] ビット < 128)、ユーザは FLXAnFRMRC.FFB[7:0] ビット > FLXAnFRMRC.FDB[7:0] ビットを設定しなければなりません。

(5) FLXAnFRMRC.FDB

ダイナミックバッファ先頭位置設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

18.2.8.2 FLXAnFRFRF — FlexRay FIFO リジェクションフィルタレジスタ

FlexRay FIFO リジェクションフィルタレジスタは、受信フレームのチャンネル、フレーム ID、およびサイクルカウントと比較するユーザ指定のビットシーケンスを定義します。FlexRay FIFO リジェクションフィルタマスクレジスタとともに、FIFO のメッセージを除外するかどうかを決定します。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0304_H

リセット後の値 0180 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RNF	RSS	CYF[6:0]						
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FID[10:0]										CH[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.59 FLXAnFRFRF レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	RNF	Null フレームのリジェクトビット 0: Null フレームを FIFO に格納 1: 全 Null フレームを除外
23	RSS	スタティックセグメントリジェクトビット 0: FIFO をスタティックセグメントにも使用 1: スタティックセグメント内のメッセージを除外
22 ~ 16	CYF[6:0]	サイクルカウンタフィルタビット
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 2	FID[10:0]	フレーム ID フィルタビット フレーム ID フィルタ値 = 0 ~ 2047
1、0	CH[1:0]	チャンネルフィルタビット 00: チャンネル A およびチャンネル B で受信 01: チャンネル B で受信 10: チャンネル A で受信 11: 受信禁止

(1) FLXAnFRFRF.RNF

Null フレームのリジェクトビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

このビットが“1”の場合、受信した Null フレームは FIFO に格納されません。

(2) FLXAnFRFRF.RSS

スタティックセグメントリジェクトビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

このビットが“1”の場合、FIFO はダイナミックセグメント中のメッセージのみに使用されます。

(3) FLXAnFRFRF.CYF

サイクルカウンタフィルタビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

7ビットサイクルカウンタフィルタはサイクルセットを指定し、フレーム ID フィルタとチャンネルリジェクションフィルタが適用されるサイクルを決定します。このビットで設定されていないサイクルではすべての受信フレームが拒否されます。サイクルカウンタフィルタ設定の詳細は、「**18.3.8.2 サイクルカウンタフィルタリング**」を参照してください。

(4) FLXAnFRFRF.FID

フレーム ID フィルタビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

FIFO で除外するフレーム ID を設定します。FLXAnFRFRFM レジスタの設定をすることで対応するビットを無視させることができます。FLXAnFRFRFM.MFID[10:0] ビットが 0 のときは、フレーム ID フィルタ値 0 は、除外するフレーム ID がないことを示します。

(5) FLXAnFRFRF.CH

チャンネルフィルタビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

両チャンネルでの受信が設定されていれば、スタティックセグメント内で、チャンネル A および B からの両フレームが同一であっても、両フレームとも FIFO に格納されます。

18.2.8.3 FLXAnFRFRFM — FlexRay FIFO リジェクションフィルタマスクレジスタ

FlexRay FIFO リジェクションフィルタマスクレジスタは、除外フィルタリングに関連するフレーム ID フィルタビットを指定します。ビットに 1 をセットすると、FLXAnFRFRFM レジスタの対応するビットは除外フィルタリングに使用されません。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0308_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MFID[10:0]										—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 18.60 FLXAnFRFRFM レジスタの内容

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 2	MFID[10:0]	マスクフレーム ID フィルタビット 0: 対応するフレーム ID フィルタビットを除外フィルタリングに使用する 1: 対応するフレーム ID フィルタビットを無視
1 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(1) FLXAnFRFRFM.MFID

マスクフレーム ID フィルタビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

18.2.8.4 FLXAnFRFCL — FlexRay FIFO クリティカルレベルレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 030C_H

リセット後の値 0000 0080_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.61 FLXAnFRFCL レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	CL[7:0]	クリティカルレベル設定ビット クリティカルレベル設定

(1) FLXAnFRFCL.CL

クリティカルレベル設定ビット

FLXAnFRCCSV.POCS[5:0] ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

受信 FIFO フィルレベル (FLXAnFRCCSV.POCS[5:0] ビット) が FLXAnFRFCL.CL[7:0] ビットで設定されるクリティカルレベル以上の場合、FLXAnFRFSR.RFCL が“1”になります。

128 を超える値を設定した場合、FLXAnFRFSR.RFCL ビットが“1”になることはありません。

18.2.9 メッセージバッファステータスレジスタ

18.2.9.1 FLXAnFRMHDS — FlexRay メッセージハンドラステータスレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0310_H

リセット後の値 0000 0080_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MBU[6:0]						—	MBT[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	FMB[6:0]						CRAM	MFMB	FMBD	ATBF2	ATBF1	AMR	—	—	
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R

表 18.62 FLXAnFRMHDS レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ~ 24	MBU[6:0]	メッセージバッファ更新フラグ
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	MBT[6:0]	メッセージバッファ送信完了フラグ
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ~ 8	FMB[6:0]	誤りメッセージバッファ番号フラグ
7	CRAM	内部 RAM クリアフラグ 0: CLEAR_RAMs コマンド非実行 1: CLEAR_RAMs コマンド実行中
6	MFMB	誤りメッセージバッファ複数検出フラグ 0: 追加の誤りメッセージバッファなし 1: FMBD フラグが“1”のとき別の誤りメッセージバッファを検出
5	FMBD	誤りメッセージバッファ検出フラグ 0: 誤りメッセージバッファなし 1: FLXAnFRMHDS.FMB ビットで示すメッセージバッファにパリティエラーのある誤りデータを格納
4	ATBF2	TBFRAM B アクセスエラーフラグ 0: アクセスエラーなし 1: リード時アクセスエラー検出
3	ATBF1	TBFRAM A アクセスエラーフラグ 0: アクセスエラーなし 1: リード時アクセスエラー検出
2	AMR	メッセージ RAM アクセスエラーフラグ 0: アクセスエラーなし 1: リード時アクセスエラー検出
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(1) FLXAnFRMHDS.MBU

メッセージバッファ更新フラグ

最後に更新されたメッセージバッファ番号を表示します。FLXAnFRNDAT1 ~ FLXAnFRNDAT4 レジスタの対応する新データ (ND) フラグ、FLXAnFRMBSC1 ~ FLXAnFRMBSC4 レジスタの対応するメッセージバッファステータス変化 (MBC) フラグの両方または一方も“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(2) FLXAnFRMHDS.MBT

メッセージバッファ送信完了フラグ

最後にフレーム送信が成功したメッセージバッファ番号を表示します。

メッセージバッファがシングルショットモードの場合、FLXAnFRTXRQ1 ~ FLXAnFRTXRQ4 レジスタの対応する TXR フラグは“0”になっています。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(3) FLXAnFRMHDS.FMB

誤りメッセージバッファ番号フラグ

メッセージバッファ読み出し時にアクセスエラーが発生したことを示します。

FLXAnFRMHDS.AMR フラグ、FLXAnFRMHDS.ATBF1 フラグ、FLXAnFRMHDS.ATBF2 フラグ、FLXAnFRMHDS.FMBD フラグのうちいずれかが“1”のときのみ有効です。

FLXAnFRMHDS.FMBD フラグが“1”のときは更新されません。

CHI コマンド CLEAR_RAMs によってクリアされます。

(4) FLXAnFRMHDS.CRAMP

内部 RAM クリアフラグ

CHI コマンドの CLEAR_RAMs コマンドが実行中であることを示します。(メッセージ RAM、入力バッファ、出力バッファ、TBF すべてのビットが“0”になります)

このビットは CHI コマンド CLEAR_RAMs によってセットされます。

(5) FLXAnFRMHDS.MFMB

誤りメッセージバッファ複数検出フラグ

“0”をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

このビットは、FLXAnFRMHDS.FMBD フラグがセットされる間に他の誤りメッセージバッファが検出されたことを示します。

CHI コマンド CLEAR_RAMs によってクリアされます。

(6) FLXAnFRMHDS.FMBD

誤りメッセージバッファ検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1” を書き込みます。

このビットは、アクセスエラーによってメッセージバッファが誤りデータを格納していることを示します。

CHI コマンド CLEAR_RAMs によってクリアされます。

(7) FLXAnFRMHDS.ATBF2

TBFRAM B アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1” を書き込みます。

このビットは、TBFRAM B 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが“0” から“1” になると、FLXAnFREIR.AERR ビットが“1” にセットされます。CHI コマンド CLEAR_RAMs によってリセットされます。

(8) FLXAnFRMHDS.ATBF1

TBFRAM A アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1” を書き込みます。

このビットは、TBFRAM A 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが“0” から“1” になると、FLXAnFREIR.AERR ビットが“1” にセットされます。CHI コマンド CLEAR_RAMs によってリセットされます。

(9) FLXAnFRMHDS.AMR

メッセージ RAM アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1” を書き込みます。

このビットは、メッセージ RAM 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが“0” から“1” になると、FLXAnFREIR.AERR ビットが“1” にセットされます。CHI コマンド CLEAR_RAMs によってクリアされます。

18.2.9.2 FLXAnFRLDTS — FlexRay 最終ダイナミック送信スロットレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0314_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	LDTB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	LDTA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.63 FLXAnFRLDTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。
26 ~ 16	LDTB[10:0]	チャンネル B 最終ダイナミック送信スロットフラグ
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 0	LDTA[10:0]	チャンネル A 最終ダイナミック送信スロットフラグ

(1) FLXAnFRLDTS.LDTB

チャンネル B 最終ダイナミック送信スロットフラグ

ダイナミックセグメントでチャンネル B から最後にフレームを送信したときのスロットカウンタ値を格納します。

ダイナミックセグメントの終了時に更新され、チャンネル B のダイナミックセグメント中にフレームが送信されなかった場合、“0”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(2) FLXAnFRLDTS.LDTA

チャンネル A 最終ダイナミック送信スロットフラグ

ダイナミックセグメントでチャンネル A から最後にフレームを送信したときのスロットカウンタ値を格納します。

ダイナミックセグメントの終了時に更新され、チャンネル A のダイナミックセグメント中にフレームが送信されなかった場合、“0”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

18.2.9.3 FLXAnFRFSR — FlexRay FIFO ステータスレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0318_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFFL[7:0]							—	—	—	—	—	RFO	RFCL	RFNE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.64 FLXAnFRFSR レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 8	RFFL[7:0]	受信 FIFO フィルレベルフラグ
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	RFO	受信 FIFO オーバランフラグ 0: 受信 FIFO オーバラン未検出 1: 受信 FIFO オーバラン検出
1	RFCL	受信 FIFO クリティカルフラグ 0: クリティカルレベル未満 1: クリティカルレベル以上
0	RFNE	受信 FIFO データありフラグ 0: 受信 FIFO エンプティ 1: 受信 FIFO にデータあり

(1) FLXAnFRFSR.RFFL

受信 FIFO フィルレベルフラグ

未読の受信データを格納している FIFO バッファ数を表示します。最大値は 128 です。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(2) FLXAnFRFSR.RFO

受信 FIFO オーバランフラグ

受信 FIFO のオーバランが検出されると“1”になります。

受信 FIFO オーバランが起こると一番古いメッセージに最新の受信メッセージが上書きされます。また FLXAnFREIR.RFO フラグが“1”になります。

FIFO が読まれると“0”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(3) FLXAnFRFSR.RFCL

受信 FIFO クリティカルフラグ

FLXAnFRFSR.RFFL[7:0] ビットの値が FLXAnFRFCL.CL[7:0] ビットに設定した値以上になると“1”になります。

本ビットが“0”から“1”になると FLXAnFRSIR.RFCL ビットが“1”になり、割り込みが許可されている場合、割り込みが発生します。

FLXAnFRFSR.RFFL[7:0] ビットの値が FLXAnFRFCL.CL ビットに設定した値未満になると“0”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(4) FLXAnFRFSR.RFNE

受信 FIFO データありフラグ

受信した有効なフレーム（データまたはリジェクションマスク設定によっては Null フレーム）が FIFO に格納されると“1”になります。さらに FLXAnFRSIR.RFNE ビットも“1”になります。

FIFO のメッセージがすべて読まれると“0”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

18.2.9.4 FLXAnFRMHDF — FlexRay メッセージハンドラ制限フラグレジスタ

メッセージハンドラには、周辺バスクロック、メッセージ RAM 設定、および FlexRay バストラフィックに関していくつかの制限事項があります。ソフトウェア開発を容易にするため、このレジスタのフラグによって制限違反がわかるようになっています。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 031C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WAHP	TNSB	TNSA	TBFB	TBFA	FNFB	FNFA	SNUB	SNUA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.65 FLXAnFRMHDF レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	WAHP	ヘッダパーティションへの書き込みフラグ 0: ヘッダパーティションへの書き込みトライなし 1: ヘッダパーティションへの書き込みトライあり
7	TNSB	チャンネル B 転送開始不可フラグ 0: チャンネル B で開始できなかった転送なし 1: チャンネル B で開始できなかった転送あり
6	TNSA	チャンネル A 転送開始不可フラグ 0: チャンネル A で開始できなかった転送なし 1: チャンネル A で開始できなかった転送あり
5	TBFB	TBFB アクセス失敗フラグ 0: TBFB アクセス成功 1: TBFB アクセス失敗
4	TBFA	TBFA アクセス失敗フラグ 0: TBFA アクセス成功 1: TBFA アクセス失敗
3	FNFB	チャンネル B 検査処理未完了フラグ 0: チャンネル B で完了しなかった検査処理なし 1: チャンネル B で検査処理完了せず
2	FNFA	チャンネル A 検査処理未完了フラグ 0: チャンネル A で完了しなかった検査処理なし 1: チャンネル A で検査処理完了せず
1	SNUB	チャンネル B ステータス未更新フラグ 0: チャンネル B のメッセージバッファステータス (FLXAnFRMBS) 更新時に過負荷状態なし 1: チャンネル B のメッセージバッファステータス (FLXAnFRMBS) 更新なし
0	SNUA	チャンネル A ステータス未更新フラグ 0: チャンネル A のメッセージバッファステータス (FLXAnFRMBS) 更新時に過負荷状態なし 1: チャンネル A のメッセージバッファステータス (FLXAnFRMBS) 更新なし

(1) FLXAnFRMHDF.WAHP

ヘッダパーティションへの書き込みフラグ

“0”をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

DEFAULT_CONFIG 状態と CONFIG 状態を除き、メッセージバッファの誤設定により、メッセージハンドラがメッセージ RAM のヘッダパーティションにデータを書き込もうとすると“1”になります。意図しない書き込みからヘッダパーティションを保護するため、書き込み自体は実行されません。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(2) FLXAnFRMHDF.TNSB

チャンネル B 送信開始不可フラグ

“0”をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

設定されたスロットの動作ポイントで、チャンネル B 上の予定された送信を開始する際メッセージハンドラの準備ができていない場合“1”になります。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(3) FLXAnFRMHDF.TNSA

チャンネル A 送信開始不可フラグ

“0”をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

設定されたスロットの動作ポイントで、チャンネル A 上の予定された送信を開始する際メッセージハンドラの準備ができていない場合“1”になります。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(4) FLXAnFRMHDF.TBFB

TBFB アクセス失敗フラグ

“0”をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

プロトコルコントローラ (PRT) B が要求する TBFB への読み出しまたは書き込みが所定の時間内に完了しなかった場合“1”になります。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(5) FLXAnFRMHDF.TBFA

TBFA アクセス失敗フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

プロトコルコントローラ (PRT) A が要求する TBFA への読み出しまたは書き込みが所定の時間内に完了しなかった場合“1”になります。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(6) FLXAnFRMHDF.FNFB

チャンネル B 検査処理未完了フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

メッセージハンドラが、過負荷のために検査処理 (メッセージ RAM をスキャンして、一致するメッセージバッファを探すこと) を完了できなかったときに“1”になります。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(7) FLXAnFRMHDF.FNFA

チャンネル A 検査処理未完了フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

メッセージハンドラが、過負荷のために検査処理 (メッセージ RAM をスキャンして、一致するメッセージバッファを探すこと) を完了できなかったときに“1”になります。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(8) FLXAnFRMHDF.SNUB

チャンネル B ステータス未更新フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

メッセージハンドラが、過負荷のためにメッセージバッファステータス (FLXAnFRMBS) を更新できなかったときに“1”になります。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

(9) FLXAnFRMHDF.SNUA

チャンネル A ステータス未更新フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには“1”を書き込みます。

メッセージハンドラが、過負荷のためにメッセージバッファステータス (FLXAnFRMBS) を更新できなかったときに“1”になります。

このフラグが“0”から“1”になると FLXAnFREIR.MHF フラグが“1”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

18.2.9.5 FLXAnFRTXRQm — FlexRay 送信要求レジスタ m (m = 1 ~ 4)

この4つのレジスタは、全メッセージバッファの TXR フラグの状態を示します。フラグは、送信バッファに対してのみ有効です。メッセージバッファ数が 128 個未満の場合、使用していない TXR フラグは無効です。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0320_H ~ <FLXn_base>+ 032C_H (<FLXn_base>+ 0320_H + (m-1) *4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXRp[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXRp[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.66 FLXAnFRTXRQm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TXRp[31:0]	送信要求フラグ p

(1) FLXAnFRTXRQm.TXRp (p = (m-1) *32 to (m*32-1))

送信要求フラグ p

このビットが“1”のとき対応するメッセージバッファの送信準備ができています、または送信中であることを示します。

シングルショットモードでは送信完了後“0”になります。

CHI コマンド CLEAR_RAMs によってクリアされます。

18.2.9.6 FLXAnFRNDATm— FlexRay 新データレジスタ m (m = 1 ~ 4)

この4つのレジスタは、全メッセージバッファのNDフラグの状態を示します。送信バッファのNDフラグは無効です。メッセージバッファ数が128個未満の場合、使用していないNDフラグは無効です。

アクセス 8、16、32ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0330_H ~ <FLXn_base>+ 033C_H (<FLXn_base>+ 0330_H + (m-1) *4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NDp[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NDp[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.67 FLXAnFRNDATm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	NDp[31:0]	新データフラグ p

(1) FLXAnFRNDATm.NDp (p = (m-1) *32 to (m*32-1))

新データフラグ p

有効な受信データフレームが、メッセージバッファのフィルタ設定に合致していたとき“1”になります。このとき、メッセージバッファで受信したペイロード長や、設定したペイロード長には依存しません。

受信 FIFO に設定しているメッセージバッファを除いて、Null フレームを受信した場合は“1”になりません。

新データ (ND) フラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか、データセクションが出力バッファに転送されたとき“0”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

18.2.9.7 FLXAnFRMBSCm — FlexRay メッセージバッファステータス変化レジスタ m (m = 1 ~ 4)

この4つのレジスタは、全メッセージバッファのMBCフラグの状態を示します。メッセージバッファ数が128個未満の場合、使用していないMBCフラグは無効です。

アクセス 8、16、32ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0340_H ~ <FLXn_base>+ 034C_H (<FLXn_base>+ 0340_H + (m-1) *4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBCp[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBCp[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.68 FLXAnFRMBSCm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	MBCp[31:0]	メッセージバッファステータス変更フラグ p

(1) FLXAnFRMBSCm.MBCp (p = (m-1) *32 to (m*32-1))

メッセージバッファステータス変更フラグ p

メッセージバッファのヘッダセクション（「18.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ」および「18.3.13.1 ヘッダパーティション」を参照）に関するステータスフラグ（VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB）の変更の有無を表示します。

MBCフラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか OBF への転送が完了すると“0”になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMs によってクリアされます。

18.2.10 入力バッファ

入力バッファ (IBF) は、IBF ホストと IBF シャドウの 2 段バッファ構成になっています。CPU からの書き込みアクセスは IBF ホストへ、メッセージ RAM への転送は IBF シャドウから行います。IBF は、メッセージ RAM 内の選択されたメッセージバッファに転送されるヘッダセクションとデータセクションを保持します。IBF は、メッセージ RAM 内のメッセージバッファの設定と送信バッファのデータセクションの更新に使用されます。

メッセージ RAM 内のメッセージバッファのヘッダセクションを IBF から更新すると、**「18.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ」**章に記載の FlexRay メッセージバッファステータスは自動的に "0" になります。

受信 FIFO に設定したメッセージバッファのヘッダセクションを設定または変更できるのは、CC が DEFAULT_CONFIG 状態または CONFIG 状態の場合のみです。これらのメッセージバッファには、FLXAnFRWRHS2.PLC[6:0] ビット、および FLXAnFRWRHS3.DP[10:0] ビットにより、ペイロード長およびデータポインタだけが設定できます。アクセプタンスフィルタリングに必要な情報はすべて、FIFO リジェクションフィルタレジスタおよび FIFO リジェクションフィルタマスクレジスタから取り出されます。

入力バッファ (IBF) とメッセージ RAM 間のデータ転送については、**「18.3.12.2 メッセージ RAM へのアクセス」**で詳しく説明しています。

「18.3.16.1 入力データ転送」に示す入力データ転送機能を使用するとき、および FLXAnFRITS レジスタの ITS ビットが "1" のときは、これらのレジスタに書き込むことはできません。

18.2.10.1 FLXAnFRWRDSm — FlexRay データセクションライトレジスタ m (m = 1 ~ 64)

指定したメッセージバッファのデータセクションへ転送するデータワードを保持します。メッセージ RAM に書き込まれるデータワード数は、FLXAnFRWRHS2.PLC[6:0] ビットに設定されたペイロード長によって定義されます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0400_H to <FLXn_base>+ 04FC_H (<FLXn_base>+ 0400_H + (m-1) *4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.69 FLXAnFRWRDSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	MD[31:0]	メッセージデータビット

(1) FLXAnFRWRDSm.MD

メッセージデータビット

CHI コマンド CLEAR_RAMs でリセットしてください。

注 意

1. FLXAnFRWRHS2.PLC[6:0] ビットが奇数ペイロード長を指定している場合、残りのメッセージデータバイトは使用されません。
2. FLXAnFRWRDSm レジスタにライトする場合、入力バッファからメッセージ RAM への転送を始める前に、各 32 ビットワードを、1つの 32 ビットアクセス、連続した2つの 16 ビットアクセス、または連続した4つの 8 ビットアクセスにより、全てのバイトをライトしておく必要があります。32 ビットワードの全バイトがホスト (8 ビットアクセス、または 16 ビットアクセスのみ) によりライトされていない場合、FLXAnFRWRDSm レジスタは、部分的に不定なデータを保持します。

18.2.10.2 FLXAnFRWRHS1 — FlexRay ヘッダセクションライトレジスタ 1

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0500_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CH[1:0]		—	CYC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.70 FLXAnFRWRHS1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	MBI	メッセージバッファ割り込み許可ビット 0: メッセージバッファ割り込み禁止 1: メッセージバッファ割り込み許可
28	TXM	送信モード設定ビット 0: 連続送信モード 1: シングルショットモード
27	PPIT	ペイロードブリアンブルインジケータ送信ビット 0: PPI ビットを“0”にする 1: PPI ビットを“1”にする
26	CFG	メッセージバッファ方向設定ビット 0: 受信バッファに設定 1: 送信バッファに設定
25、24	CH[1:0]	チャネルフィルタ制御ビット
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	CYC[6:0]	サイクルコード設定ビット
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～0	FID[10:0]	フレーム ID 設定ビット

(1) FLXAnFRWRHS1.MBI

メッセージバッファ割り込み許可ビット

メッセージバッファ割り込みを許可します。

メッセージハンドラによって受信バッファが更新されると、FLXAnFRSIR.RXI ビットまたは/および MBSI ビットが“1”になります。また、メッセージバッファからのフレーム送信が完了したとき FLXAnFRSIR.TXI ビットが“1”になります。

(2) FLXAnFRWRHS1.TXM

送信モード設定ビット

対応するメッセージバッファの送信モードを選択します。送信モードについては、「18.3.9.3 送信バッファ」を参照してください。

(3) FLXAnFRWRHS1.PPIT

ペイロードプリアンブルインジケータ送信ビット

対応するメッセージバッファの送信フレームのペイロードプリアンブルインジケータの状態を制御します。

スタティックメッセージバッファでこのビットを“1”にすると、対応するメッセージバッファにネットワーク管理情報が含まれます。

ダイナミックメッセージバッファでこのビットを“1”にすると、ペイロードセグメントの最初の2バイトが受信側のメッセージIDフィルタリングに使用されます。本FlexRayモジュールでは、メッセージIDフィルタリングはサポートしていませんが、CPUでサポートすることができます。

(4) FLXAnFRWRHS1.CFG

メッセージバッファ方向設定ビット

対応するバッファを、送信バッファまたは受信バッファとして設定します。受信FIFOに設定したメッセージバッファについては、このビットは無効です。

データパーティションの先頭に32ビット以上の未使用領域を配置しない場合は、ヘッダパーティション（の最終バッファ）直後に配置するメッセージバッファのデータセクションは、このビットを“1”にセットすることにより、送信バッファとして設定してください。

(5) FLXAnFRWRHS1.CH

チャンネルフィルタ制御ビット

各バッファに割り当てられている2ビットのチャンネルフィルタリングフィールドは、受信バッファにはフィルタとして、送信バッファには制御フィールドとして使えます。

CH[1:0]	送信バッファ フレーム送信	受信バッファ 受信したフレームを格納
00	送信禁止	受信フレームを無視する
01	チャンネルA	チャンネルA
10	チャンネルB	チャンネルB
11	両チャンネル（スタティックセグメントのみ）	チャンネルAまたはB（最初に受信した有効なフレームをメッセージバッファへ格納、スタティックセグメントのみ）

注 意

メッセージバッファがダイナミックセグメントに設定されており、かつチャンネルフィルタリングフィールドの両ビットが“1”に設定されている場合、フレームの送受信は行われません（CH=“00_B”にしたのと同じ機能になります）。

(6) FLXAnFRWRHS1.CYC

サイクルコード設定ビット

サイクルカウンタフィルタリングで使用するサイクルセットを定義する7ビットのサイクルコードを設定します。

サイクルコードの設定に関する詳細は「**18.3.8.2 サイクルカウンタフィルタリング**」を参照してください。

(7) FLXAnFRWRHS1.FID

フレーム ID 設定ビット

選択したメッセージバッファのフレーム ID を設定します。フレーム ID は、それぞれのメッセージを送受信するためのスロット番号です。

フレーム ID に“0”を設定したメッセージバッファは無効となります。

18.2.10.3 FLXAnFRWRHS2 — FlexRay ヘッダセクションライトレジスタ 2

アクセス 8、16、32 ビット単位でリード / ライト可能です。

アドレス <FLXn_base>+ 0504_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PLC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.71 FLXAnFRWRHS2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	PLC[6:0]	ペイロード長設定ビット
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 0	CRC[10:0]	ヘッダ CRC 設定ビット (vRF!Header!HeaderCRC) 受信バッファ：設定不要 送信バッファ：ヘッダ CRC を設定

(1) FLXAnFRWRHS2.PLC

ペイロード長設定ビット

ペイロード長（データセクションの長さ）を 2 バイト単位で設定します。

スタティックセグメントでは、FLXAnFRMHDC.SFDL[6:0] ビットで設定したスタティックフレームのペイロード長により全スタティックフレームのペイロード長が決定します。

FLXAnFRWRHS2.PLC[6:0] ビットで設定したペイロード長がこの値より短い場合、適切な物理長になるようパディングバイトが追加されます。パディングバイトの内容は“0000_H”です（「18.3.9.3 送信バッファ」参照）。

(2) FLXAnFRWRHS2.CRC

ヘッダ CRC 設定ビット (vRF!Header!HeaderCRC)

受信バッファの設定は必要ありません。

メッセージバッファの送信には、ヘッダ CRC の計算と設定が必要になります。

ヘッダ CRC の計算では、送信フレームのペイロード長を考慮する必要があります。スタティックセグメントでは全フレームのペイロード長を FLXAnFRMHDC.SFDL[6:0] ビットで設定します。

18.2.10.4 FLXAnFRWRHS3 — FlexRay ヘッダセクションライトレジスタ 3

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0508_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.72 FLXAnFRWRHS3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 0	DP[10:0]	データポインタ設定ビット

(1) FLXAnFRWRHS3.DP

データポインタ設定ビット

メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビットワードの位置を設定します。

18.2.10.5 FLXAnFRIBCM — FlexRay 入力バッファコマンドマスクレジスタ

FLXAnFRIBCM レジスタで選択したメッセージ RAM 内のメッセージバッファの更新方法を設定します。IBF ホストと IBF シャドウが切り替わるとき、LHSH、LDSS、STXRH ビットと LHSS、LDSS、STXRS ビットもそれぞれ切り替わります。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0510_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRS	LDSS	LHSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRH	LDSS	LHSH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 18.73 FLXAnFRIBCM レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	STXRS	送信要求シャドウ設定フラグ 0: TXR フラグを“0”に設定 1: TXR フラグを“1”に設定し、送信予約（転送中または転送完了）
17	LDSS	データセクションシャドウロードフラグ 0: データセクションを更新しない 1: データセクションを転送する（転送中または転送完了）
16	LHSS	ヘッダセクションシャドウロードフラグ 0: ヘッダセクションを更新しない 1: ヘッダセクションを転送する（転送中または転送完了）
15 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	STXRH	送信要求ホスト設定ビット 0: TXR フラグを“0”に設定 1: TXR フラグを“1”に設定し、送信予約
1	LDSS	データセクションホストロード設定ビット 0: データセクションを更新しない 1: データセクションを転送する
0	LHSH	ヘッダセクションホストロード設定ビット 0: ヘッダセクションを更新しない 1: ヘッダセクションを転送する

(1) FLXAnFRIBCM.STXRS

送信要求シャドウ設定フラグ

(2) FLXAnFRIBCM.LDSS

データセクションシャドウロードフラグ

(3) FLXAnFRIBCM.LHSS

ヘッダセクションシャドワードロードフラグ

(4) FLXAnFRIBCM.STXRH

送信要求ホスト設定ビット

このビットが“1”に設定されている場合、選択されたメッセージバッファの TXR フラグが FLXAnFRTXRQ1 ~ FLXAnFRTXRQ4 レジスタ内で“1”に設定され、そのメッセージバッファは送信バッファとして設定可能になります。シングルショットモードでは、送信完了後にクリアされます。

TXR は、送信バッファに対してのみ有効です。

(5) FLXAnFRIBCM.LDSH

データセクションホストロード設定ビット

(6) FLXAnFRIBCM.LHSH

ヘッダセクションホストロード設定ビット

18.2.10.6 FLXAnFRIBCR — FlexRay 入力バッファコマンド要求レジスタ

CPU が転送先であるメッセージ RAM のメッセージバッファ番号を FLXAnFRIBCR.IBRH[6:0] ビットに書き込むと、IBF ホストと IBF シャドウが切り替わります。また FLXAnFRIBCR.IBRH[6:0] ビットと FLXAnFRIBCR.IBRS[6:0] ビットに格納されているメッセージ番号も切り替わります。（「18.3.12.2 (1) 入力バッファからメッセージ RAM へのデータ転送」を参照）。

この書き込みにより、FLXAnFRIBCR.IBSYS ビットが“1”にセットされます。次に、メッセージハンドラにより IBF シャドウの内容が FLXAnFRIBCR.IBRS[6:0] ビットで選択されたメッセージ RAM のメッセージバッファに転送されます。

転送中 IBF ホストに次のメッセージを書き込むことができます。IBF シャドウとメッセージ RAM 間の転送が完了すると、FLXAnFRIBCR.IBSYS ビットは再び“0”になり、FLXAnFRIBCR.IBRH[6:0] ビットに次のメッセージバッファ番号が書込まれると次のデータ転送が始まります。

FLXAnFRIBCR.IBSYS ビットが“1”のときに FLXAnFRIBCR.IBRH[6:0] ビットへ書き込もうとすると、FLXAnFRIBCR.IBSYH ビットが“1”にセットされます。データ転送が完了すると IBF ホストと IBF シャドウが切り替わり、FLXAnFRIBCR.IBSYH ビットは“0”にクリアされます。FLXAnFRIBCR.IBSYS ビットは“1”のまま、次の転送が始まります。また FLXAnFRIBCR.IBRH[6:0] ビットおよび FLXAnFRIBCR.IBRS[6:0] ビットに格納されているメッセージバッファ番号も入れ替わります。

FLXAnFRIBCR.IBSYS ビットおよび FLXAnFRIBCR.IBSYH ビットが“1”のときに IBF レジスタへ書き込もうとすると、FLXAnFREIR.IIBA フラグ（エラーフラグ）が“1”にセットされます。この場合、書き込みは影響せず、IBF は切り替わりません。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0514_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IBSYS	—	—	—	—	—	—	—	—	IBRS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IBSYH	—	—	—	—	—	—	—	—	IBRH[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.74 FLXAnFRIBCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	IBSYS	入力バッファビジーシャドウフラグ 0: IBF シャドウからメッセージ RAM へ転送完了 1: IBF シャドウからメッセージ RAM へ転送中
30 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	IBRS[6:0]	入力バッファ要求シャドウフラグ

表 18.74 FLXAnFRIBCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
15	IBSYH	入力バッファビジーホストフラグ 0: 保留中の転送要求なし 1: IBF シャドウからメッセージ RAM への転送中に次の転送要求あり
14 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	IBRH[6:0]	入力バッファ要求ホストビット

(1) FLXAnFRIBCR.IBSYS

入力バッファビジーシャドウフラグ

FLXAnFRIBCR.IBRH[6:0] ビットへの書き込みの後に“1”にセットされます。

IBF シャドウとメッセージ RAM 間の転送が進行中であることを示します。

IBF シャドウとメッセージ RAM 間の転送が完了すると“0”にクリアされます。

(2) FLXAnFRIBCR.IBRS

入力バッファ要求シャドウフラグ

更新中もしくは最後に更新した転送先メッセージバッファ番号を保存します。

(3) FLXAnFRIBCR.IBSYH

入力バッファビジーホストフラグ

FLXAnFRIBCR.IBSYS ビットが“1”のときに FLXAnFRIBCR.IBRH[6:0] ビットへの書き込みを行うと“1”にセットされます。

IBF シャドウとメッセージ RAM 間の転送が進行中であることを示します。

IBF シャドウとメッセージ RAM 間の転送が完了すると“0”にクリアされます。

(4) FLXAnFRIBCR.IBRH

入力バッファ要求ホストビット

入力バッファからデータを転送するためのメッセージ RAM 中のターゲットメッセージバッファを選択します。

18.2.11 出力バッファ

出力バッファ (OBF) は、OBF ホストと OBF シャドウの2段バッファ構成になっており、メッセージ RAM からメッセージバッファのデータを読み出すのに使用します。CPU による読み出しは OBF ホストから、メッセージハンドラによるメッセージ RAM からの転送は OBF シャドウから行います。「18.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送」に OBF とメッセージ RAM 間の転送について詳しく説明しています。

「18.3.16.2 出力データ転送」に示す出力データ転送機能を使用するとき、および FLXAnFROTS.OTS ビットが“1”のときは、これらのレジスタに書き込むことはできません。

18.2.11.1 FLXAnFRRDDSm — FlexRay データセクションリードレジスタ m (m = 1 ~ 64)

指定したメッセージバッファのデータセクションから読み出されたデータワードを保持します。メッセージ RAM から読み出されるデータワード数は、FLXAnFRRDHS2.PLC[6:0] ビットに設定されたペイロード長によって定義されます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0600_H ~ <FLXn_base>+ 06FC_H (<FLXn_base>+ 0600_H + (m-1) *4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.75 FLXAnFRRDDSm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	MD[31:0]	メッセージデータフラグ

(1) FLXAnFRRDDSm.MD

メッセージデータフラグ

CHI コマンド CLEAR_RAMs によってクリアされます。

注 意

FLXAnFRWRHS2.PLC[6:0] ビットが奇数ペイロード長を指定している場合、残りのメッセージデータバイトは使用されません。

18.2.11.2 FLXAnFRRDHS1 — FlexRay ヘッダセクションリードレジスタ 1

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0700_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CH[1:0]		—	CYC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.76 FLXAnFRRDHS1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29	MBI	メッセージバッファ割り込み許可フラグ
28	TXM	送信モードフラグ
27	PPIT	ペイロードプリアンプインジケータ送信フラグ
26	CFG	メッセージバッファ方向設定フラグ
25、24	CH[1:0]	チャネルフィルタ制御フラグ
23	予約ビット	リードした場合はリセット後の値が読めます。
22 ~ 16	CYC[6:0]	サイクルコード
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 0	FID[10:0]	フレーム ID

(1) FLXAnFRRDHS1.MBI

メッセージバッファ割り込み許可フラグ

FLXAnFRWRHS1.MBI ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(2) FLXAnFRRDHS1.TXM

送信モードフラグ

FLXAnFRWRHS1.TXM ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(3) FLXAnFRRDHS1.PPIT

ペイロードプリアンブルインジケータ送信フラグ

FLXAnFRWRHS1.PPIT ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(4) FLXAnFRRDHS1.CFG

メッセージバッファ方向設定フラグ

FLXAnFRWRHS1.CFG ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(5) FLXAnFRRDHS1.CH

チャンネルフィルタ制御フラグ

FLXAnFRWRHS1.CH ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(6) FLXAnFRRDHS1.CYC

サイクルコード

FLXAnFRWRHS1.CYC ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(7) FLXAnFRRDHS1.FID

フレーム ID

FLXAnFRWRHS1.FID ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは受信フレーム ID を保持します。

18.2.11.3 FLXAnFRRDHS2 — FlexRay ヘッダセクションリードレジスタ 2

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0704_H

リセット後の値 0000 0000_H

注 意

スタティックバッファ領域、またはスタティックバッファ + ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRWRHS2 レジスタはデータフレームからのみ更新されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PLR[6:0]						—	PLC[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.77 FLXAnFRRDHS2 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30 ~ 24	PLR[6:0]	受信フレームペイロード長フラグ (vRF!Header!Length)
23	予約ビット	リードした場合はリセット後の値が読めます。
22 ~ 16	PLC[6:0]	ペイロード長設定フラグ
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 0	CRC[10:0]	ヘッダ CRC フラグ (vRF!Header!HeaderCRC)

(1) FLXAnFRRDHS2.PLR

受信フレームペイロード長フラグ (vRF!Header!Length)

受信したデータフレームにより更新されたペイロード長 (vRF!Header!Length) が読めます。(例外: 受信 FIFO に設定したメッセージバッファでは、Null フレームを受信しても更新されません。)

(2) FLXAnFRRDHS2.PLC

ペイロード長設定フラグ

設定したデータセクションの長さ (2 バイトワードの数) が読めます。

(3) FLXAnFRRDHS2.CRC

ヘッダ CRC フラグ (vRF!Header!HeaderCRC)

受信バッファ時: 受信したデータフレームのヘッダ CRC (vRF!Header!HeaderCRC) が読めます。

送信バッファ時: 設定したヘッダ CRC が読めます。

(4) Data storage

メッセージがメッセージバッファに格納される場合、受信したペイロード長と設定したペイロード長に関連して次の処理が実行されます。

FLXAnFRRDHS2.PLR[6:0] ビット > FLXAnFRRDHS2.PLC[6:0] ビット : メッセージバッファに格納されるペイロードデータは、FLXAnFRRDHS2.PLC[6:0] ビットが偶数の場合は FLXAnFRRDHS2.PLC[6:0] ビットのサイズ、奇数の場合は FLXAnFRRDHS2.PLC[6:0] ビット + 1 のサイズに切り詰められます。

FLXAnFRRDHS2.PLR[6:0] ビット ≤ FLXAnFRRDHS2.PLC[6:0] ビット : 受信したペイロードデータはメッセージバッファのデータセクションに格納されます。

FLXAnFRRDHS2.PLC[6:0] ビットで定義されたデータセクションの残りのデータバイトには不定値が入ります。

FLXAnFRRDHS2.PLR[6:0] ビット = 0 : メッセージバッファのデータセクションにはすべて不定値が入ります。

FLXAnFRRDHS2.PLC[6:0] ビット = 0 : メッセージバッファにデータセクションが構成されません。メッセージバッファのデータセクションにデータは格納されません。

注 意

1. メッセージ RAM は 4 バイトワード単位で構成されます。受信データがメッセージバッファのデータセクションに格納される場合、メッセージバッファに書き込まれる 2 バイトのデータワード数は次の偶数値に丸められた FLXAnFRRDHS2.PLC[6:0] ビットの値になります。
2. 受信 FIFO に設定されたメッセージバッファの FLXAnFRRDHS2.PLC[6:0] ビットの値はすべて同じ値にしてください。
スタティックバッファ領域、またはスタティックバッファ + ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRWRHS2 レジスタはデータフレームからのみ更新されます。

18.2.11.4 FLXAnFRRDHS3 — FlexRay ヘッダセクションリードレジスタ 3

注 意

スタティックバッファ領域、またはスタティックバッファ+ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRWRHS3 レジスタはデータフレームからのみ更新されます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 0708_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RES	PPI	NFI	SYN	SFI	RCI	—	—	RCC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.78 FLXAnFRRDHS3 レジスタの内容

ビット位置	ビット名	機能
31, 30	予約ビット	リードした場合はリセット後の値が読めます。
29	RES	予約ビット表示フラグ (vRF!Header!Reserved)
28	PPI	ペイロードブリアンブルインジケータフラグ (vRF!Header!PPIIndicator)
27	NFI	Null フレームインジケータフラグ (vRF!Header!NFIndicator) 0: 現在まで、該当メッセージバッファにデータフレームは格納されていません。 1: 少なくとも1つのデータフレームが該当メッセージバッファに格納されています。
26	SYN	Sync フレームインジケータフラグ (vRF!Header!SyFIndicator) 0: 受信フレームは非 sync フレーム 1: 受信フレームは sync フレーム
25	SFI	Startup フレームインジケータフラグ (vRF!Header!SuFIndicator) 0: 受信フレームは非 Startup フレーム 1: 受信フレームは Startup フレーム
24	RCI	受信チャンネルインジケータフラグ (vSS!Channel) 0: チャンネル B でフレーム受信 1: チャンネル A でフレーム受信
23, 22	予約ビット	リードした場合はリセット後の値が読めます。
21 ~ 16	RCC[5:0]	受信サイクルカウンタ (vRF!Header!CycleCount)
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 0	DP[10:0]	データポインタフラグ

(1) FLXAnFRRDHS3.RES

予約ビット表示フラグ (vRF!Header!Reserved)

受信フレームのヘッダにある予約ビットの値が読めます。予約ビットは“0”で送信されません。

(2) FLXAnFRRDHS3.PPI

ペイロードプリアンブルインジケータフラグ (vRF!Header!PPIndicator)

受信フレームのペイロードセグメントに NM ベクタまたはメッセージ ID が含まれるかどうかを定義します。

0 = 受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない

1 = スタティックセグメントの場合：ペイロードの先頭部分に NM ベクタを含む
ダイナミックセグメントの場合：ペイロードの先頭部分にメッセージ ID を含む

(3) FLXAnFRRDHS3.NFI

Null フレームインジケータフラグ (vRF!Header!NFIndicator)

最初に受信したデータフレームを格納すると、“1”に設定されます。

(4) FLXAnFRRDHS3.SYN

Sync フレームインジケータフラグ (vRF!Header!SyFIndicator)

Sync フレームインジケータで Sync フレームを表示します。

(5) FLXAnFRRDHS3.SFI

Startup フレームインジケータフラグ (vRF!Header!SuFIndicator)

Startup フレームインジケータで Startup フレームを表示します。

(6) FLXAnFRRDHS3.RCI

受信チャンネルインジケータフラグ (vSS!Channel)

受信バッファを更新するための受信データフレームのチャンネルを表示します。

(7) FLXAnFRRDHS3.RCC

受信サイクルカウンタ (vRF!Header!CycleCount)

受信データフレームによって更新されたサイクルカウンタ値が読めます。

(8) FLXAnFRRDHS3.DP

データポインタフラグ

メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビットワードの位置を示します。

FLXAnFRWRHS3.DP ビットに設定された値です。

18.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ

FlexRay メッセージバッファステータスは、メッセージバッファに割り当てられたスロットの終了時にチャンネルの最新状態に更新されます。

フラグは、CC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ更新されます。

チャンネル A かチャンネル B のいずれか一方だけがメッセージバッファに割り当てられている場合、割り当てられていないチャンネルだけに関連するステータスフラグは“0”になります。両方のチャンネルがメッセージバッファに割り当てられている場合、両方のチャンネルのフラグが更新されます。

FlexRay メッセージバッファステータスは、スロットカウンタが設定したフレーム ID に到達し、サイクルカウンタフィルタが一致した場合のみ更新されます。CPU が入力バッファを介してメッセージバッファを更新すると、FLXAnFRIBCM レジスタの設定に関係なく、FLXAnFRMBS レジスタのフラグはすべて“0”になります。

送受信フィルタリングの詳細については、「18.3.8 フィルタリングとマスキング」、「18.3.9 送信プロセス」および「18.3.10 受信プロセス」を参照してください。

FLXAnFRMBS.VFRA, FLXAnFRMBS.VFRB, FLXAnFRMBS.SEOA, FLXAnFRMBS.SEOB, FLXAnFRMBS.CEOA, FLXAnFRMBS.CEOB, FLXAnFRMBS.SVOA, FLXAnFRMBS.SVOB, FLXAnFRMBS.TCIA, FLXAnFRMBS.TCIB, FLXAnFRMBS.ESA, FLXAnFRMBS.ESB, FLXAnFRMBS.MLST, FLXAnFRMBS.FTA, FLXAnFRMBS.FTB フラグのいずれかが変化すると、FLXAnFRMBS.C1 ~ FLXAnFRMBS.C4 レジスタの対応するメッセージバッファの MBC フラグがセットされます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 070C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RESS	PPIS	NFIS	SYNS	SFIS	RCIS	—	—	CCS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTB	FTA	—	MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.79 FLXAnFRMBS レジスタの内容 (1/3)

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29	RESS	予約ビットステータスフラグ (vRF!Header!Reserved)
28	PPIS	ペイロードプリアンブルインジケータステータスフラグ (vRF!Header!PPIndicator) 0: PP インジケータは“0”にセット 1: PPI インジケータは“1”にセット
27	NFIS	Null フレームインジケータステータスフラグ (vRF!Header!NFIndicator) 0: 受信フレームは Null フレーム 1: 受信フレームは非 Null フレーム

表 18.79 FLXAnFRMBS レジスタの内容 (2/3)

ビット位置	ビット名	機能
26	SYNS	Sync フレームインジケータステータスフラグ (vRF!Header!SyFIndicator) 0: Sync フレームを受信せず 1: 受信フレームは Sync フレーム
25	SFIS	Startup フレームインジケータステータスフラグ (vRF!Header!SuFIndicator) 0: Startup フレームを受信せず 1: 受信フレームは Startup フレーム
24	RCIS	受信チャンネル表示ステータスフラグ (vSS!Channel) 0: チャンネル B でフレーム受信 1: チャンネル A でフレーム受信
23、22	予約ビット	リードした場合はリセット後の値が読めます。
21 ~ 16	CCS[5:0]	サイクルカウンタステータスフラグ
15	FTB	チャンネル B フレーム送信フラグ 0: チャンネル B でデータフレーム送信せず 1: チャンネル B でデータフレーム送信
14	FTA	チャンネル A フレーム送信フラグ 0: チャンネル A でデータフレーム送信せず 1: チャンネル A でデータフレーム送信
13	予約ビット	リードした場合はリセット後の値が読めます。
12	MLST	メッセージロストフラグ 0: メッセージロストなし 1: 受信バッファのフレームを読む前に次のフレームが書き込まれた
11	ESB	チャンネル B エンプティスロットフラグ 0: チャンネル B で割り当てられたスロットではバスがアイドル状態でない 1: チャンネル B で割り当てられたスロットではバスがアイドル状態である
10	ESA	チャンネル A エンプティスロットフラグ 0: チャンネル A で割り当てられたスロットではバスがアイドル状態でない 1: チャンネル A で割り当てられたスロットではバスがアイドル状態である
9	TCIB	チャンネル B 送信競合検出フラグ (vSS!TxConflictB) 0: チャンネル B で送信競合を検出せず 1: チャンネル B で送信競合を検出
8	TCIA	チャンネル A 送信競合検出フラグ (vSS!TxConflictA) 0: チャンネル A で送信競合を検出せず 1: チャンネル A で送信競合を検出
7	SVOB	チャンネル B スロット境界違反フラグ (vSS!BViolationB) 0: チャンネル B でスロット境界違反を検出せず 1: チャンネル B でスロット境界違反検出
6	SVOA	チャンネル A スロット境界違反フラグ (vSS!BViolationA) 0: チャンネル A でスロット境界違反を検出せず 1: チャンネル A でスロット境界違反検出
5	CEOB	チャンネル B コンテンツエラーフラグ (vSS!ContentErrorB) 0: チャンネル B でコンテンツエラーを検出せず 1: チャンネル B でコンテンツエラーを検出
4	CEOA	チャンネル A コンテンツエラーフラグ (vSS!ContentErrorA) 0: チャンネル A でコンテンツエラーを検出せず 1: チャンネル A でコンテンツエラーを検出
3	SEOB	チャンネル B シンタックスエラーフラグ (vSS!SyntaxErrorB) 0: チャンネル B でシンタックスエラーを検出せず 1: チャンネル B でシンタックスエラーを検出
2	SEOA	チャンネル A シンタックスエラーフラグ (vSS!SyntaxErrorA) 0: チャンネル A でシンタックスエラーを検出せず 1: チャンネル A でシンタックスエラーを検出
1	VFRB	チャンネル B 受信有効フレームフラグ (vSS!ValidFrameB) 0: チャンネル B で有効フレーム受信せず 1: チャンネル B で有効フレームを受信

表 18.79 FLXAnFRMBS レジスタの内容 (3/3)

ビット位置	ビット名	機能
0	VFRA	チャンネル A 受信有効フレームフラグ (vSSI!ValidFrameA) 0: チャンネル A で有効フレーム受信せず 1: チャンネル A で有効フレームを受信

(1) FLXAnFRMBS.RESS

予約ビットステータスフラグ (vRF!Header!Reserved)

受信フレームのヘッダにある予約ビットの値が読めます。予約ビットは "0" で送信されません。

受信バッファ (FLXAnFRWRHS1.CFG ビット = '0') に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(2) FLXAnFRMBS.PPIS

ペイロードプリアンブルインジケータステータスフラグ (vRF!Header!PPIndicator)

受信フレームのペイロードセグメントに NM ベクタまたはメッセージ ID が含まれるかどうかを定義します。

受信バッファ (FLXAnFRWRHS1.CFG ビット = '0') に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

0 = PP インジケータは '0' にセット

受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない

1 = PPI インジケータは '1' にセット

スタティックセグメントの場合：ペイロードの先頭部分に NM ベクタを含む

ダイナミックセグメントの場合：ペイロードの先頭部分にメッセージ ID を含む

(3) FLXAnFRMBS.NFIS

Null フレームインジケータステータスフラグ (vRF!Header!NFIndicator)

"0" の場合、受信フレームのペイロードセグメントのデータは無効です。

受信バッファ (FLXAnFRWRHS1.CFG ビット = '0') に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(4) FLXAnFRMBS.SYNS

Sync フレームインジケータステータスフラグ (vRF!Header!SyFIndicator)

Sync フレームインジケータで Sync フレームを表示します。

受信バッファ (FLXAnFRWRHS1.CFG ビット = '0') に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(5) FLXAnFRMBS.SFIS

Startup フレームインジケータステータスフラグ (vRF!Header!SuFIndicator)

Startup フレームインジケータで Startup フレームを表示します。

受信バッファ (FLXAnFRWRHS1.CFG ビット = '0') に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(6) FLXAnFRMBS.RCIS

受信チャンネル表示ステータスフラグ (vSS!Channel)

フレームを受信したチャンネルを表示します。

受信バッファ (FLXAnFRWRHS1.CFG ビット = '0') に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(7) FLXAnFRMBS.CCS

サイクルカウントステータスフラグ

ステータスが更新されたときのサイクルカウンタ値が読めます。

(8) FLXAnFRMBS.FTB

チャンネル B フレーム送信フラグ

チャンネル B にデータフレームを送信したことを示します。

注 意

CPU のみが本ビットをクリアすることができます。したがって、本ビットが“1”に設定されるサイクルでサイクルカウントステータス (FLXAnFRMBS.CCS ビット) のみが有効です。

(9) FLXAnFRMBS.FTA

チャンネル A フレーム送信フラグ

チャンネル A にデータフレームを送信したことを示します。

注 意

CPU のみが本ビットをクリアすることができます。したがって、本ビットが“1”に設定されるサイクルでサイクルカウントステータス (FLXAnFRMBS.CCS ビット) のみが有効です。

(10) FLXAnFRMBS.MLST

メッセージロストフラグ

CPU がメッセージデータを読む前に、受信したデータフレームによってメッセージバッファが上書きされたとき“1”になります。

受信 FIFO に設定したメッセージバッファを除き、Null フレームの受信による影響はありません。入力バッファを介してメッセージバッファに書き込みを行うか、出力バッファを介してメッセージを読み出すことで FLXAnFRNDATm.ND ビットが“0”になった後、新しいメッセージがメッセージバッファに格納されると、このフラグは“0”になります。

(11) FLXAnFRMBS.ESB

チャンネル B エンプティスロットフラグ

エンプティスロットでは、バスがアイドル状態、つまり、フレーム送信が検出されていないことを意味します。この状態は、スタティックスロットおよびダイナミックスロットでチェックされます。

(12) FLXAnFRMBS.ESA

チャンネル A エンプティスロットフラグ

エンプティスロットでは、バスがアイドル状態、つまり、フレーム送信が検出されていないことを意味します。この状態は、スタティックスロットおよびダイナミックスロットでチェックされます。

(13) FLXAnFRMBS.TCIB

チャンネル B 送信競合検出フラグ (vSS!TxConflictB)

送信競合がチャンネル B で検出されたときに、“1” に設定されます。

(14) FLXAnFRMBS.TCIA

チャンネル A 送信競合検出フラグ (vSS!TxConflictA)

送信競合がチャンネル A で検出されたときに、“1” に設定されます。

(15) FLXAnFRMBS.SVOB

チャンネル B スロット境界違反フラグ (vSS!BViolationB)

スロット境界違反（設定されたスロットの開始もしくは終了においてチャンネルがアクティブであること）がチャンネル B に割り当てられたスロットで検出されたことを示します。

(16) FLXAnFRMBS.SVOA

チャンネル A スロット境界違反フラグ (vSS!BViolationA)

スロット境界違反（設定されたスロットの開始もしくは終了においてチャンネルがアクティブであること）がチャンネル A に割り当てられたスロットで検出されたことを示します。

(17) FLXAnFRMBS.CEOB

チャンネル B コンテンツエラーフラグ (vSS!ContentErrorB)

チャンネル B に割り当てられたスロットでコンテンツエラーが検出されたことを示します。

(18) FLXAnFRMBS.CEOA

チャンネル A コンテンツエラーフラグ (vSS!ContentErrorA)

チャンネル A に割り当てられたスロットでコンテンツエラーが検出されたことを示します。

(19) FLXAnFRMBS.SEOB

チャンネル B シンタックスエラーフラグ (vSS!SyntaxErrorB)

チャンネル B に割り当てられたスロットでシンタックスエラーが検出されたことを示します。

(20) FLXAnFRMBS.SEOA

チャンネル A シンタックスエラーフラグ (vSS!SyntaxErrorA)

チャンネル A に割り当てられたスロットでシンタックスエラーが検出されたことを示します。

(21) FLXAnFRMBS.VFRB

チャンネル B 受信有効フレームフラグ (vSS!ValidFrameB)

チャンネル B で有効フレームが受信されたときに“1”に設定されます。

(22) FLXAnFRMBS.VFRA

チャンネル A 受信有効フレームフラグ (vSS!ValidFrameA)

チャンネル A で有効フレームが受信されたときに“1”に設定されます。

18.2.11.6 FLXAnFROBCM — FlexRay 出力バッファコマンドマスクレジスタ

FLXAnFROBCR.OBRS[6:0] ビットで選択したメッセージ RAM 内のメッセージバッファによる出力バッファの更新方法を設定します。

FLXAnFROBCR.REQ ビットによりメッセージ RAM 転送が要求されると、FLXAnFROBCM.RDSS ビットおよび FLXAnFROBCM.RHSS ビットの内容が内部メモリにコピーされます。

OBF ホストと OBF シャドウが切り替わるとき、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま内部メモリの値と切り替わります。

出力バッファとメッセージ RAM 間のデータ転送についての詳細は、「**18.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」を参照してください。

注 意

ヘッダセクションがメッセージ RAM から OBF シャドウに転送された後、FLXAnFRMBSC1 ~ FLXAnFRMBSC4 レジスタの選択されたメッセージバッファの FlexRay メッセージバッファステータス変化フラグ (MBC) がクリアされます。データセクションがメッセージ RAM から OBF シャドウに転送された後、FLXAnFRNDAT1 ~ FLXAnFRNDAT4 レジスタの選択されたメッセージバッファの新データフラグ (ND) がクリアされます。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0710_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSH	RHSH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSS	RHSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 18.80 FLXAnFROBCM レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	RDSH	データセクションホスト読み出しフラグ 0: データセクションを読み出さない 1: データセクションをメッセージ RAM から出力バッファへ転送する
16	RHSH	ヘッダセクションホスト読み出しフラグ 0: ヘッダセクションを読み出さない 1: ヘッダセクションをメッセージ RAM から出力バッファへ転送する
15 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RDSS	データセクションシャドウ読み出しビット 0: データセクションを読み出さない 1: データセクションをメッセージ RAM から出力バッファへ転送する

表 18.80 FLXAnFROBCM レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	RHSS	ヘッダセクションシャドウ読み出しビット 0: ヘッダセクションを読み出さない 1: ヘッダセクションをメッセージ RAM から出力バッファへ転送する

(1) FLXAnFROBCM.RDSH

データセクションホスト読み出しフラグ

(2) FLXAnFROBCM.RHSH

ヘッダセクションホスト読み出しフラグ

(3) FLXAnFROBCM.RDSS

データセクションシャドウ読み出しビット

(4) FLXAnFROBCM.RHSS

ヘッダセクションシャドウ読み出しビット

18.2.11.7 FLXAnFROBCR — FlexRay 出力バッファコマンド要求レジスタ

FLXAnFROBCR.OBSYS ビットが“0”のときに FLXAnFROBCR.REQ ビットに“1”を書き込むと、FLXAnFROBCR.OBSYS ビットが自動的に“1”にセットされます。また、FLXAnFROBCR.OBRS[6:0] ビットの値は内部メモリにコピーされ、FLXAnFROBCM.RDSS ビットおよび FLXAnFROBCM.RHSS ビットの値は FLXAnFROBCM レジスタの内部メモリにコピーされます。さらに、FLXAnFROBCR.OBRS[6:0] ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送が完了すると、FLXAnFROBCM.OBSYS ビットを“0”に戻すことで完了が通知されます。

FLXAnFROBCR.OBSYS ビットが“0”のときに FLXAnFROBCR.VIEW ビットを“1”にセットすると、OBF ホストと OBF シャドウが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。アクセスが可能なメッセージバッファ番号は FLXAnFROBCR.OBRH[6:0] により示されます。

FLXAnFROBCR.OBSYS ビットが“0”のときに FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットに同時に“1”を書き込むと、FLXAnFROBCR.OBSYS ビットが自動的に“1”にセットされ、OBF シャドウと OBF ホストが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。その後、FLXAnFROBCR.OBRS ビットの値は内部メモリにコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送している間、CPU は前回転送されたメッセージバッファを OBF ホストから読み出すことができます。メッセージ RAM と OBF シャドウ間の最新の転送が完了すると、FLXAnFROBCR.OBSYS ビットを“0”に戻すことで完了が通知されます。

FLXAnFROBCR.OBSYS ビットが“1”のとき FLXAnFROBCR[15:8] ビットへ書き込むとすると、FLXAnFREIR.IOBA ビットが“1”にセットされます。この場合、書き込みは影響せず、OBF は切り替わりません。

出力バッファとメッセージ RAM 間のデータ転送についての詳細は、「**18.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」を参照してください。

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0714_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	OBRH[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OBSYS	—	—	—	—	—	REQ	VIEW	—	OBRS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.81 FLXAnFROBCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 18.81 FLXAnFROBCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
22 ~ 16	OBRH[6:0]	OBF ホスト転送要求フラグ
15	OBSYS	OBF シャドウビジーフラグ 0: 実行中の転送なし 1: メッセージ RAM から OBF シャドウへの転送中
14 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	REQ	メッセージ RAM 転送要求ビット 0: 要求なし 1: OBF シャドウへの転送を要求あり
8	VIEW	シャドウバッファ・ホストバッファ切り替えビット 0: 切り替えなし 1: OBF シャドウと OBF ホストを切り替える
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	OBRS[6:0]	OBF シャドウ転送要求ビット

(1) FLXAnFROBCR.OBRH

OBF ホスト転送要求フラグ

FLXAnFRRDHS1 ~ FLXAnFRRDHS3、FLXAnFRMBS、FLXAnFRRDDS1 ~ FLXAnFRRDDS64 レジスタ を経由して、現在、アクセスが可能なメッセージバッファ番号を示します。

FLXAnFROBCR.VIEW ビットへ“1”を書き込むと、OBF ホストが切り替わり、転送されたメッセージバッファはアクセス可能となります。

(2) FLXAnFROBCR.OBSYS

OBF シャドウビジーフラグ

FLXAnFROBCR.REQ ビットに“1”を書くと、“1”になります。メッセージ RAM から OBF シャドウへの転送が完了すると、“0”になります。

(3) FLXAnFROBCR.REQ

メッセージ RAM 転送要求ビット

FLXAnFROBCR.OBSYS ビットが“0”の間のみ書き込み可能です。

FLXAnFROBCR.OBRS[6:0] ビットによって指定されたメッセージバッファをメッセージ RAM から OBF シャドウへ転送します。

(4) FLXAnFROBCR.VIEW

シャドウバッファ・ホストバッファ切り替えビット

FLXAnFROBCR.OBSYS ビットが“0”の間のみ書き込み可能です。

OBF シャドウと OBF ホストを切り替えます。

(5) FLXAnFROBCR.OBRS

OBF シャドウ転送要求ビット

FLXAnFROBCR.OBSYS ビットが“0”の間のみ書き込み可能です。

メッセージ RAM から OBF シャドウに転送する際の転送元メッセージバッファ番号を示します。

受信 FIFO の先頭のメッセージバッファ番号をこのレジスタに書いた場合、GET Index (GIDX、「**18.3.11 FIFO 機能**」参照) で示されるメッセージバッファが OBF シャドウに転送されます。

18.2.12 データ転送制御レジスタ

18.2.12.1 FLXAnFRITC — FlexRay 入力転送設定レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0800_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	ITM[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IQEIE	IQFIE	—	—	—	—	—	—	IQHR	ITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 18.82 FLXAnFRITC レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	ITM[6:0]	入力キューテーブル最大値ビット 入力バッファハンドラが入力キューに保持可能な、入力ポインタテーブル内のエントリ数を設定します。
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	IQEIE	入力キューエンティ割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
8	IQFIE	入力キューフル割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	IQHR	入力キュー停止要求ビット 0: 入力キュー動作要求 1: 入力キュー停止要求
0	ITE	入力転送許可ビット 0: 転送禁止要求 1: 転送許可要求

(1) FLXAnFRITC.ITM

入力キューテーブル最大値ビット

FLXAnFRITC.ITS ビットが“0”の場合のみ書き込み可能です。

入力バッファハンドラが入力キューに保持可能な、入力ポインタテーブル内のエントリ数を設定します。

有効値：00_H (1 キューエントリ) ~ 7F_H (128 キューエントリ)

各エントリは入力ポインタテーブルに 2 ロングワード必要です。

(2) FLXAnFRITC.IQEIE

入力キューエンプティ割り込み許可ビット

入力キューエンプティ割り込みを制御します。

0: 割り込み禁止

割り込み要求されず、入力キューエンプティ割り込みは発生しません。

1: 割り込み許可

FLXAnFRITC.IQEIS ビットが "1" の場合、入力キューエンプティ割り込みが発生します。

(3) FLXAnFRITC.IQFIE

入力キューフル割り込み許可ビット

入力キューフル割り込みを制御します。

0: 割り込み禁止

割り込み要求されず、入力キューフル割り込みは発生しません。

1: 割り込み許可

FLXAnFRITC.IQEIS ビットが "1" の場合、入力キューフル割り込みが発生します。

(4) FLXAnFRITC.IQHR

入力キュー停止要求ビット

FLXAnFRITC レジスタの ITS ビットが "0" の場合、"1" にセットすることはできません。

入力キューの停止を要求します。

停止要求の状態は FLXAnFRITC レジスタの IQH ビットで見ることができます。

本ビットの使用法については「**18.3.16.1 (5) 入力キューの停止**」を参照してください。

0: 入力キュー動作要求

入力キューは動作します。

1: 入力キュー停止要求

入力キューは停止します。動作中の入力転送は完了しますが、以降の転送は行われません。

(5) FLXAnFRITC.ITE

入力転送許可ビット

FLXAnFRIBCR.IBSYS ビットが "0" の場合のみ "1" にセットできます。

FLXAnFRITC.IQHR ビットが "0" の場合のみ "0" にセットできます。それ以外では入力転送できません。

入力転送キューの動作モードを制御します。

入力転送キューの動作状態は FLXAnFRITC.ITS ビットで見ることができます。

本ビットの使用法については「**18.3.16.1 (1) 起動および停止**」を参照してください。

0: 動作禁止要求

入力転送キューがエンプティになると動作禁止となります。

1: 動作許可要求

入力転送キューは動作許可となります。入力データの構造体は FlexRay 内部メッセージ RAM へ転送されます。

18.2.12.2 FLXAnFROTC — FlexRay 出力転送設定レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0804_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	FTM[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	FWIE	OWIE	FIE	OIE	—	—	—	—	—	—	OTCS	OTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 18.83 FLXAnFROTC レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ~ 16	FTM[4:0]	FIFO テーブル最大値ビット 出力転送ハンドラが Local RAM 内に保持できる FIFO エントリ数を設定します。
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	FWIE	FIFO 転送警告割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
10	OWIE	出力転送警告割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
9	FIE	FIFO 転送割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
8	OIE	出力転送割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OTCS	出力転送条件選択ビット 0: 新規データ専用モード 1: 新規データおよびステータス変更モード
0	OTE	出力転送許可ビット 0: 動作禁止要求 1: 動作許可要求

(1) FLXAnFROTC.FTM

FIFO テーブル最大値ビット

FLXAnFROTC.OTS ビットが“0”の場合のみ書き込み可能です。

出力転送ハンドラが Local RAM 内に保持できる FIFO エントリ数を設定します。

有効値 : 00_H (1 FIFO エントリ) ~ 1F_H (32 FIFO エントリ)

(2) FLXAnFROTC.FWIE

FIFO 転送警告割り込み許可ビット

FIFO 転送警告割り込みを制御します。

0: 割り込み禁止

割り込み要求されず、FIFO 転送警告割り込みは発生しません。

1: 割り込み許可

FLXAnFROTS.FWIS ビットが“1”の場合、FIFO 転送警告割り込みが発生します。

(3) FLXAnFROTC.OWIE

出力転送警告割り込み許可ビット

出力転送警告割り込みを制御します。

0: 割り込み禁止

割り込み要求されず、出力転送警告割り込みは発生しません。

1: 割り込み許可

FLXAnFROTS.OWIS ビットが“1”の場合、出力転送警告割り込みが発生します。

(4) FLXAnFROTC.FIE

FIFO 転送割り込み許可ビット

FIFO 転送割り込みを制御します。

0: 割り込み禁止

割り込み要求されず、FIFO 転送割り込みは発生しません。

1: 割り込み許可

FLXAnFROTS.FIS ビットが“1”の場合、FIFO 転送割り込みが発生します。

(5) FLXAnFROTC.OIE

出力転送割り込み許可ビット

出力転送割り込みを制御します。

0: 割り込み禁止

割り込み要求されず、出力転送割り込みは発生しません。

1: 割り込み許可

FLXAnFROTS.OTIS ビットが“1”の場合、出力転送割り込みが発生します。

(6) FLXAnFROTC.OTCS

出力転送条件選択ビット

FLXAnFROTS.OTS ビットが“0”の場合のみ書き込み可能です。

出力転送条件を制御します。

0: 新規データ専用モード

FLXAnFRNDATm.NDp ビットは、専用の受信バッファの転送条件を検出するために使用されます。

1: 新規データおよびステータス変更モード

FLXAnFRNDATm.NDp ビットおよび FLXAnFRMBSCm.MBCp ビットは、専用の送受信バッファの転送条件を検出するために使用されます。

(7) FLXAnFROTC.OTE

出力転送許可ビット

FLXAnFROBCR.OBSYS ビットが“0”の場合のみ“1”にセットできます。

出力転送機能の動作モードを制御します。

出力転送機能の動作状態は FLXAnFROTS レジスタの OTS ビットで見ることができます。

本ビットの使用法については「**18.3.16.2 (1) 起動および停止**」を参照してください。

0: 動作禁止要求

出力バッファ転送は禁止されます。

動作中のメッセージバッファ転送は完了しますが、その後の転送は行われません。

1: 動作許可要求

出力バッファ転送は許可されます。メッセージバッファは FlexRay 内部メッセージ RAM から出力データ構造へ転送されます。

FLXAnFRMRC レジスタに書き込んで E-Ray メッセージ RAM の設定を変更することはできません。

18.2.12.3 FLXAnFRIBA — FlexRay 入力ポインタテーブルベースアドレスレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0808_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ITA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 18.84 FLXAnFRIBA レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	ITA[31:0]	入力テーブルベースアドレスビット 入力ポインタテーブルのベースアドレスを設定します。

(1) FLXAnFRIBA.ITA

入力テーブルベースアドレスビット

FLXAnFRIBITS.ITS ビットが“0”の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFRIBA.ITA[1:0] ビットは常に“0”です。

入力ポインタテーブルのベースアドレスを設定します。

このテーブルは、メッセージバッファを Local RAM から FlexRay 内部メッセージ RAM へ転送する入力転送キューに使用されます。

入力キューのサイズは、FLXAnFRITC.ITM[6:0] ビット内で設定されます。

各エントリは、入力ポインタテーブル内に 2 ロングワード分必要です。

18.2.12.4 FLXAnFRFBA — FlexRay FIFO ポインタテーブルベースアドレスレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 080C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 18.85 FLXAnFRFBA レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	FTA[31:0]	FIFO ポインタテーブルベースアドレスビット FIFO ポインタテーブルのベースアドレスを設定します。

(1) FLXAnFRFBA.FTA

FIFO ポインタテーブルベースアドレスビット

FLXAnFROTS.OTS ビットが“0”の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFRFBA.FTA[1:0] ビットは常に“0”です。

FIFO ポインタテーブルのベースアドレスを設定します。

このテーブルは、FlexRay 内部 FIFO から Local RAM へ転送されるメッセージバッファに使用されます。

FIFO のサイズは、FLXAnFROTC.FTM[4:0] ビットで設定されます。

18.2.12.5 FLXAnFROBA — FlexRay 出力ポインタテーブルベースアドレスレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0810_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 18.86 FLXAnFROBA レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	OTA[31:0]	出力ポインタテーブルベースアドレスビット 出力ポインタテーブルのベースアドレスを設定します。

(1) FLXAnFROBA.OTA

出力ポインタテーブルベースアドレスビット

FLXAnFROTS.OTS ビットが“0”の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFROBA.OTA[1:0] ビットは常に“0”です。

出力ポインタテーブルのベースアドレスを設定します。

このテーブルは、FlexRay 内部メッセージ RAM から Local RAM へ転送されるメッセージバッファに使用されます。

テーブルのサイズは、FlexRay 内部メッセージ RAM の利用度に依存し、最大 128 エントリまでです。

18.2.12.6 FLXAnFRIQC — FlexRay 入力キュー制御レジスタ

アクセス 8、16、32 ビット単位でライトのみ可能です。

アドレス <FLXn_base>+ 0814_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	IMBNR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W

表 18.87 FLXAnFRIQC レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	ライトする場合はリセット後の値を書いてください。
6 ~ 0	IMBNR[6:0]	入力メッセージバッファ番号ビット 入力キューに加えるメッセージバッファ番号

(1) FLXAnFRIQC.IMBNR

入力メッセージバッファ番号ビット

FLXAnFRITS レジスタの IQFP ビットが “0” の場合のみ書き込み可能です。

FLXAnFRITS レジスタの ITS ビットが “0” あるいは FLXAnFRITC レジスタの ITE ビットが “0” の場合、書き込みはできません。

読み出すと “0” が読み出されます。

入力キューに加えるメッセージバッファを指定します。

この番号は入力ポインタテーブルの FLXAnFRWRHS4.IMBNR[6:0] (「18.3.16.1 (3) 入力ポインタテーブル」参照) ビットと同じである必要があります。

本レジスタへ書き込む前に、入力データ構造へのアドレスを入力ポインタテーブルのプットインデックス (FLXAnFRITS.IPIDX[6:0] ビット) の位置に書き込む必要があります。

本レジスタへ書き込むと、入力プットインデックス (FLXAnFRITS.IPIDX[6:0] ビット) がインクリメントされます。

18.2.12.7 FLXAnFRUIR — FlexRay ユーザ入力転送要求レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0818_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIDX[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.88 FLXAnFRUIR レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ~ 0	UIDX[7:0]	ユーザ入力インデックス要求ビット 入力転送用に要求される入力ポインタテーブルインデックスを設定します。

(1) FLXAnFRUIR.UIDX

ユーザ入力インデックス要求ビット

FLXAnFRITS.UIRP ビットが“0”の場合のみ書き込み可能です。

FLXAnFRITS.ITS ビットが“0”の場合、本レジスタに書き込みはできません。

FLXAnFRITS.UIRP ビットが“1”の場合、本レジスタに書き込みはできません。

FLXAnFRITS.IQH ビットが“1”の場合、本レジスタに書き込みはできません。

FLXAnFRITC.ITM[6:0] ビット +1 のみ書き込み可能です。

この値は入力転送用に要求された入力ポインタテーブルインデックスを設定します。

本レジスタへ書き込む前に、入力データ構造へのアドレスを入力ポインタテーブルのインデックス FLXAnFRUIR.UIDX[7:0] の位置に書き込む必要があります。

本レジスタに書き込むと、要求された入力データ構造は入力データ構造の位置から FlexRay 内部メッセージ RAM へ転送されます。

キューに加えられた入力転送とは反対に、関連する FLXAnFRDA.DA フラグはユーザ入力転送には影響されません。

18.2.12.8 FLXAnFRUOR — FlexRay ユーザ出力転送要求レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 081C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	URDS	—	—	UMBNR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.89 FLXAnFRUOR レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	URDS	ユーザリードデータセクション要求ビット 0: データセクションは転送されない 1: データセクションは転送される
8、7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	UMBNR[6:0]	ユーザ出力メッセージバッファ番号要求ビット 出力転送用に要求されるメッセージバッファ番号を設定します。

(1) FLXAnFRUOR.URDS

ユーザリードデータセクション要求ビット

FLXAnFROTS.UORP ビットが“0”の場合のみ書き込み可能です。

FLXAnFROTS.OTS ビットが“0”の場合、本レジスタに書き込みはできません。

FLXAnFROTS.UORP ビットが“1”の場合、本レジスタに書き込みはできません。

0: データセクションは転送されない

FLXAnFRUOR.UMBNR[6:0] ビットで選択されたメッセージバッファのデータセクションは要求されていません。

1: データセクションは転送される

FLXAnFRUOR.UMBNR[6:0] ビットで選択されたメッセージバッファのデータセクションが要求されています。

(2) FLXAnFRUOR.UMBNR

ユーザ出力メッセージバッファ番号要求ビット

FLXAnFROTS.UORP ビットが“0”の場合のみ書き込み可能です。

FLXAnFROTS.OTS ビットが“0”の場合、本レジスタに書き込みはできません。

FLXAnFROTS.UORP ビットが“1”の場合、本レジスタに書き込みはできません。

FlexRay モジュールが CONFIG 状態でない場合、本ビットを専用の受信バッファおよび送信バッファに制限してください。

本レジスタに書き込むとメッセージ RAM の内容が任意の領域に転送されます。転送先は出力ポインタテーブル内の値によって指定された領域となります。

URDS ビットにより、転送データがヘッダセクションのみかデータセクションを含むかを設定することが可能です。

18.2.12.9 FLXAnFRAHBC — FlexRay H-Bus 設定レジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0840_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	HPROT[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 18.90 FLXAnFRAHBC レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	HPROT[3:0]	保護制御ビット

(1) FLXAnFRAHBC.HPROT

保護制御ビット

FLXAnFRITS.ITS ビットが“0”かつ FLXAnFROTS.OTS ビットが“0”の場合のみ、本レジスタに書き込むことができます。

本レジスタは、H-Bus 保護制御シグナルに割り当てられた値を設定します。

18.2.13 データ転送ステータスレジスタ

18.2.13.1 FLXAnFRITS — FlexRay 入力転送ステータスレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0820_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IGIDX[6:0]						—	IPIDX[6:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IQFP	—	—	IQEIS	IQFIS	—	—	—	—	—	UIRP	IQH	ITS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 18.91 FLXAnFRITS レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ~ 24	IGIDX[6:0]	入力キューゲットインデックスビット 入力ポインタテーブルのゲットインデックスを示します。
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	IPIDX[6:0]	入力キュープットインデックスビット 入力ポインタテーブルのプットインデックスを示します
15 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	IQFP	入力キューフル条件保留ビット 0: 入力キュー内のエントリが使用可能 1: 入力キュー内のすべてのエントリが使用中
11、10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	IQEIS	入力キューエンプティ 割り込みステータスビット 0: 入力キューエンプティ条件は検出されない 1: 入力キューエンプティ条件検出
8	IQFIS	入力キューフル割り込みステータスビット 0: 入力キューフル条件は検出されない 1: 入力キューフル条件検出
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	UIRP	ユーザ入力転送要求保留ビット 0: ユーザ入力転送要求の保留なし 1: ユーザ入力転送要求保留
1	IQH	入力キュー停止ビット 0: 入力キューは停止しない 1: 入力キュー停止
0	ITS	入力転送ステータスビット 0: 無効 1: 有効

(1) FLXAnFRITS.IGIDX

入力キューゲットインデックスビット

FLXAnFRITS.IQH ビットが“1”の場合のみ有効です。

入力キューハンドラが次に転送する入力ポインタインデックスを示します。

有効値：00_H ~ FLXAnFRITC.ITM

入力データ構造が Local RAM から転送され、関連する FLXAnFRDA.DA フラグがクリアされると、ゲットインデックスはインクリメントされます。

FLXAnFRITS.ITS ビットが“0”から“1”に変化すると、このインデックスは 00_H になります。

(2) FLXAnFRITS.IPIDX

入力キュープットインデックスビット

入力ポインタテーブル内の次の入力データ構造ポインタが格納される位置を表します。

有効値：00_H ~ FLXAnFRITC.ITM

最大値に到達すると、プットインデックスは 00_H から続けます。

FLXAnFRIQC.IMBNR[6:0] ビットに書き込まれるとこのインデックスはインクリメントされます。

FLXAnFRITS.ITS ビットが“0”から“1”に変化すると、このインデックスは 00_H になります。

(3) FLXAnFRITS.IQFP

入力キューフル条件保留ビット

入力キューがフルであることを示します。

本ビットが“1”であるとき、FLXAnFRIQC.IMBNR[6:0] ビットへの書き込みによって、さらに入力転送要求することはできません。

【クリア条件】

入力キュー内に1つのエンプティエントリがある場合

【セット条件】

入力キュー内のすべてのエントリが使用中の場合

(4) FLXAnFRITS.IQEIS

入力キューエンプティ割り込みステータスビット

“0”を書き込んでも影響はありません。

本ビットが“1”の場合、FLXAnFRITC.IQEIE ビットが有効であれば入力キューエンプティ割り込みが発生します。

【クリア条件】

“1”を書き込むとクリアされます。

FLXAnFRITS.ITS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

【セット条件】

すべての保留中の入力転送が処理され、最終的に入力キューがエンプティになったとき、本ビットはセットされます。

(5) FLXAnFRITS.IQFIS

入力キューフル割り込みステータスビット

“0”を書き込んでも影響はありません。

本ビットが“1”の場合、FLXAnFRITC.IQFIE ビットが有効であれば入力キューフル割り込みが発生します。

本フラグは割り込みステータスフラグを意味します。現在の入力キューステータスを表すものではありません。このステータスについては FLXAnFRITS.IQFP ビットを参照してください。

【クリア条件】

本ビットに“1”を書き込むとクリアされます。

FLXAnFRITS.ITS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

【セット条件】

入力キュー内のすべてのエントリが使用中の場合セットされます。

(6) FLXAnFRITS.UIRP

ユーザ入力転送要求保留ビット

ユーザ入力転送がまだ保留中であることを表します。

本ビットが“1”の場合、さらに FLXAnFRUIR.UIDX[7:0] ビットに書き込みアクセスを行うことはできません。

【クリア条件】

ユーザ入力転送要求が入力転送ハンドラによって処理されている場合、本ビットはクリアされます。

【セット条件】

FLXAnFRUIR.UIDX[7:0] ビットに書き込まれると、本ビットはセットされます。

(7) FLXAnFRITS.IQH

入力キュー停止ビット

入力キューのステータスを表します。

本ビットが“1”の場合、さらに FLXAnFRUIR.UIDX[7:0] ビットに書き込みアクセスを行うことはできません。

【クリア条件】

FLXAnFRITC.IQHR ビットが“0”のとき、本ビットはクリアされます。

【セット条件】

FLXAnFRITC.IQHR ビットが“1”にセットされ実行中の入力転送がない場合、すぐに本ビットはセットされます。

実行中の入力転送が終了し FLXAnFRITC.IQHR ビットが“1”にセットされたあとでのみ、本ビットはセットされます。

(8) FLXAnFRITS.ITS

入力転送ステータスビット

入力キューハンドラのステータスを表します。

本ビットが“1”の間、アドレスエリア $\langle \text{FLXn_base} \rangle + 0400_{\text{H}} \sim \langle \text{FLXn_base} \rangle + 05\text{FF}_{\text{H}}$ への読み出しあるいは書き込みアクセスはできません。また、FLXAnFRSUCC1.CMD[3:0] ビットに CLEAR_RAMs コマンドを書き込むことはできません。

入力転送キューインデックスと関連するステータスフラグは、本ビットが“0”から“1”に変化すると、“0”になります。

【クリア条件】

FLXAnFRITC.ITE ビットが“0”にセットされ保留中の入力転送がない場合、すぐに本ビットはクリアされます。

すべての保留中の要求が処理され FLXAnFRITC.ITE ビットが“0”にセットされたあと、本ビットはクリアされます。

【セット条件】

FLXAnFRITC.ITE ビットが“1”にセットされると、本ビットはセットされます。

18.2.13.2 FLXAnFROTS — FlexRay 出力転送ステータスレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0824_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	FFL[5:0]					—	—	—	FGIDX[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FWP	OWP	FDA	—	FWIS	OWIS	FIS	OTIS	—	—	—	—	—	UORP	—	OTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 18.92 FLXAnFROTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29 ~ 24	FFL[5:0]	FIFO フィルレベルビット 未処理の出力 FIFO 構造数を表します。
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20 ~ 16	FGIDX[4:0]	FIFO ゲットインデックスビット FIFO ポインタテーブル内のゲットインデックスを示します。
15	FWP	FIFO 転送警告条件保留ビット 0: 保留中の FIFO 転送警告条件なし 1: 保留中の FIFO 転送警告条件あり
14	OWP	出力転送警告条件保留ビット 0: 保留中の出力転送警告条件なし 1: 保留中の出力転送警告条件あり
13	FDA	FIFO データ使用可能ビット 0: 使用可能な FIFO 構造なし 1: 現在の FLXAnFROTS.FGIDX インデックスの位置の FIFO 構造が使用可能
12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	FWIS	FIFO 転送警告割り込みステータスビット 0: FIFO 転送警告条件検出せず 1: FIFO 転送警告条件検出
10	OWIS	出力転送警告割り込みステータスビット 0: 出力転送警告条件検出せず 1: 出力転送警告条件検出
9	FIS	FIFO 転送割り込みステータスビット 0: Local RAM 内で更新された FIFO 構造なし 1: Local RAM 内で FIFO 構造更新
8	OTIS	出力転送割り込みステータスビット 0: Local RAM 内で更新された出力構造なし 1: Local RAM 内で出力構造更新
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 18.92 FLXAnFROTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	UORP	ユーザ出力転送要求保留ビット 0: 保留中のユーザ出力転送なし 1: ユーザ出力転送保留中
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OTS	出力転送ステータスビット 0: 無効 1: 有効

(1) FLXAnFROTS.FFL

FIFO フィルレベルビット

Local RAM 内の使用可能な出力 FIFO 構造の数を表します。

有効値 : 00_H ~ FLXAnFROTC.FTM +1

値 00_H は、FIFO がエンプティであることを示します。

値 FLXAnFROTC.FTM+1 は、FIFO がフル状態でこれ以上 FIFO 転送できないことを示します。

1 つの FIFO データ構造が FlexRay 内部 FIFO から Local RAM へ転送されると、本ビットはインクリメントされます。

ユーザが FLXAnFROTS.FDA ビットに“1”を書き込んで Local RAM 内の 1 つの FIFO データ構造を解放すると、本ビットはデクリメントされます。

FLXAnFROTS.OTS ビットが“0”から“1”に変化すると、本ビットに 00_H がセットされます。

(2) FLXAnFROTS.FGIDX

FIFO ゲットインデックスビット

FIFO ポインタテーブル内で現在の出力データ構造ポインタを読み出すことができる位置を示すインデックスです。

有効値 : 00_H ~ FLXAnFROTC.FTM

最大値に到達するとゲットインデックスは 00_H から続けます。

FLXAnFROTS.FDA ビットに“1”が書き込まれ 1 つの FIFO データ構造が解放されると、このインデックスはインクリメントされます。

FLXAnFROTS.OTS ビットが“0”から“1”に変化すると、このインデックスは 00_H になります。

(3) FLXAnFROTS.FWP

FIFO 転送警告条件保留ビット

FIFO 転送警告条件を示します。

【クリア条件】

フリーな出力データ構造がある場合 (FLXAnFROTS.FFL ≤ FLXAnFROTC.FTM) 本ビットはクリアされます。

FLXAnFROTS.OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

【セット条件】

出力転送ハンドラが FIFO メッセージバッファへの転送条件を検出したにもかかわらずフ

リーな出力データ構造がない場合 (FLXAnFROTS.FFL = FLXAnFROTC.FTM+1)、本ビットはセットされます。

(4) FLXAnFROTS.OWP

出力転送警告条件保留ビット

出力転送警告条件を示します。

【クリア条件】

出力ハンドラ転送条件保留中と検出されたすべての出力構造ポインタが解放される (専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け) と、本ビットはクリアされます。

FLXAnFROTS.OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

【セット条件】

出力転送ハンドラが転送条件を検出した (専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け) にもかかわらず関連する出力構造ポインタがアプリケーションによってまだ解放されていない場合 (データ使用可能フラグが“1”のまま)、本ビットはセットされます。

出力転送ハンドラが専用の送信および受信メッセージバッファへの転送条件を検出したにもかかわらず同じメッセージバッファに対して保留中の入力転送がある場合 (データ使用可能フラグが入力転送要求のために“1”にセットされている)、本ビットはセットされます。

(5) FLXAnFROTS.FDA

FIFO データ使用可能ビット

“0”を書き込んでも影響はありません。

本ビットが“1”の場合、次の有効な出力データ構造は使用可能です。

関連するデータ構造ポインタは FIFO ポインタテーブルの FGIDX ビットの位置にあります。

本ビットに“1”を書き込むと、

- FLXAnFROTS.FGIDX[4:0] ビットがインクリメントされ、
- FIFO フィルレベルビット (FLXAnFROTS.FFL) がデクリメントされます。

未処理のデータ構造がある場合、本ビットは“1”のままです。

【クリア条件】

本ビットに“1”が書き込まれ FIFO フィルレベルビットが 00_H になると、本ビットはクリアされます。

FLXAnFROTS.OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

【セット条件】

Local RAM 内に少なくとも 1 つ使用可能な FIFO データ構造がある場合、本ビットはセットされます。

(6) FLXAnFROTS.FWIS

FIFO 転送警告割り込みステータスビット

“0”を書き込んでも影響はありません。

FLXAnFROTC.FWIE ビットが有効であると、本ビットが“1”の場合 FIFO 転送警告割り込みが発生します。

【クリア条件】

本ビットに“1”を書き込むとクリアされます。

FLXAnFROTS.OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

【セット条件】

出力転送ハンドラが FIFO メッセージバッファへの転送条件を検出したにもかかわらずフリーな出力データ構造がない場合 (FLXAnFROTS.FFL = FLXAnFROTC.FTM+1)、本ビットはセットされます。

(7) FLXAnFROTS.OWIS

出力転送警告割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXAnFROTC.OWIE ビットが有効であると、本ビットが“1” の場合出力転送警告割り込みが発生します。

【クリア条件】

本ビットに“1” を書き込むとクリアされます。

FLXAnFROTS.OTS ビットが“0” から“1” に変化すると、本ビットはクリアされます。

【セット条件】

出力転送ハンドラが転送条件を検出した (専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け) にもかかわらず関連する出力構造ポインタがアプリケーションによってまだ解放されていない場合 (データ使用可能フラグが“1” のまま)、本ビットはセットされます。

出力転送ハンドラが専用の送信および受信メッセージバッファへの転送条件を検出したにもかかわらず同じメッセージバッファに対して保留中の入力転送がある場合 (データ使用可能フラグが入力転送要求のために“1” にセットされている)、本ビットはセットされます。

(8) FLXAnFROTS.FIS

FIFO 転送割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXAnFROTC.FIE ビットが有効であると、本ビットが“1” の場合 FIFO 転送割り込みが発生します。

【クリア条件】

本ビットに“1” を書き込むとクリアされます。

FLXAnFROTS.OTS ビットが“0” から“1” に変化すると、本ビットはクリアされます。

【セット条件】

FIFO データ構造が転送ハンドラによって更新されると、また、FLXAnFROTS.FFL[5:0] ビットが 00_H から 01_H に変化すると、本ビットはセットされます。

(9) FLXAnFROTS.OTIS

出力転送割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXAnFROTC.OIE ビットが有効であると、本ビットが“1” の場合出力転送割り込みが発生します。

【クリア条件】

本ビットに“1” を書き込むとクリアされます。

FLXAnFROTS.OTS ビットが“0” から“1” に変化すると、本ビットはクリアされます。

【セット条件】

出力データ構造が転送ハンドラによって更新される (専用の送信あるいは受信メッセージバッファから、あるいはユーザ出力転送要求によって) と、本ビットはセットされます。

(10) FLXAnFROTS.UORP

ユーザ出力転送要求保留ビット

ユーザ出力転送が保留中であることを示します。

本ビットが“1”の場合、さらに FLXAnFRUOR.UMBNR[6:0] ビットへ書き込みアクセスを行うことはできません。

【クリア条件】

ユーザ出力転送要求が出力転送ハンドラによって処理された場合、本ビットはクリアされます。

OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

【セット条件】

FLXAnFRUOR.UMBNR ビットへ書き込むと、本ビットはセットされます。

(11) FLXAnFROTS.OTS

出力転送ステータスビット

出力転送ハンドラの状態を示します。

本ビットが“1”の間、アドレスエリア $\langle \text{FLXn_base} \rangle + 0600_{\text{H}} \sim \langle \text{FLXn_base} \rangle + 07FF_{\text{H}}$ への読み出しもしくは書き込みアクセスはできません。また、FLXAnFRSUCC1.CMD[3:0] ビットに CLEAR_RAMs コマンドを提供することはできません。

本ビットが“1”の間、E-Ray メッセージ RAM の設定を FLXAnFRMRC レジスタへの書き込みによって変更することはできません。

出力ハンドラ転送インデックスおよび関連する状態フラグは、本ビットが“0”から“1”に変化すると“0”にセットされます。

【クリア条件】

FLXAnFROTC.OTE ビットが“0”にセットされ動作中の出力転送がない場合、すぐに本ビットはクリアされます。

動作中の転送が完了後 FLXAnFROTC.OTE ビットが“0”の場合、本ビットはクリアされます。

【セット条件】

FLXAnFROTC.OTE ビットが“1”の場合、本ビットはセットされます。

18.2.13.3 FLXAnFRAES — FlexRay アクセスエラーステータスレジスタ

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0828_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MAE	FAE	OAE	IAE	EIDX[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 18.93 FLXAnFRAES レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MAE	複数アクセスエラービット 0: 複数のアクセスエラーなし 1: 複数のアクセスエラー発生
10	FAE	FIFO 転送アクセスエラービット 0: FIFO 転送中にアクセスエラーなし 1: FIFO 転送中にアクセスエラー発生
9	OAE	出力転送アクセスエラービット 0: 出力転送中にアクセスエラーなし 1: 出力転送中にアクセスエラー発生
8	IAE	入力転送アクセスエラービット 0: 入力転送中にアクセスエラーなし 1: 入力転送中にアクセスエラー発生
7 ~ 0	EIDX[7:0]	エラーインデックスビット データ転送ポインタインデックス番号

(1) FLXAnFRAES.MAE

複数アクセスエラービット

“0” を書き込んでも影響はありません。

データ転送中に複数のエラーが発生したことを示します。

【クリア条件】

本ビットに“1”を書き込むとクリアされます。

【セット条件】

FLXAnFRAES.FAE、FLXAnFRAES.OAE あるいは FLXAnFRAES.IAE ビットがセットされ、かつ次の条件のうち1つが満たされると本ビットはセットされます。

- FIFO データ転送中に保護されたアドレスへのアクセス発生
- 出力データ転送中に保護されたアドレスへのアクセス発生
- 入力データ転送中に保護されたアドレスへのアクセス発生

(2) FLXAnFRAES.FAE

FIFO 転送アクセスエラービット

“0” を書き込んでも影響はありません。

FIFO データ転送中に 1 回アクセスエラーが発生したことを示します。

【クリア条件】

本ビットに “1” を書き込むとクリアされます。

【セット条件】

FIFO 転送中に Local RAM アクセスエラーが検出され FLXAnFRAES.OAE、FLXAnFRAES.IAE、FLXAnFRAES.MAE ビットが “0” の場合、本ビットはセットされます。

(3) FLXAnFRAES.OAE

出力転送アクセスエラービット

“0” を書き込んでも影響はありません。

出力データ転送中に 1 回アクセスエラーが発生したことを示します。

【クリア条件】

本ビットに “1” を書き込むとクリアされます。

【セット条件】

出力転送中に Local RAM アクセスエラーが検出され FLXAnFRAES.FAE、FLXAnFRAES.IAE、FLXAnFRAES.MAE ビットが “0” の場合、本ビットはセットされます。

(4) FLXAnFRAES.IAE

入力転送アクセスエラービット

“0” を書き込んでも影響はありません。

入力データ転送中に 1 回アクセスエラーが発生したことを示します。

【クリア条件】

本ビットに “1” を書き込むとクリアされます。

【セット条件】

入力転送中に Local RAM アクセスエラーが検出され FLXAnFRAES.OAE、FLXAnFRAES.FAE、FLXAnFRAES.MAE ビットが “0” の場合、本ビットはセットされます。

(5) FLXAnFRAES.EIDX

エラーインデックスビット

FLXAnFRAES.FAE、FLXAnFRAES.OAE、あるいは FLXAnFRAES.IAE ビットのうち 1 つが “1” の場合のみ有効です。

FLXAnFRAES.FAE ビットが “1” の場合、本ビットはアクセスエラーが発生した際に使用された FIFO プットインデックスの値を保持します。

FLXAnFRAES.OAE ビットが “1” の場合、本ビットはアクセスエラーが発生した際に使用された出力テーブルエントリ (メッセージバッファ番号に関連) を保持します。

FLXAnFRAES.IAE ビットが “1” の場合、本ビットは、入力転送中にアクセスエラーが発生したとき、またはユーザが入力転送を要求したときに使用された入力ポインタテーブルゲットインデックスを保持します。

FLXAnFRAES.FAE、FLXAnFRAES.OAE、あるいは FLXAnFRAES.IAE ビットのうち 1 つが “0” から “1” に変化すると、本ビットは更新されます。

18.2.13.4 FLXAnFRAEA — FlexRay アクセスエラーアドレスレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <FLXn_base>+ 082C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AEA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AEA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.94 FLXAnFRAEA レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	AEA[31:0]	アクセスエラーアドレスビット アクセスエラーが発生したときの Local RAM 内のアドレス

(1) FLXAnFRAEA.AEA

アクセスエラーアドレスビット

FLXAnFRAES.FAE、FLXAnFRAES.OAE、あるいは FLXAnFRAES.IAE ビットのうち1つが“1”の場合のみ有効です。

FLXAnFRAES レジスタ内で示されたアクセスエラーのアドレスを表します。

FLXAnFRAES.FAE、FLXAnFRAES.OAE、あるいは FLXAnFRAES.IAE ビットのうち1つが“0”から“1”に変化すると、本ビットは更新されます。

18.2.13.5 FLXAnFRDAm — FlexRay メッセージデータ使用可能レジスタ m (m = 0 ~ 3)

アクセス 8、16、32 ビット単位でリード/ライト可能です。

アドレス <FLXn_base>+ 0830_H ~ <FLXn_base>+ 083C_H (<FLXn_base>+ 0830_H + m*4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAp[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAp[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.95 FLXAnFRDAm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DAp[31:0]	データ使用可能ビット p 0: 使用可能なデータなし 1: 使用可能なデータあり

(1) FLXAnFRDAm.DAp (p = m*32 to ((m+1) *32) -1)

データ使用可能ビット p

“0” のビットに “1” を書き込むことはできません。

入力転送のステータスを維持するため、入力転送に関連するビットをクリアすることはできません。

本レジスタは、入力および出力転送用に使用されます。

各フラグは FlexRay メッセージバッファに対応します。

【クリア条件】

入力転送：

入力データ構造が Local RAM から転送されると、本ビットはクリアされます。データ構造およびデータ構造ポインタは関連するフラグが “0” のとき変更可能です。

出力転送：

“1” を書き込むと本ビットはクリアされます。

【セット条件】

入力転送：

対応するメッセージバッファ番号が FLXAnFRIQC.IMBNR[6:0] ビットに書き込まれると、本ビットはセットされます。

本ビットが “1” である限り、この入力転送要求に対応する入力データ構造およびデータ構造ポインタを変更することはできません。

出力転送：

このメッセージバッファに対応する出力データ構造が更新されると、本ビットはセットされます。本ビットが “1” である限り、データ構造は持続します。出力ハンドラによるデータ構

造の更新は行われません。本ビットが“1”である間、アプリケーションにはこのメッセージバッファ番号の出力ポインタテーブル内の出力データ構造ポインタを変更することができます。

18.3 機能説明

本章では FlexRay のインプリメンテーションについて、関連する FlexRay プロトコルの特長とあわせて説明します。FlexRay プロトコルについての詳細な情報については FlexRay 通信システムプロトコル仕様を参照してください。

18.3.1 FlexRay モジュール動作制御

18.3.1.1 FlexRay モジュールイネーブル

リセット後あるいは FlexRay モジュールがディセーブル（「18.3.1.2 FlexRay モジュールディセーブル」参照）になったあと FlexRay モジュールはリセット状態になり（FLXAnFROS.OS ビットは“0”）、FlexRay コアモジュールのクロックはディセーブルになります。

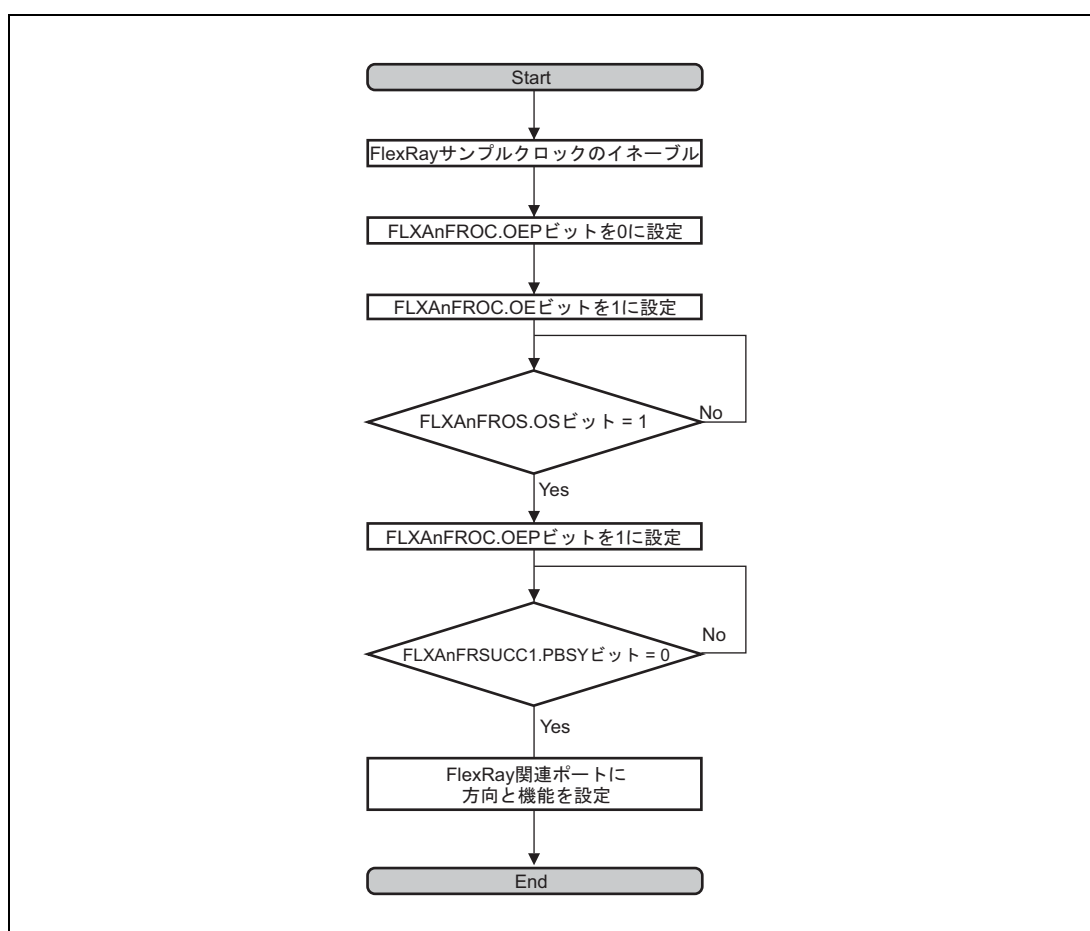


図 18.3 FlexRay イネーブルの処理フロー

18.3.1.2 FlexRay モジュールディセーブル

FlexRay モジュールはいつでもディセーブルにできます。しかし、FLXAnFROC.OE ビットを使用して FlexRay モジュールをディセーブルにするのは、FlexRay モジュールが HALT、CONFIG、あるいは DEFAULT_CONFIG 状態のときのみをすることをお勧めします。ほかの状態のときに FlexRay モジュールをリセットすると動作中の FlexRay 通信を中止することになります。

データ転送機能を使用している場合、FlexRay モジュールをディセーブルにする前にその機能をディセーブルすることも必要です。（入力転送機能の中断については「18.3.16.1 入力

データ転送 (1) 起動および停止」を、出力転送の中断については「18.3.16.2 出力データ転送 (1) 起動および停止」を参照してください。

FlexRay モジュールをディセーブルするには次に示すフローで行います。

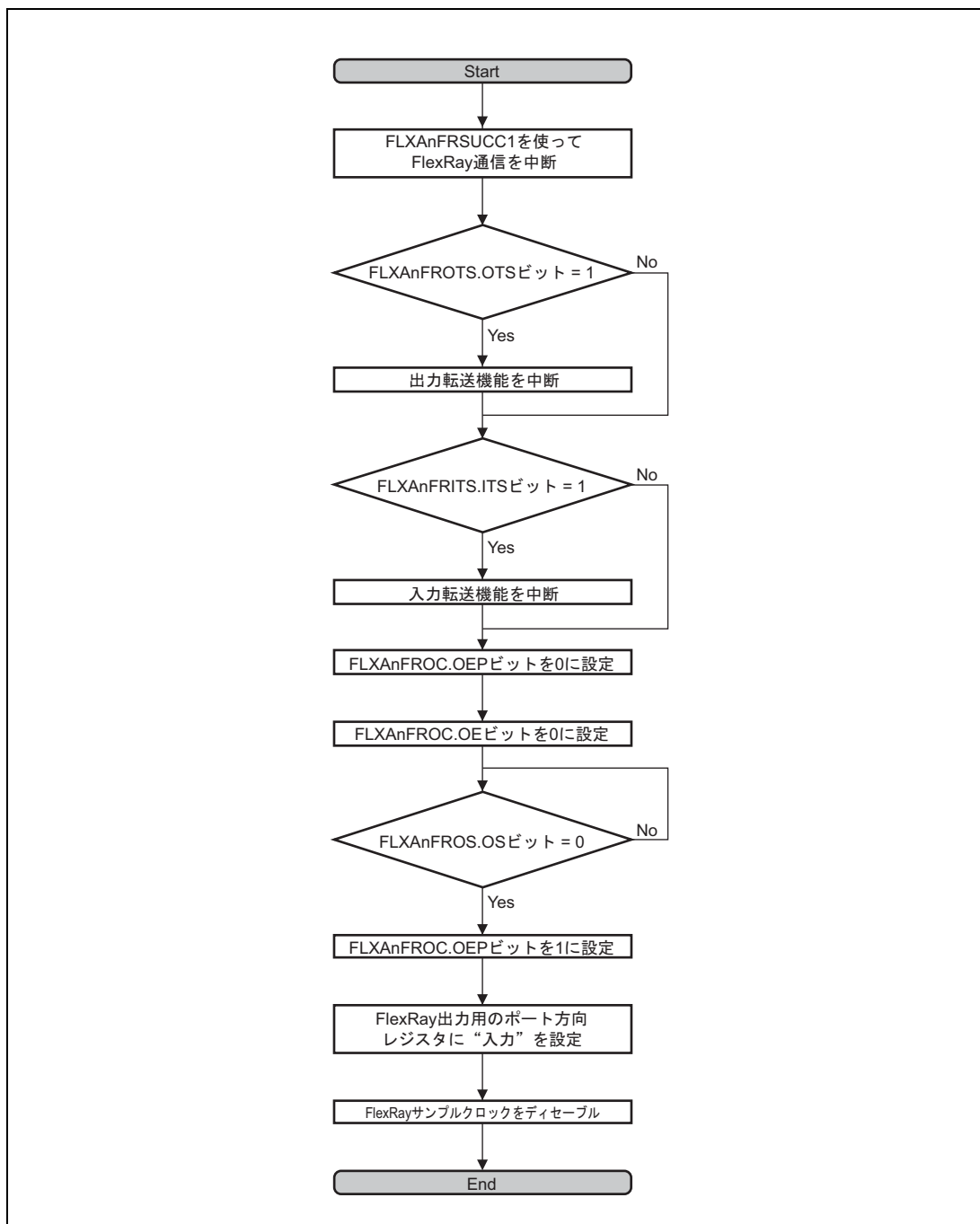


図 18.4 FlexRay ディセーブルの処理フロー

18.3.2 通信サイクル

FlexRay ネットワーク上の通信は、フレームとシンボルがベースになっています。ウェイクアップシンボル (WUS) および衝突回避シンボル (CAS) は、タイムスケジュールをセットアップするために通信サイクル外で転送されます。フレームおよびメディアアクセステストシンボル (MTS) は、通信サイクル内で転送されます。

FlexRay 通信 サイクルは以下の 4 つの部分で構成されます。

- スタティックセグメント
- ダイナミックセグメント (オプション)
- シンボルウィンドウ (オプション)
- ネットワークアイドル時間 (NIT)

スタティックセグメント、ダイナミックセグメント、およびシンボルウィンドウでネットワーク通信時間 (NCT) が構成されます。通信チャネルごとにスロットカウンタは 1 から始まりダイナミックセグメントの終了時に到達するまでカウントアップされます。両チャネルは同じ調停グリッドつまり、同じ同期 MT 値を使用します。

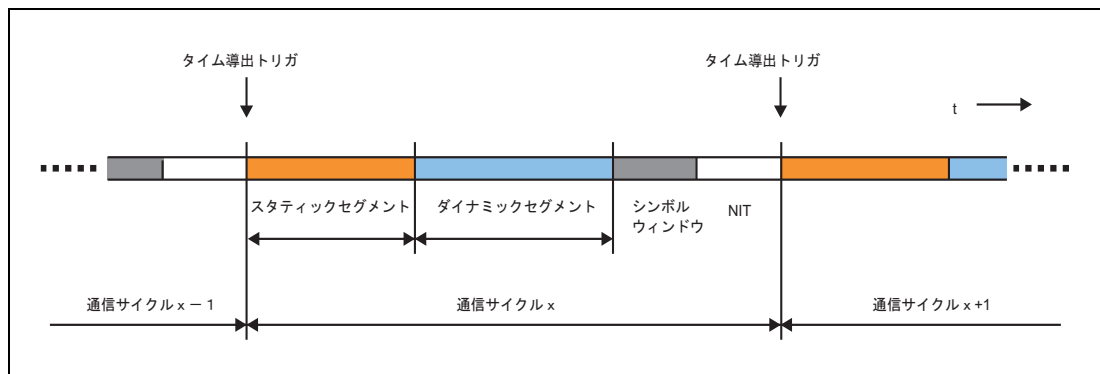


図 18.5 通信サイクルの構造

18.3.2.1 スタティックセグメント

スタティックセグメントには以下の特長があります。

- タイムスロットが固定長 (オプションとしてバスガーディアンによるプロテクトあり)
- 各スタティックスロットのアクションポイントでフレーム送信開始
- 両チャネルのすべてのフレームで同じペイロード長

パラメータ :

スタティックスロット数 (FLXAnFRGTUC7.NSS[9:0])

スタティックスロット長 (FLXAnFRGTUC7.SSL[9:0])

スタティックフレームペイロード長 (FLXAnFRMHDC.SFDL[6:0])

アクションポイントオフセット (FLXAnFRGTUC9.APO[5:0])

18.3.2.2 ダイナミックセグメント

ダイナミックセグメントには以下の特長があります。

- すべてのコントローラにバスアクセスあり (バスガーディアンによるプロテクト不可)
- 可変ペイロード長、可変スロット長、チャンネルごとに異なる設定
- ミニスロットアクションポイントでフレーム送信開始

パラメータ :

ミニスロット数 (FLXAnFRGTUC8.NMS[12:0])

ミニスロット長 (FLXAnFRGTUC8.MSL[5:0])

ミニスロットアクションポイントオフセット (FLXAnFRGTUC9.MAPO[4:0])

最終送信開始 (最終ミニスロット) (FLXAnFRMHDC.SLT[12:0])

18.3.2.3 シンボルウィンドウ

シンボルウィンドウ期間中、メディアアクセステストシンボル (MTS) は各チャンネルで1回だけ送信できます。

MTS シンボルは NORMAL_ACTIVE 状態でバスガーディアンをテストするために送信されます。

シンボルウィンドウには以下の特長があります。

- 1つのシンボル送信
- MTS シンボルの送信はシンボルウィンドウアクションポイントで開始

パラメータ :

シンボルウィンドウアクションポイントオフセット (FLXAnFRGTUC9.APO[4:0]) (スタティックスロットと同じ)

ネットワークアイドル時間開始位置 (FLXAnFRGTUC4.NIT[13:0])

18.3.2.4 ネットワークアイドル時間 (NIT)

ネットワークアイドル時間中、CC は以下の処理を行います。

- クロック補正項 (オフセットおよびレート) の計算
- オフセット補正開始後、複数の MT にわたってオフセット補正値を分散
- タスク関連のクラスタサイクル実行

パラメータ :

ネットワークアイドル時間開始位置設定 (FLXAnFRGTUC4.NIT[13:0])

オフセット補正開始位置設定 (FLXAnFRGTUC4.OCS[13:0])

18.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定

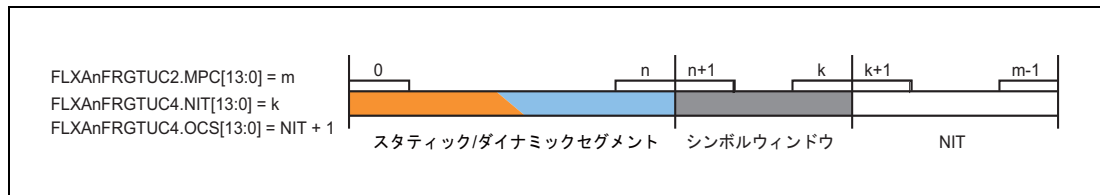


図 18.6 NIT 開始位置とオフセット補正開始位置の設定

サイクル当たりの MT 数 ($gMacroPerCycle$) を m とすると、 $FLXAnFRGTUC2.MPC[13:0]$ ビットの設定値は m となります。

スタティック / ダイナミックセグメントは、MT 値 0 で開始、 n で終了します。ここで n は、

$$\begin{aligned} n &= \text{スタティックセグメント長} + \text{ダイナミックセグメントオフセット} + \\ &\quad \text{ダイナミックセグメント長} - 1MT \\ &= gNumberOfStaticSlots \times gdStaticSlot + \text{ダイナミックセグメントオフセット} + \\ &\quad gNumberOfMinislots \times gdMinislot - 1MT \end{aligned}$$

スタティックセグメント長は $FLXAnFRGTUC7.SSL[9:0]$ および $FLXAnFRGTUC7.NSS[9:0]$ で設定します。

ダイナミックセグメント長は $FLXAnFRGTUC8.MSL[5:0]$ および $FLXAnFRGTUC8.NMS[12:0]$ で設定します。

ダイナミックセグメントオフセットは、

$gdActionPointOffset \leq gdMinislotActionPointOffset$: の場合

ダイナミックセグメントオフセット = $0MT$

$gdActionPointOffset > gdMinislotActionPointOffset$ の場合

ダイナミックセグメントオフセット = $gdActionPointOffset - gdMinislotActionPointOffset$

NIT は MT 値 $k+1$ で開始、サイクルの最終 MT: $m-1$ で終了します。NIT は、 $FLXAnFRGTUC4.NIT[13:0] = k$ で設定します。

本モジュールでは、オフセット補正開始位置は “ $FLXAnFRGTUC4.OCS[13:0] \geq FLXAnFRGTUC4.NIT[13:0] + 1 = k + 1$ ” を満たす必要があります。

シンボルウィンドウ長は、スタティック / ダイナミックセグメントの終了時から NIT の開始点までの MT 数 ($k-n$) で決まります。

18.3.3 通信モード

FlexRay プロトコル仕様書では、タイムトリガ式分散 (TT-D) モードを定義しています。

18.3.3.1 タイムトリガ式分散 (TT-D)

TT-D モードでは以下の設定が可能です。

- スタティック専用: スタティックスロット 2 個以上 + シンボルウィンドウ (オプション)
- スタティック/ダイナミック混合: スタティックスロット 2 個以上 + ダイナミックセグメント + シンボルウィンドウ (オプション)

タイムトリガ式分散動作には、最低 2 つの Coldstart ノードが必要です。クラスタのスタートアップには 2 つの正常な Coldstart ノードが必要です。各 Startup フレームは Sync フレームでなければならない、そのためすべての Coldstart ノードは Sync ノードになります。

18.3.4 クロック同期

TT-D モードでは分散クロック同期が使用されます。各ノードは、他のノードから受信した Sync フレームのタイミングに応じて個別にクラスタに同期します。

18.3.4.1 グローバルタイム

FlexRay ノードにおいて、個々のノードは独立して動作しますが、通信などの動作は、グローバルタイムという概念に基づいて行われます。FlexRay クラスタと個別のクロックメカニズムを持つ他のノード群とを区別しているのは、このクロック同期メカニズムです。グローバルタイムは、サイクル (サイクルカウンタ) とサイクルタイム (MT カウンタ) という 2 つの値からなるベクタです。

クラスタ定義:

- MT = FlexRay ネットワークにおける時間計測の基本単位。1MT は整数個の μT で構成されます。
- サイクル長 = MT 単位の通信サイクル時間

18.3.4.2 ローカルタイム

内部的には、ノードは自身の動作を μT の解像度で計測します。 μT は特定のノードにおける発振クロックから得られる時間の単位です。したがって μT はコントローラ個別の単位です。 μT はコントローラによって長さが異なる可能性があります。1 つのノードのローカルタイムの誤差計測の精度が μT です。

ノード定義:

- 発振クロック → プリスケーラ → μT
- $\mu\text{T} = \text{CC}$ における時間計測の基本単位。クロック補正は μT 単位で行います。
- サイクルカウンタ + MT カウンタ = ノードから見たグローバルタイム

18.3.4.3 同期プロセス

クロック同期は Sync フレームを用いて行われます。Sync フレームを送信できるのは、事前に設定されたノード (Sync ノード) のみです。2 チャンネル構成のクラスタでは、Sync ノードは両方のチャンネルに Sync フレームを送信しなければなりません。

FlexRay で同期を行うには、以下の制限を考慮する必要があります。

- 1 通信サイクルにおけるノードあたりの Sync フレーム数は最大 1
- 1 通信サイクルにおけるクラスタあたりの Sync フレーム数は最大 15
- 各ノードは事前に設定された Sync フレーム数 (FLXAnFRGTUC2.SNM[3:0]) をクロック同期に使用しなければならない
- クロック同期およびスタートアップ用として最低 2 つの Sync ノードが必要

クロック同期を行うには、スタティックセグメント内で受信された Sync フレームの到達時間の期待値と実測値の差を計測します。2 チャンネル構成のクラスタでは、両チャンネルで Sync フレームを送信するように Sync ノードを設定してください。補正項の計算は NIT 期間中 (オフセットはすべてのサイクル、レートはすべての奇数サイクル) に FTM アルゴリズムによって行います。詳細は FlexRay プロトコル仕様書の第 8 章を参照してください。

(1) オフセット (位相) 補正

- 通信中のサイクルで計測、格納された偏差値のみを使用
- 2 チャンネルノードの場合、より小さい方の値を採用
- すべての通信サイクルの NIT 期間に計算
- 偶数サイクルで計算されたオフセット補正値はエラーチェックのみに使用
- 上限値をチェック
- 補正値は符号付き整数の μT 値
- 奇数サイクルで計算された補正値を、次のサイクルの開始位置をずらすために、オフセット補正開始からサイクルの終わり (NIT の終了時) までの MT に分散 (MT 長設定)

(2) レート (周波数) 補正

- 偶数 / 奇数サイクルペアで計測、格納された 1 対の偏差値を使用
- 2 チャンネルノードの場合、両チャンネルの差の平均値を使用
- 奇数サイクルの NIT 期間に計算
- クラスタドリフトダンピングにグローバルダンピング値を使用
- 上限値をチェック
- 補正値は符号付き整数の μT 値
- 次の偶数 / 奇数サイクルペアを構成する MT に分散 (MT 長設定)

(3) Sync フレーム送信

Sync フレームの送信はバッファ 0 および 1 からのみ可能です。メッセージバッファ 1 が Sync フレーム送信用となるのは、2つのチャネルで Sync フレームのペイロードが異なる場合です。この場合、FLXAnFRMRC.SPLM ビットを“1”にセットしてください。

Sync フレーム送信に使用するメッセージバッファにはキースロット ID の設定が必要です。設定は DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。Sync フレームを送信するノードでは、FLXAnFRSUCC1.TXSY ビットを“1”にセットしてください。

(4) 外部クロック同期

通常のオペレーションにおいて、独立したクラスタ間ではかなりのクロック誤差が生じる可能性があります。

独立したクラスタ間の同期をとるには、各クラスタ内のノード間が同期しているかどうかにかかわらず、外部同期が必要となります。外部同期にはクラスタに対するレート補正值、オフセット補正值を推測する同期アプリケーションが必要です。

- 外部オフセット/レート補正值は符号付き整数
- 外部オフセット/レート補正值は、計算されたオフセット/レート補正值に加算されます
- 総合オフセット/レート補正值 (内部 + 外部) は設定された上限値に対しチェックされません

18.3.5 エラー処理

本モジュールにおけるエラー処理は、単一ノードで下位レイヤのプロトコルエラーが発生しても、影響を受けないノード間の通信は継続できることを保証するものです。場合によっては、通常動作を再開するために上位レイヤでのプログラム処理が必要な場合もあります。エラー処理状態が変化すると FLXAnFREIR.PEMC フラグが“1”にセットされます。また、割り込みが許可されている場合、割り込み要求が発生します。FLXAnFRCCEV.ERRM[1:0]により現在のエラーモードを確認できます。

表 18.96 POC のエラーモード (劣化モデル)

エラーモード	動作
ACTIVE	完全稼働 状態：NORMAL_ACTIVE CC が完全に同期し、クラスタ内クロック同期をサポートしています。CPU は、割り込み（許可されている場合）または FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー/ステータス割り込みフラグを読み出すことによりすべてのエラーとステータス変化を知ることができます。
PASSIVE	縮小稼働 状態：NORMAL_PASSIVE、CC 自動復帰可能 CC はフレームとシンボルの送信を停止し、受信済みフレームの処理のみ実行します。クロック同期メカニズムは受信済みフレームに基づき継続します。クラスタ内クロック同期に関しては積極的には関与しません。CPU は、割り込み（許可されている場合）または FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー/ステータス割り込みフラグを読み出すことによりすべてのエラーとステータス変化を知ることができます。
COMM_HALT	稼働停止 状態：HALT、CC 自動復帰禁止 CC はフレームおよびシンボルの処理、クロック同期処理、MT 生成を停止します。CPU は、FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー/ステータス割り込みフラグを読み出すことで、エラー/ステータス情報にアクセスすることができます。パストライバは無効です。

18.3.5.1 クロック補正失敗カウンタ

クロック補正失敗カウンタが、FLXAnFRSUCC3.WCP[3:0] で定義している「クロック補正回数最大値」に達すると、POC は NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態に遷移します。また、FLXAnFRSUCC3.WCF[3:0] で定義している「クロック補正エラー回数最大値」に達すると、NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態に遷移します。

CC がプロトコルスタートアップフェーズを終了した後、クロック補正失敗カウンタ (FLXAnFRCCEV.CCFC[3:0]) を読み出すと、ノードがクロック補正項を計算できなかった期間がわかります。クロック補正失敗カウンタは、オフセット補正欠落フラグ (FLXAnFRSFS.MOCS) またはレート補正欠落フラグ (FLXAnFRSFS.MRCS) のいずれかが“1”のとき、奇数コミュニケーションサイクルの終了時にインクリメントされます。

いずれのフラグも“1”でない場合、クロック補正失敗カウンタは奇数コミュニケーションサイクルの終了時に 0 にクリアされます。

「クロック補正エラー回数最大値」に達すると、クロック補正失敗カウンタは停止します (最大値に達してからインクリメントしても 0 に戻りません)。CC が READY 状態に入るか、NORMAL_ACTIVE 状態になると、クロック補正失敗カウンタは 0 に初期化されます。

注 意

FLXAnFRSUCC1.HCSE ビットが“1”に設定されていない場合、HALT 状態への遷移はできません。

18.3.5.2 Passive-to-Active カウンタ

Passive to Active カウンタは、POC の NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を制御します。FLXAnFRSUCC1.PTA[4:0] は、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移が許可される前に必要となる、クロック補正に有効な連続した偶数 / 奇数サイクルペア数を設定します。

FLXAnFRSUCC1.PTA[4:0] が 0 の場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。

18.3.5.3 HALT コマンド

ローカルノードの FlexRay 通信を停止するには、HALT コマンドを発行することで CC を HALT 状態にします。HALT コマンドは FLXAnFRSUCC1.CMD[3:0] ビットに “0110” を書き込むことで実現します。FlexRay ネットワーク全体の通信を停止する場合は、すべてのノードが同時に HALT コマンドを適用するように、上位レイヤプロトコルが保証する必要があります。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL[5:0] フラグから読み出せます。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で HALT コマンドが発行された場合、POC は現行サイクルの終了時に HALT 状態に遷移します。それ以外の状態で発行された場合、FLXAnFRSUCC1.CMD[3:0] ビットは “0000” (無効コマンド) になり、FLXAnFREIR.CNA フラグが “1” にセットされます。割り込みが許可されている場合、割り込み要求が発生します

18.3.5.4 FREEZE コマンド

CPU は、重大なエラー状態を検出した場合、FREEZE コマンドを発行することで CC を HALT 状態にします。

FREEZE コマンドは FLXAnFRSUCC1.CMD[3:0] ビットに “0111” を書き込むことで実現します。FREEZE コマンドは、現在の POC の状態に関係なくただちに HALT 状態に遷移させます。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL[5:0] フラグから読み出せます。

注 意

FREEZE コマンドまたは READY コマンドによって通信を停止した後に Leading Coldstart ノードとして再びスタートアップしたとき、FlexRay モジュールの内部状態によって、サイクル 0 で Startup フレームを送信しない場合があります。この現象は Startup フレームをスロット 1 ~ スロット 7 のいずれかのスロットに設定している場合に発生します。ハードウェアリセット後の ColdStart ではこの現象は発生しません。この現象が発生した場合においても、2 回目の ColdStart の試みは成功します。ColdStart 時間が長くなりますが、FlexRay システムの ColdStart はこの現象によって阻害されません。この現象を回避したい場合は、Startup/Sync フレームをスタティックスロット 8 以上のスタティックスロットに配置してください。

18.3.6 通信コントローラの状態

18.3.6.1 通信コントローラ状態遷移図

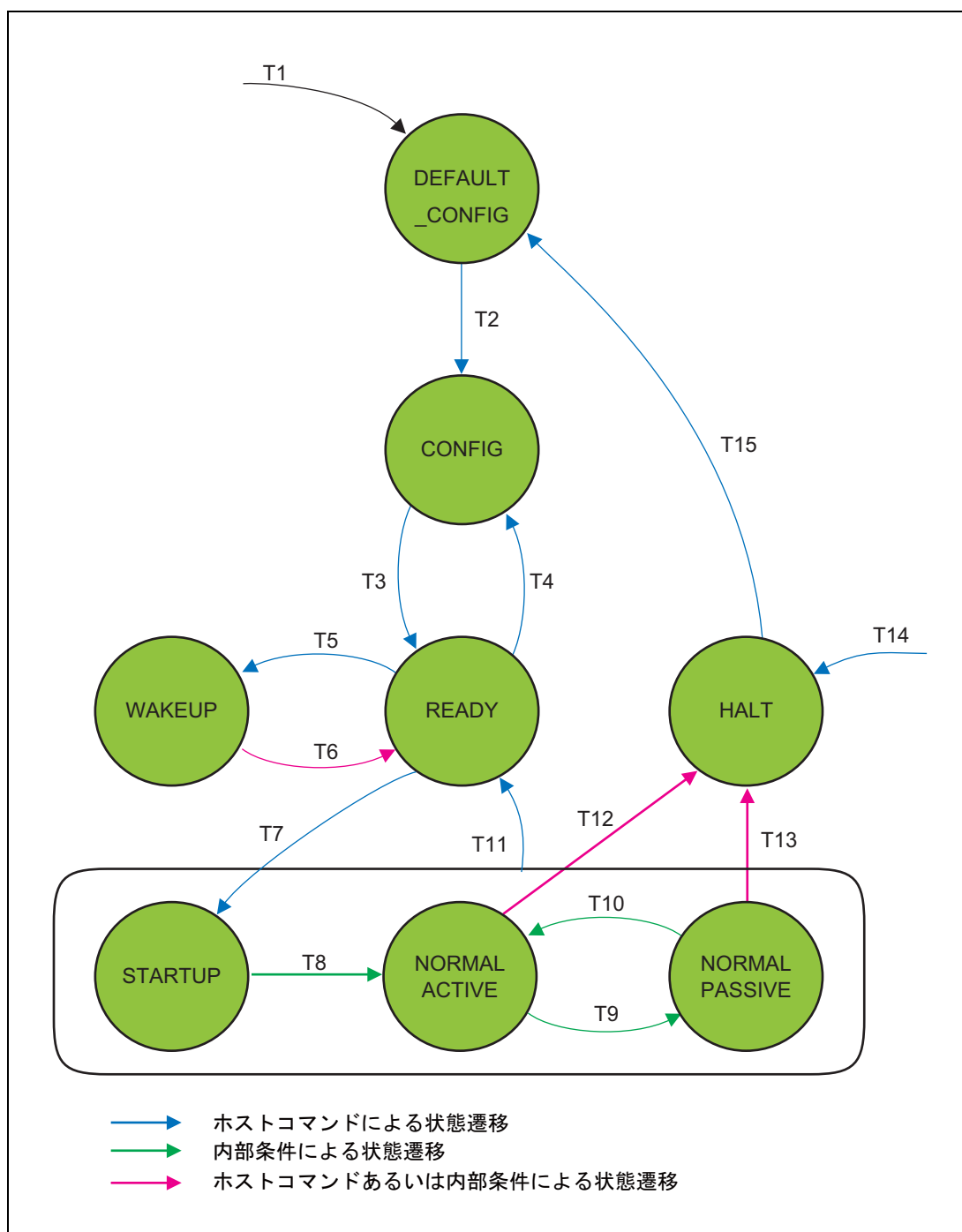


図 18.7 FlexRay 通信コントローラの状態遷移図

状態遷移は、リセット、`rxda_extfxr`、`rxdb_extfxr`、POC ステートマシン、CHI コマンドベクタ (`FLXAnFRSUCC1.CMD[3:0]`) で制御します。

FREEZE コマンド (`FLXAnFRSUCC1.CMD[3:0] = "0111"`) 実行後、CC はいずれの状態にあっても、HALT 状態に遷移します。

表 18.97 FlexRay モジュールの状態遷移条件

T#	遷移条件	遷移前の状態	遷移後の状態
1	リセット	すべて	DEFAULT_CONFIG
2	CONFIG コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0001")	DEFAULT_CONFIG	CONFIG
3	ロック解除シーケンス +READY コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0010")	CONFIG	READY
4	CONFIG コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0001")	READY	CONFIG
5	WAKEUP コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0011")	READY	WAKEUP
6	Wakeup パターン送信完了 Wakeup パターン受信完了 フレームヘッダ受信完了 Wakeup 衝突検出 READY コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0010")	WAKEUP	READY
7	RUN コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0100")	READY	STARTUP
8	STARTUP 成功	STARTUP	NORMAL_ACTIVE
9	クロック補正失敗カウンタ値が FLXAnFRSUCC3.WCF[3:0] に設定したクロック補正 パンプ最大値に到達	NORMAL_ACTIVE	NORMAL_PASSIVE
10	クロック補正成功サイクルベア数が FLXAnFRSUCC1.PTA[4:0] に設定した Passive-to- Active の制限値に到達	NORMAL_ACTIVE	NORMAL_ACTIVE
11	READY コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0010")	STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE	READY
12	FLXAnFRSUCC1.HCSE ビットが "1" のときにクロック 補正失敗カウンタ値が FLXAnFRSUCC3.WCF[3:0] の設定値に到達、または、HALT コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0110")	NORMAL_ACTIVE	HALT
13	FLXAnFRSUCC1.HCSE ビットが "1" のときにクロック 補正失敗カウンタ値が FLXAnFRSUCC3.WCF[3:0] の設定値に到達、または、HALT コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0110")	NORMAL_PASSIVE	HALT
14	FREEZE コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0111")	すべて	HALT
15	CONFIG コマンド発行 (FLXAnFRSUCC1.CMD[3:0] = "0001")	HALT	DEFAULT_CONFIG

18.3.6.2 DEFAULT_CONFIG 状態

DEFAULT_CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。

CC は以下の場合に DEFAULT_CONFIG 状態へ遷移します。

- リセット後 (HW リセットあるいは SW リセット)
- HALT 状態から抜けたとき

DEFAULT_CONFIG 状態を抜けるには、FLXAnFRSUCC1.CM[3:0] ビットに“0001”を書き込むことで、CONFIG 状態に遷移します。

18.3.6.3 CONFIG 状態

CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。この状態で CC の初期設定を行います。

CC は以下の場合に DEFAULT_CONFIG 状態へ遷移します。

- DEFAULT_CONFIG 状態から抜けたとき
- READY 状態から抜けたとき

HALT 状態と DEFAULT_CONFIG 状態を経由して CONFIG 状態に遷移した場合、ステータス情報と設定内容を解析することができます。CONFIG 状態から抜ける前に設定に間違いがないか確認する必要があります。

CONFIG 状態から抜けるには、「18.2.3.1 FLXAnFRLCK — FlexRay ロックレジスタ」に記載のロック解除シーケンスを実行します。CONFIG 状態のロックを解除した直後に、次の状態に遷移するため FLXAnFRSUCC1.CMD[3:0] ビットに書き込む必要があります。

注 意

FLXAnFRMHDS[14:0] ビット、FLXAnFRTXRQ1 ~ FLXAnFRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、CONFIG 状態から READY 状態への遷移による影響を受けません。

CONFIG 状態では、モジュールクロック (バスクロック、サンプルクロック) を停止することで、CC を省電力モードにすることができます。クロックを停止する前に、すべてのメッセージ RAM の転送が完了していることを確認する必要があります。

18.3.6.4 READY 状態

CONFIG 状態のロックを解除し、FLXAnFRSUCC1.CMD[3:0] に “0010_B” を書き込むと、READY 状態に遷移します。この状態から WAKEUP 状態に遷移してクラスタウェイクアップを実行したり、STARTUP 状態に遷移して Coldstart を実行したり稼働中のクラスタに統合することができます。

CC は以下の場合に READY 状態へ遷移します。

- FLXAnFRSUCC1.CMD[3:0] ビットに “0010_B” (READY コマンド) を書き込み、CONFIG 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態から抜けたとき

CC は以下の場合に READY 状態から抜けます。

- FLXAnFRSUCC1.CMD[3:0] ビットに “0001_B” (CONFIG コマンド) を書き込み、CONFIG 状態に遷移したとき
- "FLXAnFRSUCC1.CMD[3:0] ビットに “0011_B” (WAKEUP コマンド) を書き込み、WAKEUP 状態に遷移したとき
- "FLXAnFRSUCC1.CMD[3:0] ビットに “0100_B” (RUN コマンド) を書き込み、STARTUP 状態に遷移したとき

STARTUP 状態に遷移すると、内部カウンタおよび CC ステータスフラグが初期化されます。

注 意

FLXAnFRMHDS[14:0] ビット、FLXAnFRTXRQ1 ~ FLXAnFRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、READY 状態から STARTUP 状態への遷移による影響を受けません。

18.3.6.5 WAKEUP 状態

ここでは、FlexRay モジュールのウェイクアップの設定について説明します。ウェイクアップ処理の詳細および関連する SDL 図については、FlexRay プロトコル仕様書の 7.1 章を参照してください。

CC は以下の場合に WAKEUP 状態へ遷移します。

- FLXAnFRSUCC1.CMD[3:0] ビットに “0011_B” (WAKEUP コマンド) を書き込み、READY 状態を抜けたとき

CC は以下の場合に WAKEUP 状態を抜けて READY 状態へ遷移します。

- ウェイクアップパターン (WUP) の送信が中断されることなく完了した後
- WUP 受信後
- WUP 衝突検出後
- フレームヘッダ受信後
- FLXAnFRSUCC1.CMD[3:0] ビットに “0010_B” (READY コマンド) を書き込んだとき

クラスタ内のすべてのノードをウェイクアップさせるため、通信スタートアップ処理の前にクラスタのウェイクアップ処理を行う必要があります。クラスタのウェイクアップ処理を行うには、すべてのバスドライバに電源が供給されていることが必須です。バスドライバは、チャンネルでウェイクアップパターンを受信すると自ノードの他のコンポーネントをウェイクアップさせることができます。クラスタ内の少なくとも 1 つのノードに対し外部ウェイクアップソースが必要です。

ウェイクアップ処理はすべてプログラムで制御されます。プログラムによって、バスドライバと CC からクラスタの状態に関する情報を得て、バスガーディアン (使用できる場合) と CC を設定し、クラスタのウェイクアップを行います。CC によって、有効なチャンネルのそれぞれに個別にウェイクアップパターンを送信することができます。CC は、WAKEUP 状態でのみウェイクアップパターンを認識します。

ウェイクアップ処理は一度に 1 つのチャンネルでのみ実行可能です。CC が CONFIG 状態のときに FLXAnFRSUCC1.WUCS ビットで使用するチャンネルを選択してください。CC は選択されたチャンネル上での通信が妨害されないようにします。選択したチャンネルに接続されているすべてのノードがウェイクアップパターンの送信でウェイクアップすることは保証できません。これらのノードからはスタートアップフェーズに移行するまでフィードバックを受けられないからです。ウェイクアップ処理は 2 チャンネルシステムのシングルチャンネルデバイスに対し、それらが接続されているチャンネル上にウェイクアップパターンを送信するだけで、ウェイクアップ処理を起動させることができます。システムスタートアップが必要と思われる Coldstart ノードがあれば、通信スタートアップ処理を開始する前にもう一方のチャンネルをウェイクアップさせます。

ウェイクアップ処理では、いくつものノードが同時にシングルチャンネルをウェイクアップさせようとするのを許容しますが、ウェイクアップパターンを送信できるノードは 1 つだけです。またウェイクアップパターン衝突耐性があり、2 つのノードが同時にウェイクアップパターンを送信しようとしてエラーが発生しても、衝突した信号も他のノードをウェイクアップさせることができます。

ウェイクアップ処理が終了すると、CC は READY 状態に戻ります。また、FLXAnFRSIR.WST フラグが “1” になり、ウェイクアップ状態に変化があったことがわかります。ウェイクアップステータスペクタは、FLXAnFRCCSV.WSV[2:0] フラグから読み出せます。有効なウェイクアップパターンを受信した場合、FLXAnFRSIR.WUPA フラグまたは FLXAnFRSIR.WUPB フラグも “1” になります。

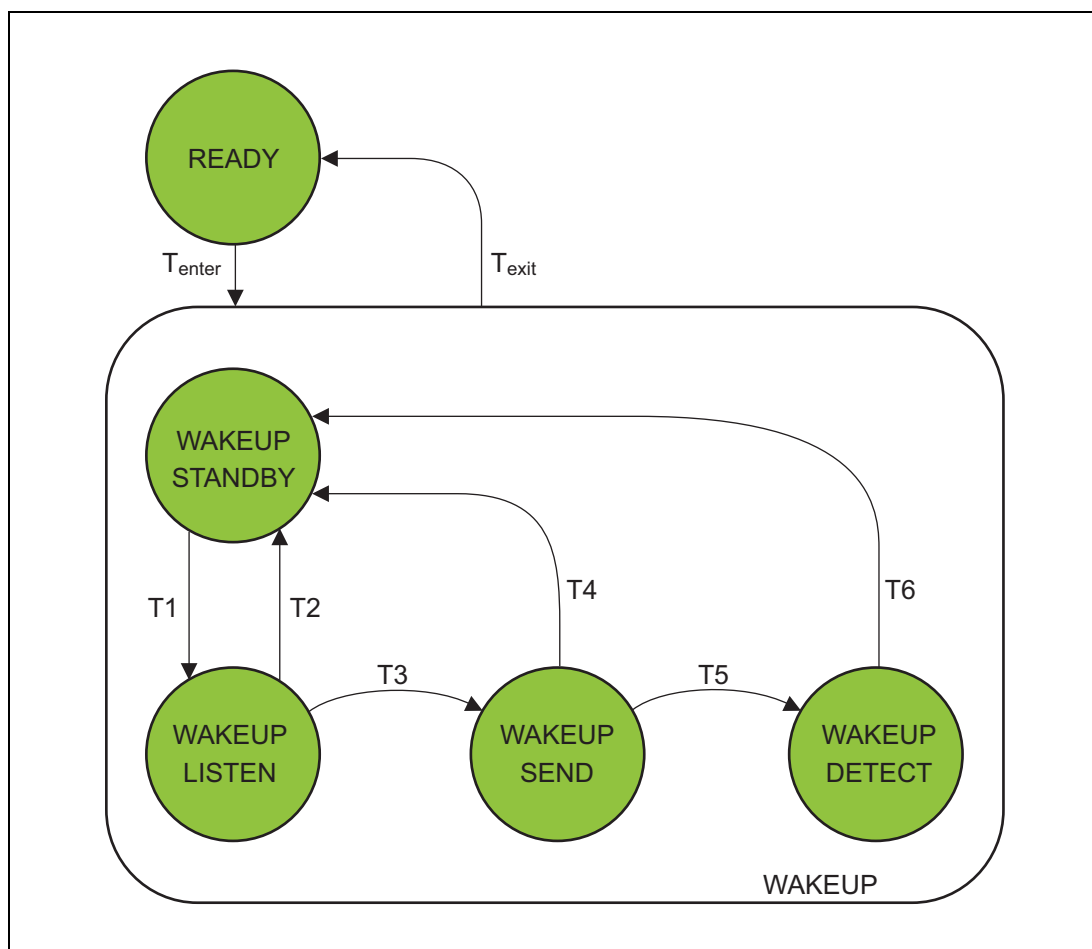


図 18.8 POC 状態 WAKEUP の構成

表 18.98 WAKEUP 時の状態遷移条件

T#	遷移条件	遷移前の状態	遷移後の状態
enter	FLXAnFRSUCC1.CMD[3:0] ビットに "0011" (WAKEUP コマンド) を書き込んで WAKEUP 状態に遷移	READY	WAKEUP
1	CHI コマンドの WAKEUP コマンドにより Wakeup FSM が WAKEUP_LISTEN 状態へ遷移	WAKEUP_STANDBY	WAKEUP_LISTEN
2	FLXAnFRSUCC1.WUCS ビットで設定したチャンネルで WUP を受信、またはどちらかの有効なチャンネルでフレームヘッダを受信	WAKEUP_LISTEN	WAKEUP_STANDBY
3	タイマイベント	WAKEUP_LISTEN	WAKEUP_SEND
4	ウェイクアップパターンが中断されずに送信完了	WAKEUP_SEND	WAKEUP_STANDBY
5	衝突を検出	WAKEUP_SEND	WAKEUP_DETECT
6	ウェイクアップタイマがタイムアウト、FLXAnFRSUCC1.WUCS ビットで設定したチャンネルで WUP を検出、またはどちらかの有効なチャンネルでフレームヘッダを受信	WAKEUP_DETECT	WAKEUP_STANDBY
exit	ウェイクアップ処理が完了 (T2、T4、または T6 の遷移後)、または FLXAnFRSUCC1.CMD[3:0] ビットに "0010" (READY コマンド) を書き込み READY 状態に遷移 READY コマンドにより WakeupFSM を WAKEUP_STANDBY 状態にリセット	WAKEUP	READY

WAKEUP_LISTEN 状態はウェイクアップタイマとウェイクアップノイズタイマにより制御されます。これら2つのタイマは、ListenTimeout 値 (FLXAnFRSUCC2.LT[20:0] ビット)、ListenTimeoutNoise 値 (FLXAnFRSUCC2.LTN[3:0] ビット) で制御します。ListenTimeout 値はノイズがない環境で高速なクラスタのウェイクアップ処理を、ListenTimeoutNoise 値はノイズ干渉に関してより困難な条件下でのウェイクアップ処理を可能にします。

WAKEUP_SEND 状態では、CC は設定されたチャンネルにウェイクアップパターンを送信し、衝突の有無をチェックします。ウェイクアップ処理から復帰した後、CHI コマンドの RUN コマンドを発行して STARTUP 状態に遷移する必要があります。

WAKEUP_DETECT 状態では、CC は WAKEUP_SEND 状態で検出された衝突の原因を特定しようとしています。モニタリングは FLXAnFRSUCC2.LT[20:0] ビットで設定した ListenTimeout 値に到達すると制限されます。他のノードによるウェイクアップ試行を意味するウェイクアップパターン検出、または通信中であることを意味するフレームヘッダ受信により、直接 READY 状態に遷移します。検出も受信も行わない場合、ListenTimeout 値に到達後 WAKEUP_DETECT 状態を抜け、衝突原因は不明となります。

プログラムでは考えられるウェイクアップエラーを推察し、適切に対処することが必要です。ウェイクアップしたノードでのスタートアップ試行は、他の Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。

FlexRay プロトコル仕様書では、2つの異なる CC が2つのチャンネルをウェイクアップさせることを推奨しています。

(1) CPU の役割

CPU はプログラムにより、2つのチャンネルのウェイクアップ処理を調整し、指定したチャンネルをウェイクアップさせるかどうかを決定する必要があります。ウェイクアップパターンの送信はプログラムで制御されます。ウェイクアップパターンはリモートバスドライバで検出され、それぞれの CPU に通知されます。

プログラム制御によるウェイクアップ処理 (シングルチャンネルウェイクアップ) :

- CONFIG 状態で CC を設定する
 - FLXAnFRSUCC1.WUCS ビットでウェイクアップチャンネルを選択
- WUP を受信したかどうかローカルバスドライバをチェックする
- 選択したチャンネルのバスドライバを有効にする
- READY 状態に遷移するよう CC に指示
- FLXAnFRSUCC1.CMD[3:0] ビットに “0011” (WAKEUP コマンド) を書き込み、選択したチャンネルでウェイクアップ処理を開始するよう CC に指示
 - CC は WAKEUP 状態に遷移
 - CC は READY 状態に戻り、ウェイクアップ試行ステータスを CPU に通知
- 他のノードがウェイクアップして設定を完了できるように一定時間待機
- Coldstart ノードの場合
 - 2チャンネル構成のクラスタでは、もう一方のチャンネルの WUP を待機
 - FLXAnFRSUCC1.CMD[3:0] ビットに “1001_B” (ALLOW_COLDSTART コマンド) を書き込み、FLXAnFRCCSV.CSI フラグを “0” (Coldstart 許可) にする
- FLXAnFRSUCC1.CMD[3:0] ビットに “0100_B” (RUN コマンド) を書き込み、STARTUP 状態に遷移するよう CC に指示

バスドライバがトリガとなるウェイクアップ処理:

- バスドライバがウェイクアップ処理を認識
- バスドライバによるマイコンの電源投入 (必要な場合)
- バスドライバによるウェイクアップイベントの CPU への通知
- CPU がローカル CC を設定
- 必要であれば2番目のチャンネルのウェイクアップ処理を指示、他のノードがウェイクアップして設定を完了できるように一定時間待機
- FLXAnFRSUCC1.CMD[3:0] ビットに“0100” (RUN コマンド) を書き込み、STARTUP 状態に遷移するよう CC に指示

(2) ウェイクアップパターン (WUP)

ウェイクアップパターン (WUP) は、2つ以上の Wakeup シンボル (WUS) で構成されています。Wakeup シンボルとウェイクアップパターンは、FLXAnFRPRTC1 レジスタと FLXAnFRPRTC2 レジスタで設定されます。

- シングルチャンネルウェイクアップでは、Wakeup シンボルを一度に両方のチャンネルで送信することはできません。
- 2つ以上の送信ノードに対し、Wakeup シンボルは衝突耐性あり (2つの Wakeup シンボルがオーバーラップしても認識可能)。
- Wakeup シンボルはクラスタ内のすべてのノードで同じ設定にしてください。
- FLXAnFRPRTC2.TXL[5:0] ビットで送信 Wakeup シンボルの“L”幅を設定します。
- FLXAnFRPRTC2.TXI[7:0] ビットでバス処理検出に使用する Wakeup シンボルのアイドル幅を設定します。
- ウェイクアップには、2つ以上の送信 Wakeup シンボルからなるウェイクアップパターンが必要です。
- FLXAnFRPRTC1.RWP[5:0] ビットで Wakeup シンボルの繰り返し回数を2~63の範囲で設定します。
- FLXAnFRPRTC1.RXW[8:0] ビットで Wakeup シンボルの受信ウィンドウ幅を設定します。
- FLXAnFRPRTC2.RXL[5:0] ビットで Wakeup シンボルの受信“L”幅を設定します。
- FLXAnFRPRTC2.RXI[5:0] ビットで Wakeup シンボルの受信アイドル幅を設定します。

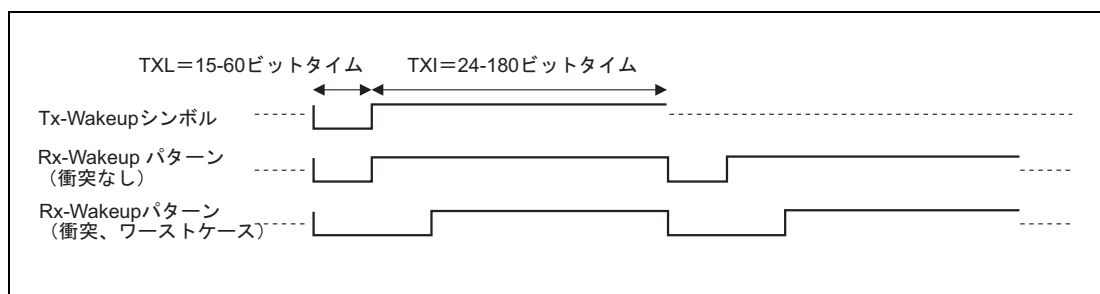


図 18.9 ウェイクアップパターンのタイミング

18.3.6.6 STARTUP 状態

ここでは、FlexRay モジュールのスタートアップの設定について説明します。スタートアップ処理の詳細および関連する SDL 図については、FlexRay プロトコル仕様書の 7.2 章を参照してください。

Coldstart が可能なノードが STARTUP 状態に遷移する場合は、Coldstart 開始前に自ノードのチャンネルが 2 つともウェイクアップしていることを確認してください。

全ノードおよびスターが完全にウェイクアップして、設定が完了するのに要する時間はさまざまです。クラスタ通信を開始するには少なくとも 2 つのノードが必要なので、ウェイクアップしたノードでのスタートアップ試行は、他の Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。ご使用のハードウェアによっては、全ノードおよびスターがウェイクアップして設定完了するまでに数百 ms 要する場合があります。

スタートアップ処理はすべてのチャンネルで同期して実行されます。スタートアップ処理中、ノードは Startup フレームのみ送信します。Startup フレームは Sync フレームと Null フレームの両方です。

耐故障性がある分散スタートアップ手順は、全ノードの最初の同期で決まります。通常、NORMAL_ACTIVE 状態に遷移するには以下の経路をたどります (図 18.10 参照)。

- スケジュール同期を開始する Coldstart パス (LeadingColdstart ノード)
- 他の Coldstart ノードが参加する Coldstart パス (FollowingColdstart ノード)
- 既存の通信スケジュールに統合する統合パス (その他のノード)

Coldstart 試行は衝突回避シンボル (CAS) の送信で開始します。CAS シンボルを送信した 1 つの Coldstart ノードが、CAS シンボル送信後最初の 4 サイクルでフレームを送信します。その後他の Coldstart ノード、次いでその他のすべてのノードが参加します。

Coldstart ノードでは FLXAnFRSUCC1.TXST ビットと FLXAnFRSUCC1.TXSY ビットが“1”に設定されています。メッセージバッファ 0 には Startup フレームを送信するスロット番号を指定するキースロット ID があります。Startup フレームのフレームヘッダでは Startup フレームインジケータビットが“1”になっています。

ノードが 3 つ以上あるクラスタの場合、少なくとも 3 つのノードを Coldstart ノードに設定します。ノードが 2 つのクラスタの場合は、両ノードとも Coldstart ノードになります。クラスタをスタートアップさせるには 2 つの正常な Coldstart ノードが必要です。

各 Startup フレームは Sync フレームでもあります。したがって各 Coldstart ノードは Sync ノードでもあります。

Coldstart 試行回数は FLXAnFRSUCC1.CSA[4:0] ビットで設定します。

非 Coldstart ノードが他のノードと統合するには、他のノードからの 2 つ以上の Startup フレームが必要です。

Coldstart ノードのスタートアップ処理が完了する前に、統合を開始できます。2 つ以上の Coldstart ノードがスタートアップ処理を完了するまで、非 Coldstart ノードのスタートアップ処理は完了しません。

非 Coldstart ノードと Coldstart ノードは、TDMA スケジュール情報を引き出す Sync フレームを受信すると、統合パスを通して統合を開始します。統合中は、ノードのクロックをグローバルクロック (レートおよびオフセット) に同期させ、サイクル時間をネットワークで観測できるグローバルスケジュールに一致させる必要があります。その後これらの設定は、すべての有効なネットワークノードと一致しているかチェックされます。チェックが問題なく終了すると、ノードは統合フェーズを抜けて通信に参加することができます。

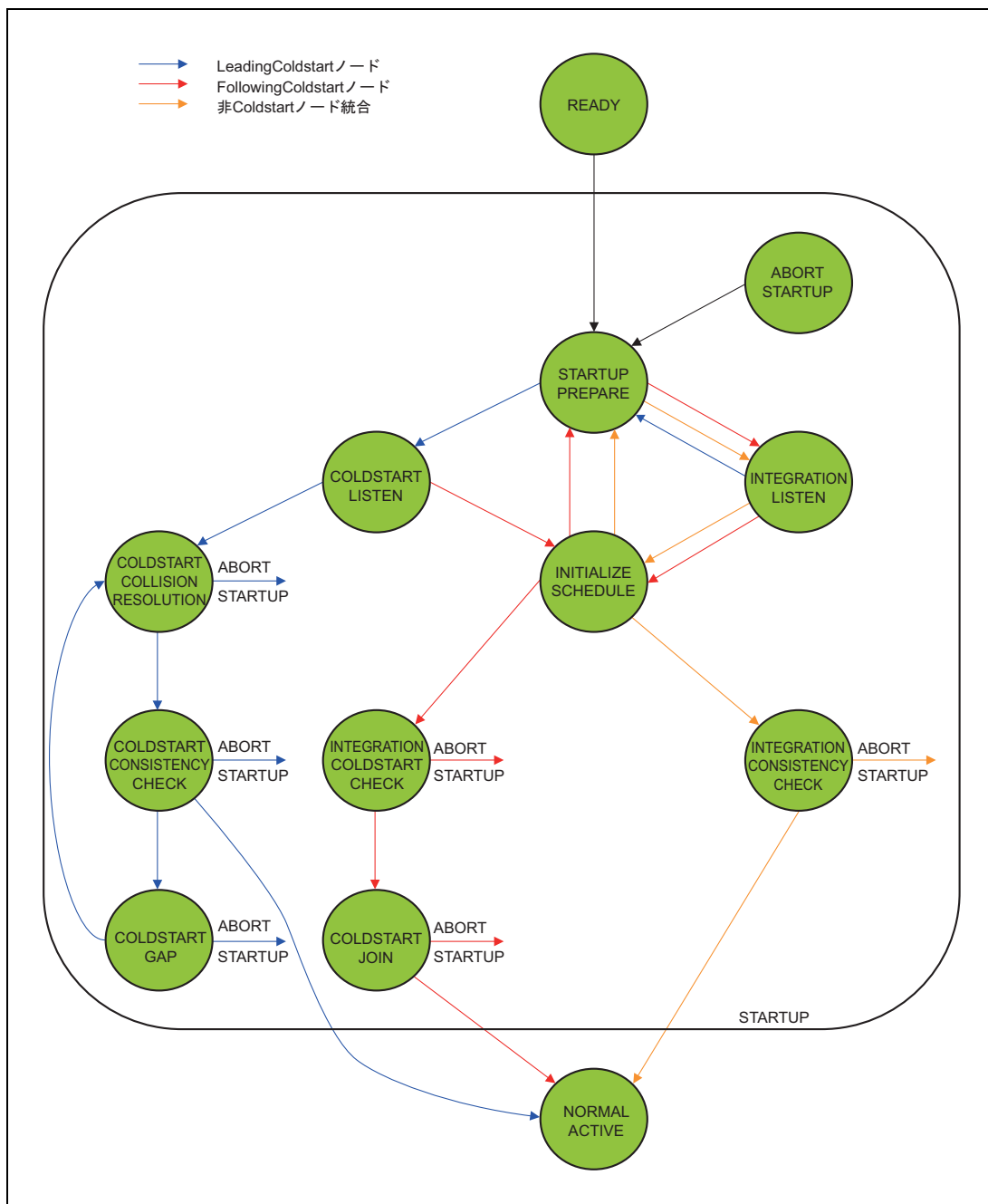


図 18.10 タイムトリガ式スタートアップ状態遷移図

(1) Coldstart 禁止モード

Coldstart 禁止モードではノードは TDMA 通信スケジュールを初期化できません。

FLXAnFRCCSV.CSI フラグが “1” (Coldstart 禁止) の場合、ノードによるクラスタ通信の初期化が禁止、つまり、Coldstart パスへの遷移が禁止されます。稼働中のクラスタへの統合または Startup フレーム送信が許可されるのは、他の Coldstart ノードがクラスタ通信の初期化を開始してからになります。

Coldstart 禁止フラグ (FLXAnFRCCSV.CSI ビット) は、POC が READY 状態に遷移すると “1” になります。

プログラムで ALLOW_COLDSTART コマンド (FLXAnFRSUCC1.CMD[3:0] ビット = “1001_B”) を発行することで “0” にクリアします。

(2) スタートアップタイムアウト

スタートアップタイムアウトとスタートアップノイズタイムアウトの2つのタイムアウト値を管理するための2つの μ T タイマがあります。これらのタイマは CC が COLDSTART_LISTEN 状態に遷移するとスタートします。いずれかのタイマがタイムアウトすると、ノードは通信スタートアップ処理のために初期センシングフェーズ (COLDSTART_LISTEN 状態) を抜けます。

注 意

スタートアップタイムアウトとスタートアップノイズタイムアウトはウェイクアップタイムアウトおよびウェイクアップノイズタイムアウトと同じもので、FLXAnFRSUCC2.LT[20:0] ビットおよび FLXAnFRSUCC2.LTN[3:0] ビットという同じ設定値を使用します。

(a) スタートアップタイムアウト

スタートアップタイムアウトは、他のノード間ですでに通信が行われているか、他のノードとの統合要求をしている Coldstart ノードがあるかをノードが判断するために使用する監視時間を制限するものです。スタートアップタイムアウトは FLXAnFRSUCC2.LT[20:0] ビットで設定します (「18.2.6.2 FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2」参照)。

スタートアップタイムアウト:

$$pdListenTimeout = FLXAnFRSUCC2.LT[20:0]$$

スタートアップタイムアウトは以下のときに再スタートします。

- COLDSTART_LISTEN 状態に入ったとき
- COLDSTART_LISTEN 状態中に両チャンネルがアイドル状態になったとき

スタートアップタイムアウトは以下のときに停止します。

- COLDSTART_LISTEN 状態中、設定されたチャンネルの1つで通信チャンネルアクティビティを検出したとき
- COLDSTART_LISTEN 状態から抜けたとき

一度スタートアップタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。

(b) スタートアップノイズタイムアウト

スタートアップタイマが初めてスタートする (STARTUP_PREPARE 状態から COLDSTART_LISTEN 状態への遷移時) と同時に、スタートアップノイズタイマもスタートします。この付加的なタイムアウトは、ノイズの多い環境におけるスタートアップ処理の信頼性を高めるために使用されます。スタートアップノイズタイムアウトは FLXAnFRSUCC2.LTN[3:0] ビットで設定します (「18.2.6.2 FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2」参照)。

スタートアップノイズタイムアウト:

$$\text{pdListenTimeout} \times \text{gListenNoise} = \text{FLXAnFRSUCC2.LT}[20:0] \times (\text{FLXAnFRSUCC2.LTN}[3:0] + 1)$$

スタートアップノイズタイマは以下のときに再スタートします。

- COLDSTART_LISTEN 状態に入ったとき
- COLDSTART_LISTEN 状態中に正常にデコードされたヘッダまたは CAS シンボルを受信したとき

スタートアップノイズタイマは COLDSTART_LISTEN 状態を抜けると停止します。

一度スタートアップノイズタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。ランダムチャンネルアクティビティが検出された場合にはスタートアップノイズタイマは再スタートしないので、このタイムアウトによりノイズの多い環境でも通信クラスタをスタートアップさせることを保証する代替ソリューションが提供されます。

(3) Leading Coldstart ノードの状態遷移 (Coldstart の開始)

Coldstart ノードは、COLDSTART_LISTEN 状態に入ると自ノードのチャンネルを監視します。

通信が検出されなかった場合、COLDSTART_COLLISION_RESOLUTION 状態に移り、Coldstart 試行を開始します。最初の CAS シンボルの送信の後に、最初の通常サイクルが続きます。このサイクルがサイクル番号 0 となります。

サイクル 0 から当該ノードはスタートアップフレームを送信します。各 Coldstart ノードがそれぞれ Coldstart 試行を実行する可能性があるため、複数のノードが同時に CAS シンボルを送信し、Coldstart パスに入る場合もあります。この状況は、CAS シンボルが送信された後の最初の 4 サイクルで解決されます。

Coldstart 試行を開始したノードがこの 4 サイクル間に CAS シンボルやフレームヘッダを受信すると、すぐに COLDSTART_LISTEN 状態に再遷移します。その結果、Coldstart パスに残るのは 1 つのノードのみになります。サイクル 4 に入ると、他の Coldstart ノードが Startup フレームの送信を開始します。

COLDSTART_COLLISION_RESOLUTION 状態での 4 サイクルの後、Coldstart を開始したノードは COLDSTART_CONSISTENCY_CHECK 状態に入ります。サイクル 4 および 5 の Startup フレームをすべて集めてクロック補正を行います。クロック補正にエラーがなく、1 組以上の有効な Startup フレームを受信した場合、COLDSTART_CONSISTENCY_CHECK 状態を抜けて NORMAL_ACTIVE 状態に移ります。

1 つのノードが実行できる Coldstart 試行回数は、FLXAnFRSUCC1.CSA[4:0] ビットで設定します。Coldstart 試行残数は FLXAnFRCCSV.RCA[4:0] ビットから読み出せます。Coldstart 試行が実行されるたび残数は 1 ずつ減算されます。ノードは、この値が 2 以上のときのみ COLDSTART_LISTEN 状態に、1 以上のときのみ COLDSTART_COLLISION_RESOLUTION 状態に遷移できます。Coldstart 試行回数が 1 回の場合、Coldstart は禁止されますが、統合は可能です。

(4) Following Coldstart ノードの状態遷移 (Leading Coldstart ノードへの応答)

Coldstart ノードが COLDSTART_LISTEN 状態に入ると、Leading Coldstart ノードからスケジュールとクロック補正を引き出すため、有効な Startup フレームのペアを受信しようとしてします。

有効な Startup フレームを受信するとただちに INITIALIZE_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION_COLDSTART_CHECK 状態に移ります。

INTEGRATION_COLDSTART_CHECK 状態では、クロック補正が正しく実行され、ノードのスケジュールを初期化した Coldstart ノードがまだ有効であることが保証されます。ノードはすべての Sync フレームを集め、次のサイクルペアでクロック補正を実行します。クロック補正でエラーがなく、統合した同じノードから引き続きフレームを受信している場合、COLDSTART_JOIN 状態に入ります。

COLDSTART_JOIN 状態では、Following Coldstart ノードが Startup フレームの送信を開始し、次のサイクルでも Startup フレームを送信します。その結果、Leading Coldstart ノードとそれに統合するノードが、互いのスケジュールが一致しているかどうかをチェックできます。クロック補正でエラーがあった場合、ノードは統合するのを中断します。この状態にあるノードがすべての偶数サイクルで有効な Startup フレームを 1 つ以上検知し、すべてのサイクルペアで有効な Startup フレームを 1 つ以上検知した場合、ノードは COLDSTART_JOIN 状態を抜け NORMAL_ACTIVE 状態に遷移します。結果として Coldstart を開始したノードの最低 1 サイクル後に、Following Coldstart ノードは STARTUP 状態から抜けます。

(5) 非 Coldstart ノードの状態遷移

非 Coldstart ノードは、INTEGRATION_LISTEN 状態に入ると自ノードのチャンネルを監視します。

有効な Startup フレームを受信するとただちに INITIALIZE_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION_CONSISTENCY_CHECK 状態に移ります。

INTEGRATION_CONSISTENCY_CHECK 状態では、クロック補正が正しく実行されたか、十分な数 (2 つ以上) の Coldstart ノードがノードのスケジュールに一致する Startup フレーム送信をしているかを確認します。クロック補正が実行され、エラーが検出されると、ノードは統合するのを中断します。

この状態での最初の偶数サイクル中、有効な Startup フレーム 2 つか、統合したノードの Startup フレームかのどちらかが受信されなければなりません。受信されなければ、ノードは統合するのを中断します。

この状態での最初のサイクルペア中、有効な Startup フレームペア 2 つか、統合したノードの Startup フレームペアかのどちらかが受信されなければなりません。受信されなければ、ノードは統合するのを中断します。

最初のサイクルペア後、偶数サイクルで受信した有効な Startup フレームが 2 つ未満の場合、またはサイクルペアで受信した有効な Startup フレームペアが 2 つ未満の場合、スタートアップは中断されます。

STARTUP 状態を抜け NORMAL_OPERATION 状態に入るためには、この状態においてノードは 2 つの連続したサイクルペアそれぞれに対し 2 つの有効な Startup フレームペアを検知する必要があります。結果として、Coldstart を開始したノードの最低 1 サイクルペア後、かつ奇数サイクルの終了時に、非 Coldstart ノードは STARTUP 状態から抜けます。

18.3.6.7 NORMAL_ACTIVE 状態

最初の CAS シンボルを送信したノード（アクセス競合を解決して Coldstart パスを経て STARTUP に遷移）と、もう 1 つのノードが NORMAL_ACTIVE 状態に入ると、クラスタのスタートアップフェーズが完了します。NORMAL_ACTIVE 状態ではすべての設定されたメッセージが設定どおりに送信されます。ここでは Sync フレームだけでなく、データフレームも含まれます。レートおよびオフセット計測は偶数サイクル（偶数 / 奇数サイクルペアが必要です）で行われます。

NORMAL_ACTIVE 状態では以下の標準の通信機能がサポートされます。

- FlexRay バス上での送受信を設定されたとおりに実行
- クロック同期を実施
- CPU インタフェースが動作

CC は以下の場合に NORMAL_ACTIVE 状態を抜けます。

- FLXAnFRSUCC1.CMD[3:0] ビットに “0110_B” (HALT コマンド) を書き込むことで、現サイクルの終了時に HALT 状態に遷移
- FLXAnFRSUCC1.CMD[3:0] ビットに “0111_B” (FREEZE コマンド) を書き込むことで、ただちに HALT 状態に遷移
- ACTIVE から COMM_HALT へエラーステータスが増加したことにより HALT 状態に遷移
- ACTIVE から PASSIVE へエラーステータスが増加したことにより NORMAL_PASSIVE 状態に遷移
- FLXAnFRSUCC1.CMD[3:0] ビットに “0010_B” (READY コマンド) を書き込むことで READY 状態に遷移

18.3.6.8 NORMAL_PASSIVE 状態

エラーステータスが ACTIVE から PASSIVE に変化すると、NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移します。

NORMAL_PASSIVE 状態では、ノードはすべてのフレームを受信することができます（ノードが完全に同期していてクロック同期を行う場合）。NORMAL_ACTIVE 状態と違い、ノードは積極的には通信に参加しません、つまりシンボルもフレームも送信しません。

NORMAL_PASSIVE 状態では

- FlexRay バス上での受信を実行
- FlexRay バス上にフレームもシンボルも送信しない
- クロック同期を実施
- CPU インタフェースが動作

CC は以下の場合に NORMAL_PASSIVE 状態を抜けます。

- FLXAnFRSUCC1.CMD[3:0] ビットに “0110_B” (HALT コマンド) を書き込むことで、現サイクルの終了時に HALT 状態に遷移
- FLXAnFRSUCC1.CMD[3:0] ビットに “0111_B” (FREEZE コマンド) を書き込むことで、ただちに HALT 状態に遷移
- PASSIVE から COMM_HALT へエラーステータスが増加したことにより HALT 状態に遷移
- PASSIVE から ACTIVE へエラーステータスが増加したことにより NORMAL_ACTIVE 状態に遷移
この変化は FLXAnFRCCEV.PTAC[4:0] ビットの値が FLXAnFRSUCC1.PTA[4:0] ビットの設定値 -1 になったときに起こります。
- FLXAnFRSUCC1.CMD[3:0] ビットに “0010_B” (READY コマンド) を書き込むことで READY 状態に遷移

18.3.6.9 HALT 状態

この状態ではすべての通信（送受信）が停止します。

CC は以下の場合に HALT 状態へ遷移します。

- NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で、FLXAnFRSUCC1.CMD[3:0] ビットに “0110_B” (HALT コマンド) を設定
- 状態にかかわらず、FLXAnFRSUCC1.CMD[3:0] ビットに “0111_B” (FREEZE コマンド) を設定
- FLXAnFRSUCC1.HCSE ビットが “1” に設定されていて、クロック補正失敗カウンタが「クロック補正エラー回数 (HALT 状態への遷移条件)」に達したため NORMAL_ACTIVE 状態から抜けたとき
- FLXAnFRSUCC1.HCSE ビットが “1” に設定されていて、クロック補正失敗カウンタが「クロック補正エラー回数 (HALT 状態への遷移条件)」に達したため NORMAL_PASSIVE 状態から抜けたとき

CC は以下の場合に HALT 状態から DEFAULT_CONFIG 状態へ遷移します。

- FLXAnFRSUCC1.CMD[3:0] ビットに “0001_B” (CONFIG コマンド) を設定

HALT 状態に遷移すると、すべてのレジスタ設定やステータスデータは解析のために保存されます。

プログラムで FLXAnFRSUCC1.CMD[3:0] ビットに “0110_B” (HALT コマンド) を書き込むと、FLXAnFRCCSV.HRQ フラグが “1” になり、次のサイクルの終了時、HALT 状態に遷移します。

プログラムで FLXAnFRSUCC1.CMD[3:0] ビットに “0111_B” (FREEZE コマンド) を書き込むと、ただちに HALT 状態に遷移し、FLXAnFRCCSV.FSI フラグが “1” になります。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL[5:0] フラグから読み出せません。

18.3.7 ネットワーク管理

生成されたネットワーク管理 (NM) ベクタは FLXAnFRNMV1 ~ FLXAnFRNMV3 レジスタで読み出せます。CC は、ペイロードプリアンブルインジケータ (PPI) ビットが“1”になっているすべての有効な受信 NM フレームの中から、すべての NM ベクタをビットごとに OR 演算します。スタティックフレームだけが NM 情報を持つように設定されています。CC は各サイクルの終了時に NM ベクタを更新します。NM ベクタ長は FLXAnFRNEMC.NML[3:0] ビットにより 0 ~ 12 バイトの範囲で設定します。NM ベクタ長はクラスタ内のすべてのノードで同じ値にしてください。

FlexRay フレームを PPI ビットを“1”にして送信するように送信バッファを設定するには、それぞれの送信バッファのヘッダセクションにある PPIT ビットを、FLXAnFRWRHS1.PPIT ビットを使って“1”にしなければなりません。さらにプログラムで NM 情報をそれぞれの送信バッファのデータセクションに書き込む必要があります。

NM ベクタの評価はアプリケーションプログラム側で行う必要があります。

注 意

1. メッセージバッファがネットワーク管理フレームの送信 / 受信用に設定されている場合、メッセージバッファのヘッダ 2 で設定するペイロード長は、FLXAnFRNEMC.NML[3:0] ビットで設定した NM ベクタ長以上にする必要があります。
2. CC が HALT 状態に遷移したとき、サイクルカウンタはインクリメントされないため、NM ベクタも更新されません。このとき FLXAnFRNMV1 ~ FLXAnFRNMV3 レジスタは以前のサイクルの値を保持します。

18.3.8 フィルタリングとマスキング

フィルタリングは、指定されたメッセージバッファの設定と、実際のスロットカウンタ値、サイクルカウンタ値およびチャネル ID (チャネル A、B) とを比較することで行われます。比較した値が一致した場合にのみ、メッセージバッファは更新 / 送信されます。

フィルタリングは以下の条件で行われます。

- スロットカウンタ
- サイクルカウンタ
- チャネル ID

以下のフィルタの組み合わせがアクセプタンス / 送信フィルタリングに使用できます。

- スロットカウンタ + チャネル ID
- スロットカウンタ + サイクルカウンタ + チャネル ID

メッセージバッファに受信メッセージを格納するには、設定されたすべてのフィルタが一致する必要があります。

注 意

FIFO については、アクセプタンスフィルタは FlexRayFIFO リジェクションフィルタレジスタ (FLXAnFRFRF) と、FlexRayFIFO リジェクションフィルタマスキングレジスタ (FLXAnFRFRFM) で設定されます。

設定したチャネルの設定したフレーム ID に相当するタイムスロットでメッセージは送信されます。サイクルカウンタフィルタリングが有効な場合、設定されたサイクルフィルタ値も一致する必要があります。

18.3.8.1 スロットカウンタフィルタリング

すべての送信/受信バッファは、ヘッダセクションにフレーム ID を持っています。このフレーム ID が実際のスロットカウンタ値と比較されて、受信/送信バッファを対応するスロットに割り当てます。

2つ以上のメッセージバッファが同じフレーム ID とチャネル ID を持つように設定され、同じスロットに対してサイクルカウンタフィルタ値が一致した場合、最小メッセージバッファ番号を持つメッセージバッファが使用されます。

18.3.8.2 サイクルカウンタフィルタリング

サイクルカウンタフィルタリングはサイクルセットという概念に基づきます。フィルタリングという目的においては、サイクルセットの項目が1つでも一致すると、一致と検出されます。サイクルセットは各メッセージバッファのヘッダセクション1にあるサイクルコードフィールドで定義されます。

メッセージバッファ 0 または 1 が、FLXAnFRSUCC1.TXST ビット、FLXAnFRSUCC1.TXSY ビット、FLXAnFRSUCC1.TSM ビットによって、Startup フレーム /Sync フレーム、または SINGLE スロットフレームになるように設定されている場合、該当するメッセージバッファのサイクルカウンタフィルタリングは禁止する必要があります。

注 意

FlexRay ネットワークの異なるノード間で、サイクルカウンタフィルタリングを使用してスタティックタイムスロットを共有することは禁止されています。

サイクルセットに含まれるサイクル番号のセットは表 18.99 のように定義されています。

表 18.99 サイクルセットの定義

サイクルコード	一致するサイクルカウンタ値
0b000000x	全サイクル
0b000001c	2 サイクルごと (サイクルカウンタ値) mod 2 = c のとき
0b00001cc	4 サイクルごと (サイクルカウンタ値) mod 4 = cc のとき
0b0001ccc	8 サイクルごと (サイクルカウンタ値) mod 8 = ccc のとき
0b001cccc	16 サイクルごと (サイクルカウンタ値) mod 16 = cccc のとき
0b01ccccc	32 サイクルごと (サイクルカウンタ値) mod 32 = cccccc のとき
0b1cccccc	64 サイクルごと (サイクルカウンタ値) mod 64 = ccccccc のとき

表 18.100 にサイクルカウンタフィルタリングに使用する有効なサイクルセットの例を示します。

表 18.100 有効なサイクルセット例

サイクルコード	一致するサイクルカウンタ値
0b0000011	1-3-5-7-.... -63
0b0000100	0-4-8-12-.... -60
0b0001110	6-14-22-30-.... -62
0b0011000	8-24-40-56
0b0100011	3-35
0b1001001	9

メッセージが受信されたサイクルのサイクルカウンタ値と受信バッファのサイクルセットの要素が一致したときのみ、受信メッセージが格納されます。チャンネル ID およびフレーム ID も一致する必要があります。

送信バッファに設定したサイクルコードが現在のサイクルカウンタ値に一致した場合、フレームを送信します。チャンネル ID およびフレーム ID も一致する必要があります。

18.3.8.3 チャンネル ID フィルタリング

メッセージ RAM の各メッセージバッファのヘッダセクションには 2 ビットのチャンネルフィルタリング制御フィールド (CH ビット) があります。これらは受信バッファのフィルタおよび送信バッファの制御フィールドとして使用します (表 18.101 参照)。

表 18.101 チャンネルフィルタリング設定

CH[1:0]	送信バッファのフレーム送信	受信バッファの有効受信フレーム格納
00	送信禁止	フレーム無視
01	チャンネル A	チャンネル A で受信
10	チャンネル B	チャンネル B で受信
11	両チャンネル (スタティックセグメントのみ)	チャンネル A または B で受信 (最初のセマンティクス的に有効なフレームを格納、スタティックセグメントのみ)

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、送信バッファの内容は、チャンネルフィルタリング制御フィールドで設定したチャンネルに送信されます。送信バッファは、スタティックセグメントでのみ両方のチャンネル (CH ビット = "11_B") に送信するように設定できます。

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、チャンネルフィルタリング制御フィールドで設定したチャンネルで受信した有効な受信フレームが格納されます。受信バッファは、スタティックセグメントでのみ両方のチャンネル (CH ビット = "11") から受信するように設定できます。

注 意

メッセージバッファがダイナミックセグメント用に設定されており、チャンネルフィルタリング制御フィールドの両ビットが "1" のとき、フレームの送信は行われず、受信フレームは無視されます (CH ビット = "00" と同じ機能)。

18.3.8.4 FIFO フィルタリング

FIFO フィルタリングでは FLXAnFRFRF レジスタおよび FLXAnFRFRFM レジスタを使用します。FIFO フィルタはチャンネルフィルタ (FLXAnFRFRF.CH[1:0] ビット)、フレーム ID フィルタ (FLXAnFRFRF.FID[10:0] ビット) およびサイクルカウンタフィルタ (FLXAnFRFRF.CYF[6:0] ビット) から構成されています。FLXAnFRFRF レジスタおよび FLXAnFRFRFM レジスタは DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定できます。FIFO に割り当てられたメッセージバッファのヘッダセクションに対するフィルタ設定は無視されます。

7 ビットのサイクルカウンタフィルタはフレーム ID フィルタとチャンネルリジェクションフィルタが適用されるサイクルセットを決定します。FLXAnFRFRF.CYF ビットで設定されたサイクルセットに該当しないサイクルでは、すべてのフレームが除外されます。

FLXAnFRFRF レジスタと FLXAnFRFRFM レジスタの設定によってチャンネル ID、フレーム ID およびサイクルカウンタが除外されず、かつ一致する専用受信バッファがない場合、有効な受信フレームが FIFO に格納されます。

18.3.9 送信プロセス

18.3.9.1 スタティックセグメント

スタティックセグメントでは、送信待ちメッセージがある場合、次の送信スロットに対応するフレーム ID を持ったメッセージが送信するために選択されます。

スタティックセグメントに割り当てられた送信バッファのデータセクションは、その前のタイムスロットの終了時まで更新できます。つまり、遅くともこのときまでに FlexRay 入力バッファコマンド要求レジスタ (FLXAnFRIBCR レジスタ) に書き込み、入力バッファからの転送を開始させる必要があります。

18.3.9.2 ダイナミックセグメント

ダイナミックセグメントでは、送信待ちメッセージがある場合、優先度が高い (フレーム ID の小さい) メッセージが次の送信に選択されます。このセグメントではチャンネル A とチャンネル B で異なるスロットカウンタシーケンスを使用できます (両チャンネルで異なるフレーム ID の同時送信が可能)。

ダイナミックセグメントに割り当てられた送信バッファのデータセクションは、その前のスロットの終了時まで更新できます。つまり、遅くともこのときまでに FlexRay 入力バッファコマンド要求レジスタ (FLXAnFRIBCR レジスタ) に書き込み、入力バッファからの転送を開始させる必要があります。

FLXAnFRMHDC.SLT[12:0] ビットで設定される最終送信開始位置により、最大ミニスロット値が定義されます。このスロット以降、現サイクルのダイナミックセグメントでは新たなフレーム送信は禁止になります。

18.3.9.3 送信バッファ

FlexRay メッセージバッファは、FLXAnFRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに“1”を書き込むことで、送信バッファに設定できます。

送信バッファの CC チャンネルへの割り当ては以下のいずれかになります。

- スタティックセグメント：チャンネル A またはチャンネル B
チャンネル A とチャンネル B の両方
- ダイナミックセグメント：チャンネル A またはチャンネル B

メッセージバッファ 0、1 は、それぞれ FLXAnFRSUCC1.TXST、FLXAnFRSUCC1.TXSY、FLXAnFRSUCC1.TSM ビットで設定したとおり、Startup フレーム、Sync フレーム、指定された SINGLE スロットフレーム専用となります。この場合、DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定変更ができます。このため各ノードは、1つのコミュニケーションサイクルに多くとも1つの Startup フレーム / Sync フレームしか送信できません。他のメッセージバッファから Startup フレーム / Sync フレームを送信することはできません。

スタティックセグメントまたはダイナミックセグメントでの送信用に設定されている他のメッセージバッファはすべて、FLXAnFRMRC.SEC[1:0] ビットの設定次第でランタイム中に設定変更可能です (「18.3.12.1 メッセージバッファの設定変更」参照)。(データポインタによって参照されるという) メッセージ RAM のデータパーティションの構成上、メッセージバッファのヘッダセクションのペイロード長とデータポインタの設定変更はエラーを引き起こす可能性があります。

ランタイム中にメッセージバッファが設定変更 (ヘッダセクションを更新) された場合、このメッセージバッファは、対応するコミュニケーションサイクル中に送信されない場合があります。

CCにはヘッダCRCを計算する機能はありません。プログラムですべての送信バッファにヘッダCRCを用意する必要があります。ネットワーク管理が必要な場合、該当するメッセージバッファのヘッダセクションにあるPPITビットを“1”に設定し、データセクションにネットワーク管理情報を書き込む必要があります（「18.3.7 ネットワーク管理」参照）

ペイロード長フィールドは2バイト単位でペイロード長を設定します。スタティック送信バッファのペイロード長がFLXAnFRMHDC.SFDL[6:0]ビットに設定したスタティックセグメントでのペイロード長より短い場合、CCはフレームが正しい物理長になるようにパディングバイトを生成します。パディングパターンは“0000_H”です。

注 意

ペイロード長が奇数の場合（PLC = 1、3、5、...）、パディングパターンを確実に“0000_H”にするため、アプリケーションは、メッセージバッファのデータセクションの最後の16ビットに“0”を書き込む必要があります。

それぞれの送信バッファには、ホストによる送信バッファの送信モード設定を可能にする、送信モードフラグTXMが1つあります。このビットがセットされると、トランスミッタはシングルショットモードで動作します。このビットがクリアされると、トランスミッタは連続モードで動作します。

シングルショットモードでは、送信完了後に対応するTXRフラグが“0”になります。このとき送信バッファの更新が可能です。

連続送信モードでは、送信が完了しても対応する送信要求フラグ（TXR）は“0”になりません。この場合、フィルタ条件が一致するごとにフレームが送信されます。TXRフラグを“0”にするには、FLXAnFRIBCM.STXRHビットが“0”の間に当該メッセージバッファ番号をFLXAnFRIBCRレジスタに書き込みます。

2つ以上の送信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい送信バッファが対応するスロットで送信されます。

18.3.9.4 フレーム送信

以下にメッセージバッファを送信するための手順を示します。

- FLXAnFRWRHS1～FLXAnFRWRHS3レジスタによりメッセージRAMの送信バッファを設定する。
- FLXAnFRWRDSmレジスタにより送信バッファのデータセクションを書き込む。
- 対象となるメッセージバッファ番号をFLXAnFRIBCRレジスタに書き込むことで、入力バッファからメッセージRAMに設定値とメッセージデータを転送する。
- FLXAnFRIBCMレジスタで設定した場合、転送完了次第、対象のメッセージバッファの送信要求フラグ（TXR）が“1”になり、メッセージバッファの送信準備が完了する。
- FLXAnFRTRXQ1～FLXAnFRTRXQ4レジスタの対応するTXRフラグをチェックする（TXR = “0”）ことで、メッセージバッファが送信されたかどうかを確認する（シングルショットモードのみ）。

送信完了後、FLXAnFRTRXQ1～FLXAnFRTRXQ4レジスタの対応するTXRフラグが“0”になります（シングルショットモードのみ）。また、メッセージバッファのヘッダセクションのMBIビットが“1”の場合、FLXAnFRSIR.TXIビットが“1”になります。割り込みが許可されている場合、割り込み要求が発生します。

18.3.9.5 Null フレーム送信

スタティックセグメントにおいて、送信前に送信要求フラグが“1”になっていない場合、CCは、Null フレームインジケータビットを“0”、ペイロードデータを0にしてNull フレームを送信します。

以下の場合 Null フレームが送信されます。

- フィルタ条件に合致するメッセージバッファ番号が最も小さいメッセージバッファの送信要求フラグが“1”になっていない場合 (TXR = “0”)
- そのスロットに設定された送信バッファのサイクルカウンタフィルタが、現在のサイクルに一致しない場合。この場合、メッセージバッファステータス (FLXAnFRMBS) は更新されません。

ダイナミックセグメントでは Null フレームは送信されません。

18.3.10 受信プロセス

18.3.10.1 専用受信バッファ

一部の FlexRay メッセージバッファは、FLXAnFRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに“0”を書き込むことで、専用受信バッファに設定できます。

受信バッファの CC チャンネルへの割り当ては以下のいずれかになります。

- スタティックセグメント：チャンネル A またはチャンネル B
チャンネル A とチャンネル B の両方 (最初のセマンティクス的に有効なフレームを格納)
- ダイナミックセグメント：チャンネル A またはチャンネル B

CCは、FlexRay チャンネルプロトコルコントローラ (チャンネル A または B) のシフトレジスタから一致するフィルタ設定を持つ受信バッファに、有効な受信メッセージのペイロードデータを転送します。受信バッファは、フレーム CRC 以外のすべてのフレーム要素を格納します。

スタティックセグメントまたはダイナミックセグメントでの受信用に設定されているメッセージバッファはすべて、FLXAnFRMRC.SEC[1:0] ビットの設定次第でランタイム中に設定変更可能です (「18.3.12.1 メッセージバッファの設定変更」参照)。ランタイム中にメッセージバッファの設定を変更 (ヘッダセクションを更新) すると、対応するコミュニケーションサイクルで受信メッセージが失われる可能性があります。

2つ以上の受信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい受信バッファが対応する受信メッセージで更新されます。

18.3.10.2 フレーム受信

以下に専用受信メッセージバッファに受信準備をするための手順を示します。

- FLXAnFRWRHS1 ~ FLXAnFRWRHS3 レジスタによりメッセージRAMの受信バッファを設定する。
- 対象となるメッセージバッファ番号を FLXAnFRIBCR レジスタに書き込むことで、入力バッファからメッセージRAMに設定値を転送する。

上記の手順を実行したら、メッセージバッファは受信バッファとして機能し、メッセージを受信するたびに行われる内部アクセプタンスフィルタリング処理に参加します。最初に一致した受信バッファが受信メッセージにより更新されます。

有効なペイロードセグメントがメッセージバッファのデータセクションに格納された場合、FLXAnFRNDAT1 ~ FLXAnFRNDAT4 レジスタの対応する ND フラグが“1”になります。また、メッセージバッファのヘッダセクションにある MBI ビットが“1”の場合、FLXAnFRSIR.RXI ビットが“1”になります。割り込みが許可されている場合、割り込み要求が発生します。

メッセージハンドラがメッセージバッファを更新したときに ND ビットがすでに“1”になっていた場合、対応するメッセージバッファの FLXAnFRMBS.MLST ビットが“1”になり、未処理のメッセージデータは失われます。

フレームを受信しなかった場合、または Null フレームや破損したフレームを受信した場合、このスロットに設定されたメッセージバッファのデータセクションは更新されません。この場合、対応するメッセージバッファステータス (FLXAnFRMBS) だけが更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにある FlexRay メッセージバッファステータス (FLXAnFRMBS) を変化させたとき、FLXAnFRMBSC1 ~ FLXAnFRMBSC4 レジスタの対応する MBC フラグが“1”になります。また、メッセージバッファのヘッダセクションにある MBI ビットが“1”の場合、FLXAnFRSIR.MBSI ビットが“1”になります。割り込みが許可されている場合、割り込み要求が発生します。

受信したフレームのペイロード長 (PLR) が、対応するメッセージバッファのヘッダセクションにある PLC ビットの設定値より長い場合、メッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。

出力バッファを介してメッセージ RAM から受信バッファを読み出すには、「**18.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」に記載の処理を行ってください。

注 意

受信メッセージのペイロードデータとヘッダが出力バッファに転送された場合、ND フラグと MBC フラグは自動的に“0”になります。

18.3.10.3 Null フレーム受信

受信した Null フレームのペイロードセグメントは、一致した専用受信バッファにコピーされません。Null フレームが受信されると、一致したメッセージバッファの FlexRay メッセージバッファステータス (FLXAnFRMBS) だけが受信した Null フレームにより更新されます。一致したメッセージバッファのヘッダ 2 と 3 にあるビットはいずれも変化しません。これらのビットの内容は受信データフレームによってのみ更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにある FlexRay メッセージバッファステータス (FLXAnFRMBS) を変化させたとき、FLXAnFRMBSC1 ~ FLXAnFRMBSC4 レジスタの対応する MBC フラグが“1”になります。また、メッセージバッファのヘッダセクションにある MBI ビットが“1”の場合、FLXAnFRSIR.MBSI フラグが“1”になります。割り込みが許可されている場合、割り込み要求が発生します。

18.3.11 FIFO 機能

18.3.11.1 解説


メッセージバッファの一部を FIFO バッファとして設定できます。FIFO に設定したメッセージバッファは、FLXAnFRMRC.FFB[7:0] ビットで指定したメッセージバッファから始まり、FLXAnFRMRC.LCB[7:0] ビットで指定したメッセージバッファで終わるレジスタマップ内で、連続しています。最大 127 のメッセージバッファを FIFO に割り当てることができます。

専用受信バッファには一致しなかったが、プログラマブル FIFO フィルタはパスした有効な受信メッセージはすべて FIFO に格納されます。この場合、指定された FIFO メッセージバッファのフレーム ID、ペイロード長、受信サイクルカウント、FlexRay メッセージバッファステータス (FLXAnFRMBS) にはそれぞれ受信フレームの値が上書きされます。FLXAnFRSIR.RFNE フラグが“1”の場合、受信 FIFO がエンプティでないことを、RFCL ビットが“1”の場合、受信 FIFO フィルレベル (FLXAnFRFSR.RFFL[7:0]) が FLXAnFRSIR.RFCL ビットで設定されたクリティカルレベル以上であることを、また FLXAnFREIR.RFO ビットが“1”の場合、FIFO オーバランが検出されたことを示します。割り込みが許可されている場合、割り込み要求が発生します。

Null フレームが FIFO リジェクションフィルタで除去されなかった場合、その Null フレームは FIFO に格納されたときデータフレームのように扱われます。

FIFO に関連した 2 つのインデックスレジスタがあります。PUT インデックスレジスタ (PIDX) は FIFO 内で次に使用可能な場所を示すインデックスです。新しいメッセージを受信したとき、当該メッセージは PIDX レジスタに示されるメッセージバッファに書き込まれます。その後 PIDX レジスタはインクリメントされ、次に使用可能なメッセージバッファを示します。PIDX レジスタが FIFO のメッセージバッファ番号の最大値を超えると、PIDX レジスタには FIFO チェーン内の先頭 (最も値が小さい) メッセージバッファの番号が設定されます。GET インデックスレジスタ (GIDX) は次に読み出される FIFO のメッセージバッファを示すために使用します。FIFO 内のメッセージバッファの内容が出力バッファへ転送されると、GIDX レジスタはインクリメントされます。PIDX レジスタと GIDX レジスタへは CPU からアクセスできません。

PIDX レジスタの値が GIDX レジスタの値に達したとき、FIFO はフルになります。一番古いメッセージが読み出される前に新しいメッセージが書き込まれると、両レジスタはインクリメントされ、新しいメッセージは一番古いメッセージに上書きします。このとき FIFO オーバランフラグ (FLXAnFREIR.RFO ビット) が“1”になります。

PIDX レジスタの値が GIDX レジスタの値と異なる場合、FIFO がエンプティでないことがわかります。このとき FLXAnFRSIR.RFNE フラグが“1”になります。これは少なくとも 1 つの受信メッセージが FIFO にあることを示します。FIFO エンプティ、FIFO 非エンプティ、FIFO オーバランの状態を、3 つのメッセージバッファからなる FIFO を例に  18.11 に示します。

プログラマブル FIFO リジェクションフィルタ (FLXAnFRFRF レジスタ) は、除去されるメッセージのフィルタパターンを定義します。FIFO フィルタはチャネルフィルタ、フレーム ID フィルタ、サイクルカウンタフィルタで構成されます。FLXAnFRFRF.RSS ビットが“1”の場合、スタティックセグメントで受信したメッセージはすべて FIFO に除去されます。RNF ビットが“1”の場合、受信した Null フレームは FIFO に格納されません。

FlexRay FIFO リジェクションフィルタマスク (FLXAnFRFRFM レジスタ) では、FLXAnFRFRF レジスタのフレーム ID フィルタのどのビットを除外フィルタリングで“don't care”にするかを指定します。

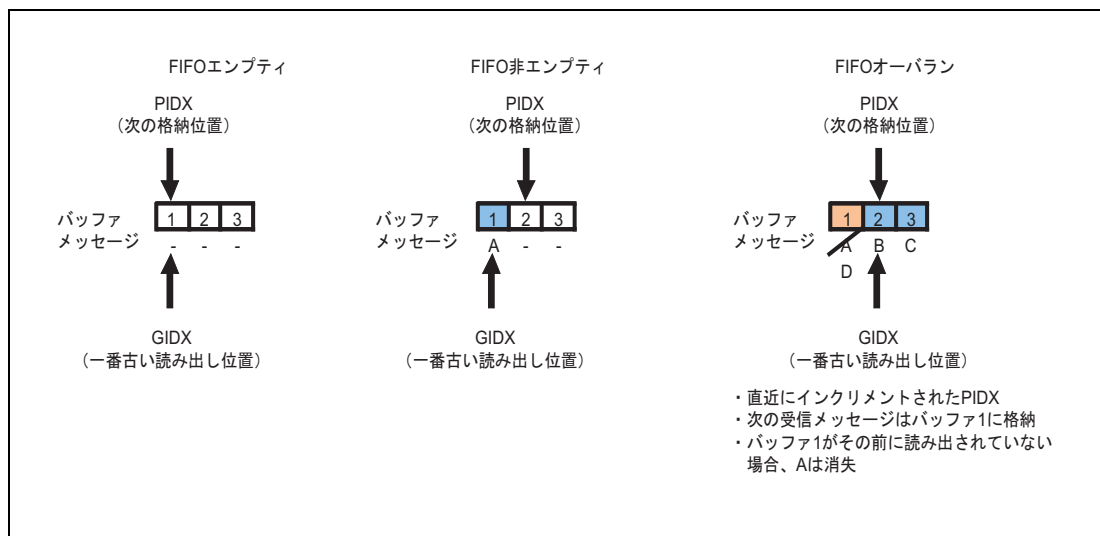


図 18.11 FIFO ステータス：エンプティ、非エンプティ、オーバラン

18.3.11.2 FIFO の設定

FIFO に設定したメッセージバッファの設定（もしくは設定変更）は、CC が DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。CC が DEFAULT_CONFIG 状態または CONFIG 状態にあるとき、FIFO 機能は使用できません。

FIFO に設定したすべてのメッセージバッファにおいて、FLXAnFRWRHS2.PLC[6:0] ビットで設定するペイロード長は同じ値にする必要があります。メッセージ RAM の各メッセージバッファのデータセクションの最初の 32 ビットへのデータポインタは、FLXAnFRWRHS3.DP[10:0] ビットで設定します。

アクセプタンスフィルタリングに必要な情報はすべて、FlexRay FIFO リジェクションフィルタレジスタおよび FlexRay FIFO リジェクションフィルタマスクレジスタから取り出されます。FIFO に設定したメッセージバッファのヘッダセクションに設定されている値は、DP ビットおよび PLC ビットを除いて、意味を持ちません。

注 意

1. 受信割り込み要求が発生しないよう、FIFO に設定したメッセージバッファの MBI ビットは FLXAnFRWRHS1 レジスタを使用して “0” にすることを推奨します。
2. 受信したフレームのペイロード長が、対応するメッセージバッファのヘッダセクションにある FLXAnFRWRHS2.PLC ビットの設定値より長い場合、FIFO のメッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。

18.3.11.3 FIFO へのアクセス

(1) 出力バッファを使用

DEFAULT_CONFIG 状態または CONFIG 状態以外で FIFO にアクセスするには、(FLXAnFRMRC.FFB[7:0] ビットで参照される) FIFO の先頭メッセージバッファ番号を FLXAnFROBCR レジスタに書き込み、メッセージ RAM から出力バッファへの転送を起動する必要があります。そうすると、メッセージハンドラが GET インデックスレジスタ (GIDX) で示されるメッセージバッファを出力バッファに転送します。この転送の後、GIDX レジスタはインクリメントされます。

(2) データ転送機能を使用

FIFO に受信したメッセージは、出力データ転送機能を使用して、Local RAM に転送できます。出力データ転送機能については、「18.3.16.2 出力データ転送」を参照してください。

18.3.12 メッセージハンドリング

メッセージハンドラは、入力バッファ / 出力バッファとメッセージ RAM 間、メッセージ RAM と 2 つの TBF 間のデータ転送を制御します。

メッセージ RAM に格納されたメッセージバッファへのアクセスは、メッセージハンドラステートマシンの制御下で行われます。これにより、2 つの FlexRay チャネルプロトコルコントローラと CPU がメッセージ RAM へアクセスする際の衝突が避けられます。

スタティックセグメントに割り当てられたメッセージバッファのフレーム ID は、1 から FLXAnFRGTUC7.NSS[9:0] ビットの設定値までの範囲に収まる必要があります。ダイナミックセグメントに割り当てられたメッセージバッファのフレーム ID は、「FLXAnFRGTUC7.NSS[9:0] ビットの設定値 +1 ~ 2047」の範囲に収まる必要があります。

一致する専用受信バッファ (スタティックセグメントまたはダイナミックセグメント) がない受信メッセージは、FIFO リジェクションフィルタをパスすれば、受信 FIFO (設定されている場合) に格納されます。

ここでは、入力バッファ機能または出力バッファ機能を使用したメッセージバッファの内容へのホストアクセスについて説明します。データ転送機能を使用したメッセージバッファの内容へのアクセスについては、「18.3.16 データ転送機能」で説明しています。

18.3.12.1 メッセージバッファの設定変更

アプリケーションが 128 を超えるメッセージを扱う必要がある場合、FlexRay オペレーション中にスタティックおよびダイナミックメッセージバッファの設定を変更することができます。入力バッファレジスタ (FLXAnFRWRHS1 ~ FLXAnFRWRHS3 レジスタ) で、各メッセージバッファのヘッダセクションを更新してください。

設定変更は、FlexRay メッセージ RAM 設定レジスタの FLXAnFRMRC.SEC ビットで可能になります。

設定変更を始める前にメッセージバッファが送信されなかった、あるいは受信フレームにより更新されなかった場合、そのメッセージは失われます。

設定変更されたメッセージバッファが、設定変更されたフレーム ID に従って送信 / 受信される準備が整うタイミングは、ヘッダセクションの更新が完了したときのスロットカウンタの実際の状態に依存します。このため、設定変更されたメッセージバッファが、設定変更されたサイクルで送信されない、あるいは受信フレームにより更新されない場合があります。

メッセージ RAM は表 18.102 に従ってスキャンされます。

表 18.102 メッセージ RAM のスキャン

スキャンの開始スロット	スロットのスキャン
1	2...15, 1 (次のサイクル)
8	16...23, 1 (次のサイクル)
16	24...31, 1 (次のサイクル)
24	32...39, 1 (次のサイクル)
...	...

メッセージ RAM のスキャンは、スキャンが終了したかどうかに関わらず NIT の開始とともに終了させられます。スロット 2～15 に対応するメッセージ RAM のスキャンは、現行のサイクルのスロット 1 の先頭で開始します。スロット 1 に対応するメッセージ RAM のスキャンは、次のサイクルのスロット 1 用に設定されたメッセージバッファがあるかどうかを、各メッセージ RAM のスキャンと並行してチェックすることで、その前のサイクルで行われます。

ダイナミックメッセージバッファの先頭番号は FLXAnFRMRC.FDB[7:0] ビットで設定します。メッセージ RAM のスキャンをダイナミックセグメント中に開始する場合、スキャンは FLXAnFRMRC.FDB ビットで設定されたメッセージバッファ番号から開始されます。

次のサイクルのスロット 1 でメッセージバッファを使用するように再設定するには、以下の点を考慮してください。

- スロット 1 用に再設定するメッセージバッファが「スタティックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージ RAM スキャンが、このメッセージバッファを評価する前に再設定した場合のみ検出されます。
- スロット 1 用に再設定するメッセージバッファが「スタティックバッファ+ダイナミックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージ RAM スキャンが、このメッセージバッファを評価する前に再設定した場合のみ検出されます。
- NIT が始まるとメッセージ RAM スキャンは終了します。この時点までにメッセージ RAM スキャンが再設定されたメッセージバッファを評価していない場合、そのメッセージバッファは次のサイクル用とは認識されません。

注 意

メッセージバッファの設定変更は、メッセージが失われる可能性があるため、十分に注意して実施してください。最悪の場合（連続サイクルでの設定変更時）、メッセージバッファがまったく送信されなかったり、受信フレームによって更新されなかったりすることもあります。

18.3.12.2 メッセージ RAM へのアクセス

入力バッファとメッセージ RAM 間、メッセージ RAM と出力バッファ間のメッセージ転送は、プログラムで、それぞれ転送先 / 転送元メッセージバッファ番号を FLXAnFRIBCR レジスタまたは FLXAnFROBCR レジスタに書き込むことで起動されます。

FLXAnFRIBCM レジスタ、FLXAnFROBCM レジスタは、選択されたメッセージバッファのヘッダセクションとデータセクションを個別に書き込んだり読み出したりするのに使用します。

FLXAnFRIBCM レジスタの STXR ビットが“1”の場合、選択されたメッセージバッファが更新された後、このメッセージバッファの送信要求フラグ (TXR ビット) は自動的に“1”になります。STXR ビットに“0”を書き込むと、選択されたメッセージバッファの送信要求フラグ (TXR ビット) は“0”になります。これは、連続モードで動作しているメッセージバッファからの送信を停止するのに使用できます。

入力バッファ (IBF) と出力バッファ (OBF) は、二重バッファ構成になっています。この二重バッファの構成の一方は CPU からアクセスでき (IBF ホスト / OBF ホスト)、もう一方 (IBF シャドウ / OBF シャドウ) は IBF/OBF とメッセージ RAM 間のデータ転送のためにメッセージハンドラからアクセスされます。

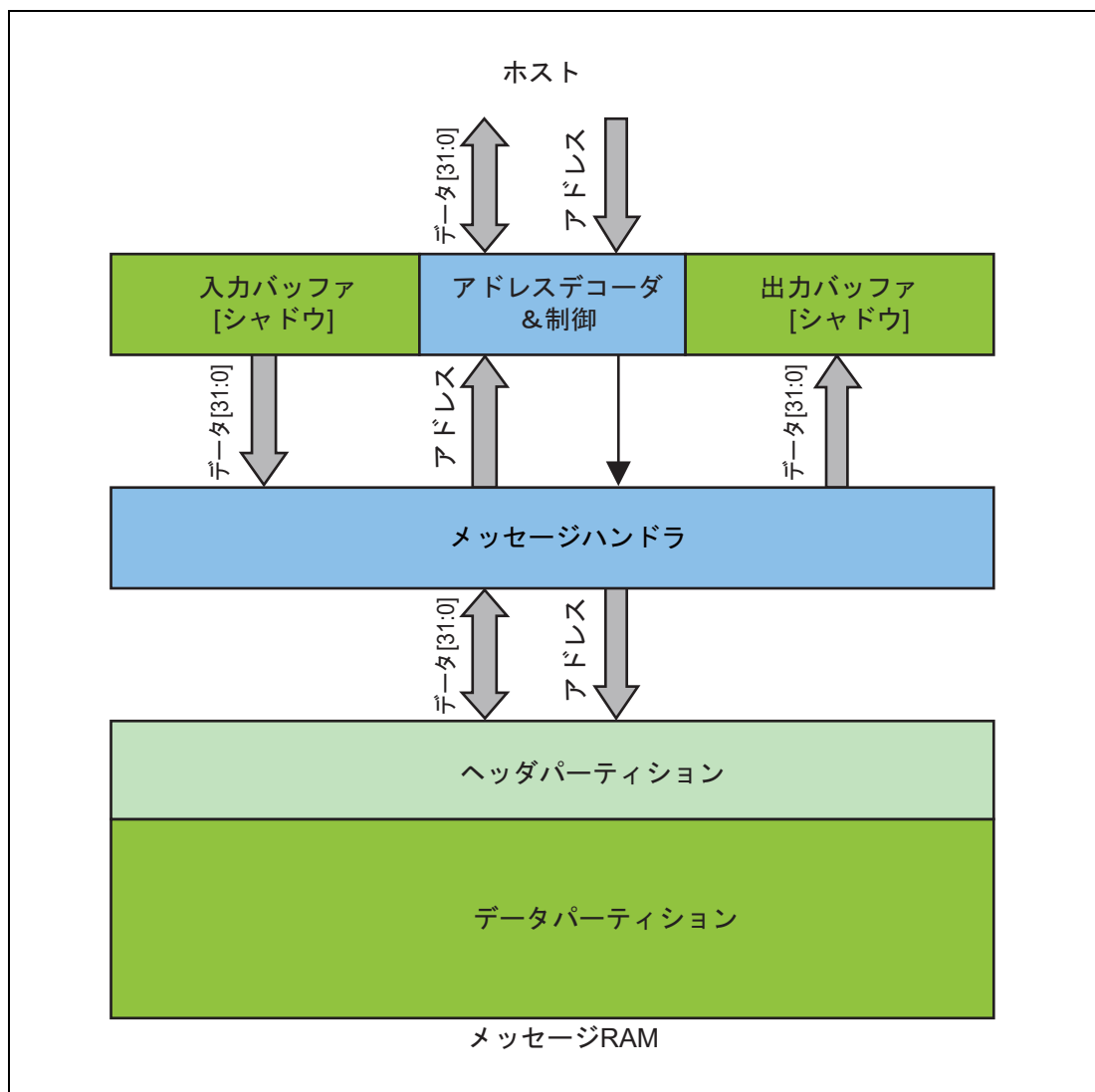


図 18.12 メッセージ RAM へのアクセス

(1) 入力バッファからメッセージ RAM へのデータ転送

メッセージ RAM 内のメッセージバッファを設定あるいは更新するには、データを FLXAnFRWRDSm レジスタに、ヘッダを FLXAnFRWRHS1 ~ FLXAnFRWRHS3 に書き込む必要があります。特殊な動作は FlexRay 入力バッファコマンドマスクレジスタ (FLXAnFRIBCM レジスタ) を設定することで選択されます。

FLXAnFRIBCR.IBRH[6:0] ビットにメッセージ RAM 内の転送先メッセージバッファ番号を書き込むと、IBF ホストと IBF シャドウが切り替わります (図 18.13 参照)。

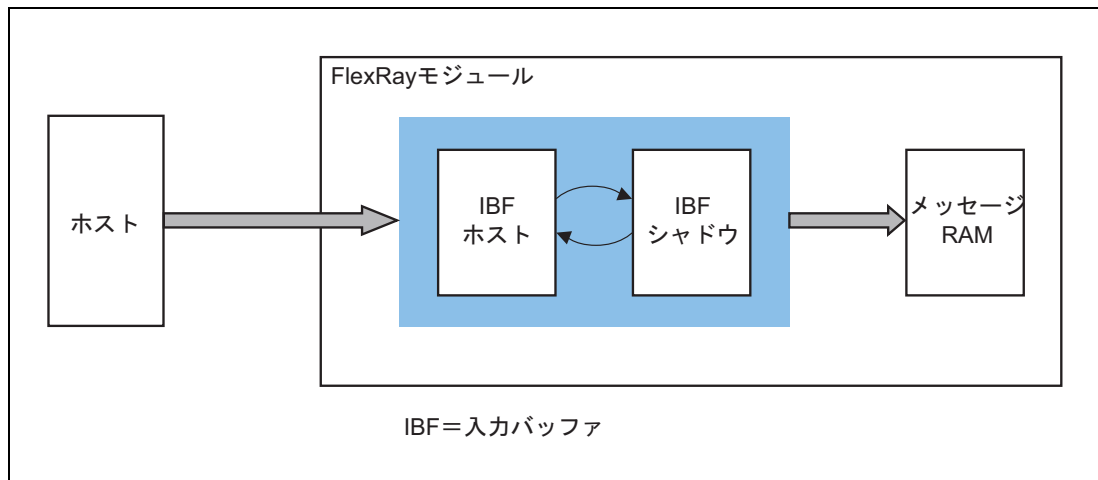


図 18.13 入力バッファのダブルバッファ構造

さらに FLXAnFRIBCM レジスタと FLXAnFRIBCR レジスタの各ビットも、各 IBF セクションにある値を維持したまま切り替わります (図 18.14 参照)。

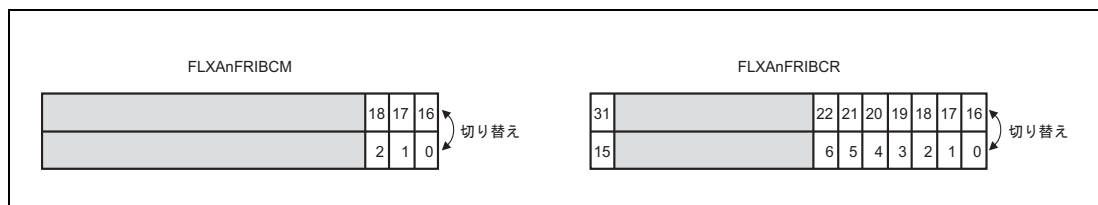


図 18.14 FLXAnFRIBCM レジスタと FLXAnFRIBCR レジスタのビットの切り替え

この書き込み動作により、FLXAnFRIBCR.IBSYS ビットが“1”にセットされます。その後、メッセージハンドラが IBF シャドウの内容を、メッセージ RAM 内の FLXAnFRIBCR.IBRS[6:0] ビットで選択されたメッセージバッファへ転送し始めます。

メッセージハンドラが IBF シャドウからメッセージ RAM 内の目的のメッセージバッファへデータを転送している間、次のメッセージを IBF ホストに書き込むことができます。IBF シャドウとメッセージ RAM 間の転送が完了した後、FLXAnFRIBCR.IBSYS ビットは再び“0”になり、FLXAnFRIBCR.IBRH[6:0] ビットに次の転送先メッセージバッファ番号を書き込むことで、メッセージ RAM への次の転送を開始できます。

FLXAnFRIBCR.IBSYS ビットが“1”のときに FLXAnFRIBCR.IBRH[6:0] に書き込むと、FLXAnFRIBCR.IBSYH ビットが“1”になります。実行中の IBF シャドウからメッセージ RAM へのデータ転送が完了した後、IBF ホストと IBF シャドウが切り替わり、FLXAnFRIBCR.IBSYH ビットは“0”になります。また、FLXAnFRIBCR.IBSYS ビットは“1”のままになり、次のメッセージ RAM への転送が始まります。さらに、

FLXAnFRIBCR.IBRH[6:0] ビットと FLXAnFRIBCR.IBRS[6:0] ビットに入っているメッセージバッファ番号とコマンドマスクフラグも入れ替わります。

8/16/32 ビットのアクセスシーケンス例

IBF を介して k 番目のメッセージ番号を設定 / 更新

- FLXAnFRIBCR.IBSYH ビットが “0” になるまで待つ
- データセクションを FLXAnFRWRDSm に書き込む
- ヘッダセクションを FLXAnFRWRHS1 ~ FLXAnFRWRHS3 レジスタに書き込む
- コマンドマスクを書き込む : FLXAnFRIBCM レジスタの STXRH、LDSH、LHSH ビットの設定
- 目的のメッセージバッファへのデータ転送を要求する : FLXAnFRIBCR.IBRH[6:0] ビットの設定

IBF を介して k+1 番目のメッセージ番号を設定 / 更新

- FLXAnFRIBCR.IBSYH ビットが “0” になるまで待つ
- データセクションを FLXAnFRWRDSm に書き込む
- ヘッダセクションを FLXAnFRWRHS1 ~ FLXAnFRWRHS3 レジスタに書き込む
- コマンドマスクを書き込む : FLXAnFRIBCM レジスタの STXRH、LDSH、LHSH ビットの設定
- 目的のメッセージバッファへのデータ転送を要求する : FLXAnFRIBCR.IBRH[6:0] ビットの設定

注 意

FLXAnFRIBCR.IBSYH ビットが “1” のときに IBF に書き込みアクセスすると、FLXAnFREIR.IIBA ビットが “1” になります。この場合その書き込みアクセスは無視されます。

表 18.103 FLXAnFRIBCM レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
18	R	STXRS	送信要求シャドウ設定フラグ (転送中または転送完了)
17	R	LDSS	データセクションシャドウロードフラグ (転送中または転送完了)
16	R	LHSS	ヘッダセクションシャドウロードフラグ (転送中または転送完了)
2	R/W	STXRH	送信要求ホスト設定
1	R/W	LDSH	データセクションホストロード設定ビット
0	R/W	LHSH	ヘッダセクションホストロード設定ビット

表 18.104 FLXAnFRIBCR レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
31	R	IBSYS	入力バッファビジーシャドウフラグ IBF シャドウからメッセージ RAM に転送中
22...16	R	IBRS[6:0]	入力バッファ要求シャドウフラグ 転送中または最後に転送したメッセージバッファ番号
15	R	IBSYH	入力バッファビジーホストフラグ IBRH[6:0] で示されるメッセージバッファへの転送が保留中
6...0	R/W	IBRH[6:0]	入力バッファ要求ホストビット 次に転送されるメッセージバッファ番号

(2) メッセージ RAM から出力バッファへのデータ転送

メッセージ RAM からメッセージバッファのデータを読み出すには、FLXAnFROBCR レジスタに値を書き込み、FLXAnFROBCM レジスタで設定したデータ転送を行う必要があります。転送完了後、転送されたデータは FLXAnFRRDDSm、FLXAnFRRDHS1 ~ FLXAnFRRDHS3、FLXAnFRMBS レジスタから読み出せます。

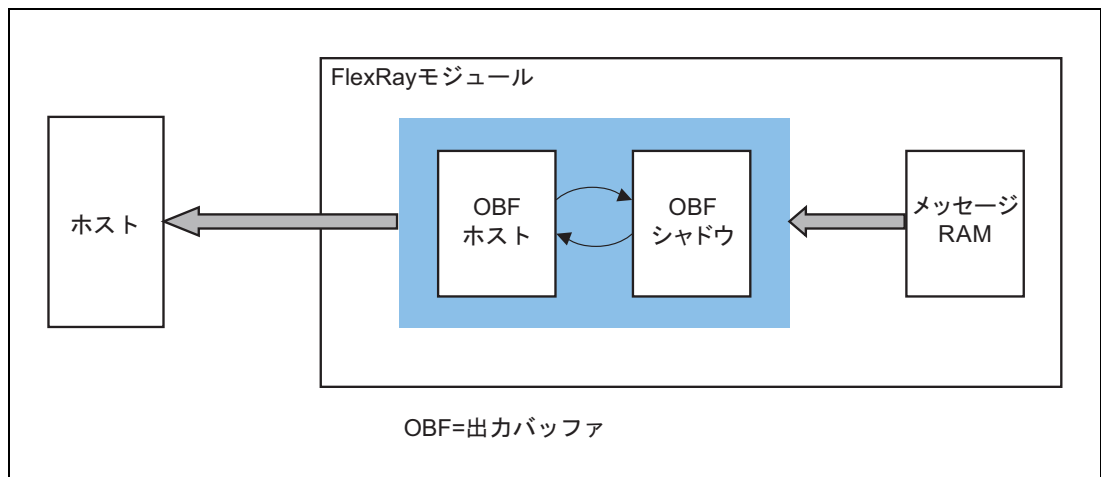


図 18.15 出力バッファのダブルバッファ構造

OBF ホストと OBF シャドウ、FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS、FLXAnFROBCM.RHSH、FLXAnFROBCM.RDSH ビット、FLXAnFROBCR.OBRS[6:0]、FLXAnFROBCR.OBRH[6:0] ビットが、FLXAnFROBCR.VIEW ビットと FLXAnFROBCR.REQ ビットの設定に従って切り替わります。

FLXAnFROBCR.REQ ビットに“1”を書き込むと、FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビット、FLXAnFROBCR.OBRS[6:0] ビットの内容が内部メモリにコピーされます（図 18.16 参照）。

FLXAnFROBCR.REQ ビットを“1”にした後、FLXAnFROBCR.OBSYS ビットが“1”になり、FLXAnFROBCR.OBRS[6:0] ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。メッセージ RAM から OBF シャドウへの転送が完了すると、FLXAnFROBCR.OBSYS ビットは“0”に戻ります。FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットは、FLXAnFROBCR.OBSYS ビットが“0”のときのみ“1”を書き込みます。

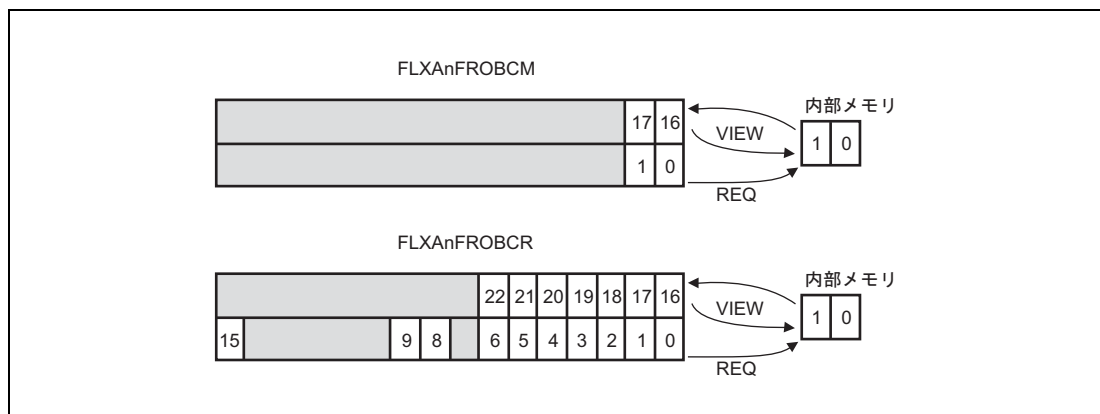


図 18.16 FLXAnFROBCM レジスタと FLXAnFROBCR レジスタのビットの切り替え

FLXAnFROBCR レジスタの OBSYS ビットが“0”のときに VIEW ビットに“1”を書き込むと、OBF ホストと OBF シャドウが切り替わります（図 18.15 参照）。

同時に FLXAnFROBCR.OBRH[6:0] ビット、FLXAnFROBCM.RHSH、FLXAnFROBCM.RDSH ビットの値も内部メモリの値と切り替わります。このように、FLXAnFROBCR.OBRH[6:0] ビットに格納されたメッセージバッファ番号と、FLXAnFROBCM.RDSH ビット、FLXAnFROBCM.RHSH ビットに格納されたマスク設定が、OBF ホストに書き込まれた転送データと一致することが保証されます（図 18.16 参照）。

メッセージハンドラが次のメッセージをメッセージ RAM から OBF シャドウへ転送している間に、CPU は転送されたメッセージバッファを OBF ホストから読み出すことができます。

OBSYS ビットが“0”のときに REQ ビットと VIEW ビットに同時に“1”を書き込むと、OBSYS ビットが自動的に“1”にセットされ、OBF シャドウと OBF ホストが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。その後、FLXAnFROBCR.OBRS[6:0] ビットの値は FLXAnFROBCR レジスタの内部メモリに、FLXAnFROBCM.RDSS ビットおよび FLXAnFROBCM.RHSS ビットの値は FLXAnFROBCM レジスタの内部メモリにコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送している間、CPU は前回転送されたメッセージバッファを OBF ホストから読み出すことができます。メッセージ RAM と OBF シャドウ間の最新の転送が完了すると、FLXAnFROBCR.OBSYS ビットを“0”に戻すことで完了が通知されます。

単一メッセージバッファへの 8/16/32 ビットアクセス例：

1つのメッセージバッファを読み出すには、FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットに対して個々に書き込みアクセスが必要です。

- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- 出力バッファコマンドマスクを書き込む：FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- FLXAnFROBCR.OBRS[6:0] ビットと FLXAnFROBCR.REQ ビットに値を書き込むことで（8ビット単位で FLXAnFROBCR レジスタにアクセスする場合、FLXAnFROBCR.REQ ビットの前に FLXAnFROBCR.OBRS[6:0] ビットを書き込む）、メッセージバッファの OBF シャドウへの転送を要求する
- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ

- FLXAnFROBCR.VIEW ビットに“1”を書き込み、OBF シャドウと OBF ホストを切り替える
- FLXAnFRRDDSm、FLXAnFRRDHS1 ~ FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、転送されたメッセージバッファを読み出す

8/16/32 ビットアクセスシーケンス例：

1 回目のメッセージバッファの OBF シャドウへの転送要求を行う。

- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- 1 回目のメッセージバッファに対する出力バッファコマンドマスクを書き込む：
FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- FLXAnFROBCR.OBRS[6:0] ビットと FLXAnFROBCR.REQ ビットに値を書き込むことで（8 ビット単位で FLXAnFROBCR レジスタにアクセスする場合、FLXAnFROBCR.REQ ビットの前に FLXAnFROBCR.OBRS[6:0] ビットを書き込む）、1 回目のメッセージバッファの OBF シャドウへの転送を要求する

OBF シャドウと OBF ホストを切り替え、1 回目に転送されたメッセージバッファの読み出しと 2 回目のメッセージバッファの転送要求を行う。

- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- 2 回目のメッセージバッファに対する出力バッファコマンドマスクを書き込む：
FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- 2 回目のメッセージバッファのメッセージバッファ番号を FLXAnFROBCR.OBRS[6:0] ビットに書き込み、FLXAnFROBCR.REQ ビット、FLXAnFROBCR.VIEW ビットに値を書き込むことで（8 ビット単位で FLXAnFROBCR レジスタにアクセスする場合、FLXAnFROBCR.REQ ビット、FLXAnFROBCR.VIEW ビットの前に FLXAnFROBCR.OBRS[6:0] ビットに書き込む）、OBF シャドウと OBF ホストを切り替え、同時に 2 回目のメッセージバッファの OBF シャドウへの転送を要求する
- FLXAnFRRDDSm、FLXAnFRRDHS1 ~ FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、1 回目に転送されたメッセージバッファを読み出す

...

他のメッセージバッファへの要求をせずに、最後に転送要求したメッセージバッファへのアクセスを要求する。

- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- FLXAnFROBCR.VIEW ビットに書き込み、最後に転送したメッセージバッファへのアクセスを要求する
- FLXAnFRRDDSm、FLXAnFRRDHS1 ~ FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、最後に転送されたメッセージバッファを読み出す

表 18.105 FLXAnFROBCM レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
17	R	RDSH	データセクションアクセス可能
16	R	RHSH	ヘッダセクションアクセス可能
1	R/W	RDSS	データセクションシャドウ読み出しビット
0	R/W	RHSS	ヘッダセクションシャドウ読み出しビット

表 18.106 FLXAnFROBCR レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
22...16	R	OBRH[6:0]	OBF ホスト転送要求フラグ アクセスできるメッセージバッファ番号
15	R	OBSYS	OBF シャドウビジーフラグ メッセージ RAM から OBF シャドウへ転送中
9	R/W	REQ	メッセージ RAM から OBF シャドウへの転送要求
8	R/W	VIEW	OBF シャドウの閲覧、OBF シャドウと OBF ホストの切り替え
6...0	R/W	OBRs[6:0]	OBF 転送要求シャドウビット 次に転送されるメッセージバッファ番号

18.3.12.3 FlexRay プロトコルコントローラからメッセージ RAM へのアクセス

2つの TBF (A、B) は、2つの FlexRay プロトコルコントローラとメッセージ RAM 間で転送されるデータのバッファとして使用されます。

各 TBF はダブルバッファ構成になっており、完全な FlexRay メッセージを2つ格納できます。常に一方のバッファは対応するプロトコルコントローラに割り当てられ、もう一方はメッセージハンドラからアクセスできます。

たとえば、メッセージハンドラが送信 TBF に次に送信するメッセージを書き込んだ場合、FlexRay チャンネルプロトコルコントローラは受信 TBF にアクセスしてそのとき受信しているメッセージを格納することができます。送信 TBF に格納されたメッセージの送信中、メッセージハンドラは受信 TBF に格納されている最後に受信したメッセージをメッセージ RAM に転送し (アクセプタンスフィルタリングをパスした場合)、対応するメッセージバッファを更新します。

TBF と、FlexRay チャンネルプロトコルコントローラのシフトレジスタ間のデータ転送は 32 ビット単位で行われます。このため FlexRay のメッセージ長にかかわらず、32 ビットのシフトレジスタを使うことができます。

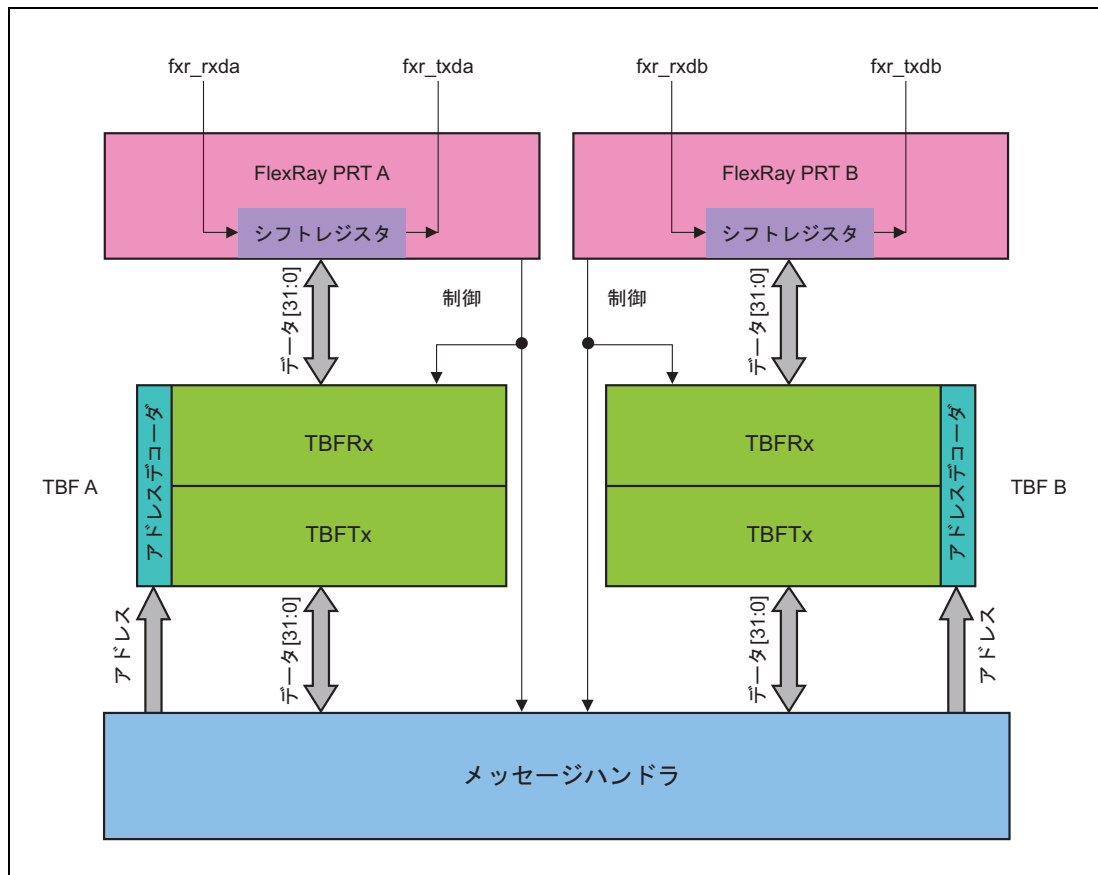


図 18.17 TBF へのアクセス

18.3.13 メッセージ RAM

CPU のメッセージ RAM へのアクセスと、FlexRay メッセージ送受信との衝突を避けるために、CPU はメッセージ RAM 内のメッセージバッファに直接アクセスすることはできません。これらのアクセスは入力バッファと出力バッファを介して行います。メッセージ RAM には、設定したペイロード長に応じて最大 128 個のメッセージバッファを持つことができます。

メッセージ RAM は、最大 2048 個の 32 ビットワードを格納することができます。FlexRay フレームごとに異なるデータサイズ (0 ~ 254 バイト) に柔軟に対応するために、メッセージ RAM は図 18.18 に示すような構造になっています。

ヘッダパーティションの直後に配置されるデータセクションのメッセージバッファを、受信バッファ (FLXAnFRWRHS1.CFG ビットを“0”) または受信 FIFO バッファに設定した場合、データセクションの先頭には少なくとも 32 ビットの未使用領域を設定してください。この場合、データパーティションは、 $((FLXAnFRMRC.LCB[7:0] \text{ ビットの設定値} + 1) \times 4) + 1$ で計算されるメッセージ RAM ワード番号から開始できます。

ヘッダパーティションの直後に配置されるデータセクションのメッセージバッファを、送信バッファ (FLXAnFRWRHS1.CFG ビットを“1”) に設定した場合、データパーティションは、 $(FLXAnFRMRC.LCB[7:0] \text{ ビットの設定値} + 1) \times 4$ で計算されるメッセージ RAM ワード番号から開始できます。

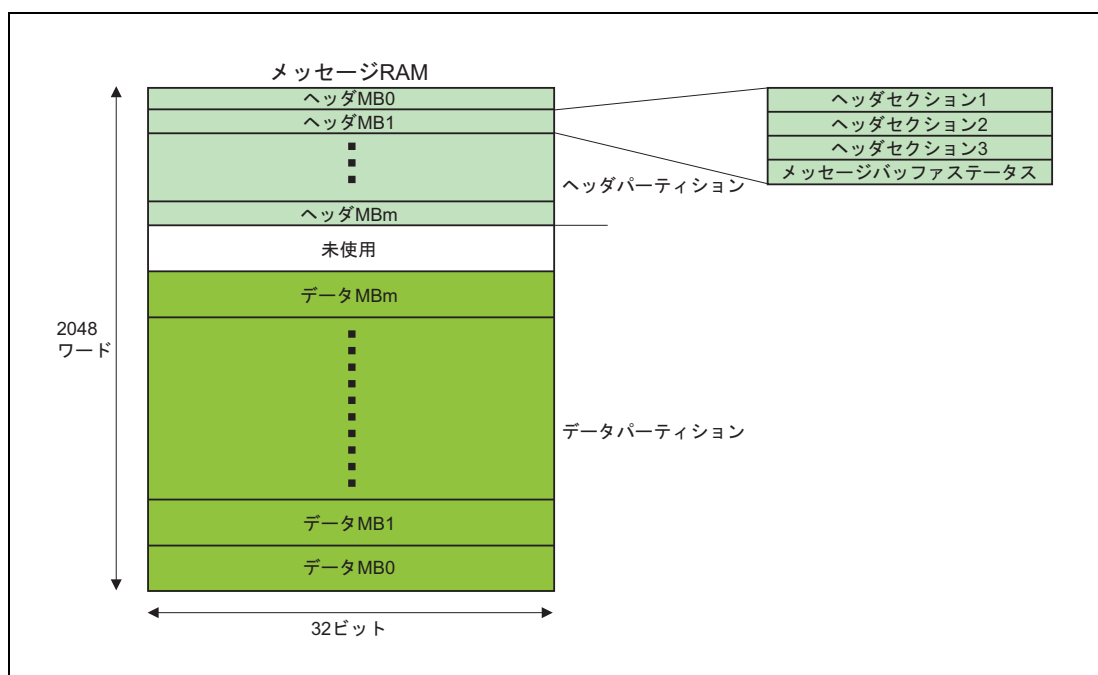


図 18.18 メッセージ RAM 内のメッセージバッファの設定例

ヘッダパーティション：

設定されたメッセージバッファのヘッダセクションを格納します。

- 最大 128 個のメッセージバッファをサポート
- 各メッセージバッファのヘッダセクションは、(32 ビット) ×4 ワード
- 各メッセージバッファのヘッダセクション 3 に、データパーティション内の対応するデータセクションへの 11 ビットのデータポインタを格納

データパーティション：

異なるデータ長のデータセクションに対するフレキシブルなメモリ。以下に最大値の例を示します。

- データセクションが 254 バイトの場合、30 個のメッセージバッファ
- データセクションが 128 バイトの場合、56 個のメッセージバッファ
- データセクションが 48 バイトの場合、128 個のメッセージバッファ

注 意

ヘッダパーティションとデータパーティションの合計サイズは 2048 個の 32 ビットワード以下にしてください。

18.3.13.1 ヘッダパーティション

メッセージバッファの設定に使用される各要素と、メッセージバッファステータスは、メッセージRAMのヘッダパーティションに表 18.107 に示すように格納されています。メッセージバッファのヘッダセクションの設定はIBF (FLXAnFRWRHS1 ~ FLXAnFRWRHS3 レジスタ) を介して行います。ヘッダセクションの読み出しはOBF (FLXAnFRRDHS1 ~ FLXAnFRRDHS3 レジスタ、FLXAnFRMBS レジスタ) を介して行います。データポインタは、メッセージRAMのデータパーティション内の対応するメッセージバッファに対するデータセクションの開始位置を定義するもので、事前に計算しておく必要があります。動作中はデータポインタを変更しないでください。受信FIFOに設定したメッセージバッファの設定/再設定は、DEFAULT_CONFIG状態またはCONFIG状態でのみ可能です。

各メッセージバッファのヘッダセクションは、メッセージRAMのヘッダパーティションのうち4ワード(1ワード=32ビット)使用します。メッセージバッファ0のヘッダは、メッセージRAMの先頭ワードから始まります。

送信バッファのヘッダCRCはプログラムで計算する必要があります。

受信ペイロード長(PLRビット)、受信サイクルカウンタ値(RCCビット)、受信チャンネルインジケータ(RCIビット)、Startupフレームインジケータ(SFIビット)、Syncフレームインジケータ(SYNビット)、Nullフレームインジケータ(NFIビット)、ペイロードプリアンブルインジケータ(PPIビット)、予約ビット(RESビット)は、有効なデータフレームを受信したときのみ更新されます。

表 18.107 メッセージRAM内のメッセージバッファのヘッダセクション

ビット ワード	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0			M B I	T X M	P P I T	C F G	CH	サイクルコード										フレームID														
1	受信 ペイロード長						設定 ペイロード長						Txバッファ: 設定ヘッダCRC Rxバッファ: 受信ヘッダCRC																			
2			R E S	P P I	N F I	S Y N	S F I	R C I	受信 サイクルカウンタ						データポインタ																	
3			R E S	P P I	N F I	S Y N	S F I	R C I	サイクル カウンタステータス						F T B	F T A	M L S T	E S B	E S A	T C I B	T C I A	S V O B	S V O A	C V O B	C V O A	S E O B	S E O A	S E O B	S E O A	V F R B	V F R A	
...	...																															
...	...																															

	フレーム設定
	フィルタ設定
	メッセージバッファコントロール
	メッセージRAM設定
	受信データフレームによる更新
	メッセージバッファステータス (MBS)
	未使用

(1) ヘッダセクション1 (ワード0)

FLXAnFRWRHS1 レジスタを介して書き込み、FLXAnFRRDHS1 レジスタを介して読み出し:

- フレーム ID
 - スロットカウンタフィルタリング設定
- サイクルコード
 - サイクルカウンタフィルタリング設定
- CH ビット
 - チャネルフィルタリング設定
- CFG ビット
 - メッセージバッファ方向設定 (受信 / 送信)
- PPIT ビット
 - 送信ペイロードプリアンブルインジケータ
- TXM ビット
 - 送信モード設定 (シングルショットモード / 連続モード)
- MBI ビット
 - メッセージバッファ受信 / 送信割り込み許可

(2) ヘッダセクション2 (ワード1)

FLXAnFRWRHS2 レジスタを介して書き込み、FLXAnFRRDHS2 レジスタを介して読み出し:

- ヘッダ CRC
 - 送信バッファ: プログラムで設定 (フレームヘッダから計算)
 - 受信バッファ: 受信フレームにより更新
- 設定ペイロード長
 - プログラムで設定したデータセクション長 (2 バイトワード単位)
- 受信ペイロード長
 - 受信フレームから格納されたペイロードセグメント長 (2 バイトワード単位)

(3) ヘッダセクション3 (ワード2)

FLXAnFRWRHS3 レジスタを介して書き込み、FLXAnFRRDHS3 レジスタを介して読み出し:

- データポインタ
 - データパーティション内で対応するデータセクションの先頭へのポインタ

FLXAnFRRDHS3 レジスタを介して読み出し、受信バッファでのみ有効、受信フレームにより更新

- 受信サイクルカウント
 - 受信フレームのサイクルカウント値

- RCI ビット
 - 受信チャンネルインジケータ
- SFI ビット
 - Startup フレームインジケータ
- SYN ビット
 - Sync フレームインジケータ
- NFI ビット
 - Null フレームインジケータ
- PPI ビット
 - ペイロードプリアンブルインジケータ
- RES ビット
 - 予約ビット

(4) メッセージバッファステータス (FLXAnFRMBS) (ワード3)

FLXAnFRMBS レジスタを介して読み出し、設定したスロットの終了時に CC により更新：

- VFRA ビット
 - チャンネル A 有効フレーム受信
- VFRB ビット
 - チャンネル B 有効フレーム受信
- SEOA ビット
 - チャンネル A シンタックスエラー検出
- SEOB ビット
 - チャンネル B シンタックスエラー検出
- CEOA ビット
 - チャンネル A コンテンツエラー検出
- CEOB ビット
 - チャンネル B コンテンツエラー検出
- SVOA ビット
 - チャンネル A スロット境界違反検出
- SVOB ビット
 - チャンネル B スロット境界違反検出
- TCIA ビット
 - チャンネル A 送信競合検出
- TCIB ビット
 - チャンネル B 送信競合検出

- ESA ビット
 - チャンネル A エンプティスロット
- ESB ビット
 - チャンネル B エンプティスロット
- MLST ビット
 - メッセージ消失
- FTA ビット
 - チャンネル A フレーム送信
- FTB ビット
 - チャンネル B フレーム送信
- サイクルカウント
 - ステータスが更新されたときの現在のサイクルカウント
- RCIS ビット
 - 受信チャンネルインジケータステータス
- SFIS ビット
 - Startup フレームインジケータステータス
- SYNS ビット
 - Sync フレームインジケータステータス
- NFIS ビット
 - Null フレームインジケータステータス
- PPIS ビット
 - ペイロードプリアンブルインジケータステータス
- RESS ビット
 - 予約ビットステータス

18.3.13.2 データパーティション

メッセージ RAM のデータパーティションは、受信 / 送信に設定されたメッセージバッファのデータセクションを、ヘッダパーティションで定義されたとおりに格納します。メッセージバッファのデータサイズはそれぞれ 0 ~ 254 バイトの範囲で異なる値を持ちます。2つの FlexRay プロトコルコントローラのシフトレジスタとメッセージ RAM との間、CPU インタフェースとメッセージ RAM との間でのデータ転送を最適化するために、メッセージ RAM の物理幅は 4 バイトに設定されています。

データパーティションはヘッダパーティションの最終ワードの後から始まります。メッセージ RAM 内のメッセージバッファを設定する場合は、データポインタが確実にデータパーティション内のアドレスを指すようにしてください。**表 18.108** は、設定されたメッセージバッファのデータセクションがメッセージ RAM のデータパーティションにどのように格納されるかを示す例です。

メッセージバッファのデータセクションの先頭と終了は、それぞれメッセージバッファのヘッダセクションで設定されたデータポインタとペイロード長により決まります。これにより、使用できる RAM 空間を、異なるデータ長を持ったメッセージバッファの格納領域として柔軟に使用することができます。

データセクションのサイズが奇数ワード (1 ワード = 2 バイト) の場合、最後の 32 ビットの残り 16 ビットは使用されません (**表 18.108** 参照)。

表 18.108 メッセージ RAM 内のデータパーティションの構成例

ビット ワード	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	未使用				未使用				未使用				未使用				未使用				未使用											
...	未使用				未使用				未使用				未使用				未使用				未使用											
...	MBnデータ3				MBnデータ2				MBnデータ1				MBnデータ0				...															
...															
...	MBnデータ(m)				MBnデータ(m-1)				MBnデータ(m-2)				MBnデータ(m-3)				...															
...															
...															
...	MB1データ3				MB1データ2				MB1データ1				MB1データ0				...															
...															
2046	MB0データ3				MB0データ2				MB0データ1				MB0データ0				...															
2047	未使用				未使用				MB0データ5				MB0データ4				...															

18.3.13.3 メッセージデータ安全性チェック

FlexRay モジュールには、データ安全性チェックサム機能が搭載されており、メッセージ RAM に格納されたデータの安全性を保証しています。図 18.19 に示すように、メッセージ RAM にはチェックサムジェネレータとチェックサムチェッカが取り付けられています。

RAM にデータが書き込まれると、ローカルのチェックサムジェネレータはチェックサムを生成します。チェックサムは各データワードとともに格納されます。メッセージ RAM からデータワードが読み出されるたびに、チェックサムが照合されます。

チェックサムエラーが検出されると、各アクセスエラーフラグが“1”になります。アクセスエラーフラグ (AMR、ATBF1、ATBF2 ビット) および誤りメッセージバッファ検出フラグ (FMBD、MFMB、FMB ビット) は FlexRay メッセージハンドラステータスレジスタ (FLXAnFRMHDS) にあります。これらのシングルアクセスエラーフラグによってエラー割り込みフラグ (FLXAnFREIR.AERR ビット) が制御されます。

図 18.19 に入力バッファ、TBF、メッセージ RAM 間のデータパスを示します。

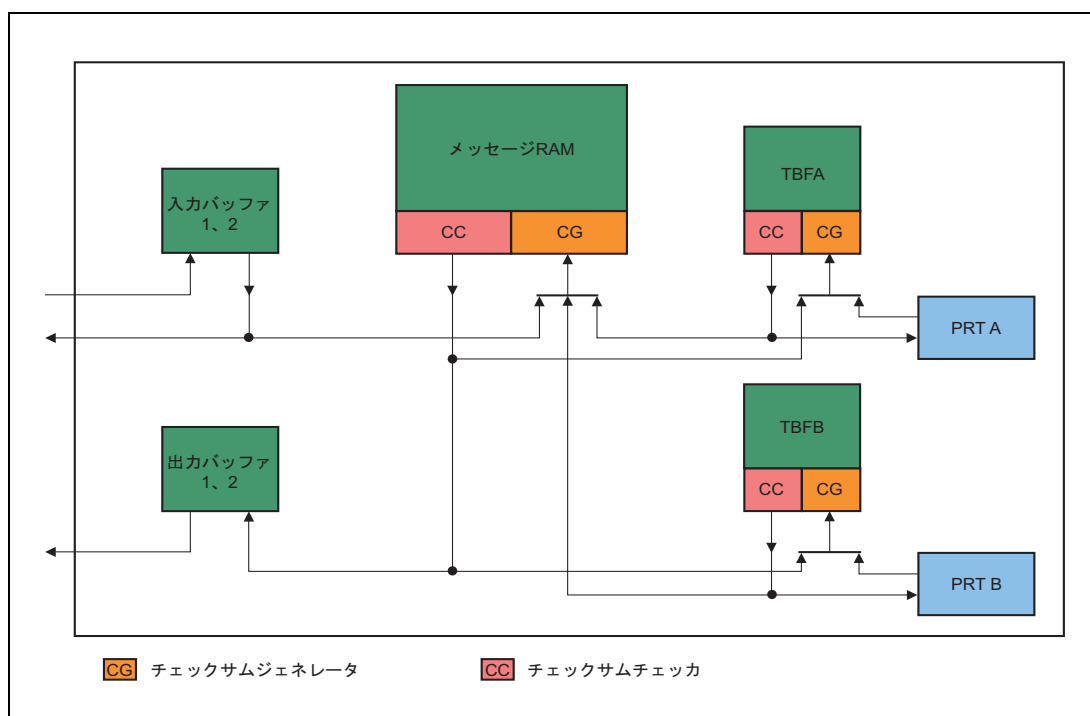


図 18.19 チェックサムの生成と照合

アクセスエラーが検出されると、以下の処理が実行されます。

すべての場合において：

- FLXAnFRMHDS レジスタの各アクセスエラーフラグがセットされます
- アクセスエラーフラグ FLXAnFREIR.AERR が“1”になり、許可されている場合、割り込み要求が発生します。

上記に加え、特殊な場合において：

(1) 各メッセージバッファのヘッダセクションをメッセージRAMから読み出す際、入力バッファ1、2からメッセージRAMへのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB[6:0] ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB[6:0] ビットがエラーのあるメッセージバッファの番号を表示します。
- 該当するメッセージバッファのデータセクションが更新されません。
- 送信バッファ：該当するメッセージバッファへの送信要求は“1”になりません。

(2) メッセージRAMでヘッダセクションをスキャンしているときのアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB[6:0] ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB[6:0] ビットがエラーのあるメッセージバッファの番号を表示します。
- メッセージバッファは無視（スキップ）されます。

(3) メッセージRAMからTBFA、Bへのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB[6:0] ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB[6:0] ビットがエラーのあるメッセージバッファの番号を表示します。
- フレームは送信されません。送信中のフレームはフレームCRCが0に設定されて無効になります。

(4) メッセージRAMから対応するメッセージバッファのヘッダセクションを読み出しているとき、TBFA、BからメッセージRAMへのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB[6:0] ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB[6:0] ビットがエラーのあるメッセージバッファの番号を表示します。
- 該当するメッセージバッファのデータセクションは更新されません。

(5) メッセージRAMから出力バッファへのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB[6:0] ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB[6:0] ビットがエラーのあるメッセージバッファの番号を表示します。

(6) TBFA、B からプロトコルコントローラ 1、2 へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.ATBF1、FLXAnFRMHDS.ATBF2 ビットが“1”になります。
- 送信中のフレームはフレーム CRC が 0 に設定されて無効になります。

(7) TBFA、B を読み出しているとき、TBFA、B からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.ATBF1、FLXAnFRMHDS.ATBF2 ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB[6:0] ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB[6:0] ビットがエラーのあるメッセージバッファの番号を表示します。

(8) TBFA、B のデータ読み出し中のアクセスエラー

メッセージハンドラが TBFA、B からネットワーク管理情報 (PPI='1') を持つフレームを読むときにアクセスエラーが起きると、対応する FlexRay ネットワーク管理ベクタレジスタ FLXAnFRNMV1 ~ FLXAnFRNMV3 は更新されません。

18.3.13.4 アクセスエラーの処理

ビットの反転によって発生するアクセスエラーは次のような処理で回復することができません。

(1) セルフヒーリング

メッセージ RAM、TBFA、または TBFB のデータセクションに発生したアクセスエラーは、ホストアクセスあるいは FlexRay 通信によって妨害されたビットへの次の書き込みアクセスによって上書きされます。

(2) CLEAR_RAMs コマンド

DEFAULT_CONFIG あるいは CONFIG 状態のとき呼び出されると、POC コマンド CLEAR_RAMs はメッセージ RAM を“0”にイニシャライズします。

(3) ヘッダセクションの一時的なロック解除

ロックされたメッセージバッファのヘッダセクション内で発生したアクセスエラーは、入力バッファからロックされたバッファのヘッダセクションへ転送することによって回復します。この転送のため、FLXAnFRIBCR レジスタへの書き込みアクセス (メッセージバッファ番号の指定) のあとすぐに、CONFIG 状態から出るためにロック解除の正常な手順が行われる必要があります。(「18.2.3.1 FLXAnFRLCK — FlexRay ロックレジスタ」参照)

この1回の転送により、ヘッダが FIFO のものであるか、あるいはロックが FLXAnFRMRC レジスタの SEC ビットにより制御されているかにかかわらず、対応するメッセージバッファのヘッダはロックが解除され新規データによって更新されます。

18.3.14 割り込み

CCによってエラーやステータス変化が検出された、フレームの送受信が完了した、設定したタイマ割り込みが有効になった、あるいはストップウォッチイベントが起こった場合に、ただちに割り込み要求が発生するというように、割り込みはプロトコルタイミングと密接な関係があります。これにより、CPUは特定のエラー状態やステータス変化、タイマイベントに対して速やかに対応することができます。その一方、割り込み要求が多すぎると、アプリケーションが要求する期限に間に合わない状況を生むこととなります。このため、CCは個々の割り込み要因に対して個別に許可/禁止を制御できるようになっています。

割り込み要求は、次の場合に発生します。

- エラーが検出された
- ステータスフラグが“1”になった
- タイマが設定された値に達した
- 入力バッファからメッセージRAM、またはメッセージRAMから出力バッファへのメッセージ転送が完了した
- Local RAMからメッセージRAM、またはメッセージRAMからLocal RAMへのメッセージ転送が完了した
- ストップウォッチイベントが発生した

状態の変化やエラーの発生に際して、状態を感知することと、割り込み要求を生成することは、2つの独立したタスクです。割り込みが許可されているか禁止されているかに関わらず、CCは対応する状態を感知し、表示します。現在のステータス情報とエラー情報は、FLXAnFREIR レジスタ、FLXAnFRSIR レジスタ、FLXAnFROS レジスタ、FLXAnFROTS レジスタ、FLXAnFRITS レジスタを読み出すことで得られます。

汎用割り込みライン、FlexRay0 割り込み要求と FlexRay1 割り込み要求は、FLXAnFREIES および FLXAnFRSIES レジスタで割り込み許可することによって制御します。これら2つの割り込み要求は、FLXAnFRILE レジスタの EINT0 ビットと EINT1 ビットを設定することで、個別に有効/無効にすることができます。

入力データ転送割り込みライン、FlexRay 入力キューエンプティ割り込み、FlexRay 入力キューフル割り込みは FLXAnFRITS 内の割り込みを許可することによって制御されます。さらに、各入力データ転送割り込みは FLXAnFRITC 内の対応するビットを設定することによって個別に有効/無効にすることができます。

出力データ転送割り込みライン、FlexRay FIFO 転送警告割り込み、FlexRay 出力転送警告割り込み、FlexRay FIFO 転送割り込み、FlexRay 出力転送割り込みは、FLXAnFROTS 内の割り込みを許可することによって制御されます。さらに、各出力データ転送割り込みは FLXAnFROTC 内の対応するビットを設定することによって個別に有効/無効にすることができます。

3つのタイマ割り込みラインは FLXAnFROS レジスタの割り込みを許可することによって制御されます。さらに、各割り込みは FLXAnFROC レジスタの T0IE、T1IE、T2IE ビットを設定することによって個別に有効/無効にすることができます。

IBF/OBF とメッセージRAM間のデータ転送が完了すると、FLXAnFRSIR レジスタの TIBC ビットまたは TOBC ビットが“1”になります。

ストップウォッチイベントは、stpwt_extfxr 端子入力により発生します。

18.3.15 FlexRay 設定パラメータ

表 18.109 FlexRay 設定パラメータ (1/2)

パラメータ	ビット名
pKeySlotUsedForStartup	FLXAnFRSUCC1.TXST
pKeySlotUsedForSync	FLXAnFRSUCC1.TXSY
gColdStartAttempts	FLXAnFRSUCC1.CSA[4:0]
pAllowPassiveToActive	FLXAnFRSUCC1.PTA[4:0]
pWakeupChannel	FLXAnFRSUCC1.WUCS
pSingleSlotEnabled	FLXAnFRSUCC1.TSM
pAllowHaltDueToClock	FLXAnFRSUCC1.HCSE
pChannels	FLXAnFRSUCC1.CCHA, CCHB
pdListenTimeOut	FLXAnFRSUCC2.LT[20:0]
gListenNoise	FLXAnFRSUCC2.LTN[3:0]
gMaxWithoutClockCorrectionPassive	FLXAnFRSUCC3.WCP[3:0]
gMaxWithoutClockCorrectionFatal	FLXAnFRSUCC3.WCF[3:0]
gNetworkManagementVectorLength	FLXAnFRNEMC.NML[3:0]
gdTSSTransmitter	FLXAnFRPRTC1.TSST[3:0]
gdCASRxLowMax	FLXAnFRPRTC1.CASM[6:0]
gdSampleClockPeriod	FLXAnFRPRTC1.BRP[1:0]
pSamplesPerMicrotick	FLXAnFRPRTC1.BRP[1:0]
gdWakeupSymbolRxWindow	FLXAnFRPRTC1.RXW[8:0]
pWakeupPattern	FLXAnFRPRTC1.RWP[5:0]
gdWakeupSymbolRxIdle	FLXAnFRPRTC2.RXI[5:0]
gdWakeupSymbolRxLow	FLXAnFRPRTC2.RXL[5:0]
gdWakeupSymbolTxIdle	FLXAnFRPRTC2.TXI[5:0]
gdWakeupSymbolTxLow	FLXAnFRPRTC2.TXL[5:0]
gPayloadLengthStatic	FLXAnFRMHDC.SFDL[6:0]
pLatestTx	FLXAnFRMHDC.SLT[12:0]
pMicroPerCycle	FLXAnFRGTUC1.UT[19:0]
gMacroPerCycle	FLXAnFRGTUC2.MPC[13:0]
gSyncNodeMax	FLXAnFRGTUC2.SNM[3:0]
pMicroInitialOffset[A]	FLXAnFRGTUC3.UIOA[7:0]
pMicroInitialOffset[B]	FLXAnFRGTUC3.UIOB[7:0]
pMacroInitialOffset[A]	FLXAnFRGTUC3.MIOA[6:0]
pMacroInitialOffset[B]	FLXAnFRGTUC3.MIOB[6:0]
gdNIT	FLXAnFRGTUC4.NIT[13:0]
gOffsetCorrectionStart	FLXAnFRGTUC4.OCS[13:0]
pDelayCompensation[A]	FLXAnFRGTUC5.DCA[7:0]
pDelayCompensation[B]	FLXAnFRGTUC5.DCB[7:0]
pClusterDriftDamping	FLXAnFRGTUC5.CDD[4:0]
pDecodingCorrection	FLXAnFRGTUC5.DEC[7:0]
pdAcceptedStartupRange	FLXAnFRGTUC6.ASR[10:0]
pdMaxDrift	FLXAnFRGTUC6.MOD[10:0]
gdStaticSlot	FLXAnFRGTUC7.SSL[9:0]
gNumberOfStaticSlots	FLXAnFRGTUC7.NSS[9:0]

表 18.109 FlexRay 設定パラメータ (2/2)

パラメータ	ビット名
gdMinislot	FLXAnFRGTUC8.MSL[5:0]
gNumberOfMinislots	FLXAnFRGTUC8.NMS[12:0]
gdActionPointOffset	FLXAnFRGTUC9.APO[5:0]
gdMinislotActionPointOffset	FLXAnFRGTUC9.MAPO[4:0]
gdDynamicSlotIdlePhase	FLXAnFRGTUC9.DSI[1:0]
pOffsetCorrectionOut	FLXAnFRGTUC10.MOC[13:0]
pRateCorrectionOut	FLXAnFRGTUC10.MRC[10:0]
pExternOffsetCorrection	FLXAnFRGTUC11.EOC[2:0]
pExternRateCorrection	FLXAnFRGTUC11.ERC[2:0]

18.3.16 データ転送機能

FlexRay メッセージを FlexRay 内部メッセージ RAM と Local RAM などのユーザ RAM 間で転送することをハードウェアで実現する機能です。

ユーザ RAM から FlexRay 内部メッセージ RAM へのデータ転送（入力転送）はソフトウェアによって開始します。この転送はメッセージバッファの設定、あるいは送信データの更新するために使用します。

FlexRay 内部メッセージ RAM からユーザ RAM へのデータ転送（出力転送）は、以下の場合に開始します。

- 受信メッセージバッファまたは FlexRay 内部 FIFO へのデータ格納
- スロットステータスの変更
- ユーザ転送要求

転送データは決められたデータ構造でユーザ RAM 上に領域を確保する必要があります。

本機能を使用する場合、CPU からの入力バッファ、出力バッファへのアクセスは禁止です。

18.3.16.1 入力データ転送

自動入力データ転送機能が有効な場合、最小の CPU サポートで入力データ構造は Local RAM から FlexRay 内部メッセージ RAM へ転送されます。

(1) 起動および停止

入力データ転送機能は使用する前に起動する必要があります。入力転送ハンドラは入力キュープットインデックス (FLXAnFRITS.IPIDX[6:0]) およびゲットインデックス (FLXAnFRITS.IGIDX[6:0]) を“0”に初期化します。また、FLXAnFRITS レジスタ内の割り込みステータスビット (IQEIS と IQFIS) は、“0”にセットしてください。

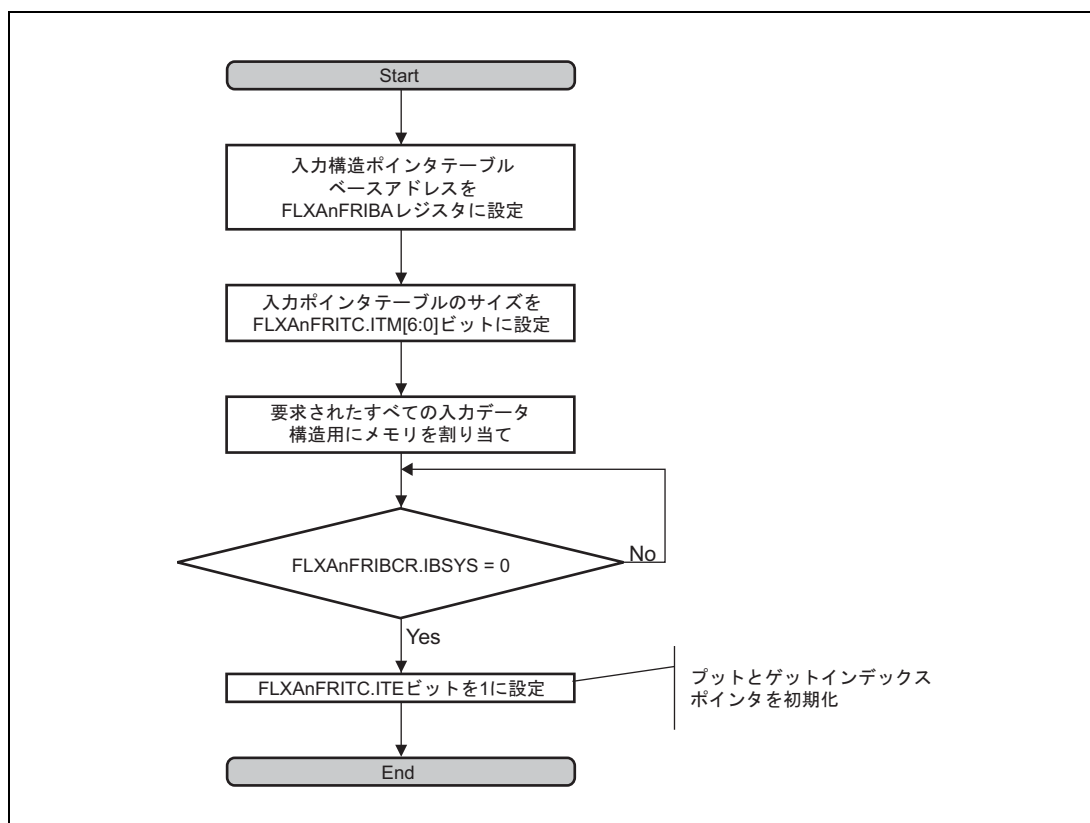


図 18.20 入力転送許可の処理フロー

入力転送機能の停止要求は、いつでもできます。入力キュープットインデックスと入力キューステータスは入力転送機能の状態によらず保持されます。

転送機能が無効 (FLXAnFRITS.ITS ビット = 0) になる前に、ユーザ要求の入力転送およびすべての入力転送は完了します。

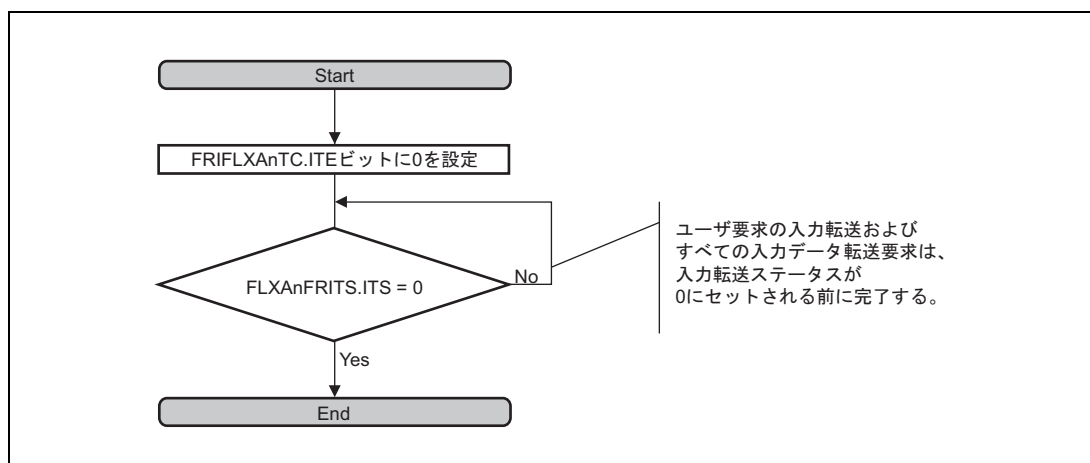


図 18.21 入力転送禁止の処理フロー

(2) 入力データ構造

アプリケーションはメッセージバッファの設定（入力データ構造）のための内容を提供するために Local RAM 内での位置を確保する必要があります。

この入力データ構造の位置は、これも Local RAM 内に位置する入力データ構造ポインタによって定義される必要があります。

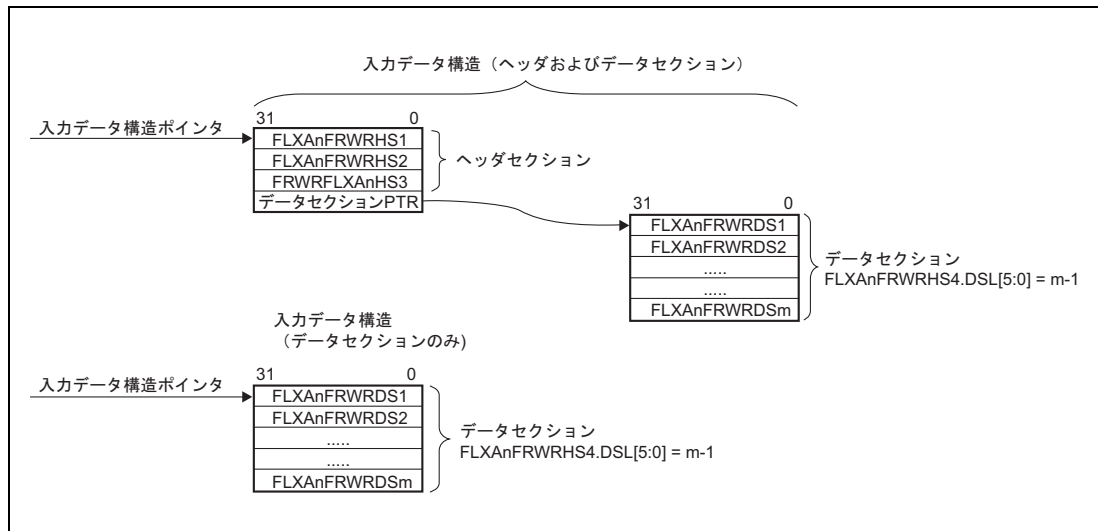


図 18.22 入力データ構造

一般的に、入力データ構造は 2 つのセクション（ヘッダセクションおよびデータセクション）から構成されます。

ヘッダセクションは FLXAnFRWRHS1、FLXAnFRWRHS2、FLXAnFRWRHS3 とデータセクションポインタから構成されます。

ビットアライメントおよびヘッダセクション内のビット機能については、「**18.3.13.1 ヘッダパーティション**」を参照してください。

入力ポインタテーブル内の制御フィールド（FLXAnFRWRHS4）の設定によって、データ構造ポインタは FLXAnFRWRHS1 あるいは FLXAnFRWRDS1 のアドレスと関連します。データ構造ポインタは 32 ビットアドレスにアラインされる必要があります。

FLXAnFRWRHS4.LHS ビットが“1”にセットされている場合、有効なヘッダセクションを提供する必要があります。この場合 FLXAnFRWRHS1 はデータ構造の先頭の要素です。

FLXAnFRWRHS4.LHS ビットが“0”にセットされている場合、ヘッダセクションは必要ありません。この場合 FLXAnFRWRDS1 はデータ構造の先頭の要素です。

FLXAnFRWRHS4.LDS ビットが“1”にセットされている場合、有効なデータセクションを提供する必要があります。データセクションへのポインタは先頭のペイロードロングワード（FLXAnFRWRDS1）のアドレスに関連し、32 ビットアドレスにアラインされる必要があります。

FLXAnFRWRHS4.LDS ビットが“0”にセットされている場合、データセクションは必要ありません。データセクションポインタは入力ハンドラによって評価されません。

Local RAM に割り当てられるデータセクションの長さおよび大きさは FLXAnFRWRHS4.DSL[5:0] ビットの設定に依存します。

FlexRay コア内部メッセージ RAM への転送のため、FLXAnFRWRHS2.PLC[6:0] ビットによって設定された 16 ビットワードの数が使用されます。アプリケーションは正しい数の

データワードが Local RAM 内に提供されていることを保証する必要があります。バッファが FLXAnFRWRHS2.PLC[6:0] ビットによって奇数のペイロード長を持つように設定されている場合、アプリケーションは埋め込みデータがすべて“0”であることを保証するためにペイロードセクションの最後の 16 ビットに“0”を書き込む必要があります。

(3) 入力ポインタテーブル

Local RAM 内の入力データ構造から FlexRay 内部メッセージ RAM ヘデータを転送するために、関連する入力データ構造ポインタと制御フィールドを Local RAM 内にある入力ポインタテーブルに追加する必要があります。

このテーブルの先頭の要素の位置は入力ポインタテーブルベースアドレス (FLXAnFRIBA.ITA[31:0]) によって示されます。このベースアドレスは 32 ビットアドレスにアラインされる必要があります。

キュー入力できる入力要求の最大値は、入力キューテーブル最大値レジスタ (FLXAnFRITC.ITM[6:0]) によって定義されます。

入力ポインタテーブルエン트리ごとに 2 ロングワード必要です。キュー入力される転送要求のために要求される入力ポインタテーブルのアドレス幅は次の式で計算されます。

$$\text{入力ポインタテーブルサイズ (バイト)} = (((\text{FLXAnFRITC.ITM}[6:0] + 1) \times 2) \times 4)$$

式 1

ユーザ要求入力転送用の入力ポインタエントリは入力ポインタテーブルの最後に追加される必要があります。

このエントリに関連するポインタテーブルのインデックス、つまり、FLXAnFRUIR.UIDX[7:0] に書かれる値は FLXAnFRITC.ITM[6:0]+1 です。ユーザ要求入力転送に関連する入力ポインタテーブル内のアドレス (ユーザ入力アドレス) は、次の式で計算されます。

$$\text{ユーザ入力アドレス} = \text{FLXAnFRIBA.ITA}[31:0] + \text{入力ポインタテーブルサイズ}$$

式 2

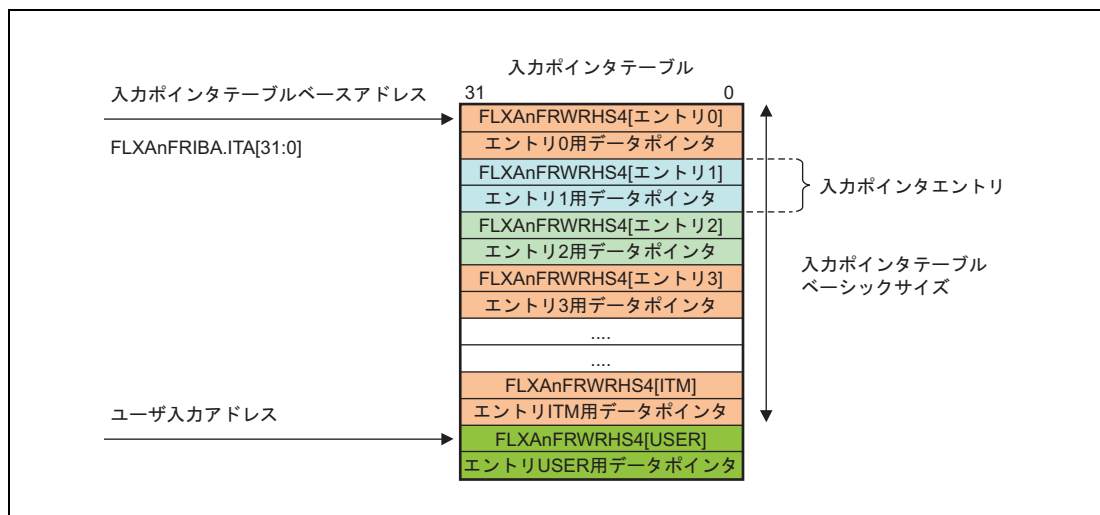


図 18.23 入力ポインタテーブル

入力ポインタテーブルは制御フィールド FLXAnFRWRHS4 およびメッセージバッファコンテンツ（ヘッダセクションあるいはデータセクション、またはその両方）が格納されている Local RAM へのポインタを保持しています。

アプリケーションは、転送要求が開始される前に、ブットインデックスの位置に関連する入力ポインタテーブル内のアドレスに FLXAnFRWRHS4 および入力データ構造ポインタを書き込む必要があります。

FLXAnFRWRHS4:

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	DSL[5:0]					
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	INV	STR	LDS	LHS	—	IMBNR[6:0]						
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 18.110 FLXAnFRWRHS4 レジスタの内容

ビット位置	ビット名	機能
31 ~ 22	予約ビット	リードした値は不定です。ライト時は常に "0" の値を設定してください。
21 ~ 16	DSL[5:0]	データセクション長ビット 32 ビット単位のデータセクション長を指定します。
15 ~ 12	予約ビット	リードした値は不定です。ライト時は常に "0" の値を設定してください。
11	INV	転送要求セットビット 0: データ構造は有効で FlexRay 内部メッセージ RAM に転送されます。 1: データ構造は無効です。この入力ポインタエントリを使用した FlexRay 内部メッセージ RAM の更新はできません。
10	STR	転送要求セットビット 0: IMBNR[6:0] ビットで選択されたメッセージバッファ用の FLXAnFRTXRQm.TXRp ビットは "0" にセットされています。このメッセージバッファから転送されるデータはありません。 1: IMBNR[6:0] ビットで選択されたメッセージバッファ用の FLXAnFRTXRQm.TXRp ビットは転送用にメッセージバッファを解放するため "1" にセットされています。アプリケーションは STR ビットを受信バッファ用に "1" にセットすることはできません。
9	LDS	ロードデータセクションビット 0: データセクションの更新なし 1: IMBNR[6:0] ビットで選択されたメッセージバッファ用のデータセクションが更新された
8	LHS	ロードヘッダセクションビット 0: ヘッダセクションの更新なし 1: IMBNR[6:0] ビットで選択されたメッセージバッファ用のヘッダセクションが更新された
7	予約ビット	リードした値は不定です。ライト時は常に "0" の値を設定してください。
6 ~ 0	IMBNR[6:0]	メッセージバッファ番号更新ビット 転送用の FlexRay 内部メッセージ RAM 内のターゲットメッセージバッファ番号を選択します。

保護メッセージバッファ用に LHS ビットをセットすることはできないことに注意してください。

LDS ビットは、IMBNR[6:0] ビットによって選択されたメッセージバッファのデータセクションが更新されるかどうかを定義します。

LDS ビットが“1”にセットされている場合、ペイロードデータの (DSL[5:0]+1) 個の 32 ビットワードが、Local RAM から IMBNR[6:0] ビットによって選択されたメッセージバッファへ転送されます。

LDS ビットが“0”にセットされている場合、ペイロードデータは Local RAM から転送されません。

転送されたペイロードは、設定されたペイロード長 (FLXAnFRWRHS2.PLC[6:0] ビット) とは関係ないことに注意してください。

送られたデータ構造の無効化に INV ビットを使うことができます。本ビットは入力キューが停止した場合に送られたデータ構造の転送をキャンセルするためにだけ使用してください (「18.3.16.1(5) 入力キューの停止」参照)。

本ビットが“1”にセットされている場合、メッセージバッファ番号 (IMBNR[6:0]) は更新されません。“0”にセットされている場合、メッセージバッファ番号 (IMBNR[6:0]) は更新されます。

(4) 入力データ構造の転送機能

入力データ構造の転送機能を使用するためには入力転送が起動されている必要があります (「18.3.16.1(1) 起動および停止」参照)。起動プロセスには、転送されるデータ構造用のソース位置 (入力データ構造) を指定するために入力ポインタテーブル (「18.3.16.1(3) 入力ポインタテーブル」参照) をセットアップすることが必要です。入力転送が可能になるとゲットインデックスポインタが“0”に初期化されます。

すべての FlexRay 内部メッセージバッファは、入力ポインタテーブル内に構築された入力転送キューを使用して更新することができます。アプリケーションは入力ポインタテーブルに転送されるデータ構造へポインタおよび制御フィールド (テーブルエントリ) を書き込む必要があります。このため、アプリケーションはポインタが書き込まれる位置を示す入力ポインタテーブル用のプットインデックスを保持する必要があります。

このテーブルエントリを入力ハンドラに送るため、アプリケーションは入力キュー制御レジスタ (FLXAnFRIQC.IMBNR[6:0] ビット) にターゲットメッセージバッファ番号を書き込む必要があります。その後アプリケーションはアプリケーション内部プットインデックスをインクリメントします。

入力キュー制御レジスタに書き込むことによって、データ使用可能ビット (FLXAnFRDAm.DA[31:0]) は自動的に“1”にセットされます。また入力転送ハンドラは、ステータスレジスタ内のプットインデックスポインタ (FLXAnFRITS.IPIDX[6:0]) を保持します。

入力キューがフルになった場合 (待機中の入力転送要求の数が入力キューテーブルのサイズと等しい)、FLXAnFRITS.IQFP および FLXAnFRITS.IQFIS は“1”にセットされます。入力キュー内に有効な入力キューがある場合、入力キューフル条件保留フラグ (FLXAnFRITS.IQFP) が“1”から“0”に変化します。それによって入力キューフル割り込みステータスフラグ (FLXAnFRITS.IQFIS) はアプリケーションによってクリアされる必要があります。

FLXAnFRITS.IQFP ビットが“1”である限りアプリケーションは FLXAnFRIQC.IMBNR[6:0] ビットに書き込むことはできません。

入力キューがエンプティになった場合 (待機中の入力転送要求の数がゼロになる)、FLXAnFRITS.IQEIS は“1”にセットされます。

入力キューエンプティ割り込みステータスフラグ (FLXAnFRITS.IQEIS) はアプリケーションによってクリアされる必要があります。

入力データ構造の FlexRay メッセージ RAM への転送は、FlexRay モジュール内で処理され FLXAnFRITS.IGIDX[6:0] ビット が示すゲットインデックスポイントによって制御されます。このインデックスは入力ポインタテーブルのアドレスオフセットではなく入力エントリを示すことに注意してください。

入力キューがエンプティではない場合、転送ハンドラは転送キューの入力ポインタテーブルエントリを読み出し、その入力ポインタが示すアドレスから入力データ構造の転送を開始します。要求されたデータワード分が FlexRay モジュールへ転送されると、その転送されたメッセージ番号に対するデータ有効フラグが“0”になり転送ハンドラ内のゲットインデックスが1つインクリメントされます。

無効化されたデータ構造の場合（「18.3.16.1(5) 入力キューの停止」参照）、FlexRay 内部メッセージバッファは更新されず関連するデータ有効フラグは自動的に“0”になります。データ有効フラグの変更は転送要求のキャンセルの確認のために使用されます。

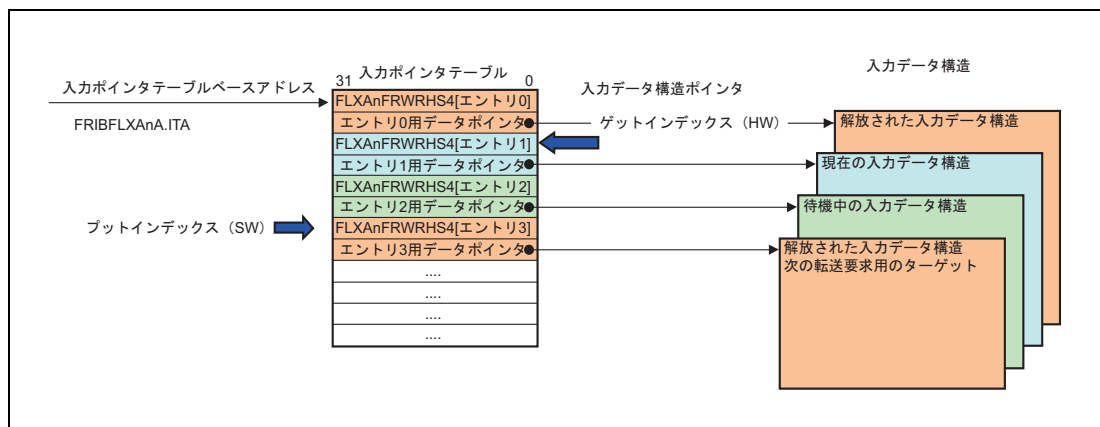


図 18.24 入力ポインタテーブル

また、要求されたヘッダセクションをセットアップすることによって入力データ転送を使用して受信メッセージバッファを設定することができ、FlexRay モジュール内で更新されるヘッダセクションだけにマークすることができます (FLXAnFRWRHS4.LDS = '0', FLXAnFRWRHS4.LHS = '1')。

(5) 入力キューの停止

送られたデータ構造を除去することはできませんが、入力キューが停止した際、無効にし更新することはできません。

すでに入力キューに送られたデータ構造をキャンセルするために、FLXAnFRITC.IQHR に“1”を書き込んでキューを停止することができます。

動作中の入力転送が完了した後、キューは停止し FLXAnFRITS.IQH は“0”から“1”へ変わります。

入力キューのエントリを無効化するために FLXAnFRWRHS4.INV は“1”にセットされる必要があります。FWRHS4 のほかのすべてのビットは変更できません。

送られたメッセージがすでに FlexRay 内部メッセージ RAM に転送されたかどうかを次に示す処理フローを使って解析してください。

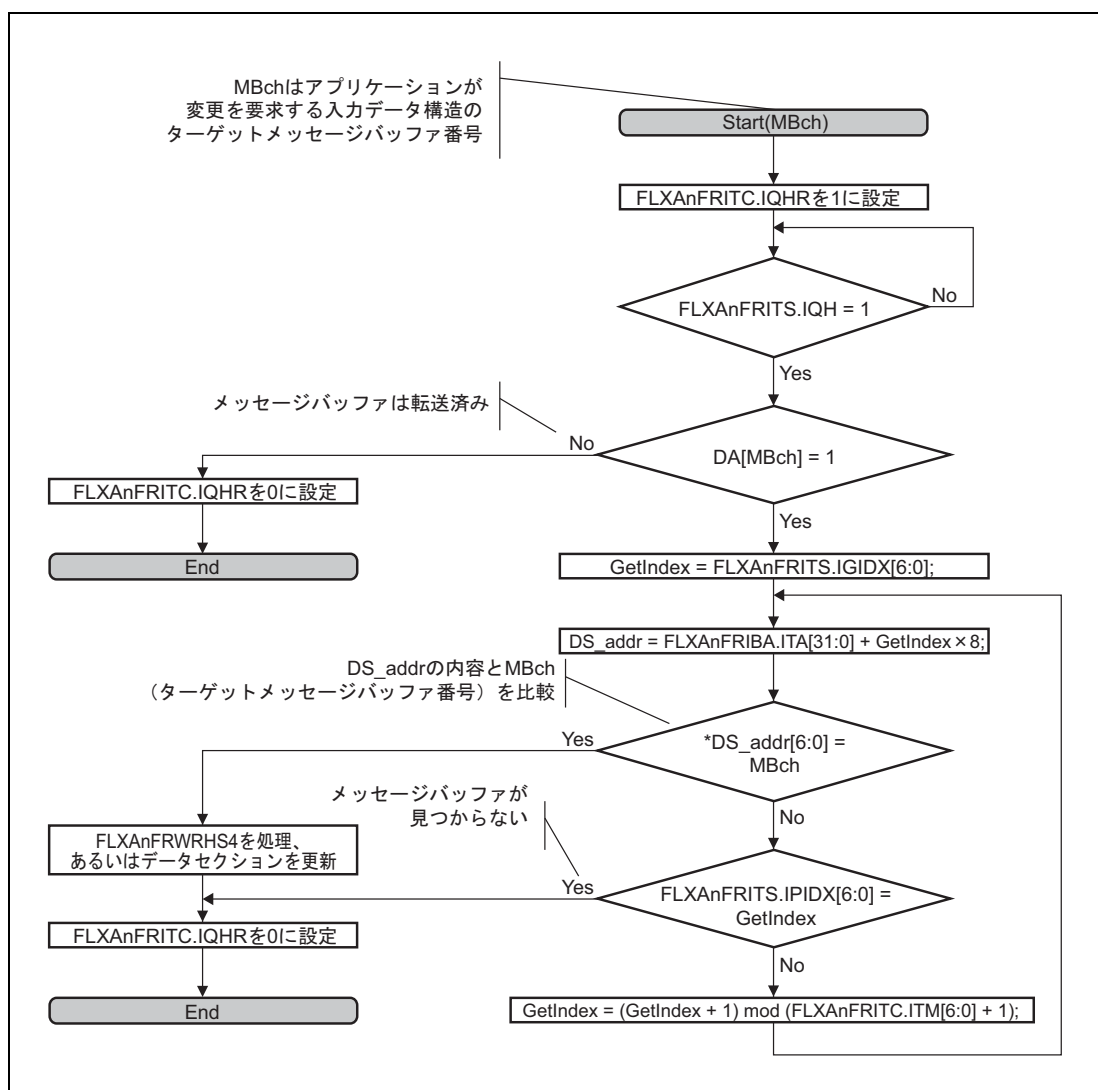


図 18.25 入力テーブルの解析

メッセージバッファがすでに FlexRay 内部メッセージ RAM に転送された場合、実際のカューを迂回し要求されたメッセージバッファを更新するためにユーザ入力転送要求を使用することができます（「18.3.16.1(6) ユーザ要求入力転送の転送機能」参照）。

(6) ユーザ要求入力転送の転送機能

この機能を使用するためには入力転送が起動されていることが必要です（「**18.3.16.1(1) 起動および停止**」参照）。

FLXAnFRUIR.UIDX[7:0] を使用して、アプリケーションは入力データ構造の転送を要求することができます。ユーザ入力転送要求が最初に行われます。

アプリケーションは、入力ポインタテーブルへ転送されるデータ構造へポインタおよび制御フィールド（テーブルエントリ）を書き込む必要があります。ユーザ入力転送要求用のテーブルエントリを入力ポインタテーブルの最後に追加してください（「**18.3.16.1(3) 入力ポインタテーブル**」参照）。

入力ハンドラにこのテーブルエントリを送るため、アプリケーションはインデックス（FLXAnFRITC.ITM[6:0]+1）をユーザ転送要求レジスタ（FLXAnFRUIR.UIDX[7:0]）に書き込む必要があります。

ユーザ入力転送要求レジスタに書き込むことによって、ユーザ入力転送要求保留フラグ（FLXAnFRITS.UIRP）が自動的に“1”にセットされます。

このフラグが“1”の間、アプリケーションはさらにユーザ入力転送要求を行うことはできません。

要求された入力転送が完了するとユーザ入力転送要求保留フラグ（FLXAnFRITS.UIRP）は“1”から“0”に変化します。続いて、次の保留転送が処理されます。

18.3.16.2 出力データ転送

出力データ転送機能が有効な場合、受信メッセージ（専用メッセージバッファ内あるいは FlexRay 受信 FIFO 内）は、出力データハンドラによって Local RAM へ転送されます。出力データハンドラは、アプリケーションの要求によってメッセージバッファの内容を Local RAM へ転送することもできます。また、出力ハンドラはメッセージバッファの状態が変化した際、転送を開始することもできます。

(1) 起動および停止

出力データ転送機能は、使用の前に起動をかける必要があります。出力転送ハンドラは FIFO プットおよびゲットインデックスポインタと FIFO フィルレベル（FLXAnFROTS.FGIDX[4:0] と FLXAnFROTS.FFL[5:0]）を“0”にイニシャライズし、FLXAnFROTS レジスタの FDA、OWP、FWP、UORP ビットを“0”にセットします。また割り込みステータスフラグ（FLXAnFROTS.OTIS、FLXAnFROTS.FIS、FLXAnFROTS.OWIS、FLXAnFROTS.FWIS）を“0”にセットします。

起動をかけることによって専用バッファに関連したデータ有効フラグ（FLXAnFRDAm.DA[31:0]）に影響することはありません。これらのフラグはアプリケーションによってクリアされる必要があります。

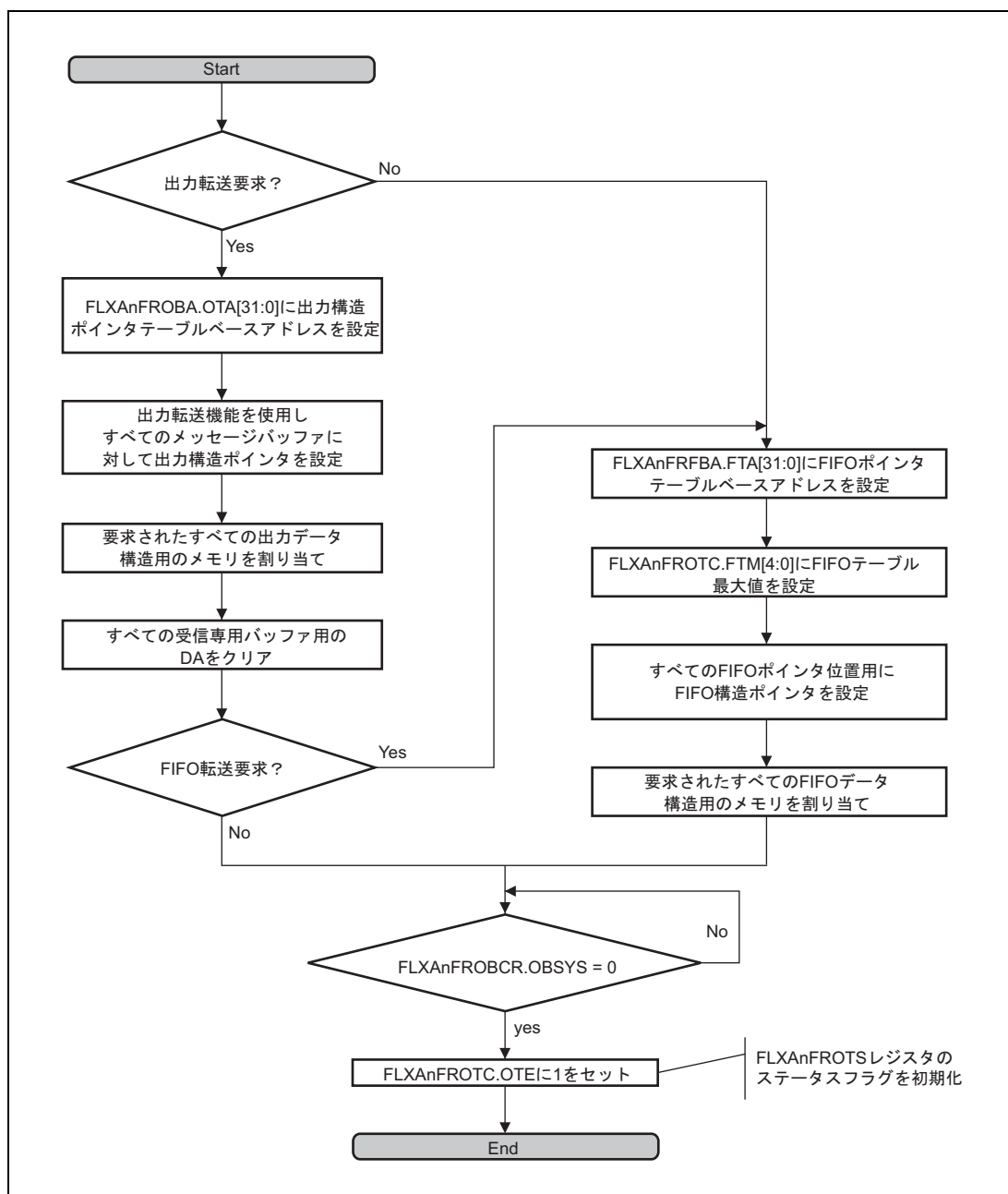


図 18.26 出力転送許可の処理フロー

出力データ転送機能の停止要求はいつでも可能です。実行中の転送は完了し、この転送の完了についてフラグが立てられます。この間 FLXAnFROTS.OTS は“1”のままです。

FLXAnFROTS.OTS が“1”から“0”に変化すると、出力転送機能は停止します。出力転送機能が無効な場合、データ有効ステータスフラグおよび FIFO ゲットインデックスは保持されます。

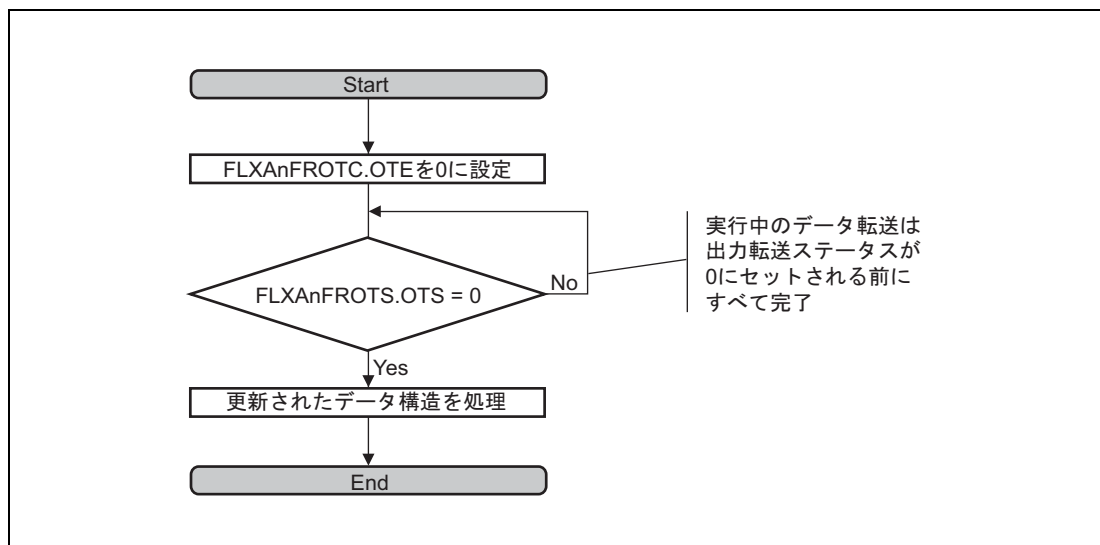


図 18.27 出力転送禁止の処理フロー

(2) 出力転送データ構造

Local RAM 内のデータは出力データ構造内に格納されます。出力データ構造の位置は出力データ構造ポインタ（これも Local RAM 内にある）によって決定されます。出力データ構造およびインデックス付けについて図 18.28 に示します。

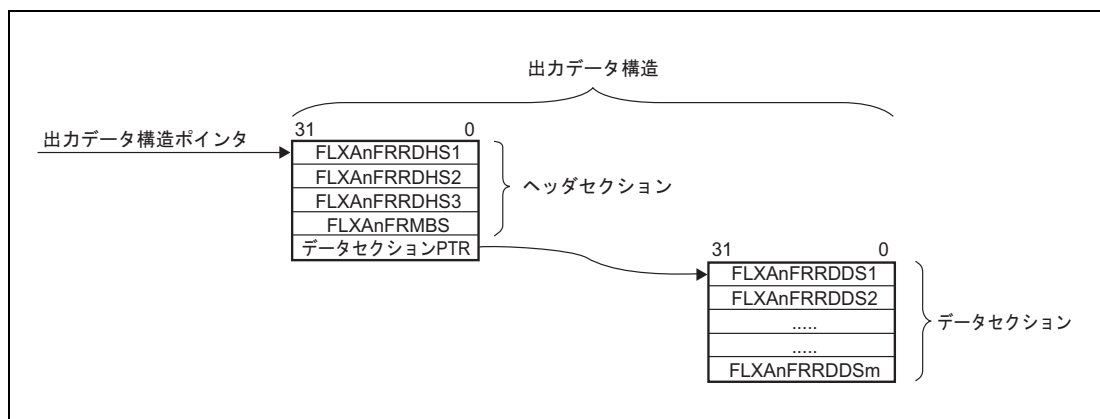


図 18.28 出力データ構造

出力データ構造は2つのセクション（ヘッダセクションおよびデータセクション）で構成されます。ヘッダセクションは FLXAnFRRDHS1、FLXAnFRRDHS2、FLXAnFRRDHS3、FLXAnFRMBS およびデータセクションポインタによって構成されます。FLXAnFRRDHS1 はこの構造の最初の要素で 32 ビットアドレスにアラインされている必要があります。データ構造ポインタは FLXAnFRRDHS1 のアドレスに対応しています。ヘッダセクション内のビットアライメントおよびビット機能については「18.3.13.1 ヘッダパーティション」を参照してください。

FLXAnFRRDDS1 はデータセクションの最初の要素です。データセクションポインタは FLXAnFRRDDS1 のアドレスに対応し 32 ビットアドレスにアラインされている必要があります。

Local RAM 内に割り当てられているデータセクションの長さや構造全体のサイズは、関連したメッセージバッファの設定されたペイロード長（FLXAnFRRDHS2.PLC[6:0] ビット）に依存します。設定されたペイロード長が奇数ワードである、あるいは受信されたペイロード長

(FLXAnFRRDHS2.PLR[6:0] ビット) が設定されたペイロード長より短い場合、Local RAM 内の残りのデータワードは使用されず、アプリケーションが使用することはできません。

出力データ構造は出力転送の3種類と同一です。ヘッダセクションのみが転送される場合、データセクションポインタは出力ハンドラによって評価されずデータセクションは変更されません。

(3) 出力ポインタテーブル

出力データ転送機能のためアプリケーションは Local RAM 内の出力ポインタテーブルをセットアップする必要があります。このテーブルの最初の要素の位置を出力ポインタテーブルベースアドレス (FLXAnFROBA.OTA[31:0] ビット) にプログラムする必要があります。このベースアドレスは 32 ビットアドレスにアラインされる必要があります。

出力ポインタテーブルのサイズは、最後に設定された専用メッセージバッファとユーザ出力転送要求に使用される最大のメッセージバッファ数のうち最大の値に定義されます。

出力ポインタテーブルはメモリ空間がターゲットメッセージバッファのコンテンツ (ヘッダセクションおよびデータセクション) 向けに用意されている Local RAM の位置を示すポインタ (出力データ構造ポインタ) を保持しています。

出力ポインタテーブル内のエントリのアドレスと関連するメッセージバッファの番号とは 1 対 1 の関係です (図 18.29 参照)。出力ポインタテーブルは FLXAnFROBA.OTA[31:0] ビットで設定されたアドレスのメッセージバッファ番号 0 のエントリで始まり、昇順に次のメッセージバッファ番号へと続きます。すべてのメッセージバッファに対して 32 ビットのアラインされたアドレスです (メッセージバッファ 1 は出力ポインタテーブルアドレス FLXAnFROBA.OTA[31:0] + 4、メッセージバッファ 2 は出力ポインタテーブルアドレス FLXAnFROBA.OTA[31:0] + 8 など)。

FLXAnFRNDATm.NDp ビットのセットのみが転送条件の場合 (FLXAnFROTC.OTCS が "0" にセット)、専用受信バッファとして設定された、あるいはユーザ出力転送要求に使用されるメッセージバッファだけが有効なポインタエントリを持つ必要があります。

FLXAnFRNDATm.NDp ビットのセットあるいは FLXAnFRMBSCm.MBCp ビットのセットが転送条件の場合 (FLXAnFROTC.OTCS が "1" にセット)、すべての専用受信バッファおよび専用送信バッファが有効なポインタエントリを持つ必要があります。

(4) FIFO 出力ポインタテーブル

FlexRay モジュール内部 FIFO は、Local RAM 内に待機中のバッファ構造によって拡張可能です。

FlexRay モジュール内部 FIFO が使用される場合、アプリケーションは FIFO 出力ポインタテーブルをセットアップする必要があります。このテーブルの最初の要素の位置は FIFO ポインタテーブルベースアドレス (FLXAnFRFBA.FTA[31:0] ビット) によって決定されます。このベースアドレスは 32 ビットのアドレスにアラインされる必要があります。

FIFO ポインタテーブルのサイズとキューに追加可能なメッセージの最大数は、FIFO テーブル最大ビット (FLXAnFROTC.FTM[4:0] ビット) によって定義されます。

FIFO ポインタテーブルはメモリ空間がターゲットメッセージバッファのコンテンツ (ヘッダセクションおよびデータセクション) に用意されている Local RAM の位置を示すポインタ (出力データ構造ポインタ) を保持しています。テーブルエントリごとにデータポインタはこのテーブル内に設定されています。

(5) 専用メッセージバッファの転送機能

この転送機能を使用するためには出力転送が起動されている必要があります（「18.3.16.2

(1) 起動および停止」参照）。起動プロセスには、転送するデータの転送先の位置（出力データ構造）を指定するために出力ポインタテーブル（「18.3.16.2 (3) 出力ポインタテーブル」参照）のセットアップが必要です。図 18.29 に出力ポインタテーブルの出力データ構造との対応方法を示します。

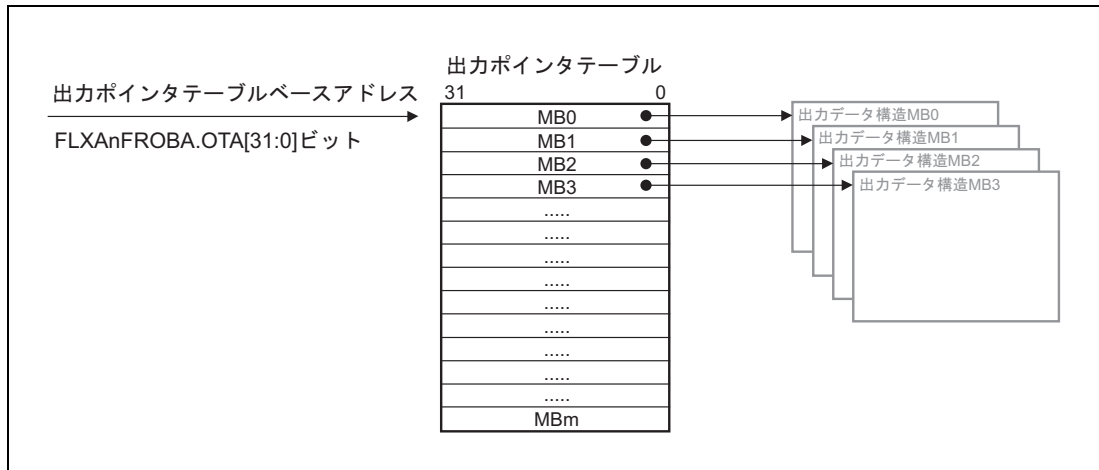


図 18.29 出力データ構造とインデックス

FLXAnFROTC.OTCS によって、出力転送条件が「新データ専用モード」と「新データおよびステータス変更モード」の間で選択可能です。

「新データ専用モード」では、有効な FlexRay データフレームが、関連する FLXAnFRNDATm.NDp フラグがセットされる専用受信バッファに格納された場合、出力データ転送は開始されます。FLXAnFRNDATm.NDp フラグは転送処理中自動的に“0”にセットされます。ヘッダセクションも転送され、FLXAnFRMBSCm.MBCp フラグは“0”にセットされます。

「新データおよびステータス変更モード」では、出力データ転送は「新データ専用モード」の説明で記述したように開始されます。さらに出力データ転送は、メッセージバッファステータスが変更されただけでも開始されます。この変更により関連する

FLXAnFRMBSCm.MBCp フラグがセットされます。この場合、ヘッダセクションだけが転送されます。FLXAnFRMBSCm.MBCp フラグは転送処理中自動的に“0”にセットされます。

メッセージバッファのデータを FlexRay 内部メッセージ RAM から出力データ構造に転送後、対応する FLXAnFRDAm (m = 0 ~ 3) レジスタのデータ有効フラグは“1”にセットされます。出力データ構造の更新についても出力転送割り込みステータスフラグ (FLXAnFROTS.OTIS) の設定によりフラグが立てられます。

データ有効フラグが“1”の間は、対応する出力データ構造は更新されません。

- データ有効フラグが“1”であり有効受信メッセージが格納された、あるいは
- FLXAnFROTC.OTCS が“1”でありメッセージバッファステータスが更新されたとき

上記の場合、出力転送警告割り込みフラグ (FLXAnFROTS.OWIS) が“1”にセットされ、新データは有効であるが出力データ構造転送が処理できないことをアプリケーションに知らせます。さらに出力転送警告条件の状態を連続して示す FLXAnFROTS.OWP が“1”にセットされます。

FlexRay 内部メッセージ RAM 内の有効受信メッセージが追加の受信メッセージによって上書きされた場合、メッセージ消失フラグ (FLXAnFRMBS.MLST) が“1”にセットされます。このフラグはメッセージバッファが出力データ構造へ転送されたあと評価されます。

次に出力データ構造を処理する方法について説明します。

(a) データセクションコピー方式

出力データ構造から Local RAM の異なる位置に情報をコピーし、関連するデータ有効フラグをクリアすることによって出力データ構造を解放するオプションです。アプリケーションはさらに処理を行うため、コピーされた情報を使用する必要があります。

(b) データ構造ポインタ方式

別のオプションとして、出力ポインタテーブル内の出力データ構造ポインタを変更し、関連するデータ有効フラグをクリアすることによって出力データ構造を解放する方法があります。変更された出力データポインタはフリーのデータ構造に対応します。アプリケーションはさらに処理を行うため元のデータ構造を使用する必要があります。

(c) データセクションポインタ方式

3番目のオプションとして、出力データ構造内のデータセクションポインタを変更し、関連するデータ有効フラグをクリアすることによって出力データ構造を解放する方法があります。変更されたデータセクションポインタはフリーなメモリエリアに対応する必要があります。アプリケーションはデータセクションポインタを送ることによってさらに処理するため、元のデータセクションを使用する必要があります。

(6) FIFO メッセージバッファの転送機能

このバッファ転送機能を使用するためには、出力転送が起動されている必要があります (「18.3.16.2 (1) 起動および停止」参照)。起動プロセスには、要求された出力データ構造の格納用に用意された Local RAM 内の位置を指定するため FIFO ポインタテーブル (「18.3.16.2 (4) FIFO 出力ポインタテーブル」参照) のセットアップが必要です。

FIFO データ転送は、有効なデータフレームが FlexRay 内部 FIFO に格納されると開始されます。

内部 FIFO から出力データ構造への転送後、FIFO 割り込みステータスフラグ (FLXAnFROTS.FIS) および FIFO データ使用可能ビット (FLXAnFROTS.FDA) が“1”にセットされます。ビット FLXAnFROTS.FIS は割り込みソースとして使用可能です。ビット FLXAnFROTS.FDA は FIFO がエンptyではないことを示します。

FLXAnFROTC レジスタによる出力構造は、FIFO テーブル最大値 (FLXAnFROTC.FTM[4:0] 設定値) になるまで設定が可能です。

拡張 FIFO バッファ構造への転送はインデックスポインタによって制御されます。このプットインデックスは FIFO 転送ハンドラによって制御され、1つのメッセージを出力データ構造に転送後インクリメントされます。FIFO 受信ハンドラは、FLXAnFROTS.FGIDX[4:0] 内で示されるゲットインデックスも保持しています。このゲットインデックスの値は、アプリケーションがステータスを読み出す、あるいはソフトウェア変数を保持することによって分かれます。ゲットインデックス (初期値 “00000_B”) は、FLXAnFROTS.FDA に“1”を書き込むことによってアプリケーションが FIFO キューの一番古いエントリを解放すると1つインクリメントされます。プットインデックスとゲットインデックスを比較することによって FIFO ハンドラは待機中のバッファ構造の現在のフィルレベルを知ることができます。

現在の FIFO フィルレベルは FLXAnFROTS.FFL[5:0] 内にセットされます。

FLXAnFROTS.FDA が“1”の場合、少なくとも1つのエントリが FIFO キュー内に存在します。

Local RAM 内の待機中のバッファ構造がフルの場合 (FLXAnFROTS.FFL[5:0] = FLXAnFROTC.FTM[4:0]+1)、転送は開始されず、新しいメッセージは FlexRay 内部 FIFO 内に残り、FIFO 転送警告割り込みステータスフラグ (FLXAnFROTS.FWIS) が“1”にセットされます。

FlexRay 内部 FIFO 構造がフルになった場合、FlexRay 内部 FIFO 構造内のメッセージは上書きされる場合があります。FlexRay コアモジュールの関連するステータスフラグおよび設定レジスタは、要求される警告の通知を生成するために使用されます。

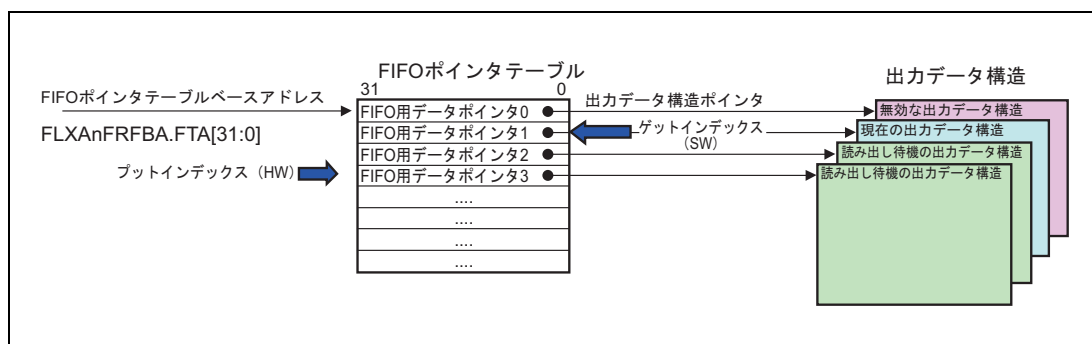


図 18.30 FIFO ポインタテーブル

(7) ユーザ出力転送要求の転送機能

この転送機能を使用するためには、出力転送が起動されている必要があります (「18.3.16.2 (1) 起動および停止」参照)。起動プロセスには、データ (出力データ構造) の転送用に用意された Local RAM 内の位置を指定するため出力ポインタテーブル (「18.3.16.2 (3) 出力ポインタテーブル」参照) をセットアップすることが必要です。

FLXAnFRUOR.UMBNR[6:0] を使って、アプリケーションは専用メッセージバッファの出力データ構造への転送を要求することができます。CONFIG 状態以外では、FlexRay 内部 FIFO の一部であるメッセージバッファを要求することはできません。

ヘッダセクションは常に出力データ構造に転送されます。データセクションの転送は FLXAnFRUOR.URDS を“1”にセットすることによって可能です。選択されたメッセージバッファの内容は、出力ポインタテーブル内のポインタによって決定された出力データ構造の位置に格納されます。

FLXAnFRDAm.DA[31:0] ビットによるデータ有効ステータスおよび転送のブロッキングはユーザ要求転送のために使用されます。要求バッファ番号 (FLXAnFRUOR.UMBNR[6:0]) に関連する FLXAnFRDAm.DA[31:0] ビットは、転送要求が作られる前に解放される必要があります。

FLXAnFRUOR.UMBNR[6:0] への書き込み後、ビット FLXAnFROTS.UORP は“1”にセットされ保留中のユーザ転送要求があることを示します。転送が処理されると、ビット FLXAnFROTS.UORP は“0”にセットされ、ビット FLXAnFROTS.OTIS は“1”にセットされ、要求バッファ番号 (FLXAnFRUOR.UMBNR[6:0]) に関連する FLXAnFRDAm.DA[31:0] ビットは“1”にセットされます。

ユーザ出力転送要求をキューに入れることはできません。アプリケーションは FLXAnFRUOR.UMBNR[6:0] に書き込む前にビット FLXAnFROTS.UORP をチェックする必要があります。

入力転送キュー内で保留中のメッセージバッファに対してユーザ出力転送要求を作成することはできません。

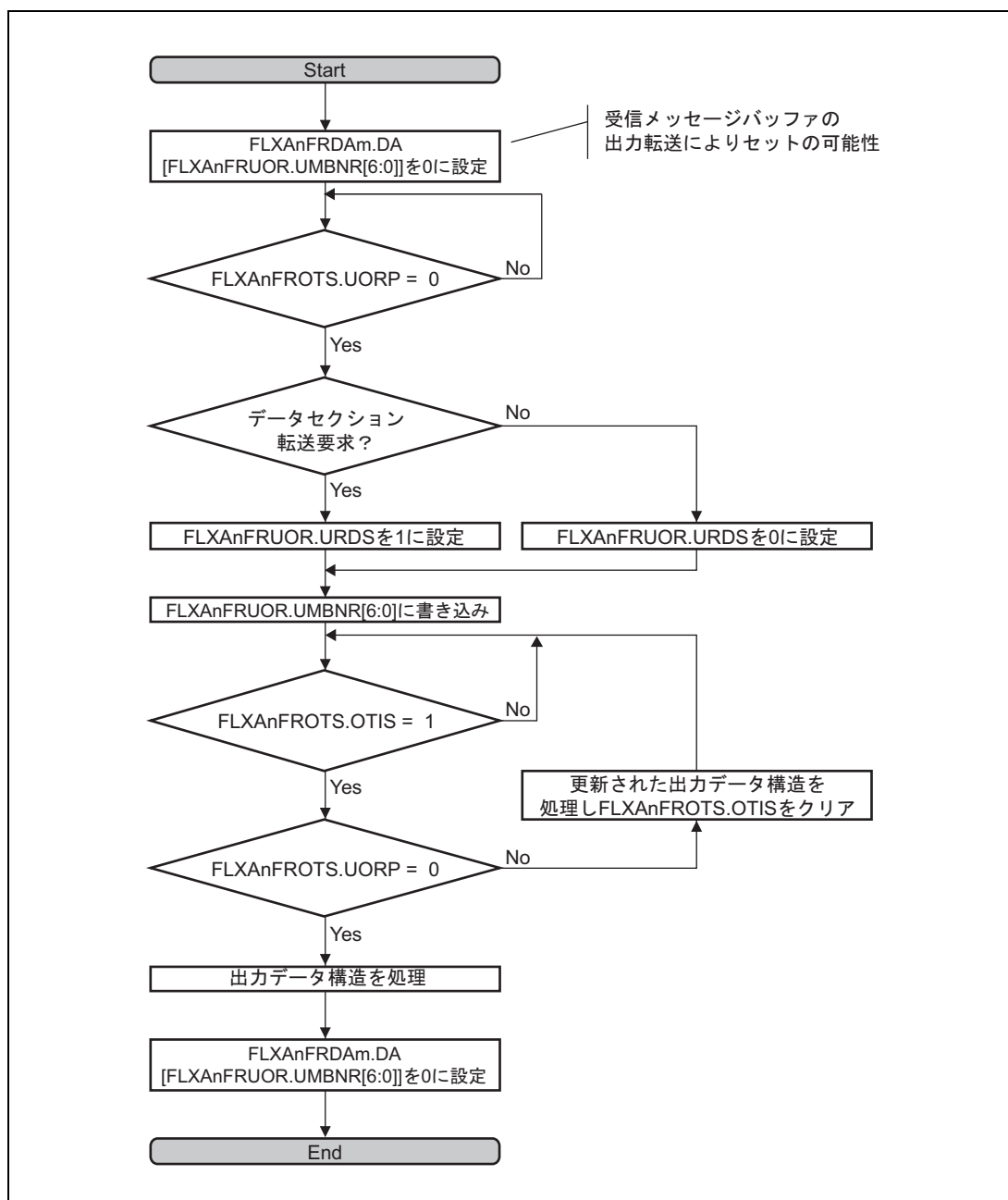


図 18.31 ユーザ出力転送要求の処理フロー

ユーザ要求によって指定されたデータ構造が、受信メッセージバッファの更新（これによって FLXAnFRDAm.DA[31:0] ビットがセットされる）により更新される可能性のあることに注意してください。FLXAnFRDAm.DA フラグのセットによりユーザ出力転送要求が抑制されます。したがって、FLXAnFROTS.UORP のポーリングは、要求されたメッセージバッファの転送が完了した時点を持定する安全な方法ではありません。ビット FLXAnFROTS.OTIS あるいは FLXAnFRDAm.DA[31:0] ビットを代わりに使用することができます。正確な流れはソフトウェアのアーキテクチャに依存します。

18.3.16.3 データ構造転送のスケジューリング

周期的に異なるタイプの転送要求がチェックされます。確かな転送時間を保証するために、異なるタイプの転送は異なる優先度を持ちます。

最高の優先度を持つ要求された入力転送を使って、動作中の入力転送キューへ送られるデータ構造の転送を行ってください。保留中の入力転送要求がある間は新規の出力転送を開始することはできません。

特定の順序で3つの出力転送要求のタイプがチェックされます。

(1) 昇順のすべての専用メッセージバッファ

FLXAnFROTC.OTCS が“0”にセットされている場合、FLXAnFRNDATm.ND[31:0] フラグにセットすると転送先のエリアがフリー (FLXAnFRDAm.DA[31:0] ビットが“0”) であれば出力データ構造へのメッセージバッファの転送が行われます。

FLXAnFROTC.OTCS が“1”にセットされている場合、FLXAnFRNDATm.ND[31:0] レジスタのフラグにセットする、あるいは FLXAnFRMBSCm.MBC[31:0] フラグにセットすると転送先のエリアがフリー (FLXAnFRDAm.DA[31:0] ビットが“0”) であれば出力データ構造へのメッセージバッファの転送が行われます。

(2) FlexRay 内部 FIFO

FlexRay 内部 FIFO がエンプティではなくフリーな転送先エリアがある場合、1つの FIFO メッセージが FIFO ポインタテーブルによって指定された出力データ構造へ転送されます。

(3) ユーザ出力要求

保留中のユーザ出力転送要求がある場合、1つのメッセージバッファが対応する出力データ構造へ転送されます。

入力転送が発生するとチェックシーケンスは中断されます。

18.3.16.4 データ転送アクセスエラーの場合の動き

データ転送機能によってアクセスされるメモリ空間は、メモリ保護ユニット (MPU) によって保護されている可能性があります。保護されているアドレスが入力あるいは出力転送によってアクセスされたことを MPU が指摘すると、アクセスエラーイベントが生成され FLXAnFRAES レジスタの関連ビットがセットされます。

実行中の転送は即座に終了しますが完了した転送は処理され、さらにアクセスエラーが発生する可能性があります。続くアクセスエラーは FLXAnFRAES.MAE のみで知らされます。他のステータスフラグは更新されません。

(1) 入力転送時のアクセスエラー

入力転送中にアクセスエラーが発生した場合

- 実行中の転送は即座に終了します。FlexRay 内部メッセージ RAM は更新されません。
- FlexRay モジュールがアクセスしようとしたアドレスが FLXAnFRAEA レジスタに書き込まれます。
- FLXAnFRAES.IAE が“1”にセットされます。
- 入力ポインタテーブルインデックスが FLXAnFRAES.EIDX[7:0] 内に書き込まれます。
- 通常の入力転送の場合、関連する FLXAnFRDAm.DA[31:0] ビットは“0”にセットされません。
- ユーザ入力転送要求の場合、FLXAnFRITS.UIRP は“0”にセットされます。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。さらにアプリケーションは入力アクセスエラーフラグ (FLXAnFRAES.IAE) をクリアする必要があります。

(2) 出力転送時のアクセスエラー

出力転送中にアクセスエラーが発生した場合：

- 実行中の転送は即座に終了しますが、データ構造の更新は開始される可能性があります。
- FlexRayモジュールがアクセスしようとしたアドレスがFLXAnFRAEAレジスタに書き込まれます。
- FLXAnFRAES.OAEが“1”にセットされます。
- 出力ポインタテーブルインデックスがFLXAnFRAES.EIDX[7:0]内に書き込まれます。
- 通常出力転送の場合、関連するFLXAnFRDAm.DA[31:0]ビットは“0”のまま、出力転送割り込みは生成されません。
- ユーザ出力転送要求の場合、FLXAnFROTS.UORPは“0”にセットされます。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。Local RAM内のデータ構造を有効とみなすことはできません。

さらにアプリケーションは出力アクセスエラーフラグ (FLXAnFRAES.OAE) をクリアする必要があります。

メッセージバッファのFlexRayモジュール内部転送は、Local RAMアクセスエラーが検出される前に完了しています。出力転送は再開できません。データの消失を避けるため、アプリケーションは正しいLocal RAMの位置へのこのメッセージバッファのユーザ出力転送要求を行うことができます。

(3) FIFO 転送時のアクセスエラー

FIFO 転送中にアクセスエラーが発生した場合

- 実行中の転送は即座に終了します。
- FlexRayモジュールがアクセスしようとしたアドレスがFLXAnFRAEAレジスタに書き込まれます。
- FLXAnFRAES.FAEが“1”にセットされます。
- FIFOポインタテーブルインデックスがFLXAnFRAES.EIDX[7:0]内に書き込まれます。
- FIFOインデックスポインタは変更されず、よってFIFOステータスフラグは変更しません。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。

さらにアプリケーションはFIFOアクセスエラーフラグ (FLXAnFRAES.FAE) をクリアする必要があります。

Local RAM内のデータを有効とみなすことはできずアプリケーションに解放されません。メッセージを回復することはできません。

18.3.16.5 RAM 読み出しエラーの場合の動作

FlexRay 内部メッセージ RAM には ECC チェックメカニズムがあります。補正できない RAM 読み出しエラーが発生した場合、アプリケーションは FLXAnFRMHDS レジスタのステータスを解析し、「18.3.16.3 データ構造転送のスケジューリング」に記述されているようにやり直す必要があります。エラーが動作中の転送に関連する場合、入力および出力転送ハンドラもメッセージ RAM 内で検出されたこれらのエラーについてやり直します。

また、TBFA および TBFB にも同様に ECC チェックメカニズムがあります。

補正できない RAM 読み出しエラーは、データ転送機能に影響を与えませんが、「18.3.13.1(4) メッセージバッファステータス (FLXAnFRMBS) (ワード 3)」に記述されているように取り扱う必要があります。

すべての場合、読み出しエラーを起こしたデータが Local RAM へ転送されることはありません。アプリケーション内で回復不能な場合、メッセージは消失します。

(1) TBF から MBF への転送時の読み出しエラー

この内部転送はすべての有効な受信 FlexRay メッセージに対して行われます。

読み出しエラーは FlexRay メッセージ RAM 内のヘッダセクションを読み出す場合のみに発生します (FLXAnFRMHDS の読み出しエラーフラグ参照)。この場合メッセージバッファは再設定される必要があります。

専用受信メッセージバッファについて、関連する FRNDATm.ND[31:0] フラグはセットされません。したがって影響を受けるメッセージバッファは出力データ構造に転送されません。

FlexRay 内部 FIFO バッファに関して FRNDATm.ND[31:0] フラグはセットされませんが、FlexRay 内部 FIFO プットインデックスはインクリメントされます。このことにより、FlexRay 内部 FIFO バッファから出力バッファへの転送手順が開始されます。しかし、ヘッダセクション内に読み出しエラーが依然として存在する場合、出力データ構造の更新は開始されません («18.3.16.5 (2) MBF から OBF への転送時の読み出しエラー」参照)。したがって Local RAM 内のデータは正しいままです。

保留中の FIFO 転送がある間、メッセージバッファに関連する FIFO の補正あるいはその他の再設定は Local RAM 内に不正なデータをもたらす可能性があることに注意してください。再設定が始まる前に出力データ転送を停止し、出力データ転送を再起動する前に FlexRay 内部 FIFO をフラッシュすることを強くお勧めします。

(2) MBF から OBF への転送時の読み出しエラー

この内部転送はすべての出力データ転送 (専用受信、FIFO、ユーザ要求) に対して行われます。

読み出しエラーはヘッダおよびデータセクションで発生する可能性があります (FLXAnFRMHDS の読み出しエラーフラグ参照)。両方の場合、メッセージは消失します。エラーがヘッダセクションにある場合、メッセージバッファは再設定される必要があります。エラーがデータセクションにある場合、エラーは次のデータセクションの更新によって修正されます。

メッセージ RAM から出力バッファへの転送中に読み出しエラーが発生した場合、出力データ構造は更新されず、データ有効ビットは“1”にセットされません。また、FIFO プットインデックスおよび FIFO フィルレベルは変更されません。ユーザ出力転送要求の場合、出力データ構造の更新が行われなくても FLXAnFROTS.UORP が“0”にセットされます。

(3) IBF から MBF への転送時の読み出しエラー

この内部転送はすべての入力データ転送に対して行われます。

メッセージ RAM からのヘッダセクションの読み出しが原因で (FLXAnFRMHDS 内の読み出しエラーフラグ参照)、要求されたヘッダセクションの更新ができない場合 (FLXAnFRWRHS4 のビット LHS が “0” にセット) のみ、読み出しエラーが発生します。この場合、メッセージバッファは再設定される必要があります。

読み出しエラーが入力データ転送中に発生した場合、実際に転送された入力キュー内のメッセージは消失します。

(4) メッセージ RAM 読み出しエラー

ヘッダセクション読み出し中の読み出しエラーは FLXAnFRMHDS レジスタで示されます。

バッファタイプおよびバッファ保護の設定により、メッセージバッファの再設定ができない可能性があります。

「18.3.13.4 (3) ヘッダセクションの一時的なロック解除」に記述された方法により、入力転送機能を使ってロックされたメッセージバッファを再設定することはできません。

ロックされたバッファを再設定する前に、入力転送機能および出力転送機能を無効にすることが必要です。

第19章 Single Edge Nibble Transmission (RSENT)

本章では、Renesas シングルエッジニブルトランスミッション (RSENT) 全般について説明します。

最初の節では、チャンネル、レジスタベースアドレス、入出力信号名など、すべての RH850/P1x に固有の特性について説明します。

それ以降の節では、すべてのバージョンに共通の特長について説明します。

19.1 RH850/P1x の RSENT の概要

19.1.1 チャンネル数

RH850/P1x は 6 チャンネルの RSENT を搭載しています。

表 19.1 RSENT のチャンネル

RSENT	
チャンネル数	<100pin> 5 <144pin> 6
名称	<100pin>RSENT0, RSENT1, RSENT3, RSENT4, RSENT5 <144pin>RSENT0, RSENT1, RSENT2, RSENT3, RSENT4, RSENT5

n の意味

本章では、RSENT の各チャンネルを「n」(n=0～5) で識別します。たとえば、RSENT タイムスタンプレジスタは RSENTnTSPC と記述します。

19.1.2 レジスタベースアドレス

RSENT のレジスタベースアドレスは、ベースアドレス <RSENTn_base> からのオフセットで表されます。

各 RSENT のベースアドレス <RSENTn_base> を以下の表に示します。

表 19.2 レジスタベースアドレス <RSENTn_base>

RSENTn のチャンネル	<RSENTn_base> アドレス
RSENT0	FFE0 5000 _H
RSENT1	FFE0 6000 _H
RSENT2	FFE0 7000 _H
RSENT3	FFE0 8000 _H
RSENT4	FFE0 9000 _H
RSENT5	FFE0 A000 _H

19.1.3 クロック供給

RSENT のクロック供給を以下の表に示します。

表 19.3 RSENT のクロックソース

モジュール	クロック	接続先
RSENTn	pclk	高速周辺クロック CLK_HSB
	clkc	

19.1.4 割り込みと DMA/DTS

RSENT は以下の割り込み要求を発生することができます。

表 19.4 RSENT の割り込み要求

RSENTn の信号	機能	接続先
RSENT0		
INT_SENT_ST	RSENT ステータス割り込み	• 割り込みコントローラ 232 (INTSENT0SI)
INT_SENT_RX	RSENT 受信割り込み	• 割り込みコントローラ 233(INTSENT0RI) • DMA/DTS コントローラトリガ 119
RSENT1		
INT_SENT_ST	RSENT ステータス割り込み	• 割り込みコントローラ 234(INTSENT1SI)
INT_SENT_RX	RSENT 受信割り込み	• 割り込みコントローラ 235(INTSENT1RI) • DMA/DTS コントローラトリガ 120
RSENT2		
INT_SENT_ST	RSENT ステータス割り込み	• 割り込みコントローラ 236 (INTSENT2SI)
INT_SENT_RX	RSENT 受信割り込み	• 割り込みコントローラ 237(INTSENT2RI) • DMA/DTS コントローラトリガ 121
RSENT3		
INT_SENT_ST	RSENT ステータス割り込み	• 割り込みコントローラ 238(INTSENT3SI)
INT_SENT_RX	RSENT 受信割り込み	• 割り込みコントローラ 239(INTSENT3RI) • DMA/DTS コントローラトリガ 122
RSENT4		
INT_SENT_ST	RSENT ステータス割り込み	• 割り込みコントローラ 240 (INTSENT4SI)
INT_SENT_RX	RSENT 受信割り込み	• 割り込みコントローラ 241(INTSENT4RI) • DMA/DTS コントローラトリガ 123
RSENT5		
INT_SENT_ST	RSENT ステータス割り込み	• 割り込みコントローラ 242(INTSENT5SI)
INT_SENT_RX	RSENT 受信割り込み	• 割り込みコントローラ 243(INTSENT5RI) • DMA/DTS コントローラトリガ 124

19.1.5 リセット要因

RSENT のリセット要因を以下に示します。RSENT は以下に示すリセット要因で初期化されます。

表 19.5 RSENT リセット信号

チャンネル	リセット信号
RSENTn	リセットコントローラ SYSRES

19.1.6 外部入出力信号

RSENT の外部入出力信号を以下の表に示します。

表 19.6 RSENTn の外部入出力信号

RSENTn の信号	機能	接続先
RSENT0		
sent_rx	RSENT データ入力	ポート SENT0RX
sent_spc	RSENT SPC 拡張出力	ポート SENT0SPCO
RSENT1		
sent_rx	RSENT データ入力	ポート SENT1RX
sent_spc	RSENT SPC 拡張出力	ポート SENT1SPCO
RSENT2		
sent_rx	RSENT データ入力	ポート SENT2RX
sent_spc	RSENT SPC 拡張出力	ポート SENT2SPCO
RSENT3		
sent_rx	RSENT データ入力	ポート SENT3RX
sent_spc	RSENT SPC 拡張出力	ポート SENT3SPCO
RSENT4		
sent_rx	RSENT データ入力	ポート SENT4RX
sent_spc	RSENT SPC 拡張出力	ポート SENT4SPCO
RSENT5		
sent_rx	RSENT データ入力	ポート SENT5RX
sent_spc	RSENT SPC 拡張出力	ポート SENT5SPCO

19.1.7 端子名とポート名の組み合わせ

RSENT の端子名とポート名の組み合わせを以下に示します。

表 19.7 端子名とポート名の組み合わせ

機能	端子名	ポート名	
		グループ 1	グループ 2
RSENT0	SENT0RX	P5_5	—
	SENT0SPCO	P0_8 ^{注1} / P5_5 / P5_6	—
RSENT1	SENT1RX	P5_8	—
	SENT1SPCO	P0_7 ^{注1} / P5_8 / P5_9	—
RSENT2	SENT2RX	P5_12 ^{注1}	—
	SENT2SPCO	P0_6 ^{注1} / P5_12 ^{注1} / P5_13 ^{注1}	—
RSENT3	SENT3RX	P5_14	P5_11 ^{注1}
	SENT3SPCO	P0_0 / P0_5 ^{注1} / P5_14 / P5_15 ^{注1}	P0_0 / P0_5 ^{注1} / P5_11 ^{注1} / P5_15 ^{注1}
RSENT4	SENT4RX	P0_1	—
	SENT4SPCO	P0_1 / P0_4 ^{注1} / P3_11	—
RSENT5	SENT5RX	P0_2	—
	SENT5SPCO	P0_2 / P0_3 ^{注1}	—

注 1. 144pin 版で使用可能

19.2 機能

機能の概要

RSENT インタフェースでは次の標準仕様 (SAE J2716 version JAN2010) の機能に対応しています。

- トリプルスピード拡張 Tick Time 対応 : クロック周期 (1 μ s ~ 90 μ s)
- 可変データ転送レート
 - 24.7 kbps ~ 64.9 kbps : 3 クロックレート 6 ニブルデータ
 - 74.1 kbps ~ 194.7 kbps : 1 クロックレート 6 ニブルデータ
- 単方向通信 : センサと MCU 間
- 双方向通信 : センサと MCU 間 (SPC モードによってサポート)
- シングルエッジデータ伝送 : データライン上の二つの連続検出立ち下がりエッジの時間的距離によってコード化
- 最大 6 データニブル + ステータス / コミュニケーションニブルによる送信フレーム
- CRC で保護されたデータ転送可能
 - CRC データは RSENTnSRXD.SCRC ビットにてリード可能
- 各データフレームでキャリブレーションフレーズ
- 1 ワイヤインタフェース (sent_rx、sent_spc は一つの端末を共有)
- 標準拡張機能を持つ RSENT チャネルに複数のセンサが接続可能
各センサからの受信データはソフトウェアまたは DMA にて検出
- タイムスタンプ機能をサポート : 各 RSENT はマスタ / スレーブ選択可能
- RSENT 回路は次の機能で構成されています
 - データ受信部
 - クロックリカバリ
 - レジスタ群

19.2.1 ブロック図

RSENT のブロック図を次に示します。

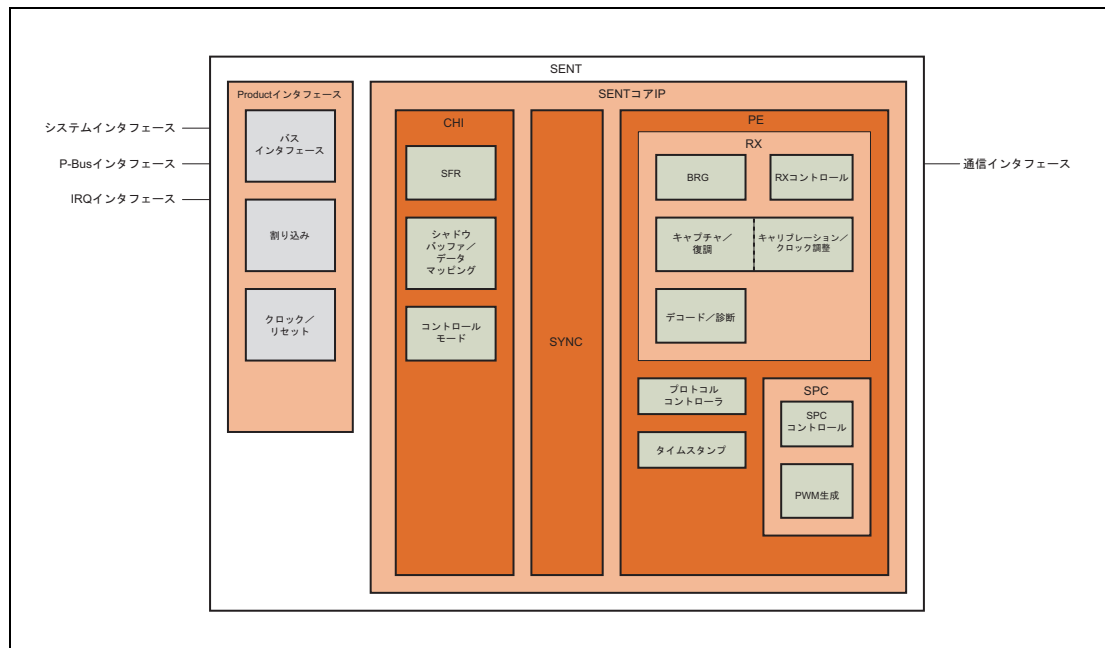


図 19.1 RSENT のブロック図

19.3 レジスタ

RSENTn は、以下のレジスタによって制御され、操作されます。

<RSENTn_base> は「**19.1.2 レジスタベースアドレス**」を参照してください。

表 19.8 RSENTn のレジスタの概要

レジスタ名	略号	アドレス
RSENT タイムスタンプレジスタ	RSENTnTSPC	<RSENTn_base> + 0000 _H
RSENT タイムスタンプカウンタ	RSENTnTSC	<RSENTn_base> + 0004 _H
RSENT 通信設定レジスタ	RSENTnCC	<RSENTn_base> + 0010 _H
RSENT ボーレートプリスケラレジスタ	RSENTnBRP	<RSENTn_base> + 0014 _H
RSENT 割り込み/DMA イネーブルレジスタ	RSENTnIDE	<RSENTn_base> + 0018 _H
RSENT モード制御レジスタ	RSENTnMDC	<RSENTn_base> + 001C _H
RSENT SPC 送信レジスタ	RSENTnSPCT	<RSENTn_base> + 0020 _H
RSENT モードステータスレジスタ	RSENTnMST	<RSENTn_base> + 0024 _H
RSENT 通信ステータスレジスタ	RSENTnCS	<RSENTn_base> + 0028 _H
RSENT 通信ステータスクリアレジスタ	RSENTnCSC	<RSENTn_base> + 002C _H
RSENT 低速チャンネル受信タイムスタンプレジスタ	RSENTnSRTS	<RSENTn_base> + 0030 _H
RSENT 低速チャンネル受信データレジスタ	RSENTnSRXD	<RSENTn_base> + 0034 _H
RSENT キャリブレーションパルス長レジスタ	RSENTnCPL	<RSENTn_base> + 0038 _H
RSENT メッセージ長レジスタ	RSENTnML	<RSENTn_base> + 003C _H
RSENT 高速チャンネル受信タイムスタンプレジスタ	RSENTnFRTS	<RSENTn_base> + 0040 _H
RSENT 高速チャンネル受信データレジスタ	RSENTnFRXD	<RSENTn_base> + 0044 _H
RSENT タイムスタンプモード選択レジスタ	RSENTTSEL	<RSENT0_base> + A000 _H

19.3.1 RSENTnTSPC — RSENT タイムスタンプレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0000_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TMS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTM[6:0]						—	TTPV[6:0]						—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.9 RSENTnTSPC レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TMS	タイムスタンプモード選択 0 : マスタモード 1 : スレーブモード
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ~ 8	TTM[6:0]	タイムスタンプの乗算値 0000000 _B : 1 0000001 _B : 2 0000010 _B : 3 : 1111111 _B : 128
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	TTPV[6:0]	タイムスタンプのプリスケアラ値 0000000 _B : 1 0000001 _B : 2 0000010 _B : 3 : 1111111 _B : 128

RSENTnTSPC.TMS (タイムスタンプモード選択)

本ビットが0に設定されると、タイムスタンプカウンタは、マスタモードで動作します。

マスタとして設定しているモジュールの RSENTnTSC に 0000 0000_H を書き込むと、そのモジュールのタイムスタンプとスレーブに設定している ch のタイムスタンプがクリアされます。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

スレーブモードで動作している RSENT は、そのマスタとして動作している RSENT とタイムスタンプカウンタのプリスケアラ設定が同じである必要があります。

RSENTnTSPC.TTM (タイムスタンプティック値)

本ビットは、タイムスタンプカウンタで使用される、1 μ s ティック時間の乗算値を定義します。

タイムスタンプクロックの設定については、「**19.5.1 タイムスタンプ**」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnTSPC.TTPV (タイムスタンプティックプリスケアラ値)

本ビットは、1 μ s クロックティックを発生するプリスケアラ値を定義します。

タイムスタンプクロックの設定については、「**19.5.1 タイムスタンプ**」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

供給される通信クロックに基づいて、1 μ s クロックティックが発生されるよう、CPU は本ビットに値を設定する必要があります。

19.3.2 RSENTnTSC—RSENT タイムスタンプカウンタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0004_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.10 RSENTnTSC レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TS[31:0]	タイムスタンプカウンタ値

RSENTnTSC.TS (タイムスタンプ)

本ビットは、現在のタイムスタンプカウンタ値を示しています。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに任意の値を書き込むことができます。

RSENT が OPERATION IDLE または OPERATION ACTIVE モード (RSENTnMST.OMS = 011_B または 101_B) の時、タイムスタンプカウンタがスレーブモード (RSENTnTSPC.TMS = 1) で動作するように設定されると、本レジスタへの書き込みは効果がありません。

RSENT が OPERATION IDLE または OPERATION ACTIVE モード (RSENTnMST.OMS = 011_B または 101_B) の時、タイムスタンプカウンタは、タイムスタンプカウンタティックのたびに (RSENTnTSPC.TTPV と RSENTnTSPC.TTM ビットで設定)、インクリメントされます。

タイムスタンプカウンタが、マスタモード (RSENTnTSPC.TMS = 0) で動作するように設定されると、CPU は本ビットに 0000 0000_H を書き込み、RSENTnTSC.TS は 0000 0000_H に設定されます。

タイムスタンプカウンタが、スレーブモード (RSENTnTSPC.TMS = 1) で動作するように設定されると、本 ch のマスタモードに設定されている ch の RSENTnTSC.TS ビットに 0000 0000_H を書き込みにより RSENTnTSC.TS ビットは 0000 0000_H に設定されます。

タイムスタンプモード選択については「19.5.1 タイムスタンプ」を参照してください。

19.3.3 RSENTnCC — RSENT 通信設定レジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0010_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SOPC	FCM	SCCD	FCCD	—	SMF[1:0]	PPTC	PPC	NDN[2:0]		SPCE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.11 RSENTnCC レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SOPC	SPC 出力極性制御 0: SPC パルスアクティブハイ 1: SPC パルスアクティブロウ
11	FCM	フレームチェック方法 0: 次のキャリブレーションパルスに対するチェック 1: 前回のキャリブレーションパルスに対するチェック
10	SCCD	低速チャンネル CRC チェック 0: 低速チャンネル CRC チェック有効 1: 低速チャンネル CRC チェック無効
9	FCCD	高速チャンネル CRC チェック 0: 高速チャンネル CRC チェック有効 1: 高速チャンネル CRC チェック無効
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7、6	SMF	シリアルメッセージ形式 00 _B : シリアルメッセージ抽出なし 01 _B : ショートシリアルメッセージ形式 10 _B : エンハンストシリアルメッセージ形式 11 _B : 設定禁止
5	PPTC	パルス一時停止タイプ設定 0: 可変メッセージ長パルス一時停止 1: 固定メッセージ長パルス一時停止

表 19.11 RSENTnCC レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	PPC	パルス一時停止設定 0: パルス一時停止なし 1: パルス一時停止あり
3 ~ 1	NDN[2:0]	データニブル数 000 _B : 1 データニブル 001 _B : 2 データニブル 010 _B : 3 データニブル 011 _B : 4 データニブル 100 _B : 5 データニブル 101 _B : 6 データニブル 上記以外: 設定禁止
0	SPCE	SPC モード有効 0: SPC モード無効 1: SPC モード有効

RSENTnCC.SOPC (SPC 出力極性制御)

本ビットが 0 に設定されると、SPC パルスはアクティブハイ信号として送信されます。デフォルトの出力値はロウレベルです。

本ビットが 1 に設定されると、SPC パルスはアクティブロウ信号として送信されます。デフォルトの出力値はハイレベルです。

SPC の動作については、「**19.7 SPC 機能**」参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

備 考

本ビットへの設定は、OPERATION ACTIVE モード (RSENTnMST.OMS = 101_B) に移行したタイミングで有効になります。

RESET モードへ移行した場合は、出力値はデフォルトの値 (ロウレベル) になります。

RSENTnCC.FCM (フレームチェック方法)

本ビットが 0 に設定されると、現在のキャリブレーションパルスが次に受信されるキャリブレーションパルスと比較されます。

バッファは、SAE J2716 2010 で説明された、推奨オプションに従って更新されます。

本ビットが 1 に設定されると、現在のキャリブレーションパルスが以前に受信したキャリブレーションパルスと比較されます。

バッファは、SAE J2716 2010 で説明された、第 2 オプションに従って更新されますが、第 2 オプションは、2 番目のキャリブレーションパルス进行处理するための余分なレイテンシが許容できない場合のみ使用してください。

バッファ更新のタイミングについては、「**19.6.2.3 高速チャネルメッセージ受信**」も参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SCCD (低速チャンネルCRCチェック無効)

本ビットが1に設定されると、低速チャンネルのCRCチェックが無効になります。この場合、メッセージは、受信したCRCと共に、低速チャンネルメッセージ受信バッファに保存されます。

本ビットが1に設定されると、RSENTnCS.SCS ビットは設定されません。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.FCCD (高速チャンネルCRCチェック無効)

本ビットが1に設定されると、高速チャンネルのCRCチェックが無効になります。この場合、メッセージは、受信したCRCと共に、高速チャンネルメッセージ受信バッファに保存されます。

本ビットが1に設定されると、RSENTnCS.FCS は設定されません。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SMF (シリアルメッセージ形式)

本ビットは、自動抽出して受信されるシリアルメッセージ形式を定義します。

本ビットが0_Bに設定されると、シリアルメッセージは抽出されず、ステータス&コミュニケーションニブルはRSENTnSRXDレジスタに格納されます。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SPCE が1に設定され、RSENT に複数のセンサーが接続される際は、CPU は本ビットに0_Bを設定する必要があります。

RSENTnCC.PPTC (パルス一時停止タイプ設定)

本ビットは、パルス一時停止タイプを定義します。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.PPC ビットが0に設定される際は、CPU は本ビットを1に設定しないでください。

RSENTnCC.PPC (パルス一時停止設定)

本ビットは、パルス一時停止の有無を定義します。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.NDN (データニブル数)

本ビットは、RSENT メッセージに含まれるデータニブル数を定義します。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SPCE (SPC モード有効)

本ビットは、SPC モードを有効にします。

SPC モードの動作については、「**19.7 SPC 機能**」も参照してください。

RSENT モジュールが CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

19.3.4 RSENTnBRP — RSENT ボーレートプリスケアラレジスタ

アクセス 32ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0014_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	TTF[3:0]				—	TTI[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SCDV[6:0]						—	—	—	SCMV[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 19.12 RSENTnBRP レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27 ~ 24	TTF[3:0]	タイムティック小数 0000 _B : 0.0 μs 0001 _B : 0.1 μs 0010 _B : 0.2 μs : 1000 _B : 0.8 μs 1001 _B : 0.9 μs 上記以外: 設定禁止
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 16	TTI[6:0]	タイムティック整数 0000000 _B : 1 μs 0000001 _B : 2 μs 0000010 _B : 3 μs : 1011000 _B : 89 μs 1011001 _B : 90 μs 上記以外: 設定禁止
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ~ 8	SCDV[6:0]	サンプルクロック分周値 0000000 _B : 1 0000001 _B : 2 0000010 _B : 3 : 1111110 _B : 127 1111111 _B : 128
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 0	SCMV[4:0]	サンプルクロック乗算値 00000 _B : 1 00001 _B : 2 00010 _B : 3 : 11110 _B : 31 11111 _B : 32

RSENTnBRP.TTF (タイムティック小数)

本ビットは、0.1 μ s の長さのティックの小数部分を定義します。

ティックの長さの設定については、「19.5.2.2 受信と SPC のティック設定」を参照してください。

RSENT モジュールが CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.TTI (タイムティック整数)

本ビットは、ティックの長さの整数部分を定義します。

ティックの長さの設定については、「19.5.2.2 受信と SPC のティック設定」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.SCDV (サンプルクロック分周値)

本ビットは、サンプルクロック発生ロジックの分周値を定義します。

RSENTnBRP の設定については、「19.5.2.1 RX BRP 設定」を参照してください。

RSENT が CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.SCMV (サンプルクロック乗算値)

本ビットは、サンプルクロック発生ロジックの乗算値を定義します。

RSENTnBRP の設定については、「19.5.2.1 RX BRP 設定」を参照してください。

RSENT モジュールが CONFIGURATION モード (RSENTnMST.OMS = 001_B) の時のみ、CPU は、本ビットに書き込むことができます。

19.3.5 RSENTnIDE — RSENT 割り込み / DMA イネーブルレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0018_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SEIE	SMIE	SCIE	NRIE	CVIE	CLIE	FNIE	FEIE	FMIE	FCIE	FRIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.13 RSENTnIDE レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SEIE	低速チャンネル符号化エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
9	SMIE	低速チャンネルメッセージロスト割り込み制御 0: 割り込み無効 1: 割り込み有効
8	SCIE	低速チャンネル CRC エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
7	NRIE	応答なしエラー割り込み制御 0: 割り込み無効 1: 割り込み有効
6	CVIE	キャリブレーションパルス長変動エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
5	CLIE	キャリブレーションパルス長エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
4	FNIE	高速チャンネルニブルカウントエラー割り込み制御 0: 割り込み無効 1: 割り込み有効
3	FEIE	高速チャンネルニブル符号化エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
2	FMIE	高速チャンネルメッセージロスト割り込み制御 0: 割り込み無効 1: 割り込み有効
1	FCIE	高速チャンネル CRC エラー割り込み制御 0: 割り込み無効 1: 割り込み有効
0	FRIE	高速チャンネル受信割り込み制御 0: 割り込み無効 1: 割り込み有効

RSENTnIDE.SEIE (低速チャネル符号化エラー割り込みイネーブル)

本ビットは、低速チャネル符号化エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.SMIE (低速チャネルメッセージロスト割り込みイネーブル)

本ビットは、低速チャネルメッセージロスト割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.SCIE (低速チャネル CRC エラー割り込みイネーブル)

本ビットは、低速チャネル CRC エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.NRIE (応答なしエラー割り込みイネーブル)

本ビットは、応答なしエラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

SPC モードが無効 (RSENTnCC.SPCE = 0) の時は、CPU は、本ビットを設定しないでください。

RSENTnIDE.CVIE (キャリブレーションパルス長変動エラー割り込みイネーブル)

本ビットは、キャリブレーションパルス長変動エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.CLIE (キャリブレーションパルス長エラー割り込みイネーブル)

本ビットは、キャリブレーションパルス長エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FNIE (高速チャネルニブルカウントエラー割り込みイネーブル)

本ビットは、高速チャネルニブルカウントエラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FEIE (高速チャネルニブル符号化エラー割り込みイネーブル)

本ビットは、高速チャネルニブル符号化エラー割り込みの発生を可能にします。

RSENT モジュールが RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FMIE (高速チャネルメッセージロスト割り込みイネーブル)

本ビットは、高速チャネルメッセージロスト割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FCIE (高速チャネル CRC エラー割り込みイネーブル)

本ビットは、高速チャネル CRC エラー割り込みの発生を可能にします。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FRIE (高速チャネル受信割り込みイネーブル)

本ビットは、高速チャネル受信割り込みの発生を可能にします。

高速チャネル受信割り込みは、DMA 要求を通知するためにも使用されます。

RSENT が RESET モード (RSENTnMST.OMS = 000_B) の時は、CPU は、本ビットに書き込むことができません。

19.3.6 RSENTnMDC — RSENT モード制御レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 001C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OMC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 19.14 RSENTnMDC レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	OMC[2:0]	動作モード制御 000 _B : RESET 001 _B : CONFIGURATION 011 _B : OPERATION IDLE 101 _B : OPERATION ACTIVE 上記以外 : 設定禁止

RSENTnMDC.OMC (動作モード制御)

本ビットは RSENT の動作モードを制御するために使用されます。

- 000_B : RESET

RESET モードでは、動作モードは、CONFIGURATION モードにのみ、変更することができます。

- 001_B : CONFIGURATION

CONFIGURATION モードでは、動作モードは、RESET モードまたは OPERATION ACTIVE モードにのみ、変更することができます。

- 011_B : OPERATION IDLE

OPERATION IDLE モードでは、動作モードは、OPERATION ACTIVE モード、CONFIGURATION モードまたは RESET モードにのみ、変更することができます。

- 101_B : OPERATION ACTIVE

OPERATION ACTIVE モードでは、動作モードは、OPERATION IDLE モード、CONFIGURATION モードまたは RESET モードにのみ、変更することができます。しかし、最初は OPERATION IDLE モードにすることを推奨します。

動作モード変更時の、推奨方法については、「19.6.1 動作モードの移行」を参照してください。

- 上記以外：設定禁止

CPU は、本レジスタに上記以外の値を書かないでください。

CPU は、「19.6.1 動作モードの移行」に示すモード変更手順に従ってください。

19.3.7 RSENTnSPCT — RSENT SPC 送信レジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 0020_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TLL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.15 RSENTnSPCT レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	TLL[6:0]	ティック単位でのロウトリガフェーズの長さ 0000000 _B : 1 ティック 0000001 _B : 2 ティック 0000010 _B : 3 ティック ⋮ 1111110 _B : 127 ティック 1111111 _B : 128 ティック

RSENTnSPCT.TLL (ロウトリガ長)

本ビットは、SPC トリガパルスの長さを定義します。

CPU が本ビットに書き込む時は、設定された長さを持つ SPC トリガパルスは、RSENT モジュールの現在のステータスに関係なく、すぐ送信されます。

SPC の通信については、「19.7 SPC 機能」を参照してください。

RSENT が OPERATION ACTIVE モード (RSENTnMST.OMS = 101_B) で、SPC 通信が有効 (RSENTnCC.SPCE = 1) の時のみ、CPU は、本ビットに書き込むことができます。

前の要求がまだ開始されていない場合、2 つの連続したライトアクセスは、応答なしエラーを発生しない可能性がありますので、注意してください。

本レジスタへの書き込み後、再度書き込みをする前に、CPU は少なくとも 1 SPC トリガティック、待機してください。

19.3.8 RSENTnMST — RSENT モードステータスレジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0024_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OMS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.16 RSENTnMST レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	OMS[2:0]	動作モード 000 _B : RESET 001 _B : CONFIGURATION 011 _B : OPERATION IDLE 101 _B : OPERATION ACTIVE 上記以外 : 予約

RSENTnMST.OMS (動作モードステータス)

本ビットは、現在の動作モードを示しています。

本ビットは読み出しのみ可能です。

本ビットは、モード変更要求が RSENTnMDC.OMC レジスタに設定された後に、更新されません。

- 000_B : RESET モード

RESET モードでは、すべてのレジスタはリセット値に設定されており、RSENTnMDC レジスタを除くすべてのレジスタへの書き込みアクセスは無効になっています。RESET モードでは、RSENT 通信は無効になります。

- 001_B : CONFIGURATION モード

CONFIGURATION モードでは、タイムスタンプレジスタ (RSENTnTSPC と RSENTnTSC レジスタ)、設定レジスタ (RSENTnCC と RSENTnBRP レジスタ)、RSENTnIDE レジスタおよびモード制御レジスタ (RSENTnMDC.OMC) への書き込みが有効になっています。

CONFIGURATION モードでは、RSENT 通信は無効になります。

CONFIGURATION モードへの移行時は、すべてのステータスレジスタと受信バッファレジスタは、リセット値に設定されます。

- 011_B : OPERATION IDLE モード

OPERATION IDLE モードでは、受信や SPC トリガ送信はできません。

OPERATION IDLE モードへの移行時は、受信バッファ内のフレームは OPERATION ACTIVE モードとして分析されますが、新しいフレームは受信されません。

- 101_B : OPERATION ACTIVE モード

OPERATION ACTIVE モードでは、受信や SPC トリガ送信が可能です。

- 上記以外 : 予約

19.3.9 RSENTnCS — RSENT 通信ステータスレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0028_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SES	SMS	SCS	NRS	CVS	CLS	FNS	FES	FMS	FCS	FRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.17 RSENTnCS レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	SES	低速チャンネル符号化エラー割り込み検出 0: 未検出 1: 検出
9	SMS	低速チャンネルメッセージロスト割り込み検出 0: 未検出 1: 検出
8	SCS	低速チャンネル CRC エラー割り込み検出 0: 未検出 1: 検出
7	NRS	応答なしエラー割り込み検出 0: 未検出 1: 検出
6	CVS	キャリブレーションパルス長変動エラー割り込み検出 0: 未検出 1: 検出
5	CLS	キャリブレーションパルス長エラー割り込み検出 0: 未検出 1: 検出
4	FNS	高速チャンネルニブルカウントエラー割り込み検出 0: 未検出 1: 検出
3	FES	高速チャンネルニブル符号化エラー割り込み検出 0: 未検出 1: 検出
2	FMS	高速チャンネルメッセージロスト割り込み検出 0: 未検出 1: 検出
1	FCS	高速チャンネル CRC エラー割り込み検出 0: 未検出 1: 検出
0	FRS	高速チャンネル受信割り込み検出 0: 未検出 1: 検出

RSENTnCS.SES (低速チャネル符号化エラーステータス)

本ビットは、低速チャネル符号化エラーステータスを示します。

本ビットは読み出しのみ可能です。

ショートシリアルメッセージフォーマット (RSENTnCC.SMF = 01_B) では、シリアルスタートビット (ステータス&コミュニケーションニブルのビット3) の配列が "1000 0000 0000 0000_B" (1が1つ、0が15個) と異なると、本ビットが設定されます。

拡張シリアルメッセージフォーマット (RSENTnCC.SMF = 10_B) では、シリアルメッセージ開始フレーム (ステータス&コミュニケーションニブルのビット3の配列が 0111 1110_B) を受信後、ビット13またはビット18が'0'として受信されないと、本ビットが設定されます。

このビットがショートシリアルメッセージフォーマットで設定されると、受信されたステータス&コミュニケーションニブルはシリアルメッセージを構築するために使用されます。

このビットが拡張シリアルメッセージフォーマットで設定されると、RSENT モジュールは、シリアルメッセージ開始フレームの先頭かをチェックし、受信したステータス&コミュニケーションニブルを使用してシリアルメッセージを構築します。

RSENTnCSC.SEC に1を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.SMS (低速チャネルメッセージロストステータス)

本ビットは、低速チャネルメッセージロストステータスを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファを更新しようとした際、前のメッセージがまだ読み出されていない場合に、本ビットは設定されます。

RSENTnCSC.SEC に1を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.SCS (低速チャネル CRC エラーステータス)

本ビットは、低速チャネル CRC エラーステータスを示します。

本ビットは読み出しのみ可能です。

低速チャネルで CRC エラーが検出され、低速チャネル CRC 検出が有効 (RSENTnCC.SCCD = 0 に設定) の場合、本ビットは設定されます。

RSENTnCSC.SCC に1を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.NRS (応答なしエラーステータス)

本ビットは、応答なしエラーステータスを示します。

本ビットは読み出しのみ可能です。

本ビットは、以下の時、設定されます。

- CPU が RSENTnSPCT.TLL へ書き込み
- SPC モードが有効 (RSENTnCC.SPCE = 1 に設定)
- 前の SPC トリガに対して、センサーから、応答完了の受信なし

RSENTnCSC.NRC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.CVS (キャリブレーションパルス長変動エラーステータス)

本ビットは、キャリブレーションパルス長変動エラーステータスを示します。

本ビットは読み出しのみ可能です。

RSENTnCC.PPTC が 0 の場合、2 つの連続したキャリブレーションパルスが 1.5625%以上異なると、本ビットは設定されます。

RSENTnCC.PPTC が 1 の場合、本ビットは設定されません。本モード (固定されたメッセージ長で、パルス一時停止) では、CPU は RSENTnCPL と RSENTnML レジスタを読み出すことにより、メッセージ長に対する、キャリブレーションパルス比の変動をチェックする必要があります。

RSENTnCSC.CVC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.CLS (キャリブレーションパルス長エラーステータス)

本ビットは、キャリブレーションパルス長エラーステータスを示します。

本ビットは読み出しのみ可能です。

測定されたキャリブレーションパルスの長さが 42 クロックティック未満、または 70 クロックティックを超えた (規格値 (56 クロックティック) から 25%の偏差) 時に、本ビットは設定されます。

RSENTnCSC.CLC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FNS (高速チャンネルニブルカウントエラーステータス)

本ビットは、高速チャンネルニブルカウントエラーステータスを示します。

本ビットは読み出しのみ可能です。

2つのキャリブレーションパルス間に、予期せぬ数の立ち下がりエッジがあると、本ビットは設定されます。

RSENTnCSC.FNC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FES (高速チャンネルニブル符号化エラーステータス)

本ビットは、高速チャンネルニブル符号化エラーステータスを示します。

本ビットは読み出しのみ可能です。

高速チャンネル上で、測定されたニブル期間が 12 クロックティック未満、または 27 クロックティックを超えた時に、本ビットは設定されます。

RSENTnCSC.FEC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FMS (高速チャンネルメッセージロストステータス)

本ビットは、高速チャンネルメッセージロストステータスを示します。

本ビットは読み出しのみ可能です。

高速チャンネルメッセージ受信バッファを更新しようとした際、前のメッセージがまだ読み出されていない場合に、本ビットは設定されます。

RSENTnCSC.FMC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FCS (高速チャンネル CRC エラーステータス)

本ビットは、高速チャンネル CRC エラーステータスを示します。

本ビットは読み出しのみ可能です。

高速チャンネルで CRC エラーが検出され、高速チャンネル CRC 検出が有効 (RSENTnCC.FCCD = 0 に設定) の場合、本ビットは設定されます。

RSENTnRSENTnCSC.FCC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FRS (高速チャネル受信ステータス)

本ビットは、高速チャネル受信ステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

CPU が RSENTnFRXD.FND ビットを読み出すと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされま
す。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

19.3.10 RSENTnCSC — RSENT 通信ステータスクリアレジスタ

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <RSENTn_base> + 002C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SEC	SMC	SCC	NRC	CVC	CLC	FNC	FEC	FMC	FCC	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 19.18 RSENTnCSC レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SEC	低速チャンネル符号化エラー割り込みクリア 0: — 1: クリア
9	SMC	低速チャンネルメッセージロスト割り込みクリア 0: — 1: クリア
8	SCC	低速チャンネル CRC エラー割り込みクリア 0: — 1: クリア
7	NRC	応答なしエラー割り込みクリア 0: — 1: クリア
6	CVC	キャリブレーションパルス長変動エラー割り込みクリア 0: — 1: クリア
5	CLC	キャリブレーションパルス長エラー割り込みクリア 0: — 1: クリア
4	FNC	高速チャンネルニブルカウントエラー割り込みクリア 0: — 1: クリア
3	FEC	高速チャンネルニブル符号化エラー割り込みクリア 0: — 1: クリア
2	FMC	高速チャンネルメッセージロスト割り込みクリア 0: — 1: クリア
1	FCC	高速チャンネル CRC エラー割り込みクリア 0: — 1: クリア
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSENTnCSC.SEC (低速チャンネル符号化エラークリア)

本ビットに1を書き込むと、RSENTnCS.SESが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCSC.SMC (低速チャンネルメッセージロストクリア)

本ビットに1を書き込むと、RSENTnCS.SMSが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCSC.SCC (低速チャンネルCRCエラークリア)

本ビットに1を書き込むと、RSENTnCS.SCSが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCSC.NRC (応答なしエラークリア)

本ビットに1を書き込むと、RSENTnCS.NRSが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCSC.CVC (キャリブレーションパルス長変動エラークリア)

本ビットに1を書き込むと、RSENTnCS.CVSが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCSC.CLC (キャリブレーションパルス長エラークリア)

本ビットに1を書き込むと、RSENTnCS.CLSが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCSC.FNC (高速チャンネルニブルカウントエラークリア)

本ビットに1を書き込むと、RSENTnCS.FNSが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCSC.FEC (高速チャンネルニブル符号化エラークリア)

本ビットに1を書き込むと、RSENTnCS.FESが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCSC.FMC

高速チャネルメッセージロストクリア

本ビットに1を書き込むと、RSENTnCS.FMSが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

RSENTnCS.FCC (高速チャネルCRCエラークリア)

本ビットに1を書き込むと、RSENTnCS.FCSが0にクリアされます。

0の書き込みは、無効です。

本ビットは常に0として読み出されます。

19.3.11 RSENTnSRTS — RSENT 低速チャネル受信タイムスタンプレジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0030_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.19 RSENTnSRTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	STS	低速チャネル受信タイムスタンプ

RSENTnSRTS.STS (低速チャネル受信タイムスタンプ)

低速チャネル受信タイムスタンプ

本ビットは読み出しのみ可能です。

低速チャネルメッセージに提供される最後のフレームのタイムスタンプカウンタ値で、低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMSが001_B (CONFIGURATION)に変更されると、本ビットはクリアされま

19.3.12 RSENTnSRXD — RSENT 低速チャネル受信データレジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0034_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SND	—	SCRC[5:0]					—	—	—	SMGC	IDD[19:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IDD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.20 RSENTnSRXD レジスタの内容

ビット位置	ビット名	機能
31	SND	低速チャネル新データ 0: 低速チャネルフレームデータが、最後の読み出し以降に更新されていない 1: 低速チャネルフレームデータが、最後の読み出し以降に更新された
30	予約ビット	リードした場合はリセット後の値が読めます。
29 ~ 24	SCRC[5:0]	低速チャネル CRC データ
23 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20	SMGC	低速チャネルコンフィグレーションビットデータ
19 ~ 0	IDD[19:0]	低速チャネルデータと ID 情報を示す

RSENTnSRXD.SND (低速チャネル新データ)

本ビットは、低速チャネルメッセージ受信バッファがまだ読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

RSENTnSRXD.SCRC (低速チャネル CRC)

本ビットは、低速チャネル CRC データを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

RSENTnSRXD.SMGC (低速チャンネルコンフィグレーションビット)

本ビットは、低速チャンネルコンフィグレーションビットデータを示します。

本ビットは読み出しのみ可能です。

低速チャンネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

RSENTnSRXD.IDD (ID/ データ)

本ビットは、低速チャンネルデータと ID 情報を示します。

本レジスタ内の配置は、メッセージ形式に依存します。詳細については、「**19.6.2.5 低速チャンネルメッセージ受信**」を参照してください。

本ビットは読み出しのみ可能です。

低速チャンネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

19.3.13 RSENTnCPL — RSENT キャリブレーションパルス長レジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0038_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPLV [16]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.21 RSENTnCPL レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。
16 ~ 0	CPLV[16:0]	受信メッセージのキャリブレーションパルス長の値

RSENTnCPL.CPLV (キャリブレーションパルス長の値)

メッセージ診断のため、2つの連続したキャリブレーションパルス、または固定されたメッセージ長モードで、パルス一時停止した、メッセージ長へのキャリブレーションパルスの比を計算する CPU によって、本ビットは使用されます。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、キャリブレーションパルス長 (1 ティック時間 × キャリブレーションパルスのティック数) をサンプルクロック ($f_{\text{SAMPLE}} = 16\text{MHz}$) でカウントした値が格納されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

19.3.14 RSENTnML — RSENT メッセージ長レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 003C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	MLV[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.22 RSENTnML レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ~ 0	MLV[20:0]	受信メッセージのメッセージ長

RSENTnML.MLV (メッセージ長の値)

メッセージ診断のため、固定されたメッセージ長モードで、パルス一時停止した、メッセージ長へのキャリブレーションパルスの比を計算する CPU によって、本ビットは使用されません。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、メッセージ長 (1 ティック時間 × メッセージ全体のティック数) をサンプルクロック ($f_{\text{SAMPLE}} = 16\text{MHz}$) でカウントした値が格納されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

19.3.15 RSENTnFRTS — RSENT 高速チャネル受信タイムスタンプレジスタ

アクセス 32ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0040_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.23 RSENTnFRTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	FTS[31:0]	高速チャネル受信タイムスタンプ

RSENTnFRTS.FTS (高速チャネル受信タイムスタンプ)

高速チャネル受信タイムスタンプ

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは、更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

19.3.16 RSENTnFRXD — RSENT 高速チャンネル受信データレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0044_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SNDM		FND		FCCN[1:0]		FCRC[3:0]			ND[23:16]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.24 RSENTnFRXD レジスタの内容

ビット位置	ビット名	機能
31	SNDM	低速チャンネル新データのミラー 0: 低速チャンネルフレームデータが、最後の読み出し以降、更新されない 1: 低速チャンネルフレームデータが、最後の読み出し以降、更新される
30	FND	高速チャンネル新データ 0: 高速チャンネルフレームデータが、最後の読み出し以降、更新されない 1: 高速チャンネルフレームデータが、最後の読み出し以降、更新される
29、28	FCCN[1:0]	高速チャンネルステータス&コミュニケーションニブル [1:0]
27 ~ 24	FCRC[3:0]	高速チャンネル CRC データ
23 ~ 0	ND[23:0]	高速チャンネルニブルデータ

RSENTnFRXD.SNDM (低速チャンネル新データミラー)

本ビットは、低速チャンネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

低速チャンネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、低速チャンネル新データビット (RSENTnSRXD.SND) が読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされます。

RSENTnFRXD.FND (高速チャンネル新データ)

本ビットは、高速チャンネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

高速チャンネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、読み出されると、自動的にクリアされます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

RSENTnFRXD.FCCN (高速チャンネルステータス&コミュニケーションニブル)

本ビットは、高速チャンネルステータス&コミュニケーションニブル [1:0] を表わしています。

本ビットは読み出しのみ可能です。

高速チャンネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

RSENTnFRXD.FCRC (高速チャンネルCRC)

本ビットは、高速チャンネルCRCデータを表しています。

本ビットは読み出しのみ可能です。

高速チャンネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

RSENTnFRXD.ND (高速チャンネルニブルデータ)

本ビットは、高速チャンネルニブルデータを表しています。

ニブルデータの配置は、ニブルデータ数 (RSENTnCC.NDN) に依存します。詳細については、「**19.6.2.3 高速チャンネルメッセージ受信**」を参照してください。

本ビットは読み出しのみ可能です。

高速チャンネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B (CONFIGURATION) に変更されると、本ビットはクリアされません。

19.3.17 RSENTTSEL — RSENT タイムスタンプモード選択レジスタ

RSENT のタイムスタンプのマスタチャンネルの制御をするレジスタです。

本レジスタは、RSENT が停止 (RSENTnMST.OMS = 000_B) 時に設定して下さい。

RSENT の各チャンネルでタイムスタンプを他のチャンネルのタイムスタンプと同期することが可能です。各 ch のタイムスタンプクリア信号で他のチャンネルのタイムスタンプをクリアすることができます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <RSENT0_base> +A000_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MSEL	MSEL	MSEL	—	MSEL	MSEL	MSEL
										52	51	50		42	41	40
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	MSEL	MSEL	MSEL	—	MSEL	MSEL	MSEL	—	MSEL	MSEL	MSEL	—	MSEL	MSEL	MSEL
		32	31	30		22	21	20		12	11	10		02	01	00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 19.25 RSENTTSEL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ~ 20	MSEL5[2:0]	RSENT5 マスタ選択 (RSENT5 の RSENTnTSPC.TMS = 1 のとき) 000 _B : タイムスタンプマスタなし 001 _B : RSENT0 が RSENT5 のタイムスタンプマスタ 010 _B : RSENT1 が RSENT5 のタイムスタンプマスタ 011 _B : RSENT2 が RSENT5 のタイムスタンプマスタ 100 _B : RSENT3 が RSENT5 のタイムスタンプマスタ 101 _B : RSENT4 が RSENT5 のタイムスタンプマスタ 110 _B : タイムスタンプマスタなし 上記以外: 設定禁止
19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18 ~ 16	MSEL4[2:0]	RSENT4 マスタ選択 (RSENT4 の RSENTnTSPC.TMS = 1 のとき) 000 _B : タイムスタンプマスタなし 001 _B : RSENT0 が RSENT4 のタイムスタンプマスタ 010 _B : RSENT1 が RSENT4 のタイムスタンプマスタ 011 _B : RSENT2 が RSENT4 のタイムスタンプマスタ 100 _B : RSENT3 が RSENT4 のタイムスタンプマスタ 101 _B : タイムスタンプマスタなし 110 _B : RSENT5 が RSENT4 のタイムスタンプマスタ 上記以外: 設定禁止
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 19.25 RSENTTSSSEL レジスタの内容 (2/2)

ビット位置	ビット名	機能
14 ~ 12	MSSEL3[2:0]	RSENT3 マスタ選択 (RSENT3 の RSENTnTSPC.TMS = 1 のとき) 000 _B : タイムスタンプマスタなし 001 _B : RSENT0 が RSENT3 のタイムスタンプマスタ 010 _B : RSENT1 が RSENT3 のタイムスタンプマスタ 011 _B : RSENT2 が RSENT3 のタイムスタンプマスタ 100 _B : タイムスタンプマスタなし 101 _B : RSENT4 が RSENT3 のタイムスタンプマスタ 110 _B : RSENT5 が RSENT3 のタイムスタンプマスタ 上記以外: 設定禁止
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 8	MSSEL2[2:0]	RSENT2 マスタ選択 (RSENT2 の RSENTnTSPC.TMS = 1 のとき) 000 _B : タイムスタンプマスタなし 001 _B : RSENT0 が RSENT2 のタイムスタンプマスタ 010 _B : RSENT1 が RSENT2 のタイムスタンプマスタ 011 _B : タイムスタンプマスタなし 100 _B : RSENT3 が RSENT2 のタイムスタンプマスタ 101 _B : RSENT4 が RSENT2 のタイムスタンプマスタ 110 _B : RSENT5 が RSENT2 のタイムスタンプマスタ 上記以外: 設定禁止
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 4	MSSEL1[2:0]	RSENT1 マスタ選択 (RSENT1 の RSENTnTSPC.TMS = 1 のとき) 000 _B : タイムスタンプマスタなし 001 _B : RSENT0 が RSENT1 のタイムスタンプマスタ 010 _B : タイムスタンプマスタなし 011 _B : RSENT2 が RSENT1 のタイムスタンプマスタ 100 _B : RSENT3 が RSENT1 のタイムスタンプマスタ 101 _B : RSENT4 が RSENT1 のタイムスタンプマスタ 110 _B : RSENT5 が RSENT1 のタイムスタンプマスタ 上記以外: 設定禁止
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	MSSEL0[2:0]	RSENT0 マスタ選択 (RSENT0 の RSENTnTSPC.TMS = 1 のとき) 000 _B : タイムスタンプマスタなし 001 _B : タイムスタンプマスタなし 010 _B : RSENT1 が RSENT0 のタイムスタンプマスタ 011 _B : RSENT2 が RSENT0 のタイムスタンプマスタ 100 _B : RSENT3 が RSENT0 のタイムスタンプマスタ 101 _B : RSENT4 が RSENT0 のタイムスタンプマスタ 110 _B : RSENT5 が RSENT0 のタイムスタンプマスタ 上記以外: 設定禁止

19.4 動作モード

RSENT は、次のモードのいずれかになります。

- RESET モード
- CONFIGURATION モード
- OPERATION IDLE モード
- OPERATION ACTIVE モード

CPU は、「**19.6.1 動作モードの移行**」に示すモード変更手順に従ってください。

現在の動作モードの状態は、RSENTnMDC.OMS ビットで見ることができます。

図 19.2 は、チャンネルモード間での可能な遷移を示しています。

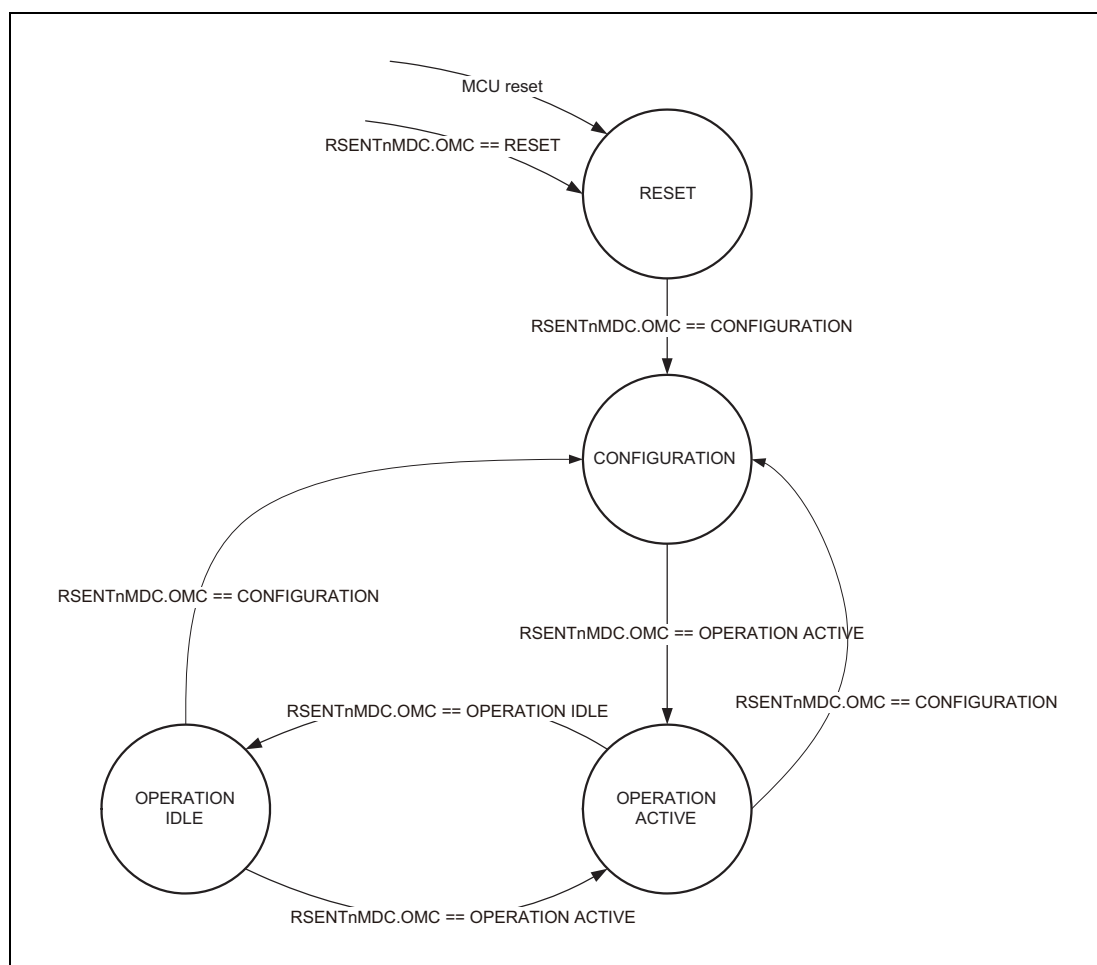


図 19.2 動作モード間での遷移

19.4.1 RESET モード

本モードは、リセットの解除後、RSENT が自動的に移行する、初期モードです。RSENT における、レジスタのクリーンリセットを行います。

RSENTnMDC.OMC が 000_B に設定されると、RESET モードに移行します。この状態では、すべての、設定、制御 (RSENTnMDC.OMC ビット、RSENTTSSEL レジスタを除く) およびステータスレジスタが、リセットされます。送信中または受信中の処理は直ちに停止され、RSENT のインタフェース端子は、リセット後の値に設定されます。

この状態では、すべてのレジスタへのリードアクセスが可能です。ライトアクセスは RSENTnMDC レジスタおよび RSENTTSSEL レジスタに制限されています。

19.4.2 CONFIGURATION モード

RSENTnMDC.OMC が 001_B に設定されると、CONFIGURATION モードに移行します。

RSENT のインタフェース端子は、デフォルト値に設定されます。

RSENTnSPCO 端子の出力極性の設定と有効となるタイミングについては「**19.3.3 RSENTnCC — RSENT 通信設定レジスタ**」の SOPC ビットの説明を参照してください。

この状態では、すべてのステータスレジスタ (RSENTnCS) と受信バッファレジスタ (RSENTnSRTS、RSENTnSRXD、RSENTnCPL、RSENTnML、RSENTnFRTS および RSENTnFRXD) はリセット後の値に設定されます。

この状態では、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、タイムスタンプレジスタ (RSENTnTSPC および RSENTnTSC) と設定レジスタ (RSENTnCC、RSENTnBRP、RSENTnIDE、RSENTnMDC および RSENTnCSC) に制限されています。

19.4.3 OPERATION IDLE モード

RSENTnMDC.OMC が 011_B に設定されると、OPERATION IDLE モードに移行します。

OPERATION IDLE モードでは、受信または送信は行われません。

OPERATION IDLE モードに移行すると、受信バッファ内のフレームは、OPERATION ACTIVE モードの時と同じように、分析することはできますが、新しいフレームは受信されません。

この状態では、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、RSENTnTSC、RSENTnIDE、RSENTnMDC および RSENTnCSC で可能です。

19.4.4 OPERATION ACTIVE モード

RSENTnMDC.OMC が 101_B に設定されると、OPERATION ACTIVE モードに移行します。

OPERATION ACTIVE モードでは、受信または送信が行われます。

有効なキャリブレーションパルス (最初の立ち下がりエッジを含む) が検出された後、フレーム受信が開始しステータスフラグが更新されます。

この状態では、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、RSENTnTSC、RSENTnIDE、RSENTnMDC、RSENTnSPCT および RSENTnCSC で可能です。

19.4.5 動作モードにおけるレジスタ動作

表 19.26 は、RSENT が以下の動作モード間で移行した際の、レジスタ動作を示しています。この表では、動作モードにおける、アクセス制限の概要も示しています。

表 19.26 動作モードにおけるレジスタ動作

レジスタ名	略称	MCU リセット	RESET		CONFIGURATION		OPERATION IDLE		OPERATION ACTIVE	
		変更	変更	R/W	変更	R/W	変更	R/W	変更	R/W
タイムスタンプブリスケラ 設定レジスタ	RSENTnTSPC	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R	変更なし	R
タイムスタンプカウンタ レジスタ	RSENTnTSC	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R/W 注1	変更なし	R/W 注1
通信設定レジスタ	RSENTnCC	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R	変更なし	R
ポーレートブリスケラ レジスタ	RSENTnBRP	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R	変更なし	R
割り込み/DMA イネーブル レジスタ	RSENTnIDE	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R/W	変更なし	R/W
モード制御レジスタ	RSENTnMDC	0000 0000 _H	0000 0000 _H	R/W	変更なし	R/W	変更なし	R/W	変更なし	R/W
SPC 送信レジスタ	RSENTnSPCT	0000 0000 _H	0000 0000 _H	R	変更なし	R	変更なし	R	変更なし	R/W
モードステータスレジスタ	RSENTnMST	0000 0000 _H	0000 0000 _H	R	0000 0001 _H	R	0000 0003 _H	R	0000 0005 _H	R
通信ステータスレジスタ	RSENTnCS	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
通信ステータスクリアレジスタ	RSENTnCSC	0000 0000 _H	0000 0000 _H	R	変更なし	R/W	変更なし	R/W	変更なし	R/W
低速チャンネル受信タイム スタンプレジスタ	RSENTnSRTS	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
低速チャンネル受信データ レジスタ	RSENTnSRXD	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
キャリブレーションパルス長 レジスタ	RSENTnCPL	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
メッセージ長レジスタ	RSENTnML	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
高速チャンネル受信タイム スタンプレジスタ	RSENTnFRTS	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R
高速チャンネル受信データ レジスタ	RSENTnFRXD	0000 0000 _H	0000 0000 _H	R	0000 0000 _H	R	変更なし	R	変更なし	R

注 1. 書き込み制限があります。

19.5 クロック設定

19.5.1 タイムスタンプ

19.5.1.1 タイムスタンプクロック設定

RSENT は、タイムスタンプカウンタを搭載しています。

使用する通信周期に応じて、RSENTnTSPC.TTPV レジスタの値を設定してください。タイムスタンプの分解能は $1\mu\text{s}$ となります。入力周波数は、設定されたタイムスタンププリスケアラ値、RSENTnTSPC.TTPV で分周されます。

設定されたティック長に応じて、RSENTnTSPC.TTM ビットを設定することにより、分解能を減少させることができます。既に分割された入力周波数は、RSENTnTSPC.TTM ビットの値によって、さらに分割されます。

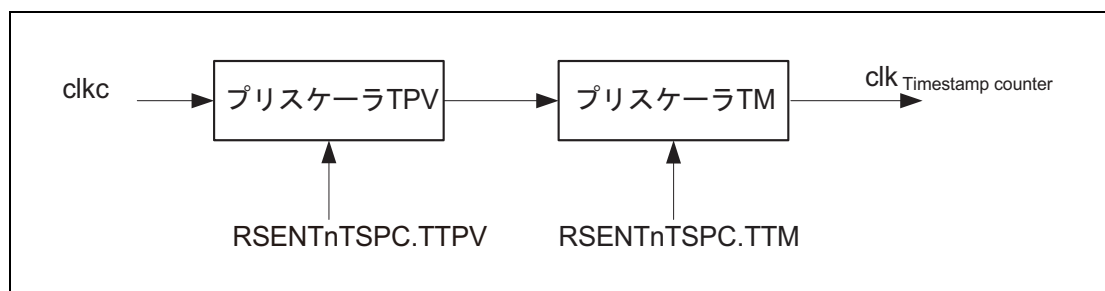


図 19.3 タイムスタンプカウンタクロック生成

19.5.1.2 タイムスタンプカウンタ動作

RSENT が、CONFIGURATION モードにある時のみ、RSENTnTSC.TS ビットに書き込むことで、タイムスタンプカウンタの値を任意の値に初期化することができます。

タイムスタンプカウンタがマスタモード (RSENTnTSPC.TMS = 0) で動作するように構成されている場合、RSENT が OPERATION IDLE モードまたは OPERATION ACTIVE モードになると、RSENTnTSC.TS ビットに $0000\ 0000_H$ を書き込むことによって、CPU はタイムスタンプカウンタをクリアすることができます。

タイムスタンプカウンタがスレーブモード (RSENTnTSPC.TMS = 1) で動作するように構成されている場合、RSENT が OPERATION IDLE または OPERATION ACTIVE モードになると、マスタに設定されているチャンネルの RSENTnTSC.TS ビットに CPU が $0000\ 0000_H$ を書き込むことによって、タイムスタンプカウンタがクリアされます。タイムスタンプカウンタのプリスケアラ設定はマスタモードで動作するチャンネルとそのスレーブモードで動作するチャンネルで同じ設定にしてください。タイムスタンプカウンタの同期化が発生すると、内部タイムスタンプカウンタのプリスケアラも同期します。

現在のタイムスタンプカウンタ値は、RSENTnTSC.TS ビットから読み出すことができます。

RSENT が OPERATION ACTIVE モードになると、各受信メッセージは、関連するタイムスタンプに保存されます。タイムスタンプ値は、高速チャンネルと低速チャンネルデータに使用されます。

キャリブレーションパルスが検出されると、タイムスタンプ値がキャプチャされます。

高速チャンネルのタイムスタンプ値は、RSENTnFRS.FTS ビットに保存されます。

低速チャネルのタイムスタンプ値は、RSENTnSRTS.STS ビットに保存されます。低速チャネルのタイムスタンプ値は、低速チャネルメッセージに貢献する最後の高速チャネルメッセージのタイムスタンプ値と同じになります。

タイムスタンプカウンタの同期が必要な場合には、以下のフローに従ってください。

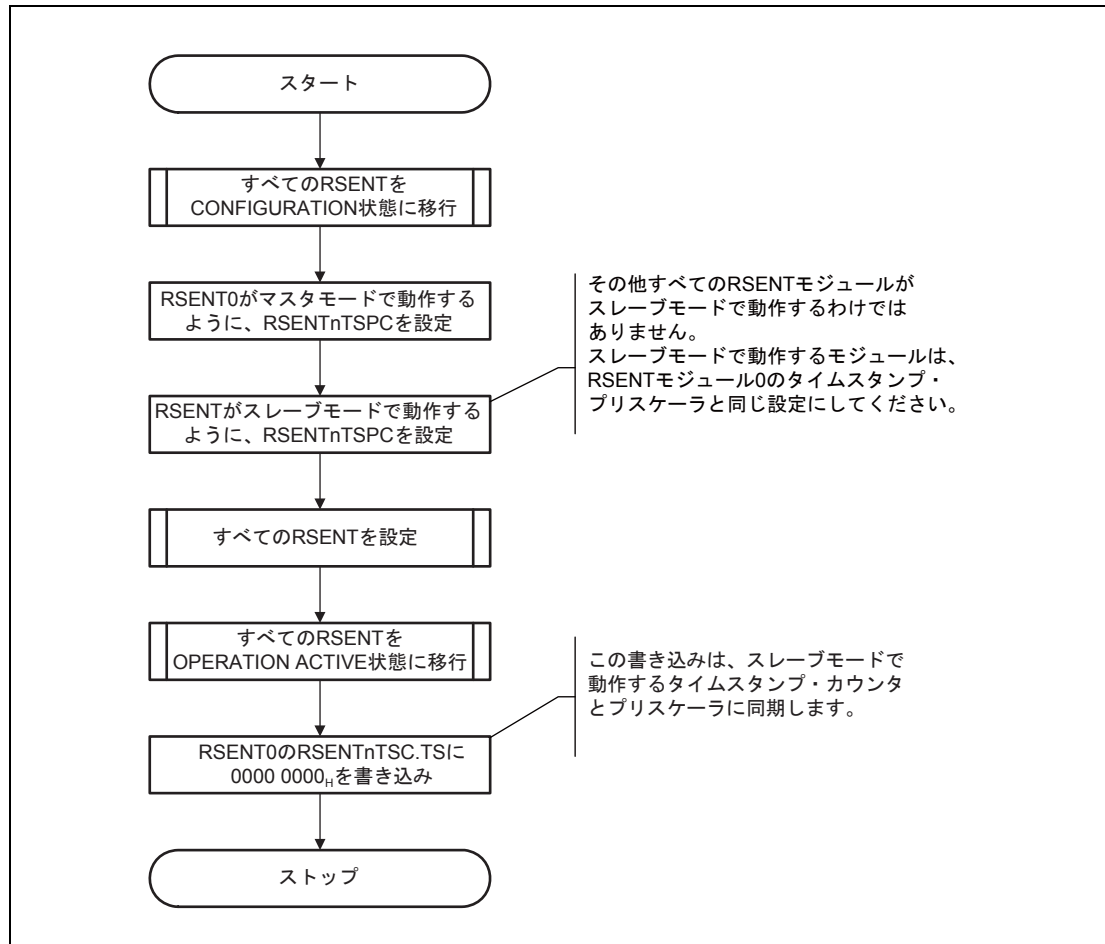


図 19.4 タイムスタンプカウンタの同期

マスターモジュールが OPERARION_ACTIVE もしくは OPERARION_IDLE 状態に遷移している場合、タイムスタンプの同期化が可能です。

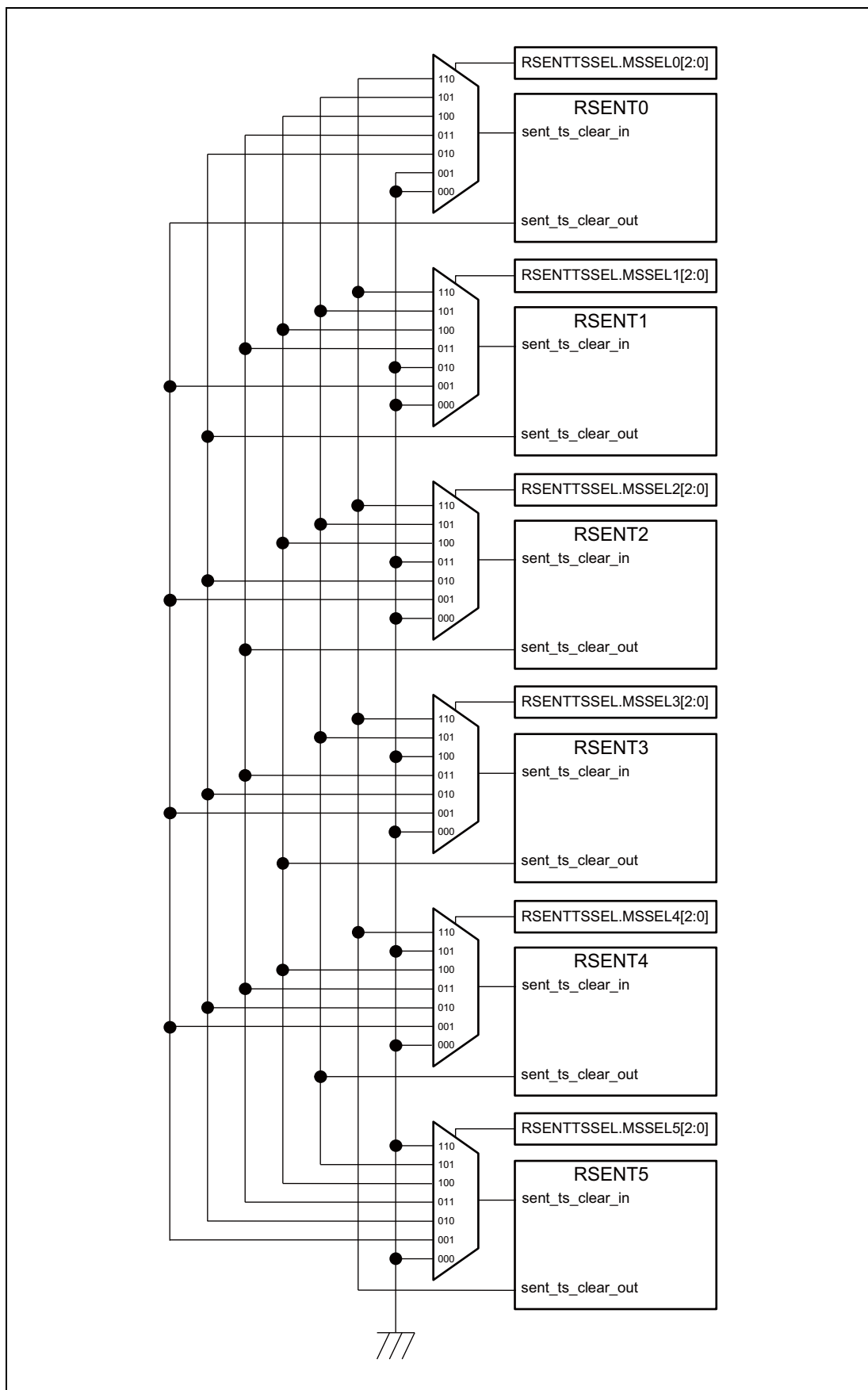


図 19.5 チャネル間におけるタイムスタンプ信号接続

19.5.2 通信クロック設定

19.5.2.1 RX BRP 設定

使用する $f_{\text{COMMUNICATION}}$ (clk クロック周波数) に合わせて、サンプルクロック周波数が 16MHz になるように、下記に示す計算式に従って BRP.SCDV と BRP.SCMV を設定してください (例えば BRP.SCDV = 4/BRP.SCMV = 6 と設定する場合は、BRP.SCDV = 2/BRP.SCMV = 3 に置き換えてください)。入力クロック (clk クロック) は、BRP.SCDV と BRP.SCM の設定によって分周され、サンプルクロックを生成します。

$f_{\text{COMMUNICATION}}$ (clk クロック周波数) は 32MHz から 100MHz (もしくは 16MHz ちょうど) の範囲に入るように選択してください。下記に示す計算式に従って、サンプルクロック周波数が 16MHz になるように BRP.SCDV と BRP.SCM の値を選択してください。

$$f_{\text{SAMPLE}} = 16\text{MHz} = f_{\text{COMMUNICATION}} \times \frac{\text{サンプルクロック乗算値 (BRP.SCMV+1)}}{\text{サンプルクロック分周値 (BRP.SCDV+1)}}$$

ここで

$$\text{サンプルクロック乗算値} = 1 \text{ (BRP.SCMV} = 00000\text{B)}$$

$$\text{サンプルクロック分周値} = 5 \text{ (BRP.SCDV} = 0000100\text{B)}$$

$$f_{\text{COMMUNICATION}} = 80\text{MHz}$$

$$f_{\text{sample}} = 80 \times 1/5 = 16\text{MHz}$$

19.5.2.2 受信と SPC のティック設定

受信と SPC 機能で使用されるティック長は、RSENTnBRP.TTI と RSENTnBRP.TTF ビットで設定することができます。0.1 μ s の分解能で、1.0 μ s ~ 90.0 μ s のティック長を設定することができます。

RSENTnBRP.TTI は、ティック長の整数部を保持し、RSENTnBRP.TTF ビットは、ティック長の小数部分を保持しています。ティック長は次式に従って計算されます。

$$T_{\text{TICK}} = T_{\text{BRP.TTI}} + T_{\text{BRP.TTF}}$$

ここで

$$\text{BRP.TTI} = 0000000\text{B}, \text{BRP.TTF} = 0011\text{B}$$

$$T_{\text{TICK}} = 1 + 0.3 = 1.3\mu\text{s}$$

19.6 RSENT 動作

19.6.1 動作モードの移行

CONFIGURATION モードで初期設定完了後、OPERARION ACTIVE モード移行することで通信動作が有効になります。これは、RSENTnMDC.OMC ビットを OPERATION ACTIVE に設定し、RSENTnMST.OMS が OPERATION ACTIVE に移行するのを待機して、実行されます。

いったん、OPERATION ACTIVE モードになると、設定に応じて、メッセージを受信したり、SPC 通信が起動したりします。

図 19.6 に、リセットモードから通信開始するまでのフローを示します。

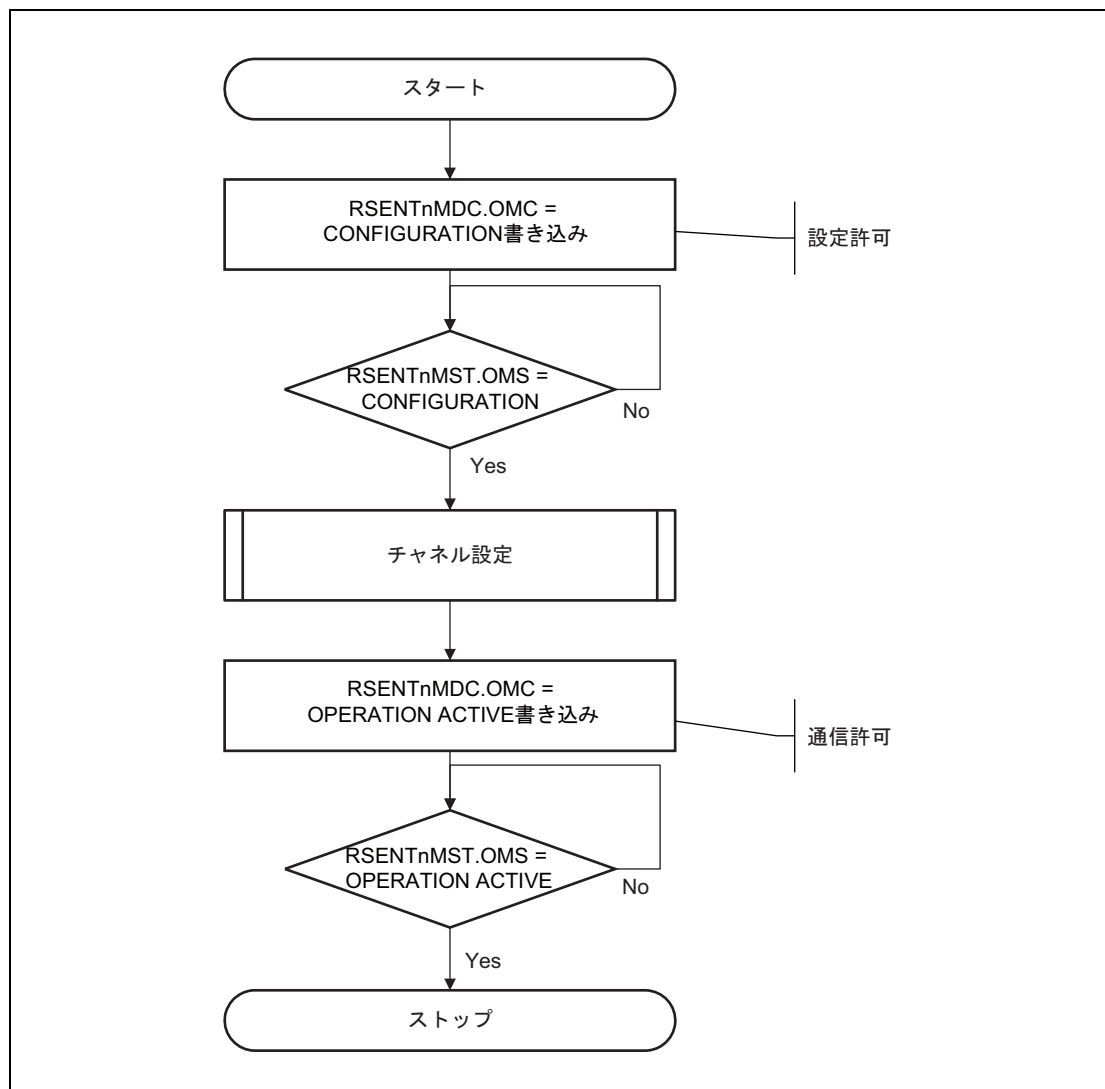


図 19.6 有効な通信フロー

OPERATION ACTIVE モードを終了するには、OPERATION IDLE モードに移行することによってまず、通信を無効にする必要があります。これは、RSENTnMDC.OMC ビットを OPERATION IDLE に設定し、RSENTnMST.OMS ビットが OPERATION IDLE に移行するのを待機して、実行されます。

ただし、SPC モードを有効 (RSENTnCC.SPCE ビット=1) かつ、SPC 通信が完了 (例：前の SPC トリガ送信に対する受信成功) の後、次の SPC トリガ送信を要求していない場合は RSENT は直接 CONFIGURATION モードへ遷移することができます。

OPERATION ACTIVE と OPERATION IDLE 間の遷移は、RSENTnCC.SPCE ビットの設定に依存します。

(1) RSENTnCC.SPCE = 0

受信動作が進行中の時は、受信バッファが更新またはエラー検出された時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます (「19.6.2.3 高速チャネルメッセージ受信」を参照してください)。

受信動作が進行していない時は、OPERATION ACTIVE から OPERATION IDLE へのモード移行は直ちに行われます。

(2) RSENTnCC.SPCE = 1

受信動作が進行中の時は、終了パルスの立ち下がりエッジを受信した時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

応答なしエラーが発生した場合は、エラー検出と同時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

SPC トリガ後、応答を受信するシーケンスが完了したときに、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。つまり、受信動作完了後にモード移行が行われます。応答が保留されている時は、終了パルスの立ち下がりエッジを受信した時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

RSENTnMST.OMS ビットに CONFIGURATION を書き込み、RSENTnMST.OMS が CONFIGURATION に移行することを待機することで、CONFIGURATION モードに移行することができます。

いったん CONFIGURATION モードに移行すると、ステータスとメッセージ情報が CONFIGURATION モードでクリアされるので、RSENT に保存された、残りのステータスとメッセージ情報は失われます。

図 19.7 は、OPERATION ACTIVE モードから通信禁止状態に遷移するフローを示します。

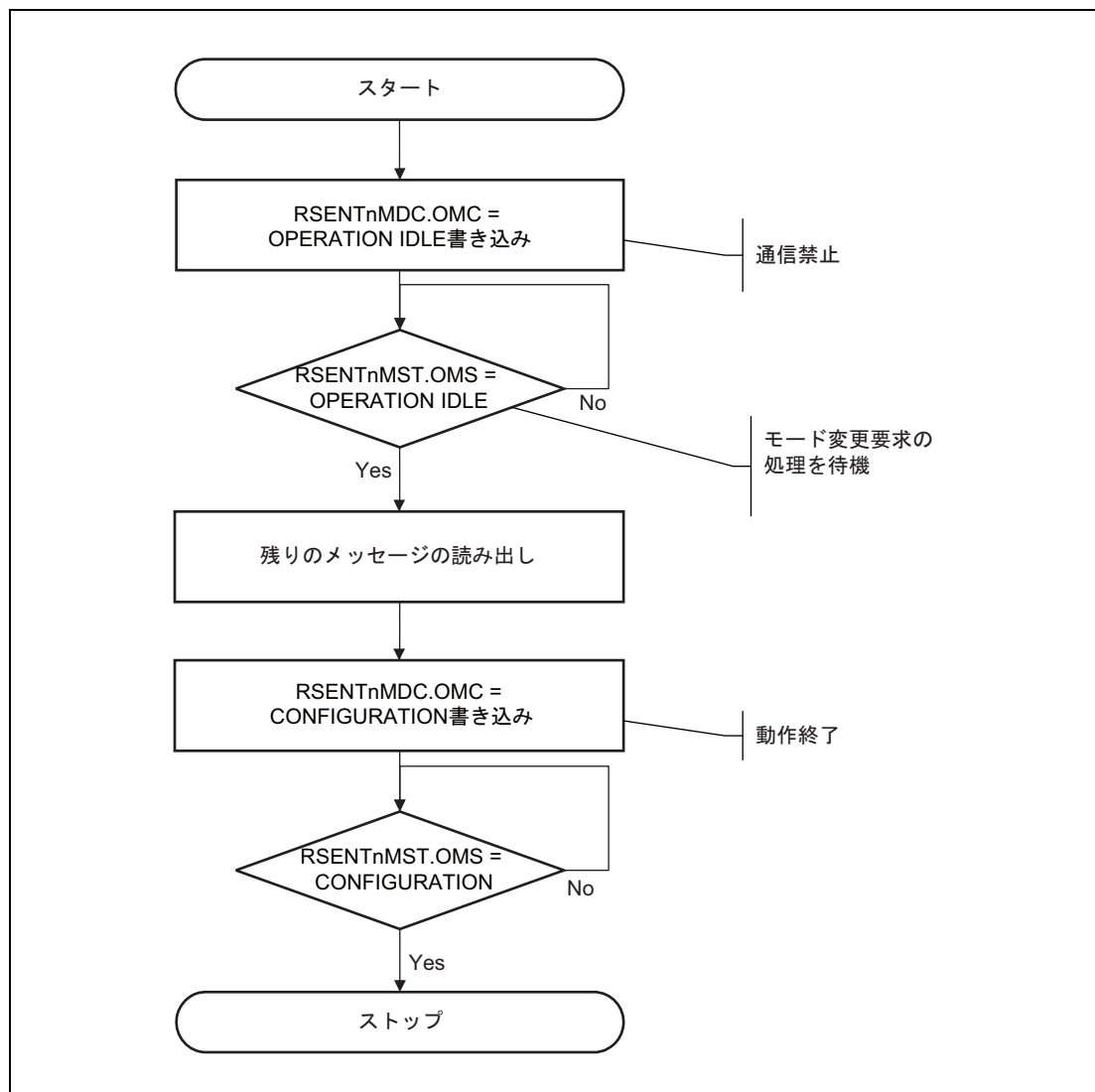


図 19.7 通信停止フロー

19.6.2 メッセージの受信

RSENT メッセージの受信は、キャリブレーションパルス受信と、それに続くデータニブルパルス受信から構成されています。

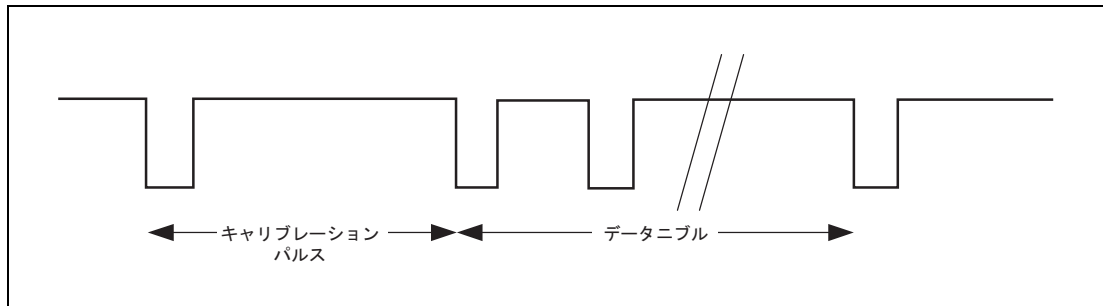


図 19.8 RSENT 受信メッセージ構成

19.6.2.1 キャリブレーションパルス受信

キャリブレーションパルスにより、内部生成されるクロックティックは、送信クロックに補正されます。

また、キャリブレーションパルスは、前のメッセージ終了、メッセージのエラー判定に使用されます。可変メッセージ長モード (RSENTnCC.PPTC=0) では、RSENT は、自動キャリブレーションパルス長の診断をサポートしています。キャリブレーションパルス比のチェックが失敗した場合は、キャリブレーションパルス長変動エラーフラグ (RSENTnCS.CVS) が 1 に設定されます。

19.6.2.2 データニブル受信

RSENT の受信機能は、簡単なキャプチャと比較機能になります。RSENT は、データライン上の 2 つの連続した立ち上がりエッジの時間で符号化されたセンサ情報を受信します。時間的距離 (クロックティック数) は、キャプチャされ、実際のニブルの値を決定する、一連の値と比較されます。以下の表 19.27 に、データ符号化について示します。

表 19.27 データニブルの符号化 (1/2)

ニブル期間 (クロックティック数)	ニブル値 (2 進)
12	0000 _B
13	0001 _B
14	0010 _B
15	0011 _B
16	0100 _B
17	0101 _B
18	0110 _B
19	0111 _B
20	1000 _B
21	1001 _B
22	1010 _B
23	1011 _B
24	1100 _B
25	1101 _B

表 19.27 データニブルの符号化 (2/2)

ニブル期間 (クロックティック数)	ニブル値 (2 進)
26	1110 _B
27	1111 _B

受信されたデータニブルは、RSENT メッセージとして、高速チャンネルメッセージ受信バッファに保存されます。

規定外のニブル期間を受信した場合は高速チャンネルニブル符号化エラーとなります。

19.6.2.3 高速チャンネルメッセージ受信

高速メッセージチャンネル上で受信されたメッセージは、受信バッファに保存されます。

高速チャンネルメッセージ受信バッファは、キャリブレーションパルス長レジスタ (RSENTnCPL)、メッセージ長レジスタ (RSENTnML)、高速チャンネル受信タイムスタンプレジスタ (RSENTnFRTS) と、高速チャンネル受信データレジスタ (RSENTnFRXD) から構成されます。

これらのレジスタは、DMA を使用して、メモリにレジスタの内容を転送できるように、連続したアドレスに配置されています。

RSENT は、関連するタイムスタンプとメッセージ長の情報を含む、2 つの完全な RSENT メッセージの保存ができる二重受信バッファ構造になっています。メッセージのデコードと組み立ては、別々のレジスタステージで行われます。

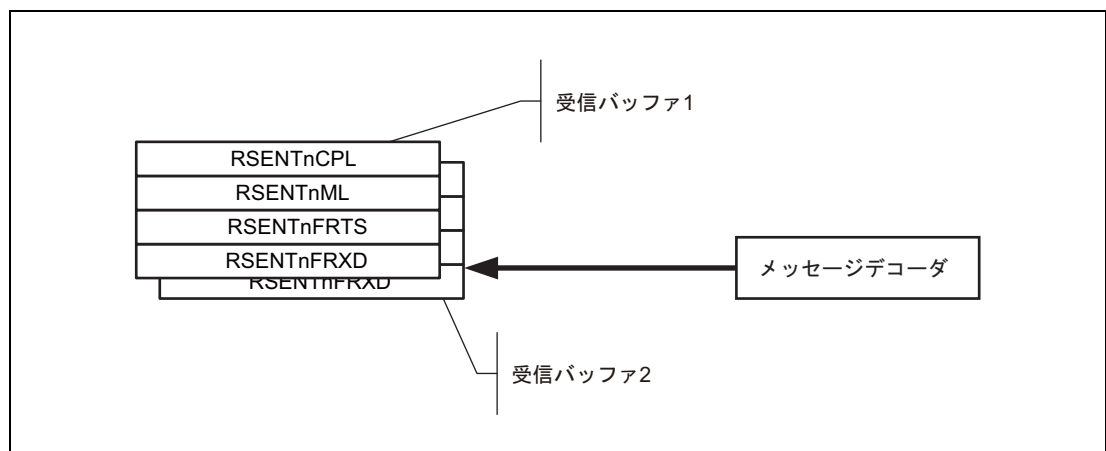


図 19.9 高速チャンネルメッセージ受信バッファ

最初の受信メッセージは、CPU によってアクセス可能なメッセージバッファに配置されます。このバッファは (RSENTnFRXD.SNDM ビットを除く)、RSENTnFRXD.FND ビットが読み出されるまで、更新されません。

新しいメッセージが受信バッファに配置されると、RSENTnFRXD.FND ビットが設定されます。同時に、RSENTnCS.FRS ビットも設定され、有効になっている場合は、受信割り込み要求が発生します。

受信バッファ 1 が、処理されていないメッセージを保持している場合は (RSENTnFRXD.FND ビット = 1)、それ以降のメッセージは、受信バッファ 2 に配置されます。受信バッファ 2 は、メッセージがあるたびに、更新されます。受信バッファ 2 にある、処理されていないメッセージが上書きされた場合は、RSENTnCS.FMS ビット = 1 に設定されます。

CPUがRSENTnFRXD.FNDビットを読み出し、バッファ2に有効なデータがある場合は、予めバッファ2に置かれたデータが、受信バッファで利用可能になり、CPUからアクセスできるようになります。有効になっている場合は、高速チャンネルデータ用に、新しい割り込み要求が生成され、RSENTnCS.FRSが設定されます。

RSENTnFRXD.FND/RSENTnCS.FRSビットが設定されていない場合は、受信バッファ内のデータが定義されておらず、CPUは受信バッファにアクセスしないでください。

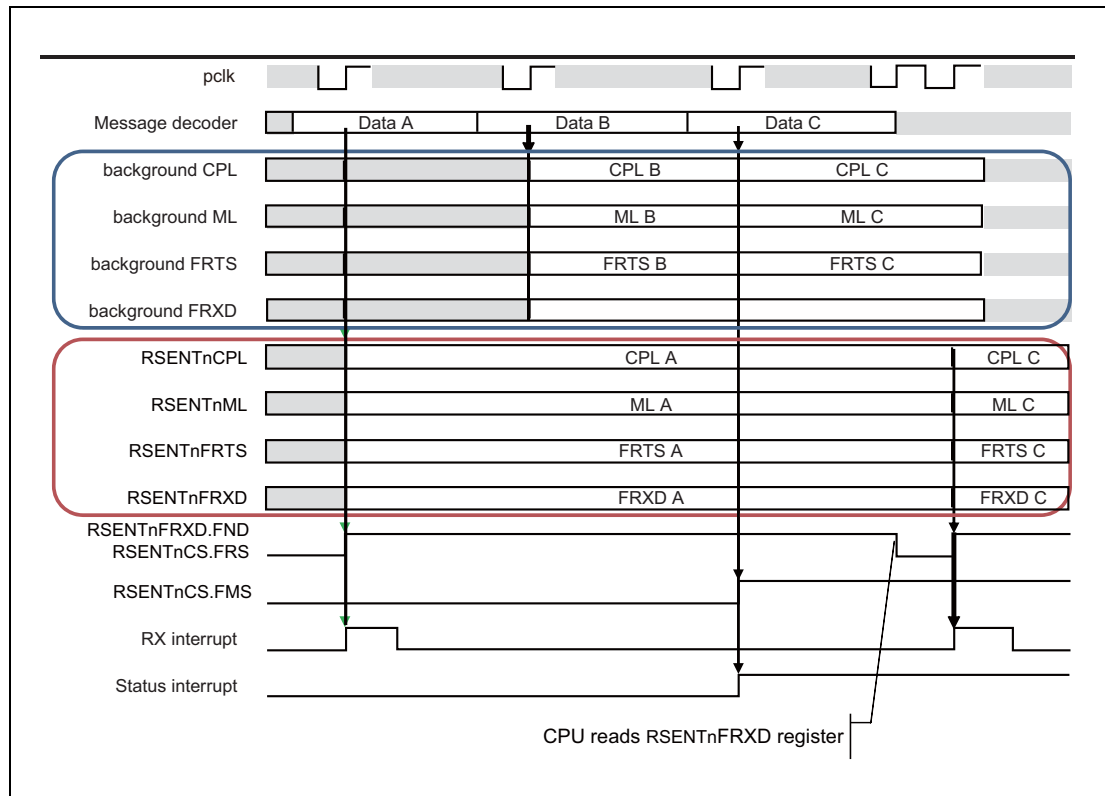


図 19.10 高速チャンネルメッセージ受信バッファ更新タイミング

図 19.11 ~ 図 19.14 に示すように、受信バッファの更新タイミングは、適用された構成によって異なります。

キャリブレーションパルスが検出された時点での、タイムスタンプカウンタレジスタ値で、RSENTnFRTS レジスタは更新されます。

RSENTnFRXD レジスタのデータ配置は、ニブルデータ数 (RSENTnCC.NDN) に依存します。

表 19.28 RSENTnFRXD レジスタにおけるデータニブル配置

RSENTnCC.NDN	23:20	19:16	15:12	11:8	7:4	3:0
000 _B	不定	不定	不定	不定	不定	ニブル 1
001 _B	不定	不定	不定	不定	ニブル 1	ニブル 2
010 _B	不定	不定	不定	ニブル 1	ニブル 2	ニブル 3
011 _B	不定	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4
100 _B	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5
101 _B	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5	ニブル 6

(1) 可変メッセージ長と優先チェック法を使用した SAE 動作 (RSENTnCC.SPCE=0、RSENTnCC.PPTC=0、RSENTnCC.FCM=0)

この動作モードでは、RSENT は、J2716 2010 仕様に記載された優先度に従って、連続したキャリブレーションパルス変動を自動的にチェックします。このモードでは、メッセージの診断は、メッセージに続くキャリブレーションパルスを受信した後に行われます。

チェックがパスした場合は、メッセージ受信バッファが更新されます。

チェックがパスしない場合は、メッセージ受信バッファは更新されず、RSENTnCS.CVS = 1 に設定されます。

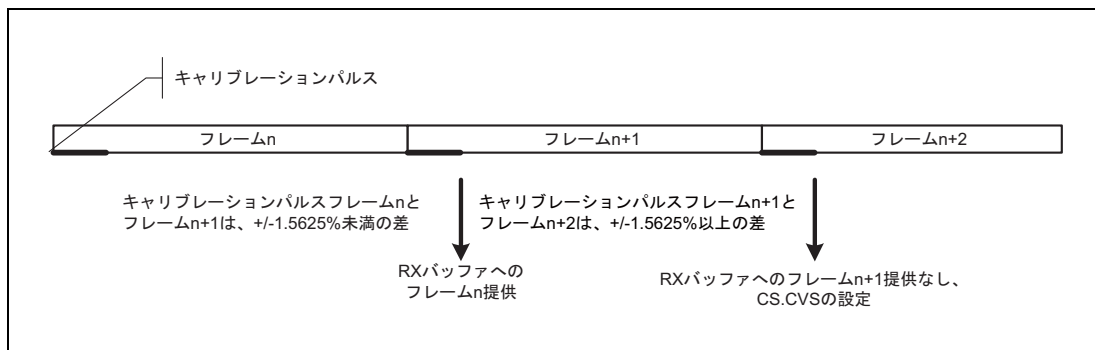


図 19.11 可変メッセージ長と優先チェック法を使用したバッファの更新

(2) 可変メッセージ長とオプションのチェック法を使用した SAE 動作 (RSENTnCC.SPCE=0、RSENTnCC.PPTC=0、RSENTnCC.FCM=1)

この動作モードでは、RSENT は、J2716 2010 仕様に記載されたオプションのフレームチェック法に従って、連続したキャリブレーションパルス変動を自動的にチェックします。このモードでは、現在のフレームのキャリブレーションパルスが、直前の有効なフレームのキャリブレーションパルスと比較されます。

チェックがパスした場合は、メッセージ受信バッファが更新されます。

チェックがパスしない場合は、メッセージ受信バッファは更新されず、RSENTnCS.CVS=1 に設定されます。

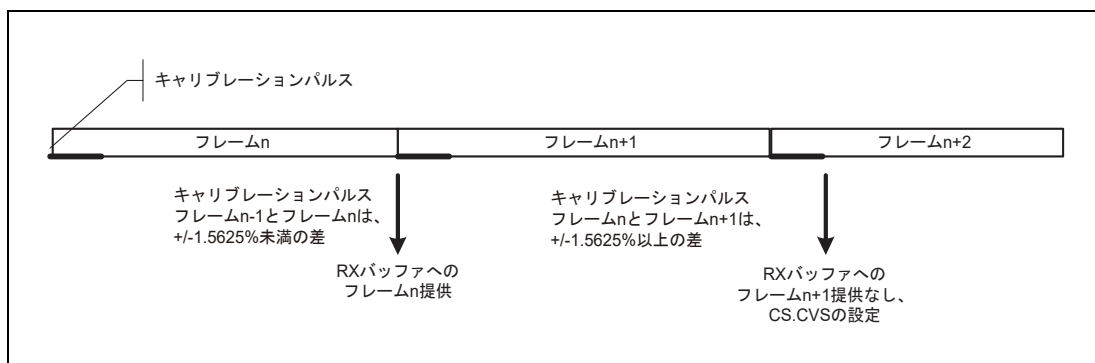


図 19.12 可変メッセージ長とオプションのチェック法を使用したバッファの更新

(3) 固定メッセージ長を使用したSAE動作 (RSENTnCC.SPCE=0、RSENTnCC.PPTC=1)

この動作モードでは、RSENTは、J2716 2010仕様に記載された優先度に従って、キャリブレーションパルスやメッセージ長の比をチェックしません。このモードでは、RSENTは、キャリブレーションパルス長をRSENTnCPLレジスタに、メッセージ長情報をRSENTnMLレジスタに提供します。提供する番号はサンプルをベースにしています。

メッセージバッファは、RSENTnCPLとRSENTnMLレジスタの値にかかわらず、次のキャリブレーションパルスが開始されると、更新されます。CPUは、比を計算して、メッセージを受け入れたり、破棄したりします。

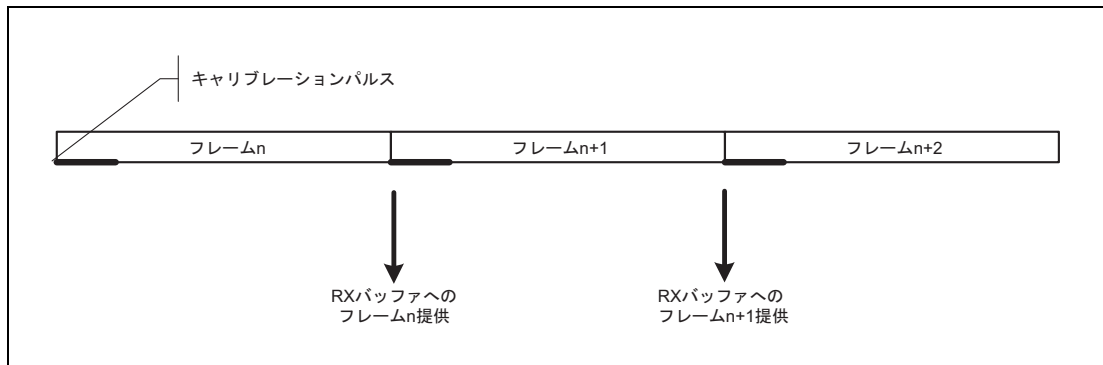


図 19.13 固定メッセージ長を使用したバッファの更新

RSENTnCS.CVS (キャリブレーションパルス幅変動エラーステータス) ビットは、このモードでは、設定されることはありません。

(4) SPC動作 (RSENTnCC.SPCE=1)

この動作モードでは、センサデータ送信がSPCマスタートリガパルスの後に行われます。SAE SENT通信では、キャリブレーションパルスまたは一時停止パルスは、直前のメッセージを中断しています。SPC通信では、センサは、SPCトリガ要求の次にきたデータのみを送信しています。センサによって送信された終了パルスは、メッセージを中断しています。メッセージバッファは、終了パルスが開始されると、更新されます。

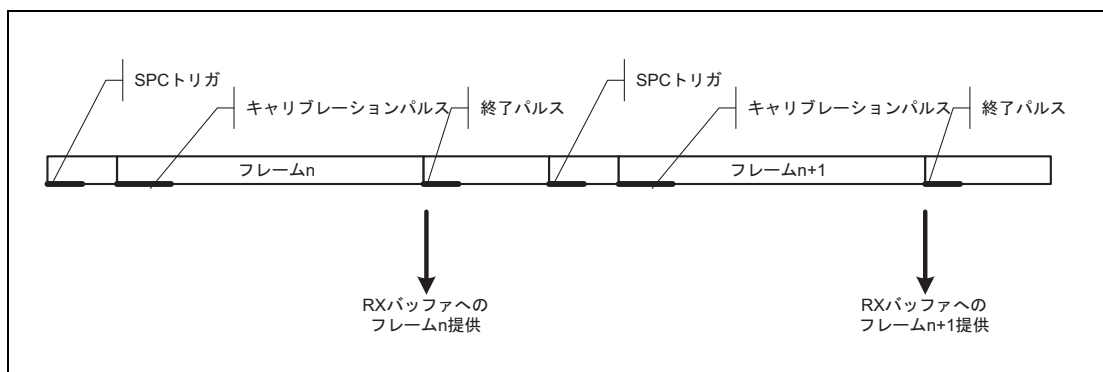


図 19.14 SPCモード時のバッファの更新

RSENTnCS.CVS (キャリブレーションパルス幅変動エラーステータス) ビットは、このモードでは、設定されることはありません。

RSENT は、キャリブレーションパルス長を RSENTnCPL レジスタに、メッセージ長情報を RSENTnML レジスタに提供します。提供する番号はサンプルをベースにしています。CPU は、キャリブレーションパルスやメッセージ長の比を計算して、メッセージを受け入れたり、破棄したりします。

可変メッセージ長モードの場合、次のキャリブレーションパルスの受信タイミングは、次の SPC トリガタイミングに依存するため、RSENT は、このチェックを実行できません。

19.6.2.4 高速チャネル受信フロー

図 19.15 に、高速チャネルメッセージ受信バッファ用の、推奨受信フローを示します。

ポーリングまたはイベント駆動型のメソッドを使用すると、CPU は、RSENTnCS.FRS ビットの設定のみを読み出せば、新しい高速チャネルデータの有無をチェックすることができます。

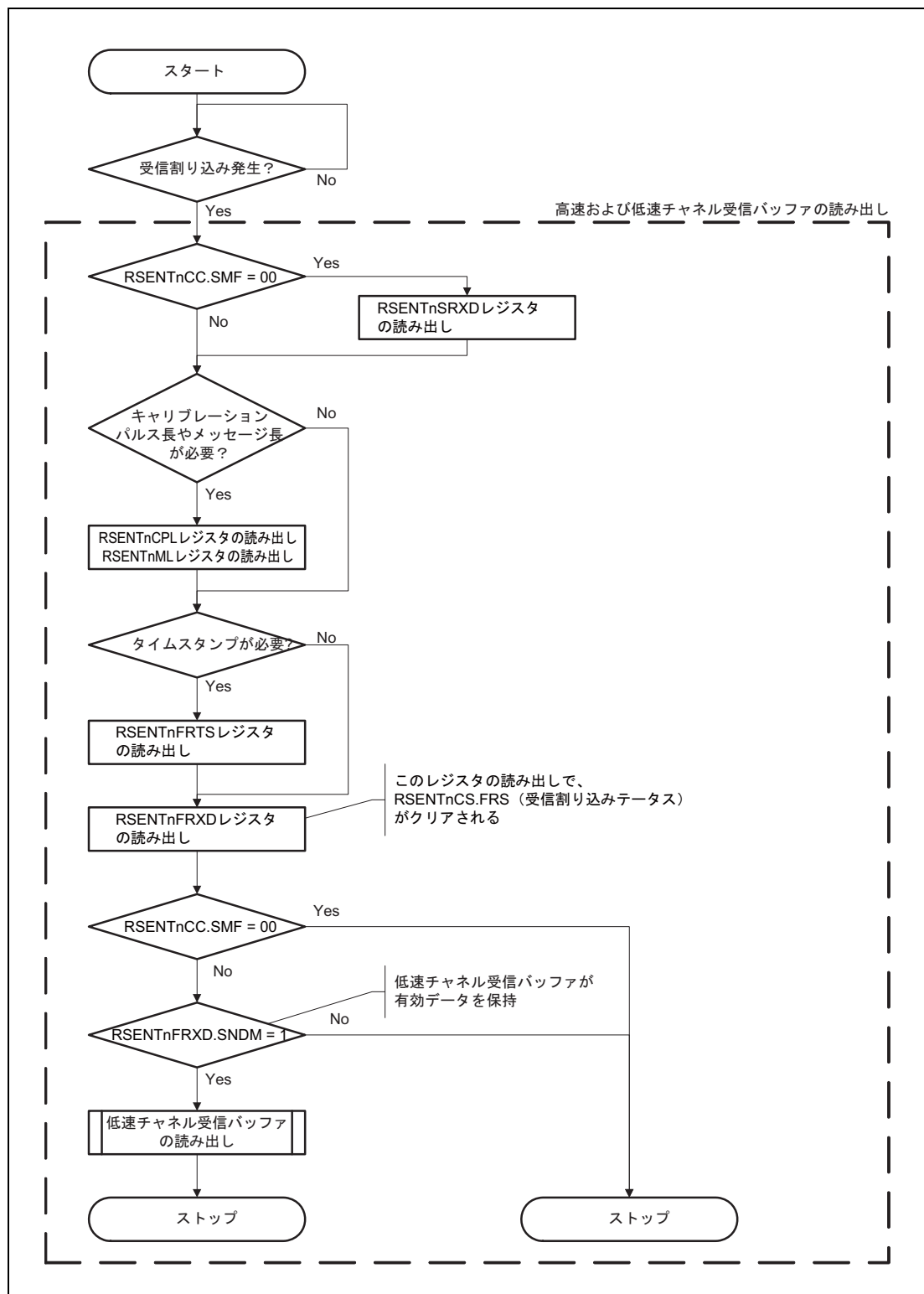


図 19.15 高速チャンネル受信フロー

いずれの場合も、CPUは、このフローに示す、受信バッファレジスタの読み出し順序を守る必要があります。RSENTnFRXDレジスタは、最後にアクセスされるレジスタである必要があります。

低速チャンネルメッセージ受信バッファの処理については、「**19.6.2.6 低速チャンネル受信フロー**」で述べています。

一時停止パルスと固定メッセージ長を使用したSAE通信では、キャリブレーションパルスの比をチェックすることにより、フローをメッセージ長まで、拡張しなければなりません。この可変チェックは、CPUが行う必要があります。可変チェックが失敗した場合には、CPUは、受信したメッセージを破棄しなければなりません。

19.6.2.5 低速チャンネルメッセージ受信

RSENTは、ステータス&コミュニケーションニブルのビット3、2を使用して、高速チャンネルメッセージから、低速メッセージを抽出することをサポートしています。低速チャンネルの抽出をするために、CPUはRSENTnCC.SMFビットを、期待されるシリアルメッセージフォーマットに設定する必要があります。

シリアルメッセージの抽出が選択されていない場合は (RSENTnCC.SMF = 00_B)、RSENTnSRXDレジスタは、高速チャンネルメッセージ受信バッファ構造 (バッファ2を含む)の一部となり、RSENTnSRTSレジスタは無視されます。ステータス&コミュニケーションニブルはRSENTnSRXD.IDDビットに配置されます。さらに、低速チャンネル新データと低速チャンネルメッセージロストフラグが生成されません。

低速チャンネルシリアルメッセージを受信するためには、低速チャンネルシリアルメッセージに貢献するすべての高速チャンネルのシリアルメッセージが正常に受信されなければならず、また、受信された低速チャンネルシリアルメッセージは、選択されたシリアルメッセージフォーマットに従わなければなりません。

高速チャンネルでのメッセージロストは、低速チャンネルでの受信に影響しません。

低速チャンネルメッセージ受信バッファは、低速チャンネル受信タイムスタンプレジスタ (RSENTnSRTS) と低速チャンネル受信データレジスタ (RSENTnSRXD) で構成されます。

高速チャンネルメッセージ受信バッファとは反対に、低速チャンネルメッセージ受信バッファは、二重受信バッファ構造になっておらず、単一の受信バッファ構造です。メッセージのデコードと組み立ては、別々のレジスタステージで行われます。

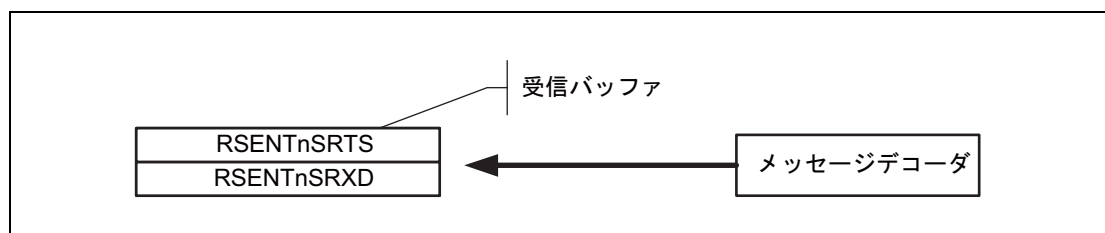


図 19.16 低速チャンネルメッセージ受信バッファ

低速チャンネルメッセージ受信バッファは、低速チャンネルメッセージに必要な、最後のステータス&コミュニケーションニブルを保持している、高速チャンネルメッセージ受信バッファと同時に更新されます。同時に、RSENTnSRXD.SNDビットも1に設定されます。

RSENTnSRXD.SNDビットが読み出されるまで、バッファへの更なる更新は実行されません。

受信バッファが、処理されていないメッセージを保持している場合は (RSENTnSRXD.SND =1)、それ以降のメッセージは失われます (低速チャンネルメッセージ受信バッファは更新されません)。また、RSENTnCS.SMS は 1 に設定されます。

CPU が RSENTnSRXD レジスタを読み出すと、RSENTnSRXD.SND は自動的にクリアされます。

低速チャンネルメッセージに貢献する最後のフレームの、現在のタイムスタンプカウンタレジスタ値と一緒に、RSENTnSRTS レジスタは更新されます。

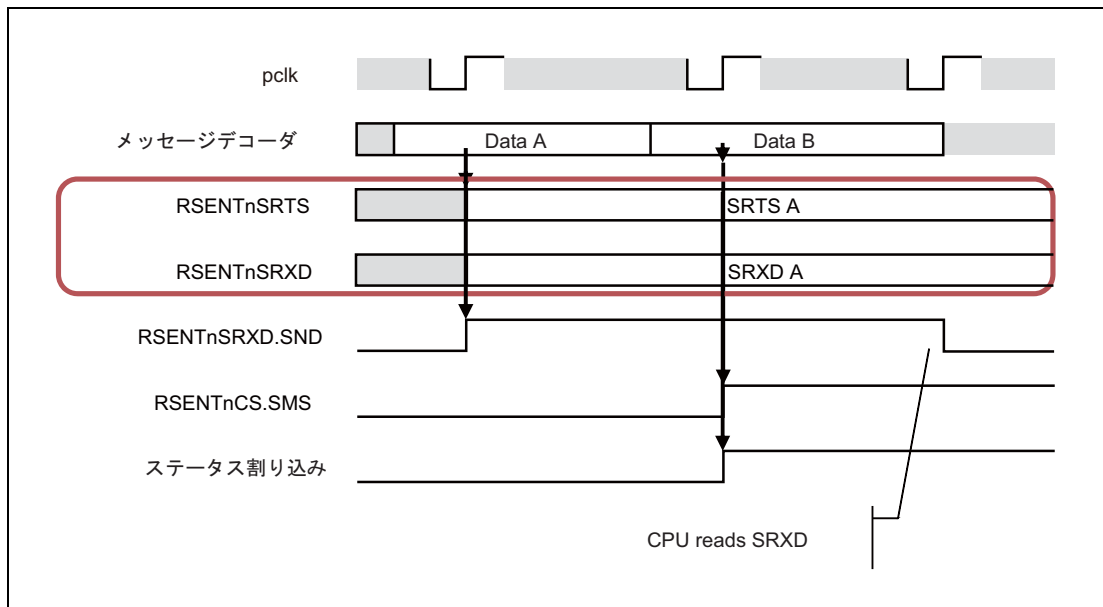


図 19.17 低速チャンネルメッセージ受信バッファ更新タイミング

SRDX レジスタのデータ配置は、低速チャンネルメッセージフォーマット (RSENTnCC.SMF) と受信した設定ビットに依存します。

表 19.29 RSENTnSRXD レジスタにおけるデータ配置

RSENTnCC.SMF	RSENTnSRXD.SMGC	RSENTnSRXD.IDD[19:16]	RSENTnSRXD.IDD[15:12]	RSENTnSRXD.IDD[11:8]	RSENTnSRXD.IDD[7:4]	RSENTnSRXD.IDD[3:0]
00 _B	不定	不定	不定	不定	不定	C & S nibble
01 _B	不定	不定	不定	メッセージ ID[3:0]	データ [7:4]	データ [3:0]
10 _B	0	メッセージ ID[7:4]	メッセージ ID[3:0]	データ [11:8]	データ [7:4]	データ [3:0]
10 _B	1	メッセージ ID[3:0]	データ [15:12]	データ [11:8]	データ [7:4]	データ [3:0]

19.6.2.6 低速チャネル受信フロー

図 19.18 に、低速チャネルメッセージ受信バッファ用の、推奨受信フローを示します。低速チャネル受信データが要求される場合、このプロセスは、高速チャネル受信フローの一部として実行される必要があります。

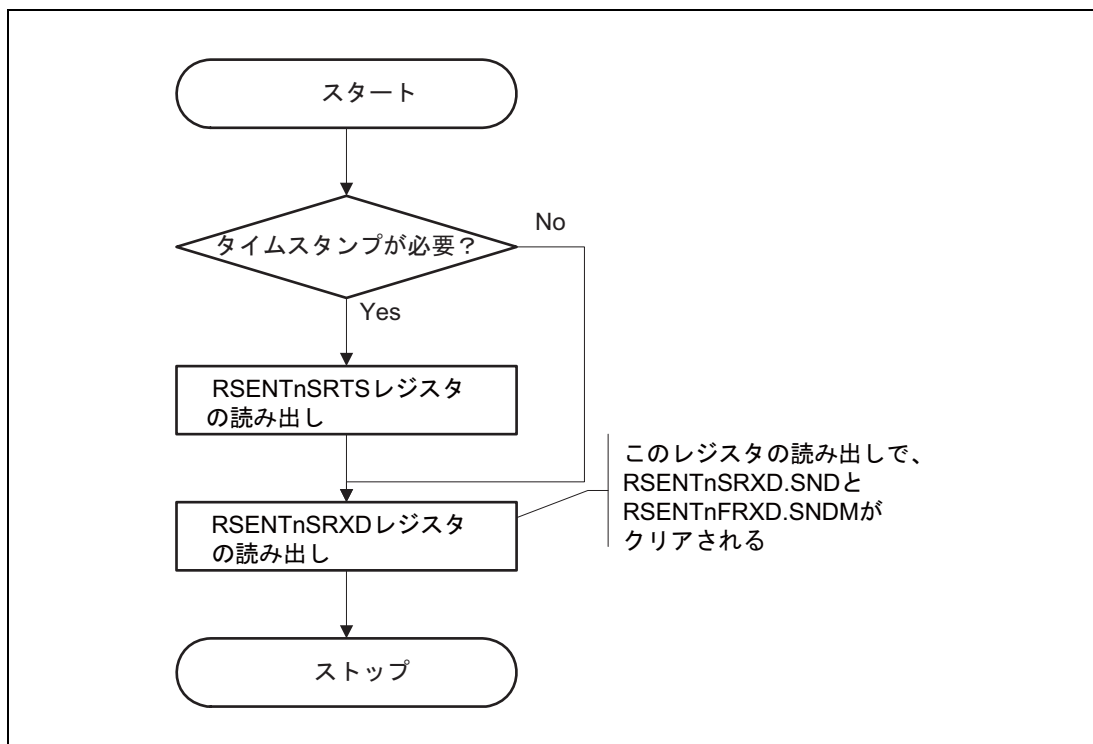


図 19.18 低速チャネル受信フロー

いずれの場合も、CPU は、このフローに示す低速チャネルメッセージ受信バッファレジスタの読み出し順序を守る必要があります。RSENTnSRXD.SND ビットは、最後にアクセスされる必要があります。

19.6.2.7 DMA フロー

DMA を使用する場合は、DMA 使用の開始アドレスと転送回数が、受信バッファのどの部分が転送されるか、定義します。RSENTnFRXD レジスタは、32 ビット単位のアクセスで、最後にアクセスされるレジスタである必要があります。

一時停止パルスと固定メッセージ長を使用した SAE 通信では、キャリブレーションパルスの比をチェックすることにより、フローをメッセージ長まで、拡張しなければなりません。この可変チェックは、CPU が行う必要があります。可変チェックが失敗した場合には、CPU は、受信したメッセージを破棄しなければなりません。

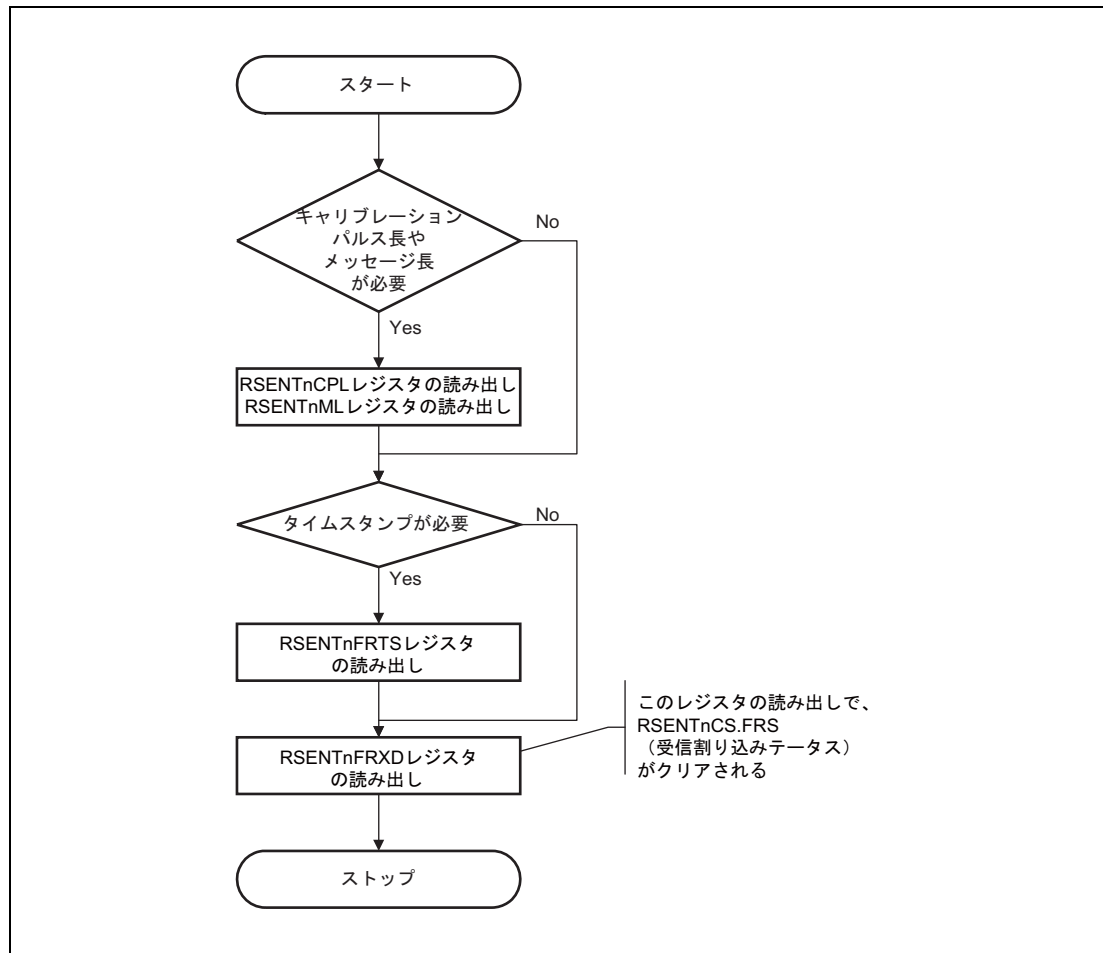


図 19.19 DMA 受信フロー

ソフトウェア処理では、転送データがセットされると、CPU は、転送された RSENTnFRXD.SNDM ビットの状態をチェックする必要があります。このビットが 1 に設定されると、ユーザは必要に応じて、低速チャネルメッセージ受信バッファを読み出す必要があります。

19.6.2.8 エラーのフラグ

メッセージロストエラー (RSENTnCS.SMS/RSENTnCS.FMS) は、前のメッセージが読み出される前に、新たなメッセージが正常と診断された場合にセットされます。

応答なしエラー (RSENTnCS.NRS) は、レスポンス受信前/受信前に CPU が RSENTnSPTC.TLL に書き込みを行った場合にセットされます。

高速チャンネル受信エラー (RSENTnCS.CVS/RSENTnCS.CLS/RSENTnCS.FNS/RSENTnCS.FES/RSENTnCS.FCS) および低速チャンネル受信エラー (RSENTnCS.SCS/RSENTnCS.SES) が更新されるタイミングは、通信設定レジスタ (RSENTnCC.SPCE/RSENTnCC.FCM/RSENTnCC.PPC/RSENTnCC.PPTC) の設定に依存して変化します。

それぞれの設定に対応するエラーフラグの更新タイミングを表 19.30 と表 19.31 に示します。

高速チャンネルニブル符号化エラーまたはキャリブレーションパルス長エラーが検出された場合は、メッセージ受信が直ちに中断されます。このメッセージに対するこれ以降のエラー検出ビットのセットは行われません。有効なキャリブレーションパルスが検出されると、メッセージのデコードが再開されます。

RSENTnMDC.OMC の設定によって OPERATION IDLE モードへ移行しているとき、受信中のメッセージで検出されたキャリブレーションパルスまたは高速チャンネルに対するエラーのエラーフラグはセットされません。また受信メッセージは破棄されます。

高速チャンネルニブル符号化エラーまたはキャリブレーションパルス長エラーが検出された場合、直ちに OPERATION IDLE モードへ移行します。

高速チャンネルニブルカウントエラー、高速チャンネル CRC エラー、キャリブレーションパルス長変動エラーが検出された場合、次のステータス&コミュニケーションニブルの終わりで OPERATION IDLE モードへ移行します。

高速チャンネルニブルカウントエラー (RSENTnCS.FNS) は、有効なキャリブレーションパルスが検出され、続くデータニブルが有効な長さ (≥ 12 ticks かつ ≤ 27 ticks) のとき、もしくは有効な 2 つのキャリブレーションパルスの間にデータニブルが受信されなかったときのみセットされます。

高速チャンネルニブル符号化エラー (RSENTnCS.FES) は、ステータス&コミュニケーションニブル、CRC ニブル、データニブルのいずれかで符号化エラーが発生したときのみセットされます。

SPC 機能が有効なとき (RSENTnCC.SPCE = 1)、キャリブレーションパルス長エラー (RSENTnCS.CLS) は、期待されるキャリブレーションパルス位置にあるパルスの長さが、有効なキャリブレーションパルス幅でない場合にセットされます。SPC 機能が無効なとき (RSENTnCC.SPCE = 0)、キャリブレーションパルス長エラー (RSENTnCS.CLS) は、有効なキャリブレーションパルスを受信した次の期待されるキャリブレーションパルス位置にあるパルスの長さが、有効なキャリブレーションパルス幅でない場合にセットされます。

有効なキャリブレーションパルスの探索中に追加で発生するエラーフラグは、後続のフレームの受信に影響を与えません。

表 19.30 エラーフラグセットタイミング (RSENTnCC.SPCE = 0)

RSENTnCC.SPCE	0							
RSENTnCC.FCM	0				1			
RSENTnCC.PPC	0		1		0		1	
RSENTnCC.PPTC	0	1	0	1	0	1	0	1
RSENTnCS.FCS	EC	×	EC	IM	IM	×	IM	IM
RSENTnCS.FES	EC	×	EC	IM	IM	×	IM	IM
RSENTnCS.FNS	EC	×	EC	—	—	×	—	—
RSENTnCS.SCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.SES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CLS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CVS	EC	×	EC	—	EC	×	EC	—

備考 EC : End of calibration pulse (有効キャリブレーションパルス立ち下がり)
 IM : Immediately when detected (エラー検出時、即時)
 — : エラーフラグ非検出
 × : 設定禁止

表 19.31 エラーフラグセットタイミング (RSENTnCC.SPCE = 1)

RSENTnCC.SPCE	0							
RSENTnCC.FCM	0				1			
RSENTnCC.PPC	0		1		0		1	
RSENTnCC.PPTC	0	1	0	1	0	1	0	1
RSENTnCS.FCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.FES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.FNS	—	×	—	—	—	×	—	—
RSENTnCS.SCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.SES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CLS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CVS	—	×	—	—	—	×	—	—

備考 EC : End of calibration pulse (有効キャリブレーションパルス立ち下がり)
 IM : Immediately when detected (エラー検出時、即時)
 — : エラーフラグ非検出
 × : 設定禁止

備 考

センサが通信を中止した場合、最終メッセージ受信以降は受信バッファの更新やステータスの更新は行われません。ソフトウェアによるタイムアウト確認を行ってください。

19.7 SPC 機能

RSENT は、SPC として知られている J2716 仕様の拡張をサポートしています。そのため、RSENT は、RSENT メッセージの送信を開始するために、受信ラインをプルダウンすることができます。

ユーザは `sent_spc` ポートの極性を設定することができます。

次に、`RSENTnCC.SOPC` の初期設定を使用した、`sent_spc` ポートの動作について説明します。`RSENTnCC.SOPC` のリセット後の値が変更されると、`sent_spc` ポートは、逆極性で動作します。

ユーザは、`RSENTnCC.SPCE` ビットを設定することによって、SPC 拡張を有効または無効にすることができます。`RSENTnCC.SPCE` ビットが 0 に設定されている場合は、SPC は無効です。通常の RSENT 受信ができるように、`sent_spc` ポートは、RSENT によってロウレベルにされます。`RSENTnCC.SPCE` ビットが 1 に設定されている場合は、SPC が有効になり、センサによってフレームの送信を要求するために、`sent_spc` ポートは RSENT によってハイレベルにされます。

RSENT の送信機能は、簡単な PWM 機能になります。この機能の目的は、出力 `sent_spc` によってセンサに方向を伝えることです。`sent_spc` 出力を使用することで、RSENT は、外部トランジスタで信号線をプルダウンすることができます。信号線は `RSENTnSPCT.TLL` ビットで指定されたティック時間の間、ロウレベルに保持されます。

ティック時間は、送信ティック時間と等しい `RSENTnBRP.TTI` と `RSENTnBRP.TTF` ビットで構成されます。詳細は、「**19.5.2.2 受信と SPC のティック設定**」を参照してください。

単一のセンサシステムでは、この機能は、センサからのデータ送信をトリガするために使用することができます。さらに、データは、トリガパルス長を変化させることによって、センサに送信することができます。マルチセンサシステムでは、この機能は、専用のセンサに対応し、データ送信を要求するために使用することができます。

いったん、RSENT の SPC 初期化が完了すると、`RSENTnSPCT.TLL` レジスタにトリガパルス幅を書き込むことによって、送信がトリガされます。送信がトリガされると、設定された長さのトリガパルスが送信されます。その後、フレームの受信が予想されます。フレーム受信が行われた後に、新しいトリガパルスを送信することができます。

`RSENTnSPCT.TLL` への書き込みで、SPC トリガ送信を要求します。`RSENTnSPCT.TLL` に書き込んだ後、その前の要求が完了したかどうかをチェックするために、CPU は `RSENTnCS.NRS` を読み出す必要があります。

`RSENTnCS.NRS` が設定されている場合は、SPC トリガが送信されず、この時点で潜在的に継続している受信が中断されます。CPU は `RSENTnCS.NRC` に '1'b1 に書き込むことによって、`RSENTnCS.NRS` をクリアする必要があります。CPU は、SPC トリガ送信を要求するために、`RSENTnSPCT.TLL` に再度、書き込むことができます。

`RSENTnCS.NRS` が設定されていない場合は、CPU は、ソフトウェアの受信タイムアウトカウンタを設定する必要があります。タイムアウトカウンタが経過する前に受信が発生すると、ユーザは、高速チャンネル受信フロー (図 19.15) と低速チャンネル受信フロー (図 19.18) に示したように、受信した低速および高速チャンネルデータを処理する必要があります。

成功した受信がなくタイムアウトカウンタが経過した場合は、指定されたセンサは、有効な応答を送信していないと判断されます。CPU は `RSENTnCS` レジスタを分析し、成功した受信がない理由を分析する必要があります。`RSENTnCS.NRS` が SPC トリガが送信されていないことを把握したうえで、新しい要求が設定されます。

タイムアウト機能の目的は、ソフトウェアにおける応答受信用に、タイムアウトウィンドウを定義することです。

図 19.20 は、ソフトウェアで実装されたタイムアウト機能を使用した、送信フローを示します。タイムアウト機能はオプションであり、必要ない場合は省略することができます。

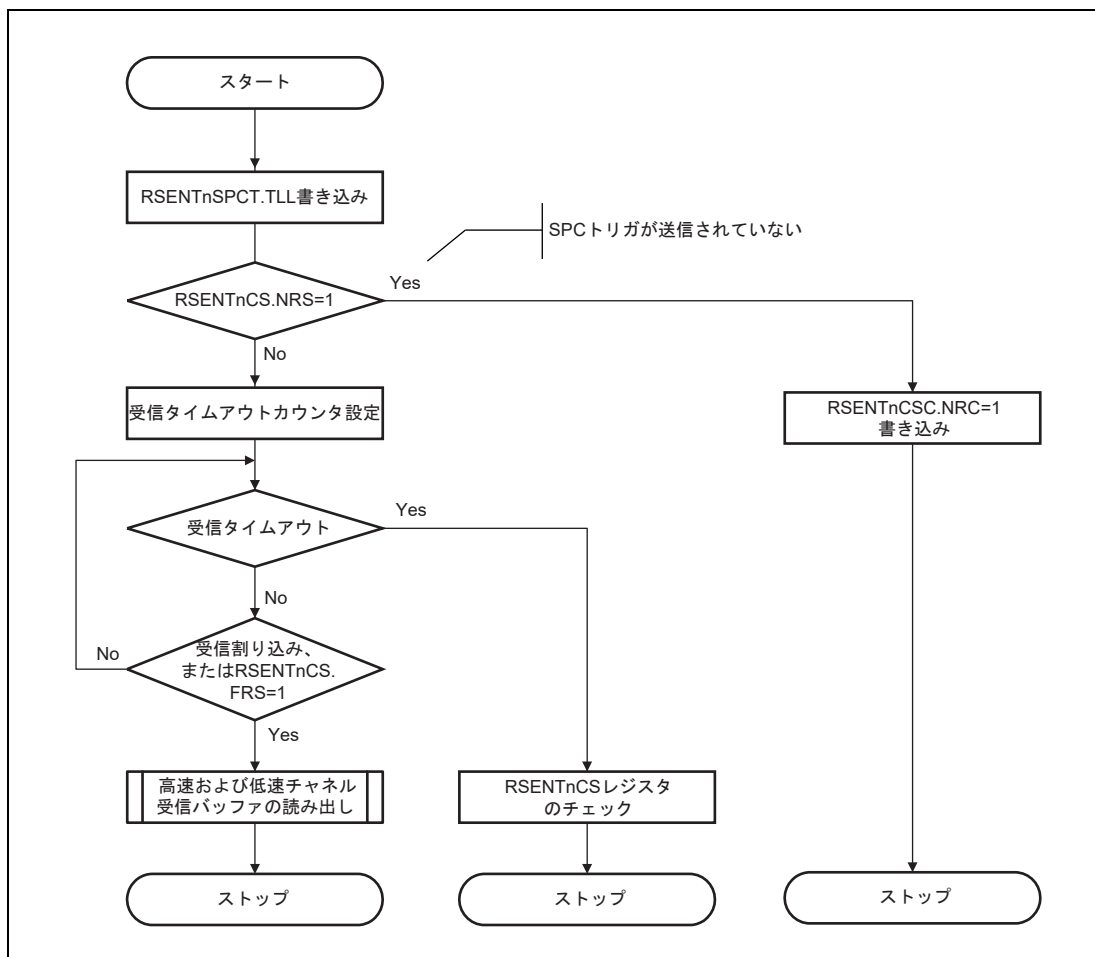


図 19.20 送信フロー

19.7.1 SENTnRX / SENTnSPCO 端子共有

SENTnRX 入力端子と、SENTnSPCO 出力端子は同一の兼用端子にアサインされています。二つの機能は、N-ch オープンドレイン設定の端子で使用することができます。

SENTnRX 端子と SENTnSPCO 端子を兼用する場合のブロック図を以下に示します。

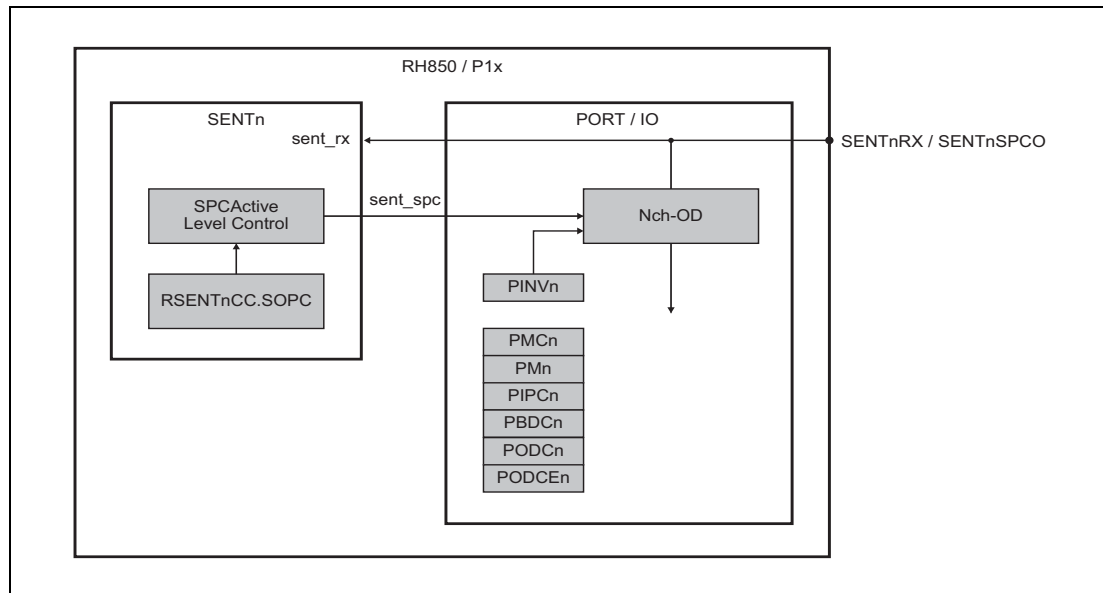


図 19.21 SENTnRX / SENTnSPCO の端子共有

RSENT マクロの出力信号である sent_spc 信号を IO バッファの Nch オープンドレインに接続します。RSENT マクロは RSENTnCC レジスタの SOPC ビットの設定により sent_spc 出力の極性を、IO バッファの PINVn レジスタの設定により端子出力極性を制御することができます。これらのレジスタは適切な組み合わせで設定される必要があります。

SENTnRX / SENTnSPCO 端子を共有する場合のレジスタ設定を以下の表に示します。

表 19.32 SENTnRX / SENTnSPCO 端子共有設定

レジスタ名		設定値	説明
PMcN	ポートモードコントロールレジスタ	1	兼用モード
PMn	ポートモードレジスタ	0	出力モード（出力許可）
PIPCn	ポート IP コントロールレジスタ	0	入出力モードは PMn.PMn_m（S / W 入出力制御）によって制御します。
PBDCn	ポート双方向コントロールレジスタ	1	双方向モードを許可
PODCn	ポートオープンドレインコントロールレジスタ	1	N-ch オープンドレイン（PODCn_m = 1 / PODCEn_m = 0）
PODCEn	ポートオープンドレインコントロール拡張レジスタ	0	N-ch オープンドレイン（PODCn_m = 1 / PODCEn_m = 0）
PINVn	ポート出力レベル反転レジスタ	0	端子出力レベルを反転しない（RSENTnCC.SOPC = 1 のとき、ロウアクティブ）
		1	端子出力レベルを反転する（RSENTnCC.SOPC = 0 のとき、ハイアクティブ）
PFCn	ポート機能コントロールレジスタ	—	端子の兼用機能を指定します。詳細は「表 2.6 兼用モード選択の概要（PMcN.PMcN_m = 1）」を参照してください。
PFCEn	ポート機能コントロール拡張レジスタ		
PFCAn	ポート機能コントロール追加拡張レジスタ		

19.8 割り込みとチェック

RSENT は、2つの割り込みラインを提供しています。

成功した高速チャンネル受信割り込みが、CPU に、高速チャンネルメッセージ受信バッファが更新され、有効な受信データのセットを保持していることを通知します。また、受信ステータスビット (RSENTnCS.FRS) が設定されます。

ステータス割り込みは、CPU に、エラーフラグまたは RSENTnCS レジスタのメッセージロストフラグの少なくとも一方が設定されていることを通知します。

RSENTnCS レジスタ内のステータスフラグが、割り込みイベントの発生に寄与するかどうかは、個別に設定することができます。

CRC チェックの実行は、個別に、低速チャンネルおよび高速チャンネルに対して無効にすることができます。チェックが無効になっている場合は、受信したメッセージの CRC はチェックされず、関連するエラーフラグもセットされません。

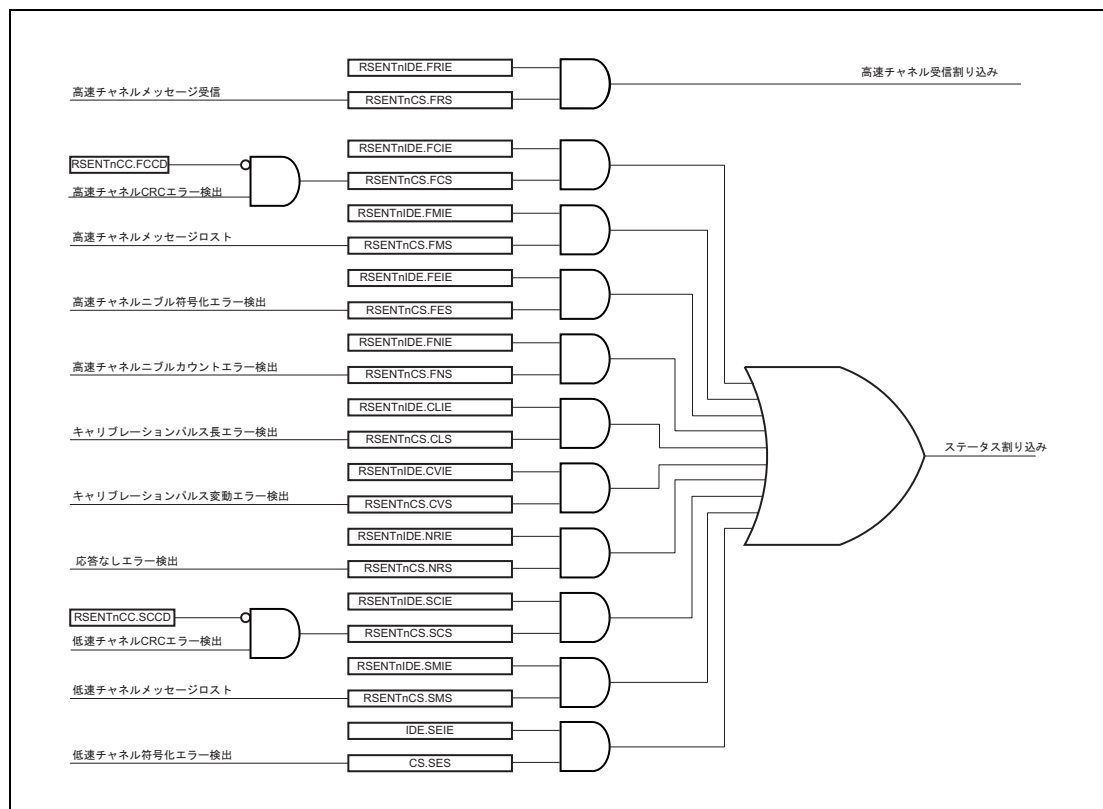


図 19.22 割り込み構造

表 19.33 は、設定されたステータスフラグとバッファ更新の関係についての概要を示します。

表 19.33 受信バッファ動作に対するステータスフラグの影響

RSENTn CS	高速チャンネルメッセージ受信 バッファ	低速チャンネルメッセージ受信バッファ
FRS	更新	全ての低速チャンネルメッセージのステータス&コミュニケーション ニブルを受信し、RSENTnCS.SES=0 と RSENTnCS.SCS=0 なら、 更新
FCS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
FMS	メッセージロスト	影響なし
FES	更新なし	受信処理が中断。新たなスタートコンディションを検索。
FNS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
CLS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
CVS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
NRS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
SCS	影響なし	更新なし
SMS	影響なし	メッセージロスト
SES	影響なし	受信処理が中断。新たなスタートコンディションを検索。

第20章 PSI5

本章では、PSI5 全般について説明します。

20.1 RH850/P1x の PSI5 の概要

20.1.1 チャンネル数

RH850/P1x は 2 チャンネルの PSI5 を搭載しています。

表 20.1 PSI5 のチャンネル

PSI5	
チャンネル数	2
名称	PSI5n

n の意味

本章では、PSI5 の各チャンネルを「n」（n=0、1）で識別します。たとえば、PSI5 チャンネル制御レジスタは PSI5nCHCTL と記述します。

20.1.2 レジスタベースアドレス

PSI5n のレジスタアドレスは、ベースアドレス <PSI5n_base> からのオフセットで表されます。

各 PSI5n のベースアドレス <PSI5n_base> を以下の表に示します。

表 20.2 レジスタベースアドレス <PSI5n_base>

PSI5n のチャンネル	<PSI5n_base> アドレス
PSI50	FFE0 0000 _H
PSI51	FFE0 1000 _H

20.1.3 クロック供給

PSI5 は次のクロック入力 that 供給されます。

表 20.3 PSI5n のクロックソース

モジュール	クロック	接続先
PSI5n	PCLK	高速周辺クロック CLK_HSB
	psi5_com_clk	

20.1.4 割り込みと DMA

PSI5 は以下の割り込み要求を発生することができます。

表 20.4 PSI5n の割り込み要求

PSI5n の信号	機能	接続先
PSI50		
INT_PSI5STS 注1	PSI50 ステータス割り込み	• 割り込みコントローラ 226 (INTPSI50SI)
INT_RXDEXIST	PSI50 受信割り込み	• 割り込みコントローラ 227 (INTPSI50RI) • DMA/DTS コントローラトリガ 117
INT_TXDEEMPTY	PSI50 転送割り込み	• 割り込みコントローラ 228 (INTPSI50TI)
PSI51		
INT_PSI5STS 注1	PSI51 ステータス割り込み	• 割り込みコントローラ 229 (INTPSI51SI)
INT_RXDEXIST	PSI51 受信割り込み	• 割り込みコントローラ 230 (INTPSI51RI) • DMA/DTS コントローラトリガ 118
INT_TXDEEMPTY	PSI51 転送割り込み	• 割り込みコントローラ 231 (INTPSI51TI)

注 1. 複数の割り込みの集合体です。詳細は「20.4 割り込み」を参照してください。

20.1.5 リセット要因

PSI5 とそのレジスタは次のリセット信号によって初期化されます。

表 20.5 PSI5n リセット信号

チャネル	リセット信号
PSI5n	リセットコントローラ SYSRES

20.1.6 外部入出力信号

PSI5 の外部入出力信号を以下の表に示します。

表 20.6 PSI5n の外部入出力信号

PSI5n の信号	機能	接続先
PSI50		
psi5_rx_data	PSI50 データ入力	ポート PSI50DIN
psi5_tx_data	PSI50 データ出力	ポート PSI50DOUT
PSI51		
psi5_rx_data	PSI51 データ入力	ポート PSI51DIN
psi5_tx_data	PSI51 データ出力	ポート PSI51DOUT

20.2 機能

機能の概要

PSI5 規格 (PSI5 v2.0) で定義されている次の機能に対応しています。

- 通信モード
 - PSI5-A : 非同期モード
 - PSI5-S : 同期パラレルバスモード
 - PSI5-U : 同期パラレルユニバーサルバスモード
 - PSI5-D : 同期ダイジーチェーンバスモード
 - PSI5-V : 可変時間トリガ同期動作モード
- センサ→ ECU 通信
 - 8 スロット 受信可能
 - ビットレート低速 (125 kbps) / 高速 (189 kbps)
 - スタートビット 自動検出
 - マンチェスターコード → バイナリ 変換
 - 受信可能ビット長 : 10 ~ 28 ビット
 - シリアルメッセージフレーム 受信 : 8 スロット 可能
 - データ / シリアルメッセージフレーム共にチェックビット自動計算
 - 受信 CRC / パリティをデータと共に格納
- ECU → センサ通信
 - Tooth GAP モード
 - パルス幅モード
 - スタートコンディション 自動検出
 - フレームフォーマット 1,2,3,4 に対応
 - 同期ビット自動付加
 - CRC 自動付加
- PAS 互換モード
 - 250 kbps
 - MSB ファースト受信
 - パリティチェック
- 受信データ , シリアルメッセージフレーム にタイムスタンプ付加
 - タイムスタンプを同期するマスタ / スレーブ機能

表 20.7 動作モード一覧

動作モード	通常モード	PAS 互換モード
ビットレート	125 kbps/189 kbps	250 kbps
データ長	10 ~ 28 ビット	8 ~ 24 ビット
データディレクション	LSB ファースト	MSB ファースト
データ通信パラメータ		
ビットタイム値 (TYP.)	8 μ s/5.3 μ s	4 μ s
GAP タイム値 (MIN.)	8.4 μ s/5.6 μ s	2 μ s
通信モード	PSI5-A、PSI5-S、PSI5-U、 PSI5-D、PSI5-V	PSI5-A のみ

20.2.1 ブロック図

PSI5n のブロック図を次に示します。

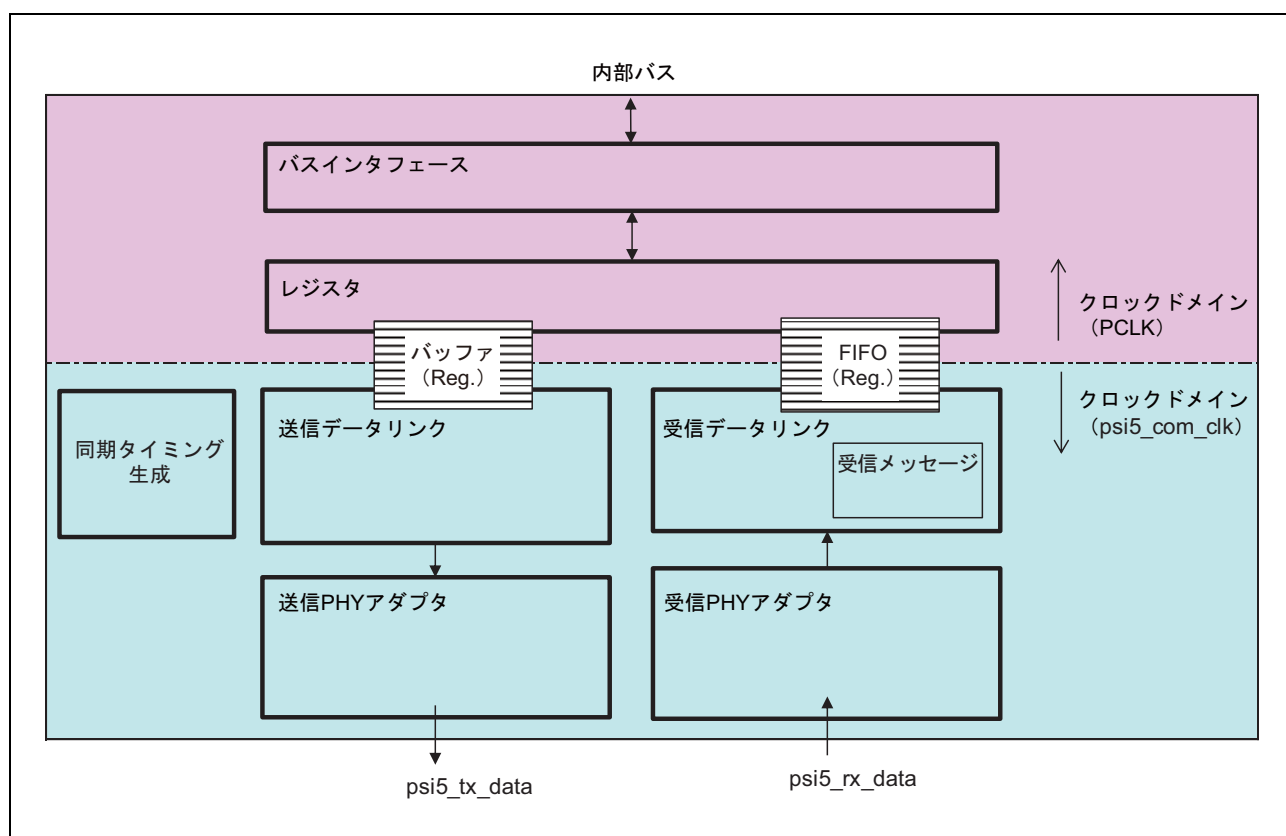


図 20.1 PSI5 のブロック図

20.3 レジスタ

PSI5n は、以下のレジスタによって制御され、操作されます。

PSI5n のベースアドレス <PSI5n_base> は、「20.1.2 レジスタベースアドレス」を参照してください。

表 20.8 PSI5n のレジスタの概要 (1/2)

レジスタ名	略号	アドレス
PSI5 チャンネル制御レジスタ	PSI5nCHCTRL	<PSI5n_base> + 0000 _H
PSI5 IP タイマ制御レジスタ	PSI5nIPTIMERCTRL	<PSI5n_base> + 0010 _H
PSI5 IP タイマカウンタ	PSI5nIPTIMER	<PSI5n_base> + 0014 _H
PSI5 動作モード/通信モードレジスタ	PSI5nOPMCOMM	<PSI5n_base> + 0020 _H
PSI5 動作モードビットレートレジスタ	PSI5nOPMBITRATE	<PSI5n_base> + 0024 _H
PSI5 動作モードサイクルタイムレジスタ	PSI5nOPMCYCT	<PSI5n_base> + 0028 _H
PSI5 割り込みステータスレジスタ	PSI5nPSI5INT	<PSI5n_base> + 0030 _H
PSI5 受信データエミュレーションレジスタ	PSI5nEMRXDATA	<PSI5n_base> + 0040 _H
PSI5 受信データステータスエミュレーションレジスタ	PSI5nEMRXDST	<PSI5n_base> + 0044 _H
PSI5 受信データ IP タイマエミュレーションレジスタ	PSI5nEMRXDTIM	<PSI5n_base> + 0048 _H
PSI5 受信データ FIFO エミュレーションレジスタ	PSI5nEMRXDFIFO	<PSI5n_base> + 004C _H
PSI5 受信メッセージ受信メッセージエミュレーションレジスタ	PSI5nEMRXMRXMSG	<PSI5n_base> + 0050 _H
PSI5 受信メッセージチャンネル受信ステータスエミュレーションレジスタ	PSI5nEMRXMRXST	<PSI5n_base> + 0054 _H
PSI5 受信メッセージチャンネル受信タイムスタンプエミュレーションレジスタ	PSI5nEMRXMRXTIM	<PSI5n_base> + 0058 _H
PSI5 受信メッセージチャンネル FIFO エミュレーションレジスタ	PSI5nEMRXMFIFO	<PSI5n_base> + 005C _H
PSI5 送信設定レジスタ	PSI5nTXSETTING	<PSI5n_base> + 0080 _H
PSI5 同期制御レジスタ	PSI5nSYNCCTRL	<PSI5n_base> + 0084 _H
PSI5 送信ステータスレジスタ	PSI5nTXST	<PSI5n_base> + 0088 _H
PSI5 送信ステータスクリアレジスタ	PSI5nTXSTCLR	<PSI5n_base> + 008C _H
PSI5 送信ステータス割り込み許可レジスタ	PSI5nTXSTINTEN	<PSI5n_base> + 0090 _H
PSI5 送信データ制御レジスタ	PSI5nTXDCTRL	<PSI5n_base> + 0094 _H
PSI5 送信データレジスタ	PSI5nTXDATA	<PSI5n_base> + 0098 _H
PSI5 受信サンプリング設定レジスタ	PSI5nRXSPLSET	<PSI5n_base> + 0100 _H
PSI5 受信スロット 1 設定レジスタ	PSI5nRXS1SET	<PSI5n_base> + 0108 _H
PSI5 受信スロット 2 設定レジスタ	PSI5nRXS2SET	<PSI5n_base> + 010C _H
PSI5 受信スロット 3 設定レジスタ	PSI5nRXS3SET	<PSI5n_base> + 0110 _H
PSI5 受信スロット 4 設定レジスタ	PSI5nRXS4SET	<PSI5n_base> + 0114 _H
PSI5 受信スロット 5 設定レジスタ	PSI5nRXS5SET	<PSI5n_base> + 0118 _H
PSI5 受信スロット 6 設定レジスタ	PSI5nRXS6SET	<PSI5n_base> + 011C _H
PSI5 受信スロット 7 設定レジスタ	PSI5nRXS7SET	<PSI5n_base> + 0120 _H
PSI5 受信スロット 8 設定レジスタ	PSI5nRXS8SET	<PSI5n_base> + 0124 _H
PSI5 受信データレジスタ	PSI5nRXDATA	<PSI5n_base> + 0128 _H
PSI5 受信データステータスレジスタ	PSI5nRXDST	<PSI5n_base> + 012C _H
PSI5 受信データ IP タイマレジスタ	PSI5nRXDTIM	<PSI5n_base> + 0130 _H
PSI5 受信データ FIFO レジスタ	PSI5nRXDFIFO	<PSI5n_base> + 0134 _H
PSI5 受信モジュールステータスレジスタ	PSI5nRXMODST	<PSI5n_base> + 0138 _H
PSI5 受信モジュールステータスクリアレジスタ	PSI5nRXMODSTCLR	<PSI5n_base> + 013C _H
PSI5 受信モジュールステータス割り込み許可レジスタ	PSI5nRXMODSTINTEN	<PSI5n_base> + 0140 _H

表 20.8 PSI5n のレジスタの概要 (2/2)

レジスタ名	略号	アドレス
PSI5 受信メッセージチャンネル設定レジスタ	PSI5nRXMSET	<PSI5n_base> + 0180 _H
PSI5 受信メッセージ受信メッセージレジスタ	PSI5nRXMRXMSG	<PSI5n_base> + 0184 _H
PSI5 受信メッセージチャンネル受信ステータスレジスタ	PSI5nRXMRXST	<PSI5n_base> + 0188 _H
PSI5 受信メッセージチャンネル受信タイムスタンプレジスタ	PSI5nRXMRXTIM	<PSI5n_base> + 018C _H
PSI5 受信メッセージチャンネル FIFO レジスタ	PSI5nRXMFIFO	<PSI5n_base> + 0190 _H
PSI5 受信メッセージチャンネルモジュールステータスレジスタ	PSI5nRXMMST	<PSI5n_base> + 0194 _H
PSI5 受信メッセージチャンネルモジュールステータスクリアレジスタ	PSI5nRXMMSTCLR	<PSI5n_base> + 0198 _H
PSI5 受信メッセージチャンネルモジュールステータス割り込み許可レジスタ	PSI5nRXMMSTINTEN	<PSI5n_base> + 019C _H
PSI5 タイムスタンプ機能モード選択レジスタ	PSI5TSEL	<PSI50_base> + 3000 _H

20.3.1 PSI5nCHCTRL — PSI5 チャンネル制御レジスタ

本レジスタは、チャンネル動作の制御を行います。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0000_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CHEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 20.9 PSI5nCHCTRL レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CHEN	<p>チャンネルイネーブル</p> <p>0 : チャンネル動作が無効</p> <p>1 : チャンネル動作が有効</p> <p>同期モードにおいて、チャンネル動作を有効にした後に、PSI5 は同期パルスを送り始めます。非同期モードにおいては、PSI5nTXSETTING.DEFTXVAL ビットによって psi5_tx_data をセットします。</p> <p>チャンネル動作が有効に設定されている場合、次のレジスタへの書き込みはできません。</p> <p>PSI5nOPMCOMM、PSI5nOPMBITRATE、PSI5nOPMCYCT、PSI5nTXSETTING、PSI5nRXSPLSET、PSI5nRXSmSET、PSI5nRXMSET。</p> <p>本ビットに書き込みをした後、設定が反映されたことをソフトウェアで読み出して確認してください。</p>

注 意

チャンネル動作有効 (PSI5nCHCTRL.CHEN=1) 時にのみ設定すべきレジスタは下記となります。

- PSI5nRXMODSTINTEN.RXDEXISTINTEN = 1
- PSI5nTXSTINTEN.TXEMPTYINTEN = 1
- PSI5nTXDATA.TXDATA

20.3.2 PSI5nIPTIMERCTRL — PSI5 IP タイマ制御レジスタ

本レジスタは、IP タイマの制御を行います。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0010_H

リセット後の値 00010000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTSLV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSCLR	—	—	—	—	—	—	—	IPTIMEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

表 20.10 PSI5nIPTIMERCTRL レジスタの内容

ビット位置	ビット名	機能
31 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	MSTSLV	<p>タイママスタ/スレーブモード選択</p> <p>0: スレーブモードを選択</p> <p>1: マスタモードを選択</p> <p>・スレーブモード</p> <p>IP タイマはマスタチャンネルから入力されるカウントアップタイミング (psi5_ts_tick_in) によってカウントアップします。PSI5nIPTIME レジスタの値は TSCLR ビットのセット、もしくは、マスタチャンネルから入力されるクリアタイミング (psi5_ts_clr_in) によってクリアされます。</p> <p>・マスタモード</p> <p>IP タイマは内部ポーレートジェネレータより生成されるクロックによってカウントアップします。</p> <p>PSI5 はカウントアップタイミング (psi5_ts_tick_out) を出力します。</p> <p>PSI5nIPTIMER レジスタの値は TSCLR ビットをセットするとクリアされます。(クリアタイミング (psi5_ts_clr_out) を出力します)</p>
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	TSCLR	<p>IP タイマクリアトリガ</p> <p>0: IP タイマ (PSI5nIPTIME レジスタ) をクリアしない</p> <p>1: IP タイマ (PSI5nIPTIME レジスタ) をクリアする</p> <p>MSTSLV ビット = 1 の場合に TSCLR ビットの設定は有効になります。</p> <p>読み出し値は常に 0 になります。</p>
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	IPTIMEN	<p>IP タイマ許可</p> <p>0: IP タイマ無効</p> <p>1: IP タイマ有効</p> <p>スレーブモードの場合、マスタチャンネルの IP タイマを許可してから IPTIMEN ビットをセットしてください。</p>

20.3.3 PSI5nIPTIMER — PSI5 IP タイマカウンタ

IP タイマのカウンタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0014_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	COUNTVAL[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COUNTVAL[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.11 PSI5nIPTIMER レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	COUNTVAL	マスターモードでは、内部ポーレートジェネレータにより生成されるクロックによってカウントアップします。 スレーブモードではマスターチャンネルから入力されるカウントアップタイミング (psi5_ts_tick_in) によってカウントアップします。 このレジスタに書き込む場合、値が反映されるまで数サイクル必要とします。

20.3.4 PSI5nOPMCOMM — PSI5 動作モード／通信モードレジスタ

本レジスタは、通信モードの設定を行います。

アクセス 32ビット単位でリード／ライト可能です。

アドレス <PSI5n_base> + 0020_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	COMMODE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 20.12 PSI5nOPMCOMM レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	COMMODE	通信モードの設定 000 _B : 非同期モード 001 _B : 同期パラレルバスモード 010 _B : 同期ユニバーサルバスモード 011 _B : 同期デイズチェーンバスモード 100 _B : 可変時間トリガ同期動作モード 上記以外: 設定禁止

20.3.5 PSI5nOPMBITRATE — PSI5 動作モードビットレートレジスタ

本レジスタでは、ビットレートの設定をします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0024_H

リセット後の値 0000 029F_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BITRATECNT															
リセット後の値	0	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.13 PSI5nOPMBITRATE レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ~ 0	BITRATECNT	<p>1bit長のクロック数を通信クロック許容誤差を考慮して設定します。</p> <ul style="list-style-type: none"> 80MHz (12.5ns) で、125Kbps(clock 許容誤差 5%:8.4μs) 通信する場合 カウントクロックとして psi5_com_clk を使用します。 カウント周期 = 8.4μs/12.5ns = 672 = 2A0_H 設定値 : 2A0-001_H = 29F_H <p>本値はビット判定でエッジが検出されない期間、ビット長を確保するために使用します。</p>

20.3.6 PSI5nOPMCYCT — PSI5 動作モードサイクルタイムレジスタ

本レジスタでは、カウント値の設定をします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0028_H

リセット後の値 0000 9C3F_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	TTTTCNT			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTTTCNT															
リセット後の値	1	0	0	1	1	1	0	0	0	0	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.14 PSI5nOPMCYCT レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	TTTTCNT	カウント値の設定をします。 同期信号の周期のカウント値を指定します カウントクロックとして psi5_com_clk を使用します。 80 MHz (12.5 ns) でカウントする場合、デフォルト値は 500 μs です。 500us/12.5ns = 40000 = 9C40 _H 設定値 : 9C40 _H -001 _H = 9C3F _H

20.3.7 PSI5nPSI5INT — PSI5 割り込みステータスレジスタ

本レジスタは、PSI5 で発生した割り込みのステータスを示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0030_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	INT_SYNCED	INT_SYNCST	INT_TXEMPTY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	INT_RXDSCNFERR	INT_RXDERR	INT_RXDFOVF	INT_RXDEXIST	INT_RXMERR	INT_RXMFOVF	INT_RXMEXIST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.15 PSI5nPSI5INT レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。
18	INT_SYNCED	INT_SYNCED 割り込みの発生 0: 発生しない 1: 発生した
17	INT_SYNCST	INT_SYNCST 割り込みの発生 0: 発生しない 1: 発生した
16	INT_TXEMPTY	INT_TXEMPTY 割り込みの発生 0: 発生しない 1: 発生した
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。
6	INT_RXDSCNFERR	INT_RXDSCNFERR 割り込みの発生 0: 発生しない 1: 発生した
5	INT_RXDERR	INT_RXDERR 割り込みの発生 0: 発生しない 1: 発生した
4	INT_RXDFOVF	INT_RXDFOVF 割り込みの発生 0: 発生しない 1: 発生した
3	INT_RXDEXIST	INT_RXDEXIST 割り込みの発生 0: 発生しない 1: 発生した
2	INT_RXMERR	INT_RXMERR 割り込みの発生 0: 発生しない 1: 発生した
1	INT_RXMFOVF	INT_RXMFOVF 割り込みの発生 0: 発生しない 1: 発生した
0	INT_RXMEXIST	INT_RXMEXIST 割り込みの発生 0: 発生しない 1: 発生した

備考

PSI5 の割り込みについては、「20.4 割り込み」を参照してください。

20.3.8 PSI5nEMRXDATA — PSI5 受信データエミュレーションレジスタ

受信データレジスタ (PSI5nRXDATA) のミラーレジスタです。

PSI5nRXDATA レジスタについては「20.3.25 PSI5nRXDATA — PSI5 受信データレジスタ」を参照してください。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0040_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.16 PSI5nEMRXDATA レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXDATA	PSI5nRXDATA のミラーデータです。リードしてもデータの更新は行われません。

20.3.9 PSI5nEMRXDST — PSI5 受信データステータスエミュレーションレジスタ

受信データステータスレジスタ (PSI5nRXDST) のミラーレジスタです。

PSI5nRXDST レジスタについては「**20.3.26 PSI5nRXDST — PSI5 受信データステータスレジスタ**」を参照してください。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0044_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RXCHKD		RXSLOTNUM				—	—	—	RXSTATUS	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.17 PSI5nEMRXDST レジスタの内容

ビット位置	ビット名	機能
30 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 8	RXCHKD	PSI5nRXDST.RXCHKD ビットのミラーです。 リードしてもデータの更新は行われません。
7 ~ 4	RXSLOTNUM	PSI5nRXDST.RXSLOTNUM ビットのミラーです。 リードしてもデータの更新は行われません。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	RXSTATUS	PSI5nRXDST.RXSTATUS ビットのミラーです。 リードしてもデータの更新は行われません。

20.3.10 PSI5nEMRXDTIM — PSI5 受信データ IP タイマエミュレーションレジスタ

受信データ IP タイマレジスタ (PSI5nRXDTIM) のミラーレジスタです。

PSI5nRXDTIM レジスタについては「20.3.27 PSI5nRXDTIM — PSI5 受信データ IP タイマレジスタ」を参照してください。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0048_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXDTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXDTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.18 PSI5nEMRXDTIM レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXDTIM	PSI5nRXDTIM のミラーレジスタです。リードしてもデータの更新は行われません。

20.3.11 PSI5nEMRXDFIFO — PSI5 受信データ FIFO エミュレーションレジスタ

受信データ FIFO レジスタ (PSI5nRXDFIFO) のミラーレジスタです。

PSI5nRXDFIFO レジスタについては「[20.3.28 PSI5nRXDFIFO — PSI5 受信データ FIFO レジスタ](#)」を参照してください。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 004C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXDST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXDST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.19 PSI5nEMRXDFIFO レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXDST	PSI5nRXDFIFO のミラーレジスタです。リードしてもデータの更新は行われません。

20.3.12 PSI5nEMRXMRXMSG — PSI5 受信メッセージ受信メッセージエミュレーションレジスタ

受信メッセージ受信メッセージレジスタ (PSI5nRXMRXMSG) のミラーレジスタです。

PSI5nRXMRXMSG レジスタについては「**20.3.33 PSI5nRXMRXMSG — PSI5 受信メッセージ受信メッセージレジスタ**」を参照してください。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0050_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CONFI GBIT	—	—	—	—	—	—	—	SERIALID							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATAFIELD															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.20 PSI5nEMRXMRXMSG レジスタの内容

ビット位置	ビット名	機能
31	CONFIGBIT	PSI5nRXMRXMSG.CONFIGBIT ビットのミラーです。 リードしてもデータの更新は行われません。
30 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。
23 ~ 16	SERIALID	PSI5nRXMRXMSG.SERIALID ビットのミラーです。 リードしてもデータの更新は行われません。
15 ~ 0	DATAFIELD	PSI5nRXMRXMSG.DATAFIELD ビットのミラーです。 リードしてもデータの更新は行われません。

20.3.13 PSI5nEMRXMRXST — PSI5 受信メッセージチャンネル受信ステータスエミュレーションレジスタ

受信メッセージチャンネル受信ステータスレジスタ (PSI5nRXMRXST) のミラーレジスタです。

PSI5nRXMRXST レジスタについては「**20.3.34 PSI5nRXMRXST — PSI5 受信メッセージチャンネル受信ステータスレジスタ**」を参照してください。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0054_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RXSYNC		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RXCRC					SLOTNUM					—	—	—	RXSTATUS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.21 PSI5nEMRXMRXST レジスタの内容

ビット位置	ビット名	機能
30 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。
18 ~ 16	RXSYNC	PSI5nRXMRXST.RXSYNC ビットのミラーです。リードしてもデータの更新は行われません。
15、14	予約ビット	リードした場合はリセット後の値が読めます。
13 ~ 8	RXCRC	PSI5nRXMRXST.RXCRC ビットのミラーです。リードしてもデータの更新は行われません。
7 ~ 4	SLOTNUM	PSI5nRXMRXST.SLOTNUM ビットのミラーです。リードしてもデータの更新は行われません。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	RXSTATUS	PSI5nRXMRXST.RXSTATUS ビットのミラーです。リードしてもデータの更新は行われません。

20.3.14 PSI5nEMRXMRXTIM — PSI5 受信メッセージチャンネル受信タイムスタンプエミュレーションレジスタ

受信メッセージチャンネル受信タイムスタンプレジスタ (PSI5nRXMRXTIM) のミラーレジスタです。

PSI5nRXMRXTIM レジスタについては「**20.3.35 PSI5nRXMRXTIM — PSI5 受信メッセージチャンネル受信タイムスタンプレジスタ**」を参照してください。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0058_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXMTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXMTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.22 PSI5nEMRXMRXTIM レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXMTIM	PSI5nRXMRXTIM のミラーレジスタです。リードしてもデータの更新は行われません。

20.3.15 PSI5nEMRXMFIFO — PSI5 受信メッセージチャンネル FIFO エミュレーションレジスタ

受信メッセージチャンネル FIFO レジスタ (PSI5nRXMFIFO) のミラーレジスタです。

PSI5nRXMFIFO レジスタについては「**20.3.36 PSI5nRXMFIFO — PSI5 受信メッセージチャンネル FIFO レジスタ**」を参照してください。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 005C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXMFIFO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXMFIFO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.23 PSI5nEMRXMFIFO レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXMFIFO	PSI5nRXMFIFO のミラーレジスタです。リードしてもデータの更新は行われません。

20.3.16 PSI5nTXSETTING — PSI5 送信設定レジスタ

送信の設定をするレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0080_H

リセット後の値 1067 47F7_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LONGCNT															
リセット後の値	0	0	0	1	0	0	0	0	0	1	1	0	0	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PHY MODE	DEF TXVAL	SHORTCNT													
リセット後の値	0	1	0	0	0	1	1	1	1	1	1	1	0	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.24 PSI5nTXSETTING レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	LONGCNT	パルス幅方式の同期信号の "Long" 信号幅の許容上限値を設定します。 psi5_com_clk が 80 MHz のときの上限値は 52.5 μs です。 カウント周期：52.5 μs/12.5ns = 4200 = 1068 _H 設定値 1068 _H - 0001 _H = 1067 _H
15	PHYMODE	同期パルス PHY レイヤモードの指定 0：Tooth gap 方式を選択 1：パルス幅方式を選択 パルス幅方式を選択した場合、Tooth gap 方式における SHORTCNT ビットで選択したパルス幅内の値を設定してください。
14	DEFTXVAL	データを送信していないときの同期信号の初期値を設定します 0："0" を送信 1："1" を送信
13 ~ 0	SHORTCNT	パルス幅方式、Tooth gap 方式共通の同期信号の "Short" 信号幅の許容上限値を設定します。 psi5_com_clk が 80 MHz のときの上限値は 25.5 μs です。 カウント周期：25.5 μs/12.5ns = 2040 = 07F8 _H 設定値 07F8 _H - 0001 _H = 07F7 _H

注 意

- PSI5nTXSETTING.SHORTCNT ビットは 1 以上を設定してください。
- 以下の設定値を使用してください。
PSI5nOPMCYCT.TTTTCNT > PSI5nTXSETTING.LONGCNT > PSI5nTXSETTING.SHORTCNT

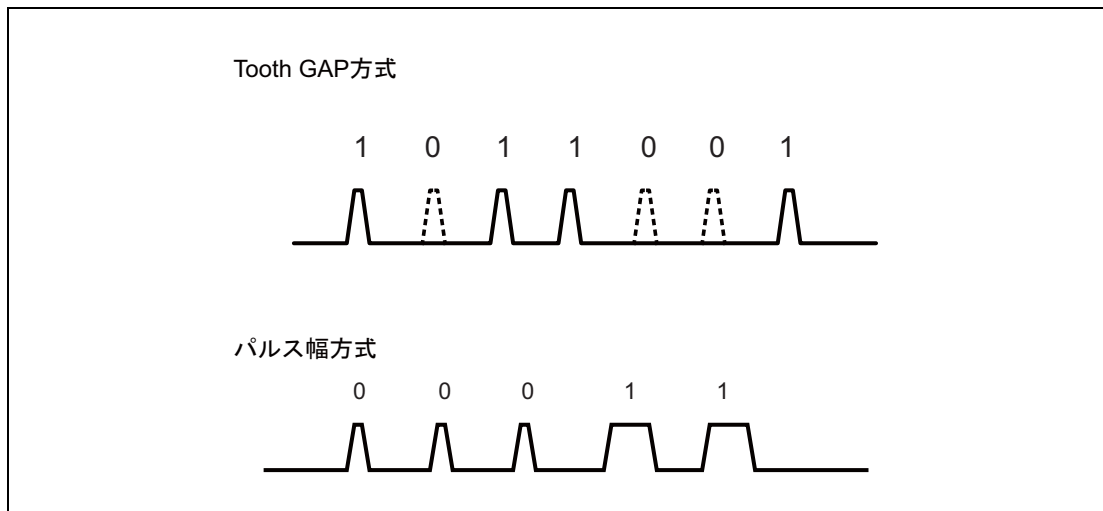


図 20.2 Tooth GAP 方式とパルス幅方式

20.3.17 PSI5nSYNCTRL — PSI5 同期制御レジスタ

本レジスタは、可変時間トリガ同期動作モード時の開始トリガの制御を行います。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0084_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VALTIM SYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 20.25 PSI5nSYNCTRL レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	VALTIMSYNC	可変時間トリガ同期動作モード時の同期信号のトリガビットです。 0: 意味なし 1: 同期信号発生 リード時は常に0です。 可変時間トリガ同期動作モード以外のモードのときには VALTIMSYNC ビットに1をライトしないでください。

20.3.18 PSI5nTXST — PSI5 送信ステータスレジスタ

本レジスタは、送信状態を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0088_H

リセット後の値 0000 0001_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SYNC ED	SYNC ST	—	—	—	—	—	—	—	TXD EMPTY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.26 PSI5nTXST レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9	SYNCED	同期信号送信完了を示します。 0: 同期信号が送信されていない、または送信未完了。 1: 同期信号が送信完了。 SYNCED ビットがセットされると INT_SYNCED 割り込みが発生します。 Tooth gap 方式において 0 が送信された場合でも SYNCED ビットはセットされます
8	SYNCST	同期信号送信開始を示します。 0: 同期信号が送信されていない。 1: 同期信号が送信開始された。 SYNCST ビットがセットされると INT_SYNCST 割り込みが発生します。 Tooth gap 方式において 0 が送信された場合でも SYNCST ビットはセットされます
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	TXDEMPY	送信データバッファの状態を示します。 0: 送信データバッファがエンプティ状態ではありません。 1: 送信データバッファがエンプティ状態です。 TXDEMPY ビットがセットされると INT_TXDEMPY 割り込みが発生します。

20.3.19 PSI5nTXSTCLR — PSI5 送信ステータスクリアレジスタ

本レジスタは、PSI5nTXST レジスタの設定をクリアします。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 008C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SYNC EDCLR	SYNC STCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 20.27 PSI5nTXSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	SYNCEDCLR	PSI5nTXST.SYNCED ビットの値をクリアします。 0: 何も操作を行いません。読み出し値は常に0になります。 1: PSI5nTXST.SYNCED ビットの値をクリア
8	SYNCSTCLR	PSI5nTXST.SYNCST ビットの値をクリアします。 0: 何も操作を行いません。読み出し値は常に0になります。 1: PSI5nTXST.SYNCST ビットの値をクリア
7 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

20.3.20 PSI5nTXSTINTEN — PSI5 送信ステータス割り込み許可レジスタ

本レジスタは、送信ステータス割り込みの制御をします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0090_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SYNC EDINT EN	SYNC STINT EN	—	—	—	—	—	—	—	TXD EMPTY INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

表 20.28 TXSINTEN レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	SYNCED INTEN	INT_SYNCED 割り込みを制御します。 0: 割り込み禁止 (マスク) 1: 割り込み許可
8	SYNCSTINTEN	INT_SYNCST 割り込みを制御します。 0: 割り込み禁止 (マスク) 1: 割り込み許可
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXDEMPYINT EN	INT_TXDEMPY 割り込みを制御します。 0: 割り込み禁止 (マスク) 1: 割り込み許可

20.3.21 PSI5nTXDCTRL — PSI5 送信データ制御レジスタ

本レジスタは、送信ステータス割り込みの制御をします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0094_H

リセット後の値 0000 0001_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	FRMFORMAT			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 20.29 PSI5nTXDCTRL レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	FRMFORMAT	送信フレームのフォーマットの設定をします 001 _B : Frame1 (Short) 010 _B : Frame2 (Long : 4 ビットデータ、または 8 ビットデータ) 011 _B : Frame3 (XLong) 100 _B : Frame4 (XXLong) 上記以外 : 設定禁止

20.3.22 PSI5nTXDATA — PSI5 送信データレジスタ

送信データを格納するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0098_H

リセット後の値 不定

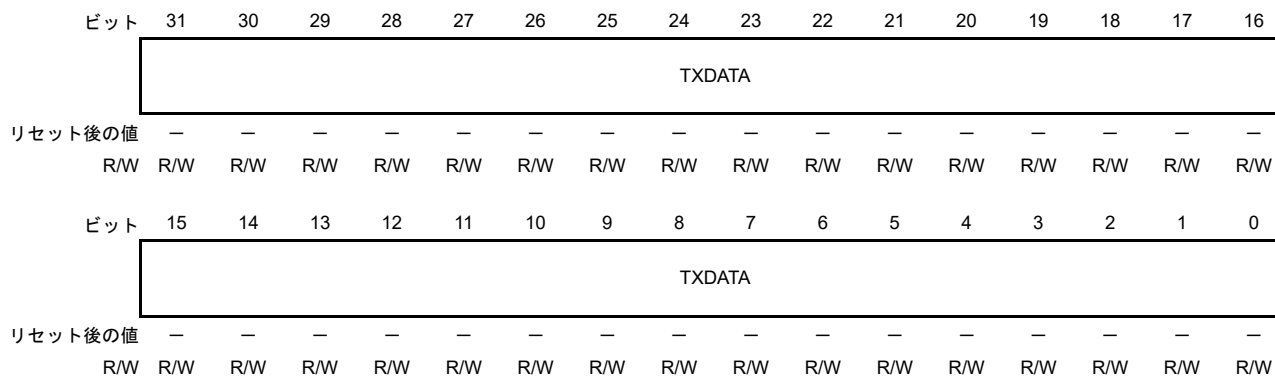


表 20.30 PSI5nTXDATA レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TXDATA	送信データ スタートフィールド、同期ビット、CRC フィールドを含まない送信データを書き込みます。(送信データは LSB ファーストで書き込みます) PSI5nTXDCTRL.FRMFORMAT ビットで設定した送信フレームフォーマットに応じて、データ配置が異なります(表 20.31 を参照)。 このレジスタにライトしたあとデータは送信されます。 読み出し値は常に 0 になります。

表 20.31 送信フレームフォーマットにおける PSi5nTXDATA.TXDATA データ配置

TXDATA ビット 位置	送信フレームフォーマット (PSi5nTXDCTRL.FRMFORMAT)													
	Frame1 "Short"		Frame2 "Long" (4-Bit Data Nibbles)		Frame2 "Long" (8-Bit Data Word)		Frame3 "XLong"		Frame4 "XXLong"					
31 ~ 24	全て "0"		全て "0"		全て "0"		全て "0"		全て "0"					
23									Data	D19				
22									D18					
21									Data	D7	D17			
20									D6	D16				
19									D5	D15				
18									D4	D14				
17									D3	D13				
16									D2	D12				
15									Data	D3	Data	D7	D1	D11
14									D2	D6	D0	D10		
13									D1	D5	RAdr	X7	D9	
12									D0	D4	X6	D8		
11									RAdr	X5	D3	X5	D7	
10									X4	D2	X4	D6		
9									X3	D1	X3	D5		
8									X2	D0	X2	D4		
7	X1	RAdr	X1	X1	D3									
6	X0	X0	X0	D2										
5	FC	F2	FC	F2	FC	F2	FC	F2	D1					
4	F1	F1	F1	F1	F1	F1	F1	D0						
3	F0	F0	F0	F0	F0	F0	F0	SAdr	C					
2	SAdr	A2	SAdr	A2	SAdr	A2	SAdr	A2	A2					
1	A1	A1	A1	A1	A1	A1	A1	A1	A1					
0	A0	A0	A0	A0	A0	A0	A0	A0	A0					

20.3.23 PSI5nRXSPLSET — PSI5 受信サンプリング設定レジスタ

本レジスタは、受信データのサンプリングタイミングの制御をします。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0100_H

リセット後の値 0000 0027_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SMPLPROD							
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.32 PSI5nRXSPLSET レジスタの内容

ビット位置	ビット名	機能								
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。								
7 ~ 0	SMPLPROD	<p>受信データのサンプリングインターバルカウンタの値を設定します。 psi5_com_clk 信号でカウントアップします。 1bit長が 16 サンプリングになるように設定します。 psi5_com_clk : 80 MHz (T = 12.5 ns) ビットレート : L (125 kHz、T = 8 μs) カウンタ値 : 500 ns / 12.5 ns = 40 = 28_H 設定値 : 28_H - 01_H = 27_H</p> <p>psi5_com_clk = 80MHz 時の設定例</p> <table border="1"> <thead> <tr> <th>Baud rate</th> <th>設定値</th> </tr> </thead> <tbody> <tr> <td>125KHz</td> <td>27_H</td> </tr> <tr> <td>189KHz</td> <td>19_H</td> </tr> <tr> <td>250KHz</td> <td>13_H</td> </tr> </tbody> </table>	Baud rate	設定値	125KHz	27 _H	189KHz	19 _H	250KHz	13 _H
Baud rate	設定値									
125KHz	27 _H									
189KHz	19 _H									
250KHz	13 _H									

20.3.24 PSI5nRXSmSET — PSI5 受信スロット m 設定レジスタ (m = 1 ~ 8)

本レジスタは、受信スロットの設定をします。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス PSI5nRXS1SET : <PSI5n_base> + 0108_H, PSI5nRXS2SET : <PSI5n_base> + 010C_H,
PSI5nRXS3SET : <PSI5n_base> + 0110_H, PSI5nRXS4SET : <PSI5n_base> + 0114_H,
PSI5nRXS5SET : <PSI5n_base> + 0118_H, PSI5nRXS6SET : <PSI5n_base> + 011C_H,
PSI5nRXS7SET : <PSI5n_base> + 0120_H, PSI5nRXS8SET : <PSI5n_base> + 0124_H

リセット後の値 00A0 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SLTEN	—	—	—	—	PAS CMP	ERR DET	LENGTH				OFFSETCNT				
リセット後の値	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0
R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFFSETCNT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.33 PSI5nRXSmSET レジスタの内容

ビット位置	ビット名	機能
31	SLTEN	スロット許可 0 : スロット m 禁止 1 : スロット m 許可
30 ~ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	PASCMP	PAS 互換モードの設定 0 : PSI5 モードを選択 (LSB ファースト) 1 : PAS 互換モードを選択 (MSB ファースト)
25	ERRDET	エラー検出方式の設定 0 : 1 ビットパリティ 1 : 3 ビット CRC
24 ~ 20	LENGTH	データ長を指定します。
19 ~ 0	OFFSETCNT	オフセットタイマのカウント値を設定します。カウントが指定値までカウントしたあと PSI5 はスロット m のデータを受信を開始します。カウンタクロックには psi5_com_clk を使用します。 <ul style="list-style-type: none"> psi5_com_clk = 80MHz 時の設定例 スタート時間 : 44 μs psi5_com_clk : 80 MHz (T = 12.5 ns) オフセット値 : 44 μs/12.5 ns = 3520 = 0DC0_H OFFSETCNT 値 : 0DC0_H - 0001_H = 0DBF_H

注 意

- 非同期モード (PSI5nOPMCOMM.COMMODE = 000_B) では、PSI5nRXS1SET のみ使用可能です。
- PAS 互換モード (PASCMP = 1) のときは必ず ERRDET = 0 に設定してください。

20.3.25 PSI5nRXDATA — PSI5 受信データレジスタ

受信データレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0128_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.34 PSI5nRXDATA レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXDATA	受信データ スタートビットおよびCRC/パリティビットを含まない受信データを保存します。(受信データはLSBファーストで保存します) このレジスタはPSI5nRXMODST.RXDEXISTビット=1のときに有効になります。

20.3.26 PSI5nRXDST — PSI5 受信データステータスレジスタ

受信データの状態を示すレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 012C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RXCHKD		RXSLOTNUM				—	—	—	RXSTATUS	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.35 PSI5nRXDST レジスタの内容

ビット位置	ビット名	機能
30 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 8	RXCHKD	CRC/パリティの RAW データ パリティモードの場合、以下になります。 RXCHKD[2:1] : 00 _B RXCHKD[0] : パリティ値 このビットは PSI5nRXMODST.RXDEXIST ビット = 1 のときに有効になります。
7 ~ 4	RXSLOTNUM	受信した PSI5nRXDATA.RXDATA のスロット番号を示します。最初に受信したスロット番号は 1 となります。(スロット番号は 1 から 8 となります) このビットは PSI5nRXMODST.RXDEXIST ビット = 1 のときに有効になります。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	RXSTATUS	受信データのステータスを示します 0 : エラーなし 1 : CRC/パリティまたはシンタックスエラーが発生 シンタックスエラーには次の 3 種類があります - 規定外のスタートビット - PSI5RXSnSET.LENGTH で設定したデータより短いデータ (長いデータエラーは検出できません) - マンチェスターコードエラー

20.3.27 PSI5nRXDTIM — PSI5 受信データ IP タイマレジスタ

受信データ IPTIME の値を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0130_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXDTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXDTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.36 PSI5nRXDTIM レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXDTIM	最後のデータ (CRC/パリティ) を受信したときの PSI5nIPTIMER の値を示します。 このビットフィールドは PSI5RXMODST.RXDEXIST ビット = 1 のときに有効になります。

20.3.28 PSI5nRXDFIFO — PSI5 受信データ FIFO レジスタ

受信データ FIFO レジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0134_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXDST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXDST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.37 PSI5nRXDFIFO レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXDST	DMA で使用します データを受信した後 (PSI5nRXMODST.RXDEXIST= 1 : INT_RXDEXIST 割り込み発生) このレジスタをリードすることができます。 このレジスタには、PSI5nRXDATA、PSI5nRXDST、PSI5nRXDTIM の内容が含まれ FIFO として動作します。受信したデータは 3 回ずつリードしてください。 データ読み出しの順序は PSI5nRXDATA、PSI5nRXDST、PSI5nRXDTIM です。 PSI5nRXDFIFO と PSI5nRXDATA、PSI5nRXDST、PSI5nRXDTIM は排他的にアクセスしてください。

20.3.29 PSI5nRXMODST — PSI5 受信モジュールステータスレジスタ

受信モジュールのステータスレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0138_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RXD SCNF ERR	—	—	—	—	—	—	—	RXD ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RXD FOVF	—	—	—	—	—	—	—	RXD EXIST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.38 PSI5nRXMODST レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。
24	RXDSCNFERR	同期パルスとセンサデータ受信の衝突エラーを示します。 0: エラーは発生していない。 1: エラー発生した。 このビットがセットされると INT_RXDSCNFERR 割り込みが発生します。
23 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。
16	RXDERR	受信データのステータスを示します 0: エラーは発生していない 1: CRC/パリティまたは、シンタックスエラーが発生した。 このビットは PSI5nRXDST.RXSTATUS ビットによって設定されます。 このビットがセットされると INT_RXDERR 割り込みが発生します。
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。
8	RXDFOVF	受信データ FIFO オーバフローフラグ 0: オーバフローはしていない 1: オーバフローした。 このビットがセットされると INT_RXDFOVF 割り込みが発生します。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	RXDEXIST	受信データの有無を示します。 0: 受信データがない 1: 受信データがある PSI5nRXDATA、PSI5nRXDST、PSI5nRXDTIM レジスタがリードされるとこのビットがクリアされます このビットがセットされると INT_RXDEXIST 割り込みが発生します。

20.3.30 PSI5nRXMODSTCLR — PSI5 受信モジュールステータスクリアレジスタ

受信モジュールのステータスクリアレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 013C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RXDSCNFERR CLR	—	—	—	—	—	—	—	RXDERR CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RXDFOVF CLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

表 20.39 PSI5nRXMODSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	RXDSCNFERR CLR	PSI5nRXMODST.RXDSCNFERR ビットのクリア 0: 何も操作をしません。 1: RXDSCNFERR ビットをクリアします。 読み出し値は常に0になります。
23 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	RXDERRCLR	PSI5nRXMODST.RXDERR ビットのクリア 0: 何も操作をしません。 1: RXDERR ビットをクリアします。 読み出し値は常に0になります。
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	RXDFOVFCLR	PSI5nRXMODST.RXDFOVF ビットのクリア 0: 何も操作をしません。 1: RXDFOVF ビットをクリアします。 読み出し値は常に0になります。
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

20.3.31 PSI5nRXMODSTINTEN — PSI5 受信モジュールステータス割り込み許可レジスタ

受信モジュールのステータス割り込み許可レジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0140_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RXDSCNFERR INTEN	—	—	—	—	—	—	—	RXDERR INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RXDFOVF INTEN	—	—	—	—	—	—	—	RXDEXIST INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

表 20.40 PSI5nRXMODSTINTEN レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	RXDSCNFERR INTEN	INT_RXDSCNFERR 割り込み許可 0: 割り込み禁止 (マスク) 1: 割り込み可能
23 ~ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	RXDERR INTEN	INT_RXDERR 割り込み許可 0: 割り込み禁止 (マスク) 1: 割り込み可能
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	RXDFOVF INTEN	INT_RXDFOVF 割り込み許可 0: 割り込み禁止 (マスク) 1: 割り込み可能
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RXDEXIST INTEN	INT_RXDEXIST 割り込み許可 0: 割り込み禁止 (マスク) 1: 割り込み可能

20.3.32 PSI5nRXMSET — PSI5 受信メッセージチャンネル設定レジスタ

受信モジュールのチャンネル設定をするレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0180_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RXM8 EN	RXM7 EN	RXM6 EN	RXM5 EN	RXM4 EN	RXM3 EN	RXM2 EN	RXM1 EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.41 PSI5nRXMSET レジスタの内容

ビット位置	ビット名	機能
31 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	RXM8EN	スロット8のメッセージチャンネルの制御 0: メッセージチャンネル禁止 1: メッセージチャンネル許可
6	RXM7EN	スロット7のメッセージチャンネルの制御 0: メッセージチャンネル禁止 1: メッセージチャンネル許可
5	RXM6EN	スロット6のメッセージチャンネルの制御 0: メッセージチャンネル禁止 1: メッセージチャンネル許可
4	RXM5EN	スロット5のメッセージチャンネルの制御 0: メッセージチャンネル禁止 1: メッセージチャンネル許可
3	RXM4EN	スロット4のメッセージチャンネルの制御 0: メッセージチャンネル禁止 1: メッセージチャンネル許可
2	RXM3EN	スロット3のメッセージチャンネルの制御 0: メッセージチャンネル禁止 1: メッセージチャンネル許可
1	RXM2EN	スロット2のメッセージチャンネルの制御 0: メッセージチャンネル禁止 1: メッセージチャンネル許可
0	RXM1EN	スロット1のメッセージチャンネルの制御 0: メッセージチャンネル禁止 1: メッセージチャンネル許可

20.3.33 PSI5nRXMRXMSG — PSI5 受信メッセージ受信メッセージレジスタ

受信メッセージレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0184_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CONFI GBIT	—	—	—	—	—	—	—	SERIALID							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATAFIELD															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.42 PSI5nRXMRXMSG レジスタの内容

ビット位置	ビット名	機能
31	CONFIGBIT	受信シリアルデータフレームのコンフィグレーションビット 図 20.3 を参照してください。
30 ~ 24	予約ビット	リードした場合はリセット後の値が読めます。
23 ~ 16	SERIALID	受信シリアルデータフレームのシリアル ID 図 20.3 を参照してください。
15 ~ 0	DATAFIELD	受信シリアルデータフレームのデータフィールド 図 20.3 を参照してください。

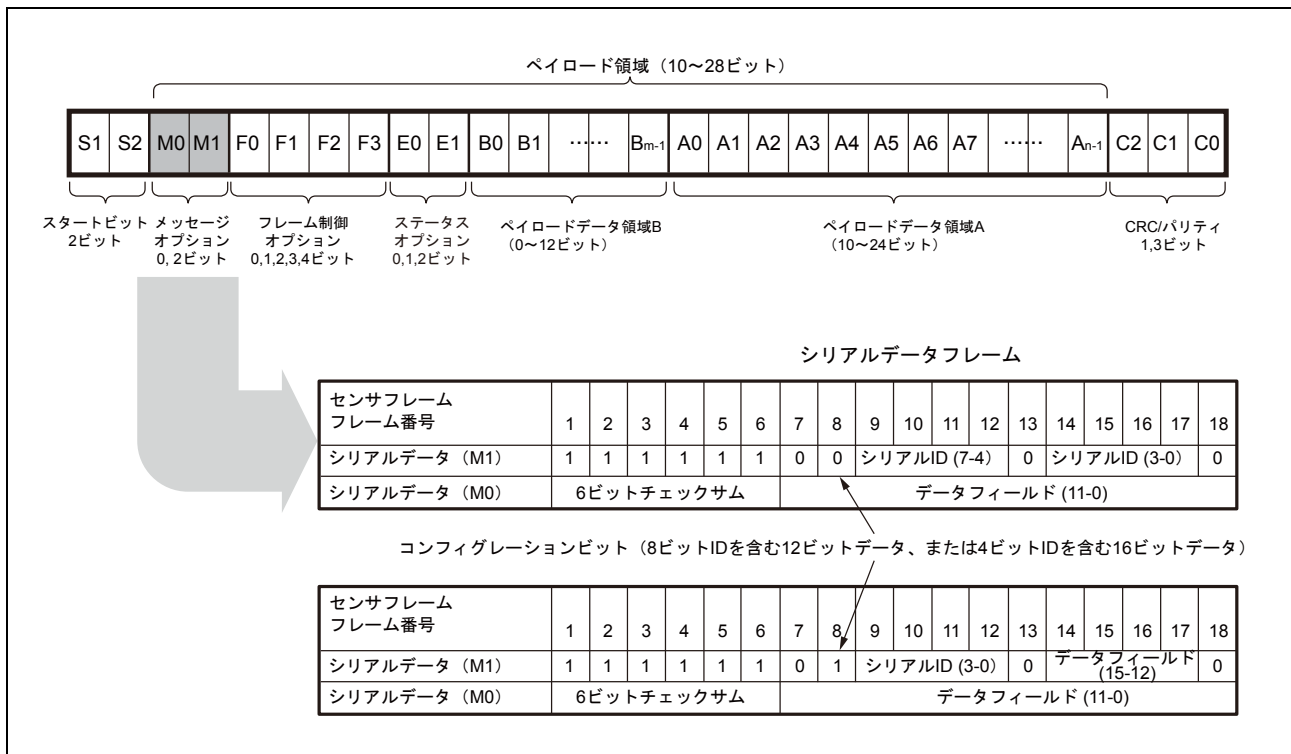


図 20.3 センサデータフレーム (メッセージチャネル) の 2 メッセージビットによって構成するシリアルデータフレーム

20.3.34 PSI5nRXMRXST — PSI5 受信メッセージチャネル受信ステータスレジスタ

受信メッセージチャネルの受信ステータスレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0188_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RXSYNC		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RXCRC					SLOTNUM					—	—	—	RXSTATUS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.43 PSI5nRXMRXST レジスタの内容

ビット位置	ビット名	機能
30 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。
18 ~ 16	RXSYNC	受信同期ビット Raw データ (センサフレームのフレーム番号 7、13、18) センサフレームについては、 図 20.3 を参照してください。
15、14	予約ビット	リードした場合はリセット後の値が読めます。
13 ~ 8	RXCRC	受信 CRC Raw データ
7 ~ 4	SLOTNUM	受信シリアルフレームのスロット番号
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	RXSTATUS	受信データのエラーステータスを示します。 0: エラーなし 1: CRC エラーまたは、シンタックスエラーが発生 RXSYNC = 000 _B のとき、受信同期ビットが 0 以外を受信した場合もシンタックスエラーとなります。

20.3.35 PSI5nRXMRXTIM — PSI5 受信メッセージチャネル受信タイムスタンプレジスタ

受信メッセージチャネル受信タイムスタンプの値を示すレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 018C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXMTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXMTIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.44 PSI5nRXMRXTIM レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXMTIM	最後のデータ（センサフレームのフレーム番号 18）を受信したときの PSI5nIPTIMER の値を示します。 センサフレームについては、 図 20.3 を参照してください。 このビットは、PSI5nRXMMST.RXMEXIST = 1 のときのみ有効です。

20.3.36 PSI5nRXMFIFO — PSI5 受信メッセージチャネル FIFO レジスタ

受信メッセージチャネル FIFO 情報を示します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0190_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXMFIFO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXMFIFO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.45 PSI5nRXMFIFO レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	RXMFIFO	データを受信した後 (PSI5nRXMMST.RXMEXIST= 1 : INT_RXMEXIST 割り込み発生) このレジスタをリードすることができます。 このレジスタには、PSI5nRXMRXMSG、PSI5nRXMRXST、PSI5nRXMTIM の内容が含まれ FIFO として動作します。受信したデータは 3 回ずつリードしてください。 データ読み出しの順序は PSI5nRXMRXMSG、PSI5nRXMRXST、PSI5nRXMTIM です。 PSI5nRXMFIFO と PSI5nRXMRXMSG、PSI5nRXMRXST、PSI5nRXMTIM は排他的にアクセスしてください。

20.3.37 PSI5nRXMMST — PSI5 受信メッセージチャンネルモジュールステータスレジスタ

受信メッセージチャンネルモジュールのステータスレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <PSI5n_base> + 0194_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RXM ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RXM FOVF	—	—	—	—	—	—	—	RXM EXIST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.46 PSI5nRXMMST レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。
16	RXMERR	受信メッセージエラー 0: エラーが発生していない 1: エラーが発生した このビットがセットされると INT_RXMERR 割り込みが発生します。
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。
8	RXMFOVF	受信メッセージ FIFO オーバフロー 0: オーバフローしていない 1: オーバフローした このビットがセットされると INT_RXMFOVF 割り込みが発生します。
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	RXMEXIST	受信シリアルデータフレームの有無を示します。 0: 受信シリアルデータがない 1: 受信シリアルデータがある PSI5nRXMRXMSG、PSI5nRXMRXST、PSI5nRXMTIM レジスタがリードされるとこのビットがクリアされます。 このビットがセットされると INT_RXMEXIST 割り込みが発生します。

20.3.38 PSI5nRXMMSTCLR — PSI5 受信メッセージチャネルモジュールステータスクリアレジスタ

受信メッセージチャネルモジュールステータスレジスタをクリアするレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 0198_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RXMERRCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RXMFOVCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

表 20.47 PSI5nRXMMSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	RXMERRCLR	PSI5nRXMMST.RXMERR ビットのクリア 0: 何も操作をしません。 1: RXMERR ビットをクリアします。 読み出し値は常に0になります。
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	RXMFOVCLR	PSI5nRXMMST.RXMFOVF ビットのクリア 0: 何も操作をしません。 1: RXMFOVF ビットをクリアします。 読み出し値は常に0になります。
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

20.3.39 PSI5nRXMMSTINTEN — PSI5 受信メッセージチャンネルモジュールステータス割り込み許可レジスタ

受信メッセージチャンネルモジュールの割り込みを制御するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5n_base> + 019C_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RXMERR INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RXMFOVF INTEN	—	—	—	—	—	—	—	RXMEXIST INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

表 20.48 PSI5nRXMMSTINTEN レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	RXMERR INTEN	INT_RXMERR 割り込みの許可 0: 割り込み禁止 (マスク) 1: 割り込み許可
15 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	RXMFOVF INTEN	INT_RXMFOVF 割り込みの許可 0: 割り込み禁止 (マスク) 1: 割り込み許可
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RXMEXIST INTEN	INT_RXMEXIST 割り込みの許可 0: 割り込み禁止 (マスク) 1: 割り込み許可

20.3.40 PSI5TSSEL — PSI5 タイムスタンプ機能モード選択レジスタ

タイムスタンプの設定をするレジスタです。

このレジスタは PSI5 が停止 (PSI5nCHCTRL.CHEN = 0) しているときに制御してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <PSI5_base> + 3000_H

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PSI5MS SEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 20.49 PSI5TSSEL レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PSI5MSSEL0	タイムスタンプモード選択 0: PSI51 から PSI50 へタイムスタンプのカウントアップタイミング、クリア信号を入力 1: PSI50 から PSI51 へタイムスタンプのカウントアップタイミング、クリア信号を入力

20.4 割り込み

PSi5 には 10 本の割り込みがあります。

表 20.50 PSi5 割り込み要因と対応レジスタ一覧

割り込み信号	機能	ソースレジスタ	割り込み許可レジスタ
		ビット	ビット
INT_SYNCED	同期終了割り込み	PSi5nTXST. SYNCED	PSi5nTXSTINTEN. SYNCEDINTEN
INT_SYNCST	同期スタート割り込み	PSi5nTXST. SYNCST	PSi5nTXSTINTEN. SYNCSTINTEN
INT_TXDEMPY	送信データエンプティ割り込み	PSi5nTXST. TXDEMPY	PSi5nTXSTINTEN. TXDEMPYINTEN
INT_RXDSCNFERR	同期パルス & データ受信コンフリクトエラー割り込み	PSi5nRXMODST. RXDSCNFERR	PSi5nRXMODSTINTEN. RXDSCNFINTEN
INT_RXDERR	受信データエラー割り込み	PSi5nRXMODST. RXDERR	PSi5nRXMODSTINTEN. RXDERRINTEN
INT_RXDFOVF	受信データ FIFO オーバフロー割り込み	PSi5nRXMODST. RXDFOVF	PSi5nRXMODSTINTEN. RXDFOVFINTEN
INT_RXDEXIST	受信データ存在割り込み	PSi5nRXMODST. RXDEXIST	PSi5nRXMODSTINTEN. RXDEXISTINTEN
INT_RXMFOVF	受信メッセージ FIFO オーバフロー割り込み	PSi5nRXMMST. RXMFOVF	PSi5nRXMMSTINTEN. RXMFOVFINTEN
INT_RXMERR	受信メッセージエラー割り込み	PSi5nRXMMST. RXMERR	PSi5nRXMMSTINTEN. RXMERRINTEN
INT_RXMEXIST	受信メッセージ存在割り込み	PSi5nRXMMST. RXMEXIST	PSi5nRXMMSTINTEN. RXMEXISTINTEN

PSi5 の割り込み信号と RH850/P1x との割り込みコントローラ INTC および DMA との関係を示します。

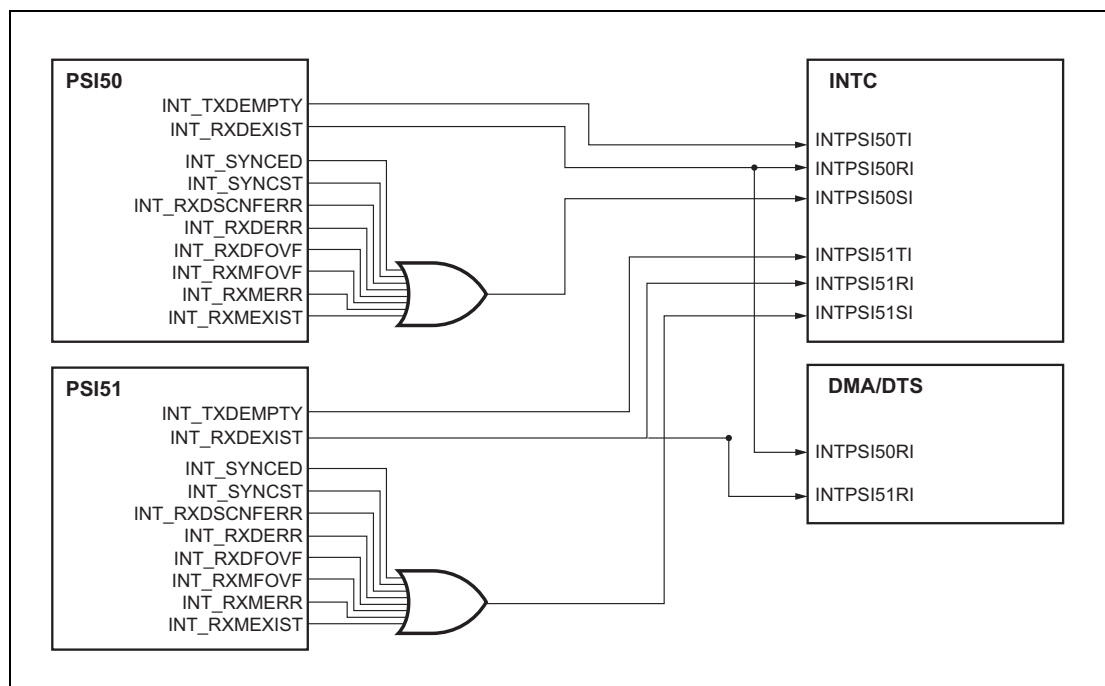


図 20.4 PSi5 割り込み信号

20.5 動作

20.5.1 動作モード設定

PSI5n の動作開始前に、センサの接続形態／動作モードなどの初期設定を行う必要があります。初期設定に必要な設定について説明します。

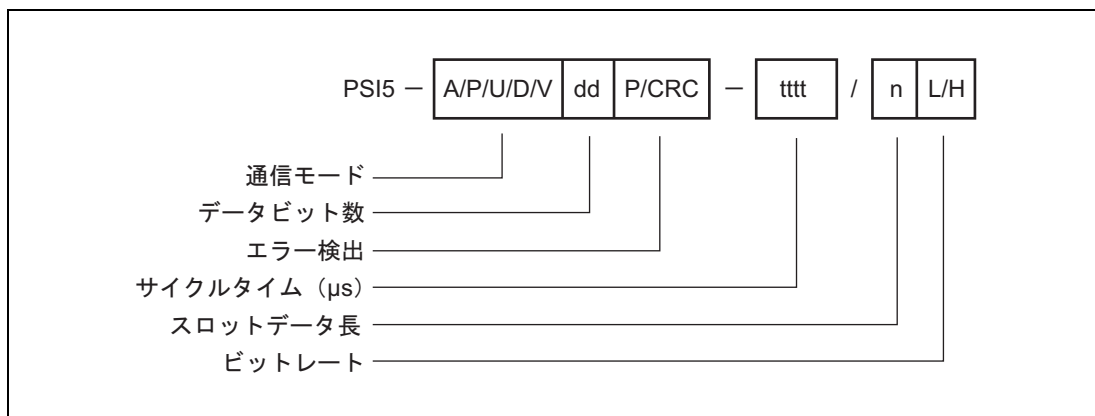


図 20.5 PSI5 動作モードの設定

表 20.51 動作モードの設定

項目		説明
通信モード	A	非同期モード
	P	同期パラレルバスモード
	U	同期ユニバーサルバスモード
	D	同期デジチェーンバスモード
	V	可変時間トリガ同期動作モード
データビット数	dd	PSI5nRXSmSET.LENGTH ビットで設定した各スロットのデータ長 (10 ビット～28 ビット)
エラー検出	P	1 パリティビット
	CRC	3 ビット CRC
サイクルタイム	tttt	サイクルタイム (可変時間トリガ同期動作モードでは許容される、最少サイクルタイム) (μs)
スロット数 / サイクル (n)	n	PSI5nRXMSET で使用するスロットを選択
ビットレート	L	125 kbps
	H	189 kbps

20.5.1.1 送受信モード設定

PSI5nOPMCOMM, PSI5nOPMBITRATE, PSI5nOPMCYCT へ、PSI5 センサのスペック、接続形態に対応した値に設定して下さい。

20.5.1.2 データ受信設定

RH850/P1x は、psi5_com_clk でデータ受信を行います。

ビットの判定は1ビットを16サンプリングすることで行います。

1ビット長は PSI5nRXSPLSET.SMPLPROD[7:0] の設定に依存します。

- PSI5nRXSPLSET.SMPLPROD[7:0]: サンプリング間隔を設定します。

psi5_com_clk でカウントした値を設定します。16倍サンプリング仕様です。

20.5.1.3 非同期モード初期設定

非同期モードでは、PSI5nRXS1SET のみ有効です。PSI5nRXS2SET ~ PSI5nRXS8SET は、SLTEN に1を書き込まないでください(無効として下さい)。

非同期モードでは、PSI5nRXS1SET の、SLTEN、PASCMP、ERRDET、LENGTH フィールドを設定して下さい。OFFSETCNT フィールドは無効です。

20.5.1.4 同期モード初期設定

同期モードでは、PSI5nRXS1SET ~ PSI5nRXS8SET の全フィールドを適切に設定して下さい。

PSI5nRXS1SET.OFFSETCNT、PSI5nRXS2SET ~ PSI5nRXS8SET.OFFSETCNT の推奨の設定値は、**図 20.6**、**図 20.7** に示す式で計算した値です。図中の t_{com_clk} は、 $psi5_com_clk$ の 1 サイクルの時間です。他の変数は、PSI5 規格の変数です。

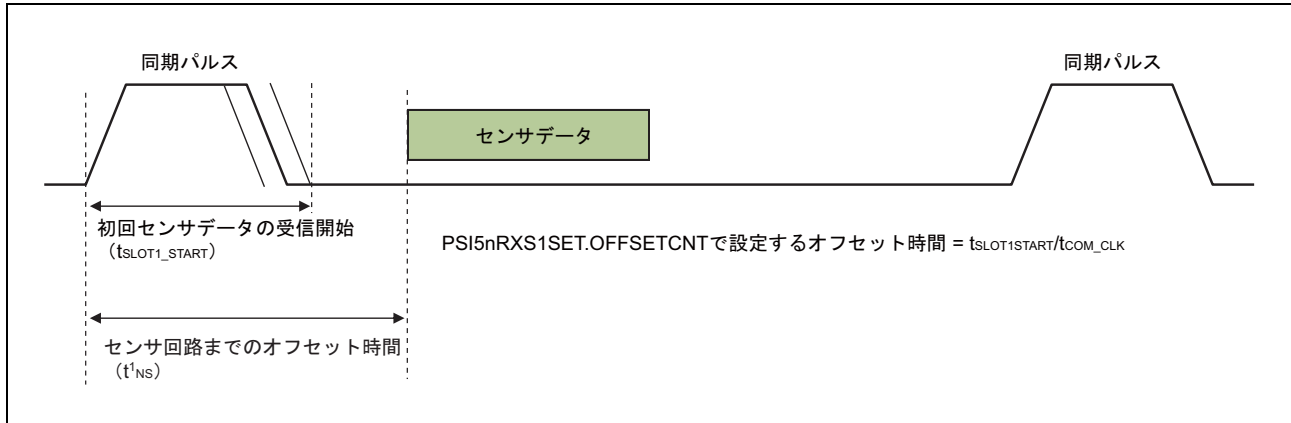


図 20.6 PSI5nRXS1SET.OFFSETCNT の設定例

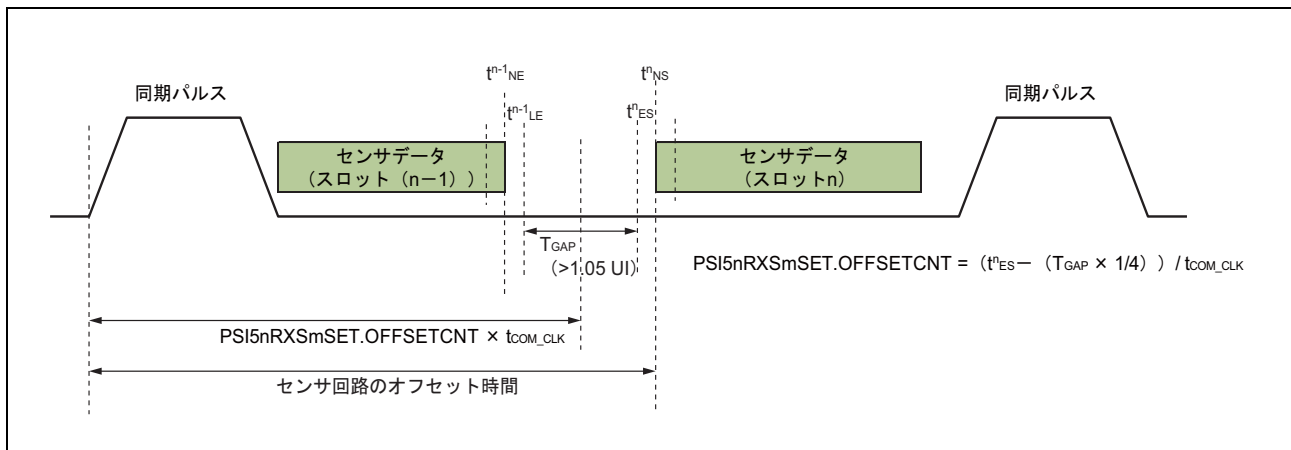


図 20.7 PSI5nRXSmSET.OFFSETCNT の設定例 (m = 2 ~ 8)

20.5.1.5 シリアルメッセージ受信設定

シリアルメッセージを受信する場合は、対応するスロットの PSI5nRXMSET.RXMmEN (m = 1-8) に 1 を書き込んで下さい。

20.5.1.6 非同期モード時初期設定

非同期モード時の送信レジスタは、PSI5nTXSETTING.DEFTXVAL フィールドを除き無効です。リセット後の値のまま使用して下さい。

規格では、非同期モード時の出力データの規格はありませんが、PSI5 では PSI5nTXSETTING.DEFTXVAL へ設定した値を、動作開始後に出力します。リセット後の値は 1 出力となっています。

20.5.1.7 同期モード時初期設定

PSI5nTXSETTING に、適切な値を設定して下さい。

PSI5nTXSETTING.DEFTXVAL は、データ送信を行っていない期間の同期パルスの値を設定します。Tooth GAP モード時は 1 に設定してください。パルス幅モード時は、規格に明記されていないため、システム設計者が定めた値を設定してください。

可変時間トリガ同期動作モード時は、ソフトウェアにて同期パルス出力のタイミングを指定します。同期パルスを発行する際には、PSI5nSYNCCTRL.VALTIMSYNC に 1 書き込みを行ってください。

センサに送信するデータフォーマットを、PSI5nTXDCTRL.FRMMFORMAT に設定して下さい。

20.5.1.8 タイムスタンプ機能設定

受信したデータ・メッセージの順序を把握するために、受信データにタイムスタンプを付加します。

タイムスタンプ機能は、PSI5 内でカウントアップタイミングを生成するマスタモードと、マスタからの入力信号でカウントするスレーブモードがあります。マスタモード時は、出力信号 psi5_ts_tick_out にカウントアップタイミングを出力します。スレーブモードでは、入力信号 psi5_ts_tick_in でカウントアップします。

タイムスタンプを使用する場合は、PSI5nIPTIMERCTRL.IPTIMEN に 1 を設定して下さい。マスタ、スレーブの指定は、PSI5nIPTIMERCTRL.MSTSLV で設定してください。

マスタモード時、カウントアップタイミングは、内部のボーレートカウンタの満了です。ボーレートカウンタの満了の値は、PSI5nOPMBITRATE.BITRATECNT の設定値です。

また、タイムスタンプのクリアは、マスタ・スレーブを問わず PSI5nIPTIMERCTRL.TSCLR に 1 書き込みを行う事で実行できます。マスタモード時は、出力信号 psi5_ts_clr_out にクリアタイミングを出力します。スレーブモードでは、マスタからの入力信号 psi5_ts_clr_in でタイムスタンプをクリアすることもできます。

(1) タイムスタンプモード時のマスタ/スレーブの設定

PSI50 と PSI51 はマスタモード/スレーブモードを選択できます。

マスタモード/スレーブモードの設定を次に示します。

表 20.52 マスタモード/スレーブモードの設定

PSI5TSSEL. PSI5MSSEL0 ビット	PSI50 の IPTIMERCTRL. MSTSLV ビット	PSI51 の IPTIMERCTRL. MSTSLV ビット	タイムスタンプモード		動作
			PSI50	PSI51	
1	1	0	PSI51 のマスタ	PSI50 のスレーブ	PSI50 がマスタで PSI51 がスレーブ
1	1	1	マスタ (スレーブなし)	マスタ (スレーブなし)	PSI50/PSI51 はスレーブなしの マスタモード
0	0	1	PSI51 のスレーブ	PSI50 のマスタ	PSI51 がマスタで PSI50 がスレーブ
0	1	1	マスタ (スレーブなし)	マスタ (スレーブなし)	PSI50/PSI51 はスレーブなしの マスタモード
上記以外			設定禁止		

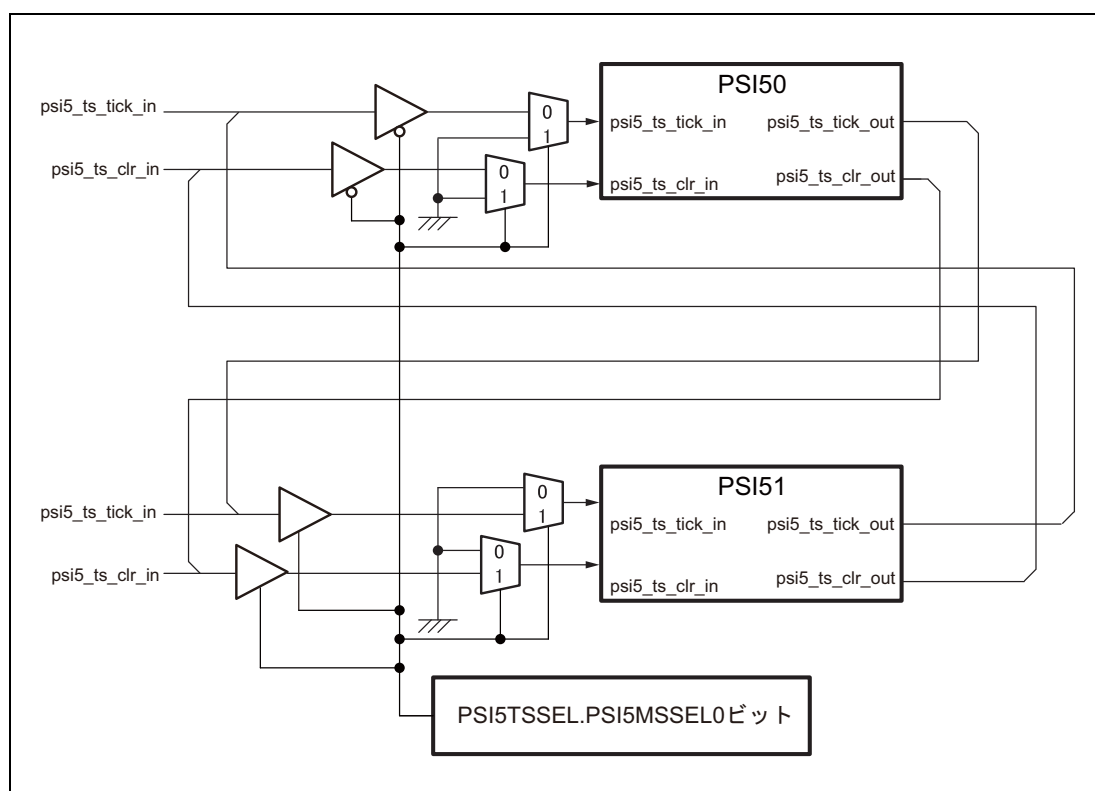


図 20.8 PSI50 と PSI51 との関係

20.5.2 動作フロー

20.5.2.1 動作開始フロー

初期化から動作開始のフローを図 20.9 に示します。センサへのリセット・リセット解除は、PHY が行う動作ですので、PHY へ指示を出して下さい。

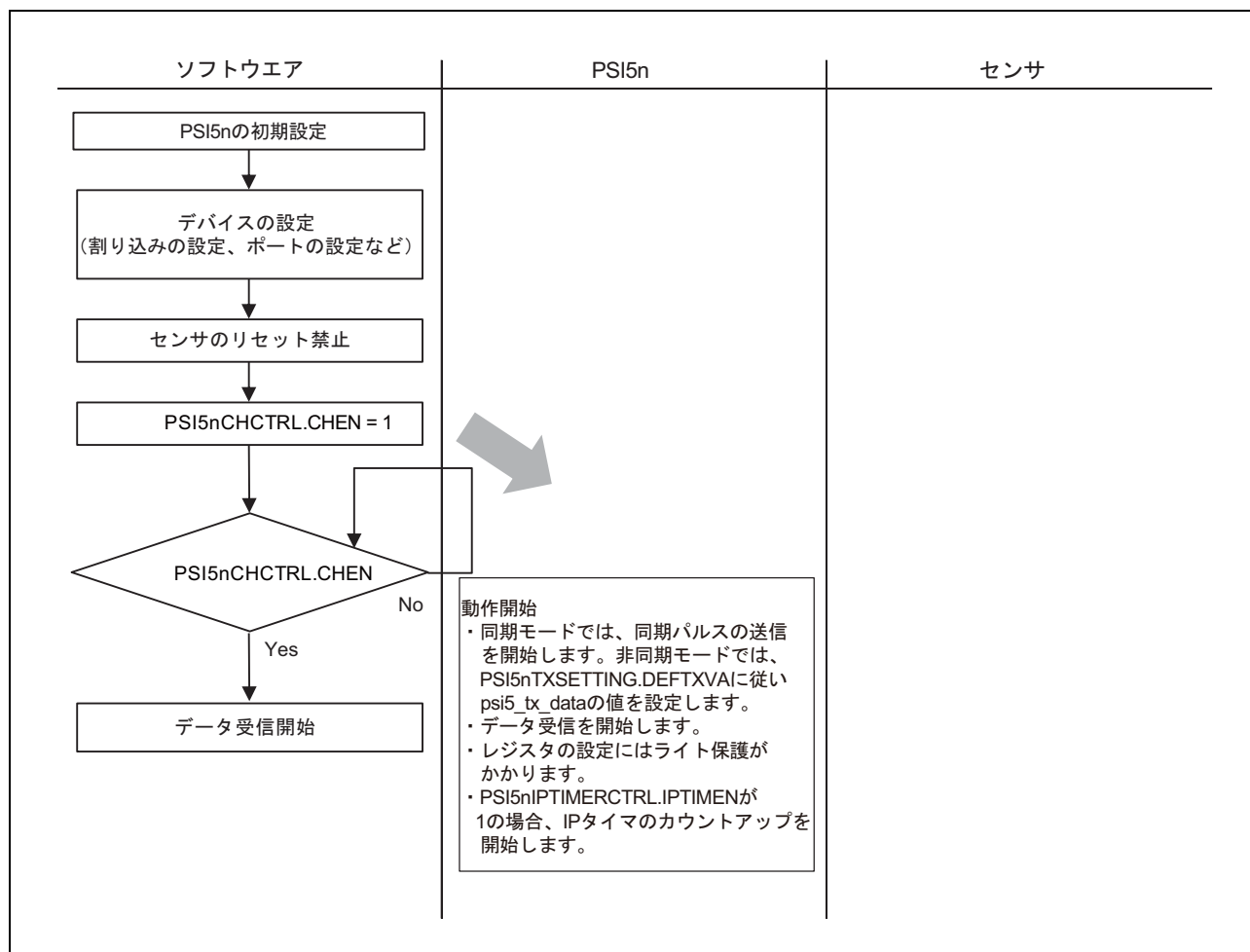


図 20.9 動作開始フロー

20.5.2.2 データ受信フロー

データ受信フローを図 20.10 に示します。図中の割り込みイネーブル (PSi5nRXMODSTINTEN.RXDEXISTINTEN = 1) は、受信検出をポーリングで行っている場合や、常にイネーブルにしている場合は不要です (本節以降、他の割り込みイネーブルも同様です)。

受信データは、スタートビット、CRC/パリティビットを除き、PSi5nRXDATA.RXDATA から読み出せます。

図 20.10 の FIFO は、受信データと、そのステータスを保持し、レジスタが空である場合に、FIFO からレジスタに受信データをセットします。このとき、ソフトウェアの読み出しが遅く、受信データがオーバーフローする場合は、FIFO を最新データで上書きします。

FIFO からデータ読み出し時に PSi5nRXMDST.RXDEXIST=0 になっていることを確認してください。PSi5nRXMDST.RXDEXIST=1 の場合受信 FIFO 内に読み出していないデータが残っていることを示しますので、再度読み出し処理を行ってください。

データ受信中に、スタートビットエラー、マンチェスターコードエラー、CRC エラー、パリティエラーのいずれかが起きると、PSi5nRXDST.RXSTATUS が 1 となる場合があります。すなわち、1 フレーム受信中に複数回エラーを検出する場合があります、エラー発生たびに受信データ FIFO が更新される場合があります。

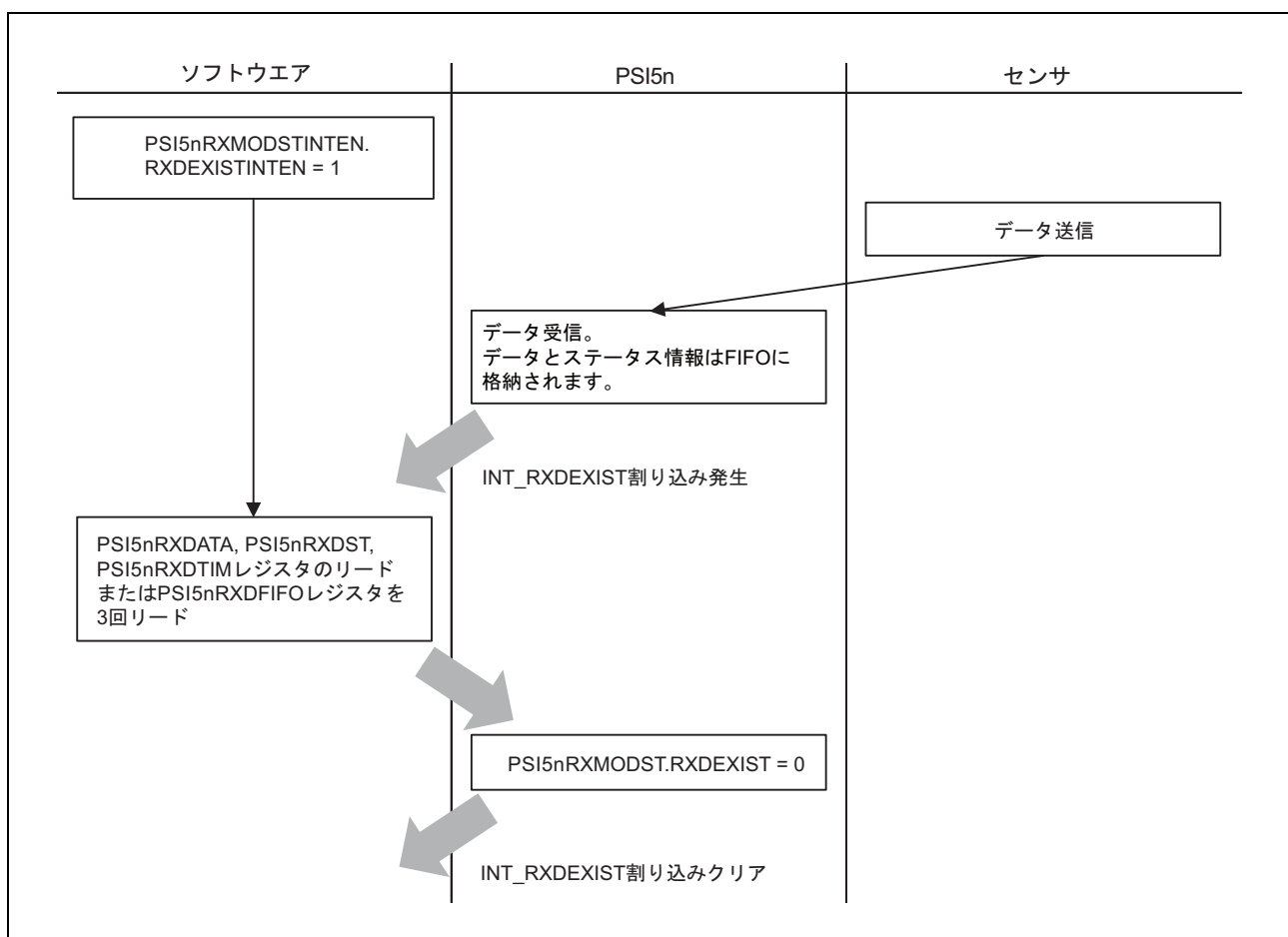


図 20.10 データ受信フロー

20.5.2.3 データ送信フロー

図 20.11 にデータ送信フローを示します。PSI5nTXDCTRL.FRMFORMAT ビットで設定した送信フレームフォーマットに応じて、PSI5nTXDATA.TXDATA に書き込む送信データの配置が異なります。(表 20.31 を参照)。スタートビット、同期ビット、CRC ビットを含まないデータを書き込んで下さい(自動で付加されます)。

PSI5nTXDCTRL.FRMFORMAT の設定は、最初に一度設定すると、その後、再度設定する必要はありません。

送信は、FIFO を持たず、逐次処理となります。送信バッファにデータを書き込む場合はバッファエンプティの状態 (PSI5nTXST.TXDEMPTY = 1) で書き込んでください。送信バッファに書き込みデータがある (PSI5nTXST.TXDEMPTY = 0) とき、送信バッファへデータを書き込んだ場合、送信されるデータが不定となります。

送信完了後に PSI5nTXST.TXDEMPTY が 1 になるのは、送信バッファから最後のビットを送信し始めるときとなります。

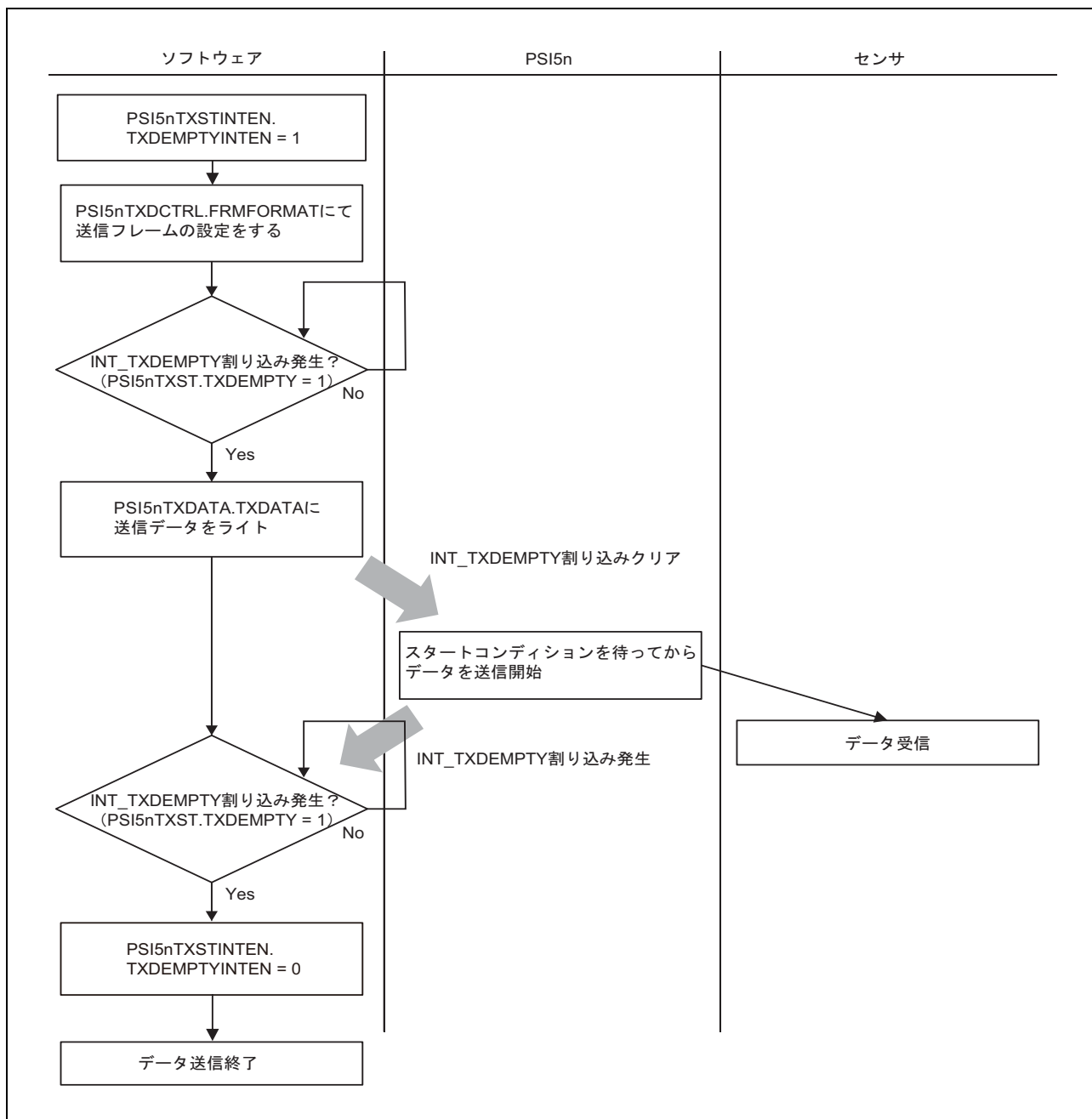


図 20.11 データ送信フロー

20.5.2.4 シリアルメッセージ受信フロー

図 20.12 にシリアルメッセージ受信フローを示します。

受信したシリアルメッセージは、PSI5nRXMRXMSG.RXDATA から読み出せます。

図 20.12 では、FIFO がシリアルメッセージと、そのステータスを保持し、レジスタが空である場合に、FIFO からレジスタに受信データをセットします。このとき、ソフトウェアの読み出しが遅く、受信データがオーバーフローする場合は、FIFO を最新データで上書きします。

FIFO からデータ読み出し時に PSI5nRXMMST.RXMEXIST = 0 になっていることを確認してください。PSI5nRXMMST.RXMEXIST = 1 の場合、FIFO 内に読み出していないデータが残っていることを示しますので、再度読み出し処理を行ってください。

メッセージのスタートビット検出後 (M1 (フレーム番号) = 11111_B 受信後)、CRC エラー、受信データエラーのいずれかが起きると、PSI5nRXMRXST.RXSTATUS が 1 となります。この場合、受信メッセージの扱いは、システム依存となります。受信データエラー時は、そのデータまでのメッセージが、PSI5nRXMRXMSG の LSB 側から順にデータが格納されています。

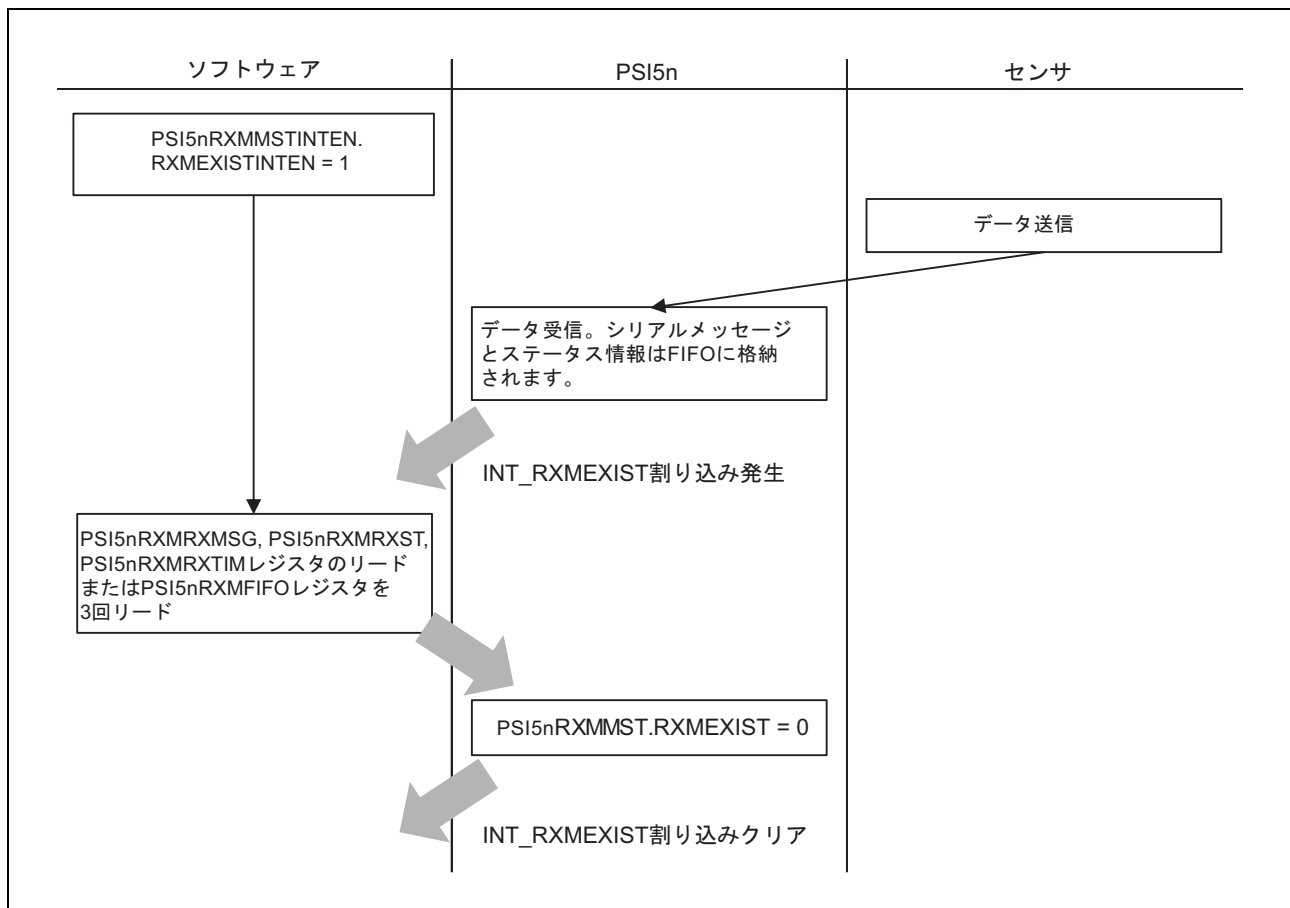


図 20.12 シリアルメッセージ受信フロー

20.5.2.5 受信データのパリティ / CRC エラー

受信データのパリティ / CRC エラーを検出した際、エラーフラグ (PSI5nRXMODST.RXDERR、PSI5nRXMMST.RXMERR) がセットされます。エラー発生の有無にかかわらず、受信動作が行われます。

エラーフラグのクリアはそれぞれ PSI5nRXMODSTCLR.RXDERRCLR、PSI5nRXMMSTCLR.RXMERRCLR で行ってください。

20.5.2.5.1 非同期モード / PAS 互換モード時のエラー検出後の動作

PSI5 の非同期モードおよび PAS 互換モードを使用中に外来ノイズなどの影響によりデータ受信中マンチェスターコードエラーを受け取ると、受信中のデータを受信完了と見なし、パリティ / CRC エラーをセットして、受信 FIFO に格納します。一度マンチェスターコードエラーが生じて、すぐに次のデータ受信を開始します。この仕様のため、受信データの途中の外来ノイズで、1 ビットだけマンチェスターコードエラーが起きたとしても、後続のデータをスタートビットと見なし、受信を開始します。この場合、複数のマンチェスターコードエラーが起き、受信完了割り込みが多発する事があります。この場合、最大で、データのビット数分だけ、エラーが連続して起こります。

これにより、オーバフローが発生する可能性があります。システム設計時に想定したデータ取り込みを行っているにもかかわらず、オーバフローが発生した場合はノイズ等による通信異常が発生している可能性があります。

同期モード時は、スロット n 受信中にマンチェスターコードエラーが起きた場合、スロット n+1 まで、データ受信を停止します。このため、スロット n 中に、再度エラーが起きたり、再度データが送られてきても、無視します。

20.5.3 PAS 互換モード

RH850/P1x は、PAS 互換モードに対応しています。RH850/P1x がサポートする PAS 互換モードを、表 20.7 に示します。

PAS 互換モード時は、PSI5nRXS1SET.PASCMP を 1 に設定してください。このとき、PSI5nRXS1SET.ERRDET へは 0 (パリティ) を設定してください

20.5.4 ボーレート

通信クロックは psi5_com_clk の 1 周期を $1 \sim 2^{16}$ 分周で生成します。

$$1 \text{ ビット周期波形} = (\text{PSI5nOPMBITRATE.BITRATECNT で設定した値}) / \text{psi5_com_clk}$$

$$\text{ボーレート} = 1/1 \text{ ビット周期波形}$$

ボーレートの設定例を次に示します。

表 20.53 ボーレート設定例

ボーレート [kbps]	psi5_com_clk		PSI5nOPMBITRATE. BITRATECNT で設定した値	ビットタイム [μs]
	周波数 [MHz]	周期 [ns]		
125	80	12.5	29F _H	8.4
189	80	12.5	1BC _H	5.57
250	80	12.5	14F _H	4.2

第21章 ウィンドウウォッチドッグタイマ (WDTA)

本章では、ウィンドウウォッチドッグタイマ (WDTA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、WDTA の機能、レジスタについて説明します。

21.1 RH850/P1x WDTA の特長

21.1.1 ユニット数とチャンネル数

本製品は、以下のユニット数の WDTA を搭載しています。

表 21.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	1	
名称	WDTA _n (n = 0)	

表 21.2 WDTA のユニット構成とチャンネルの対応

ユニット名 WDTA _n	ユニット チャンネル数	RH850/P1x 100pin (1ch)	RH850/P1x 144pin (1ch)
WDTA0	1	○	○

備考 チャンネル名はユニット名と同じです。

表 21.3 添字

添字	意味
n	本章では、ウィンドウウォッチドッグタイマの各ユニットを「n」で識別します。たとえば、WDTA _n イネーブルレジスタ (WDTA _n WDTE) (n = 0) のように記述しています。

21.1.2 レジスタベースアドレス

WDTA_n のベースアドレスを以下の表に示します。

WDTA_n のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 21.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<WDTA0_base>	FFD7 4000 _H

21.1.3 クロック供給

WDTAn のクロック供給を以下の表に示します。

表 21.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
WDTA0	PCLK	高速周辺クロック CLK_HSB
	WDTATCKI	高速モード： 高速内蔵発振回路 (HS IntOSC) : 8 MHz 低速モード： 高速内蔵発振回路 (HS IntOSC) /32 : 250 kHz

21.1.4 割り込み要求

WDTAn の割り込み要求を以下の表に示します。

表 21.6 割り込み要求

ユニット割り込み信号	概要	割り込み名称	DMA/DTS トリガ番号
WDTA0			
INTWDTAn	WDTA0 75% 割り込み	9	—

21.1.5 リセット要因

WDTAn のリセット要因を以下に示します。WDTAn は以下のリセット要因で初期化されます。

表 21.7 リセット要因

ユニット名	リセット要因
WDTA0	リセットコントローラ SYSRES

21.2 概要

21.2.1 機能概要

WDTA には次の機能があります。

- 起動オプションによるリセット解除後の動作モード選択

リセット後のカウント開始・停止、カウンタ、オーバフロー時間の設定、VAC 機能の有効・無効の設定、クロックモードが選択できます。WDTA の起動オプションを「**表 21.8 WDTA の起動オプション**」に示します。

- WDTA トリガ機能

WDTA は WDTA トリガレジスタへの起動コード書き込みにより、WDTA の起動およびカウンタをリスタートします。起動コードには、固定起動コードまたは可変起動コード (VAC 機能) があります。可変起動コードでは、WDTA トリガレジスタに前回と異なる値 (可変値) の書き込みでカウンタをリスタートします。

- 75%割り込み要求信号

オーバフローインターバル時間の 75%に達した時に割り込み要求信号を発生することができます (WDTAnMD.WDTAnWIE により有効無効が可能)。

- ウィンドウ機能

WDTA トリガレジスタの書き込み有効期間 (ウィンドウオープン期間) を設定することができます。ウィンドウオープン期間以外で WDTA トリガレジスタに書き込みを行うとエラーが発生します。

- WDTA エラー検出機能

エラー検出時はエラー信号 WDTAnTERR が発生します。エラー信号 WDTAnTERR は ECM モジュールと接続しています。

エラー検出要因は「**21.5.3 WDTA エラー検出**」を参照してください。

表 21.8 WDTA の起動オプション

起動オプション	機能	説明	オプションバイト
OPWDRUN	スタートモードの設定	スタートモードを指定します。 0 : ソフトウェアトリガスタートモード 1 : デフォルトスタートモード 詳細は「 21.5.1 リセット解除後の WDTA 」を参照してください。	OPBT0.OPBT0[31]
OPWDOVF[2:0]	オーバフローインターバル時間リセット値の設定	オーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。	OPBT0.OPBT0[27:25]
OPWDVAC	可変起動コードの選択	カウンタオーバフローを回避するためのカウンタリスタートトリガを発生させるトリガレジスタを指定します。 0 : WDTAnWDTE (固定) 1 : WDTAnEVAC (可変) WDTAnWDTE を選択した場合、このレジスタへの書き込み (起動コード) は、AC _H 固定です。WDTAnEVAC を選択した場合、このレジスタへの書き込みは、可変値となります。詳細は、「 21.5.2 WDTA トリガ 」「 21.5.2.1 VAC 機能使用時の起動コードの計算 」を参照してください。	OPBT0.OPBT0[22]
OPWDMDS	クロックモードの選択	WDTAn のカウンタクロックソースの選択を行います。 0 : 高速モード (高速内蔵発振 : 8 MHz) 1 : 低速モード (高速内蔵発振 /32 : 250 kHz)	OPBT0.OPBT0[21]

21.2.2 ブロック図

WDTA の主な構成要素を「図 21.1 WDTA のブロック図」に示します。

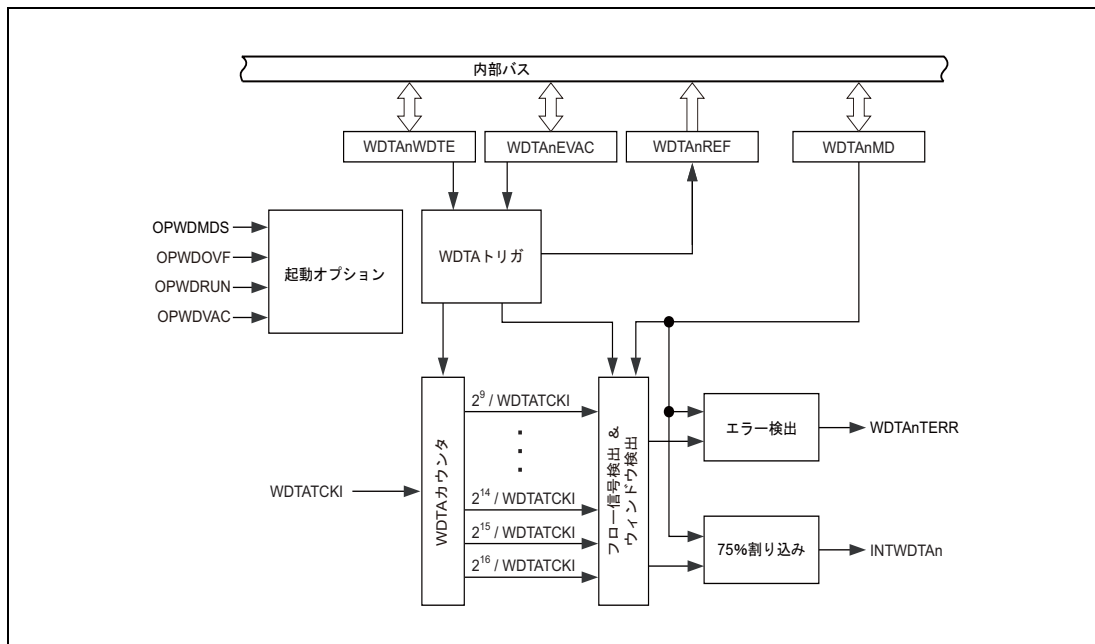


図 21.1 WDTA のブロック図

21.3 レジスタ

21.3.1 レジスタ一覧

WDTA のレジスタ一覧を以下の表に示します。

<WDTAn_base> は「**21.1.2 レジスタベースアドレス**」を参照してください。

表 21.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
WDTAn	WDTA イネーブルレジスタ	WDTAnWDTE	<WDTAn_base> + 0000 _H
WDTAn	WDTA イネーブル VAC レジスタ	WDTAnEVAC	<WDTAn_base> + 0004 _H
WDTAn	WDTA 基準値レジスタ	WDTAnREF	<WDTAn_base> + 0008 _H
WDTAn	WDTA モードレジスタ	WDTAnMD	<WDTAn_base> + 000C _H

21.3.2 WDTAnWDTE — WDTA イネーブルレジスタ

このレジスタは、VAC 機能を使用していない場合（起動オプション OPWDVAC = 0）の WDTA トリガレジスタです。

AC_H を書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート/リスタートします。詳細は「**21.5.2 WDTA トリガ**」を参照してください。

このレジスタの動作は、起動オプション（OPWDVAC）の設定によって異なります。「**表 21.12 WDTAnWDTE の動作**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 0000_H

リセット後の値 起動オプション（OPWDRUN, OPWDVAC）により異なります。「**表 21.11 WDTAnRUN のリセット後の値**」を参照してください。
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	WDTAnRUN[7:0]							
リセット後の値		0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.10 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	WDTAnRUN [7:0]	固定起動コード（AC _H ）を書き込むことにより WDTA トリガを発生し、WDTAn カウントのスタート/リスタートを制御します。AC _H 以外の値を書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止する事はできません。リードした場合、およびライトする場合は、「 表 21.12 WDTAnWDTE の動作 」を参照してください。

WDTAnRUN7 ビットは、VAC 機能が無効（OPWDVAC = 0）の場合のみ有効です。起動オプションによる WDTAnRUN7 ビットのリセット後の値を**表 21.11**に示します。

表 21.11 WDTAnRUN のリセット後の値

起動オプション		スタートモード	WDTAnRUN7 のリセット後の値
OPWDVAC	OPWDRUN		
0	1	デフォルトスタート	1
	0	ソフトウェアトリガスタート	0

OPWDVAC 設定による WDTAnWDTE へのリード/ライトアクセス動作を「**表 21.12 WDTAnWDTE の動作**」に示します。

表 21.12 WDTAnWDTE の動作

OPWDVAC	説明	WDTAnWDTE	
		リード時	ライト時
0	VAC 機能無効 WDTAnWDTE 有効	2C _H が読めます（ソフトウェアトリガスタートモード、WDTAn 起動前の場合）。 AC _H が読めます（WDTAn 起動後）。	WDTA トリガ AC _H ^{注1} を書いてください。
1	VAC 機能有効 WDTAnWDTE 無効	2C _H が読めます。	ライトは無効です。

注 1. これ以外の値を書き込んだ場合、エラーが発生します。

21.3.3 WDTAnEVAC — WDTA イネーブル VAC レジスタ

このレジスタは、VAC 機能を使用している場合（起動オプション OPWDVAC = 1）の WDTA トリガレジスタです。

正しい起動コードを書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート/リスタートします。詳細は「**21.5.2 WDTA トリガ**」を参照してください。VAC 機能使用時の起動コードは、「**21.5.2.1 VAC 機能使用時の起動コードの計算**」を参照してください。

このレジスタの動作は、起動オプション（OPWDVAC）の設定によって異なります。「**表 21.15 WDTAnEVAC の動作**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 0004H

リセット後の値 起動オプション（OPWDRUN, OPWDVAC）により異なります。「**表 21.14 WDTAnEVAC7 のリセット後の値**」を参照してください。
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	WDTAnEVAC[7:0]							
リセット後の値		0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.13 WDTAnEVAC レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	WDTAnEVAC[7:0]	可変起動コードを書き込むことにより WDTA トリガを発生し、WDTAn カウンタのスタート/リスタートを制御します。誤った起動コードを書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。リードした場合、およびライトする場合は、「 表 21.15 WDTAnEVAC の動作 」を参照してください。

WDTAnEVAC7 ビットは、VAC 機能が有効（OPWDVAC = 1）の場合のみ有効です。起動オプションによる WDTAnEVAC7 ビットのリセット後の値を**表 21.14**に示します。

表 21.14 WDTAnEVAC7 のリセット後の値

起動オプション		スタートモード	WDTAnEVAC7 のリセット後の値
OPWDVAC	OPWDRUN		
1	1	デフォルトスタート	1
	0	ソフトウェアトリガスタート	0

OPWDVAC 設定による WDTAnEVAC へのリード/ライトアクセス動作を表 21.15 に示します。

表 21.15 WDTAnEVAC の動作

OPWDVAC	説明	WDTAnEVAC	
		リード時	ライト時
0	VAC 機能無効 WDTAnEVAC 無効	2C _H が読めます。	ライトは無効です。
1	VAC 機能有効 WDTAnEVAC 有効	2C _H が読めます (ソフトウェアトリガスタートモード、WDTAn 起動前の場合)。 最後に書き込まれた可変起動コードの値が読めます (WDTAn 起動後)。	可変起動コード ^{注1} を書いてください。 詳細は「21.5.2.1 VAC 機能使用時の起動コードの計算」を参照してください。

注 1. これ以外の値を書き込んだ場合、エラーが発生します。

21.3.4 WDTAnREF — WDTA 基準値レジスタ

このレジスタは、VAC 機能の起動コードを求めるための基準値が格納されます。トリガ動作ごとに自動的に更新されます。詳細は「21.5.2.1 VAC 機能使用時の起動コードの計算」を参照してください。

VAC 機能が無効の場合 (OPWDVAC = 0)、このレジスタを読み出すと 00_H を返します。

アクセス 8 ビット単位でリード可能です。

アドレス <WDTAn_base> + 0008_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	WDTAnREF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.16 WDTAnREF レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	WDTAnREF [7:0]	VAC 機能の起動コードを求めるための基準値

21.3.5 WDTAnMD — WDTA モードレジスタ

オーバフローインターバル時間、75% 割り込み許可/禁止、およびウィンドウオープン期間を指定します。

このレジスタの値は、リセット解除後、最初の WDTA トリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガレジスタへの書き込みで有効になります。

最初の WDTA トリガ発生後に、このレジスタの値を変更するとエラーが発生しますが、同じ値を書き込んだ場合はエラーは発生しません。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <WDTAn_base> + 000C_H

リセット後の値 起動オプション (OPWDOVF[2:0]) により異なります。「表 21.8 WDTA の起動オプション」を参照してください。
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	WDTAnOVF[2:0]			WDTAnWIE	—	WDTAnWS[1:0]	
リセット後の値	0	注1	注1	注1	0	1	1	1
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. WDTAnOVF[2:0] のリセット後の値は、起動オプション OPWDOVF[2:0] により設定可能です。

表 21.17 WDTAnMD レジスタの内容

ビット位置	ビット名	機能																																				
7	予約ビット	ライト時はリセット後の値を設定してください。																																				
6 ~ 4	WDTAnOVF [2:0]	<p>オーバフローインターバル時間を選択します。</p> <table border="1"> <thead> <tr> <th>WDTAnOVF2</th> <th>WDTAnOVF1</th> <th>WDTAnOVF0</th> <th>オーバフローインターバル時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table> <ul style="list-style-type: none"> WDTATCKI 周波数は起動オプション OPBT0[21] により次の二つより選択可能です。 <ul style="list-style-type: none"> 高速モード (高速内蔵発振 : 8 MHz) 低速モード (高速内蔵発振 /32 : 250 kHz) 	WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフローインターバル時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフローインターバル時間																																			
0	0	0	2 ⁹ / WDTATCKI																																			
0	0	1	2 ¹⁰ / WDTATCKI																																			
0	1	0	2 ¹¹ / WDTATCKI																																			
0	1	1	2 ¹² / WDTATCKI																																			
1	0	0	2 ¹³ / WDTATCKI																																			
1	0	1	2 ¹⁴ / WDTATCKI																																			
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
3	WDTAnWIE	75% 割り込み要求 INTWDTAn の有効/無効 0 : INTWDTAn 無効 1 : INTWDTAn 有効																																				
2	予約ビット	ライト時はリセット後の値を設定してください。																																				
1、0	WDTAnWS[1:0]	<p>ウィンドウオープン期間を選択します。</p> <table border="1"> <thead> <tr> <th>WDTAnWS1</th> <th>WDTAnWS0</th> <th>ウィンドウオープン期間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>25%</td> </tr> <tr> <td>0</td> <td>1</td> <td>50%</td> </tr> <tr> <td>1</td> <td>0</td> <td>75%</td> </tr> <tr> <td>1</td> <td>1</td> <td>100%</td> </tr> </tbody> </table>	WDTAnWS1	WDTAnWS0	ウィンドウオープン期間	0	0	25%	0	1	50%	1	0	75%	1	1	100%																					
WDTAnWS1	WDTAnWS0	ウィンドウオープン期間																																				
0	0	25%																																				
0	1	50%																																				
1	0	75%																																				
1	1	100%																																				

21.4 割り込み要因

WDTA は、WDTA カウンタ値の状態や WDTA 関連レジスタへの不正なアクセスを検出して、割り込み要求を発生します。WDTA の割り込み要求を以下に示します。

(1) INTWDTAn (WDTA タイマカウンタ 75% 割り込み要求)

WDTA タイマのカウンタオーバーフロー時間の 75% で割り込み要求信号を発生します。WDTA モードレジスタ WDTAnMD により、割り込み要求信号の有効 / 無効設定が可能です。

(2) WDTAnTERR (WDTA エラー信号)

WDTA エラーの検出により、エラー信号 WDTAnTERR を発生します。WDTAnTERR 信号は ECM モジュールと接続されています。

21.5 機能

21.5.1 リセット解除後の WDTA

21.5.1.1 スタートモード

リセット解除後の WDTAn の開始には、ソフトウェアスタートモードとデフォルトスタートモードがあります。スタートモードは起動オプションで選択できます。各スタートモードを表 21.18 に示します。

表 21.18 スタートモードの選択

起動オプション OPWDRUN	スタートモード	説明
0	ソフトウェアトリガスタートモード	<ul style="list-style-type: none"> リセット解除後、WDTA のカウンタは停止 (0000_H) WDTA トリガレジスタへの起動コードの書き込みでスタートします。
1	デフォルトスタートモード	リセット解除後、WDTA のカウンタを開始します

21.5.1.2 カウントクロックの選択

カウントクロック WDTATCKI は、起動オプションで選択することができます。

カウントクロック WDTATCKI の選択を表 21.19 に示します。

表 21.19 カウントクロックの選択

起動オプション OPWDMDS	モード	カウントクロック
0	高速モード	高速内蔵発振 (8 MHz)
1	低速モード	高速内蔵発振 /32 (250 kHz)

21.5.1.3 リセット解除後の WDTA の設定

リセット解除後の WDTA の設定を表 21.20 に示します。

表 21.20 リセット解除後の WDTA の設定

機能	設定	備考
スタートモード	起動オプションで指定	WDTA モードレジスタ WDTAnMD 設定により、1度のみ変更が可能です。
VAC 機能		
カウントクロックの選択		
WDTA オーバフローインターバル時間	起動オプションで設定	
75% 割り込みモード	75% 割り込み無効	
エラー時の動作	エラー信号 WDTAnTERR 発生	
ウィンドウオープン期間	100%	

WDTA モードレジスタ WDTAnMD の設定は最初の WDTA トリガ (WDTA トリガレジスタ WDTAnWDTE、WDTAnEVAC への起動コード書き込み) で有効になります。WDTAnMD レジスタの設定を変更する場合、WDTA トリガ前に行ってください。

また、WDTAnMD による WDTA 設定は 1 度のみです。WDTA トリガ後に WDTAnMD の設定値を変更した場合、エラーが発生します。同じ値を設定した場合はエラーは発生しません。

21.5.1.4 デフォルトスタートモードのタイミング

デフォルトスタートモードのタイミングと WDTA 設定への変更を図 21.2 に示します。

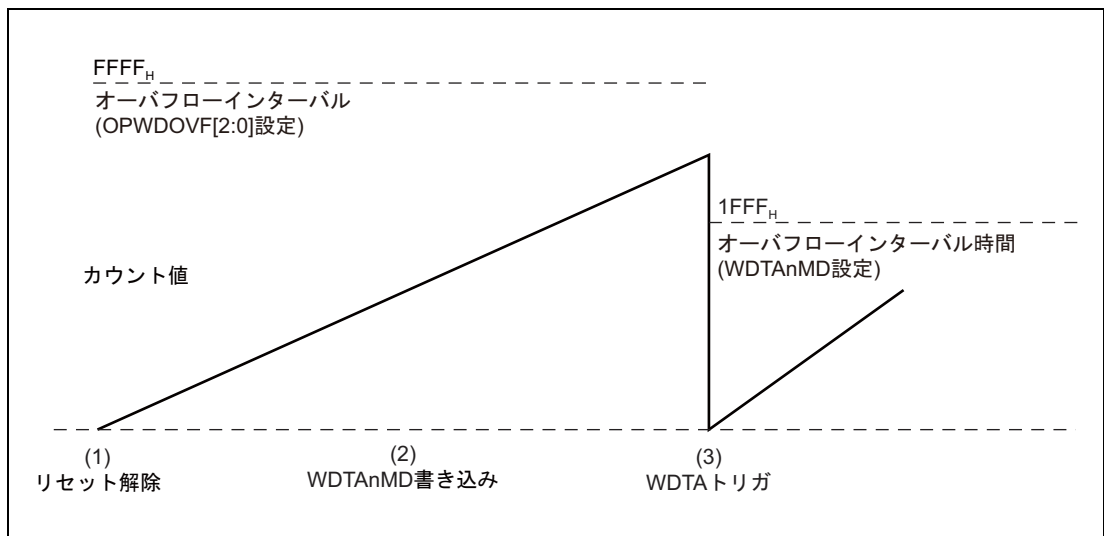


図 21.2 デフォルトスタートモード時の WDTA スタートのタイミング図

図 21.2 のタイミング図は次の動作を示します。

- (1) デフォルトスタートモードではリセット解除直後、WDTA カウントをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。

例) リセット解除後のオーバーフローインターバル時間
 $= 2^{16}/\text{WDTATCKI}$ ($\text{OPWDOVF}[2:0] = 111_{\text{B}}$)

- (2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。
- (3) WDTA カウンタがオーバーフローする前に WDTA トリガレジスタへの書き込みを行ってください。WDTA トリガにより WDTAnMD の設定が適用されます。

例) WDTA トリガ後のオーバーフローインターバル時間
 $= 2^{13}/\text{WDTATCKI}$

21.5.1.5 ソフトウェアトリガスタートモードのタイミング

ソフトウェアトリガスタートモードのタイミングと WDTA 設定への変更を **図 21.3** に示します。

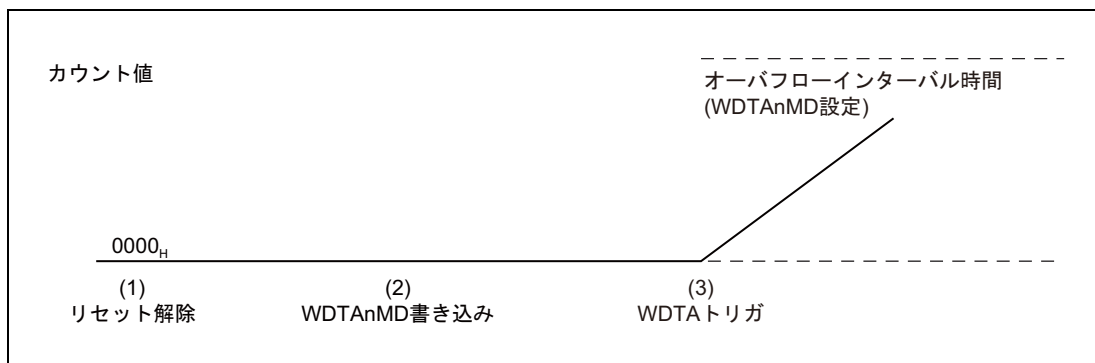


図 21.3 ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図

上記のタイミング図では次の内容を示しています。

- (1) リセット解除後、最初のトリガまでカウンタ値は 0000_{H} のままです。
カウンタクロックは、起動オプションにより指定されますが、カウンタ動作が行われていないので影響はありません。
- (2) WDTAnMD は、最初のトリガ前に書き込まれます。ただし、設定はすぐには適用されません。
- (3) 最初の WDTA トリガにより、WDTA カウンタがスタートします。
WDTAnMD で指定したカウンタクロックとその他の設定が適用されます。

21.5.2 WDTA トリガ

WDTA イネーブルレジスタ WDTAnWDTE、WDTA イネーブル VAC レジスタ WDTAnEVAC に、起動コードと呼ばれる特定の値を書き込むことにより WDTA トリガを発生します。

WDTA トリガには、次の機能があります。

- ソフトウェアトリガスタートモード時の WDTA カウンタの開始
- WDTA カウンタのカウントリスタート
- WDTAnMD レジスタによる WDTA モード設定 (リセット解除後、最初の WDTA トリガのみ)

WDTA トリガを発生するレジスタを WDTA トリガレジスタと言い、起動オプション OPWDVAC で指定します。

WDTA トリガレジスタと起動コード設定を表 21.21 に示します。

表 21.21 WDTA トリガレジスタと起動コード

起動コードの種類	トリガレジスタ	起動コード
固定 (OPWDVAC = 0)	WDTAnWDTE	AC _H
可変 (OPWDVAC = 1)	WDTAnEVAC	詳細は「21.5.2.1 VAC 機能使用時の起動コードの計算」を参照してください。

21.5.2.1 VAC 機能使用時の起動コードの計算

VAC 機能使用時、WDTA トリガレジスタ WDTAnEVAC に設定する可変起動コード (ExpectWDTE) は、WDTA 基準値レジスタ WDTAnREF を使用して、次式で求めます。

$$\text{ExpectWDTE} = \text{AC}_H - \text{WDTAnREF} \text{ (旧)}$$

なお、WDTAnREF レジスタの値はトリガレジスタ WDTAnEVAC に起動コードが書き込まれるたびに更新されます。WDTAnREF レジスタの更新値は次の式で求められます。

$$\text{WDTAnREF (新)} = (\text{ExpectWDTE を左に 1 ビットローテートシフト})$$

WDTA トリガ回数ごとの可変起動コードは表 21.22 のとおりです。

表 21.22 可変起動コードの展開

回数 ^{注1}	WDTAnREF (旧)		ExpectWDTE (AC _H - WDTAnREF)		WDTAnREF (新)	
0	0000 0000	00 _H	1010 1100	AC _H	0101 1001	59 _H
1	0101 1001	59 _H	0101 0011	53 _H	1010 0110	A6 _H
2	1010 0110	A6 _H	0000 0110	06 _H	0000 1100	0C _H
...

注 1. リセット後のトリガ回数

備考

誤った起動コードを書き込んだ場合、エラーが発生します。

21.5.3 WDTA エラー検出

WDTA は、WDTA のカウントオーバーフローの発生や不正な操作をエラーとして検出します。WDTA のエラー検出項目を以下に示します。

- WDTA カウンタのオーバーフロー
- WDTA トリガレジスタへの誤った起動コードの書き込み
- ウィンドウオープン期間以外でのトリガレジスタへの書き込み
- 初回 WDTA トリガ発生後、WDTA モードレジスタ WDTAnMD の設定値を変更しようとした場合
- 初回 WDTA トリガ発生前に、WDTA モードレジスタ WDTAnMD の設定値を2回更新する場合

デフォルトスタートモードが選択されているとき、カウンタがオーバーフローした場合のエラー信号 WDTAnTERR の発生を図 21.4 に示します。

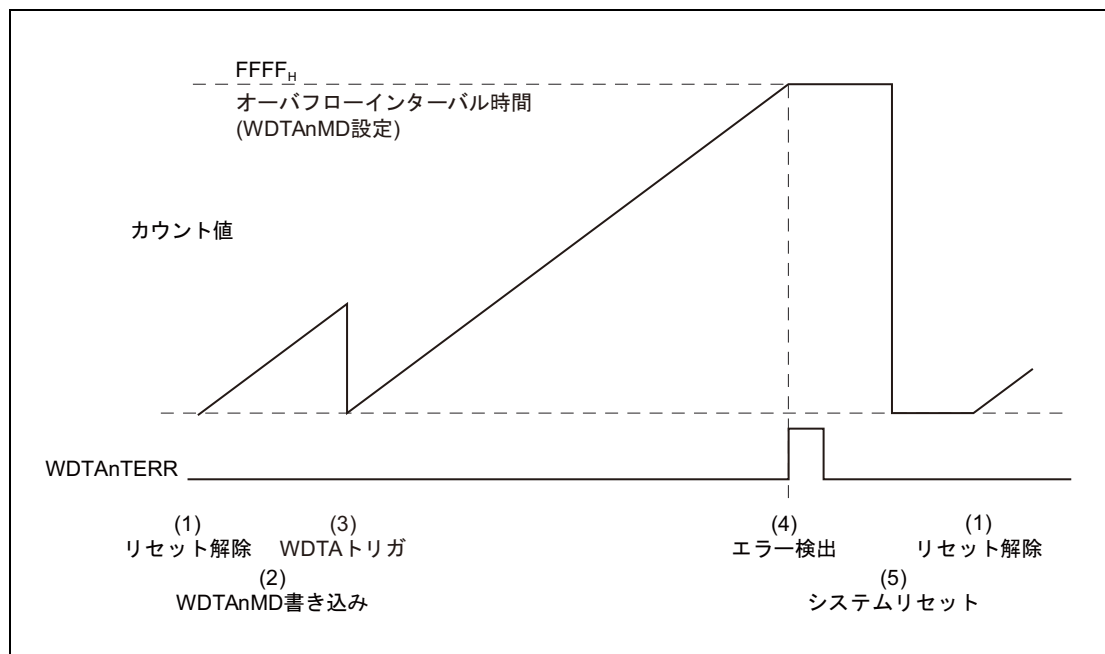


図 21.4 WDTA エラー信号 WDTAnTERR のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) カウンタがオーバーフローすると、エラーが検出されます。エラー信号 WDTAnTERR が発生します。
カウンタ値は、システムリセットが行われるまで変わりません。
- (5) システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

21.5.4 75%割り込み要求信号

WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効/無効を選択することができます。

次の条件下での 75%割り込み要求の発生を図 21.5 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、75% 割り込み要求が有効
- WDTA オーバーフローインターバル時間： $2^{16}/\text{WDTATCKI}$

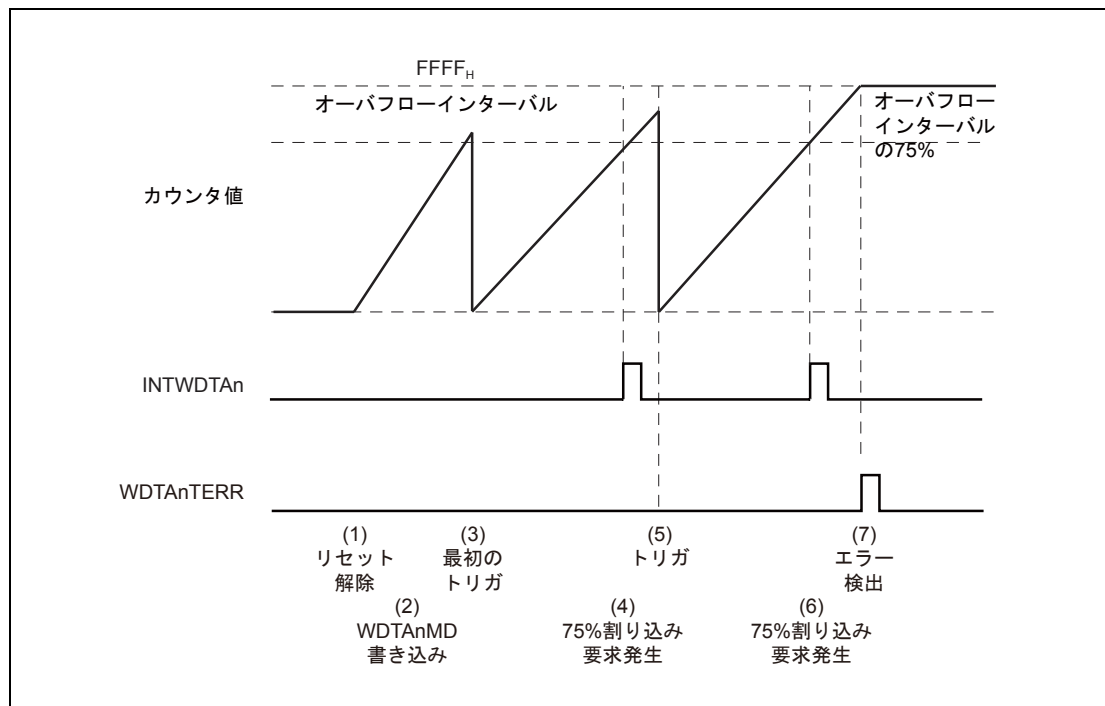


図 21.5 WDTA 75%割り込み要求信号のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウンタをスタートします。リセット解除後のオーバーフローインターバル時間は起動オプションによって設定されます。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバーフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。
- (5) WDTA トリガにより、カウンタがリスタートします。
- (6) WDTA カウンタがオーバーフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。
- (7) カウンタがオーバーフローすると、エラーが検出されます。エラー信号 WDTAnTERR が発生します。カウンタ値は、システムリセットが行われるまで変わりません。

21.5.5 ウィンドウ機能

WDTA トリガの有効期間（ウィンドウオープン期間）を設定することができます。ウィンドウオープン期間を 100%未満に設定すると、ウィンドウオープン期間以外の WDTA トリガによりエラーが発生します。リセット解除後、ウィンドウオープン期間は 100%です。最初の WDTA トリガで、WDTAnMD.WDTAnWS[1:0] に設定した値になります。

次の条件下でのウィンドウ機能動作を図 21.6 に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、25% ウィンドウオープン期間が有効 (WDTAnWS[1:0]=00_B)
- WDTA オーバフローインターバル時間 : $2^{16}/\text{WDTATCKI}$

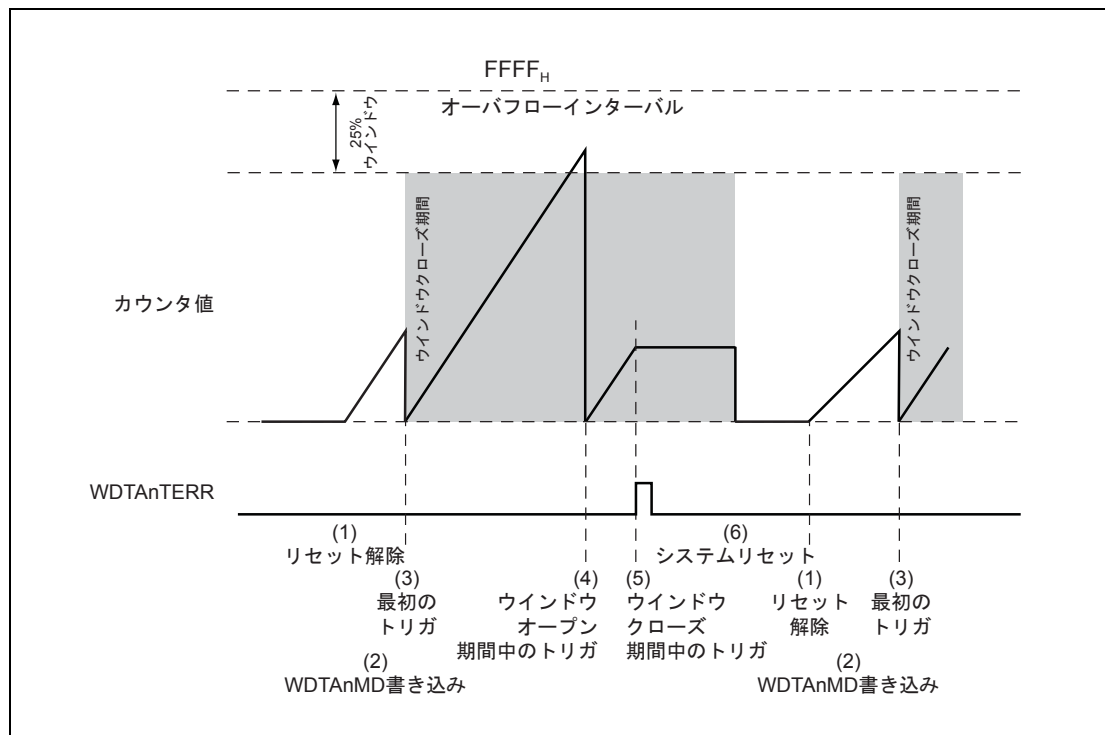


図 21.6 WDTA ウィンドウ機能のタイミング図

- (1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。
- (2) WDTAnMD は WDTA トリガ前に設定します。ここでは $2^{16}/\text{WDTATCKI}$ をオーバフローインターバル時間に設定しています。
- (3) WDTA トリガにより WDTAnMD の設定が適用されます。
- (4) ウィンドウオープン期間中に、WDTA トリガにより、カウントがリスタートします。
- (5) ウィンドウクローズ期間中に、WDTA トリガにより、エラーが検出されます。エラー信号 WDTAnTERR が発生します。カウンタ値は、システムリセットが行われるまで変わりません。
- (6) システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

第22章 OSタイマ (OSTM)

本章では、OSタイマ (OSTM) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1xに固有の特長について説明します。それ以降の節では、OSタイマの機能、レジスタについて説明します。

22.1 RH850/P1x OSTMnの特長

22.1.1 ユニット数

本製品は以下のユニット数のOSTMnを搭載しています。

表 22.1 ユニット数

製品名	RH850/P1x
ユニット数	7
名称	OSTM0、OSTM1、OSTM3 ~ OSTM7

表 22.2 添字

添字	意味
n	本章では、OSTMnの各ユニットを「n」で識別します。たとえば、OSTMnカウンタレジスタは、OSTMnCNTのように記述しています。

22.1.2 レジスタベースアドレス

OSTMnのベースアドレスを以下の表に示します。

OSTMnのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 22.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<OSTM0_base>	FFDD 8000 _H
<OSTM1_base>	FFDD 9000 _H
<OSTM3_base>	FFD7 0000 _H
<OSTM4_base>	FFD7 0040 _H
<OSTM5_base>	FFD7 0080 _H
<OSTM6_base>	FFD7 00C0 _H
<OSTM7_base>	FFD7 0100 _H

22.1.3 クロック供給

OSTMn のクロック供給を以下の表に示します。

表 22.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
OSTM0	PCLK	高速周辺クロック CLK_HSB 注1
OSTM1	PCLK	高速周辺クロック CLK_HSB 注1
OSTM3	PCLK	高速周辺クロック CLK_HSB
OSTM4	PCLK	高速周辺クロック CLK_HSB
OSTM5	PCLK	高速周辺クロック CLK_HSB
OSTM6	PCLK	高速周辺クロック CLK_HSB
OSTM7	PCLK	高速周辺クロック CLK_HSB

注1. カウントクロックイネーブル信号 (OSTMnTCKE) 選択可能。「22.2.3 カウントクロック」参照

22.1.4 割り込み要求

OSTMn の割り込み要求を以下の表に示します。

表 22.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
OSTM0			
INTOSTM0	OSTM0 の割り込み	74	—
OSTM1			
INTOSTM1	OSTM1 の割り込み	75	—
OSTM3			
INTOSTM3	OSTM3 の割り込み	(FEINT)	—
OSTM4			
INTOSTM4	OSTM4 の割り込み	(FEINT)	—
OSTM5			
INTOSTM5	OSTM5 の割り込み	(FEINT)	—
OSTM6			
INTOSTM6	OSTM6 の割り込み	(FEINT)	—
OSTM7			
INTOSTM7	OSTM7 の割り込み	(FEINT)	—

22.1.5 リセット要因

OSTMn のリセット要因を以下に示します。OSTMn は以下のリセット要因で初期化されま
す。

表 22.6 リセット要因

ユニット名	リセット要因
OSTMn	リセットコントローラ SYSRES

22.1.6 外部入出力信号

OSTMn の入出力信号を次の表に示します。

表 22.7 OSTMn 入出力信号

ユニット信号名	概要	ポート端子兼用信号名
OSTM0		
OSTM0TTOUT	OSTM0 出力	OSTM00
OSTM1		
OSTM1TTOUT	OSTM1 出力	OSTM10

22.2 概要

OSTM_n は 32 ビットのタイマ/カウンタです。

OSTM_n は、インターバルタイマモードまたはフリーランニングコンペアモードで使用できます。動作モードを選択することによりカウント方向（ダウン/アップ）を指定し、割り込み要求の生成を制御します。

OSTM_n は、カウントクロックイネーブル信号（OSTM_nTCKE）とカウント開始信号（OSTM_nTSST）の入力により、ほかの周辺機能と同期させることができます。

22.2.1 機能概要

OSTM_n には、次の機能があります。

- 2つの動作モード
 - インターバルタイマモード
 - フリーランニングコンペアモード
- INTOSTM_n 割り込み
- OSTM_nO 端子からの出力信号生成（OSTM0、OSTM1）
 - ソフトウェア制御モード
 - タイマ出力トグルモード
- タイミング監視 TPT（Timing Protection Timer）
 - FEINT にアサインされた INTOSTM3 ~ INTOSTM7 は、タスクや割り込みの処理時間の監視に使用することができます。

22.2.2 ブロック図

OSTMn の主な構成要素を次のブロック図に示します。

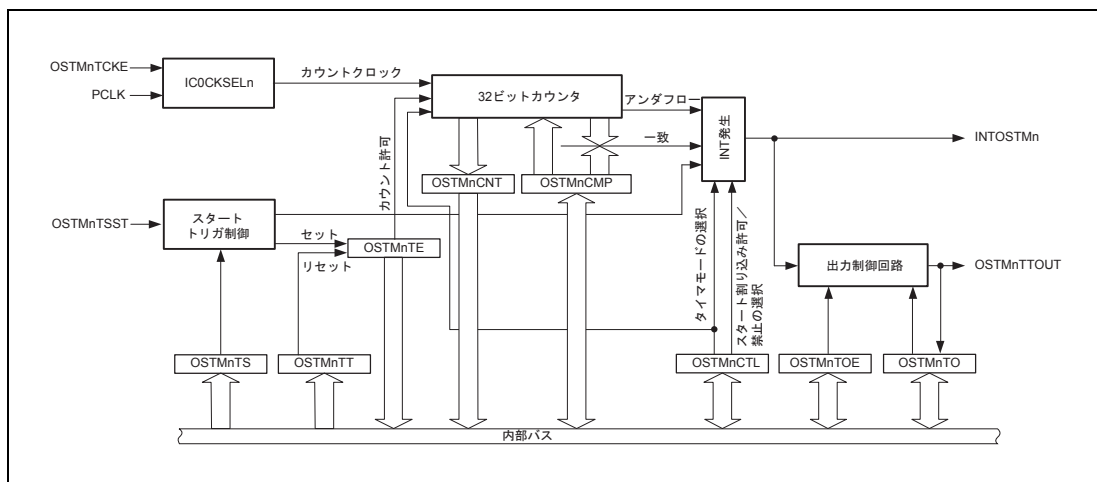


図 22.1 OSTMn のブロック図 (OSTM0、OSTM1)

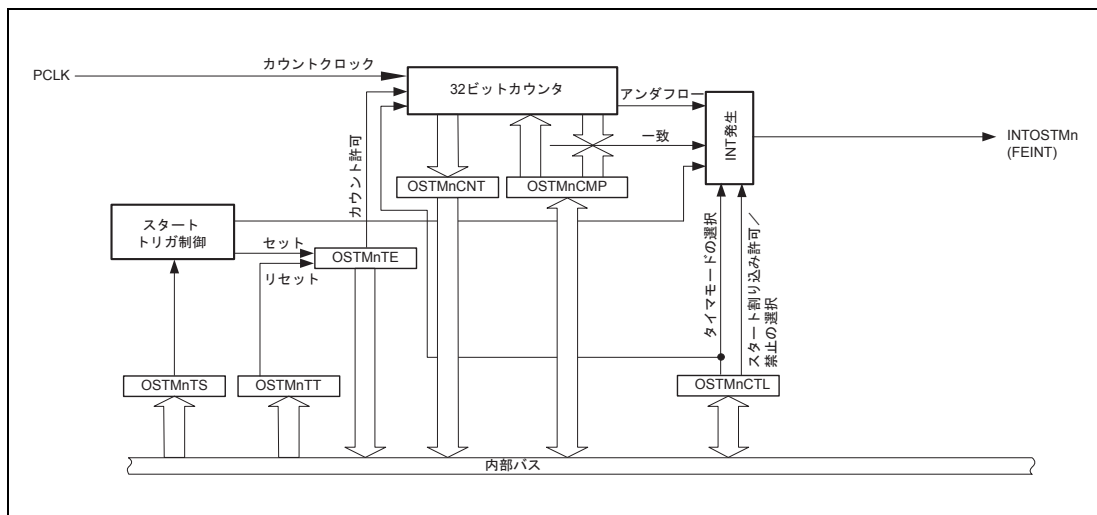


図 22.2 OSTMn のブロック図 (OSTM3 ~ OSTM7)

22.2.3 カウントクロック

OSTM0、OSTM1 のカウントクロックは、PCLK と OSTMnTCKE の入力によって次のように定義されます。OSTM3 ~ OSTM7 のカウントクロックは常に PCLK です。

- IC0KSELn.IC0TMENn = 0 に設定することで OSTMnTCKE = 1 (ハイ) となり、カウントクロック周期は PCLK となります。
- IC0KSELn.IC0TMENn = 1 に設定することで OSTMnTCKE は TAUDn / TAUJn のカウントクロックイネーブル信号から選択されます。これにより OSTMn のカウントクロックの周期を、TAUDn / TAUJn 内で生成するクロック (CK0 - CK3 のいずれか) の周期に合わせることができます。

これを次の図に示します。

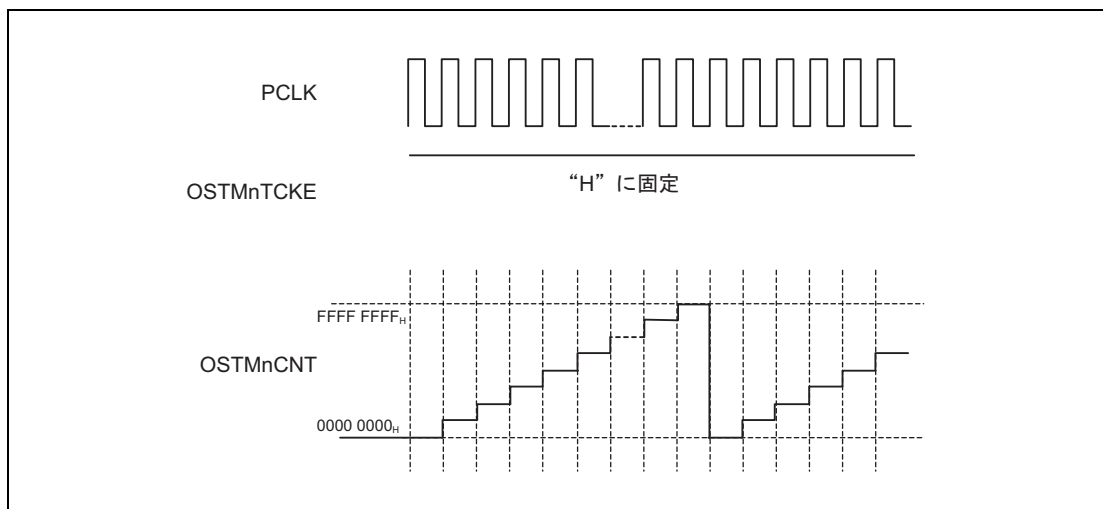


図 22.3 OSTMnTCKE を H に固定した場合のカウント動作

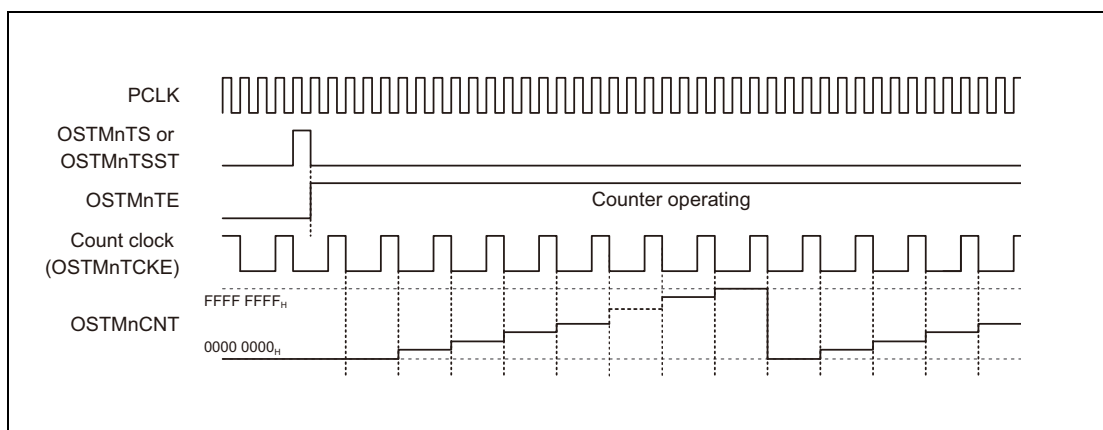


図 22.4 OSTMnTCKE の入力信号によるカウント動作

TAUDn / TAUJn のカウントクロックイネーブル信号 (TAUDnCKENm / TAUJnTCKENm) は、TAUD0、TAUD1 の各 16ch、TAUJ0、TAUJ1 の各 4ch、合計 40ch が存在します。その中から OSTMn のカウントクロックイネーブル信号 (OSTMnTCKE) として使用する信号を IC0CKSEL0 レジスタ / IC0CKSEL1 レジスタで選択します。

TAUDn / TAUJn のカウントクロックイネーブル信号 (TAUDnCKENm / TAUJnTCKENm)、TAUDn / TAUJn 内で生成するクロック (CK0 - CK3) については、[図 23.2](#)、[図 24.2](#) を参照してください。

注 意

1. OSTMn カウントクロックイネーブル信号の選択は、OSTMn の動作が停止している状態 (OSTMnTE.OSTMnTE ビット = 0) で行ってください。
2. OSTMn カウントクロックイネーブル信号を IC0CKSELn.IC0TMSELn[1:0]、IC0CKSELn.IC0CKSELn3[1:0]、IC0CKSELn.IC0CKSELn2[1:0]、IC0CKSELn.IC0CKSELn1[3:0]、IC0CKSELn.IC0CKSELn0[3:0] ビットで選択した後、IC0CKSELn.IC0TMENn ビット = 1 に設定してください。
3. OSTMn カウントクロックイネーブル信号として TAUDn または TAUJn を選択している場合 (IC0CKSELn.IC0TMENn ビット = 1)、OSTMn の動作中 (OSTMnTE.OSTMnTE ビット = 1) は選択している TAUDn または TAUJn の動作を変更しないでください。

【設定手順】

- (1) OSTMnTE.OSTMnTE ビット = 0 を確認 (OSTMn の動作が停止)
 - (2) IC0CKSELn.IC0TMSELn[1:0]、IC0CKSELn.IC0CKSELn3[1:0]、IC0CKSELn.IC0CKSELn2[1:0]、IC0CKSELn.IC0CKSELn1[3:0]、IC0CKSELn.IC0CKSELn0[3:0] ビットで OSTMn カウントクロックイネーブル信号を選択
 - (3) IC0CKSELn.IC0TMENn ビット = 1 に設定
 - (4) OSTMnTS.OSTMnTS ビット = 1 で OSTMn 動作許可
4. OSTM3 ~ OSTM7 には IC0CKSELn レジスタがありません。カウントクロックは PCLK のみ使用可能です。
-

22.2.4 出力モード (OSTM0、OSTM1 のみ)

OSTMn には、次の出力モードがあり、OSTMnTOE.OSTMnTOE ビットで設定します。

ソフトウェア制御モード (OSTMnTOE.OSTMnTOE ビット = 0) :

OSTMnTO.OSTMnTO ビットに設定した値が OSTMnTTOUT に出力されます。

タイマ出力トグル・モード (OSTMnTOE.OSTMnTOE ビット = 1) :

INTOSTMn 要求が発生すると、OSTMnTTOUT 出力がトグルします。

2 つの出力モードを次の図に示します。

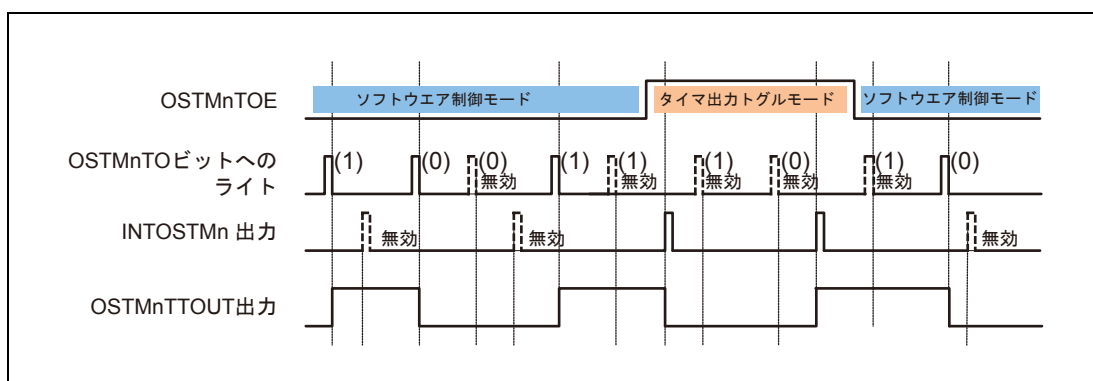


図 22.5 出力モードのタイミング

上記のタイミング図では次の内容を示しています。

ソフトウェア制御モードでは、OSTMnTTOUT 出力が OSTMnTO.OSTMnTO ビットに設定された値になります。

タイマ出力トグル・モードでは、INTOSTMn 割り込み要求が発生すると OSTMnTO.OSTMnTO ビットと OSTMnTTOUT 出力がトグルします。

22.2.5 割り込み要求 (INTOSTMn)

カウンタアンダフローが発生したとき（インターバルタイマモードの場合）またはカウンタが比較値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 INTOSTMn が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

INTOSTMn はタイマ出力トグルモード (OSTMnTOE.OSTMnTOE=1) で OSTMnTTOUT 出力のトグルのトリガとなるため、OSTMnCTL.OSTMnMD0 ビットの設定は OSTMnTTOUT 出力にも影響します。

これを次の図に示します。

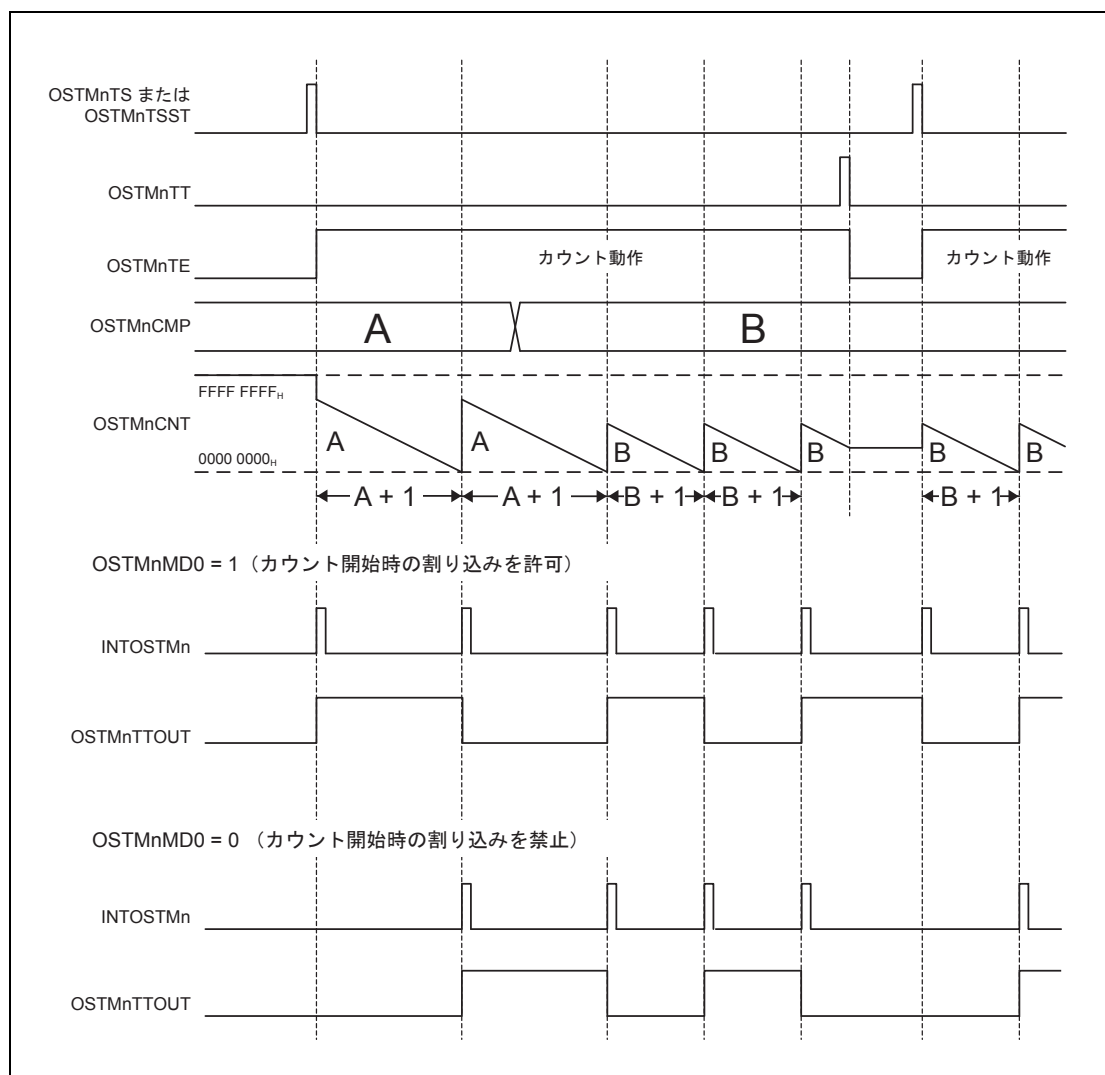


図 22.6 カウント開始時の割り込み生成（インターバルタイマモード）

22.3 レジスタ

22.3.1 レジスタ一覧

OSTMn のレジスタ一覧を以下の表に示します。

<OSTMn_base> は「**22.1.2 レジスタベースアドレス**」を参照してください。

表 22.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
OSTMn	OSTMn コンペアレジスタ	OSTMnCMP	<OSTMn_base> + 00 _H
OSTMn	OSTMn カウンタレジスタ	OSTMnCNT	<OSTMn_base> + 04 _H
OSTMn	OSTMn 出力レジスタ	OSTMnTO	<OSTMn_base> + 08 _H
OSTMn	OSTMn 出カインーブルレジスタ	OSTMnTOE	<OSTMn_base> + 0C _H
OSTMn	OSTMn カウントイネーブルステータスレジスタ	OSTMnTE	<OSTMn_base> + 10 _H
OSTMn	OSTMn カウント開始トリガレジスタ	OSTMnTS	<OSTMn_base> + 14 _H
OSTMn	OSTMn カウント停止トリガレジスタ	OSTMnTT	<OSTMn_base> + 18 _H
OSTMn	OSTMn 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20 _H
OSTM	OSTM0 クロック選択レジスタ	IC0CKSEL0	FFDD 6000 _H
OSTM	OSTM1 クロック選択レジスタ	IC0CKSEL1	FFDD 6004 _H

22.3.2 OSTMn レジスタの詳細

22.3.2.1 OSTMnCMP — OSTMn コンペアレジスタ

このレジスタは、動作モードによってダウンカウンタの開始値またはカウンタが比較される値を格納します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 00_H

リセット後の値 0000 0000_H どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCMP[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.9 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	OSTMnCMP [31:0]	<ul style="list-style-type: none"> インターバルタイマモードの場合：ダウンカウンタの開始値 フリーランニングコンペアモードの場合：比較値

22.3.2.2 OSTMnCNT — OSTMn カウンタレジスタ

このレジスタはタイマのカウンタ値を示します。

アクセス 32ビット単位でリードのみ可能です。

アドレス <OSTMn_base> + 04_H

リセット後の値 FFFF FFFF_H どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.10 OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	OSTMnCNT [31:0]	タイマカウンタの値

OSTMn の動作モード、カウンタ方向、スタート値の関係を表 22.11 に示します。スタート値は動作モードが変更された後にリードされる値です。

表 22.11 動作モード、カウンタ方向、スタート値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウンタ方向	スタート値
インターバルタイマモード	0 ^{注1}	ダウン	FFFF FFFF _H
フリーランニングコンペアモード	1	アップ	0000 0000 _H

注 1. リセット後の値

OSTMnCNT はカウンタ開始時に、インターバルタイマモードでは OSTMnCMP の設定値、フリーランニングコンペアモードでは 0000 0000_H をロードします。ロード動作を行うタイミングは OSTMnTE が "1" になった後の次のカウンタクロックになります。

22.3.2.3 OSTMnTO — OSTMn 出力レジスタ

このレジスタは、OSTMnTTOUT 出力のレベルを指定/リードします。OSTMn (n=0,1) のみ、レジスタに設定した値が有効になります。

アクセス 8ビット単位でリード/ライト可能です。ソフトウェア制御モードが有効時 (OSTMnTOE.OSTMnTOE = 0) にのみライト可能です。

アドレス <OSTMn_base>+ 08_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.12 OSTMnTO レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OSTMnTO	OSTMnTTOUT 出力のレベルを指定/リードします。 0: ロウレベル 1: ハイレベル

22.3.2.4 OSTMnTOE — OSTMn 出カインーブルレジスタ

このレジスタは、OSTMnTTOUT 出力モードを指定します。OSTMn (n=0,1) のみ、レジスタに設定した値が有効になります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <OSTMn_base>+ 0C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTOE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.13 OSTMnTOE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OSTMnTOE	OSTMnTTOUT 出力モードを指定します。 0: ソフトウェア制御モード: OSTMnTO.OSTMnTO ビットに設定されたレベルを OSTMnTTOUT に出力 1: タイマ出力トグルモード: 割り込み要求 INTOSTMn が発生すると、OSTMnTTOUT 出力がトグル

22.3.2.5 OSTMnTE — OSTMn カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <OSTMn_base> + 10_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.14 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	OSTMnTE	カウンタの状態を示します。 0 : カウンタが停止中 1 : カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定するか、OSTMnTSST が 1 になると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

備 考

カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバルタイマモードでは OSTMnCMP の設定値から再開します。
- フリーランニングコンペアモードでは、カウント値 0000 0000_H で動作を再開します。

22.3.2.6 OSTMnTS — OSTMn カウント開始トリガレジスタ

このレジスタは、カウントを開始します。

アクセス 8ビット単位でライトのみ可能です。常に00_Hとしてリードされます。

アドレス <OSTMn_base> + 14_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 22.15 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTS	カウントを開始します。 0: 設定は無効です。 1: カウントを開始し、OSTMnTE.OSTMnTE = 1 を設定します。 <ul style="list-style-type: none"> インターバルタイマモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

22.3.2.7 OSTMnTT — OSTMn カウント停止トリガレジスタ

このレジスタは、カウンタを停止します。

アクセス 8ビット単位でライトのみ可能です。常に00_Hとしてリードされます。

アドレス <OSTMn_base> + 18_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 22.16 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTT	カウンタを停止します。 0: 設定は無効です。 1: カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

22.3.2.8 OSTMnCTL — OSTMn 制御レジスタ

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 INTOSTMn の生成を制御します。

このレジスタはリード/ライト可能ですが、OSTMnTE.OSTMnTE = 0 のときは書き込み可、OSTMnTE.OSTMnTE = 1 のときは読み出し専用となります。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <OSTMn_base> + 20_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OSTMn MD1	OSTMn MD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.17 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OSTMnMD1	カウンタの動作モードを指定します。 0: インターバルタイマモード 1: フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の INTOSTMn 割り込み要求を制御します。 0: カウント開始時の割り込みを禁止 1: カウント開始時の割り込みを許可

22.3.2.9 IC0CKSEL0 — OSTM0 クロック選択レジスタ

このレジスタは OSTM0 のカウントクロックに使用するカウントクロックイネーブル信号を選択するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFDD 6000_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IC0TMEN0	—	IC0TMSEL0 [1:0]	IC0CKSEL03 [1:0]	IC0CKSEL02 [1:0]	IC0CKSEL01 [3:0]			IC0CKSEL00 [3:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.18 IC0CKSEL0 レジスタの内容 (1/2)

ビット位置	ビット名	機能										
15	IC0TMEN0	OSTM0 のカウントクロックイネーブル信号の選択 0: カウントクロックイネーブルを '1' 固定 (カウントクロックとして PCLK を選択) 1: カウントクロックイネーブル信号として IC0TMSEL0[1:0] で選択した周辺機能を選択										
14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。										
13、12	IC0TMSEL0 [1:0]	OSTM0 のカウントクロックイネーブル信号の選択 (IC0TMEN0 = 1 のときのみ有効) <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>IC0TMSEL0[1:0]</th> <th>選択される周辺機能</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>TAUD0</td> </tr> <tr> <td>01_B</td> <td>TAUD1</td> </tr> <tr> <td>10_B</td> <td>TAUJ0</td> </tr> <tr> <td>11_B</td> <td>TAUJ1</td> </tr> </tbody> </table>	IC0TMSEL0[1:0]	選択される周辺機能	00 _B	TAUD0	01 _B	TAUD1	10 _B	TAUJ0	11 _B	TAUJ1
IC0TMSEL0[1:0]	選択される周辺機能											
00 _B	TAUD0											
01 _B	TAUD1											
10 _B	TAUJ0											
11 _B	TAUJ1											
11、10	IC0CKSEL03 [1:0]	OSTM0 のカウントクロックイネーブル信号の選択 (IC0TMEN0 = 1 かつ IC0TMSEL0[1:0] = 11 _B のときのみ有効) <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>IC0CKSEL03[1:0]</th> <th>選択される TAUJ1 のチャンネル</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>TAUJ1 のチャンネル 0</td> </tr> <tr> <td>01_B</td> <td>TAUJ1 のチャンネル 1</td> </tr> <tr> <td>10_B</td> <td>TAUJ1 のチャンネル 2</td> </tr> <tr> <td>11_B</td> <td>TAUJ1 のチャンネル 3</td> </tr> </tbody> </table>	IC0CKSEL03[1:0]	選択される TAUJ1 のチャンネル	00 _B	TAUJ1 のチャンネル 0	01 _B	TAUJ1 のチャンネル 1	10 _B	TAUJ1 のチャンネル 2	11 _B	TAUJ1 のチャンネル 3
IC0CKSEL03[1:0]	選択される TAUJ1 のチャンネル											
00 _B	TAUJ1 のチャンネル 0											
01 _B	TAUJ1 のチャンネル 1											
10 _B	TAUJ1 のチャンネル 2											
11 _B	TAUJ1 のチャンネル 3											
9、8	IC0CKSEL02 [1:0]	OSTM0 のカウントクロックイネーブル信号の選択 (IC0TMEN0 = 1 かつ IC0TMSEL0[1:0] = 10 _B のときのみ有効) <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>IC0CKSEL02[1:0]</th> <th>選択される TAUJ0 のチャンネル</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>TAUJ0 のチャンネル 0</td> </tr> <tr> <td>01_B</td> <td>TAUJ0 のチャンネル 1</td> </tr> <tr> <td>10_B</td> <td>TAUJ0 のチャンネル 2</td> </tr> <tr> <td>11_B</td> <td>TAUJ0 のチャンネル 3</td> </tr> </tbody> </table>	IC0CKSEL02[1:0]	選択される TAUJ0 のチャンネル	00 _B	TAUJ0 のチャンネル 0	01 _B	TAUJ0 のチャンネル 1	10 _B	TAUJ0 のチャンネル 2	11 _B	TAUJ0 のチャンネル 3
IC0CKSEL02[1:0]	選択される TAUJ0 のチャンネル											
00 _B	TAUJ0 のチャンネル 0											
01 _B	TAUJ0 のチャンネル 1											
10 _B	TAUJ0 のチャンネル 2											
11 _B	TAUJ0 のチャンネル 3											

表 22.18 IC0CKSEL0 レジスタの内容 (2/2)

ビット位置	ビット名	機能																
7 ~ 4	IC0CKSEL01 [3:0]	OSTM0 のカウントクロックイネーブル信号の選択 (IC0TMEN0 = 1 かつ IC0TMSEL0[1:0] = 01 _B のときのみ有効)																
		<table border="1"> <thead> <tr> <th>IC0CKSEL01[3:0]</th> <th>選択される TAUD1 のチャンネル</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>TAUD1 のチャンネル 0</td> </tr> <tr> <td>0001_B</td> <td>TAUD1 のチャンネル 1</td> </tr> <tr> <td>0010_B</td> <td>TAUD1 のチャンネル 2</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>1101_B</td> <td>TAUD1 のチャンネル 13</td> </tr> <tr> <td>1110_B</td> <td>TAUD1 のチャンネル 14</td> </tr> <tr> <td>1111_B</td> <td>TAUD1 のチャンネル 15</td> </tr> </tbody> </table>	IC0CKSEL01[3:0]	選択される TAUD1 のチャンネル	0000 _B	TAUD1 のチャンネル 0	0001 _B	TAUD1 のチャンネル 1	0010 _B	TAUD1 のチャンネル 2	:	:	1101 _B	TAUD1 のチャンネル 13	1110 _B	TAUD1 のチャンネル 14	1111 _B	TAUD1 のチャンネル 15
IC0CKSEL01[3:0]	選択される TAUD1 のチャンネル																	
0000 _B	TAUD1 のチャンネル 0																	
0001 _B	TAUD1 のチャンネル 1																	
0010 _B	TAUD1 のチャンネル 2																	
:	:																	
1101 _B	TAUD1 のチャンネル 13																	
1110 _B	TAUD1 のチャンネル 14																	
1111 _B	TAUD1 のチャンネル 15																	
3 ~ 0	IC0CKSEL00 [3:0]	OSTM0 のカウントクロックイネーブル信号の選択 (IC0TMEN0 = 1 かつ IC0TMSEL0[1:0] = 00 _B のときのみ有効)																
		<table border="1"> <thead> <tr> <th>IC0CKSEL00[3:0]</th> <th>選択される TAUD0 のチャンネル</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>TAUD0 のチャンネル 0</td> </tr> <tr> <td>0001_B</td> <td>TAUD0 のチャンネル 1</td> </tr> <tr> <td>0010_B</td> <td>TAUD0 のチャンネル 2</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>1101_B</td> <td>TAUD0 のチャンネル 13</td> </tr> <tr> <td>1110_B</td> <td>TAUD0 のチャンネル 14</td> </tr> <tr> <td>1111_B</td> <td>TAUD0 のチャンネル 15</td> </tr> </tbody> </table>	IC0CKSEL00[3:0]	選択される TAUD0 のチャンネル	0000 _B	TAUD0 のチャンネル 0	0001 _B	TAUD0 のチャンネル 1	0010 _B	TAUD0 のチャンネル 2	:	:	1101 _B	TAUD0 のチャンネル 13	1110 _B	TAUD0 のチャンネル 14	1111 _B	TAUD0 のチャンネル 15
IC0CKSEL00[3:0]	選択される TAUD0 のチャンネル																	
0000 _B	TAUD0 のチャンネル 0																	
0001 _B	TAUD0 のチャンネル 1																	
0010 _B	TAUD0 のチャンネル 2																	
:	:																	
1101 _B	TAUD0 のチャンネル 13																	
1110 _B	TAUD0 のチャンネル 14																	
1111 _B	TAUD0 のチャンネル 15																	

22.3.2.10 IC0CKSEL1 — OSTM1 クロック選択レジスタ

このレジスタは OSTM1 のカウントクロックに使用するカウントクロックイネーブル信号を選択するレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFDD 6004_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IC0TMEN1	—	IC0TMSEL1 [1:0]	IC0CKSEL13 [1:0]	IC0CKSEL12 [1:0]	IC0CKSEL11 [3:0]			IC0CKSEL10 [3:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.19 IC0CKSEL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能										
15	IC0TMEN1	OSTM1 のカウントクロックイネーブル信号の選択 0: カウントクロックイネーブルを '1' 固定 (カウントクロックとして PCLK を選択) 1: カウントクロックイネーブル信号として IC0TMSEL1[1:0] で選択した周辺機能を選択										
14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。										
13、12	IC0TMSEL1 [1:0]	OSTM1 のカウントクロックイネーブル信号の選択 (IC0TMEN1 = 1 のときのみ有効) <table border="1" style="width: 100%; margin-top: 5px;"> <thead> <tr> <th>IC0TMSEL1[1:0]</th> <th>選択される周辺機能</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>TAUD0</td> </tr> <tr> <td>01_B</td> <td>TAUD1</td> </tr> <tr> <td>10_B</td> <td>TAUJ0</td> </tr> <tr> <td>11_B</td> <td>TAUJ1</td> </tr> </tbody> </table>	IC0TMSEL1[1:0]	選択される周辺機能	00 _B	TAUD0	01 _B	TAUD1	10 _B	TAUJ0	11 _B	TAUJ1
IC0TMSEL1[1:0]	選択される周辺機能											
00 _B	TAUD0											
01 _B	TAUD1											
10 _B	TAUJ0											
11 _B	TAUJ1											
11、10	IC0CKSEL13 [1:0]	OSTM1 のカウントクロックイネーブル信号の選択 (IC0TMEN1 = 1 かつ IC0TMSEL1[1:0] = 11 _B のときのみ有効) <table border="1" style="width: 100%; margin-top: 5px;"> <thead> <tr> <th>IC0CKSEL13[1:0]</th> <th>選択される TAUJ1 のチャンネル</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>TAUJ1 のチャンネル 0</td> </tr> <tr> <td>01_B</td> <td>TAUJ1 のチャンネル 1</td> </tr> <tr> <td>10_B</td> <td>TAUJ1 のチャンネル 2</td> </tr> <tr> <td>11_B</td> <td>TAUJ1 のチャンネル 3</td> </tr> </tbody> </table>	IC0CKSEL13[1:0]	選択される TAUJ1 のチャンネル	00 _B	TAUJ1 のチャンネル 0	01 _B	TAUJ1 のチャンネル 1	10 _B	TAUJ1 のチャンネル 2	11 _B	TAUJ1 のチャンネル 3
IC0CKSEL13[1:0]	選択される TAUJ1 のチャンネル											
00 _B	TAUJ1 のチャンネル 0											
01 _B	TAUJ1 のチャンネル 1											
10 _B	TAUJ1 のチャンネル 2											
11 _B	TAUJ1 のチャンネル 3											
9、8	IC0CKSEL12 [1:0]	OSTM1 のカウントクロックイネーブル信号の選択 (IC0TMEN1 = 1 かつ IC0TMSEL1[1:0] = 10 _B のときのみ有効) <table border="1" style="width: 100%; margin-top: 5px;"> <thead> <tr> <th>IC0CKSEL12[1:0]</th> <th>選択される TAUJ0 のチャンネル</th> </tr> </thead> <tbody> <tr> <td>00_B</td> <td>TAUJ0 のチャンネル 0</td> </tr> <tr> <td>01_B</td> <td>TAUJ0 のチャンネル 1</td> </tr> <tr> <td>10_B</td> <td>TAUJ0 のチャンネル 2</td> </tr> <tr> <td>11_B</td> <td>TAUJ0 のチャンネル 3</td> </tr> </tbody> </table>	IC0CKSEL12[1:0]	選択される TAUJ0 のチャンネル	00 _B	TAUJ0 のチャンネル 0	01 _B	TAUJ0 のチャンネル 1	10 _B	TAUJ0 のチャンネル 2	11 _B	TAUJ0 のチャンネル 3
IC0CKSEL12[1:0]	選択される TAUJ0 のチャンネル											
00 _B	TAUJ0 のチャンネル 0											
01 _B	TAUJ0 のチャンネル 1											
10 _B	TAUJ0 のチャンネル 2											
11 _B	TAUJ0 のチャンネル 3											

表 22.19 IC0CKSEL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能																
7 ~ 4	IC0CKSEL11 [3:0]	OSTM1 のカウントクロックイネーブル信号の選択 (IC0TMEN1 = 1 かつ IC0TMSEL1[1:0] = 01 _B のときのみ有効)																
		<table border="1"> <thead> <tr> <th>IC0CKSEL11[3:0]</th> <th>選択される TAUD1 のチャンネル</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>TAUD1 のチャンネル 0</td> </tr> <tr> <td>0001_B</td> <td>TAUD1 のチャンネル 1</td> </tr> <tr> <td>0010_B</td> <td>TAUD1 のチャンネル 2</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>1101_B</td> <td>TAUD1 のチャンネル 13</td> </tr> <tr> <td>1110_B</td> <td>TAUD1 のチャンネル 14</td> </tr> <tr> <td>1111_B</td> <td>TAUD1 のチャンネル 15</td> </tr> </tbody> </table>	IC0CKSEL11[3:0]	選択される TAUD1 のチャンネル	0000 _B	TAUD1 のチャンネル 0	0001 _B	TAUD1 のチャンネル 1	0010 _B	TAUD1 のチャンネル 2	:	:	1101 _B	TAUD1 のチャンネル 13	1110 _B	TAUD1 のチャンネル 14	1111 _B	TAUD1 のチャンネル 15
IC0CKSEL11[3:0]	選択される TAUD1 のチャンネル																	
0000 _B	TAUD1 のチャンネル 0																	
0001 _B	TAUD1 のチャンネル 1																	
0010 _B	TAUD1 のチャンネル 2																	
:	:																	
1101 _B	TAUD1 のチャンネル 13																	
1110 _B	TAUD1 のチャンネル 14																	
1111 _B	TAUD1 のチャンネル 15																	
3 ~ 0	IC0CKSEL10 [3:0]	OSTM1 のカウントクロックイネーブル信号の選択 (IC0TMEN1 = 1 かつ IC0TMSEL1[1:0] = 00 _B のときのみ有効)																
		<table border="1"> <thead> <tr> <th>IC0CKSEL10[3:0]</th> <th>選択される TAUD0 のチャンネル</th> </tr> </thead> <tbody> <tr> <td>0000_B</td> <td>TAUD0 のチャンネル 0</td> </tr> <tr> <td>0001_B</td> <td>TAUD0 のチャンネル 1</td> </tr> <tr> <td>0010_B</td> <td>TAUD0 のチャンネル 2</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>1101_B</td> <td>TAUD0 のチャンネル 13</td> </tr> <tr> <td>1110_B</td> <td>TAUD0 のチャンネル 14</td> </tr> <tr> <td>1111_B</td> <td>TAUD0 のチャンネル 15</td> </tr> </tbody> </table>	IC0CKSEL10[3:0]	選択される TAUD0 のチャンネル	0000 _B	TAUD0 のチャンネル 0	0001 _B	TAUD0 のチャンネル 1	0010 _B	TAUD0 のチャンネル 2	:	:	1101 _B	TAUD0 のチャンネル 13	1110 _B	TAUD0 のチャンネル 14	1111 _B	TAUD0 のチャンネル 15
IC0CKSEL10[3:0]	選択される TAUD0 のチャンネル																	
0000 _B	TAUD0 のチャンネル 0																	
0001 _B	TAUD0 のチャンネル 1																	
0010 _B	TAUD0 のチャンネル 2																	
:	:																	
1101 _B	TAUD0 のチャンネル 13																	
1110 _B	TAUD0 のチャンネル 14																	
1111 _B	TAUD0 のチャンネル 15																	

22.4 動作

22.4.1 OSTMn の起動と停止

OSTMn は次のように起動し、停止します。

起動

OSTMn は次のいずれかによって起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定
- OSTMnTSST 信号が 0 から 1 に遷移

ステータスビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって、カウンタはカウントダウンまたはカウントアップを開始します。詳細は「**22.4.2 インターバルタイマモード**」と「**22.4.3 フリーランニングコンペアモード**」を参照してください。

OSTMnTS.OSTMnTS ビットによってタイマを起動する場合は、OSTMnTSST には 0 が入力されている必要があります。

停止

OSTMn は、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

カウンタが停止すると、次のカウント動作が開始されるまで、OSTMnTO レジスタと OSTMnTTOUT 出力、OSTMnCNT レジスタはその時点での値を保持します。

同期起動

OSTMnTSST を使用して、ほかの周辺機能と同期して起動することができます。「**29.2.3.1 同時 スタートトリガ機能**」を参照してください。

22.4.2 インターバルタイマモード

インターバルタイマモードでは、OSTMn を一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

22.4.2.1 インターバルタイマモードの基本動作

インターバルタイマモードでは、タイマは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタがアンダフローした (0000 0000_H に達した) 場合に、割り込み要求 INTOSTMn が発生します。

インターバルタイマモード利用時は OSTMnCTL.OSTMnMD1 = 0 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に 0000 0000_H に到達したときに新しい OSTMnCMP の値をロードします。次に、カウンタは新しい値で動作を継続します。

INTOSTMn 期間と OSTMnTTOUT 出力期間

INTOSTMn と OSTMnTTOUT 出力の期間は次のようになります。

- INTOSTMn 発生期間 = カウントクロック期間 × (OSTMnCMP + 1)
- OSTMnTTOUT 出力期間 = INTOSTMn 発生期間 × 2

次の図に、インターバルタイマモードでカウンタスタート割り込みを許可された場合の OSTMn の基本動作を示します。

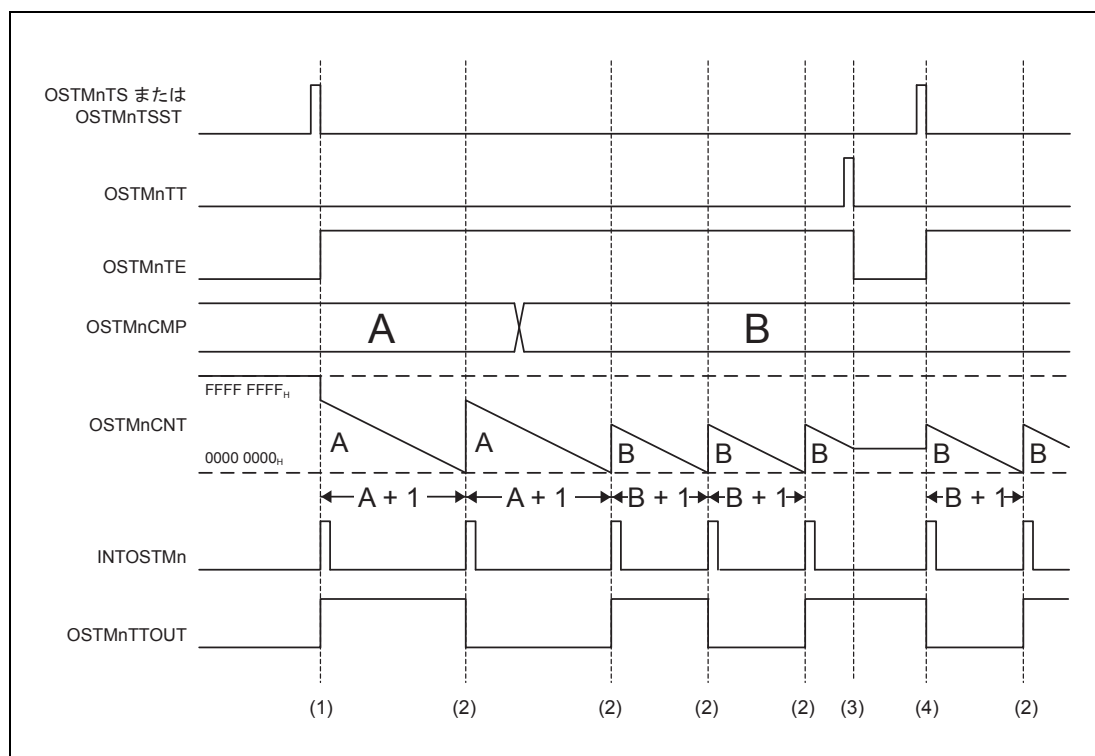


図 22.7 インターバルタイマモードの OSTMn のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 INTOSTMn が発生し、OSTMnTTOUT がトグル出力します。カウンタ値は OSTMnCNT レジスタで示されます。
- (2) カウンタが 0000 0000_H に達すると、割り込み要求 INTOSTMn が発生し OSTMnTTOUT がトグル出力します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。
- (3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に $OSTMnTS.OSTMnTS = 1$ を設定するか、または $OSTMnTSST$ 信号の 0 から 1 への遷移によって実行されます。

カウンタは、 $OSTMnCMP$ レジスタから開始値をロードしてカウントダウンを継続します。

次の図に、インターバルタイマモードでカウンタスタート割り込みが許可 ($OSTMnCTL.OSTMnMD0 = 1$)、 $OSTMnTTOUT$ 出力がタイマ出力トグルモードの場合 ($OSTMnTOE.OSTMnTOE = 1$) のタイミング図を示します。

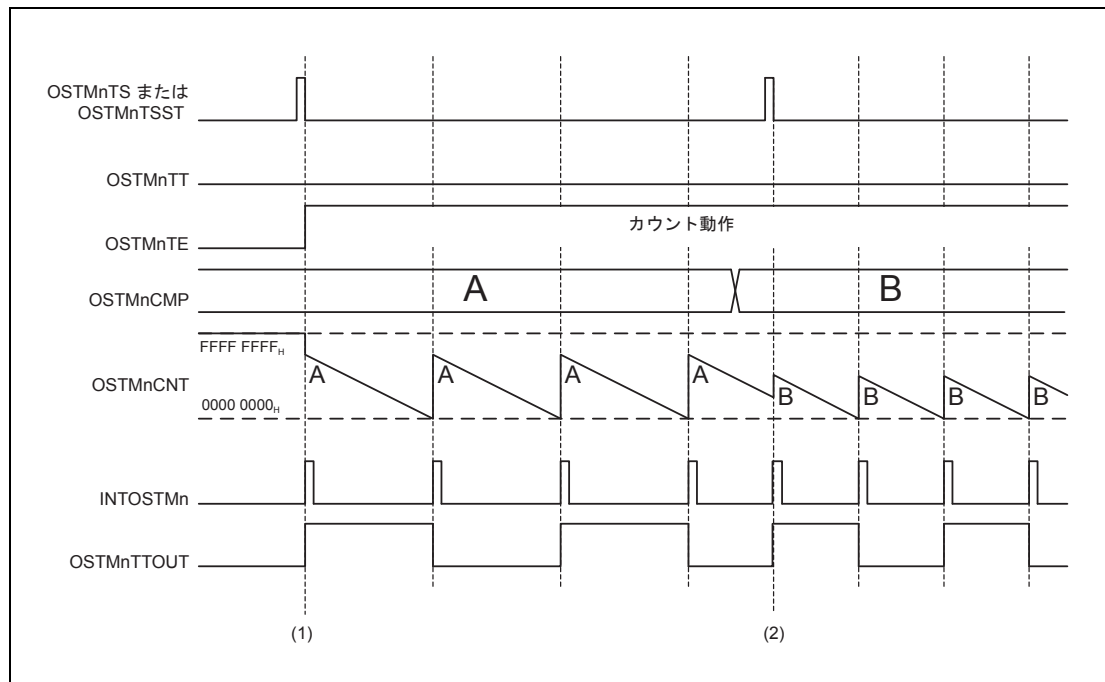


図 22.8 インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、「**図 22.7 インターバルタイマモードの OSTMn のタイミング図**」で説明されているように動作を開始します。
- (2) カウンタは、動作している間 ($OSTMnTE.OSTMnTE = 1$) $OSTMnTS.OSTMnTS = 1$ または $OSTMnTSST = 1$ にすると、リスタートします。
カウンタは、ただちに $OSTMnCMP$ の現在値からカウントダウンを再開します。
 $OSTMnCTL.OSTMnMD0 = 1$ の場合は、カウント開始タイミングで割り込み要求 $INTOSTMn$ が発生し、 $OSTMnTTOUT$ がトグル出力します。

22.4.2.2 OSTMnCMP = 0000 0000_H の場合の動作

カウントクロックを PCLK かつ OSTMnCMP = 0000 0000_H の場合に、OSTMn は次のように動作します。

- カウンタが有効な場合は、割り込み要求 INTOSTMn は常に 1 になります。カウント動作開始時のみ INTOSTMn 割り込み要求が発生します。ただし、タイマ (OSTMnTTOUT) 出力は使用できません。タイマ出力トグルモードを使用し、タイマ (OSTMnTTOUT) 出力を行うとカウントクロック毎にトグル出力します。

次の図に、カウントクロックを PCLK かつ OSTMnCMP = 0000 0000_H であり、カウンタスタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1)、OSTMnTTOUT 出力がタイマ出力トグルモードの場合 (OSTMnTOE.OSTMnTOE = 1) の OSTMn の動作を示します。

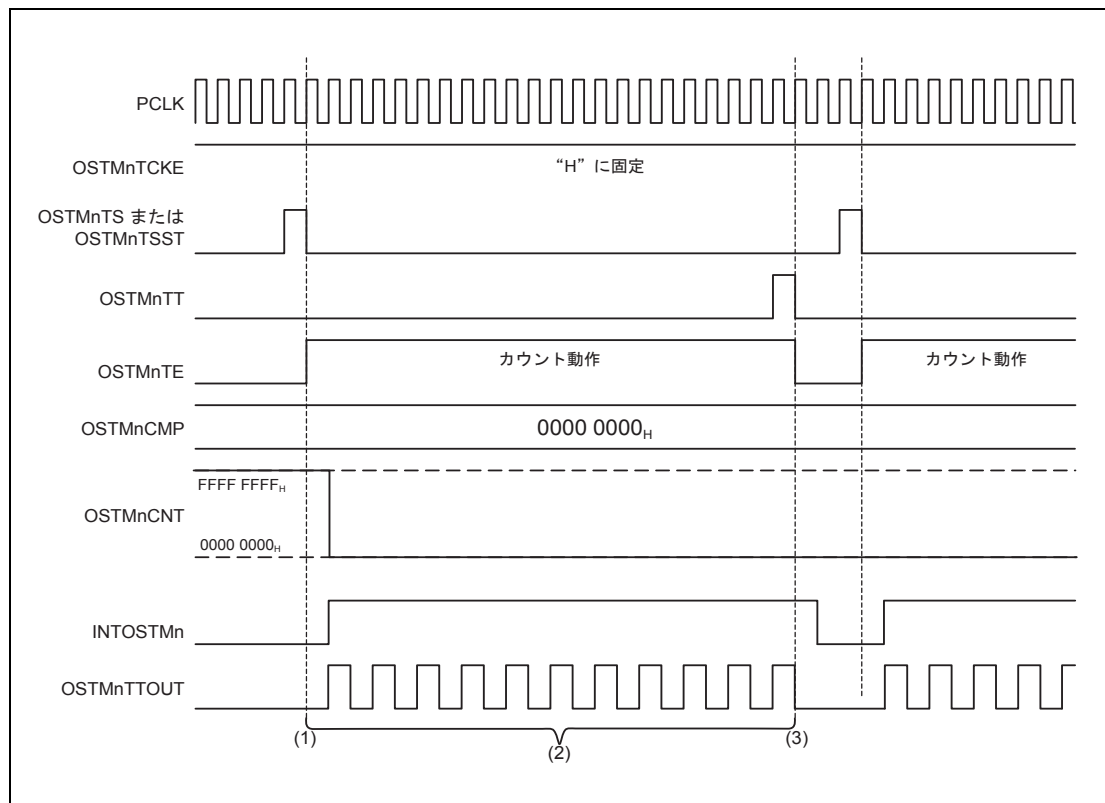


図 22.9 インターバルタイマモードで OSTMnCMP = 0000 0000_H の場合のタイミング図 (カウントクロック = PCLK (OSTMnTCKE = ハイ))

上記のタイミング図では次の内容を示しています。

- (1) カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000_H のままです。
- (2) 割り込み要求 INTOSTMn が発生すると、OSTMnTTOUT がトグル出力します。(図 22.9 は、カウントクロック = PCLK のため、INTOSTMn がハイレベル固定となります。)
- (3) カウンタが停止すると、割り込み要求 INTOSTMn が停止し、OSTMnTTOUT 出力は、出力レベルを保持します。

カウント開始時の割り込み禁止の場合は、カウント開始時にカウントクロックの 1 クロック分発生しません。

22.4.2.3 インターバルタイマモードの設定手順

リセット解除後のインターバルタイマモードの設定手順を次に示します。

設定手順

- (1) OSTMnCMP レジスタにカウンタの開始値を設定します。
- (2) OSTMnTTOUT を出力させる場合
 - ソフトウェア制御モード (OSTMnTOE.OSTMnTOE = 0) で、OSTMnTO レジスタを初期化します。
 - タイマ出力トグルモード (OSTMnTOE.OSTMnTOE = 1) を選択します。
- (3) OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバルタイマモードを選択します。
- (4) OSTMnCTL.OSTMnMD0 ビットでカウント開始時の割り込みの許可/禁止を選択します。

22.4.3 フリーランニングコンペアモード

22.4.3.1 フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 INTOSTMn が発生します。

フリーランニングコンペアモード利用時は、OSTMnCTL.OSTMnMD1 = 1 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可 (OSTMnCTL.OSTMnMD0 = 1) OSTMnTTOUT 出力がタイマ出力トグルモードの場合 (OSTMnTOE.OSTMnTOE = 1) の OSTMn の基本動作を示します。

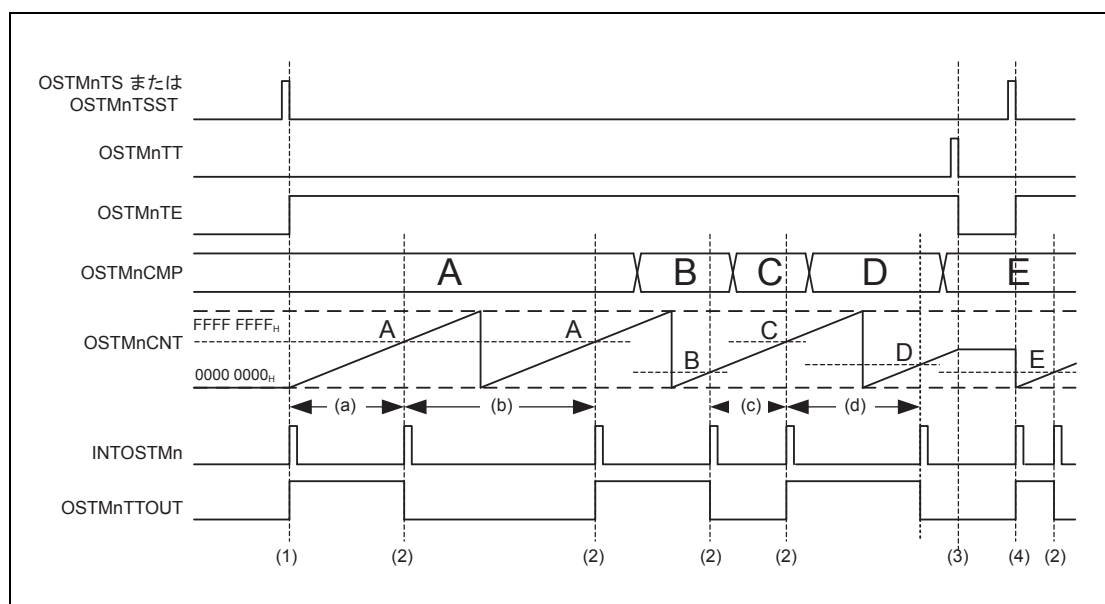


図 22.10 フリーランニングコンペアモードの OSTMn のタイミング図

上記のタイミング図では次の内容を示しています。

- (1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは $0000\ 0000_H$ から $FFFF\ FFFF_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 INTOSTMn が発生します。
- (2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、INTOSTMn 割り込み要求が発生し、OSTMnTTOUT がトグル出力します。
- (3) カウンタが停止すると (OSTMnTT.OSTMnTT = 1)、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。カウンタは、カウントを再開するまでその時点での値を保持します。
- (4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは $0000\ 0000_H$ からカウントを開始します。

INTOSTMn 期間

INTOSTMn 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 22.20 INTOSTMn 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	INTOSTMn の発生期間	タイミング図のラベル
カウント開始			$(A + 1) \times$ カウントクロック期間	(a)
A	A	書き換えなし	$(FFFF\ FFFF_H + 1) \times$ カウントクロック期間	(b)
B	$C > B$	$B < \text{カウンタ値} < C$	$(C - B) \times$ カウントクロック期間	(c)
C	$D < C$	カウンタ値 $> D, C$	$(FFFF\ FFFF_H - C + D + 1) \times$ カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = 1 の場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

22.4.3.2 OSTMnCMP = 0000 0000_H の場合の動作

次の図に、カウントクロックを PCLK かつ OSTMnCMP = 0000 0000_H であり、カウンタスタート割り込みが許可 (OSTMnCTL.OSTMnMD0 = 1) OSTMnTTOUT 出力がタイマ出力トグルモードの場合 (OSTMnTOE.OSTMnTOE = 1) の OSTMn の動作を示します。

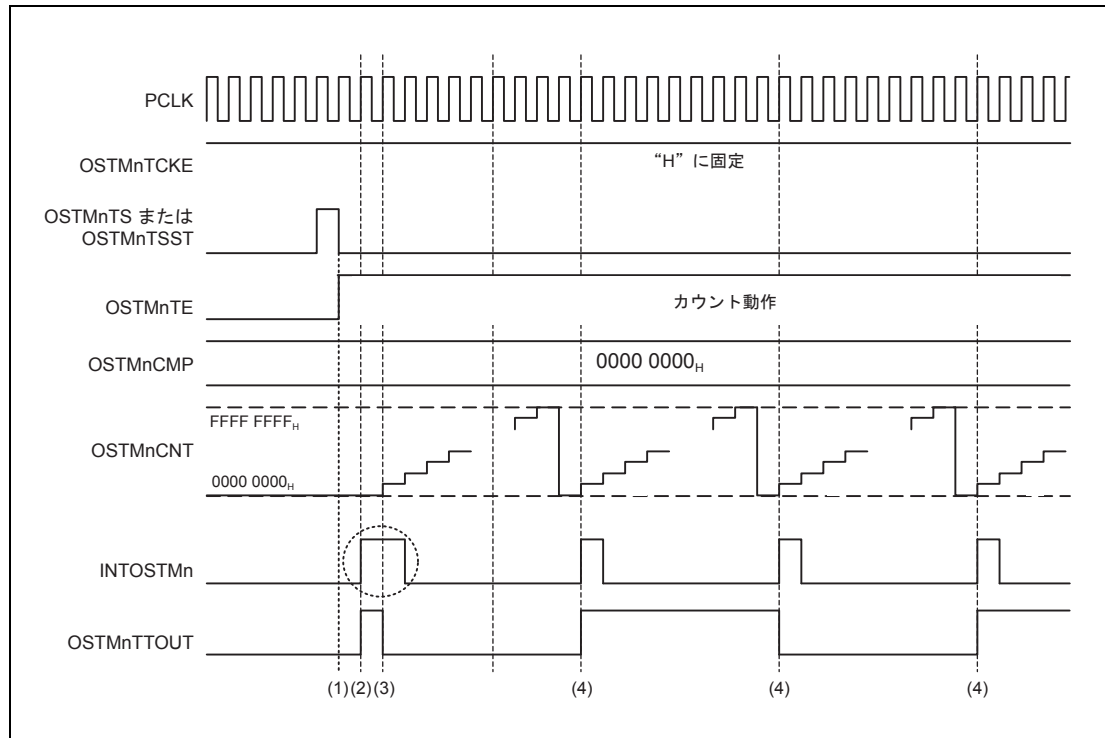


図 22.11 フリーランニングコンペアモードで OSTMnCMP = 0000 0000_H の場合のタイミング図 (カウントクロック = PCLK (OSTMnTCKE = ハイ))

上記のタイミング図では次の内容を示しています。

- (1) カウントを開始すると、カウンタは 0000 0000_H から FFFF FFFF_H までをカウントします。
- (2) カウント開始時に割り込み要求 INTOSTMn が発生し、OSTMnTTOUT がトグル出力します。初回動作時は PCLK の 2 周期分 INTOSTMn のハイ・レベルが継続しますが、割り込み要求は、INTOSTMn 立ち上がり時に 1 回発生します。
- (3) 現在のカウンタ値が OSTMnCMP と一致する場合は、割り込み要求 INTOSTMn が発生します。上記のように OSTMnCMP = 0000 0000_H の場合、INTOSTMn はカウントクロック 2 クロック分発生し、OSTMnTTOUT がトグル出力します。
- (4) (FFFF FFFF_H + 1) クロックサイクルごとに、割り込み要求 INTOSTMn が発生し、OSTMnTTOUT がトグル出力します。

カウント開始時の割り込み禁止の場合は、カウント開始時にカウントクロックの 1 クロック分発生しません。

22.4.3.3 フリーランニングコンペアモードの設定手順

リセット解除後のフリーランニングコンペアモードの設定手順を次に示します。

設定手順

- (1) OSTMnCMP レジスタに比較値を設定します。
- (2) OSTMnTTOUT を出力させる場合
 - ソフトウェア制御モード (OSTMnTOE.OSTMnTOE = 0) で、OSTMnTO レジスタを初期化します。
 - タイマ出力トグルモード (OSTMnTOE.OSTMnTOE = 1) を選択します。
- (3) OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリーランニングコンペアモードを選択します。
- (4) OSTMnCTL.OSTMnMD0 ビットでカウント開始時の割り込みの許可/禁止を選択します。

第23章 タイマアレイユニットD (TAUD)

本章では、タイマアレイユニットD (TAUD) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、TAUD の機能、レジスタについて説明します。

23.1 RH850/P1x TAUD の特長

23.1.1 ユニット数チャンネル数

本製品は、以下のユニット数の TAUD を搭載しています。

表 23.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	3	
名称	TAUDn (n=0 ~ 2)	

TAUDn は以下に示すチャンネル数のタイマを搭載しています。

表 23.2 TAUDn のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) TAUDn	ユニット チャンネル数	RH850/P1x 100pin (16ch)	RH850/P1x 144pin (16ch)
TAUD0	16	○	○
TAUD1	16	○	○
TAUD2	16	○	○

表 23.3 添字

添字	意味
n	本章では、TAUD の各ユニットを「n」(n=0 ~ 2) 識別します。たとえば、TAUDn チャンネル出力モードレジスタ (TAUDnTOM) のように記述しています。
m	TAUD には 16 本のチャンネルがあります。本章では、各チャンネルを「m」で識別しており (m=0 ~ 15)、特定のチャンネルを CHm のように記述しています。 偶数チャンネル (m=0, 2, 4, 6, 8, 10, 12, 14) は CHm_even と記述します。 奇数チャンネル (m=1, 3, 5, 7, 9, 11, 13, 15) は CHm_odd と記述します。

23.1.2 レジスタベースアドレス

TAUDn のベースアドレスを以下の表に示します。

TAUDn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 23.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUD0_base>	FFE2 0000 _H
<TAUD1_base>	FFE2 1000 _H
<TAUD2_base>	FFE2 2000 _H

23.1.3 クロック供給

TAUDn のクロック供給を以下の表に示します。

表 23.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAUDn	PCLK	高速周辺クロック CLK_HSB

23.1.4 割り込み要求

TAUDn の割り込み要求を以下の表に示します。

表 23.6 割り込み要求 (1/2)

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
TAUD0			
INTTAUD0I0	チャンネル 0 割り込み	141	13
INTTAUD0I1	チャンネル 1 割り込み	142	14
INTTAUD0I2	チャンネル 2 割り込み	143	15
INTTAUD0I3	チャンネル 3 割り込み	144	16
INTTAUD0I4	チャンネル 4 割り込み	145	17
INTTAUD0I5	チャンネル 5 割り込み	146	18
INTTAUD0I6	チャンネル 6 割り込み	147	19
INTTAUD0I7	チャンネル 7 割り込み	148	20
INTTAUD0I8	チャンネル 8 割り込み	149	21
INTTAUD0I9	チャンネル 9 割り込み	150	22
INTTAUD0I10	チャンネル 10 割り込み	151	23
INTTAUD0I11	チャンネル 11 割り込み	152	24
INTTAUD0I12	チャンネル 12 割り込み	153	25
INTTAUD0I13	チャンネル 13 割り込み	154	26
INTTAUD0I14	チャンネル 14 割り込み	155	27
INTTAUD0I15	チャンネル 15 割り込み	156	28
TAUD1			
INTTAUD1I0	チャンネル 0 割り込み	158	29
INTTAUD1I1	チャンネル 1 割り込み	159	30
INTTAUD1I2	チャンネル 2 割り込み	160	31
INTTAUD1I3	チャンネル 3 割り込み	161	32
INTTAUD1I4	チャンネル 4 割り込み	162	33
INTTAUD1I5	チャンネル 5 割り込み	163	34
INTTAUD1I6	チャンネル 6 割り込み	164	35
INTTAUD1I7	チャンネル 7 割り込み	165	36
INTTAUD1I8	チャンネル 8 割り込み	166	37
INTTAUD1I9	チャンネル 9 割り込み	167	38
INTTAUD1I10	チャンネル 10 割り込み	168	39
INTTAUD1I11	チャンネル 11 割り込み	169	40
INTTAUD1I12	チャンネル 12 割り込み	170	41
INTTAUD1I13	チャンネル 13 割り込み	171	42

表 23.6 割り込み要求 (2/2)

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
INTTAUD1I14	チャンネル 14 割り込み	172	43
INTTAUD1I15	チャンネル 15 割り込み	173	44
TAUD2			
INTTAUD2I0	チャンネル 0 割り込み	260	45
INTTAUD2I1	チャンネル 1 割り込み	261	46
INTTAUD2I2	チャンネル 2 割り込み	262	47
INTTAUD2I3	チャンネル 3 割り込み	263	48
INTTAUD2I4	チャンネル 4 割り込み	264	49
INTTAUD2I5	チャンネル 5 割り込み	265	50
INTTAUD2I6	チャンネル 6 割り込み	266	51
INTTAUD2I7	チャンネル 7 割り込み	267	52
INTTAUD2I8	チャンネル 8 割り込み	268	53
INTTAUD2I9	チャンネル 9 割り込み	269	54
INTTAUD2I10	チャンネル 10 割り込み	270	—
INTTAUD2I11	チャンネル 11 割り込み	271	—
INTTAUD2I12	チャンネル 12 割り込み	272	—
INTTAUD2I13	チャンネル 13 割り込み	273	—
INTTAUD2I14	チャンネル 14 割り込み	274	—
INTTAUD2I15	チャンネル 15 割り込み	275	—

23.1.5 リセット要因

TAUD_n のリセット要因を以下に示します。TAUD_n は以下のリセット要因で初期化されます。

表 23.7 リセット要因

ユニット名	リセット要因
TAUD _n	リセットコントローラ SYSRES

23.1.6 外部入出力信号

TAUD_n の外部入出力信号を以下の表に示します。

表 23.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TAUD0		
TAUD _n TTIN0-TAUD _n TTIN15 ^{注2}	チャンネル 0-15 入力	TAUD0I0-TAUD0I15
TAUD _n TTOUT0-TAUD _n TTOUT15	チャンネル 0-15 出力	TAUD0O0-TAUD0O15
TAUD1		
TAUD _n TTIN0-TAUD _n TTIN15 ^{注2}	チャンネル 0-15 入力	TAUD1I0-TAUD1I15
TAUD _n TTOUT0-TAUD _n TTOUT15	チャンネル 0-15 出力	TAUD1O0-TAUD1O15
TAUD2		
TAUD _n TTIN0-TAUD _n TTIN15 ^{注2}	チャンネル 0-15 入力	TAUD2I0-TAUD2I15 ^{注1}
TAUD _n TTOUT0-TAUD _n TTOUT15	チャンネル 0-15 出力	TAUD2O0-TAUD2O15

- 注 1. PIC によって入力信号を切り換えることができます。詳細は、「29.2.3.11 TAUD 入力選択機能」および「29.2.3.13 タイマ出力モニタ機能 (PWM-Diag)」を参照してください。
- 注 2. チャンネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.6 ノイズフィルタ & エッジレベル検出回路」を参照してください。

23.2 概要

23.2.1 機能概要

TAUD には、次の機能があります。

- 16 チャンネル
- チャンネルごとの 16 ビットカウンタおよび 16 ビットデータレジスタ
- チャンネル単体動作
- チャンネル連動動作 (マスタおよびスレーブ動作)
- 異なる種類の出力信号の生成
- リアルタイム出力
- 外部信号によるカウントの開始
- 割り込み発生

TAUD は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUDnCNTm と 16 ビットデータレジスタ TAUDnCDRm をそれぞれ備えた 16 チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、異なる動作モードで動作することが可能です。1 つのマスタチャンネルと 1 つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、そのチャンネルの動作モードと機能は、ほかのチャンネルのそれらに影響を受けません。あるチャンネルを連動させる場合、そのチャンネルはマスタまたはスレーブチャンネルです。マスタチャンネルには、複数のスレーブチャンネルがある可能性があり、あるチャンネルの状態にほかのすべてのチャンネルが影響を受けます。たとえば、あるチャンネルを使って、ほかのチャンネルのカウント開始タイミングやリセットタイミング等を制御できます。

23.2.2 用語

この章で使用されている用語について説明します。

単体動作機能／連動動作機能

単体動作機能／連動動作機能は、チャンネル間の依存性を示します。

- あるチャンネルがほかのすべてのチャンネルから独立して動作している場合をチャンネル単体動作と呼びます。
- あるチャンネルの動作がほかのチャンネルに依存している場合をチャンネル連動動作と呼びます。

チャンネルグループ

チャンネル連動動作では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。

1つのチャンネルグループは、1つのマスタチャンネルと1つ以上のスレーブチャンネルで構成されます。

動作モード

チャンネル m ごとに動作モードを指定できます。動作モードは、あるチャンネルの基本動作と機能を規定します。

チャンネル連動動作では、チャンネルグループに属する各チャンネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャモード、イベントカウントモード、インターバルタイマモードなどがあります。

チャンネル出力モード

チャンネル出力モードは、次のチャンネルの $TAUDnTTOUm$ の動作を規定します。

- 1つのチャンネル (単体出力動作)
- チャンネルグループに属するすべてのチャンネル (連動出力動作)

チャンネル単体出力モード1、デッドタイム出力付きチャンネル連動動作モード2などがあります。

チャンネル動作機能

チャンネル動作機能は、次のチャンネルの全機能およびすべての特長を規定します。

- 1つのチャンネル (チャンネル単体動作)
- チャンネルグループに属するすべてのチャンネル (チャンネル連動動作)

上位／下位チャンネル

チャンネル m から見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル5に対してチャンネル3は上位チャンネル、チャンネル9は下位チャンネルです。

23.2.3 タイマ動作機能一覧

このタイマは各チャンネルを単体で動作させたり、複数チャンネルを組み合わせて動作させることで、下記の機能が実現できます。

表 23.9 TAUD 動作機能一覧

単体動作機能	設定例
チャンネル単体動作機能	23.12 章
インターバルタイマ機能	23.12.1 章
TAUDnTTINm 入力インターバルタイマ機能	23.12.2 章
クロック分周機能	23.12.3 章
外部イベントカウント機能	23.12.4 章
ディレイカウント機能	23.12.5 章
ワンパルス出力機能	23.12.6 章
TAUDnTTINm 入力パルスインターバル測定機能	23.12.7 章
TAUDnTTINm 入力信号幅測定機能	23.12.8 章
TAUDnTTINm 入力位置検出機能	23.12.9 章
TAUDnTTINm 入力期間カウント検出機能	23.12.10 章
TAUDnTTINm 入力パルスインターバル判定機能	23.12.11 章
TAUDnTTINm 入力信号幅判定機能	23.12.12 章
1 相 PWM 出力機能	23.12.13 章
リアルタイム出力機能タイプ 1	23.12.14 章
リアルタイム出力機能タイプ 2	23.12.15 章
一斉書き換えトリガ生成機能タイプ 1	23.12.16 章
チャンネル連動動作機能	23.13 章
PWM 出力機能	23.13.1 章
ワンショットパルス出力機能	23.13.2 章
ディレイパルス出力機能	23.13.3 章
オフセットトリガ出力機能	23.13.4 章
A/D 変換トリガ出力機能タイプ 1	23.13.5 章
三角波 PWM 出力機能	23.13.6 章
デッドタイム付き三角波 PWM 出力機能	23.13.7 章
A/D 変換トリガ出力機能タイプ 2	23.13.8 章
割り込み要求信号間引き機能	23.13.9 章
連動非相補方式変調出力機能と連動相補方式変調出力機能	23.14 章
非相補方式変調出力機能タイプ 1	23.14.1 章
非相補方式変調出力機能タイプ 2	23.14.2 章
相補方式変調出力機能	23.14.3 章

23.2.4 入出力と割り込み要求信号

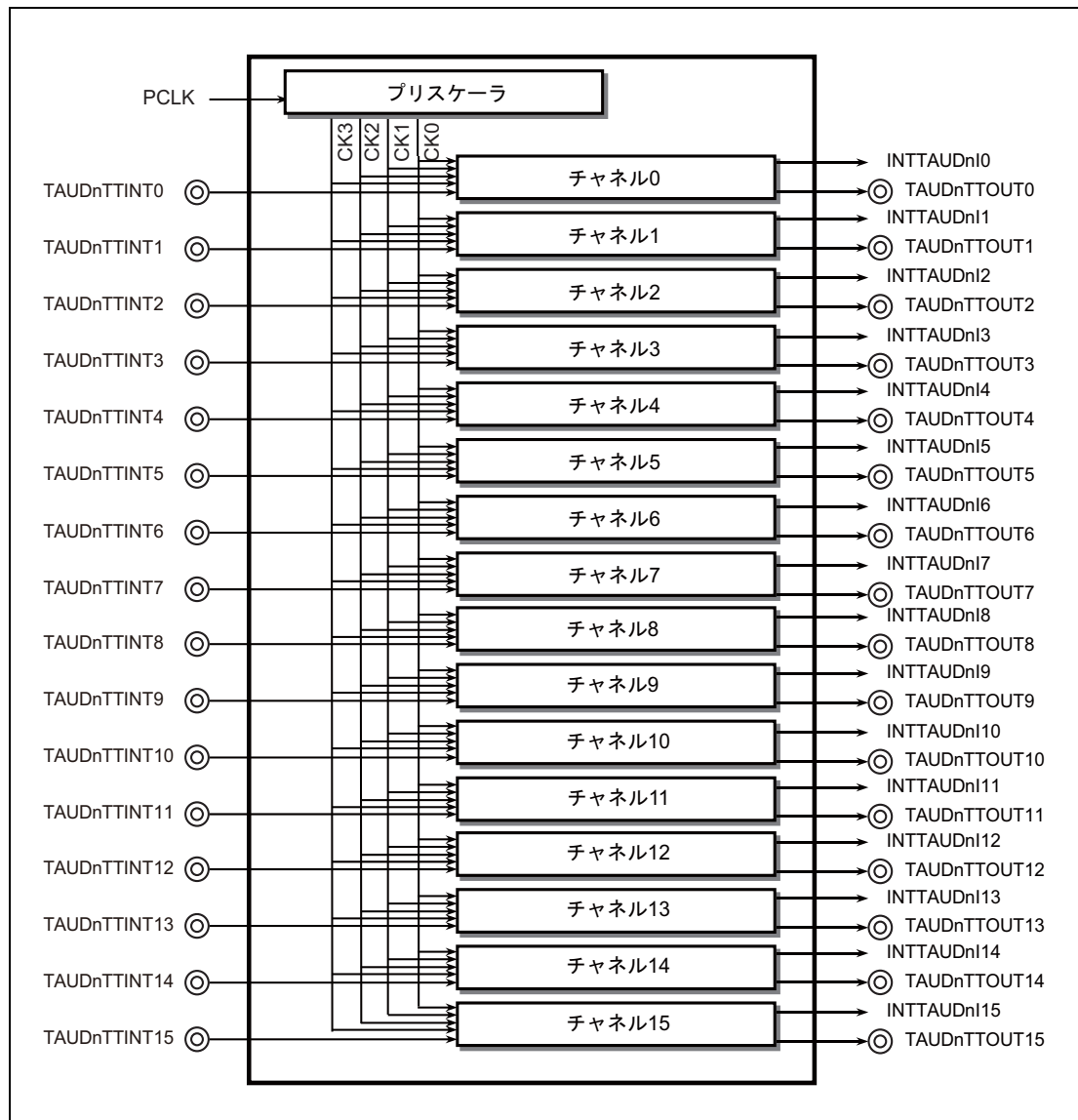


図 23.1 TAUD 入出力と割り込み要求信号

23.2.5 ブロック図

TAUD の主な構成要素を図 23.2 に示します。

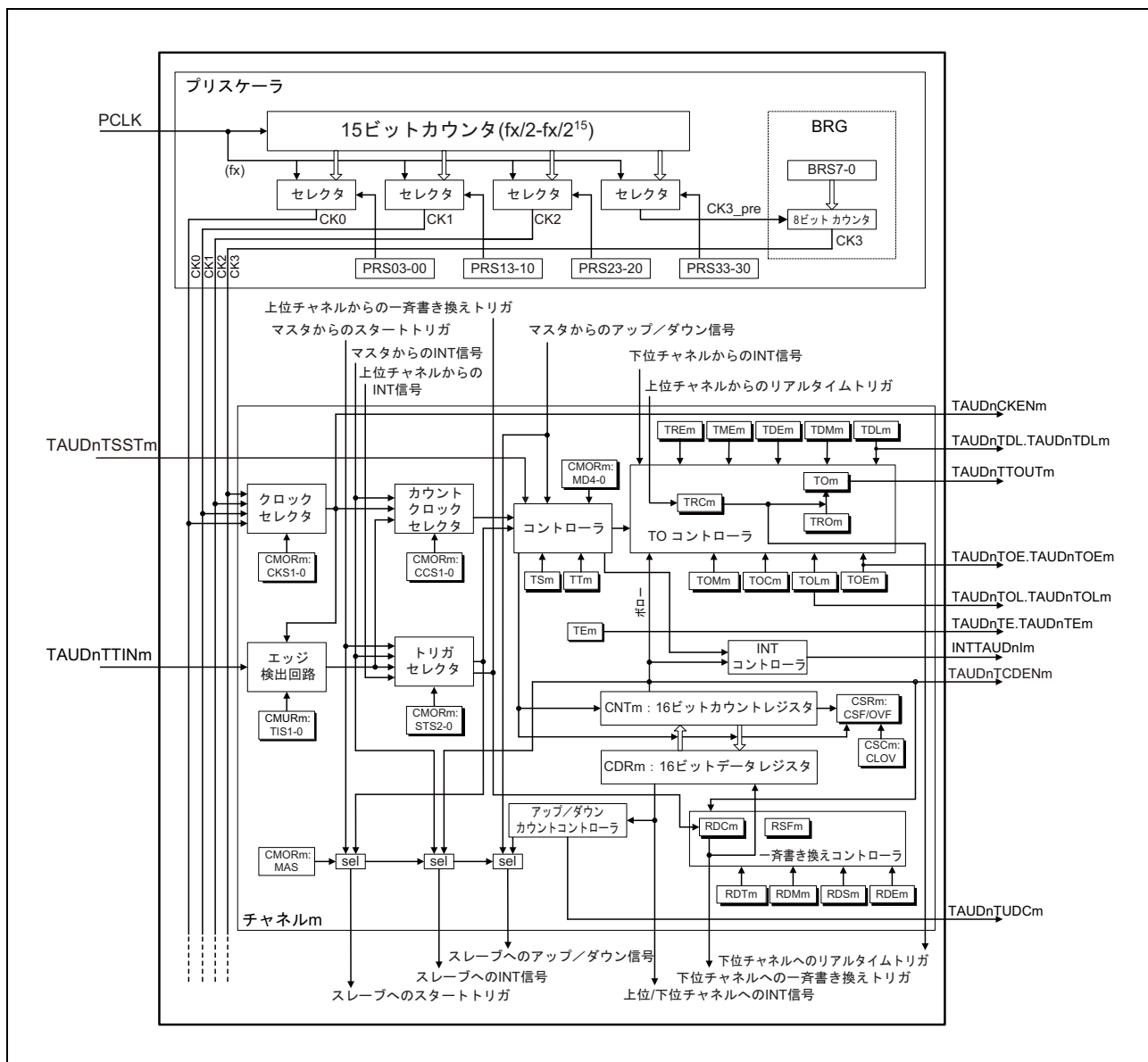


図 23.2 TAUD のブロック図

モジュール名の「TAUDn」は、図を見やすくするために省略されています。

23.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャンネルのカウントクロックとして使用することができる最大4つのクロック信号 (CK0 ~ CK3) を供給します。

カウントクロック CK0 ~ CK2 は、プリスケーラにより PCLK の $2^0 \sim 2^{15}$ の分周したクロックを選択することができます。4つ目のカウントクロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクトは、各チャンネルに対してクロックソースを次から選択します。

- CK0 ~ CK3 のいずれかのクロック (クロックセレクトにより選択)
- マスタチャンネルからの INTTAUDnIm
- TAUDnTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUDnCMORm.TAUDnMD[4:0] ビットにより選択)
- カウント開始許可 (TAUDnTS.TAUDnTSm) およびカウント停止 (TAUDnTT.TAUDnTTm)

カウントの開始を許可すると、ステータスフラグ TAUDnTE.TAUDnTEm がセットされます。

- カウント方式 (アップ/ダウン) (マスタチャンネルにより制御可能)

トリガセレクト

選択した動作モードにより、カウンタは、動作が許可されている場合 (TAUDnTE.TAUDnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャンネル連動スタートトリガ入力 TAUDnTSSm
- マスタ、または上位チャンネルからの INTTAUDnIm
- マスタチャンネルのアップ/ダウン出力トリガ信号
- TAUDnTTOUTm 生成ユニットのデッドタイム出力信号
- TAUDnTTINm 入力の有効エッジ

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUDnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUDnTO コントローラ

各チャンネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出 force できます。

23.3 レジスタ

23.3.1 レジスタ一覧

TAUDn のレジスタ一覧を以下の表に示します。

<TAUDn_base> は「23.1.2 レジスタベースアドレス」を参照してください。

表 23.10 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAUDn プリスケアラレジスタ			
TAUDn	TAUDn プリスケアラクロック選択レジスタ	TAUDnTPS	<TAUDn_base> + 240 _H
TAUDn	TAUDn プリスケアラポーレート設定レジスタ	TAUDnBRS	<TAUDn_base> + 244 _H
TAUDn 制御レジスタ			
TAUDn	TAUDn チャンネルデータレジスタ m	TAUDnCDRm	<TAUDn_base> + m × 4 _H
TAUDn	TAUDn チャンネルカウンタレジスタ m	TAUDnCNTm	<TAUDn_base> + 80 _H + m × 4 _H
TAUDn	TAUDn チャンネルモード OS レジスタ m	TAUDnCMORm	<TAUDn_base> + 200 _H + m × 4 _H
TAUDn	TAUDn チャンネルモードユーザレジスタ m	TAUDnCMURm	<TAUDn_base> + C0 _H + m × 4 _H
TAUDn	TAUDn チャンネルステータスレジスタ m	TAUDnCSRm	<TAUDn_base> + 140 _H + m × 4 _H
TAUDn	TAUDn チャンネルステータスクリアレジスタ m	TAUDnCSCm	<TAUDn_base> + 180 _H + m × 4 _H
TAUDn	TAUDn チャンネルスタートトリガレジスタ	TAUDnTS	<TAUDn_base> + 1C4 _H
TAUDn	TAUDn チャンネル許可ステータスレジスタ	TAUDnTE	<TAUDn_base> + 1C0 _H
TAUDn	TAUDn チャンネルストップトリガレジスタ	TAUDnTT	<TAUDn_base> + 1C8 _H
TAUDn 出力レジスタ			
TAUDn	TAUDn チャンネル出力許可レジスタ	TAUDnTOE	<TAUDn_base> + 5C _H
TAUDn	TAUDn チャンネル出力レジスタ	TAUDnTO	<TAUDn_base> + 58 _H
TAUDn	TAUDn チャンネル出力モードレジスタ	TAUDnTOM	<TAUDn_base> + 248 _H
TAUDn	TAUDn チャンネル出力コンフィグレーションレジスタ	TAUDnTOC	<TAUDn_base> + 24C _H
TAUDn	TAUDn チャンネル出力アクティブレベルレジスタ	TAUDnTOL	<TAUDn_base> + 040 _H
TAUDn	TAUDn チャンネルデッドタイム出力許可レジスタ	TAUDnTDE	<TAUDn_base> + 250 _H
TAUDn	TAUDn チャンネルデッドタイム出力モードレジスタ	TAUDnTDM	<TAUDn_base> + 254 _H
TAUDn	TAUDn チャンネルデッドタイム出力レベルレジスタ	TAUDnTDL	<TAUDn_base> + 54 _H
TAUDn	TAUDn チャンネルリアルタイム出力レジスタ	TAUDnTRO	<TAUDn_base> + 4C _H
TAUDn	TAUDn チャンネルリアルタイム出力許可レジスタ	TAUDnTRE	<TAUDn_base> + 258 _H
TAUDn	TAUDn チャンネルリアルタイム出力制御レジスタ	TAUDnTRC	<TAUDn_base> + 25C _H
TAUDn	TAUDn チャンネル変調出力許可レジスタ	TAUDnTME	<TAUDn_base> + 50 _H
TAUDn リロードデータレジスタ			
TAUDn	TAUDn チャンネルリロードデータ許可レジスタ	TAUDnRDE	<TAUDn_base> + 260 _H
TAUDn	TAUDn チャンネルリロードデータモードレジスタ	TAUDnRDM	<TAUDn_base> + 264 _H
TAUDn	TAUDn チャンネルリロードデータ制御 CH 選択レジスタ	TAUDnRDS	<TAUDn_base> + 268 _H
TAUDn	TAUDn チャンネルリロードデータ制御レジスタ	TAUDnRDC	<TAUDn_base> + 26C _H
TAUDn	TAUDn チャンネルリロードデータトリガレジスタ	TAUDnRDT	<TAUDn_base> + 44 _H
TAUDn	TAUDn チャンネルリロードステータスレジスタ	TAUDnRSF	<TAUDn_base> + 48 _H

23.3.2 TAUDn プリスケーラレジスタの詳細

23.3.2.1 TAUDnTPS — TAUDn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUDnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。ただし、ライトするときは TAUDnTE.TAUDnTEm = 0 のときに行ってください。

アドレス <TAUDn_base> + 240_H

リセット後の値 FFFF_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnPRS3[3:0]				TAUDnPRS2[3:0]				TAUDnPRS1[3:0]				TAUDnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.11 TAUDnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15 ~ 12	TAUDnPRS3 [3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャンネルに CK3 動作クロックを供給します。																																		
		<table border="1"> <thead> <tr> <th>TAUDnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUDnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。																																		

表 23.11 TAUDnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11 ~ 8	TAUDnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
7 ~ 4	TAUDnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUDnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 23.11 TAUDnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3 ~ 0	TAUDnPRS0 [3:0]	CK0 クロックを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TAUDnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUDnTE.TAUDnTEm = 0) 場合のみ書き換え可能です。</p>	TAUDnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUDnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

備 考

TAUDn クロック入力 PCLK については、この章の最初の節内「**23.1.3 クロック供給**」で定義しています。

23.3.2.2 TAUDnBRS — TAUDn プリスケーラポーレート設定レジスタ

プリスケーラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUDnTPS.TAUDnPRS3[3:0] で指定します。

アクセス 8ビット単位でリード/ライト可能です。ただし、ライトするときは TAUDnTE.TAUDnTEm = 0 のときに行ってください。

アドレス <TAUDn_base> + 244_H

リセット後の値 00_H どのリセット要因でも初期化されます。

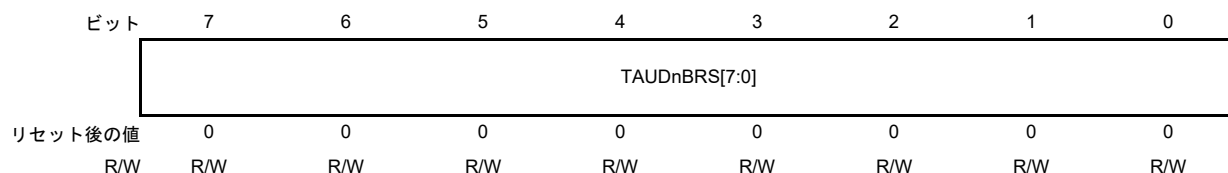


表 23.12 TAUDnBRS レジスタの内容

ビット位置	ビット名	機能																
7 ~ 0	TAUDnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUDnBRS[7:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE / 1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE / 2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE / 3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE / 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE / 255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE / 256</td> </tr> </tbody> </table>	TAUDnBRS[7:0]	CK3 クロック	0000 0000 _B	CK3_PRE / 1	0000 0001 _B	CK3_PRE / 2	0000 0010 _B	CK3_PRE / 3	0000 0011 _B	CK3_PRE / 4	1111 1110 _B	CK3_PRE / 255	1111 1111 _B	CK3_PRE / 256
TAUDnBRS[7:0]	CK3 クロック																	
0000 0000 _B	CK3_PRE / 1																	
0000 0001 _B	CK3_PRE / 2																	
0000 0010 _B	CK3_PRE / 3																	
0000 0011 _B	CK3_PRE / 4																	
...	...																	
1111 1110 _B	CK3_PRE / 255																	
1111 1111 _B	CK3_PRE / 256																	

23.3.3 TAUDn 制御レジスタの詳細

23.3.3.1 TAUDnCDRm — TAUDn チャネルデータレジスタ

このレジスタは、TAUDnCMORm.TAUDnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 16ビット単位でリード/ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <TAUDn_base> + m × 4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.13 TAUDnCDRm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnCDR [15:0]	キャプチャ値/コンペア値用データレジスタ

23.3.3.2 TAUDnCNTm — TAUDn チャネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 16ビット単位でリード可能です。

アドレス <TAUDn_base> + 80_H + m × 4_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.14 TAUDnCNTm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnCNT [15:0]	16ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUDnTS.TAUDnTSM、TAUDnTT.TAUDnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUDnTT.TAUDnTTm = 1)

カウント停止後 (TAUDnTE.TAUDnTEm = 0) と再許可後 (TAUDnTS.TAUDnTSm = 1) のカウンタの初期リード値を表 23.15 に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUDnTS.TAUDnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 23.15 カウント再許可後の TAUDnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUDnCNTm 値		
		スタート値 注1	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF _H	停止値	—
ジャッジモード	ダウンカウント	FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 _H	停止値	—
イベントカウントモード	ダウンカウント	FFFF _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF _H	停止値	停止値
キャプチャ&ワンカウントモード	アップカウント	0000 _H	停止値	キャプチャ値 + 1 (TAUDnCDRm)
ジャッジ&ワンカウントモード	ダウンカウント	FFFF _H	停止値	TAUDnCNTm 値 - 1
アップ/ダウンカウントモード	アップ/ダウンカ ウント	FFFF _H	停止値	—
パルスワンカウントモード	ダウンカウント	FFFF _H	停止値	0000 _H
カウントキャプチャモード	アップカウント	0000 _H	停止値	—
キャプチャ&ゲート カウントモード	アップカウント	0000 _H	停止値	停止値

注 1. リセット解除後、動作モードを変更した際に TAUDnCNTm にセットされる値

23.3.3.3 TAUDnCMORm — TAUDn チャネルモード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能です。ただし、ライトするときは TAUDnTE.TAUDnTEm = 0 のときに行ってください。

アドレス <TAUDn_base> + 200_H + $m \times 4$ _H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]	TAUDnCCS [1:0]	TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]	—	TAUDnMD[4:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.16 TAUDnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能															
15、14	TAUDnCKS [1:0]	<p>動作クロックを選択します。動作クロックは、以下の2つの動作に使用されません。</p> <ul style="list-style-type: none"> TAUDnTTINm 入力エッジ検出回路で使用 TAUDnCMORm.TAUDnCCS[1:0] ビットの設定により、TAUDnCNTm のカウントクロックとして使用 <table border="1"> <thead> <tr> <th>TAUDn CKS1</th> <th>TAUDn CKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUDn CKS1	TAUDn CKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUDn CKS1	TAUDn CKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13、12	TAUDnCCS [1:0]	<p>TAUDnCNTm カウンタのカウントクロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUDn CCS1</th> <th>TAUDn CCS0</th> <th>カウントクロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td>TAUDnTTINm 入力信号の有効エッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>マスタチャンネルの INTTAUDnIm 信号</td> </tr> </tbody> </table>	TAUDn CCS1	TAUDn CCS0	カウントクロック選択	0	0	TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック	0	1	TAUDnTTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	マスタチャンネルの INTTAUDnIm 信号
TAUDn CCS1	TAUDn CCS0	カウントクロック選択															
0	0	TAUDnCMORm.TAUDnCKS[1:0] で指定した動作クロック															
0	1	TAUDnTTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1	マスタチャンネルの INTTAUDnIm 信号															
11	TAUDnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタチャンネルかスレーブチャンネルかを指定します。</p> <p>0: スレーブ 1: マスタ</p> <p>このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、“0” に固定されています。</p>															

表 23.16 TAUDnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能																																				
10 ~ 8	TAUDnSTS [2:0]	<p>外部スタートトリガを選択します。</p> <table border="1"> <thead> <tr> <th>TAUDn STS2</th> <th>TAUDn STS1</th> <th>TAUDn STS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ソフトウェアトリガ</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>TAUDnTTINm 入力信号の有効エッジ。有効エッジは TAUDnCMURm.TAUDnTIS[1:0] で指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>TAUDnTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>一斉書き換えトリガ</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>マスタチャンネルの INT</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>マスタ設定にかかわらず、上位チャンネル (m-1) の INT</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>TAUDnTTOUtm 出力における TO コントローラのデッドタイム出力信号</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>マスタチャンネルのアップ/ダウン出力トリガ信号</td> </tr> </tbody> </table>	TAUDn STS2	TAUDn STS1	TAUDn STS0	機能説明	0	0	0	ソフトウェアトリガ	0	0	1	TAUDnTTINm 入力信号の有効エッジ。有効エッジは TAUDnCMURm.TAUDnTIS[1:0] で指定	0	1	0	TAUDnTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用	0	1	1	一斉書き換えトリガ	1	0	0	マスタチャンネルの INT	1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INT	1	1	0	TAUDnTTOUtm 出力における TO コントローラのデッドタイム出力信号	1	1	1	マスタチャンネルのアップ/ダウン出力トリガ信号
TAUDn STS2	TAUDn STS1	TAUDn STS0	機能説明																																			
0	0	0	ソフトウェアトリガ																																			
0	0	1	TAUDnTTINm 入力信号の有効エッジ。有効エッジは TAUDnCMURm.TAUDnTIS[1:0] で指定																																			
0	1	0	TAUDnTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用																																			
0	1	1	一斉書き換えトリガ																																			
1	0	0	マスタチャンネルの INT																																			
1	0	1	マスタ設定にかかわらず、上位チャンネル (m-1) の INT																																			
1	1	0	TAUDnTTOUtm 出力における TO コントローラのデッドタイム出力信号																																			
1	1	1	マスタチャンネルのアップ/ダウン出力トリガ信号																																			
7、6	TAUDnCOS [1:0]	<p>チャンネル m のキャプチャレジスタ TAUDnCDRm とオーバフローフラグ TAUDnCSRm.TAUDnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ機能 (キャプチャモード、キャプチャ & ワンカウントモード) のときにのみ有効です。</p> <ul style="list-style-type: none"> キャプチャモード キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード カウントキャプチャモード <table border="1"> <thead> <tr> <th>TAUDn COS1</th> <th>TAUDn COS0</th> <th>TAUDnCDRm</th> <th>TAUDnCSRm.TAUDnOVF</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUDnTTINm 入力有効エッジを検出すると更新</td> <td> TAUDnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUDnCSRm.TAUDnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUDnCSRm.TAUDnOVF をクリア </td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td>カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア</td> </tr> <tr> <td>1</td> <td>0</td> <td>TAUDnTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新</td> <td>非動作</td> </tr> <tr> <td>1</td> <td>1</td> <td> <ul style="list-style-type: none"> TAUDnTTINm 入力有効エッジ検出: カウンタ値が TAUDnCDRm に書き込まれる オーバフロー発生: FFFF_H が TAUDnCDRm にロードされる。次の TAUDnTTINm 入力有効エッジ検出は無視される。 </td> <td>カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア</td> </tr> </tbody> </table>	TAUDn COS1	TAUDn COS0	TAUDnCDRm	TAUDnCSRm.TAUDnOVF	0	0	TAUDnTTINm 入力有効エッジを検出すると更新	TAUDnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUDnCSRm.TAUDnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUDnCSRm.TAUDnOVF をクリア 	0	1		カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア	1	0	TAUDnTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新	非動作	1	1	<ul style="list-style-type: none"> TAUDnTTINm 入力有効エッジ検出: カウンタ値が TAUDnCDRm に書き込まれる オーバフロー発生: FFFF_H が TAUDnCDRm にロードされる。次の TAUDnTTINm 入力有効エッジ検出は無視される。 	カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア																
TAUDn COS1	TAUDn COS0	TAUDnCDRm	TAUDnCSRm.TAUDnOVF																																			
0	0	TAUDnTTINm 入力有効エッジを検出すると更新	TAUDnTTINm 入力有効エッジを検出すると更新 (クリアまたはセット) <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUDnCSRm.TAUDnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUDnCSRm.TAUDnOVF をクリア 																																			
0	1		カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア																																			
1	0	TAUDnTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新	非動作																																			
1	1	<ul style="list-style-type: none"> TAUDnTTINm 入力有効エッジ検出: カウンタ値が TAUDnCDRm に書き込まれる オーバフロー発生: FFFF_H が TAUDnCDRm にロードされる。次の TAUDnTTINm 入力有効エッジ検出は無視される。 	カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV = 1 に設定することでクリア																																			
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																				

表 23.16 TAUDnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能																																																																																										
4 ~ 0	TAUDnMD [4:0]	動作モードを指定します。																																																																																										
		<table border="1"> <thead> <tr> <th>TAUDn MD4</th> <th>TAUDn MD3</th> <th>TAUDn MD2</th> <th>TAUDn MD1</th> <th>TAUDn MD0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1/0</td> <td>インターバルタイマモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1/0</td> <td>ジャッジモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1/0</td> <td>キャプチャモード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>イベントカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1/0</td> <td>ワンカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1/0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>キャプチャ&ワンカウントモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1/0</td> <td>ジャッジ&ワンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>アップ/ダウンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1/0</td> <td>パルスワンカウントモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1/0</td> <td>カウントキャプチャモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>キャプチャ&ゲートカウントモード</td> </tr> </tbody> </table>	TAUDn MD4	TAUDn MD3	TAUDn MD2	TAUDn MD1	TAUDn MD0	機能説明	0	0	0	0	1/0	インターバルタイマモード	0	0	0	1	1/0	ジャッジモード	0	0	1	0	1/0	キャプチャモード	0	0	1	1	0	イベントカウントモード	0	1	0	0	1/0	ワンカウントモード	0	1	0	1	1/0	設定禁止	0	1	1	0	0	キャプチャ&ワンカウントモード	0	1	1	1	1/0	ジャッジ&ワンカウントモード	1	0	0	0	0	設定禁止	1	0	0	1	0	アップ/ダウンカウントモード	1	0	1	0	1/0	パルスワンカウントモード	1	0	1	1	1/0	カウントキャプチャモード	1	1	0	0	0	設定禁止	1	1	0	1	0	キャプチャ&ゲートカウントモード
TAUDn MD4	TAUDn MD3	TAUDn MD2	TAUDn MD1	TAUDn MD0	機能説明																																																																																							
0	0	0	0	1/0	インターバルタイマモード																																																																																							
0	0	0	1	1/0	ジャッジモード																																																																																							
0	0	1	0	1/0	キャプチャモード																																																																																							
0	0	1	1	0	イベントカウントモード																																																																																							
0	1	0	0	1/0	ワンカウントモード																																																																																							
0	1	0	1	1/0	設定禁止																																																																																							
0	1	1	0	0	キャプチャ&ワンカウントモード																																																																																							
0	1	1	1	1/0	ジャッジ&ワンカウントモード																																																																																							
1	0	0	0	0	設定禁止																																																																																							
1	0	0	1	0	アップ/ダウンカウントモード																																																																																							
1	0	1	0	1/0	パルスワンカウントモード																																																																																							
1	0	1	1	1/0	カウントキャプチャモード																																																																																							
1	1	0	0	0	設定禁止																																																																																							
1	1	0	1	0	キャプチャ&ゲートカウントモード																																																																																							
		<table border="1"> <thead> <tr> <th>モード</th> <th>TAUDnMD0 ビットの役割</th> </tr> </thead> <tbody> <tr> <td>インターバルタイマモード キャプチャモード カウントキャプチャモード</td> <td>カウント動作開始時 (スタートトリガ入力時) に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する</td> </tr> <tr> <td>イベントカウントモード アップ/ダウンカウントモード</td> <td>このビットは "0" に設定してください。 0 : INTTAUDnIm 発生禁止</td> </tr> <tr> <td>ワンカウントモード パルスワンカウントモード</td> <td>カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可 注意 <ul style="list-style-type: none"> ワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力しません パルスワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力します。 </td> </tr> <tr> <td>キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード</td> <td>このビットは "0" に設定してください。 注意 カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。 </td> </tr> <tr> <td>ジャッジモード ジャッジ&ワンカウントモード</td> <td>INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時</td> </tr> </tbody> </table>	モード	TAUDnMD0 ビットの役割	インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時 (スタートトリガ入力時) に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する	イベントカウントモード アップ/ダウンカウントモード	このビットは "0" に設定してください。 0 : INTTAUDnIm 発生禁止	ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可 注意 <ul style="list-style-type: none"> ワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力しません パルスワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力します。 	キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは "0" に設定してください。 注意 カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。	ジャッジモード ジャッジ&ワンカウントモード	INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時																																																																														
モード	TAUDnMD0 ビットの役割																																																																																											
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時 (スタートトリガ入力時) に、INTTAUDnIm 信号を出力するかどうかを指定します。 0 : INTTAUDnIm を出力しない 1 : INTTAUDnIm を出力する																																																																																											
イベントカウントモード アップ/ダウンカウントモード	このビットは "0" に設定してください。 0 : INTTAUDnIm 発生禁止																																																																																											
ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可/禁止します。 0 : 禁止 1 : 許可 注意 <ul style="list-style-type: none"> ワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力しません パルスワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力します。 																																																																																											
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは "0" に設定してください。 注意 カウント動作開始時に INTTAUDnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。																																																																																											
ジャッジモード ジャッジ&ワンカウントモード	INTTAUDnIm の出力タイミングを指定します。 0 : TAUDnCNTm ≤ TAUDnCDRm 時 1 : TAUDnCNTm > TAUDnCDRm 時																																																																																											

23.3.3.4 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ

このレジスタは、TAUDnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + C0_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.17 TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能															
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
1, 0	TAUDnTIS [1:0]	TAUDnTTINm 入力信号の有効エッジを指定します。 <table border="1" data-bbox="667 869 1406 1182"> <thead> <tr> <th>TAUDnTIS1</th> <th>TAUDnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がりエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ </td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がりエッジ </td> </tr> </tbody> </table> <p>TAUDnTTINm 入力信号のエッジ検出は、TAUDnCMORm.TAUDnCKS[1:0] で選択した動作クロックに基づいて行われます。</p>	TAUDnTIS1	TAUDnTIS0	機能説明	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がりエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ 	1	1	両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がりエッジ
TAUDnTIS1	TAUDnTIS0	機能説明															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	両エッジ検出 (ロウレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち下がりエッジ ストップトリガ (キャプチャ): 立ち上がりエッジ 															
1	1	両エッジ検出 (ハイレベル幅測定選択) <ul style="list-style-type: none"> スタートトリガ: 立ち上がりエッジ ストップトリガ (キャプチャ): 立ち下がりエッジ 															

23.3.3.5 TAUDnCSRm — TAUDn チャネルステータスレジスタ

このレジスタは、チャンネル m のカウンタの アップ/ダウンとオーバフロー状態を示します。

アクセス 8ビット単位でリード可能です。

アドレス <TAUDn_base> + 140_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnCSF	TAUDnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 23.18 TAUDnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	TAUDnCSF	カウント方向を示します。 0: アップカウント 1: ダウンカウント このビットのリード値は、アップ/ダウンカウントモード時にのみ有効となります。他のモード時は、不定値がリードされます。
0	TAUDnOVF	カウンタオーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 <ul style="list-style-type: none"> キャプチャモード キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUDnCMORm.TAUDnCOS[1:0] の設定により異なります。上記以外のモード時は、不定値がリードされます。

23.3.3.6 TAUDnCSCm — TAUDn チャネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバフローフラグ TAUDnCSRm.TAUDnOVF をクリアするためのトリガレジスタです。

アクセス 8ビット単位でライト可能です。リード値は常に00_Hです。

アドレス <TAUDn_base> + 180_H + $m \times 4$ _H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUDnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 23.19 TAUDnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAUDnCLOV	チャンネル m のオーバフローフラグをクリアします。“1”をライトするとオーバフローフラグ TAUDnCSRm.TAUDnOVF がクリアされます。“0”をライトしても無視されます。

23.3.3.7 TAUDnTS — TAUDn チャネルスタートトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 16ビット単位でライト可能です。リード値は常に0000_Hです。

アドレス <TAUDn_base> + 1C4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTS15	TAUDnTS14	TAUDnTS13	TAUDnTS12	TAUDnTS11	TAUDnTS10	TAUDnTS09	TAUDnTS08	TAUDnTS07	TAUDnTS06	TAUDnTS05	TAUDnTS04	TAUDnTS03	TAUDnTS02	TAUDnTS01	TAUDnTS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 23.20 TAUDnTS レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTSm	チャンネル m のカウンタ動作を許可します。“1”をライトするとカウンタ動作を許可し、TAUDnTE.TAUDnTE _m = 1 にセットされます。“0”をライトしても無視されます。

23.3.3.8 TAUDnTE — TAUDn チャンネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可/禁止状態を示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUDn_base> + 1C0_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TE15	TAUDn TE14	TAUDn TE13	TAUDn TE12	TAUDn TE11	TAUDn TE10	TAUDn TE09	TAUDn TE08	TAUDn TE07	TAUDn TE06	TAUDn TE05	TAUDn TE04	TAUDn TE03	TAUDn TE02	TAUDn TE01	TAUDn TE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.21 TAUDnTE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTE _m	チャンネル m のカウンタ動作の許可/禁止状態を示します。 0 : カウンタ動作禁止 1 : カウンタ動作許可 TAUDnTSST _m (チャンネル連動スタートトリガ信号) のトリガ入力を検知するか、TAUDnTS.TAUDnTSM を “1” に設定すると、このビットが “1” に設定されます。TAUDnTT.TAUDnTT _m を “1” に設定すると、このビットが “0” にリセットされません。

23.3.3.9 TAUDnTT — TAUDn チャンネルストップトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を停止します。

アクセス 16ビット単位でライト可能です。リード値は常に 0000_H です。

アドレス <TAUDn_base> + 1C8_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TT15	TAUDn TT14	TAUDn TT13	TAUDn TT12	TAUDn TT11	TAUDn TT10	TAUDn TT09	TAUDn TT08	TAUDn TT07	TAUDn TT06	TAUDn TT05	TAUDn TT04	TAUDn TT03	TAUDn TT02	TAUDn TT01	TAUDn TT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 23.22 TAUDnTT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTT _m	チャンネル m のカウンタ動作を停止します。 “1” をライトするとカウンタ動作を停止し、TAUDnTE.TAUDnTE _m がクリアされます。“0” をライトしても無視されます。 TAUDnCNT _m 、TAUDnTO.TAUDnTO _m 、TAUDnTTOU _m は、カウント停止前の値を保持します。

23.3.4 TAUDn 一斉書き換えレジスタの詳細

23.3.4.1 TAUDnRDE — TAUDn チャンネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUDnCDRm/TAUDnTOLm の一斉書き換えを許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 260_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDE15	TAUDnRDE14	TAUDnRDE13	TAUDnRDE12	TAUDnRDE11	TAUDnRDE10	TAUDnRDE09	TAUDnRDE08	TAUDnRDE07	TAUDnRDE06	TAUDnRDE05	TAUDnRDE04	TAUDnRDE03	TAUDnRDE02	TAUDnRDE01	TAUDnRDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.23 TAUDnRDE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDEm	チャンネル m のデータレジスタの一斉書き換えを許可/禁止します。 0 : 一斉書き換え禁止 (自チャンネルの一致検出でロード) 1 : 一斉書き換え許可

23.3.4.2 TAUDnRDS — TAUDn チャンネルリロードデータ制御チャンネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャンネルを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 268_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDS15	TAUDnRDS14	TAUDnRDS13	TAUDnRDS12	TAUDnRDS11	TAUDnRDS10	TAUDnRDS09	TAUDnRDS08	TAUDnRDS07	TAUDnRDS06	TAUDnRDS05	TAUDnRDS04	TAUDnRDS03	TAUDnRDS02	TAUDnRDS01	TAUDnRDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.24 TAUDnRDS レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDSm	一斉書き換えトリガを制御するチャンネルを選択します。 0 : マスタチャンネル 1 : 別の上位チャンネル (TAUDnRDE.TAUDnRDEm=1 のチャンネル)

23.3.4.3 TAUDnRDM — TAUDn チャンネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 264_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDM15	TAUDnRDM14	TAUDnRDM13	TAUDnRDM12	TAUDnRDM11	TAUDnRDM10	TAUDnRDM09	TAUDnRDM08	TAUDnRDM07	TAUDnRDM06	TAUDnRDM05	TAUDnRDM04	TAUDnRDM03	TAUDnRDM02	TAUDnRDM01	TAUDnRDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.25 TAUDnRDM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0 : マスタチャンネルのカウンタがカウントを開始したタイミング 1 : 三角波周期の山に達したタイミング これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、 TAUDnRDS.TAUDnRDSm = 0 時のみ適用されます。

23.3.4.4 TAUDnRDC — TAUDn チャンネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUDnIm 信号を生成するチャンネルを指定します。

アクセス 16ビット単位でリード/ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 26C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDC15	TAUDnRDC14	TAUDnRDC13	TAUDnRDC12	TAUDnRDC11	TAUDnRDC10	TAUDnRDC09	TAUDnRDC08	TAUDnRDC07	TAUDnRDC06	TAUDnRDC05	TAUDnRDC04	TAUDnRDC03	TAUDnRDC02	TAUDnRDC01	TAUDnRDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.26 TAUDnRDC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDCm	チャンネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0 : 一斉書き換えトリガチャンネルとならない。 1 : 一斉書き換えトリガチャンネルとして動作する。 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1、 TAUDnRDS.TAUDnRDSm = 1 時のみ適用されます。

23.3.4.5 TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 16ビット単位でライト可能です。リード値は常に0000_Hです。

アドレス <TAUDn_base> + 044_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRDT15	TAUDnRDT14	TAUDnRDT13	TAUDnRDT12	TAUDnRDT11	TAUDnRDT10	TAUDnRDT09	TAUDnRDT08	TAUDnRDT07	TAUDnRDT06	TAUDnRDT05	TAUDnRDT04	TAUDnRDT03	TAUDnRDT02	TAUDnRDT01	TAUDnRDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 23.27 TAUDnRDT レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRDTm	一斉書き換え許可状態をトリガします。 0: 機能なし 1: 一斉書き換え許可フラグ (TAUDnRSFm) を“1”とし、一斉書き換えトリガ待ち状態となります。 これらのビット設定は TAUDnRDE.TAUDnRDEm = 1 時のみ適用されます。

23.3.4.6 TAUDnRSF — TAUDn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 16ビット単位でリード可能です。

アドレス <TAUDn_base> + 048_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnRSF15	TAUDnRSF14	TAUDnRSF13	TAUDnRSF12	TAUDnRSF11	TAUDnRSF10	TAUDnRSF09	TAUDnRSF08	TAUDnRSF07	TAUDnRSF06	TAUDnRSF05	TAUDnRSF04	TAUDnRSF03	TAUDnRSF02	TAUDnRSF01	TAUDnRSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.28 TAUDnRSF レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生によって、一斉書き換えが完了したことを示します。 1: 一斉書き換え許可状態 (TAUDnRDTm = 1) で、一斉書き換へのトリガ待ちを示します。

23.3.5 TAUDn 出力レジスタの詳細

23.3.5.1 TAUDnTOE — TAUDn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 5C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOE15	TAUDn TOE14	TAUDn TOE13	TAUDn TOE12	TAUDn TOE11	TAUDn TOE10	TAUDn TOE09	TAUDn TOE08	TAUDn TOE07	TAUDn TOE06	TAUDn TOE05	TAUDn TOE04	TAUDn TOE03	TAUDn TOE02	TAUDn TOE01	TAUDn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.29 TAUDnTOE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOEm	チャネル単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 (ソフトウェア制御) 1: タイマ単体出力機能を許可

23.3.5.2 TAUDnTO — TAUDn チャネル出力レジスタ

このレジスタは、TAUDnTTOUTm レベルを指定およびリードします。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 58_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TO15	TAUDn TO14	TAUDn TO13	TAUDn TO12	TAUDn TO11	TAUDn TO10	TAUDn TO09	TAUDn TO08	TAUDn TO07	TAUDn TO06	TAUDn TO05	TAUDn TO04	TAUDn TO03	TAUDn TO02	TAUDn TO01	TAUDn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.30 TAUDnTO レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOm	このレジスタは、TAUDnTTOUTm レベルを指定およびリードします。 0: ロウレベル 1: ハイレベル このビットの設定は、TAUDnTOE.TAUDnTOEm=0 のときにライトできます。

23.3.5.3 TAUDnTOM — TAUDn チャンネル出力モードレジスタ

このレジスタは、各チャンネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 248_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOM15	TAUDn TOM14	TAUDn TOM13	TAUDn TOM12	TAUDn TOM11	TAUDn TOM10	TAUDn TOM09	TAUDn TOM08	TAUDn TOM07	TAUDn TOM06	TAUDn TOM05	TAUDn TOM04	TAUDn TOM03	TAUDn TOM02	TAUDn TOM01	TAUDn TOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.31 TAUDnTOM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOMm	出力モードを指定します。 0 : チャンネル単体動作 1 : チャンネル連動動作

23.3.5.4 TAUDnTOC — TAUDn チャネル出力コンフィグレーションレジスタ

このレジスタは、TAUDnTOM.TAUDnTOMm とともに各チャネルの出力モードを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 24C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOC15	TAUDn TOC14	TAUDn TOC13	TAUDn TOC12	TAUDn TOC11	TAUDn TOC10	TAUDn TOC09	TAUDn TOC08	TAUDn TOC07	TAUDn TOC06	TAUDn TOC05	TAUDn TOC04	TAUDn TOC03	TAUDn TOC02	TAUDn TOC01	TAUDn TOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.32 TAUDnTOC レジスタの内容

ビット位置	ビット名	機能															
15 ~ 0	TAUDnTOCm	出力モードを指定します。 0: 動作モード 1 1: 動作モード 2 TAUDnTOM.TAUDnTOMm と TAUDnTOC.TAUDnTOCm の設定により TAUDnTOUTm の動作モードを決定します。															
		<table border="1"> <thead> <tr> <th>TOMm</th> <th>TOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トルモード: INTTAUDnIm 発生時にトル動作が行われます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャンネル連動動作モード 1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>1</td> <td>チャンネル連動動作モード 2: <ul style="list-style-type: none"> ダウンカウント時、INTTAUDnIm が発生するとセットされます。 アップカウント時、INTTAUDnIm が発生するとリセットされます。 </td> </tr> </tbody> </table>	TOMm	TOCm	機能説明	0	0	トルモード: INTTAUDnIm 発生時にトル動作が行われます。	0	1	セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。	1	0	チャンネル連動動作モード 1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。	1	1	チャンネル連動動作モード 2: <ul style="list-style-type: none"> ダウンカウント時、INTTAUDnIm が発生するとセットされます。 アップカウント時、INTTAUDnIm が発生するとリセットされます。
TOMm	TOCm	機能説明															
0	0	トルモード: INTTAUDnIm 発生時にトル動作が行われます。															
0	1	セット/リセットモード: カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。															
1	0	チャンネル連動動作モード 1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。															
1	1	チャンネル連動動作モード 2: <ul style="list-style-type: none"> ダウンカウント時、INTTAUDnIm が発生するとセットされます。 アップカウント時、INTTAUDnIm が発生するとリセットされます。 															

23.3.5.5 TAUDnTOL — TAUDn チャネル出力レベルレジスタ

このレジスタは、チャネル出力ビット (TAUDnTO.TAUDnTOm) の出力論理を指定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 040_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTOL15	TAUDnTOL14	TAUDnTOL13	TAUDnTOL12	TAUDnTOL11	TAUDnTOL10	TAUDnTOL09	TAUDnTOL08	TAUDnTOL07	TAUDnTOL06	TAUDnTOL05	TAUDnTOL04	TAUDnTOL03	TAUDnTOL02	TAUDnTOL01	TAUDnTOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.33 TAUDnTOL レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTOLm	チャネル m 出力ビット (TAUDnTO.TAUDnTOm) の出力論理を指定します。 0 : 正論理 (アクティブハイ) 1 : 負論理 (アクティブロウ) このビットの値は、TAUDnTOE.TAUDnTOEm = 1 かつ以下の3つの組み合わせのときに有効になります。 <ul style="list-style-type: none"> • TAUDnTOM.TAUDnTOMm = 0、TAUDnTOC.TAUDnTOCm = 1 • TAUDnTOM.TAUDnTOMm = 1、TAUDnTOC.TAUDnTOCm = 1 • TAUDnTOM.TAUDnTOMm = 1、TAUDnTOC.TAUDnTOCm = 0

23.3.6 TAUDn のデッドタイム出力レジスタの詳細

23.3.6.1 TAUDnTDE — TAUDn チャンネルデッドタイム出力許可レジスタ

このレジスタは、全チャンネルのデッドタイム動作を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 250_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDE15	TAUDnTDE14	TAUDnTDE13	TAUDnTDE12	TAUDnTDE11	TAUDnTDE10	TAUDnTDE09	TAUDnTDE08	TAUDnTDE07	TAUDnTDE06	TAUDnTDE05	TAUDnTDE04	TAUDnTDE03	TAUDnTDE02	TAUDnTDE01	TAUDnTDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.34 TAUDnTDE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDEm	チャンネル m のデッドタイム制御動作を許可/禁止します。 0 : デッドタイム動作禁止 1 : デッドタイム動作許可 対になった偶数/奇数スレーブチャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUDnTOE.TAUDnTOEm = 1、TAUDnTOM.TAUDnTOMm = 1、 TAUDnTOC.TAUDnTOCm = 1

23.3.6.2 TAUDnTDM — TAUDn チャンネルデッドタイム出力モードレジスタ

このレジスタは、デッドタイム出力中にデッドタイムを付加するタイミングを指定します。

アクセス 16ビット単位でリード/ライト可能です。カウンタ停止中 (TAUDnTE.TAUDnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUDn_base> + 254_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTDM15	TAUDnTDM14	TAUDnTDM13	TAUDnTDM12	TAUDnTDM11	TAUDnTDM10	TAUDnTDM09	TAUDnTDM08	TAUDnTDM07	TAUDnTDM06	TAUDnTDM05	TAUDnTDM04	TAUDnTDM03	TAUDnTDM02	TAUDnTDM01	TAUDnTDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.35 TAUDnTDM レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDMm	デッドタイム出力中にデッドタイムを付加するタイミングを指定します。 0 : 上位偶数チャンネルのデューティサイクル検出時 (デューティデッドタイム出力) 1 : 下位奇数チャンネルの TAUDnTTINm 入力エッジ検出時 (1相デッドタイム出力) 対になった偶数/奇数スレーブチャンネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 <ul style="list-style-type: none"> TAUDnTOE.TAUDnTOEm = 1、TAUDnTOM.TAUDnTOMm = 1、 TAUDnTOC.TAUDnTOCm = 1、TAUDnTDE.TAUDnTDEm = 1

23.3.6.3 TAUDnTDL — TAUDn チャネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 54_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TDL15	TAUDn TDL14	TAUDn TDL13	TAUDn TDL12	TAUDn TDL11	TAUDn TDL10	TAUDn TDL09	TAUDn TDL08	TAUDn TDL07	TAUDn TDL06	TAUDn TDL05	TAUDn TDL04	TAUDn TDL03	TAUDn TDL02	TAUDn TDL01	TAUDn TDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.36 TAUDnTDL レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTDLm	デッドタイムを付加する位相を選択します。 0 : 正相 1 : 逆相 これらのビットの設定は、以下の場合에만適用されます。 <ul style="list-style-type: none"> • TAUDnTOE.TAUDnTOEm = 1、TAUDnTOM.TAUDnTOMm = 1、 TAUDnTOC.TAUDnTOCm = 1、TAUDnTDE.TAUDnTDEm = 1

23.3.7 TAUDn のリアルタイム／変調出力レジスタの詳細

23.3.7.1 TAUDnTRE — TAUDn チャンネルリアルタイム出力許可レジスタ

このレジスタは、リアルタイム出力を許可／禁止します。

アクセス 16ビット単位でリード／ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 258_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRE15	TAUDn TRE14	TAUDn TRE13	TAUDn TRE12	TAUDn TRE11	TAUDn TRE10	TAUDn TRE09	TAUDn TRE08	TAUDn TRE07	TAUDn TRE06	TAUDn TRE05	TAUDn TRE04	TAUDn TRE03	TAUDn TRE02	TAUDn TRE01	TAUDn TRE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.37 TAUDnTRE レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTREm	チャンネル m のリアルタイム出力を許可／禁止します。 0 : リアルタイム出力禁止 1 : リアルタイム出力許可 これらのビット設定は TAUDnTOE.TAUDnTOEm = 1 時のみ適用されます。 TAUDnTRE.TAUDnTREm = 0 の場合、TAUDnTTOUm はリアルタイム出力の影響を受けません。 TAUDnTRE.TAUDnTREm = 1 の場合、TAUDnTTOUm はタイマ動作に応じてリアルタイム出力ビット TAUDnTRO.TAUDnTROm の値を出力します。

23.3.7.2 TAUDnTRC — TAUDn チャンネルリアルタイム出力制御レジスタ

このレジスタは、各チャンネルのリアルタイム出力トリガを制御します。

アクセス 16ビット単位でリード／ライト可能です。TAUDnTE.TAUDnTEm = 0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 25C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRC15	TAUDn TRC14	TAUDn TRC13	TAUDn TRC12	TAUDn TRC11	TAUDn TRC10	TAUDn TRC09	TAUDn TRC08	TAUDn TRC07	TAUDn TRC06	TAUDn TRC05	TAUDn TRC04	TAUDn TRC03	TAUDn TRC02	TAUDn TRC01	TAUDn TRC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.38 TAUDnTRC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTRCm	チャンネル m のリアルタイム出力トリガを生成するチャンネルを指定します。 0 : このビットが“1”に設定されている次の上位チャンネル 1 : チャンネル m これらのビット設定は TAUDnTRE.TAUDnTREm = 1 時のみ適用されます。

23.3.7.3 TAUDnTRO — TAUDn チャンネルリアルタイム出力レジスタ

このレジスタには、TAUDnTTOUTm に出力する値を設定します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 04C_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTRO15	TAUDnTRO14	TAUDnTRO13	TAUDnTRO12	TAUDnTRO11	TAUDnTRO10	TAUDnTRO09	TAUDnTRO08	TAUDnTRO07	TAUDnTRO06	TAUDnTRO05	TAUDnTRO04	TAUDnTRO03	TAUDnTRO02	TAUDnTRO01	TAUDnTRO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.39 TAUDnTRO レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTROm	TAUDnTTOUTm に出力する値を設定します。 0 : ロウレベル 1 : ハイレベル TAUDnTRE.TAUDnTREM = 0 のとき、リアルタイム出力トリガが発生しても TAUDnTROm の値は TAUDnTTOUTm には出力されません。

23.3.7.4 TAUDnTME — TAUDn チャンネル変調出力許可レジスタ

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可/禁止します。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TAUDn_base> + 050_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnTME15	TAUDnTME14	TAUDnTME13	TAUDnTME12	TAUDnTME11	TAUDnTME10	TAUDnTME09	TAUDnTME08	TAUDnTME07	TAUDnTME06	TAUDnTME05	TAUDnTME04	TAUDnTME03	TAUDnTME02	TAUDnTME01	TAUDnTME00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.40 TAUDnTME レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TAUDnTME _m	チャンネル m のタイマ出力とリアルタイム出力の変調出力を許可/禁止します。 0 : 変調禁止 1 : 変調許可 これらのビット設定は TAUDnTOE.TAUDnTOEm、TAUDnTRE.TAUDnTREM = 1 時にのみ適用されます。

23.4 操作手順

TAUDn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。

TAUDnTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

- (1) TAUDnTPS と TAUDnBRS レジスタを設定して CK0 ~ CK3 のクロック周波数を指定してください。
- (2) 任意の TAUDn 機能を設定してください。
 - 動作モードを設定してください。
 - チャンネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
- (3) TAUDnTS.TAUDnTSM ビットを“1”に設定してカウンタ動作を許可してください。カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
- (4) カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUDnTT.TAUDnTTm ビットを 1 に設定してください。強制リスタートは TAUDnTS.TAUDnTSM ビットを 1 に設定してください。
- (5) TAUDnTT.TAUDnTTm ビットを“1”に設定して機能を停止してください。

備 考

1. 必要な制御ビットと各機能の動作の詳細は、
 - ・「23.12 チャンネル単体動作機能」
 - ・「23.13 チャンネル連動動作機能」を参照してください。
2. 機能を変更する場合は、カウント停止中 (TAUDnTE.TAUDnTEm=0) に行ってください。

23.5 チャンネル連動動作の概念

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせて実現する機能です。チャンネルの設定には、いくつかのルールがあります。

ルールの詳細は、「**23.5.1 チャンネル連動動作のルール**」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 「**23.5.2 連動チャンネルカウンタの同時動作開始/停止**」
- 「**23.6 一斉書き換え**」

23.5.1 チャンネル連動動作のルール

マスタおよびスレーブチャンネル数

- マスタチャンネルには、偶数チャンネル（CH0、CH2、CH4、...）のみ設定できます。スレーブチャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタチャンネルより下位のチャンネルのみスレーブチャンネルとして設定でき、1つのマスタチャンネルに対し複数のスレーブチャンネルを設定できます。
例：CH2がマスタチャンネルの場合、CH3以下（CH3、CH4、CH5、...）をスレーブチャンネルに設定できます。
- マスタチャンネルを複数使用する場合、マスタチャンネルを跨いだスレーブチャンネルの設定はできません。
例：CH0、CH4がマスタチャンネルの場合、CH0に対してCH1～CH3までをスレーブチャンネルとして設定できますが、CH5～CH15は設定できません。

動作クロック

- マスタチャンネルと連動するスレーブチャンネルには同じ動作クロックを設定する必要があります。マスタチャンネルとスレーブチャンネルのTAUDnCMORm.TAUDnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャンネルの使用と動作クロックの基本的な概念を図23.3に示します。

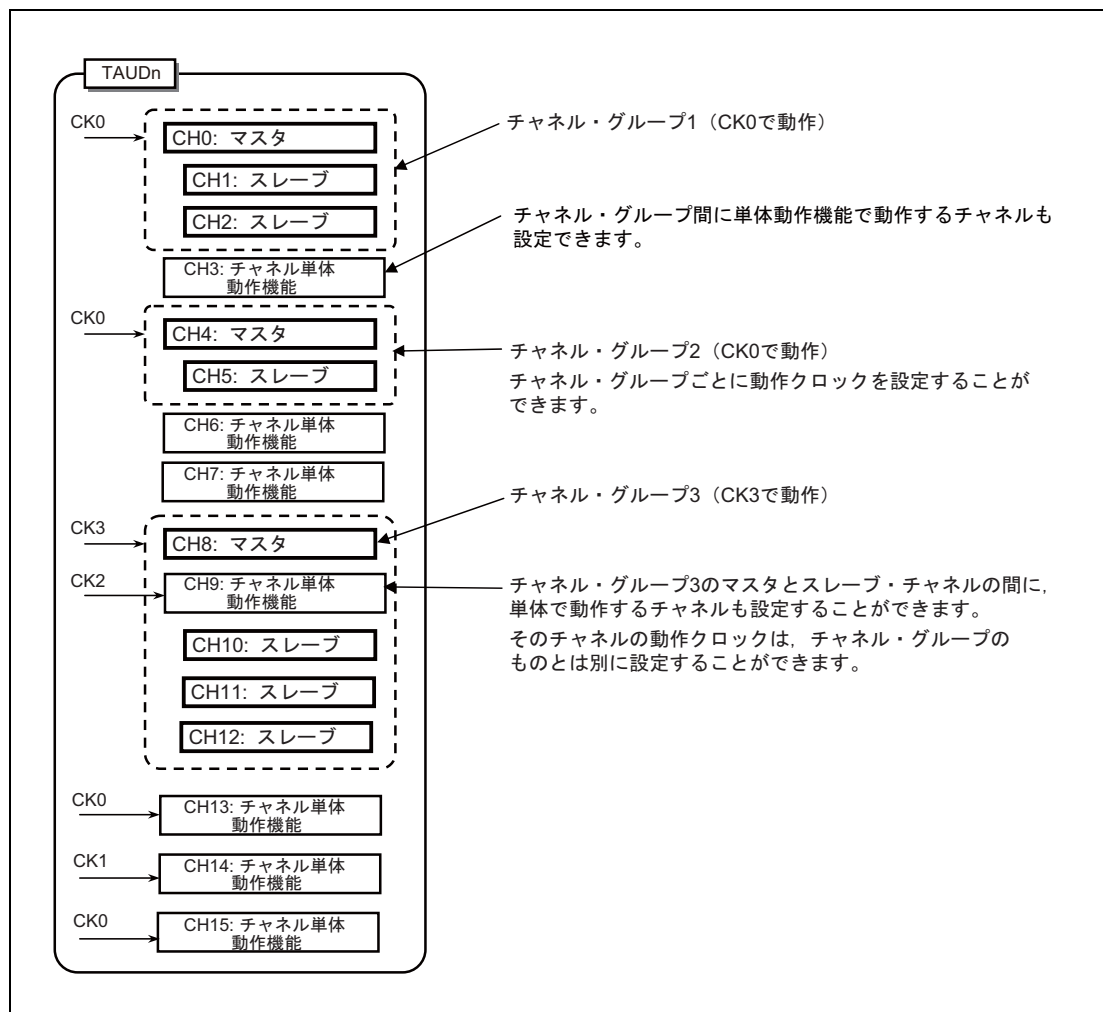


図 23.3 チャンネルのグループ化と動作クロックの割り当て

マスタチャンネル、スレーブチャンネルの制御トリガ信号

- マスタチャンネルは、制御トリガ信号をスレーブチャンネルに出力することができます。
- スレーブチャンネルは、マスタチャンネルの制御トリガ信号Iを使用できますが、スレーブチャンネル自身の制御トリガ信号を下位チャンネルに出力することはできません。
- マスタチャンネルは、自身より上位のマスタチャンネルの制御トリガ信号を使用することはできません。

23.5.2 連動チャンネルカウンタの同時動作開始／停止

連動するチャンネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

23.5.2.1 ユニット内の連動チャンネルカウンタの同時動作開始／停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUDnTS.TAUDnTSM ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUDnTT.TAUDnTTm ビットを同時に設定する必要があります。

TAUDnTS.TAUDnTSM ビットに“1”を設定することにより、対応する TAUDnTE.TAUDnTEm ビットが“1”にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

23.5.2.2 ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

ユニット間および他タイマ機能との同時スタート方法の詳細は、「**第29章 ペリフェラルインタコネクション (PIC)**」**「29.2.3.1 同時スタートトリガ機能」**を参照してください。

23.6 一斉書き換え

23.6.1 動作概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ (TAUDnCDRm、TAUDnTOLm) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャンネルまたは上位チャンネル (動作モードによって異なる) のカウンタが特定の値に達した場合
- TAUDnRDC.TAUDnRDCm で指定された上位チャンネルにて INTTAUDnIm が発生した場合

一斉書き換えは4つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを表 23.41 に示します。

表 23.41 一斉書き換え方法とトリガタイミング

方式	一斉書き換えがトリガされるタイミング	TAUDnRDE. TAUDnRDEm	TAUDnRDS. TAUDnRDSm	TAUDnRDM. TAUDnRDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャンネルがカウントを再開/開始した場合	1	0	0
B	マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合	1	1	0/1
C2	外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合	1	1	0/1

4つの方法のうち、各チャンネル動作機能で使用できる方法を表 23.42 に示します。各チャンネル動作機能の詳細は、「23.12 チャンネル単体動作機能」と「23.13 チャンネル連動動作機能」を参照してください。

表 23.42 一斉書き換え方法とトリガタイミング

機能	A	B	C1	C2	TAUDnTOL. TAUDnTOLm
一斉書き換えトリガ出力機能タイプ 1			×		
PWM 出力機能	×		×		×
ワンショットパルス出力機能	×				
トリガスタート PWM 出力機能	×			×	
ディレイパルス出力機能	×				
三角波 PWM 出力機能		×	×		×
デッドタイム付き三角波 PWM 出力機能		×	×		
割り込み要求信号間引き機能	×	×	×		
AD 変換トリガ出力機能タイプ 1	×		×		
AD 変換トリガ出力機能タイプ 2		×	×		
非相補方式変調出力機能タイプ 1	×		×		
非相補方式変調出力機能タイプ 2		×	×		
相補方式変調出力機能		×	×		

備考 × : 使用可能 空欄 : 使用不可能

23.6.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を図 23.4 に示します。3つの主なブロック（初期設定、カウント開始 & カウント動作、一斉書き換え）は後述します。

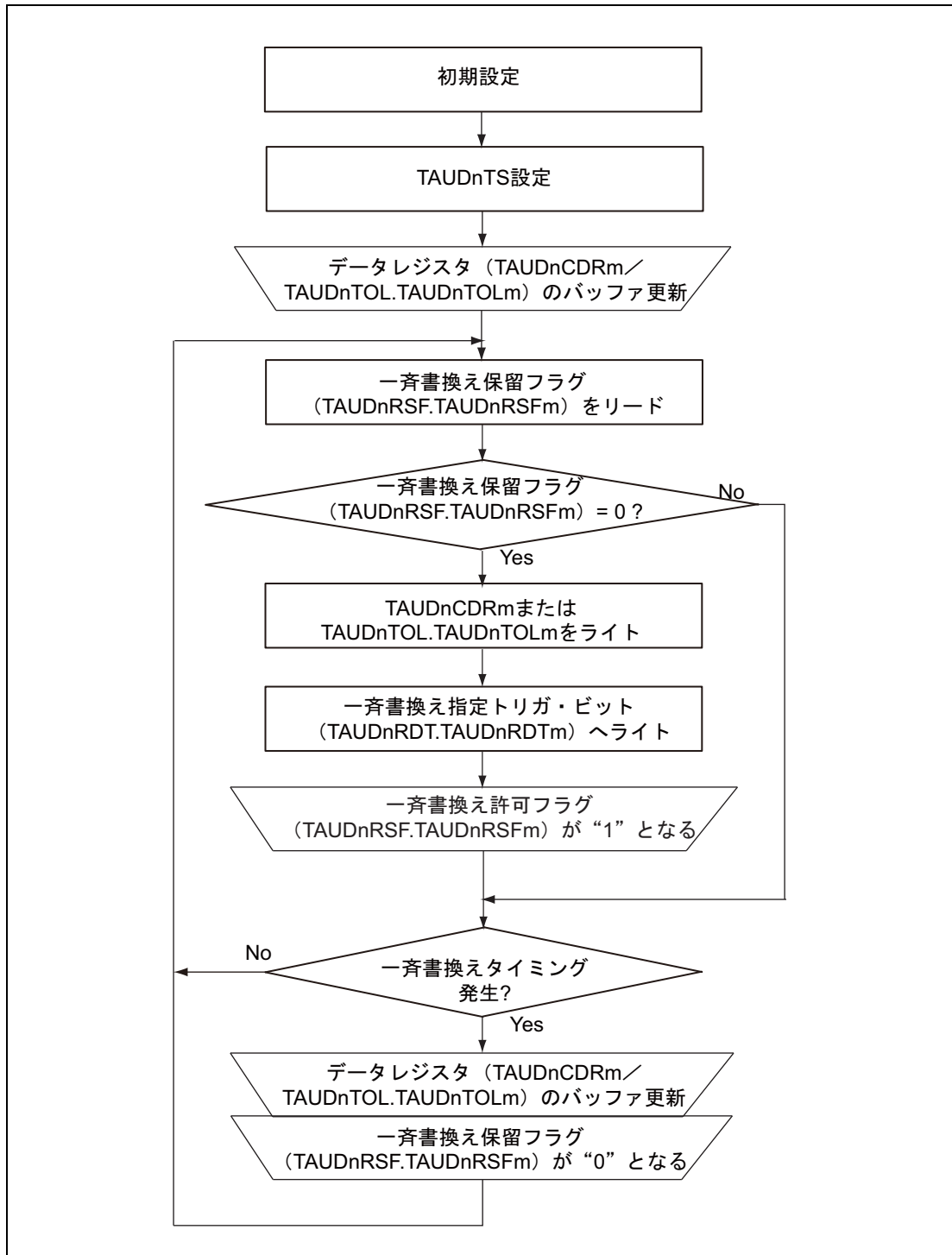


図 23.4 一斉書き換えの基本手順

23.6.2.1 初期設定

- チャンネル m にて一斉書き換えを許可するには、 $TAUDnRDE.TAUDnRDEm = 1$ を設定してください。
- 一斉書き換えの種類を選ぶには、 $TAUDnRDM.TAUDnRDMm$ と $TAUDnRDS.TAUDnRDSm$ を「表 23.41 一斉書き換え方法とトリガタイミング」に示す値に設定してください。
- $TAUDnRDC.TAUDnRDCm$ で、一斉書き換えトリガ生成チャンネルを指定してください (前提：上位チャンネルに $TAUDnRDS.TAUDnRDSm$ が設定されている)。

23.6.2.2 カウント開始とカウント動作

- チャンネルグループに属するすべての $TAUDnCNTm$ カウンタ動作を開始するには、対応する $TAUDnTS.TAUDnTSm$ ビットを“1”に設定してください。 $TAUDnTOL.TAUDnTOLm$ とデータレジスタ ($TAUDnCDRm$) の値は、対応する $TAUDnTOL.TAUDnTOLm$ バッファ ($TAUDnTOL.TAUDnTOLm\ buf$) とデータバッファレジスタ ($TAUDnCDRm\ buf$) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット ($TAUDnRDT.TAUDnRDTm$) を“1”に設定することにより、リロードフラグ ($TAUDnRSF.TAUDnRSFm$) が“1”に設定され、一斉書き換えが許可されます。 $TAUDnRSF.TAUDnRSFm$ は一斉書き換えが完了するまで“1”のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 ($TAUDnRSF.TAUDnRSFm = 1$) されているかを確認するために $TAUDnRSF.TAUDnRSFm$ ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

23.6.2.3 一斉書き換え

- 一斉書き換えが許可 ($TAUDnRSF.TAUDnRSFm = 1$) され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、 $TAUDnRSF.TAUDnRSFm$ ビットは“0”に設定され、システムは次の一斉書き換えトリガを待ちます。

23.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 (TAUDnTE.TAUDnTEm = 1) は、TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm、TAUDnRDM.TAUDnRDMm、TAUDnRDC.TAUDnRDCm を変更することはできません。
- PWM 出力機能または三角波 PWM 出力機能は、動作している場合でも TAUDnTOL.TAUDnTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUDnTOL.TAUDnTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUDnTOUTm は不正な値を出力します。
- 上位チャンネルで一斉書き換えトリガを発行した場合 (TAUDnRDS.TAUDnRDSm = 1)、すべての下位チャンネルは TAUDnRDC.TAUDnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUDnRDC.TAUDnRDCm ビットを“1”に設定し、ほかのチャンネルの TAUDnRDC.TAUDnRDCm ビットを“0”に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャンネルとなります。CH2 は、下位チャンネル CH3 ~ CH6 を制御し、CH7 は、下位チャンネル CH8 ~ CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャンネルを一斉書き換えトリガ生成チャンネルとして選択 (TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm = 1) したにもかかわらず、上位チャンネルを設定していない場合 (TAUDnRDC.TAUDnRDC[15:0] = 0)、一斉書き換えは行いません。

23.6.4 一斉書き換えの種類

次に、タイミング図を使用して4つの一斉書き換え方法を説明します。

23.6.4.1 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え (方法 A)

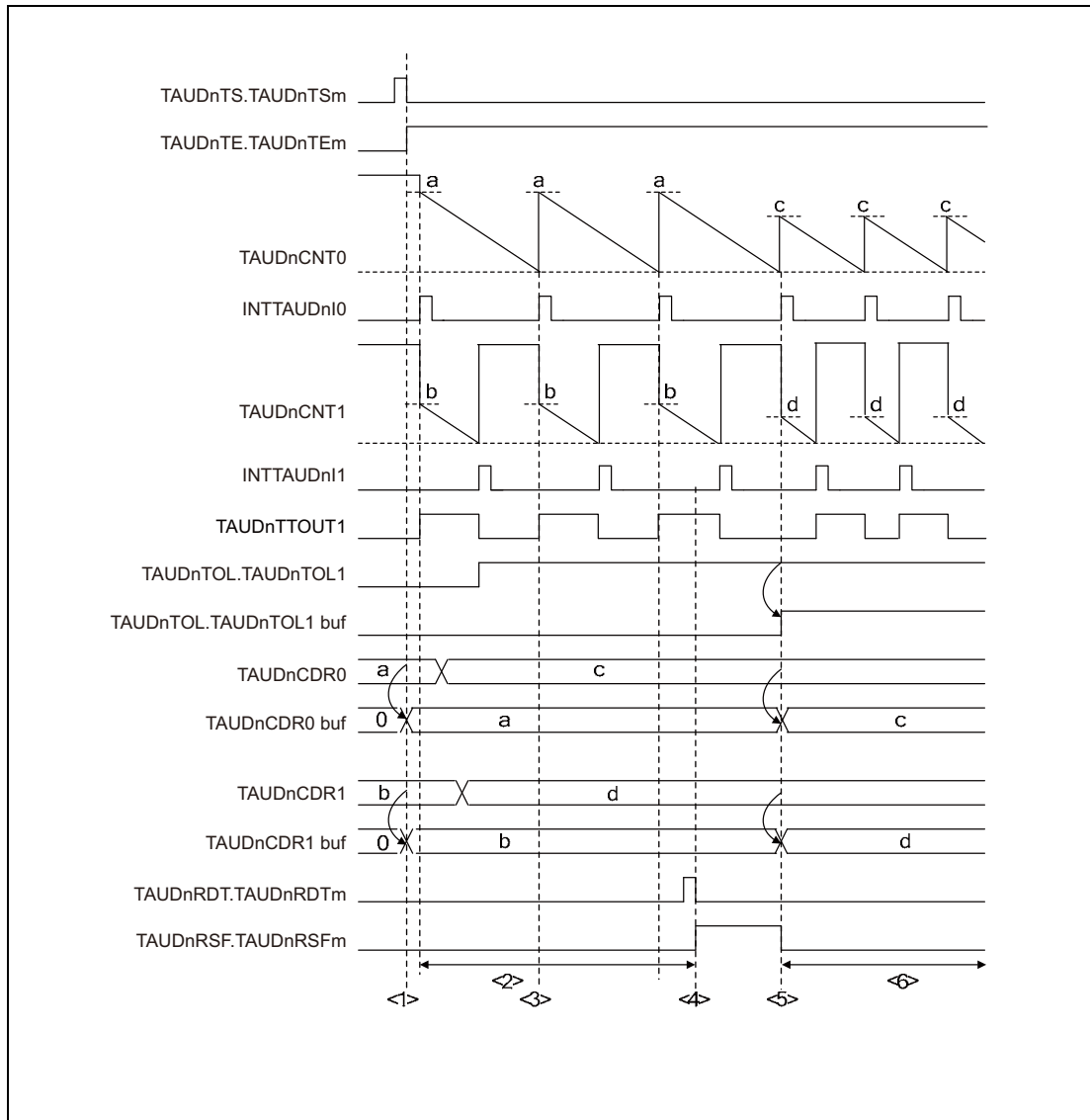


図 23.5 マスタチャンネルがカウントを再開/開始した場合の一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 A が適用されます。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値が TAUDnTOL.TAUDnTOLm バッファにコピーされます。
- (2) TAUDnCDRm と TAUDnTOL.TAUDnTOLm レジスタは常に書き込めます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUDnRSF.TAUDnRSFm = 0)。
- (4) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を“1” に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

23.6.4.2 スレーブチャンネルの三角波の[山]のタイミングで一斉書き換え (方法B)

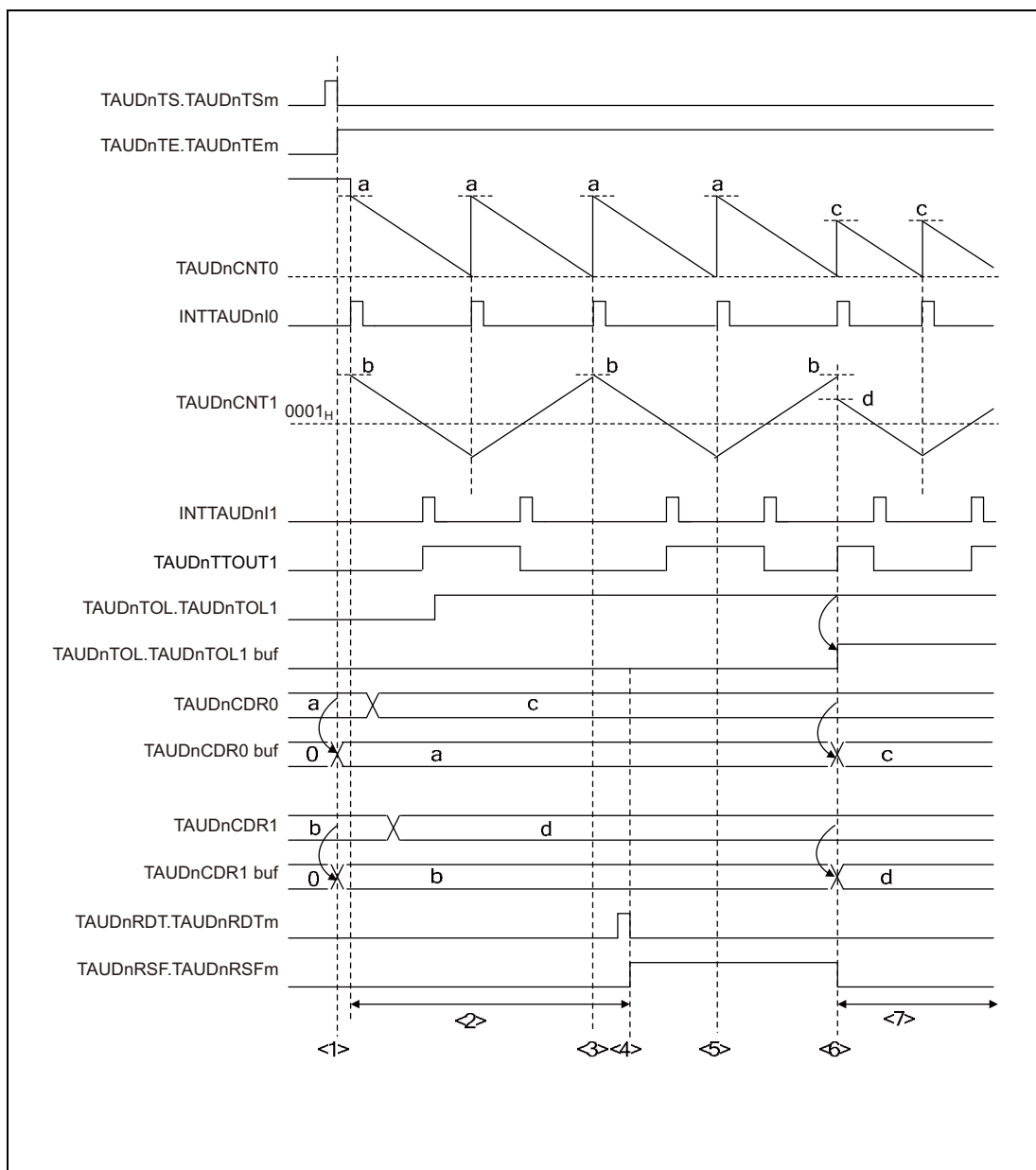


図 23.6 スレーブチャンネルの三角波の[山]のタイミングで一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャンネルです。CH1 は、任意のスレーブチャンネルです。一斉書き換え方法 B が適用されます。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm と TAUDnTOL レジスタは常に書き込めます。
- (3) 一斉書き換えは許可されていないため行われません (TAUDnRSF.TAUDnRSFm = 0)。
- (4) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を “1” に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えは、三角波周期の [谷] のタイミングでは発生しません。
- (6) 一斉書き換えは、三角波周期の [山] のスタートタイミングで行われます。TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。
- (7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

23.6.4.3 TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C1)

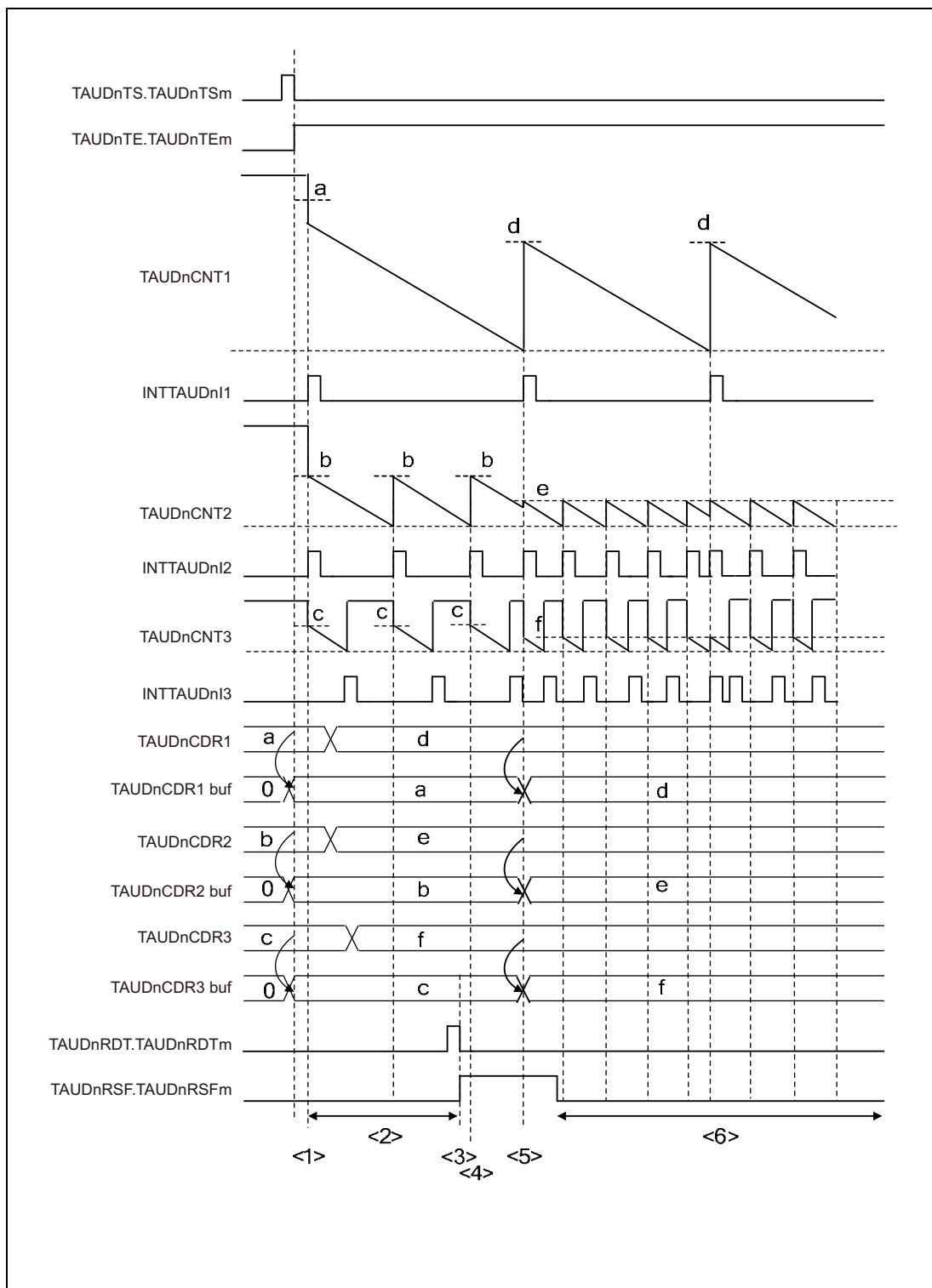


図 23.7 TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、ダウンカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。一斉書き換え方法 C1 が適用されます。TAUDnRDC レジスタで、一斉書き換えトリガ生成チャンネルを指定します。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
- (2) TAUDnCDRm レジスタは常に書き込めます。
- (3) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を “1” に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUDnCDRm の値は対応する TAUDnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。

23.6.4.4 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え (方法 C2)

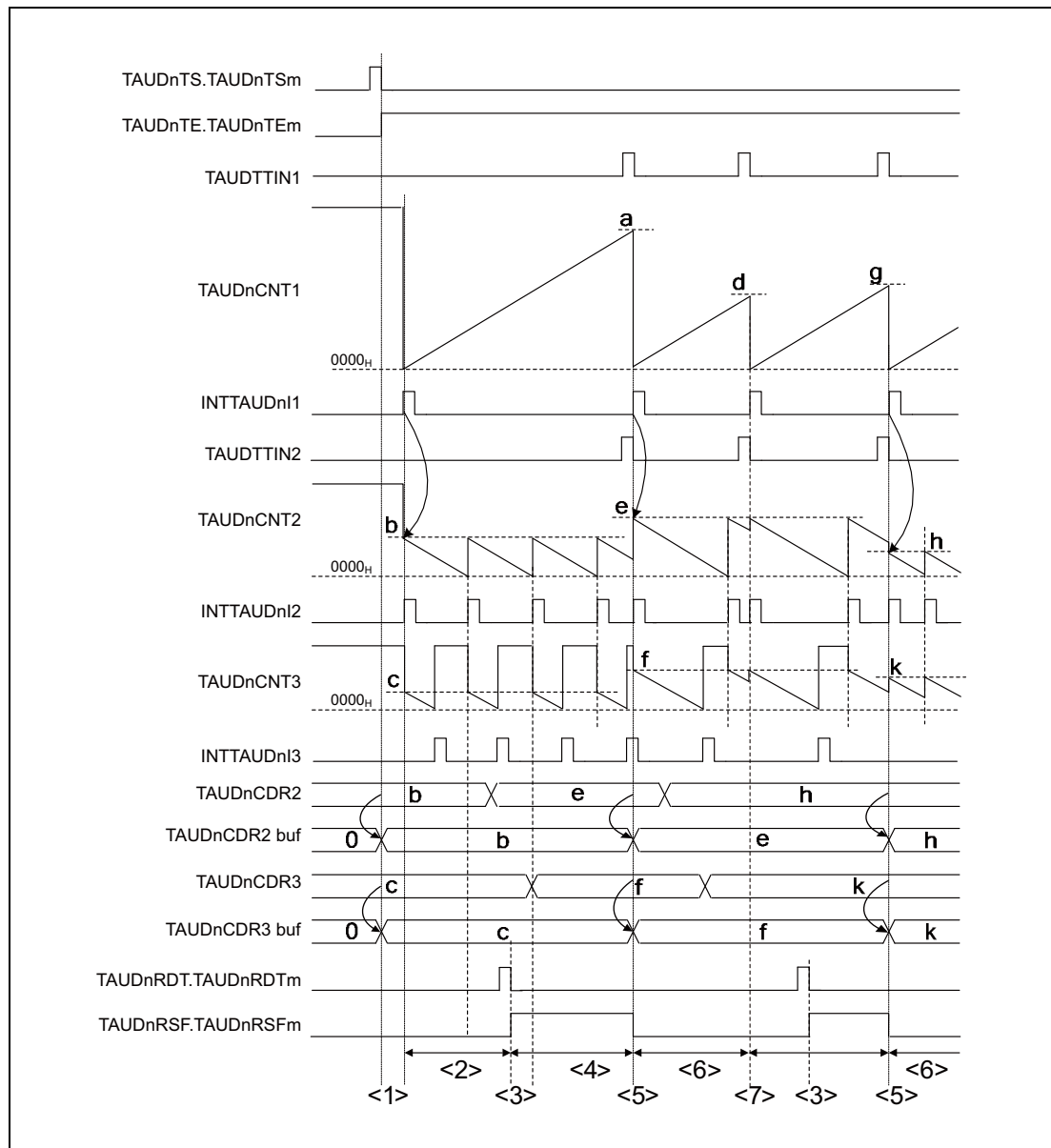


図 23.8 外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャンネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、アップカウントを行う上位チャンネルです。CH2 は、マスタチャンネルです。CH3 は、スレーブチャンネルです。チャンネル連動動作方法 C2 が適用されます。TAUDnRDC レジスタは、INTTAUDnIm トリガにてモニタする上位チャンネルを指定します。

説明：

- (1) TAUDnTS.TAUDnTSM = 1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。ただし、TAUDnCDR1 はキャプチャモードのため、TAUDnCDR1 の値が TAUDnCDR1 バッファにコピーされません。
- (2) TAUDnCDRm レジスタは常に書き込めます。
- (3) リロードデータトリガビット (TAUDnRDT.TAUDnRDTm) を “1” に設定することにより、ステータスフラグが設定され (TAUDnRSF.TAUDnRSFm = 1)、一斉書き換えが許可されます。
- (4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
- (5) 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUDnCDRm の値は、対応する TAUDnCDRm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。
- (7) TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない (TAUDnRSF.TAUDnRSFm = 0) ため行われません。

23.7 チャネル出力モード

TAUDnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御 (TAUDnTOE.TAUDnTOEm = 0)
ソフトウェアで制御した場合、出力レジスタビット (TAUDnTO.TAUDnTOM) に書き込んだ値は、出力端子 (TAUDnTTOUTm) に転送されます。
- TAUD 信号による制御 (TAUDnTOE.TAUDnTOEm = 1)
TAUD 信号で制御した場合、TAUDnTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUDnTTOUTm の値を反映するために、TAUDnTO.TAUDnTOM の値は更新されます。
 - 単体制御 (TAUDnTOM.TAUDnTOMm = 0)
単体動作の場合、TAUDnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUDnTOM.TAUDnTOMm = 0) する必要があります。
 - 連動制御 (TAUDnTOM.TAUDnTOMm = 1)
連動動作の場合、TAUDnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUDnTOM.TAUDnTOMm = 1)。

TAUDnTO.TAUDnTOM ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUDnTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「表 23.43 チャネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 「23.7.2 TAUDn 信号により単体制御されるチャンネル出力モード」
- 「23.7.3 TAUDn 信号により連動制御されるチャンネル出力モード」

TAUDnTOM ビットの一括操作

TAUDnTOM ビットへの設定値の反映/非反映は、TAUDnTOE.TAUDnTOEm ビットにより制御されます。

TAUDnTO レジスタにライトした時に、TAUDnTOE.TAUDnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUDnTOM の設定値の書き込みが行われます。

TAUDnTOE.TAUDnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUDnTOM の設定値は反映されません。

備考

TAUDnTO.TAUDnTOM ビットは、ビット番号とチャンネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUDnTOL.TAUDnTOLm で指定します。

TAUDnTOL.TAUDnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUDnTOL.TAUDnTOLm を変更すると、TAUDnTOUTm 信号の出力は不定になります。

「23.6 一斉書き換え」を参照してください。

各種チャンネル出力モードとチャンネル出力制御ビットを表 23.43 に示します。

表 23.43 チャンネル出力モード

チャンネル出力モード	TAUDn TOE. TAUDn TOEm	TAUDn TOM. TAUDn TOMm	TAUDn TOC. TAUDn TOCm	TAUDn TDE. TAUDn TDEm	TAUDn TRE. TAUDn TREM	TAUDn TME. TAUDn TMEm	TAUDn TDM. TAUDn TDMm	
ソフトウェア制御								
ソフトウェア制御のチャンネル単体出力モード	0				X			
TAUD 信号による単体動作制御								
チャンネル単体出力モード 1	1	0	0	0	0	0	0	
リアルタイム出力を行うチャンネル単体出力モード 1					1			
チャンネル単体出力モード 2					0			
TAUD 信号による連動動作制御								
チャンネル連動出力モード 1	1	1	0	0	0	0	0	
非相補方式変調出力を行うチャンネル連動出力モード 1					1			X
チャンネル連動出力モード 2			1	0	0	0	0	0
デッドタイム出力を行うチャンネル連動出力モード 2								
1相 PWM 出力を行うチャンネル連動出力モード 2								1
相補方式変調出力を行うチャンネル連動出力モード 2						1	1	0
非相補方式変調出力を行うチャンネル連動出力モード 2					1	0		

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備考

1. 次のビットは、カウント動作中 ($TAUDnTE.TAUDnTEm = 1$) は変更できません。
 - $TAUDnTOM.TAUDnTOMm$
 - $TAUDnTOC.TAUDnTOCm$
 - $TAUDnTDE.TAUDnTDEm$
 - $TAUDnTRE.TAUDnTREM$
 - $TAUDnTDM.TAUDnTDMm$
2. 次のビットは、変調出力を行うチャネル出力モードを除き、カウント動作中 ($TAUDnTE.TAUDnTEm = 1$) は変更できません。
 - $TAUDnTME.TAUDnTME$
 - $TAUDnTDL.TAUDnTDLm$

23.7.1 チャネル出力モードを指定するための基本手順

$TAUDnTTOUTm$ チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります ($TAUDnTOE.TAUDnTOEm = 0$)。

- (1) $TAUDnTO.TAUDnTOm$ を設定して $TAUDnTTOUTm$ 出力の初期レベルを指定してください。
- (2) 「表 23.43 チャネル出力モード」を参照してチャネル出力モードを設定し、 $TAUDnTOL.TAUDnTOLm$ ビットで出力論理を設定してください。
- (3) カウンタのカウントを開始してください ($TAUDnTS.TAUDnTSm = 1$)。

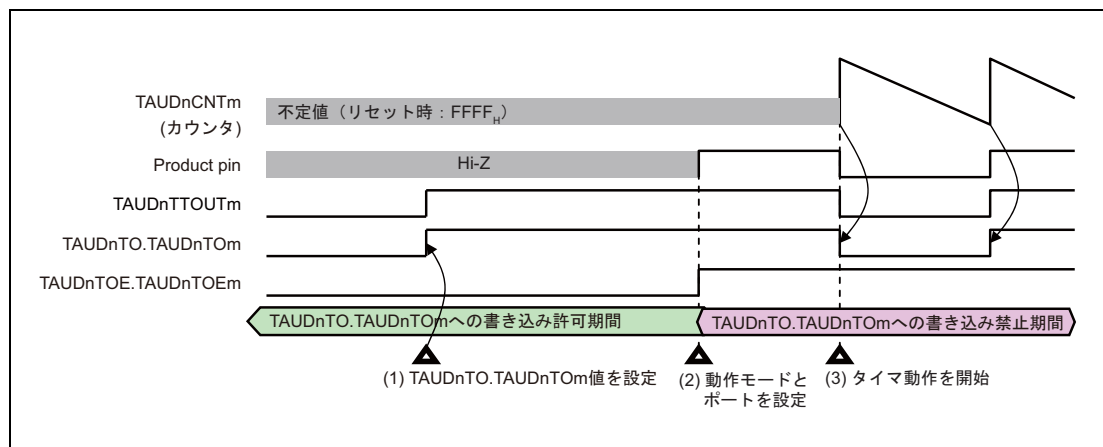


図 23.9 $TAUDnTTOUTm$ チャネル出力モードを指定するための基本手順

23.7.2 TAUDn 信号により単体制御されるチャンネル出力モード

この節では、TAUDn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 23.43 チャンネル出力モード」に示します。

23.7.2.1 チャンネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUDnIm が検出されると TAUDnTTOUTm がトグルされます。TAUDnTOL.TAUDnTOLm の値は無視されます。

前提条件

「表 23.43 チャンネル出力モード」に示す条件以外の条件はありません。

23.7.2.2 リアルタイム出力を行うチャンネル単体出力モード 1

この出力モードでは、トリガチャンネルの TAUDnTRO.TAUDnTROm ビットが TAUDnTTOUTm に出力されます。トリガチャンネルは、対応する TAUDnTRC.TAUDnTRCm ビットを“1”に設定することで指定します。トリガチャンネルは、TAUDnTRC.TAUDnTRCm = 0 が設定されているすべての下位チャンネルを制御します。

セット/リセット条件

TAUDnTRO.TAUDnTROm ビットの値は、トリガチャンネルで INTTAUDnIm 割り込みが発生した場合にのみ TAUDnTTOUTm に転送されます。INTTAUDnIm 割り込みは、次のいずれかの場合に発生します。

- 指定した周期
- 有効な TAUDnTTINm 入力エッジ、またはカウント開始の検出

トリガの種類は、TAUDnCMORm.TAUDnMD[4:1] ビットで設定します。

前提条件

マスタチャンネルおよびスレーブチャンネルは、ともにトリガ生成チャンネルとして設定できます。TAUDnTRC.TAUDnTRCm を“1”に設定したチャンネルは、TAUDnTRE.TAUDnTREm の値にかかわらずトリガ生成チャンネルとして動作します。

上位チャンネルの TAUDnTRC.TAUDnTRCm に“1”を設定したチャンネルが上位にない場合、または TAUDnTRC.TAUDnTRC0 = 0 を設定したチャンネルは、リアルタイム出力を行いません。

これを図 23.10 に示します。

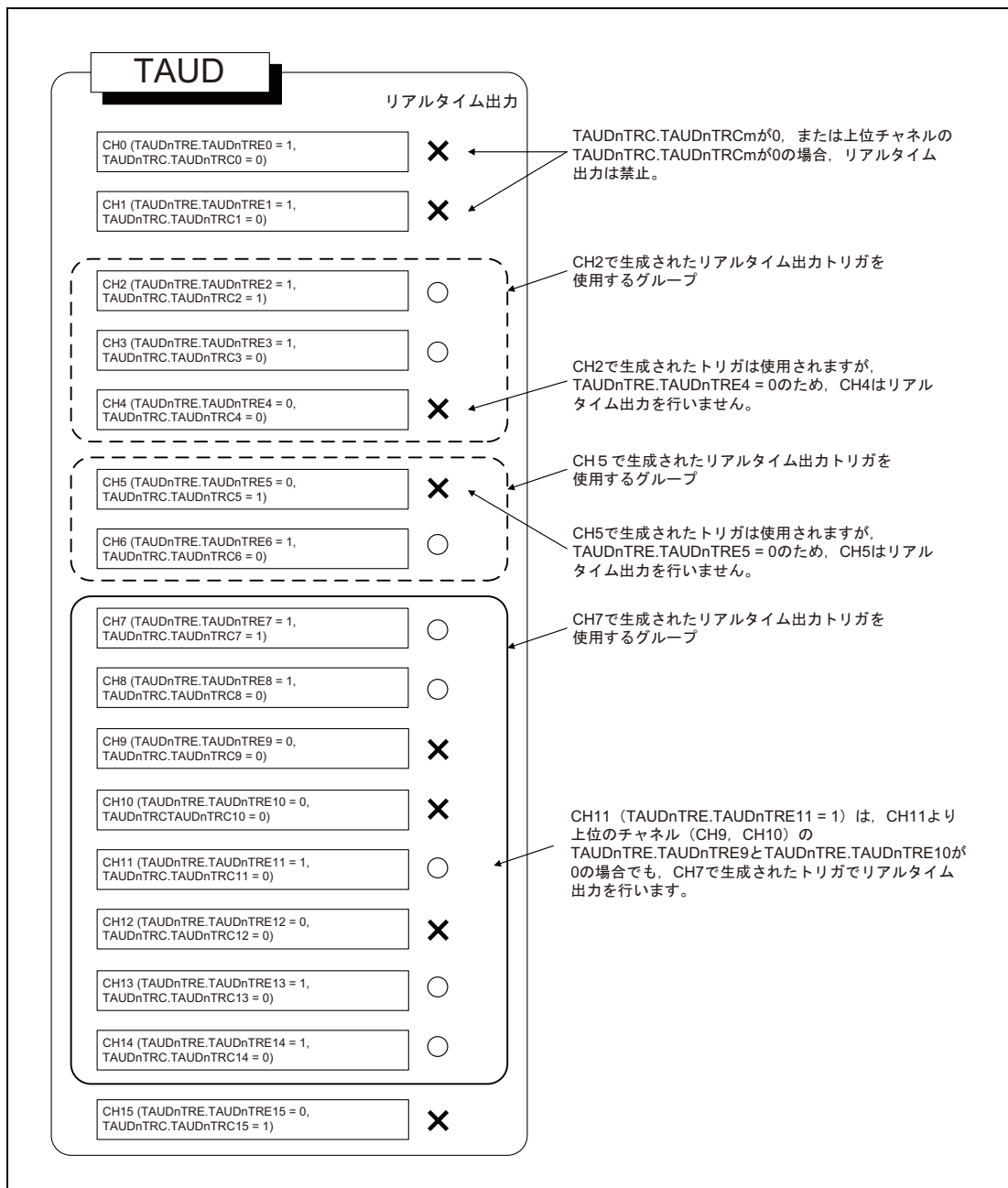


図 23.10 リアルタイム出力

23.7.2.3 チャンネル単体出力モード 2

セット/リセット条件

この出力モードでは、TAUDnTTOUTm は、カウント開始の INTTAUDnIm 発生でセット、TAUDnCNTm と TAUDnCDRm の一致による INTTAUDnIm 発生でリセットされます。

前提条件

「表 23.43 チャンネル出力モード」に示す条件以外の条件はありません。

23.7.3 TAUDn 信号により連動制御されるチャンネル出力モード

この節では、TAUDn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 23.43 チャンネル出力モード」に示します。

23.7.3.1 チャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、マスタチャンネルの INTTAUDnIm がセット信号、スレーブチャンネルの INTTAUDnIm がリセット信号となります。マスタチャンネルの INTTAUDnIm とスレーブチャンネルの INTTAUDnIm が同時発生した場合、スレーブチャンネルの INTTAUDnIm (リセット信号) は、マスタチャンネルの INTTAUDnIm (セット信号) より優先されます (マスタチャンネルは無視されます)。

前提条件

「表 23.43 チャンネル出力モード」に示す条件以外の条件はありません。

23.7.3.2 非相補方式変調出力を行うチャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、TAUDnTTOUm は、あるチャンネルの PWM 出力とリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 間の AND 演算の結果を出力します。

デッドタイムが付加される位相は、正相位相の場合は $TAUDnTDL.TAUDnTDLm = 0$ 、逆相位相の場合は $TAUDnTDL.TAUDnTDLm = 1$ を設定してください。

前提条件

PWM 出力を生成するには 3 つ以上のチャンネル 1 組が必要です。マスタチャンネルとスレーブチャンネル 1 は周期を生成し、スレーブチャンネル 2 はデューティサイクルを生成します。代表的なアプリケーションでは、スレーブチャンネル 2 と同様に動作するスレーブチャンネルをさらに 5 つ使用します。

同じチャンネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEem を変更した場合、TAUDnTME.TAUDnTMEem の新しい値は、指定したチャンネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEem と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、マスタチャンネルで INTTAUDnIm が検出されたときに適用されます。

23.7.3.3 チャンネル連動出力モード2

この出力モードでは、動作モードをアップ/ダウンカウントモードに設定する必要があります。その結果、TAUDnTTOUTm より三角波 PWM が出力されます。詳細は「**23.13.6 三角波 PWM 出力機能**」を参照してください。

セット/リセット条件

スレーブチャンネルの TAUDnCNTm は、アップ/ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUDnTTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには2つで1組のチャンネルが必要です。TAUDnTTOUTm は、機能を開始する前に“0”に設定する必要があります。

23.7.3.4 デッドタイム出力を行うチャンネル連動出力モード2

この出力モードでは、TAUDnTTOUTm にデッドタイム遅延が付加されます。セット/リセット条件を図 23.11 に示します。

セット/リセット条件

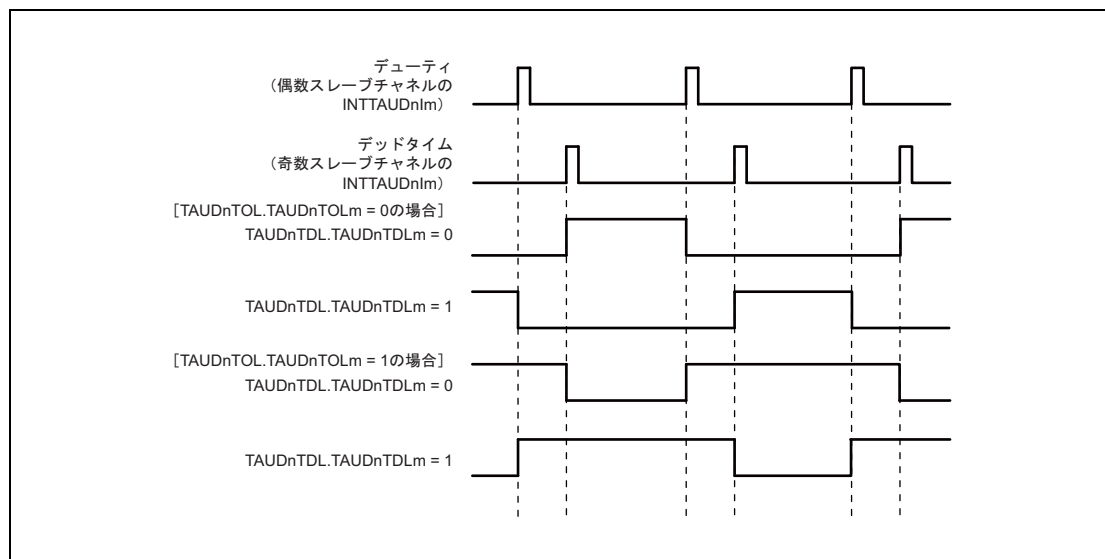


図 23.11 デッドタイム出力を行うチャンネル連動出力モード2のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する3つで1組のチャンネルが必要です。

- マスタチャンネル
マスタチャンネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャンネル
偶数スレーブチャンネルは、アップ/ダウンカウントモードに設定する必要があります。
- 奇数スレーブチャンネル (偶数チャンネル+1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

23.7.3.5 1相PWM出力を行うチャンネル連動出力モード2

この出力モードでは、TAUDnTTOUtm にデッドタイム遅延が付加されます。セット/リセット条件を図23.12に示します。

セット/リセット条件

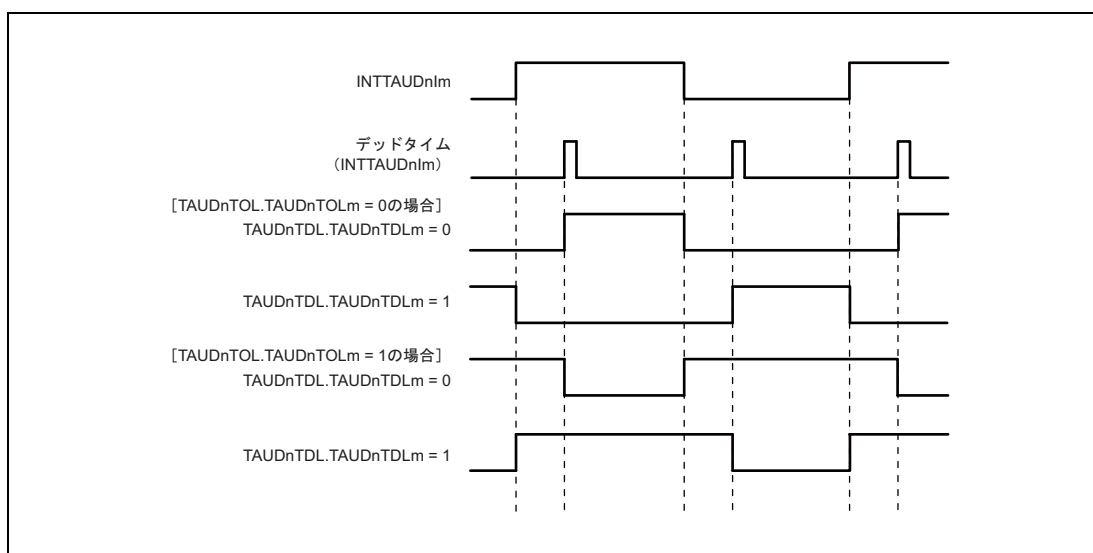


図 23.12 1相PWM出力を行うチャンネル連動出力モード2のセット/リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm = 0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm = 1 を設定してください。

前提条件

1相PWM出力を制御するには、2つで1組のチャンネルが必要です。

- 偶数スレーブチャンネル
- 奇数スレーブチャンネル (偶数チャンネル+1)
奇数スレーブチャンネルは、ワンカウントモードに設定する必要があります。

奇数チャンネルと偶数チャンネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

23.7.3.6 相補方式変調出力を行うチャンネル連動出力モード2**セット/リセット条件**

この出力モードでは、TAUDnTTOUTmは、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEm)、出力レベルビット (TAUDnTOL.TAUDnTOLm) の値に応じてPWM信号、ハイレベル信号、またはロウレベル信号を出力します。

詳細は「**23.14.3 相補方式変調出力機能**」を参照してください。

前提条件

このモードでは、4つ以上のチャンネル1組が必要です。マスタチャンネルとスレーブチャンネル1は周期を生成し、スレーブチャンネル2はデューティサイクルを生成し、スレーブチャンネル3はデッドタイムを生成します。スレーブチャンネル2とスレーブチャンネル3は2つで1組です。代表的なアプリケーションでは、チャンネル2、チャンネル3と同様に動作するスレーブチャンネルをさらに4つ使用します。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLmは、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEmを動作中に変更した場合、TAUDnTME.TAUDnTMEmの新しい値は、指定したチャンネルでINTTAUDnImが検出されたときに適用されます。
- TAUDnTME.TAUDnTMEmとTAUDnTDL.TAUDnTDLmを変更した場合、新しい値は、偶数スレーブチャンネルでINTTAUDnImが検出されたときに適用されます。

23.7.3.7 非相補方式変調出力を行うチャンネル連動出力モード2

非相補方式変調出力を行うチャンネル連動出力モード1とはPWM波形が異なります。

モード1では矩形波ですが、モード2では三角波です。

23.8 各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUDnTS.TAUDnTSm を“1”に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

23.8.1 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモード

TAUDnTS.TAUDnTSm が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

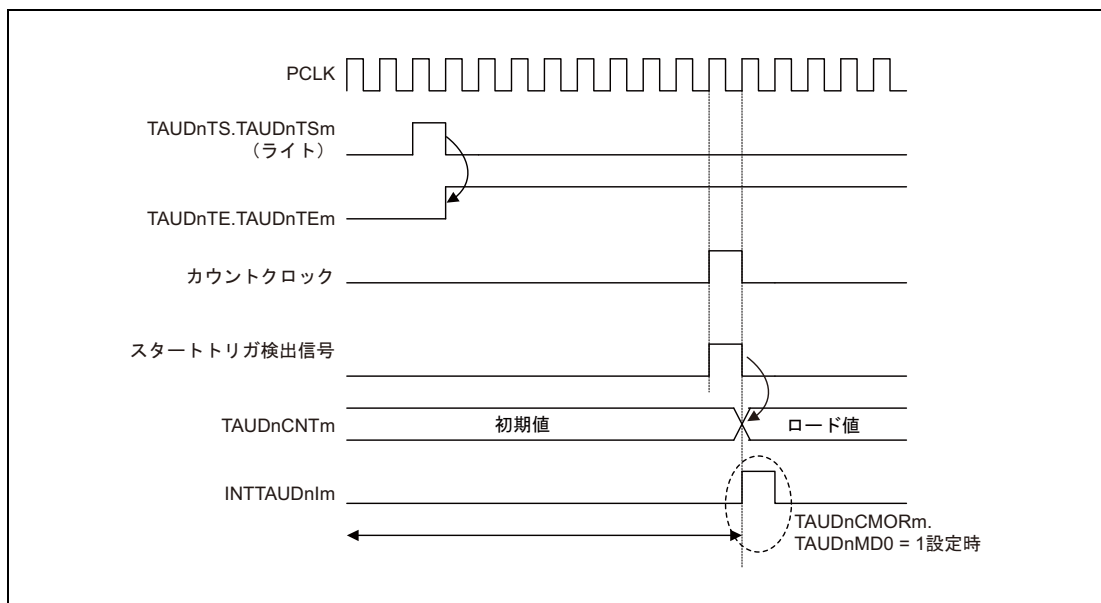


図 23.13 インターバルタイマモード、ジャッジモード、キャプチャモード、アップ/ダウンカウントモードでの開始タイミング

備 考

アップ/ダウンカウントモード時は、必ず TAUDnCMORm.TAUDnMD0 = 0 に設定してください。

23.8.2 イベントカウントモード

TAUDnTS.TAUDnTSMが“1”に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にインクリメントされます。

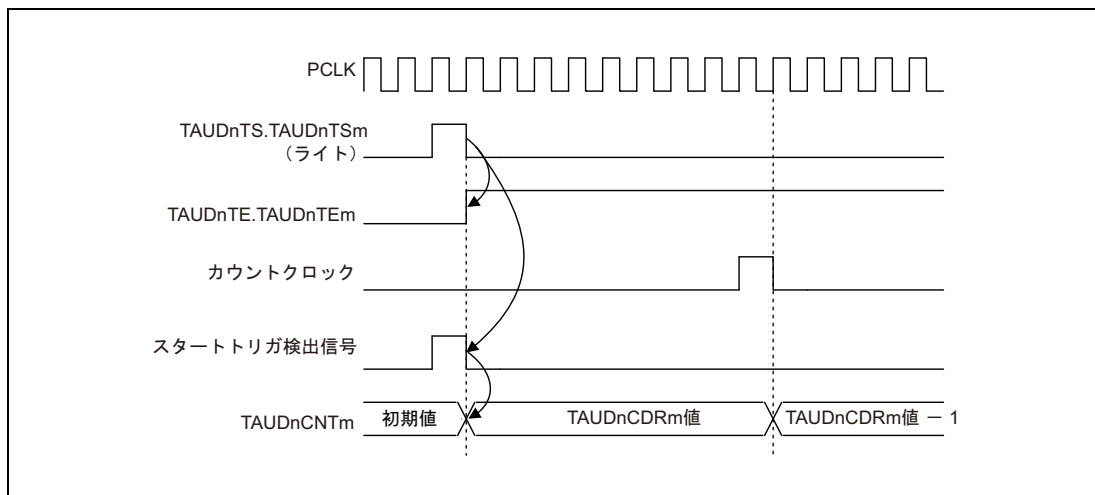


図 23.14 イベントカウントモード時の開始タイミング

23.8.3 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUDnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

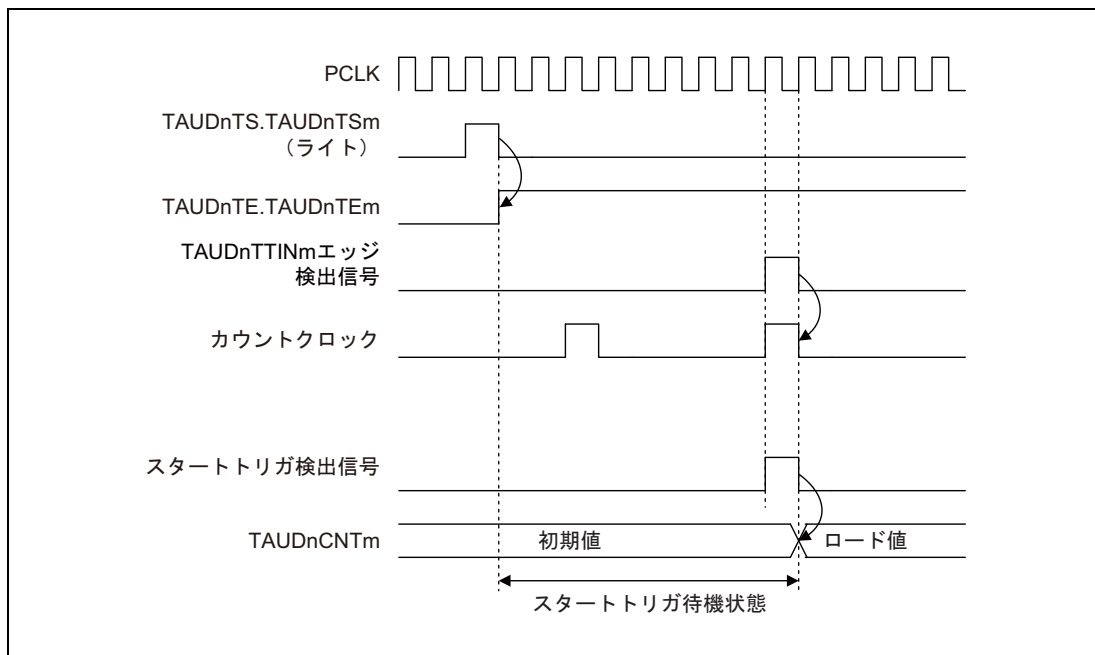


図 23.15 その他の動作モードでのカウント開始タイミング

23.9 カウント開始／リスタート時の TAUDnTTOUTm 出力と INTTAUDnIm 生成

カウンタのカウント開始時、TAUDnCMORm.TAUDnMD0 ビットで INTTAUDnIm を発生するかしないかを指定できます。TAUDnCMORm.TAUDnMD0 ビットがカウント開始時の INTTAUDnIm 発生、TAUDTTOUTm に与える影響は、選択した機能に依存します。詳細は、各機能の TAUDnCMORm.TAUDnMD0 の説明を参照してください。

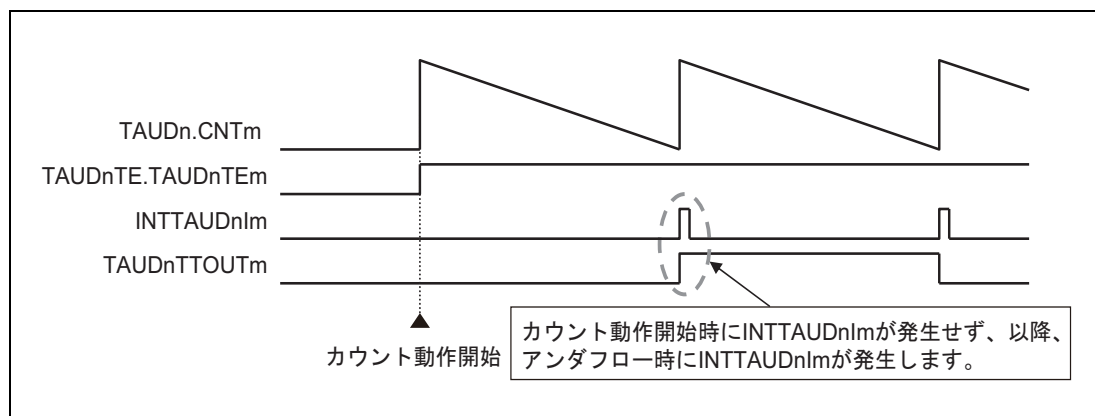


図 23.16 INTTAUDnIm の発生タイミング (TAUDnCMORm.TAUDnMD0 = 0 設定時)

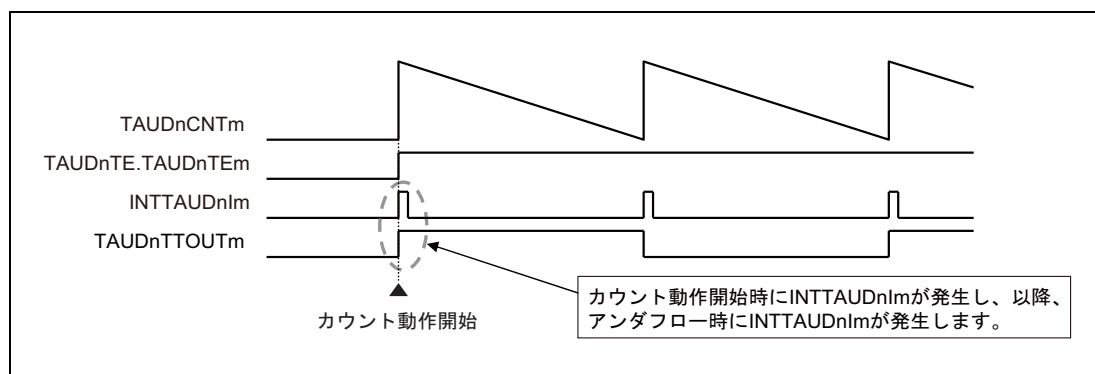


図 23.17 INTTAUDnIm の発生タイミング (TAUDnCMORm.TAUDnMD0 = 1 設定時)

23.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャンネル動作と、ダウンカウントを行うモードでのチャンネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャンネルに適切かは、ファーストチャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャンネルに、ファーストチャンネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します ($TAUDnCNTm = FFFF_H$)。
- セカンドチャンネルの $TAUDnCDRm$ を $FFFF_H$ に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。
- 両チャンネルが同じ $TAUDnTTINm$ 入力信号でトリガされます。
- 両チャンネルのトリガ検出設定 ($TAUDnCMORm.TAUDnSTS[2:0]$ と $TAUDnCMURm.TAUDnTIS[1:0]$) は同じである必要があります。

結果：

ファーストチャンネルのアップカウンタでのオーバフロー発生 ($TAUDnCNTm = FFFF_H$) と同時にセカンドチャンネルのダウンカウンタが 0000_H になります。そしてセカンドチャンネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

23.10.1 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

両チャンネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力パルスインターバル測定機能の TAUDnCNTm の FFFF_H オーバフローを TAUDTTINm 入力インターバルタイマ機能の INTTAUDnIm で検出できます。

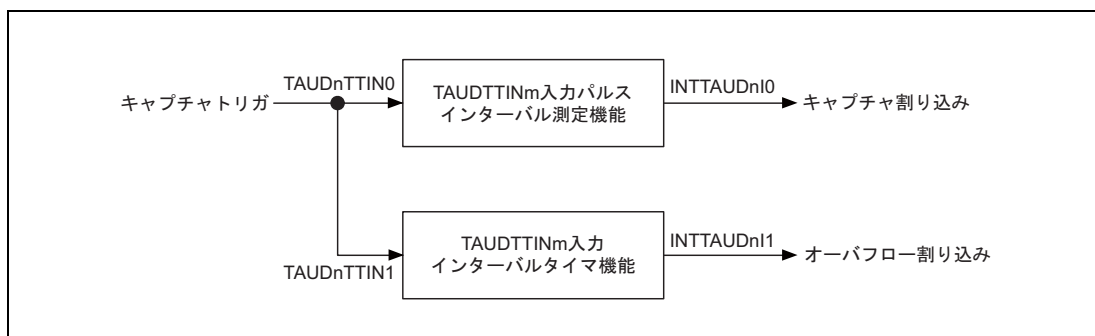


図 23.18 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

タイミング図

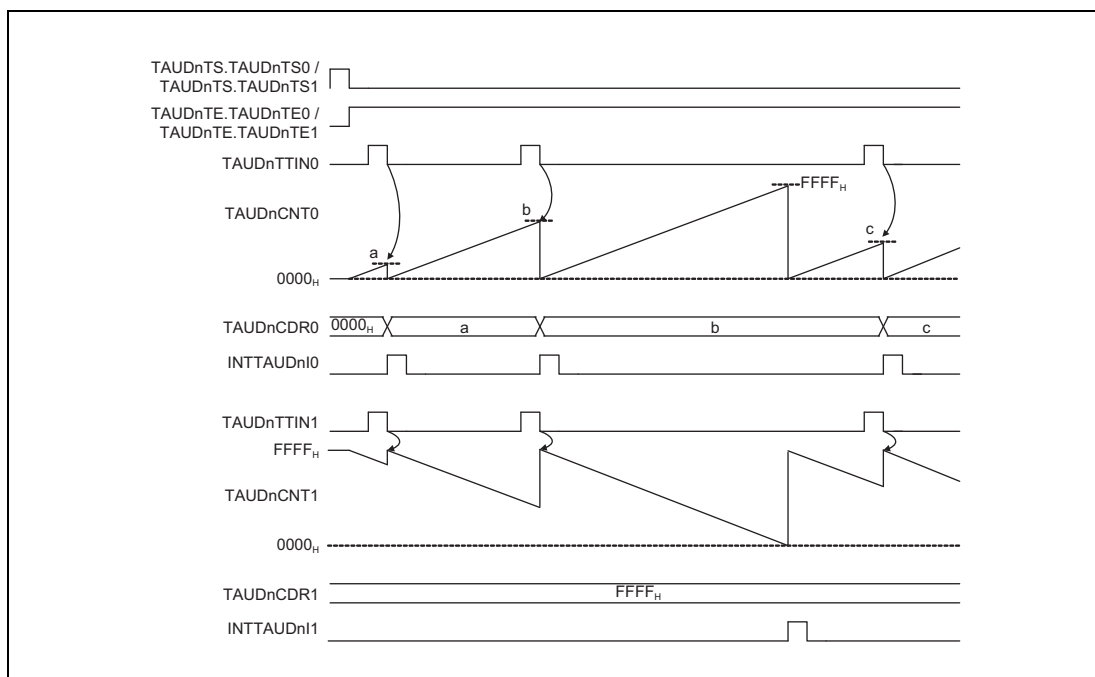


図 23.19 TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせによる割り込み発生

23.10.2 TAUDTTINm 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力信号幅測定機能の TAUDnCNTm の FFFF_H オーバフローをオーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) の INTTAUDnIm で検出できます。

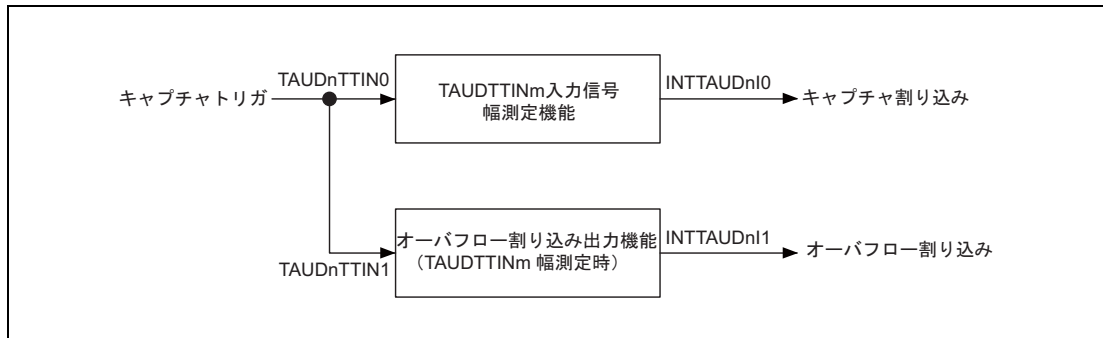


図 23.20 TAUDTTINm 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) の組み合わせ

タイミング図

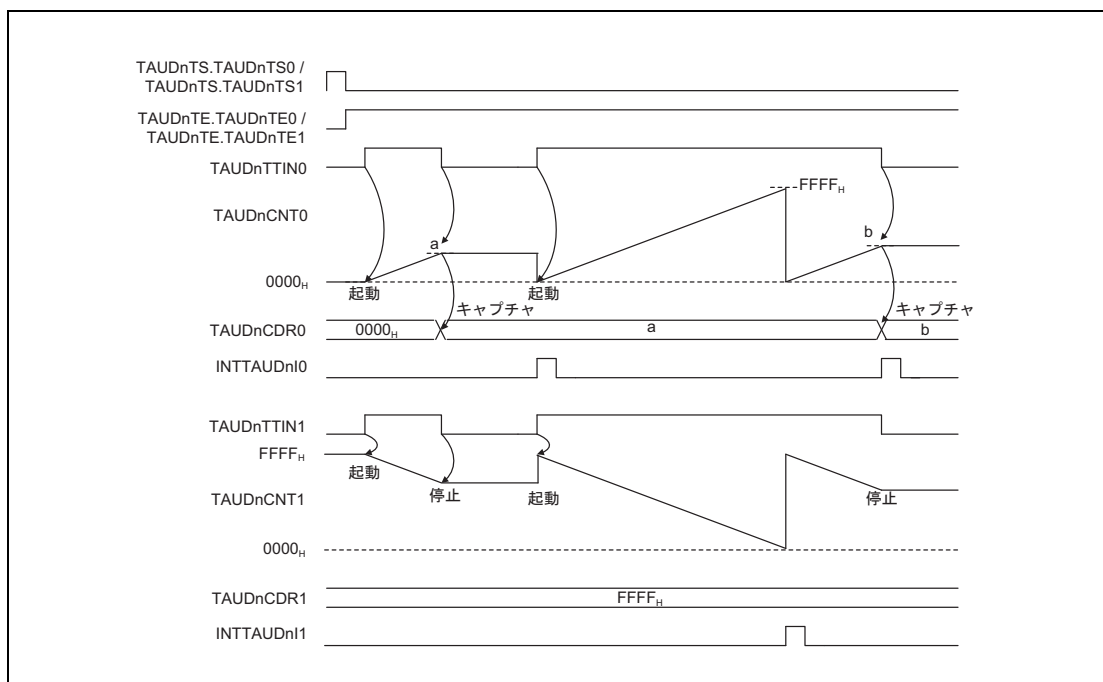


図 23.21 TAUDTTINm 入力信号幅測定機能とオーバーフロー割り込み出力機能 (TAUDTTINm 幅測定時) の組み合わせによる割り込み発生

23.10.3 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャンネルのカウンタを同時に開始することで、TAUDTTINm 入力位置検出機能の TAUDnCNTm の FFFF_H オーバフローをインターバルタイマ機能の INTTAUDnIm で検出できます。

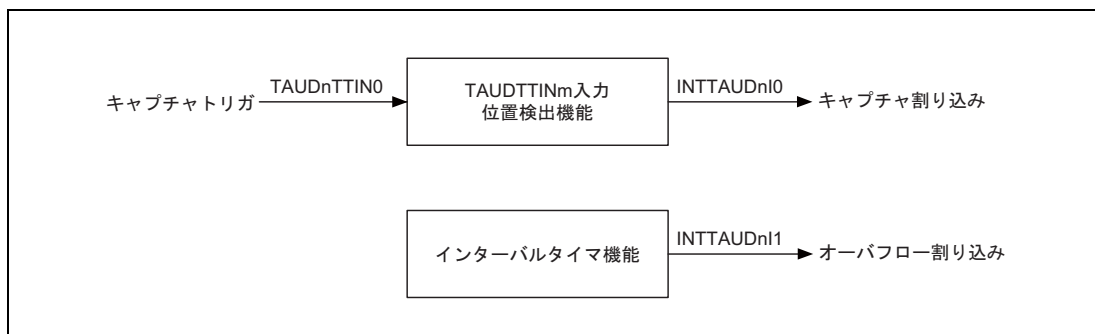


図 23.22 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

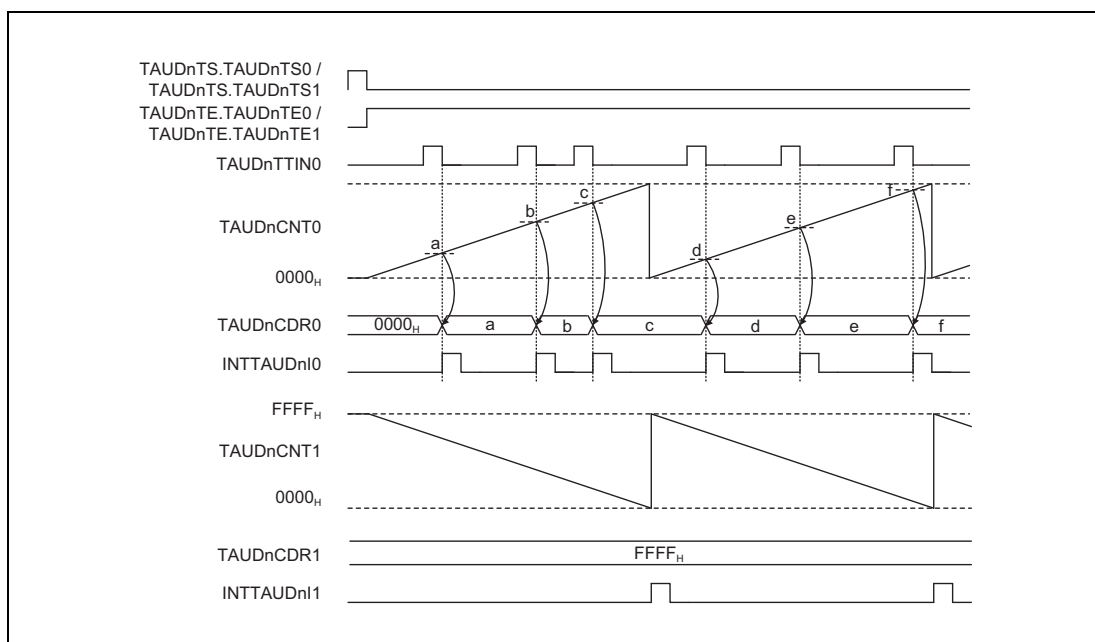


図 23.23 TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

23.10.4 TAUDTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の組み合わせ

両チャンネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力期間カウント検出機能の TAUDnCNTm の FFFF_H オーバフローをオーバーフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の INTTAUDnIm で検出できます。

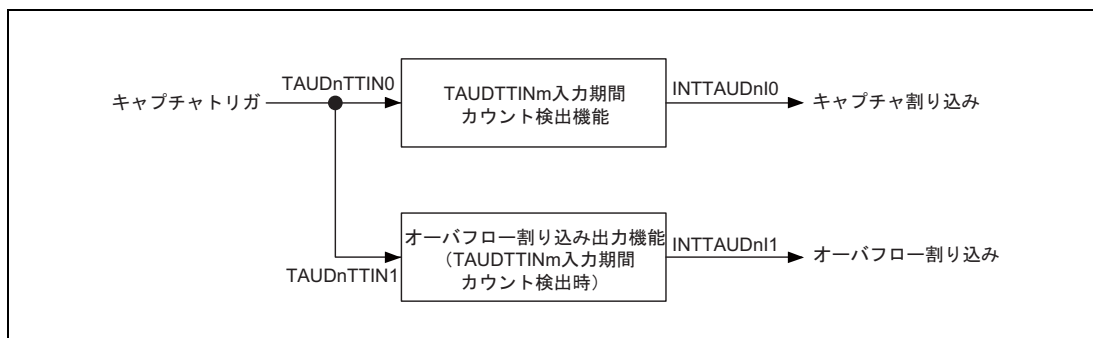


図 23.24 TAUDTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の組み合わせ

タイミング図

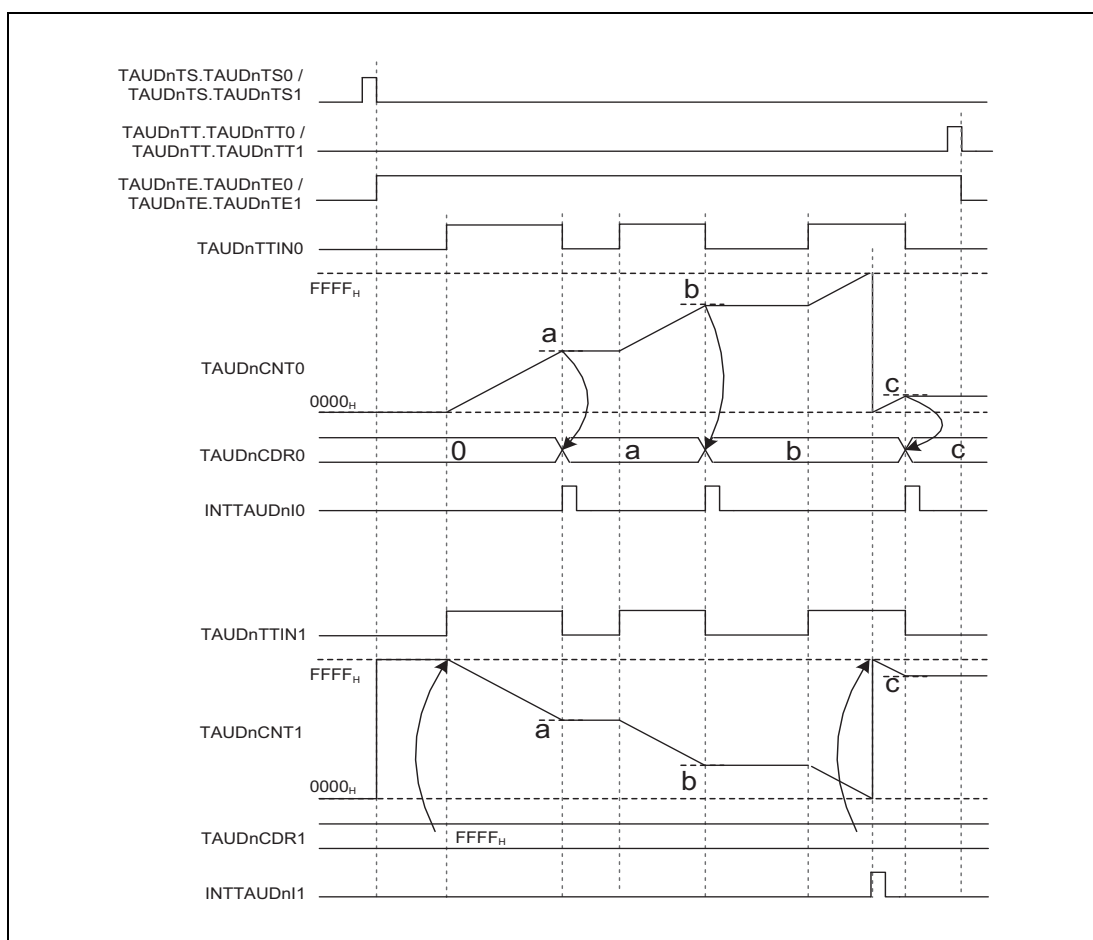


図 23.25 TAUDTTINm 入力期間カウント検出機能とオーバーフロー割り込み出力機能 (TAUDTTINm 入力期間カウント検出時) の組み合わせによる割り込み発生

23.11 TAUDnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを図 23.26 に示します。

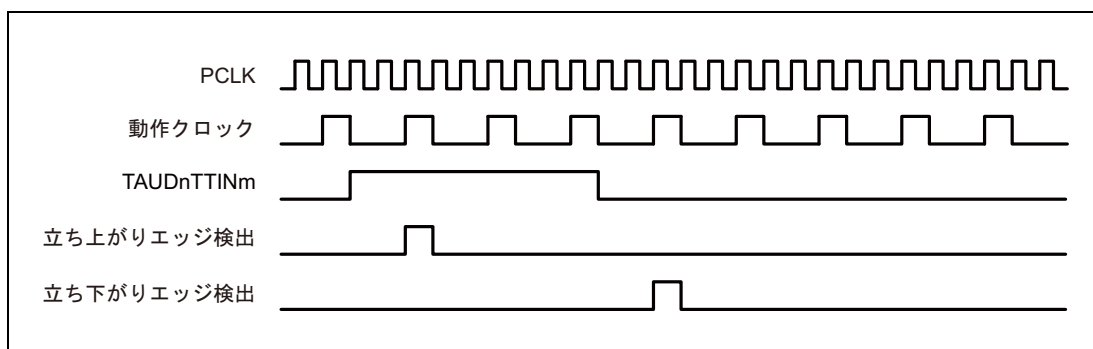


図 23.26 エッジ検出基本動作タイミング

図 23.26 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

23.12 チャネル単体動作機能

TAUD の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は、「23.2 概要」を参照してください。

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

23.12.1 インターバルタイマ機能

23.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUDnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUDnTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 23.44 インターバルタイマ機能の TAUDnCMORm レジスタの内容」参照)。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「23.7 チャネル出力モード」を参照してください。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDnTTOUTm 信号がトグルされます。その後、TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnCNTm と TAUDnTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDnTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が“1”に設定された場合に対して、反転された TAUDnTTOUTm 信号が出力されます。詳細は、「23.9 カウント開始/リスタート時の TAUDnTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

23.12.1.2 算出式

$\text{INTTAUDnIm の周期} = \text{カウントクロック周期} \times (\text{TAUDnCDRm} + 1)$

$\text{TAUDnTTOUTm の矩形波周期} = \text{カウントクロック周期} \times (\text{TAUDnCDRm} + 1) \times 2$

23.12.1.3 ブロック図と基本タイミング図

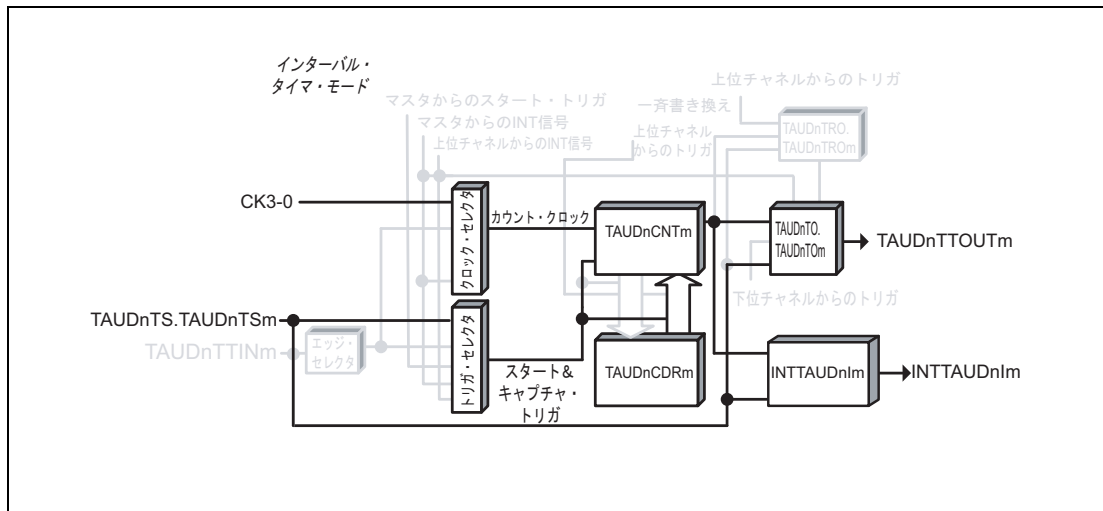


図 23.27 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

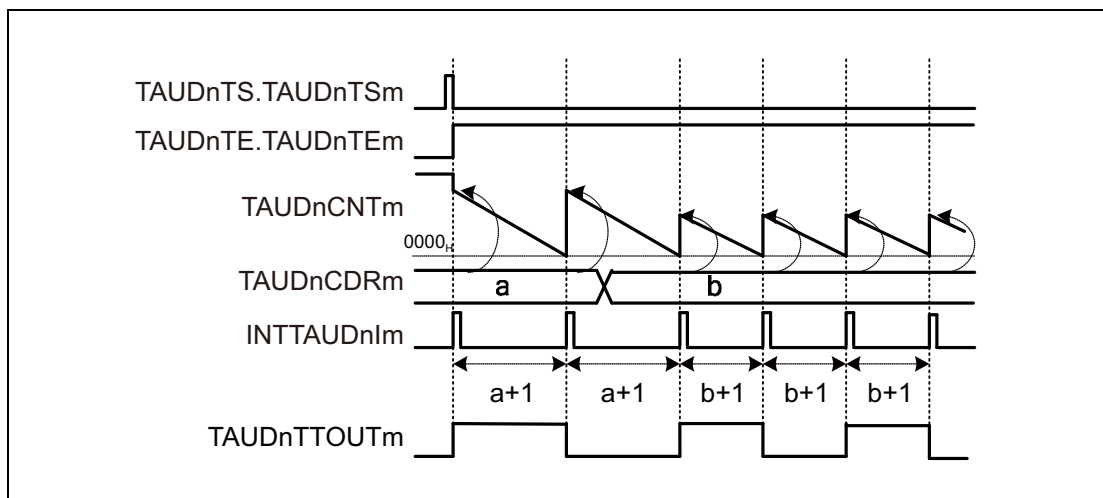


図 23.28 インターバルタイマ機能の基本タイミング図

23.12.1.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.44 インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDnTTOUtm はトグルされない 1：動作開始または再開時に INTTAUDnIm が発生し、TAUDnTTOUtm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.45 インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) チャネル出力モード

表 23.46 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグル・モード時は、設定無効(リセット後の値)となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

備 考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDnTOUTmを割り込みとは独立させて制御することができます。詳細は「23.7 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.47 インターバルタイマ機能の一斉書き換え設定

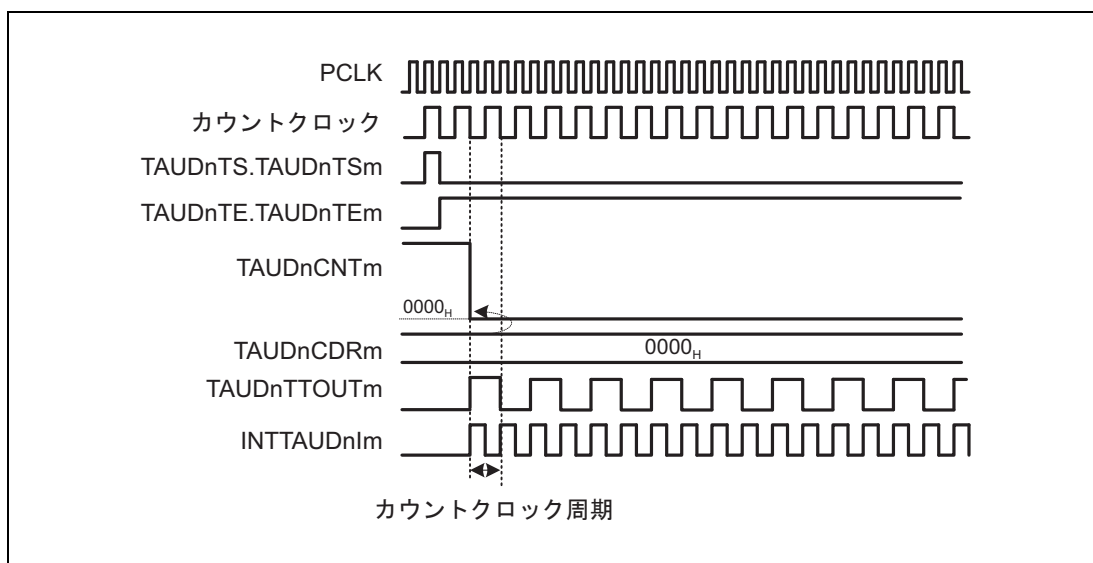
ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.1.5 インターバルタイマ機能の操作手順

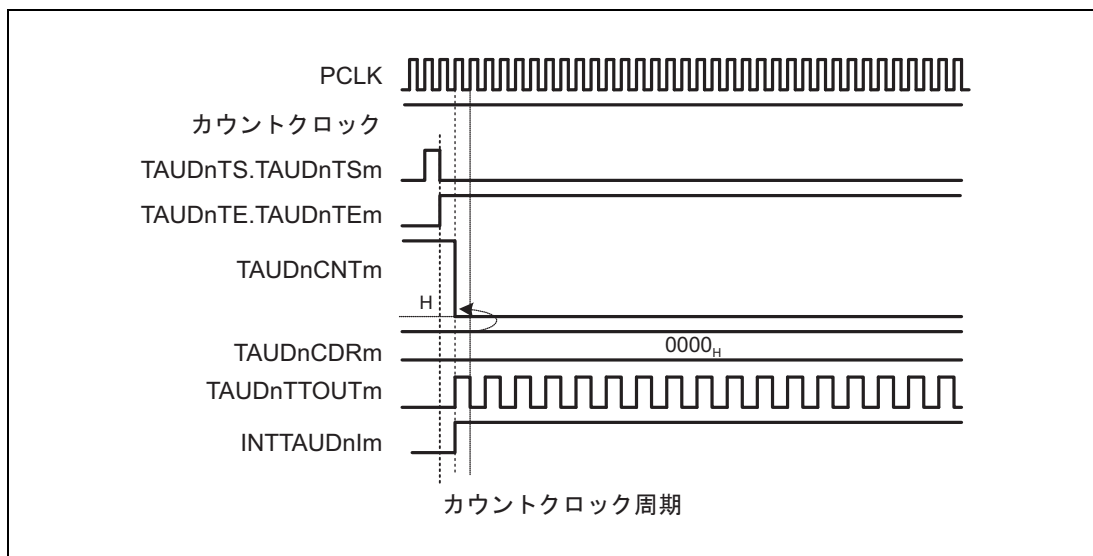
表 23.48 インターバルタイマ機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを「表 23.44 インターバルタイマ機能のTAUDnCMORm レジスタの内容」、「表 23.45 インターバルタイマ機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 23.46 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値をTAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDnTTOUTm がトリグルされます。
	動作中 動作中 TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUDnCDRmの値をTAUDnCNTmにロードし、カウント動作を継続します。 INTTAUDnIm が発生し、TAUDnTTOUTm がトリグルされます。
	動作停止 動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm とTAUDnTTOUTm は停止し、現在値を保持します。

23.12.1.6 特定の設定時のタイミング図

(1) TAUDnCDRm = 0000_H、カウントクロック = PCLK/2図 23.29 TAUDnCDRm = 0000_H、カウントクロック = PCLK/2

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDnTTOUTm はカウントクロックごとにトグルされます。

(2) TAUDnCDRm = 0000_H、カウントクロック = PCLK図 23.30 TAUDnCDRm = 0000_H、カウントクロック = PCLK

- TAUDnCDRm = 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000_H です。
- 継続的に INTTAUDnIm が発生しますが、割り込みは最初の 1 回のみ発生し、後続の割り込みは発生しません。PCLK クロックごとに TAUDnTTOUTm がトグルされます。

備考

INTTAUDnIm は、ハイレベル固定になります。

(3) 動作の停止と再開

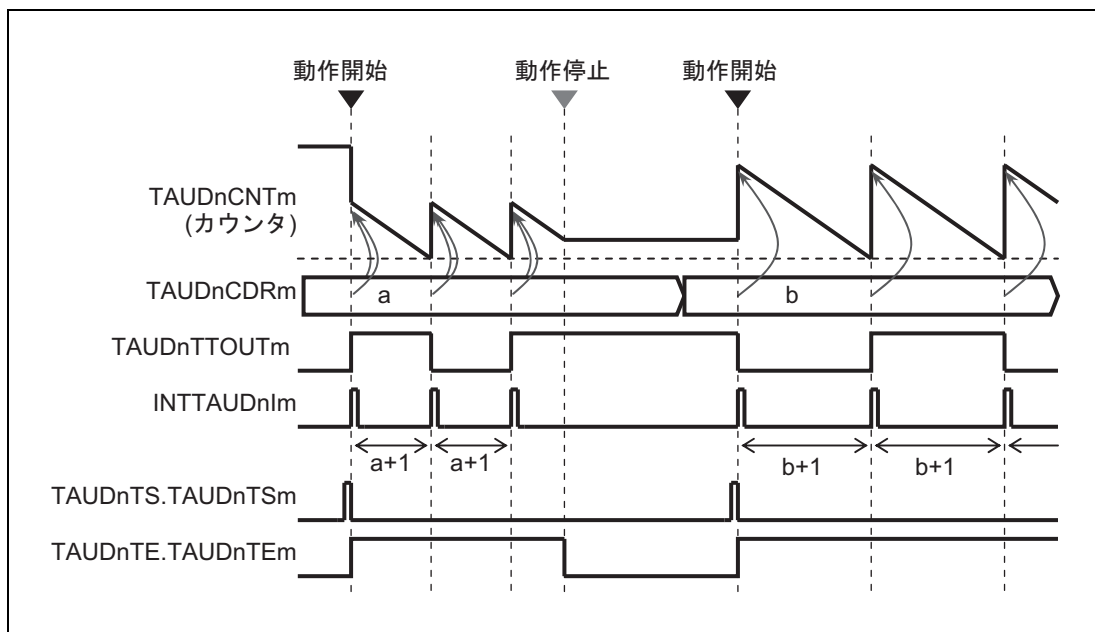


図 23.31 動作の停止と再開 (TAUDnCMORm.TAUDnMD0 = 1)

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm と TAUDnTTOUTm は停止しますが、値は保持します。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

(4) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1)

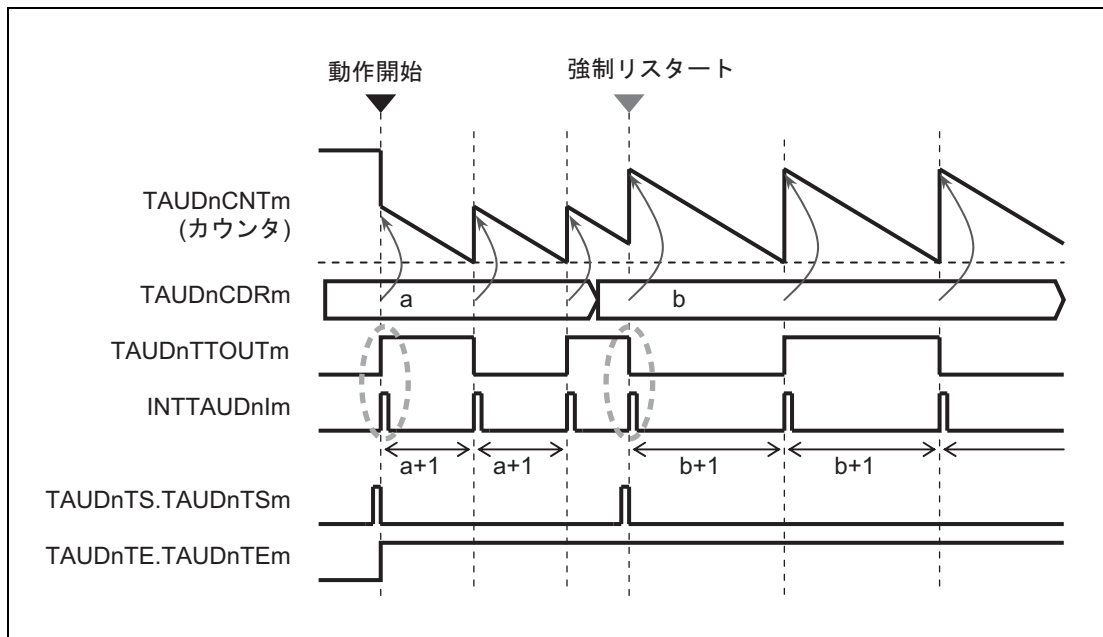


図 23.32 強制リスタート動作 (TAUDnCMORm.TAUDnMD0 = 1)

- カウント中に TAUDnTS.TAUDnTSM を“1”に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUDnCDRm の値は、TAUDnCNTm に反映されて、カウントを開始します。
変更した TAUDnCDRm の値を即時反映させる場合は、強制リスタートをして下さい。
- 強制リスタート時は、割り込み (INTTAUDnIm) が発生し、TAUDnTOUTm が反転します。

(5) 強制リスタート (TAUDnCMORm.TAUDnMD0 = 0)

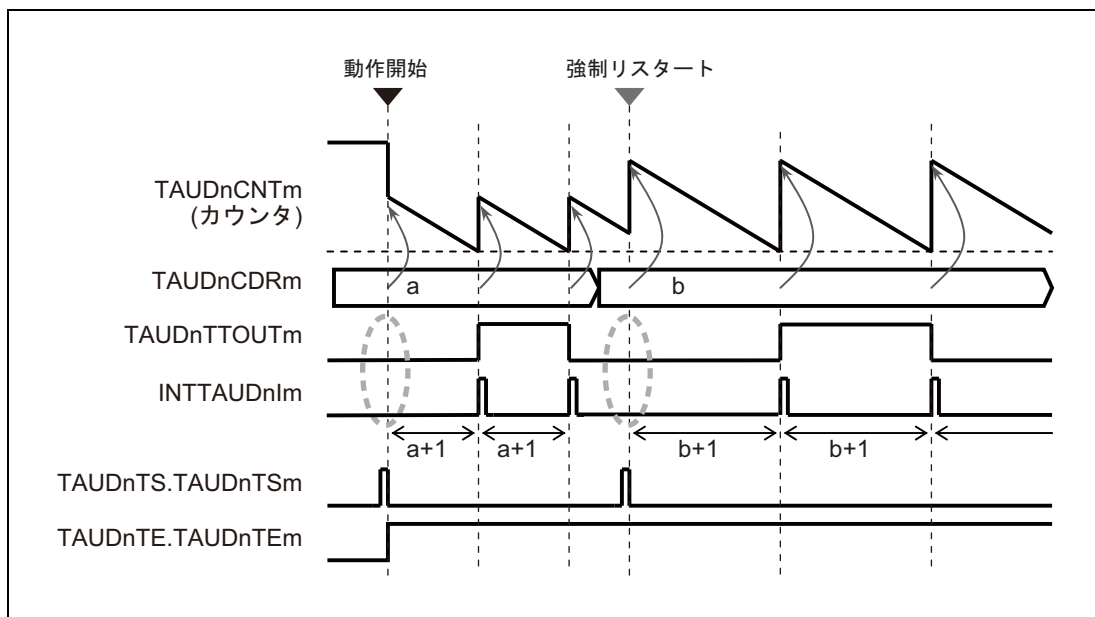


図 23.33 強制リスタート動作 (TAUDnCMORm.TAUDnMD0 = 0)

- 強制リスタート時は、割り込み (INTTAUDnIm) が発生しません。TAUDnTOUTm も反転しません。

23.12.2 TAUDnTTINm 入インターバルタイマ機能

23.12.2.1 概要

概要

この機能は、一定間隔または有効な TAUDnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUDnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUDnTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 23.49 TAUDnTTINm 入インターバルタイマ機能の TAUDnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「23.7 チャンネル出力モード」を参照してください。

機能説明

この機能は、有効な TAUDnTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します (「23.12.1 インターバルタイマ機能」参照)。トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

23.12.2.2 算出式

INTTAUDnIm の周期 = カウントクロック周期 × (TAUDnCDRm + 1)

TAUDnTTOUTm の矩形波周期 = カウントクロック周期 × (TAUDnCDRm + 1) × 2

23.12.2.3 ブロック図と基本タイミング図

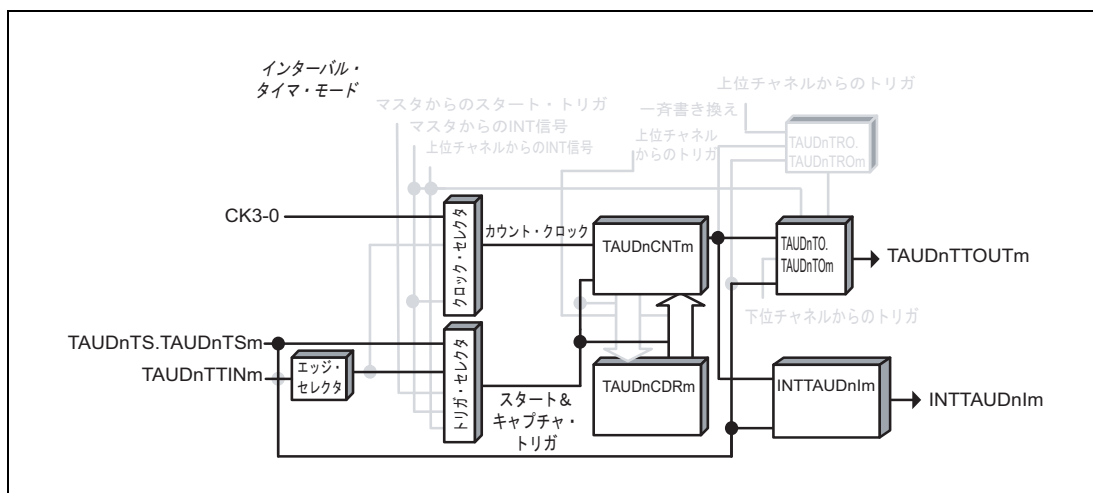


図 23.34 TAUDnTTINm 入カインターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

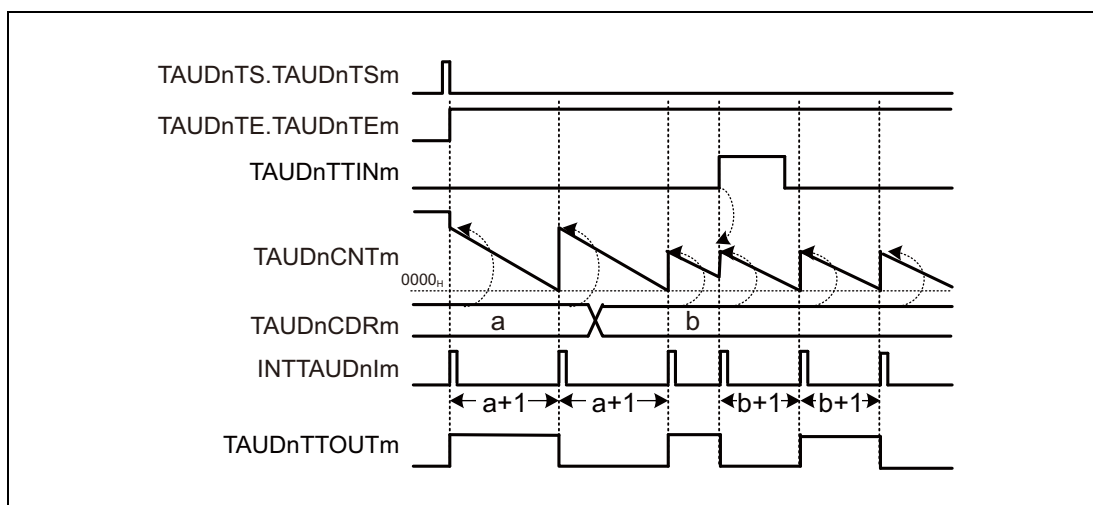


図 23.35 TAUDnTTINm 入カインターバルタイマ機能の基本タイミング図

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.49 TAUDnTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDnTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDnTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDnTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 23.50 TAUDnTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(3) チャネル出力モード

表 23.51 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグル・モード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0 : リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0 : 変調禁止

備 考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDnTOUTm を割り込みとは独立させて制御することができます。詳細は「23.7 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDnTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.52 TAUDnTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.2.4 TAUDnTTINm 入力インターバルタイマ機能の操作手順

表 23.53 TAUDnTTINm 入力インターバルタイマ機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.49 TAUDnTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容」と「表 23.50 TAUDnTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 23.51 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生し、TAUDnTTOUTm がトリグルされます。
	動作中 TAUDnCMURm.TAUDnTIS[1:0]、TAUDnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。 TAUDnTTINm エッジ検出	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再びTAUDnCDRmの値をTAUDnCNTmにロードし、カウント動作を継続します。 INTTAUDnIm が発生し、TAUDnTTOUTm がトリグルされます。 カウント動作中に TAUDnTTINm 入力の有効エッジを検出すると、再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm と TAUDnTTOUTm は停止し、現在値を保持します。

23.12.2.5 特定の設定時のタイミング図

「23.12.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUDnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

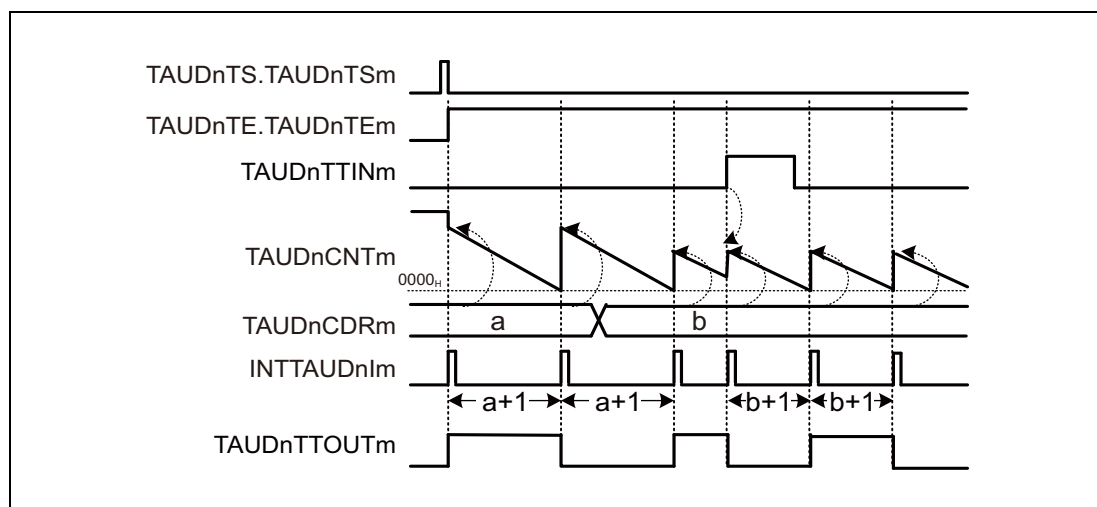


図 23.36 立ち上がり TAUDnTTINm 入力エッジ (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)、TAUDnCMORm.TAUDnMD0 = 1 でトリガされたカウンタ

- 有効な TAUDnTTINm 入力エッジを検出した場合、TAUDnTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUDnCMURm.TAUDnTIS[1:0] = 01_B) です。

23.12.3 クロック分周機能

23.12.3.1 概要

概要

この機能は、周波数の分周に使用します。TAUDnTTINm 入力信号の周波数を TAUDnCDRm の係数で分周し、結果として得られる信号を TAUDnTTOUTm に出力します。

前提条件

- TAUDnTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります（「表 23.54 クロック分周機能の TAUDnCMORm レジスタの内容」参照）。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「23.7 チャンネル出力モード」を参照してください。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタは TAUDnTTINm をカウントクロックとして使用し、その TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDnTTOUTm 信号がトグルされます。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnCNTm と TAUDnTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSM を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDnTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が“1”に設定された場合に対して、反転された TAUDnTTOUTm 信号が出力されます。詳細は「23.9 カウント開始/リスタート時の TAUDnTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

備考

TAUDnTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDnTTOUTm の出力クロックの周期には、動作クロック ±1 周期分の誤差があります。

23.12.3.2 算出式

- 立ち上がりエッジ検出選択時：
 $TAUDnTTOUTm \text{ 周波数} = TAUDnTTINm \text{ 周波数} / [(TAUDnCDRm + 1) \times 2]$
- 立ち下がりエッジ検出選択時：
 $TAUDnTTOUTm \text{ 周波数} = TAUDnTTINm \text{ 周波数} / [(TAUDnCDRm + 1) \times 2]$
- 両エッジ検出選択時：
 $TAUDnTTOUTm \text{ 周波数} = TAUDnTTINm \text{ 周波数} / (TAUDnCDRm + 1)$

23.12.3.3 ブロック図と基本タイミング図

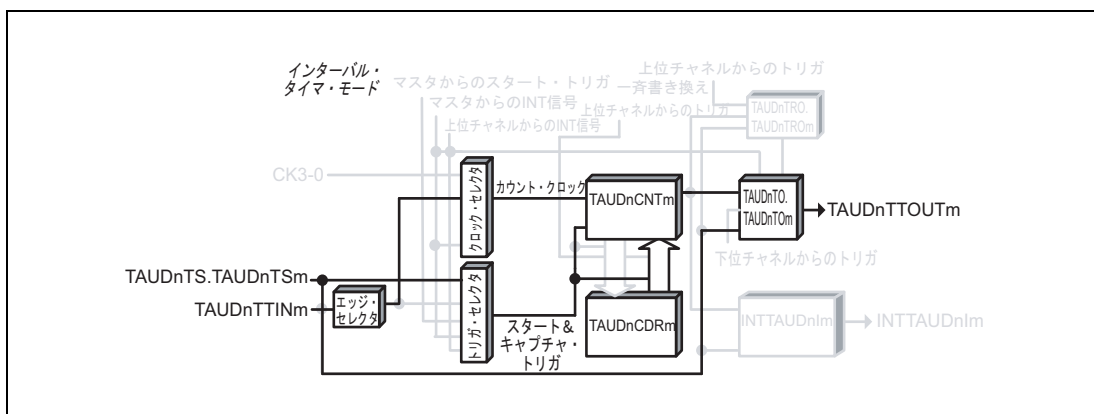


図 23.37 クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

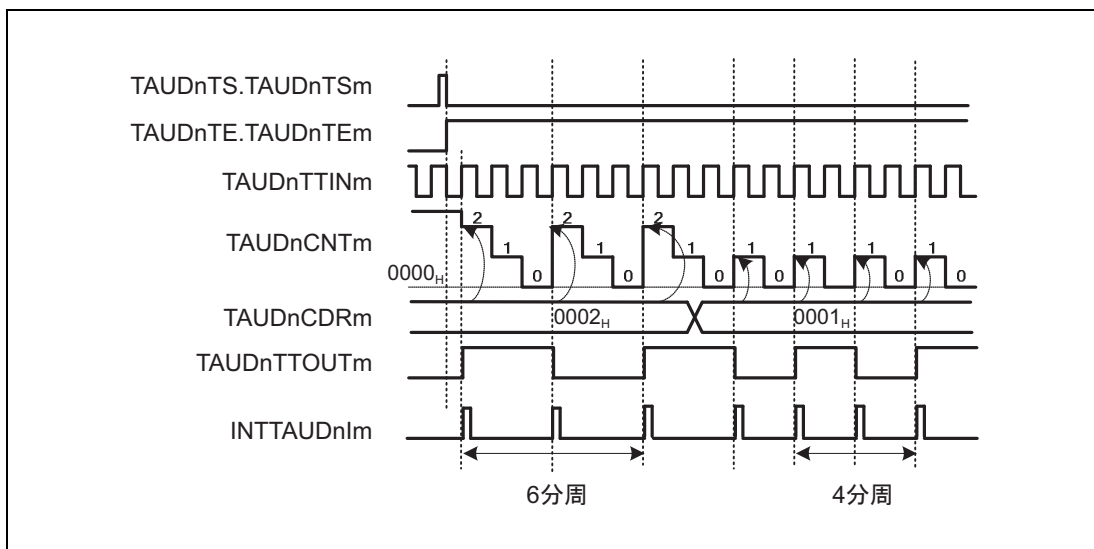


図 23.38 クロック分周機能の基本タイミング図

23.12.3.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.54 クロック分周機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	01：有効な TAUDnTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDnTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDnTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.55 クロック分周機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(3) チャネル出力モード

表 23.56 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグル・モード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、クロック分周機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.57 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.3.5 クロック分周機能の操作手順

表 23.58 クロック分周機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.54 クロック分周機能の TAUDnCMORm レジスタの内容」と「表 23.55 クロック分周機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「表 23.56 チャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウンタが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードします。TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生し、TAUDnTTOUTm がトグルされます。
	動作中 動作中 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnTTINm 入力エッジを検出すると、TAUDnCNTm はダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> TAUDnCDRm 値を TAUDnCNTm にロードし、カウンタ動作を継続します。 INTTAUDnIm が発生します。 TAUDnTTOUTm がトグルされます。 以降、この動作を繰り返します。
	動作停止 動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnTTOUTm は現在値を保持します。

23.12.3.6 特定の設定時のタイミング図

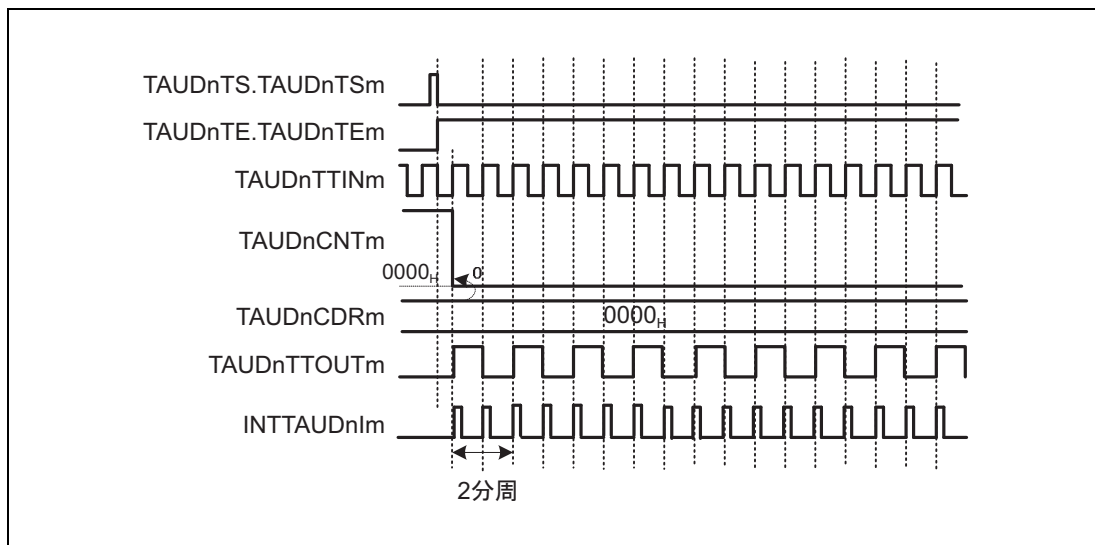
(1) TAUDnCDRm = 0000_H

図 23.39 TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1、
TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- TAUDnCDRm が 0000_H ならば、TAUDnCNTm も必ず 0000_H です。
- INTTAUDnIm がカウンタクロックごとに発生するので、TAUDnTTOUTm はカウンタクロックごとにトグルされます。

図 23.39 は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在します。

(2) 動作再開

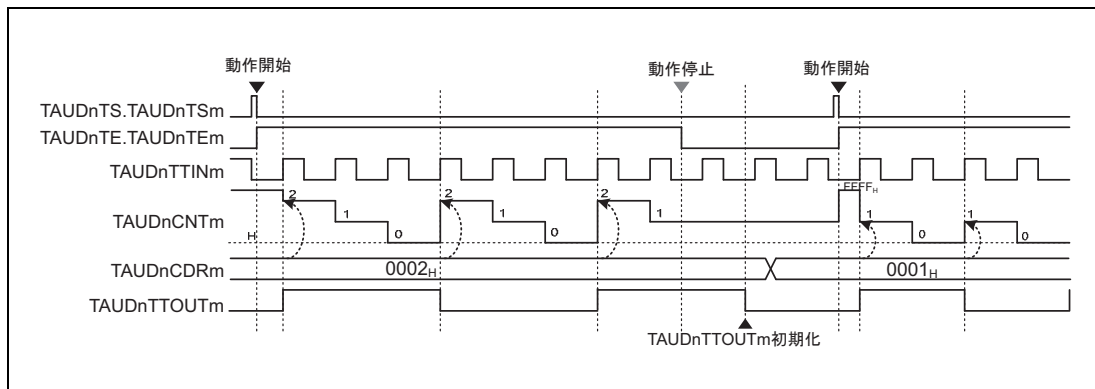


図 23.40 動作再開 (TAUDnCMORm.TAUDnMD0 = 1、TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

TAUDnTTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時 (TAUDnTE.TAUDnTEm = 0) に TAUDnTOE.TAUDnTOEm = 0 を設定。
- その後、TAUDnTO.TAUDnTOm に “0” または “1” を書き込んで、TAUDnTTOUTm の新しいスタート値を設定。

(3) 強制リスタート

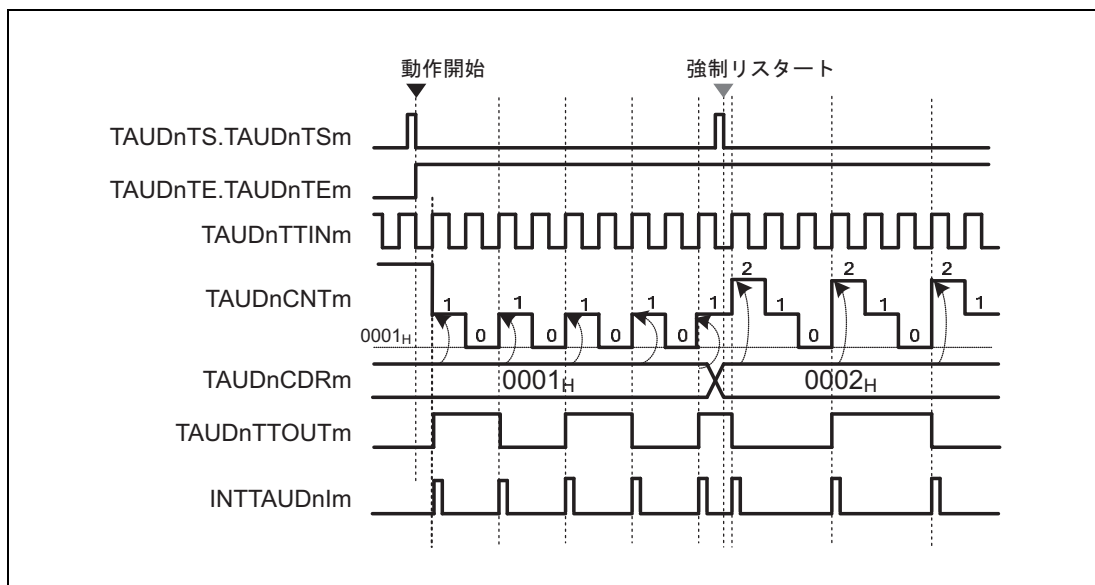


図 23.41 強制リスタート (TAUDnCMORm.TAUDnMD0 = 1、
TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

- 動作中に TAUDnTS.TAUDnTSM = 1 を設定すると、いったん停止しなくてもカウントを強制的に再開できます。
- TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウント動作が再開されます。
- TAUDnTTOUTm は、強制リスタート前の出力レベルで動作が再開されます。

23.12.4 外部イベントカウント機能

23.12.4.1 概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUDnTTINm 入力有効エッジを検出すると割り込み (INTTAUDnIm) を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります (「表 23.59 外部イベントカウント機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDnTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。

有効な TAUDnTTINm 入力エッジを検出すると、TAUDnCNTm 値はデクリメントされます。TAUDnCNTm は、有効な TAUDnTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUDnCDRm + 1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタ動作を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B の時は、立ち下がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B の時は、立ち上がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の時は、両エッジがカウントされます。

23.12.4.2 算出式

INTTAUDnIm 発生前に検出される有効エッジ数 = TAUDnCDRm + 1

23.12.4.3 ブロック図と基本タイミング図

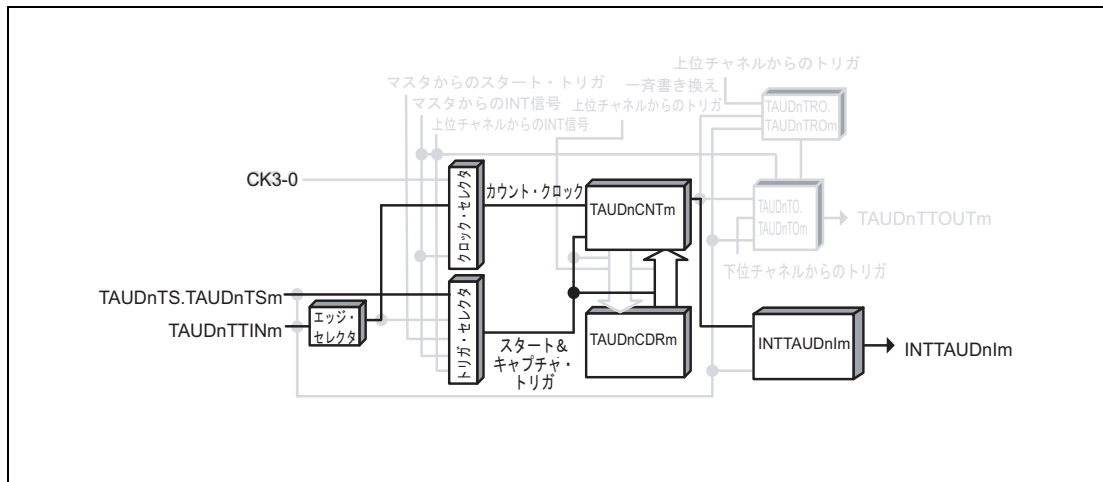


図 23.42 外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

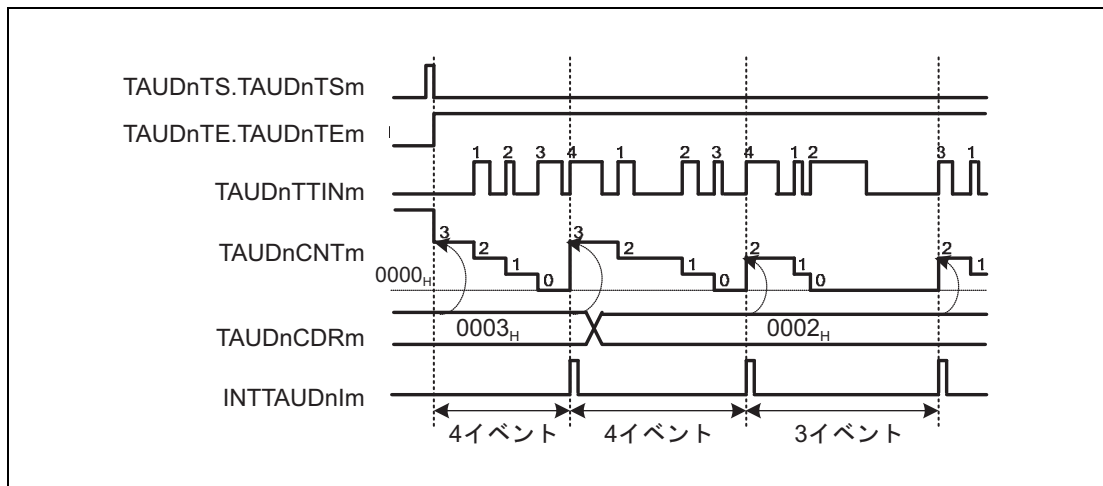


図 23.43 外部イベントカウント機能の基本タイミング図

23.12.4.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.59 外部イベントカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	01：有効な TAUDnTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.60 外部イベントカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.61 外部イベントカウント機能の一斉書き換え設定

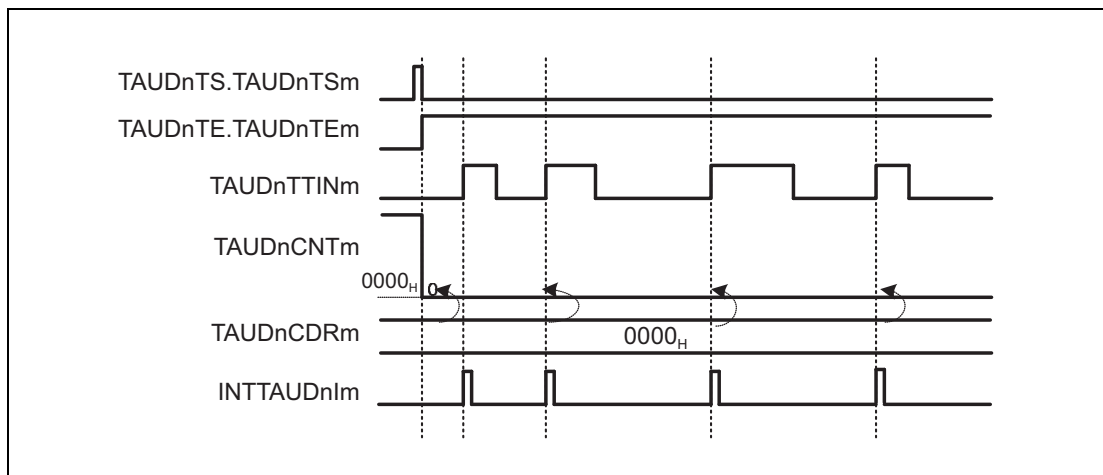
ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.4.5 外部イベントカウント機能の操作手順

表 23.62 外部イベントカウント機能の操作手順

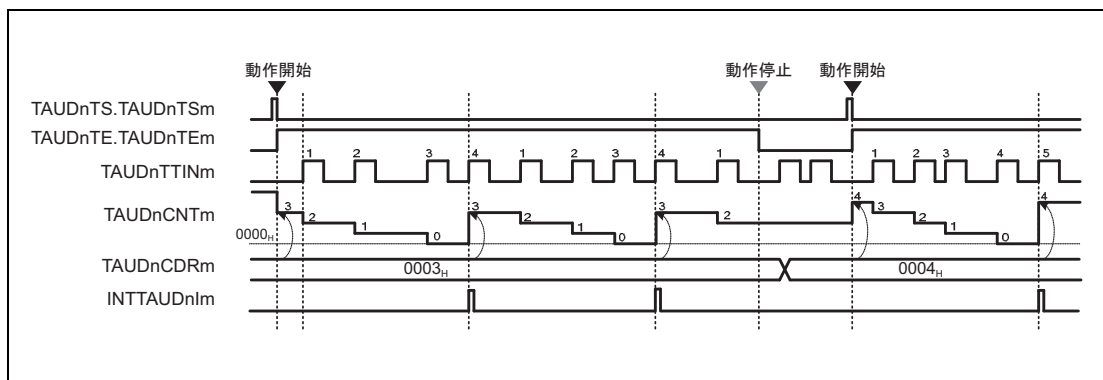
	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.59 外部イベントカウント機能の TAUDnCMORm レジスタの内容」と「表 23.60 外部イベントカウント機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードし、TAUDnTTINm 入力エッジ検出を待ちます。
	動作中 TAUDnTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は TAUDnTTINm 入力エッジを検出するたびに、ダウンカウントを行います。有効エッジが TAUDnCDRm + 1 検出された場合： <ul style="list-style-type: none"> TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

23.12.4.6 特定の設定時のタイミング図

(1) TAUDnCDRm = 0000_H図 23.44 TAUDnCDRm = 0000_H、TAUDnCMURm.TAUDnTIS[1:0] = 01_B

- 0000_H = TAUDnCDRm の場合、有効な TAUDnTTINm 入力エッジが検出されるたびに 0000_H が TAUDnCNTm にロードされます。つまり、有効な TAUDnTTINm 入力エッジが検出されるたびに、INTTAUDnIm が発生します。

(2) 動作の停止と再開

図 23.45 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

- TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。TAUDnTTINm は継続し、TAUDnCNTm は有効エッジを無視します。
- TAUDnTS.TAUDnTsm を “1” に設定すると、カウントを再開できます。TAUDnCNTm は TAUDnCDRm 値をロードし、カウント動作を再開します。

(3) 強制リスタート

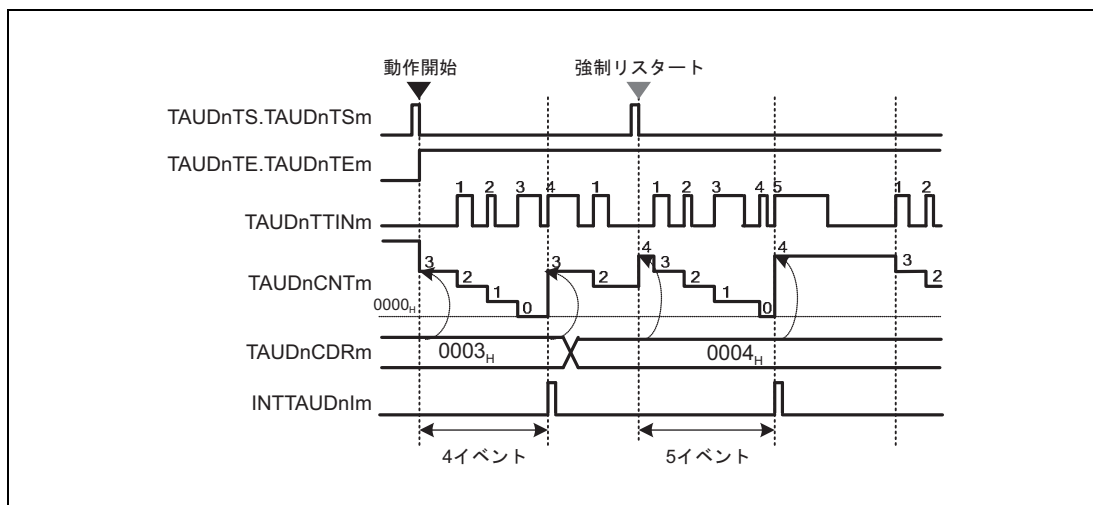


図 23.46 強制リスタート (TAUDnCMURm.TAUDnTIS[1:0] = 01_B)

強制リスタートを行うと、変更した TAUDnCDRm の値が TAUDnCNTm に適用されます。

- 動作中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタは次の有効な TAUDnTTINm 入力エッジを待ちます。

23.12.5 ディレイカウント機能

23.12.5.1 概要

概要

この機能は、TAUDnTTINm 入力信号に対して一定の遅延がある割り込み (INTTAUDnIm) を発生します。遅延期間に発生した TAUDnTTINm 入力信号パルスは無視されます。

前提条件

- 動作モードはワンカウントモードに設定する必要があります (「表 23.63 ディレイカウント機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDnTTOUTm は使用しません。
- カウント動作中は、スタートトリガを無効 (TAUDnCMORm.TAUDnMD0 = 0) にする必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を “1” に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDnTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは FFFF_H に戻り、次の有効な TAUDnTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDnTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

23.12.5.2 算出式

TAUDnTTINm-INTTAUDnIm 間の遅延 = カウントクロック周期 × (TAUDnCDRm + 1)

23.12.5.3 ブロック図と基本タイミング図

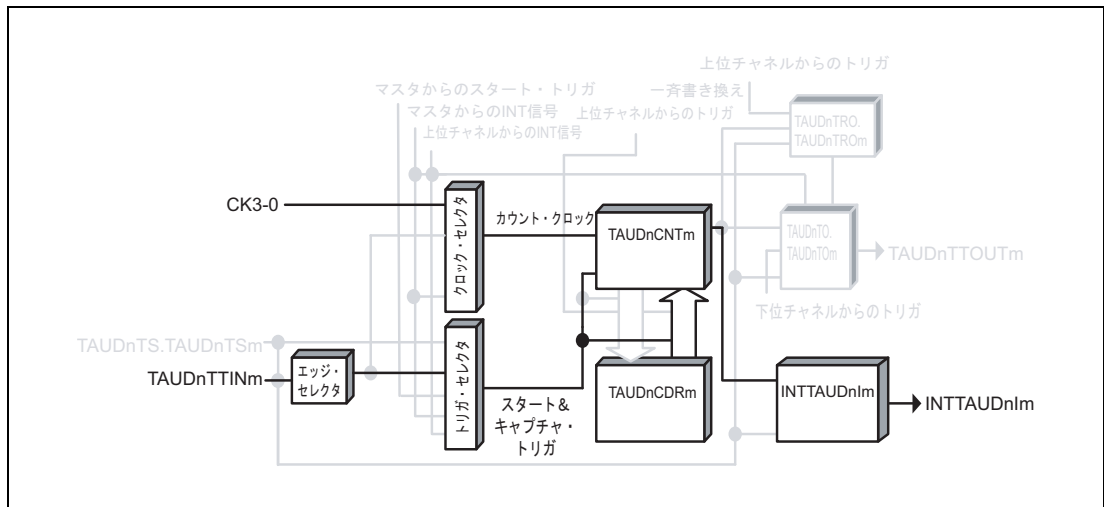


図 23.47 デレイカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

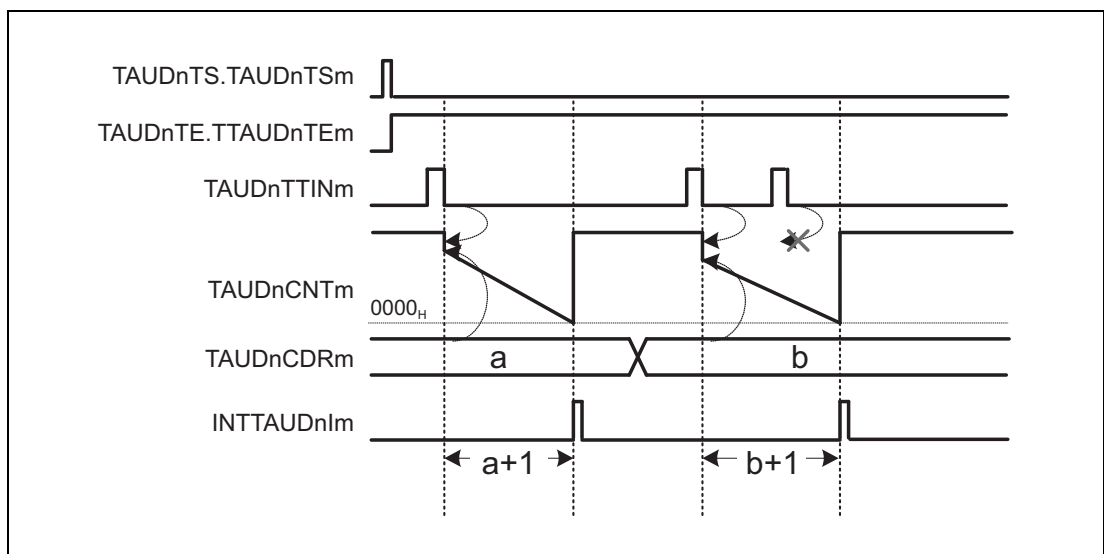


図 23.48 デレイカウント機能の基本タイミング図

23.12.5.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.63 ディレイカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDnTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガは無効とする

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.64 ディレイカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、ディレイカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.65 ディレイカウント機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.5.5 ディレイカウント機能の操作手順

表 23.66 ディレイカウント機能の操作手順

	操作	TAUDnの状態
動作再開 ↓	初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.63 ディレイカウント機能の TAUDnCMORm レジスタの内容」と「表 23.64 ディレイカウント機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDnTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDnTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値を TAUDnCNTm にロードします。
	動作中 TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合 : INTTAUDnIm が発生します。 TAUDnCNTm はカウントを停止し、FFFF _H を戻し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、値を保持します。

23.12.6 ワンパルス出力機能

23.12.6.1 概要

概要

この機能は、有効な TAUDnTTINm 入力エッジ検出時とその後一定の間隔で、割り込み (INTTAUDnIm) を発生します。定められた期間内に発生する TAUDnTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUDnTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります (「表 23.67 ワンパルス出力機能の TAUDnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 2 に設定する必要があります。「23.7 チャンネル出力モード」を参照してください。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDnTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDnTTOUTm がアクティブレベルに設定されます。

カウンタが 0001_H になると、割り込みが発生し、TAUDnTTOUTm がインアクティブレベルに設定されます。カウンタは 0000_H で動作を停止し、次の有効な TAUDnTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDnTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

23.12.6.2 算出式

TAUDnTTINm-INTTAUDnIm の間隔 = TAUDnTTOUTm (タイマ出力) 幅 = カウントクロック周期 × TAUDnCDRm

23.12.6.3 ブロック図と基本タイミング図

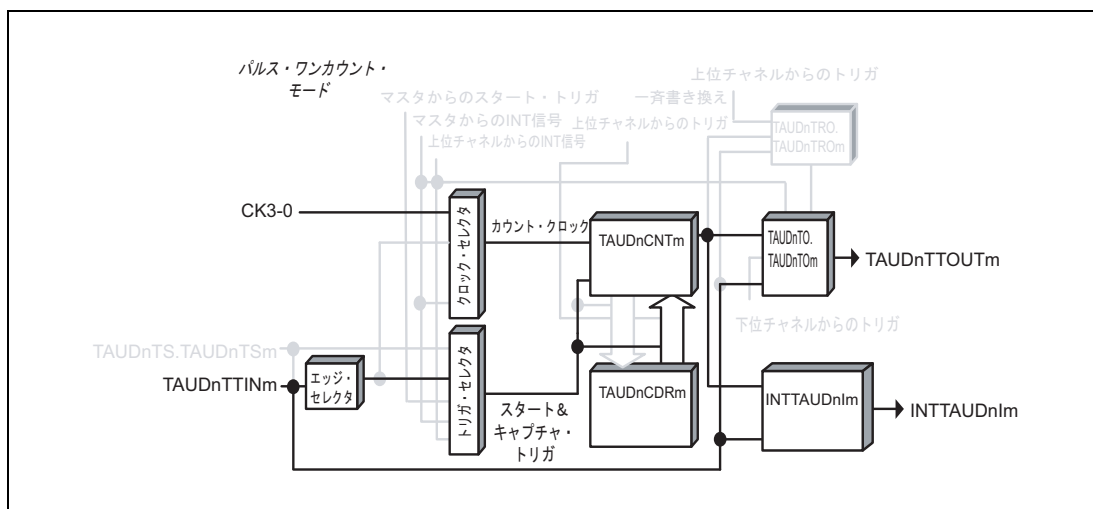


図 23.49 ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

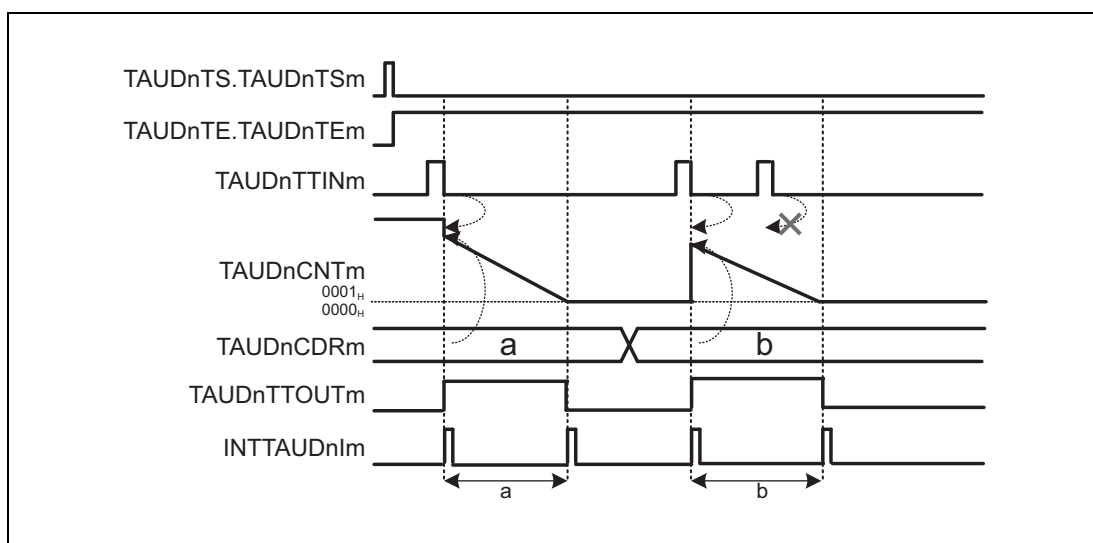


図 23.50 ワンパルス出力機能の基本タイミング図

23.12.6.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.67 ワンパルス出力機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDnTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガを無効とする

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.68 ワンパルス出力機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 23.69 チャネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: ソフトウェア制御のチャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	1: セット/リセットモード
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

備考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDnTTOUm を割り込みとは独立させて制御することができます。詳細は「表 23.43 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.70 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.6.5 ワンパルス出力機能の操作手順

表 23.71 ワンパルス出力機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 チャンネルの初期設定 制御ビットを「表 23.69 チャンネル単体出力モード2時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 動作開始 TAUDnTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDnTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をロードします。
	動作中 動作中 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm の開始時に INTTAUDnIm が発生し、TAUDnTTOUtm はアクティブレベルに設定されます。 TAUDnCNTm がダウンカウントを行います。カウンタが 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 TAUDnTTOUtm がインアクティブレベルに設定されます。 TAUDnCNTm はカウントを停止し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。
	動作停止 動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDnTTOUtm は停止し、現在値を保持します。

23.12.7 TAUDnTTINm 入力パルスインターバル測定機能

23.12.7.1 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUDnCSRm.TAUDnOVF を使用して TAUDnTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（「表 23.73 TAUDnTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDnTTOUTm は使用しません。

機能説明

チャネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDnTTINm エッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUDnTTINm エッジを検出する前にカウンタが FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。

TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 23.72 オーバフローの影響

TAUDnCMORm. TAUDnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUDnTTINm 入力 が検出された場合	
	TAUDnCDRm	TAUDnCSRm. TAUDnOVF	TAUDnCDRm、 TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロー ドされる	1
01		1		
10	FFFF _H に設定	0	TAUDnCNTm は“0” に設定され、 TAUDnCDRm は変更 されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDnTTINm 信号の間隔を推定できます。ただし、有効な TAUDnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示せません。

TAUDnTT.TAUDnTTm = 1 を設定すると機能を停止できます。これにより、TAUDnTE.TAUDnTEm = 0 が設定されます。TAUDnCNTm が停止し、値を保持します。機能停止中、有効な TAUDnTTINm 入力エッジの検出と TAUDnCNTm のキャプチャは行われません。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**23.9 カウント開始/リスタート時の TAUDnTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

備考

TAUDnCMORm.TAUDnCOS[1] = 1 の場合、オーバーフロー後の最初の有効な TAUDnTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

23.12.7.2 算出式

TAUDnTTINm 入力パルスインターバル = カウントクロック周期 ×
[(TAUDnCSRm.TAUDnOVF × (FFFF_H + 1)) + TAUDnCDRm キャプチャ値 + 1]

23.12.7.3 ブロック図と基本タイミング図

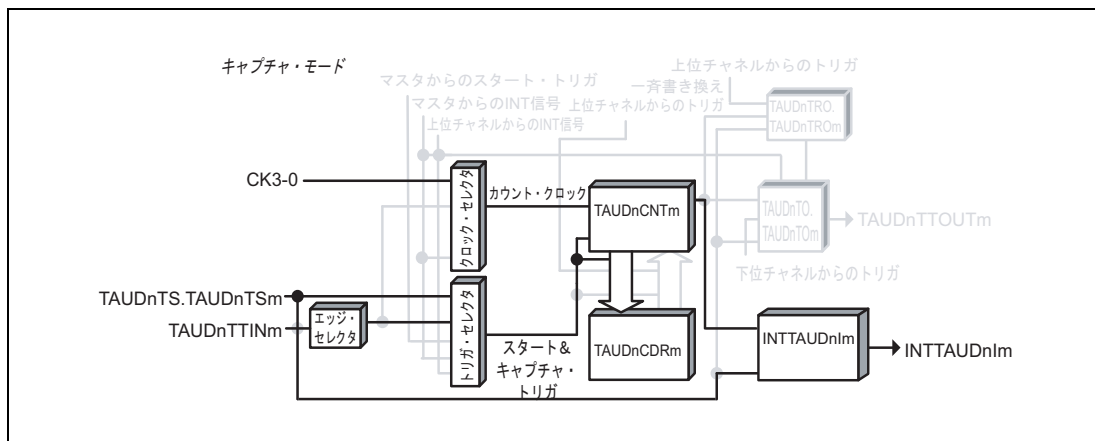


図 23.51 TAUDnTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUDnTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を“1”に設定する (TAUDnCMORm.TAUDnCOS[1:0] = 00_B)

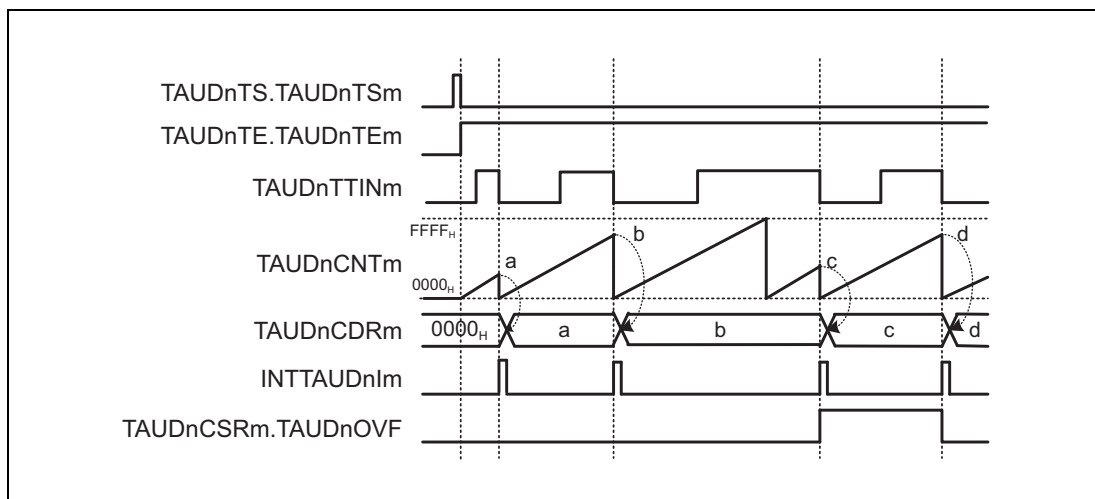


図 23.52 TAUDnTTINm 入力パルスインターバル測定機能の基本タイミング図

23.12.7.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.73 TAUDnTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、0を設定
10～8	TAUDnSTS [2:0]	001：TAUDnTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	「表 23.72 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.74 TAUDnTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDnTTINm 入力パルス測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.75 TAUDnTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.7.5 TAUDnTTINm 入力パルスインターバル測定機能の操作手順

表 23.76 TAUDnTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.73 TAUDnTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容」と「表 23.74 TAUDnTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウンタが開始されます。 TAUDnCNTm が 0000 _H にクリアされます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	動作中 TAUDnTTINm エッジ検出 TAUDnCMURm.TAUDnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットの 1 書き込みが可能です。(TAUDnCSRm.TAUDnOVF ビットを“0”にクリア)	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値をTAUDnCDRmに転送 (キャプチャ) して、0000_Hに戻ります。 その後、INTTAUDnIm が発生します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

23.12.7.6 特定の設定時のタイミング図：オーバーフロー動作

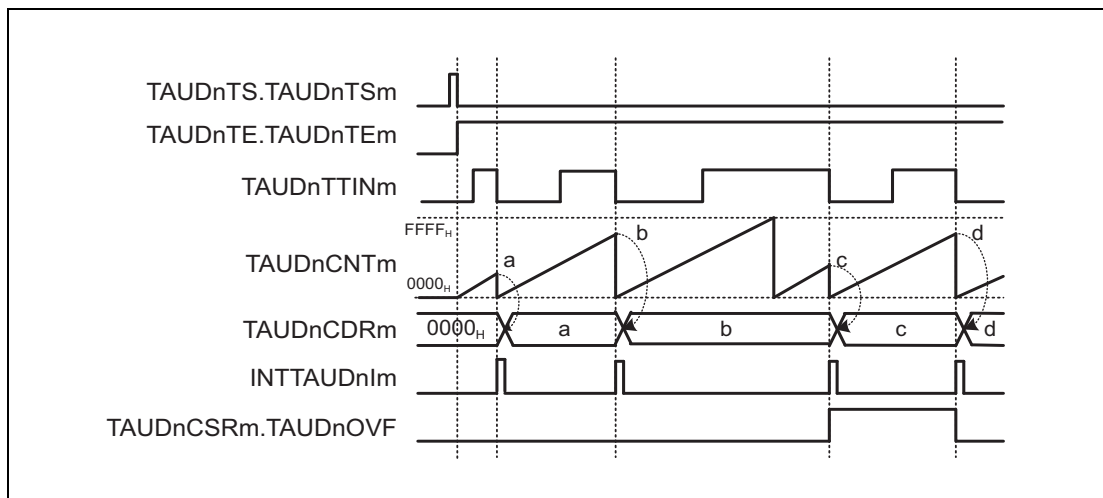
(1) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

図 23.53 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバーフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバーフローが発生していない状態で次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

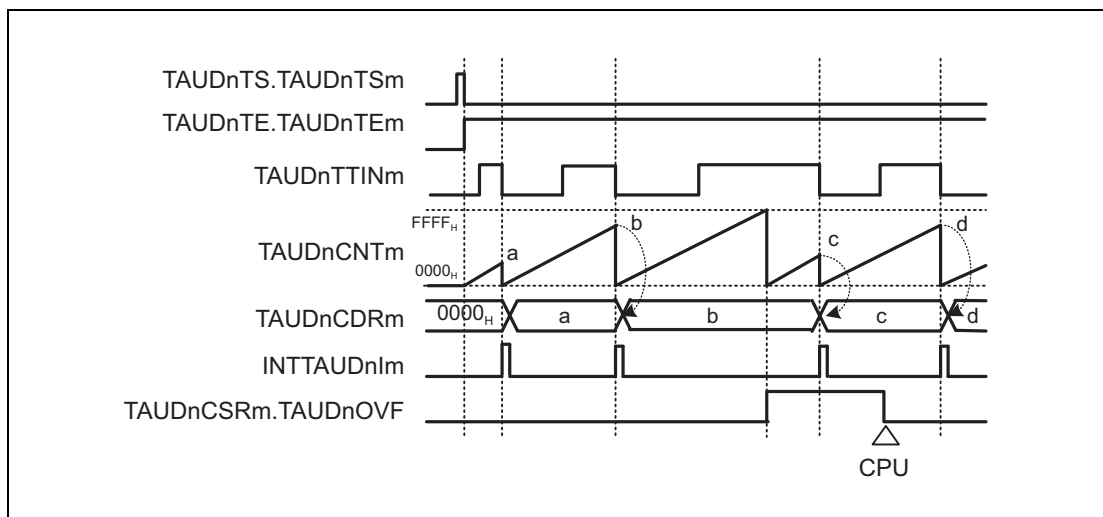
(2) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

図 23.54 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“1”に設定されます。
- 次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド (TAUDnCSCm.TAUDnCLOV ビット=1 のセット) でのみクリアされます。

(3) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

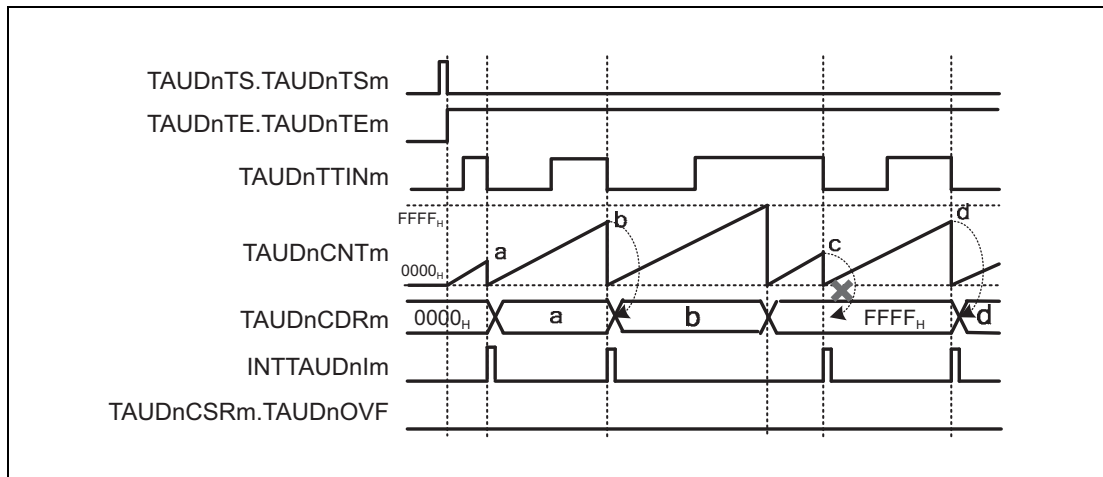


図 23.55 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm が“0”にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUDnTTINm 入力エッジは無視されます。

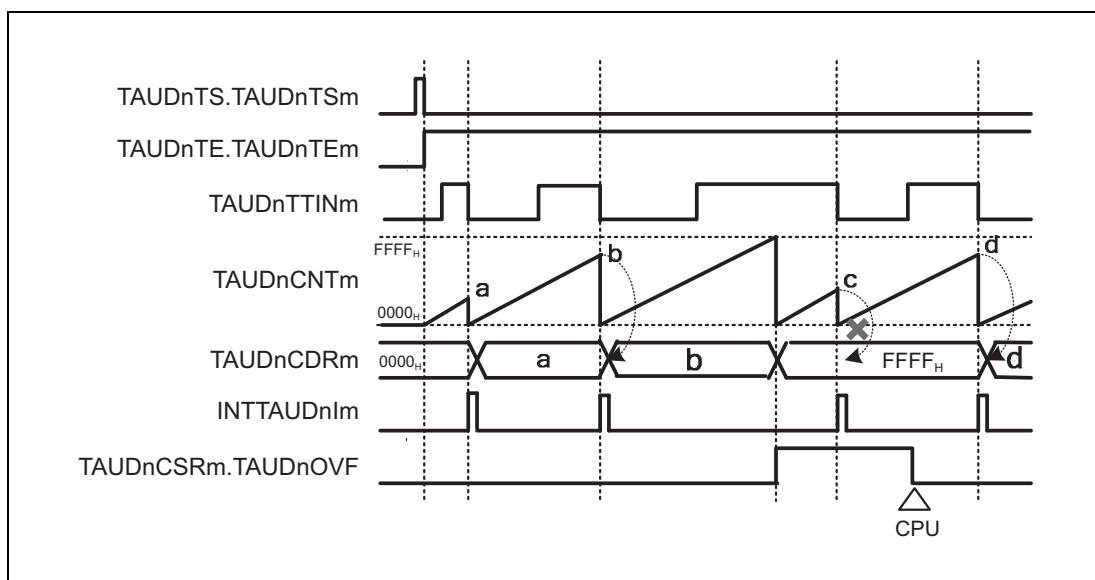
(4) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

図 23.56 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm が “0” にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDnTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

23.12.8 TAUDnTTINm 入力信号幅測定機能

23.12.8.1 概要

概要

この機能は、TAUDnTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUDnTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ&ワンカウントモードに設定する必要があります(「表 23.78 TAUDnTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDnTTOUTm は使用しません。
- TAUDnCMORm.TAUDnMD0 は、“0” に設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDnTTINm スタートエッジが検出されると、カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDnTTINm ストップエッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは値 (CDRn + 1) を保持し、次の有効な TAUDnTTINm 入力スタートエッジを待ちます。

有効な TAUDnTTINm ストップエッジを検出する前にカウンタが FFFF_H に達すると、カウンタはオーバーフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0] ビットの値によって異なります。

表 23.77 オーバフローの影響

TAUDnCMORm. TAUDnCOS[1:0]	オーバーフローが発生した場合		有効な TAUDnTTINm 入力ストップエッジの検出時	
	TAUDnCDRm	TAUDnCSRm. TAUDnOVF	TAUDnCDRm、TAUDnCNTm	TAUDnCSRm. TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロードされる	1
01		1		
10	FFFF _H に設定	0	TAUDnCNTm はカウントを停止 TAUDnCDRm は変更されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0] = 1 のとき、オーバーフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDnTTINm 信号の幅を推定できます。ただし、有効な TAUDnTTINm 入力検出される前に複数のオーバーフローが発生した場合、オーバーフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバーフローの発生を示しません。

この機能は強制的に再開することはできません。

備考

TAUDnCMORm.TAUDnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUDnTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

23.12.8.2 算出式

TAUDnTTINm 入力信号幅 = カウントクロック周期 ×
 $[(\text{TAUDnCSRm.TAUDnOVF} \times (\text{FFFF}_H + 1)) + \text{TAUDnCDRm} \text{ キャプチャ値} + 1]$

23.12.8.3 ブロック図と基本タイミング図

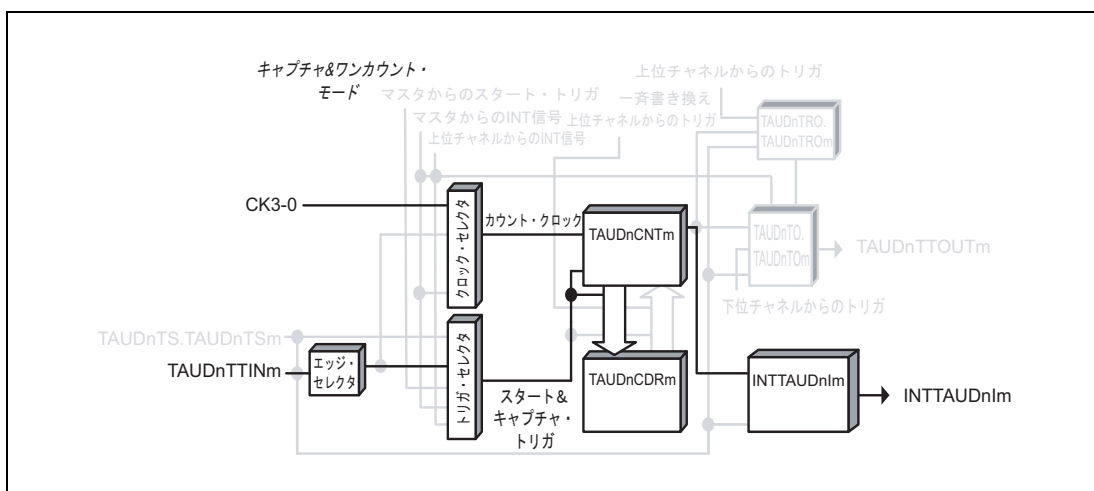


図 23.57 TAUDnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUDnTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を “1” に設定する (TAUDnCMORm.TAUDnCOS[1:0] = 00_B)

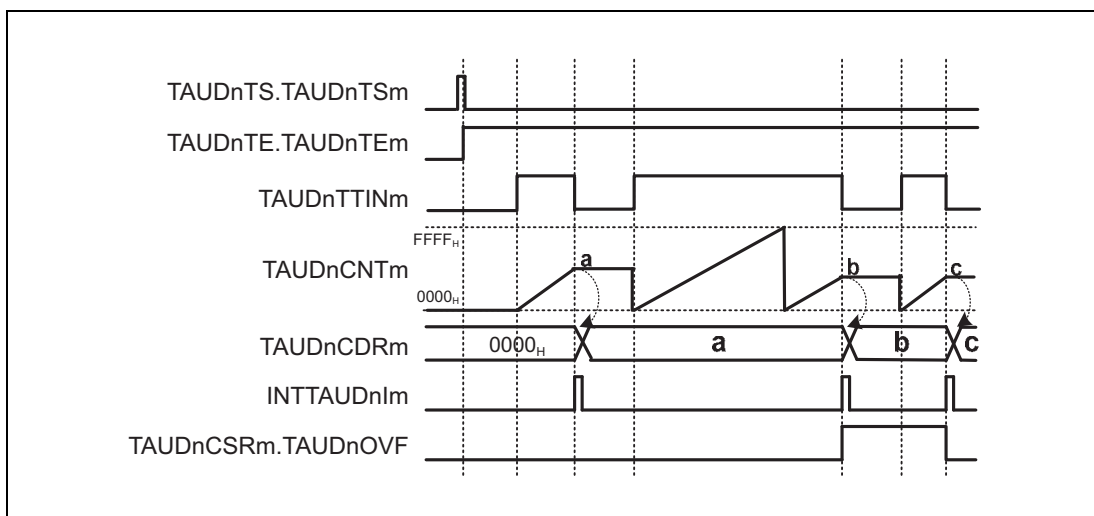


図 23.58 TAUDnTTINm 入力信号幅測定機能の基本タイミング図

23.12.8.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.78 TAUDnTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、0を設定
10～8	TAUDnSTS [2:0]	010：TAUDnTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをT ストップトリガとして使用
7、6	TAUDnCOS [1:0]	「表 23.77 オーバフローの影響」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値 を書いてください。
4～1	TAUDnMD [4:1]	0110：キャプチャ & ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.79 TAUDnTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値 を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDnTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.80 TAUDnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.8.5 TAUDnTTINm 入力信号幅測定機能の操作手順

表 23.81 TAUDnTTINm 入力信号幅測定機能の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.78 TAUDnTTINm 入力信号幅測定機能のTAUDnCMORm レジスタの内容」と「表 23.79 TAUDnTTINm 入力信号幅測定機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDnTTINm スタートエッジ検出を待ちます。 TAUDnTTINm スタートエッジを検出すると、TAUDnCNTm はアップカウントを開始します。
	動作中 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSC.TAUDnCLOV ビットは、“1”にセット可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値をTAUDnCDRm に転送 (キャプチャ) して、その値を保持し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm は TAUDnTTINm スタートエッジの検出を待ちます。以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

23.12.8.6 特定の設定時のタイミング図：オーバーフロー動作

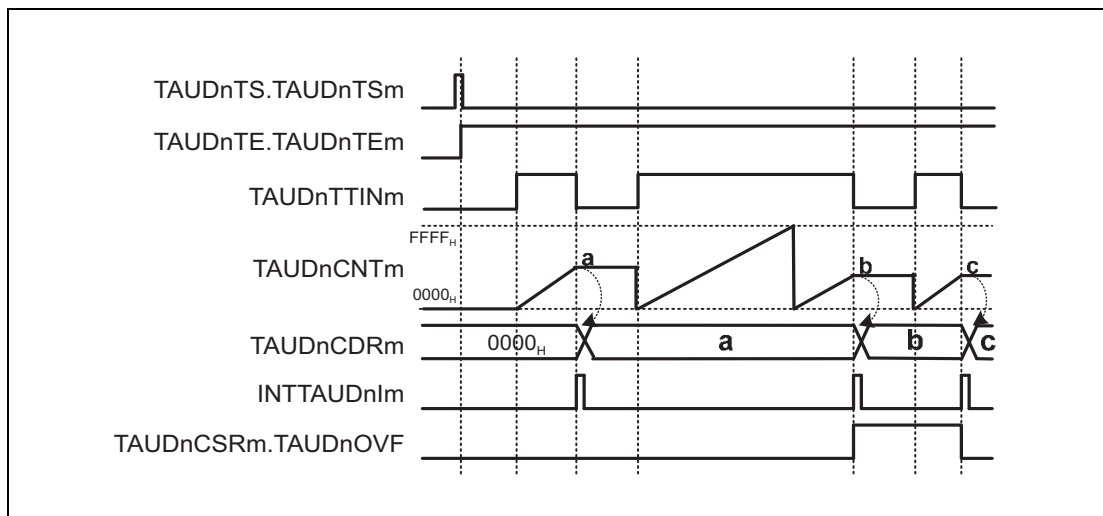
(1) TAUDnCMORm.TAUDnCOS[1:0] = 00_B

図 23.59 TAUDnCMORm.TAUDnCOS[1:0] = 00_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

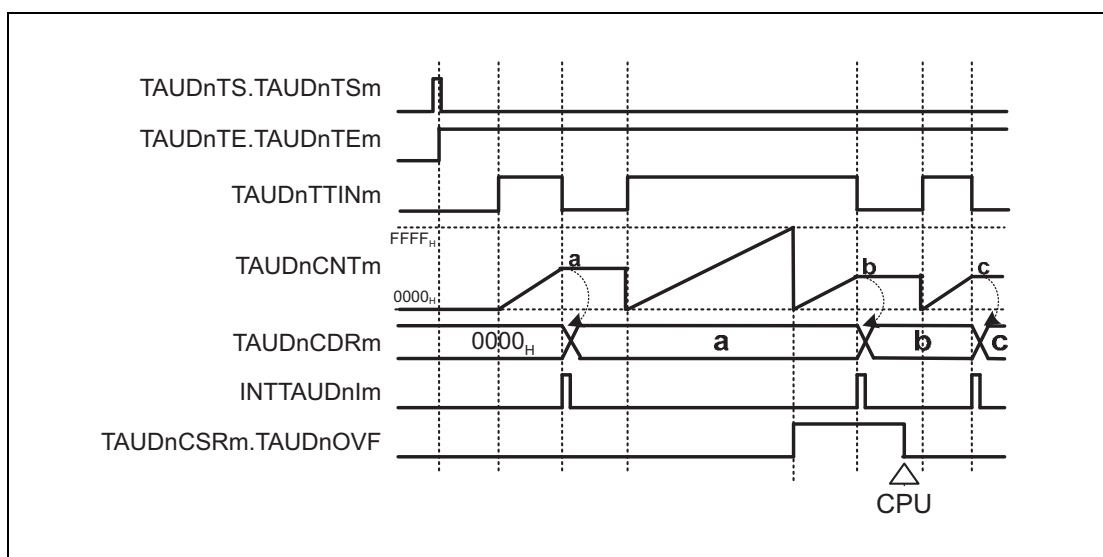
(2) TAUDnCMORm.TAUDnCOS[1:0] = 01_B

図 23.60 TAUDnCMORm.TAUDnCOS[1:0] = 01_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“1”に設定されます。
- 次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド (TAUDnCSCm.TAUDnCLOV ビット=1 のセット) でのみクリアされます。

(3) TAUDnCMORm.TAUDnCOS[1:0] = 10_B

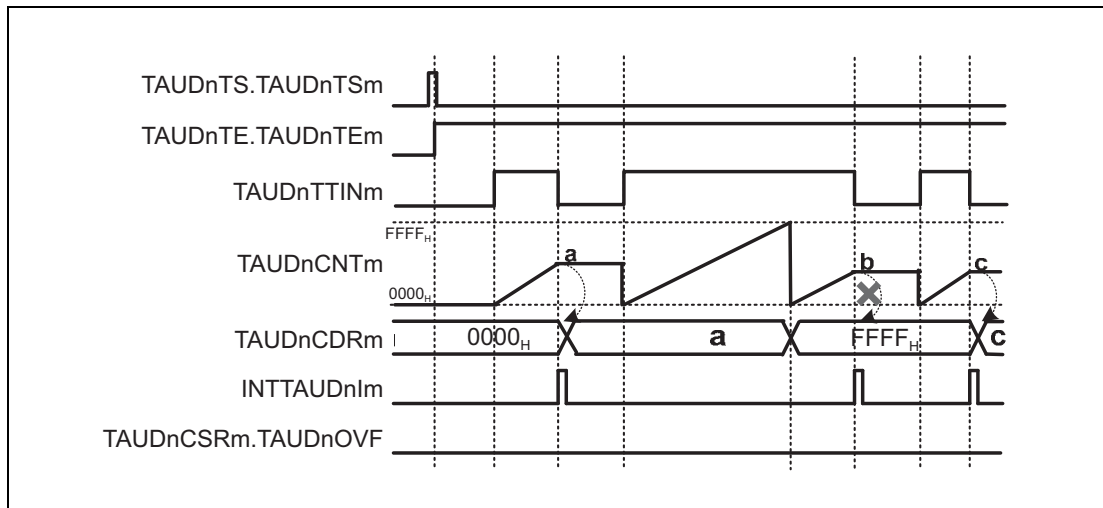


図 23.61 TAUDnCMORm.TAUDnCOS[1:0] = 10_B、TAUDnCMORm.TAUDnMD0 = 0、TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm がカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバーフロー後の次の有効な TAUDnTTINm 入力エッジは無視されます。

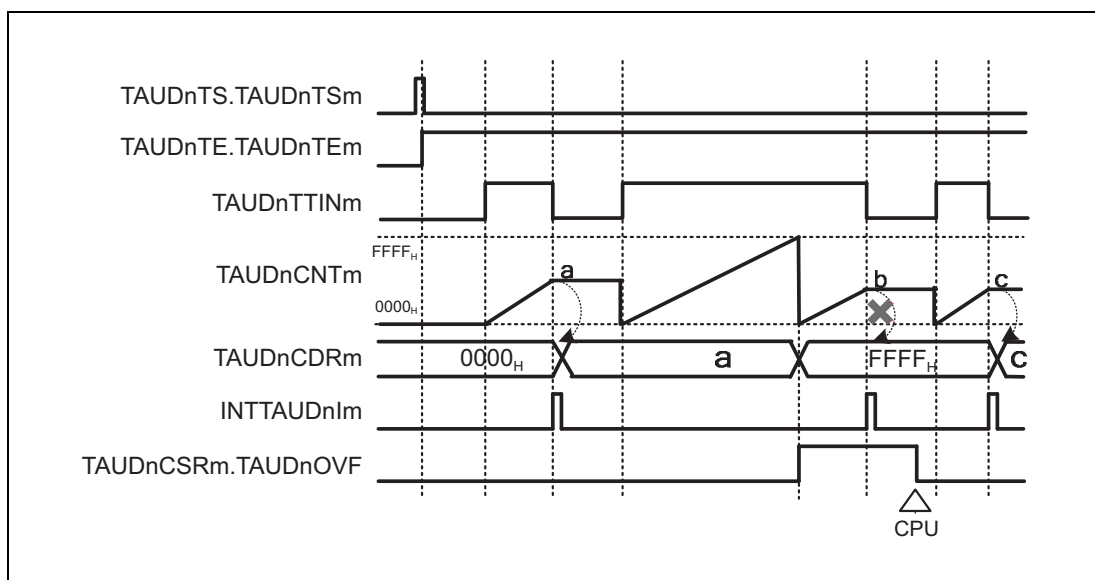
(4) TAUDnCMORm.TAUDnCOS[1:0] = 11_B

図 23.62 TAUDnCMORm.TAUDnCOS[1:0] = 11_B、TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUDnCDRm は FFFF_H に設定され、TAUDnCSRm.TAUDnOVF は “1” に設定されます。
- 次の有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm がカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDnTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV = 1 を設定することでクリアされます。

23.12.9 TAUDnTTINm 入力位置検出機能

23.12.9.1 概要

概要

TAUDnTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（「表 23.82 TAUDnTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容」参照）。
- この機能では、TAUDnTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み (INTTAUDnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出カクロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「23.9 カウント開始/リスタート時の TAUDnTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

23.12.9.2 算出式

TAUDnTTINm 入力パルスでの機能時間 =

カウントクロック周期 × (TAUDnCDRm キャプチャ値 + 1)

23.12.9.3 ブロック図と基本タイミング図

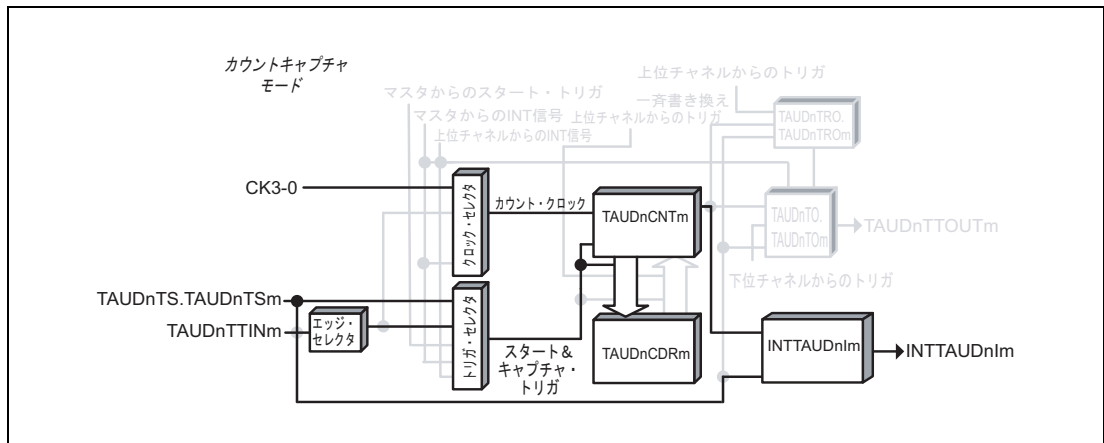


図 23.63 TAUDnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

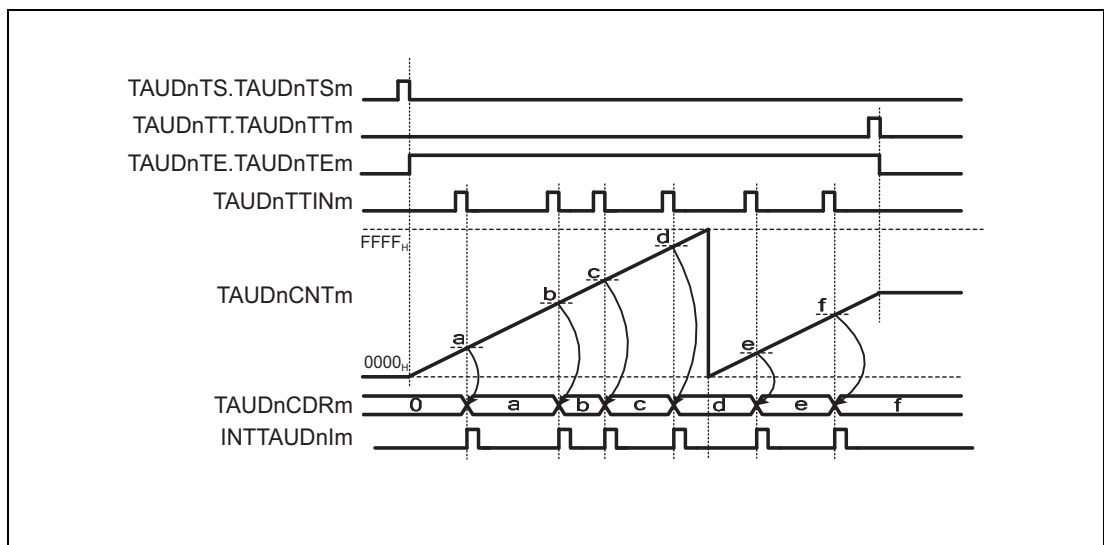


図 23.64 TAUDnTTINm 入力位置検出機能の基本タイミング図

23.12.9.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.82 TAUDnTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	001：有効な TAUDnTTINm 入力エッジ信号を外部キャプチャトリガとして使用
7、6	TAUDnCOS [1:0]	01：この値に設定してください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1011：カウントキャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.83 TAUDnTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDnTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.84 TAUDnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.9.5 TAUDnTTINm 入力位置検出機能の操作手順

表 23.85 TAUDnTTINm 入力位置検出機能の操作手順

	操作	TAUDnの状態	
動作再開	初期設定 チャンネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.82 TAUDnTTINm 入力位置検出機能のTAUDnCMORm レジスタの内容」と「表 23.83 TAUDnTTINm 入力位置検出機能のTAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始	TAUDnTS.TAUDnTSM を“1”に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	動作中	TAUDnCMURm.TAUDnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUDnCNTm が自身の値を TAUDnCDRm に転送 (キャプチャ) します。 INTTAUDnIm を出力します。 カウンタ値は 0000_H にクリアされず、TAUDnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUDnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。
	動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

23.12.9.6 特定の設定時のタイミング図

(1) 動作の停止と再開

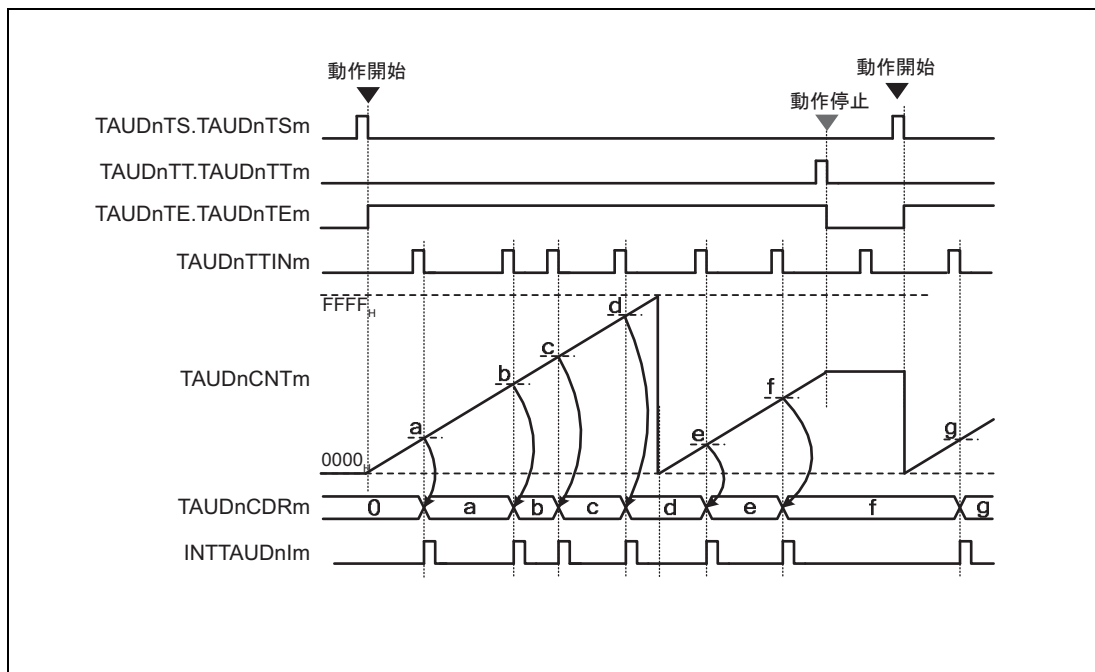


図 23.65 動作の停止と再開 (TAUDnCMORm.TAUDnMD0 = 0、
TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDnTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

23.12.10 TAUDnTTINm 入力期間カウント検出機能

23.12.10.1 概要

概要

この機能は、TAUDnTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ&ゲートカウントモードに設定する必要があります(「表 23.86 TAUDnTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDnTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUDnTTINm 入力エッジを待ちます。

有効な TAUDnTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUDnTTINm 入力ストップエッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み (INTTAUDnIm) が発生します。次の有効な TAUDnTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値 (CDRn + 1) を保持します。

次の有効な TAUDnTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF_H になると、カウンタは 0000_H からカウント動作を再開します。

備考

- TAUDnTTINm 入力信号は、TAUDnCMORm.TAUDnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。
- この機能は、TAUDTTINm 入力の信号幅測定を目的とするため、TAUDnTE.TAUDnTEm = 1 期間中の TAUDnTS.TAUDnTSM のセット (1) は使用できません。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0] ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合、TAUDnTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合、TAUDnTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

23.12.10.2 算出式

$$\text{TAUDnTTINm 入力幅累計} = \text{カウントクロック周期} \times (\text{TAUDnCDRm キャプチャ値} + 1)$$

23.12.10.3 ブロック図と基本タイミング図

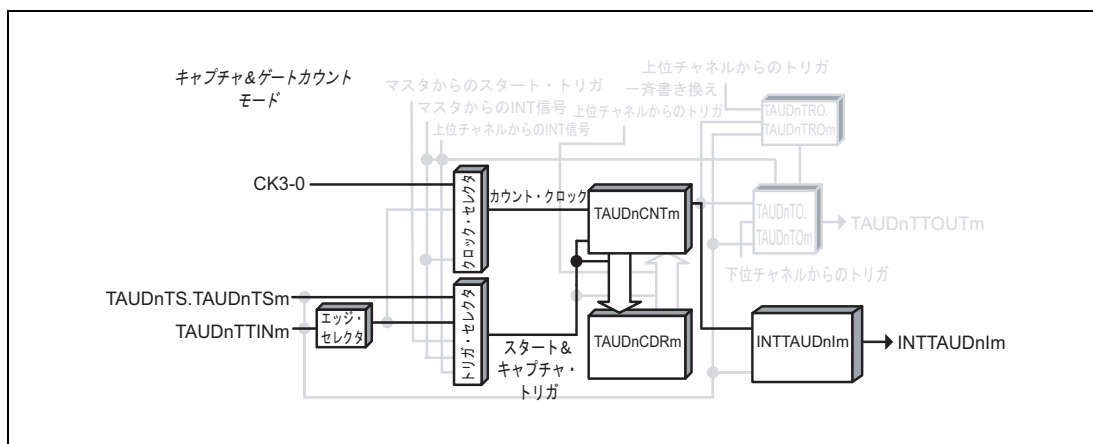


図 23.66 TAUDnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

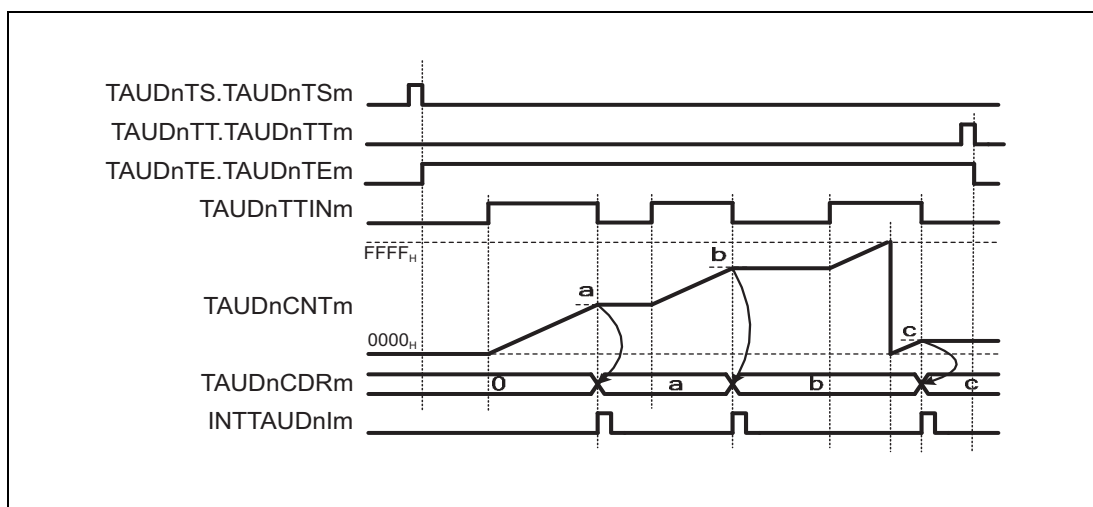


図 23.67 TAUDnTTINm 入力期間カウント検出機能の基本タイミング図

23.12.10.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.86 TAUDnTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDnTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	01：この値に設定してください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1101：キャプチャ&ゲートカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.87 TAUDnTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDnTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.88 TAUDnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

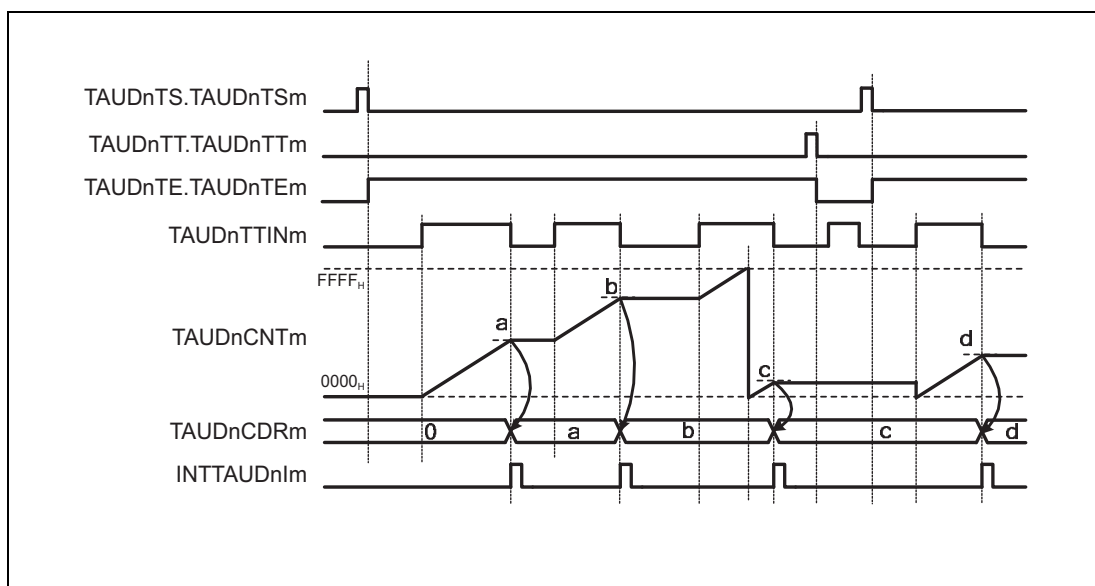
23.12.10.5 TAUDnTTINm 入力期間カウント検出機能の操作手順

表 23.89 TAUDnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.86 TAUDnTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容」と「表 23.87 TAUDnTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容」に示すように設定します。 TAUDnCDRm レジスタはキャプチャ・レジスタとして動作します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDnTTINm スタートエッジ検出を待ちます。
	動作中 TAUDnTTINm エッジ検出 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUDnTTINm スタートエッジ (ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ) を検出すると、TAUDnCNTm は停止値よりアップカウントを開始します。 TAUDnCNTm は、ストップエッジ (ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ) を検出すると、値を TAUDnCDRm に転送し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値 + 1 の値で停止し、TAUDnCNTm は TAUDnTTINm スタートエッジの検出を待ちます。 TAUDnCNTm が FFFF _H に達すると、カウンタは 0000 _H からカウント動作を再開します。 以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

23.12.10.6 特定の設定時のタイミング図

(1) 動作の停止と再開

図 23.68 動作の停止と再開 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDnTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

23.12.11 TAUDnTTINm 入力パルスインターバル判定機能

23.12.11.1 概要

概要

この機能は、TAUDnTTINm 入力パルスの発生時、カウント値 (TAUDnCNTm) とチャンネルデータレジスタ (TAUDnCDRm) の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。

前提条件

- 動作モードはジャッジモードに設定する必要があります (「表 23.90 TAUDnTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDnTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

TAUDnTTINm 有効エッジが検出された場合、または TAUDnTS.TAUDnTSM が“1”に設定された場合、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。TAUDnCNTm は、TAUDnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUDnTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、FFFF_H に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。

- TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。

23.12.11.2 ブロック図と基本タイミング図

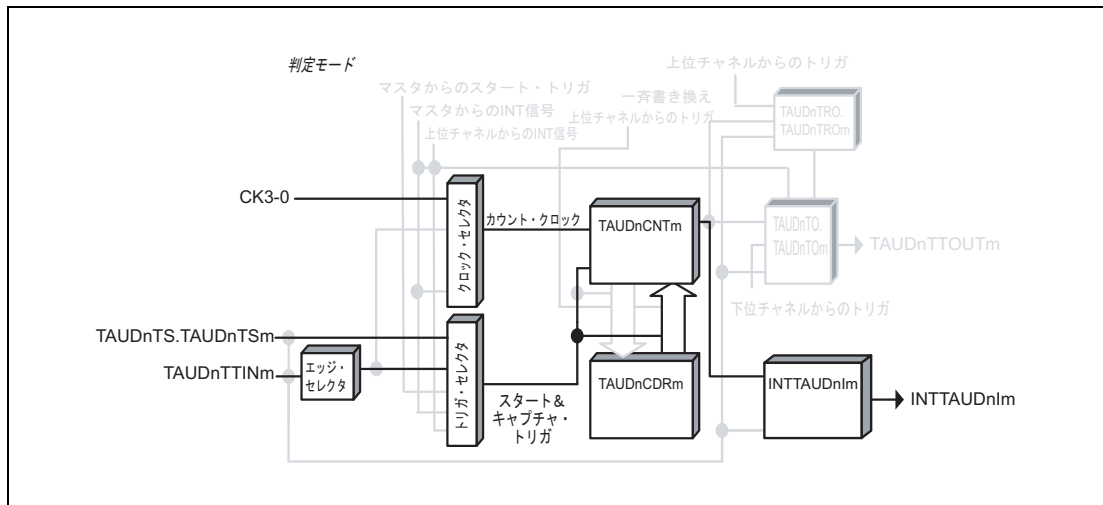


図 23.69 TAUDnTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

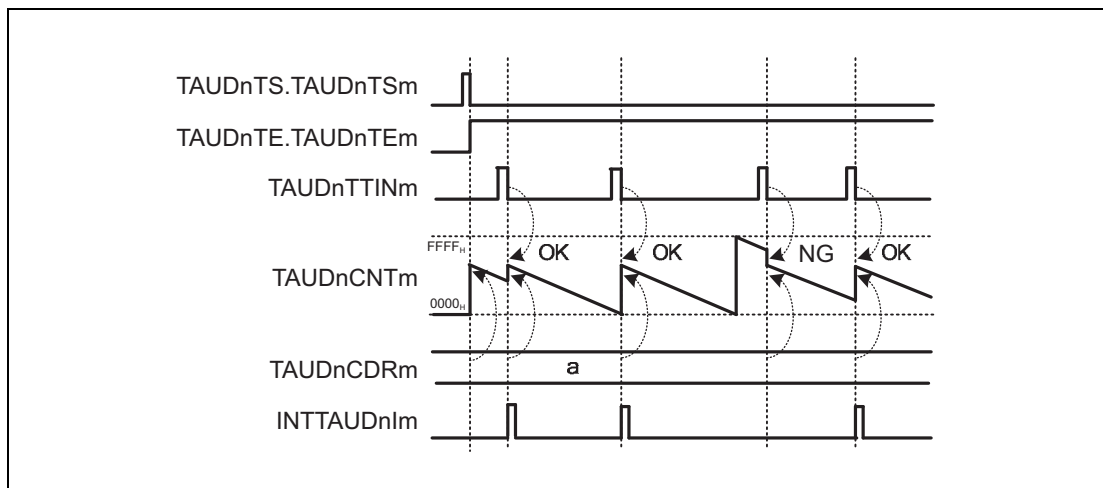


図 23.70 TAUDnTTINm 入力パルスインターバル判定機能の基本タイミング図

23.12.11.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.90 TAUDnTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作，0を設定
10～8	TAUDnSTS [2:0]	001：TAUDnTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用，“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0001：ジャッジモード
0	TAUDnMD0	0：TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.91 TAUDnTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDnTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.92 TAUDnTTINm 入力パルス間隔判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.11.4 TAUDnTTINm 入力パルスインターバル判定機能の操作手順

表 23.93 TAUDnTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャネルの初期設定	チャネル動作を停止しています。
	動作開始	TAUDnTE.TAUDnTEm が“1”に設定され、カウンタが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。
	動作中	任意のタイミングで変更可能なレジスタ <ul style="list-style-type: none"> TAUDnCDRm レジスタ TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDnTTINm 入力エッジ検出タイミングで $TAUDnCNTm \leq TAUDnCDRm$ の場合、 INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDnTTINm 入力エッジ検出タイミングで $TAUDnCNTm > TAUDnCDRm$ の場合、 INTTAUDnIm 発生します。TAUDnTTINm 入力エッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します 以降、この動作を繰り返します。
	動作停止	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

23.12.12 TAUDnTTINm 入力信号幅判定機能

23.12.12.1 概要

概要

この機能は、TAUDnTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値 (TAUDnCNTm) と TAUDnCDRm の大小判定の結果を割り込み要求信号 INTTAUDnIm より出力します。

前提条件

- 動作モードはジャッジ & ワンカウントモードに設定する必要があります (「表 23.94 TAUDnTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDnTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。有効な TAUDnTTINm 入カスタートエッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

有効な TAUDnTTINm ストップエッジが検出されると、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。カウンタ TAUDnCNTm は、比較の結果に関係なく、次の有効な TAUDnTTINm スタートエッジを検出するまで値を保持します。

有効な TAUDnTTINm ストップエッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、 $FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。
 - TAUDnCMORm.TAUDnMD0 = 0 かつ TAUDnCNTm \leq TAUDnCDRm の場合、INTTAUDnIm が発生します。
 - TAUDnCMORm.TAUDnMD0 = 1 かつ TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMURm.TAUDnTIS[1:0] ビットで幅測定のタイプを指定します。
 - ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B の場合) では、TAUDnTTINm 立ち上がりエッジをスタートエッジ、TAUDnTTINm 立ち下がりエッジをストップエッジとして使用します。
 - ロウレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 10_B の場合) では、TAUDnTTINm 立ち下がりエッジをスタートエッジ、TAUDnTTINm 立ち上がりエッジをストップエッジとして使用します。
- この機能では強制リスタートは行えません。

23.12.12.2 ブロック図と基本タイミング図

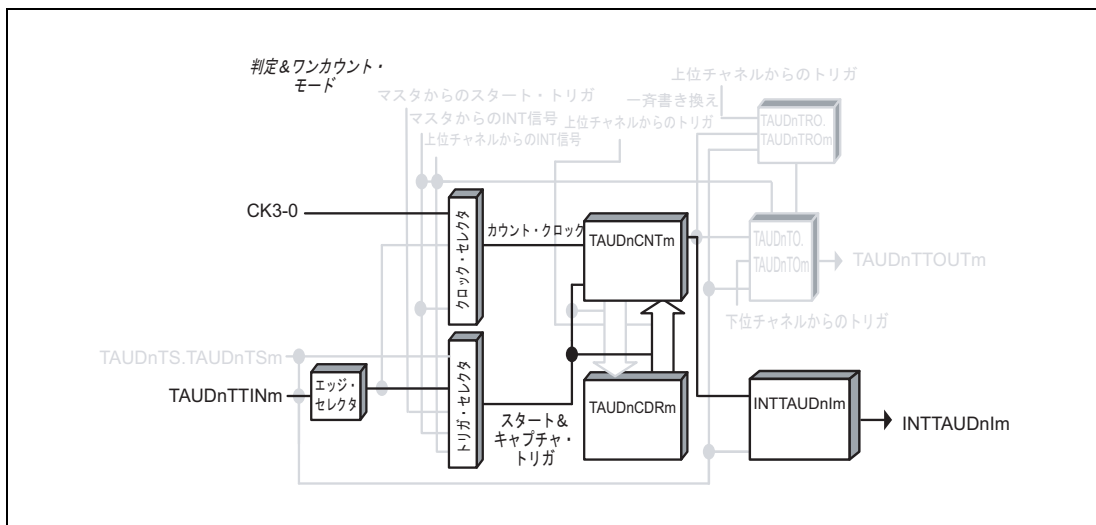


図 23.71 TAUDnTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- $TAUDnCNTm \leq TAUDnCDRm$ ($TAUDnCMORm.TAUDnMD0 = 0$) の場合、INTTAUDnIm が発生します。
- TAUDnTTINm 有効スタートエッジ = 立ち上がりエッジ、TAUDnTTINm 有効ストップエッジ = 立ち下がりエッジ ($TAUDnCMURm.TAUDnTIS[1:0] = 11_B$)

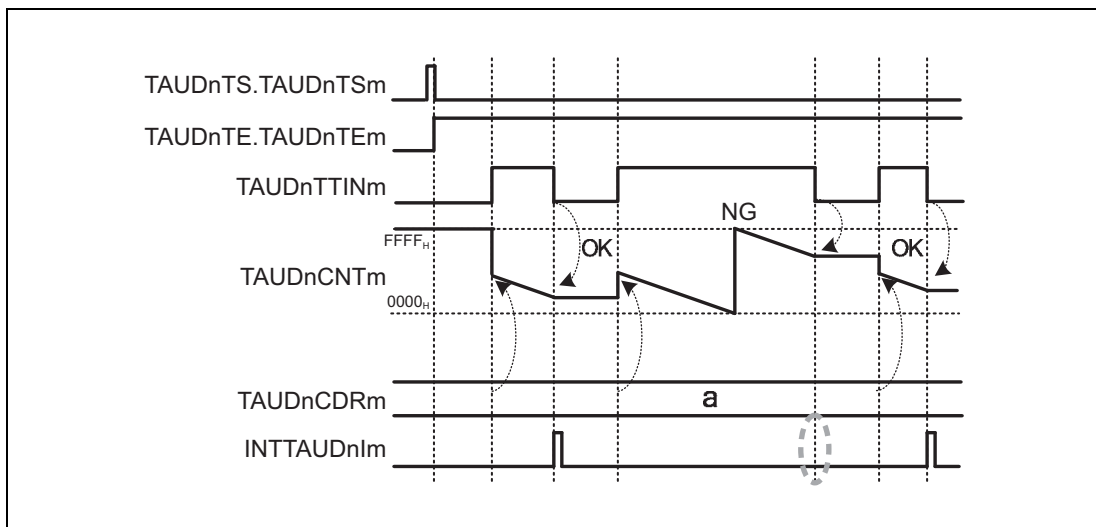


図 23.72 TAUDnTTINm 入力信号幅判定機能の基本タイミング図

23.12.12.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.94 TAUDnTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	010：TAUDnTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS [1:0]	0：単体動作、0を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0111：ジャッジ&ワンカウントモード
0	TAUDnMD0	0：TAUDnCNTm ≤ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm > TAUDnCDRm の場合、INTTAUDnIm が発生

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.95 TAUDnTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、TAUDnTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.96 TAUDnTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0 : 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0 : 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.12.4 TAUDnTTINm 入力信号幅判定機能の操作手順

表 23.97 TAUDnTTINm 入力信号幅判定機能の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 TAUDnCMORm、TAUDnCMURm レジスタを、「表 23.94 TAUDnTTINm 入力信号幅判定機能のTAUDnCMORm レジスタの内容」と「表 23.95 TAUDnTTINm 入力信号幅判定機能のTAUDnCMURm レジスタの内容」に示すように設定します。	チャンネル動作を停止しています。
	TAUDnCDRm レジスタの値を設定します。	
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はTAUDnTTINm スタートエッジ検出を待ちます。
	動作中 任意のタイミングで変更可能なレジスタ • TAUDnCDRm レジスタ	TAUDnTTINm スタートエッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 TAUDnCMORm.TAUDnMD0 = 0 の場合 TAUDnTTINm 入カストップエッジ検出タイミングで $TAUDnCNTm \leq TAUDnCDRm$ の場合、INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0 = 1 の場合 TAUDnTTINm 入カストップエッジ検出タイミングで $TAUDnCNTm > TAUDnCDRm$ の場合、INTTAUDnIm 発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

23.12.13 1相PWM出力機能

23.12.13.1 概要

概要

TAUDnTTINm 入力信号にデッドタイムを付加する機能です。その結果として得られる PWM 信号は、そのチャンネルおよび上位チャンネルの TAUDnTTOUm から出力されます。

前提条件

- 2つ（もしくはそれ以上）のチャンネルで、それぞれデッドタイム制御が許可されている (TAUDnTDE.TAUDnTDEm = 1)
- 下位チャンネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 23.99 1相PWM出力機能の下位チャンネルのTAUDnCMORm レジスタの内容**」参照）。
- 上位チャンネルには任意の動作モードを設定可能です。
- 上位下位チャンネルのチャンネル出力モードは、1相PWM出力を行うチャンネル連動出力モード2に設定する必要があります。「**23.7 チャンネル出力モード**」を参照してください。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。

有効な TAUDnTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは FFFF_H に戻り、次の有効な TAUDnTTINm 入力スタートエッジを待ちます。

表 23.98 デッドタイムが付加される TAUDnTTOUm と TAUDnTTINm の状態

TAUDnCMURm. TAUDnTIS[1:0]	TAUDnTOL. TAUDnTOLm	デッドタイムが付加される TAUDnTTOUm	TAUDnTDL. TAUDnTDLm	付加時の TAUDnTTINm の状態
10	0	TAUDnTTOUm low	0	ハイレベル
			1	ロウレベル
	1	TAUDnTTOUm high	0	ハイレベル
			1	ロウレベル
11	0	TAUDnTTOUm low	0	ロウレベル
			1	ハイレベル
	1	TAUDnTTOUm high	0	ロウレベル
			1	ハイレベル

条件

- TAUDnCMURm.TAUDnTIS[1:0] ビットで幅測定のタイプを指定します。
 - TAUDnCMURm.TAUDnTIS[1:0] = 10_B : 両エッジを有効エッジとして検出 (ロウレベル幅測定)
 - TAUDnCMURm.TAUDnTIS[1:0] = 11_B : 両エッジを有効エッジとして検出 (ハイレベル幅測定)
- TAUDnTDL.TAUDnTDLm ビットで、下位チャンネルでの割り込み発生時または有効なTAUDnTTINm エッジの検出時の各チャンネルのTAUDnTTOUTm の動作を指定します。
 - TAUDnTDL.TAUDnTDLm = 0 の場合、正相幅のデッドタイムを付加します。
 - TAUDnTDL.TAUDnTDLm = 1 の場合、逆相幅のデッドタイムを付加します。
- この機能では強制リスタートは行えません。

23.12.13.2 ブロック図と基本タイミング図

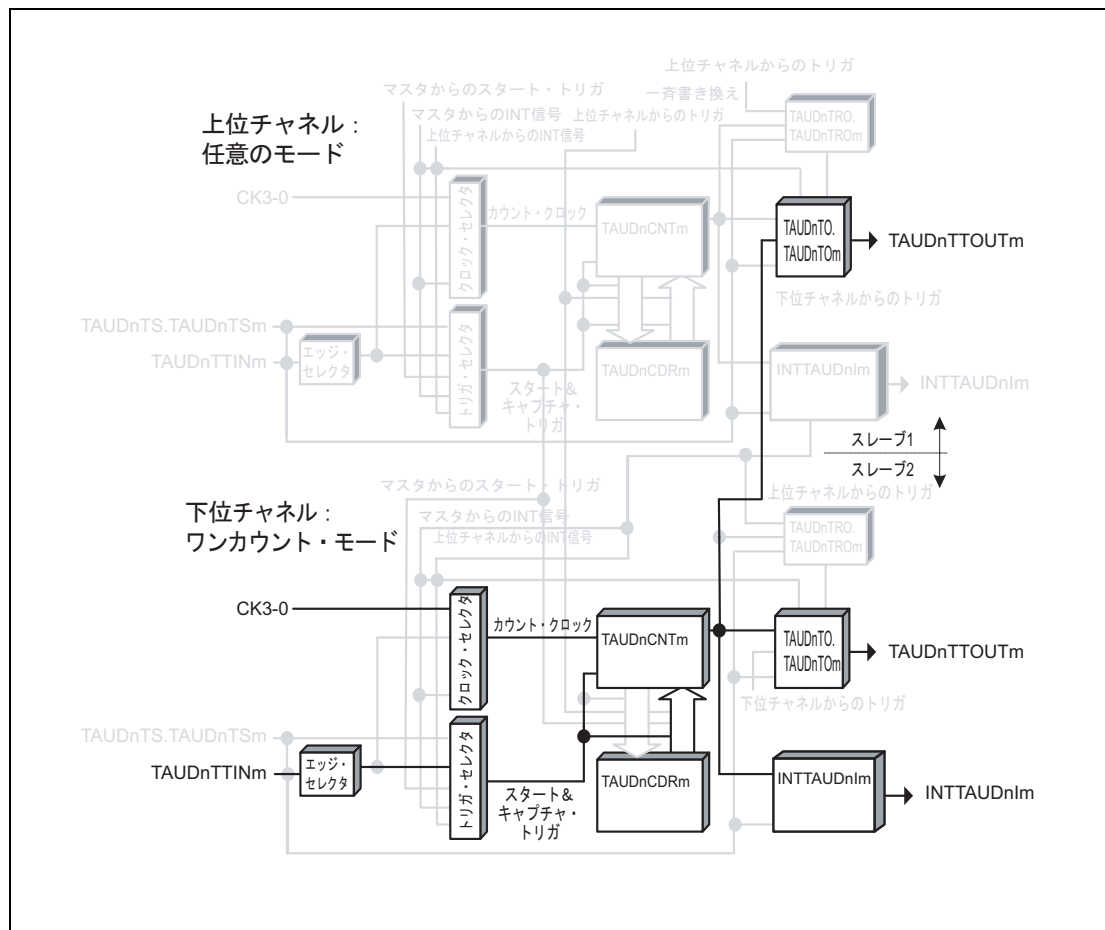


図 23.73 1 相 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUDnCMURm.TAUDnTIS[1:0] = 11_B)

この設定では、デューティをアクティブハイとして考えています。

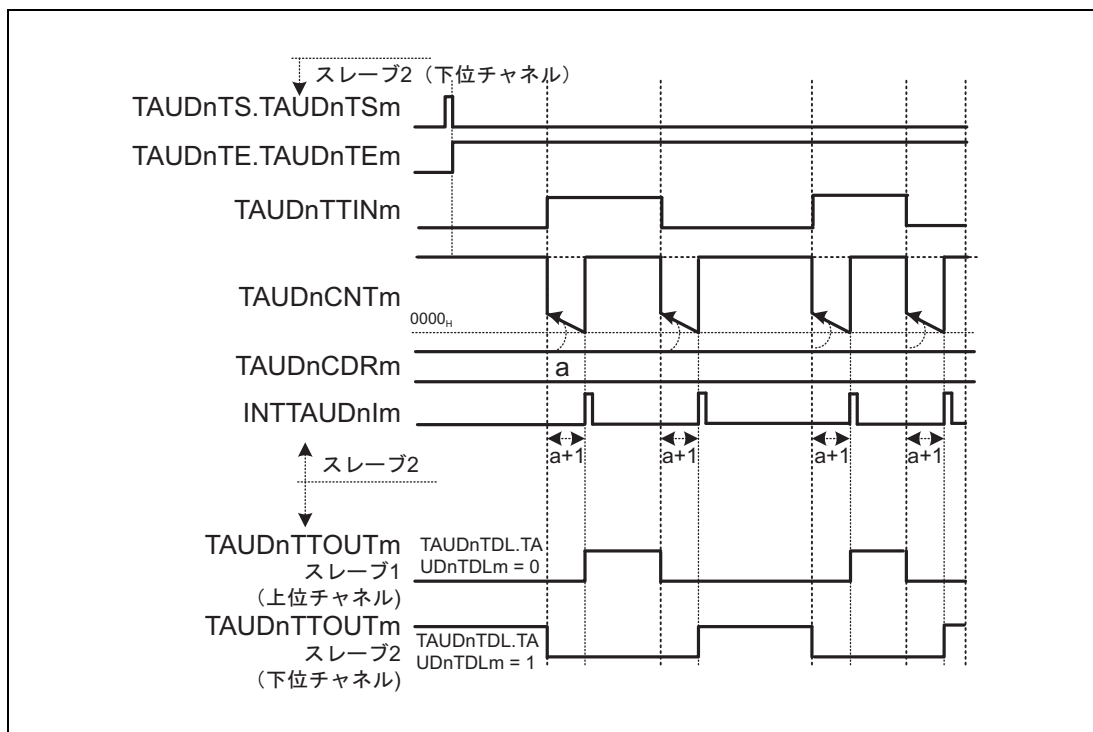


図 23.74 1相 PWM 出力機能の基本タイミング図

23.12.13.3 下位チャンネルのレジスタ設定

(1) 下位チャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.99 1相PWM出力機能の下位チャンネルのTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDnTTInm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) 下位チャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.100 1相PWM出力機能の下位チャンネルのTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) 下位チャンネルのチャンネル出力モード

表 23.101 1相PWM出力を行うチャンネル連動出力モード2の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1: 下位奇数チャンネル TAUDnTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相幅のデッドタイムを付加 1: 逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、"0" を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出カトリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、上位チャンネルと排他設定してください。

(4) 下位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、1相PWM出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.102 1相PWM出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、"0" を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.13.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

上位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 上位チャネルの TAUDnCMURm

上位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 上位チャネルのチャネル出力モード

表 23.103 1相PWM出力を行うチャネル連動出力モード2の上位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1: 下位奇数チャネル TAUDnTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相幅のデッドタイムを付加 1: 逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、下位チャネルと排他設定してください。

(4) 上位チャネルの一斉書き換え

上位チャネルの一斉書き換えレジスタは任意の設定が可能です。

23.12.13.5 1相 PWM 出力機能の操作手順

表 23.104 1相 PWM 出力機能の操作手順

	操作	TAUDnの状態
動作再開 ↑	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	操作	
	動作開始	
	動作中	
動作停止		

23.12.14 リアルタイム出力機能タイプ1

23.12.14.1 概要

概要

指定したチャンネルでの割り込み (INTTAUDnIm) 発生時に、TAUDnTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能では、設定した一定の間隔で割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUDnTRC.TAUDnTRCm = 1)、下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUDnTRC.TAUDnTRCm = 0) です。

前提条件

- 他チャンネルの TAUDnTTOUTm 制御を使用するチャンネル
- 上位チャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 23.105 リアルタイム出力機能タイプ1の上位チャンネルの TAUDnCMORm レジスタの内容」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード1に設定する必要があります。「23.7 チャンネル出力モード」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUDnTRE.TAUDnTREM = 1)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、上位チャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。上位チャンネルのデータレジスタ (TAUDnCDRm) の現在値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。

上位チャンネルのカウンタが 0000_H に達すると、INTTAUDnIm が発生し、TAUDnTTOUTm が全チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力します (TAUDnTRE.TAUDnTREM = 1 のチャンネルのみ)。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDnTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャンネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。
- 下位チャンネルのリアルタイム出力が禁止 (TAUDnTRE.TAUDnTREM = 0) されている場合、またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUDnTRC.TAUDnTRCm = 1)、そのチャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。

- 下位チャンネルのリアルタイム出力が許可されていて (TAUDnTRE.TAUDnTREM = 1)、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「23.9 カウント開始/リスタート時の TAUDnTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

23.12.14.2 算出式

NTTAUDnIm の発生周期 = カウントクロック周期 × (TAUDnCDRm 値 + 1)

23.12.14.3 ブロック図と基本タイミング図

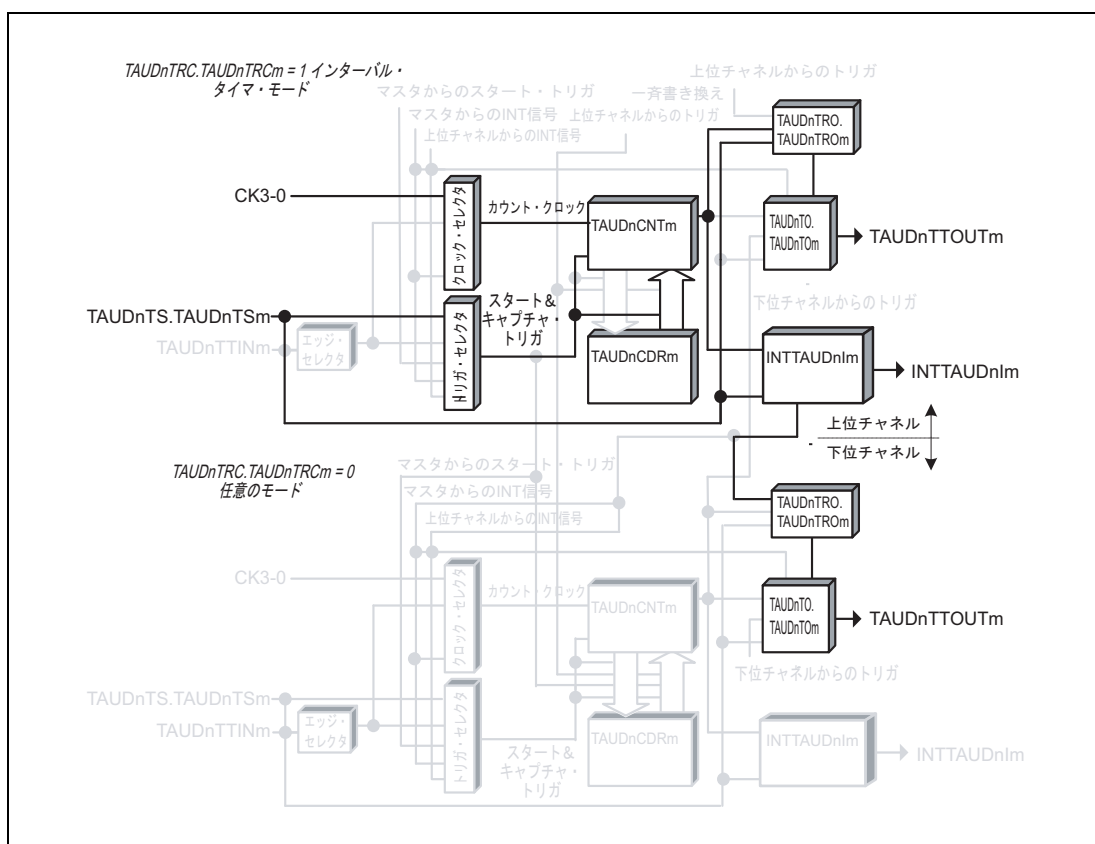


図 23.75 リアルタイム出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

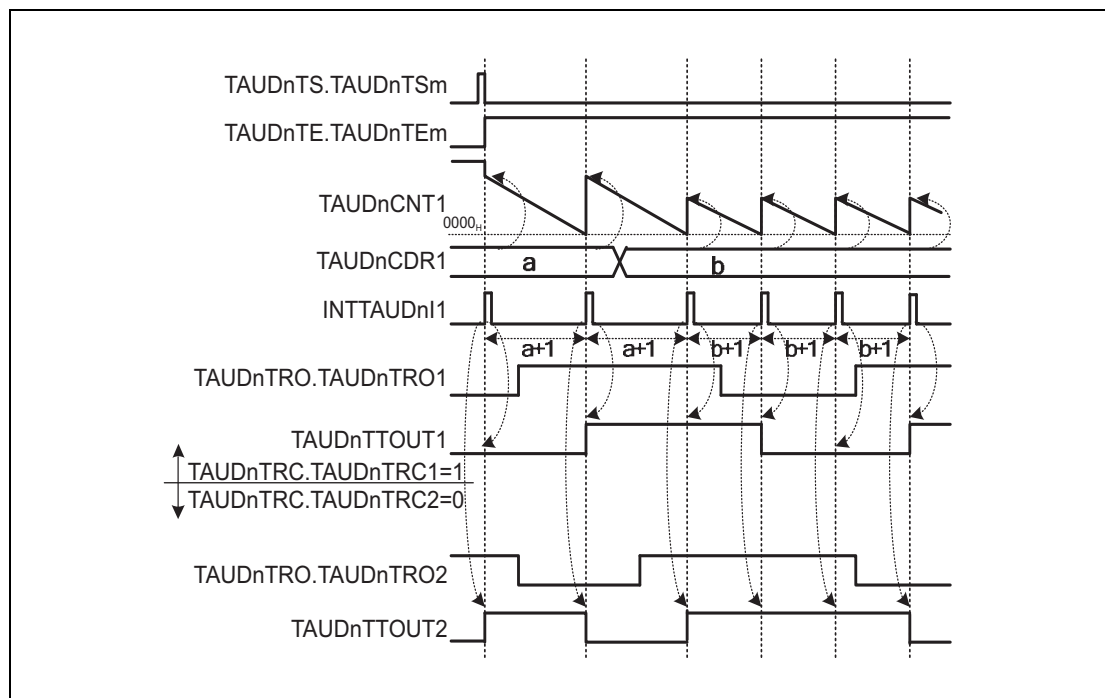


図 23.76 リアルタイム出力機能タイプ 1 の基本タイミング図

23.12.14.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.105 リアルタイム出力機能タイプ1の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.106 リアルタイム出力機能タイプ1の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) 上位チャネルのチャネル出力モード

表 23.107 リアルタイム出力を行うチャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1: チャネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) 上位チャネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、リアルタイム出力機能タイプ1では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.108 リアルタイム出力機能タイプ1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.14.5 下位チャンネルのレジスタ設定

(1) 下位チャンネルの TAUDnCMORm

下位チャンネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 下位チャンネルの TAUDnCMURm

下位チャンネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 下位チャンネルのチャンネル出力モード

表 23.109 リアルタイム出力を行うチャンネル単体出力モード 1 時の下位チャンネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1 : チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0 : チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0 : 動作モード 1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0 : トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0 : デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	0 : デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTRE.TAUDnTREm	1 : リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0 : リアルタイム出力はロウレベル 1 : リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0 : 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0 : 変調禁止

(4) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

23.12.14.6 リアルタイム出力機能タイプ1の操作手順

表 23.110 リアルタイム出力機能タイプ1の操作手順

	操作	TAUDnの状態
チ ネ ル の 初 期 設 定	上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 23.105 リアルタイム出力機能タイプ1の上位チャンネルの TAUDnCMORm レジスタの内容」と「表 23.106 リアルタイム出力機能タイプ1の上位チャンネルの TAUDnCMURm レジスタの内容」に示すように設定します。 下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「23.12.14.5 下位チャンネルのレジスタ設定」に示すように設定します。 TAUDnCDRm レジスタの値を設定します (TAUDnTRC.TAUDnTRCm = 1 のチャンネルのみ)。 制御ビットを「表 23.107 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。 制御ビットを「表 23.109 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	TAUDnTRC.TAUDnTRCm が“1”に設定されているチャンネルでは、TAUDnTS.TAUDnTSM = 1 を設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に“0”にクリアされます。	[TAUDnTRC.TAUDnTRCm が“1”に設定されているチャンネル] TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	TAUDnCDRm レジスタと TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 TAUDnTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。 以降、この動作を繰り返します。
	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウント動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnTTOUTm は現在値を保持します。

動作再開

23.12.14.7 特定の設定時のタイミング図

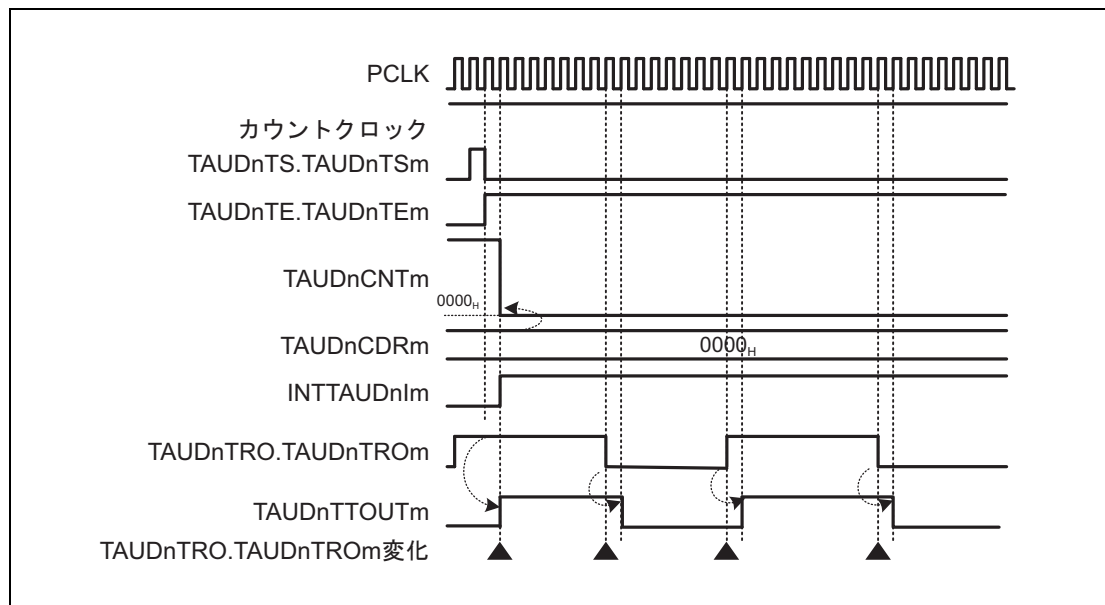


図 23.77 TAUDnCDRm = 0000_H、TAUDnCMORm.TAUDnMD0 = 1

23.12.15 リアルタイム出力機能タイプ2

23.12.15.1 概要

概要

指定したチャンネルでの割り込み (INTTAUDnIm) 発生時に、TAUDnTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能の開始時、または有効な TAUDnTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャンネルはリアルタイム出力トリガを生成するチャンネル (TAUDnTRC.TAUDnTRCm = 1)、下位チャンネルは上位チャンネルのトリガを受けてリアルタイム出力を行うチャンネル (TAUDnTRC.TAUDnTRCm = 0) です。

前提条件

- 他チャンネルの TAUDnTTOUTm 制御を使用するチャンネル
- 上位チャンネルの動作モードは、キャプチャモードに設定する必要があります (「**表 23.111 リアルタイム出力機能タイプ2の上位チャンネルの TAUDnCMORm レジスタの内容**」参照)。
- 下位チャンネルには任意の動作モードを設定可能です。
- 全チャンネルのチャンネル出力モードは、リアルタイム出力を行うチャンネル単体出力モード 1 に設定する必要があります。「**23.7 チャンネル出力モード**」を参照してください。
- 上位チャンネルはリアルタイム出力が許可された状態にしておく必要があります (TAUDnTRE.TAUDnTREM = 1)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、上位チャンネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEM = 1 となり、カウントが可能になります。上位チャンネルのカウンタがアップカウントを開始します。

上位チャンネルで有効な TAUDnTTINm 入力エッジが発生すると、割り込みが発生し、TAUDnTTOUTm が全チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力します (TAUDnTRE.TAUDnTREM = 1 のチャンネルのみ)。

TAUDnTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDnTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnTRC.TAUDnTRCm = 1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャンネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。
- 下位チャンネルのリアルタイム出力が禁止 (TAUDnTRE.TAUDnTREM = 0) されている場合、またはチャンネル自体が書き換えトリガとして使用されている場合 (TAUDnTRC.TAUDnTRCm = 1)、そのチャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。

- 下位チャンネルのリアルタイム出力が許可されていて (TAUDnTRE.TAUDnTREm = 1)、TAUDnTRC.TAUDnTRCm = 0 である場合、上位チャンネルでの INTTAUDnIm 発生時にそのチャンネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「23.9 カウント開始/リスタート時の TAUDnTTOUTm 出力と INTTAUDnIm 生成」を参照してください。

23.12.15.2 ブロック図と基本タイミング図

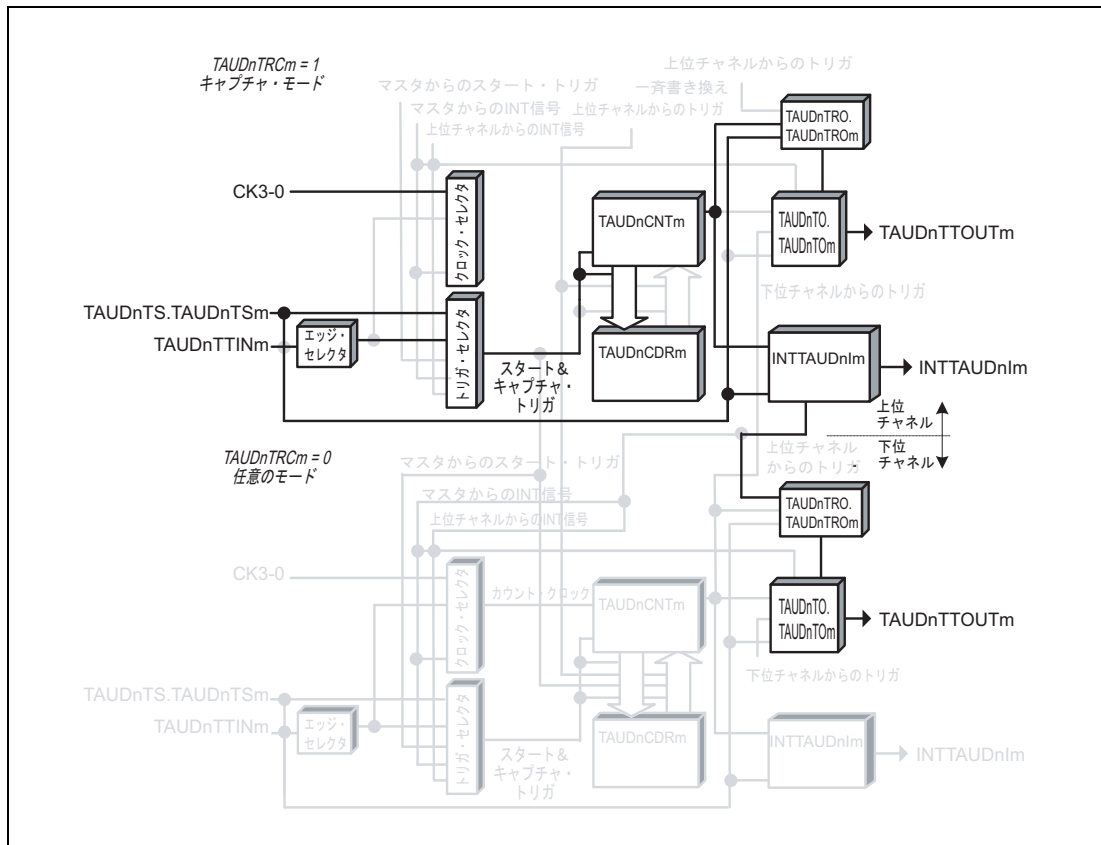


図 23.78 リアルタイム出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)

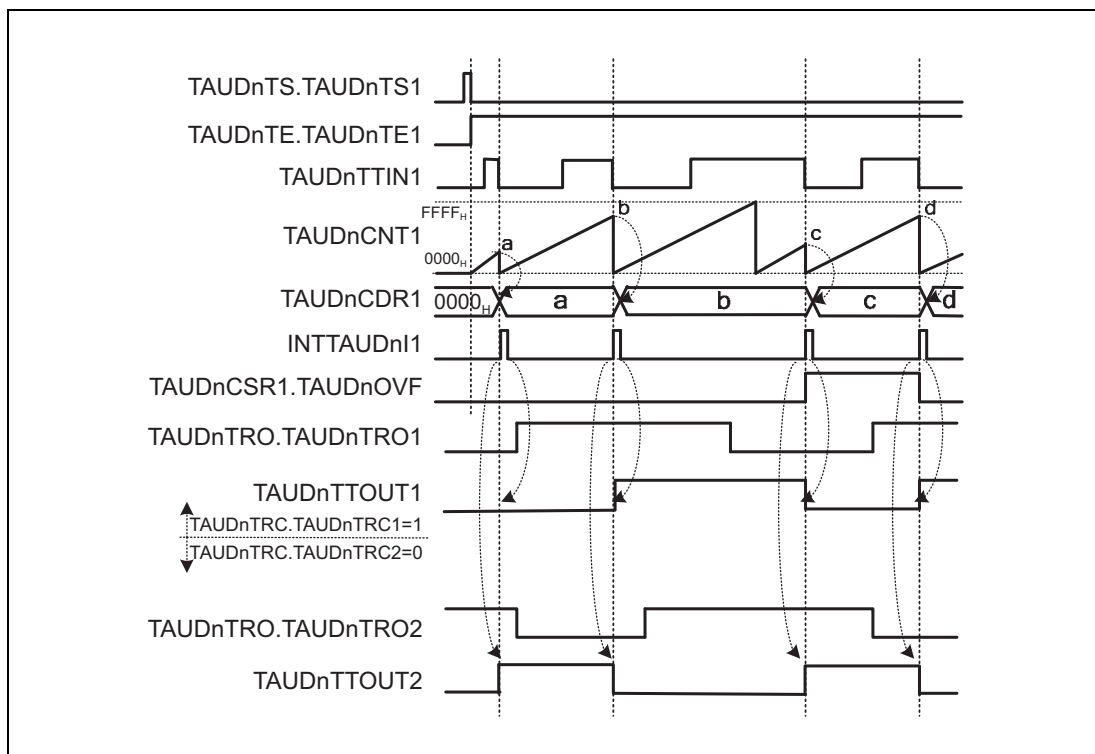


図 23.79 リアルタイム出力機能タイプ 2 の基本タイミング図

23.12.15.3 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.111 リアルタイム出力機能タイプ2の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	001：TAUDnTTInm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.112 リアルタイム出力機能タイプ2の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がリエッジ検出 10：両エッジ検出 11：設定禁止

(3) 上位チャンネルのチャンネル出力モード

表 23.113 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1: チャンネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止

(4) 上位チャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、リアルタイム出力機能タイプ2では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.114 リアルタイム出力機能タイプ2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0: 一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.12.15.4 下位チャンネルのレジスタ設定

(1) 下位チャンネルの TAUDnCMORm

下位チャンネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 下位チャンネルの TAUDnCMURm

下位チャンネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 下位チャンネルのチャンネル出力モード

表 23.115 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0 時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) 下位チャンネルの一斉書き換え

下位チャンネルの一斉書き換えレジスタは任意の設定が可能です。

23.12.15.5 リアルタイム出力機能タイプ2の操作手順

表 23.116 リアルタイム出力機能タイプ2の操作手順

	操作	TAUDnの状態
チ ネ ル の 初 期 設 定 動 作 再 開 動 作 中 動 作 停 止	上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 23.111 リアルタイム出力機能タイプ2の上位チャンネルの TAUDnCMORm レジスタの内容」と「表 23.112 リアルタイム出力機能タイプ2の上位チャンネルの TAUDnCMURm レジスタの内容」に示すように設定します。 下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「23.12.15.4 下位チャンネルのレジスタ設定」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します (TAUDnTRC.TAUDnTRCm = 1 のチャンネル)。 制御ビットを「表 23.113 リアルタイム出力を行うチャンネル単体出力モード1時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。 制御ビットを「表 23.115 リアルタイム出力を行うチャンネル単体出力モード1時の下位チャンネル制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	TAUDnTRC.TAUDnTRCm が“1”に設定されているチャンネルでは、TAUDnTS.TAUDnTSm を設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	[TAUDnTRC.TAUDnTRCm が“1”に設定されているチャンネル] TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm が 0000 _H にクリアされます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
	TAUDnTRO.TAUDnTROM は任意のタイミングで変更可能です。	TAUDnCNTm は、0000 _H からアップカウントを開始します。TAUDnTTINm 入力の有効エッジ検出時： <ul style="list-style-type: none"> • TAUDnCDRm の値を TAUDnCNTm にキャプチャし、カウンタを 0000_H にクリアします。 • INTTAUDnIm が発生します。 • TAUDnCSRm.TAUDnOVF ビットは TAUDnTTINm 入力有効エッジを検出した時、オーバフロー発生後ならば 1 にセット、オーバフロー発生前ならば 0 にクリアされます。 以降、この動作を繰り返します。
	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm、TAUDnCSRm.TAUDnOVF、TAUDnTTOUTm は現在値を保持します。

23.12.15.6 特定のタイミング図

(1) 動作の開始と停止

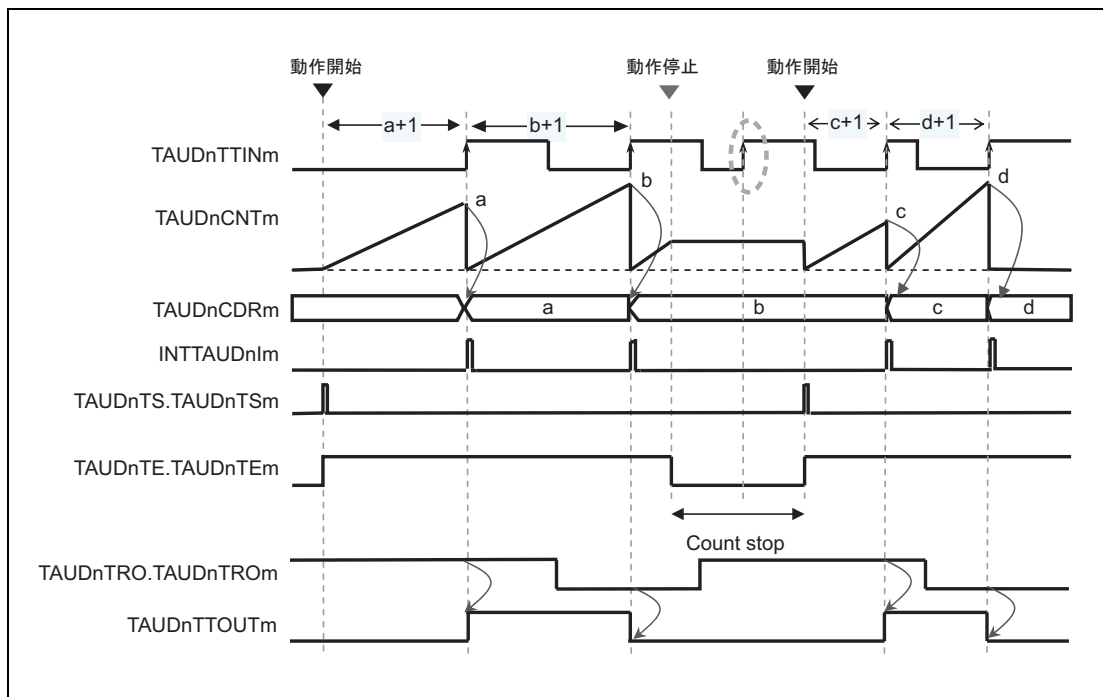


図 23.80 動作の開始と停止 (TAUDnCMORm.MD0 = 0)

- TAUDnTS.TAUDnTSm が“1”に設定され、カウンタがアップカウントを開始します。
- 有効な入力エッジが検出されると、カウンタの現在値がデータレジスタ (TAUDnCDRm) に書き込まれ、割り込みが発生します。
- TAUDnTTOUTm はリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の現在値を出力し、カウンタはリセットされ、アップカウントを再開します。
- TAUDnTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDnTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。
- カウンタが停止している場合 (TAUDnTE.TAUDnTEm = 0)、有効な入力エッジは無視され、割り込みは発生しません。

23.12.16 一斉書き換えトリガ生成機能タイプ1

23.12.16.1 概要

概要

下位チャンネルが一斉書き換えトリガとして使用できる割り込みを、特定チャンネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャンネルは一斉書き換えトリガを生成するチャンネル (TAUDnRDC.TAUDnRDCm = 1)、下位チャンネルは上位チャンネルのトリガを受けて一斉書き換えを行うチャンネル (TAUDnRDC.TAUDnRDCm = 0) です。

前提条件

- 上位チャンネルとして使用するチャンネルより下位の2チャンネル以上で、それぞれ一斉書き換えが許可されている (TAUDnRDE.TAUDnRDEm = 1)
- 上位チャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 23.117 一斉書き換えトリガ生成機能タイプ1の上位チャンネルのTAUDnCMORmレジスタの内容」参照)。
- 下位チャンネルに設定可能な動作モードは、「表 23.42 一斉書き換え方法とトリガタイミング」を参照してください。
- この機能では、TAUDnTTOUTm はいずれのチャンネルでも使用しません。

機能説明

上位チャンネル、下位チャンネルのチャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。上位チャンネルのデータレジスタバッファ (TAUDnCDRm buf) の現在値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャンネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000_H になると、そのチャンネルで割り込みが発生します。対応する TAUDnCDRm バッファの現在値を TAUDnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャンネルが一斉書き換えのトリガチャンネルとして設定されていて (TAUDnRDC.TAUDnRDCm = 1)、さらにそれが上位チャンネルである場合、一斉書き換えが可能な状態 (TAUDnRSF.TAUDnRSFm = 1) にあるすべての下位チャンネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャンネルは、該当チャンネルに TAUDnRDC.TAUDnRDCm = 1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャンネルは、TAUDnRDC.TAUDnRDCm ビットを“0”に設定しておく必要があります。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。「**23.9 カウント開始／リスタート時の TAUDnTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

23.12.16.2 算出式

一斉書き換えトリガの生成周期 = カウントクロック周期 × (TAUDnCDRm + 1)

一斉書き換えを制御するには、次の条件が満たされている必要があります。

[PWM の場合]

$TAUDnCDRm = [(一斉書き換え対象マスタチャンネルの TAUDnCDRm 値 + 1) \times 割り込み数] - 1$

[三角波 PWM の場合]

$TAUDnCDRm = [(一斉書き換え対象マスタチャンネルの TAUDnCDRm 値 + 1) \times 2 \times 割り込み数] - 1$

つまり、TAUDnCDRm + 1 と TAUDnCDRm_master + 1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

23.12.16.3 ブロック図と基本タイミング図



図 23.81 一斉書き換えトリガ生成機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)

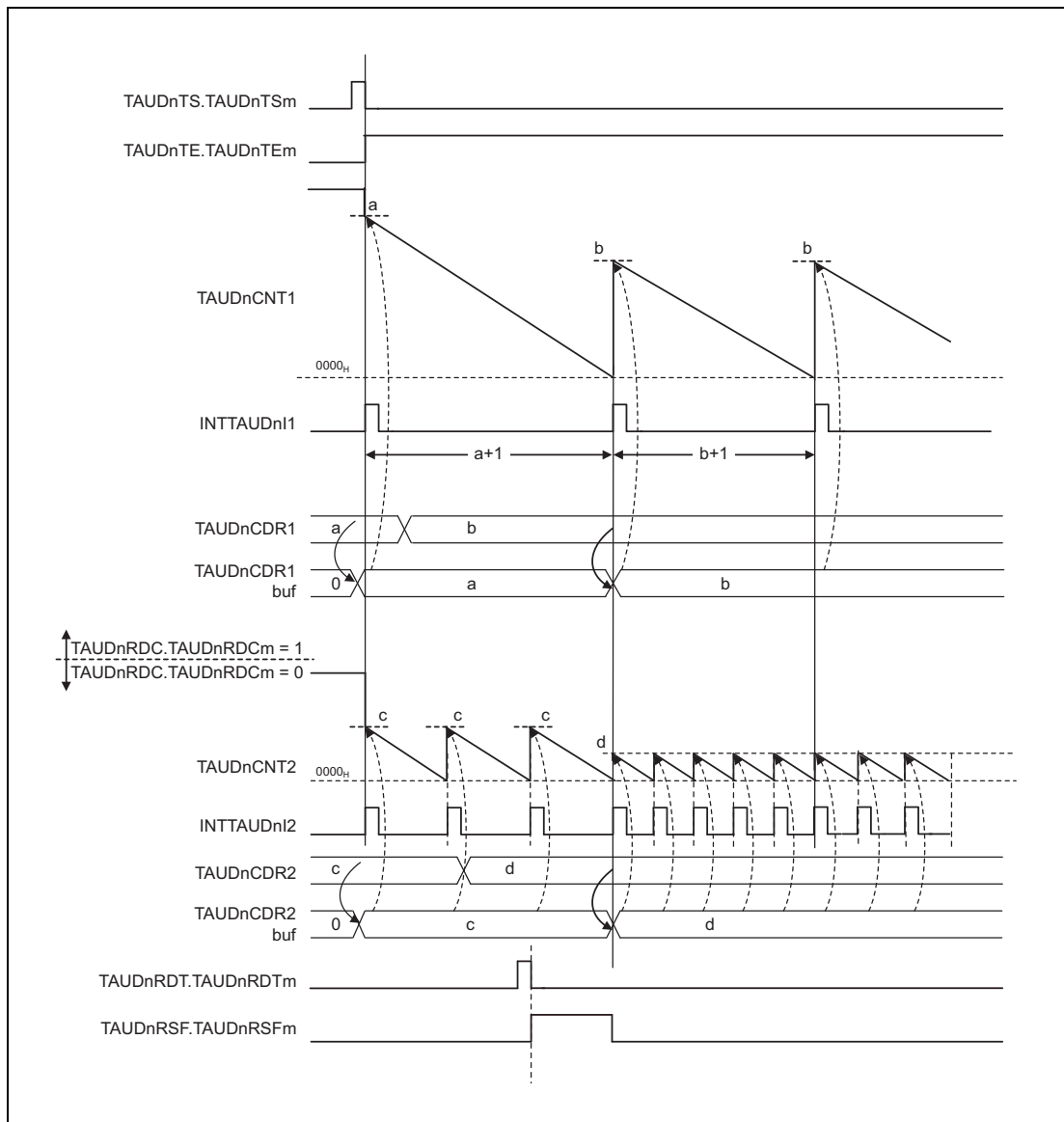


図 23.82 一斉書き換えトリガ生成機能タイプ1の基本タイミング図

23.12.16.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.117 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：未使用、“0”を設定
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.118 一斉書き換えトリガ生成機能タイプ1の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 上位チャネルの一斉書き換え

表 23.119 一斉書き換えトリガ生成機能タイプ1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1: チャネルで一斉書き換えのトリガとなる INTTAUDnIm 信号をモニタ

23.12.16.5 下位チャネルのレジスタ設定**(1) 下位チャネルの TAUDnCMORm**

下位チャネルの TAUDnCMORm レジスタは、設定可能な動作モードの TAUDnCMORm レジスタ設定に従ってください（「表 23.42 一斉書き換え方法とトリガタイミング」を参照してください）。

(2) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは、設定可能な動作モードの TAUDnCMURm レジスタ設定に従ってください（「表 23.42 一斉書き換え方法とトリガタイミング」を参照してください）。

(3) 下位チャネルのチャネル出力モード

下位チャネルの記載（マスタ、スレーブ）設定に従った出力が可能です。一斉書き換えトリガ生成機能タイプ1が使用可能な機能については、「表 23.42 一斉書き換え方法とトリガタイミング」を参照してください。

(4) 下位チャネルの一斉書き換え

表 23.120 一斉書き換えトリガ生成機能タイプ1時の下位チャネル一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1: 上位の1チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0: 設定可能な動作モードの TAUDnRDM.TAUDnRDMm ビット設定に従ってください。
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。

23.12.16.6 一斉書き換えトリガ生成機能タイプ1の操作手順

表 23.121 一斉書き換えトリガ生成機能タイプ1の操作手順

	操作	TAUDnの状態
動作再開	初期設定 上位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「表 23.117 一斉書き換えトリガ生成機能タイプ1の上位チャンネルの TAUDnCMORm レジスタの内容」と「表 23.118 一斉書き換えトリガ生成機能タイプ1の上位チャンネルの TAUDnCMURm レジスタの内容」に示すように設定します。 下位チャンネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「23.12.16.5 下位チャンネルのレジスタ設定」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 = 1 の場合、INTTAUDnIm が発生します。
	動作中 TAUDnRDT.TAUDnRDTm、 TAUDnCDR.TAUDnCDRm は変更可能です。 TAUDnRSF.TAUDnRSFm は常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 INTTAUDnIm が発生します。 TAUDnRDC.TAUDnRDCm が“1”に設定されているチャンネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。以降、この動作を繰り返します。
	動作停止 TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

23.13 チャネル連動動作機能

この節では、TAUDのチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、「23.2 概要」を参照してください。

この節では、一定間隔でPWM信号を発生させる機能について述べます。

23.13.1 PWM出力機能

23.13.1.1 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数のPWM出力を生成する機能です。これにより、TAUDnTTOUTmのパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 23.122 PWM出力機能のマスタチャネルのTAUDnCMORmレジスタの内容」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「表 23.125 PWM出力機能のスレーブチャネルのTAUDnCMORmレジスタの内容」参照）。
- この機能では、マスタチャネルでTAUDnTTOUTmは使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード1に設定する必要があります（「23.7 チャネル出力モード」参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSM）を“1”に設定すると、カウンタ動作が許可されます。これによりTAUDnTE.TAUDnTEm=1となり、カウンタが可能になります。TAUDnCDRmの現在値がTAUDnCNTmにロードされ、カウンタはそのTAUDnCDRm値からダウンカウントを開始します。マスタチャネルでINTTAUDnImが発生し、TAUDnTTOUTm（スレーブ）がセット、リセットされることによりPWM出力を実現しています。

- マスタチャネル：
マスタチャネルのカウンタ値が0000_Hになりパルス周期時間が経過すると、INTTAUDnImが発生します。TAUDnCDRm値をTAUDnCNTmにロードし、ダウンカウントを行います。

- スレーブチャネル：

マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。TAUDnTTOUTm 信号がアクティブレベルに設定されます。

カウンタ値が 0000_H になると (デューティ時間が経過すると) INTTAUDnIm が発生し、TAUDnTTOUTm 信号がインアクティブレベルに設定されます。カウンタは FFFF_H に戻り、マスタチャネルの次の INTTAUDnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブチャネルの TAUDnTT.TAUDnTTm を “1” に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は “0” に設定されます。マスタ/スレーブチャネルの TAUDnCNTm と TAUDnTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を “1” に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。

23.13.1.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = (TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)) × 100

- デューティサイクル = 0%

TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%

TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

23.13.1.3 ブロック図と基本タイミング図

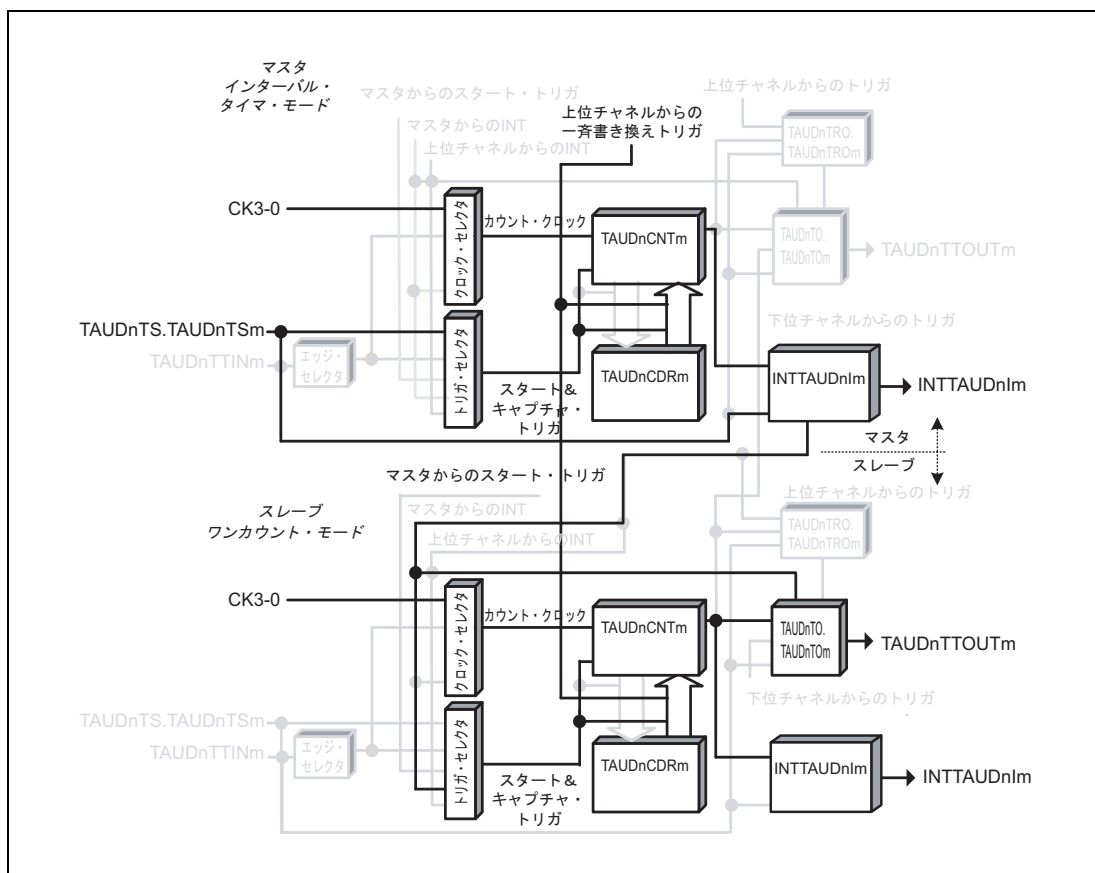


図 23.83 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル：正論理 (TAUDnTOL.TAUDnTOLm = 0)

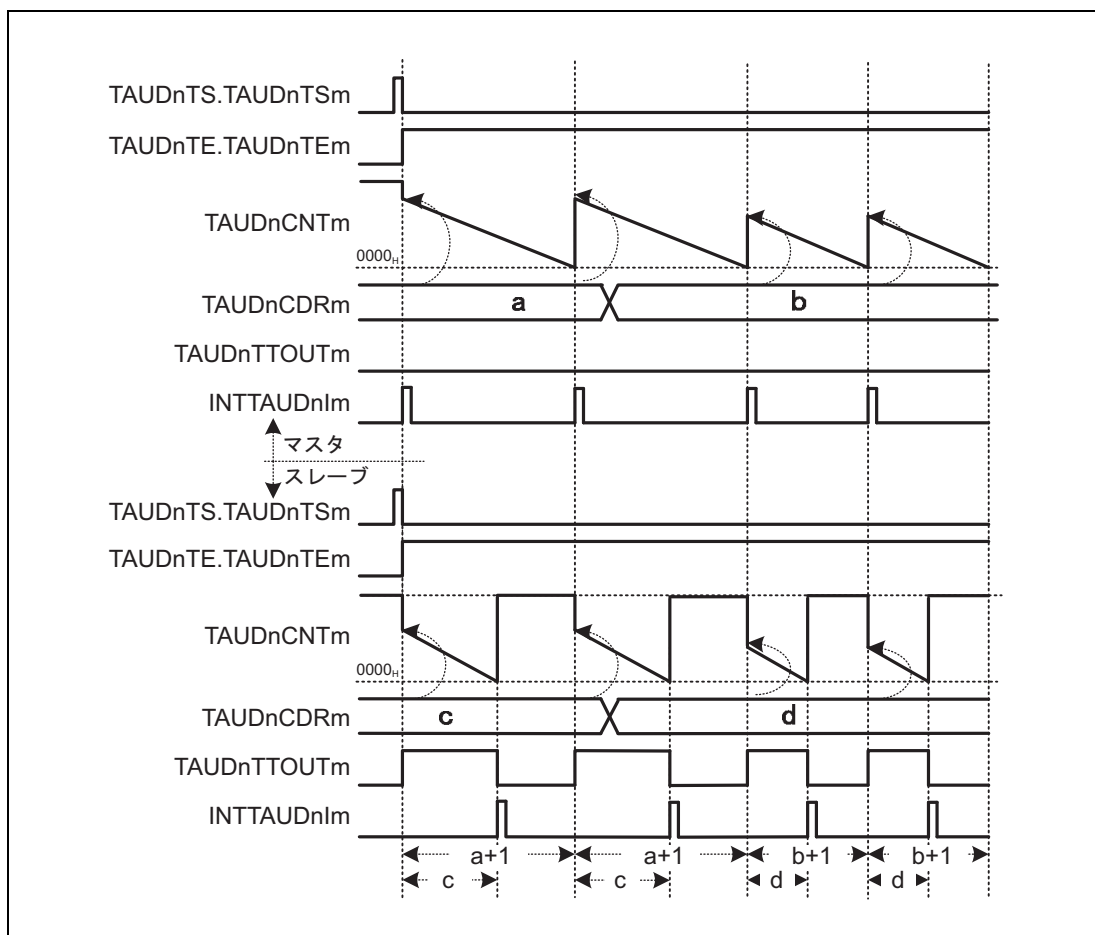


図 23.84 PWM 出力機能の基本タイミング図

備考

- カウント開始から割り込み発生までの間隔は対応する TAUDnCDRm + 1 の値になります。
- スレーブチャンネルの TAUDnTTOUTm は、マスターチャンネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

23.13.1.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.122 PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1 : チャンネルはマスタチャンネル
10 ~ 8	TAUDnSTS [2:0]	000 : ソフトウェアでカウンタをトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0000 : インターバルタイマモード
0	TAUDnMD0	1 : 動作開始時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.123 PWM 出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。ただし、ほかの機能での使用あるいはソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.124 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備 考

TAUDnRDS.TAUDnRDSm ビット=1 で使用する場合、マスタチャンネルの上位に「**23.12.16 一斉書き換えトリガ生成機能タイプ1**」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ1 設定チャンネル: TAUDnRDC.TAUDnRDCm=1、TAUDnRDS.TAUDnRDSm=1
また、本チャンネルの TAUDnCDRm 設定値は下記となります。
= ((一斉書き換え対象のマスタチャンネルの TAUDnCDRm 設定値 +1) × 割り込み回数) -1
- マスタチャンネル: TAUDnRDC.TAUDnRDCm=0、TAUDnRDS.TAUDnRDSm=1
- スレーブチャンネル: TAUDnRDC.TAUDnRDCm=0、TAUDnRDS.TAUDnRDSm=1

TAUDnCDRm (スレーブ) の設定値 > TAUDnCDRm (マスタ) の設定値 + 1 の場合は、Duty 値が 100% を超えることになるが、集約し 100% 出力とする。

23.13.1.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.125 PWM 出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.126 PWM 出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

表 23.127 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0: 変調禁止

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.128 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.1.6 PWM 出力機能の操作手順

表 23.129 PWM 出力機能時の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。マスタチャンネルで INTTAUDnIm が発生し、TAUDnTTOUTm (スレーブ) が設定されません。
	動作中	マスタチャンネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCDRm 値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUDnTTOUTm (スレーブ) がアクティブレベルに設定されます。 TAUDnCNTm (スレーブ) が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDnTTOUTm (スレーブ) がインアクティブレベルに設定されます。また、スレーブチャンネルのカウント動作が停止します。
	動作停止	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。TAUDnCNTm と TAUDnTTOUTm は停止し、現在値を保持します。

23.13.1.7 特定の設定時のタイミング図

(1) デューティサイクル = 0%

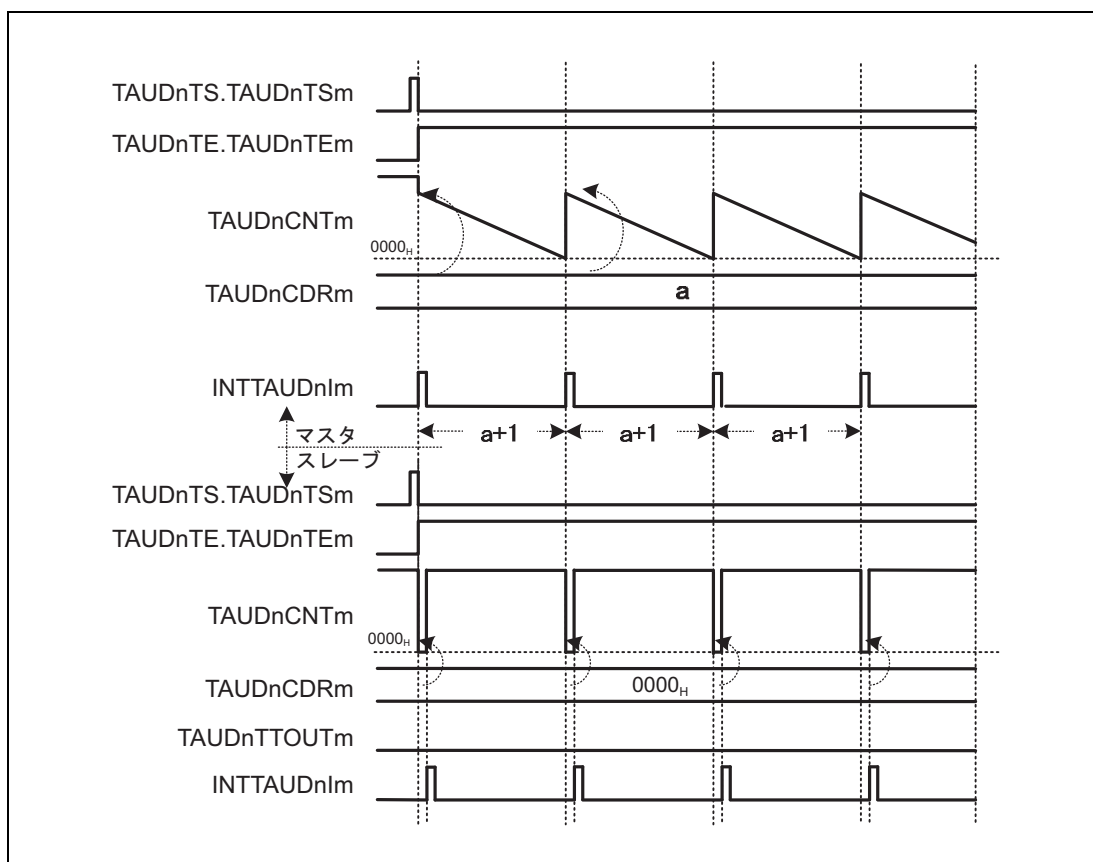


図 23.85 TAUDnCDRm (スレーブ) = 0000_H、
正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- マスタチャンネルで割り込み (INTTAUDnIm) が発生するたびに、TAUDnCNTm (スレーブ) に 0000_H がロードされます。したがって、スレーブチャンネルの割り込み (INTTAUDnIm) が同時発生し、TAUDnTTOUTm はアクティブでない状態のままとなります。
- TAUDnCDRm 値を TAUDnCNTm (スレーブ) にロードし、割り込みを発生させます。

(2) デューティサイクル = 100%

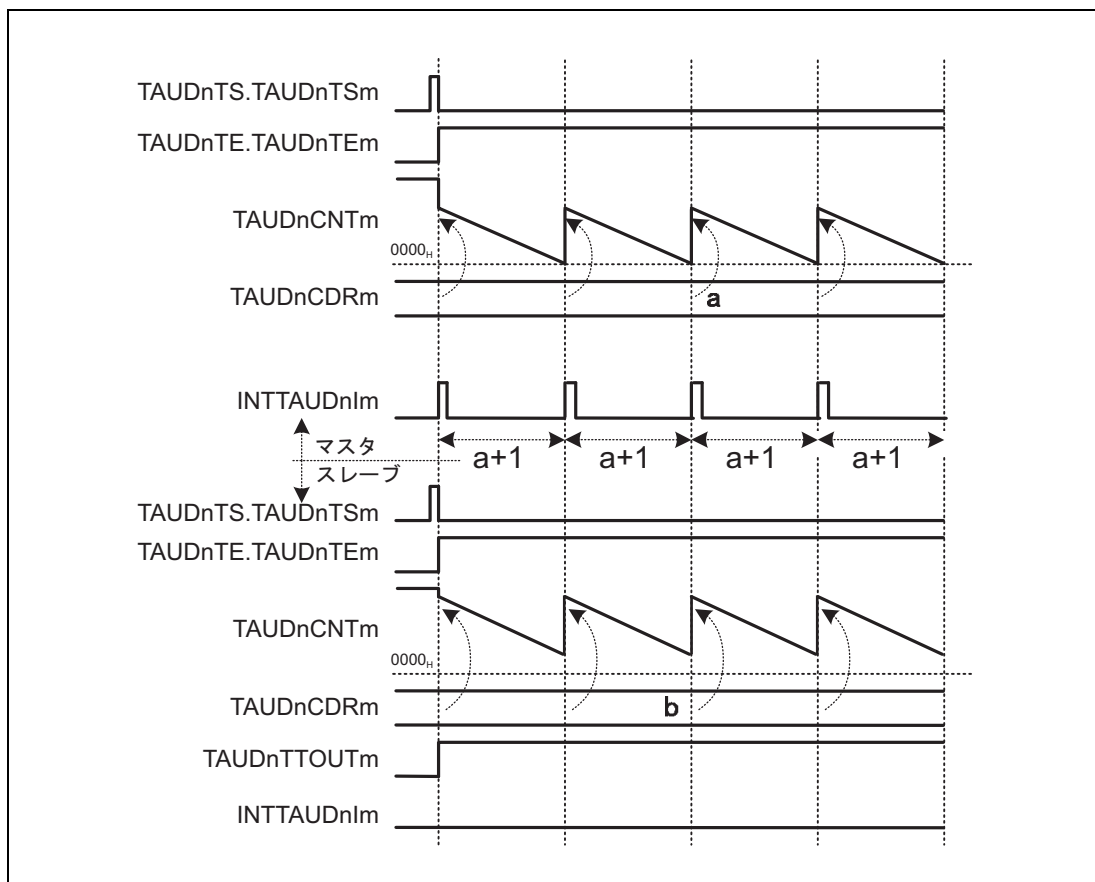


図 23.86 $TAUDnCDRm$ (スレーブ) $\geq TAUDnCDRm$ (マスタ) + 1
正論理 ($TAUDnTOL.TAUDnTOLm$ (スレーブ) = 0)

- $TAUDnCDRm$ (スレーブ) 値が $TAUDnCDRm$ (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000_H にならないため、割り込みが発生しません。
 $TAUDnTTOUTm$ はアクティブ状態のままになります。

(3) 動作の停止と再開

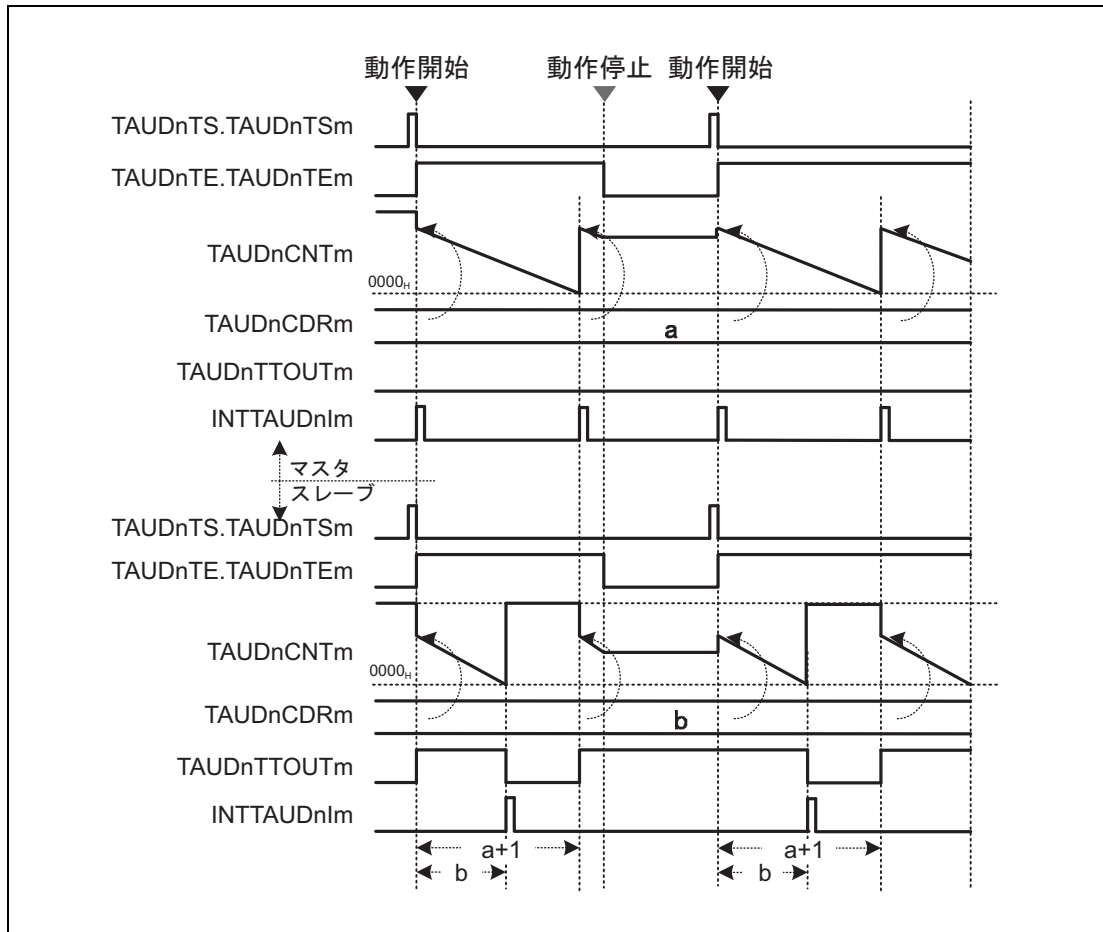


図 23.87 動作の停止と再開
正論理 (TAUDnTOL.TAUDnTOLm (スレーブ) = 0)

- マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- 全チャンネルの TAUDnCNTm と TAUDnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャンネルの TAUDnTS.TAUDnTSM を“1”に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャンネルの TAUDnCDRm 値を TAUDnCNTm にロードし、この値からダウンカウントを開始します。

23.13.2 ワンショットパルス出力機能

23.13.2.1 概要

概要

マスタチャンネルとスレーブチャンネルを使って外部入力信号パルス、またはソフトウェアトリガとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャンネルで設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 23.130 ワンショットパルス出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、パルスワンカウントモードに設定する必要があります（「表 23.133 ワンショットパルス出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、マスタチャンネルで TAUDnTTOUTm は使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（「23.7 チャンネル出力モード」参照）。
- TAUDnTTINm（マスタ）は、TAUDnCNTm（マスタ）と TAUDnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャンネルからの割り込みでのみトリガされ、TAUDnTTINm（スレーブ）ではトリガされません。
- ソフトウェアトリガのみを使用したい場合、端子兼用機能で TAUDnTTINm を選択しないでください。

機能説明

マスタチャンネル、スレーブチャンネルのチャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：

次の有効な TAUDnTTINm 入力エッジまたはソフトウェアトリガ (TAUDnTE.TAUDnTEm = 1 のとき、TAUDnTS.TAUDnTSM = 1 (m : マスタチャンネル番号)) が検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。カウンタは、この TAUDnCDRm 値からダウンカウントを開始します。TAUDnCMORm.TAUDnMD0 = 0 の場合、遅延時間内に検出されたトリガ (TAUDnTTINm) は無視されます。

マスタチャンネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。カウンタは FFFF_H に戻り、次の有効な TAUDnTTINm 入力エッジまたはソフトウェアトリガ (TAUDnTE.TAUDnTEm = 1 のとき、TAUDnTS.TAUDnTSM = 1 (m : マスタチャンネル番号)) を待ちます。
- スレーブチャンネル：

マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) に

ロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDnTTOUTm 信号がセットされます。

カウンタ値が 0001_H になると、INTTAUDnIm が発生し、TAUDnTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDnTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

- マスタチャンネルの TAUDnCMORm.TAUDnMD0 が“0”に設定されている場合、カウント中に検出された TAUDnTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。

23.13.2.2 算出式

トリガ入力からパルス出力までの遅延時間 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

パルス幅 = (TAUDnCDRm (スレーブ)) × カウントクロック周期

23.13.2.3 ブロック図と基本タイミング図

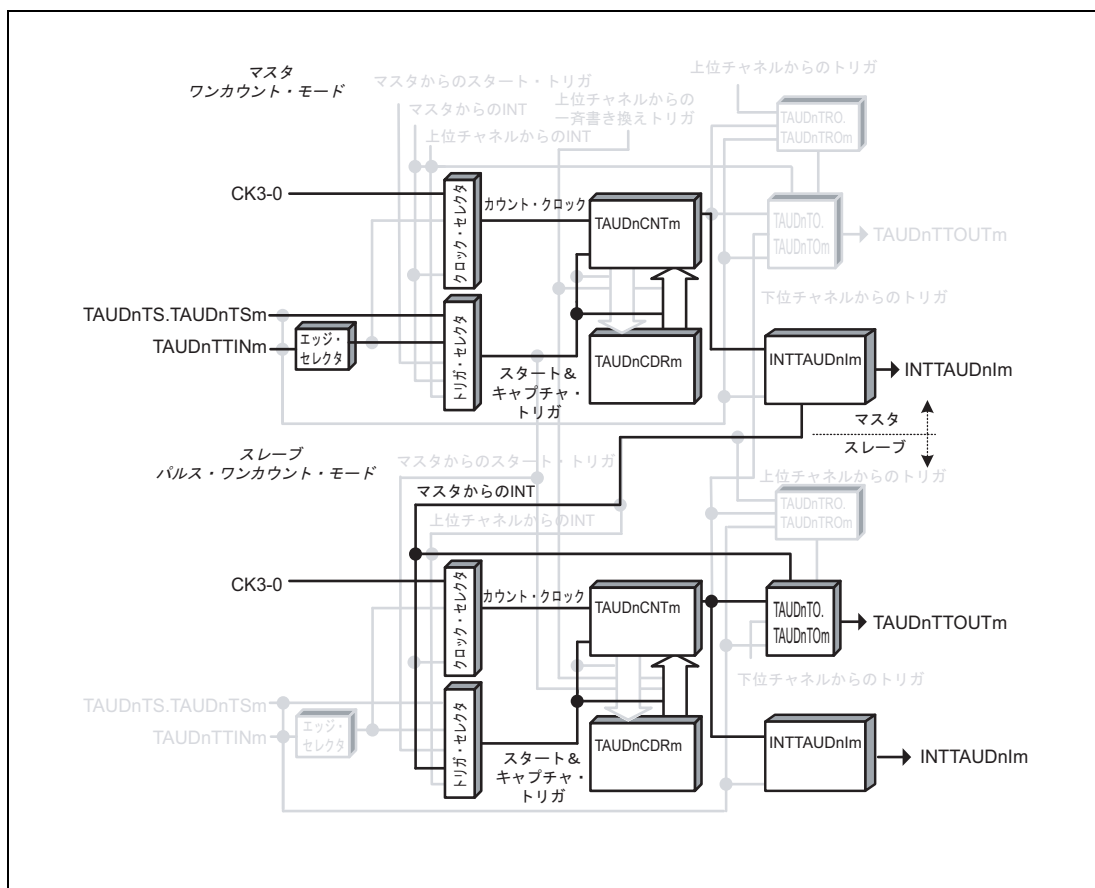


図 23.88 ワンショットパルス出力機能のブロック図

「図 23.89 ワンショットパルス出力機能の基本タイミング図 (外部入力信号の場合)」および「図 23.90 ワンショットパルス出力機能の基本タイミング図 (ソフトウェアトリガの場合)」での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

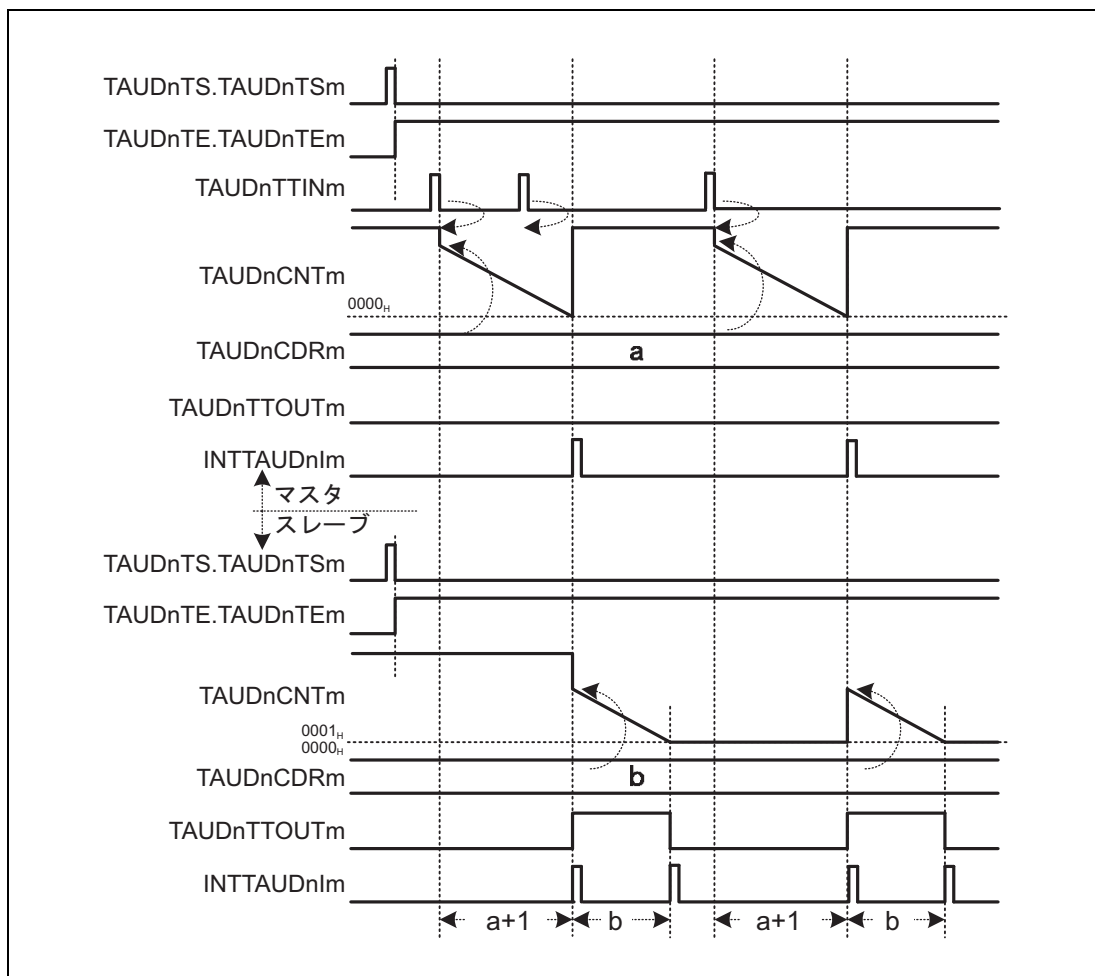


図 23.89 ワンショットパルス出力機能の基本タイミング図 (外部入力信号の場合)

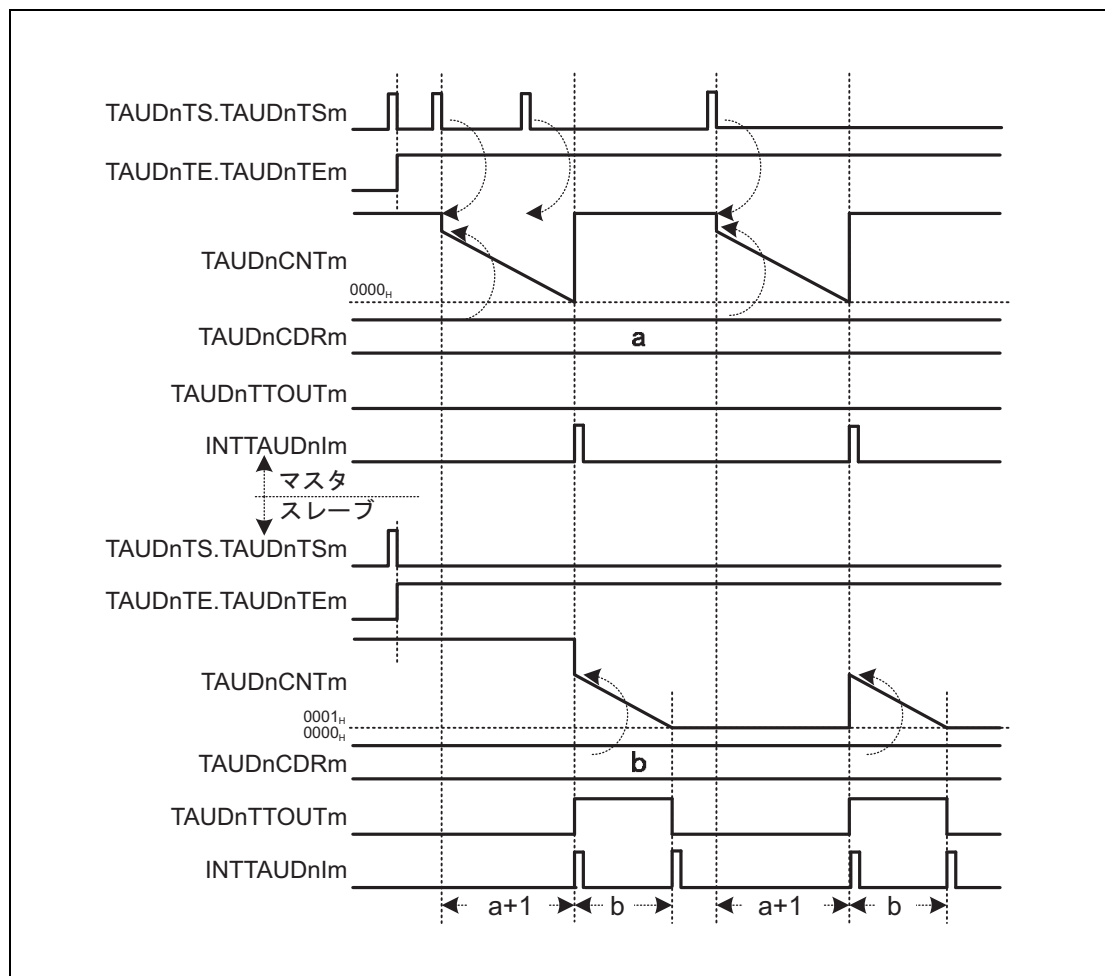


図 23.90 ワンショットパルス出力機能の基本タイミング図 (ソフトウェアトリガの場合)

23.13.2.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.130 ワンショットパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDnTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.131 ワンショットパルス出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.132 ワンショットパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.2.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.133 ワンショットパルス出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	100 : マスタチャンネルの INTTAUDnIm がスタートトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	1010 : パルスワンカウントモード
0	TAUDnMD0	0 : カウント中のスタートトリガ検出禁止 1 : カウント中のスタートトリガ検出許可 マスタチャンネルとスレーブチャンネルの MD0 ビット値は同一である必要があります。

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.134 ワンショットパルス出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) スレーブチャネルの出力モード

表 23.135 チャンネル単体出力モード2の時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROM	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 23.136 ワンショットパルス出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。

23.13.2.6 ワンショットパルス出力機能時の操作手順

表 23.137 ワンショットパルス出力機能時の操作手順

	操作	TAUDnの状態
動作再開	チャンネルの初期設定 マスタチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.13.2.4 マスタチャンネルのレジスタ設定」に示すように設定します。 スレーブチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.13.2.5 スレーブチャンネルのレジスタ設定」に示すように設定します。 全チャンネルの TAUDnCDRm レジスタの値を設定します。	チャンネル動作を停止しています。
	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタチャンネルは TAUDnTTINm 入力を待ちます。
	動作中 TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更できません。	TAUDnTTINm 入力の有効エッジを検出すると、マスタチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。カウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCNTm (マスタ) は FFFF_H に戻り、次の有効な TAUDnTTINm 入力エッジを待ちます。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウント動作を開始します。 INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がアクティブレベルになります。 TAUDnCNTm (スレーブ) が 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がインアクティブレベルになります。また、スレーブチャンネルのカウント動作が停止します。
動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDnTTOUTm は停止し、現在値を保持します。	

23.13.2.7 特定のタイミング図

(1) TAUDnCDRm (マスタ) = 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

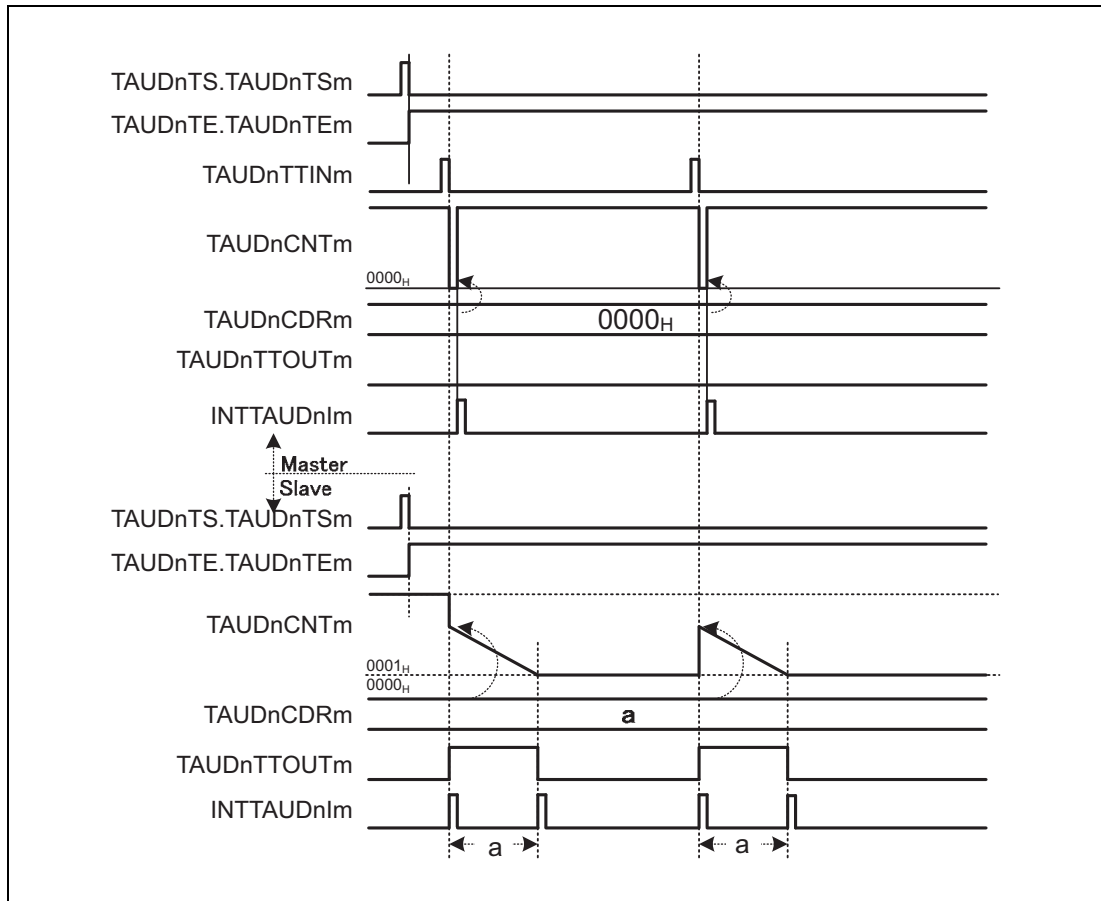


図 23.91 TAUDnCDRm (マスタ) = 0000_H

- 有効な TAUDnTTINm 入力エッジが検出されると、TAUDnCNTm (マスタ) に値 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行くと FFFF_H に戻ります。
したがって、スレーブチャンネルのカウンタは TAUDnTTINm (マスタ) から 1 カウントクロック遅れて、ダウンカウントを開始します。

(2) TAUDnCDRm (スレーブ) = 0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

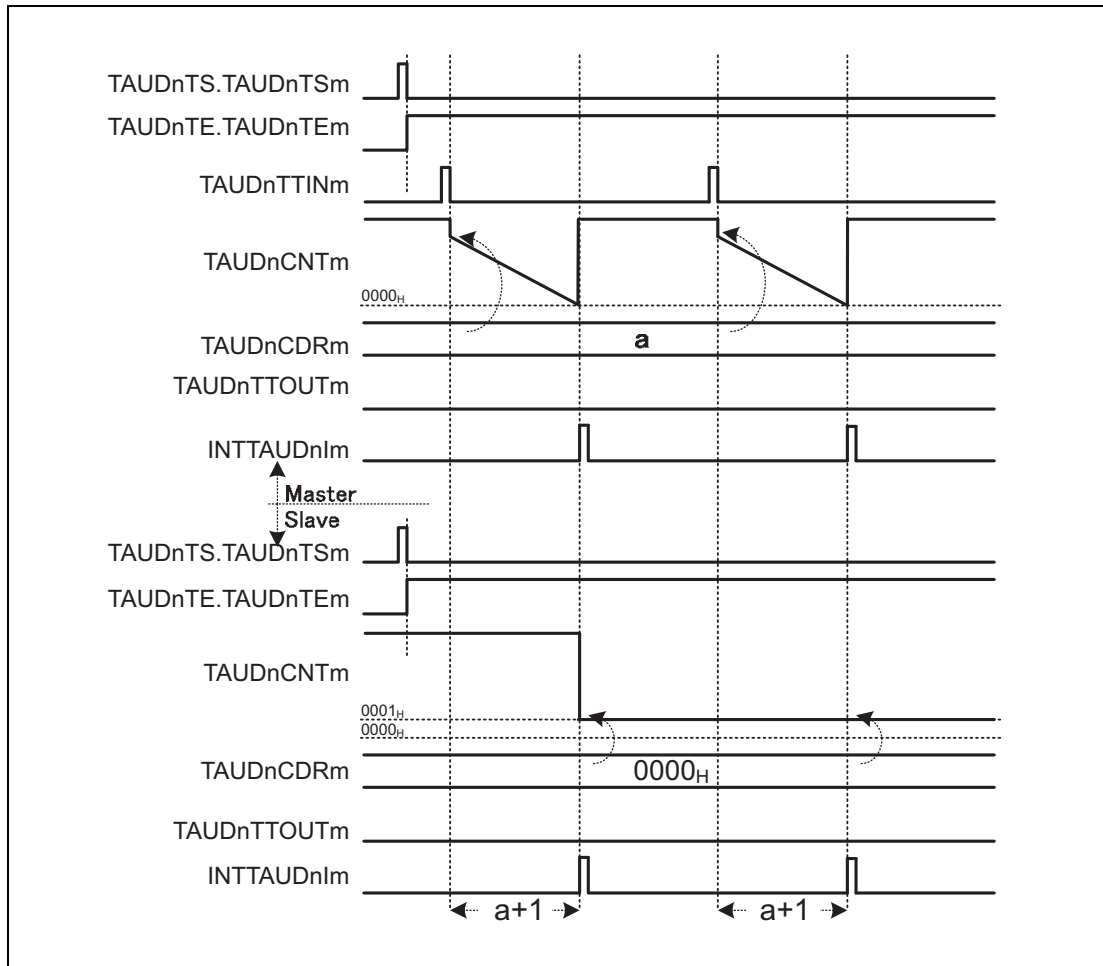


図 23.92 TAUDnCDRm (スレーブ) = 0000_H

- パルス幅が“0”のため、TAUDnTTOUTm は非アクティブ状態のままです。

(3) TAUDnCMORm.TAUDnMD0 = 1

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可 (TAUDnCMORm.TAUDnMD0 = 1)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

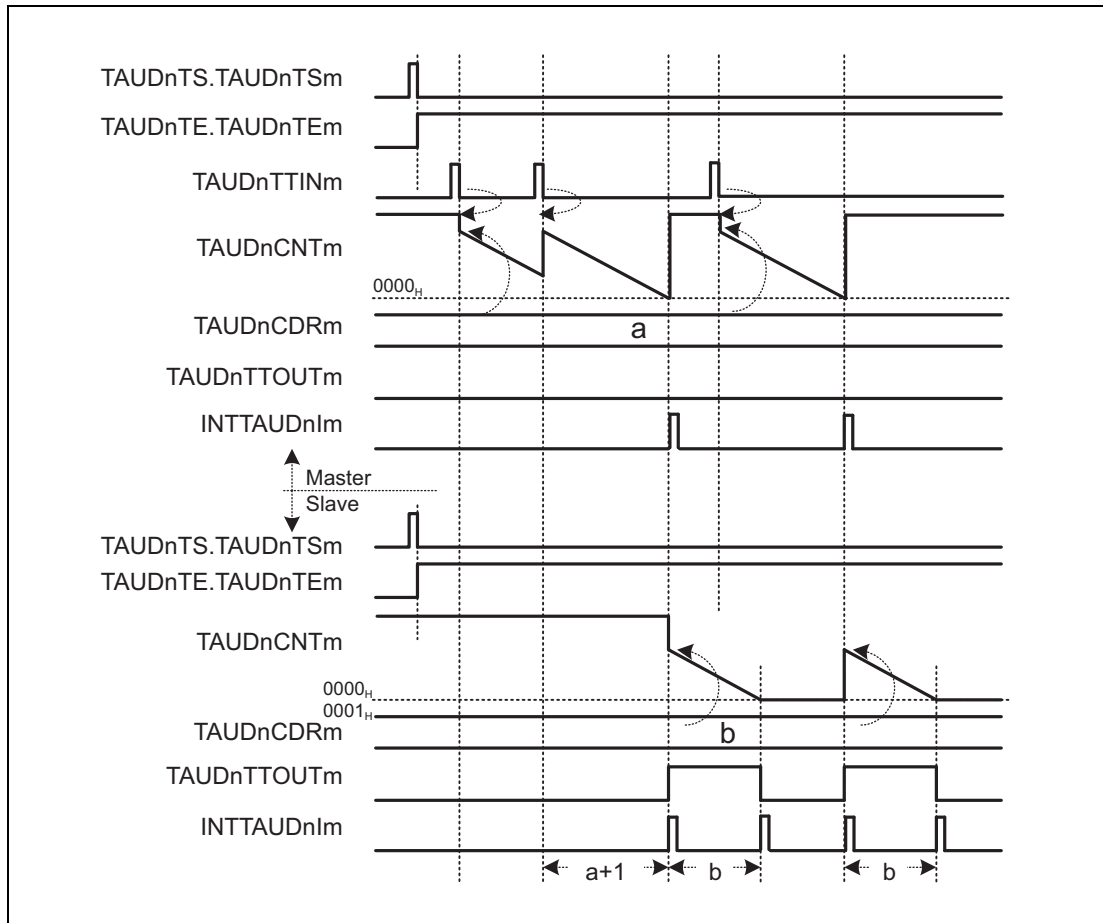


図 23.93 TAUDnCMORm.TAUDnMD0 = 1

- マスタチャネルのカウンタがダウンカウント中に TAUDnTTINm 入力の有効エッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をリロードします。カウンタはダウンカウントを再開します。
これは、TAUDnTTINm 入力の有効エッジ検出時の TAUDnCNTm の値によってディレイが引き延ばされたことを意味します。

(4) スレーブチャンネルカウント中にマスタチャンネルがリスタート

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止 (TAUDnCMORm.TAUDnMD0 = 0)
- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

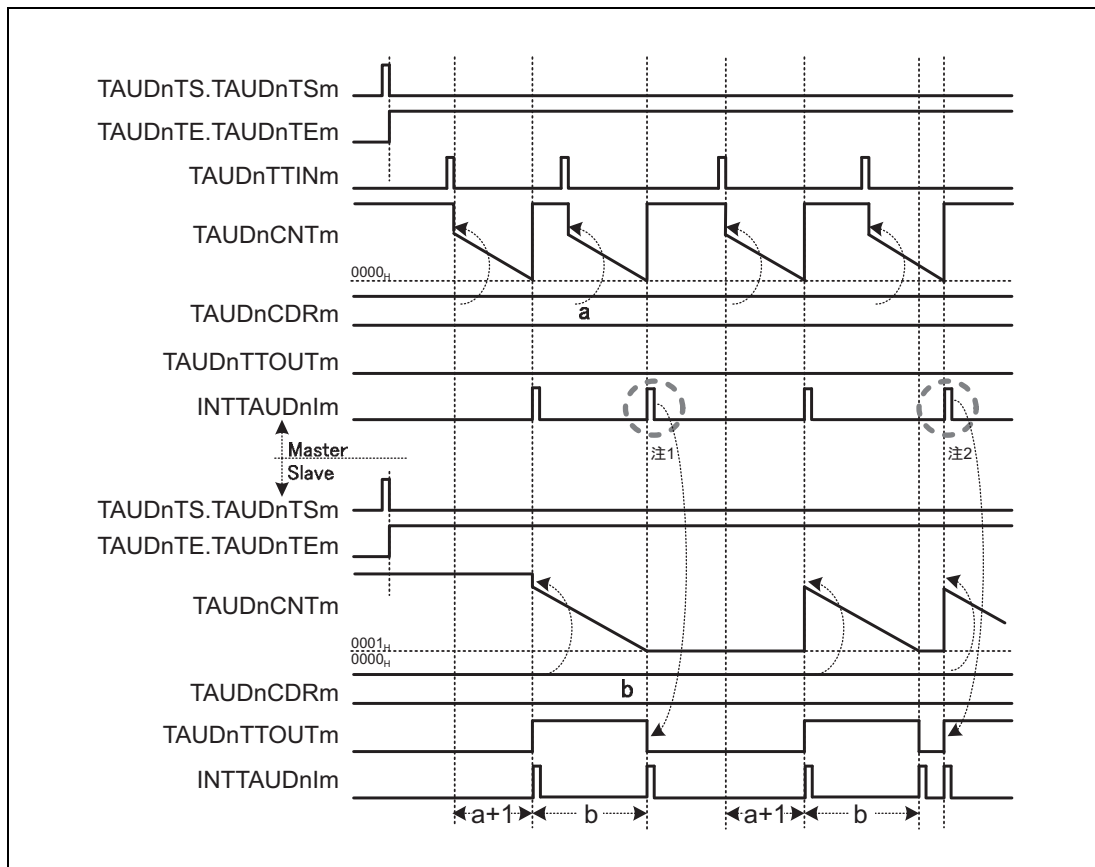


図 23.94 TAUDnTTINm の入力間隔 ≤ デレイ時間 + パルス幅 + 1

- スレーブチャンネルのカウンタが 0001_H になる前またはちょうど 0001_H になったときにマスタチャンネルが割り込みを発生した場合は注1、割り込み（マスタ）が無視されます。
- スレーブチャンネルのカウンタが次のトリガを待つ間にマスタチャンネルの割り込みが発生した場合は、TAUDnCDRm（スレーブ）の値がリロードされます。割り込みが発生し、TAUDnTTOUTm がトグルされます。TAUDnCNTm（スレーブ）がカウント中に TAUDnCNTm（マスタ）がダウンカウントを開始した場合は注2、TAUDnTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャンネルとスレーブチャンネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャンネルのスタートトリガが検出される必要があります。

23.13.3 ディレイパルス出力機能

23.13.3.1 概要

概要

この機能では、2種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャンネルとスレーブチャンネル1を使用して定義されています。スレーブチャンネル2とスレーブチャンネル3は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャンネル2で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタチャンネルで設定します。
- 基準信号のデューティサイクルはスレーブチャンネル1を、ディレイ信号のデューティサイクルはスレーブチャンネル3を使用して設定されます。
- 遅延量はスレーブチャンネル2で設定します。

前提条件

- 4チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 23.138 ディレイパルス出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル1、2の動作モードは、ワンカウントモードに設定する必要があります（「表 23.141 ディレイパルス出力機能のスレーブチャンネル1の TAUDnCMORm レジスタの内容」と「表 23.145 ディレイパルス出力機能のスレーブチャンネル2の TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネル3の動作モードは、パルスワンカウントモードに設定する必要があります（「表 23.148 ディレイパルス出力機能のスレーブチャンネル3の TAUDnCMORm レジスタの内容」参照）。
- マスタチャンネルおよびスレーブチャンネル2では TAUDnTTOUtm を使用しません。
- スレーブチャンネル1のチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（「23.7 チャンネル出力モード」参照）。
- スレーブチャンネル3のチャンネル出力モードは、チャンネル単体出力モード2に設定する必要があります（「23.7 チャンネル出力モード」参照）。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、チャンネルグループのカウント動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。

- マスタチャンネル：
TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルで INTTAUDnIm が発生します。マスタチャンネルのカウント値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。

- スレーブチャンネル1、スレーブチャンネル2：

スレーブチャンネル1、2はマスタチャンネルからの割り込みを検出すると、TAUDnCDRmの現在値からダウンカウントを開始します。TAUDnTTOUTm信号（スレーブ1）が設定されます。

 - スレーブチャンネル1：

スレーブチャンネル1のカウント値が0000_Hになると（デューティ時間が経過すると）、INTTAUDnImが発生し、TAUDnTTOUTm信号がリセットされます。カウンタはFFFF_Hに戻り、マスタチャンネルの次のINTTAUDnImを待ちます。
 - スレーブチャンネル2：

スレーブチャンネル2のカウント値が0000_Hになり遅延時間が経過すると、INTTAUDnImが発生します。カウンタはFFFF_Hに戻り、マスタチャンネルの次のINTTAUDnImを待ちます。

INTTAUDnIm（スレーブチャンネル2）が発生することにより、スレーブチャンネル3のカウント動作がトリガされます。
- スレーブチャンネル3：

スレーブチャンネル3はスレーブチャンネル2からの割り込みを検出すると、TAUDnCDRmの現在値からダウンカウントを開始します。INTTAUDnImが発生し、TAUDnTTOUTm信号（スレーブチャンネル3）がセットされます。

スレーブチャンネル3のカウント値が0001_Hになると、INTTAUDnImが発生し、TAUDnTTOUTm信号がリセットされます。

スレーブチャンネル3からは遅延されたPWMパルスが出力されます。

マスタ/スレーブチャンネルのTAUDnTT.TAUDnTTmを“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEmは“0”に設定されます。マスタ/スレーブチャンネルのTAUDnCNTmとTAUDnTTOUTmが停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTsmを“1”に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。

23.13.3.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

デューティ幅1 = (TAUDnCDRm (スレーブ1)) × カウントクロック周期

遅延幅 = (TAUDnCDRm (スレーブ2) + 1) × カウントクロック周期

デューティ幅2 = (TAUDnCDRm (スレーブ3)) × カウントクロック周期

但し、遅延幅の設定値は下記範囲とすること。

$0000_{\text{H}} \leq \text{TAUDnCDRm (スレーブ2)} < \text{TAUDnCDRm (マスタ)}$

備考

1. TAUDnTOUTm (スレーブ 3) の出力波形は、TAUDnTOUTm (スレーブ 1) の出力波形をスレーブ 2 で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ 3 のカウント中に、スレーブ 2 の TAUDnINTm が発生した場合、スレーブ 3 は動作を再開します。従って、TAUDnTOUTm (スレーブ 3) の出力波形は、アクティブレベルを保持します。(この場合、TOUTn (Slave-CH-3) は、TOUTn (Slave-CH-1) の基本パルスをディレイさせた波形を出力できません。)

23.13.3.3 ブロック図と基本タイミング図

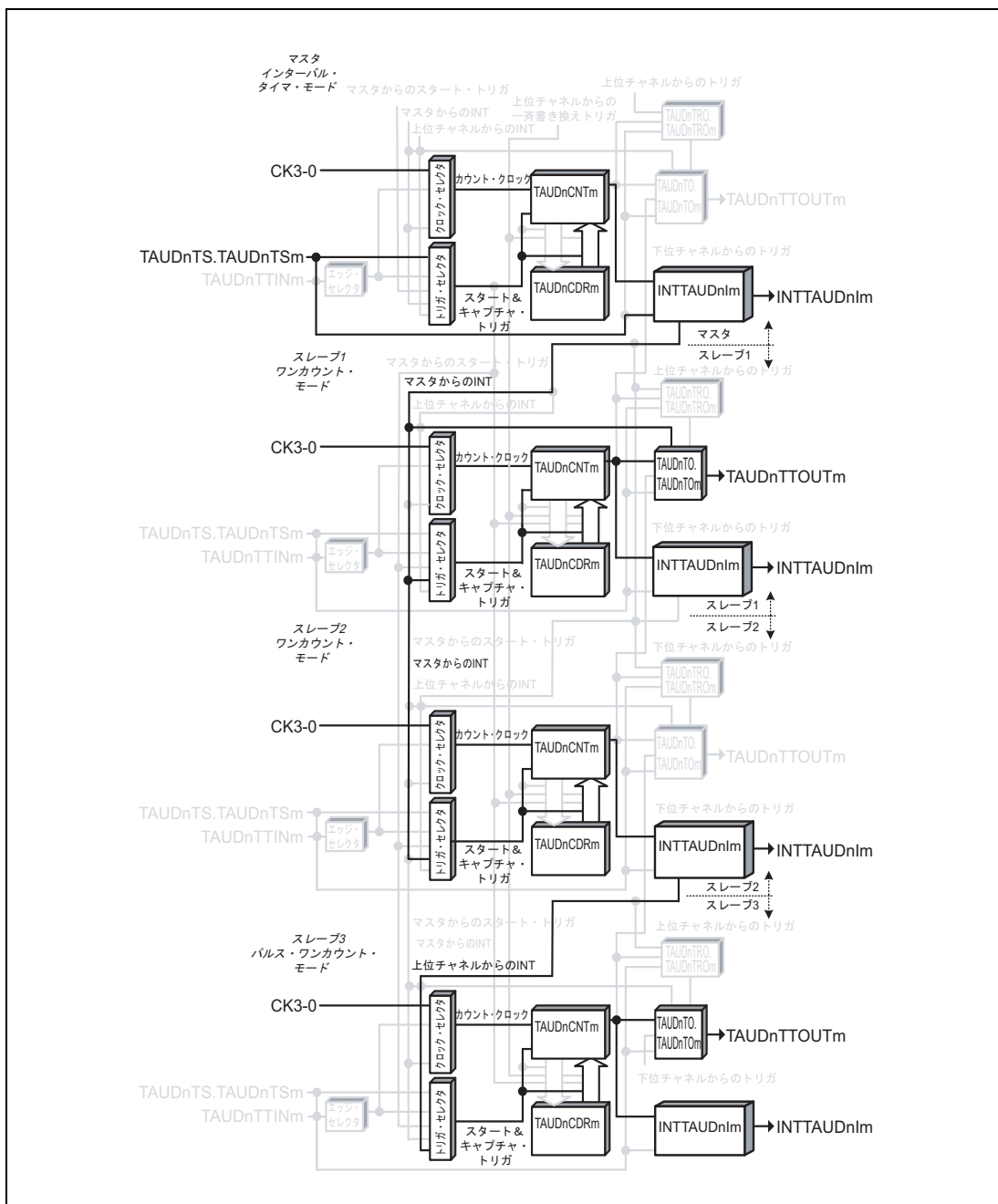


図 23.95 デイレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブ・チャンネル1：正論理 (TAUDnTOL.TAUDnTOLm = 0)
- スレーブ・チャンネル3：正論理 (TAUDnTOL.TAUDnTOLm = 0)

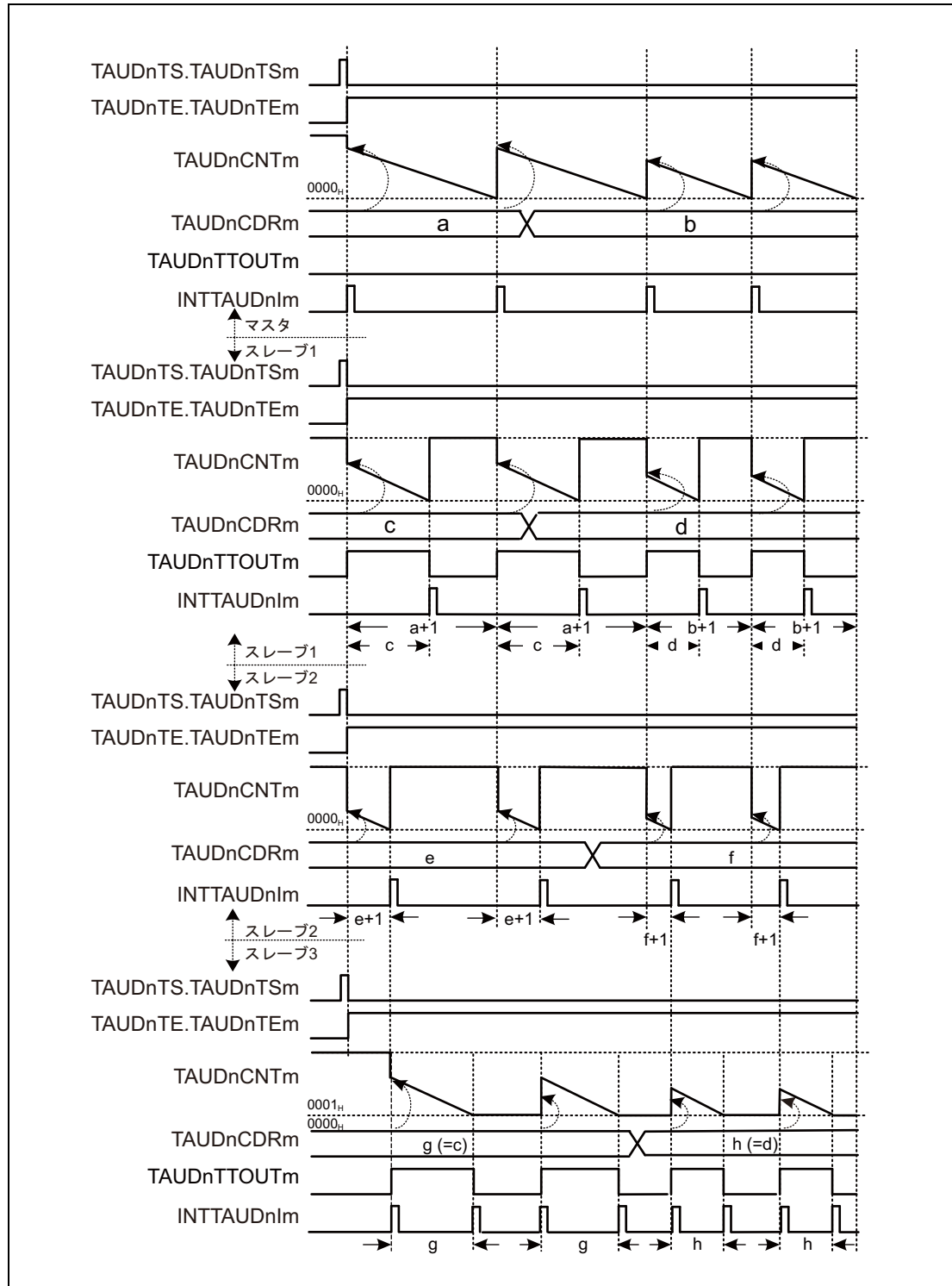


図 23.96 デレイパルス出力機能の基本タイミング図

23.13.3.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.138 ディレイパルス出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.139 ディレイパルス出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

この機能では、マスタチャンネルはチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.140 ディレイパルス出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.3.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.141 ディレイパルス出力機能のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルのTAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルのINTTAUDnImがスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.142 ディレイパルス出力機能のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル1のチャンネル出力モード

表 23.143 チャンネル連動出力モード1時のスレーブチャンネル1の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROM	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.144 ディレイパルス出力機能時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.3.6 スレーブチャンネル2のレジスタ設定

(1) スレーブチャンネル2のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.145 ディレイパルス出力機能のスレーブチャンネル2のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャンネル2のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.146 ディレイパルス出力機能のスレーブチャンネル2のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル2のチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。

(4) スレーブチャンネル2の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.147 ディレイパルス出力機能時のスレーブチャンネル2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1 : 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0 : マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0 : 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.3.7 スレーブチャンネル3のレジスタ設定

(1) スレーブチャンネル3のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.148 ディレイパルス出力機能のスレーブチャンネル3のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	101：マスタ設定にかかわらず、上位チャンネル (m-1) の INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャンネル3のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.149 ディレイパルス出力機能のスレーブチャンネル3のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル3のチャンネル出力モード

表 23.150 チャンネル単体出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROM	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネル3の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.151 ディレイパルス出力機能時のスレーブチャンネル3の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルが一斉書き換えの制御チャンネル
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.3.8 ディレイパルス出力機能時の操作手順

表 23.152 ディレイパルス出力機能時の操作手順 (1/2)

	操作	TAUDn の状態
チャンネルの初期設定	<p>マスタチャンネル : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.13.3.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.13.3.5 スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.13.3.6 スレーブチャンネル 2 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 3 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.13.3.7 スレーブチャンネル 3 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 23.152 ディレイパルス出力機能時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開 ↓ 動作中 ↓ 動作停止	動作開始 マスタチャンネルとスレーブチャンネルのTAUDnTS.TAUDnTsmを同時に“1”に設定します。 TAUDnTS.TAUDnTsmはトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が“1”に設定され、マスタチャンネルとスレーブチャンネル1/2のカウンタが動作を開始します。 マスタチャンネルで INTTAUDnIm が発生し、TAUDnTTOUTm (スレーブチャンネル1) が設定されます。
	動作中 TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャンネルとスレーブチャンネル1/2のTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを行います。 マスタチャンネルのカウンタが0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 再びTAUDnCDRmの値をTAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再びTAUDnCDRmの値をTAUDnCNTm (スレーブ1/2) にロードし、ダウンカウントを開始します。 TAUDnTTOUTm (スレーブ1) がセットされます。 TAUDnCNTm (スレーブ1) が0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ1) が発生します。 TAUDnTTOUTm (スレーブ1) がリセットされます。 TAUDnCNTm (スレーブ2) が0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ2) が発生します。 INTTAUDnIm (スレーブ3) が発生します。 TAUDnTTOUTm (スレーブ3) がセットされます。 再びTAUDnCDRmの値をTAUDnCNTm (スレーブ3) にロードし、ダウンカウント動作を開始します。 TAUDnCNTm (スレーブ3) が0001 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ3) が発生します。 TAUDnTTOUTm (スレーブ3) がリセットされます。
	動作停止 マスタチャンネルとスレーブチャンネルのTAUDnTT.TAUDnTTmを同時に“1”に設定します。 TAUDnTT.TAUDnTTmはトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEmが“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTmとTAUDnTTOUTmは停止し、現在値を保持します。

23.13.3.9 特定のタイミング図

(1) デューティサイクル (スレーブ 3) = 100%

図 23.97 には以下の値が適用されます。

- TAUDnCDRm (マスタ) = 000A_H
- TAUDnCDRm (スレーブ 1) = 000B_H
- TAUDnCDRm (スレーブ 2) = 0000_H
- TAUDnCDRm (スレーブ 3) = 000B_H

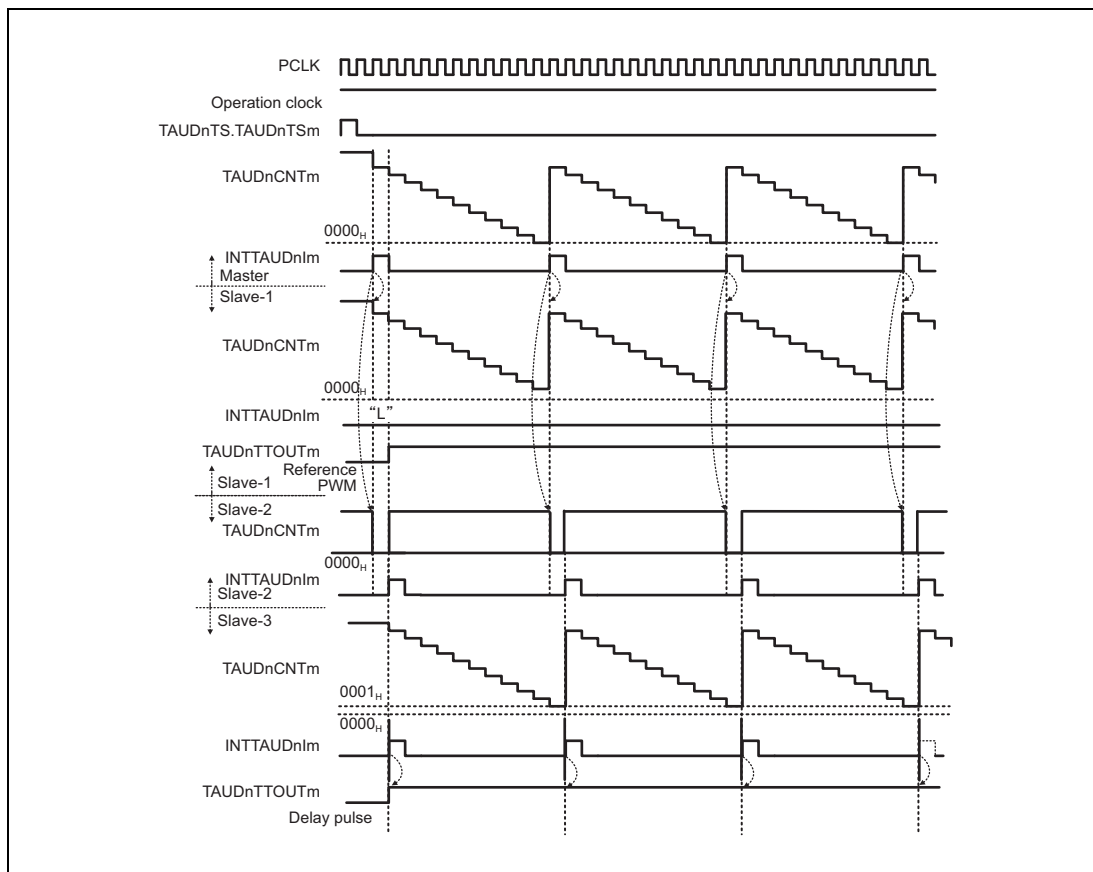


図 23.97 デューティサイクル (スレーブ 3) = 100%

- TAUDnCDRm (スレーブ 1/スレーブ 3) の値が TAUDnCDRm (マスタ) の値を越える場合は、スレーブチャンネル 1 のカウンタは 0000_H にならず、割り込みは発生しません。チャンネル 1、3 の TAUDnTTOUTm は、アクティブ状態のままになります。

(2) TAUDnTTOUTm (スレーブ 1) = TAUDnTTOUTm (slave 3)

図 23.98 には以下の値が適用されます。

- TAUDnCDRm (マスタ) = 000A_H
- TAUDnCDRm (スレーブ 1) = 0005_H
- TAUDnCDRm (スレーブ 2) = 0000_H
- TAUDnCDRm (スレーブ 3) = 0005_H

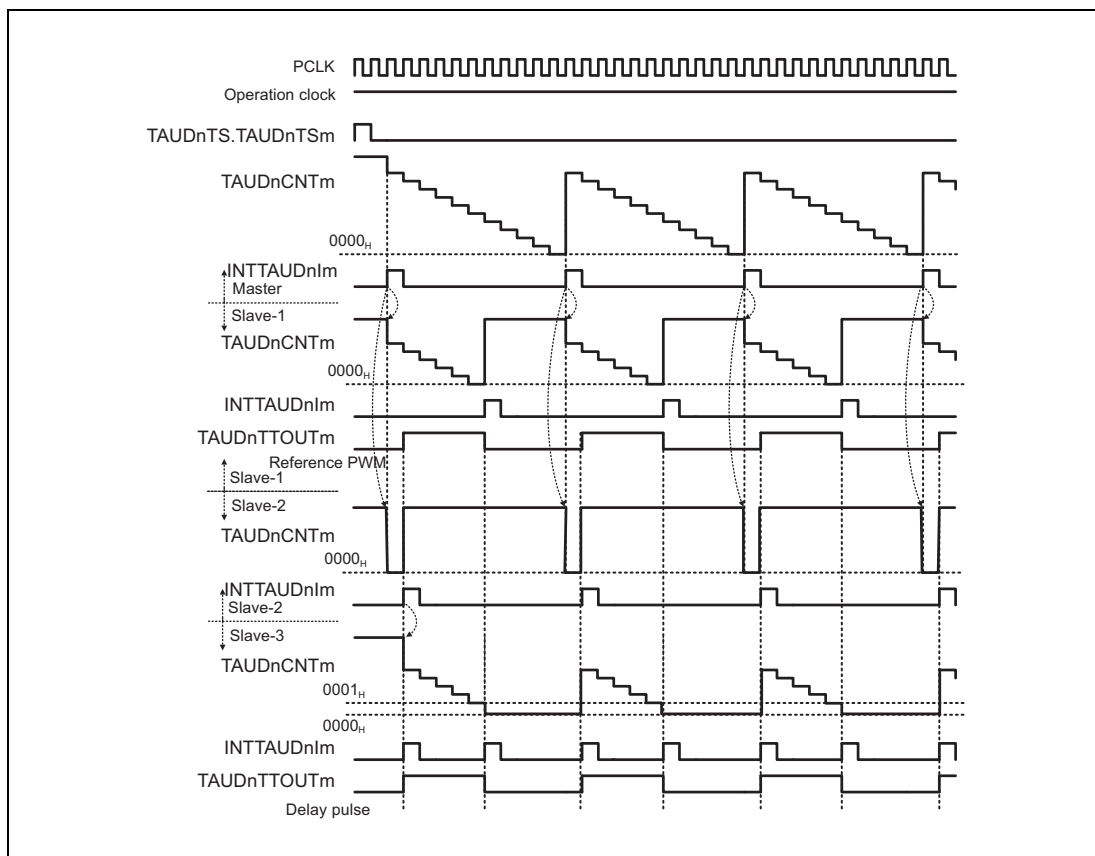


図 23.98 TAUDnTTOUTm (スレーブ 1) = TAUDnTTOUTm (slave 3)

- TAUDnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネル 3 のカウンタはスレーブチャンネル 1 のカウンタより 1 クロックカウント後にカウントを開始します。基本パルスとディレイパルスは 1 クロックカウントの遅延で出力されます。

23.13.4 オフセットトリガ出力機能

23.13.4.1 概要

概要

マスタチャンネルとスレーブチャンネルをひとつずつ使用して、PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタチャンネルの有効な入力エッジを検出して設定します。パルス幅はスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、キャプチャモードに設定する必要があります（「表 23.153 オフセットトリガ出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「表 23.156 オフセットトリガ出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード1に設定する必要があります（「23.7 チャンネル出力モード」参照）。
- この機能では、マスタチャンネルで TAUDTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウンタが可能になります。マスタチャンネルのカウンタ (TAUDnCNTm) は 0000_H からアップカウントを開始します。

- マスタチャンネル：
有効な TAUDTTINm 入力エッジが検出されると、カウンタ (TAUDnCNTm) の現在値がマスタチャンネルのデータレジスタ (TAUDnCDRm) にロードされます。そして INTTAUDnIm が発生し、カウンタは 0000_H からアップカウントを再開します。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生すると、TAUDTTOUTm 信号 (スレーブ) がセットされ、スレーブチャンネルのカウンタ動作がトリガされます。TAUDnCDRm (スレーブ) の現在値が TAUDnCNTm (スレーブ) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
カウンタ値が 0000_H になると (デューティ時間が経過すると)、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは FFFF_H に戻り、マスタチャンネルの次の INTTAUDnIm を待ちます。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタを再開できます。

23.13.4.2 算出式

パルス幅 = (TAUDnCDRm (スレーブ)) × カウントクロック周期

デューティサイクル [%] = [TAUDnCDRm (スレーブ) / (TAUDnCDRm (マスタ) + 1)] × 100

- デューティサイクル = 0%
 TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 100%
 TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

23.13.4.3 ブロック図と基本タイミング図

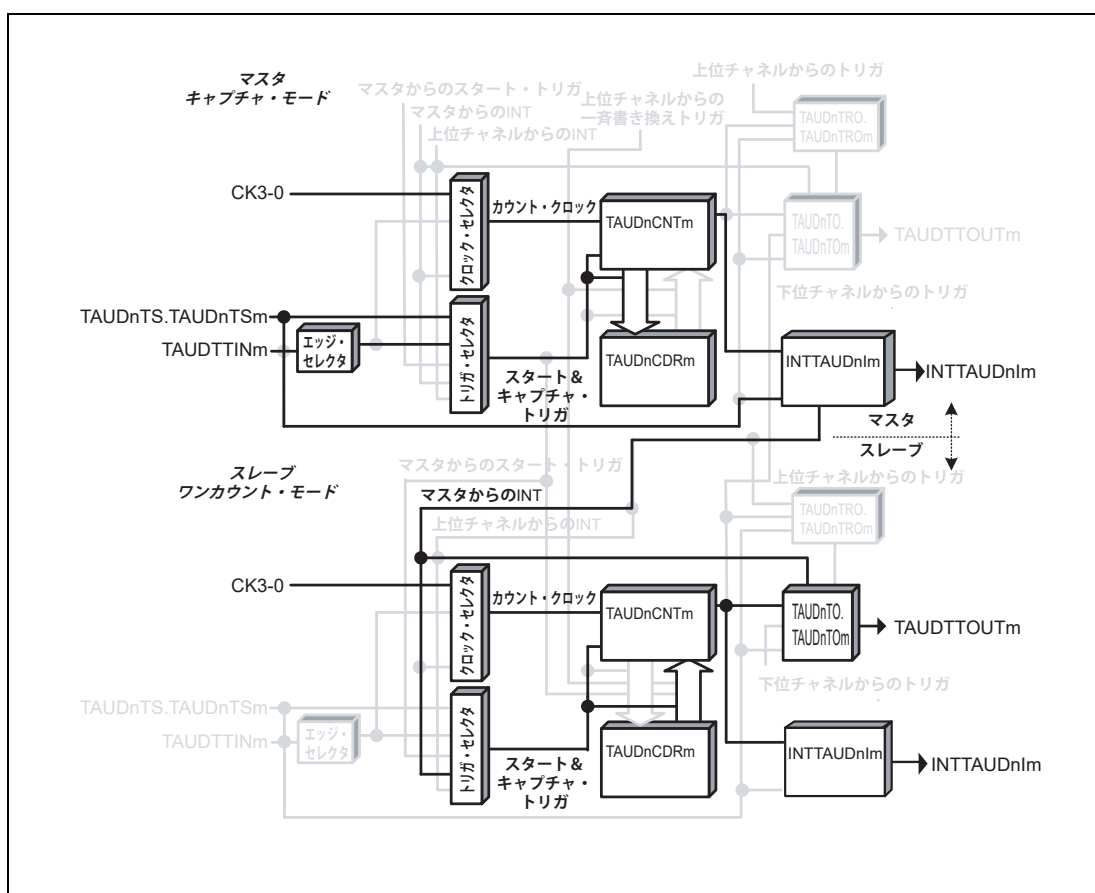


図 23.99 オフセットトリガ出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

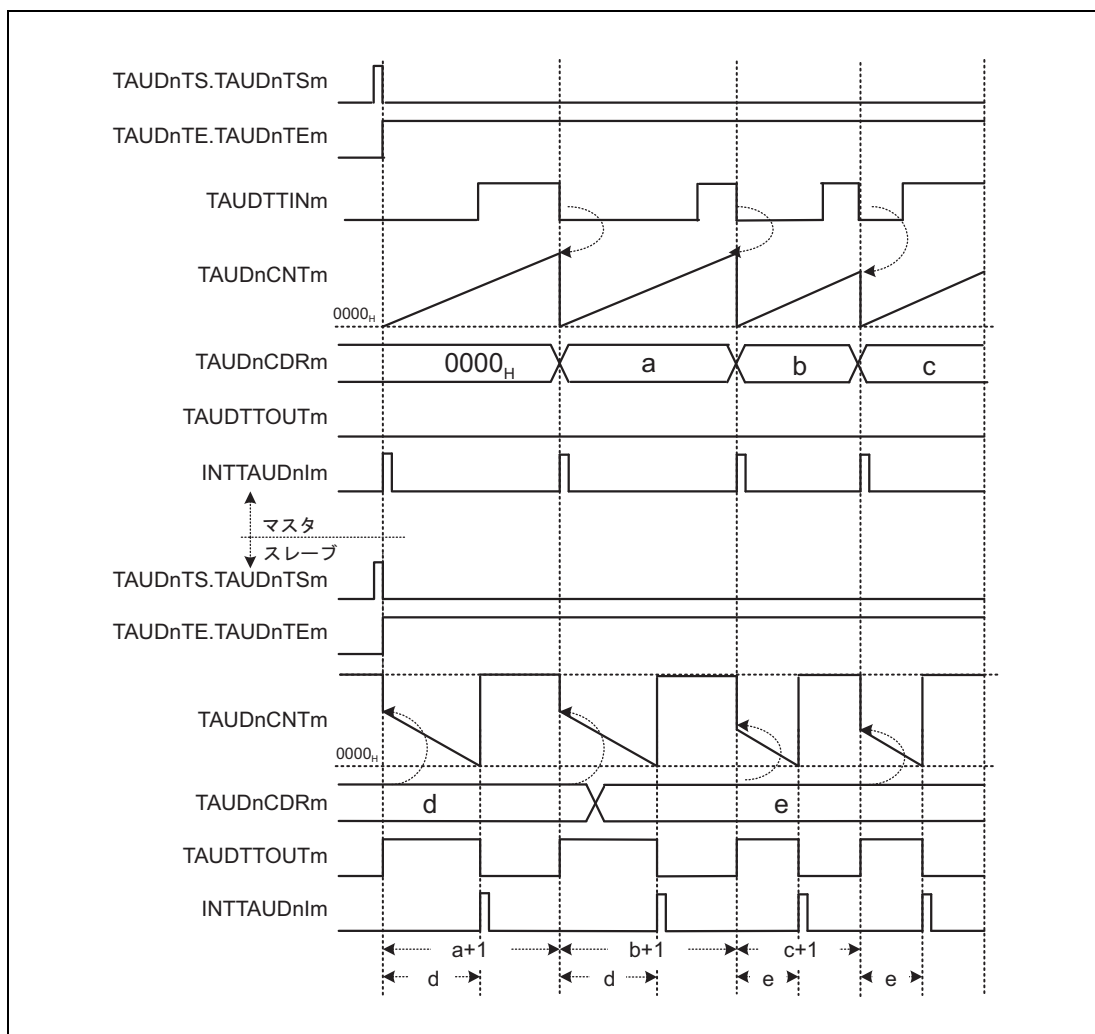


図 23.100 オフセットトリガ出力機能の基本タイミング図

備考

スレーブチャンネルの TAUDTTOUTm は、マスタチャンネルの INTTAUDnlm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

23.13.4.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.153 オフセットトリガ出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS [1:0]	11：TAUDTTINm 入力有効エッジ検出およびカウンタオーバーフローの発生によって更新： － TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれます。 － オーバフロー発生：TAUDnCDRm に FFFF _H を書き込みます。次に検出される TAUDTTINm 入力有効エッジは無視されます。 TAUDnCSRm.TAUDnOVF はカウンタオーバーフロー時に設定され、CPU 命令 (TAUDnCSCm.TAUDnCLOV に "1" 設定) でクリアされます。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0010：キャプチャモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.154 オフセットトリガ出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.155 オフセットトリガ出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.13.4.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.156 オフセットトリガ出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00 : 動作クロックをカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	100 : マスタチャンネルの INTTAUDnIm がスタートトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0100 : ワンカウントモード
0	TAUDnMD0	1 : カウント中のスタートトリガ検出許可

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.157 オフセットトリガ出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

表 23.158 チャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	0: 動作モード1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネルの一斉書き換え

一斉書き換えレジスタ (TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC) は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 23.159 オフセットトリガ出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0: 一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時 (TAUDnRDE.TAUDnRDEm = 0)、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

23.13.4.6 オフセットトリガ出力機能時の操作手順

表 23.160 オフセットトリガ出力機能時の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTsm を同時に "1" に設定します。 TAUDnTS.TAUDnTsm はトリガビットなので、自動的に "0" にクリアされます。</p> <p>マスタチャンネルで INTTAUDnIm が発生し、TAUDTTOUTm (スレーブ) がセットされます。</p>
	動作中	<p>スレーブチャンネルの TAUDnCNTm が 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDTTOUTm (スレーブ) がリセットされ、スレーブのカウンタが停止します。 <p>マスタチャンネルで TAUDTTINm 入力エッジが検出された場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnCNTm (マスタ) は 0000_H にリセットされ、その後カウンタ動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUDTTOUTm (スレーブ) がセットされます。
	動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。</p> <p>TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。</p>

23.13.4.7 特定のタイミング図

(1) デューティサイクル = 0%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

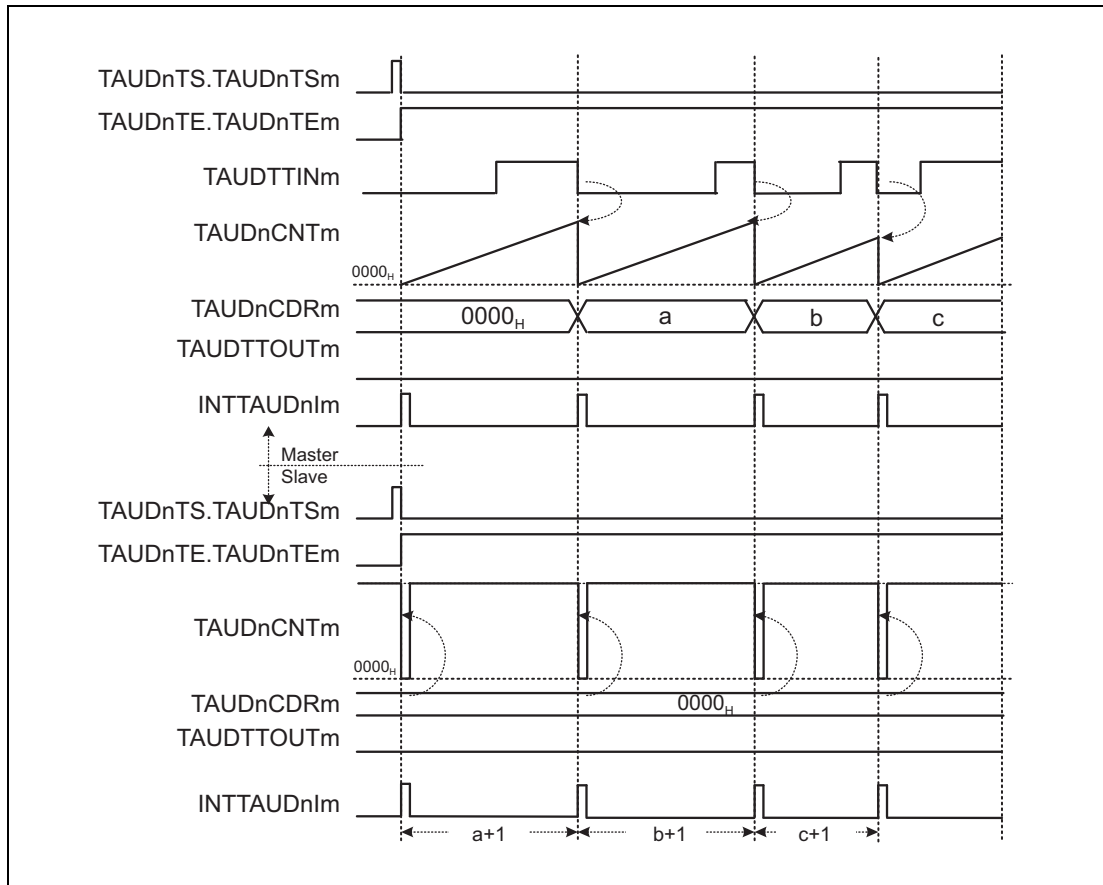


図 23.101 TAUDnCDRm (slave) = 0000_H

- TAUDnCDRm (スレーブ) = 0000_H の場合は、マスタチャンネルが割り込み (INTTAUDnIm) を発生するたびに TAUDnCNTm に 0000_H が書き込まれ、TAUDnCNTm はカウントを開始できません。TAUDTTOUTm は非アクティブ状態のままです。
- TAUDnCNTm (スレーブ) は、TAUDnCDRm の値がリロードされるたびに割り込みを発生します。スレーブチャンネルとマスタチャンネルは同じ周期で割り込みを発生します。

(2) デューティサイクル = 100%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出 (TAUDnCMURm.TAUDnTIS[1:0] = 00_B)

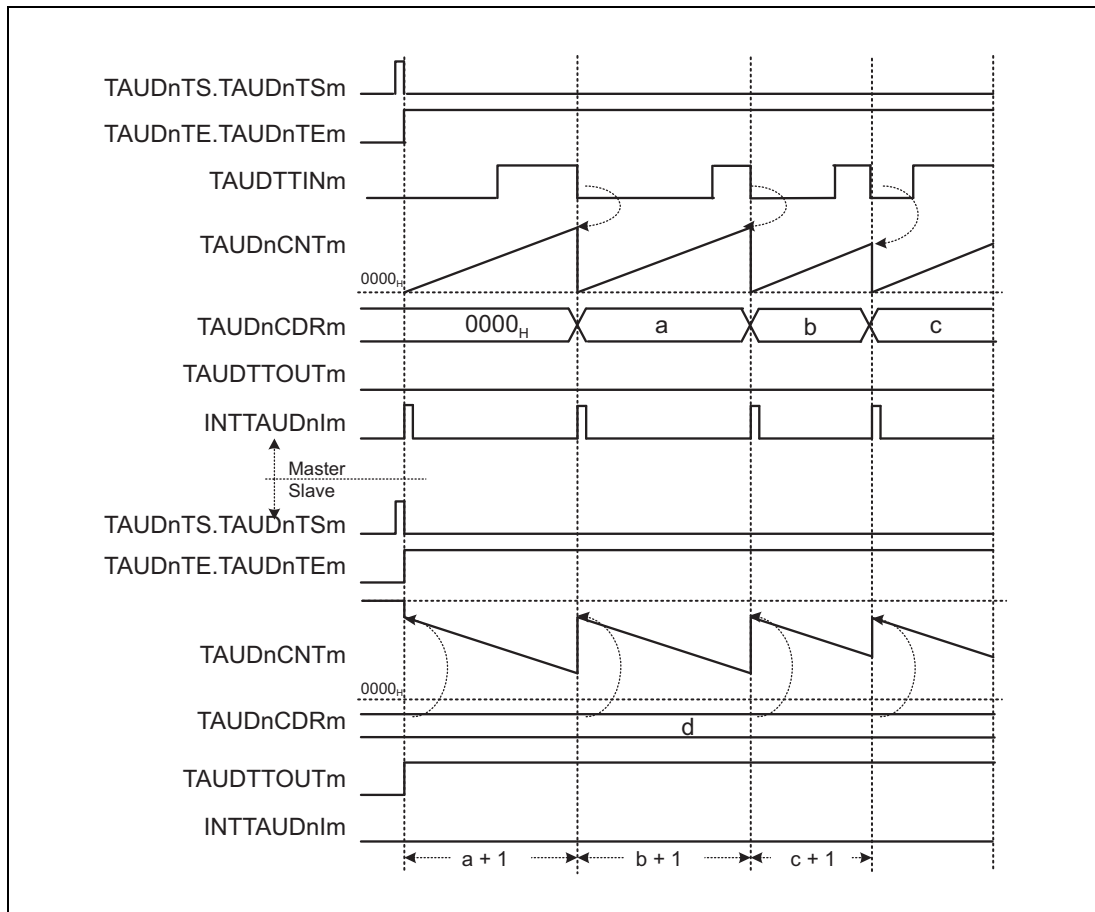


図 23.102 TAUDnCDRm (slave) \geq TAUDnCDRm (master) + 1

- TAUDnCDRm (スレーブ) の値が有効な入力エッジのインターバルを超える場合は、スレーブチャンネルのカウンタは 0000_H にはならず、割り込みは発生しません。TAUDTTOUTm はアクティブ状態のままになります。

23.13.5 A/D 変換トリガ出力機能タイプ 1

23.13.5.1 概要

概要

この機能は、TAUDnTTOUTm が出力されないという点を除き、「23.13.1 PWM 出力機能」と同じです。

スレーブチャンネルの出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

23.13.5.2 ブロック図と基本タイミング図

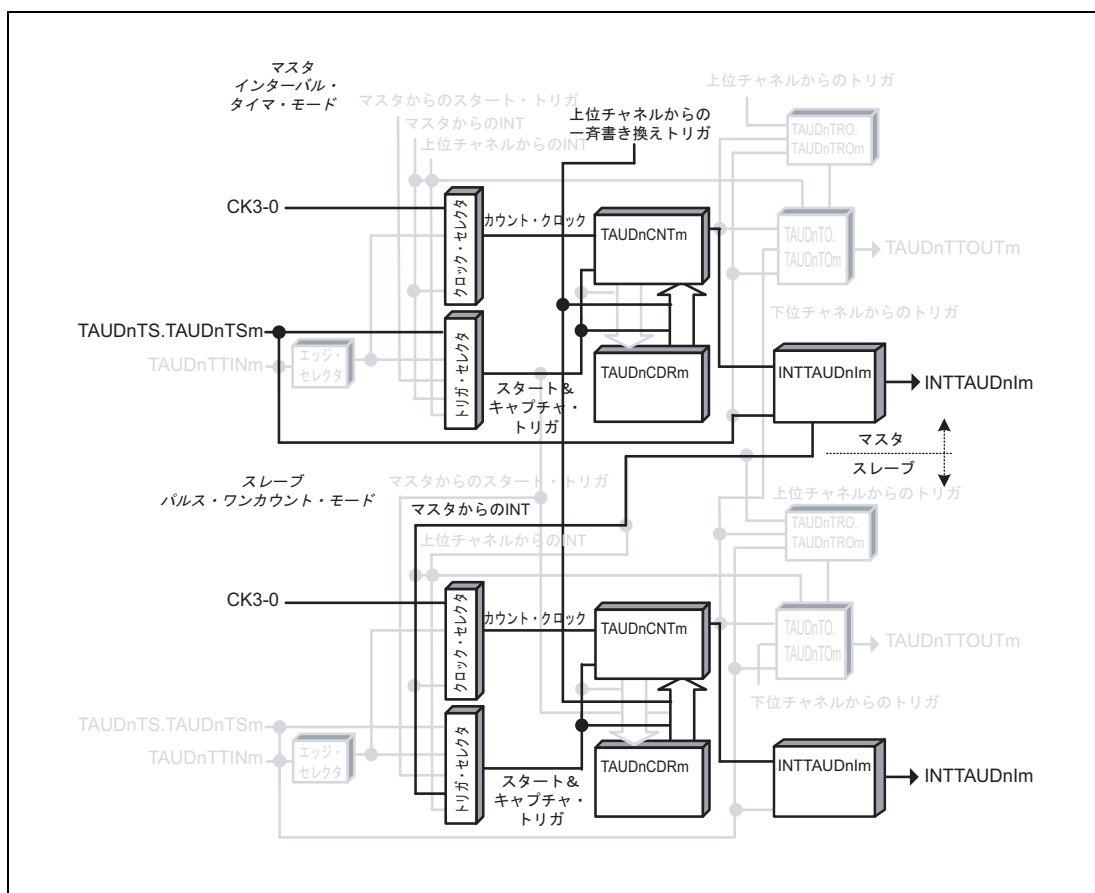


図 23.103 A/D 変換トリガ出力機能タイプ 1 のブロック図

23.13.5.3 基本タイミング図

基本タイミング図での設定は次のようになっています。

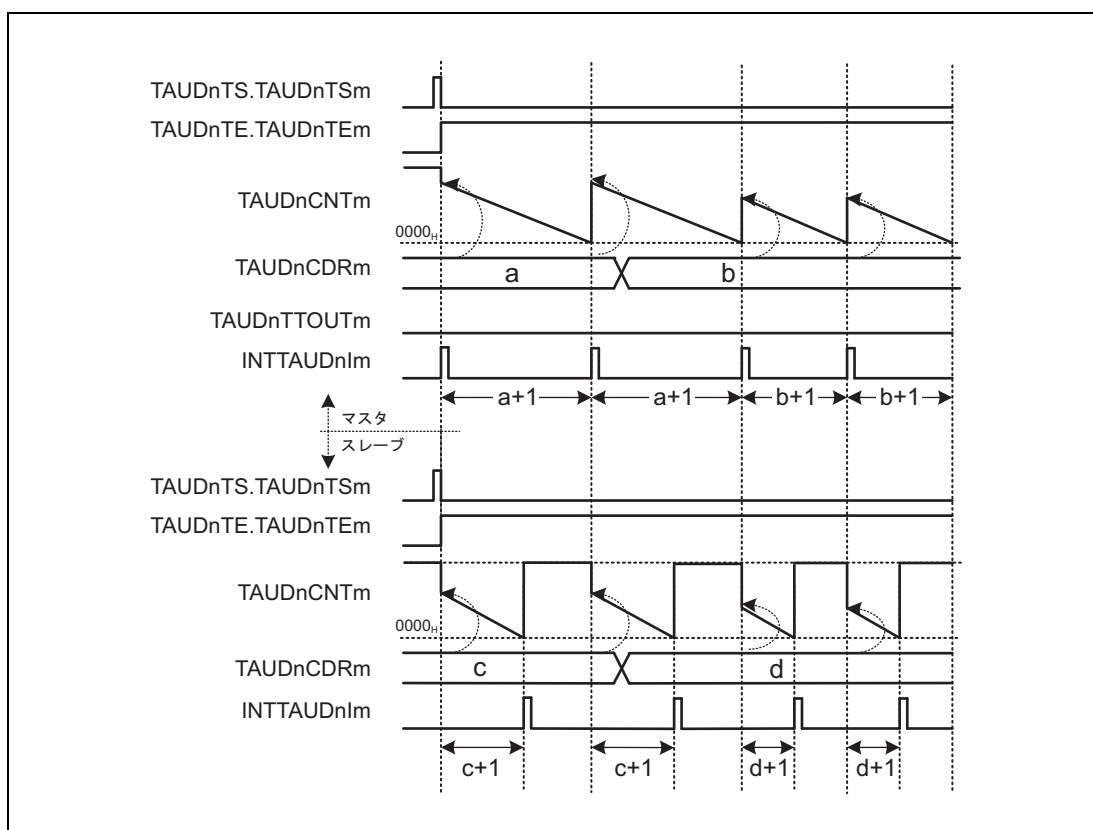


図 23.104 A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

23.13.6 三角波 PWM 出力機能

23.13.6.1 概要

概要

マスタチャンネルと1つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ/スレーブチャンネルを用いて、TAUDnTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。マスタチャンネルの1周期目はスレーブカウンタのダウンステータスを、2周期目はアップステータスを制御します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 23.161 三角波 PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- スレーブチャンネルの動作モードは、アップ/ダウンカウントモードに設定する必要があります（「表 23.165 三角波 PWM 出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照）。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります（「23.7 チャンネル出力モード」参照）。
- スレーブチャンネルの出力モードは、チャンネル連動出力モード2に設定する必要があります（「23.7 チャンネル出力モード」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDnTTOUTm 信号がハイレベルになります。
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）
 - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

機能説明

チャンネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、すべてのチャンネルでカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。TAUDnCDRm（マスタ/スレーブ）の値が TAUDnCNTm（マスタ/スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDnTTOUTm 信号がトグルされます。

- マスタチャンネル：
 - マスタチャンネルのカウント値が 0000_Hになると（パルス周期が経過すると）、INTTAUDnIm が発生し、TAUDnTTOUTm 信号がトグルされます。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：
 - マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
 - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
 - スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

スレーブチャネルのカウンタがアップ/ダウンカウント中に 0001_H になると、INTTAUDnIm が発生し、TAUDnTTOUTm (スレーブ) 信号がセット/リセットされます：カウンタはアップ/ダウンカウントを続け、マスタチャネルの次の INTTAUDnIm を待ちます。

TAUDnTOL.TAUDnTOLm を設定することにより、動作中に TAUDnTTOUTm 信号の正相/逆相を切り替えることができます。

マスタ/スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタの動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャネルの TAUDnCNTm と TAUDnTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。

23.13.6.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

0000_H ≤ TAUDnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

デューティサイクル % =

$$\frac{(\text{TAUDnCDRm (マスタ)} + 1 - \text{TAUDnCDRm (スレーブ)})}{(\text{TAUDnCDRm (マスタ)} + 1)} \times 100$$

- デューティサイクル = 100%
TAUDnCDRm (スレーブ) = 0000_H
- デューティサイクル = 0%
TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

23.13.6.3 ブロック図と基本タイミング図

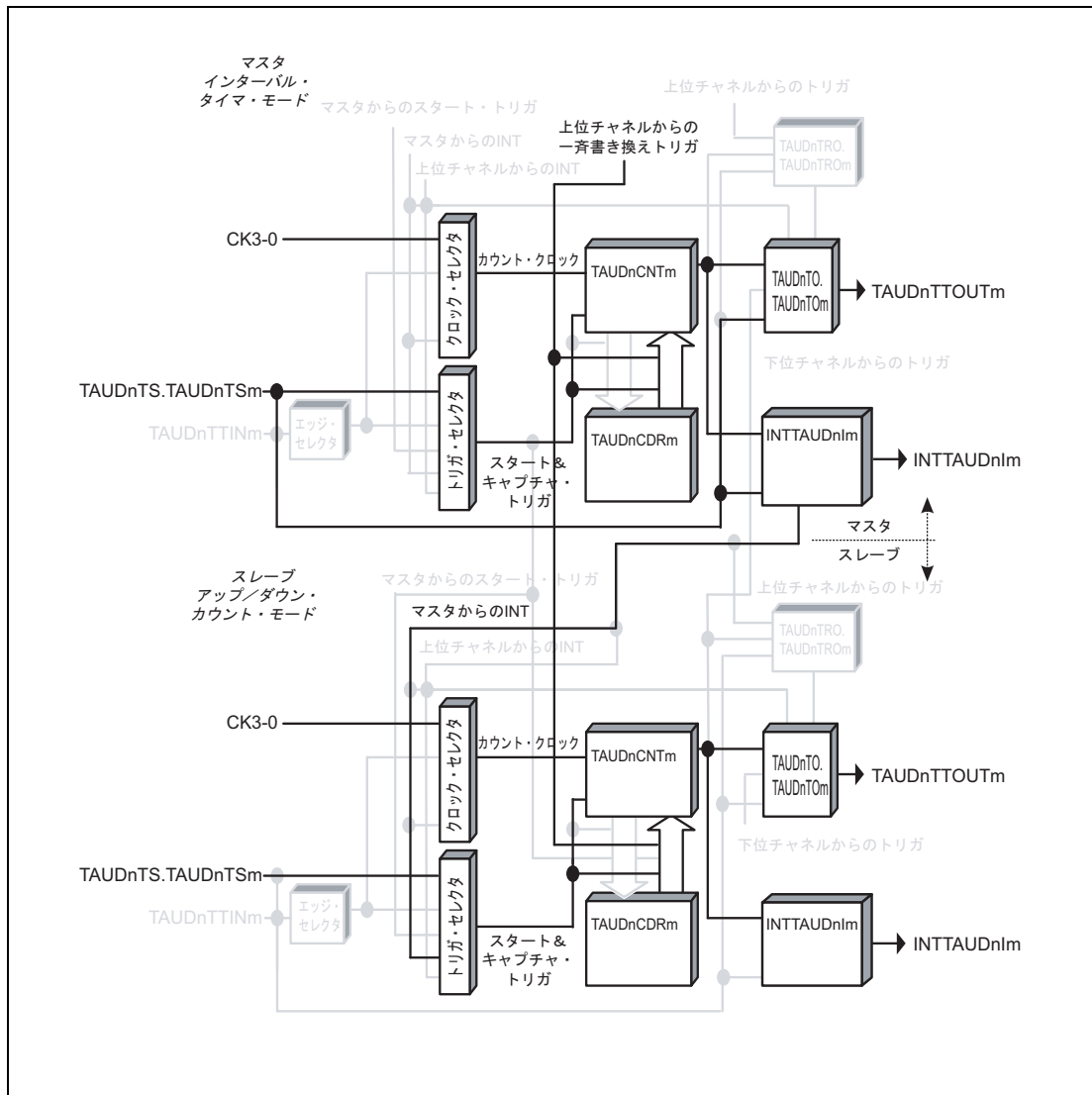


図 23.105 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)

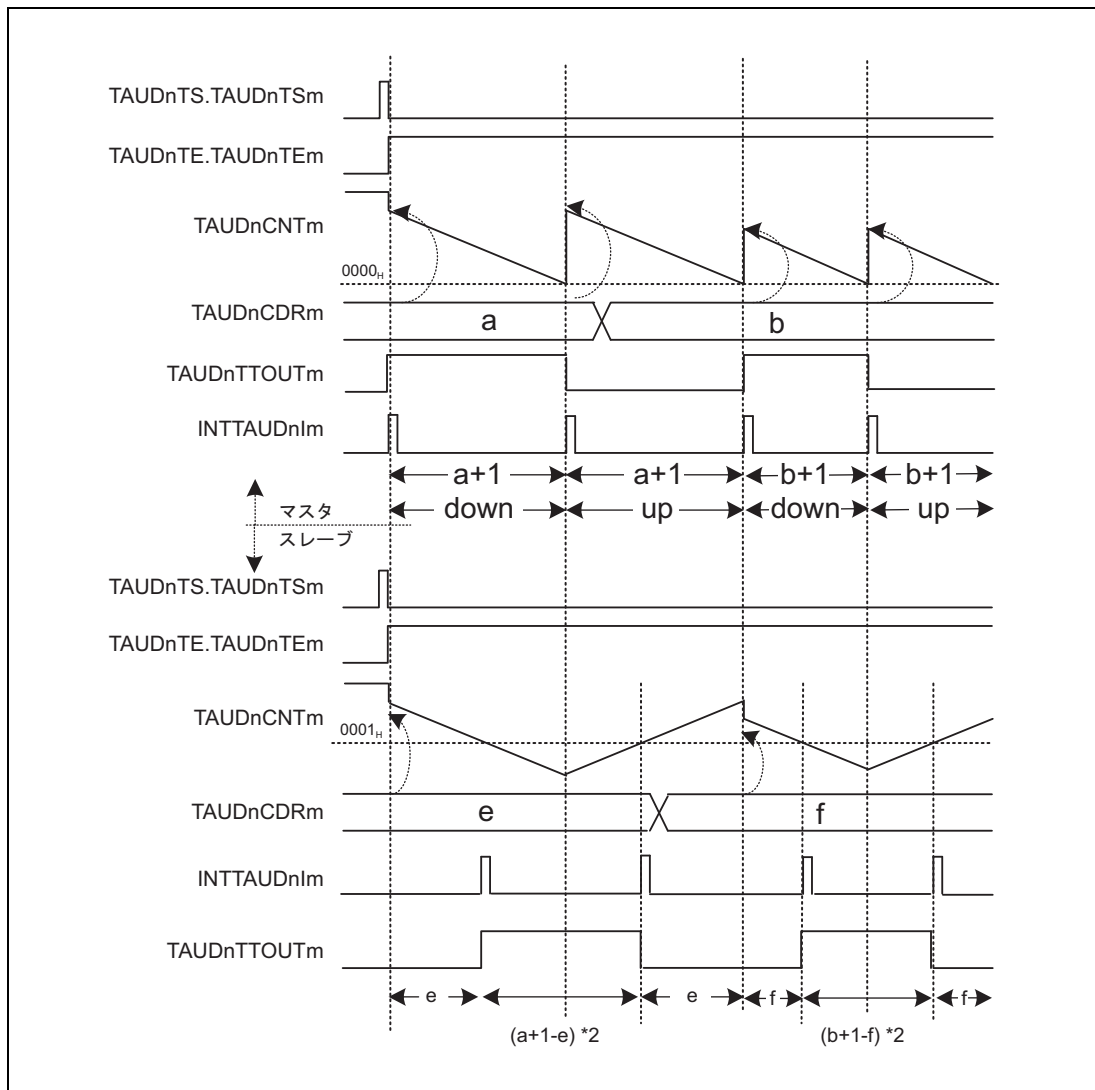


図 23.106 三角波 PWM 出力機能の基本タイミング図

23.13.6.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.161 三角波 PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDnTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDnTTOUTm はトグルされる

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.162 三角波 PWM 出力機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

表 23.163 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効 (リセット後の値) となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.164 三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換のトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

23.13.6.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.165 三角波 PWM 出力機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.166 三角波 PWM 出力機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネルのチャンネル出力モード

表 23.167 チャンネル連動出力モード2のときの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROM	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.168 三角波 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.6.6 三角波 PWM 出力機能時の操作手順

表 23.169 三角波 PWM 出力機能時の操作手順

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル: TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.13.6.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル: TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.13.6.5 スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。

表 23.169 三角波 PWM 出力機能時の操作手順

	操作	TAUDnの状態	
動作再開	動作開始	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSM を同時に "1" に設定します。 TAUDnTS.TAUDnTSM はトリガビットなので、自動的に "0" にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が "1" に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。 マスタチャンネルで TAUDnCMORm.TAUDnMD0 が "1" に設定されている場合は、INTTAUDnIm (マスタ) が発生します。</p>
	動作中	<p>TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnTOL.TAUDnTOLm は変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタ/スレーブチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 TAUDnTOUtm (マスタ) がトグルされます。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードするか、反対方向のカウントを開始します。 <p>スレーブチャンネルの TAUDnCNTm が 0001_H になった場合：</p> <ul style="list-style-type: none"> INTTAUDnIm (スレーブ) が発生します。 TAUDnTTOUtm (スレーブ) は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
	動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDnTTOUtm は停止し、現在値を保持します。</p>

23.13.6.7 特定の設定時のタイミング図

(1) デューティサイクル = 0%

基本タイミング図での設定は次のようになっています。

- マスタチャンネル :
 - 動作開始時に INTTAUDnIm が発生する (TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnCDRm = a = 5_H
- スレーブチャンネル :
 - TAUDnCDRm = 6_H

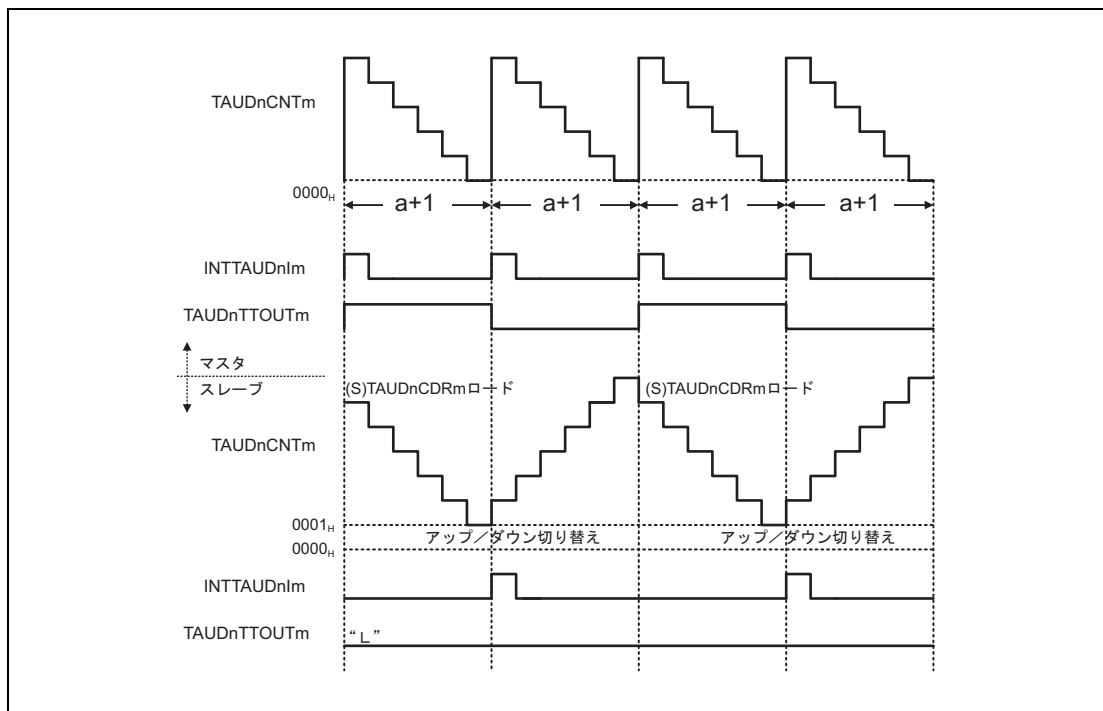


図 23.107 TAUDnCDRm (スレーブ) ≥ TAUDnCDRm (マスタ) + 1

- TAUDnCDRm (スレーブ) 値が TAUDnCDRm (マスタ) + 1 値以上の場合、ダウンカウント中にスレーブチャンネルの INTTAUDnIm は発生しません。セット信号が検出されないことがないため、TAUDnTTOUtm はロウレベル状態のままになります。

(2) デューティサイクル = 100%

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnCDRm = a = 5_H
- スレーブチャンネル：
 - TAUDnCDRm = 0_H

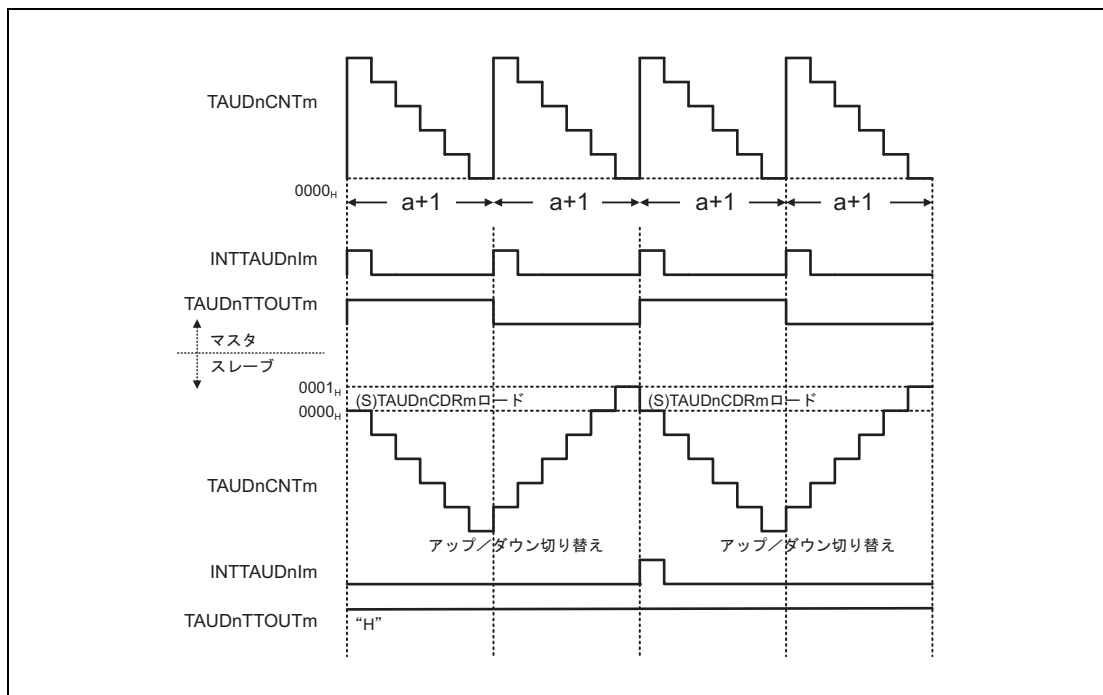


図 23.108 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ) = 0000_H の場合、アップカウント中にスレーブチャンネルの INTTAUDnIm は発生しません。リセット信号が検出されないことがないため、TAUDnTTOUTm はハイレベル状態のままになります。

23.13.7 デッドタイム付き三角波 PWM 出力機能

23.13.7.1 概要

概要

マスタチャンネルと2つ以上のスレーブチャンネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャンネル 2/3 の TAUDnTTOUTm から出力されます。これにより、マスタ/スレーブチャンネルを使って TAUDnTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャンネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャンネルの TAUDnTTOUTm がセット/リセットされます。TAUDnTDL.TAUDnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUDnTTOUTm がただちにセット/リセットされるのか、デッドタイム経過後にセット/リセットされるのかを設定）。デッドタイム時間はスレーブチャンネル 3 で設定します。

前提条件

- 3 チャンネル。スレーブチャンネル 2 と 3 は、偶数チャンネル CH (a) と奇数チャンネル CH (a + 1) を選択してください。
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「表 23.171 デッドタイム付き三角波 PWM 出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照）。
- この機能では、スレーブチャンネル 1 は使用しません。そのため、スレーブチャンネル 2 は必ず偶数チャンネル (a)、スレーブチャンネル 3 は奇数チャンネル (a + 1) です。スレーブチャンネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャンネル 2 の動作モードは、アップダウンモードに設定する必要があります（「表 23.175 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル 2 の TAUDnCMORm レジスタの内容」参照）。
また、スレーブチャンネル 2 は偶数チャンネルでなければなりません。
- スレーブチャンネル 3 の動作モードは、ワンカウントモードに設定する必要があります（「表 23.179 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル 3 の TAUDnCMORm レジスタの内容」参照）。
また、スレーブチャンネル 3 は奇数チャンネルでなければなりません。
- マスタチャンネルのチャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります（「23.7 チャンネル出力モード」参照）。
- スレーブチャンネル 2/3 の出力モードは、デッドタイム出力を行うチャンネル連動出力モード 2 に設定する必要があります（「23.7 チャンネル出力モード」参照）。

- 次のような設定により、キャリア周期のダウンステータスの間、TAUDnTTOUTm 信号がハイレベルになります。
 - TAUDnCMORm.TAUDnMD0 (マスタ) ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。(推奨設定)
 - TAUDnCMORm.TAUDnMD0 (マスタ) ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

備 考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャンネル 1 を使用しません。スレーブチャンネル 1 は、個別タイマ (単体機能) として使用可能です。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャンネルの TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDnTTOUTm 信号がトグルされます。

- マスタチャンネル :
 - マスタチャンネルのカウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDnTTOUTm 信号がトグルされます。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャンネル 2 :
 - マスタチャンネルで INTTAUDnIm が発生すると、スレーブチャンネル 2 のカウンタ動作がトリガされます。
 - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
 - スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

カウンタはアップ/ダウンカウントを続け、マスタチャンネルの次の INTTAUDnIm を待ちます。

スレーブチャンネル 2 のカウンタ値が 0001_H になると INTTAUDnIm が発生します。

- スレーブチャンネル 3 :
 - スレーブチャンネル 2 で INTTAUDnIm が発生すると、スレーブチャンネル 3 のカウンタ動作がトリガされます。そして TAUDnCDRm (スレーブ 3) の現在値が TAUDnCNTm (スレーブ 3) にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
 - カウンタ値が 0000_H になると、INTTAUDnIm が発生します。カウンタは FFFF_H に戻り、スレーブチャンネル 2 の次の INTTAUDnIm を待ちます。

「表 23.170 スレーブチャンネル 2 で割り込みが発生した際の TAUDnTTOUTm の動作」にあるように、対応するチャンネルの TAUDnTDL.TAUDnTDLm 設定によって、セット/リセットのタイミング（割り込み発生直後またはデッドタイム経過後）が決まります。

また、TAUDnTOL.TAUDnTOLm の設定によって、対応チャンネルからハイレベル信号を出力 (TAUDnTOL.TAUDnTOLm = 0) するかローレベル信号を出力 (TAUDnTOL.TAUDnTOLm = 1) するかが決まります。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDnTTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャンネル 2 の TAUDnCDRm 値を 0000_H にして、TAUDnTTOUTm を 100% 出力することができます。

条件

この機能では一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。

TAUDnTOL.TAUDnTOLm と TAUDnTDL.TAUDnTDLm の設定はカウンタ動作開始前に行う必要があります。スレーブチャンネル 2 とスレーブチャンネル 3 は TAUDnTOL.TAUDnTOLm か TAUDnTDL.TAUDnTDLm の設定が反対でなければなりません。

表 23.170 スレーブチャンネル 2 で割り込みが発生した際の TAUDnTTOUTm の動作

TAUDnTDL. TAUDnTDLm	割り込み発生時のスレーブ チャンネル 2 のカウント方向	TAUDnTTOUTm セット/ リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

23.13.7.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

0000_H ≤ TAUDnCDRm (マスタ) < FFFF_H

キャリア周期 (ダウン/アップ) = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

PWM 信号幅 (正相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ 2)) × 2 - (TAUDnCDRm (スレーブ 3) + 1)] × カウントクロック周期

PWM 信号幅 (逆相) = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ 2)) × 2 + (TAUDnCDRm (スレーブ 3) + 1)] × カウントクロック周期

23.13.7.3 ブロック図と基本タイミング図

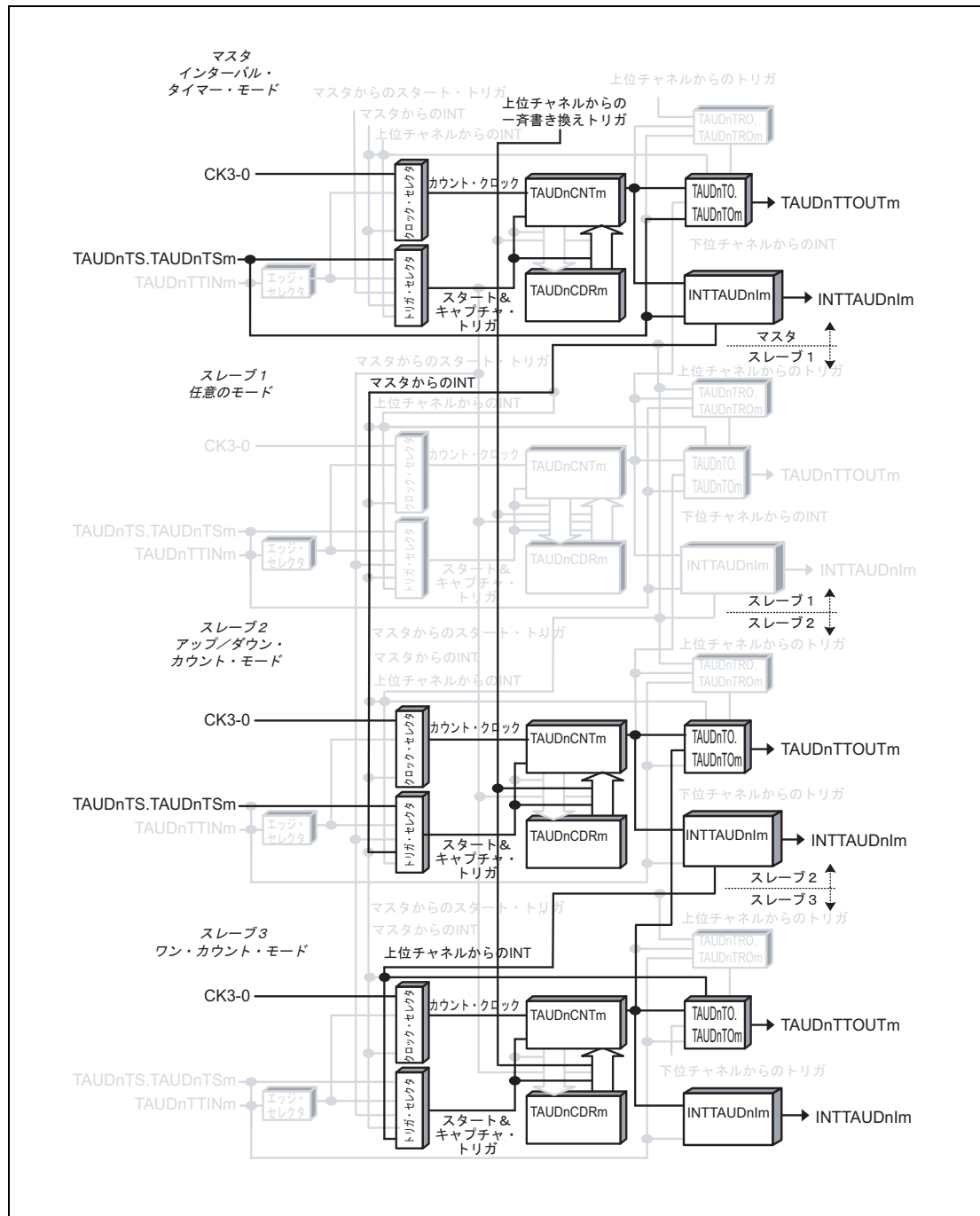


図 23.109 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)

- スレーブチャンネル 2 :
 - 動作開始時に INTTAUDnIm が発生しない
(TAUDnCMORm.TAUDnMD0 = 0)
 - TAUDnTDL.TAUDnTDLm = 0
 - 正論理 (TAUDnTOL.TAUDnTOLm = 0)
- スレーブチャンネル 3 :
 - カウント中のスタートトリガ検出許可
(TAUDnCMORm.TAUDnMD0 = 1)
 - TAUDnTDL.TAUDnTDLm = 1
 - 正論理 (TAUDnTOL.TAUDnTOLm = 0)

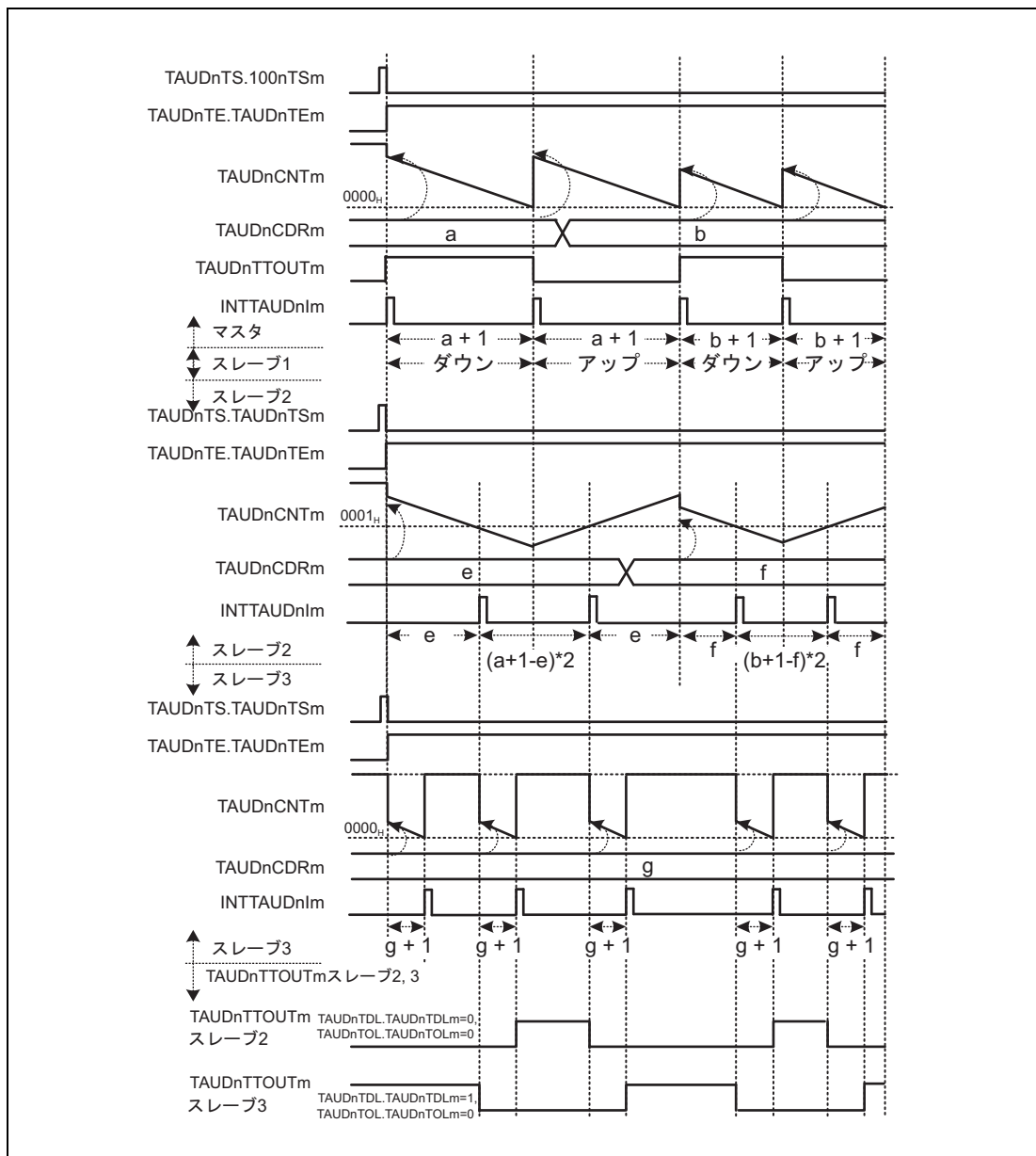


図 23.110 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

23.13.7.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.171 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDnTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDnTTOUTm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.172 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

表 23.173 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグル・モード時は、設定無効(初期値)となります
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.174 デッドタイム付き三角波 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

23.13.7.5 スレーブチャンネル2のレジスタ設定

(1) スレーブチャンネル2のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.175 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル2のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャンネル2のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.176 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル2のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル2のチャンネル出力モード

表 23.177 デッドタイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEem	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、奇数チャンネルと排他設定してください。

(4) スレーブチャンネル2の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.178 三角波 PWM 出力機能時のスレーブチャンネル2の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.7.6 スレーブチャンネル3のレジスタ設定

(1) スレーブチャンネル3のTAUDnCMORM

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.179 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル3のTAUDnCMORMレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	110：TAUDnTTOUTm 出力における TO コントローラのデッドタイム出力信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャンネル3のTAUDnCMURM

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.180 デッドタイム付き三角波 PWM 出力機能のスレーブチャンネル3のTAUDnCMURMレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル3のチャンネル出力モード

表 23.181 デッドタイム出力を行うチャンネル連動出力モード2時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動動作
TAUDnTOC.TAUDnTOCm	1: 動作モード2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力トリガチャンネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0: 変調禁止

注 意

TAUDnTDL.TAUDnTDLm は、偶数チャンネルと排他設定してください。

(4) スレーブチャンネル3の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.182 三角波 PWM 出力機能時のスレーブチャンネル3の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.7.7 デッドタイム付き三角波 PWM 出力機能時の操作手順

表 23.183 デッドタイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUDnの状態
動作再開	初期設定 チャンネルの初期設定 スレーブチャンネルの初期設定	チャンネル動作を停止しています。
	動作開始	TAUDnTE.TAUDnTEm (マスタ/スレーブチャンネル) が "1" に設定され、マスタ/スレーブチャンネルのカウンタが動作を開始します。 マスタチャンネルで TAUDnCMORm.TAUDnMD0 が "1" に設定されている場合は、INTTAUDnIm (マスタ) が発生します。
	動作中	マスタチャンネルとスレーブチャンネル 2 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ) が発生します。 再び TAUDnCDRm の値を TAUDnCNTm (マスタ) にロードし、カウント動作を継続します。 再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 2) にロードするか、反対方向のカウンタを開始します。 TAUDnCNTm (スレーブ 2) が 0001 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ 2) が発生します。 スレーブチャンネル 3 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 スレーブチャンネル 3 の TAUDnCNTm が 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。
	動作停止	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDnTTOUtm は停止し、現在値を保持します。

23.13.7.8 特定の設定時のタイミング図

(1) デューティサイクル = 0%

図 23.111 での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUDnTDL.TAUDnTDLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUDnTDL.TAUDnTDLm = 1)

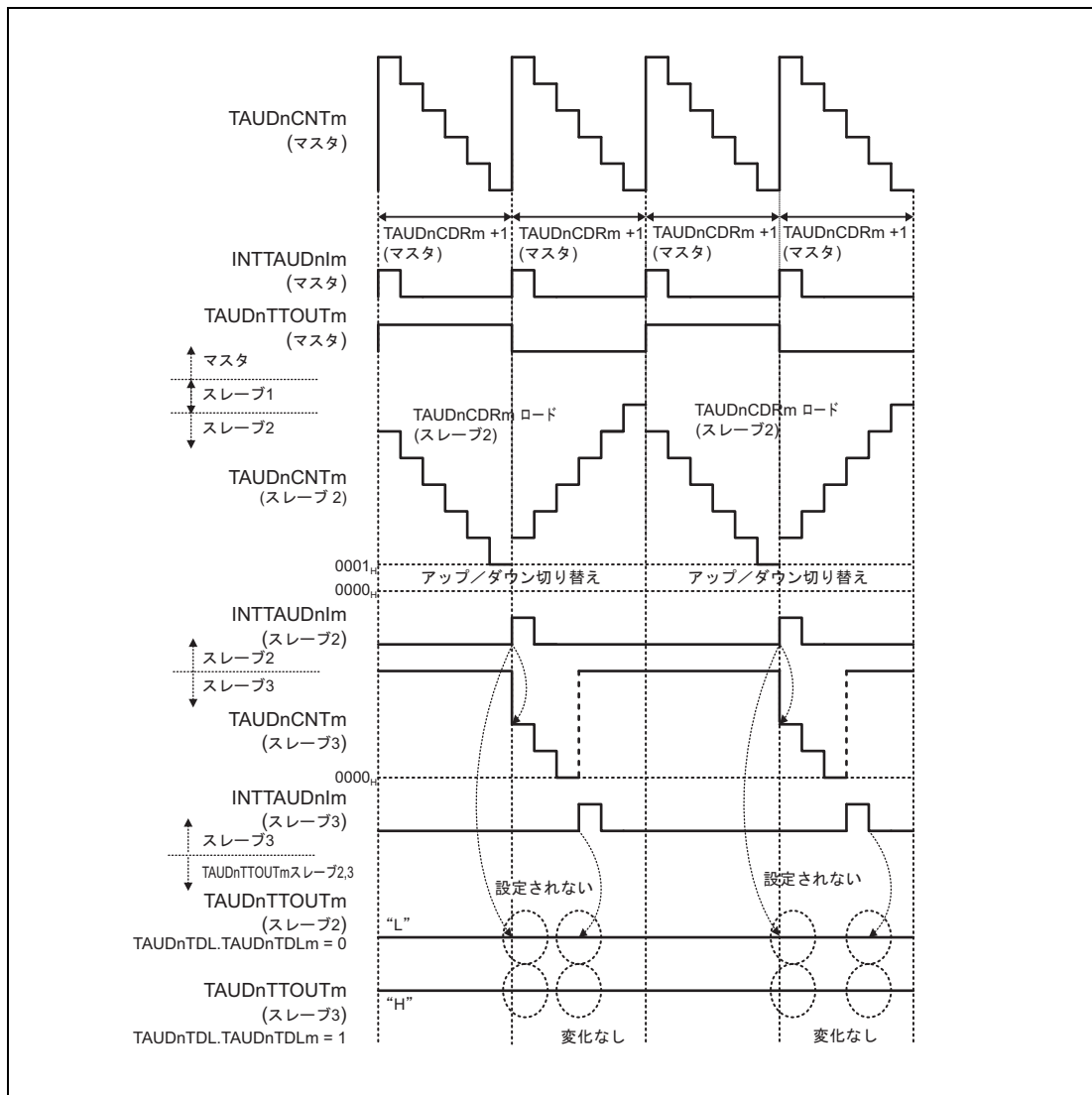


図 23.111 TAUDnCDRm (スレーブ 2) \geq TAUDnCDRm (マスタ) + 1

- TAUDnCDRm (スレーブ 2) 値が TAUDnCDRm (マスタ) 値以上の場合、スレーブチャンネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUDnTTOUTm 信号のセット/リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャンネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(2) デューティサイクル = 100%

図 23.112 での設定は次のようになっています。

- スレーブチャンネル 2 :
 - 正論理 (TAUDnTDL.TAUDnTDLm = 0)
- スレーブチャンネル 3 :
 - 負論理 (TAUDnTDL.TAUDnTDLm = 1)

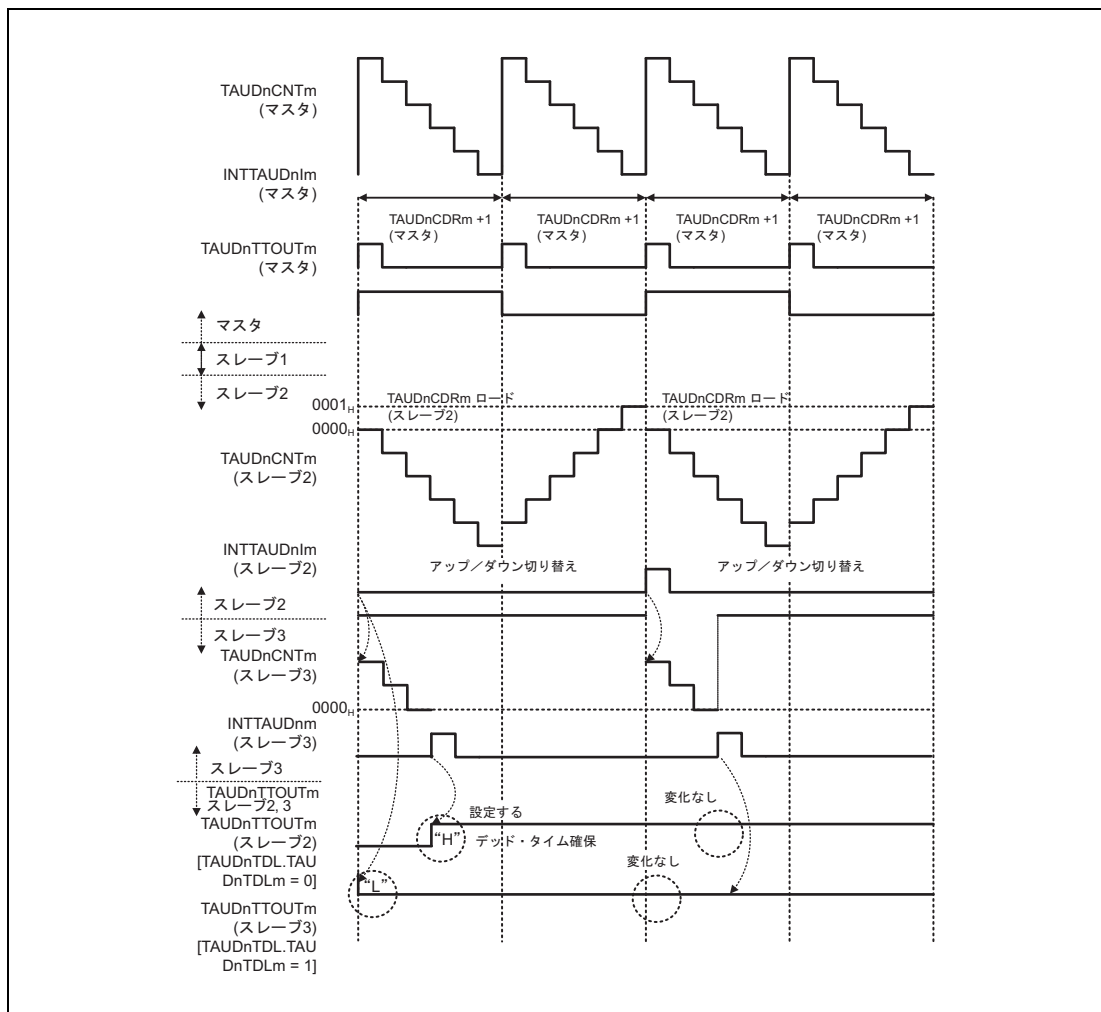


図 23.112 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm (スレーブ 2) = 0000_H の場合、スレーブチャンネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUDnIm は発生しません。
 - TAUDnTDL.TAUDnTDLm が “0” に設定されているチャンネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャンネルではリセット条件が満たされることがないため、TAUDnTTOUTm のセット/リセットが行われても、信号は新しく設定された状態のままになります。

- 上図のスレーブチャンネル3はカウント開始時にセットされます。ただし、TAUDnTDL.TAUDnTDLmが“1”に設定されているスレーブチャンネルでは、リセット条件が満たされることがないため、当該チャンネルではTAUDnTTOUTmは初期状態のままになります。

23.13.8 A/D 変換トリガ出力機能タイプ 2

23.13.8.1 概要

概要

この機能は、TAUDnTTOUTmが出力されないという点を除き、「23.13.6 三角波 PWM 出力機能」と同じです。

スレーブチャンネルのチャンネル出力モードをソフトウェア制御のチャンネル単体出力モードに設定することにより、この機能が有効になります。

23.13.8.2 ブロック図と基本タイミング図

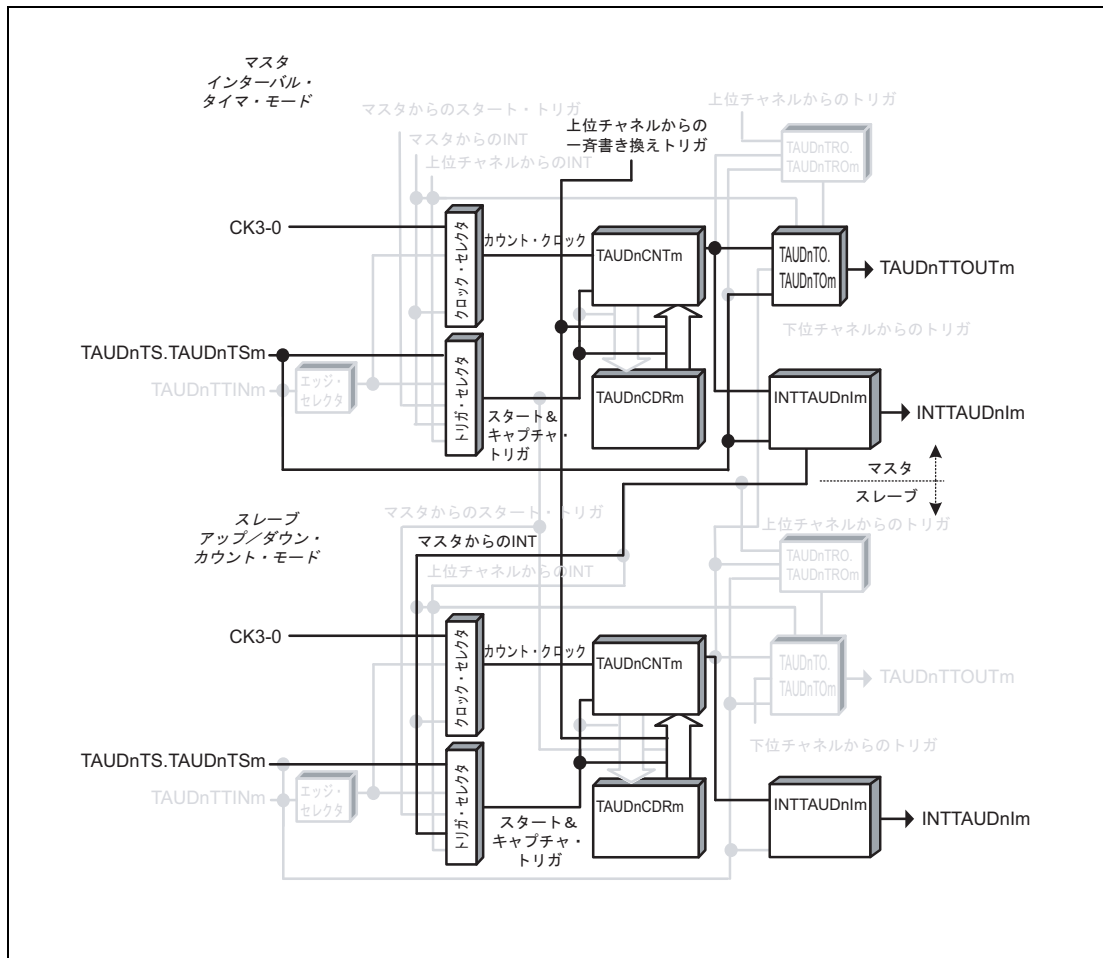


図 23.113 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル
 - 動作開始時に INTTAUDnIm が発生する
(TAUDnCMORm.TAUDnMD0 = 1)

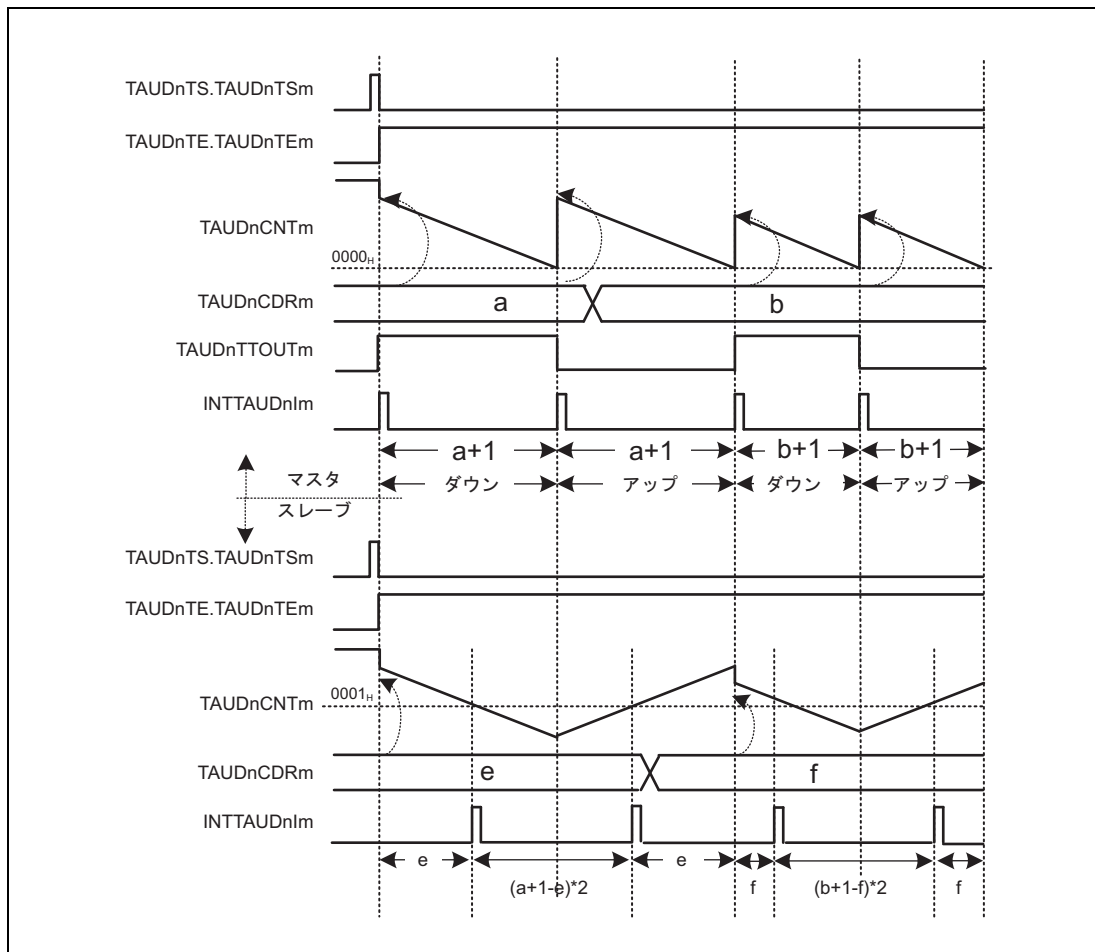


図 23.114 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

23.13.9 割り込み要求信号間引き機能

23.13.9.1 概要

概要

マスタチャンネルの割り込み数を、スレーブチャンネルを使って指定した値で割る機能です。割り込み要求信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能
(「23.13.1 PWM 出力機能」参照)
- 三角波 PWM 出力機能
(「23.13.6 三角波 PWM 出力機能」参照)
- デッドタイム付き三角波 PWM 出力機能
(「23.13.7 デッドタイム付き三角波 PWM 出力機能」参照)

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります
(「表 23.184 割り込み要求信号間引き機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネルの動作モードは、イベントカウントモードに設定する必要があります
(「表 23.187 割り込み要求信号間引き機能のスレーブチャンネルの TAUDnCMORm レジスタの内容」参照)。
- この機能では、TAUDnTTOUTm を使用しません。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、カウンタ (マスタ/スレーブチャンネル両方) の動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。マスタチャンネルとスレーブチャンネルのデータレジスタ (TAUDnCDRm) の現在値がカウンタ (TAUDnCNTm) にロードされます。

- マスタチャンネル：
マスタチャンネルのカウンタが 0000_Hになると、INTTAUDnIm が発生し、TAUDnCDRm の値が TAUDnCNTm にロードされます。
- スレーブチャンネル：
マスタチャンネルで INTTAUDnIm が発生するたびに、スレーブチャンネルのカウンタをデクリメントします。カウンタが 0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。そして TAUDnCDRm の値を TAUDnCNTm (スレーブ) にロードし、INTTAUDnIm が発生します。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm が停止しますが、値は保持します。

条件

この機能では一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。

23.13.9.2 算出式

割り込み除算演算子 = TAUDnCDRm (スレーブチャンネル)

- TAUDnCDRm (スレーブチャンネル) + 1 で定義されたマスタチャンネルの INTTAUDnIm 数につき 1 つの INTTAUDnIm が発生します。

23.13.9.3 ブロック図と基本タイミング図

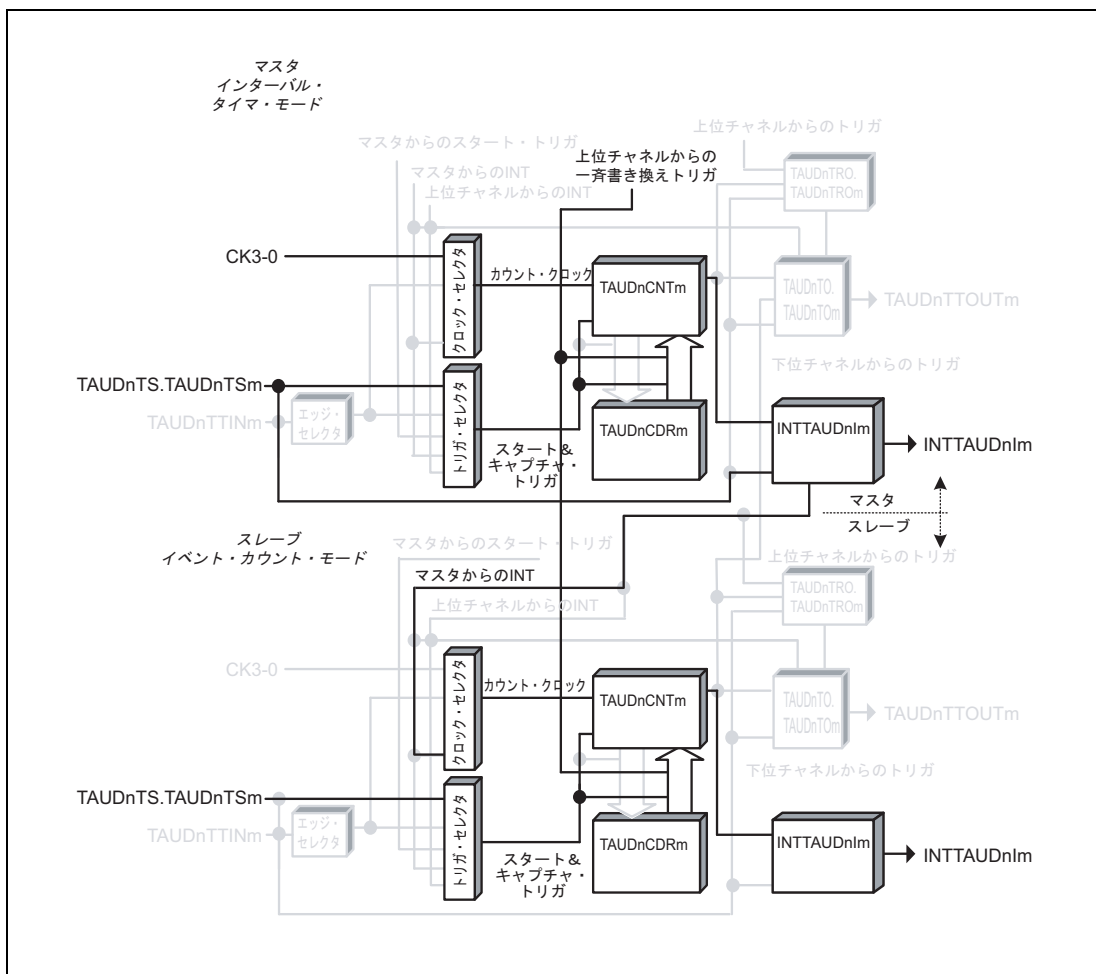


図 23.115 割り込み要求信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

マスタチャネル：

- 動作開始時に $INTTAUDnIm$ が発生する ($TAUDnCMORm.TAUDnMD0 = 1$)

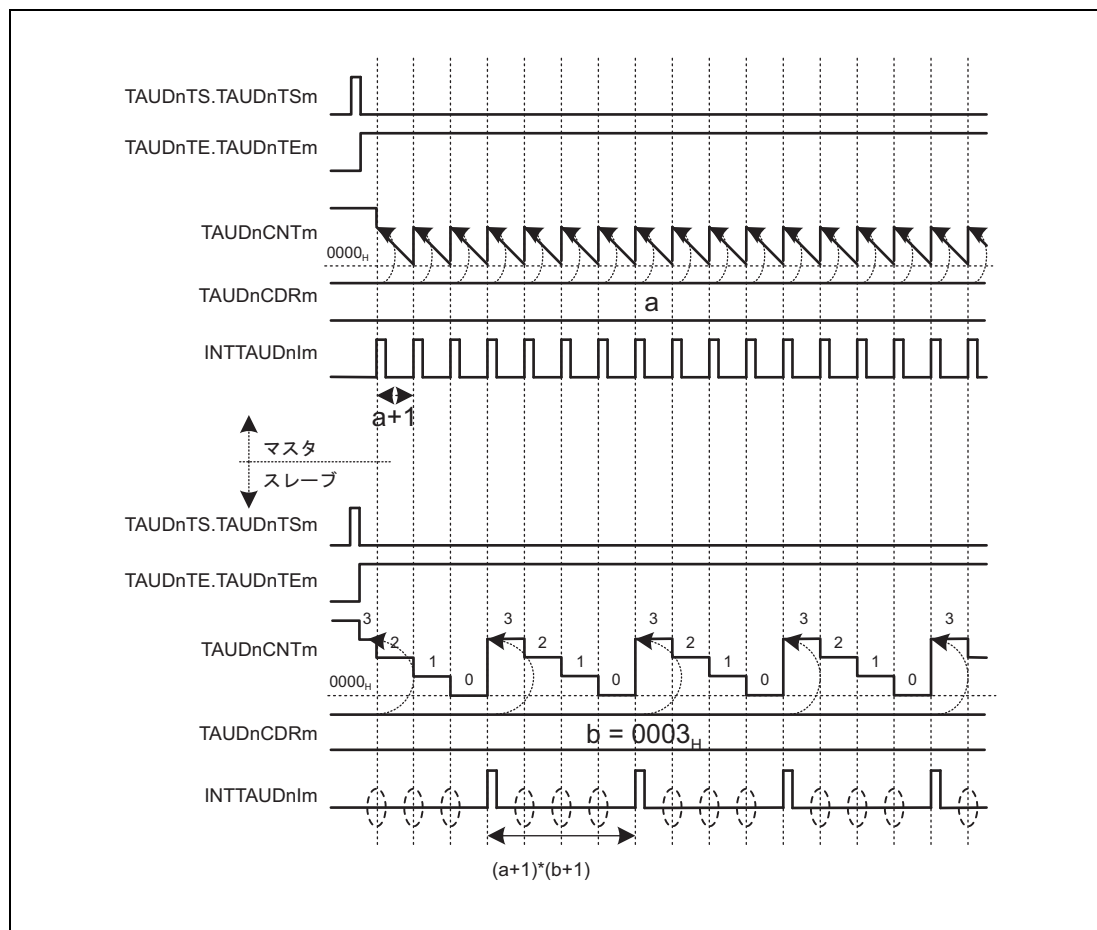


図 23.116 割り込み要求信号間引き機能の基本タイミング図

23.13.9.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.184 割り込み要求信号間引き機能のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.185 割り込み要求信号間引き機能のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.186 割り込み要求信号間引き機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルの一斉書き換えトリガを選択 1: チャンネルグループ外の上位チャンネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。

23.13.9.5 スレーブチャンネルのレジスタ設定

(1) スレーブチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.187 割り込み要求信号間引き機能のスレーブチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	11 : マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0 : チャンネルはスレーブチャンネル
10 ~ 8	TAUDnSTS [2:0]	000 : ソフトウェアでカウンタをトリガ
7, 6	TAUDnCOS [1:0]	00 : 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0011 : イベントカウントモード
0	TAUDnMD0	0 : 動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.188 割り込み要求信号間引き機能のスレーブチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00 : 未使用、“00”を設定

(3) スレーブチャンネルの出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 23.189 割り込み要求信号間引き機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャネルの一斉書き換えトリガを選択 1: チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0: マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1: 一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャネルとして動作しない。

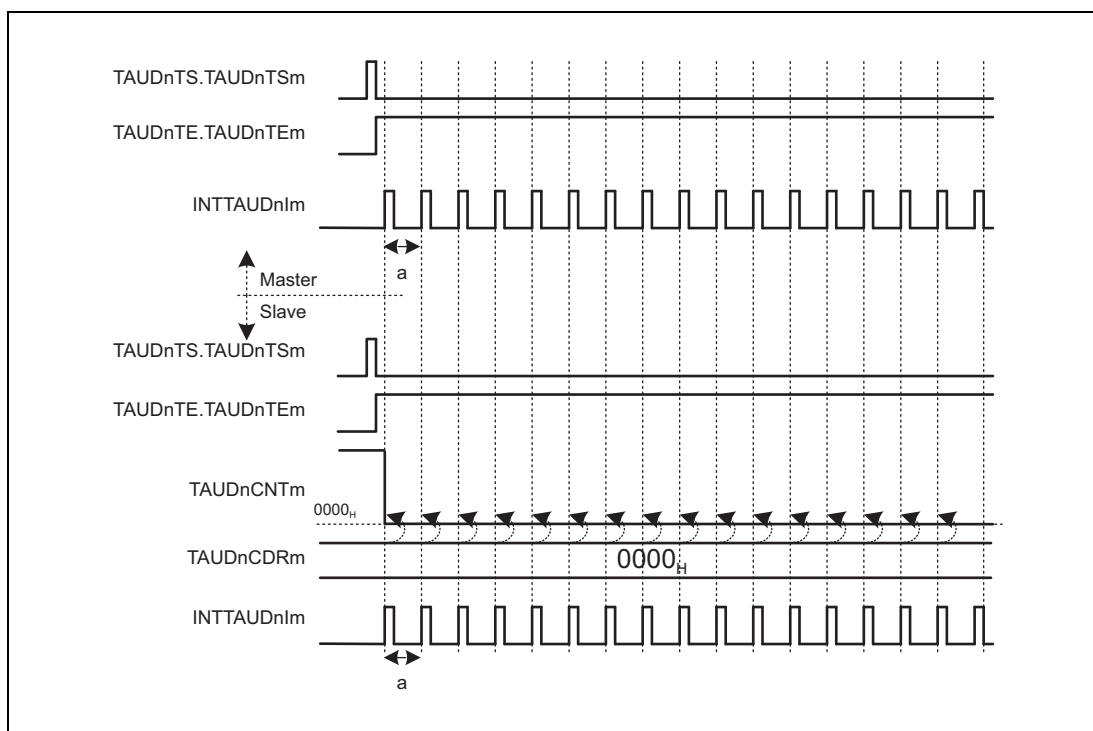
23.13.9.6 割り込み要求信号間引き機能時の操作手順

表 23.190 割り込み要求信号間引き機能時の操作手順

	操作	TAUDnの状態
動作再開	初期設定 マスタチャネル:TAUDnCMORm / TAUDnCMURm レジスタとチャネル出力モードを「23.13.9.4 マスタチャネルのレジスタ設定」に示すように設定します。 スレーブチャネル:TAUDnCMORm / TAUDnCMURm レジスタとチャネル出力モードを「23.13.9.5 スレーブチャネルのレジスタ設定」に示すように設定します。 全チャネルのTAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 マスタチャネルとスレーブチャネルのTAUDnTS.TAUDnTSmを同時に“1”に設定します。 TAUDnTS.TAUDnTSmはトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm (マスタ/スレーブチャネル)が“1”に設定され、マスタ/スレーブチャネルのカウンタが動作を開始します。 マスタチャネルでINTTAUDnImが発生します。
	動作中 TAUDnCDRmは任意のタイミングで変更可能です。 TAUDnCNTmとTAUDnRSF.TAUDnRSFmは任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTmは動作中に変更可能です。	マスタチャネルのTAUDnCNTmはTAUDnCDRm値をロードし、ダウンカウントを行います。カウンタが0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (マスタ)が発生します。 TAUDnCNTm (マスタ)はTAUDnCDRm値をロードし、カウント動作を継続します。 スレーブチャネルのTAUDnCNTmは、マスタチャネルのINTTAUDnImが検出されるごとにダウンカウントを行います。 スレーブチャネルのTAUDnCNTmが0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm (スレーブ)が発生します。 TAUDnCNTm (スレーブ)はTAUDnCDRm値をロードし、カウント動作を継続します。
	動作停止 マスタチャネルとスレーブチャネルのTAUDnTT.TAUDnTTmを同時に“1”に設定します。 TAUDnTT.TAUDnTTmはトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEmが“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTmは停止し、現在値を保持します。

23.13.9.7 特定の設定時のタイミング図

(1) 割り込み数 (マスタ) = 割り込み数 (スレーブ)

図 23.117 TAUDnCDRm (スレーブ) = 0000_H

- TAUDnCDRm = 0000_H の場合、マスタチャンネルの INTTAUDnIm を検出するごとに、スレーブチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードします。つまり、TAUDnCNTm は常に 0000_H です。
- したがって、マスタチャンネルで割り込みが発生すると同時に、スレーブチャンネルで割り込みが発生することになります。

23.14 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタチャンネルと7個のスレーブチャンネルを使用することで、6相のPWM出力または三角波PWM出力を生成する機能について説明します。

23.14.1 非相補方式変調出力機能タイプ1

23.14.1.1 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力許可ビット (TAUDnTME.TAUDnTMEem) の値に応じて、TAUDnTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 23.192 非相補方式変調出力機能タイプ1のマスタチャンネルのTAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル1~7の動作モードは、ワンカウントモードに設定する必要があります (「表 23.195 非相補方式変調出力機能タイプ1のスレーブチャンネル1のTAUDnCMORm レジスタの内容」「表 23.198 非相補方式変調出力機能タイプ1のスレーブチャンネル2~7のTAUDnCMORm レジスタの内容」参照)。
- この機能では、マスタチャンネルでTAUDnTTOUTmは使用しません。
- この機能ではスレーブチャンネル1のTAUDnTTOUTmは使用しません、TAUDnTRC.TAUDnTRCmは“1”に設定する必要があります (「23.7 チャンネル出力モード」参照)。
- スレーブチャンネル2~7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード1に設定する必要があります (「23.7 チャンネル出力モード」参照)。
- スレーブチャンネル1のTAUDnCDRmは、0000_Hに設定する必要があります。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTsm) を“1”に設定すると、マスタ/スレーブチャンネルのカウント動作が許可されます。これによりTAUDnTE.TAUDnTEm=1となり、カウントが可能になります。データレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされ、カウンタはダウンカウントを開始します。カウンタが0000_Hになると、INTTAUDnImが発生します。

- スレーブチャンネル1:

スレーブチャンネル1がリアルタイム出力のトリガチャンネルとして設定されているため (TAUDnTRC.TAUDnTRCm=1)、スレーブチャンネル1 (TAUDnCDRmは0000_H固定) で割り込みが発生すると、当該チャンネルの割り込み発生をモニタしているチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) 値がそれぞれのTAUDTTOUTm出力に反映されます。割り込み発生後、カウンタはFFFF_Hに戻り、マスタチャンネルの次の割り込みを待ちます。

- スレーブチャンネル2 :
スレーブチャンネル2はPWM出力を生成します。PWM出力周期はマスタチャンネルで指定し、デューティサイクルはスレーブチャンネル2で指定します。割り込み発生後、カウンタはFFFF_Hに戻り、マスタチャンネルの次の割り込みを待ちます。

スレーブチャンネル3～7はスレーブチャンネル2と同じように動作します。

「表 23.191 非相補方式変調出力機能タイプ1時のスレーブチャンネルのTAUDnTTOUTm出力 (TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDnTTOUTmから出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルのTAUDnTT.TAUDnTTmを“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEemは“0”に設定されます。マスタ/スレーブチャンネルのTAUDnCNTmとTAUDnTTOUTmが停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSmを“1”に設定すると、カウントを再開できます。

条件

- スレーブチャンネル2～7でTAUDnTME.TAUDnTMEem = 0が設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルのTAUDnTRO.TAUDnTROmが“1”の場合、TAUDnTTOUTmはハイレベル信号を出力します。
 - チャンネルのTAUDnTRO.TAUDnTROmが“0”の場合、TAUDnTTOUTmはロウレベル信号を出力します。
- スレーブチャンネル2～7でTAUDnTME.TAUDnTMEem = 1が設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
- チャンネルのTAUDnTRO.TAUDnTROmが“1”の場合、TAUDnTTOUTmはそのチャンネルの対応するPWM (正論理) を出力します。
 - チャンネルのTAUDnTRO.TAUDnTROmが“0”の場合、TAUDnTTOUTmはロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLmが“1”の場合、TAUDnTTOUTmから出力されるハイレベル信号とロウレベル信号は反転します。PWM信号は負論理となります。TAUDnTOL.TAUDnTOLmは初期設定のみ可能です (動作中は変更できません)。

表 23.191 非相補方式変調出力機能タイプ1時のスレーブチャンネルのTAUDnTTOUTm出力 (TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME. TAUDnTMEem	TAUDnTRO. TAUDnTROm	TAUDnTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM (正論理)

- この機能では一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。
- スレーブチャンネル1のTAUDnCDRm値は、スレーブチャンネル2～7でPWMが生成されるのと同時にリアルタイム出力がトリガされるよう、0000_Hに設定する必要があります。

- スレーブチャンネル2～7で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を“0” (ロウレベル) に設定します。
- スレーブチャンネル2～7で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合、TAUDnTE.TAUDnTEm = 0 に設定する前に TAUDnTO.TAUDnTOm を“1” (ハイレベル) に設定します。

23.14.1.2 算出式

スレーブチャンネル2～7:

パルス周期 = [TAUDnCDRm (マスタ) + 1] × カウントクロック周期

デューティ時間 = [TAUDnCDRm (スレーブ)] × カウントクロック周期

23.14.1.3 ブロック図と基本タイミング図

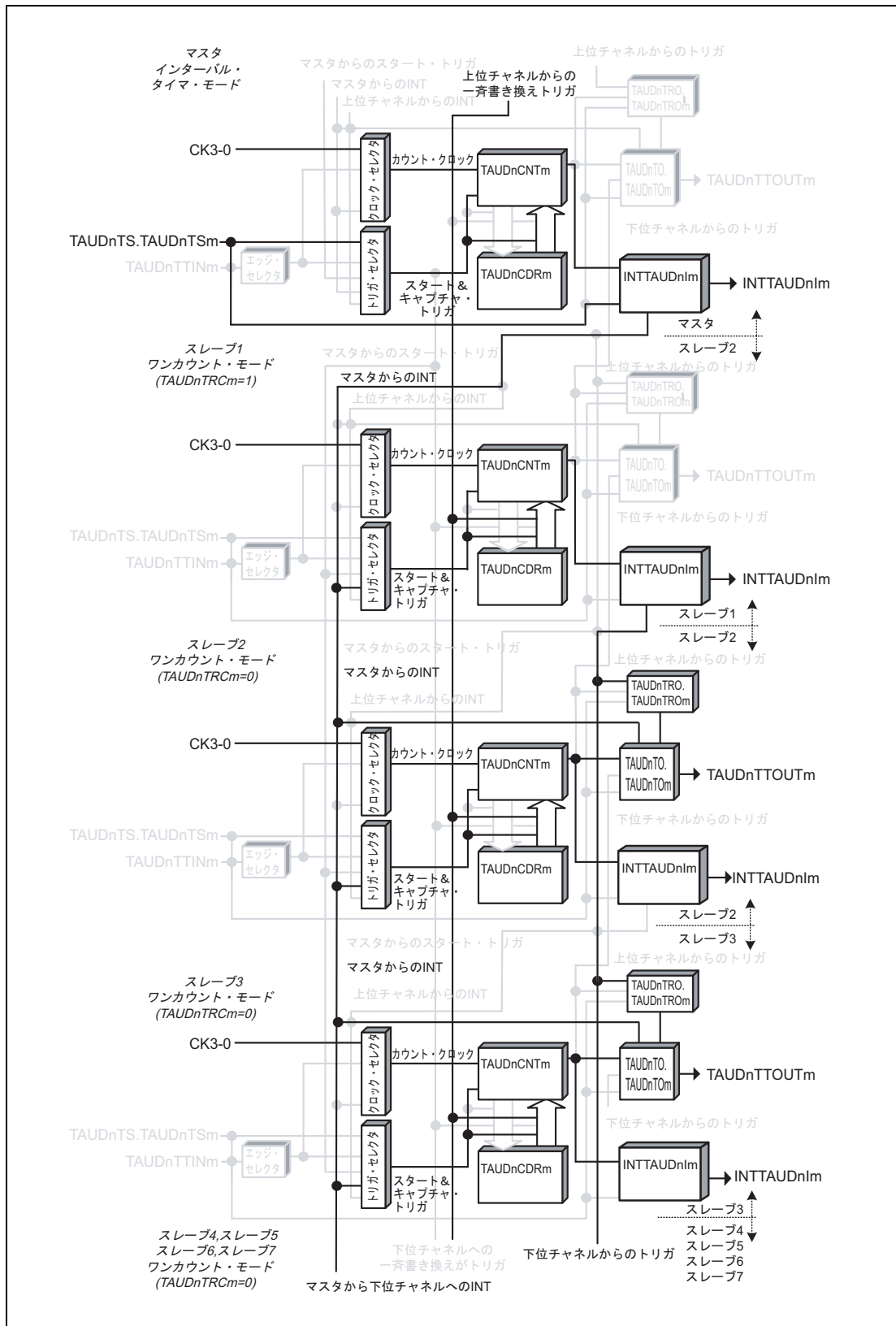


図 23.118 非相補方式変調出力機能タイプ1のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

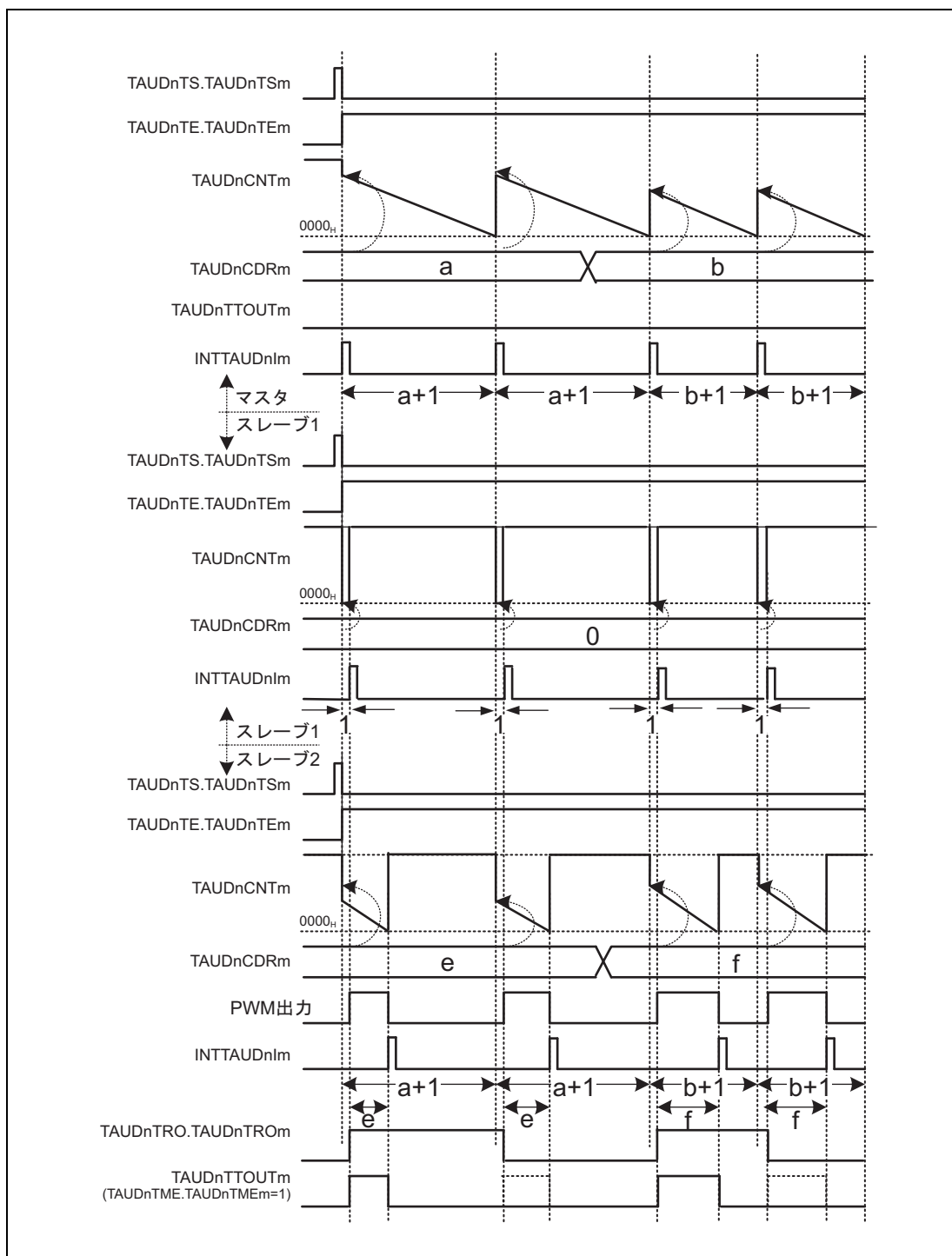


図 23.119 非相補方式変調出力機能タイプ1の基本タイミング図

23.14.1.4 マスタチャンネルのレジスタ設定

(1) マスタチャンネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.192 非相補方式変調出力機能タイプ1のマスタチャンネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャンネルはマスタチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始または再開時に INTTAUDnIm が発生する

(2) マスタチャンネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.193 非相補方式変調出力機能タイプ1のマスタチャンネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.194 非相補方式変調出力機能タイプ1時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

備 考

TAUDnRDS.TAUDnRDSm ビット = 1 で使用する場合、マスタチャンネルの上位に「**23.12.16 一斉書き換えトリガ生成機能タイプ1**」で動作するチャンネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ1 設定チャンネル: TAUDnRDCm = 1、TAUDnRDSm = 1
また、本チャンネルの TAUDnCDRm 設定値は下記となります。
= ((一斉書き換え対象のマスタチャンネルの TAUDnCDRm 設定値 + 1) × 割り込み回数) - 1
- マスタチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1
- スレーブチャンネル: TAUDnRDCm = 0、TAUDnRDSm = 1

23.14.1.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.195 非相補方式変調出力機能タイプ1のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 23.196 非相補方式変調出力機能タイプ1のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) チャンネル出力モード

この機能では、スレーブチャンネル1ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを“1”に設定する必要があります。

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.197 非相補方式変調出力機能タイプ1時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

23.14.1.6 スレーブチャンネル2～7のレジスタ設定

(1) スレーブチャンネル2～7のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.198 非相補方式変調出力機能タイプ1のスレーブチャンネル2~7のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	100：マスタチャンネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャンネル2～7のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 23.199 非相補方式変調出力機能タイプ1のスレーブチャンネル2~7のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル 2～7 のチャンネル出力モード

表 23.200 非相補方式変調出力を行うチャンネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	0: 動作モード 1
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

(4) スレーブチャンネル 2～7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.201 非相補方式変調出力機能タイプ1時のスレーブチャンネル 2～7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

23.14.1.7 非相補方式変調出力機能タイプ1時の操作手順

表 23.202 非相補方式変調出力機能タイプ1時の操作手順 (1/2)

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.1.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル1：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.1.5 スレーブチャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル2～7：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.1.6 スレーブチャンネル2～7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルのTAUDnCDRm レジスタの値を設定します。マスタチャンネルのTAUDnCDRm にパルス周期、スレーブチャンネル1のTAUDnCDRm に0000_H、スレーブチャンネル2～7のTAUDnCDRm にデューティ幅を設定します。</p> <p>スレーブチャンネル1にTAUDnTRC.TAUDnTRCm = 1を設定します。</p>	チャンネル動作を停止しています。

表 23.202 非相補方式変調出力機能タイプ 1 時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開 ↓	動作開始 マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に "1" に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に "0" にクリアされます。	マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が "1" に設定され、カウンタがダウンカウントを開始します。
	動作中 TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャンネル、スレーブチャンネル 1、スレーブチャンネル 2～7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャンネルのカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 再びマスタチャンネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 スレーブチャンネル 2～7 の PWM 出力信号がセット/リセットされます。 再びスレーブチャンネル 1 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 再びスレーブチャンネル 2～7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 スレーブチャンネル 1 のカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 スレーブチャンネル 2～7 の TAUDnTRO.TAUDnTROm の値が、TAUDTTOUTm 出力に反映されます。 スレーブチャンネル 2～7 のカウンタが 0000 _H になった場合： <ul style="list-style-type: none"> INTTAUDnIm が発生します。 スレーブチャンネル 2～7 の PWM 出力信号がセットされます。 スレーブチャンネル 2～7 の TAUDnTTOUTm は、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEem) の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。
	動作停止 マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。	TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDnTTOUTm は停止し、現在値を保持します。

23.14.1.8 特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブチャンネル 2 ~ 7 : 正論理 (TAUDnTOL.TAUDnTOLm = 0)

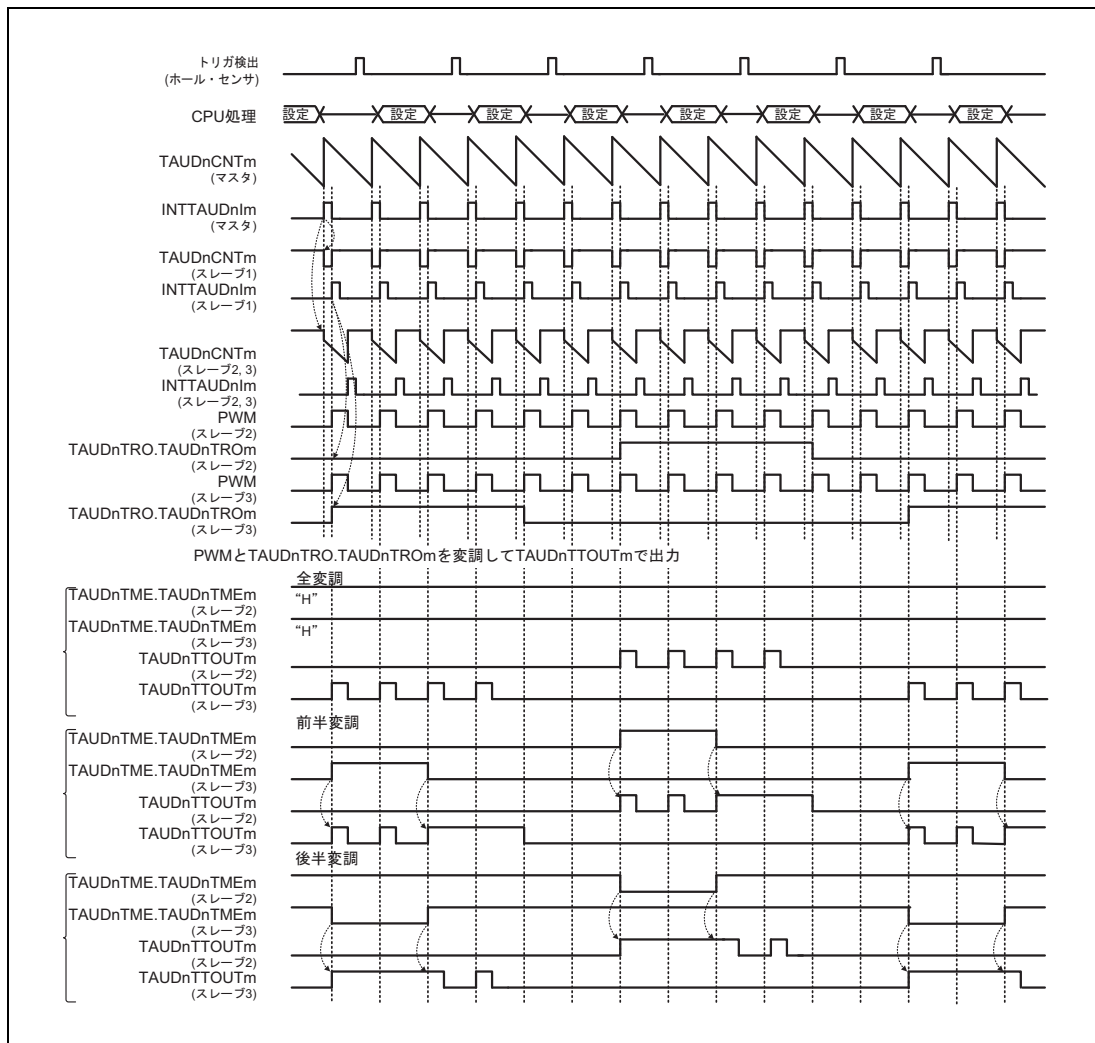


図 23.120 非相補方式変調出力機能タイプ1の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTME_m ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDR_m、TAUDnTME.TAUDnTME_m、TAUDnTRO.TAUDnTRO_m の値を変更できる期間を示しています。

TAUDnTME.TAUDnTME_m は、カウント開始タイミングとマスタチャンネルの周期検出で設定値が反映されます。変更された設定値に従い、TAUDnTTOUm より変調波形を出力します。

TAUDnTRO.TAUDnTRO_m ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル1で割り込みが発生しないと適用されません。

23.14.2 非相補方式変調出力機能タイプ2

23.14.2.1 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力許可ビット (TAUDnTME.TAUDnTMEem) の値に応じて、TAUDnTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 23.204 非相補方式変調出力機能タイプ2のマスタチャンネルのTAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル1の動作モードは、イベントカウントモードに設定する必要があります (「表 23.208 非相補方式変調出力機能タイプ2のスレーブチャンネル1のTAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル2～7の動作モードは、アップ/ダウンカウントモードに設定する必要があります (「表 23.211 非相補方式変調出力機能タイプ2のスレーブチャンネル2～7のTAUDnCMORm レジスタの内容」参照)。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります (「23.7 チャンネル出力モード」参照)。
- この機能ではスレーブチャンネル1のTAUDnTTOUTmは使用しませんが、TAUDnTRC.TAUDnTRCmは“1”に設定する必要があります (「23.7 チャンネル出力モード」参照)。
- スレーブチャンネル2～7のチャンネル出力モードは、非相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (「23.7 チャンネル出力モード」参照)。

機能説明

チャンネルトリガビット (TAUDnTS.TAUDnTSm) を“1”に設定すると、マスタ/スレーブチャンネルのカウント動作が許可されます。これによりTAUDnTE.TAUDnTEem=1となり、カウントが可能になります。データレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされます。

- マスタチャンネル：
マスタチャンネルのカウンタがダウンカウントを開始します。カウンタが0000_Hになると、INTTAUDnImが発生します。
- スレーブチャンネル1：
スレーブチャンネル1がマスタチャンネルからの割り込みを検出すると、TAUDnCNTm値はデクリメントされます。マスタチャンネルからの割り込みがTAUDnCDRm+1検出されると、INTTAUDnImが発生します。その後、TAUDnCDRm値をTAUDnCNTmにロードし、以降、動作を継続します。
スレーブチャンネル1がリアルタイム出力のトリガチャンネルとして設定されているため (TAUDnTRC.TAUDnTRCm=1)、スレーブチャンネル1で割り込みが発生すると、当該チャンネルの割り込み発生をモニタしているチャンネルのリアルタイム出力ビット

(TAUDnTRO.TAUDnTROm) 値がそれぞれの TAUDnTTOUTm 出力に反映されます。

- スレーブチャンネル 2 :
 マスタチャンネルからの割り込みを検出すると、TAUDnCNTm は逆方向にカウントを行います。アップカウント中に割り込みを検出すると、再び TAUDnCDRm の値をロードしてからダウンカウントを開始します。
 TAUDnCNTm = 0001_H の場合、割り込みが発生し、PWM 出力信号がセット/リセットされます。

マスタチャンネルとスレーブチャンネル 2 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャンネルは PWM 出力周期を生成し、スレーブチャンネル 2 はデューティサイクルを生成します。

スレーブチャンネル 3～7 はスレーブチャンネル 2 と同じように動作します。

「表 23.203 非相補方式変調出力機能タイプ 2 時のスレーブチャンネルの TAUDnTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDnTTOUTm から出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEem) の値によって決まります。

この機能では強制リスタートは行えません。マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEem は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDnTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSM を“1”に設定すると、カウントを再開できます。

条件

- スレーブチャンネル 2～7 で TAUDnTME.TAUDnTMEem = 0 が設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDnTTOUTm はそのチャンネルの対応する PWM (正論理) を出力します。
 - チャンネルの TAUDnTRO.TAUDnTROm が“0”の場合、TAUDnTTOUTm はロウレベル信号を出力します。
- スレーブチャンネル 2～7 で TAUDnTME.TAUDnTMEem = 1 が設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - チャンネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDnTTOUTm はハイレベル信号を出力します。
 - チャンネルの TAUDnTRO.TAUDnTROm が“0”の場合、TAUDnTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が“1”の場合、TAUDnTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。
 TAUDnTOL.TAUDnTOLm は初期設定のみ可能です (動作中は変更できません)。

表 23.203 非相補方式変調出力機能タイプ2時のスレーブチャネルの TAUDnTTOUTm 出力
(TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME. TAUDnTME _m	TAUDnTRO. TAUDnTRO _m	TAUDnTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM (正論理)

- この機能では一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。
- スレーブチャネル2～7で TAUDnTOL.TAUDnTOLm = 0 が設定されている場合、TAUDnTE.TAUDnTE_m = 0 に設定する前に TAUDnTO.TAUDnTO_m を“0” (ロウレベル) に設定します。
- スレーブチャネル2～7で TAUDnTOL.TAUDnTOLm = 1 が設定されている場合、TAUDnTE.TAUDnTE_m = 0 に設定する前に TAUDnTO.TAUDnTO_m を“1” (ハイレベル) に設定します。

23.14.2.2 算出式

スレーブチャネル2～7:

キャリア周期 (ダウン/アップ)

$$= [\text{TAUDnCDRm (マスタ)} + 1] \times 2 \times \text{カウントクロック周期}$$

デューティ時間

$$= [\text{TAUDnCDRm (マスタ)} + 1 - \text{TAUDnCDRm (スレーブ)}] \times 2 \times \text{カウントクロック周期}$$

23.14.2.3 ブロック図と基本タイミング図

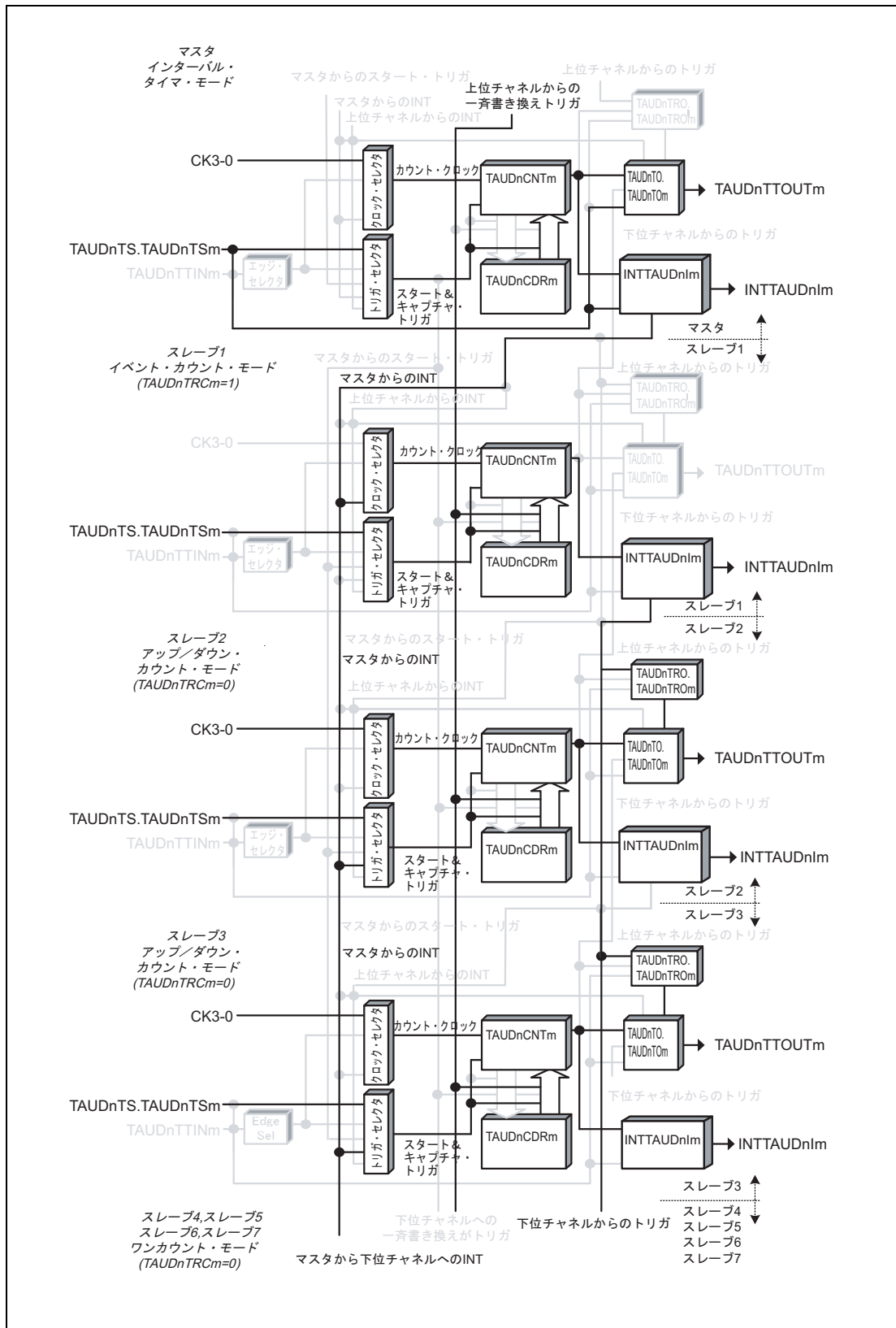


図 23.121 非相補方式変調出力機能タイプ2のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

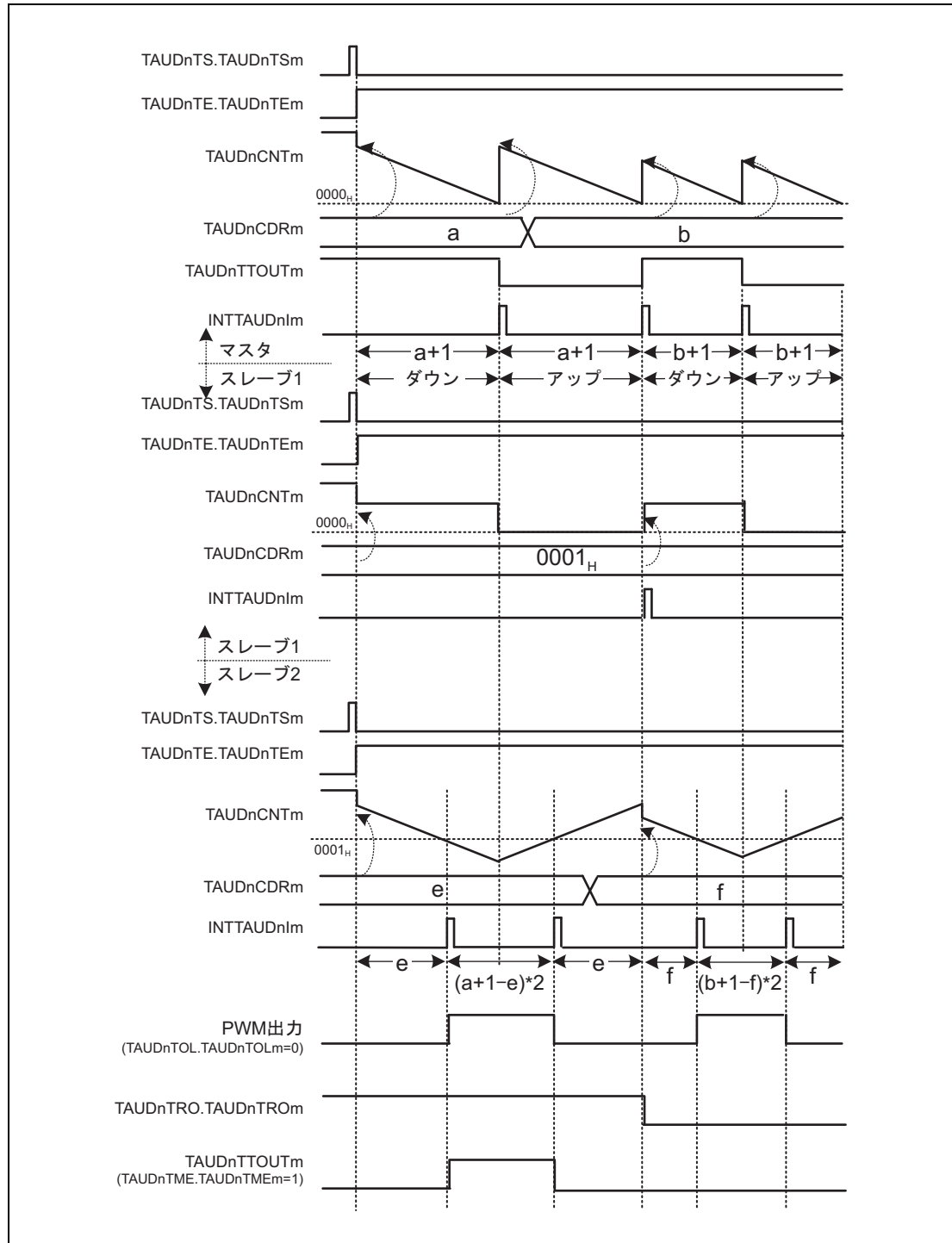


図 23.122 非相補方式変調出力機能タイプ2の基本タイミング図

23.14.2.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.204 非相補方式変調出力機能タイプ2のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない 1：動作開始または再開時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.205 非相補方式変調出力機能タイプ2のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

表 23.206 非相補方式変調出力機能タイプ2時のマスタチャンネルの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効(リセット後の値)となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTME.TAUDnTMEm	0: 変調禁止

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.207 非相補方式変調出力機能タイプ2時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

23.14.2.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.208 非相補方式変調出力機能タイプ2のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.209 非相補方式変調出力機能タイプ2のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) チャンネル出力モード

この機能では、スレーブチャンネル1ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを“1”に設定する必要があります。

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.210 非相補方式変調出力機能タイプ2時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

23.14.2.6 スレーブチャンネル2～7のレジスタ設定

(1) スレーブチャンネル2～7のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDn MAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.211 非相補方式変調出力機能タイプ2のスレーブチャンネル2~7のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャンネル2～7のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 23.212 非相補方式変調出力機能タイプ2のスレーブチャンネル2~7のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル 2～7 の出力モード

表 23.213 非相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

(4) スレーブチャンネル 2～7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.214 非相補方式変調出力機能タイプ 2 時のスレーブチャンネル 2～7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

23.14.2.7 非相補方式変調出力機能タイプ2時の操作手順

表 23.215 非相補方式変調出力機能タイプ2時の操作手順 (1/2)

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.2.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル1：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.2.5 スレーブチャンネル1のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル2～7：TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.2.6 スレーブチャンネル2～7のレジスタ設定」に示すように設定します。</p> <p>全チャンネルのTAUDnCDRm レジスタの値を設定します。マスタチャンネルのTAUDnCDRm でパルス周期を設定し、スレーブチャンネル1のTAUDnCDRm でスレーブチャンネル1がリアルタイム出力トリガを生成するまでに無視するマスタチャンネルの割り込み数を設定します。また、スレーブチャンネル2～7のTAUDnCDRm にデューティ幅を設定します。</p> <p>スレーブチャンネル1にTAUDnTRC.TAUDnTRCm = 1を設定します。</p>	チャンネル動作を停止しています。

表 23.215 非相補方式変調出力機能タイプ 2 時の操作手順 (2/2)

	操作	TAUDnの状態
動作再開	<p>動作開始</p> <p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTsm を同時に "1" に設定します。 TAUDnTS.TAUDnTsm はトリガビットなので、自動的に "0" にクリアされます。</p>	<p>マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が "1" に設定され、カウンタがダウンカウントを開始します。</p>
動作中	<p>TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルとスレーブチャンネル 2 ~ 7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャンネル 1 の TAUDnCDRm の値をロードし、マスタチャンネルの割り込みを待ちます。マスタチャンネルのカウンタが 0000_H になった場合：</p> <ul style="list-style-type: none"> • INTTAUDnIm が発生します。 • 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 • スレーブチャンネル1のTAUDnCNTm値が1減少し、マスタチャンネルの次の割り込みを待ちます。 • スレーブチャンネル2~7のTAUDnCNTmは再びTAUDnCDRmの値をロードするか、反対方向のカウンタを開始します。 • TAUDnCDRmの値がロードされるタイミングで、スレーブチャンネル2~7のTAUDnTME.TAUDnTMEemの値が、TAUDTTOUTm出力に反映されます。 • スレーブチャンネル1が、マスタチャンネルの割り込みを TAUDnCDRm + 1 検出した場合： <ul style="list-style-type: none"> - INTTAUDnIm が発生します。 - スレーブチャンネル2~7のTAUDnTRO.TAUDnTROmの値が、TAUDTTOUTm出力に反映されます。 • スレーブチャンネル1のカウンタが0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。割り込み検出時： <ul style="list-style-type: none"> - INTTAUDnIm が発生します。 • スレーブチャンネル2~7のカウンタが0001_Hになった場合： <ul style="list-style-type: none"> - INTTAUDnIm が発生します。 - スレーブチャンネル2~7のPWM出力信号がセット/リセットされます。 <p>スレーブチャンネル 2 ~ 7 の TAUDnTTOUTm は、2 つで 1 組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) と変調出力ビット (TAUDnTME.TAUDnTMEem) の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。</p>
動作停止	<p>動作停止</p> <p>マスタチャンネルとスレーブチャンネルの TAUDnTT.TAUDnTTm を同時に "1" に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に "0" にクリアされます。</p>	<p>TAUDnTE.TAUDnTEm が "0" にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDnTTOUTm は停止し、現在値を保持します。</p>

23.14.2.8 特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

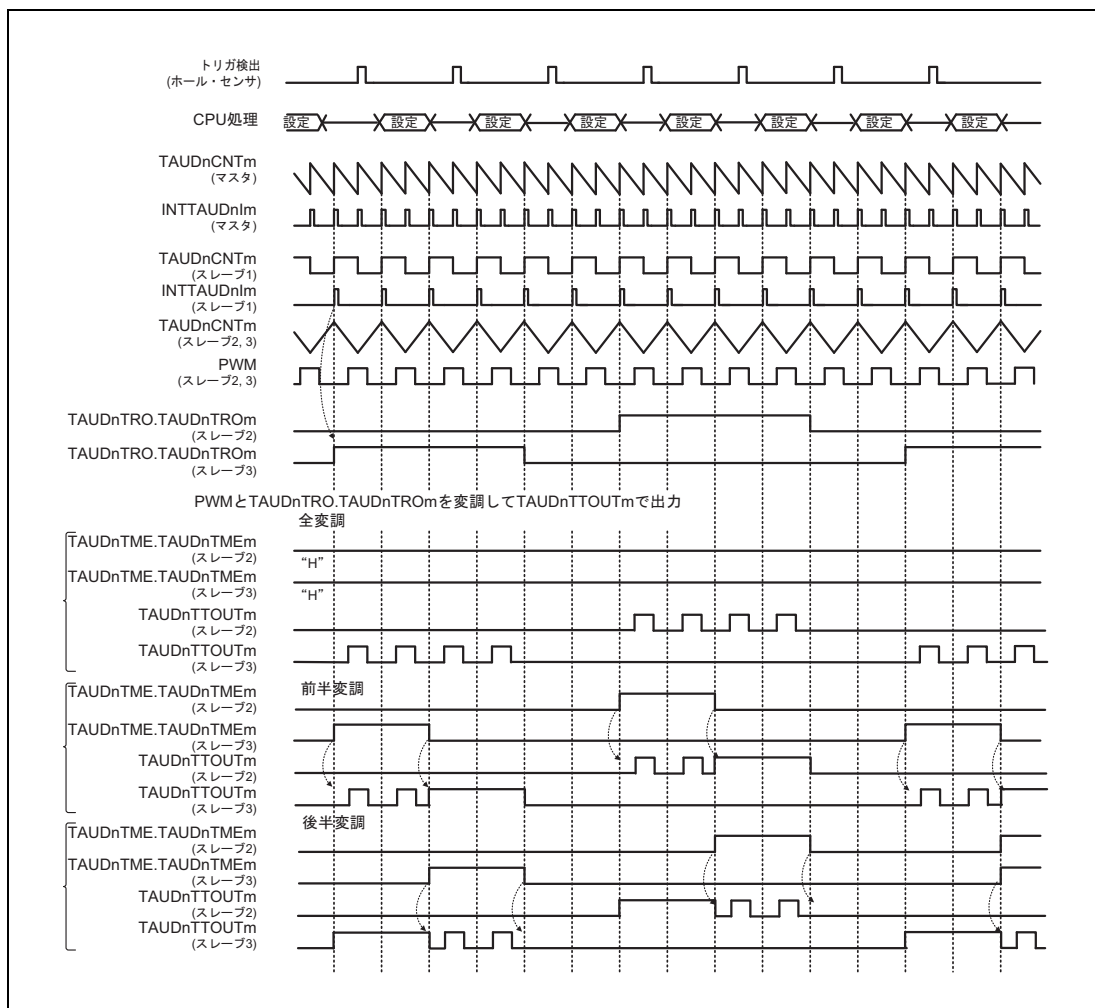


図 23.123 非相補方式変調出力機能タイプ 2 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEem ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEem、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEem は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル 1 で割り込みが発生しないと適用されません。

23.14.3 相補方式変調出力機能

23.14.3.1 概要

概要

この機能では、2つで1組のスレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEm)、出力レベルビット (TAUDnTDL.TAUDnTDLm) の値に応じて、TAUDnTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を、デッドタイムを付加して出力します。通常は3組のチャンネルが使用されます。

前提条件

- マスタチャンネル×1、スレーブチャンネル×7
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります (「表 23.217 相補方式変調出力機能のマスタチャンネルの TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル1の動作モードは、イベントカウントモードに設定する必要があります (「表 23.221 相補方式変調出力機能のスレーブチャンネル1の TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル2, 4, 6の動作モードは、アップ/ダウンカウントモードに設定する必要があります (「表 23.224 相補方式変調出力機能のスレーブチャンネル2, 4, 6の TAUDnCMORm レジスタの内容」参照)。
- スレーブチャンネル3, 5, 7の動作モードは、ワンカウントモードに設定する必要があります (「表 23.228 相補方式変調出力機能のスレーブチャンネル3, 5, 7の TAUDnCMORm レジスタの内容」参照)。また、スレーブチャンネル3, 5, 7の割り込みは、キャリア周期内の発生回数が一意に決まらないため、割り込み要因として使用しないでください。
- マスタチャンネルの出力モードは、チャンネル単体出力モード1に設定する必要があります (「23.7 チャンネル出力モード」参照)。
- この機能ではスレーブチャンネル1の TAUDnTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は“1”に設定する必要があります (「23.7 チャンネル出力モード」参照)。
- スレーブチャンネル2～7のチャンネル出力モードは、相補方式変調出力を行うチャンネル連動出力モード2に設定する必要があります (「23.7 チャンネル出力モード」参照)。

機能説明

- マスタチャンネル：
チャンネルトリガビット (TAUDnTS.TAUDnTSM) を“1”に設定すると、マスタチャンネルのカウント動作が許可されます。これにより TAUDnTE.TAUDnTEm = 1 となり、カウントが可能になります。マスタチャンネルのデータレジスタ (TAUDnCDRm) の値がカウンタ (TAUDnCNTm) にロードされ、カウンタはこの値からダウンカウントを開始します。
マスタチャンネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。これによりスレーブチャンネル1のカウンタ値が1減少し、スレーブチャンネル2のカウンタが反対方向にカウントを開始します。

- スレーブチャンネル1 :
 カウンタが 0000_H になると、マスタチャンネルからの次の割り込みを待ちます。そして再び TAUDnCDRm の値を TAUDnCNTm (スレーブ 1) にロードし、INTTAUDnIm が発生します。
 スレーブチャンネル1 はリアルタイム出力のトリガチャンネルとして設定されます (TAUDnTRC.TAUDnTRCm = 1)。割り込みにより、スレーブチャンネル1 の割り込み発生を検出しているチャンネルで、各チャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm) の値が適用されます。リアルタイム出力ビット値はアプリケーションソフトで任意のタイミングで変更可能ですが、新しい値はスレーブチャンネル1 で割り込みが発生するまで適用されません。
- スレーブチャンネル2 :
 スレーブチャンネル2 のカウンタが 0001_H になると、スレーブチャンネル3 のカウンタがダウンカウントを開始します。スレーブチャンネル3 のカウンタが 0000_H になると、割り込みが発生します。
- スレーブチャンネル2、スレーブチャンネル3 :
 マスタチャンネルとスレーブチャンネル2 およびスレーブチャンネル3 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャンネルは PWM 出力周期を生成し、スレーブチャンネル2 はデューティサイクルを、スレーブチャンネル3 はデッドタイムを生成します。
- スレーブチャンネル4～7 :
 スレーブチャンネル4, 6 はスレーブチャンネル2 と同じように動作し、スレーブチャンネル5, 7 はスレーブチャンネル3 と同じように動作します。

「表 23.216 相補方式変調出力機能時のスレーブチャンネル1組の TAUDnTTOUtm 出力 (TAUDnTOL.TAUDnTOLm = 0)」にあるように、TAUDnTTOUtm から出力される信号は、スレーブチャンネルのリアルタイム出力ビット (TAUDnTRO.TAUDnTROm)、変調出力ビット (TAUDnTME.TAUDnTMEem)、出力レベルビット (TAUDnTDL.TAUDnTDLm) の値によって決まります。

ただし、チャンネル2 とチャンネル3 の両方からハイレベル信号が出力されることは禁止です (モータドライバのショートを防ぐなどの目的のため)。この機能では、強制リスタートは行えません。

マスタ/スレーブチャンネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ/スレーブチャンネルの TAUDnCNTm と TAUDnTTOUtm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

- 1組のチャンネルの双方で TAUDnTME.TAUDnTMEm が“1”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - 片方のチャンネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDnTTOUTm はそのチャンネルの対応する PWM を出力します。
 - 双方のチャンネルの TAUDnTRO.TAUDnTROm が“0”の場合、一組の TAUDnTTOUTm はロウレベル信号を出力します。
- 1組のチャンネルの双方で TAUDnTME.TAUDnTMEm が“0”に設定されている場合 (TAUDnTOL.TAUDnTOLm = 0) :
 - TAUDnTRO.TAUDnTROm が“1”の場合、そのチャンネルの TAUDnTTOUTm はハイレベル信号を出力します。
 - TAUDnTRO.TAUDnTROm が“0”の場合、そのチャンネルの TAUDnTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が“1”の場合、TAUDnTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。

表 23.216 相補方式変調出力機能時のスレーブチャンネル1組の TAUDnTTOUTm 出力 (TAUDnTOL.TAUDnTOLm = 0)

TAUDnTME. TAUDnTME2	TAUDnTME. TAUDnTME3	TAUDnTRO. TAUDnTRO2	TAUDnTRO. TAUDnTRO3	TAUDnTDL. TAUDnTDL2	TAUDnTDL. TAUDnTDL3	TAUDnTTOUT2 出力	TAUDnTTOUT3 出力
0	0	0	0	×	×	ロウレベル	ロウレベル
		0	1	0	1	ロウレベル	ハイレベル
		1	0	1	0	ハイレベル	ロウレベル
		1	1	×	×	設定禁止	設定禁止
1	1	0	0	×	×	ロウレベル	ロウレベル
		0	1	0	1	~PWMm	PWMm
		1	0	1	0	PWMm	~PWMm
		1	1	×	×	設定禁止	設定禁止

備考

1. この表の PWM は正相 PWM 信号を示し、~PWM は逆相 PWM 信号を示します (正論理)。正相 / 逆相は TAUDnTDL.TAUDnTDLm で設定されます。
2. この表に記述のない設定は禁止です。

- 1組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている間、TAUDnTME.TAUDnTMEm が継続的に“1”に設定されている場合、その変調は全変調になります。
- 1組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている期間の前半で TAUDnTME.TAUDnTMEm が“1”に設定されている場合、その変調は前半変調になります。
- 1組のチャンネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている期間の後半で TAUDnTME.TAUDnTMEm が“1”に設定されている場合、その変調は後半変調になります。

- 2つのチャンネルが同時にハイレベル信号の出力となる場合にデッドタイムが正相PWM信号と逆相PWM信号のどちらに付加されるかは、TAUDnTDL.TAUDnTDLm ビット値で決まります。
 - TAUDnTDL.TAUDnTDLm = 0 の場合、正相 PWM 信号にデッドタイムを付加
 - TAUDnTDL.TAUDnTDLm = 1 の場合、逆相 PWM 信号にデッドタイムを付加
 - TAUDnTDL.TAUDnTDLm ビット値の操作は、動作中にアプリケーションソフトで行う必要があります。TAUDnTDL.TAUDnTDLm を変更する場合は、TAUDnTRO.TAUDnTROm が 00_B の期間に書き換えてください。
- スレーブチャンネル1のTAUDnCDRm値は、キャリア周期（山割り込みタイミング）でスレーブチャンネル1のINTTAUDnImを発生させる値に設定する必要があります。
- マスタチャンネルのTAUDnCMORm.TAUDnMD0は“0”に設定してください。
- この機能では一斉書き換えを行うことができます。「23.6 一斉書き換え」を参照してください。
- スレーブチャンネル2～7でTAUDnTOL.TAUDnTOLm = 0が設定されている場合：
 - TAUDnTDL.TAUDnTDLm = 0が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmを“0”（ロウレベル）に設定します。
 - TAUDnTDL.TAUDnTDLm = 1が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmを“1”（ハイレベル）に設定します。
- スレーブチャンネル2～7でTAUDnTOL.TAUDnTOLm = 1が設定されている場合：
 - TAUDnTDL.TAUDnTDLm = 0が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmを“1”（ハイレベル）に設定します。
 - TAUDnTDL.TAUDnTDLm = 1が設定されている場合、TAUDnTE.TAUDnTEm = 0に設定する前にTAUDnTO.TAUDnTOmを“0”（ロウレベル）に設定します。

23.14.3.2 算出式

パルス周期 = (TAUDnCDRm (マスタ) + 1) × カウントクロック周期

$0000_{\text{H}} \leq \text{TAUDnCDRm (マスタ)} < \text{FFFF}_{\text{H}}$

キャリア周期（ダウン/アップ） = (TAUDnCDRm (マスタ) + 1) × 2 × カウントクロック周期

スレーブチャンネル2、スレーブチャンネル3：

PWM 信号幅（正相） = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ2)) × 2 - (TAUDnCDRm (スレーブ3) + 1)] × カウントクロック周期

PWM 信号幅（逆相） = [(TAUDnCDRm (マスタ) + 1 - TAUDnCDRm (スレーブ2)) × 2 + (TAUDnCDRm (スレーブ3) + 1)] × カウントクロック周期

スレーブチャンネル4～7：

スレーブチャンネル4,6はスレーブチャンネル2と同じように、スレーブチャンネル5,7はスレーブチャンネル3と同じように算出してください。

23.14.3.3 ブロック図と基本タイミング図

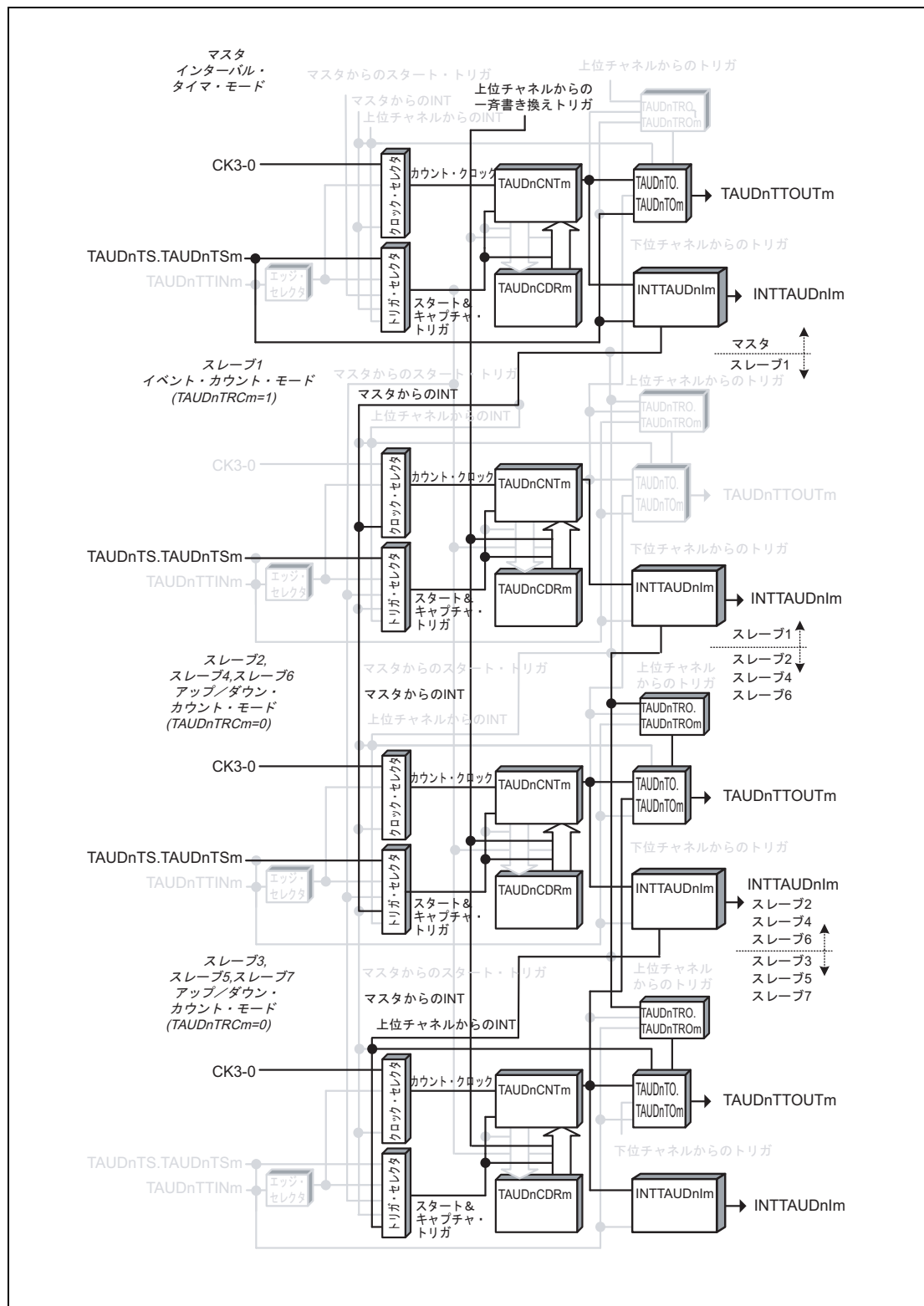


図 23.124 相補方式変調出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない
(TAUDnCMORm.TAUDnMD0 = 0)

- スレーブチャンネル 1 : $TAUDnCDRm=0001_H$
- スレーブチャンネル 2 ~ 7 : 正論理 ($TAUDnTOL.TAUDnTOLm = 0$)

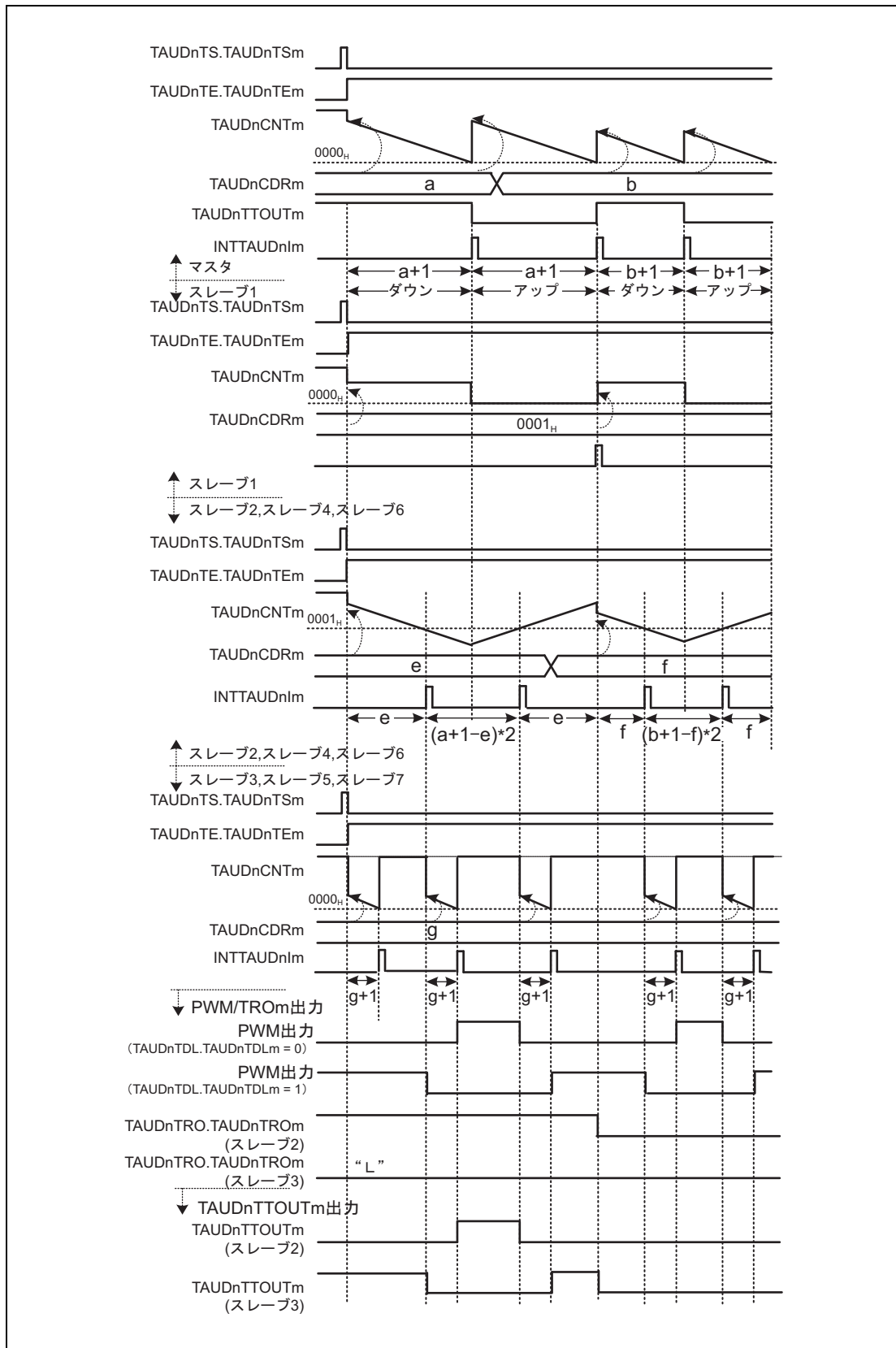


図 23.125 相補方式変調出力機能の基本タイミング図

23.14.3.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.217 相補方式変調出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUDnCKS [1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUDnCCS [1:0]	00: 動作クロックをカウントクロックとして使用
11	TAUDnMAS	1: チャネルはマスタチャネル
10 ~ 8	TAUDnSTS [2:0]	000: ソフトウェアでカウンタをトリガ
7, 6	TAUDnCOS [1:0]	00: 未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ~ 1	TAUDnMD [4:1]	0000: インターバルタイマモード
0	TAUDnMD0	0: 動作開始または再開時に INTTAUDnIm が発生せず、TAUDnTTOUtm はトグルされない 1: 動作開始または再開時に INTTAUDnIm が発生し、TAUDnTTOUtm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.218 相補方式変調出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	TAUDnTIS[1:0]	00: 未使用、“00”を設定

(3) マスタチャンネルのチャンネル出力モード

表 23.219 チャンネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0: チャンネル単体出力
TAUDnTOC.TAUDnTOCm	0: 動作モード1 (TAUDnTOM.TAUDnTOMm = 0時はトグルモード)
TAUDnTOL.TAUDnTOLm	0: トグルモード時は、設定無効(リセット後の値)となります。
TAUDnTDE.TAUDnTDEm	0: デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0: デッドタイム動作禁止時 (TAUDnTDE.TAUDnTDEm = 0)、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0: リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0: リアルタイム出力禁止時 (TAUDnTRE.TAUDnTREm = 0)、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEem	0: 変調禁止

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.220 相補方式変調出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

備考

TAUDnRDS.TAUDnRDSm = 1の場合、マスタチャンネルより上位チャンネルに一斉書き換えトリガ信号を生成するチャンネルが必要です。

23.14.3.5 スレーブチャンネル1のレジスタ設定

(1) スレーブチャンネル1のTAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.221 相補方式変調出力機能のスレーブチャンネル1のTAUDnCMORmレジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	11：マスタチャンネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャンネル1のTAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.222 相補方式変調出力機能のスレーブチャンネル1のTAUDnCMURmレジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) チャネル出力モード

この機能では、スレーブチャンネル1ではチャンネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEmに“0”を設定します。ただし、ソフトウェア制御のチャンネル単体出力モードでのチャンネル出力モードの使用は可能です。

注 意

スレーブチャンネル1をリアルタイム出力のトリガチャンネルとして使用するため、TAUDnTRC.TAUDnTRCmを1に設定する必要があります。

(4) スレーブチャンネル1の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.223 相補方式変調出力機能時のスレーブチャンネル1の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の[山]のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

23.14.3.6 スレーブチャンネル 2, 4, 6 のレジスタ設定

(1) スレーブチャンネル 2, 4, 6 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.224 相補方式変調出力機能のスレーブチャンネル 2, 4, 6 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケラ出力 CK0 01：プリスケラ出力 CK1 10：プリスケラ出力 CK2 11：プリスケラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	111：マスタチャンネルのアップ/ダウン出力トリガ信号
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	1001：アップ/ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャンネル 2, 4, 6 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 23.225 相補方式変調出力機能のスレーブチャンネル 2, 4, 6 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル 2, 4, 6 の出力モード

表 23.226 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

注 意

PWM 出力時、TAUDnTDL.TAUDnTDLm は奇数チャンネルと排他設定してください。

(4) スレーブチャンネル 2, 4, 6 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.227 相補方式変調出力機能時のスレーブチャンネル 2, 4, 6 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

23.14.3.7 スレーブチャンネル 3, 5, 7 のレジスタ設定

(1) スレーブチャンネル 3, 5, 7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS [1:0]		TAUDnCCS [1:0]		TAUDnMAS	TAUDnSTS[2:0]		TAUDnCOS [1:0]		—	TAUDnMD[4:1]				TAUDnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 23.228 相補方式変調出力機能のスレーブチャンネル 3, 5, 7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS [1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3 マスタチャンネルとスレーブチャンネルの TAUDnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUDnCCS [1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャンネルはスレーブチャンネル
10～8	TAUDnSTS [2:0]	110：デッドタイムトリガ
7、6	TAUDnCOS [1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD [4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャンネル 3, 5, 7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 23.229 相補方式変調出力機能のスレーブチャンネル 3, 5, 7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャンネル 3, 5, 7 の出力モード

表 23.230 相補方式変調出力を行うチャンネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1: チャンネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1: チャンネル連動出力
TAUDnTOC.TAUDnTOCm	1: 動作モード 2
TAUDnTOL.TAUDnTOLm	0: 正論理 1: 負論理
TAUDnTDE.TAUDnTDEm	1: デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0: 上位偶数チャンネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0: 正相にデッドタイムを付加 1: 逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1: リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0: リアルタイム出力はロウレベル 1: リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0: 上位チャンネルはチャンネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0: 変調禁止 1: 変調許可

注 意

PWM 出力時、TAUDnTDL.TAUDnTDLm は、偶数チャンネルと排他設定してください。

(4) スレーブチャンネル 3, 5, 7 の一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 23.231 相補方式変調出力機能時のスレーブチャンネル 3, 5, 7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1: 一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0: マスタチャンネルで一斉書き換えトリガをモニタ 1: チャンネルグループ外の上位チャンネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1: 一斉書き換えトリガ信号は、マスタチャンネルでのカウントが開始され、対応するスレーブチャンネルの三角波の [山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0: 一斉書き換えトリガ生成チャンネルとして動作しない。 TAUDnRDS.TAUDnRDSm = 0 のとき、このビットの値にかかわらず、マスタチャンネルで一斉書き換えトリガをモニタ。

23.14.3.8 相補方式変調出力機能時の操作手順

表 23.232 相補方式変調出力機能時の操作手順 (1/2)

	操作	TAUDnの状態
チャンネルの初期設定	<p>マスタチャンネル : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.3.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 1 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.3.5 スレーブチャンネル 1 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 2, 4, 6 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.3.6 スレーブチャンネル 2, 4, 6 のレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル 3, 5, 7 : TAUDnCMORm / TAUDnCMURm レジスタとチャンネル出力モードを「23.14.3.7 スレーブチャンネル 3, 5, 7 のレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUDnCDRm レジスタの値を設定します。マスタチャンネルの TAUDnCDRm でパルス周期を設定し、スレーブチャンネル 1 の TAUDnCDRm で無視されるマスタチャンネル割り込み数を設定します。また、スレーブチャンネル 2, 4, 6 の TAUDnCDRm にデューティ幅を、スレーブチャンネル 3, 5, 7 にデッドタイム遅延を設定します。</p> <p>スレーブチャンネル 1 に TAUDnTRC.TAUDnTRCm = 1 を設定します。</p>	チャンネル動作を停止しています。
動作再開	<p>マスタチャンネルとスレーブチャンネルの TAUDnTS.TAUDnTSm を同時に "1" に設定します。TAUDnTS.TAUDnTSm はトリガビットなので、自動的に "0" にクリアされます。</p>	マスタ/スレーブチャンネルの TAUDnTE.TAUDnTEm が "1" に設定され、カウンタがダウンカウントを開始します。

表 23.232 相補方式変調出力機能時の操作手順 (2/2)

	操作	TAUDnの状態
動作中	<p>TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は任意のタイミングで変更可能です。</p> <p>TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUDnRDT.TAUDnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルとスレーブチャンネル2～7のTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを行います。スレーブチャンネル1のTAUDnCDRmの値をロードし、マスタチャンネルの割り込みを待ちます。マスタチャンネルのカウンタが0000_Hになった場合：</p> <ul style="list-style-type: none"> • INTTAUDnImが発生します。 • 再びTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを継続します。 • スレーブチャンネル1のTAUDnCNTm値が1減少し、マスタチャンネルの次の割り込みを待ちます。 • スレーブチャンネル2, 4, 6のTAUDnCNTmは再びTAUDnCDRmの値をロードするか、反対方向のカウントを開始します。 • スレーブチャンネル2, 4, 6のTAUDnCDRmの値がロードされるタイミングで、スレーブチャンネル2～7のTAUDnTME.TAUDnTMEemの値が、TAUDTTOUTm出力に反映されます。 • スレーブチャンネル1のカウンタが0000_Hになると、マスタチャンネルからの次の割り込みを待ちます。割り込み検出時： <ul style="list-style-type: none"> - 再びTAUDnCDRmの値をTAUDnCNTmにロードし、マスタチャンネルの次の割り込みを待ちます。 - INTTAUDnImが発生します。 - TAUDnTRO.TAUDnTROmを変更可能です。 • スレーブチャンネル2, 4, 6のカウンタが0001_Hになった場合： <ul style="list-style-type: none"> - INTTAUDnImが発生します。 - スレーブチャンネルmのPWM出力がセット/リセットされます（設定したチャンネル出力モードの条件に一致した場合）。 - スレーブチャンネル3, 5, 7のTAUDnCDRmの値をTAUDnCNTmにロードし、ダウンカウントを行います。 • スレーブチャンネル3, 5, 7のカウンタが0000_Hになった場合： <ul style="list-style-type: none"> - INTTAUDnImが発生します。 - スレーブチャンネルmのPWM出力がセット/リセットされず（設定したチャンネル出力モードの条件に一致した場合）。 <p>スレーブチャンネル2～7のTAUDnTTOUTmは、2つで1組のスレーブチャンネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）、変調出力ビット（TAUDnTME.TAUDnTMEem）、出力レベルビット（TAUDnTDL.TAUDnTDLm）の値に応じて、PWM信号、ハイレベル信号、またはロウレベル信号を出力します。</p>
動作停止	<p>マスタチャンネルとスレーブチャンネルのTAUDnTT.TAUDnTTmを同時に“1”に設定します。</p> <p>TAUDnTT.TAUDnTTmはトリガビットなので、自動的に“0”にクリアされます。</p>	<p>TAUDnTE.TAUDnTEemが“0”にクリアされ、カウンタ動作が停止します。</p> <p>TAUDnCNTmとTAUDnTTOUTmは停止し、現在値を保持します。</p>

23.14.3.9 特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- マスタチャンネル：動作開始時に INTTAUDnIm が発生しない (TAUDnCMORm.TAUDnMD0 = 0)
- スレーブチャンネル 1：TAUDnCDRm=0001_H
- スレーブチャンネル 2～7：正論理 (TAUDnTOL.TAUDnTOLm = 0)

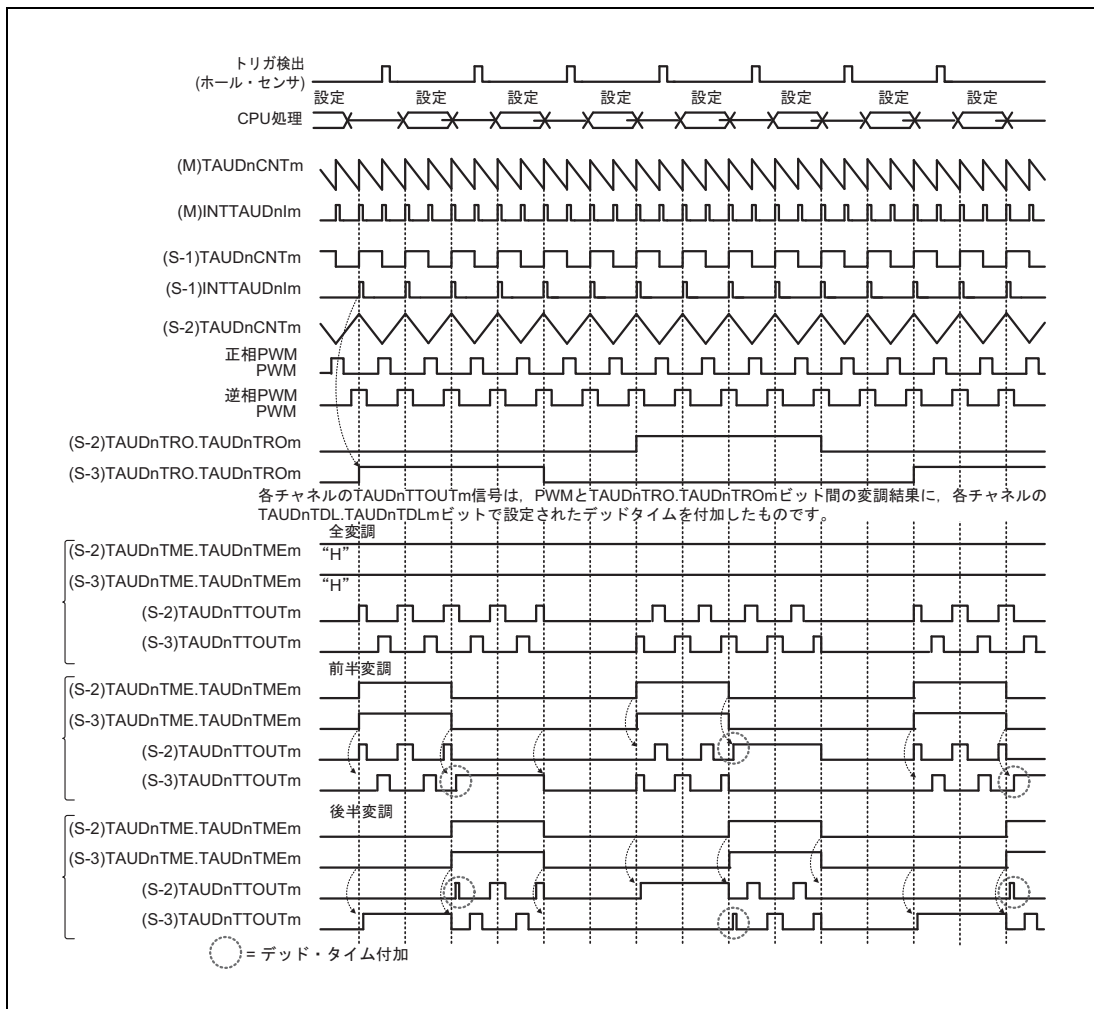


図 23.126 相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャンネルの TAUDnTME.TAUDnTMEem ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

スレーブチャンネル 2, 3 から出力されるのは、変調された PWM 出力信号と TAUDnTRO.TAUDnTROm ビットの値です。TAUDnTME.TAUDnTMEem、TAUDnTDL.TAUDnTDLm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm、ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャンネル 1 で割り込みが発生しないと適用されません。

備 考

デッドタイムは、正相と逆相の PWM のエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm、TAUDnTDL.TAUDnTDLm の値を変更できる期間を示しています。

第24章 タイマアレユニットJ (TAUJ)

本章では、タイマアレユニットJ (TAUJ) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、TAUJ の機能、レジスタについて説明します。

24.1 RH850/P1x TAUJ の特長

24.1.1 ユニット数

本製品は、以下のユニット数の TAUJ を搭載しています。

表 24.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	3	3
名称	TAUJn (n = 0 ~ 2)	TAUJn (n = 0 ~ 2)

TAUJn は以下のチャンネル数のタイマを搭載しています。

表 24.2 TAUJn のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) TAUJn	ユニット チャンネル数	RH850/P1x 100pin (8ch)	RH850/P1x 144pin (8ch)
TAUJ0	4	○	○
TAUJ1	4	○	○
TAUJ2	4	○	○

表 24.3 添字

添字	意味
n	本章では、TAUJ の各ユニットを「n」で識別します。たとえば、TAUJn チャンネル出力モードレジスタ (TAUJnTOM) のように記述しています。
m	TAUJ には 4 本のチャンネルがあります。本章では、各チャンネルを「m」(m = 0 ~ 3) で識別しており、特定のチャンネルを CHm のように記述しています。 偶数チャンネル (m = 0, 2) は CHm_even と記述します。 奇数チャンネル (m = 1, 3) は CHm_odd と記述します。

24.1.2 レジスタベースアドレス

TAUJn のベースアドレスを以下の表に示します。

TAUJn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 24.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAUJ0_base>	FFE5 0000 _H
<TAUJ1_base>	FFE5 1000 _H
<TAUJ2_base>	FFE5 2000 _H

24.1.3 クロック供給

TAUJn のクロック供給を以下の表に示します。

表 24.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAUJn	PCLK	高速周辺クロック CLK_HSB

24.1.4 割り込み要求

TAUJn の割り込み要求を以下の表に示します。

表 24.6 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
TAUJ0			
INTTAUJ0I0	チャンネル 0 割り込み	133	1
INTTAUJ0I1	チャンネル 1 割り込み	134	2
INTTAUJ0I2	チャンネル 2 割り込み	135	3
INTTAUJ0I3	チャンネル 3 割り込み	136	4
TAUJ1			
INTTAUJ1I0	チャンネル 0 割り込み	137	5
INTTAUJ1I1	チャンネル 1 割り込み	138	6
INTTAUJ1I2	チャンネル 2 割り込み	139	7
INTTAUJ1I3	チャンネル 3 割り込み	140	8
TAUJ2			
INTTAUJ2I0	チャンネル 0 割り込み	256	9
INTTAUJ2I1	チャンネル 1 割り込み	257	10
INTTAUJ2I2	チャンネル 2 割り込み	258	11
INTTAUJ2I3	チャンネル 3 割り込み	259	12

24.1.5 リセット要因

TAUJn のリセット要因を以下に示します。TAUJn は以下のリセット要因で初期化されます。

表 24.7 リセット要因

ユニット名	リセット要因
TAUJn	リセットコントローラ SYSRES

24.1.6 外部入出力信号

TAUJn の外部入出力信号を以下の表に示します。

表 24.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TAUJ0		
TAUJ0TTIN0-TAUJ0TTIN3 ^{注3}	チャンネル 0-3 入力	TAUJ0I0-TAUJ0I3
TAUJ0TTOUT0-TAUJ0TTOUT3	チャンネル 0-3 出力	TAUJ0O0-TAUJ0O3
TAUJ1		
TAUJ1TTIN0-TAUJ1TTIN3 ^{注3}	チャンネル 0-3 入力	TAUJ1I0-TAUJ1I3
TAUJ1TTOUT0-TAUJ1TTOUT3	チャンネル 0-3 出力	TAUJ1O0-TAUJ1O3
TAUJ2		
TAUJ2TTIN0-TAUJ2TTIN3 注1、注3	チャンネル 0-3 入力	TAUJ0I0-TAUJ0I3 TAUJ1I0-TAUJ1I3 TAUJ2I0-TAUJ2I3
TAUJ2TTOUT0-TAUJ2TTOUT3	チャンネル 0-3 出力	TAUJ2O0-TAUJ2O3

- 注 1. PIC によって入力信号を切り換えることができます。詳細は、「29.2.2.28 PIMONSEL — ポート入力モニタ選択レジスタ」および「29.2.3.14 タイマ入力モニタ機能」を参照してください。
- 注 2. 使用可能なポート端子の割り当てについては、「2.2.2 端子機能一覧」を参照してください。
- 注 3. チャンネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.6 ノイズフィルタ & エッジレベル検出回路」を参照してください。

24.2 概要

24.2.1 機能概要

TAUJには、次の機能があります。

- チャンネル単体動作機能（1チャンネルで動作する機能）
- チャンネル連動動作機能（マスタチャンネル1チャンネルとスレーブチャンネルの複数チャンネルで実現する機能）

TAUJは、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケアラ、カウント開始値および比較値を保持するための32ビットカウンタTAUJnCNTmと32ビットデータレジスタTAUJnCDRmをそれぞれ備えた4チャンネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャンネルは、単体で、またはほかのチャンネルと連動して、2つの動作モードで動作することが可能です。1つのマスタチャンネルと1つ以上のスレーブチャンネルの場合、スレーブチャンネルは、マスタチャンネルに依存します。

あるチャンネルを単体動作させる場合、他のチャンネルと無関係に動作できます。

連動動作機能は、チャンネルグループ（マスタチャンネルとスレーブチャンネルで構成されます）を組み合わせることで実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

24.2.2 用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

TAUJは4チャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、複数のチャンネルを組み合わせて動作する連動動作機能があります。

- 単体動作機能は、他のチャンネルと無関係に任意のチャンネルで使用可能です。
- 連動動作機能は、チャンネルグループ(マスタチャンネルとスレーブチャンネルで構成されます)を組み合わせて実現する機能です。

チャンネルの設定には、いくつかのルールがあります。

チャンネルグループ

連動動作機能では、依存関係にあるすべてのチャンネルを「チャンネルグループ」と呼びます。

1つのチャンネルグループは、1つのマスタチャンネルと1つ以上のスレーブチャンネルで構成されます。

上位／下位チャンネル

チャンネルmから見て、小さい番号または大きい番号のチャンネルを上位または下位チャンネルと呼びます。

- 上位チャンネル：小さい番号のチャンネル
- 下位チャンネル：大きい番号のチャンネル

たとえば、チャンネル2に対してチャンネル1は上位チャンネル、チャンネル3は下位チャンネルです。チャンネル0が最上位チャンネル、チャンネル3が最下位チャンネルです。

24.2.3 タイマ動作機能一覧

このタイマは各チャンネルを単体で動作させたり、複数チャンネルを組み合わせて動作させることで、下記の機能が実現できます。

表 24.9 TAUJ 動作機能一覧

動作機能	設定例
チャンネル単体動作機能	24.12 章
インターバルタイマ機能	24.12.1 章
TAUJnTTINm 入力インターバルタイマ機能	24.12.2 章
TAUJnTTINm 入力パルスインターバル測定機能	24.12.3 章
TAUJnTTINm 入力信号幅測定機能	24.12.4 章
TAUJnTTINm 入力位置検出機能	24.12.5 章
TAUJnTTINm 入力期間カウント検出機能	24.12.6 章
チャンネル連動動作機能	24.13 章
PWM 出力機能	24.13.1 章

24.2.4 入出力と割り込み要求信号

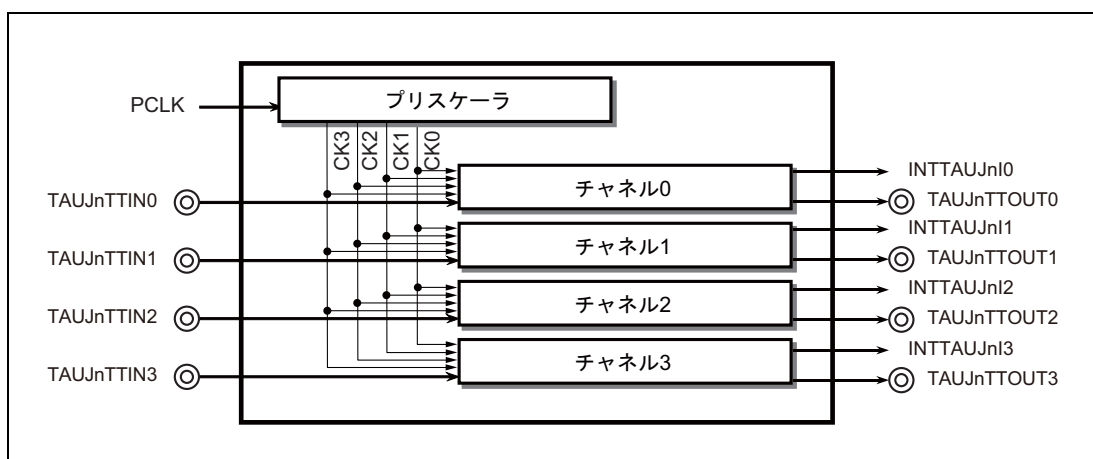


図 24.1 TAUJ 入出力と割り込み要求信号

24.2.5 ブロック図

TAUJの主な構成要素を次の図に示します。

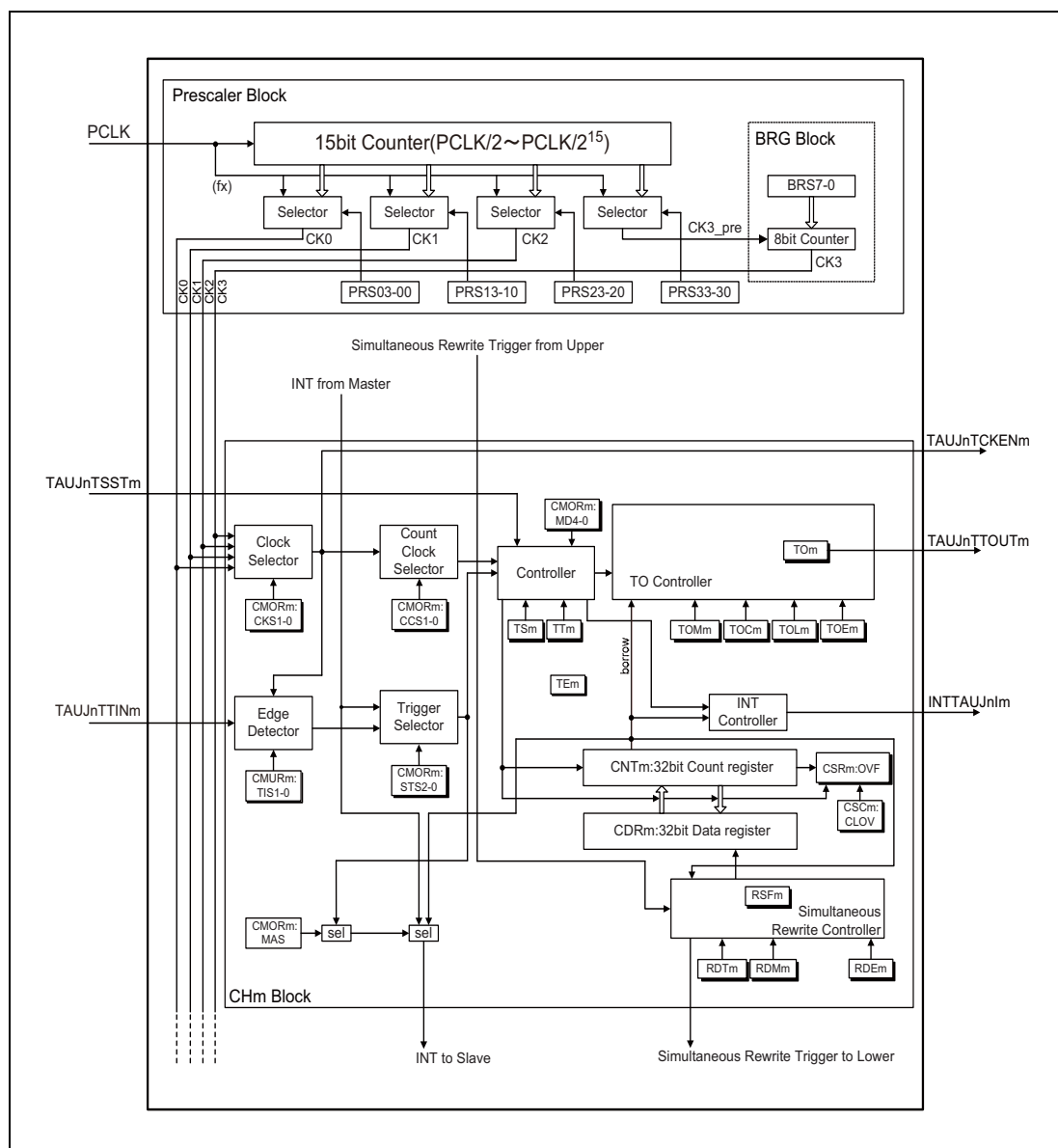


図 24.2 TAUJのブロック図

レジスタ名の「TAUJn」は、図を見やすくするために省略されています。

24.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャンネルのカウンタクロックとして使用することができる最大4つのクロック信号 (CK0-CK3) を供給します。

カウンタクロック CK0-CK2 は、プリスケーラにより PCLK の 2^0 - 2^{15} の分周したクロックを選択することができます。4つ目のカウンタクロック CK3 は、BRG を使用することにより、2のべき乗以外の分周比を設定することができます。

クロックおよびカウンタクロックの選択

クロックカウンタセレクトは、各チャンネルに対してクロックソースを次から選択します。

- CK0-CK3 のいずれかのクロック (クロックセレクトにより選択)

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード (TAUJnCMORm.TAUJnMD[4:0] ビットにより選択)
- カウンタ開始許可 (TAUJnTS.TAUJnTSM) およびカウンタ停止 (TAUJnTT.TAUJnTTm)

カウンタの開始を許可すると、ステータスフラグ TAUJnTE.TAUJnTEm がセットされます。

トリガセレクト

カウンタは、動作が許可されている場合 (TAUJnTE.TAUJnTEm = 1) には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャンネル連動スタートトリガ入力 TAUJnTSSTm
- TAUJnTTINm 入力の有効エッジ
- マスタチャンネルからの INTTAUJnIm

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で有効です。あるチャンネルグループに属する全チャンネルのデータレジスタ (TAUJnCDRm) はいつでも書き換えられます。一斉書き換えコントローラは、全チャンネルのデータレジスタの新しい値が同時に有効になります。

TAUJnTO コントローラ

各チャンネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

24.3 レジスタ

24.3.1 レジスタ一覧

TAUJのレジスタ一覧を以下の表に示します。

<TAUJn_base> は「24.1.2 レジスタベースアドレス」を参照してください。

表 24.10 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAUJn プリスケアラレジスタ			
TAUJn	TAUJn プリスケアラクロック選択レジスタ	TAUJnTPS	<TAUJn_base> + 90 _H
TAUJn	TAUJn プリスケアラポーレート設定レジスタ	TAUJnBRS	<TAUJn_base> + 94 _H
TAUJn 制御レジスタ			
TAUJn	TAUJn チャネルデータレジスタ m	TAUJnCDRm	<TAUJn_base> + m × 4 _H
TAUJn	TAUJn チャネルカウンタレジスタ m	TAUJnCNTm	<TAUJn_base> + 10 _H + m × 4 _H
TAUJn	TAUJn チャネルモード OS レジスタ m	TAUJnCMORm	<TAUJn_base> + 80 _H + m × 4 _H
TAUJn	TAUJn チャネルモードユーザレジスタ m	TAUJnCMURm	<TAUJn_base> + 20 _H + m × 4 _H
TAUJn	TAUJn チャネルステータスレジスタ m	TAUJnCSRm	<TAUJn_base> + 30 _H + m × 4 _H
TAUJn	TAUJn チャネルステータスクリアレジスタ m	TAUJnCSCm	<TAUJn_base> + 40 _H + m × 4 _H
TAUJn	TAUJn チャネルスタートトリガレジスタ	TAUJnTS	<TAUJn_base> + 54 _H
TAUJn	TAUJn チャネル許可ステータスレジスタ	TAUJnTE	<TAUJn_base> + 50 _H
TAUJn	TAUJn チャネルストップトリガレジスタ	TAUJnTT	<TAUJn_base> + 58 _H
TAUJn 出力レジスタ			
TAUJn	TAUJn チャネル出力許可レジスタ	TAUJnTOE	<TAUJn_base> + 60 _H
TAUJn	TAUJn チャネル出力レジスタ	TAUJnTO	<TAUJn_base> + 5C _H
TAUJn	TAUJn チャネル出力モードレジスタ	TAUJnTOM	<TAUJn_base> + 98 _H
TAUJn	TAUJn チャネル出力コンフィグレーションレジスタ	TAUJnTOC	<TAUJn_base> + 9C _H
TAUJn	TAUJn チャネル出力アクティブレベルレジスタ	TAUJnTOL	<TAUJn_base> + 64 _H
TAUJn リロードデータレジスタ			
TAUJn	TAUJn チャネルリロードデータ許可レジスタ	TAUJnRDE	<TAUJn_base> + A0 _H
TAUJn	TAUJn チャネルリロードデータモードレジスタ	TAUJnRDM	<TAUJn_base> + A4 _H
TAUJn	TAUJn チャネルリロードデータトリガレジスタ	TAUJnRDT	<TAUJn_base> + 68 _H
TAUJn	TAUJn チャネルリロードステータスレジスタ	TAUJnRSF	<TAUJn_base> + 6C _H

24.3.2 TAUJn プリスケアラレジスタの詳細

24.3.2.1 TAUJnTPS — TAUJn プリスケアラクロック選択レジスタ

PCLK プリスケアラの全チャンネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 90_H

リセット後の値 FFFF_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.11 TAUJnTPS レジスタの内容 (1/3)

ビット位置	ビット名	機能																																		
15 ~ 12	TAUJnPRS3 [3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャンネルに CK3 動作クロックを供給します。																																		
		<table border="1"> <thead> <tr> <th>TAUJnPRS3[3:0]</th> <th>CK3_PRE クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table>	TAUJnPRS3[3:0]	CK3_PRE クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS3[3:0]	CK3_PRE クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
		上記ビットは、CK3 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。																																		

表 24.11 TAUJnTPS レジスタの内容 (2/3)

ビット位置	ビット名	機能																																		
11 ~ 8	TAUJnPRS2 [3:0]	<p>CK2 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS2[3:0]</th> <th>CK2 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK2 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS2[3:0]	CK2 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS2[3:0]	CK2 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			
7 ~ 4	TAUJnPRS1 [3:0]	<p>CK1 クロックを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnPRS1[3:0]</th> <th>CK1 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK1 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTE_m = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS1[3:0]	CK1 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS1[3:0]	CK1 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

表 24.11 TAUJnTPS レジスタの内容 (3/3)

ビット位置	ビット名	機能																																		
3 ~ 0	TAUJnPRS0 [3:0]	CK0 クロックを指定します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>TAUJnPRS0[3:0]</th> <th>CK0 クロック</th> </tr> </thead> <tbody> <tr><td>0000_B</td><td>PCLK/2⁰</td></tr> <tr><td>0001_B</td><td>PCLK/2¹</td></tr> <tr><td>0010_B</td><td>PCLK/2²</td></tr> <tr><td>0011_B</td><td>PCLK/2³</td></tr> <tr><td>0100_B</td><td>PCLK/2⁴</td></tr> <tr><td>0101_B</td><td>PCLK/2⁵</td></tr> <tr><td>0110_B</td><td>PCLK/2⁶</td></tr> <tr><td>0111_B</td><td>PCLK/2⁷</td></tr> <tr><td>1000_B</td><td>PCLK/2⁸</td></tr> <tr><td>1001_B</td><td>PCLK/2⁹</td></tr> <tr><td>1010_B</td><td>PCLK/2¹⁰</td></tr> <tr><td>1011_B</td><td>PCLK/2¹¹</td></tr> <tr><td>1100_B</td><td>PCLK/2¹²</td></tr> <tr><td>1101_B</td><td>PCLK/2¹³</td></tr> <tr><td>1110_B</td><td>PCLK/2¹⁴</td></tr> <tr><td>1111_B</td><td>PCLK/2¹⁵</td></tr> </tbody> </table> <p>上記ビットは、CK0 を使用するカウンタがすべて停止している (TAUJnTE.TAUJnTEm = 0) 場合のみ書き換え可能です。</p>	TAUJnPRS0[3:0]	CK0 クロック	0000 _B	PCLK/2 ⁰	0001 _B	PCLK/2 ¹	0010 _B	PCLK/2 ²	0011 _B	PCLK/2 ³	0100 _B	PCLK/2 ⁴	0101 _B	PCLK/2 ⁵	0110 _B	PCLK/2 ⁶	0111 _B	PCLK/2 ⁷	1000 _B	PCLK/2 ⁸	1001 _B	PCLK/2 ⁹	1010 _B	PCLK/2 ¹⁰	1011 _B	PCLK/2 ¹¹	1100 _B	PCLK/2 ¹²	1101 _B	PCLK/2 ¹³	1110 _B	PCLK/2 ¹⁴	1111 _B	PCLK/2 ¹⁵
TAUJnPRS0[3:0]	CK0 クロック																																			
0000 _B	PCLK/2 ⁰																																			
0001 _B	PCLK/2 ¹																																			
0010 _B	PCLK/2 ²																																			
0011 _B	PCLK/2 ³																																			
0100 _B	PCLK/2 ⁴																																			
0101 _B	PCLK/2 ⁵																																			
0110 _B	PCLK/2 ⁶																																			
0111 _B	PCLK/2 ⁷																																			
1000 _B	PCLK/2 ⁸																																			
1001 _B	PCLK/2 ⁹																																			
1010 _B	PCLK/2 ¹⁰																																			
1011 _B	PCLK/2 ¹¹																																			
1100 _B	PCLK/2 ¹²																																			
1101 _B	PCLK/2 ¹³																																			
1110 _B	PCLK/2 ¹⁴																																			
1111 _B	PCLK/2 ¹⁵																																			

備 考

TAUJn クロック入力 PCLK については、本章の最初の節内「**24.1.3 クロック供給**」で定義しています。

24.3.2.2 TAUJnBRS — TAUJn プリスケラポーレート設定レジスタ

プリスケラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケラは、TAUJnTPS.TAUJnPRS3[3:0] で指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 94_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	TAUJnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.12 TAUJnBRS レジスタの内容

ビット位置	ビット名	機能																
7 ~ 0	TAUJnBRS [7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。																
		<table border="1"> <thead> <tr> <th>TAUJnBRS[7:0]</th> <th>CK3 クロック</th> </tr> </thead> <tbody> <tr> <td>0000 0000_B</td> <td>CK3_PRE / 1</td> </tr> <tr> <td>0000 0001_B</td> <td>CK3_PRE / 2</td> </tr> <tr> <td>0000 0010_B</td> <td>CK3_PRE / 3</td> </tr> <tr> <td>0000 0011_B</td> <td>CK3_PRE / 4</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1111 1110_B</td> <td>CK3_PRE / 255</td> </tr> <tr> <td>1111 1111_B</td> <td>CK3_PRE / 256</td> </tr> </tbody> </table>	TAUJnBRS[7:0]	CK3 クロック	0000 0000 _B	CK3_PRE / 1	0000 0001 _B	CK3_PRE / 2	0000 0010 _B	CK3_PRE / 3	0000 0011 _B	CK3_PRE / 4	1111 1110 _B	CK3_PRE / 255	1111 1111 _B	CK3_PRE / 256
TAUJnBRS[7:0]	CK3 クロック																	
0000 0000 _B	CK3_PRE / 1																	
0000 0001 _B	CK3_PRE / 2																	
0000 0010 _B	CK3_PRE / 3																	
0000 0011 _B	CK3_PRE / 4																	
...	...																	
1111 1110 _B	CK3_PRE / 255																	
1111 1111 _B	CK3_PRE / 256																	

24.3.3 TAUJn 制御レジスタの詳細

24.3.3.1 TAUJnCDRm — TAUJn チャネルデータレジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1] で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。
 ・キャプチャレジスタ機能時はリードのみ可能です。ライト動作は無視されます。
 ・コンペアレジスタ機能時はリード/ライト可能です。

アドレス <TAUJn_base> + 0_H + m × 4_H

リセット後の値 0000 0000_H どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.13 TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TAUJnCDR [31:0]	キャプチャ値/コンペア値用データレジスタ

24.3.3.2 TAUJnCNTm — TAUJn チャンネルカウンタレジスタ

チャンネル m カウンタレジスタです。

アクセス 32ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 10_H + m × 4_H

リセット後の値 FFFF FFFF_H
どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.14 TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TAUJnCNT [31:0]	32ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSm、TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止 (TAUJnTT.TAUJnTTm = 1)

カウント停止後 (TAUJnTE.TAUJnTEm = 0) と再許可後 (TAUJnTS.TAUJnTSm = 1) のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可 (TAUJnTS.TAUJnTSm = 1) されてから 1 カウント後のカウンタのリード値も示します。

表 24.15 カウント再許可後の TAUJnCNTm リード値

モード名	カウント方式 (アップ/ダウン)	TAUJnCNTm		
		スタート値 ^{注1}	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF FFFF _H	停止値	—
キャプチャモード	アップカウント	0000 0000 _H	停止値	—
ワンカウントモード	ダウンカウント	FFFF FFFF _H	停止値	停止値
キャプチャ&ワンカウントモード	アップカウント	0000 0000 _H	停止値	キャプチャ値 + 1 (TAUJnCDRm)
カウントキャプチャモード	アップカウント	0000 0000 _H	停止値	—
キャプチャ&ゲート カウントモード	アップカウント	0000 0000 _H	停止値	停止値

注 1. リセット解除後、動作モードを変更した際に TAUJnCNTm にセットされる値

24.3.3.3 TAUJnCMORm — TAUJn チャネルモード OS レジスタ

このレジスタは、チャンネル m の動作を制御します。

アクセス 16 ビット単位でリード/ライト可能であり、カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみライト可能です。

アドレス <TAUJn_base> + 80_H + m × 4_H

リセット後の値 0000_H どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]		—	TAUJnMD[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.16 TAUJnCMORm レジスタの内容 (1/3)

ビット位置	ビット名	機能															
15、14	TAUJnCKS [1:0]	<p>動作クロックを選択します。 動作クロックは TAUJnTTINm 入力エッジ検出回路で使します。 TAUJnCMORm.TAUJnCCS[1:0] ビットの設定により、TAUJnCNTm のカウントクロックとして使用することも可能です。</p> <table border="1"> <thead> <tr> <th>TAUJnCKS1</th> <th>TAUJnCKS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </tbody> </table>	TAUJnCKS1	TAUJnCKS0	動作クロック選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJnCKS1	TAUJnCKS0	動作クロック選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13、12	TAUJnCCS [1:0]	<p>TAUJnCNTm カウンタのカウントクロックを選択します。</p> <table border="1"> <thead> <tr> <th>TAUJnCCS1</th> <th>TAUJnCCS0</th> <th>動作クロック選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック</td> </tr> <tr> <td>0</td> <td>1</td> <td rowspan="3">設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </tbody> </table>	TAUJnCCS1	TAUJnCCS0	動作クロック選択	0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック	0	1	設定禁止	1	0	1	1		
TAUJnCCS1	TAUJnCCS0	動作クロック選択															
0	0	TAUJnCMORm.TAUJnCKS[1:0] で指定した動作クロック															
0	1	設定禁止															
1	0																
1	1																
11	TAUJnMAS	<p>チャンネル連動動作時に、そのチャンネルがマスタチャンネルかスレーブチャンネルかを指定します。 0 : スレーブ 1 : マスタ</p> <p>このビット設定は偶数チャンネル (CHm_even) に対してのみ有効です。奇数チャンネル (CHm_odd) は、0 に固定されています。</p>															

表 24.16 TAUJnCMORm レジスタの内容 (2/3)

ビット位置	ビット名	機能			
10 ~ 8	TAUJnSTS [2:0]	外部スタートトリガを選択します。			
		TAUJnSTS2	TAUJnSTS1	TAUJnSTS0	動作クロック選択
		0	0	0	ソフトウェアトリガ
		0	0	1	TAUJnTTINm 入力信号の有効エッジ。有効エッジは TAUJnCMURm.TAUJnTIS[1:0] で指定
		0	1	0	TAUJnTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用
		0	1	1	設定禁止
		1	0	0	マスタチャンネルの INT
		1	0	1	設定禁止
		1	1	0	
1	1	1			
7, 6	TAUJnCOS [1:0]	チャンネル m のキャプチャレジスタ TAUJnCDRm とオーバフローフラグ TAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。これらのビットはチャンネル m がキャプチャ機能（キャプチャモード、キャプチャ&ワンカウントモード）の時にのみ有効です。			
		TAUJnCOS1	TAUJnCOS0	TAUJnCDRm	TAUJnCSRm.TAUJnOVF
		0	0	TAUJnTTINm 入力有効エッジを検出すると更新	TAUJnTTINm 入力有効エッジを検出すると更新（クリアまたはセット） <ul style="list-style-type: none"> 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア
		0	1		カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア
		1	0	TAUJnTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新 <ul style="list-style-type: none"> TAUJnTTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる オーバフロー発生：FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJnTTINm 入力有効エッジ検出は無視される。 	設定なし
1	1		カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV = 1 に設定することでクリア		
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。			

表 24.16 TAUJnCMORm レジスタの内容 (3/3)

ビット位置	ビット名	機能					
4 ~ 0	TAUJnMD [4:0]	動作モードを指定します。					
		TAUJn MD4	TAUJn MD3	TAUJn MD2	TAUJn MD1	TAUJn MD0	機能説明
		0	0	0	0	1/0	インターバルタイムモード
		0	0	0	1	1/0	設定禁止
		0	0	1	0	1/0	キャプチャモード
		0	0	1	1	1/0	設定禁止
		0	1	0	0	1/0	ワンカウントモード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウントモード
		0	1	1	1	1/0	設定禁止
		1	0	0	0		
		1	0	0	1		
		1	0	1	0		
		1	0	1	1	1/0	カウントキャプチャモード
		1	1	0	0	0	設定禁止
		1	1	0	1	0	キャプチャ&ゲートカウントモード
		モード		TAUJnMD0 ビットの役割			
		インターバルタイムモード キャプチャモード カウントキャプチャモード		カウント動作開始時（スタートトリガ入力時）に、INTTAUJnIm 信号を出力するかどうかを指定します。 0：INTTAUJnIm を出力しない 1：INTTAUJnIm を出力する			
		ワンカウントモード		カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 注意 ワンカウントモードでは、カウント動作開始時に INTTAUJnIm 信号を出力しません。			
		キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード		このビットは“0”に設定してください。 注意 カウント動作開始時に INTTAUJnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。			

24.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ

このレジスタは、TAUJnTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 20_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.17 TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能															
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
1, 0	TAUJnTIS [1:0]	<p>TAUJnTTINm 入力信号の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TAUJnTIS1</th> <th>TAUJnTIS0</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がリエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ</td> </tr> </tbody> </table> <p>TAUJnTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0] で選択した動作クロックに基づいて行われます。</p>	TAUJnTIS1	TAUJnTIS0	機能説明	0	0	立ち下がリエッジ	0	1	立ち上がリエッジ	1	0	両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ	1	1	両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ
TAUJnTIS1	TAUJnTIS0	機能説明															
0	0	立ち下がリエッジ															
0	1	立ち上がリエッジ															
1	0	両エッジ検出 (ロウレベル幅測定選択) スタートトリガ: 立ち下がリエッジ ストップトリガ (キャプチャ): 立ち上がリエッジ															
1	1	両エッジ検出 (ハイレベル幅測定選択) スタートトリガ: 立ち上がリエッジ ストップトリガ (キャプチャ): 立ち下がリエッジ															

24.3.3.5 TAUJnCSRm — TAUJn チャネルステータスレジスタ

このレジスタは、チャンネル m のオーバフロー状態を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 30_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.18 TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	予約ビット	リードした場合は不定値が読めます。
0	TAUJnOVF	カウンタオーバフロー状態を示します。 0: オーバフローが発生していない 1: オーバフローが発生 このビットは、次のモード時のみ使用します。 ・キャプチャモード ・キャプチャ&ワンカウントモード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0] の設定により異なります。

24.3.3.6 TAUJnCSCm — TAUJn チャネルステータスクリアレジスタ

このレジスタは、チャンネル m のオーバフローフラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUJn_base> + 40_H + m × 4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 24.19 TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUJnCLOV	0: 無効 (“0” を設定しても オーバフローフラグ TAUJnCSRm.TAUJnOVF ビットに影響はありません。) 1: オーバフローフラグ TAUJnCSRm.TAUJnOVF をクリア

24.3.3.7 TAUJnTS — TAUJn チャンネルスタートトリガレジスタ

このレジスタは、各チャンネルのカウンタ動作を許可します。

アクセス 8ビット単位でライトのみ可能です。リード値は常に00_Hです。

アドレス <TAUJn_base> + 54_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTS03	TAUJnTS02	TAUJnTS01	TAUJnTS00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 24.20 TAUJnTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書きください。
3 ~ 0	TAUJnTSm	チャンネル m のカウンタ動作を許可します。 0 : 無効 (“0” を設定してもチャンネル m のカウンタ動作を許可しません。) 1 : カウンタ動作を許可し、TAUJnTE.TAUJnTEm = 1 を設定。 TAUJnTE.TAUJnTEm = 1 を設定しても、カウント動作が許可されるだけです。 カウントが開始されるかどうかは、選択されている動作モードによって異なります。

24.3.3.8 TAUJnTE — TAUJn チャンネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可/禁止を示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 50_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTE03	TAUJnTE02	TAUJnTE01	TAUJnTE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.21 TAUJnTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ~ 0	TAUJnTEm	チャンネル m のカウンタ動作の許可/禁止を示します。 0 : カウンタ動作禁止 1 : カウンタ動作許可 TAUJnTSSTm (チャンネル連動スタートトリガ信号) のトリガ入力を検知するか、 TAUJnTS.TAUJnTSm を 1 にセットすると、このビットが 1 に設定されます。 TAUJnTT.TAUJnTTm を 1 にセットすると、このビットが 0 にリセットされま ず。

24.3.3.9 TAUJnTT — TAUJn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス 8ビット単位でライトのみ可能です。リード値は常に00_Hです。

アドレス <TAUJn_base> + 58_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTT03	TAUJnTT02	TAUJnTT01	TAUJnTT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 24.22 TAUJnTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTTm	<p>チャンネル m のカウンタ動作を停止します。</p> <p>0 : 無効 (“0” を設定してもチャンネル m のカウンタ動作を停止しません。)</p> <p>1 : カウンタ動作を停止し、TAUJnTE.TAUJnTEm をリセットします。</p> <p>TAUJnCnTm、TAUJnTO.TAUJnTOm、TAUJnTTOuTm は、カウント停止前の値を保持します。</p>

24.3.4 TAUJn 一斉書き換えレジスタの詳細

24.3.4.1 TAUJnRDE — TAUJn チャンネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUJnCDRm の一斉書き換えを許可/禁止します。また、PWM 出力機能で動作しているデータレジスタ TAUJnTOL.TAUJnTOLm の一斉書き換えを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + A0_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDE03	TAUJnRDE02	TAUJnRDE01	TAUJnRDE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.23 TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnRDEm	チャンネル m のデータレジスタの一斉書き換えを許可/禁止します。 0: 一斉書き換え禁止 1: 一斉書き換え許可

24.3.4.2 TAUJnRDM — TAUJn チャンネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + A4_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDM03	TAUJnRDM02	TAUJnRDM01	TAUJnRDM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.24 TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0: マスタチャンネルのカウンタがカウントを開始したとき 1: 設定禁止 これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

24.3.4.3 TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス 8ビット単位でライトのみ可能です。リード値は常に00_Hです。

アドレス <TAUJn_base> + 68_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDT03	TAUJnRDT02	TAUJnRDT01	TAUJnRDT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 24.25 TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	ライトする場合はリセット後の値を書き込んでください。
3 ~ 0	TAUJnRDTm	一斉書き換え許可状態をトリガします。 0: 無効 (“0” を設定しても一斉書き換え許可状態をトリガしません。) 1: 一斉書き換え許可状態をトリガする。一斉書き換え許可フラグ (TAUJnRSF.TAUJnRSFm) が 1 に設定されます。システムは一斉書き換えトリガを待ちます。 これらのビット設定は TAUJnRDE.TAUJnRDEm = 1 時のみ適用されます。

24.3.4.4 TAUJnRSF — TAUJn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TAUJn_base> + 6C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRSF03	TAUJnRSF02	TAUJnRSF01	TAUJnRSF00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.26 TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ~ 0	TAUJnRSFm	一斉書き換えの状態を示します。 0: 一斉書き換えトリガの発生により、一斉書き換えが完了したことを示します。 1: 一斉書き換え許可状態 (TAUJnRDT.TAUJnRDTm = 1) で一斉書き換えのトリガ待ちを示します。

24.3.5 TAUJn 出力レジスタの詳細

24.3.5.1 TAUJnTOE — TAUJn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可/禁止します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 60_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOE03	TAUJnTOE02	TAUJnTOE01	TAUJnTOE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.27 TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOEm	チャネル単体出力機能を許可/禁止します。 0: タイマ単体出力機能を禁止 (ソフトウェア機能) 1: タイマ単体出力機能を許可

24.3.5.2 TAUJnTO — TAUJn チャネル出力レジスタ

このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 5C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTO03	TAUJnTO02	TAUJnTO01	TAUJnTO00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.28 TAUJnTO レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOm	このレジスタは、TAUJnTTOUTm レベルを指定およびリードします。 0: ローレベル 1: ハイレベル チャネル単体出力機能が禁止されている (TAUJnTOE.TAUJnTOEm = 0) TAUJnTO.TAUJnTOm ビットのみライト可能です。

24.3.5.3 TAUJnTOM — TAUJn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 98_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOM03	TAUJnTOM02	TAUJnTOM01	TAUJnTOM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.29 TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOMm	出力モードを指定します。 0: チャネル単体動作 1: チャネル連動動作 出力モードは各チャネル出力制御ビット TAUJnTOE.TAUJnTOEm の設定によって変わります。

24.3.5.4 TAUJnTOC — TAUJn チャンネル出力コンフィグレーションレジスタ

このレジスタは、TAUJnTOM.TAUJnTOMm とともに各チャンネルの出力モードを指定します。

アクセス 8ビット単位でリード/ライト可能です。カウンタ停止中 (TAUJnTE.TAUJnTEm = 0) のときのみ、ライト可能です。

アドレス <TAUJn_base> + 9C_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOC03	TAUJnTOC02	TAUJnTOC01	TAUJnTOC00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.30 TAUJnTOC レジスタの内容

ビット位置	ビット名	機能															
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
3 ~ 0	TAUJnTOCm	出力モードを指定します。 0: 動作モード1 (トグルモード) 1: 設定禁止 ソフトウェア制御のチャンネル単体出力モード以外のすべての出力モードでは、必ず0に設定してください。 次の表にあるように、出力モードは TAUJnTOM.TAUJnTOMm の設定によっても異なります。															
		<table border="1"> <thead> <tr> <th>TAUJnTOMm</th> <th>TAUJnTOCm</th> <th>機能説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TAUJnTOMm	TAUJnTOCm	機能説明	0	0	トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。	0	1	設定禁止	1	0	チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。	1	1	設定禁止
TAUJnTOMm	TAUJnTOCm	機能説明															
0	0	トグルモード: INTTAUJnIm 発生時にトグル動作が行われます。															
0	1	設定禁止															
1	0	チャンネル連動動作モード1: マスタチャンネルで INT が発生するとセット、スレーブチャンネルで INT が発生するとリセットされます。															
1	1	設定禁止															

24.3.5.5 TAUJnTOL — TAUJn チャネル出力アクティブレベルレジスタ

このレジスタは、チャネル出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAUJn_base> + 64_H

リセット後の値 00_H どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOL03	TAUJnTOL02	TAUJnTOL01	TAUJnTOL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.31 TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	TAUJnTOLm	チャネル m 出力ビット (TAUJnTO.TAUJnTOm) の出力論理を指定します。 0: 正論理 (アクティブハイ) 1: 負論理 (アクティブロウ)

24.4 操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャンネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャンネルの全回路およびレジスタが初期化されます。

TAUJnTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

1. TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJn 機能を設定してください。
 - 動作モードを設定してください。
 - チャンネル出力モードを設定してください。
 - その他の制御ビットを設定してください。
3. TAUJnTS.TAUJnTsm ビットを 1 に設定してカウンタ動作を許可してください。カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
4. カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUJnTT.TAUJnTTm ビットに 1 を設定してください。強制リスタートは TAUJnTS.TAUJnTsm ビットに 1 を設定してください。
5. TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備 考

1. 必要な制御ビットと各機能の動作の詳細は、
 - ・「24.12 チャンネル単体動作機能」
 - ・「24.13 チャンネル連動動作機能」を参照してください。
2. 機能を変更する場合は、カウント停止中 (TAUJnTE.TAUJnTEm = 0) に行ってください。

24.5 チャンネル連動動作の概念

チャンネル連動動作では、複数のチャンネルが依存関係にあるか、ほかのチャンネルの変化に影響を受けます。したがって、チャンネル連動機能に対していくつかのルールが適用されます。

ルールの詳細は、「**24.5.1 チャンネル連動動作のルール**」に示します。

チャンネル連動動作の2つの特殊な機能の詳細を次の節で説明します。

- 「**24.5.2 連動チャンネルカウンタの同時動作開始/停止**」
- 「**24.6 一斉書き換え**」

24.5.1 チャンネル連動動作のルール

マスタおよびスレーブチャンネル数

- マスタチャンネルには、偶数チャンネル (CH0、CH2) のみ設定できます。スレーブチャンネルには、CH0を除くすべてのチャンネルを設定できます。
- マスタチャンネルより下位のチャンネルのみスレーブチャンネルとして設定でき、1つのマスタチャンネルに対し複数のスレーブチャンネルを設定できます。
例：CH2がマスタチャンネルの場合、CH3をスレーブチャンネルに設定できます。
- マスタチャンネルを2つ使用する場合、マスタチャンネルを跨いだスレーブチャンネルの設定はできません。
例：CH0、CH2がマスタチャンネルの場合、CH0に対してCH1をスレーブチャンネルとして設定できますが、CH3は設定できません。

動作クロック

- マスタチャンネルと連動するスレーブチャンネルには同じ動作クロックを設定する必要があります。マスタチャンネルとスレーブチャンネルのTAUJnCMORm.TAUJnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャンネルの使用と動作クロックの基本的な概念を図24.3に示します。

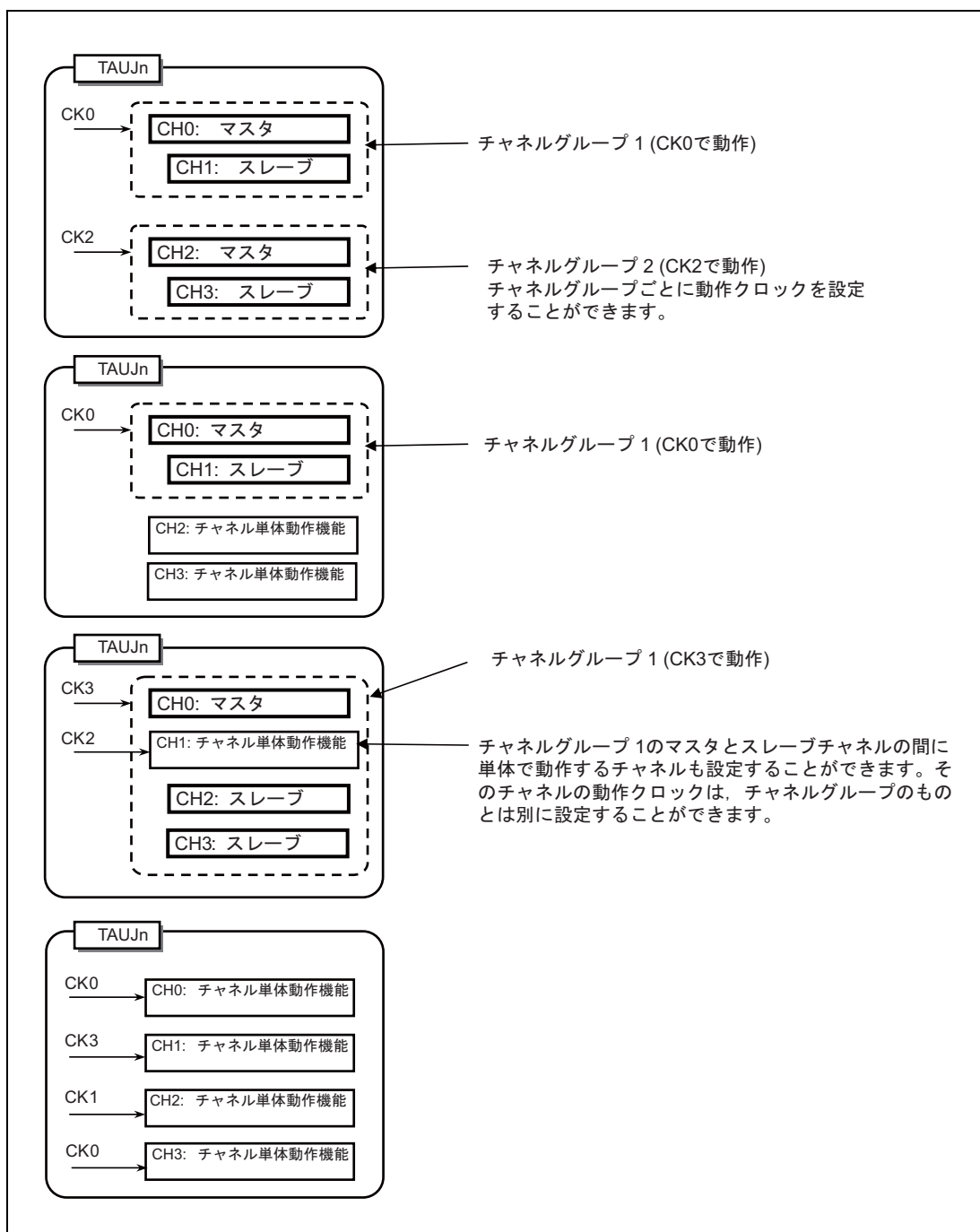


図 24.3 チャンネルのグループ化と動作クロックの割り当て

24.5.2 連動チャンネルカウンタの同時動作開始／停止

連動するチャンネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

24.5.2.1 ユニット内の連動チャンネルカウンタの同時動作開始／停止

- 連動するチャンネルを同時に開始させるためには、それらの TAUJnTS.TAUJnTSM ビットを同時に設定する必要があります。
- 連動するチャンネルを同時に停止させるためには、それらの TAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSM ビットに 1 を設定することにより、対応する TAUJnTE.TAUJnTEm ビットが 1 にセットされ、カウンタ動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

24.5.2.2 ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

24.6 一斉書き換え

24.6.1 動作概要

一斉書き換えとは、複数チャンネルのコンペア/スタート値と出力論理を一斉に書き換えることを指します。

対応するデータレジスタと制御レジスタ (TAUJnCDRm、TAUJnTOL) は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、マスタチャンネルのカウンタが特定の値に達した場合にトリガされます。

一斉書き換えの設定を表 24.32 に示します (TAUJnRDM.TAUJnRDMm = 0)。

表 24.32 一斉書き換えの設定

方式	一斉書き換えがトリガされるタイミング	TAUJnRDE.TAUJnRDEm
—	一斉書き換えが行われない場合	0
A	マスタチャンネルがカウントを再開/開始した場合	1

24.6.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3つの主なブロック (初期設定、カウント開始 & カウンタ動作、一斉書き換え) は後述します。

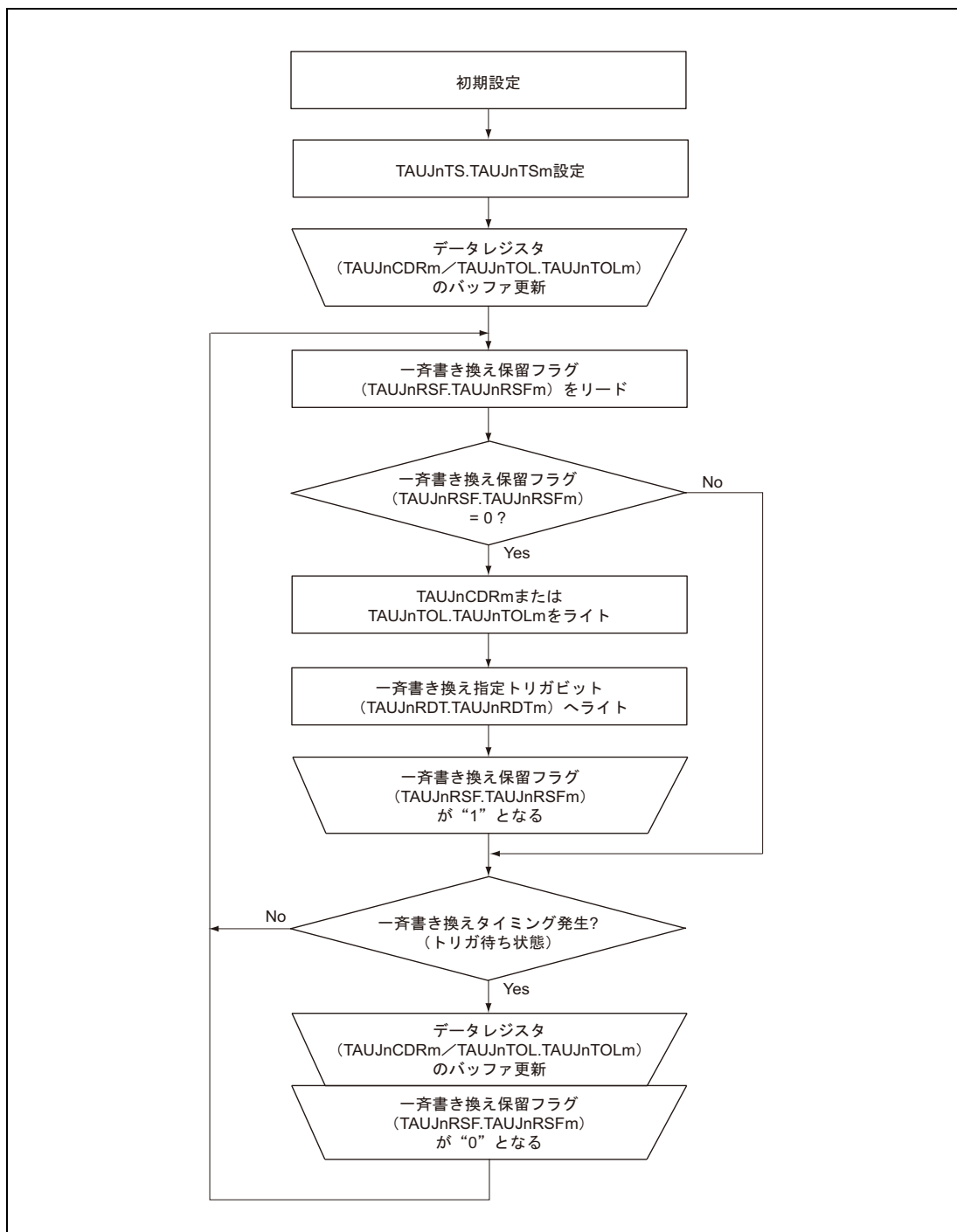


図 24.4 一斉書き換えの基本手順

24.6.2.1 初期設定

- チャンネル m にて一斉書き換えを許可するには、 $\text{TAUJnRDE.TAUJnRDEm} = 1$ を設定してください。

24.6.2.2 カウント開始とカウント動作

- チャンネルグループに属するすべての TAUJnCNTm カウンタ動作を開始するには、対応する TAUJnTS.TAUJnTSM ビットを 1 に設定してください。 $\text{TAUJnTOL.TAUJnTOLm}$ とデータレジスタ (TAUJnCDRm) の値は、対応する $\text{TAUJnTOL.TAUJnTOLm}$ バッファ ($\text{TAUJnTOL.TAUJnTOLm buf}$) とデータバッファレジスタ (TAUJnCDRm buf) にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット ($\text{TAUJnRDT.TAUJnRDTm}$) を 1 に設定することにより、リロードフラグ ($\text{TAUJnRSF.TAUJnRSFm}$) が 1 に設定され、一斉書き換えが許可されます。 $\text{TAUJnRSF.TAUJnRSFm}$ は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可 ($\text{TAUJnRSF.TAUJnRSFm} = 1$) されているかを確認するために $\text{TAUJnRSF.TAUJnRSFm}$ ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

24.6.2.3 一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可 ($\text{TAUJnRSF.TAUJnRSFm} = 1$) されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始/再開するときに適用されます。
- 一斉書き換えが完了すると、 $\text{TAUJnRSF.TAUJnRSFm}$ ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

24.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中 ($\text{TAUJnTE.TAUJnTEm} = 1$) は、 $\text{TAUJnRDE.TAUJnRDEm}$ 、 $\text{TAUJnRDM.TAUJnRDMm}$ を変更することはできません。
- $\text{TAUJnTOL.TAUJnTOLm}$ は、PWM 出力機能で動作している場合のみ書き換えることができます。ほかの機能を使用する場合は、 $\text{TAUJnTOL.TAUJnTOLm}$ はカウントを開始する前にライトする必要があります。ほかの機能を使用しているときに書き換えた場合、 TAUJnTTOUtm は不正な波形を出力します。

24.6.4 一斉書き換えの方法

PWM 出力機能での一斉書き換えの方法を次の図で示します。

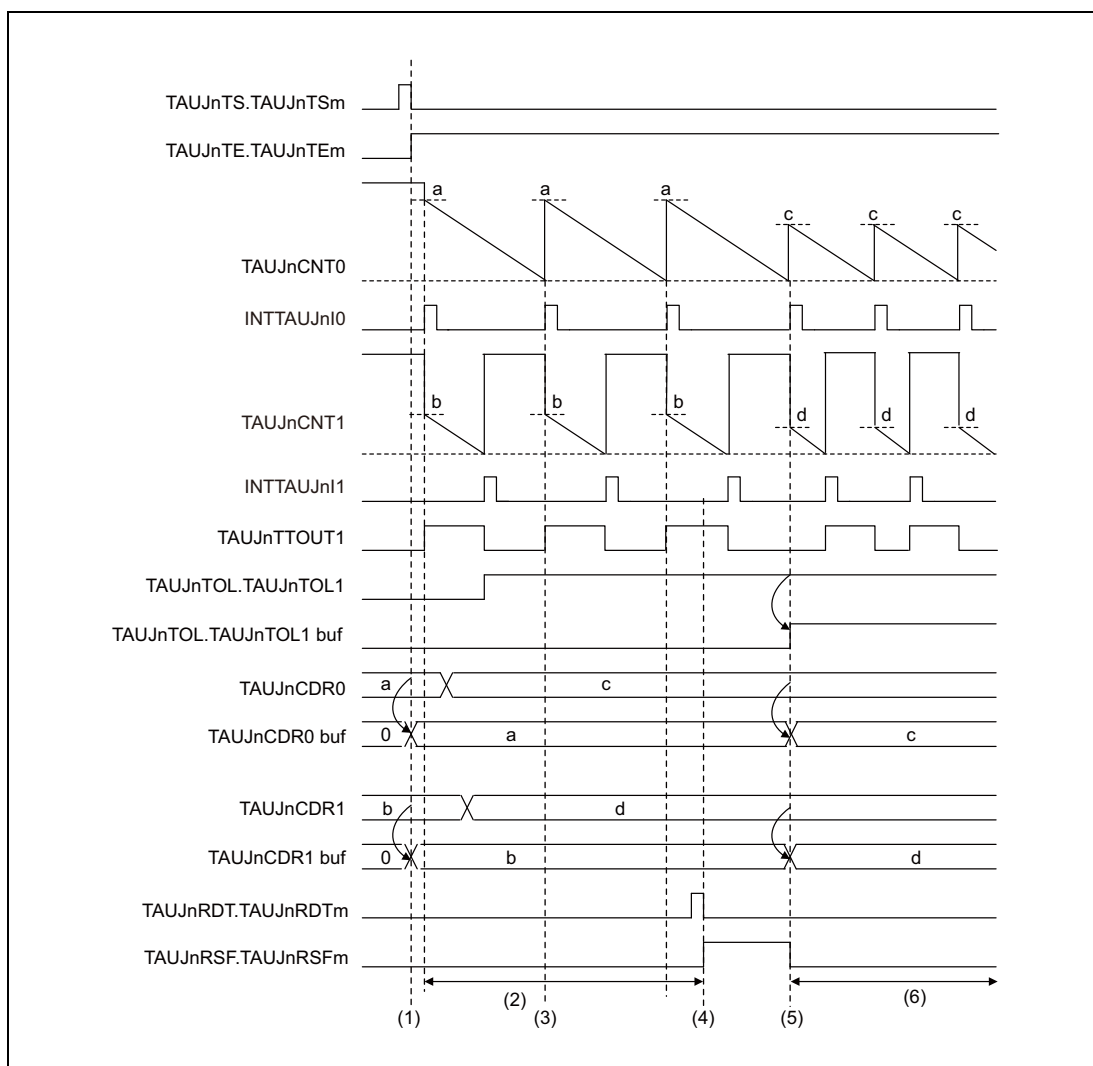


図 24.5 PWM 出力機能での一斉書き換え

設定

CH0 は、PWM 出力機能のマスターチャンネルです。CH1 は、PWM 出力機能のスレーブチャンネルです。一斉書き換えは、マスターチャンネルがカウント開始時に適用されます。

説明：

- (1) TAUJnTS.TAUJnTSM = 1 に設定すると、TAUJnCDRm の値が TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。
- (2) TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込みます。
- (3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません (TAUJnRSF.TAUJnRSFm = 0)。
- (4) リロードデータトリガビット (TAUJnRDT.TAUJnRDTm) を 1 に設定することにより、ステータスフラグが設定され (TAUJnRSF.TAUJnRSFm = 1)、一斉書き換えが許可されます。
- (5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。
- (6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

24.7 チャネル出力モード

TAUJnTTOUTm 端子の出力は、2つの方法で制御することができ、2つ目の方法はさらに個別のモードに分かれています。

- ソフトウェア制御 (TAUJnTOE.TAUJnTOEm = 0)

ソフトウェアで制御した場合、出力レジスタビット (TAUJnTO.TAUJnTOm) に書き込んだ値は、出力端子 (TAUJnTTOUTm) から出力されます。

- TAUJ 信号による制御 (TAUJnTOE.TAUJnTOEm = 1)

TAUJ 信号で制御した場合、TAUJnTTOUTm の出力レベルはセット/リセット、または内部信号によりトグルされます。これに応じて、TAUJnTTOUTm の値を反映するために、TAUJnTO.TAUJnTOm の値は更新されます。

- 単体制御 (TAUJnTOM.TAUJnTOMm = 0)

単体動作の場合、TAUJnTTOUTm 端子の出力はチャンネル m の設定のみの影響を受けます。したがって、チャンネル単体動作を指定 (TAUJnTOM.TAUJnTOMm = 0) する必要があります。

- 連動制御 (TAUJnTOM.TAUJnTOMm = 1)

連動動作の場合、TAUJnTTOUTm 端子の出力は、チャンネル m とその他のチャンネルの設定の影響を受けます。したがって、すべての連動するチャンネルに対してチャンネル連動動作を指定する必要があります (TAUJnTOM.TAUJnTOMm = 1)。

TAUJnTO.TAUJnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJnTTOUTm の現在の値を確認することができます。

(1) 制御ビット

特定のチャンネル出力モードを選択するために必要な制御ビットの設定は、「表 24.33 チャネル出力モード」に示します。

チャンネル出力モードの詳細は次の節を参照してください。

- 「24.7.2 TAUJn 信号により単体制御されるチャンネル出力モード」
- 「24.7.3 TAUJn 信号により連動制御されるチャンネル出力モード」

(2) TAUJnTOm ビットの一括操作

TAUJnTO.TAUJnTOm ビットへの設定値の反映/非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット = 0 を設定したビット (チャンネル) にのみ、TAUJnTO.TAUJnTOm の設定値の書き込みが行われます。

TAUJnTOE.TAUJnTOEm ビット = 1 を設定したビット (チャンネル) は、TAUJnTO.TAUJnTOm の設定値は反映されません。

備考

TAUJnTO.TAUJnTOm ビットは、ビット番号とチャンネル番号が対応して配置しています。

(3) 出力論理

出力の正論理または負論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJnTOUTm 信号の出力は不定になります。

「24.6 一斉書き換え」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを次の表に示します (TAUJnTOC.TAUJnTOCm = 0)。

表 24.33 チャネル出力モード

チャネル出力モード	TAUJnTOE. TAUJnTOEm	TAUJnTOM. TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャネル単体出力モード	0	X
TAUJ 信号による単体動作制御		
チャネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャネル連動出力モード 1	1	1

- 表に記述のない組み合わせは禁止です。
- “x” が記されているビットは、任意の値を設定できます。

備 考

次のビットは、カウント動作中 (TAUJnTE.TAUJnTEm = 1) は変更しないでください。

- TAUJnTOM.TAUJnTOMm
- TAUJnTOC.TAUJnTOCm

24.7.1 チャンネル出力モードを指定するための基本手順

TAUJnTTOUTm チャンネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります (TAUJnTOE.TAUJnTOEm = 0)。

1. TAUJnTO.TAUJnTOm を設定して TAUJnTTOUTm 出力の初期レベルを指定してください。
2. 「表 24.33 チャンネル出力モード」を参照してチャンネル出力モードを設定し、TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。
3. カウンタのカウントを開始してください (TAUJnTS.TAUJnTSm = 1)。

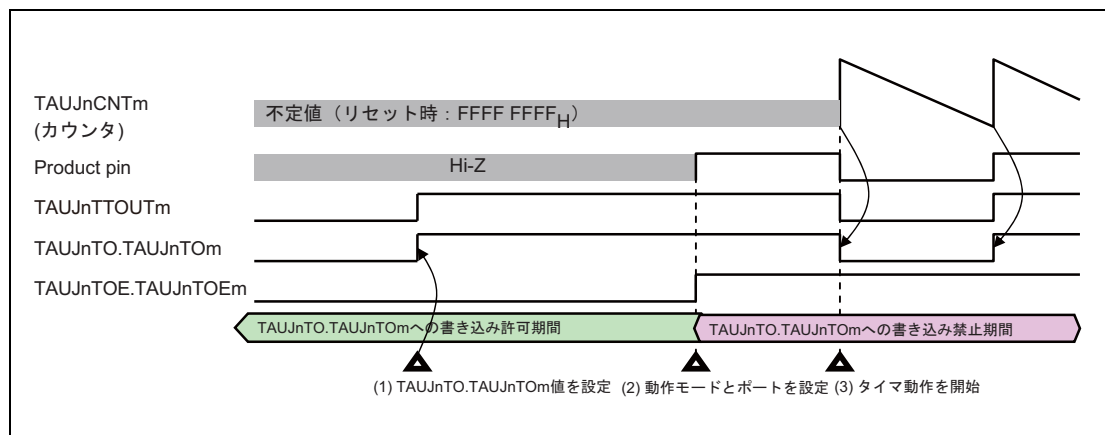


図 24.6 TAUJnTTOUTm チャンネル出力モードを指定するための基本手順

24.7.2 TAUJn 信号により単体制御されるチャンネル出力モード

本節では、TAUJn 信号により単体制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 24.33 チャンネル出力モード」に示します。

(1) チャンネル単体出力モード 1

セット/リセット条件

この出力モードでは、INTTAUJnIm が検出されると TAUJnTTOUTm がトグルされます。TAUJnTOL.TAUJnTOLm の値は無視されます。

前提条件

「表 24.33 チャンネル出力モード」に示す条件以外の条件はありません。

24.7.3 TAUJn 信号により連動制御されるチャンネル出力モード

本節では、TAUJn 信号により連動制御されるチャンネル出力モードを示します。モードを指定する制御ビットは、「表 24.33 チャンネル出力モード」に示します。

(1) チャンネル連動出力モード 1

セット/リセット条件

この出力モードでは、マスタチャンネルの INTTAUJnIm がセット信号、スレーブチャンネルの INTTAUJnIm がリセット信号となります。マスタチャンネルの INTTAUJnIm とスレーブチャンネルの INTTAUJnIm が同時発生した場合、スレーブチャンネルの INTTAUJnIm (リセット信号) は、マスタチャンネルの INTTAUJnIm (セット信号) より優先されます (マスタチャンネルは無視されます)。

前提条件

「表 24.33 チャンネル出力モード」に示す条件以外の条件はありません。

24.8 各動作モードでのカウント開始タイミング

本節では、各動作モードにおいて TAUJnTS.TAUJnTSM を 1 に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタ (TAUJnCDRm レジスタ) の値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注 意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

24.8.1 インターバルタイマモード、キャプチャモード、カウントキャプチャモード

TAUJnTS.TAUJnTSM が 1 に設定されたあと、カウンタは次のカウントクロックサイクル開始時間に動作を開始します。このとき、データレジスタの値もロードされます。

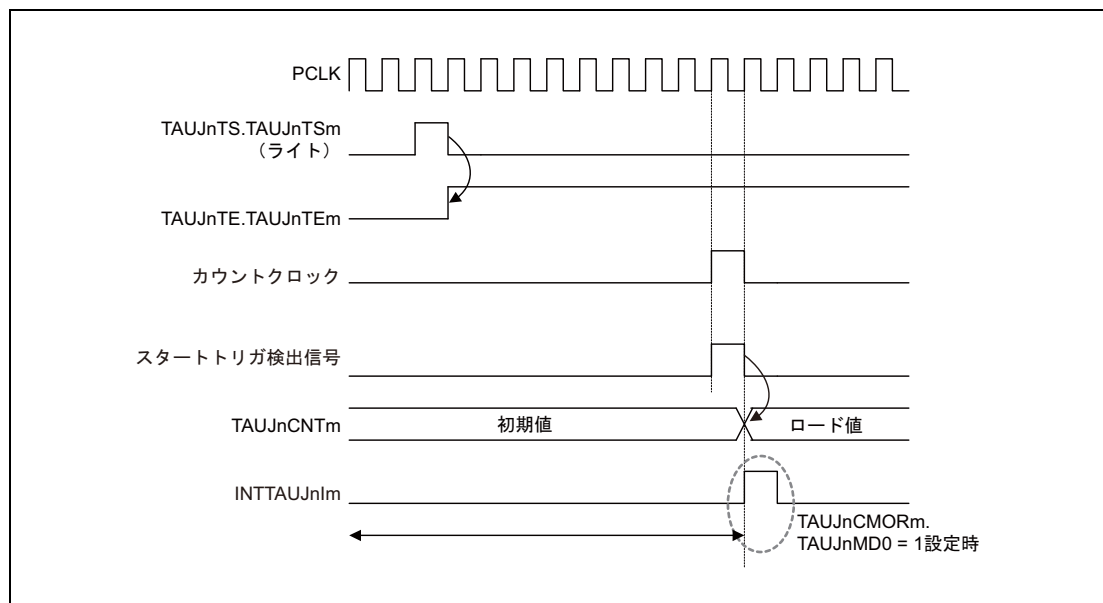


図 24.7 インターバルタイマモード、キャプチャモード、カウントキャプチャモードでの開始タイミング

24.8.2 その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUJnTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

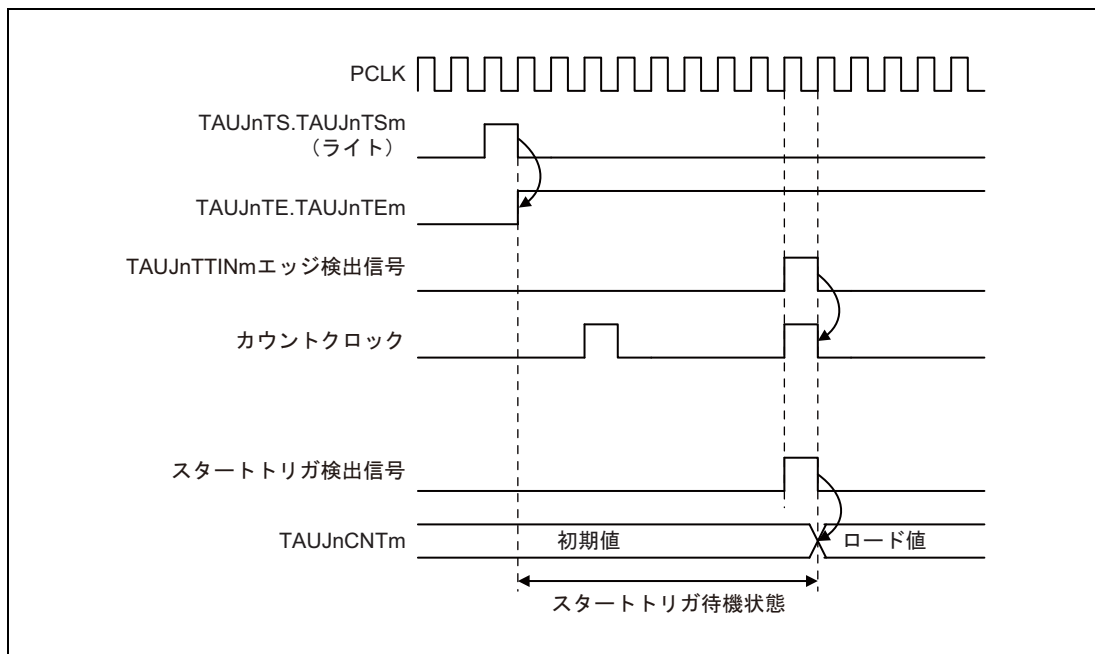


図 24.8 その他の動作モードでのカウント開始タイミング

24.9 カウント開始／リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成

カウンタのカウント開始時、TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。TAUJnCMORm.TAUJnMD0 ビットがカウント開始時の INTTAUJnIm 発生、TAUJnTTOUTm に与える影響は、選択した機能に依存します。詳細は、各機能の TAUJnCMORm.TAUJnMD0 の説明を参照してください。

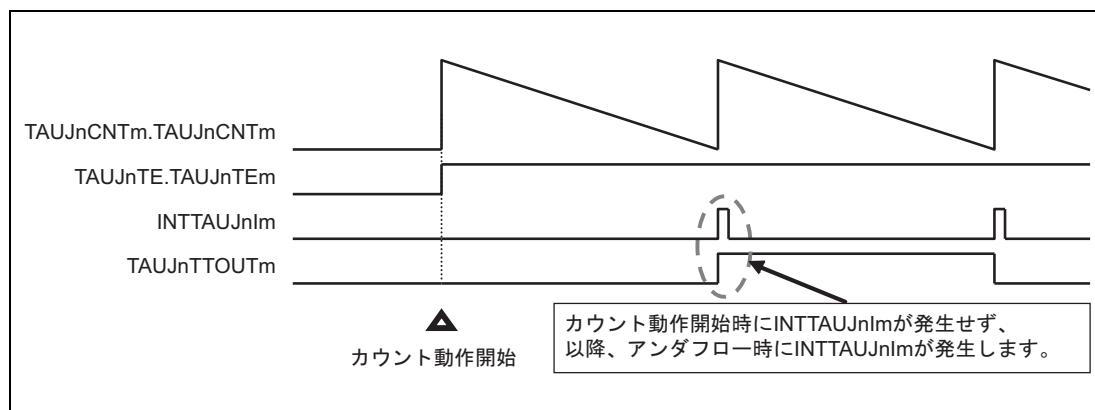


図 24.9 INTTAUJnIm の発生タイミング (TAUJnCMORm.TAUJnMD0 = 0 設定時)

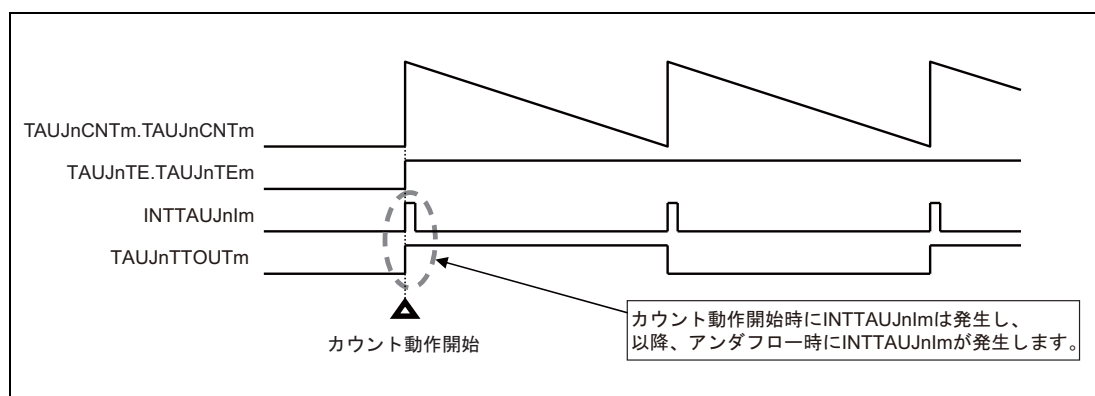


図 24.10 INTTAUJnIm の発生タイミング (TAUJnCMORm.TAUJnMD0 = 1 設定時)

24.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF\ FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャンネル動作と、ダウンカウントを行うモードでのチャンネル動作を組み合わせで割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャンネルに適切かは、ファーストチャンネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャンネルに、ファーストチャンネルでのオーバフロー発生と同時に $0000\ 0000_H$ になるようなダウンカウントを行う動作モードを設定します ($TAUJnCNTm = FFFF\ FFFF_H$)。
- セカンドチャンネルの $TAUJnCDRm$ を $FFFF\ FFFF_H$ に設定します。
- 2つのチャンネルは同じ速度でカウントを行う必要があります (つまり、カウントクロックが同じでなければなりません)。

結果：

ファーストチャンネルのアップカウントでのオーバフロー発生 ($TAUJnCNTm = FFFF\ FFFF_H$) と同時にセカンドチャンネルのダウンカウンタが $0000\ 0000_H$ になります。そしてセカンドチャンネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

24.10.1 TAUJnTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャンネルのカウンタを同時に開始することで、TAUJnTTINm 入力位置検出機能の TAUJnCnTm の FFFF FFFF_H オーバフローをインターバルタイマ機能の INTTAUJnIm で検出できます。

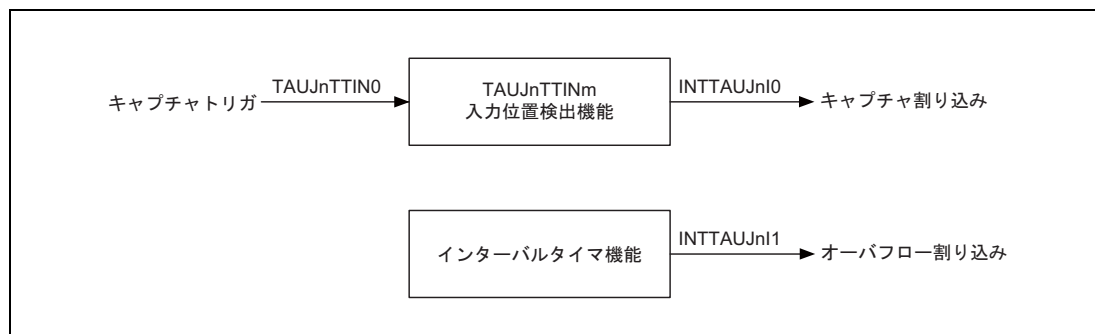


図 24.11 TAUJnTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ例 (Ch0, Ch1 の場合)

タイミング図

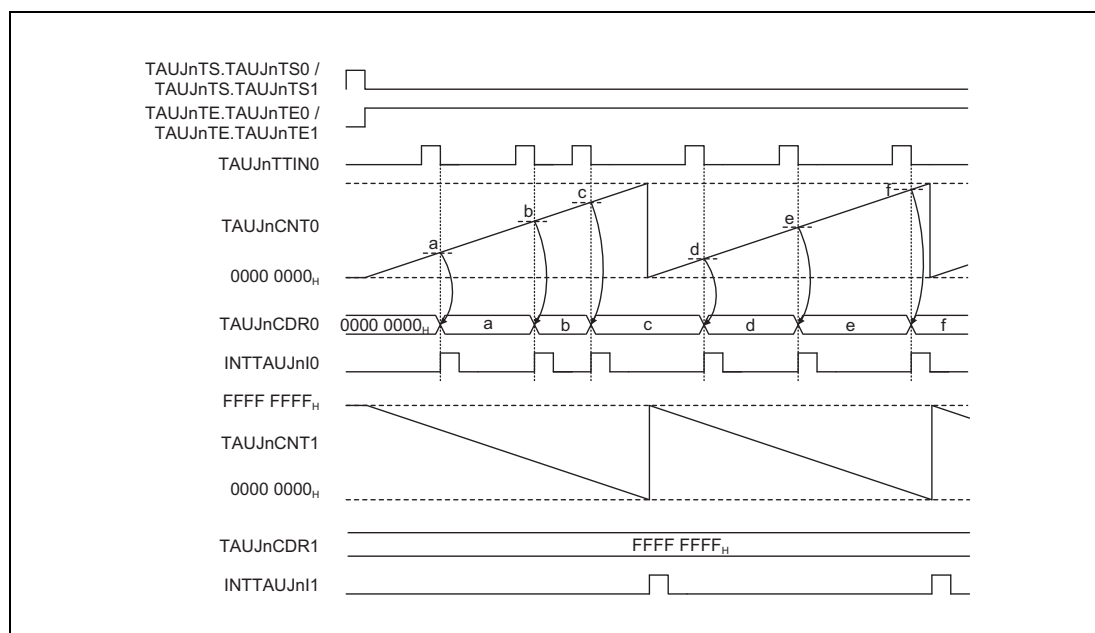


図 24.12 TAUJnTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生例 (Ch0, Ch1 の場合)

24.11 TAUJnTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大1動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

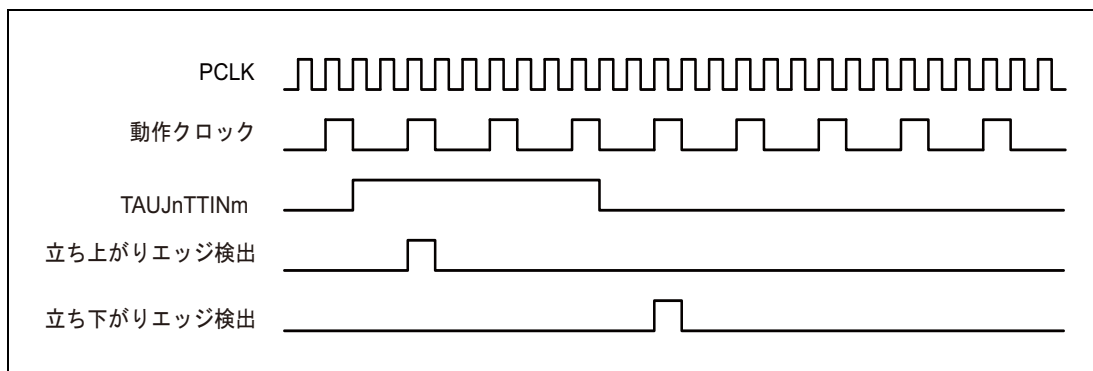


図 24.13 エッジ検出基本動作タイミング

図 24.13 は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

- ・ノイズ・フィルタ遅延時間 + エッジ検出遅延時間 (最大1 サンプルング・クロック)

24.12 チャネル単体動作機能

TAUJの各種単体動作機能を次の項で説明します。単体動作機能の概要は、「24.2 概要」を参照してください。

24.12.1 インターバルタイマ機能

24.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み (INTTAUJnIm) を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJnTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります
(「表 24.34 インターバルタイマ機能の TAUJnCMORm レジスタの内容」参照)。
- チャネル出力モードは、チャネル単体出力モード1に設定する必要があります。
「24.7 チャネル出力モード」を参照してください。

機能説明

チャネルトリガビット (TAUJnTS.TAUJnTSM) を1に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000 0000_H になると、INTTAUJnIm が発生し、TAUJnTTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を続けます。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を1に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は0に設定されます。TAUJnCNTm と TAUJnTTOUTm は停止しますが、値は保持します。TAUJnTS.TAUJnTSM を1に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTSM を1に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

条件

TAUJnCMORm.TAUJnMD0 ビットが0に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJnTTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が1に設定された場合に対して、反転された TAUJnTTOUTm 信号が出力されます。詳細は、「24.9 カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成」を参照してください。

24.12.1.2 算出式

INTTAUJnIm の周期 = カウントクロック周期 × (TAUJnCDRm + 1)

TAUJnTTOUm の矩形波周期 = カウントクロック周期 × (TAUJnCDRm + 1) × 2

24.12.1.3 ブロック図と基本タイミング図

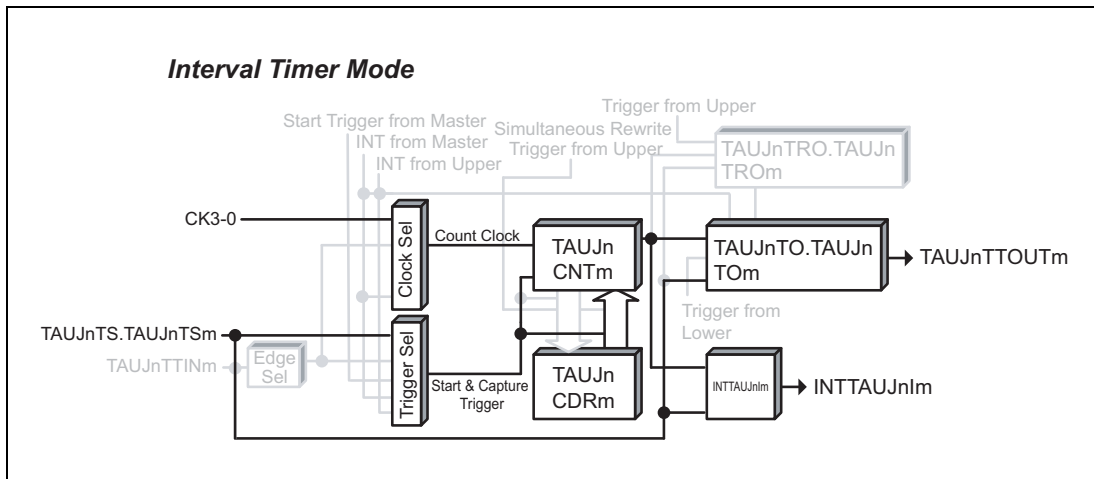


図 24.14 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)

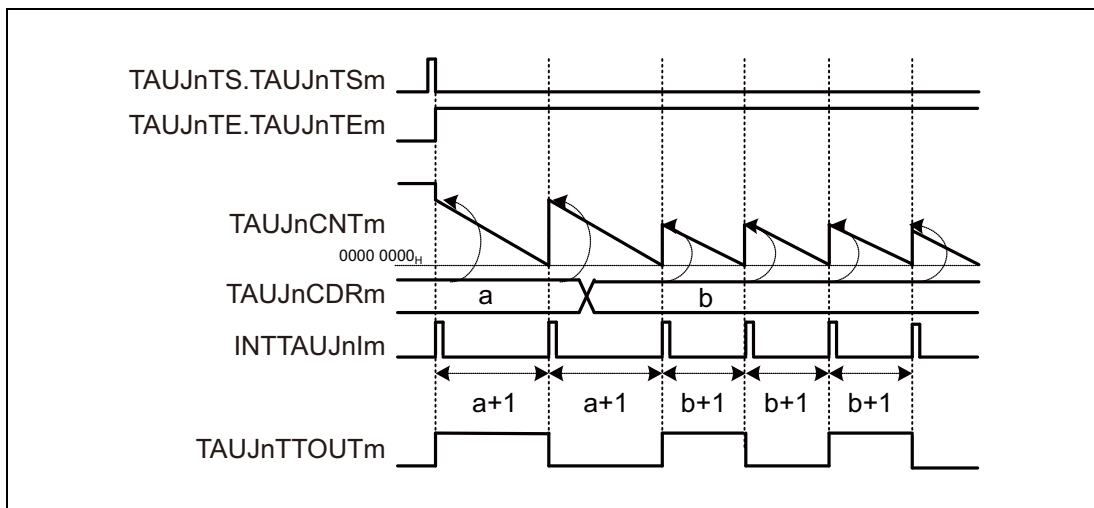


図 24.15 インターバルタイマ機能の基本タイミング図

24.12.1.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.34 インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	000 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	ライト時はリセット後の値を設定してください。
4 ~ 1	TAUJnMD[4:1]	0000 _B を書いてください。
0	TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生せず、TAUJnTTOUtm はトグルされない 1: 動作開始または再開時に INTTAUJnIm が発生し、TAUJnTTOUtm はトグルされる

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.35 インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライト時はリセット後の値を設定してください。
1, 0	TAUJnTIS[1:0]	00: 未使用、00 を設定

(3) チャネル出力モード

表 24.36 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1 _B を書いてください。
TAUJnTOM.TAUJnTOMm	0 _B を書いてください。
TAUJnTOC.TAUJnTOCm	0 _B を書いてください。
TAUJnTOL.TAUJnTOLm	0 _B を書いてください。

備考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJnTTOUTm を割り込みとは独立させて制御することができます。詳細は「24.7 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは0に設定する必要があります。

表 24.37 インターバルタイマ機能の一斉書き換え設定

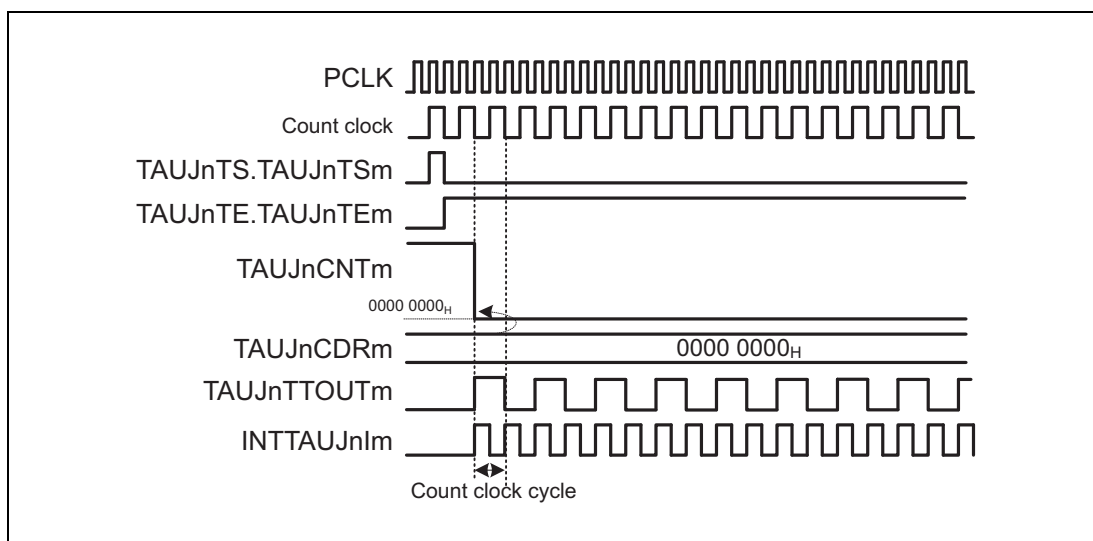
ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

24.12.1.5 インターバルタイマ機能の操作手順

表 24.38 インターバルタイマ機能の操作手順

	操作	TAUJnの状態
動作再開	チャンネルの初期設定 チャンネルの初期設定 TAUJnCMORm、TAUJnCMURm レジスタを「表 24.34 インターバルタイマ機能の TAUJnCMORm レジスタの内容」、「表 24.35 インターバルタイマ機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「表 24.36 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
	動作開始 TAUJnTS.TAUJnTSM を 1 に設定します。 TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJnTTOUTm がトリガされます。
	動作中 TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJnTTOUTm がトリガされます。
	動作停止 TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

24.12.1.6 特定の設定時のタイミング図

(1) TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK/2図 24.16 TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK/2

- TAUJnCDRm = 0000 0000_H、かつカウントクロック = PCLK/2 の場合、カウントクロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- INTTAUJnIm がカウントクロックごとに発生するので、TAUJnTTOUTm はカウントクロックごとにトグルされます。

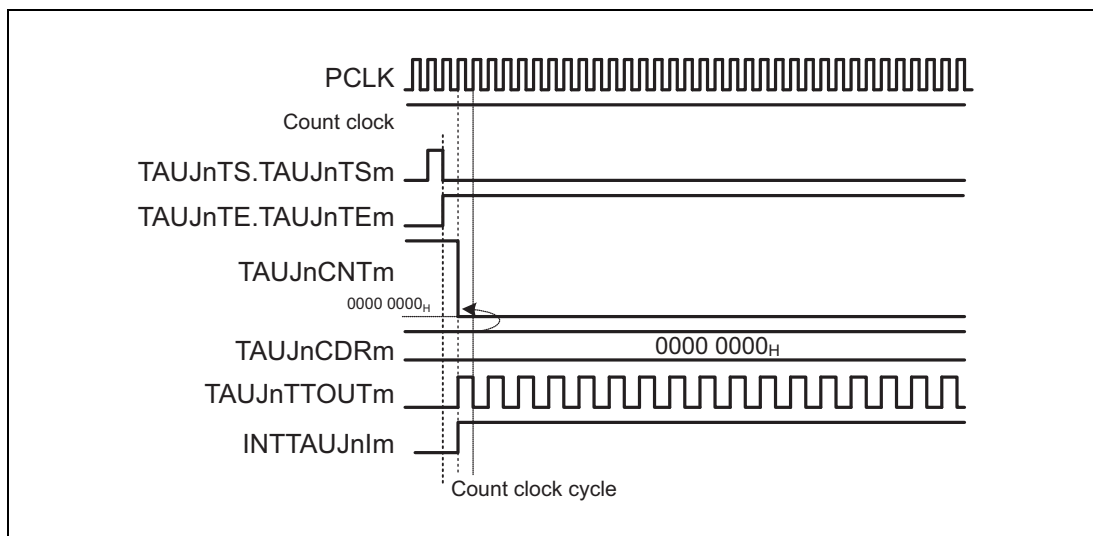
(2) TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK

図 24.17 TAUJnCDRm = 0000 0000_H、カウントクロック = PCLK

- TAUJnCDRm = 0000 0000_H、かつカウントクロック = PCLK の場合、PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- 継続的に INTTAUJnIm が発生しますが、割り込みは最初の 1 回のみ発生し、後続の割り込みは発生しません。PCLK クロックごとに TAUJnTTOUTm がトグルされます。

(3) 動作の停止と再開

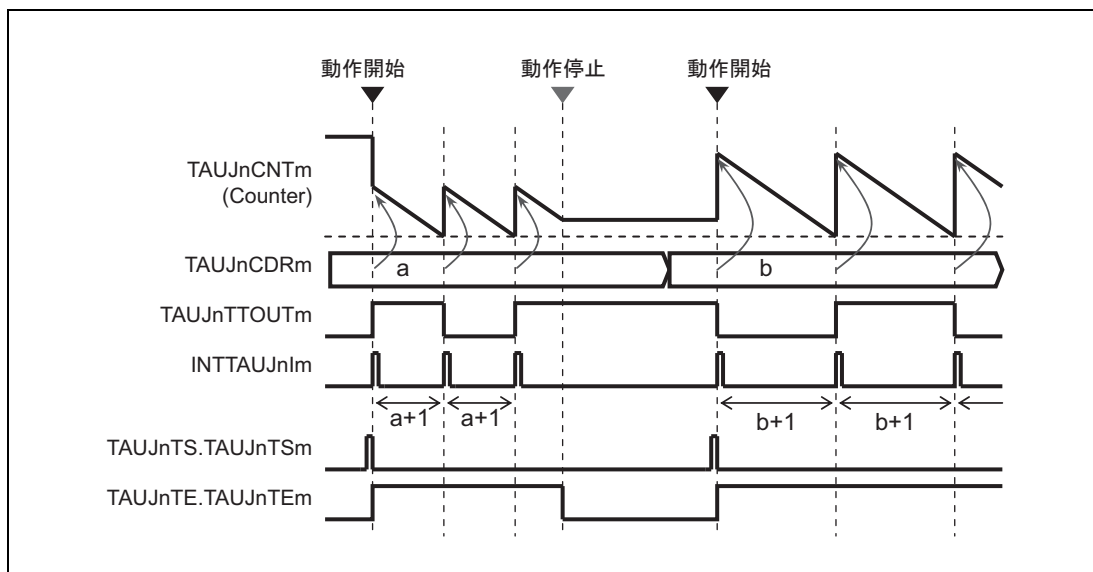


図 24.18 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 1)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCnTm と TAUJnTTOUtm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTsm を 1 に設定すると、カウントを再開できます。

(4) 強制リスタート

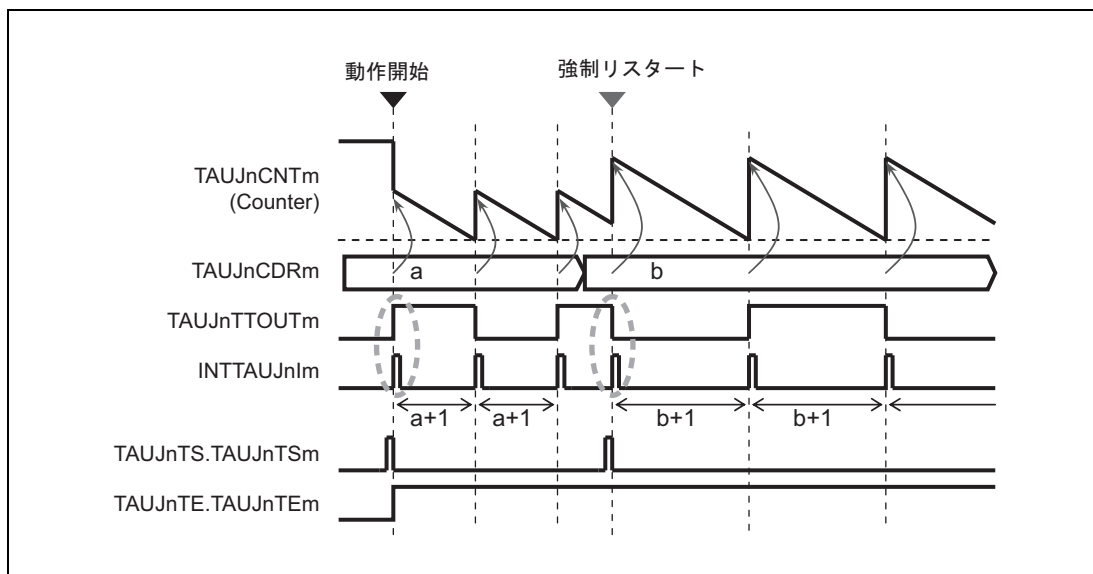


図 24.19 強制リスタート動作 (TAUJnCMORm.TAUJnMD0 = 1)

- カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます (強制リスタート)。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUJnCDRm の値は、TAUJnCNTm に反映されて、カウントを開始します。変更した TAUJnCDRm の値を即時反映させる場合は、強制リスタートをしてください。

24.12.2 TAUJnTTINm 入力インターバルタイマ機能

24.12.2.1 概要

概要

この機能は、一定間隔または有効な TAUJnTTINm 入力エッジが検出された場合に、タイマ割り込み (INTTAUJnIm) を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJnTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります (「表 24.39 TAUJnTTINm 入力インターバルタイマ機能の TAUJnCMORm レジスタの内容」参照)。
- チャンネル出力モードは、チャンネル単体出力モード 1 に設定する必要があります。「24.7 チャンネル出力モード」を参照してください。

機能説明

この機能は、有効な TAUJnTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します (「24.12.1 インターバルタイマ機能」参照)。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

24.12.2.2 算出式

INTTAUJnIm の周期 = カウントクロック周期 × (TAUJnCDRm + 1)

TAUJnTTOUTm の矩形波周期 = カウントクロック周期 × (TAUJnCDRm + 1) × 2

24.12.2.3 ブロック図と基本タイミング図

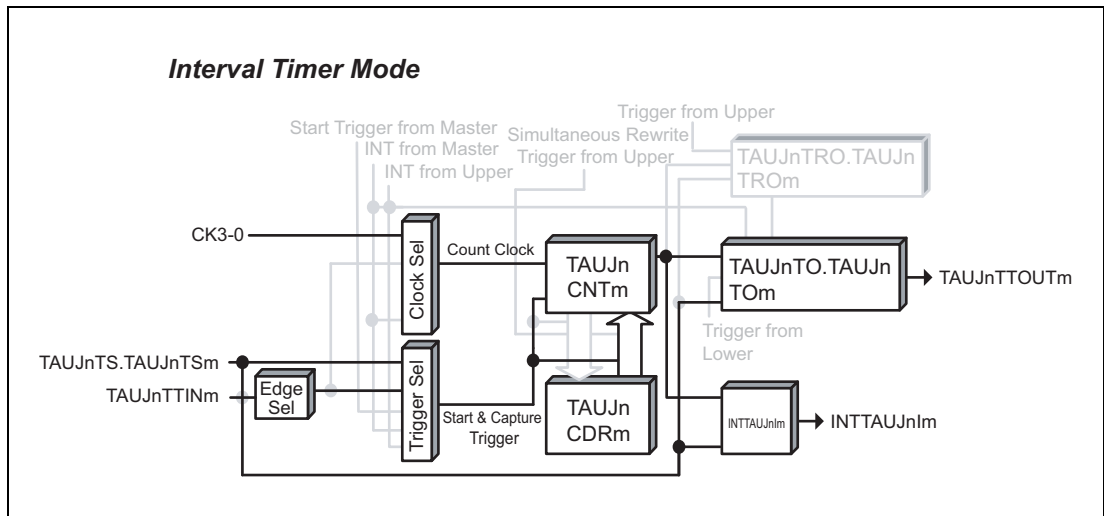


図 24.20 TAUJnTTINm 入カウンタールバタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する (TAUJnCMORm.TAUJnMD0 = 1)
- 立ち上がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)

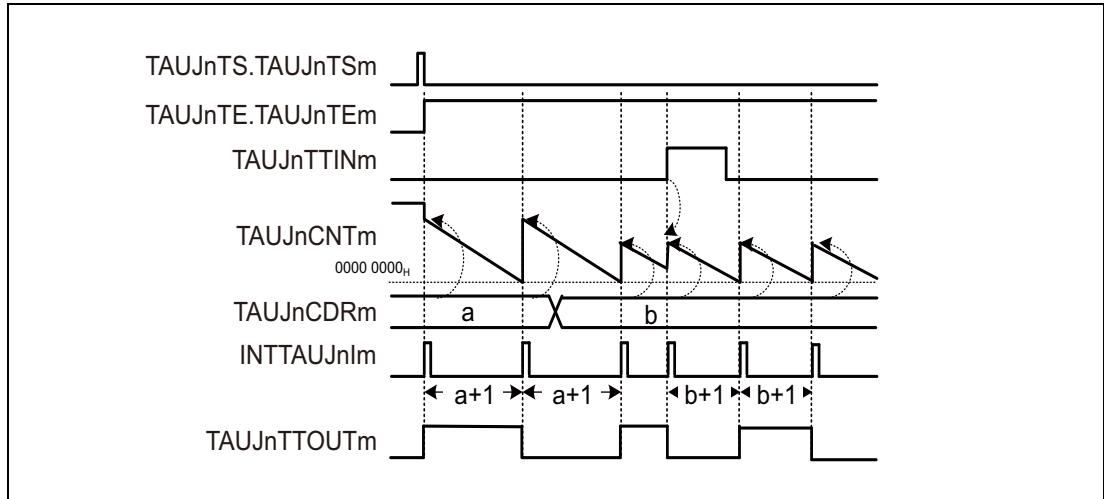


図 24.21 TAUJnTTINm 入カウンタールバタイマ機能の基本タイミング図

24.12.2.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.39 TAUJnTTINm 入カウンタバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	001 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	ライト時はリセット後の値を設定してください。
4 ~ 1	TAUJnMD[4:1]	0000 _B を書いてください。
0	TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生せず、TAUJnTTOUtm はトグルされない 1: 動作開始時に INTTAUJnIm が発生し、TAUJnTTOUtm はトグルされる

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.40 TAUJnTTINm 入カウンタバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライト時はリセット後の値を設定してください。
1, 0	TAUJnTIS[1:0]	00: 立ち下がりエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(3) チャネル出力モード

表 24.41 チャネル単体出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1 _B を書いてください。
TAUJnTOM.TAUJnTOMm	0 _B を書いてください。
TAUJnTOC.TAUJnTOCm	0 _B を書いてください。
TAUJnTOL.TAUJnTOLm	0 _B を書いてください。

備考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm = 0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJnTTOUTm を割り込みとは独立させて制御することができます。詳細は「24.7 チャネル出力モード」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJnTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.42 TAUJnTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

24.12.2.5 TAUJnTTINm 入インターバルタイマ機能の操作手順

表 24.43 TAUJnTTINm 入インターバルタイマ機能の操作手順

	操作	TAUJn の状態
チャンネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 24.39 TAUJnTTINm 入インターバルタイマ機能の TAUJnCMORm レジスタの内容」と「表 24.40 TAUJnTTINm 入インターバルタイマ機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「表 24.41 チャンネル単体出力モード 1 時の制御ビット設定」に示すように設定して、チャンネル出力モードを設定します。	チャンネル動作を停止しています。
動作再開	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0 = 1 の場合、INTTAUJnIm が発生し、TAUJnTTOUTm がトリグルされます。
動作中	TAUJnCMURm.TAUJnTIS[1:0]、TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。 TAUJnTTINm エッジ検出	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000 _H になった場合： <ul style="list-style-type: none"> 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 INTTAUJnIm が発生し、TAUJnTTOUTm がトリグルされます。 カウント動作中に TAUJnTTINm 入力の有効エッジを検出すると、再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJnTTOUTm は停止し、現在値を保持します。

24.12.2.6 特定の設定時のタイミング図

「24.12.1 インターバルタイマ機能」のタイミング図も適用されますが、それに加えて有効な TAUJnTTINm 入力エッジを使用することでカウンタを再開することも可能です。

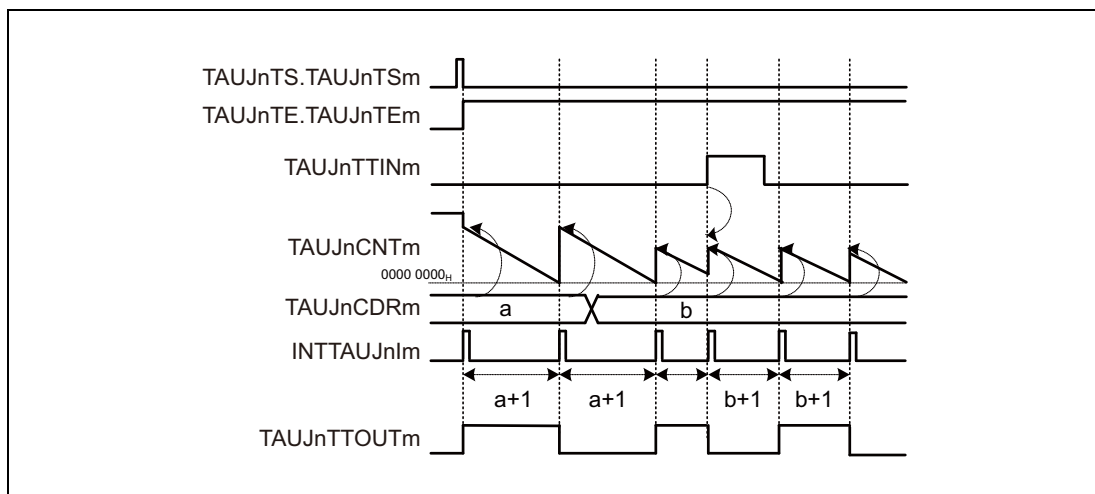


図 24.22 立ち上がり TAUJnTTINm 入力エッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B)、TAUJnCMORm.TAUJnMD0 = 1 でトリガされたカウンタ

有効な TAUJnTTINm 入力エッジを検出した場合、TAUJnTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ (TAUJnCMURm.TAUJnTIS[1:0] = 01_B) です。

24.12.3 TAUJnTTINm 入力パルスインターバル測定機能

24.12.3.1 概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUJnCSRm.TAUJnOVF を使用して TAUJnTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（「表 24.45 TAUJnTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJnTTOUtm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJnTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。

有効な TAUJnTTINm エッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 24.44 オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUJnTTINm 入力 が検出された場合	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	FFFF FFFF _H に設定	0	TAUJnCNTm は 0 に設定され、 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJnTTINm 信号の間隔を推定できます。ただし、有効な TAUJnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

TAUJnTT.TAUJnTTm = 1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm = 0 が設定されます。TAUJnCNTm が停止し、値を保持します。機能停止中、有効な TAUJnTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**24.9 カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成**」を参照してください。

備考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバーフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

24.12.3.2 算出式

TAUJnTTINm 入力パルスインターバル = カウントクロック周期 ×

$$[(\text{TAUJnCSRm.TAUJnOVF} \times (\text{FFFF FFFF}_H + 1)) + \text{TAUJnCDRm キャプチャ値} + 1]$$

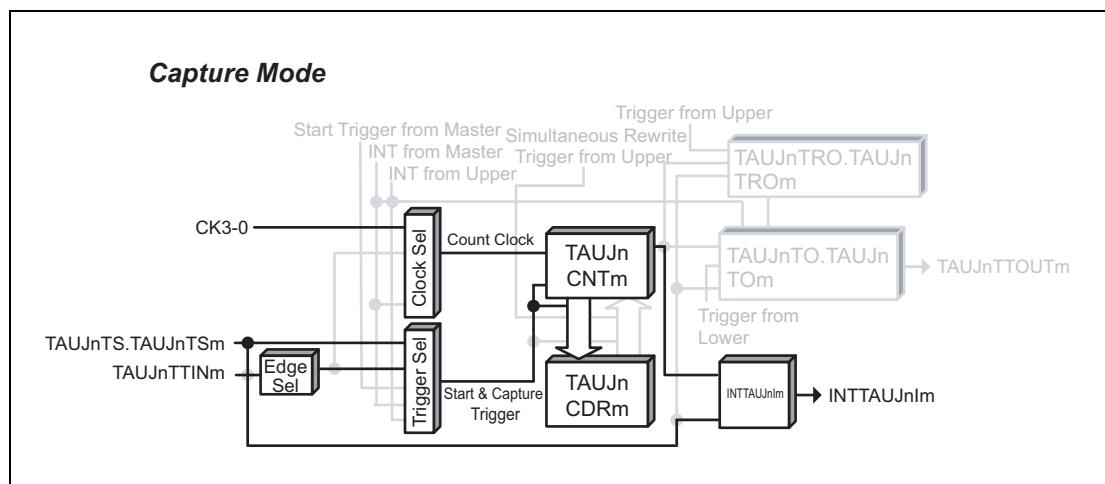
24.12.3.3 ブロック図と基本タイミング図

図 24.23 TAUJnTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

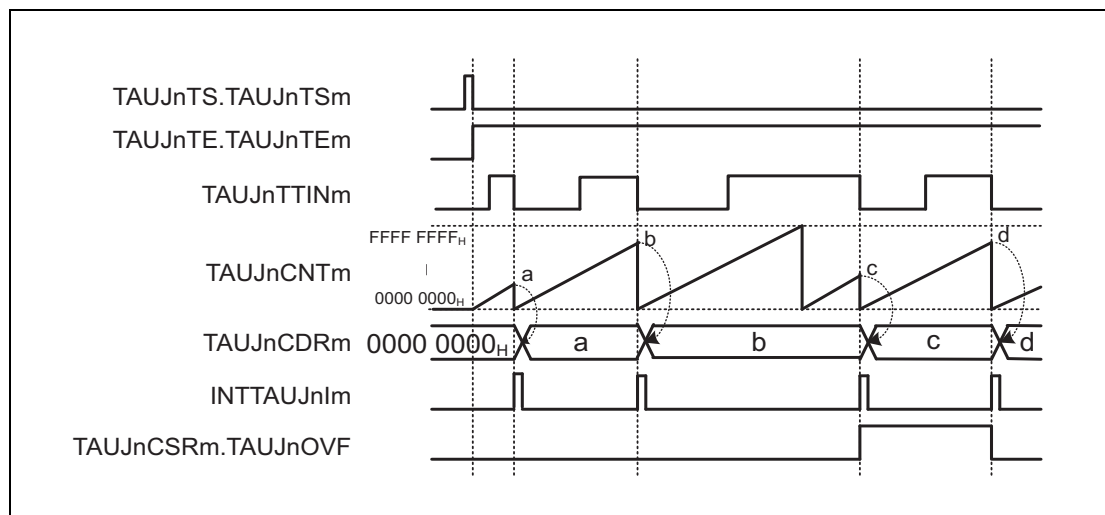


図 24.24 TAUJnTTINm 入力パルスインターバル測定機能の基本タイミング図

24.12.3.4 レジスタ設定

(1) TAUJnCMORM

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.45 TAUJnTTINm 入力パルスインターバル測定機能の TAUJnCMORM レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	001 _B を書いてください。
7, 6	TAUJnCOS[1:0]	「表 24.44 オーパフローの影響」を参照。
5	予約ビット	ライト時はリセット後の値を設定してください。
4 ~ 1	TAUJnMD[4:1]	0010 _B を書いてください。
0	TAUJnMD0	0: 動作開始時に INTTAUJnIm が発生しない 1: 動作開始時に INTTAUJnIm が発生する

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.46 TAUJnTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライト時はリセット後の値を設定してください。
1, 0	TAUJnTIS[1:0]	00: 立ち下がリエッジ検出 01: 立ち上がりエッジ検出 10: 両エッジ検出 11: 設定禁止

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJnTTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.47 TAUJnTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

24.12.3.5 TAUJnTTINm 入力パルスインターバル測定機能の操作手順

表 24.48 TAUJnTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUJn の状態
初期設定 チャネル	TAUJnCMORm、TAUJnCMURm レジスタを、「表 24.45 TAUJnTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容」と「表 24.46 TAUJnTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作再開	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCNTm が 0000 0000 _H にクリアされます。TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnim が発生します。
動作中	TAUJnTTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能です。(TAUJnCSRm.TAUJnOVF ビットを 0 にクリア)	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して、0000 0000_H に戻ります。 その後、INTTAUJnim が発生します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

24.12.3.6 特定の設定時のタイミング図：オーバーフロー動作

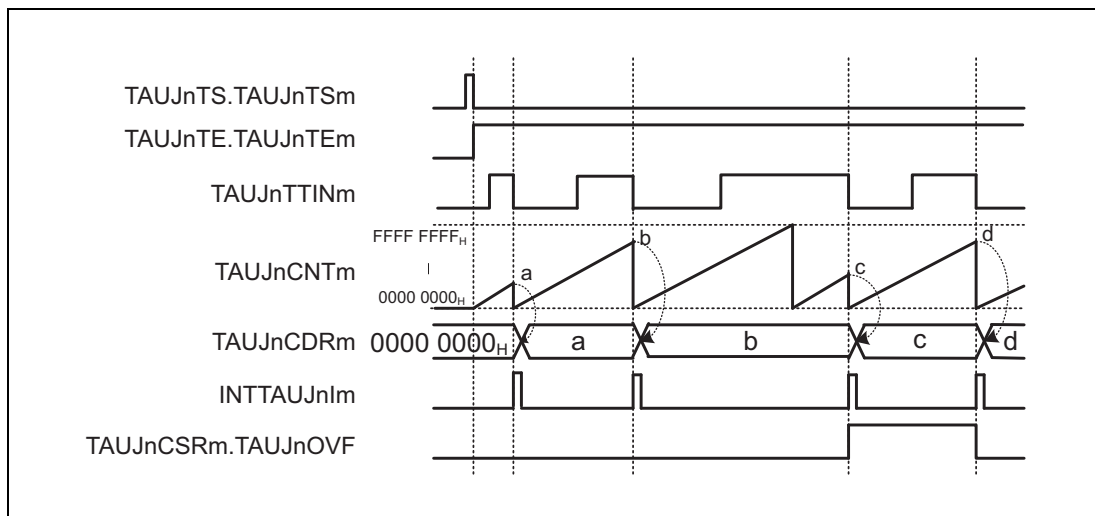
(1) TAUJnCMORM.TAUJnCOS[1:0] = 00_B

図 24.25 TAUJnCMORM.TAUJnCOS[1:0] = 00_B、TAUJnCMORM.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

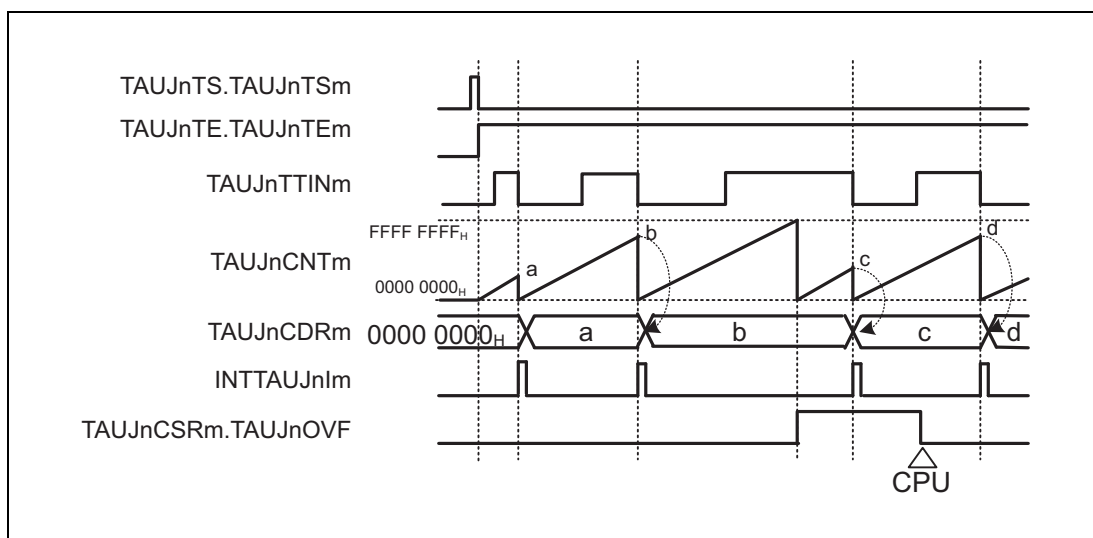
(2) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 24.26 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV=1 のセット) でのみクリアされます。

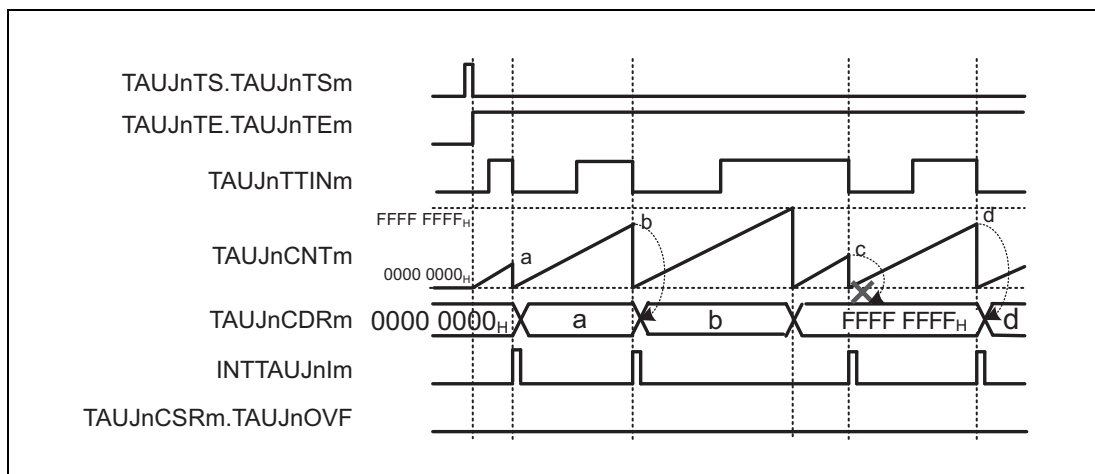
(3) TAUJnCMORM.TAUJnCOS[1:0] = 10_B

図 24.27 TAUJnCMORM.TAUJnCOS[1:0] = 10_B、TAUJnCMORM.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

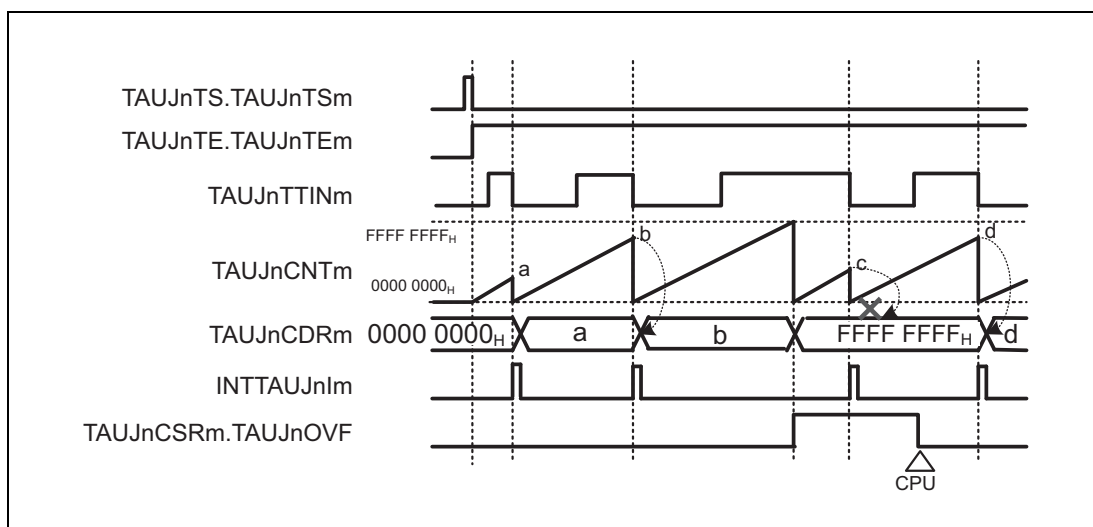
(4) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

図 24.28 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 00_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

24.12.4 TAUJnTTINm 入力信号幅測定機能

24.12.4.1 概要

概要

この機能は、TAUJnTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUJnTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ & ワンカウントモードに設定する必要があります（「表 24.50 TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJnTTOUtm は使用しません。
- TAUJnCMORm.TAUJnMD0 は、“0” に設定する必要があります。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。有効な TAUJnTTINm スタートエッジが検出されると、カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJnTTINm ストップエッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJnTTINm 入力スタートエッジを待ちます。

有効な TAUJnTTINm ストップエッジを検出する前にカウンタが FFFF FFFF_H に達すると、カウンタはオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 24.49 オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバフローが発生した場合		有効な TAUJnTTINm 入力ストップエッジの検出時	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm に ロードされる	1
01		1		
10	FFFF FFFF _H に 設定	0	TAUJnCNTm はカウントを停止 TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0] = 1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJnTTINm 信号の幅を推定できます。ただし、有効な TAUJnTTINm 入力検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

この機能では、強制リスタートは行えません。

備考

TAUJnCMORm.TAUJnCOS[1] = 1 の場合、オーバフロー後の最初の有効な TAUJnTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

24.12.4.2 算出式

TAUJnTTINm 入力信号幅 = カウントクロック周期 ×
 [(TAUJnCSRm.TAUJnOVF × (FFFF FFFF_H + 1)) + TAUJnCDRm キャプチャ値 + 1]

24.12.4.3 ブロック図と基本タイミング図

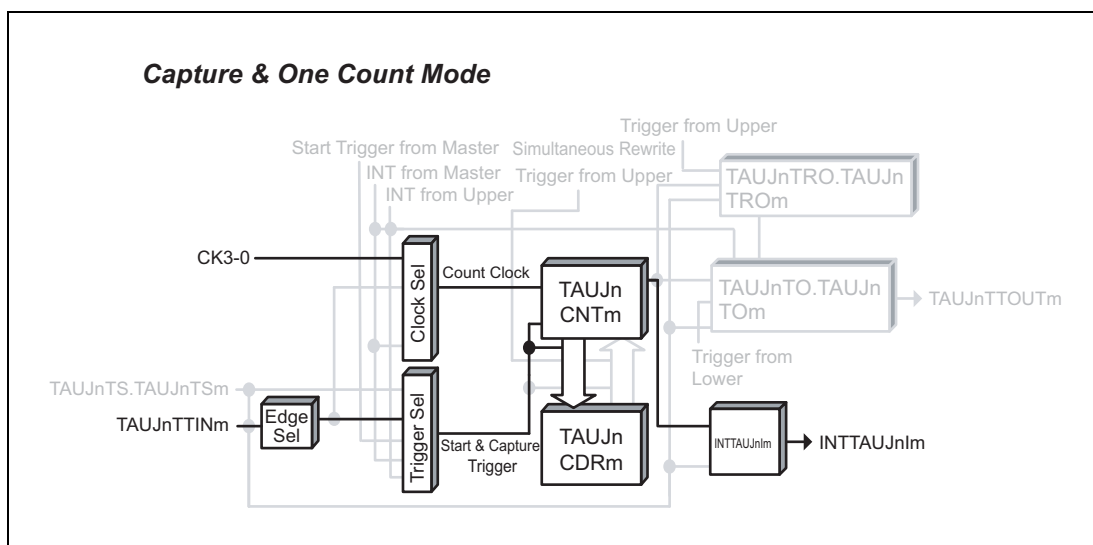


図 24.29 TAUJnTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)
- オーバフロー後に有効な TAUJnTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する (TAUJnCMORm.TAUJnCOS[1:0] = 00_B)

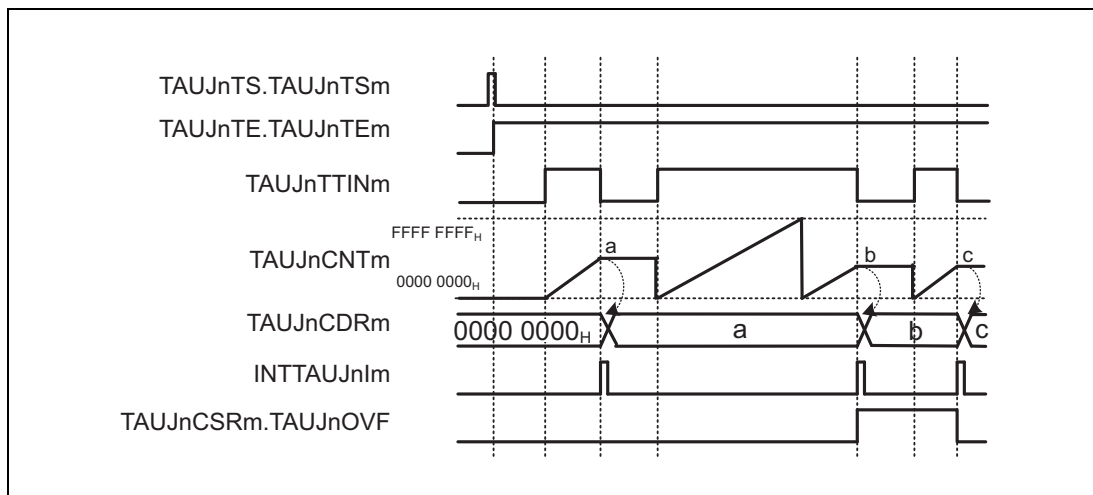


図 24.30 TAUJnTTINm 入力信号幅測定機能の基本タイミング図

24.12.4.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.50 TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	010 _B を書いてください。
7、6	TAUJnCOS[1:0]	「表 24.49 オーバフローの影響」を参照。
5	予約ビット	ライト時はリセット後の値を設定してください。
4 ~ 1	TAUJnMD[4:1]	0110 _B を書いてください。
0	TAUJnMD0	0 _B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.51 TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライト時はリセット後の値を設定してください。
1、0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJnTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.52 TAUJnTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

24.12.4.5 TAUJnTTINm 入力信号幅測定機能の操作手順

表 24.53 TAUJnTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
初期設定 チャネル	TAUJnCMORm、TAUJnCMURm レジスタを、「表 24.50 TAUJnTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容」と「表 24.51 TAUJnTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作再開 動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJnTTINm スタートエッジ検出を待ちます。 TAUJnTTINm スタートエッジを検出すると、TAUJnCNTm はアップカウントを開始します。
動作中	TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。TAUJnCSCm.TAUJnCLOV ビットは、1 にセット可能です。	TAUJnCNTm は、0000 0000 _H からアップカウントを開始します。TAUJnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCNTm が自身の値を TAUJnCDRm に転送 (キャプチャ) して、その値を保持します。 その後、INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJnTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

24.12.4.6 特定の設定時のタイミング図：オーバーフロー動作

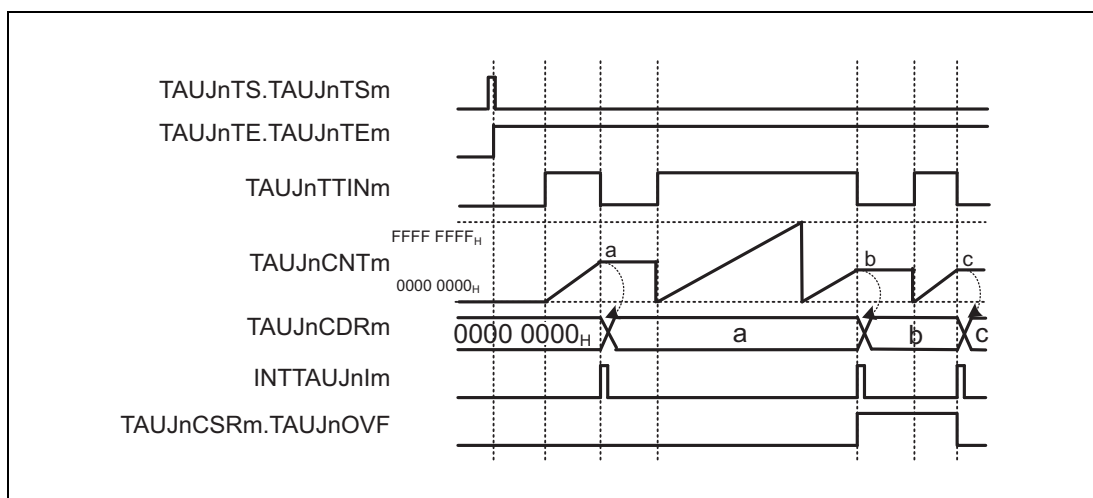
(1) TAUJnCMORM.TAUJnCOS[1:0] = 00_B

図 24.31 TAUJnCMORM.TAUJnCOS[1:0] = 00_B、TAUJnCMORM.TAUJnMD0 = 0、TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

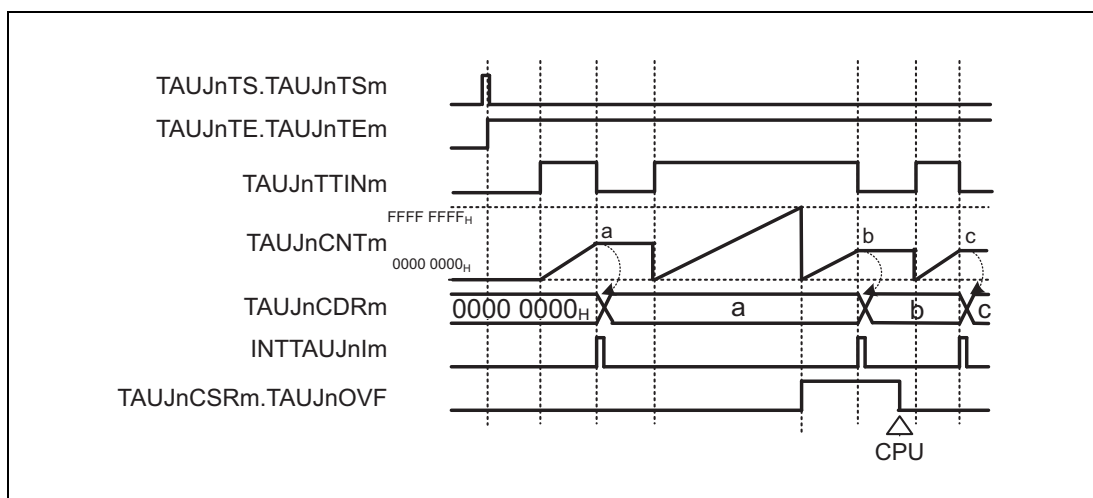
(2) TAUJnCMORm.TAUJnCOS[1:0] = 01_B

図 24.32 TAUJnCMORm.TAUJnCOS[1:0] = 01_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド (TAUJnCSCm.TAUJnCLOV=1 のセット) でのみクリアされます。

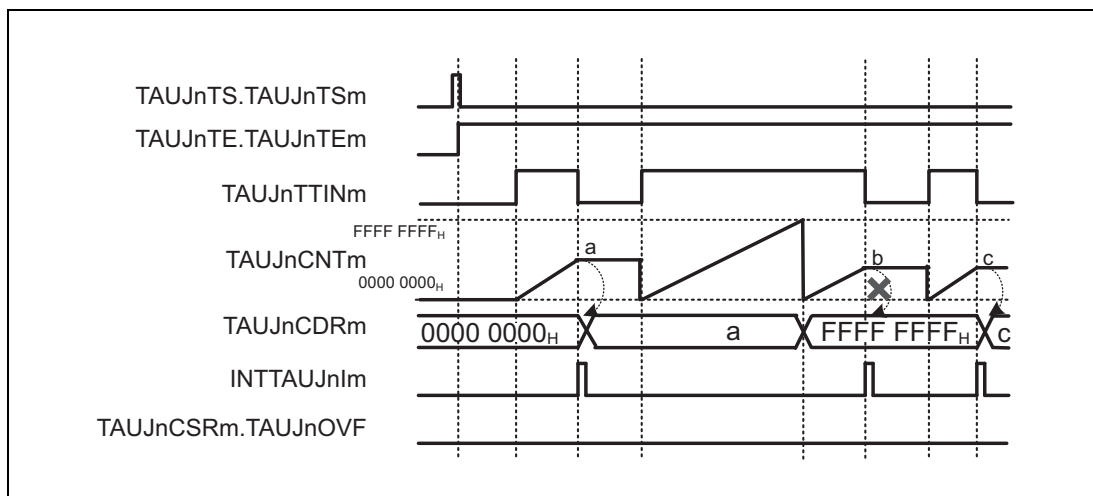
(3) TAUJnCMORm.TAUJnCOS[1:0] = 10_B

図 24.33 TAUJnCMORm.TAUJnCOS[1:0] = 10_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm がカウントを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。

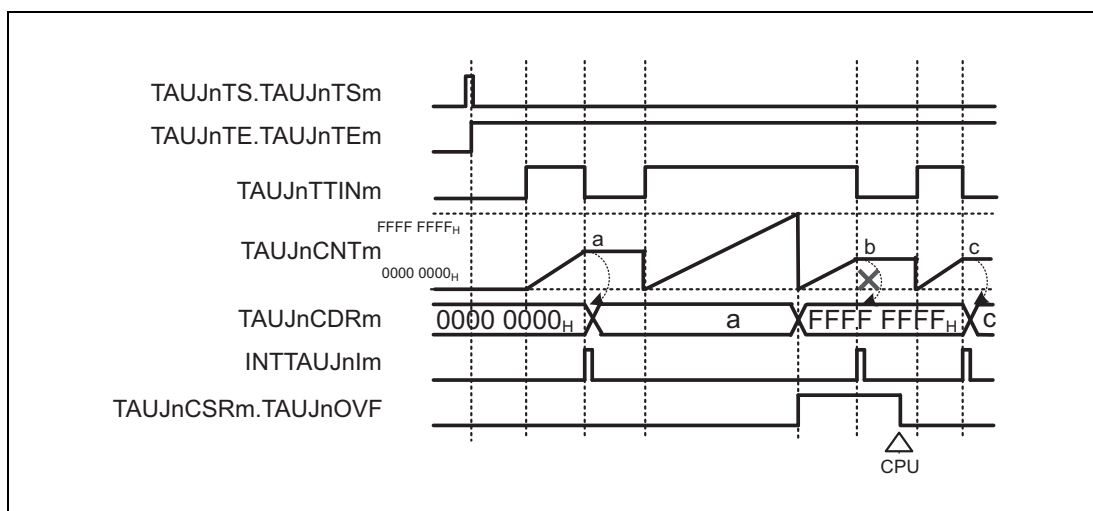
(4) TAUJnCMORm.TAUJnCOS[1:0] = 11_B

図 24.34 TAUJnCMORm.TAUJnCOS[1:0] = 11_B、TAUJnCMORm.TAUJnMD0 = 0、
TAUJnCMURm.TAUJnTIS[1:0] = 11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF_H に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm がカウントを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJnTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV = 1 を設定することでクリアされます。

24.12.5 TAUJnTTINm 入力位置検出機能

24.12.5.1 概要

概要

TAUJnTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（「表 24.54 TAUJnTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJnTTOUTm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、0000 0000_H からカウントを開始します。有効な TAUJnTTINm 入力エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。カウント動作は継続します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

備考

TAUJnTTINm 入力信号は TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUJnTTOUTm の出カクロックの周期には、動作クロック ±1 周期分の誤差があります。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は、「24.9 カウント開始/リスタート時の TAUJnTTOUTm 出力と INTTAUJnIm 生成」を参照してください。

24.12.5.2 算出式

TAUJnTTINm 入力パルスでの機能時間 =
カウントクロック周期 × (TAUJnCDRm キャプチャ値 + 1)

24.12.5.3 ブロック図と基本タイミング図

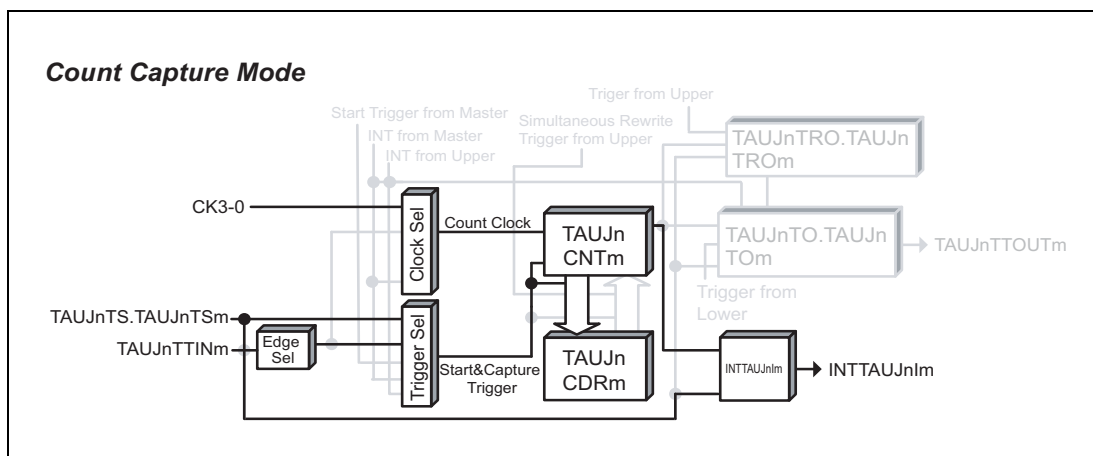


図 24.35 TAUJnTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない (TAUJnCMORm.TAUJnMD0 = 0)
- 立ち下がりエッジ検出 (TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

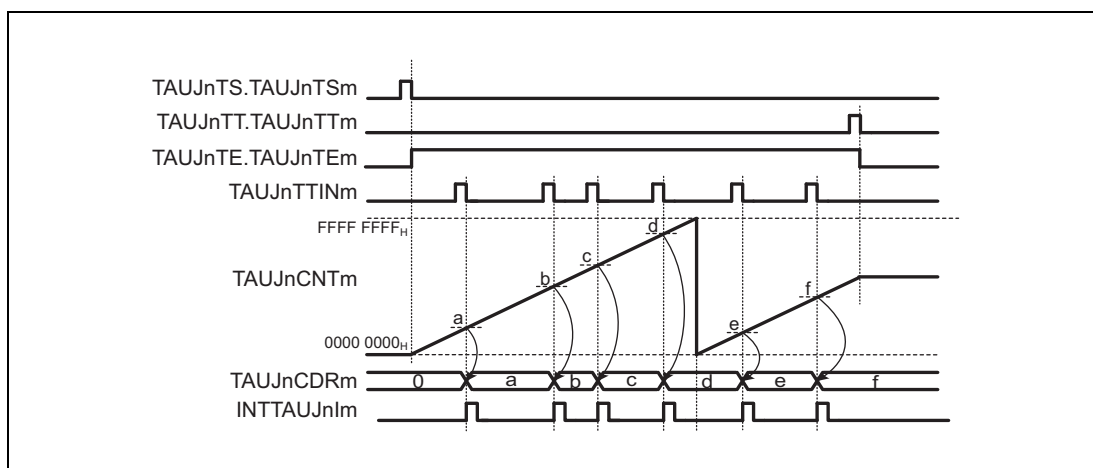


図 24.36 TAUJnTTINm 入力位置検出機能の基本タイミング図

24.12.5.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.54 TAUJnTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	001 _B を書いてください。
7、6	TAUJnCOS[1:0]	01 _B を書いてください。
5	予約ビット	ライト時はリセット後の値を設定してください。
4 ~ 1	TAUJnMD[4:1]	1011 _B を書いてください。
0	TAUJnMD0	0 : 動作開始時に INTTAUJnIm が発生しない 1 : 動作開始時に INTTAUJnIm が発生する

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.55 TAUJnTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライト時はリセット後の値を設定してください。
1、0	TAUJnTIS[1:0]	00 : 立ち下がりエッジ検出 01 : 立ち上がりエッジ検出 10 : 両エッジ検出

(3) チャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJnTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.56 TAUJnTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

24.12.5.5 TAUJnTTINm 入力位置検出機能の操作手順

表 24.57 TAUJnTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態
初期設定 チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 24.54 TAUJnTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容」と「表 24.55 TAUJnTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作再開 動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作中	TAUJnCMURm.TAUJnTIS[1:0] ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUJnCnTm は、0000 0000 _H からアップカウントを開始します。TAUJnTTINm の有効エッジ検出時： <ul style="list-style-type: none"> TAUJnCnTm が自身の値を TAUJnCDRm に転送 (キャプチャ) します。 INTTAUJnIm を出力します。 カウンタ値は 0000 0000_H にクリアされず、TAUJnCnTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUJnCnTm が FFFF FFFF _H に達すると、カウンタは 0000 0000 _H からカウント動作を再開します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCnTm は停止し、TAUJnCnTm は現在値を保持します。

24.12.5.6 特定の設定時のタイミング図

(1) 動作の停止と再開

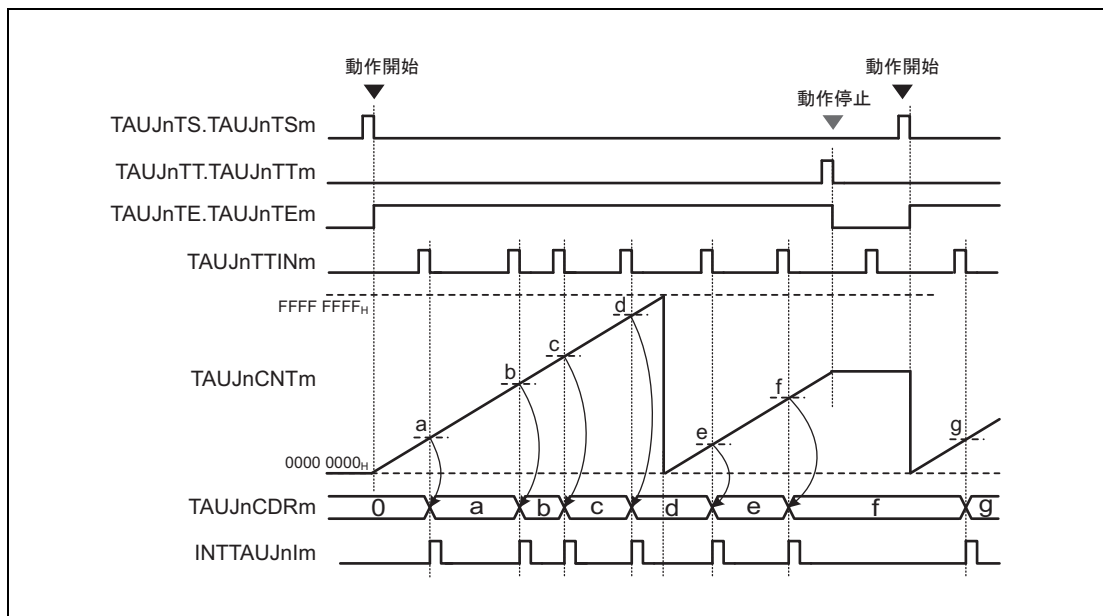


図 24.37 動作の停止と再開 (TAUJnCMORm.TAUJnMD0 = 0, TAUJnCMURm.TAUJnTIS[1:0] = 00_B)

- TAUJnTT.TAUJnTTM を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEM は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

24.12.6 TAUJnTTINm 入力期間カウント検出機能

24.12.6.1 概要

概要

この機能は、TAUJnTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ & ゲートカウントモードに設定する必要があります（「表 24.58 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容」参照）。
- この機能では、TAUJnTTOUtm は使用しません。

機能説明

チャンネルトリガビット (TAUJnTS.TAUJnTsm) を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm = 1 となり、カウントが可能になります。カウンタは、有効な TAUJnTTINm 入力エッジを待ちます。

有効な TAUJnTTINm 入力スタートエッジが検出されると、カウンタは、0000 0000_H からカウントを開始します。

有効な TAUJnTTINm 入力ストップエッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み (INTTAUJnIm) が発生します。次の有効な TAUJnTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJnTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF FFFF_H になると、カウンタは 0000 0000_H からカウント動作を再開します。

この機能では、強制リスタートは行えません。

備考

TAUJnTTINm 入力信号は、TAUJnCMORm.TAUJnCKS[1:0] ビットで設定した動作クロックの周波数でサンプリングされます。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0] ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0] = 10_B の場合、TAUJnTTINm 入力ローレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0] = 11_B の場合、TAUJnTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

24.12.6.2 算出式

$$\text{TAUJnTTINm 入力幅累計} = \text{カウントクロック周期} \times (\text{TAUJnCDRm キャプチャ値} + 1)$$

24.12.6.3 ブロック図と基本タイミング図

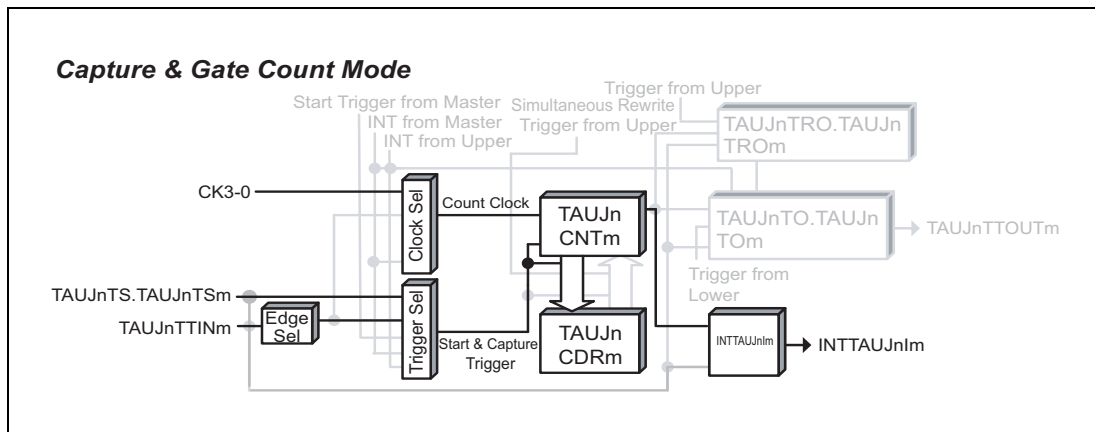


図 24.38 TAUJnTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出 = ハイレベル幅測定 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

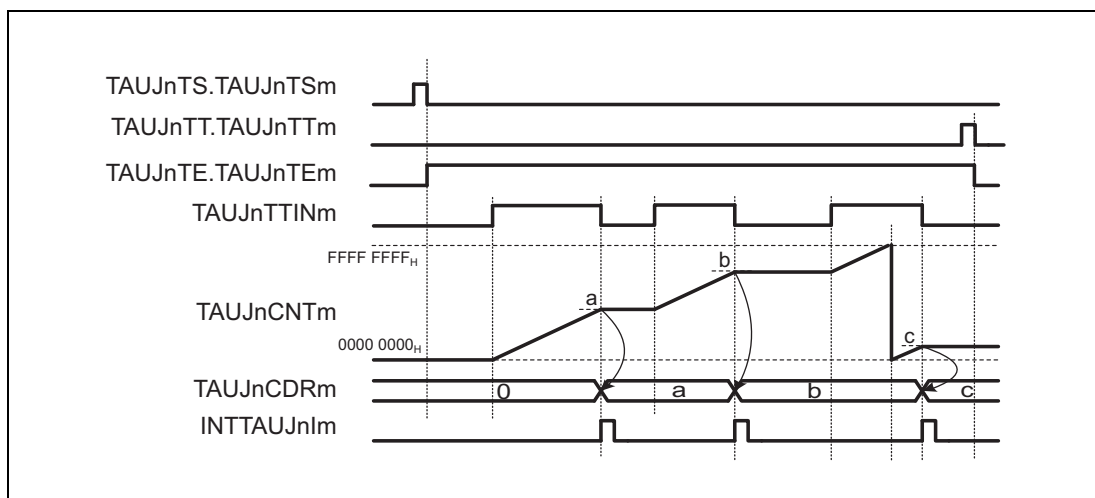


図 24.39 TAUJnTTINm 入力期間カウント検出機能の基本タイミング図

24.12.6.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.58 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3
13、12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	010 _B を書いてください。
7、6	TAUJnCOS[1:0]	01 _B を書いてください。
5	予約ビット	ライト時はリセット後の値を設定してください。
4 ~ 1	TAUJnMD[4:1]	1101 _B を書いてください。
0	TAUJnMD0	0 _B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R/W	R/W

表 24.59 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライト時はリセット後の値を設定してください。
1、0	TAUJnTIS[1:0]	10 : 両エッジ検出 (ロウレベル幅測定) 11 : 両エッジ検出 (ハイレベル幅測定)

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ (TAUJnRDE、TAUJnRDM) は、TAUJnTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 24.60 TAUJnTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0 : 一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0 : 一斉書き換え禁止時 (TAUJnRDE.TAUJnRDEm = 0)、0 を設定

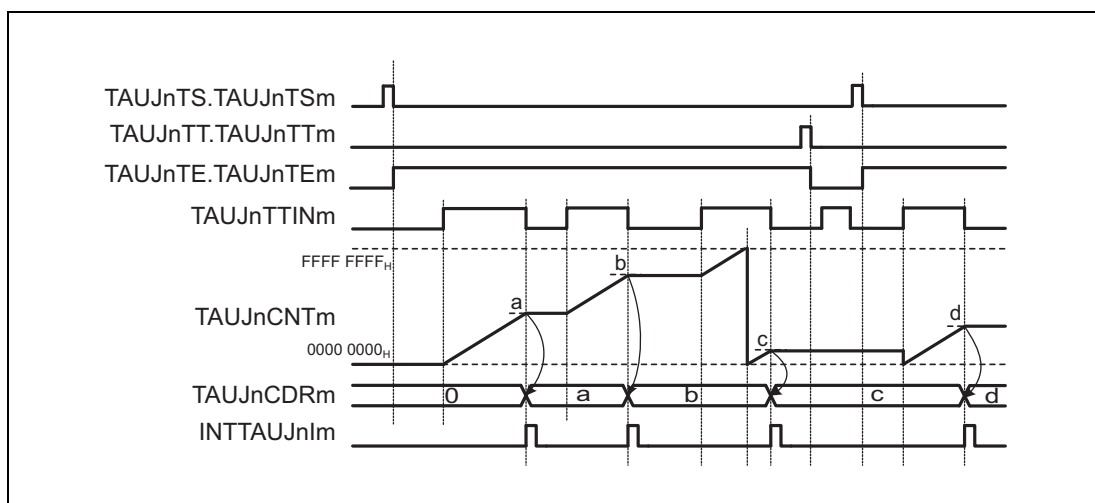
24.12.6.5 TAUJnTTINm 入力期間カウント検出機能の操作手順

表 24.61 TAUJnTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
初期設定 チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「表 24.58 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容」と「表 24.59 TAUJnTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作再開	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJnTTINm スタートエッジ検出を待ちます。
動作中	TAUJnTTINm エッジ検出 TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUJnTTINm スタートエッジ (ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ) を検出すると、TAUJnCNTm は停止値よりアップカウントを開始します。TAUJnCNTm は、ストップエッジ (ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ) を検出すると、値を TAUJnCDRm に転送し、INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値 + 1 の値で停止し、TAUJnCNTm は TAUJnTTINm スタートエッジの検出を待ちます。 TAUJnCNTm が FFFF FFFF _H に達すると、カウンタは 0000 0000 _H からカウント動作を再開します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

24.12.6.6 特定の設定時のタイミング図

(1) 動作の停止と再開

図 24.40 動作の停止と再開 (TAUJnCMURm.TAUJnTIS[1:0] = 11_B)

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJnTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSM を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

24.13 チャンネル連動動作機能

本節では、TAUJのチャンネル連動動作の全機能について説明します。チャンネル連動動作の概要については、「**24.2 概要**」を参照してください。

24.13.1 PWM 出力機能

24.13.1.1 概要

概要

マスタチャンネルと複数のスレーブチャンネルを使用することで、複数のPWM出力を生成する機能です。これにより、TAUJnTTOUTmのパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャンネルで設定します。デューティはスレーブチャンネルで設定します。

前提条件

- 2チャンネル
- マスタチャンネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 24.62 PWM 出力機能のマスタチャンネルのTAUJnCMORmレジスタの内容**」参照）。
- スレーブチャンネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 24.65 PWM 出力機能のスレーブチャンネルのTAUJnCMORmレジスタの内容**」参照）。
- この機能では、マスタチャンネルでTAUJnTTOUTmは使用しません。
- スレーブチャンネルのチャンネル出力モードは、チャンネル連動出力モード1に設定する必要があります（「**24.7 チャンネル出力モード**」参照）。

機能説明

チャンネルトリガビット（TAUJnTS.TAUJnTSM）を1に設定すると、カウンタ動作が許可されます。これによりTAUJnTE.TAUJnTEm=1となり、カウントが可能になります。TAUJnCDRmの現在値がTAUJnCNTmにロードされ、カウンタはそのTAUJnCDRm値からダウンカウントを開始します。マスタチャンネルでINTTAUJnImが発生し、TAUJnTTOUTm（スレーブ）がセット、リセットされることによりPWM出力を実現しています。

- マスタチャンネル：
マスタチャンネルのカウンタ値が0000 0000_Hになりパルス周期時間が経過すると、INTTAUJnImが発生します。TAUJnCDRm値をTAUJnCNTmにロードし、ダウンカウントを行います。

- スレーブチャンネル：
マスタチャンネルで INTTAUJnIm が発生すると、スレーブチャンネルのカウンタ動作がトリガされます。TAUJnCDRm (スレーブ) の現在値が TAUJnCnTm (スレーブ) にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。
TAUJnTTOUTm 信号がアクティブレベルに設定されます。
カウンタ値が 0000 0000_H になると (デューティ時間が経過すると) INTTAUJnIm が発生し、TAUJnTTOUTm 信号がインアクティブレベルに設定されます。カウンタは FFFF FFFF_H に戻り、マスタチャンネルの次の INTTAUJnIm (次のパルス周期の開始) を待ちます。

マスタ/スレーブチャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。マスタ/スレーブチャンネルの TAUJnCnTm と TAUJnTTOUTm が停止しますが、それぞれの値は保持します。TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「**24.6 一斉書き換え**」を参照してください。

24.13.1.2 算出式

パルス周期 = (TAUJnCDRm (マスタ) + 1) × カウントクロック周期

デューティサイクル [%] = (TAUJnCDRm (スレーブ) / (TAUJnCDRm (マスタ) + 1)) × 100

- デューティサイクル = 0 %
 TAUJnCDRm (スレーブ) = 0000 0000_H
- デューティサイクル = 100 %
 TAUJnCDRm (スレーブ) ≥ TAUJnCDRm (マスタ) + 1

24.13.1.3 ブロック図と基本タイミング図

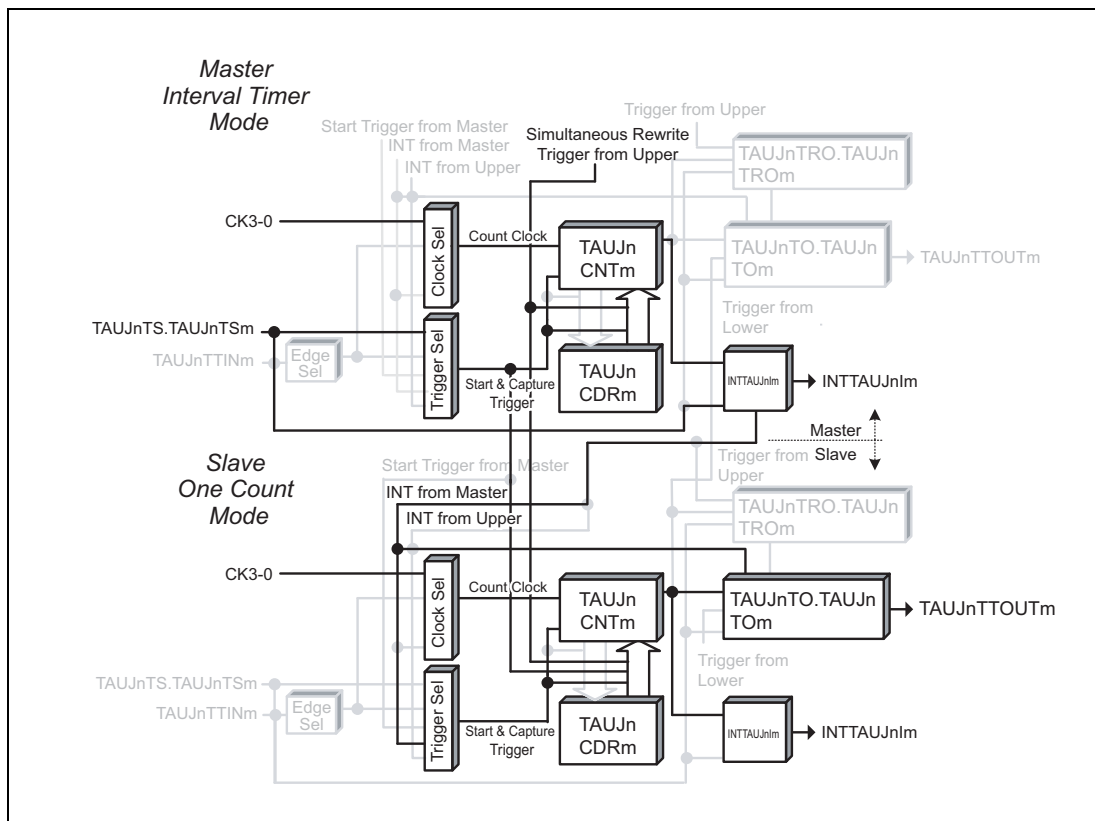


図 24.41 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャンネル: 正論理 (TAUJnTOL.TAUJnTOLm = 0)

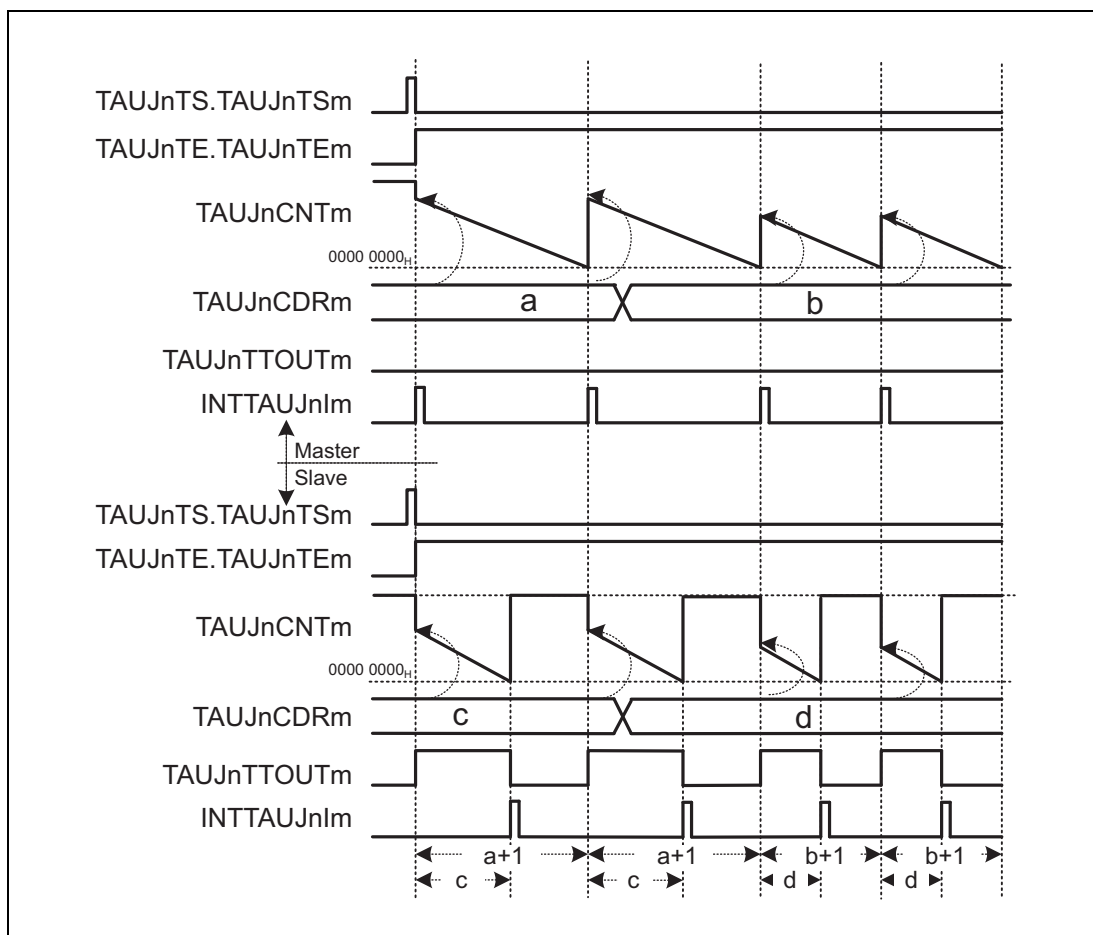


図 24.42 PWM 出力機能の基本タイミング図

備考

- カウント開始から割り込み発生までの間隔は対応する TAUJnCDRm + 1 の値になります。
- スレーブチャンネルの TAUJnTTOUTm は、マスタチャンネルの INTTAUJnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

24.13.1.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJn MAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJn MD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.62 PWM 出力機能のマスタチャネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
13, 12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	1 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	000 _B を書いてください。
7, 6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	ライト時はリセット後の値を設定してください。
4 ~ 1	TAUJnMD[4:1]	0000 _B を書いてください。
0	TAUJnMD0	1 _B を書いてください。

(2) マスタチャネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.63 PWM 出力機能のマスタチャネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライト時はリセット後の値を設定してください。
1, 0	TAUJnTIS[1:0]	00 : 未使用、00 を設定

(3) マスタチャンネルのチャンネル出力モード

この機能ではチャンネル出力モードを使用しません。

(4) マスタチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.64 PWM 出力機能時のマスタチャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1 : 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0 : マスタチャンネルがカウントを開始すると、一斉書き換えトリガ信号を生成

24.13.1.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS [1:0]		TAUJnCCS [1:0]		TAUJnMAS	TAUJnSTS[2:0]		TAUJnCOS [1:0]		—	TAUJnMD[4:1]				TAUJnMD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 24.65 PWM 出力機能のスレーブチャネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00 : プリスケアラ出力 CK0 01 : プリスケアラ出力 CK1 10 : プリスケアラ出力 CK2 11 : プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0] ビット値は同一である必要があります。
13、12	TAUJnCCS[1:0]	00 _B を書いてください。
11	TAUJnMAS	0 _B を書いてください。
10 ~ 8	TAUJnSTS[2:0]	100 _B を書いてください。
7、6	TAUJnCOS[1:0]	00 _B を書いてください。
5	予約ビット	ライト時はリセット後の値を設定してください。
4 ~ 1	TAUJnMD[4:1]	0100 _B を書いてください。
0	TAUJnMD0	1 _B を書いてください。

(2) スレーブチャネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.66 PWM 出力機能のスレーブチャネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	ライト時はリセット後の値を設定してください。
1、0	TAUJnTIS[1:0]	00 : 未使用、00 を設定

(3) スレーブチャネルのチャネル出力モード

表 24.67 チャネル連動出力モード1時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1 _B を書いてください。
TAUJnTOM.TAUJnTOMm	1 _B を書いてください。
TAUJnTOC.TAUJnTOCm	0 _B を書いてください。
TAUJnTOL.TAUJnTOLm	0 : 正論理 1 : 負論理

(4) スレーブチャンネルの一斉書き換え

マスタチャンネルとスレーブチャンネルの一斉書き換え設定は同じである必要があります。

表 24.68 PWM 出力機能時のスレーブチャンネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1: 一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0: マスタチャンネルがカウントを開始すると、一斉書き換トリガ信号を生成

24.13.1.6 PWM 出力機能の操作手順

表 24.69 PWM 出力機能時の操作手順

	操作	TAUJnの状態
チャンネルの初期設定	<p>マスタチャンネル: TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを「24.13.1.4 マスタチャンネルのレジスタ設定」に示すように設定します。</p> <p>スレーブチャンネル: TAUJnCMORm / TAUJnCMURm レジスタとチャンネル出力モードを「24.13.1.5 スレーブチャンネルのレジスタ設定」に示すように設定します。</p> <p>全チャンネルの TAUJnCDRm レジスタの値を設定します。</p>	チャンネル動作を停止しています。
動作再開	<p>マスタチャンネルとスレーブチャンネルの TAUJnTS.TAUJnTSM を同時に 1 に設定します。TAUJnTS.TAUJnTSM はトリガビットなので、自動的に 0 にクリアされます。</p>	TAUJnTE.TAUJnTEm (マスタ/スレーブチャンネル) が 1 に設定され、マスタ/スレーブチャンネルのカウントが動作を開始します。マスタチャンネルで INTTAUJnIm が発生し、TAUJnTTOUtm (スレーブ) が設定されます。
動作中	<p>TAUJnCDRm は任意のタイミングで変更可能です。TAUJnCNTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。</p> <p>TAUJnRDT.TAUJnRDTm は動作中に変更可能です。</p>	<p>マスタチャンネルの TAUJnCNTm は TAUJnCDRm 値をロードし、ダウンカウントを行います。カウントが 0000 0000_H になった場合:</p> <ul style="list-style-type: none"> INTTAUJnIm (マスタ) が発生します。 TAUJnCDRm 値を TAUJnCNTm (マスタ) にロードし、カウント動作を継続します。 TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、ダウンカウントを行います。 TAUJnTTOUtm (スレーブ) がアクティブレベルに設定されます。 <p>TAUJnCNTm (スレーブ) が 0000 0000_H になった場合:</p> <ul style="list-style-type: none"> INTTAUJnIm (スレーブ) が発生します。 TAUJnTTOUtm (スレーブ) がインアクティブレベルに設定されます。
動作停止	<p>マスタチャンネルとスレーブチャンネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。</p>	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウント動作が停止します。TAUJnCNTm と TAUJnTTOUtm は停止し、現在値を保持します。

24.13.1.7 特定の設定時のタイミング図

(1) デューティサイクル = 0 %

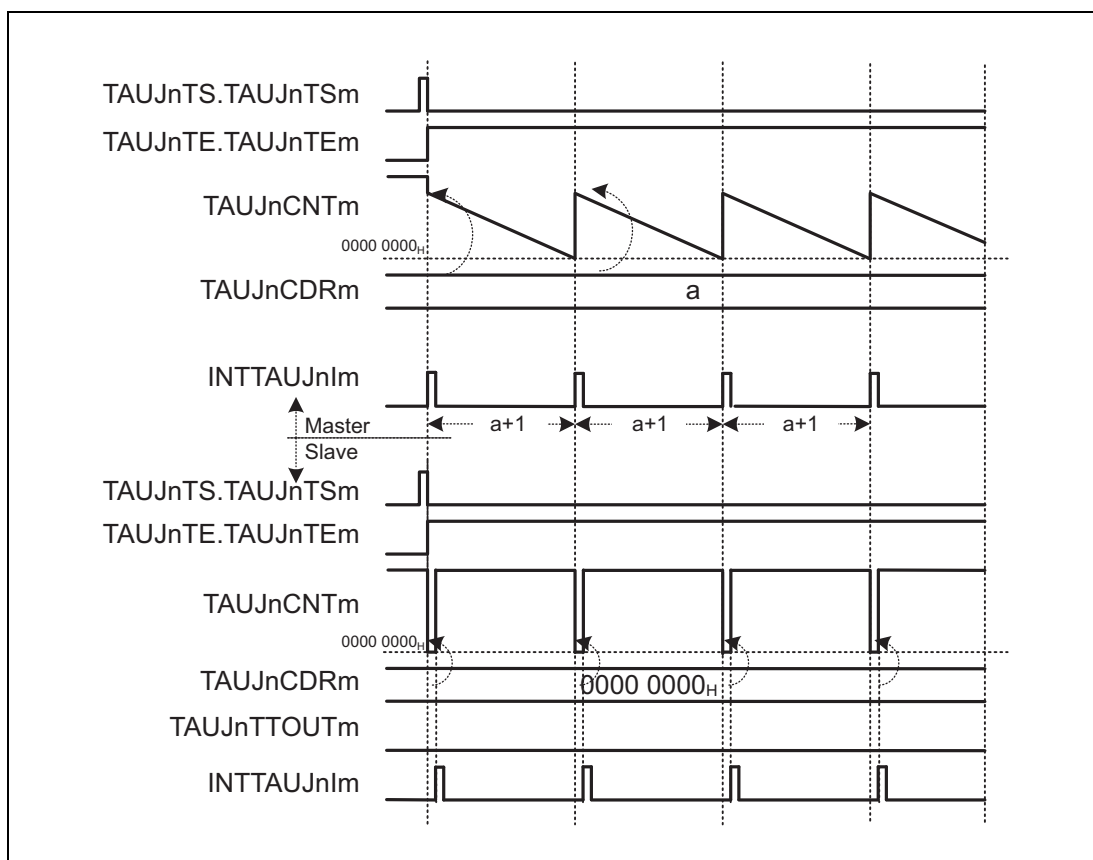


図 24.43 TAUJnCDRm (スレーブ) = 0000 0000_H,
正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

- マスタチャンネルで割り込み (INTTAUJnIm) が発生するたびに、TAUJnCNTm (スレーブ) に 0000 0000_H がロードされます。したがって、スレーブチャンネルの割り込み (INTTAUJnIm) が同時発生し、TAUJnTTOUTm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm (スレーブ) にロードし、割り込みを発生させます。

(2) デューティサイクル = 100 %

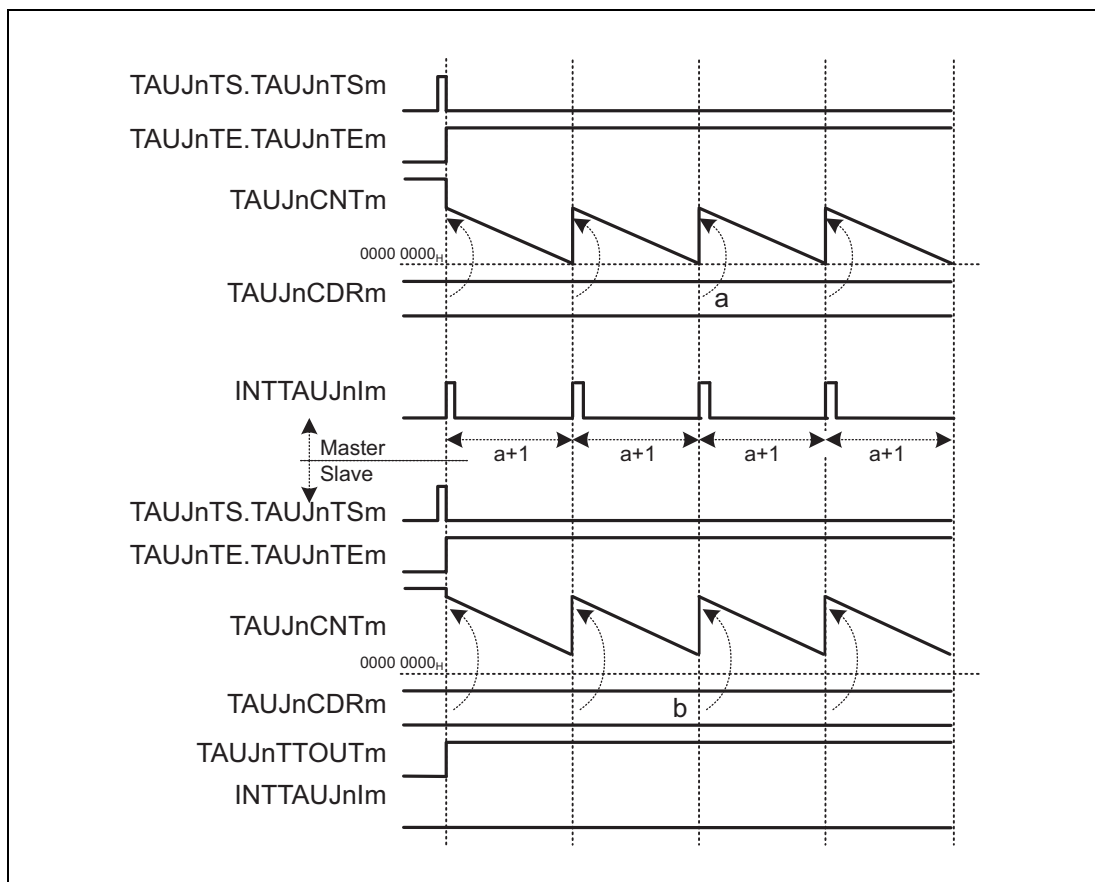


図 24.44 TAUJnCDRm (スレーブ) \geq TAUJnCDRm (マスタ) + 1
 正論理 (TAUJnTOL.TAUJnTOLm (スレーブ) = 0)

TAUJnCDRm (スレーブ) 値が TAUJnCDRm (マスタ) 値よりも大きい場合、スレーブチャンネルのカウンタは 0000 0000_H にならないため、割り込みが発生しません。TAUJnTTOUTm はアクティブ状態のままになります。

(3) 動作の停止と再開

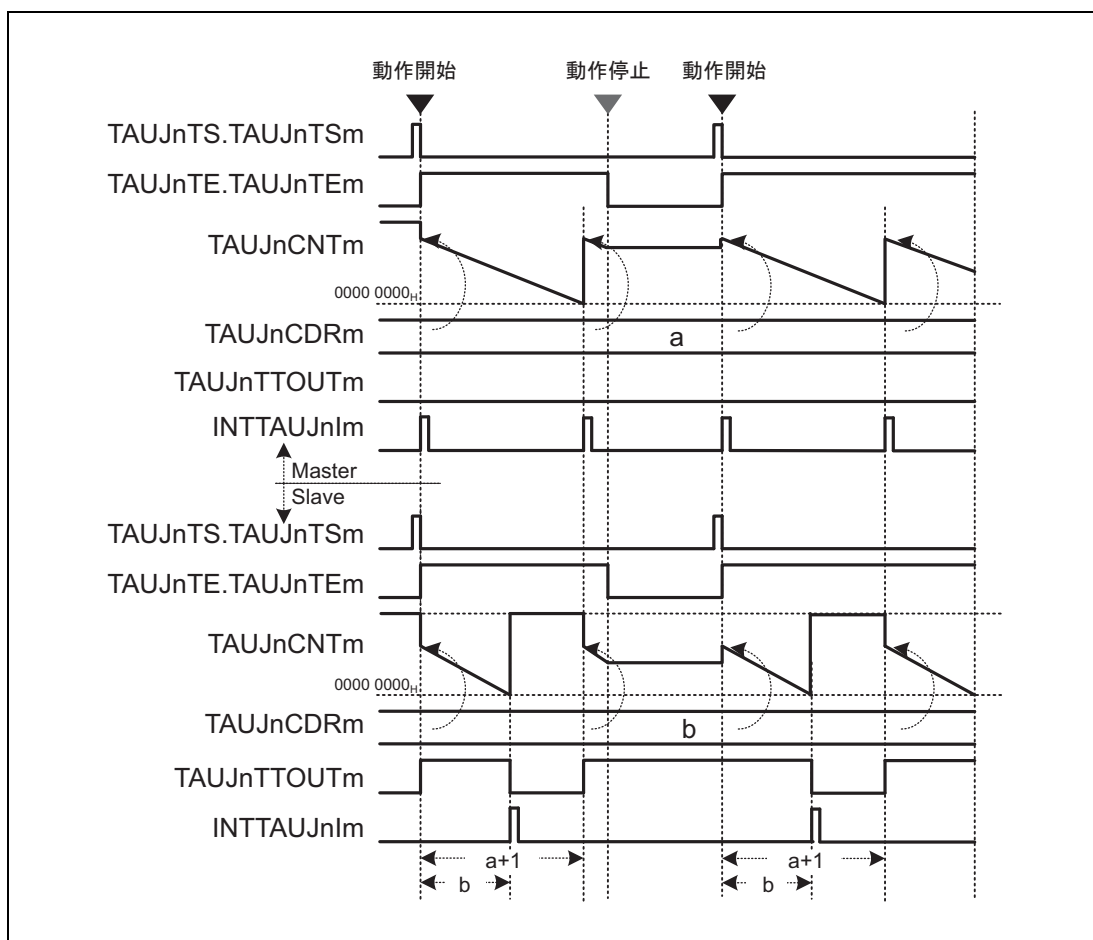


図 24.45 動作の停止と再開
正論理 ($\text{TAUJnTOL.TAUJnTOLm}$ (スレーブ) = 0)

- マスタ/スレーブチャンネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、 TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャンネルの TAUJnCNTm と TAUJnTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ/スレーブチャンネルの TAUJnTS.TAUJnTSM を 1 に設定すると、カウンタ動作を再開できます。マスタ/スレーブチャンネルの TAUJnCDRm 値を TAUJnCNTm にロードし、この値からダウンカウントを開始します。

第25章 モータコントロールタイマ (TSG3)

本章では、モータコントロールタイマ (TSG3) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、TSG3 の機能、レジスタについて説明します。

25.1 RH850/P1x TSG3 の特長

25.1.1 ユニット数

本製品は、以下に示すユニット数の TSG3 を搭載しています。

表 25.1 ユニット数

製品	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	2	2
名称	TSG3n (n = 0, 1)	TSG3n (n = 0, 1)

表 25.2 添字

添字	意味
n	本章では、TSG3 の各ユニットを「n」(n = 0, 1) で識別します。たとえば、TSG3n 制御レジスタ 0 は TSG3nCTL0 と記述します。
m, k	本章では、説明時の変数を「m」もしくは「k」で識別します。たとえば、特定のコンペアレジスタを TSG3nCMPmE と記述します。

25.1.2 レジスタベースアドレス

TSG3 のベースアドレスを以下の表に示します。

TSG3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 25.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TSG30_base>	FFE7 0000 _H
<TSG31_base>	FFE7 1000 _H

25.1.3 クロック供給

TSG3 のクロック供給を以下の表に示します。

表 25.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TSG3n	PCLK	高速周辺クロック CLK_HSB

25.1.4 割り込み要求

TSG3 の割り込み要求を以下の表に示します。

表 25.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA トリガ番号	DTS トリガ番号
TSG30				
INTTSG30I0	TSG30 コンペア一致割り込み 0	40	—	—
INTTSG30I1	TSG30 コンペア一致割り込み 1	41	—	—
INTTSG30I2	TSG30 コンペア一致割り込み 2	42	—	—
INTTSG30I3	TSG30 コンペア一致割り込み 3	43	—	—
INTTSG30I4	TSG30 コンペア一致割り込み 4	44	—	—
INTTSG30I5	TSG30 コンペア一致割り込み 5	45	—	—
INTTSG30I6	TSG30 コンペア一致割り込み 6	46	—	—
INTTSG30I7	TSG30 コンペア一致割り込み 7	47	—	—
INTTSG30I8	TSG30 コンペア一致割り込み 8	48	—	—
INTTSG30I9	TSG30 コンペア一致割り込み 9	49	—	—
INTTSG30I10	TSG30 コンペア一致割り込み 10	50	—	—
INTTSG30I11	TSG30 コンペア一致割り込み 11	51	99	99
INTTSG30I12	TSG30 コンペア一致割り込み 12	52	100	100
INTTSG30IPEK	TSG30 山割り込み	53	101	101
INTTSG30IVLY	TSG30 谷割り込み	54	102	102
INTTSG30IER	TSG30 エラー割り込み	55	—	—
INTTSG30IWN	TSG30 ワーニング割り込み	56	—	—
TSG31				
INTTSG31I0	TSG31 コンペア一致割り込み 0	57	—	—
INTTSG31I1	TSG31 コンペア一致割り込み 1	58	—	—
INTTSG31I2	TSG31 コンペア一致割り込み 2	59	—	—
INTTSG31I3	TSG31 コンペア一致割り込み 3	60	—	—
INTTSG31I4	TSG31 コンペア一致割り込み 4	61	—	—
INTTSG31I5	TSG31 コンペア一致割り込み 5	62	—	—
INTTSG31I6	TSG31 コンペア一致割り込み 6	63	—	—
INTTSG31I7	TSG31 コンペア一致割り込み 7	64	—	—
INTTSG31I8	TSG31 コンペア一致割り込み 8	65	—	—
INTTSG31I9	TSG31 コンペア一致割り込み 9	66	—	—
INTTSG31I10	TSG31 コンペア一致割り込み 10	67	—	—
INTTSG31I11	TSG31 コンペア一致割り込み 11	68	103	103
INTTSG31I12	TSG31 コンペア一致割り込み 12	69	104	104
INTTSG31IPEK	TSG31 山割り込み	70	105	105
INTTSG31IVLY	TSG31 谷割り込み	71	106	106
INTTSG31IER	TSG31 エラー割り込み	72	—	—
INTTSG31IWN	TSG31 ワーニング割り込み	73	—	—

25.1.5 リセット要因

TSG3 のリセット要因を以下に示します。

表 25.6 リセット要因

ユニット名	リセット要因
TSG3n	リセットコントローラ SYSRES

25.1.6 外部入出力信号

TSG3 の外部入出力信号を以下の表に示します。

表 25.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TSG30		
TSG30CLKI	クロック・イネーブル入力	TSG30CLKI
TSG30PTSI0-TSG30PTSI2	外部パタン入力	ENCA0E0, ENCA0E1, ENCA0EC 注1
TSG30O0-TSG30O7	タイマ出力	TSG30O0-TSG30O7
TSG31		
TSG31CLKI	クロック・イネーブル入力	TSG31CLKI
TSG31PTSI0-TSG31PTSI2	外部パタン入力	ENCA1E0, ENCA1E1, ENCA1EC 注1
TSG31O0-TSG31O7	タイマ出力	TSG31O0-TSG31O7

注 1. P1x 製品では外部パタン入力は ENCA_n 兼用入力と共用しています。

詳細仕様は、「29.2.2.9 PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ」を参照してください。

注 2. 外部パタン入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.6 ノイズフィルタ & エッジレベル検出回路」を参照してください。

25.2 概要

25.2.1 機能概要

TSG3n は、各種のモータ制御機能を持った 18 ビットタイマ/カウンタです。

- カウントクロック分解能：最小 12.5ns (カウントクロック 80MHz 時)
- 各種モータ制御方式に対応した動作モード
- リロードバッファ付きコンペアレジスタ
- 10 ビットのデッドタイムカウンタ
 - － リロードバッファ付きデッドタイムカウンタ
 - － 正相→逆相/逆相→正相で独立したデッドタイム値設定可能
- A/D 変換トリガ信号生成
 - － コンペアレジスタ TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E で、3 種類の A/D 変換トリガを生成
 - － A/D 変換トリガ
TSG3nADTRG0 信号 / TSG3nADTRG1 信号個別の間引き機能：間引き率 1/1, 1/2, 1/4, 1/8
 - － TSG3nADTRG0 信号でセット、TSG3nADTRG1 信号でリセットのトグル出力、または、ダイアグ出力の専用端子 (TSG3nO7)
- 割り込み間引き機能
 - － 間引き率 1/1~1/32
- 強制出力停止機能
 - － タイマオプション (TAPA) 機能を接続し、TSG3nO1-TSG3nO6 端子の出力ハイインピーダンス制御が可能
- コンペア値の設定
 - － リロード (一斉書き換え機能) / 随時書き換え機能選択可能
- リロードモード
 - － TSG3nCMP1E レジスタを書き込むことでリロード許可 (リロード要求フラグ TSG3nRSF をセット) となり、複数レジスタの同時転送可能
 - － 山/谷/山および谷のリロードタイミングで転送可能
 - － リロード要求フラグ TSG3nRSF を用意
 - － DMA 転送可能なレジスタアドレス配置
 - － リロード間引き機能
- HT-PWM モード
 - － デッドタイム縮小を含む 0-100% デューティ PWM 出力可能
 - － アップカウント側の PWM 出力に付加パルスあり/なしをコンペアレジスタの LSB で制御可能なため、ソフトウェア負荷なしで出力分解能を向上
- 120-DC 制御
 - － セミオートドライブ機能 (2 相エンコーダ / 3 相エンコーダ / ENCA と連携したオフセットでトリガ発生可能)

- 3相エンコーダ機能 (ホールセンサ等の信号を入力可能)
- 出力端子 TSG3nO1-TSG3nO6 のアクティブレベルを端子ごとに設定可能
- フェイルセーフ機能 (ワーニング/エラー割り込み発生可能)
 - 正相/逆相における同時アクティブ出力検出機能
 - 3相エンコーダの異常入力検出機能

備考

本章では、アクティブレベルをハイレベルとして説明しています。

25.2.2 ブロック図

以下のブロック図は TSG3 の主要なコンポーネントを示しています。

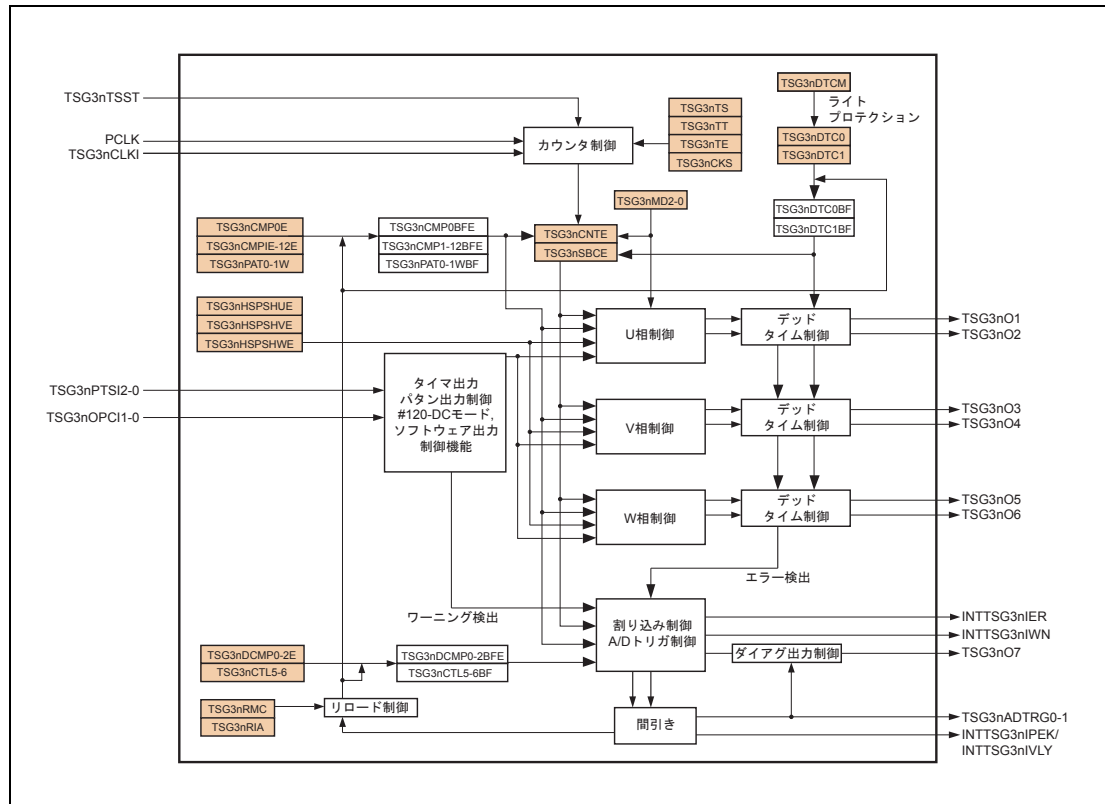


図 25.1 TSG3n のブロック図

- TSG3nTSST : 同時スタートトリガ (PIC1A から入力)

25.3 レジスタ

25.3.1 レジスタ一覧

TSG3n のレジスタ一覧を以下の表に示します。

<TSG3n_base> は「**25.1.2 レジスタベースアドレス**」を参照してください。

表 25.8 レジスタ一覧 (1/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n 制御レジスタ 0	TSG3nCTL0	<TSG3n_base> + 208 _H	なし
TSG3n	TSG3n 制御レジスタ 1	TSG3nCTL1	<TSG3n_base> + 20C _H	なし
TSG3n	TSG3n 制御レジスタ 2	TSG3nCTL2	<TSG3n_base> + 078 _H	あり
TSG3n	TSG3n 制御レジスタ 3	TSG3nCTL3	<TSG3n_base> + 004 _H	なし
TSG3n	TSG3n 制御レジスタ 4	TSG3nCTL4	<TSG3n_base> + 07C _H	あり
TSG3n	TSG3n 制御レジスタ 5	TSG3nCTL5	<TSG3n_base> + 008 _H	なし
TSG3n	TSG3n 制御レジスタ 6	TSG3nCTL6	<TSG3n_base> + 00C _H	なし
TSG3n	TSG3n 制御レジスタ 7	TSG3nCTL7	<TSG3n_base> + 218 _H	なし
TSG3n	TSG3n 制御レジスタ 8	TSG3nCTL8	<TSG3n_base> + 21C _H	なし
TSG3n	TSG3n I/O 制御レジスタ 0	TSG3nIOC0	<TSG3n_base> + 200 _H	なし
TSG3n	TSG3n I/O 制御レジスタ 1	TSG3nIOC1	<TSG3n_base> + 204 _H	なし
TSG3n	TSG3n I/O 制御レジスタ 2	TSG3nIOC2	<TSG3n_base> + 000 _H	なし
TSG3n	TSG3n I/O 制御レジスタ 3	TSG3nIOC3	<TSG3n_base> + 074 _H	あり
TSG3n	TSG3n ステータスレジスタ 0	TSG3nSTR0	<TSG3n_base> + 010 _H	なし
TSG3n	TSG3n ステータスレジスタ 1	TSG3nSTR1	<TSG3n_base> + 014 _H	なし
TSG3n	TSG3n ステータスレジスタ 2	TSG3nSTR2	<TSG3n_base> + 018 _H	なし
TSG3n	TSG3n ステータスクリアトリガレジスタ	TSG3nSTC	<TSG3n_base> + 01C _H	なし
TSG3n	TSG3n オプションレジスタ 0	TSG3nOPT0	<TSG3n_base> + 020 _H	なし
TSG3n	TSG3n オプションレジスタ 1	TSG3nOPT1	<TSG3n_base> + 024 _H	なし
TSG3n	TSG3n トリガレジスタ 0	TSG3nTRG0	<TSG3n_base> + 030 _H	なし
TSG3n	TSG3n トリガレジスタ 1	TSG3nTRG1	<TSG3n_base> + 034 _H	なし
TSG3n	TSG3n トリガレジスタ 2	TSG3nTRG2	<TSG3n_base> + 038 _H	なし
TSG3n	TSG3n カウンタリードバッファレジスタ	TSG3nCNT	<TSG3n_base> + 028 _H	なし
TSG3n	TSG3n ビット拡張カウンタリードバッファレジスタ	TSG3nCNTTE	<TSG3n_base> + 1A0 _H	なし
TSG3n	TSG3n サブカウンタリードバッファレジスタ	TSG3nSBC	<TSG3n_base> + 02C _H	なし
TSG3n	TSG3n ビット拡張 サブカウンタリードバッファレジスタ	TSG3nSBCE	<TSG3n_base> + 1A4 _H	なし
TSG3n	TSG3n コンペアレジスタ 0	TSG3nCMP0	<TSG3n_base> + 058 _H	あり
TSG3n	TSG3n ビット拡張 コンペアレジスタ 0	TSG3nCMP0E	<TSG3n_base> + 14C _H	あり
TSG3n	TSG3n コンペアレジスタ 1, 2	TSG3nCMP1W	<TSG3n_base> + 040 _H	あり
TSG3n	TSG3n コンペアレジスタ 5, 6	TSG3nCMP5W	<TSG3n_base> + 044 _H	あり
TSG3n	TSG3n コンペアレジスタ 9, 10	TSG3nCMP9W	<TSG3n_base> + 048 _H	あり
TSG3n	TSG3n コンペアレジスタ 3, 4	TSG3nCMP3W	<TSG3n_base> + 04C _H	あり
TSG3n	TSG3n コンペアレジスタ 7, 8	TSG3nCMP7W	<TSG3n_base> + 050 _H	あり
TSG3n	TSG3n コンペアレジスタ 11, 12	TSG3nCMP11W	<TSG3n_base> + 054 _H	あり
TSG3n	TSG3n コンペアレジスタ 1	TSG3nCMP1	<TSG3n_base> + 080 _H	あり
TSG3n	TSG3n コンペアレジスタ 2	TSG3nCMP2	<TSG3n_base> + 084 _H	あり
TSG3n	TSG3n コンペアレジスタ 3	TSG3nCMP3	<TSG3n_base> + 098 _H	あり

表 25.8 レジスタ一覧 (2/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n コンペアレジスタ 4	TSG3nCMP4	<TSG3n_base> + 09C _H	あり
TSG3n	TSG3n コンペアレジスタ 5	TSG3nCMP5	<TSG3n_base> + 088 _H	あり
TSG3n	TSG3n コンペアレジスタ 6	TSG3nCMP6	<TSG3n_base> + 08C _H	あり
TSG3n	TSG3n コンペアレジスタ 7	TSG3nCMP7	<TSG3n_base> + 0A0 _H	あり
TSG3n	TSG3n コンペアレジスタ 8	TSG3nCMP8	<TSG3n_base> + 0A4 _H	あり
TSG3n	TSG3n コンペアレジスタ 9	TSG3nCMP9	<TSG3n_base> + 090 _H	あり
TSG3n	TSG3n コンペアレジスタ 10	TSG3nCMP10	<TSG3n_base> + 094 _H	あり
TSG3n	TSG3n コンペアレジスタ 11	TSG3nCMP11	<TSG3n_base> + 0A8 _H	あり
TSG3n	TSG3n コンペアレジスタ 12	TSG3nCMP12	<TSG3n_base> + 0AC _H	あり
TSG3n	TSG3n ビット拡張 コンペアレジスタ 1	TSG3nCMP1E	<TSG3n_base> + 17C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 2	TSG3nCMP2E	<TSG3n_base> + 178 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 3	TSG3nCMP3E	<TSG3n_base> + 164 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 4	TSG3nCMP4E	<TSG3n_base> + 160 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 5	TSG3nCMP5E	<TSG3n_base> + 174 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 6	TSG3nCMP6E	<TSG3n_base> + 170 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 7	TSG3nCMP7E	<TSG3n_base> + 15C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 8	TSG3nCMP8E	<TSG3n_base> + 158 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 9	TSG3nCMP9E	<TSG3n_base> + 16C _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 10	TSG3nCMP10E	<TSG3n_base> + 168 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 11	TSG3nCMP11E	<TSG3n_base> + 154 _H	あり
TSG3n	TSG3n ビット拡張コンペアレジスタ 12	TSG3nCMP12E	<TSG3n_base> + 150 _H	あり
TSG3n	TSG3n ダイアグ出力用コンペアレジスタ 0, 1	TSG3nDCMP0W	<TSG3n_base> + 05C _H	あり
TSG3n	TSG3n ダイアグ出力用コンペアレジスタ 2	TSG3nDCMP2	<TSG3n_base> + 060 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0	TSG3nDCMP0E	<TSG3n_base> + 148 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 1	TSG3nDCMP1E	<TSG3n_base> + 144 _H	あり
TSG3n	TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 2	TSG3nDCMP2E	<TSG3n_base> + 140 _H	あり
TSG3n	TSG3n パタンレジスタ 0	TSG3nPAT0W	<TSG3n_base> + 064 _H	あり
TSG3n	TSG3n パタンレジスタ 1	TSG3nPAT1W	<TSG3n_base> + 068 _H	あり
TSG3n	TSG3n デッドタイム制御レジスタ 0	TSG3nDTC0W	<TSG3n_base> + 06C _H	あり
TSG3n	TSG3n デッドタイム制御レジスタ 1	TSG3nDTC1W	<TSG3n_base> + 070 _H	あり
TSG3n	TSG3n HT-PWM U 相用コンペアレジスタ	TSG3nCMPU	<TSG3n_base> + 0B0 _H	あり
TSG3n	TSG3n HT-PWM V 相用コンペアレジスタ	TSG3nCMPV	<TSG3n_base> + 0B4 _H	あり
TSG3n	TSG3n HT-PWM W 相用コンペアレジスタ	TSG3nCMPW	<TSG3n_base> + 0B8 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM U 相用コンペアレジスタ	TSG3nCMPUE	<TSG3n_base> + 188 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM V 相用コンペアレジスタ	TSG3nCMPVE	<TSG3n_base> + 184 _H	あり
TSG3n	TSG3n ビット拡張 HT-PWM W 相用コンペアレジスタ	TSG3nCMPWE	<TSG3n_base> + 180 _H	あり
TSG3n	TSG3n SP-PWM U 相アクティブ幅レジスタ	TSG3nUPW	<TSG3n_base> + 0BC _H	あり
TSG3n	TSG3n SP-PWM V 相アクティブ幅レジスタ	TSG3nVPW	<TSG3n_base> + 0C0 _H	あり
TSG3n	TSG3n SP-PWM W 相アクティブ幅レジスタ	TSG3nWPW	<TSG3n_base> + 0C4 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM U 相アクティブ幅レジスタ	TSG3nUPWE	<TSG3n_base> + 198 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM V 相アクティブ幅レジスタ	TSG3nVPWE	<TSG3n_base> + 194 _H	あり
TSG3n	TSG3n ビット拡張 SP-PWM W 相アクティブ幅レジスタ	TSG3nWPWE	<TSG3n_base> + 190 _H	あり
TSG3n	TSG3n HSP-PWM W 相用シフトレジスタ	TSG3nHSPSHWE	<TSG3n_base> + 120 _H	あり
TSG3n	TSG3n HSP-PWM V 相用シフトレジスタ	TSG3nHSPSHVE	<TSG3n_base> + 124 _H	あり

表 25.8 レジスタ一覧 (3/3)

モジュール名	レジスタ名	略号	アドレス	リロード
TSG3n	TSG3n HSP-PWM U 相用シフトレジスタ	TSG3nHSPSHUE	<TSG3n_base> + 128 _H	あり
TSG3n	TSG3n HSP-PWM W 相用コンペアレジスタ	TSG3nHSPCMWE	<TSG3n_base> + 12C _H	あり
TSG3n	TSG3n HSP-PWM V 相用コンペアレジスタ	TSG3nHSPCMVE	<TSG3n_base> + 130 _H	あり
TSG3n	TSG3n HSP-PWM U 相用コンペアレジスタ	TSG3nHSPCMUE	<TSG3n_base> + 134 _H	あり
TSG3n	TSG3n デッドタイムプロテクションレジスタ	TSG3nDTPR	<TSG3n_base> + 210 _H	なし

25.3.2 TSG3nCTL0 — TSG3n 制御レジスタ 0

ダイアグ出力用パルス幅、TSG3n の動作モードを設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 208_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TSG3nDWD	—	TSG3nMD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R/W	R/W	R/W

表 25.9 TSG3nCTL0 レジスタの内容

ビット位置	ビット名	機能																												
7 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																												
4	TSG3nDWD	ダイアグ出力用パルス幅を選択 0: パルスを 8 クロック幅で出力 1: パルスを 16 クロック幅で出力 このビットの設定は、ダイアグ出力許可 (TSG3nIOC1.TSG3nTGS = 1) 時に有効です。																												
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																												
2 ~ 0	TSG3nMD[2:0]	タイマモードを選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TSG3n MD2</th> <th>TSG3n MD1</th> <th>TSG3n MD0</th> <th>タイマモード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PWM モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>HT-PWM モード (HT-PWM)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>シフトパルス PWM モード (SP-PWM)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>120-DC モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>高精度シフトパルス PWM モード (HSP-PWM)</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	TSG3n MD2	TSG3n MD1	TSG3n MD0	タイマモード	0	0	0	PWM モード	0	0	1	HT-PWM モード (HT-PWM)	0	1	0	シフトパルス PWM モード (SP-PWM)	0	1	1	120-DC モード	1	0	0	高精度シフトパルス PWM モード (HSP-PWM)	上記以外			設定禁止
TSG3n MD2	TSG3n MD1	TSG3n MD0	タイマモード																											
0	0	0	PWM モード																											
0	0	1	HT-PWM モード (HT-PWM)																											
0	1	0	シフトパルス PWM モード (SP-PWM)																											
0	1	1	120-DC モード																											
1	0	0	高精度シフトパルス PWM モード (HSP-PWM)																											
上記以外			設定禁止																											

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

25.3.3 TSG3nCTL1 — TSG3n 制御レジスタ 1

TSG3n の各種フラグを制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 20C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBA2	TSG3n TBA1	TSG3n TBA0	TSG3n PPC	TSG3n PEC	TSG3n TDC	TSG3n NDC	TSG3n PRC	TSG3nPTC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.10 TSG3nCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TSG3nTBA2	TSG3nO5 端子と TSG3nO6 端子の同時アクティブの検出を選択します。 0 : TSG3nO5 端子と TSG3nO6 端子の同時アクティブを検出しない 1 : TSG3nO5 端子と TSG3nO6 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA2 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 2 (TSG3nTBF2) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
8	TSG3nTBA1	TSG3nO3 端子と TSG3nO4 端子の同時アクティブの検出を選択します。 0 : TSG3nO3 端子と TSG3nO4 端子の同時アクティブを検出しない 1 : TSG3nO3 端子と TSG3nO4 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA1 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 1 (TSG3nTBF1) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
7	TSG3nTBA0	TSG3nO1 端子と TSG3nO2 端子の同時アクティブの検出を選択します。 0 : TSG3nO1 端子と TSG3nO2 端子の同時アクティブを検出しない 1 : TSG3nO1 端子と TSG3nO2 端子の同時アクティブを検出する TSG3nIOC1.TSG3nEOC ビット = 1、TSG3nTBA0 ビット = 1 のとき、同時アクティブを検出すると、正相/逆相同時アクティブ検出フラグ 0 (TSG3nTBF0) がセット (1) され、エラー割り込み (INTTSG3nIER) が発生します。
6	TSG3nPPC	TSG3nPTSI2-0、TSG3nOPF2-0 のパタン位相差異の検出 (TSG3nSTR2.TSG3nPPF) を制御します。 0 : 入力/出力パタンの差異検出禁止 1 : 入力/出力パタンの差異検出許可
5	TSG3nPEC	TSG3nPTSI2-0 のパタンエラーの検出 (TSG3nSTR2.TSG3nPEF) を制御します。 0 : TSG3nPTSI2-0 端子のパタンエラー検出を禁止 1 : TSG3nPTSI2-0 端子のパタンエラー検出を許可
4	TSG3nTDC	TSG3nOPCI0、TSG3nOPCI1 の同時トリガの検出 (TSG3nSTR2.TSG3nTDF) を制御します。 0 : TSG3nOPCI0、TSG3nOPCI1 の同時トリガ検出を禁止 1 : TSG3nOPCI0、TSG3nOPCI1 の同時トリガ検出を許可

表 25.10 TSG3nCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能														
3	TSG3nNDC	TSG3nPTSI2-0 のノイズ発生 (同時に 2 端子以上の変化) の検出 (TSG3nSTR2.TSG3nNDF) を制御します。 0 : TSG3nPTSI2-0 のノイズ発生の検出を禁止 1 : TSG3nPTSI2-0 のノイズ発生の検出を許可														
2	TSG3nPRC	TSG3nPTSI2-0 のパタンの反転の検出 (TSG3nSTR2.TSG3nPRF) を制御します。 0 : TSG3nPTSI2-0 のパタンの反転の検出を禁止 1 : TSG3nPTSI2-0 のパタンの反転の検出を許可														
1, 0	TSG3nPTC[1:0]	TSG3nOPCI1.0 のトリガ間における TSG3nPTSI2-0 の端子の異常トグルの検出 (TSG3nSTR2.TSG3nPTF) を制御します。 <table border="1" data-bbox="667 622 1406 875"> <thead> <tr> <th>TSG3n PTC1</th> <th>TSG3n PTC0</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td rowspan="2">TSG3nPTSI2-0 の端子異常を検出しません</td> </tr> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>TSG3nPTSI2-0 の端子異常を検出します</td> </tr> <tr> <td>1</td> <td>1</td> <td>TSG3nPTSI2-0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます</td> </tr> </tbody> </table>	TSG3n PTC1	TSG3n PTC0	機能	0	0	TSG3nPTSI2-0 の端子異常を検出しません	0	1	1	0	TSG3nPTSI2-0 の端子異常を検出します	1	1	TSG3nPTSI2-0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます
TSG3n PTC1	TSG3n PTC0	機能														
0	0	TSG3nPTSI2-0 の端子異常を検出しません														
0	1															
1	0	TSG3nPTSI2-0 の端子異常を検出します														
1	1	TSG3nPTSI2-0 の端子異常を検出します。また、異常検出時は、パタン出力切り替えトリガをトリガ切り替えからパタン切り替え (TSG3nPOT = 1 → 0) に自動的に切り替えます														

注 意

1. TSG3nDTC0 または TSG3nDTC1 を 0000_H (デッドタイム無し) で使用する場合は、TSG3nTBA2-0 ビットは 0 にしてください。
2. このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

25.3.4 TSG3nCTL2 — TSG3n 制御レジスタ 2

カウントクロックを選択します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 078_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3n CKS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 25.11 TSG3nCTL2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TSG3nCKS	カウントクロックを選択 0: PCLK をカウントクロックとして選択 1: クロックイネーブル入力 (TSG3nCLKI) がハイレベルのときに PCLK にてカウント

注 意

HT-PWM モード、HSP-PWM モードのときは TSG3nCKS ビットは 0 にしてください。

25.3.5 TSG3nCTL3 — TSG3n 制御レジスタ 3

コンペアレジスタの書き換え方法を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3nRIA	TSG3nRMC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.12 TSG3nCTL3 レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	TSG3nRIA	コンペアレジスタのリロードタイミングを選択 0: リロードタイミングは、山リロードタイミング (TSG3nCTL4.TSG3nPRE にて設定) と谷リロードタイミング (TSG3nCTL4.TSG3nVRE にて設定) 時に発生 1: リロードタイミングは、山割り込みタイミングと谷割り込みタイミング時に発生 このビットの設定は、リロードモード (TSG3nRMC = 0) 時に有効です。
0	TSG3nRMC	コンペアレジスタの転送タイミングを選択 0: リロードモード (一斉書き換え機能) リロード対象レジスタへライトするとリロードが許可され、次のリロードタイミングで一斉に更新されます (リロード)。リロード対象以外のレジスタへライトしてもリロードは許可されません。 リロード対象レジスタは「25.3.1 レジスタ一覧」を参照してください。 1: 随時書き換えモード 各コンペアレジスタが独立して更新動作を行い、各コンペアレジスタに書き込むと随時ライトアクセスした値に更新されます。また、TSG3nRSF は、クリアされます。 120-DC モードおよび HSP-PWM モードでは、TSG3nRMC を 1 にセットしないでください。

25.3.6 TSG3nCTL4 — TSG3n 制御レジスタ 4

山割り込み、谷割り込みとリロードタイミングを制御します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 07C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3n PRE	TSG3n VRE	TSG3n PIE	TSG3n VIE	TSG3nRCC[04:00]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.13 TSG3nCTL4 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	TSG3nPRE	山リロードタイミングの許可/禁止を選択します。 0: 18ビットカウンタの山タイミングにおけるリロード動作を禁止する 1: 18ビットカウンタの山タイミングにおけるリロード動作を許可する <ul style="list-style-type: none"> 山リロードタイミングは、HT-PWM モード時の 18ビットカウンタの山タイミングと HT-PWM モード以外のコンペア一致による 18ビットカウンタのクリアタイミングを示します。 18ビットカウンタの山タイミングにおけるリロード動作を禁止 (TSG3nPRE = 0) した場合、HT-PWM 以外のモードでは、リロードが発生しません。
7	TSG3nVRE	谷リロードタイミングの許可/禁止を選択します。 0: 18ビットカウンタの谷タイミングにおけるリロード動作を禁止する 1: 18ビットカウンタの谷タイミングにおけるリロード動作を許可する このビットの設定は、HT-PWM モードのみ有効です。
6	TSG3nPIE	山割り込み (INTTSG3nIPEK) の発生許可/禁止を選択します。 0: 18ビットカウンタの山タイミングにおける山割り込み (INTTSG3nIPEK) の発生禁止。割り込み間引きの対象とはなりません。 1: 18ビットカウンタの山タイミングにおける山割り込み (INTTSG3nIPEK) の発生許可。割り込み間引きの対象となります。
5	TSG3nVIE	谷割り込み (INTTSG3nIVLY) の発生許可/禁止を選択します。 0: 18ビットカウンタの谷タイミングにおける谷割り込み (INTTSG3nIVLY) の発生禁止。割り込み間引きの対象とはなりません。 1: 18ビットカウンタの谷タイミングにおける谷割り込み (INTTSG3nIVLY) の発生許可。割り込み間引きの対象となります。 このビットの設定は、HT-PWM モードのみ有効です。

表 25.13 TSG3nCTL4 レジスタの内容 (2/2)

ビット位置	ビット名	機能					
4 ~ 0	TSG3nRCC [04:00]	割り込み (INTTSG3nIPEK、INTTSG3nIVLY) とリロードの間引き率を指定します。					
		TSG3n RCC04	TSG3n RCC03	TSG3n RCC02	TSG3n RCC01	TSG3n RCC00	間引き率
		0	0	0	0	0	間引きなし
		0	0	0	0	1	1/2
		0	0	0	1	0	1/3
		0	0	0	1	1	1/4
	
	
	
		1	1	1	0	1	1/30
		1	1	1	1	0	1/31
		1	1	1	1	1	1/32
		タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL4 にライトアクセス (TSG3nRCC[04:00] への同一値を含む) した場合、割り込み間引きカウンタはクリアされます。					

25.3.7 TSG3nCTL5 — TSG3n 制御レジスタ 5

A/D 変換トリガ出力 (TSG3nADTRG0) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nACC [01:00]	TSG3n AT09	TSG3n AT08	TSG3n AT07	TSG3n AT06	TSG3n AT05	TSG3n AT04	TSG3n AT03	TSG3n AT02	TSG3n AT01	TSG3n AT00	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.14 TSG3nCTL5 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
11, 10	TSG3nACC [01:00]	A/D 変換トリガ (TSG3nADTRG0) の間引き率を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TSG3nACC 01</th> <th>TSG3nACC 00</th> <th>間引き率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>間引きなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1/2</td> </tr> <tr> <td>1</td> <td>0</td> <td>1/4</td> </tr> <tr> <td>1</td> <td>1</td> <td>1/8</td> </tr> </tbody> </table> <p>タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL5 にライトアクセス (TSG3nACC01, TSG3nACC00 への同一値を含む) した場合は、間引きカウンタはクリアされます。</p>	TSG3nACC 01	TSG3nACC 00	間引き率	0	0	間引きなし	0	1	1/2	1	0	1/4	1	1	1/8
TSG3nACC 01	TSG3nACC 00	間引き率															
0	0	間引きなし															
0	1	1/2															
1	0	1/4															
1	1	1/8															
9	TSG3nAT09	18 ビットサブカウンタがアップカウントからダウンカウントへ切り替わる (山) タイミングで A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットサブカウンタの山タイミングを A/D 変換トリガとしない 1: 18 ビットサブカウンタの山タイミングを A/D 変換トリガとする <ul style="list-style-type: none"> TSG3nAT09 ビットは、HT-PWM モード時のみ、TSG3nAT09 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT09 = 0 に設定してください。 TSG3nDTC0W ≠ 0000_H、TSG3nDTC1W = 0000_H の場合に、TSG3nAT09 = 1 に設定しないでください。18 ビットサブカウンタの山タイミングでは A/D 変換トリガが発生しません。 															
8	TSG3nAT08	18 ビットサブカウンタがダウンカウントからアップカウントへ切り替わる (谷) タイミングでの A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとしない 1: 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとする <ul style="list-style-type: none"> TSG3nAT08 ビットは、HT-PWM モード時のみ、TSG3nAT08 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT08 = 0 に設定してください。 TSG3nDTC0W = 0000_H、TSG3nDTC1W ≠ 0000_H の場合に、TSG3nAT08 = 1 に設定しないでください。18 ビットサブカウンタの谷タイミングでは A/D 変換トリガが発生しません。 															
7	TSG3nAT07	18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする <p>このビットの設定は、HT-PWM モード時のみ、TSG3nAT07 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT07 = 0 に設定してください。</p>															

表 25.14 TSG3nCTL5 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	TSG3nAT06	18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする
5	TSG3nAT05	18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT05 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT05 = 0 に設定してください。
4	TSG3nAT04	18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする
3	TSG3nAT03	18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT03 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT03 = 0 に設定してください。
2	TSG3nAT02	18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする
1	TSG3nAT01	18 ビットカウンタがアップカウントからダウンカウントへ切り替わるタイミング (山割り込み) で、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとしない 1: 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとする
0	TSG3nAT00	18 ビットカウンタがダウンカウントからアップカウントへ切り替わるタイミング (谷割り込み) で、A/D 変換トリガ (TSG3nADTRG0) 発生有無を指定します。 0: 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとしない 1: 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT00 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT00 = 0 に設定してください。

25.3.8 TSG3nCTL6 — TSG3n 制御レジスタ 6

A/D 変換トリガ出力 (TSG3nADTRG1) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 00C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nACC [11:10]	TSG3n AT19	TSG3n AT18	TSG3n AT17	TSG3n AT16	TSG3n AT15	TSG3n AT14	TSG3n AT13	TSG3n AT12	TSG3n AT11	TSG3n AT10	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.15 TSG3nCTL6 レジスタの内容 (1/2)

ビット位置	ビット名	機能															
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
11, 10	TSG3nACC [11:10]	A/D 変換トリガ (TSG3nADTRG1) の間引き率を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>TSG3nACC 11</th> <th>TSG3nACC 10</th> <th>間引き率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>間引きなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1/2</td> </tr> <tr> <td>1</td> <td>0</td> <td>1/4</td> </tr> <tr> <td>1</td> <td>1</td> <td>1/8</td> </tr> </tbody> </table> タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nCTL6 にライトアクセス (TSG3nACC11, TSG3nACC10 への同一値を含む) した場合、間引きカウンタはクリアされます。	TSG3nACC 11	TSG3nACC 10	間引き率	0	0	間引きなし	0	1	1/2	1	0	1/4	1	1	1/8
TSG3nACC 11	TSG3nACC 10	間引き率															
0	0	間引きなし															
0	1	1/2															
1	0	1/4															
1	1	1/8															
9	TSG3nAT19	18 ビットサブカウンタがアップカウントからダウンカウントへ切り替わる (山) タイミングで A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットサブカウンタの山タイミングを A/D 変換トリガとしない 1: 18 ビットサブカウンタの山タイミングを A/D 変換トリガとする <ul style="list-style-type: none"> TSG3nAT19 ビットは、HT-PWM モード時のみ、TSG3nAT19 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT19 = 0 に設定してください。 TSG3nDTC0W ≠ 0000_H, TSG3nDTC1W = 0000_H の場合に、TSG3nAT19 = 1 に設定しないでください。18 ビットサブカウンタの山タイミングでは A/D 変換トリガが発生しません。 															
8	TSG3nAT18	18 ビットサブカウンタがダウンカウントからアップカウントへ切り替わる (谷) タイミングでの A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとしない 1: 18 ビットサブカウンタの谷タイミングを A/D 変換トリガとする <ul style="list-style-type: none"> TSG3nAT18 ビットは、HT-PWM モード時のみ、TSG3nAT18 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT18 = 0 に設定してください。 TSG3nDTC0W = 0000_H, TSG3nDTC1W ≠ 0000_H の場合に、TSG3nAT18 = 1 に設定しないでください。18 ビットサブカウンタの谷タイミングでは A/D 変換トリガが発生しません。 															
7	TSG3nAT17	18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする <p>このビットの設定は、HT-PWM モード時のみ、TSG3nAT17 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT17 = 0 に設定してください。</p>															

表 25.15 TSG3nCTL6 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	TSG3nAT16	18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP2E の一致が発生した場合、A/D 変換トリガとする
5	TSG3nAT15	18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT15 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT15 = 0 に設定してください。
4	TSG3nAT14	18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP1E の一致が発生した場合、A/D 変換トリガとする
3	TSG3nAT13	18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのダウンカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT13 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT13 = 0 に設定してください。
2	TSG3nAT12	18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとしない 1: 18 ビットカウンタのアップカウントと TSG3nDCMP0E の一致が発生した場合、A/D 変換トリガとする
1	TSG3nAT11	18 ビットカウンタがアップカウントからダウンカウントへ切り替わるタイミング (山割り込み) で、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとしない 1: 間引き後の山割り込み (INTTSG3nIPEK) を A/D 変換トリガとする
0	TSG3nAT10	18 ビットカウンタがダウンカウントからアップカウントへ切り替わるタイミング (谷割り込み) で、A/D 変換トリガ (TSG3nADTRG1) 発生有無を指定します。 0: 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとしない 1: 間引き後の谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとする このビットの設定は、HT-PWM モード時のみ、TSG3nAT10 = 1 に設定可能です。それ以外のモードの場合は、必ず TSG3nAT10 = 0 に設定してください。

25.3.9 TSG3nCTL7 — TSG3n 制御レジスタ 7

SP-PWM モードの動作開始 (TSG3nTE が 0 から 1) と、リスタート時の PWM 出力 TSG3nO1-6 の出力レベルを設定します。

このレジスタは SP-PWM モード (TSG3nMD2-0 = 010)、かつ動作停止時 (TSG3nTE = 0) のみ設定可能です。その他のモード (PWM モード、HT-PWM モード、120-DC モード、HSP-PWM モード) のとき、または動作中 (TSG3nTE=1) に、このレジスタを書き換えしないでください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 218_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TSG3n SPSTL2	TSG3n SPSTL1	TSG3n SPSTL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.16 TSG3nCTL7 レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TSG3nSPSTL2	SP-PWM モード開始レベル制御ビット 2 0: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO5 (W 相) はクリア、TSG3nO6 (WB 相) はセットされる。 1: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO5 (W 相) はセット、TSG3nO6 (WB 相) はクリアされる。
1	TSG3nSPSTL1	SP-PWM モード開始レベル制御ビット 1 0: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO3 (V 相) はクリア、TSG3nO4 (VB 相) はセットされる。 1: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO3 (V 相) はセット、TSG3nO4 (VB 相) はクリアされる。
0	TSG3nSPSTL0	SP-PWM モード開始レベル制御ビット 0 0: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO1 (U 相) はクリア、TSG3nO2 (UB 相) はセットされる。 1: SP-PWM モードで動作開始 (TSG3nTE が 0 から 1) 時、もしくはリスタート時に TSG3nO1 (U 相) はセット、TSG3nO2 (UB 相) はクリアされる。

備考

TSG3nSPSTL2-0 ビットの設定に応じて、動作開始時およびリスタート時に TSG3nO1-6 の出力が変化しますが、その際にも設定したデッドタイムは必ず挿入されます。

25.3.10 TSG3nCTL8 — TSG3n 制御レジスタ 8

このレジスタは、120-DC モードの入力パタン変更時のタイマ出力のタイミングを設定するレジスタです。

このレジスタは 120-DC モード (TSG3nMD2-0 = 011)、かつ動作停止時 (TSG3nTE = 0) のみ設定可能です。その他のモード (PWM モード、SP-PMW モード、HT-PWM モード、HSP-PWM モード) のとき、または動作中 (TSG3nTE = 1) にこのレジスタを書き換えないでください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 21C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3n S120DCO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.17 TSG3nCTL8 レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TSG3n S120DCO	120-DC モード制御ビット 0 0: 120-DC モードで入力パタンが変化すると、メインカウンタ (TSG3nCnTE) をクリアし、パタン変更を即時タイマ出力に反映する。 1: 120-DC モードで入力パタンが変化すると、メインカウンタ (TSG3nCnTE) と TSG3nCnMP0E の一致を待ってから (次のタイマ周期から)、パタン変更をタイマ出力に反映する。

注 意

120DC モードで TSG3nS120DCO = 1 に設定する場合は、TSG3nOPT0 の TSG3nSOC は必ず "0" に設定してください。
また、タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) は、TSG3nOPT0 の TSG3nSTE、TSG3nPOT を変更しないでください。

25.3.11 TSG3nIOC0 — TSG3n I/O 制御レジスタ 0

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 200_H

リセット後の値 7E_H

ビット	7	6	5	4	3	2	1	0
	—	TSG3nTOE6	TSG3nTOE5	TSG3nTOE4	TSG3nTOE3	TSG3nTOE2	TSG3nTOE1	—
リセット後の値	0	1	1	1	1	1	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 25.18 TSG3nIOC0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 1	TSG3nTOE6-TSG3nTOE1	TSG3nIOC2 による TSG3nO6 - 1 の制御許可、禁止を設定します。1 の場合は、TSG3nIOC2 の書き換えは無視されます。 0: 許可 1: 禁止
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

25.3.12 TSG3nIOC1 — TSG3n I/O 制御レジスタ 1

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 204_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TSG3nPTS	TSG3nEOC	TSG3nWOC	TSG3nTGS	TSG3nTOS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 25.19 TSG3nIOC1 レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TSG3nPTS	TSG3nPTSI0-2のエッジ検出信号 (TSG3nPTE) と 2相エンコーダカウント信号 (TSG3nPEC) の出力許可/禁止を選択します。 0: TSG3nPTSI0-2のエッジ検出でトグル信号の出力を禁止 1: TSG3nPTSI0-2のエッジ検出でトグル信号の出力を許可
3	TSG3nEOC	モータ制御時のエラー状態の検出を選択します。 0: エラー割り込み (INTTSG3nIER) の発生を禁止する 1: エラー割り込み (INTTSG3nIER) の発生を許可する エラー割り込み制御に関する詳細は「25.4.6.1 エラー割り込み機能」を参照してください。
2	TSG3nWOC	モータ制御時のワーニングの検出を選択します。 0: ワーニング割り込み (INTTSG3nIWN) の発生を禁止する 1: ワーニング割り込み (INTTSG3nIWN) の発生を許可する ワーニング割り込み制御に関する詳細は「25.4.6.2 ワーニング割り込み機能」を参照してください。
1	TSG3nTGS	A/D変換トリガ診断出力 (TSG3nO7) 信号を選択します。 0: A/D変換トリガ出力を選択 1: ダイアグ出力を選択
0	TSG3nTOS	タイマアップ/ダウンステータス出力 (TSG3nO0) 信号を選択します。 0: 18ビットカウンタのアップ/ダウンカウントフラグを出力 1: 18ビットサブカウンタのアップ/ダウンカウントフラグを出力 • TSG3nTOS = 0の場合、TSG3nSTR0.TSG3nCUFの状態をTSG3nO0へ出力します。また、TSG3nTOS = 1の場合、TSG3nSTR0.TSG3nSUFの状態をTSG3nO0へ出力します。 • このビットの設定は、HT-PWMモードのみ有効です。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

25.3.13 TSG3nIOC2 — TSG3n I/O 制御レジスタ 2

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TSG3nOL6	TSG3nOL5	TSG3nOL4	TSG3nOL3	TSG3nOL2	TSG3nOL1	—	—	TSG3nTO6	TSG3nTO5	TSG3nTO4	TSG3nTO3	TSG3nTO2	TSG3nTO1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 25.20 TSG3nIOC2 レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ~ 9	TSG3nOL6-TSG3nOL1	TSG3nO6-TSG3nO1 出力のアクティブレベルを設定します。 0: アクティブレベルはハイレベル 1: アクティブレベルはロウレベル
8 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 1	TSG3nTO6-TSG3nTO1	TSG3nO6-TSG3nO1 の出力バッファのラッチレベルを設定します。 0: 出力バッファのラッチレベルはロウレベル 1: 出力バッファのラッチレベルはハイレベル
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

カウンタを停止 (TSG3nSTR0.TSG3nTE = 0) とした場合、TSG3nO1 ~ 6 端子は出力状態を保持します。出力レベルを変更する場合は TSG3nIOC0.TSG3nTOEm ビットを 0 にし TSG3nTOm ビットにより変更する必要があります。

このレジスタの設定は、TSG3nIOC0.TSG3nTOEm = 0 (m = 1 ~ 6) のとき、書き換え可能です。

備 考

タイマ停止中 (TSG3nSTR0.TSG3nTE = 0)、かつ、TSG3nIOC2 書き換えによる TSG3nOm の制御許可 (TSG3nIOC0.TSG3nTOEm = 0) 時に TSG3nIOC2 の TSG3nOLm と TSG3nTOm により TSG3nOm に以下の任意のレベルを出力することができます。

TSG3nOLm	TSG3nTOm	TSG3nOm の出力レベル
0	0	ロウレベル
0	1	ハイレベル
1	0	ハイレベル
1	1	ロウレベル

25.3.14 TSG3nIOC3— TSG3n I/O 制御レジスタ 3

タイマ出力 (TSG3nO1-TSG3nO6 端子) を制御します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 074_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TSG3n TOL6	TSG3n TOL5	TSG3n TOL4	TSG3n TOL3	TSG3n TOL2	TSG3n TOL1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 25.21 TSG3nIOC3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 1	TSG3nTOL6- TSG3nTOL1	出力のセット/クリアレベルを制御します。 0: 通常レベル出力 1: 反転レベル出力 このビットの設定は、出力開始時から反映され、出力レベルの変更は、変更後の次のコンペアー一致から出力レベルが反映されます。
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

HT-PWM および HSP-PWM モードのときは TSG3nTOL6-TSG3nTOL1 は "0" としてください。

25.3.15 TSG3nSTR0 — TSG3n ステータスレジスタ 0

各種フラグを格納します。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 010_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nCUF	TSG3nSUF	TSG3nRSF	TSG3nTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.22 TSG3nSTR0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	TSG3nCUF	18ビットカウンタのカウンタ状態を示すフラグです。 0: 18ビットカウンタはアップカウンタ状態 1: 18ビットカウンタはダウンカウンタ状態 TSG3nCUFはHT-PWMモード時のみ有効です。それ以外のモードの場合は、無効 (TSG3nCUF = 0) です。
2	TSG3nSUF	18ビットサブカウンタのカウンタ状態を示すフラグです。 0: 18ビットサブカウンタがアップカウンタ中 1: 18ビットサブカウンタがダウンカウンタ中 • TSG3nSUFは、18ビットサブカウンタのカウンタ動作が00000 _H から (TSG3nCMP0E値 - 00002 _H) までのカウンタをアップカウンタ、TSG3nCMP0E値から00002 _H までのカウンタをダウンカウンタとして検出します。 • このビットは、HT-PWMモードの場合のみ有効となります。
1	TSG3nRSF	リロード要求の有無を示すフラグです。 0: リロード要求なし、またはリロード完了 1: リロード要求あり • TSG3nRMC = 0時のみ有効です。 • このビットは、次に転送するデータが保留されていることを示します。 • このビットは、リロード対象レジスタへのライトで“1”にセットされ、リロード完了で“0”にクリアされます。 • HT-PWMモード時にTSG3nRMCを“0”から“1”に変更した場合、TSG3nRSFは、“0”にクリアされます。 リロード対象レジスタは「25.3.1 レジスタ一覧」を参照してください。
0	TSG3nTE	TSG3nの動作状態を示します。 0: 停止中 1: 動作中 このビットは、TSG3nTRG0.TSG3nTS = 1でセットされ、TSG3nTRG1.TSG3nTT = 1でクリアされます。

25.3.16 TSG3nSTR1 — TSG3n ステータスレジスタ 1

各種フラグを格納します。

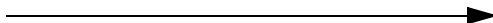

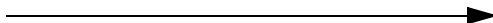

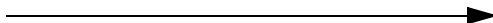

アクセス 8ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 014_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG3nTSF	TSG3nOPF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.23 TSG3nSTR1 レジスタの内容

ビット位置	ビット名	機能						
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。						
3	TSG3nTSF	<p>TSG3nPTSI0-2 で検出したパタンの変化順序を示すフラグです。</p> <p>0 : 正転の順番で TSG3nPTSI0-2 が入力 1 : 逆転の順番で TSG3nPTSI0-2 が入力</p> <table border="1" style="margin-left: 20px;"> <tr> <td>正転</td> <td></td> </tr> <tr> <td>逆転</td> <td></td> </tr> <tr> <td>TSG3nPTSI2-TSG3nPTSI0</td> <td>[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]</td> </tr> </table> <p>正転、逆転を検出できるのは、TSG3nTRG0.TSG3nTS = 1 に設定後、1 回目の TSG3nPTSI0-2 の変化からです。詳細は「25.4.3.5(b) 入力パタン変化の順序検出」を参照してください。</p>	正転		逆転		TSG3nPTSI2-TSG3nPTSI0	[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]
正転								
逆転								
TSG3nPTSI2-TSG3nPTSI0	[1,0,1] [1,0,0] [1,1,0] [0,1,0] [0,1,1] [0,0,1]							
2 ~ 0	TSG3nOPF [2:0]	タイマ出力 (TSG3nO1-TSG3nO6 端子) のパタン出力を示すフラグです。						

25.3.17 TSG3nSTR2 — TSG3n ステータスレジスタ 2

各種フラグを格納します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 018_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBF2	TSG3n TBF1	TSG3n TBF0	TSG3n PPF	TSG3n PEF	TSG3n TDF	TSG3n NDF	TSG3n PRF	TSG3n PTF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.24 TSG3nSTR2 レジスタの内容 (1/3)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9	TSG3nTBF2	<p>TSG3nCTL1.TSG3nTBA2 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0: 正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブになっていない 1: 正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> TSG3nTBF2 は、正相 (TSG3nO5) と逆相 (TSG3nO6) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR2 に “1” をライトすることで TSG3nTBF2 をクリアできます。 TSG3nTBA2 = 0 の場合は、同時アクティブを検出しません。
8	TSG3nTBF1	<p>TSG3nCTL1.TSG3nTBA1 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0: 正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブになっていない 1: 正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> TSG3nTBF1 は、正相 (TSG3nO3) と逆相 (TSG3nO4) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR1 に “1” をライトすることで TSG3nTBF1 をクリアできます。 TSG3nTBA1 = 0 の場合は、同時アクティブを検出しません。
7	TSG3nTBF0	<p>TSG3nCTL1.TSG3nTBA0 が “1” の場合において、正相と逆相が同時アクティブになったことを検出するフラグです。</p> <p>0: 正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブになっていない 1: 正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブになったことを検出</p> <ul style="list-style-type: none"> TSG3nTBF0 は、正相 (TSG3nO1) と逆相 (TSG3nO2) が同時アクティブを検出した場合にセット (1) され、エラー割り込み (INTTSG3nIER) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を “0” から “1” に変更) か、TSG3nSTC.TSG3nTBR0 に “1” をライトすることで TSG3nTBF0 をクリアできます。 TSG3nTBA0 = 0 の場合は、同時アクティブを検出しません。

表 25.24 TSG3nSTR2 レジスタの内容 (2/3)

ビット位置	ビット名	機能
6	TSG3nPPF	<p>入力パターン (TSG3nPTSI0-2) と出力パターン (TSG3nO1-TSG3nO6) で比較し、差異を検出するフラグです。</p> <p>0: TSG3nPTSI0-2 と TSG3nO1-TSG3nO6 出力間で位相差異を検出していない 1: TSG3nPTSI0-2 と TSG3nO1-TSG3nO6 出力間で位相差異を検出</p> <p>• TSG3nPPF は、入力/出力パタンの差異を検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPPR に "1" をライトすることで TSG3nPPF をクリアできます。</p>
5	TSG3nPEF	<p>入力異常 (TSG3nPTSI0-2 に 000_B または 111_B が入力されたこと) を検出するフラグです。</p> <p>0: TSG3nPTSI0-2 に 000_B または 111_B は入力されていない 1: TSG3nPTSI0-2 に 000_B または 111_B が入力されたことを検出</p> <p>TSG3nPEF は、TSG3nPTSI0-2 に 000_B または 111_B が入力されたことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPER に "1" をライトすることで TSG3nPEF をクリアできます。</p> <p>TSG3nPEF は、TSG3nCTL1.TSG3nPEC = 1 の場合、有効となります。</p>
4	TSG3nTDF	<p>TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出するフラグです。</p> <p>0: TSG3nOPCI0, TSG3nOPCI1 のトリガは同時に発生していない 1: TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出</p> <p>TSG3nTDF は、TSG3nOPCI0, TSG3nOPCI1 のトリガが同時に発生したことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nTDR に "1" をライトすることで TSG3nTDF をクリアできます。</p> <p>TSG3nTDF は、TSG3nCTL1.TSG3nTDC = 1 の場合、有効となります。</p>
3	TSG3nNDF	<p>TSG3nPTSI0-2 にノイズが発生したことを検出するフラグです。</p> <p>0: TSG3nPTSI0-2 に 2 端子以上の同時変化によるノイズは発生していない 1: TSG3nPTSI0-2 に 2 端子以上の同時変化によるノイズが発生したことを検出</p> <p>TSG3nNDF は、TSG3nPTSI0-2 で同時に 2 端子以上の値が変化したことを検出した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nNDR に "1" をライトすることで TSG3nNDF をクリアできます。</p> <p>TSG3nNDF は、TSG3nCTL1.TSG3nNDC = 1 の場合、有効となります。</p>
2	TSG3nPRF	<p>TSG3nPTSI0-2 の入力順序が反転したことを検出するフラグです。</p> <p>0: TSG3nPTSI0-2 の入力順序が反転していない 1: TSG3nPTSI0-2 の入力順序が反転したことを検出</p> <p>TSG3nPRF は、TSG3nSTR1.TSG3nTSF の変化タイミングでセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。</p> <p>また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPRR に "1" をライトすることで TSG3nPRF をクリアできます。TSG3nTRG0.TSG3nTS = 1 に設定後、2 回目の TSG3nPTSI0-2 変化タイミングから検出可能です。</p> <p>TSG3nPRF は、TSG3nCTL1.TSG3nPRC = 1 の場合、有効となります。</p>

表 25.24 TSG3nSTR2 レジスタの内容 (3/3)

ビット位置	ビット名	機能
1	TSG3nPTF	<p>TSG3nPTSI0-2 の異常トグルを検出するフラグです。 0 : TSG3nPTSI0-2 の異常トグルを検出していない 1 : TSG3nPTSI0-2 の異常トグルを検出</p> <p>TSG3nPTF は、TSG3nOPCI0 のトリガ間に TSG3nPTSI0-2 (TSG3nPTE 信号トグル) が 3 回以上変化した場合、または、TSG3nOPCI1 のトリガ間に TSG3nPTSI0-2 (TSG3nPTE 信号トグル) が 3 回以上変化した場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) を発生します。また、動作開始時 (TSG3nSTR0.TSG3nTE を "0" から "1" に変更) か、タイマ動作開始時 (TSG3nTRG0.TSG3nTS = 1) か、タイマリスタート時 (TSG3nTSST 入力) か、TSG3nSTC.TSG3nPTR に "1" をライトすることで TSG3nPTF をクリアできません。</p> <p>TSG3nPTF は、TSG3nCTL1.TSG3nPTC[1:0] = 10_B、または 11_B の場合、有効となります。</p>
0	予約ビット	リードした場合はリセット後の値が読めます。

25.3.18 TSG3nSTC — TSG3n ステータスクリアトリガレジスタ

各種フラグを制御します。

アクセス 16 ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 01C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG3n TBR2	TSG3n TBR1	TSG3n TBR0	TSG3n PPR	TSG3n PER	TSG3n TDR	TSG3n NDR	TSG3n PRR	TSG3n PTR	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W	W	W	W	W	W	W	W	R

表 25.25 TSG3nSTC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	ライトする場合はリセット後の値を書いてください。
9	TSG3nTBR2	TSG3nSTR2.TSG3nTBF2 をクリアするトリガビットです。 0: TSG3nTBF2 をクリアしない 1: TSG3nTBF2 をクリアする TSG3nTBR2 のライトタイミングと TSG3nSTR2.TSG3nTBF2 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF2 のセットが優先され、フラグはクリアされません。
8	TSG3nTBR1	TSG3nSTR2.TSG3nTBF1 をクリアするトリガビットです。 0: TSG3nTBF1 をクリアしない 1: TSG3nTBF1 をクリアする TSG3nTBR1 のライトタイミングと TSG3nSTR2.TSG3nTBF1 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF1 のセットが優先され、フラグはクリアされません。
7	TSG3nTBR0	TSG3nSTR2.TSG3nTBF0 をクリアするトリガビットです。 0: TSG3nTBF0 をクリアしない 1: TSG3nTBF0 をクリアする TSG3nTBR0 のライトタイミングと TSG3nSTR2.TSG3nTBF0 のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTBF0 のセットが優先され、フラグはクリアされません。
6	TSG3nPPR	TSG3nSTR2.TSG3nPPF をクリアするトリガビットです。 0: TSG3nPPF をクリアしない 1: TSG3nPPF をクリアする TSG3nPPR のライトタイミングと TSG3nSTR2.TSG3nPPF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPPF のセットが優先され、フラグはクリアされません。
5	TSG3nPER	TSG3nSTR2.TSG3nPEF をクリアするトリガビットです。 0: TSG3nPEF をクリアしない 1: TSG3nPEF をクリアする TSG3nPER のライトタイミングと TSG3nSTR2.TSG3nPEF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPEF のセットが優先され、フラグはクリアされません。
4	TSG3nTDR	TSG3nSTR2.TSG3nTDF をクリアするトリガビットです。 0: TSG3nTDF をクリアしない 1: TSG3nTDF をクリアする TSG3nTDR のライトタイミングと TSG3nSTR2.TSG3nTDF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nTDF のセットが優先され、フラグはクリアされません。

表 25.25 TSG3nSTC レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	TSG3nNDR	<p>TSG3nSTR2.TSG3nNDF をクリアするトリガビットです。 0 : TSG3nNDF をクリアしない 1 : TSG3nNDF をクリアする</p> <p>TSG3nNDR のライトタイミングと TSG3nSTR2.TSG3nNDF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nNDF のセットが優先され、フラグはクリアされません。</p>
2	TSG3nPRR	<p>TSG3nSTR2.TSG3nPRF をクリアするトリガビットです。 0 : TSG3nPRF をクリアしない 1 : TSG3nPRF をクリアする</p> <p>TSG3nPRR のライトタイミングと TSG3nSTR2.TSG3nPRF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPRF のセットが優先され、フラグはクリアされません。</p>
1	TSG3nPTR	<p>TSG3nSTR2.TSG3nPTF をクリアするトリガビットです。 0 : TSG3nPTF をクリアしない 1 : TSG3nPTF をクリアする</p> <p>TSG3nPTR のライトタイミングと TSG3nSTR2.TSG3nPTF のセットタイミングが競合した場合、TSG3nSTR2.TSG3nPTF のセットが優先され、フラグはクリアされません。</p>
0	予約ビット	ライトする場合はリセット後の値を書いてください。

25.3.19 TSG3nOPT0 — TSG3n オプションレジスタ 0

オプション機能を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 020_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	TSG3nSOC	TSG3nSTE	TSG3nPOT	TSG3nPSS	TSG3nIDC	TSG3nPSC	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 25.26 TSG3nOPT0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TSG3nSOC	ソフトウェアによるタイマ出力 (TSG3nO1-TSG3nO6 端子) の制御を選択します。 0: ソフトウェア制御禁止 1: ソフトウェア制御許可 TSG3nSOC をセット (1) した場合、タイマ出力を TSG3nSPC2-TSG3nSPC0 で設定したソフトウェア制御機能/トリガ制御の出力パターンに切り替えます。その際、デッドタイムカウンタによりデッドタイムを確保します。
5	TSG3nSTE	パタン出カトリガによる制御の許可/禁止を選択します。 0: TSG3nPTSI0-TSG3nPTSI2 と TSG3nOPCI0, TSG3nOPCI1 の入力を禁止 1: TSG3nPTSI0-TSG3nPTSI2 と TSG3nOPCI0, TSG3nOPCI1 の入力を許可 • パタン出カトリガは、TSG3nPOT で選択します。 • TSG3nSTE は、120-DC モードとソフトウェア出力制御機能のとき、有効となります。
4	TSG3nPOT	パタン出カトリガを選択します。 0: 外部パタン入力端子 (TSG3nPTSI0-TSG3nPTSI2) による出力パターン切り替え (パタン切り替え方式) 1: TSG3nOPCI0, TSG3nOPCI1 の立ち上がりエッジによる出力切り替え (トリガ切り替え方式)
3	TSG3nPSS	パタン出力順序切り替え要因を選択します。 0: TSG3nPSC によるパタン出力順序の切り替えを使用しない 1: TSG3nPSC によるパタン出力順序の切り替えを使用する
2	TSG3nIDC	TSG3nIDC と TSG3nSTR1.TSG3nTSF、TSG3nPSC 信号の組み合わせで、TSG3nO1-TSG3nO6 端子の出力パターンを決定します。 タイマ出力順序および出力されるパタンについては「25.4.7.4 (5) 120-DC モードの動作」の図 25.80 ~ 図 25.83 の 120-DC モードの動作例を参照してください。

表 25.26 TSG3nOPT0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	TSG3nPSC	<p>セミアウトドライブ時のパタン出力順序を選択します。</p> <p>0: 正転の順番でタイマ出力 (TSG3nO1-TSG3nO6) を切り替える 1: 逆転の順番でタイマ出力 (TSG3nO1-TSG3nO6) を切り替える</p> <ul style="list-style-type: none"> • TSG3nPSC は、TSG3nSPC2-TSG3nSPC0 で設定した出力パターンを初期パターンとして、タイマ出力パタンの順序を指定します。また、TSG3nPSC は TSG3nPOT = 1 かつ TSG3nPSS = 1 のとき、有効です。 • TSG3nPSC は、TSG3nSTR0.TSG3nTE = 0、または、TSG3nPOT = 0 のときに変更することを推奨します。TSG3nPOT = 1 のときに書き換えた場合、タイマ出力パターンが期待と異なる場合があります。 • TSG3n 動作停止中 (TSG3nSTR0.TSG3nTE = 0) の状態で、TSG3nPTSI0-TSG3nPTSI2 に入力されている信号が変化する場合、入力信号の変化論理と、TSG3nPSC の順序を合わせてから、TSG3nTRG0.TSG3nTS ビット = 1 を設定してください。 • 正転、逆転における出力順序は、「25.4.7.4 120-DC モード」を参照してください。 ここでの正転、逆転の定義は出力の変化を表しているもので、モータ回転の正転、逆転と同じ意味ではありません。
0	予約ビット	<p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</p>

25.3.20 TSG3nOPT1 — TSG3n オプションレジスタ 1

オプション機能を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 024_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TSG3nSPC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 25.27 TSG3nOPT1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	TSG3nSPC [2:0]	ソフトウェア出力機能時および 120-DC モード時のタイマ出力のパターンを設定します。 出力パターンについては、「25.4.7.8 ソフトウェア出力制御機能」、「25.4.7.4 120-DC モード」を参照してください。

25.3.21 TSG3nTRG0 — TSG3n トリガレジスタ 0

タイマの開始を制御します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 030_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.28 TSG3nTRG0 レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TSG3nTS	タイマの開始を制御するトリガビットです。 0: タイマを開始しない 1: タイマを開始する (TSG3nSTR0.TSG3nTE = 1 であればリスタートする) リスタート時、18 ビットカウンタが初期化されます。 リード時は常に "0" が読み出されます。

25.3.22 TSG3nTRG1 — TSG3n トリガレジスタ 1

タイマの停止を制御します。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 034_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.29 TSG3nTRG1 レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TSG3nTT	タイマの停止を制御するトリガビットです。 0: タイマを停止しない 1: タイマを停止する (TSG3nSTR0.TSG3nTE = 0) リード時は常に "0" が読み出されます。

25.3.23 TSG3nTRG2 — TSG3n トリガレジスタ 2

HT-PWM モード時の随時書き込みモードで PWM のデューティ設定を、TSG3nO1-6 に反映させるトリガビットです。

このレジスタは HT-PWM モード、かつ随時書き込みモード (TSG3nRMC = 1) のときのみ“1”に設定可能です。その他のモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) のとき、またはリロードモード (TSG3nRMC = 0) のときにこのレジスタを書き換えないでください。

アクセス 8ビット単位でライトのみ可能です。

アドレス <TSG3n_base> + 038_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG3nIMT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.30 TSG3nTRG2 レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TSG3nIMT	随時書き込みトリガビット 0: 無効 1: HT-PWM モードかつ随時書き込みモードのとき、U, V, W のデューティ変更をタイマ出力に反映する。

25.3.24 TSG3nCNT — TSG3n カウンタリードバッファレジスタ

このレジスタは 18 ビットである TSG3nCnTE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCnTE レジスタ「[25.3.25 TSG3nCnTE — TSG3n ビット拡張カウンタリードバッファレジスタ](#)」を参照してください。

アクセス 16ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 028_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16ビットカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

25.3.25 TSG3nCnTE — TSG3n ビット拡張カウンタリードバッファレジスタ

カウンタ値をリードするレジスタです。このレジスタはミラー構成になっていて、TSG3nCnT レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 1A0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nCnTE (18 ビットカウンタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCnTE (18 ビットカウンタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18 ビットカウンタ

このレジスタは、18 ビットカウンタの値をリードできるタイマリードバッファレジスタです。HT-PWM モード時は、カウントアップ/ダウンを 2 カウントずつで行う三角波制御です。ビット 0 は常に“0”をリードします。

また、HT-PWM モード以外では、カウントアップを 1 カウントずつで行うのこぎり波制御です。

表 25.31 TSG3nCnTE レジスタのカウント値

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nDTC0	TSG3nDTC0	TSG3nDTC0 + TSG3nCnMP0E 注 1
その他のモード	00000 _H	00000 _H	TSG3nCnMP0E

注 1. TSG3nDTC0 + TSG3nCnMP0E < 3FFFF_H の設定値で使用してください。

25.3.26 TSG3nSBC — TSG3n サブカウンタリードバッファレジスタ

このレジスタは 18 ビットである TSG3nSBCE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nSBCE レジスタ「**25.3.27 TSG3nSBCE — TSG3n ビット拡張サブカウンタリードバッファレジスタ**」を参照してください。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 02C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットサブカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

25.3.27 TSG3nSBCE — TSG3n ビット拡張サブカウンタリードバッファレジスタ

サブカウンタ値をリードするレジスタです。このレジスタはミラー構成になっていて、TSG3nSBC レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <TSG3n_base> + 1A4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nSBCE (18 ビットサブ カウンタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nSBCE (18 ビットサブカウンタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

18 ビットサブカウンタ

このレジスタは、18 ビットサブカウンタの値をリードできるタイマリードバッファレジスタです。HT-PWM モード時は、カウントアップ/ダウンを 2 カウントずつで行う三角波制御です。ビット 0 は常に“0”をリードします。(HT-PWM モード時のみ使用可能です。)

表 25.32 TSG3nSBCE レジスタのカウント値

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nDTC0	0000 _H	TSG3nDTC0 + TSG3nDTC1 + TSG3nCMP0E 注 1
その他のモード	0000 _H	0000 _H	0000 _H

注 1. TSG3nDTC0 + TSG3nDTC1 + TSG3nCMP0E < 3FFFF_H の設定値で使用してください。

25.3.28 TSG3nCMP0 — TSG3n コンペアレジスタ 0

このレジスタは 18 ビットである TSG3nCMP0E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP0E レジスタ「[25.3.29 TSG3nCMP0E — TSG3n ビット拡張コンペアレジスタ 0](#)」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 058_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.29 TSG3nCMP0E — TSG3n ビット拡張コンペアレジスタ 0

すべてのモードで PWM 周期を設定する 18 ビットのコンペアレジスタです。このレジスタはミラー構成になっていて、TSG3nCMP0 レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 14C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nCMP0E (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP0E (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.33 TSG3nCMP0E レジスタの設定

動作モード	開始時	最小値	最大値
HT-PWM モード	TSG3nCMP0E 注 1	00002 _H	3FFFE _H
その他のモード	TSG3nCMP0E + 1	1 (TSG3nCMP0E = 00000 _H)	40000 _H (TSG3nCMP0E = 3FFFF _H)

注 1. HT-PWM モードでは、最下位 ビットは無視されます。

25.3.30 TSG3nCMP1W — TSG3n コンペアレジスタ 1, 2

このレジスタは 18 ビットである TSG3nCMP1E, 2E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**25.3.37 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 040_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP2 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP1 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.31 TSG3nCMP3W — TSG3n コンペアレジスタ 3, 4

このレジスタは 18 ビットである TSG3nCMP3E, 4E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**25.3.37 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 04C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP4 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP3 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.32 TSG3nCMP5W — TSG3n コンペアレジスタ 5, 6

このレジスタは 18 ビットである TSG3nCMP5E, 6E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**25.3.37 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 044_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP6 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP5 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.33 TSG3nCMP7W — TSG3n コンペアレジスタ 7, 8

このレジスタは 18 ビットである TSG3nCMP7E, 8E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**25.3.37 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 050_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP8 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP7 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.34 TSG3nCMP9W — TSG3n コンペアレジスタ 9, 10

このレジスタは 18 ビットである TSG3nCMP9E, 10E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**25.3.37 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 048_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP10 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP9 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.35 TSG3nCMP11W — TSG3n コンペアレジスタ 11, 12

このレジスタは 18 ビットである TSG3nCMP11E, 12E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**25.3.37 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 054_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG3nCMP12 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP11 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.36 TSG3nCMP1-TSG3nCMP12 — TSG3n コンペアレジスタ 1-12

このレジスタは 18 ビットである TSG3nCMP1E-12E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMP1E-12E レジスタ「**25.3.37 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス TSG3nCMP1 <TSG3n_base> + 080_H
 TSG3nCMP2 <TSG3n_base> + 084_H
 TSG3nCMP3 <TSG3n_base> + 098_H
 TSG3nCMP4 <TSG3n_base> + 09C_H
 TSG3nCMP5 <TSG3n_base> + 088_H
 TSG3nCMP6 <TSG3n_base> + 08C_H
 TSG3nCMP7 <TSG3n_base> + 0A0_H
 TSG3nCMP8 <TSG3n_base> + 0A4_H
 TSG3nCMP9 <TSG3n_base> + 090_H
 TSG3nCMP10 <TSG3n_base> + 094_H
 TSG3nCMP11 <TSG3n_base> + 0A8_H
 TSG3nCMP12 <TSG3n_base> + 0AC_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.37 TSG3nCMP1E-TSG3nCMP12E — TSG3n ビット拡張コンペアレジスタ 1-12

コンペア値を設定します。これらのレジスタはミラー構成になっていて、TSG3nCMP1-12 および、TSG3nCMP1W, 3W, 5W, 7W, 9W, 11W レジスタを用いてこれらのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス TSG3nCMP1E <TSG3n_base> + 17C_H
 TSG3nCMP2E <TSG3n_base> + 178_H
 TSG3nCMP3E <TSG3n_base> + 164_H
 TSG3nCMP4E <TSG3n_base> + 160_H
 TSG3nCMP5E <TSG3n_base> + 174_H
 TSG3nCMP6E <TSG3n_base> + 170_H
 TSG3nCMP7E <TSG3n_base> + 15C_H
 TSG3nCMP8E <TSG3n_base> + 158_H
 TSG3nCMP9E <TSG3n_base> + 16C_H
 TSG3nCMP10E <TSG3n_base> + 168_H
 TSG3nCMP11E <TSG3n_base> + 154_H
 TSG3nCMP12E <TSG3n_base> + 150_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nCMP1E - TSG3nCMP12E (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMP1E - TSG3nCMP12E (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.34 TSG3nCMP1E-TSG3nCMP12E レジスタの設定 (1/2)

レジスタ	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード	HSP-PWM モード
TSG3nCMP1E	TSG3nO1 のクリアタイミング	TSG3nO1 のクリアタイミング / TSG3nO2 のセットタイミング		TSG3nO1, 3, 5 の出カパタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO1 のクリアタイミング
TSG3nCMP2E	TSG3nO1 のセットタイミング	TSG3nO1 のセットタイミング / TSG3nO2 のクリアタイミング			TSG3nO1 のセットタイミング
TSG3nCMP3E	TSG3nO2 のクリアタイミング	—		TSG3nO2, 4, 6 の出カパタンを TSG3nPAT1 で選択した場合のデューティ	TSG3nO2 のクリアタイミング
TSG3nCMP4E	TSG3nO2 のセットタイミング	—			TSG3nO2 のセットタイミング
TSG3nCMP5E	TSG3nO3 のクリアタイミング	TSG3nO3 のクリアタイミング / TSG3nO4 のセットタイミング		TSG3nO1, 3, 5 の出カパタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO3 のクリアタイミング
TSG3nCMP6E	TSG3nO3 のセットタイミング	TSG3nO3 のセットタイミング / TSG3nO4 のクリアタイミング			TSG3nO3 のセットタイミング
TSG3nCMP7E	TSG3nO4 のクリアタイミング	—		TSG3nO2, 4, 6 の出カパタンを TSG3nPAT1 で選択した場合のデューティ	TSG3nO4 のクリアタイミング
TSG3nCMP8E	TSG3nO4 のセットタイミング	—			TSG3nO4 のセットタイミング
TSG3nCMP9E	TSG3nO5 のクリアタイミング	TSG3nO5 のクリアタイミング / TSG3nO6 のセットタイミング		TSG3nO1, 3, 5 の出カパタンを TSG3nPAT0 で選択した場合のデューティ	TSG3nO5 のクリアタイミング
TSG3nCMP10E	TSG3nO5 のセットタイミング	TSG3nO5 のセットタイミング / TSG3nO6 のクリアタイミング			TSG3nO5 のセットタイミング

表 25.34 TSG3nCMP1E-TSG3nCMP12E レジスタの設定 (2/2)

レジスタ	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード	HSP-PWM モード
TSG3nCMP11E	TSG3nO6 の クリアタイミング	—	—	TSG3nO2, 4, 6 の出 カパタンを	TSG3nO6 の クリアタイミング
TSG3nCMP12E	TSG3nO6 の セットタイミング	—	—	TSG3nPAT1 で選択 した場合のデュー ティ	TSG3nO6 の セットタイミング

備考

デッドタイム機能は、すべての動作モードで動作します。
HT-PWM モードの場合、TSG3nCNTE だけでなく、TSG3nSBCE でもコンペアマッチが発生します。
120-DC モードの場合、TSG3nO1-TSG3nO6 出力は TSG3nCMPmE, TSG3nPAT0, TSG3nPAT1 レジスタで制御します。

25.3.38 TSG3nDCMP0W — TSG3n ダイアグ出力用コンペアレジスタ 0, 1

このレジスタは 18 ビットである TSG3nDCMP0E, 1E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nDCMP0E-2E レジスタ「25.3.40 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0-2」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 05C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TSG3nDCMP1 (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSG3nDCMP0 (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.39 TSG3nDCMP2 — TSG3n ダイアグ出力用コンペアレジスタ 2

このレジスタは 18 ビットである TSG3nDCMP2E の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nDCMP0E-2E レジスタ「**25.3.40 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0-2**」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDCMP2 (16 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.40 TSG3nDCMP0E-2E — TSG3n ビット拡張ダイアグ出力用コンペアレジスタ 0-2

コンペア値を設定します。これらのレジスタはミラー構成になっていて、TSG3nDCMP0W および、TSG3nDCMP2 レジスタを用いてこれらのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス TSG3nDCMP0E <TSG3n_base> + 148_H

TSG3nDCMP1E <TSG3n_base> + 144_H

TSG3nDCMP2E <TSG3n_base> + 140_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDCMP0E - TSG3nDCMP2E (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

このレジスタの設定は、すべてのモードにおいてダイアグ出力、もしくは A/D 変換トリガ タイミングを制御します。このレジスタと 18 ビットカウンタの一致でパルスを生成します。

25.3.41 TSG3nPAT0W — TSG3n パタンレジスタ 0

出力パターンを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 064_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PAT5T	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAT5T		PAT4T			PAT3T			PAT2T			PAT1T			PAT0T	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力パターン

このレジスタは、120-DC モード用 UT/VT/WT の出力制御を行うレジスタです。

表 25.35 TSG3nPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウレベル固定
001	TSG3nCMP1E で設定した PWM 出力
010	TSG3nCMP2E で設定した PWM 出力
011	TSG3nCMP5E で設定した PWM 出力
100	TSG3nCMP6E で設定した PWM 出力
101	TSG3nCMP9E で設定した PWM 出力
110	TSG3nCMP10E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

25.3.42 TSG3nPAT1W — TSG3n パタンレジスタ 1

出力パターンを設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PAT5B	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAT5B		PAT4B			PAT3B			PAT2B			PAT1B			PAT0B	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力パターン

このレジスタは、120-DC モード用 UB/VB/WB の出力制御を行うレジスタです。

表 25.36 TSG3nPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウレベル固定
001	TSG3nCMP3E で設定した PWM 出力
010	TSG3nCMP4E で設定した PWM 出力
011	TSG3nCMP7E で設定した PWM 出力
100	TSG3nCMP8E で設定した PWM 出力
101	TSG3nCMP11E で設定した PWM 出力
110	TSG3nCMP12E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

25.3.43 TSG3nDTC0W — TSG3n デッドタイム設定レジスタ 0

デッドタイム値（逆相インアクティブ→正相アクティブ間）を設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 06C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ライトプロテクションコードチェック															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDTC0 (10ビットデッドタイムコンペア)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSG3nDTC0W[0:9] を書き換える場合、TSG3nDTPR の 14-0 ビットと TSG3nDTCM = 0 を設定し、TSG3nDTC0W を書き換えます。このとき、TSG3nDTC0W[30:16] の書き換え値と TSG3nDTPR の値が一致した場合、TSG3nDTC0W が書き換わります。

タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) の書き換えは、リロードモード (TSG3nCTL3.TSG3nRMC = 0) 時に行ってください。

25.3.44 TSG3nDTC1W — TSG3n デッドタイム設定レジスタ 1

デッドタイム値（正相インアクティブ→逆相アクティブ間）を設定します。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 070_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ライトプロテクションコードチェック															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDTC1 (10ビットデッドタイムコンペア)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSG3nDTC1W[0:9] を書き換える場合、TSG3nDTPR の 14-0 ビットと TSG3nDTCM = 0 を設定し、TSG3nDTC1W を書き換えます。このとき、TSG3nDTC1W[30:16] の書き換え値と TSG3nDTPR の値が一致した場合、TSG3nDTC1W が書き換わります。

タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) の書き換えは、リロードモード (TSG3nCTL3.TSG3nRMC = 0) 時に行ってください。

25.3.45 TSG3nCMPU — TSG3n HT-PWM U 相用コンペアレジスタ

このレジスタは 18 ビットである TSG3nCMPUE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPUE レジスタ「**25.3.48 TSG3nCMPUE — TSG3n ビット拡張 U 相用コンペアレジスタ**」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMPU (16ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.46 TSG3nCMPV — TSG3n HT-PWM V 相用コンペアレジスタ

このレジスタは 18 ビットである TSG3nCMPVE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPVE レジスタ「**25.3.49 TSG3nCMPVE — TSG3n ビット拡張 V 相用コンペアレジスタ**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSG3nCMPV (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.47 TSG3nCMPW — TSG3n HT-PWM W 相用コンペアレジスタ

このレジスタは 18 ビットである TSG3nCMPWE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nCMPWE レジスタ「**25.3.50 TSG3nCMPWE — TSG3n ビット拡張 W 相用コンペアレジスタ**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0B8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSG3nCMPW (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.48 TSG3nCMPUE — TSG3n ビット拡張 U 相用コンペアレジスタ

HT-PWM モード時の U 相用のコンペア値を設定します。機能は TSG3nCMP1E, 2E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPUE のライトデータが TSG3nCMP1E, 2E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 25.2 参照)。このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPU レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 188_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nCMPUE (18 ビットコン ペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMPUE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

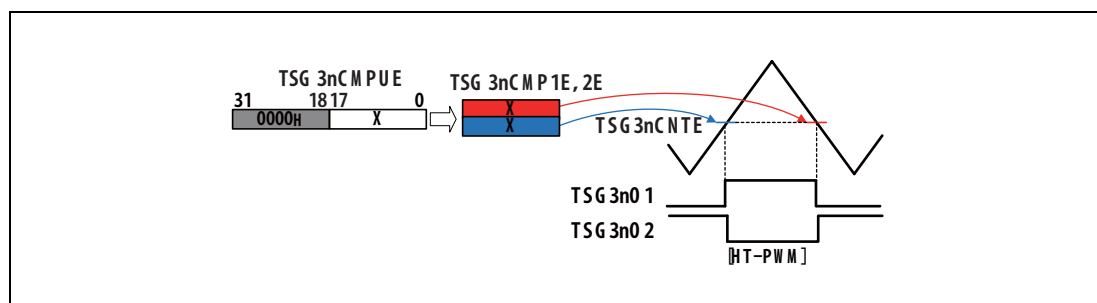


図 25.2 TSG3nCMPUE レジスタのレジスタアクセス

25.3.49 TSG3nCMPVE — TSG3n ビット拡張 V 相用コンペアレジスタ

HT-PWM モード時の V 相用のコンペア値を設定します。機能は TSG3nCMP5E, 6E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPVE のライトデータが TSG3nCMP5E, 6E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 25.3 参照)。このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPV レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 184_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nCMPVE (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMPVE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

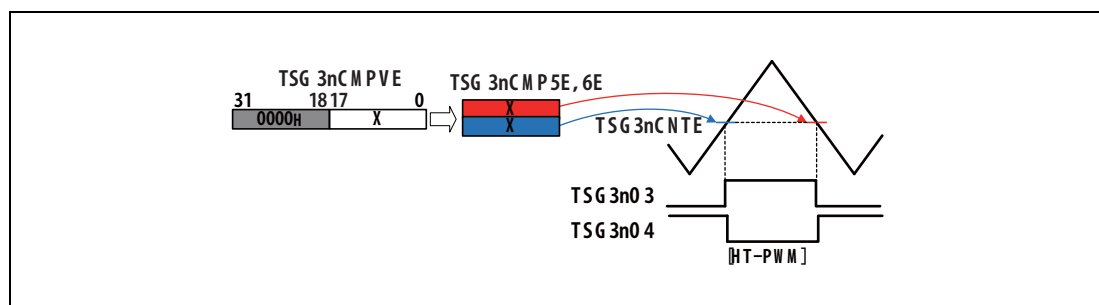


図 25.3 TSG3nCMPVE レジスタのレジスタアクセス

25.3.50 TSG3nCMPWE — TSG3n ビット拡張 W 相用コンペアレジスタ

HT-PWM モード時の W 相用のコンペア値を設定します。機能は TSG3nCMP9E, 10E と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG3nCMPWE のライトデータが TSG3nCMP9E, 10E レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます (図 25.4 参照)。このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nCMPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 180_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nCMPWE (18 ビットコン ペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nCMPWE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

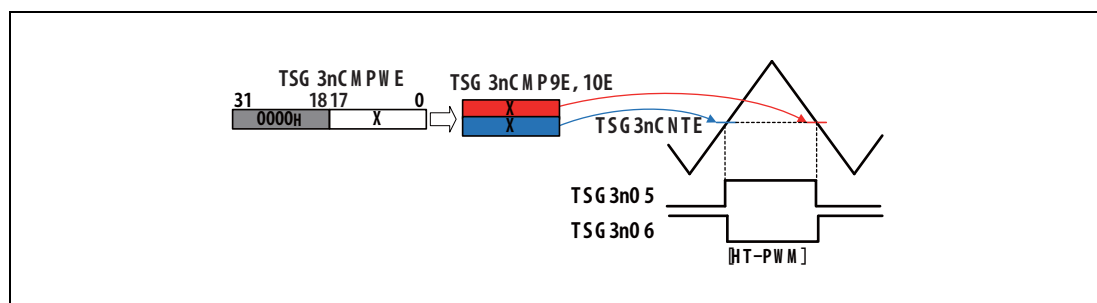


図 25.4 TSG3nCMPWE レジスタのレジスタアクセス

25.3.51 TSG3nUPW — TSG3n SP-PWM U 相アクティブ幅レジスタ

このレジスタは 18 ビットである TSG3nUPWE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nUPWE レジスタ「[25.3.54 TSG3nUPWE — TSG3n ビット拡張 U 相アクティブ幅レジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0BC_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSG3nUPW (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.52 TSG3nVPW — TSG3n SP-PWM V 相アクティブ幅レジスタ

このレジスタは 18 ビットである TSG3nVPWE の下位 16 ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nVPWE レジスタ「[25.3.55 TSG3nVPWE — TSG3n ビット拡張 V 相アクティブ幅レジスタ](#)」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0C0_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSG3nVPW (16 ビットコンペアレジスタ)																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.53 TSG3nWPW — TSG3n SP-PWM W相アクティブ幅レジスタ

このレジスタは18ビットであるTSG3nWPWEの下位16ビットにアクセスすることのできるレジスタです。

このレジスタの動作に関しては、TSG3nWPWEレジスタ「**25.3.56 TSG3nWPWE — TSG3nビット拡張W相アクティブ幅レジスタ**」を参照してください。

アクセス 16ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 0C4_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nWPW (16ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.54 TSG3nUPWE — TSG3n ビット拡張 U 相アクティブ幅レジスタ

SP-PWM モード時、U 相用のアクティブ幅を設定します。TSG3nUPWE のライトデータは TSG3nCMP2E と加算され、TSG3nCMP1E に格納されます (図 25.5 参照)。このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nUPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 198_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nUPWE (18 ビットコン ペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nUPWE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

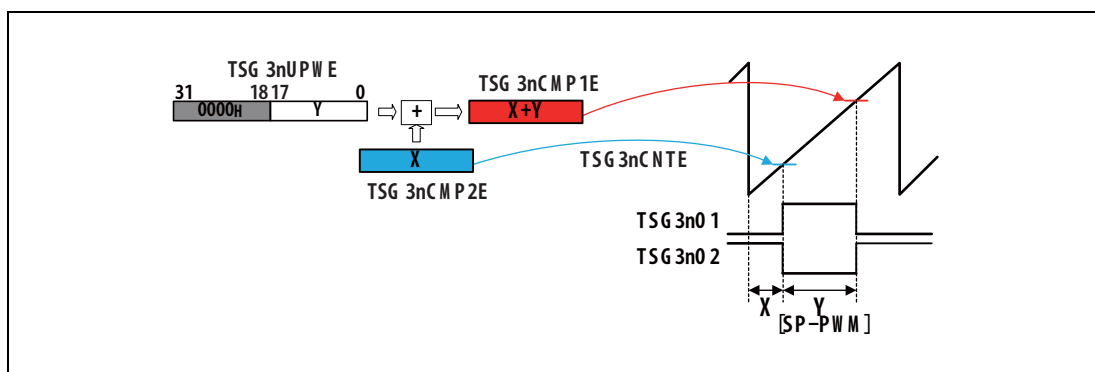


図 25.5 TSG3nUPWE レジスタのレジスタアクセス

25.3.55 TSG3nVPWE — TSG3n ビット拡張 V 相アクティブ幅レジスタ

SP-PWM モード時、V 相用のアクティブ幅を設定します。TSG3nVPWE のライトデータは TSG3nCMP6E と加算され、TSG3nCMP5E に格納されます (図 25.6 参照)。このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nVPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 194_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nVPWE (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nVPWE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

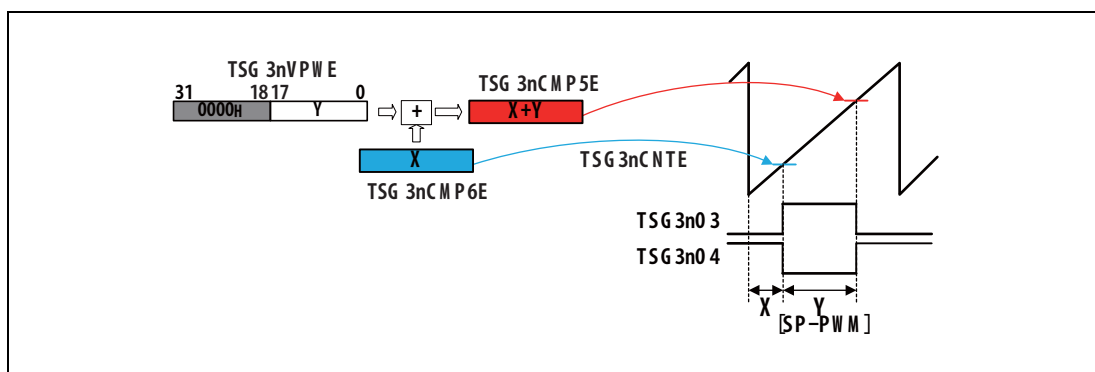


図 25.6 TSG3nVPWE レジスタのレジスタアクセス

25.3.56 TSG3nWPWE — TSG3n ビット拡張 W 相アクティブ幅レジスタ

SP-PWM モード時、W 相用のアクティブ幅を設定します。TSG3nWPWE のライトデータは TSG3nCMP10E と加算され、TSG3nCMP9E に格納されます (図 25.7 参照)。このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。このレジスタはミラー構成になっていて、TSG3nWPW レジスタを用いてこのレジスタの下位 16 ビットにアクセスすることができます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 190_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nWPWE (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nWPWE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

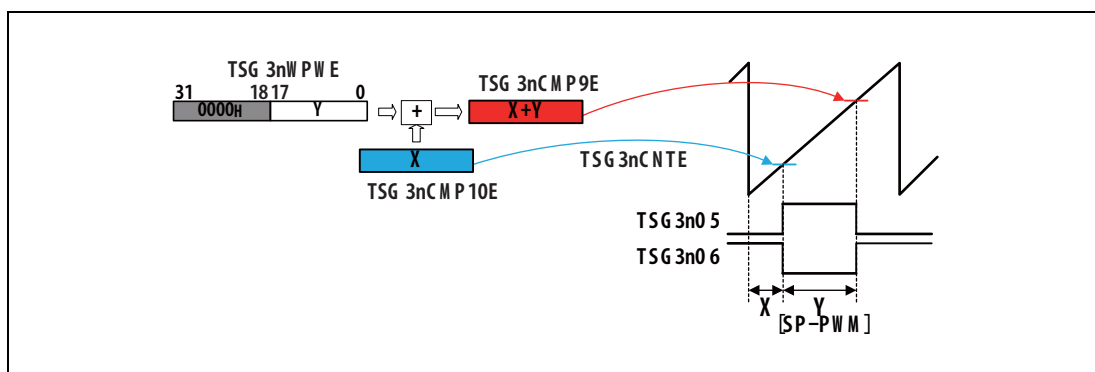


図 25.7 TSG3nWPWE レジスタのレジスタアクセス

25.3.57 TSG3nHSPCMUE — TSG3n HSP-PWM モード U 相コンペアレジスタ

HSP-PWM モード時に U 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「25.4.7.6 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP3E, TSG3nCMP4E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP1E と等しい値が読み出されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 134_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nHSPCMUE (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nHSPCMUE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.58 TSG3nHSPCMVE — TSG3n HSP-PWM モード V 相コンペアレジスタ

HSP-PWM モード時に V 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「25.4.7.6 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP7E, TSG3nCMP8E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP5E と等しい値が読み出されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 130_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nHSPCMVE (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nHSPCMVE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.59 TSG3nHSPCMWE — TSG3n HSP-PWM モード W 相コンペアレジスタ

HSP-PWM モード時に W 相の PWM 出力幅を設定するレジスタです。

このレジスタに書き込み動作を行うと、「25.4.7.6 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP9E, TSG3nCMP10E, TSG3nCMP11E, TSG3nCMP12E レジスタに値が設定されます。

このレジスタをリードすると TSG3nCMP9E と等しい値が読み出されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 12C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nHSPCMWE (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nHSPCMWE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.60 TSG3nHSPSHUE — TSG3n HSP-PWM モード U 相シフトレジスタ

HSP-PWM モード時に U 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMUE レジスタに書き込み動作を行うと、「25.4.7.6 HSP-PWM モードのコンペア設定」に記載されている演算式に基づき TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP3E, TSG3nCMP4E レジスタに値が設定されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 128_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nHSPSHUE (18 ビットコンペアレジスタ)	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nHSPSHUE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.61 TSG3nHSPSHVE — TSG3n HSP-PWM モード V 相シフトレジスタ

HSP-PWM モード時に V 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMVE レジスタに書き込み動作を行うと、「**25.4.7.6 HSP-PWM モードのコンペア設定**」に記載されている演算式に基づき TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP7E, TSG3nCMP8E レジスタに値が設定されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 124_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nHSPSHVE (18 ビットコンペアレジスタ)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nHSPSHVE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.62 TSG3nHSPSHWE — TSG3n HSP-PWM モード W 相シフトレジスタ

HSP-PWM モード時に W 相の PWM シフト幅を設定するレジスタです。

このレジスタを設定後、TSG3nHSPCMWE レジスタに書き込み動作を行うと、「**25.4.7.6 HSP-PWM モードのコンペア設定**」に記載されている演算式に基づき TSG3nCMP9E, TSG3nCMP10E, TSG3nCMP11E, TSG3nCMP12E レジスタに値が設定されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 120_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSG3nHSPSHWE (18 ビットコンペアレジスタ)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nHSPSHWE (18 ビットコンペアレジスタ)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.63 TSG3nDTPR — TSG3n デッドタイムプロテクションレジスタ

デッドタイムレジスタのライトアクセスのプロテクションを制御します。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TSG3n_base> + 210_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG3nDTPR (ライトプロテクションコード)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.37 TSG3nDTPR レジスタの内容

ビット位置	ビット名	機能
15	TSG3nDTCM	TSG3nDTC0, TSG3nDTC1 の書き換えの許可/禁止を設定します。 0 : TSG3nDTC0, TSG3nDTC1 の書き換えを許可 1 : TSG3nDTC0, TSG3nDTC1 の書き換えを禁止
14-0	TSG3nDTPR [14:0]	ライトプロテクションコード (0000-7FFF の任意の値) を設定します。

このレジスタは、TSG3nDTC0, TSG3nDTC1 への不正な書き換えを行わないように保護します。機能は次のようになります。

- TSG3nDTCMによりTSG3nDTC0, TSG3nDTC1の書き換えを許可/禁止を設定することができます。
- TSG3nDTC0, TSG3nDTC1 の書き換え時、TSG3nDTC0, TSG3nDTC1 のライトプロテクションコード (30-16 ビット) と TSG3nDTPR のライトプロテクションコードの一致と TSG3nDTCM の設定の二重のチェックにより書き換えの許可/禁止を決定します。

注 意

このレジスタの設定は、タイマ停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は、タイマを停止してから再設定してください。

25.4 機能

表 25.38 モード一覧

TSG3nCTL0 レジスタ			タイマモード
TSG3nMD2	TSG3nMD1	TSG3nMD0	
0	0	0	PWM モード
0	0	1	HT-PWM モード (HT-PWM)
0	1	0	シフトパルス PWM モード (SP-PWM)
0	1	1	120-DC モード
1	0	0	高精度シフトパルス PWM モード (HSP-PWM)
上記以外			設定禁止

25.4.1 基本動作

25.4.1.1 18 ビットカウンタ基本動作

18 ビットカウンタの基本動作を説明します。詳細は「25.4.7 各モードの動作」を参照してください。

カウント開始動作

HT-PWM モードは、初期値 00000_H で TSG3nDTC0 の値をロードした後、カウントを開始します。また、HT-PWM モード以外のモードは、初期値 00000_H からカウントを開始します。

HT-PWM モードのカウント動作は、TSG3nDTC0 の値から +2 ずつアップカウントし、18 ビットカウンタと TSG3nCMP0E + TSG3nDTC0 の値が一致した後、-2 ずつ TSG3nDTC0 の値までダウンカウントします。また、HT-PWM モード以外のモードのカウント動作は、00000_H, 00001_H, 00002_H, 00003_H, ... とカウントアップします。

クリア動作

HT-PWM モード以外のクリア動作は、カウンタ値と TSG3nCMP0E 値の一致により 18 ビットカウンタをクリアします (HT-PWM モードにクリア動作はありません)。

カウント動作中のカウンタリード動作

TSG3n では、TSG3nCnTE レジスタにより、カウント動作中の 18 ビットカウンタの値をリードできます。

カウント停止動作

カウンタ動作停止 (TS0TE = 1 → 0) 時、TSG3nCnTE, TSG3nSBCE は停止したときのカウンタ値を保持します。

割り込み動作

TSG3n では、次の割り込みを発生します。

- INTTSG3nI0 : HT-PWM モード時、18 ビットカウンタと TSG3nDTC0 の一致による周期割り込みとして機能します。HT-PWM モード以外のモードでは、18 ビットカウンタと TSG3nCMP0E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI1 : 18 ビットカウンタと TSG3nCMP1E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI2 : 18 ビットカウンタと TSG3nCMP2E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI3 : 18 ビットカウンタと TSG3nCMP3E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI4 : 18 ビットカウンタと TSG3nCMP4E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI5 : 18 ビットカウンタと TSG3nCMP5E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI6 : 18 ビットカウンタと TSG3nCMP6E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI7 : 18 ビットカウンタと TSG3nCMP7E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI8 : 18 ビットカウンタと TSG3nCMP8E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI9 : 18 ビットカウンタと TSG3nCMP9E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI10 : 18 ビットカウンタと TSG3nCMP10E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI11 : 18 ビットカウンタと TSG3nCMP11E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nI12 : 18 ビットカウンタと TSG3nCMP12E バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG3nIPEK : 18 ビットカウンタがアップカウントからダウンカウントの切り替わりタイミングの山割り込みとして機能します。
- INTTSG3nIVLY : 18 ビットカウンタがダウンカウントからアップカウントの切り替わりタイミングの谷割り込みとして機能します。
- INTTSG3nIER : 正相／逆相同時アクティブの検出割り込みとして機能します。
- INTTSG3nIWN : 各種ワーニングを検出する割り込みとして機能します。

25.4.1.2 コンペアレジスタの機能

コンペアレジスタの動作モード別の機能は次のとおりです。

表 25.39 モード別コンペアレジスタ機能一覧 (1/7)

動作モード	TSG3nCMP0E	TSG3nCMP1E	TSG3nCMP2E
PWM モード	PWM 周期	TSG3nO1 クリアタイミング	TSG3nO1 セットタイミング
HT-PWM モード	PWM 周期	TSG3nO1 クリアタイミング TSG3nO2 セットタイミング	TSG3nO1 セットタイミング TSG3nO2 クリアタイミング
SP-PWM モード	PWM 周期	TSG3nO1 クリアタイミング TSG3nO2 セットタイミング	TSG3nO1 セットタイミング TSG3nO2 クリアタイミング
120-DC モード	PWM 周期	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0 で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0 で選択
HSP-PWM モード	PWM 周期	TSG3nO1 クリアタイミング	TSG3nO1 セットタイミング

表 25.39 モード別コンペアレジスタ機能一覧 (2/7)

動作モード	TSG3nCMP3E	TSG3nCMP4E	TSG3nCMP5E	TSG3nCMP6E
PWM モード	TSG3nO2 クリアタイミング	TSG3nO2 セットタイミング	TSG3nO3 クリアタイミング	TSG3nO3 セットタイミング
HT-PWM モード	コンペアー一致割り込み	コンペアー一致割り込み	TSG3nO3 クリアタイミング TSG3nO4 セットタイミング	TSG3nO3 セットタイミング TSG3nO4 クリアタイミング
SP-PWM モード	—	—	TSG3nO3 クリアタイミング TSG3nO4 セットタイミング	TSG3nO3 セットタイミング TSG3nO4 クリアタイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択
HSP-PWM モード	TSG3nO2 クリアタイミング	TSG3nO2 セットタイミング	TSG3nO3 クリアタイミング	TSG3nO3 セットタイミング

表 25.39 モード別コンペアレジスタ機能一覧 (3/7)

動作モード	TSG3nCMP7E	TSG3nCMP8E	TSG3nCMP9E	TSG3nCMP10E
PWM モード	TSG3nO4 クリアタイミング	TSG3nO4 セットタイミング	TSG3nO5 クリアタイミング	TSG3nO5 セットタイミング
HT-PWM モード	コンペアー一致割り込み	コンペアー一致割り込み	TSG3nO5 クリアタイミング TSG3nO6 セットタイミング	TSG3nO5 セットタイミング TSG3nO6 クリアタイミング
SP-PWM モード	—	—	TSG3nO5 クリアタイミング TSG3nO6 セットタイミング	TSG3nO5 セットタイミング TSG3nO6 クリアタイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択	TSG3nO1, TSG3nO3, TSG3nO5 出力を TSG3nPAT0W で選択
HSP-PWM モード	TSG3nO4 クリアタイミング	TSG3nO4 セットタイミング	TSG3nO5 クリアタイミング	TSG3nO5 セットタイミング

表 25.39 モード別コンペアレジスタ機能一覧 (4/7)

動作モード	TSG3nCMP11E	TSG3nCMP12E	TSG3nDCMP0E	TSG3nDCMP1E
PWM モード	TSG3nO6 クリアタイミング	TSG3nO6 セットタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
HT-PWM モード	コンペアー一致割り込み	コンペアー一致割り込み	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
SP-PWM モード	—	—	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
120-DC モード	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	TSG3nO2, TSG3nO4, TSG3nO6 出力を TSG3nPAT1W で選択	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング
HSP-PWM モード	TSG3nO6 クリアタイミング	TSG3nO6 セットタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング	ダイアグ出力、もしくは A/D 変換トリガタイミング

表 25.39 モード別コンペアレジスタ機能一覧 (5/7)

動作モード	TSG3nDCMP2E	TSG3nCMPUE	TSG3nCMPVE	TSG3nCMPWE
PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
HT-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	TSG3nCMPUE へ設定した値 が TSG3nCMP1E, TSG3nCMP2E の設定値とな ります	TSG3nCMPVE へ設定した値 が TSG3nCMP5E, TSG3nCMP6E の設定値とな ります	TSG3nCMPWE へ設定した値 が TSG3nCMP9E, TSG3nCMP10E の設定値とな ります
SP-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
120-DC モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—
HSP-PWM モード	ダイアグ出力、もしくは A/D 変換トリガタイミング	—	—	—

表 25.39 モード別コンペアレジスタ機能一覧 (6/7)

動作モード	TSG3nUPWE	TSG3nVPWE	TSG3nWPWE
PWM モード	—	—	—
HT-PWM モード	—	—	—
SP-PWM モード	TSG3nUPWE へ設定した値が TSG3nCMP2E に設定した値と加算され、 TSG3nCMP1E の設定値となります	TSG3nVPWE へ設定した値が TSG3nCMP2E に設定した値と加算され、 TSG3nCMP1E の設定値となります	TSG3nWPWE へ設定した値が TSG3nCMP2E に設定した値と加算され、 TSG3nCMP1E の設定値となります
120-DC モード	—	—	—
HSP-PWM モード	—	—	—

表 25.39 モード別コンペアレジスタ機能一覧 (7/7)

動作モード	TSG3nHSPCMUE, TSG3nHSPSHUE	TSG3nHSPCMVE, TSG3nHSPSHVE	TSG3nHSPCMWE, TSG3nHSPSHWE
PWM モード	—	—	—
HT-PWM モード	—	—	—
SP-PWM モード	—	—	—
120-DC モード	—	—	—
HSP-PWM モード	TSG3nHSPCMUE に設定した値、および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHUE に設定し た値を元に、TSG3nCMP1E-4E が設定さ れます	TSG3nHSPCMVE に設定した値、および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHVE に設定し た値を元に、TSG3nCMP5E-8E が設定さ れます	TSG3nHSPCMWE に設定した値、および TSG3nCMP0E, TSG3nDTC0, TSG3nDTC1, TSG3nHSPSHWE に設定 した値を元に、TSG3nCMP9E-12E が設 定されます

25.4.1.3 コンペアレジスタの書き換え操作

TSG3 は、TSG3nRMC ビットを使用し、リロードモードまたは随時書き込みモードに設定することができます。

TSG3nRMC = 0 のときは、リロードモードとなり、「**25.3.1 レジスタ一覧**」の“リロード”に“あり”と記載されているレジスタ（リロード対象レジスタ）が、リロードタイミングで一斉に更新されます。

TSG3nRMC = 1 のときは、随時書き込みモードとなり、リロード対象レジスタが独立して更新動作を行い、レジスタへライトしたタイミングで随時更新されます。

以下の表に、モード毎にリロードモード、随時書き込みモードの時のリロード対象レジスタの更新タイミングを記載しています。

表 25.40 モード別コンペアレジスタの更新タイミング

モード	随時書き込み TSG3nRMC = 1	リロード TSG3nRMC = 0
PWM モード	TSG3nCMP0E : 18 ビットカウンタの次回カウンタクリアタイミング	リロードタイミング
	TSG3nCMP0E 以外のレジスタ : レジスタへライトしたタイミング	
HT-PWM モード	TSG3nCMP0E : TSG3nCNTE 次回山 or 谷タイミング	リロードタイミング
	TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E : TSG3nIMT ビットへの“1”ライトタイミング	
	TSG3nCMP0E, 1E, 2E, 5E, 6E, 9E, 10E 以外のレジスタ : レジスタへライトしたタイミング	
SP-PWM モード	TSG3nCMP0E : 18 ビットカウンタの次回カウンタクリアタイミング	リロードタイミング
	TSG3nCMP0E 以外のレジスタ : レジスタへライトしたタイミング	
120-DC モード	設定禁止	リロードタイミング
HSP-PWM モード	設定禁止	リロードタイミング

随時書き換えモード

このモードでは、各コンペアレジスタが独立して更新動作を行い、各コンペアレジスタは**表 25.40**のタイミングで随時更新されます。

リロードモード（一斉書き換え機能）

TSG3nCMP1E（TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE）レジスタへライトするとリロードが許可され（リロード要求フラグ TSG3nSTR0.TSG3nRSF をセット）、次のリロードタイミングでリロード対象レジスタが一斉に更新されます（リロード）。

リロードタイミングは、TSG3nTRG0.TSG3nTS ビットを“0”から“1”にしたとき、18 ビットカウンタの山／谷タイミングです。TSG3nCTL4.TSG3nPRE, TSG3nVRE で制御します。

TSG3nCMP1E（TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE）以外のレジスタへライトしてもリロードは許可されません。

TSG3nCMP1E（TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE）レジスタへのライトによりリロードが許可され、次のリロードタイミングがくるまでは、リロード対象レジスタへのライトアクセスはしないでください。リロード要求フラグ TSG3nSTR0.TSG3nRSF = 0 のときに書き換えてください。

リロード対象レジスタの DMA 書き換え

一部のリロード対象レジスタは DMA 転送で書き換えることができます。DMA 転送は、次のように行います。

表 25.41 リロード対象レジスタの DMA 転送順序例

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 040 _H	TSG3nCMP1W	↑
<TSG3n_base> + 044 _H	TSG3nCMP5W	
<TSG3n_base> + 048 _H	TSG3nCMP9W	
<TSG3n_base> + 04C _H	TSG3nCMP3W	
<TSG3n_base> + 050 _H	TSG3nCMP7W	
<TSG3n_base> + 054 _H	TSG3nCMP11W	
<TSG3n_base> + 058 _H	TSG3nCMP0	
<TSG3n_base> + 05C _H	TSG3nDCMP0W	
<TSG3n_base> + 060 _H	TSG3nDCMP2	
<TSG3n_base> + 064 _H	TSG3nPAT0W	
<TSG3n_base> + 068 _H	TSG3nPAT1W	
<TSG3n_base> + 06C _H	TSG3nDTC0W	
<TSG3n_base> + 070 _H	TSG3nDTC1W	

表 25.42 リロード対象レジスタの DMA 転送順序例

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 140 _H	TSG3nDCMP2E	↓
<TSG3n_base> + 144 _H	TSG3nDCMP1E	
<TSG3n_base> + 148 _H	TSG3nDCMP0E	
<TSG3n_base> + 14C _H	TSG3nCMP0E	
<TSG3n_base> + 150 _H	TSG3nCMP12E	
<TSG3n_base> + 154 _H	TSG3nCMP11E	
<TSG3n_base> + 158 _H	TSG3nCMP8E	
<TSG3n_base> + 15C _H	TSG3nCMP7E	
<TSG3n_base> + 160 _H	TSG3nCMP4E	
<TSG3n_base> + 164 _H	TSG3nCMP3E	
<TSG3n_base> + 168 _H	TSG3nCMP10E	
<TSG3n_base> + 16C _H	TSG3nCMP9E	
<TSG3n_base> + 170 _H	TSG3nCMP6E	
<TSG3n_base> + 174 _H	TSG3nCMP5E	
<TSG3n_base> + 178 _H	TSG3nCMP2E	
<TSG3n_base> + 17C _H	TSG3nCMP1E	

表 25.43 HT-PWM モード時のデューティ設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 180 _H	TSG3nCMPWE	↓
<TSG3n_base> + 184 _H	TSG3nCMPVE	
<TSG3n_base> + 188 _H	TSG3nCMPUE	

表 25.44 SP-PWM モード時のアクティブ幅設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 190 _H	TSG3nWPWE	↓
<TSG3n_base> + 194 _H	TSG3nVPWE	
<TSG3n_base> + 198 _H	TSG3nUPWE	

表 25.45 HSP-PWM モード時のシフト幅、デューティ設定

アドレス	レジスタ名	DMA 転送順 (例)
<TSG3n_base> + 120 _H	TSG3nHSPSHWE	↓
<TSG3n_base> + 124 _H	TSG3nHSPSHVE	
<TSG3n_base> + 128 _H	TSG3nHSPSHUE	
<TSG3n_base> + 12C _H	TSG3nHSPCMWE	
<TSG3n_base> + 130 _H	TSG3nHSPCMVE	
<TSG3n_base> + 134 _H	TSG3nHSPCMUE	

備 考

1. TSG3nCTL4, TSG3nIOC3 は、個別に書き換えてください。
2. TSG3nCMP1E (TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE を含む) のライトは、リロードが許可されますので、他のリロード対象レジスタの書き換え (リロードの準備) が終了した後に書き換えてください。

(1) 随時書き換えモードの動作例

コンペアレジスタ (TSG3nCMP1E-TSG3nCMP12E) へライトした値が、すぐに内部のバッファレジスタに転送されカウンタ値との比較対象になるモードです。

コンペアレジスタ (TSG3nCMP1E-TSG3nCMP12E) 等へライト後、1クロック (PCLK) 後に内部コンペアバッファレジスタへ値が転送されます。

TSG3nCMP0E の転送タイミングは、コンペアレジスタへライト後の 18 ビットカウンタの山／谷タイミング (HT-PWM モードのみ)、もしくは TSG3nCMP0E と 18 ビットカウンタの一致タイミング (HT-PWM モード以外) になります。

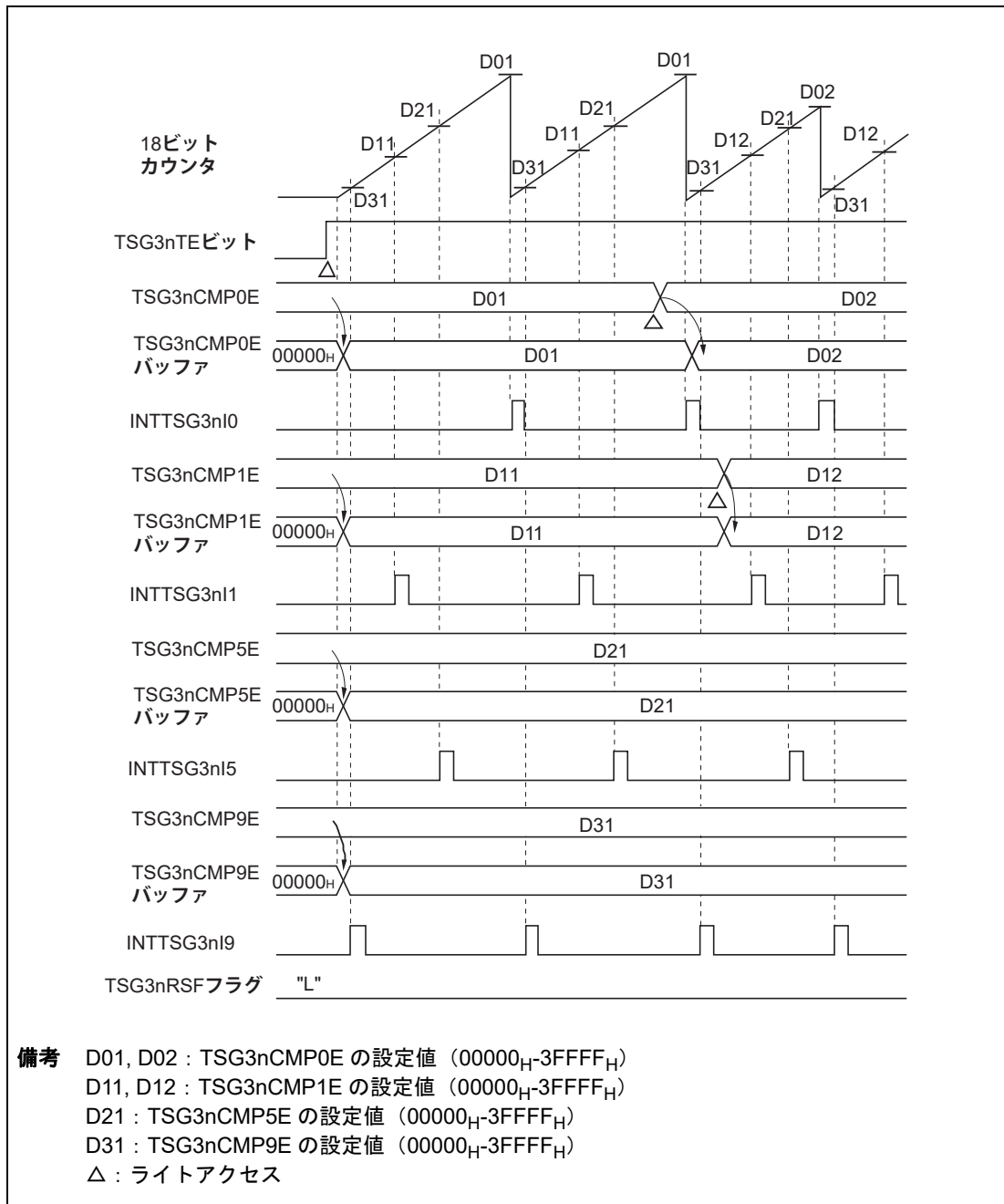


図 25.8 随時書き換えのタイミング (PWM モードの例)

(a) HT-PWM モードにおける随時書き込み時の PWM への反映について

HT-PWM モードの随時書き込み動作では、TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E レジスタの設定を変更したあと、TSG3nIMT ビットに“1”をライトしたタイミングで、バッファに値が転送され、変更した設定値に応じて PWM 出力を強制的にセット/クリアします。

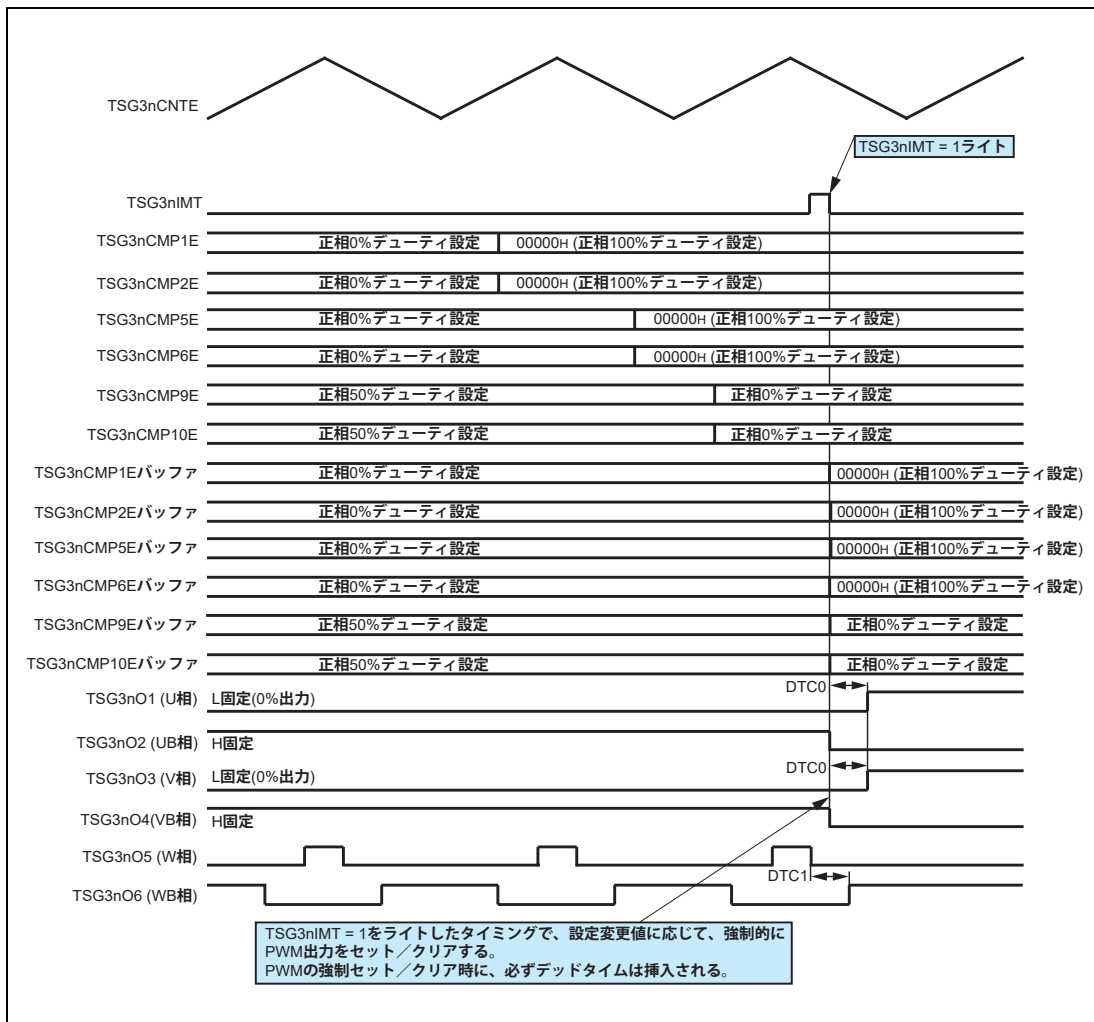


図 25.9 HT-PWM モードの随時書き込み動作時の、TSG3nCMP1E, 2E, 5E, 6E, 9E, 10E レジスタの更新タイミング図

(2) リロードモード（一斉書き換え機能）の動作例

書き換えたリロード対象レジスタ（「25.3.1 レジスタ一覧」の“リロード”に“あり”と記載されているレジスタ）の値は、リロードタイミングで一斉に各バッファレジスタに転送することができます。

リロード対象レジスタは、リロード要求フラグ TSG3nSTR0.TSG3nRSF = 0 のときに書き換えてください。

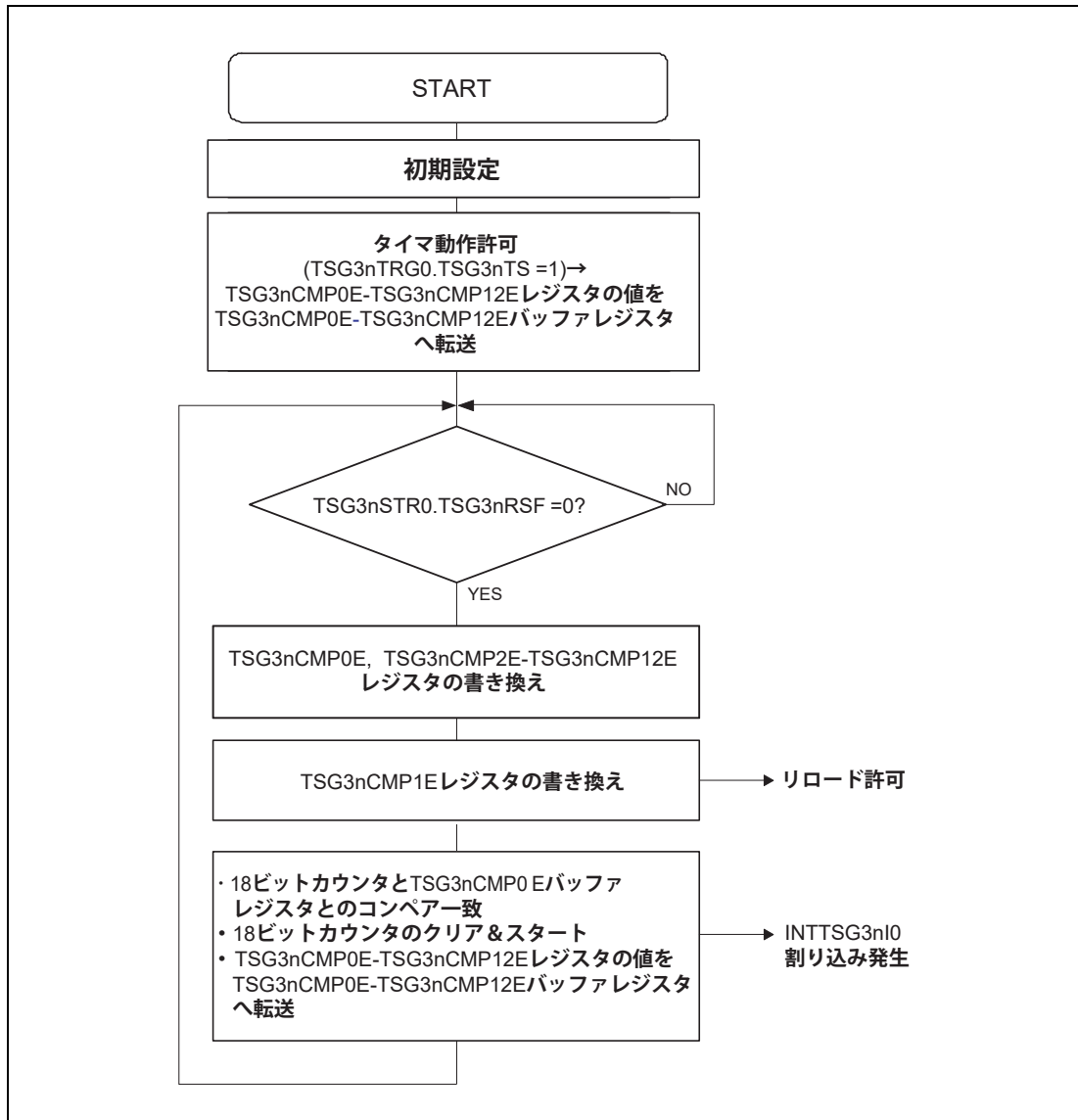


図 25.10 リロードモード（一斉書き換え機能）の基本動作フロー（PWM モードの例）

注 意

TSG3nCMP1E へのライトアクセスにはリロードを許可する動作も含まれます。したがって TSG3nCMP1E の書き換えは他の TSG3nCMP0E, TSG3nCMP2E-TSG3nCMP12E レジスタの書き換えより後にしてください。

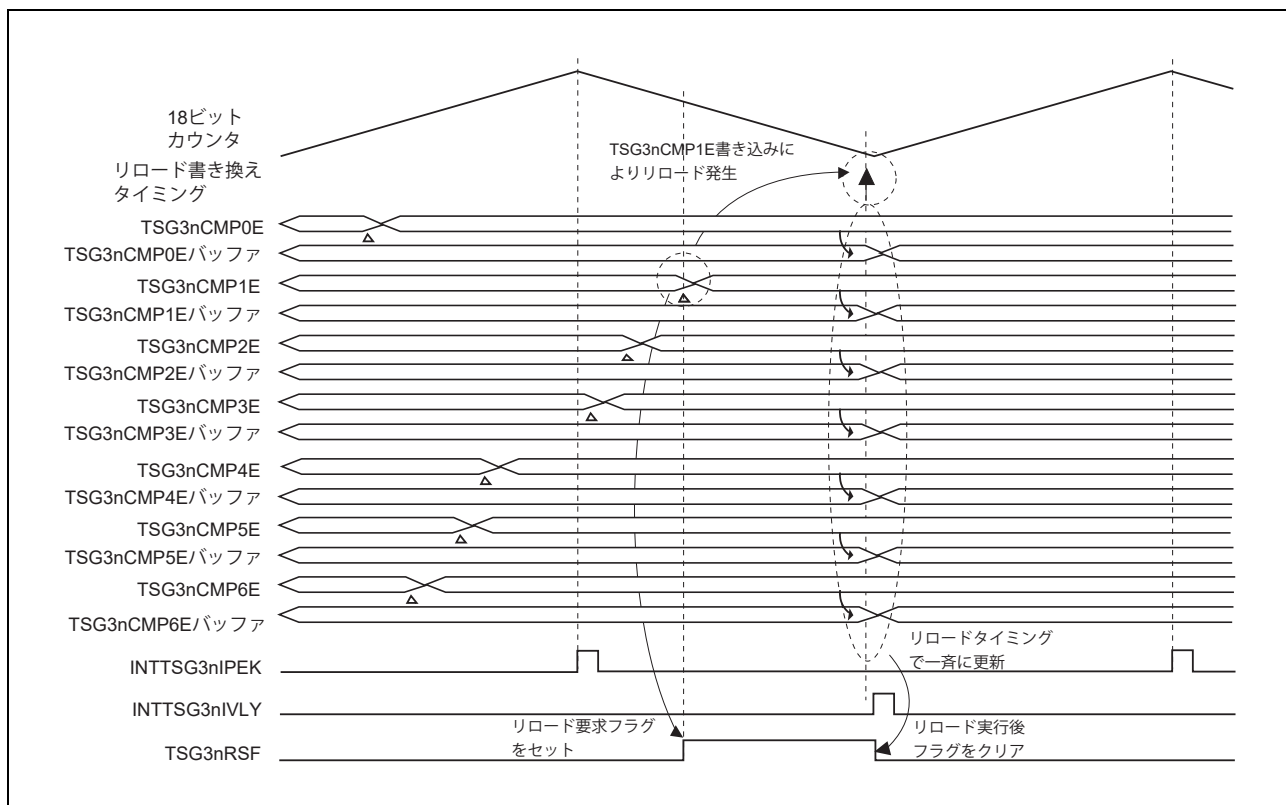


図 25.11 一斉書き換えのタイミング (HT-PWM モードの例) (1/2)

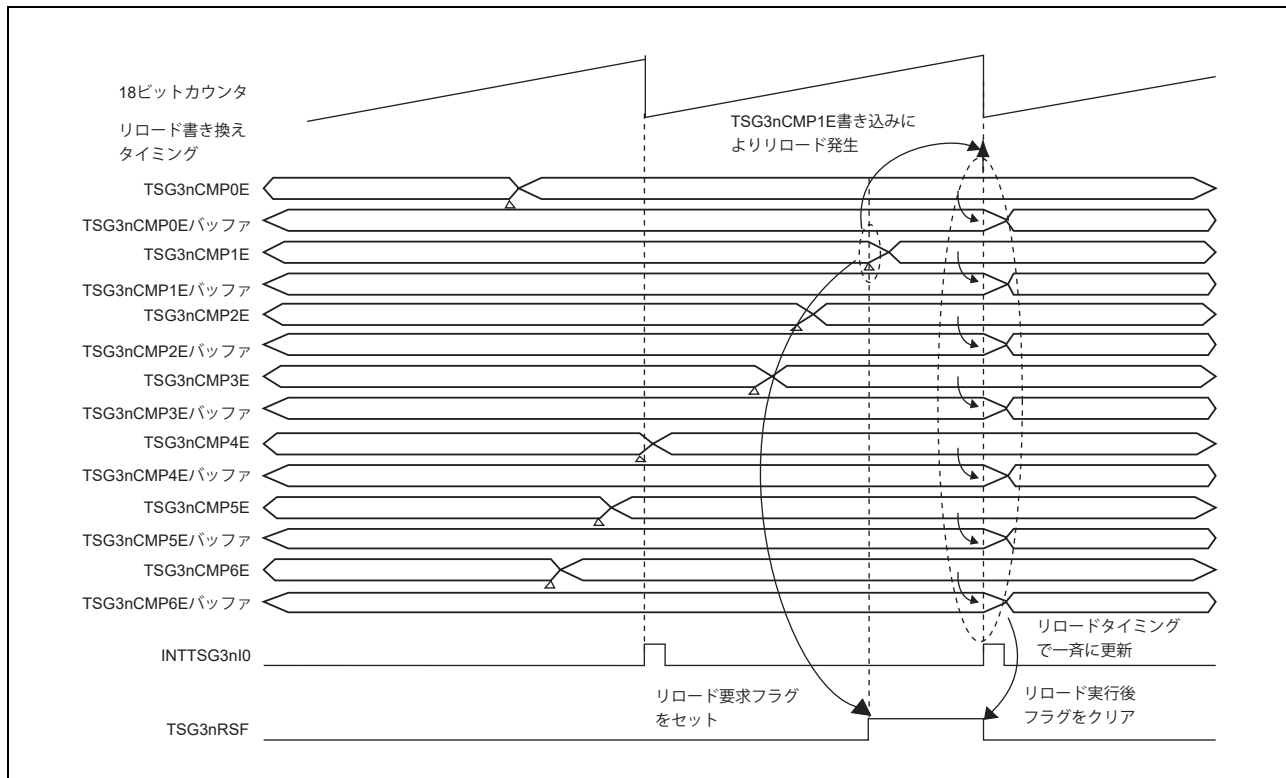


図 25.11 一斉書き換えのタイミング (PWM モードの例) (2/2)

(a) 各モードのリロード書き換え設定例

リロード発生条件および設定例を示します。

表 25.46 リロードの設定一覧 (TSG3nCTL3.TSG3nRIA = 0 の場合)

モード	TSG3nCTL4. TSG3nPRE	TSG3nCTL4. TSG3nVRE	TSG3nCTL4. TSG3nPIE	TSG3nCTL4. TSG3nVIE	TSG3nCTL4.T SG3nRCC04- TSG3nRCC00	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0/1	0/1	任意	INTTSG3nI0 発生時
120-DC モード	1	1	0/1	0/1	任意	INTTSG3nI0 発生時
HSP-PWM モード	1	1	0/1	0/1	任意	INTTSG3nI0 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0/1	0/1	任意	INTTSG3nIVLY 発生時
	1	0	0/1	0/1	任意	INTTSG3nIPEK 発生時
	1	1	0/1	0/1	任意	INTTSG3nIPEK/ INTTSG3nIVLY 発生時

表 25.47 リロードの設定一覧 (TSG3nCTL3.TSG3nRIA = 1 の場合)

モード	TSG3nCTL4. TSG3nPRE	TSG3nCTL4. TSG3nVRE	TSG3nCTL4. TSG3nPIE	TSG3nCTL4. TSG3nVIE	TSG3nCTL4.T SG3nRCC04- TSG3nRCC00	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0	0/1	任意	設定禁止
120-DC モード	1	0	1	0/1	任意	INTTSG3nI0 発生時
HSP-PWM モード	1	1	0	0/1	任意	設定禁止
	1	1	1	0/1	任意	INTTSG3nI0 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0	0	任意	設定禁止
	0	1	0	1	任意	INTTSG3nIVLY 発生時
	0	1	1	0	任意	設定禁止
	0	1	1	1	任意	INTTSG3nIVLY 発生時
	1	0	0	0/1	任意	設定禁止
	1	0	1	0/1	任意	INTTSG3nIPEK 発生時
	1	1	0	0	任意	設定禁止
	1	1	0	1	任意	INTTSG3nIVLY 発生時
	1	1	1	0	任意	INTTSG3nIPEK 発生時
	1	1	1	1	任意	INTTSG3nIPEK/ INTTSG3nIVLY 発生時

25.4.1.4 各モード時における出力一覧

各モード時のタイマ出力 (TSG3nO0-TSG3nO7 端子) 一覧を次に示します。

表 25.48 モード別タイマ出力一覧 (1/3)

動作モード	TSG3nO0 端子	TSG3nO1 端子	TSG3nO2 端子
PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペアー一致による PWM 出力	TSG3nCMP3E, TSG3nCMP4E のコンペアー一致による PWM 出力
HT-PWM モード	18 ビットカウンタ、または 18 ビットサブカウンタのアップ/ダウンステータス出力	TSG3nCMP1E, TSG3nCMP2E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO1 端子に対する逆相 PWM 出力 (デッドタイム付き)
SP-PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO1 端子に対する逆相 PWM 出力 (デッドタイム付き)
120-DC モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力
HSP-PWM モード	— (ロウレベル出力固定)	TSG3nCMP1E, TSG3nCMP2E のコンペアー一致による PWM 出力	TSG3nCMP3E, TSG3nCMP4E のコンペアー一致による PWM 出力

表 25.48 モード別タイマ出力一覧 (2/3)

動作モード	TSG3nO3 端子	TSG3nO4 端子	TSG3nO5 端子
PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペアー一致による PWM 出力	TSG3nCMP7E, TSG3nCMP8E のコンペアー一致による PWM 出力	TSG3nCMP9E, TSG3nCMP10E のコンペアー一致による PWM 出力
HT-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO3 端子に対する逆相 PWM 出力 (デッドタイム付き)	TSG3nCMP9E, TSG3nCMP10E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)
SP-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)	TSG3nO3 端子に対する逆相 PWM 出力 (デッドタイム付き)	TSG3nCMP9E, TSG3nCMP10E のコンペアー一致による正相 PWM 出力 (デッドタイム付き)
120-DC モード	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力	TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を使用した PWM 出力
HSP-PWM モード	TSG3nCMP5E, TSG3nCMP6E のコンペアー一致による PWM 出力	TSG3nCMP7E, TSG3nCMP8E のコンペアー一致による PWM 出力	TSG3nCMP9E, TSG3nCMP10E のコンペアー一致による PWM 出力

表 25.48 モード別タイマ出力一覧 (3/3)

動作モード	TSG3nO6 端子	TSG3nO7 端子
PWM モード	TSG3nCMP11E, TSG3nCMP12E のコンペアー一致による PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}
HT-PWM モード	TSG3nO5 端子に対する逆相 PWM 出力 (デッドタイム付き)	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}
SP-PWM モード	TSG3nO5 端子に対する逆相 PWM 出力 (デッドタイム付き)	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}
120-DC モード	TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を使用した PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}
HSP-PWM モード	TSG3nCMP11E, TSG3nCMP12E のコンペアー一致による PWM 出力	ダイアグ出力、もしくは A/D 変換トリガ出力 ^{注1}

注 1. TSG3nO7 に関しては「25.4.1.4 (a) TSG3nO7 端子の出力制御」を参照してください。

(a) TSG3nO7 端子の出力制御

A/D 変換トリガ用のパルス (TSG3nIOC1.TSG3nTGS = 0)、またはダイアグ出力 (TSG3nIOC1.TSG3nTGS = 1) を TSG3nO7 端子に出力することができます。A/D 変換トリガ用のパルス出力時の TSG3nO7 端子は、TSG3nADTRG0 信号の立ち上がりエッジでアクティブとなり、TSG3nADTRG1 信号の立ち上がりエッジでインアクティブとなります。TSG3nO7 端子がアクティブの状態では TSG3nADTRG0 信号を検出した場合は、TSG3nO7 端子はアクティブレベルを維持します。また、TSG3nO7 端子がインアクティブの状態では TSG3nADTRG1 信号を検出した場合は、TSG3nO7 端子はインアクティブレベルを維持します。TSG3nADTRG0, TSG3nADTRG1 信号のトリガが同時の場合は、TSG3nO7 端子のインアクティブが優先されます。

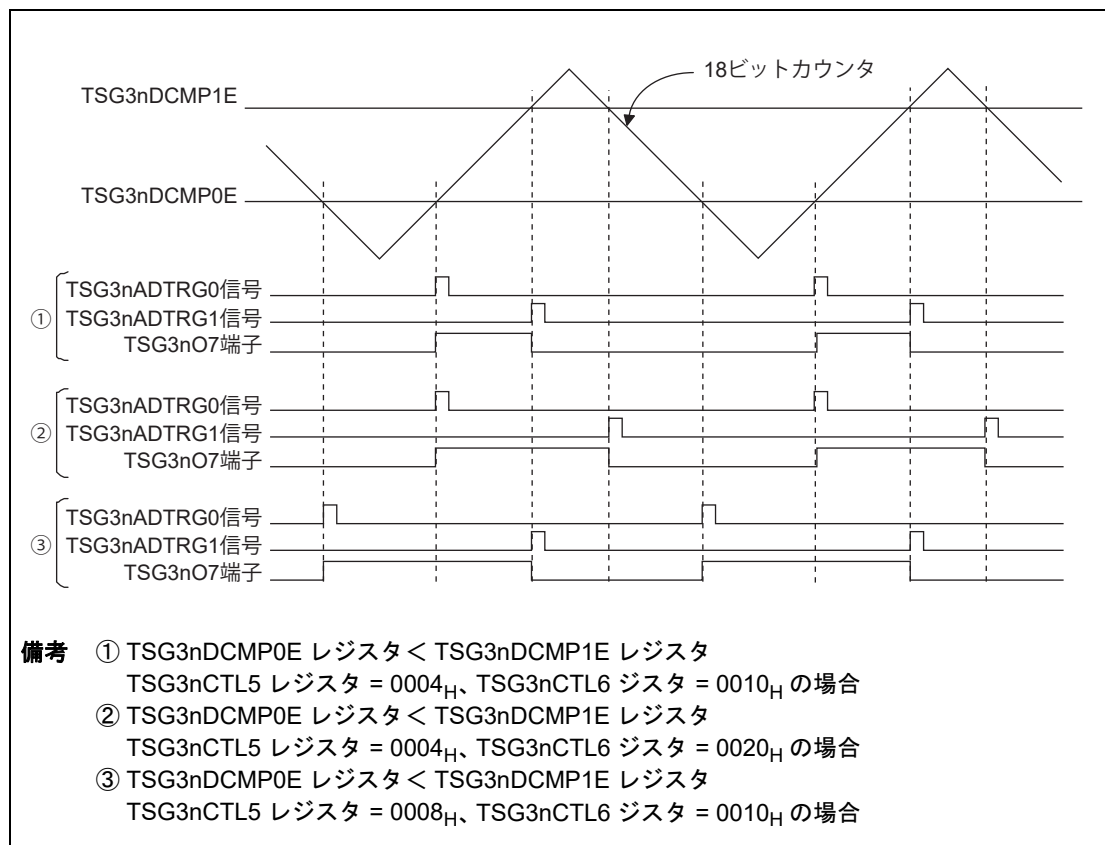


図 25.12 TSG3nO7 端子の A/D トリガ出力タイミング例 (TSG3nIOC1.TSG3nTGS = 0)

ダイアグ出力時の TSG3nO7 端子は、TSG3nDCMP0E-TSG3nDCMP2E が 18 ビットカウンタと一致するタイミングにて TSG3nCTL0.TSG3nDWD で設定した出力幅のアクティブレベルを出力します。なお、ダイアグ出力がアクティブレベル中に TSG3nDCMP0E-TSG3nDCMP2E と 18 ビットカウンタの一致タイミングが発生した場合、重なったタイミングから TSG3nDWD で設定した出力幅にて続けて出力します。

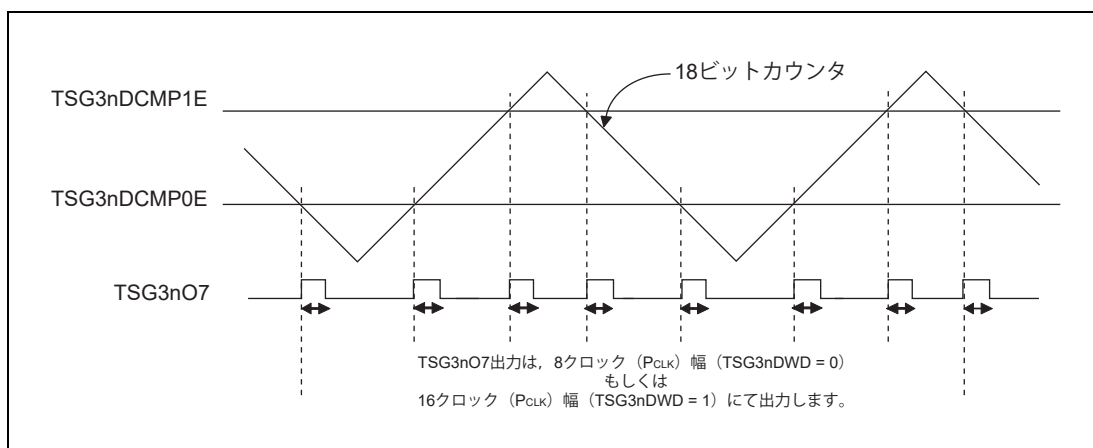


図 25.13 TSG3nO7 端子のダイアグ出力タイミング例① (TSG3nIOC1.TSG3nTGS = 1)

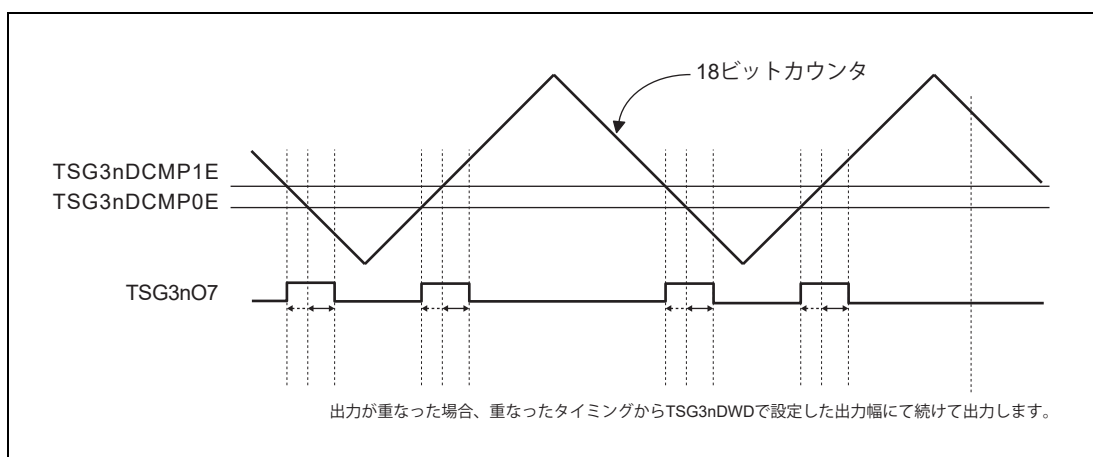


図 25.14 TSG3nO7 端子のダイアグ出力タイミング例② (出力幅が重なった場合)

25.4.1.5 リスタート

タイマ動作中 (TSG3nSTR0.TSG3nTE = 1)、TSG3nTRG0.TSG3nTS ビットに 1 を設定した場合または TSG3nTSST 入力をした場合、下記の動作となります。

- 以下のカウンタが初期化されます。
18 ビットメインカウンタ、18 ビットサブカウンタ、割り込み間引きカウンタ
- 以下のフラグが初期化されます。
TSG3nSTR0 レジスタの TSG3nCUF、TSG3nSUF、TSG3nRSF、TSG3nTE
TSG3nSTR1 レジスタの TSG3nOPF2 - 0 (TSG3nTSF は初期化されません。)
TSG3nSTR2 レジスタの TSG3nPPF、TSG3nPEF、TSG3nTDF、TSG3nNDF、TSG3nPRF、
TSG3nPTF (TSG3nTBF2 - 0 は初期化されません。)
- 以下のレジスタのリロードが実行されます。
TSG3nCTL2、TSG3nCTL4、TSG3nIOC3、TSG3nCMP0、TSG3nCMP0E、TSG3nCMPmW
(m = 1、3、5、7、9、11)
TSG3nCMP1 - TSG3nCMP12、TSG3nCMP1E - TSG3nCMP12E
TSG3nDCMP0W、TSG3nDCMP2、TSG3nDCMP0E - TSG3nDCMP2E
TSG3nPAT0W、TSG3nPAT1W
TSG3nCMPU、TSG3nCMPV、TSG3nCMPW
TSG3nCMPUE、TSG3nCMPVE、TSG3nCMPWE
TSG3nUPW、TSG3nVPW、TSG3nWPW
TSG3nUPWE、TSG3nVPWE、TSG3nWPWE
TSG3nHSPSHUE、TSG3nHSPSHVE、TSG3nHSPSHWE
TSG3nHSPCMUE、TSG3nHSPCMVE、TSG3nHSPCMWE
- 以下のレジスタの設定が反映されます。
TSG3nOPT0 **注 1.**

デッドタイム制御レジスタ TSG3nDTC0W、TSG3nDTC1W はリスタート時にリロードされますが、デッドタイムカウンタは動作を継続するため、デッドタイムは必ず挿入されます。

ダイアグ出力中にリスタートが発生した場合、ダイアグ出力は初期化されます。

注 1. TSG3nOPT0 レジスタの各ビットの反映タイミングは以下の通りです。

TSG3nSOC

0 → 1 の切り替え時は即時反映

1 → 0 の切り替え時はリロードタイミングにて反映

TSG3nSTE、TSG3nPOT、TSG3nPSS、TSG3nIDC、TSG3nPSC

- タイマ周期
- 出力パタン切り替え時

25.4.2 一致割り込み

割り込みには、コンペア一致割り込み (INTTSG3nIm)、山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) が存在します。エラー/ワーニング割り込み (INTTSG3nIER, INTTSG3nIWN) に関しては「**25.4.6 エラー/ワーニング割り込み**」を参照してください。

周期割り込み (INTTSG3nI0) は、タイマの周期毎に発生します。HT-PWM モードでは、TSG3nDTC0 バッファレジスタと 18 ビットカウンタが一致したときに発生します。18 ビットカウンタがのこぎり波動作を行うモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) では、18 ビットカウンタが TSG3nCMP0E バッファレジスタとの一致後に発生します。

コンペア一致割り込み (INTTSG3nIm) は、TSG3nCMPmE バッファレジスタと 18 ビットカウンタの一致により発生する割り込みで、動作モードで使用するコンペアレジスタに応じて一致割り込みを発生します。(m = 1 ~ 12)

山割り込み (INTTSG3nIPEK) は、すべてのモードで発生します。HT-PWM モードでは、18 ビットカウンタがアップカウントからダウンカウントに切り替わるときに発生します。18 ビットカウンタがのこぎり波動作を行うモード (PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モード) では、18 ビットカウンタが TSG3nCMP0E バッファレジスタとの一致後に発生します (INTTSG3nI0 割り込みと同タイミング)。

谷割り込み (INTTSG3nIVLY) は、HT-PWM モードで 18 ビットカウンタがダウンカウントからアップカウントに切り替わるときに発生します。

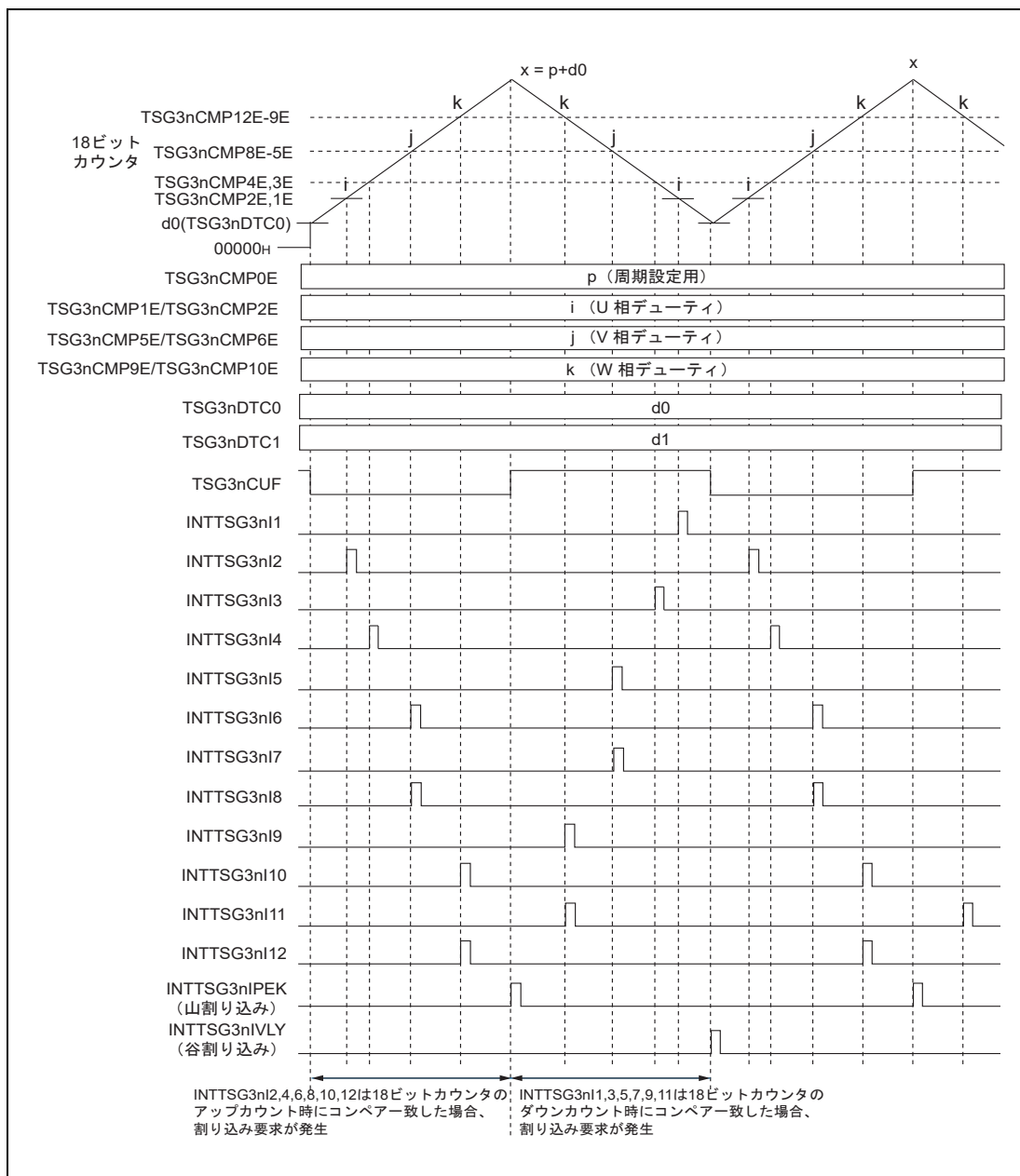


図 25.15 割り込み発生例 (HT-PWM モードの例)

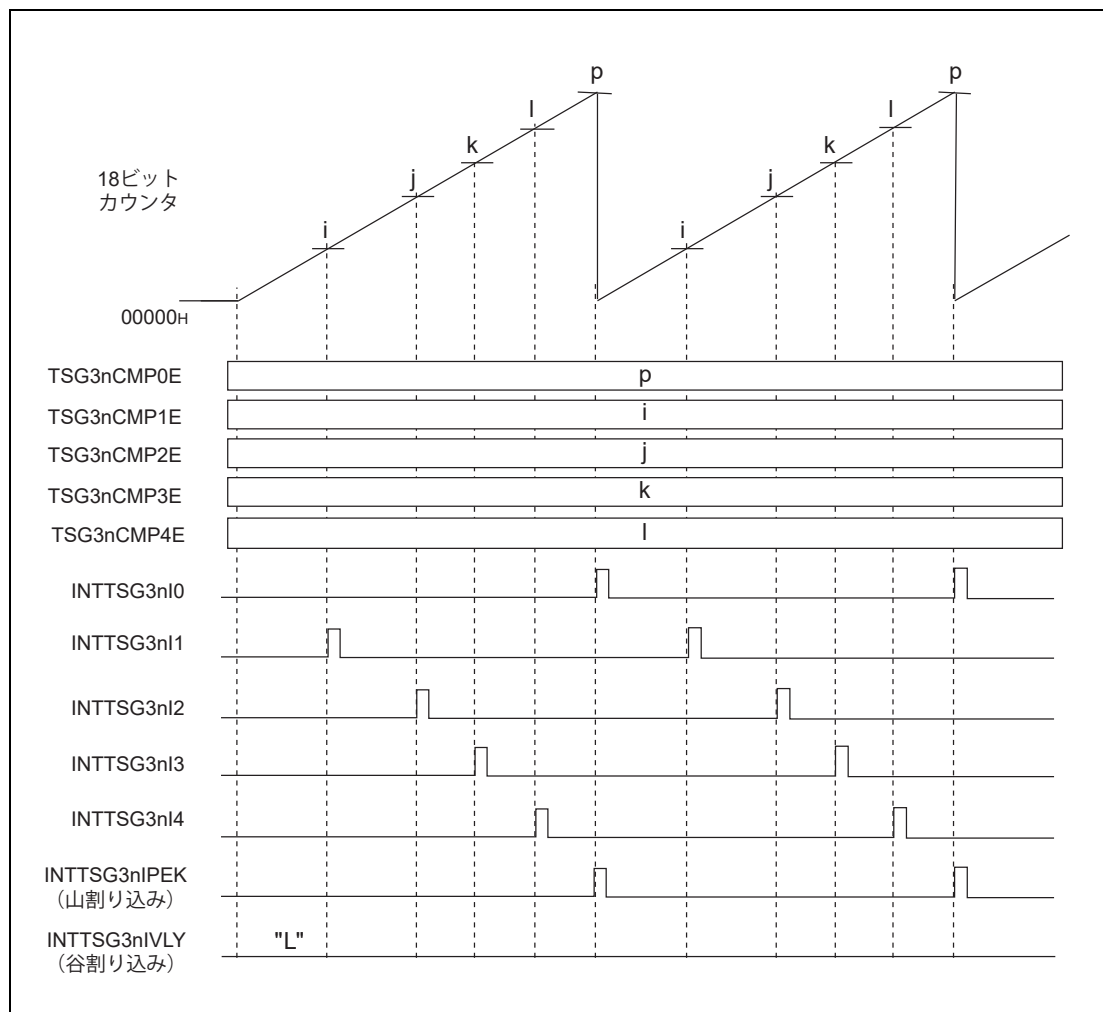


図 25.16 割り込み発生例 (PWM モードの例)

各モード時の割り込み (INTTSG3nI0-INTTSG3nI12, INTTSG3nIPEK, INTTSG3nIVLY, INTTSG3nIER, INTTSG3nIWN) 一覧を表 25.49 に示します。

表 25.49 モード別割り込み一覧 (1/5)

動作モード	INTTSG3nI0	INTTSG3nI1	INTTSG3nI2	INTTSG3nI3
PWM モード	TSG3nCMP0E コンペア 一致割り込み	TSG3nCMP1E コンペア 一致割り込み ^{注1}	TSG3nCMP2E コンペア 一致割り込み ^{注1}	TSG3nCMP3E コンペア 一致割り込み ^{注1}
HT-PWM モード	周期割り込み	ダウンカウント (TSG3nCUF=1) 時、 TSG3nCMP1E コンペア 一致割り込み ^{注2}	アップカウント (TSG3nCUF=0) 時、 TSG3nCMP2E コンペア 一致割り込み ^{注2}	ダウンカウント (TSG3nCUF=1) 時、 TSG3nCMP3E コンペア 一致割り込み ^{注2}
SP-PWM モード	TSG3nCMP0E コンペア 一致割り込み	TSG3nCMP1E コンペア 一致割り込み ^{注1}	TSG3nCMP2E コンペア 一致割り込み ^{注1}	—
120-DC モード	TSG3nCMP0E コンペア 一致割り込み	TSG3nCMP1E コンペア 一致割り込み ^{注1}	TSG3nCMP2E コンペア 一致割り込み ^{注1}	TSG3nCMP3E コンペア 一致割り込み ^{注1}
HSP-PWM モード	TSG3nCMP0E コンペア 一致割り込み	TSG3nCMP1E コンペア 一致割り込み ^{注1}	TSG3nCMP2E コンペア 一致割り込み ^{注1}	TSG3nCMP3E コンペア 一致割り込み ^{注1}

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1-12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 25.49 モード別割り込み一覧 (2/5)

動作モード	INTTSG3nI4	INTTSG3nI5	INTTSG3nI6	INTTSG3nI7
PWM モード	TSG3nCMP4E コンペア 一致割り込み ^{注1}	TSG3nCMP5E コンペア 一致割り込み ^{注1}	TSG3nCMP6E コンペア 一致割り込み ^{注1}	TSG3nCMP7E コンペア 一致割り込み ^{注1}
HT-PWM モード	アップカウント (TSG3nCUF=0) 時、 TSG3nCMP4E コンペア 一致割り込み ^{注2}	ダウンカウント (TSG3nCUF=1) 時、 TSG3nCMP5E コンペア 一致割り込み ^{注2}	アップカウント (TSG3nCUF=0) 時、 TSG3nCMP6E コンペア 一致割り込み ^{注2}	ダウンカウント (TSG3nCUF=1) 時、 TSG3nCMP7E コンペア 一致割り込み ^{注2}
SP-PWM モード	—	TSG3nCMP5E コンペア 一致割り込み ^{注1}	TSG3nCMP6E コンペア 一致割り込み ^{注1}	—
120-DC モード	TSG3nCMP4E コンペア 一致割り込み ^{注1}	TSG3nCMP5E コンペア 一致割り込み ^{注1}	TSG3nCMP6E コンペア 一致割り込み ^{注1}	TSG3nCMP7E コンペア 一致割り込み ^{注1}
HSP-PWM モード	TSG3nCMP4E コンペア 一致割り込み ^{注1}	TSG3nCMP5E コンペア 一致割り込み ^{注1}	TSG3nCMP6E コンペア 一致割り込み ^{注1}	TSG3nCMP7E コンペア 一致割り込み ^{注1}

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1-12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 25.49 モード別割り込み一覧 (3/5)

動作モード	INTTSG3nI8	INTTSG3nI9	INTTSG3nI10	INTTSG3nI11
PWM モード	TSG3nCMP8E コンペア一致割り込み ^{注1}	TSG3nCMP9E コンペア一致割り込み ^{注1}	TSG3nCMP10E コンペア一致割り込み ^{注1}	TSG3nCMP11E コンペア一致割り込み ^{注1}
HT-PWM モード	アップカウント (TSG3nCUF=0) 時、TSG3nCMP8E コンペア一致割り込み ^{注2}	ダウンカウント (TSG3nCUF=1) 時、TSG3nCMP9E コンペア一致割り込み ^{注2}	アップカウント (TSG3nCUF=0) 時、TSG3nCMP10E コンペア一致割り込み ^{注2}	ダウンカウント (TSG3nCUF=1) 時、TSG3nCMP11E コンペア一致割り込み ^{注2}
SP-PWM モード	—	TSG3nCMP9E コンペア一致割り込み ^{注1}	TSG3nCMP10E コンペア一致割り込み ^{注1}	—
120-DC モード	TSG3nCMP8E コンペア一致割り込み ^{注1}	TSG3nCMP9E コンペア一致割り込み ^{注1}	TSG3nCMP10E コンペア一致割り込み ^{注1}	TSG3nCMP11E コンペア一致割り込み ^{注1}
HSP-PWM モード	TSG3nCMP8E コンペア一致割り込み ^{注1}	TSG3nCMP9E コンペア一致割り込み ^{注1}	TSG3nCMP10E コンペア一致割り込み ^{注1}	TSG3nCMP11E コンペア一致割り込み ^{注1}

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1-12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 25.49 モード別割り込み一覧 (4/5)

動作モード	INTTSG3nI12	INTTSG3nIPEK	INTTSG3nIVLY
PWM モード	TSG3nCMP12E コンペア一致割り込み ^{注1}	INTTSG3nI0 と同タイミングで山割り込み	—
HT-PWM モード	アップカウント (TSG3nCUF=0) 時、TSG3nCMP12E コンペア一致割り込み ^{注2}	山割り込み	谷割り込み
SP-PWM モード	—	INTTSG3nI0 と同タイミングで山割り込み	—
120-DC モード	TSG3nCMP12E コンペア一致割り込み ^{注1}	INTTSG3nI0 と同タイミングで山割り込み	—
HSP-PWM モード	TSG3nCMP12E コンペア一致割り込み ^{注1}	INTTSG3nI0 と同タイミングで山割り込み	—

注 1. TSG3nCMP0E < TSG3nCMPmE に設定した場合、コンペア一致割り込みは発生しません (m = 1-12)。

注 2. $00000_H \leq TSG3nCMPmE < TSG3nDTC0$ 、 $(TSG3nCMP0E + TSG3nDTC0) < TSG3nCMPmE$ の範囲に設定した場合、コンペア一致割り込みは発生しません。

表 25.49 モード別割り込み一覧 (5/5)

動作モード	INTTSG3nEI	INTTSG3nWI
PWM モード	エラー割り込み	ワーニング割り込み
HT-PWM モード	エラー割り込み	ワーニング割り込み
SP-PWM モード	エラー割り込み	ワーニング割り込み
120-DC モード	エラー割り込み	ワーニング割り込み
HSP-PWM モード	エラー割り込み	ワーニング割り込み

25.4.3 フラグ

表 25.50 フラグ一覧表

番号	フラグ名称	記号	レジスタ	動作モード
(1)	アップカウントフラグ	TSG3nCUF	TSG3nSTR0	HT-PWM モード
		TSG3nSUF	TSG3nSTR0	
(2)	正相/逆相同時アクティブ検出フラグ	TSG3nTBF0- TSG3nTBF2	TSG3nSTR2	全動作モード
(3)	リロード要求フラグ	TSG3nRSF	TSG3nSTR0	全動作モード
(4)	ノイズ検出フラグ	TSG3nNDF	TSG3nSTR2	全動作モード
(5)	パタン順序検出フラグ	TSG3nTSF	TSG3nSTR1	全動作モード
(6)	パタンエラー検出フラグ	TSG3nPEF	TSG3nSTR2	全動作モード
(7)	パタン反転検出フラグ	TSG3nPRF	TSG3nSTR2	全動作モード
(8)	TSG3nPTSI2-TSG3nPTSI0 端子 異常トグル検出フラグ	TSG3nPTF	TSG3nSTR2	全動作モード
(9)	TSG3nOPCI0, TSG3nOPCI1 信号 同時トリガ検出フラグ	TSG3nTDF	TSG3nSTR2	全動作モード
(10)	パタン位相差異検出フラグ	TSG3nPPF	TSG3nSTR2	全動作モード
(11)	タイマ出カパタンフラグ	TSG3nOPF0- TSG3nOPF2	TSG3nSTR1	全動作モード
(12)	パタン切り替え検出信号 (内部信号)	TSG3nPTE	—	全動作モード

25.4.3.1 アップカウントフラグ (TSG3nCUF, TSG3nSUF)

名称

アップカウントフラグ (TSG3nSTR0.TSG3nCUF, TSG3nSUF)

説明

アップカウントフラグには次の2種類があります。

TSG3nCUF は、18ビットカウンタのアップ/ダウンカウントフラグです。

TSG3nSUF は、18ビットサブカウンタのアップ/ダウンカウントフラグです。

TSG3nCUF/TSG3nSUF とともに、“0”はアップカウント状態を示し、“1”はダウンカウント状態を示します。

TSG3nCUF/TSG3nSUF は、HT-PWM モード時のみ使用できます。

動作例

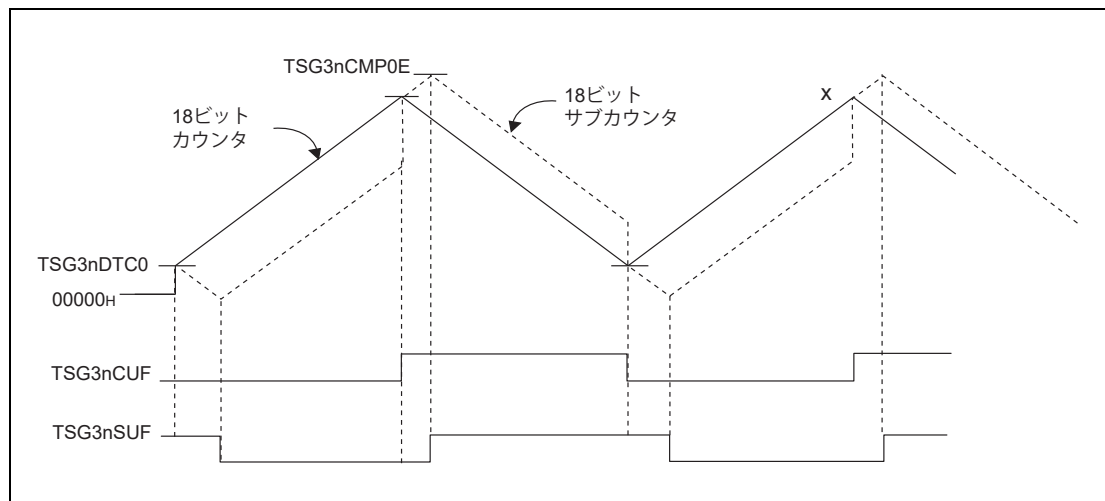


図 25.17 アップカウントフラグ動作例

備考

- TSG3nCUF の値は次のようになります。

$$\text{TSG3nDTC0} \leq 18 \text{ ビットカウンタ} \leq (\text{TSG3nCMP0E} + \text{TSG3nDTC0} - 2)$$

. . . “0”
(アップカウント)

$$(\text{TSG3nCMP0E} + \text{TSG3nDTC0}) \geq 18 \text{ ビットカウンタ} \geq \text{TSG3nDTC0} + 2$$

. . . “1”
(ダウンカウント)
- TSG3nSUF の値は次のようになります。

$$0 \leq 18 \text{ ビットサブカウンタ} \leq (\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} - 2)$$

. . . “0”
(アップカウント)

$$(\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1}) \geq 18 \text{ ビットサブカウンタ} \geq 2$$

. . . “1”
(ダウンカウント)

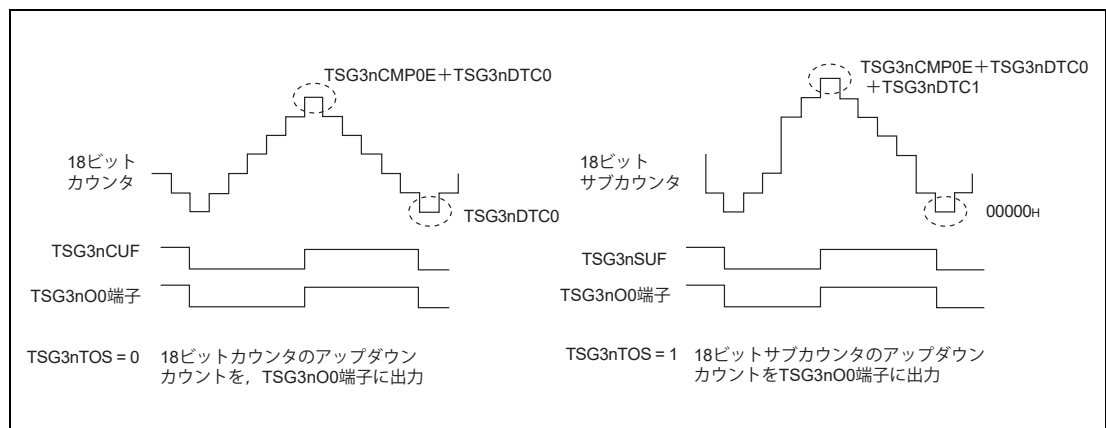


図 25.18 TSG3nIOC1.TSG3nTOS 切り替え時の TSG3nO0 端子出力

動作モード

HT-PWM モード時のみ使用できます。

25.4.3.2 正相／逆相同時アクティブ検出フラグ (TSG3nTBF0-TSG3nTBF2)

名称

正相／逆相同時アクティブ検出フラグ
(TSG3nSTR2.TSG3nTBF0-TSG3nTBF2 フラグ)

説明

TSG3nCTL1.TSG3nTBA2-TSG3nTBA0 のいずれかが“1”の場合において、TSG3nTBF0-TSG3nTBF2 は、TSG3n の正相／逆相の同時アクティブを検出できます。

TSG3n の正相／逆相の同時アクティブを検出した場合、該当する TSG3nTBF0-TSG3nTBF2 フラグはセット (1) されエラー割り込み (INTTSG3nIER) が発生します。

TSG3nSTC.TSG3nTBR0-TSG3nTBR2 に“1”をライトしたときに各々クリアされます。

動作例

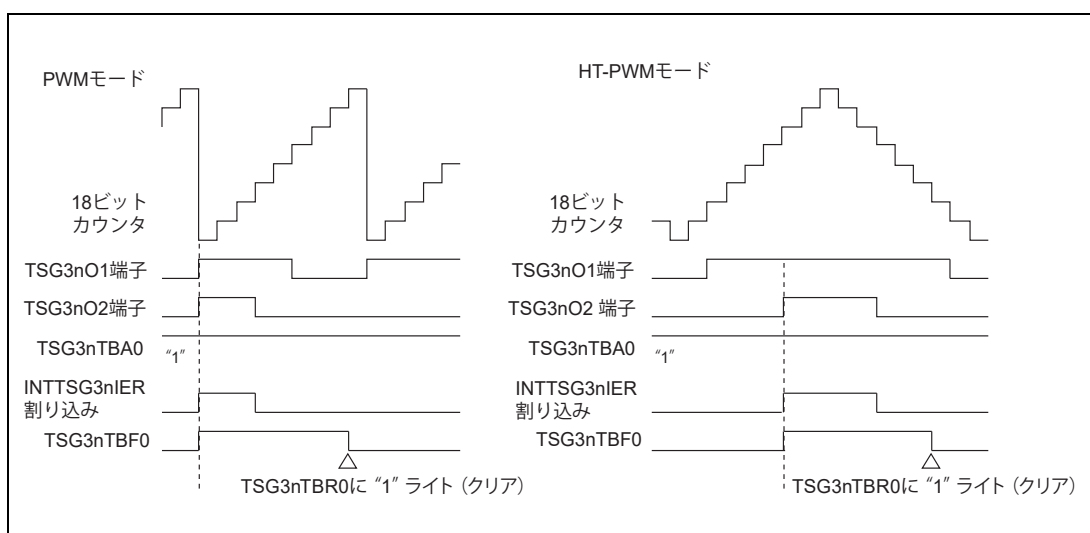


図 25.19 正相／逆相同時アクティブ検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG3nTBF0-TSG3nTBF2 は、TSG3nCTL1.TSG3nTBA0-TSG3nTBA2 = 1 かつ
TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

25.4.3.3 リロード要求フラグ (TSG3nRSF)

名称

リロード要求フラグ (TSG3nSTR0.TSG3nRSF)

説明

TSG3nRSF は、リロード要求が発生したとき (TSG3nCMP1E (TSG3nCMP1, TSG3nCMP1W, TSG3nCMPUE, TSG3nCMPU, TSG3nUPWE, TSG3nUPW, TSG3nHSPCMUE) レジスタにライトしたとき)、セット (1) されます。リロードが発生し、全バッファレジスタに値が転送されたときクリア (0) されます。

動作例

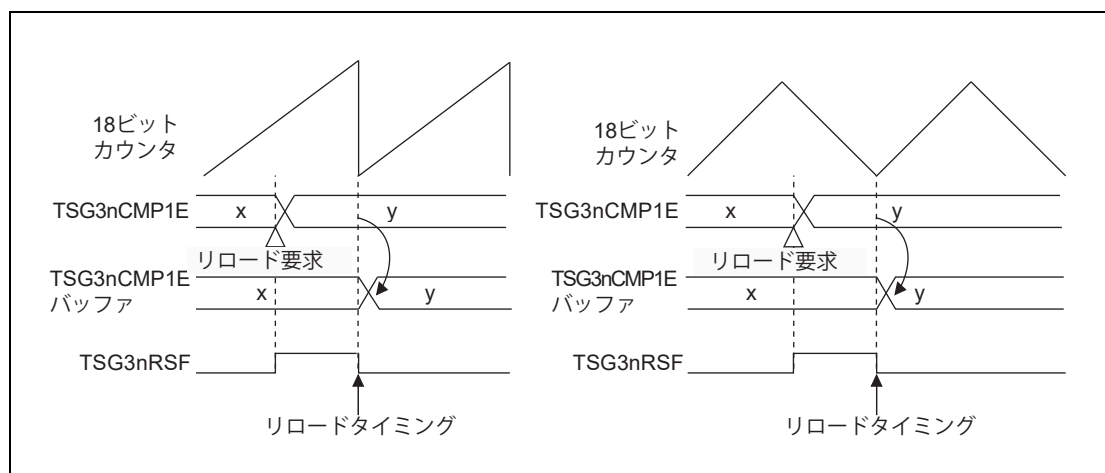


図 25.20 リロード要求フラグ動作例

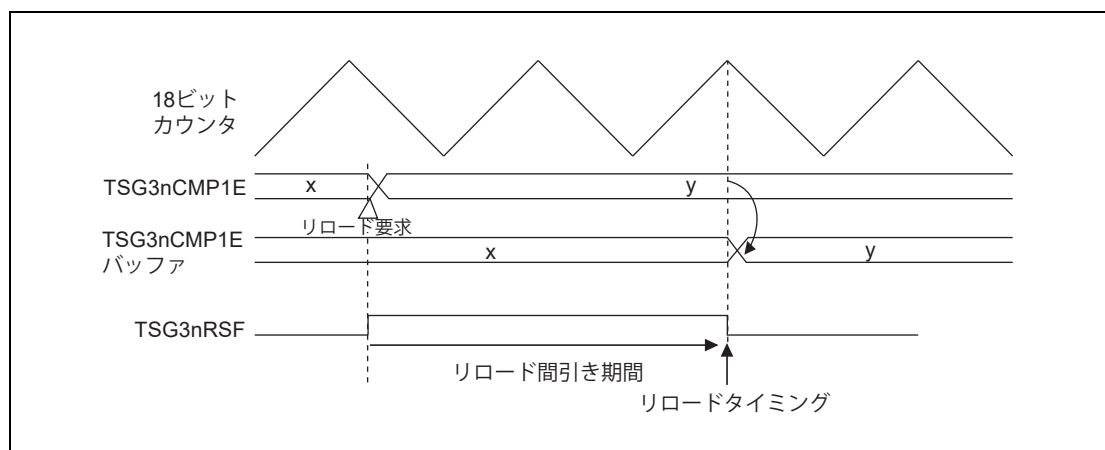


図 25.21 リロード要求フラグとリロード間引き期間

動作モード

すべての動作モードで使用できます。

25.4.3.4 ノイズ検出フラグ (TSG3nNDF)

名称

ノイズ検出フラグ (TSG3nSTR2.TSG3nNDF)

説明

TSG3nNDF は、TSG3nPTSI2-TSG3nPTSI0 端子が同時に 2 端子以上変化した (ノイズ発生) ことを検出できます。

TSG3nNDF は、TSG3nPTSI2-TSG3nPTSI0 端子が同時に 2 端子以上変化した (ノイズ発生) 場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nNDF フラグは、TSG3nSTC.TSG3nNDR ビットに“1”をライトしたときにクリア (0) されます。

動作例

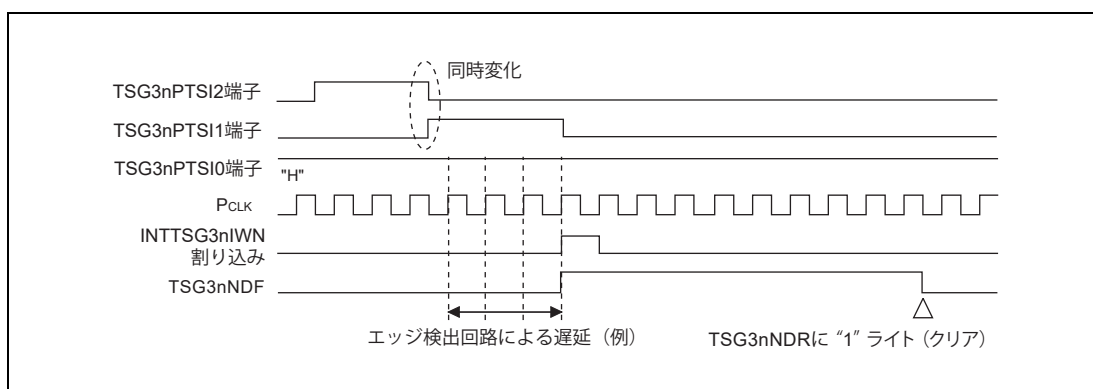


図 25.22 ノイズ検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG3nNDF は、TSG3nCTL1.TSG3nNDC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

25.4.3.5 パタン順序検出フラグ (TSG3nTSF)

名称

パタン順序検出フラグ (TSG3nSTR1.TSG3nTSF)

説明

TSG3nTSF は、TSG3nPTSI2-TSG3nPTSI0 端子に入力しているパタンの順序を検出することができます。

TSG3nPTSI2-TSG3nPTSI0 端子の入力により、次の動作となります。

表 25.51 パタン順序検出フラグとパタン入力順序

TSG3nTSF	TSG3nPTSI2-TSG3nPTSI0 端子の入力
0	[1,0,1] → [1,0,0] → [1,1,0] → [0,1,0] → [0,1,1] → [0,0,1]
1	[1,0,1] ← [1,0,0] ← [1,1,0] ← [0,1,0] ← [0,1,1] ← [0,0,1]

動作例

(a) TSG3nPTSI2-TSG3nPTSI0 端子に正常な入力が発生している場合

図 25.23 のように、TSG3nPTSI2-TSG3nPTSI0 端子が順序どおりに変化した場合、変化したタイミングで変化した順序に従い“0”あるいは“1”の値がセットされます。

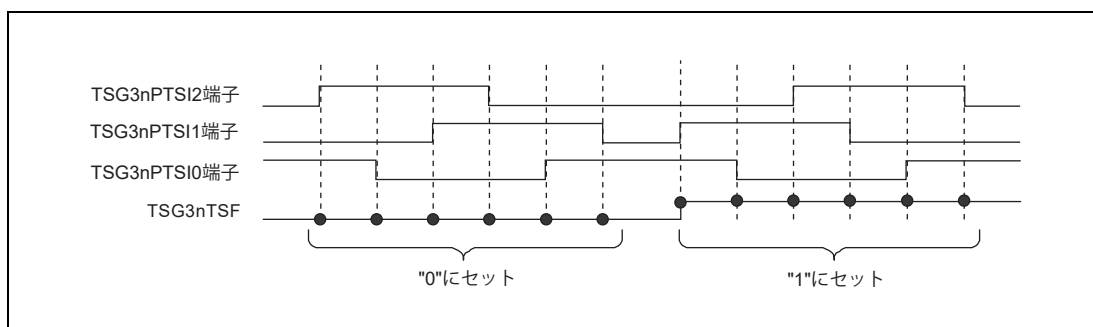


図 25.23 パタン順序検出フラグ動作例 (正常時)

(b) 入力パターン変化の順序検出

TSG3n 動作開始直後は回転方向が判別できないため、TSG3nTSF で、TSG3nPTSI2-TSG3nPTSI0 端子に入力されるパタンの変化（正転／逆転）を検出できません。動作開始時から検出するためには、動作開始前に TSG3nPSC を設定しておく必要があります（TSG3nTE = 0 のときは、TSG3nPSC の値が反映されます）。

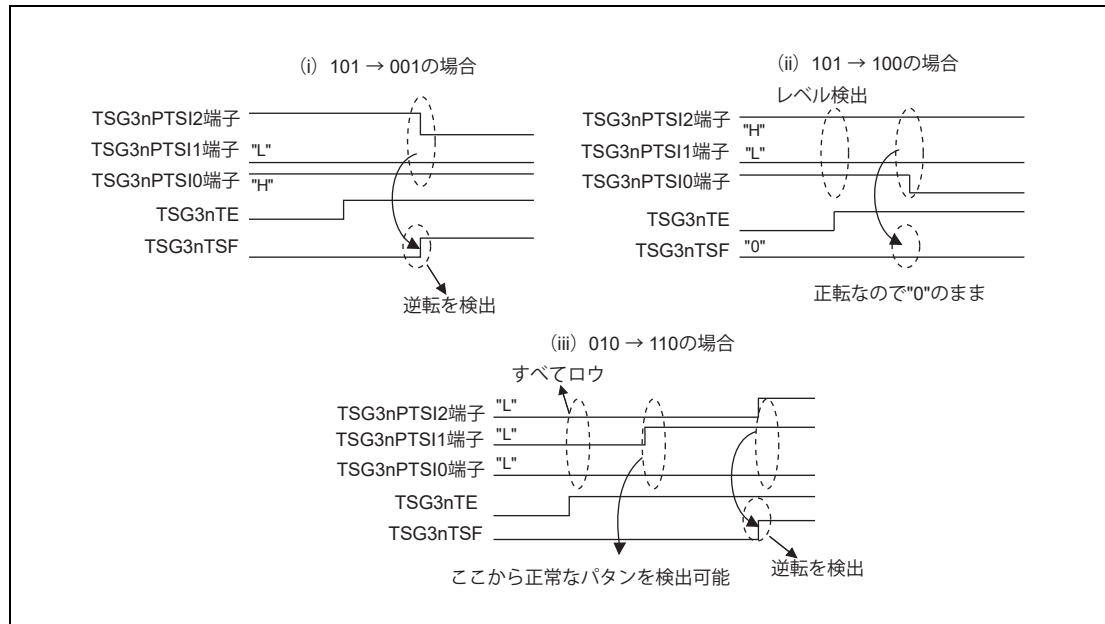


図 25.24 TSG3nPTSI2-TSG3nPTSI0 端子に入力されるパタンの変化（正転／逆転）検出例

(c) TSG3nPTSI2-TSG3nPTSI0 端子に異常な入力が発生した場合

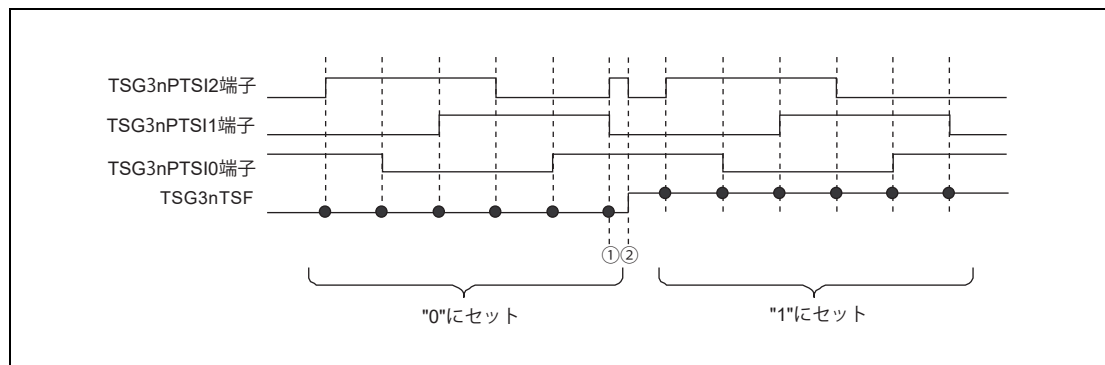


図 25.25 TSG3nPTSI2-TSG3nPTSI0 端子の入力が 2 端子変化した場合の動作例（異常時）

①ここでは、 $\{0, 1, 0\}$ または $\{0, 0, 1\}$ に変化するのを待っているため、このような場合は、TSG3nTSF は変化しません（2 端子変化した場合、TSG3nTSF は変化しません）。

②ここで、TSG3nPTSI2-TSG3nPTSI0 端子が $\{1, 0, 1\}$ から $\{0, 0, 1\}$ に変化したと判断し、TSG3nTSF をセット (1) します。

動作モード

すべての動作モードで使用できます。

25.4.3.6 パターンエラー検出フラグ (TSG3nPEF)

名称

パターンエラー検出フラグ (TSG3nSTR2.TSG3nPEF)

説明

TSG3nPEF は、TSG3nPTSI2-TSG3nPTSI0 端子に“000”、“111”が入力されたことを検出できます。

TSG3nPEF は、TSG3nPTSI2-TSG3nPTSI0 端子のレベルが“111”または“000”の場合にセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nPEF は、TSG3nSTC.TSG3nPER に“1”をライトしたときにクリア (0) されます。

動作例

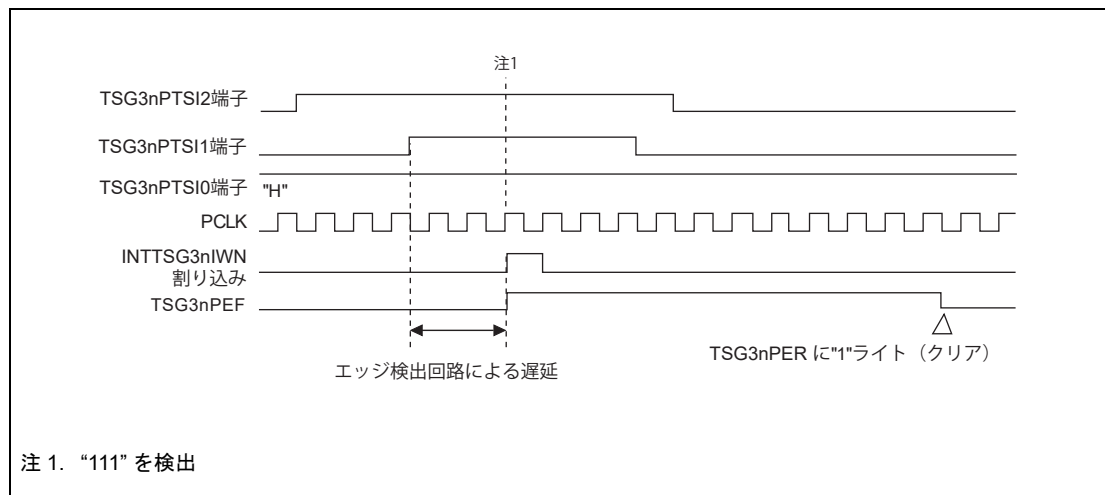


図 25.26 パターンエラー検出フラグ動作例 (TSG3nPTSI2-TSG3nPTSI0 端子 = 111)

動作モード

すべての動作モードで使用できます。

注 意

TSG3nPEF は、TSG3nCTL1.TSG3nPEC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

25.4.3.7 パタン反転検出フラグ (TSG3nPRF)

名称

パタン反転検出フラグ (TSG3nSTR2.TSG3nPRF)

説明

TSG3nPRF は、TSG3nPTSI2-TSG3nPTSI0 端子の変化順序が反転したことを検出できます。

TSG3nPRF は、パタン順序検出フラグ (TSG3nTSF) の変化タイミングでセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。ただし、TSG3nSTR0.TSG3nTE フラグ = 1 がセットされた直後は、2 回目以降の TSG3nPTSI2-TSG3nPTSI0 端子の変化で TSG3nPRF が有効になります。

TSG3nPRF は、TSG3nSTC.TSG3nPRR ビットに“1”をライトしたときにクリア (0) されます。

動作例

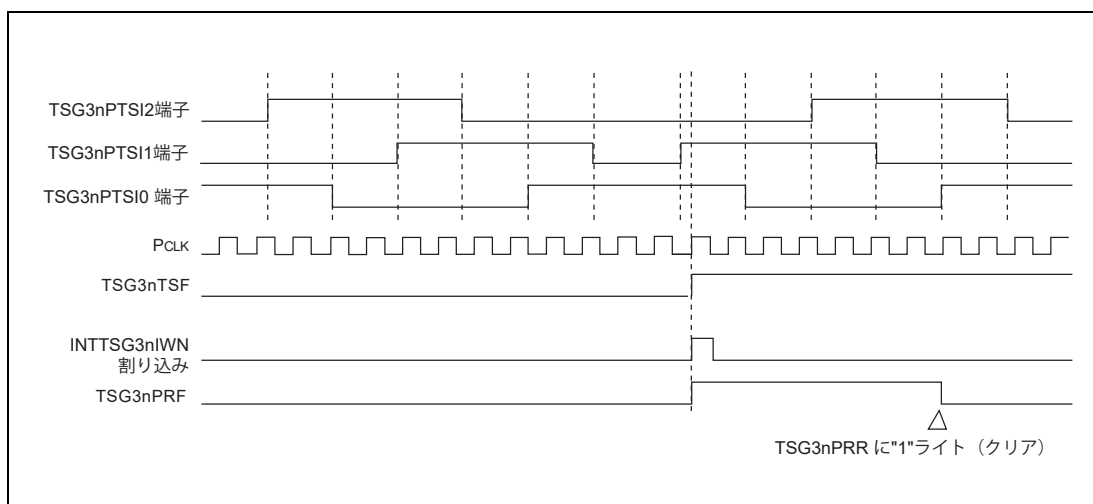


図 25.27 パタン反転検出フラグ動作例

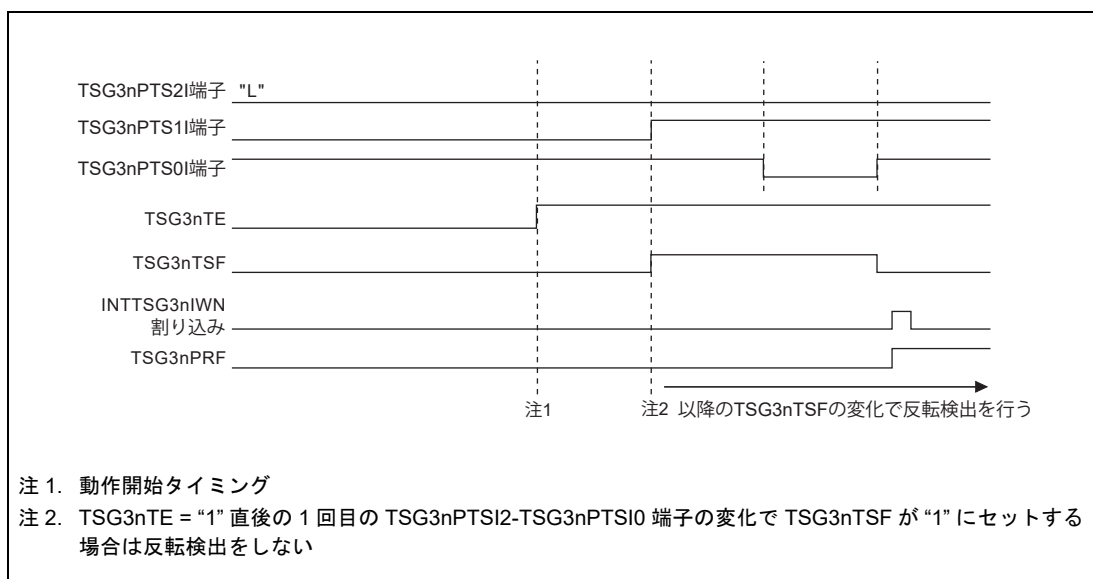


図 25.28 TSG3nSTR0 レジスタの TSG3nTE フラグ = 1 がセットされた直後の動作例

動作モード

すべての動作モードで使用できます。

注 意

TSG3nPRF は、TSG3nCTL1.TSG3nPRC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

25.4.3.8 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nPTF)

名称

TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nSTR2.TSG3nPTF)

説明

TSG3nPTF は、TSG3nOPCI0 信号のトリガ間に TSG3nPTSI2-TSG3nPTSI0 端子の変化が 3 回以上入力されたこと、および TSG3nOPCI1 信号のトリガ間に TSG3nPTSI2-TSG3nPTSI0 端子の変化が 3 回以上入力されたことを検出できます。

TSG3nOPCI0, TSG3nOPCI1 信号の 3 回目のトリガと TSG3nPTSI2-TSG3nPTSI0 端子の変化が同時の場合は、TSG3nPTF がセット (1) され、ワーニング割り込み (INTTSG3nIWN) が発生します。

TSG3nPTF は、TSG3nSTC.TSG3nPTR に“1”をライトしたときにクリア (0) されます。

動作例

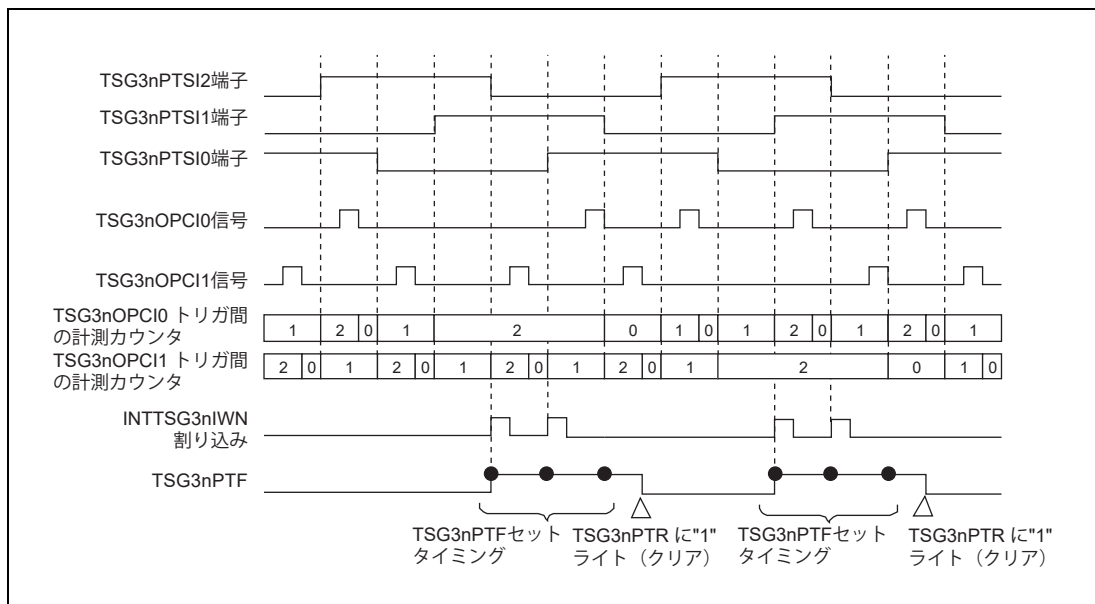


図 25.29 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ動作例

動作モード

すべての動作モードで使用できます。

備考

1. TSG3nPTF フラグは、TSG3nCTL1.TSG3nPTC1 ビット = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。
2. TSG3nPTC0 ビット = 1 かつ TSG3nPTC1 ビット = 1 の場合、異常トグルを検出すると、TSG3nO1-TSG3nO6 端子の出力切り替え制御がパターン切り替え方式 (TSG3nOPT0.TSG3nPOT ビット = 0) に自動的に切り替わります。

25.4.3.9 TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)

名称

TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nSTR2.TSG3nTDF)

説明

TSG3nTDF は、TSG3nOPCI0, TSG3nOPCI1 信号が同時に発生したことを検出できます。

TSG3nTDF は、TSG3nOPCI0, TSG3nOPCI1 信号が同時に発生した場合にセット (1) されワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nTDF は、TSG3nSTC.TSG3nTDR に "1" をライトしたときにクリア (0) されます。

動作例

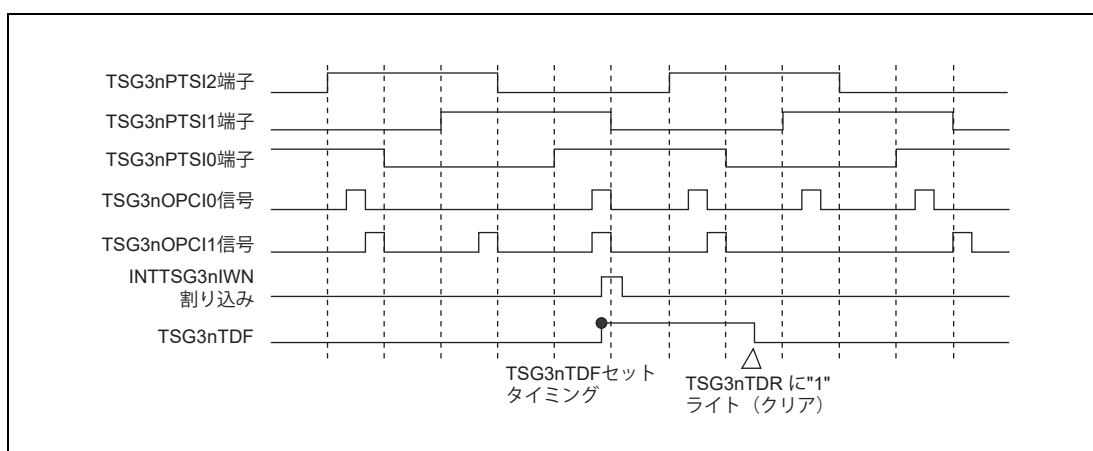


図 25.30 TSG3nOPCI0-TSG3nOPCI1 端子異常トグル検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注意

TSG3nTDF は、TSG3nCTL1.TSG3nTDC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

25.4.3.10 パタン位相差異検出フラグ (TSG3nPPF)

名称

パタン位相差異検出フラグ (TSG3nSTR2.TSG3nPPF)

説明

TSG3nPPF は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) と出力パタン (TSG3nSTR1.TSG3nOPF2-TSG3nOPF0 フラグ) の位相差異を検出できます。

TSG3nPPF は、TSG3nOPCI0, TSG3nOPCI1 信号のトリガが入力されたタイミングでパタンの位相差異を検出した場合にセット (1) されワーニング割り込み (INTTSG3nIWN) が発生します。TSG3nPPF は、ソフトウェアで TSG3nSTC.TSG3nPPR に“1”をライトしクリア (0) されるまで“1”を保持しています。位相差異検出時、TSG3nPPF は動作クロック (PCLK) ごとにセットされます。位相差異の発生しないタイミングで TSG3nPPF をクリア (0) してください。

表 25.52 正常な入力パタンと出力パタンの対応表

TSG3nPTSI2-TSG3nPTSI0 端子 (入力)	“1, 0, 1”	“1, 0, 0”	“1, 1, 0”	“0, 1, 0”	“0, 1, 1”	“0, 0, 1”
TSG3nOPF2-TSG3nOPF0 フラグ (出力)	“0, 0, 1” “1, 0, 1” “1, 0, 0”	“1, 0, 1” “1, 0, 0” “1, 1, 0”	“1, 0, 0” “1, 1, 0” “0, 1, 0”	“1, 1, 0” “0, 1, 0” “0, 1, 1”	“0, 1, 0” “0, 1, 1” “0, 0, 1”	“0, 1, 1” “0, 0, 1” “1, 0, 1”

動作例

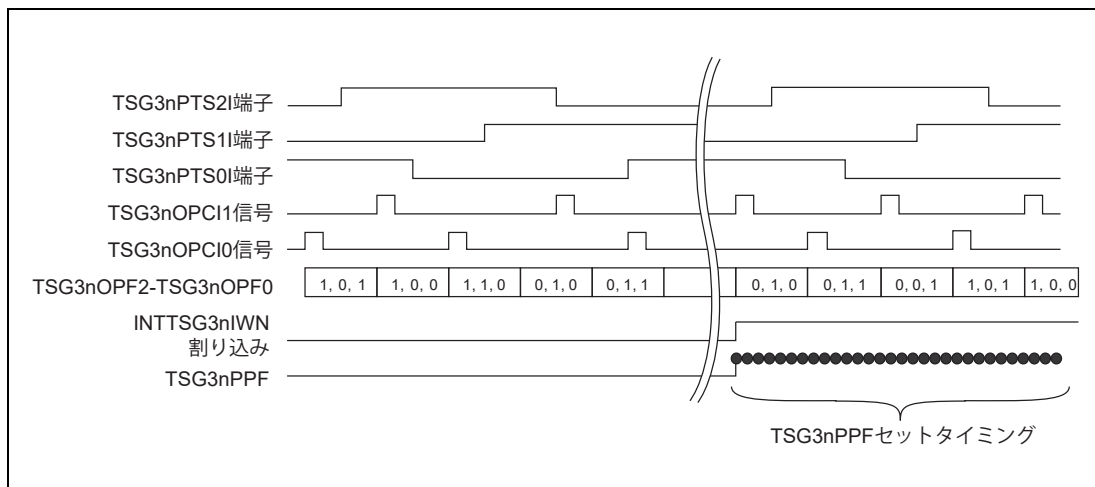


図 25.31 パタン位相差異検出フラグ動作例

動作モード

すべての動作モードで使用できます。

注 意

1. TSG3nPPF は、TSG3nCTL1.TSG3nPPC = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときにのみ有効です。
2. TSG3nPTSI2-0 端子入力に “000”、“111” が入力されている場合、もしくは TSG3nOPF2-TSG3nOPF0 が “000”、“111” の場合 TSG3nPPF はセットされません。

25.4.3.11 タイマ出力パタンフラグ (TSG3nOPF2-TSG3nOPF0)

名称

タイマ出力パタンフラグ (TSG3nSTR1.TSG3nOPF2-TSG3nOPF0)

説明

TSG3nOPF2-TSG3nOPF0 フラグは、タイマ出力パタンを示すフラグです。

詳細は「25.4.7.4 120-DC モード」、「25.4.7.8 ソフトウェア出力制御機能」を参照してください。

動作モード

すべての動作モードで使用できます。

25.4.3.12 パタン切り替え検出信号 (TSG3nPTE)

名称

パタン切り替え検出信号 (TSG3nPTE 信号)

説明

TSG3nPTE 信号は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

トグルパタンは TSG3nPSC ビット (TSG3nOPT0.TSG3nPSS = "1") によって決定されます。

表 25.53 パタン切り替え検出信号の変化タイミング (1/2)

- TSG3nPSC = 0

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	—
	100	—	—	—	—	トグル	—	—	—
	110	—	—	—	—	—	トグル	—	—
	010	—	—	—	—	—	—	トグル	—
	011	—	—	—	—	—	—	—	トグル
	001	—	—	トグル	—	—	—	—	—

表 25.53 パタン切り替え検出信号の変化タイミング (2/2)

- TSG3nPSC = 1

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	—	—	—	—	トグル
	100	—	—	トグル	—	—	—	—	—
	110	—	—	—	トグル	—	—	—	—
	010	—	—	—	—	トグル	—	—	—
	011	—	—	—	—	—	トグル	—	—
	001	—	—	—	—	—	—	トグル	—

動作例

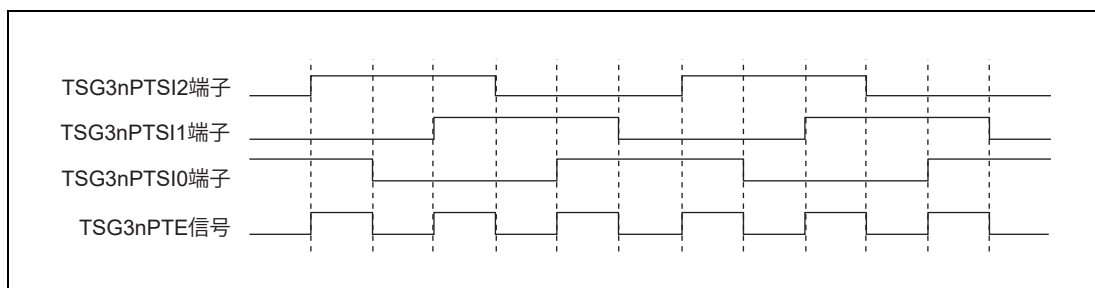


図 25.32 パタン切り替え検出信号動作例

動作モード

すべての動作モードで使用できます。

注 意

TSG3nPTE 信号は、TSG3nIOC1.TSG3nPTS = 1 かつ TSG3nSTR0.TSG3nTE = 1 のときのみ有効です。

25.4.4 割り込み間引き機能

割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは、山割り込み (INTTSG3nIPEK) と谷割り込み (INTTSG3nIVLY) です。
- TSG3nCTL4.TSG3nPIE で、INTTSG3nIPEK 割り込みの出力許可と間引きカウント対象指定を行います。
- TSG3nCTL4.TSG3nVIE で、INTTSG3nIVLY 割り込みの出力許可と間引きカウント対象指定を行います。

TSG3nCTL3.TSG3nRIA = 1 (リロード間引きあり) した場合は、間引き後の割り込みと同タイミングでリロードタイミングを発生します。TSG3nCTL3.TSG3nRIA = 0 (リロード間引きなし) に指定した場合は、割り込み間引きとは関係なく設定したリロードタイミングにてリロードを発生します。

注 意

TSG3nCTL4 レジスタにライトアクセスし、TSG3nRCC04-TSG3nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなることがあります。これを避けるためには、割り込み間引きに同調したリロードタイミングの設定 (TSG3nCTL3.TSG3nRIA = 1) にして、割り込み間引き数の変更を行ってください。

25.4.4.1 割り込み間引き機能の動作

さまざまな条件での割り込み間引き機能のタイミング図を以下に示します。

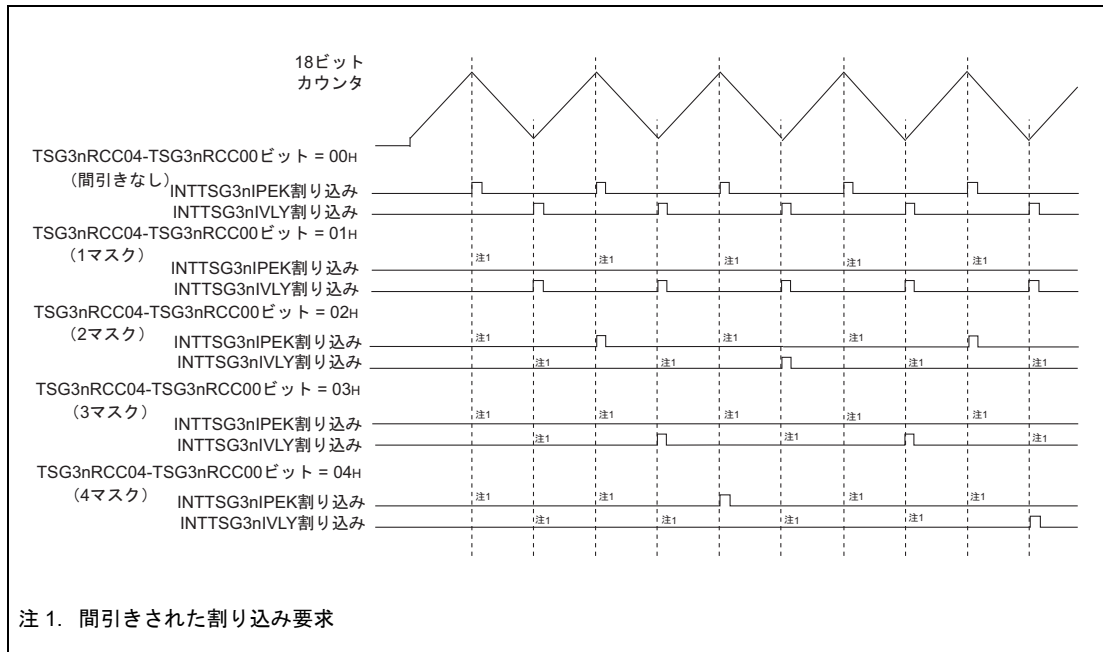


図 25.33 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 1 での割り込み間引き動作 (HT-PWM モード時の山/谷割り込み発生)

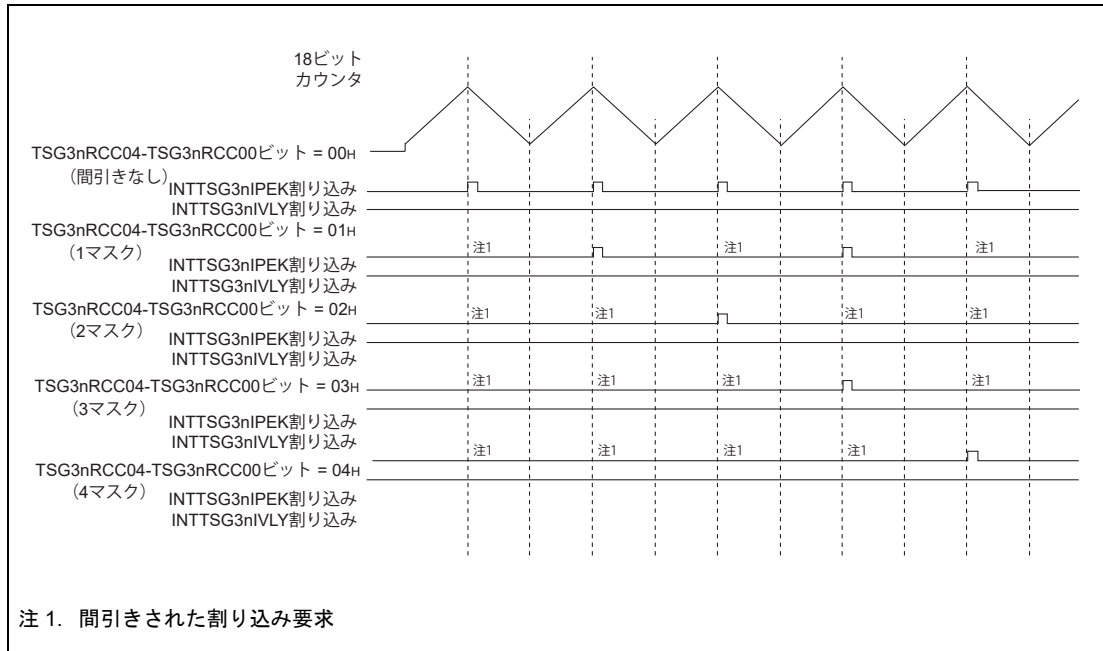


図 25.34 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 0 での割り込み間引き動作 (HT-PWM モード時の山割り込みのみ発生)

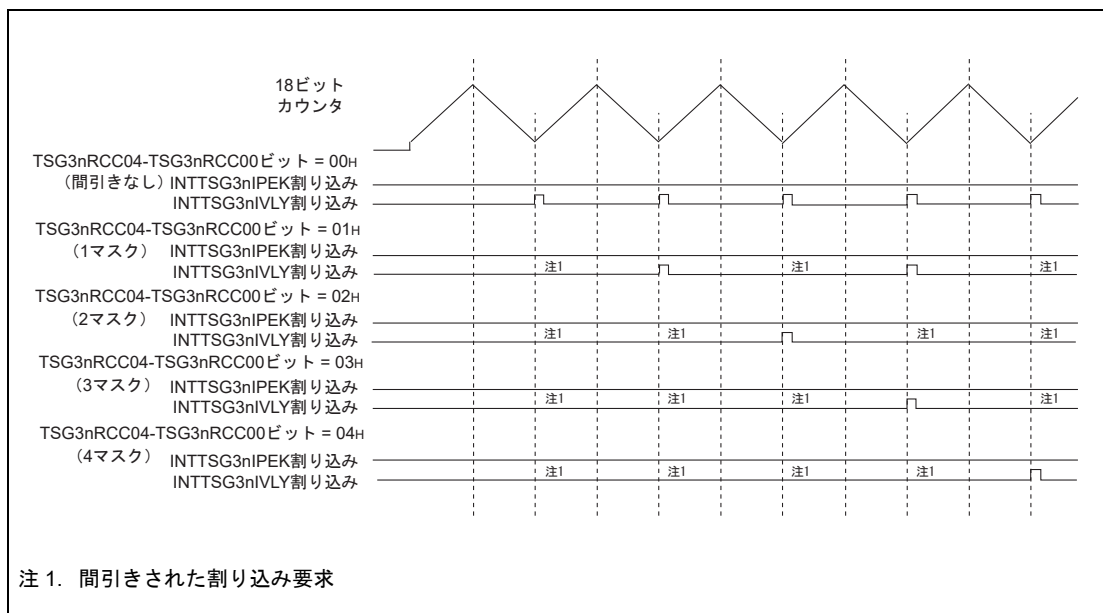


図 25.35 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1 での割り込み間引き動作
(HT-PWM モード時の谷割り込みのみ発生)

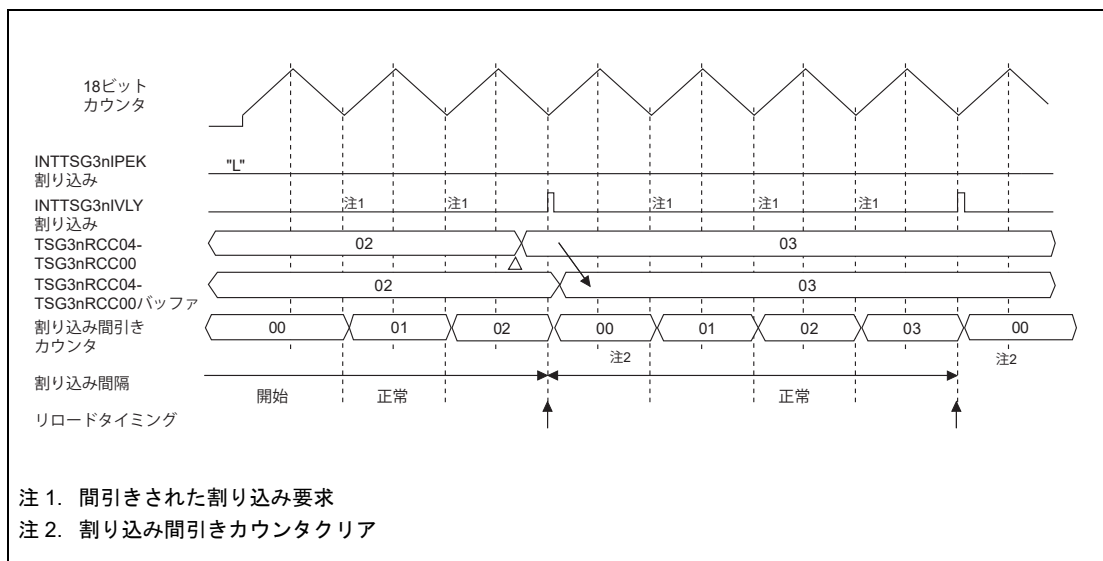


図 25.36 TSG3nCTL3 レジスタの TSG3nRMC = 0, TSG3nRIA = 1 (リロード間引きあり)
の場合

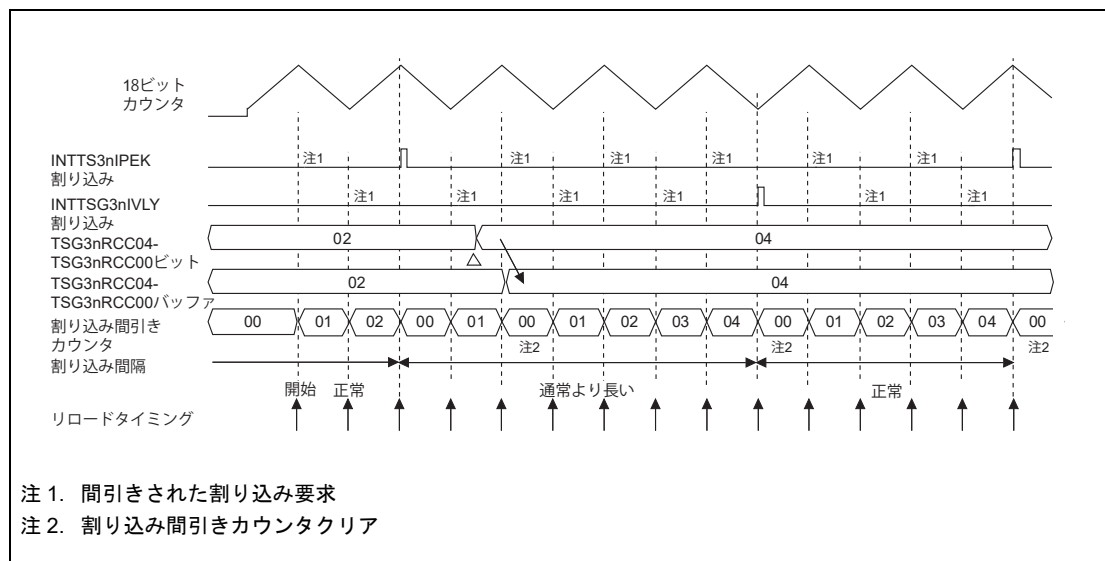


図 25.37 TSG3nCTL3 レジスタの TSG3nRMC = 0, TSG3nRIA ビット = 0 (リロード間引きなし) の場合

注意

割り込み間隔が長くなる場合があります。

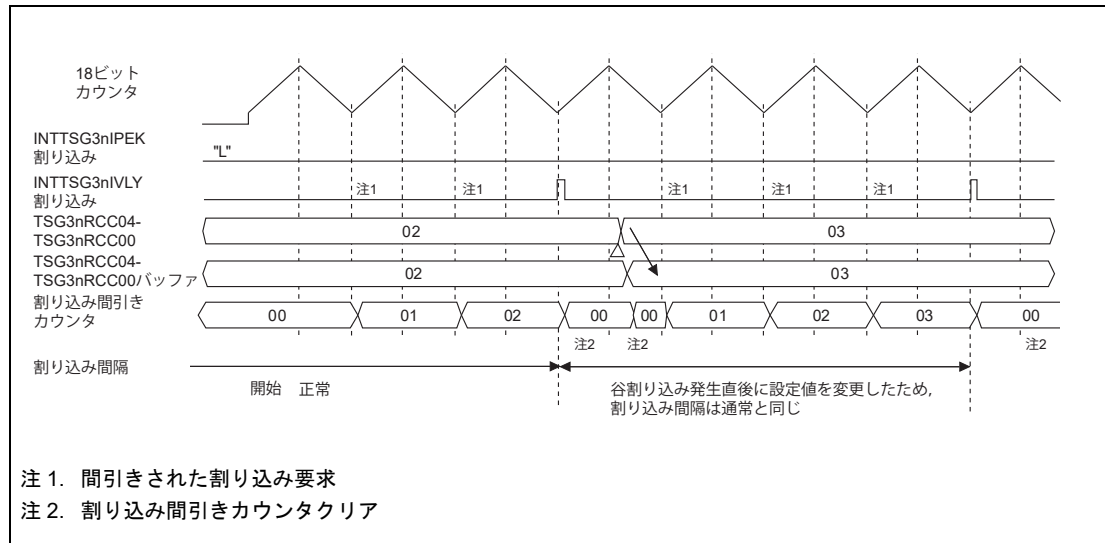


図 25.38 TSG3nCTL3 レジスタの TSG3nRMC = 1 (随时書き換えモード) の場合

備考

書き換え後、リロードタイミングは無視して値が直ちに反映されます。
割り込み間引きカウンタのクリアタイミングはレジスタ書き換え時ではなく、
TSG3nRCC04-TSG3nRCC00 バッファへの転送時です。

25.4.4.2 山割り込みを発生する場合の動作例 (PWM モード時)

PWM モード時の割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは、山割り込み (INTTSG3nIPEK) です。PWM モード動作時は TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致で発生します。
- TSG3nCTL4.TSG3nPIE で、INTTSG3nIPEK 割り込みの発生許可と間引きカウント対象指定を行います。
- TSG3nCTL4.TSG3nVIE の設定は無効となります。このとき、INTTSG3nIVLY 割り込みは発生しません。
TSG3nCTL3.TSG3nRIA = 1 (リロード間引きあり) に指定した場合は、間引き後の割り込みと同タイミングでリロードタイミングが発生します。

注 意

TSG3nCTL4 レジスタにライトアクセスし、TSG3nRCC04-TSG3nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなることがあります。これを避けるためには、割り込み間引きに同調したリロードタイミングの設定 (TSG3nCTL3.TSG3nRIA = 1) にして、割り込み間引き数の変更を行ってください。

(1) 動作例

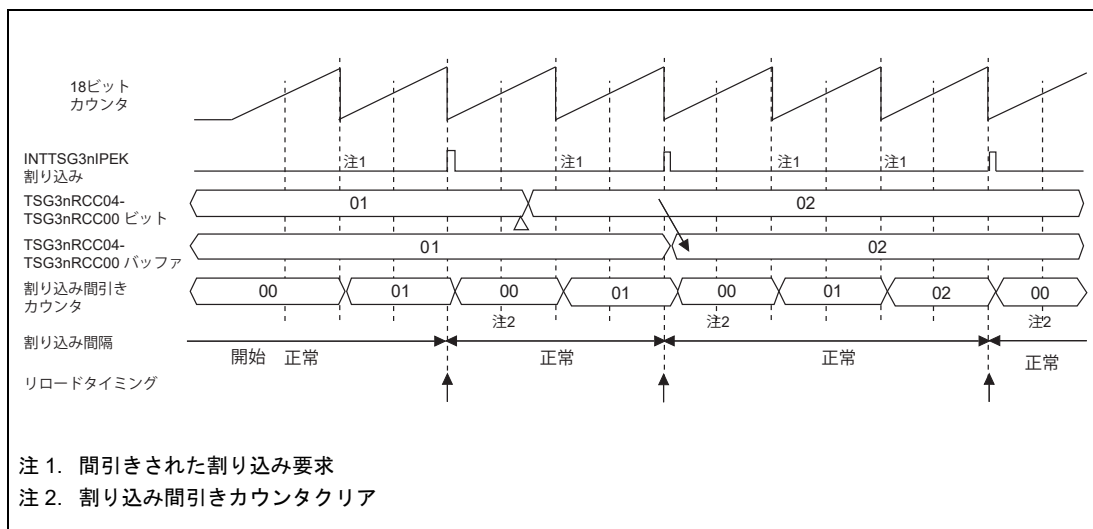


図 25.39 TSG3nCTL3.TSG3nRMC = 0, TSG3nRIA = 1, TSG3nCTL4.TSG3nPRE = 1 の場合 (推奨設定)

備考

TSG3nCTL3.TSG3nRIA = 1 のとき、間引きされた割り込みと同じタイミングでリロードタイミングが発生します。

25.4.5 A/D 変換トリガ機能

A/D 変換トリガの動作に関して説明します。

TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E レジスタは A/D 変換トリガ機能のコンペアレジスタとして使用します。

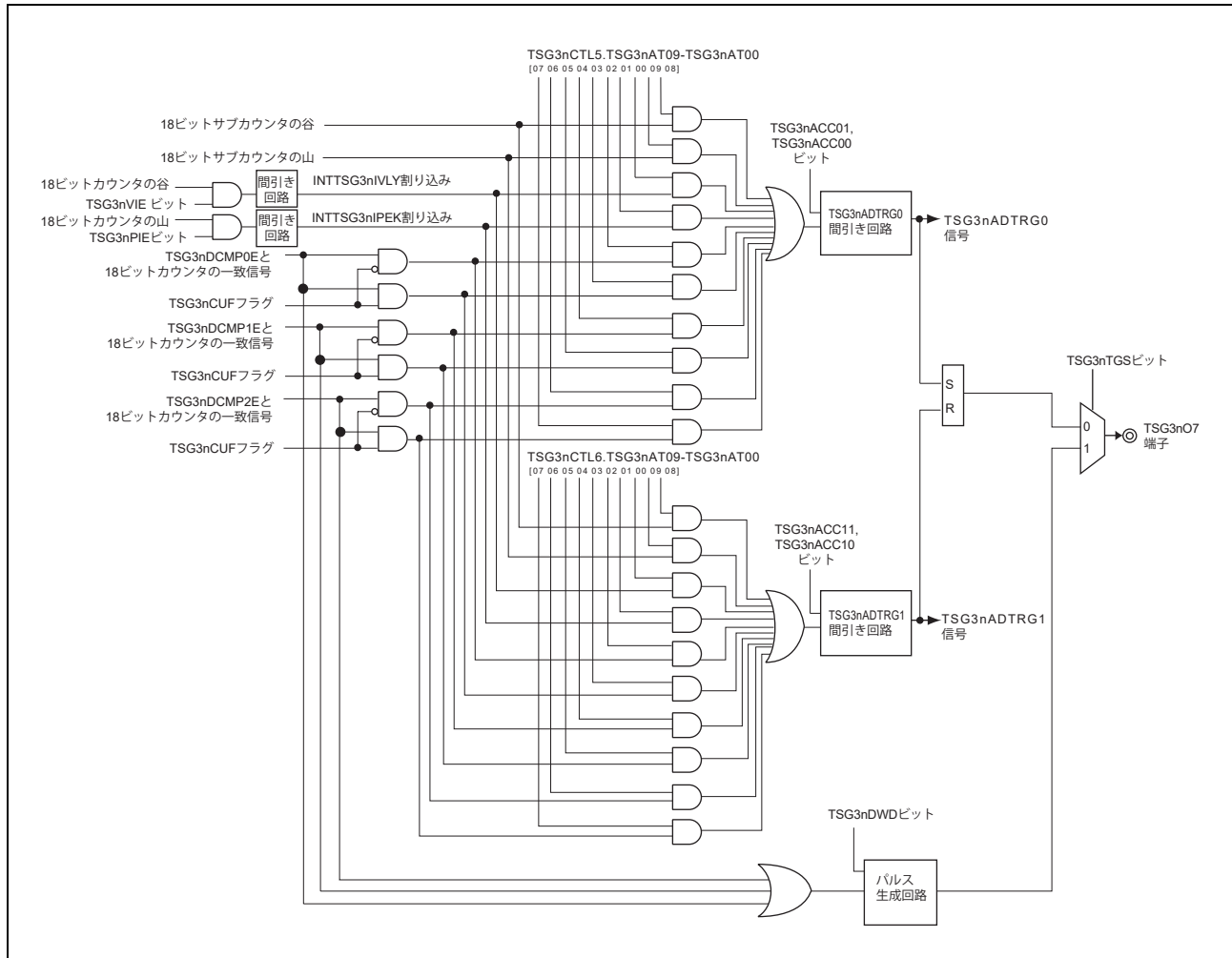


図 25.40 A/D 変換トリガ、ダイアグ出力制御回路

図 25.40 のように、TSG3nDCMP0E-TSG3nDCMP2E と 18 ビットカウンタのコンペア一致と山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) の割り込み信号、18 ビットサブカウンタの山タイミング、18 ビットサブカウンタの谷タイミングを選択し、論理和 (OR) をとった信号を生成することができます。

TSG3n では、同じ A/D 変換トリガ制御回路が 2 チャンネルあり、それぞれ独立に制御することができます。また、A/D 変換トリガの間引き機能があり、間引き率 1/2, 1/4, 1/8, 間引きなしの設定が可能です。

25.4.5.1 A/D 変換トリガの動作

TSG3n には、10 個のトリガソースを自由に選択して、A/D の変換開始トリガ (TSG3nADTRG0, TSG3nADTRG1 信号) を生成する機能があります。トリガソースの選択は、TSG3nCTL5 レジスタの TSG3nAT09-TSG3nAT00、TSG3nCTL6 レジスタの TSG3nAT19-TSG3nAT10 で指定します。

(1) TSG3nADTRG0/TSG3nADTRG1 信号の出力制御 (TSG3nCTL5, TSG3nCTL6 レジスタ)

【トリガソース】

- TSG3nAT00/TSG3nAT10 = 1 : 谷割り込み (INTTSG3nIVLY) 発生時に A/D 変換トリガを発生
- TSG3nAT01/TSG3nAT11 = 1 : 山割り込み (INTTSG3nIPEK) 発生時に A/D 変換トリガを発生
- TSG3nAT02/TSG3nAT12 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP0E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT03/TSG3nAT13 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP0E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT04/TSG3nAT14 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP1E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT05/TSG3nAT15 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP1E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT06/TSG3nAT16 = 1 : 18 ビットカウンタのアップカウント時、TSG3nDCMP2E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT07/TSG3nAT17 = 1 : 18 ビットカウンタのダウンカウント時、TSG3nDCMP2E コンペア一致発生で A/D 変換トリガを発生許可
- TSG3nAT08/TSG3nAT18 = 1 : 18 ビットサブカウンタの谷タイミング (ダウンからアップへの切り替わり時、A/D 変換トリガを発生許可)
- TSG3nAT09/TSG3nAT19 = 1 : 18 ビットサブカウンタの山タイミング (アップからダウンへの切り替わり) 時、A/D 変換トリガを発生許可

【間引き設定】

- TSG3nACC01, TSG3nACC00 / TSG3nACC11, TSG3nACC10
: TSG3nADTRG0/TSG3nADTRG1 信号の間引き設定

TSG3nAT09-TSG3nAT00/TSG3nAT19-TSG3nAT10 により選択された A/D 変換トリガはすべて論理和 (OR) され、その信号は、TSG3nACC01, TSG3nACC00/TSG3nACC11, TSG3nACC10 で設定した間引き制御の後、TSG3nADTRG0/TSG3nADTRG1 信号が生成されます。

また、TSG3nAT00, TSG3nAT01/TSG3nAT10, TSG3nAT11 によって選択される山割り込み (INTTSG3nIPEK)、谷割り込み (INTTSG3nIVLY) は、割り込み間引き後の信号となります。したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TSG3nCTL4.TSG3nPIE, TSG3nVIE) を許可にしていない場合は、A/D 変換トリガも出力されません。

また、TSG3nACC01, TSG3nACC00, TSG3nAT09-TSG3nAT00/TSG3nACC11, TSG3nACC10, TSG3nAT19-TSG3nAT10 は、タイマ動作中の書き換えが可能です。

動作中に A/D 変換トリガの設定ビットを書き換えると、即時に A/D 変換トリガの出力状態に反映されます。これらの制御ビットは、動作モードにかかわらず、随時書き換えとなります。また、TSG3nCTL5, TSG3nCTL6 レジスタにライトアクセス (同値書き換え含む) をした場合は、A/D 変換トリガの間引きカウンタはクリアされ 0 からのカウントを開始します。

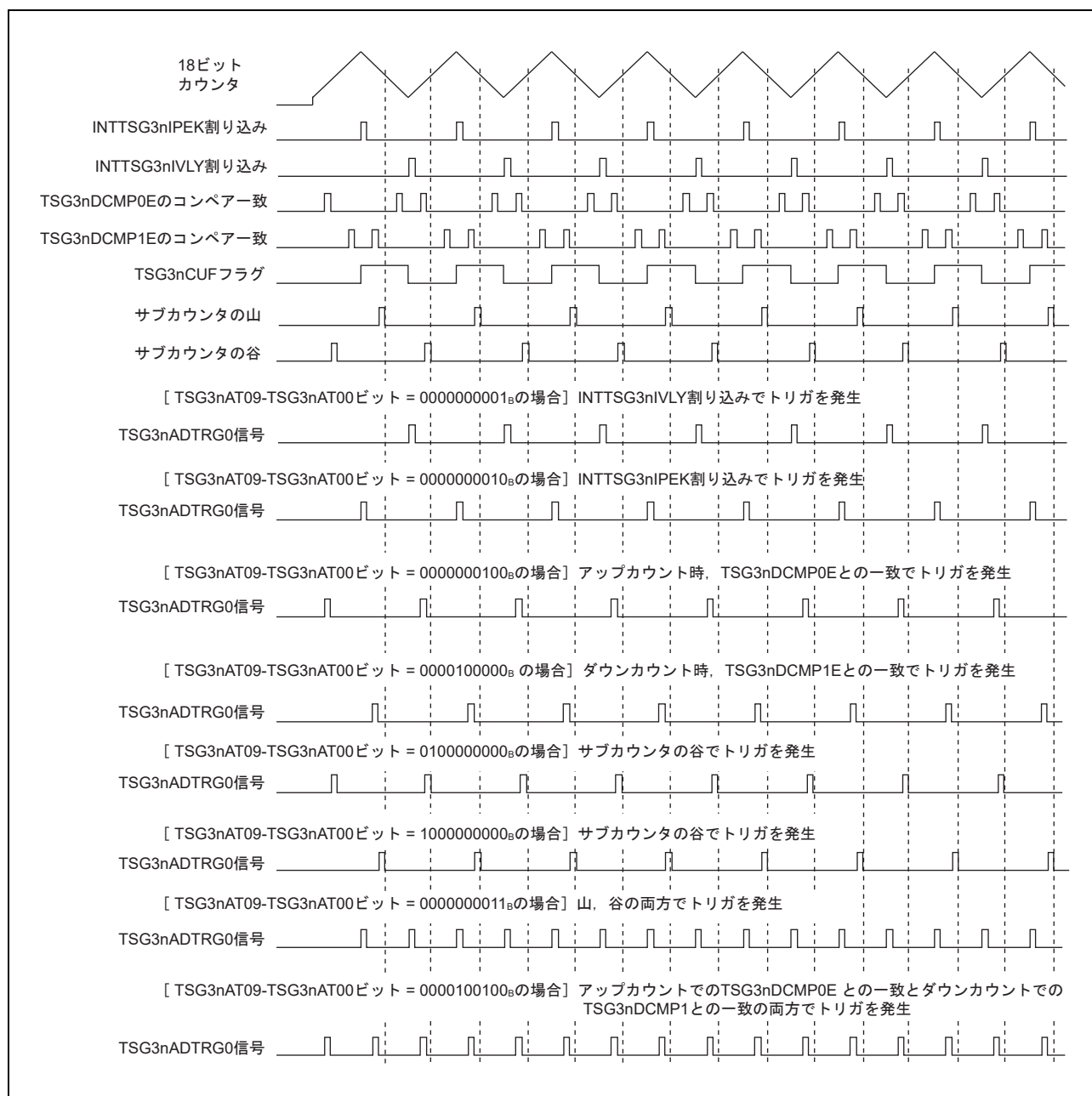


図 25.41 TSG3nCTL4 レジスタの TSG3nPIE = 1, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 00_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B の場合 (HT-PWM モード)

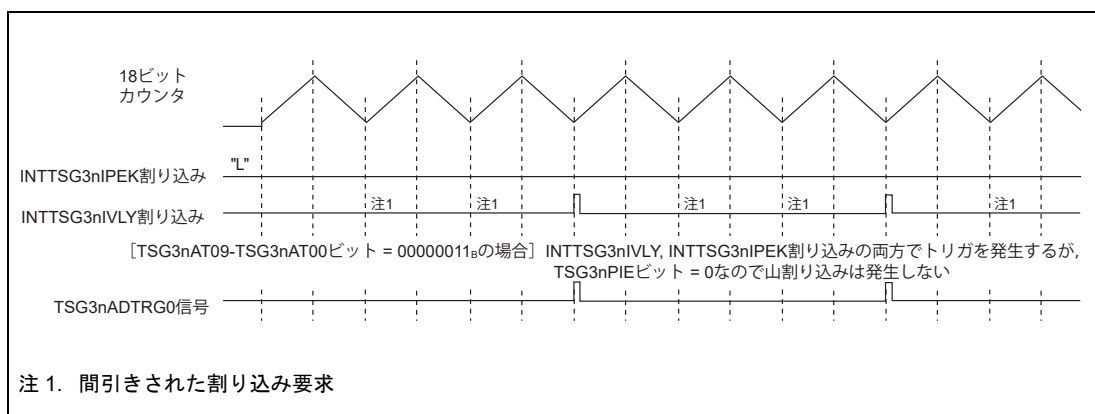


図 25.42 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 02_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B の場合 (HT-PWM モード)

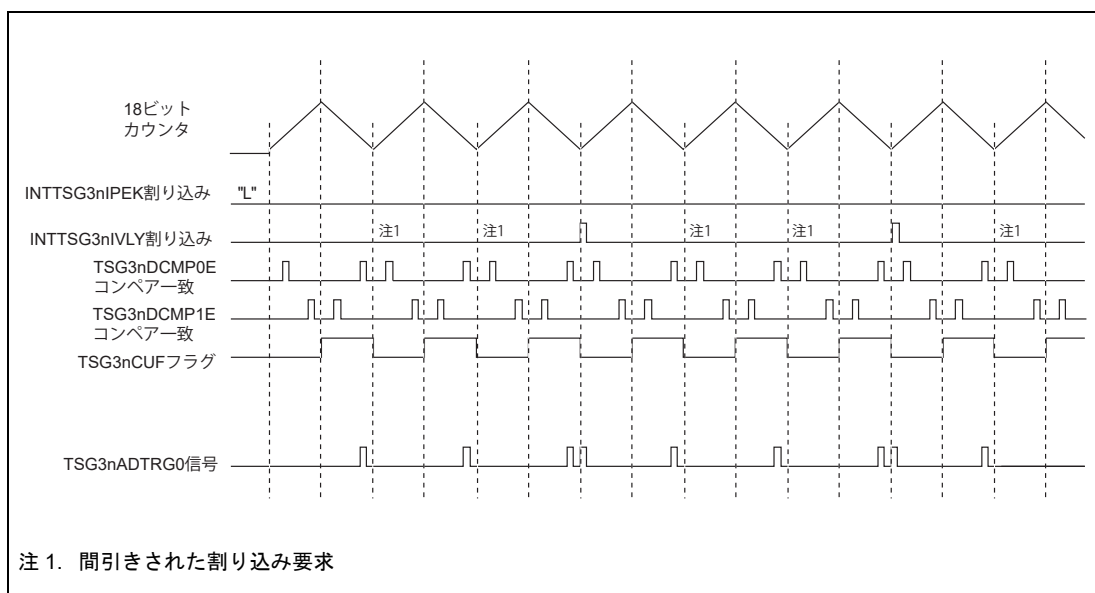


図 25.43 TSG3nCTL4 レジスタの TSG3nPIE = 0, TSG3nVIE = 1, TSG3nRCC04-TSG3nRCC00 = 02_H, TSG3nCTL5 レジスタの TSG3nACC01, TSG3nACC00 = 00_B, TSG3nAT09-TSG3nAT00 = 00001001_B の場合 (HT-PWM モード)

(2) A/D 変換トリガ間引き機能

A/D 変換トリガの間引き機能の動作例を次に示します。

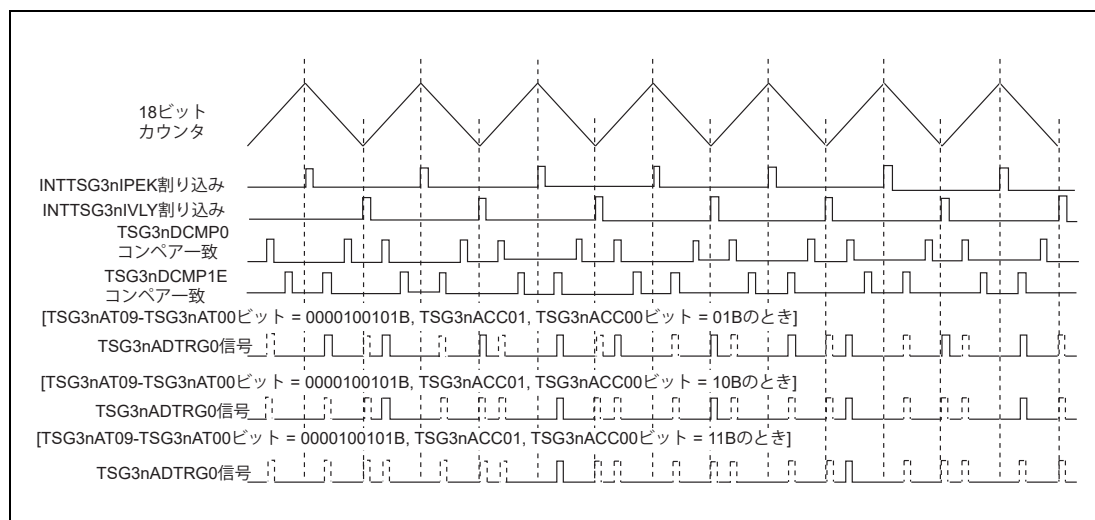


図 25.44 A/D 変換トリガの間引き機能の動作例

備考

破線は A/D 変換トリガ間引き機能により間引きされた A/D 変換トリガ

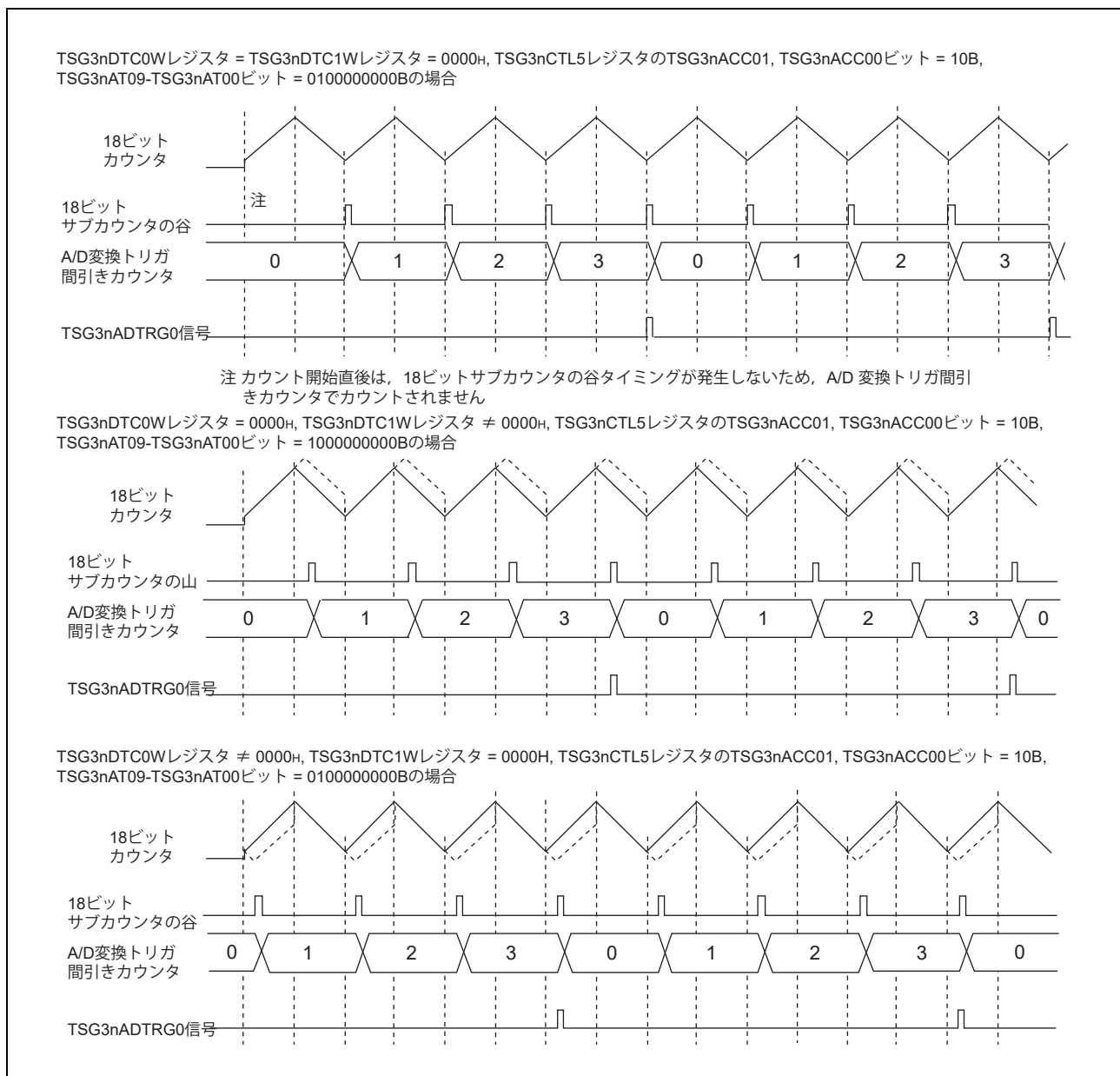


図 25.45 A/D 変換トリガの間引き機能の動作例

(3) A/D 変換トリガに関する注意事項

- TSG3nDCMP0E レジスタと、TSG3nDCMP1E レジスタもしくは、TSG3nDCMP2E レジスタに同値をライトアクセスし、有効な A/D 変換トリガを同じ条件（18 ビットカウンタのアップ/ダウンカウント時）に設定した場合、A/D 変換トリガ間引きカウンタには 1 回としてカウントされます。また出力するトリガも 1 パルスです。
- PWM モード、SP-PWM モード、120-DC モード、HSP-PWM モードにおいて、谷割り込み（INTTSG3nIVLY）は発生しません。山割り込み（INTTSG3nIPEK）のみ有効となります。
- 120-DC モードにおいて TSG3nS120DCO = 0 に設定時、出力パタンの切り替えにより、18 ビットカウンタが搬送周期未満でクリアされる場合があります。このとき、TSG3nDCMP2E-0E と 18 ビットカウンタの一致、山割り込み（INTTSG3nIPEK）が発生しない場合は、A/D 変換トリガが発生しません。

25.4.6 エラー／ワーニング割り込み

25.4.6.1 エラー割り込み機能

エラー割り込み機能を許可 (TSG3nIOC1.TSG3nEOC = 1) 後、正相／逆相同時アクティブを検出した場合、TSG3nSTR2.TSG3nTBF がセットされ、TSG3n のエラー割り込み (INTTSG3nIER) が発生します。TSG3nCTL1.TSG3nTBA2-TSG3nTBA0 で各相 (TSG3nO1/TSG3nO2、TSG3nO3/TSG3nO4、TSG3nO5/TSG3nO6 端子) のエラー検出あり／なしを選択できます。

エラー発生時には、TSG3nO1-TSG3nO6 端子出力をハイインピーダンスにすることが可能です。詳細は、「26.4.1 非同期 Hi-Z 制御機能」を参照してください。

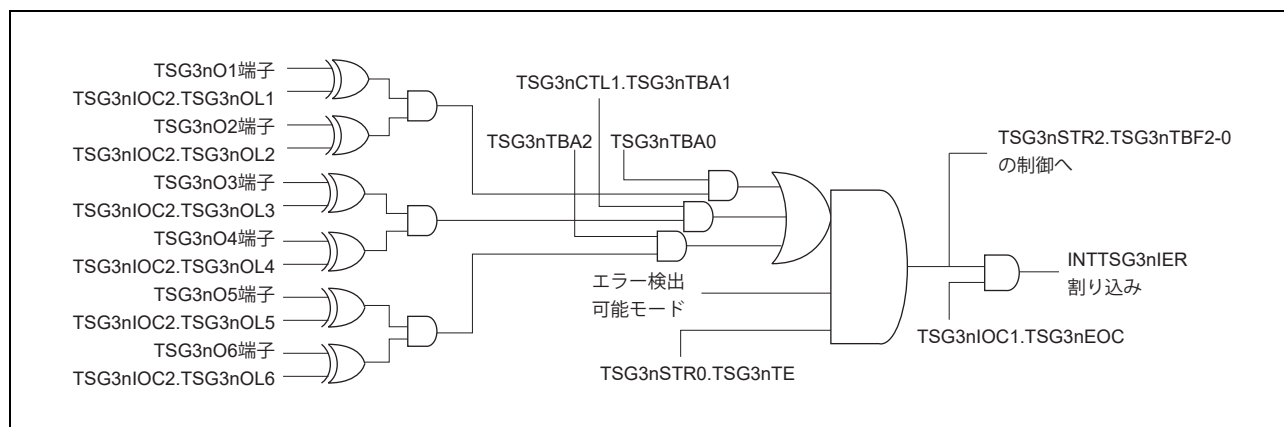


図 25.46 エラー割り込み (INTTSG3nIER) 発生制御回路

注 意

エラー割り込みが発生した場合、エラー割り込み処理内でエラー状態を解除 (TSG3nSTC.TSG3nTBR2-0 に“1” ライト) してください。エラー状態を解除しない場合、以降のエラー割り込みは発生しません。

(1) PWM モード、120-DC モード、HSP-PWM モードの場合

PWM モードおよび HSP-PWM モード時、TSG3nO1 端子と TSG3nO2 端子が同時にアクティブレベルを出力するように TSG3nCMP1E, TSG3nCMP2E レジスタと TSG3nCMP3E, TSG3nCMP4E レジスタを設定した場合、エラー割り込み (INTTSG3nIER) が発生します。同様に、TSG3nO3 端子と TSG3nO4 端子および TSG3nO5 端子と TSG3nO6 端子が同時にアクティブレベルを出力するように TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP9E, TSG3nCMP10E, TSG3nCMP11E, TSG3nCMP12E レジスタを設定した場合も、エラー割り込み (INTTSG3nIER) が発生します。

120-DC モード時、TSG3nO1 端子と TSG3nO2 端子が同時にアクティブレベルを出力するように TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E レジスタと TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E レジスタ、TSG3nPAT0W と TSG3nPAT1W を設定した場合、エラー割り込み (INTTSG3nIER) が発生します。また、同様に設定したとき、TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子も同時にアクティブレベルを出力し、エラー割り込み (INTTSG3nIER) が発生します。

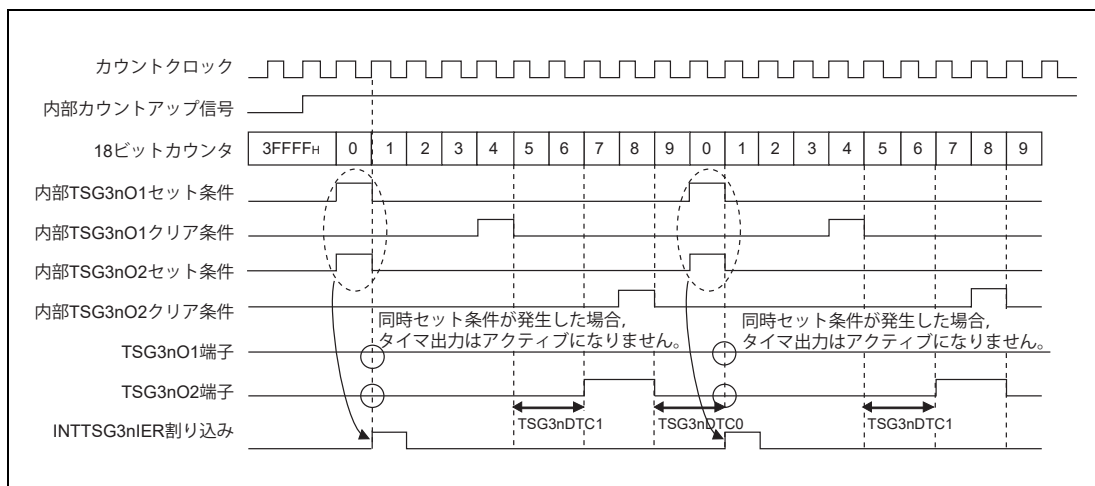


図 25.47 エラー割り込み (INTTSG3nIER) 発生例 (PWM モード時)

備考

TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子も同様です。

TSG3nIOC2.TSG3nOL1, TSG3nOL2 を操作して、出力のアクティブレベルを切り替えた場合は、次のようになります。

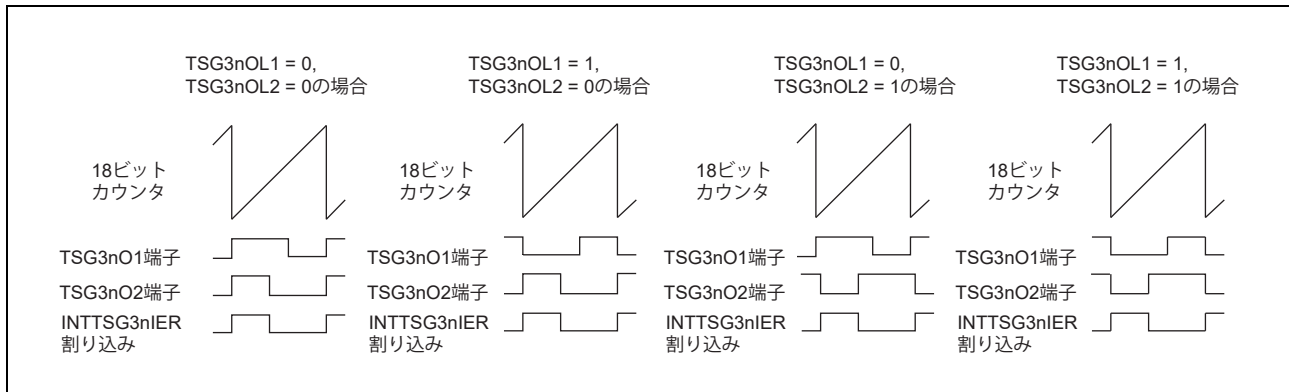


図 25.48 アクティブレベルごとのエラー割り込み (INTTSG3nIER) 発生例

(2) HT-PWM モード、SP-PWM モードの場合

TSG3n デッドタイム設定レジスタ 0, 1 (TSG3nDTC0W, TSG3nDTC1W) のいずれかが 0000_H の場合、エラーが発生する可能性があります。

備考

デッドタイム制御機能を使用 (TSG3nDTC0, TSG3nDTC1 のいずれも 0000_H 以外) 時にエラーが発生した場合は、内部回路の故障が考えられます。

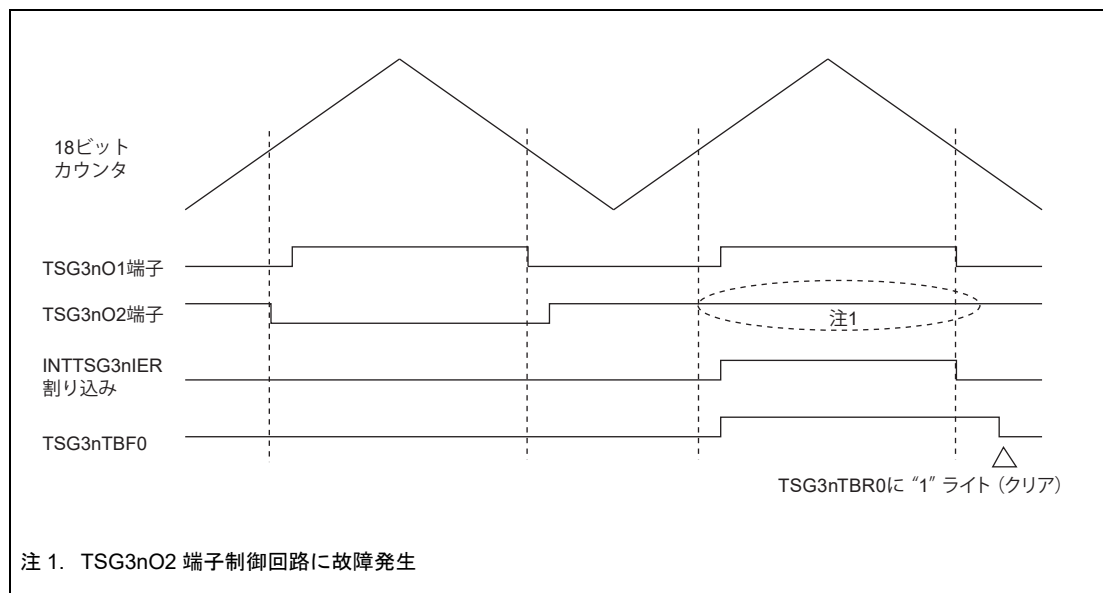


図 25.49 エラー割り込み動作例

25.4.6.2 ワーニング割り込み機能

TSG3nには、ワーニング割り込み (INTTSG3nIWN) があります。

ワーニング割り込み (INTTSG3nIWN) は、次のいずれかの条件を検出した場合に発生します。

- 詳細は「**25.4.3 フラグ**」を参照してください。TSG3nPTSI2-TSG3nPTSI0 端子に関して、2端子以上の同時変化を検出した場合：
 - 「**25.4.3.4 ノイズ検出フラグ (TSG3nNDF)**」を参照
- TSG3nPTSI2-TSG3nPTSI0 端子に関して、反転を検出した場合：
 - 「**25.4.3.7 パターン反転検出フラグ (TSG3nPRF)**」を参照
- TSG3nPTSI2-TSG3nPTSI0 端子に関して“000”、“111”を検出した場合：
 - 「**25.4.3.6 パターンエラー検出フラグ (TSG3nPEF)**」を参照
- TSG3nOPCI0, 1信号のトリガ間に、TSG3nPTSI2-TSG3nPTSI0端子のトグルが3回以上発生した場合：
 - 「**25.4.3.8 TSG3nPTSI2-TSG3nPTSI0 端子異常トグル検出フラグ (TSG3nPTF)**」を参照
- TSG3nOPCI0, TSG3nOPCI1信号のトリガが同時に検出された場合：
 - 「**25.4.3.9 TSG3nOPCI0, TSG3nOPCI1 信号同時トリガ検出フラグ (TSG3nTDF)**」を参照
- 入力パターン (TSG3nPTSI2-TSG3nPTSI0端子) と出力パターン (TSG3nOPF2-TSG3nOPF0) の位相関係がずれた場合：
 - 「**25.4.3.10 パターン位相差異検出フラグ (TSG3nPPF)**」を参照

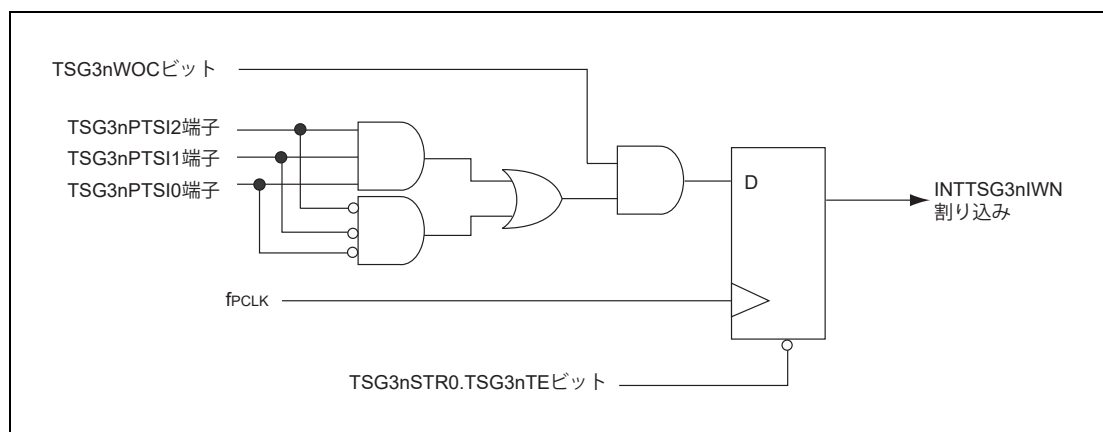


図 25.50 TSG3nPTSI2-TSG3nPTSI0 端子の異常検出

25.4.7 各モードの動作

25.4.7.1 PWM モード

概要

TSG3nCMP0E レジスタの PWM 周期、TSG3nCMP1E-TSG3nCMP12E のセットタイミング／クリアタイミングにより、PWM を TSG3nO1-TSG3nO6 端子から出力します。

前提条件

- 偶数番号のコンペアレジスタにセットタイミングを設定。
TSG3nCMP2E (TSG3nO1 端子のセットタイミング)、TSG3nCMP4E (TSG3nO2 端子のセットタイミング)、TSG3nCMP6E (TSG3nO3 端子のセットタイミング)、TSG3nCMP8E (TSG3nO4 端子のセットタイミング)、TSG3nCMP10E (TSG3nO5 端子のセットタイミング)、TSG3nCMP12E (TSG3nO6 端子のセットタイミング) を設定。
- 奇数番号のコンペアレジスタにクリアタイミングを設定。
TSG3nCMP1E (TSG3nO1 端子のクリアタイミング)、TSG3nCMP3E (TSG3nO2 端子のクリアタイミング)、TSG3nCMP5E (TSG3nO3 端子のクリアタイミング)、TSG3nCMP7E (TSG3nO4 端子のクリアタイミング)、TSG3nCMP9E (TSG3nO5 端子のクリアタイミング)、TSG3nCMP11E (TSG3nO6 端子のクリアタイミング) を設定

機能説明

PWM 周期を設定、TSG3nO1-TSG3nO6 端子出力のセットタイミング／クリアタイミングを設定。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

カウントアップ開始と同時に、TSG3nO1-TSG3nO6 端子はインアクティブレベルとなり、18 ビットカウンタと TSG3nCMP2E, TSG3nCMP4E, TSG3nCMP6E, TSG3nCMP8E, TSG3nCMP10E, TSG3nCMP12E のバッファレジスタの一致によりアクティブレベルとなります。

次に TSG3nCMP1E, TSG3nCMP3E, TSG3nCMP5E, TSG3nCMP7E, TSG3nCMP9E, TSG3nCMP11E のバッファレジスタとの一致により TSG3nO1-TSG3nO6 端子はインアクティブレベルとなります。

カウント動作中、18 ビットカウンタと TSG3nCMP0E-TSG3nCMP12E のバッファレジスタの一致でコンペア一致割り込み (INTTSG3nI0-INTTSG3nI12) が発生します。

注 意

TSG3nCTL3.TSG3nRMC = 0 のとき、TSG3nCMP1E レジスタに書き込むとリロードが実行されます。したがって、TSG3nCMP0E レジスタの値だけ書き換えたい場合でも、TSG3nCMP1E レジスタは同値の書き込みを行う必要があります。TSG3nCMP0E レジスタだけ書き換えを行ってもリロードは行われません。

備 考

PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 000_B に設定したときに有効となります。

(a) タイマ動作中に TSG3nCMP0E、TSG3nCMP1E-TSG3nCMP12E レジスタの値を書き換えない場合

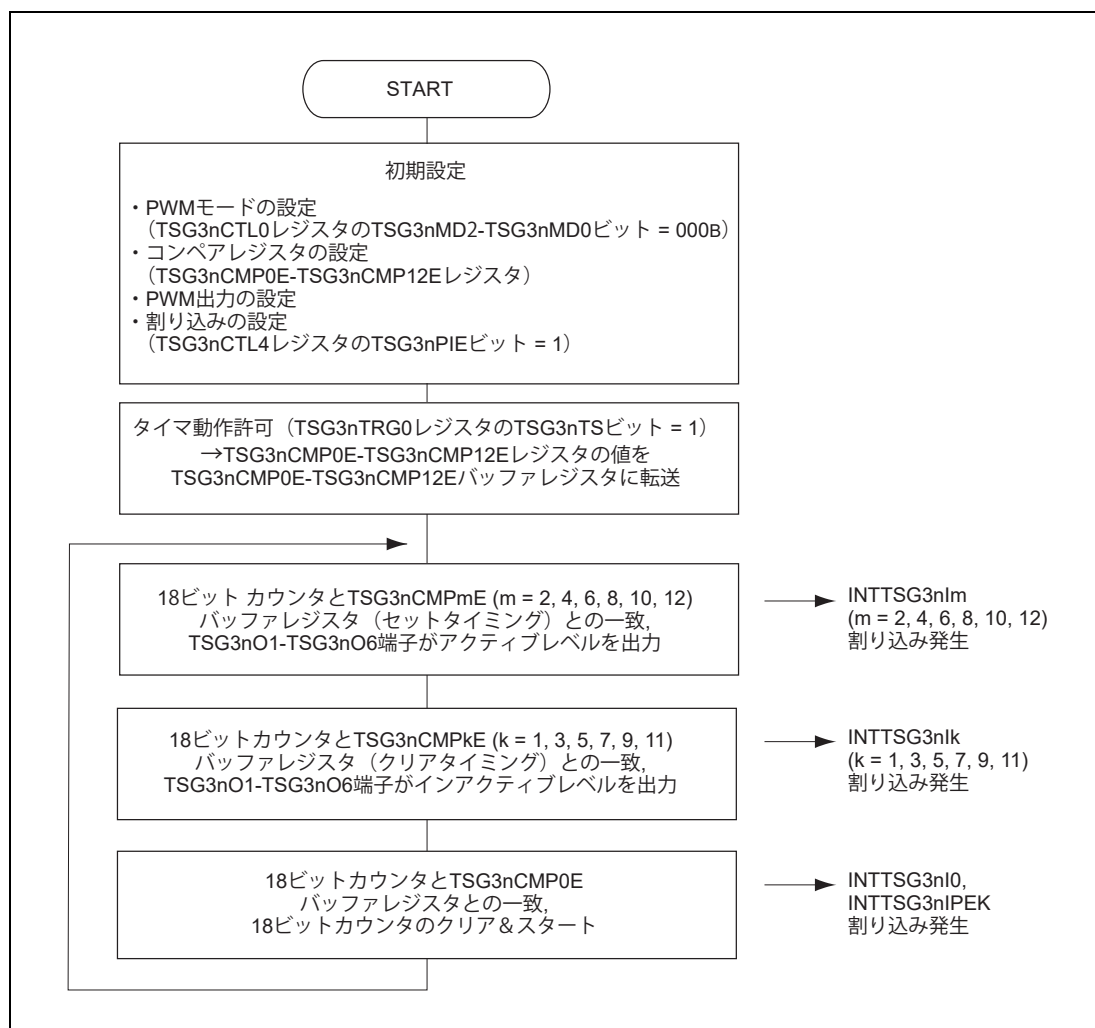


図 25.51 PWM モード時の基本動作フロー (1/2)

(b) タイマ動作中に TSG3nCMP0E、TSG3nCMP1E-TSG3nCMP12E レジスタの値を書き換える場合

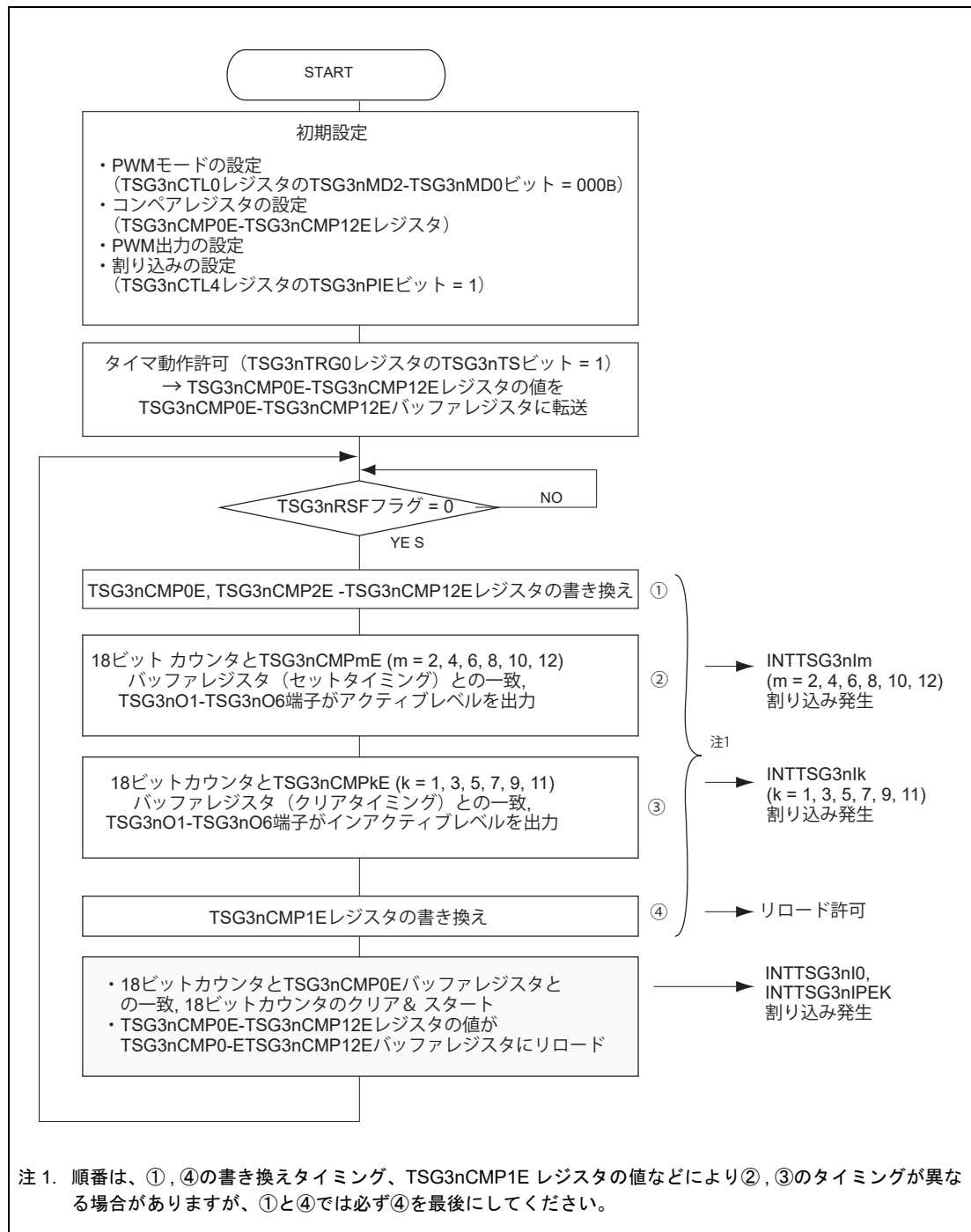


図 25.51 PWM モード時の基本動作フロー (2/2)

注 意

コンペアレジスタの書き換え前に、リロード要求フラグ (TSG3nRSF) が“0”であることを確認してください。

(1) PWM モード動作一覧

表 25.54 PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1 または、同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペアー一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 25.55 PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード/随時書き換え	可能	周期
TSG3nCMPmE (m = 1-12)	リロード/随時書き換え	可能	セット/ クリアタイミング
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード/随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	可能 ^{注1}	デッドタイム

注 1. 詳細は「(3) PWM モード時のデッドタイム制御」を参照してください。

表 25.56 PWM モード : タイマ入力機能

端子	機能
TSG3nCLKI	クロック・イネーブル入力

表 25.57 PWM モード : タイマ出力機能

端子	機能
TSG3nOm (m = 1-6)	TSG3nCMPkE バッファレジスタと 18 ビットカウンタのコンペアー一致による PWM 出力 (k = 1-12)
TSG3nO7	ダイアグ出力、もしくは、A/D 変換トリガによるパルス出力

表 25.58 PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0-12)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペアー一致 (m = 0-12)
INTTSG3nIER	エラー (TSG3nO1, TSG3nO2、または TSG3nO3, TSG3nO4、 または TSG3nO5, TSG3nO6 の同時アクティブ検出)
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同時に発生)
INTTSG3nIWN	ワーニング

備考 “—” は、PWM モードで使用しない機能を示します。

表 25.59 PWM モード : コンペアー一致タイミング

コンペアー一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1-12)	18 ビットカウンタと TSG3nCMPmE の一致検出後 (m = 1-12)

表 25.60 PWM モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nOm (m = 1-6)	PWM 出力	(TSG3nCMP0E + 1) × カウントクロック	1 周期の期間内すべて インアクティブレベル出力 (デューティ 0%)	TSG3nCMPmE = TSG3nCMP(m+1)E もしくは TSG3nCMP(m+1)E > TSG3nCMP0E (m = 1, 3, 5, 7, 9, 11)
			1 周期で 1 カウントクロックの アクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E + 1 TSG3nCMP(m+1)E = TSG3nCMPmE - 1 (m = 1, 3, 5, 7, 9, 11)
			1 周期で 1 カウントクロックの インアクティブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E - 1 TSG3nCMP(m+1)E = TSG3nCMPmE + 1 (m = 1, 3, 5, 7, 9, 11)
			1 周期の期間内すべて アクティブレベル出力 (デューティ 100%)	TSG3nCMPmE > TSG3nCMP0E TSG3nCMP(m+1)E ≤ TSG3nCMP0E (m = 1, 3, 5, 7, 9, 11)

TSG3nCMP2E のみの値書き換え、TSG3nO1 端子出力ありの場合
(TSG3nIOC0.TSG3nTOE1 = 1, TSG3nIOC2.TSG3nOL1 = 0)

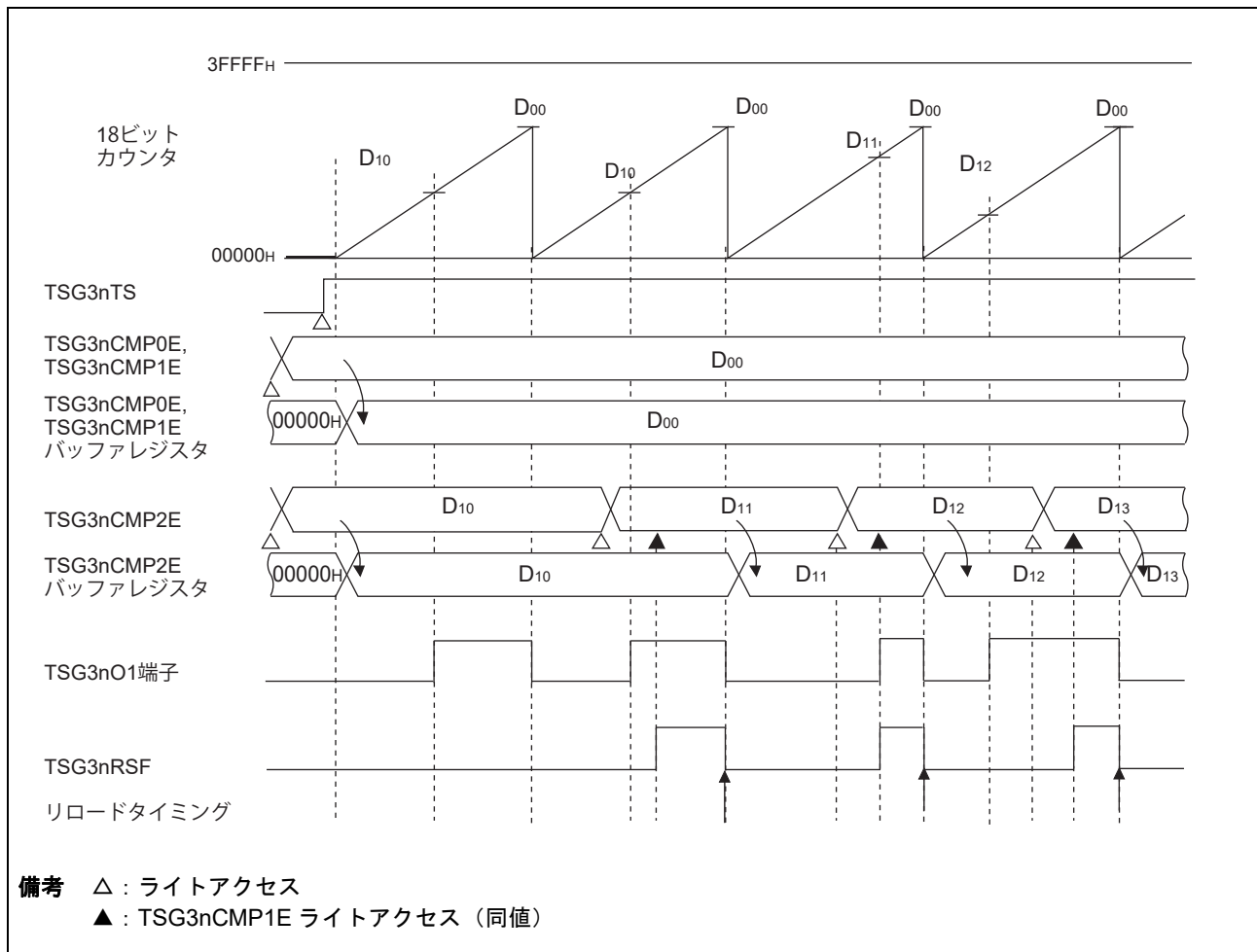


図 25.52 PWM モード時の基本動作タイミング例 (1/2)

備 考

1. D00 : TSG3nCMP0E, TSG3nCMP1E の設定値 (00000_H-3FFFF_H)
 D10, D11, D12, D13 : TSG3nCMP2E の設定値 (00000_H-3FFFF_H)
2. TSG3nO1 端子 (PWM) デューティ =

$$\frac{(TSG3nCMP1E - TSG3nCMP2E) \times (\text{カウントクロック周期})}{TSG3nO1 \text{ 端子 (PWM) 周期}}$$

$$TSG3nO1 \text{ 端子 (PWM) 周期} = (TSG3nCMP0E \text{ レジスタの設定値} + 1) \times (\text{カウントクロック周期})$$
3. TSG3nO2-TSG3nO6 端子は、TSG3nO1 端子と同機能です。

**TSG3nCMP0E-TSG3nCMP2E レジスタの値書き換え、TSG3nO1 端子出力ありの場合
(TSG3nIOC0.TSG3nTOE1 = 1, TSG3nIOC2.TSG3nOL1 = 0)**

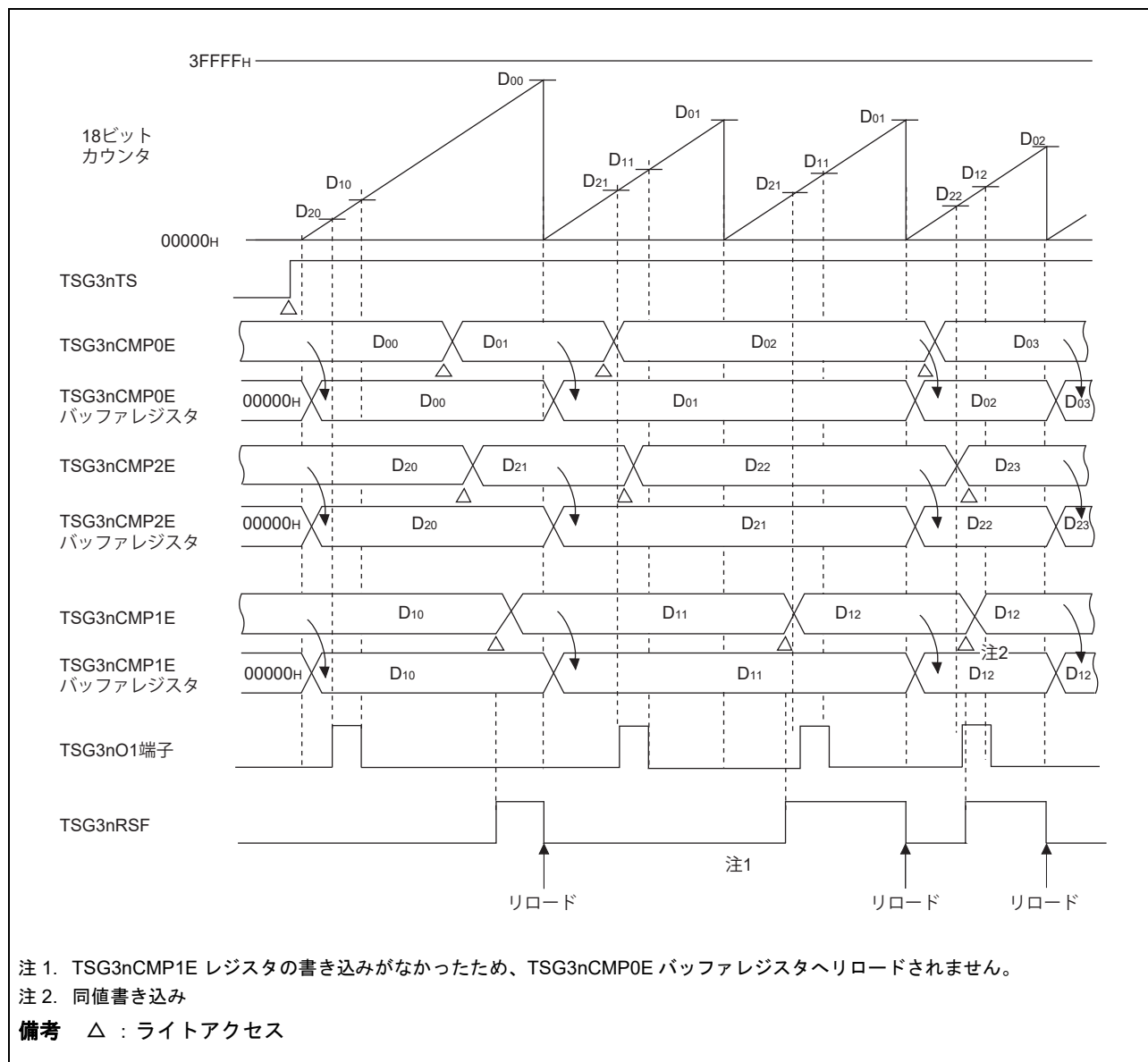


図 25.52 PWM モード時の基本動作タイミング例 (2/2)

備 考

- D00, D01, D02, D03 : TSG3nCMP0E レジスタの設定値 (00000_H-3FFFF_H)
D10, D11, D12, D13 : TSG3nCMP1E レジスタの設定値 (00000_H-3FFFF_H)
D20, D21, D22, D23 : TSG3nCMP2E レジスタの設定値 (00000_H-3FFFF_H)
- TSG3nO2-TSG3nO6 端子は、TSG3nO1 端子と同機能です。

(2) PWM モード時のリロード／割り込み間引き機能

TSG3nCTL4.TSG3nPRE = 1, TSG3nPIE = 1, TSG3nRCC04-TSG3nRCC00,

TSG3nCTL3.TSG3nRIA を設定することで、リロード間引き機能、割り込み間引き機能を使用できます。

TSG3nPRE = 1, TSG3nRCC04-TSG3nRCC00 を設定することで、割り込み間引き機能を使用できます。

(3) PWM モード時のデッドタイム制御

PWM モードでは、TSG3nDTC0W, TSG3nDTC1W レジスタにデッドタイム値を設定することで、デッドタイム制御ができます。デッドタイムは、TSG3nO1 端子と TSG3nO2 端子、TSG3nO3 端子と TSG3nO4 端子、TSG3nO5 端子と TSG3nO6 端子の切り替えタイミングで制御できます。

表 25.61 PWM モードにおけるデッドタイム

切り替えタイミング	デッドタイム
TSG3nO1 端子がハイレベルからロウレベルで TSG3nO2 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO2 端子がハイレベルからロウレベルで TSG3nO1 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値
TSG3nO3 端子がハイレベルからロウレベルで TSG3nO4 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO4 端子がハイレベルからロウレベルで TSG3nO3 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値
TSG3nO5 端子がハイレベルからロウレベルで TSG3nO6 端子がロウレベルからハイレベル	TSG3nDTC1W レジスタの値
TSG3nO6 端子がハイレベルからロウレベルで TSG3nO5 端子がロウレベルからハイレベル	TSG3nDTC0W レジスタの値

備 考

動作停止 (TSG3nTE = 0) 設定と、デッドタイム挿入タイミングが重なった場合でもデッドタイムカウンタは動作を継続し、TSG3nO1, 2 に設定したデッドタイムは必ず挿入します。

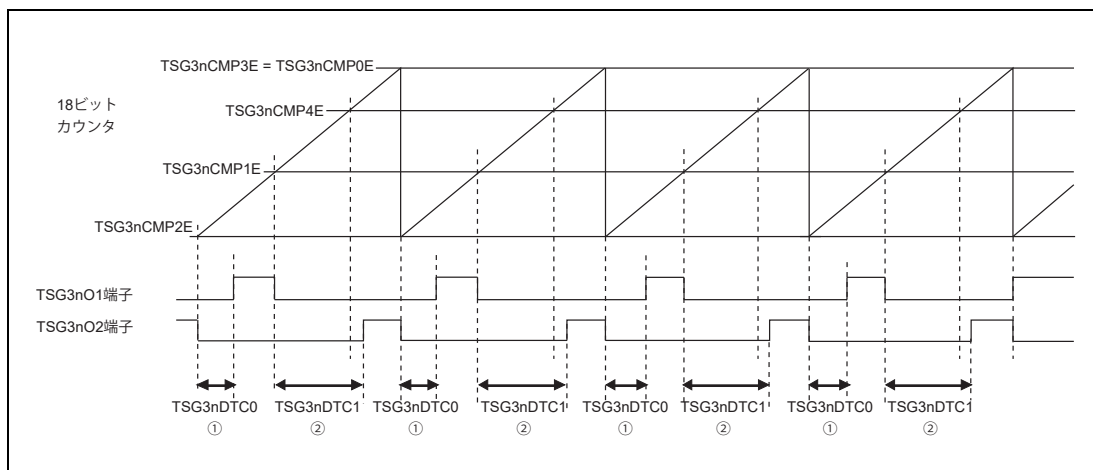


図 25.53 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (1/2)

①の箇所では、TSG3nO2 端子の立ち下がりからデッドタイムカウンタがスタートします。同時に、18ビットカウンタが 00000_H で TSG3nO1 端子がアクティブとなるタイミングでもデッドタイムカウンタが動作中のためインアクティブを継続し、デッドタイムカウント動作が終了したタイミングから TSG3nO1 端子がアクティブとなります。

②の箇所では、TSG3nO1 端子の立ち下がりからデッドタイムカウンタがスタートします。その後、18ビットカウンタと TSG3nCMP4E レジスタの一致で TSG3nO2 端子がアクティブとなるタイミングでもデッドタイムカウンタが動作中のためインアクティブを継続し、デッドタイムカウント動作が終了したタイミングから TSG3nO2 端子がアクティブとなります。

備考

1. TSG3nO1、TSG3nO2 端子のアクティブレベルは、ハイレベル。
2. TSG3nO3、TSG3nO4 端子、TSG3nO5、TSG3nO6 端子の場合も同様です。

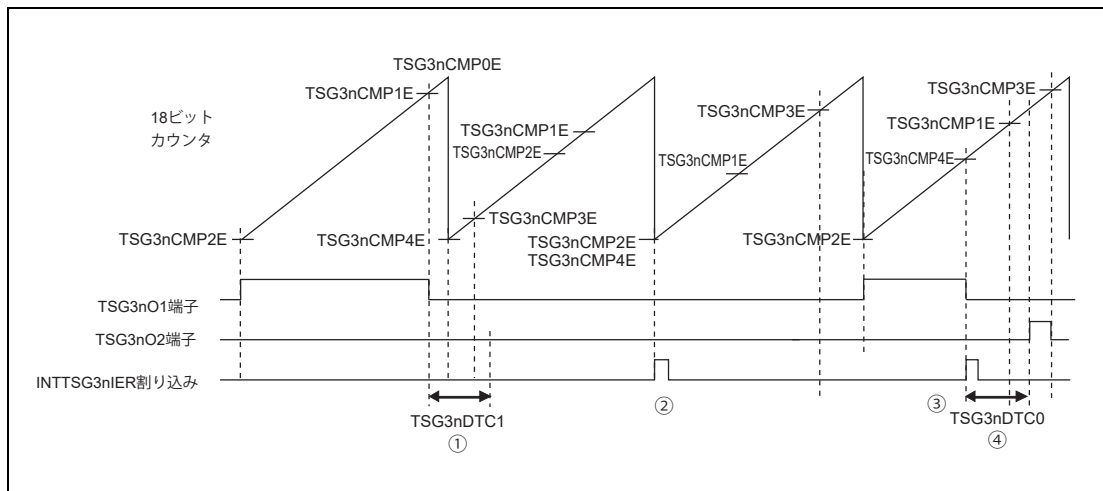


図 25.53 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (2/2)

①の箇所では、TSG3nO1 端子の立ち下がりからデッドタイムカウンタがスタートします。その後、18ビットカウンタが 00000_H で TSG3nCMP4E と一致し TSG3nO2 端子がアクティブとなるタイミングでもデッドタイムカウンタ動作中のためインアクティブを継続し、さらにデッドタイムカウンタの動作が終了する前に TSG3nCMP3E レジスタのコンペア一致が発生するため、コンペア一致により TSG3nO2 端子はインアクティブのままとなります。

$$\text{TSG3nCMP1E} + \text{TSG3nDTC1} \geq \text{TSG3nCMP0E} + \text{TSG3nCMP2E}$$

(TSG3nO2 はインアクティブを継続)

$$\text{TSG3nCMP2E} + \text{TSG3nDTC0} \geq \text{TSG3nCMP0E} + \text{TSG3nCMP1E}$$

(TSG3nO1 はインアクティブを継続)

②の箇所では、TSG3nO1 端子と TSG3nO2 端子が同時に立ち上がるように TSG3nCMP2E レジスタと TSG3nCMP4E レジスタを設定しているため INTTSG3nIER 割り込みが発生します。このとき、TSG3nO1, TSG3nO2 端子ともにインアクティブとなります。

③の箇所では、TSG3nO1 端子がアクティブ出力中に TSG3nCMP4E レジスタのコンペア一致が発生したため INTTSG3nIER 割り込みが発生し、両端子ともインアクティブとなります。

④の箇所では、同時アクティブにより TSG3nO1 端子の立ち下がり (インアクティブ) となり、デッドタイムカウンタがスタートします。その後、デッドタイム・カウンタの動作終了後に TSG3nO2 端子がアクティブとなります。

備考

1. TSG3nO1, TSG3nO2 端子のアクティブレベルは、ハイレベル
2. TSG3nO3, TSG3nO4 端子、TSG3nO5, TSG3nO6 端子の場合も同様です。

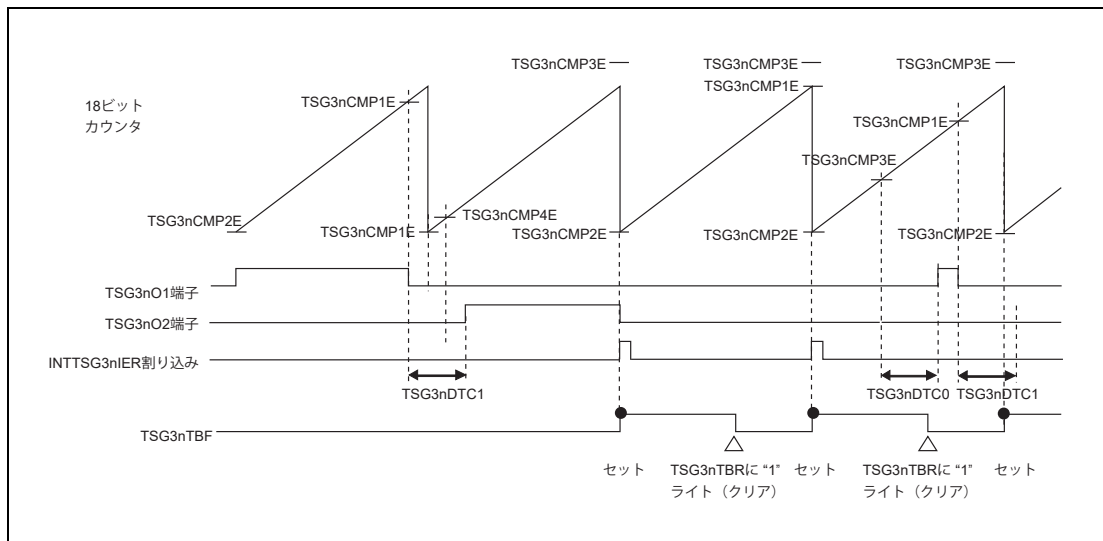


図 25.54 デッドタイム制御時のデューティ 100% 出力例

TSG3nO2 端子にデューティ 100%出力 ($TSG3nCMP3E \geq TSG3nCMP0E + 1$) を設定した場合、TSG3nO1 端子の出力はロウレベル固定となります。これは、TSG3nO1 端子がアクティブとなったタイミングですでに TSG3nO2 端子がアクティブになっているため、TSG3nO1 端子のアクティブ条件をマスクするように制御しています。この場合も、同時にハイレベルとなる設定のため、INTTSG3nIER 割り込みが発生します。

備考

1. TSG3nO1、TSG3nO2 端子のアクティブレベルは、ハイレベル
2. TSG3nO3、TSG3nO4、TSG3nO5、TSG3nO6 端子の場合も同様です。

(4) PWM モード動作時のデッドタイム書き換え

PWM モードでは、カウント中に TSG3n デッドタイム設定レジスタ (TSG3nDTC0W, TSG3nDTC1W) の書き換えが可能です。デッドタイムは、リロードタイミングで新しい設定が有効となります。随時書き換えによる変更はできません。

リロードタイミングを許可するには、TSG3nCMP1E レジスタに書き込みを行ってください。

25.4.7.2 HT-PWM モード (High accuracy Triangular - Pulse Width Modulation モード)

概要

18ビットカウンタ (アップ/ダウン、 ± 2 カウント、実質 17ビット) と、18ビットコンペアレジスタ (LSB は付加パルス制御) を使用して、6相 PWM を生成できます。

前提条件

- TSG3nCMP0E には、搬送波の周期を設定します。
- TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE で、U相、V相、W相の電圧データ信号のデューティを設定します。(TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE に設定した値は、対応する TSG3nCMPmE へ即時に設定値が反映されます ($m = 1, 2, 5, 6, 9, 10$))
- この章では、対称三角波による制御を説明します。
(非対称三角波による制御は、「**25.4.7.2 (10) HT-PWM モードの非対称三角波制御**」を参照してください)

機能説明

搬送波の周期を設定、U相、V相、W相のデューティを設定。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18ビットカウンタは、TSG3nDTC0 を最小値としてアップカウントを行い、TSG3nCMP0E+TSG3nDTC0 で示す最大値との一致でダウンカウント動作を行います。

デッドタイムは、TSG3nDTC0、TSG3nDTC1 で設定し、TSG3nDTC0 は逆相 (OFF) → 正相 (ON) のデッドタイムを、TSG3nDTC1 は正相 (OFF) → 逆相 (ON) のデッドタイムを設定することができます。デッドタイム生成用の 10ビットカウンタ (TSG3nDTT1-TSG3nDTT3) は、18ビットカウンタと TSG3nCMPmE バッファレジスタのコンペア一致で TSG3nDTC0、TSG3nDTC1 の設定値をロードし、ダウンカウントを行います。 ($m = 1, 2, 5, 6, 9, 10$)

18ビットカウンタと、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み ($m = 1, 2, 5, 6, 9, 10$) を発生します。

また、ダウンカウント (TSG3nCUF=1) 時には 18ビットカウンタと TSG3nCMP3E, 7E, 11E バッファレジスタのコンペア一致で、アップカウント (TSG3nCUF=0) 時には 18ビットカウンタと TSG3nCMP4E, 8E, 12E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み ($m = 3, 4, 7, 8, 11, 12$) を発生します。

備考

HT-PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 001_B に設定したときに有効となります。

(1) ブロック図と基本タイミング図

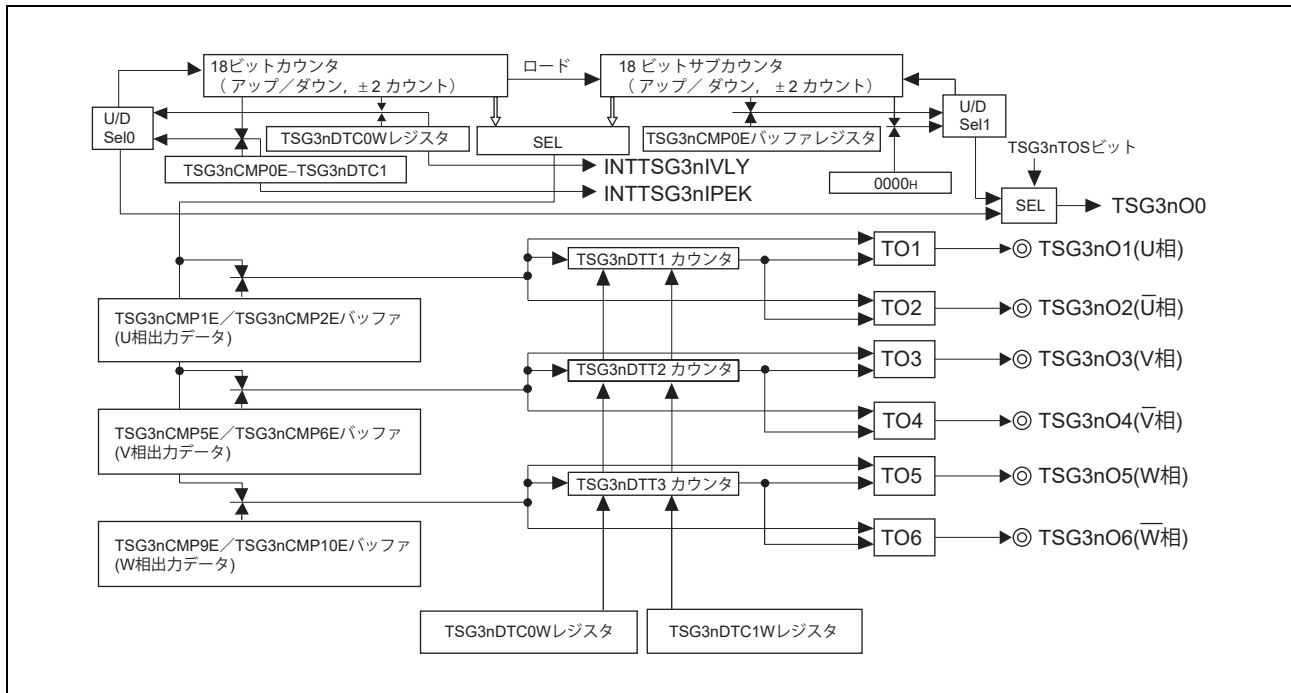


図 25.55 HT-PWM モード時のブロック図概略

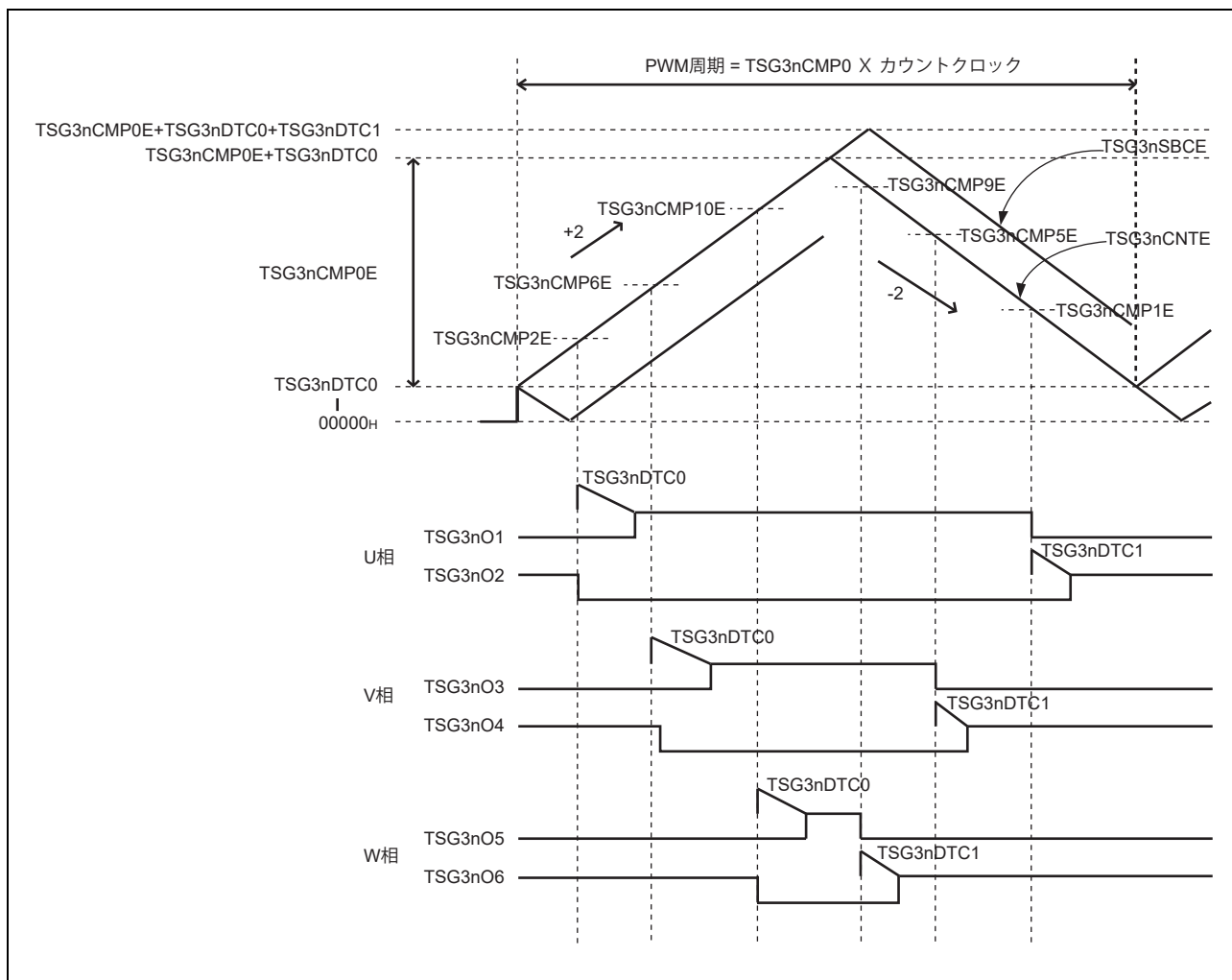


図 25.56 HT-PWM モード時の基本タイミング

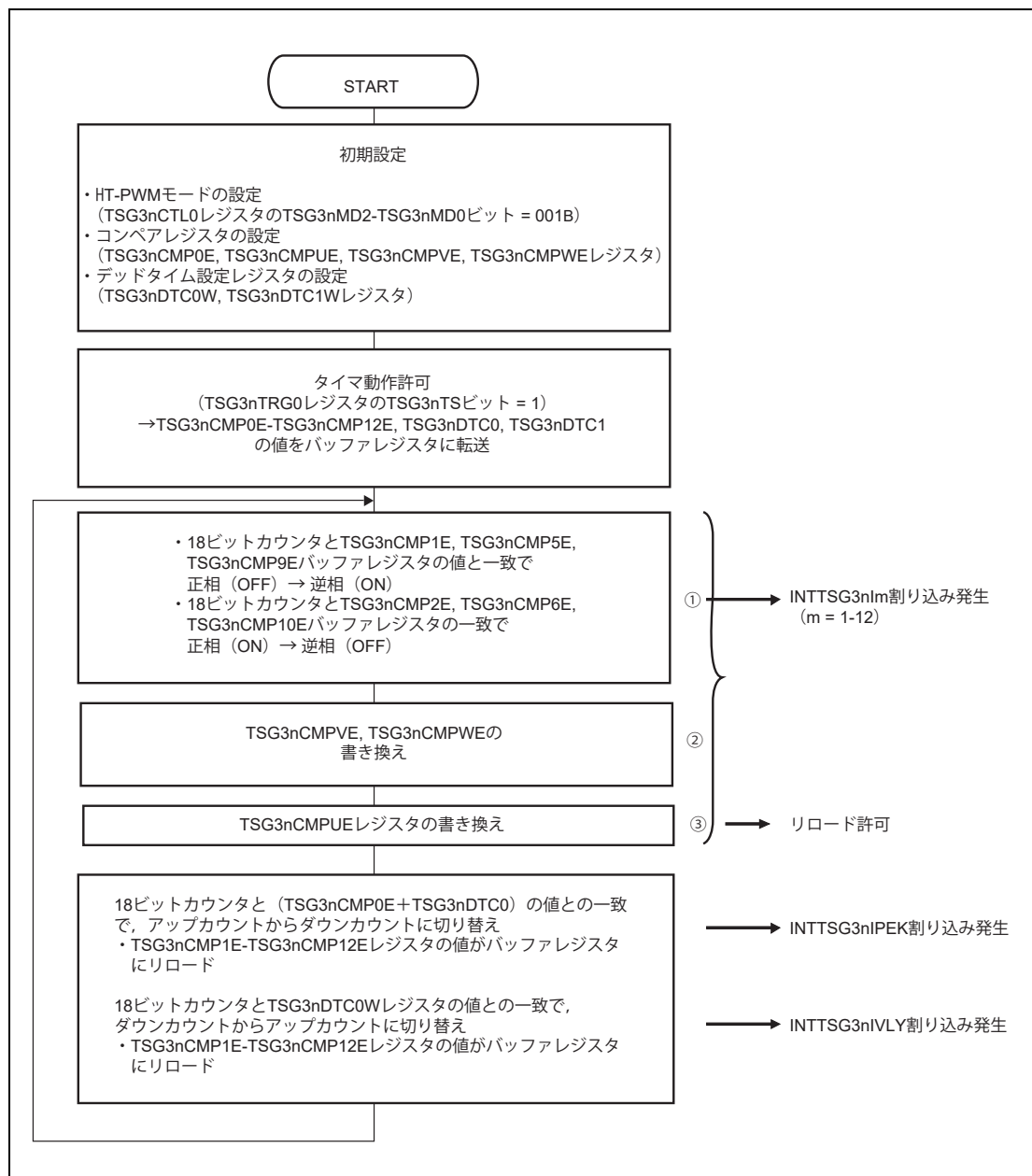


図 25.57 HT-PWM モード時の基本動作フロー

備考

- TSG3nCMPUE (TSG3nCMP1E) へのライトアクセスには、リロードを許可する動作も含まれます。したがって③の書き換えタイミングは、②の書き換えタイミングの後にしてください。
- INTTSG3nIPEK 割り込みは、TSG3nCTL4.TSG3nPIE = 1 のときのみ発生します。
- INTTSG3nIVLY 割り込みは、TSG3nCTL4.TSG3nVIE = 1 のときのみ発生します。
- INTTSG3nI3, INTTSG3nI7, INTTSG3nI11はTSG3nCMP3E, 7E, 11EとTSG3nCnTEのダウンカウント (TSG3nCUF = 1) 時の一致タイミングで、INTTSG3nI4, INTTSG3nI8, INTTSG3nI12はTSG3nCMP4E, 8E, 12EとTSG3nCnTEのアップカウント (TSG3nCUF = 0) 時の一致タイミングで割り込みを出力します。

(2) HT-PWM モード動作一覧

表 25.62 HT-PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ (TSG3nDTC0 からアップカウント)
	アップ	TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致
	ダウン	TSG3nCMP0E + TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致
	クリア	—
	停止	TSG3nTRG1.TSG3nTT = 0 → 1
18 ビット サブカウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ (TSG3nDTC0 からダウンカウント)
	アップ	アンダフロー
	ダウン	TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 バッファレジスタと 18 ビットサブカウンタのコンペア一致
	ロード	TSG3nCMP0E + TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致のとき、TSG3nCMP0E + TSG3nDTC0 TSG3nDTC0 バッファレジスタと 18 ビットカウンタのコンペア一致のとき、 TSG3nDTC0
	クリア	—
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 25.63 HT-PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード/随時書き換え	可能	周期
TSG3nCMPUE	—	可能	U 相用 PWM 制御
TSG3nCMP1E, TSG3nCMP2E	リロード/随時書き換え	可能	V 相用 PWM 制御
TSG3nCMPVE	—		
TSG3nCMP5E, TSG3nCMP6E	リロード/随時書き換え	可能	W 相用 PWM 制御
TSG3nCMPWE	—		
TSG3nCMP9E, TSG3nCMP10E	リロード/随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード/随時書き換え		
TSG3nDTC0W, TSG3nDTC1W	リロード		

備 考

- TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE を書き換えた値は、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E に設定されます。
- TSG3nDTC0, TSG3nDTC1 の書き換え方法は「**25.4.7.2(8)(a) TSG3nDTC0, TSG3nDTC1 の書き換えについて**」を参照してください。

表 25.64 HT-PWM モード : タイマ出力機能

端子	機能
TSG3nO0	18 ビットカウンタまたは 18 ビットサブカウンタのアップカウント時インアクティブ、ダウンカウント時アクティブ
TSG3nO1	TSG3nCMP1E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP2E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP1E < DTC0 のとき、TSG3nCMP1E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP2E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO2	TSG3nO1 に対する逆相出力 (デッドタイム付き)
TSG3nO3	TSG3nCMP5E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP6E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP5E < DTC0 のとき、TSG3nCMP3E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP6E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO4	TSG3nO3 に対する逆相出力 (デッドタイム付き)
TSG3nO5	TSG3nCMP9E バッファレジスタと 18 ビットカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP10E バッファレジスタと 18 ビットカウンタ (アップカウント時) のコンペア一致による PWM 出力 (デッドタイム付き) TSG3nCMP9E < DTC0 のとき、TSG3nCMP5E バッファレジスタと 18 ビットサブカウンタ (ダウンカウント時) のコンペア一致、および TSG3nCMP10E バッファレジスタと 18 ビットサブカウンタ (アップカウント時) のコンペア一致による PWM 出力
TSG3nO6	TSG3nO5 に対する逆相出力 (デッドタイム付き)
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

備 考

1. TSG3nO0 端子のステータス出力の対象を TSG3nIOC1.TSG3nTOS で切り替えます。
2. TSG3nCMP1E と TSG3nCMP2E が 18 ビットサブカウンタの山および谷の値に設定された場合はクリアが優先されます。

表 25.65 HT-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nI0	TSG3nDTC0 バッファレジスタと 18 ビットカウンタの一致 (周期割り込み)
INTTSG3nIm (m = 1, 2, 5, 6, 9, 10)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致 (m = 1, 2, 5, 6, 9, 10)
INTTSG3nIER	エラー
INTTSG3nIVLY	谷割り込み
INTTSG3nIPEK	山割り込み
INTTSG3nIWN	ワーニング割り込み

表 25.66 HT-PWM モード : コンペア一致タイミング

コンペア一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nDTC0 → TSG3nDTC0 + 2 へ切り替わる時
TSG3nCMPmE (m = 1, 2, 5, 6, 9, 10)	18 ビットカウンタが TSG3nCMPmE → TSG3nCMPmE ± 2 へ切り替わる時 (m = 1, 2, 5, 6, 9, 10)

表 25.67 HT-PWM モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nO0	トグル出力	TSG3nCMP0E × カウントクロック	アップカウント時、 インアクティブレベル出力 ダウンカウント時、 アクティブレベル出力	—
TSG3nO1, TSG3nO3, TSG3nO5	PWM 出力	TSG3nCMP0E × カウントクロック	1 周期の期間内すべてインアクティブレベル出力 (デューティ 0%)	$TSG3nCMP0E \leq TSG3nCMPmE \leq TSG3nDTC0 + TSG3nDTC1$ (m = U, V, W)
			1 周期で 1 カウントクロックのアクティブレベル出力	$TSG3nCMPmE = TSG3nCMP0E - 1$ (m = U, V, W)
			1 周期で 1 カウントクロックのインアクティブレベル出力	$TSG3nCMPmE = 0001_H$ (m = U, V, W)
			1 周期の期間内すべてアクティブレベル出力 (デューティ 100%)	$TSG3nCMPmE = 0000_H$ (m = U, V, W)
TSG3nO2, TSG3nO4, TSG3nO6	PWM 出力	TSG3nCMP0E × カウントクロック	1 周期の期間内すべてインアクティブレベル出力 (デューティ 0%)	$TSG3nCMPmE \leq TSG3nDTC0 + TSG3nDTC1$ (m = U, V, W)
			1 周期で 1 カウントクロックのアクティブレベル出力	$TSG3nCMPmE = TSG3nDTC0 + TSG3nDTC1 + 1$ (m = U, V, W)
			1 周期で 1 カウントクロックのインアクティブレベル出力	$TSG3nCMPmE = TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 - 1$ (m = U, V, W)
			1 周期の期間内すべてアクティブレベル出力 (デューティ 100%)	$TSG3nCMPmE = TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1$ (m = U, V, W)
TSG3nO7	ダイアグ出力 もしくは A/D 変換トリガによるパルス出力	TSG3nCMP0E × カウントクロック	「25.4.5 A/D 変換トリガ機能」を参照してください。	

(3) HT-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 001_B に設定することで HT-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0, TSG3nIOC2, TSG3nIOC3 の設定で出力制御を行います。

TSG3nO0 端子は、18 ビットカウンタまたは 18 ビットサブカウンタのアップ/ダウンカウントを示すステータス出力です。TSG3nIOC1.TSG3nTOS で、18 ビットカウンタ/18 ビットサブカウンタの切り替えを行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の特許

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相/逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。HT-PWM モードでは、どのような値をコンペアレジスタに設定しても正相/逆相同時アクティブにはなりません。詳細は、「**25.4.6 エラー/ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え)/随時書き換えを行います (デフォルト “0” リロード)。リロードを行う場合は、TSG3nCTL4.TSG3nPRE または TSG3nVRE を必ずセット (1) してください。

TSG3nPRE、TSG3nVRE 共に “0” の場合はリロードタイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

割り込みと間引き機能の設定

TSG3nCTL4 で、割り込みと間引き機能を設定します。山割り込み (INTTSG3nIPEK) が必要な場合は、TSG3nPIE = 1 にします。谷割り込み (INTTSG3nIVLY) が必要な場合は、TSG3nVIE = 1 にしてください。また、山/谷割り込みに対して、間引き機能を使用したい場合は、TSG3nRCC4-TSG3nRCC0 で設定を行います。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5 の TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップ/ダウンカウント)、18 ビットカウンタの山割り込み (INTTSG3nIPEK)、および谷割り込み (INTTSG3nIVLY)、18 ビットサブカウンタの山タイミング、および谷タイミングによる A/D 変換トリガ出力の許可/禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6 の TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0, TSG3nADTRG1 信号に対しては、間引き機能が使用できます。TSG3nCTL5 の TSG3nACC01, TSG3nACC00 および TSG3nCTL6 の TSG3nACC11, TSG3nACC10 を使用して、間引き無し / 1 間引き / 3 間引き / 7 間引きの設定を行うことができます。

注 意

A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5, TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。

デッドタイムの設定

TSG3nDTC0, TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2, TSG3nO4, TSG3nO6 端子のインアクティブ変化→ TSG3nO1, TSG3nO3, TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1, TSG3nO3, TSG3nO5 端子のインアクティブ変化→ TSG3nO2, TSG3nO4, TSG3nO6 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC0, TSG3nDTC1 は、偶数値のみ設定可能です。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$\text{TSG3nCMP0E} = \text{搬送波周期} / \text{カウントクロック周期 (PCLK)}$$

また、TSG3nCMP0E レジスタの設定値は、デッドタイムとの兼ね合いから次の条件を満たしてください。

- $\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} \leq 3\text{FFFEH}$
- $\text{TSG3nCMP0E} > \text{TSG3nDTC0}$
- $\text{TSG3nCMP0E} > \text{TSG3nDTC1}$
- $\text{TSG3nCMP0E} > 3 \times \text{MAX}(\text{TSG3nDTC0}, \text{TSG3nDTC1})$
- TSG3nCMP0E は偶数

備 考

MAX (A, B) は A, B の中で大きい方の値を示しています。

デューティ (PWM 幅) の設定

TSG3nCMPmE でそれぞれ U 相、V 相、W 相のデューティ設定を行います。コンペアレジスタの設定範囲は次のようになっています。(m = U, V, W もしくは 1, 2, 5, 6, 9, 10)

$$00000_{\text{H}} \leq \text{TSG3nCMPmE} \leq \text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1}$$

TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE の LSB (Least Significant Bit) は、付加パルスの設定を意味しています。例えば、TSG3nCMPUE = 00003_H と設定した場合は、TSG3nCMPUE = 00002_H に設定した場合に比べて、逆相 (TSG3nO2 端子) の変化が 1 カウントクロック分遅く変化します (18 ビットカウンタがアップカウント時)。ただし、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E には、付加パルスの設定はできません。(偶数値のみ設定可能)

(4) HT-PWM モードの 18 ビットカウンタ動作

18 ビットカウンタは初期値 00000_H で、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した直後に TSG3nDTC0 の値がロードされ、+2 ずつアップカウントを行います。その後、TSG3nCMP0E + TSG3nDTC0 に一致した時点で 18 ビットカウンタは -2 ずつダウンカウントを行います。

18 ビットカウンタの動作は次のようになります。

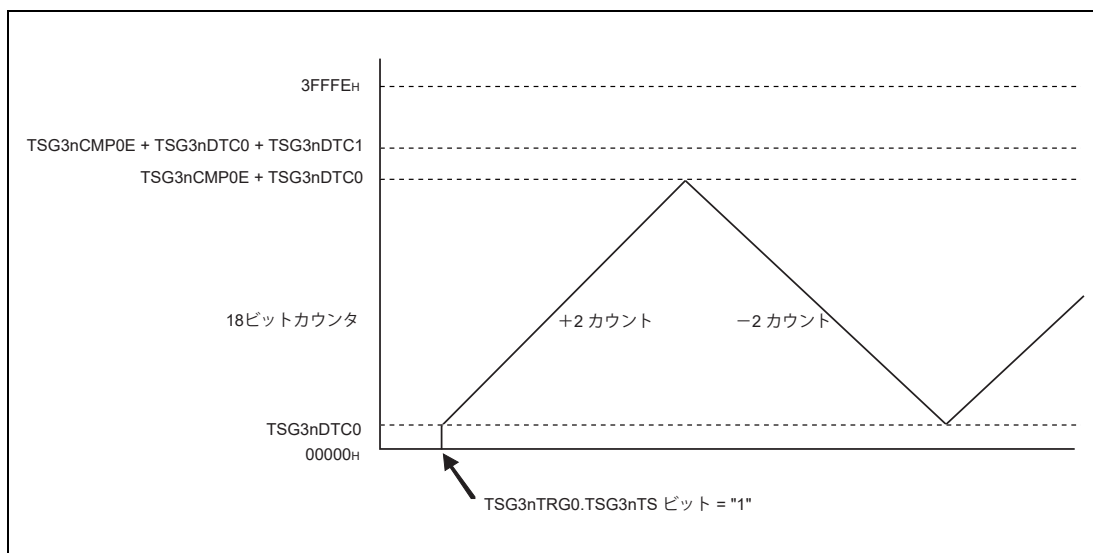


図 25.58 HT-PWM モード時の 18 ビットカウンタ動作例

備 考

18 ビットカウンタ最小値 : TSG3nDTC0

18 ビットカウンタ最大値 : TSG3nCMP0E + TSG3nDTC0

搬送波周期 : TSG3nCMP0E × カウントクロック周期 (PCLK)

18ビットサブカウンタは初期値 00000_H で、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した直後に TSG3nDTC0 の値がロードされます。その後、 00000_H と一致するまで -2 ずつダウンカウントを行い、一致した時点で +2 ずつアップカウントを開始します。次に、18ビットカウンタがアップ→ダウンに切り替わるタイミングで、18ビットサブカウンタに18ビットカウンタの値をロードします。18ビットサブカウンタは、そのままカウントアップを行い、TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 と一致した時点で、-2 ずつダウンカウントを開始します。同様に、18ビットカウンタが TSG3nDTC0 と一致したタイミングで、18ビットカウンタの値をロードし、ダウンカウントを継続します。

18ビットサブカウンタ動作は、下記のようにになります。

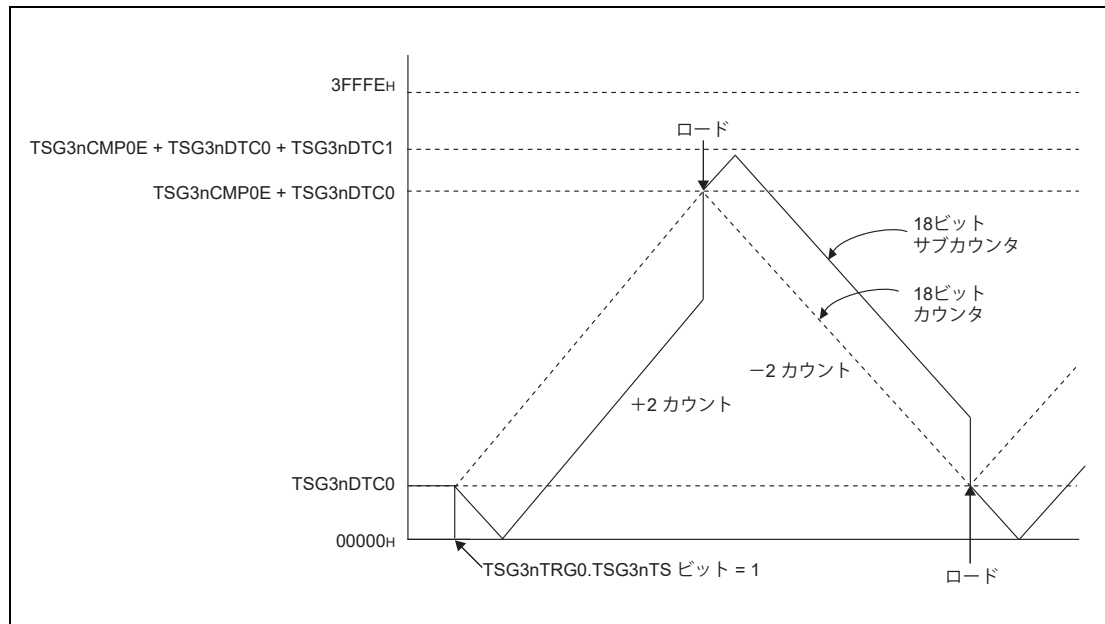


図 25.59 HT-PWM モード時の 18 ビットサブカウンタ動作例

備考

18ビットサブカウンタ最小値 : 00000_H

18ビットサブカウンタ最大値 : TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1

(5) HT-PWM モードの基本動作

(a) TSG3n 動作開始直後のタイマ出力例

TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002H、TSG3nDTC1 = 004H、TSG3nCMPUE を 0000_H-00014_H (一部抜粋) に設定した場合のタイミング図を次に示します。この例では、TSG3nIOC2 レジスタの TSG3nOL1-TSG3nOL6 = 000000_B と設定しています。

動作開始 (TSG3nTRG0.TSG3nTS = 1) すると、TSG3nO2 端子がアクティブレベルに変化します。その後、TSG3nCMPUE ≤ TSG3nDTC0 の場合、TSG3nO2 端子は 1 カウントクロック後にクリアされます。

TSG3nCMPUE ≥ TSG3nDTC0 の場合、TSG3nO2 端子は 18 ビットカウンタとコンペアレジスタ (TSG3nCMP2E) との一致、もしくは 18 ビットサブカウンタとコンペアレジスタ (TSG3nCMP2E) との一致でクリアされます。その後、設定したデッドタイム期間後に TSG3nO1 端子がセットされます。(ただし、TSG3nCMPUE ≥ TSG3nCMP0E の場合は、TSG3nO1 端子はセットされません。)

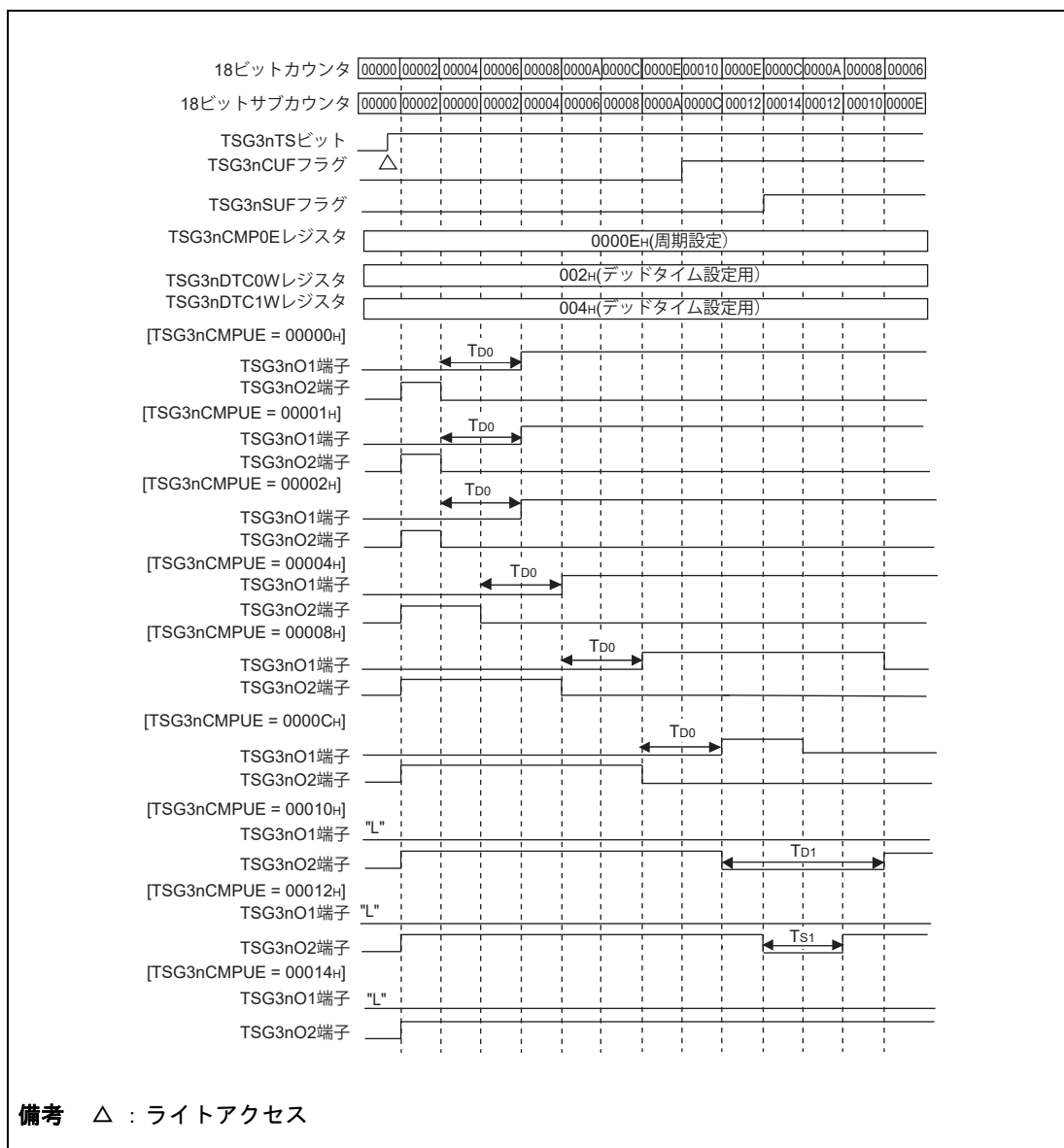


図 25.60 TSG3nTS = 1 にセットした場合 (初期) のタイマ出力例 (HT-PWM モード)

備考

1. TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002_H、TSG3nDTC1 = 004_H
 2. T_{D0} : TSG3nDTC0W レジスタのデッドタイム設定に依存する時間
T_{D1} : TSG3nDTC1W レジスタのデッドタイム設定に依存する時間
T_{S1} : TSG3nCMPUE > 18 ビットカウンタ最大値の場合、18 ビットサブカウンタと TSG3nCMPUE とのコンペアによって決定される時間
-

(b) TSG3n 動作中のタイマ出力例

TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002H、TSG3nDTC1 = 004H、TSG3nCMPUE を 00000_H-00014_H (一部抜粋) に設定した場合のタイミング図を次に示します。この例では、TSG3nIOC2 レジスタの TSG3nOL1-TSG3nOL6 = 000000_B と設定しています。

正相 (TSG3nO1 端子) の出力するアクティブ (ハイレベル) 幅の範囲は $00000\text{H} \leq \text{TSG3nCMPUE} \leq \text{TSG3nCMP0E}$ (付加パルス分) となっています。また、逆相 (TSG3nO2 端子) の出力するアクティブ (ハイレベル) 幅の範囲は $\text{TSG3nDTC0} + \text{TSG3nDTC1} \leq \text{TSG3nCMPUE} \leq \text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1}$ となっています。

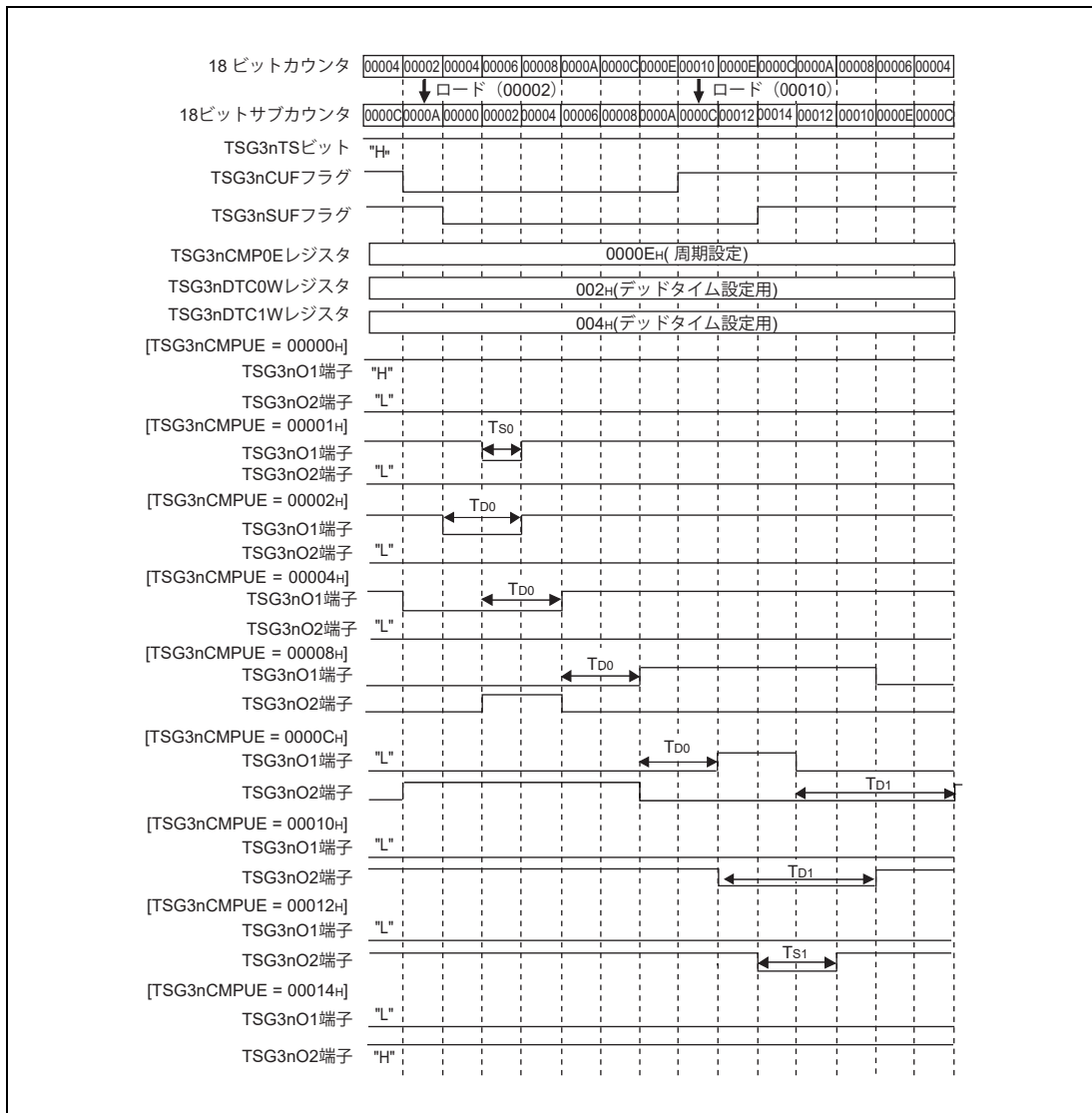


図 25.61 動作中のタイマ出力例 (HT-PWM モード時)

備 考

1. TSG3nCMP0E = 0000E_H、TSG3nDTC0 = 002_H、TSG3nDTC1 = 004_H
 2. T_{D0} : TSG3nDTC0 レジスタのデッドタイム設定に依存する時間
T_{D1} : TSG3nDTC1 レジスタのデッドタイム設定に依存する時間
T_{S0} : TSG3nCMPUE < 18 ビットカウンタ最小値の場合、18 ビットサブカウンタと TSG3nCMPUE とのコンペアによって決定される時間
T_{S1} : TSG3nCMPUE > 18 ビットカウンタ最大値の場合、18 ビットサブカウンタと TSG3nCMPUE とのコンペアによって決定される時間
-

(6) HT-PWM モード時の付加パルス制御

HT-PWM モードは、デューティ設定レジスタ (TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE) の LSB に “1” を設定することで付加パルスを設定することができます。付加パルス制御機能を持つことで、デューティ制御をより細かく (精度が高く) 行うことができます。

付加パルス制御を行った場合と、行わない場合の TSG3nO1 端子の出力例を記載します。

(a) 付加パルス制御を行った場合のパルス出力例

図 25.62 で付加パルス制御を行うのは、TSG3nCMPUE に奇数の値を設定した場合です。

矢印と数字は 1 周期内の TSG3nO1 端子出力のデューティ幅を示しています。

図 25.62 のように、付加パルス制御を行った場合 TSG3nO1 端子の出力幅 (デューティ比) が 12 クロック幅から 0 クロック幅まで 1 カウントクロックごとに制御することができます。

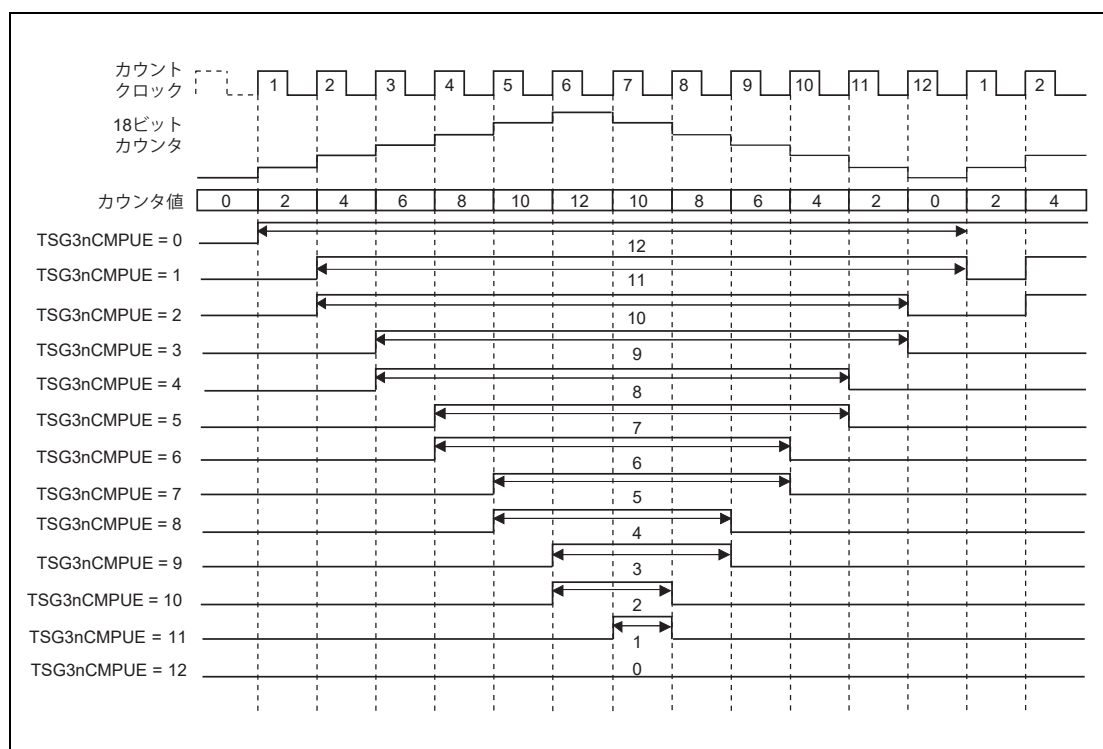


図 25.62 付加パルス制御を行った場合の TSG3nO1 端子出力例

備 考

TSG3nCMP0E = 12、TSG3nDTC0 = 0、TSG3nDTC1 = 0

(b) 付加パルス制御を行っていない場合の出力例

図 25.63 で、矢印と数字は 1 周期内の TSG3nO1 端子出力のデューティ幅を示しています。

付加パルス制御を行わない場合、TSG3nO1 端子の出力幅が 12 クロック幅から 0 クロック幅まで、2 カウントクロックごとの制御となります。この場合は、付加パルス制御を行う場合と比べてデューティ変化量が大きくなってしまいます。

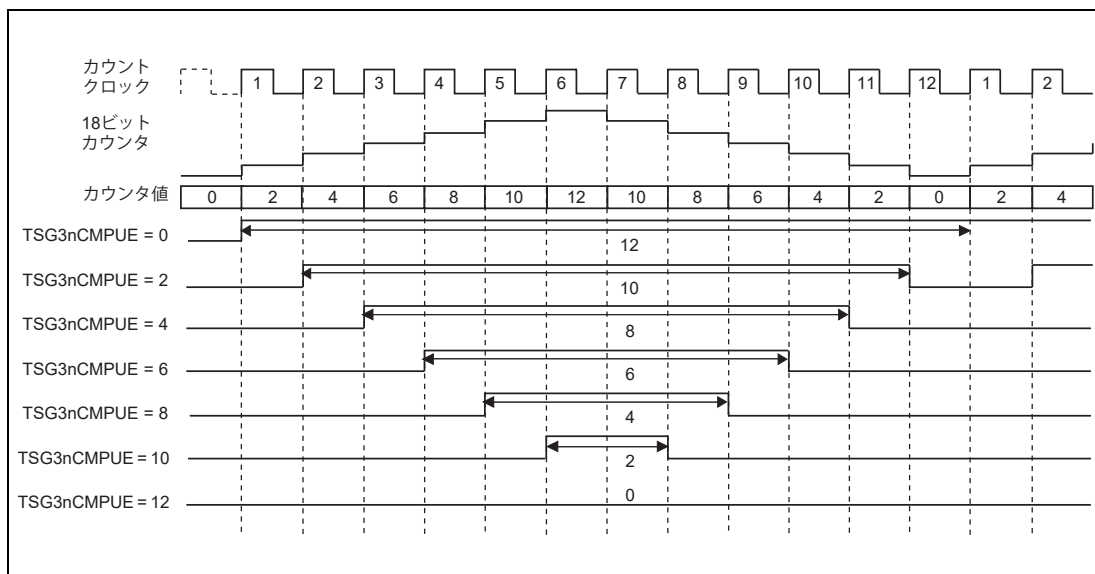


図 25.63 付加パルス制御を行わなかった場合の TSG3nO1 端子出力例

備考

TSG3nCMP0E = 12、TSG3nDTC0 = 0、TSG3nDTC1 = 0

(7) HT-PWM モード時のデッドタイム制御

HT-PWM モードでは、基本的に TSG3nCMPUE, TSG3nCMPVE, TSG3nCMPWE レジスタでデューティを設定します。この3つのレジスタを使用することで、デューティ可変型の6相PWM波形が出力されます。デッドタイム制御を実現するために、18ビットカウンタのカウンタクロックに同期して動作する6本の10ビットダウンカウンタと、デッドタイム設定レジスタ (TSG3nDTC0W, TSG3nDTC1W) があります。TSG3nDTC0 は、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッドタイムの設定であり、TSG3nDTC1 は、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッドタイムの設定です。

次に TSG3nDTC0 = x、TSG3nDTC1 = y の場合の出力波形を示します。

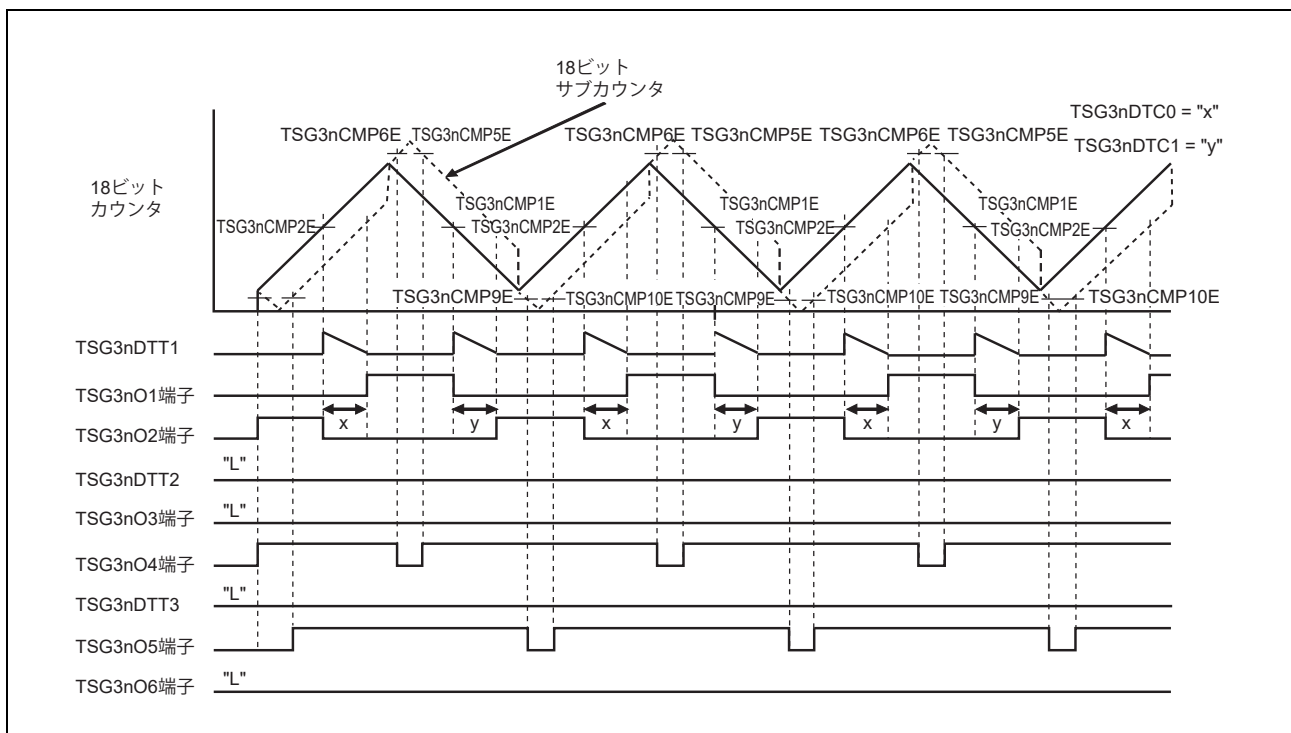


図 25.64 デッドタイム設定時の出力波形例

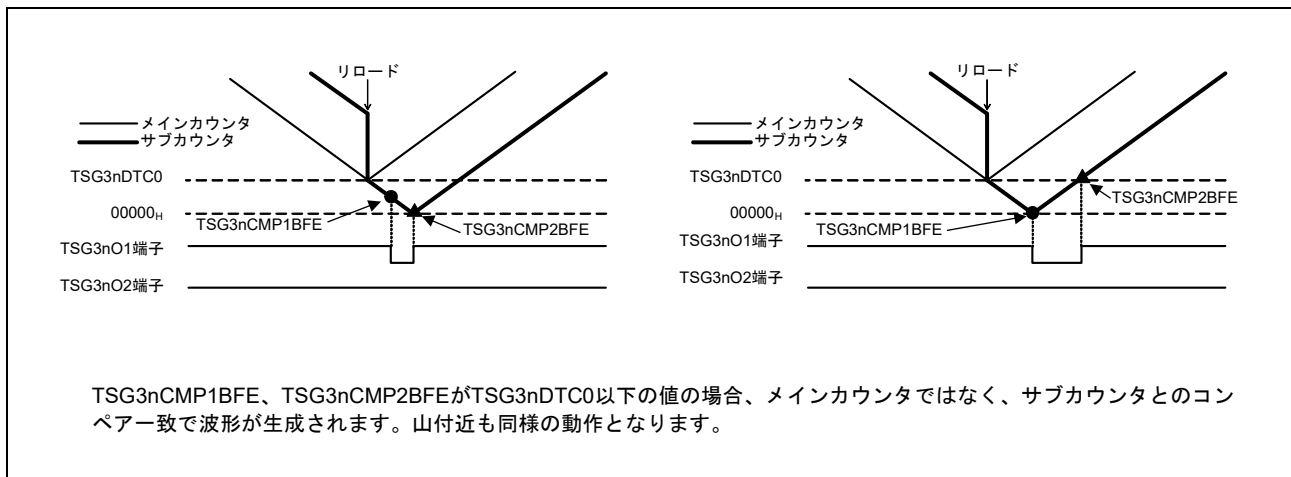


図 25.65 リロード後の谷付近の出力波形例

(8) HT-PWM モード時のデッドタイム制御に関する注意事項

(a) TSG3nDTC0, TSG3nDTC1 の書き換えについて

デッドタイムの設定 (TSG3nDTC0, TSG3nDTC1) を動作中に書き換えることができます。

注 意

1. TSG3nDTC0, TSG3nDTC1 の書き換えは、リロード機能 (TSG3nRMC = 0) を使用している場合に書き換えてください。
2. TSG3nDTC0, TSG3nDTC1 を書き換える場合、ライトプロテクションコードチェックが機能します。詳細はレジスタ説明 (「25.3.43」, 「25.3.44」, 「25.3.63」) を参照してください。
3. 18ビットカウンタの山で TSG3nCMP0E, TSG3nDTC1 を変更する場合 TSG3nCMPmE の設定値が、更新後の TSG3nCMP0E + TSG3nDTC0 (メインカウンタの新しい最大値) より大きい場合、リロード実行直後の一致割り込み (INTTSG3nlm) は発生しません (m = 2, 6, 10)。

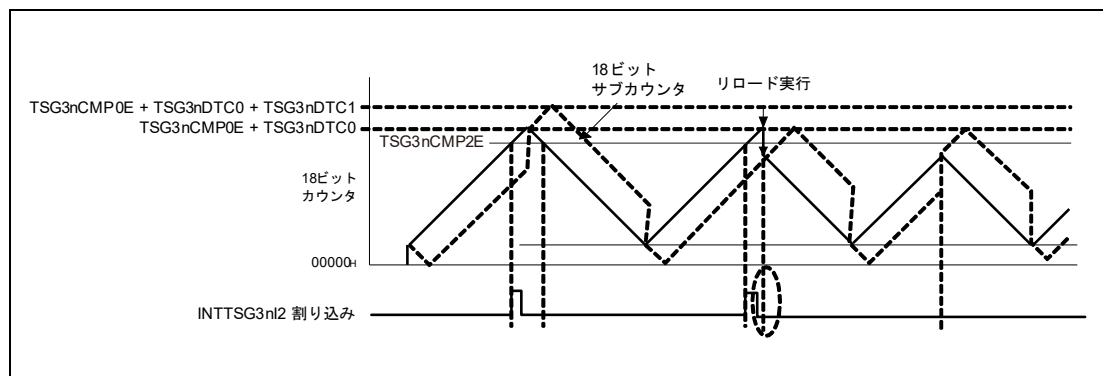


図 25.66 18ビットカウンタ山タイミングでのリロード実行時の動作例

4. 18ビットカウンタの谷で TSG3nDTC0 を変更する場合 TSG3nCMPmE の設定値が、更新後の TSG3nDTC0 (メインカウンタの新しい最小値) より小さい場合、リロード直後の一致割り込み (INTTSG3nlm) は発生しません (m = 1, 5, 9)。

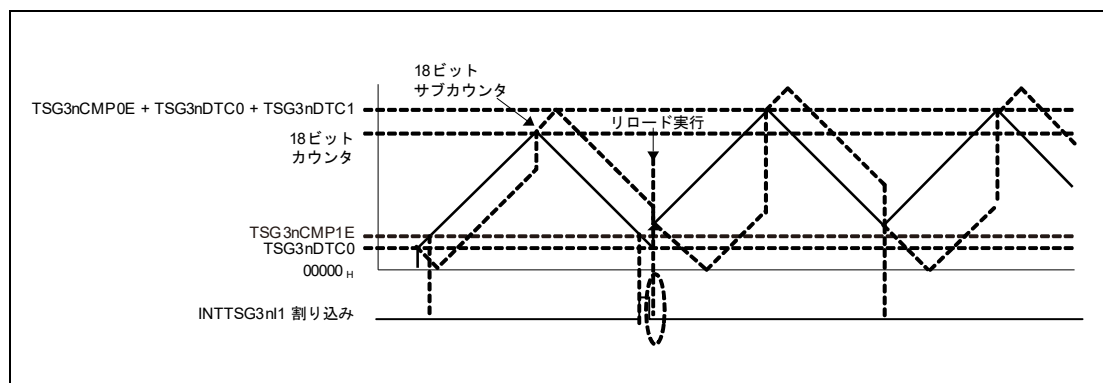


図 25.67 18ビットカウンタ谷タイミングでのリロード実行時の動作例

(9) HT-PWM モード時のソフトウェア出力制御機能

HT-PWM モード時は、TSG3nOPT0.TSG3nSOC, TSG3nIDC, TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 25.68 に示すように、TSG3nSTE = 0 とし、TSG3nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、TSG3nSOC = 0 にしたタイミングでは出力を保持し、リロードタイミングが発生した時点で、HT-PWM モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「**25.4.7.8 ソフトウェア出力制御機能**」を参照してください。

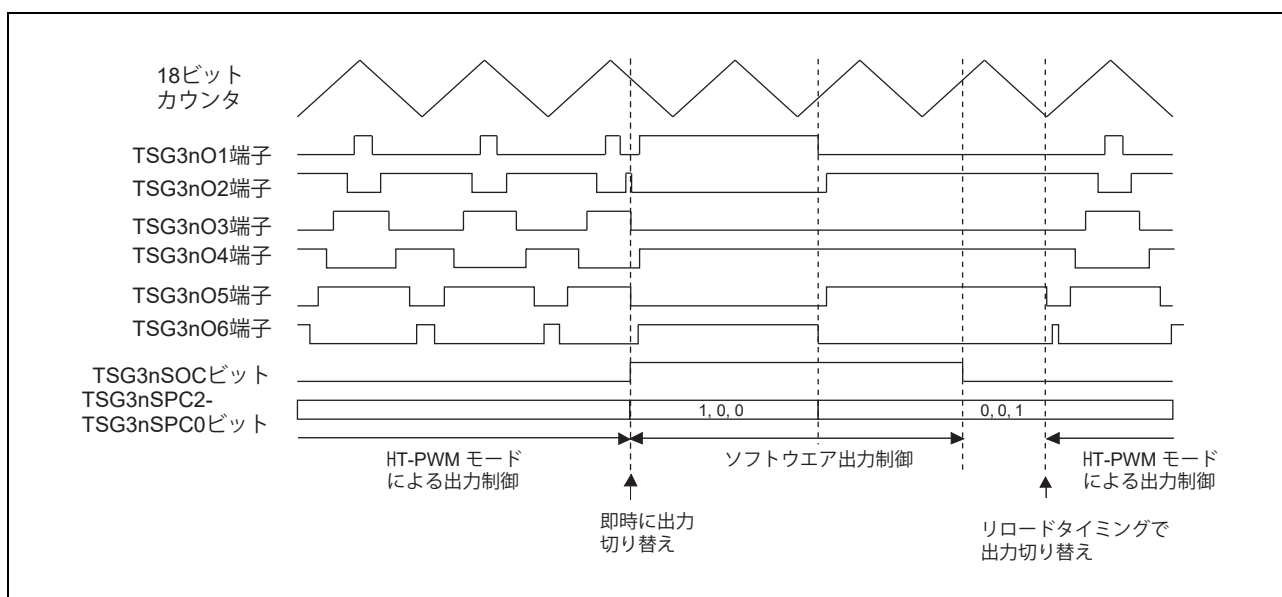


図 25.68 HT-PWM からソフトウェア出力制御機能の切り替え例

注 意

ソフトウェア出力制御機能を使用する場合は、必ずリロード（一斉書き換え）モード (TSG3nCTL3.TSG3nRMC = 0) の設定で使用してください。

(a) ソフトウェア出力制御の処理手順

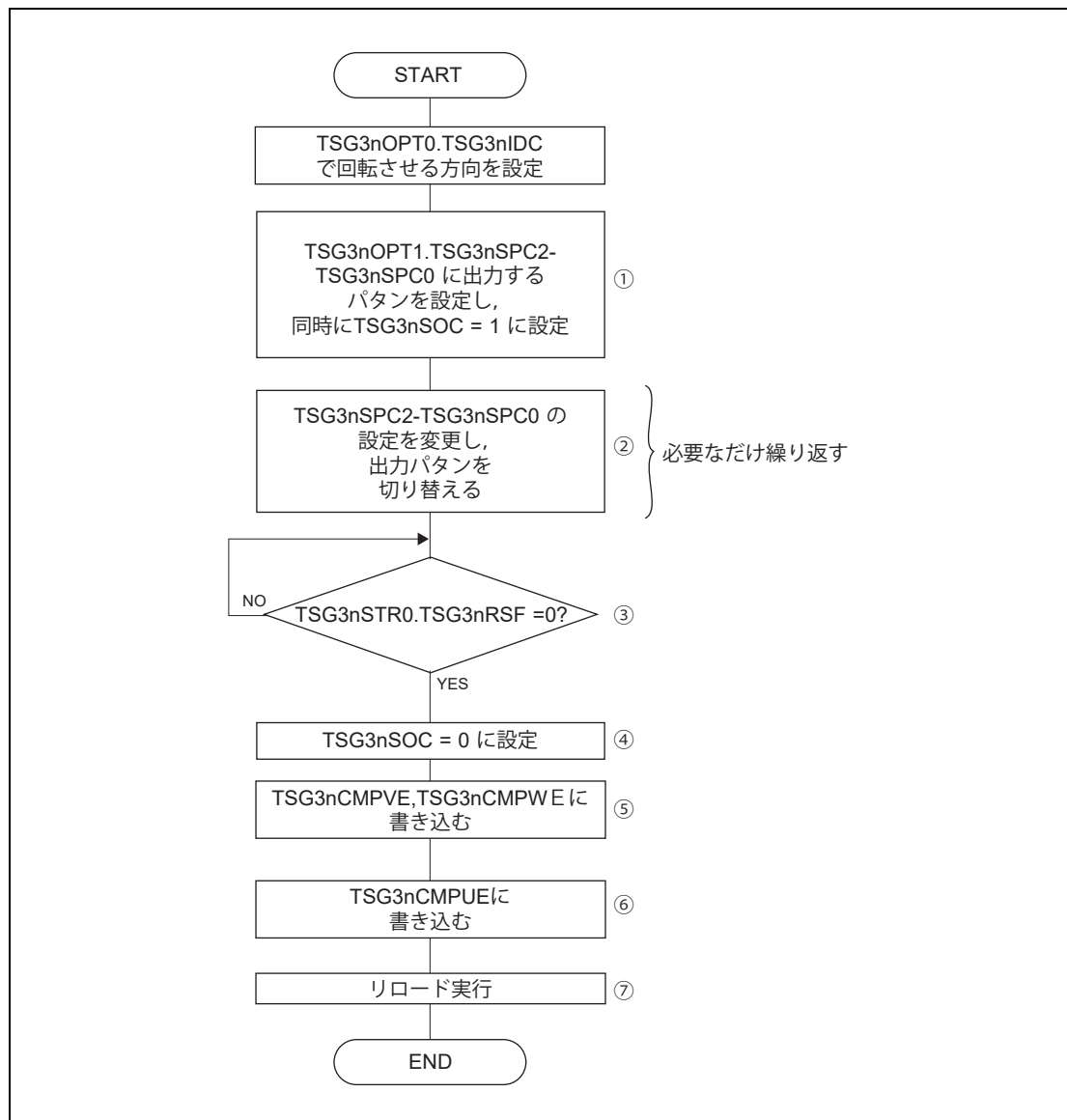


図 25.69 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

- ① TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nOPT0.TSG3nSOC = 1 にします。
- ② TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
- ③ リロード要求フラグ (TSG3nSTR0.TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF = 0 になるまで次の手順に移行しないでください。
- ④ TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
- ⑤ ソフトウェア出力制御解除後に必要なコンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
- ⑥ TSG3nCMPUE (TSG3nCMP1E) に書き込みを行い、リロードを起動します。
- ⑦ リロードが実行され、ソフトウェア出力を解除します。

注 意

③, ④, ⑤, ⑥の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

(10) HT-PWM モードの非対称三角波制御

HT-PWM モードでは、U相、V相、W相の各相のセットタイミングとクリアタイミングを双方異なるタイミングで設定することにより非対称三角波で制御することができます。

以下では、対称三角波と異なる内容について説明します。

(a) PWM の設定について

対称三角波では、U相、V相、W相の設定を TSG3nCMPUE、TSG3nCMPVE、TSG3nCMPWE にてセットタイミング、クリアタイミングを同一値に設定することで各相の出力制御をしていました。非対称三角波では、TSG3nCMPmE を以下のように設定することで各相の出力制御をします。(m = 1, 2, 5, 6, 9, 10)

前提条件

- TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E で、U相、V相、W相の電圧データ信号の PWM のクリアタイミングを設定します。
- TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E で、U相、V相、W相の電圧データ信号の PWM のセットタイミングを設定します。
- セットタイミング、クリアタイミングは、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E で、各相の設定を行うことができます。
- TSG3nCMPmE は偶数値のみ設定可能です。(m = 1, 2, 5, 6, 9, 10)

(b) タイマ出力について

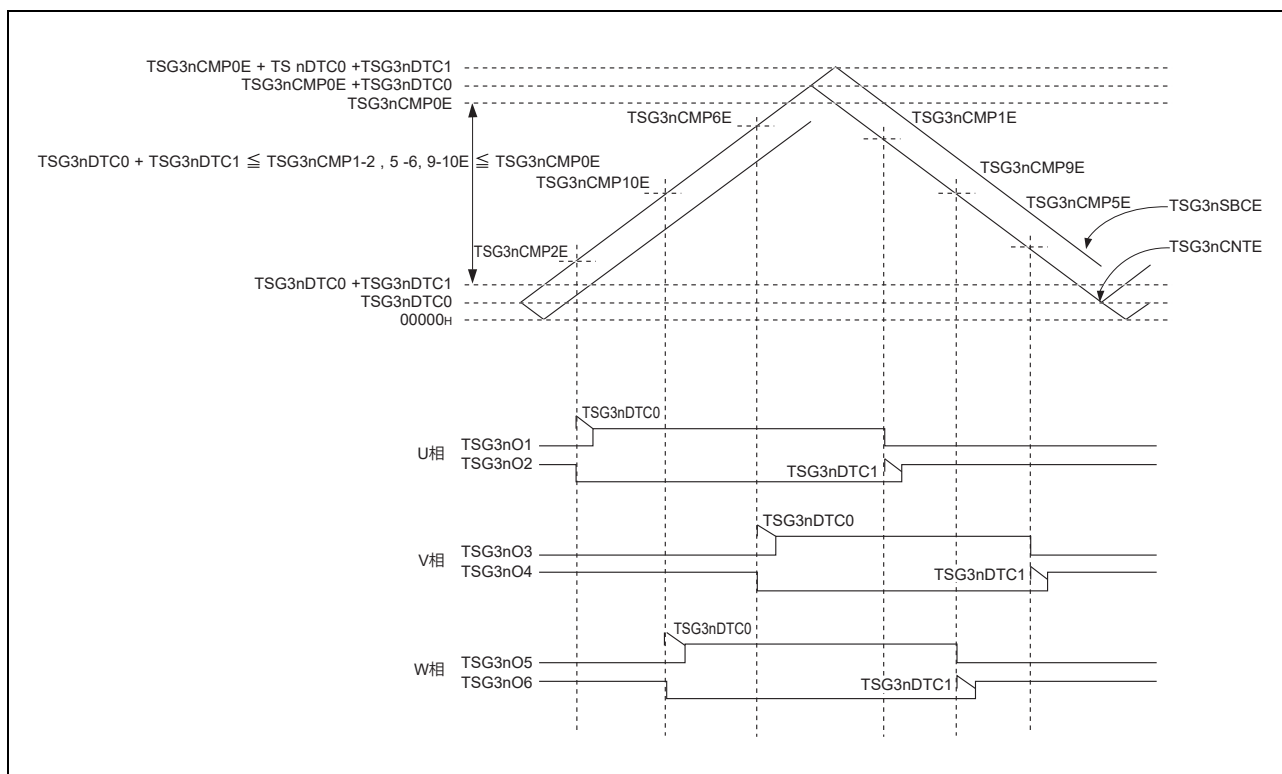


図 25.70 HT-PWM モード：タイマ出力波形例

備考

非対称三角波で出力制御する場合、 $TSG3nCMPmE$ の設定は次の条件となります ($m = 1, 2, 5, 6, 9, 10$)。

- $TSG3nDTC0 + TSG3nDTC1 \leq TSG3nCMPmE \leq TSG3nCMP0E$
- $TSG3nCMPmE = TSG3nCMP(m+1)E$ 、もしくは $TSG3nCMPmE = TSG3nCMP(m+1)E + 2$ の場合のみ、対称三角波と同じ「 $00000_H \leq TSG3nCMPmE \leq TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1$ 」の条件で設定可能です。

25.4.7.3 SP-PWM モード (Shifted-pulse - Pulse Width Modulation モード)

概要

18 ビットカウンタと、18 ビットコンペアレジスタを使用して、6 相 PWM を生成できます。

前提条件

- TSG3nCMP0E には、PWM 周期を設定します。
- U 相、V 相、W 相のセット/クリアタイミングを TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E (セットタイミング)、TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E (U 相、V 相、W 相のクリアタイミング) で設定します (セットタイミングとクリアタイミングで制御する場合)。
- U 相、V 相、W 相のセットタイミングとアクティブ期間を TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E (セットタイミング)、TSG3nUPWE, TSG3nVPWE, TSG3nWPWE (アクティブ期間) で設定します。
このとき、TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E は、TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E に設定した値と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE へ設定した値とを加算した値が設定されます (セットタイミングとアクティブ期間で制御する場合)。加算した値が $3FFFF_H$ を超えないよう設定してください。超えた場合は 19 bit 以上の値は切り捨てとなります。

機能説明

搬送波の周期を設定、U 相、V 相、W 相のセットタイミングおよびデューティを設定。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18 ビットカウンタは、 00000_H よりカウントを行い、TSG3nCMP0E との一致でカウンタをクリアします。

デッドタイムは、TSG3nDTC0, TSG3nDTC1 で設定し、TSG3nDTC0 は逆相 (OFF) → 正相 (ON) のデッドタイムを、TSG3nDTC1 は正相 (OFF) → 逆相 (ON) のデッドタイムを設定することができます。デッドタイム生成用の 10 ビットカウンタ (TSG3nDTT1-TSG3nDTT3) は、18 ビットカウンタと TSG3nCmPmE バッファレジスタのコンペア一致で TSG3nDTC0, TSG3nDTC1 の設定値をロードし、ダウンカウントを行います。(m = 1, 2, 5, 6, 9, 10)

18 ビットカウンタと、TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E バッファレジスタのコンペア一致で、それぞれ INTTSG3nIm 割り込み (m = 1, 2, 5, 6, 9, 10) を発生します。

備考

SP-PWM モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 010_B に設定したときに有効となります。

(1) 基本タイミング図

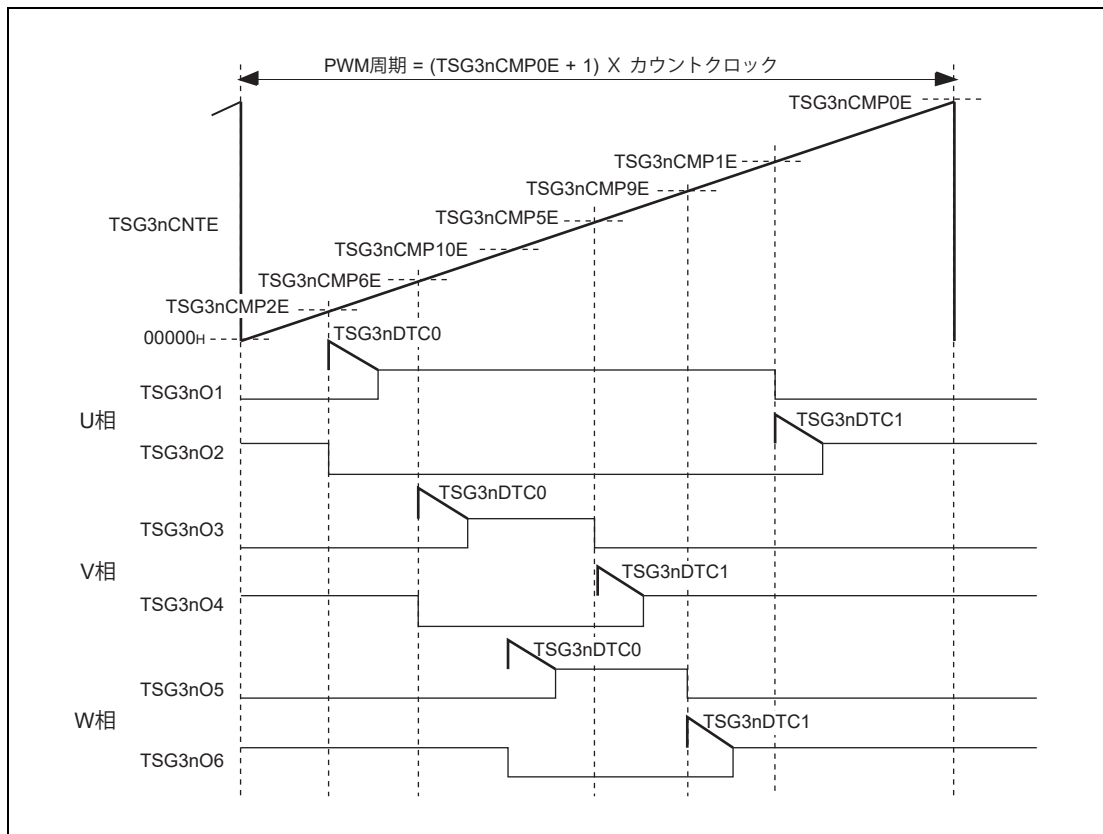


図 25.71 SP-PWM モード時の基本タイミング

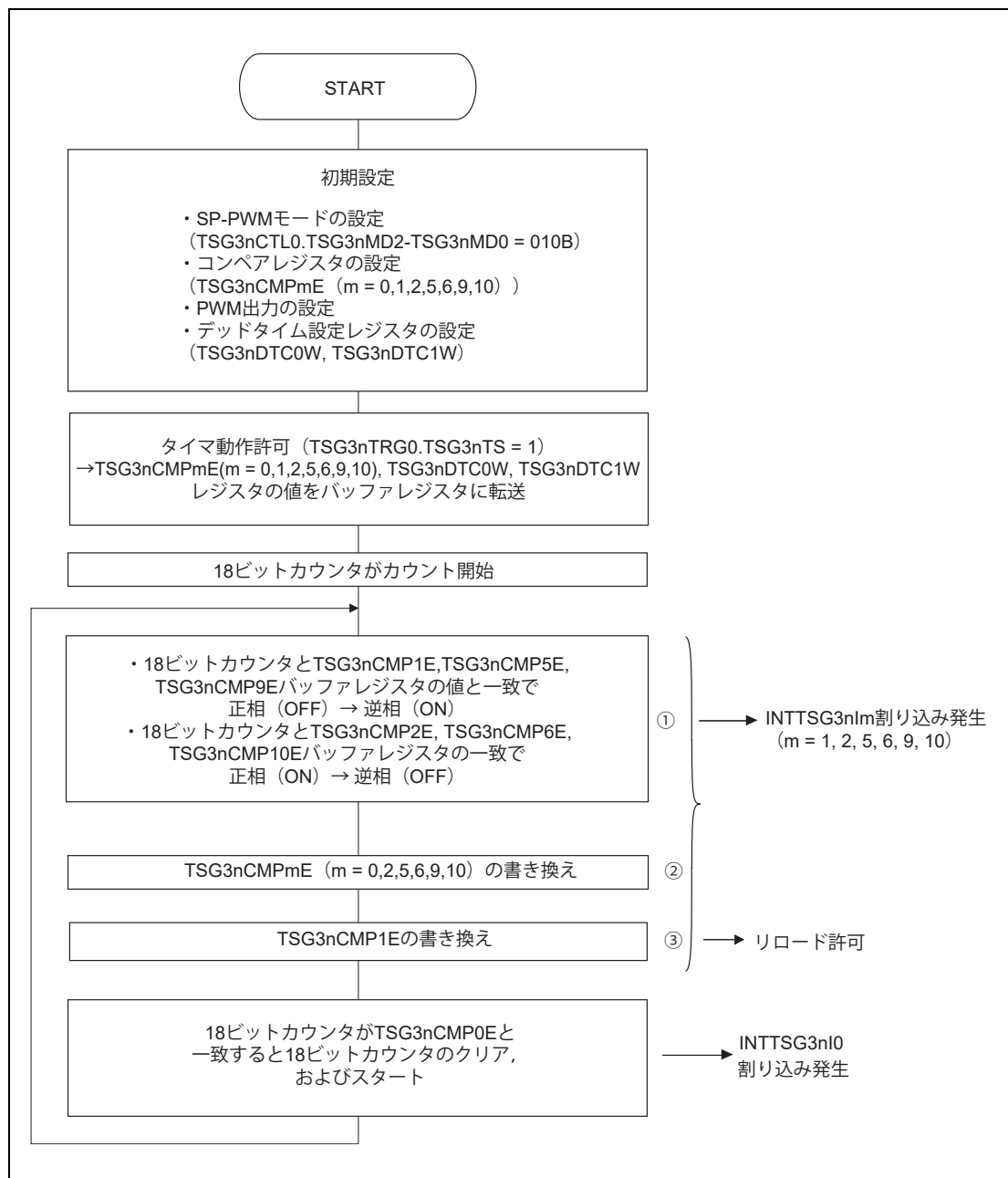


図 25.72 SP-PWM モード時の基本動作フロー

備考

順番は、②, ③の書き換えタイミング、TSG3nCmP1E の値などにより①のタイミングが異なる場合がありますが、②と③では必ず③を最後にしてください。

(2) SP-PWM モード動作一覧

表 25.68 SP-PWM モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペアー一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 25.69 SP-PWM モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード/随時書き換え	可能	周期
TSG3nUPWE	リロード/随時書き換え	可能	U 相用 PWM 制御
TSG3nCMP1E, TSG3nCMP2E	リロード/随時書き換え		
TSG3nVPWE	リロード/随時書き換え	可能	V 相用 PWM 制御
TSG3nCMP5E, TSG3nCMP6E	リロード/随時書き換え		
TSG3nWPWE, TSG3nCMP9E, TSG3nCMP10E	リロード/随時書き換え	可能	W 相用 PWM 制御
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード/随時書き換え		
TSG3nDTC0W, TSG3nDTC1W	リロード	可能	周期、デッドタイム

表 25.70 SP-PWM モード : タイマ入力機能

端子	機能
TSG3nCLKI	クロックイネーブル入力

表 25.71 SP-PWM モード : 出力機能

端子	機能
TSG3nO1	TSG3nCMP1E バッファレジスタ (クリアタイミング)、TSG3nCMP2E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペアー一致による PWM 出力 (デッドタイム付き)
TSG3nO2	TSG3nO1 に対する逆相出力 (デッドタイム付き)
TSG3nO3	TSG3nCMP5E バッファレジスタ (クリアタイミング)、TSG3nCMP6E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペアー一致による PWM 出力 (デッドタイム付き)
TSG3nO4	TSG3nO3 に対する逆相出力 (デッドタイム付き)
TSG3nO5	TSG3nCMP9E バッファレジスタ (クリアタイミング)、TSG3nCMP10E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペアー一致による PWM 出力 (デッドタイム付き)
TSG3nO6	TSG3nO5 に対する逆相出力 (デッドタイム付き)
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

表 25.72 SP-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0, 1, 2, 5, 6, 9, 10)	TSG3nCmPE バッファレジスタと 18 ビットカウンタのコンペアー一致 (m = 0, 1, 2, 5, 6, 9, 10)
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 割り込みと同タイミングで発生)
INTTSG3nIWN	ワーニング

表 25.73 SP-PWM モード : コンペアー一致タイミング

コンペアー一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1, 2, 5, 6, 9, 10)	18 ビットカウンタと TSG3nCMPmE の一致検出後 (m = 1, 2, 5, 6, 9, 10)

表 25.74 SP-PWM モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nO1, TSG3nO3, TSG3nO5	PWM 出力	(TSG3nCMP0E + 1) × カウントクロック	1 周期の期間内すべて インアクティブレベル 出力 (デューティ 0%)	TSG3nCMPmE = TSG3nCMP(m+1)E もしくは TSG3nCMP(m+1)E > TSG3nCMP0E (m = 1, 5, 9)
			1 周期で 1 カウントク ロックのアクティブレ ベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E + 1 TSG3nCMP(m+1)E = TSG3nCMPmE - 1 (m = 1, 5, 9)
			1 周期で 1 カウントク ロックのインアクティ ブレベル出力	TSG3nCMPmE = TSG3nCMP(m+1)E - 1 TSG3nCMP(m+1)E = TSG3nCMPmE + 1 (m = 1, 5, 9)
			1 周期の期間内すべて アクティブレベル出力 (デューティ 100%)	TSG3nCMPmE > TSG3nCMP0E TSG3nCMP(m+1)E ≤ TSG3nCMP0E (m = 1, 5, 9)
TSG3nO2, TSG3nO4, TSG3nO6	PWM 出力	(TSG3nCMP0E + 1) × カウントクロック	1 周期の期間内すべて インアクティブレベル 出力 (デューティ 0%)	TSG3nCMP(m-1)E > TSG3nCMP0E (m = 2, 6, 10)
			1 周期で 1 カウントク ロックのアクティブレ ベル出力	TSG3nCMPmE = TSG3nCMP(m-1)E - 1 TSG3nCMP(m-1)E = TSG3nCMPmE + 1 (m = 2, 6, 10)
			1 周期で 1 カウントク ロックのインアクティ ブレベル出力	TSG3nCMPmE = TSG3nCMP(m-1)E + 1 TSG3nCMP(m-1)E = TSG3nCMPmE - 1 (m = 2, 6, 10)
			1 周期の期間内すべて アクティブレベル出力 (デューティ 100%)	TSG3nCMPmE = TSG3nCMP(m-1)E もしくは TSG3nCMPmE > TSG3nCMP0E (m = 2, 6, 10)
TSG3nO7	ダイアグ出力も しくは A/D 変 換トリガによる パルス出力	(TSG3nCMP0E + 1) × カウントクロック	「25.4.5 A/D 変換トリガ機能」を参照	

(3) SP-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 010B に設定することで SP-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0, TSG3nIOC2, TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「**25.4.6 エラー／ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード (一斉書き換え) / 随時書き換えを行います (デフォルト “0” リロード)。リロードを行う場合は、TSG3nCTL4.TSG3nPRE を必ずセット (1) してください。

TSG3nPRE が “0” の場合はリロードタイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5.TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップカウント) による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6.TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0, TSG3nADTRG1 信号に対しては、間引き機能が使用できます。TSG3nCTL5 の TSG3nACC01, TSG3nACC00, および TSG3nCTL6 の TSG3nACC11, TSG3nACC10 を使用して、間引き無し / 1 間引き / 3 間引き / 7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5, TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
- SP-PWM モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため TSG3nCTL5, TSG3nCTL6 の TSG3nAT00, TSG3nAT10 は必ず “0” に設定してください。
- SP-PWM モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT09, TSG3nAT08, TSG3nAT19, TSG3nAT18 は必ず “0” に設定してください。

- SP-PWM モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため TSG3nCTL5, TSG3nCTL6 の TSG3nAT07, TSG3nAT05, TSG3nAT03, TSG3nAT17, TSG3nAT15, TSG3nAT13 は必ず“0”に設定してください。

デッドタイムの設定

TSG3nDTC0, TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$PCLK \times TSG3nDTC0$$

$$PCLK \times TSG3nDTC1$$

TSG3nDTC0 は、TSG3nO2, TSG3nO4, TSG3nO6 端子のインアクティブ変化→ TSG3nO1, TSG3nO3, TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1, TSG3nO3, TSG3nO5 端子のインアクティブ変化→ TSG3nO2, TSG3nO4, TSG3nO6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$TSG3nCMP0E = (\text{搬送波周期} / \text{カウントクロック周期}) - 1$$

注 意

TSG3nCMP0E = 3FFFF_H で設定した場合、デューティ 100% の PWM 出力はできません。

デューティ (PWM 幅) の設定

TSG3nCMPmE と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE でそれぞれ U 相、V 相、W 相のデューティ設定を行います。(m = 1, 2, 5, 6, 9, 10)

- TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E で U 相、V 相、W 相のセットタイミングを設定し、TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E で U 相、V 相、W 相のクリアタイミングを設定します (セットタイミングとクリアタイミングの設定で制御する場合)。
- TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E で U 相、V 相、W 相のセットタイミングを設定し、TSG3nUPWE, TSG3nVPWE, TSG3nWPWE でアクティブ期間を設定します。このとき、TSG3nCMP1E, TSG3nCMP5E, TSG3nCMP9E は、TSG3nCMP2E, TSG3nCMP6E, TSG3nCMP10E に設定した値と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE へ設定した値とを加算した値が設定されます (セットタイミングとアクティブ期間の設定で制御する場合)。

(4) SP-PWM モード時のデッドタイム制御

SP-PWM モードでは、デューティ用の設定レジスタは TSG3nCMPmE (m = 1, 2, 5, 6, 9, 10) と TSG3nUPWE, TSG3nVPWE, TSG3nWPWE とし、周期用の設定レジスタは TSG3nCMP0E となります。このレジスタを使用することで、デューティ可変型の 6 相 PWM 波形を出力できます。デッドタイム制御を実現するために、18 ビットカウンタのカウントクロックに同期して動作する 6 本の 10 ビットダウンカウンタと、デッドタイム設定レジスタ (TSG3nDTC0W, TSG3nDTC1W) があります。TSG3nDTC0W レジスタは、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッドタイムの設定であり、TSG3nDTC1W レジスタは、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッドタイムの設定です。

動作停止 (TSG3nTE = 0) 設定と、デッドタイム挿入タイミングが重なった場合でもデッドタイムカウンタは動作を継続し、TSG3nO1, 2 に設定したデッドタイムは必ず挿入します。

次に出力波形例を示します。

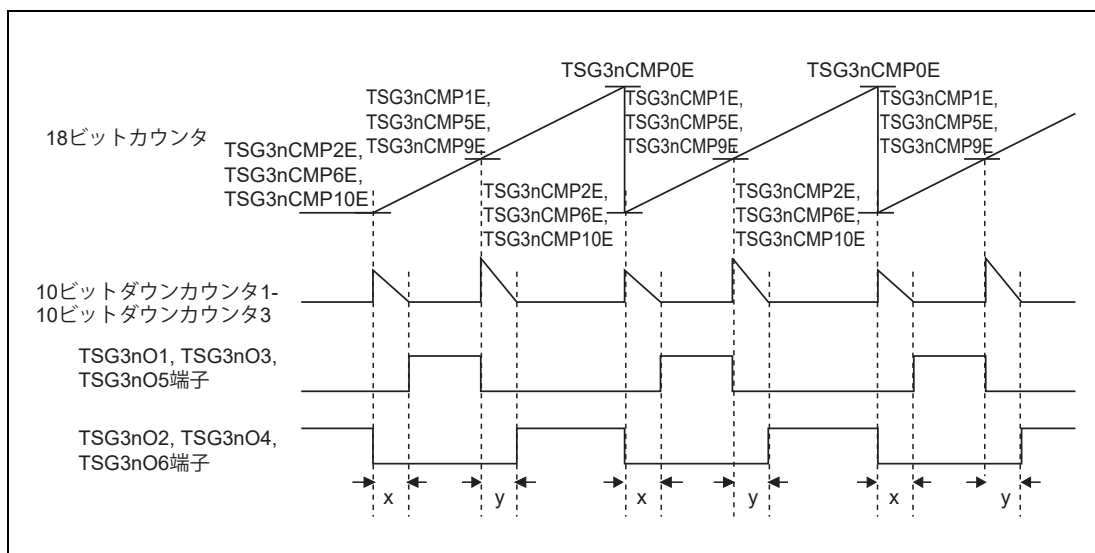


図 25.73 SP-PWM モード時の出力波形例

備考

x : TSG3nDTC0 レジスタ、y : TSG3nDTC1 レジスタ

(5) SP-PWM モード時のソフトウェア出力制御機能

TSG3nOPT0.TSG3nSOC, TSG3nIDC, TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 25.74 に示すように、TSG3nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、TSG3nSOC = 0 にしたタイミングでは出力を保持し、リロードタイミングが発生した時点で、SP-PWM モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「**25.4.7.8 ソフトウェア出力制御機能**」を参照してください。

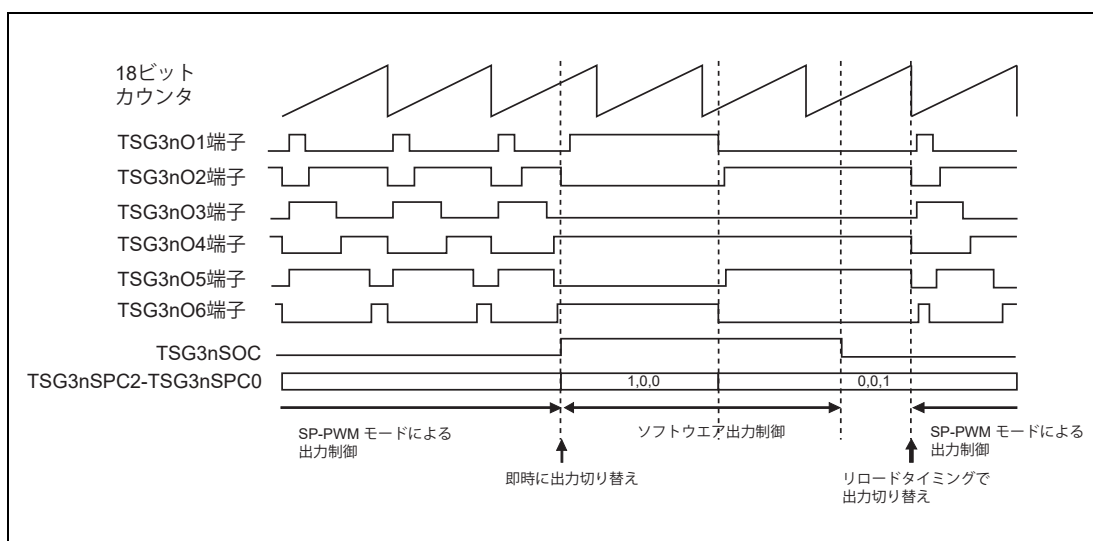


図 25.74 SP-PWM モードからソフトウェア出力制御機能の切り替え例

(a) ソフトウェア出力制御の処理手順

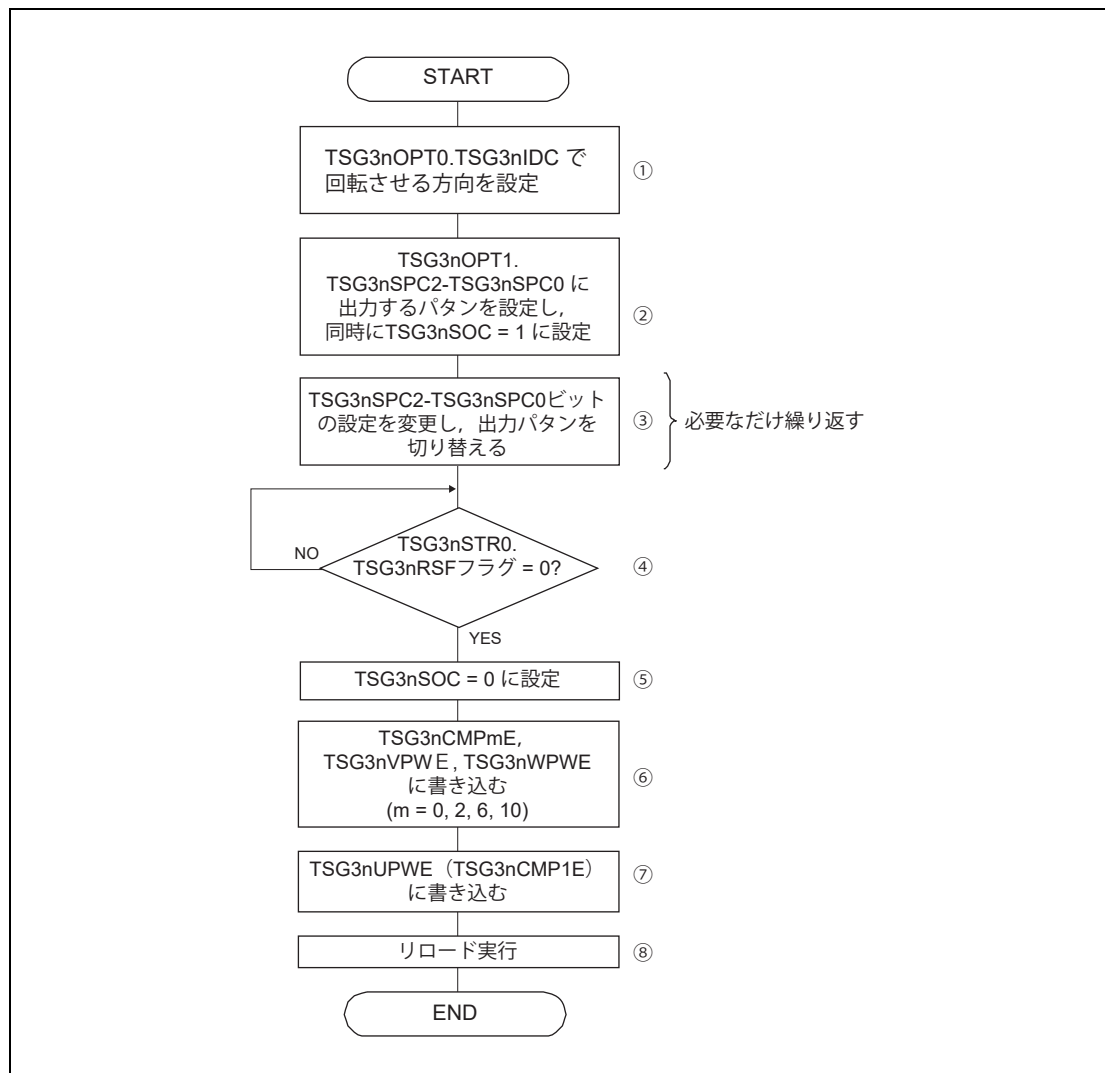


図 25.75 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

- ①電流方向を決定するため、TSG3nIDC の設定を行います。TSG3nIDC = 0 の場合と、TSG3nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウェア出力制御機能において、このビットを書き換えた場合、次のタイマ周期で新しい設定に応じた出力パターンに切り替わります。
- ② TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nSOC = 1 にします。
- ③ TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
- ④リロード要求フラグ (TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF = 0 になるまで次の手順に移行しないでください。
- ⑤ TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。
- ⑥ソフトウェア出力制御解除後に必要な、コンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
- ⑦ TSG3nUPWE (TSG3nCMP1E) に書き込みを行い、リロードを起動します。
- ⑧リロードが実行され、ソフトウェア出力を解除します。

注 意

④, ⑤, ⑥, ⑦の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

25.4.7.4 120-DC モード

概要

TSG3nCMP0E の PWM 周期、TSG3nCMP1E-TSG3nCMP12E のデューティによるタイマ出力 (TSG3nO1-TSG3nO6) を 3 種類 (ソフトウェア出力制御方式、パターン切り替え方式、トリガ切り替え方式) のパターン入力で出力制御を行い、120-DC 制御を実現します。

前提条件

- TSG3nCMP0E には、PWM 周期を設定します。
- TSG3nCMP1E-TSG3nCMP12E には、PWM のデューティを設定、TSG3nPAT0W, TSG3nPAT1W に出力パターンを設定します。

機能説明

PWM 周期を設定、各コンペアレジスタにデューティを設定、パターンレジスタに各パタンの出力対象を設定します。TSG3nTRG0.TSG3nTS = 1 にすると、カウントアップを開始します。

18 ビットカウンタは、00000_H よりカウントを行い、TSG3nCMP0E との一致でカウンタをクリアします。

18 ビットカウンタと、TSG3nCMP1E-TSG3nCMP12E バッファレジスタのコンペア一致で、それぞれ INTTSG3nI1-INTTSG3nI12 割り込みを発生します。

備考

120-DC モードは TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 011_B に設定したときに有効となります。

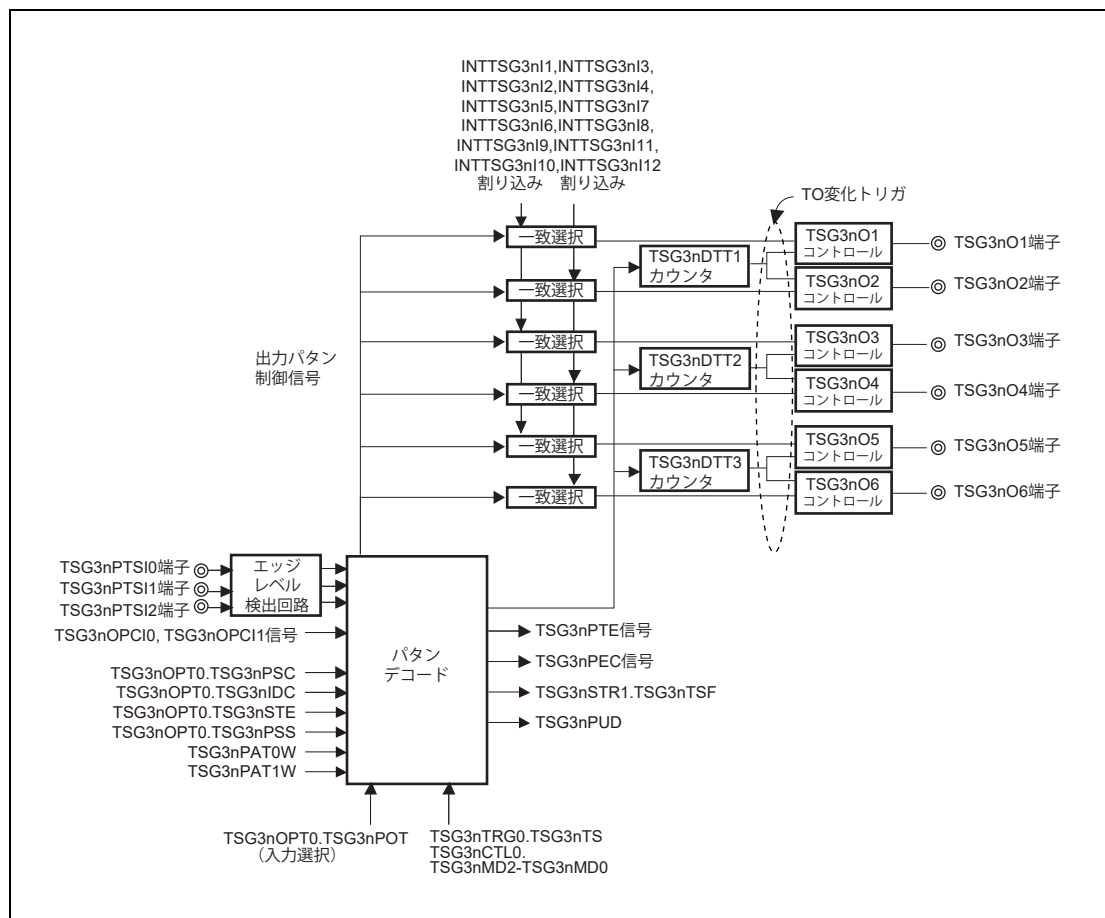


図 25.76 120-DC モード時のブロック構成図

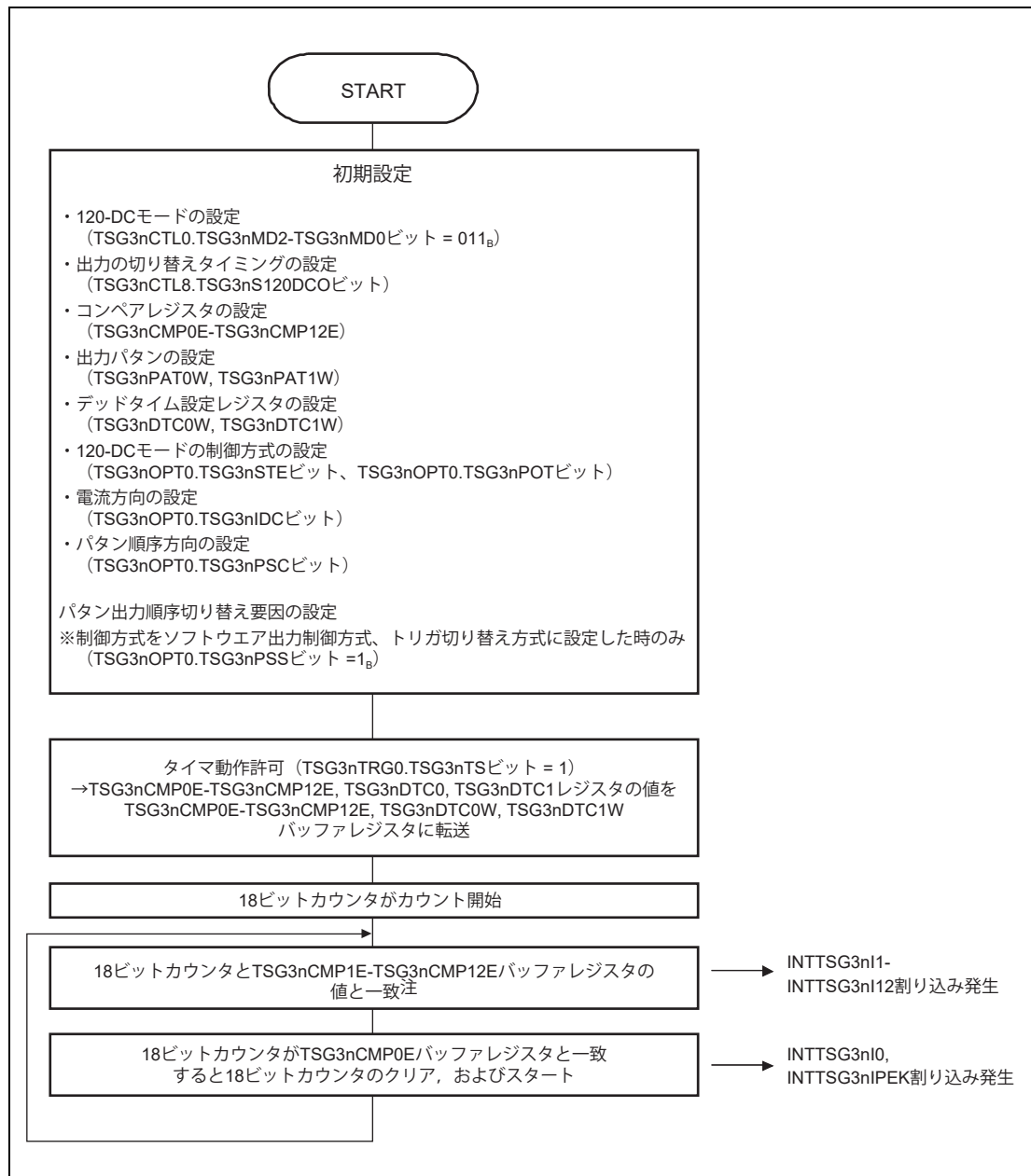


図 25.77 120-DC モード時の基本動作フロー

備 考

18 ビットカウンタと TSG3nCMP1E-TSG3nCMP12E バッファレジスタとの一致では、18 ビットカウンタはクリアされません。

(1) 120-DC モード動作一覧

表 25.75 120-DC モード : カウンタ機能

動作		設定条件
18 ビット カウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCTL8.TSG3nS120DCO = 0 の時は TSG3nCMP0E と 18 ビットカウンタの一致、もしくは、出力パタンの切り替えタイミング TSG3nCTL8.TSG3nS120DCO = 1 の時は TSG3nCMP0E と 18 ビットカウンタの一致タイミング
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 25.76 120-DC モード : コンペアレジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード	可能	周期
TSG3nCMPmE (m = 1-12)	リロード	可能	PWM デューティ
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	可能	デッドタイム

表 25.77 120-DC モード : タイマ入力機能

端子/信号	機能
TSG3nCLKI 端子	クロックイネーブル入力
TSG3nPTSI2-TSG3nPTSI0 端子	パターン入力 (3 相)
TSG3nOPCI0, TSG3nOPCI1 信号	トリガ入力

表 25.78 120-DC モード : タイマ出力機能

端子/信号	機能
TSG3nO1 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO2 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO3 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO4 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO5 端子	TSG3nCMPmE バッファレジスタ (m = 1, 2, 5, 6, 9, 10) と 18 ビットカウンタのコンペア一致と TSG3nPAT0W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO6 端子	TSG3nCMPmE バッファレジスタ (m = 3, 4, 7, 8, 11, 12) と 18 ビットカウンタのコンペア一致と TSG3nPAT1W の設定で選択される出力パターンに応じた PWM 出力 (デッドタイム付き)
TSG3nO7 端子	ダイアグ出力もしくは A/D 変換トリガによるパルス出力
TSG3nPTE 信号	パターン入力の変化によるトグル信号

表 25.79 120-DC モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0-12)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペアー致 (m = 0-12)
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同タイミングで発生)
INTTSG3nIWN	ワーニング

表 25.80 120-DC モード : コンペアー致タイミング

コンペアー致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1-12)	18 ビットカウンタと TSG3nCMPmE 一致検出後 (m = 1-12)

表 25.81 120-DC モード : タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSG3nOm (m = 1-6)	PWM 出力	(TSG3nCMP0E + 1) × カウントクロック	「(6) 120-DC モードの 出力パターン一覧」を参 照	—
TSG3nO7	ダイアグ出力も しくは A/D 変 換トリガによる パルス出力	(TSG3nCMP0E + 1) × カウントクロック	「25.4.5 A/D 変換トリ ガ機能」を参照	—

(2) 120-DC モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 011_B に設定することで 120-DC モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0, TSG3nIOC2, TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「**25.4.6 エラー／ワーニング割り込み**」を参照してください。

レジスタ書き換えタイミング設定

TSG3nCTL3.TSG3nRMC で、リロード機能付きレジスタに対し、リロード（一斉書き換え）を行います（デフォルト“0”リロード）。リロードを行う場合は、TSG3nCTL4.TSG3nPRE を必ずセット（1）してください。

TSG3nPRE に“0”の場合はリロードタイミングが発生しません。

A/D 変換トリガ

出力の設定 A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5 の TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング（18 ビットカウンタのアップカウント）による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6 の TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0, TSG3nADTRG1 信号に対しては、間引き機能が使用できます。TSG3nCTL5 の TSG3nACC01, TSG3nACC00、および TSG3nCTL6 の TSG3nACC11, TSG3nACC10 を使用して、間引き無し／1 間引き／3 間引き／7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5, TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
- 120-DC モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため TSG3nCTL5, TSG3nCTL6 の TSG3nAT00, TSG3nAT10 は必ず“0”に設定してください。
- 120-DC モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT09, TSG3nAT08, TSG3nAT19, TSG3nAT18 は必ず“0”に設定してください。

- 120-DC モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため TSG3nCTL5, TSG3nCTL6 の TSG3nAT07, TSG3nAT05, TSG3nAT03, TSG3nAT17, TSG3nAT15, TSG3nAT13 は必ず“0”に設定してください。

デッドタイムの設定

TSG3nDTC0, TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2, TSG3nO4, TSG3nO6 端子のインアクティブ変化→ TSG3nO1, TSG3nO3, TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1, TSG3nO3, TSG3nO5 端子のインアクティブ変化→ TSG3nO2, TSG3nO4, TSG3nO6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式に従い、TSG3nCMP0E で搬送波の周期を設定してください。

$$\text{TSG3nCMP0E} = (\text{搬送波周期} / \text{カウントクロック周期}) - 1$$

デューティ (PWM 幅) の設定

TSG3nCMP1E-TSG3nCMP12E で PWM 出力のデューティ設定を行います。コンペアレジスタの設定範囲は次のようになっています。

$$00000_{\text{H}} \leq \text{TSG3nCMPmE} \leq \text{TSG3nCMP0E} + 1$$

注 意

**TSG3nCMP0E + 1 < TSG3nCMPmE、および TSG3nCMP0E = 3FFFF_H 時のみ
TSG3nCMPmE = TSG3nCMP0E + 1 は設定しないでください。(m = 1-12)**

出力 PWM の設定

120 度制御を行う場合は、TSG3nO1, TSG3nO3, TSG3nO5 端子の出力制御を TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E で行い、TSG3nO2, TSG3nO4, TSG3nO6 端子の出力制御を TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E で行います。PWM 周期 (TSG3nCMP0E) に対して、TSG3nCMP1E-TSG3nCMP12E レジスタでデューティを設定可能です。デューティ 0%にする場合は TSG3nCMP1E-TSG3nCMP12E レジスタに“00000_H”を設定し、デューティ 100%にする場合は、TSG3nCMP1E-TSG3nCMP12E レジスタに TSG3nCMP0E + 1 の値を設定する必要があります。これにより、チョッピング出力制御、矩形波出力制御が可能となります。

(3) 120-DC モードの制御方式

120-DC の制御方式は次の通りです。

表 25.82 120-DC モード : 120DC モードの制御方式

制御方式	機能
ソフトウェア出力制御方式	ソフトウェアで TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を設定することにより、出力パターンを切り替えます
パターン切り替え方式	TSG3nPTSI0-TSG3nPTSI2 のボタン入力信号により出力パターンを切り替えます
トリガ切り替え方式	TSG3nOPCI0, TSG3nOPCI1 のトリガ入力信号によるトリガ切り替え方式、もしくは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のパターン入力設定により、一定の順序により出力パターンを切り替えます

また、TSG3nCTL8.TSG3nS120DCO によって、120-DC モードの入力パターン変更時のタイマ出力の切り替えタイミングを設定することができます。

表 25.83 120-DC モード : TSG3nS120DCO の設定と、120DC モードの動作

TSG3nS120DCO	機能
0	入力パターンが変更すると、メインカウンタ (TSG3nCnTE) をクリアし、即時出力パターンを切り替えます。
1	入力パターンが変更すると、次タイマ周期 (メインカウンタ TSG3nCnTE と TSG3nCMP0E の一致後) に出力パターンを切り替えます。

ソフトウェア出力制御方式の設定

TSG3nOPT0.TSG3nSTE = 0 にすると、ソフトウェア出力制御により出力パターンを切り替えることができます。TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 の設定により TSG3nO1-TSG3nO6 端子の出力を切り替えます。

動作開始時の出力パターンは TSG3nOPT0.TSG3nIDC と TSG3nOPT0.TSG3nPSC で設定します。

ソフトウェア出力制御方式の動作

ソフトウェアにより設定された TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 により、TSG3nO1-TSG3nO6 端子の PWM 出力 (TSG3nCMP1E-TSG3nCMP12E 値で決定される PWM 出力) を選択します。デッドタイムの制御は、各相の信号が立ち下がったタイミングでデッドタイムカウンタが動作し、デッドタイムを挿入します。

18 ビットカウンタは、TSG3nCMP0E に設定した搬送周期でカウントを行います。18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、もしくは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のライト時にカウンタクリアされます (TSG3nS120DCO = 0 の場合)。

この方式では、出力パターン (TSG3nSPC2-TSG3nSPC0)、電流方向制御ビット (TSG3nOPT0.TSG3nIDC)、順序方向制御ビット (TSG3nOPT0.TSG3nPSC) の情報を使用しデコードされたパターンを出力します。図 25.98 はソフトウェア出力制御による出力パターンが変化した場合のタイマ出力を示しています。

また、動作開始 (TSG3nTRG0.TSG3nTS = 1) した直後は、TSG3nSPC2-TSG3nSPC0 の出力パターン、TSG3nIDC, TSG3nPSC (TSG3nOPT0.TSG3nPSS = 1) で設定したパターンを出力します。

パタン切り替え方式の設定

TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 0 にすると、パタン切り替え方式となります。TSG3nPTSI2-TSG3nPTSI0 端子の変化タイミングで TSG3nO1-TSG3nO6 端子の出力パタンを切り替えます。

動作開始時の出力パタンは TSG3nOPT0.TSG3nIDC と TSG3nOPT0.TSG3nPSC で設定します。ただし、回転方向が決定したあと (TSG3nSTR1.TSG3nTSF に値がセットされたあと) は、TSG3nPSC の設定は無効になります。

パタン切り替え方式の動作

TSG3nPTSI2-TSG3nPTSI0 端子 (ホールセンサからの 3 入力) に対してレベル検出を行い、レベル検出した後の信号をデコードします。このデコード結果を判断して、TSG3nO1-TSG3nO6 端子の PWM 出力 (TSG3nCMP1E-TSG3nCMP12E 値で決定される PWM 出力) を選択します。デッドタイムの制御は、各相の信号が立ち下がったタイミングでデッドタイムカウンタが動作し、デッドタイムを挿入します。

18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、もしくは、TSG3nS120DCO = 0 設定で入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) の変化した時にカウンタクリアされます。

この方式では、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子)、電流方向を制御するビット (TSG3nOPT0.TSG3nIDC)、TSG3nPTSI2-TSG3nPTSI0 順序検出フラグ (TSG3nSTR1.TSG3nTSF) の情報を使用してデコードされたパタンを出力します。図 25.80 ~ 図 25.83 は TSG3nPTSI2-TSG3nPTSI0 端子が変化した場合のタイマ出力を示しています。

また、動作開始 (TSG3nTRG0.TSG3nTS = 1) した直後は、TSG3nPTSI2-TSG3nPTSI0 端子の入力レベル、TSG3nIDC、TSG3nPSC で設定したパタンを出力します。その後、TSG3nPTSI2-TSG3nPTSI0 端子が変化すると、変化した順序方向により TSG3nTSF を決定します。TSG3nTSF の値が決定した後は、TSG3nPSC の代わりに TSG3nTSF で設定されるパタンを出力します。

注 意

3 相パルス入力信号を TSG3nPTSI2-TSG3nPTSI0 端子に接続するときに、3 相パルス入力値と、TSG3nO1-TSG3nO6 端子から出力するパタンが期待する条件であることを確認してください。

期待する条件と異なる場合は、3 相パルス入力信号と TSG3nPTSI2-TSG3nPTSI0 端子の接続を変更してください。

トリガ切り替え方式の設定

TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 1 に設定すると、トリガ切り替え方式となります。外部入力 (TSG3nOPCI1, TSG3nOPCI0 信号) の立ち上がりで TSG3nO1-TSG3nO6 端子の出力パタンを切り替えます。

パタンの出力順序に関しては、「19.4.7.6(5) 120-DC モードの動作」を参照してください。

初期出力パタンは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 で制御できます。

TSG3nSPC2-TSG3nSPC0 で設定後、TSG3n 動作開始 (TSG3nTRG0.TSG3nTS = 1) に設定した時点で、初期パタンが出力されます。詳細は「19.4.7.6 (6) 120-DC モードの出力パターン一覧」を参照してください。

トリガ切り替え方式の動作

トリガ入力切り替え方式は、TSG3nOPCI0, TSG3nOPCI1 信号の立ち上がりを検出し、出力切り替えタイミングを生成します。タイマ出力の初期パターンは、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 で設定します。初期パターン以降の出力パターンは、TSG3nOPCI0, TSG3nOPCI1 信号の立ち上がりを検出し切り替わります。また TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を設定し出力パターンを切り替えることも可能です。

18 ビットカウンタは、TSG3nCMP0E に設定した搬送周期でカウントを行います。18 ビットカウンタは、18 ビットカウンタと TSG3nCMP0E の一致、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 のライト時、もしくは、TSG3nOPCI0, TSG3nOPCI1 信号の立ち上がりを検出時にカウンタクリアされます (TSG3nS120DCO = 0 の場合)。

トリガ入力切り替え方式時の 120-DC モード動作例は、**図 25.80** ~ **図 25.83** を参照してください。

注 意

TSG3nPTSI2-TSG3nPTSI0 端子が接続されるポートの入カレベルをリードし、初期パターンを設定してください。

(4) 120-DC モードのタイマ出力

120-DC モードでは、PWM 出力を TSG3nPAT0W, TSG3nPAT1W、および TSG3nCMP1E-TSG3nCMP12E で制御します。TSG3nO1, TSG3nO3, TSG3nO5 端子の出力では TSG3nPAT0W と TSG3nCMP1E, TSG3nCMP2E, TSG3nCMP5E, TSG3nCMP6E, TSG3nCMP9E, TSG3nCMP10E を設定します。TSG3nO2, TSG3nO4, TSG3nO6 端子の出力では TSG3nPAT1W と TSG3nCMP3E, TSG3nCMP4E, TSG3nCMP7E, TSG3nCMP8E, TSG3nCMP11E, TSG3nCMP12E を設定します。

PWM の出力制御では、TSG3nO1, TSG3nO3, TSG3nO5 端子および TSG3nO2, TSG3nO4, TSG3nO6 端子の出力パターンを各 8 種類選択できます。

表 25.84 TSG3nPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウレベル固定
001	TSG3nCMP1E で設定した PWM 出力
010	TSG3nCMP2E で設定した PWM 出力
011	TSG3nCMP5E で設定した PWM 出力
100	TSG3nCMP6E で設定した PWM 出力
101	TSG3nCMP9E で設定した PWM 出力
110	TSG3nCMP10E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

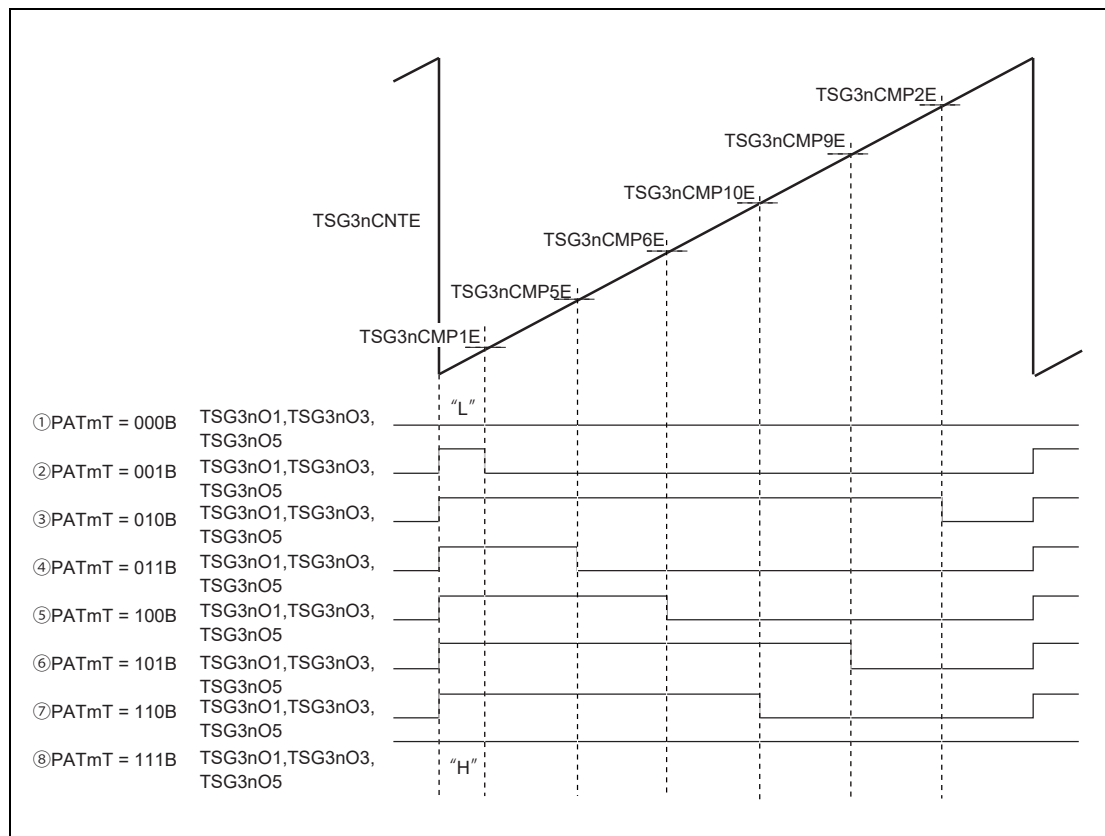


図 25.78 出力パターン別の TSG3nO1, TSG3nO3, TSG3nO5 端子出力

表 25.85 TSG3nPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウレベル固定
001	TSG3nCMP3E で設定した PWM 出力
010	TSG3nCMP4E で設定した PWM 出力
011	TSG3nCMP7E で設定した PWM 出力
100	TSG3nCMP8E で設定した PWM 出力
101	TSG3nCMP11E で設定した PWM 出力
110	TSG3nCMP12E で設定した PWM 出力
111	ハイレベル固定

備考 m = 0, 1, 2, 3, 4, 5

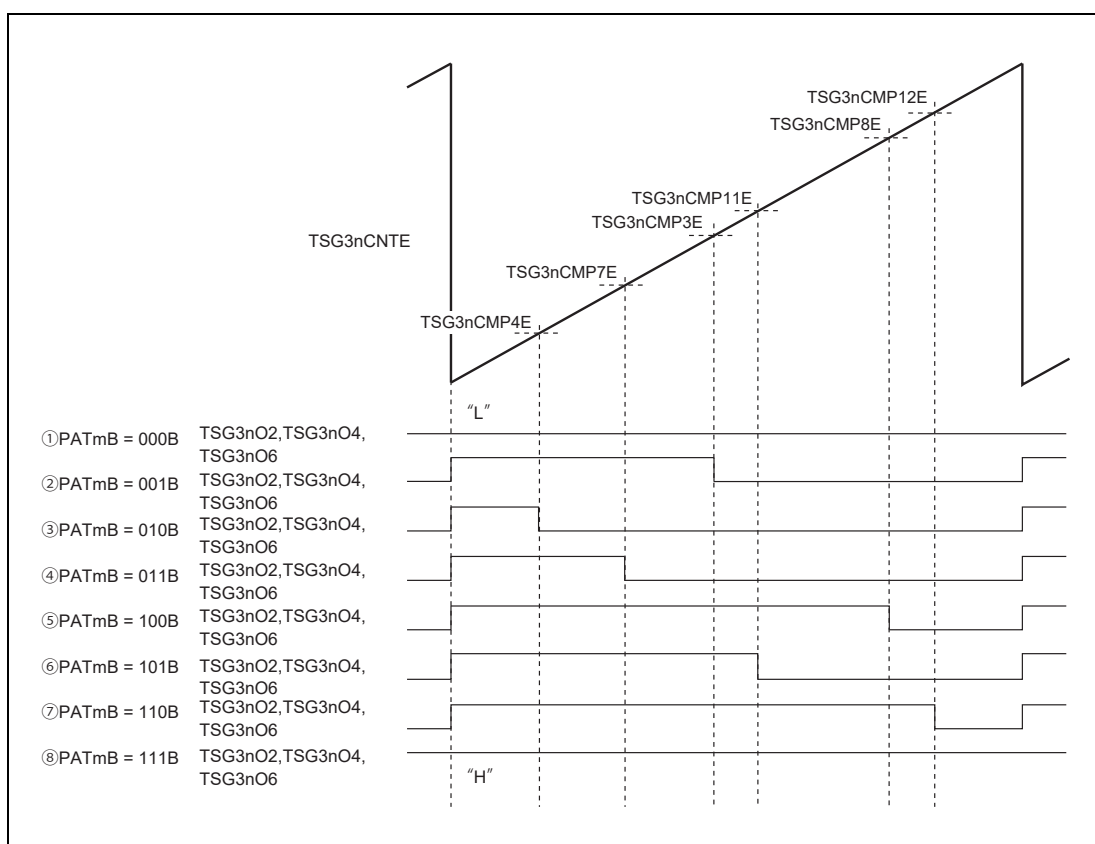


図 25.79 出力パターン別の TSG3nO2, TSG3nO4, TSG3nO6 端子出力

(5) 120-DC モードの動作

図 25.80 ~ 図 25.83 に、120-DC モードの動作例を示します。

TSG3nO1-TSG3nO6 端子は TSG3nPTSI2-TSG3nPTSI0 端子の入力レベルの変化タイミングを検出し、出力パターンを変化させます。18 ビットカウンタはのこぎり波動作を行い、TSG3nCMP0E-TSG3nCMP12E による PWM 出力を行います。TSG3nS120DCO = 0 の場合、18 ビットカウンタは、TSG3nCMP0E レジスタ値との一致、もしくは、TSG3nPTSI2-TSG3nPTSI0 端子の変化を検出するごとに 00000_H にクリアされ、タイマ出力パターンは、TSG3nPTSI2-TSG3nPTSI0 端子の変化を検出するごとに切り替わります。

一方、TSG3nS120DCO = 1 の場合、18 ビットカウンタは、TSG3nCMP0E レジスタ値との一致でクリアされますが、TSG3nPTSI2-TSG3nPTSI0 端子の変化ではクリアされず、タイマ出力パターンは、次の TSG3nCNTE と TSG3nCMP0E の一致タイミングで、新しい TSG3nPTSI2-TSG3nPTSI0 端子のパターンに応じたタイマ出力に切り替わります。

備 考

PAT0T-PAT5T, PAT0B-PAT5B は、それぞれ TSG3nCMP1E-TSG3nCMP12E レジスタ設定の PWM 動作を示しています。

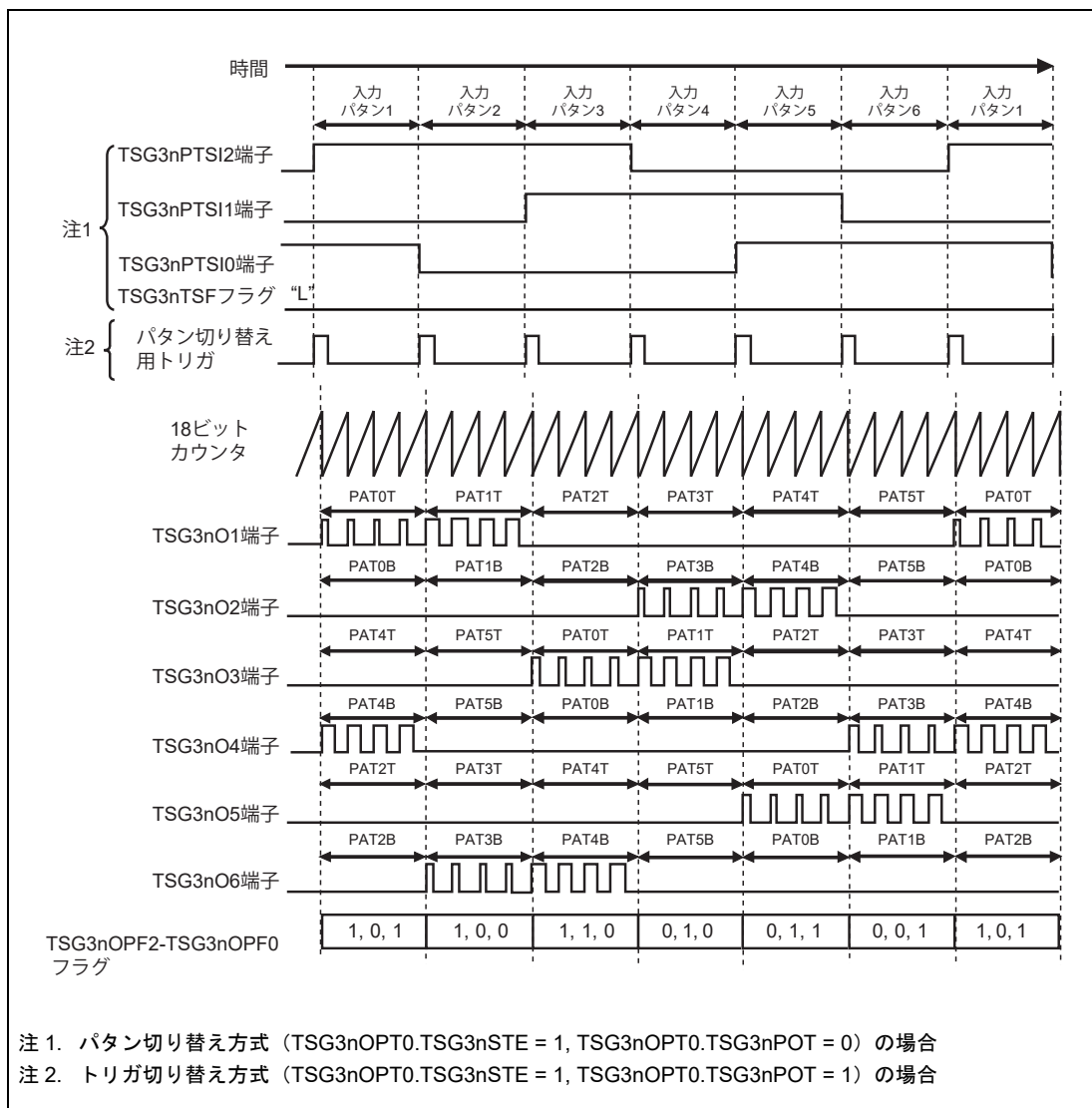


図 25.80 120-DC モード動作例 (正転: TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 0)

備考

TSG3nOPT0.TSG3nSOC = 0

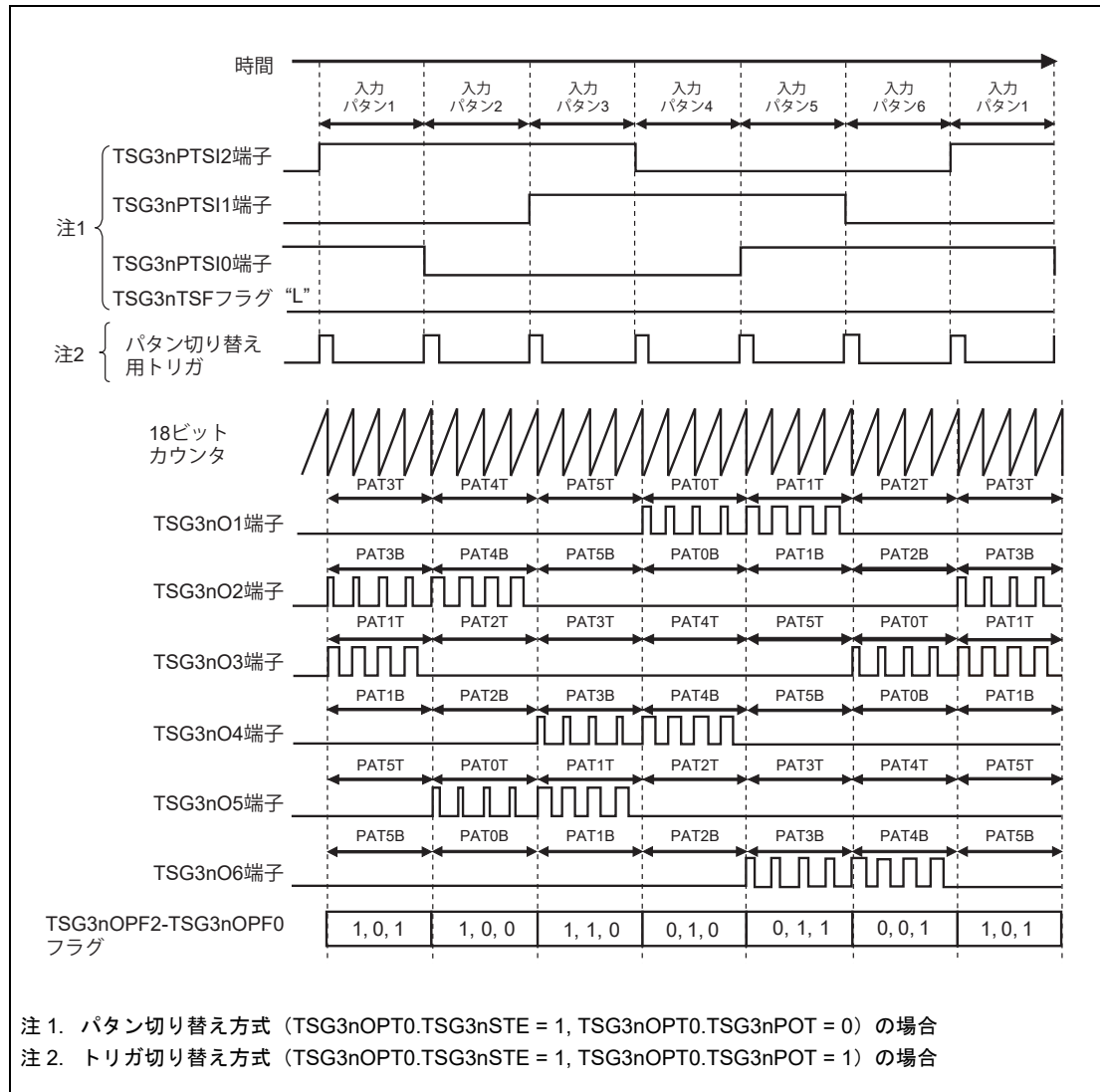


図 25.81 120-DC モード動作例 (正転: TSG3nSTR1.TSG3nTSF = 0, TSG3nOPT0.TSG3nIDC = 1)

備考

TSG3nOPT0.TSG3nSOC = 0

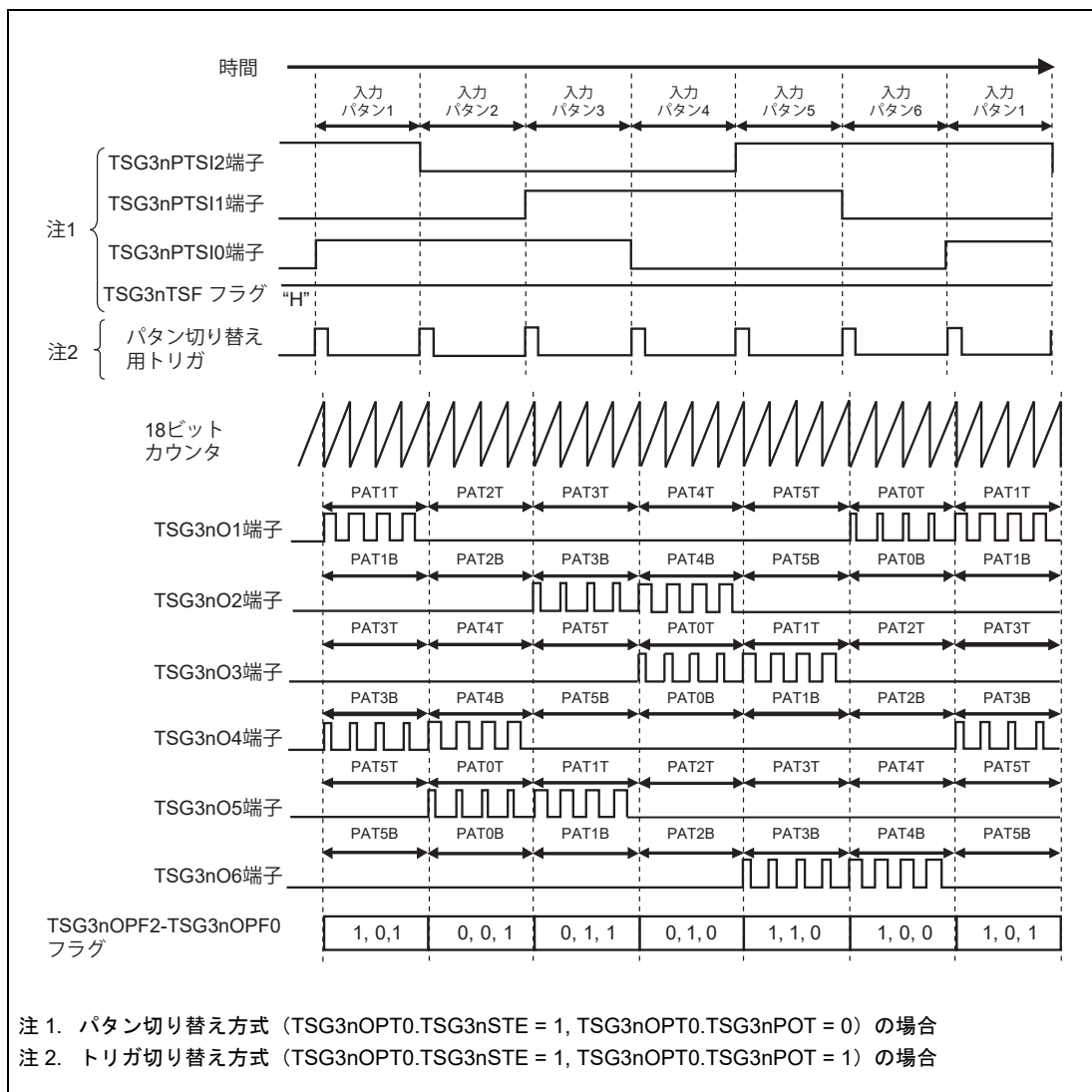


図 25.82 120-DC モード動作例 (逆転: TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 0)

備考

TSG3nOPT0.TSG3nSOC = 0

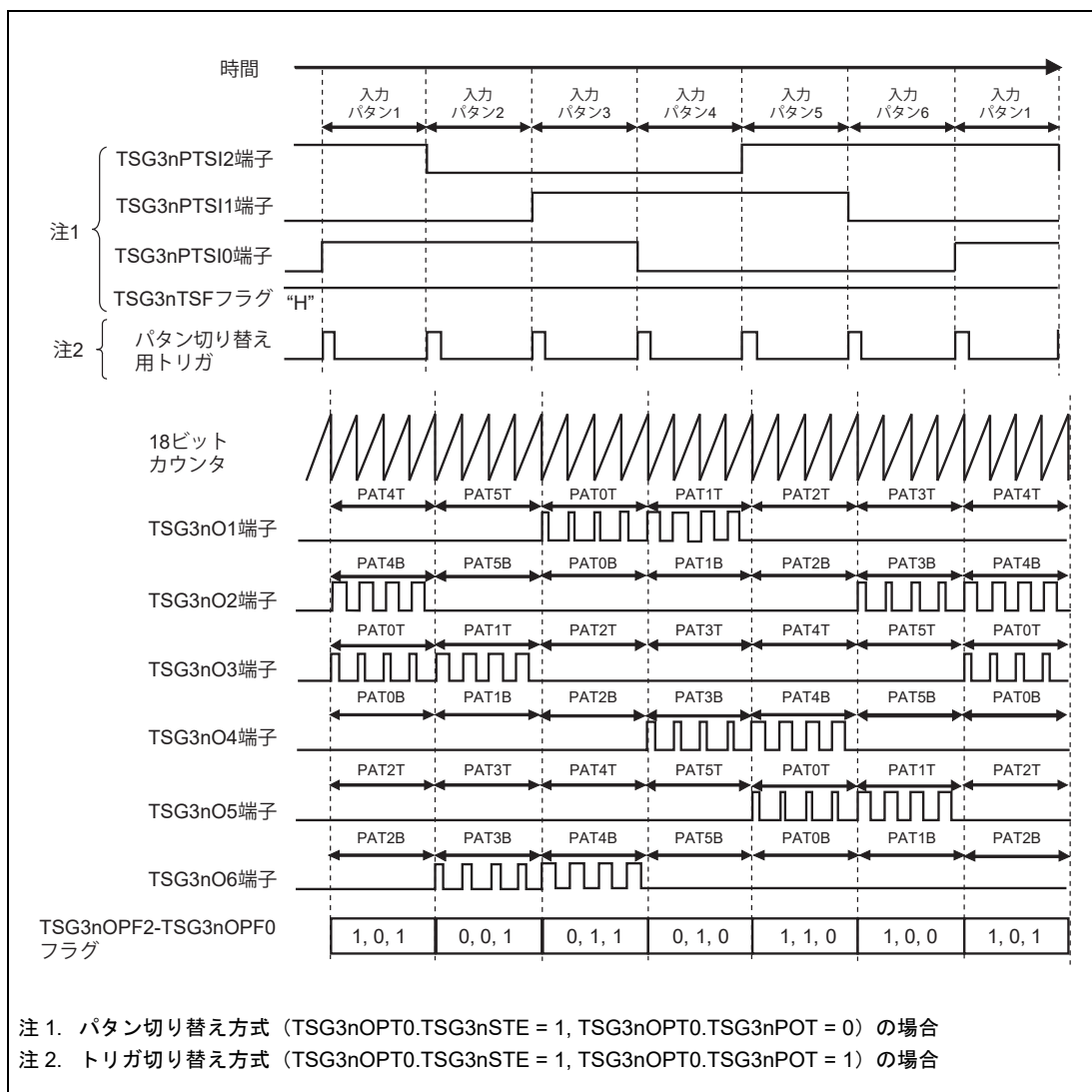


図 25.83 120-DC モード動作例 (逆転 : TSG3nSTR1.TSG3nTSF = 1, TSG3nOPT0.TSG3nIDC = 1)

備考

TSG3nOPT0.TSG3nSOC = 0

(6) 120-DC モードの出力パターン一覧

120DC モードにおいて、出力パターンは電流方向 (TSG3nOPT0.TSG3nIDC) とパターン順序方向によって決定します。

表 25.86 120DC モードのパターン順序方向選択

TSG3nOPT0			パターン順序方向
TSG3nSTE	TSG3nPOT	TSG3nPSS	
0	—	1	TSG3nPSC
1	0	—	TSG3nTSF (動作開始時の初期設定のみ TSG3nPSC)
1	1	1	TSG3nPSC

表 25.87 120DC モードの出力パターン一覧 (1/4)

電流方向 正 (TSG3nIDC = 0)
パターン順序方向 正 (TSG3nTSF = 0 or TSG3nPSC = 0)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} / TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	Low	Low
TSG3nO2	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	Low	Low
TSG3nO3	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	Low	Low
TSG3nO4	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	Low	Low
TSG3nO5	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	Low	Low
TSG3nO6	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	Low	Low

表 25.87 120DC モードの出力パターン一覧 (2/4)

電流方向 逆 (TSG3nIDC = 1)
パターン順序方向 正 (TSG3nTSF = 0 or TSG3nPSC = 0)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} / TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	Low	Low
TSG3nO2	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	Low	Low
TSG3nO3	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	Low	Low
TSG3nO4	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	Low	Low
TSG3nO5	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	Low	Low
TSG3nO6	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	Low	Low

注 1. TSG3nSTE = 1、かつ TSG3nPOT = 1 のときに TSG3nSPC2-TSG3nSPC0 の書き込みを行うと出力パターンが変化します。その後、TSG3nOPCI0, TSG3nOPCI1 信号の立ち上がりによるパターン切り替えトリガが発生するとパターン切り替え順序にしたがって、TSG3nS120DCO = 0 のときは即時、TSG3nS120DCO = 1 のときはメインカウンタ (TSG3nCnTE) が TSG3nCnMP0E の一致したときに (次のタイマ周期から) 出力が切り替わります。その際、出力パターンが切り替わっても TSG3nSPC2-TSG3nSPC0 は変化しません。

備考

- PAT0T - PAT5T : TSG3nCnMP1E, TSG3nCnMP2E, TSG3nCnMP5E, TSG3nCnMP6E, TSG3nCnMP9E, TSG3nCnMP10E による PWM 出力を示します。
- PAT0B - PAT5B : TSG3nCnMP3E, TSG3nCnMP4E, TSG3nCnMP7E, TSG3nCnMP8E, TSG3nCnMP11E, TSG3nCnMP12E による PWM 出力を示します。

表 25.87 120DC モードの出力パターン一覧 (3/4)

電流方向 正 (TSG3nIDC = 0)
 パタン順序方向 逆 (TSG3nTSF = 1 or TSG3nPSC = 1)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} / TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	Low	Low
TSG3nO2	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	Low	Low
TSG3nO3	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	Low	Low
TSG3nO4	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	Low	Low
TSG3nO5	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	Low	Low
TSG3nO6	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	Low	Low

表 25.87 120DC モードの出力パターン一覧 (4/4)

電流方向 逆 (TSG3nIDC = 1)
 パタン順序方向 逆 (TSG3nTSF = 1 or TSG3nPSC = 1)

出力端子	TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 ^{注1} / TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	Low	Low
TSG3nO2	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	Low	Low
TSG3nO3	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	Low	Low
TSG3nO4	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	Low	Low
TSG3nO5	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	Low	Low
TSG3nO6	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	Low	Low

注 1. TSG3nSTE = 1、かつ TSG3nPOT = 1 のときに TSG3nSPC2-TSG3nSPC0 の書き込みを行うと出力パターンが変化します。その後、TSG3nOPCI0, TSG3nOPCI1 信号の立ち上がりによるパタン切り替えトリガが発生すると、TSG3nS120DCO = 0 のときは即時、TSG3nS120DCO = 1 のときはメインカウンタ (TSG3nCnTE) が TSG3nCnMP0E の一致したときに (次のタイマ周期から) 出力が切り替わります。パタン切り替え順序にしたがって出力が切り替わります。その際、出力パターンが切り替わっても TSG3nSPC2-TSG3nSPC0 は変化しません。

備 考

1. PAT0T - PAT5T : TSG3nCnMP1E, TSG3nCnMP2E, TSG3nCnMP5E, TSG3nCnMP6E, TSG3nCnMP9E, TSG3nCnMP10E による PWM 出力を示します。
2. PAT0B - PAT5B : TSG3nCnMP3E, TSG3nCnMP4E, TSG3nCnMP7E, TSG3nCnMP8E, TSG3nCnMP11E, TSG3nCnMP12E による PWM 出力を示します。

(7) 120-DC モードの動作開始タイミング

トリガ切り替え制御 (TSG3nOPT0.TSG3nSTE=1, TSG3nOPT0.TSG3nPOT = 1) の場合は、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0、TSG3nOPT0.TSG3nPSC、TSG3nOPT0.TSG3nIDC で設定されたパタンを出力することができます。しかし、パタン切り替え制御 (TSG3nOPT0.TSG3nSTE=1, TSG3nOPT0.TSG3nPOT = 0) の場合は、TSG3nPTSI2-TSG3nPTSI0 端子のパタンは検出できませんが、パタン順序方向 (TSG3nSTR1.TSG3nTSF) が決定できません。そのため、TSG3nTE = 0 のときに TSG3nPSC にパタン順序方向をセットしてください。TSG3nPSC の設定値が TSG3nTSF にロードされ、この値を初期パタン設定に使用できます。

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 0, TSG3nPOT = 0, TSG3nIDC = 0, TSG3nSTE = 1

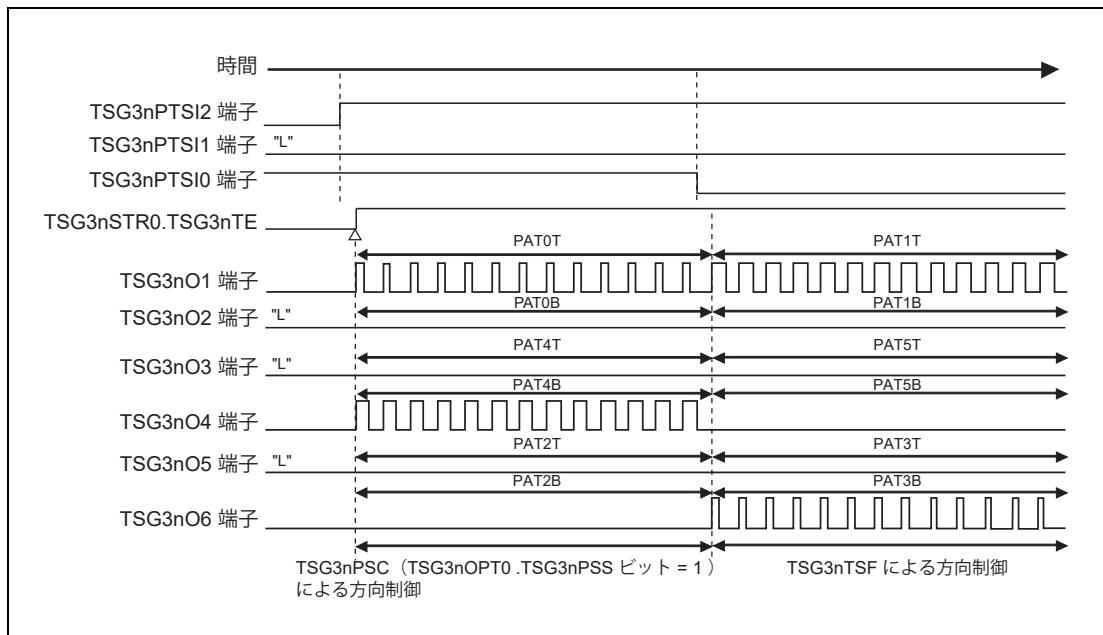


図 25.84 正転時のタイマ出力開始時の制御 (正常なパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 1, TSG3nPOT = 0, TSG3nIDC = 1, TSG3nSTE = 1

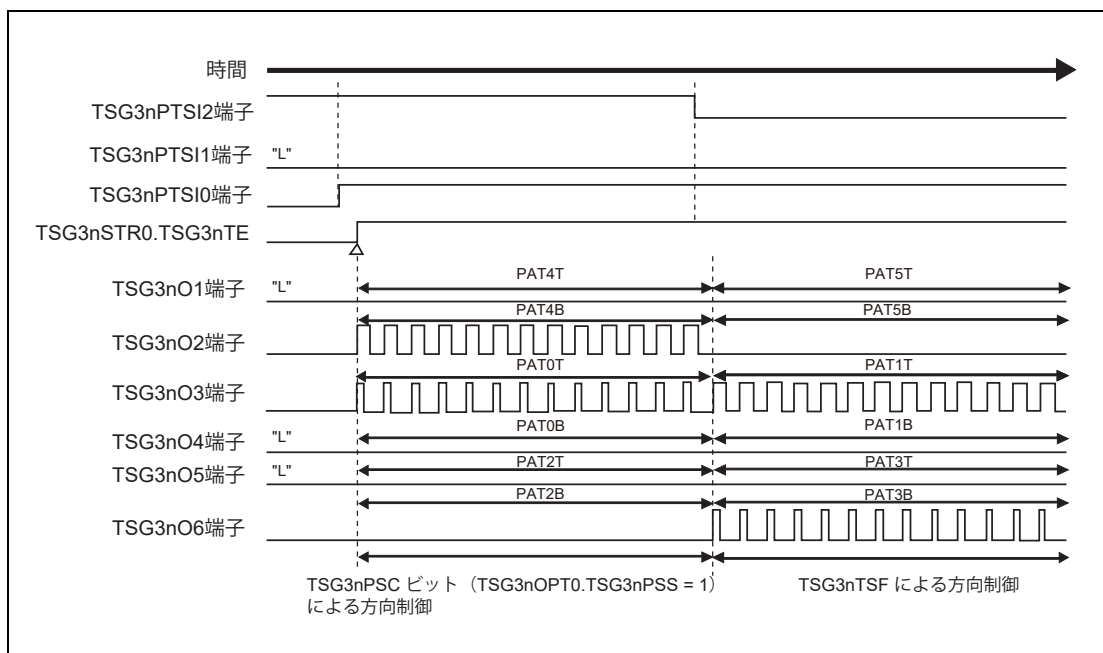


図 25.85 逆転時のタイマ出力開始時の制御 (正常なパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 0, TSG3nPOT = 0, TSG3nIDC = 0, TSG3nSTE = 1

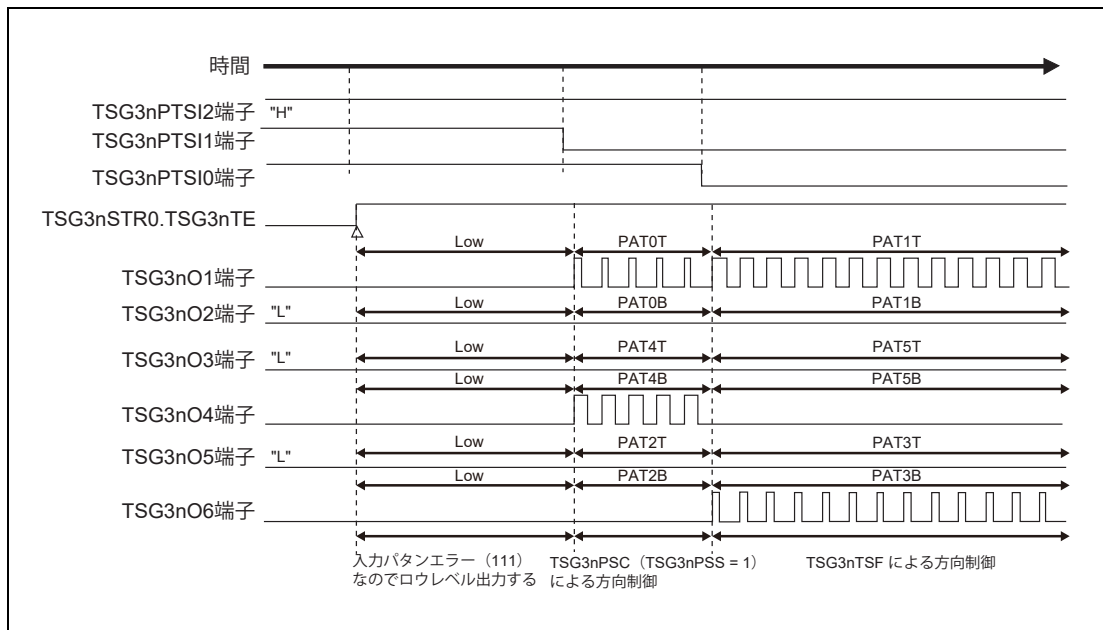


図 25.86 正転時のタイマ出力開始時の制御 (エラーパターンが入力された場合)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nPSC = 1, TSG3nPOT = 0, TSG3nIDC = 1, TSG3nSTE = 1

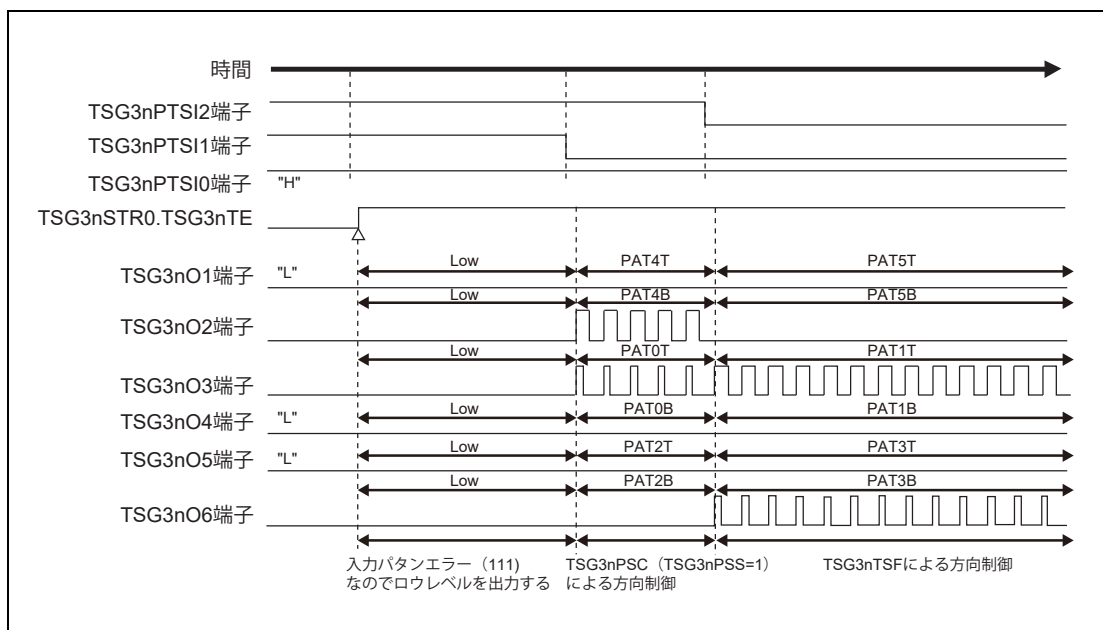


図 25.87 逆転時のタイマ出力開始時の制御 (エラーパターンが入力された場合)

(8) TSG3nS120DCO = 0 時の出力切り替えタイミング

120-DC モードでは、**図 25.88** ~ **図 25.91** に示すように外部からの出力パターン切り替えタイミング (TSG3nOPCI0, TSG3nOPCI1 信号、TSG3nPTSI2-TSG3nPTSI0 端子) は 18 ビットカウンタ動作と関係なく入力されます。TSG3nS120DCO = 0 の場合、出力を切り替えるタイミングは、外部から入力された切り替えタイミングで、18 ビットカウンタをクリアして新しいパターンにて出力します。

パターン切り替え方式にて、1 周期内に TSG3nPTSI2-TSG3nPTSI0 端子が複数回変化した場合、変化するごとに 18 ビットカウンタをクリアし、出力パターンを切り替えます。また、トリガ切り替え方式にて、1 周期内に TSG3nOPCI0, TSG3nOPCI1 信号トリガが複数回入力した場合は、トリガを受け付ける毎に 18 ビットカウンタをクリアし、出力パターンを切り替えます。

1 周期内に TSG3nSPC2-TSG3nSPC0 への書き換えを複数回実行した場合は、書き換えごとに 18 ビットカウンタをクリアし、出力パターンを切り替えます。

TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 への書き換えと TSG3nOPCI0, TSG3nOPCI1 トリガが競合した場合は、TSG3nSPC2-TSG3nSPC0 への書き換えが優先されます。

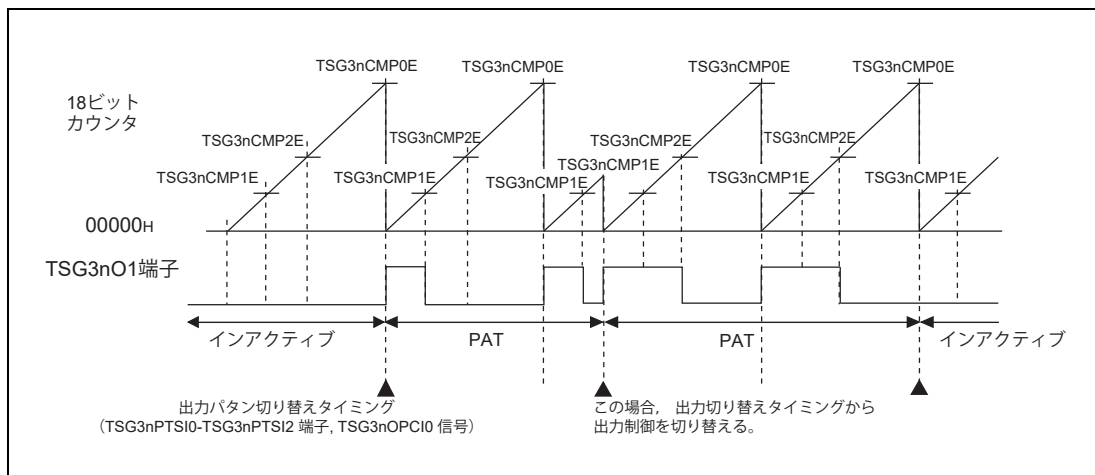
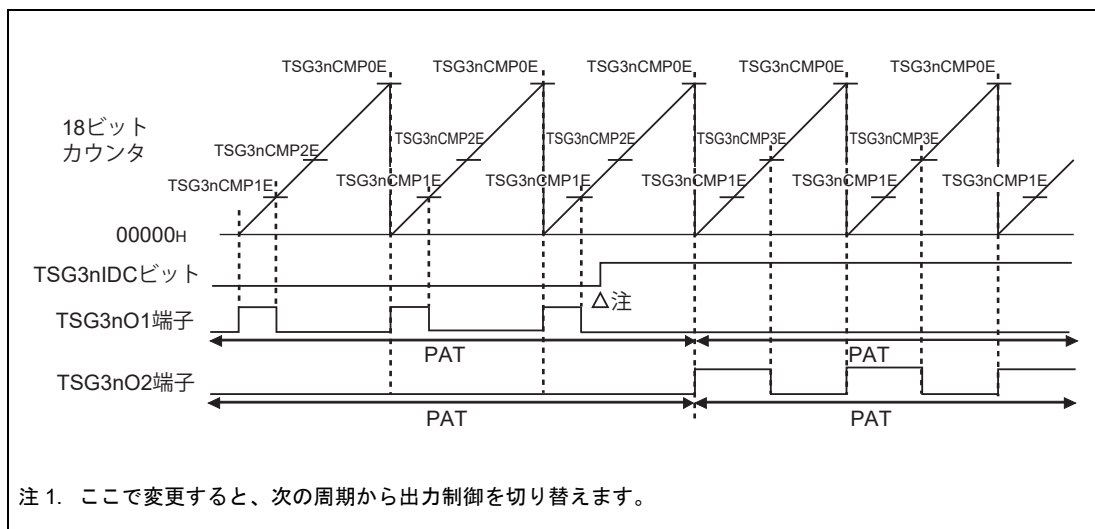


図 25.88 出力切り替え例 (TSG3nPTSI2-TSG3nPTSI0 端子、TSG3nOPCI0, TSG3nOPCI1 信号トリガ入力)



注 1. ここで変更すると、次の周期から出力制御を切り替えます。

図 25.89 出力切り替え例 (TSG3nOPT0.TSG3nIDC での切り替え)

備考

TSG3nIDC ビットで出力制御を切り替え時、次の周期までに TSG3nPTSI2-TSG3nPTSI0 端子の変化が発生した場合、18ビットカウンタがクリアされ、切り替えた出力制御になります。

- TSG3nOPT0.TSG3nSTE = 1, TSG3nOPT0.TSG3nPOT = 1

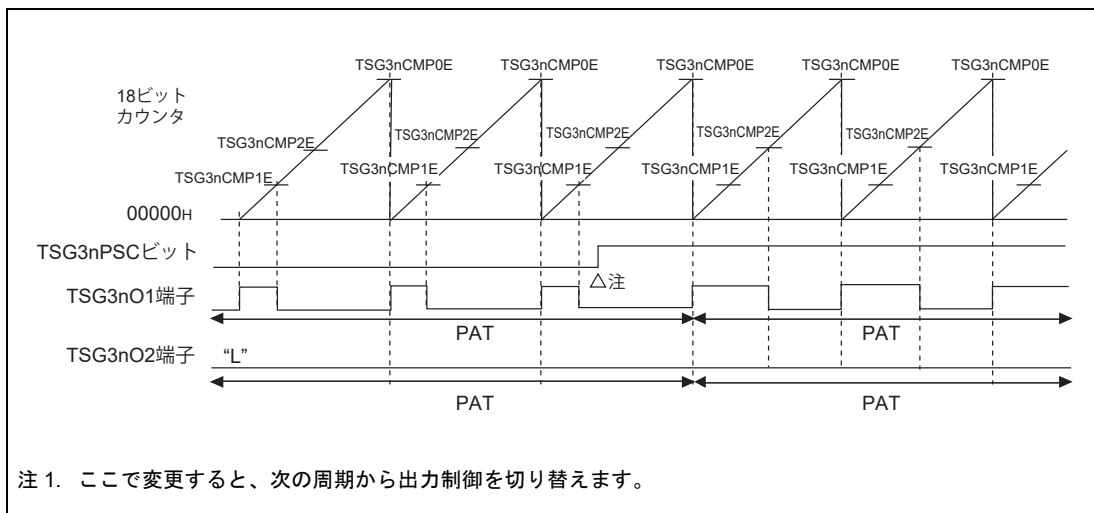


図 25.90 出力切り替え例 (TSG3nOPT0.TSG3nPSC での切り替え)

- TSG3nOPT0.TSG3nSOC = 0, TSG3nOPT0.TSG3nSTE = 1, TSG3nOPT0.TSG3nPOT = 1

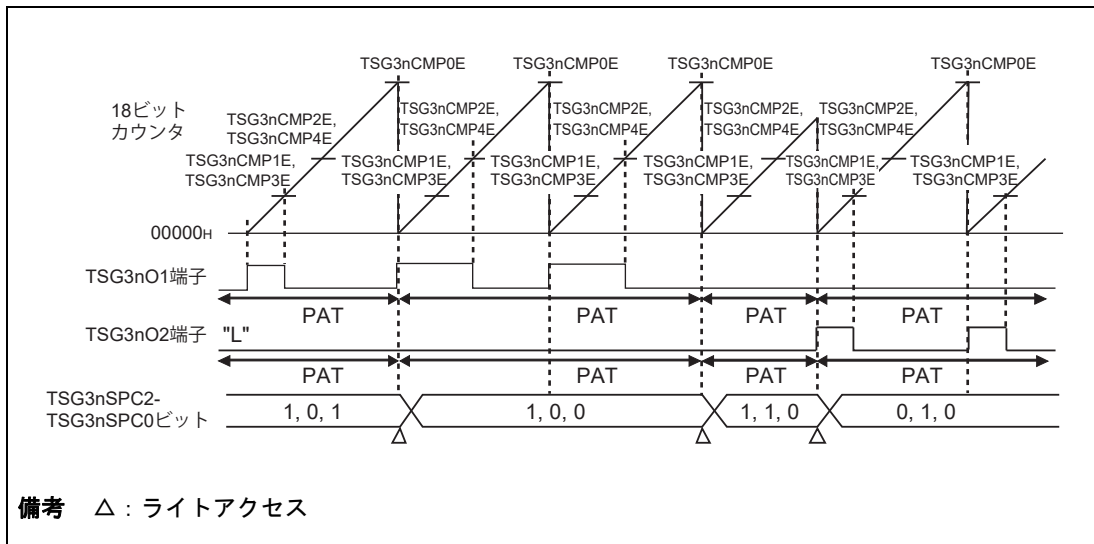


図 25.91 出力切り替え例 (TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 での切り替え)

(9) 120-DC モードのコンペアレジスタ書き換えタイミング

次に、TSG3nCMP1E をリロード（一斉書き換え）した場合の動作例を示します。

図 25.92 は、TSG3nCMP1E レジスタを書き換えた場合の出力例を示しています。TSG3nCMP1E を変更後は次のリロードタイミングまで TSG3nCMP1E バッファレジスタにデータが転送されない（変更したデータが有効にならない）ため、設定どおりの出力波形を得ることができます。ただし、リロードが保留されている期間（TSG3nCMP1E レジスタを変更してから、一斉書き換えが実行されるまでの期間）に、再度 TSG3nCMP1E レジスタに書き込まないでください。必ずリロード要求フラグ（TSG3nRSF）をリードし、0であることを確認してから TSG3nCMP1E レジスタに書き込んでください。

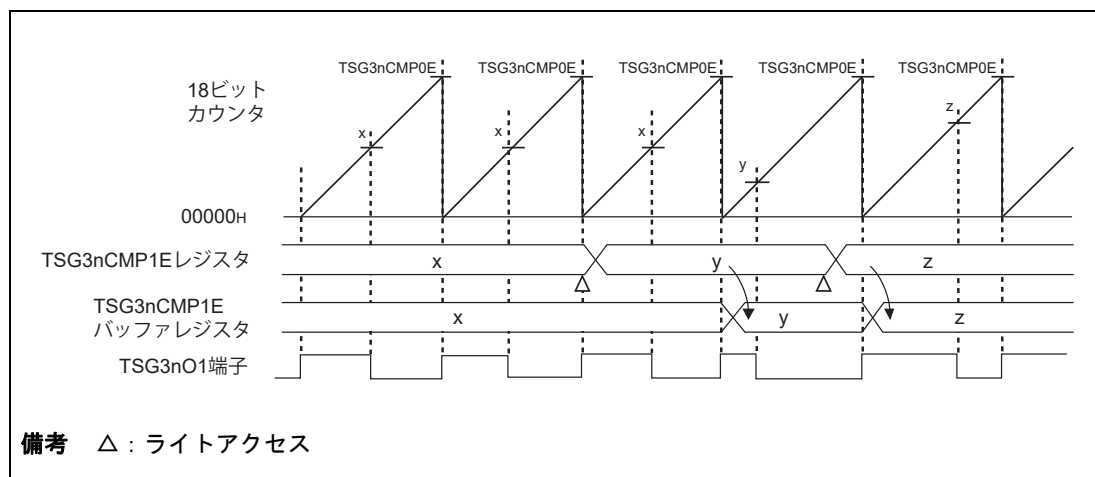


図 25.92 TSG3nCMP1E レジスタを書き換えた時の出力例

(10) 120-DC モードのデッドタイム制御

120-DC モードにおいて、各相の立ち下がりデッドタイム制御が動作し、デッドタイムが付加されます。

正相の立ち下がりでは、TSG3nDTC1W レジスタに設定したデッドタイムが挿入され、逆相の立ち下がりでは TSG3nDTC0W レジスタに設定したデッドタイムが挿入されます。

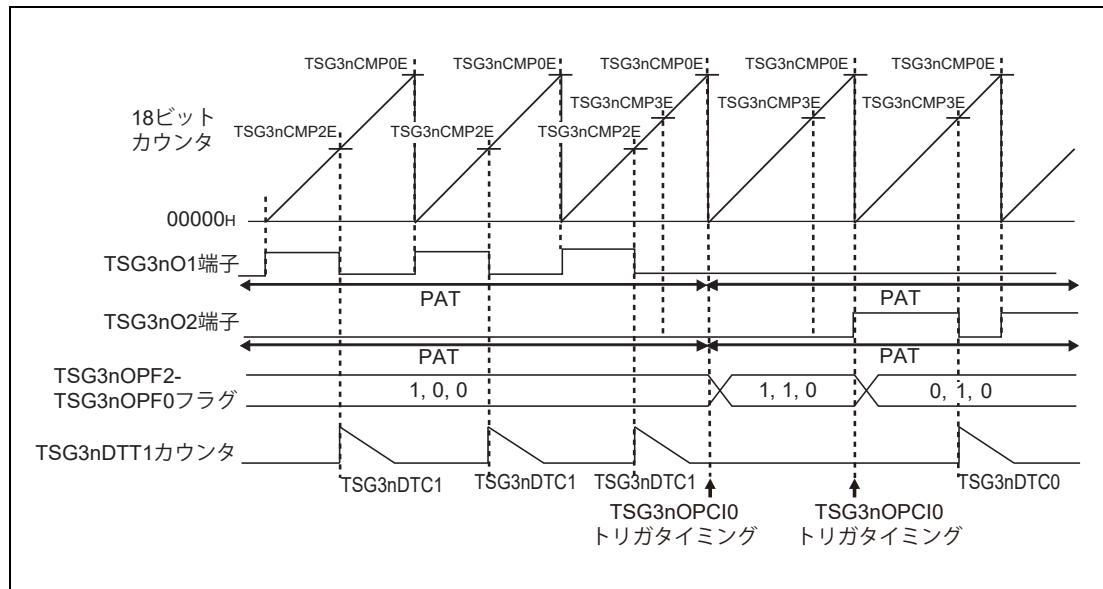


図 25.93 出力切り替え例

注 意

デッドタイムを制御する方法により、タイマ出力に影響を与える場合があります。主に次の条件ではデッドタイム制御のため、タイマ出力が設定どおりのアクティブレベル幅を得られない可能性があります。

- パターン切り替え方式において、入力パターンにノイズが発生した場合
- パターン切り替え方式において、入力パターンの変化がPWM周期より早くなった場合
- トリガ切り替え方式において、TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を変更し、出力パターンを強制的に変化させた場合
- 切り替え方式を変更した場合
- 電流方向を制御するビット (TSG3nOPT0.TSG3nIDC) を変更した場合
- ソフトウェア出力制御機能を使用した場合

(11) 120-DC モードの出力切り替え

120-DC モードでは、トリガ切り替え方式 (TSG3nOPT0.TSG3nSTE = 1、かつ、TSG3nPOT = 1) 時に TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 に値を書き込むことで出力パターンを制御することができます。切り替えタイミングでは、ハードウェアによってデッドタイムの確保を行います。

注 意

TSG3nSPC2-TSG3nSPC0 に“111_B”、“000_B”を書き込んだ場合、TSG3nO1-TSG3nO6 端子はロウレベルとなります。

(12) 120-DC モード時、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生した場合の動作

TSG3nPTSI2-TSG3nPTSI0 端子は、ブラシレス DC モータのホールセンサの入力を想定しています。システムによっては、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生する場合が想定されます。ノイズが発生した場合の動作に関して説明します。

システム製品設計においてはホールセンサと TSG3nPTSI2-TSG3nPTSI0 端子間に必ずノイズフィルタ回路を挿入してください。

図 25.95 ではパターン切り替え方式で動作中に、TSG3nPTSI2-TSG3nPTSI0 端子にノイズが発生した場合に関して説明します。

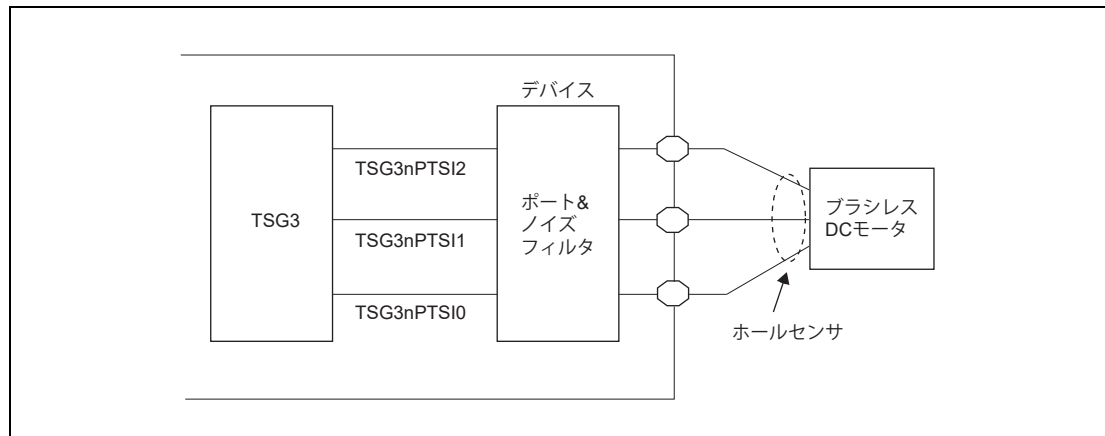


図 25.94 ノイズフィルタ回路接続例

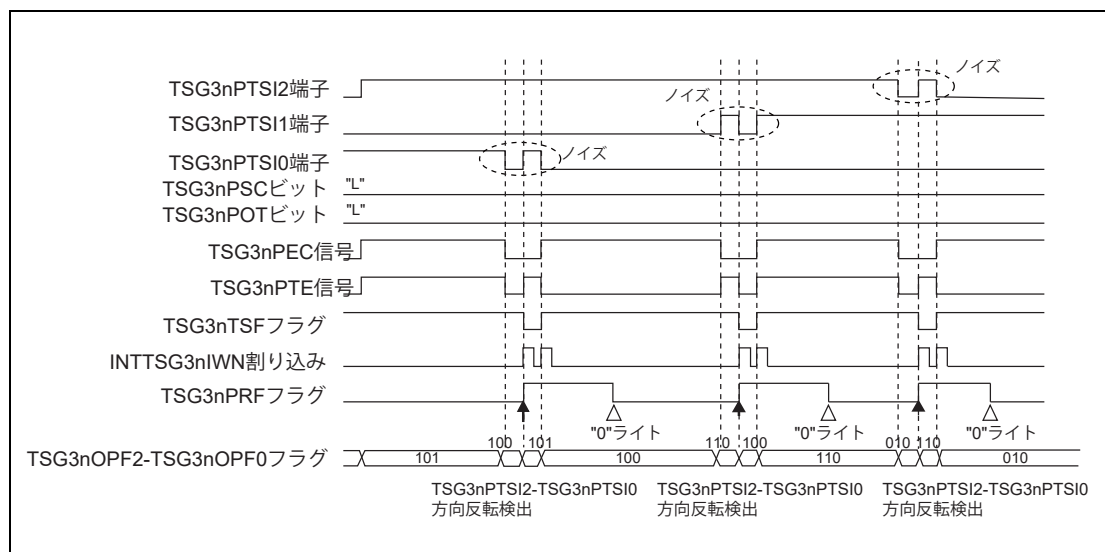


図 25.95 TSG3nPTSI2-TSG3nPTSI0 端子のレベル変化時、ノイズ発生例 (パターン切り替え方式)

(a) 入力パタン変化検出信号 (TSG3nPTE) の変化タイミング

TSG3nPTE 信号は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

注 意

TSG3nOPT0 レジスタの TSG3nPSC (TSG3nOPT0 レジスタの TSG3nPSS = 1) で必ずパタン順序方向を指定してください。

TSG3nPSC = 0 の場合

表 25.88 TSG3nPSC = 0 の場合の TSG3nPTE トグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	—
	100	—	—	—	—	トグル	—	—	—
	110	—	—	—	—	—	トグル	—	—
	010	—	—	—	—	—	—	トグル	—
	011	—	—	—	—	—	—	—	トグル
	001	—	—	トグル	—	—	—	—	—

TSG3nPSC = 1 の場合

表 25.89 TSG3nPSC = 1 の場合の TSG3nPTE トグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	—	—	—	—	トグル
	100	—	—	トグル	—	—	—	—	—
	110	—	—	—	トグル	—	—	—	—
	010	—	—	—	—	トグル	—	—	—
	011	—	—	—	—	—	トグル	—	—
	001	—	—	—	—	—	—	トグル	—

(b) 3相エンコード信号 (TSG3nPEC) の変化タイミング

TSG3nPEC 信号は、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

表 25.90 TSG3nPEC のトグル動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	トグル
	100	—	—	トグル	—	トグル	—	—	—
	110	—	—	—	トグル	—	トグル	—	—
	010	—	—	—	—	トグル	—	トグル	—
	011	—	—	—	—	—	トグル	—	トグル
	001	—	—	トグル	—	—	—	トグル	—

(c) TSG3nO1-TSG3nO6 端子の変化タイミング

- パタン切り替え方式の場合は、TSG3nPTSI2-TSG3nPTSI0 端子^{注1}の入力信号が変化した場合、出力パタンが変化します。
2 端子以上同時に変化しても出力が切り替わります。
- トリガ切り替え方式の場合は、TSG3nOPCI0, TSG3nOPCI1 信号に立ち上がりエッジにより、出力パタンが変化します。TSG3nOPT0 レジスタの TSG3nSPC2-TSG3nSPC0^{注1}に書き込んだ場合も出力が変化します。

注 1. “000”、“111”に変化した場合、TSG3nO1-TSG3nO6 端子は、ロウレベルになります。
TSG3nO1-TSG3nO6 端子の出力パタンが即変化するのには TSG3nS120DCO = 0 のときのみです。
TSG3nS120DCO = 1 の場合は、メインカウンタ (TSG3nCNTE) が TSG3nCMP0E の一致したときに (次のタイマ周期から) 出力が変化します。

(d) TSG3nTSF フラグの変化タイミング

TSG3nTSF フラグは、入力パタン (TSG3nPTSI2-TSG3nPTSI0 端子) が変化したタイミングでトグルします。

表 25.91 TSG3nTSF のセット、クリア動作

		変化後の TSG3nPTSI2-TSG3nPTSI0 端子							
		000	111	101	100	110	010	011	001
現在の TSG3nPTSI2- TSG3nPTSI0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	0	—	—	—	1
	100	—	—	1	—	0	—	—	—
	110	—	—	—	1	—	0	—	—
	010	—	—	—	—	1	—	0	—
	011	—	—	—	—	—	1	—	0
	001	—	—	0	—	—	—	1	—

(e) TSG3nNDF フラグのセットタイミング

TSG3nPTSI2-TSG3nPTSI0 端子が同時に2端子以上変化した場合にセットされます。
TSG3nNDR ビットへの1ライトでクリアします。TSG3nNDC ビットを1にセットしたときに有効となります。

(f) TSG3nPRF フラグのセットタイミング

TSG3nTSF フラグが変化したタイミングでセットされます。TSG3nPRR ビットへの1ライトでクリアします。TSG3nPRC ビットを1にセットしたときに有効となります。

(g) TSG3nPEF フラグのセットタイミング

TSG3nPTSI2-TSG3nPTSI0 端子が“000”、“111”の値を入力したときにセットされます。
TSG3nPER ビットへの1ライトでクリアします。TSG3nPEC ビットを1にセットしたときに有効となります。

(13) 120-DC モード時の基本制御フロー

120-DC モードには**表 25.92** に示した 8 つの制御状態が存在します。

TSG3nOPT0.TSG3nSTE = 1 かつ TSG3nPOT = 0 では、パタン切り替え方式の 120-DC 制御となります。これを位相固定制御と定義します。位相固定制御では、ホールセンサからの遅れ、センサレベル検出からタイマ出力までの遅れ等がありますので、これらを考慮して制御する必要があります。ただし、PWM デューティを変更するだけで加速/減速ができます。

TSG3nOPT0.TSG3nSTE = 1 かつ TSG3nPOT = 1 では、トリガ切り替え方式の 120-DC 制御となります。これを位相可変制御と定義します。位相可変制御では、ホールセンサに先行してタイマ出力パターンを設定するため、位相差による加速/減速制御が可能です。ただし、ホールセンサに対するオフセット幅、ホールセンサに対する予測値を考慮する必要があるため、位相固定制御に比べて制御が複雑になります。詳細は、「**29.2.3.9 3 相パルス入力制御機能**」を参照してください。

TSG3nOPT0.TSG3nSTE = 1、TSG3nOPT0.TSG3nPOT = 1、TSG3nPSS = 1 の場合、TSG3nOPT0 レジスタの TSG3nPSC でパタン順序方向が設定できます。正転のときは TSG3nPSC = 0 に、逆転のときは TSG3nPSC = 1 に設定してください。

TSG3nOPT0 レジスタの TSG3nIDC では電流方向を設定します。モータの回転方向 (TSG3nPSC の設定値) と同じ値を設定しているときは加速制御となり、モータの回転方向と異なる値を設定しているときは減速制御となります。

表 25.92 タイマの制御状態

状態	TSG3nOPT0 レジスタの TSG3nPSC	TSG3nSTR1 レジスタの TSG3nTSF	TSG3nOPT0 レジスタの TSG3nIDC	TSG3nOPT0 レジスタの TSG3nPOT	制御
A	—	0	0	0	正転・加速・位相固定
B	0	—	0	1	正転・加速・位相可変
C	0	—	1	1	正転・減速・位相可変
D	—	0	1	0	正転・減速・位相固定
E	—	1	1	0	逆転・加速・位相固定
F	1	—	1	1	逆転・加速・位相可変
G	1	—	0	1	逆転・減速・位相可変
H	—	1	0	0	逆転・減速・位相固定

通常、モータの回転が停止した状態をスタート状態として制御を開始します。まず停止状態からモータを回転させるために位相固定制御を利用して回転させます。その後、高速回転まで引き上げるために位相可変制御に切り替えます。位相可変制御では ENCA と組み合わせてホールセンサの変化点よりも早いタイミング（進角）でタイマ出力を変化させます。

高速回転から減速させる場合も、TSG3nOPT0 レジスタの TSG3nIDC のみを書き換えて減速制御に変更します。その後、低速回転まで回転数を減速できたら PWM デューティを小さくして停止状態まで遷移させます。これがモータ制御の一連の流れになります。

状態の遷移を図 25.96、図 25.97 に示します。

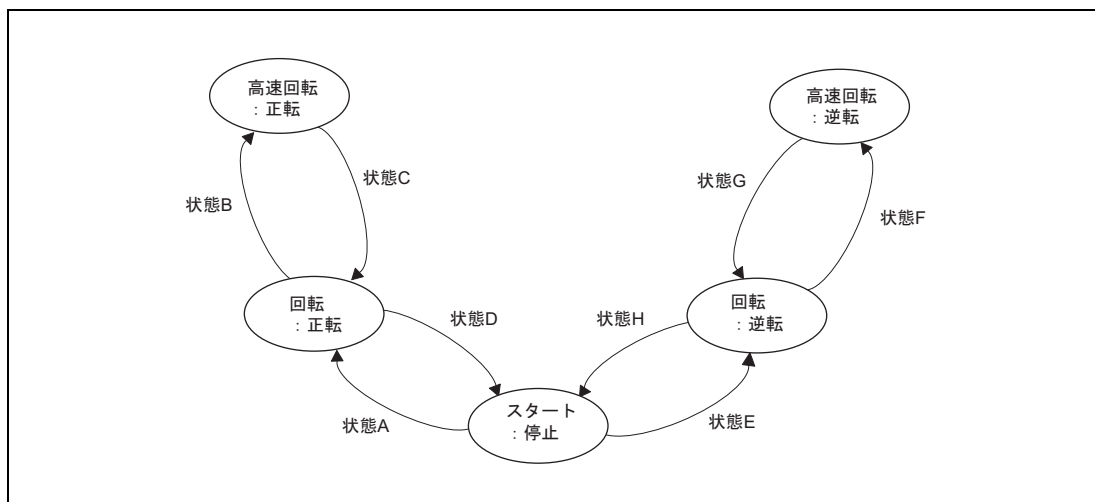


図 25.96 状態遷移図

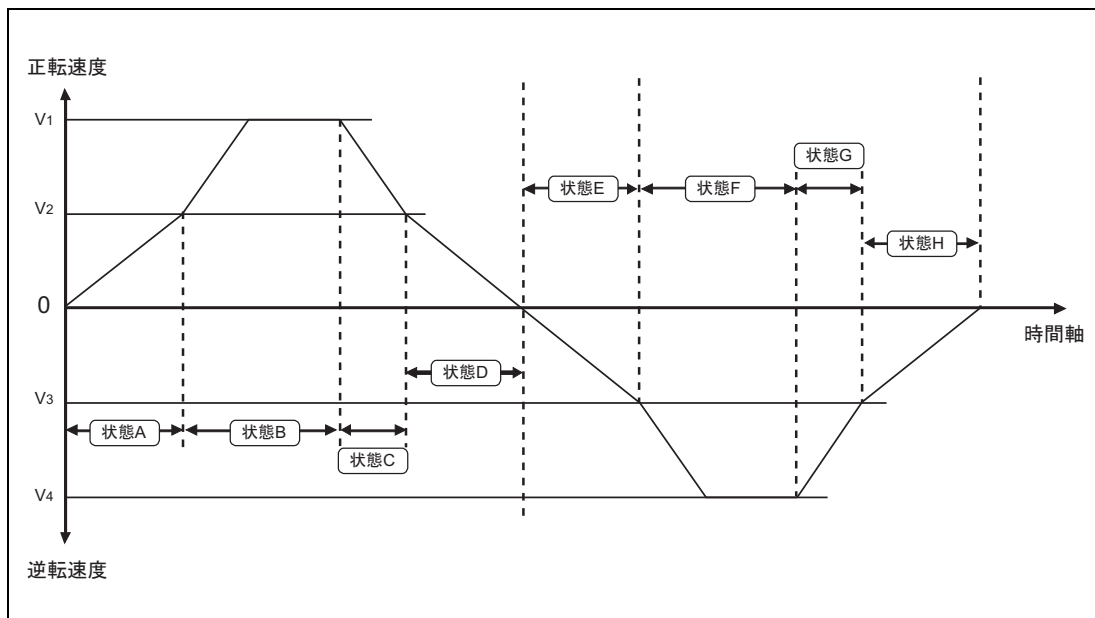


図 25.97 状態遷移とモータ回転速度の関連性

備考

V1, V4 : 正転／逆転の高速回転速度

V2, V3 : 正転／逆転の低速回転速度

(14) 120-DC モード時のソフトウェア出力制御機能

120-DC モード時は、TSG3nOPT0.TSG3nSOC, TSG3nIDC, TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して、ソフトウェア制御によるタイマ出力制御を行うことができます。

図 25.98 に示すように、TSG3nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッドタイムの設定をしていれば、デッドタイム期間は保証されます。その後、ソフトウェア出力制御から 120-DC 制御に切り替える場合は、TSG3nSOC = 0 に設定します。このタイミングでは出力を保持し、リロードタイミングが発生した時点で、120-DC モードによる出力制御に切り替わります。

ソフトウェア出力制御機能について、詳細は「25.4.7.8 ソフトウェア出力制御機能」を参照してください。

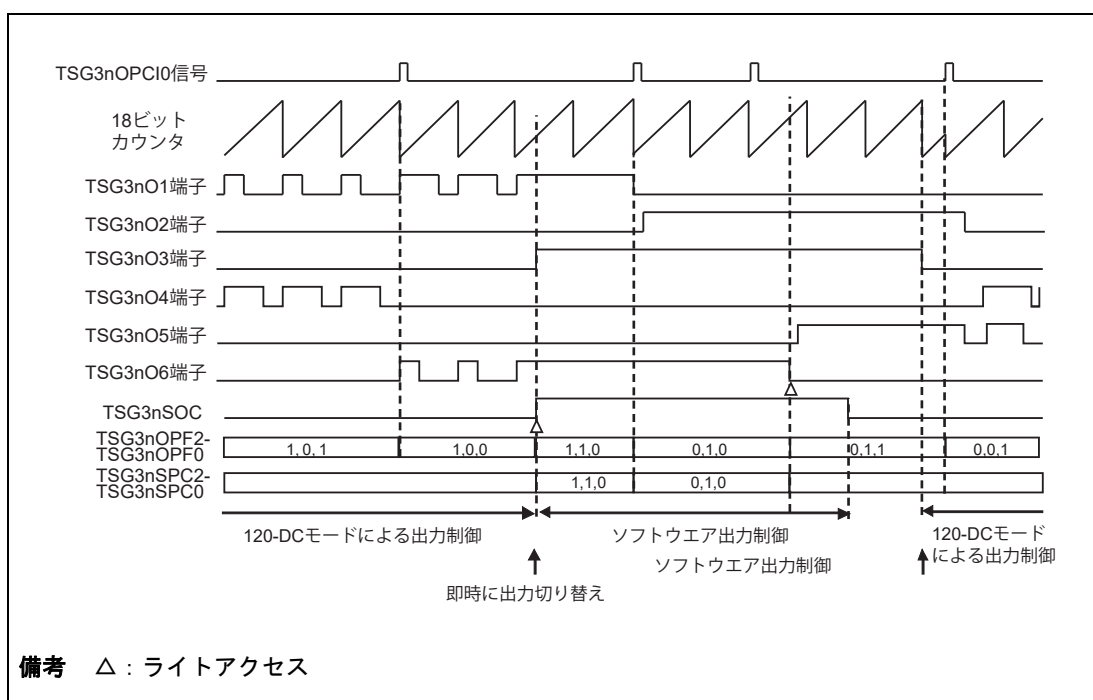


図 25.98 120-DC モードからソフトウェア出力制御機能の切り替え例

(a) ソフトウェア出力制御の処理手順

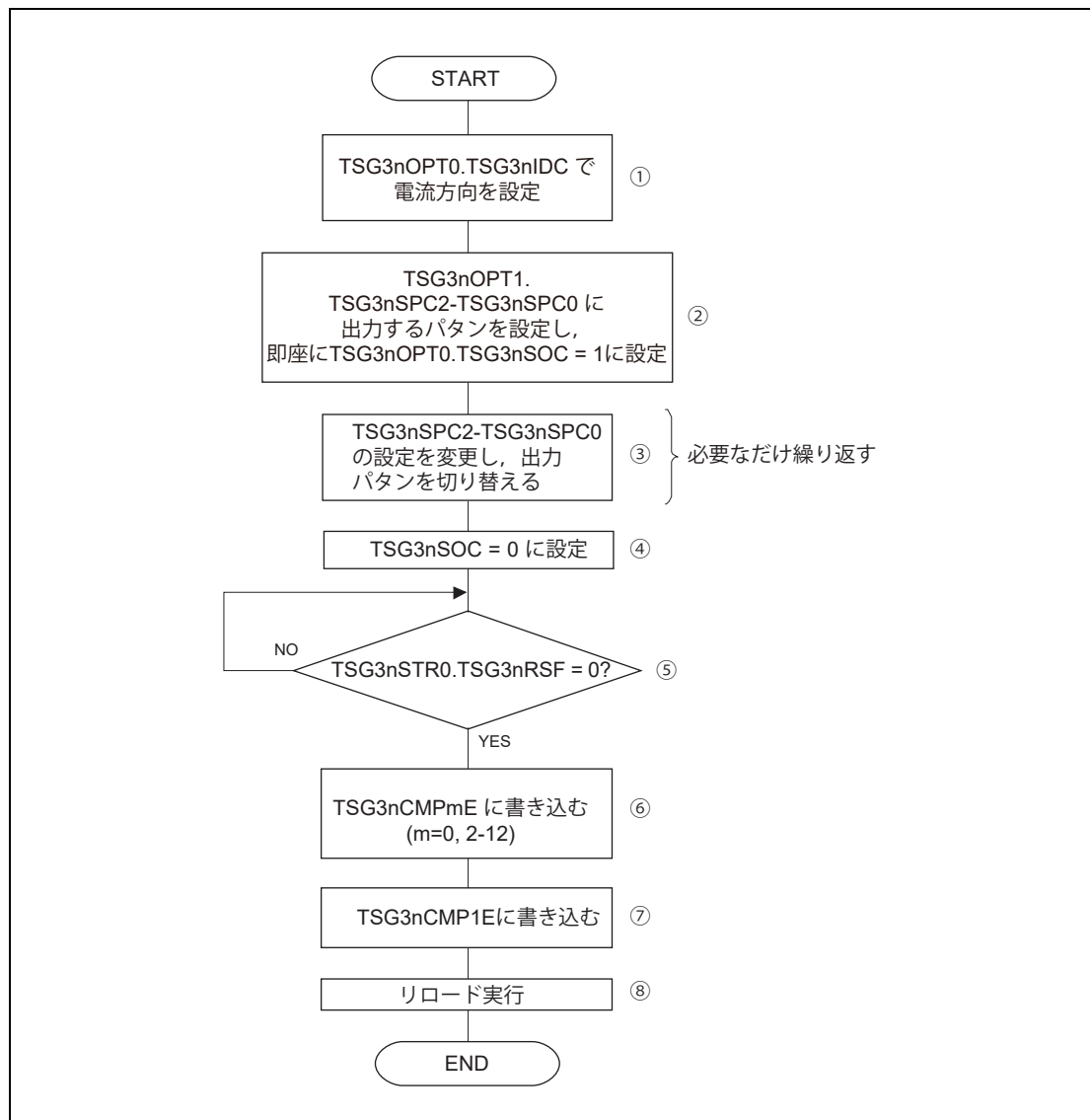


図 25.99 ソフトウェア出力制御時の処理フロー

ソフトウェア出力制御の処理手順を示します。

- ① TSG3nIDC の設定を行います。TSG3nIDC = 0 の場合と、TSG3nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウェア出力制御機能において、このビットを書き換えた場合、次のタイマ周期で新しい設定に応じた出力パターンに切り替わります。ただし、②の前に周期一致が発生した場合、120-DC 制御の出力パターンが変わりますので、②の前に周期一致が来ないようにスケジューリングしてください。
- ② TSG3nSPC2-TSG3nSPC0 に出力するパターンを設定し、同時にソフトウェア出力を行うために TSG3nSOC = 1 にします。
- ③ TSG3nSPC2-TSG3nSPC0 の出力パターン設定を変更し、タイマ出力を変化させます。
- ④ リロード要求フラグ (TSG3nRSF) = 0 であることを確認します。TSG3nRSF = 1 だった場合は TSG3nRSF フラグ = 0 になるまで次の手順に移行しないでください。
- ⑤ TSG3nSOC = 0 にするとソフトウェア制御を解除開始します (ここではまだ解除されません)。

- ⑥ソフトウェア出力制御解除後に必要なコンペアレジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。
- ⑦ TSG3nCMP1E レジスタに書き込みを行い、リロードを起動します。
- ⑧リロードが実行され、ソフトウェア出力を解除します。

注 意

④, ⑤, ⑥, ⑦の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウェア出力を解除できません。

25.4.7.5 HSP-PWM モード (High accuracy Shifted-pulse - Pulse Width Modulation モード)

概要

18ビットカウンタと18ビットコンペアレジスタを使用して、高精度の鋸波PWMを生成できます。

前提条件

- TSG3nCMP0Eには、PWM周期を設定します。
- TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWEで、PWM出力幅を設定します。TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWEで、PWMシフト幅を設定します。TSG3nDTC0W, TSG3nDTC1Wで、デッドタイムを設定します。TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWE, TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE, TSG3nDTC0W, TSG3nDTC1Wに設定された値は、後述する演算に基づき、対応するTSG3nCmPmEへ即時に設定値が反映されます。(m = 1 ~ 12)

機能説明

PWM周期を設定、デッドタイム設定、PWMシフト幅設定を行った後、PWM出力幅を設定します。

TSG3nTRG0.TSG3nTS = 1にすると、カウントアップを開始します。

18ビットカウンタは、00000_Hよりカウントを行い、TSG3nCMP0Eとの一致でカウンタをクリアします。

カウント動作中、18ビットカウンタとTSG3nCMP0E-TSG3nCMP12Eのバッファレジスタの一致でコンペア一致割り込み(INTTSG3nI0-INTTSG3nI12)が発生します。

備考

HSP-PWMモードはTSG3nCTL0.TSG3nMD2-TSG3nMD0 = 100_Bに設定したときに有効となります。

(1) 基本タイミング図

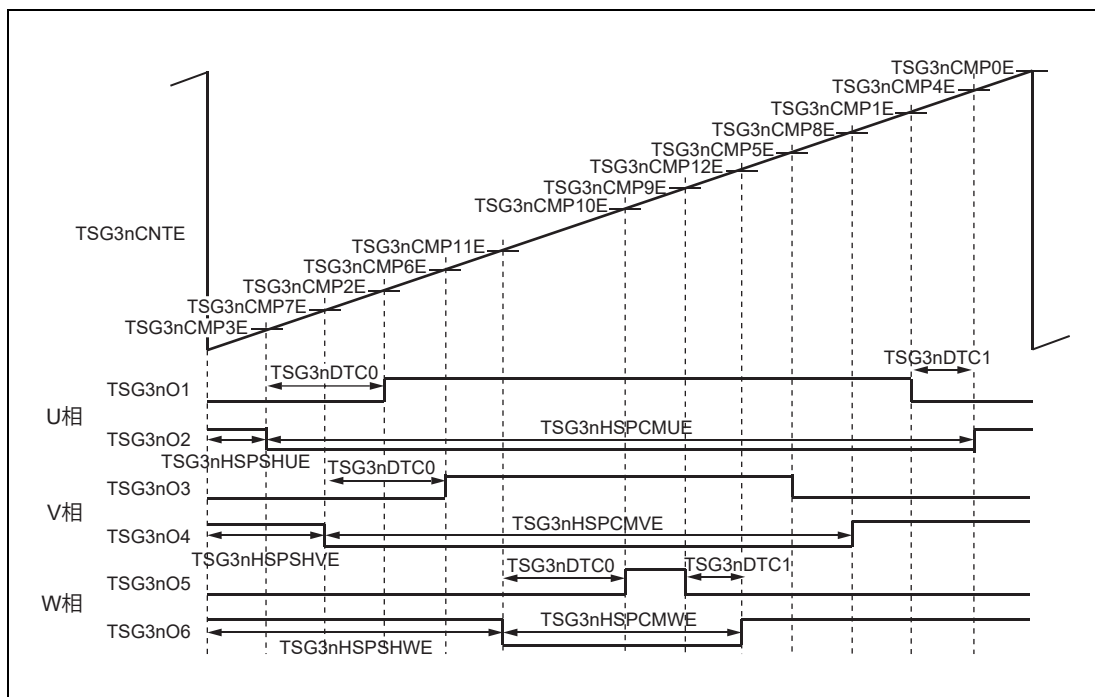


図 25.100 HSP-PWM モード時の基本タイミング

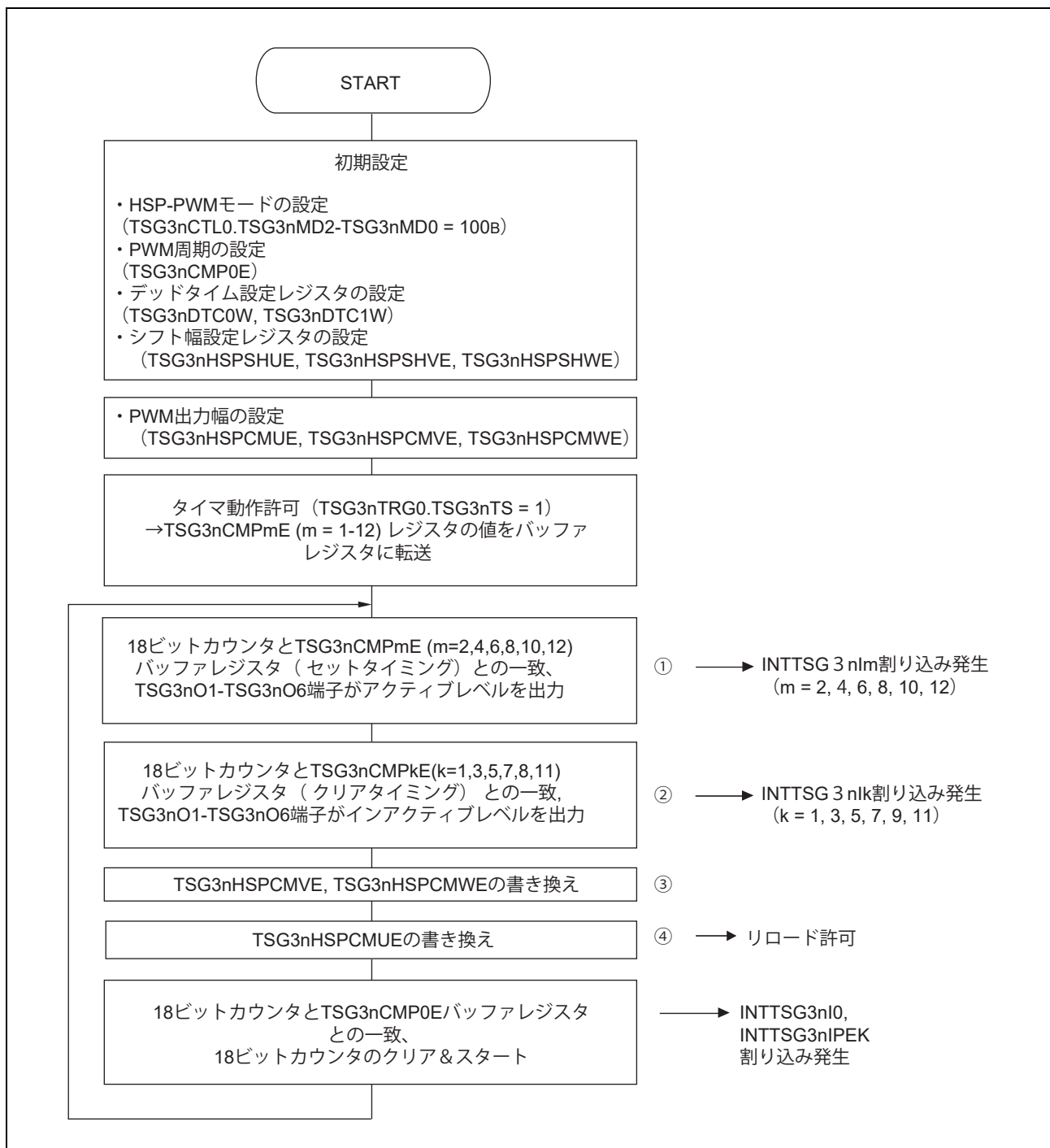


図 25.101 HSP-PWM モード時の基本動作フロー

備考

順番はタイミングが異なる場合がありますが、③と④では必ず④を最後に行ってください。

注意

- 動作中に TSG3nHSPCMUE/VE/WE (PWM 出力幅) を設定する際は、TSG3nHSPCMUE の設定を最後に行ってください。U 相の PWM 出力幅を変更せず、V, W 相のみ変更する場合も、TSG3nHSPCMUE に同値を書き込んでください。

-
2. TSG3nCMP0E (PWM 周期) を変更する際は、TSG3nHSPCMUE/VE/WE (PWM 出力幅) の再設定が必要です。また、TSG3nHSPSHUE/VE/WE (PWM シフト幅) と、TSG3nCMP0E (PWM 周期) の設定を同時に変更しないでください。
 3. TSG3nHSPSHUE/VE/WE (PWM シフト幅) を変更する際は、TSG3nHSPCMUE/VE/WE (PWM 出力幅) を再設定してください。
-

(2) HSP-PWM モード動作一覧

表 25.93 HSP-PWM モード : カウンタ機能

動作		設定条件
18 ビットカウンタ	スタート	TSG3nTRG0.TSG3nTS = 0 → 1、または同時スタートトリガ
	クリア	TSG3nCMP0E バッファレジスタと 18 ビットカウンタのコンペア一致
	停止	TSG3nTRG1.TSG3nTT = 0 → 1

表 25.94 HSP-PWM モード : コンペアレジスタ、シフト幅設定レジスタ、デッドタイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG3nCMP0E	リロード	可能	周期
TSG3nHSPCMUE	リロード	可能	U 相用 PWM 制御
TSG3nHSPSHUE			
TSG3nHSPCMVE	リロード	可能	V 相用 PWM 制御
TSG3nHSPSHVE			
TSG3nHSPCMWE	リロード	可能	W 相用 PWM 制御
TSG3nHSPSHWE			
TSG3nDCMP0E, TSG3nDCMP1E, TSG3nDCMP2E	リロード	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG3nDTC0W, TSG3nDTC1W	リロード	禁止	デッドタイム

表 25.95 HSP-PWM モード : 出力機能

端子	機能
TSG3nO1	TSG3nCMP1E バッファレジスタ (クリアタイミング)、TSG3nCMP2E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO2	TSG3nCMP3E バッファレジスタ (クリアタイミング)、TSG3nCMP4E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO3	TSG3nCMP5E バッファレジスタ (クリアタイミング)、TSG3nCMP6E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO4	TSG3nCMP7E バッファレジスタ (クリアタイミング)、TSG3nCMP8E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO5	TSG3nCMP9E バッファレジスタ (クリアタイミング)、TSG3nCMP10E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO6	TSG3nCMP11E バッファレジスタ (クリアタイミング)、TSG3nCMP12E バッファレジスタ (セットタイミング) と 18 ビットカウンタのコンペア一致による PWM 出力
TSG3nO7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

表 25.96 HSP-PWM モード : 割り込み要求

割り込み	機能
INTTSG3nIm (m = 0 ~ 12)	TSG3nCMPmE バッファレジスタと 18 ビットカウンタのコンペア一致
INTTSG3nIER	エラー
INTTSG3nIVLY	—
INTTSG3nIPEK	山割り込み (INTTSG3nI0 と同タイミングで発生)
INTTSG3nIWN	エラー

表 25.97 HSP-PWM モード : コンペアー一致タイミング

コンペアー一致	タイミング
TSG3nCMP0E	18 ビットカウンタが TSG3nCMP0E → 00000 _H へ切り替わる時
TSG3nCMPmE (m = 1 ~ 12)	18 ビットカウンタと TSG3nCMPmE の一致検出後

(3) HSP-PWM モードの各種設定

モード設定

TSG3nCTL0.TSG3nMD2-TSG3nMD0 = 100_B に設定することで HSP-PWM モードになります。

タイマ出力の設定

TSG3nO1-TSG3nO6 端子は、TSG3nIOC0, TSG3nIOC2, TSG3nIOC3 の設定で出力制御を行います。

TSG3nO7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生 of 許可

TSG3nIOC1.TSG3nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み (INTTSG3nIER) 発生を許可します。詳細は、「**25.4.6 エラー／ワーニング割り込み**」を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

本機能はリロードモードでのみ使用可能です。TSG3nCTL3.TSG3nRMC を必ず “0” に設定してください。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0 (TSG3nADTRG0 信号) を設定する場合は、TSG3nCTL5.TSG3nAT09-TSG3nAT00 で設定を行います。

TSG3nAT09-TSG3nAT00 で、TSG3nDCMP2E-TSG3nDCMP0E との一致タイミング (18 ビットカウンタのアップカウント) による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1 (TSG3nADTRG1 信号) を設定する場合は、TSG3nCTL6.TSG3nAT19-TSG3nAT10 で設定を行います。

18 ビットカウンタと TSG3nDCMP2E-TSG3nDCMP0E の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSG3nADTRG0, TSG3nADTRG1 信号に対しては、間引き機能が使用できます。

TSG3nCTL5 の TSG3nACC01, TSG3nACC00, および TSG3nCTL6 の TSG3nACC11, TSG3nACC10 を使用して、間引き無し／1 間引き／3 間引き／7 間引きの設定を行うことができます。

注 意

- A/D 変換トリガのタイミングパルスを TSG3nO7 端子に出力する場合は、TSG3nCTL5, TSG3nCTL6 と TSG3nDCMP2E-TSG3nDCMP0E の設定を正しく行ってください。
- HSP-PWM モードでは、谷割り込み (INTTSG3nIVLY) は発生しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT00, TSG3nAT10 は必ず “0” に設定してください。
- HSP-PWM モードでは、18 ビットサブカウンタは動作しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT09, TSG3nAT08, TSG3nAT19, TSG3nAT18 は必ず “0” に設定してください。
- HSP-PWM モードでは、18 ビットカウンタのダウンカウント状態は発生しません。そのため、TSG3nCTL5, TSG3nCTL6 の TSG3nAT07, TSG3nAT05, TSG3nAT03, TSG3nAT17, TSG3nAT15, TSG3nAT13 は必ず “0” に設定してください。

PWM 周期設定

TSG3nCMP0E で PWM 周期の設定を行います。

PWM 周期は、次に示す式で計算できます。

$$\text{PCLK} \times (\text{TSG3nCMP0E} + 1)$$

PWM 出力幅設定

TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWE (TSG3nCMP1E-12E) で PWM 出力幅を設定します。

TSG3nHSPCMUE, TSG3nHSPCMVE, TSG3nHSPCMWE は、以下の式を満足するように設定してください。

$$\begin{aligned} 0 &\leq \text{TSG3nHSPCMUE}, \text{TSG3nHSPCMVE}, \text{TSG3nHSPCMWE} \\ &\leq \text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} + 1 \end{aligned}$$

TSG3nCMP0E, TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE, TSG3nDTC0, TSG3nDTC1 の設定後に、PWM 出力幅を設定してください。

PWM シフト幅設定

TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE で PWM シフト幅を設定します。

TSG3nHSPSHUE, TSG3nHSPSHVE, TSG3nHSPSHWE は、以下の式を満足するように設定してください。

$$\text{TSG3nHSPSHUE}, \text{TSG3nHSPSHVE}, \text{TSG3nHSPSHWE} \leq \text{TSG3nCMP0E}$$

デッドタイムの設定

TSG3nDTC0, TSG3nDTC1 でデッドタイムの設定を行います。

デッドタイムは、次の式で求めることができます。

$$\text{PCLK} \times \text{TSG3nDTC0}$$

$$\text{PCLK} \times \text{TSG3nDTC1}$$

TSG3nDTC0 は、TSG3nO2, TSG3nO4, TSG3nO6 端子のインアクティブ変化→TSG3nO1, TSG3nO3, TSG3nO5 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC1 は、TSG3nO1, TSG3nO3, TSG3nO5 端子のインアクティブ変化→TSG3nO2, TSG3nO4, TSG3nO6 端子のアクティブ変化までの時間を設定できます。

TSG3nDTC0,1 は以下の条件を満たすように設定してください。

$$(\text{TSG3nCMP0E} + \text{TSG3nDTC0} + \text{TSG3nDTC1} + 1) < 3\text{FFFF}_{\text{H}}$$

$$\text{TSG3nCMP0E} > 3 \times \text{TSG3nDTC0}$$

$$\text{TSG3nCMP0E} > 3 \times \text{TSG3nDTC1}$$

注 意

HSP-PWM モードでの動作中 (TSG3nTE = 1) に、TSG3nDTC0, 1 の設定を変更しないでください。TSG3nDTC0, 1 の設定は TSG3nTE = 0 のときに行ってください。

HSP-PWM モードでは、必ずデッドタイムを設定してください。TSG3nDTC0, 1 に 0 を設定しないでください。

HSP-PWM モード動作時の禁止設定

HSP-PWM モードでは、以下の制御レジスタ、ビットは、以下に示す設定でのみ使用してください。

また動作中 (TSG3nTE = 1) に設定を変更しないでください。

表 25.98 HSP-PWM モード動作時の禁止設定

ビット名称	設定値	機能
TSG3nCTL3.TSG3nRMC	0	リロードモードでのみ使用可能。
TSG3nIOC3.TSG3nTOL6-1	000000 _B	PWM のセット/クリア論理の反転設定禁止 (HSP-PWM モード制限)
TSG3nOPT0.TSG3nSOC	0	ソフトウェア制御機能への切り替え禁止
TSG3nOPT0.TSG3nSTE	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPOT	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSS	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nIDC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT0.TSG3nPSC	0	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nOPT1.TSG3nSPC2-0	000 _B	120-DC モード、ソフトウェア制御機能の動作設定 (初期値)
TSG3nPAT0W	0000000 _H	120-DC モードの動作設定 (初期値)
TSG3nPAT1W	0000000 _H	120-DC モードの動作設定 (初期値)

注 意

HSP-PWM モードでは、TSG3nCMPmE (m = 1 ~ 12) へ直接設定は行わないでください。
PWM 出力幅および PWM シフト幅は、TSG3nHSPCMUE/VE/WE と TSG3nHSPSHUE/VE/WE に設定してください。

25.4.7.6 HSP-PWM モードのコンペア設定

HSP-PWM モードでは、PWM の出力幅設定を TSG3nHSPCMUE, VE, WE で行います。

TSG3nHSPCMUE, VE, WE にライトすると、

- TSG3nCMP0E (PWM 周期設定)
- TSG3nDTC0 (デッドタイム設定 0)
- TSG3nDTC1 (デッドタイム設定 1)
- TSG3nHSPSHUE/VE/WE (PWM シフト幅設定)
- TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) への書き込み値

を元に TSG3 が演算を行い、TSG3nCMP1E-12E に高精度の PWM を実現する為の値を設定します。

以下に、コンペア設定の演算アルゴリズムを記載します。

表 25.99 HSP-PWM モードコンペア設定の演算アルゴリズム

HSPCMUE 設定値				CMP4E	CMP3E	CMP2E	CMP1E
HSPCMUE = 0				if (HSPSHUE=0) 0 else HSPCMUE - 1 + HSPSHUE	CMP0E+1	0	0
0	<	HSPCMUE	≤ DTC0 + DTC1	HSPCMUE - 1 + HSPSHUE	if (HSPSHUE = 0) CMP0E else HSPSHUE - 1	0	0
DTC0 + DTC1	<	HSPCMUE	≤ CMP0E	HSPCMUE - 1 + HSPSHUE	if (HSPSHUE = 0) CMP0E else HSPSHUE - 1	DTC0 - 1 + HSPSHUE	HSPCMUE - DTC1 - 1 + HSPSHUE
CMP0E	<	HSPCMUE	≤ CMP0E + DTC1 + 1	0	0	DTC0 - 1 + HSPSHUE	HSPCMUE - DTC1 - 1 + HSPSHUE
CMP0E + DTC1 + 1	<	HSPCMUE	< CMP0E + DTC0 + DTC1 + 1	0	0	DTC0 - 1 + HSPSHUE	HSPCMUE - CMP0E - DTC1 - 2 + HSPSHUE
HSPCMUE = CMP0E + DTC0 + DTC1 + 1				0	0	DTC0 - 1 + HSPSHUE	CMP0E + 1

の箇所は、演算結果が CMP0E より大きかった場合は、CMP0E + 1 を引く。

備 考

演算式中のレジスタ名は "TSG3n" を省略しています。

25.4.7.7 HSP-PWM モードのタイマ出力動作

TSG3nO1-6 の出力は、TSG3nCnTE と、それぞれ TSG3nCnCMP2E, 4E, 6E, 8E, 10E, 12E の一致でセットされます。

また TSG3nCnTE と、それぞれ TSG3nCnCMP1E, 3E, 5E, 7E, 9E, 11E の一致でクリアされます。

TSG3nHSPCMUE, VE, WE に PWM 出力幅を設定すると、「**25.4.7.6 HSP-PWM モードのコンペア設定**」に記載する演算式に基づいて TSG3nCnCMP1E-12E レジスタに値が設定され、0-100% の高精度 PWM が出力可能になります。

さらに TSG3nHSPSHUE, VE, WE にシフト幅を設定することにより、PWM の出力タイミングを自由にシフトすることが可能です。

(1) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に 0 を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に 0 を設定すると、TSG3nCnCMP1E, 2E に 0 が設定され、TSG3nCnCMP4E には 0、TSG3nCnCMP3E には “TSG3nCnCMP0E + 1” の値が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCnCMP2E の一致によるセット、TSG3nCnTE と TSG3nCnCMP1E の一致によるクリアが同時に発生しますが、クリアが優先されます。結果として TSG3nO1 はインアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCnTE と TSG3nCnCMP4E の一致によるセットが発生し、TSG3nCnTE=0 のタイミングでセットされます。TSG3nCnCMP3E には TSG3nCnCMP0E + 1 の値が設定されるため、TSG3nCnTE と TSG3nCnCMP3E の一致は発生しません。結果として TSG3nO2 はアクティブ固定の出力となります。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に 0 を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

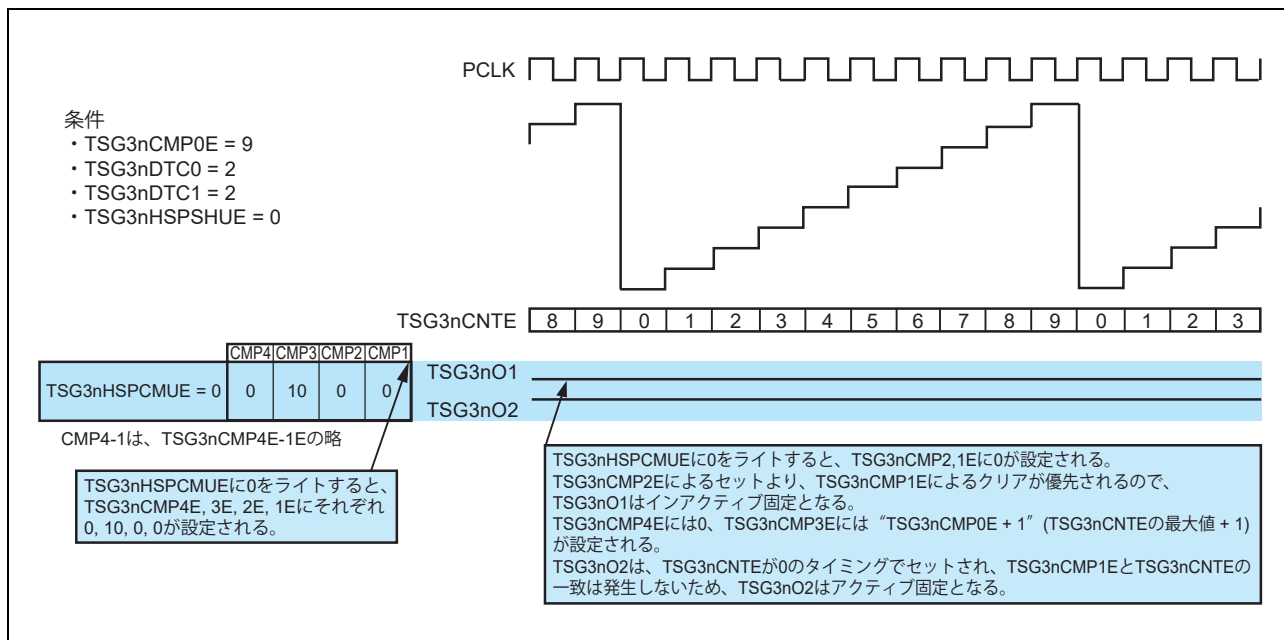


図 25.102 HSP-PWM モード波形 (TSG3nHSPCMUE に 0 設定)

(2) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “ $0 < \text{TSG3nHSPCMUE} \leq \text{TSG3nDTC0} + \text{TSG3nDTC1}$ ” の範囲を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると、TSG3nCMP1E, 2E には 0、TSG3nCMP4E には “TSG3nHSPCMUE の設定値 - 1”、TSG3nCMP3E には “TSG3nCMP0E” の値が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP2E の一致によるセット、TSG3nCnTE と TSG3nCMP1E の一致によるクリアが同時に発生しますが、クリアが優先されます。結果として TSG3nO1 はインアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP3E の一致によりクリアされ、TSG3nCnTE と TSG3nCMP4E の一致によりセットされます。そのため、TSG3nHSPCMUE に 1 を設定すると PWM 周期中に 1 サイクルインアクティブ、TSG3nHSPCMUE に 2 を設定すると PWM 周期中に 2 サイクルインアクティブ、TSG3nHSPCMUE に 3 を設定すると PWM 周期中に 3 サイクルインアクティブ というように遷移します。

TSG3nHSPSHUE (PWM シフト幅) に 0 以外を設定した場合、TSG3nO2 のセット/クリア タイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

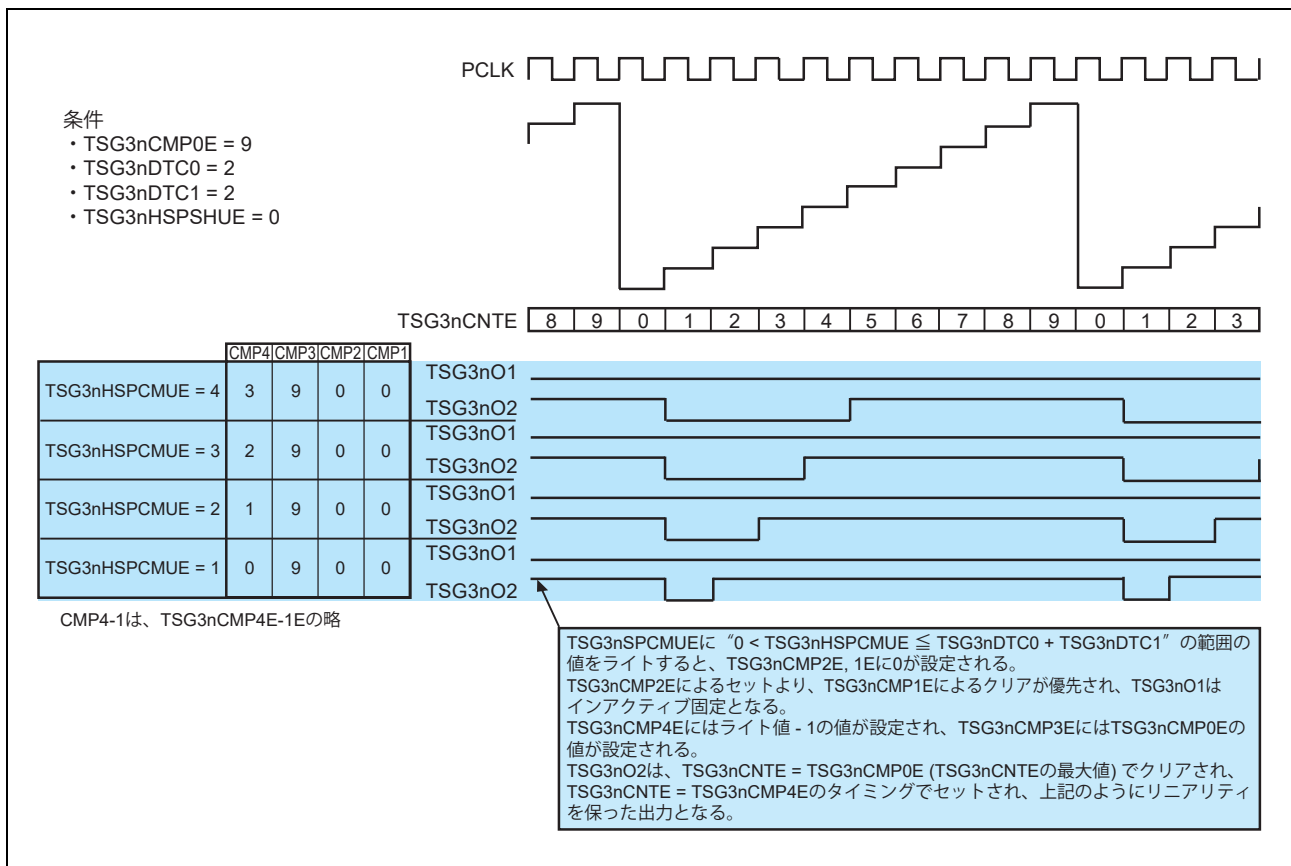


図 25.103 HSP-PWM モード波形 (TSG3nHSPCMUE に “ $0 < \text{TSG3nHSPCMUE} \leq \text{TSG3nDTC0} + \text{TSG3nDTC1}$ ” の値を設定)

(3) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nDTC0 + TSG3nDTC1 < TSG3nHSPCMUE/VE/WE ≤ TSG3nCMP0E” の範囲を設定したときの動作

TSG3nHSPCMUE に上記範囲の値を設定すると、TSG3nCMP2E には “TSG3nDTC0 - 1”、TSG3nCMP1E には “TSG3nHSPCMUE - TSG3nDTC1 - 1”、TSG3nCMP4E には “TSG3nHSPCMUE の設定値 - 1”、TSG3nCMP3E には “TSG3nCMP0E” の値が設定されます。

TSG3nO1 は、TSG3nCNTE と TSG3nCMP2E の一致によりセット、TSG3nCNTE と TSG3nCMP1E の一致によりクリアされ、TSG3nO2 は、TSG3nCNTE と TSG3nCMP4E の一致によりセット、TSG3nCNTE と TSG3nCMP3E の一致によりクリアされます。

そのため、TSG3nHSPCMUE に TSG3nDTC0 + TSG3nDTC1 + 1 を設定すると、TSG3nO1 は PWM 周期に 1 サイクルアクティブ、TSG3nO2 は PWM 周期に “TSG3nDTC0 + TSG3nDTC1 + 1” サイクルインアクティブ。TSG3nHSPCMUE に TSG3nDTC0 + TSG3nDTC1 + 2 を設定すると、TSG3nO1 は PWM 周期に 2 サイクルアクティブ、TSG3nO2 は PWM 周期に “TSG3nDTC0 + TSG3nDTC1 + 2” サイクルインアクティブというように遷移します。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1, TSG3nO2 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

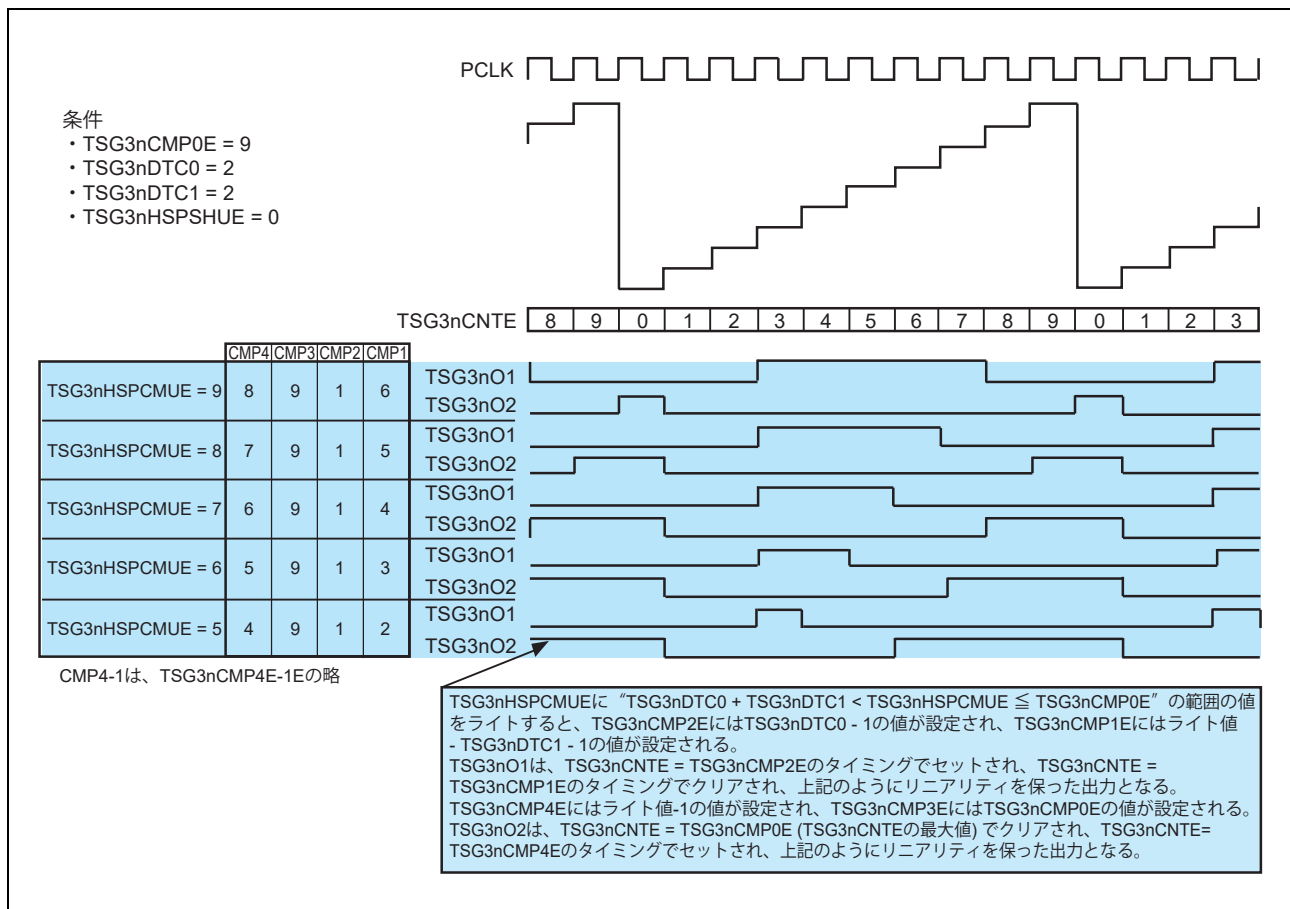


図 25.104 HSP-PWM モード波形 (TSG3nDTC0 + TSG3nDTC1 < TSG3nHSPCMUE ≤ TSG3nCMP0E の値を設定)

(4) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nCMP0E < TSG3nHSPCMUE/VE/WE < TSG3nCMP0E + TSG3nDTC1 + 1” の範囲を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると、TSG3nCMP2E には “TSG3nDTC0 - 1” の値が、TSG3nCMP1E には “TSG3nHSPCMUE - TSG3nDTC1 - 1” の値が設定され、TSG3nCMP3E, 4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP1E の一致によりクリアされ、TSG3nCnTE と TSG3nCMP2E の一致によりセットされます。

そのため、TSG3nHSPCMUE (U 相 PWM 出力幅設定) に TSG3nCMP0E + 1 設定時は、PWM 周期中に TSG3nDTC0 + TSG3nDTC1 サイクルだけインアクティブ、TSG3nCMP0E + 2 設定時には PWM 周期中に TSG3nDTC0 + TSG3nDTC1 - 1 サイクルだけインアクティブというように遷移します。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

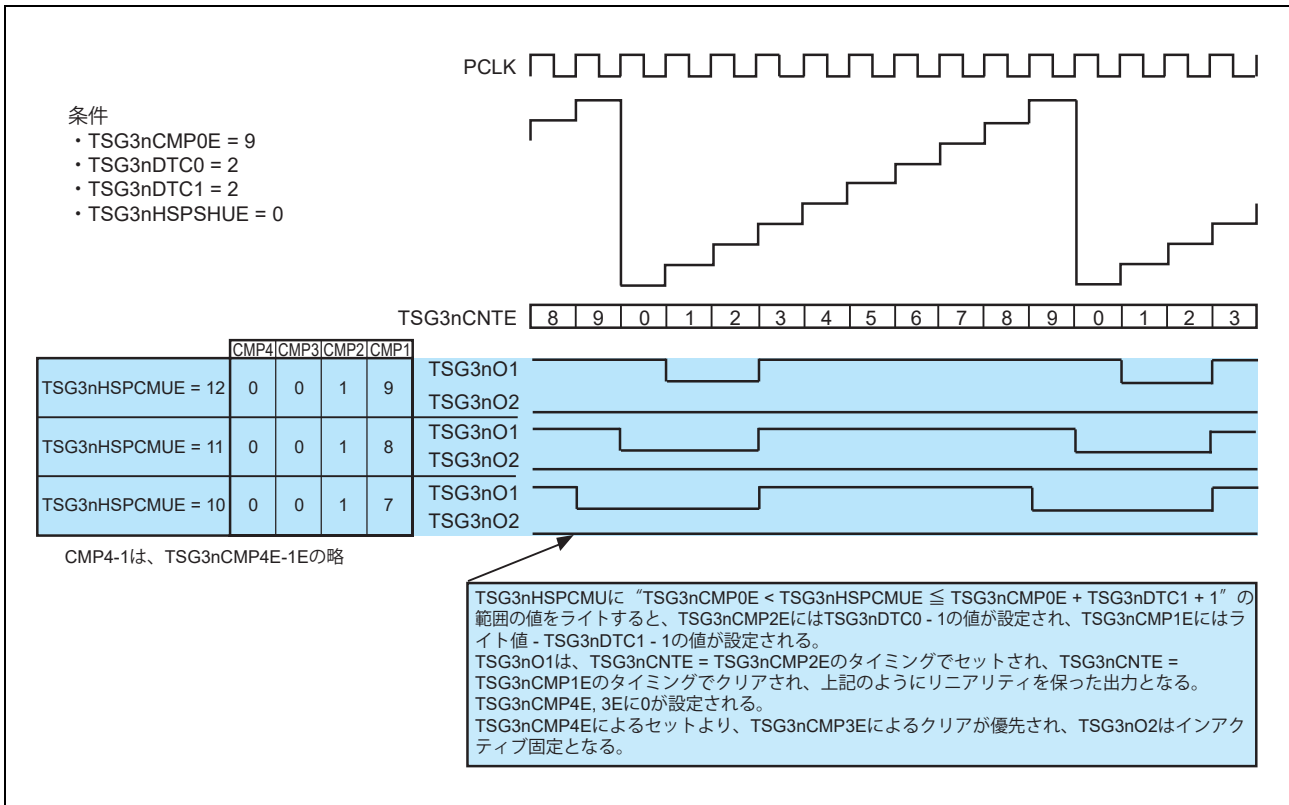


図 25.105 HSP-PWM モード波形 (TSG3nCMP0E < TSG3nHSPCMUE < TSG3nCMP0E + TSG3nDTC1 + 1 の値を設定)

(5) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “ $TSG3nCMP0E + TSG3nDTC1 + 1 < TSG3nHSPCMUE/VE/WE < TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1$ ” の範囲を設定したときの動作

TSG3nHSPCMUE (U 相 PWM 出力幅設定) に上記範囲の値を設定すると TSG3nCMP2E には “ $TSG3nDTC0 - 1$ ” の値が、TSG3nCMP1E には “ $TSG3nHSPCMUE - TSG3nCMP0E - TSG3nDTC1 - 2$ ” の値が設定され、TSG3nCMP3E, 4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP1E の一致によりクリアされ、TSG3nCnTE と TSG3nCMP2E の一致によりセットされます。そのため、TSG3nHSPCMUE (U 相 PWM 出力幅設定) に $TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1$ (PWM 出力幅の最大値 - 1) を設定時は、PWM 周期中に 1 サイクルインアクティブ、 $TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 - 1$ (PWM 出力幅の最大値 - 2) を設定時は、PWM 周期中に 2 サイクルインアクティブというように波形を出力します。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセット/クリアタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に上記範囲の値を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

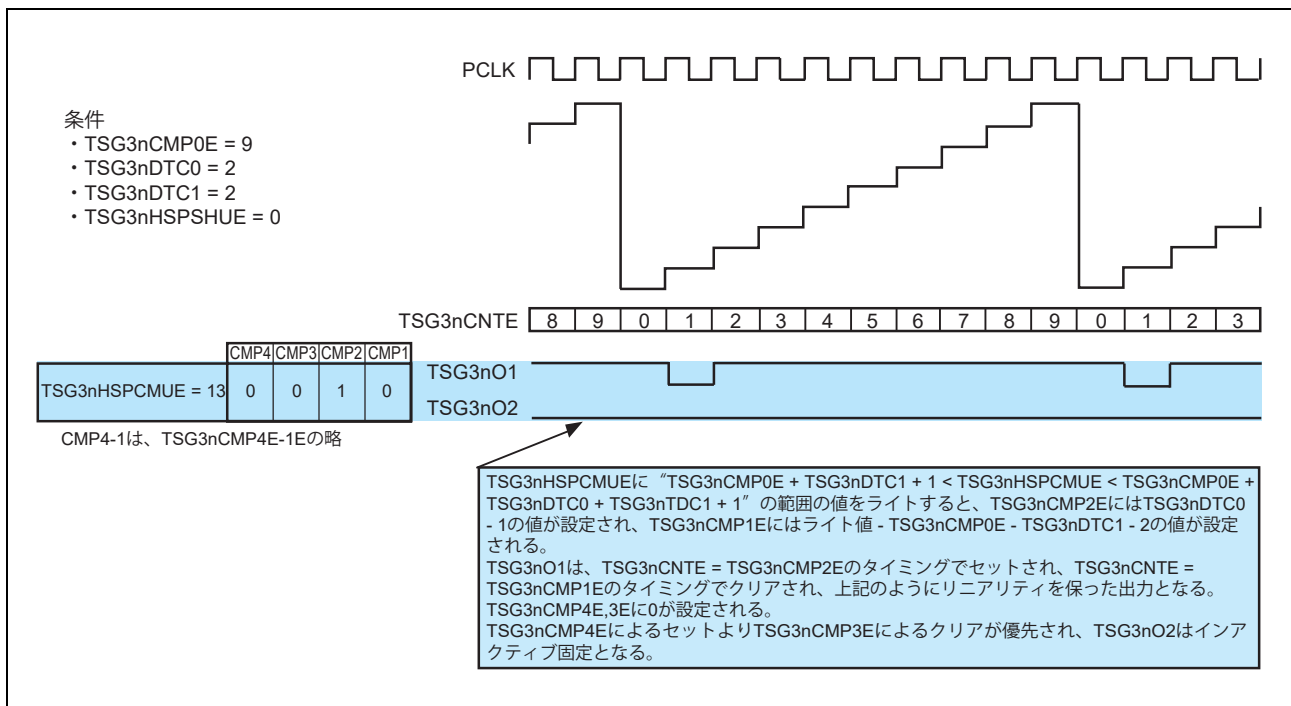


図 25.106 HSP-PWM モード波形 (TSG3nCMP0E + TSG3nDTC1 + 1 < TSG3nHSPCMUE < TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1 の値を設定)

(6) TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1” を設定したときの動作

TSG3nHSPCMUE に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 (PWM 出力幅の最大値)” を設定すると TSG3nCMP2E には “TSG3nDTC0 - 1” の値が、TSG3nCMP1E には “TSG3nCMP0E + 1” の値が設定され、TSG3nCMP3E, 4E には 0 が設定されます。

TSG3nO1 は、TSG3nCnTE と TSG3nCMP2E の一致によるセットが発生し、TSG3nCnTE = TSG3nDTC0 - 1 のタイミングでセットされます。

TSG3nCMP3E には TSG3nCMP0E + 1 の値が設定されるため、TSG3nCnTE と TSG3nCMP3E の一致は発生しません。その結果 TSG3nO1 はアクティブ固定の出力となります。

TSG3nO2 は、TSG3nCnTE と TSG3nCMP4E の一致によるセット、TSG3nCnTE と TSG3nCMP3E の一致によるクリアが同時に発生しますが、クリアが優先されます。その結果 TSG3nO2 はインアクティブ固定の出力となります。

TSG3nHSPSHUE に 0 以外を設定した場合、TSG3nO1 のセットタイミングは TSG3nHSPSHUE に設定したサイクル数だけ右にシフトします。(ただし、TSG3nO1 はアクティブ固定の出力のため、動作開始時 (TSG3nTE = 0 → 1) のみセットタイミングがシフトすることになります。動作開始時の動作は「**25.4.7.7 (8) HSP-PWM モードの動作開始時の TO 動作**」を参照してください。)

TSG3nHSPCMVE (V 相 PWM 出力幅設定)、TSG3nHSPCMWE (W 相 PWM 出力幅設定) に “TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1” を設定した場合、V 相、W 相の出力である TSG3nO3-6 も同様の動作となります。

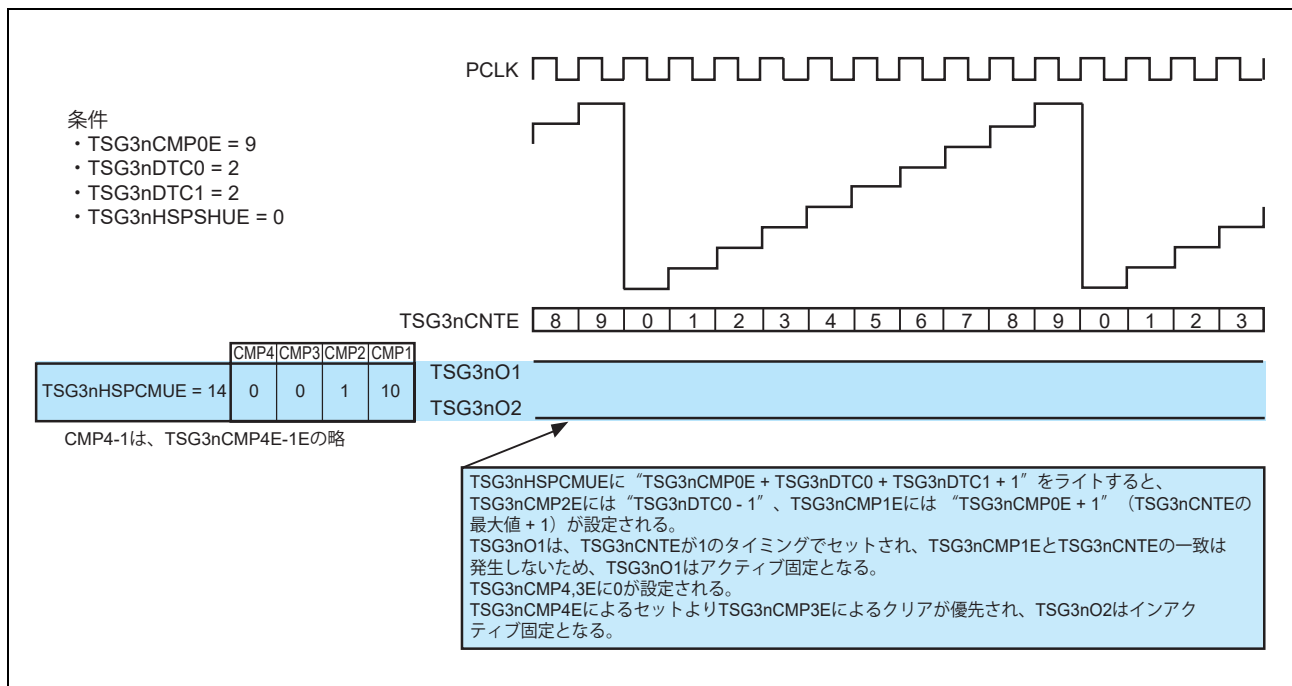


図 25.107 HSP-PWM モード波形 (TSG3nHSPCMUE に TSG3nCMP0E + TSG3nDTC0 + TSG3nDTC1 + 1 の値を設定)

備 考

1. HSP-PWM モードでは、TSG3nCMP4E, 2E に同じ値を設定すると、TSG3nO1, 2 ともに同じタイミングでセットすることが可能です。ただし、TSG3nO1, 2 をどちらともセットした場合、TSG3nO1, 2 はどちらともインアクティブとなります。
 2. HSP-PWM モードでは、動作停止時 (TSG3nTE = 0) でもデッドタイムカウンタは動作を継続し、TSG3nO1, 2 に設定したデッドタイムは必ず挿入します。
-

(7) HSP-PWM モードのリロード時の PWM 補正動作

HSP-PWM モードでは、動作中に TSG3nHSPCMUE/VE/WE (PWM 出力幅設定) を変更するとリロードタイミングで、TSG3nO1-6 をセット/クリアし、即座に新しい PWM 出力幅設定に応じた出力に切り替える補正動作を行います。

リロード時の補正動作では、以下の演算式にしたがいリロードタイミングで TSG3nO1-6 を強制的にセット/クリアします。

リロード補正動作時にも、TSG3nDTC0,1 に設定したデッドタイムは TSG3nO1-6 に必ず挿入されます。

なお TSG3nCMP1E-12E に直接ライトした場合には、リロード時の補正動作は行いません。

リロード補正動作の演算式

表 25.100 リロード補正動作の演算式：
TSG3nHSPSHUE/VE/WE = 0 (PWM シフト幅設定が 0) のとき

端子	セット	クリア
TSG3nO1/3/5	$CMP0E + DTC1 + 1 < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq CMP0E + DTC1 + 1$
TSG3nO2/4/6	$HSPCMUE/VE/WE = 0$	$0 < HSPCMUE/VE/WE$

表 25.101 リロード補正動作の演算式：
TSG3nHSPSHUE/VE/WE が 0 以外 (PWM シフト幅設定が 0 以外) のとき

端子	セット	クリア
TSG3nO1/3/5	(i) $CMP0E + DTC1 + 1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq CMP0E + DTC1 + 1 - HSPSHUE/VE/WE$
	(ii) $(CMP0E + 1) \times 2 + DTC1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$	$HSPCMUE/VE/WE \leq (CMP0E + 1) \times 2 + DTC1 - HSPSHUE/VE/WE$
TSG3nO2/4/6	$HSPCMUE/VE/WE \leq CMP0E + 1 - HSPSHUE/VE/WE$	$CMP0E + 1 - HSPSHUE/VE/WE < HSPCMUE/VE/WE$

PWM シフト幅設定が 0 以外のときは、シフト幅が「 $CMP0E + DTC0 - 1$ 」より大きいかどうかで、正相のセット/クリア条件が異なります。

$$(i) \quad HSPSHUE/VE/WE \leq CMP0E - DTC0 + 1$$

$$(ii) \quad HSPSHUE/VE/WE > CMP0E - DTC0 + 1$$

演算式中のレジスタ名は“TSG3n”を省略しています。

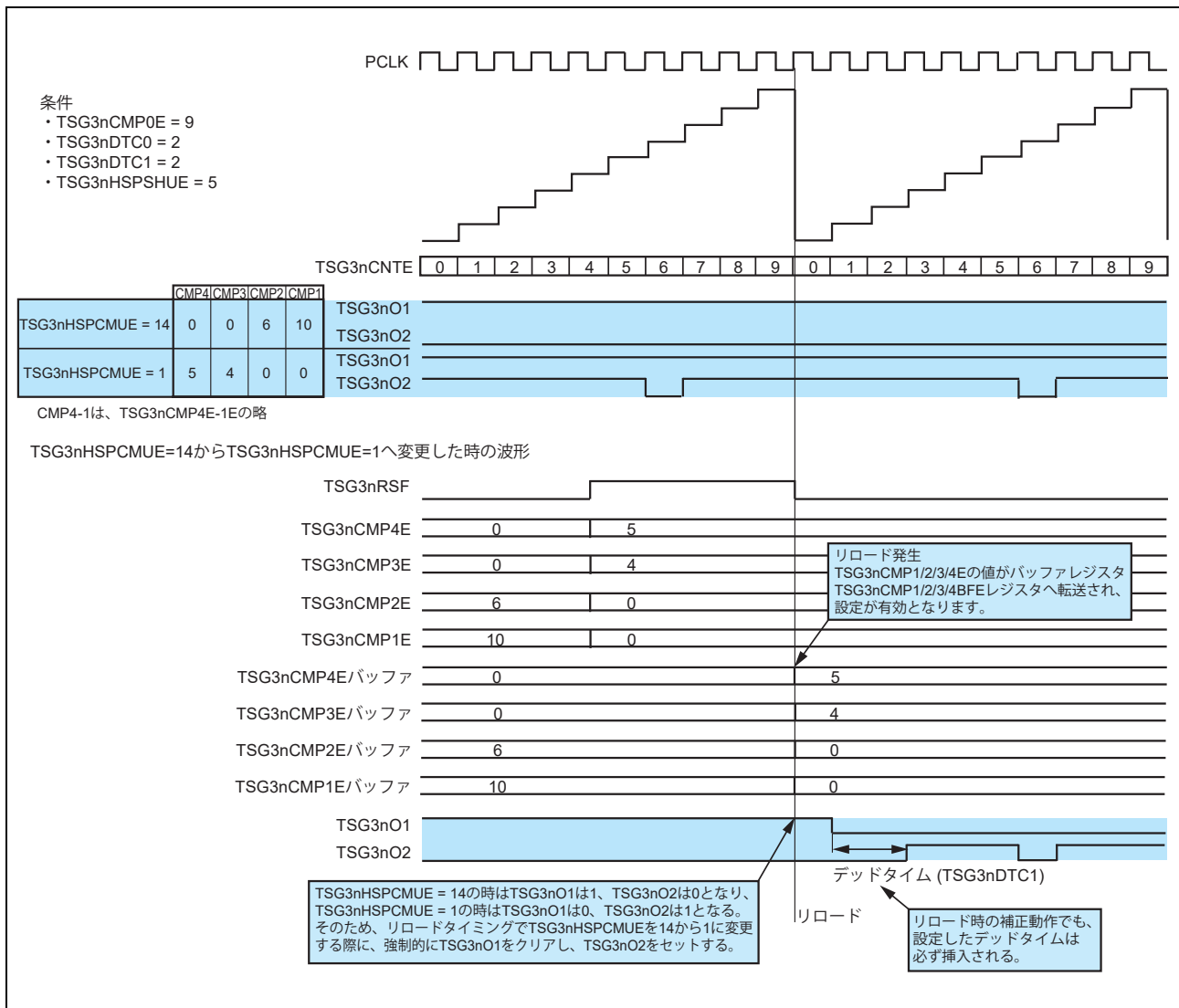


図 25.108 リロード補正詳細タイミング図 (TSG3nHSPCMUE = 14 から TSG3nHSPCMUE = 1 への変更)

(8) HSP-PWM モードの動作開始時の TO 動作

HSP-PWM モードでは動作開始時に TSG3nO1-6 をクリアします。

その後、TSG3nCnTE のカウントアップ動作に合わせて、TSG3nHSPCMUE/VE/WE (TSG3nCMP1E - 12E) に設定した値に応じて、TSG3nO1-6 はセット/クリアされます。

動作開始前に TSG3nO1-6 がセットされた状態で、動作開始時にクリア、その後、TSG3nO1-6 がセットされた時も、設定したデッドタイムは必ず挿入されます。

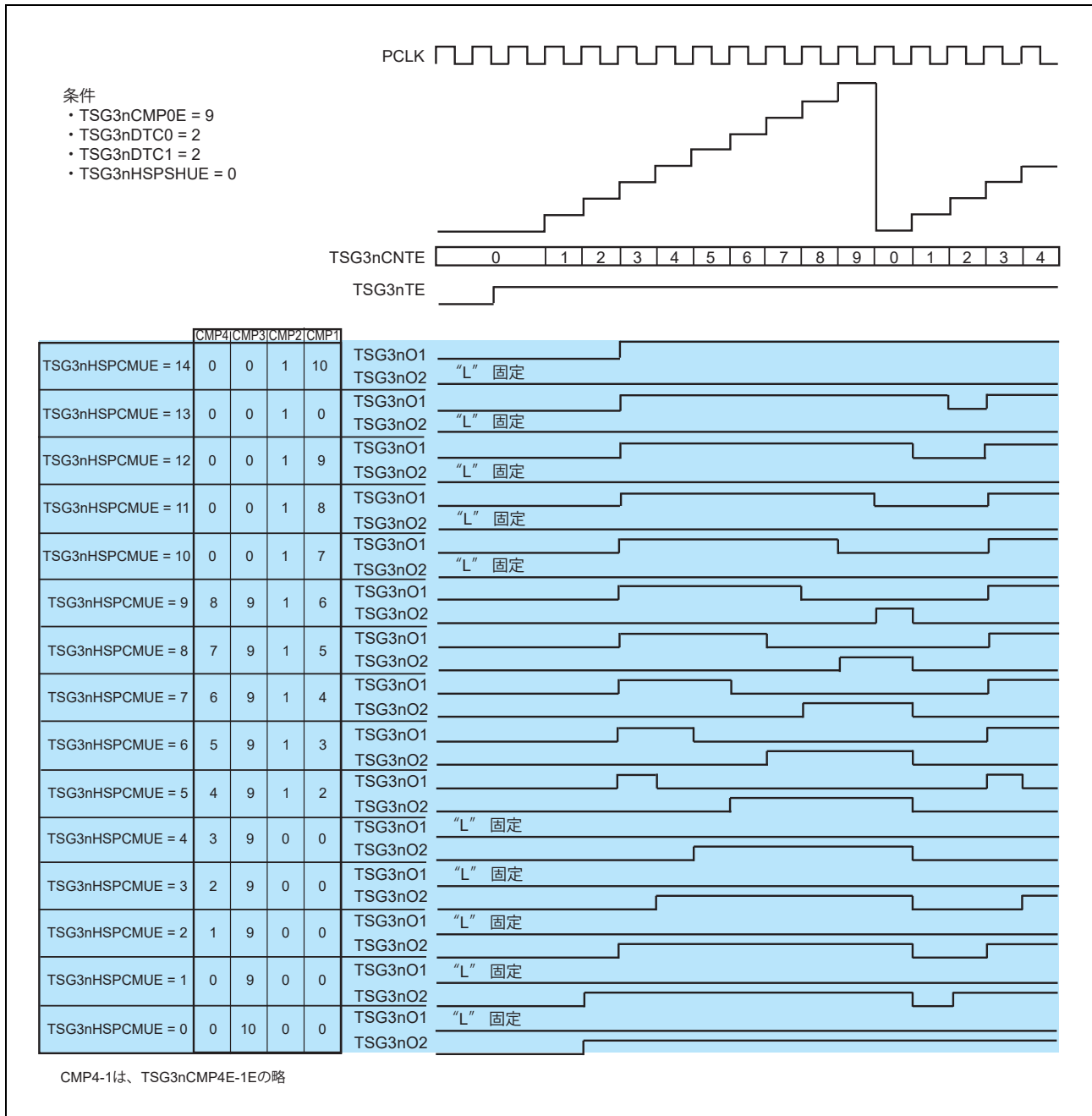


図 25.109 HSP-PWM モードの動作開始時のタイミング図 (TSG3nHSPSHUE = 0 (シフト 0 設定))

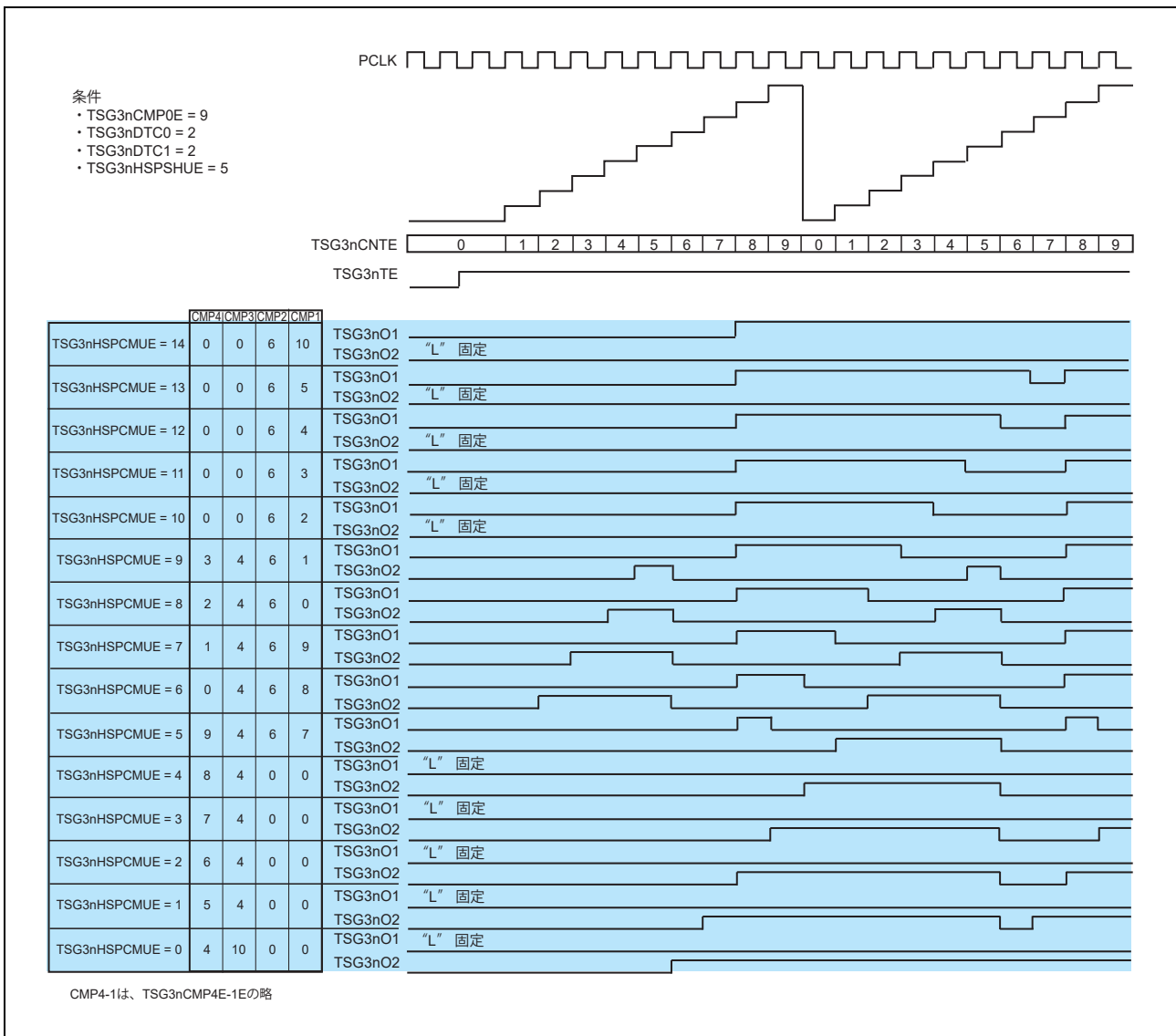


図 25.110 HSP-PWM モードの動作開始時のタイミング図 (TSG3nHSPSHUE = 5 (シフト5クロックサイクル設定))

25.4.7.8 ソフトウェア出力制御機能

HSP-PWM モード以外でソフトウェア出力制御機能を使用することができます。この機能は、TSG3nOPT0.TSG3nSOC, TSG3nIDC, TSG3nOPT1.TSG3nSPC2-TSG3nSPC0 を使用して TSG3nO1-TSG3nO6 端子に 6 パタンの出力をソフトウェアで切り替えられる機能です。

TSG3nSOC = 0 から TSG3nSOC = 1 に切り替えると、TSG3nO1-TSG3nO6 端子が即時にソフトウェア出力制御に切り替わります。逆に TSG3nSOC = 1 から TSG3nSOC = 0 に切り替えた場合は、リロードタイミングでソフトウェア出力制御が解除されます。

表 25.102 ソフトウェア出力制御機能に関するレジスタ説明

レジスタ	動作
TSG3nOPT0.TSG3nSOC	TSG3nSOC = 1
TSG3nOPT0.TSG3nSTE	TSG3nSTE = 0
TSG3nOPT1.TSG3nSPC2-TSG3nSPC0	次の表 25.103、表 25.104 に示す出力パターンを設定する
TSG3nOPT0.TSG3nIDC	出力するパターン (電流方向) を設定する

表 25.103 ソフトウェア出力制御の出力パターン (TSG3nOPT0.TSG3nIDC = 0)

TSG3nOPT0.TSG3nSOC = 1, TSG3nSTE = 0, TSG3nIDC = 0

出力端子	TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSG3nO2	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSG3nO3	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSG3nO4	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSG3nO5	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT
TSG3nO6	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT

備考 ACT : アクティブレベルを出力することを示します。
INACT : インアクティブレベルを出力することを示します。

表 25.104 ソフトウェア出力制御の出力パターン (TSG3nOPT0.TSG3nIDC = 1)

TSG3nOPT0.TSG3nSOC = 1, TSG3nSTE = 0, TSG3nIDC = 1

出力端子	TSG3nSTR1.TSG3nOPF2-TSG3nOPF0							
	101	100	110	010	011	001	000	111
TSG3nO1	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSG3nO2	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSG3nO3	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSG3nO4	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSG3nO5	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT
TSG3nO6	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT

備考 ACT : アクティブレベルを出力することを示します。
INACT : インアクティブレベルを出力することを示します。

第26章 タイマオプション (TAPA)

本章では、タイマオプション (TAPA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特性について説明します。それ以降の節では、TAPA の機能、レジスタについて説明します。

26.1 RH850/P1x TAPA の特長

26.1.1 ユニット数

本製品は以下のユニット数の TAPA を搭載しています。

表 26.1 ユニット数

製品	RH850/P1x
ユニット数	4
名称	TAPAn (n = 0 ~ 3)

表 26.2 添字

添字	意味
n	本章では、TAPA の各ユニットを「n」(n = 0 ~ 3) で識別します。たとえば、TAPAn フラグレジスタは TAPAnFLG と記述します。

26.1.2 レジスタベースアドレス

TAPA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

TAPA のベースアドレス <TAPAn_base> を以下の表に示します。

表 26.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TAPA0_base>	FFE9 0000 _H
<TAPA1_base>	FFE9 1000 _H
<TAPA2_base>	FFE9 2000 _H
<TAPA3_base>	FFE9 3000 _H

26.1.3 クロック供給

TAPA のクロック供給を以下の表に示します。

表 26.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TAPAn	PCLK	高速周辺クロック CLK_HSB

26.1.4 割り込み要求

TAPA には割り込み、DMA/DTS トリガはありません。

26.1.5 リセット要因

TAPA のリセット要因を以下に示します。TAPA は以下のリセット要因で初期化されます。

表 26.5 リセット要因

ユニット名	リセット要因
TAPAn	すべてのリセット要因

26.1.6 内部信号

タイマオプションの内部信号の接続を以下の表に示します。

表 26.6 TAPAn の内部信号

TAPAn の信号	機能	接続先
TAPA0		
TAPA0THASIN	Hi-Z 制御 非同期入力信号	PIC1 機能
TAPA0THZOUT0	Hi-Z 制御出力信号 0 (U 相)	TAUD0 の U 相出力信号 (TAUD0010,TAUD0011) の Hi-Z 制御
TAPA0THZOUT1	Hi-Z 制御出力信号 1 (V 相)	TAUD0 の V 相出力信号 (TAUD0012,TAUD0013) の Hi-Z 制御
TAPA0THZOUT2	Hi-Z 制御出力信号 2 (W 相)	TAUD0 の W 相出力信号 (TAUD0014TAUD0015) の Hi-Z 制御
TAPA1		
TAPA1THASIN	Hi-Z 制御 非同期入力信号	PIC1 機能
TAPA1THZOUT0	Hi-Z 制御出力信号 0 (U 相)	TAUD1 の U 相出力信号 (TAUD1010,TAUD1011) の Hi-Z 制御
TAPA1THZOUT1	Hi-Z 制御出力信号 1 (V 相)	TAUD1 の V 相出力信号 (TAUD1012,TAUD1013) の Hi-Z 制御
TAPA1THZOUT2	Hi-Z 制御出力信号 2 (W 相)	TAUD1 の W 相出力信号 (TAUD1014TAUD1015) の Hi-Z 制御
TAPA2		
TAPA2THASIN	Hi-Z 制御 非同期入力信号	PIC1 機能
TAPA2THZOUT0	Hi-Z 制御出力信号 0	TSG30 の出力信号 (TSG3001-TSG3006) の Hi-Z 制御
TAPA3		
TAPA3THASIN	Hi-Z 制御 非同期入力信号	PIC1 機能
TAPA3THZOUT0	Hi-Z 制御出力信号 0	TSG31 の出力信号 (TSG3101-TSG3106) の Hi-Z 制御

26.1.7 周辺構成図

TAPA の周辺構成図を以下に示します。

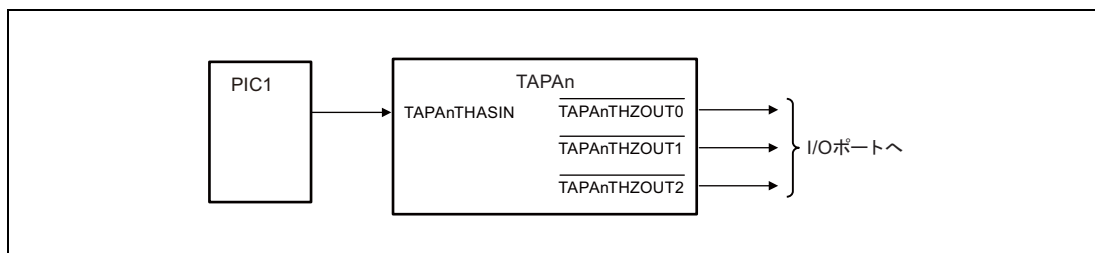


図 26.1 TAPA の周辺構成図

TAPA の周辺構成図を説明します。

- TAPAnTHASIN : Hi-Z 制御 非同期入力信号
PIC1 内で選択した要因で Hi-Z 制御を行うことができます。
PIC1 内で選択できる要因は、「**29.2.3.12 Hi-Z 制御機能**」を参照してください。

26.2 概要

26.2.1 機能概要

- Hi-Z 制御非同期入力信号 (TAPAnTHASIN) により、TAUD, TSG3 出力を個別に非同期 Hi-Z 制御

26.2.2 ブロック図

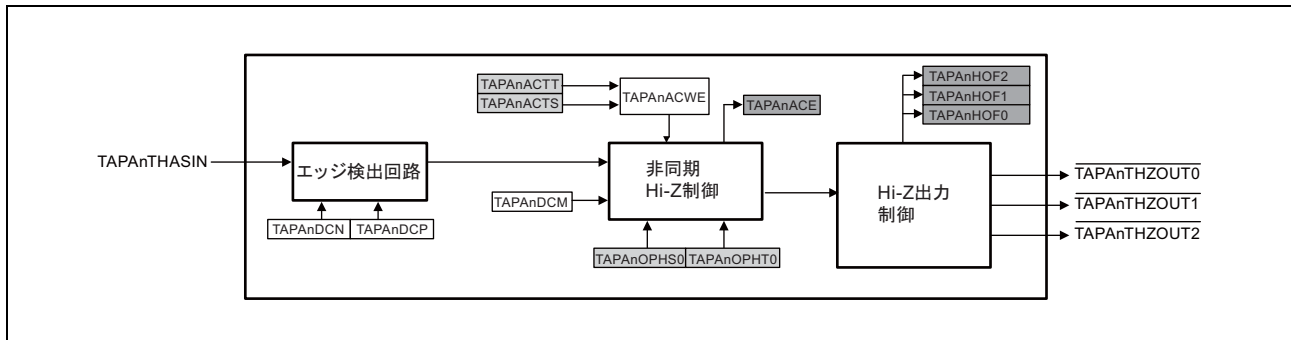


図 26.2 ブロック図

26.3 レジスタ

26.3.1 レジスタ一覧

TAPAn (n = 0 ~ 3) のレジスタ一覧を以下の表に示します。

<TAPAn_base> は「**26.1.2 レジスタベースアドレス**」を参照してください。

モジュール名	レジスタ名	略号	アドレス
TAPAn	TAPAn 制御レジスタ 0	TAPAnCTL0	<TAPAn_base> + 20 _H
TAPAn	TAPAn フラグレジスタ	TAPAnFLG	<TAPAn_base> + 00 _H
TAPAn	TAPAn 非同期制御ライトイネーブルレジスタ	TAPAnACWE	<TAPAn_base> + 04 _H
TAPAn	TAPAn 非同期制御スタートトリガレジスタ	TAPAnACTS	<TAPAn_base> + 08 _H
TAPAn	TAPAn 非同期制御ストップトリガレジスタ	TAPAnACTT	<TAPAn_base> + 0C _H
TAPAn	TAPAn Hi-Z スタートトリガレジスタ	TAPAnOPHS	<TAPAn_base> + 14 _H
TAPAn	TAPAn Hi-Z ストップトリガレジスタ	TAPAnOPHT	<TAPAn_base> + 18 _H

26.3.2 TAPAnCTL0 — TAPAn 制御レジスタ 0

Hi-Z 制御用の制御レジスタ 0 です。

このレジスタの値は、以下の場合のみ書き換えることができます。

- TAPAn(n = 0,1) のとき、TAPAnFLG.TAPAnACE = 0、かつ対応する TAUDn のマスタチャンネルにて TAUDnTE_m = 0(m = 10 ~ 15) となる場合
- TAPAn(n = 2,3) のとき、TAPAnFLG.TAPAnACE = 0 となる場合

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 20_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TAPAn DCM	TAPAn DCN	TAPAn DCP	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 26.7 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能															
15 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0: TAPAnTHASIN 信号入力に関係なく、TAPAnOPHT0 の操作を有効 1: TAPAnTHASIN 信号入力が入アクティブレベルの場合、TAPAnOPHT0 の操作を無効 TAPAnTHASIN 信号入力が入インアクティブの場合、TAPAnOPHT0 操作を有効															
3, 2	TAPAnDCN、 TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPAnTHASIN の有効エッジを指定する制御ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TAPAn DCN</th> <th>TAPAn DCP</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>有効エッジを検出しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TAPAn DCN	TAPAn DCP	動作説明	0	0	有効エッジを検出しない	0	1	立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)	1	0	立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)	1	1	設定禁止
TAPAn DCN	TAPAn DCP	動作説明															
0	0	有効エッジを検出しない															
0	1	立ち上がりエッジを有効エッジとして検出 (アクティブレベル = High)															
1	0	立ち下がりエッジを有効エッジとして検出 (アクティブレベル = Low)															
1	1	設定禁止															
1, 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															

26.3.3 TAPAnFLG — TAPAn フラグレジスタ

Hi-Z を制御するフラグレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TAPAn_base> + 00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TAPAn HOF2	TAPAn HOF1	TAPAn HOF0	—	—	—	—	—	—	—	TAPAnA CE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.8 TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 8	TAPAnHOFm	HZOUTm 出力モニタビット (m = 0、1、2) TAPAnTHZOUTm の出力モニタビットです。 0: TAPAnTHZOUTm の現在の出力がハイレベル 1: TAPAnTHZOUTm の現在の出力がロウレベル ^{注1}
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	TAPAnACE	非同期 Hi-Z 制御イネーブルビット 非同期 Hi-Z 制御 (TAPAnTHASIN) の状態を示すビットです。 0: 非同期 Hi-Z 制御が停止状態 1: 非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件 : TAPAnACWE = 1 時の TAPAnACTT への "1" 書き込み セット条件 : TAPAnACWE = 1 時の TAPAnACTS への "1" 書き込み

注 1. TAPAnHOFm (m=1,2) は、TAPAn (n = 0, 1) のときに有効です

26.3.4 TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TAPAn_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACWE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 26.9 TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnACWE	非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1” を書き込み後、TAPAnACTS または TAPAnACTT に “1” を書き込むこと によって、自動的に “0” にクリアされます。 0: TAPAnACTS と TAPAnACTT への書き込み禁止 1: TAPAnACTS と TAPAnACTT への書き込み許可

26.3.5 TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ

非同期 Hi-Z 制御用のスタートトリガを許可します。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.10 TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	TAPAnACTS	非同期制御スタートトリガビット 非同期 Hi-Z 制御用のイネーブルスタートトリガビットです。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0: "0" 書き込みは、機能として意味を持ちません。 1: TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を許可

26.3.6 TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ

非同期 Hi-Z 制御用のイネーブルストップトリガレジスタです。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.11 TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	TAPAnACTT	非同期制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0: "0" 書き込みは、機能として意味を持ちません。 1: TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を停止

26.3.7 TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ

Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m=0 \sim 2$ ^{注1})) のスタートトリガを設定します。

注 1. $m=1, 2$ の場合、TAPAn ($n=2,3$) では対応していません。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に00_Hとなります。

アドレス <TAPAn_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.12 TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHS0	Hi-Z 制御信号のスタートトリガ0ビット Hi-Z 制御信号のスタートトリガを設定します。 0: 読み出し値は常に0になり、0の書き込みは無視されます。 1: Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$) ($m=0 \sim 2$ ^{注1}) をロウレベルに設定

26.3.8 TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ

Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$ ($m=0 \sim 2$ ^{注1})) のストップトリガを設定します。

注 1. $m=1, 2$ の場合、TAPAn ($n=2,3$) では対応していません。

アクセス 8ビット単位でライトのみ可能です。読み出し値は常に00_Hとなります。

アドレス <TAPAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 26.13 TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHT0	Hi-Z 制御信号のストップトリガ0ビット Hi-Z 制御信号のストップトリガを設定します。 0: 読み出し値は常に0になり、0の書き込みは無視されます。 1: Hi-Z 制御信号 ($\overline{\text{TAPAnTHZOUTm}}$) ($m=0 \sim 2$ ^{注1}) をハイレベルに設定

26.4 機能

26.4.1 非同期 Hi-Z 制御機能

CPUによって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、CPUによる制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態にします。

26.4.1.1 概要

Hi-Z は次の方法で制御することができます。

- Hi-Z 制御非同期入力信号 (TAPAnTHASIN) による非同期入力 Hi-Z 制御
 - TAPAn (n = 0, 1) のときは、 $\overline{\text{TAPAnTHZOUT0}}$ (U相)、 $\overline{\text{TAPAnTHZOUT1}}$ (V相)、 $\overline{\text{TAPAnTHZOUT2}}$ (W相) の Hi-Z 制御出力信号で非同期に制御します。
 - TAPAn (n = 2, 3) のときは、 $\overline{\text{TAPAnTHZOUT0}}$ の Hi-Z 制御出力信号で非同期に制御します。

非同期 Hi-Z 制御の機能と動作

機能	動作
端子入力に対応した非同期 Hi-Z 制御	非同期の端子入力検出により、タイマ機能 (TAUD 機能、TSG3 機能) からの TOUTn 出力を強制的に停止する機能です。TAPAnTHASIN がアクティブレベルの間、ソフトウェアが停止要求を送るまで、デバイスのポート出力を Hi-Z にします。

26.4.1.2 システム構成例

この機能は、外部エラー検出信号を受信すると、割り込みが発生し、同時にモータドライブ信号出力が Hi-Z になります。

エラー発生時にマイコンも暴走している可能性があることを想定し、外部のエラー検出信号を継続的に処理することによってクロックがない状態でも、モータドライブ信号出力を Hi-Z にできるようにしています。

なお、エラー検出信号のエッジを検出したときのみエラーを検出し、出力レベルが固定されている (信号にエッジがない) 場合、エラーは検出されません。

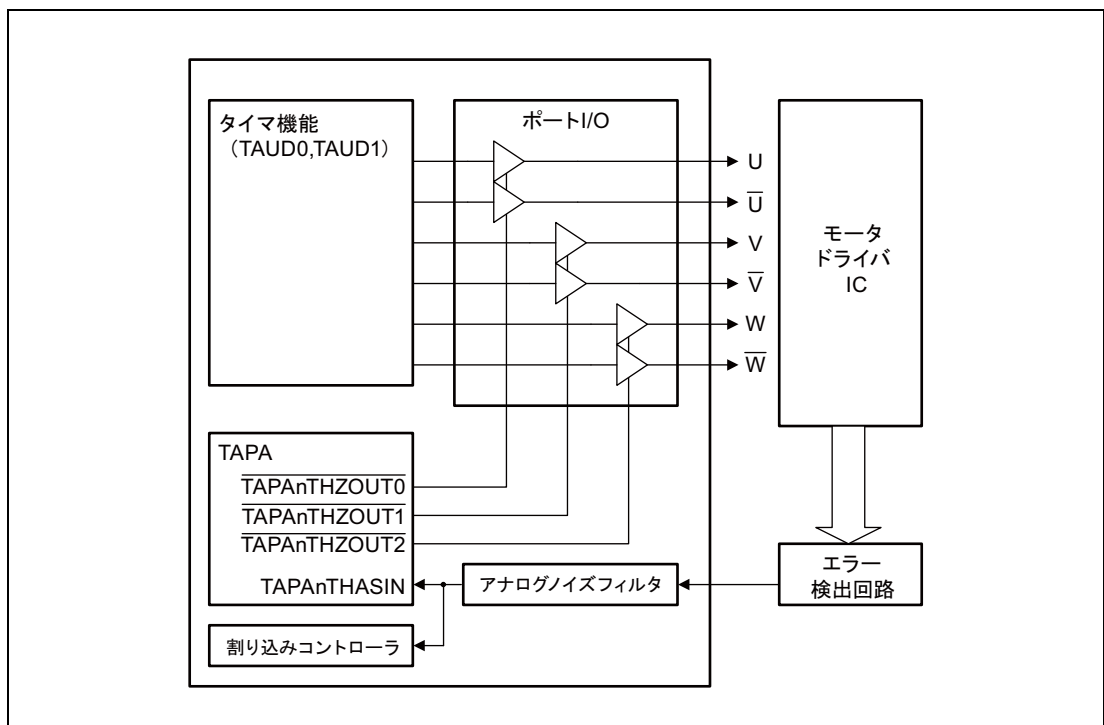


図 26.3 端子入力に対応した非同期 Hi-Z 制御のシステム構成例 (TAUD0、TAUD1)

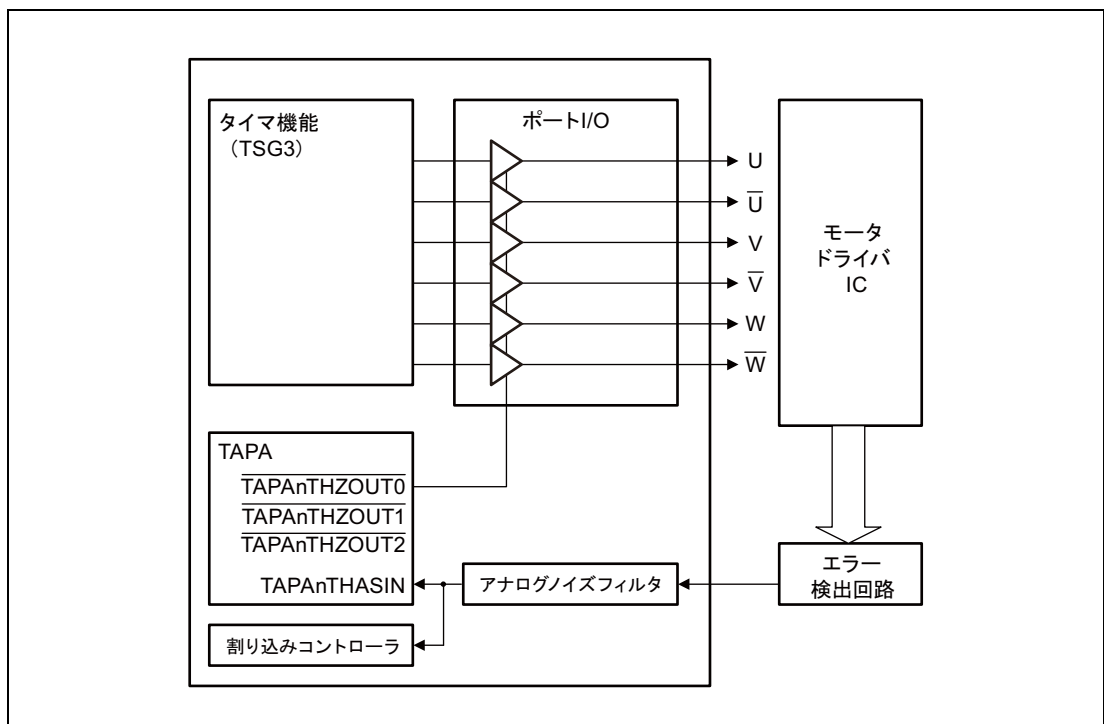


図 26.4 端子入力に対応した非同期 Hi-Z 制御のシステム構成例 (TSG30、TSG31)

26.4.1.3 基本動作

設定例を下記に示します。

TAPAnCTL0.TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力 (TAPAnTHASIN) の有効エッジを検出すると、TAPAnTHZOUT0 がロウレベルになります。

TAPAnTHZOUT0 がロウレベルの間、強制的に出力を停止 (ポート制御による出力 Hi-Z) します。

TAPAnTHASIN のレベルに関係なく、TAPAn Hi-Z ストップトリガレジスタのビット 0 (TAPAnOPHT0) に“1”を書き込むことによって、TAPAnTHZOUT0 がハイレベルになります。

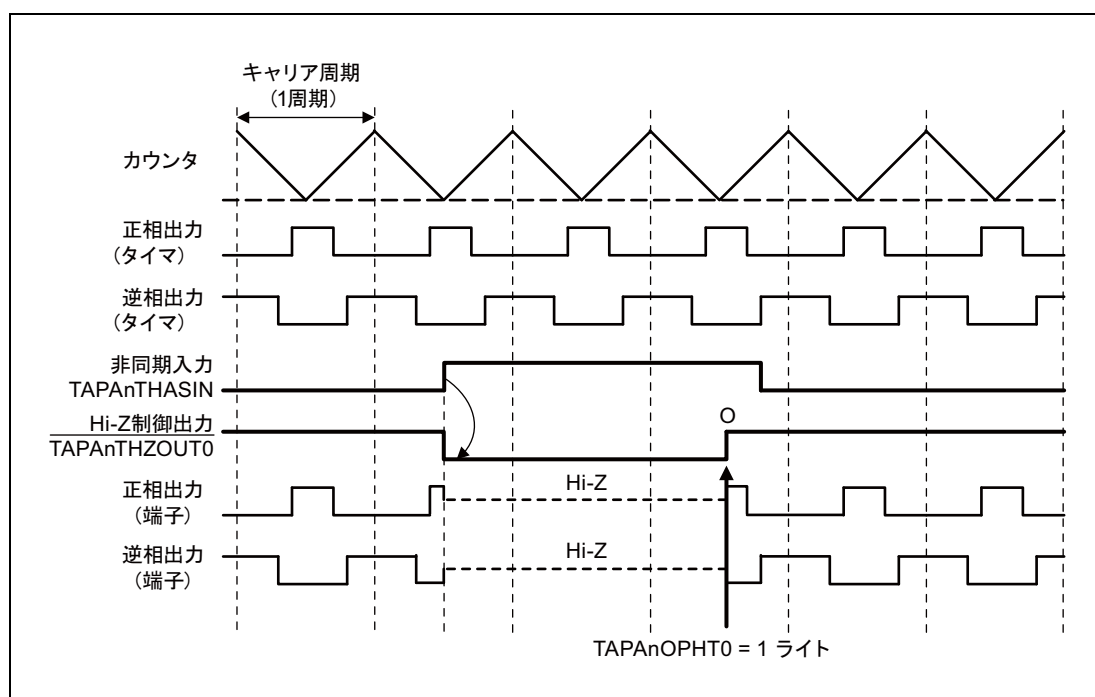


図 26.5 TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時の TAPAnTHZOUT0 の動作

TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力 (TAPAnTHASIN) の有効エッジを検出すると、TAPAnTHZOUT0 がロウレベルになります。

TAPAnTHZOUT0 がロウレベルの間、強制的に出力を停止 (ポート制御による出力 Hi-Z) します。

非同期入力 (TAPAnTHASIN) がアクティブレベル (TAPAnDCP = 1 のため、ハイレベル) の間、Hi-Z ストップトリガ 0 (TAPAnOPHT0) への "1" 書き込みは無視されます。

非同期入力 (TAPAnTHASIN) がインアクティブ (TAPAnDCP = 1 のため、ロウレベル) レベルとなったあと、Hi-Z ストップトリガ 0 (TAPAnOPHT0) に "1" を書き込むことによって、TAPAnTHZOUT0 がハイレベルになります。

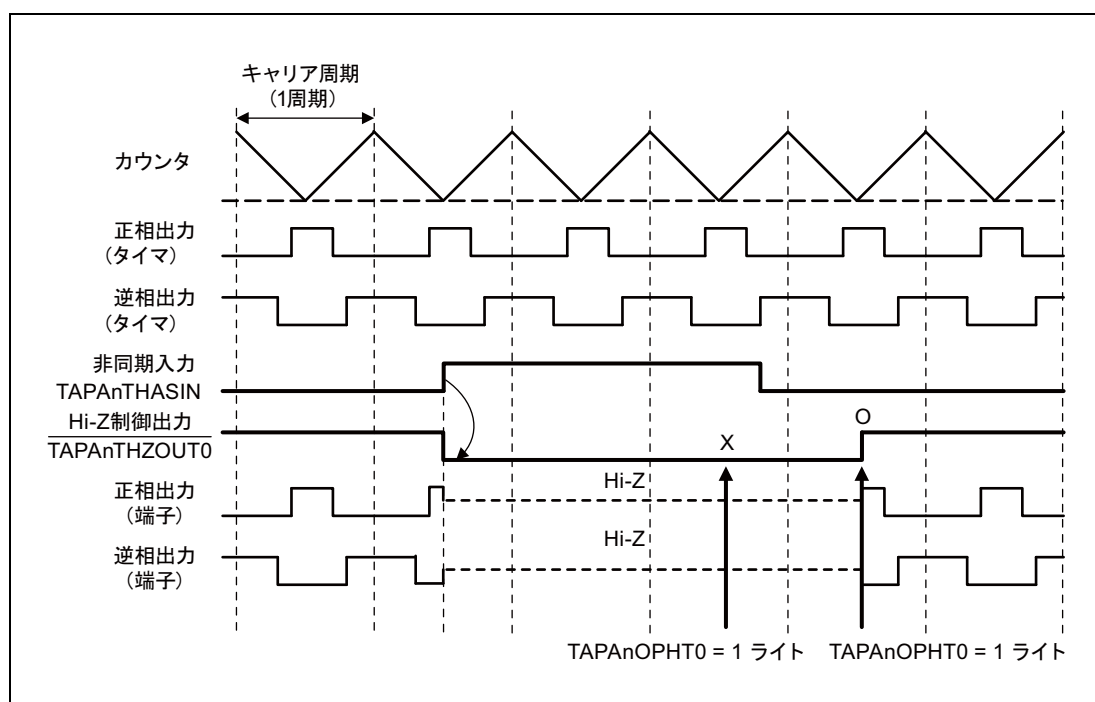


図 26.6 TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時の TAPAnTHZOUT0 の動作

26.4.1.4 ソフトウェアトリガによる非同期 Hi-Z 制御

この機能では、Hi-Z 制御出力信号をソフトウェアによって制御することが可能です。

Hi-Z スタートトリガ 0 (TAPAnOPHS0) および Hi-Z ストップトリガ 0 (TAPAnOPHT0) で、TAPAnTHZOUT0、TAPAnTHZOUT1^{注1}、TAPAnTHZOUT2^{注1} を制御します。

注 1. TAPAn (n=2,3) では対応していません。

Hi-Z スタートトリガ (TAPAnOPHS) の動作

TAPAnDCM	動作
0/1	TAPAnOPHS0 ビットに "1" を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がロウレベルとなります。

非同期入力 Hi-Z 制御時のストップトリガ (TAPAnOPHT) の動作

Hi-Z ストップトリガは次の条件のときのみ有効となります。

TAPAnDCM	動作
0	TAPAnOPHT0 ビットに "1" を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がハイレベルとなります。
1	TAPAnTHASIN がインアクティブ中、TAPAnOPHT0 ビットに "1" を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がハイレベルとなります。TAPAnTHASIN がアクティブ中は、TAPAnOPHT0 ビットへの "1" の書き込みは無視されます。

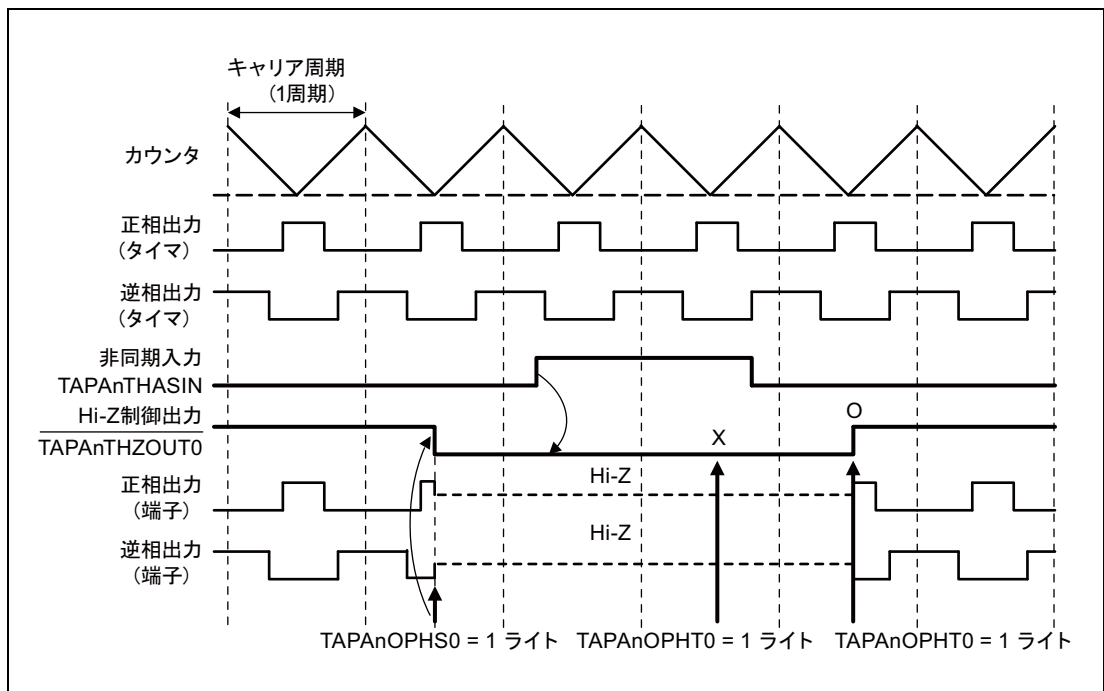


図 26.7 TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時の TAPAnTHZOUT0 の動作

26.4.1.5 操作手順

以下に非同期入力 Hi-Z 制御の操作手順を示します。
(タイマ機能の動作に依存しないため、タイマオプションに関して記載しています)

	動作	TAPA の状態	
動作再開 ↑	初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP、TAPAnDCN を設定 (入力エッジ選択) TAPAnDCM を設定 (クリアモード選択)	非同期 Hi-Z 制御停止 (TAPAnFLG.TAPAnACE = 0)
	動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE に "1" を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS に "1" を設定	TAPAnACTS の書き込み可能 TAPAnFLG.TAPAnACE = 1 により非同期 Hi-Z 制御許可
	動作中	タイマ機能の出力に対して Hi-Z 制御を開始 (スタート) する方法は、以下の通りです。 TAPA の TAPAnOPHS0 で制御 TAPA の Hi-Z 入力信号 (TAPAnTHASIN) で制御 Hi-Z 制御を終了 (ストップ) する方法は、以下の通りです。 TAPA の TAPAnOPHT0 で制御 (TAPAnDCM = 0 の場合) TAPA の Hi-Z 入力信号 (TAPAnTHASIN) が インアクティブ時に TAPAnOPHT0 で制御 (TAPAnDCM = 1 の場合) TAPA の TAPAnFLG レジスタで常に TAPA の動作状態 が読み出し可能です。	Hi-Z 制御機能は、Hi-Z 入力信号 (TAPAnTHASIN) に入力されたスタート エッジの検出、またはスタートトリガビット を設定 (TAPAnOPHS0 = 1) すること によって、TAPAnTHZOUT0、 TAPAnTHZOUT1 ^{注1} 、TAPAnTHZOUT2 ^{注1} をロウレベルで出力します。 Hi-Z 制御機能は、TAPAnDCM で設定した動 作モードにしたがい、ストップトリガビット を設定 (TAPAnOPHT0 = 1) することによ って、TAPAnTHZOUT0、TAPAnTHZOUT1 ^{注1} 、TAPAnTHZOUT2 ^{注1} をハイレベルで出力 します。
	動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE に "1" を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT に "1" を設定	TAPAnACTT の書き込み許可 TAPAnFLG.TAPAnACE = 0 により非同期 Hi-Z 制御停止

注 1. TAPAn (n=2,3) では対応していません。

第27章 タイマパターンバッファ (TPBA)

本章では、タイマパターンバッファ (TPBA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特性について説明します。それ以降の節では、TPBA の機能、レジスタについて説明します。

27.1 RH850/P1x TPBA の特長

27.1.1 ユニット数

本製品は、以下に示すユニット数の TPBA を搭載しています。
ユニット当たり 1 チャンネルのインタフェースを持っています。

表 27.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	2	2
名称	TPBA _n (n = 0, 1)	TPBA _n (n = 0, 1)

表 27.2 添字

添字	意味
n	本章では、TPBA の各ユニットを「n」(n = 0, 1) で識別します。たとえば、TPBA _n 制御レジスタは TPBA _n CTL と記述します。
m	バッファの番号を「m」で識別します (m = 00 ~ 63)。

27.1.2 レジスタベースアドレス

TPBA のベースアドレスを以下の表に示します。

TPBA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 27.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<TPBA0_base>	FFEA 0000 _H
<TPBA1_base>	FFEA 1000 _H

27.1.3 クロック供給

TPBA のクロック供給を以下の表に示します。

表 27.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
TPBA _n	PCLK	高速周辺クロック CLK_HSB

27.1.4 割り込み要求

TPBA の割り込み要求を以下の表に示します。

表 27.5 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号
TPBA0			
INTTPBA0IPRD	周期一致検出割り込み	286	111
INTTPBA0IDTY	デューティ一致検出割り込み	287	112
INTTPBA0IPAT	ボタン数一致検出割り込み	288	113
TPBA1			
INTTPBA1IPRD	周期一致検出割り込み	289	114
INTTPBA1IDTY	デューティ一致検出割り込み	290	115
INTTPBA1IPAT	ボタン数一致検出割り込み	291	116

27.1.5 リセット要因

TPBA のリセット要因を以下に示します。

表 27.6 リセット要因

ユニット名	リセット要因
TPBA _n	すべてのリセット要因

27.1.6 外部入出力信号

TPBA の外部入出力信号を以下の表に示します。

表 27.7 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
TPBA0		
TPBA0O	タイマ出力	TPBA0O
TPBA1		
TPBA1O	タイマ出力	TPBA1O

27.2 概要

27.2.1 機能概要

TPBAn は、デューティ設定用バッファを搭載した 16 ビット PWM タイマです。

- カウントクロック分解能：最小 12.5ns (カウントクロック 80MHz 時)
- 16 ビットカウンタ
- 16 ビットデューティレジスタ
- 16 ビット周期設定レジスタ
- 7 ビットアドレスカウンタ
- 7 ビットパターン数設定レジスタ
- 割り込み要求信号
 - 周期一致検出割り込み
 - デューティ一致検出割り込み
 - パターン数一致検出割り込み
- デューティパターン数
 - 16 ビット 64 パターンもしくは 8 ビット 128 パタン
- パターン数による自動デューティ生成
- ソフトウェアによる出力コントロール
- プリスケアラ設定値により 4 つのカウントクロックを選択可能 (PCLK、PCLK/2、PCLK/4、PCLK/8)
- 他のタイマとの同時スタート

27.2.2 ブロック図

以下のブロック図は TPBA の主要なコンポーネントを示しています。

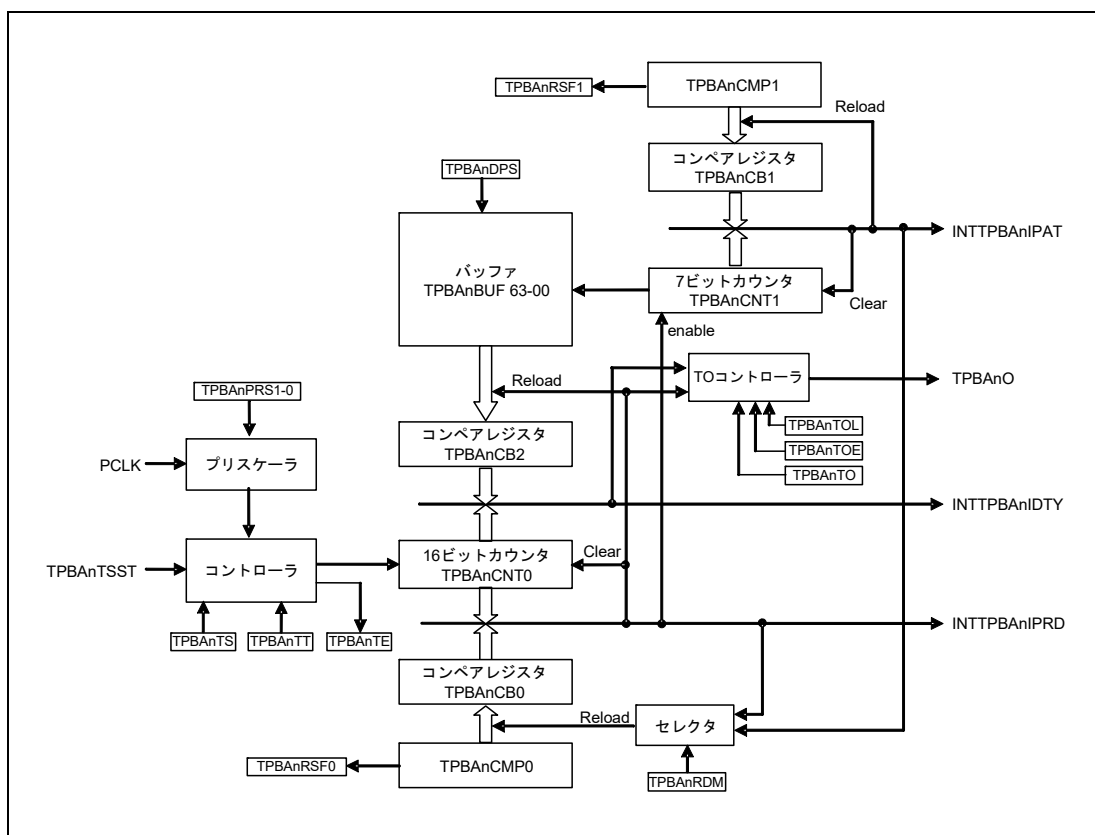


図 27.1 TPBA のブロック図

- TPBAnTSST : 同時スタートトリガ (PIC 機能より入力)

27.3 レジスタ

27.3.1 レジスタ一覧

TPBA のレジスタ一覧を以下の表に示します。

<TPBA_n_base> は「27.1.2 レジスタベースアドレス」を参照してください。

表 27.8 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TPBA _n	TPBA _n 制御レジスタ	TPBA _n CTL	<TPBA _n _base> + 200 _H
TPBA _n	TPBA _n リロードデータモードレジスタ	TPBA _n RDM	<TPBA _n _base> + 118 _H
TPBA _n	TPBA _n リロードステータスレジスタ	TPBA _n RSF	<TPBA _n _base> + 110 _H
TPBA _n	TPBA _n リロードデータトリガレジスタ	TPBA _n RDT	<TPBA _n _base> + 114 _H
TPBA _n	TPBA _n タイマ出力許可レジスタ	TPBA _n TOE	<TPBA _n _base> + 120 _H
TPBA _n	TPBA _n タイマ出力レジスタ	TPBA _n TO	<TPBA _n _base> + 11C _H
TPBA _n	TPBA _n タイマ出力レベルレジスタ	TPBA _n TOL	<TPBA _n _base> + 124 _H
TPBA _n	TPBA _n 周期設定レジスタ	TPBA _n CMP0	<TPBA _n _base> + 100 _H
TPBA _n	TPBA _n デューティ設定レジスタ	TPBA _n BUFm	<TPBA _n _base> + m × 4 _H
TPBA _n	TPBA _n パターン数設定レジスタ	TPBA _n CMP1	<TPBA _n _base> + 104 _H
TPBA _n	TPBA _n タイマカウンタレジスタ	TPBA _n CNT0	<TPBA _n _base> + 108 _H
TPBA _n	TPBA _n アドレスカウンタレジスタ	TPBA _n CNT1	<TPBA _n _base> + 10C _H
TPBA _n	TPBA _n イネーブルステータスレジスタ	TPBA _n TE	<TPBA _n _base> + 128 _H
TPBA _n	TPBA _n スタートトリガレジスタ	TPBA _n TS	<TPBA _n _base> + 12C _H
TPBA _n	TPBA _n ストップトリガレジスタ	TPBA _n TT	<TPBA _n _base> + 130 _H

27.3.2 TPBA_nCTL — TPBA_n 制御レジスタ

TPBA_n の動作を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBA_n_base> + 200_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	TPBA _n PRS[1:0]		—	—	—	TPBA _n DPS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R/W

表 27.9 TPBA_nCTL レジスタの内容

ビット位置	ビット名	機能															
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
5、4	TPBA _n PRS [1:0]	カウントクロックを選択します。 <table border="1" data-bbox="663 902 1402 1090"> <thead> <tr> <th>TPBA_nPRS1</th> <th>TPBA_nPRS0</th> <th>動作説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PCLK を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>PCLK/2 を選択</td> </tr> <tr> <td>1</td> <td>0</td> <td>PCLK/4 を選択</td> </tr> <tr> <td>1</td> <td>1</td> <td>PCLK/8 を選択</td> </tr> </tbody> </table>	TPBA _n PRS1	TPBA _n PRS0	動作説明	0	0	PCLK を選択	0	1	PCLK/2 を選択	1	0	PCLK/4 を選択	1	1	PCLK/8 を選択
TPBA _n PRS1	TPBA _n PRS0	動作説明															
0	0	PCLK を選択															
0	1	PCLK/2 を選択															
1	0	PCLK/4 を選択															
1	1	PCLK/8 を選択															
3～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。															
0	TPBA _n DPS	デューティ設定パターンを選択します。 0 : 16bit × 64 パタン 1 : 8bit × 128 パタン															

注 意

このレジスタの設定は、タイマ停止中 (TPBA_nTE = 0) に設定してください。誤って書き換えた場合は、タイマを停止してから再設定してください。

27.3.3 TPBAnRDM — TPBAn リロードデータモードレジスタ

TPBAn の周期設定レジスタとタイマ出力レベルレジスタのリロードタイミングを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 118_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnRDM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 27.10 TPBAnRDM レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnRDM0	周期設定レジスタ (TPBAnCMP0) とタイマ出力レベルレジスタ (TPBAnTOL) のリロードタイミングを制御します。 0 : パタン数一致検出割り込み (INTTPBAnIPAT) に同期してリロード 1 : 周期一致検出割り込み (INTTPBAnIPRD) に同期してリロード

注 意

このレジスタは動作中の書き換えが可能です。書き換えた値は随時書き込まれます。したがって、動作中の書き換えは、リロード要求フラグ (TPBAnRSF = 0) のときに行ってください。

27.3.4 TPBAnRSF — TPBAn リロードステータスレジスタ

各レジスタのリロード要求を示すレジスタです。

アクセス 8ビット単位でリード可能です。

アドレス <TPBAn_base> + 110_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TPBAnRSF1	TPBAnRSF0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.11 TPBAnRSF レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	TPBAnRSF1	TPBAnCMP1 レジスタのリロード要求の有無を示すフラグです。 0: リロード要求なし、またはリロード完了 1: リロード要求あり TPBAnRDT レジスタの TPBAnRDT1 ビットに“1”がライトされたタイミングでセットされます。 リロードが実行されたタイミングでクリアされます。
0	TPBAnRSF0	TPBAnCMP0 レジスタおよび TPBAnTOL レジスタのリロード要求の有無を示すフラグです。 0: リロード要求なし、またはリロード完了 1: リロード要求あり TPBAnRDT レジスタの TPBAnRDT0 ビットに“1”がライトされたタイミングでセットされます。 リロードが実行されたタイミングでクリアされます。

27.3.5 TPBAnRDT — TPBAn リロードデータトリガレジスタ

各レジスタのリロードを許可します。

アクセス 8ビット単位でライト可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 114_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TPBAnRDT1	TPBAnRDT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 27.12 TPBAnRDT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	TPBAnRDT1	TPBAnCMP1 レジスタのリロードを許可するビットです。 0: 書き込みは無視されます 1: リロードを許可します (TPBAnRSF1 を“1”にセット) 次のリロードタイミングで一斉に更新されます (リロード)
0	TPBAnRDT0	TPBAnCMP0 レジスタおよび TPBAnTOL レジスタのリロードを許可するビットです。 0: 書き込みは無視されます 1: リロードを許可します (TPBAnRSF0 を“1”にセット) 次のリロードタイミングで一斉に更新されます (リロード)

27.3.6 TPBAnTOE — TPBAn タイマ出力許可レジスタ

タイマ出力の許可/禁止を制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 120_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTOE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 27.13 TPBAnTOE レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTOE0	タイマ出力 (TPBAnO) の出力許可/禁止を選択します。 0: カウント動作によるタイマ出力の停止 1: カウント動作によるタイマ出力の許可 • 出力停止時にはTPBAnTOレジスタに設定したレベルがTPBAnO端子から出力され、ソフトウェアによる操作が可能です。 • 出力許可時にはTPBAnTOレジスタはタイマの動作によりセット/クリアされ、PWM出力します。書き込みは禁止です (書き込みを無視します)。

27.3.7 TPBAnTO — TPBAn タイマ出力レジスタ

タイマの出力レベルを制御、またはリードできます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 11C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTO0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 27.14 TPBAnTO レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTO0	TPBAnO 端子の出力レベルを設定、または出力レベルを表します。 <ul style="list-style-type: none"> タイマ出力停止中 (TPBAnTOE.TPBAnTOE0 = 0) <ul style="list-style-type: none"> 0: ロウレベルを出力 1: ハイレベルを出力 タイマ出力停止中は、本レジスタを書き換えることで出力レベルを制御しません。 タイマ出力許可中 (TPBAnTOE.TPBAnTOE0 = 1) <ul style="list-style-type: none"> 0: タイマ出力によりロウレベルを出力中 1: タイマ出力によりハイレベルを出力中 タイマ出力許可中は、本レジスタの書き換えは無視されます。

27.3.8 TPBAnTOL — TPBAn タイマ出力レベルレジスタ

タイマ出力レベルを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 124_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTOL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 27.15 TPBAnTOL レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TPBAnTOL0	<p>タイマ出力のアクティブレベルを設定します。</p> <p>0: アクティブレベルはハイレベル 1: アクティブレベルはロウレベル</p> <ul style="list-style-type: none"> このビットの設定はタイマ出力許可中 (TPBAnTOE.TPBAnTOE0 = 1) のとき有効となります。 このビットの設定は、タイマ出力開始時から反映され、出力レベルの変更は、変更後の次のリロードタイミングから出力レベルが反映されます。

注 意

このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。

リロードの詳細については「[27.4.2 コンペアレジスタの書き換え操作](#)」を参照してください。

27.3.9 TPBAnCMP0 — TPBAn 周期設定レジスタ

PWM 周期設定用の 16 ビットコンペアレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 100_H

リセット後の値 0000_H

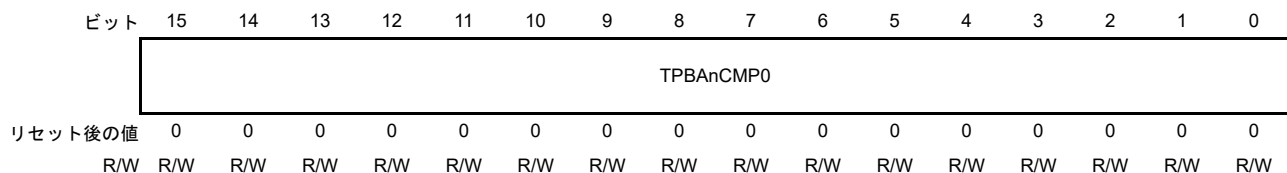


表 27.16 TPBAnCMP0 レジスタの設定

動作モード	PWM 周期	最小値 (周期)	最大値 (周期)
8 ビット設定	TPBAnCMP0 + 1	1	100 _H
16 ビット設定	TPBAnCMP0 + 1	1	10000 _H

注 意

- PWM 周期は、(TPBAnCMP0 + 1) カウントクロック周期となります。
したがって、100%の PWM 出力を行う場合、設定可能な最大値は FFFE_H (FE_H) となります。
- このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。
リロードの詳細については「27.4.2 コンペアレジスタの書き換え操作」を参照してください。

27.3.10 TPBAnBUFm — TPBAn デューティ設定レジスタ

デューティ設定用の 16 × 64 個のバッファレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + m × 4_H

リセット後の値 0000_H

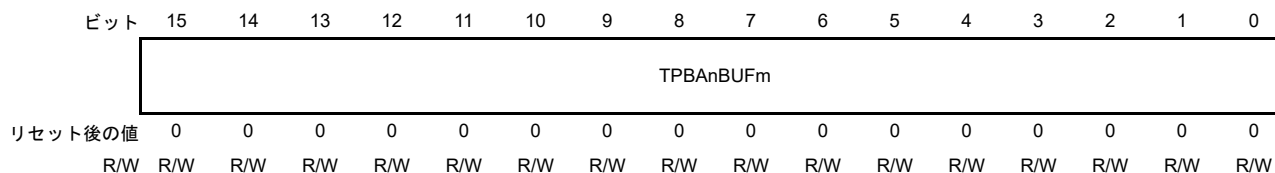


表 27.17 TPBAnBUFm レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	TPBAnBUFm 15 ~ 0	デューティ値を設定します。 このレジスタは TPBAnDPS ビットにより 16bit × 64 パタン (TPBAnDPS = 0) と 8bit × 128 パタン (TPBAnDPS = 1) を切り替えて使用することが可能です。いずれのパタンにおいても、CPU からのアクセスは 16 ビット単位で行います。詳細については「27.4.3 デューティの書き換え操作」を参照ください。

注 意

このレジスタへ設定された値は、周期一致検出割り込み (INTTPBAnIPRD) に同期してデューティ設定バッファレジスタ (TPBAnCB2) へ転送されます。

タイマ動作中の書き換えは、随時反映されます。

詳細については「27.4.3 デューティの書き換え操作」を参照ください。

- 8bit × 128 パタンのデューティ設定レジスタを使用する場合、デューティ値の設定範囲は 00_H ~ FF_H となります。
デューティ 100% の波形を出力する関係式は $TPBAnBUFm = TPBAnCMP0 + 1 \leq 00FF_H$ となります。そのため、デューティ 100% の PWM 出力が必要な場合、TPBAnCMP0 の最大値は 00FE_H となります。
TPBAnBUFm > TPBAnCMP0+1 の場合は、Duty 値が 100% を超えますが集約して 100% 出力となります。
- 16bit × 64 パタンのデューティ設定レジスタを使用する場合、デューティ値の設定範囲は 0000_H ~ FFFF_H となります。
デューティ 100% の波形を出力する関係式は $TPBAnBUFm = TPBAnCMP0+1 \leq FFFF_H$ となります。そのため、デューティ 100% の PWM 出力が必要な場合、TPBAnCMP0 の最大値は FFFE_H となります。
TPBAnBUFm > TPBAnCMP0+1 の場合は、Duty 値が 100% を超えますが集約して 100% 出力となります。

27.3.11 TPBAnCMP1 — TPBAn パターン数設定レジスタ

PWM 出力のパターン数を設定します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <TPBAn_base> + 104_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	TPBAnCMP1						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.18 TPBAnCMP1 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	TPBAnCMP1 [6:0]	パターン数を設定します。設定範囲は以下の通りです。 TPBAnDPS = 0 : 0 ~ 63 TPBAnDPS = 1 : 0 ~ 127

注 意

- このレジスタはリロード対象レジスタです。タイマ動作中の書き換えは、次のリロードタイミングにて反映されます。リロードの詳細については「[27.4.2 コンペアレジスタの書き換え操作](#)」を参照してください。
- デューティ設定パターンが 16bit × 64 パタン (TPBAnDPS = 0) のとき、パターン数に 64 以上が設定された場合、アドレスポインタは “63” → “00” となり、再度 “00” からデューティ値の転送動作が行われます。設定されたパターン数と TPBAnCNT1 の下位値 7 ビットの一致により、パターン数一致検出割込み信号 (INTTPBAnIPAT) を出力します。

27.3.12 TPBAnCNT0 — TPBAn タイマカウンタレジスタ

PWM 出力を生成する TPBAnCNT0 です。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 108_H

リセット後の値 FFFF_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPBAnCNT0															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16 ビットカウンタ

このレジスタは、16 ビットカウンタの値をリードできるカウンタレジスタです。

27.3.13 TPBAnCNT1 — TPBAn アドレスカウンタレジスタ

デューティ設定レジスタのアドレスポインタを示すカウンタレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 10C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TPBAnCNT1							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

7 ビットカウンタ

このレジスタは、TPBAnBUFm レジスタのアドレスを示すカウンタレジスタです。

27.3.14 TPBAnTE — TPBAn イネーブルステータスレジスタ

タイマカウンタの動作/停止状態を示すレジスタです。

アクセス 8ビット単位でリードのみ可能です。

アドレス <TPBAn_base> + 128_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.19 TPBAnTE レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	TPBAnTE0	タイマカウンタの動作/停止状態を示すフラグです。 0: タイマカウンタ停止状態 1: タイマカウンタ動作状態 <ul style="list-style-type: none"> TPBAnTS ビットの“1”ライトもしくは同時スタートトリガ入力によりTPBAnTE0 ビットが“1”にセットされます。 TPBAnTT ビットの“1”ライトによりTPBAnTE0 ビットが“0”にクリアされます。

27.3.15 TPBAnTS — TPBAn スタートトリガレジスタ

タイマカウンタのスタートトリガを制御します。

アクセス 8ビット単位でライトのみ可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 12C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.20 TPBAnTS レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TPBAnTS0	タイマカウンタを動作状態とするトリガビットです。 0: 書き込みは無視されます 1: カウント開始 (TPBAnTE = 1)

注 意

カウント動作中 (TPBAnTE = 1) の、このレジスタへの書き込みは無視されます。

27.3.16 TPBAnTT — TPBAn ストップトリガレジスタ

タイマカウンタのストップトリガを制御します。

アクセス 8ビット単位でライトのみ可能です。リード時には“0”がリードされます。

アドレス <TPBAn_base> + 130_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TPBAnTT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.21 TPBAnTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TPBAnTT0	タイマカウンタを停止状態とするトリガビットです。 0: 書き込みは無視されます 1: カウント停止 (TPBAnTE = 0)

27.4 機能

27.4.1 基本動作

27.4.1.1 16 ビットカウンタ (TPBAnCNT0) の基本動作

カウント開始動作

16 ビットカウンタ (TPBAnCNT0) は、リセット後の値 $FFFF_H$ からカウントを開始します。

クリア動作

カウンタ値と TPBAnCMP0 のバッファレジスタ (TPBAnCB0) の設定値の一致により 16 ビットカウンタをクリアします。

カウント動作中のカウンタリード動作

TPBAnCNT0 レジスタにより、カウント動作中の 16 ビットカウンタの値をリードできます。

27.4.1.2 7 ビットカウンタ (TPBAnCNT1) の基本動作

カウント開始動作

7 ビットカウンタ (TPBAnCNT1) は、 00_H に初期化されカウントを開始します。以降周期一致検出割り込み (INTTPBAnIPRD) と同期してカウントアップします。

クリア動作

カウンタ値と TPBAnCMP1 のバッファレジスタ (TPBAnCB1) の設定値の一致により 7 ビットカウンタをクリアします。

カウント動作中のカウンタリード動作

TPBAnCNT1 レジスタにより、カウント動作中の 7 ビットカウンタの値をリードできます。リード値は次に転送するデューティ値が格納されている TPBAnBUFm レジスタを示します。

27.4.2 コンペアレジスタの書き換え操作

次のレジスタの書き換えは、リロードで行います。

- TPBAnCMP0
- TPBAnCMP1
- TPBAnTOL

リロードモード (一斉書き換え機能)

TPBAnRDT レジスタへライトすると、ビットごとに割り当てられた対象レジスタのリロードが許可され (リロード要求フラグ TPBAnRSF.TPBAnRSFk をセット)、次のリロードタイミングでリロード対象レジスタが一斉に更新されます (リロード)。TPBAnCMP0 レジスタと TPBAnTOL レジスタのリロードタイミングは、TPBAnRDM レジスタで設定します。

TPBAnCMP1 レジスタのリロードタイミングは7ビットカウンタ (TPBAnCNT1) と、TPBAnCMP1 のバッファレジスタ (TPBAnCB1) の一致タイミング (INTTPBAnIPAT) になります。リロード対象レジスタは、リロード要求フラグ TPBAnRSF.TPBAnRSFk = 0 のときに書き換えてください。

備考 : k = 0、1

リロードモード対象レジスタの設定フロー

書き換えたリロード対象レジスタ (TPBAnCMP0-TPBAnCMP1, TPBAnTOL) の値は、リロードタイミングで一斉に各バッファレジスタに転送することができます。

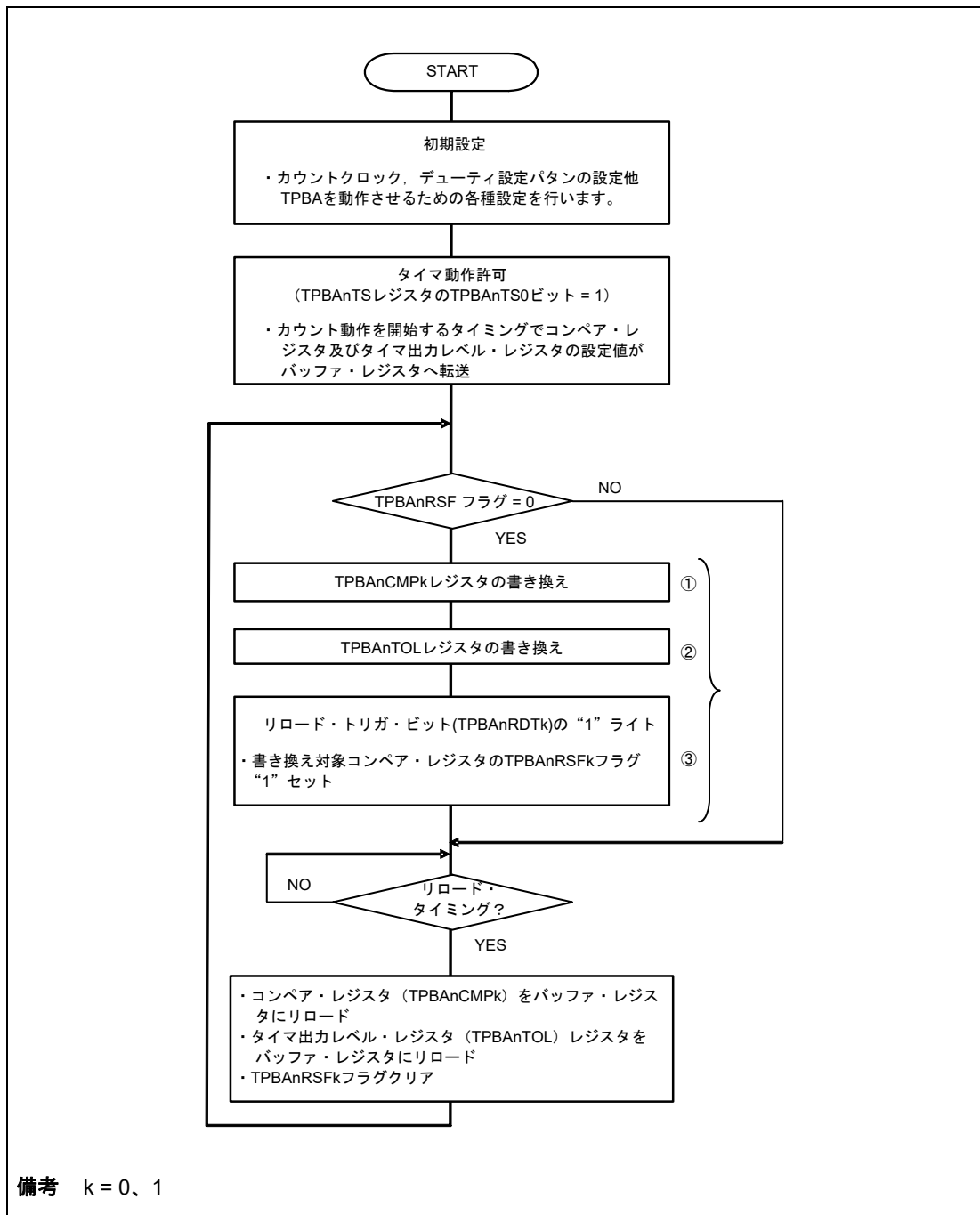


図 27.2 リロード (一斉書き換え機能) の基本動作フロー

注意

TPBAnRDtk ビットの“1”セットによりリロードを許可します。したがって TPBAnRDtk ビットの書き換えはリロード対象レジスタの書き換えより後にしてください。

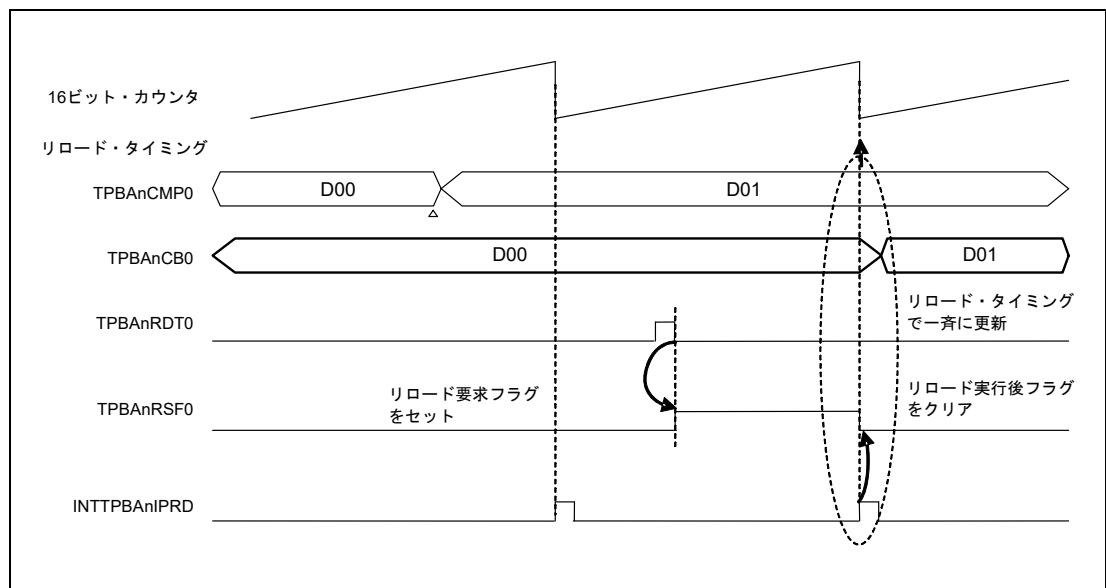


図 27.3 一斉書き換えのタイミング (TPBAnDPS = 0, TPBAnRDM = 0, TPBAnTOL = 0)

27.4.3 デューティの書き換え操作

TPBAnBUFm レジスタは、動作中の書き換えが可能です。

書き換えた設定は随時書き込みとなります。

27.4.3.1 TPBAnBUFm レジスタの設定フロー

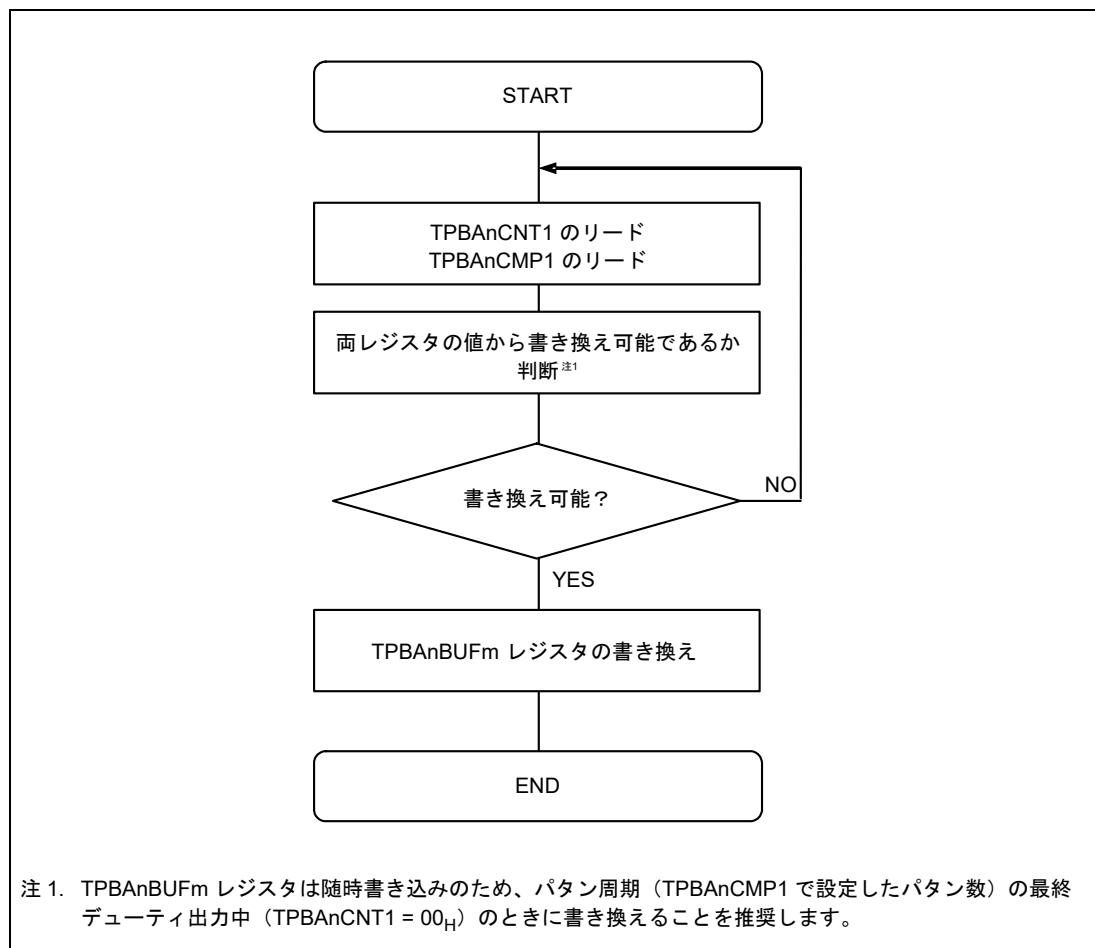


図 27.4 TPBAnBUFm レジスタの基本書き換えフロー

27.4.3.2 TPBAnBUFm レジスタのアクセス

TPBAnBUFm レジスタは、16 ビットアクセスです。

16 ビット×64 パタン、8 ビット×128 パタンの場合のアクセスは、次の通りになります。

- 16 ビット×64 パタン選択時 (TPBAnDPS = 0)
CPU からのアクセスは 16 ビット×1 パタン単位になります

15	0	
パタン 64		00FCh
パタン 63		00F8h
⋮		⋮
パタン 3		0008h
パタン 2		0004h
パタン 1		0000h

- 8 ビット×128 パタン選択時 (TPBAnDPS = 1)
CPU からのアクセスは 8 ビット×2 パタン単位になります

15	8 7	0	
パタン 128		パタン 127	00FCh
パタン 126		パタン 125	00F8h
⋮		⋮	⋮
パタン 6		パタン 5	0008h
パタン 4		パタン 3	0004h
パタン 2		パタン 1	0000h

27.4.3.3 TPBAncNT1 レジスタのリード値と TPBAncBUFm の関係

動作中に TPBAncCNT1 レジスタのカウント値をリードすることにより、現在出力されている PWM 波形のデューティ値を得ることができます。以下の方法により、現在出力中のデューティ値が格納されている TPBAncBUFm レジスタを求めてください。

表 27.22 TPBAncBUFm の計算式

TPBAncDPS ビット	計算式	
	TPBAncCNT1 = 00 _H 以外	TPBAncCNT1 = 00 _H
0 : 16 ビット × 64 パタン	TPBAncCNT1 - 01 _H ⁽¹⁾	
1 : 8 ビット × 128 パタン	TPBAncCNT1 が奇数	TPBAncCNT1 / 2 ⁽³⁾
	TPBAncCNT1 が偶数	(TPBAncCNT1 / 2) - 01 _H ⁽⁴⁾

- (1) TPBAncDPS = “0” で、TPBAncCNT1 のリード値が TPBAncCNT1 = “00_H” 以外のとき TPBAncCNT1 - 01_H の計算式により該当のレジスタを求めます。
例) TPBAncCNT1 = “08_H” のとき : 08_H - 01_H = 07_H -> TPBA0BUF07
- (2) TPBAncDPS = “0” で、TPBAncCNT1 のリード値が TPBAncCNT1 = “00_H” のとき TPBAncCMP1 の値により該当のレジスタを求めます。
例) TPBAncCMP1 = “08_H” のとき : TPBAncBUF08
- (3) TPBAncDPS = “1” で、TPBAncCNT1 のリード値が TPBAncCNT1 = 奇数のとき TPBAncCNT1 / 2 の計算式により該当のレジスタを求めます。
例) TPBAncCNT1 = “07_H” のとき : 07_H / 02_H = 03_H -> TPBAncBUF03 (下位 8bit)
- (4) TPBAncDPS = “1” で、TPBAncCNT1 のリード値が TPBAncCNT1 = 偶数のとき (TPBAncCNT1 / 2) - 01_H の計算式により該当のレジスタを求めます。
例) TPBAncCNT1 = “08_H” のとき : (08_H / 02_H) - 01_H = 03_H -> TPBAncBUF03 (上位 8bit)
- (5) TPBAncDPS = “1” で、TPBAncCNT1 のリード値が TPBAncCNT1 = “00_H” のとき TPBAncCMP1 / 2 の計算式により該当のレジスタを求めます。
例) TPBAncCMP1 = “08_H” のとき : 08_H / 2 = 04_H -> TPBAncBUF04 (下位 8bit)

27.4.4 基本動作例

概要

TPBAnCMP0 レジスタの PWM 周期、TPBAnBUF00-TPBAnBUF63 レジスタのデューティにより、PWM を TPBAnO 端子から出力します。

前提条件

- TPBAnDPS レジスタの設定により、16 ビット×64 パタンか 8 ビット×128 パタンを選択
- TPBAnBUF00-TPBAnBUF63 レジスタにデューティを設定
- TPBAnCMP1 レジスタにパタン数を設定

機能説明

PWM 周期、パタン数、デューティ、出力を設定。TPBAnTS.TPBAnTS0 = 1 (または同時スタートトリガを入力) にすると、カウントアップを開始します。

カウントアップ開始と同時に、TPBAnO 端子はアクティブレベルとなり、TPBAnCNT1 レジスタはカウントアップし次のデューティ値が格納されているバッファのアドレスを示します。

16 ビットカウンタと TPBAnBUFm バッファレジスタ (TPBAnCB2) の一致によりインアクティブレベルとなります。

次に 16 ビットカウンタと TPBAnCMP0 バッファレジスタ (TPBAnCB0) の一致により TPBAnBUFm レジスタからバッファレジスタ (TPBAnCB2) に転送され TPBAnCNT1 がカウントアップし、周期一致検出割り込み (INTTPBAnIPRD) が発生します。TPBAnO 端子は 1 カウントクロック後にアクティブレベルとなります。

カウント動作中、16 ビットカウンタと TPBAnBUFm のバッファレジスタ (TPBAnCB2) の一致でデューティ一致検出割り込み (INTTPBAnIDTY) が発生します。

7 ビットカウンタと TPBAnCMP1 バッファレジスタ (TPBAnCB1) の一致でパタン一致検出割り込み (INTTPBAnIPAT) が発生します。

27.4.4.1 動作一覧

表 27.23 16 ビットカウンタ機能

動作		設定条件
16 ビットカウンタ	スタート	TPBAnTS = 1 ライト、または同時スタートトリガ
	クリア	TPBAnCMP0 バッファレジスタと 16 ビットカウンタのコンペア一致
	停止	TPBAnTT = 1 ライト

表 27.24 7 ビットカウンタ機能

動作		設定条件
7 ビットカウンタ	スタート	TPBAnTS = 1 ライト、または同時スタートトリガ
	クリア	TPBAnCMP1 バッファレジスタと 7 ビットカウンタのコンペア一致
	停止	TPBAnTT = 1 ライト

表 27.25 コンペアレジスタの機能とバッファレジスタ

(データ) レジスタ	バッファレジスタ	書き換え方法	動作中の書き換え	機能
TPBAnCMP0	TPBAnCB0	リロード	可能	周期
TPBAnCMP1	TPBAnCB1	リロード	可能	パターン数
TPBAnBUFm	TPBAnCB2	随時書き換え	可能	デューティ
TPBAnTOL	TPBAnTOLB	リロード	可能	出力レベル

バッファレジスタについて

周期、パターン数、デューティ、タイマ出力レベルを設定するレジスタは、ユーザーが直接設定可能なデータレジスタと直接設定が不可能なバッファレジスタから構成されています。

表 27.26 タイマ出力機能

端子	機能
TPBAnO	<ul style="list-style-type: none"> 出力許可時 (TPBAnTOE = 01_H) TPBAnBUFm バッファレジスタ (TPBAnCB2) と 16 ビットカウンタのコンペア一致による PWM 出力 出力停止時 (TPBAnTOE = 00_H) TPBAnTO レジスタの設定値

表 27.27 割り込み要求

割り込み	機能
INTTPBAnIPRD	周期一致検出割り込み
INTTPBAnIDTY	デューティ一致検出割り込み
INTTPBAnIPAT	パターン数一致検出割り込み

表 27.28 コンペア一致タイミング

コンペア一致	タイミング
TPBAnCMP0	16 ビットカウンタが TPBAnCMP0 と一致 → 0000 _H へ切り替わる時
TPBAnCMP1	7 ビットカウンタが TPBAnCMP1 と一致 → 01 _H へ切り替わる時
TPBAnBUFm	16 ビットカウンタとバッファレジスタ (TPBAnCB2) の一致したとき

表 27.29 タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TPBAnO	PWM 出力	$(\text{TPBAnCMP0} + 1) \times$ カウントクロック	1 周期の期間内すべてインアクティブレベル出力 (デューティ 0%)	$\text{TPBAnBUFm} = 0000_{\text{H}}$
			1 周期で 1 カウントクロックのアクティブレベル出力	$\text{TPBAnBUFm} = 0001_{\text{H}}$
			1 周期で 1 カウントクロックのインアクティブレベル出力	$\text{TPBAnBUFm} = \text{TPBAnCMP0}$
			1 周期の期間内すべてアクティブレベル出力 (デューティ 100%)	$\text{TPBAnBUFm} \geq \text{TPBAnCMP0} + 1$

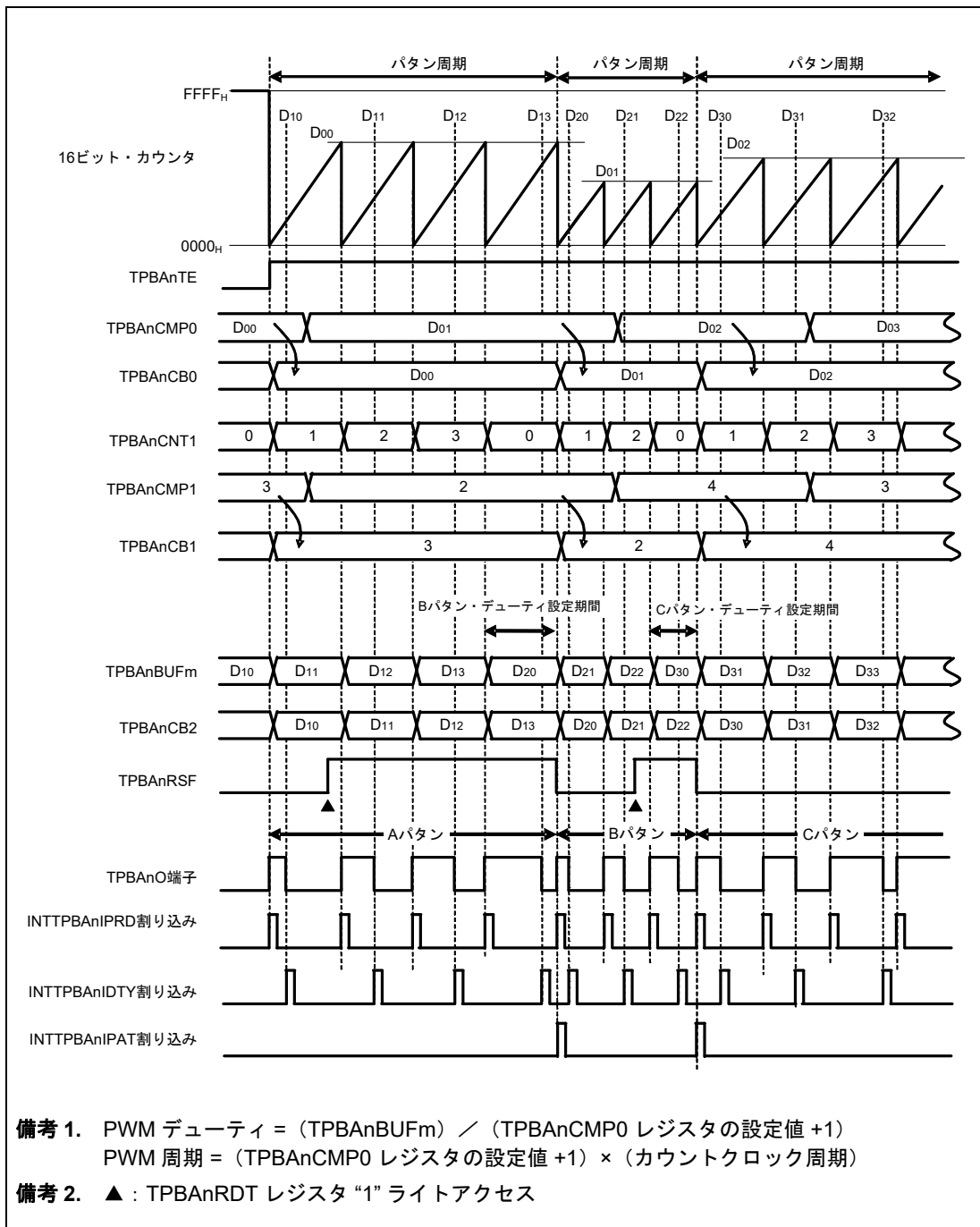


図 27.5 基本動作タイミング例 (1/2)

注意

TPBAnO は INTTPBAnIPRD 出力の 1 カウントクロック後にアクティブレベルが出力され、INTTPBAnIDTY 出カタイミングでインアクティブレベルが出力されます。

TPBAnCMP0, TPBAnTOL レジスタのリロードタイミングをパタン数一致検出割り込みとした場合 (TPBAnIRDM.TPBAnRDM0 = 0, TPBAnTOL = 0)

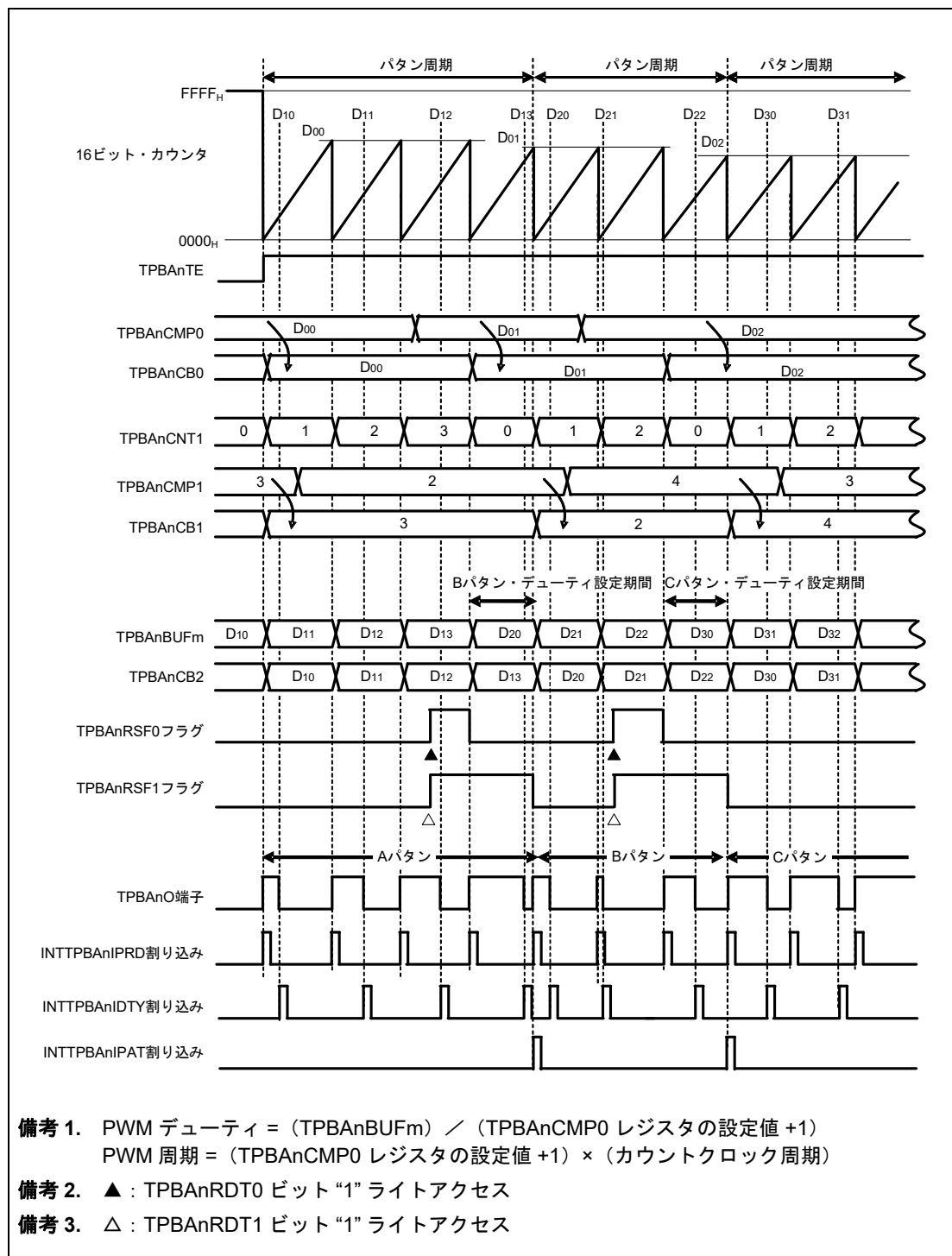


図 27.5 基本動作タイミング例 (2/2)

注意

TPBA_nO は INTTPBA_nIPRD 出力の 1 カウントクロック後にアクティブレベルが出力され、INTTPBA_nIDTY 出力タイミングでインアクティブレベルが出力されます。

TPBA_nCMP0, TPBA_nTOL レジスタのリロードタイミングを周期一致検出割り込みとした場合 (TPBA_nIRDM.TPBA_nRDM0 = 1, TPBA_nTOL = 0)

第28章 エンコーダタイマ (ENCA)

本章では、エンコーダタイマ (ENCA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、ENCA の機能、レジスタについて説明します。

28.1 RH850/P1x ENCA の特長

28.1.1 ユニット数とチャンネル数

本製品は以下のユニット数の ENCA を搭載しています。

ENCA 1 ユニットは 1 チャンネルの ENCA を持っています。本章のユニット数とチャンネル数は同義です

表 28.1 ユニット数

製品名	RH850/P1x 100pin(eVR)	RH850/P1x 100pin(DPS)	RH850/P1x 144pin(eVR)	RH850/P1x 144pin(DPS)
ユニット数	2			
名称	ENCA _n (n = 0, 1)			

表 28.2 ENCA のユニット構成とチャンネルの対応

ユニット名 (チャンネル名) ENCA _n	ユニット チャンネル数	RH850/P1x 100pin(eVR)	RH850/P1x 100pin(DPS)	RH850/P1x 144pin(eVR)	RH850/P1x 144pin(DPS)
ENCA0	1	○	○	○	○
ENCA1	1	○	○	○	○

表 28.3 添字

添字	意味
n	本章では、エンコーダタイマの各チャンネルを「n」(n = 0, 1) で識別します。たとえば、ENCA _n 制御レジスタは ENCA _n CTL と記述します。

28.1.2 レジスタベースアドレス

ENCA_n のベースアドレスを以下の表に示します。

ENCA_n のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 28.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ENCA0_base>	FFE8 0000 _H
<ENCA1_base>	FFE8 1000 _H

28.1.3 クロック供給

ENCAn のクロック供給を以下の表に示します。

表 28.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ENCAn	PCLK	高速周辺クロック CLK_HSB

28.1.4 割り込み要求

ENCAn の割り込み要求を以下の表に示します。

表 28.6 割り込み要求

ユニット割り込み信号	概要	割り込み番号	DMA/DTS トリガ番号	その他
ENCA0				
ENCATIOV	オーバフロー割り込み	276	—	—
ENCATIUD	アンダフロー割り込み	279	—	PIC1
ENCATINT0	キャプチャ/コンペアー一致割り込み 0	277	107	—
ENCATINT1	キャプチャ/コンペアー一致割り込み 1	278	108	PIC2
ENCATIEC	エンコーダクリア割り込み	280	—	PIC1
ENCA1				
ENCATIOV	オーバフロー割り込み	281	—	—
ENCATIUD	アンダフロー割り込み	284	—	—
ENCATINT0	キャプチャ/コンペアー一致割り込み 0	282	109	—
ENCATINT1	キャプチャ/コンペアー一致割り込み 1	283	110	PIC2
ENCATIEC	エンコーダクリア割り込み	285	—	PIC1

28.1.5 リセット要因

ENCAn のリセット要因を以下に示します。ENCAn は以下のリセット要因で初期化されます。

表 28.7 リセット要因

ユニット名	リセット要因
ENCAn	すべてのリセット要因 (SYSRES)

28.1.6 外部入出力信号

ENCA_n の外部入出力信号を以下の表に示します。

表 28.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
ENCA0		
ENCA0TTIN0	ENCA0 キャプチャトリガ入力 0 注1	ENCA0TIN0 注2
ENCA0TTIN1	ENCA0 キャプチャトリガ入力 1 注1	ENCA0TIN1 注2
ENCA0E0	ENCA0 エンコーダ入力 0 注1	ENCA0E0 注2
ENCA0E1	ENCA0 エンコーダ入力 1 注1	ENCA0E1 注2
ENCA0EC	ENCA0 エンコーダクリア入力注1	ENCA0EC 注2
ENCA1		
ENCA1TTIN0	ENCA1 キャプチャトリガ入力 0 注1	ENCA1TIN0 注2
ENCA1TTIN1	ENCA1 キャプチャトリガ入力 1 注1	ENCA1TIN1 注2
ENCA1E0	ENCA1 エンコーダ入力 0 注1	ENCA1E0 注2
ENCA1E1	ENCA1 エンコーダ入力 1 注1	ENCA1E1 注2
ENCA1EC	ENCA1 エンコーダクリア入力注1	ENCA1EC 注2

注 1. 各入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「2.6 ノイズフィルタ & エッジレベル検出回路」を参照してください。

注 2. PIC 機能により入力信号を選択することが可能です。詳細は「29.2.2.23 PIC1AREG30 — タイマ入出力制御レジスタ 30」を参照してください。

28.2 概要

28.2.1 機能概要

- エンコーダ入力信号からカウンタ制御信号を生成し、PCLK と同期してカウント動作を実行
- 外部トリガ信号を利用してカウンタ値をキャプチャするキャプチャ機能
- カウンタ値とのコンペア一致判定を行うコンペア機能
- キャプチャとコンペア用に別々に設定できる2つのキャプチャ/コンペアレジスタ
- コンペア動作中にコンペア一致と判定された結果、生成される割り込み要求信号出力をマスクするための割り込みマスク機能
- アンダフローが発生したときにキャプチャ/コンペアレジスタの値をカウンタにロードする機能
- タイマカウンタのクリア条件にエンコーダ入力信号を利用可能
- タイマカウンタクリア条件を満たすエンコーダ入力信号の判定基準としてエッジまたはレベルを選択可能
- カウンタのオーバフローとアンダフローの検出機能およびエラーフラグとエラー発生割り込みの出力機能
- 5つの割り込み：キャプチャ/コンペア割り込み (2)、カウンタクリア割り込み (1)、オーバフロー割り込み (1)、アンダフロー割り込み (1)

28.2.2 ブロック図

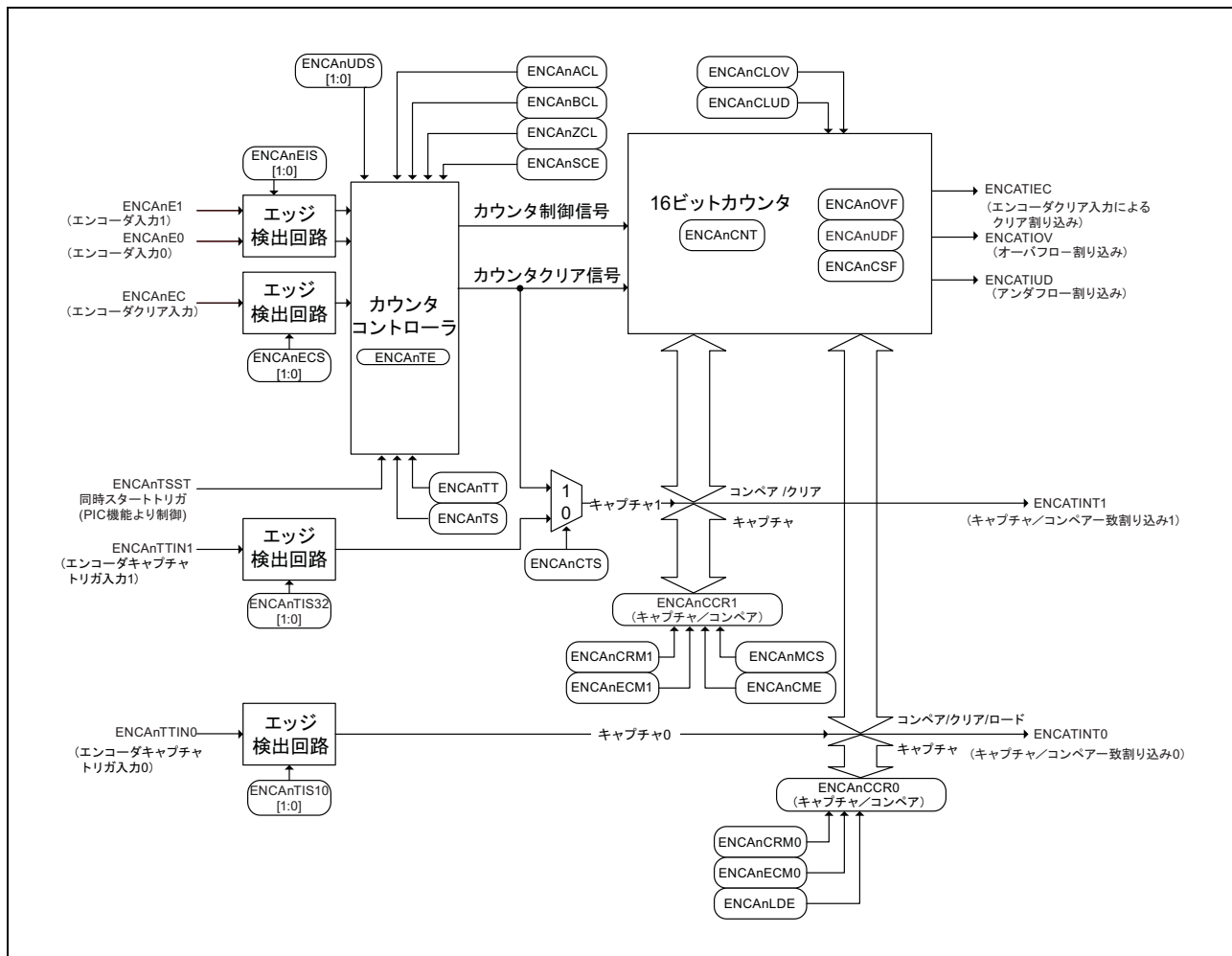


図 28.1 エンコーダタイマのブロック図

28.3 レジスタ

28.3.1 レジスタ一覧

ENCA のレジスタ一覧を以下の表に示します。

<ENCA_n_base> は「28.1.2 レジスタベースアドレス」を参照してください。

表 28.9 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ENCA _n	ENCA キャプチャ/コンペアレジスタ 0	ENCA _n CCR0	<ENCA _n _base>
ENCA _n	ENCA キャプチャ/コンペアレジスタ 1	ENCA _n CCR1	<ENCA _n _base> + 04 _H
ENCA _n	ENCA カウンタレジスタ	ENCA _n CNT	<ENCA _n _base> + 08 _H
ENCA _n	ENCA ステータスフラグレジスタ	ENCA _n FLG	<ENCA _n _base> + 0C _H
ENCA _n	ENCA ステータスフラグクリアレジスタ	ENCA _n FGC	<ENCA _n _base> + 10 _H
ENCA _n	ENCA タイマイネーブルステータスレジスタ	ENCA _n TE	<ENCA _n _base> + 14 _H
ENCA _n	ENCA タイマスタートトリガレジスタ	ENCA _n TS	<ENCA _n _base> + 18 _H
ENCA _n	ENCA タイマストップトリガレジスタ	ENCA _n TT	<ENCA _n _base> + 1C _H
ENCA _n	ENCA I/O 制御レジスタ 0	ENCA _n IOC0	<ENCA _n _base> + 20 _H
ENCA _n	ENCA 制御レジスタ	ENCA _n CTL	<ENCA _n _base> + 40 _H
ENCA _n	ENCA I/O 制御レジスタ 1	ENCA _n IOC1	<ENCA _n _base> + 44 _H

28.3.2 ENCA_nCTL — ENCA 制御レジスタ

本レジスタは、エンコーダタイマのさまざまな動作の設定に使用されます。

アクセス 16ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CME	ENCA _n MCS	—	—	—	—	ENCA _n CRM1	ENCA _n CRM0	ENCA _n CTS	—	—	ENCA _n LDE	ENCA _n ECM1	ENCA _n ECM0	ENCA _n UDS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 28.10 ENCA_nCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ENCA _n CME	エンコーダクリアマスクイネーブルビット このビットは、コンペア機能が使用されているときにコンペア一致割り込み検出のマスクングを有効または無効にするために使用されます。 0: ENCA _n CCR1 レジスタのコンペア一致割り込み (ENCA _n TINT1) マスク機能を無効にします。 1: ENCA _n CCR1 レジスタのコンペア一致割り込み (ENCA _n TINT1) マスク機能を有効にします。 このビットは ENCA _n CRM1 = 0 のときにのみ有効になります。 このビットが「1」にセットされているときに ENCA _n ECM1 を「1」にセットすることは禁止されています。
14	ENCA _n MCS	エンコーダマスククリア選択ビット このビットは、コンペア機能が使用されているときにコンペア一致割り込み検出 ENCA _n TINT1 のマスクングをキャンセルするためのトリガの選択に使用されません。 このビットは ENCA _n CRM1 = 0 のときにのみ有効になります。 0: ENCA _n CCR1 レジスタへの書き込みが行われると、コンペア一致割り込み検出のマスクングをキャンセルします。 1: 以下の3つの動作のいずれかが実行されたときにコンペア一致割り込み検出のマスクングをキャンセルします。 - エンコーダクリア入力動作 - ENCA _n ECM0 = 1 のときに ENCA _n CNT と ENCA _n CCR0 がコンペア一致したときのタイマカウンタクリア動作 - ENCA _n LDE = 1 のときのアンダフローの検出による ENCA _n CCR0 からタイマカウンタへのロード
13 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	ENCA _n CRM1	ENCA _n CCR1 レジスタモードビット 0: ENCA _n CCR1 をコンペアレジスタとして使用します。 1: ENCA _n CCR1 をキャプチャレジスタとして使用します。
8	ENCA _n CRM0	ENCA _n CCR0 レジスタモードビット 0: ENCA _n CCR0 をコンペアレジスタとして使用します。 1: ENCA _n CCR0 をキャプチャレジスタとして使用します。
7	ENCA _n CTS	ENCA _n CCR1 キャプチャトリガ選択ビット ENCA _n CCR1 レジスタへのキャプチャ動作のトリガを選択するビットです。 このビットは ENCA _n CRM1 = 1 のときにのみ有効になります。 0: キャプチャトリガ1信号の ENCA _n TTIN1 を ENCA _n CCR1 レジスタへのキャプチャトリガとして使用します。 1: ENCA _n SCE で選択されるカウンタクリア信号を、ENCA _n CCR1 レジスタへのキャプチャトリガとして使用します。
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 28.10 ENCA_nCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	ENCA _n LDE	<p>ENCA_n カウンタロードイネーブルビット このビットは、アンダフローが発生したときに設定値をカウンタにロードすることを許可または禁止するために使用されます。 このビットは ENCA_nCRM0 = 0 のときにのみ有効になります。 ENCA_nCRM0 = 1 のときは、このビットの値にかかわらず、アンダフローの発生によるカウンタへの ENCA_nCCR0 レジスタの設定値のロードは行われません。 0 : カウンタのアンダフローが発生したときに ENCA_nCCR0 レジスタの設定値をカウンタにロードすることを禁止します。 1 : カウンタのアンダフローが発生したときに ENCA_nCCR0 レジスタの設定値をカウンタにロードすることを許可します。</p>
3	ENCA _n ECM1	<p>エンコーダクリアモードビット 1 このビットは、カウンタ値と ENCA_nCCR1 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCA_nCRM1 = 0 のときにのみ有効になります。 0 : タイマカウンタ値と ENCA_nCCR1 の設定値が一致したときにカウンタを 0000_H にクリアしません。 1 : 次のカウントがダウンカウントであれば、タイマカウンタ値と ENCA_nCCR1 の設定値が一致したときにカウンタを 0000_H にクリアします。</p>
2	ENCA _n ECM0	<p>エンコーダクリアモードビット 0 このビットは、カウンタ値と ENCA_nCCR0 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCA_nCRM0 = 0 のときにのみ有効になります。 0 : タイマカウンタ値と ENCA_nCCR0 の設定値が一致したときにカウンタを 0000_H にクリアしません。 1 : 次のカウントがアップカウントであれば、タイマカウンタ値と ENCA_nCCR0 の設定値が一致したときにカウンタを 0000_H にクリアします。</p>
1、0	ENCA _n UDS [1:0]	<p>アップダウンカウント選択ビット 1 と 0 ENCA_nE0 と ENCA_nE1 を使用するカウンタアップ/ダウン制御ビットです。 00 : ENCA_nE0 の有効エッジを検出したときに以下のカウントを実行します - ENCA_nE1 = H の場合はダウンカウント - ENCA_nE1 = L の場合はアップカウント 01 : ENCA_nE0 の有効エッジを検出したときにアップカウントを実行します。 ENCA_nE1 の有効エッジを検出したときにダウンカウントを実行します。 10 : ENCA_nE0 の立ち上がりエッジでダウンカウントを実行します。 ENCA_nE0 の立ち下がりエッジでアップカウントを実行します。ただし、 カウントは ENCA_nE1 = L のときにのみ実行されます。 11 : ENCA_nE0 と ENCA_nE1 の両方のエッジを検出します。検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定します。</p>

28.3.3 ENCA_nIOC0 — ENCA I/O 制御レジスタ 0

本レジスタは、キャプチャトリガ 0 と 1 (ENCA_nTTIN0 と ENCA_nTTIN1) の入力エッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ENCA_n_base> + 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ENCA _n TIS32[1:0]		ENCA _n TIS10[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 28.11 ENCA_nIOC0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3, 2	ENCA _n TIS32[1:0]	キャプチャトリガ 1 の入力エッジ選択ビットです。これらのビットは ENCA _n CTL レジスタの ENCA _n CRM1 = 1 かつ ENCA _n CTS = 0 である場合にのみ有効になります。ENCA _n CRM1 と ENCA _n CTS がそれ以外の値に設定されているときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。
1, 0	ENCA _n TIS10[1:0]	キャプチャトリガ 0 の入力エッジ選択ビットです。これらのビットは ENCA _n CTL.ENCA _n CRM0 = 1 の場合にのみ有効になります。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

28.3.4 ENCA_nIOC1 — ENCA I/O 制御レジスタ 1

このレジスタは、エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

アクセス 8ビット単位でリード/ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス <ENCA_n_base> + 44_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ENCA _n SCE	ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n ECS[1:0]		ENCA _n EIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.12 ENCA_nIOC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	ENCA _n SCE	エンコーダ特殊クリアイネーブルビット これはエンコーダ特殊クリアイネーブルビットです。 このビットを1にセットする場合は、ENCA _n UDS[1:0]を10 _B または11 _B に設定してください。ENCA _n UDS[1:0]が00 _B または01 _B に設定された状態でこのビットを1にセットした場合の動作は保証されません。 0: (ENCA _n ECS[1:0]で設定された) ENCA _n ECの有効エッジを検出すると、カウンタをクリアします。 1: (ENCA _n ZCLビット、ENCA _n BCLビット、ENCA _n ACLビットで設定された) ENCA _n EC、ENCA _n E1、ENCA _n E0の入力レベル条件を検出すると、カウンタをクリアします。
6	ENCA _n ZCL	入力Zクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダクリア入力 (ENCA _n EC) のクリア条件の設定に使用されます。 このビットは ENCA _n SCE = 1 のときにのみ有効であり、ENCA _n SCE = 0 のときは無効です。 0: クリア条件: ローレベル 1: クリア条件: ハイレベル
5	ENCA _n BCL	入力Bクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力1 (ENCA _n E1) のクリア条件の設定に使用されます。 このビットは ENCA _n SCE = 1 のときにのみ有効であり、ENCA _n SCE = 0 のときは無効です。 0: クリア条件: ローレベル 1: クリア条件: ハイレベル
4	ENCA _n ACL	入力Aクリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力0 (ENCA _n E0) のクリア条件の設定に使用されます。 このビットは ENCA _n SCE = 1 のときにのみ有効であり、ENCA _n SCE = 0 のときは無効です。 0: クリア条件: ローレベル 1: クリア条件: ハイレベル
3, 2	ENCA _n ECS [1:0]	エンコーダクリア入力エッジ選択ビット1と0 これらはエンコーダクリア入力エッジ選択ビットです。 これらのビットは ENCA _n SCE = 0 のときにのみ有効であり、ENCA _n SCE = 1 のときは無効です。 00: エッジを検出しません。 01: 立ち上がりエッジを検出します。 10: 立ち下がりエッジを検出します。 11: 両方のエッジを検出します。

表 28.12 ENCA_nIOC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
1, 0	ENCA _n EIS [1:0]	エンコーダエッジ入力選択ビット 1 と 0 これらはエンコーダ入力エッジ選択ビットです。 これらのビットは、ENCA _n UDS[1:0] が 00 _B または 01 _B のときにのみ有効であり、ENCA _n UDS[1:0] が 10 _B または 11 _B のときは無効です。 00 : エッジを検出しません。 01 : 立ち上がりエッジを検出します。 10 : 立ち下がりエッジを検出します。 11 : 両方のエッジを検出します。

28.3.5 ENCA_nFLG — ENCA ステータスフラグレジスタ

本レジスタには ENCA_n のタイマカウンタのステータスフラグが格納されます。

アクセス 8ビット単位でリードのみ可能です。

アドレス <ENCA_n_base> + 0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENCA _n CSF	ENCA _n UDF	ENCA _n OVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.13 ENCA_nFLG レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	ENCA _n CSF	カウンタステータスフラグ このビットには現在のタイマカウンタの動作が反映されます。 このビットはカウント動作の開始時にクリアされます。 0: タイマカウンタがアップカウント状態にあります。 1: タイマカウンタがダウンカウント状態にあります。
1	ENCA _n UDF	アンダフローフラグ このビットには、タイマカウンタの動作中にアンダフローが発生したかどうか が反映されます。このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは「0」にクリアされます。 – ENCA _n FGC レジスタの ENCA _n CLUD に「1」が書き込まれる – ENCA _n TE = 0 のときに ENCA _n TS が「1」にセットされる – ENCA _n TSST の入力信号がハイレベルになる 1: エンコーダタイマカウント動作中にアンダフローが発生すると、このフラ グが「1」にセットされます。
0	ENCA _n OVF	オーバフローフラグ このビットには、タイマカウンタの動作中にオーバフローが発生したかどうか が反映されます。 このビットはカウント動作の開始時にクリアされます。 0: 次のいずれかの場合に、このフラグは「0」にクリアされます。 – ENCA _n FGC レジスタの ENCA _n CLOV に「1」が書き込まれる – ENCA _n TE = 0 のときに ENCA _n TS が「1」にセットされる – ENCA _n TSST の入力信号がハイレベルになる 1: エンコーダタイマカウント動作中にオーバフローが発生すると、このフラ グが「1」にセットされます。

28.3.6 ENCA_nFGC — ENCA ステータスフラグクリアレジスタ

本レジスタは ENCA_nFLG のタイマカウンタステータスフラグをクリアするために使用されます。

アクセス 8ビット単位でライトのみ可能です。
本レジスタは、読み出すと常に0を返します。

アドレス <ENCA_n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ENCA _n CLUD	ENCA _n CLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 28.14 ENCA_nFGC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	ENCA _n CLUD	アンダフローフラグクリア このビットはアンダフローフラグをクリアします。 0: 書き込みは無視されます。 1: ENCA _n FLG レジスタの ENCA _n UDF をクリアします (アンダフロー検出のクリア)。
0	ENCA _n CLOV	オーバフローフラグクリア このビットはオーバフローフラグをクリアします。 0: 書き込みは無視されます。 1: ENCA _n FLG レジスタの ENCA _n OVF をクリアします (オーバフロー検出のクリア)。

28.3.7 ENCA_nCCR0 — ENCA キャプチャ/コンペアレジスタ 0

このレジスタは 16 ビットのキャプチャ/コンペアレジスタ 0 です。

アクセス 16 ビット単位でリード/ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <ENCA_n_base> + 00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CCR0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.15 ENCA_nCCR0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCA _n CCR0 [15:0]	キャプチャ/コンペアレジスタ 0 アンダフローが発生した場合は、ENCA _n CTL.ENCA _n LDE の設定に従って、本レジスタの設定値をカウンタにロードすることができます。詳細については、レジスタ ENCA _n CTL の ENCA _n LDE ビットの説明を参照してください。 <ul style="list-style-type: none"> ENCA_nCTL.ENCA_nCRM0 = 0 の場合: ENCA_nCCR0 はコンペアレジスタになります。 タイマカウンタ値との比較の対象になる値を設定します。 ENCA_nCTL.ENCA_nCRM0 = 1 の場合: ENCA_nCCR0 はキャプチャレジスタになります。 キャプチャされたタイマカウンタ値が格納されます。

28.3.8 ENCA_nCCR1 — ENCA キャプチャ/コンペアレジスタ 1

このレジスタは 16 ビットのキャプチャ/コンペアレジスタ 1 です。

アクセス 16 ビット単位でリード/ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード/ライト可能です。

アドレス <ENCA_n_base> + 04_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCA _n CCR1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.16 ENCA_nCCR1 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCA _n CCR1 [15:0]	キャプチャ/コンペアレジスタ 1 キャプチャ動作中、本レジスタへのキャプチャトリガは、ENCA _n CTL.ENCA _n CTS の設定によって異なります。詳細については、ENCA 制御レジスタ ENCA _n CTL の ENCA _n CTS ビットの説明を参照してください。 <ul style="list-style-type: none"> ENCA_nCTL.ENCA_nCRM1 = 0 の場合：ENCA_nCCR1 はコンペアレジスタになります。 タイマカウンタ値との比較の対象になる値を設定します。 ENCA_nCTL.ENCA_nCRM1 = 1 の場合：ENCA_nCCR1 はキャプチャレジスタになります。 キャプチャされたタイマカウンタ値が格納されます。

28.3.9 ENCAcnt — ENCA カウンタレジスタ

本レジスタは 16 ビットのタイマカウンタレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。
本レジスタへの書き込みは、動作の停止中にのみ行うことができます。

アドレス <ENCAcnt_base> + 08_H

リセット後の値 0000_H

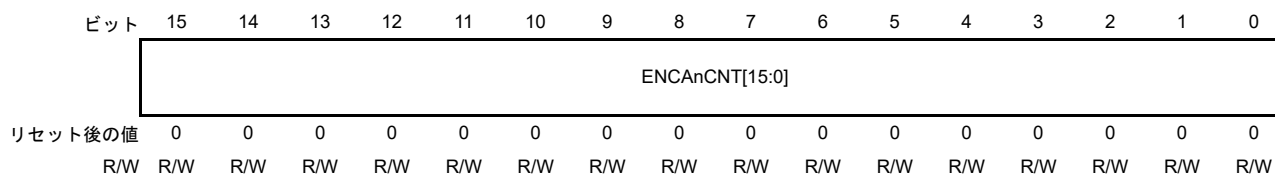


表 28.17 ENCAcnt レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	ENCAcnt [15:0]	カウンタレジスタ <ul style="list-style-type: none"> ENCAcnt.ENCAcnt の状態 : 0 (初期設定) : カウント停止 任意の値をタイマカウンタに設定できます。 ENCAcnt.ENCAcnt の状態 : 0 → 1 (動作開始) : カウント動作開始 設定された任意の値からのアップ/ダウンカウント動作を開始します。 ENCAcnt.ENCAcnt の状態 : 1 (動作中) : カウント実行中 アップ/ダウンカウント動作を実行中です。 ENCAcnt.ENCAcnt の状態 : 1 → 0 (停止) : カウント停止 動作停止直前のカウンタ値が保持され、カウント動作が停止します。

28.3.10 ENCA_nTE — ENCA タイマイネーブルステータスレジスタ

本レジスタは ENCA_n の動作状態を示します。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ENCA_n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.18 ENCA_nTE レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ENCA _n TE	<p>タイマステータスイネーブルビット ENCA_n の動作可能/停止状態を示すステータスビットです。 このビットは、ENCA_nTT.ENCA_nTT に「1」が書き込まれると「0」にクリアされます。 また、このビットは、ENCA_nTS.ENCA_nTS に「1」が書き込まれるか、ENCA_nTSST 信号にハイレベルが入力されると「1」にセットされます。</p> <p>0: 動作停止状態 1: 動作可能状態</p>

28.3.11 ENCA_nTS — ENCA タイマスタートトリガレジスタ

本レジスタは、ENCA_n を動作可能状態に設定するトリガビットです。

アクセス 8ビット単位でライトのみ可能です。
常に00_Hとしてリードされます。

アドレス <ENCA_n_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.19 ENCA_nTS レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ENCA _n TS	タイマスタートトリガビット ENCA _n を動作可能状態に設定するトリガビットです。 0: 書き込みは無視されます。 1: ENCA _n TE.ENCA _n TE = 1 に設定することで、ENCA _n を動作可能状態に設定します。

28.3.12 ENCA_nTT — ENCA タイマストップトリガレジスタ

本レジスタは、ENCA_n を動作停止状態に設定するトリガビットです。

アクセス 8ビット単位でライトのみ可能です。
常に00_Hとしてリードされます。

アドレス <ENCA_n_base> + 1C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCA _n TT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.20 ENCA_nTT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ENCA _n TT	タイマストップトリガビット ENCA _n を動作停止状態に設定するトリガビットです。 0: 書き込みは無視されます。 1: ENCA _n TE.ENCA _n TE を 0 にクリアし、ENCA _n をカウント動作停止状態に設定します。

28.4 動作

ENCAn は、エンコーダ入力を利用してカウンタアップ/ダウン制御とクリア制御を行うことでタイマカウンタを動作させます。ENCAnCCR0 レジスタと ENCAnCCR1 レジスタは、専用のコンペアレジスタとしても専用のキャプチャレジスタとしても使用することができます。

28.4.1 タイマカウンタの動作

以下で ENCAn のタイマカウンタの動作について説明します。

以下の図では段階ごとに動作を示しています。個々の動作の詳しい説明については、図中の番号に対応する番号を参照してください。

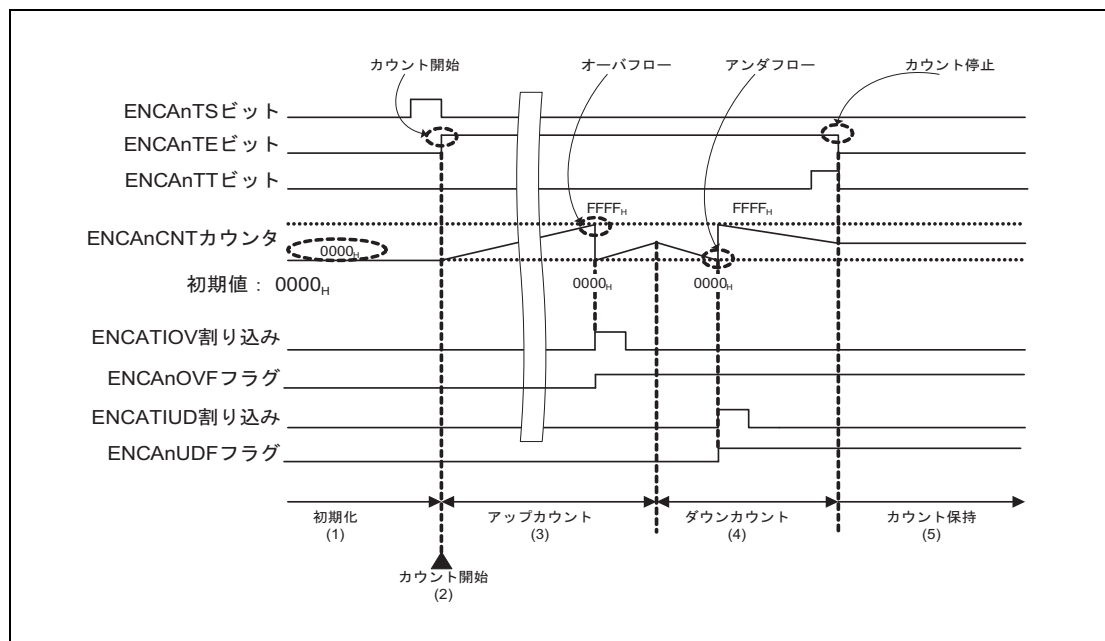


図 28.2 タイマカウンタの初期設定値設定/開始/停止

(1) タイマカウンタの初期設定値設定

カウンタ動作停止状態 ($\text{ENCAnTE} = 0$) のときに ENCAn カウンタレジスタ (ENCAnCNT) の初期設定値を設定することができます。

(2) タイマカウンタの起動

タイマスタートトリガビット (ENCAnTS) に「1」を書き込むことによってタイマステータスィネーブビット (ENCAnTE) が「1」にセットされ、カウンタ動作が可能になり、エンコーダ入力の有効エッジが検出されるとカウンタ動作が実行されます。

(3) オーバフローの動作

カウンタ値が FFFF_H のときにアップカウントが実行されると、オーバフローが発生します。カウンタ値が FFFF_H から 0000_H になると、オーバフロー割り込み (ENCATIOV) が発生し、オーバフローフラグ (ENCAnOVF) が「1」にセットされます。オーバフローフラグクリアビット (ENCAnCLOV) を「1」にセットすると、オーバフローフラグ (ENCAnOVF) が「0」にクリアされます。動作の詳細については、「**28.6.1 オーバフローの発生とオーバフローフラグクリア操作**」を参照してください。

(4) アンダフローの動作

カウンタ値が 0000_H のときにダウンカウントが実行されると、アンダフローが発生します。カウンタ値が 0000_H から FFFF_H になると、アンダフロー割り込み (ENCATIUD) が発生し、アンダフローフラグ (ENCA_nUDF) が「1」にセットされます。アンダフローフラグクリアビット (ENCA_nCLUD) を「1」にセットすると、アンダフローフラグ (ENCA_nUDF) が「0」にクリアされます。動作の詳細については、「**28.6.2 アンダフローの発生とアンダフローフラグクリア操作**」を参照してください。

(5) タイマカウンタの停止

タイマストップトリガビット (ENCA_nTT) に「1」を書き込むことによって、タイマステータスイネーブルビット (ENCA_nTE) が「0」にクリアされ、カウント動作が停止します。その時点で、タイマカウンタは 0000_H にリセットされず、カウント動作が停止する直前の値を保持します。

28.4.2 タイマカウンタのアップ/ダウン制御

アップ/ダウン制御は、ENCAnUDS[1:0] の設定に従ってエンコーダ入力 (ENCAnE0, ENCAne1) の位相を判定することによって行われます。

28.4.2.1 ENCACTL レジスタの ENCAUDS[1:0] ビット = 00_B の場合

表 28.21 ENCAUDS[1:0] = 00_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 入力	ENCAnE1 入力	カウント動作
0	0	立ち上がりエッジ	ハイレベル	ダウン
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		

ENCAnE0 の有効エッジは、ENCAnEIS[1:0] を設定することによって指定します。

カウント動作は ENCAne0 端子の有効エッジと ENCAne1 端子の有効レベルが一致するとダウン/アップ・カウントを行います。

以下のタイミング図は、ENCAnUDS[1:0] = 00_B のときのカウント動作を示しています。

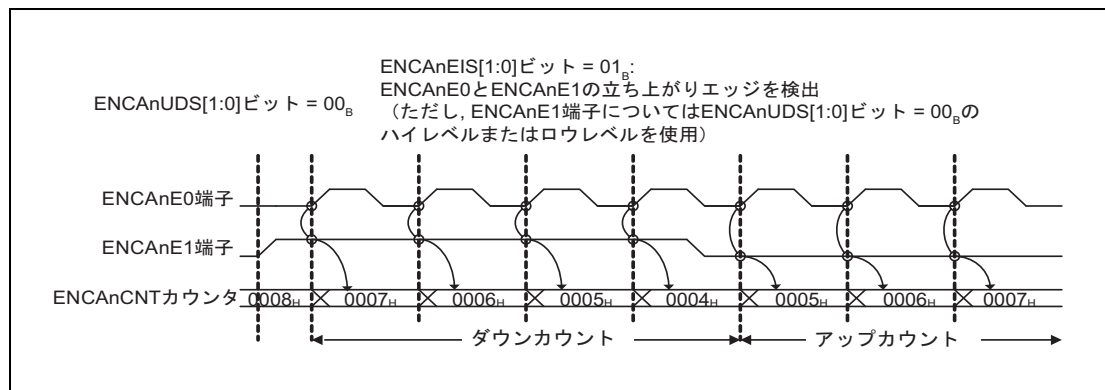


図 28.3 ENCACTL レジスタの ENCAUDS[1:0] = 00_B のときのカウント動作

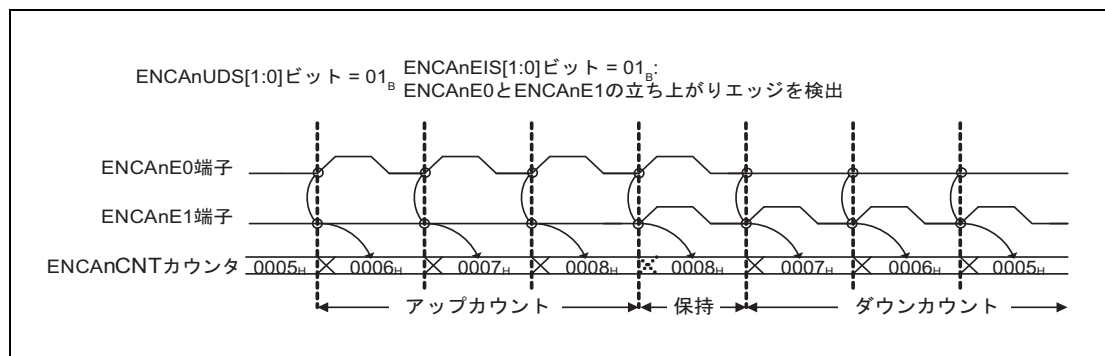
28.4.2.2 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 01_B の場合表 28.22 ENCA_nUDS[1:0] = 01_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 入力	ENCA _n E1 入力	カウント動作
0	1	ロウレベル	立ち上がりエッジ	ダウン
			立ち下りエッジ	
			両方のエッジ	
		ハイレベル	立ち上がりエッジ	
			立ち下りエッジ	
			両方のエッジ	
	立ち上がりエッジ	ロウレベル	アップ	
	立ち下りエッジ			
	両方のエッジ			
	立ち上がりエッジ	ハイレベル		アップ
	立ち下りエッジ			
	両方のエッジ			
同時入力			保持	

ENCA_nE0 と ENCA_nE1 の有効エッジは、ENCA_nEIS[1:0] を設定することによって指定します。

カウント動作は、ENCA_nE0、ENCA_nE1 端子の有効エッジとレベルが一致するとアップ／ダウン・カウントを行います。また、有効エッジが重なるとカウントを保持します。

以下のタイミング図は、ENCA_nUDS[1:0] = 01_B のときのカウント動作を示しています。

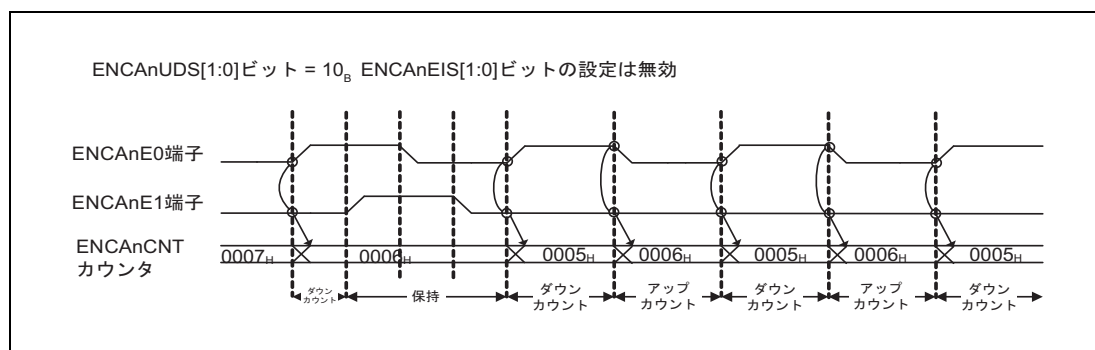
図 28.4 ENCA_nCTL レジスタの ENCA_nUDS[1:0] = 01_B のときのカウント動作

28.4.2.3 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 10_B の場合表 28.23 ENCA_nUDS[1:0] = 10_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 入力	ENCA _n E1 入力	カウント動作
1	0	立ち上がりエッジ	ロウレベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウレベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウレベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイレベル	
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイレベル	

ENCA_nE0 と ENCA_nE1 の有効エッジの指定 (ENCA_nEIS[1:0] の設定) は無効です。

以下のタイミング図は、ENCA_nUDS[1:0] = 10_B のときのカウント動作を示しています。

図 28.5 ENCA_nCTL レジスタの ENCA_nUDS[1:0] = 10_B のときのカウント動作

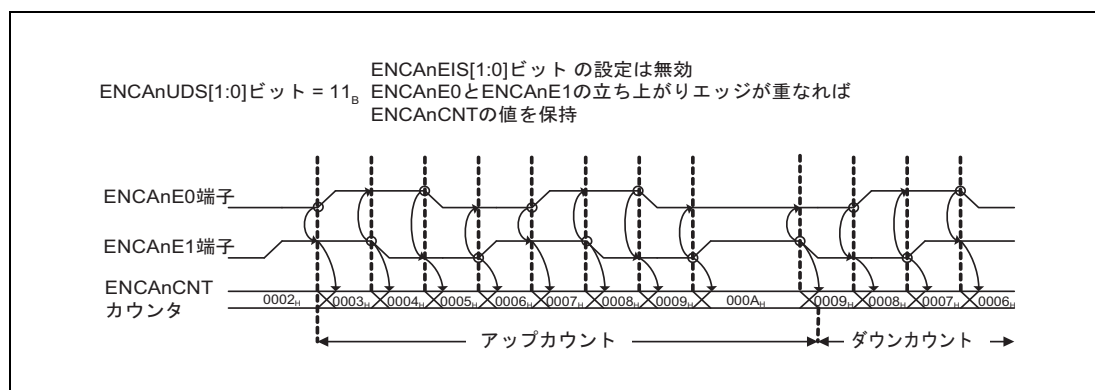
28.4.2.4 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 11_B の場合表 28.24 ENCA_nUDS[1:0] = 11_B の場合

ENCA _n UDS1	ENCA _n UDS0	動作の説明		
		ENCA _n E0 入力	ENCA _n E1 入力	カウント動作
1	1	ロウレベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウレベル	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイレベル	
		立ち上がりエッジ	ハイレベル	アップ
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	
		ロウレベル	立ち上がりエッジ	
		同時入力		

ENCA_nE0 と ENCA_nE1 の有効エッジの指定 (ENCA_nEIS[1:0] の設定) は無効です。

ENCA_nE0 と ENCA_nE1 の有効エッジが重なるとカウンタ値が保持されます。

以下のタイミング図は、ENCA_nUDS[1:0] = 11_B のときのカウント動作を示しています。

図 28.6 ENCA_nCTL レジスタの ENCA_nUDS[1:0] ビット = 11_B のときのカウント動作

28.4.3 エンコーダ入力によるタイマカウンタクリア制御

タイマカウンタの 0000_H クリアは次の条件で動作します。

- エンコーダ・クリア入力 (ENCAnEC 端子) の有効エッジ検出によるクリア
- エンコーダ入力, エンコーダ・クリア入力 (ENCAnE0, ENCAAnE1, ENCAAnEC 端子) のレベル検出によるクリア

ENCAnIOC1 レジスタの ENCAAnSCE ビット、ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビット、ENCAnECS[1:0] ビットを制御することによって、2 種類のクリア方法を選択できます。

表 28.25 エンコーダ入力によるタイマカウンタクリア制御の内容

クリア方法	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnECS[1:0]
(1)	0	無効	無効	無効	有効
(2)	1	有効	有効	有効	無効

28.4.3.1 ENCAAnSCE = 0 のときのクリア方法

- ENCAAnEC の有効エッジを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCAAnEC の有効エッジは ENCAAnECS[1:0] ビットを設定することによって指定します。
- ENCAAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号 (ENCATIEC) が出力されます。

ENCAnSCE = 0 のときのクリア動作については、「**28.6.19 ENCAAnSCE = 0 のときに ENCAAnEC によるクリアのタイミングで行われるキャプチャ動作**」のタイミング図を参照してください。

28.4.3.2 ENCAAnSCE = 1 のときのクリア方法

- ENCAAnEC 入力、ENCAnE1 入力、ENCAnE0 入力のクリアレベルを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCAAnEC 入力、ENCAnE1 入力、ENCAnE0 入力のクリアレベルは、ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットの設定することによって指定します。
- ENCAAnECS[1:0] ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号 (ENCATIEC) が出力されます。

ENCA_nZCL、ENCA_nBCL、ENCA_nACL の設定に従って行われるタイマカウンタのクリア条件を表 28.26 の表に示します。

表 28.26 タイマカウンタのクリア条件

カウンタクリア条件の設定			エンコーダの入カレベル		
ENCA _n ZCL	ENCA _n BCL	ENCA _n ACL	ENCA _n EC	ENCA _n E1	ENCA _n E0
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

28.4.4 ENCA_nCCR0 の機能

28.4.4.1 コンペア機能

- ENCA_nCRM0 = 0 のとき、ENCA_nCCR0 レジスタは専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCA_nCCR0 の設定値がコンペア一致すると、コンペア 0 一致割り込み (ENCATINT0) が出力されます。
- ENCA_nECM0 = 1 の場合、次のカウント動作がアップカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 28.27 ENCA_nCCR0 のコンペア機能

ENCA _n CCR0 の機能	コンペア一致クリア制御	次のカウント動作	ENCA _n CCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCA _n CRM0	ENCA _n ECM0		
0 (コンペア)	0	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
	1	アップカウント	タイマカウンタを 0000 _H にクリアします。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。

ENCA_nLDE = 1 の場合

- アンダフローが発生すると、ENCA_nCCR0 レジスタの設定値がタイマカウンタにロードされます。
- アンダフロー割り込み (ENCATIUD) が出力されます。

備考

ENCA_nLDE = 1 のときのタイミング図については「28.6.8 開始直後の ENCA_nLDE 機能の利用」から「28.6.12 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」を参照してください。

28.4.4.2 キャプチャ機能

- ENCA_nCRM0 = 1 のとき、ENCA_nCCR0 レジスタは専用のキャプチャレジスタとして機能します。
- キャプチャトリガ入力 0 (ENCA_nTTIN0) の有効エッジを検出すると、タイマカウンタの値が ENCA_nCCR0 に格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み (ENCATINT0) が出力されます。

備考

ENCA_nCCR0 へのキャプチャ動作については、「28.6.14 カウントクロック間のキャプチャ動作 (ENCA_nCCR0)」と「28.6.17 コンペア一致クリア制御無効時のときのエンコーダの動作」のタイミング図を参照してください。

28.4.5 ENCA_nCCR1 の機能

28.4.5.1 コンペア機能

- ENCA_nCRM1 = 0 のとき、ENCA_nCCR1 レジスタは、専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCA_nCCR1 の設定値がコンペア一致すると、コンペア 1 一致割り込み (ENCATINT1) が出力されます。
- ENCA_nECM1 = 1 の場合は、次のカウント動作がダウンカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 28.28 ENCA_nCCR1 のコンペア機能

ENCA _n CCR1 の機能	コンペア一致クリア制御	次のカウント動作	ENCA _n CCR1 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCA _n CRM1	ENCA _n ECM1		
0 (コンペア)	0	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
	1	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)。
		ダウンカウント	タイマカウンタを 0000 _H にクリアします。

コンペア一致割り込み検出マスク機能

- ENCA_nCME = 1 のときは、コンペア 1 一致割り込み検出マスク機能が有効です。この状態では、タイマカウンタの値と ENCA_nCCR1 の設定値が初めて一致したときにコンペア 1 一致割り込みが出力されますが、2 回目以降のコンペア一致によって生成される割り込みはマスクされます。
- ENCA_nMCS = 0 のときは、ENCA_nCCR1 レジスタへの書き込み操作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- ENCA_nMCS = 1 のときは、Z 相によるタイマカウンタのクリア動作または ENCA_nCCR0 レジスタ値とタイマカウンタ値との一致によるタイマカウンタのクリア動作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- ENCA_nMCS = 1 かつ ENCA_nLDE = 1 のときは、アンダフロー検出時の ENCA_nCCR0 レジスタからタイマカウンタへのロード動作によってコンペア 1 一致割り込み検出マスク機能が無効になります。
- コンペア 1 一致割り込み検出マスク機能を有効にする場合、ENCA_nECM1 を「1」にセットすることはできません。

表 28.29 ENCA_nCCR1 のコンペア一致割り込み検出マスク機能

ENCA _n CCR1 の機能	コンペア 1 一致割り込みマスク	割り込みマスクキャンセルトリガ		ENCA _n CCR1 とのコンペア一致が発生したときのコンペア 1 一致割り込みの出力
ENCA _n CRM1	ENCA _n CME	ENCA _n MCS	ENCA _n LDE = 1 のときのアンダフローの発生	
0 (コンペア)	0 (マスク機能無効)	— (設定無効)	—	コンペア一致が発生するたびにコンペア 1 一致割り込みを出力します。
	1 (マスク機能有効)	0 (ENCA _n CCR1 への書き込み操作) 1 (タイマカウンタクリア動作)	発生 (ENCA _n CCR0 からタイマカウンタへのロード)	最初のコンペア一致でコンペア 1 一致割り込みを 1 回出力します (キャンセルトリガが発生するまで、2 回目以降の一致によって生成される割り込みはマスクされます)。

28.4.5.2 キャプチャ機能

ENCA_nCRM1 = 1 のとき、ENCA_nCCR1 レジスタは、専用のキャプチャレジスタとして機能します。

備考

ENCA_nCCR1 へのキャプチャ動作については、「28.6.13 カウントクロック間のキャプチャ動作 (ENCA_nCCR1)」のタイミング図を参照してください。

ENCA_nCTS のさまざまな設定に対応する動作を以下の表に示します。

表 28.30 ENCA_nCTS のさまざまな設定に対応する動作

ENCA _n CCR1 の機能	キャプチャトリガの選択	キャプチャトリガ信号	タイマカウンタのクリア	割り込みの発生
ENCA _n CRM1	ENCA _n CTS			
1 (キャプチャ)	0	キャプチャトリガ1入力 (ENCA _n TTIN1)	タイマカウンタをクリアしません。	(1) キャプチャ1割り込み (ENCA _n TINT1)
	1	エンコーダクリア入力 (ENCA _n SCE で設定)	タイマカウンタをクリアします。	(1) キャプチャ1割り込み (ENCA _n TINT1) (2) エンコーダクリア割り込み (ENCA _n TIEC)

備考

ENCA_nCTS = 0 または ENCA_nCTS = 1 のときのタイミング図については、以下を参照してください。

「28.6.3 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作」、「28.6.4 オーバフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合」、「28.6.5 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合」、「28.6.11 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合」、「28.6.12 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」。

28.4.5.3 コンペアレジスタが一致したときのタイマカウンタのクリア

タイマカウンタ値と ENCA_nCCR0, ENCA_nCCR1 の設定値がコンペア一致したときに、ENCA_nCTL レジスタの ENCA_nECM1 ビットと ENCA_nECM0 ビットの設定に従って行われるタイマカウンタのクリア動作の詳細を以下の表に示します。

表 28.31 コンペアレジスタが一致したときのタイマカウンタのクリア動作の詳細

ENCA _n ECM1 と ENCA _n ECM0	次のカウント動作	ENCA _n CCR1 とのコンペア一致が 発生したときの タイマカウンタのクリア	ENCA _n CCR0 とのコンペア一致が 発生したときの タイマカウンタのクリア
00	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
	ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
01	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタを 0000 _H にクリア します
	ダウンカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
10	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタをクリアしません (カウント動作を継続します)
	ダウンカウント	タイマカウンタを 0000 _H にクリア します。	タイマカウンタをクリアしません (カウント動作を継続します)
11	アップカウント	タイマカウンタをクリアしません (カウント動作を継続します)	タイマカウンタを 0000 _H にクリア します
	ダウンカウント	タイマカウンタを 0000 _H にクリア します。	タイマカウンタをクリアしません (カウント動作を継続します)

28.4.6 タイマカウンタの起動／停止

28.4.6.1 タイマの起動

ENCA_nTS ビットを 1 にセットすることによってタイマの動作を開始することができます。PIC を設定することにより、他のタイマと同時スタートが可能です。詳細は、「**29.2.3.1 同時スタートトリガ機能**」を参照してください。

28.4.6.2 タイマの停止

ENCA_nTT ビットを「1」にセットすると ENCA_nTE ビットが 0 になり、タイマが停止します。

28.5 設定の順序

28.5.1 エンコーダタイマの設定手順

以下でエンコーダタイマの設定の手順を説明します。

表 28.32 エンコーダタイマの設定の手順

	操作	設定の状態
初期設定	リセット解除	電源オン状態、動作停止状態。 (各レジスタへの書き込みは許可)
ENCA _n の初期設定	以下の初期設定を実行します。 <ul style="list-style-type: none"> カウンタの設定 カウンタクリアの設定 ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 	カウント動作停止状態です。 動作状態を示す ENCA _n TE ビット = 0 です。
	カウンタの初期値の設定を実行します。 <ul style="list-style-type: none"> ENCA_nCNT レジスタに任意の 16 ビット値を設定します。 (このレジスタを設定した後、ENCA_nTS ビットを「1」にセットすると、設定されたカウント値からカウンタの動作が開始されます)。 	ここで設定される値がカウンタレジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTS ビットを「1」にセットします。 	カウンタ動作開始状態です。 動作状態を示す ENCA _n TE ビットの値が 1 であり、カウントクロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 <ul style="list-style-type: none"> ENCA_nCCR0 レジスタの設定 ENCA_nCCR1 レジスタの設定 ENCA_nIOC0 レジスタの設定 	初期設定で設定されたカウント動作が実行され、ENCA _n E0 端子と ENCA _n E1 端子に従ってアップカウント/ダウンカウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 <ul style="list-style-type: none"> ENCA_nTT ビットを「1」に設定します。 	カウンタ動作停止状態です。 動作状態を示す ENCA _n TE ビット = 0 です。
ENCA _n 停止	リセット	設定レジスタが初期化されます。

28.5.1.1 カウンタの初期設定手順

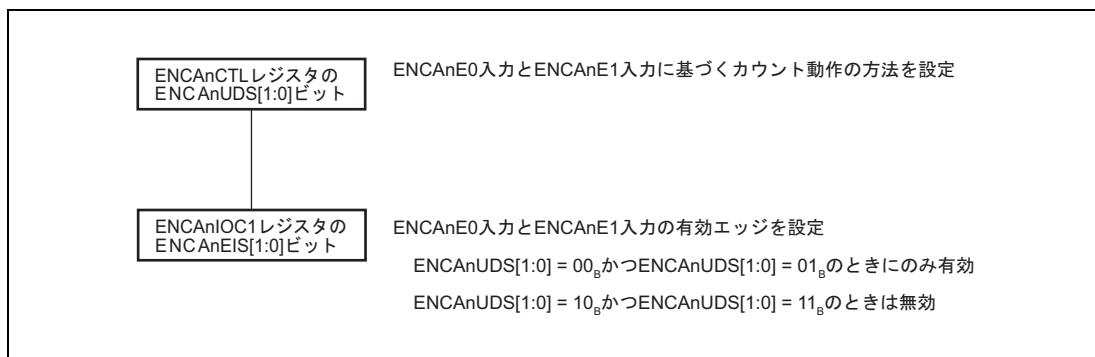


図 28.7 カウンタの初期設定手順

28.5.1.2 カウンタクリアのための初期設定手順

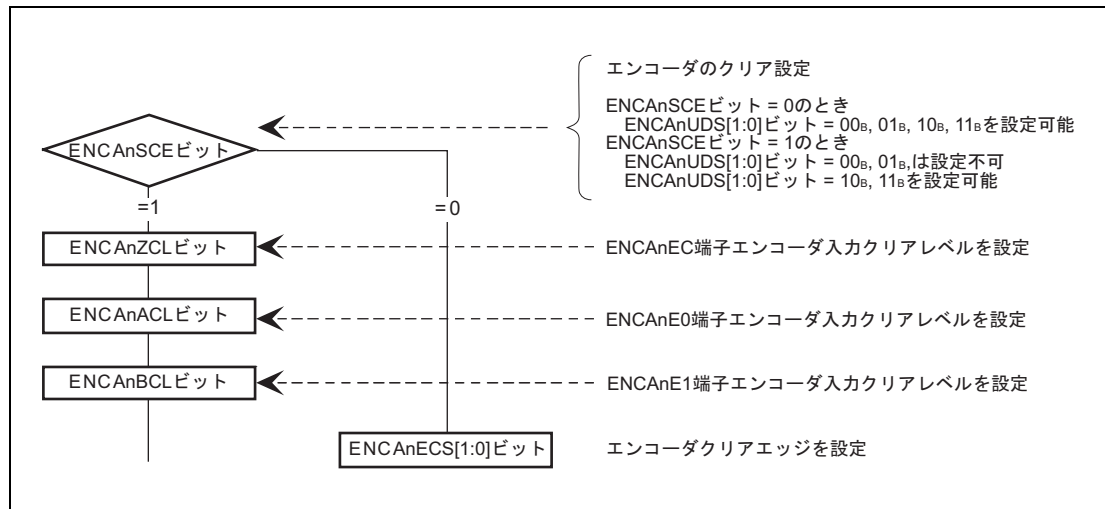


図 28.8 カウンタクリアのための初期設定手順

28.5.1.3 ENCAAnCCR0 レジスタの設定手順

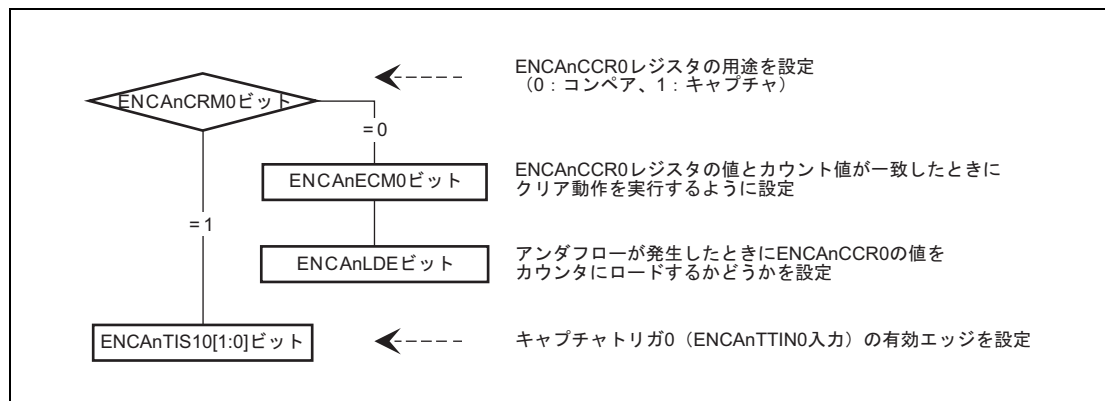


図 28.9 ENCAAnCCR0 レジスタの設定手順

28.5.1.4 ENCA_nCCR1 レジスタの設定手順

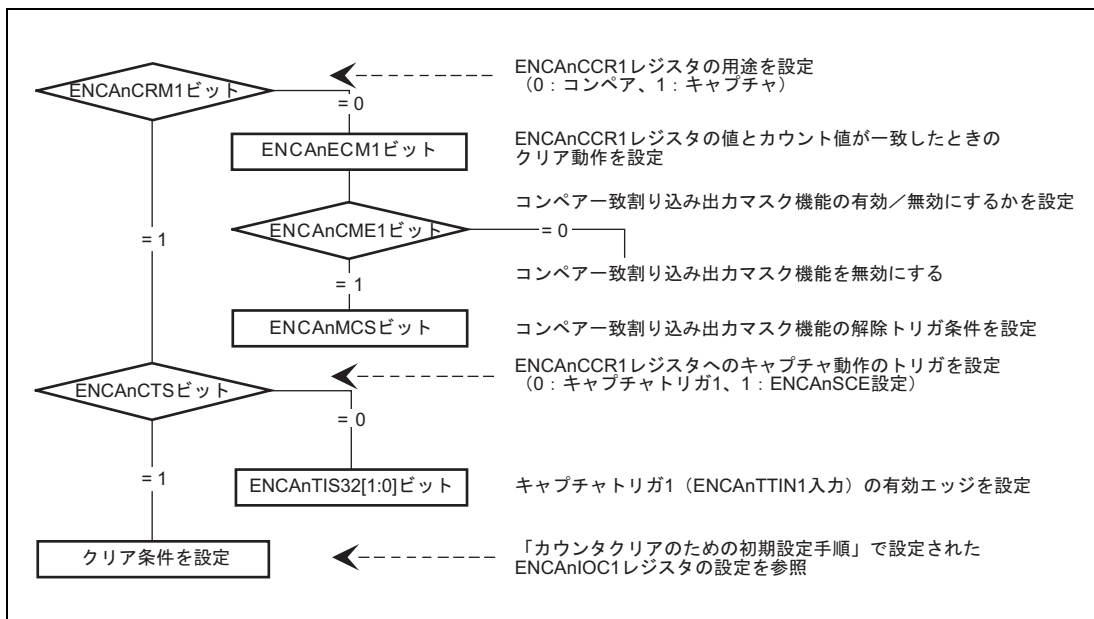


図 28.10 ENCA_nCCR1 レジスタの設定手順

28.6 タイミング図

28.6.1 オーバフローの発生とオーバーフローフラグクリア操作

カウンタ値が $FFFF_H$ のときにアップカウントが実行されると、オーバーフローが発生します。オーバーフローが発生すると、オーバーフロー割り込み (ENCATIOV) が出力され、オーバーフローフラグ (ENCA_nOVF) が「1」にセットされます。オーバーフローフラグクリアビット (ENCA_nCLOV) を「1」にセットすると、オーバーフローフラグ (ENCA_nOVF) が「0」にクリアされます。

オーバーフロー発生とオーバーフローフラグクリアの動作について説明します。

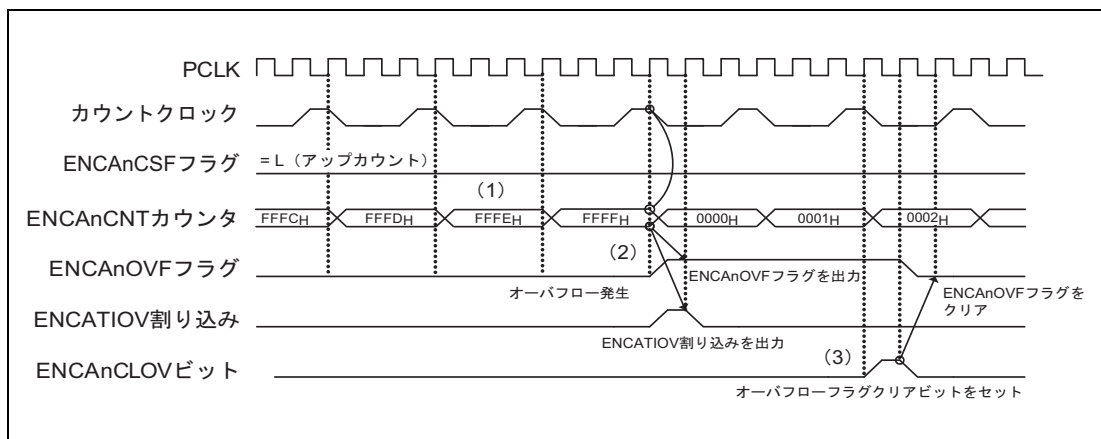


図 28.11 オーバフローの発生とオーバーフローフラグクリアの設定

- (1) カウンタ値が $FFFE_H$ から $FFFF_H$ にアップカウントします。
- (2) カウンタ値が $FFFF_H$ から 0000_H に変化するとオーバーフローが発生します。同時に、オーバーフロー割り込みが出力され、オーバーフローフラグが「1」にセットされます。
- (3) オーバフローフラグのクリア方法で、ENCA_nFGC レジスタの ENCA_nCLOV ビットを「1」にセットすることで「0」にクリアされます。また、ENCA_nTE レジスタの ENCA_nTE ビット = 0 のときに ENCA_nTS レジスタの ENCA_nTS ビットに「1」を設定するか、ENCA_nTSST (同時スタートトリガ入力) の入力信号を「ハイ」にすることでオーバーフローフラグはクリアされます。

28.6.2 アンダフローの発生とアンダフローフラグクリア操作

カウンタ値が 0000H のときにダウンカウントが実行されると、アンダフローが発生します。アンダフローが発生すると、アンダフロー割り込み (ENCATIUD) が出力され、アンダフローフラグ (ENCAnUDF) が「1」にセットされます。アンダフローフラグクリアビット (ENCAnCLUD) を「1」にセットすると、アンダフローフラグ (ENCAnUDF) が「0」にクリアされます。

アンダフロー発生とアンダフローフラグクリアの動作について説明します。

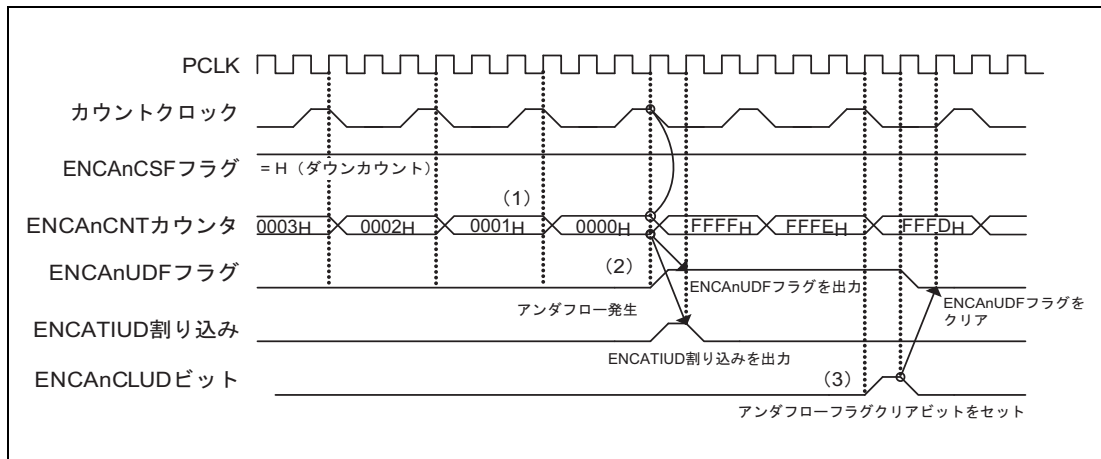


図 28.12 アンダフローの発生とアンダフローフラグクリアの設定

- (1) カウンタ値が 0001_H から 0000_H にダウンカウントします
- (2) カウンタ値が 0000_H から FFFF_H に変化するとアンダフローが発生します。同時に、アンダフロー割り込みが出力され、アンダフローフラグが「1」にセットされます。
- (3) アンダフローフラグのクリア方法で、ENCAnFGC レジスタの ENCAcntCLUD ビットを「1」にセットすることで「0」にクリアされます。また、ENCAnTE レジスタの ENCAcntTE ビット = 0 のときに ENCAcntTS レジスタの ENCAcntTS ビットに「1」を設定するか、ENCAnTSST (同時スタートトリガ) の入力信号を「ハイ」することでもオーバーフローフラグはクリアされます。

28.6.3 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作

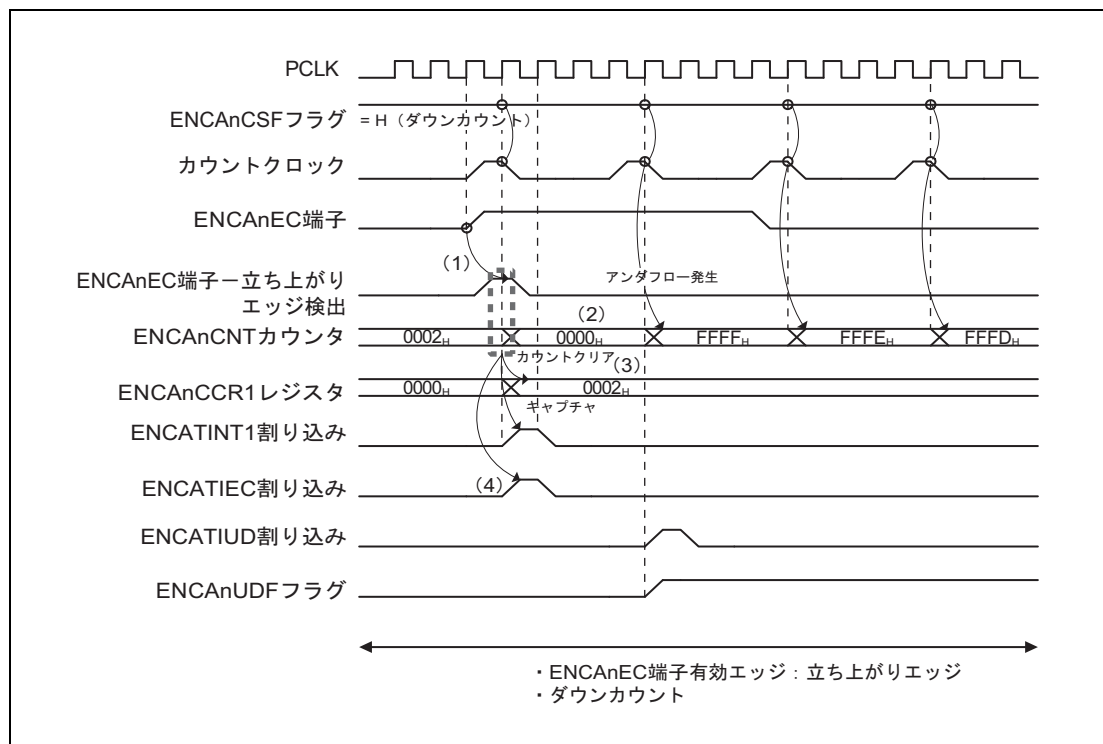


図 28.13 エンコーダクリア入力 (ENCA_nEC 端子) によるカウントクリアとキャプチャ動作のタイミング図

設定条件

- ENCA_nCTL レジスタの ENCA_nCRM1 ビット = 1
(ENCA_nCCR1 レジスタをキャプチャとして選択)
- ENCA_nCTL レジスタの ENCA_nCTS ビット = 1
(ENCA_nEC 端子入力をキャプチャトリガ入力として選択)
- ENCA_nIOC1 レジスタの ENCA_nECS[1:0] ビット = 01_B
(ENCA_nEC 端子入力の立ち上がりエッジ検出として選択)

- (1) ENCA_nEC 端子トリガの立ち上がりエッジでキャプチャ動作が実行されます。
- (2) ENCA_nEC 端子の入力によるクリア動作が実行され、カウント値が 0000_H にリセットされます。
- (3) ENCA_nEC 端子の立ち上がりエッジでカウンタ値 (0002_H) が ENCA_nCCR1 レジスタにキャプチャされます。
- (4) 同時に、ENCA_nEC 端子入力によるクリア割り込み (ENCA_nTIEC) とキャプチャ割り込み (ENCA_nTINT1) が出力されます。

28.6.4 オーバフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

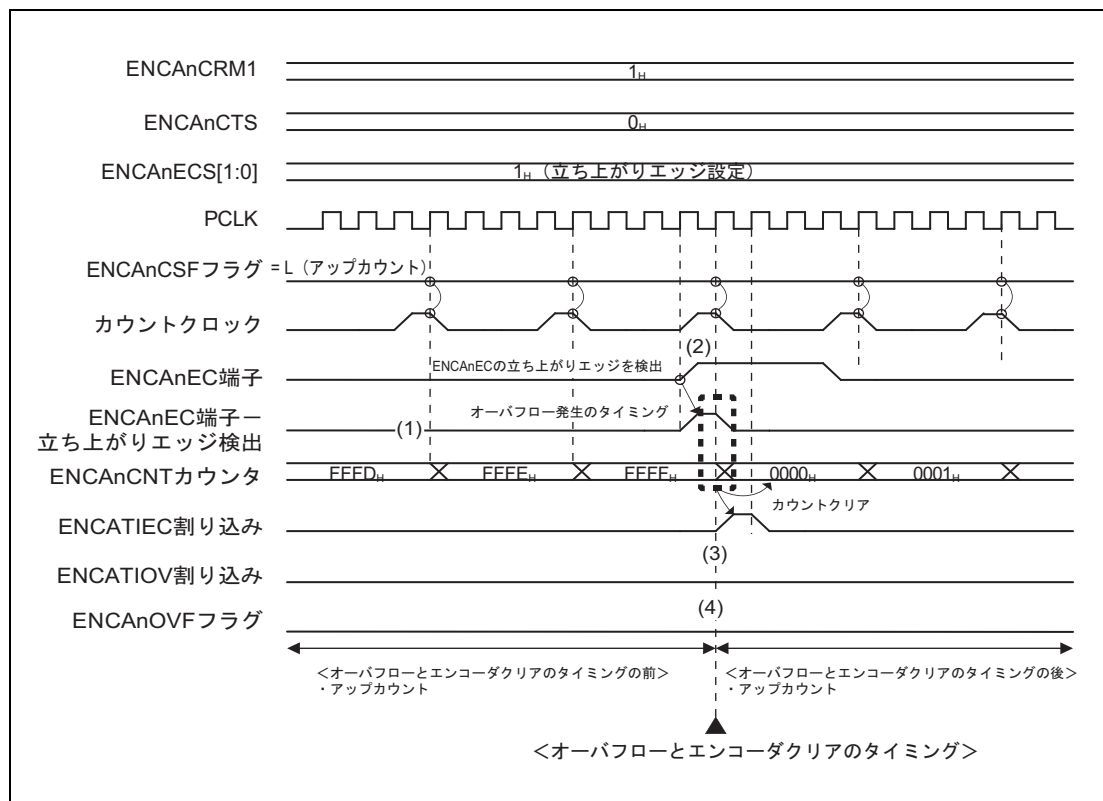


図 28.14 オーバフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

- (1) FFFD_H からのアップカウントが継続的に実行されます。
- (2) カウント値 FFFF_H でオーバフローが発生すると同時に ENCA_nEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。カウンタ値が 0000_H にクリアされます。
- (3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア入力によるクリア割り込み (ENCA_nTIEC) が出力されます。Z 相の入力によるクリアがオーバフローの発生と同時に実行されるため、オーバフロー割り込みは出力されません (オーバフローは発生しません。Z 相の入力によるクリアが実行されます)。
- (4) ステップ (3) と同様にオーバフローが発生しないため、オーバフローフラグもセットされません。

28.6.5 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

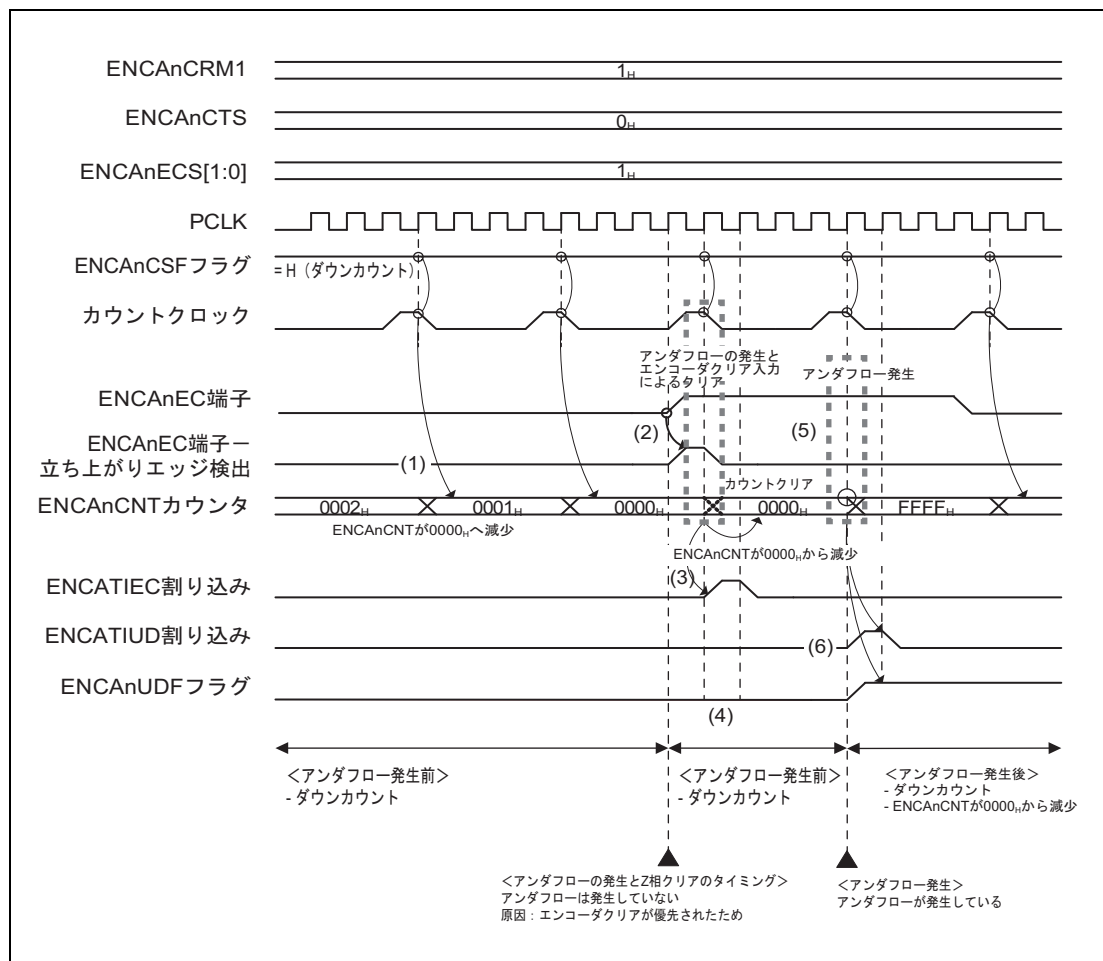


図 28.15 アンダフローの発生とエンコーダクリア入力 (ENCA_nEC 端子) によるクリア動作との競合

- (1) 0002_H からのダウンカウントが継続的に実行されます。
- (2) カウント値 0000_H でアンダフローが発生すると同時に ENCA_nEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても、カウンタ値は 0000_H のまま変わりません。
- (3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア割り込み (ENCATIEC) が出力されます。エンコーダクリア入力によるクリアがアンダフローの発生と同時に行われるため、アンダフロー割り込みは出力されません (アンダフローは発生しません。エンコーダクリア入力によるクリアが実行されます)。
- (4) ステップ (3) と同様にアンダフローが発生しないため、アンダフローフラグもセットされません。
- (5) エンコーダクリア入力によるクリア動作によってカウンタ値が 0000_H になったあと、さらにダウンカウントが行われることで、カウンタ値が 0000_H から FFFF_H へ変化し、アンダフローが発生します。
- (6) アンダフローが発生すると、アンダフロー割り込み (ENCATIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。

28.6.6 開始直後のオーバーフロー動作

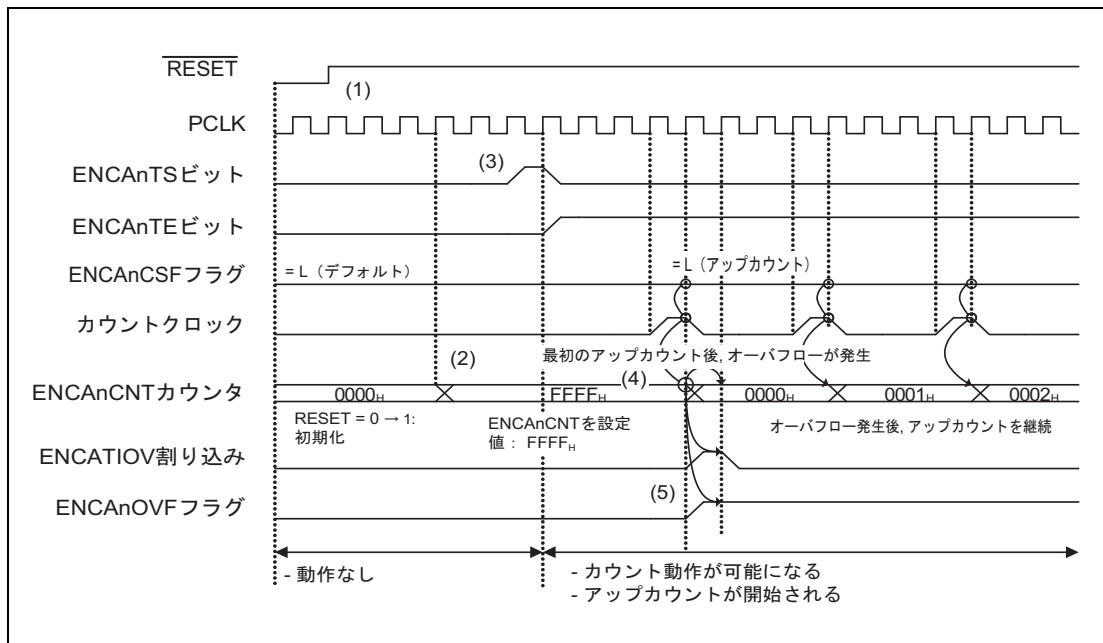


図 28.16 開始直後のオーバーフロー動作

- (1) $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
- (2) FFFF_{H} がタイマカウンタに初期設定値として設定します。
- (3) ENCAAnTS を「1」にセットし、動作が開始されます。 ENCAAnTE が「1」になり、動作が可能になったことを示します。
- (4) 初期設定されたカウンタ値である FFFF_{H} からのアップカウントが実行されることで、カウンタ値が FFFF_{H} から 0000_{H} へ変化し、動作開始直後にオーバーフローが発生します。
- (5) 同時に、動作開始直後のオーバーフローの発生によって、オーバーフロー割り込み (ENCAAnOVF) が出力され、オーバーフローフラグ (ENCAAnOVF) がセットされます。

28.6.7 開始直後のアンダフロー動作

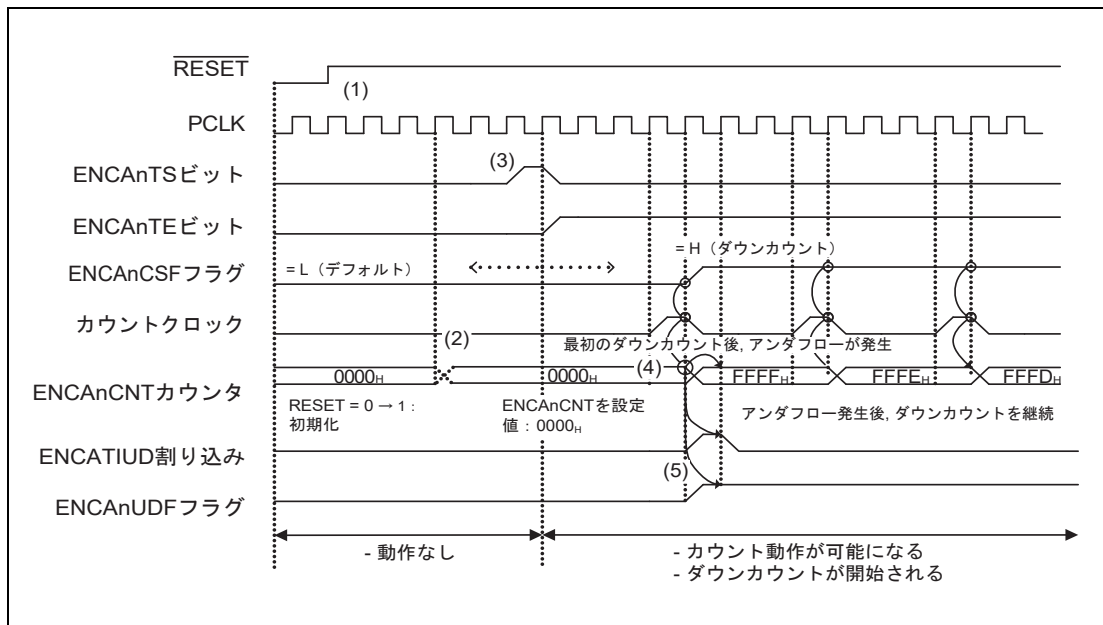
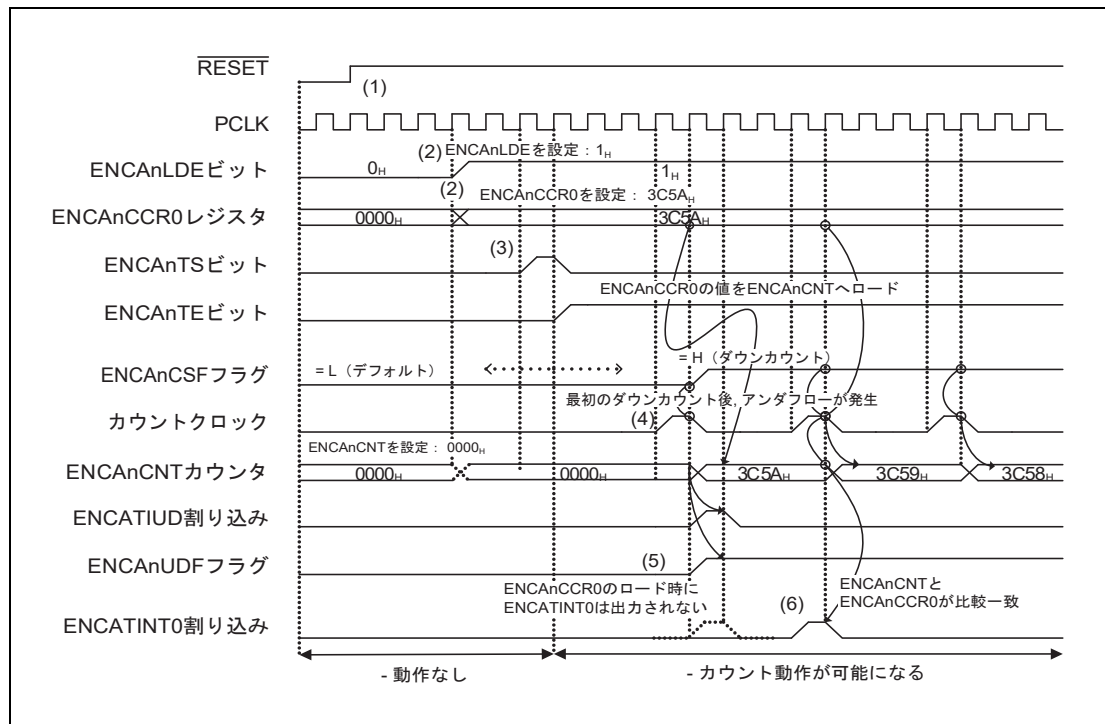


図 28.17 開始直後のアンダフロー動作

- (1) $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
- (2) 0000_{H} がタイマカウンタに初期設定値として設定します。
- (3) ENCAAnTS を「1」にセットし、動作が開始されます。ENCAAnTE が「1」になり、動作が可能になったことを示します。
- (4) 初期設定されたカウント値である 0000_{H} からのダウンカウントが実行されることで、カウンタ値が 0000_{H} から FFFF_{H} へ変化し、動作開始直後にアンダフローが発生します。
- (5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み (ENCAAnTIUD) が出力され、アンダフローフラグ (ENCAAnUDF) がセットされます。

28.6.8 開始直後の ENCA_nLDE 機能の利用図 28.18 開始直後の ENCA_nLDE 機能の利用

- (1) $\overline{\text{RESET}}$ の値が「0」から「1」になると、ステータスがリセットからリセット解除されます。
- (2) ロードイネーブルビット (ENCA_nLDE) を「1」にセットし、キャプチャ/コンペアレジスタ 0 (ENCA_nCCR0) を 3C5A_H に設定し、タイマカウンタを初期設定値 0000_H に設定します。
- (3) ENCA_nTS を「1」にセットし、動作が開始されます。ENCA_nTE が「1」になり、動作が可能になったことを示します。
- (4) 初期設定されたカウント値である 0000_H からのダウンカウントが実行されることで、動作開始直後にアンダフローが発生します。ENCA_nLDE が「1」にセットされているため、ENCA_nCCR0 の値である 3C5A_H がタイマカウンタにロードされます (ENCA_nINT0 はロード時に出力されません)。
- (5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み (ENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます (アンダフローが発生した後、ロードされた値 (3C5A_H) からのダウンカウント動作が継続します)。
- (6) ENCA_nCCR0 の値が ENCA_nCNT にロードされたあと、ENCA_nCCR0 との一致が検出され、ENCA_nINT0 が出力されます。

28.6.9 ENCA_nLDE 機能 (カウント値のロード)

(1) <ENCA_nLDE = 0 の場合 >

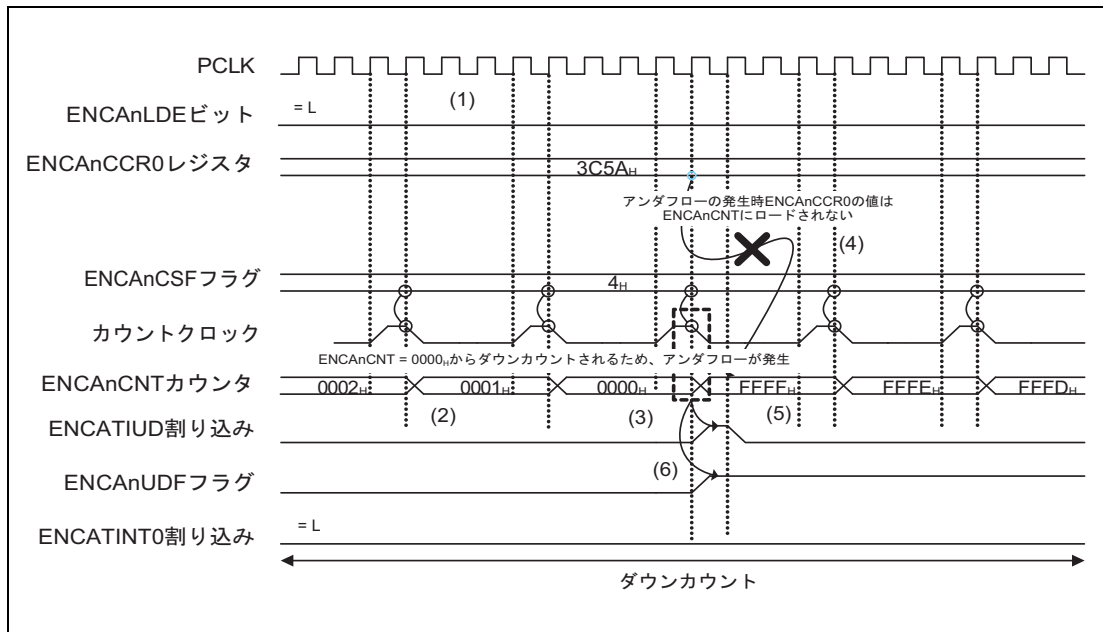
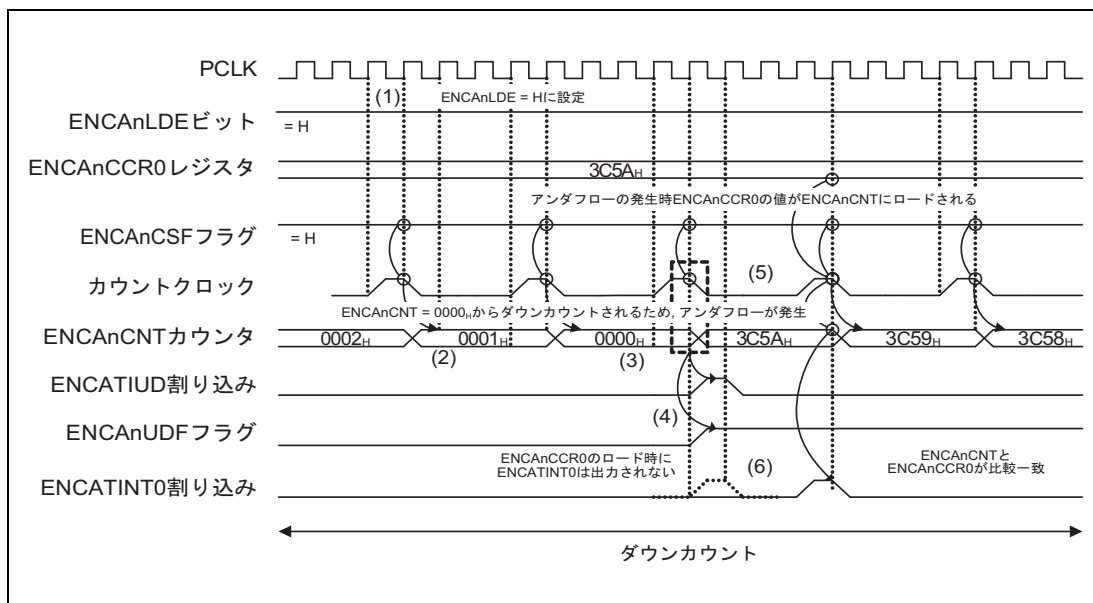


図 28.19 ENCA_nLDE 機能 (ENCA_nLDE = 0 の場合)

- (1) ENCA_nLDE が「0」に設定されています (アンダフローが発生しても、ENCA_nCCR0 の値はロードされません)。
- (2) ダウンカウントが実行されます : 0002_H → 0001_H → 0000_H
- (3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。
- (4) ENCA_nLDE が「0」に設定されているため、アンダフローが発生したときに ENCA_nCCR0 レジスタの設定値はカウンタにロードされません。
- (5) 動作がアンダフロー動作に変化します (カウンタ値 : 0000_H → FFFF_H)。
- (6) アンダフロー割り込み (ENCA_nIUD) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。

(2) <ENCA_nLDE = 1 の場合 >図 28.20 ENCA_nLDE 機能 (ENCA_nLDE = 1 の場合)

- (1) ENCA_nLDE が「1」に設定されています (アンダフローが発生すると、ENCA_nCCR0 の値がカウンタにロードされます)。
- (2) ダウンカウントが実行されます : 0002_H → 0001_H → 0000_H
- (3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。
- (4) アンダフロー割り込みが出力され、アンダフローフラグがセットされます。
- (5) ENCA_nLDE が「1」にセットされているため、アンダフローが発生すると ENCA_nCCR0 レジスタの設定値がカウンタにロードされます。ENCA_nCNT が 3C5A_H に設定されます。
- (6) ENCA_nCCR0 の値が ENCA_nCNT に設定された後、ENCA_nCNT の値と ENCA_nCCR0 の値がカウントクロックで一致すれば、コンパレー一致割り込み (ENCA_nINT0) が出力されます。

28.6.10 ENCA_nLDE 機能 (カウンタ値のロード) と ENCA_nCCR0 レジスタの書き換えとの競合

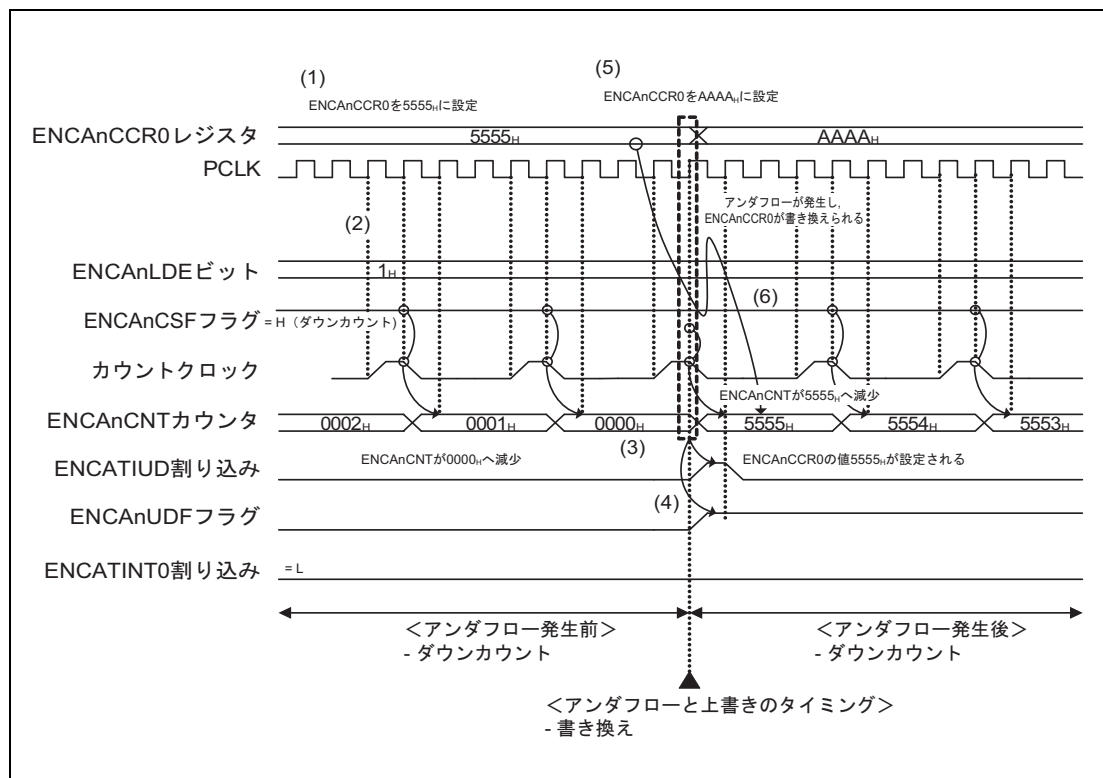


図 28.21 ENCA_nLDE 機能と ENCA_nCCR0 レジスタの書き換えとの競合

- (1) ENCA_nCCR0 レジスタは、現在 5555_H に設定されています。
- (2) ENCA_nLDE は現在「1」にセットされています。
- (3) 0002_H → 0001_H → 0000_H とダウンカウントが実行され、アンダフローが発生します。
- (4) アンダフロー割り込みが出力され、アンダフローフラグがセットされます。
- (5) アンダフローが発生すると同時に、ENCA_nCCR0 レジスタの値が 5555_H から AAAA_H に書き換えられます。
- (6) さらに、アンダフローが発生すると同時に、書き換えられる前の ENCA_nCCR0 の値 (5555_H) が ENCA_nCNT に設定されます。

28.6.11 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合

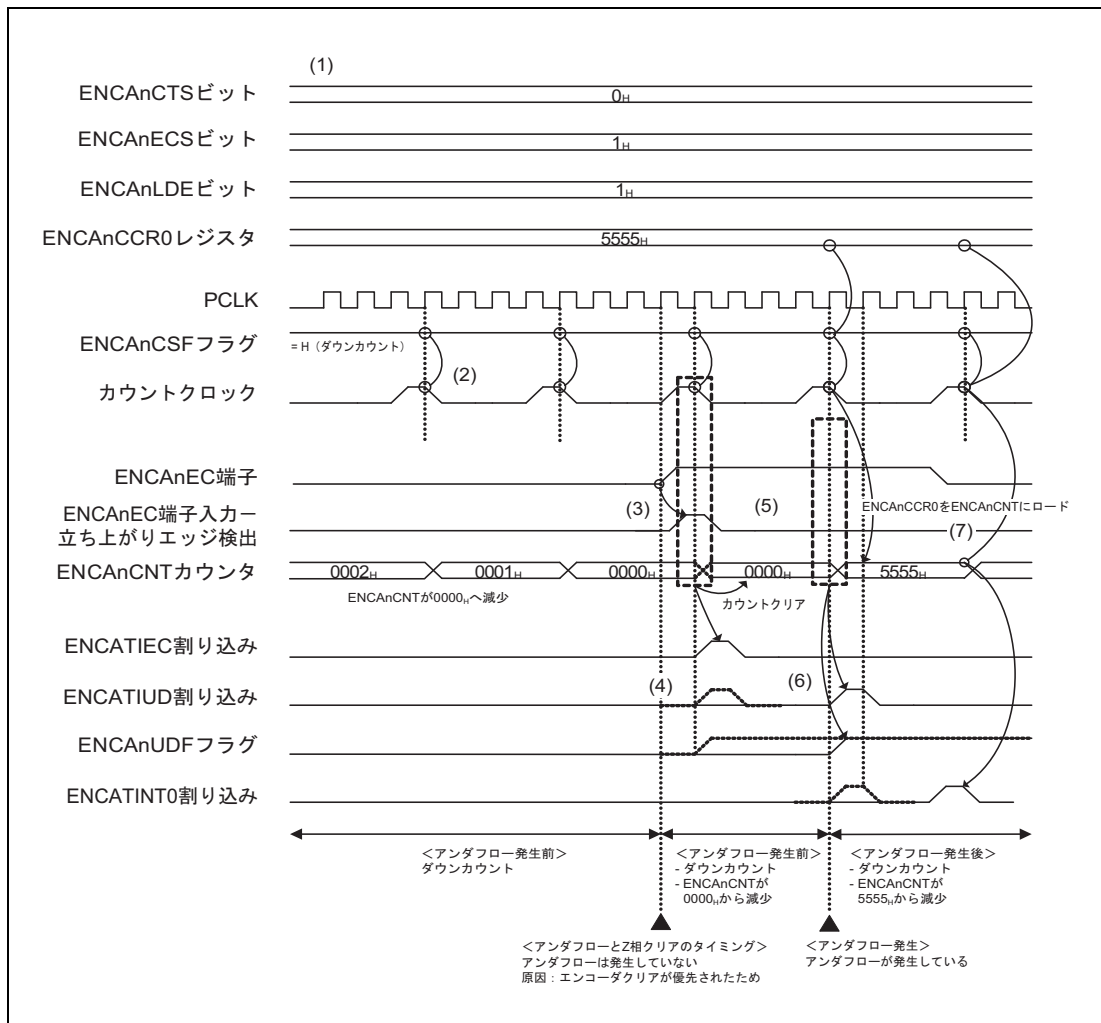


図 28.22 ENCA_nLDE 機能とエンコーダクリア入力によるクリア動作との競合

- (1) 以下の値が設定されています。ENCA_nCTS = 0、ENCA_nECS[1:0] = 01_B、ENCA_nLDE = 1、ENCA_nCCR0 = 5555_H。
- (2) ダウンカウントが実行されます : 0002_H → 0001_H → 0000_H。
- (3) カウント値が 0000_H になったときに ENCA_nEC の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。
- (4) カウント値が 0000_H に達したときにカウントクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み (ENCATIEC) が出力されます。さらに、カウント値 0000_H でダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (ENCAIU_D) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。
- (5) エンコーダクリア入力によるクリアによってカウント値が 0000_H にクリアされたあと、ダウンカウントが実行され、アンダフローが発生します。
- (6) アンダフロー割り込み (ENCATIU_D) が出力され、アンダフローフラグ (ENCA_nUDF) がセットされます。
- (7) ENCA_nLDE = 1 であるため、アンダフローが発生すると ENCA_nCCR0 の値が ENCA_nCNT にロードされます。
- (8) ENCA_nCCR0 の値が ENCA_nCNT に設定されたあと、カウントクロックに基づいてコンペア一致の検出が行われ、ENCA_nCNT と ENCA_nCCR0 が一致するとコンペア一致割り込み (ENCATINT0) が出力されます。

28.6.12 ENCA_nLDE 機能 (カウンタ値のロード) とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント

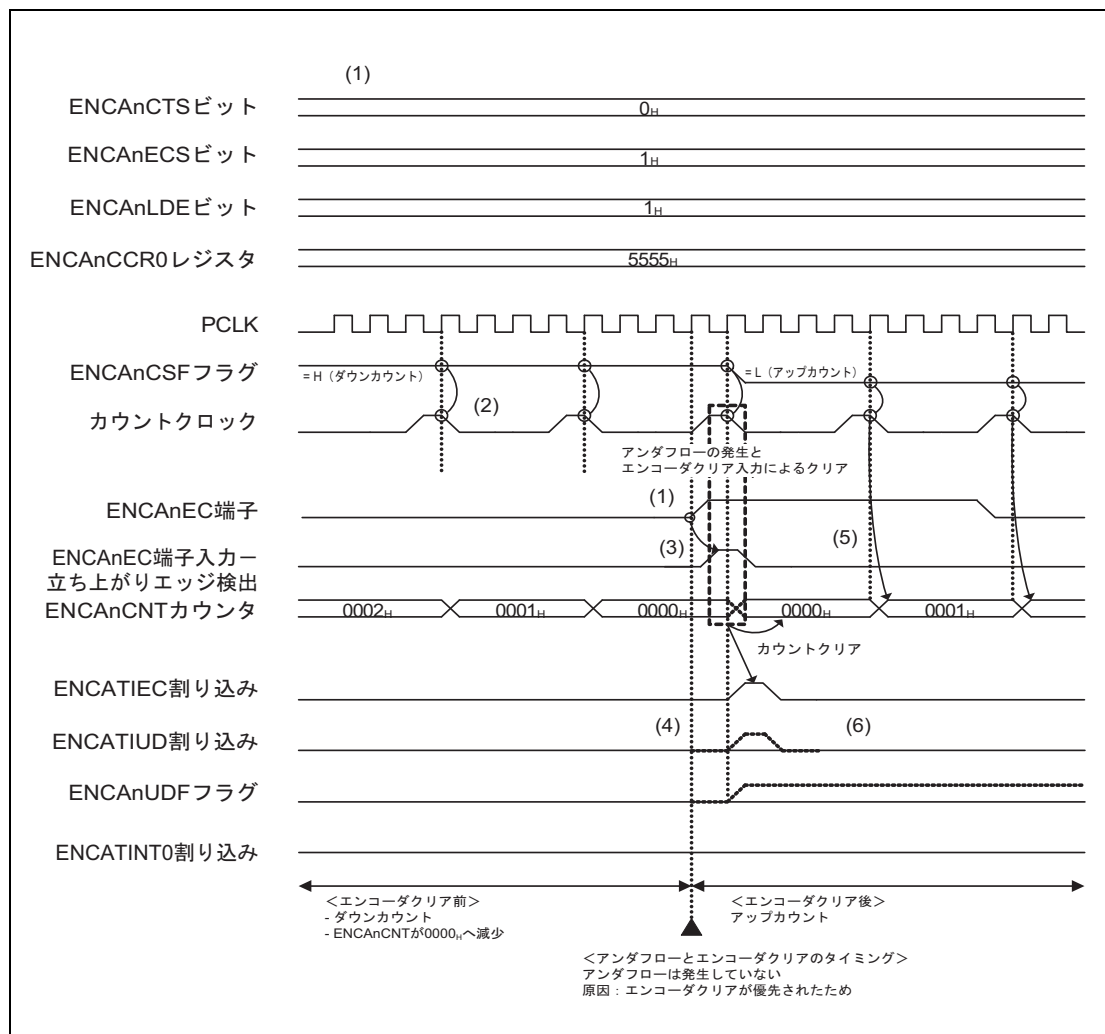
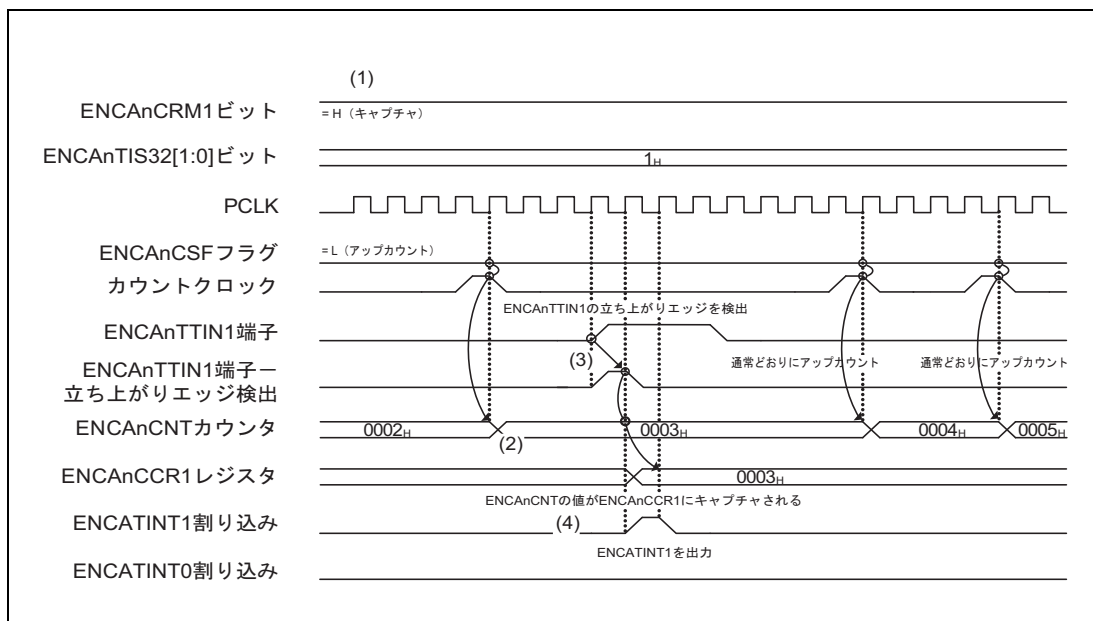
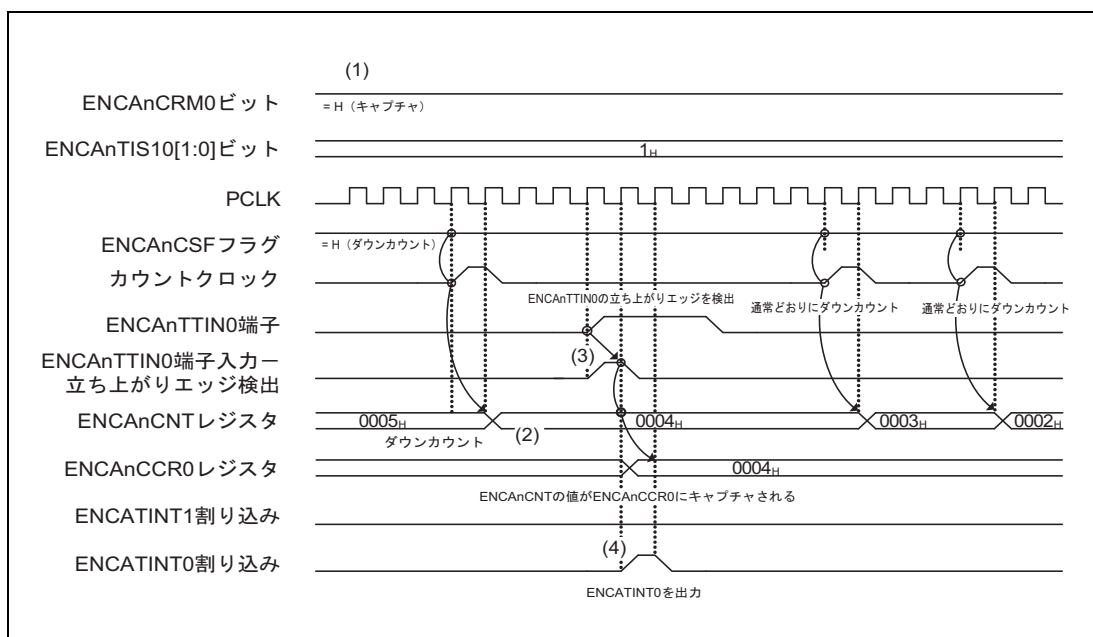


図 28.23 ENCA_nLDE 機能とエンコーダクリアとの競合後のアップカウント

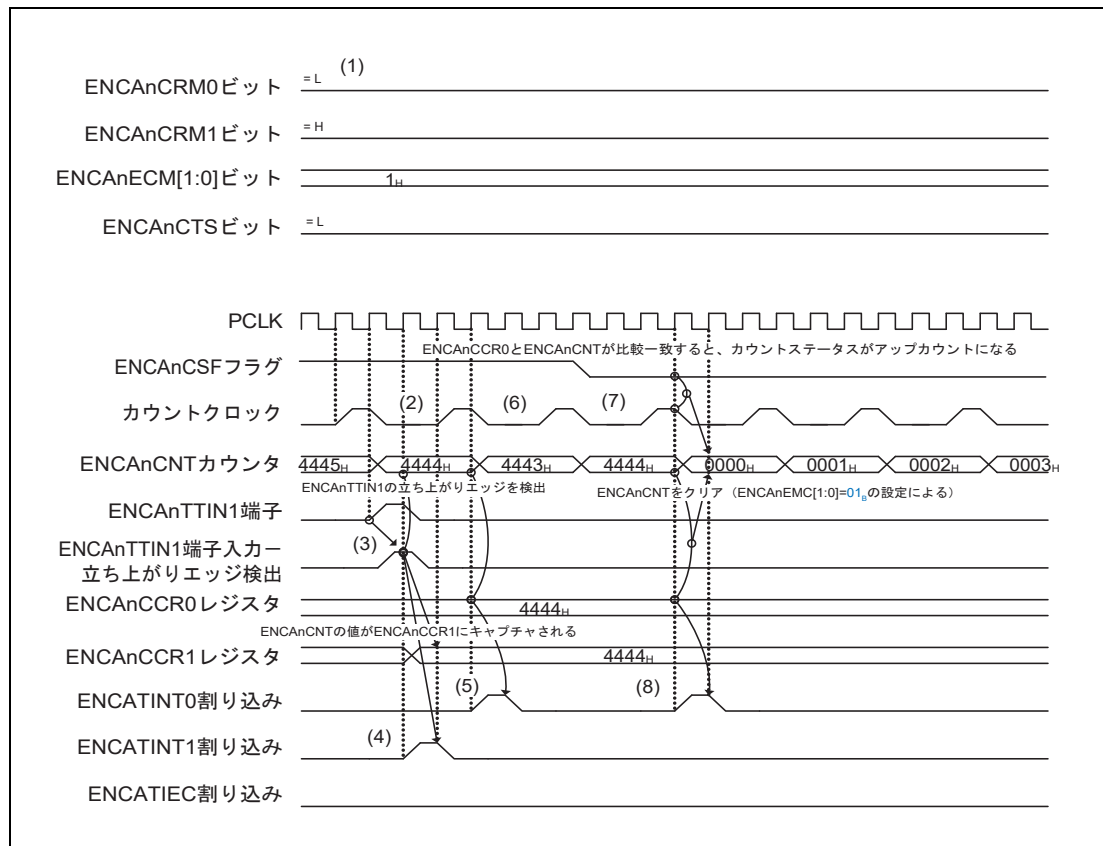
- (1) 以下の値が設定されています。ENCA_nCTS = 0、ENCA_nECS[1:0] = 01_B、ENCA_nLDE = 1、ENCA_nCCR0 = 5555_H。
- (2) ダウンカウントが実行されます：0002_H → 0001_H → 0000_H。
- (3) カウンタ値が 0000_H になったときに ENCA_nEC の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。
- (4) カウンタ値が 0000_H に達したときにカウンタクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み (ENCA_nTIEC) が出力されます。さらに、カウンタ値 0000_H のときにダウンカウントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み (ENCA_nTIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。
- (5) エンコーダクリア入力によるクリアによってカウンタ値が 0000_H にクリアされたあと、アップカウントが実行されます。
- (6) アンダフロー割り込み (ENCA_nTIUD) は出力されず、アンダフローフラグ (ENCA_nUDF) もセットされません。

28.6.13 カウントクロック間のキャプチャ動作 (ENCA_nCCR1)図 28.24 カウントクロック間のキャプチャ動作 (ENCA_nCCR1)

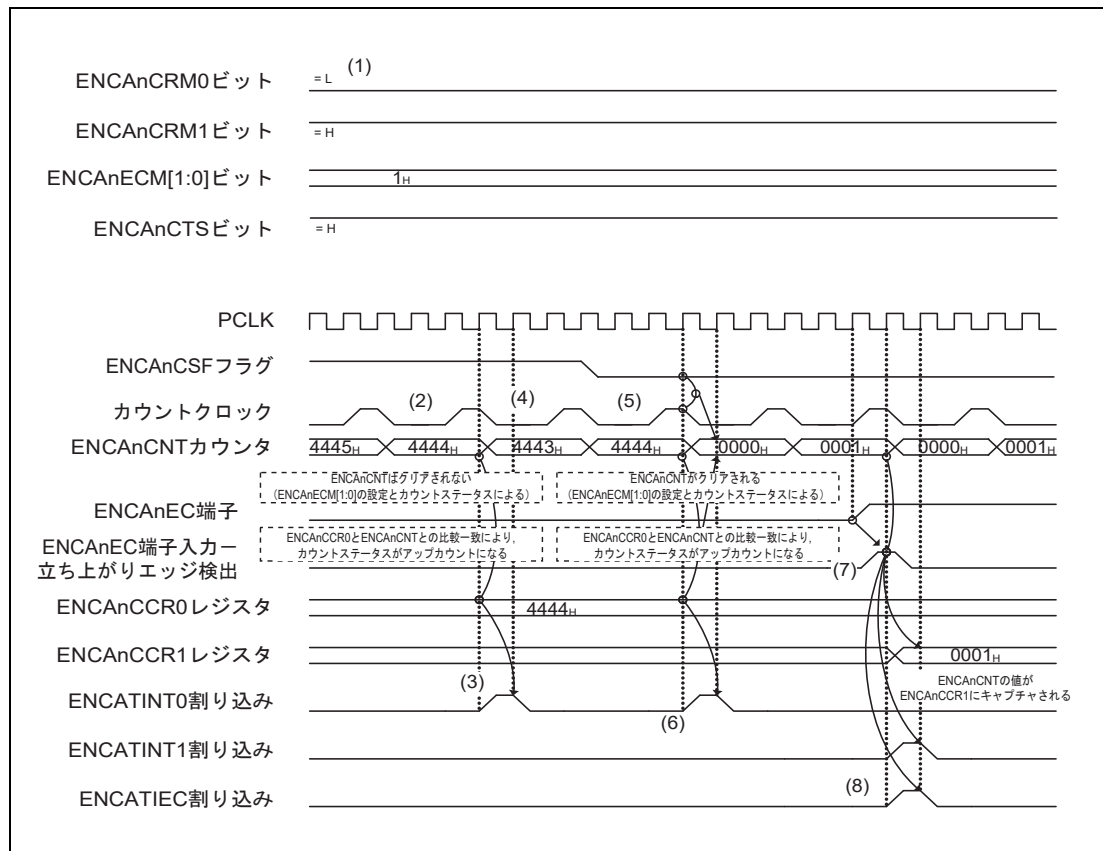
- (1) 以下の値が設定されています。ENCA_nCRM1 = 1、ENCA_nTIS32[1:0] = 01_B。
- (2) アップカウントが実行されます。
- (3) ENCA_nTTIN1 入力の立ち上がりエッジが検出され、カウント値が ENCA_nCCR1 にキャプチャされます。
- (4) ENCA_nCCR1 レジスタへのキャプチャに対応する割り込み要求信号 (ENCA_nTINT1) が出力されます。

28.6.14 カウントクロック間のキャプチャ動作 (ENCA_nCCR0)図 28.25 カウントクロック間のキャプチャ動作 (ENCA_nCCR0)

- (1) 以下の値が設定されています。ENCA_nCRM0 = 1、ENCA_nTIS10[1:0] = 01_B。
- (2) ダウンカウントが実行されます。
- (3) ENCA_nTTIN0 入力の立ち上がりエッジが検出され、カウント値が ENCA_nCCR0 にキャプチャされます。
- (4) ENCA_nCCR0 レジスタへのキャプチャに対応する割り込み要求信号 (ENCA_nTINT0) が出力されます。

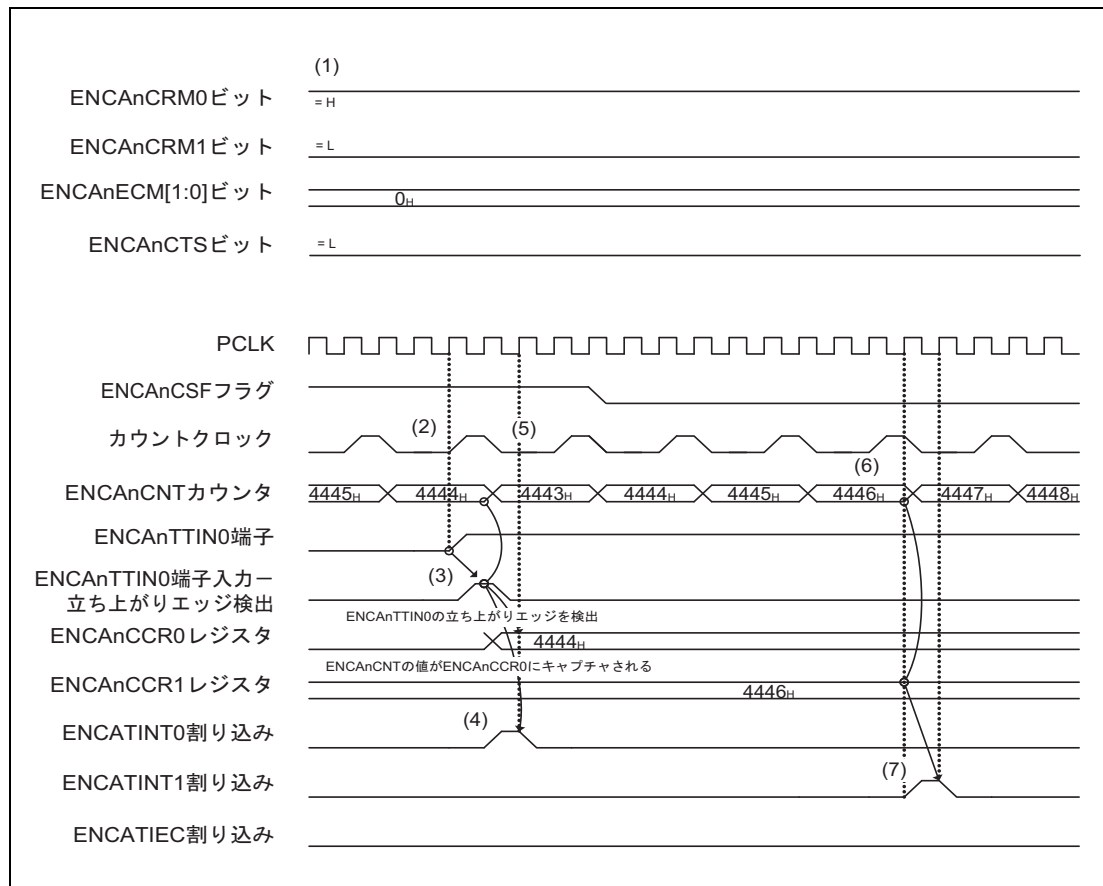
28.6.15 コンペアー一致クリア制御有効時かつ ENCA_nCTS = 0 のときのエンコーダの動作図 28.26 ENCA_nECM[1:0] = 01_B かつ ENCA_nCTS = 0 のときのエンコーダの動作

- (1) 以下の値が設定されています。ENCA_nCCR0 = 4444_H、ENCA_nCRM0 = 0、ENCA_nCRM1 = 1、ENCA_nECM[1:0] = 01_B、ENCA_nCTS = 0。
- (2) ダウンカウントが実行されます。
- (3) ENCA_nTTIN1 の立ち上がりエッジが検出され、ENCA_nCNT の値 4444_H が ENCA_nCCR1 レジスタにキャプチャされます。
- (4) ENCA_nCCR1 へのキャプチャに対応する割り込み (ENCA_nCATINT1) が出力されます。
- (5) ENCA_nCNT (4445_H から 4444_H へダウンカウントされる) と ENCA_nCCR0 (4444_H) がコンペアー一致すると、ENCA_nCCR0 とのコンペアー一致割り込み (ENCA_nCATINT0) が出力されます。
- (6) カウント動作がアップカウントに変わります。
- (7) ENCA_nCNT が 4443_H から 4444_H へカウントアップされると ENCA_nCCR0 とのコンペアー一致が再び発生します。コンペアー一致が発生したときのカウント動作がアップカウントであるため、ENCA_nECM1 と ENCA_nECM0 の設定 (01_B) に従ってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- (8) ENCA_nCNT が 4444_H になると、ENCA_nCCR0 とのコンペアー一致割り込み (ENCA_nCATINT0) が出力されます。

28.6.16 コンペア一致クリア制御有効時かつ ENCA_nCTS = 1 のときのエンコーダの動作図 28.27 ENCA_nECM[1:0] = 01_B かつ ENCA_nCTS = 1 のときのエンコーダの動作

- (1) 以下の値が設定されています。ENCA_nCCR0 = 4444_H、ENCA_nCRM0 = 0、ENCA_nCRM1 = 1、ENCA_nECM[1:0] = 01_B、ENCA_nCTS = 1。
- (2) ダウンカウントが実行されます。
- (3) ENCA_nCNT (4445_H から 4444_H へダウンカウントされる) と ENCA_nCCR0 (4444_H) がコンペア一致すると、割り込み要求信号 (ENCA_nTINT0) が出力されます。
- (4) カウント動作がアップカウントに変わります。
- (5) ENCA_nCNT が 4443_H から 4444_H へカウントアップされると ENCA_nCCR0 とのコンペア一致が再び発生します。コンペア一致が発生したときのカウント動作がアップカウントであるため、ENCA_nECM1 と ENCA_nECM0 の設定 (01_B) に従ってカウント値がクリアされ、ENCA_nCNT の値が 0000_H になります。
- (6) ENCA_nCNT が 4444_H になると、ENCA_nCCR0 とのコンペア一致割り込み (ENCA_nTINT0) が出力されます。
- (7) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。この時点で ENCA_nEC 信号の立ち上がりエッジが検出されることによって ENCA_nCNT の値 0001_H が ENCA_nCCR1 にキャプチャされ、カウンタが 0000_H にクリアされます。
- (8) ENCA_nCCR1 レジスタへのキャプチャに対応する割り込み (ENCA_nTINT1) と ENCA_nEC によるクリア割り込み (ENCA_nTIEC) が出力されます。

28.6.17 コンペア一致クリア制御無効時のときのエンコーダの動作

図 28.28 ENCAAnECM[1:0] = 00_B のときのエンコーダの動作

- (1) 以下の値が設定されています。ENCAAnCCR1 = 4446_H、ENCAAnCRM0 = 1、ENCAAnCRM1 = 0、ENCAAnECM[1:0] = 00_B、ENCAAnCTS = 0。
- (2) ダウンカウントが実行されます。
- (3) ENCAAnTTIN0 の立ち上がりエッジが検出されると、ENCAAnCNT の値 (4444_H) が ENCAAnCCR0 にキャプチャされます。
- (4) ENCAAnCCR0 へのキャプチャに対応する割り込み (ENCAAnCATINT0) が出力されます。
- (5) カウント動作がアップカウントに変わります。
- (6) ENCAAnCNT が 4446_H になると、ENCAAnCCR1 とのコンペア一致が検出されます。
- (7) ENCAAnCCR1 とのコンペア一致割り込み (ENCAAnCATINT1) が出力されます。

28.6.18 ENCA_nSCE = 1 のときに ENCA_nEC、ENCA_nE0、ENCA_nE1 によるクリアタイミングで行われるキャプチャ動作

28.6.18.1 付随するキャプチャ動作

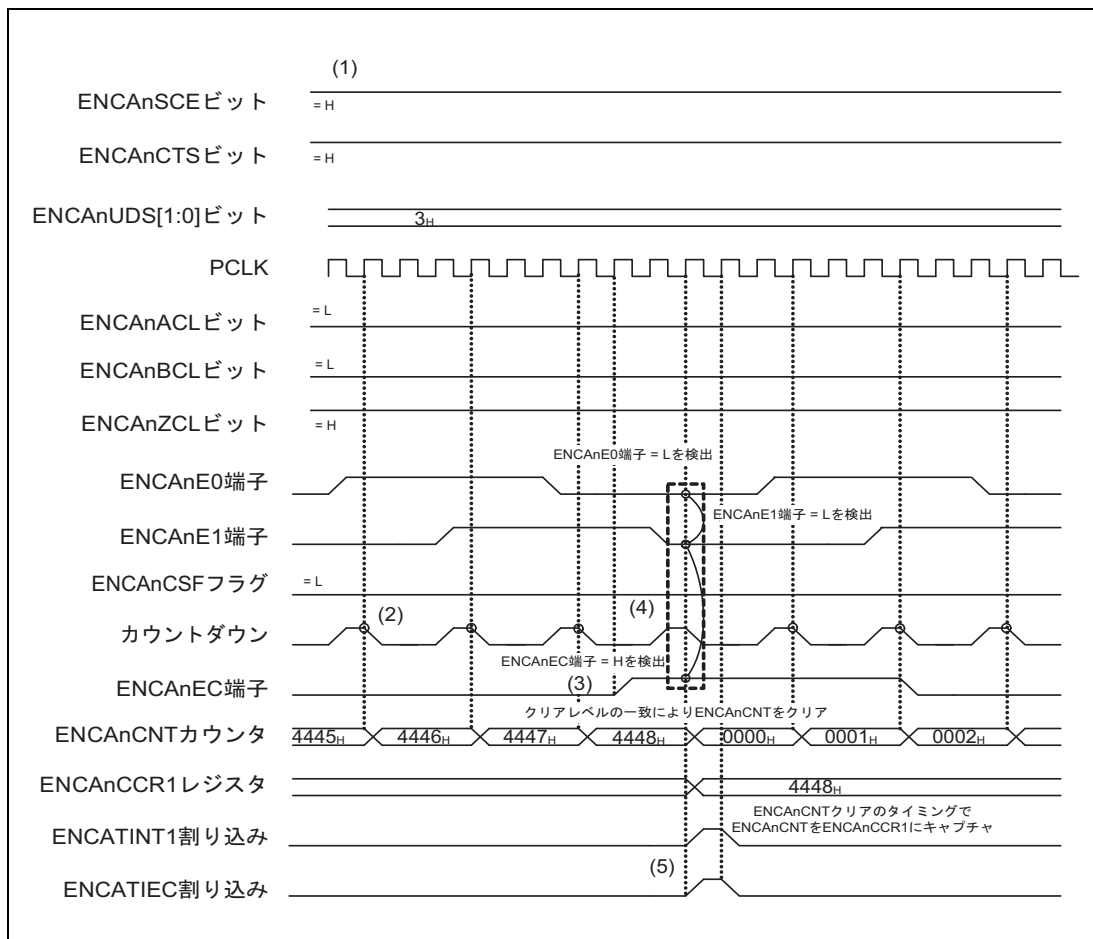


図 28.29 ENCA_nSCE = 1 のときに ENCA_nEC、ENCA_nE0、ENCA_nE1 によるクリアタイミングで行われるキャプチャ動作

- (1) 以下の設定が行われています。ENCA_nSCE = 1、ENCA_nCTS = 1、ENCA_nUDS[1:0] = 11_B、ENCA_nACL = 0、ENCA_nBCL = 0、ENCA_nZCL = 1。
- (2) アップカウントが実行されます。
- (3) ENCA_nEC の立ち上がりエッジではカウント値はクリアされません。
- (4) ENCA_nE0、ENCA_nE1、ENCA_nEC が設定されたクリアレベルに達すると、カウント値がクリアされます。クリアのタイミングでカウント値が ENCA_nCCR1 にキャプチャされます。
- (5) クリアのタイミングで、ENCA_nCCR1 へのキャプチャに対応する割り込み (ENCA_nCATINT1) と ENCA_nEC によるクリア割り込み (ENCA_nTIEC) が出力されます。

28.6.18.2 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合 (ENCA_nACL=1、ENCA_nBCL=0、ENCA_nZCL=1、ENCA_nUDS[1:0] = 11_B のとき)

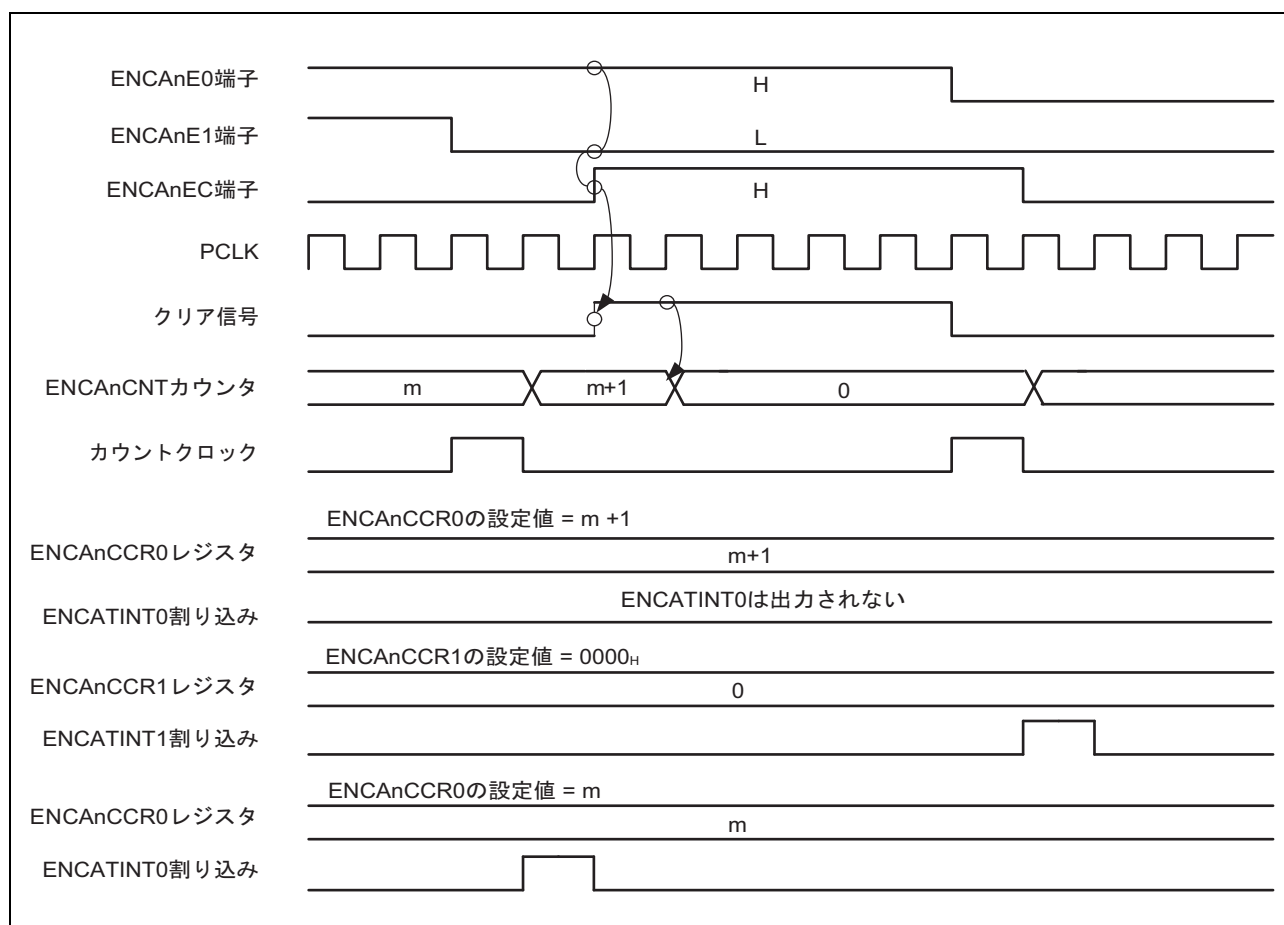


図 28.30 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合のクリアのタイミング

28.6.18.3 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングと同じだった場合

(ENCA_nACL=1、ENCA_nBCL=0、ENCA_nZCL=1、ENCA_nUDS[1:0]=11_B のとき)

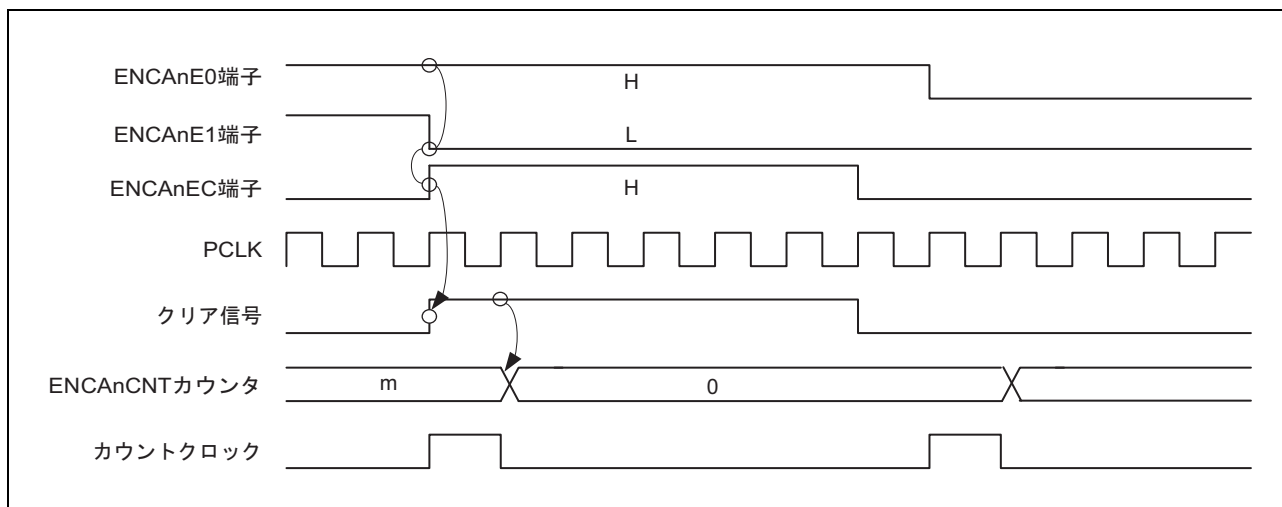


図 28.31 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングと同じだった場合のクリアのタイミング

28.6.18.4 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより早かった場合

(ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

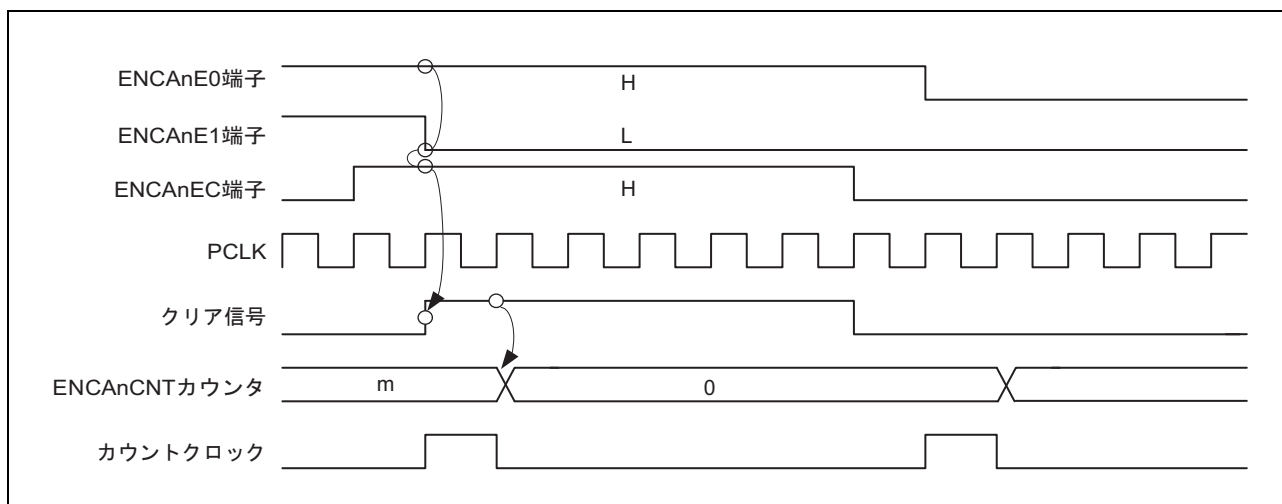


図 28.32 アップカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより早かった場合のクリアのタイミング

28.6.18.5 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合 (ENCA_nACL = 1、ENCA_nBCL = 0、ENCA_nZCL = 1、ENCA_nUDS[1:0] = 11_B のとき)

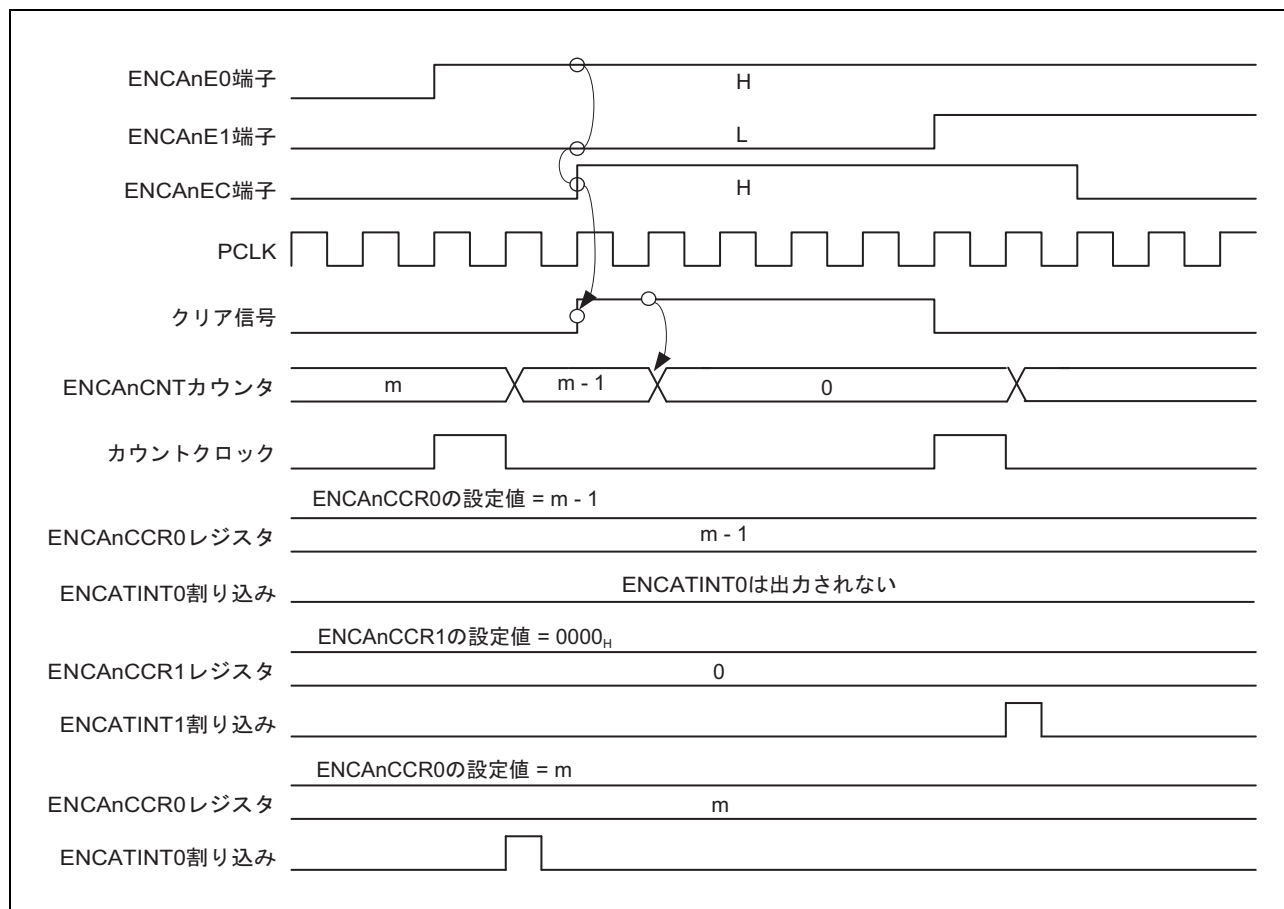


図 28.33 ダウンカウント中に ENCA_nEC の入力のタイミングが ENCA_nE1 の入力のタイミングより遅かった場合のクリアのタイミング

28.6.19 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作

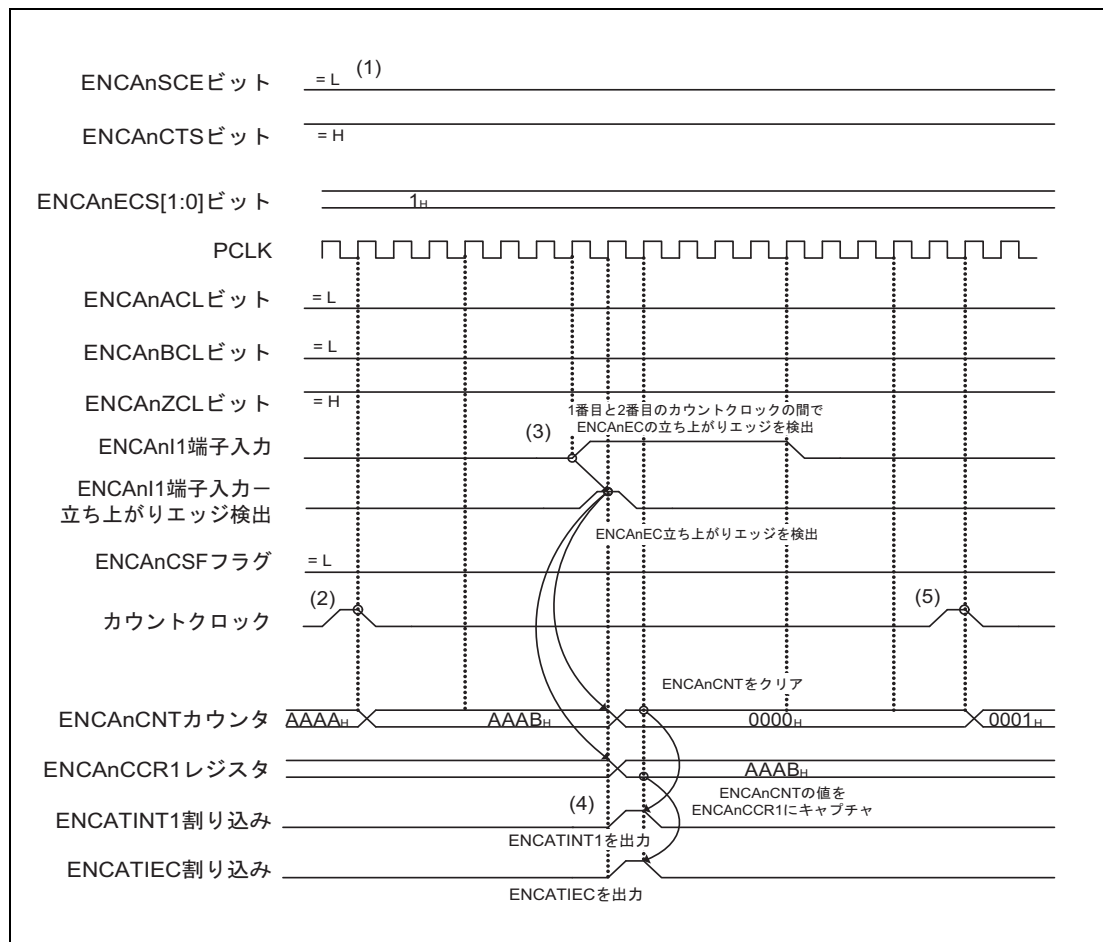


図 28.34 ENCA_nSCE = 0 のときに ENCA_nEC によるクリアのタイミングで行われるキャプチャ動作

- (1) 以下の値が設定されています。ENCA_nSCE = 0、ENCA_nCTS = 1、ENCA_nECS[1:0] = 01_B。
- (2) アップカウントが実行されます。
- (3) ENCA_nEC の立ち上がりエッジが検出され、ENCA_nCNT の値 (AAAB_H) が ENCA_nCCR1 にキャプチャされます。同時に、ENCA_nEC によるクリア動作が行われるため、ENCA_nCNT は 0000_H にリセットされます。
- (4) ENCA_nCCR1 へのキャプチャに対応する割り込み (ENCATINT1) と ENCA_nEC によるエンコーダクリア割り込み (ENCATIEC) が出力されます。
- (5) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。

第29章 ペリフェラルインタコネクション (PIC)

29.1 RH850/P1x PIC の特長

本章では、ペリフェラルインタコネクション (PIC) 全般について説明します。

最初の節では、ユニット名、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、PIC (PIC1A、PIC2B) の機能、レジスタについて説明します。

29.1.1 ユニット数

本製品は以下のユニット数の PIC を搭載しています。

表 29.1 ユニット数 (PIC1A)

製品	RH850/P1x
ユニット数	1
名称	PIC1A

表 29.2 ユニット数 (PIC2B)

製品	RH850/P1x
ユニット数	1
名称	PIC2B

表 29.3 添字

添字	意味
n	各タイマ、A/D コンバータのユニット数を識別します。
m	各タイマ、A/D コンバータが保有しているチャンネル数を識別します。
x	A/D コンバータが保有しているスキャングループ数を識別します。
i	説明時における変数を示します。

29.1.2 レジスタベースアドレス

PIC のベースアドレスを以下の表に示します。

PIC のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 29.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PIC1A_base>	FFDD 0000 _H
<PIC2B_base>	FFDD 1000 _H

29.1.3 クロック供給

PIC のクロック供給を以下の表に示します。

表 29.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
PIC1A	PCLK	高速周辺クロック CLK_HSB
PIC2B	PCLK	高速周辺クロック CLK_HSB

29.1.4 リセット要因

PIC のリセット要因を以下に示します。PIC は以下のリセット要因で初期化されます。

表 29.6 リセット要因

ユニット名	リセット要因
PIC1A	すべてのリセット要因でリセット
PIC2B	すべてのリセット要因でリセット

29.1.5 入出力信号

表 29.7 PIC の入出力信号 (1/2)

信号名	I/O	機能	接続先
ENCA0TSST	O	ENCA0 の同時スタート・トリガ信号	ENCA0
ENCAT0AIN	O	ENCA0 のエンコーダ入力信号 (A 相)	
ENCAT0BIN	O	ENCA0 のエンコーダ入力信号 (B 相)	
ENCAT0ZIN	O	ENCA0 のエンコーダ入力信号 (Z 相)	
INTENCA0I1	O	ENCA0 のキャプチャトリガ	
INTENCA0IEC	I	ENCA0 のエンコーダ入力 (Z 相) によるクリア割り込み信号	
ENCAT0EQ0	I	ENCA0 の一致検出信号 0	
ENCAT0EQ1	I	ENCA0 の一致検出信号 1	
ENCA1TSST	O	ENCA1 の同時スタート・トリガ信号	ENCA1
ENCAT1AIN	O	ENCA1 のエンコーダ入力信号 (A 相)	
ENCAT1BIN	O	ENCA1 のエンコーダ入力信号 (B 相)	
ENCAT1ZIN	O	ENCA1 のエンコーダ入力信号 (Z 相)	
INTENCA1I1	O	ENCA1 のキャプチャトリガ	
INTENCA1IEC	I	ENCA1 のエンコーダ入力 (Z 相) によるクリア割り込み信号	
ENCAT1EQ0	I	ENCA1 の一致検出信号 0	
ENCAT1EQ1	I	ENCA1 の一致検出信号 1	
TOP0TAPATHASIN	O	Hi-Z 非同期信号	TAPA0
TOP1TAPATHASIN	O	Hi-Z 非同期信号	TAPA1
TOP2TAPATHASIN	O	Hi-Z 非同期信号	TAPA2
TOP3TAPATHASIN	O	Hi-Z 非同期信号	TAPA3
TAUD0TSSTm (m = 0 ~ 15)	O	TAUD0 の同時スタート・トリガ信号	TAUD0
TAUD0TOUTm (m = 0 ~ 15)	I	TAUD0 のチャンネル出力信号	
TAUD0TINm (m = 0 ~ 15)	O	TAUD0 のチャンネル入力信号	
INTTAUD0Im (m = 0 ~ 15)	I	TAUD0 の割り込み信号	
TAUD1TSSTm (m = 0 ~ 15)	O	TAUD1 の同時スタート・トリガ信号	TAUD1
TAUD1TOUTm (m = 0 ~ 15)	I	TAUD1 のチャンネル出力信号	
TAUD1TINm (m = 0 ~ 15)	O	TAUD1 のチャンネル入力信号	
INTTAUD1Im (m = 0 ~ 15)	I	TAUD1 の割り込み信号	
TAUJ0TSSTm (m = 0 ~ 3)	O	TAUJ0 の同時スタート・トリガ信号	TAUJ0
TAUJ0TINm (m = 0 ~ 3)	O	TAUJ0 のチャンネル入力信号	
TAUJ1TSSTm (m = 0 ~ 3)	O	TAUJ1 の同時スタート・トリガ信号	TAUJ1

表 29.7 PIC の入出力信号 (2/2)

信号名	I/O	機能	接続先
TPBA0TSST	O	TPBA0 の同時スタート・トリガ信号	TPBA0
TPBA1TSST	O	TPBA1 の同時スタート・トリガ信号	TPBA1
TSG30TSST	O	TSG30 の同時スタート・トリガ信号	TSG30
TSG30TSTOPC0	O	タイマ出力パタンコントロール 0 信号	
TSG30TSTOPC1	O	タイマ出力パタンコントロール 1 信号	
TSG30TSTPTE	I	TSTAP[0:2] エッジ検出信号	
TSG30TS2PEC	I	2 相エンコーダカウント信号	
TSG30TST2PUD	I	2 相エンコーダアップダウン信号	
TSG30TSTAPT0	O	ホールセンサ入力信号 0	
TSG30TSTAPT1	O	ホールセンサ入力信号 1	
TSG30TSTAPT2	O	ホールセンサ入力信号 2	
TSG30TO1	I	PWM 出力 1	
TSG30TO2	I	PWM 出力 2	
TSG30TO3	I	PWM 出力 3	
TSG30TO4	I	PWM 出力 4	
TSG30TO5	I	PWM 出力 5	
TSG30TO6	I	PWM 出力 6	
TSG31TSST	O	TSG31 の同時スタート・トリガ信号	
TSG31TSTOPC0	O	タイマ出力パタンコントロール 0 信号	
TSG31TSTOPC1	O	タイマ出力パタンコントロール 1 信号	
TSG31TSTPTE	I	TSTAP[0:2] エッジ検出信号	
TSG31TS2PEC	I	2 相エンコーダカウント信号	
TSG31TST2PUD	I	2 相エンコーダアップダウン信号	
TSG31TSTAPT0	O	ホールセンサ入力信号 0	
TSG31TSTAPT1	O	ホールセンサ入力信号 1	
TSG31TSTAPT2	O	ホールセンサ入力信号 2	
TSG31TO1	I	PWM 出力 1	
TSG31TO2	I	PWM 出力 2	
TSG31TO3	I	PWM 出力 3	
TSG31TO4	I	PWM 出力 4	
TSG31TO5	I	PWM 出力 5	
TSG31TO6	I	PWM 出力 6	
ADCDTOUT0m (m = 0 ~ 4)	I	A/D コンバータ 0 ハードウェアトリガ	PIC2B
ADCDTOUT1m (m = 0 ~ 4)	I	A/D コンバータ 1 ハードウェアトリガ	
OST0TSST	O	OSTM0 の同時スタートトリガ信号	OSTM0
OST1TSST	O	OSTM1 の同時スタートトリガ信号	OSTM1
INTTSG30IER	I	TSG30 のエラー割り込みによる Hi-Z 制御信号	TSG30
INTTSG31IER	I	TSG31 のエラー割り込みによる Hi-Z 制御信号	TSG31
ERROROUT	I	ERROR 出力信号	ECM
INTADCD0ERR	I	Hi-Z 制御のための ADCD0 のエラー割り込み信号	ADCD0
INTADCD1ERR	I	Hi-Z 制御のための ADCD1 のエラー割り込み信号	ADCD1

29.1.6 外部入出力信号

PIC の外部入出力信号を以下の表に示します。

表 29.8 PIC1A 外部入出力信号 (1/2)

ユニット信号名	概要	ポート端子兼用信号名
ENCA0I1	ENCA0 キャプチャトリガ入力 1	ENCA0TIN1
ENCA1I1	ENCA1 キャプチャトリガ入力 1	ENCA1TIN1
ENCA0E0	ENCA0 エンコーダ入力 (カウントパルス 0)	ENCA0E0
ENCA1E0	ENCA1 エンコーダ入力 (カウントパルス 0)	ENCA1E0
ENCA0E1	ENCA0 エンコーダ入力 (カウントパルス 1)	ENCA0E1
ENCA1E1	ENCA1 エンコーダ入力 (カウントパルス 1)	ENCA1E1
ENCA0EC	ENCA0 エンコーダ入力 (クリアパルス)	ENCA0EC
ENCA1EC	ENCA1 エンコーダ入力 (クリアパルス)	ENCA1EC
TAUD0TINm (m = 0 ~ 15)	TAUD0 チャネル入力 m (m = 0 ~ 15)	TAUD0Im (m = 0 ~ 15)
TAUD1TINm (m = 0 ~ 15)	TAUD1 チャネル入力 m (m = 0 ~ 15)	TAUD1Im (m = 0 ~ 15)
TAUD2TINm (m = 0 ~ 15)	TAUD2 チャネル入力 m (m = 0 ~ 15)	TAUD2Im (m = 0 ~ 15)
ESOn	Hi-Z 制御	TAPAnESO
TOP0U	モータ制御出力 U 相	TAUD0O10
TOP0UB	モータ制御出力 UB 相	TAUD0O11
TOP0V	モータ制御出力 V 相	TAUD0O12
TOP0VB	モータ制御出力 VB 相	TAUD0O13
TOP0W	モータ制御出力 W 相	TAUD0O14
TOP0WB	モータ制御出力 WB 相	TAUD0O15
TOP1U	モータ制御出力 U 相	TAUD1O10
TOP1UB	モータ制御出力 UB 相	TAUD1O11
TOP1V	モータ制御出力 V 相	TAUD1O12
TOP1VB	モータ制御出力 VB 相	TAUD1O13
TOP1W	モータ制御出力 W 相	TAUD1O14
TOP1WB	モータ制御出力 WB 相	TAUD1O15
TOP2U	モータ制御出力 U 相	TSG3001
TOP2UB	モータ制御出力 UB 相	TSG3002
TOP2V	モータ制御出力 V 相	TSG3003
TOP2VB	モータ制御出力 VB 相	TSG3004
TOP2W	モータ制御出力 W 相	TSG3005
TOP2WB	モータ制御出力 WB 相	TSG3006
TOP3U	モータ制御出力 U 相	TSG3101
TOP3UB	モータ制御出力 UB 相	TSG3102
TOP3V	モータ制御出力 V 相	TSG3103
TOP3VB	モータ制御出力 VB 相	TSG3104
TOP3W	モータ制御出力 W 相	TSG3105
TOP3WB	モータ制御出力 WB 相	TSG3106
TAUJ0TINm (m = 0 ~ 3)	TAUJ 入力	TAUJ0Im (m = 0 ~ 3)

表 29.8 PIC1A 外部入出力信号 (2/2)

ユニット信号名	概要	ポート端子兼用信号名
TAUJ1TINm (m = 0 ~ 3)	TAUJ 入力	TAUJ1Im (m = 0 ~ 3)
TAUJ2TINm (m = 0 ~ 3)	TAUJ 入力	TAUJ2Im (m = 0 ~ 3)

表 29.9 PIC2B 外部入力信号

ユニット信号名	概要	ポート端子兼用信号名
ADTRG0Z	ADCD0 トリガ	ADCD0TRG
ADTRG1Z	ADCD1 トリガ	ADCD1TRG

29.2 ペリフェラルインタコネクションー1 (PIC1A)

29.2.1 概要

29.2.1.1 機能概要

ペリフェラルインタコネクション-1 (PIC1A) は、複数タイマを使用した同調動作やタイマ入出力の内部信号をタイマ間で接続することにより、様々な機能を実現することができます。

注 意

以下に、本章の説明にて使用している信号名の略称を示します。実際の信号名は以下のよう
に読み替えてください。

INTm → TAUDnTINTm

TINm → TAUDnTTINm

TOUTm → TAUDnTTOUTm

CDRm → TAUDnCDRm

CNTm → TAUDnCNTm

PIC1A には以下の機能があります。

- 同時スタートトリガ機能
- デッドタイム付き PWM 出力機能
- デッドタイム付き高精度三角波 PWM 出力機能
- デッドタイム付きディレイパルス出力機能
- トリガパルス間隔測定機能
- エンコーダキャプチャトリガ選択機能
- 2相エンコーダ制御機能 (制御方式1)
- 2相エンコーダ制御機能 (制御方式2)
- 3相パルス入力制御機能
- 3相エンコーダ制御機能
- TAUD 入力選択機能
- Hi-Z 制御機能
- A/D トリガ選択機能
- タイマ出力モニタ機能 (PWM-Diag)
- タイマ入力モニタ機能

29.2.2 レジスタ

29.2.2.1 レジスタ一覧

以下にレジスタ一覧を示します。

アクセスアドレスは32ビットアクセスのみであり、16ビット/8ビットアクセスした場合であっても32ビットアクセスとして動作します。

表 29.10 レジスタ一覧

レジスタ機能	名称	アドレス
同時スタートトリガ制御レジスタ	PIC1ASST	<PIC1A_base> + 04 _H
同時スタート制御レジスタ 0	PIC1ASSER0	<PIC1A_base> + 10 _H
同時スタート制御レジスタ 1	PIC1ASSER1	<PIC1A_base> + 14 _H
同時スタート制御レジスタ 2	PIC1ASSER2	<PIC1A_base> + 18 _H
同時スタート制御レジスタ 3	PIC1ASSER3	<PIC1A_base> + 1C _H
RS フリップフロップ回路初期化レジスタ 00	PIC1AINI00	<PIC1A_base> + 20 _H
DT 初期化レジスタ 01	PIC1AINI01	<PIC1A_base> + 24 _H
RS フリップフロップ回路初期化レジスタ 10	PIC1AINI10	<PIC1A_base> + 2C _H
DT 初期化レジスタ 11	PIC1AINI11	<PIC1A_base> + 30 _H
ホールセンサ入力選択レジスタ	PIC1ATSGHALLSEL	<PIC1A_base> + 74 _H
TAUD0 入力選択レジスタ	PIC1ATAUD0SEL	<PIC1A_base> + 78 _H
TAUD1 入力選択レジスタ	PIC1ATAUD1SEL	<PIC1A_base> + 7C _H
Hi-Z 制御レジスタ 0	PIC1AHIZCEN0	<PIC1A_base> + 80 _H
Hi-Z 制御レジスタ 1	PIC1AHIZCEN1	<PIC1A_base> + 84 _H
Hi-Z 制御レジスタ 2	PIC1AHIZCEN2	<PIC1A_base> + 88 _H
Hi-Z 制御レジスタ 3	PIC1AHIZCEN3	<PIC1A_base> + 8C _H
ENCATIN1 入力選択レジスタ 400	PIC1AENCSEL400	<PIC1A_base> + B8 _H
ENCATIN1 入力選択レジスタ 410	PIC1AENCSEL410	<PIC1A_base> + BC _H
タイマ入出力制御レジスタ 200	PIC1AREG200	<PIC1A_base> + C0 _H
タイマ入出力制御レジスタ 201	PIC1AREG201	<PIC1A_base> + C4 _H
タイマ入出力制御レジスタ 202	PIC1AREG202	<PIC1A_base> + C8 _H
タイマ入出力制御レジスタ 203	PIC1AREG203	<PIC1A_base> + CC _H
タイマ入出力制御レジスタ 210	PIC1AREG210	<PIC1A_base> + D4 _H
タイマ入出力制御レジスタ 211	PIC1AREG211	<PIC1A_base> + D8 _H
タイマ入出力制御レジスタ 212	PIC1AREG212	<PIC1A_base> + DC _H
タイマ入出力制御レジスタ 213	PIC1AREG213	<PIC1A_base> + E0 _H
タイマ入出力制御レジスタ 30	PIC1AREG30	<PIC1A_base> + E8 _H
タイマ入出力制御レジスタ 31	PIC1AREG31	<PIC1A_base> + EC _H
タイマ入出力制御レジスタ 50	PIC1AREG50	<PIC1A_base> + F8 _H
タイマ入出力制御レジスタ 51	PIC1AREG51	<PIC1A_base> + FC _H
同期クリア許可レジスタ	SELBSSER	FFDD 2000 _H
ポート出力モニタ選択レジスタ	POMONSEL	FFDD 7400 _H
ポート入力モニタ選択レジスタ	PIMONSEL	FFDD 7000 _H

以下に機能別のレジスタ組み合わせ一覧を示します。

表 29.11 機能別 仕様レジスタ一覧

章番号	機能名	PIC1ASST		PIC1ASSER				PIC1AINI				PIC1ATSGHALSEL	PIC1ATAUD0SEL	PIC1ATAUD1SEL	PIC1AHIZCEN				PIC1AENCSEL4		PIC1AREG										PIMONSEL	PIMONSEL	SELBSSER									
		0	1	2	3	00	01	10	11	0	1	2	3	00	10	00	01	10	11	00	10	200	201	202	203	210	211	212	213	30	31	50	51									
29.2.3.1	同時スタートトリガ機能	○	○	○	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—					
29.2.3.2	デッドタイム付き PWM 出力機能	—	—	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	—	—	○	○	—	—	—	—	—	—	—	—	—	—					
29.2.3.3	デッドタイム付き高精度三角波 PWM 出力機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	—	—	○	○	—	—	—	—	—	—	—	—	—	—					
29.2.3.4	デッドタイム付きデレイバルス出力機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	—	—	○	○	—	—	—	—	—	—	—	—	—	—	—				
29.2.3.5	トリガバルス間隔測定機能	—	—	—	—	—	○	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—				
29.2.3.6	エンコーダキャプチャトリガ選択機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—			
29.2.3.7	2相エンコーダ制御機能 (制御方式 1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—			
29.2.3.8	2相エンコーダ制御機能 (制御方式 2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
29.2.3.9	3相パルス入力制御機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
29.2.3.10	3相エンコーダ制御機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
29.2.3.11	TAUD 入力選択機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
29.2.3.12	Hi-Z 制御機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
29.2.3.13	タイマ出力モニタ機能 (PWM-Diag)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
29.2.3.14	タイマ入力モニタ機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
29.2.3.15	TSG3 同期クリア機能	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○

29.2.2.2 PIC1ASST — 同時スタートトリガ制御レジスタ

PIC1ASST レジスタは、同時スタートトリガの選択を行う 8 ビットレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス FFDD 0004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PIC1ASYNCTR G
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 29.12 PIC1ASST レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	PIC1ASYNCTR G	同時スタート許可に設定したタイマに対し、スタートトリガを生成 0: 無効 1: 同時スタートトリガ (1PCLK 幅のパルスを出力)

備考 PIC1ASYNCTR_G は、リード時は常に 0 を読み出します。

29.2.2.3 PIC1ASSER0 — 同時スタート制御レジスタ 0

PIC1ASSER0 レジスタは TAUD0 の各 CH のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFDD 0010_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AS SER01 5	PIC1AS SER01 4	PIC1AS SER01 3	PIC1AS SER01 2	PIC1AS SER011 SER011	PIC1AS SER01 0	PIC1AS SER00 9	PIC1AS SER00 8	PIC1AS SER00 7	PIC1AS SER00 6	PIC1AS SER00 5	PIC1AS SER00 4	PIC1AS SER00 3	PIC1AS SER00 2	PIC1AS SER00 1	PIC1AS SER00 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.13 PIC1ASSER0 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIC1ASSER0m	TAUD0 CHm の同時スタートトリガの許可 / 禁止を設定する。 0: 禁止 1: 許可

29.2.2.4 PIC1ASSER1 — 同時スタート制御レジスタ 1

PIC1ASSER1 レジスタは TAUD1 の各 CH のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFDD 0014_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AS SER115 SER115	PIC1AS SER114 SER114	PIC1AS SER113 SER113	PIC1AS SER112 SER112	PIC1AS SER111 SER111	PIC1AS SER110 SER110	PIC1AS SER10 9	PIC1AS SER10 8	PIC1AS SER10 7	PIC1AS SER10 6	PIC1AS SER10 5	PIC1AS SER10 4	PIC1AS SER10 3	PIC1AS SER10 2	PIC1AS SER10 1	PIC1AS SER10 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.14 PIC1ASSER1 レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	PIC1ASSER1m	TAUD1 CHm の同時スタートトリガの許可 / 禁止を設定する。 0: 禁止 1: 許可

29.2.2.5 PIC1ASSER2 — 同時スタート制御レジスタ 2

PIC1ASSER2 レジスタは、TAUJn,TSG3n,TPBAn,ENCAAn のスタートトリガ許可を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFDD 0018_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PIC1AS SER21 3	PIC1AS SER21 2	PIC1AS SER211	PIC1AS SER21 0	PIC1AS SER20 9	PIC1AS SER20 8	PIC1AS SER20 7	PIC1AS SER20 6	PIC1AS SER20 5	PIC1AS SER20 4	PIC1AS SER20 3	PIC1AS SER20 2	PIC1AS SER20 1	PIC1AS SER20 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.15 PIC1ASSER2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15, 14	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
13	PIC1ASSER213	ENCA1 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
12	PIC1ASSER212	ENCA0 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
11	PIC1ASSER211	TPBA1 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
10	PIC1ASSER210	TPBA0 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
9	PIC1ASSER209	TSG31 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
8	PIC1ASSER208	TSG30 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
7	PIC1ASSER207	TAUJ1 の CH03 の同時スタートトリガ許可 / 禁止を設定する。 0 : 禁止 1 : 許可
6	PIC1ASSER206	TAUJ1 の CH02 の同時スタートトリガ許可 / 禁止を設定する。 0 : 禁止 1 : 許可
5	PIC1ASSER205	TAUJ1 の CH01 の同時スタートトリガ許可 / 禁止を設定する。 0 : 禁止 1 : 許可
4	PIC1ASSER204	TAUJ1 の CH00 の同時スタートトリガ許可 / 禁止を設定する。 0 : 禁止 1 : 許可
3	PIC1ASSER203	TAUJ0 CH03 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可

表 29.15 PIC1ASSER2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PIC1ASSER202	TAUJ0 CH02 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
1	PIC1ASSER201	TAUJ0 CH01 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
0	PIC1ASSER200	TAUJ0 CH00 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可

29.2.2.6 PIC1ASSER3 — 同時スタート制御レジスタ 3

PIC1ASSER3 レジスタは、OSTM_n のスタートトリガ許可を行うレジスタです。

アクセス 16ビット単位でリード/ライト可能です。

アドレス FFDD 001C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC1ASSER30 1	PIC1ASSER30 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 29.16 PIC1ASSER3 レジスタの内容

ビット位置	ビット名	機能
15 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
1	PIC1ASSER301	OSTM1 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可
0	PIC1ASSER300	OSTM0 の同時スタートトリガの許可 / 禁止を設定する。 0 : 禁止 1 : 許可

29.2.2.7 PIC1AINIn0 — フリップフロップ回路初期化レジスタ n0

PIC1AINIn0 レジスタは、RS フリップフロップ 4-2 回路 (RSn4-2) の初期化を行うレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 0020_H (n = 0), FFDD 002C_H (n = 1)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	PIC1AINIn04	PIC1AINIn03	PIC1AINIn02	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R	R

表 29.17 PIC1AINIn0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
4 ~ 2	PIC1AINIn0[4:2]	デッドタイム付き PWM 出力機能で使用する RS フリップフロップ 4-2 回路 (RSn4-2) を初期化します。 0: 無効 1: 初期化 読み出し値は常に 0 になります。
1、0	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。

29.2.2.8 PIC1AINn1 — DT 初期化レジスタ n1

PIC1AINn1 レジスタは、ラッチ & トグル出力 (DT) 回路の初期化を行うレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 0024_H(n = 0)、FFDD 0030_H(n = 1)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1AINn12	PIC1AINn11	PIC1AINn10
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 29.18 PIC1AINn1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
2 ~ 0	PIC1AINn1[2:0]	トリガパルス間隔測定機能で使用する DT 回路を初期化します。 0: 無効 1: 初期化 読み出し値は常に0になります。

29.2.2.9 PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ

PIC1ATSGHALLSEL レジスタは、外部ホールセンサ信号の入力端子設定を行うレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 0074_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG1HALLSEL	TSG0HALLSEL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 29.19 PIC1ATSGHALLSEL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
1	TSG1HALLSEL	外部ホールセンサ信号の入力端子の状態を設定します。 ^{注1} 0: セパレート入力 1: ENCA 兼用入力
0	TSG0HALLSEL	外部ホールセンサ信号の入力端子の状態を設定します。 ^{注1} 0: セパレート入力 1: ENCA 兼用入力

注1. TSG3 への入力パターン TSG3nPTS12-0 を使用する場合は、必ず 1 を設定してください。また、PIC1AREG50 レジスタのビット0 および、PIC1AREG51 レジスタのビット0 は以下のように設定してください。使用しない場合はリセット後の値から設定を変更しないでください。

TSG1HALLSEL	PIC1AREG5100	機能
1	1	ENCA1E0, ENCA1E1, ENCA1EC 端子入力を選択
上記以外		設定禁止

TSG0HALLSEL	PIC1AREG5000	機能
1	0	ENCA0E0, ENCA0E1, ENCA0EC 端子入力を選択
上記以外		設定禁止

29.2.2.10 PIC1ATAUD0SEL — TAUD0 入力選択レジスタ

PIC1ATAUD0SEL レジスタは、TAUDTIN 入力信号の選択を行う 32 ビットレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFDD 0078_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN
	143	142	141	140	123	122	121	120	103	102	101	100	83	82	81	80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN	PIC1AT AUD0IN
	63	62	61	60	43	42	41	40	23	22	21	20	03	02	01	00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.20 PIC1ATAUD0SEL レジスタの内容

ビット位置	ビット名	機能
2m+3	PIC1ATAUD0INm[3:2]	TAUD0TIN(m+1) 出力端子に出力する信号を選択します。 00 : TAUD0TIN(m+1) を選択 01 : TAUD0TIN(m) を選択 10 : TAUD1TIN(m+1) を選択 11 : TAUD1TIN(m) を選択
2m+2		
2m+1	PIC1ATAUD0INm[1:0]	TAUD0TIN(m) 出力端子に出力する信号を選択します。 00 : TAUD0TIN(m) を選択 01 : TAUD0TIN(m+1) を選択 10 : TAUD1TIN(m) を選択 11 : TAUD1TIN(m+1) を選択
2m		

備考 m = TAUD0 の偶数 CH 番号 (CHm_even)

29.2.2.11 PIC1ATAUD1SEL — TAUD1 入力選択レジスタ

PIC1ATAUD1SEL レジスタは、TAUDTIN 入力信号の選択を行う 32 ビットレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFDD 007C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN
	143	142	141	140	123	122	121	120	103	102	101	100	83	82	81	80
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN	PIC1AT AUD1IN
	63	62	61	60	43	42	41	40	23	22	21	20	03	02	01	00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.21 PIC1ATAUD1SEL レジスタの内容

ビット位置	ビット名	機能
2m+3	PIC1ATAUD1INm[3:2]	TAUD1TIN(m+1) 出力端子に出力する信号を選択します。 00 : TAUD1TIN(m+1) を選択 01 : TAUD1TIN(m) を選択 10 : TAUD0TIN(m+1) を選択 11 : TAUD0TIN(m) を選択
2m+2		
2m+1	PIC1ATAUD1INm[1:0]	TAUD1TIN(m) 出力端子に出力する信号を選択します。 00 : TAUD1TIN(m) を選択 01 : TAUD1TIN(m+1) を選択 10 : TAUD0TIN(m) を選択 11 : TAUD0TIN(m+1) を選択
2m		

備考 m = TAUD1 の偶数 CH 番号 (CH_{m_even})

29.2.2.12 PIC1AHIZCEN0 — Hi-Z 制御レジスタ 0

PIC1AHIZCEN0 レジスタは、TAUD0 の Hi-Z 制御用の入力信号を選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 0080_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1AHIZCEN07	PIC1AHIZCEN06	PIC1AHIZCEN05	—	—	—	—	PIC1AHIZCEN00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 29.22 PIC1AHIZCEN0 レジスタの内容

ビット位置	ビット名	機能
7	PIC1AHIZCEN07	ADCD1 エラー割り込み (INTADCD1ERR) で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
6	PIC1AHIZCEN06	ADCD0 エラー割り込み (INTADCD0ERR) で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
5	PIC1AHIZCEN05	ERROROUT 信号で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
4 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	PIC1AHIZCEN00	TAPA0ESO 端子入力で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可

注 意

1. 本レジスタは、TAUD0 の U/V/W 出力, UB/VB/WB 出力を起動する前に設定してください。
2. ADC エラー信号、ERROROUT 信号で Hi-Z 制御を行う場合、TAPA0CTL0.TAPA0DCN = 0、TAPA0CTL0.TAPA0DCP = 1 を設定してください。

29.2.2.13 PIC1AHIZCEN1 — Hi-Z 制御レジスタ 1

PIC1AHIZCEN1 レジスタは、TAUD1 の Hi-Z 制御用の入力信号を選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 0084_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1AHIZCEN 17	PIC1AHIZCEN 16	PIC1AHIZCEN 15	—	—	—	—	PIC1AHIZCEN 10
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 29.23 PIC1AHIZCEN1 レジスタの内容

ビット位置	ビット名	機能
7	PIC1AHIZCEN17	ADCD1 エラー割り込み (INTADCD1ERR) で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
6	PIC1AHIZCEN16	ADCD0 エラー割り込み (INTADCD0ERR) で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
5	PIC1AHIZCEN15	ERROROUT 信号で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
4 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	PIC1AHIZCEN10	TAPA1ESO 端子入力で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可

注 意

1. 本レジスタは、TAUD1 の U/V/W 出力, UB/VB/WB 出力を起動する前に設定してください。
2. ADCD エラー信号、ERROROUT 信号で Hi-Z 制御を行う場合、TAPA1CTL0.TAPA1DCN = 0、TAPA1CTL0.TAPA1DCP = 1 を設定してください。

29.2.2.14 PIC1AHIZCEN2 — Hi-Z 制御レジスタ 2

PIC1AHIZCEN2 レジスタは、TSG30 の Hi-Z 制御用の入力信号を選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 0088_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1AHIZCEN 27	PIC1AHIZCEN 26	PIC1AHIZCEN 25	—	PIC1AHIZCEN 23	—	—	PIC1AHIZCEN 20
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R/W	R	R	R/W

表 29.24 PIC1AHIZCEN2 レジスタの内容

ビット位置	ビット名	機能
7	PIC1AHIZCEN27	ADCD1 エラー割り込み (INTADCD1ERR) で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
6	PIC1AHIZCEN26	ADCD0 エラー割り込み (INTADCD0ERR) で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
5	PIC1AHIZCEN25	ERROROUT 信号で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
4	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
3	PIC1AHIZCEN23	INTTSG30IER 割り込み信号で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可
2、1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	PIC1AHIZCEN20	TAPA0ESO 端子入力で Hi-Z 制御の許可 / 禁止を選択します。 0 : 禁止 1 : 許可

注 意

1. 本レジスタは、TSG30 出力を起動する前に設定してください。
2. ADCD エラー信号、ERROROUT 信号、TSG30 エラー信号で Hi-Z 制御を行う場合、TAPA2CTL0.TAPA2DCN = 0、TAPA2CTL0.TAPA2DCP = 1 を設定してください。

29.2.2.15 PIC1AHIZCEN3 — Hi-Z 制御レジスタ 3

PIC1AHIZCEN3 レジスタは、TSG31 の Hi-Z 制御用の入力信号を選択します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 008C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1AHIZCEN 37	PIC1AHIZCEN 36	PIC1AHIZCEN 35	PIC1AHIZCEN 34	—	—	—	PIC1AHIZCEN 30
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 29.25 PIC1AHIZCEN3 レジスタの内容

ビット位置	ビット名	機能
7	PIC1AHIZCEN37	ADCD1 エラー割り込み (INTADCD1ERR) で Hi-Z 制御の許可 / 禁止を選択します。 0: 禁止 1: 許可
6	PIC1AHIZCEN36	ADCD0 エラー割り込み (INTADCD0ERR) で Hi-Z 制御の許可 / 禁止を選択します。 0: 禁止 1: 許可
5	PIC1AHIZCEN35	ERRORROUT 信号で Hi-Z 制御の許可 / 禁止を選択します。 0: 禁止 1: 許可
4	PIC1AHIZCEN34	INTTSG31IER 割り込み信号で Hi-Z 制御の許可 / 禁止を選択します。 0: 禁止 1: 許可
3 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	PIC1AHIZCEN30	TAPA1ESO 端子入力で Hi-Z 制御の許可 / 禁止を選択します。 0: 禁止 1: 許可

注 意

本レジスタは、TSG31 出力を起動する前に設定してください。
ADCD エラー割り込み、ERRORROUT 信号、TSG31 エラー信号で Hi-Z 制御を行う場合、
TAPA3CTL0.TAPA3DCN = 0、TAPA3CTL0.TAPA3DCP = 1 を設定してください。

29.2.2.16 PIC1AENCSEL400 — ENCATIN1 入力選択レジスタ 400

エンコーダキャプチャトリガ選択機能で使用するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 00B8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1AENCSEL 4007	—	—	—	PIC1AENCSEL 4003	PIC1AENCSEL 4002	PIC1AENCSEL 4001	PIC1AENCSEL 4000
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 29.26 PIC1AENSEL400 レジスタの内容

ビット位置	ビット名	機能
7	PIC1AENCSEL4007	PIC1AENCSEL400[3:0] で選択した INTTAUD0Im 信号の出力の許可/禁止を選択します。 0 : 禁止 1 : 許可
6 ~ 4	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
3 ~ 0	PIC1AENCSEL400[3:0]	ENCA0、ENCA1 のキャプチャトリガ信号として使用する TAUD0TINTm を選択します。 0000 : INTTAUD0I0 を選択 0001 : INTTAUD0I1 を選択 0010 : INTTAUD0I2 を選択 0011 : INTTAUD0I3 を選択 0100 : INTTAUD0I4 を選択 0101 : INTTAUD0I5 を選択 0110 : INTTAUD0I6 を選択 0111 : INTTAUD0I7 を選択 1000 : INTTAUD0I8 を選択 1001 : INTTAUD0I9 を選択 1010 : INTTAUD0I10 を選択 1011 : INTTAUD0I11 を選択 1100 : INTTAUD0I12 を選択 1101 : INTTAUD0I13 を選択 1110 : INTTAUD0I14 を選択 1111 : INTTAUD0I15 を選択

29.2.2.17 PIC1AENCSEL410 — ENCATIN1 入力選択レジスタ 410

エンコーダキャプチャトリガ選択機能で使用するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 00BC_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIC1AENCSEL 4107	—	—	—	PIC1AENCSEL 4103	PIC1AENCSEL 4102	PIC1AENCSEL 4101	PIC1AENCSEL 4100
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 29.27 PIC1AENCSEL410 レジスタの内容

ビット位置	ビット名	機能
7	PIC1AENCSEL4107	PIC1AENCSEL410[3:0] で選択した INTTAUD1Im 信号の出力の許可/禁止を選択します。 0: 禁止 1: 許可
6 ~ 4	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
3 ~ 0	PIC1AENCSEL410[3:0]	ENCA0、ENCA1 のキャプチャトリガ信号として使用する TAUD1TINTm を選択します。 0000 : INTTAUD110 を選択 0001 : INTTAUD111 を選択 0010 : INTTAUD112 を選択 0011 : INTTAUD113 を選択 0100 : INTTAUD114 を選択 0101 : INTTAUD115 を選択 0110 : INTTAUD116 を選択 0111 : INTTAUD117 を選択 1000 : INTTAUD118 を選択 1001 : INTTAUD119 を選択 1010 : INTTAUD1110 を選択 1011 : INTTAUD1111 を選択 1100 : INTTAUD1112 を選択 1101 : INTTAUD1113 を選択 1110 : INTTAUD1114 を選択 1111 : INTTAUD1115 を選択

29.2.2.18 PIC1AREG200 — タイマ入出力制御レジスタ 200

PIC1AREG200 レジスタは、TAUD0 の入力選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFDD 00C0_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC1AR EG200 18	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIC1AR EG200 11	PIC1AR EG200 10	PIC1AR EG200 09	PIC1AR EG200 08	—	—	—	—	PIC1AR EG200 03	PIC1AR EG200 02	PIC1AR EG200 01	PIC1AR EG200 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 29.28 PIC1AREG200 レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
18	PIC1AREG20018	TAUD0のTAUD0TIN10, TAUD0TIN12, TAUD0TIN14信号の入力信号を選択します。 1: TAUD0 CH02 の TOUT 信号 上記以外、設定禁止。 ^{注1}
17 ~ 12	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
11, 10	PIC1AREG200 [11:10]	TAUD0 の TAUD0TIN6, TAUD0TIN7 信号の入力信号を選択します。 10: TSG30 の TS0PTE 信号 上記以外、設定禁止。 ^{注1}
9, 8	PIC1AREG200 [09:08]	TAUD0 の TAUD0TIN4, TAUD0TIN5 信号の入力信号を選択します。 10: TSG30 の TS0PTE 信号 上記以外、設定禁止。 ^{注1}
7 ~ 4	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
3	PIC1AREG20003	TAUD0 の TAUD0TIN7 信号の入力信号を選択します。 0:TIN 端子入力 1:PIC1AREG20011, PIC1AREG20010 ビットで選択した信号 (TS0PTE 信号) の入力
2	PIC1AREG20002	TAUD0 の TAUD0TIN6 信号の入力信号を選択します。 0:TIN 端子入力 1:PIC1AREG20011, PIC1AREG20010 ビットで選択した信号 (TS0PTE 信号) の入力
1	PIC1AREG20001	TAUD0 の TAUD0TIN5 信号の入力信号を選択します。 0:TIN 端子入力 1:PIC1AREG20009, PIC1AREG20008 ビットで選択した信号 (TS0PTE 信号) の入力
0	PIC1AREG20000	TAUD0 の TAUD0TIN4 信号の入力信号を選択します。 0:TIN 端子入力 1:PIC1AREG20009, PIC1AREG20008 ビットで選択した信号 (TS0PTE 信号) の入力

注 1. 選択対象である信号を使用する場合は、必ず設定可能な値に設定してください。使用しない場合はリセット後の値から設定を変更しないでください。

29.2.2.19 PIC1AREG210 — タイマ入出力制御レジスタ 210

PIC1AREG210 レジスタは、TAUD1 の入力選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFDD 00D4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC1AR EG210 18	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIC1AR EG210 11	PIC1AR EG210 10	PIC1AR EG210 09	PIC1AR EG210 08	—	—	—	—	PIC1AR EG210 03	PIC1AR EG210 02	PIC1AR EG210 01	PIC1AR EG210 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 29.29 PIC1AREG210 レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
18	PIC1AREG21018	TAUD1のTAUD1TIN10, TAUD1TIN12, TAUD1TIN14信号の入力信号を選択します。 1: TAUD1 CH02 の TOUT 信号 上記以外、設定禁止。 ^{注1}
17 ~ 12	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
11、10	PIC1AREG210 [11:10]	TAUD1 の TAUD1TIN6, TAUD1TIN7 信号の入力信号を選択します。 10 : TSG31 の TS0PTE 信号 上記以外、設定禁止。 ^{注1}
9、8	PIC1AREG210 [09:08]	TAUD1 の TAUD1TIN4, TAUD1TIN5 信号の入力信号を選択します。 10 : TSG31 の TS0PTE 信号 上記以外、設定禁止。 ^{注1}
7 ~ 4	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
3	PIC1AREG21003	TAUD1 の TAUD1TIN7 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG21011, PIC1AREG21010 ビットで選択した信号 (TS0PTE 信号) の入力
2	PIC1AREG21002	TAUD1 の TAUD1TIN6 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG21011, PIC1AREG21010 ビットで選択した信号 (TS0PTE 信号) の入力
1	PIC1AREG21001	TAUD1 の TAUD1TIN5 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG21009, PIC1AREG21008 ビットで選択した信号 (TS0PTE 信号) の入力
0	PIC1AREG21000	TAUD1 の TAUD1TIN4 信号の入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG21009, PIC1AREG21008 ビットで選択した信号 (TS0PTE 信号) の入力

注1. 選択対象である信号を使用する場合は、必ず設定可能な値に設定してください。使用しない場合はリセット後の値から設定を変更しないでください。

29.2.2.20 PIC1AREG2n1 — タイマ入出力制御レジスタ 2n1

PIC1AREG2n1 レジスタは、組み合わせ回路 PFN0xx の論理選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFDD 00C4_H(n = 0), FFDD 00D8_H(n = 1)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC1AREG2n1 27	PIC1AREG2n1 26	PIC1AREG2n1 25	PIC1AREG2n1 24	PIC1AREG2n1 23	PIC1AREG2n1 22	PIC1AREG2n1 21	PIC1AREG2n1 20	PIC1AREG2n1 19	PIC1AREG2n1 18	PIC1AREG2n1 17	PIC1AREG2n1 16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.30 PIC1AREG2n1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
27, 26	PIC1AREG2n1 [27:26]	PFN045 の WO2 出力を選択します。 ^{注1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注2}
25, 24	PIC1AREG2n1 [25:24]	PFN045 の WO1 出力を選択します。 ^{注1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注2}
23, 22	PIC1AREG2n1 [23:22]	PFC023 の VO2 出力を選択します。 ^{注1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注2}
21, 20	PIC1AREG2n1 [21:20]	PFN023 の VO1 出力を選択します。 ^{注1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。
19, 18	PIC1AREG2n1 [19:18]	PFN001 の UO2 出力を選択します。 ^{注1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注2}
17, 16	PIC1AREG2n1 [17:16]	PFN001 の UO1 出力を選択します。 ^{注1} 10 : 組み合わせ回路出力 11 : 組み合わせ回路反転出力 上記以外、設定禁止。 ^{注2}
15 ~ 0	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。

注 1. 機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、「29.2.3 機能」を参照してください。

注 2. 選択対象である信号を使用する場合は、必ず設定可能な値に設定してください。使用しない場合はリセット後の値から設定を変更しないでください。

下図に PFN001 のブロック図を示します。

他の PFN023、PFN045 については、入力信号及び選択レジスタは異なりますが、論理は同一です。

PFN0xx の周辺回路との接続は、**図 29.11** を参照してください。

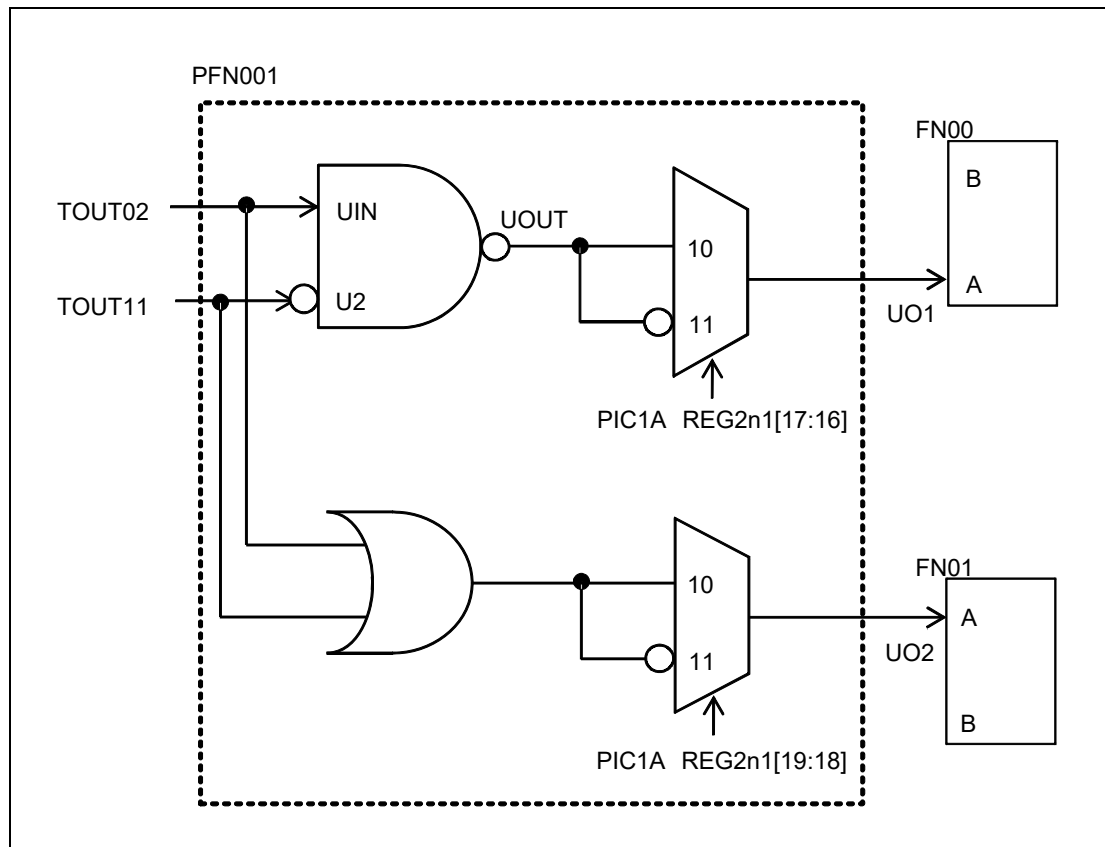


図 29.1 PFN001 ブロック図

29.2.2.21 PIC1AREG2n2 — タイマ入出力制御レジスタ 2n2

PIC1AREG2n2 レジスタは、TAUDn CHm の入力信号の選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFDD 00C8_H(n = 0), FFDD 00DC_H(n = 1)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC1AREG2n2 27	PIC1AREG2n2 26	PIC1AREG2n2 25	PIC1AREG2n2 24	PIC1AREG2n2 23	PIC1AREG2n2 22	PIC1AREG2n2 21	PIC1AREG2n2 20	PIC1AREG2n2 19	PIC1AREG2n2 18	PIC1AREG2n2 17	PIC1AREG2n2 16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC1AREG2n2 04	PIC1AREG2n2 03	PIC1AREG2n2 02	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 29.31 PIC1AREG2n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 28	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
27, 26	PIC1AREG2n2 [27:26]	TAUDnCH15 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n204 ビットで選択した信号 (TAUDnCH09 の TOUT) 上記以外、設定禁止
25, 24	PIC1AREG2n2 [25:24]	TAUDnCH14 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
23, 22	PIC1AREG2n2 [23:22]	TAUDnCH13 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n203 ビットで選択した信号 (TAUDnCH07 の TOUT) 上記以外、設定禁止
21, 20	PIC1AREG2n2 [21:20]	TAUDnCH12 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
19, 18	PIC1AREG2n2 [19:18]	TAUDnCH11 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n202 ビットで選択した信号 (TAUDnCH05 の TOUT) 上記以外、設定禁止
17, 16	PIC1AREG2n2 [17:16]	TAUDnCH10 の TIN 入力信号を選択します。 00 : TIN 端子入力 10 : PIC1AREG2n018 レジスタビットで選択した信号 (TAUDnCH02 の TOUT) 上記以外、設定禁止
15 ~ 5	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
4	PIC1AREG2n204	TAUDnCH15 の TIN へ供給する信号を選択します 0 : TAUDnCH09 の TOUT を選択 1 : TAUDnINT08, INT09 によるセット/クリア出力を選択
3	PIC1AREG2n203	TAUDnCH13 の TIN へ供給する信号を選択します 0 : TAUDnCH07 の TOUT を選択 1 : TAUDnINT06, INT07 によるセット/クリア出力を選択

表 29.31 PIC1AREG2n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PIC1AREG2n202	TAUDnCH11 の TIN へ供給する信号を選択します 0 : TAUDnCH05 の TOUT を選択 1 : TAUDnINT04, INT05 によるセット/クリア出力を選択
1、0	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。

29.2.2.22 PIC1AREG2n3 — タイマ入出力制御レジスタ 2n3

PIC1AREG2n3 レジスタは、組み合わせ回路 FN0i の論理選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFDD 00C_H(n = 0), FFDD 00E0_H(n = 1)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC1AREG2n3 22	PIC1AREG2n3 21	PIC1AREG2n3 20	—	PIC1AREG2n3 18	PIC1AREG2n3 17	PIC1AREG2n3 16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC1AREG2n3 14	PIC1AREG2n3 13	PIC1AREG2n3 12	—	PIC1AREG2n3 10	PIC1AREG2n3 09	PIC1AREG2n3 08	—	PIC1AREG2n3 06	PIC1AREG2n3 05	PIC1AREG2n3 04	—	PIC1AREG2n3 02	PIC1AREG2n3 01	PIC1AREG2n3 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 29.32 PIC1AREG2n3 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
22、21、20	PIC1AREG2n3 [22:20]	入力信号 A,B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
19	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
18、17、16	PIC1AREG2n3 [18:16]	入力信号 A,B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
15	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
14、13、12	PIC1AREG2n3 [14:12]	入力信号 A,B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
11	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
10、9、8	PIC1AREG2n3 [10:08]	入力信号 A,B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止
7	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
6、5、4	PIC1AREG2n3 [06:04]	入力信号 A,B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止

表 29.32 PIC1AREG2n3 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
2、1、0	PIC1AREG2n3 [02:00]	入力信号 A,B の論理演算を選択します。 ^{注1} 000 : A 100 : A and B 101 : A or B 上記以外、設定禁止

注1. 機能によっては、TAUD の設定値により決められた値を設定する必要があります。設定値については、「29.2.3 機能」を参照してください。

下図に FN00 のブロック図を示します。

他の FN01-FN05 については、入力信号及び選択レジスタは異なりますが、論理は同一です。

FN0i の周辺回路との接続は、**図 29.11** を参照してください。

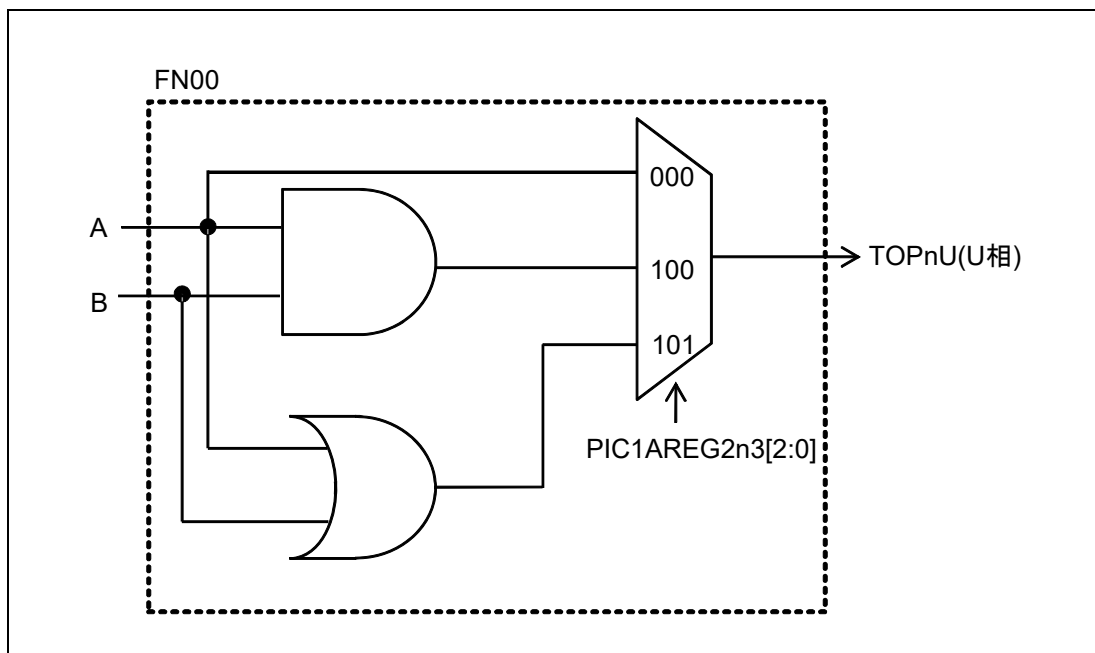


図 29.2 FN00 ブロック図

29.2.2.23 PIC1AREG30 — タイマ入出力制御レジスタ 30

PIC1AREG30 レジスタは、ENCA_n の入力信号の選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFDD 00E8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC1AREG3022	PIC1AREG3021	PIC1AREG3020	PIC1AREG3019	PIC1AREG3018	PIC1AREG3017	PIC1AREG3016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AREG3015	PIC1AREG3014	PIC1AREG3013	PIC1AREG3012	PIC1AREG3011	PIC1AREG3010	PIC1AREG3009	PIC1AREG3008	PIC1AREG3007	PIC1AREG3006	PIC1AREG3005	PIC1AREG3004	PIC1AREG3003	PIC1AREG3002	PIC1AREG3001	PIC1AREG3000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.33 PIC1AREG30 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
22	PIC1AREG3022	ENCA0 タイマの入力端子 (ENCA0E0, ENCA0E1, ENCA0EC 内部入力) を選択します。 0 : PIC1AREG3000 ビット (ENCA0E0 内部入力), PIC1AREG3001 ビット (ENCA0E1 内部入力), PIC1AREG3017-16 ビット (ENCA0EC 内部入力) で選択した信号 1 : PIC1AREG3020、PIC1AREG3019 で選択した信号
21	PIC1AREG3021	PIC1AREG30 bit12 ~ 15 へ供給する信号を選択します。 0 : ENCA1I1 (ENCA1 外部端子 1 信号) 1 : PIC1AENCSEL410 レジスタの PIC1AENCSEL4107 ビットで選択した信号
20、19	PIC1AREG30 [20:19]	ENCA1 タイマの入力 (ENCA1E0, ENCA1E1, ENCA1EC 内部入力) を選択します。 00 : ENCA1E0, ENCA1E1, ENCA1EC 端子入力 (ENCA1 タイマ) 上記以外、設定禁止
18	PIC1AREG3018	PIC1AREG30 bit2 ~ 5 へ供給する信号を選択します。 0 : ENCA0I1 (ENCA0 外部端子 1 信号) 1 : PIC1AENCSEL400 レジスタの PIC1AENCSEL4007 ビットで選択した信号
17、16	PIC1AREG30 [17:16]	ENCA0 タイマの入力 (ENCA0E0, ENCA0E1, ENCA0EC 内部入力) を選択します。 00 : ENCA0E0, ENCA0E1, ENCA0EC 端子入力 (ENCA0 タイマ) 上記以外、設定禁止
15 ~ 12	PIC1AREG30 [15:12]	ENCAT1TIN1 内部入力への信号を選択します。 0 : PIC1AREG3021 で選択した信号 1 : PIC1AREG3018 で選択した信号 2 : ADCD0TRG4 3 : ADCD0TRG3 4 : ADCD0TRG2 5 : ADCD0TRG1 6 : ADCD0TRG0 7 : ADCD1TRG4 8 : ADCD1TRG3 9 : ADCD1TRG2 10 : ADCD1TRG1 11 : ADCD1TRG0 上記以外、設定禁止

表 29.33 PIC1AREG30 レジスタの内容 (2/2)

ビット位置	ビット名	機能
11、10	PIC1AREG30 [11:10]	タイマ ENCA1 の ENCAEC 端子入力を選択します。 00 : PIC1AREG3019, PIC1AREG3020 ビットで選択した信号 10 : PIC1AREG3016, PIC1AREG3017 ビットで選択した信号 11 : ENCA0EQ1 信号 (ENCA0 タイマ) 上記以外、設定禁止
9、8	PIC1AREG30 [09:08]	タイマ ENCA1 の ENCA1E1 端子入力を選択します。 00 : PIC1AREG3019, PIC1AREG3020 ビットで選択した信号 01 : PIC1AREG3016, PIC1AREG3017 ビットで選択した信号 10 : TSG31 の TS1PUD 信号 上記以外、設定禁止
7、6	PIC1AREG30 [07:06]	タイマ ENCA1 の ENCA1E0 端子入力を選択します。 00 : PIC1AREG3019, PIC1AREG3020 ビットで選択した信号 01 : PIC1AREG3016, PIC1AREG3017 ビットで選択した信号 10 : TSG31 の TS1PEC 信号 上記以外、設定禁止
5 ~ 2	PIC1AREG30 [05:02]	ENCAT0TIN1 内部入力への信号を選択します。 0 : PIC1AREG3018 で選択した信号 1 : PIC1AREG3021 で選択した信号 2 : ADCD0TRG4 3 : ADCD0TRG3 4 : ADCD0TRG2 5 : ADCD0TRG1 6 : ADCD0TRG0 7 : ADCD1TRG4 8 : ADCD1TRG3 9 : ADCD1TRG2 10 : ADCD1TRG1 11 : ADCD1TRG0 上記以外、設定禁止
1	PIC1AREG3001	ENCA0E1 内部入力の信号を選択します。 0 : PIC1AREG3017, PIC1AREG3016 ビットで選択した信号 1 : TSG30 の TS0PUD 信号
0	PIC1AREG3000	ENCA0E0 内部入力の信号を選択します。 0 : PIC1AREG3017, PIC1AREG3016 ビットで選択した信号 1 : TSG30 の TS0PEC 信号

29.2.2.24 PIC1AREG31 — タイマ入出力制御レジスタ 31

PIC1AREG31 レジスタは、TAUD_n,TAUJ0 の入力信号の選択を行うレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFDD 00EC_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PIC1AR EG3122	PIC1AR EG3121	PIC1AR EG3120	PIC1AR EG3119	PIC1AR EG3118	PIC1AR EG3117	PIC1AR EG3116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC1AR EG3115	—	PIC1AR EG3113	PIC1AR EG3112	PIC1AR EG3111	PIC1AR EG3110	PIC1AR EG3109	PIC1AR EG3108	PIC1AR EG3107	PIC1AR EG3106	—	PIC1AR EG3104	PIC1AR EG3103	—	PIC1AR EG3101	PIC1AR EG3100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/W

表 29.34 PIC1AREG31 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
22, 21	PIC1AREG31 [22:21]	TAUD1CH02 の TIN 入力信号を選択します。 00 : TIN 端子入力 01 : ENCAT1EQ0 の DT 出力信号 上記以外、設定禁止
20	PIC1AREG3120	TAUD1CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG3115 ~ 17 で選択した信号
19, 18	PIC1AREG31 [19:18]	TAUD1CH00 の TIN 入力信号を選択します。 00 : PIC1AREG3115 ~ 17 で選択した信号 10 : ENCAT1EQ0 の DT 出力信号 上記以外、設定禁止
17 ~ 15	PIC1AREG31 [17:15]	TAUD1CH00,01 の TIN 入力信号を選択します。 000 : TIN 端子入力 001 : ENCAT1EQ1 の DT 出力信号 上記以外、設定禁止
14	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
13, 12	PIC1AREG31 [13:12]	TAUD0CH02 の TIN 入力信号を選択します。 00 : TIN 端子入力 01 : ENCAT0EQ0 の DT 出力信号 上記以外、設定禁止
11	PIC1AREG3111	TAUD0CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : PIC1AREG3106 ~ 08 で選択した信号
10, 9	PIC1AREG31 [10:09]	TAUD0CH00 の TIN 入力信号を選択します。 00 : PIC1AREG3106 ~ 08 で選択した信号 10 : ENCAT0EQ0 の DT 出力信号 上記以外、設定禁止
8 ~ 6	PIC1AREG31 [08:06]	TAUD0CH00, 01 の TIN 入力信号を選択します。 000 : TIN 端子入力 001 : ENCAT0EQ1 の DT 出力信号 上記以外、設定禁止
5	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。

表 29.34 PIC1AREG31 レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	PIC1AREG3104	TAUJ0CH03 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT1IEC の DT 出力信号を選択
3	PIC1AREG3103	TAUJ0CH02 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT1IEC の DT 出力信号を選択
2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
1	PIC1AREG3101	TAUJ0CH01 の TIN 入力信号を選択します。 0 : TIN 端子入力 1 : ENCAT0IEC の DT 出力信号を選択
0	PIC1AREG3100	TAUJ0CH00 の TIN 入力信号を選択します 0 : TIN 端子入力 1 : ENCAT0IEC の DT 出力信号を選択

29.2.2.25 PIC1AREG50 — タイマ入出力制御レジスタ 50

PIC1AREG50 レジスタは、TSG30 の入力信号の選択を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス FFDD 00F8_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1AREG5010	—	PIC1AREG5008	PIC1AREG5007	PIC1AREG5006	PIC1AREG5005	—	—	—	—	PIC1AREG5000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 29.35 PIC1AREG50 レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
10	PIC1AREG5010	TSG30 タイマの TSG30TSTOPC0 信号の入力対象を選択します。 0 : INTENCA1I1 入力 (ENCA1 タイマ) 1 : 設定禁止
9	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
8	PIC1AREG5008	TSG30 タイマの TSG30TSTOPC0 信号の入力対象を選択します。 0 : INTENCA0I1 入力 (ENCA0 タイマ) 1 : 設定禁止
7	PIC1AREG5007	TSG30 の TS0OPCI1 信号の入力を選択します。 0 : TAUD の INTTAUD0I7 信号入力を選択 1 : 設定禁止
6、5	PIC1AREG50 [06:05]	TSG30 の TSG30TSTOPS(TS0OPCI0) 信号の入力信号を選択します。 01 : PIC1AREG5008 ビットで選択した信号 10 : PIC1AREG5010 ビットで選択した信号 11 : TAUD0 の INTTAUD0I5 出力 上記以外、設定禁止。注 ¹
4 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	PIC1AREG5000	ENCA 信号と外部ホールセンサ信号を切替えます。 選択時の注意事項については、「29.2.2.9 PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ」の注 1. を参照してください。 0 : ENCA0E0, ENCA0E1, ENCA0EC 端子入力を選択 1 : 設定禁止

注 1. 選択対象である信号を使用する場合は、必ず設定可能な値に設定してください。使用しない場合はリセット後の値から設定を変更しないでください。

29.2.2.26 PIC1AREG51 — タイマ入出力制御レジスタ 51

PIC1AREG51 レジスタは、TSG31 の入力信号の選択を行うレジスタです。

アクセス 16ビット単位でリード/ライト可能です。

アドレス FFDD 00FC_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PIC1AREG5110	—	PIC1AREG5108	PIC1AREG5107	PIC1AREG5106	PIC1AREG5105	—	—	—	—	PIC1AREG5100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 29.36 PIC1AREG51 レジスタの内容

ビット位置	ビット名	機能
15 ~ 11	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
10	PIC1AREG5110	TSG31 タイマの TSG31TSTOPC0 信号の入力対象を選択します。 0 : INTENCA1I1 入力 (ENCA1 タイマ) 1 : 設定禁止
9	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
8	PIC1AREG5108	TSG31 タイマの TSG31TSTOPC0 信号の入力対象を選択します。 0 : INTENCA0I1 入力 (ENCA0 タイマ) 1 : 設定禁止
7	PIC1AREG5107	TSG31 の TS0OPCI1 信号の入力を選択します。 0 : TAUD1 の INTTAUD1I7 信号入力を選択 1 : 設定禁止
6、5	PIC1AREG51 [06:05]	TSG31 タイマの TSG31TSTOPS(TS1OPCI0) 信号の入力対象を選択します。 01 : PIC1AREG5108 ビットで選択した信号 10 : PIC1AREG5110 ビットで選択した信号 11 : TAUD1 の INTTAUD1I5 出力 上記以外、設定禁止。 ^{注1}
4 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	PIC1AREG5100	ENCA 信号と外部ホールセンサ信号を切り替えます。選択時の注意事項については、「29.2.2.9 PIC1ATSGHALLSEL — ホールセンサ入力選択レジスタ」の注 1. を参照してください。 1 : ENCA1E0, ENCA1E1, ENCA1EC 端子入力を選択 上記以外、設定禁止。 ^{注1}

注 1. 選択対象である信号を使用する場合は、必ず設定可能な値に設定してください。使用しない場合はリセット後の値から設定を変更しないでください。

29.2.2.27 POMONSEL — ポート出力モニタ選択レジスタ

TAUD2 を使用して TAUD0、TAUD1、TSG30、TSG31、OSTM0、OSTM1 のタイマ出力をモニタするチャンネルを選択するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 7400_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	POMONSEL2	POMONSEL1	POMONSEL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 29.37 POMONSEL レジスタの内容

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
2 ~ 0	POMONSEL[2:0]	モニタする入力端子を選択します。選択できる入力端子については表 29.38 を参照してください。

表 29.38 POMONSEL レジスタによるモニタ入力端子の選択

POMONSEL の設定	000	001	010	011	100
ch0	Port (TAUD2I0)	TAUD0 ch1	TAUD0 ch0	TAUD1 ch0 ^{注1}	TSG30 ch1
ch1	Port (TAUD2I1)	TAUD0 ch3	TAUD0 ch1	TAUD1 ch1 ^{注1}	TSG30 ch2
ch2	Port (TAUD2I2)	TAUD0 ch5	TAUD0 ch2	TAUD1 ch2 ^{注1}	TSG30 ch3
ch3	Port (TAUD2I3)	TAUD0 ch7	TAUD0 ch3	TAUD1 ch3 ^{注1}	TSG30 ch4
ch4	Port (TAUD2I4)	TAUD0 ch9	TAUD0 ch4	TAUD1 ch4 ^{注1}	TSG30 ch5
ch5	Port (TAUD2I5)	TAUD0 ch11	TAUD0 ch5	TAUD1 ch5 ^{注1}	TSG30 ch6
ch6	Port (TAUD2I6)	TAUD0 ch13	TAUD0 ch6	TAUD1 ch6 ^{注1}	TSG31 ch1
ch7	Port (TAUD2I7)	TAUD0 ch15	TAUD0 ch7	TAUD1 ch7 ^{注1}	TSG31 ch2
ch8	Port (TAUD2I8)	TAUD1 ch1 ^{注1}	TAUD0 ch8	TAUD1 ch8	TSG31 ch3
ch9	Port (TAUD2I9)	TAUD1 ch3 ^{注1}	TAUD0 ch9	TAUD1 ch9	TSG31 ch4
ch10	Port (TAUD2I10)	TAUD1 ch5 ^{注1}	TAUD0 ch10	TAUD1 ch10	TSG31 ch5
ch11	Port (TAUD2I11)	TAUD1 ch7 ^{注1}	TAUD0 ch11	TAUD1 ch11	TSG31 ch6
ch12	Port (TAUD2I12)	TAUD1 ch9	TAUD0 ch12	TAUD1 ch12	—
ch13	Port (TAUD2I13)	TAUD1 ch11	TAUD0 ch13	TAUD1 ch13	—
ch14	Port (TAUD2I14)	TAUD1 ch13	TAUD0 ch14	TAUD1 ch14	OSTM0
ch15	Port (TAUD2I15)	TAUD1 ch15	TAUD0 ch15	TAUD1 ch15	OSTM1

注 1. 下記端子をタイマ出力で使用する場合にタイマ出力モニタ機能が使用可能となります。

P2_11 ~ P2_14 端子は 144pin 版で使用可能です。

TAUD100: P3_3, P2_11
 TAUD101: P3_3, P2_11
 TAUD102: P3_4, P2_12
 TAUD103: P3_4, P2_12
 TAUD104: P2_13
 TAUD105: P2_13
 TAUD106: P2_14
 TAUD107: P2_14

29.2.2.28 PIMONSEL — ポート入力モニタ選択レジスタ

タイマ入力をモニタするレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 7000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIMONSEL1	PIMONSEL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 29.39 PIMONSEL レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
1 ~ 0	PIMONSEL[1:0]	モニタする入力端子を選択します。選択できる入力端子については表 29.40 を参照してください。

表 29.40 PIMONSEL レジスタによるモニタ入力端子の選択

PIMONSEL の設定	00	01	10
ch0	Port (TAUJ2I0)	TAUJ0 ch0	TAUJ1 ch0
ch1	Port (TAUJ2I1)	TAUJ0 ch1	TAUJ1 ch1
ch2	Port (TAUJ2I2)	TAUJ0 ch2	TAUJ1 ch2
ch3	Port (TAUJ2I3)	TAUJ0 ch3	TAUJ1 ch3

29.2.2.29 SELBSSER — 同期クリア許可レジスタ

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFDD 2000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	SELBSSER[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 29.41 SELBSSER レジスタの内容

ビット位置	ビット名	機能														
7 ~ 3	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。														
2 ~ 0	SELBSSER[2:0]	<table border="1"> <thead> <tr> <th>SELBSSER[2:0]</th> <th>TSG3 同期クリア設定</th> </tr> </thead> <tbody> <tr> <td>000_B</td> <td>TSG30 : 禁止 TSG31 : 禁止</td> </tr> <tr> <td>001_B</td> <td>TSG30 : INTTAUD0I14 許可 TSG31 : 禁止</td> </tr> <tr> <td>010_B</td> <td>TSG30 : 禁止 TSG31 : INTTAUD0I15 許可</td> </tr> <tr> <td>011_B</td> <td>TSG30 : INTTAUD0I14 許可 TSG31 : INTTAUD0I15 許可</td> </tr> <tr> <td>100_B</td> <td>TSG30 : INTTAUD0I15 許可 TSG31 : INTTAUD0I15 許可</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	SELBSSER[2:0]	TSG3 同期クリア設定	000 _B	TSG30 : 禁止 TSG31 : 禁止	001 _B	TSG30 : INTTAUD0I14 許可 TSG31 : 禁止	010 _B	TSG30 : 禁止 TSG31 : INTTAUD0I15 許可	011 _B	TSG30 : INTTAUD0I14 許可 TSG31 : INTTAUD0I15 許可	100 _B	TSG30 : INTTAUD0I15 許可 TSG31 : INTTAUD0I15 許可	上記以外	設定禁止
		SELBSSER[2:0]	TSG3 同期クリア設定													
		000 _B	TSG30 : 禁止 TSG31 : 禁止													
		001 _B	TSG30 : INTTAUD0I14 許可 TSG31 : 禁止													
		010 _B	TSG30 : 禁止 TSG31 : INTTAUD0I15 許可													
		011 _B	TSG30 : INTTAUD0I14 許可 TSG31 : INTTAUD0I15 許可													
		100 _B	TSG30 : INTTAUD0I15 許可 TSG31 : INTTAUD0I15 許可													
		上記以外	設定禁止													

注 意

3. TSG3 同期クリア機能と同時スタートトリガ機能の同時使用を禁止とします。TSG3 同期クリア機能を使用する場合、同時スタートトリガ機能はカウント開始時のみ使用し、カウント開始後は以下の同時スタート制御レジスタのビットを0に設定してください。

- PIC1SSER0.PIC1ASSER014 (TAUD0 ch14)
- PIC1SSER0.PIC1ASSER015 (TAUD0 ch15)
- PIC1SSER2.PIC1ASSER208 (TSG30)
- PIC1SSER2.PIC1ASSER209 (TSG31)

また、TSG3 同期クリア機能使用時に、同時スタートトリガ機能による TSG30/TSG31、TAUD0 ch14/15 の同時スタートを実施する場合、TSG3 同期クリア機能を禁止に設定した後、同時スタートトリガ機能を実施してください。

TSG3 同期クリア機能・同時スタートトリガ機能のトリガがアクティブのタイミングで上記設定を切り替えることを禁止とします。

4. カウンタ動作中に SSER を書き換える場合、以下を禁止とします。
- 000_B と動作開始時の設定値以外への書き換え
 - TAUD0 ch14/15 の割り込みが発生するタイミングでの書き換え

29.2.3 機能

29.2.3.1 同時スタートトリガ機能

(1) 概要

各タイマ (TAUDn, TAUJn, TSG3n, TPBA_n, OSTMn, ENCA_n) の任意の組み合わせで、選択したタイマの同時スタートを実現する機能です。

(2) 構成

本機能に対応するタイマを以下に示します。

同時スタートトリガ機能 対応タイマ

- TAUDn
- TAUJn
- TSG3n
- TPBA_n
- OSTMn
- ENCA_n

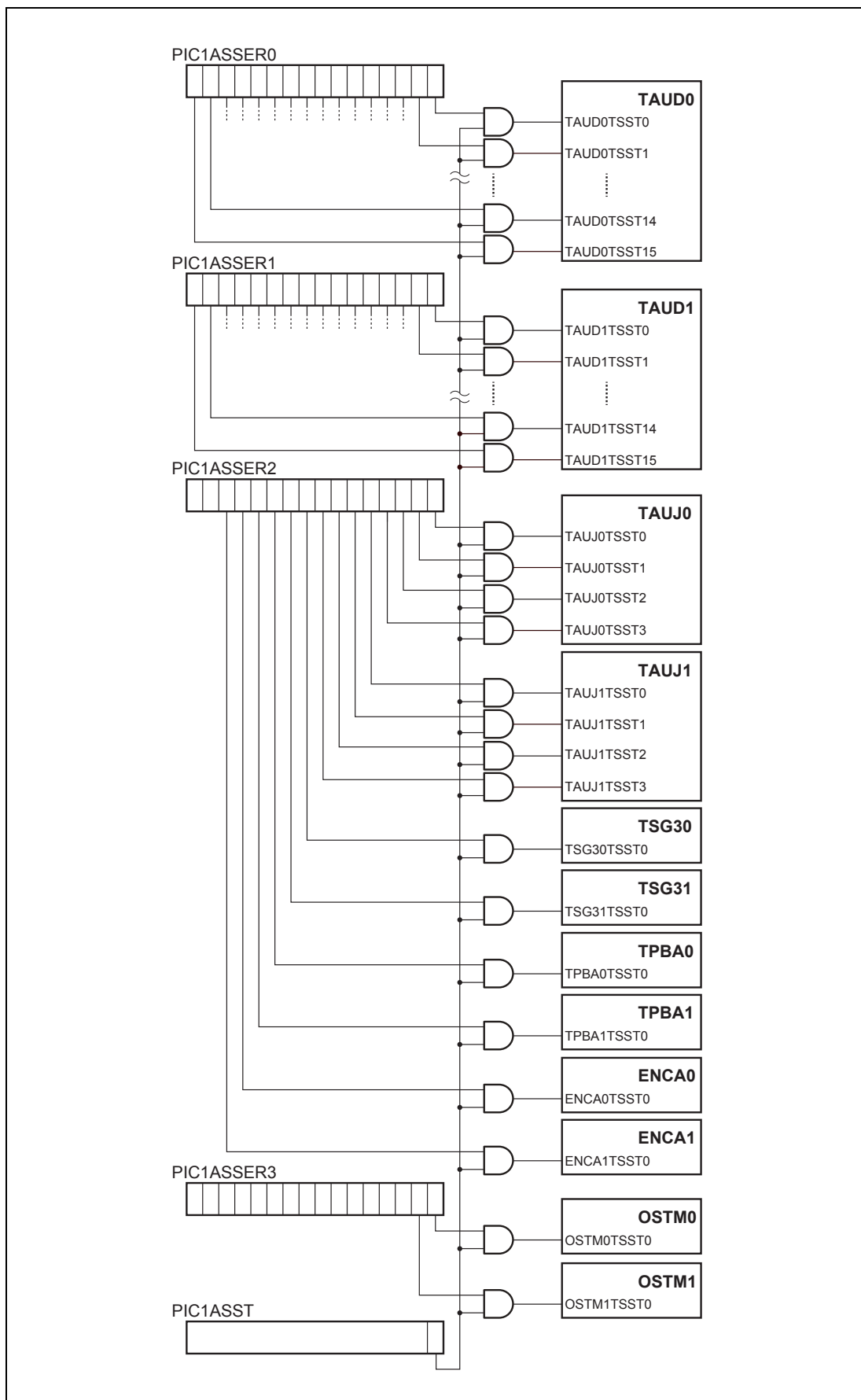


図 29.3 同時スタートトリガ機能 ブロック図

同時スタートさせるタイマのマスク解除後、同時スタートトリガ制御レジスタ (PIC1ASST) の PIC1ASYNCTRG ビットに 1 を設定することで、各タイマのスタートトリガにアクティブ信号が入力され、タイマ動作を開始します。

(3) レジスタ

本機能で設定する PIC1A レジスタを以下に示します。レジスタの設定値は、「29.2.2.2 ~ 29.2.2.6」を参照してください。

- PIC1A 設定レジスタ
 - PIC1ASST
 - PIC1ASSER0
 - PIC1ASSER1
 - PIC1ASSER2
 - PIC1ASSER3

(4) 機能

各タイマ (TAUDn, TAUJn, TSG3n, TPBAn, OSTMn, ENCAn) の任意の組み合わせで同時スタートを行います。

(5) フローチャート

以下に本機能のフローチャートを示します。

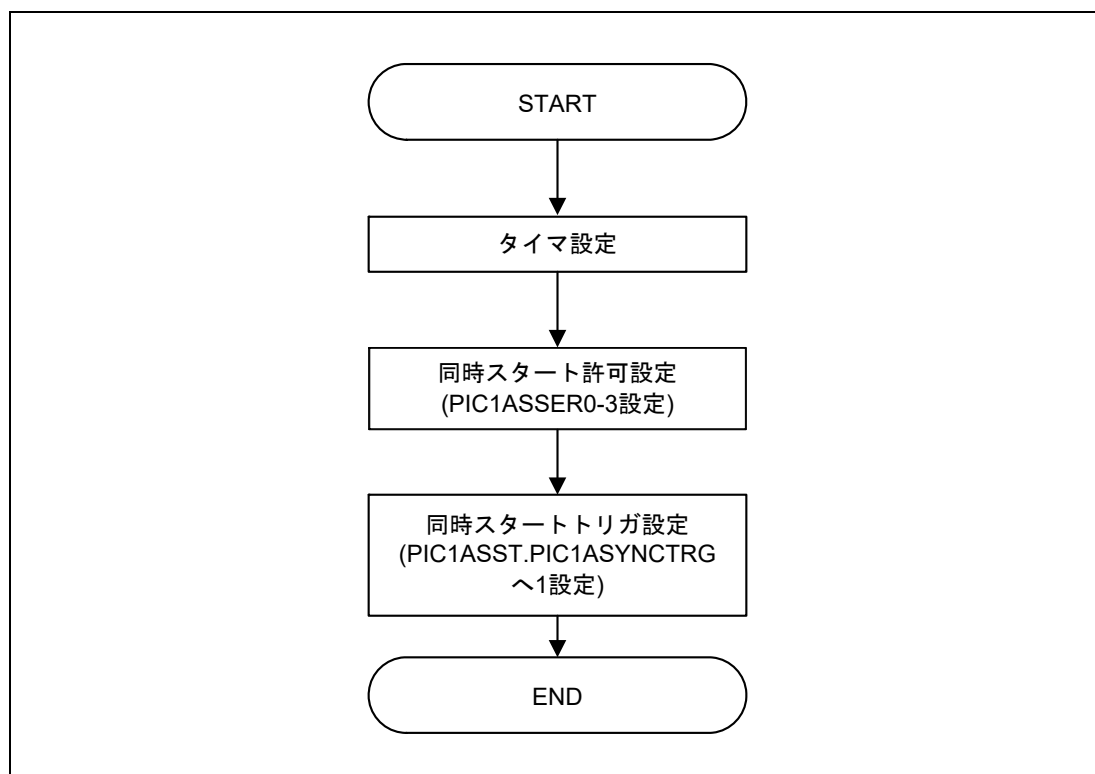


図 29.4 設定フロー

以下に各手順での設定内容を記載します。

- タイマ設定
同時スタートさせるタイマの設定を行ってください。
- 同時スタート許可設定
同時スタートさせるタイマの許可ビットを1に設定してください。PIC1ASSER0, PIC1ASSER1, PIC1ASSER2, PIC1ASSER3 の該当ビットを1に設定することで、タイマの同時スタートを許可します。
- スタートトリガ設定
同時スタートトリガ制御レジスタ (PIC1ASST) の PIC1ASYNCTRIG ビットに1を設定することで、タイマが同時スタートします。

29.2.3.2 デッドタイム付き PWM 出力機能

(1) 概要

TAUDn を使って、1 相から 3 相のデッドタイム付き PWM 出力を生成する機能です。

TAUD の PWM 出力機能では、デューティ値指定により 1 周期にクリアタイミンングのみ設定しますが、本機能によりセットタイミンングも指定可能となり、より自由度の高いデッドタイム付き PWM を出力できます。

使用する TAUDn のチャンネル数は以下に示します。

デッドタイム付き PWM 出力	TAUDn のチャンネル数
1 相 PWM 出力 (U 相 /UB 相)	5ch (マスタチャンネル 1ch, スレーブチャンネル 4ch)
2 相 PWM 出力 (U 相 /UB 相 ,V 相 /VB 相)	9ch (マスタチャンネル 1ch, スレーブチャンネル 8ch)
3 相 PWM 出力 (U 相 /UB 相 ,V 相 /VB 相 ,W 相 /WB 相)	13ch (マスタチャンネル 1ch, スレーブチャンネル 12ch)

備考 上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 はマスタチャンネルとしてください。

TAUDn チャンネル	U 相 /UB 相	V 相 /VB 相	W 相 /WB 相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	×	×	×	未使用
CH4	○	×	×	デューティ (U 相セット)
CH5	○	×	×	デューティ (U 相クリア)
CH6	×	○	×	デューティ (V 相セット)
CH7	×	○	×	デューティ (V 相クリア)
CH8	×	×	○	デューティ (W 相セット)
CH9	×	×	○	デューティ (W 相クリア)
CH10	○	×	×	U 相出力 (TOUT10)
CH11	○	×	×	UB 相出力 (TOUT11)
CH12	×	○	×	V 相出力 (TOUT12)
CH13	×	○	×	VB 相出力 (TOUT13)
CH14	×	×	○	W 相出力 (TOUT14)
CH15	×	×	○	WB 相出力 (TOUT15)

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDn の PWM 出力機能 / 1 相 PWM 出力機能と PIC1A を組み合わせることで、デッドタイム付き PWM 出力機能を実現します。デッドタイム付き PWM 出力機能のブロック図を以下に示します。

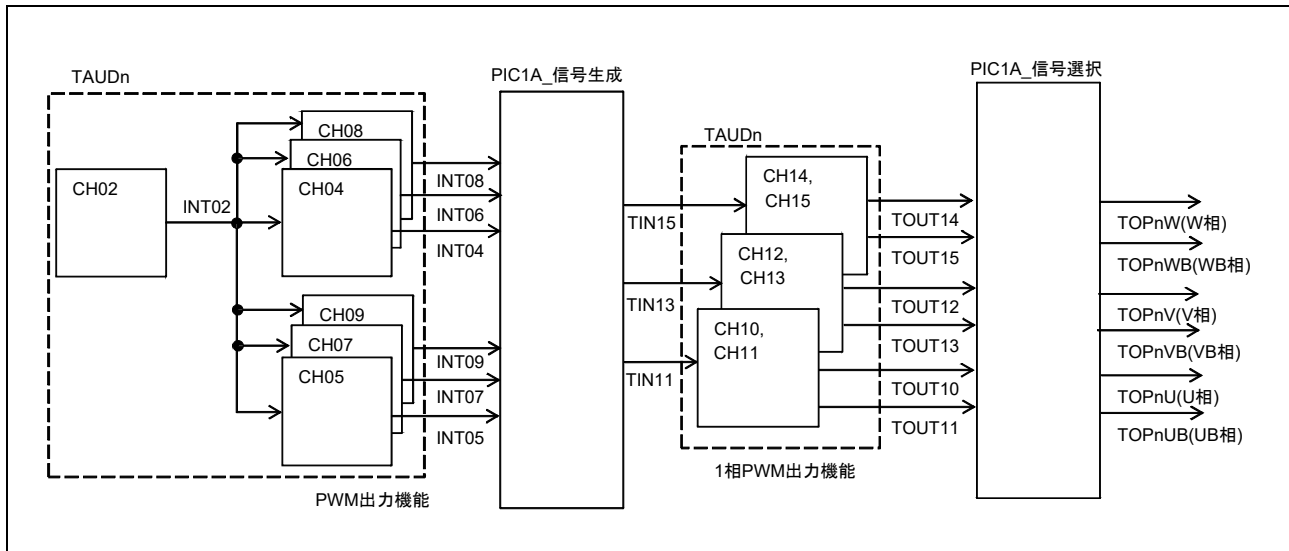


図 29.5 デッドタイム付き PWM 出力機能 ブロック図

U 相 /UB 相の PWM 出力を例に構成を説明します。

- [TAUDn] PWM 出力機能
CH02、CH04、CH05 を使用します。CDR02 に周期、CDR04 に U 相セット値、CDR05 に U 相クリア値を設定し、INT04/INT05(PWM 信号のセット / クリア信号) を生成します。
- [PIC1A_信号生成] RS フリップフロップ回路 (RSn2)
INT04/INT05 入力を選択して、TIN11(PWM 信号) を生成します。
- [TAUDn] 1 相 PWM 出力機能
CH10、CH11 を使用します。CDR11 にデッドタイム値を設定し、TIN11 に入力される PWM 信号にデッドタイムを付加し、TOUT10(U 相 PWM 信号)、TOUT11(UB 相 PWM 信号) を出力します。
- [PIC1A_信号選択]
TOUT10,11 入力を選択して、TOPnU,UB 端子に出力します。

V 相 /VB 相、W 相 /WB 相は、上記 U 相 /UB 相と同様の構成です。

(3) レジスタ

下図に PIC1A のブロック図を示します。

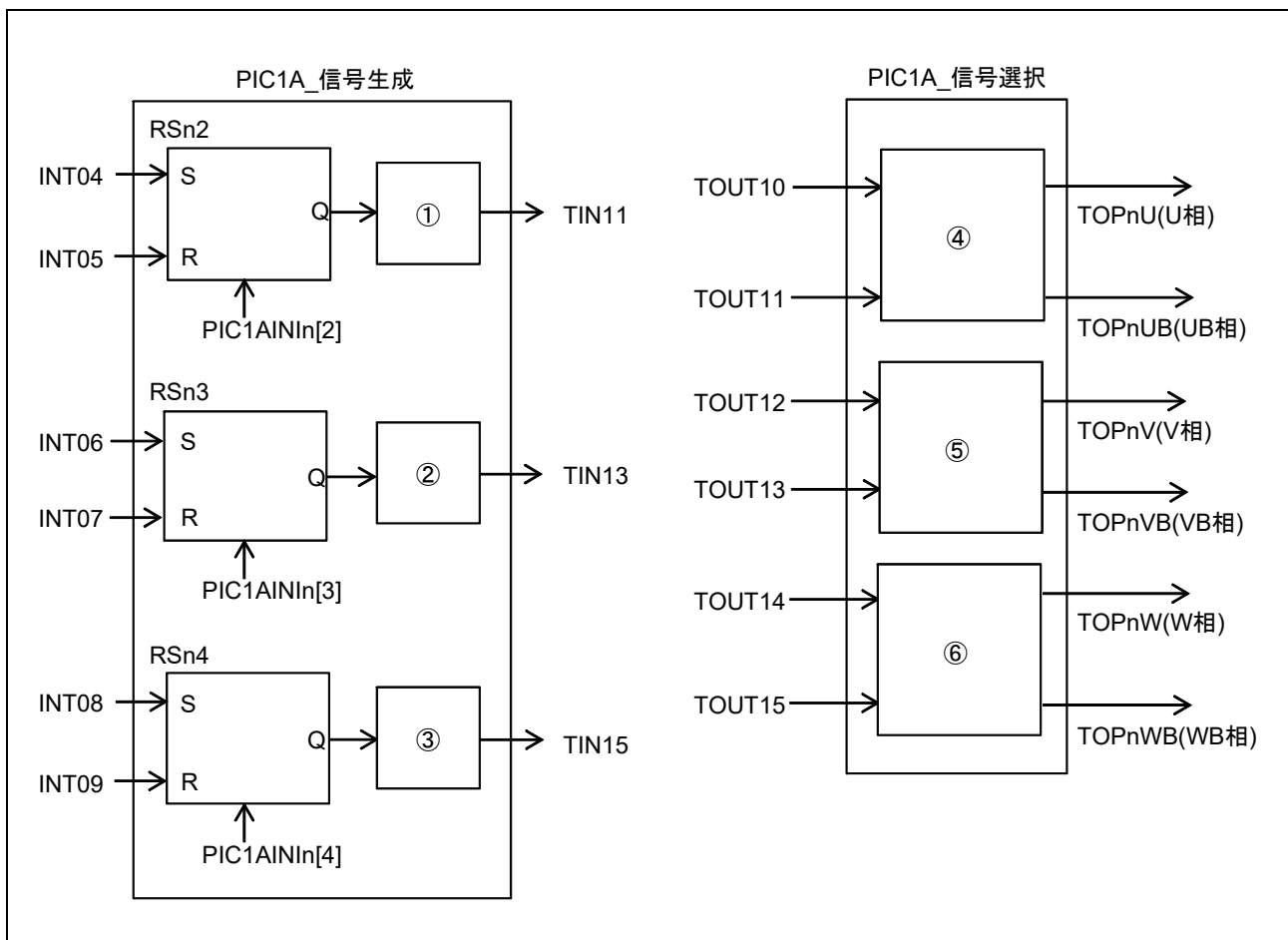


図 29.6 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

U 相 / UB 相

RSn2 の出力 Q を TIN11 として出力するための設定値 (図 29.6 ①)

$$\text{PIC1AREG2n2}[19:18] = 10_{\text{B}}$$

$$\text{PIC1AREG2n2}[2] = 1_{\text{B}}$$

$$\text{PIC1ATAUDnSEL}[23:22] = 00_{\text{B}}$$

出力 TOUT10,11 を TOPnU,UB として出力するための設定値 (図 29.6 ④)

$$\text{PIC1AREG2n1}[19:16] = 0000_{\text{B}}$$

$$\text{PIC1AREG2n3}[2:0] = 000_{\text{B}}$$

$$\text{PIC1AREG2n3}[6:4] = 000_{\text{B}}$$

V相 /VB 相

RSn3 の出力 Q を TIN13 として出力するための設定値 (図 29.6 ②)

PIC1AREG2n2[23:22] = 10_B

PIC1AREG2n2[3] = 1_B

PIC1ATAUDnSEL[27:26] = 00_B

出力 TOUT12,13 を TOPnV,VB として出力するための設定値 (図 29.6 ⑤)

PIC1AREG2n1[23:20] = 0000_B

PIC1AREG2n3[10:8] = 000_B

PIC1AREG2n3[14:12] = 000_B

W相 /WB 相

RSn4 の出力 Q を TIN15 として出力するための設定値 (図 29.6 ③)

PIC1AREG2n2[27:26] = 10_B

PIC1AREG2n2[4] = 1_B

PIC1ATAUDnSEL[31:30] = 00_B

出力 TOUT14,15 を TOPnW,WB として出力するための設定値 (図 29.6 ⑥)

PIC1AREG2n1[27:24] = 0000_B

PIC1AREG2n3 [18:16] = 000_B

PIC1AREG2n3[22:20] = 000_B

RSn2-4 の初期化

RSn2-4 を初期化をするための設定値

PIC1AINIn0 [4] = 1_B (初期化)

PIC1AINIn0 [3] = 1_B (初期化)

PIC1AINIn0 [2] = 1_B (初期化)

(4) 機能

本機能の詳細を、デッドタイム付き 1 相 PWM 出力 (U 相 /UB 相) を例に説明します。

下図にタイミング図を示します。

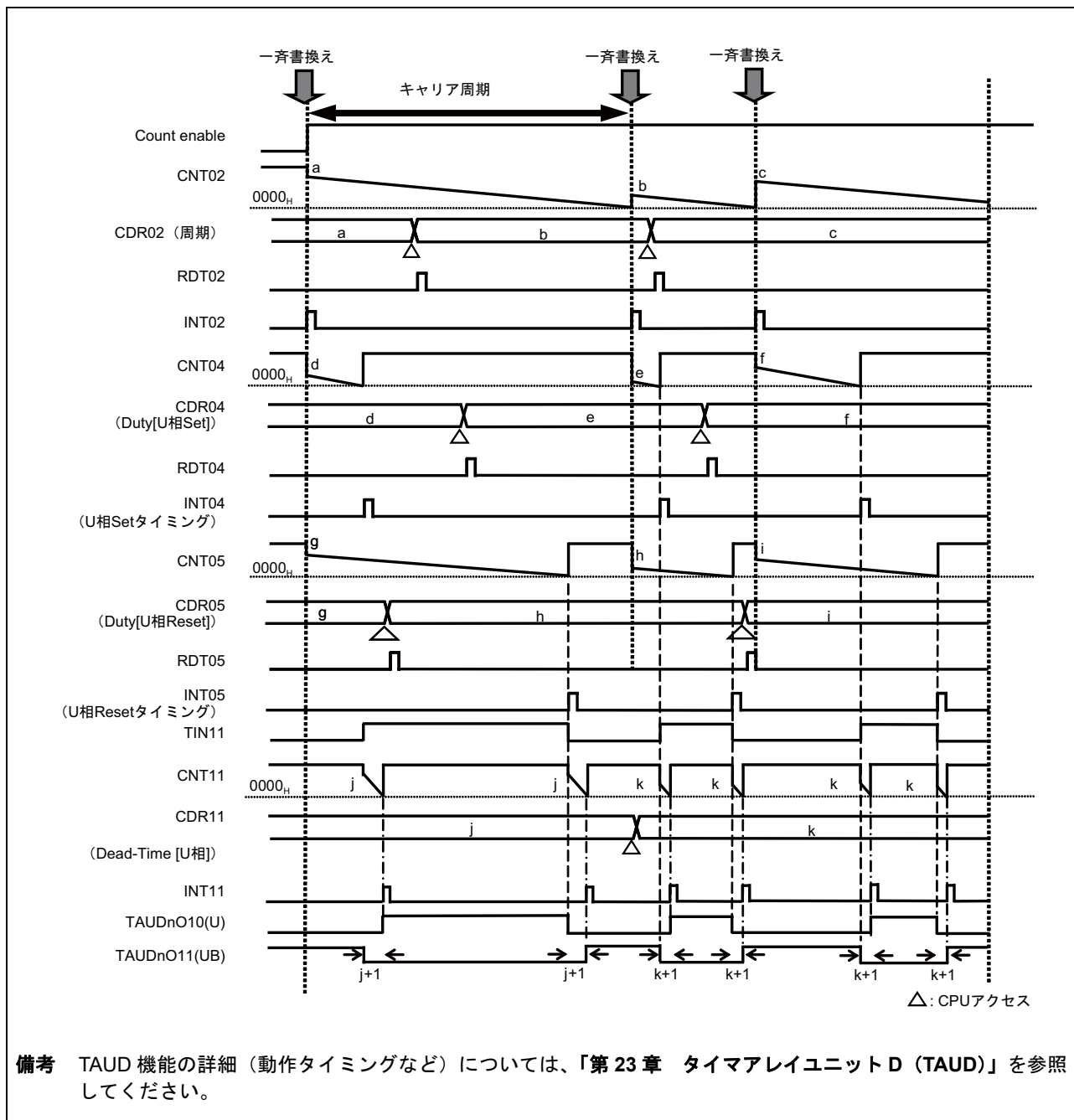


図 29.7 デッドタイム付き 1 相 PWM 出力 (U 相 /UB 相)

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。注1
- (2) CH04、CH05 は CH02 のアンダーフローにより、CNT04、CNT05 へ設定値のリロードが行われます。
- (3) CH04 のアンダーフローにより、INT04 が発生し TIN11 がハイレベルになり、CH05 のアンダーフローにより、INT05 が発生し、TIN11 がロウレベルになることで、PWM 波形を生成します。
- (4) TIN11 の両エッジにより、CNT11 へ設定値のリロードが行われます。注2
- (5) CH11 のアンダーフローにより、INT11 が発生し TAUDnO10 がハイレベルになり、CH05 のアンダーフローにより、INT05 が発生し、TAUDnO10 がロウレベルになることで U 相の PWM 波形を生成し、TOPnU へ出力します。
- (6) TIN11 の立ち上りエッジにより、TAUDnO11 がロウレベルになり、CH11 のアンダーフローにより、INT11 が発生し、TAUDnO11 がハイレベルになることで UB 相の PWM 波形を生成し、TOPnUB へ出力します。

同様の手順にて、V 相 /VB 相及び、W 相 /WB 相を生成します。

注 1. TAUDn の各カウントクロック信号は、同じクロックを選択してください。

注 2. 本機能では、TAUDn の TIN11 で検出する有効エッジを両エッジ (立ち上り, 立ち下り) に設定してください。

次に、クリアタイミング設定値をキャリア周期設定値より大きくした場合を、V相/VB相を例に説明します。

下図にタイミング図を示します。

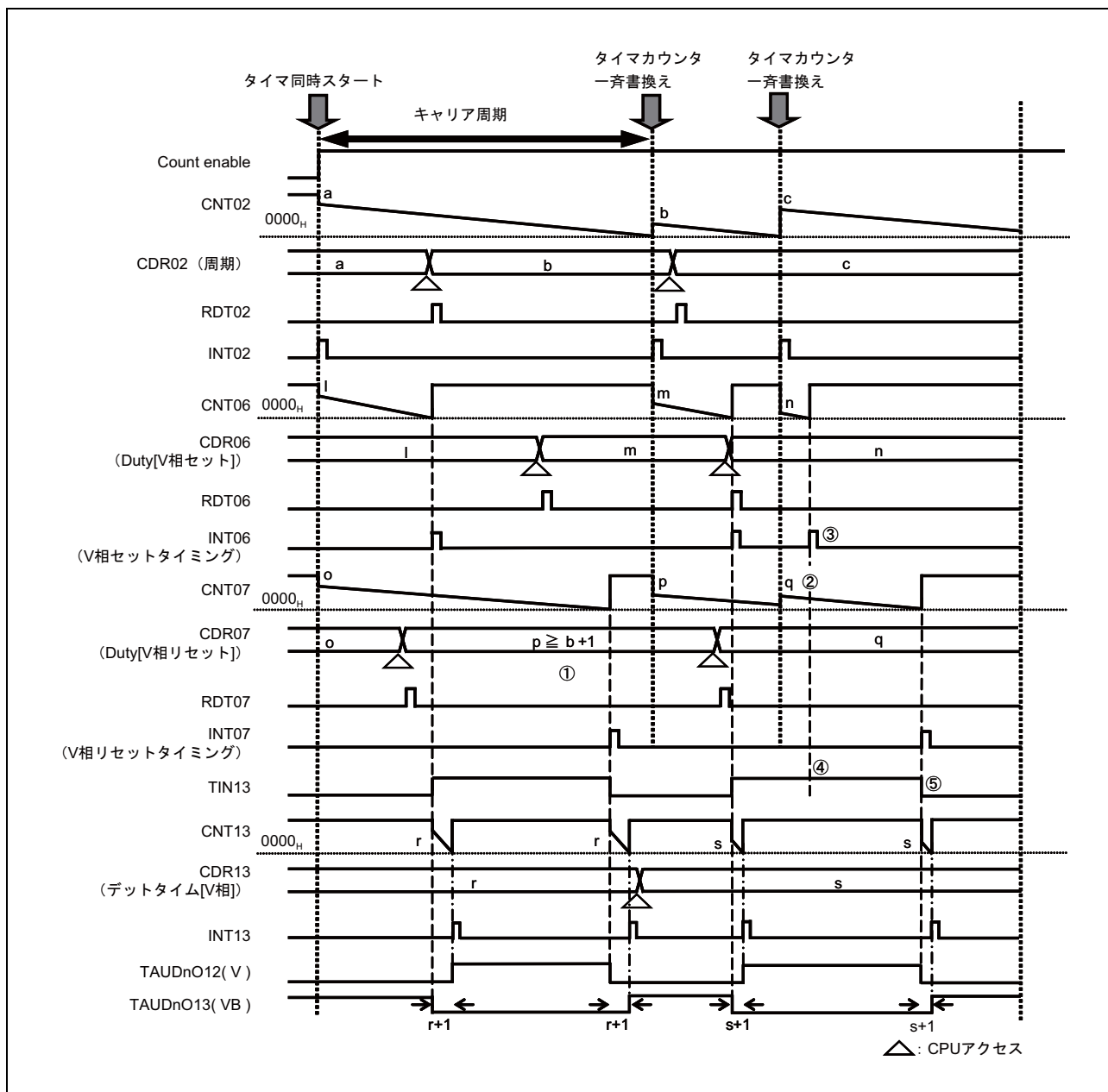


図 29.8 クリアタイミング設定値>キャリア周期設定値 (V相、VB相)

クリアタイミング設定値をキャリア周期設定値よりも大きくすることにより、キャリア周期をまたぐ波形出力が可能となります。

以下に1相PWM出力(V相/VB相)を例に、動作例を示します。「1相PWM出力機能」によるPWM出力までの動作については、デッドタイム付き1相PWM出力(U相/UB相)を参照してください。

CH07設定値をCH02設定値より大きくした場合(図29.8①)、V相クリアタイミング信号(INT07)発生前に、キャリア周期タイマのアンダーフローが発生し、設定値はリロードされます(図29.8②)。そのため、本来発生すべきV相クリアタイミング信号(INT07)は発生せず、V相セットタイミング信号(INT06)が連続して発生します(図29.8③)。この時、PIC回路内にてV相セットタイミング信号は無視されるためPWM出力波形に影響はなく(図29.8④)、出力されるPWM出力はキャリア周期をまたぐ波形が出力されます(図29.8⑤)。

下図にデッドタイム付き3相PWM出力のタイミング図を示します。

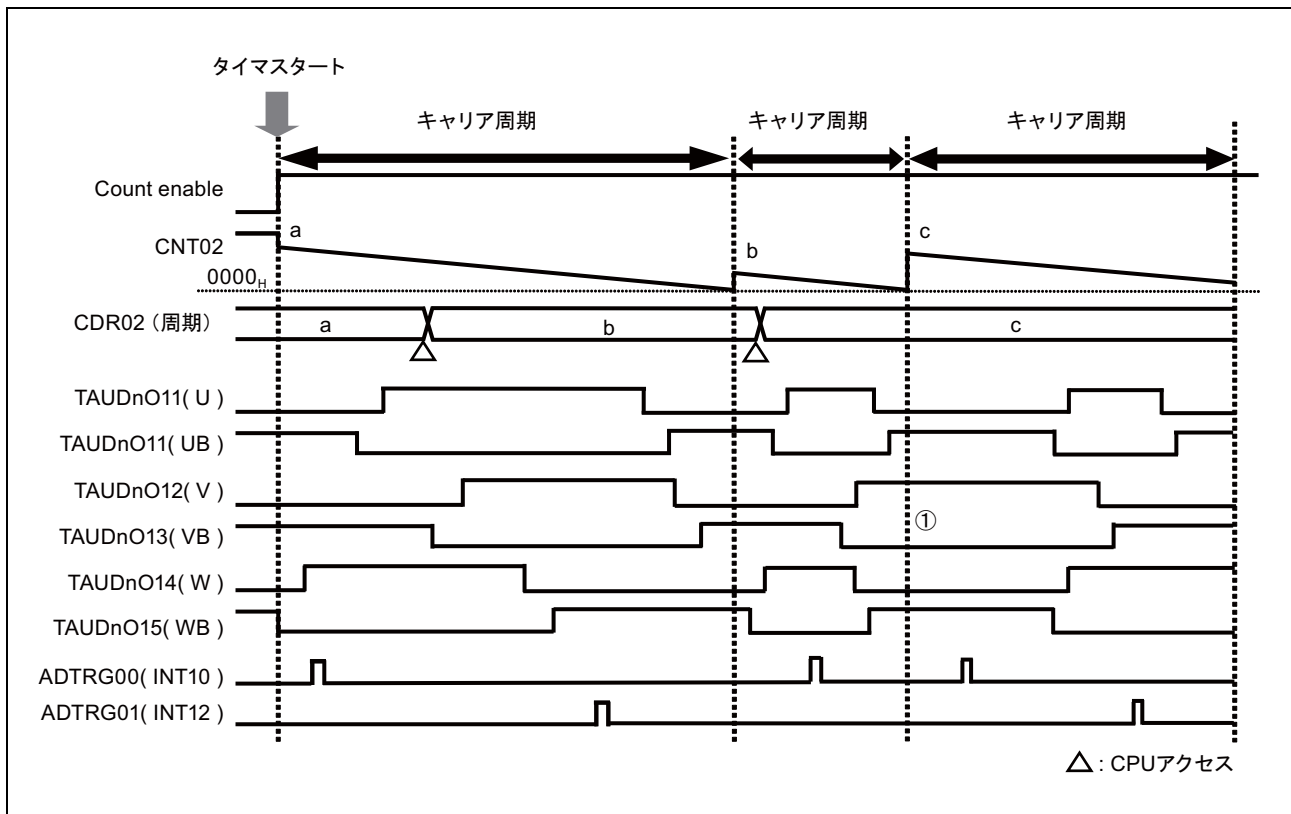


図 29.9 デッドタイム付き3相PWM出力

(5) フローチャート

本機能のフローチャートを以下に示します。



29.2.3.3 デッドタイム付き高精度三角波 PWM 出力機能

(1) 概要

TAUDn の「デッドタイム付き三角波 PWM 出力機能」に対し、デューティ 100%及び 0%近傍のデッドタイム可変領域の制御が可能な、1相から3相のデッドタイム付き三角波 PWM 出力を生成する機能です。使用する TAUDn のチャンネル数は以下に示します。

使用するチャンネル数は以下の通りです。

デッドタイム付き高精度三角波 PWM 出力	TAUDn のチャンネル数
1相 PWM 出力 (U相 /UB相)	5ch (マスタチャンネル 1ch, スレーブチャンネル 4ch)
2相 PWM 出力 (U相 /UB相, V相 /VB相)	9ch (マスタチャンネル 1ch, スレーブチャンネル 8ch)
3相 PWM 出力 (U相 /UB相, V相 /VB相, W相 /WB相)	13ch (マスタチャンネル 1ch, スレーブチャンネル 12ch)

備考 上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 は CH3-9 のマスタチャンネルとしてください。

CHm は CHm+1 のマスタチャンネルとしてください。(m = 10,12,14)

TAUDn チャンネル	U相 /UB相	V相 /VB相	W相 /WB相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	×	×	×	未使用
CH4	○	×	×	デッドタイム付き三角波 PWM 出力 (U相 /UB相)
CH5	○	×	×	
CH6	×	○	×	デッドタイム付き三角波 PWM 出力 (V相 /VB相)
CH7	×	○	×	
CH8	×	×	○	デッドタイム付き三角波 PWM 出力 (W相 /WB相)
CH9	×	×	○	
CH10	○	×	×	縮小デッドタイムパルス (U相 /UB相)
CH11	○	×	×	
CH12	×	○	×	縮小デッドタイムパルス (V相 /VB相)
CH13	×	○	×	
CH14	×	×	○	縮小デッドタイムパルス (W相 /WB相)
CH15	×	×	○	

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDn のデッドタイム付き三角波 PWM 出力機能 / ワンショットパルス出力機能と PIC1A を組み合わせることで、デッドタイム付き高精度三角波 PWM 出力機能を実現します。デッドタイム付き高精度三角波 PWM 出力機能のブロック図を以下に示します。

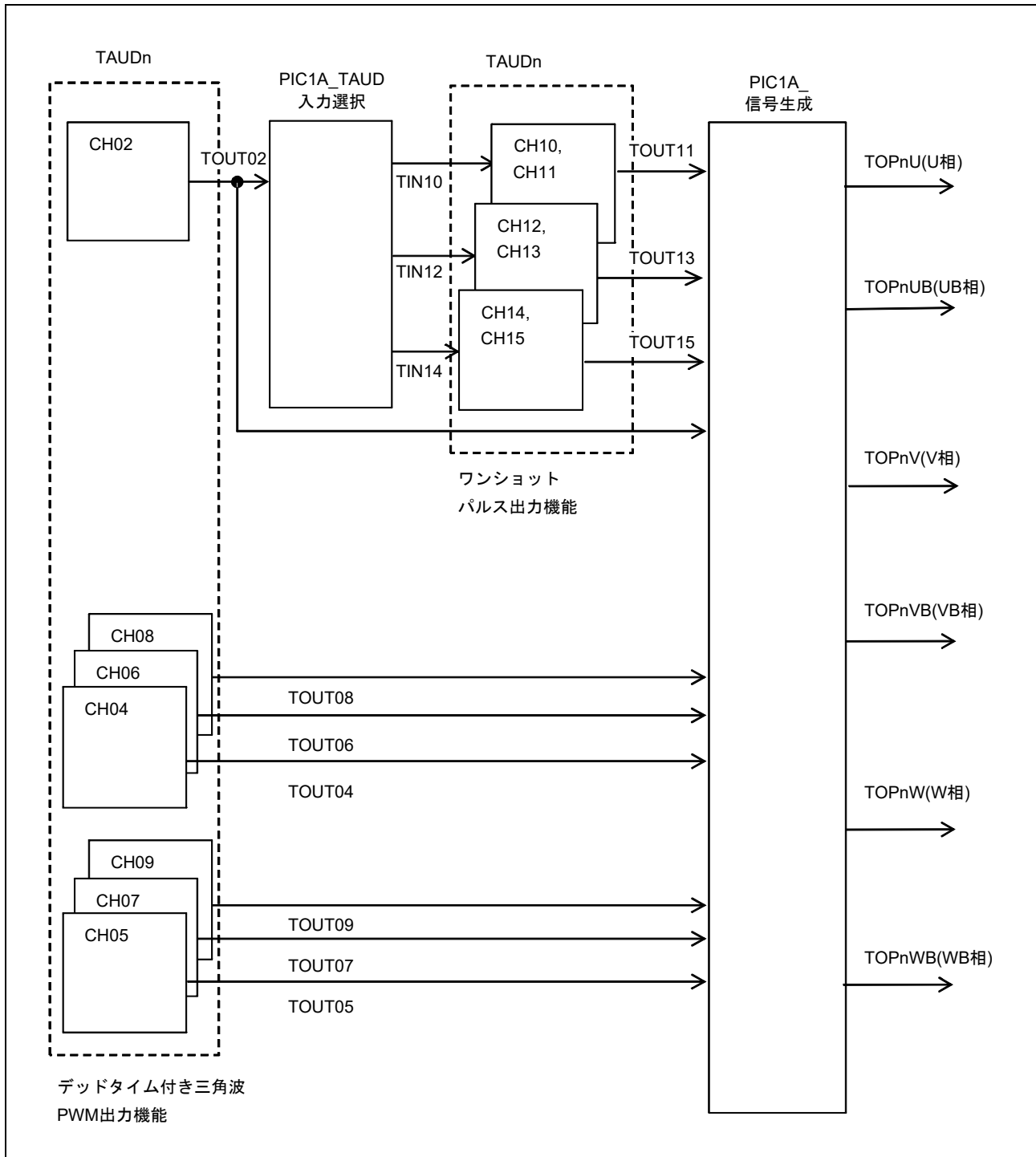


図 29.10 デッドタイム付き高精度三角波 3 相 PWM 出力 ブロック図

U 相 /UB 相の PWM 出力を例に構成を説明します。

- [PIC1A_TAUD 入力選択]
TIN10 を選択して、TOUT02 に出力します。
- [TAUDn] ワンショットパルス出力機能
CH10、CH11 を使用します。CDR10 にディレイ値、CDR11 にパルス幅を設定し、TOUT11(ワンショットパルス出力信号)を生成します。
- [TAUDn] デッドタイム付き三角波 PWM 出力機能
CH02、CH04、CH05 を使用します。CDR02 に周期、CDR04 にデューティ、CDR05 にデッドタイムを設定し、TOUT04/TOUT05(デッドタイム付き三角波 PWM 信号)を生成します。
- [PIC1A_信号生成]
PFN001 にて、ワンショットパルス出力信号から UO1/UO2(縮小デッドタイムパルス)を生成します。FN00,FN01 で、TOUT04/TOUT05 と UO1/UO2 を合成し、デッドタイム可変領域パルスを付加し、TOPnU(U 相 PWM 信号)、TOPnUB(UB 相 PWM 信号)を生成します。

V 相 /VB 相、W 相 /WB 相は、上記 U 相 /UB 相と同様の構成です。

(3) レジスタ

下図に PIC1A のブロック図を示します。

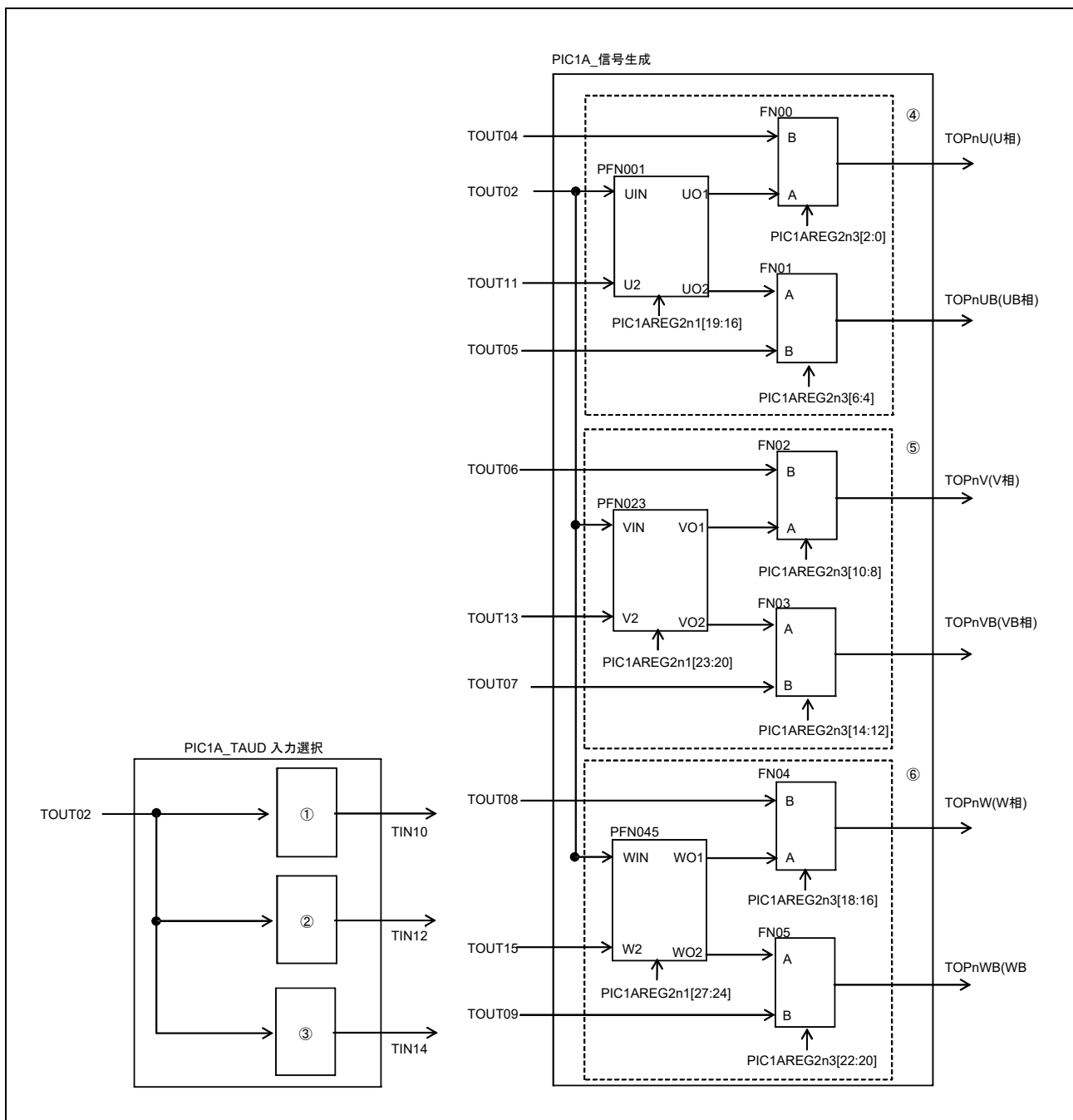


図 29.11 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

① PIC1A_TAUD 入力選択 (U 相 /UB 相)

TOUT02 を TIN10 として出力するための設定値 (アクティブハイ/ロウ共通)

$PIC1AREG2n0[18] = 1_B$

$PIC1AREG2n2[17:16] = 10_B$

$PIC1ATAUDnSEL[21:20] = 00_B$

② PIC1A_TAUD 入力選択 (V 相 /VB 相)

TOUT02 を TIN12 として出力するための設定値 (アクティブハイ / ロウ共通)

PIC1AREG2n0[18] = 1_B

PIC1AREG2n2[21:20] = 10_B

PIC1ATAUDnSEL[25:24] = 00_B

③ PIC1A_TAUD 入力選択 (W 相 /WB 相)

TOUT02 を TIN14 として出力するための設定値 (アクティブハイ / ロウ共通)

PIC1AREG2n0[18] = 1_B

PIC1AREG2n2[25:24] = 10_B

PIC1ATAUDnSEL[29:28] = 00_B

④ PIC1A_ 信号生成 (U 相 /UB 相)

TAUDnO10,TAUDnO11 から 1 相 PWM(アクティブハイ / ロウ) を出力するための設定値

PIC1AREG2n1[19:16] = 1010_B(アクティブハイ)、1111_B(アクティブロウ)

PIC1AREG2n3 [06:04] = 100_B(アクティブハイ)、101_B(アクティブロウ)

PIC1AREG2n3[02:00] = 100_B(アクティブハイ)、101_B(アクティブロウ)

⑤ PIC1A_ 信号生成 (V 相 /VB 相)

TAUDnO12,TAUDnO13 から 1 相 PWM(アクティブハイ / ロウ) を出力するための設定値

PIC1AREG2n1[23:20] = 1010_B(アクティブハイ)、1111_B(アクティブロウ)

PIC1AREG2n3 [14:12] = 100_B(アクティブハイ)、101_B(アクティブロウ)

PIC1AREG2n3[10:08] = 100_B(アクティブハイ)、101_B(アクティブロウ)

⑥ PIC1A_ 信号生成 (W 相 /WB 相)

TAUDnO14,TAUDnO15 から 1 相 PWM(アクティブハイ / ロウ) を出力するための設定値

PIC1AREG2n1[27:24] = 1010_B(アクティブハイ)、1111_B(アクティブロウ)

PIC1AREG2n3 [22:20] = 100_B(アクティブハイ)、101_B(アクティブロウ)

PIC1AREG2n3[18:16] = 100_B(アクティブハイ)、101_B(アクティブロウ)

(4) 機能

本機能の詳細を U 相 /UB 相を例に説明します。V 相 /VB 相、W 相 /WB 相については、入力信号及び設定レジスタは異なりますが、論理は U 相 /UB 相と同一です。

- U 相組み合わせ回路 (PFN001)

ワンショットパルス出力機能で生成したパルスを、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するための縮小デッドタイムパルス^{注1} (FN00 A、FN01 A) を生成します。ブロック図については、「**図 29.1 PFN001 ブロック図**」を参照してください。

注 1. 縮小デッドタイムパルスについて

TSG3n の HT-PWM モードで PWM 出力をした場合に、デューティ 100%もしくは 0%近傍で生成されるデッドタイムパルスを TAUDn のデッドタイム付き三角波 PWM 出力に擬似的に付加するパルスです。

- 論理演算回路 (FN0i) (i = 0,1)

デッドタイム付き三角波 PWM 出力機能の三角波 PWM 出力 (TOUT04,TOUT05) と組み合わせ回路出力 (PFN001 の UO0、UO1) を合成し、デッドタイム可変領域パルスを付加した PWM を生成します。論理演算回路は PIC1AREG2n3k (k = 00~02,04~06) の設定によって、論理を切り替えます。ブロック図については、「**図 29.2 FN00 ブロック図**」を参照してください。

本機能の詳細を、デッドタイム付き高精度三角波 PWM 出力機能 (U 相 /UB 相) を例に説明します。

下図にアクティブハイ設定時の U 相 0%、UB 相 100% のタイミング図を示します。

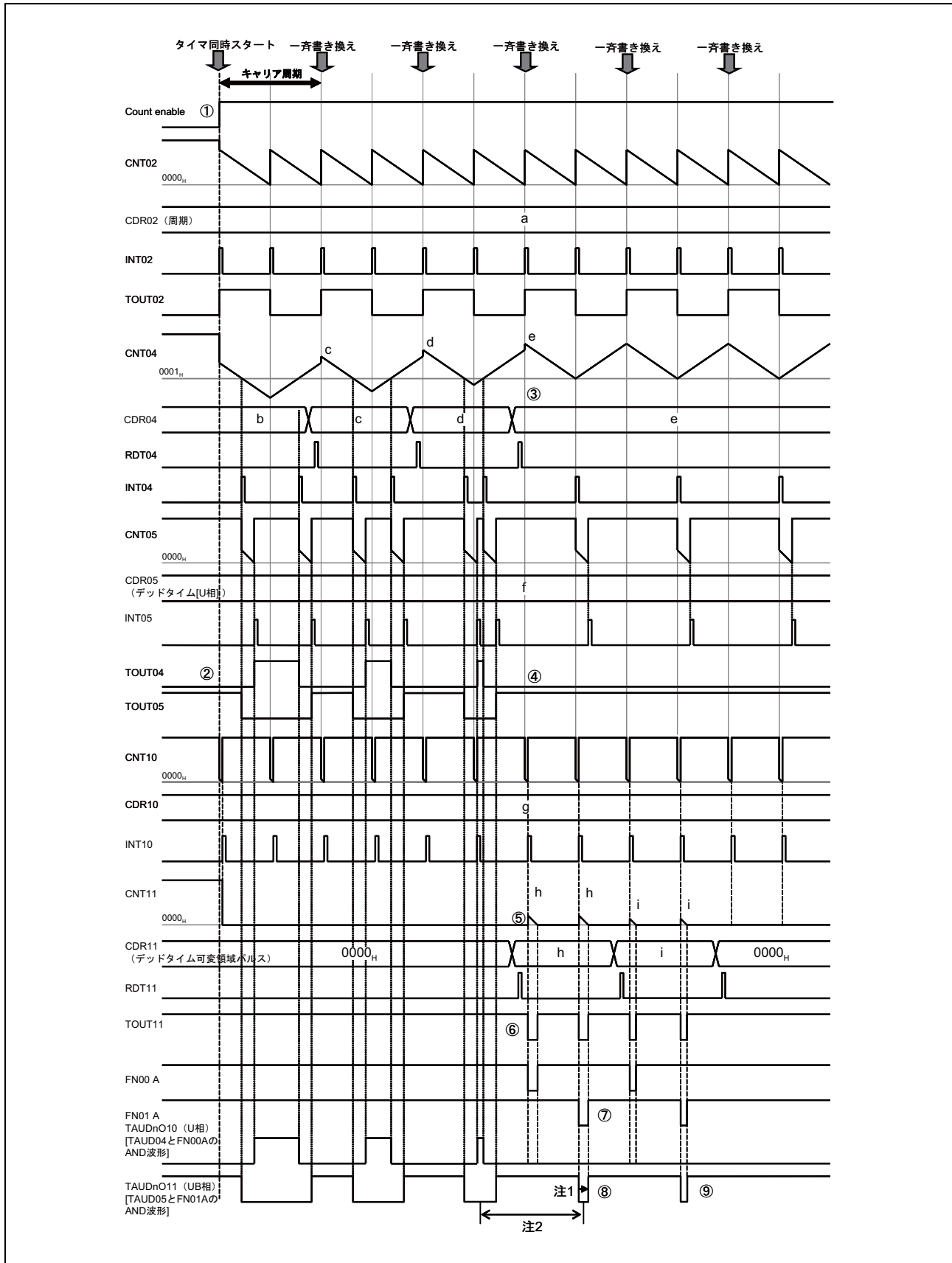


図 29.12 デッドタイム付き高精度三角波 PWM (U 相 0%、UB 相 100%)_ アクティブハイ

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) デッドタイム付き三角波 PWM 出力機能により、TOUT04/TOUT05 を生成します。
- (3) CDR04 に U 相デューティ 0% 出力値を設定します。
- (4) (3) の設定により、TOUT04 の出力はインアクティブレベル、TOUT05 の出力はアクティブレベルとなります。
- (5) デッドタイム可変領域パルスを作成するため、(3) の U 相デューティ 0% 設定時に、縮小デッドタイムパルス幅となる値を CDR11 に設定します。
- (6) TOUT02 の有効エッジで CH10 のカウントを開始し、アンダーフローにより INT10 が発生します。INT10 の発生により CH11 のカウントを開始し、CDR11 に設定された幅をパルス幅とする TOUT11(縮小デッドタイムパルス) を出力します。
- (7) PFN001 において、TOUT02, TOUT11 より UO1/UO2(縮小デッドタイムパルス) が生成されます。
- (8) UO1/UO2 は FN00/FN01 により TOUT04/TOUT05 と合成され、TOPnU (U 相 PWM 信号)、TOPnUB (UB 相 PWM 信号) を出力します。

注 意

縮小デッドタイムパルスは、三角波を使用している両側伸縮するパルスとは異なり、鋸波を使用しているため片側伸縮となります。

縮小デッドタイムパルスが片側伸縮のため、デッドタイム可変領域での 1 相 PWM の出力周期は、付加する縮小デッドタイムパルス幅の 1/2 分長くなります。

下図にアクティブハイ設定時のU相 100%、UB相 0%のタイミング図を示します。

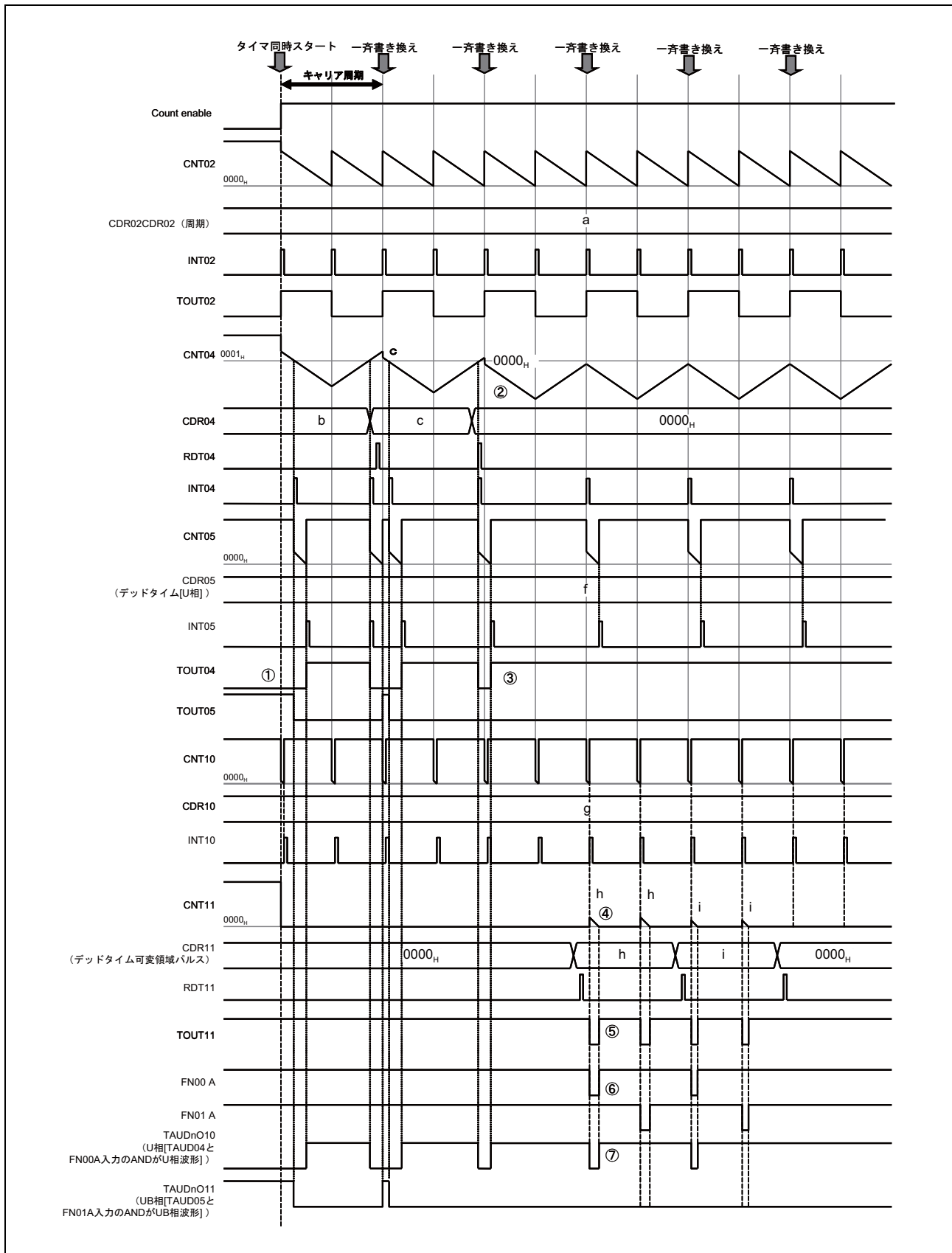


図 29.13 デッドタイム付き高精度三角波 PWM (U相 100%、UB相 0%)_ アクティブハイ

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) デッドタイム付き三角波 PWM 出力機能により、TOUT04/TOUT05 を生成します。
- (3) CDR04 に U 相デューティ 100%出力値 (CDR4 = 0000_H) を設定します。
- (4) TOUT04 はアクティブレベル、TOUT05 はインアクティブレベルを出力します。
- (5) U 相デューティ 100%設定から 1 周期後に、縮小デッドタイムパルス幅となる値を CDR11 に設定します。
- (6) TOUT02 の有効エッジで CH10 のカウントを開始し、アンダーフローにより INT10 が発生します。INT10 の発生により CH11 のカウントを開始し、CDR11 に設定された幅をパルス幅とする TOUT11(縮小デッドタイムパルス)を出力します。
- (7) PFN001 において、TOUT02,TOUT11 より UO1/UO2(縮小デッドタイムパルス)を生成します。
- (8) UO1/UO2 は FN00/FN01 により TOUT04/TOUT05 と合成され、TOPnU (U 相 PWM 信号)、TOPnUB (UB 相 PWM 信号) を出力します。

注 意

CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、図 29.14 ①で示す TOUT04 から出力される最後の PWM に対し、②で示されるデッドタイム可変領域パルスにより、デッドタイムパルス幅が長くなります。そのため、U 相デューティ 100% 設定後、1 周期以上経過した後に CDR11 を設定してください。

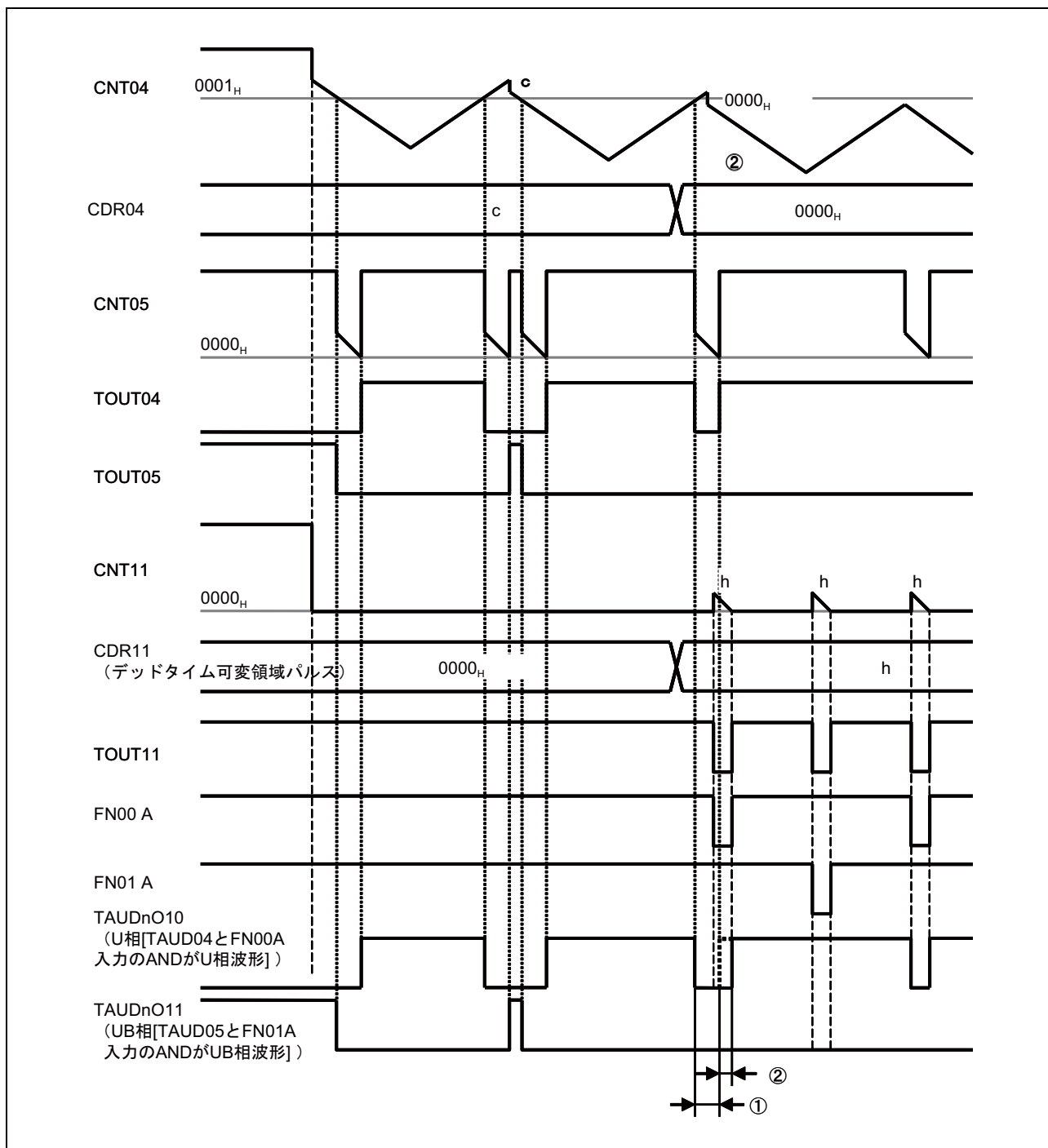


図 29.14 デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響した場合

下図にアクティブロウ設定時のU相 100%、UB相 0%のタイミング図を示します。

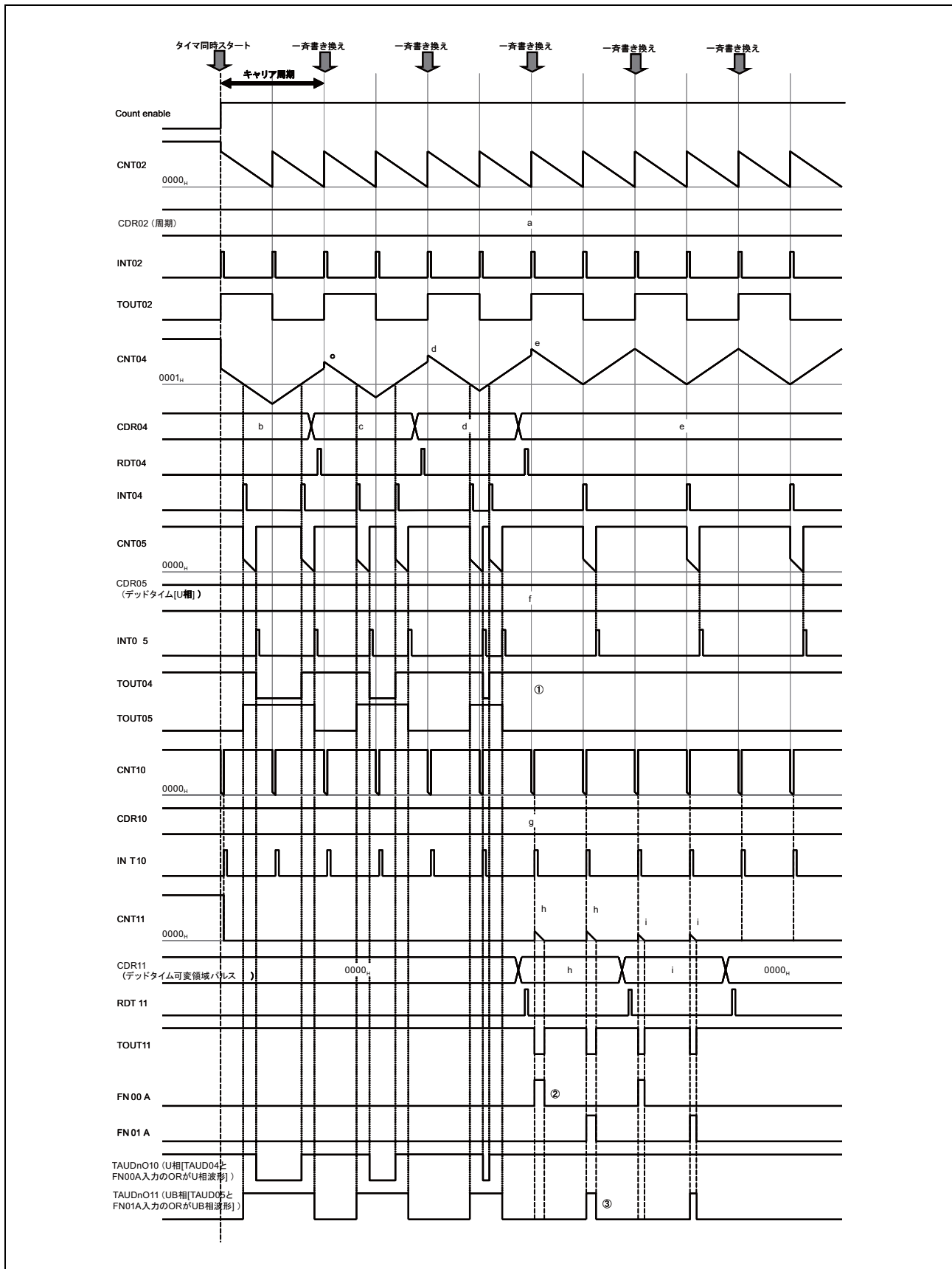


図 29.15 デッドタイム付き高精度三角波 PWM(U相 100%、UB相 0%)_ アクティブロウ

タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は、「**図 29.13 デッドタイム付き高精度三角波 PWM (U 相 100%、UB 相 0%)_ アクティブハイ**」と同じです。但し、PWM 出力として、TOUT04、TOUT05 からはアクティブロウの PWM 信号が出力されます。

注 意

ワンショットパルス出力機能の各 CDR 設定値は、以下の条件を満たすように設定してください。

$$\text{CDR05} \geq (\text{CDR10} + \text{CDR11})$$

上記条件を満たさない値を設定した場合、出力波形に影響を与える可能性があります。影響を最小にするには、上記設定値条件とともに、縮小デッドタイムパルスが必要になる状況まで、CDR11 には 0000_H を設定しておいてください。

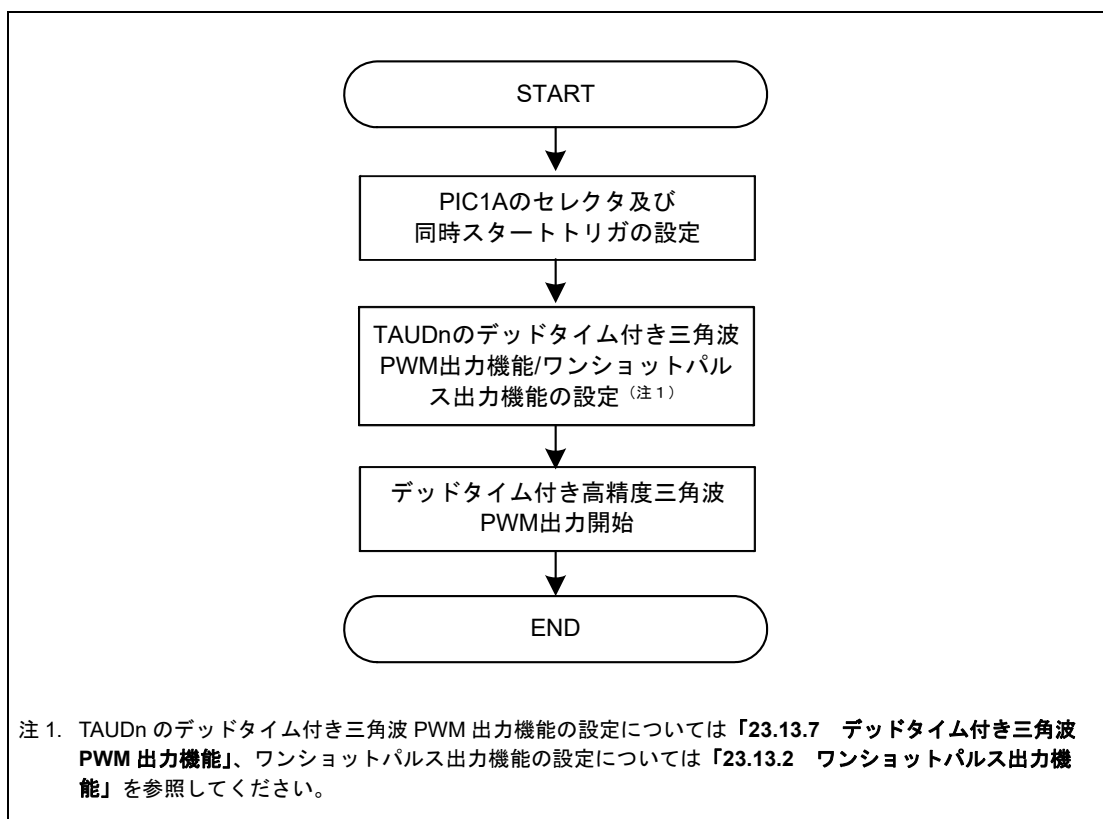
TIN10(TOUT02) の有効エッジは両エッジ検出、また TAUDnTOL11 = 1(アクティブロウ) に設定して下さい。

TAUDn のカウントクロック信号(CK0-3) は、同じ信号を選択してください。

デッドタイム付き高精度三角波 PWM 出力開始後、U 相、V 相、W 相のデューティを 100% 設定すると同時にデッドタイム可変領域パルス幅の値を設定しないでください。

(5) フローチャート

本機能のフローチャートを以下に示す。



29.2.3.4 デッドタイム付きディレイパルス出力機能

(1) 概要

TAUDn を使って、周期タイミングからディレイを付加したデッドタイム付き PWM 出力を生成する機能です。

「29.2.3.2 デッドタイム付き PWM 出力機能」と異なり、次の周期内にリセットを持つ PWM 出力が可能です。

使用するチャンネル数は以下の通りです。

デッドタイム付き PWM 出力	TAUDn のチャンネル数
1 相 PWM 出力 (U 相 /UB 相)	5ch (マスタチャンネル 1ch, スレーブチャンネル 4ch)
2 相 PWM 出力 (U 相 /UB 相 ,V 相 /VB 相)	9ch (マスタチャンネル 1ch, スレーブチャンネル 8ch)
3 相 PWM 出力 (U 相 /UB 相 ,V 相 /VB 相 ,W 相 /WB 相)	13ch (マスタチャンネル 1ch, スレーブチャンネル 12ch)

備考 上記の PWM 出力の組み合わせは一例です。

TAUDn のチャンネル別の用途を以下に示します。CH2 は CH3-9 のマスタチャンネルとしてください。

TAUDn チャンネル	U 相 /UB 相	V 相 /VB 相	W 相 /WB 相	用途
CH0	×	×	×	未使用
CH1	×	×	×	未使用
CH2	○	○	○	キャリア周期 (各相共通)
CH3	○	○	○	予約
CH4	○	×	×	ディレイパルス出力 (U 相 /UB 相)
CH5	○	×	×	
CH6	×	○	×	ディレイパルス出力 (V 相 /VB 相)
CH7	×	○	×	
CH8	×	×	○	ディレイパルス出力 (W 相 /WB 相)
CH9	×	×	○	
CH10	○	×	×	U 相出力 (TOUT10)
CH11	○	×	×	UB 相出力 (TOUT11)
CH12	×	○	×	V 相出力 (TOUT12)
CH13	×	○	×	VB 相出力 (TOUT13)
CH14	×	×	○	W 相出力 (TOUT14)
CH15	×	×	○	WB 相出力 (TOUT15)

備考 ○ = 使用、× = 未使用

(2) 構成

TAUDn のディレイパルス出力機能 / 1 相 PWM 出力機能と PIC1A を組み合わせることで、デッドタイム付きディレイパルス出力機能を実現します。デッドタイム付きディレイパルス出力機能のブロック図を以下に示します。

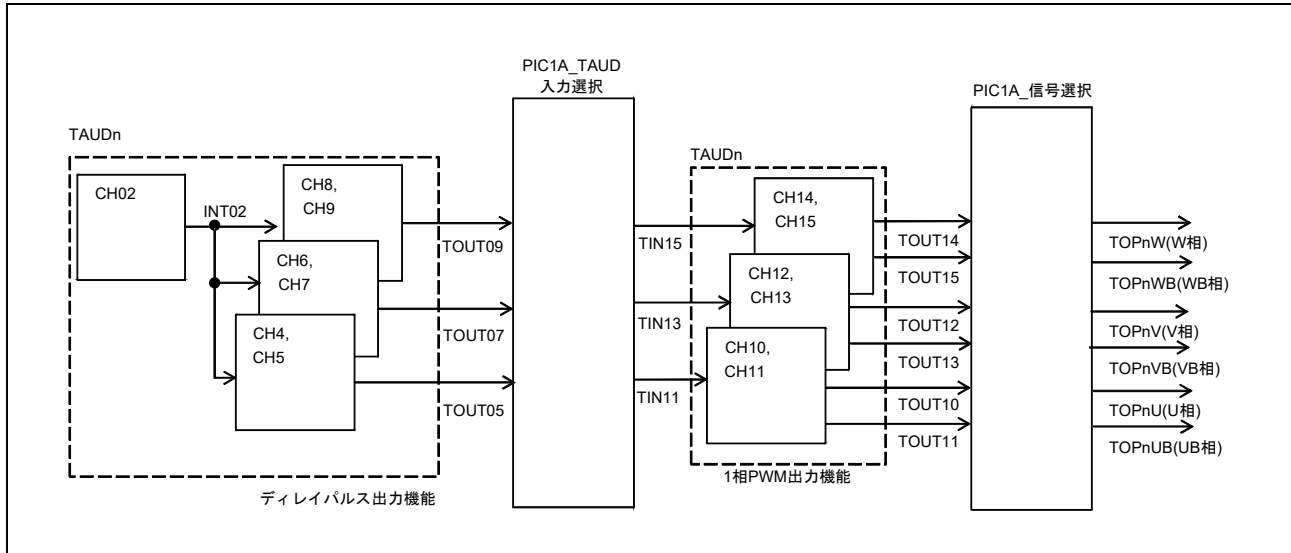


図 29.16 デッドタイム付きディレイパルス出力機能 ブロック図

U 相 / UB 相の PWM 出力を例に構成を説明します。

- [TAUDn] ディレイパルス出力機能
TAUDn の CH02、CH04、CH05 を使用します。CDR02 に周期、CDR04 にディレイ、CDR05 にパルス幅を設定し、TOUT05(ディレイパルス出力) を生成します。
- [PIC1A_TAUD 入力選択]
TOUT05 を選択して、TIN11 に出力します。
- [TAUDn] 1 相 PWM 出力機能
TAUDn の CH10、CH11 を使用します。CDR11 にデッドタイム値を設定することで TIN11 に入力される PWM 信号にデッドタイムを付加し、TOUT10(U 相 PWM 信号)、TOUT11(UB 相 PWM 信号) を出力します。
- [PIC1A_信号選択]
TOUT10,11 入力を選択して、TOPnU,UB 端子に出力します。

V 相 / VB 相、W 相 / WB 相は、上記 U 相 / UB 相と同様と同様の構成です。

(3) レジスタ

下図に PIC1A 内のブロック図を示します。

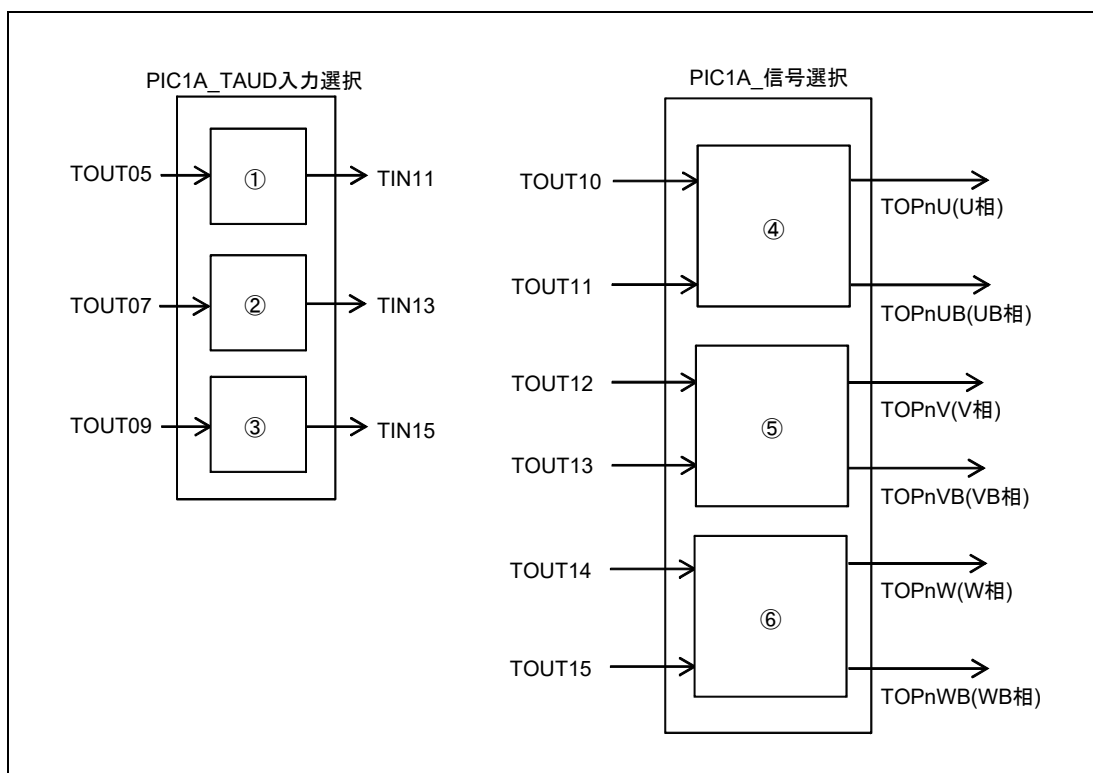


図 29.17 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

U 相 / UB 相

TOUT05 を TIN11 として出力するための設定値 (図 29.16 ①)

$$\text{PIC1AREG2n2}[19:18] = 10_{\text{B}}$$

$$\text{PIC1AREG2n2}[2] = 0_{\text{B}}$$

$$\text{PIC1ATAUDnSEL}[23:22] = 00_{\text{B}}$$

出力 TOUT10,11 を TOPnU,UB として出力するための設定値 (図 29.16 ④)

$$\text{PIC1AREG2n1}[19:16] = 0000_{\text{B}}$$

$$\text{PIC1AREG2n3}[2:0] = 000_{\text{B}}$$

$$\text{PIC1AREG2n3}[6:4] = 000_{\text{B}}$$

V相 /VB相

TOUT07 を TIN13 として出力するための設定値 (図 29.16 ②)

$$\text{PIC1AREG2n2}[23:22] = 10_{\text{B}}$$
$$\text{PIC1AREG2n2}[3] = 0_{\text{B}}$$
$$\text{PIC1ATAUDnSEL}[27:26] = 00_{\text{B}}$$

出力 TOUT12,13 を TOPnV,VB として出力するための設定値 (図 29.16 ④)

$$\text{PIC1AREG2n1}[23:20] = 0000_{\text{B}}$$
$$\text{PIC1AREG2n3}[10:8] = 000_{\text{B}}$$
$$\text{PIC1AREG2n3}[14:12] = 000_{\text{B}}$$
W相 /WB相

TOUT09 を TIN15 として出力するための設定値 (図 29.16 ③)

$$\text{PIC1AREG2n2}[27:26] = 10_{\text{B}}$$
$$\text{PIC1AREG2n2}[4] = 0_{\text{B}}$$
$$\text{PIC1ATAUDnSEL}[31:30] = 00_{\text{B}}$$

出力 TOUT14,15 を TOPnW,WB として出力するための設定値 (図 29.16 ④)

$$\text{PIC1AREG2n1}[27:24] = 0000_{\text{B}}$$
$$\text{PIC1AREG2n3}[18:16] = 000_{\text{B}}$$
$$\text{PIC1AREG2n3}[22:20] = 000_{\text{B}}$$
(4) 機能

本機能の詳細を、デッドタイム付きディレイパルス出力 (U相 /UB相) を例に説明します。

下図にタイミング図を示します。

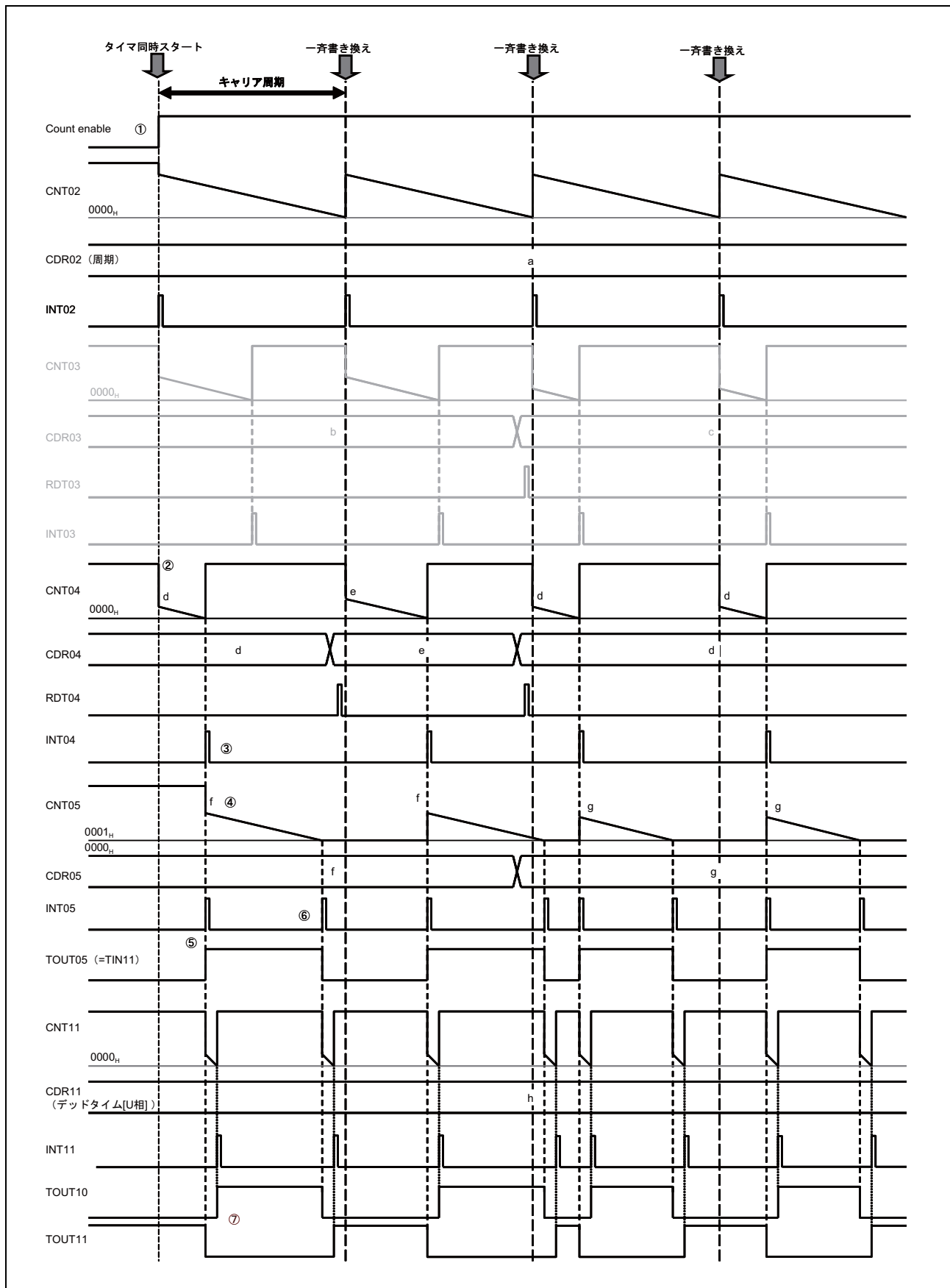


図 29.18 デッドタイム付きディレイパルス出力 (U 相 /UB 相)

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) CH04 は CH02 のアンダーフローにより、CNT04 へ設定値のリロードが行われます。
- (3) CH04 のアンダーフローにより、INT04 が発生します。
- (4) INT04 の発生により、CNT05 へ設定値のリロードが行われ、CH05 が動作開始します。
- (5) CH05 の動作開始により INT05 が発生し、TOUT05 がアクティブレベルになります。
- (6) CH05 のアンダーフローにより、INT05 が発生し、TOUT05 はインアクティブレベルになります。この TOUT05 を TIN11 へ出力します。
- (7) TIN11 のエッジ検出により、デッドタイムを付加した TOUT10(U相 PWM 信号)、TOUT11(UB 相 PWM 信号) を生成し、TOPnU, TOPnB へ出力します。

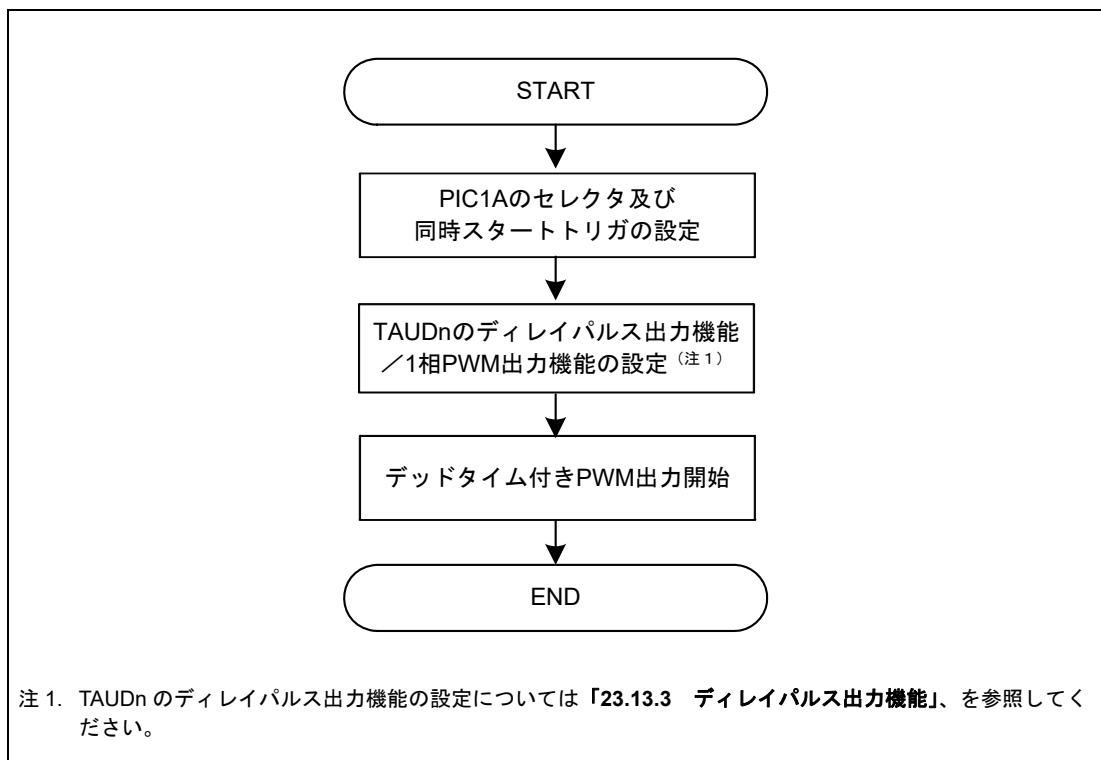
同様の手順にて、V 相 /VB 相及び、W 相 /WB 相を生成します。

注 意

周期を超えるディレイ値の設定は行わないでください。
TAUDn の各カウントクロック信号は、同じクロックを選択してください。

(5) フローチャート

本機能のフローチャートを以下に示します。



29.2.3.5 トリガパルス間隔測定機能

(1) 概要

ENCAn から出力される割り込みトリガ信号を TAUJ0,TAUDn に入力し、トリガパルス間隔を測定する機能です。

ENCAn 割り込みトリガ信号は以下の組み合わせにて測定可能です。

測定タイマ	チャンネル	測定対象
TAUJ0	CH0	ENCAT0IEC
	CH1	ENCAT0IEC
	CH2	ENCAT1IEC
	CH3	ENCAT1IEC
TAUD0	CH0	ENCAT0EQ0 or ENCAT0EQ1
	CH1	ENCAT0EQ1
	CH2	ENCAT0EQ0
TAUD1	CH0	ENCAT0EQ0 or ENCAT0EQ1
	CH1	ENCAT0EQ1
	CH2	ENCAT0EQ0

(2) 構成

TAUJ0、TAUDn の TINm 入力パルス間隔測定機能と PIC1A を組み合わせることで、トリガパルス間隔測定機能を実現します。トリガパルス間隔測定機能のブロック図を以下に示します。

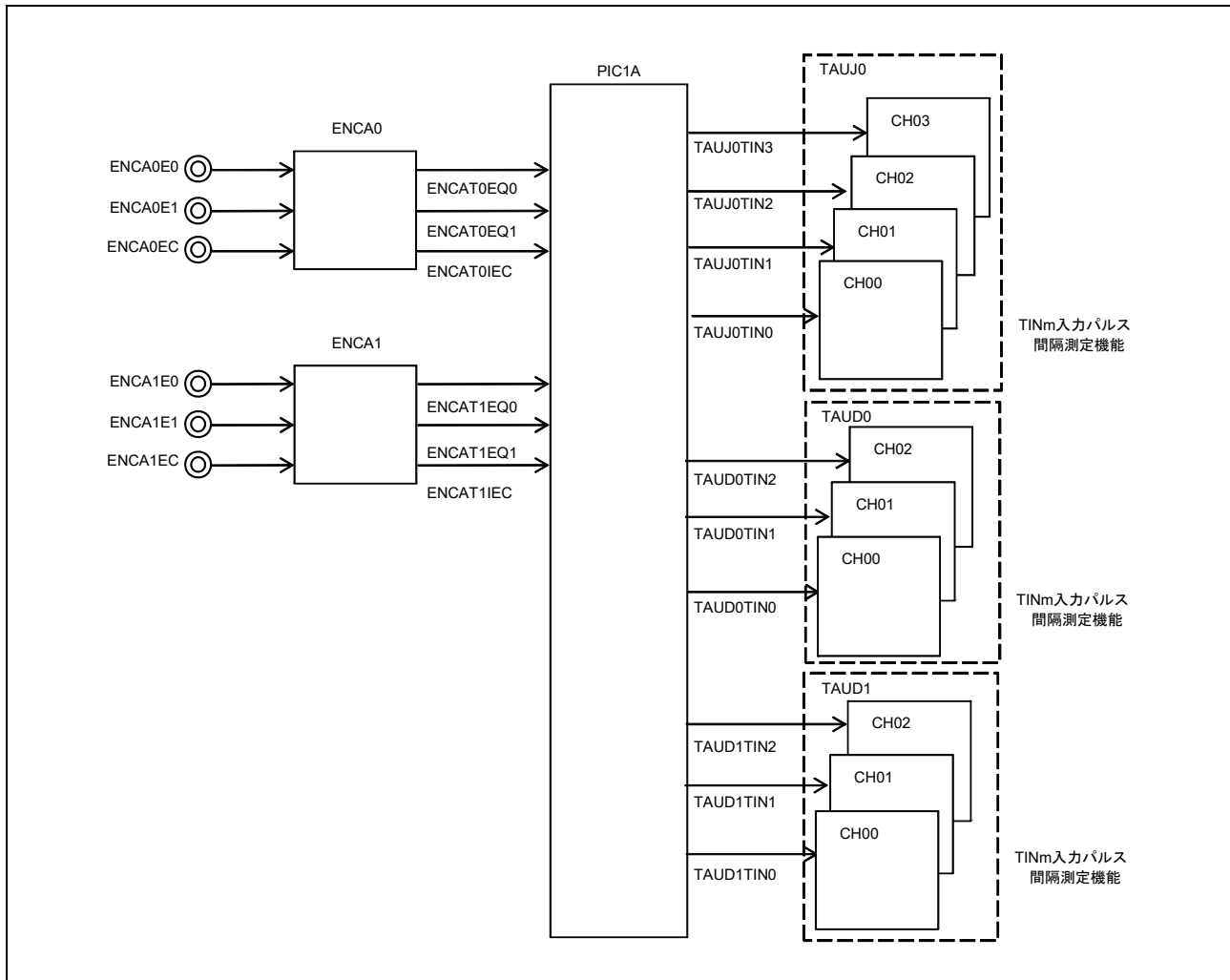


図 29.19 トリガパルス間隔測定機能 ブロック図

TAUJ0 CH0 を使用した場合を例に構成を説明します。

- [ENCA0]
ENCA0EC 端子入力により、ENCA0 のタイマカウント値がクリアされる毎に ENCAT0IEC 割り込みトリガ信号を生成します。
- [PIC1A] ラッチ & トグル出力 (DT) 回路
DT にて ENCA0IEC 割り込みトリガ信号を選択、レベル変化のトグル信号に変換し、TAUJ0TIN0 に出力します。
- [TAUJ0] TINm 入力パルス間隔測定機能
TAUJ0 の CH0 を使用します。入力信号がトグルする毎に TAUJ0CNT0 をキャプチャし、カウンタをクリアした後、再カウントします。

TAUD0、TAUD1 を用いたトリガパルス間隔測定は、上記 TAUJ0 CH0 使用時と同様の構成です。

(3) レジスタ

下図に PIC1A のブロック図を示します。

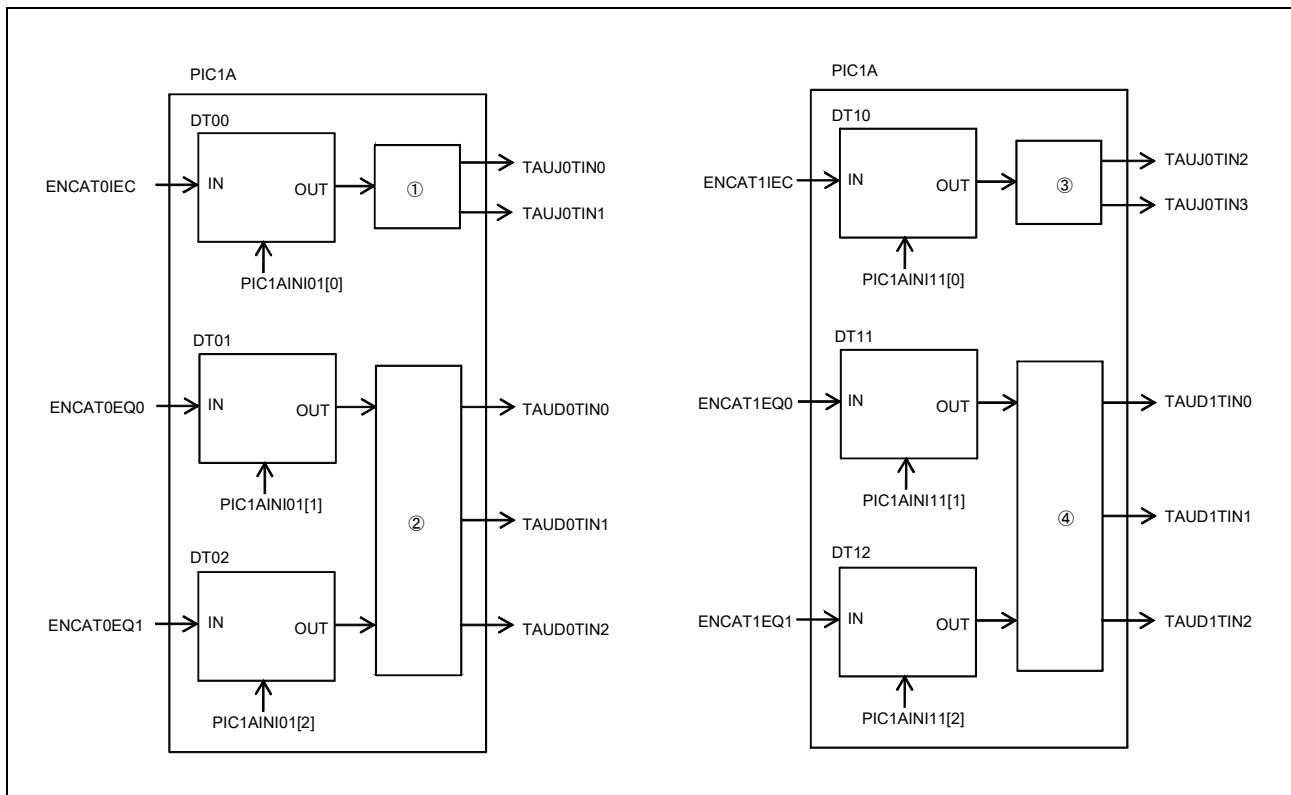


図 29.20 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

ENCA0

- ENCAT0EC トリガパルス間隔測定
ENCAT0EC トリガパルス間隔測定を行うタイマを選択する設定値 (図 29.20 ①)

レジスタ設定		TAUJ0.TIN00	TAUJ0.TIN01
PIC1AREG31			
1	0		
0	0	選択なし	
0	1	ENCAT0IEC	—
1	0	—	ENCAT0IEC
1	1	ENCAT0IEC	ENCAT0IEC

備考 PIC1AREG30[22,17:16] にはリセット後の値 "0" を設定してください。

- **ENCAT0EQ0,ENCAT0EQ1** トリガパルス間隔測定
ENCAT0EQ0,ENCAT0EQ1 トリガパルス間隔測定を行うタイマを選択する設定値 (図 29.20 ②)

レジスタ設定								TAUD0.TIN00	TAUD0.TIN01	TAUD0.TIN02
PIC1AREG31										
13	12	11	10	9	8	7	6			
0	0	0	0	0	0	0	0	選択なし		
0	0	1	1	0	0	0	1	ENCAT0EQ0	ENCAT0EQ1	—
0	1	0	0	0	0	0	1	ENCAT0EQ1	—	ENCAT0EQ0
0	1	1	0	0	0	0	1	ENCAT0EQ1	ENCAT0EQ1	ENCAT0EQ0
0	1	1	1	0	0	0	1	ENCAT0EQ0	ENCAT0EQ1	ENCAT0EQ0

備考 上記以外の設定は、本機能では設定しないでください。
また、PIC1ATAUD0SEL[5:0]、PIC1AREG30[22,17:16,1:0] にはリセット後の値“0”を設定してください。

- DT02-00 回路の初期化
DT02-00 回路を初期化するための設定値
PIC1AINI01 [2:0] = 111_B (初期化)

ENCA1

ENCAT1EC トリガパルス間隔測定
ENCAT1EC トリガパルス間隔測定を行うタイマを選択する設定値 (図 29.20 ③)

レジスタ設定				TAUJ0.TIN02	TAUJ0.TIN03
PIC1AREG31					
4		3			
0		0		選択なし	
0		1		ENCAT1IEC	—
1		0		—	ENCAT1IEC
1		1		ENCAT1IEC	ENCAT1IEC

備考 PIC1AREG30[20:19,11:10] にはリセット後の値“0”を設定してください。

- **ENCAT1EQ0,ENCAT1EQ1** トリガパルス間隔測定
ENCAT1EQ0,ENCAT1EQ1 トリガパルス間隔測定を行うタイマを選択する設定値 (図 29.20 ④)

レジスタ設定								TAUD1.TIN00	TAUD1.TIN01	TAUD1.TIN02
PIC1AREG31										
22	21	20	19	18	17	16	15			
0	0	0	0	0	0	0	0	選択なし		
0	0	1	1	0	0	0	1	ENCAT1EQ0	ENCAT1EQ1	—
0	1	0	0	0	0	0	1	ENCAT1EQ1	—	ENCAT1EQ0
0	1	1	0	0	0	0	1	ENCAT1EQ1	ENCAT1EQ1	ENCAT1EQ0
0	1	1	1	0	0	0	1	ENCAT1EQ0	ENCAT1EQ1	ENCAT1EQ0

備考 上記以外の設定は、本機能では設定しないでください。
また、PIC1ATAUD1SEL[5:0]、PIC1AREG30[20:19,9:6] にはリセット後の値“0”を設定してください。

- DT12-10 回路の初期化
DT12-10 回路を初期化するための設定値

PIC1AINI11 [2:0] = 111_B (初期化)

(4) 機能

本機能の詳細を説明します。

下図にタイミング図を示します。

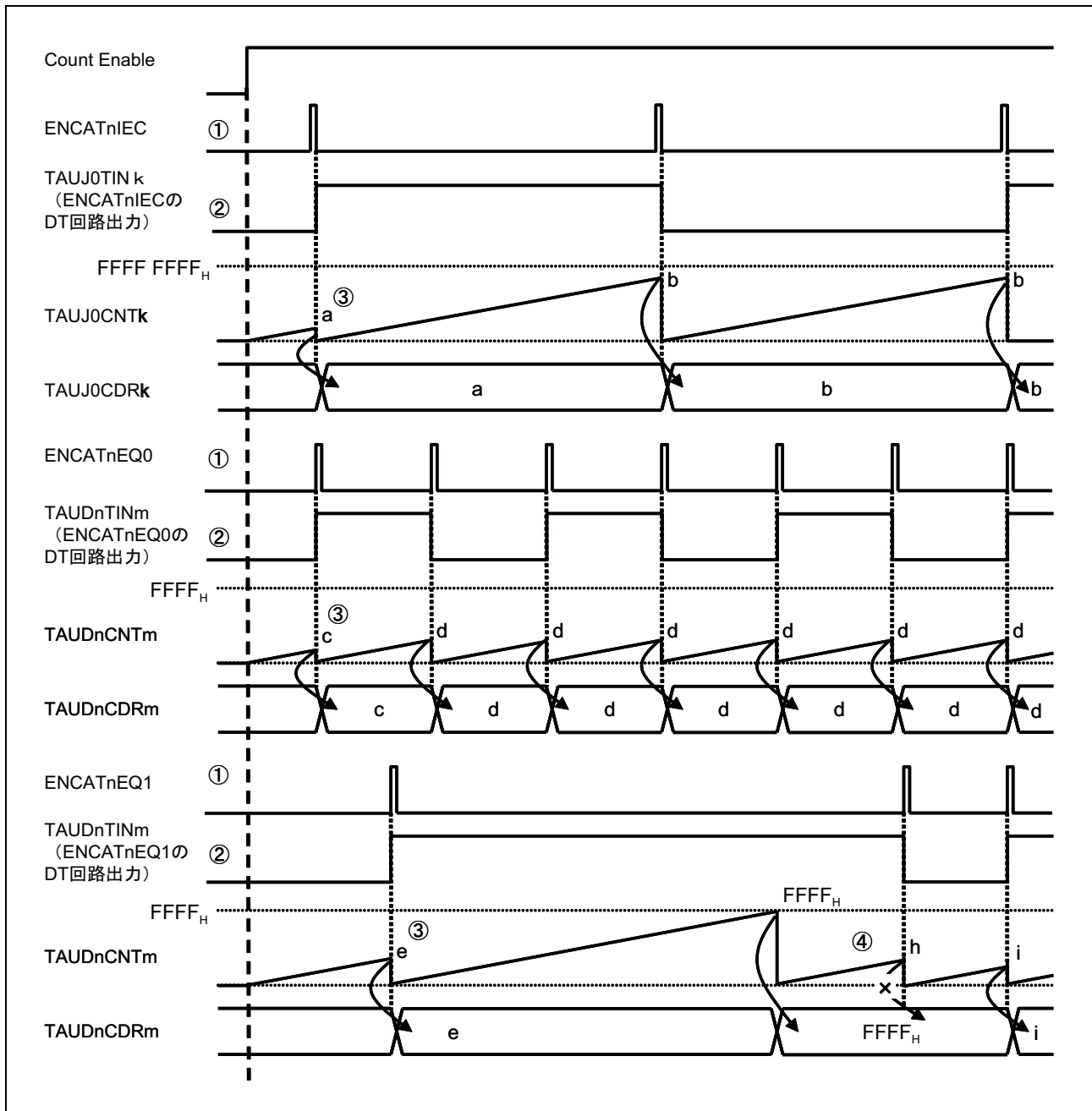


図 29.21 トリガパルス間隔測定機能

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) ENCA_n から出力された割り込みトリガ信号は、DT でレベル変化のトグル信号に変換され、TAUJ₀, TAUD_n の TIN_m へ出力します。
- (3) TIN_m のトグルタイミングで CNT_m 値をキャプチャします。同時にカウンタをクリアします。
- (4) オーバフロー発生時はカウント最大値 (TAUD_n は FFFF_H、TAUJ₀ は FFFF FFFF_H) をキャプチャし、同時にカウンタをクリアします。この時、オーバフロー直後のトリガでは CNT_m 値をキャプチャしません。(TAUD_nCMOR_m.TAUD_nCOS[1] = 1_B 設定時)

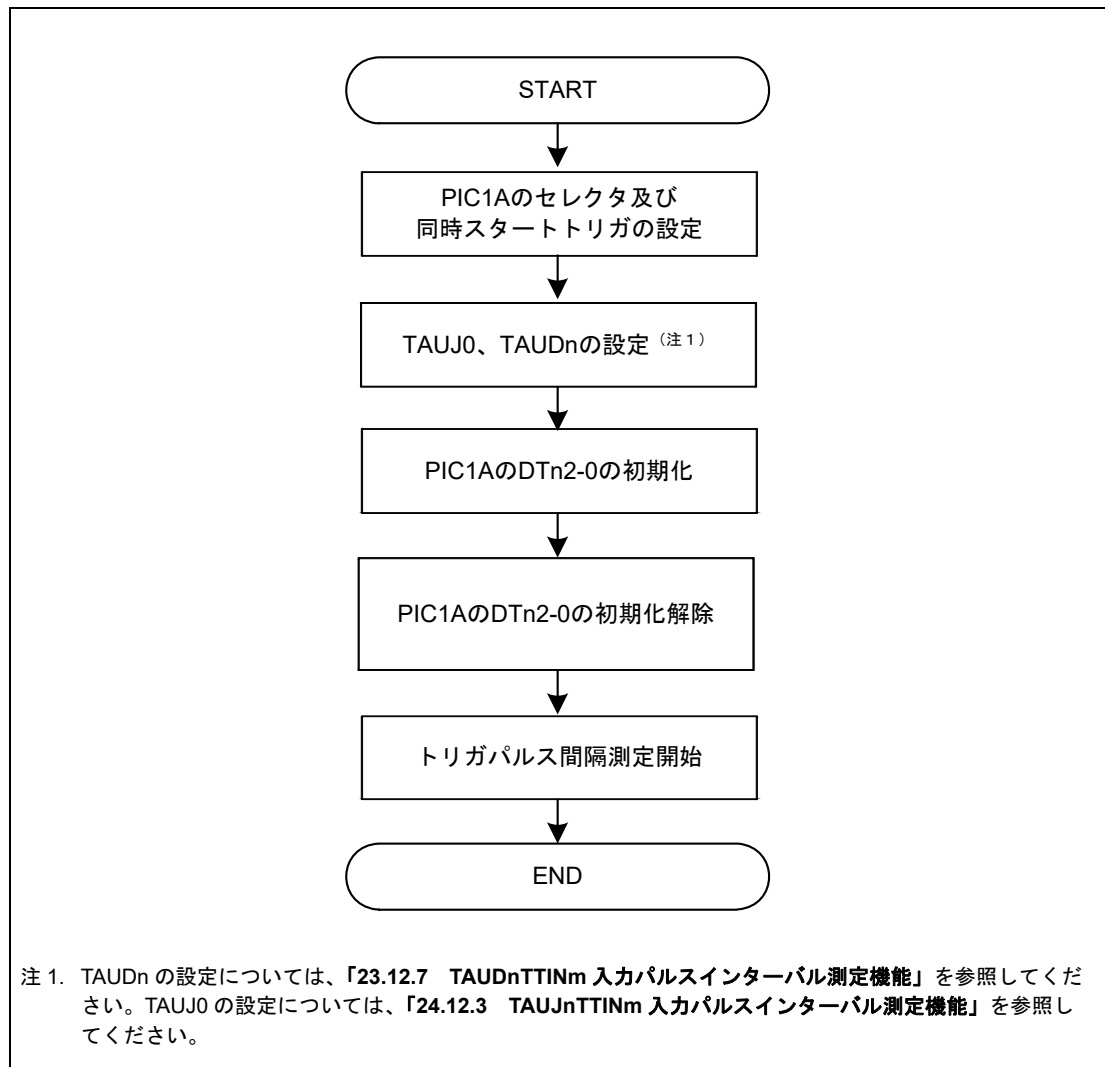
注 意

オーバフロー時の動作については、TAUJ,TAUD の設定により異なります。TAUJ の設定の詳細は「24.12.3 TAUJ_nTTIN_m 入力パルスインターバル測定機能」、TAUD の設定の詳細は「23.12.7 TAUD_nTTIN_m 入力パルスインターバル測定機能」を参照してください。本機能では、TAUJ₀, TAUD_n の TIN_m で検出する有効エッジを両エッジ (立ち上り, 立ち下り) に設定してください。

(5) フローチャート

本機能のフローチャートを以下に示します。

以下のフローは、ENCA_n が動作中または同時スタートトリガ待ちのどちらの状態でも設定可能です。



本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = xx00 0000 x00x xxxx_B

ENCA_nIOC0[7:0] = 0000 0000_B

ENCA_nIOC1[7:0] = (任意)

x は任意設定。レジスタ仕様については、「第 28 章 エンコーダタイマ (ENCA)」を参照。

29.2.3.6 エンコーダキャプチャトリガ選択機能

(1) 概要

ENCA_n のキャプチャトリガ信号として、ADCD_nTRG_m(ADCD_n 変換開始トリガ信号 m)、TAUD_nTINT_m (TAUD_n-CH_m 割込み信号)、ENCA_nI1 (ENCA_n 外部端子入力 1 信号) のいずれかを選択する機能です。

(2) 構成

ADCD_nTRG_m(ADCD_n 変換開始トリガ信号 m)、TAUD_nTINT_m(TAUD_n CH_m 割り込み信号)、ENCA_nI1(ENCA_n 外部端子入力 1 信号) と PIC1A を組み合わせることで、エンコーダキャプチャトリガ選択機能を実現します。エンコーダキャプチャトリガ選択機能のブロック図を以下に示します。

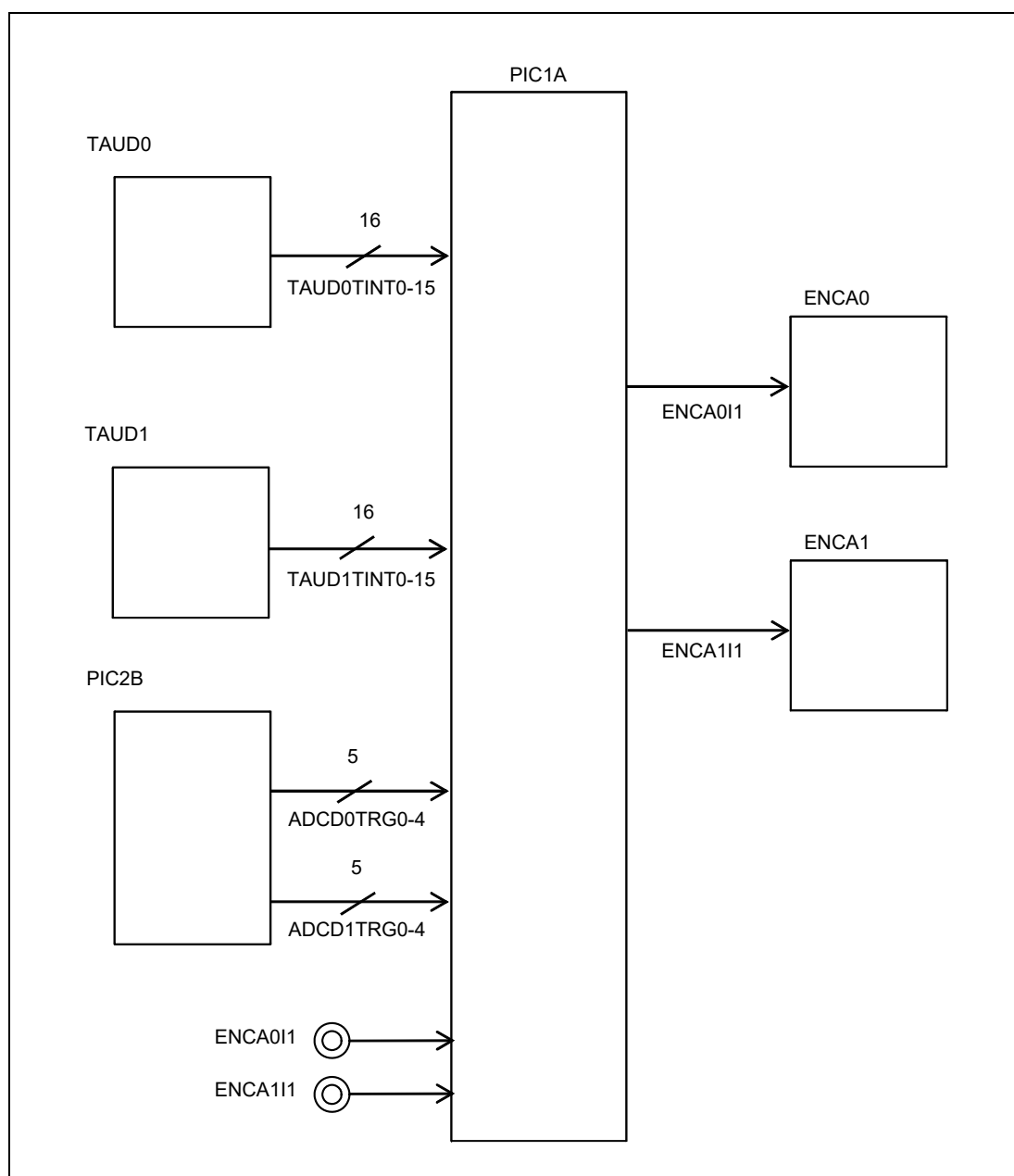


図 29.22 エンコーダキャプチャトリガ選択機能ブロック図

TAUD0 CH0 を ENCA0 のキャプチャトリガ入力に選択した場合を例に説明します。

$PIC1AENCSEL400[7] = 1_B$

$PIC1AENCSEL400[3:0] = 0000_B$

$PIC1AREG30[18] = 1_B$

$PIC1AREG30[5:2] = 0000_B$

(3) レジスタ

下図に PIC1A のブロック図を示します。

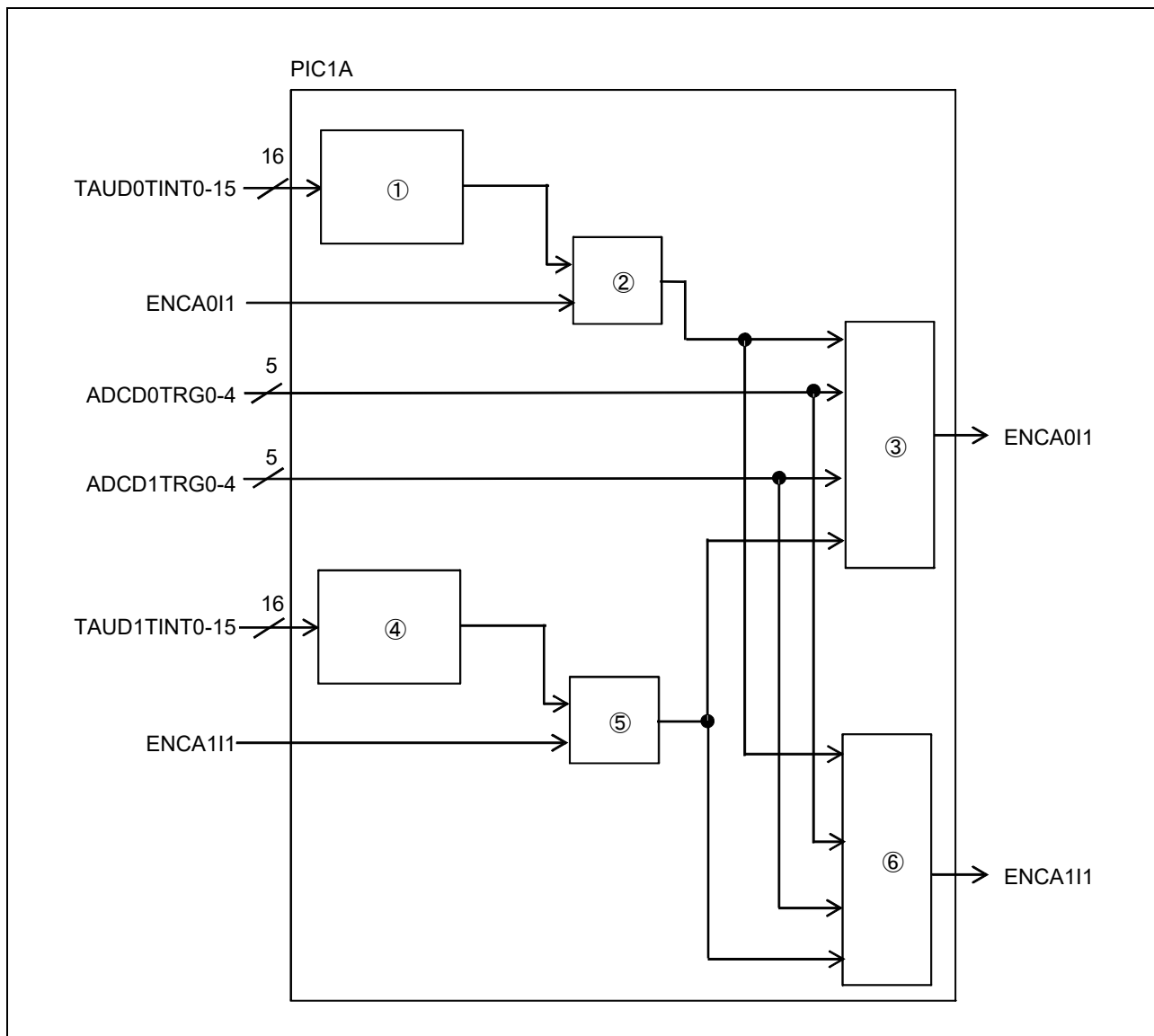


図 29.23 PIC1A ブロック図

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

ENCA0

① TAUD0TINT_m 選択

TAUD0TINT_m を選択する設定値。TAUD0TINT_m を選択する場合は、PIC1AENCSEL400[7] に 1 を設定してください

レジスタ設定					①出力
PIC1AENCSEL400					
7	3	2	1	0	
1	0	0	0	0	INTTAUD010
1	0	0	0	1	INTTAUD011
1	0	0	1	0	INTTAUD012
1	0	0	1	1	INTTAUD013
1	0	1	0	0	INTTAUD014
1	0	1	0	1	INTTAUD015
1	0	1	1	0	INTTAUD016
1	0	1	1	1	INTTAUD017
1	1	0	0	0	INTTAUD018
1	1	0	0	1	INTTAUD019
1	1	0	1	0	INTTAUD0110
1	1	0	1	1	INTTAUD0111
1	1	1	0	0	INTTAUD0112
1	1	1	0	1	INTTAUD0113
1	1	1	1	0	INTTAUD0114
1	1	1	1	1	INTTAUD0115

② TAUD0TINT_m、ENCA0I1 端子選択

①出力と ENCA0I1 のいずれかを選択する設定値

レジスタ設定	②出力
PIC1AREG30	
18	
1	①出力
0	ENCA0I1

③ ENCA0I1 選択

②出力、⑤出力、ADCD0TRG0-4、ADCD1TRG0-4 のいずれかを選択する設定値

レジスタ設定				ENCA0I1
PIC1AREG30				
5	4	3	2	
0	0	0	0	②出力
0	0	0	1	⑤出力
0	0	1	0	ADCD0TRG4
0	0	1	1	ADCD0TRG3
0	1	0	0	ADCD0TRG2
0	1	0	1	ADCD0TRG1
0	1	1	0	ADCD0TRG0
0	1	1	1	ADCD1TRG4
1	0	0	0	ADCD1TRG3
1	0	0	1	ADCD1TRG2
1	0	1	0	ADCD1TRG1
1	0	1	1	ADCD1TRG0

備考 上記以外の設定は、本機能では設定しないでください。

ENCA1

④ TAUD1TINTm 選択

TAUD1TINTm を選択する設定値。TAUD1TINTm を選択する場合は、PIC1AENCSEL410[7] に 1 を設定してください。

レジスタ設定					④出力
PIC1AENCSEL410					
7	3	2	1	0	
1	0	0	0	0	INTTAUD110
1	0	0	0	1	INTTAUD111
1	0	0	1	0	INTTAUD112
1	0	0	1	1	INTTAUD113
1	0	1	0	0	INTTAUD114
1	0	1	0	1	INTTAUD115
1	0	1	1	0	INTTAUD116
1	0	1	1	1	INTTAUD117
1	1	0	0	0	INTTAUD118
1	1	0	0	1	INTTAUD119
1	1	0	1	0	INTTAUD1I10
1	1	0	1	1	INTTAUD1I11
1	1	1	0	0	INTTAUD1I12
1	1	1	0	1	INTTAUD1I13
1	1	1	1	0	INTTAUD1I14
1	1	1	1	1	INTTAUD1I15

⑤ TAUD1TINTm、ENCA1I1 端子選択

④出力と ENCA1I1 のいずれかを選択する設定値

レジスタ設定		⑤出力
PIC1AREG30		
21		
1		④出力
0		ENCA1I1

⑥ ENCA1I1 選択

②出力、⑤出力、ADCD0TRG0-4、ADCD1TRG0-4 のいずれかを選択する設定値

レジスタ設定				ENCA1I1
PIC1AREG30				
15	14	13	12	
0	0	0	0	⑤出力
0	0	0	1	②出力
0	0	1	0	ADCD0TRG4
0	0	1	1	ADCD0TRG3
0	1	0	0	ADCD0TRG2
0	1	0	1	ADCD0TRG1
0	1	1	0	ADCD0TRG0
0	1	1	1	ADCD1TRG4
1	0	0	0	ADCD1TRG3
1	0	0	1	ADCD1TRG2
1	0	1	0	ADCD1TRG1
1	0	1	1	ADCD1TRG0

備考 上記以外の設定は、本機能では設定しないでください。

(4) 機能

本機能の詳細を、TAUDnTINTm をキャプチャトリガ信号として選択した場合を例として説明します。

下図にタイミング図を示します。

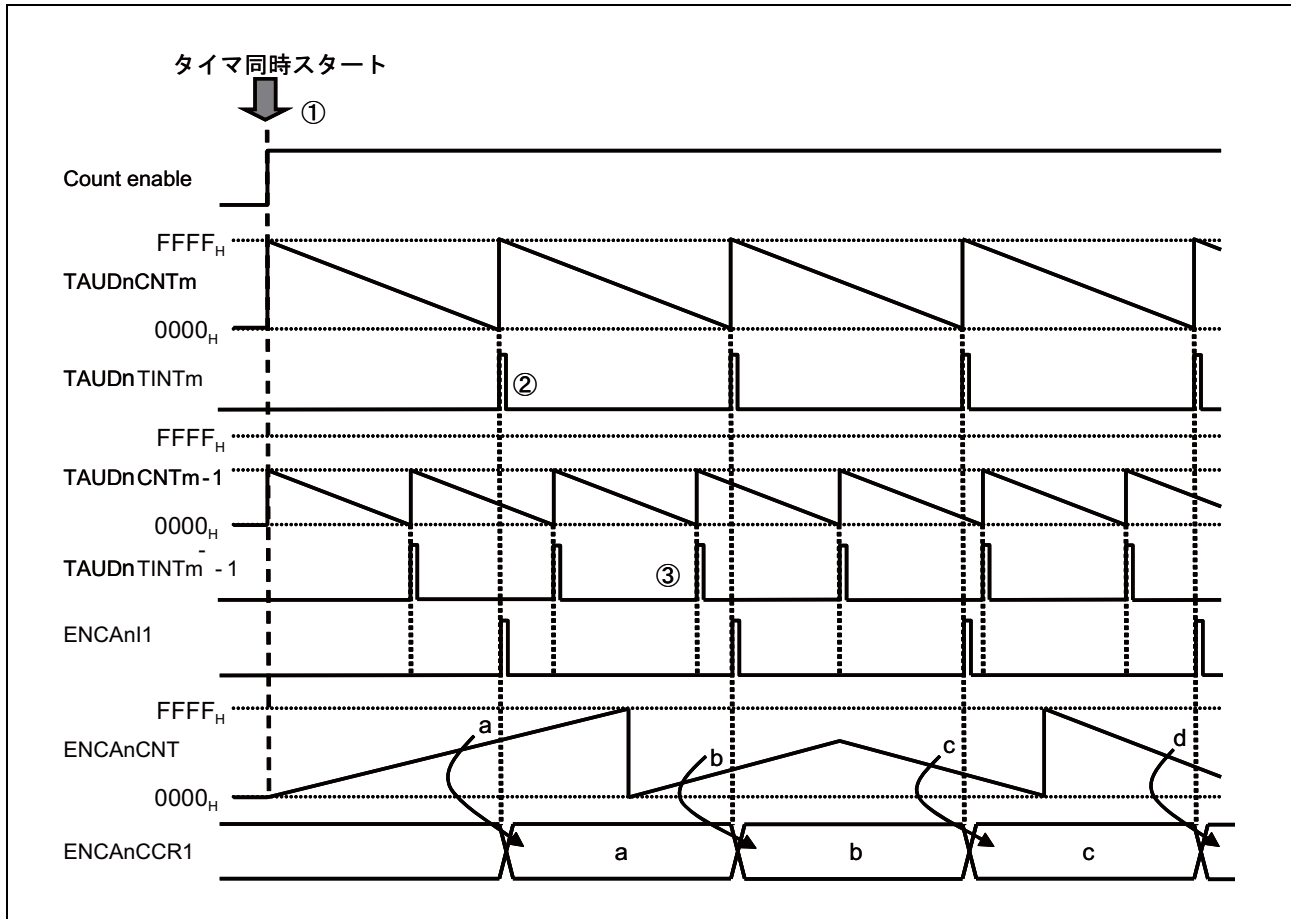


図 29.24 エンコーダキャプチャトリガ選択 (TAUDnTINTm)

- (1) 同時スタートトリガ機能により、使用するタイマを同時スタートします。
- (2) TAUDnTINTm の有効エッジ発生により、ENCAAn は ENCAAnCNT をキャプチャします。

「29.3.3.1 ADCD トリガ選択機能」で、ENCAAn の割り込みトリガ信号 (INTENCAAnI1) を ADCDn のトリガとして選択しないでください。選択した場合、「ADCDnTRG1 発生→ENCAAn キャプチャ動作→キャプチャ実行による INTENCAAnI1 発生→ADCDnTRG1 発生」のループが成立してしまい、正常動作できなくなります。

PIC1A、PIC2B、ENCA_n のループ経路を以下に示します。

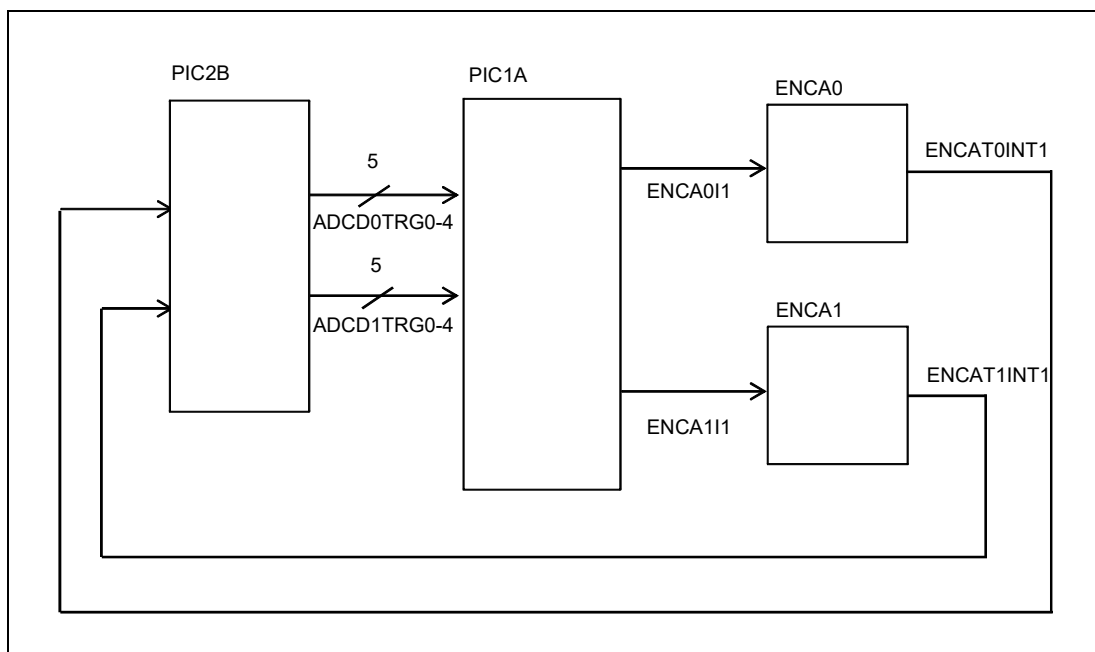


図 29.25 PIC1A、PIC2B、ENCA_n のループ経路

(5) フローチャート

エンコード開始前にエンコーダキャプチャトリガ選択を行ってください。

本機能を行う場合、ENCA_n は下記の設定を行います。

$$\text{ENCA}_n\text{CTL}[15:0] = 0000\ 001x\ 0\ 00x\ \text{xxxx}_B$$

$$\text{ENCA}_n\text{IOC0}[7:0] = 0000\ 01xx_B$$

$$\text{ENCA}_n\text{IOC1}[7:0] = (\text{任意})$$

x は任意設定。レジスタ仕様については、「第 28 章 エンコーダタイマ (ENCA)」を参照。

29.2.3.7 2相エンコーダ制御機能 (制御方式 1)

(1) 概要

2相エンコーダ制御機能 (ENCA_n) を使って、モータ制御機能 (TSG3_n) 120-DC モードの出力パターンを切り替える機能です。

(2) 構成

ENCA_n 及び TSG3_n と PIC1A を組み合わせることで、エンコーダ結果により 120-DC モードの出力パターンを切替える機能を実現します。2相エンコーダ制御機能 (制御方式 1) のブロック図を以下に示します。

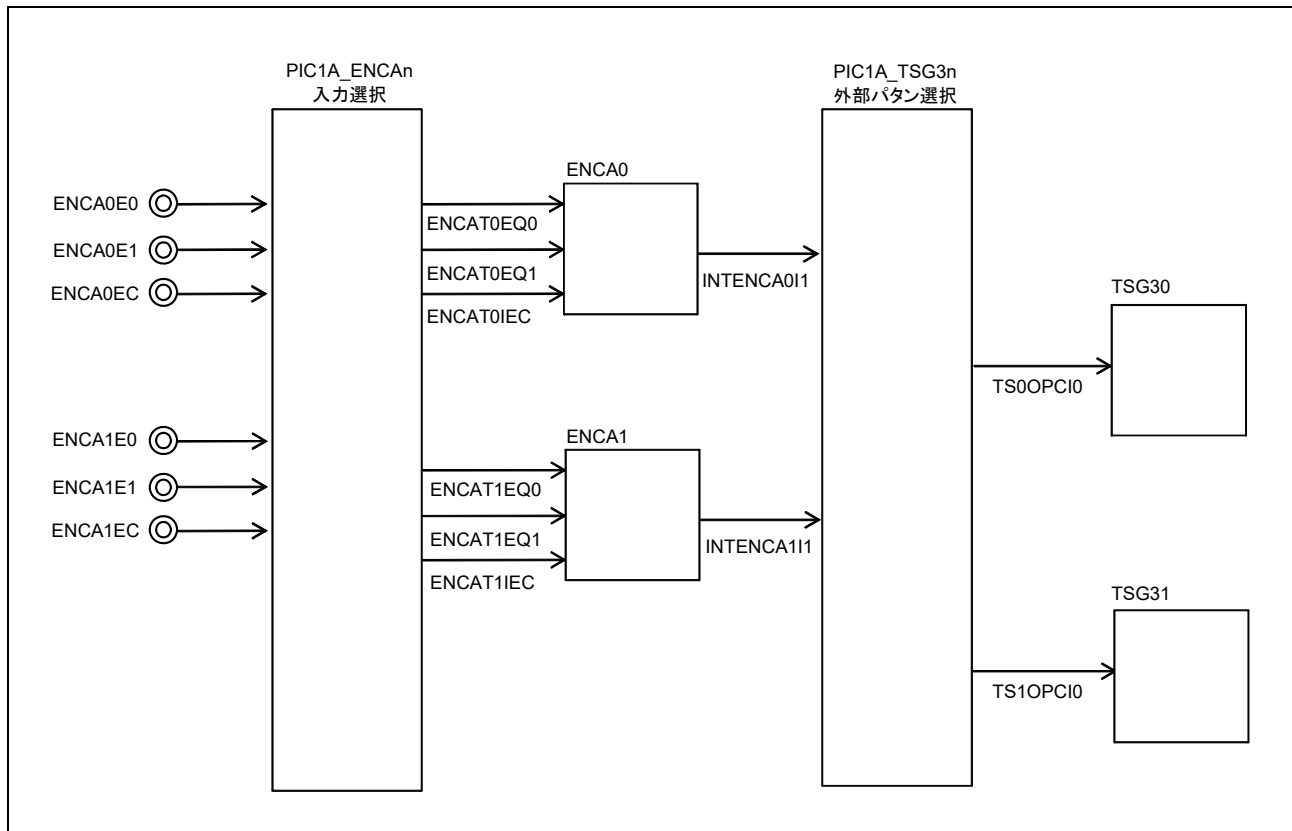


図 29.26 2相エンコーダ制御機能 (制御方式 1) ブロック図

2相エンコーダ制御機能 (制御方式 1) の構成を説明します。

- [PIC1A_ENCAn 入力選択]
ENCA_nE0, E1, EC 端子入力を選択して、ENCAT_nEQ0, EQ1, IEC に出力します。
- [ENCA_n]
2相エンコーダ処理を行い、INTENCA_nI1 を出力します。
- [PIC1A_TSG3n 外部パターン選択]
INTENCA_nI1 を選択して、TS0OPCI0 または TS1OPCI0 に出力します。
- [TSG3_n]
TSG3_nOPCI0 により、120-DC モードの出力パターンを切り替えます。

(3) レジスタ

本機能で使用する PIC1A のレジスタ設定値を以下に示します。

PIC1A_ENCA_n 入力選択

ENCA_n 端子入力 (ENCA_nE0、ENCA_nE1、ENCA_nEC) を
ENCA_{Tn}EQ0,ENCA_{Tn}EQ1,ENCA_{Tn}IEC として出力するための設定値

PIC1AREG30[22] = 0_B

PIC1AREG30[20:19] = 00_B

PIC1AREG30[17:16] = 00_B

PIC1AREG30[11:6] = 000000_B

PIC1AREG30[1:0] = 00_B

PIC1A_TSG3_n 外部パタン選択

TSG30 の外部パタン入力とする割り込み信号を選択する設定値

レジスタ設定				TS0OPCI0
PIC1AREG50				
10	8	6	5	
X	0	0	1	INTENCA011
0	X	1	0	INTENCA111

備考 上記以外の設定は、本機能では設定しないでください。

TSG31 の外部パタン入力とする割り込み信号を選択する設定値

レジスタ設定				TS1OPCI0
PIC1AREG51				
10	8	6	5	
X	0	0	1	INTENCA011
0	X	1	0	INTENCA111

備考 上記以外の設定は、本機能では設定しないでください。

(4) 機能

本機能の詳細を、アップカウント (正転) 時を例に説明します。

下図にタイミング図を示します。

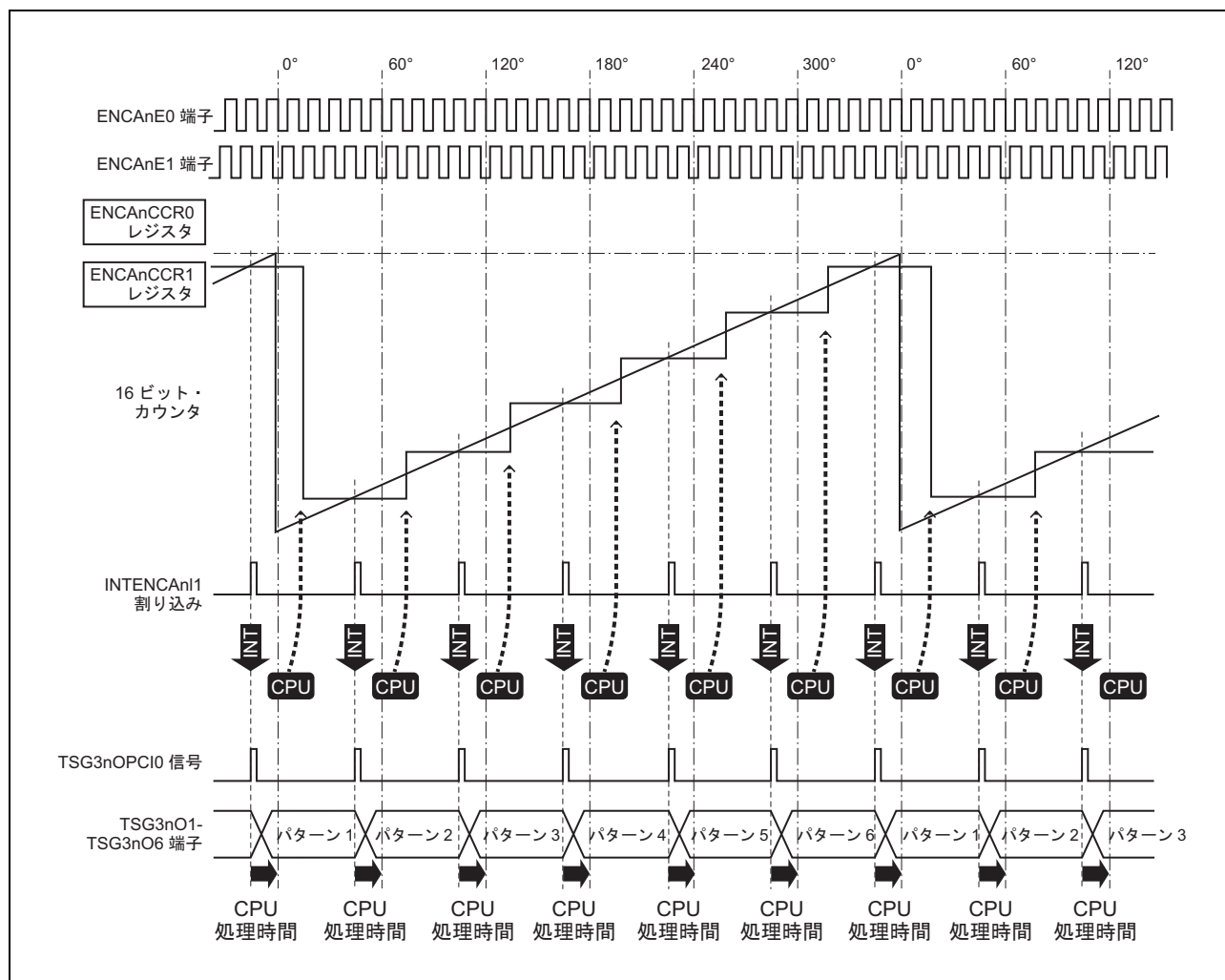


図 29.27 2相エンコーダ制御機能 (制御方式1) アップカウント (正転)

- (1) エンコーダカウント値が ENCAAnCCR1 と一致すると、INTENCAAn1 が発生し、設定したパターンを TSG3nO1-6 端子から出力します。
- (2) 割り込み処理にて CPU が次のパタン切り替えタイミングを算出し、ENCAAnCCR1 を設定します。
- (3) エンコーダカウント値が ENCAAnCCR0 と一致すると、エンコーダカウンタをクリアします。

注意

ENCAnCCR1 はパターン切り替えごと (INTENCAnI1 ごと) に設定する必要があります。エンコーダクリア入力によるクリアがないため、ENCAnCCR1 の設定値と TSG3n 初期出力パターンをあらかじめ合わせてください。パタンの正転、逆転の切り替えは、TSG3nOPT0 レジスタの TSG3nPSC ビットで設定してください。

下図に、ダウンカウント (逆転) 時のタイミング図を示します。

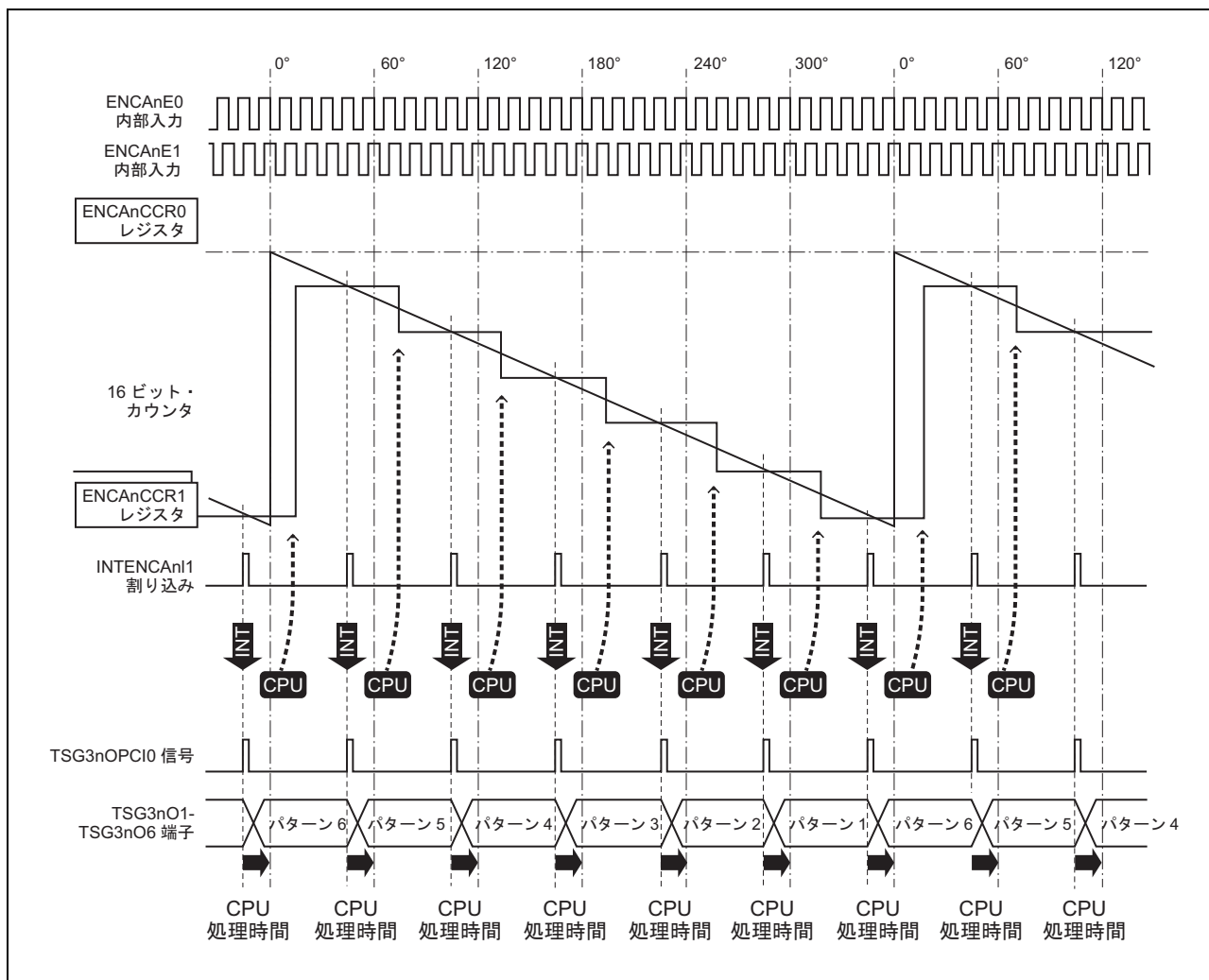
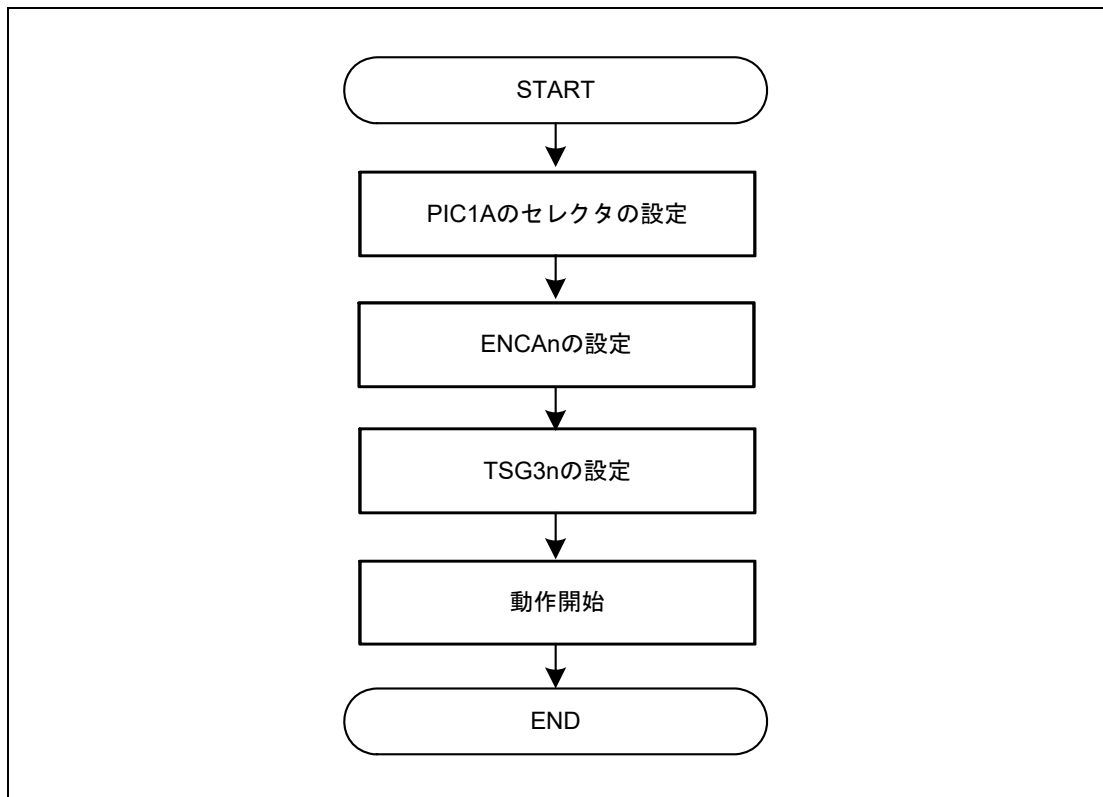


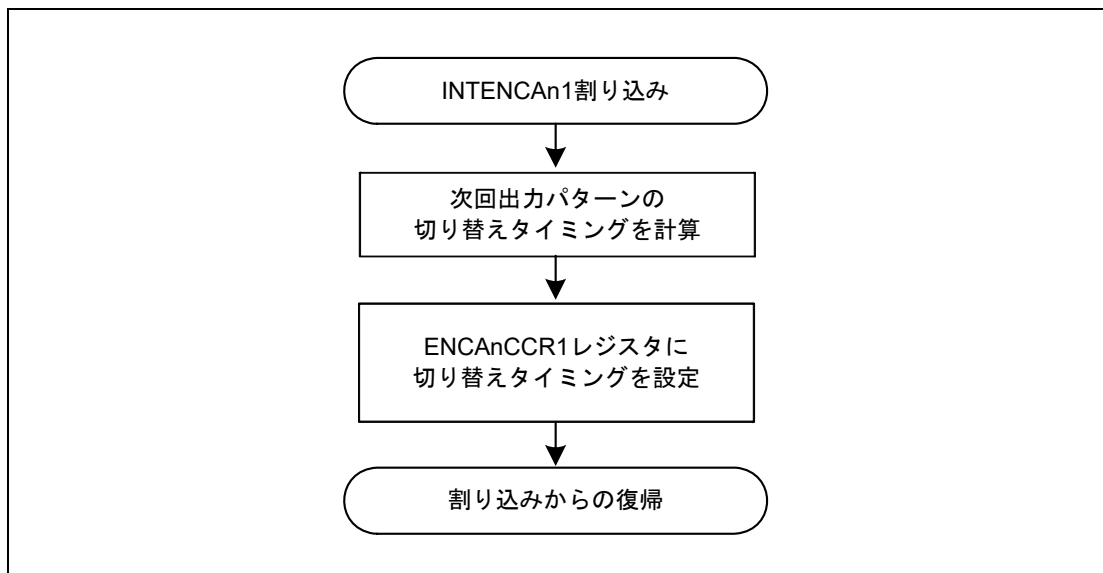
図 29.28 2相エンコーダ制御機能 (制御方式1) ダウンカウント (逆転)

(5) フローチャート

本機能のフローチャートを以下に示します。



割り込み処理後のフローチャートを以下に示します。



本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 1000 0000 000x 01xx_B

ENCA_nIOC1[7:0] = 0000 00xx_B

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、「**第28章 エンコーダタイマ (ENCA)**」を参照。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 000x 0011_B

TSG3_nCTL3[7:0] = 0000 00xx_B

TSG3_nCTL4[15:0] = 0000 0001 xxx0 0000_B

TSG3_nIOC0[7:0] = 0111 1110_B

TSG3_nIOC2[15:0] = 0xxx xxx0 0000 0000_B

TSG3_nOPT0[7:0] = 0011 1xx0_B

TSG3_nOPT1[7:0] = 0000 0xxx_B

TSG3_nCMP0 = (任意)

TSG3_nCMP1W,5W,9W = (任意)

TSG3_nCMP1,5,9 = (任意)

TSG3_nPAT0W,1W = (任意)

TSG3_nDTC0W,1W = (任意)

x は任意設定。レジスタ仕様については、「**第25章 モータコントロールタイマ (TSG3)**」を参照。

29.2.3.8 2相エンコーダ制御機能 (制御方式2)

(1) 概要

2相エンコーダ制御機能 (ENCAn) を使って、モータ制御機能 (TSG3n) の 120-DC モードの出力パターンを進み/遅れ制御により切り替える機能です。

(2) 構成

構成については、「29.2.3.7 2相エンコーダ制御機能 (制御方式1)」と同一です。

「29.2.3.7 2相エンコーダ制御機能 (制御方式1)」の「(2) 構成」を参照してください。

(3) レジスタ

レジスタについては、「29.2.3.7 2相エンコーダ制御機能 (制御方式1)」と同一です。

「29.2.3.7 2相エンコーダ制御機能 (制御方式1)」の「(3) レジスタ」を参照してください。

(4) 機能

本機能の詳細を、「29.2.3.8 2相エンコーダ制御機能 (制御方式2)」進み時 (正転) を例に説明します。

下図にタイミング図を示します。

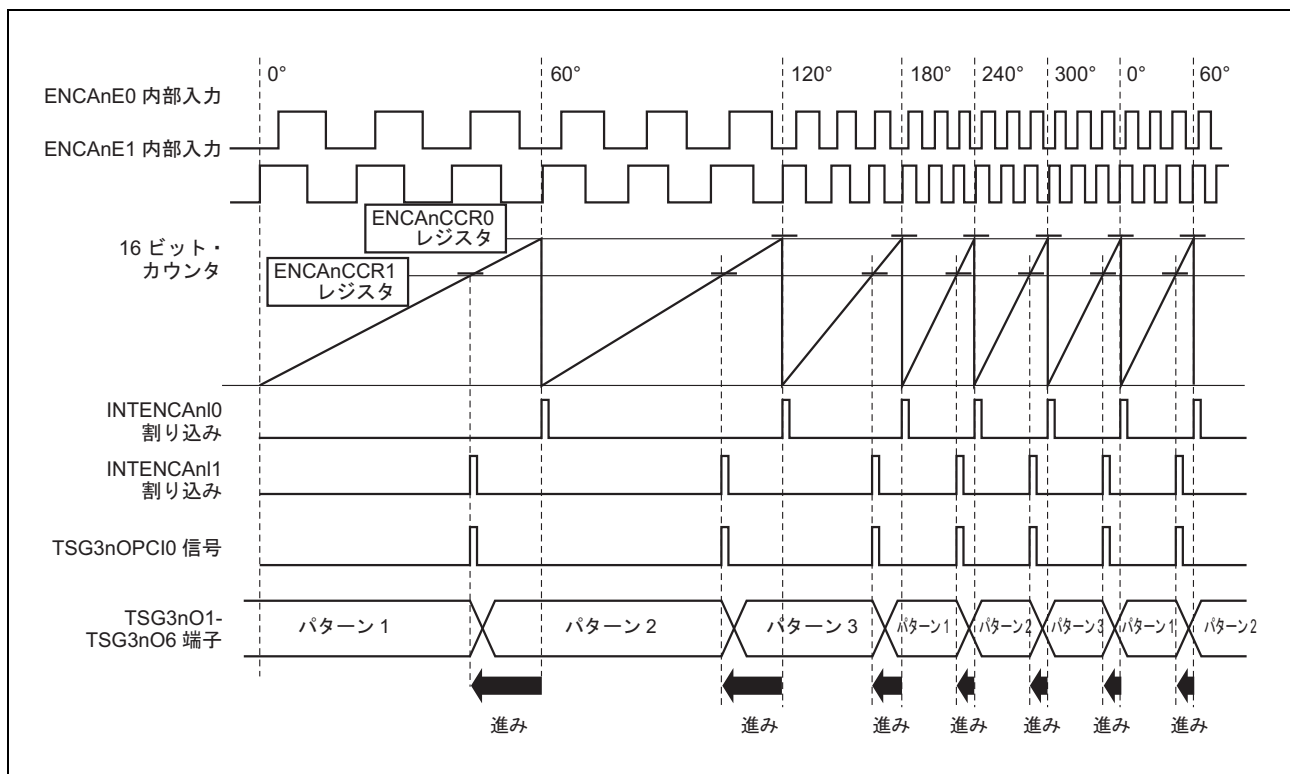


図 29.29 2相エンコーダ制御機能 (制御方式2) 進み時 (正転)

- (1) エンコーダカウント値が、ENCAnCCR1(TSG3n の出力パタンの切り替え位置に相当) と一致すると、INTENCAAnI1 が発生し、設定したパターンを TSG3nO1-6 端子から出力します。
- (2) エンコーダカウント値が、ENCAnCCR0(切り替え位置の位相 (進み、遅れ) に相当) と一致すると、INTENCAAnI0 が発生し、エンコーダカウンタをクリアします。

注 意

ENCAnCCR1 の値を変更する場合は、INTENCAnI1 割り込みで値を書き換えます。
 エンコーダクリア入力によるクリアがないため、ENCAnCCR0 の設定値と TSG3n の初期出力パターンをあらかじめ合わせてください。
 パタンの正転、逆転の切り替えは、TSG3nOPT0 レジスタの TSG3nPSC ビットで設定してください。

下図に、遅れ時 (正転) のタイミング図を示します。

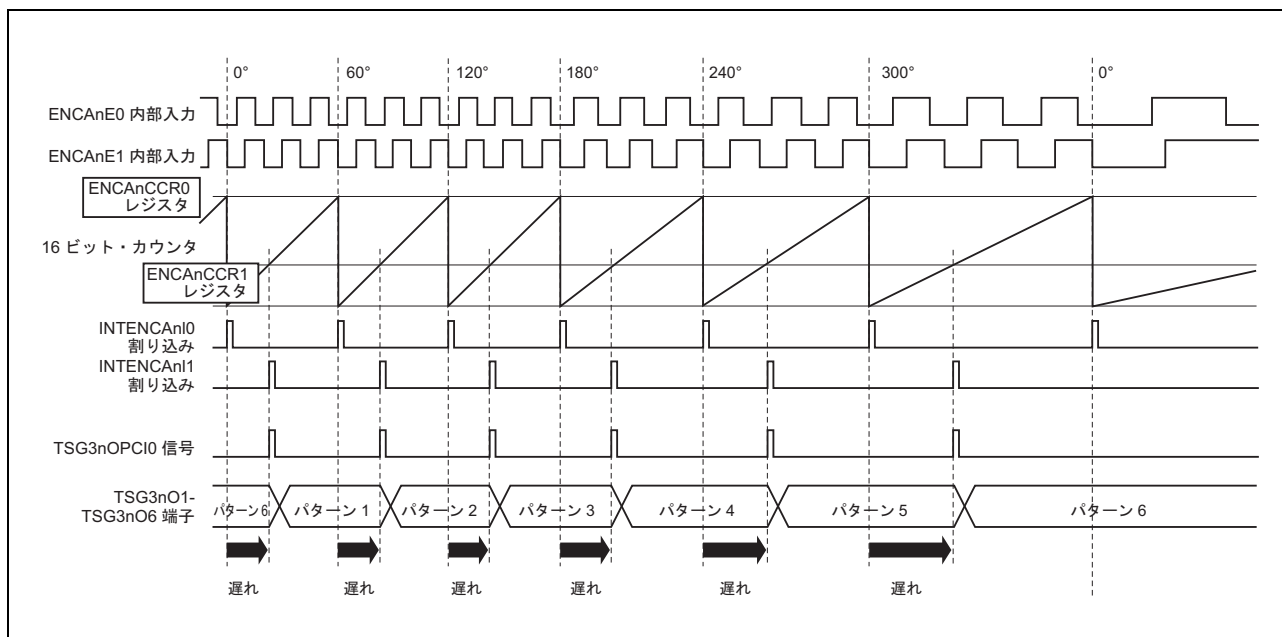


図 29.30 2相エンコーダ制御機能 (制御方式2) 遅れ時 (正転)

ENCAnCCR1 の値を ENCAAnCCR0 より大きい値を設定することで TSG3n の出力パタンの位相を遅れさせることができます。

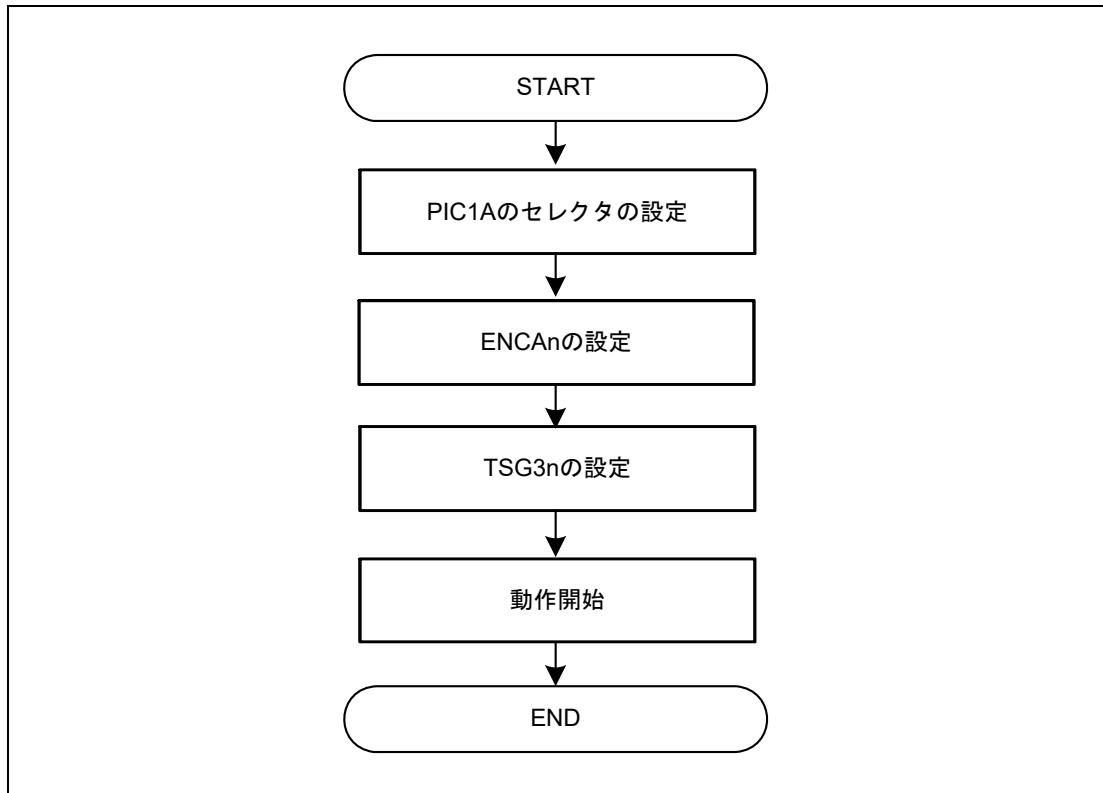
備 考

本機能は、ENCA のカウンタは進み時、遅れ時ともにアップカウント / ダウンカウントのどちらでも使用可能です。

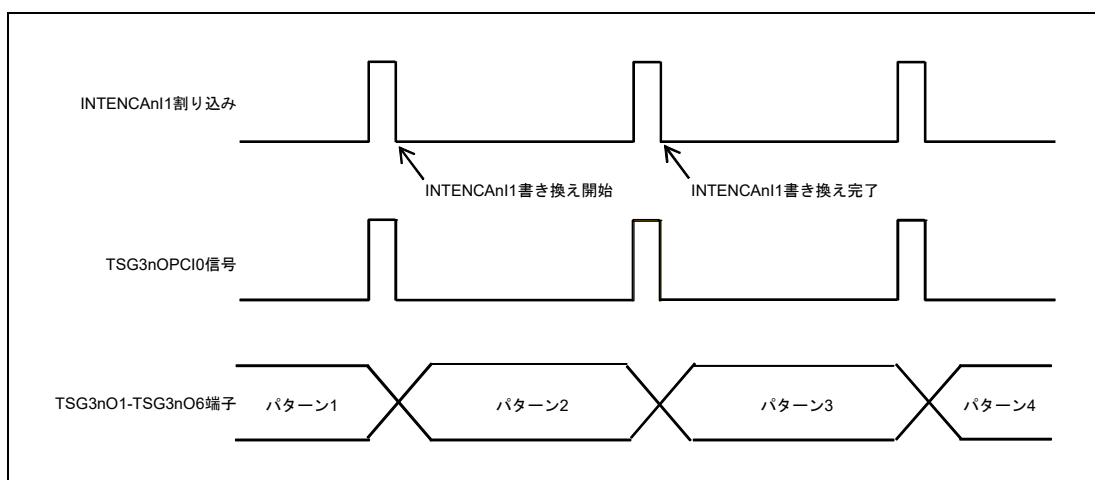
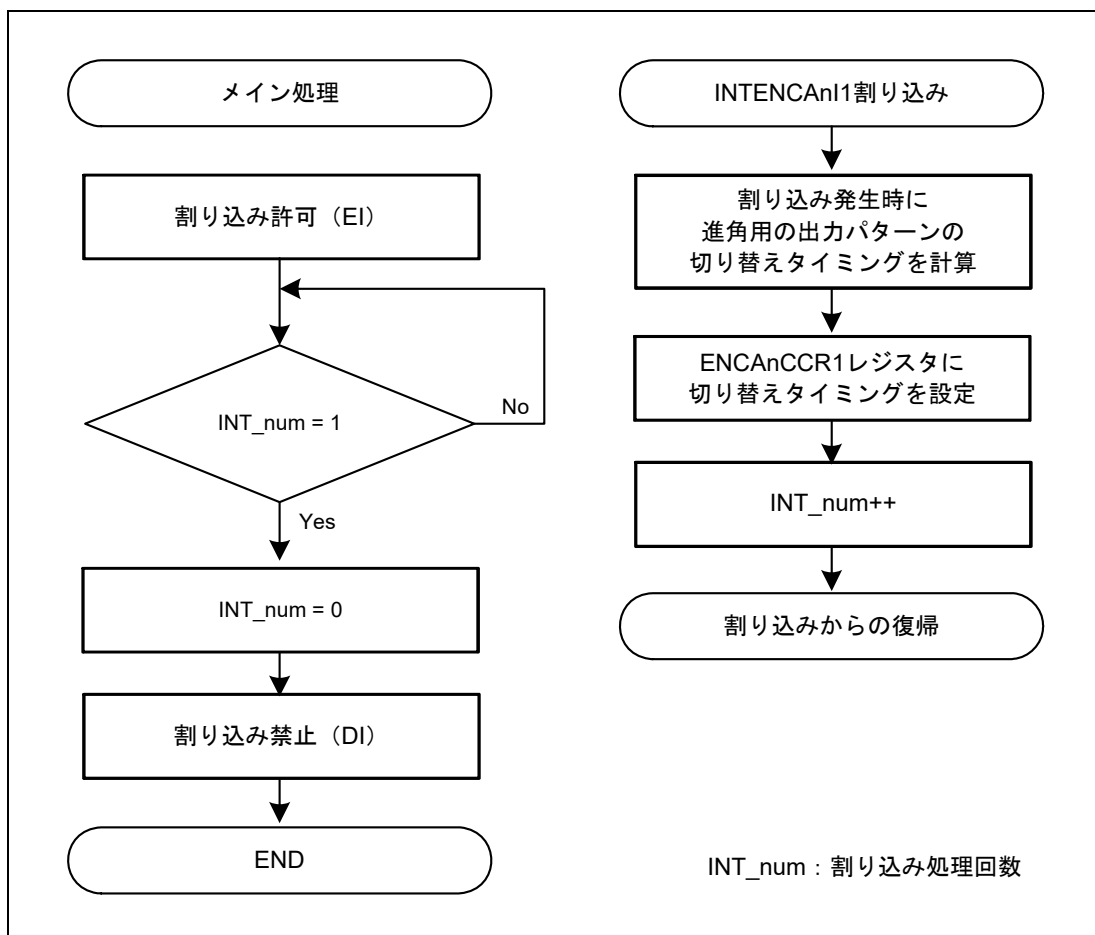
(5) フローチャート

以下に本機能のフローチャートを示します。

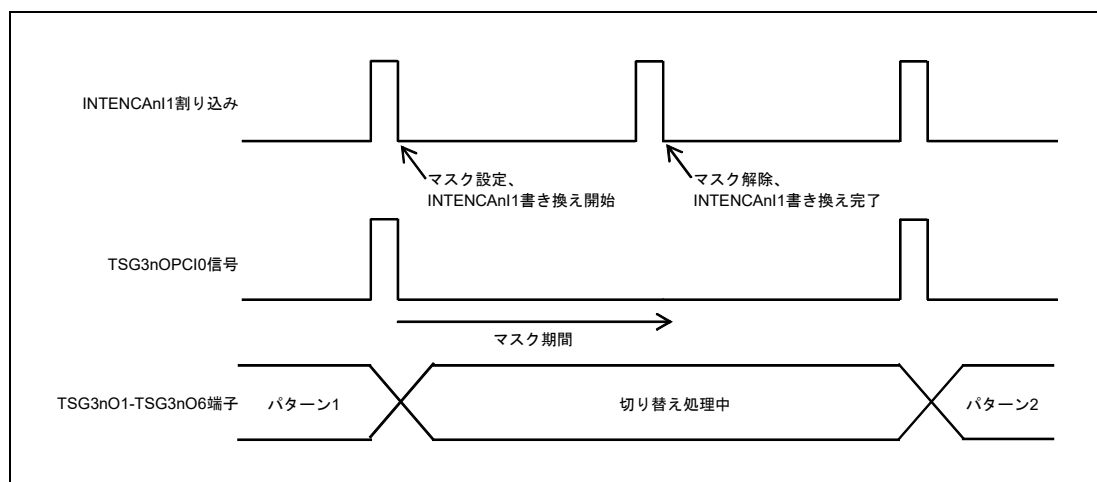
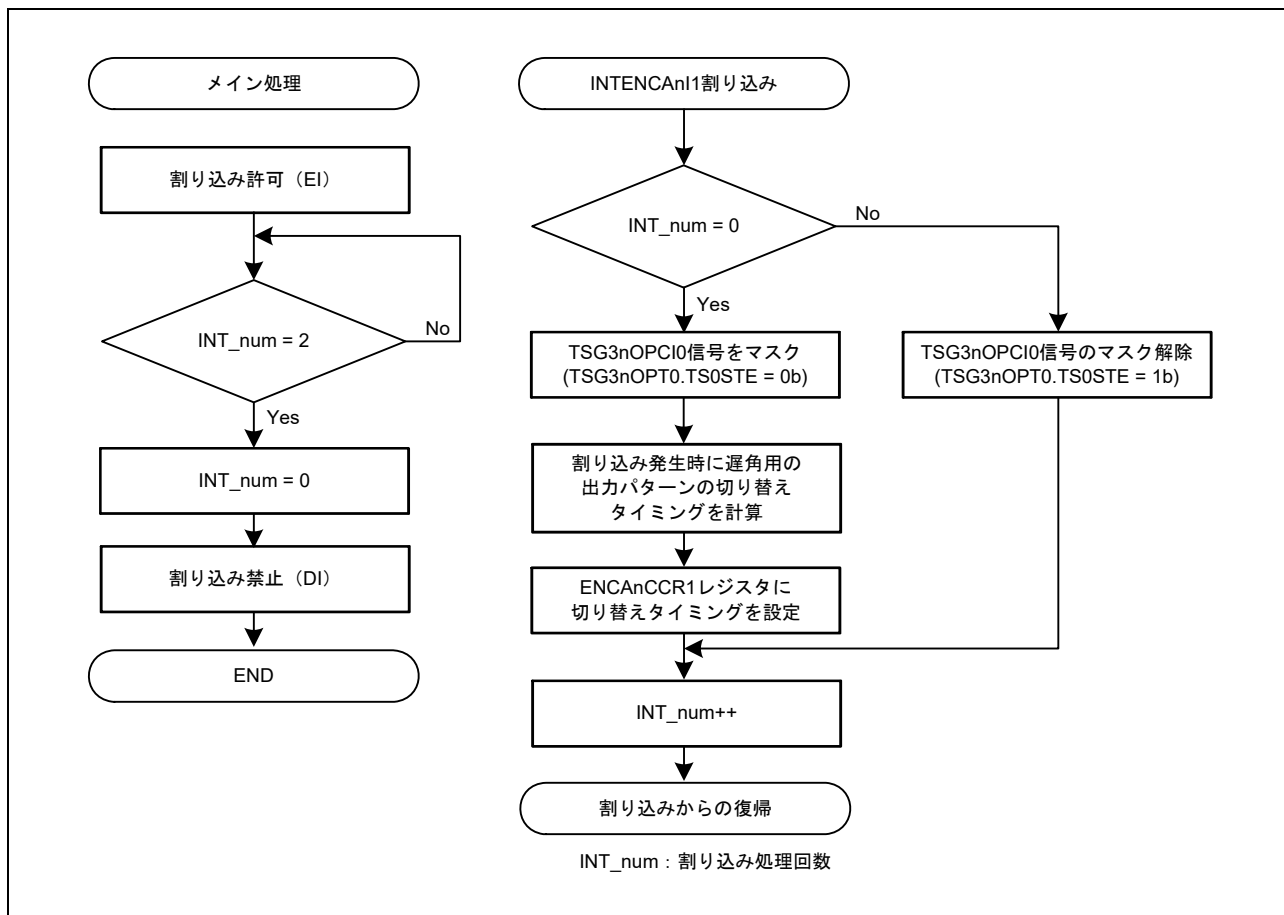
メイン処理を以下に示します。



進み時の ENCA_nCCR1 書き換え処理を以下に示します。



遅れ時の ENCA_nCCR1 書き換え処理を以下に示します。



本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = 1000 0000 000x 01xx_B

ENCA_nIOC1[7:0] = 0000 00xx_B

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、「**第28章 エンコーダタイマ (ENCA)**」を参照。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 000x 0011_B

TSG3_nCTL3[7:0] = 0000 00xx_B

TSG3_nCTL4[15:0] = 0000 0001 xxx0 0000_B

TSG3_nIOC0[7:0] = 0111 1110_B

TSG3_nIOC2[15:0] = 0xxx xxx0 0000 0000_B

TSG3_nOPT0[7:0] = 0011 1xx0_B

TSG3_nOPT1[7:0] = 0000 0xxx_B

TSG3_nCMP0 = (任意)

TSG3_nCMP1W,5W,9W = (任意)

TSG3_nCMP1,5,9 = (任意)

TSG3_nPAT0W,1W = (任意)

TSG3_nDTC0W,1W = (任意)

x は任意設定。レジスタ仕様については、「**第25章 モータコントロールタイマ (TSG3)**」を参照。

29.2.3.9 3相パルス入力制御機能

(1) 概要

TSG3n と TAUDn を使って、TSG3n 120-DC モードのパタン出力の位相可変制御を行う機能です。

3相パルス入力制御の制御方法について以下に示します。

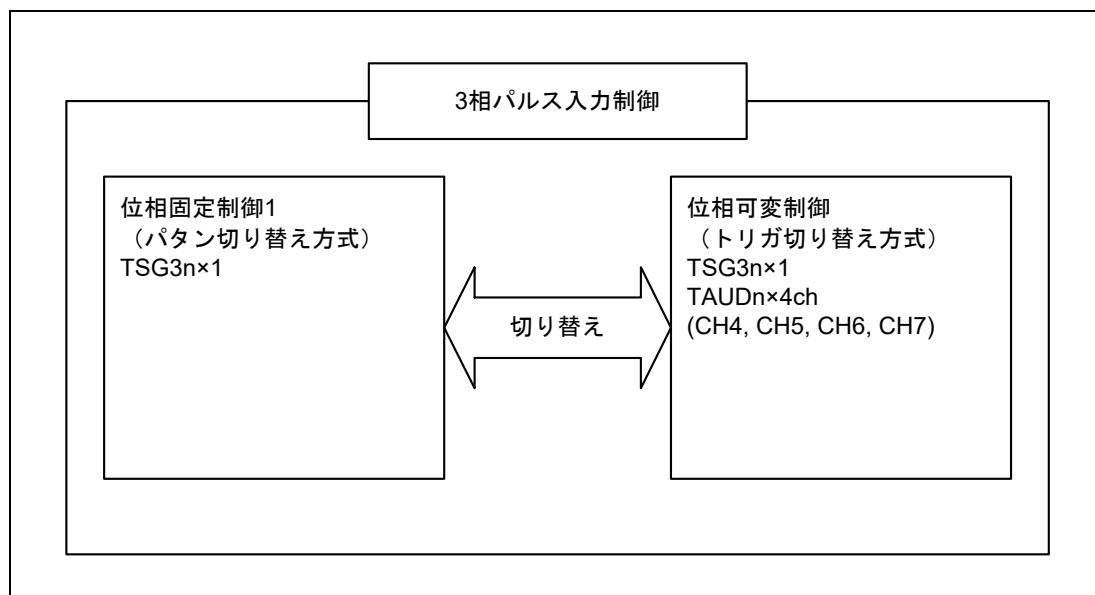


図 29.31 3相パルス入力制御 制御方式

制御方式	機能
位相固定制御1 (パタン切り替え方式)	一定の回転角度に固定したパタンを出力
位相可変制御 (トリガ切り替え方式)	回転角度に対し、任意の角度 (時間) 位相 (最大 ±60 度) を可変したパタンを出力

(2) 構成

3相パルス入力、TAUDn のオフセットトリガモードと PIC1A を組み合わせることで、3相パルス入力制御機能を実現します。3相パルス入力制御機能のブロック図を以下に示します。

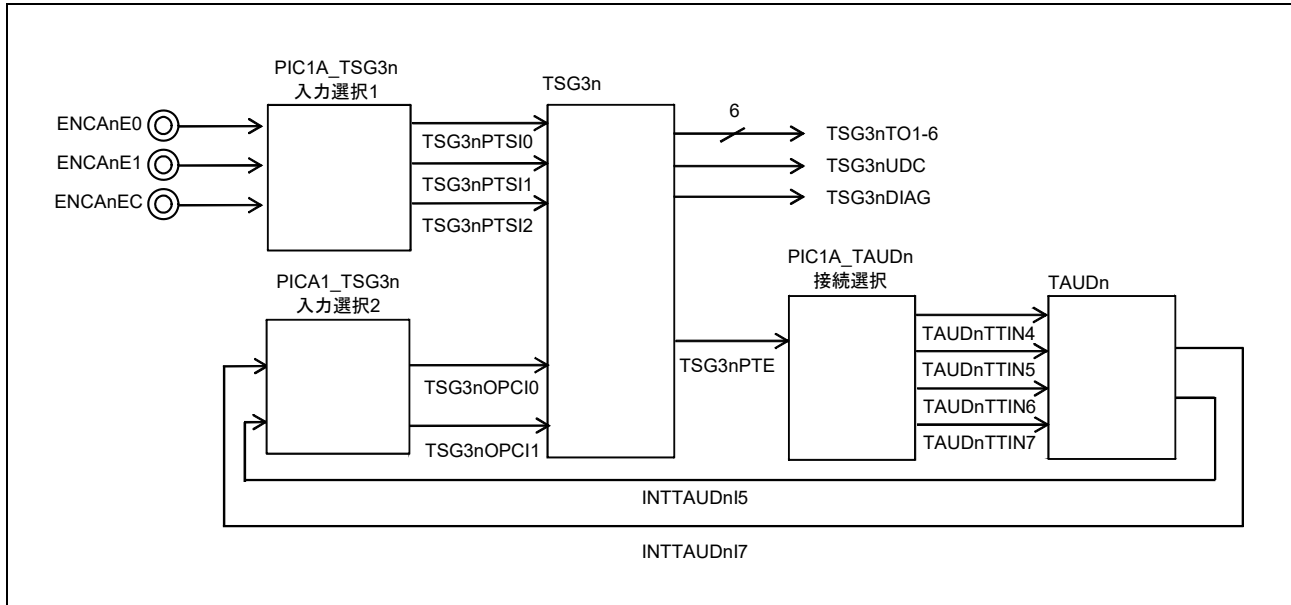


図 29.32 3相パルス入力制御機能 ブロック図

構成を以下に説明します。

- [PIC1A_TSG3n 入力選択 1]
ENCAAnE0,E1,EC 端子入力を選択して、TSG3nPTSI0-2 に出力します。
- [TSG3n]
TSG3nPTSI0-2 の信号に応じ、TSGnTO1-6 に対し設定されたパターンを出力します。また、出力されるパターンが切り替わるごとに、TSG3nPTE を反転します。
- [PIC1A_TAUDn 接続選択]
TSG3nPTE 入力を選択し、TAUDnTTIN4-7 に出力します。
- [TAUDn]
オフセットトリガモードにて出力パターン位相生成用の割り込み INTTAUDnI5、INTTAUDnI7 を出力します。
- [PIC1A_TSG3n 入力選択 2]
INTTAUDnI5、INTTAUDnI7 入力を選択し、TSG3nOPCI0-1 を出力します。

(3) レジスタ

下図に PIC1A のブロック図を示します。

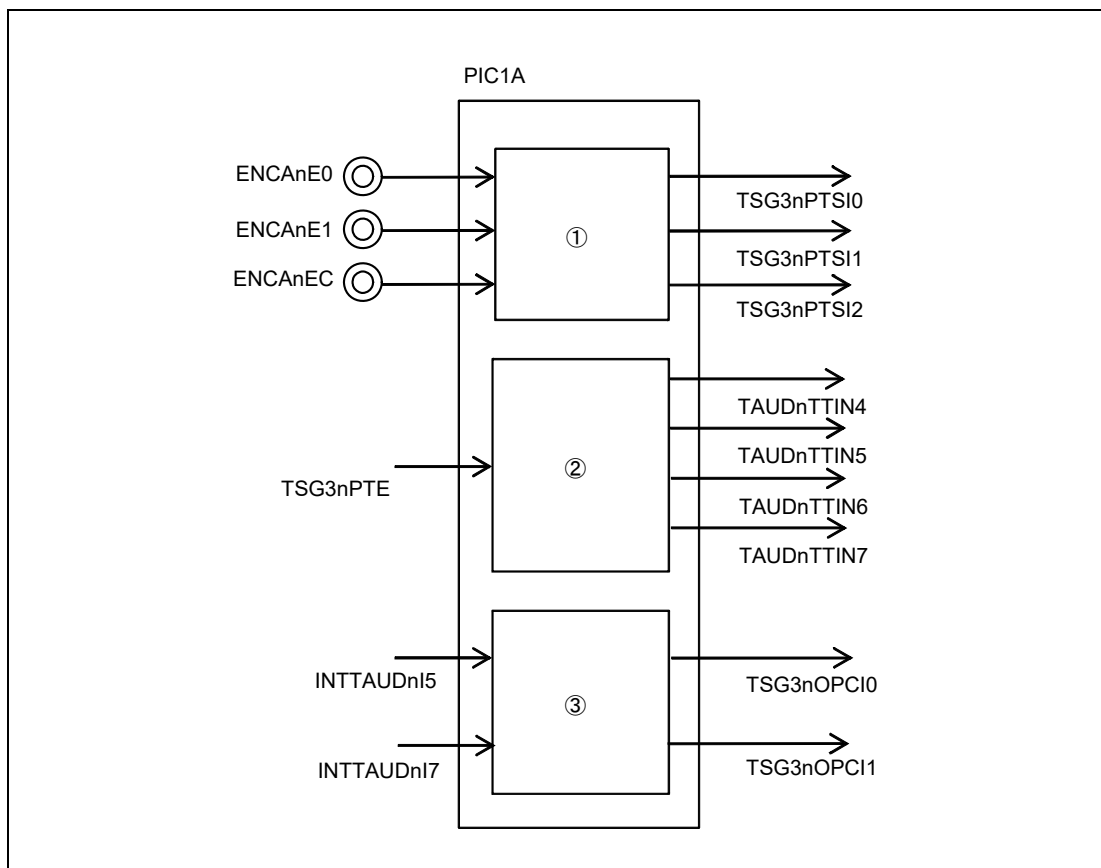


図 29.33 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

① PIC1A_TSG3_n 入力選択 1

ENCA0E0,E1,EC を TSG30PTSI0-2 として出力するための設定値

$$\text{PIC1ATSGHALLSEL}[0] = 1_{\text{B}}$$

$$\text{PIC1AREG50}[0] = 0_{\text{B}}$$

ENCA1E0,E1,EC を TSG31PTSI0-2 として出力するための設定値

$$\text{PIC1ATSGHALLSEL}[1] = 1_{\text{B}}$$

$$\text{PIC1AREG51}[0] = 1_{\text{B}}$$

② PIC1A_TAUD_n 接続選択

TSG3_nPTE を TAUD_nTTIN4-7 に出力するための設定値

$$\text{PIC1AREG2n0}[11:8] = 1010_{\text{B}}$$

$$\text{PIC1AREG2n0}[3:0] = 1111_{\text{B}}$$

$$\text{PIC1ATAUDnSEL}[15:8] = 00_{\text{H}}$$

③ PIC1A_ENCA_n 入力選択 2

INTTAUD_nI5,INTTAUD_nI7 を TSG3_nOPCI0-1 に出力するための設定値

PIC1AREG5n[7:5] = 011_B

(4) 機能

本機能の詳細を説明します。

下図にタイミング図を示します。

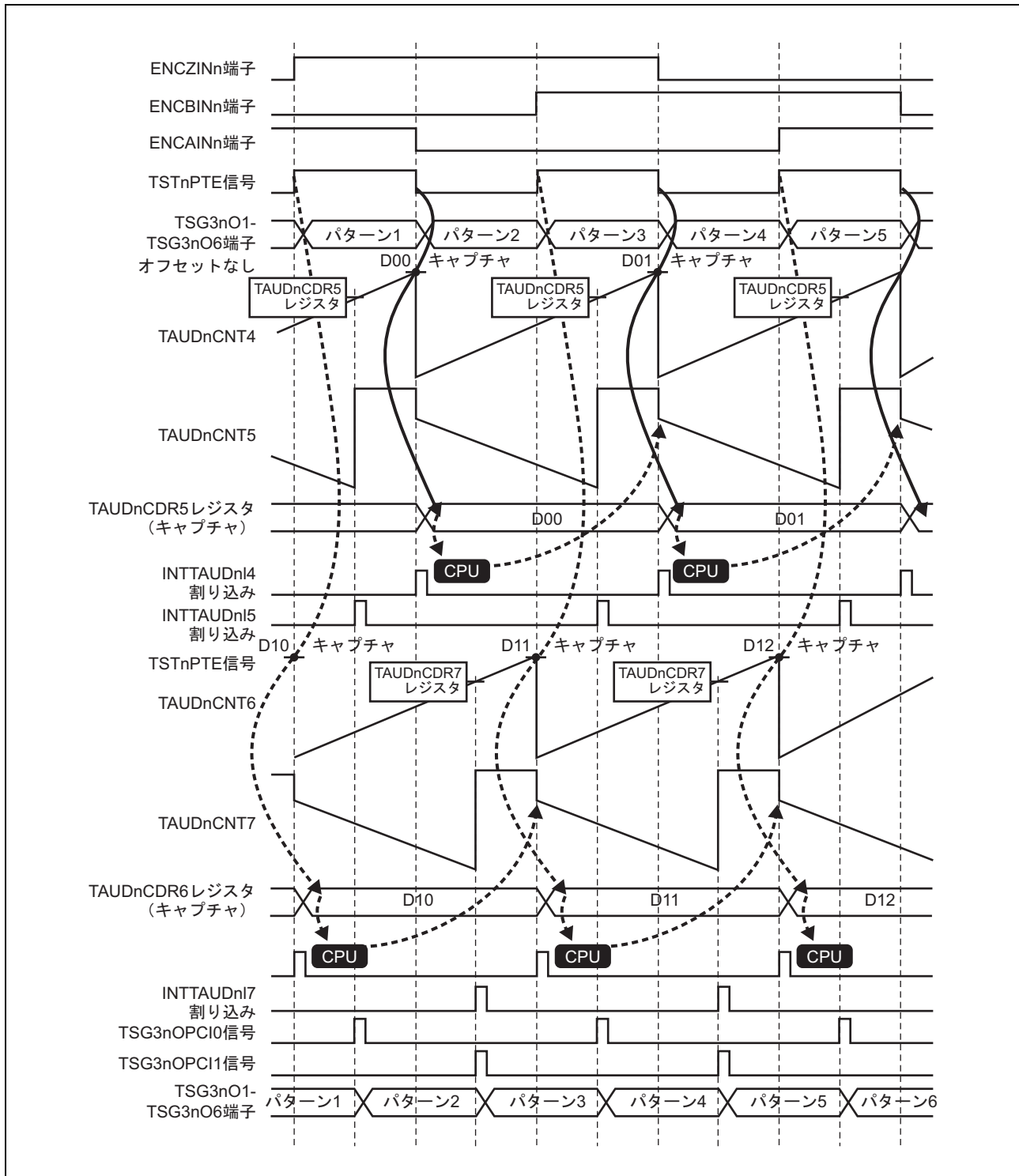


図 29.34 3相パルス入力制御機能

- (1) ENCA_n 端子信号により、TSG のパタン切り替え方式にて出力パタンを切り替えます。パタン切り替えごとに、TSTnPTE 信号が反転します。
- (2) TSTnPTE 信号の立ち上り、立ち下りエッジにて TAUDnCNT6、TAUDnCNT4 をキャプチャし、キャプチャした値をもとにパタン切り替え間隔を算出します。
- (3) 次回出力パタンの位相を CPU にて算出し、TAUDnCNT5、TAUDnCNT7 に設定、設定値に応じた TSG3nOPCI0、TSG3nOPCI1 が出力されます。この時、トリガ切り替え方式にて出力パタン切り替えを行うことで、設定した位相値分がシフトされたパタンが出力されます。

TAUDnCNT_m の設定値とキャプチャ値 (TAUDnCDR(m-1)) の関係について、以下に示します。(m = 5,7)

TAUDnCNT _m 設定値	TSG3n パタン出力切り替えタイミング
TAUDnCNT _m = 0000 _H	TSTnPTE 信号のエッジ検出のタイミングでパタン切り替え (但し、最大 TAUDn カウントクロック 1CLK 分の遅延が発生します)
TAUDnCNT _m = キャプチャ値	TSTnPTE 信号のエッジ検出のタイミングでパタン切り替え
TAUDnCNT _m < キャプチャ値	TSTnPTE 信号のエッジ検出のタイミングから位相分をシフトしたタイミングでパタン切り替え
TAUDnCNT _m > キャプチャ値	設定禁止

位相固定制御 1 から位相可変制御への切り替え動作例

下図に位相固定制御 1 から位相可変制御への切り替え時の動作例を示します。

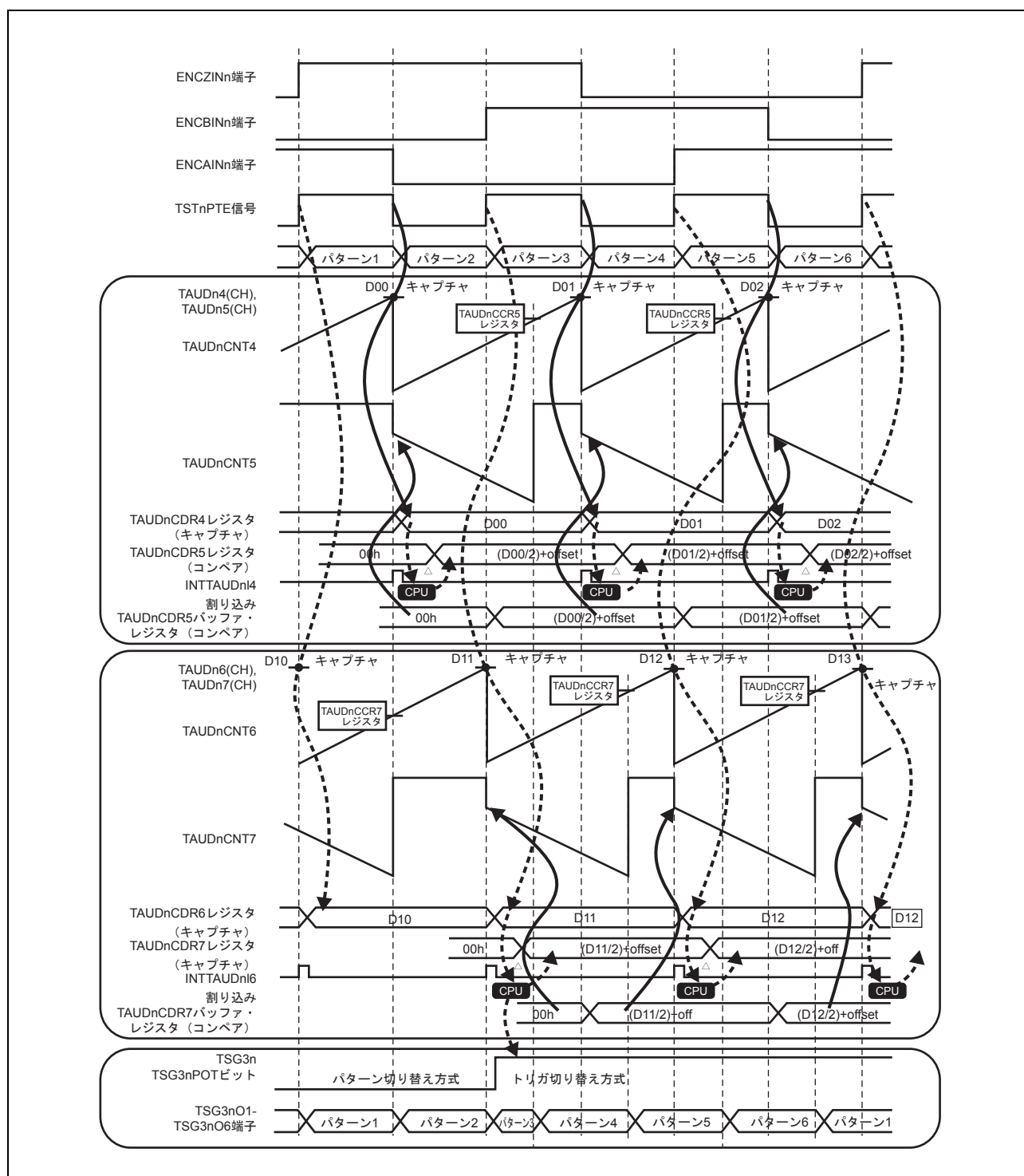


図 29.35 位相固定制御 1 から位相可変制御への切り替え

TSG3nPOT ビットをロウからハイとすることで、出力パターンはトリガ切り替え方式に変更され、位相可変制御が可能となります。

位相可変制御から位相固定制御 1 への切り替え動作例

下図に位相可変制御から位相固定制御 1 へ切り替え時の動作例を示します。

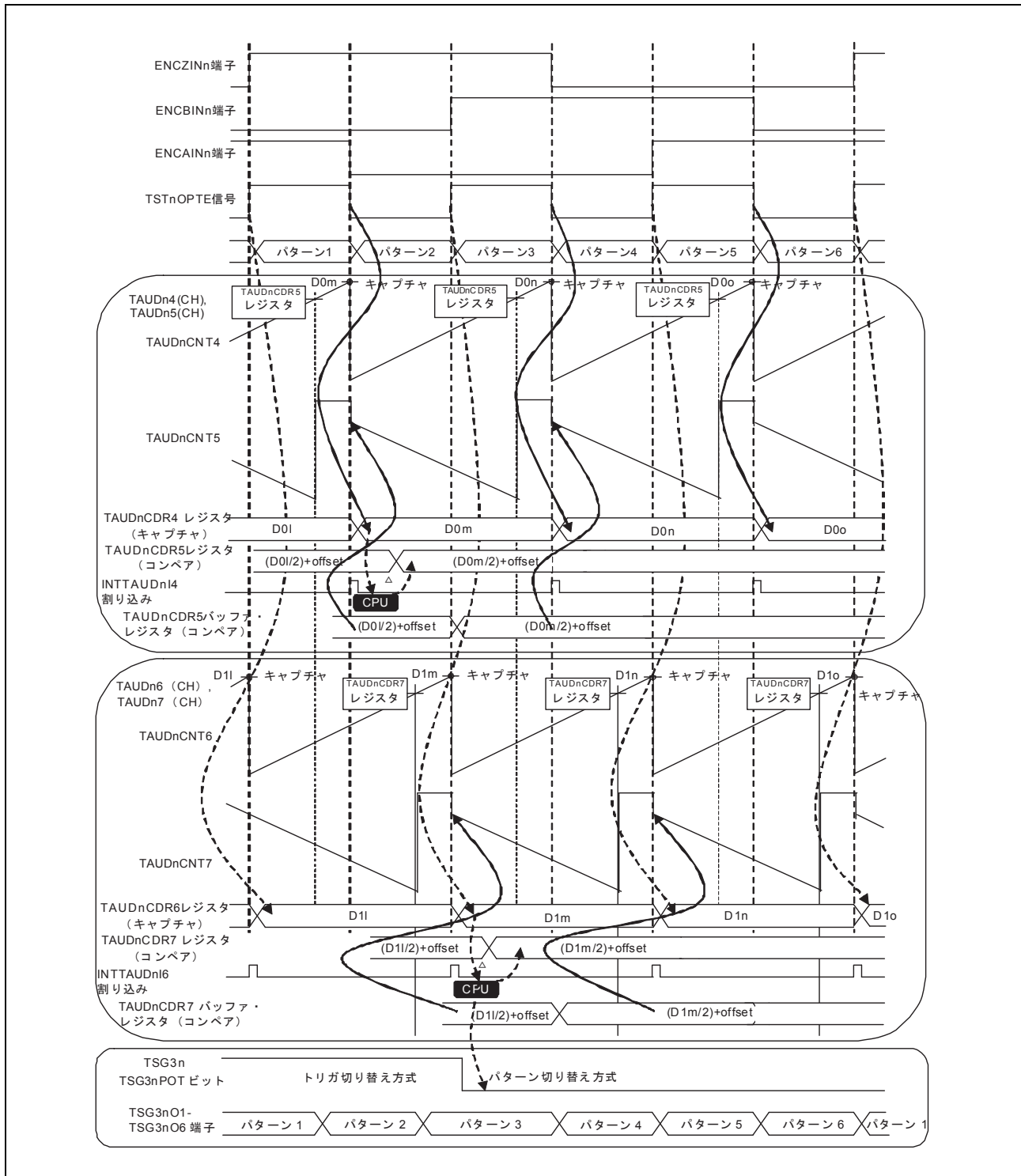


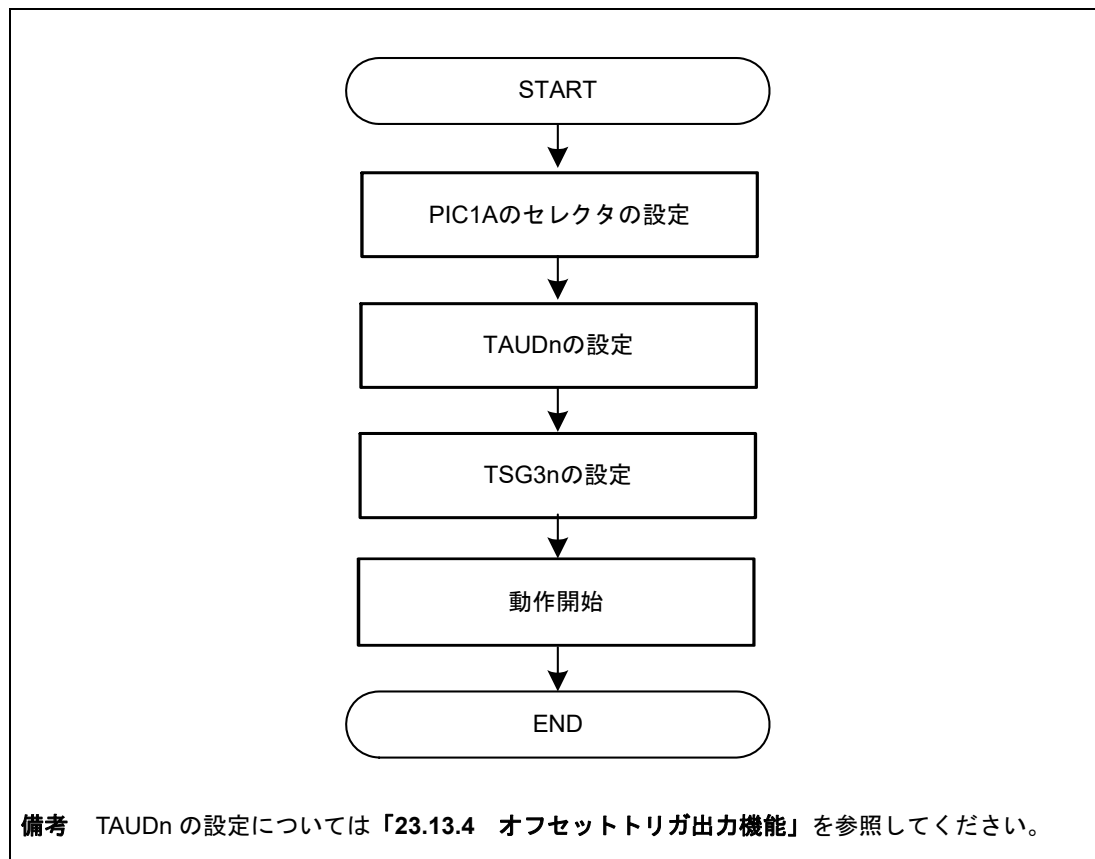
図 29.36 位相可変制御から位相固定制御 1 への切り替え

TSG3nPOT ビットをハイからロウとすることで、出力パタンはパタン切り替え方式に変更され、位相固定制御 1 が可能となります。

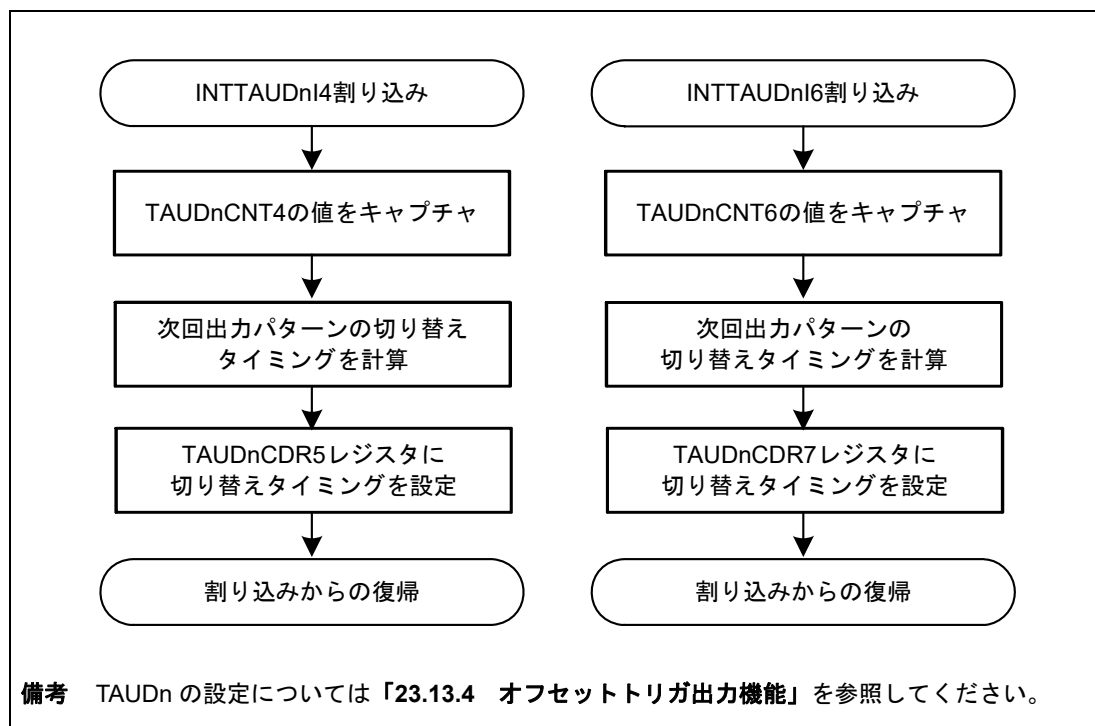
(5) フローチャート

本機能のフローチャートを以下に示します。

メイン処理を以下に示します。



動作中の TAUDnCDR5、TAUDnCDR7 書き換え処理を以下に示します。



本機能を行う場合、TSG3n は下記の設定を行います。

$TSG3nCTL0[7:0] = 0000\ 0011_B$
 $TSG3nCTL3[7:0] = 0000\ 00xx_B$
 $TSG3nCTL4[15:0] = 0000\ 0001\ xxx0\ 0000_B$
 $TSG3nIOC0[7:0] = 0111\ 1110_B$
 $TSG3nIOC1[7:0] = 0001\ xxxx_B$
 $TSG3nIOC2[15:0] = 0xxx\ xxx0\ 0000\ 0000_B$
 $TSG3nOPT0[7:0] = 0011\ 1xx0_B$
 $TSG3nOPT1[7:0] = 0000\ 0xxx_B$
 $TSG3nCMP0 = (任意)$
 $TSG3nCMP1W,5W,9W = (任意)$
 $TSG3nCMP1,5,9 = (任意)$
 $TSG3nPAT0W,1W = (任意)$
 $TSG3nDTC0W,1W = (任意)$

x は任意設定。レジスタ仕様については、「第 25 章 モータコントロールタイマ (TSG3)」を参照。

29.2.3.10 3相エンコーダ制御機能

(1) 概要

ENCA_n を使って、3相の外部パタン入力 (TSG3_nPTSI0-TSG3_nPTSI2) をエンコードする機能です。

(2) 構成

TSG3_n、ENCA_n と PIC1A を組み合わせることで、3相エンコーダ制御機能を実現します。3相エンコーダ制御機能のブロック図を以下に示します。

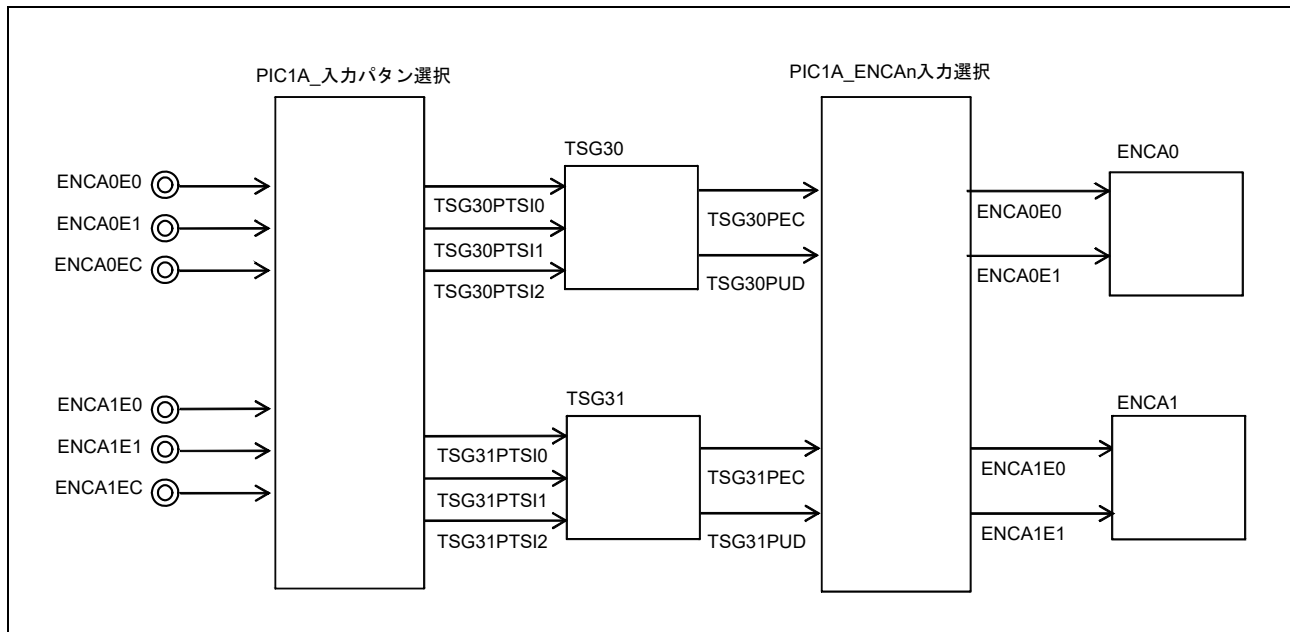


図 29.37 3相エンコーダ制御機能 ブロック図

構成を以下に説明します。

- [PIC1A_入力パタン選択]
ENCA_nE0,E1,EC 端子入力を選択して、TSG3_nPTSI0-2 に出力します。
- [TSG3_n]
TSG3_nPTSI0-2 信号により、出力パタン、TSG3_nPEC を出力します。また、正転、逆転に応じて TSG3_nPUD を出力します。
- [PIC1A_ENCA_n入力選択]
TSG3_nPEC を選択して ENCA_nE0 に出力します。また、TSG3_nPUD を選択して ENCA_nE1 に出力します。
- [ENCA_n]
ENCA_nE0、ENCA_nE1 をエンコード処理します。

(3) レジスタ

下図に PIC1A のブロック図を示します。

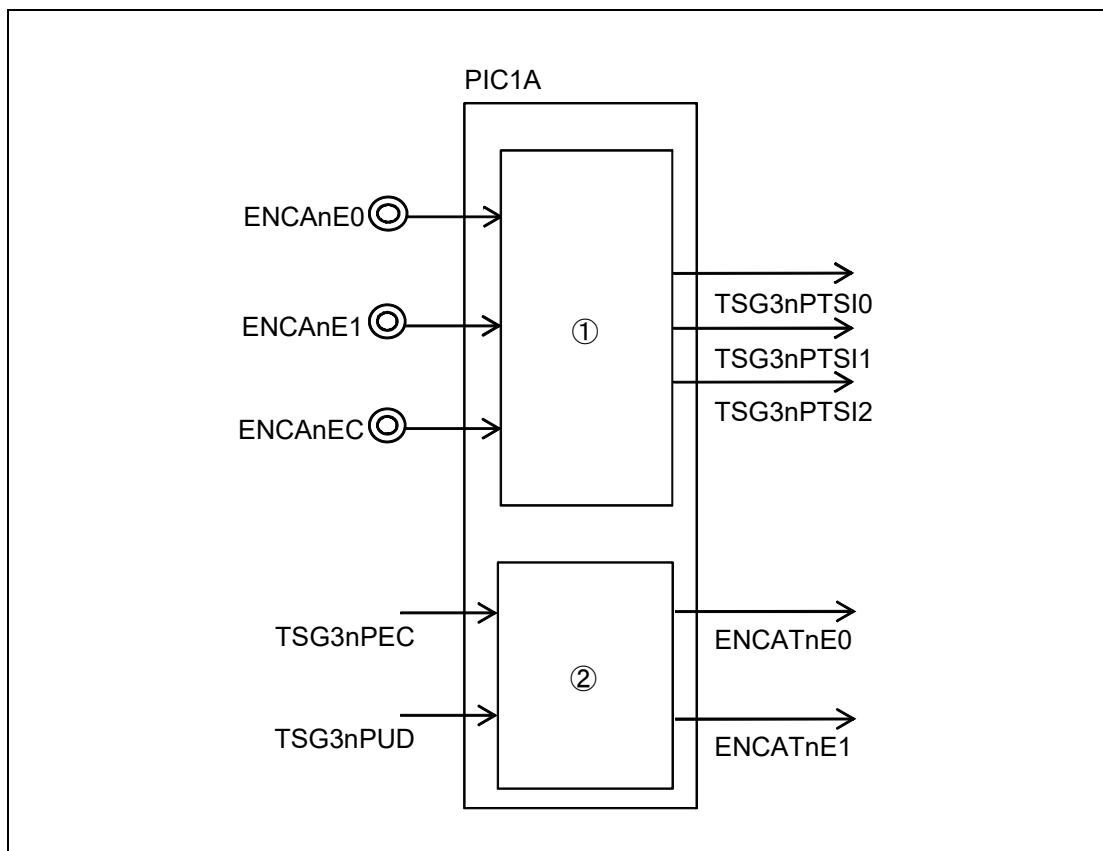


図 29.38 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

① PIC1A_入力パタン選択

ENCA0E0,E1,EC を TSG30PTSI0-2 として出力するための設定値

$$\text{PIC1ATSGHALLSEL}[0] = 1_{\text{B}}$$

$$\text{PIC1AREG50}[0] = 0_{\text{B}}$$

ENCA1E0,E1,EC を TSG31PTSI0-2 として出力するための設定値

$$\text{PIC1ATSGHALLSEL}[1] = 1_{\text{B}}$$

$$\text{PIC1AREG51}[0] = 1_{\text{B}}$$

② PIC1A_ENCA_n 入力選択

TS0PEC を ENCA0E0、TS0PUD を ENCA0E1 として出力するための設定値

$$\text{PIC1AREG30}[22] = 0_{\text{B}}$$

$$\text{PIC1AREG30}[1:0] = 11_{\text{B}}$$

TS1PEC を ENCA1E0、TS1PUD を ENCA1E1 として出力するための設定値

$$\text{PIC1AREG30}[9:8] = 10_{\text{B}}$$

$$\text{PIC1AREG30}[7:6] = 10_{\text{B}}$$

(4) 機能

本機能の詳細を、以下に説明します。

下図にタイミング図を示します。

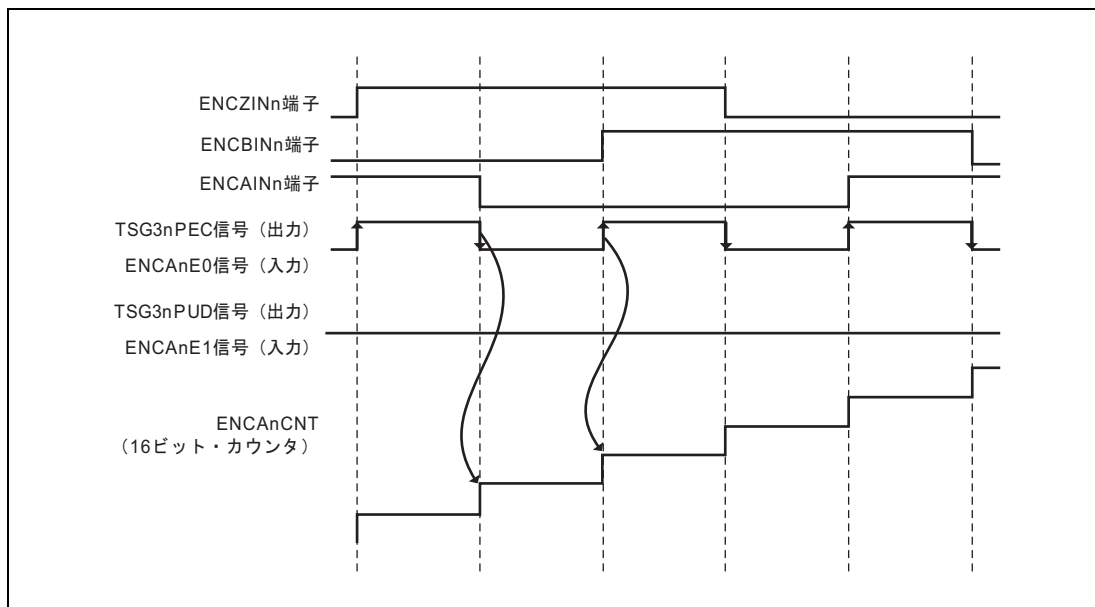


図 29.39 3相エンコーダ機能 _ENCAnUDS1,ENCAnUDS0 = 00B

- (1) ENCAAnE1 にロウレベルが入力されている場合、ENCAAnE0 にアクティブエッジが入力される毎にカウントアップします。

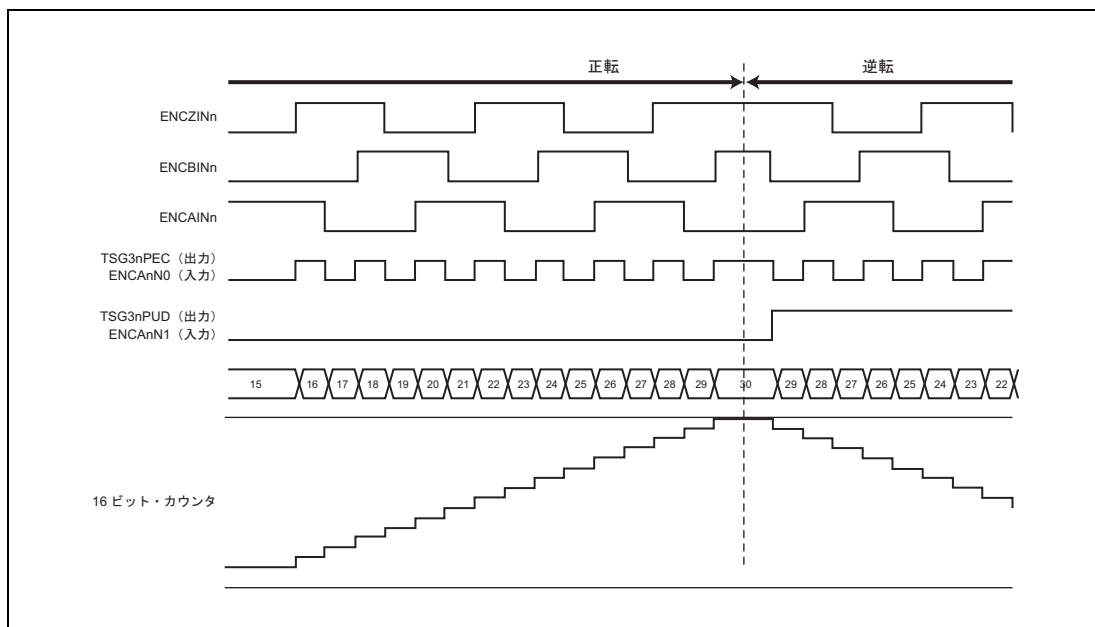


図 29.40 3相エンコーダ機能 _正転 / 逆転

(5) フローチャート

3相エンコーダ制御機能の動作前に PIC 設定を行ってください。

本機能を行う場合、ENCA_n は下記の設定を行います。

ENCA_nCTL[15:0] = xx00 00xx 000x xx00_B

ENCA_nIOC1[7:0] = 0000 00xx_B ^{注1}

ENCA_nCCR0 = (任意)

ENCA_nCCR1 = (任意)

ENCA_nCNT = (任意)

x は任意設定。レジスタ仕様については、「**第28章 エンコーダタイマ (ENCA)**」を参照。

注1. ENCA_nIOC1[1:0] は 00_B(エッジ検出なし)を除く。エッジ検出必須のため。

本機能を行う場合、TSG3_n は下記の設定を行います。

TSG3_nCTL0[7:0] = 0000 0001_B

TSG3_nCTL3[7:0] = 0000 00xx_B

TSG3_nCTL4[15:0] = 0000 000x xxxx xxxx_B

TSG3_nIOC0[7:0] = 0xxx xxx0_B

TSG3_nIOC1[7:0] = 0001 xxxx_B

TSG3_nIOC2[15:0] = 0xxx xxx0 0000 0000_B

TSG3_nOPT0[7:0] = 0xxx xxx0_B

TSG3_nOPT1[7:0] = 0000 0xxx_B

TSG3_nCMP0 = (任意)

TSG3_nCMP1W,5W,9W = (任意)

TSG3_nCMP1,5,9 = (任意)

TSG3_nPAT0W,1W = (任意)

TSG3_nDTC0W,1W = (任意)

x は任意設定。レジスタ仕様については、「**第25章 モータコントロールタイマ (TSG3)**」を参照。

29.2.3.11 TAUD 入力選択機能**(1) 概要**

TAUD_n の入力信号を選択する機能です。TAUD_n TIN_m/m+1 入力信号として TAUD0TIN_m/m+1 信号、TAUD1TIN_m/m+1 信号のいずれかを選択可能です。(m は 0 ~ 15 の偶数)

(2) 構成

TAUD_n 入力信号と PIC1A を組み合わせることで、TAUD 入力選択機能を実現します。

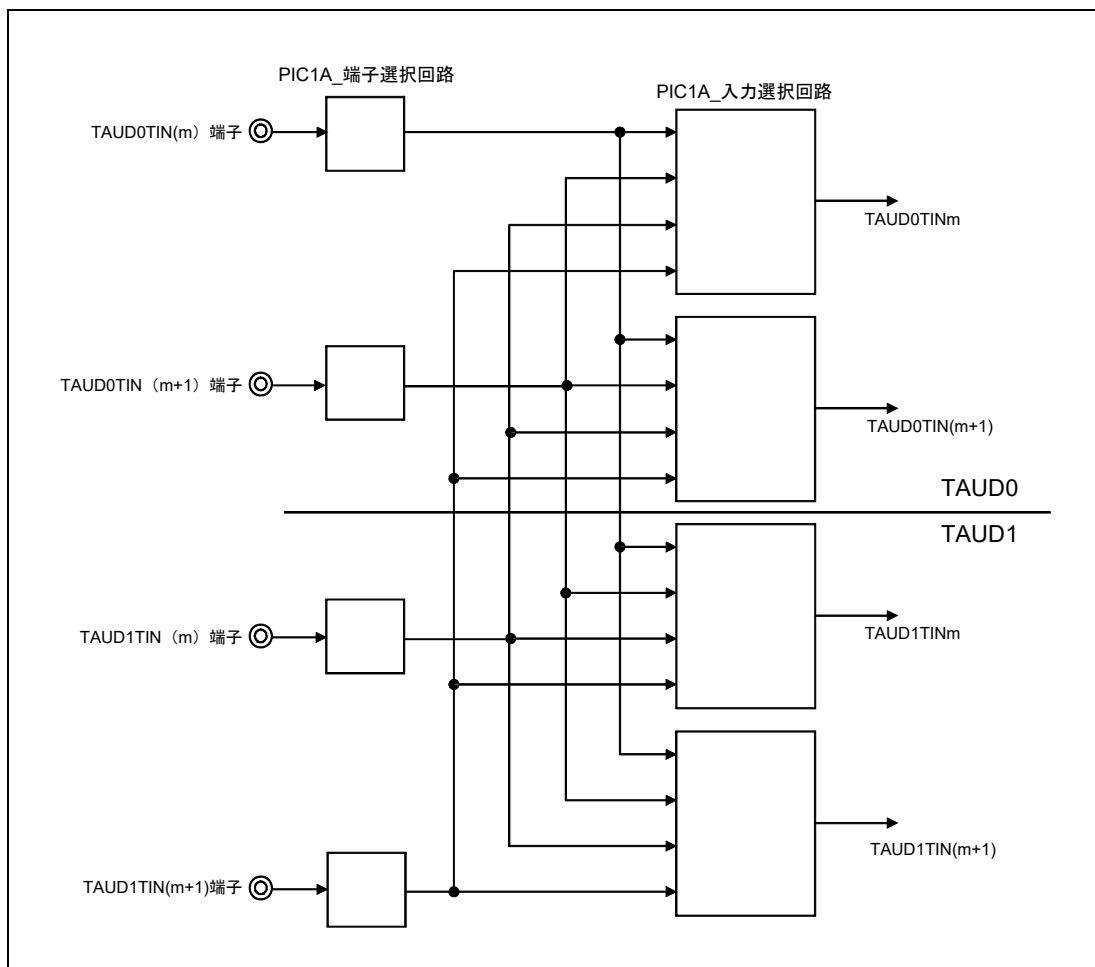


図 29.41 TAUD 入力選択機能 ブロック図

(3) レジスタ

本機能で使用する PIC1A レジスタ及び設定内容を示します。

PIC1A_端子選択回路

PIC1A の端子選択回路の出力は TAUD n の外部チャネル入力端子を選択してください。

PIC1A_入力選択回路

以下の設定レジスタで選択してください。

PIC1ATAUD0SEL

PIC1ATAUD1SEL

設定レジスタの詳細については、「29.2.2.10 ~ 29.2.2.11、29.2.2.18 ~ 29.2.2.19」、
29.2.2.21、29.2.2.24」を参照してください。

(4) 機能

本機能の詳細を TAUD0TIN[1:0] の信号選択を例に説明します。

TAUD0TIN[1:0] の信号選択例を下表に示します。例えば、PIC1AREG31[11:6] を 000000、PIC1ATAUD0SEL[3:2], PIC1ATAUD0SEL[1:0] を 01 に設定すると、TAUD0 の TAUD0TIN1 入力に TAUD0TIN0 端子信号、TAUD0TIN0 入力に TAUD0TIN1 端子信号が入力されます。PIC1ATAUD0SEL[3], PIC1ATAUD0SEL[1] を 1 に設定すると TAUD1 の TIN 端子信号が選択されます。

レジスタ設定	TAUD0TIN0
PIC1ATAUD0SEL	
[1:0]	
00 _B	TAUD0TIN0 端子
01 _B	TAUD0TIN1 端子
10 _B	TAUD1TIN0 端子
11 _B	TAUD1TIN1 端子

レジスタ設定	TAUD0TIN1
PIC1ATAUD0SEL	
[3:2]	
00 _B	TAUD0TIN1 端子
01 _B	TAUD0TIN0 端子
10 _B	TAUD1TIN1 端子
11 _B	TAUD1TIN0 端子

(5) フローチャート

TAUDn タイマ動作前に PIC1A 内の設定を行ってください。

29.2.3.12 Hi-Z 制御機能

(1) 概要

3 相出力信号を遮断し、Hi-Z 状態へ変更する機能です。

Hi-Z 制御機能の目的及び動作の詳細については、「**26.4.1 非同期 Hi-Z 制御機能**」を参照してください。

(2) 構成

PIC1A にて ESO_n, ERROROUT, INTTSG30IER, INTTSG31IER, INTADCD0ERR, INTADCD1ERR のマスク処理と各信号の OR を行い、TAPAn に Hi-Z 制御用の信号を出力します。

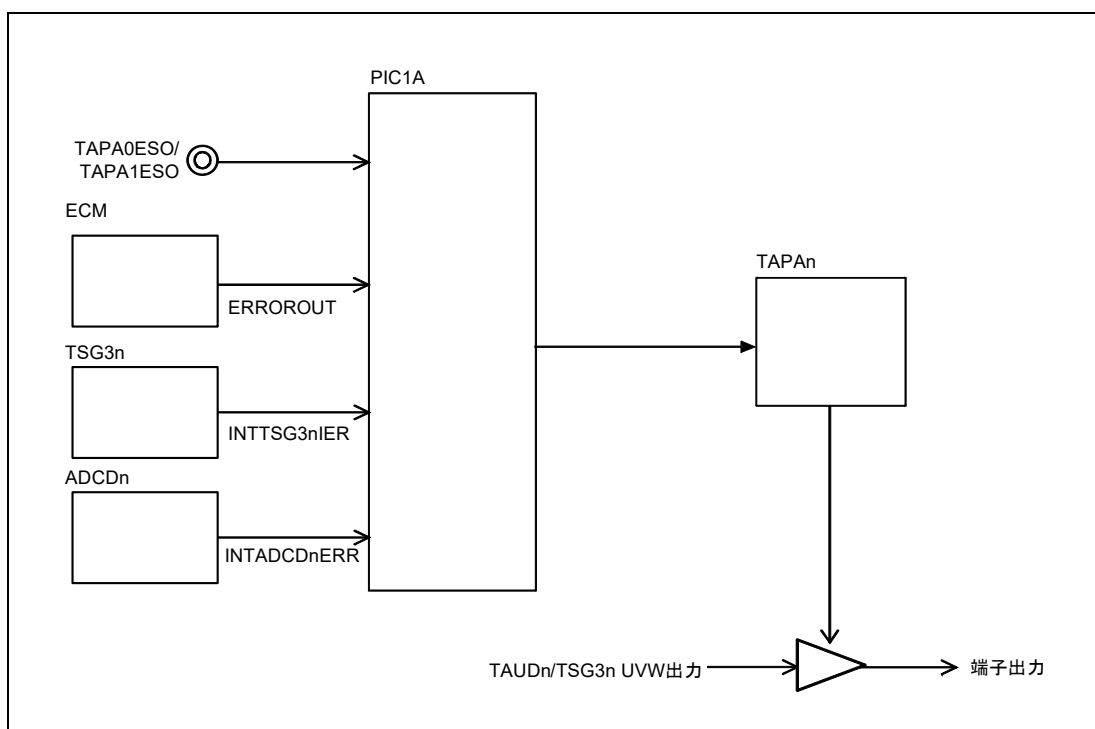


図 29.42 Hi-Z 制御のブロック図

(3) レジスタ

下図に PIC1A のブロック図を示します。

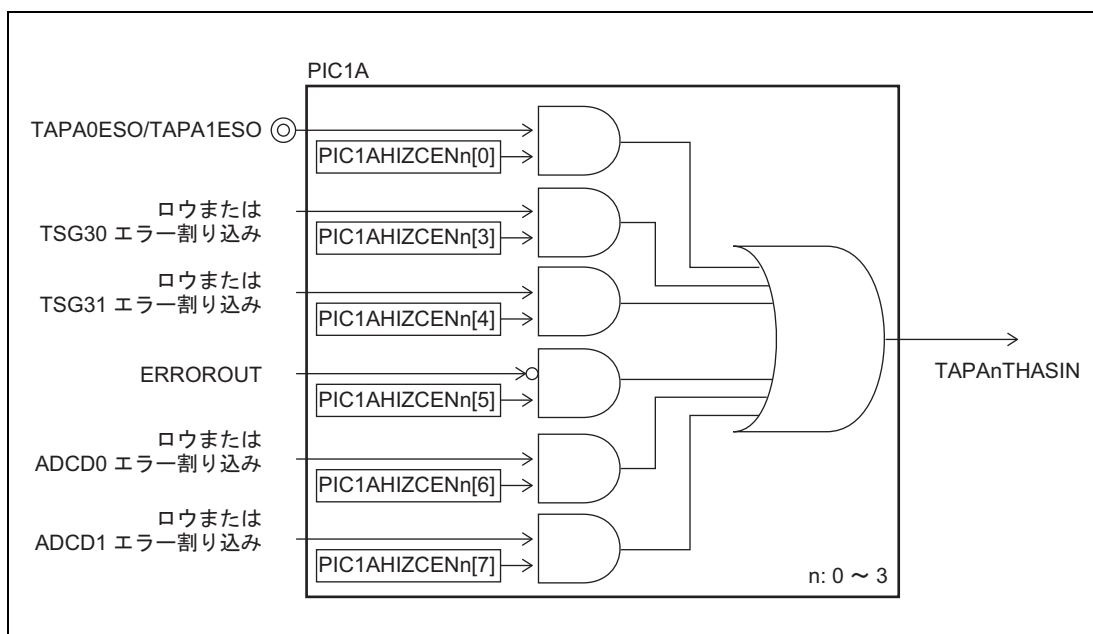


図 29.43 PIC1A ブロック図

本機能で使用する PIC1A レジスタの設定値を以下に示します。

PIC1AHIZCENn[5] = 1(許可)、0(禁止) : ERROROUT

PIC1AHIZCENn[0] = 1(許可)、0(禁止) : TAPA0ESO または TAPA1ESO

PIC1AHIZCENn[3] = 1(許可)、0(禁止) : INTTSG30IER

PIC1AHIZCENn[4] = 1(許可)、0(禁止) : INTTSG31IER

PIC1AHIZCENn[6] = 1(許可)、0(禁止) : INTADCD0ERR

PIC1AHIZCENn[7] = 1(許可)、0(禁止) : INTADCD1ERR

n = 0, 1 は TAUD0 / TAUD1 用です。PIC1AHIZCENn[3]、PIC1AHIZCENn[4] はありません。

n = 2 は TSG30 用です。PIC1AHIZCENn[4] はありません。

n = 3 は TSG31 用です。PIC1AHIZCENn[3] はありません。

表 29.42 Hi-Z 制御機能の入力端子と制御端子の関係

入力端子名称	制御レジスタ	TAPA ユニット番号	Hi-Z 制御対象タイマ
TAPA0ESO	PIC1AHIZCEN0	TAPA0	TAUD0
TAPA1ESO	PIC1AHIZCEN1	TAPA1	TAUD1
TAPA0ESO	PIC1AHIZCEN2	TAPA2	TSG30
TAPA1ESO	PIC1AHIZCEN3	TAPA3	TSG31

(4) 機能

PIC1A では、Hi-Z 制御要因となる TAPA0ESO/TAPA1ESO 端子, ERROROUT, INTTSG30IER, INTTSG31IER, INTADCD0ERR, INTADCD1ERR のマスク処理及び各信号の OR を TAPAn に出力します。

TAPA による Hi-Z 制御については「**26.4.1.3 基本動作**」を参照してください。

(5) フローチャート

Hi-Z 制御開始前に PIC1A の設定を行ってください。

TAPA の動作フローについては「**26.4.1 非同期 Hi-Z 制御機能**」を参照してください。

29.2.3.13 タイマ出力モニタ機能 (PWM-Diag)

(1) 概要

TAUD2 を使用して、TAUD0、TAUD1、TSG30、TSG31、OSTM0、OSTM1 の出力信号をモニタする機能です。

(2) 構成

TAUD2 と PIC1A を組み合わせることで、TAUD0、TAUD1、TSG30、TSG31、OSTM0、OSTM1 の出力信号をモニタする機能を実現します。

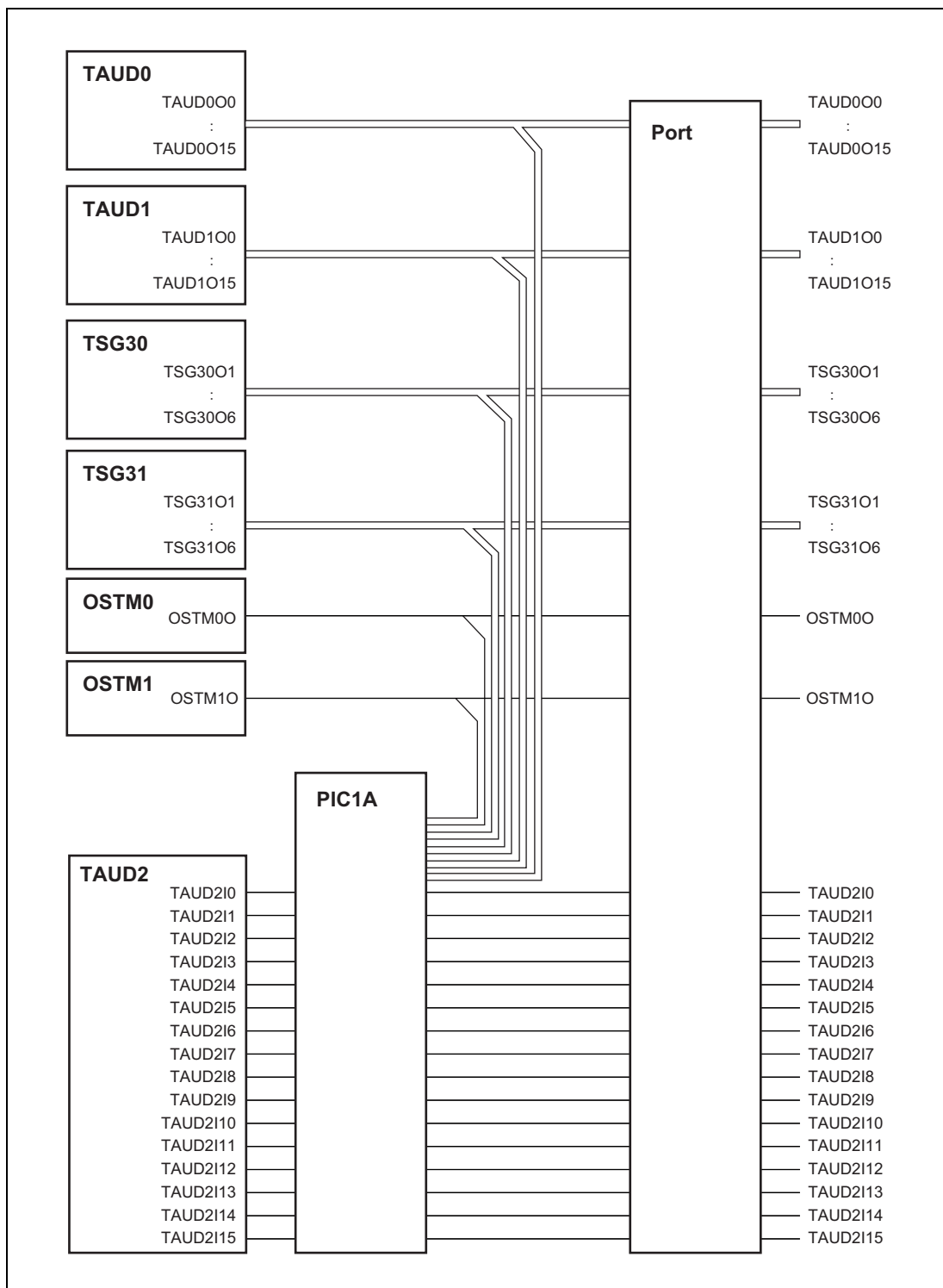


図 29.44 タイマ出力モニタ機能 ブロック図

(3) レジスタ

- POMONSEL レジスタにてモニタする出力を選択します。
- モニタする出力のポート設定は兼用出力レベルループバック機能を設定してください。詳細は「**2.3.4.3(1) PBDCn / JPBD0** — ポート双方向コントロールレジスタ」を参照してください。

29.2.3.14 タイマ入力モニタ機能

(1) 概要

TAUJ2 を使用して、TAUJ0、TAUJ1 の入力信号をモニタする機能です。

(2) 構成

TAUJ2 と PIC1A を組み合わせることで、TAUJ0、TAUJ1 の入力信号をモニタする機能を実現します。

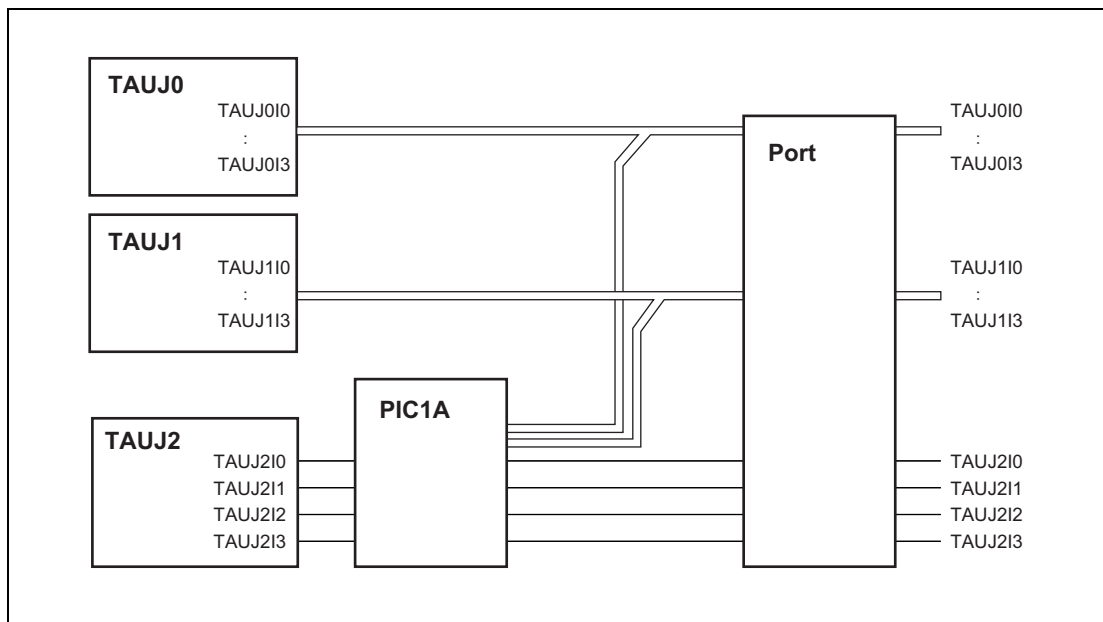


図 29.45 タイマ入力モニタ機能 ブロック図

(3) レジスタ

PIMONSEL レジスタにてモニタする入力を選択します。

29.2.3.15 TSG3 同期クリア機能

(1) 概要

TAUD0 と TSG30, TSG31 の同期スタート、クリアを実現する機能です。

(2) 構成

TAUD0 ch14 と ch15 の割り込み信号を TSG30, TSG31 の同時スタートトリガとすることで同期スタート・クリア機能を実現します。

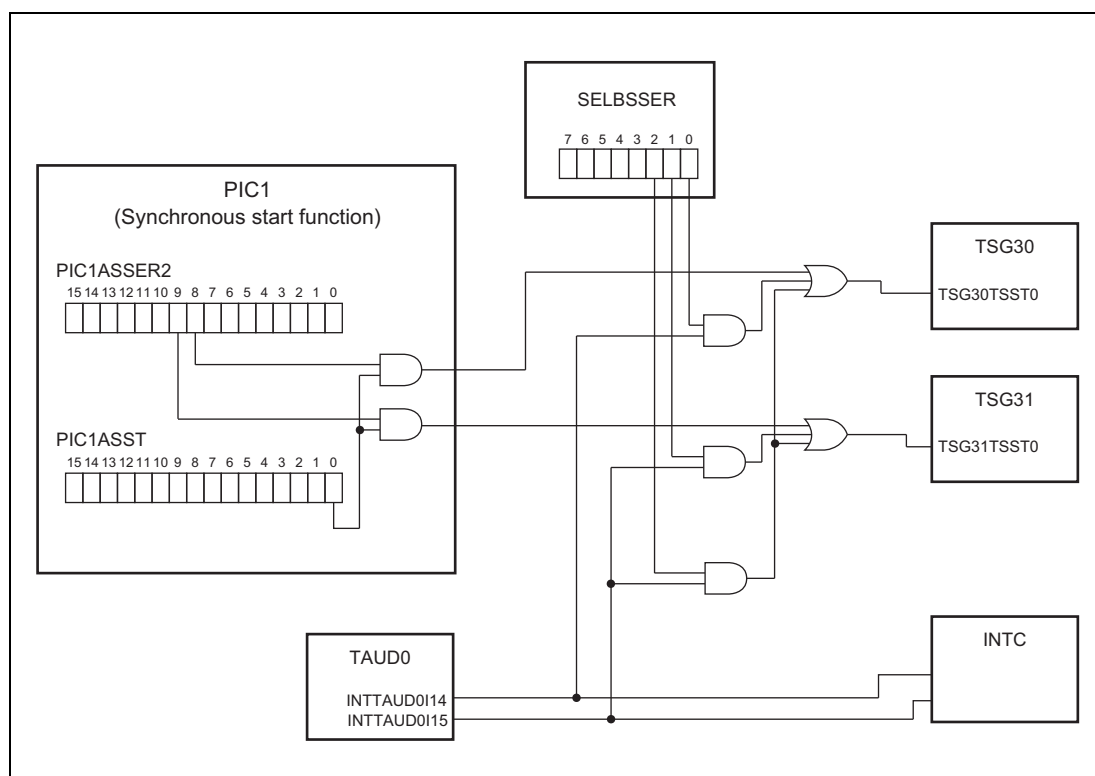


図 29.46 TSG3 同期クリア機能 ブロック図

29.3 ペリフェラルインタコネクション - 2 (PIC2B)

29.3.1 概要

29.3.1.1 機能概要

ペリフェラルインタコネクション-2 (PIC2B) は、各 IP から出力される内部トリガ及び外部トリガ信号を用いて ADCD ハードウェアトリガ信号を生成することができます。

29.3.2 レジスタ

29.3.2.1 レジスタ一覧

以下にレジスタ一覧を示します。

表 29.43 レジスタ一覧

レジスタ名	略号	アドレス
AD コンバータ 0 トリガ選択制御レジスタ 0	PIC2BADCD0TSEL0	<PIC2B_base> + 00 _H
AD コンバータ 0 トリガ選択制御レジスタ 1	PIC2BADCD0TSEL1	<PIC2B_base> + 04 _H
AD コンバータ 0 トリガ選択制御レジスタ 2	PIC2BADCD0TSEL2	<PIC2B_base> + 08 _H
AD コンバータ 0 トリガ選択制御レジスタ 3	PIC2BADCD0TSEL3	<PIC2B_base> + 0C _H
AD コンバータ 0 トリガ選択制御レジスタ 4	PIC2BADCD0TSEL4	<PIC2B_base> + 10 _H
AD コンバータ 0 トリガエッジ選択制御レジスタ	PIC2BADCD0EDGSEL	<PIC2B_base> + 1C _H
AD コンバータ 1 トリガ選択制御レジスタ 0	PIC2BADCD1TSEL0	<PIC2B_base> + 20 _H
AD コンバータ 1 トリガ選択制御レジスタ 1	PIC2BADCD1TSEL1	<PIC2B_base> + 24 _H
AD コンバータ 1 トリガ選択制御レジスタ 2	PIC2BADCD1TSEL2	<PIC2B_base> + 28 _H
AD コンバータ 1 トリガ選択制御レジスタ 3	PIC2BADCD1TSEL3	<PIC2B_base> + 2C _H
AD コンバータ 1 トリガ選択制御レジスタ 4	PIC2BADCD1TSEL4	<PIC2B_base> + 30 _H
AD コンバータ 1 トリガエッジ選択制御レジスタ	PIC2BADCD1EDGSEL	<PIC2B_base> + 3C _H
ADCD0, 1 共通		
AD コンバータトリガ出力制御レジスタ 400	PIC2BADTEN400	<PIC2B_base> + 40 _H
AD コンバータトリガ出力制御レジスタ 401	PIC2BADTEN401	<PIC2B_base> + 44 _H
AD コンバータトリガ出力制御レジスタ 402	PIC2BADTEN402	<PIC2B_base> + 48 _H
AD コンバータトリガ出力制御レジスタ 403	PIC2BADTEN403	<PIC2B_base> + 4C _H
AD コンバータトリガ出力制御レジスタ 404	PIC2BADTEN404	<PIC2B_base> + 50 _H
AD コンバータトリガ出力制御レジスタ 410	PIC2BADTEN410	<PIC2B_base> + 60 _H
AD コンバータトリガ出力制御レジスタ 411	PIC2BADTEN411	<PIC2B_base> + 64 _H
AD コンバータトリガ出力制御レジスタ 412	PIC2BADTEN412	<PIC2B_base> + 68 _H
AD コンバータトリガ出力制御レジスタ 413	PIC2BADTEN413	<PIC2B_base> + 6C _H
AD コンバータトリガ出力制御レジスタ 414	PIC2BADTEN414	<PIC2B_base> + 70 _H
A/D コンバータ同期スタートトリガレジスタ	ADSYNCTRG	FFF2 3100 _H

29.3.2.2 PIC2BADCDnTSELx — AD コンバータ n トリガ選択制御レジスタ x

PIC2BADCDnTSELx レジスタは、ADCDn のスキャングループ x のトリガを選択するレジスタです。(n = 0-1, x = 0-4)

アクセス 32 ビット単位でリード/ライト可能です。

アドレス Base = FFDD 1000_H
 Base + 00_H(n = 0, x = 0), Base + 04_H(n = 0, x = 1), Base + 08_H(n = 0, x = 2),
 Base + 0C_H(n = 0, x = 3), Base + 10_H(n = 0, x = 4),
 Base + 20_H(n = 1, x = 0), Base + 24_H(n = 1, x = 1), Base + 28_H(n = 1, x = 2),
 Base + 2C_H(n = 1, x = 3), Base + 30_H(n = 1, x = 4)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ADCDn TSELx 29	ADCDn TSELx 28	ADCDn TSELx 27	ADCDn TSELx 26	ADCDn TSELx 25	ADCDn TSELx 24	—	—	ADCDn TSELx 21	ADCDn TSELx 20	ADCDn TSELx 19	ADCDn TSELx 18	ADCDn TSELx 17	ADCDn TSELx 16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADCDn TSELx 08	ADCDn TSELx 07	ADCDn TSELx 06	ADCDn TSELx 05	ADCDn TSELx 04	ADCDn TSELx 03	ADCDn TSELx 02	ADCDn TSELx 01	ADCDn TSELx 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.44 PIC2BADCDnTSELx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
29	ADCDn TSELx29	ADCDn の SGx のトリガソースとして TSG31 の INTTSG31112 割り込みを選択する。 0 : INTTSG31112 を選択しない 1 : INTTSG31112 を選択する
28	ADCDn TSELx28	ADCDn の SGx のトリガソースとして TSG31 の INTTSG31111 割り込みを選択する。 0 : INTTSG31111 を選択しない 1 : INTTSG31111 を選択する
27	ADCDn TSELx27	ADCDn の SGx のトリガソースとして TSG31 の INTTSG3118 割り込みを選択する。 0 : INTTSG3118 を選択しない 1 : INTTSG3118 を選択する
26	ADCDn TSELx26	ADCDn の SGx のトリガソースとして TSG31 の INTTSG3117 割り込みを選択する。 0 : INTTSG3117 を選択しない 1 : INTTSG3117 を選択する
25	ADCDn TSELx25	ADCDn の SGx のトリガソースとして TSG31 の INTTSG3114 割り込みを選択する。 0 : INTTSG3114 を選択しない 1 : INTTSG3114 を選択する
24	ADCDn TSELx24	ADCDn の SGx のトリガソースとして TSG31 の INTTSG3113 割り込みを選択する。 0 : INTTSG3113 を選択しない 1 : INTTSG3113 を選択する
23、22	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
21	ADCDn TSELx21	ADCDn の SGx のトリガソースとして TSG30 の INTTSG30112 割り込みを選択する。 0 : INTTSG30112 を選択しない 1 : INTTSG30112 を選択する

表 29.44 PIC2BADCDnTSELx レジスタの内容 (2/2)

ビット位置	ビット名	機能
20	ADCDn TSELx20	ADCDn の SGx のトリガソースとして TSG30 の INTTSG30I11 割り込みを選択する。 0 : INTTSG30I11 を選択しない 1 : INTTSG30I11 を選択する
19	ADCDn TSELx19	ADCDn の SGx のトリガソースとして TSG30 の INTTSG30I8 割り込みを選択する。 0 : INTTSG30I8 を選択しない 1 : INTTSG30I8 を選択する
18	ADCDn TSELx18	ADCDn の SGx のトリガソースとして TSG30 の INTTSG30I7 割り込みを選択する。 0 : INTTSG30I7 を選択しない 1 : INTTSG30I7 を選択する
17	ADCDn TSELx17	ADCDn の SGx のトリガソースとして TSG30 の INTTSG30I4 割り込みを選択する。 0 : INTTSG30I4 を選択しない 1 : INTTSG30I4 を選択する
16	ADCDn TSELx16	ADCDn の SGx のトリガソースとして TSG30 の INTTSG30I3 割り込みを選択する。 0 : INTTSG30I3 を選択しない 1 : INTTSG30I3 を選択する
15 ~ 9	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
8	ADCDn TSELx08	ADCDn の SGx のトリガソースとして ADTRGn 端子を選択する。 0 : ADTRGn を選択しない 1 : ADTRGn を選択する
7	ADCDn TSELx07	ADCDn の SGx のトリガソースとして TSG31 の TSG3nADTRG1 信号を選択する。 0 : TSG3nADTRG1 を選択しない 1 : TSG3nADTRG1 を選択する
6	ADCDn TSELx06	ADCDn の SGx のトリガソースとして TSG31 の TSG3nADTRG0 信号を選択する。 0 : TSG3nADTRG0 を選択しない 1 : TSG3nADTRG0 を選択する
5	ADCDn TSELx05	ADCDn の SGx のトリガソースとして TSG30 の TSG3nADTRG1 信号を選択する。 0 : TSG3nADTRG1 を選択しない 1 : TSG3nADTRG1 を選択する
4	ADCDn TSELx04	ADCDn の SGx のトリガソースとして TSG30 の TSG3nADTRG0 信号を選択する。 0 : TSG3nADTRG0 を選択しない 1 : TSG3nADTRG0 を選択する
3	ADCDn TSELx03	ADCDn の SGx のトリガソースとして ENCA1 の INTENCA1I1 割り込み信号を選択する。 0 : INTENCA1I1 を選択しない 1 : INTENCA1I1 を選択する
2	ADCDn TSELx02	ADCDn の SGx のトリガソースとして ENCA0 の INTENCA0I1 割り込み信号を選択する。 0 : INTENCA0I1 を選択しない 1 : INTENCA0I1 を選択する
1	ADCDn TSELx01	ADCDn の SGx のトリガソースとして PIC2BADTEN41x レジスタで選択された TAUD1 の割り込み信号を選択する。 0 : TAUD1 の割り込みを選択しない 1 : TAUD1 の割り込みを選択する
0	ADCDn TSELx00	ADCDn の SGx のトリガソースとして PIC2BADTEN40x レジスタで選択された TAUD0 の割り込み信号を選択する。 0 : TAUD0 の割り込みを選択しない 1 : TAUD0 の割り込みを選択する

29.3.2.3 PIC2BADCDnEDGSEL — AD コンバータトリガエッジ制御レジスタ

PIC2BADCDnEDGSEL レジスタは ADCD トリガを生成する OneShot パルス発生回路に対して有効エッジの選択を行うレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス Base = FFDD 1000_H
Base + 1C_H(n = 0), Base + 3C_H(n = 1)

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIC2BADCDnEDGSEL[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.45 PIC2BADCDnEDGSEL レジスタの内容

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
9、8	PIC2BADCDnEDGSEL[9:8]	ADCDn のスキヤングループ 4 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止)
7、6	PIC2BADCDnEDGSEL[7:6]	ADCDn のスキヤングループ 3 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止)
5、4	PIC2BADCDnEDGSEL[5:4]	ADCDn のスキヤングループ 2 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止)
3、2	PIC2BADCDnEDGSEL[3:2]	ADCDn のスキヤングループ 1 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止)
1、0	PIC2BADCDnEDGSEL[1:0]	ADCDn のスキヤングループ 0 の有効エッジを選択。 00 : RiseEdge を選択 01 : FallEdge を選択 10 : 両 Edge を選択 11 : — (設定禁止)

29.3.2.4 PIC2BADTEN4nx — AD コンバータトリガ出力選択制御レジスタ

PIC2BADTEN4nx レジスタは ADCD トリガとして TAUDn チャンネル m からのトリガソース選択許可を行うレジスタです。(n = 0-1, x = 0-4)。本レジスタは ADCD0, 1 共通です。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス Base = FFDD 1000_H
 Base + 40_H(n = 0, x = 0), Base + 44_H(n = 0, x = 1), Base + 48_H(n = 0, x = 2),
 Base + 4C_H(n = 0, x = 3), Base + 50_H(n = 0, x = 4),
 Base + 60_H(n = 1, x = 0), Base + 64_H(n = 1, x = 1), Base + 68_H(n = 1, x = 2),
 Base + 6C_H(n = 1, x = 3), Base + 70_H(n = 1, x = 4)

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2BADTEN4nx[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.46 PIC2BADTEN4nx レジスタの内容

ビット位置	ビット名	機能
15~0	PIC2BADTEN4nxm(m = 0-15)	TAUDn のチャンネル m からのトリガソースを設定する。 0 : TAUDn のチャンネル m のトリガソースを ADCD トリガとして選択可能にしない。 1 : TAUDn のチャンネル m のトリガソースを ADCD トリガとして選択可能にする。

29.3.2.5 ADSYNCTRГ — A/D コンバータ同期スタートトリガレジスタ

ADCD0/ADCD1 の同期スタートトリガを制御するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFF2 3100_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	ADSYNCTRГ4	ADSYNCTRГ3	ADSYNCTRГ2	ADSYNCTRГ1	ADSYNCTRГ0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 29.47 ADSYNCTRГ レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
4	ADSYNCTRГ4	ADCD0 の各 SG で選択した変換開始トリガと同期して、ADCD1 の同じ SG を変換する。 0 : 同期スタートしない 1 : 同期スタート許可 本機能は、ADCD0 および ADCD1 とともに通常 A/D 変換でのみ使用可能です。
3	ADSYNCTRГ3	
2	ADSYNCTRГ2	
1	ADSYNCTRГ1	
0	ADSYNCTRГ0	

29.3.3 機能

29.3.3.1 ADCD トリガ選択機能

(1) 概要

各 IP からの信号を使って、各スキャングループの ADCD ハードウェアトリガ信号を生成する機能です。選択可能な IP は、TAUD0、TAUD1、ENCA0、ENCA1、TSG30、TSG31 です。

(2) 構成

各 IP と PIC2B を組み合わせることで、ADCD トリガ選択機能を実現します。ADCD トリガ選択機能のブロック図を以下に示します。

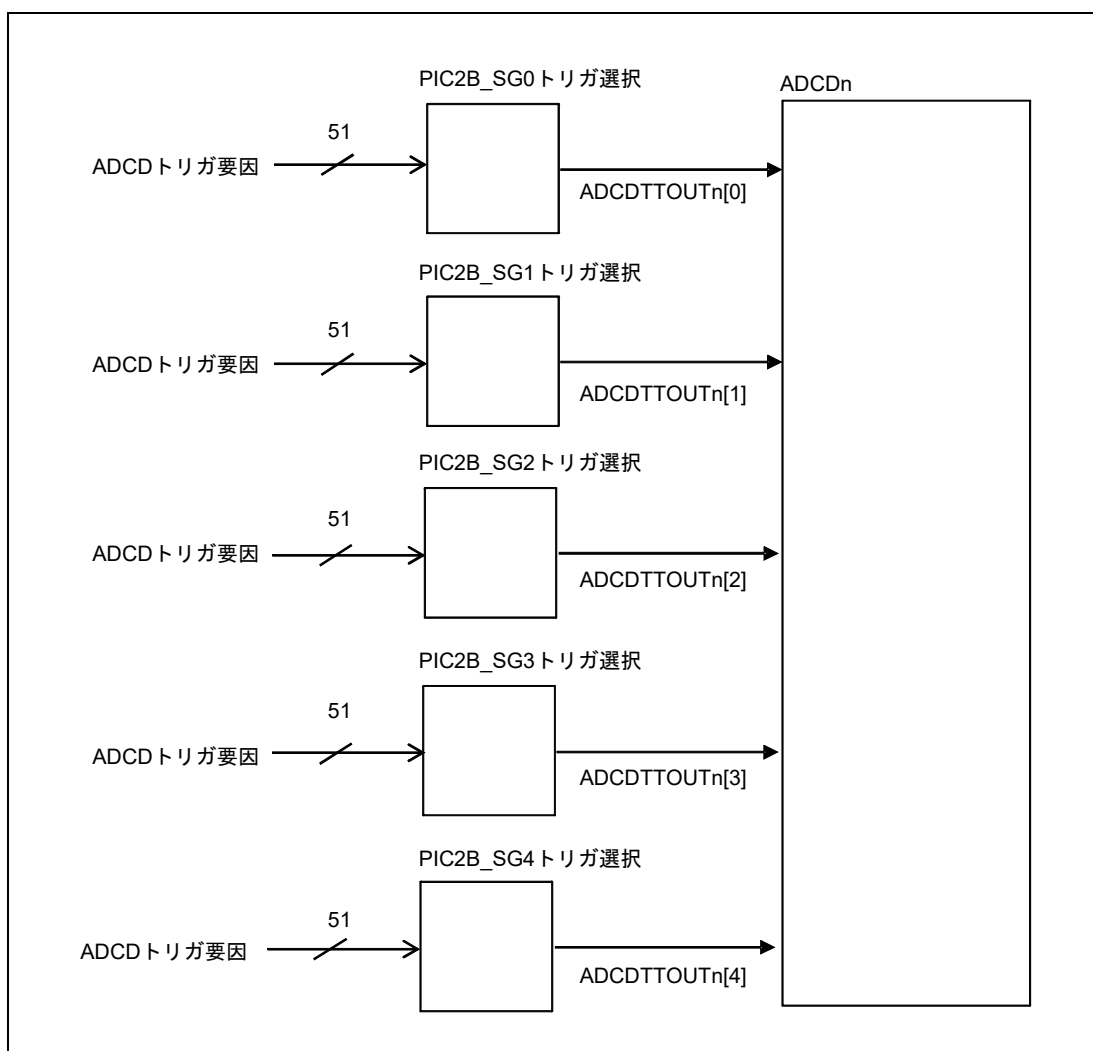


図 29.47 ADCD トリガ選択機能 ブロック図

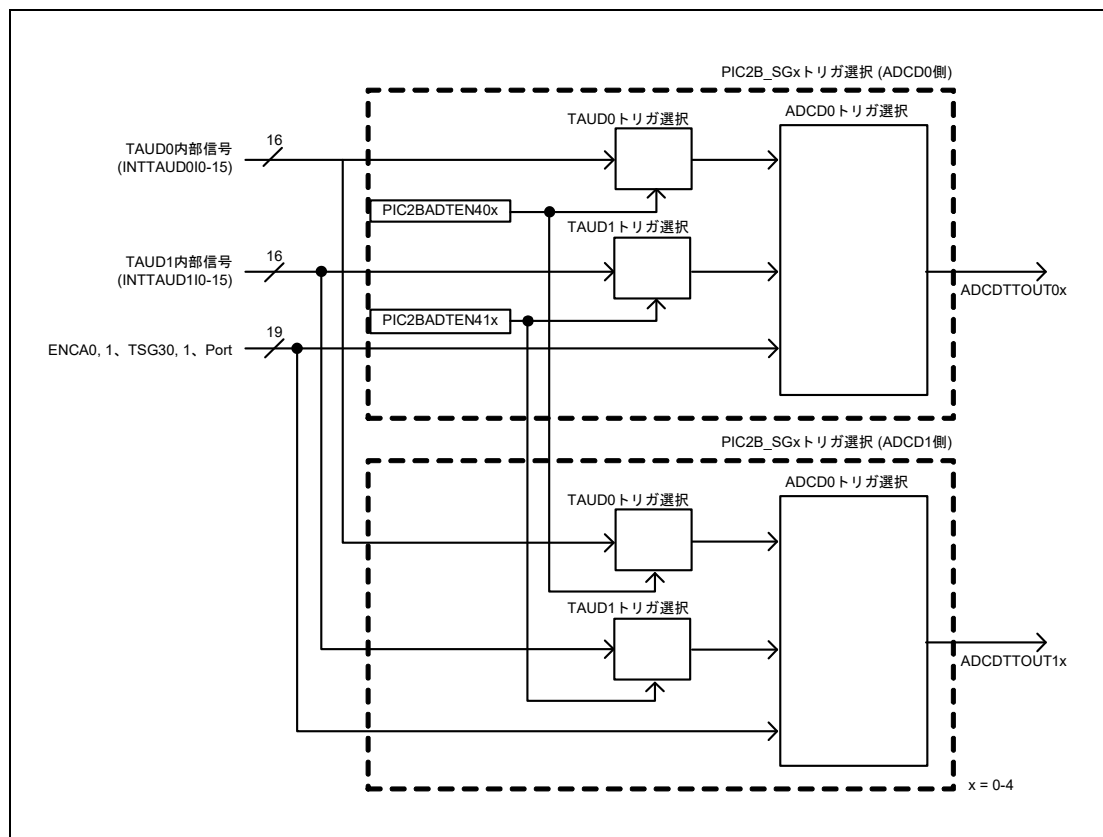


図 29.48 PIC2B_SGx トリガ選択 ブロック図

(3) レジスタ

本機能で使用する PIC2B の設定レジスタについては、**図 29.49 PIC2B ブロック図**及び、「**29.3.2.2 ~ 29.3.2.4**」を参照してください。

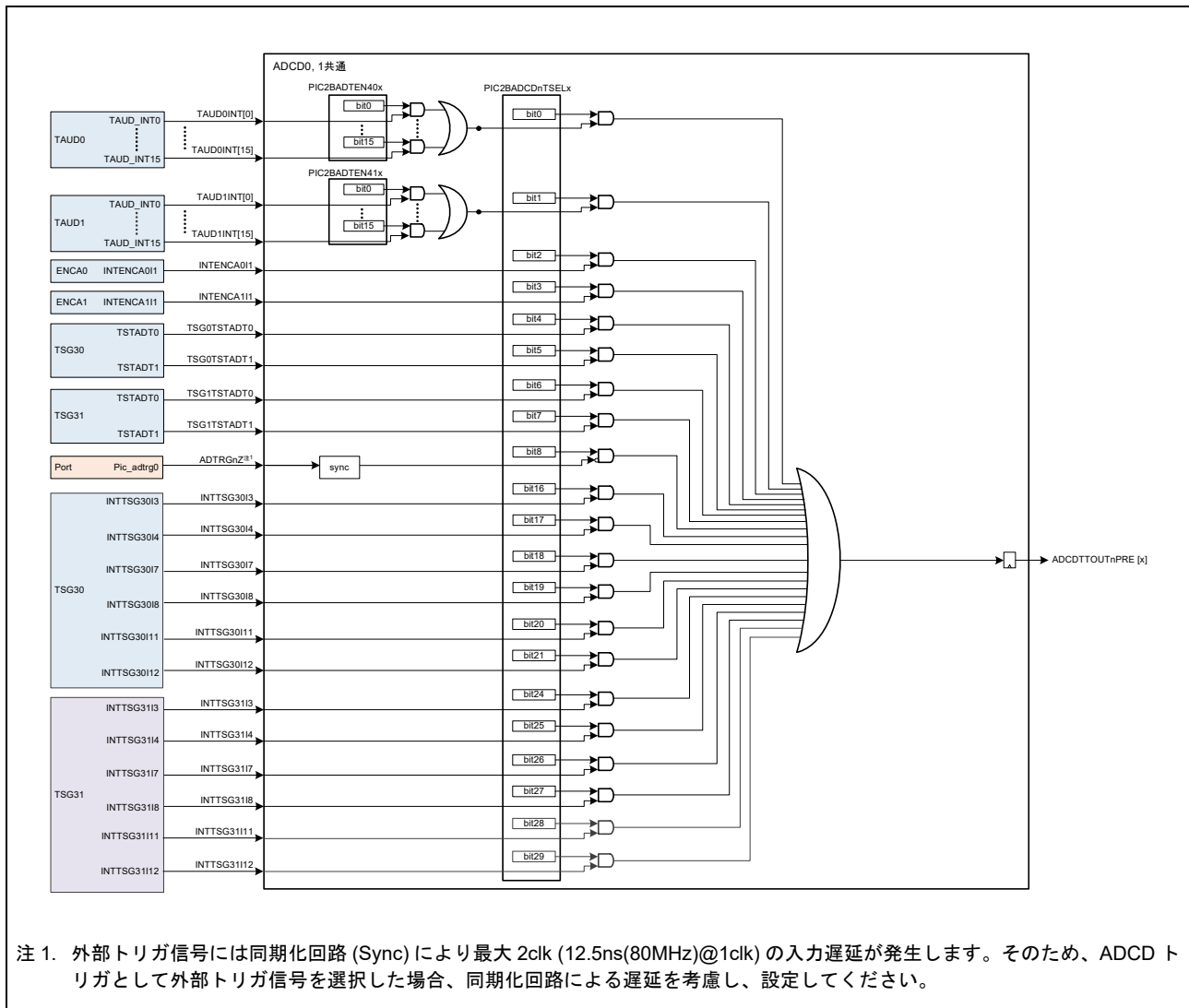


図 29.49 PIC2B ブロック図

(4) 機能

ADCDn のスキャングループごとに、AD トリガ信号を任意に選択可能です。

AD トリガ信号は、RiseEdge, FallEdge, 両 Edge 出力が選択可能です。

ADCD0, ADCD1 トリガにおいて、同じ番号のスキャングループでの TAUD トリガは共通です。

(5) フローチャート

本機能は、AD 動作前に設定してください。

第30章 A/Dコンバータ (ADCD)

本章では、A/Dコンバータ (ADCD) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1xに固有の特長について説明します。それ以降の節では、ADCDの機能、レジスタについて説明します。

30.1 RH850/P1x ADCDの特長

30.1.1 ユニット数

本製品は、以下に示すユニット数のADCDを搭載しています。

表 30.1 ユニット数

製品	RH850/P1x
ユニット数	2
名称	ADCDn (n = 0 ~ 1)

表 30.2 添字

添字	意味
n	本章では、ADCDの各ユニットを「n」(n = 0 ~ 1)で識別します。たとえば、仮想チャンネルレジスタjはADCD nVCRjと記述します。
m	本章では、ADCDの物理チャンネル番号を「m」で識別します。たとえばADCDnの物理チャンネルはAN0m (m = 0 ~ 11)、AN1m (m = 0 ~ 12、温度センサ専用チャンネルを含む)と記述します。製品ごとの物理チャンネルは表 30.7を参照してください。
j	本章では、ADCDのデータレジスタ数、仮想チャンネル数を「j」(j = 0 ~ 23)で識別します。たとえば、データレジスタjはADCD nDRjと記述します。
k	本章では、ADCDのT&Hチャンネル番号を「k」で識別します。(k = 0 ~ 5@ADCD0, k = 0 ~ 3@ADCD1)
x	本章では、スキヤングループを「x」で識別します。(x = 0 ~ 4)
y	本章では、ADタイマ番号を「y」(y = 3, 4)で識別します。
z	本章では、A/D変換モニタ仮想チャンネルポインタを識別します。(z = 0 ~ 4)

30.1.2 レジスタベースアドレス

ADCDのベースアドレスを以下の表に示します。

ADCDのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 30.3 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<ADCD0_base>	FFF2 0000 _H
<ADCD1_base>	FFF2 1000 _H

30.1.3 クロック供給

ADCD のクロック供給を以下の表に示します。

表 30.4 クロック供給

ユニット名	ユニットクロック名	供給クロック名
ADCDn	PCLK	低速周辺クロック CLK_LSB
	ADCD クロック	ADCD クロック CLK_ADC

30.1.4 割り込みと DMA

ADCD の割り込み要求を以下の表に示します。

表 30.5 割り込み要求

ユニット 割り込み名	概要	割り込み番号	DMA トリガ 番号	DTS トリガ 番号
ADCD0				
INTADCD0I0	ADCD0 スキャングループ 0 終了割り込み	77	55	55
INTADCD0I1	ADCD0 スキャングループ 1 終了割り込み	78	56	56
INTADCD0I2	ADCD0 スキャングループ 2 終了割り込み	79	57	57
INTADCD0I3	ADCD0 スキャングループ 3 終了割り込み	80	58	58
INTADCD0I4	ADCD0 スキャングループ 4 終了割り込み	81	59	59
INTADCD0ERR	ADCD0 AD エラー割り込み	76	—	—
INTADCD0MPX	ADCD0 MPX 割り込み要求	294	93	93
ADCD1				
INTADCD1I0	ADCD1 スキャングループ 0 終了割り込み	178	60	60
INTADCD1I1	ADCD1 スキャングループ 1 終了割り込み	179	61	61
INTADCD1I2	ADCD1 スキャングループ 2 終了割り込み	180	62	62
INTADCD1I3	ADCD1 スキャングループ 3 終了割り込み	181	63	63
INTADCD1I4	ADCD1 スキャングループ 4 終了割り込み	182	64	64
INTADCD1ERR	ADCD1 AD エラー割り込み	177	—	—
INTADCD1MPX	ADCD1 MPX 割り込み要求	295	94	94

備考 ADC パリティエラー割り込みは ECM (エラーコントロールモジュール) と接続しています。

30.1.5 リセット要因

ADCD のリセット要因を以下に示します。ADCD は以下のリセット要因で初期化されます。

表 30.6 リセット要因

ユニット名	リセット要因
ADCDn	リセットコントローラ SYSRES

30.1.6 外部入出力信号

ADCD の外部入出力信号を以下の表に示します。

表 30.7 外部入出力信号 (1/2)

ユニット信号名	概要	ポート端子兼用信号名	対象製品	
			RH850/P1x	RH850/P1x
			100-pin	144-pin
AVcc0	入力アナログ部の電源端子	A0VCC	○	○
AVss0	入力アナログ部のグラウンド端子	A0VSS	○	○
AVcc1	入力アナログ部の電源端子	A1VCC	○	○
AVss1	入力アナログ部のグラウンド端子	A1VSS	○	○
AVREFH0	入力アナログ部の基準電圧端子	A0VREFH	○	○
AVREFH1	入力アナログ部の基準電圧端子	A1VREFH	○	○
AN000	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD0I0	○	○
AN001	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD0I1	○	○
AN002	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD0I2	○	○
AN003	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD0I3	○	○
AN004	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD0I4	○	○
AN005	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD0I5	○	○
AN006	12ビット分解能アナログ入力端子 (MPX 対応)	ADCD0I6	○	○
AN007	12ビット分解能アナログ入力端子	ADCD0I7	○	○
AN008	12ビット分解能アナログ入力端子	ADCD0I8	○	○
AN009	12ビット分解能アナログ入力端子	ADCD0I9	—	○
AN010	12ビット分解能アナログ入力端子	ADCD0I10	—	○
AN011	12ビット分解能アナログ入力端子	ADCD0I11	—	○
AN100	12ビット分解能アナログ入力端子 (T&H 対応、MPX 対応)	ADCD1I0	○	○
AN101	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD1I1	○	○
AN102	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD1I2	○	○
AN103	12ビット分解能アナログ入力端子 (T&H 対応)	ADCD1I3	○	○
AN104	12ビット分解能アナログ入力端子	ADCD1I4	○	○
AN105	12ビット分解能アナログ入力端子	ADCD1I5	○	○
AN106	12ビット分解能アナログ入力端子	ADCD1I6	○	○
AN107	12ビット分解能アナログ入力端子	ADCD1I7	○	○
AN108	12ビット分解能アナログ入力端子	ADCD1I8	○	○
AN109	12ビット分解能アナログ入力端子	ADCD1I9	○	○
AN110	12ビット分解能アナログ入力端子	ADCD1I10	—	○
AN111	12ビット分解能アナログ入力端子	ADCD1I11	—	○
AN112	内蔵温度センサ専用入力チャネル	—	○	○
ADTRG0	入力外部トリガ端子 ^{注1}	ADCDTRG0	○	○
ADTRG1	入力外部トリガ端子 ^{注1}	ADCDTRG1	○	○
ADCD0CNV0	A/Dコンバータ状態モニタ端子	ADCD0CNV0	○	○
ADCD0CNV1	A/Dコンバータ状態モニタ端子	ADCD0CNV1	○	○
ADCD0CNV2	A/Dコンバータ状態モニタ端子	ADCD0CNV2	○	○
ADCD0CNV3	A/Dコンバータ状態モニタ端子	ADCD0CNV3	○	○
ADCD0CNV4	A/Dコンバータ状態モニタ端子	ADCD0CNV4	○	○
ADCD1CNV0	A/Dコンバータ状態モニタ端子	ADCD1CNV0	○	○
ADCD1CNV1	A/Dコンバータ状態モニタ端子	ADCD1CNV1	○	○
ADCD1CNV2	A/Dコンバータ状態モニタ端子	ADCD1CNV2	○	○

表 30.7 外部入出力信号 (2/2)

ユニット信号名	概要	ポート端子兼用信号名	対象製品	
			RH850/P1x	RH850/P1x
			100-pin	144-pin
ADCD1CNV3	A/D コンバータ状態モニタ端子	ADCD1CNV3	○	○
ADCD1CNV4	A/D コンバータ状態モニタ端子	ADCD1CNV4	○	○

注 1. トリガ入力端子はノイズフィルタを使用することができます。詳細は「2.6 ノイズフィルタ & エッジレベル検出回路」を参照してください。

30.1.7 アナログチャネルとトラック & ホールド機能

ADCD0 は最大 12 チャネル、ADCD1 は最大 13 チャネル（温度センサ専用チャネルを含む）の合計最大 25 チャネルの A/D 変換ができます。製品ごとの対応チャネル数については、表 30.7 を参照してください。

ADCD_n にトラック & ホールド回路を内蔵していますので、同時サンプリングした A/D 変換をすることができます。

ADCD0 は、6 チャネル分のトラック & ホールド回路を内蔵しています。最大 6 チャネルの同時トラック & ホールドをサポートします。

また、ADCD1 は、4 チャネル分のトラック & ホールド回路を内蔵しています。最大 4 チャネルの同時トラック & ホールドをサポートします。

30.1.8 仮想チャネル

各 ADCD には、24 チャネル分の仮想チャネルがあり、各仮想チャネルに A/D 変換するアナログチャネルやその他付随情報を設定します。各スキャングループにて開始仮想チャネルポインタと終了仮想チャネルポインタで示される仮想チャネルを順番に実行することで、任意のアナログチャネルを任意の順番で A/D 変換するスキャンを実行することができます。

30.2 概要

30.2.1 機能概要

ADCD の特長を以下に示します。

高性能な A/D 変換器

分解能：12 ビット

A/D 変換方式：逐次比較方式

A/D 変換時間：1.0 μ s と 11.3 μ s から選択可能

(A/D 変換時間は S/H 回路のサンプリング時間と逐次変換時間の合計です。)

- 5 系統のスキャングループをサポート
ADCD には、5 系統のスキャングループがあります。スキャングループは、独立にスキャンの内容を設定することができます。
- 2 種類のスキャンモード
ADCD には、2 種類のスキャンモードがあります。
マルチサイクルスキャンモード：指定された回数のスキャンを実行します。
連続スキャンモード：スキャンを無制限に繰り返し実行します。
- インターバル機能
ADCD は、スキャングループ 3、スキャングループ 4 に内蔵する AD タイマを使用して任意の周期でスキャングループを起動することができます。それによりインターバルを挿入したスキャンを実現できます。
- A/D 変換値加算機能
ADCD は、同じチャンネルを 2、4 回連続で A/D 変換し、加算した結果をデータレジスタに保持します。加算回数は、全仮想チャンネル共通設定となります。
この結果を使用することで移動平均フィルタの効果を得られます。
ただし、必ず A/D 変換精度が良くなることを保証する機能ではありません。
- 物理チャンネルの拡張
ADCD は、外付けのアナログマルチプレクサを使用して物理チャンネルを拡張することができます (対応チャンネルは、AN006、AN100)。
- データレジスタ
仮想チャンネルに対応したデータレジスタがあります。
- スキャングループの開始トリガ
各スキャングループは、ハードウェアトリガ/ソフトウェアトリガにより処理を開始することができます。スキャングループ 3、スキャングループ 4 のみ AD タイマトリガにより処理を開始することができます。

- 非同期 / 同期サスペンド & レジューム機能
スキヤングループの処理中に別のスキヤングループの処理を割り込むことができます。
優先順位は、
低い 高い
SG0 < SG1 < SG2 < SG3 < SG4 (SG : スキヤングループ)
となります。低優先 SG 処理中に高優先 SG のいずれかの要求があると低優先 SG で仕掛かり中の仮想チャンネルの処理を終了してから中断 (同期サスペンド) するか、もしくは仕掛かり中の仮想チャンネルの処理を即中断 (非同期サスペンド) し、要求のある高優先 SG の処理を実行します。高優先 SG の処理終了後、低優先 SG で中断した仮想チャンネルの処理から再開 (レジューム) します (T&H 機能未使用時のみ同期サスペンド使用可能)。
さらに SG0 処理中に高優先 SG が割り込む場合は、非同期サスペンドだが、SG0 以外の低優先 SG 処理中に高優先 SG が割り込む場合は、同期サスペンドとする設定もできます (T&H 機能未使用時のみ)。
- スキヤン終了割り込みと DMA 転送をサポート
各スキヤングループは、終了仮想チャンネルポインタが指す仮想チャンネルの処理が終了するもしくは任意の仮想チャンネルが終了するたびに INTC に対する割り込み要求の発生、および DMAC の起動ができます。
- アナログ変換電圧範囲が設定可能
A0VREFH 端子、A1VREFH 端子により、アナログ変換の電圧の範囲を設定できます。
- 豊富なセーフティ機能
ADCD のセーフティ機能として、A/D 変換回路自己診断機能、端子レベル自己診断、断線検出機能、ID エラーチェック、データレジスタの上限 / 下限チェック、データレジスタのパリティチェック、データレジスタのオーバーライトチェック、データレジスタのリード&クリア機能など豊富なセーフティ機能が整備されています。

30.2.2 ブロック図

図 30.1 と図 30.2 に ADCD のブロック図を示します。

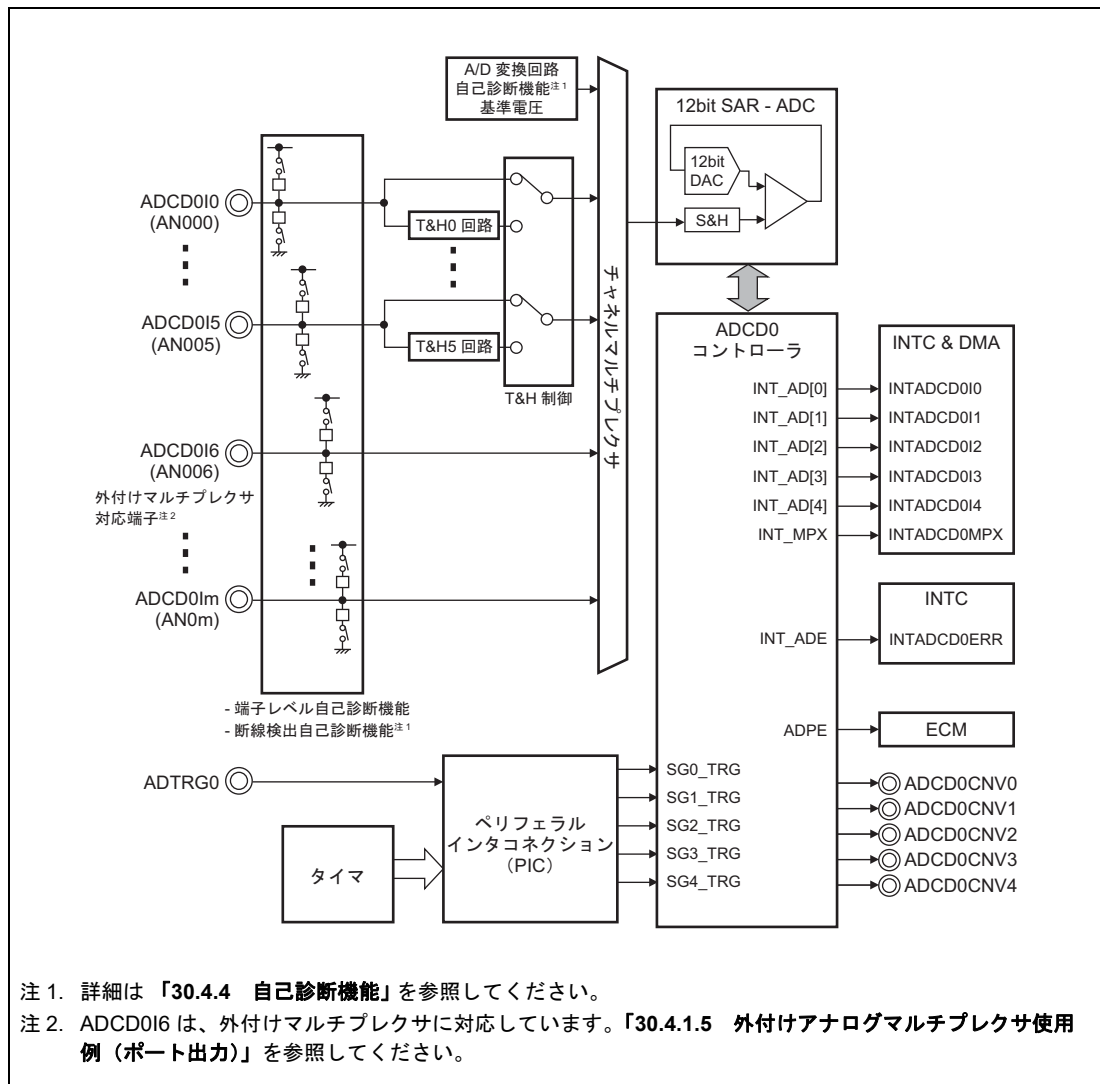


図 30.1 ADCD0 のブロック図

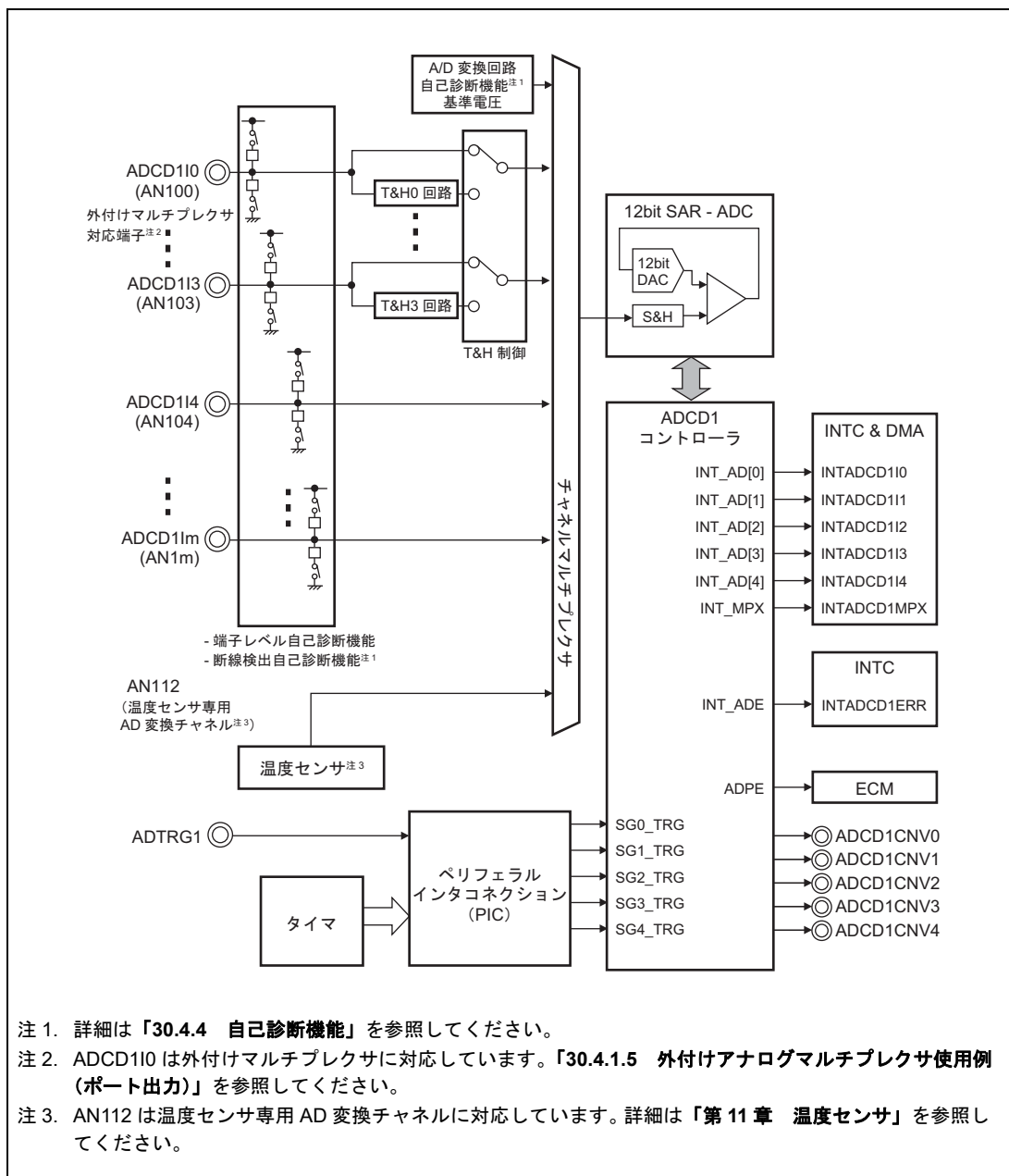


図 30.2 ADCD1 のブロック図

30.2.3 スキャングループ (SG)

スキャングループとは、複数の仮想チャンネルをグルーピングしたものです。

ADCD には 5 つのスキャングループがあります。A/D 変換の優先順位は (低い) $SG0 < SG1 < SG2 < SG3 < SG4$ (高い) です。

SGx は連続した仮想チャンネルをグルーピングできます。グルーピングは、開始ポイント (ADCDnSGVCSPx レジスタ) と終了ポイント (ADCDnSGVCEPx レジスタ) を用いて設定します。未使用のスキャングループは A/D 変換トリガ入力を無効に設定してください。

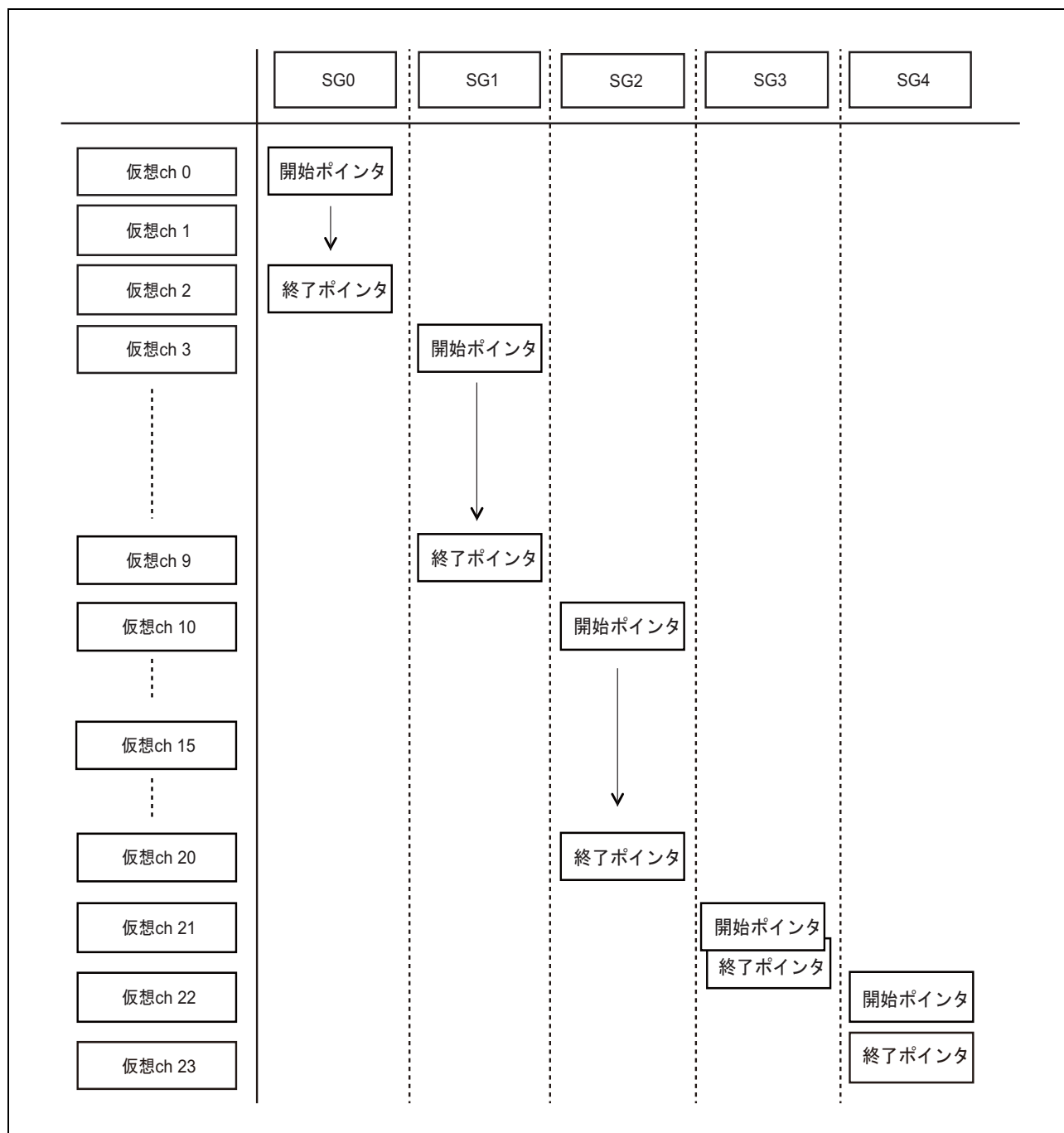


図 30.3 SG 割り当て例

30.3 レジスタ

30.3.1 レジスタ一覧

ADCD のレジスタ一覧を以下の表に示します。

表 30.8 レジスタ一覧 (1/2)

レジスタ名	略号	アドレス
ADC 共有レジスタ		
AD 同期開始制御レジスタ	ADCD0ADSYNSTCR	<ADCD0_base> + 300 _H
AD タイマ同期開始制御レジスタ	ADCD0ADTSYNSTCR	<ADCD0_base> + 304 _H
ADC 固有レジスタ (仮想チャンネル)		
仮想チャンネルレジスタ j	ADCDnVCRj	<ADCDn_base> + j × 4 _H
データレジスタ j (j は偶数のみ)	ADCDnDRj	<ADCDn_base> + 100 _H + j × 2 _H
データ付帯情報レジスタ j	ADCDnDIRj	<ADCDn_base> + 200 _H + j × 4 _H
ADC 固有レジスタ (制御)		
A/D 変換時間制御レジスタ	ADCDnSMPCR	<ADCDn_base> + 340 _H
AD 終了レジスタ	ADCDnADHALTR	<ADCDn_base> + 380 _H
AD 制御レジスタ 1	ADCDnADCR1	<ADCDn_base> + 384 _H
MPX カレント制御レジスタ	ADCDnMPXCURCR	<ADCDn_base> + 388 _H
MPX カレントレジスタ	ADCDnMPXCURR	<ADCDn_base> + 38C _H
MPX 任意ウェイトレジスタ	ADCDnMPXOWR	<ADCDn_base> + 390 _H
AD 制御レジスタ 2	ADCDnADCR2	<ADCDn_base> + 398 _H
A/D 変換モニタ仮想チャンネルポインタ 0	ADCDnADENDP0	<ADCDn_base> + 3A0 _H
A/D 変換モニタ仮想チャンネルポインタ 1	ADCDnADENDP1	<ADCDn_base> + 3A4 _H
A/D 変換モニタ仮想チャンネルポインタ 2	ADCDnADENDP2	<ADCDn_base> + 3A8 _H
A/D 変換モニタ仮想チャンネルポインタ 3	ADCDnADENDP3	<ADCDn_base> + 3AC _H
A/D 変換モニタ仮想チャンネルポインタ 4	ADCDnADENDP4	<ADCDn_base> + 3B0 _H
T&H サンプリング開始制御レジスタ	ADCDnTHSMPSTCR	<ADCDn_base> + 400 _H
T&H 停止制御レジスタ	ADCDnTHSTPCR	<ADCDn_base> + 404 _H
T&H 制御レジスタ	ADCDnTHCR	<ADCDn_base> + 408 _H
T&H グループ A ホールド開始制御レジスタ	ADCDnTHAHLSTCR	<ADCDn_base> + 410 _H
T&H グループ B ホールド開始制御レジスタ	ADCDnTHBHLSTCR	<ADCDn_base> + 414 _H
T&H グループ A 制御レジスタ	ADCDnTHACR	<ADCDn_base> + 420 _H
T&H グループ B 制御レジスタ	ADCDnTHBCR	<ADCDn_base> + 424 _H
T&H イネーブルレジスタ	ADCDnTHER	<ADCDn_base> + 430 _H
T&H グループ選択レジスタ	ADCDnTHGSR	<ADCDn_base> + 434 _H
ADC 固有レジスタ (セーフティ関連)		
セーフティ制御レジスタ	ADCDnSFTCR	<ADCDn_base> + 3C0 _H
端子レベル自己診断制御レジスタ	ADCDnTDCR	<ADCDn_base> + 3C4 _H
断線検出制御レジスタ	ADCDnODCR	<ADCDn_base> + 3C8 _H
断線検出端子設定レジスタ 0	ADOPDIG0	FFF2 3000 _H
断線検出端子設定レジスタ 1	ADOPDIG1	FFF2 3040 _H
上限 / 下限テーブルレジスタ 0	ADCDnULLMTBR0	<ADCDn_base> + 3CC _H
上限 / 下限テーブルレジスタ 1	ADCDnULLMTBR1	<ADCDn_base> + 3D0 _H
上限 / 下限テーブルレジスタ 2	ADCDnULLMTBR2	<ADCDn_base> + 3D4 _H
エラークリアレジスタ	ADCDnECR	<ADCDn_base> + 3D8 _H
上限 / 下限エラーレジスタ	ADCDnULER	<ADCDn_base> + 3DC _H
オーバーライトエラーレジスタ	ADCDnOWER	<ADCDn_base> + 3E0 _H

表 30.8 レジスタ一覧 (2/2)

レジスタ名	略号	アドレス
パリティエラーレジスタ	ADCDnPER	<ADCDn_base> + 3E4 _H
IDエラーレジスタ	ADCDnIDER	<ADCDn_base> + 3E8 _H
スキャングループ固有レジスタ		
スキャングループx開始制御レジスタ 0	ADCDnSGSTCR0	<ADCDn_base> + 480 _H
スキャングループx開始制御レジスタ 1	ADCDnSGSTCR1	<ADCDn_base> + 500 _H
スキャングループx開始制御レジスタ 2	ADCDnSGSTCR2	<ADCDn_base> + 580 _H
スキャングループx開始制御レジスタ 3	ADCDnSGSTCR3	<ADCDn_base> + 600 _H
スキャングループx開始制御レジスタ 4	ADCDnSGSTCR4	<ADCDn_base> + 680 _H
AD タイマ y 開始制御レジスタ 3	ADCDnADTSTCR3	<ADCDn_base> + 608 _H
AD タイマ y 開始制御レジスタ 4	ADCDnADTSTCR4	<ADCDn_base> + 688 _H
AD タイマ y 終了制御レジスタ 3	ADCDnADTENDCR3	<ADCDn_base> + 60C _H
AD タイマ y 終了制御レジスタ 4	ADCDnADTENDCR4	<ADCDn_base> + 68C _H
スキャングループx制御レジスタ 0	ADCDnSGCR0	<ADCDn_base> + 490 _H
スキャングループx制御レジスタ 1	ADCDnSGCR1	<ADCDn_base> + 510 _H
スキャングループx制御レジスタ 2	ADCDnSGCR2	<ADCDn_base> + 590 _H
スキャングループx制御レジスタ 3	ADCDnSGCR3	<ADCDn_base> + 610 _H
スキャングループx制御レジスタ 4	ADCDnSGCR4	<ADCDn_base> + 690 _H
スキャングループx開始仮想チャンネルポイント 0	ADCDnSGVCSP0	<ADCDn_base> + 494 _H
スキャングループx開始仮想チャンネルポイント 1	ADCDnSGVCSP1	<ADCDn_base> + 514 _H
スキャングループx開始仮想チャンネルポイント 2	ADCDnSGVCSP2	<ADCDn_base> + 594 _H
スキャングループx開始仮想チャンネルポイント 3	ADCDnSGVCSP3	<ADCDn_base> + 614 _H
スキャングループx開始仮想チャンネルポイント 4	ADCDnSGVCSP4	<ADCDn_base> + 694 _H
スキャングループx終了仮想チャンネルポイント 0	ADCDnSGVCEP0	<ADCDn_base> + 498 _H
スキャングループx終了仮想チャンネルポイント 1	ADCDnSGVCEP1	<ADCDn_base> + 518 _H
スキャングループx終了仮想チャンネルポイント 2	ADCDnSGVCEP2	<ADCDn_base> + 598 _H
スキャングループx終了仮想チャンネルポイント 3	ADCDnSGVCEP3	<ADCDn_base> + 618 _H
スキャングループx終了仮想チャンネルポイント 4	ADCDnSGVCEP4	<ADCDn_base> + 698 _H
スキャングループxマルチサイクルレジスタ 0	ADCDnSGMCYCR0	<ADCDn_base> + 49C _H
スキャングループxマルチサイクルレジスタ 1	ADCDnSGMCYCR1	<ADCDn_base> + 51C _H
スキャングループxマルチサイクルレジスタ 2	ADCDnSGMCYCR2	<ADCDn_base> + 59C _H
スキャングループxマルチサイクルレジスタ 3	ADCDnSGMCYCR3	<ADCDn_base> + 61C _H
スキャングループxマルチサイクルレジスタ 4	ADCDnSGMCYCR4	<ADCDn_base> + 69C _H
スキャングループxステータスレジスタ 0	ADCDnSGSR0	<ADCDn_base> + 4A4 _H
スキャングループxステータスレジスタ 1	ADCDnSGSR1	<ADCDn_base> + 524 _H
スキャングループxステータスレジスタ 2	ADCDnSGSR2	<ADCDn_base> + 5A4 _H
スキャングループxステータスレジスタ 3	ADCDnSGSR3	<ADCDn_base> + 624 _H
スキャングループxステータスレジスタ 4	ADCDnSGSR4	<ADCDn_base> + 6A4 _H
AD タイマ初期位相レジスタ 3	ADCDnADTIPR3	<ADCDn_base> + 628 _H
AD タイマ初期位相レジスタ 4	ADCDnADTIPR4	<ADCDn_base> + 6A8 _H
AD タイマ周期レジスタ 3	ADCDnADTPRR3	<ADCDn_base> + 62C _H
AD タイマ周期レジスタ 4	ADCDnADTPRR4	<ADCDn_base> + 6AC _H
スキャングループx上限値/下限値テーブル選択レジスタ 0	ADCDnULLMSR0	<ADCDn_base> + 4B0 _H
スキャングループx上限値/下限値テーブル選択レジスタ 1	ADCDnULLMSR1	<ADCDn_base> + 530 _H
スキャングループx上限値/下限値テーブル選択レジスタ 2	ADCDnULLMSR2	<ADCDn_base> + 5B0 _H
スキャングループx上限値/下限値テーブル選択レジスタ 3	ADCDnULLMSR3	<ADCDn_base> + 630 _H
スキャングループx上限値/下限値テーブル選択レジスタ 4	ADCDnULLMSR4	<ADCDn_base> + 6B0 _H

30.3.2 ADCD0ADSYNSTCR — AD 同期開始制御レジスタ

ADCD0ADSYNSTCR は、ADCD0 と ADCD1 の各スキャングループの AD 変換を同時に開始する制御を行う 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されません。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCD0_base> + 300_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADSTART
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.9 ADCD0ADSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	ADSTART	ADCD0 と ADCD1 の SG の A/D 変換を同時に開始します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : A/D 変換開始 A/D 変換を同時に開始させる SG の SG 同期開始イネーブル (ADCDnSGCRx.ADSTARTE ビット) を有効にしてください。

30.3.3 ADCD0ADTSYNSTCR — AD タイマ同期開始制御レジスタ

ADCD0ADTSYNSTCR は、ADCD0 と ADCD1 の各 AD タイマのカウント動作を同時に開始する制御を行う 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されません。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCD0_base> + 304_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTSTART
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.10 ADCD0ADTSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	ADTSTART	ADCD0 と ADCD1 の AD タイマのカウント動作を同時に開始します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : AD タイマカウント開始 AD タイマのカウント動作を同時に開始させる AD タイマ同期開始イネーブル (ADCDnSGCRx.ADTSTARTE ビット) を有効にしてください。

30.3.4 ADCDnVCRj — 仮想チャンネルレジスタ j

ADCDnVCRj は、仮想チャンネル単位に設定する 32 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + j × 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PUE	PDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNVCLS[2:0]			—	—	—	—	—	ADIE	—	GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W

表 30.11 ADCDnVCRj レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
17	PUE	物理チャンネル IO 内プルアップ抵抗制御 0: 対象の物理チャンネル IO に対し、プルアップ抵抗をオフ 1: 対象の物理チャンネル IO に対し、プルアップ抵抗をオン PUE=1 のとき、断線検出機能を使用する際に、本仮想チャンネルで設定した物理チャンネル IO 内のプルアップ抵抗をオンにします。 注意 1. PDE と PUE を同時に 1 に設定することは禁止です。 2. PUE=1 の場合、T&H は使用禁止です。 3. PUE=1 の場合、端子レベル自己診断機能は使用禁止です。
16	PDE	物理チャンネル IO 内プルダウン抵抗制御 0: 対象の物理チャンネル IO に対し、プルダウン抵抗をオフ 1: 対象の物理チャンネル IO に対し、プルダウン抵抗をオン PDE=1 のとき、断線検出機能を使用する際に、本仮想チャンネルで設定した物理チャンネル IO 内のプルダウン抵抗をオンにします。 注意 1. PDE と PUE を同時に 1 に設定することは禁止です。 2. PDE=1 の場合、T&H は使用禁止です。 3. PDE=1 の場合、端子レベル自己診断機能は使用禁止です。
15 ~ 13	CNVCLS[2:0]	変換種別 0 _H : 通常 A/D 変換 1 _H : ホールド値 A/D 変換 2 _H : 設定禁止 3 _H : 自己診断 4 _H : 加算モードの通常 A/D 変換 5 _H : 通常 A/D 変換 (外付け MPX 使用) 6 _H : 加算モードの通常 A/D 変換 (外付け MPX 使用) 7 _H : 設定禁止
12 ~ 8	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。

表 30.11 ADCDnVCRj レジスタの内容 (2/2)

ビット位置	ビット名	機能																
7	ADIE	仮想チャネル終了割り込みイネーブル 0: SGx にて仮想チャネル n の仮想チャネル終了で INTADCDnIx を出力しない 1: SGx にて仮想チャネル n の仮想チャネル終了で INTADCDnIx を出力する ADCDnSGCRx の ADIE と ADCDnVCRj の ADIE は無関係です。詳細は、「30.4.5.1 スキャン終了割り込み」を参照してください。																
6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。																
5 ~ 0	GCTRL[5:0]	汎用制御 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">CNVCLS[2:0]</th> <th style="width: 50%;">GCTRL[5:0]</th> </tr> </thead> <tbody> <tr> <td>0_H: 通常 A/D 変換</td> <td>GCTRL[4:0]: 物理チャネル番号 m 注1</td> </tr> <tr> <td>1_H: ホールド A/D 変換</td> <td>T&H 対応端子の物理チャネル番号 k 00_H: T&H0 ホールド値を A/D 変換 01_H: T&H1 ホールド値を A/D 変換 02_H: T&H2 ホールド値を A/D 変換 03_H: T&H3 ホールド値を A/D 変換 04_H: T&H4 ホールド値を A/D 変換 05_H: T&H5 ホールド値を A/D 変換 「表 30.7 外部入出力信号」に記載の T&H 対応端子を指定してください。T&H 対応していない入力端子は設定禁止です。</td> </tr> <tr> <td>3_H: 自己診断</td> <td>00_H: AVREFH×0 04_H: AVREFH×1/4 08_H: AVREFH×1/2 0C_H: AVREFH×3/4 10_H: AVREFH×1 上記以外: 設定禁止</td> </tr> <tr> <td>4_H: 加算モードの通常 A/D 変換</td> <td>GCTRL[4:0]: 物理チャネル番号 m 注1 * 加算回数は、ADDNT にて設定された回数で反映されます。</td> </tr> <tr> <td>5_H: 通常 A/D 変換 (外付け MPX 使用)</td> <td>GCTRL[4:0]: MPX 対応端子の物理チャネル番号 m を設定</td> </tr> <tr> <td>6_H: 加算モードの通常 A/D 変換 (外付け MPX 使用)</td> <td>GCTRL[4:0]: MPX 対応端子の物理チャネル番号 m を設定</td> </tr> <tr> <td>上記以外: 設定禁止</td> <td>—</td> </tr> </tbody> </table> <p>GCTRL[5:0] のうち、未使用のビットには 0 を書き込んでください。</p> <p>注 1. 「表 30.7 外部入出力信号」に記載の物理チャネル ANnm を指定してください。搭載されていない物理チャネル ANnm は設定禁止です。</p>	CNVCLS[2:0]	GCTRL[5:0]	0 _H : 通常 A/D 変換	GCTRL[4:0]: 物理チャネル番号 m 注1	1 _H : ホールド A/D 変換	T&H 対応端子の物理チャネル番号 k 00 _H : T&H0 ホールド値を A/D 変換 01 _H : T&H1 ホールド値を A/D 変換 02 _H : T&H2 ホールド値を A/D 変換 03 _H : T&H3 ホールド値を A/D 変換 04 _H : T&H4 ホールド値を A/D 変換 05 _H : T&H5 ホールド値を A/D 変換 「表 30.7 外部入出力信号」に記載の T&H 対応端子を指定してください。T&H 対応していない入力端子は設定禁止です。	3 _H : 自己診断	00 _H : AVREFH×0 04 _H : AVREFH×1/4 08 _H : AVREFH×1/2 0C _H : AVREFH×3/4 10 _H : AVREFH×1 上記以外: 設定禁止	4 _H : 加算モードの通常 A/D 変換	GCTRL[4:0]: 物理チャネル番号 m 注1 * 加算回数は、ADDNT にて設定された回数で反映されます。	5 _H : 通常 A/D 変換 (外付け MPX 使用)	GCTRL[4:0]: MPX 対応端子の物理チャネル番号 m を設定	6 _H : 加算モードの通常 A/D 変換 (外付け MPX 使用)	GCTRL[4:0]: MPX 対応端子の物理チャネル番号 m を設定	上記以外: 設定禁止	—
CNVCLS[2:0]	GCTRL[5:0]																	
0 _H : 通常 A/D 変換	GCTRL[4:0]: 物理チャネル番号 m 注1																	
1 _H : ホールド A/D 変換	T&H 対応端子の物理チャネル番号 k 00 _H : T&H0 ホールド値を A/D 変換 01 _H : T&H1 ホールド値を A/D 変換 02 _H : T&H2 ホールド値を A/D 変換 03 _H : T&H3 ホールド値を A/D 変換 04 _H : T&H4 ホールド値を A/D 変換 05 _H : T&H5 ホールド値を A/D 変換 「表 30.7 外部入出力信号」に記載の T&H 対応端子を指定してください。T&H 対応していない入力端子は設定禁止です。																	
3 _H : 自己診断	00 _H : AVREFH×0 04 _H : AVREFH×1/4 08 _H : AVREFH×1/2 0C _H : AVREFH×3/4 10 _H : AVREFH×1 上記以外: 設定禁止																	
4 _H : 加算モードの通常 A/D 変換	GCTRL[4:0]: 物理チャネル番号 m 注1 * 加算回数は、ADDNT にて設定された回数で反映されます。																	
5 _H : 通常 A/D 変換 (外付け MPX 使用)	GCTRL[4:0]: MPX 対応端子の物理チャネル番号 m を設定																	
6 _H : 加算モードの通常 A/D 変換 (外付け MPX 使用)	GCTRL[4:0]: MPX 対応端子の物理チャネル番号 m を設定																	
上記以外: 設定禁止	—																	

注 意

誤動作を防ぐため、ADCDnVCRj の設定は、次の順で設定/確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
- ③ 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

ただし、ADCDnVCRj.PUE と ADCDnVCRj.PDE を使用し断線検出を行うスキャングループであれば、ADCDnVCRj.GCTRL[5:0] は、“全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)”ではなく、“設定対象のスキャングループの SGACT が 0 の状態 (スキャングループ起動前)”で設定が可能です。

30.3.5 ADCDnDRj — データレジスタ j

ADCDnDRj は、ADCDnVCRj, ADCDnVCR (j+1) に対応した A/D 変換結果を格納する 32 ビットの読み出し専用レジスタです。A/D 変換結果は、上位に ADCDnVCR (j+1) の変換結果 (ADCDnDR(j+1)) を格納し、下位に ADCDnVCRj の変換結果 (ADCDnDRj) を格納します。ADCDnDRj は、ADCDnVCRj.CNVCLS[2:0] = 4_H, 6_H のとき、ADCR2.DFMT および ADCR2.ADDNT 設定によりフォーマットが変わります。ADCDnDRj は、RDCLRE が 1 に設定されているときに ADCDnDRj もしくは ADCDnDIRj の読み出しで 0000_H にクリアされます。

アクセス 32 ビット単位でのリードのみ可能です。

アドレス <ADCDn_base> + 100_H + j × 2_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DRj+1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRj[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.12 ADCDnDRj レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	DRj+1 [15:0]	DR(j+1)[15:0] A/D 変換結果データを格納する。 (ADCDnVCR(j+1) で設定されたチャンネルに対しての A/D 変換結果を転送する。)
15 ~ 0	DRj [15:0]	DRj [15:0] A/D 変換結果データを格納する。 (ADCDnVCRj で設定されたチャンネルに対しての A/D 変換結果を転送する。)

備考

j = 00, 02, 04 . . . 偶数のみ


符号付き固定小数点フォーマット (DFMT=0) のときの DRj[15:0]

加算回数	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1 回変換	S													0	0	0
2 回変換	S														0	0
4 回変換	S															0

↑ 小数点位置

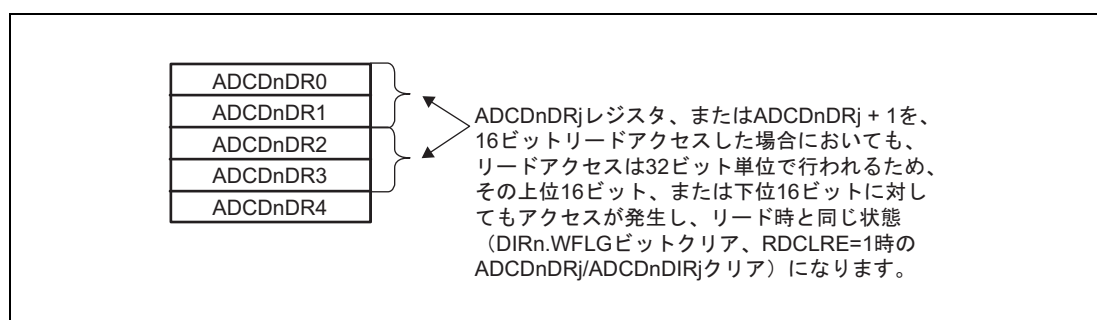
符号付き整数フォーマット (DFMT=1) のときの DRj[15:0]

加算回数	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1回変換	S	S	S	S												
2回変換	S	S	S													
4回変換	S	S														


 小数点位置

S	: 符号ビット (0 固定)
0	: 0 拡張

ADDNT によるフォーマット設定は、CNVCLS[2:0] = 4_H または 6_H のときに有効です。
 CNVCLS[2:0] ≠ 4_H かつ ≠ 6_H のときは、1 回変換のフォーマットになります。



30.3.6 ADCDnDIRj — データ付帯情報レジスタ j

ADCDnDIRj は、ADCDnDRj と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。ADCDnDIRj は、仮想チャンネル分備えています。ADCDnDIRj は、RDCLRE が 1 に設定されているときに ADCDnDRj もしくは ADCDnDIRj の読み出しで 00000000_H にクリアされます。なお WFLG は、RDCLRE によらず、ADCDnDRj もしくは ADCDnDIRj の読み出しでクリアされます。また読み出しは必ず 32 ビットで読み出してください。なお下位 16 ビットからは ADCDnDRj が読み出されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCDn_base> + 200_H + j × 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	WFLG	PRTY	—	—	—	ID[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRj[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.13 ADCDnDIRj レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 26	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
25	WFLG	ライトフラグ <ul style="list-style-type: none"> セット条件 ADCDnDRj に A/D 変換値を格納したとき クリア条件 ADCDnDRj もしくは ADCDnDIRj が読み出されたとき
24	PRTY	パリティ DRj[15:0] と ID[4:0] に対するパリティビットです。偶数パリティです。

表 30.13 ADCDnDIRj レジスタの内容 (2/2)

ビット位置	ビット名	機能																
23 ~ 21	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。																
20 ~ 16	ID[4:0]	ID 情報を格納します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">CNVCLS[2:0]</th> <th style="width: 50%;">ID[4:0]</th> </tr> </thead> <tbody> <tr> <td>0_H: 通常 A/D 変換</td> <td>実際に A/D 変換された物理チャネル情報を格納します。 ID[4:0]: 物理チャネル番号</td> </tr> <tr> <td>1_H: ホールド A/D 変換</td> <td>ホールド値を A/D 変換した T&H を意味します。 0_H: T&H0 のホールド値を A/D 変換 1_H: T&H1 のホールド値を A/D 変換 2_H: T&H2 のホールド値を A/D 変換 3_H: T&H3 のホールド値を A/D 変換 4_H: T&H4 のホールド値を A/D 変換 5_H: T&H5 のホールド値を A/D 変換</td> </tr> <tr> <td>3_H: 自己診断</td> <td>変換された自己診断レベルを意味します。 00_H: AVREFH×0 04_H: AVREFH×1/4 08_H: AVREFH×1/2 0C_H: AVREFH×3/4 10_H: AVREFH×1</td> </tr> <tr> <td>4_H: 加算モードの通常 A/D 変換</td> <td>実際に A/D 変換された物理チャネル情報を格納します。 ID[4:0]: 物理チャネル番号</td> </tr> <tr> <td>5_H: 通常 A/D 変換 w / MPX</td> <td>MPX 端子の物理チャネル番号を格納します。</td> </tr> <tr> <td>6_H: 加算モードの通常 A/D 変換 w / MPX</td> <td>MPX 端子の物理チャネル番号を格納します。</td> </tr> <tr> <td>上記以外: 設定禁止</td> <td>—</td> </tr> </tbody> </table>	CNVCLS[2:0]	ID[4:0]	0 _H : 通常 A/D 変換	実際に A/D 変換された物理チャネル情報を格納します。 ID[4:0]: 物理チャネル番号	1 _H : ホールド A/D 変換	ホールド値を A/D 変換した T&H を意味します。 0 _H : T&H0 のホールド値を A/D 変換 1 _H : T&H1 のホールド値を A/D 変換 2 _H : T&H2 のホールド値を A/D 変換 3 _H : T&H3 のホールド値を A/D 変換 4 _H : T&H4 のホールド値を A/D 変換 5 _H : T&H5 のホールド値を A/D 変換	3 _H : 自己診断	変換された自己診断レベルを意味します。 00 _H : AVREFH×0 04 _H : AVREFH×1/4 08 _H : AVREFH×1/2 0C _H : AVREFH×3/4 10 _H : AVREFH×1	4 _H : 加算モードの通常 A/D 変換	実際に A/D 変換された物理チャネル情報を格納します。 ID[4:0]: 物理チャネル番号	5 _H : 通常 A/D 変換 w / MPX	MPX 端子の物理チャネル番号を格納します。	6 _H : 加算モードの通常 A/D 変換 w / MPX	MPX 端子の物理チャネル番号を格納します。	上記以外: 設定禁止	—
CNVCLS[2:0]	ID[4:0]																	
0 _H : 通常 A/D 変換	実際に A/D 変換された物理チャネル情報を格納します。 ID[4:0]: 物理チャネル番号																	
1 _H : ホールド A/D 変換	ホールド値を A/D 変換した T&H を意味します。 0 _H : T&H0 のホールド値を A/D 変換 1 _H : T&H1 のホールド値を A/D 変換 2 _H : T&H2 のホールド値を A/D 変換 3 _H : T&H3 のホールド値を A/D 変換 4 _H : T&H4 のホールド値を A/D 変換 5 _H : T&H5 のホールド値を A/D 変換																	
3 _H : 自己診断	変換された自己診断レベルを意味します。 00 _H : AVREFH×0 04 _H : AVREFH×1/4 08 _H : AVREFH×1/2 0C _H : AVREFH×3/4 10 _H : AVREFH×1																	
4 _H : 加算モードの通常 A/D 変換	実際に A/D 変換された物理チャネル情報を格納します。 ID[4:0]: 物理チャネル番号																	
5 _H : 通常 A/D 変換 w / MPX	MPX 端子の物理チャネル番号を格納します。																	
6 _H : 加算モードの通常 A/D 変換 w / MPX	MPX 端子の物理チャネル番号を格納します。																	
上記以外: 設定禁止	—																	
15 ~ 0	DRj[15:0]	データレジスタ A/D 変換結果データとして ADCDnDRj レジスタと同じデータが格納されます。																

30.3.7 ADCDnSMPCR — A/D 変換時間制御レジスタ

ADCDnSMPCR は、A/D 変換時間を制御する 16 ビットの読み出し / 書き込み可能なレジスタです。

ADCDn は 1 μ s 変換と 11.3 μ s 変換をサポートします。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 340_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SMPCR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.14 ADCDnSMPCR レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	SMPCR[15:0]	<p>A/D 変換時間を設定します。 0000_H: 1 μs 変換 90CC_H: 11.3 μs 変換 上記以外の設定は禁止です。</p> <p>注意</p> <p>1 μs 変換する場合、CLK_ADC 周波数を 40 MHz に設定してください。 11.3 μs 変換する場合、必ず CLK_ADC 周波数を 20 MHz に設定してください。 それ以外の設定は禁止です。</p> <p>CLK_ADC の周波数はレジスタ ADCKSC0CTL で設定します。詳細は「12.4.3.5 ADCKSC0CTL — A/D クロック選択制御レジスタ 0」を参照してください。</p>

注 意

- ADCDnSMPCR を変更した場合、MPX ウェイトで挿入するウェイト時間の刻みも連動して変わります。詳細は「30.3.12 ADCDnMPXOWR — MPX 任意ウェイトレジスタ」を参照してください。
- 誤動作を防ぐため、ADCDnSMPCR の設定は、次の順で設定/確認した後に行ってください。
 - ① T&H グループ A/B の HLDTE が 0
 - ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
 - ③ 全スキャングループの SGACTION が 0 の状態 (スキャングループ起動前)

30.3.8 ADCDnADHALTR — AD 終了レジスタ

ADCDnADHALTR は、ADC を終了する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCDn_base> + 380_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HALT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.15 ADCDnADHALTR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	HALT	全 SG の A/D 変換および全 AD タイマを強制終了します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : 終了

30.3.9 ADCDnADCR1 — AD 制御レジスタ 1

ADCDnADCR1 は、ADC の共通制御に関する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <ADCDn_base> + 384_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SUSMTD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 30.16 ADCDnADCR1 レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
1 ~ 0	SUSMTD [1:0]	<p>サスペンド方式 高優先スキャングループが低優先スキャングループに割り込むときのサスペンド方式を選択します。</p> <p>同期サスペンド：低優先 SG を処理中に高優先 SG の要求があったら、仕掛かり中の仮想チャンネルの処理が終了してから中断し、高優先 SG の処理を実行します。高優先 SG の処理が終了したら、低優先 SG で中断した仮想チャンネルから処理を再開（レジューム）します。</p> <p>非同期サスペンド：低優先 SG を処理中に高優先 SG の要求があったら、仕掛かり中の仮想チャンネルの処理を即中断し、高優先 SG の処理を実行します。高優先 SG の処理が終了したら、低優先 SG で中断した仮想チャンネルから処理を再開（レジューム）します。</p> <ul style="list-style-type: none"> ADCDnTHACR.HLDCTE=0 かつ ADCDnTHBCR.HLDCTE=0 のとき <ul style="list-style-type: none"> 0_H：同期サスペンド 1_H：SG0 に高優先 SG が割り込む場合は、非同期サスペンド 低優先 SG (SG0 を除く) に高優先 SG が割り込む場合は、同期サスペンド 2_H：非同期サスペンド 3_H：設定禁止 ADCDnTHACR.HLDCTE=1 または ADCDnTHBCR.HLDCTE=1 のとき <ul style="list-style-type: none"> 2_H：非同期サスペンド 上記以外：設定禁止 <p>詳細は「図 30.13 同期サスペンド & レジューム動作例」と「図 30.14 非同期サスペンド & レジューム動作例」を参照してください。</p>

注 意

- 誤動作を防ぐため、ADCDnADCR1 の設定は、次の順で設定 / 確認した後に行ってください。
 - T&H グループ A/B の HLDTE が 0
 - 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMMD が 0_H
 - 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)
- SGx のトリガ入力にホールドトリガを選択する場合は、非同期サスペンド (SUMTD[1:0]=2_H) のみ設定可能です。その他の設定については、設定禁止です。

30.3.10 ADCDnMPXCURCR — MPX カレント制御レジスタ

ADCDnMPXCURCR は、ADCDnMPXCURR のフォーマットを制御するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 388_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MSKCFMT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 30.17 ADCDnMPXCURCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
3 ~ 0	MSKCFMT[3:0]	MSKC フォーマット指定 ADCDnMPXCURR の MSKC[15:0] のフォーマットを指定します。 MSKCFMT[3] 0 : MSKC[15:12] = 0000 1 : MSKC[15:12] = 1111 MSKCFMT[2] 0 : MSKC[11:8] = 0000 1 : MSKC[11:8] = 1111 MSKCFMT[1] 0 : MSKC[7:4] = 0000 1 : MSKC[7:4] = 1111 MSKCFMT[0] 0 : MSKC[3:0] = 0000 1 : MSKC[3:0] = 1111

注 意

誤動作を防ぐため、ADCDnMPXCURCR の設定は、次の順で設定/確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
- ③ 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

30.3.11 ADCDnMPXCURR — MPX カレントレジスタ

ADCDnMPXCURR は、外付けアナログマルチプレクサ用の MPX 値を格納する 32 ビットの読み出し専用のレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCDn_base> + 38C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSKC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—											MPXCUR[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.18 ADCDnMPXCURR レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	MSKC[15:0]	マスク制御 ADCDnMPXCURCR の MSKCFMT[3:0] でフォーマットが変わります。詳細は、「30.3.10 ADCDnMPXCURCR — MPX カレント制御レジスタ」を参照してください。
15 ~ 5	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
4 ~ 0	MPXCUR[4:0]	カレント MPX 値 ADCDnVCRj の CNVCLS[2:0]=5 _H 、または、6 _H の仮想チャネルを開始したときに、ADCDnVCRj の GCTRL[4:0] が MPXCUR[4:0] に転送されます。このとき INTC への割り込み要求もしくは DMA 転送要求を発生します。DMAC により ADCDnMPXCURR を I/O ポートの PSRn に転送することで、外付けアナログマルチプレクサに MPX 値を送信することができます。PSRn を使用する場合、32bit で転送してください。これにより、MSKC[15:0] のフォーマット制御により必要なポートのみ書き換えができます。詳細は「30.4.1.5 外付けアナログマルチプレクサ使用例 (ポート出力)」を参照してください。

注 意

PSRn レジスタに DMA 転送する場合、MSKC ビットは 4 ビット単位で指定 (ADCDnMPXCURCR レジスタ) するため、MSKCFMT[1]=1 (MSKC[7:4]=1111_B) とした場合、Pn[7:4] ビットが更新されます。Pn レジスタの上位 3 ビットは意図せず書き換えられるので出力ポートとして使用しないでください。

30.3.12 ADCDnMPXOWR — MPX 任意ウェイトレジスタ

ADCDnMPXOWR は、外付けアナログマルチプレクサ用に挿入する任意ウェイトを指定するレジスタです。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 390_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MPXOW[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 30.19 ADCDnMPXOWR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
3 ~ 0	MPXOW	MPX 任意ウェイト ADCDnVCRj の CNVCLS[2:0]=5H、または、6H の仮想チャネルを開始したときに、A/D 変換を開始する前に挿入するウェイト時間指定です。 1H : A/D 変換時間 x 1 2H : A/D 変換時間 x 2 3H : A/D 変換時間 x 3 4H : A/D 変換時間 x 4 5H : A/D 変換時間 x 5 6H : A/D 変換時間 x 6 7H : A/D 変換時間 x 7 8H : A/D 変換時間 x 8 9H : A/D 変換時間 x 9 AH : A/D 変換時間 x 10 BH ~ FH : 設定禁止 A/D 変換時間については「30.3.7 ADCDnSMPCR — A/D 変換時間制御レジスタ」を参照してください。

注 意

誤動作を防ぐため、ADCDnMPXOWR の設定は、次の順で設定/確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
- ③ 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

30.3.13 ADCDnADCR2 — AD 制御レジスタ 2

ADCDnADCR2 は、ADCD の共通制御に関する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <ADCDn_base> + 398_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	DFMT	—	—	—	ADDNT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R	R/W

表 30.20 ADCDnADCR2 レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
4	DFMT	データフォーマット 0: 符号付固定小数点フォーマット 1: 符号付整数フォーマット ADCDnDRj へのデータのフォーマットとなります。 データフォーマットの詳細は「30.3.5 ADCDnDRj — データレジスタ j」を参照してください。
3 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	ADDNT	加算回数選択 0: 2 回加算 1: 4 回加算 本レジスタは、CNVCLS[2:0]=4 _H , 6 _H の場合のみ有効です。

注 意

誤動作を防ぐため、ADCDnADCR2 の設定は、次の順で設定 / 確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGM D が 0_H
- ③ 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

30.3.14 ADCDnADENDPz — A/D 変換モニタ仮想チャネルポインタ z

ADCDnADENDPz は、ADCDnCNVz に A/D 変換タイミングを出力する仮想チャネルを選択する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス ADCDnADENDP0 : <ADCDn_base> + 3A0_H
 ADCDnADENDP1 : <ADCDn_base> + 3A4_H
 ADCDnADENDP2 : <ADCDn_base> + 3A8_H
 ADCDnADENDP3 : <ADCDn_base> + 3AC_H
 ADCDnADENDP4 : <ADCDn_base> + 3B0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	ENDP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 30.21 ADCDnADENDPz レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リード時は常にリセット後の値が読み出されます。 ライト時はリセット後の値を書き込んでください。
5 ~ 0	ENDP[5:0]	A/D 変換モニタ仮想チャネルポインタ ADCDnADENDPz で選択した仮想チャネルが開始すると ADCDnCNVz 端子からハイレベルを出力します。ADCDnADENDPz で選択した仮想チャネルが終了するとロウレベルを出力します。

注 意

誤動作を防ぐため、ADCDnADENDPz の設定は、次の順で設定/確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
- ③ 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

30.3.15 ADCDnTHSMPSTCR — T&H サンプリング開始制御レジスタ

ADCDnTHSMPSTCR は、全 T&H のサンプリングを開始制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCDn_base> + 400_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SMPST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.22 ADCDnTHSMPSTCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	SMPST	T&H のサンプリングを開始します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : サンプリング開始 T&Hk をサンプリング状態に移る条件 THkE = 1 の状態で SMPST に 1 を書き込んだとき THkE = 1 かつ ASMPMSK = 0 の状態で T&Hk のホールド値 A/D 変換が終了したとき

30.3.16 ADCDnTHSTPCR — T&H 停止制御レジスタ

ADCDnTHSTPCR は、全 T&H の停止制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCDn_base> + 404_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	THSTP
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.23 ADCDnTHSTPCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	THSTP	T&H を停止します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : 停止

注 意

THSTP は ADCDnADHALTR.HALT により全スキャングループを停止した後に使用してください。また、THSTP による強制終了後、自動サンプリング機能 (ADCDnTHCR の ASMPMASK) による再サンプリング動作を防止するために、ADCDnTHER の THzE (z=0~5) をすべて 0 としてください。

30.3.17 ADCDnTHCR — T&H 制御レジスタ

ADCDnTHCR は、T&H を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 408_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ASMPMSK
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 30.24 ADCDnTHCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	ASMPMSK	ホールド値 A/D 変換が終了したときに、自動的にサンプリングを行うかを選択します。 0: 自動サンプリングする 1: 自動サンプリングしない

注 意

誤動作を防ぐため、ADCDnTHCR の設定は、次の順で設定/確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② T&H グループ A/B の SGS[1:0] で指定したスキャングループ x の SGACT が 0 の状態 (スキャングループ起動前)
- ③ 全 T&H の THKE が 0 (全 T&H 停止)

30.3.18 ADCDnTHAHLDDSTCR — T&H グループ A ホールド開始制御レジスタ

ADCDnTHAHLDDSTCR は、T&H グループ A のホールドを開始制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCDn_base> + 410_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.25 ADCDnTHAHLDDSTCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	HLDST	T&H グループ A のホールドを開始します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : ホールド開始

30.3.19 ADCDnTHBHLDDSTCR — T&H グループ B ホールド開始制御レジスタ

ADCDnTHBHLDDSTCR は、T&H グループ B のホールドを開始制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCDn_base> + 414_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.26 ADCDnTHAHLDDSTCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	HLDST	T&H グループ B のホールドを開始します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : ホールド開始

30.3.20 ADCDnTHACR — T&H グループ A 制御レジスタ

ADCDnTHACR は、T&H グループ A を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 420_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	HLDCTE	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 30.27 ADCDnTHACR レジスタの内容

ビット位置	ビット名	機能															
7 ~ 6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。															
5	HLDCTE	<table border="1"> <thead> <tr> <th>HLDCTE</th> <th>HLDTE</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>T&H グループ A のホールドトリガを無効にします。</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>SGS[1:0] で選択した SG のホールドトリガに ADCDnTHAHLDDSTCR.HLDST によるソフトウェアトリガを選択、ハードウェアトリガは無効です。<small>備考</small></td> </tr> <tr> <td>1</td> <td>1</td> <td>SGS[1:0] で選択した SG のホールドトリガに SGx_TRG ハードウェアトリガを選択。<small>備考</small></td> </tr> </tbody> </table> <p>備考 ホールドトリガからホールド完了タイミングまで AD 変換を強制停止状態にします。必ず SUSMTD[1:0] = 2_H としてください (SUSMTD[1:0] = 0_H、1_H は設定禁止です)。また、SGS[1:0] で選択したスキャングループの TRGMD 設定は必ず 1_H としてください (TRGMD = 0_H、2_H、3_H は設定禁止です)。</p> <p>なお、動作中かつ HLDCTE = 1 時に HLDTE を 1 → 0 (SGx_TRG ハードウェアトリガを無効) へ変更する場合は、次の順で変更してください。</p> <p>① HLDTE 1 → 0 ② SGS[1:0] で選択したスキャングループ x の TRGMD 1 → 0 また、HLDTE を 0 → 1 (SGx_TRG ハードウェアトリガを選択) へ変更する場合は、次の順で変更してください。</p> <p>① SGS[1:0] で選択したスキャングループ x の TRGMD 0 → 1 ② HLDTE 0 → 1</p>	HLDCTE	HLDTE	機能	0	0	T&H グループ A のホールドトリガを無効にします。	0	1	設定禁止	1	0	SGS[1:0] で選択した SG のホールドトリガに ADCDnTHAHLDDSTCR.HLDST によるソフトウェアトリガを選択、ハードウェアトリガは無効です。 <small>備考</small>	1	1	SGS[1:0] で選択した SG のホールドトリガに SGx_TRG ハードウェアトリガを選択。 <small>備考</small>
HLDCTE	HLDTE		機能														
0	0		T&H グループ A のホールドトリガを無効にします。														
0	1		設定禁止														
1	0		SGS[1:0] で選択した SG のホールドトリガに ADCDnTHAHLDDSTCR.HLDST によるソフトウェアトリガを選択、ハードウェアトリガは無効です。 <small>備考</small>														
1	1	SGS[1:0] で選択した SG のホールドトリガに SGx_TRG ハードウェアトリガを選択。 <small>備考</small>															
4	HLDTE																
3 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。															
1 ~ 0	SGS[1:0]	<p>スキャングループ選択 T&H グループ A に対応するスキャングループを選択します。</p> <p>0_H: SG1 1_H: SG2 2_H: SG3 3_H: SG4</p> <p>詳細は「30.4.1.3 同時トラック & ホールド動作 (THC 制御)」を参照してください。</p> <p>注意</p> <p>このビットは HLDCTE = 1 の場合に有効です。T&H 変換をする仮想 CH を含むスキャングループを指定してください。</p>															

注 意

誤動作を防ぐため、ADCDnTHACR の HLDCTE、SGS[1:0] の設定は、次の順で設定／確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

また、T&H グループ A、T&H グループ B を使用して制御を行う場合、ADCDnTHACR の SGS[1:0] と ADCDnTHBCR の SGS[1:0] を同じスキャングループに設定しないでください。

30.3.21 ADCDnTHBCR — T&H グループ B 制御レジスタ

ADCDnTHBCR は、T&H グループ B を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 424_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	HLDCTE	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 30.28 ADCDnTHBCR レジスタの内容

ビット位置	ビット名	機能															
7 ~ 6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。															
5	HLDCTE	<table border="1"> <thead> <tr> <th>HLDCTE</th> <th>HLDTE</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>T&H グループ B のホールドトリガを無効にします。</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>SGS[1:0] で選択した SG のホールドトリガに ADCDnTHBHLDDSTCR.HLDST によるソフトウェアトリガを選択、ハードウェアトリガは無効です。^{備考}</td> </tr> <tr> <td>1</td> <td>1</td> <td>SGS[1:0] で選択した SG のホールドトリガに SGx_TRG ハードウェアトリガを選択^{備考}</td> </tr> </tbody> </table> <p>備考 ホールドトリガからホールド完了タイミングまで AD 変換を強制停止状態にします。必ず SUSMTD[1:0] = 2_H としてください (SUSMTD[1:0] = 0_H, 1_H は設定禁止です)。また、SGS[1:0] で選択したスキャングループの TRGMD 設定は必ず 1_H としてください (TRGMD = 0_H, 2_H, 3_H は設定禁止です)。</p> <p>なお、動作中かつ HLDCTE = 1 時に HLDTE を 1 → 0 (SGx_TRG ハードウェアトリガを無効) へ変更する場合は、次の順で変更してください。</p> <p>① HLDTE 1 → 0 ② SGS[1:0] で選択したスキャングループ x の TRGMD 1 → 0</p> <p>また、HLDTE を 0 → 1 (SGx_TRG ハードウェアトリガを選択) へ変更する場合は、次の順で変更してください。</p> <p>① SGS[1:0] で選択したスキャングループ x の TRGMD 0 → 1 ② HLDTE 0 → 1</p>	HLDCTE	HLDTE	機能	0	0	T&H グループ B のホールドトリガを無効にします。	0	1	設定禁止	1	0	SGS[1:0] で選択した SG のホールドトリガに ADCDnTHBHLDDSTCR.HLDST によるソフトウェアトリガを選択、ハードウェアトリガは無効です。 ^{備考}	1	1	SGS[1:0] で選択した SG のホールドトリガに SGx_TRG ハードウェアトリガを選択 ^{備考}
HLDCTE	HLDTE		機能														
0	0		T&H グループ B のホールドトリガを無効にします。														
0	1		設定禁止														
1	0	SGS[1:0] で選択した SG のホールドトリガに ADCDnTHBHLDDSTCR.HLDST によるソフトウェアトリガを選択、ハードウェアトリガは無効です。 ^{備考}															
1	1	SGS[1:0] で選択した SG のホールドトリガに SGx_TRG ハードウェアトリガを選択 ^{備考}															
4	HLDTE																
3 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。															
1 ~ 0	SGS[1:0]	<p>スキャングループ選択 T&H グループ B に対応するスキャングループを選択します。</p> <p>0_H: SG1 1_H: SG2 2_H: SG3 3_H: SG4</p> <p>詳細は「30.4.1.3 同時トラック&ホールド動作 (THC 制御)」を参照してください。</p> <p>注意</p> <p>このビットは HLDCTE = 1 の場合に有効です。T&H 変換をする仮想 CH を含むスキャングループを指定してください。</p>															

注 意

誤動作を防ぐため、ADCDnTHBCR の HLDCTE、SGS[1:0] の設定は、次の順で設定／確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

また、T&H グループ A、T&H グループ B を使用して制御を行う場合、ADCDnTHACR の SGS[1:0] と ADCDnTHBCR の SGS[1:0] を同じスキャングループに設定しないでください。

30.3.22 ADCDnTHER — T&H イネーブルレジスタ

ADCDnTHER は、各 T&H の有効/無効を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 430_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	TH5E	TH4E	TH3E	TH2E	TH1E	TH0E
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 30.29 ADCDnTHER レジスタの内容

ビット位置	ビット名	機能
7 ~ 6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
5 ~ 0	THkE	T&Hk 回路のトラック & ホールド動作の有効/無効を設定します。 0 : 無効 1 : 有効 詳細は「30.4.1.3 同時トラック&ホールド動作 (THC 制御)」を参照してください。

注 意

誤動作を防ぐため、ADCDnTHER の設定は、次の順で設定/確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② T&H グループ A/B の SGS[1:0] で指定したスキャングループ x の SGACT が 0 の状態 (スキャングループ起動前)

30.3.23 ADCDnTHGSR — T&H グループ選択レジスタ

ADCDnTHGSR は、各 T&H の T&H グループを選択する 16 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 434_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TH5GS	—	TH4GS	—	TH3GS	—	TH2GS	—	TH1GS	—	TH0GS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

表 30.30 ADCDnTHGSR レジスタの内容

ビット位置	ビット名	機能
15 ~ 11, 9, 7, 5, 3, 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
10, 8, 6, 4, 2, 0	THkGS	T&Hk の T&H グループ選択 0 : T&H グループ A を選択 1 : T&H グループ B を選択 詳細は「30.4.1.3 同時トラック&ホールド動作 (THC 制御)」を参照してください。

注 意

誤動作を防ぐため、ADCDnTHGSR の設定は、次の順で設定/確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② T&H グループ A/B の SGS[1:0] で指定したスキャングループ x の SGACT が 0 の状態 (スキャングループ起動前)
- ③ 全 T&H の THkE が 0 (全 T&H 停止)

30.3.24 ADCDnSFTCR — セーフティ制御レジスタ

ADCDnSFTCR は、セーフティ制御に関する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <ADCDn_base> + 3C0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RDCLRE	ULEIE	OWEIE	PEIE	IDEIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 30.31 ADCDnSFTCR レジスタの内容

ビット位置	ビット名	機能
7 ~ 5	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
4	RDCLRE	リード & クリア動作の実行 / 禁止を設定します。 ADCDnDRj レジスタまたは ADCDnDIRj レジスタを読みだしたとき、ADCDnDRj レジスタかつ ADCDnDIRj レジスタのクリア (ALL“0”) を行うかどうかを設定します。 0 : リード & クリアしない 1 : リード & クリアする 注意 ADCDnDIRj の WFLG は、RDCLRE によらず、ADCDnDRj もしくは ADCDnDIRj のリードでクリアされます。
3	ULEIE	上限 / 下限エラー割り込みの許可 / 禁止を設定します。 0 : 禁止 1 : 許可
2	OWEIE	オーバーライトエラー割り込みの許可 / 禁止を設定します。 0 : 禁止 1 : 許可
1	PEIE	パリティエラー割り込みの許可 / 禁止を設定します。 0 : 禁止 1 : 許可
0	IDEIE	ID エラー割り込みの許可 / 禁止を設定します。 0 : 禁止 1 : 許可

注 意

誤動作を防ぐため、ADCDnSFTCR の設定は、次の順で設定 / 確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
- ③ 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

30.3.25 ADCDnTDCR — 端子レベル自己診断制御レジスタ

ADCDnTDCR は、端子レベル自己診断を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <ADCDn_base> + 3C4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	TDE	—	—	—	—	—	TDLV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 30.32 ADCDnTDCR レジスタの内容

ビット位置	ビット名	機能
7	TDE	<p>端子レベル自己診断の実行 / 禁止を設定します。</p> <p>0: 端子レベル自己診断をしない 1: 端子レベル自己診断をする</p> <p>TDE を 0 にすると、全てのアナログ端子が入力バッファと接続されます。TDE を 1 にすると、全てのアナログ端子が入力バッファと切り離され、TDLV[1:0] で指定したレベルに固定されます。この状態で A/D 変換を実行し、A/D 変換値を確認することで、アナログ端子から ADCD までの経路の診断ができます。</p> <p>注意</p> <p>1. TDE=1 の場合、仮想チャネルレジスタ ADCDnVCRj の PUE ビットと PDE ビットは必ずどちらも 0 に設定してください。</p> <p>2. ADCDnVCRj の PUE ビット又は PDE ビットを 1 に設定する場合、ADCDnTDCR.TDE=0 である必要があります。同様に ADCDnTDCR.TDE=1 に設定する場合、ADCDnTDCR.TDE=1 である期間に A/D 変換の対象となる ADCDnVCRj の PUE=PDE=0 である必要があります (推奨は全ての ADCDnVCRj の PUE=PDE=0)。</p>
6 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
1、0	TDLV[1:0]	<p>端子レベル自己診断時に印加する診断電圧を設定します。</p> <p>0: 偶数物理チャネルに AVSS、奇数物理チャネルに AVCC を印加 1: 偶数物理チャネルに AVCC、奇数物理チャネルに AVSS を印加 2: 偶数物理チャネルに AVSS、奇数物理チャネルに 1/2 × AVCC を印加 3: 偶数物理チャネルに 1/2 × AVCC、奇数物理チャネルに AVSS を印加</p>

注 意

誤動作を防ぐため、ADCDnTDCR の設定は、次の順で設定 / 確認した後に行ってください。

- ① T&H グループ A/B の HLDTE が 0
- ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
- ③ 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)

但し、「30.4.4.5 T&H 経路の端子レベル自己診断」を使用する場合は、手順に従った設定に限り、スキャングループ動作中の ADCDnTDCR 設定が可能です。

30.3.26 ADCDnODCR — 断線検出制御レジスタ

ADCDnODCR は、断線検出を制御する 32 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ADCDn_base> + 3C8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ODDE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ODE	—	ODPW[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 30.33 ADCDnODCR レジスタの内容

ビット位置	ビット名	機能
31	ODDE	断線検出機能の診断の有効/無効を設定します。 0: 断線検出機能の診断をしない 1: 断線検出機能の診断をする ODDE を 1 にすると、全てのアナログ端子について、断線検出機能の診断が有効となります。 注意 ODE と ODDE を同時に 1 に設定するのは禁止です。
30 ~ 8	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
7	ODE	断線検出のモードを設定します。 0: 断線検出モード 2 1: 断線検出モード 1 詳細は「30.4.4.3 断線検出機能」を参照してください。
6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
5 ~ 0	ODPW[5:0]	断線検出モード 1 時に発生させるプルダウンパルス幅を設定します。 04 _H : 1 クロック 05 _H : 2 クロック : 13 _H : 16 クロック 14 _H : 17 クロック 断線検出モード 1 を使用する場合、03 _H 以下と 15 _H 以上の設定は禁止です。

注 意

- 誤動作を防ぐため、ADCDnODCR の設定は、次の順で設定/確認した後に行ってください。
 - T&H グループ A/B の HLDTE が 0
 - 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
 - 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)
- 断線検出が有効の状態、ホールド値 A/D 変換 (ADCDnVCRj の CNVCLS = 1_H) を実行するのは禁止です。
(誤動作を防ぐため、ADCDnTHER のすべての THkE(k=0 ~ 5) を 0、もしくは、THSTPCR の THSTP により全 T&H を停止させてから断線検出機能をご使用ください。)

30.3.27 ADOPDIGn — 断線検出端子設定レジスタ n (n = 0, 1)

ADOPDIGn は、各アナログ入力 I/O バッファのプルダウン/プルアップスイッチを制御するレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス ADOPDIG0 : FFF2 3000_H
ADOPDIG1 : FFF2 3040_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ADOPDIGn11	ADOPDIGn10	ADOPDIGn09	ADOPDIGn08	ADOPDIGn07	ADOPDIGn06	ADOPDIGn05	ADOPDIGn04	ADOPDIGn03	ADOPDIGn02	ADOPDIGn01	ADOPDIGn00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.34 ADOPDIGn レジスタの内容

ビット位置	ビット名	機能
31 ~ 12	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
11 ~ 0	ADOPDIGnm	断線検出端子のプルダウン/プルアップ設定を制御します。 断線検出対象のアナログ端子を指定してください。 0: 断線検出を行いません。 1: 断線検出を行います。 断線検出モード1を使用する場合は、本ビットを1にしたアナログ端子の断線検出を行います。 断線検出モード2を使用する場合は、本ビットを1に設定したアナログ端子のプルアップ/プルダウン設定 (ADCDnVCRj.PDE / ADCDnVCRj.PUE) が有効になります。

注 意

- 誤動作を防ぐため、ADOPDIGn の設定は、次の順で設定/確認した後に行ってください。
 - T&H グループ A/B の HLDTE が 0
 - 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
 - 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)
- 断線検出が有効の状態、ホールド値 A/D 変換 (ADCDnVCRj の CNVCLS = 1_H) を実行するのは禁止です。(誤動作を防ぐため、ADCDnTHER のすべての THkE(k=0 ~ 5) を 0、もしくは、THSTPCR の THSTP により全 T&H を停止させてから断線検出機能をご使用ください。)

30.3.28 ADCDnULLMTBR0 ~ 2 — 上限 / 下限テーブルレジスタ 0 ~ 2

ADCDnULLMTBR0 ~ 2 は、A/D 変換値の上限値と下限値を設定する 32 ビットの読み出し / 書き込み可能なレジスタです。ADCDnULLMSRx の ULS[1:0] で ADCDnULLMTBR0 ~ 2 のいずれかを指定します。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス ADCDmULLMTBR0 : <ADCDn_base> + 3CC_H
 ADCDmULLMTBR1 : <ADCDn_base> + 3D0_H
 ADCDmULLMTBR2 : <ADCDn_base> + 3D4_H

リセット後の値 7FFE 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[15:0]															
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 30.35 ADCDnULLMTBR レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	ULMTB[15:0]	上限テーブル A/D 変換値の上限値を指定します。下記条件が成立したとき ULE（上限 / 下限エラー）をセットします。 ULMTB[15:0] < A/D 変換値 ULMTB[15:0] のフォーマットは、ADCDnDRj のフォーマットに関わらず、符号付小数点フォーマットとなります。ADCDnDRj のフォーマットが符号付整数フォーマットを選択した場合、ADCDnDRj を符号付小数点フォーマットに置換して比較します。なお、ULMTB[15] と ULMTB[0] は常に 0 固定となります。
15 ~ 0	LLMTB[15:0]	下限テーブル A/D 変換値の下限値を指定します。下記条件が成立したとき ULE（上限 / 下限エラー）をセットします。 LLMTB[15:0] > A/D 変換値 LLMTB[15:0] のフォーマットは、ADCDnDRj のフォーマットに関わらず、符号付小数点フォーマットとなります。ADCDnDRj のフォーマットが符号付整数フォーマットを選択した場合、ADCDnDRj を符号付小数点フォーマットに置換して比較します。なお、LLMTB[15] と LLMTB[0] は常に 0 固定となります。

注 意

- 誤動作を防ぐため、ADCDnULLMTBR0 ~ 2 の設定は、次の順で設定 / 確認した後に行ってください。
 - ① T&H グループ A/B の HLDTE が 0
 - ② 全スキャングループの ADSTARTE が 0 かつ全スキャングループの TRGMD が 0_H
 - ③ 全スキャングループの SGACT が 0 の状態 (スキャングループ起動前)
- 上限テーブル (ULMTB[11:0]) > 下限テーブル (LLMTB[11:0]) となるように設定してください。

30.3.29 ADCDnECR — エラークリアレジスタ

ADCDnECR は、エラークリアを制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス <ADCDn_base> + 3D8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ULEC	OWEC	PEC	IDEC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 30.36 ADCDnECR レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
3	ULEC	上限/下限エラーのクリアビットです。 上限/下限エラー (ADCDnULER.ULE)、上限/下限エラーキャプチャ (ADCDnULER.ULECAP[5:0]) をクリアします。 0: クリアしない 1: クリアする
2	OWEC	オーバーライトエラーのクリアビットです。 オーバーライトエラー (ADCDnOWER.OWE)、オーバーライトエラーキャプチャ (ADCDnOWER.OWECAP[5:0]) をクリアします。 0: クリアしない 1: クリアする
1	PEC	パリティエラーのクリアビットです。 パリティエラー (ADCDnPER.PE)、パリティエラーキャプチャ (ADCDnPER.PECAP[5:0]) をクリアします。 0: クリアしない 1: クリアする
0	IDEC	ID エラーのクリアビットです。 ID エラー (ADCDnIER.IDE)、ID エラーキャプチャ (ADCDnIER.IDECAP[5:0]) をクリアします。 0: クリアしない 1: クリアする

30.3.30 ADCDnULER — 上限 / 下限エラーレジスタ

ADCDnULER は、上限 / 下限エラーを示す 8 ビットの読み出し専用レジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCDn_base> + 3DC_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ULE	—	ULECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.37 ADCDnULER レジスタの内容

ビット位置	ビット名	機能
7	ULE	上限 / 下限エラー 0 : エラーなし 1 : エラーあり セット条件 A/D 変換値が指定した上限 / 下限テーブルの範囲を超えたとき クリア条件 ULEC に 1 を書き込んだとき
6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
5 ~ 0	ULECAP[5:0]	上限 / 下限エラーキャプチャ 上限 / 下限エラーが発生したときの仮想チャンネルをキャプチャします。 キャプチャ条件 ULE = 0 かつ A/D 変換値が指定した上限 / 下限テーブルの範囲を超えたとき クリア条件 ULEC に 1 を書き込んだとき

注 意

ADCDnULER は、A/D 変換値を ADCDnDRj に書き込むとき更新されます。

30.3.31 ADCDnOWER — オーバーライトエラーレジスタ

ADCDnOWER は、オーバーライトエラーを示す 8 ビットの読み出し専用レジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCDn_base> + 3E0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	OWE	—	OWECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.38 ADCDnOWER レジスタの内容

ビット位置	ビット名	機能
7	OWE	オーバーライトエラー 0: エラーなし 1: エラーあり セット条件 WFLG = 1 の状態で A/D 変換値が ADCDnDRj に書き込まれたとき クリア条件 OWEC に 1 を書き込んだとき
6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
5 ~ 0	OWECAP[5:0]	オーバーライトエラーキャプチャ オーバーライトエラーが発生したときの仮想チャンネルをキャプチャします。 キャプチャ条件 OWE = 0 かつ WFLG = 1 の状態で A/D 変換値が ADCDnDRj に書き込まれたとき クリア条件 OWEC に 1 を書き込んだとき

注 意

ADCDnOWER は、A/D 変換値を ADCDnDRj に書き込むときに更新されます。

30.3.32 ADCDnPER — パリティエラーレジスタ

ADCDnPER は、パリティエラーを示す 8 ビットの読み出し専用レジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCDn_base> + 3E4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PE	—	PECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.39 ADCDnPER レジスタの内容

ビット位置	ビット名	機能
7	PE	パリティエラー 0: エラーなし 1: エラーあり セット条件 パリティエラーを検出したとき クリア条件 PECに1を書き込んだとき
6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
5 ~ 0	PECAP[5:0]	パリティエラーキャプチャ パリティエラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 PE = 0 かつパリティエラーを検出したとき クリア条件 PECに1を書き込んだとき

注 意

ADCDnPER は、ADCDnDRj もしくは ADCDnDIRj の読み出し時に更新されます。

30.3.33 ADCDnIDER — ID エラーレジスタ

ADCDnIDER は、ID エラーを示す 8 ビットの読み出し専用レジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <ADCDn_base> + 3E8_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	IDE	—	IDECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.40 ADCDnIDER レジスタの内容

ビット位置	ビット名	機能
7	IDE	ID エラー 0: エラーなし 1: エラーあり セット条件 ADCDnVCRj で設定した物理チャンネルと実際に変換された物理チャンネルが不一致のとき クリア条件 IDEC に 1 を書き込んだとき
6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
5 ~ 0	IDECAP[5:0]	ID エラーキャプチャ ID エラーが発生したときの仮想チャンネルをキャプチャします。 キャプチャ条件 IDE = 0 かつ ADCDnVCRj で設定した物理チャンネルと実際に変換された物理チャンネルが不一致のとき クリア条件 IDEC に 1 を書き込んだとき

注 意

ADCDnIDER は、A/D 変換値を ADCDnDRj に書き込むときに更新されます。

30.3.34 ADCDnSGSTCRx — スキャングループ x 開始制御レジスタ

ADCDnSGSTCRx は、スキャングループ x の開始を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス ADCDnSGSTCR0 : <ADCDn_base> +480_H
 ADCDnSGSTCR1 : <ADCDn_base> +500_H
 ADCDnSGSTCR2 : <ADCDn_base> +580_H
 ADCDnSGSTCR3 : <ADCDn_base> +600_H
 ADCDnSGSTCR4 : <ADCDn_base> +680_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SGST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.41 ADCDnSGSTCRx レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	SGST	SGx の A/D 変換を開始します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : A/D 変換開始スキャングループステータス (ADCDnSGSRx.SGACT) = 0 の状態で、A/D 変換を開始してください。

30.3.35 ADCDnADTSTCRy — AD タイマ y 開始制御レジスタ

ADCDnADTSTCRy は、AD タイマ y の開始を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス ADCDnADTSTCR3 : <ADCDn_base> +608_H
ADCDnADTSTCR4 : <ADCDn_base> +688_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.42 ADCDnADTSTCRy レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	ADTST	AD タイマ y を開始します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : AD タイマ開始 AD タイマステータス (ADCDnSGSRx.ADTACT) = 0 の状態で AD タイマを開始してください。

30.3.36 ADCDnADTENDCRy — AD タイマ y 終了制御レジスタ

ADCDnADTENDCRy は、AD タイマ y の終了を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス 8 ビット単位でライトのみ可能です。

アドレス ADCDnADTENDCR3 : <ADCDn_base> +60C_H
ADCDnADTENDCR4 : <ADCDn_base> +68C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTEND
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.43 ADCDnADTENDCRy レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
0	ADTEND	AD タイマを終了します。 0 : 何も機能しない (0 ライトは無視されます。) 1 : AD タイマ終了

30.3.37 ADCDnSGCRx — スキャングループ x 制御レジスタ

ADCDnSGCRx は、スキャングループ x を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス ADCDnSGCR0 : <ADCDn_base> +490_H
 ADCDnSGCR1 : <ADCDn_base> +510_H
 ADCDnSGCR2 : <ADCDn_base> +590_H
 ADCDnSGCR3 : <ADCDn_base> +610_H
 ADCDnSGCR4 : <ADCDn_base> +690_H

リセット後の値 00_H

- x = 0 ~ 2 の場合

ビット	7	6	5	4	3	2	1	0
	—	ADSTARTE	SCANMD	ADIE	—	—	—	TRGMD[0]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R/W

表 30.44 ADCDnSGCRx レジスタの内容 (x = 0 ~ 2 の場合)

ビット位置	ビット名	機能																												
7	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。																												
6	ADSTARTE	スキャングループ同期開始イネーブル 0 : ADSTART 無効 1 : ADSTART 許可																												
5	SCANMD	スキャンモード 0 : マルチサイクルスキャンモード 1 : 連続スキャンモード マルチサイクルスキャンモードでは、ADCDnSGMCYCRx で指定した回数 of スキャンを繰り返し実行します。連続スキャンモードでは、無制限にスキャンを繰り返し実行します。																												
4	ADIE	スキャン終了割り込みイネーブル 0 : SGx のスキャン終了で INTADCDnIx を出力しない 1 : SGx のスキャン終了で INTADCDnIx を出力する ADCDnSGCRx の ADIE と ADCDnVCRj の ADIE は無関係です。詳細は、「30.4.5.1 スキャン終了割り込み」を参照してください。																												
3 ~ 1	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。																												
0	TRGMD[0]	SGx へのトリガ入力の有効/無効を設定します。 <ul style="list-style-type: none"> • x = 0 <table border="1"> <thead> <tr> <th>TRGMD[0]</th> <th>ハードウェアトリガ SGx へのトリガ入力</th> <th>ソフトウェアトリガ SGx へのトリガ入力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>×</td> <td>○</td> </tr> <tr> <td>1</td> <td>○</td> <td>○</td> </tr> </tbody> </table> • x = 1, 2 <table border="1"> <thead> <tr> <th rowspan="2">TRGMD[0]</th> <th colspan="2">ハードウェアトリガ</th> <th colspan="2">ソフトウェアトリガ</th> </tr> <tr> <th>SGx へのトリガ入力</th> <th>SGx へのホールドトリガ</th> <th>SGx へのトリガ入力</th> <th>SGx へのホールドトリガ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>×</td> <td>×</td> <td>○</td> <td>×</td> </tr> <tr> <td>1</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> </tbody> </table> ○ : 有効、× : 無効	TRGMD[0]	ハードウェアトリガ SGx へのトリガ入力	ソフトウェアトリガ SGx へのトリガ入力	0	×	○	1	○	○	TRGMD[0]	ハードウェアトリガ		ソフトウェアトリガ		SGx へのトリガ入力	SGx へのホールドトリガ	SGx へのトリガ入力	SGx へのホールドトリガ	0	×	×	○	×	1	○	○	○	○
TRGMD[0]	ハードウェアトリガ SGx へのトリガ入力	ソフトウェアトリガ SGx へのトリガ入力																												
0	×	○																												
1	○	○																												
TRGMD[0]	ハードウェアトリガ		ソフトウェアトリガ																											
	SGx へのトリガ入力	SGx へのホールドトリガ	SGx へのトリガ入力	SGx へのホールドトリガ																										
0	×	×	○	×																										
1	○	○	○	○																										

- x = 3、4 の場合

ビット	7	6	5	4	3	2	1	0
	ADTSTARTE	ADSTARTE	SCANMD	ADIE	—	—	TRGMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 30.45 ADCDnSGCRx レジスタの内容 (x = 3、4 の場合)

ビット位置	ビット名	機能																																									
7	ADTSTARTE	AD タイマ同期開始イネーブル 0 : ADTSTART 無効 1 : ADTSTART 許可																																									
6	ADSTARTE	スキャングループ同期開始イネーブル 0 : ADSTART 無効 1 : ADSTART 許可																																									
5	SCANMD	スキャンモード 0 : マルチサイクルスキャンモード 1 : 連続スキャンモード マルチサイクルスキャンモードでは、ADCDnSGMNCYCRx で指定した回数 のスキャンを繰り返し実行します。連続スキャンモードでは、無制限に スキャンを繰り返し実行します。																																									
4	ADIE	スキャン終了割り込みイネーブル 0 : SGx のスキャン終了で INTADCDnIx を出力しない 1 : SGx のスキャン終了で INTADCDnIx を出力する ADCDnSGCRx の ADIE と ADCDnVCRj の ADIE は無関係です。詳細は、「30.4.5.1 スキャン終了割り込み」を参照してください。																																									
3、2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値 を書き込んでください。																																									
1、0	TRGMD[1:0]	SGx へのトリガ入力の有効/無効を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">TRGMD [1:0]</th> <th colspan="3">ハードウェアトリガ</th> <th colspan="3">ソフトウェアトリガ</th> </tr> <tr> <th>SGx への トリガ入力</th> <th>タイマ x への トリガ入力</th> <th>SGx への ホールド トリガ</th> <th>SGx への トリガ入力</th> <th>タイマ x への トリガ入力</th> <th>SGx への ホールド トリガ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>×</td> <td>×</td> <td>×</td> <td>○</td> <td>×</td> <td>×</td> </tr> <tr> <td>1</td> <td>○</td> <td>×</td> <td>○</td> <td>○</td> <td>×</td> <td>○</td> </tr> <tr> <td>2</td> <td>×</td> <td>×</td> <td>×</td> <td>○</td> <td>○</td> <td>×</td> </tr> <tr> <td>3</td> <td>×</td> <td>○</td> <td>×</td> <td>○</td> <td>○</td> <td>×</td> </tr> </tbody> </table> <p>○ : 有効、× : 無効</p>	TRGMD [1:0]	ハードウェアトリガ			ソフトウェアトリガ			SGx への トリガ入力	タイマ x への トリガ入力	SGx への ホールド トリガ	SGx への トリガ入力	タイマ x への トリガ入力	SGx への ホールド トリガ	0	×	×	×	○	×	×	1	○	×	○	○	×	○	2	×	×	×	○	○	×	3	×	○	×	○	○	×
TRGMD [1:0]	ハードウェアトリガ			ソフトウェアトリガ																																							
	SGx への トリガ入力	タイマ x への トリガ入力	SGx への ホールド トリガ	SGx への トリガ入力	タイマ x への トリガ入力	SGx への ホールド トリガ																																					
0	×	×	×	○	×	×																																					
1	○	×	○	○	×	○																																					
2	×	×	×	○	○	×																																					
3	×	○	×	○	○	×																																					

注 意

- 誤動作を防ぐため、ADCDnSGCRx の SCANMD、ADIE の設定は、次の順で設定/確認した後に行ってください。
 - ① T&H グループ A の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ A の HLDTE が 0
 - ② T&H グループ B の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ B の HLDTE が 0
 - ③ スキャングループ x の ADSTARTE が 0 かつスキャングループ x の TRGMD が 0_H
 - ④ スキャングループ x の SGACT が 0 の状態 (スキャングループ起動前)
- 連続スキャンモードに設定 (SCANMD=1_H) したスキャングループに対して、低優先のスキャングループのトリガが入力されても受け付けません。したがって、連続スキャンモードは、スキャングループ 0 に対して設定することを想定しています。

30.3.38 ADCDnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ

ADCDnSGVCSPx は、スキャングループ x の仮想チャネル開始ポインタを指定する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス ADCDnSGVCSP0 : <ADCDn_base> +494_H
 ADCDnSGVCSP1 : <ADCDn_base> +514_H
 ADCDnSGVCSP2 : <ADCDn_base> +594_H
 ADCDnSGVCSP3 : <ADCDn_base> +614_H
 ADCDnSGVCSP4 : <ADCDn_base> +694_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	VCSP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 30.46 ADCDnSGVCSPx レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
5 ~ 0	VCSP[5:0]	開始仮想チャネルポインタ 開始する仮想チャネルを選択します。 SGx を起動すると、ADCDnSGVCSPx から ADCDnSGVCEPx の仮想チャネルを実行します。

注 意

- ADCDnSGVCSPx ≤ ADCDnSGVCEPx となるように設定してください。
- 誤動作を防ぐため、ADCDnSGVCSPx の設定は、次の順で設定/確認した後に行ってください。
 - T&H グループ A の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ A の HLDTE が 0
 - T&H グループ B の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ B の HLDTE が 0
 - スキャングループ x の ADSTARTE が 0 かつスキャングループ x の TRGMD が 0_H
 - スキャングループ x の SGACT が 0 の状態 (スキャングループ起動前)
- 搭載仮想チャネル数よりも大きな値を設定しないでください。

30.3.39 ADCDnSGVCEPx — スキャングループ x 終了仮想チャネルポインタ

ADCDnSGVCEPx は、スキャングループ x の仮想チャネル終了ポインタを指定する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス ADCDnSGVCEP0 : <ADCDn_base> +498_H
 ADCDnSGVCEP1 : <ADCDn_base> +518_H
 ADCDnSGVCEP2 : <ADCDn_base> +598_H
 ADCDnSGVCEP3 : <ADCDn_base> +618_H
 ADCDnSGVCEP4 : <ADCDn_base> +698_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	VCEP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 30.47 ADCDnSGVCEPx レジスタの内容

ビット位置	ビット名	機能
7, 6	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
5 ~ 0	VCEP[5:0]	終了仮想チャネルポインタ 終了する仮想チャネルを選択します。 SGx を起動すると、ADCDnSGVCSPx から ADCDnSGVCEPx の仮想チャネルを実行します。

注 意

- 誤動作を防ぐため、ADCDnSGVCEPx の設定は、次の順で設定/確認した後に行ってください。
 - T&H グループ A の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ A の HLDTE が 0
 - T&H グループ B の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ B の HLDTE が 0
 - スキャングループ x の ADSTARTE が 0 かつスキャングループ x の TRGMD が 0_H
 - スキャングループ x の SGACT が 0 の状態 (スキャングループ起動前)

30.3.40 ADCDnSGMCYCRx — スキャングループ x マルチサイクルレジスタ

ADCDnSGMCYCRx は、スキャングループ x のマルチサイクルスキャンモード時のスキャン回数を指定する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス ADCDnSGMCYCR0 : <ADCDn_base> +49C_H
 ADCDnSGMCYCR1 : <ADCDn_base> +51C_H
 ADCDnSGMCYCR2 : <ADCDn_base> +59C_H
 ADCDnSGMCYCR3 : <ADCDn_base> +61C_H
 ADCDnSGMCYCR4 : <ADCDn_base> +69C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	MCYC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.48 ADCDnSGMCYCRx レジスタの内容

ビット位置	ビット名	機能
7 ~ 0	MCYC[7:0]	マルチサイクル指定 マルチサイクルスキャンモード時のスキャン回数を指定します。 スキャン回数 = MCYC[7:0] + 1 SGx を起動すると、ADCDnSGVCSPx から ADCDnSGVCEPx までの仮想チャンネルのスキャンを ADCDnSGMCYCRx で指定した回数だけ繰り返し実行します。

注 意

誤動作を防ぐため、ADCDnSGMCYCRx の設定は、次の順で設定/確認した後に行ってください。

- ① T&H グループ A の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ A の HLDTE が 0
- ② T&H グループ B の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ B の HLDTE が 0
- ③ スキャングループ x の ADSTARTE が 0 かつスキャングループ x の TRGMD が 0_H
- ④ スキャングループ x の SGACT が 0 の状態 (スキャングループ起動前)

30.3.41 ADCDnSGSRx — スキャングループ x ステータスレジスタ

ADCDnSGSRx は、スキャングループ x の状態を示す 8 ビットの読み出し専用のレジスタです。

アクセス 8 ビット単位でリードのみ可能です。

アドレス ADCDnSGSR0 : <ADCDn_base> +4A4_H
 ADCDnSGSR1 : <ADCDn_base> +524_H
 ADCDnSGSR2 : <ADCDn_base> +5A4_H
 ADCDnSGSR3 : <ADCDn_base> +624_H
 ADCDnSGSR4 : <ADCDn_base> +6A4_H

リセット後の値 00_H

- x = 0 ~ 2 の場合

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SGACT	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.49 ADCDnSGSRx レジスタの内容 (x = 0 ~ 2 の場合)

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
1	SGACT	スキャングループステータス 0 : SGx の A/D 変換がアイドル状態 1 : SGx の A/D 変換中
0	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。

- x = 3、4 の場合

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ADTACT	SGACT	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.50 ADCDnSGSRx レジスタの内容 (X = 3、4 の場合)

ビット位置	ビット名	機能
7 ~ 3	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
2	ADTACT	AD タイマステータス 0 : AD タイマ x がアイドル状態 1 : AD タイマ x が動作中
1	SGACT	スキャングループステータス 0 : SGx の要因なし 1 : SGx の要因あり
0	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。

30.3.42 ADCDnADTIPRy — AD タイマ初期位相レジスタ y

ADCDnADTIPRy は、AD タイマ y の初期位相を設定する 32 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス ADCDnADTIPR3 : <ADCDn_base> +628_H
ADCDnADTIPR4 : <ADCDn_base> +6A8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADTIP[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTIP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.51 ADCDnADTIPRy レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
20 ~ 0	ADTIP[20:0]	AD タイマ初期位相 AD タイマ y の初期位相を設定します。 詳細は「30.4.2.3 ハードウェアトリガによる AD タイマの起動」を参照してください。

注 意

誤動作を防ぐため、ADCDnADTIPRy の設定はスキャングループ y の ADTACT が 0 の状態 (AD タイマ起動前) かつ ADTSTARTE が 0 かつ TRGMD[1:0] が 3_H 以外で行ってください。

30.3.43 ADCDnADTPRRy — AD タイマ周期レジスタ y

ADCDnADTPRRy は、AD タイマ y の周期を設定する 32 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス ADCDnADTPRR3 : <ADCDn_base> +62C_H
ADCDnADTPRR4 : <ADCDn_base> +6AC_H

リセット後の値 001F FFFF_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADTPR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTPR[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.52 ADCDnADTPRRy レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
20 ~ 0	ADTPR[20:0]	AD タイマ周期 AD タイマ y の周期を設定します。 詳細は「30.4.2.3 ハードウェアトリガによる AD タイマの起動」を参照してください。

注 意

誤動作を防ぐため、ADCDnADTPRRy の設定はスキャングループ y の ADTACT が 0 の状態 (AD タイマ起動前) かつ ADTSTARTE が 0 かつ TRGMD[1:0] が 3_H 以外で行ってください。

30.3.44 ADCDnULLMSRx — スキャングループ x 上限値 / 下限値テーブル選択レジスタ

ADCDnULLMSRx は、スキャングループ x を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。

アクセス 8 ビット単位でリード/ライト可能です。

アドレス ADCDnULLMSR0 : <ADCDn_base> +4B0_H
 ADCDnULLMSR1 : <ADCDn_base> +530_H
 ADCDnULLMSR2 : <ADCDn_base> +5B0_H
 ADCDnULLMSR3 : <ADCDn_base> +630_H
 ADCDnULLMSR4 : <ADCDn_base> +6B0_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ULS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 30.53 ADCDnULLMSRx レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リード時は常にリセット後の値が読み出されます。ライト時はリセット後の値を書き込んでください。
1、0	ULS	上限値 / 下限値テーブル選択 0 _H : 上限 / 下限チェックをしない。 1 _H : ADCDnULLMTBR0 で上限 / 下限チェックする。 2 _H : ADCDnULLMTBR1 で上限 / 下限チェックする。 3 _H : ADCDnULLMTBR2 で上限 / 下限チェックする。 A/D 変換値を ADCDnDRj 格納時に、ULS[1:0] で選択した上限値 / 下限値テーブルを使用して上限 / 下限チェックします。

注 意

誤動作を防ぐため、ADCDnULLMSRx の設定は、次の順で設定 / 確認した後に行ってください。

- ① T&H グループ A の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ A の HLDTE が 0
- ② T&H グループ B の SGS[1:0] がスキャングループ x を選択している場合は T&H グループ B の HLDTE が 0
- ③ スキャングループ x の ADSTARTE が 0 かつスキャングループ x の TRGMD が 0_H
- ④ スキャングループ x の SGACT が 0 の状態 (スキャングループ起動前)

30.4 機能

30.4.1 A/D変換機能

A/D変換はスキャングループ単位で行います。A/D変換のトリガ信号はスキャングループ分あり、トリガ信号 (SGx_TRG) が入るとスキャングループに割り当てられている仮想チャネルの信号を小さい番号順で A/D 変換を行い、仮想チャネル毎の A/D 変換が完了もしくは SG に割り当てられているすべての仮想チャネルの A/D 変換が完了すると A/D 完了割り込み (INTADCDnIx) が発生します。

マルチスキャンモードは、トリガ信号が入ると指定回数分 A/D 変換を繰り返します。また、連続スキャンモードはトリガ信号が入ると無制限に A/D 変換を繰り返します。

A/D 変換のデータフォーマットは、符号付き固定小数点フォーマットと符号付き整数フォーマットから選択できます。データフォーマットのビット並びは、「**30.3.5 ADCDnDRj — データレジスタ j**」を参照してください。

30.4.1.1 マルチサイクルスキャンモード動作例

通常 A/D 変換モード (CNVCLS[2:0]=0_H) を使用し、スキャングループ 0 にてマルチサイクルスキャンモードの 2 回のスキャンで仮想チャネルを 4 チャネル分変換する場合の動作例を示します。

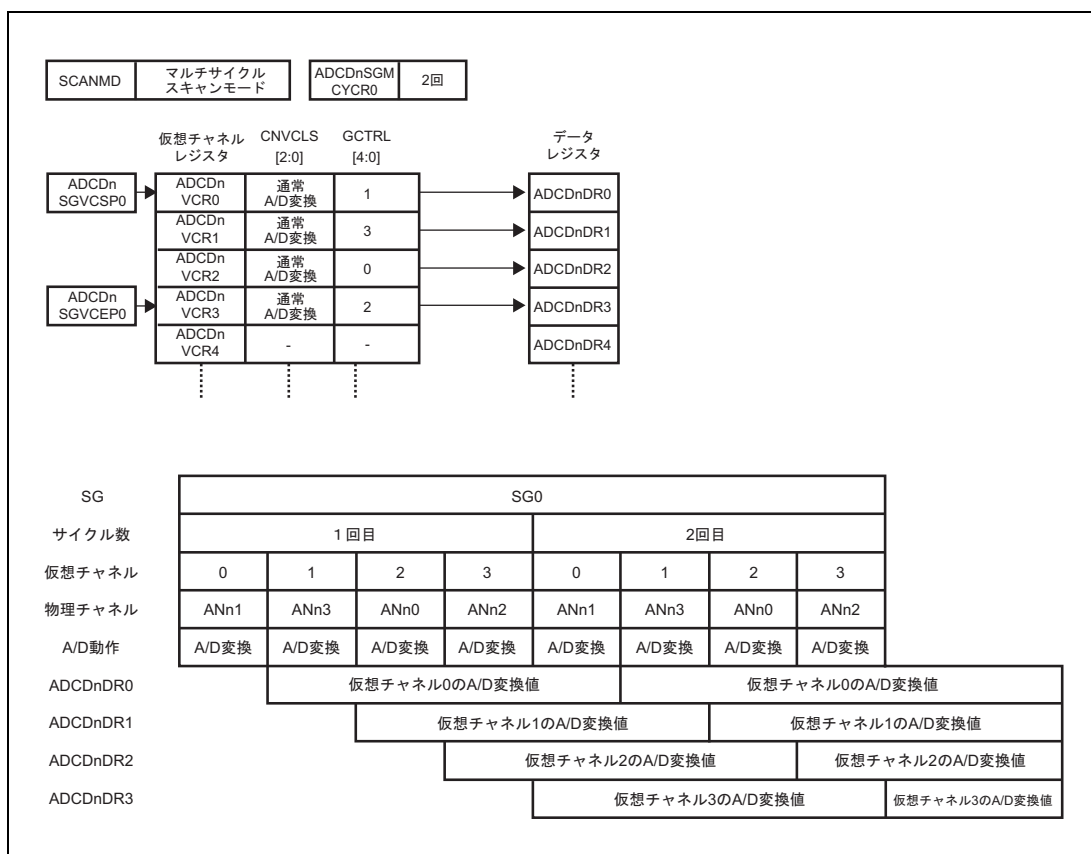


図 30.4 マルチサイクルスキャンモード動作例

30.4.1.2 連続スキャンモード動作例

通常 A/D 変換モード (CNVCLS[2:0]=0_H) を使用し、スキャングループ 0 にて連続スキャンモードで仮想チャンネルを 4 チャンネル分変換する場合の動作例を図 30.5 に示します。

また、連続スキャンモードに設定 (SCANMD=1_H) したスキャングループに対して、低優先のスキャングループのトリガが入力されても受け付けません。したがって、連続スキャンモードは、スキャングループ 0 に対して設定することを想定しています。

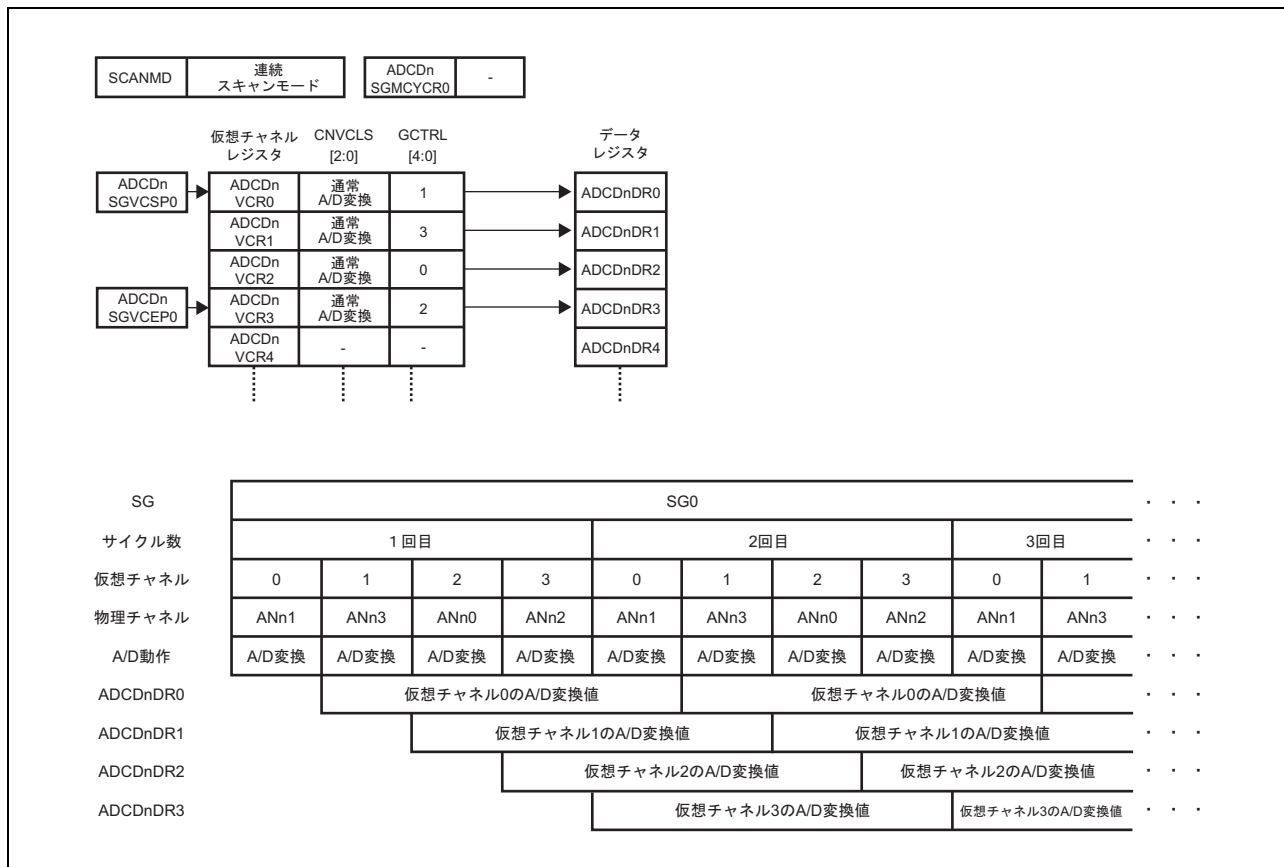


図 30.5 連続スキャンモード動作例

30.4.1.3 同時トラック&ホールド動作 (THC 制御)

同時トラック&ホールド動作において、T&H 制御、ホールド値 A/D 変換 (CNVCLS[2:0]=1_H)、自己診断 (CNVCLS[2:0]=3_H)、加算モードの通常 A/D 変換 (CNVCLS[2:0]=4_H) する場合の動作例を示します。

T&H グループ A/B のホールドトリガを入力した場合、高優先 / 低優先のスキャングループに関係なく変換中の仮想チャンネル動作を中断し、ホールド動作を開始します。ホールド動作完了後、スキャングループの優先順位に従って、仮想チャンネルの動作を実行します。その際、ホールドトリガによって中断された仮想チャンネルは、再度、仮想チャンネルの最初から実行されます。

以下の図 30.6 ~ 図 30.9 では、AD 変換中にホールドトリガが発生した場合の動作状態を示します。

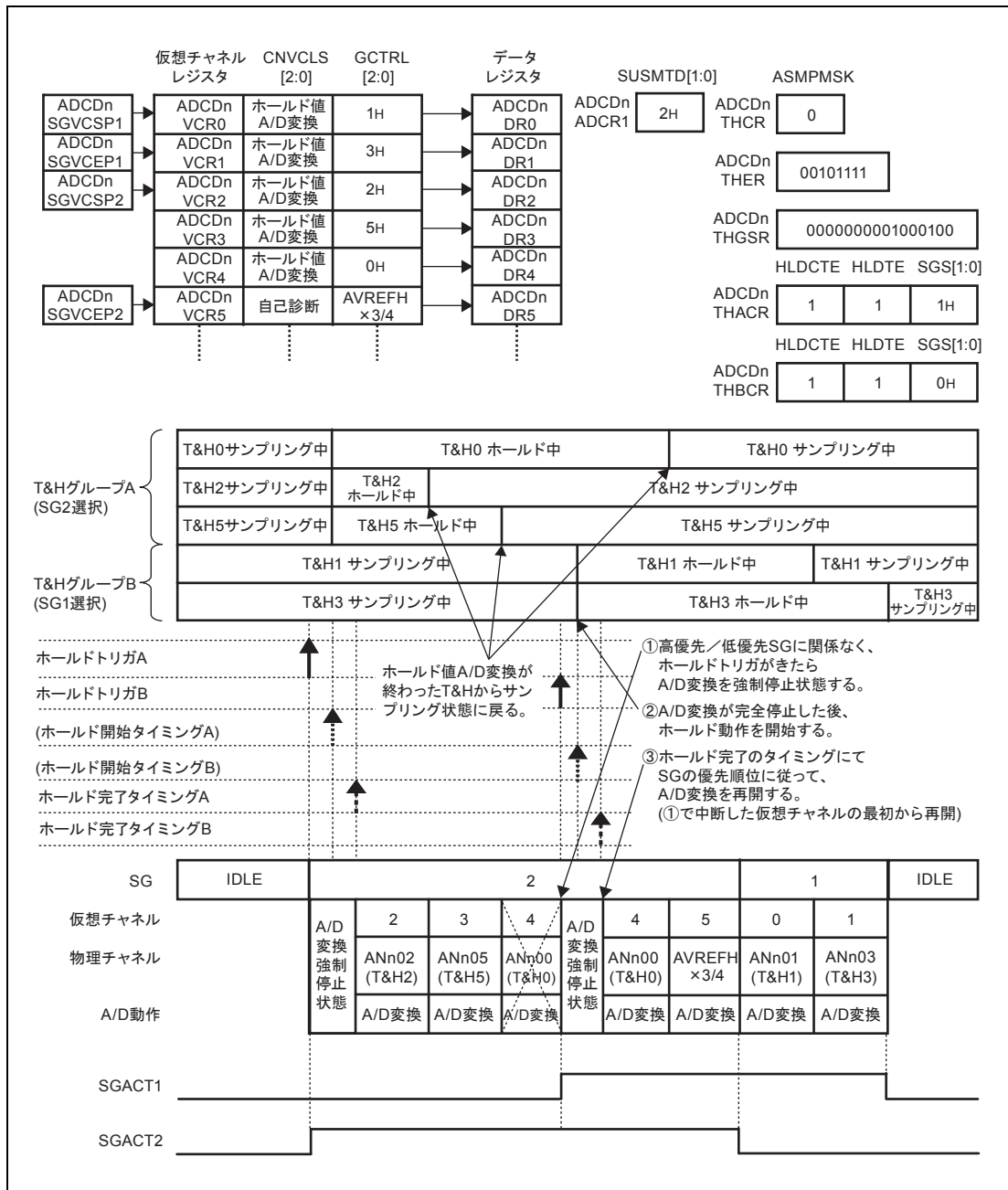


図 30.6 同時トラック&ホールド動作例 (高優先 SG(SG2)T&H 変換中に低優先 SG(SG1)T&H 変換が割り込む場合)

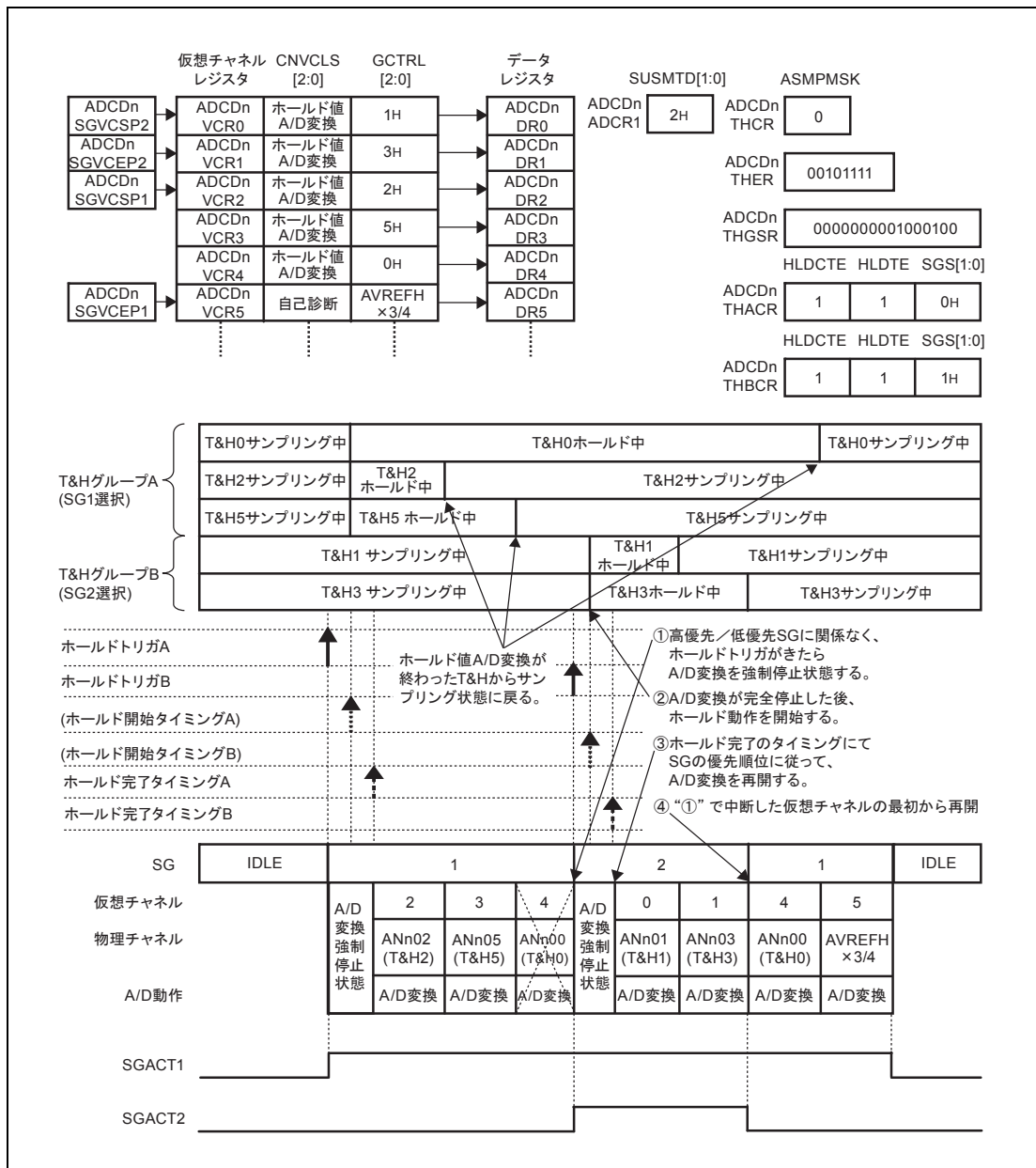


図 30.7 同時トラック & ホールド動作例 (低優先 SG(SG1)T&H 変換中に高優先 SG(SG2)T&H 変換が割り込む場合)

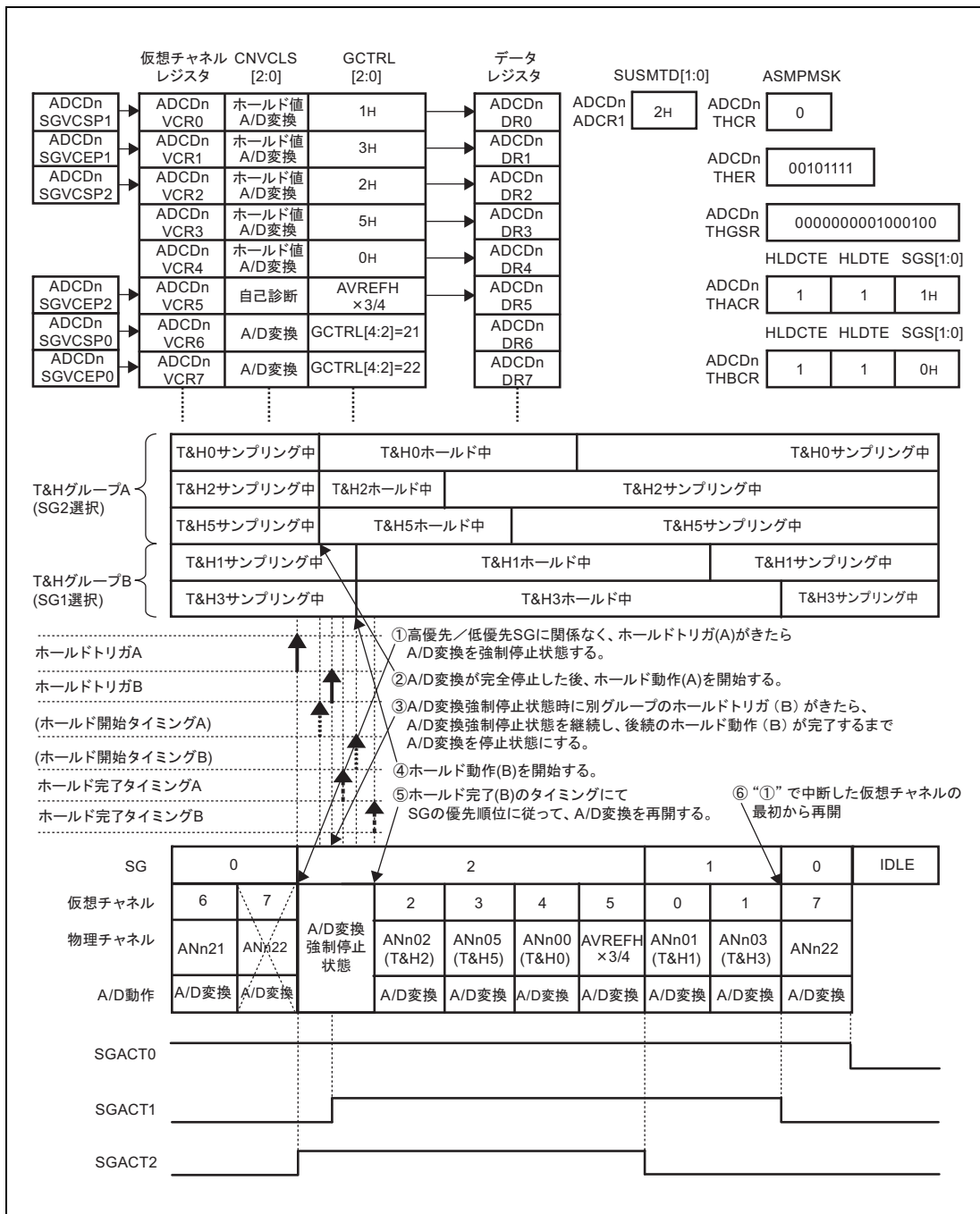


図 30.8 同時トラック & ホールド動作例 (低優先 SG(SG0) 通常変換中に高優先 SG(SG2) T&H 変換と高優先 SG(SG1) T&H 変換 が割り込む場合)

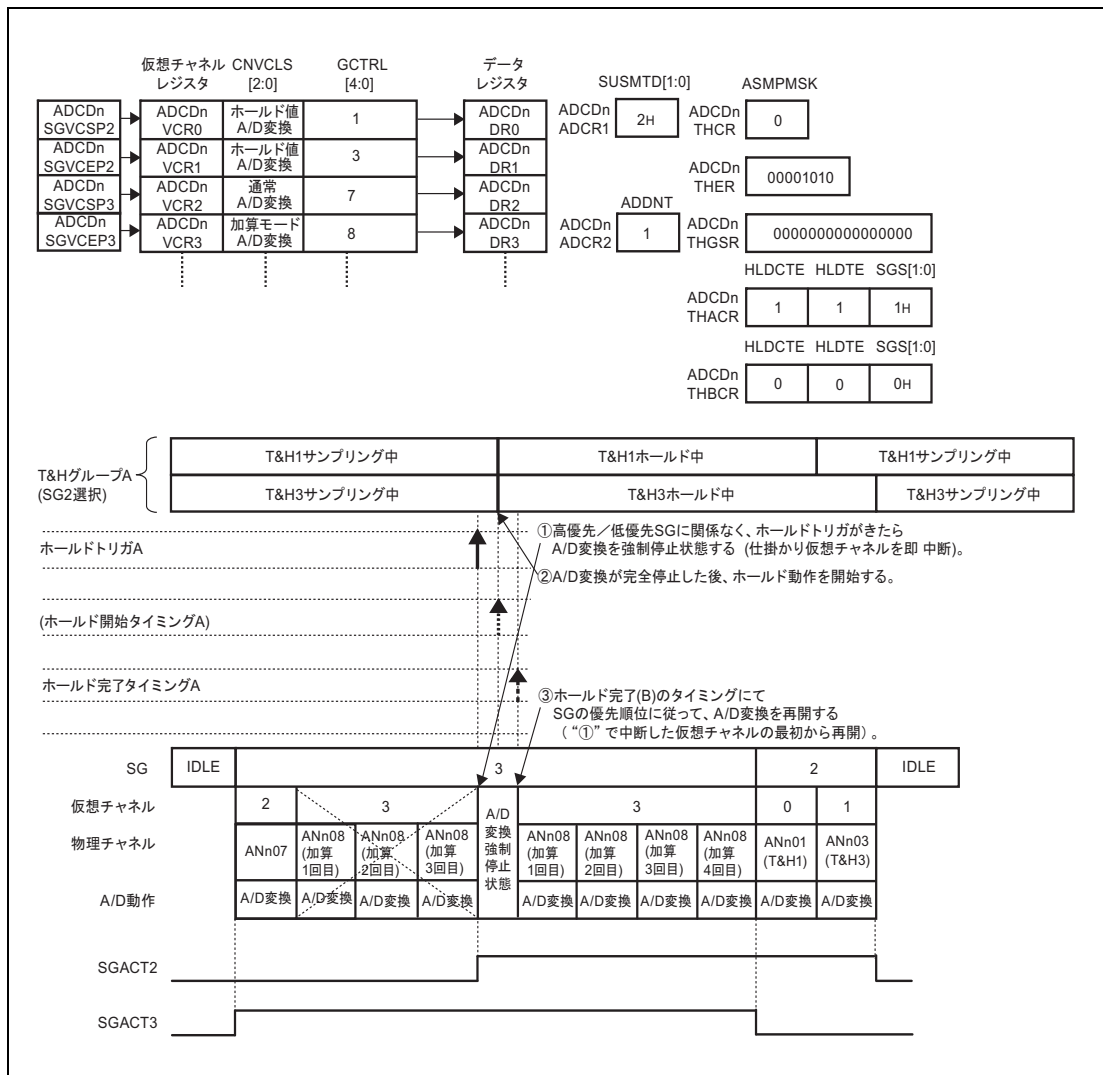


図 30.9 同時トラック & ホールド動作例 (高優先 SG(SG3) 通常加算変換中に低優先 SG(SG2) T&H 変換が割り込む場合)

30.4.1.4 加算モードの通常 A/D 変換動作例

加算モードの通常 A/D 変換 (CNVCLS[2:0]=4_H) を使用し、スキャングループ 0 にて、仮想チャンネルを 4 チャンネル分変換する場合の動作例を図 30.10 に示します。

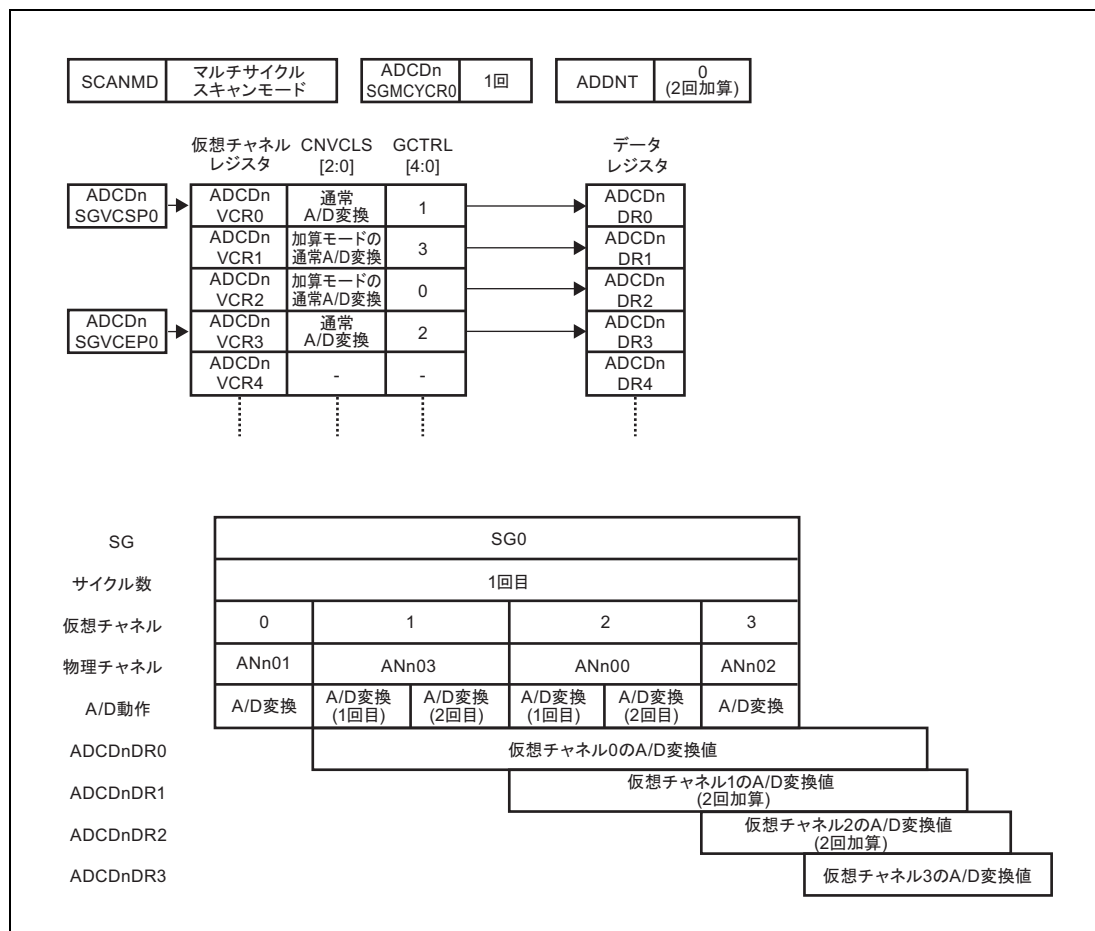


図 30.10 加算モードの通常 A/D 変換動作例

30.4.1.5 外付けアナログマルチプレクサ使用例 (ポート出力)

外付けアナログマルチプレクサを使用したポート出力の例を図 30.11 に示します。

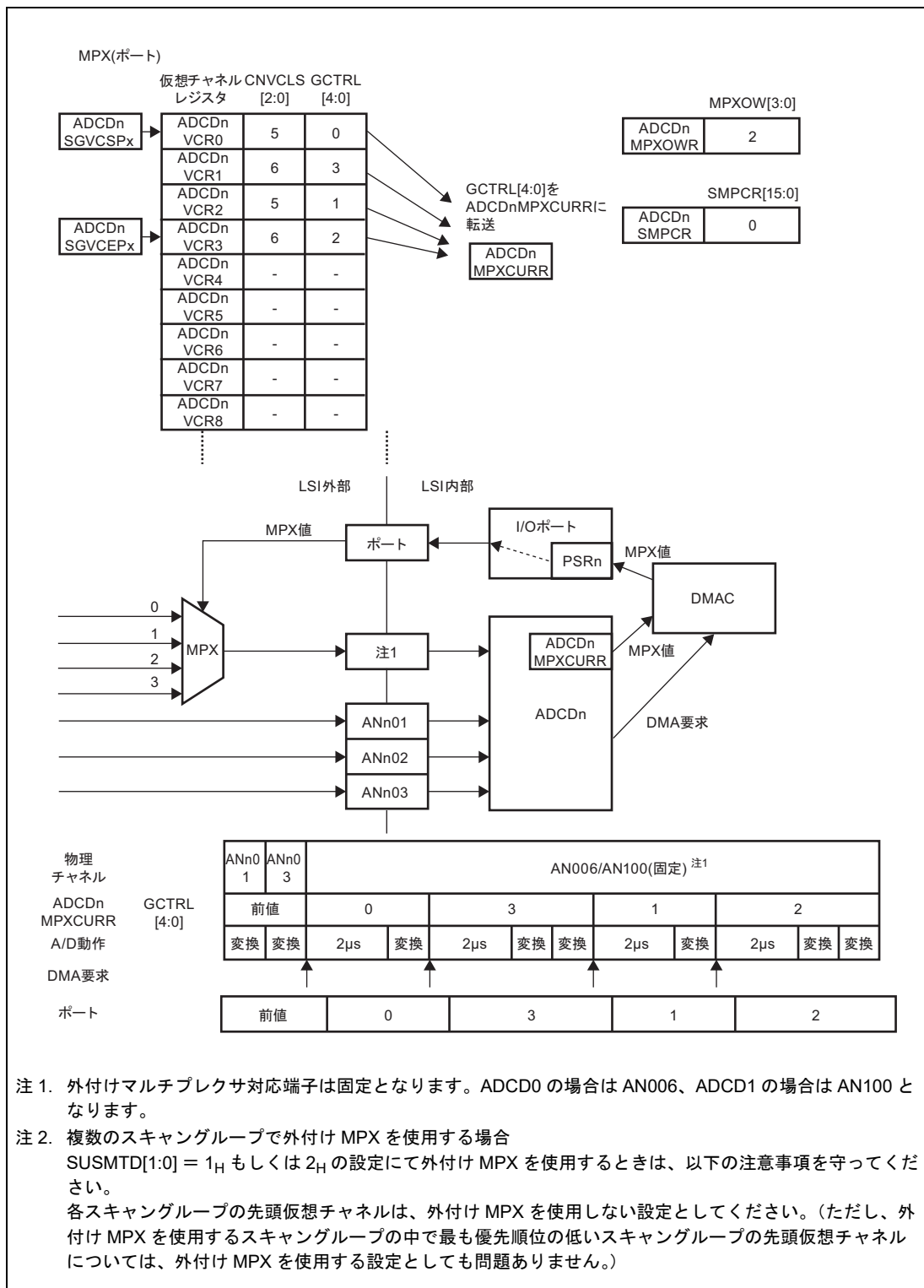


図 30.11 外付けマルチプレクサ使用例 (ポート出力)

30.4.2 トリガ機能

各スキャングループの A/D 変換開始トリガとして、以下のトリガを選択することができます。

- ハードウェアトリガ (SGx_TRG)
- AD タイマトリガ
- ソフトウェアトリガ (ADCDnSGSTCRx の設定により)

また、AD タイマの起動は、以下のトリガを選択することができます。

- ハードウェアトリガ (SGx_TRG)
- ソフトウェアトリガ (ADCDnADTSTCRy の設定により)

A/D 変換中のスキャングループと同一のスキャングループのトリガは無効となります。

A/D 変換中のスキャングループより低優先のスキャングループのトリガは保留され、高優先のスキャングループ変換完了後、低優先のスキャングループの変換が開始されます。

A/D 変換中のスキャングループより高優先のスキャングループがトリガされた場合は「30.4.3 サスペンド機能」を参照ください。

30.4.2.1 ハードウェアトリガによるスキャングループの起動

ハードウェアトリガ SGx_TRG の入力で、スキャングループ x を起動することができます。ハードウェアトリガ SGx_TRG の入力で、スキャングループ x を起動する場合には、ADCDnSGCRx の TRGMD を 1_H に設定します。この状態で選択したハードウェアトリガ SGx_TRG が入ると、SGACT を 1 にセットします。SGACT が 1 にセットされてからスキャングループ x が開始されるまでのタイミングは、ソフトウェアトリガで SGST を 1 にセットされた場合と同じです。

30.4.2.2 AD タイマトリガによるスキャングループの起動

AD タイマ 3、4 のタイマトリガによって、スキャングループ 3、4 を起動することができます。AD タイマ 3、4 のタイマトリガでスキャングループ 3、4 を起動する場合には、ADCDnSGCR3、4 の TRGMD を 2_H にセットします。さらにスキャングループ 3、4 の ADTST に 1 をセットし、AD タイマ 3、4 を起動します。

この状態でタイマトリガが入ると、SGACT を 1 にセットします。SGACT が 1 にセットされてからスキャングループ 3、4 が開始されるまでのタイミングは、ソフトウェアで SGST を 1 にセットされた場合と同じです。

30.4.2.3 ハードウェアトリガによる AD タイマの起動

ハードウェアトリガ SG3_TRG、SG4_TRG の入力で、AD タイマ 3、4 を起動することができます。ハードウェアトリガ SG3_TRG、SG4_TRG の入力で、AD タイマ 3、4 を起動する場合には、ADCDnSGCR3、4 の TRGMD を 3_H に設定します。この状態で選択した外部トリガが入ると AD タイマ 3、4 が起動します。さらに AD タイマ 3、4 のタイマトリガによりスキュングループ 3、4 を起動します。

AD タイマ動作例を図 30.12 に示します。

AD タイマは、CLK_ADC のクロックにて、カウント動作します。

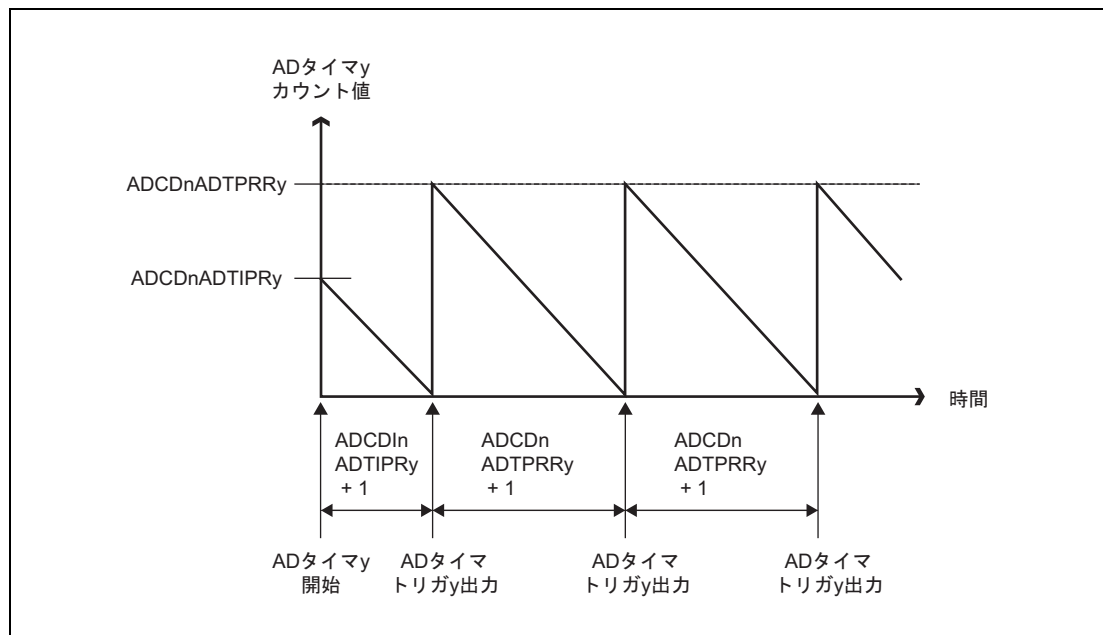


図 30.12 AD タイマ動作例

- (1) AD タイマ y が開始すると ADCDnADTIPRy を AD タイマ y にロードします。
- (2) AD タイマ y が 0 の場合、AD タイマトリガを 1 サイクル出力し、ADCDnADTPRRy を AD タイマ y にロードします。
AD タイマ y が 0 でない場合、ダウンカウントします。

以降は (2) を繰り返します。

注 意

AD タイマ初期位相レジスタ (ADCDnADTIPRy レジスタ) に 0 を設定した場合、AD タイマ起動と同時に AD タイマトリガが出力されます。また、AD タイマ周期レジスタ (ADCDnADTPRRy レジスタ) に 0 を設定した場合は、毎クロックごとに AD タイマトリガが出力されます。

30.4.3 サスペンド機能

サスペンド機能は、低優先のスキャングループ処理中に高優先のスキャングループ要求があると、低優先の A/D 変換を中断して、高優先の A/D 変換を行う機能です。サスペンド動作は以下の 3 種類があります。

30.4.3.1 同期サスペンド & レジューム動作

A/D 変換中のスキャングループよりも高優先のスキャングループの A/D 変換トリガが発生した際、A/D 変換中の仮想チャンネルの変換が終了した後に、高優先のスキャングループの A/D 変換を行います。高優先のスキャングループの A/D 変換が完了した後、中断した仮想チャンネルから A/D 変換を再開します。

同期サスペンド & レジューム動作の例を図 30.13 に示します。低優先 SG に対して高優先 SG が割り込む場合についての動作です。

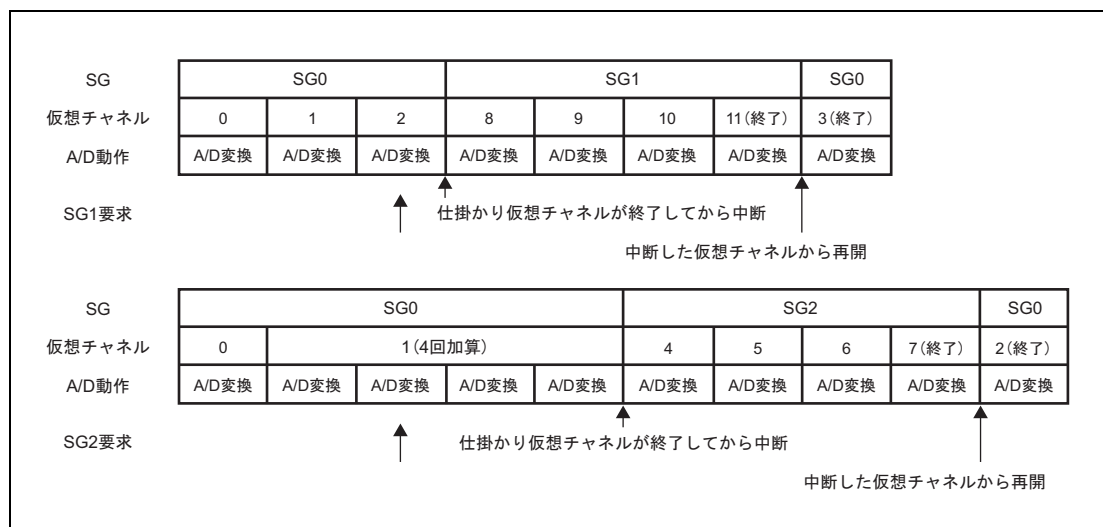


図 30.13 同期サスペンド & レジューム動作例

備考

スキャングループの優先順位

低い 高い

SG0 < SG1 < SG2 < SG3 < SG4

30.4.3.2 非同期サスペンド & レジューム動作例

A/D 変換中のスキャングループよりも高優先のスキャングループの A/D 変換トリガが発生した際、A/D 変換中の仮想チャンネルの変換を即中断し、高優先のスキャングループの A/D 変換を行います。高優先のスキャングループの A/D 変換が完了した後、中断した仮想チャンネルの A/D 変換を初めから行います。

非同期サスペンド & レジューム動作の例を図 30.14 に示します。低優先 SG に対して高優先 SG が割り込む場合の動作です。

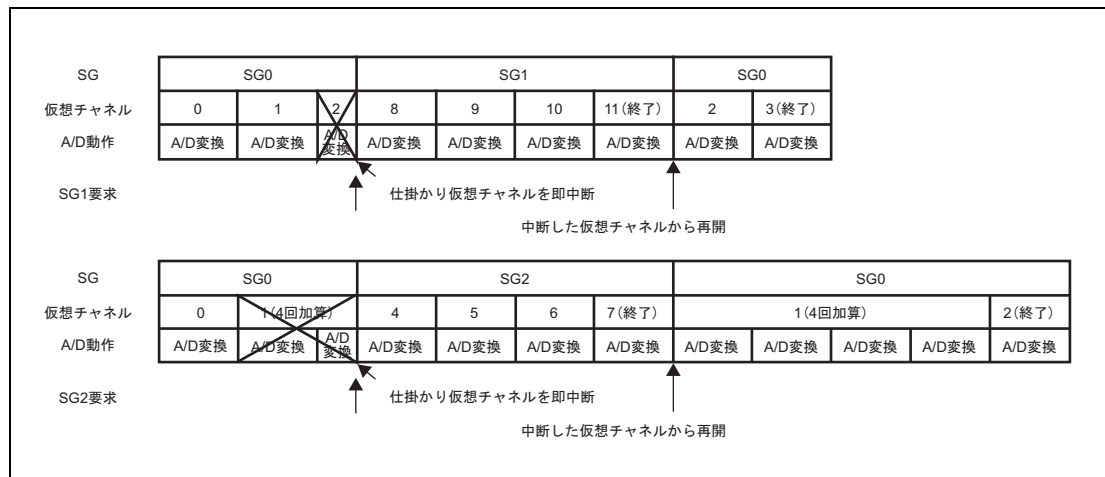


図 30.14 非同期サスペンド & レジューム動作例

備考

スキャングループの優先順位

低い 高い

SG0 < SG1 < SG2 < SG3 < SG4

30.4.3.3 同期/非同期ミックス型サスペンド動作

SG0 の A/D 変換中に高優先のスキャングループの A/D 変換トリガが発生した際は非同期サスペンド動作を行い、SG0 以外のスキャングループの A/D 変換中に高優先のスキャングループの A/D 変換トリガが発生した際は同期サスペンド動作を行います。高優先のスキャングループの A/D 変換が完了した後、中断した仮想チャンネルの A/D 変換を初めから行います。

30.4.4 自己診断機能

ADCD は、以下の3つの自己診断機能を有しています。

- 端子レベル自己診断機能
- A/D変換回路自己診断機能
- 断線検出機能

30.4.4.1 端子レベル自己診断機能

図 30.15 に端子レベル自己診断フローを示します。

以下の端子レベル自己診断フローは、ADCD0 の全端子を仮想チャンネルに割り当て、偶数物理チャンネルと奇数物理チャンネルへの印加電圧を切り替えて端子レベル自己診断を行った場合を例としています。また、端子レベル自己診断フローは A/D 変換起動前に行うことを想定しています。

【特長】

1. 診断する物理チャンネルを任意に選択可能です。
2. 端子レベル自己診断電圧レベルは、偶数物理チャンネル/奇数物理チャンネルごとに AVSS, AVCC, 1/2×AVCC を選択可能です。
3. SG0-4 の AD 変換を実施することで、端子レベル自己診断機能が可能です。

【設定】

1. 初期設定（「図 30.22 初期設定」）に沿って設定を行います。
2. 仮想チャンネル設定レジスタ ADCDnVCRj (j=0~23) で、通常 A/D 変換 (CNVCLS[2:0]=0_H) とし、GCTRL[5:0] に端子レベル自己診断を行う物理チャンネルを設定します。
3. 端子レベル自己診断制御レジスタ ADCDnTDCR で、診断電圧を設定 (TDLV[1:0]) し、端子レベル自己診断を有効に設定 (TDE=1) します。
4. 初期設定（「図 30.22 初期設定」）に沿って、その他の AD 変換に必要な設定を行います。
5. SG0-4 のトリガをアサートし、AD 変換を実行します。

備 考

自己診断時の診断電圧の変換結果は総合誤差 (TESH0SN) を含みます。
総合誤差の値は「37.15 A/D コンバータ特性」を参照ください。

注 意

端子レベル自己診断時の変換精度は注入電流の影響を受けます。
詳細は「37.15 A/D コンバータ特性」を参照ください。

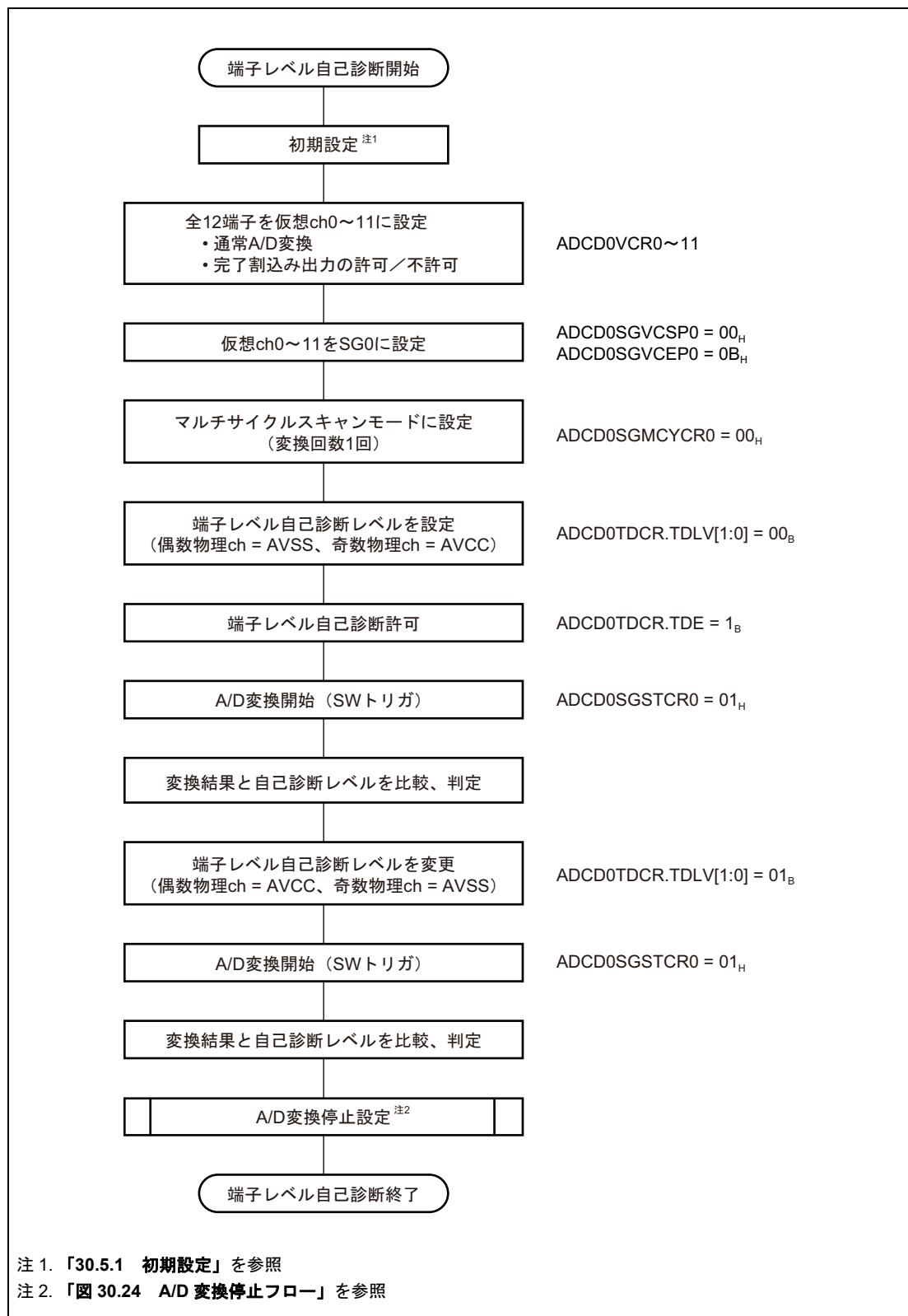


図 30.15 端子レベル自己診断フロー (144 ピンパッケージ ADCD0 の例)

30.4.4.2 A/D 変換回路自己診断機能

AD 変換回路自己診断は、AD 変換が正常に動作することの自己診断機能です。

電圧値の設定は、CNVCLS[2:0] = 3_H 時の GCTRL[5:0] で行い、AVREFH × 1、AVREFH × 3/4、AVREFH × 1/2、AVREFH × 1/4、AVSS での変換が可能です。

ADCD での、AD 変換回路自己診断機能の特長および設定を以下に示します。

【特長】

1. 自己診断電圧レベルは、AVREFH × 1、AVREFH × 3/4、AVREFH × 1/2、AVREFH × 1/4、AVSS の選択が可能です。
2. SG0-4 の AD 変換を実施することで、AD 変換回路自己診断機能が可能です。

【設定】

1. 初期設定（「**図 30.22 初期設定**」）に沿って設定を行います。
2. 仮想チャンネル設定レジスタ ADCDnVCRj (j = 0 ~ 23) で、自己診断設定 (CNVCLS[2:0] = 3_H) とし、GCTRL[5:0] に任意の自己診断電圧レベルを設定します。
3. 初期設定（「**図 30.22 初期設定**」）に沿って、その他の AD 変換に必要な設定を行います。
4. SG0-4 のトリガをアサートし、AD 変換を実行します。

備 考

自己診断時の診断電圧の変換結果は総合誤差 (TESH0SN) を含みます。

総合誤差の値は「37.15 A/D コンバータ特性」を参照ください。

注 意

1. A/D 変換回路自己診断機能を使用するときは、温度センサを使用しないでください (TSN0CR.TSNEN=0)。
2. A/D 変換回路自己診断の変換精度は注入電流の影響を受ける場合があります。詳細は「37.15 A/D コンバータ特性」を参照してください。

30.4.4.3 断線検出機能

断線検出機能は、ANnmの断線検出をする機能です。断線が起こっている場合、プルダウン抵抗またはプルアップ抵抗により、変換結果はAnVSS近傍またはAnVCC近傍に収束するため、変換結果から断線を判断することが可能です。

ADCDnは2種類の断線検出モードをサポートします。

- モード1：通常変換と同時に物理チャンネルごとの断線検出を行うことができます（プルダウン抵抗による断線検出が可能です）。
- モード2：断線検出専用の機能で、仮想チャンネルごとの断線検出を行うことができます（プルダウン抵抗またはプルアップ抵抗を使用して断線検出が可能です）。

(1) 断線検出モード1 (ADCDnODCR.ODE = 1)

断線検出モード1は、任意のプルダウンパルス幅（1ステート～17ステート）を設定でき、逐次変換時プルダウン抵抗を接続します（断線検出モード1はプルアップ抵抗は使用できません）。断線検出の有効/無効はアナログ端子毎で設定します。

【設定】

1. 初期設定（「**図 30.22 初期設定**」）に沿って設定を行います。
2. 仮想チャンネル設定レジスタ ADCDnVCRj (j = 0 ~ 23) で、通常 A/D 変換 (CNVCLS[2:0] = 0_H)、プルアップ・プルダウン抵抗オフ (ADCDnVCRj.PDE = 0_H、ADCDnVCRj.PUE = 0_H)、GCTRL[5:0] に任意のチャンネルを設定します。
3. 断線検出モード1 (ADCDnODCR.ODE = 1)、断線検出を行う物理チャンネルの設定 (ADOPDIGnm = 1)、ADCDnODCR.ODPW[5:0] に任意のプルダウンパルス幅を設定します。
4. SG0-4 のトリガをアサートし、AD 変換を実行します。
5. AD 変換を複数回実施し、変換結果が AnVSS 近傍に収束していないことを確認します。

(2) 断線検出モード2 (ADCDnODCR.ODE = 0)

断線検出モード2は、固定のパルス幅（18ステート）で、S/H回路のサンプリング時プルダウン抵抗、またはプルアップ抵抗を接続します。断線検出の有効/無効は仮想チャンネル毎で設定可能です。

【設定】

1. 初期設定（「**図 30.22 初期設定**」）に沿って設定を行います。
2. 断線検出を行う仮想チャンネルの仮想チャンネル設定レジスタ ADCDnVCRj (j = 0 ~ 23) で、通常 A/D 変換モード設定 (CNVCLS[2:0] = 0_H)、プルダウン抵抗またはプルダウン抵抗をオン (ADCDnVCRj.PDE = 1_H または ADCDnVCRj.PUE = 1_H)、GCTRL[5:0] に任意のチャンネルを設定します。
3. 断線検出モード2 (ADCDnODCR.ODE = 0)、断線検出を行う物理チャンネルを設定 (ADOPDIGnm = 1) を設定します。
4. SG0-4 のトリガをアサートし、AD 変換を実行します。
5. AD 変換を複数回実施し、変換結果がプルダウン抵抗を使用する場合 AnVSS 近傍またはプルアップ抵抗を使用する場合 AnVCC 近傍に収束していないことを確認します。

30.4.4.4 断線検出機能の診断

断線検出機能の診断は、断線検出機能が正常動作することを確認するための自己診断機能です。

はじめに、端子レベル自己診断モードで A/D 変換を実施し、比較基準となる電圧値を求めます。

次に ANnm を疑似的に断線状態にし、断線検出モード 2 を使い A/D 変換を数回～数十回繰り返します。この断線状態の A/D 変換結果が AnVSS 近傍または AnVCC 近傍に収束すれば、断線検出機能が正常に動作していると判断します。

【特徴】

1. 断線検出機能診断を行う物理チャネルを任意に設定することが可能です。

【設定】

1. 初期設定（「**図 30.22 初期設定**」）に沿って設定を行います。
2. 仮想チャネル設定レジスタ ADCDnVCRj に対し、通常 A/D 変換モード設定 (CNVCLS[2:0]=0_H)、GCTRL[5:0] に断線検出機能の診断を行う物理チャネルを設定します。
3. 端子レベル自己診断制御レジスタ ADCDnTDCR に対し、端子レベル自己診断を設定 (TDE=1_H)、TDLV[1:0] に任意の端子レベル自己診断レベルを設定します。
4. SG0-4 のトリガをアサートし、A/D 変換を実行します。
5. A/D 変換の後、ADCDnODCR に対し、断線検出機能診断を有効に設定 (ODDE=1_H) します。(端子レベル自己診断は ADCDn が自動で OFF にします)
6. ADCDnVCRj に対し、プルダウン抵抗をオン (PDE=1_H) またはプルアップ抵抗をオン (PUE=1_H) 設定し、断線検出モード 2 設定 (ADCDnODCR.ODE = 0)、断線検出を行う物理チャネルを指定 (ADOPDIGnm=1) します。
7. SG0-4 のトリガをアサートし、A/D 変換を実行します。
8. 断線検出機能診断モードにした状態で A/D 変換を数回～数十回繰り返し、変換結果がプルダウン抵抗を使用する場合 AnVSS 近傍またはプルアップ抵抗を使用する場合 AnVCC 近傍に収束することを確認します。

30.4.4.5 T&H 経路の端子レベル自己診断

端子レベル自己診断の機能を使用して、T&H 経路の自己診断テストを行うことが可能です。

T&H のホールド値を使用する設定で端子レベル自己診断を行った結果と、T&H のホールド値を使用しない設定で端子レベル自己診断を行った結果がどちらも診断電圧値を満たすことを確認します。そして、この診断を端子レベル自己診断制御レジスタ (ADCDnTDCR) の端子レベル自己診断レベル指定ビット (TDLV) = 0_H, 1_H, 2_H, 3_H 全ての場合で実施し、それぞれの診断電圧値を満たせば、T&H 経路が正常であると判定できます。

下記に、T&H のホールド値を使用する設定で端子レベル自己診断を行う場合 (1) と、T&H のホールド値を使用しない設定で端子レベル自己診断を行う場合 (2)、それぞれの設定と判定方法を説明します。

(1) T&H 経路の端子レベル自己診断 (T&H ホールド値使用)

図 30.16、図 30.17 に T&H ホールド値を使用した場合の端子レベル自己診断におけるタイミングチャート例と初期化例を示します。

【設定】

1. 図 30.17 のとおりに初期化を行います。仮想チャンネル 2 ~ 4 の変換種別 (ADCDnVCRj.CNVCLS[2:0]) はホールド値 A/D 変換 (1_H) を設定します。端子レベル自己診断レベル (ADCDnTDCR.TDLV) は 0_H をライトします。
2. T&H サンプリング開始制御レジスタ (ADCDnTHSMPSTCR) のサンプリング開始ビット (SMPST) に 1 をライトし、T&H のサンプリングを開始します。
3. スキャングループ 2 開始制御レジスタ (ADCDnSGSTCR2) のスキャングループ開始ビット (SGST) に 1 をライトし、スキャングループ 2 の A/D 変換処理をソフトウェアトリガにより開始します。
4. ホールド開始制御レジスタ (ADCDnTHAHLSTCR) のホールド開始ビット (HLDST) に 01_H をライトし、グループ A の T&H をホールド状態にします^{注1}。
5. スキャングループ 1 開始制御レジスタ (ADCDnSGSTCR1) のスキャングループ開始ビット (SGST) に 1 をライトし、スキャングループ 1 を開始します。
6. スキャングループ 2 の 1 回目の ADCDnVCR0 の A/D 変換完了割り込みを待ち、A/D 変換動作中に端子レベル自己診断制御レジスタ (ADCDnTDCR) の端子レベル自己診断レベル指定ビット (TDLV) に 1_H をライトし、自己診断レベルを変更します。
7. スキャングループ 1 の ADCDnVCR5 の完了割り込み後、スキャングループ 1 の変換結果を確認します。
それぞれのデータレジスタ (ADCDnDRj) の結果が、1. で設定した端子レベル自己診断電圧値をすべて満たせば、T&H を使用する設定の端子レベル自己診断の結果は正常と判断します。また、スキャングループ 2 の変換結果は使用せずに破棄します。

注 1. 「図 30.16 T&H 経路の自己診断 (T&H ホールド値使用) タイミングチャート例 (TDLV=0H → 1H)」の (3) のホールド開始制御は、(1) の T&H サンプリング開始から、32 CLK_ADC 以上待ってから行ってください。

備 考

自己診断時の診断電圧の変換結果は総合誤差 (TESH0SN) を含みます。
総合誤差の値は「37.15 A/D コンバータ特性」を参照ください。

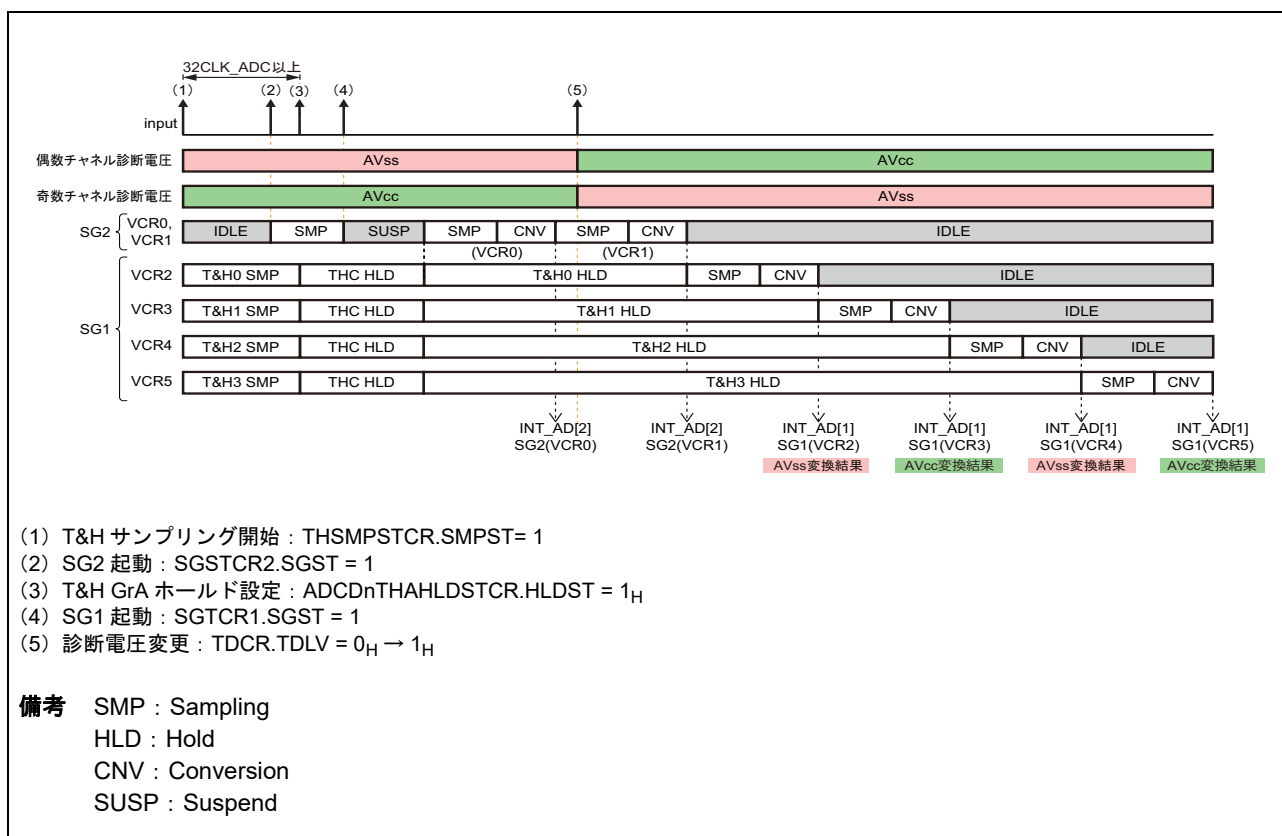


図 30.16 T&H 経路の自己診断 (T&H ホールド値使用) タイミングチャート例 (TDLV=0_H → 1_H)

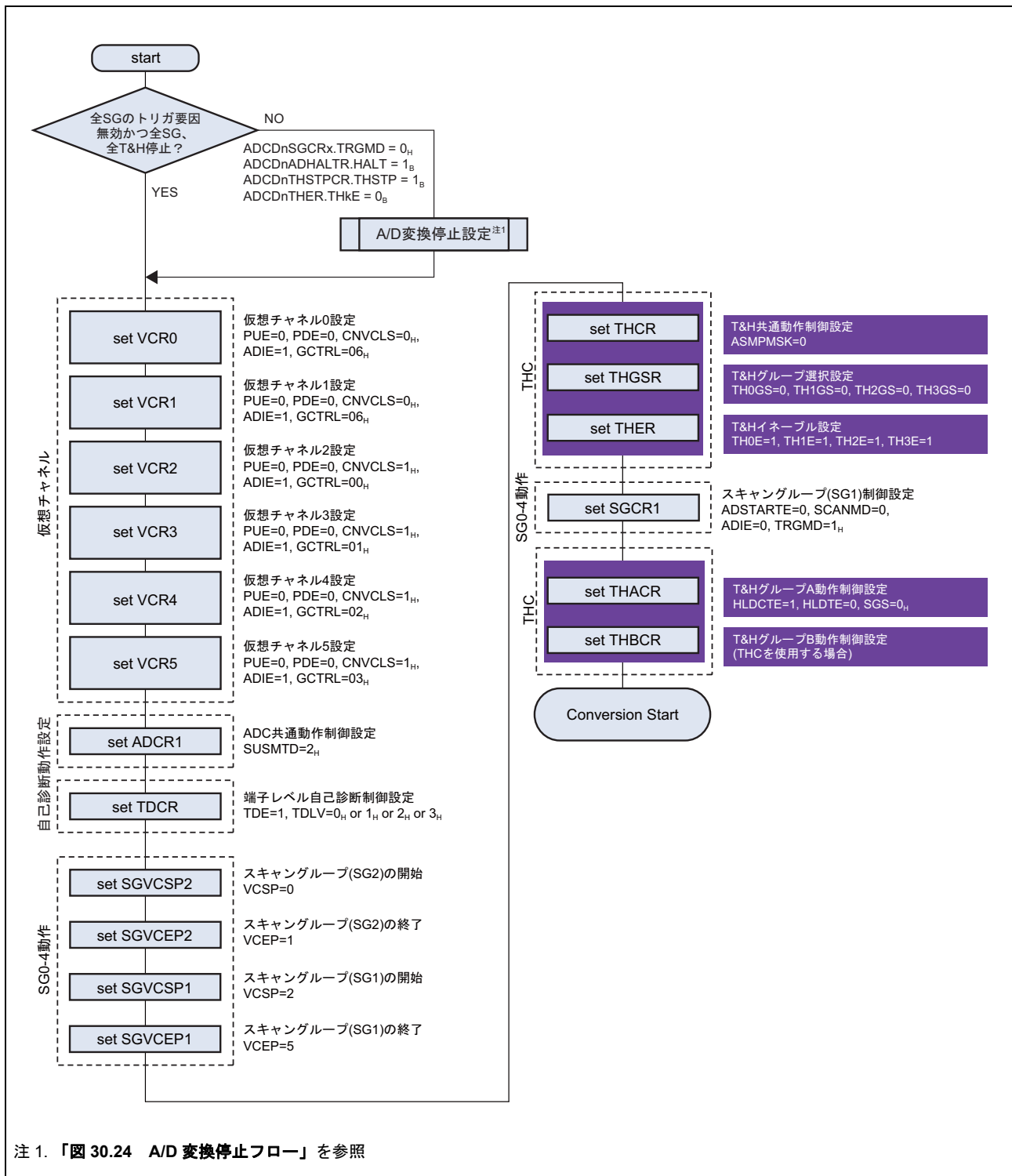


図 30.17 T&H 経路の自己診断 (T&H ホールド値使用) 初期化設定例

(2) T&H 経路の端子レベル自己診断 (T&H ホールド値不使用)

図 30.18、図 30.19 に T&H ホールド値を使用しない場合の端子レベル自己診断におけるタイミングチャート例と初期化例を示します。

【設定】

1. 図 30.19 どおりに初期化を行います。仮想チャンネル 2~4 の変換種別 (ADCDnVCRj.CNVCLS[2:0]) は通常 A/D 変換 (0_H) を設定します。端子レベル自己診断レベル (ADCDnTDCR.TDLV) は 0_H をライトします。
2. T&H サンプルング開始制御レジスタ (ADCDnTHSMPSTCR) のサンプルング開始ビット (SMPST) に 1 をライトし、T&H のサンプルングを開始します。
3. スキャングループ 2 開始制御レジスタ (ADCDnSGSTCR2) のスキャングループ開始ビット (SGST) に 1 をライトし、スキャングループ 2 の A/D 変換処理をソフトウェアトリガにより開始します。
4. ホールド開始制御レジスタ (ADCDnTHAHLSTCR) のホールド開始ビット (HLDST) に 01_H をライトし、グループ A の T&H をホールド状態にします。^{注 1}
5. スキャングループ 1 開始制御レジスタ (ADCDnSGSTCR1) のスキャングループ開始ビット (SGST) に 1 をライトし、スキャングループ 1 を開始します。
6. スキャングループ 2 の 1 回目の ADCDnVCR0 の A/D 変換完了割り込みを待ち、A/D 変換動作中に端子レベル自己診断制御レジスタ (ADCDnTDCR) の端子レベル自己診断レベル指定ビット (TDLV) に 1_H をライトし、自己診断レベルを変更します。
7. スキャングループ 1 の ADCDnVCR5 の完了割り込み後、スキャングループ 1 の変換結果を確認します。
それぞれのデータレジスタ (ADCDnDRj) の結果が、1. で設定した端子レベル自己診断電圧値をすべて満たせば、T&H を使用しない設定の場合の端子レベル自己診断結果が正常であると判断します。また、スキャングループ 2 の変換結果は使用せずに破棄します。

注 1. 「図 30.18 T&H 経路の自己診断 (T&H ホールド値不使用) タイミングチャート例 (TDLV= 0_H → 1_H)」の (3) のホールド開始制御は、(1) の T&H サンプルング開始から、32 CLK_ADC 以上待ってから行ってください。

備 考

自己診断時の診断電圧の変換結果は総合誤差 (TESH0SN) を含みます。
総合誤差の値は「37.15 A/D コンバータ特性」を参照ください。

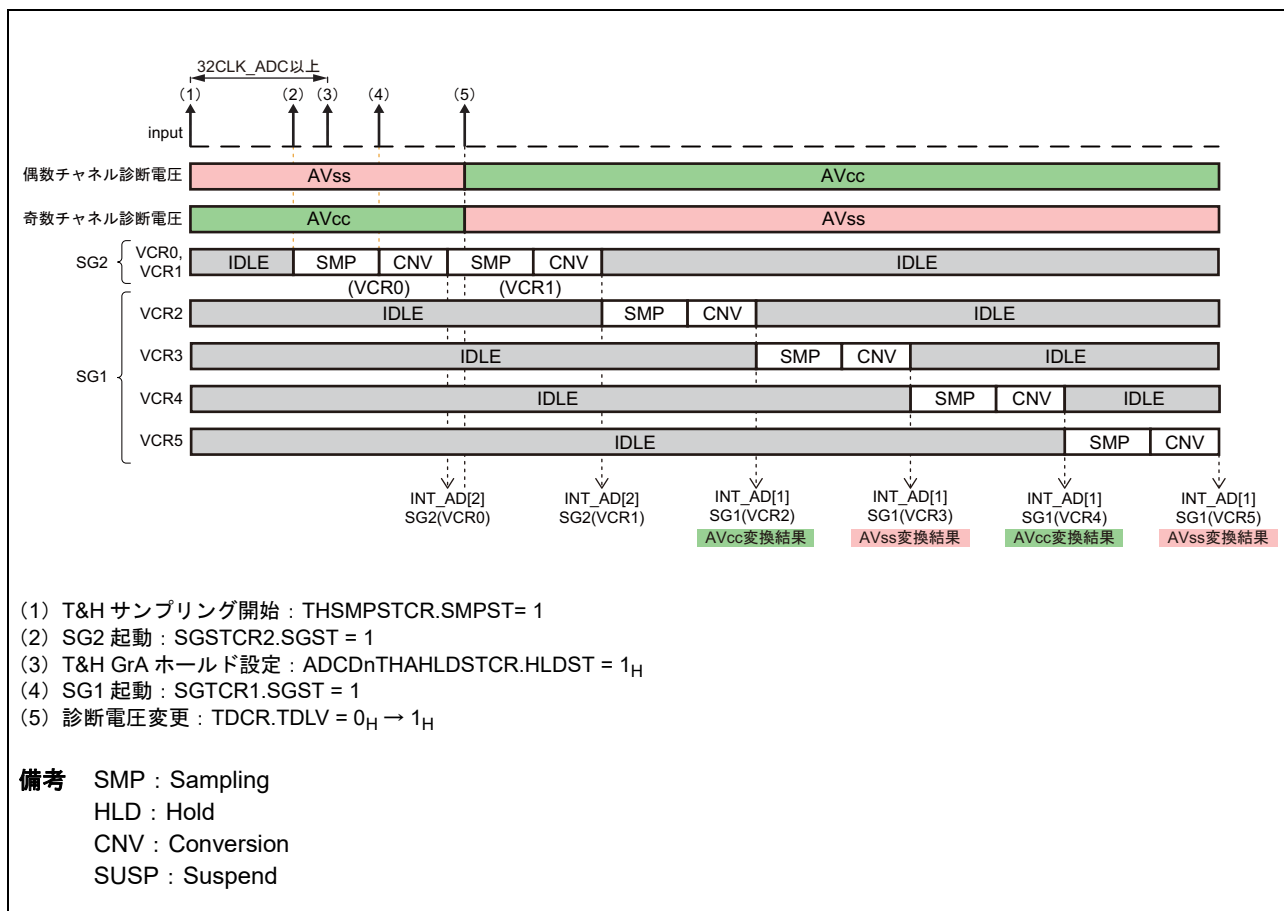


図 30.18 T&H 経路の自己診断 (T&H ホールド値不使用) タイミングチャート例 (TDLV=0_H → 1_H)

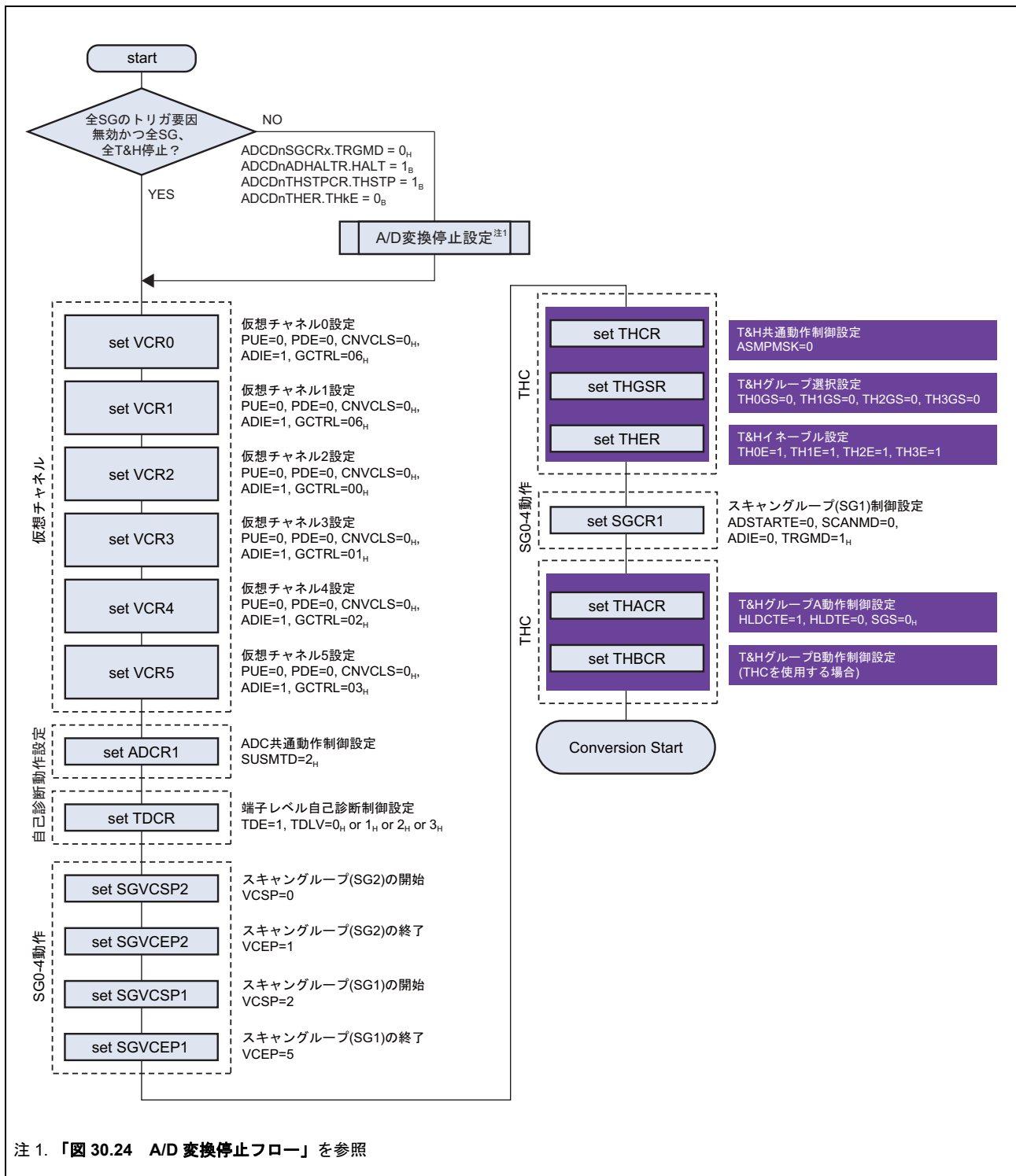


図 30.19 T&H 経路の自己診断 (T&H ホールド値不使用) 初期化設定

30.4.5 割り込み要求機能

スキヤングループ x 終了割り込みと AD エラー割り込みがあります。割り込み要求信号はパルスです。スキヤングループ x 終了割り込みにより、DMA / DTS を起動させることができます。

割り込み出力はマスクすることができます。マスクした場合でも、ステータスレジスタに 1 (割り込み発生) がセットされます。

30.4.5.1 スキャン終了割り込み

スキヤングループ x は、INTC へのスキャン終了割り込み要求 (INTADCDnIx) を発生することができます。ADCDnSGCRx の ADIE を 1 に設定すると SGx のスキャン終了で INTADCDnIx を出力し、0 に設定すると SGx のスキャン終了時の INTADCDnIx の出力を禁止できます。また、ADCDnVCRj の ADIE を 1 に設定すると SGx の仮想チャンネル n の A/D 変換終了で INTADCDnIx を出力し、0 に設定すると SGx の仮想チャンネル n の A/D 変換終了時の INTADCDnIx の出力を禁止できます。ADCDnSGCRx の ADIE の設定と ADCDnVCRj の ADIE の設定は無関係です。

例 1) ADCDnSGCR0 の ADIE = 0、ADCDnVCR0 の ADIE = 1、ADCDnVCR1 の ADIE = 0、SG0 で仮想チャンネル 0 ~ 1 のスキャン実行
仮想チャンネル 0 の A/D 変換終了で INTADCDnIx が出力します。

例 2) ADCDnSGCR0 の ADIE = 0、ADCDnVCR0 の ADIE = 1、ADCDnVCR1 の ADIE = 1、SG0 で仮想チャンネル 0 ~ 1 のスキャン実行
仮想チャンネル 0 と仮想チャンネル 1 の A/D 変換終了で INTADCDnIx が出力します。

例 3) ADCDnSGCR0 の ADIE = 1、ADCDnVCR0 の ADIE = 0、ADCDnVCR1 の ADIE = 0、SG0 で仮想チャンネル 0 ~ 1 のスキャン実行
スキャン終了 (仮想チャンネル 1 の A/D 変換終了) で INTADCDnIx が出力します。
また、マルチサイクルスキャンモードの 2 サイクル以上、および、連続スキャンモード時は、スキャン終了 (仮想チャンネル 1 の A/D 変換終了) ごとに INTADCDnIx が出力します。

さらに、INTADCDnIx 発生時に DMAC を起動することができます。

DMAC の設定については「**第 7 章 DMA**」を参照してください。

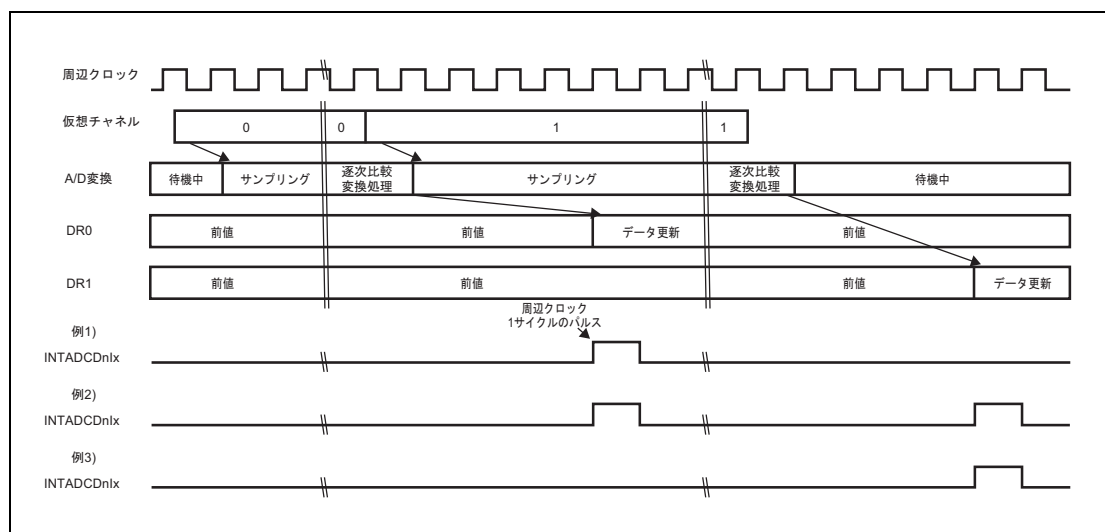


図 30.20 スキャン変換終了割り込み発生タイミング

30.4.5.2 AD エラー割り込み要求と AD パリティエラー割り込み要求

ADCD は、INTC への AD エラー割り込み要求 (INTADCDnERR) と ECM (エラーコントロールモジュール) への AD パリティエラー割り込み (ADPEn) を発生することができます。ADCDnSFTCR の ULEIE、OWEIE、IDEIE が 1 に設定されたエラー要因の OR 条件を INTADCDnERR として発生します。0 に設定されたエラー要因の INTADCDnERR は禁止することができます。ADCDnSFTCR の PEIE を 1 に設定すると ADPEn を許可、0 に設定すると ADPEn を禁止します。

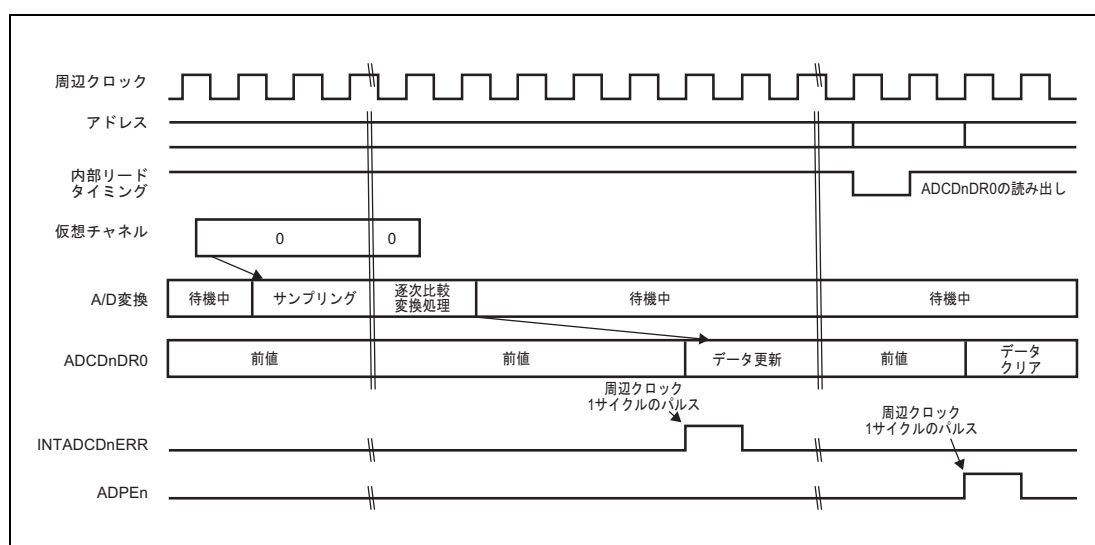


図 30.21 AD エラー割り込みと AD パリティエラー割り込み発生例

30.5 手順

30.5.1 初期設定

図 30.22 に初期設定フローを示します。初期設定は、全スキャングループのトリガ要因無効かつ全スキャングループ、全 T&H が停止した状態で、設定してください。動作している場合は、A/D 変換停止設定を行ってください。「30.5.3 A/D 変換停止手順」を参照してください。

使用しない機能の設定値は、リセット後の値を設定してください。

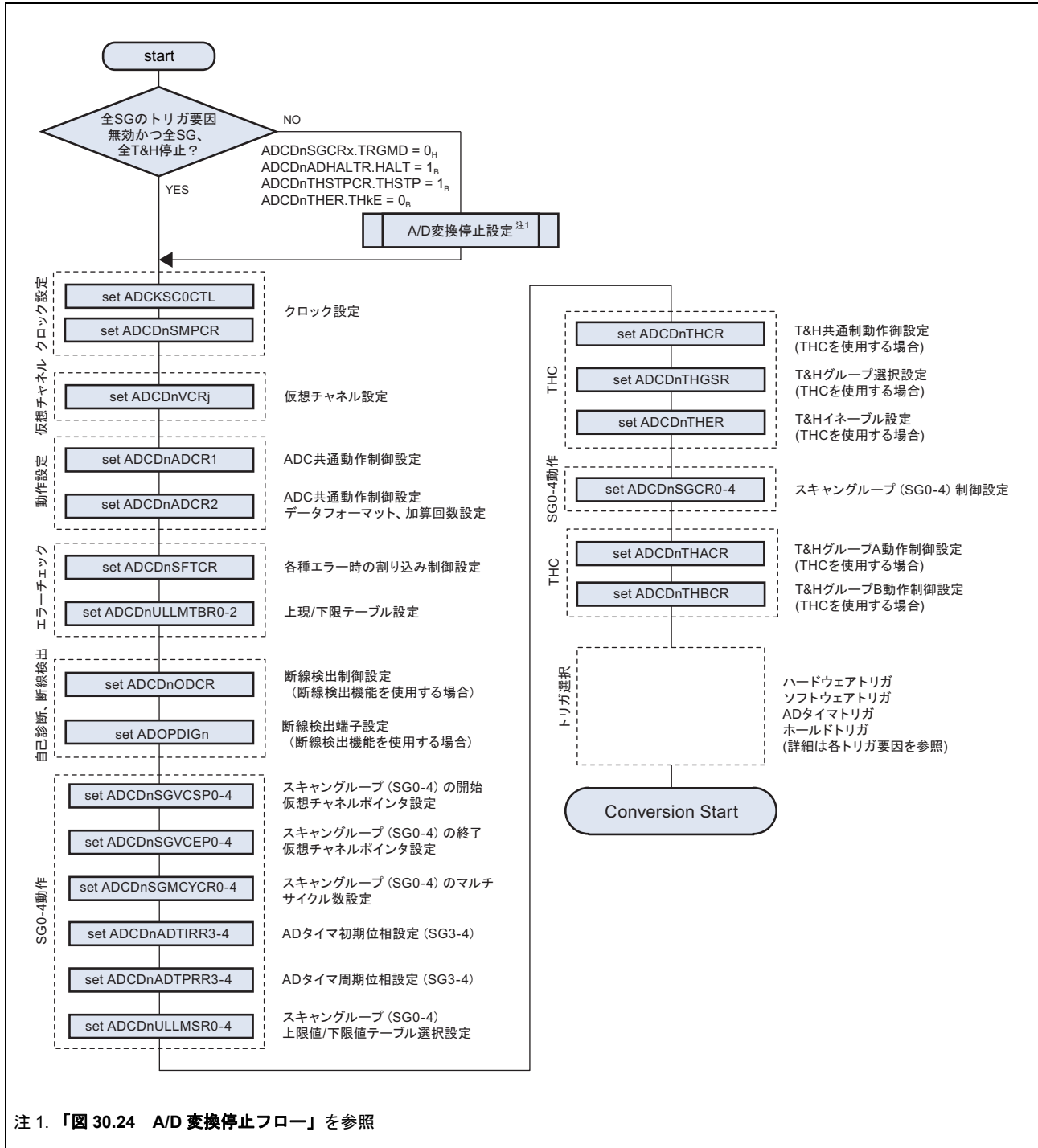


図 30.22 初期設定

30.5.2 A/D 変換起動手順

図 30.23 に A/D 変換起動手順を示します。

以下の A/D 変換起動手順は、T&H 機能を使用し、ハードウェアトリガを用い、A/D 変換動作を起動するためのフローです。同時トラック & ホールド機能を使用する場合、T&H サンプル開始後、必ず 32 CLK_ADC 以上経過した後にホールドを行ってください。

次の条件下で A/D 変換起動手順を図 30.23 に示します。

- スキャングループ x へのハードウェアトリガ入力を選択：
ADCDnSGCRx.TRGMD[1:0] = 1_H
- T&H 回路自動サンプリングする：
ADCDnTHCR.ASMPMSK = 0_H
- T&H ホールドトリガ自動制御：
ADCDnTHACR.HLDCTE = 1_H、ADCDnTHACR.HLDTE = 1_H
(もしくは、ADCDnTHBCR.HLDCTE=1_H、ADCDnTHBCR.HLDTE=1_H)

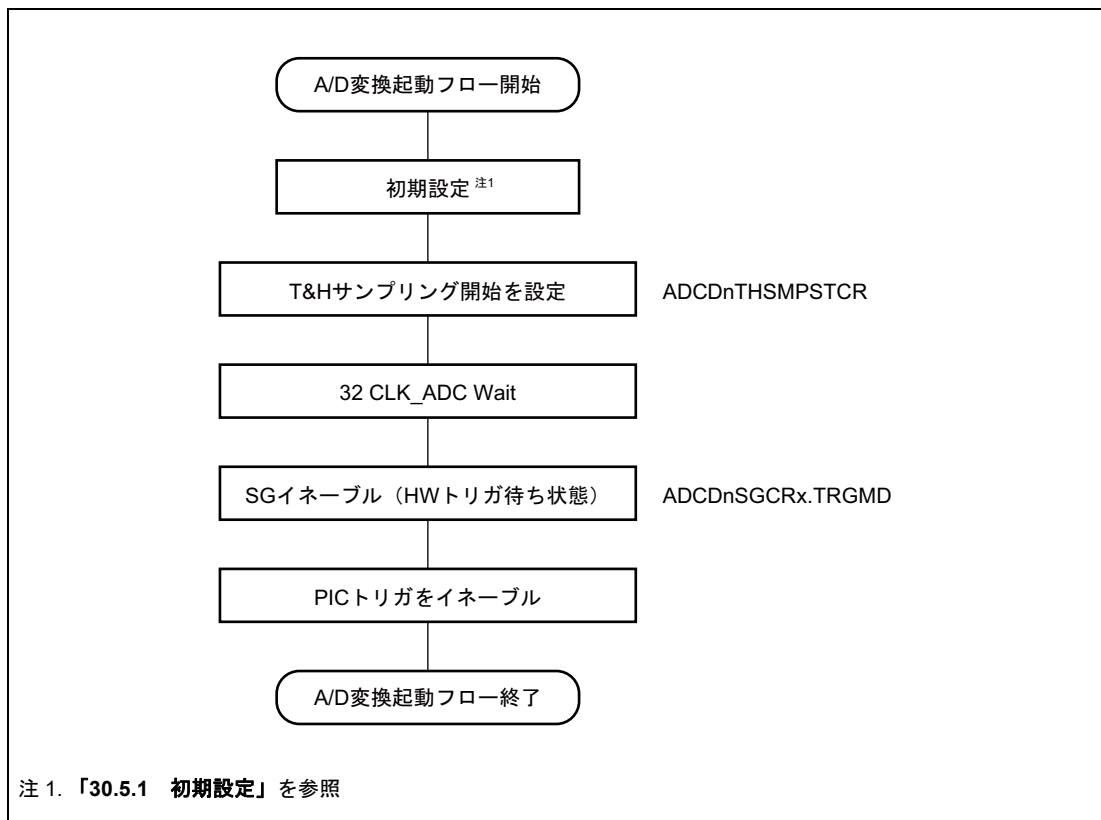


図 30.23 A/D 変換起動手順

30.5.3 A/D 変換停止手順

図 30.24 に A/D 変換停止フローを示します。

以下の A/D 変換停止フローは、全スキャングループのトリガを無効とし、全スキャングループ、全 T&H の動作を停止させることで、A/D 変換動作を停止するためのフローです。

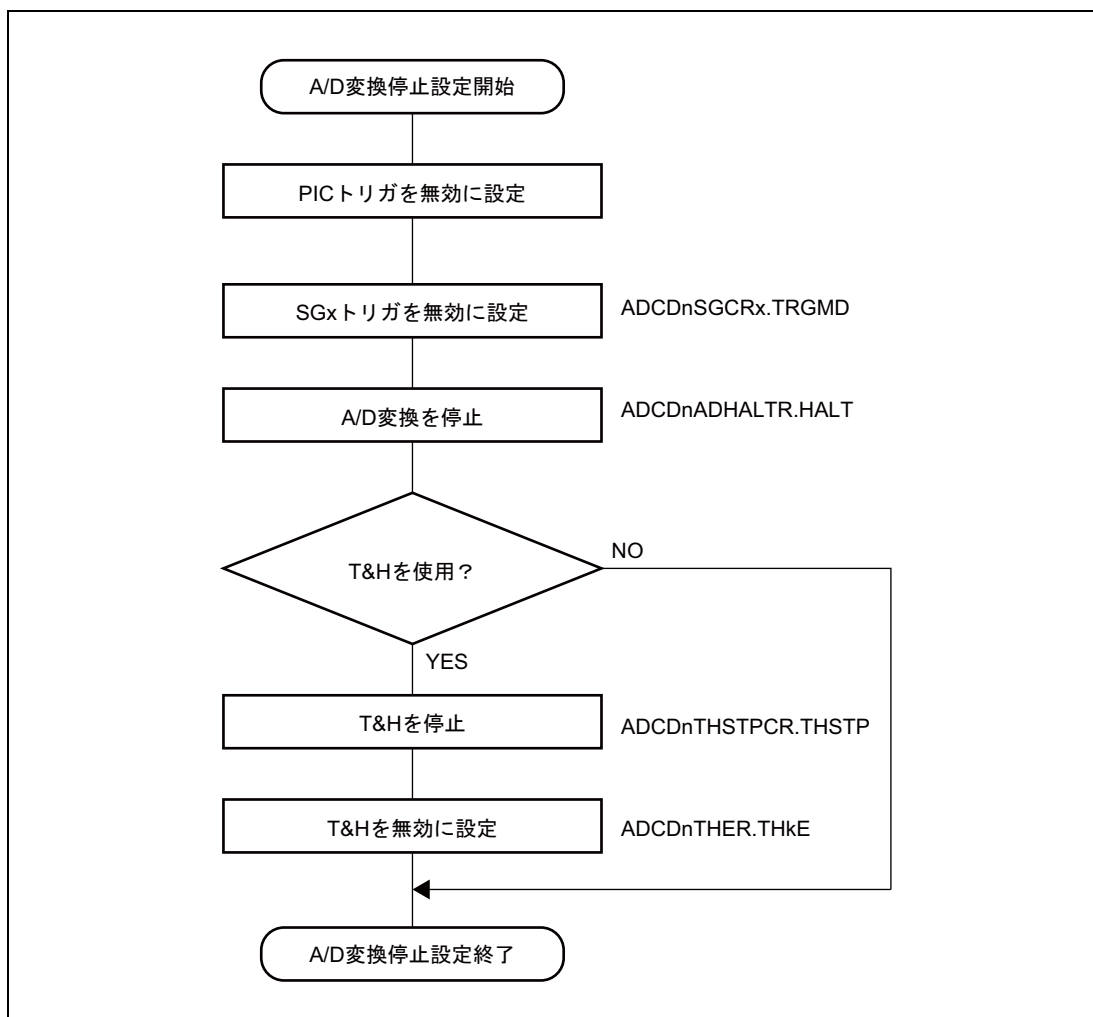


図 30.24 A/D 変換停止フロー

30.6 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
A/D 変換器のデジタル出力コード数
- 量子化誤差
A/D 変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で与えられる (図 30.25)。
- オフセット誤差
デジタル出力が最小電圧値 000_{H} から 001_{H} に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 30.25)。
- フルスケール誤差
デジタル出力が FFE_{H} から FFF_{H} に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない (図 30.25)。
- DNL (微分非直線性誤差)
理想デジタル出力コード幅 (V_q) と実際のデジタル出力コード幅 (V_a) との偏差であり、 $(V_a - V_q) / V_q$ で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 30.25)。
- INL (積分非直線性誤差)
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの偏差であり、 000_{H} から任意のデジタル出力コードまでの DNL の積分で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図 30.25)。
- 総合誤差
実測値と理論値との差の最大値を指します。オフセット誤差、フルスケール誤差、DNL、および INL を含む (図 30.25)。

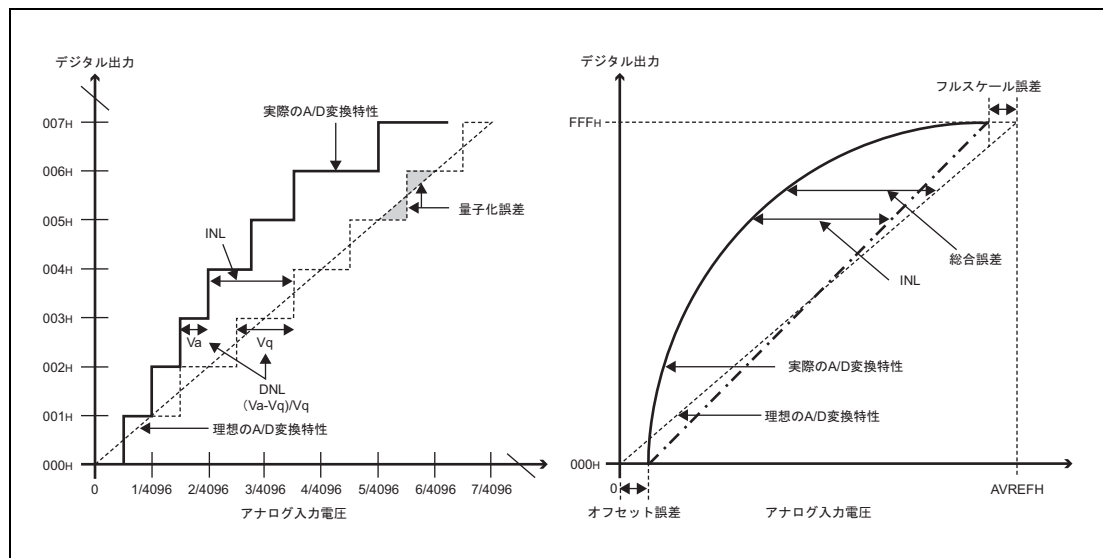


図 30.25 A/D 変換精度の定義

第31章 ファンクショナルセーフティ

31.1 概要

この章では、LSI に生じた故障を早期に検出するための故障検出機能について説明します。ここで想定される故障には、メモリのソフトエラーのように回復可能な一過性故障と、回復不可能な恒久故障の両方を含みます。

以下に本 LSI が備える故障検出機能を示します。

ECC および EDC

メモリやデータ転送経路の故障によるデータ異常の検出や訂正を行います。

ロックステップ

CPU1 の故障を早期に検出します。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。

BIST

故障検出機能自身の故障を検出します。

エラーコントロールモジュール ECM

LSI 内の様々な故障検出状況を監視し、故障検出時の動作を指定します。

31.2 ECC および EDC

31.2.1 概要

31.2.1.1 ECC

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコーダとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 31.1 ECC 概要

対象	対象データ幅 [bit]	エラー検出時の動作				故障注入
		検出 / 訂正	ECM 通知	エラーステータス	アドレスキャプチャ	
Code Flash	128	SEC-DED	○	○	○	○
Data Flash Local RAM (CPU1)	32	SEC-DED	○	○	○	○
命令キャッシュ (データ)	64	SEC-DED	○	○	○	○
命令キャッシュ (TAG)	32	SEC-DED	○	○	○	○
DTS 用 RAM	32	SEC-DED	○	○	○	○
周辺 RAM (32 ビット)	32	SEC-DED	○	○	○	○

検出 / 訂正

SEC-DED : 1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED : 1 ビットエラーおよび 2 ビットエラーの検出が可能です。

ECM 通知

エラー検出時に ECM (Error Control Module) に通知可能です。

エラーステータス

エラー検出時に、検出したエラー内容のステータスを保持します。

アドレスキャプチャ

エラー検出時に、エラーを発生したアドレスを保持します。

故障注入

意図的に ECC エラーを発生させることによって、ECC デコーダが正しくエラー通知できるかを自己診断することができます。

31.2.1.2 アドレスパリティ

本製品は、以下のメモリに対してアドレス EDC (パリティ) を搭載しています。これによって、アドレスデコード時のエラーを検出可能です。また、パリティエンコーダとメモリ間のアドレスに生じたエラーの検出も可能です。

表 31.2 アドレスパリティ概要

対象	パリティビット	ECM 通知	エラーステータス	アドレスキャプチャ	故障注入
Code Flash	1bit	○	○	○	○

31.2.1.3 データパリティ

本製品は、特定のデータ転送に対してデータ EDC (パリティ) を搭載しています。これにより、転送データに生じたエラーを検出可能です。詳細は、「**31.2.8 データ転送経路のデータパリティ**」を参照してください。

31.2.2 Code Flash の ECC およびアドレスパリティ

31.2.2.1 概要

Code Flash 用 ECC の概要を以下に示します。

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。</p> <p>初期状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p>
アドレスパリティ	<p>アドレスパリティチェックの有効/無効を選択可能</p> <p>アドレスパリティチェックはアドレスデコード時に行います。</p> <p>初期状態は機能有効。</p>
エラー通知	<p>ECC エラー発生時、またはパリティエラー発生時に Error Control Module にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>初期状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。</p> <p>パリティエラー</p> <ul style="list-style-type: none"> • アドレスパリティエラー検出時にエラー通知許可/禁止を選択可 <p>初期状態は、アドレスパリティエラー検出時のエラー通知許可。</p> <p>エラー通知信号は、 ECC 2 ビットエラーとアドレスパリティエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として ECM に通知します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。</p> <p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>

31.2.2.2 レジスタ一覧

表 31.3 レジスタ一覧

レジスタ名	略語 ^{注1}	アドレス
Code Flash アドレスパリティコントロールレジスタ	CFAPCTL	FFC6 2000 _H
Code Flash アドレスパリティコントロールレジスタ L	CFAPCTL _L	FFC6 2000 _H
Code Flash ECC コントロールレジスタ (VCI)	CFECCCTL_VCI	FFC6 2200 _H
Code Flash ECC コントロールレジスタ (VCI) L	CFECCCTL_VCI _L	FFC6 2200 _H
Code Flash エラー情報コントロールレジスタ (VCI)	CFERRINT_VCI	FFC6 2204 _H
Code Flash エラー情報コントロールレジスタ (VCI) L	CFERRINT_VCI _L	FFC6 2204 _H
Code Flash エラー情報コントロールレジスタ (VCI) LL	CFERRINT_VCI _{LL}	FFC6 2204 _H
Code Flash ステータスクリアレジスタ (VCI)	CFSTCLR_VCI	FFC6 2208 _H
Code Flash ステータスクリアレジスタ (VCI) L	CFSTCLR_VCI _L	FFC6 2208 _H
Code Flash ステータスクリアレジスタ (VCI) LL	CFSTCLR_VCI _{LL}	FFC6 2208 _H
Code Flash エラーカウントオーバーフローステータスレジスタ (VCI)	CFOVFSTR_VCI	FFC6 220C _H
Code Flash エラーカウントオーバーフローステータスレジスタ (VCI) L	CFOVFSTR_VCI _L	FFC6 220C _H
Code Flash エラーカウントオーバーフローステータスレジスタ (VCI) LL	CFOVFSTR_VCI _{LL}	FFC6 220C _H
Code Flash 1st エラーステータスレジスタ (VCI)	CF1STERSTR_VCI	FFC6 2210 _H
Code Flash 1st エラーステータスレジスタ (VCI) L	CF1STERSTR_VCI _L	FFC6 2210 _H
Code Flash 1st エラーステータスレジスタ (VCI) LL	CF1STERSTR_VCI _{LL}	FFC6 2210 _H
Code Flash 1st エラーアドレスレジスタ (VCI)	CF1STEADR0_VCI	FFC6 2250 _H
Code Flash 1st エラーアドレスレジスタ (VCI) L	CF1STEADR0_VCI _L	FFC6 2250 _H
Code Flash 1st エラーアドレスレジスタ (VCI) LL	CF1STEADR0_VCI _{LL}	FFC6 2250 _H
Code Flash ECC コントロールレジスタ (PE1)	CFECCCTL_PE1	FFC6 2400 _H
Code Flash ECC コントロールレジスタ (PE1) L	CFECCCTL_PE1 _L	FFC6 2400 _H
Code Flash エラー情報コントロールレジスタ (PE1)	CFERRINT_PE1	FFC6 2404 _H
Code Flash エラー情報コントロールレジスタ (PE1) L	CFERRINT_PE1 _L	FFC6 2404 _H
Code Flash エラー情報コントロールレジスタ (PE1) LL	CFERRINT_PE1 _{LL}	FFC6 2404 _H
Code Flash ステータスクリアレジスタ (PE1)	CFSTCLR_PE1	FFC6 2408 _H
Code Flash ステータスクリアレジスタ (PE1) L	CFSTCLR_PE1 _L	FFC6 2408 _H
Code Flash ステータスクリアレジスタ (PE1) LL	CFSTCLR_PE1 _{LL}	FFC6 2408 _H
Code Flash エラーカウントオーバーフローステータスレジスタ (PE1)	CFOVFSTR_PE1	FFC6 240C _H
Code Flash エラーカウントオーバーフローステータスレジスタ (PE1) L	CFOVFSTR_PE1 _L	FFC6 240C _H
Code Flash エラーカウントオーバーフローステータスレジスタ (PE1) LL	CFOVFSTR_PE1 _{LL}	FFC6 240C _H
Code Flash 1st エラーステータスレジスタ (PE1)	CF1STERSTR_PE1	FFC6 2410 _H
Code Flash 1st エラーステータスレジスタ (PE1) L	CF1STERSTR_PE1 _L	FFC6 2410 _H
Code Flash 1st エラーステータスレジスタ (PE1) LL	CF1STERSTR_PE1 _{LL}	FFC6 2410 _H
Code Flash 1st エラーアドレスレジスタ (PE1)	CF1STEADR0_PE1	FFC6 2450 _H
Code Flash 1st エラーアドレスレジスタ (PE1) L	CF1STEADR0_PE1 _L	FFC6 2450 _H
Code Flash 1st エラーアドレスレジスタ (PE1) LL	CF1STEADR0_PE1 _{LL}	FFC6 2450 _H
Code Flash サブテストコントロールレジスタ (VCI)	CFSTSTCTL_VCI	FFC6 2350 _H
Code Flash サブテストコントロールレジスタ (VCI) L	CFSTSTCTL_VCI _L	FFC6 2350 _H
Code Flash サブテストコントロールレジスタ (PE1)	CFSTSTCTL_PE1	FFC6 2550 _H
Code Flash サブテストコントロールレジスタ (PE1) L	CFSTSTCTL_PE1 _L	FFC6 2550 _H

注 1. レジスタシンボルにおいて、“_VCI”、“_PE1”が付いているレジスタは、各アクセスポートに対応する ECC コントローラごとに用意されているレジスタとなります。
 “_VCI”は System Interconnect から Code Flash へのアクセス用、“_PE1”は CPU1 からのアクセス用の ECC コントローラを示します。

31.2.2.3 レジスタ詳細

(1) CFAPCTL — Code Flash アドレスパリティコントロールレジスタ

CFAPCTL レジスタは、アドレスパリティチェックの有効/無効を設定するレジスタです。CFAPCTL レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス CFAPCTL レジスタは、32 ビット単位でリード/ライト可能です。
CFAPCTL レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CFAPCTL : FFC6 2000_H
CFAPCTL : FFC6 2000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	APTESTA	APARIDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.4 CFAPCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT[1:0]	APARIDIS ビット、APTESTA ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。CFAPCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) で行ってください。
14		
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	APTESTA	アドレスパリティチェックテストビット アドレスパリティチェックをテストモードに設定します。 APTESTA = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。 このビットの書き込みは (PROT[1:0]) = (0,1) を同時に書き込む必要があります。
0	APARIDIS	アドレスパリティチェックディスエーブルビット アドレスパリティチェックの許可/禁止を設定できます。 このビットの書き込みは (PROT[1:0]) = (0,1) を同時に書き込む必要があります。 アドレスパリティ回路のアドレスパリティチェックの有効/無効を設定します。 0 : アドレスのパリティチェック許可 1 : アドレスのパリティチェック禁止

(2) CFEECCTL_VCI/PE1 — Code Flash ECC コントロールレジスタ

CFEECCTL レジスタは、ECC エラー検出・訂正の有効/無効、1 ビットエラー訂正の許可/禁止を設定するレジスタです。CFEECCTL レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス CFEECCTL_VCI、CFEECCTL_PE1 レジスタは、32 ビット単位でリード/ライト可能です。
CFEECCTL_VCIL、CFEECCTL_PE1L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CFEECCTL_VCI : FFC6 2200_H
CFEECCTL_VCIL : FFC6 2200_H
CFEECCTL_PE1 : FFC6 2400_H
CFEECCTL_PE1L : FFC6 2400_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.5 CFEECCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT[1:0]	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。CFEECCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) で行ってください。
14		
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。このビットの書き込み時は (PROT[1:0]) = (0,1) を同時に書き込む必要があります。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。このビットの書き込み時は (PROT[1:0]) = (0,1) を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(3) CFERRINT_VCI/PE1 — Code Flash エラー情報コントロールレジスタ

CFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス CFERRINT_VCI、CFERRINT_PE1 レジスタは、32 ビット単位でリード/ライト可能です。
CFERRINT_VCIL、CFERRINT_PE1L レジスタは、16 ビット単位でリード/ライト可能です。
CFERRINT_VCILL、CFERRINT_PE1LL レジスタは、8 ビット単位でリード/ライト可能です。

アドレス CFERRINT_VCI : FFC6 2204_H
CFERRINT_VCIL : FFC6 2204_H
CFERRINT_VCILL : FFC6 2204_H
CFERRINT_PE1 : FFC6 2404_H
CFERRINT_PE1L : FFC6 2404_H
CFERRINT_PE1LL : FFC6 2404_H

リセット後の値 0000 0006_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	APEIE	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 31.6 CFERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0 : アドレスパリティエラー通知禁止 1 : アドレスパリティエラー通知許可
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(4) CFSTCLR_VCI/PE1 — Code Flash ステータスクリアレジスタ

CFSTCLR レジスタは、エラーステータスレジスタ (CF1STERSTR) のエラーフラグ、エラーオーバーフローステータスレジスタ (CFOVFSTR) のオーバーフローフラグ、およびエラーアドレスレジスタ (CF1STEADR) をクリアするためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス CFSTCLR_VCI、CFSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。
CFSTCLR_VCIL、CFSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。
CFSTCLR_VCILL、CFSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス CFSTCLR_VCI : FFC6 2208_H
CFSTCLR_VCIL : FFC6 2208_H
CFSTCLR_VCILL : FFC6 2208_H
CFSTCLR_PE1 : FFC6 2408_H
CFSTCLR_PE1L : FFC6 2408_H
CFSTCLR_PE1LL : FFC6 2408_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.7 CFSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーオーバーフローフラグクリアビット 0 : 無効 (“0” を設定しても CF1STERSTR レジスタの APEF0、DEDF0、SEDF0 フラグ、CFOVFSTR レジスタの ERROVF0 フラグ、および CF1STEADR0 レジスタに影響はありません。) 1 : CF1STERSTR レジスタの APEF0、DEDF0、SEDF0 フラグ、CFOVFSTR レジスタの ERROVF0 フラグ、および CF1STEADR0 レジスタをクリアします。

(5) CFOVFSTR_VCI/PE1 — Code Flash エラーカウントオーバーフローステータスレジスタ

CFOVFSTR レジスタは、エラーオーバーフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス CFOVFSTR_VCI、CFOVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CFOVFSTR_VCIL、CFOVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CFOVFSTR_VCILL、CFOVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス CFOVFSTR_VCI : FFC6 220C_H
CFOVFSTR_VCIL : FFC6 220C_H
CFOVFSTR_VCILL : FFC6 220C_H
CFOVFSTR_PE1 : FFC6 240C_H
CFOVFSTR_PE1L : FFC6 240C_H
CFOVFSTR_PE1LL : FFC6 240C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.8 CFOVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバーフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラー（エラーオーバーフローフラグ）が発生したかどうかを示します。 0 : 発生していない 1 : 発生した クリア条件 : CFSTCLR レジスタの STCLR0 ビットへの 1 セット

(6) CF1STERSTR_VCI/PE1 — Code Flash 1st エラーステータスレジスタ

CF1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのエラーフラグがセットされている状態で、ECC 2 ビットエラー、またはアドレスパリティエラーが発生すると、エラーフラグを上書きします。ただし、SEDF0 のみがセットされている状態に限り、ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合には、該当するエラーフラグのみがセットされます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされず。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス CF1STERSTR_VCI、CF1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CF1STERSTR_VCIL、CF1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CF1STERSTR_VCILL、CF1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス CF1STERSTR_VCI : FFC6 2210_H
CF1STERSTR_VCIL : FFC6 2210_H
CF1STERSTR_VCILL : FFC6 2210_H
CF1STERSTR_PE1 : FFC6 2410_H
CF1STERSTR_PE1L : FFC6 2410_H
CF1STERSTR_PE1LL : FFC6 2410_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	APEF0	DEDFO	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.9 CF1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	APEF0	アドレスパリティエラーモニタフラグ 0 : アドレスパリティが発生していません。 1 : DEDFO/APEF0 のエラーフラグが 0 の状態でアドレスパリティエラー発生 クリア条件 : CFSTCLR レジスタの STCLR0 ビットに対する 1 セット
1	DEDFO	ECC2 ビットエラーモニタフラグ 0 : ECC2 ビットエラーが発生していません。 1 : DEDFO/APEF0 のエラーフラグが 0 の状態で ECC 2 ビットエラー発生 クリア条件 : CFSTCLR レジスタの STCLR0 ビットに対する 1 セット
0	SEDF0	ECC1 ビットエラーモニタフラグ 0 : ECC1 ビットエラーが発生していません。 1 : DEDFO/SEDF0/APEF0 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生 クリア条件 : CFSTCLR レジスタの STCLR0 ビットに対する 1 セット

(7) CF1STEADR0_VCI/PE1 — Code Flash 1st エラーアドレスレジスタ

CF1STEADR レジスタは、エラー発生時のアドレスを保持するためのレジスタです。CF1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。また、本レジスタの EADR[24:4] は実アドレスの [24:4] に対応します。FLI (CodeFlash) のマッピングされている上位アドレス [31:25] をベースアドレスとして加算することにより実アドレスが計算できます。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス CF1STEADR0_VCI、CF1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。CF1STEADR0_VCIL、CF1STEADR0_PE1L レジスタは、16 ビット単位でリードのみ可能です。CF1STEADR0_VCILL、CF1STEADR0_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス CF1STEADR0_VCI : FFC6 2250_H
 CF1STEADR0_VCIL : FFC6 2250_H
 CF1STEADR0_VCILL : FFC6 2250_H
 CF1STEADR0_PE1 : FFC6 2450_H
 CF1STEADR0_PE1L : FFC6 2450_H
 CF1STEADR0_PE1LL : FFC6 2450_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	—	—	—	—	—	—	—	EADR[24:16]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	EADR[15:4]												—	—	—	—			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			

表 31.10 CF1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 25	予約ビット	リードした場合はリセット後の値が読めます。
24 ~ 4	EADR[24:4]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。 クリア条件： CFSTCLR レジスタの STCLR0 ビットを 1 にセット
3 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。

(8) CFSTSTCTL_VCI/PE1 — Code Flash サブテストコントロールレジスタ

CFSTSTCTL レジスタは ECC テスト（自己診断）時に使用するレジスタです。Code Flash 専用のレジスタです。ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス CFSTSTCTL_VCI、CFSTSTCTL_PE1 レジスタは、32 ビット単位でリード/ライト可能です。
CFSTSTCTL_VCIL、CFSTSTCTL_PE1L レジスタは、16 ビット単位でリード/ライト可能です。

アドレス CFSTSTCTL_VCI : FFC6 2350_H
CFSTSTCTL_VCIL : FFC6 2350_H
CFSTSTCTL_PE1 : FFC6 2550_H
CFSTSTCTL_PE1L : FFC6 2550_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.11 CFSTSTCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT[1:0]	ECCTST ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読みだすと常に 0 が読みだされます。CFSTSTCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) で行ってください。
14		
13 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。

ECC テストモード（ECCTST = 1）に設定した Code Flash アクセスポートからは正しい命令を読み出せません。CPU 用のアクセスポートをテストモードに設定中は（ECCTST ビットの操作中も含まれます）、CPU は Local RAM 上のプログラムを実行するようにし、Code Flash から命令をフェッチしないようにしてください。

CPU には小容量のデータバッファを備えています。これらのバッファに古い値がこれらのバッファに残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、「第 3 章 CPU システム」をご参照ください。

ECC テストモードに設定した Code Flash アクセスポートからは、16 の整数倍の番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 31.12 Code Flash の読み出し結果

ビット番号	意味	ビット位置	内容
bit[31:10]	all-0	31 ~ 10	常に0です。
bit[9]	アドレスパリティビット	9	アドレスパリティビット
bit[8:0]	ECC ビット	8 ~ 0	ECC ビット

31.2.3 Data Flash の ECC

31.2.3.1 概要

Data Flash 用 ECC の概要を以下に示します。

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 初期状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p>
アドレスパリティ	なし
エラー通知	<p>ECC エラー発生時に Error Control Module にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>初期状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>

31.2.3.2 レジスタ一覧

表 31.13 レジスタ一覧

レジスタ名	略語	アドレス
Data Flash ECC コントロールレジスタ	DFECCCTL	FFC6 2C00 _H
Data Flash エラーステータスレジスタ	DFERSTR	FFC6 2C04 _H
Data Flash エラーステータスクリアレジスタ	DFERSTC	FFC6 2C08 _H
Data Flash エラーオーバフローズステータスレジスタ	DFOVFSTR	FFC6 2C0C _H
Data Flash エラーオーバフローズステータスクリアレジスタ	DFOVFSTC	FFC6 2C10 _H
Data Flash エラー通知コントロールレジスタ	DFERRINT	FFC6 2C14 _H
Data Flash 1st エラーアドレスレジスタ	DFEADR	FFC6 2C18 _H
Data Flash テストコントロールレジスタ	DFTSTCTL	FFC6 2C1C _H

31.2.3.3 レジスタ詳細

(1) DFECCTL — Data Flash ECC コントロールレジスタ

DFECCTL レジスタは、ECC エラー検出・訂正の有効/無効、1ビットエラー訂正の許可/禁止を設定するレジスタです。DFECCTL レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス DFECCTL レジスタは、16ビット単位でリード/ライト可能です。

アドレス DFECCTL : FFC6 2C00_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SEDDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.14 DFECCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT[1:0]	ECCDIS ビット、SEDDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に0が読み出されます。本レジスタへの書き込みは、(PROT[1:0]) = (0,1)で行ってください。
14		
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SEDDIS	1ビットエラー訂正ディスエーブルビット ECCのエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。このビットの書き込み時は (PROT[1:0]) = (0,1) を同時に書き込む必要があります。 0 : 1ビットエラー検出時にエラー訂正します 1 : 1ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。このビットの書き込み時は (PROT[1:0]) = (0,1) を同時に書き込む必要があります。 初期状態は ECC エラー検出・訂正機能が有効です。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) DFERSTR — Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

ECC エラー訂正・検出有効時に、ECC 1 ビットエラーが検出されると SEDF ビットがセットされ、ECC 2 ビットエラーが検出されると DEDF ビットがセットされます。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス DFERSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス DFERSTR : FFC6 2C04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 31.15 DFERSTR レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF	ECC2 ビットエラーモニタフラグ 0 : ECC2 ビットエラーは発生していません。 1 : ECC2 ビットエラーは発生しました。 クリア条件 : Data Flash エラーステータスクリアレジスタの ERRCLR ビットのセット セット条件 : SEDF、DEDF がすべて 0 の状態で、ECC2 ビットエラー発生
0	SEDF	ECC1 ビットエラーモニタフラグ 0 : ECC1 ビットエラーは発生していません。 1 : ECC1 ビットエラーは発生しました。 クリア条件 : Data Flash エラーステータスクリアレジスタの ERRCLR ビットのセット セット条件 : SEDF、DEDF がすべて 0 の状態で、ECC1 ビットエラー発生

(3) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス DFERSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス DFERSTC : FFC6 2C08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 31.16 DFERSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ERRCLR	SEDF/DEDF フラグクリアビット 0: 無効 (“0” を設定しても DFERSTR レジスタの DEDF, SEDF フラグに影響はありません。) 1: DFERSTR レジスタの DEDF, SEDF フラグをクリアします。

(4) DFOVFSTR — Data Flash エラーオーバフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーバフロー発生を監視するためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス DFOVFSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス DFOVFSTR : FFC6 2C0C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERR OVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 31.17 DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF	エラーオーバフローフラグ エラーアドレスレジスタがフルの状態に ECC エラーが発生したかどうかを示します。 0 : 発生していない 1 : 発生した クリア条件 : DFOVFSTC レジスタの ERROVFCLR ビットへの 1 セット

(5) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス DFOVFSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス DFOVFSTC : FFC6 2C10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERR OVF CLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 31.18 DFOVFSTC レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ERROVFCLR	エラーオーバフローフラグクリアビット 0 : 無効 (“0” を設定しても DFOVFSTR レジスタの ERROVF フラグに影響はありません。) 1 : DFOVFSTR レジスタの ERROVF フラグをクリアします。

(6) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時にエラー通知信号発生の有効 / 無効を設定するためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス DFERRINT レジスタは、8 ビット単位でリード / ライト可能です。

アドレス DFERRINT : FFC6 2C14_H

リセット後の値 02_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.19 DFERRINT レジスタの内容

ビット位置	ビット名	機能
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC 2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 2 ビットエラー通知禁止 1 : ECC 2 ビットエラー通知許可
0	SEDIE	ECC 1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0 : ECC 1 ビットエラー通知禁止 1 : ECC 1 ビットエラー通知許可

(7) DFEADR — Data Flash 1st エラーアドレスレジスタ

Data Flash エラーステータスレジスタの SEDF、DEDFF がすべて 0 の状態で発生した ECC エラーの発生アドレスを DFEADR に保持します。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス DFEADR レジスタは、32 ビット単位でリードのみ可能です。

アドレス DFEADR : FFC6 2C18_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DFEADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFEADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.20 DFEADR レジスタの内容

ビット位置	ビット名	機能
31 ~ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ~ 2	DFEADR[20:2]	ECC エラー発生アドレス ECC エラーの発生したアドレスをモニタするための読み出し専用レジスタです。 本レジスタには内部アドレスが保持されますので、Data Flash のベースアドレス (FF20 0000 _H) を加算して実アドレスに変換してください。
1, 0	予約ビット	リードした場合はリセット後の値が読めます。

(8) DFTSTCTL — Data Flash テストコントロールレジスタ

ECC テスト時に使用するレジスタです。

ECC テストモード (ECCTST = 1) 設定後、ECC ビットのデータを読み出すことができます。

DFTSTCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) にして実行して下さい。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス DFTSTCTL レジスタは、16 ビット単位でリード/ライト可能です。

アドレス FFC6 2C1C_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTS T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.21 DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT[1:0]	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読みだすと常に 0 が読みだされます。 DFTSTCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) で行ってください。
14		
13 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストビット ECC テストモードに設定します。 このビットの書き込み時は、(PROT[1:0]) = (0,1) を同時に書き込む必要があります。

31.2.3.4 テスト機能

Data Flash テストコントロールレジスタ (DFTSTCTL) の設定により、ROM データ、ECC ビットを読み出すことができます。

(1) ROM データの読み出し

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。
- (b) ECCDIS = 1 のとき、Data Flash 読み出し時にエラー検出、訂正を行いませんので、DataFlash データフラッシュからの出力データがそのまま読みだされます。

本テストモードからの抜け方

- (a) データフラッシュ ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC データの読み出し

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。
- (b) Data Flash テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (c) Data Flash の読み出しを実行するとリードデータの下位 7bit が ECC データとして読み出されます。

本テストモードからの抜け方

- (a) Data Flash ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。
- (b) Data Flash テストコントロールレジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Data Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読み出すことによって ECC デコードを自己診断することができます。一旦正しい ECC ビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラーの故障を注入することができます。

Data Flash 書き込み方法の詳細は、「RH850/P1x フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編」を参照してください。

31.2.4 Local RAM (CPU1) の ECC

31.2.4.1 概要

CPU1 の Local RAM 用 ECC の仕様概要を以下に示します。

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> • ECC エラー検出・訂正を行います (2 ビットエラー検出と 1 ビットエラー検出・訂正を行います)。 • ECC エラー検出を行います (2 ビットエラー検出と 1 ビットエラー検出を行います)。 <p>無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行います。</p>
エラー通知	<p>ECC エラー発生時に Error Control Module にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> • ECC 2 ビットエラー検出時のエラー通知許可/禁止を選択可 • ECC 1 ビットエラー検出時のエラー通知許可/禁止を選択可 <p>初期状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。</p> <p>エラー通知信号は、 ECC 2 ビットエラーを 1 要因 ECC 1 ビットエラーを 1 要因 として出力します。</p>
エラーステータス	<p>ECC 2 ビットエラー検出、ECC 1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC 2 ビットエラー検出、ECC 1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>

CPU1 の Local RAM は、最大で 128 ビットのデータを同時にリード/ライト可能な構成となっています。一方で、ECC は 32 ビットのデータ毎に用意されており、各 32 ビットデータをバンク 0～3 と称しています。ここで、アドレスの小さい方 (つまりデータの LSB 側) がバンク 0、アドレスの大きい方 (つまりデータの MSB 側) がバンク 3 となります。

アドレスとバンク番号の関係は以下のとおりです。

アドレスの下位 4 ビット (16 進表記)	F _H ~ C _H	B _H ~ 8 _H	7 _H ~ 4 _H	3 _H ~ 0 _H
バンク番号	バンク 3	バンク 2	バンク 1	バンク 0

31.2.4.2 レジスタ一覧

表 31.22 レジスタ一覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC6 5004 _H	LRTSTCTL_PE1	Local RAM テストコントロールレジスタ	R/W	0000 0000 _H	16/32
FFC6 5008 _H	LRTDATBF0_PE1	Local RAM テストデータリードバッファ 0	R	0000 0000 _H	32
FFC6 500C _H	LRTDATBF1_PE1	Local RAM テストデータリードバッファ 1	R	0000 0000 _H	32
FFC6 5400 _H	LRECCCTL_PE1	Local RAM ECC コントロールレジスタ (PE1)	R/W	0000 0000 _H	16/32
FFC6 5404 _H	LRERRINT_PE1	Local RAM エラー情報コントロールレジスタ (PE1)	R/W	0000 0006 _H	8/16/32
FFC6 5408 _H	LRSTCLR_PE1	Local RAM ステータスクリアレジスタ (PE1)	W	0000 0000 _H	8/16/32
FFC6 540C _H	LROVFSTR_PE1	Local RAM エラーカウントオーバフローステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
FFC6 5410 _H	LR1STERSTR_PE1	Local RAM 1st エラーステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
FFC6 5450 _H	LR1STEADR0_PE1	Local RAM 1st エラーアドレスレジスタ 0 (PE1)	R	0000 0000 _H	8/16/32
FFC6 5454 _H	LR1STEADR1_PE1	Local RAM 1st エラーアドレスレジスタ 1 (PE1)	R	0000 0000 _H	8/16/32
FFC6 5458 _H	LR1STEADR2_PE1	Local RAM 1st エラーアドレスレジスタ 2 (PE1)	R	0000 0000 _H	8/16/32
FFC6 545C _H	LR1STEADR3_PE1	Local RAM 1st エラーアドレスレジスタ 3 (PE1)	R	0000 0000 _H	8/16/32

31.2.4.3 レジスタ詳細

(1) LRTSTCTL_PE1 — Local RAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL ビットで行います。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.23 LRTSTCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT[1:0]	ECCTST、DATSEL ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読みだすと常に 0 が読みだされます。LRTSTCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) で行ってください。
14		
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると LRTDATBFn_PE1 を介したリード、および DATSEL = 1 にてダイレクトにライトすることが可能になります。
0	DATSEL	データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。1 に設定した場合、32 ビットのライトデータの bit[6:0] が ECC ビットに書き込まれます。 0 : RAM データ選択 1 : ECC ビット選択

注 意

Local RAM の ECC テストモードを有効（ECCTST = 1）にした場合、Local RAM へのアクセスは 4 バイトアクセスで実施して下さい。

(2) LRTDATBFn_PE1 — Local RAM テストデータリードバッファ n (n = 0,1)

ECC テスト（自己診断）時、ECC ビットを読み出すことができます。Local RAM テストコントロールレジスタ LRTSTCTL の ECCTST = 1 のときに、Local RAM を読み出すと ECC ビットが読み出され、本バッファに保持されます。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	LRDATBF(2n+1)[22:16]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	LRDATBF(2n)[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.24 LRTDATBFn_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 23	予約ビット	リードした場合はリセット後の値が読めます。
22 ~ 16	LRDATBF(2n+1) [22:16]	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM の対応するバンク読み出し時に Local RAM（バンク（2n+1））の ECC ビットが LRDATBF(2n+1)[22:16] に格納されます。
15 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	LRDATBF(2n) [6:0]	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM の対応するバンク読み出し時に Local RAM（バンク（2n））の ECC ビットが LRDATBF(2n)[6:0] に格納されます。

備 考

n = 1 のとき、バンク 2 のビット名は LRDATBF2[6:0] となります。

(3) LRECCCTL_PE1 — Local RAM ECC コントロールレジスタ (PE1)

LRECCCTL レジスタは、ECC エラー検出・訂正の有効/無効、1ビットエラー訂正の許可/禁止を設定するレジスタです。LRECCCTL レジスタへの書き込みは PROT[1:0] を 01B にして実行してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.25 LRECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT[1:0]	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。LRECCCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) で行ってください。
14		
13 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1ビットエラー訂正ディスエーブルビット ECCのエラー検出・訂正の有効時に、1ビットエラー訂正の許可/禁止を設定するためのビットです。このビットの書き込み時は (PROT[1:0]) = (0,1) を同時に書き込む必要があります。 0: 1ビットエラー検出時にエラー訂正する 1: 1ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。このビットの書き込み時は (PROT[1:0]) = (0,1) を同時に書き込む必要があります。 0: ECC エラー検出・訂正機能が有効 1: ECC エラー検出・訂正機能が無効

(4) LRERRINT_PE1 — Local RAM エラー情報コントロールレジスタ (PE1)

LRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知信号発生の有効/無効を設定するためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.26 LRERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可

(5) LRSTCLR_PE1 — Local RAM ステータスクリアレジスタ (PE1)

LRSTCLR レジスタは、エラーステータスレジスタ (LR1STERSTR) のエラーフラグ、エラーオーバフローステータスレジスタ (LROVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (LR1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 3	STCLR 2	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W	W

表 31.27 LRSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	STCLR3	エラーオーバフローフラグクリアビット (バンク 3 用) 1 書き込みで「LR1STERSTR レジスタの DEDF3, SEDF3 フラグ」、 「LROVFSTR レジスタの ERROVF3 フラグ」および「LR1STEADR3 レジスタ」 をクリアします。
2	STCLR2	エラーオーバフローフラグクリアビット (バンク 2 用) 1 書き込みで「LR1STERSTR レジスタの DEDF2, SEDF2 フラグ」、 「LROVFSTR レジスタの ERROVF2 フラグ」および「LR1STEADR2 レジスタ」 をクリアします。
1	STCLR1	エラーオーバフローフラグクリアビット (バンク 1 用) 1 書き込みで「LR1STERSTR レジスタの DEDF1, SEDF1 フラグ」、 「LROVFSTR レジスタの ERROVF1 フラグ」および「LR1STEADR1 レジスタ」 をクリアします。
0	STCLR0	エラーオーバフローフラグクリアビット (バンク 0 用) 1 書き込みで「LR1STERSTR レジスタの DEDF0, SEDF0 フラグ」、 「LROVFSTR レジスタの ERROVF0 フラグ」および「LR1STEADR0 レジスタ」 をクリアします。

(6) LROVFSTR_PE1 — Local RAM エラーカウントオーバーフローステータスレジスタ (PE1)

LROVFSTR レジスタは、エラーオーバーフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグはすべてのリセット要因、または LRSTCLR レジスタの STCLR ビットへ1をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ERR OVF3	ERR OVF2	ERR OVF1	ERR OVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.28 LROVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	ERROVF3	エラーオーバーフローフラグ (バンク 3 用) エラーステータスレジスタのいずれかのエラーフラグ (DEDF3, SEDF3) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
2	ERROVF2	エラーオーバーフローフラグ (バンク 2 用) エラーステータスレジスタのいずれかのエラーフラグ (DEDF2, SEDF2) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
1	ERROVF1	エラーオーバーフローフラグ (バンク 1 用) エラーステータスレジスタのいずれかのエラーフラグ (DEDF1, SEDF1) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバーフローフラグ (バンク 0 用) エラーステータスレジスタのいずれかのエラーフラグ (DEDF0, SEDF0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(7) LR1STERSTR_PE1 — Local RAM 1st エラーステータスレジスタ (PE1)

LR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが0の状態ではエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットエラーのフラグがセットされている状態で、ECC 2 ビットエラーが発生すると、エラーフラグを上書きします。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされず。LR1STERSTR レジスタはすべてのリセット要因、または LRSTCLR レジスタの STCLR ビットへ1をセットすることでクリアされます。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DED3	SEDF3	—	—	—	—	—	—	DED2	SEDF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DED1	SEDF1	—	—	—	—	—	—	DED0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.29 LR1STERSTR レジスタの内容

ビット位置	ビット名	機能
7+8n:2+8n	予約ビット	リードした場合はリセット後の値が読めます。
1+8n	DEDn	ECC2 ビットエラーモニタフラグ 0: LRSTCLR レジスタの STCLRn ビットへ1をセット 1: DEDn のエラーフラグが0の状態では ECC 2 ビットエラー発生
0+8n	SEDFn	ECC1 ビットエラーモニタフラグ 0: LRSTCLR レジスタの STCLRn ビットへ1をセット 1: DEDn/SEDFn のすべてのエラーフラグが0の状態では ECC 1 ビットエラー発生

備考 n=0~3、ここで "n" はバンク番号を示します。

(8) LR1STEADRn_PE1 — Local RAM 1st エラーアドレスレジスタ n (PE1) (n = 0 ~ 3)

LR1STEADRn レジスタは、エラー発生時のアドレスを保持するためのレジスタです。LR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

また、本レジスタには、実アドレス [18:4] が格納されます。各メモリのベースアドレスと、ビット位置を合わせて実アドレスへ変換してください。LR1STEADR レジスタはすべてのリセット要因、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	EADR[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.30 LR1STEADRn レジスタの内容

ビット位置	ビット名	機能
31 ~ 15	予約ビット	リードした場合はリセット後の値が読めます。
14 ~ 0	EADR[14:0]	1st エラー発生アドレス (バンク n 用) 1st エラー発生時のアドレスをモニタするためのレジスタです。 LR1STERSTR レジスタのバンク n 用のすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC 1 ビットエラーの場合に ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

31.2.4.4 テスト機能

レジスタ設定により、RAM データ、ECC ビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビットを読み出すことができます。

(1) RAM データの書き込み

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Local RAM テストコントロールレジスタの DATSEL ビットを 0 にして、書き込み対象に RAM データを選択します。
- (c) Local RAM ヘデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

- (a) Local RAM ECC コントロールレジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。
- (b) Local RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方

- (a) Local RAM ECC コントロールレジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットの書き込み

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Local RAM テストコントロールレジスタの DATSEL を 1 にして、書き込み時のアクセスビットに ECC ビットを選択します。
- (c) Local RAM ヘデータ書き込みを実行すると、RAM データは更新せず、ECC ビットのみ書き換えることができます。このとき、32 ビットのライトデータの bit[6:0] が ECC ビットに書き込まれます。

注 意

RAM データと ECC ビットの両方に任意の値を書き込む場合は、RAM データと ECC ビットのどちらを先に書き込んでもかまいません。

本テストモードからの抜け方

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットの読み出し

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 1 にして、テストモードに設定します。
- (b) Local RAM の読み出しを実行すると、ECC ビットが、Local RAM テストデータ読み出しバッファ 0 または Local RAM テストデータ読み出しバッファ 1 の対応するバンク位置に格納されます。

本テストモードからの抜け方

- (a) Local RAM テストコントロールレジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。このため、例えば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。その後で通常モードで Local RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

31.2.5 命令キャッシュの ECC および EDC

31.2.5.1 概要

命令キャッシュ用 ECC の仕様概要を以下に示します。

項目	説明
ECC エラー検出・訂正	<p>ECC エラー検出・訂正の有効/無効を選択可能</p> <p>有効時は下記設定を選択可能</p> <ul style="list-style-type: none"> 命令キャッシュ（データ）は、ECC エラー検出・訂正（2ビットエラー検出と1ビットエラー検出・訂正）、または、ECC エラー検出を行います（2ビットエラー検出と1ビットエラー検出）。 命令キャッシュ（TAG）は、ECC エラー検出を行います（2ビットエラー検出と1ビットエラー検出）。 <p>無効時はエラー検出・訂正を行いません。</p> <p>初期状態では、ECC 機能は有効で命令キャッシュ（データ）は、1ビットエラー検出・訂正、2ビットエラー検出を行い、命令キャッシュ（TAG）は、1ビットエラー検出、2ビットエラー検出を行います。</p> <p>SED（1ビットエラーの検出）およびDED（2ビットエラーの検出）は、キャッシュミスとして取り扱われます。SEC（1ビットエラーの検出・訂正）は、キャッシュミスとして取り扱われません。</p>
アドレスパリティ	なし
エラー通知	<p>ECC エラー発生時に Error Control Module にエラー通知を行います。</p> <p>ECC エラー</p> <ul style="list-style-type: none"> ECC 2ビットエラー検出時のエラー通知許可/禁止を選択可 ECC 1ビットエラー検出時のエラー通知許可/禁止を選択可 <p>初期状態は、2ビットエラー通知禁止、1ビットエラー通知禁止。</p>
エラーステータス	<p>ECC 2ビットエラー検出、ECC 1ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。</p> <p>エラーステータスはクリアレジスタによってクリア可能です。</p>
アドレスキャプチャ	<p>どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。</p> <p>ECC 2ビットエラー検出、ECC 1ビットエラー検出によってアドレスがキャプチャされます。</p> <p>エラーステータスがキャプチャアドレスの有効ビットを兼ねています。</p>

31.2.5.2 レジスタ一覧

表 31.31 レジスタ一覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC6 0400 _H	IDECCTL_PE1	命令キャッシュデータ RAM ECC コントロールレジスタ (PE1)	R/W	0000 0000 _H	16/32
FFC6 0404 _H	IDERRINT_PE1	命令キャッシュデータ RAM エラー情報コントロールレジスタ (PE1)	R/W	0000 0000 _H	8/16/32
FFC6 0408 _H	IDSTCLR_PE1	命令キャッシュデータ RAM エラーステータスクリアレジスタ (PE1)	W	0000 0000 _H	8/16/32
FFC6 040C _H	IDOVFSTR_PE1	命令キャッシュデータ RAM エラーカウントオーバーフローステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
FFC6 0410 _H	ID1STERSTR_PE1	命令キャッシュデータ RAM 1st エラーステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
FFC6 0450 _H	ID1STEADR0_PE1	命令キャッシュデータ RAM (Bank0) 1st エラーアドレスレジスタ (PE1)	R	0000 0000 _H	8/16/32
FFC6 0454 _H	ID1STEADR1_PE1	命令キャッシュデータ RAM (Bank1) 1st エラーアドレスレジスタ (PE1)	R	0000 0000 _H	8/16/32
FFC6 1400 _H	ITECCCTL_PE1	命令キャッシュタグ RAM ECC コントロールレジスタ (PE1)	R/W	0000 0000 _H	16/32
FFC6 1404 _H	ITERRINT_PE1	命令キャッシュタグ RAM エラー情報コントロールレジスタ (PE1)	R/W	0000 0000 _H	8/16/32
FFC6 1408 _H	ITSTCLR_PE1	命令キャッシュタグ RAM エラーステータスクリアレジスタ (PE1)	W	0000 0000 _H	8/16/32
FFC6 140C _H	ITOVFSTR_PE1	命令キャッシュタグ RAM エラーカウントオーバーフローステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
FFC6 1410 _H	IT1STERSTR_PE1	命令キャッシュタグ RAM 1st エラーステータスレジスタ (PE1)	R	0000 0000 _H	8/16/32
FFC6 1450 _H	IT1STEADR0_PE1	命令キャッシュタグ RAM (Bank0) 1st エラーアドレスレジスタ (PE1)	R	0000 0000 _H	8/16/32

31.2.5.3 レジスタ詳細

(1) IDECCCTL_PE1 — 命令キャッシュデータ RAM ECC コントロールレジスタ (PE1)

IDECCCTL レジスタは、キャッシュデータ RAM の ECC エラー検出・訂正の有効/無効を設定するレジスタです。IDECCCTL レジスタへの書き込みは PROT[1:0] を 01B にして実行してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.32 IDECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT[1:0]	ECCDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。IDECCCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) で行ってください。
14		
13 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効/無効を設定できます。このビットの書き込み時は (PROT[1:0]) = (0,1) を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) IDERRINT_PE1 — 命令キャッシュデータ RAM エラー情報コントロールレジスタ (PE1)

IDERRINT レジスタは、キャッシュデータ RAM の ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知の許可 / 禁止を設定するためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.33 IDERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可

(3) IDSTCLR_PE1 — 命令キャッシュデータ RAM エラーステータスクリアレジスタ (PE1)

IDSTCLR レジスタは、エラーステータスレジスタ (ID1STERSTR) のエラーフラグ、エラーオーバーフローステータスレジスタ (IDOVFSTR) のオーバーフローフラグ、およびエラーアドレスレジスタ (ID1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 1	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 31.34 IDSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	STCLR1	エラーオーバーフローフラグクリアビット (バンク 1 用) 1 書き込みで「ID1STERSTR レジスタの DEDF1, SEDF1 フラグ」、 「IDOVFSTR レジスタの ERROVF1 フラグ」および「ID1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーオーバーフローフラグクリアビット (バンク 0 用) 1 書き込みで「ID1STERSTR レジスタの DEDF0, SEDF0 フラグ」、 「IDOVFSTR レジスタの ERROVF0 フラグ」および「ID1STEADR0 レジスタ」をクリアします。

(4) IDOVFSTR_PE1 — 命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ (PE1)

IDOVFSTR レジスタは、キャッシュデータ RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグはすべてのリセット要因、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.35 IDOVFSTR レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	ERROVF1	エラーオーバフローフラグ (バンク 1 用) エラーステータスレジスタのいずれかのエラーフラグ (DEDF1, SEDF1) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバフローフラグ (バンク 0 用) エラーステータスレジスタのいずれかのエラーフラグ (DEDF0, SEDF0) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(5) ID1STERSTR_PE1 — 命令キャッシュデータ RAM 1st エラーステータスレジスタ (PE1)

ID1STERSTR レジスタは最初に発生したエラーをモニタするためのレジスタです。エラーの検出とフラグの更新条件はバンク 0 とバンク 1 で独立しています。同一バンク内ですべてのエラーフラグ (DEDFx, SEDFx) が 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、SEDFx がセットされている状態で ECC 2 ビットエラーが発生した場合には DEDFx をセットします。その際に SEDFx は変更しません。

なお同一バンク内で DEDFx が既にセットされている状態で ECC 1 ビットエラーが発生しても、SEDFx はセットされません。ID1STERSTR レジスタはすべてのリセット要因、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF1	SEDF1	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.36 ID1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9	DEDF1	ECC2 ビットエラーモニタフラグ (バンク 1 用) 0: IDSTCLR レジスタの STCLR1 ビットへ 1 をセット 1: DEDF1 のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
8	SEDF1	ECC1 ビットエラーモニタフラグ (バンク 1 用) 0: IDSTCLR レジスタの STCLR1 ビットへ 1 をセット 1: DEDF1/SEDF1 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ (バンク 0 用) 0: IDSTCLR レジスタの STCLR0 ビットへ 1 をセット 1: DEDF0 のエラーフラグが 0 の状態で ECC 2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ (バンク 0 用) 0: IDSTCLR レジスタの STCLR0 ビットへ 1 をセット 1: DEDF0/SEDF0 のすべてのエラーフラグが 0 の状態で ECC 1 ビットエラー発生

(6) ID1STEADR_n_PE1 — 命令キャッシュデータ RAM (Bankn) 1st エラーアドレスレジスタ (PE1) (n = 0, 1)

ID1STEADR レジスタは、キャッシュデータ RAM のエラー発生時のアドレスを保持するためのレジスタです。ID1STERSTR レジスタの該当するバンクのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。ただし、1st エラーを示すエラーフラグが立っている状態で再度 ECC 1 ビットエラーが発生した場合、アドレス情報を更新せず、ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。本レジスタには、CacheRAM の物理アドレスが保持されます。EADR_n[6:0] にエントリアドレス、EADR_n[8] に Way グループ番号が格納されます。なお EADR_n[7] は常に“0”です。ID1STEADR レジスタはすべてのリセット要因、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EADR _n [8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.37 ID1STEADR_n レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。
8 ~ 0	EADR _n [8:0]	1st エラー発生アドレス (バンク n 用) 1st エラー発生時のアドレスをモニタするためのレジスタです。 ID1STERSTR レジスタのバンク n 用のすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。ただし、1st エラーを示すエラーフラグが立っている状態で再度 ECC 1 ビットエラーが発生した場合、アドレス情報を更新せず、ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

(7) ITECCCTL_PE1 — 命令キャッシュタグ RAM ECC コントロールレジスタ (PE1)

ITECCCTL レジスタは、キャッシュ TAG RAM の ECC エラー検出の有効/無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01B にして実行してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.38 ITECCCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT[1:0]	ECCDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。ITECCCTL レジスタへの書き込みは (PROT[1:0]) = (0,1) で行ってください。
14		
13 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出機能の有効/無効を設定できます。 0 : ECC エラー検出機能が有効 1 : ECC エラー検出機能が無効

(8) ITERRINT_PE1 — 命令キャッシュタグ RAM エラー情報コントロールレジスタ (PE1)

ITERRINT レジスタは、キャッシュ TAG RAM の ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知の許可 / 禁止を設定するためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 31.39 ITERRINT レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC 2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知を制御するビットです。 0: ECC 2 ビットエラー通知禁止 1: ECC 2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知を制御するビットです。 0: ECC 1 ビットエラー通知禁止 1: ECC 1 ビットエラー通知許可

(9) ITSTCLR_PE1 — 命令キャッシュタグ RAM エラーステータスクリアレジスタ (PE1)

ITSTCLR レジスタは、エラーステータスレジスタ (IT1STERSTR) のエラーフラグ、エラーオーバフローステータスレジスタ (ITOVFSTR) のオーバフローフラグ、およびエラーアドレスレジスタ (IT1STEADR) をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.40 ITSTCLR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーオーバフローフラグクリアビット 1書き込みで「IT1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「ITOVFSTR レジスタの ERROVF0 フラグ」および「IT1STEADR0 レジスタ」をクリアします。

(10) ITOVFSTR_PE1 — 命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ (PE1)

ITOVFSTR レジスタは、キャッシュ TAG RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグはすべてのリセット要因、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.41 ITOVFSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ (DEDFO, SEDFO) が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(11) IT1STERSTR_PE1 — 命令キャッシュタグ RAM 1st エラーステータスレジスタ (PE1)

IT1STERSTR レジスタはキャッシュ TAG RAM の最初に発生したエラーをモニタするためのレジスタです。

エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラーが発生すると、エラーフラグを上書きします。なお、DEDFO が既にセットされている状態で ECC 1 ビットエラーが発生しても SEDFO はセットされません。

IT1STERSTR レジスタはすべてのリセット要因、又は、ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDFO	SEDFO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.42 IT1STERSTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDFO	ECC2 ビットエラーモニタフラグ 0: ITSTCLR レジスタの STCLR0 ビットへ 1 をセット 1: DEDFO のエラーフラグが 0 の状態で ECC2 ビットエラー発生
0	SEDFO	ECC1 ビットエラーモニタフラグ 0: ITSTCLR レジスタの STCLR0 ビットへ 1 をセット 1: DEDFO/SEDFO の全てのエラーフラグが 0 の状態で ECC1 ビットエラー発生

(12) IT1STEADR0_PE1 — 命令キャッシュタグ RAM 1st エラーアドレスレジスタ (PE1)

IT1STEADR レジスタは、キャッシュ TAG RAM のエラー発生時のアドレスを保持するためのレジスタです。IT1STERSTR レジスタの該当するバンクのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。ただし、1st エラーを示すエラーフラグが立っている状態で再度 ECC 1 ビットエラーが発生した場合、アドレス情報を更新せず、ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。本レジスタには EADRn[6:0] にはエントリアドレスが、EADRn[8] には Way グループ番号が格納されます。なお、EADRn[7] は常に“0”です。IT1STEADR レジスタはすべてのリセット要因、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EADR[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.43 IT1STEADR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。
8 ~ 0	EADR[8:0]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。ただし、1st エラーを示すエラーフラグが立っている状態で再度 ECC 1 ビットエラーが発生した場合、アドレス情報を更新せず、ECC 2 ビットエラーが発生するとアドレス情報を更新します。ECC 2 ビットエラー発生後はアドレス情報の更新はしません。

31.2.5.4 テスト機能

キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込んだり、RAM データと ECC ビットをダイレクトに読み出したりすることができます。

上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード/デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。

詳細は、「RH850 ファミリ ユーザーズマニュアル ソフトウェア編」を参照してください。

31.2.6 DTS 用 RAM の ECC

「第7章 DMA」をご参照ください。

31.2.6.1 テスト機能

(1) DTSRAM データの書き込み

DTSRAM へデータ書き込みを実行してください。同時に書き込みデータに対応した ECC が ECC ビットに書き込まれます。

(2) ECC ビットの読み出し

- (a) DTSRAM テストコントロールレジスタの ECCTST ビットを 1 にして、ECC テストモードにします。
- (b) テストする DTSRAM の読み出しを実行すると、ECC ビットが DTRTRDAT に格納されます。

本テストモードからの抜け方

- (a) DTSRAM テストコントロールレジスタの ECCTST ビットを 0 にして、通常モードにします。

(3) ECC ビットの書き込み

- (a) DTSRAM テストコントロールレジスタの ECCTST ビットを 1 にして、ECC テストモードにします。
- (b) ECC ビットに書き込む値を DTRTWDAT に書き込みます。
- (c) DTSRAM テストコントロールレジスタの DATSEL ビットを 1 にして、ECC ビットへの書き込み対象に DTRTWDAT を選択します。
- (d) テストする DTSRAM の書き込みを実行すると、ECC ビットに DTRTWDAT が書き込まれます。

本テストモードからの抜け方

- (a) DTSRAM テストコントロールレジスタの ECCTST ビットを 0 にして、通常モードにします。

31.2.7 周辺 RAM (32 ビット) の ECC

31.2.7.1 概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

RS-CAN、FlexRay、CSIHn(n = 0 ~ 3)

誤り検出・訂正

32 ビットの RAM データに対して、7 ビットの ECC データを付加します。

本 ECC 回路は 2 ビット ECC エラー検出と 1 ビット ECC エラー検出・訂正機能を持っています。

ECC のエラー検出・訂正の有効/無効

- ECC エラー検出の有効/無効を選択可能です。
- ECC1 ビットエラー訂正の有効/無効を選択可能です。
- なお、本モジュールは、RAM データ出力が ALL 0、ALL 1 へ固着した際には 2 ビット ECC エラーとして検出されます。

エラー通知

- ECC2 ビットエラー検出時 ECM にエラーを通知します。(有効/無効選択可)
- ECC1 ビットエラー検出時 ECM にエラーを通知します。(有効/無効選択可)

ECM にエラーを通知したあと、対象のエラーステータスをクリアするまでは、新たに ECC エラーを検出しても ECM にエラーを通知しません。

エラーステータス

- 2 ビット ECC エラー検出と 1 ビット ECC エラー検出をモニタ可能です。
- エラーステータスのクリアレジスタを搭載しています。

アドレスキャプチャ

- ECC エラー発生アドレスを 1 アドレスだけキャプチャ可能です。
- 2 ビット ECC エラーまたは 1 ビット ECC エラーを検出時に発生する信号をトリガとし、要因となるアドレスをキャプチャします。(フラグクリア後、最初のエラー検出時 (1 ビットまたは 2 ビット))

テスト機能 (エラー注入)

- モード設定により、レジスタの値を RAM への出力データとして使用可能です。周辺モジュールからの RAM 書き込み時に、TED.ECEDB[31:0] レジスタの値を RAM に書き込むことが可能です (冗長ビットも TED.ECEDB[31:0] レジスタの値から生成されます)。また、RAM 書き込み時に、冗長ビットを TRC.ERDB[6:0] レジスタの値に置換することが可能です。
- モード設定により、RAM データリード時の ECC 冗長ビット部をラッチし、値を確認できます。
- モード設定により、入力データから生成される ECC 冗長ビット (エンコード回路) およびシンドロームコード (デコード回路) を確認できます。

31.2.7.2 レジスタ一覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが実装されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 31.44 ECC モジュール一覧

対応する周辺機能		略称	ECC モジュール名とレジスタベースアドレス	
			モジュール名	ベースアドレス <base_addr>
RS-CAN		ECCRCAN0	ECCRCAN0	FFC7 1000 _H
FlexRay	メッセージ RAM(MRAM)	ECCFLX0	ECCFLX0	FFC7 2000 _H
	テンポラリバッファ (TBF A)	ECCFLX0T1	ECCFLX0T1	FFC7 2040 _H
	テンポラリバッファ (TBF B)	ECCFLX0T0	ECCFLX0T0	FFC7 2080 _H
CSIH	CSIH0	ECCCSIH0	ECCCSIH0	FFC7 0000 _H
	CSIH1	ECCCSIH1	ECCCSIH1	FFC7 0040 _H
	CSIH2	ECCCSIH2	ECCCSIH2	FFC7 0080 _H
	CSIH3	ECCCSIH3	ECCCSIH3	FFC7 00C0 _H

(2) レジスタ一覧

各 ECC モジュールは以下のレジスタを備えます。

表 31.45 レジスタ一覧

レジスタ名	付加略称 ^{注2}	R/W	Reset 値	アドレス	アクセス サイズ
ECC コントロールレジスタ ^{注1}	CTL	R/W	0000 001X _H	<base_addr>+00 _H	32/16/8
ECC テストモードコントロールレジスタ	TMC	R/W	0000 _H	<base_addr>+04 _H	16/8
ECC 冗長ビットデータコントロール テストレジスタ	TRC	R/W	0000 0000 _H	<base_addr>+08 _H	32
ECC エンコード・デコードデータ テストレジスタ	TED	R/W	0000 0000 _H	<base_addr>+0C _H	32
ECC エラーアドレスレジスタ	EAD0	R	0000 0000 _H	<base_addr>+10 _H	32

注 1. ECC コントロールレジスタの下位 1 ビットのリセット値は不定です。

注 2. 付加略称は対応する周辺機能の ECC モジュール一覧の略称に付加される略称です。例えば、CSIH2 の ECC テストモードコントロールレジスタの場合、ECCCSIH2TMC となります。

(3) レジスタマップ

表 31.46 レジスタマップ

略称	31	24	23	16	15	8	7	0	Address
CTL	—	(00 _H)	CTL[17:16]		CTL[15:8]		CTL[7:0]		nn00 _H
TMC	—	(00 _H)	—	(00 _H)	TMC[15:8]		TMC[7:0]		nn04 _H
TRC		SYND[7:0]		HORD[7:0]		ECRD[7:0]		ERDB[7:0]	nn08 _H
TED		ECEDB[31:24]		ECEDB[23:16]		ECEDB[15:8]		ECEDB[7:0]	nn0C _H
EAD0		ECEAD[31:24]		ECEAD[23:16]		ECEAD[15:8]		ECEAD[7:0]	nn10 _H

31.2.7.3 レジスタ詳細

(1) CTL — ECC コントロールレジスタ

CTL レジスタは対象周辺モジュールの ECC のモードを制御するレジスタです。

ビット 7, 5 ~ 3 の設定（書込み）は対象周辺モジュールが動作していないときにおこなってください。

また、ビット 7 への書込みは 32 ビット / 16 ビット操作命令のみ有効です。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス 32 / 16 / 8 ビット単位でリード / ライト可能です。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECDED F0	ECSED F0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA[1:0]	—	—	—	ECER 2C	ECER 1C	—	ECTHM	—	EC1E CP	EC2ED IC	EC1ED IC	ECER 2F	ECER 1F	ECEMF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	不定
R/W	R/W ^{注1}	R/W ^{注1}	R	R	R	R/W ^{注1}	R/W ^{注1}	R	R/W	R	R/W	R/W	R/W	R	R	R

注 1. リード値は常に 0 が読み出されます。

表 31.47 CTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ~ 18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	ECDED F0	0: リセット後、または ECER2F 及び ECER1F ビットクリア後、EAD0 ではビットエラーは発生していない。 1: EAD0 に格納されたアドレスは 2 ビットエラーが発生し格納されている
16	ECSEDF0	0: リセット後、または ECER2F 及び ECER1F ビットクリア後、EAD0 ではビットエラーは発生していない。 1: EAD0 に格納されたアドレスは 1 ビットエラーが発生し格納されている
15	EMCA[1:0]	ECC モード選択ビットへのアクセス制御ビット 1,0 本ビットは ECTHM（ビット 7）の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01 _B の時、ビット 7 への書込みが可能になります。
14		
13 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	予約ビット	リードした場合は不定値が読めます。ライトする場合は "0" を書いてください。
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F（ビット 2）のステータスフラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。

表 31.47 CTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F (ビット 1) のステータスフラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書き込みが優先されます。
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットを設定することにより ECC デコード動作の取り扱いを選択します。このビットの書き込み時は EMCA[1:0] = 0,1 を同時に書き込む必要があります。ECC 機能を無効にするときはこのビットを "1" にしてください。 0: スルーモード禁止 (通常動作モード) 1: スルーモード許可 エンコード側は何ら影響を受けない。 デコード側はエラー判定並びにビット訂正を行わない。
6	予約ビット	ライト時はリセット後の値を設定してください。
5	EC1ECP	1 ビットエラー訂正許可ビット 本ビットは ECC エラー検出/訂正の有効時に、1 ビットエラー訂正の許可/禁止を設定するためのビットです。 0: 1 ビットエラー検出時にエラー訂正を行う。 1: 1 ビットエラー検出時にエラー訂正を行わない。
4	EC2EDIC	EC2EDIC 2 ビットエラー検出通知許可ビット 本ビットは 2 ビットエラー検出時に ECM に通知するかを制御するビットです。 0: 2 ビットエラー検出時に ECM へ通知しません。 1: 2 ビットエラー検出時に ECM へ通知します。
3	EC1EDIC	EC1EDIC 1 ビットエラー検出通知許可ビット 本ビットは 1 ビットエラー検出時に ECM に通知するかを制御するビットです。本ビットに "1" をセットすることで 1 ビットエラー検出時に 1 ビットエラー発生を ECM に通知します。 0: 1 ビットエラー検出時に ECM へ通知しません。 1: 1 ビットエラー検出時に ECM へ通知します。
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態で RAM へのリードアクセス時に 2 ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み出力許可状態で、本フラグがセットされると 2 ビットエラー割り込み信号が出力されます。クリアの際には ECER2C ビット (ビット 10) へ 1 書き込みを行ってください。本ビットがセットされた状態で再度 2 ビットのビットエラーが検出されても割り込み要求信号は発生しません。 0: 本ビットクリア後、2 ビットエラーは発生していない。 1: 2 ビットエラーが発生したことがある。
1	ECER1F	1 ビットエラー検出/訂正フラグビット 本ビットはエラー判定許可状態で RAM へのリードアクセス時に 1 ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット (ビット 9) へ 1 書き込みを行ってください。 0: 本ビットクリア後、1 ビットエラーは発生していない。 1: 1 ビットエラーが発生したことがある。
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。本ビットは RAM 出力データごとに更新されます。RAM を初期化する前にリードすると、本ビットがセットされる可能性があります。 0: 現在の RAM 出力データには、ビットエラーが存在していない。 1: 現在の RAM 出力データでは、ビットエラーが存在する。

注 意

ビット 2, 1 をクリアする場合には、ECC エラー表示フラグ (ECEMF) がセットされていない時にクリアする必要があります。

ビット 2, 1 をクリアする場合には RAM 初期化後にクリアすることを推奨します。

(2) TMC — ECC テストモードコントロールレジスタ

TMC レジスタはテストモードへの切り替え、およびテストモードのためのレジスタです。

また、ビット7への書き込みは16ビット操作命令のみ有効です。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス 16／8ビット単位でリード／ライト可能です。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA[1:0]	—	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	注1 R/W	注1 R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注1. リード値は常に0が読み出されます。

表 31.48 TMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	ETMA[1:0]	ECC テストモードビットへのアクセス制御ビット 1,0
14		本ビットは ECTMCE (ビット7) の書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に0が読み出されます。本ビットのデータ値が 10 _B の時、ビット7への書き込みが可能になります
13～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよびテスト制御ビットへのアクセス許可するかを選択するビットです。このビットの書き込み時は ETMA[1:0] = 1,0 を同時に書き込む必要があります。 0: テストモードレジスタおよびビットに対するアクセスを禁止する 1: テストモードレジスタおよびビットに対するアクセスを許可する
6, 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは、RAM へのリードサイクルを発生させるためのビットです。本ビットへのライトアクセスは、ECTMCE = 1 の時のみ有効です (同時設定可)。また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。 0: TED をリードしても、RAM へのリードサイクルを発生しません。 1: TED をリードした際、RAM へのリードサイクルを発生します。 なお、TED レジスタのリード値は ECDCS ビット (ビット1) の設定に依存しません。ERDB レジスタのリード値は ECREIS ビット (ビット0) の設定に依存しません。
3	ECREOS	ECC リダンダントビット出力データ選択ビット 本ビットは ECC リダンダントビット出力に ECC エンコーダ出力データ又は ERDB レジスタ値のいずれかを出力するか選択するためのビットです。本ビットへのライトアクセスは ECTMCE = 1 の時のみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます。(同期クリア) 0: ECC リダンダントビット出力にはエンコード結果を出力する。 1: ECC リダンダントビット出力には TRC.ERDB[6:0] を出力する。
2	ECENS	ECC エンコード入力選択ビット 本ビットは、RAM にライトされるデータを、周辺機能からのデータ値、または TED.ECEDB[31:0] 値のいずれかを選択するビットです。本ビットへのライトアクセスは ECTMCE = 1 の時のみ有効です (同時設定可能)。また、本ビットは ECTMCE = 0 によりクリアされます (同期クリア)。 0: RAM データ部および ECC エンコード入力データには周辺機能からの RAM へのライトデータを入力する。 1: RAM データ部および ECC エンコード入力データには TED.ECEDB[31:0] を入力する。

表 31.48 TMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	ECDSC	ECC デコーダ入力選択ビット 本ビットはデコード処理される入力信号の下位 32 ビットデータに RAM からの下位 32 ビットデータ値又は TED.ECEDB[31:0] 値のいずれを入力するかを選択するビットです。本ビットへのライトアクセスは ECTMCE = 1 の時のみ有効です。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされます。(同期クリア) 0: デコード回路へのデータ領域 (下位 32 ビット) には RAM の出力データの 下位 32 ビットを入力する。 1: デコード回路へのデータ領域には TED.ECEDB[31:0] を入力する。
0	ECREIS	ECC リダンダントビット入力データ選択ビット 本ビットはデコード処理される入力信号の上位 7 ビットデータに RAM からの上位 7 ビット (リダンダントビット領域) データ値又は TRC.ERDB[6:0] ビット値のいずれを入力するかを選択するビットです。本ビットへのライトアクセスは ECTMCE = 1 の時のみ有効。(同時設定可能) また、本ビットは ECTMCE = 0 によりクリアされる (同期クリア) 0: デコード回路への ECC リダンダントビット領域には RAM 出力データの上位 7 ビットを入力する。 1: デコード回路への ECC リダンダントビット領域には TRC.ERDB[6:0] を入力する。

(3) TED — ECC エンコード/デコード入出力代替テストレジスタ

ECC エンコード/デコード用 32 ビットデータのテストレジスタです。

テストモードにおいて本レジスタの値をエンコード回路、デコード回路の入力データとして使用します。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス TMC.ECTMCE = 1 のとき、32 ビット単位でリード/ライト可能です。
TMC.ECTMCE = 0 のとき、常に 0000 0000_H となります。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.49 TED レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	ECEDB[31:0]	TMC.ECENS = 1 において本レジスタの値が RAM データ部へのライトデータおよびエンコード回路への入力データとなります。 TMC.ECDSC = 1 において本レジスタの値がデコード回路への入力データ [31:0] ビットのデータとなります。 また、TMC.ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値に替わり RAM の出力データの値が読み出されます。

(4) TRC — ECC 冗長ビットデータコントロールテストレジスタ

本レジスタは ECC 冗長ビット領域に対するテストレジスタで、SYND、HORD、ECRD、ERDB の 4 つの 8 ビットレジスタからなる 32 ビットレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス TMC.ECTMCE = 1 のとき、32 ビット単位でリード/ライト可能です。
TMC.ECTMCE = 0 のとき、常に 0000 0000_H となります。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SYND ((5) 参照)								HORD ((6) 参照)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECRD ((7) 参照)								ERDB ((8) 参照)							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(5) SYND — ECC デコードシンδροームデータレジスタ

テストモード (ECTMCE = 1) 時にデコード回路で生成されるシンδροームコードの確認に使用するリード専用レジスタです。

このレジスタへのライトアクセスは無視されます。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス TMC.ECTMCE = 1 のとき、8 ビット単位でリードのみ可能です。
TMC.ECTMCE = 0 のとき、常に 00_H となります。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 31.50 SYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	SYND[6:0]	本ビットは、デコード回路の入力データをもとに生成されるシンδροームコードの値 (SYND[6:0]) が読み出されます。 本ビットは入力信号が変化するとビット値も変化します。なお、本レジスタは ECTMCE = 1 の時のみ有効で、ECTMCE = 0 では常に 00 _H です。

(6) HORD — ECC7 ビット冗長ビットデータ保持テストレジスタ

テストモード（ECTMCE = 1）時に周辺機能から RAM へのリードアクセスした際に周辺機能では確認できない ECC7 ビットリダンダントビット領域（RAM データの上位 7 ビット）を格納するレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス TMC.ECTMCE = 1 のとき、8 ビット単位でリードのみ可能です。
TMC.ECTMCE = 0 のとき、常に 00_H となります。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 31.51 HORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	HORD[6:0]	本ビットは、テストモード（ECTMCE = 1）時に周辺機能から RAM データリードアクセスした際に次の動作クロックの立ち上がりで RAM 出力データ上位 7 ビット分のデータを格納します。 また、TMC.ECTRRS = 1 のときに ECEDB[15:0] レジスタをリードした際にも RAM 出力データを次の動作クロックで格納します。 なお、本レジスタは ECTMCE = 1 の時のみ有効で、ECTMCE = 0 では常に 00 _H です。

(7) ECRD — ECC エンコードテストレジスタ

テストモード（ECTMCE = 1）時においてエンコード回路により生成される 7 ビットリダンダントビット部を読み出すリード専用レジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス TMC.ECTMCE = 1 のとき、8 ビット単位でリードのみ可能です。
TMC.ECTMCE = 0 のとき、常に 00_H となります。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 31.52 ECRD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ~ 0	ECRD[6:0]	周辺機能からの入力データにより生成されるリダンダントビットを確認するために使用します。ここで読みだされるデータはエンコード結果（ECC[6:0]）であり、出力値ではありません。 なお、本レジスタは ECTMCE = 1 の時のみ有効で、ECTMCE = 0 では常に 00 _H です。

(8) ERDB — ECC リダンダントビット入出力代替バッファレジスタ

テストモード (ECTMCE = 1) 時に ECC7 ビットリダンダントビットデータ領域に対する入出力データの代替データのためのバッファレジスタです。

ECTMCE = 1 (ECC テストモード) のときリード/ライト可能です。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス TMC.ECTMCE = 1 のとき、8 ビット単位でリード/ライト可能です。
TMC.ECTMCE = 0 のとき、常に 00_H となります。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.53 ERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライト時もリセット後の値を設定してください。
6 ~ 0	ERDB[6:0]	ECREOS = 1 において、エンコード回路で生成される 7 ビットのリダンダントビットに替わり、本レジスタの値が端子に出力され RAM へ供給されます。 ECREIS = 1 において、デコード回路へ入力されるデータの上位 7 ビットに替わり本レジスタの値がデコード回路で扱われます。 また、ECTRRS = 1 の際には本レジスタのリード値は書き込み値ではなく、RAM へ供給される信号の値が読み出されます。

(9) EAD0 — ECC エラーアドレスレジスタ

ECC エラー発生アドレスを保持するリード専用レジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

アクセス 32ビット単位でリード可能です。

アドレス 「表 31.44 ECC モジュール一覧」と「表 31.46 レジスタマップ」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEAD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.54 EAD0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	ECEAD[31:0]	ECC エラー発生アドレスを保持するリード専用レジスタです。 ECC エラー判定が許可された状態で ECC エラーを検出すると、検出信号をトリガとして RAM アドレスをラッチし ECC エラー発生アドレスとして、本レジスタへ保持します。 どのエラーステータスもセットされていない状態で最初に発生した ECC エラー発生時に保持します。 ただし、最初が 1 ビットエラー発生で次に 2 ビットエラーが発生した際には後者が格納されます。 保持できるのは 1 アドレスです。

CSIH、RS-CAN、Flexray に搭載されている RAM に ECC エラーが発生した場合、下記のように ECC エラー発生アドレスが保持されます。

CSIH

[31:7] 予約ビット

[6:0] ECC エラー発生時の各モードにより、下記のように格納されます。

- FIFO モード
 - 送信時に ECC エラーが発生した場合、TRWA[6:0] の値が格納されます。
 - 受信時に ECC エラーが発生した場合、RRA[6:0] の値が格納されます。
- デュアルバッファモード
 - 送信時に ECC エラーが発生した場合、{1'b0, TRWA[5:0]} の値が格納されます。
 - 受信時に ECC エラーが発生した場合、{1'b1, RRA[5:0]} の値が格納されます。
- 送信専用バッファモード
 - ECC エラー発生時の TRWA[6:0] の値が格納されます。

RS-CAN

[31:11] 予約ビット

[10:0] RAM 領域により、下記のように格納されます。

- 000_H ~ 2FF_H : 受信テーブル

本領域で ECC エラーが発生した場合、下記のように格納されます。

[10:6] ページ番号

[5:2] 受信ルール番号

[1:0] 00 : GAFLID_x, 01 : GAFLM_x, 10 : GAFLP0_x, 11 : GAFLP1_x

- 300_H ~ 5FF_H : 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ

本領域で ECC エラーが発生した場合、RMNB, RFCC, CFCC の設定に依存します。

RXMB, RXFIFO, COMFIFO の順番で各バッファ領域を詰めて RAM 領域に確保されます。RXMB は、RMID, RMPTR, RMDf0, RMDf1 の順番で格納されます。RXFIFO および COMFIFO は、ID, PTR, DF0, DF1 の順番でメッセージごとに格納されます。

- 600_H ~ 68F_H : 送信バッファ

本領域で ECC エラーが発生した場合、下記のように格納されます。

[10:8] 110 固定

[7:2] 送信バッファ番号

[1:0] 00 : TMID, 01 : TMPTR, 10 : TMDF0, 11 : TMDF1

- 6C0_H ~ 6EF_H : 送信履歴

本領域で ECC エラーが発生した場合、送信履歴のバッファ番号が格納されます。

- 6F0_H ~ 71F_H : 予約領域

本領域は RS-CAN が使用する一時的な領域です。

Flexray

- メッセージ RAM

[31:11] 予約ビット

[10:0] 下記のように格納されます。

ECC エラーが発生した場合、当該のワード番号（ヘッダ MB0 がワード番号 0）が格納されます。メッセージ RAM のワードに関しては、「**18.3.13 メッセージ RAM**」を参照してください。

- TBFram (TBF A/B)

[31:7] 予約ビット

[6:0] 下記のように格納されます。

TBF Rx で ECC エラーが発生した場合、00_H ~ 3F_H が格納されます。

TBF Tx で ECC エラーが発生した場合、40_H ~ 7F_H が格納されます。

TBF に関しては、「**18.3.12.3 FlexRay プロトコルコントローラからメッセージ RAM へのアクセス**」を参照してください。

31.2.7.4 ECM への通知

本モジュールでは、設定により 2 本の割り込み出力が可能であり、この出力は ECM に接続されています。ただし、ECM へ通知するためには CSIH、RS-CAN、Flexray がそれぞれの RAM へアクセスする必要があります。TED レジスタを用いた RAM の出力データ読み出し時には ECM への通知は発生しません。

- 1 ビットエラー通知
エラー判定許可状態の際に 1 ビットエラー検出通知許可設定【EC1EDIC = 1B】で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 1 箇所ビットエラーが検出された際に、ECER1F および ECER2F がセットされていないときに 1 ビットエラー割り込みを出力します。
- 2 ビットエラー通知
エラー判定許可状態の際に 2 ビットエラー検出通知許可設定【EC2EDIC = 1B】で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 2 箇所ビットエラーが検出された際に、ECER2F がセットされていないときに 2 ビットエラー割り込みを出力します。

31.2.7.5 テスト機能

(1) RAM データの書き込み

周辺 RAM へデータ書き込みを実行してください。ただし、同時に書き込みデータに対応した ECC が ECC ビットに書き込まれます。任意の値を ECC ビットに書き込むためには、(3) に示す ECC テストモードを使用します。

(2) RAM データの読み出し

- (a) ECC コントロールレジスタの ECTHM ビットを 1 にして、ECC エラー検出・訂正を無効にします。
- (b) 周辺 RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読み出されます。

本テストモードからの抜け方

- (a) ECC コントロールレジスタの ECTHM ビットを 0 にして、ECC エラー検出・訂正を有効にします。

(3) ECC ビットの書き込み

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
- (b) ECC ビットに書き込む値を TRC.ERDB[6:0] に書き込みます。
- (c) ECC テストモードコントロールレジスタの ECREOS ビットを 1 にして、ECC ビットへの書き込み対象に TRC.ERDB[6:0] を選択します。
- (d) 周辺 RAM へデータ書き込みを実行すると、ECC ビットに TRC.ERDB[6:0] が書き込まれます。

本テストモードからの抜け方

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 0 にして、通常モードにします。

(4) ECC ビットの読み出し

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。
- (b) 周辺 RAM の読み出しを実行すると、ECC ビットが TRC.HORD[6:0] に格納されます。

本テストモードからの抜け方

- (a) ECC テストモードコントロールレジスタの ECTMCE ビットを 0 にして、通常モードにします。

31.2.8 データ転送経路のデータパリティ

以下に、データパリティの対象となる転送経路を示します。以下に示すアクセス元からアクセス先への転送にはデータパリティによるエラーの検出が可能です。いずれかの転送経路でパリティエラーを検出すると、ECM に通知します。

アクセス元 (マスタ)	アクセス先 (スレーブ)
CPU1、DMAC、DTS	INTC2, DMA, DTS, ADC, TSG3, TAUJ, TAUD, OSTM, ENCA, CSIG, CSIH, SENT, PSI5
DMAC、DTS	CPU1 の Local RAM

パリティ対象モジュールの幾つかはパリティコントローラ（エンコーダおよびデコーダ）に制御レジスタを持っており、パリティ検出有無の指定や、エラー検出時のステータス保持などが可能です。これらのモジュールでパリティエラーが検出された場合は、エラーとなったアクセスを特定することが可能です。

制御レジスタを持たないパリティコントローラは、必ずパリティを検出します。これらのコントローラ自身はエラー検出時のステータスは保持しませんが、エラー検出の有無は ECM に保持されます。

31.2.8.1 レジスタ一覧

P-Bus データパリティのレジスタ一覧を以下の表に示します。

表 31.55 レジスタ一覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
<Base_addr>+0 _H	APDPERRST_xx	P-Bus データパリティステータスレジスタ xx	R	0000 0000 _H	8/16/32
<Base_addr>+4 _H	APDPERRSTC_xx	P-Bus データパリティステータスクリアレジスタ xx	W	0000 0000 _H	8/16/32
<Base_addr>+8 _H	APDPTMC_xx	P-Bus データパリティテストモードコントロールレジスタ xx	R/W	0000 0000 _H	16/32
<Base_addr>+C _H	APDPERRADR_xx	P-Bus データパリティエラーアドレスレジスタ xx	R	0000 0000 _H	32

上記における、“xx” はこれら制御レジスタが対応するパリティ対象モジュールを示します。以下にパリティ対象モジュールと、そのベースアドレス <base_addr> の一覧を示します。

表 31.56 データパリティ制御モジュール一覧 (1/2)

パリティ対象モジュール名	xx	<base_addr>
INTC2	INTC2	FFC6 8800 _H
DMA_DTS	PDMA	FFC6 8900 _H
ADC0	ADCTL00	FFC8 0000 _H
ADC1	ADCTL10	FFC8 0010 _H
TSG30	TSG30	FFDC A120 _H
TSG31	TSG31	FFDC A130 _H
TAUJ0	TAUJ0	FFDC A0F0 _H
TAUJ1	TAUJ1	FFDC A100 _H
TAUJ2	TAUJ2	FFDC A110 _H
TAUD0	TAUD0	FFDC A0C0 _H
TAUD1	TAUD1	FFDC A0D0 _H
TAUD2	TAUD2	FFDC A0E0 _H
OSTM0	OSTM00	FFDC A020 _H
OSTM1	OSTM10	FFDC A030 _H

表 31.56 データパリティ制御モジュール一覧 (2/2)

パリティ対象モジュール名	xx	<base_addr>
OSTM3	OSTM30	FFF9 6000 _H
OSTM4	OSTM40	FFF9 6010 _H
OSTM5	OSTM50	FFF9 6020 _H
OSTM6	OSTM60	FFF9 6030 _H
OSTM7	OSTM70	FFF9 6040 _H
OSTM_CLKSEL	OSTM_CLKSEL	FFDC A140 _H
ENCA0	ENCA00	FFDC A000 _H
ENCA1	ENCA10	FFDC A010 _H
CSIG0 (グループ A)	CSIG0	FFF9 6090 _H
CSIG0 (グループ B)	CHBB0	FFF9 60A0 _H
CSIH0 (グループ A)	CSIH00	FFF9 6050 _H
CSIH0 (グループ B)	CHBA0	FFF9 60B0 _H
CSIH1 (グループ A)	CSIH10	FFF9 6060 _H
CSIH1 (グループ B)	CHBA1	FFF9 60C0 _H
CSIH2 (グループ A)	CSIH20	FFF9 6070 _H
CSIH2 (グループ B)	CHBA2	FFF9 60D0 _H
CSIH3 (グループ A)	CSIH30	FFF9 6080 _H
CSIH3 (グループ B)	CHBA3	FFF9 60E0 _H
SENT0	SENT00	FFDC A060 _H
SENT1	SENT10	FFDC A070 _H
SENT2	SENT20	FFDC A080 _H
SENT3	SENT30	FFDC A090 _H
SENT4	SENT40	FFDC A0A0 _H
SENT5	SENT50	FFDC A0B0 _H
PSI50	PSI50	FFDC A040 _H
PSI51	PSI51	FFDC A050 _H

- 注 1. CSIGx のレジスタは以下の 2 グループに分けて制御されます。
 グループ A : CSIGnCTL0~2、CSIGnSTR0、CSIGnSTCR0
 グループ B : 上記以外
- 注 2. CSIHx のレジスタは以下の 2 グループに分けて制御されます。
 グループ A : CSIHnCTL0~2、CSIHnSTR0、CSIHnSTCR0
 グループ B : 上記以外

31.2.8.2 レジスタ詳細

(1) APDPERRST_XX — P-Bus データパリティステータスレジスタ

本レジスタは、データパリティ対象モジュールに対してデータ書き込み時に、パリティエラーが発生した場合に反映されます。xx は、「表 31.56 データパリティ制御モジュール一覧」を参照してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APDPERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.57 APDPERRST レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	APDPERR	D-Parity エラーモニタフラグ パリティエラーが発生したことを示すフラグです。 D-Parity エラーモニタフラグクリアビット (APDPERRC) に 1 をセットすることでクリアされます。 0 : パリティエラーは発生していない 1 : パリティエラーが発生した

注 意

APDPERRC_XX でフラグをクリアした後に確認のために APDPERR を読み出す場合には、APDPERRC_XX でフラグをクリアする命令の後に SYNCM を挿入してください。挿入しない場合には、クリア前のフラグが読めることがあります。

(2) APDPERRSTC_xx — P-Bus データパリティステータスクリアレジスタ

xx は、「表 31.56 データパリティ制御モジュール一覧」を参照してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APDPE RRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 31.58 APDPERRSTC レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	APDPERRC	本ビットは、D-Parity エラーモニタフラグ (APDPERR) をクリアするためのビットです。 APDPERR がセットされた状態で、本ビットに "1" を書き込むと APDPERR はクリアされます。 読み出し値は常に "0" です。

(3) APDPTMC_xx — P-Bus データパリティテストモードコントロールレジスタ

xx は、「表 31.56 データパリティ制御モジュール一覧」を参照してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APDPTMC[1:0]	—	—	—	—	—	—	—	—	—	—	—	APDPEIC3	APDPEIC2	APDPEIC1	APDPEIC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 31.59 APDPTMC レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15、14	APDPTMC[1:0]	D-Parity テストモードコントロールビット 本ビットのデータが 01B のときにエラー注入制御ビット (APDPEIC3 ~ 0) にライトアクセスが可能になります。 01B 以外で APDPEIC3 ~ 0 にライトアクセスしても値は書き込まれません。 読み出し値は常に "0" です。
13 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	APDPEIC3	バイトレーン 3 エラー注入制御ビット バイトレーン 3(ビット 31 ~ 24) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入)
2	APDPEIC2	バイトレーン 2 エラー注入制御ビット バイトレーン 2(ビット 23 ~ 16) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入)
1	APDPEIC1	バイトレーン 1 エラー注入制御ビット バイトレーン 1(ビット 15 ~ 8) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入)
0	APDPEIC0	バイトレーン 0 エラー注入制御ビット バイトレーン 0(ビット 7 ~ 0) に対応するパリティビット生成・チェックを奇数パリティに変更します。APDPTMC[1:0] = 01B のときにライトアクセスが可能です。 0: パリティビット生成・チェックは偶数パリティ 1: パリティビット生成・チェックは奇数パリティ (エラー注入)

(4) APDPERRADR_xx — P-Bus データパリティエラーアドレスレジスタ

本レジスタは、データパリティ対象モジュールに対してデータ書き込み時に、パリティエラーが発生した場合に反映されます。xx は、「表 31.56 データパリティ制御モジュール一覧」を参照してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	APDPERRADR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APDPERRADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.60 APDPERRADR レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	APDPERRADR [31:0]	D-Parity エラーアドレス D-Parity エラーモニタフラグ (APDPAERR) がセットされていない状態で、最初にパリティエラーが発生したアドレスを保持します。APDPERR がセットされた状態で再度パリティエラーが発生しても保持情報は更新されません。

31.2.9 使用上の注意

内蔵 RAM は初期値不定のため、初期化せずにリードした場合、ECC エラーが発生する可能性がありますので、内蔵 RAM の全領域を初期化（設定値は任意）することを推奨します。

31.3 ロックステップ

本製品は、CPUの故障を、特別なソフトウェアを使わずにかつ速やかに検出するために、CPU1にロックステップ機能を搭載しています。CPU1におけるプログラム実行は、異なる2つの回路であるマスタコアとチェッカコアによって処理され、両者の実行結果は常時比較されます。比較結果が一致しなかった場合、いずれかの回路にエラーが生じたものとしてECMに通知されます。

CPU1のロックステップ機能は故障注入機能を備えており、意図的にエラーを発生させることによってロックステップ機能の動作を自己診断することができます。

31.3.1 レジスタ一覧

表 31.61 レジスタ一覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFFE ED00 _H	TESTCOMPREG0	比較器テストレジスタ 0	R/W	0000 0000 _H	8/16/32
FFFE ED04 _H	TESTCOMPREG1	比較器テストレジスタ 1	R/W	0000 0000 _H	8/16/32
FFC4 CA00 _H	PDMA_COMP_CNTRL	DMA コントロールレジスタ	R/W	0000 0000 _H	32

これらのレジスタは、CPU1のCPU Peripheralに配置されています。これらのレジスタはCPU1からしかアクセスすることができません。

31.3.2 レジスタ詳細

31.3.2.1 TESTCOMPREG0 — 比較器テストレジスタ 0

CPU1 のロックステップ機能用のテストレジスタ 0 です。

本レジスタと TESTCOMPREG1 を組み合わせることによってロックステップ機能の自己診断を行うことができます。本レジスタはすべてのリセット要因によりリセットされます。以下に、自己診断方法の一例を示します。

- (1) TESTCOMPREG0 に任意の値を書き込みます。
- (2) TESTCOMPREG1 に TESTCOMPREG0 とは異なる任意の値を書き込みます。
- (3) TESTCOMPREG0 を読み出します。マスタコアとチェッカコアには、異なる値が読み出されます。
- (4) この読み出した値を使用して、診断を行いたい比較器を動作させます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TESTCOMPREG0[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TESTCOMPREG0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.62 TESTCOMPREG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TESTCOMPREG0[31:0]	ライト 各バイトにデータが書き込まれます。 リード PE1 : TESTCOMPREG0[31:0] の値が読めます。 PE1C : TESTCOMPREG1[31:0] の値が読めます。

31.3.2.2 TESTCOMPREG1 — 比較器テストレジスタ 1

CPU1 のロックステップ機能用のテストレジスタ 1 です。

本レジスタと TESTCOMPREG0 を組み合わせることによってロックステップ機能の自己診断を行うことができます。本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TESTCOMPREG1[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TESTCOMPREG1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.63 TESTCOMPREG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TESTCOMPREG1[31:0]	ライト 各バイトにデータが書き込まれます。 リード PE1 : TESTCOMPREG1[31:0] の値が読めます。 PE1C : TESTCOMPREG0[31:0] の値が読めます。

31.3.2.3 PDMA_COMP_CNTRL — DMA コントロールレジスタ

本レジスタは、DMA のチェッカ側の出力信号を制御することができます。

本レジスタを設定した際、DMA コンペアエラーを即時に発生させることが可能です。本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		DMACMPERR[29:16]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMACMPERR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.64 PDMA_COMP_CNTRL レジスタの内容

ビット位置	ビット名	機能
31 ~ 30	PROT[1:0]	プロテクション許可ビット 10 : 書き込み可能 上記以外 : 書き込み不可
29 ~ 0	DMACMPERR [29:0]	DMACMPERR = 111111_11111111_00000111_00001111 を上記 PROT ビットと同時に書き込むことで、DMA コンペアエラーを発生させることが可能です。

31.3.3 使用上の注意

リセット後の値が不定のレジスタを初期化せずにリードした場合、CPU コンペア・エラーが発生する可能性がありますので、初期化（設定値は任意）することを推奨いたします。

注 意

C コンパイラなどにより暗黙的に使用される場合があるため、これらのレジスタを参照する前に必ずスタートアップ・ルーチンで初期化してください。

31.4 メモリ保護

31.4.1 概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU

CPU1 が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU1 から発行されることはありません。詳細は、「RH850 ファミリー・ユーザズマニュアル・ソフトウェア編」をご参照ください。

- スレーブガード

あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。

- PEG

Local RAM を不正なアクセスから保護します。ただし、Local RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内の Local RAM へのアクセスは、PEG によってプロテクトされることはありません。

詳細は「**第3章 CPU システム**」をご参照ください。

- IPG

CPU Peripheral を不正なアクセスから保護します。詳細は「**第3章 CPU システム**」をご参照ください。

- PBG

周辺回路の制御レジスタやメモリを不正なアクセスから保護します。詳細は、次節をご参照ください。

31.4.1.1 スレーブガードの識別子

スレーブガードでは、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

識別子	機能
UM	<p>CPUのアクセス時に、そのCPUの動作モードを示します。</p> <p>0：スーパーバイザモード 1：ユーザモード</p> <p>DMAC/DTSのアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。 H-Bus マスタのアクセス時には、本識別子は必ず1となります。 その他のマスタのアクセス時には、本識別子は必ず0となります。</p>
SPID	<p>CPUのアクセス時に、そのCPUに設定されたシステム保護識別子SPIDの値を示します。</p> <p>DMAC/DTSのアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。 H-Bus マスタのアクセス時には、本識別子は必ず1_Bとなります。 その他のマスタのアクセス時には、本識別子は必ず0_Bとなります。</p>
PEID	<p>アクセス元のバスマスタを示します。</p> <p>00_B：予約 00_{1B}：CPU1 01_B：予約 01_{1B}：予約 10_B：その他のバスマスタ（H-Bus バスマスタ） 10_{1B}：予約 11_B：予約 11_{1B}：予約</p> <p>DMAC/DTSのアクセス時には、本識別子の値はチャンネルマスタ設定レジスタの設定値となります。</p>

31.4.2 PBG

PBG モジュールは複数の PBG グループに分かれており、各 PBG グループは最大 16 個の保護チャンネルを備えています。一つの PBG チャンネルが 1 つの周辺回路に対してプロテクトすべきアクセスを指定することができます。また PBG グループ毎に、プロテクトしたアクセスの情報を保持することができます。

PBG モジュールでエラーを検出した場合、次の動作を行います。

- リードアクセスがプロテクトされた場合、リードデータは不定値です。
- ライトアクセスがプロテクトされた場合、ライトアクセスは無視します。
- 上記のどちらの動作(リードアクセス/ライトアクセス)の場合も、ECMのエラーNo.26の「P-Bus ガードエラー」に通知されます。

以下に、保護対象の周辺回路モジュールの一覧と、対応する PBG グループ名、PBG チャンネル番号を示します。

表 31.65 保護対象の周辺回路モジュールと対応する PBG チャンネル番号 (1/4)

周辺 IP グループ	PBG グループ	PBG チャンネル番号	保護対象モジュール	保護レジスタ
周辺 IP グループ 0	PBG0A	0	INTC2	モジュール全体
		1	DMA_DTS	モジュール全体
周辺 IP グループ 1	PBG1A	0	TAPA0	モジュール全体
		1	TAPA1	モジュール全体
		2	TAPA2	モジュール全体
		3	TAPA3	モジュール全体
		4	PIC2	モジュール全体
		5	TPBA0	モジュール全体
		6	TPBA1	モジュール全体
		7	TSG30	モジュール全体
		8	TSG31	モジュール全体
		9	TAUJ0	モジュール全体
		10	TAUJ1	モジュール全体
		11	TAUJ2	モジュール全体
		12	TAUD0	モジュール全体
		13	TAUD1	モジュール全体
	14	TAUD2	モジュール全体	
	PBG1B	0	OSTM0	モジュール全体
		1	OSTM1	モジュール全体
		2	OSTM0_CLKSEL	IC0CKSEL0
		3	OSTM1_CLKSEL	IC0CKSEL1
		4	ENCA0	モジュール全体
		5	ENCA1	モジュール全体
		6	SENT0	モジュール全体
		7	SENT1	モジュール全体
8		SENT2 ^{注4}	モジュール全体	
9		SENT3	モジュール全体	
10		SENT4	モジュール全体	
11	SENT5	モジュール全体		

表 31.65 保護対象の周辺回路モジュールと対応する PBG チャネル番号 (2/4)

周辺 IP グループ	PBG グループ	PBG チャネル番号	保護対象モジュール	保護レジスタ
周辺 IP グループ 1	PBG1B	12	PSI50	モジュール全体
		13	PSI51	モジュール全体
		14	PIC1	モジュール全体
周辺 IP グループ 2	PBG2A	0	CSIG0(グループ A) 注1	CSIG0CTL0-2 CSIG0STR0 CSIG0STCR0
		1	CSIG0(グループ B) 注1	上記以外
		2	OSTM3	モジュール全体
		3	OSTM4	モジュール全体
		4	OSTM5	モジュール全体
		5	OSTM6	モジュール全体
		6	OSTM7	モジュール全体
		7	BIST	LBISTREF1 LBISTREF2 MBISTREF LBISTSIG1 LBISTSIG2 MBISTSIG BSEQ0ST BSEQ0STB
		8	CSIH0 (グループ A) 注2	CSIH0CTL0-2 CSIH0STR0 CSIH0STCR0
		9	CSIH0 (グループ B) 注2	上記以外
		10	CSIH1 (グループ A) 注2	CSIH1CTL0-2 CSIH1STR0 CSIH1STCR0
		11	CSIH1 (グループ B) 注2	上記以外
		12	CSIH2 (グループ A) 注2	CSIH2CTL0-2 CSIH2STR0 CSIH2STCR0
		13	CSIH2 (グループ B) 注2	上記以外
		14	CSIH3 (グループ A) 注2	CSIH3CTL0-2 CSIH3STR0 CSIH3STCR0
15	CSIH3 (グループ B) 注2	上記以外		
周辺 IP グループ 3	PBG3A	0	DNFA	モジュール全体
		1	JTAG ポート (グループ A)	JPCR0_0-5 以外
		2	JTAG ポート (グループ B)	JPCR0_0-5
		3	ポートグループ 0-5 (グループ A)	PCRI_n 以外
		4	ポートグループ 0-5 拡張レジスタ (グループ B)	PCRI_n
		5	FCLA0	モジュール全体
		6	FCLA1	モジュール全体
		7	FCLA2	モジュール全体
		8	FCLA3	モジュール全体
		9	FCLA4	モジュール全体
		10	ADCD0	モジュール全体
		11	ADCD1	モジュール全体

表 31.65 保護対象の周辺回路モジュールと対応する PBG チャンネル番号 (3/4)

周辺 IP グループ	PBG グループ	PBG チャンネル番号	保護対象モジュール	保護レジスタ
周辺 IP グループ 5	PBG5A	0	Reset	RESF RESFC SWRESA
			BSEQ0CTL	BSEQ0CTL
			クロック出力機能	CKSC0CTL CSC0STAT CKSC1CTL CSC1STAT ADCKSC0CTL ADCSC0STAT CLKD0DIV CLKD0STAT CLKD1DIV CLKD1STAT
			CVM	CVMF CVMDE CVMDMASK CVMDIAG CVMMON CVMFC CVMDEW CVMREN PROTCMDCVM PROTSCVM
			LVI	LVICNT
			POF	POF POFC
			CLMA0-3	CLMA _n CTL0 CLMA _n C MPL CLMA _n C MPH CLMA _n C MD CLMA _n C PS CLMATEST CLMATESTS
			デジタルノイズ除去サンプリングクロック	DNFCKS100C DNFCSC100STAT DNFCKS101C DNFCSC101STAT DNFCKS106C DNFCSC106STAT DNFCKS107C DNFCSC107STAT DNFCKS108C DNFCSC108STAT DNFCKS109C DNFCSC109STAT DNFCKS110C DNFCSC110STAT DNFCKS112C DNFCSC112STAT DNFCKS113C DNFCSC113STAT DNFCKS114C DNFCSC114STAT DNFCKS104C DNFCSC104STAT DNFCKS105C DNFCSC105STAT DNFCKS102C DNFCSC102STAT

表 31.65 保護対象の周辺回路モジュールと対応する PBG チャネル番号 (4/4)

周辺 IP グループ	PBG グループ	PBG チャンネル番号	保護対象モジュール	保護レジスタ
周辺 IP グループ 5	PBG5A	0	フラッシュメモリ書き込み消去プロテクト	FHVE3 FHVE15
			書き込み保護	PROT1PHCMD PROT1PS

- 注 1. CSIGx のレジスタは以下の 2 グループに分けて制御されます。
 グループ A : CSIGnCTL0~2, CSIGnSTR0, CSIGnSTCR0
 グループ B : 上記以外
- 注 2. CSIHx のレジスタは以下の 2 グループに分けて制御されます。
 グループ A : CSIHnCTL0~2, CSIHnSTR0, CSIHnSTCR0
 グループ B : 上記以外
- 注 3. ポートグループのレジスタは以下の 2 グループに分けて制御されます。
 ここで、i はポートグループ番号 (i = 1 ~ 17)、n は各ポートグループ内のポート番号 (n = 0 ~ 15) を示します。
 グループ A : グループ B 以外のレジスタ
 グループ B : PCRi_n
 JTAG ポートのレジスタは以下の 2 グループに分けて制御されます。
 グループ A : グループ B 以外のレジスタ
 グループ B : JPCR0_0 ~ 5
- 注 4. 本ビットは 100pin 製品では設定禁止。

31.4.2.1 レジスタ一覧

以下に PBG チャネルごとに実装されるレジスタを示します。

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
FSGDxxDPROTn	PBGxx プロテクションレジスタ n	R/W	07FF FFFF _H	<base_addr0>+4*n	8/16/32

以下に PBG グループごとに実装されるレジスタを示します。

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
ERRSLVxxCTL	PBGxx エラーコントロールレジスタ	W	0000 0000 _H	<base_addr1>+0 _H	8/16/32
ERRSLVxxSTAT	PBGxx エラーステータスレジスタ	R	0000 0000 _H	<base_addr1>+4 _H	8/16/32
ERRSLVxxADDR	PBGxx エラーアドレスレジスタ	R	0000 0000 _H	<base_addr1>+8 _H	32
ERRSLVxxTYPE	PBGxx エラータイプレジスタ	R	0000 0000 _H	<base_addr1>+C _H	16/32

ここで、レジスタ名やレジスタシンボルの“xx”は PBG グループ番号を、“n”は PBG チャネル番号を示します。各 PBG グループ番号や PBG チャネル番号に対応したベースアドレス値 <base_addr0> と <base_addr1> の値は以下のとおりです。

PBG グループ	PBG グループ番号 xx	PBG チャネル番号 n	<base_addr0>	<base_addr1>
PBG0A	0A	0, 1	FFC4 C000 _H	FFC4 C800 _H
PBG1A	1A	0 - 14	FFDD D000 _H	FFDD D040 _H
PBG1B	1B	0 - 14	FFDD D080 _H	FFDD D0C0 _H
PBG2A	2A	0 - 15	FFF9 4000 _H	FFF9 4040 _H
PBG3A	3A	0 - 11	FFC4 0000 _H	FFC4 0040 _H
PBG5A	5A	0	FFF9 0000 _H	FFF9 0040 _H

31.4.2.2 レジスタ詳細

(1) FSGDxxDPROTn — PBGxx プロテクションレジスタ n

保護対象である周辺回路モジュールの制御レジスタやRAMに対して、プロテクトするアクセスを指定します。いずれかの識別子で禁止されたアクセスは不正アクセスとしてプロテクトされます。本レジスタはすべてのリセット要因によりリセットされます。

(a) FSGD0ADPROTn

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PROTUM	PROTPEID[7:0]							—	
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID[3:0]				PROTEB	PROTRDPDEF	PROTRWRPEF	PROTRD	PROTRWR
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(b) FSGDxxDPROTn (xx = 0A 以外)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROTLOCK	—	—	—	—	—	PROTUM	PROTPEID[7:0]							—	
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID[3:0]				PROTEB	PROTRDPDEF	PROTRWRPEF	PROTRD	PROTRWR
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.66 FSGDxxDPROTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	PROTLOCK	レジスタのロック 0: FSGDxxDPROTn レジスタの書き換え可能 1: FSGDxxDPROTn レジスタの書き換え不可能 PROTLOCK=1に設定すると、リセットが発生するまで、保持します。
30 ~ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザーモードでのアクセス 0: スーパーバイザモードでのアクセスを許可します。 1: ユーザーモードとスーパーバイザモードでのアクセスを許可します。
24 ~ 17	PROTPEID[7:0]	PEIDによるアクセス PROTnPEIDは各ビットがそれぞれ1つのPEID値に対応するビットリストです。複数のビットを設定することによって同時に複数のID値を許可します。たとえばPROTnPEIDを0101Bに設定すればPEID=0およびPEID=2でのアクセスを許可します。 0: PEIDnでのアクセスを許可しません。 1: PEIDnでのアクセスを許可します。
16 ~ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 31.66 FSGDxxDPROTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
8 ~ 5	PROTSPID[3:0]	SPIDによるアクセス PROTnSPIDは各ビットがそれぞれ1つのSPID値を表すビットの一覧です。複数のビットを設定することによって同時に複数のSPID値を許可します。たとえばPROTnSPIDを0101Bに設定すればSPID=0およびSPID=2でのアクセスを許可します。 0: SPIDnでのアクセスを許可しません。 1: SPIDnでのアクセスを許可します。
4	PROTDEB	デバッグアクセス 0: デバッグマスタからのアクセスを許可しません。 1: デバッグマスタからのアクセスを許可します。
3	PROTRDPDEF	デフォルトリード保護 0: いずれのマスタもリード可能です。 1: フィルタを通過したマスタのリードアクセスをPROTRDビットにて設定可能です。
2	PROTWRPDEF	デフォルトライト保護 0: いずれのマスタもライト可能です。 1: フィルタを通過したマスタのライトアクセスをPROTWRビットにて設定可能です。
1	PROTRD	リード許可 0: フィルタを通過したマスタのリードアクセスを禁止。 1: フィルタを通過したマスタのリードアクセスを許可。
0	PROTWR	ライト許可 0: フィルタを通過したマスタのライトアクセスを禁止。 1: フィルタを通過したマスタのライトアクセスを許可。

(2) ERRSLVxxCTL — PBGxx エラーコントロールレジスタ

PBGxxのエラーステータスレジスタのステータスをクリアするためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 31.67 ERRSLVxxCTL レジスタの内容

ビット位置	ビット名	機能
31 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CLRO	1をライトすると、ERRSLVxxSTATレジスタのOVFフラグをクリアします。リードは常に0がリードされます。
0	CLRE	1をライトすると、ERRSLVxxSTATレジスタのERRフラグをクリアします。リード時は常に0がリードされます。

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ

PBGxx においてプロテクトした不正アクセスのステータスを保持するためのレジスタです。
本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.68 ERRSLVxxSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	0 : ERR = 1 の時に PBG 保護違反未検出 1 : ERR = 1 の時に PBG 保護違反検出
0	ERR	0 : PBG 保護違反未検出 1 : PBG 保護違反を検出

(4) ERRSLVxxADDR — PBGxx エラーアドレスレジスタ

PBGxx においてプロテクトした不正アクセスのアドレスを保持するためのレジスタです。
本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.69 ERRSLVxxADDR レジスタの内容

ビット位置	ビット名	機能
31～0	ADDR[31:0]	PBG 保護違反検出時のアクセスアドレス ADDR[1:0] は 0 固定です

(5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ

PBGxx においてプロテクトした不正アクセスのアクセスタイプを保持するためのレジスタです。本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	STRB[3:0]			WRITE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.70 ERRSLVxxTYPE レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ~ 13	PEID[2:0]	PBG 保護違反を発生させたアクセスのアクセス元の PEID
12 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBG 保護違反を発生させたアクセスのアクセス元の SPID
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBG 保護違反を発生させたアクセスのアクセス元の UM
5	予約ビット	リードした場合はリセット後の値が読めます。
4 ~ 1	STRB[3:0]	PBG 保護違反を発生させたアクセス幅を示す情報になります。 32 ビットアクセスの場合：1111B 16 ビットアクセスの場合：0011B 8 ビットアクセスの場合：0001B
0	WRITE	PBG 保護違反を発生させたアクセスがライトの場合、1 になります。

31.5 クロックモニタ

31.5.1 概要

本製品は、クロックの動作を監視するためのクロックモニタを搭載します。

クロックモニタは、モニタ対象クロックの周波数異常を検出します。クロックモニタは下記機能を持ちます。

- クロックモニタは、モニタクロックの周波数が特定の範囲にあることを監視します。サンプリングクロックを使用して、モニタクロックの周波数が特定の範囲内にあることを確認します。
- クロックの異常検知後、クロックモニタはECMへエラー通知を行います。

クロックモニタのモニタクロックとサンプリングクロックを以下の表に示します。

表 31.71 各クロックモニタのモニタクロック、サンプリングクロック一覧

クロックモニタチャンネル	モニタクロック	サンプリングクロック
CLMA0	MainOSC	HS IntOSC/4
CLMA1	Peripheral Clock (40MHz) / 2	MainOSC/8
CLMA2	WDTCLKI = 8 MHz WDTCLKI = 250 KHz	Main OSC/16 Main OSC/512
CLMA3	Clock CPU (160MHz)	MainOSC/2

備 考

CLMA2 のモニタクロックおよびサンプリングクロックはそれぞれ 2 種類あり、OPWDMDS、OPCM2MDS の設定で選択されます。

- OPWDMDS
 - 0 の場合 : WDTCLKI = HSIntOSC(8MHz)
 - 1 の場合 : WDTCLKI = HSIntOSC/32 (250KHz)
- OPCM2MDS
 - 0 の場合 : MainOSC/16
 - 1 の場合 : MainOSC/512

31.5.2 レジスタ一覧

31.5.2.1 クロックモニタ チャンネルレジスタ

表 31.72 レジスタ一覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
<Base_addr+00 _H >	CLMA _n CTL0	CLMA _n 制御レジスタ 0	R/W	00 _H	8
<Base_addr+08 _H >	CLMA _n CMPL	CLMA _n 比較レジスタ L	R/W	0001 _H	16
<Base_addr+0C _H >	CLMA _n CMPH	CLMA _n 比較レジスタ H	R/W	03FF _H	16

レジスタベースアドレスは下記のとおりです。

クロックモニタチャンネル	<Base_addr>
CLMA0	FFF8 8400 _H
CLMA1	FFF8 8420 _H
CLMA2	FFF8 8440 _H
CLMA3	FFF8 8460 _H

31.5.2.2 共通レジスタ

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
CLMATEST	CLMA セルフテストレジスタ	R/W	0000 0000 _H	FFF8 8204 _H	32
CLMATESTS	CLMA セルフテストステータスレジスタ	R	0000 0000 _H	FFF8 8208 _H	32

31.5.3 レジスタ詳細

31.5.3.1 CLMAnCTL0 — CLMAn 制御レジスタ 0

クロックモニタ機能の動作を制御するレジスタです。

このレジスタへのライトは、保護コマンドレジスタ CLMAnPCMD を使用した特定の命令シーケンスによって保護されています。

詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnCLME
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W 注1

注 1. CLMAnCLME = 1 に設定された後の '0' 書き込みは無視されます。クリアはリセットでのみ可能です。

表 31.73 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CLMAnCLME	クロックモニタ機能の動作 0: 動作を禁止 1: 動作を許可

31.5.3.2 CLMAnCMPL — CLMAn 比較レジスタ L

正常な周波数範囲か比較するための下限値を設定するレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPL1	CLMAnCMPL1	CLMAnCMPL9	CLMAnCMPL8	CLMAnCMPL7	CLMAnCMPL6	CLMAnCMPL5	CLMAnCMPL4	CLMAnCMPL3	CLMAnCMPL2	CLMAnCMPL1	CLMAnCMPL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.74 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	CLMAnCMPL [11:0]	正常な周波数範囲か比較するための下限値 本レジスタは CLMAnCTL0.CLMAnCLME が 0 のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が 1 にセットされた後は、書き込みは無効です。

31.5.3.3 CLMAnCMPH — CLMAn 比較レジスタ H

正常な周波数範囲か比較するための上限値を設定するレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAn CMPH1 1	CLMAn CMPH1 0	CLMAn CMPH9	CLMAn CMPH8	CLMAn CMPH7	CLMAn CMPH6	CLMAn CMPH5	CLMAn CMPH4	CLMAn CMPH3	CLMAn CMPH2	CLMAn CMPH1	CLMAn CMPH0
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.75 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
15 ~ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11 ~ 0	CLMAnCMPH [11:0]	正常な周波数範囲か比較するための上限値です。 本レジスタは CLMAnCTL0.CLMAnCLME が 0 のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が 1 にセットされた後は、書き込みは無効です。

31.5.3.4 CLMATEST — CLMA セルフテストレジスタ

CLMA3-0 の自己診断を行うためのレジスタです。

このレジスタへのライトは、保護コマンドレジスタ PROT1PHCMD を使用した特定の命令シーケンスによって保護されています。

詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CLMA3 TESTE N	CLMA2 TESTE N	CLMA1 TESTE N	CLMA0 TESTE N	ERRRMS K	MONCL KMSK	RESCL M
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.76 CLMATEST レジスタの内容

ビット位置	ビット名	機能
31 ~ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書き込んでください。
6 ~ 3	CLMA3TESTEN CLMA2TESTEN CLMA1TESTEN CLMA0TESTEN	CLMA3-0 のセルフテストの有効 / 無効を指定します。 0 : 対応する CLMA _n のセルフテストは無効です 1 : 対応する CLMA _n のセルフテストは有効です
2	ERRMSK	CLMA _n によるエラー検出結果の ECM への通知を無効化します。本ビットをセットされた CLMA _n は、エラーを検出しても ECM に通知しません。本ビットの設定は、CLMA _n TESTEN (n = 0-2) が 1 にセットされている CLMA _n に対して有効です。 0 : ECM へのエラー通知を無効化しません 1 : ECM へのエラー通知を無効化します
1	MONCLKMSK	CLMA _n に対するモニタ対象クロックの入力をローレベルに固定します。本ビットの設定は、CLMA _n TESTEN (n = 0-2) が 1 にセットされている CLMA _n に対して有効です。 0 : CLMA _n へのモニタクロック入力をローレベルに固定しません 1 : CLMA _n へのモニタクロック入力をローレベルに固定します
0	RESCLM	CLMA _n を強制的に初期化します。本ビットの設定は、CLMA _n TESTEN (n = 0-2) が 1 にセットされている CLMA _n に対して有効です。 0 : CLMA _n を初期化しません 1 : CLMA _n を初期化します

31.5.3.5 CLMATESTS — CLMA セルフテストステータスレジスタ

CLMA3-0 の自己診断結果を確認するためのレジスタです。

本レジスタはすべてのリセット要因によりリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CLMA3 ERRS	CLMA2 ERRS	CLMA1 ERRS	CLMA0 ERRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.77 CLMATESTS レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3 ~ 0	CLMA3ERRS CLMA2ERRS CLMA1ERRS CLMA0ERRS	CLMA3-0 におけるエラー検出の有無を示します。本ビットは、 CLMATEST.ERRMSK の影響を受けません。 0 : 対応する CLMA _n はエラーを検出していません 1 : 対応する CLMA _n はエラーを検出しています

31.5.4 異常クロック周波数の検出

- CLMAn はサンプリングクロックの 16 サイクル内でモニタクロックの立ち上がりエッジをカウントし、このカウント値と設定したしきい値を比較します。
 - CLMAnCMPL レジスタの CLMAnCMPL[11:0] は下限しきい値を指定します。
 - CLMAnCMPH レジスタの CLMAnCMPH[11:0] は上限しきい値を指定します。
- モニタクロックの周波数が低く^{注1}、カウント値が CLMAnCMPL レジスタの CLMAnCMPL[11:0] の設定を下回った場合にクロック異常を ECM へ通知します。また、モニタクロックの周波数が高く、カウント値が CLMAnCMPH レジスタの CLMAnCMPH[11:0] の設定値を上回った場合、クロック異常を ECM へ通知します。

注1. モニタクロックが完全に停止する場合は異常を検知できない場合があります。

ただし、サンプリング期間内でモニタクロック周波数が変動しても、検出エッジ数が規定範囲内に収まった場合は、エラー通知しません。

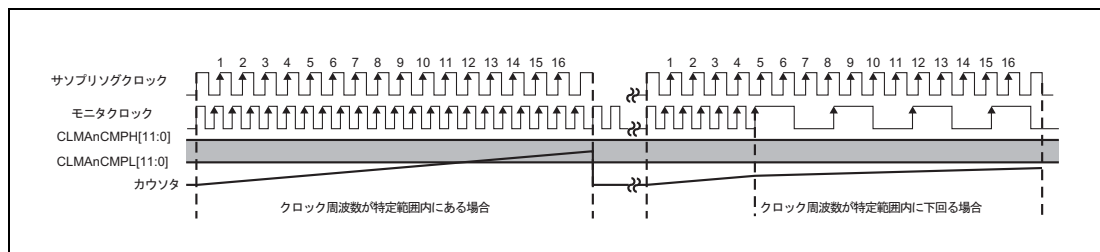


図 31.1 モニタクロック周波数が下限しきい値よりも遅い場合

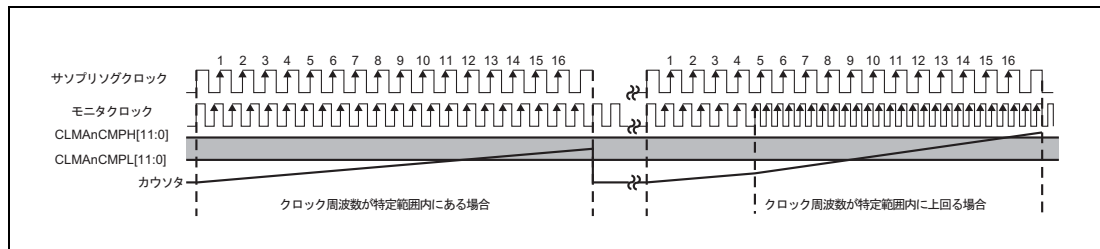


図 31.2 モニタクロック周波数が上限しきい値よりも速い場合

(a) しきい値 CLMAnCMPL レジスタの CLMAnCMPL[11:0] と CLMAnCMPH レジスタの CLMAnCMPH[11:0] の算出方法

コンペアレジスタ CLMAnCMPL と CLMAnCMPH には、サンプリングクロック CLMAnTSMP の 16 サイクル内で有効と想定される CLMAnTMON のクロックサイクルの最小値と最大値を設定します。

期待されるクロックサイクル数を N で表します。

$$\frac{16}{f_{\text{CLMAnTSMP}}} = \frac{N}{f_{\text{CLMAnTMON}}}$$

$$N = \frac{f_{\text{CLMAnTMON}}}{f_{\text{CLMAnTSMP}}} \times 16$$

CLMA_nTMON と CLMA_nTSMP の許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\begin{aligned} \text{下限しきい値} &= N_{\min} \\ &= \frac{f_{\text{CLMA}_{n\text{TMON}}(\min)}}{f_{\text{CLMA}_{n\text{TSMP}}(\max)}} \times 16 - 1 \\ \text{上限しきい値} &= N_{\max} \\ &= \frac{f_{\text{CLMA}_{n\text{TMON}}(\max)}}{f_{\text{CLMA}_{n\text{TSMP}}(\min)}} \times 16 + 1 \end{aligned}$$

備考 1. CLMA_nTSMP : サンプルングクロック
 CLMA_nTMON : モニタクロック
 $f_{\text{CLMA}_{n\text{TSMP}}}$: サンプルングクロック周波数
 $f_{\text{CLMA}_{n\text{TMON}}}$: モニタクロック周波数

備考 2. この製品の CLMA_nCMPH レジスタ、CLMA_nCMPL レジスタの設定例は、**表 31.78** を参照してください。

(b) 最小しきい値

次の制限事項を考慮した値を設定してください。

- CLMA_nCMPL \geq 0001_H (n = 0, 1, 2, 3)
- CLMA_nCMPH \geq CLMA_nCMPL + 0003_H (n = 0, 1, 2, 3)

表 31.78 CLMA_nCMPH レジスタ、CLMA_nCMPL レジスタの設定例

クロックモニタ チャンネル	モニタクロック		サンプルングクロック		CLMA _n CMPL	CLMA _n CMPH
		周波数		周波数		
CLMA0	MainOSC	16 MHz	HS IntOSC / 4	2 MHz	0073 _H	0090 _H
CLMA1	CLK_LSB / 2	20 MHz	MainOSC / 8	2 MHz	009D _H	00A3 _H
CLMA2	WDTCLKI = HS IntOSC (8MHz)	8 MHz	MainOSC / 16	1 MHz	0071 _H	008F _H
	WDTCLKI = HS IntOSC / 32 (250KHz)	250 KHz	MainOSC / 512	31.25 kHz	0071 _H	008F _H
CLMA3	Clock CPU (160MHz)	160 MHz	MainOSC / 2	8 MHz	0139 _H	0147 _H

31.5.5 自己診断

以下に示すようにクロックモニタの自己診断を実施可能です。

- (1) 診断対象のクロックモニタの閾値設定 (CLMAnCMPL/CLMAnCMPH 設定) を行います。このとき、閾値は必ずエラーが出る状態に設定します。
- (2) 診断対象のクロックモニタを指定します。
CLMATEST.CLMAnTESEN ビットに 1 をセットすることで、対応するクロックモニタを診断対象に指定できます。
- (3) 自己診断による ECM へのエラー通知を避けたい場合は、上記 (2) と同時に CLMATEST.ERRMSKL をセットします。
- (4) CLMAnCTL0.CLMAnCLME ビットに 1 をセットして、クロックモニタの動作を許可します。
- (5) エラーが発生するのに十分な時間を待ってから CLMATESTS レジスタをリードし、診断対象のクロックモニタのエラー有無を確認します。
自己診断の開始からエラー発生までの時間は、サンプリング期間に依存します。最大でサンプリング期間 2 周期分の時間を待つ必要があります。
- (6) 自己診断によって発生したエラーをクリアします。
CLMATEST.RESCLM に 1 をセットすることで診断対象のクロックモニタを初期化することができます。
- (7) 自己診断を終了します。
CLMATEST に all-0 をセットすることで、自己診断を終了することができます。

自己診断を行ったクロックモニタの動作を再開するには、改めてレジスタの設定を行ってください。

31.5.6 レジスタ設定時の注意事項

31.5.6.1 CLMAnCMPL/CLMAnCMPH レジスタの設定

CLMAnCMPL/CLMAnCMPH レジスタの設定値は以下の条件を満たすこと。以下の条件を満たさない状態でクロックモニタを使用した場合は動作の保証はできません。

- $1 \leq \text{CLMAnCMPL}$
- $\text{CLMAnCMPL} + 3 \leq \text{CLMAnCMPH} \quad (n = 0, 1, 2)$

31.6 BIST

本製品は、故障検出機能自身の故障を検出するための機能を搭載しており、これを BIST と称しています。BIST の実行結果は、「31.6.3 BIST 正常終了の確認」を参照してください。

注 意

Field BIST 対象外となるレジスタは下記の通りです。

- ECMMESSTR0, ECMMESSTR1, ECMCESSTR0, ECMCESSTR1, ECMMESET, ECMCESET, BRAMDAT0, BRAMDAT1, BRAMDAT2, BRAMDAT3, LBISTREF1, LBISTREF2, MBISTREF, LBISTSIG1, LBISTSIG2, MBISTSIG, BSEQ0ST, BSEQ0STB, RESF, RESFC, BSEQ0CTL, CLKD0DIV, CLKD0STAT, CLKD1DIV, CLKD1STAT, MODER, CVMF, CVMDE, CVMON, CVMREN, POF

31.6.1 BIST レジスタ一覧

BIST 関連レジスタの一覧を以下の表に示します。

表 31.79 レジスタ一覧

レジスタ名	略語	アドレス
FieldBIST 制御レジスタ	BSEQ0CTL	FFF8 A440 _H
ロジック BIST シグネチャレジスタ 1	LBISTREF1	FFD6 9000 _H
ロジック BIST シグネチャレジスタ 2	LBISTREF2	FFD6 9004 _H
メモリ BIST シグネチャレジスタ	MBISTREF	FFD6 9008 _H
ロジック BIST シグネチャ結果レジスタ 1	LBISTSIG1	FFD6 900C _H
ロジック BIST シグネチャ結果レジスタ 2	LBISTSIG2	FFD6 9010 _H
メモリ BIST シグネチャ結果レジスタ	MBISTSIG	FFD6 9014 _H
BIST エラーステータスレジスタ	BSEQ0ST	FFD6 9020 _H
BIST エラーステータス反転レジスタ	BSEQ0STB	FFD6 9024 _H

注 1. FieldBIST の正常終了の確認フローは「31.6.3 BIST 正常終了の確認」を参照ください。

31.6.2 レジスタ詳細

31.6.2.1 BSEQ0CTL — FieldBIST 制御レジスタ

BSEQ0CTL は、リセット解除後に FieldBIST の実行を制御するレジスタです。このレジスタへのライトは、保護コマンドレジスタ PROT1PHCMD を使用した特定の命令シーケンスによって保護されています。

詳細については「4.3 書き込み保護レジスタ」を参照してください。

本レジスタは POCRES、CVMRES および DBRES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 A440_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HWBIS TEXE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 31.80 BSEQ0CTR レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	HWBISTEXE	0: リセット解除後、FieldBIST を実行しない 1: リセット解除後、FieldBIST を実行する

注 1. POCRES, CVMRES, DBRES 後は HWBISTEXE = 1 となるため、FieldBIST は実行されます。端子リセット (EXTRES)、ECM リセット (ECMRES) 時は、HWBISTEXE の設定により FieldBIST の実行可否を設定可能です。SWRES 時は、FieldBIST は HWBISTEXE の値によらず実行されません。

31.6.2.2 LBISTREF1 — ロジック BIST シグネチャレジスタ 1

LBISTREF1 は、ロジック BIST1 実行時の期待値を格納するレジスタです。

本レジスタは POCRES, DBRES, EXTRES, CVMRES, ECMRES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFD6 9000_H

リセット後の値 000A 5A5A_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	LBISTREF1 [19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LBISTREF1[15:0]															
リセット後の値	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.81 LBISTREF1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	LBISTREF1 [19:0]	ロジック BIST1 のシグネチャ値を格納しています。

31.6.2.3 LBISTREF2 — ロジック BIST シグネチャレジスタ 2

LBISTREF2 は、ロジック BIST2 実行時の期待値を格納するレジスタです。

本レジスタは POCRES, DBRES, EXTRES, CVMRES, ECMRES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFD6 9004_H

リセット後の値 0005 A5A5_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—												LBISTREF2 [19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LBISTREF2[15:0]															
リセット後の値	1	0	1	0	0	1	0	1	1	0	1	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.82 LBISTREF2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	LBISTREF2 [19:0]	ロジック BIST2 のシグネチャ値を格納しています。

31.6.2.4 MBISTREF — メモリ BIST シグネチャレジスタ

MBISTREF は、メモリ BIST 実行時の期待値を格納するレジスタです。

本レジスタは POCRES, DBRES, EXTRES, CVMRES, ECMRES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFD6 9008_H

リセット後の値 000A A55A_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	MBISTREF[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBISTREF[15:0]															
リセット後の値	1	0	1	0	0	1	0	1	0	1	0	1	1	0	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.83 LBISTREF2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	MBISTREF [19:0]	メモリ BIST のシグネチャ値を格納しています。

31.6.2.5 LBISTSIG1 — ロジック BIST シグネチャ結果レジスタ 1

LBISTSIG1 は、ロジック BIST1 の実行結果値を格納するレジスタです。

本レジスタは POCRES, DBRES, EXTRES, CVMRES, ECMRES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFD6 900C_H

リセット後の値 0005 A5A5_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	LBISTSIG1[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LBISTSIG1[15:0]															
リセット後の値	1	0	1	0	0	1	0	1	1	0	1	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.84 LBISTSIG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	LBISTSIG1 [19:0]	ロジック BIST1 の実行結果値を格納しています。

31.6.2.6 LBISTSIG2 — ロジック BIST シグネチャ結果レジスタ 2

LBISTSIG2 は、ロジック BIST2 の実行結果値を格納するレジスタです。

本レジスタは POCRES, DBRES, EXTRES, CVMRES, ECMRES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFD6 9010_H

リセット後の値 000A 5A5A_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	LBISTSIG2[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LBISTSIG2[15:0]															
リセット後の値	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.85 LBISTSIG2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	LBISTSIG2 [19:0]	ロジック BIST2 の実行結果値を格納しています。

31.6.2.7 MBISTSIG — メモリ BIST シグネチャ結果レジスタ

MBISTSIG は、メモリ BIST の実行結果値を格納するレジスタです。

本レジスタは POCRES, DBRES, EXTRES, CVMRES, ECMRES によって初期化されます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFD6 9014_H

リセット後の値 0005 5AA5_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	MBISTSIG[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBISTSIG[15:0]															
リセット後の値	0	1	0	1	1	0	1	0	1	0	1	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.86 MBISTSIG レジスタの内容

ビット位置	ビット名	機能
31 ~ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ~ 0	MBISTSIG[19:0]	メモリ BIST の実行結果値を格納しています。

31.6.2.8 BSEQ0ST — BIST エラーステータスレジスタ

BSEQ0ST は、FieldBIST のエラーステータスを格納するレジスタです。

本レジスタは POCRES, DBRES, EXTRES, CVMRES, ECMRES によって初期化されます。

アクセス BSEQ0ST レジスタは、32 ビット単位でリード可能です。

アドレス FFD6 9020_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	DEBUG MODE	BIST_RESULT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.87 BSEQ0ST レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	DEBUGMODE	0: デバッグモードではないことを示します。 1: デバッグモードを示します。
2 ~ 0	BIST_RESULT [2:0]	010 : 自己診断 BIST 正常終了 上記以外 : 自己診断 BIST 異常終了、未完了、未スタート

31.6.2.9 BSEQ0STB — BIST エラーステータス反転レジスタ

BSEQ0STB は、BSEQ0ST レジスタを反転した値を格納するレジスタです。

本レジスタは POCRES, DBRES, EXTRES, CVMRES, ECMRES によって初期化されます。

アクセス BSEQ0STB レジスタは、32 ビット単位でリード可能です。

アドレス FFD6 9024_H

リセット後の値 0000 000E_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	DEBUG MODEB	BIST_RESULTB[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.88 BSEQ0STB レジスタの内容

ビット位置	ビット名	機能
31 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	DEBUGMODEB	BSEQ0ST レジスタの DEBUGMODE ビットの反転した値を示します。
2 ~ 0	BIST_RESULTB[2:0]	BSEQ0ST レジスタの BIST_RESULT[2:0] ビットの反転した値を示します。

31.6.3 BIST 正常終了の確認

FieldBIST 実行結果は以下のレジスタにて確認ができます。

- FieldBIST のシグネチャ一致を確認

ロジック BIST シグネチャレジスタ 1/2、メモリ BIST シグネチャレジスタに格納されている期待値とロジック BIST シグネチャ結果レジスタ 1/2、メモリ BIST シグネチャ結果レジスタに格納されている結果の値が一致することで FieldBIST の実行結果が正常であることを確認します。

LBISTREF1 = LBISTSIG1

LBISTREF2 = LBISTSIG2

MBISTREF = MBISTSIG

- エラーステータスの確認

BIST エラーステータスレジスタにより BIST シーケンスが正常に終了したことを確認します。また、BSEQ0STB レジスタ値は BSEQ0ST レジスタ値の反転値を示します。

BSEQ0ST = 0000 0002_H

- デバッグモードについて

デバッグモード ($\overline{\text{DCUTRST}} = \text{H}$) 時は LBISTREF1 レジスタ、LBISTREF2 レジスタ、MBISTREF レジスタへの期待値、及び LBISTSIG1 レジスタ、LBISTSIG2 レジスタ、MBISTSIG レジスタへの実行結果値は格納されません。DEBUGMODE の値にて、判断するプログラムとしてください。

31.6.4 Field BIST 状態遷移図

Field BIST の状態遷移について下記に示します。

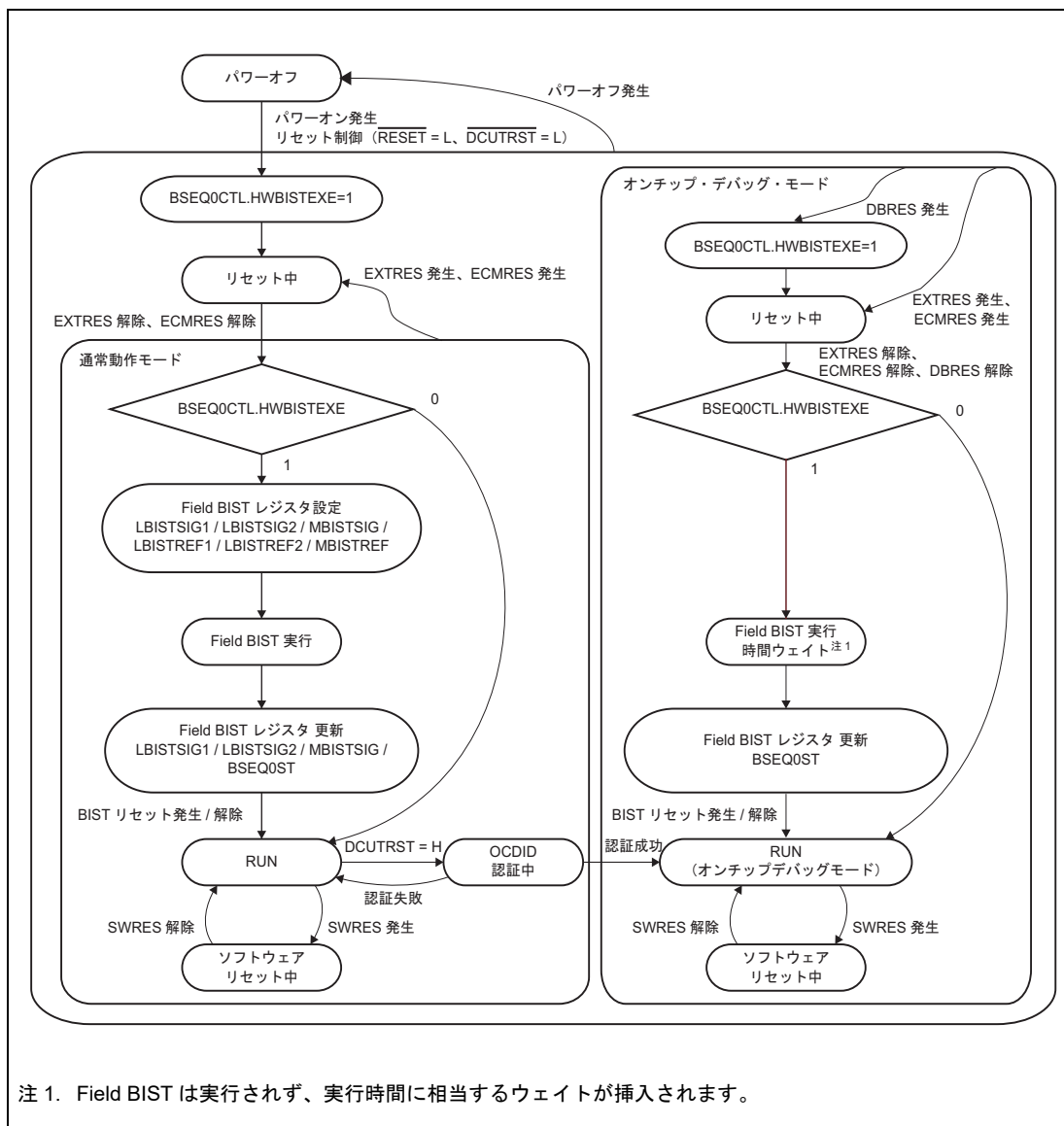


図 31.3 Field BIST 状態遷移図

31.6.5 注意事項

本製品では、Field BIST を実行する際に、テストコードを読み込みます。テストコード読み込み時、ECC1 ビットエラーが発生した場合、訂正されたテストコードで Field BIST を実行します。ECC2 ビットエラーが発生した場合、Field BIST は実行されず、実行時間に相当するウェイトが挿入されます。また、ECC1 ビットエラーまたは ECC2 ビットエラー発生時は ECM へ通知されます。詳細は、**表 32.4 エラー要因概要**を参照ください。

31.7 ECM

ECM は、チップ内における様々な故障検出状況を監視し、故障検出時の動作を指定するための機能です。ECM については、「**第 32 章 エラーコントロールモジュール (ECM)**」をご参照ください。

第 32 章 エラーコントロールモジュール (ECM)

32.1 概要

32.1.1 仕様概要

ECM (Error Control Module) にはさまざまなエラーソースやモニタ回路で発生するエラー信号が入力され、ERROROUT 端子からエラー信号を出力したり、割り込みや内部リセット (ECMRES) 信号を発生します。ECM の仕様概要を表 32.1 に示します。

表 32.1 仕様概要

項目	説明
セーフティ処理	各モジュールからのエラー信号入力に対して、下記処理を行うことができます。 <ul style="list-style-type: none"> エラーフラグセット EI レベル割り込み発生 エラーごとの EI レベル割り込み発生制御 (許可 / 禁止) 可能です。 FE レベル割り込み発生 エラーごとの FE レベル割り込み発生制御 (許可 / 禁止) 可能です。 内部リセット (ECMRES) 発生 エラーごとの内部リセット (ECMRES) 発生制御 (許可 / 禁止) 可能です。 ERROROUT 出力 エラーごとの端子出力マスク制御 (許可 / 禁止) 可能です。 タイマ入力によるトグル出力、またはレベル固定出力が可能です。
エラーステータス	ECM マスタ / チェッカエラーソースステータスレジスタを搭載し、エラーフラグからエラー状態を確認することができます。 エラーフラグは ECM エラーソースステータスクリアトリガレジスタと POCRES、CVMRES および DBRES でのみクリアされます。その他のリセットではエラーフラグは保持され、リセット後に ECM マスタ / チェッカエラーソースステータスレジスタを読み出すことでリセット発生要因を確認することができます。
デバッグ、自己診断	<ul style="list-style-type: none"> デバッグ、自己診断用に疑似エラーを発生させることができます。 疑似エラー発生時の動作は、実際にエラーが発生した場合と同じです。 ERROROUT 出力のマスクや割り込み、内部リセット (ECMRES) の設定はすべて反映されます。 ERROROUT 端子までのパスの診断のために、ERROROUT 出力のループバック機能を搭載します。 ERROROUT 端子の状態が内部レジスタに反映され、レジスタを読み出すことで ERROROUT 端子の状態を確認することができます。
タイムアウト機能	割り込み発生と同時にディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウント値がディレイタイマコンペアレジスタと一致した場合に ERROROUT 出力、または内部リセット (ECMRES) を発生する機能を搭載します。
レジスタ保護	不正な書き込みからレジスタを保護するために、特定シーケンスによるレジスタの書き込み保護を行います。
その他	ECM は 2 重化します。 ERROROUT 端子を搭載します。 ECM マスタと ECM チェッカの ERROROUT 出力を常時比較し、不一致の場合 ECM コンペアエラー (エラー要因 29) が発生します。

32.1.2 リセット要因

ECM のリセット要因を以下に示します。ECM は以下のリセット要因で初期化されます。

表 32.2 リセット要因

ユニット名	リセット要因
ECM	リセットコントローラ SYSRES

注 意

ECMmESSTR0 レジスタ (m=M/C)、ECMmESSTR1 レジスタ (m=M/C) は POCRES、CVMRES および DBRES によって初期化されます。

32.1.3 エラー要因

RH850/P1x の ECM のエラー要因を表 32.3 に示します。

表 32.3 エラー要因一覧 (1/2)

No	エラー要因	ユニット	初期設定					
			EI レベル 割り込み		FE レベル 割り込み		内部リ セット (ECMR ES)	エラー マスク
			ディレイ タイム スタート	ディレイ タイム スタート	ディレイ タイム スタート	ディレイ タイム スタート		
0	WDTA エラー	WDTA	OFF	OFF	OFF	OFF	ON	OFF
1	ロックステップコンペアエラー	ロックステップ	OFF	OFF	OFF	OFF	ON	OFF
2	reserved		—	—	—	—	—	—
3	reserved		—	—	—	—	—	—
4	クロックモニタ上限エラー (MainOSC)	CLMA0	OFF	OFF	OFF	OFF	OFF	OFF
5	クロックモニタ下限エラー (MainOSC)		OFF	OFF	OFF	OFF	OFF	OFF
6	クロックモニタ上限エラー (WDTA カウントクロック)	CLMA2	OFF	OFF	OFF	OFF	OFF	OFF
7	クロックモニタ下限エラー (WDTA カウントクロック)		OFF	OFF	OFF	OFF	OFF	OFF
8	クロックモニタ上限エラー (周辺クロック)	CLMA1	OFF	OFF	OFF	OFF	OFF	OFF
9	クロックモニタ下限エラー (周辺クロック)		OFF	OFF	OFF	OFF	OFF	OFF
10	クロックモニタ上限エラー (PE1 チェッカコアのクロック)	CLMA3	OFF	OFF	OFF	OFF	OFF	OFF
11	クロックモニタ下限エラー (PE1 チェッカコアのクロック)		OFF	OFF	OFF	OFF	OFF	OFF
12	Local RAM ECC2 ビットエラー	Local RAM	OFF	OFF	OFF	OFF	OFF	OFF
13	Reserved		—	—	—	—	—	—
14	命令キャッシュ RAM ECC 2 ビットエラーおよび SED エラー	命令キャッシュ RAM	OFF	OFF	OFF	OFF	OFF	OFF
15	コードフラッシュ ECC 2 ビットエラーおよびアドレスパリティエラー	コードフラッシュ	OFF	OFF	OFF	OFF	OFF	OFF
16	データフラッシュ ECC 2 ビットエラー	データフラッシュ	OFF	OFF	OFF	OFF	OFF	OFF
17	DTS RAM ECC 2 ビットエラー	DTS RAM	OFF	OFF	OFF	OFF	OFF	OFF
18	CSIH RAM ECC 2 ビットエラー	CSIH RAM	OFF	OFF	OFF	OFF	OFF	OFF
19	CAN RAM ECC 2 ビットエラー	CAN RAM	OFF	OFF	OFF	OFF	OFF	OFF
20	FlexRay RAM ECC 2 ビットエラー	FlexRay RAM	OFF	OFF	OFF	OFF	OFF	OFF
21	モードエラー (シングルチップモード設定中にフラッシュプログラミングモード起動)	動作モード	OFF	OFF	OFF	OFF	OFF	OFF
22	モードエラー (シングルチップモード設定中にテストモード起動)	動作モード	OFF	OFF	OFF	OFF	OFF	OFF
23	モードエラー (シングルチップモード設定中にシングルチップモードインアクティブ)	動作モード	OFF	OFF	OFF	OFF	OFF	OFF
24	PE ガードエラー	PE ガード	OFF	OFF	OFF	OFF	OFF	OFF
25	Reserved		—	—	—	—	—	—

表 32.3 エラー要因一覧 (2/2)

No	エラー要因	ユニット	初期設定					
			EI レベル 割り込み		FE レベル 割り込み		内部リ セット (ECMR ES)	エラー マスク
				ディレイ タイマ スタート		ディレイ タイマ スタート		
26	P-Bus ガードエラー	P-Bus ガード	OFF	OFF	OFF	OFF	OFF	OFF
27	SAR-ADC パリティエラー	ADC0、ADC1	OFF	OFF	OFF	OFF	OFF	OFF
28	バスデータパリティエラー	バスデータパリティ	OFF	OFF	OFF	OFF	OFF	OFF
29	ECM コンペアエラー	ECM	OFF	OFF	OFF	OFF	OFF	OFF
30	LVI エラー	LVI	OFF	OFF	OFF	OFF	OFF	OFF
31	温度センサエラー	温度センサ	OFF	OFF	OFF	OFF	OFF	OFF
32	DMA 転送エラー	DMA	OFF	OFF	OFF	OFF	OFF	OFF
33	DMA レジスタアクセス保護違反エラー	DMA	OFF	OFF	OFF	OFF	OFF	OFF
34	Local RAM ECC 1 ビットエラー	Local RAM	OFF	OFF	OFF	OFF	OFF	OFF
35	Reserved		—	—	—	—	—	—
36	コードフラッシュ ECC 1 ビットエラー	コードフラッシュ	OFF	OFF	OFF	OFF	OFF	OFF
37	データフラッシュ ECC 1 ビットエラー	データフラッシュ	OFF	OFF	OFF	OFF	OFF	OFF
38	DTS RAM ECC 1 ビットエラー	DTS	OFF	OFF	OFF	OFF	OFF	OFF
39	全周辺機能 RAM ECC 1 ビットエラー	CSIH/CAN/FlexRay/ RAM	OFF	OFF	OFF	OFF	OFF	OFF
40	BIST コード ECC 1 ビットエラー	BIST	OFF	OFF	OFF	OFF	OFF	OFF
41	BIST コード ECC 2 ビットエラー	BIST	OFF	OFF	OFF	OFF	OFF	OFF
42	FACI リセット転送エラー	FACI	OFF	OFF	OFF	OFF	OFF	OFF

備 考

OFF : 各エラー発生時に、EI レベル割り込み / FE レベル割り込み / 内部リセット (ECMR ES) / ディレイタイマスタートが発生しないこと、エラーマスクを実施しないことを示す。

ON : 各エラー発生時に、EI レベル割り込み / FE レベル割り込み / 内部リセット (ECMR ES) / ディレイタイマスタートが発生すること、エラーマスクを実施することを示す。

エラー要因の概要を表 32.4 に示します。

表 32.4 エラー要因概要 (1/2)

No	モジュール	エラー要因	備考
0	WDTA	WDTA エラー	WDTA がエラーを検出した場合に発生します。詳細は「21.5.3 WDTA エラー検出」を参照してください。
1	ロックステップ	ロックステップコンペアエラー	下記の場合に発生します。 <ul style="list-style-type: none"> マスタコアとチェッカコアの出力に不一致があった場合 冗長化されている DMA の出力に不一致があった場合
4-11	CLMA0-3	クロックモニタ上限 / 下限エラー	クロックモニタでモニタ対象クロックの周波数異常を検出した場合に発生します。詳細は「31.5 クロックモニタ」を参照してください。
12	Local RAM	Local RAM ECC2 ビットエラー	Local RAM 用 ECC が ECC2 ビットエラーを検出した場合に発生します。詳細は「31.2.4 Local RAM (CPU1) の ECC」を参照してください。
14	命令キャッシュ RAM	命令キャッシュ RAM ECC 2 ビットエラーおよび SED エラー	命令キャッシュ用 ECC が ECC2 ビットエラーを検出、または ECC1 ビットエラーを検出した場合に発生します。詳細は「31.2.5 命令キャッシュの ECC および EDC」を参照してください。
15	コードフラッシュ	コードフラッシュ ECC 2 ビットエラーおよびアドレスパリティエラー	コードフラッシュ用 ECC が ECC2 ビットエラーを検出、またはアドレスのパリティエラーを検出した場合に発生します。詳細は「31.2.2 Code Flash の ECC およびアドレスパリティ」を参照してください。
16	データフラッシュ	データフラッシュ ECC 2 ビットエラー	データフラッシュ用 ECC が ECC2 ビットエラーを検出した場合に発生します。詳細は「31.2.3 Data Flash の ECC」を参照してください。
17	DTS RAM	DTS RAM ECC 2 ビットエラー	DTSRAM から転送情報を読み出す際に ECC2 ビットエラーが検出された場合、発生します。詳細は「7.4.3 DTSRAM エラー」を参照してください。
18	CSIH RAM	CSIH RAM ECC 2 ビットエラー	CSIH RAM からデータを読み出す際に ECC2 ビットエラーが検出された場合に発生します。
19	CAN RAM	CAN RAM ECC 2 ビットエラー	CAN RAM からデータを読み出す際に ECC2 ビットエラーが検出された場合に発生します。
20	FlexRay RAM	FlexRay RAM ECC 2 ビットエラー	FlexRay RAM からデータを読み出す際に ECC2 ビットエラーが検出された場合に発生します。
21	動作モード	モードエラー (シングルチップモード設定中にシリアルプログラミングモードに遷移)	シングルチップモード設定 (FLMD0 = 0) 中にシリアルプログラミングモードが意図的でなく遷移された場合に発生します。
22	動作モード	モードエラー (シングルチップモード設定中にテストモードに遷移)	シングルチップモード設定 (FLMD0 = 0) 中にプロダクションテストモードが意図的でなく遷移された場合に発生します。
23	動作モード	モードエラー (シングルチップモード設定中にシングルチップモードインアクティブ)	シングルチップモード設定 (FLMD0 = 0) 中にシングルチップモードが意図的でなく無効化された場合に発生します。
24	PE ガード	PE ガードエラー	PE ガード機能 (PEG) が PE ガード違反を検出した場合に発生します。詳細は「3.2.3.1 PE ガード機能 (PEG)」を参照してください。
26	P-Bus ガード	P-Bus ガードエラー	PBG モジュールがエラーを検出した場合に発生します。詳細は「31.4.2 PBG」を参照してください。
27	ADC0、ADC1	SAR-ADC パリティエラー	ADCA が AD パリティエラーを検出した場合に発生します。詳細は「30.4.5.2 AD エラー割り込み要求と AD パリティエラー割り込み要求」を参照してください。
28	バスデータパリティ	バスデータパリティエラー	データパリティの対象となる転送経路でパリティエラーを検出した場合に発生します。詳細は「31.2.8 データ転送経路のデータパリティ」を参照してください。
29	ECM	ECM コンペアエラー	ECM マスタと ECM チェッカの ERROROUT 出力が不一致となる場合に発生します。

表 32.4 エラー要因概要 (2/2)

No	モジュール	エラー要因	備考
30	LVI	LVI エラー	LVI がエラーを検出した場合に発生します。詳細は「 10.2 低電圧検出回路 (LVI) 」を参照してください。
31	温度センサ	温度センサエラー	温度センサが温度異常エラーを検出した場合に発生します。詳細は「 第 11 章 温度センサ 」を参照してください。
32	DMA	DMA 転送エラー	DMA 転送エラーが検出された場合に発生します。詳細は「 7.4.2 DMA 転送エラー 」を参照してください。
33	DMA	DMA レジスタアクセス保護違反エラー	DMA のレジスタアクセス保護機能が不正なアクセスを検出した場合に発生します。詳細は「 7.5 信頼性機能 」を参照してください。
34	Local RAM	Local RAM ECC 1 ビットエラー	Local RAM 用 ECC が ECC1 ビットエラーを検出した場合に発生します。詳細は「 31.2.4 Local RAM (CPU1) の ECC 」を参照してください。
36	コードフラッシュ	コードフラッシュ ECC 1 ビットエラー	コードフラッシュ用 ECC が ECC1 ビットエラーを検出した場合に発生します。詳細は「 31.2.2 Code Flash の ECC およびアドレスパリティ 」を参照してください。
37	データフラッシュ	データフラッシュ ECC 1 ビットエラー	データフラッシュ用 ECC が ECC1 ビットエラーを検出した場合に発生します。詳細は「 31.2.3 Data Flash の ECC 」を参照してください。
38	DTS	DTS RAM ECC 1 ビットエラー	DTSRAM から転送情報を読み出す際に ECC1 ビットエラーが検出された場合に発生します。詳細は「 7.4.3 DTSRAM エラー 」を参照してください。
39	CSIH / CAN / FlexRay RAM	全周辺機能 RAM ECC 1 ビットエラー	CSIH RAM、CAN RAM、FlexRay RAM データを読み出す際に ECC1 ビットエラーが検出された場合に発生します。
40	BIST	BIST コード ECC 1 ビットエラー	BIST を実行する際に、テストコード読み込み時に ECC1 ビットエラーが検出された場合に発生します。エラーフラグは BIST 実行後に ECM マスタ / チェッカエラーソースステータスレジスタ 1 に格納されます。
41	BIST	BIST コード ECC 2 ビットエラー	BIST を実行する際に、テストコード読み込み時に ECC2 ビットエラーが検出された場合に発生します。エラーフラグは BIST 実行後に ECM マスタ / チェッカエラーソースステータスレジスタ 1 に格納されます。
42	FACI	FACI リセット転送エラー	FACI リセット転送エラーが検出された場合に発生します。詳細は ユーザーズマニュアルハードウェアインタフェース編 を参照してください。

32.1.4 ERROROUT 出力動作

リセット解除後、ERROROUT 端子の状態はエラー出力をしています。「**32.3.3 ECMmECLR — ECM マスタ / チェッカエラークリアトリガレジスタ (m=M/C)**」に記載の手順でエラー出力をクリアしてから使用してください。

ERROROUT 出力はノンダイナミックモードとダイナミックモードの2つの動作モードを設定できます。また、ERROROUT 出力は、ダイナミックモードのパルス周期にかかわらず、エラー要因発生に同期して端子状態をエラー出力とします。

表 32.5 ERROROUT 出力動作

エラー状態 ECMmSSE031 ~ ECMmSSE000 ECMmSSE115 ~ ECMmSSE100	動作モード ECMSL0 ビット	ERROROUT 出力の動作 モード	ERROROUT 出力レベル	エラー状態
0	0	ノンダイナミック	H	エラーなし
	1	ダイナミック	トグル (タイマ入力による)	エラーなし
1	0	ノンダイナミック	L	エラー
	1	ダイナミック	L	エラー

32.1.4.1 ダイナミックモードを有効にする

1. ECMEPCTL レジスタでタイマ出力を選択する（「**32.3.26 ECMEPCTL — ECM エラーパルスコントロールレジスタ**」参照）。
2. OSTM1/TAUD1 のチャンネル 15 を初期化する。
3. ECM マスタ / チェッカエラークリアトリガレジスタの ECMmECT (m = M/C) ビットを 1 に設定して ERROROUT 出力を正常出力にします。
4. ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 1 にしてダイナミックモードに設定します。
5. OSTM1/TAUD1 のチャンネル 15 を起動します。

32.1.4.2 ダイナミックモードを無効にする

1. ECM マスタ / チェッカエラーセットトリガレジスタの ECMmEST (m = M/C) ビットを 1 に設定して ERROROUT 出力をエラーレベルにします。
2. OSTM1/TAUD1 のチャンネル 15 を停止します。
3. ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 0 にしてノンダイナミックモードに設定します。

32.1.5 ループバック機能

ERROROUT 端子までの経路を確認するためにループバック機能を搭載します。ERROROUT 端子の出力レベルを ECM マスタ / チェッカエラーソースステータスレジスタ 1 の ECMmSSE131 (m = M/C) ビットで確認できます。

32.1.6 疑似エラー発生

テストまたはデバッグ用にエラーを疑似的に発生する機能を搭載しています。疑似エラーを挿入するときのECMの動作は実際のエラー発生時と同じです。エラーマスク、割り込み、内部リセット (ECMRES)、ディレイタイマに対する設定はすべて反映されます。

32.1.7 エラー状態

エラー状態はECMマスタ/チェッカエラーソースステータスレジスタ0とECMマスタ/チェッカエラーソースステータスレジスタ1で表示されます。エラー状態はECMエラーソースステータスクリアトリガレジスタとPOCRES、CVMRESおよびDBRESでのみクリアされます。その他のリセットではエラー状態は保持され、リセット解除後にECMマスタ/チェッカエラーソースステータスレジスタ0とECMマスタ/チェッカエラーソースステータスレジスタ1を読み出すことでリセット要因となったエラーを確認できます。

32.1.8 割り込み処理のタイムアウト機能

割り込み要求発生と同時にECMに搭載するディレイタイマをスタートすることが可能です。割り込み処理中にディレイタイマを停止できず、ディレイタイマカウント値とECMディレイタイマコンペアレジスタの値が一致した場合は、ERROROUT出力、または内部リセット (ECMRES) を発生します。ブレーク発生時はタイマカウントを停止しません。

ディレイタイマのカウントは常に0から開始します。ECMディレイタイマコンペアレジスタの設定値で内部リセット (ECMRES) または、ERROROUT出力が発生するまでの時間を決定してください。

ディレイタイマ動作中に、ディレイタイマをスタートに設定した新たなエラー要因が発生した場合、現在動作しているディレイタイマのカウント値はリセットされず動作を継続します。

クロックモニタ上限/下限エラー (エラー No.4 ~ 11) に対して、ディレイタイマを設定しないでください。

ディレイタイマ使用例：

1. ディレイタイマを使用するエラー要因に対し、ECM EI 割り込み (ECMMICFG0, ECMMICFG1) を有効に設定します。
2. ディレイタイマオーバフローによるECMリセット (ECMIRCFG1) を設定します。
3. ディレイタイマを有効に設定 (ECMDTMCTL.ECMSTA = 1) します。
4. ディレイタイマを使用するエラー要因に対し、ERROROUT出力をマスク設定 (ECMEMK0, ECMEMK1) します。
5. ディレイタイマを使用するエラー要因が発生した場合、ECM EI 割り込み発生と同時にディレイタイマのカウントがスタートします。
6. ECM EI 割り込みハンドラ内でエラーを処理し、エラー状態から復帰する場合、ディレイタイマのカウントを停止 (ECMDTMCTL.ECMSTP = 1) し、次のディレイタイマを有効に設定 (ECMDTMCTL.ECMSTA = 1) します。

ディレイタイマのカウント停止前にオーバフローが発生した場合、ECMリセットが発生します。

32.2 ブロック図

ECM のブロック図を図 32.1、図 32.2 に示します。

ERROROUT 出力、内部リセット (ECMRES)、ERROROUTZ 信号はロウアクティブ、マスクابل割り込みと FE レベル割り込みはハイアクティブの信号です。なお、ECM をダイナミックモードに設定しても、PIC1 への ERROROUTZ 信号はトグルしません。

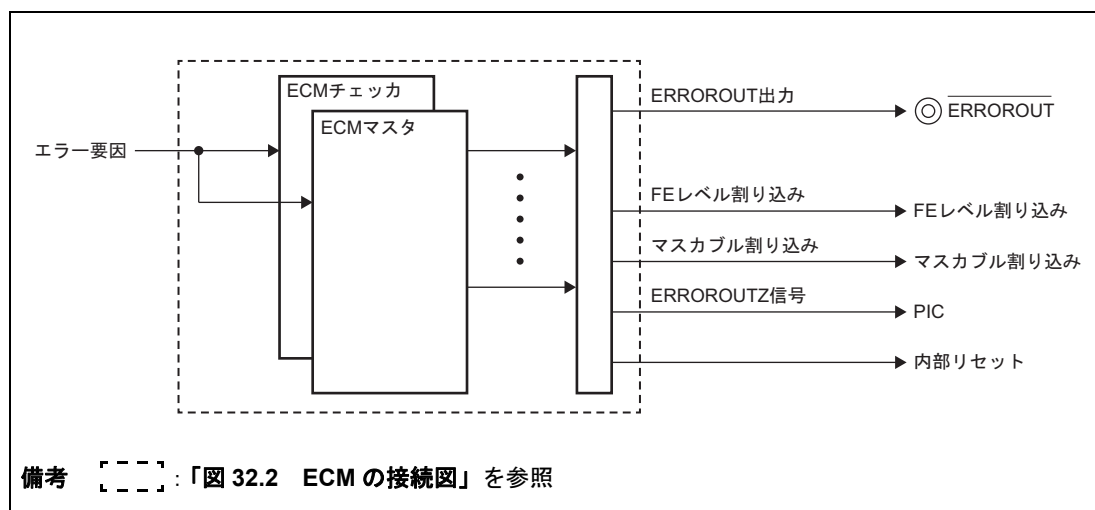


図 32.1 ECM の概要

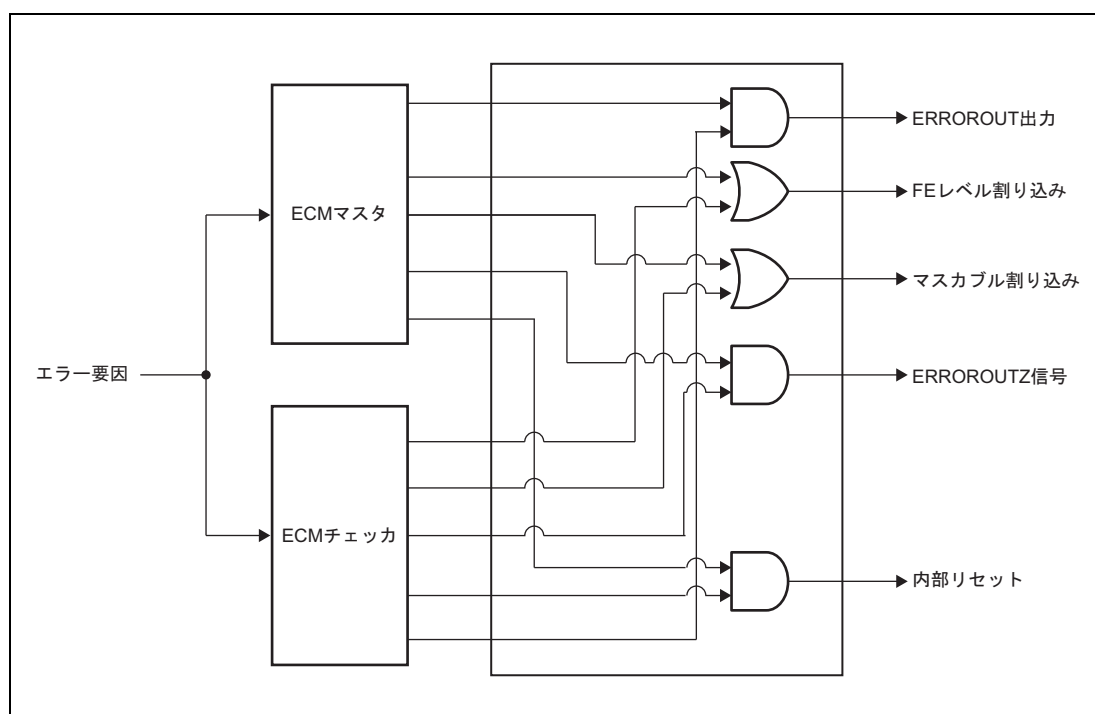


図 32.2 ECM の接続図

32.3 レジスタ仕様

32.3.1 レジスタ一覧

ECM は共通部、ECM マスタ、ECM チェッカの 3 つのアドレス領域に分かれます。

ECM マスタレジスタのレジスタマップを下記に示します。

表 32.6 ECM マスタレジスタアドレス一覧

<ECMM_base : FFD6 0000_H>

レジスタ シンボル	レジスタ名	R/W	リセット後 の値	シーケンス による保護	アドレス
ECMMESET	ECM マスタエラーセットトリガレジスタ	W	00 _H	あり	<ECMM_base>
ECMMECLR	ECM マスタエラークリアトリガレジスタ	W	00 _H	あり	<ECMM_base> + 04 _H
ECMMESSTR0	ECM マスタエラーソースステータスレジスタ 0	R	0000 0000 _H	なし	<ECMM_base> + 08 _H
ECMMESSTR1	ECM マスタエラーソースステータスレジスタ 1	R	0000 0000 _H	なし	<ECMM_base> + 0C _H

ECM チェッカレジスタのレジスタマップを下記に示します。

表 32.7 ECM チェッカレジスタアドレス一覧

<ECMC_base : FFD6 1000_H>

レジスタ シンボル	レジスタ名	R/W	リセット後 の値	シーケンス による保護	アドレス
ECMCESET	ECM チェッカエラーセットトリガレジスタ	W	00 _H	あり	<ECMC_base>
ECMCECLR	ECM チェッカエラークリアトリガレジスタ	W	00 _H	あり	<ECMC_base> + 04 _H
ECMCESSTR0	ECM チェッカエラーソースステータスレジスタ 0	R	0000 0000 _H	なし	<ECMC_base> + 08 _H
ECMCESSTR1	ECM チェッカエラーソースステータスレジスタ 1	R	0000 0000 _H	なし	<ECMC_base> + 0C _H

ECM レジスタのレジスタマップを下記に示します。

表 32.8 ECM レジスタアドレス一覧

<ECM_base : FFD6 2000_H>

レジスタ シンボル	レジスタ名	R/W	リセット後 の値	シーケンス による保護	アドレス
ECMEPCFG	ECM エラーパルスコンフィグレーションレジスタ	R/W	00 _H	あり	<ECM_base>
ECMMICFG0	ECMEI レベル割り込みコンフィグレーション レジスタ 0	R/W	0000 0000 _H	あり	<ECM_base> + 04 _H
ECMMICFG1	ECMEI レベル割り込みコンフィグレーション レジスタ 1	R/W	0000 0000 _H	あり	<ECM_base> + 08 _H
ECMNMICFG0	ECM FE レベル割り込みコンフィグレーションレジ スタ 0	R/W	0000 0000 _H	あり	<ECM_base> + 0C _H
ECMNMICFG1	ECM FE レベル割り込みコンフィグレーションレジ スタ 1	R/W	0000 0000 _H	あり	<ECM_base> + 10 _H
ECMIRCFG0	ECM 内部リセットコンフィグレーションレジスタ 0	R/W	0000 000F _H	あり	<ECM_base> + 14 _H
ECMIRCFG1	ECM 内部リセットコンフィグレーションレジスタ 1	R/W	0000 0000 _H	あり	<ECM_base> + 18 _H
ECMEMK0	ECM エラーマスクレジスタ 0	R/W	0000 0000 _H	あり	<ECM_base> + 1C _H
ECMEMK1	ECM エラーマスクレジスタ 1	R/W	0000 0000 _H	あり	<ECM_base> + 20 _H
ECMESSTC0	ECM エラーソースステータスクリアトリガレジスタ 0	W	0000 0000 _H	あり	<ECM_base> + 24 _H
ECMESSTC1	ECM エラーソースステータスクリアトリガレジスタ 1	W	0000 0000 _H	あり	<ECM_base> + 28 _H
ECMPE0	ECM 疑似エラートリガレジスタ 0	W	0000 0000 _H	あり	<ECM_base> + 34 _H
ECMPE1	ECM 疑似エラートリガレジスタ 1	W	0000 0000 _H	あり	<ECM_base> + 38 _H
ECMDTMCTL	ECM ディレイタイムコントロールレジスタ	W	00 _H	あり	<ECM_base> + 3C _H
ECMDTMR	ECM ディレイタイムレジスタ	R	0000 _H	なし	<ECM_base> + 40 _H
ECMDTMCMP	ECM ディレイタイムコンペアレジスタ	R/W	0000 _H	あり	<ECM_base> + 44 _H
ECMDTMCFG0	ECM ディレイタイムコンフィグレーションレジスタ 0	R/W	0000 0000 _H	あり	<ECM_base> + 48 _H
ECMDTMCFG1	ECM ディレイタイムコンフィグレーションレジスタ 1	R/W	0000 0000 _H	あり	<ECM_base> + 4C _H
ECMDTMCFG2	ECM ディレイタイムコンフィグレーションレジスタ 2	R/W	0000 0000 _H	あり	<ECM_base> + 50 _H
ECMDTMCFG3	ECM ディレイタイムコンフィグレーションレジスタ 3	R/W	0000 0000 _H	あり	<ECM_base> + 54 _H
ECMEPCTL	ECM エラーパルスコントロールレジスタ	R/W	00 _H	なし	FFD6 3000 _H

ECM のレジスタは ECM 共通レジスタ、ECM マスタレジスタ、ECM チェッカレジスタの 3 つのアドレス領域に分かれます。ECM 共通レジスタはマスタとチェッカで共通のレジスタ領域です。共通領域のレジスタへの書き込みはマスタ・チェッカで同時にそれぞれ実行されます。共通領域の読み出しは、マスタのレジスタの値が読み出されます。ECM マスタレジスタと ECM チェッカレジスタは個別に書き込み可能です。

32.3.2 ECMmESET — ECM マスタ / チェッカエラーセットトリガレジスタ (m=M/C)

ECM マスタ / チェッカエラーセットトリガレジスタは $\overline{\text{ERROROUT}}$ 端子から出力するエラー信号をエラー出力に設定するためのレジスタです。ECMmEST ビットに 1 をセットされると $\overline{\text{ERROROUT}}$ 端子からはエラー出力が出力されます。出力をマスクすることはできません。このレジスタへのライトは、保護コマンドレジスタ ECMPCMD0/ECMCPCMD0/ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

このレジスタの読み出し値は常に 00_H です。

アクセス 8 ビット単位でライト可能です。

アドレス <ECMM_base>
<ECMC_base>

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMmEST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 32.9 ECMmESET レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ECMmEST	エラーセットトリガビット 0: 0 書き込みは無効。 1: $\overline{\text{ERROROUT}}$ 端子からの出力レベルをエラー出力に設定します。

注 意

ECMmESET レジスタで $\overline{\text{ERROROUT}}$ 出力のセットを行うことで ECMmESSTR0 レジスタの ECMmSSE029 ビット (ECM コンペアエラー) がセットされますので、下記手順で ECMmESET レジスタを設定する必要があります。

- ECMEMK0 レジスタの ECMEMK029 ビットを「マスクあり」に設定します。
- 割り込みを生成しないために、ECMMICFG0 レジスタの ECMIE029 ビットを「禁止」に、ECNMICFG0 レジスタの ECMIE029 ビットを「禁止」に設定します。
- 内部リセット (ECMRES) は生成しないために、ECMIRCFG0 レジスタの ECMIRE029 ビットを「禁止」に設定します。
- ECMmESET レジスタで $\overline{\text{ERROROUT}}$ 出力のセットを行います。
- ECMESSTC0 レジスタの ECMCLSSE029 ビットでエラーをクリアします。
- ECM コンペアエラーの使用条件に応じて以下の設定を行います。
 - $\overline{\text{ERROROUT}}$ 端子から $\overline{\text{ERROROUT}}$ 出力する場合、ECMEMK0 レジスタの ECMEMK029 ビットを「マスクなし」に設定します。
 - 割り込みを生成する場合、ECMMICFG0 レジスタの ECMIE029 ビットを「許可」または、ECNMICFG0 レジスタの ECMIE029 ビットを「許可」に設定します。
 - 内部リセット (ECMRES) を生成する場合、ECMIRCFG0 レジスタの ECMIRE029 ビットを「許可」に設定します。

32.3.3 ECMmECLR — ECM マスタ / チェッカエラークリアトリガレジスタ (m=M/C)

ECM マスタ / チェッカエラークリアトリガレジスタは $\overline{\text{ERROROUT}}$ 端子から出力するエラー信号をインアクティブレベル (ハイレベルまたはトグル) に設定するためのレジスタです。ECMmECT ビットに 1 をセットされると他に $\overline{\text{ERROROUT}}$ 端子をロウレベルにする要因がない場合には、 $\overline{\text{ERROROUT}}$ 端子からはインアクティブレベル (ハイレベルまたはトグル) が出力されます。

このレジスタへのライトは、保護コマンドレジスタ ECMMPCMD0/ECMCPCMD0/ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

このレジスタの読み出し値は常に 00_H です。

	アクセス 8ビット単位でライト可能です							
	アドレス <ECMM_base>+04 _H <ECMC_base>+04 _H							
	リセット後の値 00 _H							
ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMmECT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 32.10 ECMmECLR レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	ライトする場合はリセット後の値を書き込んでください。
0	ECMmECT	エラークリアトリガビット 0: 書き込みは無効。 1: $\overline{\text{ERROROUT}}$ 端子からの出力レベルをインアクティブレベル (ハイレベルまたはトグル) に設定します。

注 意

ERROROUT 出力のクリアは、ECMEMK0/1 によってマスクされていないすべてのエラーおよび ECMmESSTR1 レジスタの ECMmSSE130 ビットが、あらかじめクリアされている場合にのみ可能です。

ECMmECLR レジスタで ERROROUT 出力のクリアを行うことで ECMmESSTR0 レジスタの ECMmSSE029 ビット (ECM コンペアエラー) がセットされますので、下記手順で ECMmECLR レジスタを設定する必要があります。

- ECMEMK0 レジスタの ECMEMK029 ビットを「マスクあり」に設定します。
- 割り込みを生成しないために、ECMMICFG0 レジスタの ECMIE029 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNIE029 ビットを「禁止」に設定します。
- 内部リセット (ECMRES) は生成しないために、ECMIRCFG0 レジスタの ECMIRE029 ビットを「禁止」に設定します。
- ECMmECLR レジスタで ERROROUT 出力のクリアを行います。
- ECMESSTC0 レジスタの ECMCLSSE029 ビットでエラーをクリアします。
- ECM コンペアエラーの使用条件に応じて以下の設定を行います。
 - ERROROUT 端子から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK029 ビットを「マスクなし」に設定します。
 - 割り込みを生成する場合、ECMMICFG0 レジスタの ECMIE029 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNIE029 ビットを「許可」に設定します。
 - 内部リセット (ECMRES) を生成する場合、ECMIRCFG0 レジスタの ECMIRE029 ビットを「許可」に設定します。

32.3.4 ECMmESSTR0 — ECM マスタ / チェッカエラーソースステータスレジスタ 0 (m=M/C)

ECM マスタ / チェッカエラーソースステータスレジスタ 0 は個々の内部エラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは ECM エラーソースステータスクリアトリガレジスタと POCRES、CVMRES および DBRES でのみ実行できます。その他のリセットが発生してもこのレジスタに影響はありません。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base>+08_H
<ECMC_base>+08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMmSSE031	ECMmSSE030	ECMmSSE029	ECMmSSE028	ECMmSSE027	ECMmSSE026	—	ECMmSSE024	ECMmSSE023	ECMmSSE022	ECMmSSE021	ECMmSSE020	ECMmSSE019	ECMmSSE018	ECMmSSE017	ECMmSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMmSSE015	ECMmSSE014	—	ECMmSSE012	ECMmSSE011	ECMmSSE010	ECMmSSE009	ECMmSSE008	ECMmSSE007	ECMmSSE006	ECMmSSE005	ECMmSSE004	—	—	ECMmSSE001	ECMmSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 32.11 ECMmESSTR0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	ECMmSSE031 ~ ECMmSSE026	エラー要因ステータスビット ECMmSSE031 ~ ECMmSSE026 がエラー要因 31 ~ 26 に対応します。 0: エラー未発生 1: エラー発生
25	予約ビット	リードした場合はリセット後の値が読めます。
24 ~ 14	ECMmSSE024 ~ ECMmSSE014	エラー要因ステータスビット ECMmSSE024 ~ ECMmSSE014 がエラー要因 24 ~ 14 に対応します。 0: エラー未発生 1: エラー発生
13	予約ビット	リードした場合はリセット後の値が読めます。
12 ~ 4	ECMmSSE012 ~ ECMmSSE004	エラー要因ステータスビット ECMmSSE012 ~ ECMmSSE004 がエラー要因 12 ~ 4 に対応します。 0: エラー未発生 1: エラー発生
3, 2	予約ビット	リードした場合はリセット後の値が読めます。
1, 0	ECMmSSE001、 ECMmSSE000	エラー要因ステータスビット ECMmSSE001、ECMmSSE000 がエラー要因 1, 0 に対応します。 0: エラー未発生 1: エラー発生

32.3.5 ECMmESSTR1 — ECM マスタ / チェッカエラーソースステータスレジスタ 1 (m=M/C)

ECM マスタ / チェッカエラーソースステータスレジスタ 1 は個々の内部エラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは ECM エラーソースステータスクリアトリガレジスタと POCRES、CVMRES および DBRES でのみ実行できます。その他のリセットが発生してもこのレジスタに影響はありません。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base>+0C_H
<ECMC_base>+0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMmSSE131	ECMmSSE130	ECMmSSE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECMmSSE110	ECMmSSE109	ECMmSSE108	ECMmSSE107	ECMmSSE106	ECMmSSE105	ECMmSSE104	—	ECMmSSE102	ECMmSSE101	ECMmSSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 32.12 ECMmESSTR1 レジスタの内容

ビット位置	ビット名	機能
31	ECMmSSE131	ERROROUT の状態 0: ERROROUT はロウレベル 1: ERROROUT はハイレベル
30	ECMmSSE130	ECMmESET の書き込みステータスを示します。 0: エラーなし 1: ECMmESET レジスタの ECMmEST ビットでエラー設定された
29	ECMmSSE129	ディレイタイマオーバーフロー有無を示します。 0: ディレイタイマオーバーフローなし 1: ディレイタイマオーバーフローあり
28 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。
10 ~ 4	ECMmSSE110 ~ ECMmSSE104	エラー要因ステータスビット ECMmSSE110 ~ ECMmSSE104 は、エラー要因 42 ~ 36 に対応します。 0: エラー未発生 1: エラー発生
3	予約ビット	リードした場合はリセット後の値が読めます。
2 ~ 0	ECMmSSE102 ~ ECMmSSE100	エラー要因ステータスビット ECMmSSE102 ~ ECMmSSE100 は、エラー要因 34 ~ 32 に対応します。 0: エラー未発生 1: エラー発生

32.3.6 ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ

ECM エラーパルスコンフィグレーションレジスタは、 $\overline{\text{ERROROUT}}$ 端子の ERROROUT 出力動作を設定するレジスタです。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <ECM_base>

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMSL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 32.13 ECMEPCFG レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECMSL0	$\overline{\text{ERROROUT}}$ 端子の ERROROUT 出力動作設定ビット ERROROUT 端子の動作設定 0 : ノンダイナミックモード 1 : ダイナミックモード

32.3.7 ECMMICFG0 — ECM EI レベル割り込みコンフィグレーションレジスタ 0

ECM EI レベル割り込みコンフィグレーションレジスタ 0 は EI レベル割り込みの発生を設定します。エラー発生による EI レベル割り込み生成が可能です。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base>+04_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMMI E031	ECMMI E030	ECMMI E029	ECMMI E028	ECMMI E027	ECMMI E026	—	ECMMI E024	ECMMI E023	ECMMI E022	ECMMI E021	ECMMI E020	ECMMI E019	ECMMI E018	ECMMI E017	ECMMI E016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMMI E015	ECMMI E014	—	ECMMI E012	ECMMI E011	ECMMI E010	ECMMI E009	ECMMI E008	ECMMI E007	ECMMI E006	ECMMI E005	ECMMI E004	—	—	ECMMI E001	ECMMI E000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 32.14 ECMMICFG0 レジスタの内容

ビット位置	ビット名	機能
32 ~ 26	ECMMIE031 ~ ECMMIE026	ECM EI レベル割り込み発生制御ビット ECMMIE031 ~ ECMMIE026 がエラー要因 31 ~ 26 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24 ~ 14	ECMMIE024 ~ ECMMIE014	ECM EI レベル割り込み発生制御ビット ECMMIE024 ~ ECMMIE014 がエラー要因 24 ~ 14 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 4	ECMMIE012 ~ ECMMIE004	ECM EI レベル割り込み発生制御ビット ECMMIE012 ~ ECMMIE004 がエラー要因 12 ~ 4 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ECMMIE001、 ECMMIE000	ECM EI レベル割り込み発生制御ビット ECMMIE001、ECMMIE000 がエラー要因 1, 0 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

32.3.8 ECMMICFG1 — ECM EI レベル割り込みコンフィグレーションレジスタ 1

ECM EI レベル割り込みコンフィグレーションレジスタ 1 は、EI レベル割り込みの発生を設定します。エラー発生による EI レベル割り込み生成が可能です。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base>+08_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECMMI E110	ECMMI E109	ECMMI E108	ECMMI E107	ECMMI E106	ECMMI E105	ECMMI E104	—	ECMMI E102	ECMMI E101	ECMMI E100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 32.15 ECMMICFG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 4	ECMMIE110 ~ ECMMIE104	ECM EI レベル割り込み発生制御ビット ECMMIE110 ~ ECMMIE104 は、エラー要因 42 ~ 36 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ECMMIE102 ~ ECMMIE100	ECM EI レベル割り込み発生制御ビット ECMMIE102 ~ ECMMIE100 は、エラー要因 34 ~ 32 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

32.3.9 ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0

ECM FE レベル割り込みコンフィグレーションレジスタ 0 は、FE レベル割り込みの発生を設定します。エラー発生による FE レベル割り込み生成が可能です。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base>+0C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMN MIE031	ECMN MIE030	ECMN MIE029	ECMN MIE028	ECMN MIE027	ECMN MIE026	—	ECMN MIE024	ECMN MIE023	ECMN MIE022	ECMN MIE021	ECMN MIE020	ECMN MIE019	ECMN MIE018	ECMN MIE017	ECMN MIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMN MIE015	ECMN MIE014	—	ECMN MIE012	ECMN MIE011	ECMN MIE010	ECMN MIE009	ECMN MIE008	ECMN MIE007	ECMN MIE006	ECMN MIE005	ECMN MIE004	—	—	ECMN MIE001	ECMN MIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 32.16 ECMNMICFG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	ECMNMIE031 ~ ECMNMIE026	ECM FE レベル割り込み発生制御ビット ECMNMIE031 ~ ECMNMIE026 がエラー要因 31 ~ 26 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24 ~ 14	ECMNMIE024 ~ ECMNMIE014	ECM FE レベル割り込み発生制御ビット ECMNMIE024 ~ ECMNMIE014 がエラー要因 24 ~ 14 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 4	ECMNMIE012 ~ ECMNMIE004	ECM FE レベル割り込み発生制御ビット ECMNMIE012 ~ ECMNMIE004 がエラー要因 12 ~ 4 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ECMNMIE001、 ECMNMIE000	ECM FE レベル割り込み発生制御ビット ECMNMIE001、ECMNMIE000 がエラー要因 1, 0 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

32.3.10 ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1

ECM FE レベル割り込みコンフィグレーションレジスタ 1 は、FE レベル割り込みの発生を設定します。エラー発生による FE レベル割り込み生成が可能です。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base>+10_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECMN MIE110	ECMN MIE109	ECMN MIE108	ECMN MIE107	ECMN MIE106	ECMN MIE105	ECMN MIE104	—	ECMN MIE102	ECMN MIE101	ECMN MIE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 32.17 ECMNMICFG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 4	ECMNMIE110 ~ ECMNMIE104	ECM FE レベル割り込み発生制御ビット ECMNMIE110 ~ ECMNMIE104 は、エラー要因 42 ~ 36 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ECMNMIE102 ~ ECMNMIE100	ECM FE レベル割り込み発生制御ビット ECMNMIE102 ~ ECMNMIE100 は、エラー要因 34 ~ 32 に対応します。 0: 割り込み発生禁止 1: 割り込み発生許可

32.3.11 ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0

ECM 内部リセットコンフィグレーションレジスタ 0 は、内部エラーの発生による内部リセット (ECMRES) の発生を設定します。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base>+14_H

リセット後の値 0000 000F_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMIR E031	ECMIR E030	ECMIR E029	ECMIR E028	ECMIR E027	ECMIR E026	—	ECMIR E024	ECMIR E023	ECMIR E022	ECMIR E021	ECMIR E020	ECMIR E019	ECMIR E018	ECMIR E017	ECMIR E016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMIR E015	ECMIR E014	—	ECMIR E012	ECMIR E011	ECMIR E010	ECMIR E009	ECMIR E008	ECMIR E007	ECMIR E006	ECMIR E005	ECMIR E004	—	—	ECMIR E001	ECMIR E000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 32.18 ECMIRCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	ECMIRE031 ~ ECMIRE026	ECM 内部リセット (ECMRES) 発生制御ビット ECMIRE031 ~ ECMIRE026 がエラー要因 31 ~ 26 に対応します。 0: 内部リセット (ECMRES) 発生禁止 1: 内部リセット (ECMRES) 発生許可
25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24 ~ 14	ECMIRE024 ~ ECMIRE014	ECM 内部リセット (ECMRES) 発生制御ビット ECMIRE024 ~ ECMIRE014 がエラー要因 24 ~ 14 に対応します。 0: 内部リセット (ECMRES) 発生禁止 1: 内部リセット (ECMRES) 発生許可
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 4	ECMIRE012 ~ ECMIRE004	ECM 内部リセット (ECMRES) 発生制御ビット ECMIRE012 ~ ECMIRE004 がエラー要因 12 ~ 4 に対応します。 0: 内部リセット (ECMRES) 発生禁止 1: 内部リセット (ECMRES) 発生許可
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ECMIRE001, ECMIRE000	ECM 内部リセット (ECMRES) 発生制御ビット ECMIRE001, ECMIRE000 がエラー要因 1, 0 に対応します。 0: 内部リセット (ECMRES) 発生禁止 1: 内部リセット (ECMRES) 発生許可

32.3.12 ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1

ECM 内部リセットコンフィグレーションレジスタ 1 は、内部エラーの発生による内部リセット (ECMRES) の発生を設定します。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <ECM_base>+18_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMIR E129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECMIR E110	ECMIR E109	ECMIR E108	ECMIR E107	ECMIR E106	ECMIR E105	ECMIR E104	—	ECMIR E102	ECMIR E101	ECMIR E100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 32.19 ECMIRCFG1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	ECMIRE129	ECM 内部リセット (ECMRES) 発生制御ビット ディレイタイマオーバーフローに対応します。 0: 内部リセット (ECMRES) 発生禁止 1: 内部リセット (ECMRES) 発生許可
28 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 4	ECMIRE110 ~ ECMIRE104	ECM 内部リセット (ECMRES) 発生制御ビット ECMIRE110 ~ ECMIRE104 は、エラー要因 42 ~ 36 に対応します。 0: 内部リセット (ECMRES) 発生禁止 1: 内部リセット (ECMRES) 発生許可
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ECMIRE102 ~ ECMIRE100	ECM 内部リセット (ECMRES) 発生制御ビット ECMIRE102 ~ ECMIRE100 は、エラー要因 34 ~ 32 に対応します。 0: 内部リセット (ECMRES) 発生禁止 1: 内部リセット (ECMRES) 発生許可

32.3.13 ECMEMK0 — ECM エラーマスクレジスタ 0

ECM エラーマスクレジスタ 0 は、ERROROUT 出力の個々のエラーソースをマスクします。このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base>+1C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECME MK031	ECME MK030	ECME MK029	ECME MK028	ECME MK027	ECME MK026	—	ECME MK024	ECME MK023	ECME MK022	ECME MK021	ECME MK020	ECME MK019	ECME MK018	ECME MK017	ECME MK016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECME MK015	ECME MK014	—	ECME MK012	ECME MK011	ECME MK010	ECME MK009	ECME MK008	ECME MK007	ECME MK006	ECME MK005	ECME MK004	—	—	ECME MK001	ECME MK000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 32.20 ECMEMK0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	ECMEMK031 ~ ECMEMK026	ERROROUT 出力マスク制御ビット ECMEMK031 ~ ECMEMK026 がエラー要因 31 ~ 26 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする
25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24 ~ 14	ECMEMK024 ~ ECMEMK014	ERROROUT 出力マスク制御ビット ECMEMK024 ~ ECMEMK014 がエラー要因 24 ~ 14 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 4	ECMEMK012 ~ ECMEMK004	ERROROUT 出力マスク制御ビット ECMEMK012 ~ ECMEMK004 がエラー要因 12 ~ 4 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ECMEMK001、 ECMEMK000	ERROROUT 出力マスク制御ビット ECMEMK001、ECMEMK000 がエラー要因 1, 0 に対応します。 0 : ERROROUT 出力をマスクしない 1 : ERROROUT 出力をマスクする

32.3.14 ECMEMK1 — ECM エラーマスクレジスタ 1

ECM エラーマスクレジスタ 1 は、ERROROUT 出力の個々のエラーソースをマスクします。
このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base>+20_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECME MK129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECME MK110	ECME MK109	ECME MK108	ECME MK107	ECME MK106	ECME MK105	ECME MK104	—	ECME MK102	ECME MK101	ECME MK100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 32.21 ECMEMK1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	ECMEMK129	ERROROUT 出力マスク制御ビット ディレイタイマオーバーフローに対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする
28 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 4	ECMEMK110 ~ ECMEMK104	ERROROUT 出力マスク制御ビット ECMEMK110 ~ ECMEMK104 は、エラー要因 42 ~ 36 に対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ECMEMK102 ~ ECMEMK100	ERROROUT 出力マスク制御ビット ECMEMK102 ~ ECMEMK100 は、エラー要因 34 ~ 32 に対応します。 0: ERROROUT 出力をマスクしない 1: ERROROUT 出力をマスクする

32.3.15 ECMESSTC0 — ECM エラーソースステータスクリアトリガレジスタ 0

ECM エラーソースステータスクリアトリガレジスタ 0 は ECM マスタ / チェッカエラーソースステータスレジスタ 0 の個々のエラーソース状態をクリアします。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base>+24_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMCLSSE031	ECMCLSSE030	ECMCLSSE029	ECMCLSSE028	ECMCLSSE027	ECMCLSSE026	—	ECMCLSSE024	ECMCLSSE023	ECMCLSSE022	ECMCLSSE021	ECMCLSSE020	ECMCLSSE019	ECMCLSSE018	ECMCLSSE017	ECMCLSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	R	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMCLSSE015	ECMCLSSE014	—	ECMCLSSE012	ECMCLSSE011	ECMCLSSE010	ECMCLSSE009	ECMCLSSE008	ECMCLSSE007	ECMCLSSE006	ECMCLSSE005	ECMCLSSE004	—	—	ECMCLSSE001	ECMCLSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	W	W	W	W	W	W	W	W	W	R	R	W	W

表 32.22 ECMESSTC0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	ECMCLSSE031 ~ ECMCLSSE026	ECM エラー状態クリアビット ECMCLSSE031 ~ ECMCLSSE026 がエラー要因 31 ~ 26 に対応します。 0 : 対応するエラー状態は変わらない 1 : 対応するエラー状態をクリアする
25	予約ビット	ライトする場合はリセット後の値を書いてください。
24 ~ 14	ECMCLSSE024 ~ ECMCLSSE014	ECM エラー状態クリアビット ECMCLSSE024 ~ ECMCLSSE014 がエラー要因 24 ~ 14 に対応します。 0 : 対応するエラー状態は変わらない 1 : 対応するエラー状態をクリアする
13	予約ビット	ライトする場合はリセット後の値を書いてください。
12 ~ 4	ECMCLSSE012 ~ ECMCLSSE004	ECM エラー状態クリアビット ECMCLSSE012 ~ ECMCLSSE004 がエラー要因 12 ~ 4 に対応します。 0 : 対応するエラー状態は変わらない 1 : 対応するエラー状態をクリアする
3、2	予約ビット	ライトする場合はリセット後の値を書いてください。
1、0	ECMCLSSE001、 ECMCLSSE000	ECM エラー状態クリアビット ECMCLSSE001、ECMCLSSE000 がエラー要因 1、0 に対応します。 0 : 対応するエラー状態は変わらない 1 : 対応するエラー状態をクリアする

32.3.16 ECMESSTC1 — ECM エラーソースステータスクリアトリガレジスタ 1

ECM エラーソースステータスクリアトリガレジスタ 1 は ECM マスタ / チェッカエラーソースステータスレジスタ 1 の個々のエラーソース状態をクリアします。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base>+28_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ECMCL SSE130	ECMCL SSE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECMCL SSE110	ECMCL SSE109	ECMCL SSE108	ECMCL SSE107	ECMCL SSE106	ECMCL SSE105	ECMCL SSE104	—	ECMCL SSE102	ECMCL SSE101	ECMCL SSE100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	W	W	W	W	W	W	W	R	W	W	W

表 32.23 ECMESSTC1 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	ライトする場合はリセット後の値を書いてください。
30, 29	ECMCLSSE130、 ECMCLSSE129	ECM エラー状態クリアビット ECMCLSSE130、ECMCLSSE129 は ECMmESET の書き込みステータス、 ディレイタイマオーバーフロー有無に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする
28 ~ 11	予約ビット	ライトする場合はリセット後の値を書いてください。
10 ~ 4	ECMCLSSE110 ~ ECMCLSSE104	ECM エラー状態クリアビット ECMCLSSE110 ~ ECMCLSSE104 は、エラー要因 42 ~ 36 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする
3	予約ビット	ライトする場合はリセット後の値を書いてください。
2 ~ 0	ECMCLSSE102 ~ ECMCLSSE100	ECM エラー状態クリアビット ECMCLSSE102 ~ ECMCLSSE100 は、エラー要因 34 ~ 32 に対応します。 0: 対応するエラー状態は変わらない 1: 対応するエラー状態をクリアする

32.3.17 ECMPE0 — ECM 疑似エラートリガレジスタ 0

ECM 疑似エラートリガレジスタ 0 はテスト用の疑似エラーを発生させるときに使用するレジスタです。疑似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base>+34_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMPE031	ECMPE030	ECMPE029	ECMPE028	ECMPE027	ECMPE026	—	ECMPE024	ECMPE023	ECMPE022	ECMPE021	ECMPE020	ECMPE019	ECMPE018	ECMPE017	ECMPE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	R	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMPE015	ECMPE014	—	ECMPE012	ECMPE011	ECMPE010	ECMPE009	ECMPE008	ECMPE007	ECMPE006	ECMPE005	ECMPE004	—	—	ECMPE001	ECMPE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	W	W	W	W	W	W	W	W	W	R	R	W	W

表 32.24 ECMPE0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	ECMPE031 ~ ECMPE026	ECM 疑似エラートリガビット ECMPE031 ~ ECMPE026 がエラー要因 31 ~ 26 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する
25	予約ビット	ライトする場合はリセット後の値を書いてください。
24 ~ 14	ECMPE024 ~ ECMPE014	ECM 疑似エラートリガビット ECMPE024 ~ ECMPE014 がエラー要因 24 ~ 14 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する
13	予約ビット	ライトする場合はリセット後の値を書いてください。
12 ~ 4	ECMPE012 ~ ECMPE004	ECM 疑似エラートリガビット ECMPE012 ~ ECMPE004 がエラー要因 12 ~ 4 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する
3, 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1, 0	ECMPE001, ECMPE000	ECM 疑似エラートリガクリアビット ECMPE001, ECMPE000 がエラー要因 1, 0 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する

32.3.18 ECMPE1 — ECM 疑似エラートリガレジスタ 1

ECM 疑似エラートリガレジスタ 1 はテスト用の疑似エラーを発生させるときに使用するレジスタです。疑似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base>+38_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMPE 129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECMPE 110	ECMPE 109	ECMPE 108	ECMPE 107	ECMPE 106	ECMPE 105	ECMPE 104	—	ECMPE 102	ECMPE 101	ECMPE 100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	W	W	W	W	W	W	W	R	W	W	W

表 32.25 ECMPE1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	ライトする場合はリセット後の値を書いてください。
29	ECMPE129	ECM 疑似エラートリガビット ディレイタイマオーバーフローに対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する
28 ~ 11	予約ビット	ライトする場合はリセット後の値を書いてください。
10 ~ 4	ECMPE110 ~ ECMPE104	ECM 疑似エラートリガビット ECMPE110 ~ ECMPE104 は、エラー要因 42 ~ 36 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する
3	予約ビット	ライトする場合はリセット後の値を書いてください。
2 ~ 0	ECMPE102 ~ ECMPE100	ECM 疑似エラートリガビット ECMPE102 ~ ECMPE100 は、エラー要因 34 ~ 32 に対応します。 0: 疑似エラーを発生しない 1: 対応するエラーを疑似的に発生する

32.3.19 ECMDTMCTL — ECM ディレイタイマコントロールレジスタ

ECM ディレイタイマコントロールレジスタはディレイタイマを制御するレジスタです。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

アクセス 8ビット単位でライト可能です。

アドレス <ECM_base>+3C_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ECMSTP	ECMSTA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 32.26 ECMDTMCTL レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	ECMSTP	ディレイタイマストップビット このビットへ1を書き込むとディレイタイマカウンタが初期化され、ディレイタイマは停止します。同時に ECMSTA ビットは0になります。
0	ECMSTA	ディレイタイマスタートビット このビットへ1を書き込むと、割り込み発生時にディレイタイマがカウントスタートします。 (このビットへ0を書き込むことでも、ディレイタイマは停止します。)

32.3.20 ECMDTMR — ECM ディレイタイマレジスタ

ECM ディレイタイマレジスタはディレイタイマカウンタ値を示します。ECM ディレイタイマコントロールレジスタの ECMSTA ビットを1 (タイマ動作) から0 (タイマ停止) にすることで、ECM ディレイタイマレジスタは初期化されます。ECM ディレイタイマは高速周辺クロックにてカウントを行います。

アクセス 16ビット単位でリード可能です。

アドレス <ECM_base>+40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMDTMR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

32.3.21 ECMDTMCMP — ECM ディレイタイマコンペアレジスタ

ECM ディレイタイマコンペアレジスタは ECM ディレイタイマレジスタの値が一致すると ECMmSSE129 ビットがセットされます。本レジスタへのデータ書き込みはディレイタイマ停止中に行ってください。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

アクセス 16 ビット単位でリード/ライト可能です。

アドレス <ECM_base>+44_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

32.3.22 ECMDTMCFG0 — ECM ディレイタイマコンフィグレーションレジスタ 0

ECM ディレイタイマコンフィグレーションレジスタ 0 は、エラー発生による EI レベル割り込みによるディレイタイマスタート許可 / 禁止を設定します。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

クロックモニタ上限 / 下限エラー (エラー No.4 ~ 11) に対して、ディレイタイマを設定しないでください。

アクセス 32ビット単位でリード / ライト可能です。

アドレス <ECM_base>+48_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMTE031	ECMTE030	ECMTE029	ECMTE028	ECMTE027	ECMTE026	—	ECMTE024	ECMTE023	ECMTE022	ECMTE021	ECMTE020	ECMTE019	ECMTE018	ECMTE017	ECMTE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE015	ECMTE014	—	ECMTE012	ECMTE011	ECMTE010	ECMTE009	ECMTE008	ECMTE007	ECMTE006	ECMTE005	ECMTE004	—	—	ECMTE001	ECMTE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 32.27 ECMDTMCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	ECMTE031 ~ ECMTE026	ECM ディレイタイマスタート制御ビット ECMTE031 ~ ECMTE026 がエラー要因 31 ~ 26 によって発生する EI レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24 ~ 14	ECMTE024 ~ ECMTE014	ECM ディレイタイマスタート制御ビット ECMTE024 ~ ECMTE014 がエラー要因 24 ~ 14 によって発生する EI レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 4	ECMTE012 ~ ECMTE004	ECM ディレイタイマスタート制御ビット ECMTE012 ~ ECMTE004 がエラー要因 12 ~ 4 によって発生する EI レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ECMTE001、 ECMTE000	ECM ディレイタイマスタート制御ビット ECMTE001、ECMTE000 がエラー要因 1, 0 によって発生する EI レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可

32.3.23 ECMDTMCFG1 — ECM ディレイタイマコンフィグレーションレジスタ 1

ECM ディレイタイマコンフィグレーションレジスタ 1 は、エラー発生による EI レベル割り込みによるディレイタイマスタート許可 / 禁止を設定します。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

クロックモニタ上限 / 下限エラー (エラー No.4 ~ 11) に対して、ディレイタイマを設定しないでください。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <ECM_base>+4C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECMTE 110	ECMTE 109	ECMTE 108	ECMTE 107	ECMTE 106	ECMTE 105	ECMTE 104	—	ECMTE 102	ECMTE 101	ECMTE 100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 32.28 ECMDTMCFG1 レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 4	ECMTE110 ~ ECMTE104	ECM ディレイタイマスタート制御ビット ECMTE110 ~ ECMTE104 は、エラー要因 42 ~ 36 によって発生する EI レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ECMTE102 ~ ECMTE100	ECM ディレイタイマスタート制御ビット ECMTE102 ~ ECMTE100 は、エラー要因 34 ~ 32 によって発生する EI レベル割り込みに対応します。 0 : ディレイタイマスタート禁止 1 : ディレイタイマスタート許可

32.3.24 ECMDTMCFG2 — ECM ディレイタイマコンフィギュレーションレジスタ 2

ECM ディレイタイマコンフィギュレーションレジスタ 2 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可/禁止を設定します。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「**4.3 書き込み保護レジスタ**」を参照してください。

クロックモニタ上限/下限エラー (エラー No.4 ~ 11) に対して、ディレイタイマを設定しないでください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base>+50_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMTE 231	ECMTE 230	ECMTE 229	ECMTE 228	ECMTE 227	ECMTE 226	—	ECMTE 224	ECMTE 223	ECMTE 222	ECMTE 221	ECMTE 220	ECMTE 219	ECMTE 218	ECMTE 217	ECMTE 216
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE 215	ECMTE 214	—	ECMTE 212	ECMTE 211	ECMTE 210	ECMTE 209	ECMTE 208	ECMTE 207	ECMTE 206	ECMTE 205	ECMTE 204	—	—	ECMTE 201	ECMTE 200
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W

表 32.29 ECMDTMCFG2 レジスタの内容

ビット位置	ビット名	機能
31 ~ 26	ECMTE231 ~ ECMTE226	ECM ディレイタイマスタート制御ビット ECMTE231 ~ ECMTE226 がエラー要因 31 ~ 26 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可
25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24 ~ 14	ECMTE224 ~ ECMTE214	ECM ディレイタイマスタート制御ビット ECMTE224 ~ ECMTE214 がエラー要因 24 ~ 14 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ~ 4	ECMTE212 ~ ECMTE204	ECM ディレイタイマスタート制御ビット ECMTE212 ~ ECMTE204 がエラー要因 12 ~ 4 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	ECMTE201、 ECMTE200	ECM ディレイタイマスタート制御ビット ECMTE201、ECMTE200 がエラー要因 1、0 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可

32.3.25 ECMDTMCFG3 — ECM ディレイタイマコンフィグレーションレジスタ 3

ECM ディレイタイマコンフィグレーションレジスタ 3 はエラー発生による FE レベル割り込みによるディレイタイマスタート許可/禁止を設定します。

このレジスタへのライトは、保護コマンドレジスタ ECMPCMD1 を使用した特定の命令シーケンスによって保護されています。詳細については「4.3 書き込み保護レジスタ」を参照してください。

クロックモニタ上限/下限エラー (エラー No.4 ~ 11) に対して、ディレイタイマを設定しないでください。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <ECM_base>+54_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ECMTE 310	ECMTE 309	ECMTE 308	ECMTE 307	ECMTE 306	ECMTE 305	ECMTE 304	—	ECMTE 302	ECMTE 301	ECMTE 300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 32.30 ECMDTMCFG3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ~ 4	ECMTE310 ~ ECMTE304	ECM ディレイタイマスタート制御ビット ECMTE310 ~ ECMTE304 は、エラー要因 42 ~ 36 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ~ 0	ECMTE302 ~ ECMTE300	ECM ディレイタイマスタート制御ビット ECMTE302 ~ ECMTE300 は、エラー要因 34 ~ 32 によって発生する FE レベル割り込みに対応します。 0: ディレイタイマスタート禁止 1: ディレイタイマスタート許可

32.3.26 ECMEPCTL — ECM エラーパルスコントロールレジスタ

ダイナミックモード時のタイマ出力を選択するレジスタです。

アクセス 8ビット単位でリード/ライト可能です

アドレス FFD6 3000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMTMSL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 32.31 ECMEPCTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECMTMSL	ERROROUT 端子へ伝えるタイマ出力選択 0: TAUD1 のチャンネル 15 1: OSTM1

第33章 データ CRC (DCRA)

本章では、データ CRC 機能 A (DCRA) 全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/P1x に固有の特長について説明します。それ以降の節では、DCRA の機能、レジスタについて説明します。

33.1 RH850/P1x DCRA の特長

33.1.1 ユニット数

本製品は以下のユニット数の DCRA を搭載しています。

表 33.1 ユニット数

製品名	RH850/P1x 100pin	RH850/P1x 144pin
ユニット数	4	4
名称	DCRAn (n = 0 ~ 3)	DCRAn (n = 0 ~ 3)

表 33.2 DCRA のユニット構成とチャネルの対応

ユニット名 (チャネル名) DCRAn	ユニット チャネル数	RH850/P1x 100pin (4ch)	RH850/P1x 144pin (4ch)
DCRA0	1	○	○
DCRA1	1	○	○
DCRA2	1	○	○
DCRA3	1	○	○

表 33.3 添字

添字	意味
n	本章では、データ CRC 機能 A の各ユニットを「n」(n = 0 ~ 3) で識別します。たとえば、DCRAn 制御レジスタは DCRAnCTL と記述します。

33.1.2 レジスタベースアドレス

DCRAn のベースアドレスを以下の表に示します。

DCRAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 33.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DCRA0_base>	FFD5 0000 _H
<DCRA1_base>	FFD5 1000 _H
<DCRA2_base>	FFD5 2000 _H
<DCRA3_base>	FFD5 3000 _H

33.1.3 クロック供給

DCRAn のクロック供給を以下の表に示します。

表 33.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
DCRAn	PCLK	高速周辺クロック CLK_HSB

33.1.4 リセット要因

DCRAn のリセット要因を以下に示します。DCRAn は以下のリセット要因で初期化されます。

表 33.6 リセット要因

ユニット名	リセット要因
DCRAn	リセットコントローラ SYSRES

33.2 概要

33.2.1 機能概要

データ CRC 機能 A を利用して、CRC で保護された任意の長さとはさまざまなビット幅を持つデータストリームを検証または生成することができます。

- 32 ビット・イーサネット CRC
($X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X^1+1$)
- 16 ビット CCITT CRC
($X^{16}+X^{12}+X^5+1$)
- 8 ビット SAE J1850
($X^8+X^4+X^3+X^2+1$)
- 8 ビット 0x2F
($X^8+X^5+X^3+X^2+X^1+1$)
- 任意のデータブロック長の CRC を生成できます。
- CRC データレジスタが初期化されると、CRC 入力レジスタへの書き込みアクセスを行うたびに、選択されている多項式に従って新しい CRC が生成され、その結果が CRC データレジスタに格納されます。

33.2.2 ブロック図

以下の図は、データ CRC 機能 A のブロック図を示しています。

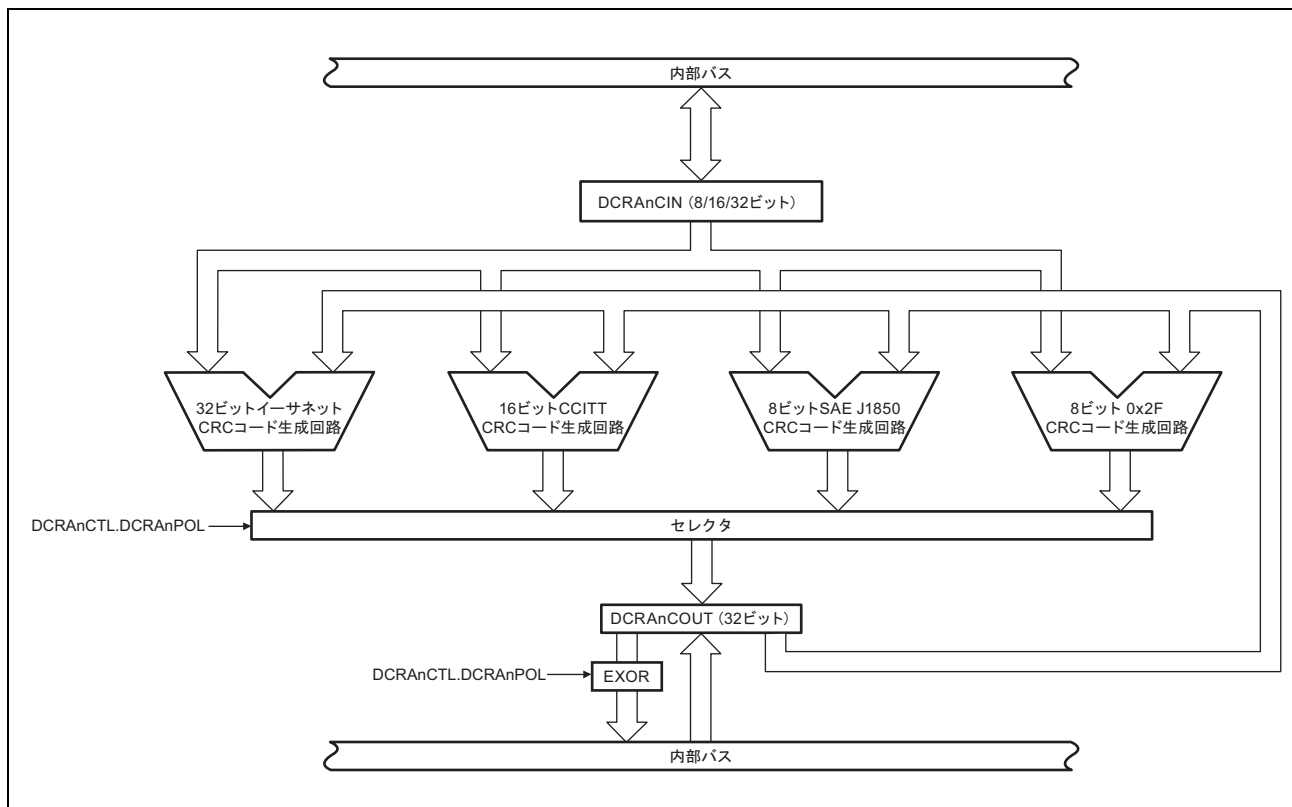
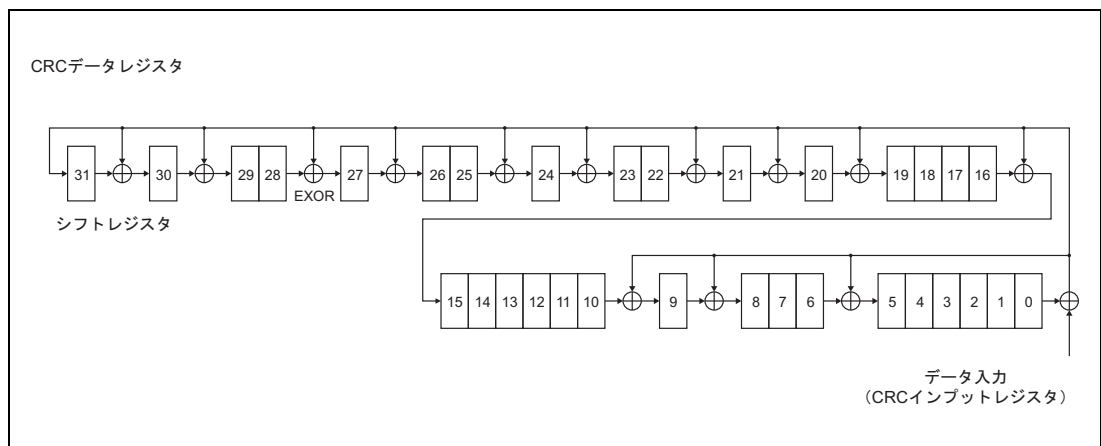


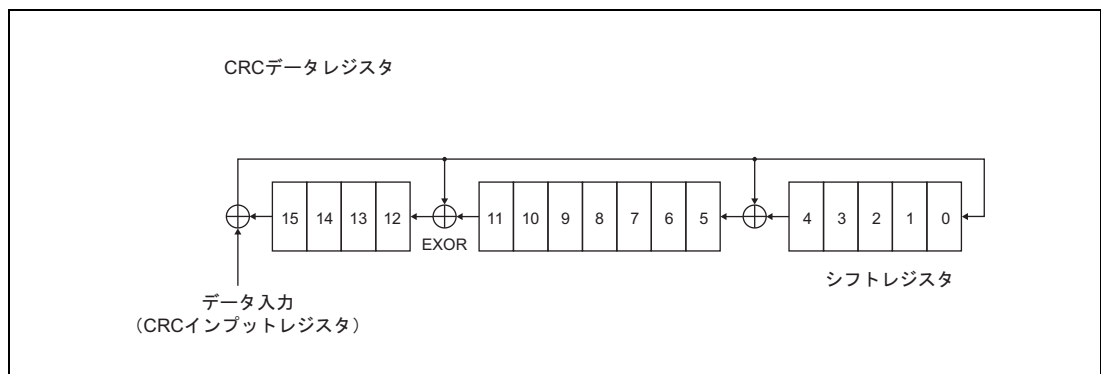
図 33.1 データ CRC 機能 A のブロック図

33.2.3 演算回路

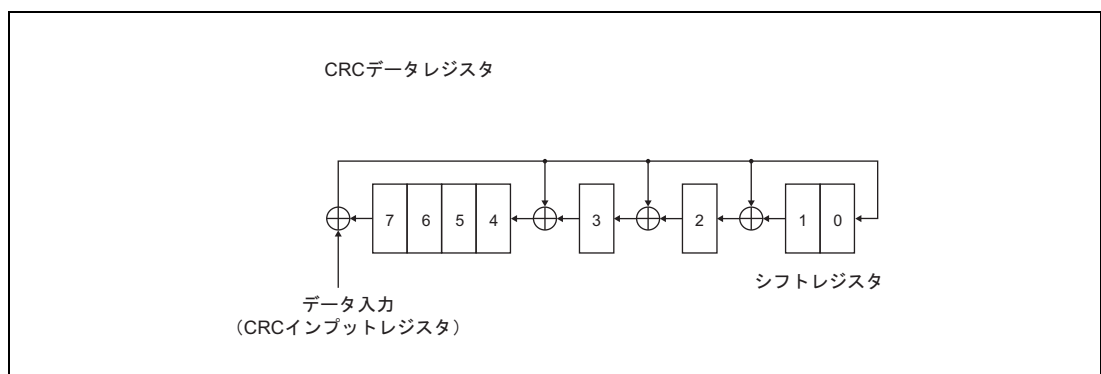
- 32 ビット・イーサネット



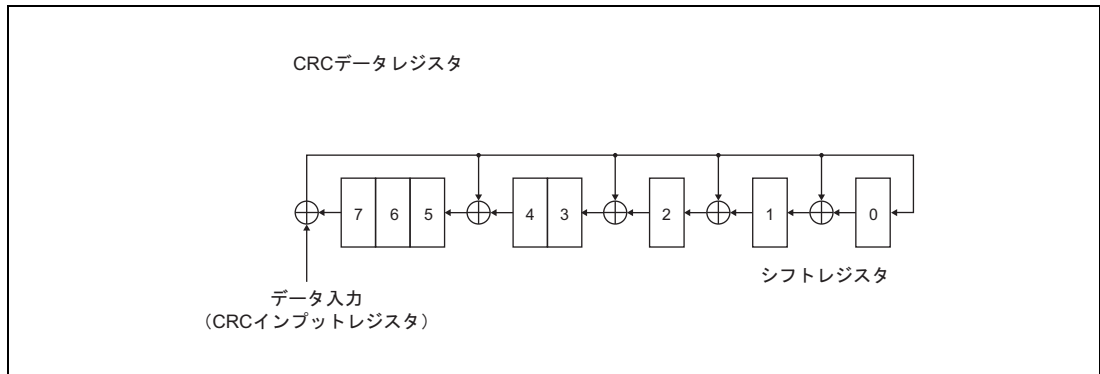
- 16 ビット CCITT



- 8 ビット SAE J1850



- 8ビット 0x2F



33.3 レジスタ

33.3.1 レジスタ一覧

DCRA のレジスタ一覧を以下の表に示します。

<DCRAn_base> は、「33.1.2 レジスタベースアドレス」を参照してください。

表 33.7 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
DCRAn	CRC 入力レジスタ	DCRAnCIN	<DCRAn_base> + 00 _H
DCRAn	CRC データレジスタ	DCRAnCOUT	<DCRAn_base> + 04 _H
DCRAn	CRC 制御レジスタ	DCRAnCTL	<DCRAn_base> + 20 _H

33.3.2 DCRAnCIN — CRC 入力レジスタ

本レジスタには CRC 計算用の入力データが格納されます。CRC 計算に使われる有効ビット幅を DCRAnCTL.DCRAnISZ[1:0] で設定する必要があります。

本レジスタにデータを書き込むと、CRC コードが生成されます。

DCRAnCIN への書き込みが行われると、ただちに CRC の計算が開始されます。データブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、DCRAnCOUT レジスタを初期開始値で初期化する必要があります。

アクセス 32ビット単位でリード/ライト可能です。

アドレス <DCRAn_base>

リセット後の値 0000 0000_H 本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAnCIN[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAnCIN[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 33.8 DCRAnCIN レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DCRAnCIN [31:0]	CRC 計算用入力データ 以下の有効ビット幅に対応しています。 <ul style="list-style-type: none"> 有効ビット幅 32 ビット : DCRAnCIN[31:0] 有効ビット幅 16 ビット : DCRAnCIN[15:0] 有効ビット幅 8 ビット : DCRAnCIN[7:0]

33.3.3 DCRAnCOUT — CRC データレジスタ

本レジスタには以下のいずれかの多項式によって生成された CRC コードの結果が格納されます。

- 32 ビット・イーサネット
- 16 ビット CCITT
- 8 ビット SAE J1850
- 8 ビット 0x2F

アクセス 32 ビット単位でリード/ライト可能です。

アドレス <DCRAn_base> + 4_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAnCOUT[31:16]															
リセット後の値 注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAnCOUT[15:0]															
リセット後の値 注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. リセット後のリード値は、リセット後の CRC 生成方式の選択が 32 ビット・イーサネット多項式になっているため、0000 0000_H になります。

表 33.9 DCRAnCOUT レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	DCRAnCOUT [31:0]	<p>CRC コード生成の結果</p> <p>16 ビット CCITT 多項式を有効にした場合は、ビット 15 ~ 0 が CRC の結果を示します。ビット 31 ~ 16 は不定になります。</p> <p>8 ビット SAE J1850 / 0x2F 多項式を有効にした場合は、ビット 7 ~ 0 が CRC の結果を示します。ビット 31 ~ 8 は不定になります。</p> <p>本レジスタのリード値は、以下の値と EXOR 演算された値となります。</p> <ul style="list-style-type: none"> • 32 ビット・イーサネット多項式の場合 : FFFF FFFF_H • 16 ビット CCITT 多項式の場合 : 0000_H • 8 ビット SAE J1850 / 0x2F 多項式の場合 : 0000 00FF_H <p>例えば、32 ビット・イーサネット多項式で、DCRAnCOUT = 5555 5555_H のとき AAAA AAAA_H がリードされます。</p>

注 意

データブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。

33.3.4 DCRAnCTL — CRC 制御レジスタ

本レジスタは CRC 生成プロセスを制御します。

アクセス 8ビット単位でリード/ライト可能です。

アドレス <DCRAn_base> + 20_H

リセット後の値 00_H 本レジスタは各種リセットにより初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	DCRAnISZ[1:0]		—	—	DCRAnPOL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 33.10 DCRAnCTL レジスタの内容

ビット位置	ビット名	機能
7 ~ 6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5, 4	DCRAnISZ[1:0]	CRC 入力ビット幅を指定します。 00: 32 ビット (DCRAnCIN[31:0]) 01: 16 ビット (DCRAnCIN[15:0]) 10: 8 ビット (DCRAnCIN[7:0]) 11: 設定禁止
3, 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1, 0	DCRAnPOL[1:0]	CRC 生成方式を指定します。 00: 32 ビット・イーサネット CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は LSB (最下位バイト) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0] = 10 _B) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が入力データとなり、ビット位置 0 (LSB) が入力データの先頭ビットになります。 01: 16 ビット CCITT CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB (最上位バイト) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0] = 10 _B) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が入力データとなり、ビット位置 7 (MSB) が入力データの先頭ビットになります。 10: 8 ビット SAE J1850 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB (最上位バイト) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0] = 10 _B) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が入力データとなり、ビット位置 7 (MSB) が入力データの先頭ビットになります。 11: 8 ビット 0x2F 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB (最上位バイト) が先頭になります。つまり、CRC 入力ビット幅が 8 ビット (DCRAnISZ[1:0] = 10 _B) の場合は、DCRAnCIN レジスタのビット位置 7 ~ 0 が入力データとなり、ビット位置 7 (MSB) が入力データの先頭ビットになります。

備考

CRC 生成方式 (DCRAnCTL.DCRAnPOL) を変更した場合は、DCRAnCOUT レジスタを初期化 (初期開始値を設定) する必要があります。

注意

データブロックのビット幅に合わせて CRC 入力ビット幅 (DCRAnCTL.DCRAnISZ[1:0]) を設定する必要があります。データブロックの処理中に CRC 入力ビット幅を変更することは禁止されています (データブロックの構成単位は N バイト、ハーフワードまたは 1 ワードです)。DCRAnCOUT レジスタから最終的な CRC の結果を読み出したあとは、CRC 入力ビット幅を変更することができます。その場合は、あとで DCRAnCOUT レジスタを初期化 (初期開始値を設定) する必要があります。

33.4 動作

データ CRC 機能 A は任意のデータブロック長の CRC (巡回冗長検査) を生成します。データは、8 ビット単位、16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビット・イーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。CRC 入力レジスタ (DCRAnCIN) への最初の書き込みアクセスを行う前に、DCRAnCOUT レジスタに初期開始値を設定する必要があります。

以下のフローチャートは、CRC の生成の流れを示しています。

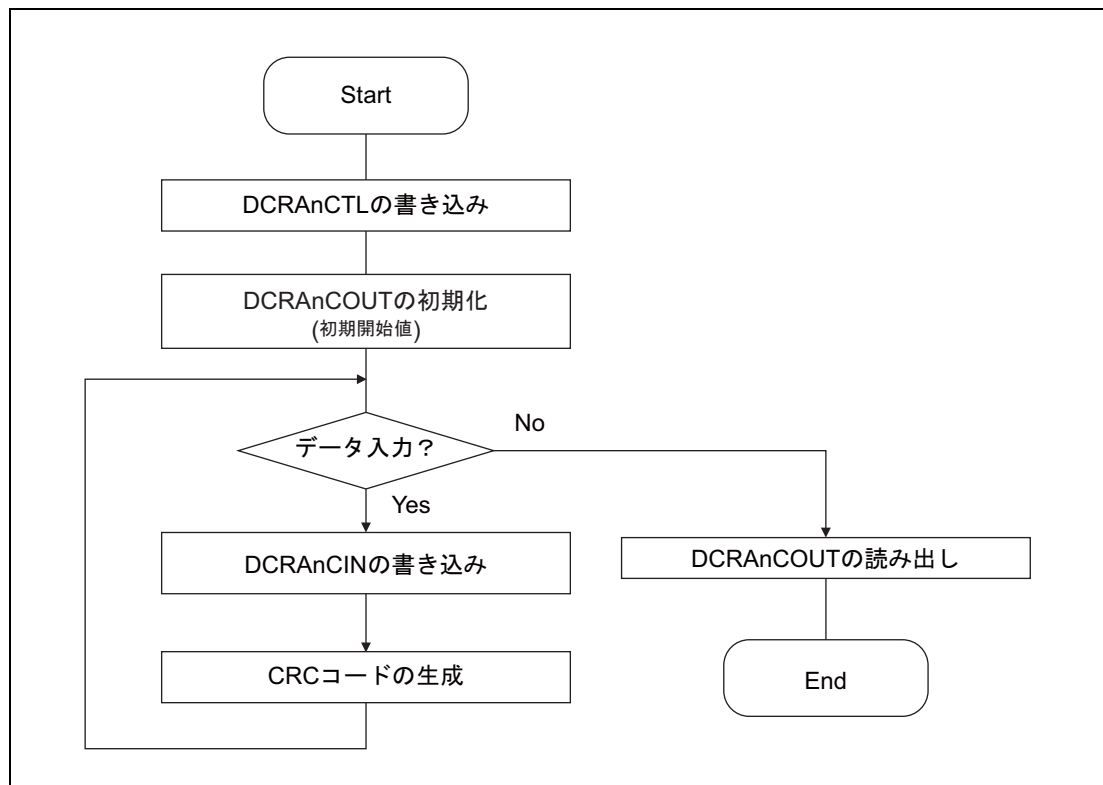


図 33.2 データ CRC 機能 A のフロー図

備考

1. 最初のデータを DCRAnCIN に書き込む前に、CRC 出力レジスタ DCRAnCOUT を初期化 (初期開始値を設定) する必要があります。
2. DCRAnCTL.DCRAnPOL を変更することによって多項式を変更した場合は、DCRAnCOUT を再初期化 (初期開始値を設定) する必要があります。
3. 各多項式の初期開始値の設定例
以下の設定例を示します。

表 33.11 初期開始値の設定例 (リセット時にリードした場合の例)

	初期開始値	EXOR 値	DCRAnCOUT リード値
8 ビット SAE J1850 / 0x2F	XXXX XXFF _H	XXXX XXFF _H	XXXX XX00 _H
16 ビット CCITT	XXXX FFFF _H	XXXX 0000 _H	XXXX FFFF _H
32 ビット・イーサネット	FFFF FFFF _H	FFFF FFFF _H	0000 0000 _H

備考 X: 不定

第 34 章 オンチップデバッグユニット (OCD)

34.1 デバッグ機能

本製品には、オンチップデバッグ機能があります。オンチップデバッグエミュレータの使用により、ターゲットシステムに搭載されたマイクロコントローラでプログラムをデバッグできます。

注 意

この章で説明するデバッグ機能は、マイクロコントローラではサポートされませんが、使用できるかどうかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズマニュアルを参照してください。また、ツールとの結線に関しては、対応するツールのユーザーズマニュアルを参照してください。

(1) デバッグインタフェース

デバッグインタフェースとして、“NEXUS JTAG Interface”、“Low Pin Debug Interface (1pin) (以下、LPD (1pin) と記載)”、“Low Pin Debug Interface (4pin) (以下、LPD (4pin) と記載)”をサポートします。また、内蔵 RAM データ・周辺レジスタ等のモニタリング / チューニングなどを目的として、AUD-RAM モニタを搭載し、AUD-RAM モニタインタフェースをサポートします。AUD-RAM モニタについては、「**34.5 AUD-RAM モニタ (AUDR)**」を参照してください。

(2) デバッグモニタ機能

デバッグモード中、デバッグ専用領域でモニタプログラムを実行します。

モニタプログラムを実行することで、次の基本的なデバッグ機能を使用できます。

- ユーザプログラムのダウンロード
- ユーザプログラムの中断中に、ユーザリソース（メモリ、レジスタなど）のリード / ライト
- 任意のアドレスで始まるユーザプログラムの実行

(3) オンチップブレーク機能

CPU に 12 本のブレークポイントを搭載。内、4 本は任意のアクセス（アクセスアドレス、アクセスデータ）を指定可能。

(4) ソフトウェアブレーク機能

RAM に格納されたユーザプログラム上の任意のアドレスにソフトウェアブレークポイントを指定できます。

(5) 強制ブレーク機能

ユーザプログラムの実行を強制的に中断可能です。

(6) デバッグ割り込みインタフェース機能

外部からの EVTI 端子入力のアサートにより、ユーザプログラムの実行を強制的に中断可能です。

(7) 強制リセット機能

マイクロコントローラ（本製品）を強制的にリセット可能です。

(8) リアルタイム RAM モニタ (RRM)

プログラム実行中にメモリをリードできます。このリードアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) ダイナミックメモリ変更 (DMM)

プログラム実行中にメモリをライトできます。このライトアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(10) タイマ機能

32 ビットカウンタを使用し、デバッグ用クロックに基づいてユーザプログラムの実行時間を測定できます。

(11) マスク機能

リセット要因（端子リセット、ソフトウェアリセット、ECM リセット）をマスクすることが可能です。

(12) イベント検出機能

実行アドレス / アクセス・アドレス / アクセスデータ / 範囲（大小比較） / シーケンシャル実行によるイベント検出が可能です。

(13) トリガ入力インタフェース

外部イベントを受け付けるイベントトリガ入力インタフェースを装備しています。 $\overline{\text{EVTI}}$ 端子入力により、外部イベントの受け付けが可能です。

(14) トリガ出力インタフェース

外部デバッグ装置にイベント検出などを通知するイベントトリガ出力インタフェースを装備しています。 $\overline{\text{EVTO}}$ 端子出力により、外部へのイベント検出のトリガ出力が可能です。

(15) ホットプラグイン機能

通常動作モード中から端子リセット入力なしで、デバッグを開始することができます。

(16) セキュリティ機能

フラッシュメモリの内容が権限のないユーザにリードされないように、128 ビットの ID コード (OCD_ID) をマイクロコントローラにライトすることができます。デバッガ起動時にユーザが入力するコードが ID コードと一致しない場合は、フラッシュメモリにアクセスできません。

(17) キャリブレーション機能

エミュレーションメモリとなる ERAM により、Flash メモリのエミュレーション、ROM データのチューニングを行うことができます。

詳細は、「**34.2 キャリブレーション機能**」を参照してください。

(18) トレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することができます。

詳細は、「**34.3 トレースコントロール機能**」を参照してください。

34.2 キャリブレーション機能

本製品は、内蔵 Flash メモリのエミュレーションメモリとなる Emulation RAM を搭載しています。

(1) Emulation RAM

Flash 1MB/512KB 製品は 8KB、Flash 2MB 製品は 32KB 搭載しています。

(2) Flash エミュレーション機能

Flash 領域の任意の領域に対して、Emulation RAM をマッピング可能です。詳細は、「36.4 Emulation RAM」を参照してください。

(3) チューニング機能

Flash 領域にマッピングした Emulation RAM を介してユーザプログラムの実行中に ROM データのダイナミックチューニングが可能です。

(4) Flash キャッシュクリア機能

Emulation RAM のマッピング設定時に Flash キャッシュのクリアを行います。これにより、内蔵 Flash メモリ / Emulation RAM と Flash キャッシュのメモリ内容のコヒーレンスを維持します。

34.3 トレースコントロール機能

本製品は、CPU の分岐 PC トレース、データトレース、および DMA のデータトレースを行うトレース機能を提供します。

(1) トレース RAM

本製品は、トレース RAM として、32KB を搭載します。

トレース RAM 内のトレース情報は、デバッグインタフェース (NEXUS/LPD (1pin) / LPD (4pin)) にて、アクセス可能です。

(2) ソフトトレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することでできます。

ソフトトレース情報は、デバッグインタフェース (LPD (1pin)) を介して、出力可能です。

34.4 ペリフェラルブレークの制御

ペリフェラルブレークは、ユーザプログラムが停止した場合 (ブレークポイントなどで) に、周辺モジュールを停止させる機能です。

ペリフェラルブレーク時の内蔵モジュールの動作は以下のようになります。

1. 無条件で停止するモジュール
WDTA0
2. 機能停止・継続を選択できるモジュール
OSTM0、OSTM1、OSTM3、OSTM4、OSTM5、OSTM6、OSTM7、TAPA0、TAPA1、TAPA2、TAPA3、TPBA0、TPBA1、TSG30、TSG31、ENCA0、ENCA1、TAUJ0、TAUJ1、TAUJ2、TAUD0、TAUD1、TAUD2、CSIG0、CSIH0、CSIH1、CSIH2、CSIH3、RLIN30、RLIN31

34.5 AUD-RAM モニタ (AUDR)

34.5.1 概要

本 LSI は、システムに実装された状態でユーザプログラムのデバッグ支援を行う機能として、AUD (Advanced User Debugger) -RAM モニタ (AUDR) を備えています。AUDR は、LSI が動作中に内蔵メモリや周辺レジスタ等メモリ空間にマッピングされたリソースの読み出しや書き込みを行うことができます。

注 意

100pin 版では、この機能は対応されません。

表 34.1 に AUDR の概要を示します。また、図 34.1 に AUDR のブロック図を示します。

表 34.1 AUDR の概要

項目	概要
転送方式	クロック同期型パラレルインタフェース (4 ビット)
転送クロックの発生	外部ホスト (RAM モニタツール) 側が発生
転送クロック周波数	最大 20MHz
アクセス領域	システムバス上の物理アドレス領域
アクセスデータサイズ	8/16/32/64 ビット
アクセスアドレス入力ビット幅	8/16/24/32 ビット 入力されないアクセスアドレスの上位ビットは前回のアクセスアドレスと同じ値が使用されます。
データ転送方法	<ul style="list-style-type: none"> 単一転送 入力したアクセスアドレスに対して一つのデータを転送します。 連続転送 入力したアクセスアドレスから最大 16 個のデータを連続的に転送します。 アクセスアドレスはデータサイズに応じて自動的にインクリメントされます。
入出力端子	7 本 (AUDRST、AUDCK、AUDSYNC、AUDATA3 ~ AUDATA0)
機能	<ul style="list-style-type: none"> RAM モニタ機能 システムバスよりアクセス可能な物理アドレス領域に対して読み出し / 書き込みを行う機能です。本機能により内蔵メモリや周辺レジスタ等の参照、変更ができます。 同期通信 (メッセージボード) 機能 CPU で動作するファームウェアが、RAM モニタツールと通信するために利用するフラグレジスタです。

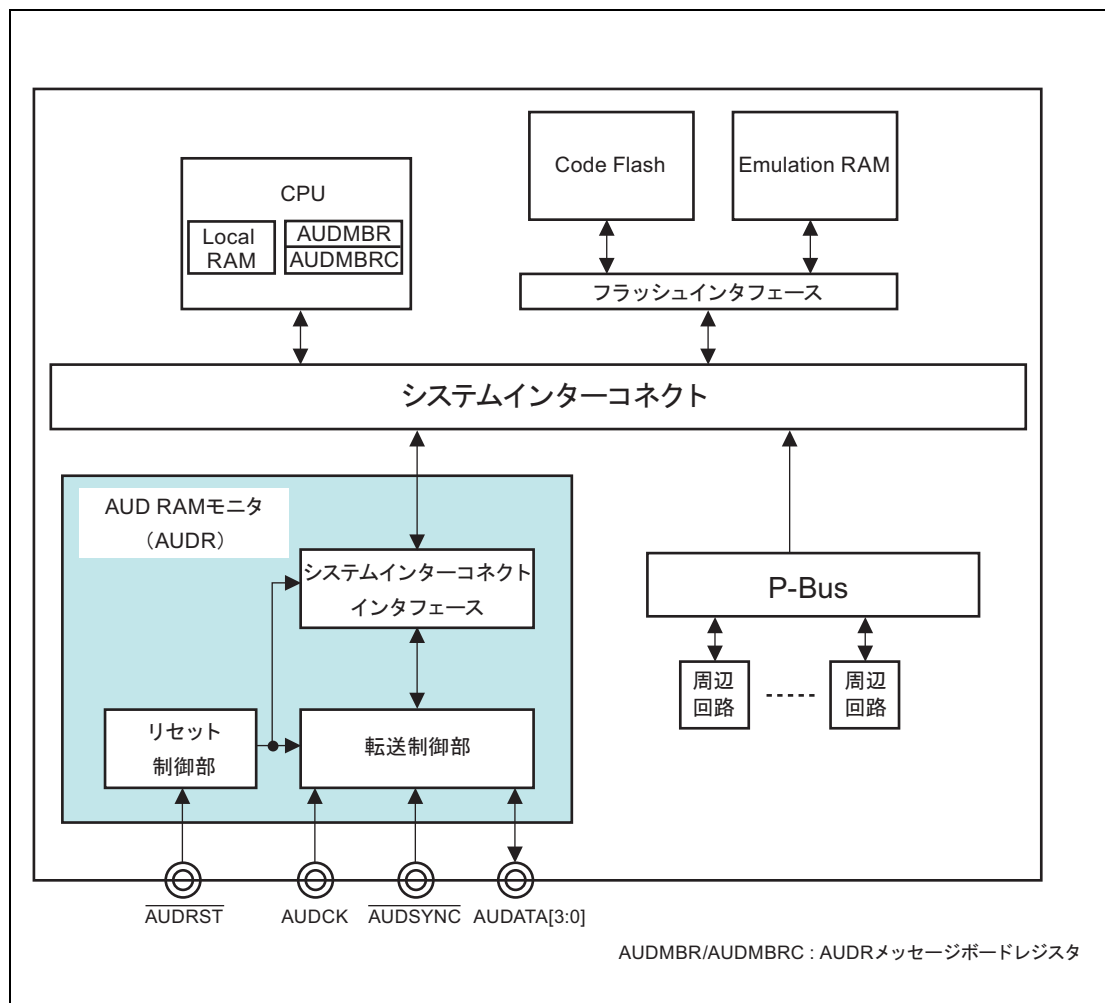


図 34.1 AUDR のブロック図

34.5.2 入出力端子

表 34.2 に AUDR の端子構成を示します。

表 34.2 端子構成

端子名	入出力	機能
AUDRST	入力	本端子は AUDR リセット入力端子です。 本端子に L を入力すると AUDR がリセット状態となります。 常時、内部でプルダウンしています。
AUDCK	入力	本端子は外部クロック入力端子です。 入力できるクロックの周波数は 20MHz 以下です。 常時、内部でプルアップしています。
AUDSYNC	入力	タイミング制御信号入力端子です。 L: コマンド、アドレス、書き込みデータを入力、状態フラグを出力 H: 読み出しデータを出力、アイドル状態 常時、内部でプルアップしています。 注意 本端子は外部から AUIDATA にコマンド等を入力して、レディ状態になるまでネゲート (H に) しないでください。詳細は後述のプロトコルを参照してください。
AUIDATA3 ~ AUIDATA0	入出力	4 ビットのパラレルデータ入出力端子です。 下記情報が時分割で入出力されます。 <ul style="list-style-type: none"> • コマンド (入力) • アドレス (入力) • ライトデータ (入力) / リードデータ (出力) • 状態フラグ (出力) 入力モードの際、常時、内部でプルアップしています。

34.5.3 レジスタの説明

表 34.3 に AUDR 関連のレジスタ構成を示します。

本レジスタは、CPU1 からのみアクセス可能です。

表 34.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	R/W	アドレス	アクセスサイズ	詳細解説
AUDR メッセージボードレジスタ	AUDMBR	0000 _H	R/W 注1	FA00 5004 _H (CPU) 注3 F900 5004 _H (AUDR) 注3	16 注4	34.5.3.1
	AUDMBR C	0000 _H	R/W 注1, 注2	FA00 5008 _H (CPU) 注3 F900 5008 _H (AUDR) 注3	16 注4	

注 1. 値が 0 のビットへの 1 書き込みのみ可能です。値が 1 のビットへの 0 書き込みはできません。

注 2. 読み出し後すべてのビットが 0 にクリアされます。

注 3. AUDMBR/AUDMBRC は、プログラムからアクセスするときのアドレスと AUDR ツールからアクセスするときのアドレスが異なります。「予約エリア」領域ですが、AUDR ツールと通信用に本アドレスはアクセス可能です。

注 4. 16 ビット (ハーフワード) 以外のサイズでアクセスした場合の動作は保証しません。

34.5.3.1 AUDMBR/AUDMBRC — AUDR メッセージボードレジスタ

AUDMBR/AUDMBRC は、読み出し/書き込み可能な 16 ビットのレジスタです。プログラムおよび AUDR ツールによる読み出し/書き込みが可能です。

プログラムからアクセスするときのアドレスは、FA00 5004_H、FA00 5008_H を使用してください。AUDR ツールからアクセスするときのアドレスは、F900 5004_H、F900 5008_H を使用してください。

プログラムが FA00 5008_H 番地の AUDMBRC を読み出すと、読み出し後に AUDMBR/AUDMBRC の全ビットが 0 にクリアされます。プログラムが FA00 5004_H 番地の AUDMBR を読み出した場合は、AUDMBR/AUDMBRC のビットはクリアされません。

AUDR ツールが F900 5008_H 番地の AUDMBRC を読み出すと、読み出し後に AUDMBR/AUDMBRC の全ビットが 0 にクリアされます。AUDR ツールが F900 5004_H 番地の AUDMBR を読み出した場合は、AUDMBR/AUDMBRC のビットはクリアされません。

プログラムおよび AUDR ツールはそれぞれ上記のアドレスから AUDMBR/AUDMBRC への書き込みが可能です。ただし、値が 1 のビットへの 0 の書き込みは無視されます (1 セットのみ可能)。

表 34.5 に AUDMBR/AUDMBRC の推奨アクセス方法を示します。

AUDMBR/AUDMBRC は、AUDR リセットによって初期化されません。AUDR リセット中もプログラムから AUDMBR/AUDMBRC の読み出し/書き込みは可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AUDMBR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.4 AUDMBR/AUDMBRC レジスタの内容

ビット位置	ビット名	機能
15 ~ 0	AUDMBR	AUDR、CPU 間通信フラグ

表 34.5 AUDMBR/AUDMBRC の推奨アクセス方法

アクセス元	アドレス	アクセス方向	アクセス可否	備考
プログラム	FA00 5004 _H (AUDMBR)	ライト	"1" のみ書き込み可能 "0" の書き込みは無視	—
		リード	リード可	読み出し後のクリア動作なし
AUDR ツール	F900 5008 _H (AUDMBRC)	ライト	"1" のみ書き込み可能 "0" の書き込みは無視	—
		リード	リード可	読み出し後に全ビットが "0" にクリアされる

34.5.4 RAM モニタ機能

34.5.4.1 通信プロトコル

AUDATA 端子に入力するコマンド、カウント値、アドレス、データは、**図 34.2** に示すフォーマットで入力してください。詳細については「**34.5.4.2 動作説明**」を参照してください。

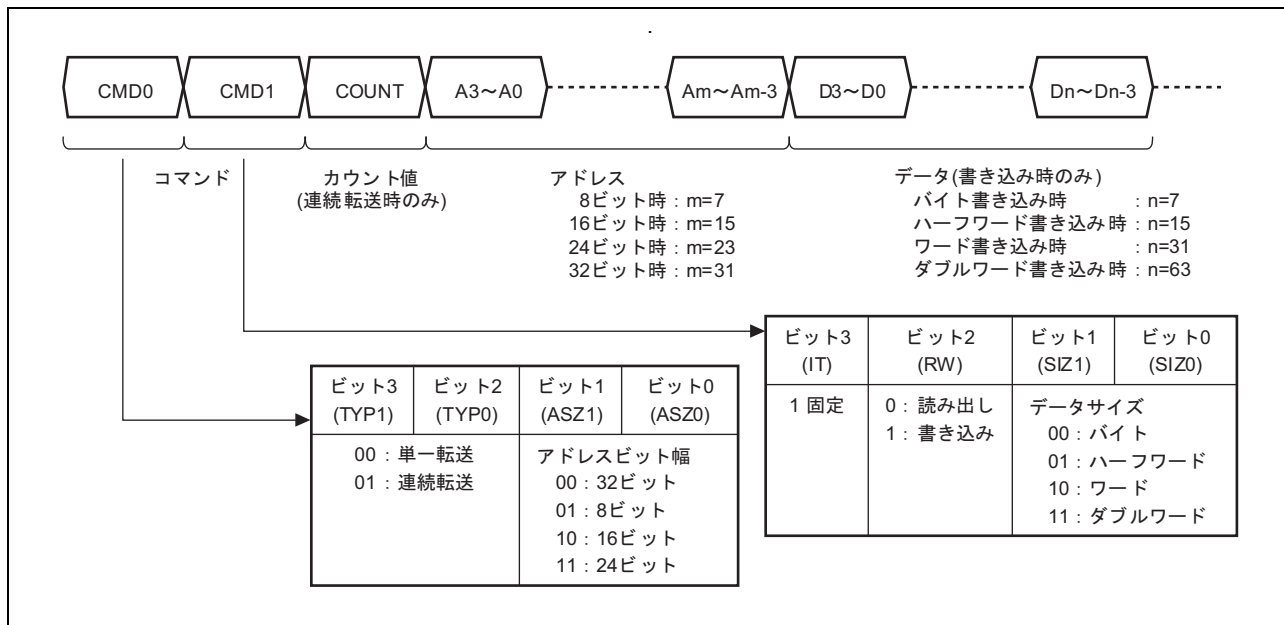


図 34.2 AUDATA 端子入力フォーマット

34.5.4.2 動作説明

(1) 単一転送

単一転送は、入力したアクセスアドレスに対して一つのデータを転送する転送方法です。**図 34.3** に単一転送時のリード動作の例、**図 34.4** に単一転送時のライト動作の例を示します。

AUDSYNC 端子がアサートされ、**図 34.2** に示すフォーマットで AUDATA 端子にコマンド、アドレス、データ（書き込み時のみ）が入力されると、AUDR は指定されたアドレスの読み出し / 書き込み動作を開始します。内部実行中 AUDR は Not Ready フラグ（“0000”）を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ（“0001”）を AUDATA 端子に出力します（**図 34.3**、**図 34.4**）。

読み出し時は Ready フラグの出力後、AUDSYNC 端子がネゲートされると AUDATA 端子から読み出しデータを出力します（**図 34.3**）。

CMD0、CMD1 に**図 34.2** に示すコマンド以外が入力された場合、AUDR はコマンドエラーとして処理を無効にし、Ready フラグ内の CFLG ビットを“1”にセットします。また、内部実行でバスエラーとなった場合、処理を無効にし Ready フラグ内の BFLG ビットを“1”にセットします（**図 34.5**）。

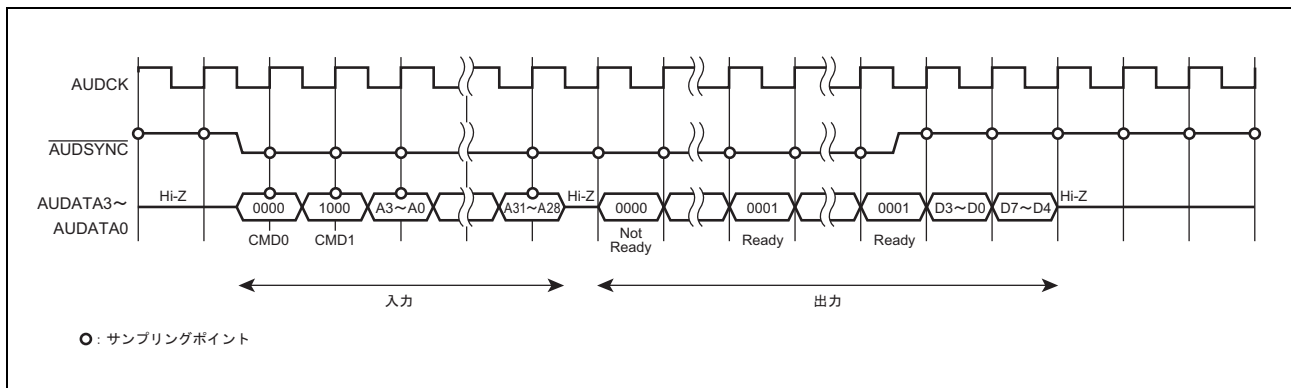


図 34.3 単一転送リード動作例 (アドレス 32 ビット、バイトリード)

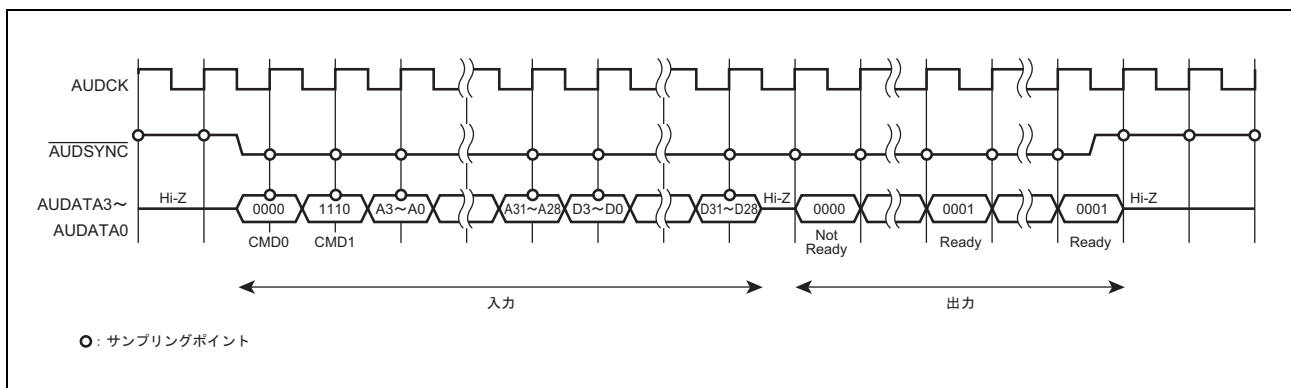


図 34.4 単一転送ライト動作例 (アドレス 32 ビット、ワードライト)

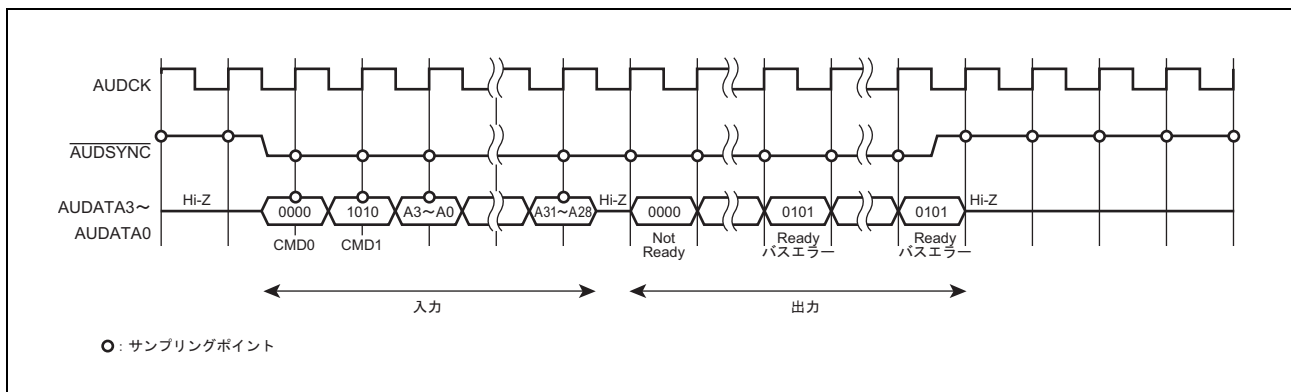


図 34.5 単一転送エラー発生例 (アドレス 32 ビット、ワードリード)

(2) 連続転送

連続転送は入力したアドレスから最大 16 個のデータを連続的に転送する転送方法です。アクセスアドレスは 1 回のデータ転送が完了するたびに、データサイズに応じて自動的にインクリメントされます。図 34.6 に連続転送時のリード動作の例、図 34.7 に連続転送時のライト動作の例を示します。

初回のデータ転送は、図 34.2 に示す COUNT (カウント値) を入力する必要がある点を除いて、単一転送と同一です。COUNT には転送するデータの個数 -1 を入力します。

2 回目以降のデータ転送は CMD0、CMD1、COUNT、アドレスの入力は省略されます。リード動作、ライト動作それぞれの 2 回目以降のデータ転送は以下のように行われます。

リード動作の場合、前回のデータ転送完了後、AUDSYNC 端子がアサートされると、内部実行中 AUDR は Not Ready フラグ (“0000”) を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ (“0001”) を AUDATA 端子に出力します。その後、AUDSYNC 端子がネゲートされると AUDATA 端子から読み出しデータを出力します。以降、COUNT で指定された個数のデータを読み出すまでこの動作を繰り返します (図 34.6)。

ライト動作の場合、前回のデータ転送完了後、AUDSYNC 端子がアサートされると AUDR は AUDATA 端子から書き込みデータを入力します。書き込みデータの入力後、AUDR は内部実行を開始します。内部実行中 AUDR は Not Ready フラグ (“0000”) を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ (“0001”) を AUDATA 端子に出力します。以降、COUNT で指定された個数のデータを書き込むまでこの動作を繰り返します (図 34.7)。

また、内部実行でバスエラーとなった場合、以降のデータ転送を中断し、Ready フラグ内の BFLG ビットを “1” にセットします (図 34.8)。

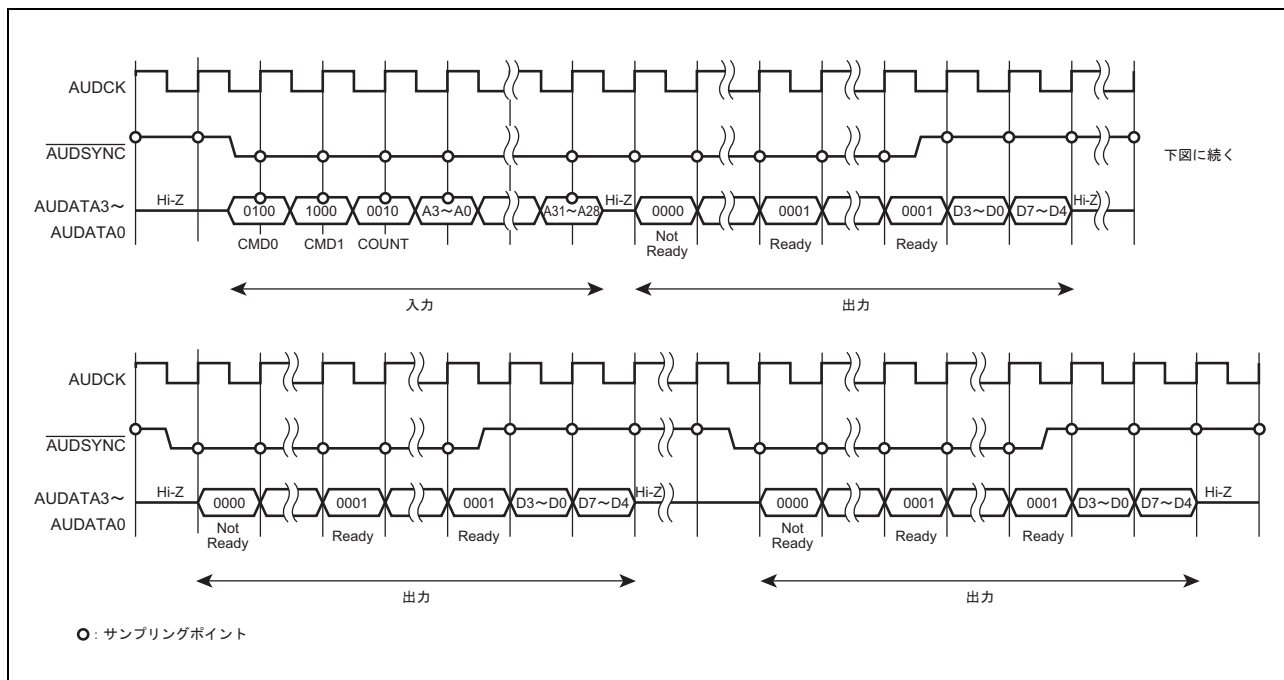


図 34.6 連続転送リード動作例 (アドレス 32 ビット、バイトリード×3 データ)

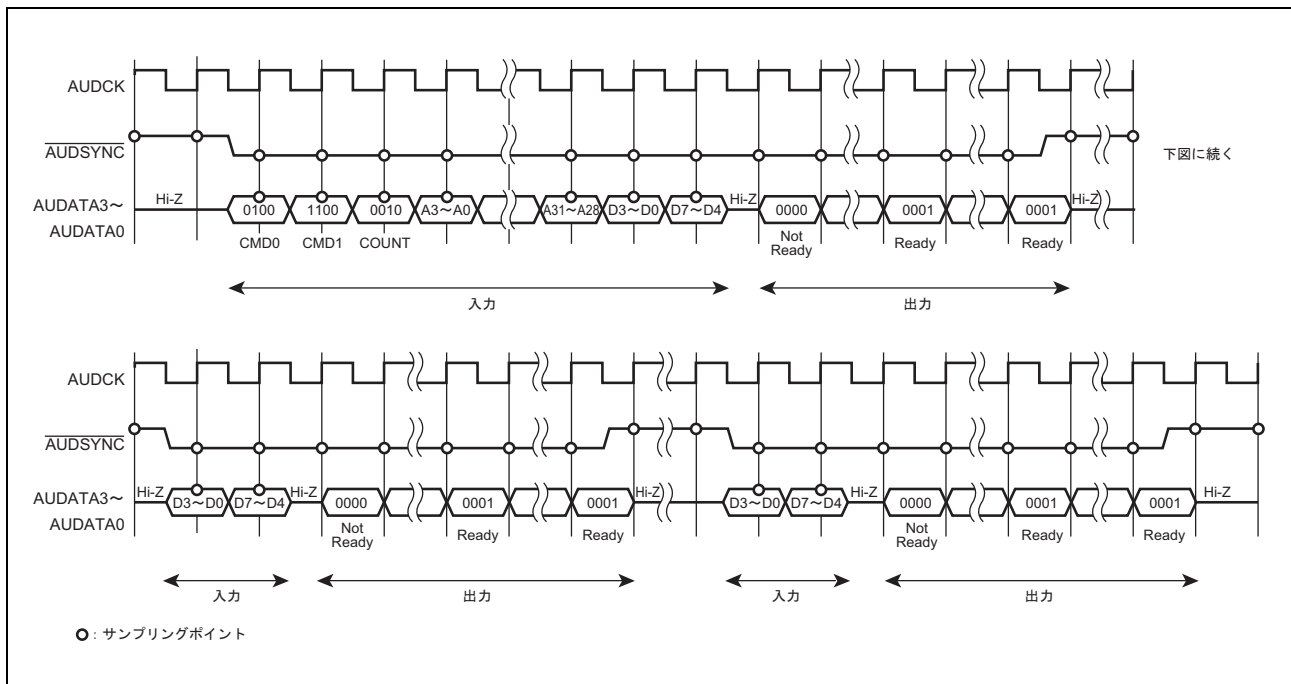


図 34.7 連続転送ライト動作例 (アドレス 32 ビット、バイトライト ×3 データ)

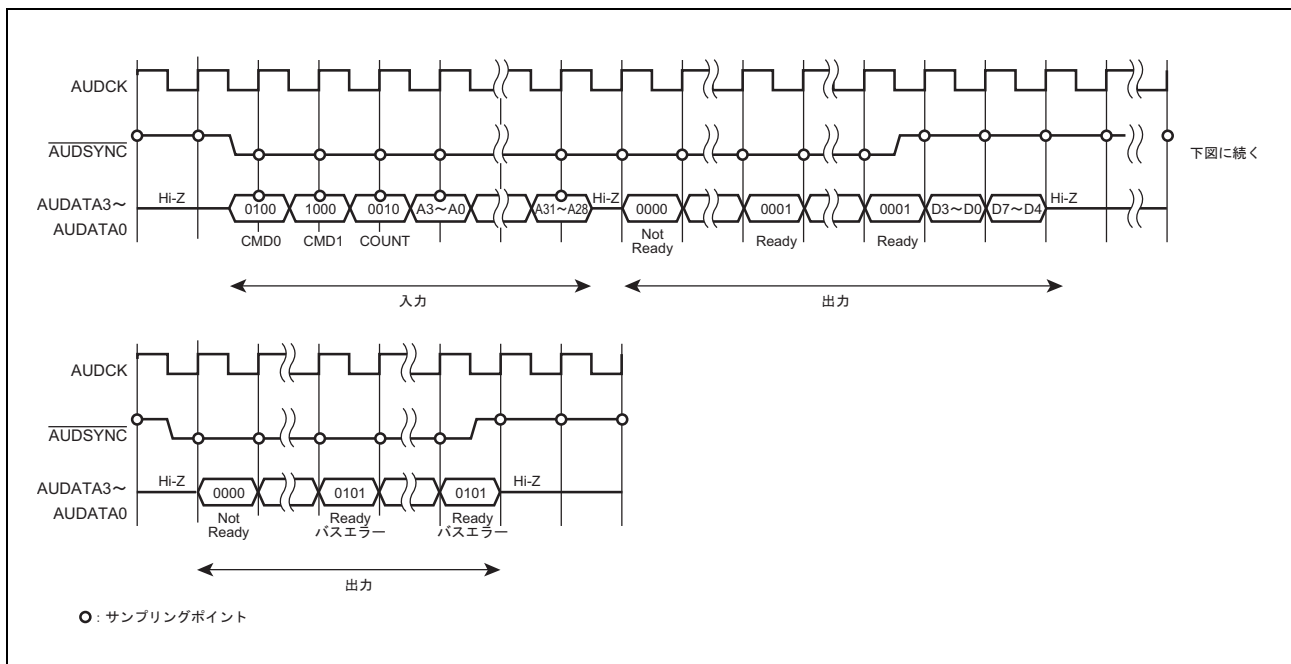


図 34.8 連続転送エラー発生例 (アドレス 32 ビット、バイトリード ×3 データ)

(3) コマンドエラー条件

表 34.6 コマンド (CMD0) エラー条件

ビット3 (TYP1)	ビット2 (TYP0)	ビット1 (ASZ1)	ビット0 (ASZ0)	内容
0	0	0	0	単一転送 アドレスビット幅 32 ビット
0	0	0	1	単一転送 アドレスビット幅 8 ビット
0	0	1	0	単一転送 アドレスビット幅 16 ビット
0	0	1	1	単一転送 アドレスビット幅 24 ビット
0	1	0	0	連続転送 アドレスビット幅 32 ビット
0	1	0	1	連続転送 アドレスビット幅 8 ビット
0	1	1	0	連続転送 アドレスビット幅 16 ビット
0	1	1	1	連続転送 アドレスビット幅 24 ビット
1	x	x	x	コマンドエラー

表 34.7 コマンド (CMD1) エラー条件

ビット3 (IT)	ビット2 (RW)	ビット1 (SIZ1)	ビット0 (SIZ0)	内容
0	x	x	x	コマンドエラー
1	0	0	0	リードバイト
1	0	0	1	リード ハーフワード
1	0	1	0	リードワード
1	0	1	1	リードダブルワード
1	1	0	0	ライトバイト
1	1	0	1	ライト ハーフワード
1	1	1	0	ライトワード
1	1	1	1	ライトダブルワード

(4) バスエラー条件

- $4n+1$ 、 $4n+3$ 番地にハーフワードアクセス
- $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にワードアクセス
- $8n+1$ 、 $8n+2$ 、 $8n+3$ 、 $8n+4$ 、 $8n+5$ 、 $8n+6$ 、 $8n+7$ 番地にダブルワードアクセス
- システムバスからエラーレスポンスを受信

(5) AUDATA 端子入力フォーマット

表 34.8 入力フォーマットのビット配置

入力順	フォーマット名	ビット配置				○：必要、－：不要			
		AUDATA3	AUDATA2	AUDATA1	AUDATA0				
先 ↓ 後	CMD0	TYP1	TYP0	ASZ1	ASZ0	○			
	CMD1	IT	RW	SIZ1	SIZ0	○			
	COUNT	C3	C2	C1	C0	－：単一転送時、○：連続転送時			
	アドレス					8ビット	16ビット	24ビット	32ビット
		A3	A2	A1	A0	○	○	○	○
		A7	A6	A5	A4	○	○	○	○
		A11	A10	A9	A8	－	○	○	○
		A15	A14	A13	A12	－	○	○	○
		A19	A18	A17	A16	－	－	○	○
		A23	A22	A21	A20	－	－	○	○
		A27	A26	A25	A24	－	－	－	○
	A31	A30	A29	A28	－	－	－	○	
	データ (ライト時のみ)					バイト ライト時	ハーフ ワード ライト時	ワード ライト時	ダブル ワード ライト時
		D3	D2	D1	D0	○	○	○	○
		D7	D6	D5	D4	○	○	○	○
		D11	D10	D9	D8	－	○	○	○
		D15	D14	D13	D12	－	○	○	○
		D19	D18	D17	D16	－	－	○	○
		D23	D22	D21	D20	－	－	○	○
		D27	D26	D25	D24	－	－	○	○
		D31	D30	D29	D28	－	－	○	○
		D35	D34	D33	D32	－	－	－	○
		D39	D38	D37	D36	－	－	－	○
		D43	D42	D41	D40	－	－	－	○
		D47	D46	D45	D44	－	－	－	○
		D51	D50	D49	D48	－	－	－	○
		D55	D54	D53	D52	－	－	－	○
D59		D58	D57	D56	－	－	－	○	
D63	D62	D61	D60	－	－	－	○		

表 34.9 CMD0 フォーマット

ビット名	機能	内容
TYP[1:0]	転送タイプ	00 : 単一転送 01 : 連続転送
ASZ[1:0]	アドレスビット幅を指定	AUDATA 端子から入力するアドレスのビット幅を指定します。 8、16、24 ビットを指定した場合、AUDATA 端子から入力されないアドレスの上位ビットは、前回のアクセスアドレスと同じ値が使用されます。 リセット解除後や、コマンドエラー/バスエラー発生後の最初のアクセスは、32 ビットのアドレスを入力してください。 00 : 32 ビット 01 : 8 ビット 10 : 16 ビット 11 : 24 ビット

注 1. 上記以外の設定を行ったときはコマンドエラーになります。

表 34.10 CMD1 フォーマット

ビット名	機能	内容
IT	アクセス空間を指定	"1" に設定してください。
RW	リード/ライトを指定	0 : リード 1 : ライト
SIZ[1:0]	データサイズを指定	アクセスするデータのサイズを指定します。 00 : バイト (8 ビット) 01 : ハーフワード (16 ビット) 10 : ワード (32 ビット) 11 : ダブルワード (64 ビット)

注 1. 上記以外の設定を行ったときはコマンドエラーになります。

表 34.11 COUNT フォーマット

ビット名	機能	内容
C3 ~ C0	転送データ数を指定	連続転送時の転送データ数を指定します。 0000 : 1 データ 0001 : 2 データ 0010 : 3 データ 0011 : 4 データ 0100 : 5 データ 0101 : 6 データ 0110 : 7 データ 0111 : 8 データ 1000 : 9 データ 1001 : 10 データ 1010 : 11 データ 1011 : 12 データ 1100 : 13 データ 1101 : 14 データ 1110 : 15 データ 1111 : 16 データ

表 34.12 アドレスフォーマット

ビット名	機能	内容
A31 ~ A0	アドレスを指定	アクセス先のアドレスを指定します。 CMD0の ASZ[1:0] ビットの指定により必要なビット数が増減します (詳細は表 34.8 を参照してください)。

表 34.13 ライトデータフォーマット

ビット名	機能	内容
D63 ~ D0	ライトデータを指定	ライトデータを指定します。 CMD1の SIZ[1:0] ビットの指定により必要なビット数が増減します (詳細は表 34.8 を参照してください)。

(6) AUDATA 端子出力フォーマット

表 34.14 Ready フラグフォーマット

ビット配置	ビット名	機能	内容
AUDATA3	0	—	—
AUDATA2	BFLG	バスエラーの発生を示します。	0 : 正常 1 : バスエラー発生
AUDATA1	CFLG	コマンドエラーの発生を示します。	0 : 正常 1 : コマンドエラー発生
AUDATA0	RFLG	AUDR の動作完了を示します。	0 : Not Ready 1 : Ready

表 34.15 リードデータのビット配置

出力順	ビット配置				○ : 必要、— : 不要			
	AUDATA3	AUDATA2	AUDATA1	AUDATA0	バイト リード時	ハーフ ワード リード時	ワード リード時	ダブル ワード リード時
先 ↓ 後	D3	D2	D1	D0	○	○	○	○
	D7	D6	D5	D4	○	○	○	○
	D11	D10	D9	D8	—	○	○	○
	D15	D14	D13	D12	—	○	○	○
	D19	D18	D17	D16	—	—	○	○
	D23	D22	D21	D20	—	—	○	○
	D27	D26	D25	D24	—	—	○	○
	D31	D30	D29	D28	—	—	○	○
	D35	D34	D33	D32	—	—	—	○
	D39	D38	D37	D36	—	—	—	○
	D43	D42	D41	D40	—	—	—	○
	D47	D46	D45	D44	—	—	—	○
	D51	D50	D49	D48	—	—	—	○
	D55	D54	D53	D52	—	—	—	○
	D59	D58	D57	D56	—	—	—	○
	D63	D62	D61	D60	—	—	—	○

表 34.16 リードデータフォーマット

ビット名	機能	内容
D63 ~ D0	リードデータ出力	CMD1 の SIZ[1:0] ビットの指定により出力されるビット数が増減します (詳細は表 34.15 を参照してください)。

34.5.4.3 RAM モニタ機能に関する使用上の注意事項

AUDSYNC 端子は AUDATA 端子にコマンドが入力されて、Ready が返されるまではネゲートしないでください。

34.5.4.4 RAM モニタ機能の有効 / 無効設定

AUDR はオプションバイト (FLASH に格納しリセット転送によって設定) によって有効 / 無効の指定が可能です。

AUDREN : AUDR のイネーブルビット

オプションバイトの設定方法に関しては「第 35 章 フラッシュメモリ」を参照してください。

備 考

シリアルプログラミングモード時は、本設定に関係なく AUDR は無効となります。

34.6 オンチップデバッグ使用上の注意

- (1) デバッグに使用したデバイスの処理
デバッグに使用したデバイスを量産製品に搭載しないでください。デバッグ中にフラッシュメモリが書き換えられているため、フラッシュメモリの書き換え回数を保証できません。
- (2) デバッガを使用する際、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンに書き込まれているプログラムがリセットベクタから動作しますので、注意が必要です。

第35章 フラッシュメモリ

本章では、RH850/P1x に搭載するフラッシュメモリについて説明します。

最初の節では、搭載するフラッシュメモリの特長、メモリマップ、フラッシュメモリプログラミング、ECC など、RH850/P1x に固有の特長について説明します。

35.1 特長

- コードフラッシュメモリ容量: ユーザ領域 最大 2M バイト、拡張ユーザ領域 32K バイト
- データフラッシュメモリ容量: データ領域 最大 64K バイト
- 書き換え方式
 - 専用フラッシュメモリプログラマとのシリアルインタフェースを介しての通信による書き換え (シリアルプログラミング)
 - ユーザプログラムによるフラッシュメモリの書き換え (セルフプログラミング)
- フラッシュメモリの不正改ざんを防止するセキュリティ機能をサポート
- フラッシュメモリの誤書き換えを防止するプロテクション機能をサポート
- フラッシュメモリの誤り検出 / 訂正機能をサポート
- BGO (Back Ground Operation) 機能をサポート
 - データフラッシュメモリの書き込み / 消去中、コードフラッシュ上のプログラム実行が可能
- RH850/P1x の初期設定を、フラッシュメモリの拡張領域 (オプションバイト) に設定可能
- 消去単位
 - コードフラッシュ: 1ブロック (8K バイト もしくは 32K バイト)
 - データフラッシュ: 1ブロック (64 バイト)
- 書き換え単位
 - コードフラッシュ: 256 バイト
 - データフラッシュ: 4 バイト
- ECC
 - コードフラッシュメモリ、データフラッシュメモリに ECC を搭載しています。詳細は、「**第31章 ファンクショナルセーフティ**」を参照してください。

35.2 メモリ構成

RH850/P1x のコードフラッシュメモリのユーザ領域は 8 K バイトまたは 32 K バイトのブロックに分割されており、各ブロック単位で消去可能です。但し、ECC テスト領域は、書き込みおよび消去はできません。

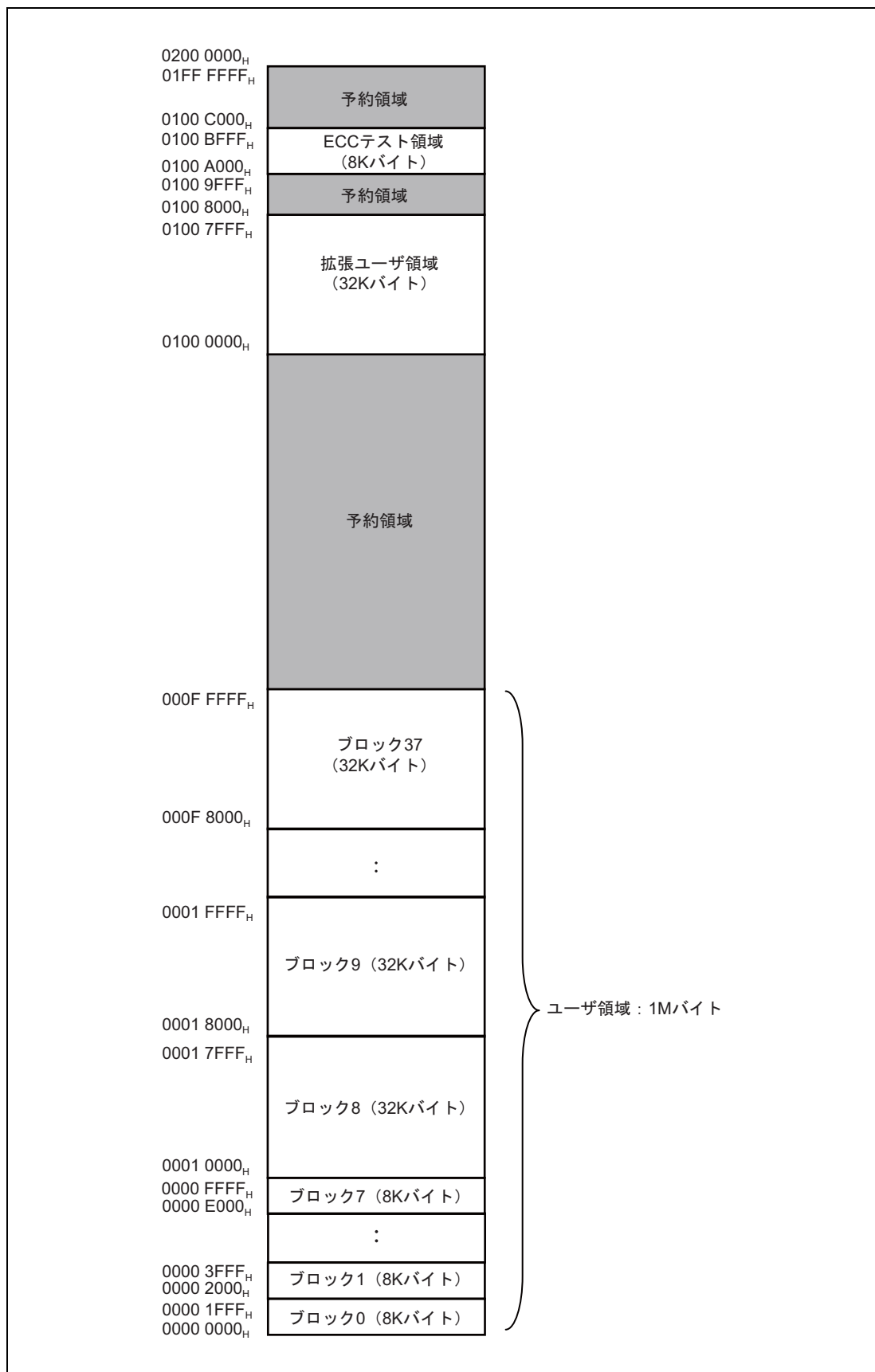


図 35.1 コードフラッシュメモリマッピング (8 Kバイト × 8 + 32 Kバイト × 30 構成)

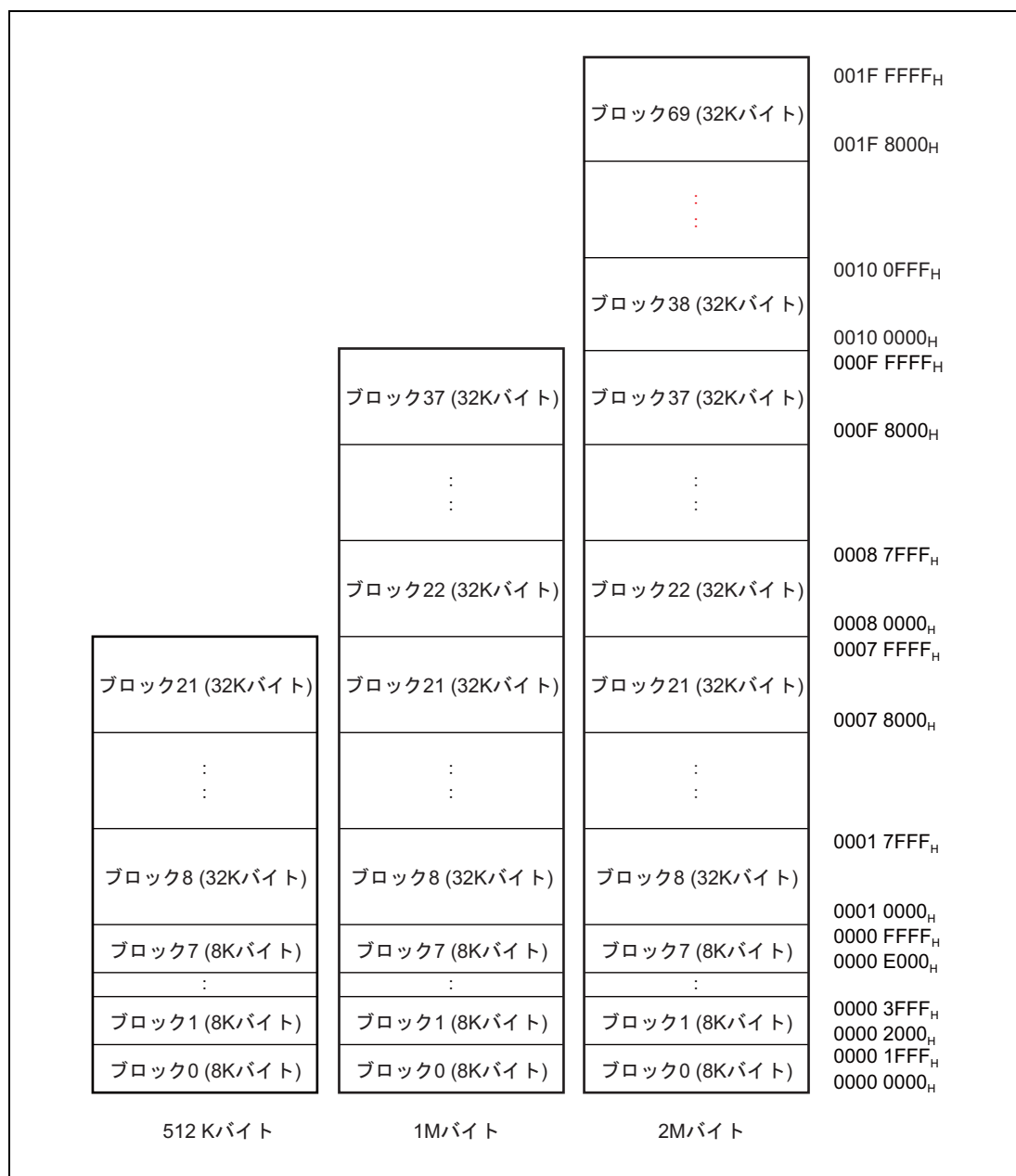


図 35.2 ユーザ領域のメモリ容量とブロックの関係

RH850/P1x のデータフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位で消去可能です。

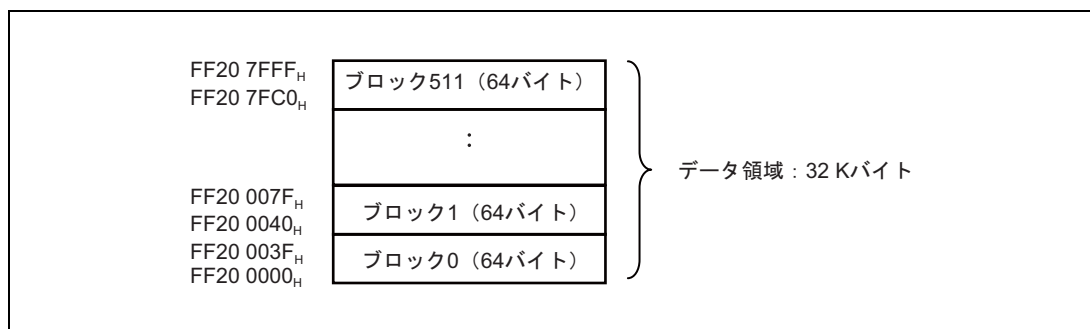


図 35.3 データフラッシュメモリマッピング (64 バイト × 512 構成)

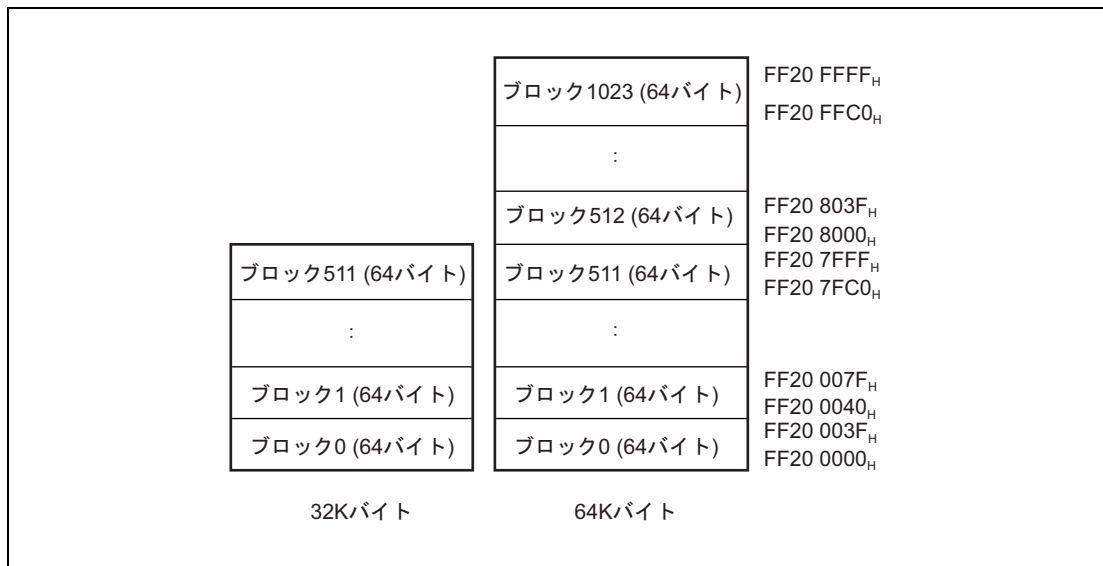


図 35.4 データ領域のメモリ容量とブロックの関係

35.3 フラッシュメモリ関連の動作モード

図 35.5 にフラッシュメモリに関するモードの遷移図を示します。モード設定の方法については「第5章 動作モード」を参照してください。

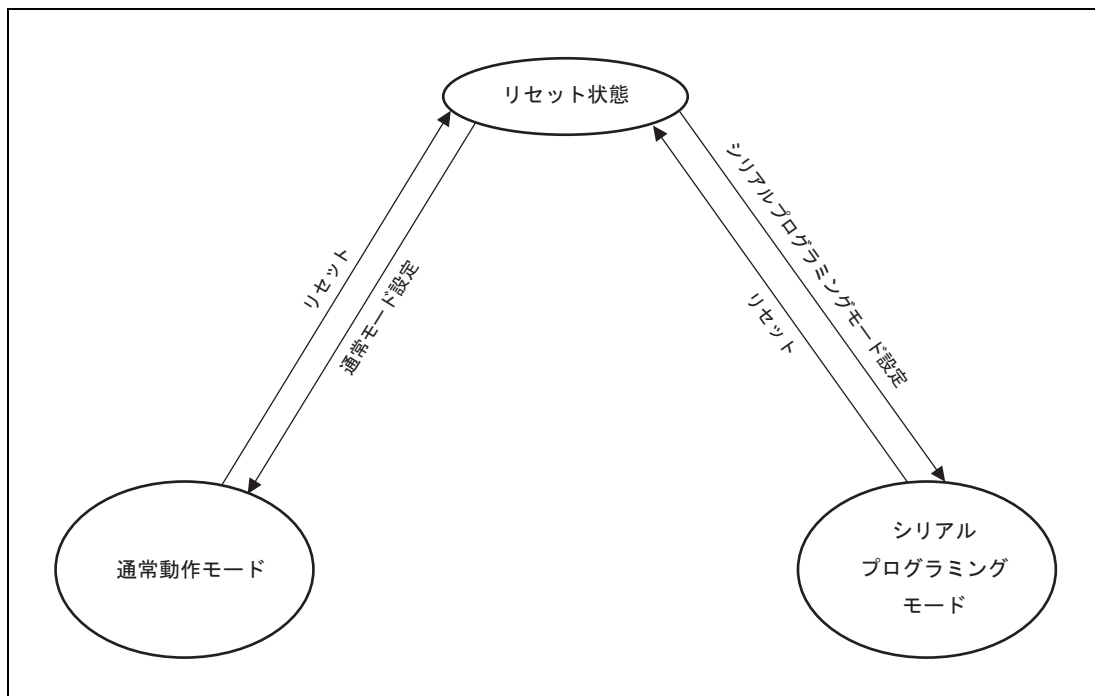


図 35.5 フラッシュメモリに関するモード遷移図

各モードで書き込み／消去が可能なフラッシュメモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を表 35.1 にまとめます。

表 35.1 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード
書き込み／消去が可能な領域	ユーザ領域 拡張ユーザ領域 データ領域	ユーザ領域 拡張ユーザ領域 データ領域
リセット時の起動プログラム	ユーザ領域のプログラムもしくは 拡張ユーザ領域のプログラム	シリアルプログラミング用 組み込みプログラム

35.4 機能概要

RH850/P1x の内蔵フラッシュメモリは、専用フラッシュメモリプログラマによる書き換え機能により、ターゲットシステムへの実装前、実装後にかかわらず書き換えが可能です（シリアルプログラミング）。

また、内蔵フラッシュメモリに書かれたユーザプログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザプログラムによる書き換え機能（セルフプログラミング）は、ターゲットシステムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

各書き換え方式の概要と対応する動作モードを、表 35.2 に示します。

表 35.2 書き換え方法

書き換え方法	機能概要	動作モード
シリアルプログラミング	専用フラッシュメモリプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	専用フラッシュメモリプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングによりコードフラッシュメモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。 セルフプログラミングによるデータフラッシュメモリの書き換え時には、BGO 機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。このため、コードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。 セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータの読み出しはできません。Local RAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード

内蔵フラッシュメモリの機能一覧を表 35.3 に示します。シリアルプログラミングにおける各機能は、シリアルプログラムのコマンドで実現されます。セルフプログラミングにおける各機能は、ユーザプログラムによる内蔵フラッシュメモリの読み出しで実現されます。

表 35.3 基本機能一覧

機能	機能概要	サポートの有無 (○: サポート、△: 条件付サポート ×: 未サポート)	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックが書き込まれていないことの確認を行います。消去後に書き込んでいない状態のデータフラッシュメモリの読み出し結果は保証されません。消去後に書き込んでいない状態の確認には、ブランクチェックを使用してください。	○	○
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
プログラム	指定したアドレスの書き込みを行います。	○	○
ベリファイ/ チェックサム	フラッシュメモリから読み出したデータと、フラッシュメモリプログラムから転送されたデータの比較を行います。	○	× (ユーザプログラムにて読み出しは可能)
リード	フラッシュメモリに書き込まれたデータの読み出しを行います。	○	○
OTP (One Time Programming) 設定	指定したコードフラッシュメモリのブロックに対する OTP の設定を行います (OTP を設定することのみ可能、解除は不可能)。	○	○
ID 設定	シリアルプログラミング時のシリアルプログラム接続制御、セルフプログラミングによるコードフラッシュメモリ書き込みの有効化に使用する ID の設定を行います。	○	○
セキュリティ設定	シリアルプログラミング用のセキュリティ機能の設定を行います。	○	△ (設定を許可から禁止にする場合のみ可能)
プロテクション設定	コードフラッシュメモリの各ブロックのロックビット、可変リセットベクタ機能用のリセットベクタ値の設定を行います。	△ (可変リセットベクタ機能用のリセットベクタ値の設定はサポートしていません。)	○
オプションバイト設定	オプションバイトの設定を行い、RH850/P1x の初期設定を変更します。	○	○
コンフィグレーションクリア	ID 設定、セキュリティ設定、プロテクション設定、オプションバイト設定を初期化します。	○	×

シリアルプログラミングの詳細については、各フラッシュライタのユーザーズマニュアルを参照してください。

セルフプログラミングの詳細については、「フラッシュメモリ ハードウェアインターフェース」のユーザーズマニュアルを参照してください。

OTP と ID 認証は、シリアルプログラミングおよびセルフプログラミングともに使用できるセキュリティ機能です。

シリアルプログラミング時は、ID 認証、シリアルプログラマ接続禁止、コマンド禁止（ブロック消去コマンド禁止/プログラムコマンド禁止/リードコマンド禁止）のいずれかのセキュリティ機能を使用可能です。

表 35.4 セキュリティ機能一覧

機能	機能概要
OTP	コードフラッシュメモリのユーザ領域の各ブロックおよび拡張ユーザ領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミング機能の有効化を ID 認証結果で制御可能です。
シリアルプログラマ接続禁止	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。シリアルプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ブロック消去コマンド禁止	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。

表 35.5 セキュリティ設定時の動作

機能	各セキュリティ設定時の消去 / 書き込み / 読み出し動作 (○: 実行可能, ×: 実行不可, -: 未サポート)		セキュリティ設定 注意事項	
	シリアルプログラミング	セルフプログラミング	シリアルプログラミング	セルフプログラミング
OTP	<ul style="list-style-type: none"> OTP 設定された領域 ブロック消去コマンド: × プログラムコマンド: × リードコマンド: ○ OTP 設定されていない領域 ブロック消去コマンド: ○ プログラムコマンド: ○ リードコマンド: ○ 	<ul style="list-style-type: none"> OTP 設定された領域 ブロック消去: × 書き込み: × 読み出し: ○ OTP 設定されていない領域 ブロック消去: ○ 書き込み: ○ 読み出し: ○ 	OTP 設定の解除が不可能 コンフィグレーションクリアコマンドの実行が不可能	OTP 設定の解除が不可能
ID 認証	<ul style="list-style-type: none"> ID が不一致の場合 ブロック消去コマンド: × プログラムコマンド: × リードコマンド: × ID が一致した場合 ブロック消去コマンド: ○ プログラムコマンド: ○ リードコマンド: ○ 	<ul style="list-style-type: none"> ID が不一致の場合 <ul style="list-style-type: none"> コードフラッシュメモリ ブロック消去: × 書き込み: × 読み出し: ○ データフラッシュメモリ ブロック消去: ○ 書き込み: ○ 読み出し: ○ ID が一致した場合 ブロック消去: ○ 書き込み: ○ 読み出し: ○ 	コンフィグレーションクリアコマンドによる禁止設定の初期化が可能 ブロック消去コマンド禁止の設定が不可能 プログラムコマンド禁止の設定が不可能 リードコマンド禁止の設定が不可能	ID 認証機能は常に有効
シリアル プログラマ 接続禁止	ブロック消去コマンド: × プログラムコマンド: × リードコマンド: ×	ブロック消去: ○ 書き込み: ○ 読み出し: ○	コンフィグレーションクリアは未サポートのため、禁止設定の初期化が不可能	コンフィグレーションクリアは未サポートのため、禁止設定の初期化が不可能
ブロック消去 コマンド禁止	ブロック消去コマンド: × プログラムコマンド: ○ リードコマンド: ○	ブロック消去: ○ 書き込み: ○ 読み出し: ○	コンフィグレーションクリアは未サポートのため、禁止設定の初期化が不可能 シリアルプログラマ接続禁止の設定が不可能 シリアルプログラミング用の ID 認証機能の有効設定が不可能	コンフィグレーションクリアは未サポートのため、禁止設定の初期化が不可能
プログラム コマンド禁止	ブロック消去コマンド: × プログラムコマンド: × リードコマンド: ○	ブロック消去: ○ 書き込み: ○ 読み出し: ○	コンフィグレーションクリアコマンドの実行によってのみ、設定禁止の初期化が可能	コンフィグレーションクリアは未サポートのため、禁止設定の初期化が不可能
リード コマンド禁止	ブロック消去コマンド: ○ プログラムコマンド: ○ リードコマンド: ×	ブロック消去: ○ 書き込み: ○ 読み出し: ○	シリアルプログラミング用の ID 認証機能の有効設定が不可能	

表 35.6 プロテクション機能一覧

機能	機能概要
ブロック保護	コードフラッシュメモリのユーザ領域の各ブロック、拡張ユーザ領域に対して、個別に書き換えの有効/無効を設定可能です。ロックビットがセットされ、かつロックビット機能が有効に設定された領域は、セルフプログラミングで書き換え禁止です。 ロックビット機能を有効から無効に変更することで、再度書き込み/消去を実施することも可能です。コードフラッシュメモリをブロック消去すると、該当ブロックのロックビットも消去されます。
ハードウェアプロテクション	FLMD0 端子のレベルで、コードフラッシュメモリの書き込み/消去を禁止することが可能です。 <ul style="list-style-type: none"> - FLMD0 = 0: 書き換え禁止 - FLMD0 = 1: 書き換え許可
可変リセットベクタ	プロテクション機能でリセットベクタを変更可能です。図 35.6 に示すように、既存のプログラムを残した状態で新しい起動プログラムを書き込んだ後、リセットベクタを新しい起動プログラム領域に変更することで、安全にプログラムの更新を実施することが可能です。 リセットベクタで指定できる領域は、ユーザ領域および、拡張ユーザ領域です。

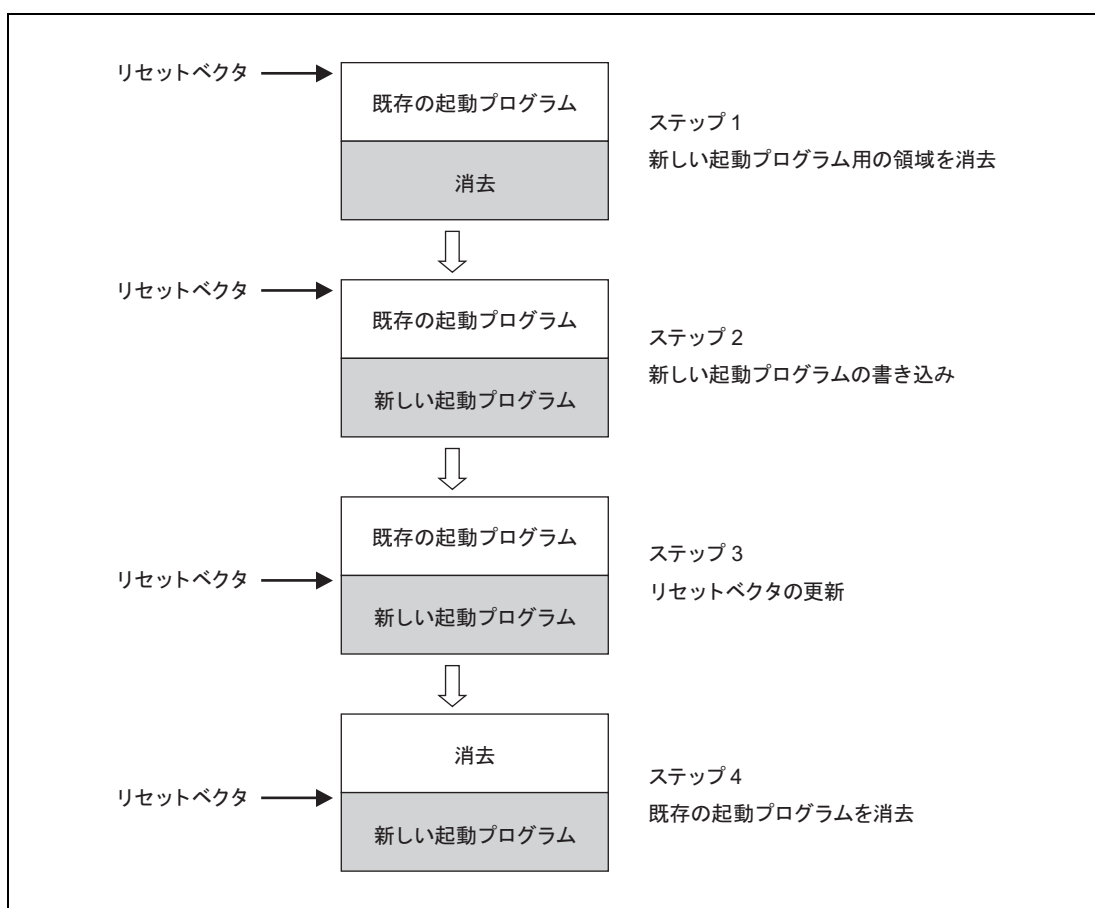


図 35.6 可変リセットベクタ機能を利用した起動プログラムの更新方法

備 考

ステップ 4 実施後、リセットを実施することで、RBASE が変更されたリセットベクタに更新されます。

35.5 シリアルプログラミング

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリの操作を行うことができます。

シリアルプログラミング

シリアルプログラミング時に、マイクロコントローラはボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはターゲットマイクロコントローラを操作することができます。

35.5.1 プログラミング環境

マイクロコントローラのフラッシュメモリにデータを操作するための推奨される環境を次に示します。

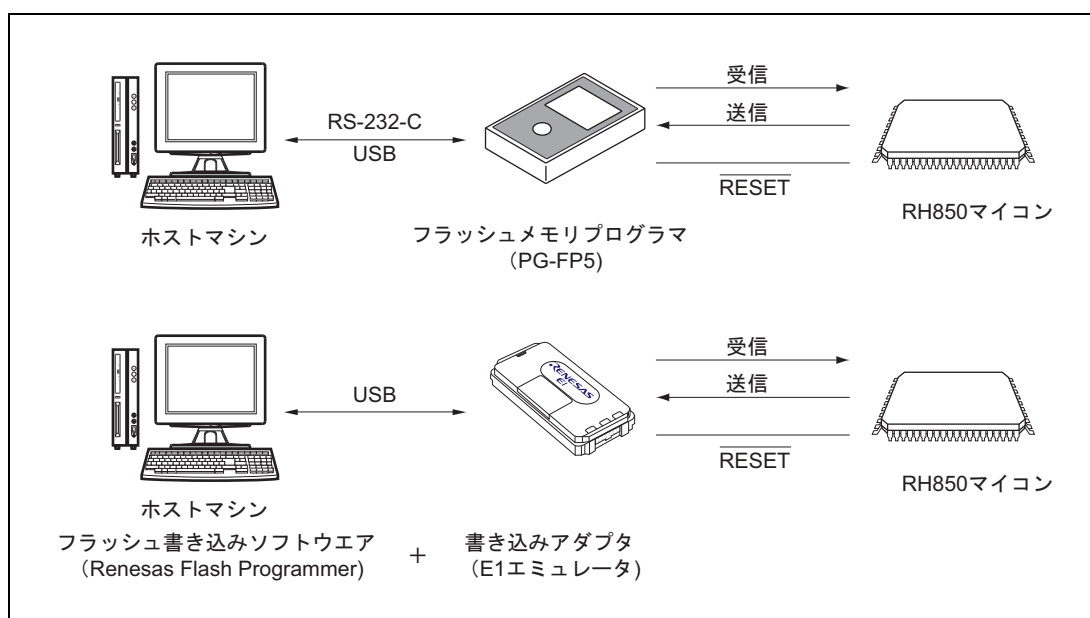


図 35.7 フラッシュメモリにプログラムを書き込むための環境

フラッシュメモリプログラマ PG-FP5、またはフラッシュ書き込みソフトウェア Renesas Flash Programmer（ホストマシンで動作）と E1 エミュレータを書き込みアダプタとして使用することで、ルネサスエレクトロニクス製のフラッシュメモリ内蔵マイコンをユーザが使用するボードに実装したまま、プログラムの消去、書き込み、ベリファイなどが簡単に操作できます。

フラッシュメモリプログラマ PG-FP5 は、ホストマシンからの書き込み操作、または、スタンドアロンモードでの書き込み操作が可能です。

フラッシュ書き込みソフトウェア（Renesas Flash Programmer）は、ホストマシンから書き込み操作が可能です。

備考

PG-FP5 の詳細は『PG-FP5 フラッシュメモリプログラマユーザズマニュアル』を、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は『Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザズマニュアル』をご参照ください。

35.6 通信モード

35.6.1 非同期フラッシュプログラミングインタフェース 1 wire UART

シングルワイヤ非同期シリアルプログラミングインタフェース 1 wire UART は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FLSCI3RXD(FPDR)、FLSCI3TXD(FPDT) : 受信データ入力/送信データ出力

35.6.2 非同期フラッシュプログラミングインタフェース 2 wire UART

ダブルワイヤ非同期シリアルプログラミングインタフェース 2 wire UART は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FLSCI3RXD (FPDR) : 受信データ入力
- FLSCI3TXD (FPDT) : 送信データ出力

35.6.3 同期フラッシュプログラミングインタフェース CSI

同期シリアルプログラミングインタフェース CSI は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FLSCI3RXD (FPDR) : 受信データ入力
- FLSCI3TXD (FPDT) : 送信データ出力
- FLSCI3SCKI (FPCK) : シリアルクロック入力

フラッシュメモリプログラマはシリアルデータクロック SCK を出力し、マイクロコントローラはスレーブとして動作します。

備 考

PG-FP5の詳細は『PG-FP5 フラッシュメモリプログラマユーザズマニュアル』を、フラッシュ書き込みソフトウェア Renesas Flash Programmerの詳細は『Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザズマニュアル』をご参照ください。

35.6.4 通信方式の選択

RH850/P1x では、フラッシュメモリプログラミングモードに遷移後、FLMD0 端子にパルス（最大7パルス）を入力することで通信方式を選択します。この FLMD0 パルスは専用フラッシュメモリプログラマが生成します。

パルス数と通信方式の関係を次に示します。

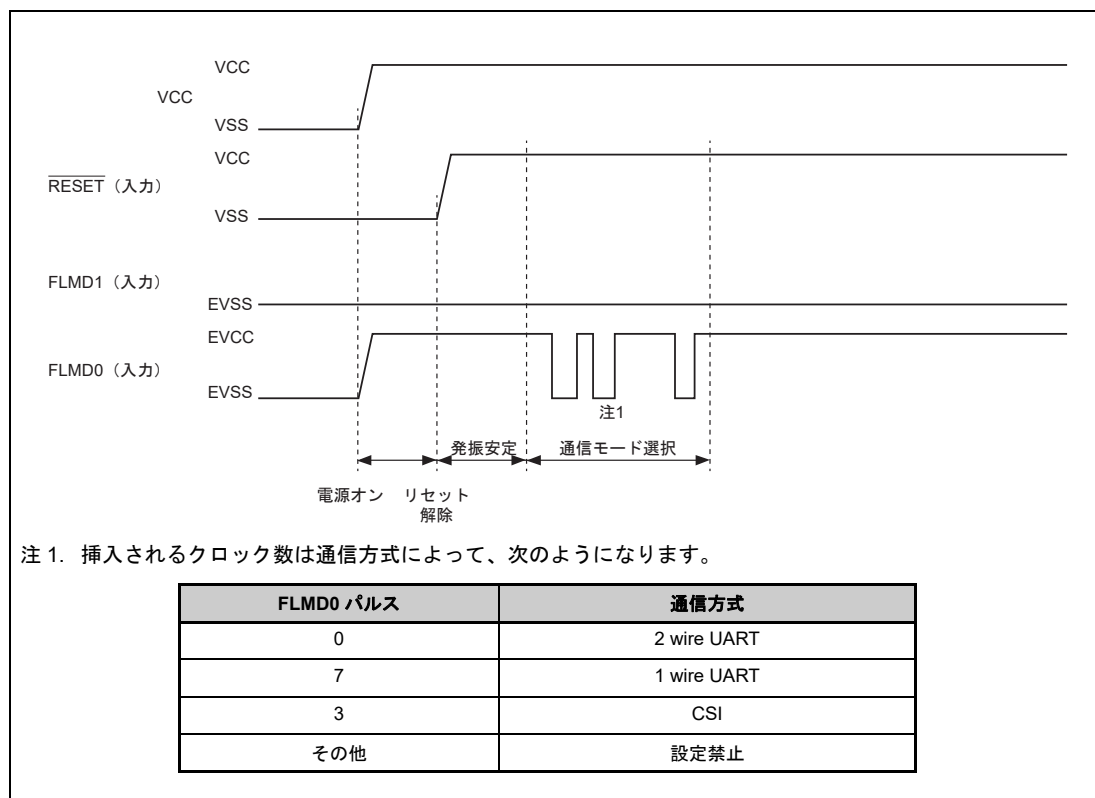


図 35.8 通信方式の選択

35.7 セルフプログラミング

35.7.1 概要

RH850/P1x は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。

データフラッシュメモリの書き換え時には、BGO 機能を利用してコードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。また、あらかじめ Local RAM に転送した書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることもできます。

コードフラッシュメモリの書き換え時には、Local RAM にあらかじめ転送した書き換え用のプログラムを実行して、コードフラッシュメモリを書き換えることができます。

35.7.2 BGO 機能

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが下記の組み合わせである場合には、BGO 機能を利用することができます。

表 35.7 BGO 機能を利用可能な条件

書き換え対象領域	読み出し対象領域
データフラッシュメモリ	コードフラッシュメモリ

35.7.3 セルフプログラミングの有効化

セルフプログラミング機能は通常動作モードから起動できます。

セルフプログラミング機能によるコードフラッシュの消去および書き込みは、FLMD0 端子をハイレベルにすることにより有効になります。

これにより誤動作時に、プログラムが不要に書き換えられることを回避します。

FLMD 端子をハイレベルにするには次のいずれかを行ってください。

- FLMD0 端子を外部でプルアップする
- FLMDCNT レジスタにより FLMD0 端子のプルアップする。

FLMDCNT レジスタの概要を、「35.7.3.1 FLMDCNT レジスタ」に示します。

35.7.3.1 FLMDCNT レジスタ

FLMD0 端子の内蔵プルアップ/プルダウンを指定するレジスタです。

このレジスタを更新するためには、FLMDPCMD レジスタを使った正しい書き込みシーケンスが必要です。詳細は「4.3 書き込み保護レジスタ」を参照してください。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFA0 0000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLMDP UP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 35.8 FLMDCNT レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FLMDPUP	FLMD0 端子ソフト制御 0 : プルダウン選択 1 : プルアップ選択

35.8 フラッシュメモリの読み出し

35.8.1 コードフラッシュメモリの読み出し

通常モードのコードフラッシュメモリの読み出し時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）のコードフラッシュメモリを読み出すと、ECCエラーが検出されて例外が発生する場合がありますのでご注意ください。また、ECCエラーが発生した場合のデータ値は保証できないため、未書き込み状態の確認には、ブランクチェック機能を使用してください。

35.8.2 データフラッシュメモリの読み出し

通常モードのデータフラッシュメモリの読み出し時には、事前に EEPRDCYCL レジスタにデータフラッシュメモリの読み出しサイクル数を設定してください。読み出しサイクル数を設定後にデータフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）のデータフラッシュメモリの値は不定です。未書き込み状態のデータフラッシュメモリを読み出すと、不定値が読み出されます。また、不定値の読み出しに伴って ECC エラーが検出されて例外が発生する場合がありますので注意してください。未書き込み状態の確認には、ブランクチェック機能を使用してください。

35.9 レジスタの説明

35.9.1 データフラッシュメモリ関連のレジスタ

表 35.9 に、データフラッシュメモリ関連のレジスタ一覧を示します。

表 35.9 データフラッシュメモリ関連のレジスタ一覧

レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
データフラッシュメモリ読み出しサイクル設定レジスタ	EEPRDCYCL	R/W	0F _H	FFC5 9810 _H	8

35.9.1.1 EEPRDCYCL — データフラッシュメモリ読み出しサイクル設定レジスタ

本レジスタは、データフラッシュメモリの読み出しサイクルを設定するレジスタです。

本レジスタは全てのリセット要因でリセットされます。

アクセス 8ビット単位でリード/ライト可能です。

アドレス FFC5 9810_H

リセット後の値 0F_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FRDCYCLD[3:0]			
リセット後の値	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 35.10 EEPRDCYCL レジスタの内容

ビット位置	ビット名	機能
7 ~ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	FRDCYCLD [3:0]	データフラッシュメモリ読み出しサイクル数 設定値 + 1 サイクルで、データフラッシュメモリを読み出します。 0x0 ~ 0x2 : 設定禁止 0x3 : リードサイクル 4 0x4 : リードサイクル 5 0x5 : リードサイクル 6 0x6 : リードサイクル 7 0x7 : リードサイクル 8 0x8 : リードサイクル 9 0x9-0xF : リードサイクル 10

35.9.2 フラッシュメモリ書き込み消去プロテクト関連レジスタ

表 35.11 に、フラッシュメモリ書き込み消去プロテクト関連のレジスタ一覧を示します。

表 35.11 フラッシュメモリ書き込み消去プロテクト関連のレジスタ一覧

レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
FHVE15 コントロールレジスタ	FHVE15	R/W	0000 0000 _H	FFF8 A430 _H	32
FHVE3 コントロールレジスタ	FHVE3	R/W	0000 0000 _H	FFF8 2410 _H	32

35.9.2.1 FHVE15 — FHVE15 コントロールレジスタ

FHVE15 レジスタは、フラッシュ書き込み/消去/ブランクチェック実行をソフト的にプロテクトするための読み出し/書き込み可能なレジスタです。フラッシュ書き込み/消去/ブランクチェックのためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み/消去/ブランクチェック可能な状態 (0000 0001_H) に設定してください。

本レジスタは全てのリセット要因でリセットされます。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFF8 A430_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHVE15CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 35.12 FHVE15 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FHVE15CNT	0: 書き込み/消去/ブランクチェック 不可能 1: 書き込み/消去/ブランクチェック 可能

35.9.2.2 FHVE3 — FHVE3 コントロールレジスタ

FHVE3 レジスタは、フラッシュ書き込み/消去/ブランクチェック実行をソフト的にプロテクトするための読み出し/書き込み可能なレジスタです。フラッシュ書き込み/消去/ブランクチェックのためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み/消去/ブランクチェック可能な状態 (0000 0001_H) に設定してください。

本レジスタは全てのリセット要因でリセットされます。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFF8 2410_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHVE3 CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 35.13 FHVE3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FHVE3CNT	0: 書き込み/消去/ブランクチェック不可能 1: 書き込み/消去/ブランクチェック可能

35.9.3 製品情報関連レジスタ

表 35.14 に、製品情報関連のレジスタ一覧を示します。

表 35.14 製品情報関連のレジスタ一覧 (1/3)

レジスタ名	略称	R/W	リセット後の値					
			R7F701304	R7F701305	R7F701310	R7F701311	R7F701312	R7F701313
			(LFQFP 100pin)		(LFQFP 144pin)		(LFQFP 100pin)	
製品名格納 レジスタ (1)	PRDNAME1	R	3746 3752 _H	3746 3752 _H	3746 3752 _H	3746 3752 _H	3746 3752 _H	3746 3752 _H
製品名格納 レジスタ (2)	PRDNAME2	R	3033 3130 _H	3033 3130 _H	3133 3130 _H	3133 3130 _H	3133 3130 _H	3133 3130 _H
製品名格納 レジスタ (3)	PRDNAME3	R	2020 2034 _H	2020 2035 _H	2020 2030 _H	2020 2031 _H	2020 2032 _H	2020 2033 _H
製品名格納 レジスタ (4)	PRDNAME4	R	2020 2020 _H	2020 2020 _H	2020 2020 _H	2020 2020 _H	2020 2020 _H	2020 2020 _H

表 35.14 製品情報関連のレジスタ一覧 (2/3)

レジスタ名	略称	R/W	リセット後の値					
			R7F701314	R7F701315	R7F701318	R7F701319	R7F701320	R7F701321
			(LFQFP 144pin)		(LFQFP 144pin)		(LFQFP 100pin)	
製品名格納 レジスタ (1)	PRDNAME1	R	3746 3752 _H	3746 3752 _H	3746 3752 _H	3746 3752 _H	3746 3752 _H	3746 3752 _H
製品名格納 レジスタ (2)	PRDNAME2	R	3133 3130 _H	3133 3130 _H	3133 3130 _H	3133 3130 _H	3233 3130 _H	3233 3130 _H
製品名格納 レジスタ (3)	PRDNAME3	R	2020 2034 _H	2020 2035 _H	2020 2038 _H	2020 2039 _H	2020 2030 _H	2020 2031 _H
製品名格納 レジスタ (4)	PRDNAME4	R	2020 2020 _H	2020 2020 _H	2020 2020 _H	2020 2020 _H	2020 2020 _H	2020 2020 _H

表 35.14 製品情報関連のレジスタ一覧 (3/3)

レジスタ名	略称	R/W	リセット後の値	
			R7F701322	R7F701323
			(LFQFP 144pin)	
製品名格納 レジスタ (1)	PRDNAME1	R	3746 3752 _H	3746 3752 _H
製品名格納 レジスタ (2)	PRDNAME2	R	3233 3130 _H	3233 3130 _H
製品名格納 レジスタ (3)	PRDNAME3	R	2020 2032 _H	2020 2033 _H
製品名格納 レジスタ (4)	PRDNAME4	R	2020 2020 _H	2020 2020 _H

35.9.3.1 PRDNAME_n — 製品名格納レジスタ (n = 1 ~ 4)

製品名を格納するレジスタです。製品型名が 16 バイトの ASCII コードで格納され、PRDNAME1, PRDNAME2, PRDNAME3, PRDNAME4 は、それぞれ、製品型名の 4 ~ 1 バイト目、8 ~ 5 バイト目、12 ~ 9 バイト目、16 ~ 13 バイト目に該当します。

アクセス 32 ビット単位でリードのみ可能です。

アドレス PRDNAME1: FFCD 00D0_H
 PRDNAME2: FFCD 00D4_H
 PRDNAME3: FFCD 00D8_H
 PRDNAME4: FFCD 00DC_H

リセット後の値 表 35.14 を参照してください。

ビット	31	30	29	28	27	26	25	24
	PRDNAME _n [31:24]注1							
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R	R	R	R	R	R	R	R
ビット	23	22	21	20	19	18	17	16
	PRDNAME _n [23:16]注1							
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8
	PRDNAME _n [15:8]注1							
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
	PRDNAME _n [7:0]注1							
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R	R	R	R	R	R	R	R

注1. n は 1 ~ 4

表 35.15 製品名格納レジスタの内容

ビット位置	ビット名	機能
31 ~ 24	—	製品名 4 バイト目 (PRDNAME1)、8 バイト目 (PRDNAME2)、12 バイト目 (PRDNAME3)、16 バイト目 (PRDNAME4)
23 ~ 16	—	製品名 3 バイト目 (PRDNAME1)、7 バイト目 (PRDNAME2)、11 バイト目 (PRDNAME3)、15 バイト目 (PRDNAME4)
15 ~ 8	—	製品名 2 バイト目 (PRDNAME1)、6 バイト目 (PRDNAME2)、10 バイト目 (PRDNAME3)、14 バイト目 (PRDNAME4)
7 ~ 0	—	製品名 1 バイト目 (PRDNAME1)、5 バイト目 (PRDNAME2)、9 バイト目 (PRDNAME3)、13 バイト目 (PRDNAME4)

35.10 オプションバイト

フラッシュメモリには、さまざまな目的でユーザが指定したデータを保持する拡張領域（オプションバイト）があります。オプションバイト設定による周辺機能の初期設定等の変更は、リセット解除後に有効になります。

35.10.1 オプションバイトの設定

フラッシュメモリにプログラムを書き込む場合は、下記のオプションに対応するオプションバイトを必ず設定してください。

オプションバイトで決定するオプション機能は次のとおりです。

- WDTA0 のスタート要因
- WDTA0 の OPWDOVF 設定
- WDTA0 の OPWDVAC 設定
- WDTA0 のカウンタクロックソース設定
- CLMA2 のサンプリングクロックソース設定
- EVTO/EVTI 設定
- AUDRAM モニタ設定
- デバッグインタフェース（ポートグループ JP0）の機能

35.10.1.1 オプションバイト0の設定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPWDRUN	—	—	—	OPWDOVF[2:0]			—	—	OPWDVAC	OPWDMDS	OPCM2MDS	—	—	—	—
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPEVTO	OPEVTI	—	—	—	—	—	—	—	—	—	OPAUDR0	—	—	—	—

表 35.16 オプションバイト0の設定

ビット位置	ビット名	機能																																				
31	OPWDRUN	WDTA0のスタートモードを指定します。 0: ソフトウェアトリガスタートモード 1: デフォルトスタートモード																																				
30 ~ 28	予約ビット	ライトする場合は“1”を書いてください。																																				
27 ~ 25	OPWDOVF[2:0]	オーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。 <table border="1"> <thead> <tr> <th>OPWDOVF2</th> <th>OPWDOVF1</th> <th>OPWDOVF0</th> <th>オーバフロー時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table>	OPWDOVF2	OPWDOVF1	OPWDOVF0	オーバフロー時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
OPWDOVF2	OPWDOVF1	OPWDOVF0	オーバフロー時間																																			
0	0	0	2 ⁹ / WDTATCKI																																			
0	0	1	2 ¹⁰ / WDTATCKI																																			
0	1	0	2 ¹¹ / WDTATCKI																																			
0	1	1	2 ¹² / WDTATCKI																																			
1	0	0	2 ¹³ / WDTATCKI																																			
1	0	1	2 ¹⁴ / WDTATCKI																																			
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
24, 23	予約ビット	ライトする場合は“1”を書いてください。																																				
22	OPWDVAC	カウンタオーバフローを回避するためのカウンタリスタートトリガを発生させるトリガレジスタを指定します。 0: WDTAnWDTE (固定) 1: WDTAnEVAC (可変) 補足: 詳細は、「表 21.8 WDTA の起動オプション」を参照。																																				
21	OPWDMDS	WDTA0のカウンタクロックソースの選択を行います。 0: 高速モード (高速内蔵発振回路 (HS IntOSC) : 8 MHz) 1: 低速モード (高速内蔵発振回路 (HS IntOSC) /32 : 250 kHz)																																				
20	OPCM2MDS	CLMA2のサンプリングクロックソースの選択を行います。 0: 高速モード (Main OSC/ 16) 1: 低速モード (Main OSC/ 512)																																				
19 ~ 16	予約ビット	ライトする場合は“1”を書いてください。																																				
15	OPEVTO	EVTO 設定 0: EVTO を使用する 1: EVTO を使用しない																																				
14	OPEVTI	EVTI 設定 0: EVTI を使用する 1: EVTI を使用しない																																				
13 ~ 5	予約ビット	ライトする場合は“1”を書いてください。																																				
4	OPAUDR0	AUD RAM モニタ制御 0: AUD RAM モニタ許可 1: AUD RAM モニタ禁止																																				
3	予約ビット	ライトする場合は“1”を書いてください。																																				
2	予約ビット	ライトする場合は“0”を書いてください。																																				
1, 0	予約ビット	ライトする場合は“1”を書いてください。																																				

35.10.1.2 オプションバイト2の設定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OPJTAG[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 35.17 オプションバイト2の設定

ビット位置	ビット名	機能															
31	予約ビット	ライトする場合は“1”を書いてください。															
30、29	OPJTAG[1:0]	デバッグインタフェース切り替え (OPJTAG1,OPJTAG0) の値の組み合わせにより、以下のデバッグインタフェースを選択します。 <table border="1" data-bbox="651 779 1412 969"> <thead> <tr> <th>OPJTAG1</th> <th>OPJTAG0</th> <th>デバッグインタフェース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>GPIO</td> </tr> <tr> <td>0</td> <td>1</td> <td>LPD (4pin)</td> </tr> <tr> <td>1</td> <td>0</td> <td>LPD (1pin)</td> </tr> <tr> <td>1</td> <td>1</td> <td>Nexus (JTAG)</td> </tr> </tbody> </table>	OPJTAG1	OPJTAG0	デバッグインタフェース	0	0	GPIO	0	1	LPD (4pin)	1	0	LPD (1pin)	1	1	Nexus (JTAG)
OPJTAG1	OPJTAG0	デバッグインタフェース															
0	0	GPIO															
0	1	LPD (4pin)															
1	0	LPD (1pin)															
1	1	Nexus (JTAG)															
28 ~ 0	予約ビット	ライトする場合は“1”を書いてください。															

35.10.2 OPBT0 — オプションバイト 0

アクセス 32 ビット単位でリード可能のみです。

アドレス FFCD 0030_H

リセット後の値 ユーザ定義

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPWDRUN	—	—	—	OPWDOVF[2:0]			—	—	OPWDVAC	OPWDMDS	OPCM2MDS	—	—	—	—
リセット後の値	0/1	1	1	1	0/1	0/1	0/1	1	1	0/1	0/1	0/1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPEVTO	OPEVTI	—	—	—	—	—	—	—	—	—	OPAUDR0	—	—	—	—
リセット後の値	0/1	0/1	1	1	1	1	1	1	1	1	1	0/1	1	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 35.18 OPBT0 の内容 (1/2)

ビット位置	ビット名	機能																																				
31	OPWDRUN	WDTA0 のスタートモードを指定します。 0 : ソフトウェアトリガスタートモード 1 : デフォルトスタートモード																																				
30 ~ 28	予約ビット	リードした場合はリセット後の値が読めます。																																				
27 ~ 25	OPWDOVF[2:0]	オーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0] のリセット値を指定します。 <table border="1"> <thead> <tr> <th>OPWDOVF2</th> <th>OPWDOVF1</th> <th>OPWDOVF0</th> <th>オーバフロー時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>2⁹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2¹⁰ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2¹¹ / WDTATCKI</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>2¹² / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>2¹³ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>2¹⁴ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>2¹⁵ / WDTATCKI</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>2¹⁶ / WDTATCKI</td> </tr> </tbody> </table>	OPWDOVF2	OPWDOVF1	OPWDOVF0	オーバフロー時間	0	0	0	2 ⁹ / WDTATCKI	0	0	1	2 ¹⁰ / WDTATCKI	0	1	0	2 ¹¹ / WDTATCKI	0	1	1	2 ¹² / WDTATCKI	1	0	0	2 ¹³ / WDTATCKI	1	0	1	2 ¹⁴ / WDTATCKI	1	1	0	2 ¹⁵ / WDTATCKI	1	1	1	2 ¹⁶ / WDTATCKI
OPWDOVF2	OPWDOVF1	OPWDOVF0	オーバフロー時間																																			
0	0	0	2 ⁹ / WDTATCKI																																			
0	0	1	2 ¹⁰ / WDTATCKI																																			
0	1	0	2 ¹¹ / WDTATCKI																																			
0	1	1	2 ¹² / WDTATCKI																																			
1	0	0	2 ¹³ / WDTATCKI																																			
1	0	1	2 ¹⁴ / WDTATCKI																																			
1	1	0	2 ¹⁵ / WDTATCKI																																			
1	1	1	2 ¹⁶ / WDTATCKI																																			
24, 23	予約ビット	リードした場合はリセット後の値が読めます。																																				
22	OPWDVAC	カウンタオーバフローを回避するためのカウンタリスタートトリガを発生させるトリガレジスタを指定します。 0 : WDTAnWDTE (固定) 1 : WDTAnEVAC (可変) 補足 : 詳細は、「表 21.8 WDTA の起動オプション」を参照。																																				
21	OPWDMDS	WDTA0 のカウンタクロックソースの選択を行います。 0 : 高速モード (高速内蔵発振 : 8 MHz) 1 : 低速モード (高速内蔵発振 /32 : 250 kHz)																																				
20	OPCM2MDS	CLMA2 のサンプリングクロックソースの選択を行います。 0 : 高速モード (Main OSC / 16) 1 : 低速モード (Main OSC / 512)																																				
19 ~ 16	予約ビット	リードした場合はリセット後の値が読めます。																																				
15	OPEVTO	EVTO 設定 0 : EVTO を使用する 1 : EVTO を使用しない																																				
14	OPEVTI	EVTI 設定 0 : EVTI を使用する 1 : EVTI を使用しない																																				

表 35.18 OPBT0 の内容 (2/2)

ビット位置	ビット名	機能
13 ~ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	OPAUDR0	AUD RAM モニタ制御 0 : AUD RAM モニタ許可 1 : AUD RAM モニタ禁止
3	予約ビット	リードした場合はリセット後の値が読めます。
2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	予約ビット	リードした場合はリセット後の値が読めます。

35.10.3 OPBT2 — オプションバイト 2

アクセス 32ビット単位でリードのみ可能です。

アドレス FFCD 0038_H

リセット後の値 ユーザ定義

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OPJTAG[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	0/1	0/1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 35.19 OPBT2 の内容

ビット位置	ビット名	機能															
31	予約ビット	リードした場合はリセット後の値が読めます。															
30、29	OPJTAG[1:0]	デバッグインタフェース切り替え (OPJTAG1,OPJTAG0) の値の組み合わせにより、以下のデバッグインタフェースが選択されます。 <table border="1" data-bbox="651 1057 1414 1249"> <thead> <tr> <th>OPJTAG1</th> <th>OPJTAG0</th> <th>デバッグインタフェース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>GPIO</td> </tr> <tr> <td>0</td> <td>1</td> <td>LPD (4pin)</td> </tr> <tr> <td>1</td> <td>0</td> <td>LPD (1pin)</td> </tr> <tr> <td>1</td> <td>1</td> <td>Nexus (JTAG)</td> </tr> </tbody> </table>	OPJTAG1	OPJTAG0	デバッグインタフェース	0	0	GPIO	0	1	LPD (4pin)	1	0	LPD (1pin)	1	1	Nexus (JTAG)
OPJTAG1	OPJTAG0	デバッグインタフェース															
0	0	GPIO															
0	1	LPD (4pin)															
1	0	LPD (1pin)															
1	1	Nexus (JTAG)															
28 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。															

35.11 ECC テスト領域

図 35.1 の ECC テスト領域では、コードフラッシュの ECC デコーダテスト用のデータが格納されています（表 35.20 ECC テスト データ）。この領域からデータを読み出すことにより、ECC デコーダに意図的なエラーを挿入することができます。

表 35.20 ECC テスト データ

Address	Pattern name	Flash content																											
		ECC (bit)										Data (bit)																	
		8	7	6	5	4	3	2	1	0	127	126	125	124	123	122	121	120	...	7	6	5	4	3	2	1	0		
0100 A000 _H	Walking-1	0	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A010 _H	Walking-1	1	1	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A020 _H	Walking-1	1	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A030 _H	Walking-1	1	0	1	1	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A040 _H	Walking-1	1	0	1	0	1	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A050 _H	Walking-1	1	0	1	0	0	0	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A060 _H	Walking-1	1	0	1	0	0	1	1	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A070 _H	Walking-1	1	0	1	0	0	1	0	0	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A080 _H	Walking-1	1	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A090 _H	Walking-1	1	0	1	0	0	1	0	1	1	1	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A0A0 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	1	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A0B0 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	1	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A0C0 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	1	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A0D0 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	1	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A0E0 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	1	0	...	0	0	0	0	0	0	0	0	0		
0100 A0F0 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	1	...	0	0	0	0	0	0	0	0	0		
0100 A100 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	1	...	0	0	0	0	0	0	0	0		
...	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A810 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	1	0	0	0	0	0	0	0	0		
0100 A820 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	1	0	0	0	0	0	0	0		
0100 A830 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	1	0	0	0	0	0	0		
0100 A840 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	1	0	0	0	0	0		
0100 A850 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	1	0	0	0	0		
0100 A860 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	1	0	0	0		
0100 A870 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	1	0	0		
0100 A880 _H	Walking-1	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	1	0		
0100 A890 _H	ALL-1	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	...	1	1	1	1	1	1	1	1	1		
0100 A8A0 _H	ALL-0	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A8B0 _H	Double bit	1	0	1	0	0	1	0	1	1	1	1	0	0	0	0	0	...	0	0	0	0	0	0	0	0	0		
0100 A8C0 _H	ALL-1	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	...	1	1	1	1	1	1	1	1	1		
0100 A8D0 _H	ALL-1	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	...	1	1	1	1	1	1	1	1	1		
...	ALL-1	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	...	1	1	1	1	1	1	1	1	1		
0100 BFF0 _H	ALL-1	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	...	1	1	1	1	1	1	1	1	1		

35.12 使用上の注意事項

1. 書き込み／消去を中断した領域の読み出し
書き込み／消去を中断したフラッシュメモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。
2. 消去後に書き込んでいない状態のコードフラッシュメモリの読み出し
消去後に書き込んでいない状態（未書き込み状態）のコードフラッシュメモリ領域を読み出すと、ECCエラーが検出して例外が発生しますので注意してください。未書き込み状態の確認には、ブランクチェック機能を使用してください。
3. 追加書き込みの禁止
同一領域に2回以上の書き込みを行うことはできません。書き込み済みのフラッシュメモリ領域を書き換えたい場合には、必ず当該領域を消去してください。
4. 書き込み／消去中のリセット
書き込み／消去中に **RESET** 端子によるリセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、20usec 以上のリセット入力期間の後にリセット解除してください。
5. 書き込み／消去中の割り込み／例外ベクタの配置
書き込み／消去中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタフェッチのアドレスをコードフラッシュメモリ以外に設定してください。
6. 書き込み／消去中の異常終了 (1)
書き込み／消去中の中断（例：リセット入力、電源瞬断）により、データが不定となった領域の消去および書き込み状態を確認するペリファイ手段はありません。したがって、不定となった領域を再度ご使用になる場合は、消去処理を行い完全な消去状態にしてからご使用頂けますようお願い致します。
7. 書き込み／消去中の異常終了 (2)
コードフラッシュメモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、該当ブロックの消去を実施して、ロックビットを消去してください。
8. 書き込み／消去中／ブランクチェック中の禁止事項
フラッシュメモリの書き込み／消去中／ブランクチェック中は、以下の動作は行わないでください。
 - 電源を動作電圧範囲外にする
 - FHVE15 および FHVE3 の値を更新する

第 36 章 RAM

36.1 搭載 RAM 一覧

RH850/P1x では、以下の RAM を搭載します。

- Local RAM (PE1) 128KB (Flash 2MB/1MB 製品)
 64KB (Flash 512KB 製品)
- Emulation RAM 32KB (Flash 2MB 製品)
 8KB (Flash 1MB/512KB 製品)

36.2 特長

アクセス

CPU、DMAC、H-Bus からは、Local RAM (PE1) へアクセスできます。

バックアップレジスタ

内蔵 RAM の値は自己診断 BIST 実行により不定となります。自己診断 BIST 実行前にこのレジスタにデータを格納することで、自己診断 BIST 実行時のデータ保持が可能です。このレジスタは、4つのレジスタ (計 128 ビット) から構成されています。

Emulation RAM

Code Flash の特定エリアをページ単位で置き換えることができます。

置き換えた状態で CPU からのアクセスレイテンシは Code Flash と同じです。

ECC

Local RAM (PE1) は ECC を搭載しています。

詳細は「第 31 章 ファンクショナルセーフティ」を参照してください。

36.3 バックアップレジスタ

36.3.1 レジスタ一覧

バックアップレジスタの一覧を以下の表に示します。

表 36.1 レジスタ一覧

レジスタ名	略語	アドレス
バックアップレジスタ 0	BRAMDAT0	FFC0 A000 _H
バックアップレジスタ 1	BRAMDAT1	FFC0 A004 _H
バックアップレジスタ 2	BRAMDAT2	FFC0 A008 _H
バックアップレジスタ 3	BRAMDAT3	FFC0 A00C _H

36.3.2 BRAMDATn – バックアップレジスタ

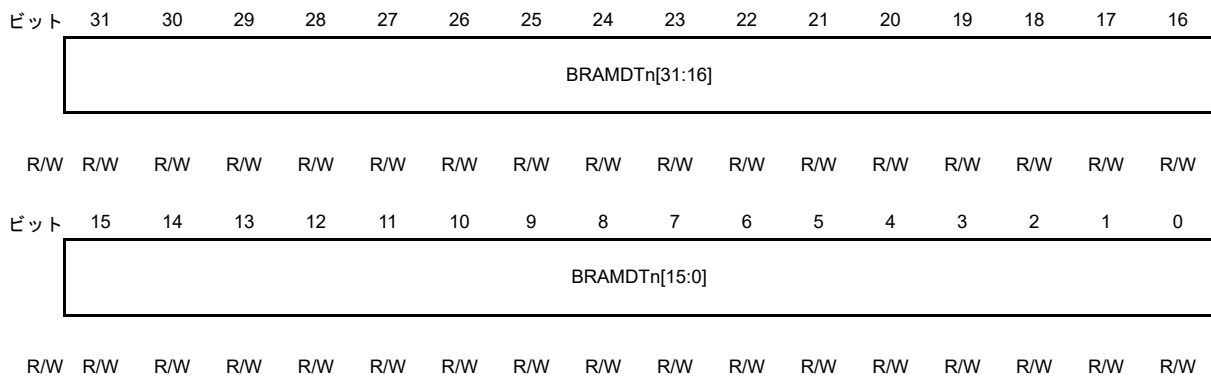
BRAMDATn は、32 ビットの読み出し / 書き込み可能なレジスタです。

自己診断 BIST 実行前にこのレジスタにデータを格納することで、自己診断 BIST 実行時のデータ保持が可能です。

本レジスタは、どのリセットでも初期化されません。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFC0 A000_H + n × 4_H (n = 0 ~ 3)



36.4 Emulation RAM

36.4.1 Emulation RAM について

RH850/P1x では Code Flash のエミュレーションのために Emulation RAM を搭載します。

RH850/P1x では Code Flash は 1 バンク構成です。Emulation RAM の構成は、Flash 1MB/512KB 製品は 8KB (8KB/ バンク × 1 バンク)、Flash 2MB 製品は 32KB (8KB/ バンク × 4 バンク) です。Emulation RAM は以下に説明する Code Flash エミュレーション機能で使用することができます。

36.4.2 Emulation RAM を使った Code Flash エミュレーション機能について

Code Flash 領域へのマッピングにより、Code Flash を Emulation RAM に置換して Emulation RAM による Code Flash のエミュレーションが可能です。Code Flash 領域にマッピングした Emulation RAM を介してユーザプログラムの実行中に Code Flash データをダイナミックに変更可能です。

図 36.1 に、Emulation RAM 周辺の回路構成を示します。

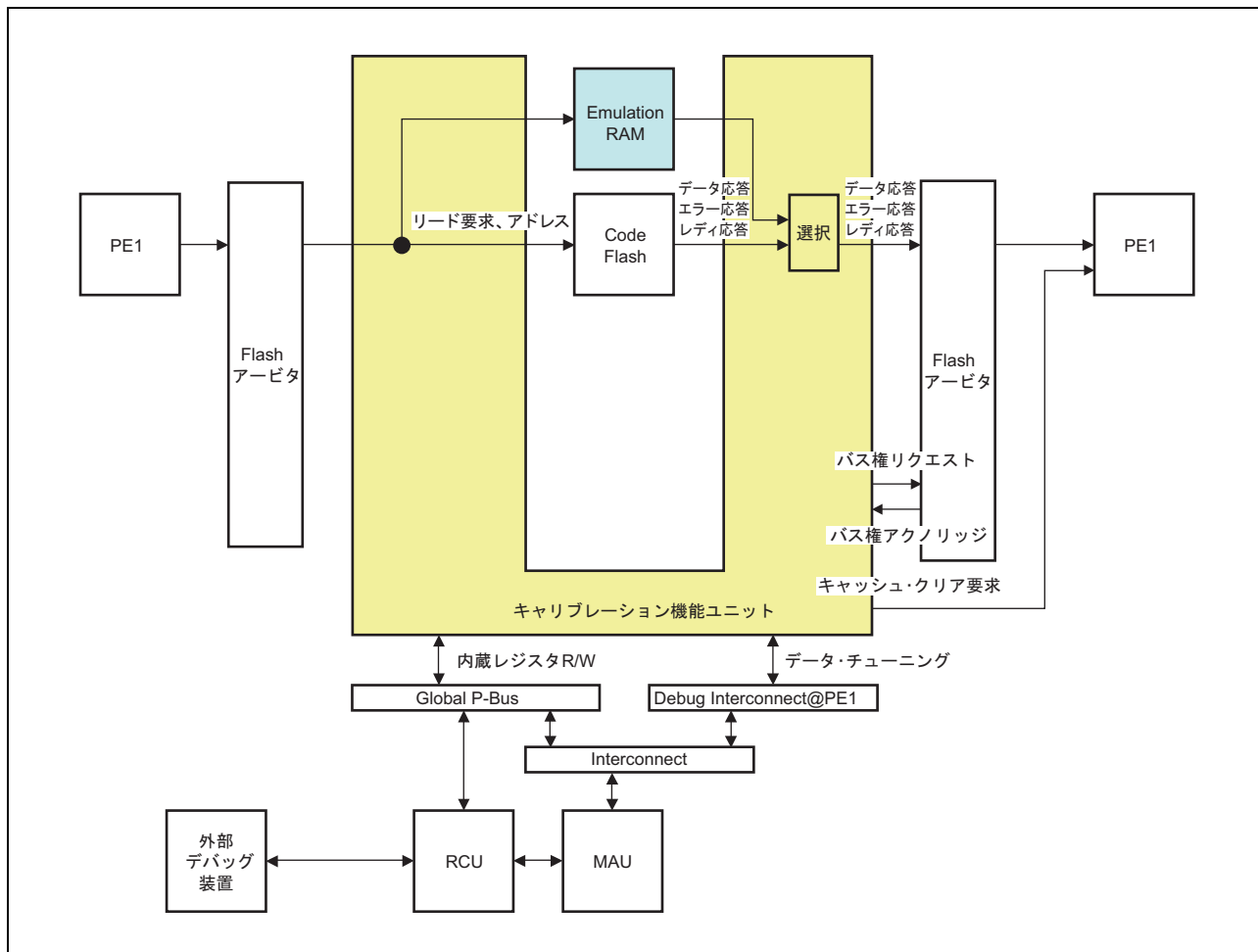


図 36.1 Emulation RAM 周辺の回路構成

36.4.3 EmulationRAM のメモリマップ

RH850/P1x における ERAM のメモリマップを下記に示します。

ERAM 領域には、ERAM のバンク 0～3 に 8KB ずつ順にマッピングされています。

バンク 0～3 には 8KB の ERAM を実装しており、合計で 32KB になります。

Flash 512KB/1MB 製品は、バンク 0 に 8KB がマッピングされています。

ERAM 領域は 32 ビット単位でのみリード/ライト可能です。

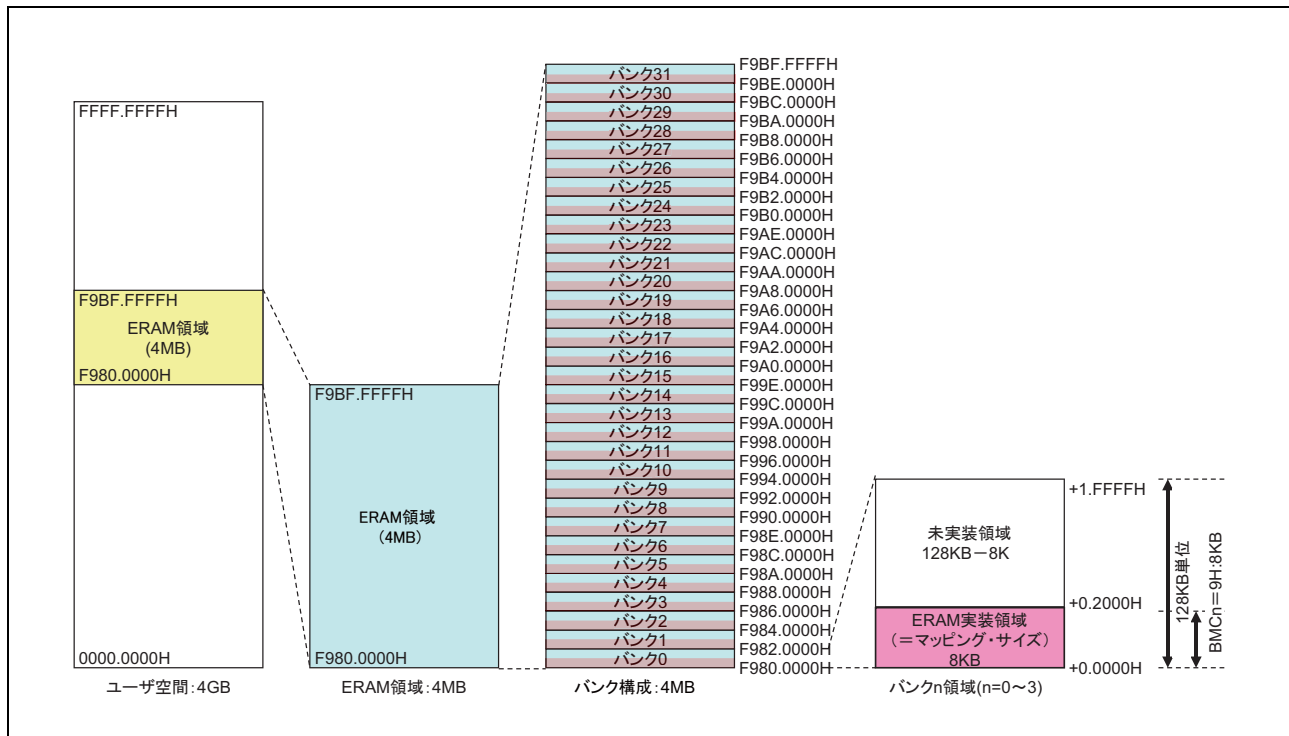


図 36.2 Emulation RAM のメモリマップ

36.4.4 CFU レジスタ一覧

キャリブレーション機能ユニット (CFU) の動作を制御するための機能レジスタの一覧を下記に示します。Flash 512KB/1MB 製品は、バンク 0 のみになります

CFU のベースアドレスは、FFFF 7800_H です。

表 36.2 機能レジスタ一覧

アドレス	レジスタ名称	機能
<CFU_base> + 10 _H	TM_ME	ERAM バンク 0～3 マッピング許可レジスタ
<CFU_base> + 14 _H	TM_MS	ERAM バンク 0～3 マッピングステータスレジスタ
<CFU_base> + 30 _H	TM_BMC0	ERAM バンク 0～3 マッピングサイズ設定レジスタ
<CFU_base> + 40 _H	TM_MA0	ERAM バンク 0 マッピングアドレスレジスタ
<CFU_base> + 44 _H	TM_MA1	ERAM バンク 1 マッピングアドレスレジスタ
<CFU_base> + 48 _H	TM_MA2	ERAM バンク 2 マッピングアドレスレジスタ
<CFU_base> + 4C _H	TM_MA3	ERAM バンク 3 マッピングアドレスレジスタ

36.4.5 TM_ME—チューニングメモリマッピング許可レジスタ

チューニングメモリマッピング許可レジスタは ERAM バンク 0～3 の Flash 領域へのマッピングを制御するためのレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 7810_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TME[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 36.3 TM_ME レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
3～0	TME[3:0]	チューニングメモリバンク n マッピングイネーブル (n=0～3) ERAM バンク n のユーザ空間 (Flash 領域) へのマッピングを制御します。 (n=0～3) 0: マッピング禁止 1: マッピング許可

- 注 1. マッピング許可ビット TME_n を更新する (同じ値で更新する場合を含む) とキャッシュクリアが行われます。
- 注 2. ERAM バンク n およびチューニングメモリマッピングアドレスレジスタ n (TM_MAn レジスタ) を更新する前に、必ず対応するマッピング許可ビット TME_n を “0” (マッピング禁止) に設定して下さい。
- 注 3. TM_ME レジスタ更新後、必ず TM_MS レジスタの値が TM_ME レジスタの設定値と同じ値になるまで待機して下さい。

36.4.6 TM_MS — チューニングメモリマッピングステータスレジスタ

チューニングメモリマッピングステータスレジスタは ERAM バンク 0～3 の Flash 領域へのマッピング状態を表示するためのレジスタです。

アクセス 32ビット単位でリード可能です。

アドレス FFFF 7814_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MES[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 36.4 TM_MS レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	リード時はリセット後の値がリードされます。
3～0	MES[3:0]	チューニングメモリバンク n マッピングイネーブルステータス (n = 0～3) ERAM バンク n のユーザ空間 (Flash 領域) へのマッピング状態を表示します。 (n = 0～3) 0: マッピング禁止 1: マッピング許可

36.4.7 TM_BMC0 — チューニングメモリバンクマッピングサイズコンフィグレーションレジスタ 0

チューニングメモリバンクマッピングサイズコンフィグレーションレジスタは ERAM のバンク 0～3 のマッピングサイズを設定するためのレジスタです。

アクセス 32 ビット単位でリード/ライト可能です。

アドレス FFFF 7830_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BMC0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W注	R/W注	R/W注	R/W注

注. マッピングサイズの設定が可能なバンクはバンク 0 のみです。Flash 2MB 製品ではバンク 1～3 にバンク 0 と同じ設定が自動的に反映されます。

表 36.5 TM_BMC0 レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	リード時はリセット後の値がリードされます。ライト時はリセット後の値を設定してください。
3～0	BMC0	バンク 0 マッピングサイズ設定

ERAM の各バンク（バンク 0～3）のマッピングサイズを設定します。

BMC0 設定値	マッピングサイズ	BMC0 設定値	マッピングサイズ
0 _H	予約（設定禁止）	8 _H	予約（設定禁止）
1 _H	予約（設定禁止）	9 _H	8KB / バンク
2 _H	予約（設定禁止）	A _H	予約（設定禁止）
3 _H	予約（設定禁止）	B _H	予約（設定禁止）
4 _H	予約（設定禁止）	C _H	予約（設定禁止）
5 _H	予約（設定禁止）	D _H	予約（設定禁止）
6 _H	予約（設定禁止）	E _H	予約（設定禁止）
7 _H	予約（設定禁止）	F _H	予約（設定禁止）

マッピングサイズの設定は以下の組み合わせ以外は設定禁止です。

ERAM 容量	バンク 0～3 マッピングサイズ設定
32KB 注1	9 _H (8KB / バンク)

注 1. Flash 512KB/1MB 製品は 8KB になります。

注意

チューニングメモリバンクマッピングサイズコンフィグレーションレジスタ（TM_BMC0 レジスタ）を更新する前に必ず全マッピング許可ビット TME_n を“0”（マッピング禁止）に設定して下さい（n = 0～3）。

36.4.8 TM_MAn0 ~ 3 — チューニングメモリマッピングアドレスレジスタ 0 ~ 3

チューニングメモリマッピングアドレスレジスタ 0 ~ 3 は ERAM のバンク 0 ~ 3 のマッピングアドレスを設定するためのレジスタです。

アクセス 32ビット単位でリード/ライト可能です。

アドレス FFFF 7840_H ~ FFFF 784C_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMAn[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMAn[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 36.6 TM_MAn0 ~ 3 レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	TMAn[31:0]	チューニングメモリマッピングアドレス n (n = 0 ~ 3) ERAM のバンク n をマッピングするアドレスを指定します。 注意 <ul style="list-style-type: none"> TMAn31 ~ 25, 12 ~ 0 は "0" 固定です。

BMCn	マッピング単位	マッピング判定ビット	無視するビット
9 _H	8KB / バンク	TMAn24 ~ 13	TMAn31 ~ 25, 12 ~ 0

注 意

- チューニングメモリマッピングアドレスレジスタ n (TM_MAn レジスタ) を更新する場合、TM_MAn レジスタを更新する前に必ず対応するマッピング許可ビット TMEn を "0" (マッピング禁止) に設定して下さい。
- ERAM バンク 0 ~ 3 のマッピング設定 (マッピング許可に設定されているバンクのマッピングアドレス) が重複しないように制御する必要があります。同時に複数のバンクのマッピング設定が重複した場合の動作は保証できません。
- マッピングアドレスは Code Flash 領域内のアドレスを指定して下さい。Code Flash 領域外のアドレスを指定した場合の動作は保証しません。

36.4.9 チューニング処理フロー

チューニング処理フローを下記に示します。

(1)	マッピング初期設定処理
(1-0)	チューニングするバンク n のサイズ、アドレスを下記レジスタで設定する。 ^{注1} チューニングメモリバンクマッピングサイズコンフィグレーションレジスタ 0 TM_BMC0 チューニングメモリマッピングアドレスレジスタ 0 ~ 3 TM_MAO ~ 3
(2)	データチューニング処理
(2-1)	チューニングする ERAM 領域にデータをライトする
(3)	マッピング許可処理
(3-1)	チューニング完了したバンク n のマッピング許可ビット TMEn を "1" (マッピング許可) に設定する (n = 0 ~ 3)
(3-2)	マッピングステータスビット MESn によりマッピング設定が反映されたことを確認する

注1. レジスタを更新する場合は、必ず対応するマッピング許可ビット TMEn を "0" (マッピング禁止) に設定して下さい。

なお、マッピング許可後にデータチューニング (= ERAM 領域のデータ書き換え) を行う場合は、データチューニング後にキャッシュクリア操作をする必要があります。

36.4.10 ERAM アクセス時の注意事項

CPU1 から ERAM 領域へアクセスする場合、ロックステップコンペアエラーが発生する可能性があります。

ECM の設定でロックステップコンペアエラーによる割り込み、リセット、エラー出力を無効化してください。

なお、CFU のレジスタアクセスではロックステップコンペアエラーは発生しません。

36.5 使用上の注意事項

Local RAM に対して、ECC によるエラー検出・訂正機能を有効にしてアクセスする場合、使用する RAM をアクセスサイズの最大ビット長で初期化してから使用してください。

初期化前の RAM をアクセスした場合、ECC エラーを検出する可能性があります。また最大ビット長で初期化しなかった場合、たとえば 32 ビット幅の RAM を 8 ビットや 16 ビットのアクセスで初期化した場合、ECC エラーを検出する可能性があります。

Local RAM と CPU の間には高速アクセス用のバッファが存在します。

ライト命令を行った後に同一アドレスからリード命令による読み出しを行うと、RAM ではなくバッファからデータが読みだされる場合があります。

確実に RAM からデータを読み出すためには、以下のような方法があります。

1. 32 バイトを超えるデータをライト後、最初にライトしたデータをリードする
2. ライト命令と同一アドレスからのリード命令の間に SYNCM 命令を実行する

第37章 電気的特性

37.1 概要

本章での仕様は、以下の条件下で作動するデバイス向けです。定められた仕様に特別な条件が必要な場合は、その条件を示します。また、もし以下にリストされた条件が満たされなければ、本章での仕様は保証されません。

37.1.1 通常測定条件

37.1.1.1 共通条件

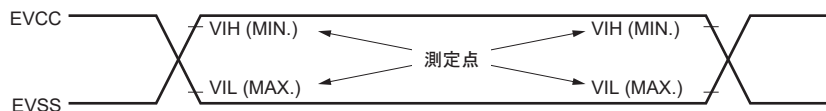
- 電力供給
 - VCC = 3.0V ~ 5.5V
 - EVCC = 3.0V ~ 5.5V
 - VDD = 1.20V ~ 1.35V 注1
 - A0VCC、A1VCC = 3.0V ~ 5.5V
 - A0VREFH = 3.0V ~ 5.5V
 - A1VREFH = 3.0V ~ 5.5V
 - EVSS = VSS = A0VSS = A1VSS = 0V
- 内部レギュレータのキャパシタンス
 - CVCL : 0.1 μ F +/- 30% 注2
- 動作温度
 - Tj = -40 ~ +150°C
- 負荷条件
 - CL = 30pF

注1. DPS 製品のみ

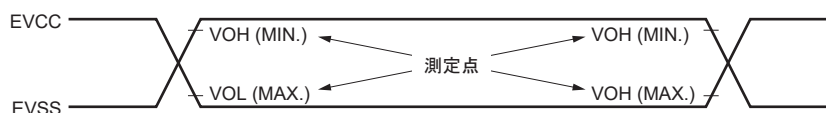
注2. 「37.7 レギュレータ特性」参照

37.1.1.2 AC 特性の測定条件

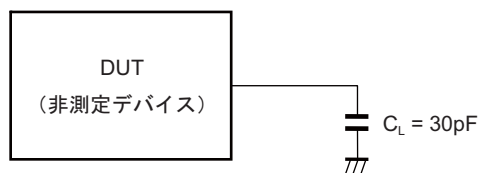
(1) AC テスト入力測定点



(2) AC テスト出力測定点



(3) 負荷条件



注 意

回路構成により負荷容量が 30pF を超える場合は、バッファを挿入し、デバイスの負荷容量を 30pF 以下にすることを推奨します。

37.2 絶対最大定格

絶対最大定格を示します。

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	VCC		-0.3		6.5	V
	EVCC		-0.3		6.5	V
	A0VCC		-0.3		6.5	V
	A1VCC		-0.3		6.5	V
	VDD		-0.3		1.8	V
入力電圧	VI	EVCC 端子	-0.3		EVCC + 0.3	V
		VCC 端子	-0.3		VCC + 0.3	V
アナログ基準電圧	A0VREFH		-0.3		A0VCC + 0.3	V
	A1VREFH		-0.3		A1VCC + 0.3	V
アナログ入力電圧	VAIN	A0VCC 端子	-0.3		A0VCC + 0.3	V
		A1VCC 端子	-0.3		A1VCC + 0.3	V
ロウ低レベル出力電流	IOL	1 端子			10	mA
		トータル			80	mA
ハイ高レベル出力電流	IOH	1 端子			-10	mA
		トータル			-80	mA
ジャンクション温度	Tj		-40		150	°C
保存温度	Tstg		-55		150	°C

備考 Ta = 25°C
VSS = EVSS = A0VSS = A1VSS = 0V

注 意

- 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
- 複数の電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での LSI の使用は LSI の永久破壊、LSI を実装したシステムへのダメージを生じる場合があります。
- 入力電圧、アナログ基準電圧、アナログ入力電圧は 6.5V を超えないようにしてください。

37.3 供給電圧特性

略号	MIN.	TYP.	MAX.	単位
VCC ^{注1}	3.0		5.5	V
EVCC ^{注1}	3.0		5.5	V
VDD ^{注2}	1.20		1.35	V
A0VCC A1VCC	3.0		5.5	V
A0VREFH ^{注3} A1VREFH	3.0		5.5	V

備考 VSS = EVSS = A0VSS = A1VSS = 0V

注1. VCC と EVCC は同じ電源から供給して下さい。

注2. DPS 製品のみ

注3. A0VCC, A1VCC を超えない値を設定して下さい。

注 意

動作時には、全ての電源に所定の電圧を供給してください。停止時には、全ての電源をオフにしてください。

37.4 オシレータ特性

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
メイン Osc 周波数	f _{MOSC}			16		MHz

注 意

発振安定時間は振動子とのマッチングにより異なります。発振安定時間の確保は、マッチング評価により決定してください。

37.5 高速内蔵発振回路特性

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
高速内蔵発振回路 (HS IntOSC) 周波数	f _{RH}		7.2	8	8.8	MHz

37.6 PLL 特性

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f _{PLLCLK}			16		MHz
出力周波数 (CPU 用 PLL)	f _{CPLL}	—		160		MHz

37.7 レギュレータ特性

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	VCC		3.0		5.5	V
出力電圧	VCL		1.15	1.25	1.35	V
キャパシタンス	CVCL	1 端子あたり注 ¹	0.07	0.1	0.13	μF

注 1. VCL 端子の接続については「2.4.2 未使用端子処置」を参照してください。

37.8 DC 特性

37.8.1 電源名と端子の関係

電源名と端子の関係を示します。

端子名	電源名	I/O	入力バッファタイプ	備考
JP0_4	VCC	I	SchmittA	5V トレラント
JP0_2	EVCC	I	CMOS/SchmittA	
上記以外の JPx_x	EVCC	I/O	CMOS/SchmittB	出力ドライブ強度選択可
P0_10	EVCC	I/O	CMOS	出力ドライブ強度選択可
Py_y 「表 2.34 入力バッファ特性 の選択」に記載の端子	EVCC	I/O	CMOS/SchmittB	出力ドライブ強度選択可
上記以外の Pz_z	EVCC	I/O	SchmittB	出力ドライブ強度選択可
ADCD0Ixx	A0VCC	I	Analog(ADC)	
ADCD1Ixx	A1VCC	I	Analog(ADC)	
RESET	VCC	I	SchmittA	5V トレラント
FLMD0	EVCC	I	SchmittC	5V トレラント
ERROROUT	EVCC	O	—	
CVMOUT	EVCC	O	—	
X1	VCC	I	—	
X2	VCC	O	—	

37.8.2 バッファ特性

条件:「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイレベル入力電圧	VIH	CMOS	$3.0V \leq EVCC < 4.3V$	$0.65 \times EVCC$		$EVCC + 0.3$	V
			$4.3V \leq EVCC \leq 5.5V$	$0.65 \times EVCC$		$EVCC + 0.3$	V
		SchmittA	$3.0V \leq EVCC < 4.3V$	$0.8 \times EVCC$ $0.8 \times VCC$		$EVCC + 0.3$ $VCC + 0.3$	V
			$4.3V \leq EVCC \leq 5.5V$	$0.75 \times EVCC$ $0.75 \times VCC$		$EVCC + 0.3$ $VCC + 0.3$	V
		SchmittB	$3.0V \leq EVCC < 4.3V$	$0.75 \times EVCC$		$EVCC + 0.3$	V
			$4.3V \leq EVCC \leq 5.5V$	$0.75 \times EVCC$		$EVCC + 0.3$	V
		SchmittC	$3.0V \leq EVCC < 4.3V$	$0.75 \times EVCC$		$EVCC + 0.3$	V
			$4.3V \leq EVCC \leq 5.5V$	$0.7 \times EVCC$		$EVCC + 0.3$	V
ロウレベル入力電圧	VIL	CMOS	$3.0V \leq EVCC < 4.3V$	-0.3		$0.35 \times EVCC$	V
			$4.3V \leq EVCC \leq 5.5V$	-0.3		$0.35 \times EVCC$	V
		SchmittA	$3.0V \leq EVCC < 4.3V$	-0.3		$0.25 \times EVCC$ $0.25 \times VCC$	V
			$4.3V \leq EVCC \leq 5.5V$	-0.3		$0.25 \times EVCC$ $0.25 \times VCC$	V
		SchmittB	$3.0V \leq EVCC < 4.3V$	-0.3		$0.4 \times EVCC$	V
			$4.3V \leq EVCC \leq 5.5V$	-0.3		$0.42 \times EVCC$	V
		SchmittC	$3.0V \leq EVCC \leq 5.5V$	-0.3		$0.3 \times EVCC$	V
ハイレベル出力電圧	VOH	IOH = -3mA ^{注2}	$3.0V \leq EVCC < 4.3V$	$EVCC - 1.0$			V
			$4.3V \leq EVCC \leq 5.5V$	$EVCC - 1.0$			V
		IOH = -1mA ^{注2}	$3.0V \leq EVCC < 4.3V$	$EVCC - 1.0$			V
			$4.3V \leq EVCC \leq 5.5V$	$EVCC - 1.0$			V
		IOH = -0.1mA ^{注2}	$3.0V \leq EVCC < 4.3V$	$EVCC - 0.5$			V
			$4.3V \leq EVCC \leq 5.5V$	$EVCC - 0.5$			V
ロウレベル出力電圧	VOL	IOL = 3mA ^{注2}	$3.0V \leq EVCC < 4.3V$			0.6	V
			$4.3V \leq EVCC \leq 5.5V$			0.5	V
		IOL = 1mA ^{注2}	$3.0V \leq EVCC < 4.3V$			0.4	V
			$4.3V \leq EVCC \leq 5.5V$			0.4	V
ブルアップ抵抗	RU	下記以外	$3.0V \leq EVCC < 4.3V$	30	60	150	kΩ
			$4.3V \leq EVCC \leq 5.5V$	20	40	100	kΩ
		FLMD0	$3.0V \leq EVCC < 4.3V$	10	19	50	kΩ
			$4.3V \leq EVCC \leq 5.5V$	10	19	50	kΩ
ブルダウン抵抗	RD	下記以外	$3.0V \leq EVCC < 4.3V$	15	40	125	kΩ
			$4.3V \leq EVCC \leq 5.5V$	15	40	100	kΩ
		RESET, FLMD0	$3.0V \leq EVCC < 3.6V$	20	60	150	kΩ
			$3.6V \leq EVCC < 4.3V$	20	60	150	kΩ
			$4.3V \leq EVCC \leq 5.5V$	20	40	100	kΩ
入力リーク電流	ILIH1	下記以外	$V_{in} = VCC, EVCC$			2	μA
		ADCDnIm (n = 0, 1, m = 0 ~ 11)	$V_{in} = A0VCC, A1VCC$ AD変換非動作時			0.2	μA
	ILIL1	下記以外	$V_{in} = 0V$			-2	μA
		ADCDnIm (n = 0, 1, m = 0 ~ 11)	$V_{in} = 0V$ AD変換非動作時			-0.2	μA
ヒステリシス幅	VH	SchmittA			$0.27 \times EVCC$	V	
		SchmittB			$0.1 \times EVCC$	V	
		SchmittC			$0.2 \times EVCC$	V	

注2. 同時オンになる端子の合計の負荷電流は48mAです。ただし、100pin製品で38pin - 53pinまでの端子の負荷電流の合計は12mAまでに抑えてください。

37.8.3 許容出力電流

条件：「37.1.1.1 共通条件」を参照

項目	略号	MIN.	TYP.	MAX.	単位
出力ハイレベル許容電流（1端子あたり）	IOH			-3	mA
出力ハイレベル許容電流（総和）注1	ΣIOH			-48	mA
出力ロウレベル許容電流（1端子あたり）	IOL			3	mA
出力ロウレベル許容電流（総和）注1	ΣIOL			48	mA

注1. 同時オンになる端子の合計の負荷電流は48mAです。ただし、100pin製品で38pin - 53pinまでの端子の負荷電流の合計は12mAまでに抑えてください。

注 意

本項目はチップの発熱量やTjに影響します。本制約の他に、熱設計についても考慮をお願いします。

37.8.4 注入電流

条件：「37.1.1.1 共通条件」を参照

項目	略号	MIN.	TYP.	MAX.	単位
DC注入電流 （1端子当たり）	デジタル端子	IINJ_DIN	-2	2	mA
	アナログ端子	IINJ_AIN	-3	3	mA
DC注入電流（総和）	IINJ_TOT	-50		50	mA

37.8.5 入力容量

条件：「37.1.1.1 共通条件」を参照

ただし、温度条件は測定条件欄を参照

項目	略号	MIN.	TYP.	MAX.	単位	測定条件
入力容量	CI			10	pF	f = 1MHz 測定しない端子は、0V Tj = 25°C
入出力容量	CIO			10	pF	
出力容量	CO			10	pF	
入力容量 (X1)	CX1			20	pF	

備 考

アナログ入力端子（ADCDnIm）に関しては、関連の「37.15 A/Dコンバータ特性」の等価入力容量を参照してください。

37.8.6 電源電流特性

表 37.1 eVR 製品電源電流

条件：「37.1.1.1 共通条件」を参照

項目		略号	MIN.	TYP.	MAX.	単位
VCC 電源電流 ^{注1}	Run モード	IVCCEVR			200	mA
	BIST 実行時	IVCCBEVR			200	mA
	Flash 書き換え時 ^{注2}	IVCCFEVR			200	mA
AnVCC 電源電流		IAVCC			6.5	mA
AnVREFH 電流		IAVREF			0.5	mA

注 1. MAX. 値には周辺機能の動作電流を含みます。但し、A/D コンバータ、I/O ポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

注 2. Code Flash および Data Flash の書き換え時の電源電流値を示します。

表 37.2 DPS 製品電源電流

条件：「37.1.1.1 共通条件」を参照

項目		略号	MIN.	TYP.	MAX.	単位
VDD 電源電流 ^{注1}	Run モード	IVDDDPS			180	mA
	BIST 実行時	IVDDBDPS			180	mA
	Flash 書き換え時 ^{注2}	IVDDFDPS			155	mA
VCC 電源電流	Run モード	IVCCDPS			20	mA
	BIST 実行時	IVCCBDPS			20	mA
	Flash 書き換え時 ^{注2}	IVCCFDPS			45	mA

注 1. MAX. 値には周辺機能の動作電流を含みます。但し、A/D コンバータ、I/O ポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

注 2. Code Flash および Data Flash の書き換え時の電源電流値を示します。

注 3. AnVCC/AnVREFH 電流は eVR 製品の値と同じになります。

37.9 AC 特性

37.9.1 電源投入／切断タイミング

表 37.3 eVR 製品

条件：「37.1.1.1 共通条件」を参照

項目	略号	MIN.	MAX.	単位	備考
電源立ち上げ時の端子リセット L 期間	t_{RESW1}	13		ms	注 1
電源立ち下げ時の端子リセット L 期間	t_{RESW2}	2		μ s	注 2
動作モードセットアップ時間	t_{MDS}	1		ms	
動作モードホールド時間	t_{MDH}	1		ms	
PLL ロックアップ時間	t_{PLLLT}		1	ms	注 3
VCC, AnVCC 電源スロープ	t_{VS1}	0.02	500	V/ms	

- 注 1. t_{RESW1} は、全電源が立ち上がり内部クロック安定供給に必要なとなるリセット期間を示します。端子リセットの解除は t_{RESW1} 、 $t_{OSC} + t_{PLLLT}$ を待ってから解除してください。VCC と EVCC は同じ電源から供給してください。電源立ち上げ時の VCC/EVCC と AnVCC の電源間電位差に制限事項はありません。
- 注 2. t_{RESW2} は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。
- 注 3. t_{PLLLT} は、MOSC が発振安定してから PLL がロックアップするのに必要な時間を示します。
- 注 4. 電源遮断時のリセット挿入からリセットノイズキャンセル幅 (max. 1.2 μ s) の期間は、I/O 端子状態はリセットされません。その期間は、端子への中間電位入力または出力データの衝突が起こらないようにしてください。
- 注 5. フラッシュメモリの書き込み／消去中に電源遮断を行った場合は、書き込み／消去した領域のフラッシュのデータは保証できません。

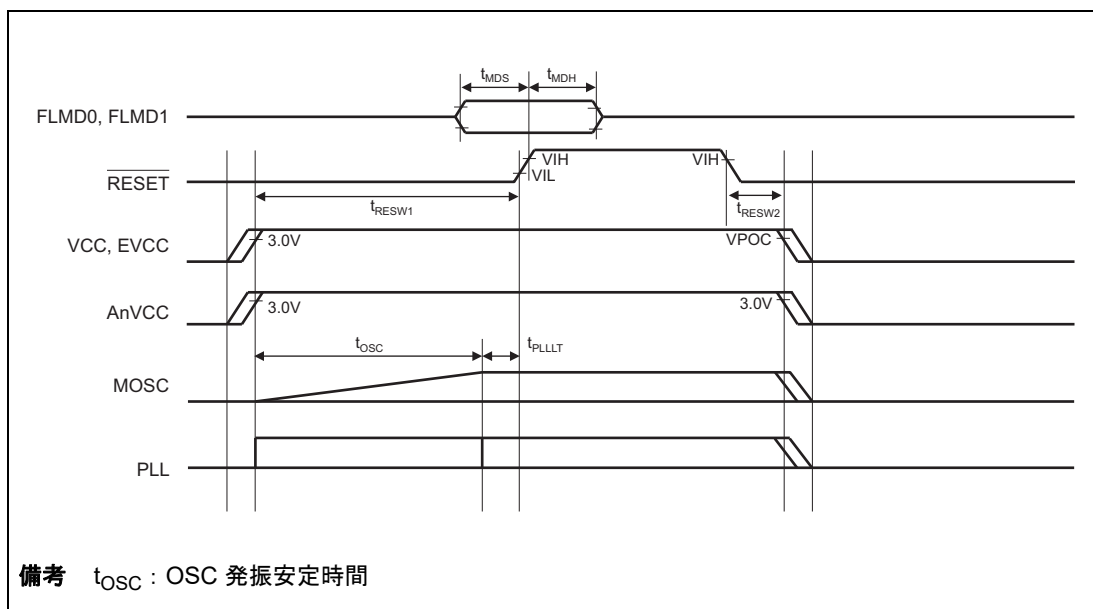
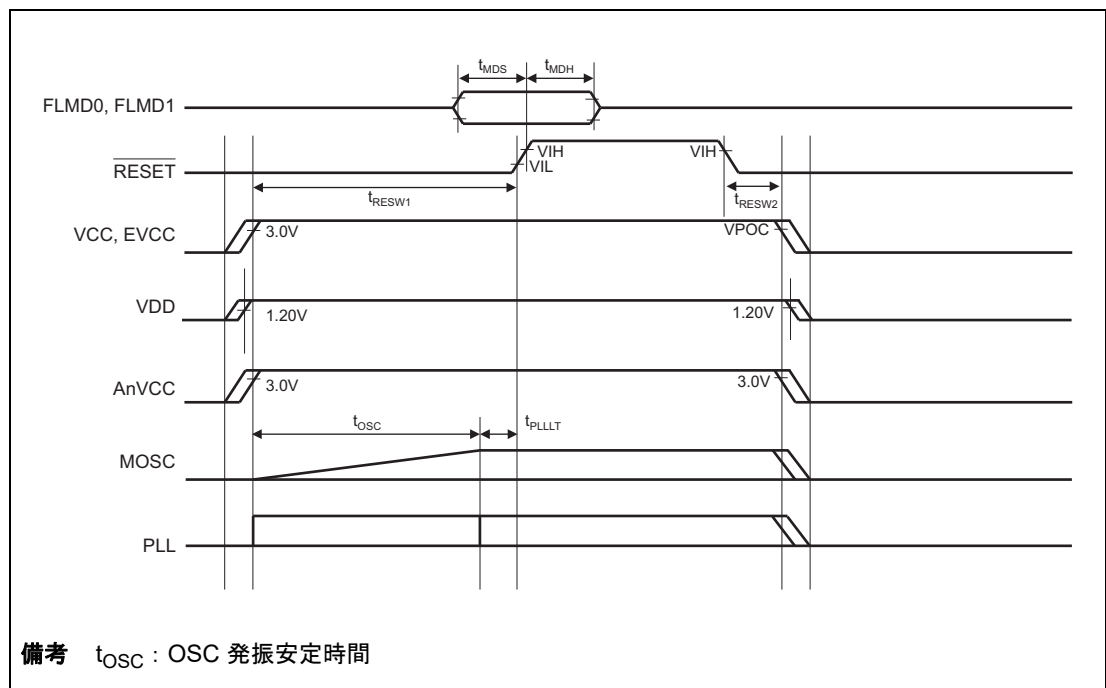


表 37.4 DPS 製品

条件：「37.1.1.1 共通条件」を参照

項目	略号	MIN.	MAX.	単位	備考
電源立ち上げ時の端子リセットL期間	t_{RESW1}	13		ms	注1
電源立ち下げ時の端子リセットL期間	t_{RESW2}	2		μ s	注2
動作モードセットアップ時間	t_{MDS}	1		ms	
動作モードホールド時間	t_{MDH}	1		ms	
PLL ロックアップ時間	t_{PLLLT}		1	ms	注3
VCC, AnVCC 電源スロープ	t_{VS1}	0.02	500	V/ms	
VDD 電源スロープ	t_{VS2}	2	500	V/ms	

- 注 1. t_{RESW1} は、全電源が立ち上がり内部クロック安定供給に必要なリセット期間を示します。端子リセットの解除は t_{RESW1} 、 $t_{OSC} + t_{PLLLT}$ を待ってから解除してください。VCC と EVCC は同じ電源から供給してください。電源立ち上げ時の VCC/EVCC と AnVCC、VDD の電源間電位差に制限事項はありません。
- 注 2. t_{RESW2} は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。
- 注 3. t_{PLLLT} は、MOSC が発振安定してから PLL がロックアップするのに必要な時間を示します。
- 注 4. 電源遮断時のリセット挿入からリセットノイズキャンセル幅 (max. 1.2 μ s) の期間は、I/O 端子状態はリセットされません。その期間は、端子への中間電位入力または出力データの衝突が起こらないようにしてください。
- 注 5. フラッシュメモリの書き込み/消去中に電源遮断を行った場合は、書き込み/消去した領域のフラッシュのデータは保証できません。



37.9.2 ドライブ強度

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数		高速モード			20	MHz
		中速モード			14	MHz
		低速モード			4	MHz
出力立ち上がり／ 立ち下がり時間		高速モード			10	ns
		中速モード			20	ns
		低速モード			50	ns

37.9.3 クロックタイミング

条件：「37.1.1.1 共通条件」を参照

出力端子は、高速モードです。

項目	略号	条件	MIN.	TYP.	MAX.	単位
EXTCLKnO 出力周期	t_{CYK}		0.05 (20MHz)		4 (250kHz)	μ s
EXTCLKnO ハイレベル幅	t_{WKH}	M : 1 or 偶数値 ^{注1}	$t_{CYK}/2-12$			ns
		M : 奇数値 ($M \geq 3$) ^{注1}	$t_{CYK} \times (M+1) / 2M-12$			ns
EXTCLKnO ロウレベル幅	t_{WKL}	M : 1 or 偶数値 ^{注1}	$t_{CYK}/2-12$			ns
		M : 奇数値 ($M \geq 3$) ^{注1}	$t_{CYK} \times (M-1) / 2M-12$			ns
EXTCLKnO 立ち上がり時間	t_{KR}				10	ns
EXTCLKnO 立ち下がり時間	t_{KF}				10	ns

備考 n = 0, 1

注1. “M” は CLKDnDIV レジスタの値です。

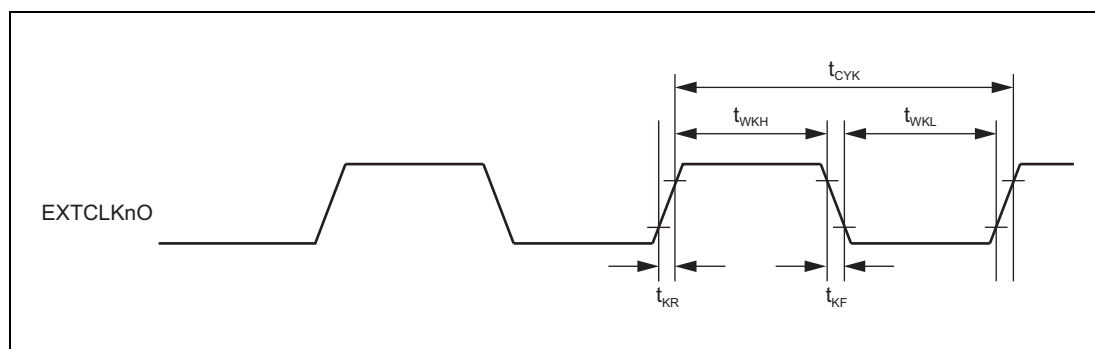


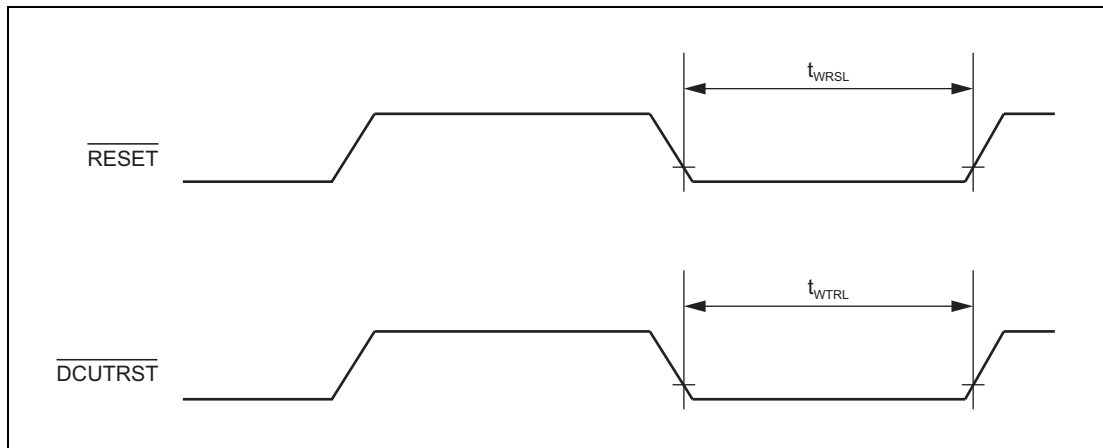
図 37.1 クロック出力タイミング

37.9.4 制御信号タイミング

37.9.4.1 リセット

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET 入カウレベル幅	t_{WRSL}	パワーオン以外	1.5	—	—	μs
DCUTRST 入カウレベル幅	t_{WTRL}		1.5	—	—	μs



37.9.4.2 割り込み／ADTRG

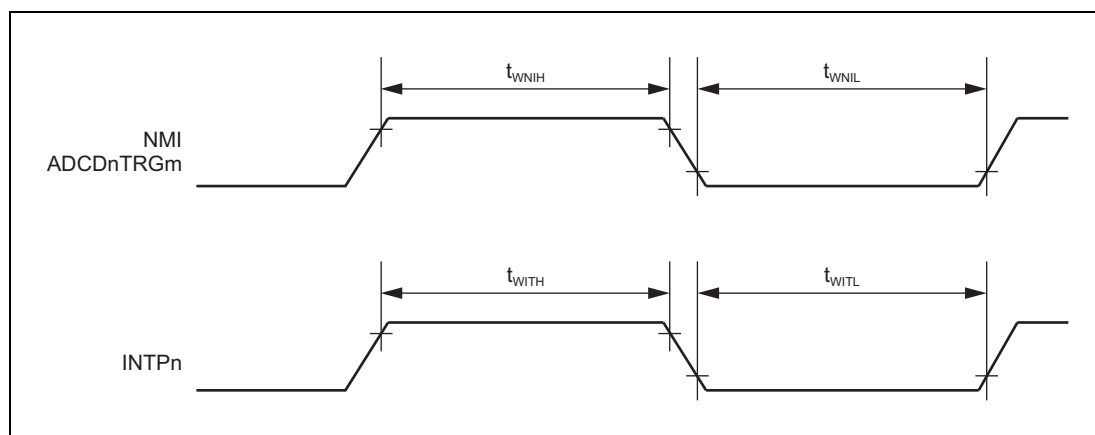
条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI 入力ハイレベル幅	t_{WNIH}	デジタルフィルタ	$k \times Tsamp + 20$ 注1			ns
NMI 入力ロウレベル幅	t_{WNIL}	デジタルフィルタ	$k \times Tsamp + 20$ 注1			ns
INTPn 入力ハイレベル幅	t_{WITH}	デジタルフィルタ	$k \times Tsamp + 20$ 注1			ns
		アナログフィルタ、 $n = 7, 8$	600			ns
INTPn 入力ロウレベル幅	t_{WITL}	デジタルフィルタ	$k \times Tsamp + 20$ 注1			ns
		アナログフィルタ、 $n = 7, 8$	600			ns
ADCDnTRGm 入力ハイレベル幅	t_{WNIH}	デジタルフィルタ、 $n = 0, 1, m = 0, 1$	$k \times Tsamp + 20$ 注1			ns
ADCDnTRGm 入力ロウレベル幅	t_{WNIL}	デジタルフィルタ、 $n = 0, 1, m = 0, 1$	$k \times Tsamp + 20$ 注1			ns

注1. k は、各入力用のデジタルノイズフィルタのサンプリング数です。
 $Tsamp$ は、各入力用のデジタルノイズフィルタのサンプリング時間です。

注 意

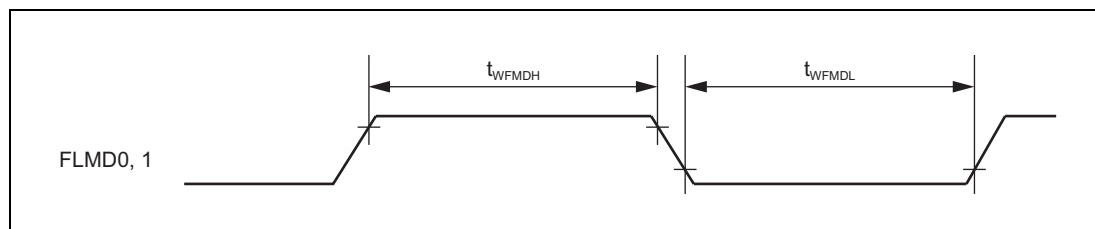
上記のスペックは、有効エッジとして確実に検出されるパルス幅をしめしており、上記のスペックより小さいパルスを入力しても、有効エッジとして検出される可能性があります。



37.9.4.3 モード

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0,1 入力ハイレベル幅	t_{WFMDH}		600			ns
FLMD0,1 入力ロウレベル幅	t_{WFMDL}		600			ns



37.9.5 タイマタイミング

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUDnIm 入力ハイ/ロウレベル幅 ($n = 3, m = 0 \sim 15$)	$t_{WTDIH}/$ t_{WTDIL}		$k \times T_{\text{samp}} + 20$ 注1			ns
TAUJnIm 入力ハイ/ロウレベル幅 ($n = 3, m = 0 \sim 3$)	$t_{WTJIH}/$ t_{WTJIL}		$k \times T_{\text{samp}} + 20$ 注1			ns
ENCAnTINm 入力ハイ/ロウレベル幅 ($n = 0,1, m = 0,1$)	$t_{WTDIH}/$ t_{WTDIL}		$k \times T_{\text{samp}} + 20$ 注1			ns
ENCAnIm 入力ハイ/ロウレベル幅 ($n = 0,1, m = 0,1$)	$t_{WENIH}/$ t_{WENIL}		$k \times T_{\text{samp}} + 20$ 注1			ns
TAPAnESO 入力ハイ/ロウレベル幅 ($n = 0,1$)	$t_{WESIH}/$ t_{WESIL}		600			ns

注1. k は、各入力用のデジタルノイズフィルタのサンプリング数です。
 T_{samp} は、各入力用のデジタルノイズフィルタのサンプリング時間です。

37.9.6 CSI タイミング

37.9.6.1 CSIG タイミング

条件：「37.1.1.1 共通条件」を参照
出力端子は、高速モードです。

表 37.5 CSIG タイミング (マスタモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYGn}		12.5 (max. 80MHz)			ns
CSIGnSC サイクル時間	t_{KCYMGn}		125			ns
CSIGnSC ハイレベル幅	t_{KWHMGn}		$t_{KCYMGn}/2 - 12$			ns
CSIGnSC ロウレベル幅	t_{KWLMGn}		$t_{KCYMGn}/2 - 12$			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t_{SSIMGn}		30			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t_{HSIMGn}		0			ns
CSIGnSO 出力遅延時間 (対 CSIGnSC)	t_{DSOMGn}				7	ns
CSIGnRYI セットアップ時間 (対 CSIGnSC)	t_{SRYIGn}	CSIGnCTL1.CSIGnSIT = x CSIGnCTL1.CSIGnHSE = 1	$2 \times t_{KCYGn} + 25$			ns

表 37.6 CSIG タイミング (スレーブモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYGn}		12.5 (max. 80MHz)			ns
CSIGnSC サイクル時間	t_{KCYSGn}		150			ns
CSIGnSC ハイレベル幅	t_{KWHSGn}		$t_{KCYSGn}/2 - 12$			ns
CSIGnSC ロウレベル幅	t_{KWLSGn}		$t_{KCYSGn}/2 - 12$			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t_{SSISGn}		20			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t_{HSISGn}		$t_{KCYGn} + 5$			ns
CSIGnSO 出力遅延時間 (対 CSIGnSC)	t_{DSOSGn}				30	ns
CSIGnRYO 出力遅延時間 (対 CSIGnSC)	t_{SRYOGn}				38	ns

37.9.6.2 CSIH タイミング

条件：「37.1.1.1 共通条件」を参照
出力端子は、高速モードです。

表 37.7 CSIH タイミング (マスタモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYMHn}		100			ns
CSIHnSC ハイレベル幅	t_{KWHMHn}		$t_{KCYMHn}/2 - 12$			ns
CSIHnSC ロウレベル幅	$t_{KWLMLHn}$		$t_{KCYMHn}/2 - 12$			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t_{SSIMHn}		25			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t_{HSIMHn}		0			ns
CSIHnSO 出力遅延時間 (対 CSIHnSC)	t_{DSOMHn}				7	ns
CSIHnRYI セットアップ時間 (対 CSIHnSC)	t_{SRYIHn}	CSIHnCTL1.CSIHnSIT = x CSIHnCTL1.CSIHnHSE = 1	$2 \times t_{KCYMHn} + 25$			ns
CSIHnCSS0-7 インアクティブ レベル幅	$t_{WSCSBHn}$		$CSIDLE \times t_{KCYMHn} - 20$			ns
CSIHnCSS0-7 セットアップ時間 (対 CSIHnSC)	$t_{SSCSBHn}$ 0	CSIHnCFGx.CSIHnDAPx = 0	$CSSETUP \times t_{KCYMHn} - 10$			ns
	$t_{SSCSBHn}$ 1	CSIHnCFGx.CSIHnDAPx = 1	$(CSSETUP + 0.5) \times t_{KCYMHn} - 10$			ns
CSIHnCSS0-7 ホールド時間 (対 CSIHnSC)	$t_{HSCSBHn}$ 0	CSIHnCTL1.CSIHnSIT = 0	$CSHOLD \times t_{KCYMHn} - 10$			ns
	$t_{HSCSBHn}$ 1	CSIHnCTL1.CSIHnSIT = 1	$(CSHOLD + 0.5) \times t_{KCYMHn} - 10$			ns

備考 CSSETUP : CSIHnCFGx.CSIHnSPx[3:0] 設定値
CSHOLD : CSIHnCFGx.CSIHnHDx[3:0] 設定値
CSIDLE : CSIHnCFGx.CSIHnIDLx 設定値

表 37.8 CSIH タイミング (スレーブモード)

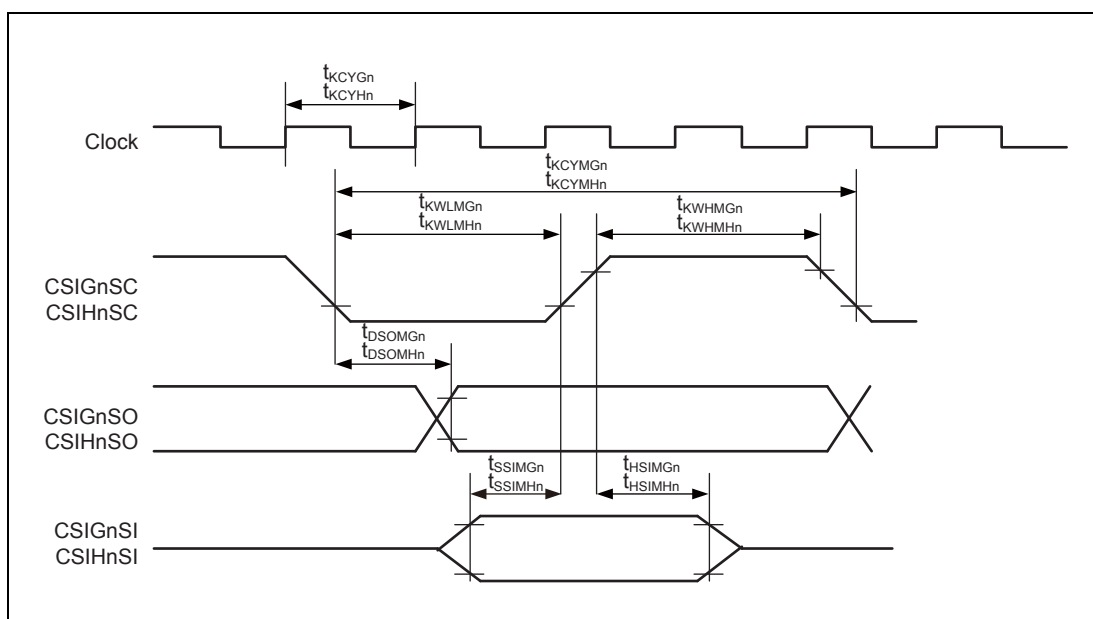
項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYSHn}		150			ns
CSIHnSC ハイレベル幅	t_{KWHSHn}		$t_{KCYSHn}/2 - 12$			ns
CSIHnSC ロウレベル幅	t_{KWLSHn}		$t_{KCYSHn}/2 - 12$			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t_{SSISHn}		20			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t_{HSISHn}		$t_{KCYHn} + 5$			ns
CSIHnSO 出力遅延時間 (対 CSIHnSC)	t_{DSOSHn}				30	ns
CSIHnRYO 出力遅延時間 (対 CSIHnSC)	t_{SRYOHn}				38	ns
CSIHnSSI セットアップ時間 (対 CSIHnSC)	$t_{SSSISHn}$		$t_{KCYSHn}/2 - 5$			ns
CSIHnSSI ホールド時間 (対 CSIHnSC)	$t_{HSSISHn}$		$t_{KCYHn} + 30$			ns

37.9.6.3 CSIG/CSIH タイミングチャート

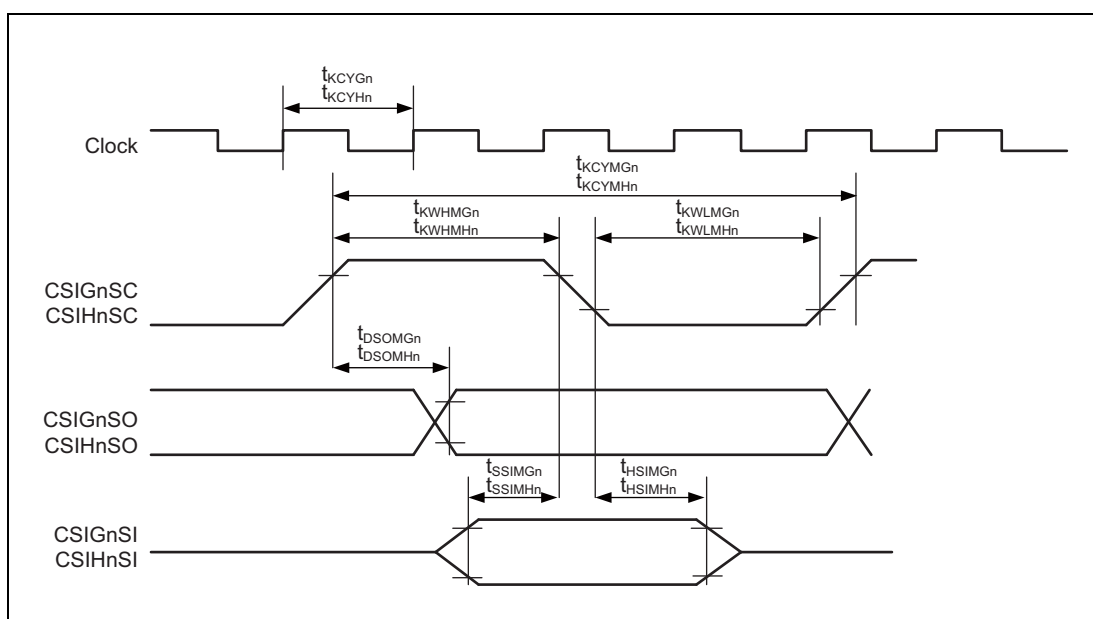
(1) SCKO/SI/SO

マスタモード :

- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP = 0/0 または 1/1)
- CSIH (CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 0/0 または 1/1)

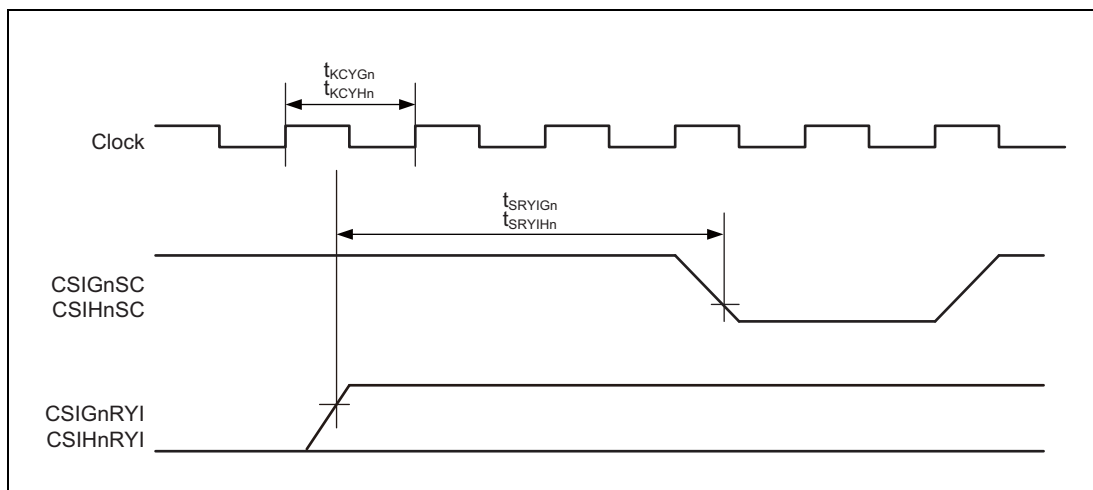


- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP = 1/0 または 0/1)
- CSIH (CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 1/0 または 0/1)

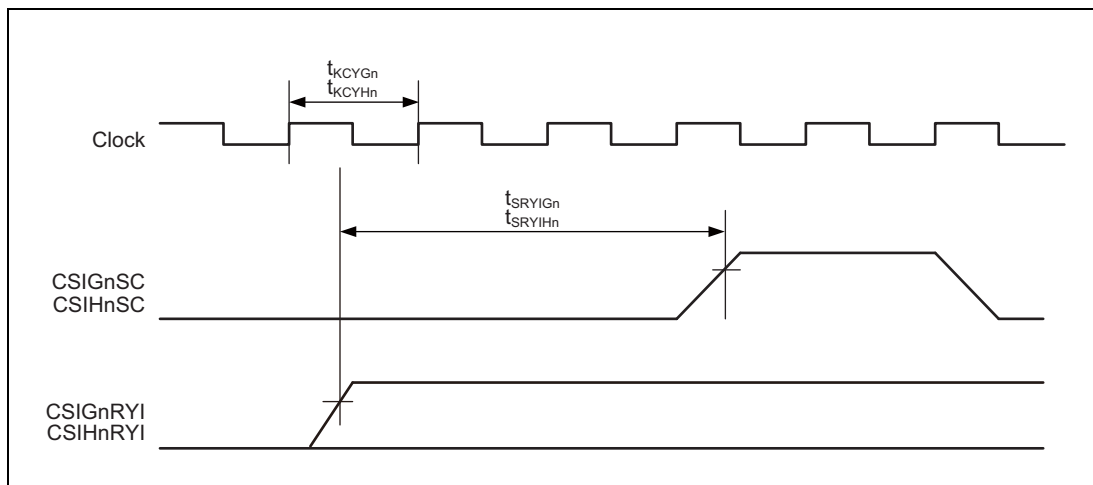


(2) RYI

- CSIG: マスタモードのみ (CSIGnCTL1: CSIGnHSE = 1, CSIGnCTL1: CSIGnSIT = 0)
- CSIH: マスタモードのみ (CSIHnCTL1: CSIHnHSE = 1, CSIHnCTL1: CSIHnSIT = 0)
 - CSIG (CSIGnCTL1: CSIGnCKR = 0)
 - CSIH (CSIHnCFGx: CSIHnCKPx = 0)



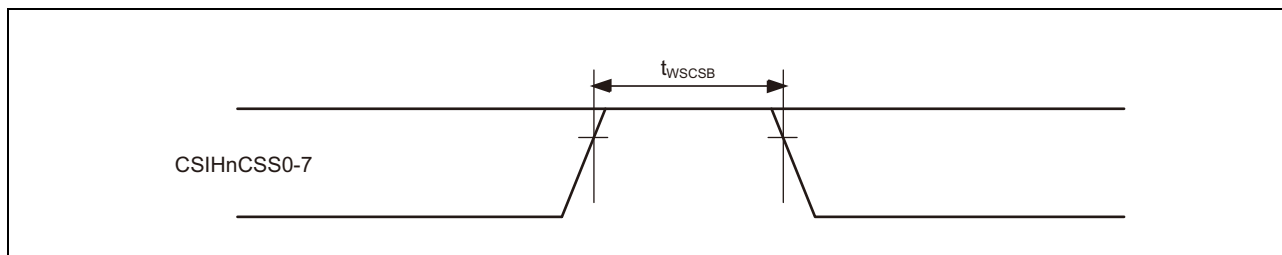
- CSIG (CSIGnCTL1: CSIGnCKR = 1)
- CSIH (CSIHnCFGx: CSIHnCKPx = 1)



(3) CSSn

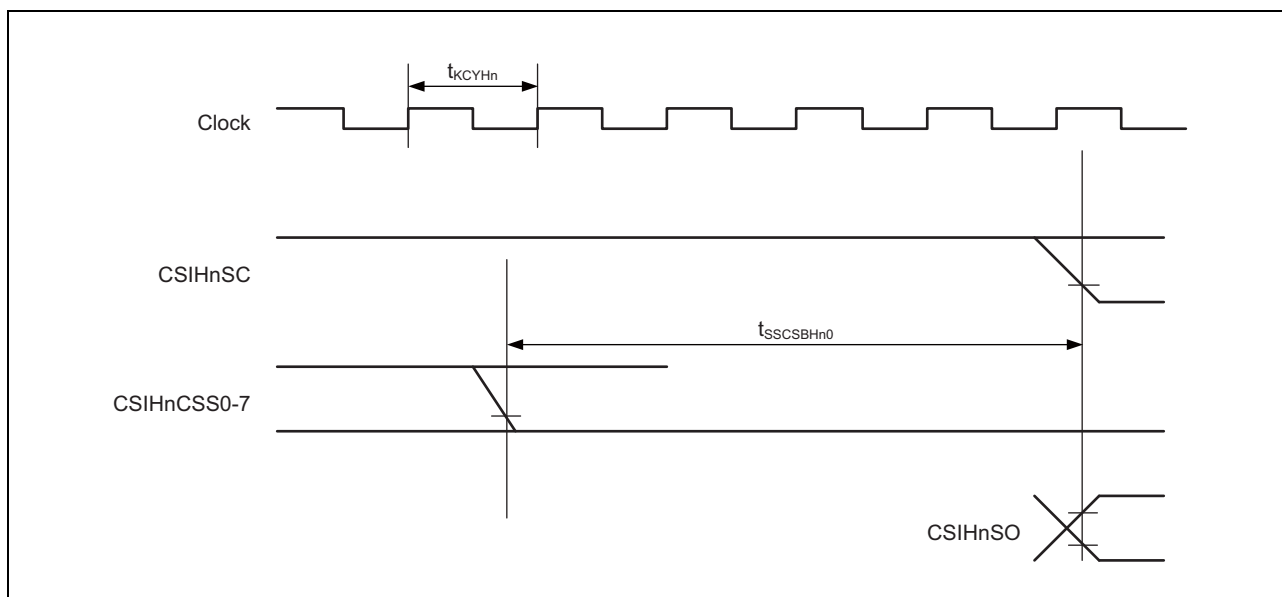
マスターモードのみ（インアクティブレベル幅）：

- CSIHnCFGx: CSIHnCKPx = 0, CSIHnCFGx: CSIHnDAPx = 0

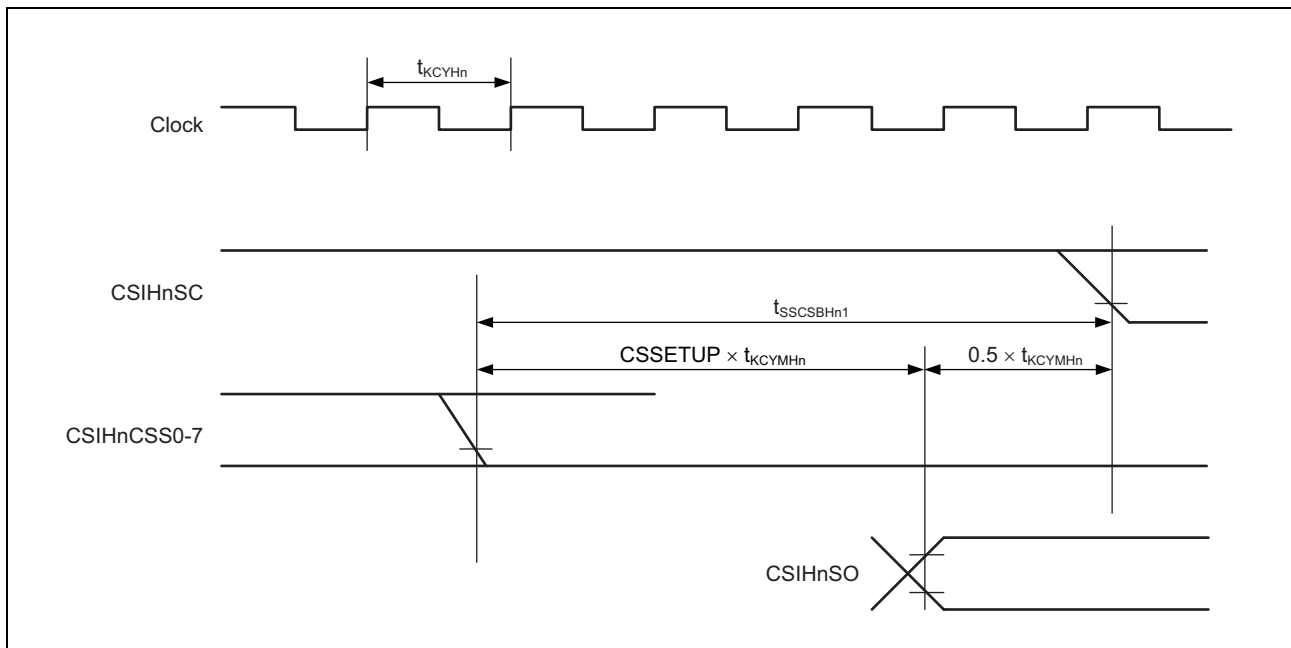


マスターモードのみ（セットアップ時間）：

- CSIHnCFGx: CSIHnCKPx = 0, CSIHnCFGx: CSIHnDAPx = 0

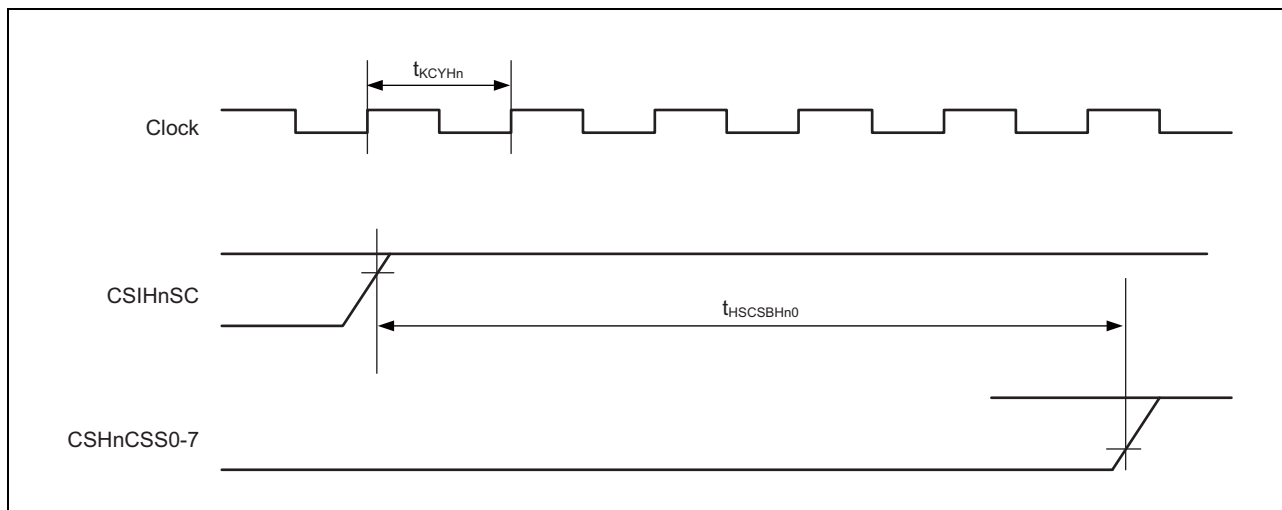


- CSIHnCFGx: CSIHnCKPx = 0, CSIHnCFGx: CSIHnDAPx = 1

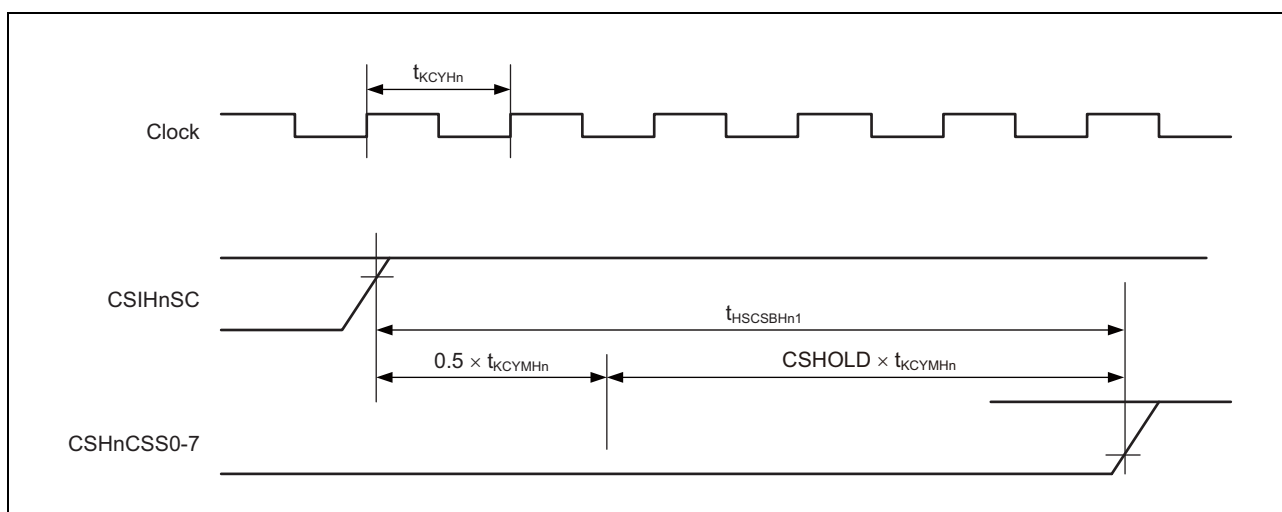


マスタモードのみ（保留時間）：

- CSIHnCTL1: CSIHnSIT = 0, CSIHnCFGx: CSIHnCKPx = 0,
CSIHnCFGx: CSIHnDAPx = 0



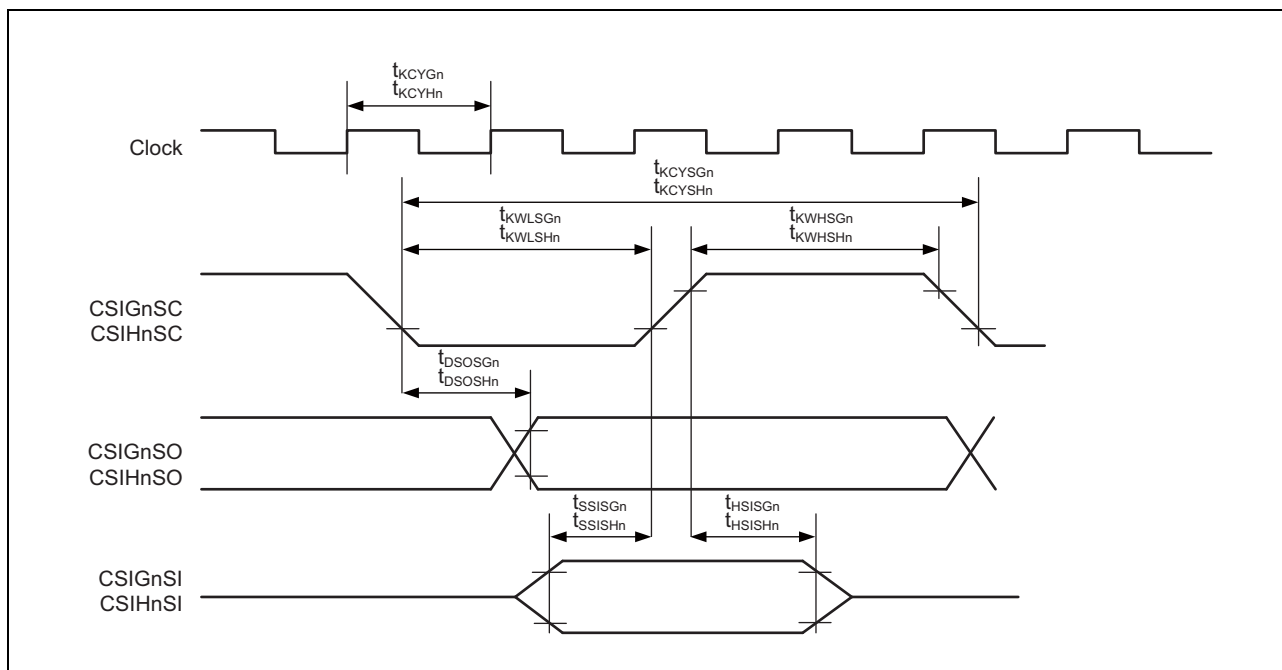
- CSIHnCTL1: CSIHnSIT = 1, CSIHnCFGx: CSIHnCKPx = 0, CSIHnCFGx: CSIHnDAPx = 0



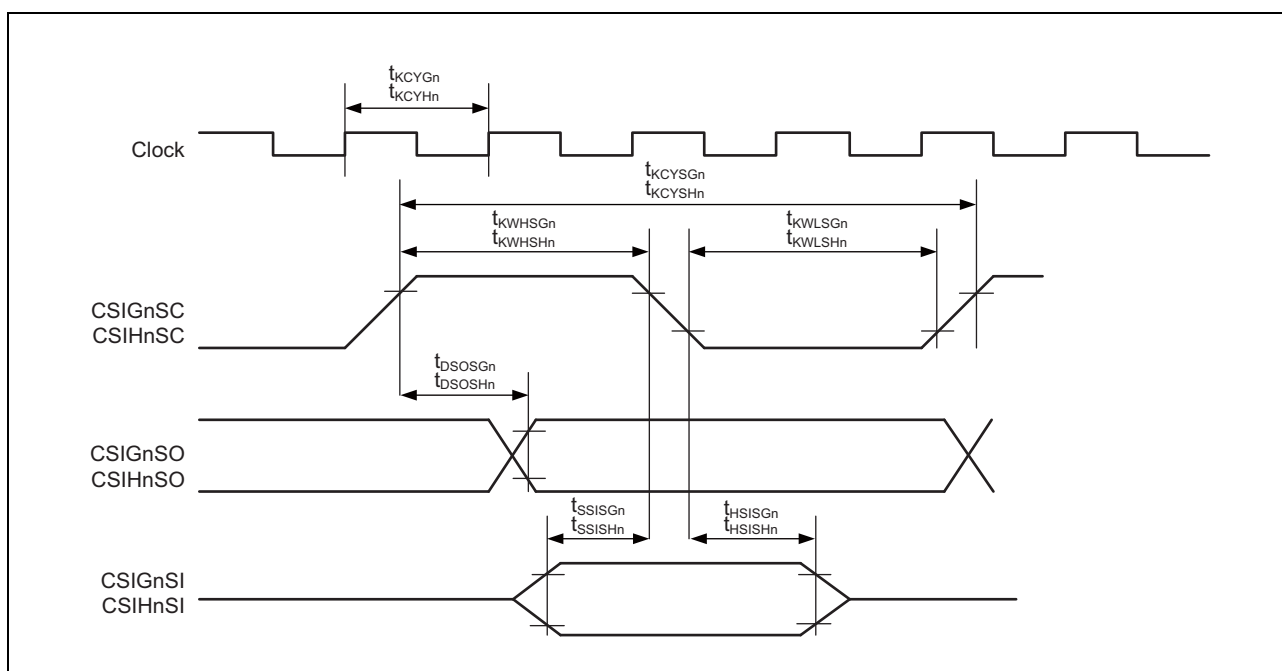
(4) SCKO/SI/SO

スレーブモード:

- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP = 0/0 または 1/1)
- CSIH (CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 0/0 または 1/1)

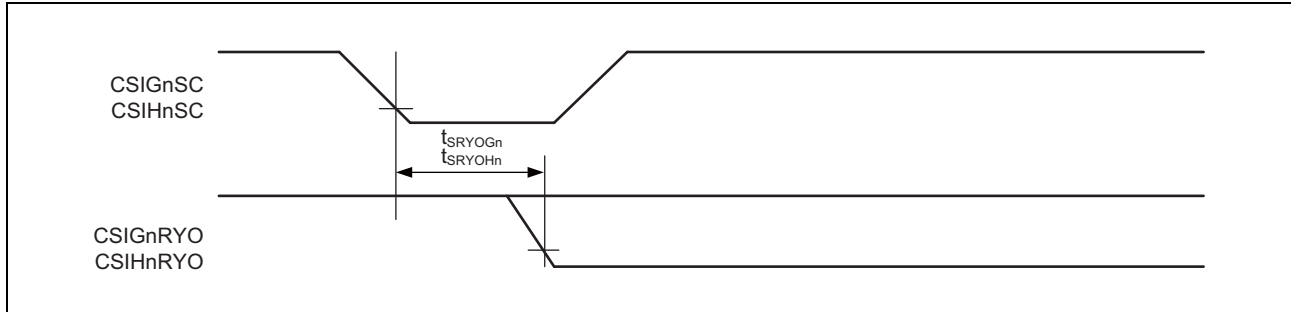


- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP = 1/0 または 0/1)
- CSIH (CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 1/0 または 0/1)

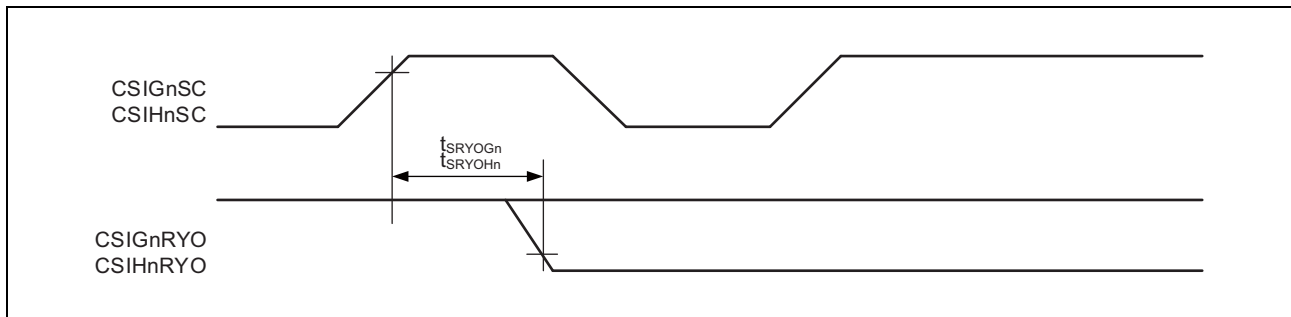


(5) RYO

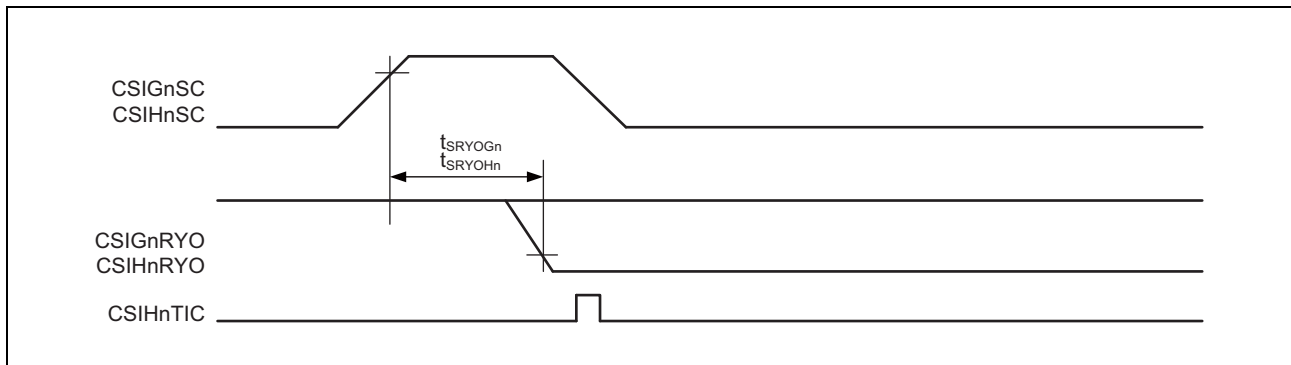
- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP = 0/0)
- CSIH (CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 0/0)



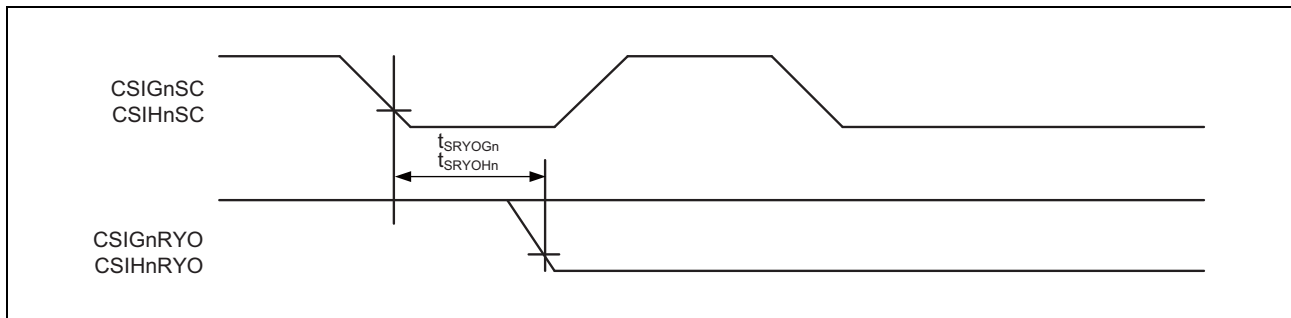
- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP = 0/1)
- CSIH (CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 0/1)



- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP = 1/0)
- CSIH (CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 1/0)



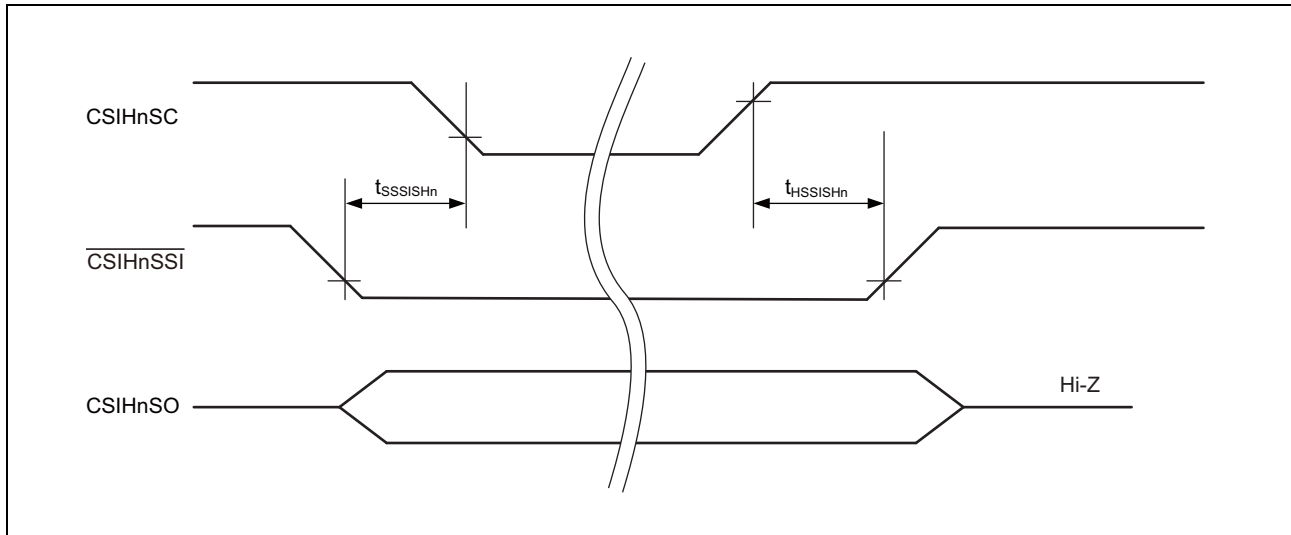
- CSIG (CSIGnCTL1: CSIGnCKR/CSIGnCFG0: CSIGnDAP = 1/1)
- CSIH (CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 1/1)



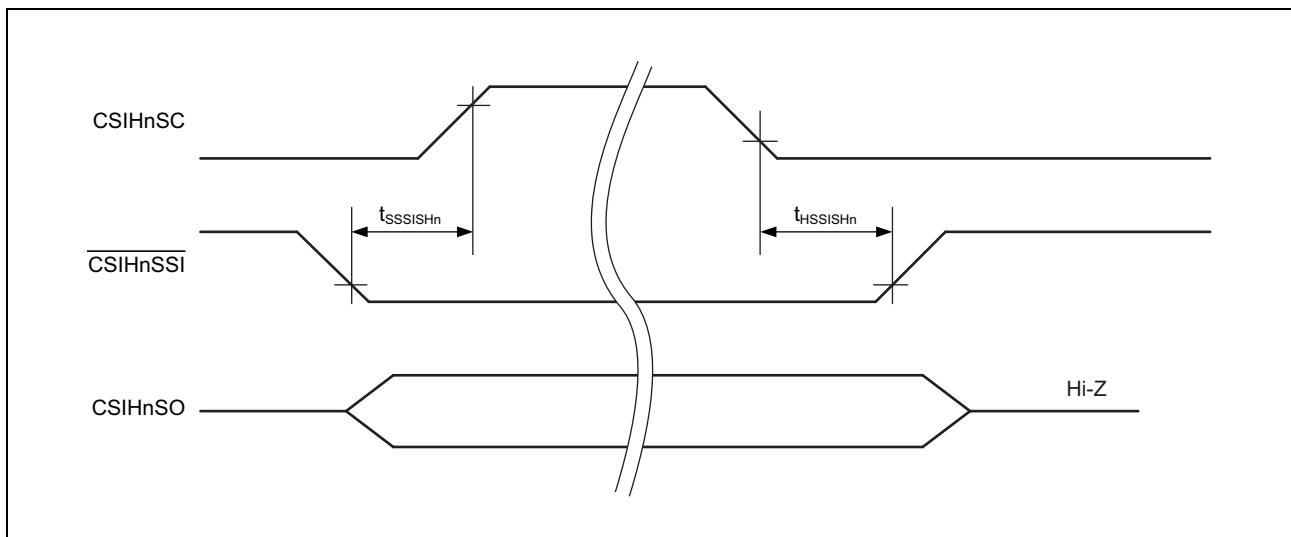
(6) SSI

スレーブモード :

- CSIH (CSIHnCTL1: CSIHnSSE=1, CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 0/0
または 1/1)



- CSIH (CSIHnCTL1: CSIHnSSE=1, CSIHnCFGx: CSIHnCKPx/CSIHnCFGx: CSIHnDAPx = 1/0
または 0/1)



37.9.7 SCI3 タイミング

条件：「37.1.1.1 共通条件」を参照
本仕様は、高速モードの場合です。

表 37.9 SCI3 タイミング (マスタモード時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周期時間	t_{Scyc}	調歩同期	$16 \times t_{PCLK}$			ns
		クロック同期	$16 \times t_{PCLK}$			ns
出力クロックパルス幅	t_{SCKW}		$0.4 \times t_{Scyc}$		$0.6 \times t_{Scyc}$	ns
送信データ遅延時間	t_{TXD}				40	ns
受信データセットアップ時間	t_{RXS}	クロック同期	$2 \times t_{PCLK}$			ns
受信データホールド時間	t_{RXH}	クロック同期	$2 \times t_{PCLK}$			ns

備考 t_{PCLK} は SCI3 動作クロックを意味します。

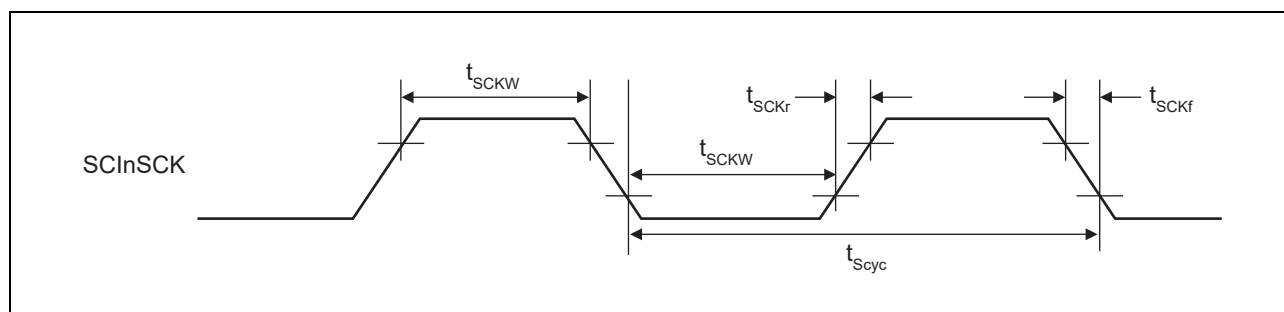


図 37.2 SCI クロック入出力タイミング

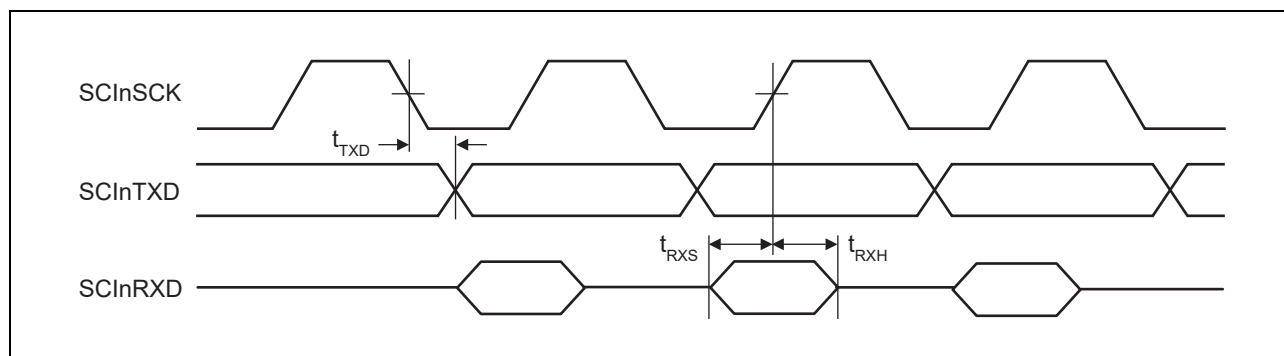


図 37.3 SCI 入出力タイミング/クロック同期式モード (マスタモード時)

表 37.10 SCI3 タイミング (スレーブモード時)

項目	略号	MIN.	TYP.	MAX.	単位
入力周期時間	t_{Scyc}	$12 \times t_{PCLK}$			ns
入力クロックパルス幅	t_{SCKW}	$0.4 \times t_{Scyc}$		$0.6 \times t_{Scyc}$	ns
送信データ遅延時間 ^{注1}	t_{TXD}	$2 \times t_{PCLK}$		$50 + 3 \times t_{PCLK}$	ns
入力クロック立ち上がり時間	t_{SCKr}			20	ns
入力クロック立ち下がり時間	t_{SCKf}			20	ns
受信データセットアップ時間	t_{RXS}	$2 \times t_{PCLK}$			ns
受信データホールド時間	t_{RXH}	$2 \times t_{PCLK}$			ns

注 1. “連続転送でないData0(1st bit)” 以外が対象です。

“連続転送でないData0(1st bit)” の送信は TDRE = 0 と同時に開始されます。

備考 t_{PCLK} は SCI3 動作クロックを意味します。

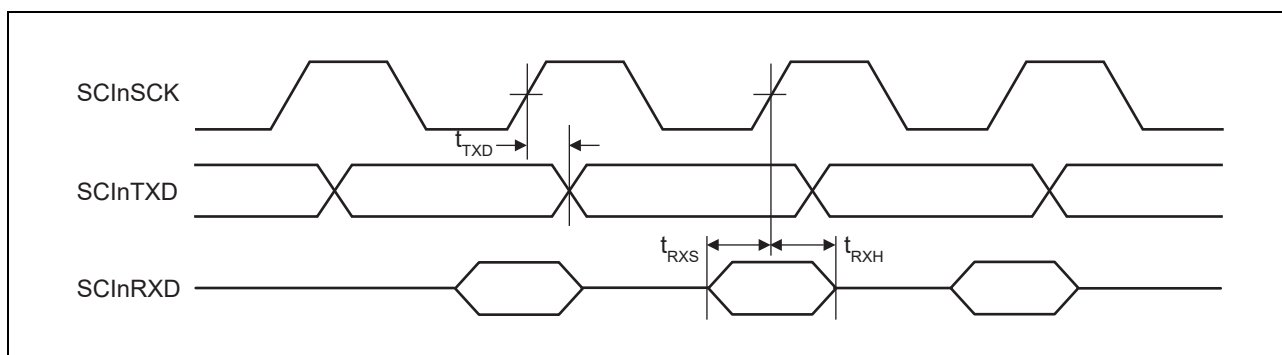


図 37.4 SCI 入出力タイミング/クロック同期式モード (スレーブモード時)

37.9.8 RS-CAN タイミング

条件：「37.1.1.1 共通条件」を参照
本仕様は、高速モードの場合です。

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
CAN ノード遅延時間	t_{NODE}				100	ns

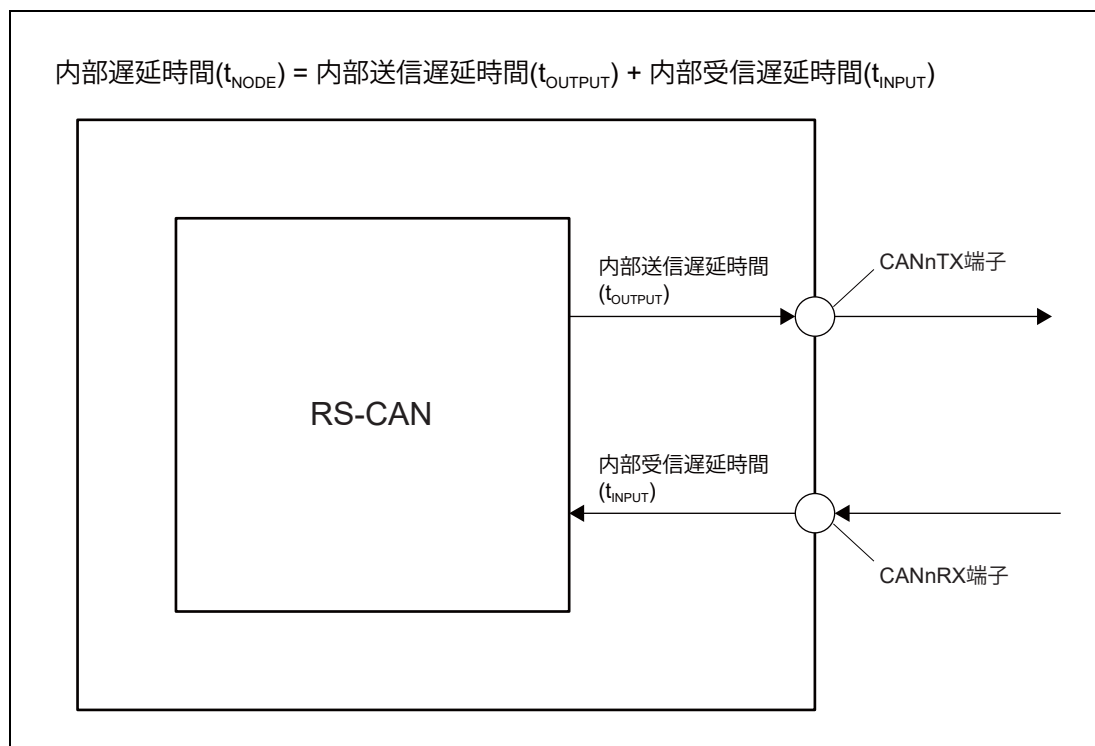


図 37.5 RS-CAN タイミング

37.9.9 RLIN3 タイミング

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
RLIN3 転送レート		LIN 機能	1		20	kbps
		UART 機能			8	Mbps

37.9.10 FlexRay タイミング

条件：「37.1.1.1 共通条件」を参照
本仕様は、高速モードの場合です。

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					10	Mbps

37.9.11 PSI5 タイミング

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
ビット時間	(1)	125 kbps	7.6	8.0	8.4	μs
	(2)	189 kbps	5.0	5.3	5.6	μs
	(3)	250 kbps		4.0		μs
ギャップ時間	(4)	125 kbps	8.4			μs
	(5)	189 kbps	5.6			μs
	(6)	250 kbps	2.0			μs

37.9.12 RSENT タイミング

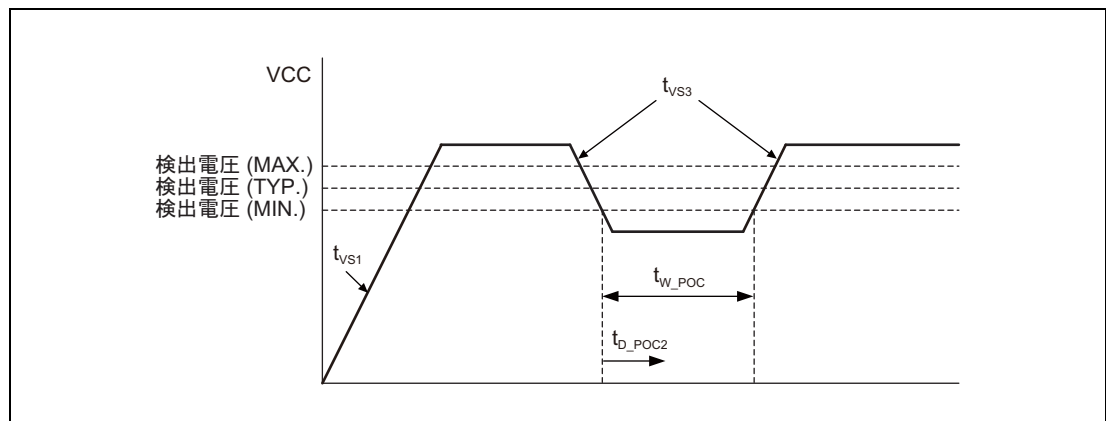
条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
Tick Time			1		90	μs

37.10 POC 特性

条件：「37.1.1.1 共通条件」を参照

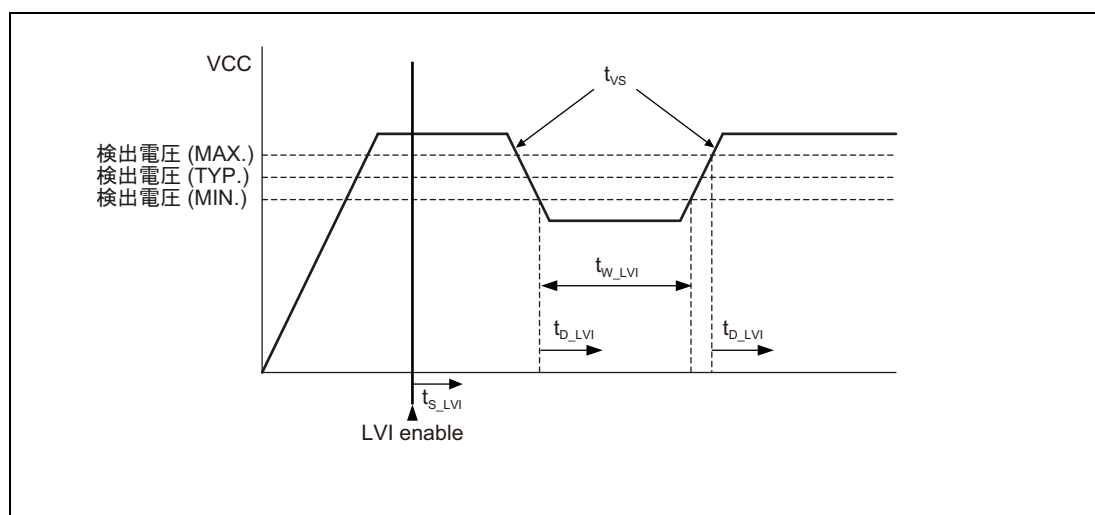
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOC	立ち上がり	2.7	2.85	3.0	V
		立ち下がり	2.7	2.8	2.9	V
応答時間 2	t_{D_POC2}	電源投入後 電源傾き (t_{VS3}) = 0.02V/ms ~ 20V/ms			2	ms
VCC 最小幅	t_{W_POC}		0.2			ms
VCC 電源スロープ	t_{VS3}		0.02		20	V/ms



37.11 LVI 特性

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VLVI0	立ち上がり	4.36	4.51	4.7	V
		立ち下がり	4.35	4.5	4.65	V
	VLVI2	立ち上がり	3.01	3.11	3.25	V
		立ち下がり	3.0	3.1	3.24	V
応答時間	t_{D_LVI}			2	ms	
VCC 最小幅	t_{W_LVI}		0.2		ms	
VCC 電源スロープ	t_{VS}		0.02		20	V/ms
起動安定時間	t_{S_LVI}				80	μ s



37.12 コア・ボルテージ・モニタ特性

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ VDD 検出電圧	VCVMH		1.35	1.40	1.45	V
ロウ VDD 検出電圧	VCVML		1.10	1.15	1.20	V
応答時間	t_{D_CVM}				12	μ s

37.13 温度センサ

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度精密度		$T_j = +25 \sim +150^\circ\text{C}$	-6		6	$^\circ\text{C}$
		$T_j = -40 \sim +25^\circ\text{C}$	-12		12	$^\circ\text{C}$
動作安定待ち時間	t_{TSSB}		200			μ s

37.14 BIST 実行時間

条件：「37.1.1.1 共通条件」を参照

項目	略号	条件	MIN.	TYP.	MAX.	単位
BIST 実行時間					30	ms

37.15 A/D コンバータ特性

条件：「37.1.1.1 共通条件」を参照

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
マクロ動作クロック					40	MHz	
精度	RESn			12		bit	
変換時間	t _{CONn}	ADCDnSMPCR = 0000 _H , CLK_ADC=40MHz		1		μs	
		ADCDnSMPCR = 90CC _H , CLK_ADC=20MHz		11.3		μs	
総合誤差 ^{注1}	TOEn	AnVCC, AnVREFH = 4.3 V ~ 5.5 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャネル T&H 不使用			±4.0	LSB
			ADCDnIm, チャネル T&H 使用			±6.0	LSB
		AnVCC, AnVREFH = 3.0 V ~ 3.6 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャネル T&H 不使用			±6.0	LSB
			ADCDnIm, チャネル T&H 使用			±8.0	LSB
積分非直線性 ^{注1}	ILEn	AnVCC, AnVREFH = 4.3 V ~ 5.5 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャネル T&H 不使用			±2.0	LSB
			ADCDnIm, チャネル T&H 使用			±3.0	LSB
		AnVCC, AnVREFH = 3.0 V ~ 3.6 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャネル T&H 不使用			±3.0	LSB
			ADCDnIm, チャネル T&H 使用			±4.0	LSB
微分非直線性 ^{注1}	DLEn	AnVCC, AnVREFH = 4.3 V ~ 5.5 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャネル T&H 不使用			±1.0	LSB
			ADCDnIm, チャネル T&H 使用			±1.0	LSB
		AnVCC, AnVREFH = 3.0 V ~ 3.6 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャネル T&H 不使用			+2.0, -1.0	LSB
			ADCDnIm, チャネル T&H 使用			+3.0, -1.0	LSB
オフセット誤差 ^{注1}	ZSEn	AnVCC, AnVREFH = 4.3 V ~ 5.5 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャネル T&H 不使用			±3.5	LSB
			ADCDnIm, チャネル T&H 使用			±5.5	LSB
		AnVCC, AnVREFH = 3.0 V ~ 3.6 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャネル T&H 不使用			±5.5	LSB
			ADCDnIm, チャネル T&H 使用			±7.5	LSB

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
フルスケール誤差 ^{注1}	FSEn	AnVCC, AnVREFH = 4.3 V ~ 5.5 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャンネル T&H 不使用			±3.5	LSB
			ADCDnIm, チャンネル T&H 使用			±5.5	LSB
		AnVCC, AnVREFH = 3.0 V ~ 3.6 V, AnVCC- AnVREFH < 1V	ADCDnIm, チャンネル T&H 不使用			±5.5	LSB
			ADCDnIm, チャンネル T&H 使用			±7.5	LSB
アナログ入力電圧	VAINmSN	AnVCC - AnVREFH < 1 V	チャンネル T&H 不使用	AnVSS		AnVREFH	V
			チャンネル T&H 使用	AnVSS + 0.2 V		AnVREFH - 0.2 V	V
サンプリング時間	t _{SMP}	ADCDnSMPCR=0000H, CLK_ADC=40MHz				t _{CONn} × (18/40)	μs
		ADCDnSMPCR=90CCH, CLK_ADC=20MHz				t _{CONn} × (204/ 226)	μs
チャンネル T&H 保持時間 ^{注2}	t _{THOLD}					10	μs
A/D 断線検出用ブルアップ抵抗	RU_AIN			10	20	40	KΩ
A/D 断線検出用ブルダウン抵抗	RD_AIN			10	20	40	KΩ
自己診断時の総合誤差	TESH0SN	A/D 変換回路自己診断時				±40	LSB
		端子レベル 自己診断時	AnVREFH = 4.3 V ~ 5.5 V			±80	LSB
			AnVREFH = 3.0 V ~ 3.6 V			±170	LSB
等価入力容量	CIN	待機中				10	pF
		サンプリング中				20	pF
許容アナログ信号源インピーダンス	—	アナログ入力端子に 0.1μF 配置		—	—	20	KΩ

注 1. 上記表は、量子化誤差を含んでいません。

注 2. T&H 回路でサンプリングした値を保持可能な時間です。

T&H 回路でのサンプリング完了から、12bit SAR-ADC の S/H 回路でのサンプリング完了までをこの時間内に行う必要があります。

備考 n = 0,1 (ユニット数)
m = 0 ~ 11 (チャンネル数)

注 意

- 端子レベル自己診断時にアナログ入力端子に注入電流が注入された場合、注入電流が注入されたアナログ入力端子に対応するチャンネルの診断電圧の変換精度は保証できません。
- A/D 変換回路自己診断の直前に注入電流が印加されたアナログ入力端子を変換した場合、A/D 変換回路自己診断の診断電圧の変換精度は保証できません。

37.16 Code Flash 特性

表 37.11 Code Flash 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
フラッシュシーケンサ動作周波数	f _{CLKP_L}				40	MHz
書き換え回数 ^{注1}	CWRT	保持 20 年 ^{注2}	1000			回
プログラミング温度	TPRG	Tj	-40		+150	°C
読み出し温度	TREAD	Tj	-40		+150	°C

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回 (n = 1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、32KB のブロックについて、それぞれ異なる番地に 256 バイトの書き込みを 128 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 平均 Ta = 85°C での保持期間

表 37.12 Code Flash プログラミング特性

条件 : 「37.1.1.1 共通条件」を参照

項目	条件	ブロックサイズ	MIN.	TYP.	MAX.	単位
書き込み時間 ^{注1}	書き替え回数 < 100 回	256B		2 ^{注1}	6 ^{注1}	ms
		32KB		200	360	ms
	書き替え回数 ≥ 100 回	256B		2.4 ^{注1}	7.2 ^{注1}	ms
		32KB		240	432	ms
消去時間 ^{注1}	書き替え回数 < 100 回	8KB		50	120	ms
		32KB		200	480	ms
	書き替え回数 ≥ 100 回	8KB		60	144	ms
		32KB		240	576	ms

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバーヘッドは考慮されていません。

37.17 Data Flash 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
フラッシュシーケンサ動作周波数	f _{CLKP_L}				40	MHz
書き換え回数 ^{注1}	DVRT	保持 20 年 ^{注2}	125000			回
		保持 3 年 ^{注2}	250000			回
プログラミング温度	TPRG	Tj	-40		+150	°C
読み出し温度	TREAD	Tj	-40		+150	°C

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回 (n = 125000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64B のブロックについて、それぞれ異なる番地に 4 バイトの書き込みを 16 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 平均 Ta = 85°C での保持期間

表 37.13 Data Flash プログラミング特性

条件：「37.1.1.1 共通条件」を参照

項目	ブロックサイズ	MIN.	TYP.	MAX.	単位
書き込み時間	4B		0.3 ^{注1}	1.7 ^{注1}	ms
	32KB		2.5	6.8	s
消去時間	64B		3 ^{注1}	10 ^{注1}	ms
	32KB		1.6	5.2	s
ブランクチェック時間	4B			30 ^{注1}	μs
	64B			100 ^{注1}	μs

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバーヘッドは考慮されていません。

37.18 デバッグインタフェース

37.18.1 JTAG、NEXUS タイミング

表 37.14 JTAG、NEXUS タイミング

条件：Tj = -40°C ~ 150°C、CL = 30 pF

項目	略号	条件	MIN.	MAX.	単位
TCK サイクルタイム	t_{TCKW}		40	—	ns
TCK ハイレベル幅	t_{TCKWH}		16	—	ns
TCK ローレベル幅	t_{TCKWL}		16	—	ns
TMS, TDI セットアップ時間 (~ TCK ↑)	t_{TISU}		12	—	ns
TMS, TDI 保持時間 (~ TCK ↑)	t_{TIH}		12	—	ns
TDO 出力遅延時間 (~ TCK ↓)	t_{TDOD}		—	$t_{TCKW} - 20$	ns
RDY 出力遅延時間 (~ TCK ↓)	t_{RDYD}		—	$t_{TCKW} - 20$	ns
\overline{TRST} ローレベル幅	t_{TRSTWL}		1500	—	ns
TCK, \overline{TRST} , TMS, TDI 入力立ち上がり時間	t_{TIR}		—	12	ns
TCK, \overline{TRST} , TMS, TDI 入力立ち下がり時間	t_{TIF}		—	12	ns

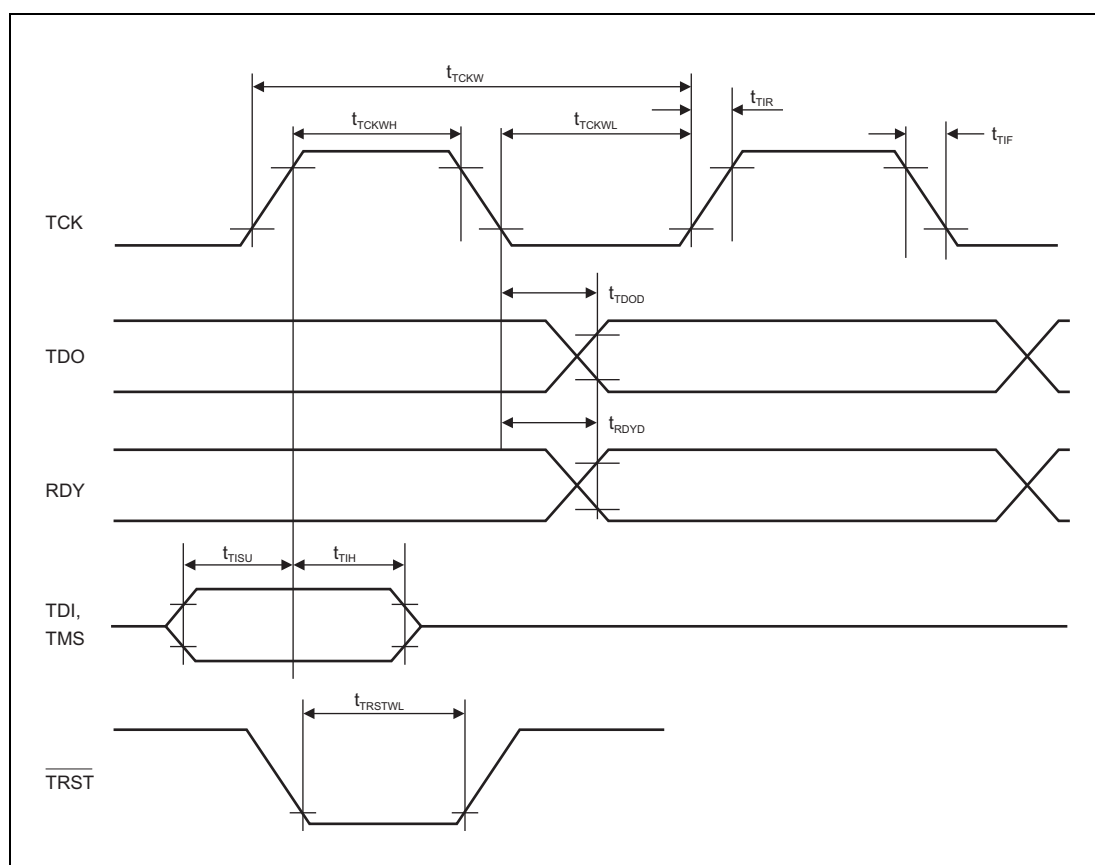


図 37.6 JTAG、NEXUS タイミング

37.18.2 LDU4 線式タイミング

表 37.15 LDU4 線式タイミング

条件 : $T_j = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $CL = 30\text{ pF}$

項目	略号	条件	MIN.	MAX.	単位
LPDCLK サイクルタイム	t_{LPDCKW}		83.3 (max.12M Hz)	—	ns
LPDCLK ハイレベル幅	$t_{LPDCKWH}$		$t_{LPDCKW}/$ 2-10	—	ns
LPDCLK ローレベル幅	$t_{LPDCKWL}$		$t_{LPDCKW}/$ 2-10	—	ns
LPDCLK 入力立ち上がり時間	t_{LPDCKR}		—	12	ns
LPDCLK 入力立ち下がり時間	t_{LPDCKF}		—	12	ns
LPDI セットアップ時間 (~ LPDCLK ↑)	t_{LPDSU}		41	—	ns
LPDI 保持時間 (~ LPDCLK ↑)	t_{LPDH}		3	—	ns
LPDCLKO サイクルタイム	$t_{LPDCKOW}$		83.3 (max.12M Hz)	—	ns
LPDCLKO ハイレベル幅	$t_{LPDCKOWH}$		$t_{LPDCKWH}/$ 2-12	—	ns
LPDCLKO ローレベル幅	$t_{LPDCKOWL}$		$t_{LPDCKWL}/$ 2-12	—	ns
LPDCLKO 立ち上がり時間	$t_{LPDCKOR}$		—	12	ns
LPDCLKO 立ち下がり時間	$t_{LPDCKOF}$		—	12	ns
LPDO 出力遅延 (~ LPDCLKO ↑)	t_{LPDOD}		0	15	ns

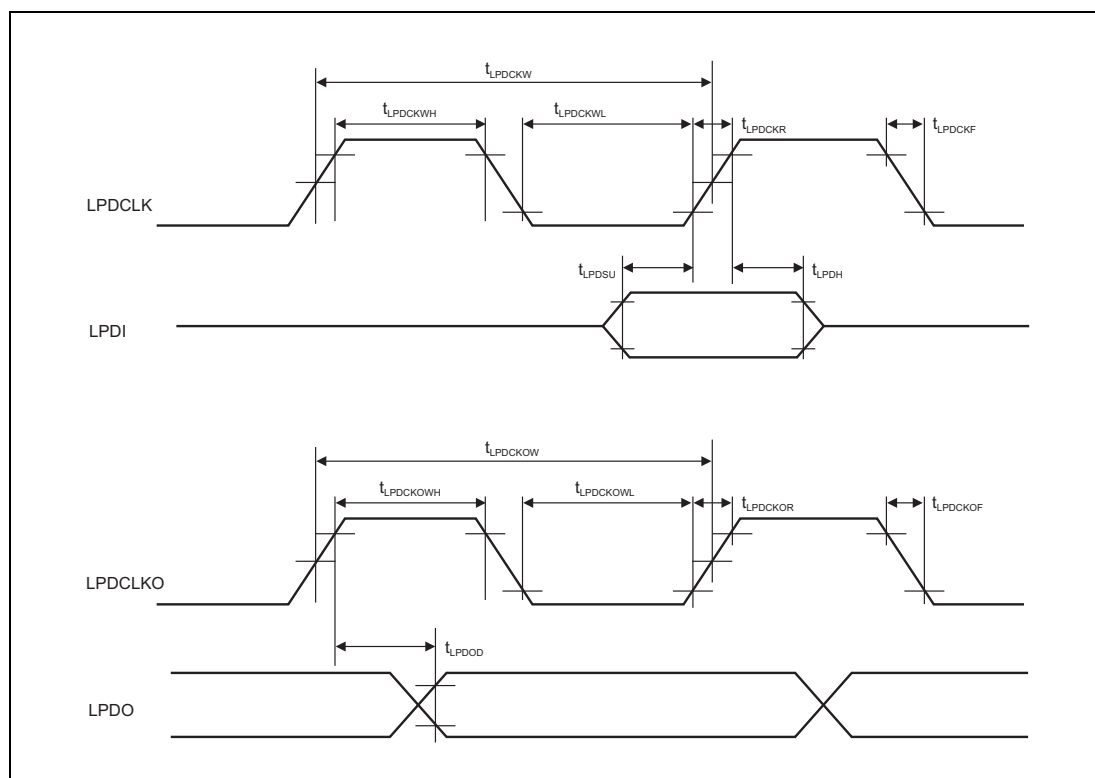


図 37.7 LDU4 線式タイミング

37.18.3 AUD RAM モニタ

表 37.16 AUD RAM モニタタイミング

条件：Tj = -40°C ~ 125°C、CL = 30 pF

項目	略号	MIN.	MAX.	単位
AUDCK サイクル時間 (モニタモード)	$t_{AUCKMyc}$	50	—	ns
AUDCK ハイレベル幅 (モニタモード)	t_{AUCKMH}	0.4		$t_{AUCKMyc}$
AUDCK ローレベル幅 (モニタモード)	t_{AUCKML}	0.4		$t_{AUCKMyc}$
AUDRST セットアップ時間 (モニタモード)	$t_{AMRSTMS}$	30		ns
AUDRST パルス幅 (モニタモード)	$t_{AURSTMW}$	5		$t_{AUCKMyc}$
モニタデータ出力遅延時間	t_{AUDTMD}	—	35	ns
モニタデータ入力セットアップ時間	t_{AUDTMS}	15		ns
モニタデータ入力ホールド時間	t_{AUDTMH}	5		ns
AUDSYNC 入力セットアップ時間	t_{AUDSYS}	15		ns
AUDSYNC 入力ホールド時間	t_{AUDSYH}	5		ns

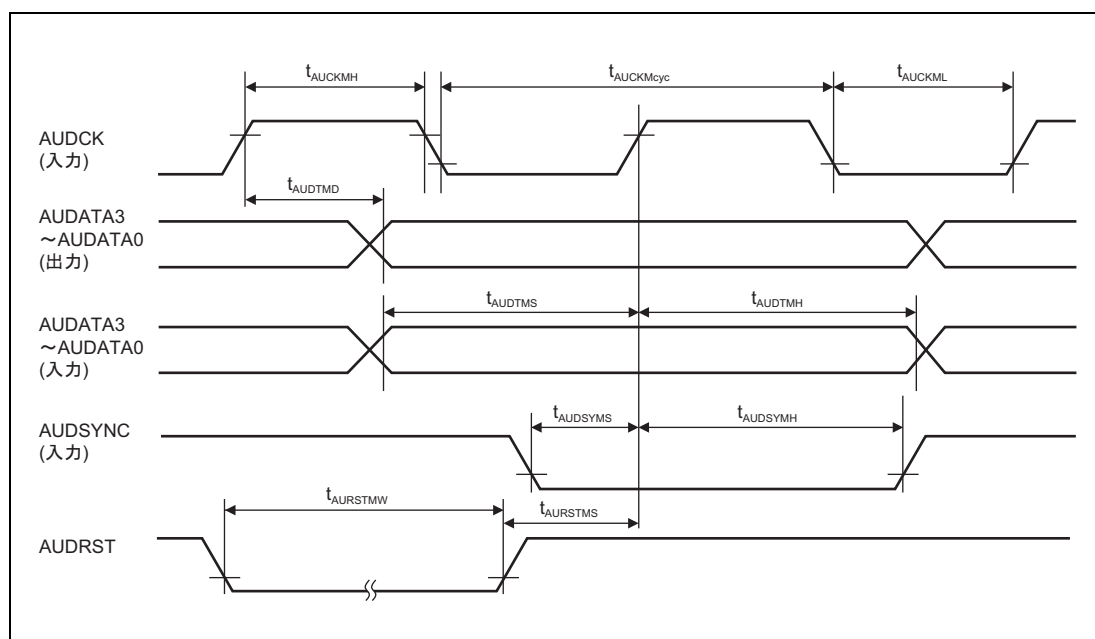


図 37.8 AUD RAM モニタタイミング

37.19 熱特性

表 37.17 RH850/P1M での熱抵抗

デバイス	パラメータ	パッケージ	条件	見積もり値	単位
P1M	ψjb1	LFQFP100 (14 × 14)	JEDEC, JESD51-7, f _{CPLL} = 160MHz, T _{J,max} = 150 °C	26.5	°C /W
	ψjb2	LFQFP144 (16 × 16)	JEDEC, JESD51-7, f _{CPLL} = 160MHz, T _{J,max} = 150 °C	24.7	°C /W
	ψjb3	LFQFP144 (20 × 20)	JEDEC, JESD51-7, f _{CPLL} = 160MHz, T _{J,max} = 150 °C	25.9	°C /W

備考 熱抵抗、熱特性パラメータの数値は使用環境により変化します。

付録A. レジスタ一覧

表 A.1 レジスタ一覧 (1/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVIRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
FLXA0	FlexRay 動作制御レジスタ	FLXA0FROC	0000 0000 _H	32	1002 0004 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 動作状態レジスタ	FLXA0FROS	0000 0000 _H	32	1002 000C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ロックレジスタ	FLXA0FRLCK	0000 0000 _H	32	1002 001C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay エラー割り込みレジスタ	FLXA0FREIR	0000 0000 _H	32	1002 0020 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ステータス割り込みレジスタ	FLXA0FRSIR	0000 0000 _H	32	1002 0024 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay エラー割り込み出力選択レジスタ	FLXA0FREILS	0000 0000 _H	32	1002 0028 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ステータス割り込み出力選択レジスタ	FLXA0FRSILS	0303 FFFF _H	32	1002 002C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay エラー割り込み許可レジスタ	FLXA0FREIES	0000 0000 _H	32	1002 0030 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay エラー割り込み禁止レジスタ	FLXA0FREIER	0000 0000 _H	32	1002 0034 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ステータス割り込み許可レジスタ	FLXA0FRSIES	0000 0000 _H	32	1002 0038 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ステータス割り込み禁止レジスタ	FLXA0FRSIER	0000 0000 _H	32	1002 003C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 割り込み出力許可レジスタ	FLXA0FRILE	0000 0000 _H	32	1002 0040 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay タイマ 0 設定レジスタ	FLXA0FRT0C	0000 0000 _H	32	1002 0044 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay タイマ 1 設定レジスタ	FLXA0FRT1C	0002 0000 _H	32	1002 0048 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ストップウォッチレジスタ 1	FLXA0FRSTPW1	0000 0000 _H	32	1002 004C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ストップウォッチレジスタ 2	FLXA0FRSTPW2	0000 0000 _H	32	1002 0050 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay SUC 設定レジスタ 1	FLXA0FRSUC1	0C40 1080 _H	32	1002 0080 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay SUC 設定レジスタ 2	FLXA0FRSUC2	0100 0504 _H	32	1002 0084 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay SUC 設定レジスタ 3	FLXA0FRSUC3	0000 0011 _H	32	1002 0088 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay NEM 設定レジスタ	FLXA0FRNEMC	0000 0000 _H	32	1002 008C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay PRT 設定レジスタ 1	FLXA0FRPRTC1	084C 0633 _H	32	1002 0090 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay PRT 設定レジスタ 2	FLXA0FRPRTC2	0F2D 0A0E _H	32	1002 0094 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay MHD 設定レジスタ	FLXA0FRMHDC	0000 0000 _H	32	1002 0098 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 1	FLXA0FRGTUC1	0000 0280 _H	32	1002 00A0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 2	FLXA0FRGTUC2	0002 000A _H	32	1002 00A4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 3	FLXA0FRGTUC3	0202 0000 _H	32	1002 00A8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 4	FLXA0FRGTUC4	0008 0007 _H	32	1002 00AC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 5	FLXA0FRGTUC5	0E00 0000 _H	32	1002 00B0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 6	FLXA0FRGTUC6	0002 0000 _H	32	1002 00B4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 7	FLXA0FRGTUC7	0002 0004 _H	32	1002 00B8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 8	FLXA0FRGTUC8	0000 0002 _H	32	1002 00BC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 9	FLXA0FRGTUC9	0000 0101 _H	32	1002 00C0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay GTU 設定レジスタ 10	FLXA0FRGTUC10	0002 0005 _H	32	1002 00C4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (2/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
FLXA0	FlexRay GTU 設定レジスタ 11	FLXA0FRGTUC11	0000 0000 _H	32	1002 00C8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay CC ステータスベクタレジスタ	FLXA0FRCCSV	0010 4000 _H	32	1002 0100 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay CC エラーベクタレジスタ	FLXA0FRCCVEV	0000 0000 _H	32	1002 0104 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay スロットカウンタ値レジスタ	FLXA0FRSCV	0000 0000 _H	32	1002 0110 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay MT 値 / サイクルカウンタ値レジスタ	FLXA0FRMTCCV	0000 0000 _H	32	1002 0114 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay レート補正值レジスタ	FLXA0FRRCV	0000 0000 _H	32	1002 0118 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay オフセット補正值レジスタ	FLXA0FROCV	0000 0000 _H	32	1002 011C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay Sync フレームステータスレジスタ	FLXA0FRSFS	0000 0000 _H	32	1002 0120 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay シンボルウィンドウ /NIT ステータスレジスタ	FLXA0FRSWNIT	0000 0000 _H	32	1002 0124 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay チャネルステータス集計レジスタ	FLXA0FRACS	0000 0000 _H	32	1002 0128 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 1	FLXA0FRESID1	0000 0000 _H	32	1002 0130 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 2	FLXA0FRESID2	0000 0000 _H	32	1002 0134 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 3	FLXA0FRESID3	0000 0000 _H	32	1002 0138 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 4	FLXA0FRESID4	0000 0000 _H	32	1002 013C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 5	FLXA0FRESID5	0000 0000 _H	32	1002 0140 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 6	FLXA0FRESID6	0000 0000 _H	32	1002 0144 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 7	FLXA0FRESID7	0000 0000 _H	32	1002 0148 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 8	FLXA0FRESID8	0000 0000 _H	32	1002 014C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 9	FLXA0FRESID9	0000 0000 _H	32	1002 0150 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 10	FLXA0FRESID10	0000 0000 _H	32	1002 0154 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 11	FLXA0FRESID11	0000 0000 _H	32	1002 0158 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 12	FLXA0FRESID12	0000 0000 _H	32	1002 015C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 13	FLXA0FRESID13	0000 0000 _H	32	1002 0160 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 14	FLXA0FRESID14	0000 0000 _H	32	1002 0164 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 偶数 Sync ID レジスタ 15	FLXA0FRESID15	0000 0000 _H	32	1002 0168 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 1	FLXA0FROSID1	0000 0000 _H	32	1002 0170 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 2	FLXA0FROSID2	0000 0000 _H	32	1002 0174 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 3	FLXA0FROSID3	0000 0000 _H	32	1002 0178 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 4	FLXA0FROSID4	0000 0000 _H	32	1002 017C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 5	FLXA0FROSID5	0000 0000 _H	32	1002 0180 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 6	FLXA0FROSID6	0000 0000 _H	32	1002 0184 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 7	FLXA0FROSID7	0000 0000 _H	32	1002 0188 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 8	FLXA0FROSID8	0000 0000 _H	32	1002 018C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 9	FLXA0FROSID9	0000 0000 _H	32	1002 0190 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 10	FLXA0FROSID10	0000 0000 _H	32	1002 0194 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (3/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
FLXA0	FlexRay 奇数 Sync ID レジスタ 11	FLXA0FROSID11	0000 0000 _H	32	1002 0198 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 12	FLXA0FROSID12	0000 0000 _H	32	1002 019C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 13	FLXA0FROSID13	0000 0000 _H	32	1002 01A0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 14	FLXA0FROSID14	0000 0000 _H	32	1002 01A4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 奇数 Sync ID レジスタ 15	FLXA0FROSID15	0000 0000 _H	32	1002 01A8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ネットワーク管理ベクタレジスタ 1	FLXA0FRNMV1	0000 0000 _H	32	1002 01B0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ネットワーク管理ベクタレジスタ 2	FLXA0FRNMV2	0000 0000 _H	32	1002 01B4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ネットワーク管理ベクタレジスタ 3	FLXA0FRNMV3	0000 0000 _H	32	1002 01B8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージ RAM 設定レジスタ	FLXA0FRMRC	0180 0000 _H	32	1002 0300 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay FIFO リジェクションフィルタ レジスタ	FLXA0FRFRF	0180 0000 _H	32	1002 0304 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay FIFO リジェクションフィルタマスク レジスタ	FLXA0FRFRFM	0000 0000 _H	32	1002 0308 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay FIFO クリティカルレベルレジスタ	FLXA0FRFCL	0000 0080 _H	32	1002 030C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージハンドラステータスレジスタ	FLXA0FRMHDS	0000 0080 _H	32	1002 0310 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 最終ダイナミック送信スロットレジスタ	FLXA0FRLDTS	0000 0000 _H	32	1002 0314 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay FIFO ステータスレジスタ	FLXA0FRFSR	0000 0000 _H	32	1002 0318 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージハンドラ制限フラグレジスタ	FLXA0FRMHDF	0000 0000 _H	32	1002 031C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 送信要求 レジスタ 1	FLXA0FRTXRQ1	0000 0000 _H	32	1002 0320 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 送信要求 レジスタ 2	FLXA0FRTXRQ2	0000 0000 _H	32	1002 0324 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 送信要求 レジスタ 3	FLXA0FRTXRQ3	0000 0000 _H	32	1002 0328 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 送信要求 レジスタ 4	FLXA0FRTXRQ4	0000 0000 _H	32	1002 032C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 新データ レジスタ 1	FLXA0FRNDAT1	0000 0000 _H	32	1002 0330 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 新データ レジスタ 2	FLXA0FRNDAT2	0000 0000 _H	32	1002 0334 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 新データ レジスタ 3	FLXA0FRNDAT3	0000 0000 _H	32	1002 0338 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 新データ レジスタ 4	FLXA0FRNDAT4	0000 0000 _H	32	1002 033C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージバッファ変化レジスタ 1	FLXA0FRMBSC1	0000 0000 _H	32	1002 0340 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージバッファ変化レジスタ 2	FLXA0FRMBSC2	0000 0000 _H	32	1002 0344 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージバッファ変化レジスタ 3	FLXA0FRMBSC3	0000 0000 _H	32	1002 0348 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージバッファ変化レジスタ 4	FLXA0FRMBSC4	0000 0000 _H	32	1002 034C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 1	FLXA0FRWRDS1	0000 0000 _H	32	1002 0400 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 2	FLXA0FRWRDS2	0000 0000 _H	32	1002 0404 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 3	FLXA0FRWRDS3	0000 0000 _H	32	1002 0408 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 4	FLXA0FRWRDS4	0000 0000 _H	32	1002 040C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 5	FLXA0FRWRDS5	0000 0000 _H	32	1002 0410 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 6	FLXA0FRWRDS6	0000 0000 _H	32	1002 0414 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 7	FLXA0FRWRDS7	0000 0000 _H	32	1002 0418 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (5/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
FLXA0	FlexRay データセクションライトレジスタ 43	FLXA0FRWRDS43	0000 0000 _H	32	1002 04A8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 44	FLXA0FRWRDS44	0000 0000 _H	32	1002 04AC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 45	FLXA0FRWRDS45	0000 0000 _H	32	1002 04B0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 46	FLXA0FRWRDS46	0000 0000 _H	32	1002 04B4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 47	FLXA0FRWRDS47	0000 0000 _H	32	1002 04B8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 48	FLXA0FRWRDS48	0000 0000 _H	32	1002 04BC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 49	FLXA0FRWRDS49	0000 0000 _H	32	1002 04C0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 50	FLXA0FRWRDS50	0000 0000 _H	32	1002 04C4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 51	FLXA0FRWRDS51	0000 0000 _H	32	1002 04C8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 52	FLXA0FRWRDS52	0000 0000 _H	32	1002 04CC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 53	FLXA0FRWRDS53	0000 0000 _H	32	1002 04D0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 54	FLXA0FRWRDS54	0000 0000 _H	32	1002 04D4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 55	FLXA0FRWRDS55	0000 0000 _H	32	1002 04D8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 56	FLXA0FRWRDS56	0000 0000 _H	32	1002 04DC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 57	FLXA0FRWRDS57	0000 0000 _H	32	1002 04E0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 58	FLXA0FRWRDS58	0000 0000 _H	32	1002 04E4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 59	FLXA0FRWRDS59	0000 0000 _H	32	1002 04E8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 60	FLXA0FRWRDS60	0000 0000 _H	32	1002 04EC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 61	FLXA0FRWRDS61	0000 0000 _H	32	1002 04F0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 62	FLXA0FRWRDS62	0000 0000 _H	32	1002 04F4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 63	FLXA0FRWRDS63	0000 0000 _H	32	1002 04F8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションライトレジスタ 64	FLXA0FRWRDS64	0000 0000 _H	32	1002 04FC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ヘッドセクションライトレジスタ 1	FLXA0FRWRHS1	0000 0000 _H	32	1002 0500 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ヘッドセクションライトレジスタ 2	FLXA0FRWRHS2	0000 0000 _H	32	1002 0504 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ヘッドセクションライトレジスタ 3	FLXA0FRWRHS3	0000 0000 _H	32	1002 0508 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 入力バッファコマンドマスクレジスタ	FLXA0FRIBCM	0000 0000 _H	32	1002 0510 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 入力バッファコマンド要求レジスタ	FLXA0FRIBCR	0000 0000 _H	32	1002 0514 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 1	FLXA0FRRDS1	0000 0000 _H	32	1002 0600 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 2	FLXA0FRRDS2	0000 0000 _H	32	1002 0604 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 3	FLXA0FRRDS3	0000 0000 _H	32	1002 0608 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 4	FLXA0FRRDS4	0000 0000 _H	32	1002 060C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 5	FLXA0FRRDS5	0000 0000 _H	32	1002 0610 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 6	FLXA0FRRDS6	0000 0000 _H	32	1002 0614 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 7	FLXA0FRRDS7	0000 0000 _H	32	1002 0618 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 8	FLXA0FRRDS8	0000 0000 _H	32	1002 061C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (7/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
FLXA0	FlexRay データセクションリードレジスタ 44	FLXA0FRDDS44	0000 0000 _H	32	1002 06AC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 45	FLXA0FRDDS45	0000 0000 _H	32	1002 06B0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 46	FLXA0FRDDS46	0000 0000 _H	32	1002 06B4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 47	FLXA0FRDDS47	0000 0000 _H	32	1002 06B8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 48	FLXA0FRDDS48	0000 0000 _H	32	1002 06BC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 49	FLXA0FRDDS49	0000 0000 _H	32	1002 06C0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 50	FLXA0FRDDS50	0000 0000 _H	32	1002 06C4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 51	FLXA0FRDDS51	0000 0000 _H	32	1002 06C8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 52	FLXA0FRDDS52	0000 0000 _H	32	1002 06CC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 53	FLXA0FRDDS53	0000 0000 _H	32	1002 06D0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 54	FLXA0FRDDS54	0000 0000 _H	32	1002 06D4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 55	FLXA0FRDDS55	0000 0000 _H	32	1002 06D8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 56	FLXA0FRDDS56	0000 0000 _H	32	1002 06DC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 57	FLXA0FRDDS57	0000 0000 _H	32	1002 06E0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 58	FLXA0FRDDS58	0000 0000 _H	32	1002 06E4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 59	FLXA0FRDDS59	0000 0000 _H	32	1002 06E8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 60	FLXA0FRDDS60	0000 0000 _H	32	1002 06EC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 61	FLXA0FRDDS61	0000 0000 _H	32	1002 06F0 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 62	FLXA0FRDDS62	0000 0000 _H	32	1002 06F4 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 63	FLXA0FRDDS63	0000 0000 _H	32	1002 06F8 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay データセクションリードレジスタ 64	FLXA0FRDDS64	0000 0000 _H	32	1002 06FC _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ヘッドセクションリードレジスタ 1	FLXA0FRDHS1	0000 0000 _H	32	1002 0700 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ヘッドセクションリードレジスタ 2	FLXA0FRDHS2	0000 0000 _H	32	1002 0704 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ヘッドセクションリードレジスタ 3	FLXA0FRDHS3	0000 0000 _H	32	1002 0708 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージバッファステータスレジスタ	FLXA0FRMBS	0000 0000 _H	32	1002 070C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 出力バッファコマンドマスクレジスタ	FLXA0FROBCM	0000 0000 _H	32	1002 0710 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 出力バッファコマンド要求レジスタ	FLXA0FROBCR	0000 0000 _H	32	1002 0714 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 入力転送設定レジスタ	FLXA0FRITC	0000 0000 _H	32	1002 0800 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 出力転送設定レジスタ	FLXA0FROTC	0000 0000 _H	32	1002 0804 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 入力ポインタテーブルベースアドレスレジスタ	FLXA0FRIBA	0000 0000 _H	32	1002 0808 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay FIFO ポインタテーブルベースアドレスレジスタ	FLXA0FRFBA	0000 0000 _H	32	1002 080C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 出力ポインタテーブルベースアドレスレジスタ	FLXA0FROBA	0000 0000 _H	32	1002 0810 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 入力キュー制御レジスタ	FLXA0FRIQC	0000 0000 _H	32	1002 0814 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ユーザ入力転送要求レジスタ	FLXA0FRUIR	0000 0000 _H	32	1002 0818 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay ユーザ出力転送要求レジスタ	FLXA0FRUOR	0000 0000 _H	32	1002 081C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (8/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
FLXA0	FlexRay 入力転送ステータスレジスタ	FLXA0FRITS	0000 0000 _H	32	1002 0820 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay 出力転送ステータスレジスタ	FLXA0FROTS	0000 0000 _H	32	1002 0824 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay アクセスエラーステータスレジスタ	FLXA0FRAES	0000 0000 _H	32	1002 0828 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay アクセスエラーアドレスレジスタ	FLXA0FRAEA	0000 0000 _H	32	1002 082C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージデータ可能レジスタ 0	FLXA0FRDA0	0000 0000 _H	32	1002 0830 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージデータ可能レジスタ 1	FLXA0FRDA1	0000 0000 _H	32	1002 0834 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージデータ可能レジスタ 2	FLXA0FRDA2	0000 0000 _H	32	1002 0838 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay メッセージデータ可能レジスタ 3	FLXA0FRDA3	0000 0000 _H	32	1002 083C _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay H-Bus 設定レジスタ	FLXA0FRAHBC	0000 0000 _H	32	1002 0840 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FLXA0	FlexRay タイマ 2 設定レジスタ	FLXA0FRT2C	0000 0000 _H	32	1002 0844 _H	H-Bus (FlexRay)	8、16、32	○	○	○	○	○	○	○	○	○	○	○
AUD	AUDR メッセージボードレジスタ	AUDMBR	0000 _H	16	FA00 5004 _H	CPU (DEBUG)	16	○	○	○	○	○	○	○	○	○	○	○
AUD	AUDR メッセージボードレジスタ	AUDMBRC	0000 _H	16	FA00 5008 _H	CPU (DEBUG)	16	○	○	○	○	○	○	○	○	○	○	○
FLMD	FLMDCNT レジスタ	FLMDCNT	0000 0000 _H	32	FFA0 0000 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
FLMD	FLMD 保護コマンドレジスタ	FLMDPCMD	0000 0000 _H	32	FFA0 0004 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
FLMD	FLMD 保護エラーステータスレジスタ	FLMDPS	0000 0000 _H	32	FFA0 0008 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
FLASH	セルフプログラミング ID 入力レジスタ 0	SELFID0	0000 0000 _H	32	FFA0 8000 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
FLASH	セルフプログラミング ID 入力レジスタ 1	SELFID1	0000 0000 _H	32	FFA0 8004 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
FLASH	セルフプログラミング ID 入力レジスタ 2	SELFID2	0000 0000 _H	32	FFA0 8008 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
FLASH	セルフプログラミング ID 入力レジスタ 3	SELFID3	0000 0000 _H	32	FFA0 800C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
FLASH	セルフプログラミング ID 認証ステータスレジスタ	SELFIDST	0000 000X _H	32	FFA0 8010 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○	○
FACI	フラッシュ端子モニタレジスタ	FPMON	FLMD0 端子の状態 によって値が異 なります。	8	FFA1 0000 _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュアクセスステータスレジスタ	FASTAT	00 _H	8	FFA1 0010 _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	99 _H	8	FFA1 0014 _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	Code Flash メモリ領域選択レジスタ	FAEASELC	0000 _H	16	FFA1 0020 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	FACI コマンド処理開始アドレスレジスタ	FSADDR	0000 0000 _H	32	FFA1 0030 _H	3	32	○	○	○	○	○	○	○	×	○	○	○
FACI	FACI コマンド処理終了アドレスレジスタ	FEADDR	0000 0000 _H	32	FFA1 0034 _H	3	32	○	○	○	○	○	○	○	×	○	○	○
FACI	FCURAM イネーブルレジスタ	FCURAME	0000 _H	16	FFA1 0054 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュステータスレジスタ	FSTATR	0000 8000 _H	32	FFA1 0080 _H	3	8、16、32	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュ P/E モードエントリレジスタ	FENTRYR	0000 _H	16	FFA1 0084 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	Code Flash プロテクトレジスタ	FPROTR	0000 _H	16	FFA1 0088 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュシーケンサ設定初期化レジスタ	FSUINTR	0000 _H	16	FFA1 008C _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	ロックビットステータスレジスタ	FLKSTAT	00 _H	8	FFA1 0090 _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	FCURAM ファーストエラーアドレスレジスタ	FRFSTEADR	0000 0000 _H	32	FFA1 0094 _H	3	32	○	○	○	○	○	○	○	×	○	○	○
FACI	FACI リセット転送ステータスレジスタ	FRTSTAT	FLMD0 端子の状態 によって値が異 なります。	8	FFA1 0098 _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	FACI リセット転送エラー割り込み許可レジスタ	FRTEINT	03 _H	8	FFA1 009C _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	FACI コマンドレジスタ	FCMDR	FFFF _H	16	FFA1 00A0 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	FCURAM ECC コントロールレジスタ	FRAMECCR	0000 _H	16	FFA1 00B0 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュ P/E ステータスレジスタ	FPESTAT	0000 _H	16	FFA1 00C0 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	Data Flash ブランクチェック制御レジスタ	FBCCNT	00 _H	8	FFA1 00D0 _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	Data Flash ブランクチェックステータスレジスタ	FBCSTAT	00 _H	8	FFA1 00D4 _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	Data Flash 書き込み開始アドレスレジスタ	FPSADDR	0000 0000 _H	32	FFA1 00D8 _H	3	32	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュシーケンサ処理切り替えレジスタ	FCPSR	0000 _H	16	FFA1 00E0 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュシーケンサ処理クロック通知レジスタ	FPCKAR	00FF _H	16	FFA1 00E4 _H	3	16	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュエミュレーション制御レジスタ	FLEMU	00 _H	8	FFA1 00F0 _H	3	8	○	○	○	○	○	○	○	×	○	○	○
FACI	フラッシュエミュレーションアドレス指定レジスタ	FLEAD	0000 0000 _H	32	FFA1 00F4 _H	3	32	○	○	○	○	○	○	○	×	○	○	○

表 A.1 レジスタ一覧 (9/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限			
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM			
FACI	フラッシュ ECC エンコーダ モニタ レジスタ	FECCEMON	FFFF _H	16	FFA1 0100 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
FACI	フラッシュ ECC テストモード レジスタ	FECCTMD	0030 _H	16	FFA1 0104 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
FACI	フラッシュダミー ECC レジスタ	FDMYECC	FFFF _H	16	FFA1 0108 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
SINT	ソフトウェア割り込みレジスタ 0	SINTR0	00 _H	8	FFC0 0000 _H	3	8	○	○	○	○	○	○	○	○	○	○	○	○
SINT	ソフトウェア割り込みレジスタ 1	SINTR1	00 _H	8	FFC0 0004 _H	3	8	○	○	○	○	○	○	○	○	○	○	○	○
SINT	ソフトウェア割り込みレジスタ 2	SINTR2	00 _H	8	FFC0 0008 _H	3	8	○	○	○	○	○	○	○	○	○	○	○	○
SINT	ソフトウェア割り込みレジスタ 3	SINTR3	00 _H	8	FFC0 000C _H	3	8	○	○	○	○	○	○	○	○	○	○	○	○
SINT	ソフトウェア割り込みレジスタ 4	SINTR4	00 _H	8	FFC0 0010 _H	3	8	○	○	○	○	○	○	○	○	○	○	○	○
BRAM	バックアップレジスタ 0	BRAMDAT0	データ保持	32	FFC0 A000 _H	3	32	×	×	×	×	×	×	×	×	×	○	○	○
BRAM	バックアップレジスタ 1	BRAMDAT1	データ保持	32	FFC0 A004 _H	3	32	×	×	×	×	×	×	×	×	×	○	○	○
BRAM	バックアップレジスタ 2	BRAMDAT2	データ保持	32	FFC0 A008 _H	3	32	×	×	×	×	×	×	×	×	×	○	○	○
BRAM	バックアップレジスタ 3	BRAMDAT3	データ保持	32	FFC0 A00C _H	3	32	×	×	×	×	×	×	×	×	×	○	○	○
PORT	ポートレジスタ	P0	0000 _H	16	FFC1 0000 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートセット/リセットレジスタ	PSR0	0000 0000 _H	32	FFC1 0004 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートノットレジスタ	PNOT0	0000 _H	16	FFC1 0008 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート端子リードレジスタ	PPR0	0000 _H	16	FFC1 000C _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードレジスタ	PM0	FBFF _H	16	FFC1 0010 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールレジスタ	PMC0	0000 _H	16	FFC1 0014 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロールレジスタ	PFC0	0000 _H	16	FFC1 0018 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール拡張レジスタ	PFCE0	0000 _H	16	FFC1 001C _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードセット/リセットレジスタ	PMSR0	0000 FBFF _H	32	FFC1 0020 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールセット/リセットレジスタ	PMCSR0	0000 0000 _H	32	FFC1 0024 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE0	0000 _H	16	FFC1 0028 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート出力レベル反転レジスタ	PINV0	0000 0000 _H	32	FFC1 0030 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ	P1	0000 _H	16	FFC1 0040 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートセット/リセットレジスタ	PSR1	0000 0000 _H	32	FFC1 0044 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートノットレジスタ	PNOT1	0000 _H	16	FFC1 0048 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート端子リードレジスタ	PPR1	0000 _H	16	FFC1 004C _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードレジスタ	PM1	FFFF _H	16	FFC1 0050 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールレジスタ	PMC1	0000 _H	16	FFC1 0054 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロールレジスタ	PFC1	0000 _H	16	FFC1 0058 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール拡張レジスタ	PFCE1	0000 _H	16	FFC1 005C _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードセット/リセットレジスタ	PMSR1	0000 FFFF _H	32	FFC1 0060 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールセット/リセットレジスタ	PMCSR1	0000 0000 _H	32	FFC1 0064 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE1	0000 _H	16	FFC1 0068 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート出力レベル反転レジスタ	PINV1	0000 0000 _H	32	FFC1 0070 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ	P2	0000 _H	16	FFC1 0080 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートセット/リセットレジスタ	PSR2	0000 0000 _H	32	FFC1 0084 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートノットレジスタ	PNOT2	0000 _H	16	FFC1 0088 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート端子リードレジスタ	PPR2	0000 _H	16	FFC1 008C _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードレジスタ	PM2	FFFF _H	16	FFC1 0090 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールレジスタ	PMC2	0000 _H	16	FFC1 0094 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロールレジスタ	PFC2	0000 _H	16	FFC1 0098 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール拡張レジスタ	PFCE2	0000 _H	16	FFC1 009C _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードセット/リセットレジスタ	PMSR2	0000 FFFF _H	32	FFC1 00A0 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールセット/リセットレジスタ	PMCSR2	0000 0000 _H	32	FFC1 00A4 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE2	0000 _H	16	FFC1 00A8 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート出力レベル反転レジスタ	PINV2	0000 0000 _H	32	FFC1 00B0 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ	P3	0000 _H	16	FFC1 00C0 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートセット/リセットレジスタ	PSR3	0000 0000 _H	32	FFC1 00C4 _H	3	32	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートノットレジスタ	PNOT3	0000 _H	16	FFC1 00C8 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート端子リードレジスタ	PPR3	0000 _H	16	FFC1 00CC _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードレジスタ	PM3	FFFF _H	16	FFC1 00D0 _H	3	16	○	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (10/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
PORT	ポートモードコントロールレジスタ	PMC3	0000 _H	16	FFC1 00D4 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロールレジスタ	PFC3	0000 _H	16	FFC1 00D8 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール拡張レジスタ	PFCE3	0000 _H	16	FFC1 00DC _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードセット/リセットレジスタ	PMSR3	0000 FFFF _H	32	FFC1 00E0 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールセット/リセットレジスタ	PMCSR3	0000 0000 _H	32	FFC1 00E4 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE3	0000 _H	16	FFC1 00E8 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート出力レベル反転レジスタ	PINV3	0000 0000 _H	32	FFC1 00F0 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ	P4	0000 _H	16	FFC1 0100 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートセット/リセットレジスタ	PSR4	0000 0000 _H	32	FFC1 0104 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートノットレジスタ	PNOT4	0000 _H	16	FFC1 0108 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート端子リードレジスタ	PPR4	0000 _H	16	FFC1 010C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードレジスタ	PM4	FFFF _H	16	FFC1 0110 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールレジスタ	PMC4	0000 _H	16	FFC1 0114 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロールレジスタ	PFC4	0000 _H	16	FFC1 0118 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール拡張レジスタ	PFCE4	0000 _H	16	FFC1 011C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードセット/リセットレジスタ	PMSR4	0000 FFFF _H	32	FFC1 0120 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールセット/リセットレジスタ	PMCSR4	0000 0000 _H	32	FFC1 0124 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE4	0000 _H	16	FFC1 0128 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート出力レベル反転レジスタ	PINV4	0000 0000 _H	32	FFC1 0130 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ	P5	0000 _H	16	FFC1 0140 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートセット/リセットレジスタ	PSR5	0000 0000 _H	32	FFC1 0144 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートノットレジスタ	PNOT5	0000 _H	16	FFC1 0148 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート端子リードレジスタ	PPR5	0000 _H	16	FFC1 014C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードレジスタ	PM5	FFFF _H	16	FFC1 0150 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールレジスタ	PMC5	0000 _H	16	FFC1 0154 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロールレジスタ	PFC5	0000 _H	16	FFC1 0158 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール拡張レジスタ	PFCE5	0000 _H	16	FFC1 015C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードセット/リセットレジスタ	PMSR5	0000 FFFF _H	32	FFC1 0160 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートモードコントロールセット/リセットレジスタ	PMCSR5	0000 0000 _H	32	FFC1 0164 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE5	0000 _H	16	FFC1 0168 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート出力レベル反転レジスタ	PINV5	0000 0000 _H	32	FFC1 0170 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_0	0000 0010 _H	32	FFC1 2000 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_1	0000 0010 _H	32	FFC1 2004 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_2	0000 0010 _H	32	FFC1 2008 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_3	0000 0010 _H	32	FFC1 200C _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_4	0000 0010 _H	32	FFC1 2010 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_5	0000 0010 _H	32	FFC1 2014 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_6	0000 0010 _H	32	FFC1 2018 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_7	0000 0010 _H	32	FFC1 201C _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_8	0000 0010 _H	32	FFC1 2020 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_9	0000 0010 _H	32	FFC1 2024 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_10	1140 0000 _H	32	FFC1 2028 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_11	0000 0010 _H	32	FFC1 202C _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_12	0000 0010 _H	32	FFC1 2030 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_13	0000 0010 _H	32	FFC1 2034 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR0_14	0000 0010 _H	32	FFC1 2038 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR1_0	0000 0010 _H	32	FFC1 2040 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR1_1	0000 0010 _H	32	FFC1 2044 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR1_2	0000 0010 _H	32	FFC1 2048 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR1_3	0000 0010 _H	32	FFC1 204C _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR1_4	0000 0010 _H	32	FFC1 2050 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR2_0	0000 0010 _H	32	FFC1 2080 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR2_1	0000 0010 _H	32	FFC1 2084 _H	3	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (12/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
PORT	ポートコントロールレジスタ	PCR5_9	0000 0010 _H	32	FFC1 2164 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR5_10	0000 0010 _H	32	FFC1 2168 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR5_11	0000 0010 _H	32	FFC1 216C _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR5_12	0000 0010 _H	32	FFC1 2170 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR5_13	0000 0010 _H	32	FFC1 2174 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR5_14	0000 0010 _H	32	FFC1 2178 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートコントロールレジスタ	PCR5_15	0000 0010 _H	32	FFC1 217C _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファコントロールレジスタ	PIBC0	0000 _H	16	FFC1 4000 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート双方向コントロールレジスタ	PBDC0	0000 _H	16	FFC1 4004 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート IP コントロールレジスタ	PIPC0	0000 _H	16	FFC1 4008 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	プルアップオプションレジスタ	PU0	0000 _H	16	FFC1 400C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	プルダウンオプションレジスタ	PD0	0000 _H	16	FFC1 4010 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロールレジスタ	PODC0	0000 0400 _H	32	FFC1 4014 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートドライブ強度コントロールレジスタ	PDSC0	0000 0400 _H	32	FFC1 4018 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートユニバーサルコントロールレジスタ	PUCC0	0000 0000 _H	32	FFC1 4028 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファ選択レジスタ	PISA0	0400 _H	16	FFC1 402C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD0	0000 0000 _H	32	FFC1 4030 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート保護ステータスレジスタ	PPROTS0	0000 0000 _H	32	FFC1 4034 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロール拡張レジスタ	PODCE0	0000 0000 _H	32	FFC1 403C _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファコントロールレジスタ	PIBC1	0000 _H	16	FFC1 4040 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート双方向コントロールレジスタ	PBDC1	0000 _H	16	FFC1 4044 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート IP コントロールレジスタ	PIPC1	0000 _H	16	FFC1 4048 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	プルアップオプションレジスタ	PU1	0000 _H	16	FFC1 404C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	プルダウンオプションレジスタ	PD1	0000 _H	16	FFC1 4050 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロールレジスタ	PODC1	0000 0000 _H	32	FFC1 4054 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートドライブ強度コントロールレジスタ	PDSC1	0000 0000 _H	32	FFC1 4058 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートユニバーサルコントロールレジスタ	PUCC1	0000 0000 _H	32	FFC1 4068 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファ選択レジスタ	PISA1	0000 _H	16	FFC1 406C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD1	0000 0000 _H	32	FFC1 4070 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート保護ステータスレジスタ	PPROTS1	0000 0000 _H	32	FFC1 4074 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロール拡張レジスタ	PODCE1	0000 0000 _H	32	FFC1 407C _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファコントロールレジスタ	PIBC2	0000 _H	16	FFC1 4080 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート双方向コントロールレジスタ	PBDC2	0000 _H	16	FFC1 4084 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート IP コントロールレジスタ	PIPC2	0000 _H	16	FFC1 4088 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	プルアップオプションレジスタ	PU2	0000 _H	16	FFC1 408C _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	プルダウンオプションレジスタ	PD2	0000 _H	16	FFC1 4090 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロールレジスタ	PODC2	0000 0000 _H	32	FFC1 4094 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートドライブ強度コントロールレジスタ	PDSC2	0000 0000 _H	32	FFC1 4098 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートユニバーサルコントロールレジスタ	PUCC2	0000 0000 _H	32	FFC1 40A8 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファ選択レジスタ	PISA2	0000 _H	16	FFC1 40AC _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD2	0000 0000 _H	32	FFC1 40B0 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート保護ステータスレジスタ	PPROTS2	0000 0000 _H	32	FFC1 40B4 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロール拡張レジスタ	PODCE2	0000 0000 _H	32	FFC1 40BC _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファコントロールレジスタ	PIBC3	0000 _H	16	FFC1 40C0 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート双方向コントロールレジスタ	PBDC3	0000 _H	16	FFC1 40C4 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポート IP コントロールレジスタ	PIPC3	0000 _H	16	FFC1 40C8 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	プルアップオプションレジスタ	PU3	0000 _H	16	FFC1 40CC _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	プルダウンオプションレジスタ	PD3	0000 _H	16	FFC1 40D0 _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロールレジスタ	PODC3	0000 0000 _H	32	FFC1 40D4 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートドライブ強度コントロールレジスタ	PDSC3	0000 0000 _H	32	FFC1 40D8 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポートユニバーサルコントロールレジスタ	PUCC3	0000 0000 _H	32	FFC1 40E8 _H	3	32	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファ選択レジスタ	PISA3	0000 _H	16	FFC1 40EC _H	3	16	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD3	0000 0000 _H	32	FFC1 40F0 _H	3	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (13/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
PORT	ポート保護ステータスレジスタ	PPROTS3	0000 0000 _H	32	FFC1 40F4 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロール拡張レジスタ	PODCE3	0000 0000 _H	32	FFC1 40FC _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファコントロールレジスタ	PIBC4	0000 _H	16	FFC1 4100 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート双方向コントロールレジスタ	PBDC4	0000 _H	16	FFC1 4104 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート IP コントロールレジスタ	PIPC4	0000 _H	16	FFC1 4108 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ブルアップオプションレジスタ	PU4	0000 _H	16	FFC1 410C _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ブルダウンオプションレジスタ	PD4	0000 _H	16	FFC1 4110 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロールレジスタ	PODC4	0000 0000 _H	32	FFC1 4114 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートドライブ強度コントロールレジスタ	PDSC4	0000 0000 _H	32	FFC1 4118 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートユニバーサルコントロールレジスタ	PUCC4	0000 0000 _H	32	FFC1 4128 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファ選択レジスタ	PISA4	0000 _H	16	FFC1 412C _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD4	0000 0000 _H	32	FFC1 4130 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート保護ステータスレジスタ	PPROTS4	0000 0000 _H	32	FFC1 4134 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロール拡張レジスタ	PODCE4	0000 0000 _H	32	FFC1 413C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート入力バッファコントロールレジスタ	PIBC5	0000 _H	16	FFC1 4140 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート双方向コントロールレジスタ	PBDC5	0000 _H	16	FFC1 4144 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート IP コントロールレジスタ	PIPC5	0000 _H	16	FFC1 4148 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ブルアップオプションレジスタ	PU5	0000 _H	16	FFC1 414C _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ブルダウンオプションレジスタ	PD5	0000 _H	16	FFC1 4150 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロールレジスタ	PODC5	0000 0000 _H	32	FFC1 4154 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートドライブ強度コントロールレジスタ	PDSC5	0000 0000 _H	32	FFC1 4158 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートユニバーサルコントロールレジスタ	PUCC5	0000 0000 _H	32	FFC1 4168 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD5	0000 0000 _H	32	FFC1 4170 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポート保護ステータスレジスタ	PPROTS5	0000 0000 _H	32	FFC1 4174 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORT	ポートオープンドレインコントロール拡張レジスタ	PODCE5	0000 0000 _H	32	FFC1 417C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートレジスタ	JP0	00 _H	8	FFC2 0000 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートセット/リセットレジスタ	JPSR0	0000 0000 _H	32	FFC2 0004 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートノットレジスタ	JPNOT0	00 _H	8	FFC2 0008 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポート端子リードレジスタ	JPPR0	00 _H	8	FFC2 000C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートモードレジスタ	JPM0	FF _H	8	FFC2 0010 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートモードコントロールレジスタ	JPMC0	00 _H	8	FFC2 0014 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポート機能コントロール拡張レジスタ	JPFCE0	00 _H	8	FFC2 001C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートモードセット/リセットレジスタ	JPMSR0	0000 00FF _H	32	FFC2 0020 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートモードコントロールセット/リセットレジスタ	JPMCSR0	0000 0000 _H	32	FFC2 0024 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートコントロールレジスタ	JPCR0_0	0000 0010 _H	32	FFC2 2000 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートコントロールレジスタ	JPCR0_1	0000 0010 _H	32	FFC2 2004 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートコントロールレジスタ	JPCR0_2	0000 0010 _H	32	FFC2 2008 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートコントロールレジスタ	JPCR0_3	0000 0010 _H	32	FFC2 200C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートコントロールレジスタ	JPCR0_4	0000 0010 _H	32	FFC2 2010 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートコントロールレジスタ	JPCR0_5	0000 0010 _H	32	FFC2 2014 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポート入力バッファコントロールレジスタ	JPIBC0	00 _H	8	FFC2 4000 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポート双方向コントロールレジスタ	JPBDC0	00 _H	8	FFC2 4004 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ブルアップオプションレジスタ	JPU0	00 _H	8	FFC2 400C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ブルダウンオプションレジスタ	JPD0	00 _H	8	FFC2 4010 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートオープンドレインコントロールレジスタ	JPODC0	0000 0000 _H	32	FFC2 4014 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートドライブ強度コントロールレジスタ	JPDSC0	0000 0000 _H	32	FFC2 4018 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートユニバーサルコントロールレジスタ	JPUCC0	0000 0000 _H	32	FFC2 4028 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポート入力バッファ選択レジスタ	JPISA0	00 _H	8	FFC2 402C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポートレジスタ保護コマンドレジスタ	JPPCMD0	0000 0000 _H	32	FFC2 4030 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PORTJ	ポート保護ステータスレジスタ	JPPROTS0	0000 0000 _H	32	FFC2 4034 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
DNFA0	デジタルノイズ除去 制御レジスタ	DNFA0CTL	00 _H	8	FFC3 0000 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
DNFA0	デジタルノイズ除去許可レジスタ	DNFA0EN	0000 _H	16	FFC3 0004 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA0	デジタルノイズ除去許可レジスタ	DNFA0ENL	00 _H	8	FFC3 000C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (16/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DNFA36	デジタルノイズ除去許可レジスタ	DNFA36EN	0000 _H	16	FFC3 2404 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA36	デジタルノイズ除去許可レジスタ	DNFA36ENL	00 _H	8	FFC3 240C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
DNFA37	デジタルノイズ除去 制御レジスタ	DNFA37CTL	00 _H	8	FFC3 2500 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
DNFA37	デジタルノイズ除去許可レジスタ	DNFA37EN	0000 _H	16	FFC3 2504 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA37	デジタルノイズ除去許可レジスタ	DNFA37ENL	00 _H	8	FFC3 250C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
DNFA38	デジタルノイズ除去 制御レジスタ	DNFA38CTL	00 _H	8	FFC3 2600 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
DNFA38	デジタルノイズ除去許可レジスタ	DNFA38EN	0000 _H	16	FFC3 2604 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA38	デジタルノイズ除去許可レジスタ	DNFA38ENL	00 _H	8	FFC3 260C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
DNFA39	デジタルノイズ除去 制御レジスタ	DNFA39CTL	00 _H	8	FFC3 2700 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
DNFA39	デジタルノイズ除去許可レジスタ	DNFA39EN	0000 _H	16	FFC3 2704 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA39	デジタルノイズ除去許可レジスタ	DNFA39ENL	00 _H	8	FFC3 270C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
DNFA40	デジタルノイズ除去 制御レジスタ	DNFA40CTL	00 _H	8	FFC3 2800 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
DNFA40	デジタルノイズ除去許可レジスタ	DNFA40EN	0000 _H	16	FFC3 2804 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA40	デジタルノイズ除去許可レジスタ	DNFA40ENL	00 _H	8	FFC3 280C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
DNFA41	デジタルノイズ除去 制御レジスタ	DNFA41CTL	00 _H	8	FFC3 2900 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
DNFA41	デジタルノイズ除去許可レジスタ	DNFA41EN	0000 _H	16	FFC3 2904 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA41	デジタルノイズ除去許可レジスタ	DNFA41ENL	00 _H	8	FFC3 290C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
DNFA42	デジタルノイズ除去 制御レジスタ	DNFA42CTL	00 _H	8	FFC3 2A00 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
DNFA42	デジタルノイズ除去許可レジスタ	DNFA42EN	0000 _H	16	FFC3 2A04 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA42	デジタルノイズ除去許可レジスタ	DNFA42ENL	00 _H	8	FFC3 2A0C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
DNFA43	デジタルノイズ除去 制御レジスタ	DNFA43CTL	00 _H	8	FFC3 2B00 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
DNFA43	デジタルノイズ除去許可レジスタ	DNFA43EN	0000 _H	16	FFC3 2B04 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
DNFA43	デジタルノイズ除去許可レジスタ	DNFA43ENL	00 _H	8	FFC3 2B0C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA0	フィルタ制御レジスタ	FCLA0CTL0	00 _H	8	FFC3 4000 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA1	フィルタ制御レジスタ	FCLA1CTL0	00 _H	8	FFC3 4020 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA1	フィルタ制御レジスタ	FCLA1CTL1	00 _H	8	FFC3 4024 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA1	フィルタ制御レジスタ	FCLA1CTL2	00 _H	8	FFC3 4028 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA1	フィルタ制御レジスタ	FCLA1CTL3	00 _H	8	FFC3 402C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA1	フィルタ制御レジスタ	FCLA1CTL4	00 _H	8	FFC3 4030 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA1	フィルタ制御レジスタ	FCLA1CTL5	00 _H	8	FFC3 4034 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA1	フィルタ制御レジスタ	FCLA1CTL6	00 _H	8	FFC3 4038 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA1	フィルタ制御レジスタ	FCLA1CTL7	00 _H	8	FFC3 403C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA2	フィルタ制御レジスタ	FCLA2CTL0	00 _H	8	FFC3 4040 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA2	フィルタ制御レジスタ	FCLA2CTL1	00 _H	8	FFC3 4044 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA2	フィルタ制御レジスタ	FCLA2CTL2	00 _H	8	FFC3 4048 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA2	フィルタ制御レジスタ	FCLA2CTL3	00 _H	8	FFC3 404C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA2	フィルタ制御レジスタ	FCLA2CTL4	00 _H	8	FFC3 4050 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA3	フィルタ制御レジスタ	FCLA3CTL0	00 _H	8	FFC3 4060 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA3	フィルタ制御レジスタ	FCLA3CTL1	00 _H	8	FFC3 4064 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA3	フィルタ制御レジスタ	FCLA3CTL2	00 _H	8	FFC3 4068 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA3	フィルタ制御レジスタ	FCLA3CTL3	00 _H	8	FFC3 406C _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA3	フィルタ制御レジスタ	FCLA3CTL4	00 _H	8	FFC3 4070 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA3	フィルタ制御レジスタ	FCLA3CTL5	00 _H	8	FFC3 4074 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA4	フィルタ制御レジスタ	FCLA4CTL0	00 _H	8	FFC3 4080 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
FCLA4	フィルタ制御レジスタ	FCLA4CTL1	00 _H	8	FFC3 4084 _H	3	1, 8	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 0	FSGD3ADPROT0	07FF FFFF _H	32	FFC4 0000 _H	3	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 1	FSGD3ADPROT1	07FF FFFF _H	32	FFC4 0004 _H	3	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 2	FSGD3ADPROT2	07FF FFFF _H	32	FFC4 0008 _H	3	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 3	FSGD3ADPROT3	07FF FFFF _H	32	FFC4 000C _H	3	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 4	FSGD3ADPROT4	07FF FFFF _H	32	FFC4 0010 _H	3	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 5	FSGD3ADPROT5	07FF FFFF _H	32	FFC4 0014 _H	3	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 6	FSGD3ADPROT6	07FF FFFF _H	32	FFC4 0018 _H	3	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 7	FSGD3ADPROT7	07FF FFFF _H	32	FFC4 001C _H	3	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (17/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
PBG	PBG3A プロテクションレジスタ 8	FSGD3ADPROT8	07FF FFFF _H	32	FFC4 0020 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 9	FSGD3ADPROT9	07FF FFFF _H	32	FFC4 0024 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 10	FSGD3ADPROT10	07FF FFFF _H	32	FFC4 0028 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A プロテクションレジスタ 11	FSGD3ADPROT11	07FF FFFF _H	32	FFC4 002C _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A エラールコントロールレジスタ	ERRSLV3ACTL	0000 0000 _H	32	FFC4 0040 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A エラーステータスレジスタ	ERRSLV3ASTAT	0000 0000 _H	32	FFC4 0044 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A エラアドレスレジスタ	ERRSLV3AADDR	0000 0000 _H	32	FFC4 0048 _H	3	32	○	○	○	○	○	○	○	○	○	○
PBG	PBG3A エラータイプレジスタ	ERRSLV3ATYPE	0000 0000 _H	32	FFC4 004C _H	3	16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG0A プロテクションレジスタ 0	FSGD0ADPROT0	07FF FFFF _H	32	FFC4 C000 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG0A プロテクションレジスタ 1	FSGD0ADPROT1	07FF FFFF _H	32	FFC4 C004 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG0A エラールコントロールレジスタ	ERRSLV0ACTL	0000 0000 _H	32	FFC4 C800 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG0A エラーステータスレジスタ	ERRSLV0ASTAT	0000 0000 _H	32	FFC4 C804 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG0A エラアドレスレジスタ	ERRSLV0AADDR	0000 0000 _H	32	FFC4 C808 _H	0	32	○	○	○	○	○	○	○	○	○	○
PBG	PBG0A エラータイプレジスタ	ERRSLV0ATYPE	0000 0000 _H	32	FFC4 C80C _H	0	16、32	○	○	○	○	○	○	○	○	○	○
PDMACOMP	DMA コントロールレジスタ	PDMA_COMP_CNTRL	0000 0000 _H	32	FFC4 CA00 _H	0	32	○	○	○	○	○	○	○	○	○	○
FACI	FCU ファーム領域選択レジスタ	FCUFAREA	シリアルプログラミングモード起動時は“1”になりません。	8	FFC5 9008 _H	0	8	○	○	○	○	○	○	○	○	○	○
FLASH	データフラッシュメモリ読み出しサイクル設定レジスタ	EEPRDCYCL	0F _H	8	FFC5 9810 _H	0	8	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュデータ RAM ECC コントロールレジスタ (PE1)	IDECCCTL_PE1	0000 0000 _H	32	FFC6 0400 _H	0	16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュデータ RAM エラー情報コントロール レジスタ (PE1)	IDERRINT_PE1	0000 0000 _H	32	FFC6 0404 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュデータ RAM エラーステータスクリアレジスタ (PE1)	IDSTCLR_PE1	0000 0000 _H	32	FFC6 0408 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュデータ RAM エラーカウントオーバーフロー ステータスレジスタ (PE1)	IDOVFSTR_PE1	0000 0000 _H	32	FFC6 040C _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュデータ RAM 1st エラーステータスレジスタ (PE1)	ID1STERSTR_PE1	0000 0000 _H	32	FFC6 0410 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュデータ RAM (Bank0) 1st エラアドレス レジスタ (PE1)	ID1STEADR0_PE1	0000 0000 _H	32	FFC6 0450 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュデータ RAM (Bank1) 1st エラアドレス レジスタ (PE1)	ID1STEADR1_PE1	0000 0000 _H	32	FFC6 0454 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュタグ RAM ECC コントロールレジスタ (PE1)	ITECCCTL_PE1	0000 0000 _H	32	FFC6 1400 _H	0	16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュタグ RAM エラー情報コントロールレジスタ (PE1)	ITERRINT_PE1	0000 0000 _H	32	FFC6 1404 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュタグ RAM エラーステータスクリアレジスタ (PE1)	ITSTCLR_PE1	0000 0000 _H	32	FFC6 1408 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュタグ RAM エラーカウントオーバーフロー ステータスレジスタ (PE1)	ITOVFSTR_PE1	0000 0000 _H	32	FFC6 140C _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュタグ RAM 1st エラーステータスレジスタ (PE1)	IT1STERSTR_PE1	0000 0000 _H	32	FFC6 1410 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCIC1	命令キャッシュタグ RAM (Bank0) 1st エラアドレス レジスタ (PE1)	IT1STEADR0_PE1	0000 0000 _H	32	FFC6 1450 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash アドレスパリティコントロールレジスタ	CFAPCTL	0000 0000 _H	32	FFC6 2000 _H	0	16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash ECC コントロールレジスタ (VCI)	CFECCCTL_VCI	0000 0000 _H	32	FFC6 2200 _H	0	16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash エラー情報コントロールレジスタ (VCI)	CFERRINT_VCI	0000 0006 _H	32	FFC6 2204 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash ステータスクリアレジスタ (VCI)	CFSTCLR_VCI	0000 0000 _H	32	FFC6 2208 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash エラーカウントオーバーフローステータスレジスタ (VCI)	CFOVFSTR_VCI	0000 0000 _H	32	FFC6 220C _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash 1st エラーステータスレジスタ (VCI)	CF1STERSTR_VCI	0000 0000 _H	32	FFC6 2210 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash 1st エラアドレスレジスタ (VCI)	CF1STEADR0_VCI	0000 0000 _H	32	FFC6 2250 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash サブテストコントロールレジスタ (VCI)	CFSTSTCTL_VCI	0000 0000 _H	32	FFC6 2350 _H	0	16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash ECC コントロールレジスタ (PE1)	CFECCCTL_PE1	0000 0000 _H	32	FFC6 2400 _H	0	16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash エラー情報コントロールレジスタ (PE1)	CFERRINT_PE1	0000 0006 _H	32	FFC6 2404 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash ステータスクリアレジスタ (PE1)	CFSTCLR_PE1	0000 0000 _H	32	FFC6 2408 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash エラーカウントオーバーフローステータスレジスタ (PE1)	CFOVFSTR_PE1	0000 0000 _H	32	FFC6 240C _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash 1st エラーステータスレジスタ (PE1)	CF1STERSTR_PE1	0000 0000 _H	32	FFC6 2410 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLI	Code Flash 1st エラアドレスレジスタ (PE1)	CF1STEADR0_PE1	0000 0000 _H	32	FFC6 2450 _H	0	8、16、32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (18/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
ECCEFLI	Code Flash サブテストコントロールレジスタ (PE1)	CFSTSTCTL_PE1	0000 0000 _H	32	FFC6 2550 _H	0	16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEEP	Data Flash ECC コントロールレジスタ	DFECCCTL	0000 _H	16	FFC6 2C00 _H	0	16	○	○	○	○	○	○	○	○	○	○	○
ECCEEP	Data Flash エラーステータスレジスタ	DFERSTR	00 _H	8	FFC6 2C04 _H	0	8	○	○	○	○	○	○	○	○	○	○	○
ECCEEP	Data Flash エラーステータスクリアレジスタ	DFERSTC	00 _H	8	FFC6 2C08 _H	0	8	○	○	○	○	○	○	○	○	○	○	○
ECCEEP	Data Flash エラーオーバフローステータスレジスタ	DFOVFSTR	00 _H	8	FFC6 2C0C _H	0	8	○	○	○	○	○	○	○	○	○	○	○
ECCEEP	Data Flash エラーオーバフローステータスクリアレジスタ	DFOVFSTC	00 _H	8	FFC6 2C10 _H	0	8	○	○	○	○	○	○	○	○	○	○	○
ECCEEP	Data Flash エラー通知コントロールレジスタ	DFERRINT	02 _H	8	FFC6 2C14 _H	0	8	○	○	○	○	○	○	○	○	○	○	○
ECCEEP	Data Flash 1st エラーアドレスレジスタ	DFEADR	0000 0000 _H	32	FFC6 2C18 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
ECCEEP	Data Flash テストコントロールレジスタ	DFTSTCTL	0000 _H	16	FFC6 2C1C _H	0	16	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM テストコントロールレジスタ	LRTSTCTL_PE1	0000 0000 _H	32	FFC6 5004 _H	0	16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM テストデータリードバッファ 0	LRTDATBF0_PE1	0000 0000 _H	32	FFC6 5008 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM テストデータリードバッファ 1	LRTDATBF1_PE1	0000 0000 _H	32	FFC6 500C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM ECC コントロールレジスタ (PE1)	LRRECCCTL_PE1	0000 0000 _H	32	FFC6 5400 _H	0	16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM エラー情報コントロールレジスタ (PE1)	LRERRINT_PE1	0000 0006 _H	32	FFC6 5404 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM ステータスクリアレジスタ (PE1)	LRSTCLR_PE1	0000 0000 _H	32	FFC6 5408 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM エラーカウンタオーバフローステータスレジスタ (PE1)	LROVFSTR_PE1	0000 0000 _H	32	FFC6 540C _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM 1st エラーステータスレジスタ (PE1)	LR1STERSTR_PE1	0000 0000 _H	32	FFC6 5410 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM 1st エラーアドレスレジスタ 0 (PE1)	LR1STEADR0_PE1	0000 0000 _H	32	FFC6 5450 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM 1st エラーアドレスレジスタ 1 (PE1)	LR1STEADR1_PE1	0000 0000 _H	32	FFC6 5454 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM 1st エラーアドレスレジスタ 2 (PE1)	LR1STEADR2_PE1	0000 0000 _H	32	FFC6 5458 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCEPU1	Local RAM 1st エラーアドレスレジスタ 3 (PE1)	LR1STEADR3_PE1	0000 0000 _H	32	FFC6 545C _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ INTC2	APDPERRST_INTC2	0000 0000 _H	32	FFC6 8800 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ INTC2	APDPERRSTC_INTC2	0000 0000 _H	32	FFC6 8804 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ INTC2	APDPTMC_INTC2	0000 0000 _H	32	FFC6 8808 _H	0	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ INTC2	APDPERRADR_INTC2	0000 0000 _H	32	FFC6 880C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ PDMA	APDPERRST_PDMA	0000 0000 _H	32	FFC6 8900 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ PDMA	APDPERRSTC_PDMA	0000 0000 _H	32	FFC6 8904 _H	0	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ PDMA	APDPTMC_PDMA	0000 0000 _H	32	FFC6 8908 _H	0	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ PDMA	APDPERRADR_PDMA	0000 0000 _H	32	FFC6 890C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH0	ECC コントロールレジスタ	ECCESIH0CTL	0000 0X1X _H	32	FFC7 0000 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH0	ECC テストモードコントロールレジスタ	ECCESIH0TMC	0000 _H	16	FFC7 0004 _H	2	8, 16	○	○	○	○	○	○	○	○	○	○	○
ECCESIH0	ECC 冗長ビットデータコントロール テストレジスタ	ECCESIH0TRC	0000 0000 _H	32	FFC7 0008 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH0	ECC エンコード・デコードデータ テストレジスタ	ECCESIH0TED	0000 0000 _H	32	FFC7 000C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH0	ECC エラーアドレスレジスタ	ECCESIH0EAD0	0000 0000 _H	32	FFC7 0010 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH1	ECC コントロールレジスタ	ECCESIH1CTL	0000 0X1X _H	32	FFC7 0040 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH1	ECC テストモードコントロールレジスタ	ECCESIH1TMC	0000 _H	16	FFC7 0044 _H	2	8, 16	○	○	○	○	○	○	○	○	○	○	○
ECCESIH1	ECC 冗長ビットデータコントロール テストレジスタ	ECCESIH1TRC	0000 0000 _H	32	FFC7 0048 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH1	ECC エンコード・デコードデータ テストレジスタ	ECCESIH1TED	0000 0000 _H	32	FFC7 004C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH1	ECC エラーアドレスレジスタ	ECCESIH1EAD0	0000 0000 _H	32	FFC7 0050 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH2	ECC コントロールレジスタ	ECCESIH2CTL	0000 0X1X _H	32	FFC7 0080 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH2	ECC テストモードコントロールレジスタ	ECCESIH2TMC	0000 _H	16	FFC7 0084 _H	2	8, 16	○	○	○	○	○	○	○	○	○	○	○
ECCESIH2	ECC 冗長ビットデータコントロール テストレジスタ	ECCESIH2TRC	0000 0000 _H	32	FFC7 0088 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH2	ECC エンコード・デコードデータ テストレジスタ	ECCESIH2TED	0000 0000 _H	32	FFC7 008C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH2	ECC エラーアドレスレジスタ	ECCESIH2EAD0	0000 0000 _H	32	FFC7 0090 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH3	ECC コントロールレジスタ	ECCESIH3CTL	0000 0X1X _H	32	FFC7 00C0 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH3	ECC テストモードコントロールレジスタ	ECCESIH3TMC	0000 _H	16	FFC7 00C4 _H	2	8, 16	○	○	○	○	○	○	○	○	○	○	○
ECCESIH3	ECC 冗長ビットデータコントロール テストレジスタ	ECCESIH3TRC	0000 0000 _H	32	FFC7 00C8 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH3	ECC エンコード・デコードデータ テストレジスタ	ECCESIH3TED	0000 0000 _H	32	FFC7 00CC _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCESIH3	ECC エラーアドレスレジスタ	ECCESIH3EAD0	0000 0000 _H	32	FFC7 00D0 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
ECCRCAN0	ECC コントロールレジスタ	ECCRCAN0CTL	0000 0X1X _H	32	FFC7 1000 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
ECCRCAN0	ECC テストモードコントロールレジスタ	ECCRCAN0TMC	0000 _H	16	FFC7 1004 _H	2	8, 16	○	○	○	○	○	○	○	○	○	○	○
ECCRCAN0	ECC 冗長ビットデータコントロール テストレジスタ	ECCRCAN0TRC	0000 0000 _H	32	FFC7 1008 _H	2	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (19/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
ECCRCAN0	ECC エンコード・デコードデータ テストレジスタ	ECCRCAN0TED	0000 0000 _H	32	FFC7 100C _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCRCAN0	ECC エラーアドレスレジスタ	ECCRCAN0EAD0	0000 0000 _H	32	FFC7 1010 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0	ECC コントロールレジスタ	ECCFLX0CTL	0000 0X1X _H	32	FFC7 2000 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLX0	ECC テストモードコントロールレジスタ	ECCFLX0TMC	0000 _H	16	FFC7 2004 _H	2	8、16	○	○	○	○	○	○	○	○	○	○
ECCFLX0	ECC 冗長ビットデータコントロール テストレジスタ	ECCFLX0TRC	0000 0000 _H	32	FFC7 2008 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0	ECC エンコード・デコードデータ テストレジスタ	ECCFLX0TED	0000 0000 _H	32	FFC7 200C _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0	ECC エラーアドレスレジスタ	ECCFLX0EAD0	0000 0000 _H	32	FFC7 2010 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0T1	ECC コントロールレジスタ	ECCFLX0T1CTL	0000 0X1X _H	32	FFC7 2040 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLX0T1	ECC テストモードコントロールレジスタ	ECCFLX0T1TMC	0000 _H	16	FFC7 2044 _H	2	8、16	○	○	○	○	○	○	○	○	○	○
ECCFLX0T1	ECC 冗長ビットデータコントロール テストレジスタ	ECCFLX0T1TRC	0000 0000 _H	32	FFC7 2048 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0T1	ECC エンコード・デコードデータ テストレジスタ	ECCFLX0T1TED	0000 0000 _H	32	FFC7 204C _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0T1	ECC エラーアドレスレジスタ	ECCFLX0T1EAD0	0000 0000 _H	32	FFC7 2050 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0T0	ECC コントロールレジスタ	ECCFLX0T0CTL	0000 0X1X _H	32	FFC7 2080 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
ECCFLX0T0	ECC テストモードコントロールレジスタ	ECCFLX0T0TMC	0000 _H	16	FFC7 2084 _H	2	8、16	○	○	○	○	○	○	○	○	○	○
ECCFLX0T0	ECC 冗長ビットデータコントロール テストレジスタ	ECCFLX0T0TRC	0000 0000 _H	32	FFC7 2088 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0T0	ECC エンコード・デコードデータ テストレジスタ	ECCFLX0T0TED	0000 0000 _H	32	FFC7 208C _H	2	32	○	○	○	○	○	○	○	○	○	○
ECCFLX0T0	ECC エラーアドレスレジスタ	ECCFLX0T0EAD0	0000 0000 _H	32	FFC7 2090 _H	2	32	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリティステータスレジスタ ADCTL00	APDPERRST_ADCTL00	0000 0000 _H	32	FFC8 0000 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリティステータスクリアレジスタ ADCTL00	APDPERRSTC_ADCTL00	0000 0000 _H	32	FFC8 0004 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリティテストモードコントロールレジスタ ADCTL00	APDPTMC_ADCTL00	0000 0000 _H	32	FFC8 0008 _H	3	16、32	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリティエラーアドレスレジスタ ADCTL00	APDPERRADR_ADCTL00	0000 0000 _H	32	FFC8 000C _H	3	32	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリティステータスレジスタ ADCTL10	APDPERRST_ADCTL10	0000 0000 _H	32	FFC8 0010 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリティステータスクリアレジスタ ADCTL10	APDPERRSTC_ADCTL10	0000 0000 _H	32	FFC8 0014 _H	3	8、16、32	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリティテストモードコントロールレジスタ ADCTL10	APDPTMC_ADCTL10	0000 0000 _H	32	FFC8 0018 _H	3	16、32	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリティエラーアドレスレジスタ ADCTL10	APDPERRADR_ADCTL10	0000 0000 _H	32	FFC8 001C _H	3	32	○	○	○	○	○	○	○	○	○	○
FLASH	オプションバイト 0	OPBT0	ユーザ定義	32	FFCD 0030 _H	3	32	○	○	○	○	○	○	○	×	○	○
FLASH	オプションバイト 2	OPBT2	ユーザ定義	32	FFCD 0038 _H	3	32	○	○	○	○	○	○	○	×	○	○
FLASH	製品名格納レジスタ	PRDNAME1	XXXXXXXX _H	32	FFCD 00D0 _H	3	32	○	○	○	○	○	○	○	×	○	○
FLASH	製品名格納レジスタ	PRDNAME2	XXXXXXXX _H	32	FFCD 00D4 _H	3	32	○	○	○	○	○	○	○	×	○	○
FLASH	製品名格納レジスタ	PRDNAME3	XXXXXXXX _H	32	FFCD 00D8 _H	3	32	○	○	○	○	○	○	○	×	○	○
FLASH	製品名格納レジスタ	PRDNAME4	XXXXXXXX _H	32	FFCD 00DC _H	3	32	○	○	○	○	○	○	○	×	○	○
FLASH	温度センサ基準温度格納レジスタ	TSNREFD	不定 (出荷時に固定値が設定されます)	32	FFCD 019C _H	3	32	○	○	○	○	○	○	○	×	○	○
MODC	動作モード表示レジスタ	MODER	不定	8	FFCD 13F4 _H	5	8	×	×	×	×	×	×	×	○	○	○
RSCAN0	チャンネルコンフィグレーションレジスタ	RSCAN0C0CFG	0000 0000 _H	32	FFD2 0000 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャンネル制御レジスタ	RSCAN0C0CTR	0000 0005 _H	32	FFD2 0004 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャネルステータスレジスタ	RSCAN0C0STS	0000 0005 _H	32	FFD2 0008 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャンネルエラーフラグレジスタ	RSCAN0C0ERFL	0000 0000 _H	32	FFD2 000C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャンネルコンフィグレーションレジスタ	RSCAN0C1CFG	0000 0000 _H	32	FFD2 0010 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャンネル制御レジスタ	RSCAN0C1CTR	0000 0005 _H	32	FFD2 0014 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャネルステータスレジスタ	RSCAN0C1STS	0000 0005 _H	32	FFD2 0018 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャンネルエラーフラグレジスタ	RSCAN0C1ERFL	0000 0000 _H	32	FFD2 001C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャンネルコンフィグレーションレジスタ	RSCAN0C2CFG	0000 0000 _H	32	FFD2 0020 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャンネル制御レジスタ	RSCAN0C2CTR	0000 0005 _H	32	FFD2 0024 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャネルステータスレジスタ	RSCAN0C2STS	0000 0005 _H	32	FFD2 0028 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	チャンネルエラーフラグレジスタ	RSCAN0C2ERFL	0000 0000 _H	32	FFD2 002C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	グローバルコンフィグレーションレジスタ	RSCAN0GC0CFG	0000 0000 _H	32	FFD2 0084 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	グローバル制御レジスタ	RSCAN0GC0CTR	0000 0005 _H	32	FFD2 0088 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	グローバルステータスレジスタ	RSCAN0GC0STS	0000 000D _H	32	FFD2 008C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	グローバルエラーフラグレジスタ	RSCAN0GC0ERFL	0000 0000 _H	32	FFD2 0090 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (21/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0CFPCTR1	0000 0000 _H	32	FFD2 01DC _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0CFPCTR2	0000 0000 _H	32	FFD2 01E0 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0CFPCTR3	0000 0000 _H	32	FFD2 01E4 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0CFPCTR4	0000 0000 _H	32	FFD2 01E8 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0CFPCTR5	0000 0000 _H	32	FFD2 01EC _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0CFPCTR6	0000 0000 _H	32	FFD2 01F0 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0CFPCTR7	0000 0000 _H	32	FFD2 01F4 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファポインタ制御レジスタ 8	RSCAN0CFPCTR8	0000 0000 _H	32	FFD2 01F8 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	FIFO エンティステータスレジスタ	RSCAN0FESTS	0001FFFF _H	32	FFD2 0238 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	FIFO フルステータスレジスタ	RSCAN0FFSTS	0000 0000 _H	32	FFD2 023C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	FIFO Msg ロストステータスレジスタ	RSCAN0FMSTS	0000 0000 _H	32	FFD2 0240 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCAN0RFISTS	0000 0000 _H	32	FFD2 0244 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファ RX 割り込みフラグステータスレジスタ	RSCAN0CFRISTS	0000 0000 _H	32	FFD2 0248 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送受信 FIFO バッファ TX 割り込みフラグステータスレジスタ	RSCAN0CFTISTS	0000 0000 _H	32	FFD2 024C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 0	RSCAN0TMC0	00 _H	8	FFD2 0250 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 1	RSCAN0TMC1	00 _H	8	FFD2 0251 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 2	RSCAN0TMC2	00 _H	8	FFD2 0252 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 3	RSCAN0TMC3	00 _H	8	FFD2 0253 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 4	RSCAN0TMC4	00 _H	8	FFD2 0254 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 5	RSCAN0TMC5	00 _H	8	FFD2 0255 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 6	RSCAN0TMC6	00 _H	8	FFD2 0256 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 7	RSCAN0TMC7	00 _H	8	FFD2 0257 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 8	RSCAN0TMC8	00 _H	8	FFD2 0258 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 9	RSCAN0TMC9	00 _H	8	FFD2 0259 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 10	RSCAN0TMC10	00 _H	8	FFD2 025A _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 11	RSCAN0TMC11	00 _H	8	FFD2 025B _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 12	RSCAN0TMC12	00 _H	8	FFD2 025C _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 13	RSCAN0TMC13	00 _H	8	FFD2 025D _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 14	RSCAN0TMC14	00 _H	8	FFD2 025E _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 15	RSCAN0TMC15	00 _H	8	FFD2 025F _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 16	RSCAN0TMC16	00 _H	8	FFD2 0260 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 17	RSCAN0TMC17	00 _H	8	FFD2 0261 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 18	RSCAN0TMC18	00 _H	8	FFD2 0262 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 19	RSCAN0TMC19	00 _H	8	FFD2 0263 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 20	RSCAN0TMC20	00 _H	8	FFD2 0264 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 21	RSCAN0TMC21	00 _H	8	FFD2 0265 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 22	RSCAN0TMC22	00 _H	8	FFD2 0266 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 23	RSCAN0TMC23	00 _H	8	FFD2 0267 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 24	RSCAN0TMC24	00 _H	8	FFD2 0268 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 25	RSCAN0TMC25	00 _H	8	FFD2 0269 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 26	RSCAN0TMC26	00 _H	8	FFD2 026A _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 27	RSCAN0TMC27	00 _H	8	FFD2 026B _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 28	RSCAN0TMC28	00 _H	8	FFD2 026C _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 29	RSCAN0TMC29	00 _H	8	FFD2 026D _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 30	RSCAN0TMC30	00 _H	8	FFD2 026E _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 31	RSCAN0TMC31	00 _H	8	FFD2 026F _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 32	RSCAN0TMC32	00 _H	8	FFD2 0270 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 33	RSCAN0TMC33	00 _H	8	FFD2 0271 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 34	RSCAN0TMC34	00 _H	8	FFD2 0272 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 35	RSCAN0TMC35	00 _H	8	FFD2 0273 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 36	RSCAN0TMC36	00 _H	8	FFD2 0274 _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ制御レジスタ 37	RSCAN0TMC37	00 _H	8	FFD2 0275 _H	2	8	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (23/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
RSCAN0	送信バッファステータスレジスタ 43	RSCAN0TMSTS43	00 _H	8	FFD2 02FB _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファステータスレジスタ 44	RSCAN0TMSTS44	00 _H	8	FFD2 02FC _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファステータスレジスタ 45	RSCAN0TMSTS45	00 _H	8	FFD2 02FD _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファステータスレジスタ 46	RSCAN0TMSTS46	00 _H	8	FFD2 02FE _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファステータスレジスタ 47	RSCAN0TMSTS47	00 _H	8	FFD2 02FF _H	2	8	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ送信要求ステータスレジスタ 0	RSCAN0TMRSTS0	0000 0000 _H	32	FFD2 0350 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ送信要求ステータスレジスタ 1	RSCAN0TMRSTS1	0000 0000 _H	32	FFD2 0354 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ送信アポート要求ステータス レジスタ 0	RSCAN0TMTARSTS0	0000 0000 _H	32	FFD2 0360 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ送信アポート要求ステータス レジスタ 1	RSCAN0TMTARSTS1	0000 0000 _H	32	FFD2 0364 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ送信完了ステータスレジスタ 0	RSCAN0TMCSTS0	0000 0000 _H	32	FFD2 0370 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ送信完了ステータスレジスタ 1	RSCAN0TMCSTS1	0000 0000 _H	32	FFD2 0374 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ送信アポートステータスレジスタ 0	RSCAN0TMTASTS0	0000 0000 _H	32	FFD2 0380 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ送信アポートステータスレジスタ 1	RSCAN0TMTASTS1	0000 0000 _H	32	FFD2 0384 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCAN0TMIEC0	0000 0000 _H	32	FFD2 0390 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 1	RSCAN0TMIEC1	0000 0000 _H	32	FFD2 0394 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューコンフィグレーション/制御レジスタ 0	RSCAN0TXQCC0	0000 0000 _H	32	FFD2 03A0 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューコンフィグレーション/制御レジスタ 1	RSCAN0TXQCC1	0000 0000 _H	32	FFD2 03A4 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューコンフィグレーション/制御レジスタ 2	RSCAN0TXQCC2	0000 0000 _H	32	FFD2 03A8 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューステータスレジスタ 0	RSCAN0TXQSTS0	0000 0001 _H	32	FFD2 03C0 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューステータスレジスタ 1	RSCAN0TXQSTS1	0000 0001 _H	32	FFD2 03C4 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューステータスレジスタ 2	RSCAN0TXQSTS2	0000 0001 _H	32	FFD2 03C8 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューポイント制御レジスタ 0	RSCAN0TXQPCTR0	0000 0000 _H	32	FFD2 03E0 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューポイント制御レジスタ 1	RSCAN0TXQPCTR1	0000 0000 _H	32	FFD2 03E4 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信キューポイント制御レジスタ 2	RSCAN0TXQPCTR2	0000 0000 _H	32	FFD2 03E8 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴コンフィグレーション/制御レジスタ 0	RSCAN0THLCC0	0000 0000 _H	32	FFD2 0400 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴コンフィグレーション/制御レジスタ 1	RSCAN0THLCC1	0000 0000 _H	32	FFD2 0404 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴コンフィグレーション/制御レジスタ 2	RSCAN0THLCC2	0000 0000 _H	32	FFD2 0408 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴ステータスレジスタ 0	RSCAN0THLSTS0	0000 0001 _H	32	FFD2 0420 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴ステータスレジスタ 1	RSCAN0THLSTS1	0000 0001 _H	32	FFD2 0424 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴ステータスレジスタ 2	RSCAN0THLSTS2	0000 0001 _H	32	FFD2 0428 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴ポイント制御レジスタ 0	RSCAN0THLPCTR0	0000 0000 _H	32	FFD2 0440 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴ポイント制御レジスタ 1	RSCAN0THLPCTR1	0000 0000 _H	32	FFD2 0444 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	送信履歴ポイント制御レジスタ 2	RSCAN0THLPCTR2	0000 0000 _H	32	FFD2 0448 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	グローバル TX 割り込みステータスレジスタ 0	RSCAN0GTINTSTS0	0000 0000 _H	32	FFD2 0460 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	0000 0000 _H	32	FFD2 0468 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	グローバルテスト制御レジスタ	RSCAN0GTSTCTR	0000 0000 _H	32	FFD2 046C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	グローバルロックキーレジスタ	RSCAN0GLOCKK	0000 0000 _H	32	FFD2 047C _H	2	16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルール ID レジスタ 0	RSCAN0GAFLID0	0000 0000 _H	32	FFD2 0500 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールマスクレジスタ 0	RSCAN0GAFLM0	0000 0000 _H	32	FFD2 0504 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールポイント 0 レジスタ 0	RSCAN0GAFLP00	0000 0000 _H	32	FFD2 0508 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールポイント 1 レジスタ 0	RSCAN0GAFLP10	0000 0000 _H	32	FFD2 050C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルール ID レジスタ 1	RSCAN0GAFLID1	0000 0000 _H	32	FFD2 0510 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールマスクレジスタ 1	RSCAN0GAFLM1	0000 0000 _H	32	FFD2 0514 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールポイント 0 レジスタ 1	RSCAN0GAFLP01	0000 0000 _H	32	FFD2 0518 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールポイント 1 レジスタ 1	RSCAN0GAFLP11	0000 0000 _H	32	FFD2 051C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルール ID レジスタ 2	RSCAN0GAFLID2	0000 0000 _H	32	FFD2 0520 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールマスクレジスタ 2	RSCAN0GAFLM2	0000 0000 _H	32	FFD2 0524 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールポイント 0 レジスタ 2	RSCAN0GAFLP02	0000 0000 _H	32	FFD2 0528 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールポイント 1 レジスタ 2	RSCAN0GAFLP12	0000 0000 _H	32	FFD2 052C _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルール ID レジスタ 3	RSCAN0GAFLID3	0000 0000 _H	32	FFD2 0530 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールマスクレジスタ 3	RSCAN0GAFLM3	0000 0000 _H	32	FFD2 0534 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○
RSCAN0	受信ルールポイント 0 レジスタ 3	RSCAN0GAFLP03	0000 0000 _H	32	FFD2 0538 _H	2	8、16、32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (35/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DCRA2	CRC 入力レジスタ	DCRA2CIN	0000 0000 _H	32	FFD5 2000 _H	2	32	○	○	○	○	○	○	○	○	○	○
DCRA2	CRC データレジスタ	DCRA2COUT	0000 0000 _H	32	FFD5 2004 _H	2	32	○	○	○	○	○	○	○	○	○	○
DCRA2	CRC 制御レジスタ	DCRA2CTL	00 _H	8	FFD5 2020 _H	2	8	○	○	○	○	○	○	○	○	○	○
DCRA3	CRC 入力レジスタ	DCRA3CIN	0000 0000 _H	32	FFD5 3000 _H	2	32	○	○	○	○	○	○	○	○	○	○
DCRA3	CRC データレジスタ	DCRA3COUT	0000 0000 _H	32	FFD5 3004 _H	2	32	○	○	○	○	○	○	○	○	○	○
DCRA3	CRC 制御レジスタ	DCRA3CTL	00 _H	8	FFD5 3020 _H	2	8	○	○	○	○	○	○	○	○	○	○
ECMM	ECM マスタエラーセットトリガレジスタ	ECMMESET	00 _H	8	FFD6 0000 _H	2	8	○	○	○	○	○	○	○	○	○	○
ECMM	ECM マスタエラークリアトリガレジスタ	ECMMECLR	00 _H	8	FFD6 0004 _H	2	8	○	○	○	○	○	○	○	○	○	○
ECMM	ECM マスタエラーソースステータスレジスタ 0	ECMMESSTR0	0000 0000 _H	32	FFD6 0008 _H	2	32	○	○	×	○	×	×	×	○	○	○
ECMM	ECM マスタエラーソースステータスレジスタ 1	ECMMESSTR1	0000 0000 _H	32	FFD6 000C _H	2	32	○	○	×	○	×	×	×	○	○	○
ECMM	ECM マスタ保護コマンドレジスタ	ECMPCMD0	不定	32	FFD6 0010 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECMC	ECM チェックエラーセットトリガレジスタ	ECMCESET	00 _H	8	FFD6 1000 _H	2	8	○	○	○	○	○	○	○	○	○	○
ECMC	ECM チェックエラークリアトリガレジスタ	ECMCECLR	00 _H	8	FFD6 1004 _H	2	8	○	○	○	○	○	○	○	○	○	○
ECMC	ECM チェックエラーソースステータスレジスタ 0	ECMCESSTR0	0000 0000 _H	32	FFD6 1008 _H	2	32	○	○	×	○	×	×	×	○	○	○
ECMC	ECM チェックエラーソースステータスレジスタ 1	ECMCESSTR1	0000 0000 _H	32	FFD6 100C _H	2	32	○	○	×	○	×	×	×	○	○	○
ECMC	ECM チェック保護コマンドレジスタ	ECMPCMD0	不定	32	FFD6 1010 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM エラーパルスコンフィグレーションレジスタ	ECMEPCFG	00 _H	8	FFD6 2000 _H	2	8	○	○	○	○	○	○	○	○	○	○
ECM	ECMEI レベル割り込みコンフィグレーション レジスタ 0	ECMMICFG0	0000 0000 _H	32	FFD6 2004 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECMEI レベル割り込みコンフィグレーション レジスタ 1	ECMMICFG1	0000 0000 _H	32	FFD6 2008 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM FE レベル割り込みコンフィグレーションレジスタ 0	ECNMICFG0	0000 0000 _H	32	FFD6 200C _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM FE レベル割り込みコンフィグレーションレジスタ 1	ECNMICFG1	0000 0000 _H	32	FFD6 2010 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM 内部リセットコンフィグレーションレジスタ 0	ECMIRCFG0	0000 000F _H	32	FFD6 2014 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM 内部リセットコンフィグレーションレジスタ 1	ECMIRCFG1	0000 0000 _H	32	FFD6 2018 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM エラーマスクレジスタ 0	ECMEMK0	0000 0000 _H	32	FFD6 201C _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM エラーマスクレジスタ 1	ECMEMK1	0000 0000 _H	32	FFD6 2020 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM エラーソースステータスクリアトリガレジスタ 0	ECMESSTC0	0000 0000 _H	32	FFD6 2024 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM エラーソースステータスクリアトリガレジスタ 1	ECMESSTC1	0000 0000 _H	32	FFD6 2028 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM 保護コマンドレジスタ	ECMPCMD1	不定	32	FFD6 202C _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM 保護ステータスレジスタ	ECMPS	00 _H	8	FFD6 2030 _H	2	8	○	○	○	○	○	○	○	○	○	○
ECM	ECM 疑似エラートリガレジスタ 0	ECMPE0	0000 0000 _H	32	FFD6 2034 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM 疑似エラートリガレジスタ 1	ECMPE1	0000 0000 _H	32	FFD6 2038 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM ディレイタイムコントロールレジスタ	ECMDTMCTL	00 _H	8	FFD6 203C _H	2	8	○	○	○	○	○	○	○	○	○	○
ECM	ECM ディレイタイムレジスタ	ECMDTMR	0000 _H	16	FFD6 2040 _H	2	16	○	○	○	○	○	○	○	○	○	○
ECM	ECM ディレイタイムコンペアレジスタ	ECMDTMCMP	0000 _H	16	FFD6 2044 _H	2	16	○	○	○	○	○	○	○	○	○	○
ECM	ECM ディレイタイムコンフィグレーションレジスタ 0	ECMDTMCFG0	0000 0000 _H	32	FFD6 2048 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM ディレイタイムコンフィグレーションレジスタ 1	ECMDTMCFG1	0000 0000 _H	32	FFD6 204C _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM ディレイタイムコンフィグレーションレジスタ 2	ECMDTMCFG2	0000 0000 _H	32	FFD6 2050 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM ディレイタイムコンフィグレーションレジスタ 3	ECMDTMCFG3	0000 0000 _H	32	FFD6 2054 _H	2	32	○	○	○	○	○	○	○	○	○	○
ECM	ECM エラーパルスコントロールレジスタ	ECMEPCTL	00 _H	8	FFD6 3000 _H	2	8	○	○	○	○	○	○	○	○	○	○
SYS	FEINT 要因レジスタ	FEINTF	0000 0000 _H	32	FFD6 7000 _H	2	32	○	○	○	○	○	○	○	○	○	○
SYS	FEINT 要因クリアレジスタ	FEINTFC	0000 0000 _H	32	FFD6 7008 _H	2	32	○	○	○	○	○	○	○	○	○	○
SYS	ロジック BIST シングネチャレジスタ 1	LBISTREF1	000A 5A5A _H	32	FFD6 9000 _H	2	32	○	○	○	○	○	×	×	○	○	○
SYS	ロジック BIST シングネチャレジスタ 2	LBISTREF2	0005 A5A5 _H	32	FFD6 9004 _H	2	32	○	○	○	○	○	×	×	○	○	○
SYS	メモリ BIST シングネチャレジスタ	MBISTREF	000A A55A _H	32	FFD6 9008 _H	2	32	○	○	○	○	○	×	×	○	○	○
SYS	ロジック BIST シングネチャ結果レジスタ 1	LBISTSIG1	0005 A5A5 _H	32	FFD6 900C _H	2	32	○	○	○	○	○	×	×	○	○	○
SYS	ロジック BIST シングネチャ結果レジスタ 2	LBISTSIG2	000A 5A5A _H	32	FFD6 9010 _H	2	32	○	○	○	○	○	×	×	○	○	○
SYS	メモリ BIST シングネチャ結果レジスタ	MBISTSIG	0005 5AA5 _H	32	FFD6 9014 _H	2	32	○	○	○	○	○	×	×	○	○	○
SYS	BIST エラーステータスレジスタ	BSEQ0ST	0000 0001 _H	32	FFD6 9020 _H	2	32	○	○	○	○	○	×	×	○	○	○
SYS	BIST エラーステータス反転レジスタ	BSEQ0STB	0000 000E _H	32	FFD69024 _H	2	32	○	○	○	○	○	×	×	○	○	○
OSTM3	OSTM3 コンペアレジスタ	OSTM3CMP	0000 0000 _H	32	FFD7 0000 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM3	OSTM3 カウンタレジスタ	OSTM3CNT	FFFF FFFF _H	32	FFD7 0004 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM3	OSTM3 カウンタインヘブスステータスレジスタ	OSTM3TE	00 _H	8	FFD7 0010 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM3	OSTM3 カウンタ開始トリガレジスタ	OSTM3TS	00 _H	8	FFD7 0014 _H	2	8	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (36/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
OSTM3	OSTM3 カウント停止トリガレジスタ	OSTM3TT	00 _H	8	FFD7 0018 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM3	OSTM3 制御レジスタ	OSTM3CTL	00 _H	8	FFD7 0020 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM4	OSTM4 コンペアレジスタ	OSTM4CMP	0000 0000 _H	32	FFD7 0040 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM4	OSTM4 カウンタレジスタ	OSTM4CNT	FFFF FFFF _H	32	FFD7 0044 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM4	OSTM4 カウントイネーブルステータスレジスタ	OSTM4TE	00 _H	8	FFD7 0050 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM4	OSTM4 カウント開始トリガレジスタ	OSTM4TS	00 _H	8	FFD7 0054 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM4	OSTM4 カウント停止トリガレジスタ	OSTM4TT	00 _H	8	FFD7 0058 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM4	OSTM4 制御レジスタ	OSTM4CTL	00 _H	8	FFD7 0060 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM5	OSTM5 コンペアレジスタ	OSTM5CMP	0000 0000 _H	32	FFD7 0080 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM5	OSTM5 カウンタレジスタ	OSTM5CNT	FFFF FFFF _H	32	FFD7 0084 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM5	OSTM5 カウントイネーブルステータスレジスタ	OSTM5TE	00 _H	8	FFD7 0090 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM5	OSTM5 カウント開始トリガレジスタ	OSTM5TS	00 _H	8	FFD7 0094 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM5	OSTM5 カウント停止トリガレジスタ	OSTM5TT	00 _H	8	FFD7 0098 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM5	OSTM5 制御レジスタ	OSTM5CTL	00 _H	8	FFD7 00A0 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM6	OSTM6 コンペアレジスタ	OSTM6CMP	0000 0000 _H	32	FFD7 00C0 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM6	OSTM6 カウンタレジスタ	OSTM6CNT	FFFF FFFF _H	32	FFD7 00C4 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM6	OSTM6 カウントイネーブルステータスレジスタ	OSTM6TE	00 _H	8	FFD7 00D0 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM6	OSTM6 カウント開始トリガレジスタ	OSTM6TS	00 _H	8	FFD7 00D4 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM6	OSTM6 カウント停止トリガレジスタ	OSTM6TT	00 _H	8	FFD7 00D8 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM6	OSTM6 制御レジスタ	OSTM6CTL	00 _H	8	FFD7 00E0 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM7	OSTM7 コンペアレジスタ	OSTM7CMP	0000 0000 _H	32	FFD7 0100 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM7	OSTM7 カウンタレジスタ	OSTM7CNT	FFFF FFFF _H	32	FFD7 0104 _H	2	32	○	○	○	○	○	○	○	○	○	○
OSTM7	OSTM7 カウントイネーブルステータスレジスタ	OSTM7TE	00 _H	8	FFD7 0110 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM7	OSTM7 カウント開始トリガレジスタ	OSTM7TS	00 _H	8	FFD7 0114 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM7	OSTM7 カウント停止トリガレジスタ	OSTM7TT	00 _H	8	FFD7 0118 _H	2	8	○	○	○	○	○	○	○	○	○	○
OSTM7	OSTM7 制御レジスタ	OSTM7CTL	00 _H	8	FFD7 0120 _H	2	8	○	○	○	○	○	○	○	○	○	○
WDTA0	WDTA イネーブルレジスタ	WDTA0WDTE	起動オプション (OPWDRUN,OP WDVAC) により異 なります。	8	FFD7 4000 _H	2	8	○	○	○	○	○	○	○	○	○	○
WDTA0	WDTA イネーブル VAC レジスタ	WDTA0EVAC	起動オプション (OPWDRUN,OP WDVAC) により異 なります。	8	FFD7 4004 _H	2	8	○	○	○	○	○	○	○	○	○	○
WDTA0	WDTA 基準値レジスタ	WDTA0REF	00 _H	8	FFD7 4008 _H	2	8	○	○	○	○	○	○	○	○	○	○
WDTA0	WDTA モードレジスタ	WDTA0MD	起動オプション (OPWDOVF[2:0]) により異なります。	8	FFD7 400C _H	2	8	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 制御レジスタ 0	CSIH0CTL0	00 _H	8	FFD8 0000 _H	2	1, 8	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ステータスレジスタ 0	CSIH0STR0	0000 0010 _H	32	FFD8 0004 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ステータスクリアレジスタ 0	CSIH0STCR0	0000 _H	16	FFD8 0008 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 制御レジスタ 1	CSIH0CTL1	0000 0000 _H	32	FFD8 0010 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 制御レジスタ 2	CSIH0CTL2	E000 _H	16	FFD8 0014 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 メモリ制御レジスタ 1	CSIH0MCTL1	0000 0000 _H	32	FFD8 1000 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 メモリ制御レジスタ 2	CSIH0MCTL2	0000 0000 _H	32	FFD8 1004 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ワードアクセス用送信データレジスタ 0	CSIH0TX0W	X0XX XXXX _H	32	FFD8 1008 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ハーフワードアクセス用送信データレジスタ 0	CSIH0TX0H	不定	16	FFD8 100C _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ワードアクセス用受信データレジスタ 0	CSIH0RX0W	0XXX XXXX _H	32	FFD8 1010 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ハーフワードアクセス用受信データレジスタ 0	CSIH0RX0H	不定	16	FFD8 1014 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 メモリ読み出し/書き込みポインタレジスタ 0	CSIH0MRWP0	0000 0000 _H	32	FFD8 1018 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 メモリ制御レジスタ 0	CSIH0MCTL0	001F _H	16	FFD8 1040 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 コンフィグレーションレジスタ 0	CSIH0CFG0	0000 0000 _H	32	FFD8 1044 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 コンフィグレーションレジスタ 1	CSIH0CFG1	0000 0000 _H	32	FFD8 1048 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 コンフィグレーションレジスタ 2	CSIH0CFG2	0000 0000 _H	32	FFD8 104C _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 コンフィグレーションレジスタ 3	CSIH0CFG3	0000 0000 _H	32	FFD8 1050 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 コンフィグレーションレジスタ 4	CSIH0CFG4	0000 0000 _H	32	FFD8 1054 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 コンフィグレーションレジスタ 5	CSIH0CFG5	0000 0000 _H	32	FFD8 1058 _H	2	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (37/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
CSIH0	CSIH0 コンフィグレーションレジスタ 6	CSIH0CFG6	0000 0000 _H	32	FFD8 105C _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 コンフィグレーションレジスタ 7	CSIH0CFG7	0000 0000 _H	32	FFD8 1060 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ボーレート設定レジスタ 0	CSIH0BRS0	0000 _H	16	FFD8 1068 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ボーレート設定レジスタ 1	CSIH0BRS1	0000 _H	16	FFD8 106C _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ボーレート設定レジスタ 2	CSIH0BRS2	0000 _H	16	FFD8 1070 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH0	CSIH0 ボーレート設定レジスタ 3	CSIH0BRS3	0000 _H	16	FFD8 1074 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 制御レジスタ 0	CSIH1CTL0	00 _H	8	FFD8 2000 _H	2	1, 8	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ステータスレジスタ 0	CSIH1STR0	0000 0010 _H	32	FFD8 2004 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ステータスクリアレジスタ 0	CSIH1STCR0	0000 _H	16	FFD8 2008 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 制御レジスタ 1	CSIH1CTL1	0000 0000 _H	32	FFD8 2010 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 制御レジスタ 2	CSIH1CTL2	E000 _H	16	FFD8 2014 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 メモリ制御レジスタ 1	CSIH1MCTL1	0000 0000 _H	32	FFD8 3000 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 メモリ制御レジスタ 2	CSIH1MCTL2	0000 0000 _H	32	FFD8 3004 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ワードアクセス用送信データレジスタ 0	CSIH1TX0W	X0XX XXXX _H	32	FFD8 3008 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ハーフワードアクセス用送信データレジスタ 0	CSIH1TX0H	不定	16	FFD8 300C _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ワードアクセス用受信データレジスタ 0	CSIH1RX0W	0XXX XXXX _H	32	FFD8 3010 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ハーフワードアクセス用受信データレジスタ 0	CSIH1RX0H	不定	16	FFD8 3014 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 メモリ読み出し/書き込みポインタレジスタ 0	CSIH1MRWP0	0000 0000 _H	32	FFD8 3018 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 メモリ制御レジスタ 0	CSIH1MCTL0	001F _H	16	FFD8 3040 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 コンフィグレーションレジスタ 0	CSIH1CFG0	0000 0000 _H	32	FFD8 3044 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 コンフィグレーションレジスタ 1	CSIH1CFG1	0000 0000 _H	32	FFD8 3048 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 コンフィグレーションレジスタ 2	CSIH1CFG2	0000 0000 _H	32	FFD8 304C _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 コンフィグレーションレジスタ 3	CSIH1CFG3	0000 0000 _H	32	FFD8 3050 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 コンフィグレーションレジスタ 4	CSIH1CFG4	0000 0000 _H	32	FFD8 3054 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 コンフィグレーションレジスタ 5	CSIH1CFG5	0000 0000 _H	32	FFD8 3058 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 コンフィグレーションレジスタ 6	CSIH1CFG6	0000 0000 _H	32	FFD8 305C _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 コンフィグレーションレジスタ 7	CSIH1CFG7	0000 0000 _H	32	FFD8 3060 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ボーレート設定レジスタ 0	CSIH1BRS0	0000 _H	16	FFD8 3068 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ボーレート設定レジスタ 1	CSIH1BRS1	0000 _H	16	FFD8 306C _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ボーレート設定レジスタ 2	CSIH1BRS2	0000 _H	16	FFD8 3070 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH1	CSIH1 ボーレート設定レジスタ 3	CSIH1BRS3	0000 _H	16	FFD8 3074 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 制御レジスタ 0	CSIH2CTL0	00 _H	8	FFD8 4000 _H	2	1, 8	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ステータスレジスタ 0	CSIH2STR0	0000 0010 _H	32	FFD8 4004 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ステータスクリアレジスタ 0	CSIH2STCR0	0000 _H	16	FFD8 4008 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 制御レジスタ 1	CSIH2CTL1	0000 0000 _H	32	FFD8 4010 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 制御レジスタ 2	CSIH2CTL2	E000 _H	16	FFD8 4014 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 メモリ制御レジスタ 1	CSIH2MCTL1	0000 0000 _H	32	FFD8 5000 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 メモリ制御レジスタ 2	CSIH2MCTL2	0000 0000 _H	32	FFD8 5004 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ワードアクセス用送信データレジスタ 0	CSIH2TX0W	X0XX XXXX _H	32	FFD8 5008 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ハーフワードアクセス用送信データレジスタ 0	CSIH2TX0H	不定	16	FFD8 500C _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ワードアクセス用受信データレジスタ 0	CSIH2RX0W	0XXX XXXX _H	32	FFD8 5010 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ハーフワードアクセス用受信データレジスタ 0	CSIH2RX0H	不定	16	FFD8 5014 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 メモリ読み出し/書き込みポインタレジスタ 0	CSIH2MRWP0	0000 0000 _H	32	FFD8 5018 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 メモリ制御レジスタ 0	CSIH2MCTL0	001F _H	16	FFD8 5040 _H	2	16	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 コンフィグレーションレジスタ 0	CSIH2CFG0	0000 0000 _H	32	FFD8 5044 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 コンフィグレーションレジスタ 1	CSIH2CFG1	0000 0000 _H	32	FFD8 5048 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 コンフィグレーションレジスタ 2	CSIH2CFG2	0000 0000 _H	32	FFD8 504C _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 コンフィグレーションレジスタ 3	CSIH2CFG3	0000 0000 _H	32	FFD8 5050 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 コンフィグレーションレジスタ 4	CSIH2CFG4	0000 0000 _H	32	FFD8 5054 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 コンフィグレーションレジスタ 5	CSIH2CFG5	0000 0000 _H	32	FFD8 5058 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 コンフィグレーションレジスタ 6	CSIH2CFG6	0000 0000 _H	32	FFD8 505C _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 コンフィグレーションレジスタ 7	CSIH2CFG7	0000 0000 _H	32	FFD8 5060 _H	2	32	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ボーレート設定レジスタ 0	CSIH2BRS0	0000 _H	16	FFD8 5068 _H	2	16	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (38/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
CSIH2	CSIH2 ボーレート設定レジスタ 1	CSIH2BRS1	0000 _H	16	FFD8 506C _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ボーレート設定レジスタ 2	CSIH2BRS2	0000 _H	16	FFD8 5070 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH2	CSIH2 ボーレート設定レジスタ 3	CSIH2BRS3	0000 _H	16	FFD8 5074 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 制御レジスタ 0	CSIH3CTL0	00 _H	8	FFD8 6000 _H	2	1, 8	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ステータスレジスタ 0	CSIH3STR0	0000 0010 _H	32	FFD8 6004 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ステータスクリアレジスタ 0	CSIH3STCR0	0000 _H	16	FFD8 6008 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 制御レジスタ 1	CSIH3CTL1	0000 0000 _H	32	FFD8 6010 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 制御レジスタ 2	CSIH3CTL2	E000 _H	16	FFD8 6014 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 メモリ制御レジスタ 1	CSIH3MCTL1	0000 0000 _H	32	FFD8 7000 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 メモリ制御レジスタ 2	CSIH3MCTL2	0000 0000 _H	32	FFD8 7004 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ワードアクセス用送信データレジスタ 0	CSIH3TX0W	X0XX XXXX _H	32	FFD8 7008 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ハーフワードアクセス用送信データレジスタ 0	CSIH3TX0H	不定	16	FFD8 700C _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ワードアクセス用受信データレジスタ 0	CSIH3RX0W	0XXX XXXX _H	32	FFD8 7010 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ハーフワードアクセス用受信データレジスタ 0	CSIH3RX0H	不定	16	FFD8 7014 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 メモリ読み出し/書き込みポインタレジスタ 0	CSIH3MRWP0	0000 0000 _H	32	FFD8 7018 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 メモリ制御レジスタ 0	CSIH3MCTL0	001F _H	16	FFD8 7040 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 コンフィグレーションレジスタ 0	CSIH3CFG0	0000 0000 _H	32	FFD8 7044 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 コンフィグレーションレジスタ 1	CSIH3CFG1	0000 0000 _H	32	FFD8 7048 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 コンフィグレーションレジスタ 2	CSIH3CFG2	0000 0000 _H	32	FFD8 704C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 コンフィグレーションレジスタ 3	CSIH3CFG3	0000 0000 _H	32	FFD8 7050 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 コンフィグレーションレジスタ 4	CSIH3CFG4	0000 0000 _H	32	FFD8 7054 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 コンフィグレーションレジスタ 5	CSIH3CFG5	0000 0000 _H	32	FFD8 7058 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 コンフィグレーションレジスタ 6	CSIH3CFG6	0000 0000 _H	32	FFD8 705C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 コンフィグレーションレジスタ 7	CSIH3CFG7	0000 0000 _H	32	FFD8 7060 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ボーレート設定レジスタ 0	CSIH3BRS0	0000 _H	16	FFD8 7068 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ボーレート設定レジスタ 1	CSIH3BRS1	0000 _H	16	FFD8 706C _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ボーレート設定レジスタ 2	CSIH3BRS2	0000 _H	16	FFD8 7070 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIH3	CSIH3 ボーレート設定レジスタ 3	CSIH3BRS3	0000 _H	16	FFD8 7074 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIG0	CSIG0 制御レジスタ 0	CSIG0CTL0	00 _H	8	FFD8 A000 _H	2	8	○	○	○	○	○	○	○	○	○	○	○
CSIG0	CSIG0 ステータスレジスタ 0	CSIG0STR0	0000 0010 _H	32	FFD8 A004 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIG0	CSIG0 ステータスクリアレジスタ 0	CSIG0STCR0	0000 _H	16	FFD8 A008 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIG0	CSIG0 制御レジスタ 1	CSIG0CTL1	0000 0000 _H	32	FFD8 A010 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIG0	CSIG0 制御レジスタ 2	CSIG0CTL2	E000 _H	16	FFD8 A014 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIG0	CSIG0 受信専用モード制御レジスタ 0	CSIG0BCTL0	01 _H	8	FFD8 B000 _H	2	8	○	○	○	○	○	○	○	○	○	○	○
CSIG0	ワードアクセス用 CSIG0 送信レジスタ 0	CSIG0TX0W	0000 0000 _H	32	FFD8 B004 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIG0	ハーフワードアクセス用 CSIG0 送信レジスタ 0	CSIG0TX0H	0000 _H	16	FFD8 B008 _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIG0	CSIG0 受信レジスタ 0	CSIG0RX0	0000 _H	16	FFD8 B00C _H	2	16	○	○	○	○	○	○	○	○	○	○	○
CSIG0	CSIG0 コンフィグレーションレジスタ 0	CSIG0CFG0	0000 0000 _H	32	FFD8 B010 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
CSIH	CSIH DMA 選択レジスタ	SELCSIHDMA	00 _H	8	FFD8 E000 _H	2	8	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスレジスタ ENCA00	APDPERRST_ENCA00	0000 0000 _H	32	FFDC A000 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスクリアレジスタ ENCA00	APDPERRSTC_ENCA00	0000 0000 _H	32	FFDC A004 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティテストモードコントロールレジスタ ENCA00	APDPTMC_ENCA00	0000 0000 _H	32	FFDC A008 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティエラーアドレスレジスタ ENCA00	APDPERRADR_ENCA00	0000 0000 _H	32	FFDC A00C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスレジスタ ENCA10	APDPERRST_ENCA10	0000 0000 _H	32	FFDC A010 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスクリアレジスタ ENCA10	APDPERRSTC_ENCA10	0000 0000 _H	32	FFDC A014 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティテストモードコントロールレジスタ ENCA10	APDPTMC_ENCA10	0000 0000 _H	32	FFDC A018 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティエラーアドレスレジスタ ENCA10	APDPERRADR_ENCA10	0000 0000 _H	32	FFDC A01C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスレジスタ OSTM00	APDPERRST_OSTM00	0000 0000 _H	32	FFDC A020 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスクリアレジスタ OSTM00	APDPERRSTC_OSTM00	0000 0000 _H	32	FFDC A024 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (40/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
APDP	P-Bus データバリディテストモードコントロールレジスタ TAUD0	APDPTMC_TAUD0	0000 0000 _H	32	FFDC A0C8 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ TAUD0	APDPERRADR_TAUD0	0000 0000 _H	32	FFDC A0CC _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ TAUD1	APDPERRST_TAUD1	0000 0000 _H	32	FFDC A0D0 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ TAUD1	APDPERRSTC_TAUD1	0000 0000 _H	32	FFDC A0D4 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ TAUD1	APDPTMC_TAUD1	0000 0000 _H	32	FFDC A0D8 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ TAUD1	APDPERRADR_TAUD1	0000 0000 _H	32	FFDC A0DC _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ TAUD2	APDPERRST_TAUD2	0000 0000 _H	32	FFDC A0E0 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ TAUD2	APDPERRSTC_TAUD2	0000 0000 _H	32	FFDC A0E4 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ TAUD2	APDPTMC_TAUD2	0000 0000 _H	32	FFDC A0E8 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ TAUD2	APDPERRADR_TAUD2	0000 0000 _H	32	FFDC A0EC _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ TAUJ0	APDPERRST_TAUJ0	0000 0000 _H	32	FFDC A0F0 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ TAUJ0	APDPERRSTC_TAUJ0	0000 0000 _H	32	FFDC A0F4 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ TAUJ0	APDPTMC_TAUJ0	0000 0000 _H	32	FFDC A0F8 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ TAUJ0	APDPERRADR_TAUJ0	0000 0000 _H	32	FFDC A0FC _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ TAUJ1	APDPERRST_TAUJ1	0000 0000 _H	32	FFDC A100 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ TAUJ1	APDPERRSTC_TAUJ1	0000 0000 _H	32	FFDC A104 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ TAUJ1	APDPTMC_TAUJ1	0000 0000 _H	32	FFDC A108 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ TAUJ1	APDPERRADR_TAUJ1	0000 0000 _H	32	FFDC A10C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ TAUJ2	APDPERRST_TAUJ2	0000 0000 _H	32	FFDC A110 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ TAUJ2	APDPERRSTC_TAUJ2	0000 0000 _H	32	FFDC A114 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ TAUJ2	APDPTMC_TAUJ2	0000 0000 _H	32	FFDC A118 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ TAUJ2	APDPERRADR_TAUJ2	0000 0000 _H	32	FFDC A11C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ TSG30	APDPERRST_TSG30	0000 0000 _H	32	FFDC A120 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ TSG30	APDPERRSTC_TSG30	0000 0000 _H	32	FFDC A124 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ TSG30	APDPTMC_TSG30	0000 0000 _H	32	FFDC A128 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ TSG30	APDPERRADR_TSG30	0000 0000 _H	32	FFDC A12C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ TSG31	APDPERRST_TSG31	0000 0000 _H	32	FFDC A130 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ TSG31	APDPERRSTC_TSG31	0000 0000 _H	32	FFDC A134 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ TSG31	APDPTMC_TSG31	0000 0000 _H	32	FFDC A138 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ TSG31	APDPERRADR_TSG31	0000 0000 _H	32	FFDC A13C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスレジスタ OSTM_CLKSEL	APDPERRST_OSTM_CLKSEL	0000 0000 _H	32	FFDC A140 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディステータスクリアレジスタ OSTM_CLKSEL	APDPERRSTC_OSTM_CLKSEL	0000 0000 _H	32	FFDC A144 _H	1	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディテストモードコントロールレジスタ OSTM_CLKSEL	APDPTMC_OSTM_CLKSEL	0000 0000 _H	32	FFDC A148 _H	1	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データバリディエラーアドレスレジスタ OSTM_CLKSEL	APDPERRADR_OSTM_CLKSEL	0000 0000 _H	32	FFDC A14C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PIC1A	同時スタートトリガ制御レジスタ	PIC1ASST	00 _H	8	FFDD 0004 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
PIC1A	同時スタート制御レジスタ 0	PIC1ASSER0	0000 _H	16	FFDD 0010 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
PIC1A	同時スタート制御レジスタ 1	PIC1ASSER1	0000 _H	16	FFDD 0014 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
PIC1A	同時スタート制御レジスタ 2	PIC1ASSER2	0000 _H	16	FFDD 0018 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
PIC1A	同時スタート制御レジスタ 3	PIC1ASSER3	0000 _H	16	FFDD 001C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
PIC1A	RS フリップフロップ回路初期化レジスタ 00	PIC1AIN00	00 _H	8	FFDD 0020 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
PIC1A	DT 初期化レジスタ 01	PIC1AIN01	00 _H	8	FFDD 0024 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
PIC1A	RS フリップフロップ回路初期化レジスタ 10	PIC1AIN10	00 _H	8	FFDD 002C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
PIC1A	DT 初期化レジスタ 11	PIC1AIN11	00 _H	8	FFDD 0030 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
PIC1A	ホールセンサ入力選択レジスタ	PIC1ATSGHALLSEL	00 _H	8	FFDD 0074 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
PIC1A	TAUD0 入力選択レジスタ	PIC1ATAUD0SEL	0000 0000 _H	32	FFDD 0078 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PIC1A	TAUD1 入力選択レジスタ	PIC1ATAUD1SEL	0000 0000 _H	32	FFDD 007C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PIC1A	Hi-Z 制御レジスタ 0	PIC1AHIZCEN0	00 _H	8	FFDD 0080 _H	1	8	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (41/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
PIC1A	Hi-Z 制御レジスタ 1	PIC1AHIZCEN1	00 _H	8	FFDD 0084 _H	1	8	○	○	○	○	○	○	○	○	○	○
PIC1A	Hi-Z 制御レジスタ 2	PIC1AHIZCEN2	00 _H	8	FFDD 0088 _H	1	8	○	○	○	○	○	○	○	○	○	○
PIC1A	Hi-Z 制御レジスタ 3	PIC1AHIZCEN3	00 _H	8	FFDD 008C _H	1	8	○	○	○	○	○	○	○	○	○	○
PIC1A	ENCATIN1 入力選択レジスタ 400	PIC1AENCSEL400	00 _H	8	FFDD 00B8 _H	1	8	○	○	○	○	○	○	○	○	○	○
PIC1A	ENCATIN1 入力選択レジスタ 410	PIC1AENCSEL410	00 _H	8	FFDD 00BC _H	1	8	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 200	PIC1AREG200	0000 0000 _H	32	FFDD 00C0 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 201	PIC1AREG201	0000 0000 _H	32	FFDD 00C4 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 202	PIC1AREG202	0000 0000 _H	32	FFDD 00C8 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 203	PIC1AREG203	0000 0000 _H	32	FFDD 00CC _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 210	PIC1AREG210	0000 0000 _H	32	FFDD 00D4 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 211	PIC1AREG211	0000 0000 _H	32	FFDD 00D8 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 212	PIC1AREG212	0000 0000 _H	32	FFDD 00DC _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 213	PIC1AREG213	0000 0000 _H	32	FFDD 00E0 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 30	PIC1AREG30	0000 0000 _H	32	FFDD 00E8 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 31	PIC1AREG31	0000 0000 _H	32	FFDD 00EC _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 50	PIC1AREG50	0000 _H	16	FFDD 00F8 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC1A	タイム入出力制御レジスタ 51	PIC1AREG51	0000 _H	16	FFDD 00FC _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 0	PIC2BADCD0TSEL0	0000 0000 _H	32	FFDD 1000 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 1	PIC2BADCD0TSEL1	0000 0000 _H	32	FFDD 1004 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 2	PIC2BADCD0TSEL2	0000 0000 _H	32	FFDD 1008 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 3	PIC2BADCD0TSEL3	0000 0000 _H	32	FFDD 100C _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 0 トリガ選択制御レジスタ 4	PIC2BADCD0TSEL4	0000 0000 _H	32	FFDD 1010 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 0 トリガエッジ選択制御レジスタ	PIC2BADCD0EDGSEL	0000 _H	16	FFDD 101C _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 0	PIC2BADCD1TSEL0	0000 0000 _H	32	FFDD 1020 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 1	PIC2BADCD1TSEL1	0000 0000 _H	32	FFDD 1024 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 2	PIC2BADCD1TSEL2	0000 0000 _H	32	FFDD 1028 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 3	PIC2BADCD1TSEL3	0000 0000 _H	32	FFDD 102C _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 1 トリガ選択制御レジスタ 4	PIC2BADCD1TSEL4	0000 0000 _H	32	FFDD 1030 _H	1	32	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ 1 トリガエッジ選択制御レジスタ	PIC2BADCD1EDGSEL	0000 _H	16	FFDD 103C _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 400	PIC2BADTEN400	0000 _H	16	FFDD 1040 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 401	PIC2BADTEN401	0000 _H	16	FFDD 1044 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 402	PIC2BADTEN402	0000 _H	16	FFDD 1048 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 403	PIC2BADTEN403	0000 _H	16	FFDD 104C _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 404	PIC2BADTEN404	0000 _H	16	FFDD 1050 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 410	PIC2BADTEN410	0000 _H	16	FFDD 1060 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 411	PIC2BADTEN411	0000 _H	16	FFDD 1064 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 412	PIC2BADTEN412	0000 _H	16	FFDD 1068 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 413	PIC2BADTEN413	0000 _H	16	FFDD 106C _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC2B	AD コンバータ トリガ出力制御レジスタ 414	PIC2BADTEN414	0000 _H	16	FFDD 1070 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC1A	同期クリア許可レジスタ	SELBSSER	00 _H	8	FFDD 2000 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM	OSTM0 クロック選択レジスタ	IC0CKSEL0	0000 _H	16	FFDD 6000 _H	1	16	○	○	○	○	○	○	○	○	○	○
OSTM	OSTM1 クロック選択レジスタ	IC0CKSEL1	0000 _H	16	FFDD 6004 _H	1	16	○	○	○	○	○	○	○	○	○	○
PIC1A	ポート入力モニタ選択レジスタ	PIMONSEL	00 _H	8	FFDD 7000 _H	1	8	○	○	○	○	○	○	○	○	○	○
PIC1A	ポート出力モニタ選択レジスタ	POMONSEL	00 _H	8	FFDD 7400 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM0	OSTM0 コンペアレジスタ	OSTM0CMP	0000 0000 _H	32	FFDD 8000 _H	1	32	○	○	○	○	○	○	○	○	○	○
OSTM0	OSTM0 カウンタレジスタ	OSTM0CNT	FFFF FFFF _H	32	FFDD 8004 _H	1	32	○	○	○	○	○	○	○	○	○	○
OSTM0	OSTM0 出力レジスタ	OSTM0TO	00 _H	8	FFDD 8008 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM0	OSTM0 出力カインエーブルレジスタ	OSTM0TOE	00 _H	8	FFDD 800C _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM0	OSTM0 カウントインエーブルステータスレジスタ	OSTM0TE	00 _H	8	FFDD 8010 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM0	OSTM0 カウント開始トリガレジスタ	OSTM0TS	00 _H	8	FFDD 8014 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM0	OSTM0 カウント停止トリガレジスタ	OSTM0TT	00 _H	8	FFDD 8018 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM0	OSTM0 制御レジスタ	OSTM0CTL	00 _H	8	FFDD 8020 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM1	OSTM1 コンペアレジスタ	OSTM1CMP	0000 0000 _H	32	FFDD 9000 _H	1	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (42/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
OSTM1	OSTM1 カウンタレジスタ	OSTM1CNT	FFFF FFFF _H	32	FFDD 9004 _H	1	32	○	○	○	○	○	○	○	○	○	○
OSTM1	OSTM1 出力レジスタ	OSTM1TO	00 _H	8	FFDD 9008 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM1	OSTM1 出力カインープルレジスタ	OSTM1TOE	00 _H	8	FFDD 900C _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM1	OSTM1 カウントイネーブルスステータスレジスタ	OSTM1ITE	00 _H	8	FFDD 9010 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM1	OSTM1 カウント開始トリガレジスタ	OSTM1ITS	00 _H	8	FFDD 9014 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM1	OSTM1 カウント停止トリガレジスタ	OSTM1ITT	00 _H	8	FFDD 9018 _H	1	8	○	○	○	○	○	○	○	○	○	○
OSTM1	OSTM1 制御レジスタ	OSTM1CTL	00 _H	8	FFDD 9020 _H	1	8	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 0	FSGD1ADPROT0	07FF FFFF _H	32	FFDD D000 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 1	FSGD1ADPROT1	07FF FFFF _H	32	FFDD D004 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 2	FSGD1ADPROT2	07FF FFFF _H	32	FFDD D008 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 3	FSGD1ADPROT3	07FF FFFF _H	32	FFDD D00C _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 4	FSGD1ADPROT4	07FF FFFF _H	32	FFDD D010 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 5	FSGD1ADPROT5	07FF FFFF _H	32	FFDD D014 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 6	FSGD1ADPROT6	07FF FFFF _H	32	FFDD D018 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 7	FSGD1ADPROT7	07FF FFFF _H	32	FFDD D01C _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 8	FSGD1ADPROT8	07FF FFFF _H	32	FFDD D020 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 9	FSGD1ADPROT9	07FF FFFF _H	32	FFDD D024 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 10	FSGD1ADPROT10	07FF FFFF _H	32	FFDD D028 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 11	FSGD1ADPROT11	07FF FFFF _H	32	FFDD D02C _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 12	FSGD1ADPROT12	07FF FFFF _H	32	FFDD D030 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 13	FSGD1ADPROT13	07FF FFFF _H	32	FFDD D034 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A プロテクションレジスタ 14	FSGD1ADPROT14	07FF FFFF _H	32	FFDD D038 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A エラーコントロールレジスタ	ERRSLV1ACTL	0000 0000 _H	32	FFDD D040 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A エラーステータスレジスタ	ERRSLV1ASTAT	0000 0000 _H	32	FFDD D044 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A エラーアドレスレジスタ	ERRSLV1AADDR	0000 0000 _H	32	FFDD D048 _H	1	32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1A エラータイプレジスタ	ERRSLV1ATYPE	0000 0000 _H	32	FFDD D04C _H	1	16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 0	FSGD1BDPROT0	07FF FFFF _H	32	FFDD D080 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 1	FSGD1BDPROT1	07FF FFFF _H	32	FFDD D084 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 2	FSGD1BDPROT2	07FF FFFF _H	32	FFDD D088 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 3	FSGD1BDPROT3	07FF FFFF _H	32	FFDD D08C _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 4	FSGD1BDPROT4	07FF FFFF _H	32	FFDD D090 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 5	FSGD1BDPROT5	07FF FFFF _H	32	FFDD D094 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 6	FSGD1BDPROT6	07FF FFFF _H	32	FFDD D098 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 7	FSGD1BDPROT7	07FF FFFF _H	32	FFDD D09C _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 8	FSGD1BDPROT8	07FF FFFF _H	32	FFDD D0A0 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 9	FSGD1BDPROT9	07FF FFFF _H	32	FFDD D0A4 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 10	FSGD1BDPROT10	07FF FFFF _H	32	FFDD D0A8 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 11	FSGD1BDPROT11	07FF FFFF _H	32	FFDD D0AC _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 12	FSGD1BDPROT12	07FF FFFF _H	32	FFDD D0B0 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 13	FSGD1BDPROT13	07FF FFFF _H	32	FFDD D0B4 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B プロテクションレジスタ 14	FSGD1BDPROT14	07FF FFFF _H	32	FFDD D0B8 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B エラーコントロールレジスタ	ERRSLV1BCTL	0000 0000 _H	32	FFDD D0C0 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B エラーステータスレジスタ	ERRSLV1BSTAT	0000 0000 _H	32	FFDD D0C4 _H	1	8、16、32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B エラーアドレスレジスタ	ERRSLV1BADDR	0000 0000 _H	32	FFDD D0C8 _H	1	32	○	○	○	○	○	○	○	○	○	○
PBG	PBG1B エラータイプレジスタ	ERRSLV1BTYPE	0000 0000 _H	32	FFDD D0CC _H	1	16、32	○	○	○	○	○	○	○	○	○	○
SCI30	シリアルモードレジスタ	SCI30SMR	00 _H	8	FFDF 0000 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI30	ビットレートレジスタ	SCI30BRR	FF _H	8	FFDF 0004 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI30	モジュレーションデュリティレジスタ	SCI30MDDR	FF _H	8	FFDF 0004 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI30	シリアルコントロールレジスタ	SCI30SCR	00 _H	8	FFDF 0008 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI30	トランスミッターデータレジスタ	SCI30TDR	FF _H	8	FFDF 000C _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI30	シリアルステータスレジスタ	SCI30SSR	84 _H	8	FFDF 0010 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI30	レシーブデータレジスタ	SCI30RDR	00 _H	8	FFDF 0014 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI30	シリアル通信フォーマットレジスタ	SCI30SCMR	F2 _H	8	FFDF 0018 _H	1	8	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (43/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
SCI30	シリアル拡張モードレジスタ	SCI30SEMR	04 _H	8	FFDF 001C _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	シリアルモードレジスタ	SCI31SMR	00 _H	8	FFDF 1000 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	ビットレートレジスタ	SCI31BRR	FF _H	8	FFDF 1004 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	モジュレーションデュリティレジスタ	SCI31MDDR	FF _H	8	FFDF 1004 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	シリアルコントロールレジスタ	SCI31SCR	00 _H	8	FFDF 1008 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	トランスミットデータレジスタ	SCI31TDR	FF _H	8	FFDF 100C _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	シリアルステータスレジスタ	SCI31SSR	84 _H	8	FFDF 1010 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	レシーブデータレジスタ	SCI31RDR	00 _H	8	FFDF 1014 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	シリアル通信フォーマットレジスタ	SCI31SCMR	F2 _H	8	FFDF 1018 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI31	シリアル拡張モードレジスタ	SCI31SEMR	04 _H	8	FFDF 101C _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	シリアルモードレジスタ	SCI32SMR	00 _H	8	FFDF 2000 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	ビットレートレジスタ	SCI32BRR	FF _H	8	FFDF 2004 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	モジュレーションデュリティレジスタ	SCI32MDDR	FF _H	8	FFDF 2004 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	シリアルコントロールレジスタ	SCI32SCR	00 _H	8	FFDF 2008 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	トランスミットデータレジスタ	SCI32TDR	FF _H	8	FFDF 200C _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	シリアルステータスレジスタ	SCI32SSR	84 _H	8	FFDF 2010 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	レシーブデータレジスタ	SCI32RDR	00 _H	8	FFDF 2014 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	シリアル通信フォーマットレジスタ	SCI32SCMR	F2 _H	8	FFDF 2018 _H	1	8	○	○	○	○	○	○	○	○	○	○
SCI32	シリアル拡張モードレジスタ	SCI32SEMR	04 _H	8	FFDF 201C _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN ウェイクアップポーレート選択レジスタ	RLN30LWBR	00 _H	8	FFDF 8001 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART ポーレートプリスケアラ 01 レジスタ	RLN30LBRP01	0000 _H	16	FFDF 8002 _H	1	16	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART ポーレートプリスケアラ 0 レジスタ	RLN30LBRP0	00 _H	8	FFDF 8002 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART ポーレートプリスケアラ 1 レジスタ	RLN30LBRP1	00 _H	8	FFDF 8003 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN セルフテスト制御レジスタ	RLN30LSTC	00 _H	8	FFDF 8004 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART モードレジスタ	RLN30LMD	00 _H	8	FFDF 8008 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN ブレークフィールド設定レジスタ/ UART 設定レジスタ	RLN30LBFC	00 _H	8	FFDF 8009 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART スペース設定レジスタ	RLN30LSC	00 _H	8	FFDF 800A _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN ウェイクアップ設定レジスタ	RLN30LWUP	00 _H	8	FFDF 800B _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN 割り込み許可レジスタ	RLN30LIE	00 _H	8	FFDF 800C _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART エラー検出許可レジスタ	RLN30LEDE	00 _H	8	FFDF 800D _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART 制御レジスタ	RLN30LCUC	00 _H	8	FFDF 800E _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/ UART 送信制御レジスタ	RLN30LTRC	00 _H	8	FFDF 8010 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART モードステータスレジスタ	RLN30LMST	00 _H	8	FFDF 8011 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART ステータスレジスタ	RLN30LST	00 _H	8	FFDF 8012 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART エラーステータスレジスタ	RLN30LEST	00 _H	8	FFDF 8013 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データフィールド設定レジスタ	RLN30LDFC	00 _H	8	FFDF 8014 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART ID バッファレジスタ	RLN30LIDB	00 _H	8	FFDF 8015 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN チェックサムバッファレジスタ	RLN30LCBR	00 _H	8	FFDF 8016 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	UART データバッファ 0 レジスタ	RLN30LUDB0	00 _H	8	FFDF 8017 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データバッファ 1 レジスタ	RLN30LDBR1	00 _H	8	FFDF 8018 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データバッファ 2 レジスタ	RLN30LDBR2	00 _H	8	FFDF 8019 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データバッファ 3 レジスタ	RLN30LDBR3	00 _H	8	FFDF 801A _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データバッファ 4 レジスタ	RLN30LDBR4	00 _H	8	FFDF 801B _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データバッファ 5 レジスタ	RLN30LDBR5	00 _H	8	FFDF 801C _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データバッファ 6 レジスタ	RLN30LDBR6	00 _H	8	FFDF 801D _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データバッファ 7 レジスタ	RLN30LDBR7	00 _H	8	FFDF 801E _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	LIN/UART データバッファ 8 レジスタ	RLN30LDBR8	00 _H	8	FFDF 801F _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	UART オペレーション許可レジスタ	RLN30LUOER	00 _H	8	FFDF 8020 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	UART オプションレジスタ 1	RLN30LUOR1	00 _H	8	FFDF 8021 _H	1	8	○	○	○	○	○	○	○	○	○	○
RLN30	UART 送信データレジスタ	RLN30LUTDR	0000 _H	16	FFDF 8024 _H	1	8, 16	○	○	○	○	○	○	○	○	○	○
RLN30	UART 受信データレジスタ	RLN30LURDR	0000 _H	16	FFDF 8026 _H	1	8, 16	○	○	○	○	○	○	○	○	○	○
RLN30	UART ウェイト用送信データレジスタ	RLN30LUWTD	0000 _H	16	FFDF 8028 _H	1	8, 16	○	○	○	○	○	○	○	○	○	○
RLN31	LIN ウェイクアップポーレート選択レジスタ	RLN31LWBR	00 _H	8	FFDF 9001 _H	1	8	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (44/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
RLN31	LIN/UART ボーレートプリスケアラ 01 レジスタ	RLN31LBRP01	0000 _H	16	FFDF 9002 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART ボーレートプリスケアラ 0 レジスタ	RLN31LBRP0	00 _H	8	FFDF 9002 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART ボーレートプリスケアラ 1 レジスタ	RLN31LBRP1	00 _H	8	FFDF 9003 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN セルフテスト制御レジスタ	RLN31LSTC	00 _H	8	FFDF 9004 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART モードレジスタ	RLN31LMD	00 _H	8	FFDF 9008 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN ブレークフィールド設定レジスタ/ UART 設定レジスタ	RLN31LBFC	00 _H	8	FFDF 9009 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART スペース設定レジスタ	RLN31LSC	00 _H	8	FFDF 900A _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN ウェイクアップ設定レジスタ	RLN31LWUP	00 _H	8	FFDF 900B _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN 割り込み許可レジスタ	RLN31LIE	00 _H	8	FFDF 900C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART エラー検出許可レジスタ	RLN31LEDE	00 _H	8	FFDF 900D _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART 制御レジスタ	RLN31LCUC	00 _H	8	FFDF 900E _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/ UART 送信制御レジスタ	RLN31LTRC	00 _H	8	FFDF 9010 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART モードステータスレジスタ	RLN31LMST	00 _H	8	FFDF 9011 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART ステータスレジスタ	RLN31LST	00 _H	8	FFDF 9012 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART エラーステータスレジスタ	RLN31LEST	00 _H	8	FFDF 9013 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データフィールド設定レジスタ	RLN31LDFC	00 _H	8	FFDF 9014 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART ID バッファレジスタ	RLN31LIDB	00 _H	8	FFDF 9015 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN チェックサムバッファレジスタ	RLN31LCBR	00 _H	8	FFDF 9016 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	UART データバッファ 0 レジスタ	RLN31LUDB0	00 _H	8	FFDF 9017 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データバッファ 1 レジスタ	RLN31LDBR1	00 _H	8	FFDF 9018 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データバッファ 2 レジスタ	RLN31LDBR2	00 _H	8	FFDF 9019 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データバッファ 3 レジスタ	RLN31LDBR3	00 _H	8	FFDF 901A _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データバッファ 4 レジスタ	RLN31LDBR4	00 _H	8	FFDF 901B _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データバッファ 5 レジスタ	RLN31LDBR5	00 _H	8	FFDF 901C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データバッファ 6 レジスタ	RLN31LDBR6	00 _H	8	FFDF 901D _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データバッファ 7 レジスタ	RLN31LDBR7	00 _H	8	FFDF 901E _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	LIN/UART データバッファ 8 レジスタ	RLN31LDBR8	00 _H	8	FFDF 901F _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	UART オペレーション許可レジスタ	RLN31LUOER	00 _H	8	FFDF 9020 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	UART オプションレジスタ 1	RLN31LUOR1	00 _H	8	FFDF 9021 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
RLN31	UART 送信データレジスタ	RLN31LUTDR	0000 _H	16	FFDF 9024 _H	1	8, 16	○	○	○	○	○	○	○	○	○	○	○
RLN31	UART 受信データレジスタ	RLN31LURDR	0000 _H	16	FFDF 9026 _H	1	8, 16	○	○	○	○	○	○	○	○	○	○	○
RLN31	UART ウェイト用送信データレジスタ	RLN31LUWTR	0000 _H	16	FFDF 9028 _H	1	8, 16	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 チャンネル制御レジスタ	PSI50CHCTRL	0000 0000 _H	32	FFE0 0000 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 IP タイマ制御レジスタ	PSI50IPTIMERCTRL	0001 0000 _H	32	FFE0 0010 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 IP タイマカウンタ	PSI50IPTIMER	0000 0000 _H	32	FFE0 0014 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 動作モード/通信モードレジスタ	PSI50OPMCOMM	0000 0000 _H	32	FFE0 0020 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 動作モードビットレートレジスタ	PSI50OPMBITRATE	0000 029F _H	32	FFE0 0024 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 動作モードサイクルタイムレジスタ	PSI50OPMCYCT	0000 9C3F _H	32	FFE0 0028 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 割り込みステータスレジスタ	PSI50PSI5INT	0000 0000 _H	32	FFE0 0030 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信データエミュレーションレジスタ	PSI50EMRXDATA	0000 0000 _H	32	FFE0 0040 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信データステータスエミュレーションレジスタ	PSI50EMRXDST	0000 0000 _H	32	FFE0 0044 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信データ IP タイマエミュレーションレジスタ	PSI50EMRXDTIM	0000 0000 _H	32	FFE0 0048 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信データ FIFO エミュレーションレジスタ	PSI50EMRXDFIFO	0000 0000 _H	32	FFE0 004C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージ受信メッセージエミュレーションレジスタ	PSI50EMRXMRXMSG	0000 0000 _H	32	FFE0 0050 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャンネル受信ステータスエミュレーションレジスタ	PSI50EMRXMRXST	0000 0000 _H	32	FFE0 0054 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャンネル受信タイムスタンプエミュレーションレジスタ	PSI50EMRXMRXTIM	0000 0000 _H	32	FFE0 0058 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャンネル FIFO エミュレーションレジスタ	PSI50EMRXMFIFO	0000 0000 _H	32	FFE0 005C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 送信設定レジスタ	PSI50TXSETTING	1067 47F7 _H	32	FFE0 0080 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 同期制御レジスタ	PSI50SYNCCTRL	0000 0000 _H	32	FFE0 0084 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 送信ステータスレジスタ	PSI50TXST	0000 0001 _H	32	FFE0 0088 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 送信ステータスクリアレジスタ	PSI50TXSTCLR	0000 0000 _H	32	FFE0 008C _H	1	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (45/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
PSI50	PSI5 送信ステータス割り込み許可レジスタ	PSI50TXSTINTEN	0000 0000 _H	32	FFE0 0090 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 送信データ制御レジスタ	PSI50TXDCTRL	0000 0001 _H	32	FFE0 0094 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 送信データレジスタ	PSI50TXDATA	0000 0000 _H	32	FFE0 0098 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信サンプリング設定レジスタ	PSI50RXSPLSET	0000 0027 _H	32	FFE0 0100 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信スロット 1 設定レジスタ	PSI50RXS1SET	00A0 0000 _H	32	FFE0 0108 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信スロット 2 設定レジスタ	PSI50RXS2SET	00A0 0000 _H	32	FFE0 010C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信スロット 3 設定レジスタ	PSI50RXS3SET	00A0 0000 _H	32	FFE0 0110 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信スロット 4 設定レジスタ	PSI50RXS4SET	00A0 0000 _H	32	FFE0 0114 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信スロット 5 設定レジスタ	PSI50RXS5SET	00A0 0000 _H	32	FFE0 0118 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信スロット 6 設定レジスタ	PSI50RXS6SET	00A0 0000 _H	32	FFE0 011C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信スロット 7 設定レジスタ	PSI50RXS7SET	00A0 0000 _H	32	FFE0 0120 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信スロット 8 設定レジスタ	PSI50RXS8SET	00A0 0000 _H	32	FFE0 0124 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信データレジスタ	PSI50RXDATA	0000 0000 _H	32	FFE0 0128 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信データステータスレジスタ	PSI50RXDST	0000 0000 _H	32	FFE0 012C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信データ IP タイマレジスタ	PSI50RXDTIM	0000 0000 _H	32	FFE0 0130 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信データ FIFO レジスタ	PSI50RXDFIFO	0000 0000 _H	32	FFE0 0134 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信モジュールステータスレジスタ	PSI50RXMODST	0000 0000 _H	32	FFE0 0138 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信モジュールステータスクリアレジスタ	PSI50RXMODSTCLR	0000 0000 _H	32	FFE0 013C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信モジュールステータス割り込み許可レジスタ	PSI50RXMODSTINTEN	0000 0000 _H	32	FFE0 0140 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャネル設定レジスタ	PSI50RXMSET	0000 0000 _H	32	FFE0 0180 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージ受信メッセージレジスタ	PSI50RXMRXMSG	0000 0000 _H	32	FFE0 0184 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャネル受信ステータスレジスタ	PSI50RXMRXST	0000 0000 _H	32	FFE0 0188 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャネル受信タイムスタンプレジスタ	PSI50RXMRXTIM	0000 0000 _H	32	FFE0 018C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャネル FIFO レジスタ	PSI50RXMFIFO	0000 0000 _H	32	FFE0 0190 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャネルモジュールステータスレジスタ	PSI50RXMMST	0000 0000 _H	32	FFE0 0194 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャネルモジュールステータスクリアレジスタ	PSI50RXMMSTCLR	0000 0000 _H	32	FFE0 0198 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI50	PSI5 受信メッセージチャネルモジュールステータス割り込み許可レジスタ	PSI50RXMMSTINTEN	0000 0000 _H	32	FFE0 019C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 チャネル制御レジスタ	PSI51CHCTRL	0000 0000 _H	32	FFE0 1000 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 IP タイマ制御レジスタ	PSI51IPTIMERCTRL	0001 0000 _H	32	FFE0 1010 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 IP タイマカウンタ	PSI51IPTIMER	0000 0000 _H	32	FFE0 1014 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 動作モード/通信モードレジスタ	PSI51OPMCOMM	0000 0000 _H	32	FFE0 1020 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 動作モードビットレートレジスタ	PSI51OPMBITRATE	0000 029F _H	32	FFE0 1024 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 動作モードサイクルタイムレジスタ	PSI51OPMCYCT	0000 9C3F _H	32	FFE0 1028 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 割り込みステータスレジスタ	PSI51PSI5INT	0000 0000 _H	32	FFE0 1030 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信データエミュレーションレジスタ	PSI51EMRXDATA	0000 0000 _H	32	FFE0 1040 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信データステータスエミュレーションレジスタ	PSI51EMRXDST	0000 0000 _H	32	FFE0 1044 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信データ IP タイマエミュレーションレジスタ	PSI51EMRXDTIM	0000 0000 _H	32	FFE0 1048 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信データ FIFO エミュレーションレジスタ	PSI51EMRXDFIFO	0000 0000 _H	32	FFE0 104C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信メッセージ受信メッセージエミュレーションレジスタ	PSI51EMRXMRXMSG	0000 0000 _H	32	FFE0 1050 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信メッセージチャネル受信ステータスエミュレーションレジスタ	PSI51EMRXMRXST	0000 0000 _H	32	FFE0 1054 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信メッセージチャネル受信タイムスタンプエミュレーションレジスタ	PSI51EMRXMRXTIM	0000 0000 _H	32	FFE0 1058 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信メッセージチャネル FIFO エミュレーションレジスタ	PSI51EMRXMFIFO	0000 0000 _H	32	FFE0 105C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 送信設定レジスタ	PSI51TXSETTING	1067 47F7 _H	32	FFE0 1080 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 同期制御レジスタ	PSI51SYNCCTRL	0000 0000 _H	32	FFE0 1084 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 送信ステータスレジスタ	PSI51TXST	0000 0001 _H	32	FFE0 1088 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 送信ステータスクリアレジスタ	PSI51TXSTCLR	0000 0000 _H	32	FFE0 108C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 送信ステータス割り込み許可レジスタ	PSI51TXSTINTEN	0000 0000 _H	32	FFE0 1090 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 送信データ制御レジスタ	PSI51TXDCTRL	0000 0001 _H	32	FFE0 1094 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 送信データレジスタ	PSI51TXDATA	0000 0000 _H	32	FFE0 1098 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
PSI51	PSI51 受信サンプリング設定レジスタ	PSI51RXSPLSET	0000 0027 _H	32	FFE0 1100 _H	1	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (46/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRS	CVMRES	EXTRES	DBRES	ECMRES	BISTRRES	SWRES	SV	UM	
PSI51	PSI5 受信スロット 1 設定レジスタ	PSI51RXS1SET	00A0 0000 _H	32	FFE0 1108 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信スロット 2 設定レジスタ	PSI51RXS2SET	00A0 0000 _H	32	FFE0 110C _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信スロット 3 設定レジスタ	PSI51RXS3SET	00A0 0000 _H	32	FFE0 1110 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信スロット 4 設定レジスタ	PSI51RXS4SET	00A0 0000 _H	32	FFE0 1114 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信スロット 5 設定レジスタ	PSI51RXS5SET	00A0 0000 _H	32	FFE0 1118 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信スロット 6 設定レジスタ	PSI51RXS6SET	00A0 0000 _H	32	FFE0 111C _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信スロット 7 設定レジスタ	PSI51RXS7SET	00A0 0000 _H	32	FFE0 1120 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信スロット 8 設定レジスタ	PSI51RXS8SET	00A0 0000 _H	32	FFE0 1124 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信データレジスタ	PSI51RXDATA	0000 0000 _H	32	FFE0 1128 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信データステータスレジスタ	PSI51RXDST	0000 0000 _H	32	FFE0 112C _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信データ IP タイマレジスタ	PSI51RXDTIM	0000 0000 _H	32	FFE0 1130 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信データ FIFO レジスタ	PSI51RXDFIFO	0000 0000 _H	32	FFE0 1134 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信モジュールステータスレジスタ	PSI51RXMODST	0000 0000 _H	32	FFE0 1138 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信モジュールステータスクリアレジスタ	PSI51RXMODSTCLR	0000 0000 _H	32	FFE0 113C _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信モジュールステータス割り込み許可レジスタ	PSI51RXMODSTINTEN	0000 0000 _H	32	FFE0 1140 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信メッセージチャネル設定レジスタ	PSI51RXMSET	0000 0000 _H	32	FFE0 1180 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信メッセージ受信メッセージレジスタ	PSI51RXMRMSG	0000 0000 _H	32	FFE0 1184 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信メッセージチャネル受信ステータスレジスタ	PSI51RXMRXST	0000 0000 _H	32	FFE0 1188 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信メッセージチャネル受信タイムスタンプレジスタ	PSI51RXMRXTIM	0000 0000 _H	32	FFE0 118C _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信メッセージチャネル FIFO レジスタ	PSI51RXMFIFO	0000 0000 _H	32	FFE0 1190 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信メッセージチャネルモジュールステータスレジスタ	PSI51RXMMST	0000 0000 _H	32	FFE0 1194 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信メッセージチャネルモジュールステータスクリアレジスタ	PSI51RXMMSTCLR	0000 0000 _H	32	FFE0 1198 _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI51	PSI5 受信メッセージチャネルモジュールステータス割り込み許可レジスタ	PSI51RXMMSTINTEN	0000 0000 _H	32	FFE0 119C _H	1	32	○	○	○	○	○	○	○	○	○	○
PSI5	PSI5 タイムスタンプ機能モード選択レジスタ	PSI5TSSEL	0000 0000 _H	32	FFE0 3000 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT タイムスタンプレジスタ	RSENT0TSPC	0000 0000 _H	32	FFE0 5000 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT タイムスタンプカウンタ	RSENT0TSC	0000 0000 _H	32	FFE0 5004 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT 通信設定レジスタ	RSENT0CC	0000 0000 _H	32	FFE0 5010 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT ポーレートプリスケアラレジスタ	RSENT0BRP	0000 0000 _H	32	FFE0 5014 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT 割り込み/DMA イネーブルレジスタ	RSENT0IDE	0000 0000 _H	32	FFE0 5018 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT モード制御レジスタ	RSENT0MDC	0000 0000 _H	32	FFE0 501C _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT SPC 送信レジスタ	RSENT0SPCT	0000 0000 _H	32	FFE0 5020 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT モードステータスレジスタ	RSENT0MST	0000 0000 _H	32	FFE0 5024 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT 通信ステータスレジスタ	RSENT0CS	0000 0000 _H	32	FFE0 5028 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT 通信ステータスクリアレジスタ	RSENT0CSC	0000 0000 _H	32	FFE0 502C _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT0SRTS	0000 0000 _H	32	FFE0 5030 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT 低速チャネル受信データレジスタ	RSENT0SRXD	0000 0000 _H	32	FFE0 5034 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT キャリブレーションパルス長レジスタ	RSENT0CPL	0000 0000 _H	32	FFE0 5038 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT メッセージ長レジスタ	RSENT0ML	0000 0000 _H	32	FFE0 503C _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT0FRTS	0000 0000 _H	32	FFE0 5040 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT0	RSENT 高速チャネル受信データレジスタ	RSENT0FRXD	0000 0000 _H	32	FFE0 5044 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT タイムスタンプレジスタ	RSENT1TSPC	0000 0000 _H	32	FFE0 6000 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT タイムスタンプカウンタ	RSENT1TSC	0000 0000 _H	32	FFE0 6004 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT 通信設定レジスタ	RSENT1CC	0000 0000 _H	32	FFE0 6010 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT ポーレートプリスケアラレジスタ	RSENT1BRP	0000 0000 _H	32	FFE0 6014 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT 割り込み/DMA イネーブルレジスタ	RSENT1IDE	0000 0000 _H	32	FFE0 6018 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT モード制御レジスタ	RSENT1MDC	0000 0000 _H	32	FFE0 601C _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT SPC 送信レジスタ	RSENT1SPCT	0000 0000 _H	32	FFE0 6020 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT モードステータスレジスタ	RSENT1MST	0000 0000 _H	32	FFE0 6024 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT 通信ステータスレジスタ	RSENT1CS	0000 0000 _H	32	FFE0 6028 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT 通信ステータスクリアレジスタ	RSENT1CSC	0000 0000 _H	32	FFE0 602C _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT1SRTS	0000 0000 _H	32	FFE0 6030 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT 低速チャネル受信データレジスタ	RSENT1SRXD	0000 0000 _H	32	FFE0 6034 _H	1	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (47/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRRES	SWRES	SV	UM		
RSENT1	RSENT キャリブレーションパルス長レジスタ	RSENT1CPL	0000 0000 _H	32	FFE0 6038 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT メッセージ長レジスタ	RSENT1ML	0000 0000 _H	32	FFE0 603C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT1FRTS	0000 0000 _H	32	FFE0 6040 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT1	RSENT 高速チャネル受信データレジスタ	RSENT1FRXD	0000 0000 _H	32	FFE0 6044 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT タイムスタンプレジスタ	RSENT2TSPC	0000 0000 _H	32	FFE0 7000 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT タイムスタンプカウンタ	RSENT2TSC	0000 0000 _H	32	FFE0 7004 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT 通信設定レジスタ	RSENT2CC	0000 0000 _H	32	FFE0 7010 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT ポーレートプリスケアラレジスタ	RSENT2BRP	0000 0000 _H	32	FFE0 7014 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT 割り込み/DMA イネーブルレジスタ	RSENT2IDE	0000 0000 _H	32	FFE0 7018 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT モード制御レジスタ	RSENT2MDC	0000 0000 _H	32	FFE0 701C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT SPC 送信レジスタ	RSENT2SPCT	0000 0000 _H	32	FFE0 7020 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT モードステータスレジスタ	RSENT2MST	0000 0000 _H	32	FFE0 7024 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT 通信ステータスレジスタ	RSENT2CS	0000 0000 _H	32	FFE0 7028 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT 通信ステータスクリアレジスタ	RSENT2CSC	0000 0000 _H	32	FFE0 702C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT2SRSTS	0000 0000 _H	32	FFE0 7030 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT 低速チャネル受信データレジスタ	RSENT2SRXD	0000 0000 _H	32	FFE0 7034 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT キャリブレーションパルス長レジスタ	RSENT2CPL	0000 0000 _H	32	FFE0 7038 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT メッセージ長レジスタ	RSENT2ML	0000 0000 _H	32	FFE0 703C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT2FRSTS	0000 0000 _H	32	FFE0 7040 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT2	RSENT 高速チャネル受信データレジスタ	RSENT2FRXD	0000 0000 _H	32	FFE0 7044 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT タイムスタンプレジスタ	RSENT3TSPC	0000 0000 _H	32	FFE0 8000 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT タイムスタンプカウンタ	RSENT3TSC	0000 0000 _H	32	FFE0 8004 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT 通信設定レジスタ	RSENT3CC	0000 0000 _H	32	FFE0 8010 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT ポーレートプリスケアラレジスタ	RSENT3BRP	0000 0000 _H	32	FFE0 8014 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT 割り込み/DMA イネーブルレジスタ	RSENT3IDE	0000 0000 _H	32	FFE0 8018 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT モード制御レジスタ	RSENT3MDC	0000 0000 _H	32	FFE0 801C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT SPC 送信レジスタ	RSENT3SPCT	0000 0000 _H	32	FFE0 8020 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT モードステータスレジスタ	RSENT3MST	0000 0000 _H	32	FFE0 8024 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT 通信ステータスレジスタ	RSENT3CS	0000 0000 _H	32	FFE0 8028 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT 通信ステータスクリアレジスタ	RSENT3CSC	0000 0000 _H	32	FFE0 802C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT3SRSTS	0000 0000 _H	32	FFE0 8030 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT 低速チャネル受信データレジスタ	RSENT3SRXD	0000 0000 _H	32	FFE0 8034 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT キャリブレーションパルス長レジスタ	RSENT3CPL	0000 0000 _H	32	FFE0 8038 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT メッセージ長レジスタ	RSENT3ML	0000 0000 _H	32	FFE0 803C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT3FRSTS	0000 0000 _H	32	FFE0 8040 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT3	RSENT 高速チャネル受信データレジスタ	RSENT3FRXD	0000 0000 _H	32	FFE0 8044 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT タイムスタンプレジスタ	RSENT4TSPC	0000 0000 _H	32	FFE0 9000 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT タイムスタンプカウンタ	RSENT4TSC	0000 0000 _H	32	FFE0 9004 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT 通信設定レジスタ	RSENT4CC	0000 0000 _H	32	FFE0 9010 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT ポーレートプリスケアラレジスタ	RSENT4BRP	0000 0000 _H	32	FFE0 9014 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT 割り込み/DMA イネーブルレジスタ	RSENT4IDE	0000 0000 _H	32	FFE0 9018 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT モード制御レジスタ	RSENT4MDC	0000 0000 _H	32	FFE0 901C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT SPC 送信レジスタ	RSENT4SPCT	0000 0000 _H	32	FFE0 9020 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT モードステータスレジスタ	RSENT4MST	0000 0000 _H	32	FFE0 9024 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT 通信ステータスレジスタ	RSENT4CS	0000 0000 _H	32	FFE0 9028 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT 通信ステータスクリアレジスタ	RSENT4CSC	0000 0000 _H	32	FFE0 902C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT4SRSTS	0000 0000 _H	32	FFE0 9030 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT 低速チャネル受信データレジスタ	RSENT4SRXD	0000 0000 _H	32	FFE0 9034 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT キャリブレーションパルス長レジスタ	RSENT4CPL	0000 0000 _H	32	FFE0 9038 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT メッセージ長レジスタ	RSENT4ML	0000 0000 _H	32	FFE0 903C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT4FRSTS	0000 0000 _H	32	FFE0 9040 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT4	RSENT 高速チャネル受信データレジスタ	RSENT4FRXD	0000 0000 _H	32	FFE0 9044 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT タイムスタンプレジスタ	RSENT5TSPC	0000 0000 _H	32	FFE0 A000 _H	1	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (48/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
RSENT5	RSENT タイムスタンプカウンタ	RSENT5TSC	0000 0000 _H	32	FFE0 A004 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT 通信設定レジスタ	RSENT5SCC	0000 0000 _H	32	FFE0 A010 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT ポーレートプリスケアラレジスタ	RSENT5BRP	0000 0000 _H	32	FFE0 A014 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT 割り込み/DMA イネーブルレジスタ	RSENT5SIDE	0000 0000 _H	32	FFE0 A018 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT モード制御レジスタ	RSENT5MDC	0000 0000 _H	32	FFE0 A01C _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT SPC 送信レジスタ	RSENT5SPCT	0000 0000 _H	32	FFE0 A020 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT モードステータスレジスタ	RSENT5MST	0000 0000 _H	32	FFE0 A024 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT 通信ステータスレジスタ	RSENT5SCS	0000 0000 _H	32	FFE0 A028 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT 通信ステータスクリアレジスタ	RSENT5CSC	0000 0000 _H	32	FFE0 A02C _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT5SRSTS	0000 0000 _H	32	FFE0 A030 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT 低速チャネル受信データレジスタ	RSENT5SRXD	0000 0000 _H	32	FFE0 A034 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT キャリブレーションパルス長レジスタ	RSENT5CPL	0000 0000 _H	32	FFE0 A038 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT メッセージ長レジスタ	RSENT5ML	0000 0000 _H	32	FFE0 A03C _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT5FRSTS	0000 0000 _H	32	FFE0 A040 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT5	RSENT 高速チャネル受信データレジスタ	RSENT5FRXD	0000 0000 _H	32	FFE0 A044 _H	1	32	○	○	○	○	○	○	○	○	○	○
RSENT	RSENT タイムスタンプモード選択レジスタ	RSENT5SSEL	0000 0000 _H	32	FFE0 F000 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 0	TAUD0CDR0	0000 _H	16	FFE2 0000 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 1	TAUD0CDR1	0000 _H	16	FFE2 0004 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 2	TAUD0CDR2	0000 _H	16	FFE2 0008 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 3	TAUD0CDR3	0000 _H	16	FFE2 000C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 4	TAUD0CDR4	0000 _H	16	FFE2 0010 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 5	TAUD0CDR5	0000 _H	16	FFE2 0014 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 6	TAUD0CDR6	0000 _H	16	FFE2 0018 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 7	TAUD0CDR7	0000 _H	16	FFE2 001C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 8	TAUD0CDR8	0000 _H	16	FFE2 0020 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 9	TAUD0CDR9	0000 _H	16	FFE2 0024 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 10	TAUD0CDR10	0000 _H	16	FFE2 0028 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 11	TAUD0CDR11	0000 _H	16	FFE2 002C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 12	TAUD0CDR12	0000 _H	16	FFE2 0030 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 13	TAUD0CDR13	0000 _H	16	FFE2 0034 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 14	TAUD0CDR14	0000 _H	16	FFE2 0038 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデータレジスタ 15	TAUD0CDR15	0000 _H	16	FFE2 003C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネル出力アクティブレベルレジスタ	TAUD0TOL	0000 _H	16	FFE2 0040 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリロードデータトリガレジスタ	TAUD0RDT	0000 _H	16	FFE2 0044 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリロードステータスレジスタ	TAUD0RSF	0000 _H	16	FFE2 0048 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリアルタイム出力レジスタ	TAUD0TRO	0000 _H	16	FFE2 004C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネル変調出力許可レジスタ	TAUD0TME	0000 _H	16	FFE2 0050 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデッドタイム出力レベルレジスタ	TAUD0TDL	0000 _H	16	FFE2 0054 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネル出力レジスタ	TAUD0TO	0000 _H	16	FFE2 0058 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネル出力許可レジスタ	TAUD0TOE	0000 _H	16	FFE2 005C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 0	TAUD0CNT0	FFFF _H	16	FFE2 0080 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 1	TAUD0CNT1	FFFF _H	16	FFE2 0084 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 2	TAUD0CNT2	FFFF _H	16	FFE2 0088 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 3	TAUD0CNT3	FFFF _H	16	FFE2 008C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 4	TAUD0CNT4	FFFF _H	16	FFE2 0090 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 5	TAUD0CNT5	FFFF _H	16	FFE2 0094 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 6	TAUD0CNT6	FFFF _H	16	FFE2 0098 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 7	TAUD0CNT7	FFFF _H	16	FFE2 009C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 8	TAUD0CNT8	FFFF _H	16	FFE2 00A0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 9	TAUD0CNT9	FFFF _H	16	FFE2 00A4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 10	TAUD0CNT10	FFFF _H	16	FFE2 00A8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 11	TAUD0CNT11	FFFF _H	16	FFE2 00AC _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 12	TAUD0CNT12	FFFF _H	16	FFE2 00B0 _H	1	16	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (49/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
TAUD0	TAUD0 チャネルカウンタレジスタ 13	TAUD0CNT13	FFFF _H	16	FFE2 00B4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 14	TAUD0CNT14	FFFF _H	16	FFE2 00B8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルカウンタレジスタ 15	TAUD0CNT15	FFFF _H	16	FFE2 00BC _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 0	TAUD0CMUR0	00 _H	8	FFE2 00C0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 1	TAUD0CMUR1	00 _H	8	FFE2 00C4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 2	TAUD0CMUR2	00 _H	8	FFE2 00C8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 3	TAUD0CMUR3	00 _H	8	FFE2 00CC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 4	TAUD0CMUR4	00 _H	8	FFE2 00D0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 5	TAUD0CMUR5	00 _H	8	FFE2 00D4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 6	TAUD0CMUR6	00 _H	8	FFE2 00D8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 7	TAUD0CMUR7	00 _H	8	FFE2 00DC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 8	TAUD0CMUR8	00 _H	8	FFE2 00E0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 9	TAUD0CMUR9	00 _H	8	FFE2 00E4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 10	TAUD0CMUR10	00 _H	8	FFE2 00E8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 11	TAUD0CMUR11	00 _H	8	FFE2 00EC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 12	TAUD0CMUR12	00 _H	8	FFE2 00F0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 13	TAUD0CMUR13	00 _H	8	FFE2 00F4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 14	TAUD0CMUR14	00 _H	8	FFE2 00F8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモジュールレジスタ 15	TAUD0CMUR15	00 _H	8	FFE2 00FC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 0	TAUD0CSR0	00 _H	8	FFE2 0140 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 1	TAUD0CSR1	00 _H	8	FFE2 0144 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 2	TAUD0CSR2	00 _H	8	FFE2 0148 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 3	TAUD0CSR3	00 _H	8	FFE2 014C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 4	TAUD0CSR4	00 _H	8	FFE2 0150 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 5	TAUD0CSR5	00 _H	8	FFE2 0154 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 6	TAUD0CSR6	00 _H	8	FFE2 0158 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 7	TAUD0CSR7	00 _H	8	FFE2 015C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 8	TAUD0CSR8	00 _H	8	FFE2 0160 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 9	TAUD0CSR9	00 _H	8	FFE2 0164 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 10	TAUD0CSR10	00 _H	8	FFE2 0168 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 11	TAUD0CSR11	00 _H	8	FFE2 016C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 12	TAUD0CSR12	00 _H	8	FFE2 0170 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 13	TAUD0CSR13	00 _H	8	FFE2 0174 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 14	TAUD0CSR14	00 _H	8	FFE2 0178 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスレジスタ 15	TAUD0CSR15	00 _H	8	FFE2 017C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 0	TAUD0CSC0	00 _H	8	FFE2 0180 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 1	TAUD0CSC1	00 _H	8	FFE2 0184 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 2	TAUD0CSC2	00 _H	8	FFE2 0188 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 3	TAUD0CSC3	00 _H	8	FFE2 018C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 4	TAUD0CSC4	00 _H	8	FFE2 0190 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 5	TAUD0CSC5	00 _H	8	FFE2 0194 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 6	TAUD0CSC6	00 _H	8	FFE2 0198 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 7	TAUD0CSC7	00 _H	8	FFE2 019C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 8	TAUD0CSC8	00 _H	8	FFE2 01A0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 9	TAUD0CSC9	00 _H	8	FFE2 01A4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 10	TAUD0CSC10	00 _H	8	FFE2 01A8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 11	TAUD0CSC11	00 _H	8	FFE2 01AC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 12	TAUD0CSC12	00 _H	8	FFE2 01B0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 13	TAUD0CSC13	00 _H	8	FFE2 01B4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 14	TAUD0CSC14	00 _H	8	FFE2 01B8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルステータスクリアトリガレジスタ 15	TAUD0CSC15	00 _H	8	FFE2 01BC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネル許可ステータスレジスタ	TAUD0TE	0000 _H	16	FFE2 01C0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルスタートトリガレジスタ	TAUD0TS	0000 _H	16	FFE2 01C4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (50/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
TAUD0	TAUD0 チャネルストップトリガレジスタ	TAUD0TT	0000 _H	16	FFE2 01C9 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 0	TAUD0CMOR0	0000 _H	16	FFE2 0200 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 1	TAUD0CMOR1	0000 _H	16	FFE2 0204 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 2	TAUD0CMOR2	0000 _H	16	FFE2 0208 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 3	TAUD0CMOR3	0000 _H	16	FFE2 020C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 4	TAUD0CMOR4	0000 _H	16	FFE2 0210 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 5	TAUD0CMOR5	0000 _H	16	FFE2 0214 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 6	TAUD0CMOR6	0000 _H	16	FFE2 0218 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 7	TAUD0CMOR7	0000 _H	16	FFE2 021C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 8	TAUD0CMOR8	0000 _H	16	FFE2 0220 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 9	TAUD0CMOR9	0000 _H	16	FFE2 0224 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 10	TAUD0CMOR10	0000 _H	16	FFE2 0228 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 11	TAUD0CMOR11	0000 _H	16	FFE2 022C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 12	TAUD0CMOR12	0000 _H	16	FFE2 0230 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 13	TAUD0CMOR13	0000 _H	16	FFE2 0234 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 14	TAUD0CMOR14	0000 _H	16	FFE2 0238 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルモード OS レジスタ 15	TAUD0CMOR15	0000 _H	16	FFE2 023C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 プリスケラクロック選択レジスタ	TAUD0TPS	FFFF _H	16	FFE2 0240 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 プリスケラポーレート設定レジスタ	TAUD0BRS	00 _H	8	FFE2 0244 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネル出力モードレジスタ	TAUD0TOM	0000 _H	16	FFE2 0248 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネル出力コンフィグレーションレジスタ	TAUD0TOC	0000 _H	16	FFE2 024C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデッドタイム出力許可レジスタ	TAUD0TDE	0000 _H	16	FFE2 0250 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルデッドタイム出力モードレジスタ	TAUD0TDM	0000 _H	16	FFE2 0254 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリアルタイム出力許可レジスタ	TAUD0TRE	0000 _H	16	FFE2 0258 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリアルタイム出力制御レジスタ	TAUD0TRC	0000 _H	16	FFE2 025C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリロードデータ許可レジスタ	TAUD0RDE	0000 _H	16	FFE2 0260 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリロードデータモードレジスタ	TAUD0RDM	0000 _H	16	FFE2 0264 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリロードデータ制御 CH 選択レジスタ	TAUD0RDS	0000 _H	16	FFE2 0268 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD0	TAUD0 チャネルリロードデータ制御レジスタ	TAUD0RDC	0000 _H	16	FFE2 026C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 0	TAUD1CDR0	0000 _H	16	FFE2 1000 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 1	TAUD1CDR1	0000 _H	16	FFE2 1004 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 2	TAUD1CDR2	0000 _H	16	FFE2 1008 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 3	TAUD1CDR3	0000 _H	16	FFE2 100C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 4	TAUD1CDR4	0000 _H	16	FFE2 1010 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 5	TAUD1CDR5	0000 _H	16	FFE2 1014 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 6	TAUD1CDR6	0000 _H	16	FFE2 1018 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 7	TAUD1CDR7	0000 _H	16	FFE2 101C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 8	TAUD1CDR8	0000 _H	16	FFE2 1020 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 9	TAUD1CDR9	0000 _H	16	FFE2 1024 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 10	TAUD1CDR10	0000 _H	16	FFE2 1028 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 11	TAUD1CDR11	0000 _H	16	FFE2 102C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 12	TAUD1CDR12	0000 _H	16	FFE2 1030 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 13	TAUD1CDR13	0000 _H	16	FFE2 1034 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 14	TAUD1CDR14	0000 _H	16	FFE2 1038 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデータレジスタ 15	TAUD1CDR15	0000 _H	16	FFE2 103C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネル出力アクティブレベルレジスタ	TAUD1TOL	0000 _H	16	FFE2 1040 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリロードデータトリガレジスタ	TAUD1RDT	0000 _H	16	FFE2 1044 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリロードステータスレジスタ	TAUD1RSF	0000 _H	16	FFE2 1048 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリアルタイム出力レジスタ	TAUD1TRO	0000 _H	16	FFE2 104C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネル変調出力許可レジスタ	TAUD1TME	0000 _H	16	FFE2 1050 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデッドタイム出力レベルレジスタ	TAUD1TDL	0000 _H	16	FFE2 1054 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネル出力レジスタ	TAUD1TO	0000 _H	16	FFE2 1058 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネル出力許可レジスタ	TAUD1TOE	0000 _H	16	FFE2 105C _H	1	16	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (51/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
TAUD1	TAUD1 チャネルカウンタレジスタ 0	TAUD1CNT0	FFFF _H	16	FPE2 1080 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 1	TAUD1CNT1	FFFF _H	16	FPE2 1084 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 2	TAUD1CNT2	FFFF _H	16	FPE2 1088 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 3	TAUD1CNT3	FFFF _H	16	FPE2 108C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 4	TAUD1CNT4	FFFF _H	16	FPE2 1090 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 5	TAUD1CNT5	FFFF _H	16	FPE2 1094 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 6	TAUD1CNT6	FFFF _H	16	FPE2 1098 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 7	TAUD1CNT7	FFFF _H	16	FPE2 109C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 8	TAUD1CNT8	FFFF _H	16	FPE2 10A0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 9	TAUD1CNT9	FFFF _H	16	FPE2 10A4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 10	TAUD1CNT10	FFFF _H	16	FPE2 10A8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 11	TAUD1CNT11	FFFF _H	16	FPE2 10AC _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 12	TAUD1CNT12	FFFF _H	16	FPE2 10B0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 13	TAUD1CNT13	FFFF _H	16	FPE2 10B4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 14	TAUD1CNT14	FFFF _H	16	FPE2 10B8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルカウンタレジスタ 15	TAUD1CNT15	FFFF _H	16	FPE2 10BC _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 0	TAUD1CMUR0	00 _H	8	FPE2 10C0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 1	TAUD1CMUR1	00 _H	8	FPE2 10C4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 2	TAUD1CMUR2	00 _H	8	FPE2 10C8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 3	TAUD1CMUR3	00 _H	8	FPE2 10CC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 4	TAUD1CMUR4	00 _H	8	FPE2 10D0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 5	TAUD1CMUR5	00 _H	8	FPE2 10D4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 6	TAUD1CMUR6	00 _H	8	FPE2 10D8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 7	TAUD1CMUR7	00 _H	8	FPE2 10DC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 8	TAUD1CMUR8	00 _H	8	FPE2 10E0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 9	TAUD1CMUR9	00 _H	8	FPE2 10E4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 10	TAUD1CMUR10	00 _H	8	FPE2 10E8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 11	TAUD1CMUR11	00 _H	8	FPE2 10EC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 12	TAUD1CMUR12	00 _H	8	FPE2 10F0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 13	TAUD1CMUR13	00 _H	8	FPE2 10F4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 14	TAUD1CMUR14	00 _H	8	FPE2 10F8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモードユーザレジスタ 15	TAUD1CMUR15	00 _H	8	FPE2 10FC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 0	TAUD1CSR0	00 _H	8	FPE2 1140 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 1	TAUD1CSR1	00 _H	8	FPE2 1144 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 2	TAUD1CSR2	00 _H	8	FPE2 1148 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 3	TAUD1CSR3	00 _H	8	FPE2 114C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 4	TAUD1CSR4	00 _H	8	FPE2 1150 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 5	TAUD1CSR5	00 _H	8	FPE2 1154 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 6	TAUD1CSR6	00 _H	8	FPE2 1158 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 7	TAUD1CSR7	00 _H	8	FPE2 115C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 8	TAUD1CSR8	00 _H	8	FPE2 1160 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 9	TAUD1CSR9	00 _H	8	FPE2 1164 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 10	TAUD1CSR10	00 _H	8	FPE2 1168 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 11	TAUD1CSR11	00 _H	8	FPE2 116C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 12	TAUD1CSR12	00 _H	8	FPE2 1170 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 13	TAUD1CSR13	00 _H	8	FPE2 1174 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 14	TAUD1CSR14	00 _H	8	FPE2 1178 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスレジスタ 15	TAUD1CSR15	00 _H	8	FPE2 117C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 0	TAUD1CSC0	00 _H	8	FPE2 1180 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 1	TAUD1CSC1	00 _H	8	FPE2 1184 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 2	TAUD1CSC2	00 _H	8	FPE2 1188 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 3	TAUD1CSC3	00 _H	8	FPE2 118C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 4	TAUD1CSC4	00 _H	8	FPE2 1190 _H	1	8	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (52/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRRES	SWRES	SV	UM		
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 5	TAUD1CSC5	00 _H	8	FFE2 1194 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 6	TAUD1CSC6	00 _H	8	FFE2 1198 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 7	TAUD1CSC7	00 _H	8	FFE2 119C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 8	TAUD1CSC8	00 _H	8	FFE2 11A0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 9	TAUD1CSC9	00 _H	8	FFE2 11A4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 10	TAUD1CSC10	00 _H	8	FFE2 11A8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 11	TAUD1CSC11	00 _H	8	FFE2 11AC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 12	TAUD1CSC12	00 _H	8	FFE2 11B0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 13	TAUD1CSC13	00 _H	8	FFE2 11B4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 14	TAUD1CSC14	00 _H	8	FFE2 11B8 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルステータスクリアトリガレジスタ 15	TAUD1CSC15	00 _H	8	FFE2 11BC _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネル許可ステータスレジスタ	TAUD1TE	0000 _H	16	FFE2 11C0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルスタートトリガレジスタ	TAUD1TS	0000 _H	16	FFE2 11C4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルストップトリガレジスタ	TAUD1TT	0000 _H	16	FFE2 11C8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 0	TAUD1CMOR0	0000 _H	16	FFE2 1200 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 1	TAUD1CMOR1	0000 _H	16	FFE2 1204 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 2	TAUD1CMOR2	0000 _H	16	FFE2 1208 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 3	TAUD1CMOR3	0000 _H	16	FFE2 120C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 4	TAUD1CMOR4	0000 _H	16	FFE2 1210 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 5	TAUD1CMOR5	0000 _H	16	FFE2 1214 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 6	TAUD1CMOR6	0000 _H	16	FFE2 1218 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 7	TAUD1CMOR7	0000 _H	16	FFE2 121C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 8	TAUD1CMOR8	0000 _H	16	FFE2 1220 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 9	TAUD1CMOR9	0000 _H	16	FFE2 1224 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 10	TAUD1CMOR10	0000 _H	16	FFE2 1228 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 11	TAUD1CMOR11	0000 _H	16	FFE2 122C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 12	TAUD1CMOR12	0000 _H	16	FFE2 1230 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 13	TAUD1CMOR13	0000 _H	16	FFE2 1234 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 14	TAUD1CMOR14	0000 _H	16	FFE2 1238 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルモード OS レジスタ 15	TAUD1CMOR15	0000 _H	16	FFE2 123C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 ブリスケラックロック選択レジスタ	TAUD1TPS	FFFF _H	16	FFE2 1240 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 ブリスケラボーレート設定レジスタ	TAUD1BRS	00 _H	8	FFE2 1244 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネル出力モードレジスタ	TAUD1TOM	0000 _H	16	FFE2 1248 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネル出力コンフィグレーションレジスタ	TAUD1TOC	0000 _H	16	FFE2 124C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデッドタイム出力許可レジスタ	TAUD1TDE	0000 _H	16	FFE2 1250 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルデッドタイム出力モードレジスタ	TAUD1TDM	0000 _H	16	FFE2 1254 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリアルタイム出力許可レジスタ	TAUD1TRE	0000 _H	16	FFE2 1258 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリアルタイム出力制御レジスタ	TAUD1TRC	0000 _H	16	FFE2 125C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリロードデータ許可レジスタ	TAUD1RDE	0000 _H	16	FFE2 1260 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリロードデータモードレジスタ	TAUD1RDM	0000 _H	16	FFE2 1264 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリロードデータ制御 CH 選択レジスタ	TAUD1RDS	0000 _H	16	FFE2 1268 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD1	TAUD1 チャネルリロードデータ制御レジスタ	TAUD1RDC	0000 _H	16	FFE2 126C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 0	TAUD2CDR0	0000 _H	16	FFE2 2000 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 1	TAUD2CDR1	0000 _H	16	FFE2 2004 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 2	TAUD2CDR2	0000 _H	16	FFE2 2008 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 3	TAUD2CDR3	0000 _H	16	FFE2 200C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 4	TAUD2CDR4	0000 _H	16	FFE2 2010 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 5	TAUD2CDR5	0000 _H	16	FFE2 2014 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 6	TAUD2CDR6	0000 _H	16	FFE2 2018 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 7	TAUD2CDR7	0000 _H	16	FFE2 201C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 8	TAUD2CDR8	0000 _H	16	FFE2 2020 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 9	TAUD2CDR9	0000 _H	16	FFE2 2024 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 10	TAUD2CDR10	0000 _H	16	FFE2 2028 _H	1	16	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (53/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
TAUD2	TAUD2 チャネルデータレジスタ 11	TAUD2CDR11	0000 _H	16	FFE2 202C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 12	TAUD2CDR12	0000 _H	16	FFE2 2030 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 13	TAUD2CDR13	0000 _H	16	FFE2 2034 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 14	TAUD2CDR14	0000 _H	16	FFE2 2038 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデータレジスタ 15	TAUD2CDR15	0000 _H	16	FFE2 203C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネル出力アクティブレベルレジスタ	TAUD2TOL	0000 _H	16	FFE2 2040 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルリロードデータトリガレジスタ	TAUD2RDT	0000 _H	16	FFE2 2044 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルリロードステータスレジスタ	TAUD2RSF	0000 _H	16	FFE2 2048 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルリアルタイム出力レジスタ	TAUD2TRO	0000 _H	16	FFE2 204C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネル変調出力許可レジスタ	TAUD2TME	0000 _H	16	FFE2 2050 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデッドタイム出力レベルレジスタ	TAUD2TDL	0000 _H	16	FFE2 2054 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネル出力レジスタ	TAUD2TO	0000 _H	16	FFE2 2058 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネル出力許可レジスタ	TAUD2TOE	0000 _H	16	FFE2 205C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 0	TAUD2CNT0	FFFF _H	16	FFE2 2080 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 1	TAUD2CNT1	FFFF _H	16	FFE2 2084 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 2	TAUD2CNT2	FFFF _H	16	FFE2 2088 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 3	TAUD2CNT3	FFFF _H	16	FFE2 208C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 4	TAUD2CNT4	FFFF _H	16	FFE2 2090 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 5	TAUD2CNT5	FFFF _H	16	FFE2 2094 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 6	TAUD2CNT6	FFFF _H	16	FFE2 2098 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 7	TAUD2CNT7	FFFF _H	16	FFE2 209C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 8	TAUD2CNT8	FFFF _H	16	FFE2 20A0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 9	TAUD2CNT9	FFFF _H	16	FFE2 20A4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 10	TAUD2CNT10	FFFF _H	16	FFE2 20A8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 11	TAUD2CNT11	FFFF _H	16	FFE2 20AC _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 12	TAUD2CNT12	FFFF _H	16	FFE2 20B0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 13	TAUD2CNT13	FFFF _H	16	FFE2 20B4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 14	TAUD2CNT14	FFFF _H	16	FFE2 20B8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルカウンタレジスタ 15	TAUD2CNT15	FFFF _H	16	FFE2 20BC _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 0	TAUD2CMUR0	00 _H	8	FFE2 20C0 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 1	TAUD2CMUR1	00 _H	8	FFE2 20C4 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 2	TAUD2CMUR2	00 _H	8	FFE2 20C8 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 3	TAUD2CMUR3	00 _H	8	FFE2 20CC _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 4	TAUD2CMUR4	00 _H	8	FFE2 20D0 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 5	TAUD2CMUR5	00 _H	8	FFE2 20D4 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 6	TAUD2CMUR6	00 _H	8	FFE2 20D8 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 7	TAUD2CMUR7	00 _H	8	FFE2 20DC _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 8	TAUD2CMUR8	00 _H	8	FFE2 20E0 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 9	TAUD2CMUR9	00 _H	8	FFE2 20E4 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 10	TAUD2CMUR10	00 _H	8	FFE2 20E8 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 11	TAUD2CMUR11	00 _H	8	FFE2 20EC _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 12	TAUD2CMUR12	00 _H	8	FFE2 20F0 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 13	TAUD2CMUR13	00 _H	8	FFE2 20F4 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 14	TAUD2CMUR14	00 _H	8	FFE2 20F8 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモードユーザレジスタ 15	TAUD2CMUR15	00 _H	8	FFE2 20FC _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 0	TAUD2CSR0	00 _H	8	FFE2 2140 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 1	TAUD2CSR1	00 _H	8	FFE2 2144 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 2	TAUD2CSR2	00 _H	8	FFE2 2148 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 3	TAUD2CSR3	00 _H	8	FFE2 214C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 4	TAUD2CSR4	00 _H	8	FFE2 2150 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 5	TAUD2CSR5	00 _H	8	FFE2 2154 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 6	TAUD2CSR6	00 _H	8	FFE2 2158 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 7	TAUD2CSR7	00 _H	8	FFE2 215C _H	1	8	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (54/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
TAUD2	TAUD2 チャネルステータスレジスタ 8	TAUD2CSR8	00 _H	8	FFE2 2160 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 9	TAUD2CSR9	00 _H	8	FFE2 2164 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 10	TAUD2CSR10	00 _H	8	FFE2 2168 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 11	TAUD2CSR11	00 _H	8	FFE2 216C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 12	TAUD2CSR12	00 _H	8	FFE2 2170 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 13	TAUD2CSR13	00 _H	8	FFE2 2174 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 14	TAUD2CSR14	00 _H	8	FFE2 2178 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスレジスタ 15	TAUD2CSR15	00 _H	8	FFE2 217C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 0	TAUD2CSC0	00 _H	8	FFE2 2180 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 1	TAUD2CSC1	00 _H	8	FFE2 2184 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 2	TAUD2CSC2	00 _H	8	FFE2 2188 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 3	TAUD2CSC3	00 _H	8	FFE2 218C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 4	TAUD2CSC4	00 _H	8	FFE2 2190 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 5	TAUD2CSC5	00 _H	8	FFE2 2194 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 6	TAUD2CSC6	00 _H	8	FFE2 2198 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 7	TAUD2CSC7	00 _H	8	FFE2 219C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 8	TAUD2CSC8	00 _H	8	FFE2 21A0 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 9	TAUD2CSC9	00 _H	8	FFE2 21A4 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 10	TAUD2CSC10	00 _H	8	FFE2 21A8 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 11	TAUD2CSC11	00 _H	8	FFE2 21AC _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 12	TAUD2CSC12	00 _H	8	FFE2 21B0 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 13	TAUD2CSC13	00 _H	8	FFE2 21B4 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 14	TAUD2CSC14	00 _H	8	FFE2 21B8 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルステータスクリアトリガレジスタ 15	TAUD2CSC15	00 _H	8	FFE2 21BC _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネル許可ステータスレジスタ	TAUD2TE	0000 _H	16	FFE2 21C0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルスタートトリガレジスタ	TAUD2TS	0000 _H	16	FFE2 21C4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルストップトリガレジスタ	TAUD2TT	0000 _H	16	FFE2 21C8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 0	TAUD2CMOR0	0000 _H	16	FFE2 2200 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 1	TAUD2CMOR1	0000 _H	16	FFE2 2204 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 2	TAUD2CMOR2	0000 _H	16	FFE2 2208 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 3	TAUD2CMOR3	0000 _H	16	FFE2 220C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 4	TAUD2CMOR4	0000 _H	16	FFE2 2210 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 5	TAUD2CMOR5	0000 _H	16	FFE2 2214 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 6	TAUD2CMOR6	0000 _H	16	FFE2 2218 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 7	TAUD2CMOR7	0000 _H	16	FFE2 221C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 8	TAUD2CMOR8	0000 _H	16	FFE2 2220 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 9	TAUD2CMOR9	0000 _H	16	FFE2 2224 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 10	TAUD2CMOR10	0000 _H	16	FFE2 2228 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 11	TAUD2CMOR11	0000 _H	16	FFE2 222C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 12	TAUD2CMOR12	0000 _H	16	FFE2 2230 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 13	TAUD2CMOR13	0000 _H	16	FFE2 2234 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 14	TAUD2CMOR14	0000 _H	16	FFE2 2238 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルモード OS レジスタ 15	TAUD2CMOR15	0000 _H	16	FFE2 223C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 プリスケラクロック選択レジスタ	TAUD2TPS	FFFF _H	16	FFE2 2240 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 プリスケラレポート設定レジスタ	TAUD2BRS	00 _H	8	FFE2 2244 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネル出力モードレジスタ	TAUD2TOM	0000 _H	16	FFE2 2248 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネル出力コンフィグレーションレジスタ	TAUD2TOC	0000 _H	16	FFE2 224C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデッドタイム出力許可レジスタ	TAUD2TDE	0000 _H	16	FFE2 2250 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルデッドタイム出力モードレジスタ	TAUD2TDM	0000 _H	16	FFE2 2254 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルリアルタイム出力許可レジスタ	TAUD2TRE	0000 _H	16	FFE2 2258 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルリアルタイム出力制御レジスタ	TAUD2TRC	0000 _H	16	FFE2 225C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルリロードデータ許可レジスタ	TAUD2RDE	0000 _H	16	FFE2 2260 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャネルリロードデータモードレジスタ	TAUD2RDM	0000 _H	16	FFE2 2264 _H	1	16	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (55/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
TAUD2	TAUD2 チャンネルリロードデータ制御 CH 選択レジスタ	TAUD2RDS	0000 _H	16	FFE2 2268 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUD2	TAUD2 チャンネルリロードデータ制御レジスタ	TAUD2RDC	0000 _H	16	FFE2 226C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルデータレジスタ 0	TAUJ0CDR0	0000 0000 _H	32	FFE5 0000 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルデータレジスタ 1	TAUJ0CDR1	0000 0000 _H	32	FFE5 0004 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルデータレジスタ 2	TAUJ0CDR2	0000 0000 _H	32	FFE5 0008 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルデータレジスタ 3	TAUJ0CDR3	0000 0000 _H	32	FFE5 000C _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルカウンタレジスタ 0	TAUJ0CNT0	FFFF FFFF _H	32	FFE5 0010 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルカウンタレジスタ 1	TAUJ0CNT1	FFFF FFFF _H	32	FFE5 0014 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルカウンタレジスタ 2	TAUJ0CNT2	FFFF FFFF _H	32	FFE5 0018 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルカウンタレジスタ 3	TAUJ0CNT3	FFFF FFFF _H	32	FFE5 001C _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルモードユーザレジスタ 0	TAUJ0CMUR0	00 _H	8	FFE5 0020 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルモードユーザレジスタ 1	TAUJ0CMUR1	00 _H	8	FFE5 0024 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルモードユーザレジスタ 2	TAUJ0CMUR2	00 _H	8	FFE5 0028 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルモードユーザレジスタ 3	TAUJ0CMUR3	00 _H	8	FFE5 002C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルステータスレジスタ 0	TAUJ0CSR0	00 _H	8	FFE5 0030 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルステータスレジスタ 1	TAUJ0CSR1	00 _H	8	FFE5 0034 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルステータスレジスタ 2	TAUJ0CSR2	00 _H	8	FFE5 0038 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルステータスレジスタ 3	TAUJ0CSR3	00 _H	8	FFE5 003C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルステータスクリアトリガレジスタ 0	TAUJ0CSC0	00 _H	8	FFE5 0040 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルステータスクリアトリガレジスタ 1	TAUJ0CSC1	00 _H	8	FFE5 0044 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルステータスクリアトリガレジスタ 2	TAUJ0CSC2	00 _H	8	FFE5 0048 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルステータスクリアトリガレジスタ 3	TAUJ0CSC3	00 _H	8	FFE5 004C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネル許可ステータスレジスタ	TAUJ0TE	00 _H	8	FFE5 0050 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルスタートトリガレジスタ	TAUJ0TS	00 _H	8	FFE5 0054 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルストップトリガレジスタ	TAUJ0TT	00 _H	8	FFE5 0058 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネル出力レジスタ	TAUJ0TO	00 _H	8	FFE5 005C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネル出力許可レジスタ	TAUJ0TOE	00 _H	8	FFE5 0060 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネル出力アクティブレベルレジスタ	TAUJ0TOL	00 _H	8	FFE5 0064 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルリロードデータトリガレジスタ	TAUJ0RDT	00 _H	8	FFE5 0068 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルリロードステータスレジスタ	TAUJ0RSF	00 _H	8	FFE5 006C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルモード OS レジスタ 0	TAUJ0CMOR0	0000 _H	16	FFE5 0080 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルモード OS レジスタ 1	TAUJ0CMOR1	0000 _H	16	FFE5 0084 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルモード OS レジスタ 2	TAUJ0CMOR2	0000 _H	16	FFE5 0088 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルモード OS レジスタ 3	TAUJ0CMOR3	0000 _H	16	FFE5 008C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 ブリスケアラックロック選択レジスタ	TAUJ0TPS	FFFF _H	16	FFE5 0090 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 ブリスケアラポーレート設定レジスタ	TAUJ0BRS	00 _H	8	FFE5 0094 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネル出力モードレジスタ	TAUJ0TOM	00 _H	8	FFE5 0098 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネル出力コンフィグレーションレジスタ	TAUJ0TOC	00 _H	8	FFE5 009C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルリロードデータ許可レジスタ	TAUJ0RDE	00 _H	8	FFE5 00A0 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ0	TAUJ0 チャンネルリロードデータモードレジスタ	TAUJ0RDM	00 _H	8	FFE5 00A4 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルデータレジスタ 0	TAUJ1CDR0	0000 0000 _H	32	FFE5 1000 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルデータレジスタ 1	TAUJ1CDR1	0000 0000 _H	32	FFE5 1004 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルデータレジスタ 2	TAUJ1CDR2	0000 0000 _H	32	FFE5 1008 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルデータレジスタ 3	TAUJ1CDR3	0000 0000 _H	32	FFE5 100C _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルカウンタレジスタ 0	TAUJ1CNT0	FFFF FFFF _H	32	FFE5 1010 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルカウンタレジスタ 1	TAUJ1CNT1	FFFF FFFF _H	32	FFE5 1014 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルカウンタレジスタ 2	TAUJ1CNT2	FFFF FFFF _H	32	FFE5 1018 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルカウンタレジスタ 3	TAUJ1CNT3	FFFF FFFF _H	32	FFE5 101C _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルモードユーザレジスタ 0	TAUJ1CMUR0	00 _H	8	FFE5 1020 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルモードユーザレジスタ 1	TAUJ1CMUR1	00 _H	8	FFE5 1024 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルモードユーザレジスタ 2	TAUJ1CMUR2	00 _H	8	FFE5 1028 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルモードユーザレジスタ 3	TAUJ1CMUR3	00 _H	8	FFE5 102C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャンネルステータスレジスタ 0	TAUJ1CSR0	00 _H	8	FFE5 1030 _H	1	8	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (56/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
TAUJ1	TAUJ1 チャネルステータスレジスタ 1	TAUJ1CSR1	00 _H	8	FFE5 1034 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルステータスレジスタ 2	TAUJ1CSR2	00 _H	8	FFE5 1038 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルステータスレジスタ 3	TAUJ1CSR3	00 _H	8	FFE5 103C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルステータスクリアトリガレジスタ 0	TAUJ1CSC0	00 _H	8	FFE5 1040 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルステータスクリアトリガレジスタ 1	TAUJ1CSC1	00 _H	8	FFE5 1044 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルステータスクリアトリガレジスタ 2	TAUJ1CSC2	00 _H	8	FFE5 1048 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルステータスクリアトリガレジスタ 3	TAUJ1CSC3	00 _H	8	FFE5 104C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネル許可ステータスレジスタ	TAUJ1TE	00 _H	8	FFE5 1050 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルスタートトリガレジスタ	TAUJ1TS	00 _H	8	FFE5 1054 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルストップトリガレジスタ	TAUJ1TT	00 _H	8	FFE5 1058 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネル出力レジスタ	TAUJ1TO	00 _H	8	FFE5 105C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネル出力許可レジスタ	TAUJ1TOE	00 _H	8	FFE5 1060 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネル出力アクティブレベルレジスタ	TAUJ1TOL	00 _H	8	FFE5 1064 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルリロードデータトリガレジスタ	TAUJ1RDT	00 _H	8	FFE5 1068 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルリロードステータスレジスタ	TAUJ1RSF	00 _H	8	FFE5 106C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルモード OS レジスタ 0	TAUJ1CMOR0	0000 _H	16	FFE5 1080 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルモード OS レジスタ 1	TAUJ1CMOR1	0000 _H	16	FFE5 1084 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルモード OS レジスタ 2	TAUJ1CMOR2	0000 _H	16	FFE5 1088 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルモード OS レジスタ 3	TAUJ1CMOR3	0000 _H	16	FFE5 108C _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 ブリスケラックロック選択レジスタ	TAUJ1TPS	FFFF _H	16	FFE5 1090 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 ブリスケラポーレート設定レジスタ	TAUJ1BRS	00 _H	8	FFE5 1094 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネル出力モードレジスタ	TAUJ1TOM	00 _H	8	FFE5 1098 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネル出力コンフィグレーションレジスタ	TAUJ1TOC	00 _H	8	FFE5 109C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルリロードデータ許可レジスタ	TAUJ1RDE	00 _H	8	FFE5 10A0 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ1	TAUJ1 チャネルリロードデータモードレジスタ	TAUJ1RDM	00 _H	8	FFE5 10A4 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルデータレジスタ 0	TAUJ2CDR0	0000 0000 _H	32	FFE5 2000 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルデータレジスタ 1	TAUJ2CDR1	0000 0000 _H	32	FFE5 2004 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルデータレジスタ 2	TAUJ2CDR2	0000 0000 _H	32	FFE5 2008 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルデータレジスタ 3	TAUJ2CDR3	0000 0000 _H	32	FFE5 200C _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルカウンタレジスタ 0	TAUJ2CNT0	FFFF FFFF _H	32	FFE5 2010 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルカウンタレジスタ 1	TAUJ2CNT1	FFFF FFFF _H	32	FFE5 2014 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルカウンタレジスタ 2	TAUJ2CNT2	FFFF FFFF _H	32	FFE5 2018 _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルカウンタレジスタ 3	TAUJ2CNT3	FFFF FFFF _H	32	FFE5 201C _H	1	32	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルモードユーザレジスタ 0	TAUJ2CMUR0	00 _H	8	FFE5 2020 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルモードユーザレジスタ 1	TAUJ2CMUR1	00 _H	8	FFE5 2024 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルモードユーザレジスタ 2	TAUJ2CMUR2	00 _H	8	FFE5 2028 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルモードユーザレジスタ 3	TAUJ2CMUR3	00 _H	8	FFE5 202C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルステータスレジスタ 0	TAUJ2CSR0	00 _H	8	FFE5 2030 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルステータスレジスタ 1	TAUJ2CSR1	00 _H	8	FFE5 2034 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルステータスレジスタ 2	TAUJ2CSR2	00 _H	8	FFE5 2038 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルステータスレジスタ 3	TAUJ2CSR3	00 _H	8	FFE5 203C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルステータスクリアトリガレジスタ 0	TAUJ2CSC0	00 _H	8	FFE5 2040 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルステータスクリアトリガレジスタ 1	TAUJ2CSC1	00 _H	8	FFE5 2044 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルステータスクリアトリガレジスタ 2	TAUJ2CSC2	00 _H	8	FFE5 2048 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルステータスクリアトリガレジスタ 3	TAUJ2CSC3	00 _H	8	FFE5 204C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネル許可ステータスレジスタ	TAUJ2TE	00 _H	8	FFE5 2050 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルスタートトリガレジスタ	TAUJ2TS	00 _H	8	FFE5 2054 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルストップトリガレジスタ	TAUJ2TT	00 _H	8	FFE5 2058 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネル出力レジスタ	TAUJ2TO	00 _H	8	FFE5 205C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネル出力許可レジスタ	TAUJ2TOE	00 _H	8	FFE5 2060 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネル出力アクティブレベルレジスタ	TAUJ2TOL	00 _H	8	FFE5 2064 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルリロードデータトリガレジスタ	TAUJ2RDT	00 _H	8	FFE5 2068 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャネルリロードステータスレジスタ	TAUJ2RSF	00 _H	8	FFE5 206C _H	1	8	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (57/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
TAUJ2	TAUJ2 チャンネルモード OS レジスタ 0	TAUJ2CMOR0	0000 _H	16	FFE5 2080 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャンネルモード OS レジスタ 1	TAUJ2CMOR1	0000 _H	16	FFE5 2084 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャンネルモード OS レジスタ 2	TAUJ2CMOR2	0000 _H	16	FFE5 2088 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャンネルモード OS レジスタ 3	TAUJ2CMOR3	0000 _H	16	FFE5 208C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 プリスケアラクロック選択レジスタ	TAUJ2TPS	FFFF _H	16	FFE5 2090 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 プリスケアラポーレート設定レジスタ	TAUJ2BRS	00 _H	8	FFE5 2094 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャンネル出力モードレジスタ	TAUJ2TOM	00 _H	8	FFE5 2098 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャンネル出力コンフィグレーションレジスタ	TAUJ2TOC	00 _H	8	FFE5 209C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャンネルリロードデータ許可レジスタ	TAUJ2RDE	00 _H	8	FFE5 20A0 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TAUJ2	TAUJ2 チャンネルリロードデータモードレジスタ	TAUJ2RDM	00 _H	8	FFE5 20A4 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 I/O 制御レジスタ 2	TSG30IOC2	0000 _H	16	FFE7 0000 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 3	TSG30CTL3	00 _H	8	FFE7 0004 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 5	TSG30CTL5	0000 _H	16	FFE7 0008 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 6	TSG30CTL6	0000 _H	16	FFE7 000C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ステータスレジスタ 0	TSG30STR0	00 _H	8	FFE7 0010 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ステータスレジスタ 1	TSG30STR1	00 _H	8	FFE7 0014 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ステータスレジスタ 2	TSG30STR2	0000 _H	16	FFE7 0018 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ステータスクリアトリガレジスタ	TSG30STC	0000 _H	16	FFE7 001C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 オプションレジスタ 0	TSG30OPT0	00 _H	8	FFE7 0020 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 オプションレジスタ 1	TSG30OPT1	00 _H	8	FFE7 0024 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 カウンタリードバッファレジスタ	TSG30CNT	0000 _H	16	FFE7 0028 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 サブカウンタリードバッファレジスタ	TSG30SBC	0000 _H	16	FFE7 002C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 トリガレジスタ 0	TSG30TRG0	00 _H	8	FFE7 0030 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 トリガレジスタ 1	TSG30TRG1	00 _H	8	FFE7 0034 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 トリガレジスタ 2	TSG30TRG2	00 _H	8	FFE7 0038 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 1, 2	TSG30CMP1W	0000 0000 _H	32	FFE7 0040 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 5, 6	TSG30CMP5W	0000 0000 _H	32	FFE7 0044 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 9, 10	TSG30CMP9W	0000 0000 _H	32	FFE7 0048 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 3, 4	TSG30CMP3W	0000 0000 _H	32	FFE7 004C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 7, 8	TSG30CMP7W	0000 0000 _H	32	FFE7 0050 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 11, 12	TSG30CMP11W	0000 0000 _H	32	FFE7 0054 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 0	TSG30CMP0	0000 0000 _H	32	FFE7 0058 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ダイアグ出力用コンペアレジスタ 0, 1	TSG30DCMP0W	0000 0000 _H	32	FFE7 005C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ダイアグ出力用コンペアレジスタ 2	TSG30DCMP2	0000 0000 _H	32	FFE7 0060 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 パタンレジスタ 0	TSG30PAT0W	0000 0000 _H	32	FFE7 0064 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 パタンレジスタ 1	TSG30PAT1W	0000 0000 _H	32	FFE7 0068 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 デッドタイム制御レジスタ 0	TSG30DTC0W	0000 0000 _H	32	FFE7 006C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 デッドタイム制御レジスタ 1	TSG30DTC1W	0000 0000 _H	32	FFE7 0070 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 I/O 制御レジスタ 3	TSG30IOC3	0000 0000 _H	32	FFE7 0074 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 2	TSG30CTL2	0000 0000 _H	32	FFE7 0078 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 4	TSG30CTL4	0000 0000 _H	32	FFE7 007C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 1	TSG30CMP1	0000 _H	16	FFE7 0080 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 2	TSG30CMP2	0000 _H	16	FFE7 0084 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 5	TSG30CMP5	0000 _H	16	FFE7 0088 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 6	TSG30CMP6	0000 _H	16	FFE7 008C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 9	TSG30CMP9	0000 _H	16	FFE7 0090 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 10	TSG30CMP10	0000 _H	16	FFE7 0094 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 3	TSG30CMP3	0000 _H	16	FFE7 0098 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 4	TSG30CMP4	0000 _H	16	FFE7 009C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 7	TSG30CMP7	0000 _H	16	FFE7 00A0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 8	TSG30CMP8	0000 _H	16	FFE7 00A4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 11	TSG30CMP11	0000 _H	16	FFE7 00A8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 コンペアレジスタ 12	TSG30CMP12	0000 _H	16	FFE7 00AC _H	1	16	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (58/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
TSG30	TSG30 HT-PWM U 相用コンペアレジスタ	TSG30CMPU	0000 _H	16	FFE7 00B0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 HT-PWM V 相用コンペアレジスタ	TSG30CMPV	0000 _H	16	FFE7 00B4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 HT-PWM W 相用コンペアレジスタ	TSG30CMPW	0000 _H	16	FFE7 00B8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 SP-PWM U 相アクティブ幅レジスタ	TSG30UPW	0000 _H	16	FFE7 00BC _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 SP-PWM V 相アクティブ幅レジスタ	TSG30VPW	0000 _H	16	FFE7 00C0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 SP-PWM W 相アクティブ幅レジスタ	TSG30WPW	0000 _H	16	FFE7 00C4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 HSP-PWM W 相用シフトレジスタ	TSG30HSPSHWE	0000 0000 _H	32	FFE7 0120 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 HSP-PWM V 相用シフトレジスタ	TSG30HSPSHVE	0000 0000 _H	32	FFE7 0124 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 HSP-PWM モード U 相シフトレジスタ	TSG30HSPSHUE	0000 0000 _H	32	FFE7 0128 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 HSP-PWM モード V 相コンペアレジスタ	TSG30HSPCMVE	0000 0000 _H	32	FFE7 012C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 HSP-PWM モード W 相コンペアレジスタ	TSG30HSPCMWE	0000 0000 _H	32	FFE7 0130 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 HSP-PWM モード U 相コンペアレジスタ	TSG30HSPCMUE	0000 0000 _H	32	FFE7 0134 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張ダイアグ出力用コンペアレジスタ 2	TSG30DCMP2E	0000 0000 _H	32	FFE7 0140 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張ダイアグ出力用コンペアレジスタ 1	TSG30DCMP1E	0000 0000 _H	32	FFE7 0144 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張ダイアグ出力用コンペアレジスタ 0	TSG30DCMP0E	0000 0000 _H	32	FFE7 0148 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 0	TSG30CMP0E	0000 0000 _H	32	FFE7 014C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 12	TSG30CMP12E	0000 0000 _H	32	FFE7 0150 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 11	TSG30CMP11E	0000 0000 _H	32	FFE7 0154 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 8	TSG30CMP8E	0000 0000 _H	32	FFE7 0158 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 7	TSG30CMP7E	0000 0000 _H	32	FFE7 015C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 4	TSG30CMP4E	0000 0000 _H	32	FFE7 0160 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 3	TSG30CMP3E	0000 0000 _H	32	FFE7 0164 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 10	TSG30CMP10E	0000 0000 _H	32	FFE7 0168 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 9	TSG30CMP9E	0000 0000 _H	32	FFE7 016C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 6	TSG30CMP6E	0000 0000 _H	32	FFE7 0170 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 5	TSG30CMP5E	0000 0000 _H	32	FFE7 0174 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 2	TSG30CMP2E	0000 0000 _H	32	FFE7 0178 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 コンペアレジスタ 1	TSG30CMP1E	0000 0000 _H	32	FFE7 017C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 HT-PWM W 相用コンペアレジスタ	TSG30CMPWE	0000 0000 _H	32	FFE7 0180 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 HT-PWM V 相用コンペアレジスタ	TSG30CMPVE	0000 0000 _H	32	FFE7 0184 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 HT-PWM U 相用コンペアレジスタ	TSG30CMPUE	0000 0000 _H	32	FFE7 0188 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 SP-PWM W 相アクティブ幅レジスタ	TSG30WPWE	0000 0000 _H	32	FFE7 0190 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 SP-PWM V 相アクティブ幅レジスタ	TSG30VPWE	0000 0000 _H	32	FFE7 0194 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 SP-PWM U 相アクティブ幅レジスタ	TSG30UPWE	0000 0000 _H	32	FFE7 0198 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張カウンタリードバックファレジスタ	TSG30CNTE	0000 0000 _H	32	FFE7 01A0 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 ビット拡張 サブカウンタリードバックファレジスタ	TSG30SBCE	0000 0000 _H	32	FFE7 01A4 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 I/O 制御レジスタ 0	TSG30IOC0	7E _H	8	FFE7 0200 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 I/O 制御レジスタ 1	TSG30IOC1	00 _H	8	FFE7 0204 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 0	TSG30CTL0	00 _H	8	FFE7 0208 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 1	TSG30CTL1	0000 _H	16	FFE7 020C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 デッドタイムプロテクションレジスタ	TSG30DTPR	0000 _H	16	FFE7 0210 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 7	TSG30CTL7	00 _H	8	FFE7 0218 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG30	TSG30 制御レジスタ 8	TSG30CTL8	00 _H	8	FFE7 021C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 I/O 制御レジスタ 2	TSG31IOC2	0000 _H	16	FFE7 1000 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 3	TSG31CTL3	00 _H	8	FFE7 1004 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 5	TSG31CTL5	0000 _H	16	FFE7 1008 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 6	TSG31CTL6	0000 _H	16	FFE7 100C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ステータスレジスタ 0	TSG31STR0	00 _H	8	FFE7 1010 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ステータスレジスタ 1	TSG31STR1	00 _H	8	FFE7 1014 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ステータスレジスタ 2	TSG31STR2	0000 _H	16	FFE7 1018 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ステータスクリアトリガレジスタ	TSG31STC	0000 _H	16	FFE7 101C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 オプションレジスタ 0	TSG31OPT0	00 _H	8	FFE7 1020 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 オプションレジスタ 1	TSG31OPT1	00 _H	8	FFE7 1024 _H	1	8	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (59/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
TSG31	TSG31 カウンタリードバッファレジスタ	TSG31CNT	0000 _H	16	FFE7 1028 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 サブカウンタリードバッファレジスタ	TSG31SBC	0000 _H	16	FFE7 102C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 トリガレジスタ 0	TSG31TRG0	00 _H	8	FFE7 1030 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 トリガレジスタ 1	TSG31TRG1	00 _H	8	FFE7 1034 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 トリガレジスタ 2	TSG31TRG2	00 _H	8	FFE7 1038 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 1, 2	TSG31CMP1W	0000 0000 _H	32	FFE7 1040 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 5, 6	TSG31CMP5W	0000 0000 _H	32	FFE7 1044 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 9, 10	TSG31CMP9W	0000 0000 _H	32	FFE7 1048 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 3, 4	TSG31CMP3W	0000 0000 _H	32	FFE7 104C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 7, 8	TSG31CMP7W	0000 0000 _H	32	FFE7 1050 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 11, 12	TSG31CMP11W	0000 0000 _H	32	FFE7 1054 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 0	TSG31CMP0	0000 0000 _H	32	FFE7 1058 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ダイアグ出力用コンペアレジスタ 0, 1	TSG31DCMP0W	0000 0000 _H	32	FFE7 105C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ダイアグ出力用コンペアレジスタ 2	TSG31DCMP2	0000 0000 _H	32	FFE7 1060 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 パタンレジスタ 0	TSG31PAT0W	0000 0000 _H	32	FFE7 1064 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 パタンレジスタ 1	TSG31PAT1W	0000 0000 _H	32	FFE7 1068 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 デッドタイム制御レジスタ 0	TSG31DTC0W	0000 0000 _H	32	FFE7 106C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 デッドタイム制御レジスタ 1	TSG31DTC1W	0000 0000 _H	32	FFE7 1070 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 I/O 制御レジスタ 3	TSG31IOC3	0000 0000 _H	32	FFE7 1074 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 2	TSG31CTL2	0000 0000 _H	32	FFE7 1078 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 4	TSG31CTL4	0000 0000 _H	32	FFE7 107C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 1	TSG31CMP1	0000 _H	16	FFE7 1080 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 2	TSG31CMP2	0000 _H	16	FFE7 1084 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 5	TSG31CMP5	0000 _H	16	FFE7 1088 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 6	TSG31CMP6	0000 _H	16	FFE7 108C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 9	TSG31CMP9	0000 _H	16	FFE7 1090 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 10	TSG31CMP10	0000 _H	16	FFE7 1094 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 3	TSG31CMP3	0000 _H	16	FFE7 1098 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 4	TSG31CMP4	0000 _H	16	FFE7 109C _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 7	TSG31CMP7	0000 _H	16	FFE7 10A0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 8	TSG31CMP8	0000 _H	16	FFE7 10A4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 11	TSG31CMP11	0000 _H	16	FFE7 10A8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 コンペアレジスタ 12	TSG31CMP12	0000 _H	16	FFE7 10AC _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HT-PWM U 相用コンペアレジスタ	TSG31CMPU	0000 _H	16	FFE7 10B0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HT-PWM V 相用コンペアレジスタ	TSG31CMPV	0000 _H	16	FFE7 10B4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HT-PWM W 相用コンペアレジスタ	TSG31CMPW	0000 _H	16	FFE7 10B8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 SP-PWM U 相アクティブ幅レジスタ	TSG31UPW	0000 _H	16	FFE7 10BC _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 SP-PWM V 相アクティブ幅レジスタ	TSG31VPW	0000 _H	16	FFE7 10C0 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 SP-PWM W 相アクティブ幅レジスタ	TSG31WPW	0000 _H	16	FFE7 10C4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HSP-PWM W 相用ソフトレジスタ	TSG31HSPSHWE	0000 0000 _H	32	FFE7 1120 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HSP-PWM V 相用ソフトレジスタ	TSG31HSPSHVE	0000 0000 _H	32	FFE7 1124 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HSP-PWM モード U 相ソフトレジスタ	TSG31HSPSHUE	0000 0000 _H	32	FFE7 1128 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HSP-PWM モード W 相コンペアレジスタ	TSG31HSPCMWE	0000 0000 _H	32	FFE7 112C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HSP-PWM モード V 相コンペアレジスタ	TSG31HSPCMVE	0000 0000 _H	32	FFE7 1130 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 HSP-PWM モード U 相コンペアレジスタ	TSG31HSPCMUE	0000 0000 _H	32	FFE7 1134 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張ダイアグ出力用コンペアレジスタ 2	TSG31DCMP2E	0000 0000 _H	32	FFE7 1140 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張ダイアグ出力用コンペアレジスタ 1	TSG31DCMP1E	0000 0000 _H	32	FFE7 1144 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張ダイアグ出力用コンペアレジスタ 0	TSG31DCMP0E	0000 0000 _H	32	FFE7 1148 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張 コンペアレジスタ 0	TSG31CMP0E	0000 0000 _H	32	FFE7 114C _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 12	TSG31CMP12E	0000 0000 _H	32	FFE7 1150 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 11	TSG31CMP11E	0000 0000 _H	32	FFE7 1154 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 8	TSG31CMP8E	0000 0000 _H	32	FFE7 1158 _H	1	32	○	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 7	TSG31CMP7E	0000 0000 _H	32	FFE7 115C _H	1	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (60/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
TSG31	TSG31 ビット拡張コンペアレジスタ 4	TSG31CMP4E	0000 0000 _H	32	FFE7 1160 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 3	TSG31CMP3E	0000 0000 _H	32	FFE7 1164 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 10	TSG31CMP10E	0000 0000 _H	32	FFE7 1168 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 9	TSG31CMP9E	0000 0000 _H	32	FFE7 116C _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 6	TSG31CMP6E	0000 0000 _H	32	FFE7 1170 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 5	TSG31CMP5E	0000 0000 _H	32	FFE7 1174 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 2	TSG31CMP2E	0000 0000 _H	32	FFE7 1178 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張コンペアレジスタ 1	TSG31CMP1E	0000 0000 _H	32	FFE7 117C _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張 HT-PWM W 相用コンペアレジスタ	TSG31CMPWE	0000 0000 _H	32	FFE7 1180 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張 HT-PWM V 相用コンペアレジスタ	TSG31CMPVE	0000 0000 _H	32	FFE7 1184 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張 HT-PWM U 相用コンペアレジスタ	TSG31CMPUE	0000 0000 _H	32	FFE7 1188 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張 SP-PWM W 相アクティブ幅レジスタ	TSG31WPWE	0000 0000 _H	32	FFE7 1190 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張 SP-PWM V 相アクティブ幅レジスタ	TSG31VPWE	0000 0000 _H	32	FFE7 1194 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張 SP-PWM U 相アクティブ幅レジスタ	TSG31UPWE	0000 0000 _H	32	FFE7 1198 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張カウンタリードバックファレジスタ	TSG31CNTE	0000 0000 _H	32	FFE7 11A0 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 ビット拡張 サブカウンタリードバックファレジスタ	TSG31SBCE	0000 0000 _H	32	FFE7 11A4 _H	1	32	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 I/O 制御レジスタ 0	TSG31IOC0	7E _H	8	FFE7 1200 _H	1	8	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 I/O 制御レジスタ 1	TSG31IOC1	00 _H	8	FFE7 1204 _H	1	8	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 0	TSG31CTL0	00 _H	8	FFE7 1208 _H	1	8	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 1	TSG31CTL1	0000 _H	16	FFE7 120C _H	1	16	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 デッドタイムプロテクションレジスタ	TSG31DTPR	0000 _H	16	FFE7 1210 _H	1	16	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 7	TSG31CTL7	00 _H	8	FFE7 1218 _H	1	8	○	○	○	○	○	○	○	○	○	○
TSG31	TSG31 制御レジスタ 8	TSG31CTL8	00 _H	8	FFE7 121C _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA キャプチャ/コンペアレジスタ 0	ENCA0CCR0	0000 _H	16	FFE8 0000 _H	1	16	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA キャプチャ/コンペアレジスタ 1	ENCA0CCR1	0000 _H	16	FFE8 0004 _H	1	16	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA カウンタレジスタ	ENCA0CNT	0000 _H	16	FFE8 0008 _H	1	16	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA ステータスフラグレジスタ	ENCA0FLG	00 _H	8	FFE8 000C _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA ステータスフラグクリアレジスタ	ENCA0FGC	00 _H	8	FFE8 0010 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA タイマイネーブルステータスレジスタ	ENCA0TE	00 _H	8	FFE8 0014 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA タイマスタートトリガレジスタ	ENCA0TS	00 _H	8	FFE8 0018 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA タイマストップトリガレジスタ	ENCA0TT	00 _H	8	FFE8 001C _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA I/O 制御レジスタ 0	ENCA0IOC0	00 _H	8	FFE8 0020 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA 制御レジスタ	ENCA0CTL	0000 _H	16	FFE8 0040 _H	1	16	○	○	○	○	○	○	○	○	○	○
ENCA0	ENCA I/O 制御レジスタ 1	ENCA0IOC1	00 _H	8	FFE8 0044 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA キャプチャ/コンペアレジスタ 0	ENCA1CCR0	0000 _H	16	FFE8 1000 _H	1	16	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA キャプチャ/コンペアレジスタ 1	ENCA1CCR1	0000 _H	16	FFE8 1004 _H	1	16	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA カウンタレジスタ	ENCA1CNT	0000 _H	16	FFE8 1008 _H	1	16	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA ステータスフラグレジスタ	ENCA1FLG	00 _H	8	FFE8 100C _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA ステータスフラグクリアレジスタ	ENCA1FGC	00 _H	8	FFE8 1010 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA タイマイネーブルステータスレジスタ	ENCA1TE	00 _H	8	FFE8 1014 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA タイマスタートトリガレジスタ	ENCA1TS	00 _H	8	FFE8 1018 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA タイマストップトリガレジスタ	ENCA1TT	00 _H	8	FFE8 101C _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA I/O 制御レジスタ 0	ENCA1IOC0	00 _H	8	FFE8 1020 _H	1	8	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA 制御レジスタ	ENCA1CTL	0000 _H	16	FFE8 1040 _H	1	16	○	○	○	○	○	○	○	○	○	○
ENCA1	ENCA I/O 制御レジスタ 1	ENCA1IOC1	00 _H	8	FFE8 1044 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA0	TAPA0 フラグレジスタ	TAPA0FLG	0000 _H	16	FFE9 0000 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAPA0	TAPA0 非同期制御ライティネーブルレジスタ	TAPA0ACWE	00 _H	8	FFE9 0004 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA0	TAPA0 非同期制御スタートトリガレジスタ	TAPA0ACTS	00 _H	8	FFE9 0008 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA0	TAPA0 非同期制御ストップトリガレジスタ	TAPA0ACTT	00 _H	8	FFE9 000C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA0	TAPA0 Hi-Z スタートトリガレジスタ	TAPA0OPHS	00 _H	8	FFE9 0014 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA0	TAPA0 Hi-Z ストップトリガレジスタ	TAPA0OPHT	00 _H	8	FFE9 0018 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA0	TAPA0 制御レジスタ 0	TAPA0CTL0	0000 _H	16	FFE9 0020 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAPA1	TAPA1 フラグレジスタ	TAPA1FLG	0000 _H	16	FFE9 1000 _H	1	16	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (61/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
TAPA1	TAPA1 非同期制御ライトイネーブルレジスタ	TAPA1ACWE	00 _H	8	FFE9 1004 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA1	TAPA1 非同期制御スタートトリガレジスタ	TAPA1ACTS	00 _H	8	FFE9 1008 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA1	TAPA1 非同期制御ストップトリガレジスタ	TAPA1ACTT	00 _H	8	FFE9 100C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA1	TAPA1 Hi-Z スタートトリガレジスタ	TAPA1OPHS	00 _H	8	FFE9 1014 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA1	TAPA1 Hi-Z ストップトリガレジスタ	TAPA1OPHT	00 _H	8	FFE9 1018 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA1	TAPA1 制御レジスタ 0	TAPA1CTL0	0000 _H	16	FFE9 1020 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAPA2	TAPA2 フラグレジスタ	TAPA2FLG	0000 _H	16	FFE9 2000 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAPA2	TAPA2 非同期制御ライトイネーブルレジスタ	TAPA2ACWE	00 _H	8	FFE9 2004 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA2	TAPA2 非同期制御スタートトリガレジスタ	TAPA2ACTS	00 _H	8	FFE9 2008 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA2	TAPA2 非同期制御ストップトリガレジスタ	TAPA2ACTT	00 _H	8	FFE9 200C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA2	TAPA2 Hi-Z スタートトリガレジスタ	TAPA2OPHS	00 _H	8	FFE9 2014 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA2	TAPA2 Hi-Z ストップトリガレジスタ	TAPA2OPHT	00 _H	8	FFE9 2018 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA2	TAPA2 制御レジスタ 0	TAPA2CTL0	0000 _H	16	FFE9 2020 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAPA3	TAPA3 フラグレジスタ	TAPA3FLG	0000 _H	16	FFE9 3000 _H	1	16	○	○	○	○	○	○	○	○	○	○
TAPA3	TAPA3 非同期制御ライトイネーブルレジスタ	TAPA3ACWE	00 _H	8	FFE9 3004 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA3	TAPA3 非同期制御スタートトリガレジスタ	TAPA3ACTS	00 _H	8	FFE9 3008 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA3	TAPA3 非同期制御ストップトリガレジスタ	TAPA3ACTT	00 _H	8	FFE9 300C _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA3	TAPA3 Hi-Z スタートトリガレジスタ	TAPA3OPHS	00 _H	8	FFE9 3014 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA3	TAPA3 Hi-Z ストップトリガレジスタ	TAPA3OPHT	00 _H	8	FFE9 3018 _H	1	8	○	○	○	○	○	○	○	○	○	○
TAPA3	TAPA3 制御レジスタ 0	TAPA3CTL0	0000 _H	16	FFE9 3020 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF00	0000 _H	16	FEEA 0000 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF01	0000 _H	16	FEEA 0004 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF02	0000 _H	16	FEEA 0008 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF03	0000 _H	16	FEEA 000C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF04	0000 _H	16	FEEA 0010 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF05	0000 _H	16	FEEA 0014 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF06	0000 _H	16	FEEA 0018 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF07	0000 _H	16	FEEA 001C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF08	0000 _H	16	FEEA 0020 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF09	0000 _H	16	FEEA 0024 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF10	0000 _H	16	FEEA 0028 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF11	0000 _H	16	FEEA 002C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF12	0000 _H	16	FEEA 0030 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF13	0000 _H	16	FEEA 0034 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF14	0000 _H	16	FEEA 0038 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF15	0000 _H	16	FEEA 003C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF16	0000 _H	16	FEEA 0040 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF17	0000 _H	16	FEEA 0044 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF18	0000 _H	16	FEEA 0048 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF19	0000 _H	16	FEEA 004C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF20	0000 _H	16	FEEA 0050 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF21	0000 _H	16	FEEA 0054 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF22	0000 _H	16	FEEA 0058 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF23	0000 _H	16	FEEA 005C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF24	0000 _H	16	FEEA 0060 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF25	0000 _H	16	FEEA 0064 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF26	0000 _H	16	FEEA 0068 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF27	0000 _H	16	FEEA 006C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF28	0000 _H	16	FEEA 0070 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF29	0000 _H	16	FEEA 0074 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF30	0000 _H	16	FEEA 0078 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF31	0000 _H	16	FEEA 007C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF32	0000 _H	16	FEEA 0080 _H	1	16	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (62/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF33	0000 _H	16	FFEA 0084 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF34	0000 _H	16	FFEA 0088 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF35	0000 _H	16	FFEA 008C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF36	0000 _H	16	FFEA 0090 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF37	0000 _H	16	FFEA 0094 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF38	0000 _H	16	FFEA 0098 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF39	0000 _H	16	FFEA 009C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF40	0000 _H	16	FFEA 00A0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF41	0000 _H	16	FFEA 00A4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF42	0000 _H	16	FFEA 00A8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF43	0000 _H	16	FFEA 00AC _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF44	0000 _H	16	FFEA 00B0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF45	0000 _H	16	FFEA 00B4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF46	0000 _H	16	FFEA 00B8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF47	0000 _H	16	FFEA 00BC _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF48	0000 _H	16	FFEA 00C0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF49	0000 _H	16	FFEA 00C4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF50	0000 _H	16	FFEA 00C8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF51	0000 _H	16	FFEA 00CC _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF52	0000 _H	16	FFEA 00D0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF53	0000 _H	16	FFEA 00D4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF54	0000 _H	16	FFEA 00D8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF55	0000 _H	16	FFEA 00DC _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF56	0000 _H	16	FFEA 00E0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF57	0000 _H	16	FFEA 00E4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF58	0000 _H	16	FFEA 00E8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF59	0000 _H	16	FFEA 00EC _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF60	0000 _H	16	FFEA 00F0 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF61	0000 _H	16	FFEA 00F4 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF62	0000 _H	16	FFEA 00F8 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 デューティ設定レジスタ	TPBA0BUF63	0000 _H	16	FFEA 00FC _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 周期設定レジスタ	TPBA0CMP0	0000 _H	16	FFEA 0100 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 パタン数設定レジスタ	TPBA0CMP1	00 _H	8	FFEA 0104 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 タイマカウンタレジスタ	TPBA0CNT0	FFFF _H	16	FFEA 0108 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 アドレスカウンタレジスタ	TPBA0CNT1	00 _H	8	FFEA 010C _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 リロードステータスレジスタ	TPBA0RSF	00 _H	8	FFEA 0110 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 リロードデータトリガレジスタ	TPBA0RDT	00 _H	8	FFEA 0114 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 リロードデータモードレジスタ	TPBA0RDM	00 _H	8	FFEA 0118 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 タイマ出力レジスタ	TPBA0TO	00 _H	8	FFEA 011C _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 タイマ出力許可レジスタ	TPBA0TOE	00 _H	8	FFEA 0120 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 タイマ出力レベルレジスタ	TPBA0TOL	00 _H	8	FFEA 0124 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 イネーブルステータスレジスタ	TPBA0TE	00 _H	8	FFEA 0128 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 スタートトリガレジスタ	TPBA0TS	00 _H	8	FFEA 012C _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 ストップトリガレジスタ	TPBA0TT	00 _H	8	FFEA 0130 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA0	TPBA0 制御レジスタ	TPBA0CTL	00 _H	8	FFEA 0200 _H	1	8	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF00	0000 _H	16	FFEA 1000 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF01	0000 _H	16	FFEA 1004 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF02	0000 _H	16	FFEA 1008 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF03	0000 _H	16	FFEA 100C _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF04	0000 _H	16	FFEA 1010 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF05	0000 _H	16	FFEA 1014 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF06	0000 _H	16	FFEA 1018 _H	1	16	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF07	0000 _H	16	FFEA 101C _H	1	16	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (64/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRRES	SWRES	SV	UM		
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF61	0000 _H	16	FFEA 10F4 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF62	0000 _H	16	FFEA 10F8 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 デューティ設定レジスタ	TPBA1BUF63	0000 _H	16	FFEA 10FC _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 周期設定レジスタ	TPBA1CMP0	0000 _H	16	FFEA 1100 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 パターン数設定レジスタ	TPBA1CMP1	00 _H	8	FFEA 1104 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 タイマカウンタレジスタ	TPBA1CNT0	FFFF _H	16	FFEA 1108 _H	1	16	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 アドレスカウンタレジスタ	TPBA1CNT1	00 _H	8	FFEA 110C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 リロードステータスレジスタ	TPBA1RSF	00 _H	8	FFEA 1110 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 リロードデータトリガレジスタ	TPBA1RDT	00 _H	8	FFEA 1114 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 リロードデータモードレジスタ	TPBA1RDM	00 _H	8	FFEA 1118 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 タイマ出力レジスタ	TPBA1TO	00 _H	8	FFEA 111C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 タイマ出力許可レジスタ	TPBA1TOE	00 _H	8	FFEA 1120 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 タイマ出力レベルレジスタ	TPBA1TOL	00 _H	8	FFEA 1124 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 イネーブルステータスレジスタ	TPBA1TE	00 _H	8	FFEA 1128 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 スタートトリガレジスタ	TPBA1TS	00 _H	8	FFEA 112C _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 ストップトリガレジスタ	TPBA1TT	00 _H	8	FFEA 1130 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
TPBA1	TPBA1 制御レジスタ	TPBA1CTL	00 _H	8	FFEA 1200 _H	1	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 00	ADCD0VCR00	0000 0000 _H	32	FFF2 0000 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 01	ADCD0VCR01	0000 0000 _H	32	FFF2 0004 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 02	ADCD0VCR02	0000 0000 _H	32	FFF2 0008 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 03	ADCD0VCR03	0000 0000 _H	32	FFF2 000C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 04	ADCD0VCR04	0000 0000 _H	32	FFF2 0010 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 05	ADCD0VCR05	0000 0000 _H	32	FFF2 0014 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 06	ADCD0VCR06	0000 0000 _H	32	FFF2 0018 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 07	ADCD0VCR07	0000 0000 _H	32	FFF2 001C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 08	ADCD0VCR08	0000 0000 _H	32	FFF2 0020 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 09	ADCD0VCR09	0000 0000 _H	32	FFF2 0024 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 10	ADCD0VCR10	0000 0000 _H	32	FFF2 0028 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 11	ADCD0VCR11	0000 0000 _H	32	FFF2 002C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 12	ADCD0VCR12	0000 0000 _H	32	FFF2 0030 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 13	ADCD0VCR13	0000 0000 _H	32	FFF2 0034 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 14	ADCD0VCR14	0000 0000 _H	32	FFF2 0038 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 15	ADCD0VCR15	0000 0000 _H	32	FFF2 003C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 16	ADCD0VCR16	0000 0000 _H	32	FFF2 0040 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 17	ADCD0VCR17	0000 0000 _H	32	FFF2 0044 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 18	ADCD0VCR18	0000 0000 _H	32	FFF2 0048 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 19	ADCD0VCR19	0000 0000 _H	32	FFF2 004C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 20	ADCD0VCR20	0000 0000 _H	32	FFF2 0050 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 21	ADCD0VCR21	0000 0000 _H	32	FFF2 0054 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 22	ADCD0VCR22	0000 0000 _H	32	FFF2 0058 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	仮想チャネルレジスタ 23	ADCD0VCR23	0000 0000 _H	32	FFF2 005C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 00	ADCD0DR00	0000 0000 _H	32	FFF2 0100 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 02	ADCD0DR02	0000 0000 _H	32	FFF2 0104 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 04	ADCD0DR04	0000 0000 _H	32	FFF2 0108 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 06	ADCD0DR06	0000 0000 _H	32	FFF2 010C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 08	ADCD0DR08	0000 0000 _H	32	FFF2 0110 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 10	ADCD0DR10	0000 0000 _H	32	FFF2 0114 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 12	ADCD0DR12	0000 0000 _H	32	FFF2 0118 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 14	ADCD0DR14	0000 0000 _H	32	FFF2 011C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 16	ADCD0DR16	0000 0000 _H	32	FFF2 0120 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 18	ADCD0DR18	0000 0000 _H	32	FFF2 0124 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 20	ADCD0DR20	0000 0000 _H	32	FFF2 0128 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データレジスタ 22	ADCD0DR22	0000 0000 _H	32	FFF2 012C _H	3	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (65/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRRES	EXTRES	DBRES	ECMRRES	BISTRRES	SWRES	SV	UM		
ADCD0	データ付帯情報レジスタ 00	ADCD0DIR00	0000 0000 _H	32	FFF2 0200 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 01	ADCD0DIR01	0000 0000 _H	32	FFF2 0204 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 02	ADCD0DIR02	0000 0000 _H	32	FFF2 0208 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 03	ADCD0DIR03	0000 0000 _H	32	FFF2 020C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 04	ADCD0DIR04	0000 0000 _H	32	FFF2 0210 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 05	ADCD0DIR05	0000 0000 _H	32	FFF2 0214 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 06	ADCD0DIR06	0000 0000 _H	32	FFF2 0218 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 07	ADCD0DIR07	0000 0000 _H	32	FFF2 021C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 08	ADCD0DIR08	0000 0000 _H	32	FFF2 0220 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 09	ADCD0DIR09	0000 0000 _H	32	FFF2 0224 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 10	ADCD0DIR10	0000 0000 _H	32	FFF2 0228 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 11	ADCD0DIR11	0000 0000 _H	32	FFF2 022C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 12	ADCD0DIR12	0000 0000 _H	32	FFF2 0230 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 13	ADCD0DIR13	0000 0000 _H	32	FFF2 0234 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 14	ADCD0DIR14	0000 0000 _H	32	FFF2 0238 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 15	ADCD0DIR15	0000 0000 _H	32	FFF2 023C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 16	ADCD0DIR16	0000 0000 _H	32	FFF2 0240 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 17	ADCD0DIR17	0000 0000 _H	32	FFF2 0244 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 18	ADCD0DIR18	0000 0000 _H	32	FFF2 0248 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 19	ADCD0DIR19	0000 0000 _H	32	FFF2 024C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 20	ADCD0DIR20	0000 0000 _H	32	FFF2 0250 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 21	ADCD0DIR21	0000 0000 _H	32	FFF2 0254 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 22	ADCD0DIR22	0000 0000 _H	32	FFF2 0258 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	データ付帯情報レジスタ 23	ADCD0DIR23	0000 0000 _H	32	FFF2 025C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD 同期開始制御レジスタ	ADCD0ADSYNSTCR	00 _H	8	FFF2 0300 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ同期開始制御レジスタ	ADCD0ADTSYNSTCR	00 _H	8	FFF2 0304 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	A/D 変換時間制御レジスタ	ADCD0SMPCR	0000 _H	16	FFF2 0340 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD 終了レジスタ	ADCD0ADHALTR	00 _H	8	FFF2 0380 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD 制御レジスタ 1	ADCD0ADCR1	00 _H	8	FFF2 0384 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	MPX カレント制御レジスタ	ADCD0MPXCURCR	00 _H	8	FFF2 0388 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	MPX カレントレジスタ	ADCD0MPXCURR	0000 0000 _H	32	FFF2 038C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	MPX 任意ウェイトレジスタ	ADCD0MPXOWR	00 _H	8	FFF2 0390 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD 制御レジスタ 2	ADCD0ADCR2	00 _H	8	FFF2 0398 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	A/D 変換モニタ仮想チャネルポイント 0	ADCD0ADENDP0	00 _H	8	FFF2 03A0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	A/D 変換モニタ仮想チャネルポイント 1	ADCD0ADENDP1	00 _H	8	FFF2 03A4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	A/D 変換モニタ仮想チャネルポイント 2	ADCD0ADENDP2	00 _H	8	FFF2 03A8 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	A/D 変換モニタ仮想チャネルポイント 3	ADCD0ADENDP3	00 _H	8	FFF2 03AC _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	A/D 変換モニタ仮想チャネルポイント 4	ADCD0ADENDP4	00 _H	8	FFF2 03B0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	セーフティ制御レジスタ	ADCD0SFTCR	00 _H	8	FFF2 03C0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	端子レベル自己診断制御レジスタ	ADCD0TDCR	00 _H	8	FFF2 03C4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	断線検出制御レジスタ	ADCD0ODCR	0000 0000 _H	32	FFF2 03C8 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	上限 / 下限テーブルレジスタ 0	ADCD0ULLMTBR0	7FFE 0000 _H	32	FFF2 03CC _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	上限 / 下限テーブルレジスタ 1	ADCD0ULLMTBR1	7FFE 0000 _H	32	FFF2 03D0 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	上限 / 下限テーブルレジスタ 2	ADCD0ULLMTBR2	7FFE 0000 _H	32	FFF2 03D4 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	エラークリアレジスタ	ADCD0ECR	00 _H	8	FFF2 03D8 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	上限 / 下限エラーレジスタ	ADCD0ULER	00 _H	8	FFF2 03DC _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	オーバーライトエラーレジスタ	ADCD0OWER	00 _H	8	FFF2 03E0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	パリティエラーレジスタ	ADCD0PER	00 _H	8	FFF2 03E4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	ID エラーレジスタ	ADCD0IDER	00 _H	8	FFF2 03E8 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	T&H サンプリング開始制御レジスタ	ADCD0THSMPSTCR	00 _H	8	FFF2 0400 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	T&H 停止制御レジスタ	ADCD0THSTPCR	00 _H	8	FFF2 0404 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	T&H 制御レジスタ	ADCD0THCR	00 _H	8	FFF2 0408 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	T&H グループ A ホールド開始制御レジスタ	ADCD0THAHLSTCR	00 _H	8	FFF2 0410 _H	3	8	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (66/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [ビット]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRRES	SWRES	SV	UM		
ADCD0	T&H グループ B ホールド開始制御レジスタ	ADCD0THBLDSTCR	00 _H	8	FFF2 0414 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	T&H グループ A 制御レジスタ	ADCD0THACR	00 _H	8	FFF2 0420 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	T&H グループ B 制御レジスタ	ADCD0THBCR	00 _H	8	FFF2 0424 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	T&H イネーブルレジスタ	ADCD0THER	00 _H	8	FFF2 0430 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	T&H グループ選択レジスタ	ADCD0THGSR	0000 _H	16	FFF2 0434 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ0 開始制御レジスタ	ADCD0SGSTCR0	00 _H	8	FFF2 0480 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ0 制御レジスタ	ADCD0SGCR0	00 _H	8	FFF2 0490 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ0 開始仮想チャネルポイント	ADCD0SGVCSP0	00 _H	8	FFF2 0494 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ0 終了仮想チャネルポイント	ADCD0SGVCEP0	00 _H	8	FFF2 0498 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ0 マルチサイクルレジスタ	ADCD0SGMCYCR0	00 _H	8	FFF2 049C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ0 ステータスレジスタ	ADCD0SGSR0	00 _H	8	FFF2 04A4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ0 上限値 / 下限値テーブル選択レジスタ	ADCD0ULLMSR0	00 _H	8	FFF2 04B0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ1 開始制御レジスタ	ADCD0SGSTCR1	00 _H	8	FFF2 0500 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ1 制御レジスタ	ADCD0SGCR1	00 _H	8	FFF2 0510 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ1 開始仮想チャネルポイント	ADCD0SGVCSP1	00 _H	8	FFF2 0514 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ1 終了仮想チャネルポイント	ADCD0SGVCEP1	00 _H	8	FFF2 0518 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ1 マルチサイクルレジスタ	ADCD0SGMCYCR1	00 _H	8	FFF2 051C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ1 ステータスレジスタ	ADCD0SGSR1	00 _H	8	FFF2 0524 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ1 上限値 / 下限値テーブル選択レジスタ	ADCD0ULLMSR1	00 _H	8	FFF2 0530 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ2 開始制御レジスタ	ADCD0SGSTCR2	00 _H	8	FFF2 0580 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ2 制御レジスタ	ADCD0SGCR2	00 _H	8	FFF2 0590 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ2 開始仮想チャネルポイント	ADCD0SGVCSP2	00 _H	8	FFF2 0594 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ2 終了仮想チャネルポイント	ADCD0SGVCEP2	00 _H	8	FFF2 0598 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ2 マルチサイクルレジスタ	ADCD0SGMCYCR2	00 _H	8	FFF2 059C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ2 ステータスレジスタ	ADCD0SGSR2	00 _H	8	FFF2 05A4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ2 上限値 / 下限値テーブル選択レジスタ	ADCD0ULLMSR2	00 _H	8	FFF2 05B0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ3 開始制御レジスタ	ADCD0SGSTCR3	00 _H	8	FFF2 0600 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ3 開始制御レジスタ	ADCD0ADTSTCR3	00 _H	8	FFF2 0608 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ3 終了制御レジスタ	ADCD0ADTENDCR3	00 _H	8	FFF2 060C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ3 制御レジスタ	ADCD0SGCR3	00 _H	8	FFF2 0610 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ3 開始仮想チャネルポイント	ADCD0SGVCSP3	00 _H	8	FFF2 0614 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ3 終了仮想チャネルポイント	ADCD0SGVCEP3	00 _H	8	FFF2 0618 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ3 マルチサイクルレジスタ	ADCD0SGMCYCR3	00 _H	8	FFF2 061C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ3 ステータスレジスタ	ADCD0SGSR3	00 _H	8	FFF2 0624 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ初期位相レジスタ 3	ADCD0ADTIPR3	0000 0000 _H	32	FFF2 0628 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ周期レジスタ 3	ADCD0ADTPRR3	001F FFFF _H	32	FFF2 062C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ3 上限値 / 下限値テーブル選択レジスタ	ADCD0ULLMSR3	00 _H	8	FFF2 0630 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ4 開始制御レジスタ	ADCD0SGSTCR4	00 _H	8	FFF2 0680 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ4 開始制御レジスタ	ADCD0ADTSTCR4	00 _H	8	FFF2 0688 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ4 終了制御レジスタ	ADCD0ADTENDCR4	00 _H	8	FFF2 068C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ4 制御レジスタ	ADCD0SGCR4	00 _H	8	FFF2 0690 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ4 開始仮想チャネルポイント	ADCD0SGVCSP4	00 _H	8	FFF2 0694 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ4 終了仮想チャネルポイント	ADCD0SGVCEP4	00 _H	8	FFF2 0698 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ4 マルチサイクルレジスタ	ADCD0SGMCYCR4	00 _H	8	FFF2 069C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ4 ステータスレジスタ	ADCD0SGSR4	00 _H	8	FFF2 06A4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ初期位相レジスタ 4	ADCD0ADTIPR4	0000 0000 _H	32	FFF2 06A8 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	AD タイマ周期レジスタ 4	ADCD0ADTPRR4	001F FFFF _H	32	FFF2 06AC _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD0	スキャングループ4 上限値 / 下限値テーブル選択レジスタ	ADCD0ULLMSR4	00 _H	8	FFF2 06B0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 00	ADCD1VCR00	0000 0000 _H	32	FFF2 1000 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 01	ADCD1VCR01	0000 0000 _H	32	FFF2 1004 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 02	ADCD1VCR02	0000 0000 _H	32	FFF2 1008 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 03	ADCD1VCR03	0000 0000 _H	32	FFF2 100C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 04	ADCD1VCR04	0000 0000 _H	32	FFF2 1010 _H	3	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスター一覧 (67/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
ADCD1	仮想チャネルレジスタ 05	ADCD1VCR05	0000 0000 _H	32	FFF2 1014 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 06	ADCD1VCR06	0000 0000 _H	32	FFF2 1018 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 07	ADCD1VCR07	0000 0000 _H	32	FFF2 101C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 08	ADCD1VCR08	0000 0000 _H	32	FFF2 1020 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 09	ADCD1VCR09	0000 0000 _H	32	FFF2 1024 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 10	ADCD1VCR10	0000 0000 _H	32	FFF2 1028 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 11	ADCD1VCR11	0000 0000 _H	32	FFF2 102C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 12	ADCD1VCR12	0000 0000 _H	32	FFF2 1030 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 13	ADCD1VCR13	0000 0000 _H	32	FFF2 1034 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 14	ADCD1VCR14	0000 0000 _H	32	FFF2 1038 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 15	ADCD1VCR15	0000 0000 _H	32	FFF2 103C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 16	ADCD1VCR16	0000 0000 _H	32	FFF2 1040 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 17	ADCD1VCR17	0000 0000 _H	32	FFF2 1044 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 18	ADCD1VCR18	0000 0000 _H	32	FFF2 1048 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 19	ADCD1VCR19	0000 0000 _H	32	FFF2 104C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 20	ADCD1VCR20	0000 0000 _H	32	FFF2 1050 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 21	ADCD1VCR21	0000 0000 _H	32	FFF2 1054 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 22	ADCD1VCR22	0000 0000 _H	32	FFF2 1058 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	仮想チャネルレジスタ 23	ADCD1VCR23	0000 0000 _H	32	FFF2 105C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 00	ADCD1DR00	0000 0000 _H	32	FFF2 1100 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 02	ADCD1DR02	0000 0000 _H	32	FFF2 1104 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 04	ADCD1DR04	0000 0000 _H	32	FFF2 1108 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 06	ADCD1DR06	0000 0000 _H	32	FFF2 110C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 08	ADCD1DR08	0000 0000 _H	32	FFF2 1110 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 10	ADCD1DR10	0000 0000 _H	32	FFF2 1114 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 12	ADCD1DR12	0000 0000 _H	32	FFF2 1118 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 14	ADCD1DR14	0000 0000 _H	32	FFF2 111C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 16	ADCD1DR16	0000 0000 _H	32	FFF2 1120 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 18	ADCD1DR18	0000 0000 _H	32	FFF2 1124 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 20	ADCD1DR20	0000 0000 _H	32	FFF2 1128 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データレジスタ 22	ADCD1DR22	0000 0000 _H	32	FFF2 112C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 00	ADCD1DIR00	0000 0000 _H	32	FFF2 1200 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 01	ADCD1DIR01	0000 0000 _H	32	FFF2 1204 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 02	ADCD1DIR02	0000 0000 _H	32	FFF2 1208 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 03	ADCD1DIR03	0000 0000 _H	32	FFF2 120C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 04	ADCD1DIR04	0000 0000 _H	32	FFF2 1210 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 05	ADCD1DIR05	0000 0000 _H	32	FFF2 1214 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 06	ADCD1DIR06	0000 0000 _H	32	FFF2 1218 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 07	ADCD1DIR07	0000 0000 _H	32	FFF2 121C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 08	ADCD1DIR08	0000 0000 _H	32	FFF2 1220 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 09	ADCD1DIR09	0000 0000 _H	32	FFF2 1224 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 10	ADCD1DIR10	0000 0000 _H	32	FFF2 1228 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 11	ADCD1DIR11	0000 0000 _H	32	FFF2 122C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 12	ADCD1DIR12	0000 0000 _H	32	FFF2 1230 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 13	ADCD1DIR13	0000 0000 _H	32	FFF2 1234 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 14	ADCD1DIR14	0000 0000 _H	32	FFF2 1238 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 15	ADCD1DIR15	0000 0000 _H	32	FFF2 123C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 16	ADCD1DIR16	0000 0000 _H	32	FFF2 1240 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 17	ADCD1DIR17	0000 0000 _H	32	FFF2 1244 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 18	ADCD1DIR18	0000 0000 _H	32	FFF2 1248 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 19	ADCD1DIR19	0000 0000 _H	32	FFF2 124C _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 20	ADCD1DIR20	0000 0000 _H	32	FFF2 1250 _H	3	32	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 21	ADCD1DIR21	0000 0000 _H	32	FFF2 1254 _H	3	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (68/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
ADCD1	データ付帯情報レジスタ 22	ADCD1DIR22	0000 0000 _H	32	FFF2 1258 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	データ付帯情報レジスタ 23	ADCD1DIR23	0000 0000 _H	32	FFF2 125C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	A/D 変換時間制御レジスタ	ADCD1SMPCR	0000 _H	16	FFF2 1340 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD 終了レジスタ	ADCD1ADHALTR	00 _H	8	FFF2 1380 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD 制御レジスタ 1	ADCD1ADCR1	00 _H	8	FFF2 1384 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	MPX カレント制御レジスタ	ADCD1MPXCURCR	00 _H	8	FFF2 1388 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	MPX カレントレジスタ	ADCD1MPXCURR	0000 0000 _H	32	FFF2 138C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	MPX 任意ウェイトレジスタ	ADCD1MPXOWR	00 _H	8	FFF2 1390 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD 制御レジスタ 2	ADCD1ADCR2	00 _H	8	FFF2 1398 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	A/D 変換モニタ仮想チャネルポイント 0	ADCD1ADENDP0	00 _H	8	FFF2 13A0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	A/D 変換モニタ仮想チャネルポイント 1	ADCD1ADENDP1	00 _H	8	FFF2 13A4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	A/D 変換モニタ仮想チャネルポイント 2	ADCD1ADENDP2	00 _H	8	FFF2 13A8 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	A/D 変換モニタ仮想チャネルポイント 3	ADCD1ADENDP3	00 _H	8	FFF2 13AC _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	A/D 変換モニタ仮想チャネルポイント 4	ADCD1ADENDP4	00 _H	8	FFF2 13B0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	セーフティ制御レジスタ	ADCD1SFTCR	00 _H	8	FFF2 13C0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	端子レベル自己診断制御レジスタ	ADCD1TDCR	00 _H	8	FFF2 13C4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	断線検出制御レジスタ	ADCD1ODCR	0000 0000 _H	32	FFF2 13C8 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	上限 / 下限テーブルレジスタ 0	ADCD1ULLMTBR0	7FFE 0000 _H	32	FFF2 13CC _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	上限 / 下限テーブルレジスタ 1	ADCD1ULLMTBR1	7FFE 0000 _H	32	FFF2 13D0 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	上限 / 下限テーブルレジスタ 2	ADCD1ULLMTBR2	7FFE 0000 _H	32	FFF2 13D4 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	エラークリアレジスタ	ADCD1ECR	00 _H	8	FFF2 13D8 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	上限 / 下限エラーレジスタ	ADCD1ULER	00 _H	8	FFF2 13DC _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	オーバーライトエラーレジスタ	ADCD1OWER	00 _H	8	FFF2 13E0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	パリティエラーレジスタ	ADCD1PER	00 _H	8	FFF2 13E4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	ID エラーレジスタ	ADCD1IDER	00 _H	8	FFF2 13E8 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H サンプリング開始制御レジスタ	ADCD1THSMPSTCR	00 _H	8	FFF2 1400 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H 停止制御レジスタ	ADCD1THSTPCR	00 _H	8	FFF2 1404 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H 制御レジスタ	ADCD1THCR	00 _H	8	FFF2 1408 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H グループ A ホールド開始制御レジスタ	ADCD1THAHLSTCR	00 _H	8	FFF2 1410 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H グループ B ホールド開始制御レジスタ	ADCD1THBHLSTCR	00 _H	8	FFF2 1414 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H グループ A 制御レジスタ	ADCD1THACR	00 _H	8	FFF2 1420 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H グループ B 制御レジスタ	ADCD1THBCR	00 _H	8	FFF2 1424 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H イネーブルレジスタ	ADCD1THER	00 _H	8	FFF2 1430 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	T&H グループ選択レジスタ	ADCD1THGSR	0000 _H	16	FFF2 1434 _H	3	16	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 0 開始制御レジスタ	ADCD1SGSTCR0	00 _H	8	FFF2 1480 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 0 制御レジスタ	ADCD1SGCR0	00 _H	8	FFF2 1490 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 0 開始仮想チャネルポイント	ADCD1SGVCSPO	00 _H	8	FFF2 1494 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 0 終了仮想チャネルポイント	ADCD1SGVCEPO	00 _H	8	FFF2 1498 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 0 マルチサイクルレジスタ	ADCD1SGMCCR0	00 _H	8	FFF2 149C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 0 ステータスレジスタ	ADCD1SGSR0	00 _H	8	FFF2 14A4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 0 上限値 / 下限値テーブル選択レジスタ	ADCD1ULLMSR0	00 _H	8	FFF2 14B0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 1 開始制御レジスタ	ADCD1SGSTCR1	00 _H	8	FFF2 1500 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 1 制御レジスタ	ADCD1SGCR1	00 _H	8	FFF2 1510 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 1 開始仮想チャネルポイント	ADCD1SGVCSPI	00 _H	8	FFF2 1514 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 1 終了仮想チャネルポイント	ADCD1SGVCEPI	00 _H	8	FFF2 1518 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 1 マルチサイクルレジスタ	ADCD1SGMCCR1	00 _H	8	FFF2 151C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 1 ステータスレジスタ	ADCD1SGSR1	00 _H	8	FFF2 1524 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 1 上限値 / 下限値テーブル選択レジスタ	ADCD1ULLMSR1	00 _H	8	FFF2 1530 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 2 開始制御レジスタ	ADCD1SGSTCR2	00 _H	8	FFF2 1580 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 2 制御レジスタ	ADCD1SGCR2	00 _H	8	FFF2 1590 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 2 開始仮想チャネルポイント	ADCD1SGVCSPI2	00 _H	8	FFF2 1594 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 2 終了仮想チャネルポイント	ADCD1SGVCEPI2	00 _H	8	FFF2 1598 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ 2 マルチサイクルレジスタ	ADCD1SGMCCR2	00 _H	8	FFF2 159C _H	3	8	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (69/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
ADCD1	スキヤングループ2 ステータスレジスタ	ADCD1SGSR2	00 _H	8	FFF2 15A4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ2 上限値 / 下限値テーブル選択レジスタ	ADCD1ULLMSR2	00 _H	8	FFF2 15B0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ3 開始制御レジスタ	ADCD1SGSTCR3	00 _H	8	FFF2 1600 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD タイマ3 開始制御レジスタ	ADCD1ADTSTCR3	00 _H	8	FFF2 1608 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD タイマ3 終了制御レジスタ	ADCD1ADTENDCR3	00 _H	8	FFF2 160C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ3 制御レジスタ	ADCD1SGCR3	00 _H	8	FFF2 1610 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ3 開始仮想チャネルポイント	ADCD1SGVCSP3	00 _H	8	FFF2 1614 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ3 終了仮想チャネルポイント	ADCD1SGVCEP3	00 _H	8	FFF2 1618 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ3 マルチサイクルレジスタ	ADCD1SGMCYCR3	00 _H	8	FFF2 161C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ3 ステータスレジスタ	ADCD1SGSR3	00 _H	8	FFF2 1624 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD タイマ初期位相レジスタ 3	ADCD1ADTIPR3	0000 0000 _H	32	FFF2 1628 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD タイマ周期レジスタ 3	ADCD1ADTPRR3	001F FFFF _H	32	FFF2 162C _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ3 上限値 / 下限値テーブル選択レジスタ	ADCD1ULLMSR3	00 _H	8	FFF2 1630 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ4 開始制御レジスタ	ADCD1SGSTCR4	00 _H	8	FFF2 1680 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD タイマ4 開始制御レジスタ	ADCD1ADTSTCR4	00 _H	8	FFF2 1688 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD タイマ4 終了制御レジスタ	ADCD1ADTENDCR4	00 _H	8	FFF2 168C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ4 制御レジスタ	ADCD1SGCR4	00 _H	8	FFF2 1690 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ4 開始仮想チャネルポイント	ADCD1SGVCSP4	00 _H	8	FFF2 1694 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ4 終了仮想チャネルポイント	ADCD1SGVCEP4	00 _H	8	FFF2 1698 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ4 マルチサイクルレジスタ	ADCD1SGMCYCR4	00 _H	8	FFF2 169C _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ4 ステータスレジスタ	ADCD1SGSR4	00 _H	8	FFF2 16A4 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD タイマ初期位相レジスタ 4	ADCD1ADTIPR4	0000 0000 _H	32	FFF2 16A8 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	AD タイマ周期レジスタ 4	ADCD1ADTPRR4	001F FFFF _H	32	FFF2 16AC _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	スキヤングループ4 上限値 / 下限値テーブル選択レジスタ	ADCD1ULLMSR4	00 _H	8	FFF2 16B0 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
ADCD0	A/D コンバータオープン検出診断制御レジスタ 0	ADOPDIG0	0000 0000 _H	32	FFF2 3000 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
ADCD1	A/D コンバータオープン検出診断制御レジスタ 1	ADOPDIG1	0000 0000 _H	32	FFF2 3040 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
PIC2B	A/D コンバータ同期スタートトリガレジスタ	ADSYNCTRG	00 _H	8	FFF2 3100 _H	3	8	○	○	○	○	○	○	○	○	○	○	○
TSN0	温度センサ制御レジスタ	TSN0CR	0000 0000 _H	32	FFF2 8000 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
TSN0	温度センサステータスレジスタ	TSN0STAT	0000 0000 _H	32	FFF2 8004 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
TSN0	温度センサ診断制御レジスタ	TSN0DIAG	0000 0000 _H	32	FFF2 8008 _H	3	32	○	○	○	○	○	○	○	○	○	○	○
FLASH	FHVE3 コントロールレジスタ	FHVE3	0000 0000 _H	32	FFF8 2410 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	リセット要因判定レジスタ	RESF	0000 000X _H	32	FFF8 2800 _H	5	32	○	○	×	○	×	×	×	○	○	○	○
SYS	リセット要因クリアレジスタ	RESFC	0000 0000 _H	32	FFF8 2808 _H	5	32	○	○	×	○	×	×	×	○	○	○	○
SYS	CVM 要因レジスタ	CVMF	00 _H	8	FFF8 2820 _H	5	8	○	×	×	○	×	×	×	○	○	○	○
SYS	CVM 検出許可レジスタ	CVMDE	03 _H	8	FFF8 2824 _H	5	8	○	×	×	○	×	×	×	○	○	○	○
SYS	CVM 検出出力マスクレジスタ	CVMDEMASK	00 _H	8	FFF8 282C _H	5	8	○	○	○	○	○	○	○	○	○	○	○
SYS	CVM 診断機能制御レジスタ	CVMDEMASK	00 _H	8	FFF8 2830 _H	5	8	○	○	○	○	○	○	○	○	○	○	○
SYS	CVM モニタレジスタ	CVMMON	不定	8	FFF8 2834 _H	5	8	×	×	×	×	×	×	×	○	○	○	○
SYS	CVM 要因クリアレジスタ	CVMFC	00 _H	8	FFF8 2838 _H	5	8	○	○	○	○	○	○	○	○	○	○	○
SYS	CVM 検出許可セットレジスタ	CVMDEW	00 _H	8	FFF8 283C _H	5	8	○	○	○	○	○	○	○	○	○	○	○
SYS	CVM リセットイネーブルレジスタ	CVMREN	0000 0000 _H	32	FFF8 2840 _H	5	32	○	×	×	○	×	×	×	○	○	○	○
SYS	LVI 制御レジスタ	LVICNT	0000 0000 _H	32	FFF8 2C00 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	保護コマンドレジスタ	PROTCMDCVM	0000 0000 _H	32	FFF8 3010 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	保護コマンドステータスレジスタ	PROTSCVM	0000 0000 _H	32	FFF8 3014 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
CLMAC	CLMA セルフテストレジスタ	CLMATEST	0000 0000 _H	32	FFF8 8204 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
CLMAC	CLMA セルフテストステータス レジスタ	CLMATESTS	0000 0000 _H	32	FFF8 8208 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
CLMA0	CLMA0 制御レジスタ 0	CLMA0CTL0	00 _H	8	FFF8 8400 _H	5	8	○	○	○	○	○	○	○	○	○	○	○
CLMA0	CLMA0 比較レジスタ L	CLMA0CMPL	0001 _H	16	FFF8 8408 _H	5	16	○	○	○	○	○	○	○	○	○	○	○
CLMA0	CLMA0 比較レジスタ H	CLMA0CMPH	03FF _H	16	FFF8 840C _H	5	16	○	○	○	○	○	○	○	○	○	○	○
CLMA0	CLMA0 保護命令レジスタ	CLMA0PCMD	00 _H	8	FFF8 8410 _H	5	8	○	○	○	○	○	○	○	○	○	○	○
CLMA0	CLMA0 保護ステータスレジスタ	CLMA0OPS	00 _H	8	FFF8 8414 _H	5	8	○	○	○	○	○	○	○	○	○	○	○
CLMA1	CLMA1 制御レジスタ 0	CLMA1CTL0	00 _H	8	FFF8 8420 _H	5	8	○	○	○	○	○	○	○	○	○	○	○
CLMA1	CLMA1 比較レジスタ L	CLMA1CMPL	0001 _H	16	FFF8 8428 _H	5	16	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (70/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
CLMA1	CLMA1 比較レジスタ H	CLMA1CMPH	03FF _H	16	FFF8 842C _H	5	16	○	○	○	○	○	○	○	○	○	○
CLMA1	CLMA1 保護命令レジスタ	CLMA1PCMD	00 _H	8	FFF8 8430 _H	5	8	○	○	○	○	○	○	○	○	○	○
CLMA1	CLMA1 保護ステータスレジスタ	CLMA1PS	00 _H	8	FFF8 8434 _H	5	8	○	○	○	○	○	○	○	○	○	○
CLMA2	CLMA2 制御レジスタ 0	CLMA2CTL0	00 _H	8	FFF8 8440 _H	5	8	○	○	○	○	○	○	○	○	○	○
CLMA2	CLMA2 比較レジスタ L	CLMA2CMPL	0001 _H	16	FFF8 8448 _H	5	16	○	○	○	○	○	○	○	○	○	○
CLMA2	CLMA2 比較レジスタ H	CLMA2CMPH	03FF _H	16	FFF8 844C _H	5	16	○	○	○	○	○	○	○	○	○	○
CLMA2	CLMA2 保護命令レジスタ	CLMA2PCMD	00 _H	8	FFF8 8450 _H	5	8	○	○	○	○	○	○	○	○	○	○
CLMA2	CLMA2 保護ステータスレジスタ	CLMA2PS	00 _H	8	FFF8 8454 _H	5	8	○	○	○	○	○	○	○	○	○	○
CLMA3	CLMA3 制御レジスタ 0	CLMA3CTL0	00 _H	8	FFF8 8460 _H	5	8	○	○	○	○	○	○	○	○	○	○
CLMA3	CLMA3 比較レジスタ L	CLMA3CMPL	0001 _H	16	FFF8 8468 _H	5	16	○	○	○	○	○	○	○	○	○	○
CLMA3	CLMA3 比較レジスタ H	CLMA3CMPH	03FF _H	16	FFF8 846C _H	5	16	○	○	○	○	○	○	○	○	○	○
CLMA3	CLMA3 保護命令レジスタ	CLMA3PCMD	00 _H	8	FFF8 8470 _H	5	8	○	○	○	○	○	○	○	○	○	○
CLMA3	CLMA3 保護ステータスレジスタ	CLMA3PS	00 _H	8	FFF8 8474 _H	5	8	○	○	○	○	○	○	○	○	○	○
SYS	クロック選択制御レジスタ 0	CKSC0CTL	0000 0000 _H	32	FFF8 9080 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	クロック選択ステータスレジスタ 0	CSC0STAT	0000 0000 _H	32	FFF8 9084 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	クロック選択制御レジスタ 1	CKSC1CTL	0000 0000 _H	32	FFF8 90C0 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	クロック選択ステータスレジスタ 1	CSC1STAT	0000 0000 _H	32	FFF8 90C4 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS100C	0000 0002 _H	32	FFF8 9100 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC100STAT	0000 0003 _H	32	FFF8 9104 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS101C	0000 0002 _H	32	FFF8 9108 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC101STAT	0000 0003 _H	32	FFF8 910C _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS106C	0000 0002 _H	32	FFF8 9110 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC106STAT	0000 0003 _H	32	FFF8 9114 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS107C	0000 0002 _H	32	FFF8 9118 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC107STAT	0000 0003 _H	32	FFF8 911C _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS108C	0000 0002 _H	32	FFF8 9120 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC108STAT	0000 0003 _H	32	FFF8 9124 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS109C	0000 0002 _H	32	FFF8 9128 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC109STAT	0000 0003 _H	32	FFF8 912C _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS110C	0000 0002 _H	32	FFF8 9130 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC110STAT	0000 0003 _H	32	FFF8 9134 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS112C	0000 0002 _H	32	FFF8 9138 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC112STAT	0000 0003 _H	32	FFF8 913C _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS113C	0000 0002 _H	32	FFF8 9140 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC113STAT	0000 0003 _H	32	FFF8 9144 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS114C	0000 0002 _H	32	FFF8 9148 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC114STAT	0000 0003 _H	32	FFF8 914C _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS104C	0000 0002 _H	32	FFF8 9150 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC104STAT	0000 0003 _H	32	FFF8 9154 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS105C	0000 0002 _H	32	FFF8 9158 _H	5	32	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC105STAT	0000 0003 _H	32	FFF8 915C _H	5	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (71/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRRES	SWRES	SV	UM		
SYS	デジタルノイズ除去サンプリングクロックソース選択レジスタ	DNFCKS102C	0000 0002 _H	32	FFF8 9160 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	デジタルノイズ除去サンプリングクロックソースステータスレジスタ	DNFCSC102STAT	0000 0003 _H	32	FFF8 9164 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	クロック分周制御レジスタ 0	CLKD0DIV	0000 0000 _H	32	FFF8 9180 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	クロック分周ステータスレジスタ 0	CLKD0STAT	0000 0001 _H	32	FFF8 9184 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	クロック分周制御レジスタ 1	CLKD1DIV	0000 0000 _H	32	FFF8 9188 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	クロック分周ステータスレジスタ 1	CLKD1STAT	0000 0001 _H	32	FFF8 918C _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	A/D クロック選択制御レジスタ 0	ADCKSC0CTL	0000 0002 _H	32	FFF8 9200 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	A/D クロック選択ステータスレジスタ 0	ADCSC0STAT	0000 0003 _H	32	FFF8 9204 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
FLASH	FHVE15 コントロールレジスタ	FHVE15	0000 0000 _H	32	FFF8 A430 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	FieldBIST 制御レジスタ	BSEQ0CTL	0000 0001 _H	32	FFF8 A440 _H	5	32	○	○	×	○	×	×	×	×	○	○	○
SYS	パワーオンクリアフラグレジスタ	POF	0000 000X _H	32	FFF8 AC10 _H	5	32	○	×	×	×	×	×	×	×	○	○	○
SYS	パワーオンクリアフラグクリアレジスタ	POFC	0000 0000 _H	32	FFF8 AC14 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	ソフトウェアリセット要求レジスタ	SWRESA	0000 0000 _H	32	FFF8 AC18 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	保護コマンドレジスタ	PROT1PHCMD	0000 0000 _H	32	FFF8 B000 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
SYS	保護コマンドステータスレジスタ	PROT1PS	0000 0000 _H	32	FFF8 B004 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG5A プロテクションレジスタ 0	FSGD5ADPROT0	07FF FFFF _H	32	FFF9 0000 _H	5	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG5A エラーコントロールレジスタ	ERRSLV5ACTL	0000 0000 _H	32	FFF9 0040 _H	5	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG5A エラーステータスレジスタ	ERRSLV5ASTAT	0000 0000 _H	32	FFF9 0044 _H	5	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG5A エラーアドレスレジスタ	ERRSLV5AADDR	0000 0000 _H	32	FFF9 0048 _H	5	32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG5A エラータイプレジスタ	ERRSLV5ATYPE	0000 0000 _H	32	FFF9 004C _H	5	16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 0	FSGD2ADPROT0	07FF FFFF _H	32	FFF9 4000 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 1	FSGD2ADPROT1	07FF FFFF _H	32	FFF9 4004 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 2	FSGD2ADPROT2	07FF FFFF _H	32	FFF9 4008 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 3	FSGD2ADPROT3	07FF FFFF _H	32	FFF9 400C _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 4	FSGD2ADPROT4	07FF FFFF _H	32	FFF9 4010 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 5	FSGD2ADPROT5	07FF FFFF _H	32	FFF9 4014 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 6	FSGD2ADPROT6	07FF FFFF _H	32	FFF9 4018 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 7	FSGD2ADPROT7	07FF FFFF _H	32	FFF9 401C _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 8	FSGD2ADPROT8	07FF FFFF _H	32	FFF9 4020 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 9	FSGD2ADPROT9	07FF FFFF _H	32	FFF9 4024 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 10	FSGD2ADPROT10	07FF FFFF _H	32	FFF9 4028 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 11	FSGD2ADPROT11	07FF FFFF _H	32	FFF9 402C _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 12	FSGD2ADPROT12	07FF FFFF _H	32	FFF9 4030 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 13	FSGD2ADPROT13	07FF FFFF _H	32	FFF9 4034 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 14	FSGD2ADPROT14	07FF FFFF _H	32	FFF9 4038 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A プロテクションレジスタ 15	FSGD2ADPROT15	07FF FFFF _H	32	FFF9 403C _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A エラーコントロールレジスタ	ERRSLV2ACTL	0000 0000 _H	32	FFF9 4040 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A エラーステータスレジスタ	ERRSLV2ASTAT	0000 0000 _H	32	FFF9 4044 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A エラーアドレスレジスタ	ERRSLV2AADDR	0000 0000 _H	32	FFF9 4048 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
PBG	PBG2A エラータイプレジスタ	ERRSLV2ATYPE	0000 0000 _H	32	FFF9 404C _H	2	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスレジスタ OSTM30	APDPERRST_OSTM30	0000 0000 _H	32	FFF9 6000 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスクリアレジスタ OSTM30	APDPERRSTC_OSTM30	0000 0000 _H	32	FFF9 6004 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティテストモードコントロールレジスタ OSTM30	APDPTMC_OSTM30	0000 0000 _H	32	FFF9 6008 _H	2	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティエラーアドレスレジスタ OSTM30	APDPERRADR_OSTM30	0000 0000 _H	32	FFF9 600C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスレジスタ OSTM40	APDPERRST_OSTM40	0000 0000 _H	32	FFF9 6010 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスクリアレジスタ OSTM40	APDPERRSTC_OSTM40	0000 0000 _H	32	FFF9 6014 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティテストモードコントロールレジスタ OSTM40	APDPTMC_OSTM40	0000 0000 _H	32	FFF9 6018 _H	2	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティエラーアドレスレジスタ OSTM40	APDPERRADR_OSTM40	0000 0000 _H	32	FFF9 601C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスレジスタ OSTM50	APDPERRST_OSTM50	0000 0000 _H	32	FFF9 6020 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (73/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
APDP	P-Bus データパリティテストモードコントロールレジスタ CHBA2	APDPTMC_CHBA2	0000 0000 _H	32	FFF9 60D8 _H	2	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティエラーアドレスレジスタ CHBA2	APDPERRADR_CHBA2	0000 0000 _H	32	FFF9 60DC _H	2	32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスレジスタ CHBA3	APDPERRST_CHBA3	0000 0000 _H	32	FFF9 60E0 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティステータスクリアレジスタ CHBA3	APDPERRSTC_CHBA3	0000 0000 _H	32	FFF9 60E4 _H	2	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティテストモードコントロールレジスタ CHBA3	APDPTMC_CHBA3	0000 0000 _H	32	FFF9 60E8 _H	2	16, 32	○	○	○	○	○	○	○	○	○	○	○
APDP	P-Bus データパリティエラーアドレスレジスタ CHBA3	APDPERRADR_CHBA3	0000 0000 _H	32	FFF9 60EC _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	周辺割り込みステータスレジスタ 0	PINT0	0000 0000 _H	32	FFF9 8000 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	周辺割り込みステータスレジスタ 1	PINT1	0000 0000 _H	32	FFF9 8004 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	周辺割り込みステータスレジスタ 2	PINT2	0000 0000 _H	32	FFF9 8008 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	周辺割り込みステータスレジスタ 3	PINT3	0000 0000 _H	32	FFF9 800C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	周辺割り込みステータスレジスタ 4	PINT4	0000 0000 _H	32	FFF9 8010 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	周辺割り込みステータスレジスタ 5	PINT5	0000 0000 _H	32	FFF9 8014 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	周辺割り込みステータスレジスタ 6	PINT6	0000 0000 _H	32	FFF9 8018 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	周辺割り込みステータスレジスタ 7	PINT7	0000 0000 _H	32	FFF9 801C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	割り込みクリアレジスタ 0	PINTCLR0	0000 0000 _H	32	FFF9 8020 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	割り込みクリアレジスタ 1	PINTCLR1	0000 0000 _H	32	FFF9 8024 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	割り込みクリアレジスタ 2	PINTCLR2	0000 0000 _H	32	FFF9 8028 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	割り込みクリアレジスタ 3	PINTCLR3	0000 0000 _H	32	FFF9 802C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	割り込みクリアレジスタ 4	PINTCLR4	0000 0000 _H	32	FFF9 8030 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	割り込みクリアレジスタ 5	PINTCLR5	0000 0000 _H	32	FFF9 8034 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	割り込みクリアレジスタ 6	PINTCLR6	0000 0000 _H	32	FFF9 8038 _H	2	32	○	○	○	○	○	○	○	○	○	○	○
INTIF	割り込みクリアレジスタ 7	PINTCLR7	0000 0000 _H	32	FFF9 803C _H	2	32	○	○	○	○	○	○	○	○	○	○	○
IPG	周辺装置保護違反アクセス情報保存レジスタ	IPGECRUM	不定 (保持)	16	FFFE E002 _H	CPU	16	○	○	○	○	○	○	○	○	○	○	*
IPG	周辺装置保護違反アクセスアドレス保存レジスタ	IPGADRUM	不定 (保持)	32	FFFE E008 _H	CPU	32	○	○	○	○	○	○	○	○	○	○	*
IPG	周辺装置保護イネーブレジスタ	IPGENUM	00 _H	8	FFFE E00D _H	CPU	8	○	○	○	○	○	○	○	○	○	○	*
IPG	周辺装置保護設定レジスタ 0	IPGPMTUM0	00 _H	8	FFFE E020 _H	CPU	8	○	○	○	○	○	○	○	○	○	○	*
IPG	周辺装置保護設定レジスタ 2	IPGPMTUM2	00 _H	8	FFFE E022 _H	CPU	8	○	○	○	○	○	○	○	○	○	○	*
IPG	周辺装置保護設定レジスタ 3	IPGPMTUM3	00 _H	8	FFFE E023 _H	CPU	8	○	○	○	○	○	○	○	○	○	○	*
IPG	周辺装置保護設定レジスタ 4	IPGPMTUM4	00 _H	8	FFFE E024 _H	CPU	8	○	○	○	○	○	○	○	○	○	○	*
PEG	PE ガード SPID マスタ判定制御レジスタ	PEGSP	0000 _H	16	FFFE E60C _H	CPU	8, 16	○	○	○	○	○	○	○	○	○	○	○
PEG	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	0000 0000 _H	32	FFFE E680 _H	CPU	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PEG	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	0000 0000 _H	32	FFFE E684 _H	CPU	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PEG	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	0000 0000 _H	32	FFFE E690 _H	CPU	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PEG	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	0000 0000 _H	32	FFFE E694 _H	CPU	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PEG	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	0000 0000 _H	32	FFFE E6A0 _H	CPU	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PEG	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	0000 0000 _H	32	FFFE E6A4 _H	CPU	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PEG	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	0000 0000 _H	32	FFFE E6B0 _H	CPU	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
PEG	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	0000 0000 _H	32	FFFE E6B4 _H	CPU	8, 16, 32	○	○	○	○	○	○	○	○	○	○	○
SEG	エラー通知制御レジスタ	SEGCONT	0000 _H	16	FFFE E980 _H	CPU	16	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト
SEG	エラー発生保持レジスタ	SEGFLAG	0000 _H	16	FFFE E982 _H	CPU	16	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト
SEG	エラー要因保持レジスタ (アドレス)	SEGADDR	不定 (保持)	32	FFFE E988 _H	CPU	16, 32	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト
INTC1	EI レベル割り込み制御レジスタ 8	EIC8	008F _H	16	FFFE EA10 _H	CPU	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト
INTC1	EI レベル割り込み制御レジスタ 9	EIC9	008F _H	16	FFFE EA12 _H	CPU	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト
INTC1	EI レベル割り込み制御レジスタ 16	EIC16	008F _H	16	FFFE EA20 _H	CPU	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト
INTC1	EI レベル割り込み制御レジスタ 17	EIC17	008F _H	16	FFFE EA22 _H	CPU	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト
INTC1	EI レベル割り込み制御レジスタ 18	EIC18	008F _H	16	FFFE EA24 _H	CPU	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト
INTC1	EI レベル割り込み制御レジスタ 19	EIC19	008F _H	16	FFFE EA26 _H	CPU	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○: リード *: ライト

表 A.1 レジスタ一覧 (75/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
CFU	ERAM バンク 0 マッピングアドレスレジスタ	TM_MA0	0000 0000 _H	32	FFFF 7840 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
CFU	ERAM バンク 1 マッピングアドレスレジスタ	TM_MA1	0000 0000 _H	32	FFFF 7844 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
CFU	ERAM バンク 2 マッピングアドレスレジスタ	TM_MA2	0000 0000 _H	32	FFFF 7848 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
CFU	ERAM バンク 3 マッピングアドレスレジスタ	TM_MA3	0000 0000 _H	32	FFFF 784C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMA 制御レジスタ	DMACTL	0000 0000 _H	32	FFFF 8000 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS 制御レジスタ 1	DTSC1	0000 0000 _H	32	FFFF 8010 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS 制御レジスタ 2	DTSC2	0000 0000 _H	32	FFFF 8014 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS 状態レジスタ	DTSSTS	0000 0000 _H	32	FFFF 8018 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC エラーレジスタ	DMACER	0000 0000 _H	32	FFFF 8020 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS エラーレジスタ 1	DTSER1	0000 0000 _H	32	FFFF 8024 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS エラーレジスタ 2	DTSER2	0000 0000 _H	32	FFFF 8028 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS エラークリアレジスタ	DTSERC	0000 0000 _H	32	FFFF 802C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 レジスタアクセス保護違反レジスタ	DM0CMV	0000 0000 _H	32	FFFF 8030 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 レジスタアクセス保護違反レジスタ	DM1CMV	0000 0000 _H	32	FFFF 8034 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS レジスタアクセス保護違反レジスタ	DTSCMV	0000 0000 _H	32	FFFF 8038 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	レジスタアクセス保護違反クリアレジスタ	CMVC	0000 0000 _H	32	FFFF 803C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル優先順位設定 0	DTSPR0	0000 0000 _H	32	FFFF 8060 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル優先順位設定 1	DTSPR1	0000 0000 _H	32	FFFF 8064 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル優先順位設定 2	DTSPR2	0000 0000 _H	32	FFFF 8068 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル優先順位設定 3	DTSPR3	0000 0000 _H	32	FFFF 806C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル優先順位設定 4	DTSPR4	0000 0000 _H	32	FFFF 8070 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル優先順位設定 5	DTSPR5	0000 0000 _H	32	FFFF 8074 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル優先順位設定 6	DTSPR6	0000 0000 _H	32	FFFF 8078 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル優先順位設定 7	DTSPR7	0000 0000 _H	32	FFFF 807C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTSRAM ECC コントロールレジスタ	DTRECCCTL	0000 0000 _H	32	FFFF 8080 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTSRAM エラー通知コントロールレジスタ	DTRERINT	0000 0002 _H	32	FFFF 8084 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTSRAM テストコントロールレジスタ	DTRTSC1	0000 0000 _H	32	FFFF 8094 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTSRAM テスト書き込みデータレジスタ	DTRTWDAT	0000 0000 _H	32	FFFF 8098 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTSRAM テスト読み出しデータレジスタ	DTRTRDAT	0000 0000 _H	32	FFFF 809C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 チャネル 0 チャネルマスタ設定	DM00CM	0000 0010 _H	32	FFFF 8100 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 チャネル 1 チャネルマスタ設定	DM01CM	0000 0010 _H	32	FFFF 8104 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 チャネル 2 チャネルマスタ設定	DM02CM	0000 0010 _H	32	FFFF 8108 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 チャネル 3 チャネルマスタ設定	DM03CM	0000 0010 _H	32	FFFF 810C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 チャネル 4 チャネルマスタ設定	DM04CM	0000 0010 _H	32	FFFF 8110 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 チャネル 5 チャネルマスタ設定	DM05CM	0000 0010 _H	32	FFFF 8114 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 チャネル 6 チャネルマスタ設定	DM06CM	0000 0010 _H	32	FFFF 8118 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC0 チャネル 7 チャネルマスタ設定	DM07CM	0000 0010 _H	32	FFFF 811C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 チャネル 0 チャネルマスタ設定	DM10CM	0000 0010 _H	32	FFFF 8120 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 チャネル 1 チャネルマスタ設定	DM11CM	0000 0010 _H	32	FFFF 8124 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 チャネル 2 チャネルマスタ設定	DM12CM	0000 0010 _H	32	FFFF 8128 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 チャネル 3 チャネルマスタ設定	DM13CM	0000 0010 _H	32	FFFF 812C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 チャネル 4 チャネルマスタ設定	DM14CM	0000 0010 _H	32	FFFF 8130 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 チャネル 5 チャネルマスタ設定	DM15CM	0000 0010 _H	32	FFFF 8134 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 チャネル 6 チャネルマスタ設定	DM16CM	0000 0010 _H	32	FFFF 8138 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC1 チャネル 7 チャネルマスタ設定	DM17CM	0000 0010 _H	32	FFFF 813C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 000 チャネルマスタ設定	DTS000CM	不定	32	FFFF 8200 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 001 チャネルマスタ設定	DTS001CM	不定	32	FFFF 8204 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 002 チャネルマスタ設定	DTS002CM	不定	32	FFFF 8208 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 003 チャネルマスタ設定	DTS003CM	不定	32	FFFF 820C _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 004 チャネルマスタ設定	DTS004CM	不定	32	FFFF 8210 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 005 チャネルマスタ設定	DTS005CM	不定	32	FFFF 8214 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 006 チャネルマスタ設定	DTS006CM	不定	32	FFFF 8218 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 007 チャネルマスタ設定	DTS007CM	不定	32	FFFF 821C _H	0	32	○	○	○	○	○	○	○	○	○	○	×

表 A.1 レジスタ一覧 (78/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS チャネル 114 チャネルマスタ設定	DTS114CM	不定	32	FFFF 83C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 115 チャネルマスタ設定	DTS115CM	不定	32	FFFF 83CC _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 116 チャネルマスタ設定	DTS116CM	不定	32	FFFF 83D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 117 チャネルマスタ設定	DTS117CM	不定	32	FFFF 83D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 118 チャネルマスタ設定	DTS118CM	不定	32	FFFF 83D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 119 チャネルマスタ設定	DTS119CM	不定	32	FFFF 83DC _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 120 チャネルマスタ設定	DTS120CM	不定	32	FFFF 83E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 121 チャネルマスタ設定	DTS121CM	不定	32	FFFF 83E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 122 チャネルマスタ設定	DTS122CM	不定	32	FFFF 83E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 123 チャネルマスタ設定	DTS123CM	不定	32	FFFF 83EC _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DTS チャネル 124 チャネルマスタ設定	DTS124CM	不定	32	FFFF 83F0 _H	0	32	○	○	○	○	○	○	○	○	○	○	×
DMASS	DMAC ソースアドレス	DSA0	0000 0000 _H	32	FFFF 8400 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA0	0000 0000 _H	32	FFFF 8404 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC0	0000 0000 _H	32	FFFF 8408 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT0	0000 0000 _H	32	FFFF 840C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA0	0000 0000 _H	32	FFFF 8410 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA0	0000 0000 _H	32	FFFF 8414 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC0	0000 0000 _H	32	FFFF 8418 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC0	0000 0000 _H	32	FFFF 841C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN0	0000 0000 _H	32	FFFF 8420 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST0	0000 0000 _H	32	FFFF 8424 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS0	0000 0000 _H	32	FFFF 8428 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC0	0000 0000 _H	32	FFFF 842C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR0	0000 0000 _H	32	FFFF 8430 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ0	0000 0000 _H	32	FFFF 8434 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC0	0000 0000 _H	32	FFFF 8438 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA1	0000 0000 _H	32	FFFF 8440 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA1	0000 0000 _H	32	FFFF 8444 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC1	0000 0000 _H	32	FFFF 8448 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT1	0000 0000 _H	32	FFFF 844C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA1	0000 0000 _H	32	FFFF 8450 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA1	0000 0000 _H	32	FFFF 8454 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC1	0000 0000 _H	32	FFFF 8458 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC1	0000 0000 _H	32	FFFF 845C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN1	0000 0000 _H	32	FFFF 8460 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST1	0000 0000 _H	32	FFFF 8464 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS1	0000 0000 _H	32	FFFF 8468 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC1	0000 0000 _H	32	FFFF 846C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR1	0000 0000 _H	32	FFFF 8470 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ1	0000 0000 _H	32	FFFF 8474 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC1	0000 0000 _H	32	FFFF 8478 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA2	0000 0000 _H	32	FFFF 8480 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA2	0000 0000 _H	32	FFFF 8484 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC2	0000 0000 _H	32	FFFF 8488 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT2	0000 0000 _H	32	FFFF 848C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA2	0000 0000 _H	32	FFFF 8490 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA2	0000 0000 _H	32	FFFF 8494 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC2	0000 0000 _H	32	FFFF 8498 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC2	0000 0000 _H	32	FFFF 849C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN2	0000 0000 _H	32	FFFF 84A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST2	0000 0000 _H	32	FFFF 84A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS2	0000 0000 _H	32	FFFF 84A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC2	0000 0000 _H	32	FFFF 84AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (79/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTFR 設定	DTFR2	0000 0000 _H	32	FFFF 84B0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ2	0000 0000 _H	32	FFFF 84B4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC2	0000 0000 _H	32	FFFF 84B8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA3	0000 0000 _H	32	FFFF 84C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA3	0000 0000 _H	32	FFFF 84C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC3	0000 0000 _H	32	FFFF 84C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT3	0000 0000 _H	32	FFFF 84CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA3	0000 0000 _H	32	FFFF 84D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA3	0000 0000 _H	32	FFFF 84D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC3	0000 0000 _H	32	FFFF 84D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC3	0000 0000 _H	32	FFFF 84DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN3	0000 0000 _H	32	FFFF 84E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST3	0000 0000 _H	32	FFFF 84E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS3	0000 0000 _H	32	FFFF 84E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC3	0000 0000 _H	32	FFFF 84EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR3	0000 0000 _H	32	FFFF 84F0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ3	0000 0000 _H	32	FFFF 84F4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC3	0000 0000 _H	32	FFFF 84F8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA4	0000 0000 _H	32	FFFF 8500 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA4	0000 0000 _H	32	FFFF 8504 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC4	0000 0000 _H	32	FFFF 8508 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT4	0000 0000 _H	32	FFFF 850C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA4	0000 0000 _H	32	FFFF 8510 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA4	0000 0000 _H	32	FFFF 8514 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC4	0000 0000 _H	32	FFFF 8518 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC4	0000 0000 _H	32	FFFF 851C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN4	0000 0000 _H	32	FFFF 8520 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST4	0000 0000 _H	32	FFFF 8524 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS4	0000 0000 _H	32	FFFF 8528 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC4	0000 0000 _H	32	FFFF 852C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR4	0000 0000 _H	32	FFFF 8530 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ4	0000 0000 _H	32	FFFF 8534 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC4	0000 0000 _H	32	FFFF 8538 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA5	0000 0000 _H	32	FFFF 8540 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA5	0000 0000 _H	32	FFFF 8544 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC5	0000 0000 _H	32	FFFF 8548 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT5	0000 0000 _H	32	FFFF 854C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA5	0000 0000 _H	32	FFFF 8550 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA5	0000 0000 _H	32	FFFF 8554 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC5	0000 0000 _H	32	FFFF 8558 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC5	0000 0000 _H	32	FFFF 855C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN5	0000 0000 _H	32	FFFF 8560 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST5	0000 0000 _H	32	FFFF 8564 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS5	0000 0000 _H	32	FFFF 8568 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC5	0000 0000 _H	32	FFFF 856C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR5	0000 0000 _H	32	FFFF 8570 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ5	0000 0000 _H	32	FFFF 8574 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC5	0000 0000 _H	32	FFFF 8578 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA6	0000 0000 _H	32	FFFF 8580 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA6	0000 0000 _H	32	FFFF 8584 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC6	0000 0000 _H	32	FFFF 8588 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT6	0000 0000 _H	32	FFFF 858C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA6	0000 0000 _H	32	FFFF 8590 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (80/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DMAC リロードデスティネーションアドレス	DRDA6	0000 0000 _H	32	FFFF 8594 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC6	0000 0000 _H	32	FFFF 8598 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC6	0000 0000 _H	32	FFFF 859C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN6	0000 0000 _H	32	FFFF 85A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST6	0000 0000 _H	32	FFFF 85A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS6	0000 0000 _H	32	FFFF 85A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC6	0000 0000 _H	32	FFFF 85AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR6	0000 0000 _H	32	FFFF 85B0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ6	0000 0000 _H	32	FFFF 85B4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC6	0000 0000 _H	32	FFFF 85B8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA7	0000 0000 _H	32	FFFF 85C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA7	0000 0000 _H	32	FFFF 85C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC7	0000 0000 _H	32	FFFF 85C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT7	0000 0000 _H	32	FFFF 85CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA7	0000 0000 _H	32	FFFF 85D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA7	0000 0000 _H	32	FFFF 85D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC7	0000 0000 _H	32	FFFF 85D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC7	0000 0000 _H	32	FFFF 85DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN7	0000 0000 _H	32	FFFF 85E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST7	0000 0000 _H	32	FFFF 85E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS7	0000 0000 _H	32	FFFF 85E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC7	0000 0000 _H	32	FFFF 85EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR7	0000 0000 _H	32	FFFF 85F0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ7	0000 0000 _H	32	FFFF 85F4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC7	0000 0000 _H	32	FFFF 85F8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA8	0000 0000 _H	32	FFFF 8600 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA8	0000 0000 _H	32	FFFF 8604 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC8	0000 0000 _H	32	FFFF 8608 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT8	0000 0000 _H	32	FFFF 860C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA8	0000 0000 _H	32	FFFF 8610 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA8	0000 0000 _H	32	FFFF 8614 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC8	0000 0000 _H	32	FFFF 8618 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC8	0000 0000 _H	32	FFFF 861C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN8	0000 0000 _H	32	FFFF 8620 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST8	0000 0000 _H	32	FFFF 8624 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS8	0000 0000 _H	32	FFFF 8628 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC8	0000 0000 _H	32	FFFF 862C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR8	0000 0000 _H	32	FFFF 8630 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ8	0000 0000 _H	32	FFFF 8634 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC8	0000 0000 _H	32	FFFF 8638 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA9	0000 0000 _H	32	FFFF 8640 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA9	0000 0000 _H	32	FFFF 8644 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC9	0000 0000 _H	32	FFFF 8648 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT9	0000 0000 _H	32	FFFF 864C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA9	0000 0000 _H	32	FFFF 8650 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA9	0000 0000 _H	32	FFFF 8654 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC9	0000 0000 _H	32	FFFF 8658 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC9	0000 0000 _H	32	FFFF 865C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN9	0000 0000 _H	32	FFFF 8660 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST9	0000 0000 _H	32	FFFF 8664 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS9	0000 0000 _H	32	FFFF 8668 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC9	0000 0000 _H	32	FFFF 866C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR9	0000 0000 _H	32	FFFF 8670 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (81/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTFR 転送要求ステータス	DTFRRQ9	0000 0000 _H	32	FFFF 8674 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC9	0000 0000 _H	32	FFFF 8678 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA10	0000 0000 _H	32	FFFF 8680 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA10	0000 0000 _H	32	FFFF 8684 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC10	0000 0000 _H	32	FFFF 8688 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT10	0000 0000 _H	32	FFFF 868C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA10	0000 0000 _H	32	FFFF 8690 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA10	0000 0000 _H	32	FFFF 8694 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC10	0000 0000 _H	32	FFFF 8698 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC10	0000 0000 _H	32	FFFF 869C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN10	0000 0000 _H	32	FFFF 86A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST10	0000 0000 _H	32	FFFF 86A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS10	0000 0000 _H	32	FFFF 86A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC10	0000 0000 _H	32	FFFF 86AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR10	0000 0000 _H	32	FFFF 86B0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ10	0000 0000 _H	32	FFFF 86B4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC10	0000 0000 _H	32	FFFF 86B8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA11	0000 0000 _H	32	FFFF 86C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA11	0000 0000 _H	32	FFFF 86C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC11	0000 0000 _H	32	FFFF 86C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT11	0000 0000 _H	32	FFFF 86CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA11	0000 0000 _H	32	FFFF 86D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA11	0000 0000 _H	32	FFFF 86D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC11	0000 0000 _H	32	FFFF 86D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC11	0000 0000 _H	32	FFFF 86DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN11	0000 0000 _H	32	FFFF 86E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST11	0000 0000 _H	32	FFFF 86E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS11	0000 0000 _H	32	FFFF 86E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC11	0000 0000 _H	32	FFFF 86EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR11	0000 0000 _H	32	FFFF 86F0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ11	0000 0000 _H	32	FFFF 86F4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC11	0000 0000 _H	32	FFFF 86F8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA12	0000 0000 _H	32	FFFF 8700 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA12	0000 0000 _H	32	FFFF 8704 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC12	0000 0000 _H	32	FFFF 8708 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT12	0000 0000 _H	32	FFFF 870C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA12	0000 0000 _H	32	FFFF 8710 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA12	0000 0000 _H	32	FFFF 8714 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC12	0000 0000 _H	32	FFFF 8718 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC12	0000 0000 _H	32	FFFF 871C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN12	0000 0000 _H	32	FFFF 8720 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST12	0000 0000 _H	32	FFFF 8724 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS12	0000 0000 _H	32	FFFF 8728 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC12	0000 0000 _H	32	FFFF 872C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR12	0000 0000 _H	32	FFFF 8730 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ12	0000 0000 _H	32	FFFF 8734 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC12	0000 0000 _H	32	FFFF 8738 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA13	0000 0000 _H	32	FFFF 8740 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA13	0000 0000 _H	32	FFFF 8744 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC13	0000 0000 _H	32	FFFF 8748 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT13	0000 0000 _H	32	FFFF 874C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA13	0000 0000 _H	32	FFFF 8750 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA13	0000 0000 _H	32	FFFF 8754 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (82/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DMAC リロード転送回数	DRTC13	0000 0000 _H	32	FFFF 8758 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC13	0000 0000 _H	32	FFFF 875C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN13	0000 0000 _H	32	FFFF 8760 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST13	0000 0000 _H	32	FFFF 8764 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS13	0000 0000 _H	32	FFFF 8768 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC13	0000 0000 _H	32	FFFF 876C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR13	0000 0000 _H	32	FFFF 8770 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ13	0000 0000 _H	32	FFFF 8774 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC13	0000 0000 _H	32	FFFF 8778 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA14	0000 0000 _H	32	FFFF 8780 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA14	0000 0000 _H	32	FFFF 8784 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC14	0000 0000 _H	32	FFFF 8788 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT14	0000 0000 _H	32	FFFF 878C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA14	0000 0000 _H	32	FFFF 8790 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA14	0000 0000 _H	32	FFFF 8794 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC14	0000 0000 _H	32	FFFF 8798 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC14	0000 0000 _H	32	FFFF 879C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN14	0000 0000 _H	32	FFFF 87A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST14	0000 0000 _H	32	FFFF 87A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS14	0000 0000 _H	32	FFFF 87A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC14	0000 0000 _H	32	FFFF 87AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR14	0000 0000 _H	32	FFFF 87B0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ14	0000 0000 _H	32	FFFF 87B4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC14	0000 0000 _H	32	FFFF 87B8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC ソースアドレス	DSA15	0000 0000 _H	32	FFFF 87C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC デスティネーションアドレス	DDA15	0000 0000 _H	32	FFFF 87C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数	DTC15	0000 0000 _H	32	FFFF 87C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送制御	DTCT15	0000 0000 _H	32	FFFF 87CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードソースアドレス	DRSA15	0000 0000 _H	32	FFFF 87D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロードデスティネーションアドレス	DRDA15	0000 0000 _H	32	FFFF 87D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC リロード転送回数	DRTC15	0000 0000 _H	32	FFFF 87D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送回数コンペア	DTCC15	0000 0000 _H	32	FFFF 87DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC チャネル動作有効設定	DCEN15	0000 0000 _H	32	FFFF 87E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータス	DCST15	0000 0000 _H	32	FFFF 87E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスセット	DCSTS15	0000 0000 _H	32	FFFF 87E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DMAC 転送ステータスクリア	DCSTC15	0000 0000 _H	32	FFFF 87EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 設定	DTFR15	0000 0000 _H	32	FFFF 87F0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求ステータス	DTFRRQ15	0000 0000 _H	32	FFFF 87F4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTFR 転送要求クリア	DTFRRQC15	0000 0000 _H	32	FFFF 87F8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA000	不定	32	FFFF 9000 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA000	不定	32	FFFF 9004 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC000	不定	32	FFFF 9008 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT000	不定	32	FFFF 900C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA000	不定	32	FFFF 9010 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA000	不定	32	FFFF 9014 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC000	不定	32	FFFF 9018 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC000	不定	32	FFFF 901C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL000	0000 0000 _H	32	FFFF 9020 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST000	0000 0000 _H	32	FFFF 9024 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS000	0000 0000 _H	32	FFFF 9028 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC000	0000 0000 _H	32	FFFF 902C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA001	不定	32	FFFF 9040 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA001	不定	32	FFFF 9044 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (83/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DMASS	DTS 転送回数	DTTC001	不定	32	FFFF 9048 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT001	不定	32	FFFF 904C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA001	不定	32	FFFF 9050 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA001	不定	32	FFFF 9054 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC001	不定	32	FFFF 9058 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC001	不定	32	FFFF 905C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL001	0000 0000 _H	32	FFFF 9060 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST001	0000 0000 _H	32	FFFF 9064 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS001	0000 0000 _H	32	FFFF 9068 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC001	0000 0000 _H	32	FFFF 906C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA002	不定	32	FFFF 9080 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA002	不定	32	FFFF 9084 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC002	不定	32	FFFF 9088 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT002	不定	32	FFFF 908C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA002	不定	32	FFFF 9090 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA002	不定	32	FFFF 9094 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC002	不定	32	FFFF 9098 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC002	不定	32	FFFF 909C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL002	0000 0000 _H	32	FFFF 90A0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST002	0000 0000 _H	32	FFFF 90A4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS002	0000 0000 _H	32	FFFF 90A8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC002	0000 0000 _H	32	FFFF 90AC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA003	不定	32	FFFF 90C0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA003	不定	32	FFFF 90C4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC003	不定	32	FFFF 90C8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT003	不定	32	FFFF 90CC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA003	不定	32	FFFF 90D0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA003	不定	32	FFFF 90D4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC003	不定	32	FFFF 90D8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC003	不定	32	FFFF 90DC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL003	0000 0000 _H	32	FFFF 90E0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST003	0000 0000 _H	32	FFFF 90E4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS003	0000 0000 _H	32	FFFF 90E8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC003	0000 0000 _H	32	FFFF 90EC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA004	不定	32	FFFF 9100 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA004	不定	32	FFFF 9104 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC004	不定	32	FFFF 9108 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT004	不定	32	FFFF 910C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA004	不定	32	FFFF 9110 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA004	不定	32	FFFF 9114 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC004	不定	32	FFFF 9118 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC004	不定	32	FFFF 911C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL004	0000 0000 _H	32	FFFF 9120 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST004	0000 0000 _H	32	FFFF 9124 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS004	0000 0000 _H	32	FFFF 9128 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC004	0000 0000 _H	32	FFFF 912C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA005	不定	32	FFFF 9140 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA005	不定	32	FFFF 9144 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC005	不定	32	FFFF 9148 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT005	不定	32	FFFF 914C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA005	不定	32	FFFF 9150 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA005	不定	32	FFFF 9154 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC005	不定	32	FFFF 9158 _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (84/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS 転送回数コンペア	DTTCC005	不定	32	FFFF 915C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL005	0000 0000 _H	32	FFFF 9160 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST005	0000 0000 _H	32	FFFF 9164 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS005	0000 0000 _H	32	FFFF 9168 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC005	0000 0000 _H	32	FFFF 916C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA006	不定	32	FFFF 9180 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA006	不定	32	FFFF 9184 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC006	不定	32	FFFF 9188 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT006	不定	32	FFFF 918C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA006	不定	32	FFFF 9190 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA006	不定	32	FFFF 9194 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC006	不定	32	FFFF 9198 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC006	不定	32	FFFF 919C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL006	0000 0000 _H	32	FFFF 91A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST006	0000 0000 _H	32	FFFF 91A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS006	0000 0000 _H	32	FFFF 91A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC006	0000 0000 _H	32	FFFF 91AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA007	不定	32	FFFF 91C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA007	不定	32	FFFF 91C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC007	不定	32	FFFF 91C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT007	不定	32	FFFF 91CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA007	不定	32	FFFF 91D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA007	不定	32	FFFF 91D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC007	不定	32	FFFF 91D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC007	不定	32	FFFF 91DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL007	0000 0000 _H	32	FFFF 91E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST007	0000 0000 _H	32	FFFF 91E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS007	0000 0000 _H	32	FFFF 91E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC007	0000 0000 _H	32	FFFF 91EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA008	不定	32	FFFF 9200 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA008	不定	32	FFFF 9204 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC008	不定	32	FFFF 9208 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT008	不定	32	FFFF 920C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA008	不定	32	FFFF 9210 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA008	不定	32	FFFF 9214 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC008	不定	32	FFFF 9218 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC008	不定	32	FFFF 921C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL008	0000 0000 _H	32	FFFF 9220 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST008	0000 0000 _H	32	FFFF 9224 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS008	0000 0000 _H	32	FFFF 9228 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC008	0000 0000 _H	32	FFFF 922C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA009	不定	32	FFFF 9240 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA009	不定	32	FFFF 9244 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC009	不定	32	FFFF 9248 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT009	不定	32	FFFF 924C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA009	不定	32	FFFF 9250 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA009	不定	32	FFFF 9254 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC009	不定	32	FFFF 9258 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC009	不定	32	FFFF 925C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL009	0000 0000 _H	32	FFFF 9260 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST009	0000 0000 _H	32	FFFF 9264 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS009	0000 0000 _H	32	FFFF 9268 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC009	0000 0000 _H	32	FFFF 926C _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (85/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRRES	EXTRES	DBRES	ECMRRES	BISTRRES	SWRES	SV	UM	
DMASS	DTS ソースアドレス	D TSA010	不定	32	FFFF 9280 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA010	不定	32	FFFF 9284 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC010	不定	32	FFFF 9288 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT010	不定	32	FFFF 928C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA010	不定	32	FFFF 9290 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA010	不定	32	FFFF 9294 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC010	不定	32	FFFF 9298 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC010	不定	32	FFFF 929C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL010	0000 0000 _H	32	FFFF 92A0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST010	0000 0000 _H	32	FFFF 92A4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS010	0000 0000 _H	32	FFFF 92A8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC010	0000 0000 _H	32	FFFF 92AC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA011	不定	32	FFFF 92C0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA011	不定	32	FFFF 92C4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC011	不定	32	FFFF 92C8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT011	不定	32	FFFF 92CC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA011	不定	32	FFFF 92D0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA011	不定	32	FFFF 92D4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC011	不定	32	FFFF 92D8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC011	不定	32	FFFF 92DC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL011	0000 0000 _H	32	FFFF 92E0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST011	0000 0000 _H	32	FFFF 92E4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS011	0000 0000 _H	32	FFFF 92E8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC011	0000 0000 _H	32	FFFF 92EC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA012	不定	32	FFFF 9300 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA012	不定	32	FFFF 9304 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC012	不定	32	FFFF 9308 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT012	不定	32	FFFF 930C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA012	不定	32	FFFF 9310 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA012	不定	32	FFFF 9314 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC012	不定	32	FFFF 9318 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC012	不定	32	FFFF 931C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL012	0000 0000 _H	32	FFFF 9320 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST012	0000 0000 _H	32	FFFF 9324 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS012	0000 0000 _H	32	FFFF 9328 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC012	0000 0000 _H	32	FFFF 932C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA013	不定	32	FFFF 9340 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA013	不定	32	FFFF 9344 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC013	不定	32	FFFF 9348 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT013	不定	32	FFFF 934C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA013	不定	32	FFFF 9350 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA013	不定	32	FFFF 9354 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC013	不定	32	FFFF 9358 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC013	不定	32	FFFF 935C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL013	0000 0000 _H	32	FFFF 9360 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST013	0000 0000 _H	32	FFFF 9364 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS013	0000 0000 _H	32	FFFF 9368 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC013	0000 0000 _H	32	FFFF 936C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA014	不定	32	FFFF 9380 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA014	不定	32	FFFF 9384 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC014	不定	32	FFFF 9388 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT014	不定	32	FFFF 938C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA014	不定	32	FFFF 9390 _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (86/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS リロードデスティネーションアドレス	DTRDA014	不定	32	FFFF 9394 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC014	不定	32	FFFF 9398 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC014	不定	32	FFFF 939C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL014	0000 0000 _H	32	FFFF 93A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST014	0000 0000 _H	32	FFFF 93A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS014	0000 0000 _H	32	FFFF 93A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC014	0000 0000 _H	32	FFFF 93AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA015	不定	32	FFFF 93C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA015	不定	32	FFFF 93C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC015	不定	32	FFFF 93C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT015	不定	32	FFFF 93CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA015	不定	32	FFFF 93D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA015	不定	32	FFFF 93D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC015	不定	32	FFFF 93D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC015	不定	32	FFFF 93DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL015	0000 0000 _H	32	FFFF 93E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST015	0000 0000 _H	32	FFFF 93E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS015	0000 0000 _H	32	FFFF 93E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC015	0000 0000 _H	32	FFFF 93EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA016	不定	32	FFFF 9400 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA016	不定	32	FFFF 9404 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC016	不定	32	FFFF 9408 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT016	不定	32	FFFF 940C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA016	不定	32	FFFF 9410 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA016	不定	32	FFFF 9414 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC016	不定	32	FFFF 9418 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC016	不定	32	FFFF 941C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL016	0000 0000 _H	32	FFFF 9420 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST016	0000 0000 _H	32	FFFF 9424 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS016	0000 0000 _H	32	FFFF 9428 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC016	0000 0000 _H	32	FFFF 942C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA017	不定	32	FFFF 9440 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA017	不定	32	FFFF 9444 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC017	不定	32	FFFF 9448 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT017	不定	32	FFFF 944C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA017	不定	32	FFFF 9450 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA017	不定	32	FFFF 9454 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC017	不定	32	FFFF 9458 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC017	不定	32	FFFF 945C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL017	0000 0000 _H	32	FFFF 9460 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST017	0000 0000 _H	32	FFFF 9464 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS017	0000 0000 _H	32	FFFF 9468 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC017	0000 0000 _H	32	FFFF 946C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA018	不定	32	FFFF 9480 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA018	不定	32	FFFF 9484 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC018	不定	32	FFFF 9488 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT018	不定	32	FFFF 948C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA018	不定	32	FFFF 9490 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA018	不定	32	FFFF 9494 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC018	不定	32	FFFF 9498 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC018	不定	32	FFFF 949C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL018	0000 0000 _H	32	FFFF 94A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST018	0000 0000 _H	32	FFFF 94A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (87/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTSFSL 転送要求セット	DTFSS018	0000 0000 _H	32	FFFF 94A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC018	0000 0000 _H	32	FFFF 94AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA019	不定	32	FFFF 94C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA019	不定	32	FFFF 94C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC019	不定	32	FFFF 94C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT019	不定	32	FFFF 94CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA019	不定	32	FFFF 94D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA019	不定	32	FFFF 94D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC019	不定	32	FFFF 94D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC019	不定	32	FFFF 94DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL019	0000 0000 _H	32	FFFF 94E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST019	0000 0000 _H	32	FFFF 94E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS019	0000 0000 _H	32	FFFF 94E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC019	0000 0000 _H	32	FFFF 94EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA020	不定	32	FFFF 9500 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA020	不定	32	FFFF 9504 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC020	不定	32	FFFF 9508 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT020	不定	32	FFFF 950C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA020	不定	32	FFFF 9510 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA020	不定	32	FFFF 9514 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC020	不定	32	FFFF 9518 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC020	不定	32	FFFF 951C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL020	0000 0000 _H	32	FFFF 9520 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST020	0000 0000 _H	32	FFFF 9524 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS020	0000 0000 _H	32	FFFF 9528 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC020	0000 0000 _H	32	FFFF 952C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA021	不定	32	FFFF 9540 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA021	不定	32	FFFF 9544 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC021	不定	32	FFFF 9548 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT021	不定	32	FFFF 954C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA021	不定	32	FFFF 9550 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA021	不定	32	FFFF 9554 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC021	不定	32	FFFF 9558 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC021	不定	32	FFFF 955C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL021	0000 0000 _H	32	FFFF 9560 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST021	0000 0000 _H	32	FFFF 9564 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS021	0000 0000 _H	32	FFFF 9568 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC021	0000 0000 _H	32	FFFF 956C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA022	不定	32	FFFF 9580 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA022	不定	32	FFFF 9584 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC022	不定	32	FFFF 9588 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT022	不定	32	FFFF 958C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA022	不定	32	FFFF 9590 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA022	不定	32	FFFF 9594 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC022	不定	32	FFFF 9598 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC022	不定	32	FFFF 959C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL022	0000 0000 _H	32	FFFF 95A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST022	0000 0000 _H	32	FFFF 95A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS022	0000 0000 _H	32	FFFF 95A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC022	0000 0000 _H	32	FFFF 95AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA023	不定	32	FFFF 95C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA023	不定	32	FFFF 95C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC023	不定	32	FFFF 95C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (88/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVWRRES	EXTRES	DBRES	ECMRRES	BISTRRES	SWRES	SV	UM		
DMASS	DTS 転送制御	DTTCT023	不定	32	FFFF 95CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA023	不定	32	FFFF 95D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA023	不定	32	FFFF 95D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC023	不定	32	FFFF 95D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC023	不定	32	FFFF 95DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL023	0000 0000 _H	32	FFFF 95E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST023	0000 0000 _H	32	FFFF 95E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS023	0000 0000 _H	32	FFFF 95E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC023	0000 0000 _H	32	FFFF 95EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA024	不定	32	FFFF 9600 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA024	不定	32	FFFF 9604 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC024	不定	32	FFFF 9608 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT024	不定	32	FFFF 960C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA024	不定	32	FFFF 9610 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA024	不定	32	FFFF 9614 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC024	不定	32	FFFF 9618 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC024	不定	32	FFFF 961C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL024	0000 0000 _H	32	FFFF 9620 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST024	0000 0000 _H	32	FFFF 9624 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS024	0000 0000 _H	32	FFFF 9628 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC024	0000 0000 _H	32	FFFF 962C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA025	不定	32	FFFF 9640 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA025	不定	32	FFFF 9644 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC025	不定	32	FFFF 9648 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT025	不定	32	FFFF 964C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA025	不定	32	FFFF 9650 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA025	不定	32	FFFF 9654 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC025	不定	32	FFFF 9658 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC025	不定	32	FFFF 965C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL025	0000 0000 _H	32	FFFF 9660 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST025	0000 0000 _H	32	FFFF 9664 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS025	0000 0000 _H	32	FFFF 9668 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC025	0000 0000 _H	32	FFFF 966C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA026	不定	32	FFFF 9680 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA026	不定	32	FFFF 9684 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC026	不定	32	FFFF 9688 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT026	不定	32	FFFF 968C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA026	不定	32	FFFF 9690 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA026	不定	32	FFFF 9694 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC026	不定	32	FFFF 9698 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC026	不定	32	FFFF 969C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL026	0000 0000 _H	32	FFFF 96A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST026	0000 0000 _H	32	FFFF 96A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS026	0000 0000 _H	32	FFFF 96A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC026	0000 0000 _H	32	FFFF 96AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA027	不定	32	FFFF 96C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA027	不定	32	FFFF 96C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC027	不定	32	FFFF 96C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT027	不定	32	FFFF 96CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA027	不定	32	FFFF 96D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA027	不定	32	FFFF 96D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC027	不定	32	FFFF 96D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC027	不定	32	FFFF 96DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (89/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTSFSL 動作設定	DTFSL027	0000 0000 _H	32	FFFF 96E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST027	0000 0000 _H	32	FFFF 96E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS027	0000 0000 _H	32	FFFF 96E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC027	0000 0000 _H	32	FFFF 96EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA028	不定	32	FFFF 9700 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA028	不定	32	FFFF 9704 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC028	不定	32	FFFF 9708 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT028	不定	32	FFFF 970C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA028	不定	32	FFFF 9710 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA028	不定	32	FFFF 9714 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC028	不定	32	FFFF 9718 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC028	不定	32	FFFF 971C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL028	0000 0000 _H	32	FFFF 9720 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST028	0000 0000 _H	32	FFFF 9724 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS028	0000 0000 _H	32	FFFF 9728 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC028	0000 0000 _H	32	FFFF 972C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA029	不定	32	FFFF 9740 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA029	不定	32	FFFF 9744 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC029	不定	32	FFFF 9748 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT029	不定	32	FFFF 974C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA029	不定	32	FFFF 9750 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA029	不定	32	FFFF 9754 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC029	不定	32	FFFF 9758 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC029	不定	32	FFFF 975C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL029	0000 0000 _H	32	FFFF 9760 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST029	0000 0000 _H	32	FFFF 9764 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS029	0000 0000 _H	32	FFFF 9768 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC029	0000 0000 _H	32	FFFF 976C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA030	不定	32	FFFF 9780 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA030	不定	32	FFFF 9784 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC030	不定	32	FFFF 9788 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT030	不定	32	FFFF 978C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA030	不定	32	FFFF 9790 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA030	不定	32	FFFF 9794 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC030	不定	32	FFFF 9798 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC030	不定	32	FFFF 979C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL030	0000 0000 _H	32	FFFF 97A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST030	0000 0000 _H	32	FFFF 97A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS030	0000 0000 _H	32	FFFF 97A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC030	0000 0000 _H	32	FFFF 97AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA031	不定	32	FFFF 97C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA031	不定	32	FFFF 97C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC031	不定	32	FFFF 97C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT031	不定	32	FFFF 97CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA031	不定	32	FFFF 97D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA031	不定	32	FFFF 97D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC031	不定	32	FFFF 97D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC031	不定	32	FFFF 97DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL031	0000 0000 _H	32	FFFF 97E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST031	0000 0000 _H	32	FFFF 97E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS031	0000 0000 _H	32	FFFF 97E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC031	0000 0000 _H	32	FFFF 97EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA032	不定	32	FFFF 9800 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (90/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS デスティネーションアドレス	DTDA032	不定	32	FFFF 9804 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC032	不定	32	FFFF 9808 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT032	不定	32	FFFF 980C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA032	不定	32	FFFF 9810 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA032	不定	32	FFFF 9814 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC032	不定	32	FFFF 9818 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC032	不定	32	FFFF 981C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL032	0000 0000 _H	32	FFFF 9820 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST032	0000 0000 _H	32	FFFF 9824 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS032	0000 0000 _H	32	FFFF 9828 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC032	0000 0000 _H	32	FFFF 982C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA033	不定	32	FFFF 9840 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA033	不定	32	FFFF 9844 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC033	不定	32	FFFF 9848 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT033	不定	32	FFFF 984C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA033	不定	32	FFFF 9850 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA033	不定	32	FFFF 9854 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC033	不定	32	FFFF 9858 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC033	不定	32	FFFF 985C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL033	0000 0000 _H	32	FFFF 9860 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST033	0000 0000 _H	32	FFFF 9864 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS033	0000 0000 _H	32	FFFF 9868 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC033	0000 0000 _H	32	FFFF 986C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA034	不定	32	FFFF 9880 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA034	不定	32	FFFF 9884 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC034	不定	32	FFFF 9888 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT034	不定	32	FFFF 988C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA034	不定	32	FFFF 9890 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA034	不定	32	FFFF 9894 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC034	不定	32	FFFF 9898 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC034	不定	32	FFFF 989C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL034	0000 0000 _H	32	FFFF 98A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST034	0000 0000 _H	32	FFFF 98A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS034	0000 0000 _H	32	FFFF 98A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC034	0000 0000 _H	32	FFFF 98AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA035	不定	32	FFFF 98C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA035	不定	32	FFFF 98C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC035	不定	32	FFFF 98C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT035	不定	32	FFFF 98CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA035	不定	32	FFFF 98D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA035	不定	32	FFFF 98D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC035	不定	32	FFFF 98D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC035	不定	32	FFFF 98DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL035	0000 0000 _H	32	FFFF 98E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST035	0000 0000 _H	32	FFFF 98E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS035	0000 0000 _H	32	FFFF 98E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC035	0000 0000 _H	32	FFFF 98EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA036	不定	32	FFFF 9900 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA036	不定	32	FFFF 9904 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC036	不定	32	FFFF 9908 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT036	不定	32	FFFF 990C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA036	不定	32	FFFF 9910 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA036	不定	32	FFFF 9914 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (91/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS リロード転送回数	DTRTC036	不定	32	FFFF 9918 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC036	不定	32	FFFF 991C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL036	0000 0000 _H	32	FFFF 9920 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST036	0000 0000 _H	32	FFFF 9924 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS036	0000 0000 _H	32	FFFF 9928 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC036	0000 0000 _H	32	FFFF 992C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA037	不定	32	FFFF 9940 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA037	不定	32	FFFF 9944 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC037	不定	32	FFFF 9948 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT037	不定	32	FFFF 994C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA037	不定	32	FFFF 9950 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA037	不定	32	FFFF 9954 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC037	不定	32	FFFF 9958 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC037	不定	32	FFFF 995C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL037	0000 0000 _H	32	FFFF 9960 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST037	0000 0000 _H	32	FFFF 9964 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS037	0000 0000 _H	32	FFFF 9968 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC037	0000 0000 _H	32	FFFF 996C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA038	不定	32	FFFF 9980 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA038	不定	32	FFFF 9984 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC038	不定	32	FFFF 9988 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT038	不定	32	FFFF 998C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA038	不定	32	FFFF 9990 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA038	不定	32	FFFF 9994 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC038	不定	32	FFFF 9998 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC038	不定	32	FFFF 999C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL038	0000 0000 _H	32	FFFF 99A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST038	0000 0000 _H	32	FFFF 99A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS038	0000 0000 _H	32	FFFF 99A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC038	0000 0000 _H	32	FFFF 99AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA039	不定	32	FFFF 99C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA039	不定	32	FFFF 99C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC039	不定	32	FFFF 99C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT039	不定	32	FFFF 99CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA039	不定	32	FFFF 99D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA039	不定	32	FFFF 99D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC039	不定	32	FFFF 99D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC039	不定	32	FFFF 99DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL039	0000 0000 _H	32	FFFF 99E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST039	0000 0000 _H	32	FFFF 99E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS039	0000 0000 _H	32	FFFF 99E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC039	0000 0000 _H	32	FFFF 99EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA040	不定	32	FFFF 9A00 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA040	不定	32	FFFF 9A04 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC040	不定	32	FFFF 9A08 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT040	不定	32	FFFF 9A0C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA040	不定	32	FFFF 9A10 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA040	不定	32	FFFF 9A14 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC040	不定	32	FFFF 9A18 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC040	不定	32	FFFF 9A1C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL040	0000 0000 _H	32	FFFF 9A20 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST040	0000 0000 _H	32	FFFF 9A24 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS040	0000 0000 _H	32	FFFF 9A28 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (92/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DMASS	DTSFSL 転送要求クリア	DTFSC040	0000 0000 _H	32	FFFF 9A2C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA041	不定	32	FFFF 9A40 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA041	不定	32	FFFF 9A44 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC041	不定	32	FFFF 9A48 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT041	不定	32	FFFF 9A4C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA041	不定	32	FFFF 9A50 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA041	不定	32	FFFF 9A54 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC041	不定	32	FFFF 9A58 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC041	不定	32	FFFF 9A5C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL041	0000 0000 _H	32	FFFF 9A60 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST041	0000 0000 _H	32	FFFF 9A64 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS041	0000 0000 _H	32	FFFF 9A68 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC041	0000 0000 _H	32	FFFF 9A6C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA042	不定	32	FFFF 9A80 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA042	不定	32	FFFF 9A84 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC042	不定	32	FFFF 9A88 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT042	不定	32	FFFF 9A8C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA042	不定	32	FFFF 9A90 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA042	不定	32	FFFF 9A94 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC042	不定	32	FFFF 9A98 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC042	不定	32	FFFF 9A9C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL042	0000 0000 _H	32	FFFF 9AA0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST042	0000 0000 _H	32	FFFF 9AA4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS042	0000 0000 _H	32	FFFF 9AA8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC042	0000 0000 _H	32	FFFF 9AAC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA043	不定	32	FFFF 9AC0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA043	不定	32	FFFF 9AC4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC043	不定	32	FFFF 9AC8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT043	不定	32	FFFF 9ACC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA043	不定	32	FFFF 9AD0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA043	不定	32	FFFF 9AD4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC043	不定	32	FFFF 9AD8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC043	不定	32	FFFF 9ADC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL043	0000 0000 _H	32	FFFF 9AE0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST043	0000 0000 _H	32	FFFF 9AE4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS043	0000 0000 _H	32	FFFF 9AE8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC043	0000 0000 _H	32	FFFF 9AEC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA044	不定	32	FFFF 9B00 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA044	不定	32	FFFF 9B04 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC044	不定	32	FFFF 9B08 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT044	不定	32	FFFF 9B0C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA044	不定	32	FFFF 9B10 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA044	不定	32	FFFF 9B14 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC044	不定	32	FFFF 9B18 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC044	不定	32	FFFF 9B1C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL044	0000 0000 _H	32	FFFF 9B20 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST044	0000 0000 _H	32	FFFF 9B24 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS044	0000 0000 _H	32	FFFF 9B28 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC044	0000 0000 _H	32	FFFF 9B2C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA045	不定	32	FFFF 9B40 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA045	不定	32	FFFF 9B44 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC045	不定	32	FFFF 9B48 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT045	不定	32	FFFF 9B4C _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (93/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVWRRES	EXTRES	DBRES	ECMRRES	BISTRRES	SWRES	SV	UM		
DMASS	DTS リロードソースアドレス	DTRSA045	不定	32	FFFF 9B50 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA045	不定	32	FFFF 9B54 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC045	不定	32	FFFF 9B58 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC045	不定	32	FFFF 9B5C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL045	0000 0000 _H	32	FFFF 9B60 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST045	0000 0000 _H	32	FFFF 9B64 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS045	0000 0000 _H	32	FFFF 9B68 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC045	0000 0000 _H	32	FFFF 9B6C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA046	不定	32	FFFF 9B80 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA046	不定	32	FFFF 9B84 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC046	不定	32	FFFF 9B88 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT046	不定	32	FFFF 9B8C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA046	不定	32	FFFF 9B90 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA046	不定	32	FFFF 9B94 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC046	不定	32	FFFF 9B98 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC046	不定	32	FFFF 9B9C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL046	0000 0000 _H	32	FFFF 9BA0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST046	0000 0000 _H	32	FFFF 9BA4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS046	0000 0000 _H	32	FFFF 9BA8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC046	0000 0000 _H	32	FFFF 9BAC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA047	不定	32	FFFF 9BC0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA047	不定	32	FFFF 9BC4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC047	不定	32	FFFF 9BC8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT047	不定	32	FFFF 9BCC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA047	不定	32	FFFF 9BD0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA047	不定	32	FFFF 9BD4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC047	不定	32	FFFF 9BD8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC047	不定	32	FFFF 9BDC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL047	0000 0000 _H	32	FFFF 9BE0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST047	0000 0000 _H	32	FFFF 9BE4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS047	0000 0000 _H	32	FFFF 9BE8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC047	0000 0000 _H	32	FFFF 9BEC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA048	不定	32	FFFF 9C00 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA048	不定	32	FFFF 9C04 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC048	不定	32	FFFF 9C08 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT048	不定	32	FFFF 9C0C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA048	不定	32	FFFF 9C10 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA048	不定	32	FFFF 9C14 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC048	不定	32	FFFF 9C18 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC048	不定	32	FFFF 9C1C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL048	0000 0000 _H	32	FFFF 9C20 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST048	0000 0000 _H	32	FFFF 9C24 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS048	0000 0000 _H	32	FFFF 9C28 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC048	0000 0000 _H	32	FFFF 9C2C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA049	不定	32	FFFF 9C40 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA049	不定	32	FFFF 9C44 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC049	不定	32	FFFF 9C48 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT049	不定	32	FFFF 9C4C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA049	不定	32	FFFF 9C50 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA049	不定	32	FFFF 9C54 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC049	不定	32	FFFF 9C58 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC049	不定	32	FFFF 9C5C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL049	0000 0000 _H	32	FFFF 9C60 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (94/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DMASS	DTSFSL 転送要求ステータス	DTFST049	0000 0000 _H	32	FFFF 9C64 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS049	0000 0000 _H	32	FFFF 9C68 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC049	0000 0000 _H	32	FFFF 9C6C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA050	不定	32	FFFF 9C80 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA050	不定	32	FFFF 9C84 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC050	不定	32	FFFF 9C88 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT050	不定	32	FFFF 9C8C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA050	不定	32	FFFF 9C90 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA050	不定	32	FFFF 9C94 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC050	不定	32	FFFF 9C98 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC050	不定	32	FFFF 9C9C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL050	0000 0000 _H	32	FFFF 9CA0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST050	0000 0000 _H	32	FFFF 9CA4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS050	0000 0000 _H	32	FFFF 9CA8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC050	0000 0000 _H	32	FFFF 9CAC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA051	不定	32	FFFF 9CC0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA051	不定	32	FFFF 9CC4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC051	不定	32	FFFF 9CC8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT051	不定	32	FFFF 9CCC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA051	不定	32	FFFF 9CD0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA051	不定	32	FFFF 9CD4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC051	不定	32	FFFF 9CD8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC051	不定	32	FFFF 9CDC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL051	0000 0000 _H	32	FFFF 9CE0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST051	0000 0000 _H	32	FFFF 9CE4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS051	0000 0000 _H	32	FFFF 9CE8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC051	0000 0000 _H	32	FFFF 9CEC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA052	不定	32	FFFF 9D00 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA052	不定	32	FFFF 9D04 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC052	不定	32	FFFF 9D08 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT052	不定	32	FFFF 9D0C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA052	不定	32	FFFF 9D10 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA052	不定	32	FFFF 9D14 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC052	不定	32	FFFF 9D18 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC052	不定	32	FFFF 9D1C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL052	0000 0000 _H	32	FFFF 9D20 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST052	0000 0000 _H	32	FFFF 9D24 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS052	0000 0000 _H	32	FFFF 9D28 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC052	0000 0000 _H	32	FFFF 9D2C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA053	不定	32	FFFF 9D40 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA053	不定	32	FFFF 9D44 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC053	不定	32	FFFF 9D48 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT053	不定	32	FFFF 9D4C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA053	不定	32	FFFF 9D50 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA053	不定	32	FFFF 9D54 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC053	不定	32	FFFF 9D58 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC053	不定	32	FFFF 9D5C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL053	0000 0000 _H	32	FFFF 9D60 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST053	0000 0000 _H	32	FFFF 9D64 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS053	0000 0000 _H	32	FFFF 9D68 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC053	0000 0000 _H	32	FFFF 9D6C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA054	不定	32	FFFF 9D80 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA054	不定	32	FFFF 9D84 _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (95/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DMASS	DTS 転送回数	DTTC054	不定	32	FFFF 9D88 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT054	不定	32	FFFF 9D8C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA054	不定	32	FFFF 9D90 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA054	不定	32	FFFF 9D94 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC054	不定	32	FFFF 9D98 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC054	不定	32	FFFF 9D9C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL054	0000 0000 _H	32	FFFF 9DA0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST054	0000 0000 _H	32	FFFF 9DA4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS054	0000 0000 _H	32	FFFF 9DA8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC054	0000 0000 _H	32	FFFF 9DAC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA055	不定	32	FFFF 9DC0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA055	不定	32	FFFF 9DC4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC055	不定	32	FFFF 9DC8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT055	不定	32	FFFF 9DCC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA055	不定	32	FFFF 9DD0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA055	不定	32	FFFF 9DD4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC055	不定	32	FFFF 9DD8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC055	不定	32	FFFF 9DDC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL055	0000 0000 _H	32	FFFF 9DE0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST055	0000 0000 _H	32	FFFF 9DE4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS055	0000 0000 _H	32	FFFF 9DE8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC055	0000 0000 _H	32	FFFF 9DEC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA056	不定	32	FFFF 9E00 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA056	不定	32	FFFF 9E04 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC056	不定	32	FFFF 9E08 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT056	不定	32	FFFF 9E0C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA056	不定	32	FFFF 9E10 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA056	不定	32	FFFF 9E14 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC056	不定	32	FFFF 9E18 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC056	不定	32	FFFF 9E1C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL056	0000 0000 _H	32	FFFF 9E20 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST056	0000 0000 _H	32	FFFF 9E24 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS056	0000 0000 _H	32	FFFF 9E28 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC056	0000 0000 _H	32	FFFF 9E2C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA057	不定	32	FFFF 9E40 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA057	不定	32	FFFF 9E44 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC057	不定	32	FFFF 9E48 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT057	不定	32	FFFF 9E4C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA057	不定	32	FFFF 9E50 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA057	不定	32	FFFF 9E54 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC057	不定	32	FFFF 9E58 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC057	不定	32	FFFF 9E5C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL057	0000 0000 _H	32	FFFF 9E60 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST057	0000 0000 _H	32	FFFF 9E64 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS057	0000 0000 _H	32	FFFF 9E68 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC057	0000 0000 _H	32	FFFF 9E6C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA058	不定	32	FFFF 9E80 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA058	不定	32	FFFF 9E84 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC058	不定	32	FFFF 9E88 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT058	不定	32	FFFF 9E8C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA058	不定	32	FFFF 9E90 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA058	不定	32	FFFF 9E94 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC058	不定	32	FFFF 9E98 _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (96/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DMASS	DTS 転送回数コンペア	DTTC058	不定	32	FFFF 9E9C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL058	0000 0000 _H	32	FFFF 9EA0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST058	0000 0000 _H	32	FFFF 9EA4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS058	0000 0000 _H	32	FFFF 9EA8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC058	0000 0000 _H	32	FFFF 9EAC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA059	不定	32	FFFF 9EC0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA059	不定	32	FFFF 9EC4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC059	不定	32	FFFF 9EC8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT059	不定	32	FFFF 9ECC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA059	不定	32	FFFF 9ED0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA059	不定	32	FFFF 9ED4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC059	不定	32	FFFF 9ED8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTC059	不定	32	FFFF 9EDC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL059	0000 0000 _H	32	FFFF 9EE0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST059	0000 0000 _H	32	FFFF 9EE4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS059	0000 0000 _H	32	FFFF 9EE8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC059	0000 0000 _H	32	FFFF 9EEC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA060	不定	32	FFFF 9F00 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA060	不定	32	FFFF 9F04 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC060	不定	32	FFFF 9F08 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT060	不定	32	FFFF 9F0C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA060	不定	32	FFFF 9F10 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA060	不定	32	FFFF 9F14 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC060	不定	32	FFFF 9F18 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTC060	不定	32	FFFF 9F1C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL060	0000 0000 _H	32	FFFF 9F20 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST060	0000 0000 _H	32	FFFF 9F24 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS060	0000 0000 _H	32	FFFF 9F28 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC060	0000 0000 _H	32	FFFF 9F2C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA061	不定	32	FFFF 9F40 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA061	不定	32	FFFF 9F44 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC061	不定	32	FFFF 9F48 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT061	不定	32	FFFF 9F4C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA061	不定	32	FFFF 9F50 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA061	不定	32	FFFF 9F54 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC061	不定	32	FFFF 9F58 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTC061	不定	32	FFFF 9F5C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL061	0000 0000 _H	32	FFFF 9F60 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST061	0000 0000 _H	32	FFFF 9F64 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS061	0000 0000 _H	32	FFFF 9F68 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC061	0000 0000 _H	32	FFFF 9F6C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA062	不定	32	FFFF 9F80 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA062	不定	32	FFFF 9F84 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC062	不定	32	FFFF 9F88 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT062	不定	32	FFFF 9F8C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA062	不定	32	FFFF 9F90 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA062	不定	32	FFFF 9F94 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC062	不定	32	FFFF 9F98 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTC062	不定	32	FFFF 9F9C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL062	0000 0000 _H	32	FFFF 9FA0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST062	0000 0000 _H	32	FFFF 9FA4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS062	0000 0000 _H	32	FFFF 9FA8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC062	0000 0000 _H	32	FFFF 9FAC _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (97/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS ソースアドレス	D TSA063	不定	32	FFFF 9FC0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA063	不定	32	FFFF 9FC4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC063	不定	32	FFFF 9FC8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC063	不定	32	FFFF 9FCC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA063	不定	32	FFFF 9FD0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA063	不定	32	FFFF 9FD4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC063	不定	32	FFFF 9FD8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC063	不定	32	FFFF 9FDC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL063	0000 0000 _H	32	FFFF 9FE0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST063	0000 0000 _H	32	FFFF 9FE4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS063	0000 0000 _H	32	FFFF 9FE8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC063	0000 0000 _H	32	FFFF 9FEC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA064	不定	32	FFFF A000 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA064	不定	32	FFFF A004 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC064	不定	32	FFFF A008 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC064	不定	32	FFFF A00C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA064	不定	32	FFFF A010 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA064	不定	32	FFFF A014 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC064	不定	32	FFFF A018 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC064	不定	32	FFFF A01C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL064	0000 0000 _H	32	FFFF A020 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST064	0000 0000 _H	32	FFFF A024 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS064	0000 0000 _H	32	FFFF A028 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC064	0000 0000 _H	32	FFFF A02C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA065	不定	32	FFFF A040 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA065	不定	32	FFFF A044 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC065	不定	32	FFFF A048 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC065	不定	32	FFFF A04C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA065	不定	32	FFFF A050 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA065	不定	32	FFFF A054 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC065	不定	32	FFFF A058 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC065	不定	32	FFFF A05C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL065	0000 0000 _H	32	FFFF A060 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST065	0000 0000 _H	32	FFFF A064 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS065	0000 0000 _H	32	FFFF A068 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC065	0000 0000 _H	32	FFFF A06C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA066	不定	32	FFFF A080 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA066	不定	32	FFFF A084 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC066	不定	32	FFFF A088 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC066	不定	32	FFFF A08C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA066	不定	32	FFFF A090 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA066	不定	32	FFFF A094 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC066	不定	32	FFFF A098 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC066	不定	32	FFFF A09C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL066	0000 0000 _H	32	FFFF A0A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST066	0000 0000 _H	32	FFFF A0A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS066	0000 0000 _H	32	FFFF A0A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC066	0000 0000 _H	32	FFFF A0AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA067	不定	32	FFFF A0C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA067	不定	32	FFFF A0C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC067	不定	32	FFFF A0C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC067	不定	32	FFFF A0CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA067	不定	32	FFFF A0D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (98/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS リロードデスティネーションアドレス	DTRDA067	不定	32	FFFF A0D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC067	不定	32	FFFF A0D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC067	不定	32	FFFF A0DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL067	0000 0000 _H	32	FFFF A0E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST067	0000 0000 _H	32	FFFF A0E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS067	0000 0000 _H	32	FFFF A0E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC067	0000 0000 _H	32	FFFF A0EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA068	不定	32	FFFF A100 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA068	不定	32	FFFF A104 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC068	不定	32	FFFF A108 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT068	不定	32	FFFF A10C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA068	不定	32	FFFF A110 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA068	不定	32	FFFF A114 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC068	不定	32	FFFF A118 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC068	不定	32	FFFF A11C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL068	0000 0000 _H	32	FFFF A120 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST068	0000 0000 _H	32	FFFF A124 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS068	0000 0000 _H	32	FFFF A128 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC068	0000 0000 _H	32	FFFF A12C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA069	不定	32	FFFF A140 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA069	不定	32	FFFF A144 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC069	不定	32	FFFF A148 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT069	不定	32	FFFF A14C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA069	不定	32	FFFF A150 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA069	不定	32	FFFF A154 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC069	不定	32	FFFF A158 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC069	不定	32	FFFF A15C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL069	0000 0000 _H	32	FFFF A160 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST069	0000 0000 _H	32	FFFF A164 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS069	0000 0000 _H	32	FFFF A168 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC069	0000 0000 _H	32	FFFF A16C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA070	不定	32	FFFF A180 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA070	不定	32	FFFF A184 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC070	不定	32	FFFF A188 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT070	不定	32	FFFF A18C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA070	不定	32	FFFF A190 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA070	不定	32	FFFF A194 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC070	不定	32	FFFF A198 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC070	不定	32	FFFF A19C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL070	0000 0000 _H	32	FFFF A1A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST070	0000 0000 _H	32	FFFF A1A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS070	0000 0000 _H	32	FFFF A1A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC070	0000 0000 _H	32	FFFF A1AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA071	不定	32	FFFF A1C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA071	不定	32	FFFF A1C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC071	不定	32	FFFF A1C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT071	不定	32	FFFF A1CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA071	不定	32	FFFF A1D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA071	不定	32	FFFF A1D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC071	不定	32	FFFF A1D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC071	不定	32	FFFF A1DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL071	0000 0000 _H	32	FFFF A1E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST071	0000 0000 _H	32	FFFF A1E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (99/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVWRRES	EXTRES	DBRES	ECMRRES	BISTRES	SWRES	SV	UM		
DMASS	DTSFSL 転送要求セット	DTFSS071	0000 0000 _H	32	FFFF A1E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC071	0000 0000 _H	32	FFFF A1EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA072	不定	32	FFFF A200 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA072	不定	32	FFFF A204 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC072	不定	32	FFFF A208 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT072	不定	32	FFFF A20C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA072	不定	32	FFFF A210 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA072	不定	32	FFFF A214 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC072	不定	32	FFFF A218 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC072	不定	32	FFFF A21C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL072	0000 0000 _H	32	FFFF A220 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST072	0000 0000 _H	32	FFFF A224 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS072	0000 0000 _H	32	FFFF A228 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC072	0000 0000 _H	32	FFFF A22C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA073	不定	32	FFFF A240 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA073	不定	32	FFFF A244 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC073	不定	32	FFFF A248 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT073	不定	32	FFFF A24C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA073	不定	32	FFFF A250 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA073	不定	32	FFFF A254 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC073	不定	32	FFFF A258 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC073	不定	32	FFFF A25C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL073	0000 0000 _H	32	FFFF A260 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST073	0000 0000 _H	32	FFFF A264 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS073	0000 0000 _H	32	FFFF A268 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC073	0000 0000 _H	32	FFFF A26C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA074	不定	32	FFFF A280 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA074	不定	32	FFFF A284 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC074	不定	32	FFFF A288 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT074	不定	32	FFFF A28C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA074	不定	32	FFFF A290 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA074	不定	32	FFFF A294 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC074	不定	32	FFFF A298 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC074	不定	32	FFFF A29C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL074	0000 0000 _H	32	FFFF A2A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST074	0000 0000 _H	32	FFFF A2A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS074	0000 0000 _H	32	FFFF A2A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC074	0000 0000 _H	32	FFFF A2AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA075	不定	32	FFFF A2C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA075	不定	32	FFFF A2C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC075	不定	32	FFFF A2C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT075	不定	32	FFFF A2CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA075	不定	32	FFFF A2D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA075	不定	32	FFFF A2D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC075	不定	32	FFFF A2D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC075	不定	32	FFFF A2DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL075	0000 0000 _H	32	FFFF A2E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST075	0000 0000 _H	32	FFFF A2E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS075	0000 0000 _H	32	FFFF A2E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC075	0000 0000 _H	32	FFFF A2EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA076	不定	32	FFFF A300 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA076	不定	32	FFFF A304 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC076	不定	32	FFFF A308 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (100/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVWRRES	EXTRES	DBRES	ECMRRES	BISTRRES	SWRES	SV	UM		
DMASS	DTS 転送制御	DTTCT076	不定	32	FFFF A30C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA076	不定	32	FFFF A310 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA076	不定	32	FFFF A314 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC076	不定	32	FFFF A318 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC076	不定	32	FFFF A31C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL076	0000 0000 _H	32	FFFF A320 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST076	0000 0000 _H	32	FFFF A324 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS076	0000 0000 _H	32	FFFF A328 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC076	0000 0000 _H	32	FFFF A32C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA077	不定	32	FFFF A340 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA077	不定	32	FFFF A344 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC077	不定	32	FFFF A348 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT077	不定	32	FFFF A34C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA077	不定	32	FFFF A350 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA077	不定	32	FFFF A354 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC077	不定	32	FFFF A358 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC077	不定	32	FFFF A35C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL077	0000 0000 _H	32	FFFF A360 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST077	0000 0000 _H	32	FFFF A364 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS077	0000 0000 _H	32	FFFF A368 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC077	0000 0000 _H	32	FFFF A36C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA078	不定	32	FFFF A380 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA078	不定	32	FFFF A384 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC078	不定	32	FFFF A388 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT078	不定	32	FFFF A38C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA078	不定	32	FFFF A390 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA078	不定	32	FFFF A394 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC078	不定	32	FFFF A398 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC078	不定	32	FFFF A39C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL078	0000 0000 _H	32	FFFF A3A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST078	0000 0000 _H	32	FFFF A3A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS078	0000 0000 _H	32	FFFF A3A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC078	0000 0000 _H	32	FFFF A3AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA079	不定	32	FFFF A3C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA079	不定	32	FFFF A3C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC079	不定	32	FFFF A3C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT079	不定	32	FFFF A3CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA079	不定	32	FFFF A3D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA079	不定	32	FFFF A3D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC079	不定	32	FFFF A3D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC079	不定	32	FFFF A3DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL079	0000 0000 _H	32	FFFF A3E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST079	0000 0000 _H	32	FFFF A3E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS079	0000 0000 _H	32	FFFF A3E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC079	0000 0000 _H	32	FFFF A3EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA080	不定	32	FFFF A400 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA080	不定	32	FFFF A404 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC080	不定	32	FFFF A408 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT080	不定	32	FFFF A40C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA080	不定	32	FFFF A410 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA080	不定	32	FFFF A414 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC080	不定	32	FFFF A418 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC080	不定	32	FFFF A41C _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (101/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限	
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DMASS	DTSFSL 動作設定	DTFSL080	0000 0000 _H	32	FFFF A420 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST080	0000 0000 _H	32	FFFF A424 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS080	0000 0000 _H	32	FFFF A428 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC080	0000 0000 _H	32	FFFF A42C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA081	不定	32	FFFF A440 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA081	不定	32	FFFF A444 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC081	不定	32	FFFF A448 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT081	不定	32	FFFF A44C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA081	不定	32	FFFF A450 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	D TRDA081	不定	32	FFFF A454 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	D TRTC081	不定	32	FFFF A458 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC081	不定	32	FFFF A45C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL081	0000 0000 _H	32	FFFF A460 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST081	0000 0000 _H	32	FFFF A464 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS081	0000 0000 _H	32	FFFF A468 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC081	0000 0000 _H	32	FFFF A46C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA082	不定	32	FFFF A480 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA082	不定	32	FFFF A484 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC082	不定	32	FFFF A488 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT082	不定	32	FFFF A48C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA082	不定	32	FFFF A490 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	D TRDA082	不定	32	FFFF A494 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	D TRTC082	不定	32	FFFF A498 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC082	不定	32	FFFF A49C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL082	0000 0000 _H	32	FFFF A4A0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST082	0000 0000 _H	32	FFFF A4A4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS082	0000 0000 _H	32	FFFF A4A8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC082	0000 0000 _H	32	FFFF A4AC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA083	不定	32	FFFF A4C0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA083	不定	32	FFFF A4C4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC083	不定	32	FFFF A4C8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT083	不定	32	FFFF A4CC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA083	不定	32	FFFF A4D0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	D TRDA083	不定	32	FFFF A4D4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	D TRTC083	不定	32	FFFF A4D8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC083	不定	32	FFFF A4DC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL083	0000 0000 _H	32	FFFF A4E0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST083	0000 0000 _H	32	FFFF A4E4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS083	0000 0000 _H	32	FFFF A4E8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC083	0000 0000 _H	32	FFFF A4EC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA084	不定	32	FFFF A500 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA084	不定	32	FFFF A504 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC084	不定	32	FFFF A508 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT084	不定	32	FFFF A50C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA084	不定	32	FFFF A510 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	D TRDA084	不定	32	FFFF A514 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	D TRTC084	不定	32	FFFF A518 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC084	不定	32	FFFF A51C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL084	0000 0000 _H	32	FFFF A520 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST084	0000 0000 _H	32	FFFF A524 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS084	0000 0000 _H	32	FFFF A528 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC084	0000 0000 _H	32	FFFF A52C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA085	不定	32	FFFF A540 _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (102/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DMASS	DTS デスティネーションアドレス	DTDA085	不定	32	FFFF A544 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC085	不定	32	FFFF A548 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC085	不定	32	FFFF A54C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA085	不定	32	FFFF A550 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA085	不定	32	FFFF A554 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC085	不定	32	FFFF A558 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC085	不定	32	FFFF A55C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL085	0000 0000 _H	32	FFFF A560 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST085	0000 0000 _H	32	FFFF A564 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS085	0000 0000 _H	32	FFFF A568 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC085	0000 0000 _H	32	FFFF A56C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA086	不定	32	FFFF A580 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA086	不定	32	FFFF A584 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC086	不定	32	FFFF A588 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC086	不定	32	FFFF A58C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA086	不定	32	FFFF A590 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA086	不定	32	FFFF A594 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC086	不定	32	FFFF A598 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC086	不定	32	FFFF A59C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL086	0000 0000 _H	32	FFFF A5A0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST086	0000 0000 _H	32	FFFF A5A4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS086	0000 0000 _H	32	FFFF A5A8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC086	0000 0000 _H	32	FFFF A5AC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA087	不定	32	FFFF A5C0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA087	不定	32	FFFF A5C4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC087	不定	32	FFFF A5C8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC087	不定	32	FFFF A5CC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA087	不定	32	FFFF A5D0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA087	不定	32	FFFF A5D4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC087	不定	32	FFFF A5D8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC087	不定	32	FFFF A5DC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL087	0000 0000 _H	32	FFFF A5E0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST087	0000 0000 _H	32	FFFF A5E4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS087	0000 0000 _H	32	FFFF A5E8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC087	0000 0000 _H	32	FFFF A5EC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA088	不定	32	FFFF A600 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA088	不定	32	FFFF A604 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC088	不定	32	FFFF A608 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC088	不定	32	FFFF A60C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA088	不定	32	FFFF A610 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA088	不定	32	FFFF A614 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC088	不定	32	FFFF A618 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC088	不定	32	FFFF A61C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL088	0000 0000 _H	32	FFFF A620 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST088	0000 0000 _H	32	FFFF A624 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS088	0000 0000 _H	32	FFFF A628 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC088	0000 0000 _H	32	FFFF A62C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA089	不定	32	FFFF A640 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA089	不定	32	FFFF A644 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC089	不定	32	FFFF A648 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTC089	不定	32	FFFF A64C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA089	不定	32	FFFF A650 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA089	不定	32	FFFF A654 _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (103/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS リロード転送回数	DTRTC089	不定	32	FFFF A658 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC089	不定	32	FFFF A65C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL089	0000 0000 _H	32	FFFF A660 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST089	0000 0000 _H	32	FFFF A664 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS089	0000 0000 _H	32	FFFF A668 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC089	0000 0000 _H	32	FFFF A66C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA090	不定	32	FFFF A680 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA090	不定	32	FFFF A684 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC090	不定	32	FFFF A688 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT090	不定	32	FFFF A68C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA090	不定	32	FFFF A690 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA090	不定	32	FFFF A694 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC090	不定	32	FFFF A698 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC090	不定	32	FFFF A69C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL090	0000 0000 _H	32	FFFF A6A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST090	0000 0000 _H	32	FFFF A6A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS090	0000 0000 _H	32	FFFF A6A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC090	0000 0000 _H	32	FFFF A6AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA091	不定	32	FFFF A6C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA091	不定	32	FFFF A6C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC091	不定	32	FFFF A6C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT091	不定	32	FFFF A6CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA091	不定	32	FFFF A6D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA091	不定	32	FFFF A6D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC091	不定	32	FFFF A6D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC091	不定	32	FFFF A6DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL091	0000 0000 _H	32	FFFF A6E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST091	0000 0000 _H	32	FFFF A6E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS091	0000 0000 _H	32	FFFF A6E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC091	0000 0000 _H	32	FFFF A6EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA092	不定	32	FFFF A700 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA092	不定	32	FFFF A704 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC092	不定	32	FFFF A708 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT092	不定	32	FFFF A70C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA092	不定	32	FFFF A710 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA092	不定	32	FFFF A714 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC092	不定	32	FFFF A718 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC092	不定	32	FFFF A71C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL092	0000 0000 _H	32	FFFF A720 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST092	0000 0000 _H	32	FFFF A724 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS092	0000 0000 _H	32	FFFF A728 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC092	0000 0000 _H	32	FFFF A72C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA093	不定	32	FFFF A740 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA093	不定	32	FFFF A744 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC093	不定	32	FFFF A748 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT093	不定	32	FFFF A74C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA093	不定	32	FFFF A750 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA093	不定	32	FFFF A754 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC093	不定	32	FFFF A758 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC093	不定	32	FFFF A75C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL093	0000 0000 _H	32	FFFF A760 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST093	0000 0000 _H	32	FFFF A764 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS093	0000 0000 _H	32	FFFF A768 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (104/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTSFSL 転送要求クリア	DTFSC093	0000 0000 _H	32	FFFF A76C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA094	不定	32	FFFF A780 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA094	不定	32	FFFF A784 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC094	不定	32	FFFF A788 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT094	不定	32	FFFF A78C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA094	不定	32	FFFF A790 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA094	不定	32	FFFF A794 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC094	不定	32	FFFF A798 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC094	不定	32	FFFF A79C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL094	0000 0000 _H	32	FFFF A7A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST094	0000 0000 _H	32	FFFF A7A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS094	0000 0000 _H	32	FFFF A7A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC094	0000 0000 _H	32	FFFF A7AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA095	不定	32	FFFF A7C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA095	不定	32	FFFF A7C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC095	不定	32	FFFF A7C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT095	不定	32	FFFF A7CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA095	不定	32	FFFF A7D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA095	不定	32	FFFF A7D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC095	不定	32	FFFF A7D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC095	不定	32	FFFF A7DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL095	0000 0000 _H	32	FFFF A7E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST095	0000 0000 _H	32	FFFF A7E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS095	0000 0000 _H	32	FFFF A7E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC095	0000 0000 _H	32	FFFF A7EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA096	不定	32	FFFF A800 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA096	不定	32	FFFF A804 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC096	不定	32	FFFF A808 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT096	不定	32	FFFF A80C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA096	不定	32	FFFF A810 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA096	不定	32	FFFF A814 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC096	不定	32	FFFF A818 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC096	不定	32	FFFF A81C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL096	0000 0000 _H	32	FFFF A820 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST096	0000 0000 _H	32	FFFF A824 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS096	0000 0000 _H	32	FFFF A828 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC096	0000 0000 _H	32	FFFF A82C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA097	不定	32	FFFF A840 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA097	不定	32	FFFF A844 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC097	不定	32	FFFF A848 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT097	不定	32	FFFF A84C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA097	不定	32	FFFF A850 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA097	不定	32	FFFF A854 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC097	不定	32	FFFF A858 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC097	不定	32	FFFF A85C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL097	0000 0000 _H	32	FFFF A860 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST097	0000 0000 _H	32	FFFF A864 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS097	0000 0000 _H	32	FFFF A868 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC097	0000 0000 _H	32	FFFF A86C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA098	不定	32	FFFF A880 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA098	不定	32	FFFF A884 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC098	不定	32	FFFF A888 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT098	不定	32	FFFF A88C _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (105/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRRES	EXTRES	DBRES	ECMRRES	BISTRRES	SWRES	SV	UM		
DMASS	DTS リロードソースアドレス	DTRSA098	不定	32	FFFF A890 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA098	不定	32	FFFF A894 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC098	不定	32	FFFF A898 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC098	不定	32	FFFF A89C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL098	0000 0000 _H	32	FFFF A8A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST098	0000 0000 _H	32	FFFF A8A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS098	0000 0000 _H	32	FFFF A8A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC098	0000 0000 _H	32	FFFF A8AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA099	不定	32	FFFF A8C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA099	不定	32	FFFF A8C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC099	不定	32	FFFF A8C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT099	不定	32	FFFF A8CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA099	不定	32	FFFF A8D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA099	不定	32	FFFF A8D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC099	不定	32	FFFF A8D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC099	不定	32	FFFF A8DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL099	0000 0000 _H	32	FFFF A8E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST099	0000 0000 _H	32	FFFF A8E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS099	0000 0000 _H	32	FFFF A8E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC099	0000 0000 _H	32	FFFF A8EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA100	不定	32	FFFF A900 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA100	不定	32	FFFF A904 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC100	不定	32	FFFF A908 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT100	不定	32	FFFF A90C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA100	不定	32	FFFF A910 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA100	不定	32	FFFF A914 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC100	不定	32	FFFF A918 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC100	不定	32	FFFF A91C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL100	0000 0000 _H	32	FFFF A920 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST100	0000 0000 _H	32	FFFF A924 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS100	0000 0000 _H	32	FFFF A928 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC100	0000 0000 _H	32	FFFF A92C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA101	不定	32	FFFF A940 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA101	不定	32	FFFF A944 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC101	不定	32	FFFF A948 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT101	不定	32	FFFF A94C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA101	不定	32	FFFF A950 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA101	不定	32	FFFF A954 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC101	不定	32	FFFF A958 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC101	不定	32	FFFF A95C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL101	0000 0000 _H	32	FFFF A960 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST101	0000 0000 _H	32	FFFF A964 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS101	0000 0000 _H	32	FFFF A968 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC101	0000 0000 _H	32	FFFF A96C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA102	不定	32	FFFF A980 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA102	不定	32	FFFF A984 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC102	不定	32	FFFF A988 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT102	不定	32	FFFF A98C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA102	不定	32	FFFF A990 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA102	不定	32	FFFF A994 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC102	不定	32	FFFF A998 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC102	不定	32	FFFF A99C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL102	0000 0000 _H	32	FFFF A9A0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (106/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTSFSL 転送要求ステータス	DTFST102	0000 0000 _H	32	FFFF A9A4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS102	0000 0000 _H	32	FFFF A9A8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC102	0000 0000 _H	32	FFFF A9AC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA103	不定	32	FFFF A9C0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA103	不定	32	FFFF A9C4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC103	不定	32	FFFF A9C8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT103	不定	32	FFFF A9CC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA103	不定	32	FFFF A9D0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA103	不定	32	FFFF A9D4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC103	不定	32	FFFF A9D8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC103	不定	32	FFFF A9DC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL103	0000 0000 _H	32	FFFF A9E0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST103	0000 0000 _H	32	FFFF A9E4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS103	0000 0000 _H	32	FFFF A9E8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC103	0000 0000 _H	32	FFFF A9EC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA104	不定	32	FFFF AA00 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA104	不定	32	FFFF AA04 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC104	不定	32	FFFF AA08 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT104	不定	32	FFFF AA0C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA104	不定	32	FFFF AA10 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA104	不定	32	FFFF AA14 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC104	不定	32	FFFF AA18 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC104	不定	32	FFFF AA1C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL104	0000 0000 _H	32	FFFF AA20 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST104	0000 0000 _H	32	FFFF AA24 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS104	0000 0000 _H	32	FFFF AA28 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC104	0000 0000 _H	32	FFFF AA2C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA105	不定	32	FFFF AA40 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA105	不定	32	FFFF AA44 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC105	不定	32	FFFF AA48 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT105	不定	32	FFFF AA4C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA105	不定	32	FFFF AA50 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA105	不定	32	FFFF AA54 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC105	不定	32	FFFF AA58 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC105	不定	32	FFFF AA5C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL105	0000 0000 _H	32	FFFF AA60 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST105	0000 0000 _H	32	FFFF AA64 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS105	0000 0000 _H	32	FFFF AA68 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC105	0000 0000 _H	32	FFFF AA6C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA106	不定	32	FFFF AA80 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA106	不定	32	FFFF AA84 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC106	不定	32	FFFF AA88 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT106	不定	32	FFFF AA8C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA106	不定	32	FFFF AA90 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA106	不定	32	FFFF AA94 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC106	不定	32	FFFF AA98 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC106	不定	32	FFFF AA9C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL106	0000 0000 _H	32	FFFF AAA0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST106	0000 0000 _H	32	FFFF AAA4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS106	0000 0000 _H	32	FFFF AAA8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC106	0000 0000 _H	32	FFFF AAAC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA107	不定	32	FFFF AAC0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA107	不定	32	FFFF AAC4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (107/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS 転送回数	DTTC107	不定	32	FFFF AAC9 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT107	不定	32	FFFF AAC0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA107	不定	32	FFFF AAD0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA107	不定	32	FFFF AAD4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC107	不定	32	FFFF AAD8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC107	不定	32	FFFF AADC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL107	0000 0000 _H	32	FFFF AAE0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST107	0000 0000 _H	32	FFFF AAE4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS107	0000 0000 _H	32	FFFF AAE8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC107	0000 0000 _H	32	FFFF AAEC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA108	不定	32	FFFF AB00 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA108	不定	32	FFFF AB04 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC108	不定	32	FFFF AB08 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT108	不定	32	FFFF AB0C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA108	不定	32	FFFF AB10 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA108	不定	32	FFFF AB14 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC108	不定	32	FFFF AB18 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC108	不定	32	FFFF AB1C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL108	0000 0000 _H	32	FFFF AB20 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST108	0000 0000 _H	32	FFFF AB24 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS108	0000 0000 _H	32	FFFF AB28 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC108	0000 0000 _H	32	FFFF AB2C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA109	不定	32	FFFF AB40 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA109	不定	32	FFFF AB44 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC109	不定	32	FFFF AB48 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT109	不定	32	FFFF AB4C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA109	不定	32	FFFF AB50 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA109	不定	32	FFFF AB54 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC109	不定	32	FFFF AB58 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC109	不定	32	FFFF AB5C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL109	0000 0000 _H	32	FFFF AB60 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST109	0000 0000 _H	32	FFFF AB64 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS109	0000 0000 _H	32	FFFF AB68 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC109	0000 0000 _H	32	FFFF AB6C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA110	不定	32	FFFF AB80 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA110	不定	32	FFFF AB84 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC110	不定	32	FFFF AB88 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT110	不定	32	FFFF AB8C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA110	不定	32	FFFF AB90 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA110	不定	32	FFFF AB94 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC110	不定	32	FFFF AB98 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC110	不定	32	FFFF AB9C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL110	0000 0000 _H	32	FFFF ABA0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST110	0000 0000 _H	32	FFFF ABA4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS110	0000 0000 _H	32	FFFF ABA8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC110	0000 0000 _H	32	FFFF ABAC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA111	不定	32	FFFF ABC0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA111	不定	32	FFFF ABC4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC111	不定	32	FFFF ABC8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT111	不定	32	FFFF ABCC _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA111	不定	32	FFFF ABD0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA111	不定	32	FFFF ABD4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC111	不定	32	FFFF ABD8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (108/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因							アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM	
DMASS	DTS 転送回数コンペア	DTTCC111	不定	32	FFFF ABDC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL111	0000 0000 _H	32	FFFF ABE0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST111	0000 0000 _H	32	FFFF ABE4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS111	0000 0000 _H	32	FFFF ABE8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC111	0000 0000 _H	32	FFFF ABEC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA112	不定	32	FFFF AC00 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA112	不定	32	FFFF AC04 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC112	不定	32	FFFF AC08 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT112	不定	32	FFFF AC0C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA112	不定	32	FFFF AC10 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA112	不定	32	FFFF AC14 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC112	不定	32	FFFF AC18 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC112	不定	32	FFFF AC1C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL112	0000 0000 _H	32	FFFF AC20 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST112	0000 0000 _H	32	FFFF AC24 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS112	0000 0000 _H	32	FFFF AC28 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC112	0000 0000 _H	32	FFFF AC2C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA113	不定	32	FFFF AC40 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA113	不定	32	FFFF AC44 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC113	不定	32	FFFF AC48 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT113	不定	32	FFFF AC4C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA113	不定	32	FFFF AC50 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA113	不定	32	FFFF AC54 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC113	不定	32	FFFF AC58 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC113	不定	32	FFFF AC5C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL113	0000 0000 _H	32	FFFF AC60 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST113	0000 0000 _H	32	FFFF AC64 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS113	0000 0000 _H	32	FFFF AC68 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC113	0000 0000 _H	32	FFFF AC6C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA114	不定	32	FFFF AC80 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA114	不定	32	FFFF AC84 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC114	不定	32	FFFF AC88 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT114	不定	32	FFFF AC8C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA114	不定	32	FFFF AC90 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA114	不定	32	FFFF AC94 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC114	不定	32	FFFF AC98 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC114	不定	32	FFFF AC9C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL114	0000 0000 _H	32	FFFF ACA0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST114	0000 0000 _H	32	FFFF ACA4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS114	0000 0000 _H	32	FFFF ACA8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC114	0000 0000 _H	32	FFFF ACAC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	DTSA115	不定	32	FFFF ACC0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA115	不定	32	FFFF ACC4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC115	不定	32	FFFF ACC8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT115	不定	32	FFFF ACCC _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA115	不定	32	FFFF ACD0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA115	不定	32	FFFF ACD4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC115	不定	32	FFFF ACD8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC115	不定	32	FFFF ACD C _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL115	0000 0000 _H	32	FFFF ACE0 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST115	0000 0000 _H	32	FFFF ACE4 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS115	0000 0000 _H	32	FFFF ACE8 _H	0	32	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC115	0000 0000 _H	32	FFFF ACEC _H	0	32	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (109/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセスサイズ	リセット要因								アクセス権限		
								POCRES	CVWRRES	EXTRES	DBRES	ECMRRES	BISTRRES	SWRES	SV	UM		
DMASS	DTS ソースアドレス	D TSA116	不定	32	FFFF AD00 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	D TDA116	不定	32	FFFF AD04 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	D TTC116	不定	32	FFFF AD08 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	D TTC116	不定	32	FFFF AD0C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA116	不定	32	FFFF AD10 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	D TRDA116	不定	32	FFFF AD14 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	D TRTC116	不定	32	FFFF AD18 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	D TTC116	不定	32	FFFF AD1C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	D TFSL116	0000 0000 _H	32	FFFF AD20 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	D TFS116	0000 0000 _H	32	FFFF AD24 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	D TFS116	0000 0000 _H	32	FFFF AD28 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	D TFS116	0000 0000 _H	32	FFFF AD2C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA117	不定	32	FFFF AD40 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	D TDA117	不定	32	FFFF AD44 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	D TTC117	不定	32	FFFF AD48 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	D TTC117	不定	32	FFFF AD4C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA117	不定	32	FFFF AD50 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	D TRDA117	不定	32	FFFF AD54 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	D TRTC117	不定	32	FFFF AD58 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	D TTC117	不定	32	FFFF AD5C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	D TFSL117	0000 0000 _H	32	FFFF AD60 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	D TFS117	0000 0000 _H	32	FFFF AD64 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	D TFS117	0000 0000 _H	32	FFFF AD68 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	D TFS117	0000 0000 _H	32	FFFF AD6C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA118	不定	32	FFFF AD80 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	D TDA118	不定	32	FFFF AD84 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	D TTC118	不定	32	FFFF AD88 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	D TTC118	不定	32	FFFF AD8C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA118	不定	32	FFFF AD90 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	D TRDA118	不定	32	FFFF AD94 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	D TRTC118	不定	32	FFFF AD98 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	D TTC118	不定	32	FFFF AD9C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	D TFSL118	0000 0000 _H	32	FFFF ADA0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	D TFS118	0000 0000 _H	32	FFFF ADA4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	D TFS118	0000 0000 _H	32	FFFF ADA8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	D TFS118	0000 0000 _H	32	FFFF ADA C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA119	不定	32	FFFF ADC0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	D TDA119	不定	32	FFFF ADC4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	D TTC119	不定	32	FFFF ADC8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	D TTC119	不定	32	FFFF ADC C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA119	不定	32	FFFF ADD0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	D TRDA119	不定	32	FFFF ADD4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	D TRTC119	不定	32	FFFF ADD8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	D TTC119	不定	32	FFFF ADD C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	D TFSL119	0000 0000 _H	32	FFFF ADE0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	D TFS119	0000 0000 _H	32	FFFF ADE4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	D TFS119	0000 0000 _H	32	FFFF ADE8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	D TFS119	0000 0000 _H	32	FFFF ADE C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA120	不定	32	FFFF AE00 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	D TDA120	不定	32	FFFF AE04 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	D TTC120	不定	32	FFFF AE08 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	D TTC120	不定	32	FFFF AE0 C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	D TRSA120	不定	32	FFFF AE10 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

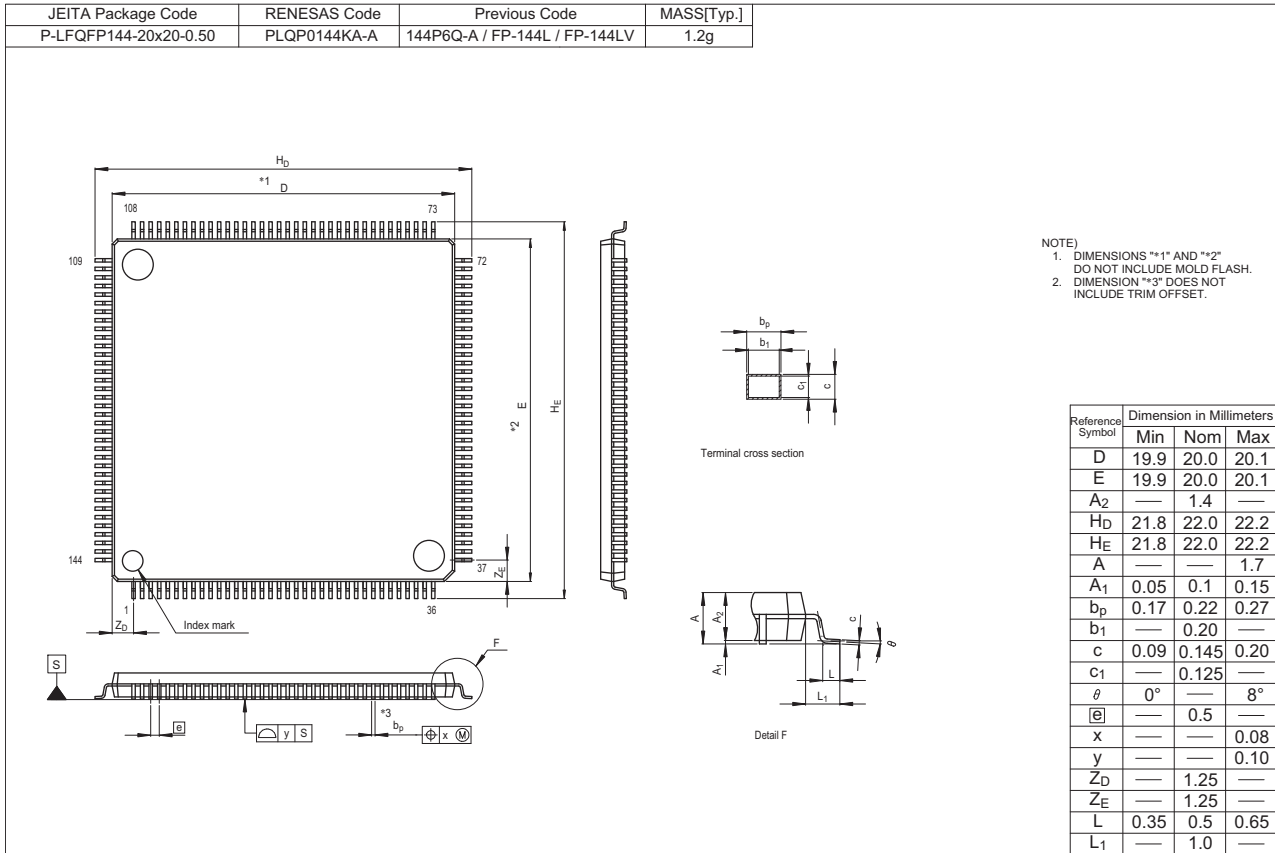
表 A.1 レジスタ一覧 (110/124)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット幅	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限		
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM		
DMASS	DTS リロードデスティネーションアドレス	DTRDA120	不定	32	FFFF AB14 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC120	不定	32	FFFF AB18 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC120	不定	32	FFFF AB1C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL120	0000 0000 _H	32	FFFF AE20 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST120	0000 0000 _H	32	FFFF AE24 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS120	0000 0000 _H	32	FFFF AE28 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC120	0000 0000 _H	32	FFFF AE2C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA121	不定	32	FFFF AE40 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA121	不定	32	FFFF AE44 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC121	不定	32	FFFF AE48 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT121	不定	32	FFFF AE4C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA121	不定	32	FFFF AE50 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA121	不定	32	FFFF AE54 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC121	不定	32	FFFF AE58 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC121	不定	32	FFFF AE5C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL121	0000 0000 _H	32	FFFF AE60 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST121	0000 0000 _H	32	FFFF AE64 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS121	0000 0000 _H	32	FFFF AE68 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC121	0000 0000 _H	32	FFFF AE6C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA122	不定	32	FFFF AE80 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA122	不定	32	FFFF AE84 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC122	不定	32	FFFF AE88 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT122	不定	32	FFFF AE8C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA122	不定	32	FFFF AE90 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA122	不定	32	FFFF AE94 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC122	不定	32	FFFF AE98 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC122	不定	32	FFFF AE9C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL122	0000 0000 _H	32	FFFF AEA0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST122	0000 0000 _H	32	FFFF AEA4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS122	0000 0000 _H	32	FFFF AEA8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC122	0000 0000 _H	32	FFFF AEA C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA123	不定	32	FFFF AEC0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA123	不定	32	FFFF AEC4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC123	不定	32	FFFF AEC8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT123	不定	32	FFFF AEC C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA123	不定	32	FFFF AED0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA123	不定	32	FFFF AED4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC123	不定	32	FFFF AED8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC123	不定	32	FFFF AED C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL123	0000 0000 _H	32	FFFF AEE0 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST123	0000 0000 _H	32	FFFF AEE4 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求セット	DTFSS123	0000 0000 _H	32	FFFF AEE8 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC123	0000 0000 _H	32	FFFF AEE C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS ソースアドレス	D TSA124	不定	32	FFFF AF00 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS デスティネーションアドレス	DTDA124	不定	32	FFFF AF04 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数	DTTC124	不定	32	FFFF AF08 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送制御	DTTCT124	不定	32	FFFF AF0 C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードソースアドレス	DTRSA124	不定	32	FFFF AF10 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロードデスティネーションアドレス	DTRDA124	不定	32	FFFF AF14 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS リロード転送回数	DTRTC124	不定	32	FFFF AF18 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTS 転送回数コンペア	DTTCC124	不定	32	FFFF AF1 C _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 動作設定	DTFSL124	0000 0000 _H	32	FFFF AF20 _H	0	32	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求ステータス	DTFST124	0000 0000 _H	32	FFFF AF24 _H	0	32	○	○	○	○	○	○	○	○	○	○	○

表 A.1 レジスタ一覧 (111/124)

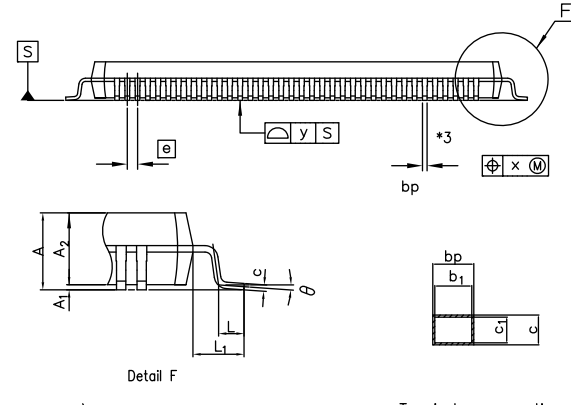
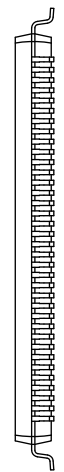
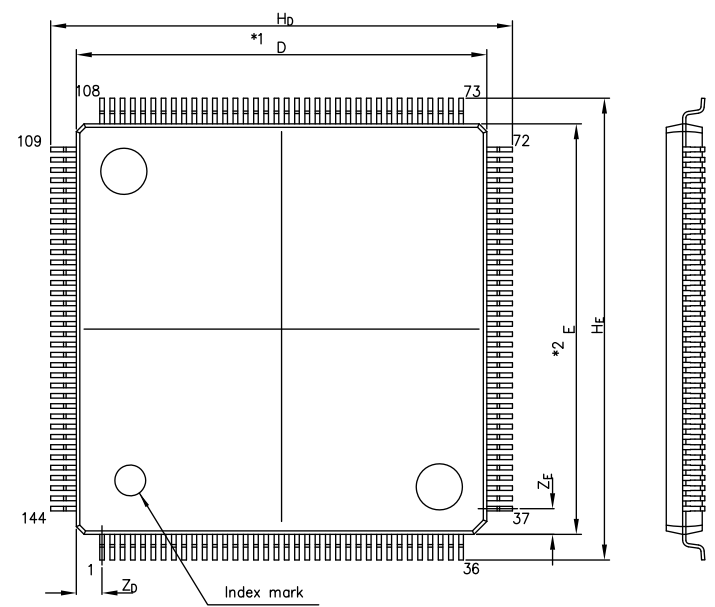
モジュール名	レジスタ名	レジスタシンボル	リセット後の値	幅 [bit]	アドレス	周辺 IP グループ	アクセス サイズ	リセット要因								アクセス権限			
								POCRES	CVMRES	EXTRES	DBRES	ECMRES	BISTRES	SWRES	SV	UM			
DMASS	DTSFSL 転送要求セット	DTFSS124	0000 0000 _H	32	FFFF AF28 _H	0	32	○	○	○	○	○	○	○	○	○	○	○	○
DMASS	DTSFSL 転送要求クリア	DTFSC124	0000 0000 _H	32	FFFF AF2C _H	0	32	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 32	EIC32	008F _H	16	FFFF B040 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 33	EIC33	008F _H	16	FFFF B042 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 34	EIC34	008F _H	16	FFFF B044 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 35	EIC35	008F _H	16	FFFF B046 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 36	EIC36	008F _H	16	FFFF B048 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 40	EIC40	008F _H	16	FFFF B050 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 41	EIC41	008F _H	16	FFFF B052 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 42	EIC42	008F _H	16	FFFF B054 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 43	EIC43	008F _H	16	FFFF B056 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 44	EIC44	008F _H	16	FFFF B058 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 45	EIC45	008F _H	16	FFFF B05A _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 46	EIC46	008F _H	16	FFFF B05C _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 47	EIC47	008F _H	16	FFFF B05E _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 48	EIC48	008F _H	16	FFFF B060 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 49	EIC49	008F _H	16	FFFF B062 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 50	EIC50	008F _H	16	FFFF B064 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 51	EIC51	008F _H	16	FFFF B066 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 52	EIC52	008F _H	16	FFFF B068 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 53	EIC53	008F _H	16	FFFF B06A _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 54	EIC54	008F _H	16	FFFF B06C _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 55	EIC55	008F _H	16	FFFF B06E _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 56	EIC56	008F _H	16	FFFF B070 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 57	EIC57	008F _H	16	FFFF B072 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 58	EIC58	008F _H	16	FFFF B074 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 59	EIC59	008F _H	16	FFFF B076 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 60	EIC60	008F _H	16	FFFF B078 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 61	EIC61	008F _H	16	FFFF B07A _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 62	EIC62	008F _H	16	FFFF B07C _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 63	EIC63	008F _H	16	FFFF B07E _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 64	EIC64	008F _H	16	FFFF B080 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 65	EIC65	008F _H	16	FFFF B082 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 66	EIC66	008F _H	16	FFFF B084 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 67	EIC67	008F _H	16	FFFF B086 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○
INTC2	EI レベル割り込み制御レジスタ 68	EIC68	008F _H	16	FFFF B088 _H	0	1, 8, 16	○	○	○	○	○	○	○	○	○	○	○	○

付録 B. 外形寸法図



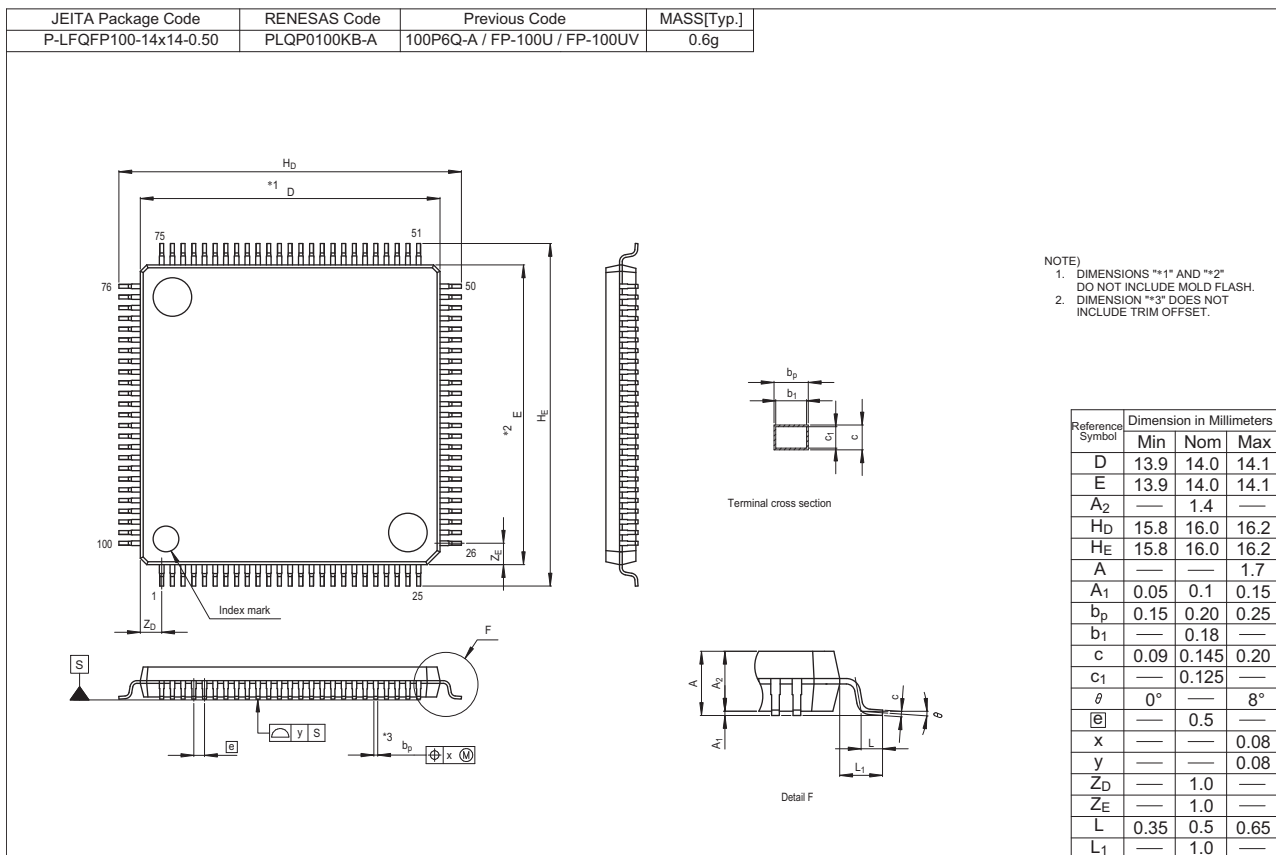
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP144-16x16-0.40	PLQP0144LB-A	—	0.9g

Unit: mm



NOTE)
 1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	15.9	16.0	16.1
E	15.9	16.0	16.1
A2	—	1.4	—
Hb	17.8	18.0	18.2
HE	17.8	18.0	18.2
A	—	—	1.7
A1	0.05	0.10	0.15
bp	0.13	0.18	0.23
b1	—	0.16	—
c	0.09	0.145	0.20
c1	—	0.125	—
θ	0°	—	8°
e	—	0.4	—
x	—	—	0.07
y	—	—	0.08
ZD	—	1.0	—
ZE	—	1.0	—
L	0.35	0.5	0.65
L1	—	1.0	—



RH850/P1x ユーザーズマニュアル
ハードウェア編

発行年月日 2013年06月 Rev.0.10
2018年03月30日 Rev.1.40

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<https://www.renesas.com/contact/>

RH850/P1x