

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/L35A グループ、R8C/L36A グループ、R8C/L38A グループ、R8C/L3AA グループ、  
R8C/L35B グループ、R8C/L36B グループ、R8C/L38B グループ、R8C/L3AB グループ

## ハードウェアマニュアル ルネサス マイクロコンピュータ R8C ファミリ/R8C/Lx シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/L35A、R8C/L36A、R8C/L38A、およびR8C/L3AAグループ、ならびにR8C/L35B、R8C/L36B、R8C/L38B、およびR8C/L3ABグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジーホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要	R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ データシート	RJJ03B0253
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU命令セットの説明	R8C/Tinyシリーズソフトウェア マニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス テクノロジーホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

## 2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

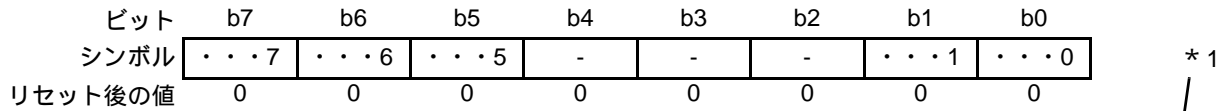
- |   |
|---|
| <p>(1) レジスタ名、ビット名、端子名<br/>本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。<br/>(例) PM0 レジスタのPM03ビット<br/>P3_5 端子、VCC 端子</p> <p>(2) 数の表記<br/>2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。<br/>(例) 2進数：11b<br/>16進数：EFA0h<br/>10進数：1234</p> |
|---|

### 3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X . . . . レジスタ(シンボル)

アドレス . . . h番地



ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 00 : . . . 01 : . . . 10 : 設定しないでください 11 : . . .	R/W R/W
b1	. . . 1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b3	-	予約ビット	“0”にしてください。	W
b4	-			
b5	. . . 5	. . . ビット	動作モードによって機能が異なる	R/W
b6	. . . 6			R/W
b7	. . . 7	. . . ビット	0 : . . . 1 : . . .	R

\* 2

\* 3

\* 1

- R/W : 読むとビットの状態が読めます。書くと有効データになります。
- R : 読むとビットの状態が読めます。書いた値は無効になります。
- W : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

\* 2

- 予約ビット  
予約ビットです。指定された値にしてください。

\* 3

- 何も配置されていない  
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- 設定しないでください  
設定した場合の動作は保証されません。
- 動作モードによって機能が異なる  
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。



#### 4. 略語および略称の説明

略語/略称	フルスベル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	NECエレクトロニクス社提唱の通信方式
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

# 目次

番地別ページ早見表 .....	B - 1
1. 概要 .....	1
1.1  特長 .....	1
1.1.1  応用 .....	1
1.1.2  グループごとの相違点 .....	2
1.1.3  仕様概要 .....	4
1.2  製品一覧 .....	7
1.3  ブロック図 .....	15
1.4  ピン配置図 .....	19
1.5  端子機能の説明 .....	27
2.  中央演算処理装置 (CPU) .....	29
2.1  データレジスタ (R0、R1、R2、R3) .....	30
2.2  アドレスレジスタ (A0、A1) .....	30
2.3  フレームベースレジスタ (FB) .....	30
2.4  割り込みテーブルレジスタ (INTB) .....	30
2.5  プログラムカウンタ (PC) .....	30
2.6  ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP) .....	30
2.7  スタティックベースレジスタ (SB) .....	30
2.8  フラグレジスタ (FLG) .....	30
2.8.1  キャリフラグ (C フラグ) .....	30
2.8.2  デバッグフラグ (D フラグ) .....	30
2.8.3  ゼロフラグ (Z フラグ) .....	30
2.8.4  サインフラグ (S フラグ) .....	30
2.8.5  レジスタバンク指定フラグ (B フラグ) .....	30
2.8.6  オーバフローフラグ (O フラグ) .....	31
2.8.7  割り込み許可フラグ (I フラグ) .....	31
2.8.8  スタックポインタ指定フラグ (U フラグ) .....	31
2.8.9  プロセッサ割り込み優先レベル (IPL) .....	31
2.8.10  予約ビット .....	31
3.  メモリ .....	32
4.  SFR .....	33
5.  リセット .....	49
5.1  レジスタの説明 .....	51
5.1.1  プロセッサモードレジスタ 0 (PM0) .....	51
5.1.2  リセット要因判別レジスタ (RSTFR) .....	51
5.1.3  オプション機能選択レジスタ (OFS) .....	52
5.1.4  オプション機能選択レジスタ 2 (OFS2) .....	53
5.2  ハードウェアリセット .....	54
5.2.1  電源が安定している場合 .....	54
5.2.2  電源投入時 .....	54
5.3  ウォッチドッグタイマリセット .....	56
5.4  ソフトウェアリセット .....	56
5.5  コールドスタート / ウォームスタート判定機能 .....	57
5.6  リセット要因判別機能 .....	57

6.	I/Oポート .....	58
6.1	概要 .....	58
6.2	I/Oポートの機能 .....	60
6.3	周辺機能への影響 .....	60
6.4	I/Oポート以外の端子 .....	60
6.5	レジスタの説明 .....	66
6.5.1	ポート Pi 方向レジスタ (PDi)(i=0 ~ 7、10 ~ 13) .....	66
6.5.2	ポート Pi レジスタ (Pi)(i=0 ~ 7、10 ~ 13) .....	67
6.5.3	タイマ RA 端子選択レジスタ (TRASR) .....	68
6.5.4	タイマ RB/RC 端子選択レジスタ (TRBRCR) .....	69
6.5.5	タイマ RC 端子選択レジスタ 0 (TRCPSR0) .....	70
6.5.6	タイマ RC 端子選択レジスタ 1 (TRCPSR1) .....	71
6.5.7	タイマ RD 端子選択レジスタ 0 (TRDPSR0) .....	72
6.5.8	タイマ RD 端子選択レジスタ 1 (TRDPSR1) .....	73
6.5.9	タイマ RG 端子選択レジスタ (TRGPSR) .....	74
6.5.10	UART0 端子選択レジスタ (U0SR) .....	75
6.5.11	UART1 端子選択レジスタ (U1SR) .....	76
6.5.12	UART2 端子選択レジスタ 0 (U2SR0) .....	77
6.5.13	UART2 端子選択レジスタ 1 (U2SR1) .....	78
6.5.14	SSU/IIC 端子選択レジスタ (SSUICSR) .....	79
6.5.15	キー入力端子選択レジスタ (KISR) .....	80
6.5.16	INT 割り込み入力端子選択レジスタ (INTSR) .....	81
6.5.17	入出力機能端子選択レジスタ (PINSR) .....	82
6.5.18	ポート Pi プルアップ制御レジスタ (PiPUR)(i=0 ~ 7) .....	83
6.5.19	ポート Pj プルアップ制御レジスタ (PjPUR)(j=10 ~ 13) .....	83
6.5.20	ポート P10 駆動能力制御レジスタ (P10DRR) .....	84
6.5.21	ポート P11 駆動能力制御レジスタ (P11DRR) .....	84
6.5.22	入力しきい値制御レジスタ 0 (VLT0) .....	85
6.5.23	入力しきい値制御レジスタ 1 (VLT1) .....	86
6.5.24	入力しきい値制御レジスタ 2 (VLT2) .....	87
6.6	ポートの設定 .....	88
6.7	未使用端子の処理 .....	107
7.	バス制御 .....	108
8.	クロック発生回路 .....	110
8.1	概要 .....	110
8.2	レジスタの説明 .....	113
8.2.1	システムクロック制御レジスタ 0(CM0) .....	113
8.2.2	システムクロック制御レジスタ 1(CM1) .....	114
8.2.3	システムクロック制御レジスタ 3 (CM3) .....	115
8.2.4	発振停止検出レジスタ (OCD) .....	116
8.3	XIN クロック .....	117
8.4	オンチップオシレータクロック .....	118
8.4.1	低速オンチップオシレータクロック .....	118
8.5	XCIN クロック .....	119
8.6	CPU クロックと周辺機能クロック .....	120
8.6.1	システムクロック .....	120
8.6.2	CPU クロック .....	120

8.6.3	周辺機能クロック (f1、f2、f4、f8、f32).....	120
8.6.4	fOCO-S.....	120
8.6.5	fOCO128.....	120
8.6.6	fC-LCD.....	120
8.6.7	fC、fC2、fC4、fC32.....	121
8.6.8	fOCO-WDT.....	121
8.7	発振停止検出機能.....	122
8.7.1	発振停止検出機能の使用方式.....	122
8.8	クロック発生回路使用上の注意.....	124
8.8.1	発振停止検出機能.....	124
8.8.2	発振回路定数.....	124
8.8.3	XCIN クロック.....	124
8.8.4	P12_0 と P12_1 端子に関する使用上の注意事項.....	124
9.	パワーコントロール.....	125
9.1	概要.....	125
9.2	レジスタの説明.....	127
9.2.1	システムクロック制御レジスタ 0(CM0).....	127
9.2.2	システムクロック制御レジスタ 1(CM1).....	128
9.2.3	システムクロック制御レジスタ 3 (CM3).....	129
9.2.4	発振停止検出レジスタ (OCD).....	130
9.2.5	電圧検出レジスタ 2 (VCA2).....	131
9.2.6	パワーオフモード制御レジスタ 0 (POMCR0).....	132
9.3	標準動作モード.....	133
9.3.1	高速クロックモード.....	134
9.3.2	低速クロックモード.....	134
9.3.3	低速オンチップオシレータモード.....	134
9.4	ウェイトモード.....	135
9.4.1	周辺機能クロック停止機能.....	135
9.4.2	ウェイトモードへの移行.....	135
9.4.3	ウェイトモード時の端子の状態.....	135
9.4.4	ウェイトモードからの復帰.....	136
9.5	ストップモード.....	139
9.5.1	ストップモードへの移行.....	139
9.5.2	ストップモード時の端子の状態.....	139
9.5.3	ストップモードからの復帰.....	140
9.6	パワーオフモード.....	141
9.6.1	パワーオフモードの端子処理.....	141
9.6.2	パワーオフモードへの移行.....	141
9.6.3	パワーオフモード移行後の端子の状態.....	141
9.6.4	パワーオフモードの解除.....	142
9.7	消費電力の低減.....	143
9.7.1	ポート.....	143
9.7.2	クロック.....	143
9.7.3	ウェイトモード、ストップモード、パワーオフモード.....	143
9.7.4	周辺機能クロックの停止.....	143
9.7.5	タイマ.....	143
9.7.6	A/D コンバータ.....	144
9.7.7	クロック同期形シリアルインタフェース.....	144

9.7.8	内部電源の消費電力低減 .....	144
9.7.9	フラッシュメモリの停止 .....	145
9.7.10	低消費電流リードモード .....	146
9.8	パワーコントロール使用上の注意 .....	147
9.8.1	ストップモード .....	147
9.8.2	ウェイトモード .....	147
9.8.3	パワーオフモード .....	148
9.8.4	電流の低減 .....	148
10.	プロテクト .....	149
10.1	レジスタの説明 .....	149
10.1.1	プロテクトレジスタ (PRCR) .....	149
11.	割り込み .....	150
11.1	概要 .....	150
11.1.1	割り込みの分類 .....	150
11.1.2	ソフトウェア割り込み .....	151
11.1.3	特殊割り込み .....	152
11.1.4	周辺機能割り込み .....	152
11.1.5	割り込みと割り込みベクタ .....	153
11.2	レジスタの説明 .....	155
11.2.1	割り込み制御レジスタ (TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、 TRBIC、U2BCNIC) .....	155
11.2.2	割り込み制御レジスタ (FMRDYIC、TRCIC、TRD0IC、TRD1IC、SSUIC/ICIC、TRGIC) .....	156
11.2.3	INT <sub>i</sub> 割り込み制御レジスタ (INT <sub>i</sub> IC)(i=0 ~ 7) .....	157
11.3	割り込み制御 .....	158
11.3.1	I フラグ .....	158
11.3.2	IR ビット .....	158
11.3.3	ILVL2 ~ ILVL0 ビット、IPL .....	158
11.3.4	割り込みシーケンス .....	159
11.3.5	割り込み応答時間 .....	160
11.3.6	割り込み要求受付時の IPL の変化 .....	160
11.3.7	レジスタ退避 .....	161
11.3.8	割り込みルーチンからの復帰 .....	163
11.3.9	割り込み優先順位 .....	163
11.3.10	割り込み優先レベル判定回路 .....	164
11.4	INT 割り込み .....	165
11.4.1	INT <sub>i</sub> 割り込み (i=0 ~ 7) .....	165
11.4.2	INT 割り込み入力端子選択レジスタ (INTSR) .....	166
11.4.3	外部入力許可レジスタ 0 (INTEN) .....	167
11.4.4	外部入力許可レジスタ 1 (INTEN1) .....	168
11.4.5	INT 入力フィルタ選択レジスタ 0 (INTF) .....	169
11.4.6	INT 入力フィルタ選択レジスタ 1 (INTF1) .....	169
11.4.7	INT <sub>i</sub> 入力フィルタ (i=0 ~ 7) .....	170
11.5	キー入力割り込み .....	171
11.5.1	キー入力端子選択レジスタ (KISR) .....	173
11.5.2	キー入力許可レジスタ 0 (KIEN) .....	174

11.5.3	キー入力許可レジスタ 1(KIEN1).....	175
11.6	アドレス一致割り込み.....	176
11.6.1	アドレス一致割り込み許可レジスタ i (AIERi)(i=0 ~ 1).....	177
11.6.2	アドレス一致割り込みレジスタ i (RMADi)(i=0 ~ 1).....	177
11.7	タイマ RC 割り込み、タイマ RD 割り込み、タイマ RG 割り込み、シンクロナスシリアルコ ミュニケーションユニット割り込み、I <sup>2</sup> C バスインタフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み).....	178
11.8	割り込み使用上の注意.....	180
11.8.1	00000h 番地の読み出し.....	180
11.8.2	SP の設定.....	180
11.8.3	外部割り込み、キー入力割り込み.....	180
11.8.4	割り込み要因の変更.....	181
11.8.5	割り込み制御レジスタの変更.....	182
12.	ID コード領域.....	183
12.1	概要.....	183
12.2	機能.....	184
12.3	強制イレース機能.....	185
12.4	標準シリアル入出力モード禁止機能.....	185
12.5	ID コード領域使用上の注意.....	186
12.5.1	ID コード領域の設定例.....	186
13.	オプション機能選択領域.....	187
13.1	概要.....	187
13.2	レジスタの説明.....	188
13.2.1	オプション機能選択レジスタ (OFS).....	188
13.2.2	オプション機能選択レジスタ 2 (OFS2).....	189
13.3	オプション機能選択領域使用上の注意.....	190
13.3.1	オプション機能選択領域の設定例.....	190
14.	ウォッチドッグタイマ.....	191
14.1	概要.....	191
14.2	レジスタの説明.....	193
14.2.1	プロセッサモードレジスタ 1 (PM1).....	193
14.2.2	ウォッチドッグタイマリセットレジスタ (WDTR).....	193
14.2.3	ウォッチドッグタイマスタートレジスタ (WDTS).....	193
14.2.4	ウォッチドッグタイマ制御レジスタ (WDTC).....	194
14.2.5	カウントソース保護モードレジスタ (CSPR).....	194
14.2.6	オプション機能選択レジスタ (OFS).....	195
14.2.7	オプション機能選択レジスタ 2 (OFS2).....	196
14.3	動作説明.....	197
14.3.1	複数モードに関わる共通事項.....	197
14.3.2	カウントソース保護モード無効時.....	198
14.3.3	カウントソース保護モード有効時.....	199
15.	DTC.....	200
15.1	概要.....	200
15.2	レジスタの説明.....	201
15.2.1	DTC 制御レジスタ j (DTCCRj)(j=0 ~ 23).....	202

15.2.2	DTC ブロックサイズレジスタ j(DTBLSj)(j=0 ~ 23).....	202
15.2.3	DTC 転送回数レジスタ j(DTCCTj)(j=0 ~ 23) .....	203
15.2.4	DTC 転送回数リロードレジスタ j(DTRLDj)(j=0 ~ 23) .....	203
15.2.5	DTC ソースアドレスレジスタ j(DTSARj)(j=0 ~ 23) .....	203
15.2.6	DTC デスティネーションレジスタ j(DTDARj)(j=0 ~ 23).....	203
15.2.7	DTC 起動許可レジスタ i(DTCENi)(i=0 ~ 6).....	204
15.2.8	DTC 起動制御レジスタ (DTCTL).....	205
15.3	動作説明.....	206
15.3.1	概要 .....	206
15.3.2	起動要因 .....	206
15.3.3	コントロールデータの配置と DTC ベクタテーブル .....	208
15.3.4	ノーマルモード .....	213
15.3.5	リピートモード .....	214
15.3.6	チェイン転送 .....	215
15.3.7	割り込み要因 .....	215
15.3.8	動作タイミング .....	216
15.3.9	DTC 実行サイクル数 .....	217
15.3.10	DTC 起動要因受付と割り込み要因フラグ .....	218
15.4	DTC 使用上の注意.....	220
15.4.1	DTC 起動要因 .....	220
15.4.2	DTCENi レジスタ (i=0 ~ 6).....	220
15.4.3	周辺モジュール .....	220
15.4.4	割り込み要求 .....	220
16.	タイマ総論.....	221
17.	タイマ RA .....	224
17.1	概要.....	224
17.2	レジスタの説明.....	225
17.2.1	タイマ RA 制御レジスタ (TRACR).....	225
17.2.2	タイマ RA I/O 制御レジスタ (TRAIOC).....	225
17.2.3	タイマ RA モードレジスタ (TRAMR).....	226
17.2.4	タイマ RA プリスケーラレジスタ (TRAPRE).....	226
17.2.5	タイマ RA レジスタ (TRA).....	227
17.2.6	タイマ RA 端子選択レジスタ (TRASR) .....	227
17.3	タイマモード.....	228
17.3.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ タイマモード時 ] .....	228
17.3.2	カウント中のタイマ書き込み制御 .....	229
17.4	パルス出力モード.....	230
17.4.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス出力モード時 ] .....	231
17.5	イベントカウンタモード.....	232
17.5.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ イベントカウンタモード時 ] .....	233
17.6	パルス幅測定モード.....	234
17.6.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス幅測定モード時 ] .....	235
17.6.2	動作例 .....	236
17.7	パルス周期測定モード.....	237
17.7.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス周期測定モード時 ] .....	238
17.7.2	動作例 .....	239
17.8	タイマ RA 使用上の注意 .....	240

18.	タイマ RB .....	241
18.1	概要 .....	241
18.2	レジスタの説明 .....	242
18.2.1	タイマ RB 制御レジスタ (TRBCR) .....	242
18.2.2	タイマ RB ワンショット制御レジスタ (TRBOCR) .....	242
18.2.3	タイマ RB I/O 制御レジスタ (TRBIOC) .....	243
18.2.4	タイマ RB モードレジスタ (TRBMR) .....	243
18.2.5	タイマ RB プリスケーラレジスタ (TRBPRES) .....	244
18.2.6	タイマ RB セカンダリレジスタ (TRBSC) .....	244
18.2.7	タイマ RB プライマリレジスタ (TRBPR) .....	245
18.2.8	タイマ RB/RC 端子選択レジスタ (TRBRCSR) .....	245
18.3	タイマモード .....	246
18.3.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ タイマモード時 ] .....	246
18.3.2	カウント中のタイマ書き込み制御 .....	247
18.4	プログラマブル波形発生モード .....	249
18.4.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブル波形発生モード時 ] .....	250
18.4.2	動作例 .....	251
18.5	プログラマブルワンショット発生モード .....	252
18.5.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブルワンショット発生モード時 ] .....	253
18.5.2	動作例 .....	254
18.5.3	ワンショットトリガ選択 .....	255
18.6	プログラマブルウェイトワンショット発生モード .....	256
18.6.1	タイマ RB I/O 制御レジスタ (TRBIOC) [ プログラマブルウェイトワンショット発生モード時 ] .....	257
18.6.2	動作例 .....	258
18.7	タイマ RB 使用上の注意 .....	259
18.7.1	タイマモード .....	259
18.7.2	プログラマブル波形発生モード .....	259
18.7.3	プログラマブルワンショット発生モード .....	260
18.7.4	プログラマブルウェイトワンショット発生モード .....	260
19.	タイマ RC .....	261
19.1	概要 .....	261
19.2	レジスタの説明 .....	263
19.2.1	モジュールスタンバイ制御レジスタ (MSTCR) .....	264
19.2.2	タイマ RC モードレジスタ (TRCMR) .....	265
19.2.3	タイマ RC 制御レジスタ 1(TRCCR1) .....	266
19.2.4	タイマ RC 割り込み許可レジスタ (TRCIER) .....	266
19.2.5	タイマ RC ステータスレジスタ (TRCSR) .....	267
19.2.6	タイマ RC I/O 制御レジスタ 0(TRCIOR0) .....	268
19.2.7	タイマ RC I/O 制御レジスタ 1(TRCIOR1) .....	268
19.2.8	タイマ RC カウンタ (TRC) .....	269
19.2.9	タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD) .....	269
19.2.10	タイマ RC 制御レジスタ 2(TRCCR2) .....	270
19.2.11	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF) .....	270
19.2.12	タイマ RC アウトプットマスタ許可レジスタ (TRCOER) .....	271
19.2.13	タイマ RC トリガ制御レジスタ (TRCADCR) .....	271
19.2.14	タイマ RB/RC 端子選択レジスタ (TRBRCSR) .....	272



19.2.15	タイマ RC 端子選択レジスタ 0 (TRCPSR0).....	273
19.2.16	タイマ RC 端子選択レジスタ 1 (TRCPSR1).....	274
19.3	複数モードに関わる共通事項.....	275
19.3.1	カウントソース.....	275
19.3.2	バッファ動作.....	276
19.3.3	デジタルフィルタ.....	278
19.3.4	パルス出力強制遮断.....	279
19.4	タイマモード (インプットキャプチャ機能).....	281
19.4.1	タイマ RC I/O 制御レジスタ 0 (TRCIOR0)[ タイマモード (インプットキャプチャ機能) 時 ] .....	283
19.4.2	タイマ RC I/O 制御レジスタ 1 (TRCIOR1)[ タイマモード (インプットキャプチャ機能) 時 ] .....	284
19.4.3	動作例.....	285
19.5	タイマモード (アウトプットコンペア機能).....	286
19.5.1	タイマ RC 制御レジスタ 1 (TRCCR1)[ タイマモード (アウトプットコンペア機能) 時 ].....	288
19.5.2	タイマ RC I/O 制御レジスタ 0 (TRCIOR0)[ タイマモード (アウトプットコンペア機能) 時 ] .....	289
19.5.3	タイマ RC I/O 制御レジスタ 1 (TRCIOR1)[ タイマモード (アウトプットコンペア機能) 時 ] .....	290
19.5.4	タイマ RC 制御レジスタ 2 (TRCCR2)[ タイマモード (アウトプットコンペア機能) 時 ].....	291
19.5.5	動作例.....	292
19.5.6	TRCGRC、TRCGRD レジスタの出力端子変更.....	293
19.6	PWM モード.....	295
19.6.1	タイマ RC 制御レジスタ 1 (TRCCR1)[ PWM モード時 ].....	297
19.6.2	タイマ RC 制御レジスタ 2 (TRCCR2)[ PWM モード時 ].....	298
19.6.3	動作例.....	299
19.7	PWM2 モード.....	301
19.7.1	タイマ RC 制御レジスタ 1 (TRCCR1)[ PWM2 モード時 ].....	303
19.7.2	タイマ RC 制御レジスタ 2 (TRCCR2)[ PWM2 モード時 ].....	304
19.7.3	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[ PWM2 モード時 ].....	304
19.7.4	動作例.....	305
19.8	タイマ RC 割り込み.....	308
19.9	タイマ RC 使用上の注意事項.....	309
19.9.1	TRC レジスタ.....	309
19.9.2	TRCSR レジスタ.....	309
19.9.3	カウントソース切り替え.....	309
19.9.4	インプットキャプチャ機能.....	309
19.9.5	PWM2 モード時の TRCMR レジスタ.....	309
20.	タイマ RD.....	310
20.1	概要.....	310
20.2	複数モードに関わる共通事項.....	312
20.2.1	カウントソース.....	312
20.2.2	バッファ動作.....	313
20.2.3	同期動作.....	315
20.2.4	パルス出力強制遮断.....	316
20.3	インプットキャプチャ機能.....	318
20.3.1	モジュールスタンバイ制御レジスタ (MSTCR).....	320
20.3.2	タイマ RD 拡張制御レジスタ (TRDECR).....	320

20.3.3	タイマ RD スタートレジスタ (TRDSTR)[ インพุットキャプチャ機能時 ]	321
20.3.4	タイマ RD モードレジスタ (TRDMR)[ インพุットキャプチャ機能時 ]	321
20.3.5	タイマ RD PWM モードレジスタ (TRDPMR)[ インพุットキャプチャ機能時 ]	322
20.3.6	タイマ RD 機能制御レジスタ (TRDFCR)[ インพุットキャプチャ機能時 ]	322
20.3.7	タイマ RD デジタルフィルタ機能選択レジスタ $i$ (TRDDFi)( $i = 0 \sim 1$ ) [ インพุットキャプチャ機能時 ]	323
20.3.8	タイマ RD 制御レジスタ $i$ (TRDCRi)( $i = 0 \sim 1$ )[ インพุットキャプチャ機能時 ]	324
20.3.9	タイマ RD I/O 制御レジスタ $A_i$ (TRDIORAi)( $i = 0 \sim 1$ ) [ インพุットキャプチャ機能時 ]	325
20.3.10	タイマ RD I/O 制御レジスタ $C_i$ (TRDIORCi)( $i = 0 \sim 1$ ) [ インพุットキャプチャ機能時 ]	326
20.3.11	タイマ RD ステータスレジスタ $i$ (TRDSRi)( $i = 0 \sim 1$ ) [ インพุットキャプチャ機能時 ]	327
20.3.12	タイマ RD 割り込み許可レジスタ $i$ (TRDIERi)( $i = 0 \sim 1$ ) [ インพุットキャプチャ機能時 ]	328
20.3.13	タイマ RD カウンタ $i$ (TRDi)( $i = 0 \sim 1$ )[ インพุットキャプチャ機能時 ]	328
20.3.14	タイマ RD ジェネラルレジスタ $A_i$ 、 $B_i$ 、 $C_i$ 、 $D_i$ (TRDGRAi、TRDGRBi、TRDGRCi、 TRDGRDi)( $i = 0 \sim 1$ )[ インพุットキャプチャ機能時 ]	329
20.3.15	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	330
20.3.16	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	331
20.3.17	動作例	332
20.3.18	デジタルフィルタ	333
20.4	アウトプットコンペア機能	334
20.4.1	モジュールスタンバイ制御レジスタ (MSTCR)	336
20.4.2	タイマ RD 拡張制御レジスタ (TRDECR)	337
20.4.3	タイマ RD トリガ制御レジスタ (TRDADCR)	337
20.4.4	タイマ RD スタートレジスタ (TRDSTR)[ アウトプットコンペア機能時 ]	338
20.4.5	タイマ RD モードレジスタ (TRDMR)[ アウトプットコンペア機能時 ]	339
20.4.6	タイマ RD PWM モードレジスタ (TRDPMR)[ アウトプットコンペア機能時 ]	339
20.4.7	タイマ RD 機能制御レジスタ (TRDFCR)[ アウトプットコンペア機能時 ]	340
20.4.8	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1) [ アウトプットコンペア機能時 ]	341
20.4.9	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2) [ アウトプットコンペア機能時 ]	342
20.4.10	タイマ RD アウトプット制御レジスタ (TRDOCR)[ アウトプットコンペア機能時 ]	342
20.4.11	タイマ RD 制御レジスタ $i$ (TRDCRi)( $i = 0 \sim 1$ )[ アウトプットコンペア機能時 ]	343
20.4.12	タイマ RD I/O 制御レジスタ $A_i$ (TRDIORAi)( $i = 0 \sim 1$ ) [ アウトプットコンペア機能時 ]	344
20.4.13	タイマ RD I/O 制御レジスタ $C_i$ (TRDIORCi)( $i = 0 \sim 1$ ) [ アウトプットコンペア機能時 ]	345
20.4.14	タイマ RD ステータスレジスタ $i$ (TRDSRi)( $i = 0 \sim 1$ ) [ アウトプットコンペア機能時 ]	346
20.4.15	タイマ RD 割り込み許可レジスタ $i$ (TRDIERi)( $i = 0 \sim 1$ ) [ アウトプットコンペア機能時 ]	347
20.4.16	タイマ RD カウンタ $i$ (TRDi)( $i = 0 \sim 1$ )[ アウトプットコンペア機能時 ]	347
20.4.17	タイマ RD ジェネラルレジスタ $A_i$ 、 $B_i$ 、 $C_i$ 、 $D_i$ (TRDGRAi、TRDGRBi、TRDGRCi、 TRDGRDi)( $i = 0 \sim 1$ )[ アウトプットコンペア機能時 ]	348
20.4.18	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	349
20.4.19	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	350
20.4.20	動作例	351
20.4.21	TRDGRCi、TRDGRDi( $i=0 \sim 1$ ) レジスタの出力端子変更	352

20.4.22	A/D トリガ発生	354
20.5	PWM モード	355
20.5.1	モジュールスタンバイ制御レジスタ (MSTCR)	357
20.5.2	タイマ RD 拡張制御レジスタ (TRDECR)	358
20.5.3	タイマ RD トリガ制御レジスタ (TRDADCR)	358
20.5.4	タイマ RD スタートレジスタ (TRDSTR)[PWM モード時]	359
20.5.5	タイマ RD モードレジスタ (TRDMR)[PWM モード時]	359
20.5.6	タイマ RD PWM モードレジスタ (TRDPMR)[PWM モード時]	360
20.5.7	タイマ RD 機能制御レジスタ (TRDFCR)[PWM モード時]	360
20.5.8	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[PWM モード時]	361
20.5.9	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[PWM モード時]	361
20.5.10	タイマ RD アウトプット制御レジスタ (TRDOCR)[PWM モード時]	362
20.5.11	タイマ RD 制御レジスタ $i$ (TRDCR $i$ )( $i = 0 \sim 1$ )[PWM モード時]	362
20.5.12	タイマ RD ステータスレジスタ $i$ (TRDSR $i$ )( $i = 0 \sim 1$ )[PWM モード時]	363
20.5.13	タイマ RD 割り込み許可レジスタ $i$ (TRDIER $i$ )( $i = 0 \sim 1$ )[PWM モード時]	364
20.5.14	タイマ RD PWM モードアウトプットレベル制御レジスタ $i$ (TRDPCR $i$ )( $i = 0 \sim 1$ ) [PWM モード時]	364
20.5.15	タイマ RD カウンタ $i$ (TRD $i$ )( $i = 0 \sim 1$ )[PWM モード時]	365
20.5.16	タイマ RD ジェネラルレジスタ $A_i$ , $B_i$ , $C_i$ , $D_i$ (TRDGRA $i$ , TRDGRB $i$ , TRDGRC $i$ , TRDGRD $i$ )( $i = 0 \sim 1$ )[PWM モード時]	366
20.5.17	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	367
20.5.18	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	368
20.5.19	動作例	369
20.5.20	A/D トリガ発生	371
20.6	リセット同期 PWM モード	372
20.6.1	モジュールスタンバイ制御レジスタ (MSTCR)	374
20.6.2	タイマ RD 拡張制御レジスタ (TRDECR)	375
20.6.3	タイマ RD トリガ制御レジスタ (TRDADCR)	375
20.6.4	タイマ RD スタートレジスタ (TRDSTR)[リセット同期 PWM モード時]	376
20.6.5	タイマ RD モードレジスタ (TRDMR)[リセット同期 PWM モード時]	376
20.6.6	タイマ RD 機能制御レジスタ (TRDFCR)[リセット同期 PWM モード時]	377
20.6.7	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[リセット同期 PWM モード時] .....	378
20.6.8	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[リセット同期 PWM モード時] .....	378
20.6.9	タイマ RD 制御レジスタ 0 (TRDCR0)[リセット同期 PWM モード時]	379
20.6.10	タイマ RD ステータスレジスタ $i$ (TRDSR $i$ )( $i = 0 \sim 1$ )[リセット同期 PWM モード時]	380
20.6.11	タイマ RD 割り込み許可レジスタ $i$ (TRDIER $i$ )( $i = 0 \sim 1$ )[リセット同期 PWM モード時] .....	381
20.6.12	タイマ RD カウンタ 0 (TRD0)[リセット同期 PWM モード時]	381
20.6.13	タイマ RD ジェネラルレジスタ $A_i$ , $B_i$ , $C_i$ , $D_i$ (TRDGRA $i$ , TRDGRB $i$ , TRDGRC $i$ , TRDGRD $i$ )( $i = 0 \sim 1$ )[リセット同期 PWM モード時]	382
20.6.14	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	383
20.6.15	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	384
20.6.16	動作例	385
20.6.17	A/D トリガ発生	386
20.7	相補 PWM モード	387
20.7.1	モジュールスタンバイ制御レジスタ (MSTCR)	389
20.7.2	タイマ RD 拡張制御レジスタ (TRDECR)	389
20.7.3	タイマ RD トリガ制御レジスタ (TRDADCR)	390

20.7.4	タイマ RD スタートレジスタ (TRDSTR)[ 相補 PWM モード時 ]	391
20.7.5	タイマ RD モードレジスタ (TRDMR)[ 相補 PWM モード時 ]	391
20.7.6	タイマ RD 機能制御レジスタ (TRDFCR)[ 相補 PWM モード時 ]	392
20.7.7	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[ 相補 PWM モード時 ]	393
20.7.8	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[ 相補 PWM モード時 ]	393
20.7.9	タイマ RD 制御レジスタ $i$ (TRDCR $i$ )( $i = 0 \sim 1$ )[ 相補 PWM モード時 ]	394
20.7.10	タイマ RD ステータスレジスタ $i$ (TRDSR $i$ )( $i = 0 \sim 1$ )[ 相補 PWM モード時 ]	395
20.7.11	タイマ RD 割り込み許可レジスタ $i$ (TRDIER $i$ )( $i = 0 \sim 1$ )[ 相補 PWM モード時 ]	396
20.7.12	タイマ RD カウンタ 0 (TRD0)[ 相補 PWM モード時 ]	396
20.7.13	タイマ RD カウンタ 1 (TRD1)[ 相補 PWM モード時 ]	397
20.7.14	タイマ RD ジェネラルレジスタ $A_i$ , $B_i$ , $C_i$ , $D_i$ (TRDGRA $i$ , TRDGRB $i$ , TRDGRC $i$ , TRDGRD $i$ )( $i = 0 \sim 1$ )[ 相補 PWM モード時 ]	397
20.7.15	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	399
20.7.16	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	400
20.7.17	動作例	401
20.7.18	バッファレジスタからの転送タイミング	403
20.7.19	A/D トリガ発生	403
20.8	PWM3 モード	404
20.8.1	モジュールスタンバイ制御レジスタ (MSTCR)	406
20.8.2	タイマ RD 拡張制御レジスタ (TRDECR)	406
20.8.3	タイマ RD トリガ制御レジスタ (TRDADCR)	407
20.8.4	タイマ RD スタートレジスタ (TRDSTR)[PWM3 モード時 ]	408
20.8.5	タイマ RD モードレジスタ (TRDMR)[PWM3 モード時 ]	408
20.8.6	タイマ RD 機能制御レジスタ (TRDFCR)[PWM3 モード時 ]	409
20.8.7	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[PWM3 モード時 ]	410
20.8.8	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[PWM3 モード時 ]	410
20.8.9	タイマ RD アウトプット制御レジスタ (TRDOCR)[PWM3 モード時 ]	411
20.8.10	タイマ RD 制御レジスタ 0 (TRDCR0)[PWM3 モード時 ]	412
20.8.11	タイマ RD ステータスレジスタ $i$ (TRDSR $i$ )( $i = 0 \sim 1$ )[PWM3 モード時 ]	413
20.8.12	タイマ RD 割り込み許可レジスタ $i$ (TRDIER $i$ )( $i = 0 \sim 1$ )[PWM3 モード時 ]	414
20.8.13	タイマ RD カウンタ 0 (TRD0)[PWM3 モード時 ]	414
20.8.14	タイマ RD ジェネラルレジスタ $A_i$ , $B_i$ , $C_i$ , $D_i$ (TRDGRA $i$ , TRDGRB $i$ , TRDGRC $i$ , TRDGRD $i$ )( $i = 0 \sim 1$ )[PWM3 モード時 ]	415
20.8.15	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	417
20.8.16	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	418
20.8.17	動作例	419
20.8.18	A/D トリガ発生	420
20.9	タイマ RD 割り込み	421
20.10	タイマ RD 使用上の注意事項	423
20.10.1	TRDSTR レジスタ	423
20.10.2	TRDi レジスタ ( $i=0 \sim 1$ )	423
20.10.3	TRDSR $i$ レジスタ ( $i=0 \sim 1$ )	424
20.10.4	カウントソース切り替え	424
20.10.5	インプットキャプチャ機能	424
20.10.6	リセット同期 PWM モード	424
20.10.7	相補 PWM モード	425
21.	タイマ RE	429
21.1	概要	429

21.2	リアルタイムクロックモード	430
21.2.1	タイマ RE 秒データレジスタ (TRESEC)[ リアルタイムクロックモード時 ]	432
21.2.2	タイマ RE 分データレジスタ (TREMINT)[ リアルタイムクロックモード時 ]	432
21.2.3	タイマ RE 時データレジスタ (TREHR)[ リアルタイムクロックモード時 ]	433
21.2.4	タイマ RE 曜日データレジスタ (TREWK)[ リアルタイムクロックモード時 ]	433
21.2.5	タイマ RE 制御レジスタ 1 (TRECRI)[ リアルタイムクロックモード時 ]	434
21.2.6	タイマ RE 制御レジスタ 2 (TRECRI2)[ リアルタイムクロックモード時 ]	435
21.2.7	タイマ RE カウントソース選択レジスタ (TRECSCR)[ リアルタイムクロックモード時 ]	436
21.2.8	動作例	437
21.3	アウトプットコンペアモード	438
21.3.1	タイマ RE カウンタデータレジスタ (TRESEC)[ アウトプットコンペアモード時 ]	439
21.3.2	タイマ RE コンペアデータレジスタ (TREMINT)[ アウトプットコンペアモード時 ]	439
21.3.3	タイマ RE 制御レジスタ 1 (TRECRI)[ アウトプットコンペアモード時 ]	440
21.3.4	タイマ RE 制御レジスタ 2 (TRECRI2)[ アウトプットコンペアモード時 ]	440
21.3.5	タイマ RE カウントソース選択レジスタ (TRECSCR)[ アウトプットコンペアモード時 ]	441
21.3.6	動作例	442
21.4	タイマ RE 使用上の注意事項	443
21.4.1	リセット	443
21.4.2	カウント開始、停止	443
21.4.3	レジスタ設定	443
21.4.4	リアルタイムクロックモードの時刻読み出し手順	445
22.	タイマ RG	446
22.1	概要	446
22.2	レジスタの説明	448
22.2.1	タイマ RG モードレジスタ (TRGMR)	448
22.2.2	タイマ RG カウント制御レジスタ (TRGCNTC)	449
22.2.3	タイマ RG 制御レジスタ (TRGCR)	450
22.2.4	タイマ RG 割り込み許可レジスタ (TRGIER)	451
22.2.5	タイマ RG ステータスレジスタ (TRGSR)	452
22.2.6	タイマ RG I/O 制御レジスタ (TRGIOR)	453
22.2.7	タイマ RG カウンタ (TRG)	454
22.2.8	タイマ RG ジェネラルレジスタ A、B、C、D (TRGGRA、TRGGRB、TRGGRC、TRGGRD)	455
22.2.9	タイマ RG 端子選択レジスタ (TRGPSR)	456
22.3	複数モードに関わる共通事項	457
22.3.1	カウントソース	457
22.3.2	バッファ動作	458
22.3.3	デジタルフィルタ	460
22.4	タイマモード (インプットキャプチャ機能)	461
22.4.1	タイマ RG I/O 制御レジスタ (TRGIOR) [ タイマモード (インプットキャプチャ機能) 時 ]	462
22.4.2	インプットキャプチャ動作の設定手順例	463
22.4.3	インプットキャプチャ信号タイミング	463
22.4.4	動作例	464
22.5	タイマモード (アウトプットコンペア機能)	465
22.5.1	タイマ RG I/O 制御レジスタ (TRGIOR) [ タイマモード (アウトプットコンペア機能) 時 ]	466
22.5.2	コンペア一致による波形出力の設定手順例	467

22.5.3	アウトプットコンペア出力タイミング .....	467
22.5.4	動作例 .....	468
22.6	PWM モード .....	469
22.6.1	PWM モードの設定手順例 .....	470
22.6.2	動作例 .....	470
22.7	位相計数モード .....	473
22.7.1	タイマ RG 制御レジスタ (TRGCR)[ 位相計数モード時 ] .....	474
22.7.2	位相計数モードの設定手順例 .....	474
22.7.3	動作例 .....	475
22.8	タイマ RG 割り込み .....	477
22.9	タイマ RG 使用上の注意事項 .....	478
22.9.1	位相計数モード時の位相差、オーバーラップ、およびパルス幅 .....	478
22.9.2	タイマ RG カウンタ (TRG) .....	478
23.	シリアルインタフェース (UART <sub>i</sub> (i=0 ~ 1)) .....	479
23.1	概要 .....	479
23.2	レジスタの説明 .....	481
23.2.1	UART <sub>i</sub> 送受信モードレジスタ (UiMR)(i=0 ~ 1) .....	481
23.2.2	UART <sub>i</sub> ビットレートレジスタ (UiBRG)(i=0 ~ 1) .....	481
23.2.3	UART <sub>i</sub> 送信バッファレジスタ (UiTB)(i=0 ~ 1) .....	482
23.2.4	UART <sub>i</sub> 送受信制御レジスタ 0 (UiC0)(i=0 ~ 1) .....	483
23.2.5	UART <sub>i</sub> 送受信制御レジスタ 1 (UiC1)(i=0 ~ 1) .....	483
23.2.6	UART <sub>i</sub> 受信バッファレジスタ (UiRB)(i=0 ~ 1) .....	484
23.2.7	UART <sub>0</sub> 端子選択レジスタ (U0SR) .....	485
23.2.8	UART <sub>1</sub> 端子選択レジスタ (U1SR) .....	486
23.3	クロック同期形シリアル I/O モード .....	487
23.3.1	通信エラー発生時の対処方法 .....	491
23.3.2	極性選択機能 .....	492
23.3.3	LSB ファースト、MSB ファースト選択 .....	492
23.3.4	連続受信モード .....	493
23.4	クロック非同期形シリアル I/O(UART) モード .....	494
23.4.1	ビットレート .....	499
23.4.2	通信エラー発生時の対処方法 .....	500
23.5	シリアルインタフェース (UART <sub>i</sub> (i=0 ~ 1)) 使用上の注意 .....	501
24.	シリアルインタフェース (UART <sub>2</sub> ) .....	502
24.1	概要 .....	502
24.2	レジスタの説明 .....	504
24.2.1	UART <sub>2</sub> 送受信モードレジスタ (U2MR) .....	504
24.2.2	UART <sub>2</sub> ビットレートレジスタ (U2BRG) .....	504
24.2.3	UART <sub>2</sub> 送信バッファレジスタ (U2TB) .....	505
24.2.4	UART <sub>2</sub> 送受信制御レジスタ 0 (U2C0) .....	506
24.2.5	UART <sub>2</sub> 送受信制御レジスタ 1 (U2C1) .....	507
24.2.6	UART <sub>2</sub> 受信バッファレジスタ (U2RB) .....	508
24.2.7	UART <sub>2</sub> デジタルフィルタ機能選択レジスタ (URXDF) .....	509
24.2.8	UART <sub>2</sub> 特殊モードレジスタ 5(U2SMR5) .....	509
24.2.9	UART <sub>2</sub> 特殊モードレジスタ 4 (U2SMR4) .....	510
24.2.10	UART <sub>2</sub> 特殊モードレジスタ 3 (U2SMR3) .....	510
24.2.11	UART <sub>2</sub> 特殊モードレジスタ 2 (U2SMR2) .....	511

24.2.12	UART2 特殊モードレジスタ (U2SMR).....	511
24.2.13	UART2 端子選択レジスタ 0 (U2SR0).....	512
24.2.14	UART2 端子選択レジスタ 1 (U2SR1).....	513
24.3	クロック同期形シリアル I/O モード.....	514
24.3.1	通信エラー発生時の対処方法.....	518
24.3.2	CLK 極性選択.....	518
24.3.3	LSB ファースト、MSB ファースト選択.....	519
24.3.4	連続受信モード.....	519
24.3.5	シリアルデータ論理切り替え.....	520
24.3.6	CTS/RTS 機能.....	520
24.4	クロック非同期形シリアル I/O(UART) モード.....	521
24.4.1	ビットレート.....	525
24.4.2	通信エラー発生時の対処方法.....	526
24.4.3	LSB ファースト、MSB ファースト選択.....	526
24.4.4	シリアルデータ論理切り替え.....	527
24.4.5	TXD、RXD 入出力極性切り替え機能.....	527
24.4.6	CTS/RTS 機能.....	528
24.4.7	RXD2 デジタルフィルタ選択機能.....	528
24.5	特殊モード 1(I <sup>2</sup> C モード).....	529
24.5.1	スタートコンディション、ストップコンディションの検出.....	535
24.5.2	スタートコンディション、ストップコンディションの出力.....	536
24.5.3	転送クロック.....	537
24.5.4	SDA 出力.....	537
24.5.5	SDA 入力.....	538
24.5.6	ACK、NACK.....	538
24.5.7	送受信初期化.....	538
24.6	マルチプロセッサ通信機能.....	539
24.6.1	マルチプロセッサ送信.....	542
24.6.2	マルチプロセッサ受信.....	543
24.6.3	RXD2 デジタルフィルタ選択機能.....	545
24.7	シリアルインタフェース (UART2) 使用上の注意.....	546
24.7.1	クロック同期形シリアル I/O モード.....	546
24.7.2	クロック非同期型シリアル I/O(UART) モード.....	547
24.7.3	特殊モード 1(I <sup>2</sup> C モード).....	547
25.	クロック同期形シリアルインタフェース.....	548
25.1	モード選択.....	548
26.	シンクロナスシリアルコミュニケーションユニット (SSU).....	549
26.1	概要.....	549
26.2	レジスタの説明.....	551
26.2.1	モジュールスタンバイ制御レジスタ (MSTCR).....	551
26.2.2	SSU/IIC 端子選択レジスタ (SSUICSR).....	552
26.2.3	SS ビットカウンタレジスタ (SSBR).....	553
26.2.4	SS 送信データレジスタ (SSTDR).....	553
26.2.5	SS 受信データレジスタ (SSRDR).....	554
26.2.6	SS 制御レジスタ H (SSCRH).....	554
26.2.7	SS 制御レジスタ L (SSCRL).....	555
26.2.8	SS モードレジスタ (SSMR).....	556

26.2.9	SS 許可レジスタ (SSER).....	557
26.2.10	SS ステータスレジスタ (SSSR).....	558
26.2.11	SS モードレジスタ 2 (SSMR2).....	559
26.3	複数モードに関わる共通事項.....	560
26.3.1	転送クロック.....	560
26.3.2	SS シフトレジスタ (SSTRSR).....	562
26.3.3	割り込み要求.....	563
26.3.4	各通信モードと端子機能.....	564
26.4	クロック同期式通信モード.....	565
26.4.1	クロック同期式通信モードの初期化.....	565
26.4.2	データ送信.....	566
26.4.3	データ受信.....	568
26.5	4 線式バス通信モード.....	572
26.5.1	4 線式バス通信モードの初期化.....	573
26.5.2	データ送信.....	574
26.5.3	データ受信.....	576
26.5.4	SCS 端子制御とアービトレーション.....	578
26.6	シンクロナスシリアルコミュニケーションユニット (SSU) 使用上の注意.....	579
27.	I <sup>2</sup> C バスインタフェース.....	580
27.1	概要.....	580
27.2	レジスタの説明.....	583
27.2.1	モジュールスタンバイ制御レジスタ (MSTCR).....	583
27.2.2	SSU/IIC 端子選択レジスタ (SSUICSR).....	583
27.2.3	入出力機能端子選択レジスタ (PINSR).....	584
27.2.4	IIC バス送信データレジスタ (ICDRT).....	585
27.2.5	IIC バス受信データレジスタ (ICDRR).....	585
27.2.6	IIC バス制御レジスタ 1(ICCR1).....	586
27.2.7	IIC バス制御レジスタ 2(ICCR2).....	587
27.2.8	IIC バスモードレジスタ (ICMR).....	588
27.2.9	IIC バス割り込み許可レジスタ (ICIER).....	589
27.2.10	IIC バスステータスレジスタ (ICSR).....	590
27.2.11	スレーブアドレスレジスタ (SAR).....	591
27.2.12	IIC バスシフトレジスタ (ICDRS).....	591
27.3	複数モードに関わる共通事項.....	592
27.3.1	転送クロック.....	592
27.3.2	SDA 端子デジタル遅延選択.....	594
27.3.3	割り込み要求.....	595
27.4	I <sup>2</sup> C バスインタフェースモード.....	596
27.4.1	I <sup>2</sup> C バスフォーマット.....	596
27.4.2	マスタ送信動作.....	597
27.4.3	マスタ受信動作.....	599
27.4.4	スレーブ送信動作.....	602
27.4.5	スレーブ受信動作.....	605
27.5	クロック同期式シリアルモード.....	607
27.5.1	クロック同期式シリアルフォーマット.....	607
27.5.2	送信動作.....	608
27.5.3	受信動作.....	609
27.6	レジスタ設定例.....	610



27.7	ノイズ除去回路.....	614
27.8	ビット同期回路.....	615
27.9	I <sup>2</sup> C バスインタフェース使用上の注意 .....	616
28.	ハードウェア LIN.....	617
28.1	概要.....	617
28.2	入出力端子.....	618
28.3	レジスタの説明.....	618
28.3.1	LIN コントロールレジスタ 2(LINCR2).....	618
28.3.2	LIN コントロールレジスタ (LINCR).....	619
28.3.3	LIN ステータスレジスタ (LINST).....	619
28.4	動作説明.....	620
28.4.1	マスタモード .....	620
28.4.2	スレーブモード .....	623
28.4.3	バス衝突検出機能 .....	627
28.4.4	ハードウェア LIN 終了処理.....	628
28.5	割り込み要求.....	629
28.6	ハードウェア LIN 使用上の注意 .....	630
29.	A/D コンバータ .....	631
29.1	概要.....	631
29.2	レジスタの説明.....	633
29.2.1	チップ内蔵基準電圧制御レジスタ (OCVREFCR).....	633
29.2.2	A/D レジスタ i (ADi)(i = 0 ~ 7).....	634
29.2.3	A/D モードレジスタ (ADMOD).....	635
29.2.4	A/D 入力選択レジスタ (ADINSEL).....	636
29.2.5	A/D 制御レジスタ 0 (ADCON0).....	637
29.2.6	A/D 制御レジスタ 1 (ADCON1).....	637
29.3	複数モードに関わる共通事項.....	638
29.3.1	入出力端子 .....	638
29.3.2	A/D 変換サイクル数.....	638
29.3.3	A/D 変換開始条件.....	640
29.3.4	A/D 変換結果.....	642
29.3.5	消費電流低減機能 .....	642
29.3.6	拡張アナログ入力端子 .....	642
29.3.7	A/D 断線検出アシスト機能.....	642
29.4	単発モード.....	644
29.5	繰り返しモード 0.....	645
29.6	繰り返しモード 1.....	646
29.7	単掃引モード.....	648
29.8	繰り返し掃引モード .....	650
29.9	A/D 変換時のセンサーの出力インピーダンス .....	652
29.10	A/D コンバータ使用上の注意 .....	653
30.	D/A コンバータ .....	654
30.1	概要.....	654
30.2	レジスタの説明.....	656
30.2.1	D/Ai レジスタ (DAi)(i=0 ~ 1).....	656
30.2.2	D/A 制御レジスタ (DACON).....	656

31.	コンパレータ B .....	657
31.1	概要 .....	657
31.2	レジスタの説明 .....	659
31.2.1	コンパレータ B 制御レジスタ 0(INTCMP) .....	659
31.2.2	外部入力許可レジスタ 0 (INTEN) .....	659
31.2.3	INT 入力フィルタ選択レジスタ 0 (INTF) .....	660
31.3	動作説明 .....	661
31.3.1	コンパレータ Bi デジタルフィルタ (i=1、3) .....	662
31.4	コンパレータ B1、コンパレータ B3 割り込み .....	663
32.	LCD 駆動制御回路 .....	664
32.1	概要 .....	664
32.2	レジスタの説明 .....	667
32.2.1	LCD 制御レジスタ (LCR0) .....	667
32.2.2	LCD バイアス制御レジスタ (LCR1) .....	668
32.2.3	LCD 表示制御レジスタ (LCR2) .....	669
32.2.4	LCD クロック制御レジスタ (LCR3) .....	669
32.2.5	LCD ポート選択レジスタ 0(LSE0) .....	670
32.2.6	LCD ポート選択レジスタ 1(LSE1) .....	670
32.2.7	LCD ポート選択レジスタ 2(LSE2) .....	671
32.2.8	LCD ポート選択レジスタ 3(LSE3) .....	671
32.2.9	LCD ポート選択レジスタ 4(LSE4) .....	672
32.2.10	LCD ポート選択レジスタ 5(LSE5) .....	672
32.2.11	LCD ポート選択レジスタ 6(LSE6) .....	673
32.2.12	LCD ポート選択レジスタ 7(LSE7) .....	673
32.3	データレジスタ .....	674
32.4	LCD 駆動制御 .....	676
32.4.1	セグメント出力端子の選択 .....	677
32.4.2	LCD クロック選択 .....	677
32.4.3	LCD データ表示制御 .....	677
32.4.4	バイアス制御 .....	677
32.4.5	LCD データ表示 .....	678
32.4.6	ストップモード時の端子の状態 .....	678
32.4.7	パワーオフモード時の端子の状態 .....	679
32.5	LCD 駆動波形 .....	680
32.5.1	セグメントパネル制御波形 .....	680
32.5.2	ドットマトリクスパネル制御波形 .....	686
32.6	LCD 駆動制御回路使用上の注意 .....	692
32.6.1	分割抵抗を外付けする場合 .....	692
32.6.2	昇圧回路 .....	692
33.	フラッシュメモリ .....	693
33.1	概要 .....	693
33.2	メモリ配置 .....	694
33.3	フラッシュメモリ書き換え禁止機能 .....	696
33.3.1	ID コードチェック機能 .....	696
33.3.2	ROM コードプロテクト機能 .....	697
33.3.3	オプション機能選択レジスタ (OFS) .....	697
33.4	CPU 書き換えモード .....	698

33.4.1	フラッシュメモリステータスレジスタ (FST).....	699
33.4.2	フラッシュメモリ制御レジスタ 0(FMR0).....	701
33.4.3	フラッシュメモリ制御レジスタ 1(FMR1).....	703
33.4.4	フラッシュメモリ制御レジスタ 2(FMR2).....	705
33.4.5	EW0 モード.....	706
33.4.6	EW1 モード.....	706
33.4.7	サスペンド動作.....	707
33.4.8	各モードの設定と解除方法.....	708
33.4.9	BGO(バックグラウンドオペレーション)機能.....	709
33.4.10	データ保護機能.....	710
33.4.11	ソフトウェアコマンド.....	711
33.4.12	フルステータスチェック.....	721
33.5	標準シリアル入出力モード.....	723
33.5.1	IDコードチェック機能.....	723
33.6	パラレル入出力モード.....	726
33.6.1	ROMコードプロテクト機能.....	726
33.7	フラッシュメモリ使用上の注意.....	727
33.7.1	CPU書き換えモード.....	727
34.	電気的特性.....	731
34.1	絶対最大定格.....	731
34.2	推奨動作条件.....	732
34.3	周辺機能の特性.....	734
34.4	DC特性.....	739
34.5	AC特性.....	745
35.	使用上の注意事項.....	752
35.1	クロック発生回路使用上の注意.....	752
35.1.1	発振停止検出機能.....	752
35.1.2	発振回路定数.....	752
35.1.3	XCINクロック.....	752
35.1.4	P12_0とP12_1端子に関する使用上の注意事項.....	752
35.2	パワーコントロール使用上の注意.....	753
35.2.1	ストップモード.....	753
35.2.2	ウェイトモード.....	753
35.2.3	パワーオフモード.....	754
35.2.4	電流の低減.....	754
35.3	割り込み使用上の注意.....	755
35.3.1	0000h番地の読み出し.....	755
35.3.2	SPの設定.....	755
35.3.3	外部割り込み、キー入力割り込み.....	755
35.3.4	割り込み要因の変更.....	756
35.3.5	割り込み制御レジスタの変更.....	757
35.4	IDコード領域使用上の注意.....	758
35.4.1	IDコード領域の設定例.....	758
35.5	オプション機能選択領域使用上の注意.....	758
35.5.1	オプション機能選択領域の設定例.....	758
35.6	DTC使用上の注意.....	759
35.6.1	DTC起動要因.....	759

35.6.2	DTCEN <sub>i</sub> レジスタ (i=0 ~ 6)	759
35.6.3	周辺モジュール	759
35.6.4	割り込み要求	759
35.7	タイマ RA 使用上の注意	760
35.8	タイマ RB 使用上の注意	761
35.8.1	タイマモード	761
35.8.2	プログラマブル波形発生モード	761
35.8.3	プログラマブルワンショット発生モード	762
35.8.4	プログラマブルウェイトワンショット発生モード	762
35.9	タイマ RC 使用上の注意事項	763
35.9.1	TRC レジスタ	763
35.9.2	TRCSR レジスタ	763
35.9.3	カウントソース切り替え	763
35.9.4	インプットキャプチャ機能	763
35.9.5	PWM2 モード時の TRCMR レジスタ	763
35.10	タイマ RD 使用上の注意事項	764
35.10.1	TRDSTR レジスタ	764
35.10.2	TRD <sub>i</sub> レジスタ (i=0 ~ 1)	764
35.10.3	TRDSR <sub>i</sub> レジスタ (i=0 ~ 1)	765
35.10.4	カウントソース切り替え	765
35.10.5	インプットキャプチャ機能	765
35.10.6	リセット同期 PWM モード	765
35.10.7	相補 PWM モード	766
35.11	タイマ RE 使用上の注意事項	770
35.11.1	リセット	770
35.11.2	カウント開始、停止	770
35.11.3	レジスタ設定	770
35.11.4	リアルタイムクロックモードの時刻読み出し手順	772
35.12	タイマ RG 使用上の注意事項	773
35.12.1	位相計数モード時の位相差、オーバーラップ、およびパルス幅	773
35.12.2	タイマ RG カウンタ (TRG)	773
35.13	シリアルインタフェース (UART <sub>i</sub> (i=0 ~ 1)) 使用上の注意	773
35.14	シリアルインタフェース (UART2) 使用上の注意	774
35.14.1	クロック同期形シリアル I/O モード	774
35.14.2	クロック非同期型シリアル I/O (UART) モード	775
35.14.3	特殊モード 1 (I <sup>2</sup> C モード)	775
35.15	シンクロナスシリアルコミュニケーションユニット (SSU) 使用上の注意	776
35.16	I <sup>2</sup> C バスインタフェース使用上の注意	776
35.17	ハードウェア LIN 使用上の注意	776
35.18	A/D コンバータ使用上の注意	776
35.19	LCD 駆動制御回路使用上の注意	777
35.19.1	分割抵抗を外付けする場合	777
35.19.2	昇圧回路	777
35.20	フラッシュメモリ使用上の注意	778
35.20.1	CPU 書き換えモード	778
35.21	ノイズに関する注意事項	782
35.21.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入	782
35.21.2	ポート制御レジスタのノイズ誤動作対策	782

36. オンチップデバッガの注意事項 .....	783
付録 1. 外形寸法図.....	784
付録 2. M16C Flash Starter との接続例.....	788
付録 3. エミュレータ E8a との接続例 .....	793
付録 4. 発振評価回路例 .....	798
索引 .....	803

# 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	51
0005h	プロセッサモードレジスタ1	PM1	193
0006h	システムクロック制御レジスタ0	CM0	113、127
0007h	システムクロック制御レジスタ1	CM1	114、128
0008h	モジュールスタンバイ制御レジスタ	MSTCR	264、320、336、357、374、389、406、551、583
0009h	システムクロック制御レジスタ3	CM3	115、129
000Ah	プロテクトレジスタ	PRCR	149
000Bh	リセット要因判別レジスタ	RSTFR	51
000Ch	発振停止検出レジスタ	OCD	116、130
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	193
000Eh	ウォッチドッグタイムスタートレジスタ	WDTS	193
000Fh	ウォッチドッグタイム制御レジスタ	WDTC	194
0010h			
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	194
001Dh			
001Eh			
001Fh			
0020h	パワーオフモード制御レジスタ0	POMCR0	132
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	633
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h	電圧検出レジスタ2	VCA2	131
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	156
0042h			
0043h	INT7割り込み制御レジスタ	INT7IC	157
0044h	INT6割り込み制御レジスタ	INT6IC	157
0045h	INT5割り込み制御レジスタ	INT5IC	157
0046h	INT4割り込み制御レジスタ	INT4IC	157
0047h	タイマRC割り込み制御レジスタ	TRCIC	156
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	156
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	156
004Ah	タイマRE割り込み制御レジスタ	TREIC	155
004Bh	UART2送信割り込み制御レジスタ	S2TIC	155
004Ch	UART2受信割り込み制御レジスタ	S2RIC	155
004Dh	キー入力割り込み制御レジスタ	KUPIC	155
004Eh	A/D変換割り込み制御レジスタ	ADIC	155
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ	SSUIC/IICIC	156
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	155
0052h	UART0受信割り込み制御レジスタ	S0RIC	155
0053h	UART1送信割り込み制御レジスタ	S1TIC	155
0054h	UART1受信割り込み制御レジスタ	S1RIC	155
0055h	INT2割り込み制御レジスタ	INT2IC	157
0056h	タイマRA割り込み制御レジスタ	TRAIC	155
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	155
0059h	INT1割り込み制御レジスタ	INT1IC	157
005Ah	INT3割り込み制御レジスタ	INT3IC	157
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	157
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	155
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	タイマRG割り込み制御レジスタ	TRGIC	156
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0080h	DTC起動制御レジスタ	DTCTL	205
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	204
0089h	DTC起動許可レジスタ1	DTCEN1	204
008Ah	DTC起動許可レジスタ2	DTCEN2	204
008Bh	DTC起動許可レジスタ3	DTCEN3	204
008Ch	DTC起動許可レジスタ4	DTCEN4	204
008Dh	DTC起動許可レジスタ5	DTCEN5	204
008Eh	DTC起動許可レジスタ6	DTCEN6	204
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	481
00A1h	UART0ビットレートレジスタ	U0BRG	481
00A2h	UART0送信バッファレジスタ	U0TB	482
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	483
00A5h	UART0送受信制御レジスタ1	U0C1	483
00A6h	UART0受信バッファレジスタ	U0RB	484
00A7h			
00A8h	UART2送受信モードレジスタ	U2MR	504
00A9h	UART2ビットレートレジスタ	U2BRG	504
00AAh	UART2送信バッファレジスタ	U2TB	505
00ABh			
00ACh	UART2送受信制御レジスタ0	U2C0	506
00ADh	UART2送受信制御レジスタ1	U2C1	507
00AEh	UART2受信バッファレジスタ	U2RB	508
00AFh			
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	509
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	509
00BCh	UART2特殊モードレジスタ4	U2SMR4	510
00BDh	UART2特殊モードレジスタ3	U2SMR3	510
00BEh	UART2特殊モードレジスタ2	U2SMR2	511
00BFh	UART2特殊モードレジスタ	U2SMR	511

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ0	AD0	634
00C1h			
00C2h	A/Dレジスタ1	AD1	634
00C3h			
00C4h	A/Dレジスタ2	AD2	634
00C5h			
00C6h	A/Dレジスタ3	AD3	634
00C7h			
00C8h	A/Dレジスタ4	AD4	634
00C9h			
00CAh	A/Dレジスタ5	AD5	634
00CBh			
00CCh	A/Dレジスタ6	AD6	634
00CDh			
00CEh	A/Dレジスタ7	AD7	634
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	635
00D5h	A/D入力選択レジスタ	ADINSEL	636
00D6h	A/D制御レジスタ0	ADCON0	637
00D7h	A/D制御レジスタ1	ADCON1	637
00D8h	D/A0レジスタ	DA0	656
00D9h	D/A1レジスタ	DA1	656
00DAh			
00DBh			
00DCh	D/A制御レジスタ	DACON	656
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	67
00E1h	ポートP1レジスタ	P1	67
00E2h	ポートP0方向レジスタ	PD0	66
00E3h	ポートP1方向レジスタ	PD1	66
00E4h	ポートP2レジスタ	P2	67
00E5h	ポートP3レジスタ	P3	67
00E6h	ポートP2方向レジスタ	PD2	66
00E7h	ポートP3方向レジスタ	PD3	66
00E8h	ポートP4レジスタ	P4	67
00E9h	ポートP5レジスタ	P5	67
00EAh	ポートP4方向レジスタ	PD4	66
00EBh	ポートP5方向レジスタ	PD5	66
00ECh	ポートP6レジスタ	P6	67
00EDh	ポートP7レジスタ	P7	67
00EEh	ポートP6方向レジスタ	PD6	66
00EFh	ポートP7方向レジスタ	PD7	66
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポートP10レジスタ	P10	67
00F5h	ポートP11レジスタ	P11	67
00F6h	ポートP10方向レジスタ	PD10	66
00F7h	ポートP11方向レジスタ	PD11	66
00F8h	ポートP12レジスタ	P12	67
00F9h	ポートP13レジスタ	P13	67
00FAh	ポートP12方向レジスタ	PD12	66
00FBh	ポートP13方向レジスタ	PD13	66
00FCh			
00FDh			
00FEh			
00FFh			

番地	レジスタ	シンボル	掲載ページ
0100h	タイマRA制御レジスタ	TRACR	225
0101h	タイマRA I/O制御レジスタ	TRAIOC	225、228、231、233、235、238
0102h	タイマRAモードレジスタ	TRAMR	226
0103h	タイマRAプリスケアラレジスタ	TRAPRE	226
0104h	タイマRAレジスタ	TRA	227
0105h	LINコントロールレジスタ2	LINCR2	618
0106h	LINコントロールレジスタ	LINCR	619
0107h	LINステータスレジスタ	LINST	619
0108h	タイマRB制御レジスタ	TRBCR	242
0109h	タイマRBワンショット制御レジスタ	TRBOCR	242
010Ah	タイマRB I/O制御レジスタ	TRBIOC	243、246、250、253、257
010Bh	タイマRBモードレジスタ	TRBMR	243
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	244
010Dh	タイマRBセカンダリレジスタ	TRBSC	244
010Eh	タイマRBプライマリレジスタ	TRBPR	245
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/タイマREカウンタデータレジスタ	TRESEC	432、439
0119h	タイマRE分データレジスタ/タイマREコンペアデータレジスタ	TREMIN	432、439
011Ah	タイマRE時データレジスタ	TREHR	433
011Bh	タイマRE曜日データレジスタ	TREWK	433
011Ch	タイマRE制御レジスタ1	TRECR1	434、440
011Dh	タイマRE制御レジスタ2	TRECR2	435、440
011Eh	タイマREカウントソース選択レジスタ	TRECSR	436、441
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	265
0121h	タイマRC制御レジスタ1	TRCCR1	266、288、297、303
0122h	タイマRC割り込み許可レジスタ	TRCIER	266
0123h	タイマRCステータスレジスタ	TRCSR	267
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	268、283、289
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	268、284、290
0126h	タイマRCカウンタ	TRC	269
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	269
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	269
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	269
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	269
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0130h	タイマRC制御レジスタ2	TRCCR2	270、291、298、304
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	270、304
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	271
0133h	タイマRCトリガ制御レジスタ	TRCADCR	271
0134h			
0135h	タイマRD 拡張制御レジスタ	TRDECR	320、337、358、375、389、406
0136h	タイマRD トリガ制御レジスタ	TRDADCR	337、358、375、390、407
0137h	タイマRD スタートレジスタ	TRDSTR	321、338、359、376、391、408
0138h	タイマRD モードレジスタ	TRDMR	321、339、359、376、391、408
0139h	タイマRD PWMモードレジスタ	TRDPMR	322、339、360
013Ah	タイマRD 機能制御レジスタ	TRDFCR	322、340、360、377、392、409
013Bh	タイマRD アウトプットマスタ許可レジスタ1	TRDOER1	341、361、378、393、410
013Ch	タイマRD アウトプットマスタ許可レジスタ2	TRDOER2	342、361、378、393、410
013Dh	タイマRD アウトプット制御レジスタ	TRDOCR	342、362、411
013Eh	タイマRD デジタルフィルタ機能選択レジスタ0	TRDDF0	323
013Fh	タイマRD デジタルフィルタ機能選択レジスタ1	TRDDF1	323
0140h	タイマRD 制御レジスタ0	TRDCR0	324、343、362、379、394、412
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	325、344
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	326、345
0143h	タイマRD ステータスレジスタ0	TRDSR0	327、346、363、380、395、413
0144h	タイマRD 割り込み許可レジスタ0	TRDIER0	328、347、364、381、396、414
0145h	タイマRD PWMモードアウトプットレベル制御レジスタ0	TRDPOCR0	364
0146h	タイマRD カウンタ0	TRD0	328、347、365、381、396、414
0147h			
0148h	タイマRD ジェネラルレジスタA0	TRDGRA0	329、348、366、382、397、415
0149h			
014Ah	タイマRD ジェネラルレジスタB0	TRDGRB0	329、348、366、382、397、415
014Bh			
014Ch	タイマRD ジェネラルレジスタC0	TRDGRC0	329、348、366、382、415
014Dh			
014Eh	タイマRD ジェネラルレジスタD0	TRDGRD0	329、348、366、382、397、415
014Fh			
0150h	タイマRD 制御レジスタ1	TRDCR1	324、343、362、394
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	325、344
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	326、345
0153h	タイマRD ステータスレジスタ1	TRDSR1	327、346、363、380、395、413
0154h	タイマRD 割り込み許可レジスタ1	TRDIER1	328、347、364、381、396、414
0155h	タイマRD PWMモードアウトプットレベル制御レジスタ1	TRDPOCR1	364
0156h	タイマRD カウンタ1	TRD1	328、347、365、397
0157h			
0158h	タイマRD ジェネラルレジスタA1	TRDGRA1	329、348、366、382、397、415
0159h			
015Ah	タイマRD ジェネラルレジスタB1	TRDGRB1	329、348、366、382、397、415
015Bh			
015Ch	タイマRD ジェネラルレジスタC1	TRDGRC1	329、348、366、382、397、415
015Dh			
015Eh	タイマRD ジェネラルレジスタD1	TRDGRD1	329、348、366、382、397、415
015Fh			



番地	レジスタ	シンボル	掲載ページ
0160h	UART1 送受信モードレジスタ	U1MR	481
0161h	UART1 ビットレートレジスタ	U1BRG	481
0162h	UART1 送信バッファレジスタ	U1TB	482
0163h			
0164h	UART1 送受信制御レジスタ0	U1C0	483
0165h	UART1 送受信制御レジスタ1	U1C1	483
0166h	UART1 受信バッファレジスタ	U1RB	484
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h	タイマRGモードレジスタ	TRGMR	448
0171h	タイマRGカウント制御レジスタ	TRGCNTC	449
0172h	タイマRG制御レジスタ	TRGCR	450、474
0173h	タイマRG割り込み許可レジスタ	TRGIER	451
0174h	タイマRGステータスレジスタ	TRGSR	452
0175h	タイマRG/I/O制御レジスタ	TRGIOR	453、462、466
0176h	タイマRGカウンタ	TRG	454
0177h			
0178h	タイマRGジェネラルレジスタA	TRGGRA	455
0179h			
017Ah	タイマRGジェネラルレジスタB	TRGGRB	455
017Bh			
017Ch	タイマRGジェネラルレジスタC	TRGGRC	455
017Dh			
017Eh	タイマRGジェネラルレジスタD	TRGGRD	455
017Fh			
0180h	タイマRA端子選択レジスタ	TRASR	68、227
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	69、245、272
0182h	タイマRC端子選択レジスタ0	TRCPSR0	70、273
0183h	タイマRC端子選択レジスタ1	TRCPSR1	71、274
0184h	タイマRD端子選択レジスタ0	TRDPSR0	72、330、349、367、383、399、417
0185h	タイマRD端子選択レジスタ1	TRDPSR1	73、331、350、368、384、400、418
0186h			
0187h	タイマRG端子選択レジスタ	TRGPSR	74、456
0188h	UART0端子選択レジスタ	U0SR	75、485
0189h	UART1端子選択レジスタ	U1SR	76、486
018Ah	UART2端子選択レジスタ0	U2SR0	77、512
018Bh	UART2端子選択レジスタ1	U2SR1	78、513
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	79、552、583
018Dh	キー入力端子選択レジスタ	KISR	80、173
018Eh	INT割り込み入力端子選択レジスタ	INTSR	81、166
018Fh	入出力機能端子選択レジスタ	PINSR	82、584

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	553
0194h	SS送信データレジスタL/IICバス送信データレジスタ	SSTDR/ICDRT	553、585
0195h	SS送信データレジスタH	SSTDRH	
0196h	SS受信データレジスタL/IICバス受信データレジスタ	SSRDR/ICDRR	554、585
0197h	SS受信データレジスタH	SSRDRH	
0198h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH/ICCR1	554、586
0199h	SS制御レジスタL/IICバス制御レジスタ2	SSCRL/ICCR2	555、587
019Ah	SSモードレジスタ/IICバスモードレジスタ	SSMR/ICMR	556、588
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ	SSER/ICIER	557、589
019Ch	SSステータスレジスタ/IICバスステータスレジスタ	SSSR/ICSR	558、590
019Dh	SSモードレジスタ2/スレープアドレスレジスタ	SSMR2/SAR	559、591
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	699
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	701
01B5h	フラッシュメモリ制御レジスタ1	FMR1	703
01B6h	フラッシュメモリ制御レジスタ2	FMR2	705
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	177
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	177
01C4h	アドレス一致割り込みレジスタ1	RMAD1	177
01C5h			
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	177
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			

番地	レジスタ	シンボル	掲載ページ
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ポートP0プルアップ制御レジスタ	P0PUR	83
01E1h	ポートP1プルアップ制御レジスタ	P1PUR	83
01E2h	ポートP2プルアップ制御レジスタ	P2PUR	83
01E3h	ポートP3プルアップ制御レジスタ	P3PUR	83
01E4h	ポートP4プルアップ制御レジスタ	P4PUR	83
01E5h	ポートP5プルアップ制御レジスタ	P5PUR	83
01E6h	ポートP6プルアップ制御レジスタ	P6PUR	83
01E7h	ポートP7プルアップ制御レジスタ	P7PUR	83
01E8h			
01E9h			
01EAh	ポートP10プルアップ制御レジスタ	P10PUR	83
01EBh	ポートP11プルアップ制御レジスタ	P11PUR	83
01ECh	ポートP12プルアップ制御レジスタ	P12PUR	83
01EDh	ポートP13プルアップ制御レジスタ	P13PUR	83
01EEh			
01EFh			
01F0h	ポートP10駆動能力制御レジスタ	P10DRR	84
01F1h	ポートP11駆動能力制御レジスタ	P11DRR	84
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	85
01F6h	入力しきい値制御レジスタ1	VLT1	86
01F7h	入力しきい値制御レジスタ2	VLT2	87
01F8h	コンパレータB制御レジスタ0	INTCMP	659
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	167、659
01FBh	外部入力許可レジスタ1	INTEN1	168
01FCh	INT入力フィルタ選択レジスタ0	INTF	169、660
01FDh	INT入力フィルタ選択レジスタ1	INTF1	169
01FEh	キー入力許可レジスタ0	KIEN	174
01FFh	キー入力許可レジスタ1	KIEN1	175

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0200h	LCD制御レジスタ	LCR0	667
0201h	LCDバイアス制御レジスタ	LCR1	668
0202h	LCD表示制御レジスタ	LCR2	669
0203h	LCDクロック制御レジスタ	LCR3	669
0204h			
0205h			
0206h	LCDポート選択レジスタ0	LSE0	670
0207h	LCDポート選択レジスタ1	LSE1	670
0208h	LCDポート選択レジスタ2	LSE2	671
0209h	LCDポート選択レジスタ3	LSE3	671
020Ah	LCDポート選択レジスタ4	LSE4	672
020Bh	LCDポート選択レジスタ5	LSE5	672
020Ch	LCDポート選択レジスタ6	LSE6	673
020Dh	LCDポート選択レジスタ7	LSE7	673
020Eh			
020Fh			
0210h	LCD表示データレジスタ	LRA0L	674
0211h		LRA1L	674
0212h		LRA2L	674
0213h		LRA3L	674
0214h		LRA4L	674
0215h		LRA5L	674
0216h		LRA6L	674
0217h		LRA7L	674
0218h		LRA8L	674
0219h		LRA9L	674
021Ah		LRA10L	674
021Bh		LRA11L	674
021Ch		LRA12L	674
021Dh		LRA13L	674
021Eh		LRA14L	674
021Fh		LRA15L	674
0220h		LRA16L	674
0221h		LRA17L	674
0222h		LRA18L	674
0223h		LRA19L	674
0224h		LRA20L	674
0225h		LRA21L	674
0226h		LRA22L	674
0227h		LRA23L	674
0228h		LRA24L	674
0229h		LRA25L	674
022Ah		LRA26L	674
022Bh		LRA27L	674
022Ch		LRA28L	674
022Dh		LRA29L	674
022Eh		LRA30L	674
022Fh		LRA31L	674
0230h		LRA32L	674
0231h		LRA33L	674
0232h		LRA34L	674
0233h		LRA35L	674
0234h		LRA36L	674
0235h		LRA37L	674
0236h		LRA38L	674
0237h		LRA39L	674
0238h		LRA40L	674
0239h		LRA41L	674
023Ah		LRA42L	674
023Bh		LRA43L	674
023Ch		LRA44L	674
023Dh		LRA45L	674
023Eh		LRA46L	674
023Fh		LRA47L	674

番地	レジスタ	シンボル	掲載ページ
0240h	LCD表示データレジスタ	LRA48L	674
0241h		LRA49L	674
0242h		LRA50L	674
0243h		LRA51L	674
0244h		LRA52L	674
0245h		LRA53L	674
0246h		LRA54L	674
0247h		LRA55L	674
0248h		LRA56L	674
0249h		LRA57L	674
024Ah		LRA58L	674
024Bh		LRA59L	674
024Ch		LRA60L	674
024Dh		LRA61L	674
024Eh		LRA62L	674
024Fh		LRA63L	674
0250h		LRA64L	674
0251h		LRA65L	674
0252h		LRA66L	674
0253h		LRA67L	674
0254h		LRA68L	674
0255h		LRA69L	674
0256h		LRA70L	674
0257h		LRA71L	674
0258h		LRA72L	674
0259h		LRA73L	674
025Ah		LRA74L	674
025Bh		LRA75L	674
025Ch		LRA76L	674
025Dh		LRA77L	674
025Eh		LRA78L	674
025Fh		LRA79L	674
0260h		LRA80L	674
0261h		LRA81L	674
0262h		LRA82L	674
0263h		LRA83L	674
0264h		LRA84L	674
0265h		LRA85L	674
0266h		LRA86L	674
0267h		LRA87L	674
0268h		LRA88L	674
0269h		LRA89L	674
026Ah		LRA90L	674
026Bh		LRA91L	674
026Ch		LRA92L	674
026Dh		LRA93L	674
026Eh	LRA94L	674	
026Fh	LRA95L	674	
0270h	LCD表示制御データレジスタ	LRA0H	675
0271h		LRA1H	675
0272h		LRA2H	675
0273h		LRA3H	675
0274h		LRA4H	675
0275h		LRA5H	675
0276h		LRA6H	675
0277h		LRA7H	675
0278h		LRA8H	675
0279h		LRA9H	675
027Ah		LRA10H	675
027Bh		LRA11H	675
027Ch		LRA12H	675
027Dh		LRA13H	675
027Eh		LRA14H	675
027Fh	LRA15H	675	

番地	レジスタ	シンボル	掲載ページ
0280h	LCD表示制御データレジスタ	LRA16H	675
0281h		LRA17H	675
0282h		LRA18H	675
0283h		LRA19H	675
0284h		LRA20H	675
0285h		LRA21H	675
0286h		LRA22H	675
0287h		LRA23H	675
0288h		LRA24H	675
0289h		LRA25H	675
028Ah		LRA26H	675
028Bh		LRA27H	675
028Ch		LRA28H	675
028Dh		LRA29H	675
028Eh		LRA30H	675
028Fh		LRA31H	675
0290h		LRA32H	675
0291h		LRA33H	675
0292h		LRA34H	675
0293h		LRA35H	675
0294h		LRA36H	675
0295h		LRA37H	675
0296h		LRA38H	675
0297h		LRA39H	675
0298h		LRA40H	675
0299h		LRA41H	675
029Ah		LRA42H	675
029Bh		LRA43H	675
029Ch		LRA44H	675
029Dh		LRA45H	675
029Eh		LRA46H	675
029Fh		LRA47H	675
02A0h		LRA48H	675
02A1h		LRA49H	675
02A2h		LRA50H	675
02A3h		LRA51H	675
02A4h		LRA52H	675
02A5h		LRA53H	675
02A6h		LRA54H	675
02A7h		LRA55H	675
02A8h		LRA56H	675
02A9h		LRA57H	675
02AAh		LRA58H	675
02ABh		LRA59H	675
02ACh		LRA60H	675
02ADh		LRA61H	675
02AEh	LRA62H	675	
02AFh	LRA63H	675	
02B0h	LRA64H	675	
02B1h	LRA65H	675	
02B2h	LRA66H	675	
02B3h	LRA67H	675	
02B4h	LRA68H	675	
02B5h	LRA69H	675	
02B6h	LRA70H	675	
02B7h	LRA71H	675	
02B8h	LRA72H	675	
02B9h	LRA73H	675	
02BAh	LRA74H	675	
02BBh	LRA75H	675	
02BCh	LRA76H	675	
02BDh	LRA77H	675	
02BEh	LRA78H	675	
02BFh	LRA79H	675	

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
02C0h	LCD表示制御データレジスタ	LRA80H	675
02C1h		LRA81H	675
02C2h		LRA82H	675
02C3h		LRA83H	675
02C4h		LRA84H	675
02C5h		LRA85H	675
02C6h		LRA86H	675
02C7h		LRA87H	675
02C8h		LRA88H	675
02C9h		LRA89H	675
02CAh		LRA90H	675
02CBh		LRA91H	675
02CCh		LRA92H	675
02CDh		LRA93H	675
02CEh		LRA94H	675
02CFh		LRA95H	675
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			
02E0h			
02E1h			
02E2h			
02E3h			
02E4h			
02E5h			
02E6h			
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh			
02FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2C00h	DTC転送ベクタ領域		
2C01h	DTC転送ベクタ領域		
2C02h	DTC転送ベクタ領域		
2C03h	DTC転送ベクタ領域		
2C04h	DTC転送ベクタ領域		
2C05h	DTC転送ベクタ領域		
2C06h	DTC転送ベクタ領域		
2C07h	DTC転送ベクタ領域		
2C08h	DTC転送ベクタ領域		
2C09h	DTC転送ベクタ領域		
2C0Ah	DTC転送ベクタ領域		
:	DTC転送ベクタ領域		
:	DTC転送ベクタ領域		
2C3Ah	DTC転送ベクタ領域		
2C3Bh	DTC転送ベクタ領域		
2C3Ch	DTC転送ベクタ領域		
2C3Dh	DTC転送ベクタ領域		
2C3Eh	DTC転送ベクタ領域		
2C3Fh	DTC転送ベクタ領域		
2C40h	DTCコントロールデータ0	DTCD0	
2C41h			
2C42h			
2C43h			
2C44h			
2C45h			
2C46h			
2C47h			
2C48h	DTCコントロールデータ1	DTCD1	
2C49h			
2C4Ah			
2C4Bh			
2C4Ch			
2C4Dh			
2C4Eh			
2C4Fh			
2C50h	DTCコントロールデータ2	DTCD2	
2C51h			
2C52h			
2C53h			
2C54h			
2C55h			
2C56h			
2C57h			
2C58h	DTCコントロールデータ3	DTCD3	
2C59h			
2C5Ah			
2C5Bh			
2C5Ch			
2C5Dh			
2C5Eh			
2C5Fh			
2C60h	DTCコントロールデータ4	DTCD4	
2C61h			
2C62h			
2C63h			
2C64h			
2C65h			
2C66h			
2C67h			
2C68h	DTCコントロールデータ5	DTCD5	
2C69h			
2C6Ah			
2C6Bh			
2C6Ch			
2C6Dh			
2C6Eh			
2C6Fh			

番地	レジスタ	シンボル	掲載ページ
2C70h	DTC コントロールデータ 6	DTCD6	
2C71h			
2C72h			
2C73h			
2C74h			
2C75h			
2C76h			
2C77h			
2C78h	DTC コントロールデータ 7	DTCD7	
2C79h			
2C7Ah			
2C7Bh			
2C7Ch			
2C7Dh			
2C7Eh			
2C7Fh			
2C80h	DTC コントロールデータ 8	DTCD8	
2C81h			
2C82h			
2C83h			
2C84h			
2C85h			
2C86h			
2C87h			
2C88h	DTC コントロールデータ 9	DTCD9	
2C89h			
2C8Ah			
2C8Bh			
2C8Ch			
2C8Dh			
2C8Eh			
2C8Fh			
2C90h	DTC コントロールデータ 10	DTCD10	
2C91h			
2C92h			
2C93h			
2C94h			
2C95h			
2C96h			
2C97h			
2C98h	DTC コントロールデータ 11	DTCD11	
2C99h			
2C9Ah			
2C9Bh			
2C9Ch			
2C9Dh			
2C9Eh			
2C9Fh			
2CA0h	DTC コントロールデータ 12	DTCD12	
2CA1h			
2CA2h			
2CA3h			
2CA4h			
2CA5h			
2CA6h			
2CA7h			
2CA8h	DTC コントロールデータ 13	DTCD13	
2CA9h			
2CAAh			
2CABh			
2CACH			
2CADh			
2CAEh			
2CAFh			

番地	レジスタ	シンボル	掲載ページ
2CB0h	DTC コントロールデータ 14	DTCD14	
2CB1h			
2CB2h			
2CB3h			
2CB4h			
2CB5h			
2CB6h			
2CB7h			
2CB8h	DTC コントロールデータ 15	DTCD15	
2CB9h			
2CBAh			
2CBBh			
2CBCh			
2CBDh			
2CBEh			
2CBFh			
2CC0h	DTC コントロールデータ 16	DTCD16	
2CC1h			
2CC2h			
2CC3h			
2CC4h			
2CC5h			
2CC6h			
2CC7h			
2CC8h	DTC コントロールデータ 17	DTCD17	
2CC9h			
2CCAh			
2CCBh			
2CCCh			
2CCDh			
2CCEh			
2CCFh			
2CD0h	DTC コントロールデータ 18	DTCD18	
2CD1h			
2CD2h			
2CD3h			
2CD4h			
2CD5h			
2CD6h			
2CD7h			
2CD8h	DTC コントロールデータ 19	DTCD19	
2CD9h			
2CDAh			
2CDBh			
2CDCCh			
2CDDh			
2CDEh			
2CDFh			
2CE0h	DTC コントロールデータ 20	DTCD20	
2CE1h			
2CE2h			
2CE3h			
2CE4h			
2CE5h			
2CE6h			
2CE7h			
2CE8h	DTC コントロールデータ 21	DTCD21	
2CE9h			
2CEAh			
2CEBh			
2CECh			
2CEDh			
2CEEh			
2CEFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2CF0h	DTCコントロールデータ22	DTCD22	
2CF1h			
2CF2h			
2CF3h			
2CF4h			
2CF5h			
2CF6h			
2CF7h			
2CF8h	DTCコントロールデータ23	DTCD23	
2CF9h			
2CFAh			
2CFBh			
2CFCh			
2CFDh			
2CFEh			
2CFFh			
2D00h			
2D01h			
:			
0FFDBh	オプション機能選択レジスタ2	OFS2	53、189、196
:			
0FFFFh	オプション機能選択レジスタ	OFS	52、188、195、697

注1. 空欄は予約領域です。アクセスしないでください。

## 1. 概要

### 1.1 特長

R8C/L35A、R8C/L36A、R8C/L38A、およびR8C/L3AAグループ、ならびにR8C/L35B、R8C/L36B、R8C/L38B、およびR8C/L3ABグループの計8グループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/L35A、R8C/L36A、R8C/L38A、およびR8C/L3AA グループはBGO (バックグラウンドオペレーション)機能付データフラッシュ (1KB × 4ブロック)を内蔵します。

#### 1.1.1 応用

家電、事務機器、オーディオ、民生機器、他

### 1.1.2 グループごとの相違点

表 1.1 ~ 表 1.2 にグループ相違点を、表 1.3 にグループごとに備えるプログラブル入出力ポートを示します。  
各グループのピン配置図は、図 1.13 ~ 図 1.17 に、各製品については、表 1.8 ~ 表 1.15 に示します。  
なお、次章以降の説明では R8C/L3AA グループについて説明しますので、以上の相違点に留意ください。

表 1.1 グループごとの相違点 (1)

分類	機能	R8C/L35Aグループ、R8C/L36Aグループ、 R8C/L38Aグループ、R8C/L3AAグループ	R8C/L35Bグループ、R8C/L36Bグループ、 R8C/L38Bグループ、R8C/L3ABグループ
データ フラッシュ	BGO (バックグラウンドオペレーション) 機能付 1KB x 4 ブロック	搭載	非搭載

表 1.2 グループごとの相違点 (2)

分類	機能	R8C/L35Aグループ R8C/L35Bグループ	R8C/L36Aグループ R8C/L36Bグループ	R8C/L38Aグループ R8C/L38Bグループ	R8C/L3AAグループ R8C/L3ABグループ
I/Oポート	プログラブル入出力ポート	41本	52本	68本	88本
	大電流駆動ポート	5本	8本	8本	16本
割り込み	INT 割り込み入力端子	5本	8本	8本	8本
	キー入力割り込み端子	4本	4本	8本	8本
タイマ	タイマ RA 端子 (入出力：1、出力：1)	1本 (入出力端子のみ)	2本	2本	2本
	タイマ RB 端子 (出力：1)	なし	1本	1本	1本
	タイマ RD 端子 (入出力：8)	なし	なし	8本	8本
	タイマ RE 端子 (出力：1)	なし	1本	1本	1本
	タイマ RG 端子 (入出力：2、出力：2)	なし	なし	なし	4本
A/Dコンバータ	アナログ入力端子	10本	10本	16本	20本
LCD 駆動制御 回路	LCD 電源	3本 (VL1、VL2、VL4)	4本 (VL1 ~ VL4)	4本 (VL1 ~ VL4)	4本 (VL1 ~ VL4)
	コモン出力端子	最大4本	最大8本	最大8本	最大8本
	セグメント出力端子	最大22本	最大30本	最大47本	最大56本
その他の端子機能	WKUP1	なし	なし	あり	あり
パッケージ		52ピン LQFP	64ピン LQFP	80ピン LQFP	100ピン LQFP/ 100ピン QFP

注1. I/Oポートは割り込みやタイマなどの入出力機能を兼用しています。  
詳細については、表 1.16 ~ 表 1.18 ピン番号別端子名一覧を参照してください。



表1.3 グループごとに備えるプログラマブル入出力ポート

プログラマブル 入出力ポート	R8C/L35Aグループ、 R8C/L35Bグループ I/O合計41本								R8C/L36A、グループ R8C/L36Bグループ I/O合計52本								R8C/L38Aグループ、 R8C/L38Bグループ I/O合計68本								R8C/L3AAグループ、 R8C/L3ABグループ I/O合計88本							
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
P0																																
P1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
P2																																
P3	-	-	-	-																												
P4																																
P5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
P6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
P7																																
P10	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
P11	-	-	-																													
P12	-	-	-	-																												
P13	-	-	-	-																												

注1. “ ” が搭載するプログラマブル入出力ポートです。

注2. “ - ” は以下のように設定してください。

- ・対応するPDi (i=0~7、10~13)レジスタに“1”を書いてください。読んだ場合、その値は“1”です。
- ・対応するPi (i=0~7、10~13)レジスタに“0”を書いてください。読んだ場合、その値は“0”です。
- ・対応するP10DRR、P11DRRレジスタに“0”を書いてください。読んだ場合、その値は“0”です。

表1.4 グループごとに備えるLCD表示機能端子

兼用I/Oポート	L35A、L35Bグループ コモン出力：最大4本 セグメント出力：最大22本								L36A、L36Bグループ コモン出力：最大8本 セグメント出力：最大30本								L38A、L38Bグループ コモン出力：最大8本 セグメント出力：最大47本								L3AA、L3ABグループ コモン出力：最大8本 セグメント出力：最大56本									
P0	-	-	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	-	-	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0		
P1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SEG 11	SEG 10	SEG 9	SEG 8	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	SEG 9	SEG 8		
P2	SEG 23	SEG 22	SEG 21	SEG 20	-	-	-	-	SEG 23	SEG 22	SEG 21	SEG 20	-	-	-	-	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	-	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16		
P3	-	-	-	-	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24		
P4	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32		
P5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SEG 43	SEG 42	SEG 41	SEG 40
P6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SEG 51	SEG 50	SEG 49	SEG 48	SEG 47	SEG 46	SEG 45	SEG 44	SEG 51	SEG 50	SEG 49	SEG 48	SEG 47	SEG 46	SEG 45	SEG 44		
P7	COM 0	COM 1	COM 2	COM 3	-	-	-	-	COM 0	COM 1	COM 2	COM 3	SEG 55	SEG 54	SEG 53	SEG 52	COM 0	COM 1	COM 2	COM 3	SEG 55	SEG 54	SEG 53	SEG 52	COM 0	COM 1	COM 2	COM 3	SEG 55	SEG 54	SEG 53	SEG 52		
P12	-	-	-	-	CL2	CL1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
-	VL1				VL1				VL1				VL1																					
-	VL2				VL2				VL2				VL2																					
-	-				VL3				VL3				VL3																					
-	VL4				VL4				VL4				VL4																					

注1. “ - ” はLCD表示機能はありません。これらの端子は、LSE1～LSE7レジスタでポート機能を選択してください。

注2. SEG52～SEG55はCOM7～COM4として使用可。

R8C/L35A、R8C/L35BグループにはSEG52～SEG55端子はありません。このため、1/8デューティは選択できません。

注3. R8C/L35A、R8C/L35BグループにはVL3端子はありません。このため、1/4バイアスは選択できません。また、内部昇圧回路を使用する場合は、1/2バイアスも選択できません。

### 1.1.3 仕様概要

表 1.5 ~ 表 1.7 に仕様概要を示します。

表 1.5 仕様概要(1)

分類	機能	説明	
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> <li>基本命令数：89 命令</li> <li>最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7 ~ 5.5V) 200ns (f(XIN)=5MHz、VCC=1.8 ~ 5.5V)</li> <li>乗算器：16ビット×16ビット 32ビット</li> <li>積和演算命令：16ビット×16ビット+32ビット 32ビット</li> <li>動作モード：シングルチップモード(アドレス空間：1Mバイト)</li> </ul>	
メモリ	ROM/RAM データフラッシュ	表 1.8 ~ 表 1.15 製品一覧を参照してください	
I/Oポート	プログラマブル入出力ポート	R8C/L35Aグループ R8C/L35Bグループ	<ul style="list-style-type: none"> <li>CMOS入出力：41、プルアップ抵抗選択可能</li> <li>大電流駆動ポート：5</li> </ul>
		R8C/L36Aグループ R8C/L36Bグループ	<ul style="list-style-type: none"> <li>CMOS入出力：52、プルアップ抵抗選択可能</li> <li>大電流駆動ポート：8</li> </ul>
		R8C/L38Aグループ R8C/L38Bグループ	<ul style="list-style-type: none"> <li>CMOS入出力：68、プルアップ抵抗選択可能</li> <li>大電流駆動ポート：8</li> </ul>
		R8C/L3AAグループ R8C/L3ABグループ	<ul style="list-style-type: none"> <li>CMOS入出力：88、プルアップ抵抗選択可能</li> <li>大電流駆動ポート：16</li> </ul>
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>3回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 低速オンチップオシレータ</li> <li>発振停止検出：XINクロック発振停止検出機能</li> <li>周波数分周回路：1、2、4、8、16分周選択</li> <li>低消費電力機構：標準動作モード(高速クロック、低速クロック、低速オンチップオシレータ)、ウェイトモード、ストップモード、パワーオフモード</li> </ul>	
		リアルタイムクロック(タイマRE)あり	
割り込み	R8C/L35Aグループ R8C/L35Bグループ	<ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：9 (INT×5、キー入力×4)</li> <li>割り込み優先レベル：7レベル</li> </ul>	
	R8C/L36Aグループ R8C/L36Bグループ	<ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：12 (INT×8、キー入力×4)</li> <li>割り込み優先レベル：7レベル</li> </ul>	
	R8C/L38Aグループ R8C/L38Bグループ	<ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：16 (INT×8、キー入力×8)</li> <li>割り込み優先レベル：7レベル</li> </ul>	
	R8C/L3AAグループ R8C/L3ABグループ	<ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：16 (INT×8、キー入力×8)</li> <li>割り込み優先レベル：7レベル</li> </ul>	
ウォッチドッグタイマ		<ul style="list-style-type: none"> <li>14ビット×1(プリスケアラ付)</li> <li>リセットスタート機能選択可能</li> <li>ウォッチドッグタイマ用低速オンチップオシレータ選択可能</li> </ul>	
DTC(データトランスファコントローラ)		<ul style="list-style-type: none"> <li>1チャンネル</li> <li>起動要因：38</li> <li>転送モード：2(ノーマルモード、リピートモード)</li> </ul>	

表1.6 仕様概要(2)

分類	機能	説明	
タイマ	タイマRA	8ビット×1(8ビットプリスケラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、 イベントカウンタモード、パルス幅測定モード、パルス周期測定モード	
	タイマRB	8ビット×1(8ビットプリスケラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマ ブルワンショット発生モード、プログラマブルウェイトワンショット発生モード	
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、 PWMモード(出力3本)、PWM2モード(PWM出力1本)	
	タイマRD	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモ ード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWM モード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)	
	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード	
	タイマRG	16ビット×1 位相計数モード、タイマモード(アウトプットコンペア機能、インプットキャ プチャ機能)、PWMモード(出力1本)	
シリアルイン タフェース	UART0、UART1	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用×2チャンネル	
	UART2	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用、I <sup>2</sup> Cモード(I <sup>2</sup> Cバス)、マ ルチプロセッサ通信機能	
シンクロナスシリアルコミュニ ケーションユニット(SSU)		1(I <sup>2</sup> Cバスインタフェースと兼用)	
I <sup>2</sup> Cバス		1(SSUと兼用)	
LINモジュール		ハードウェアLIN: 1チャンネル(タイマRA、UART0を使用)	
A/Dコン バータ	R8C/L35Aグループ R8C/L35Bグループ	分解能10ビット×10チャンネル、サンプル&ホールドあり、掃引モードあり	
	R8C/L36Aグループ R8C/L36Bグループ	分解能10ビット×10チャンネル、サンプル&ホールドあり、掃引モードあり	
	R8C/L38Aグループ R8C/L38Bグループ	分解能10ビット×16チャンネル、サンプル&ホールドあり、掃引モードあり	
	R8C/L3AAグループ R8C/L3ABグループ	分解能10ビット×20チャンネル、サンプル&ホールドあり、掃引モードあり	
	D/Aコンバータ		分解能8ビット×2回路
コンパレータB		2回路	
LCD駆動 制御回路	R8C/L35Aグループ R8C/L35Bグループ	<ul style="list-style-type: none"> <li>コモン出力: 最大4本</li> <li>セグメント出力: 最大22本</li> </ul>	<ul style="list-style-type: none"> <li>バイアス: 1/2、1/3</li> <li>デューティ: スタティック、1/2、1/3、1/4</li> </ul>
	R8C/L36Aグループ R8C/L36Bグループ	<ul style="list-style-type: none"> <li>コモン出力: 最大8本</li> <li>セグメント出力: 最大30本(注1)</li> </ul>	<ul style="list-style-type: none"> <li>バイアス: 1/2、1/3、1/4</li> <li>デューティ: スタティック、1/2、1/3、 1/4、1/8</li> </ul>
	R8C/L38Aグループ R8C/L38Bグループ	<ul style="list-style-type: none"> <li>コモン出力: 最大8本</li> <li>セグメント出力: 最大47本(注1)</li> </ul>	
	R8C/L3AAグループ R8C/L3ABグループ	<ul style="list-style-type: none"> <li>コモン出力: 最大8本</li> <li>セグメント出力: 最大56本(注1)</li> </ul>	
			昇圧回路内蔵、昇圧回路用レギュレータ内蔵

注1. コモン出力4本選択のとき

表1.7 仕様概要(3)

分類	機能	説明
フラッシュ メモリ	R8C/L35Aグループ R8C/L36Aグループ R8C/L38Aグループ R8C/L3AAグループ	<ul style="list-style-type: none"> <li>プログラム、イレーズ電圧：VCC=2.7 ~ 5.5V</li> <li>プログラム、イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM)</li> <li>プログラムセキュリティ：ROMコードプロテクト、IDコードチェック</li> <li>デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能</li> <li>BGO (バックグラウンドオペレーション)機能</li> </ul>
	R8C/L35Bグループ R8C/L36Bグループ R8C/L38Bグループ R8C/L3ABグループ	<ul style="list-style-type: none"> <li>プログラム、イレーズ電圧：VCC=2.7 ~ 5.5V</li> <li>プログラム、イレーズ回数：1,000回</li> <li>プログラムセキュリティ：ROMコードプロテクト、IDコードチェック</li> <li>デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能</li> </ul>
動作周波数/電源電圧		f(XIN)=20MHz (VCC=2.7~5.5V) f(XIN)=5MHz (VCC=1.8~5.5V)
消費電流		標準 7 mA (VCC=5V、f(XIN)=20MHz) 標準 3.6 mA (VCC=3V、f(XIN)=10MHz) 標準 3.5 μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 2 μA (VCC=3V、ストップモード) 標準 1 μA (VCC=3V、パワーオフモード、タイマRE有効) 標準 0.02 μA (VCC=3V、パワーオフモード、タイマRE無効)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン) (注1)

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

## 1.2 製品一覧

表 1.8 ~ 表 1.15 に各グループの製品一覧表、図 1.1 ~ 図 1.8 に R8C/Lx シリーズの型名とメモリサイズ・パッケージを示します。

表 1.8 R8C/L35Aグループの製品一覧表

2009年10月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L357ANFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0052JA-A	Nバージョン
R5F2L358ANFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0052JA-A	
R5F2L35AANFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L35CANFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L357ADFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0052JA-A	Dバージョン
R5F2L358ADFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0052JA-A	
R5F2L35AADFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	
R5F2L35CADFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0052JA-A	

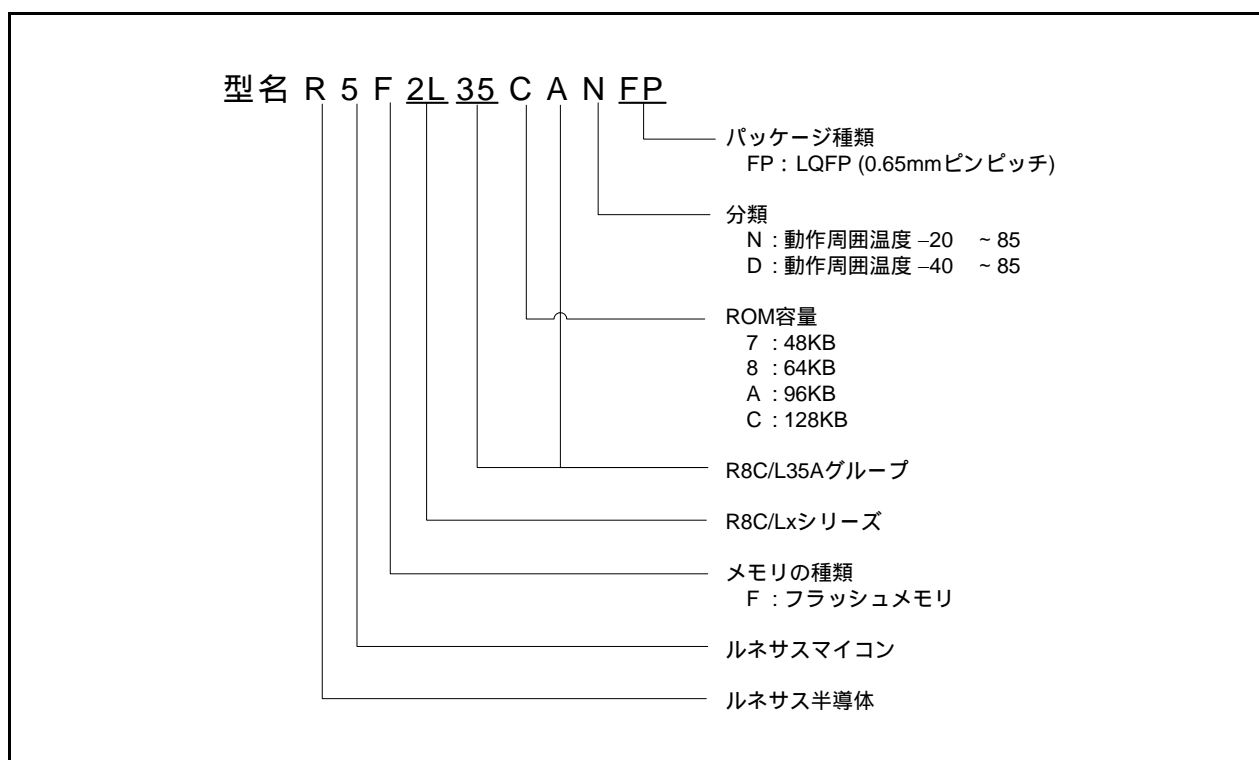


図 1.1 R8C/L35Aグループの型名とメモリサイズ・パッケージ

表 1.9 R8C/L35Bグループの製品一覧表

2009年10月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F2L357BNFP	48Kバイト	6Kバイト	PLQP0052JA-A	Nバージョン
R5F2L358BNFP	64Kバイト	8Kバイト	PLQP0052JA-A	
R5F2L35ABNFP	96Kバイト	10Kバイト	PLQP0052JA-A	
R5F2L35CBNFP	128Kバイト	10Kバイト	PLQP0052JA-A	
R5F2L357BDFFP	48Kバイト	6Kバイト	PLQP0052JA-A	Dバージョン
R5F2L358BDFFP	64Kバイト	8Kバイト	PLQP0052JA-A	
R5F2L35ABDFFP	96Kバイト	10Kバイト	PLQP0052JA-A	
R5F2L35CBDFFP	128Kバイト	10Kバイト	PLQP0052JA-A	

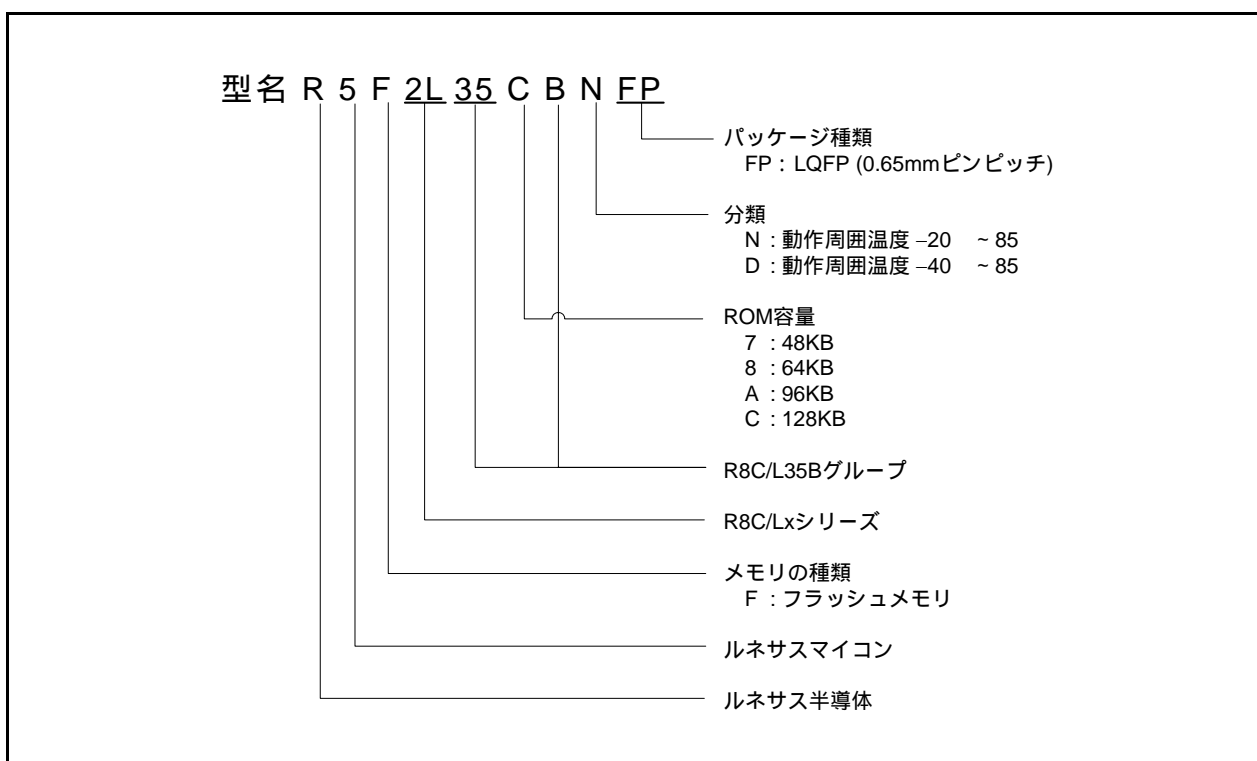


図1.2 R8C/L35Bグループの型名とメモリサイズ・パッケージ

表 1.10 R8C/L36Aグループの製品一覧表

2009年10月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L367ANFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A	Nバージョン
R5F2L367ANFA	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A	
R5F2L368ANFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A	
R5F2L368ANFA	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A	
R5F2L36AANFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36AANFA	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L36CANFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36CANFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L367ADFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064KB-A	Dバージョン
R5F2L367ADFA	48Kバイト	1Kバイト×4	6Kバイト	PLQP0064GA-A	
R5F2L368ADFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064KB-A	
R5F2L368ADFA	64Kバイト	1Kバイト×4	8Kバイト	PLQP0064GA-A	
R5F2L36AADFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36AADFA	96Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	
R5F2L36CADFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064KB-A	
R5F2L36CADFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0064GA-A	

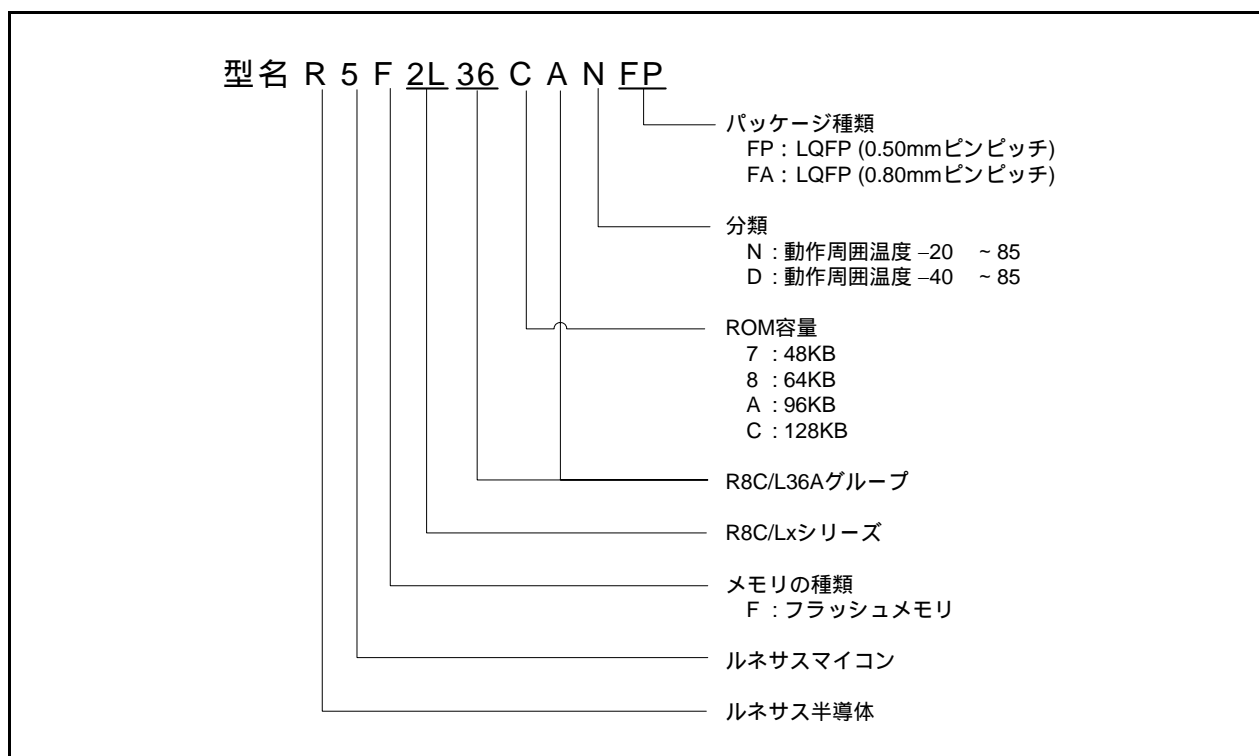


図 1.3 R8C/L36Aグループの型名とメモリサイズ・パッケージ

表 1.11 R8C/L36Bグループの製品一覧表

2009年10月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F2L367BNFP	48Kバイト	6Kバイト	PLQP0064KB-A	Nバージョン
R5F2L367BNFA	48Kバイト	6Kバイト	PLQP0064GA-A	
R5F2L368BNFP	64Kバイト	8Kバイト	PLQP0064KB-A	
R5F2L368BNFA	64Kバイト	8Kバイト	PLQP0064GA-A	
R5F2L36ABNFP	96Kバイト	10Kバイト	PLQP0064KB-A	
R5F2L36ABNFA	96Kバイト	10Kバイト	PLQP0064GA-A	
R5F2L36CBNFP	128Kバイト	10Kバイト	PLQP0064KB-A	
R5F2L36CBNFA	128Kバイト	10Kバイト	PLQP0064GA-A	
R5F2L367BDFP	48Kバイト	6Kバイト	PLQP0064KB-A	Dバージョン
R5F2L367BDFFA	48Kバイト	6Kバイト	PLQP0064GA-A	
R5F2L368BDFP	64Kバイト	8Kバイト	PLQP0064KB-A	
R5F2L368BDFFA	64Kバイト	8Kバイト	PLQP0064GA-A	
R5F2L36ABDFP	96Kバイト	10Kバイト	PLQP0064KB-A	
R5F2L36ABDFFA	96Kバイト	10Kバイト	PLQP0064GA-A	
R5F2L36CBDFP	128Kバイト	10Kバイト	PLQP0064KB-A	
R5F2L36CBDFFA	128Kバイト	10Kバイト	PLQP0064GA-A	

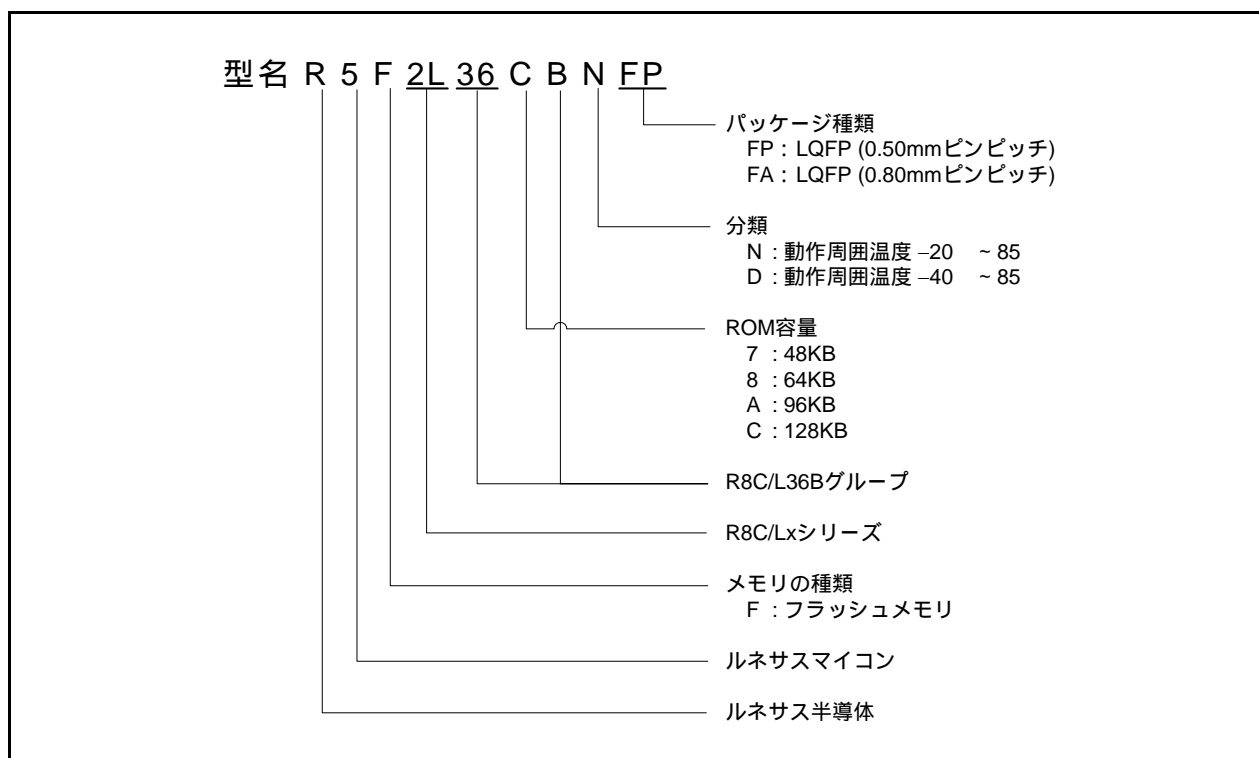


図 1.4 R8C/L36Bグループの型名とメモリサイズ・パッケージ



表 1.12 R8C/L38Aグループの製品一覧表

2009年10月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L387ANFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080KB-A	Nバージョン
R5F2L387ANFA	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080JA-A	
R5F2L388ANFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080KB-A	
R5F2L388ANFA	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080JA-A	
R5F2L38AANFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38AANFA	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L38CANFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38CANFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L387ADFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080KB-A	Dバージョン
R5F2L387ADFA	48Kバイト	1Kバイト×4	6Kバイト	PLQP0080JA-A	
R5F2L388ADFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080KB-A	
R5F2L388ADFA	64Kバイト	1Kバイト×4	8Kバイト	PLQP0080JA-A	
R5F2L38AADFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38AADFA	96Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	
R5F2L38CADFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F2L38CADFA	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080JA-A	

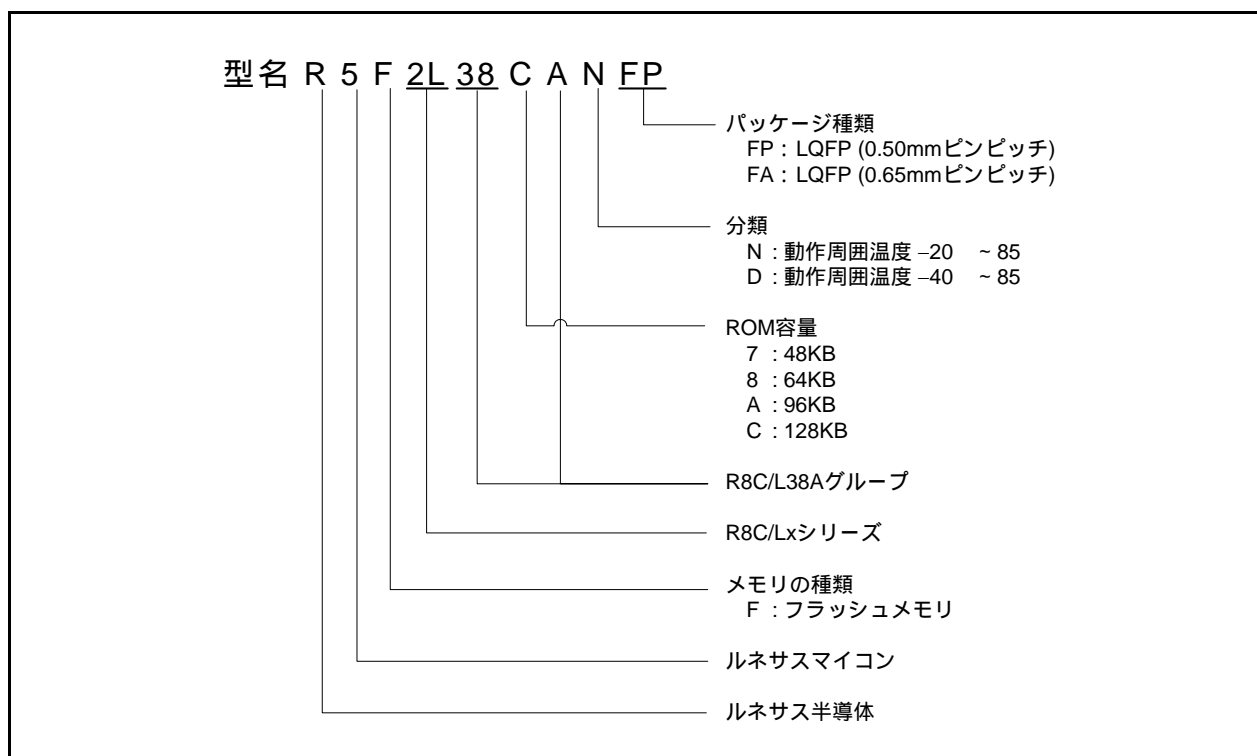


図 1.5 R8C/L38Aグループの型名とメモリサイズ・パッケージ

表 1.13 R8C/L38Bグループの製品一覧表

2009年10月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F2L387BNFP	48Kバイト	6Kバイト	PLQP0080KB-A	Nバージョン
R5F2L387BNFA	48Kバイト	6Kバイト	PLQP0080JA-A	
R5F2L388BNFP	64Kバイト	8Kバイト	PLQP0080KB-A	
R5F2L388BNFA	64Kバイト	8Kバイト	PLQP0080JA-A	
R5F2L38ABNFP	96Kバイト	10Kバイト	PLQP0080KB-A	
R5F2L38ABNFA	96Kバイト	10Kバイト	PLQP0080JA-A	
R5F2L38CBNFP	128Kバイト	10Kバイト	PLQP0080KB-A	
R5F2L38CBNFA	128Kバイト	10Kバイト	PLQP0080JA-A	
R5F2L387BDFP	48Kバイト	6Kバイト	PLQP0080KB-A	Dバージョン
R5F2L387BDFA	48Kバイト	6Kバイト	PLQP0080JA-A	
R5F2L388BDFP	64Kバイト	8Kバイト	PLQP0080KB-A	
R5F2L388BDFA	64Kバイト	8Kバイト	PLQP0080JA-A	
R5F2L38ABDFP	96Kバイト	10Kバイト	PLQP0080KB-A	
R5F2L38ABDFA	96Kバイト	10Kバイト	PLQP0080JA-A	
R5F2L38CBDFP	128Kバイト	10Kバイト	PLQP0080KB-A	
R5F2L38CBDFA	128Kバイト	10Kバイト	PLQP0080JA-A	

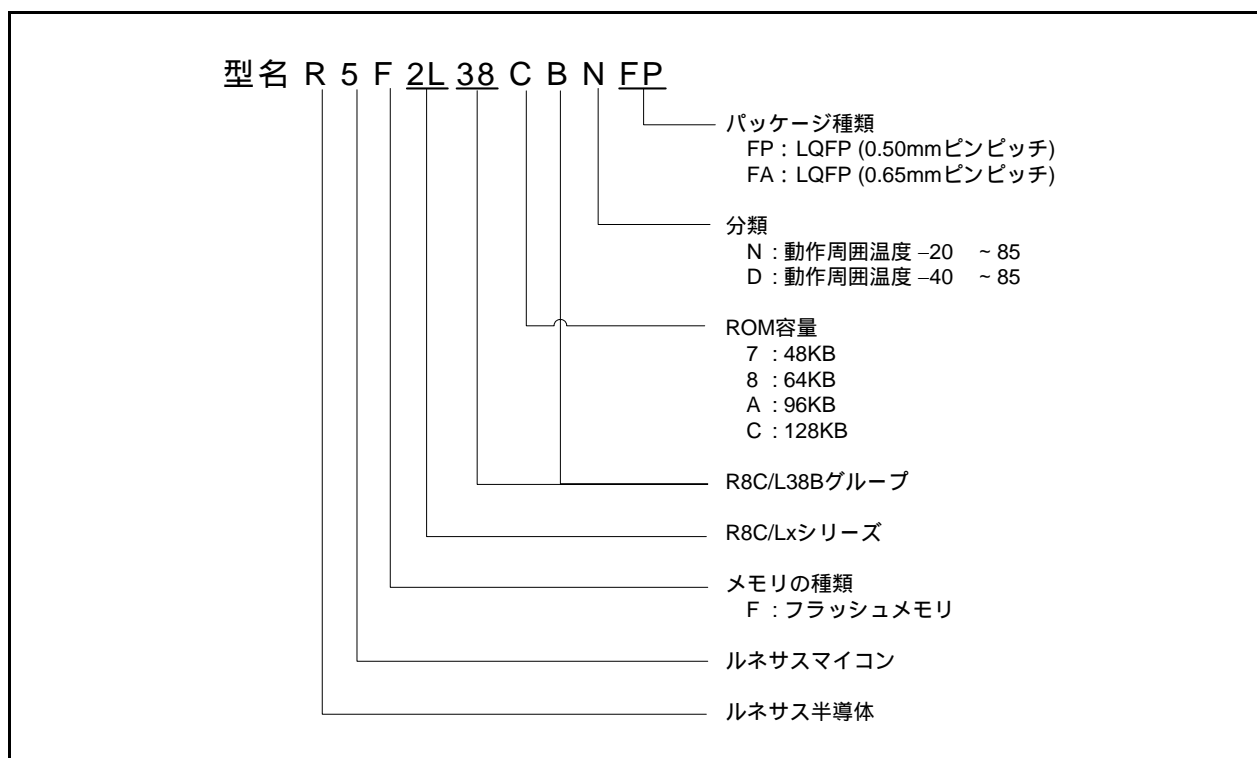


図 1.6 R8C/L38Bグループの型名とメモリサイズ・パッケージ

表 1.14 R8C/L3AAグループの製品一覧表

2009年10月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2L3A7ANFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0100KB-A	Nバージョン
R5F2L3A7ANFA	48Kバイト	1Kバイト×4	6Kバイト	PRQP0100JD-B	
R5F2L3A8ANFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0100KB-A	
R5F2L3A8ANFA	64Kバイト	1Kバイト×4	8Kバイト	PRQP0100JD-B	
R5F2L3AAANFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3AAANFA	96Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3ACANFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3ACANFA	128Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3A7ADFP	48Kバイト	1Kバイト×4	6Kバイト	PLQP0100KB-A	Dバージョン
R5F2L3A7ADFA	48Kバイト	1Kバイト×4	6Kバイト	PRQP0100JD-B	
R5F2L3A8ADFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0100KB-A	
R5F2L3A8ADFA	64Kバイト	1Kバイト×4	8Kバイト	PRQP0100JD-B	
R5F2L3AAADFP	96Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3AAADFA	96Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	
R5F2L3ACADFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0100KB-A	
R5F2L3ACADFA	128Kバイト	1Kバイト×4	10Kバイト	PRQP0100JD-B	

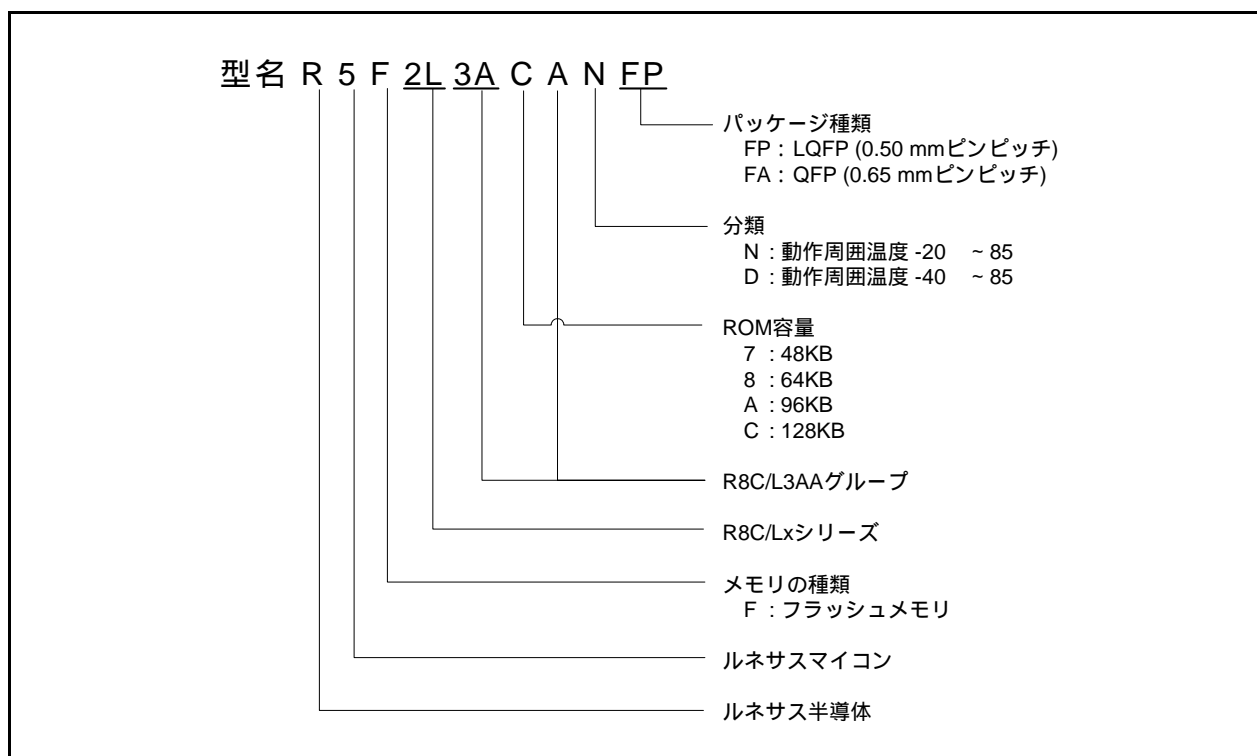


図 1.7 R8C/L3AAグループの型名とメモリサイズ・パッケージ

表 1.15 R8C/L3ABグループの製品一覧表

2009年10月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F2L3A7BNFP	48Kバイト	6Kバイト	PLQP0100KB-A	Nバージョン
R5F2L3A7BNFA	48Kバイト	6Kバイト	PRQP0100JD-B	
R5F2L3A8BNFP	64Kバイト	8Kバイト	PLQP0100KB-A	
R5F2L3A8BNFA	64Kバイト	8Kバイト	PRQP0100JD-B	
R5F2L3AABNFP	96Kバイト	10Kバイト	PLQP0100KB-A	
R5F2L3AABNFA	96Kバイト	10Kバイト	PRQP0100JD-B	
R5F2L3ACBNFP	128Kバイト	10Kバイト	PLQP0100KB-A	
R5F2L3ACBNFA	128Kバイト	10Kバイト	PRQP0100JD-B	
R5F2L3A7BDFP	48Kバイト	6Kバイト	PLQP0100KB-A	Dバージョン
R5F2L3A7BDFA	48Kバイト	6Kバイト	PRQP0100JD-B	
R5F2L3A8BDFP	64Kバイト	8Kバイト	PLQP0100KB-A	
R5F2L3A8BDFA	64Kバイト	8Kバイト	PRQP0100JD-B	
R5F2L3AABDFP	96Kバイト	10Kバイト	PLQP0100KB-A	
R5F2L3AABDFA	96Kバイト	10Kバイト	PRQP0100JD-B	
R5F2L3ACBDFP	128Kバイト	10Kバイト	PLQP0100KB-A	
R5F2L3ACBDFA	128Kバイト	10Kバイト	PRQP0100JD-B	

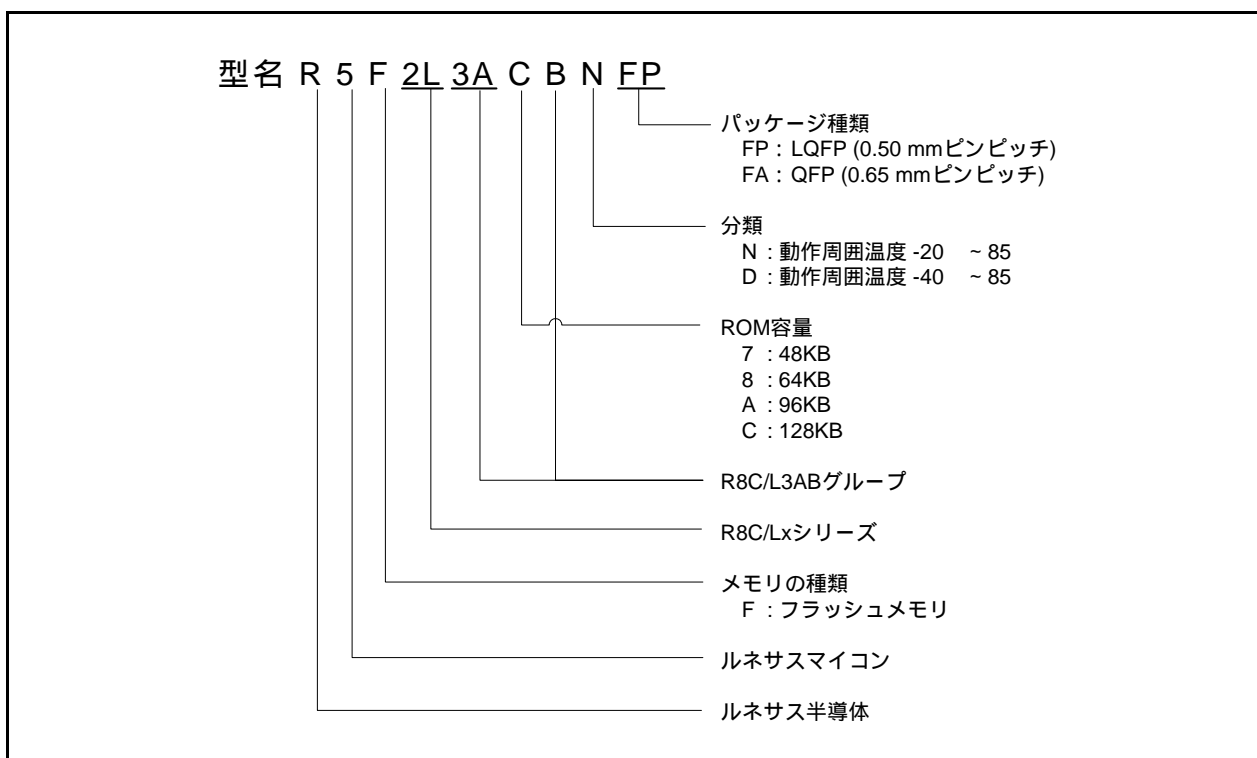


図 1.8 R8C/L3ABグループの型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図 1.9 に R8C/L35A、R8C/L35B グループのブロック図、図 1.10 に R8C/L36A、R8C/L36B グループのブロック図、図 1.11 に R8C/L38A、R8C/L38B グループのブロック図、図 1.12 に R8C/L3AA、R8C/L3AB グループのブロック図を示します。

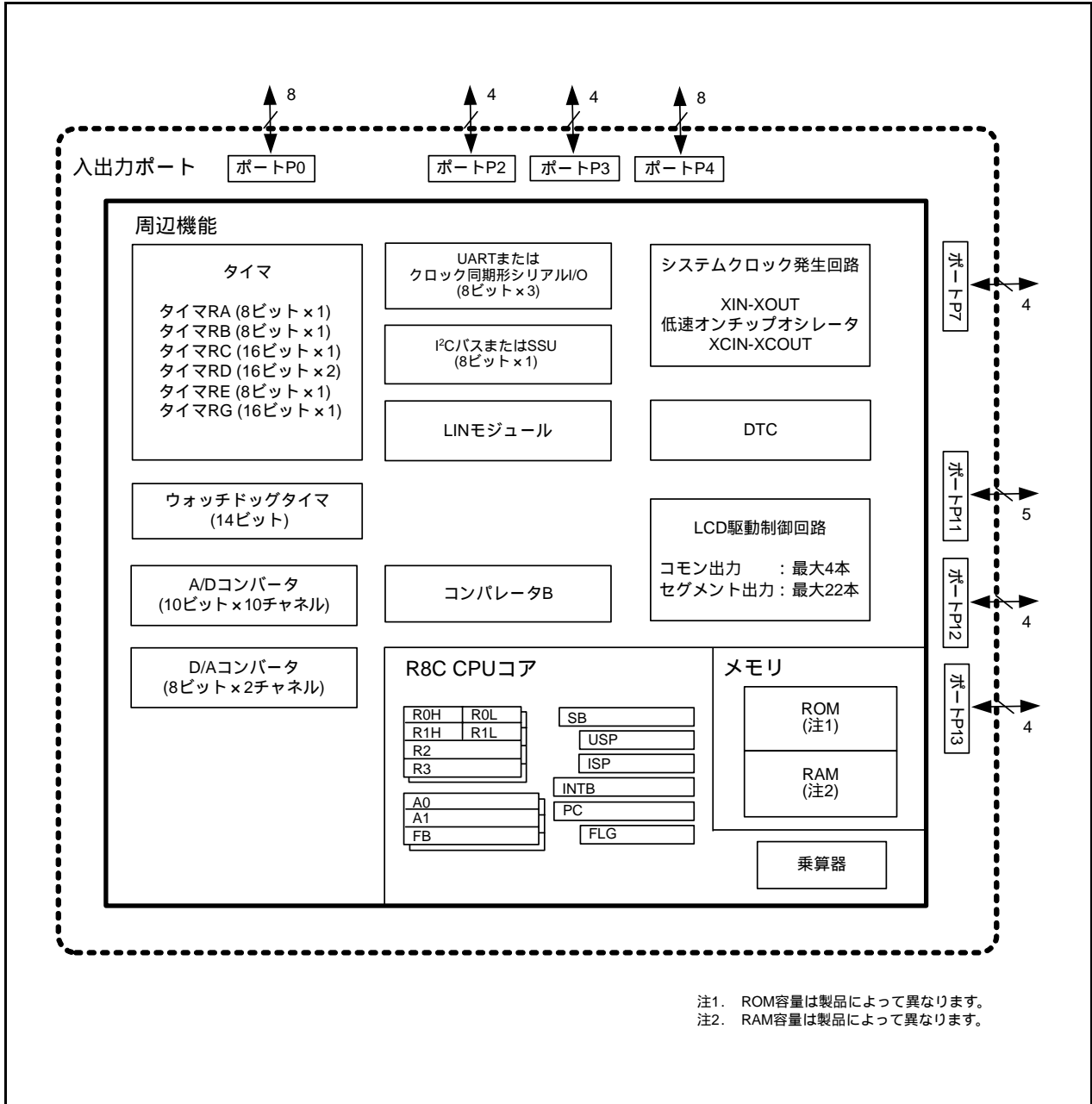


図 1.9 R8C/L35A、R8C/L35Bグループのブロック図

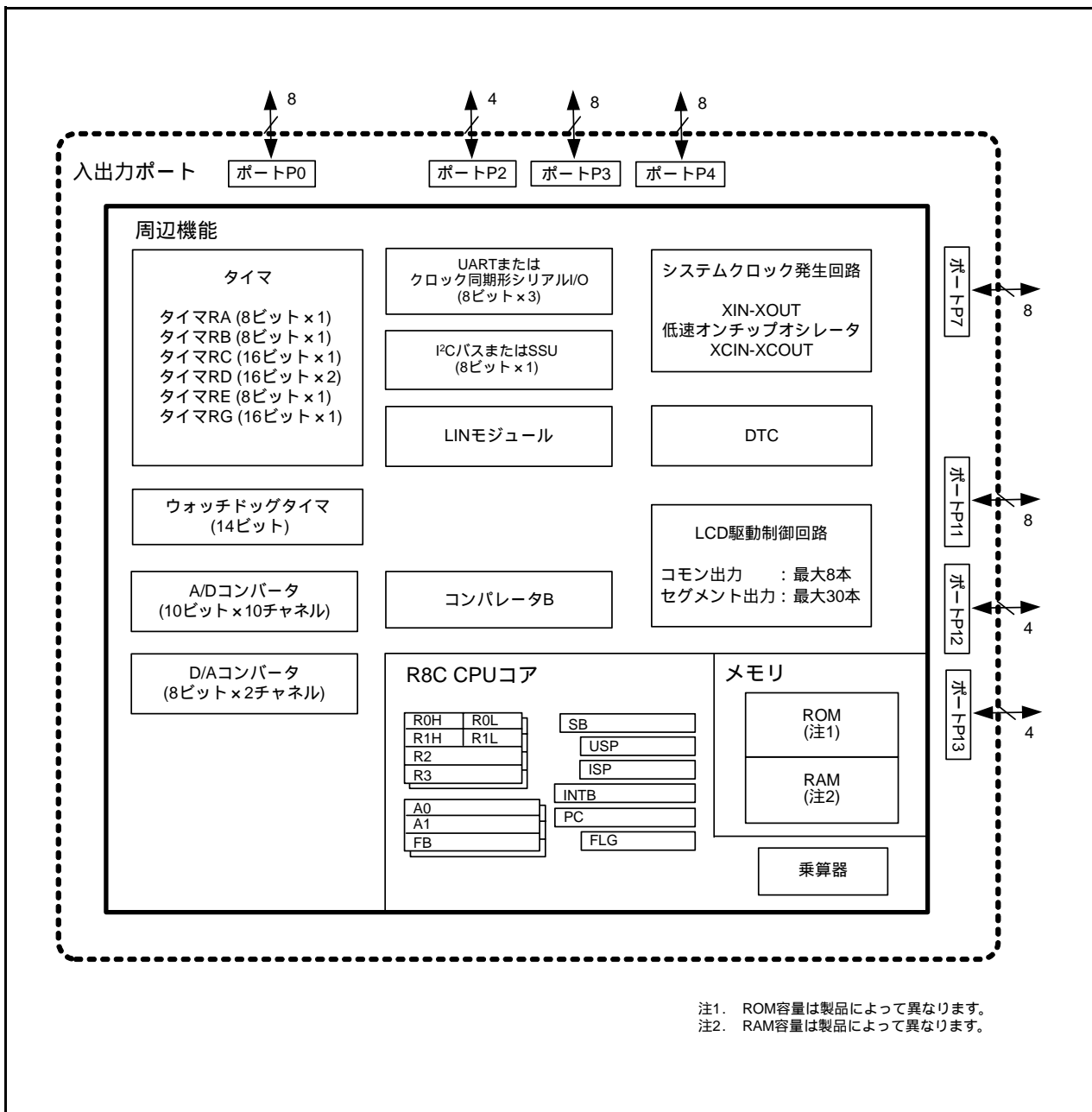
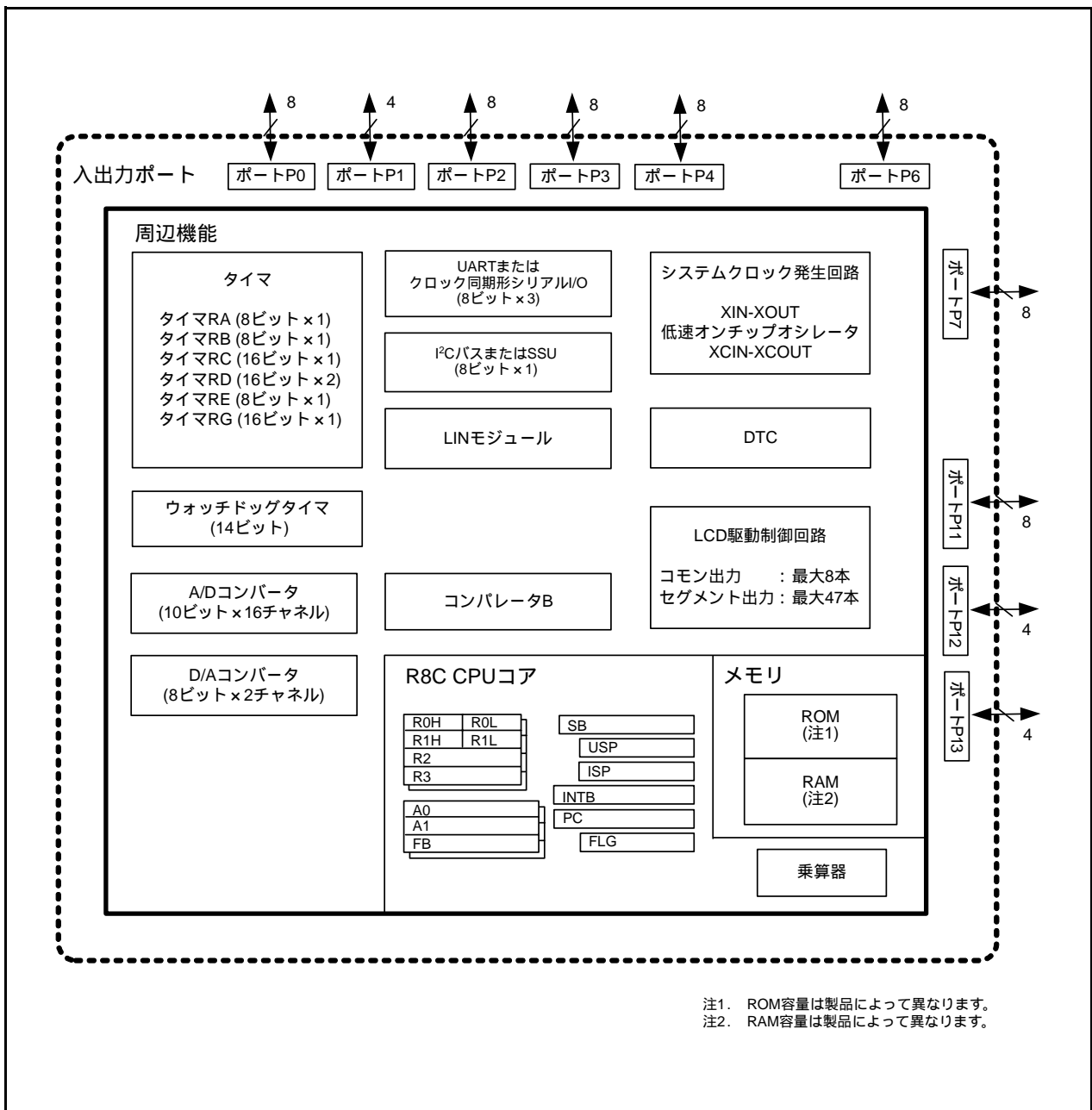
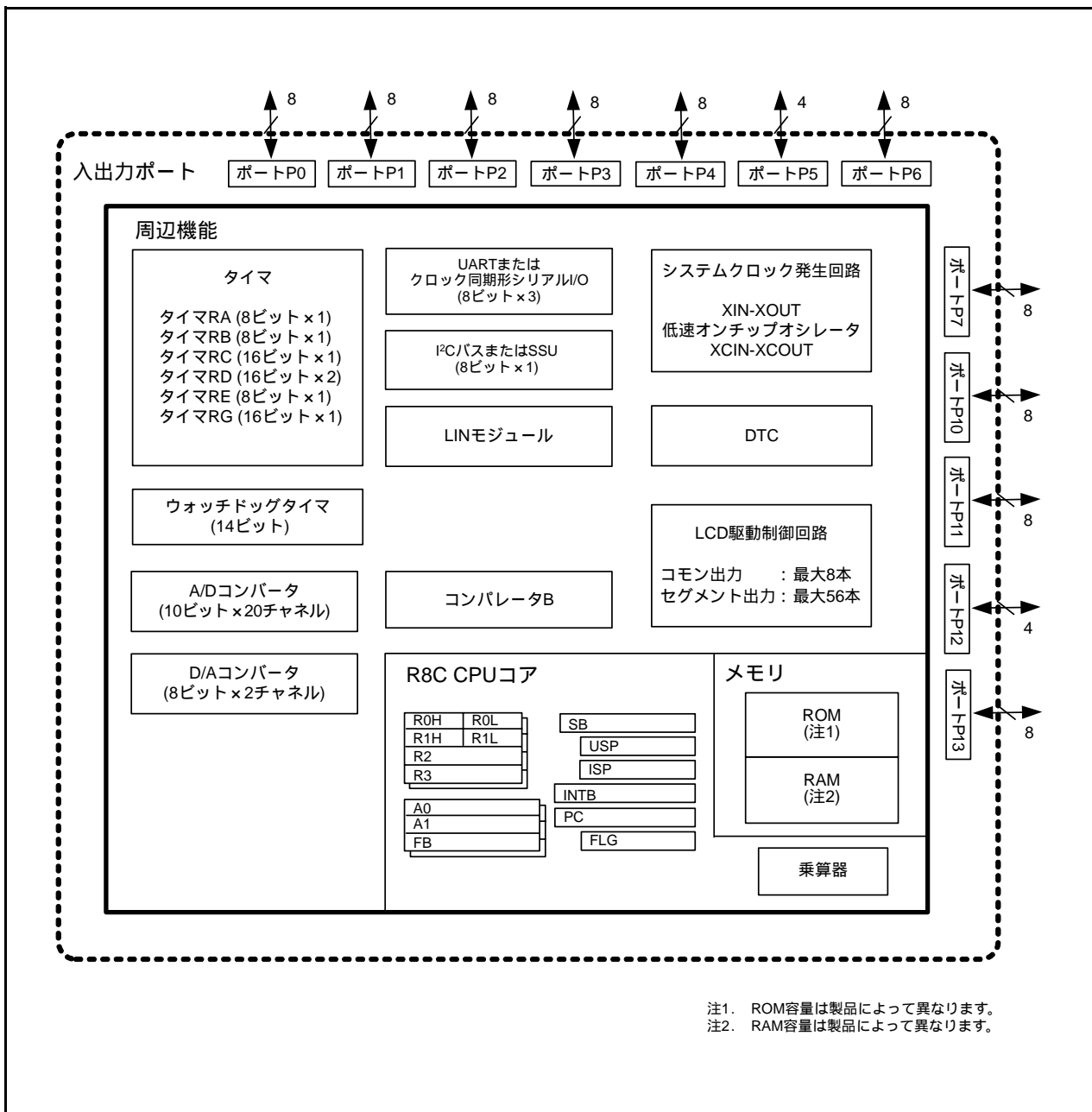


図 1.10 R8C/L36A、R8C/L36Bグループのブロック図



注1. ROM容量は製品によって異なります。  
注2. RAM容量は製品によって異なります。

図 1.11 R8C/L38A、R8C/L38Bグループのブロック図



注1. ROM容量は製品によって異なります。  
注2. RAM容量は製品によって異なります。

図 1.12 R8C/L3AA、R8C/L3ABグループのブロック図



## 1.4 ピン配置図

図1.13～図1.17にピン配置図（上面図）、表1.16～表1.18にピン番号別端子名一覧を示します。

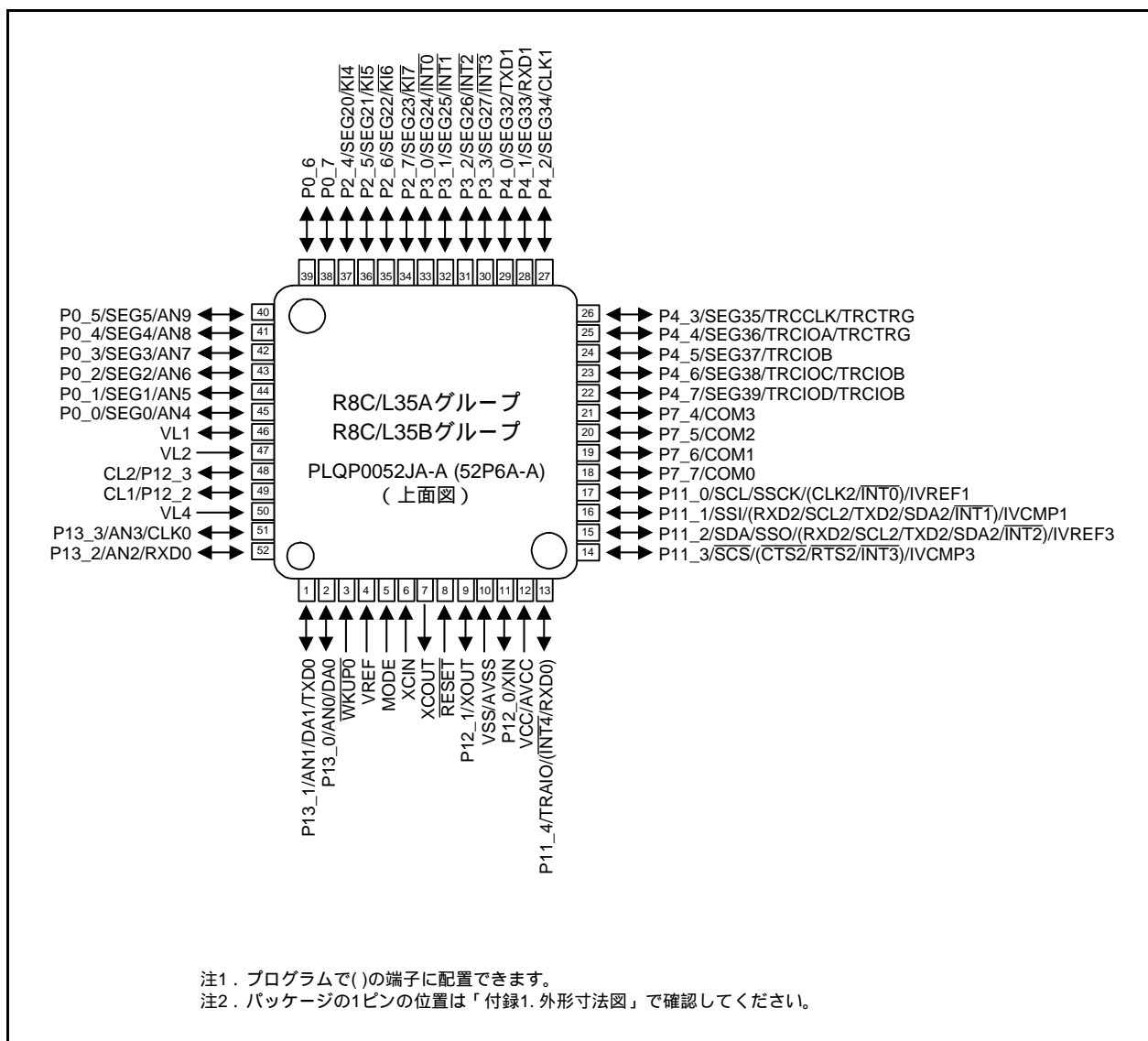


図1.13 PLQP0052JA-Aパッケージ品のピン配置図(上面図)

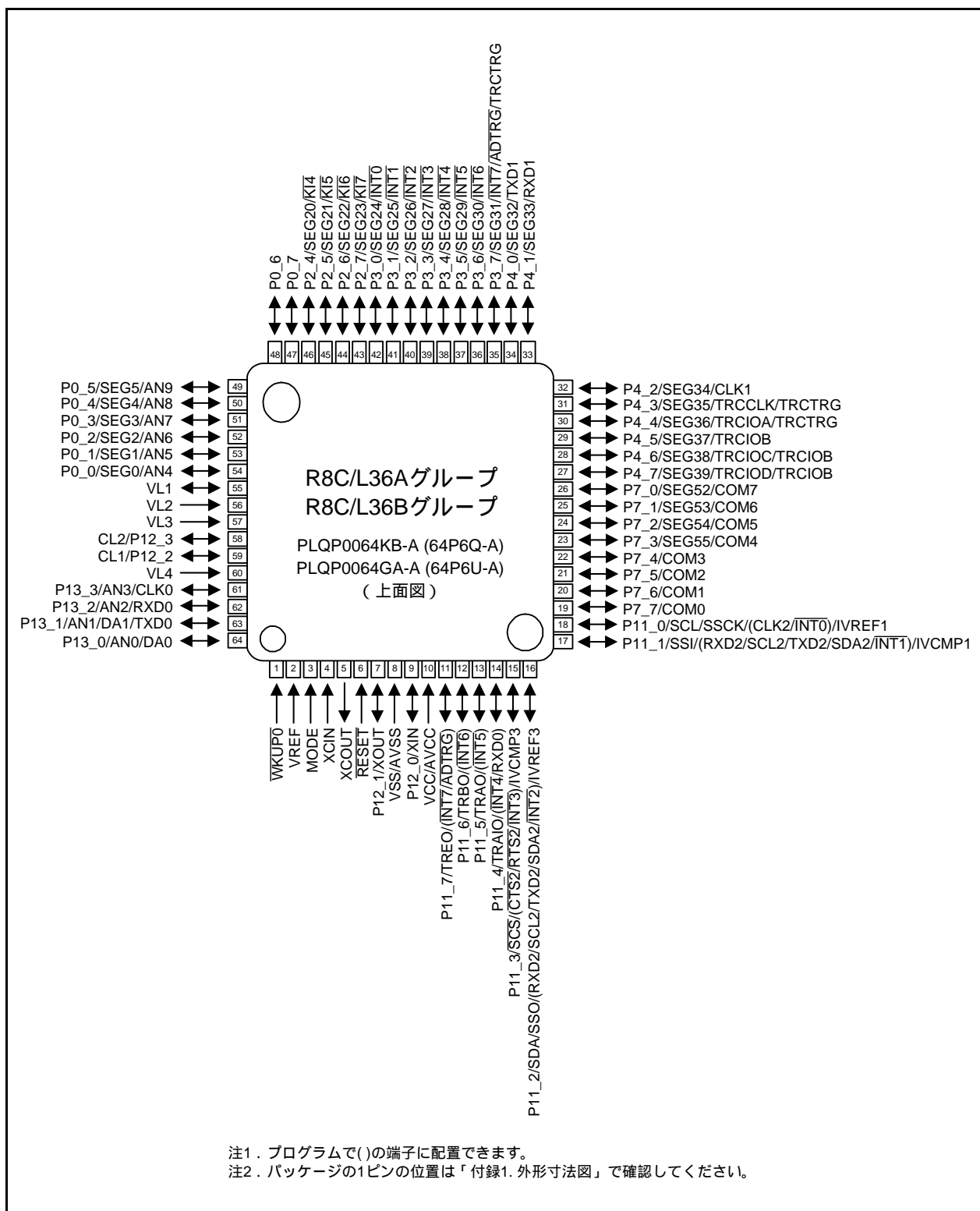
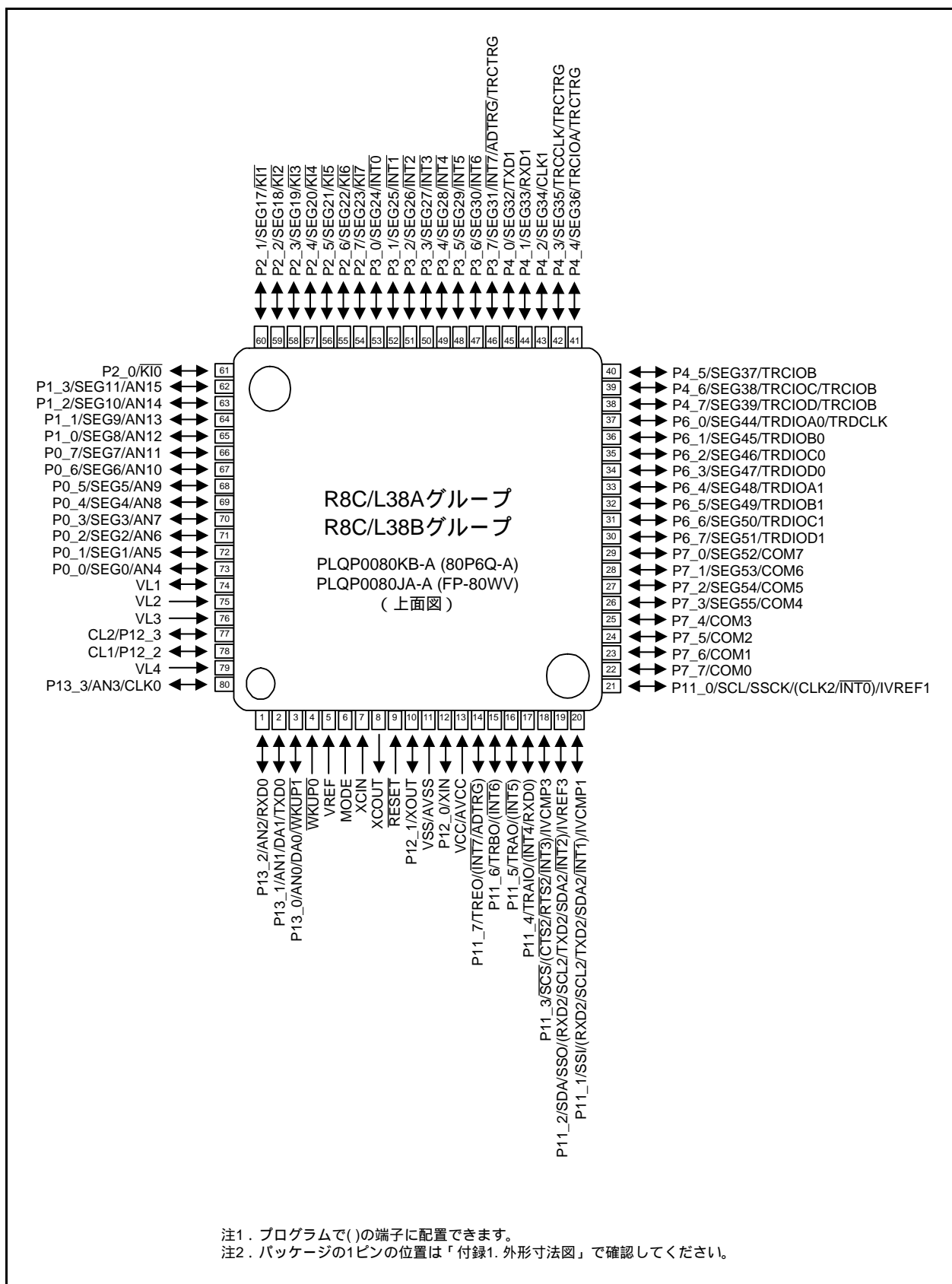


図1.14 PLQP0064KB-A、PLQP0064GA-Aパッケージ品のピン配置図(上面図)



注1. プログラムで()の端子に配置できます。  
注2. パッケージの1ピンの位置は「付録1. 外形寸法図」で確認してください。

図1.15 PLQP0080KB-A、PLQP0080JA-Aパッケージ品のピン配置図(上面図)

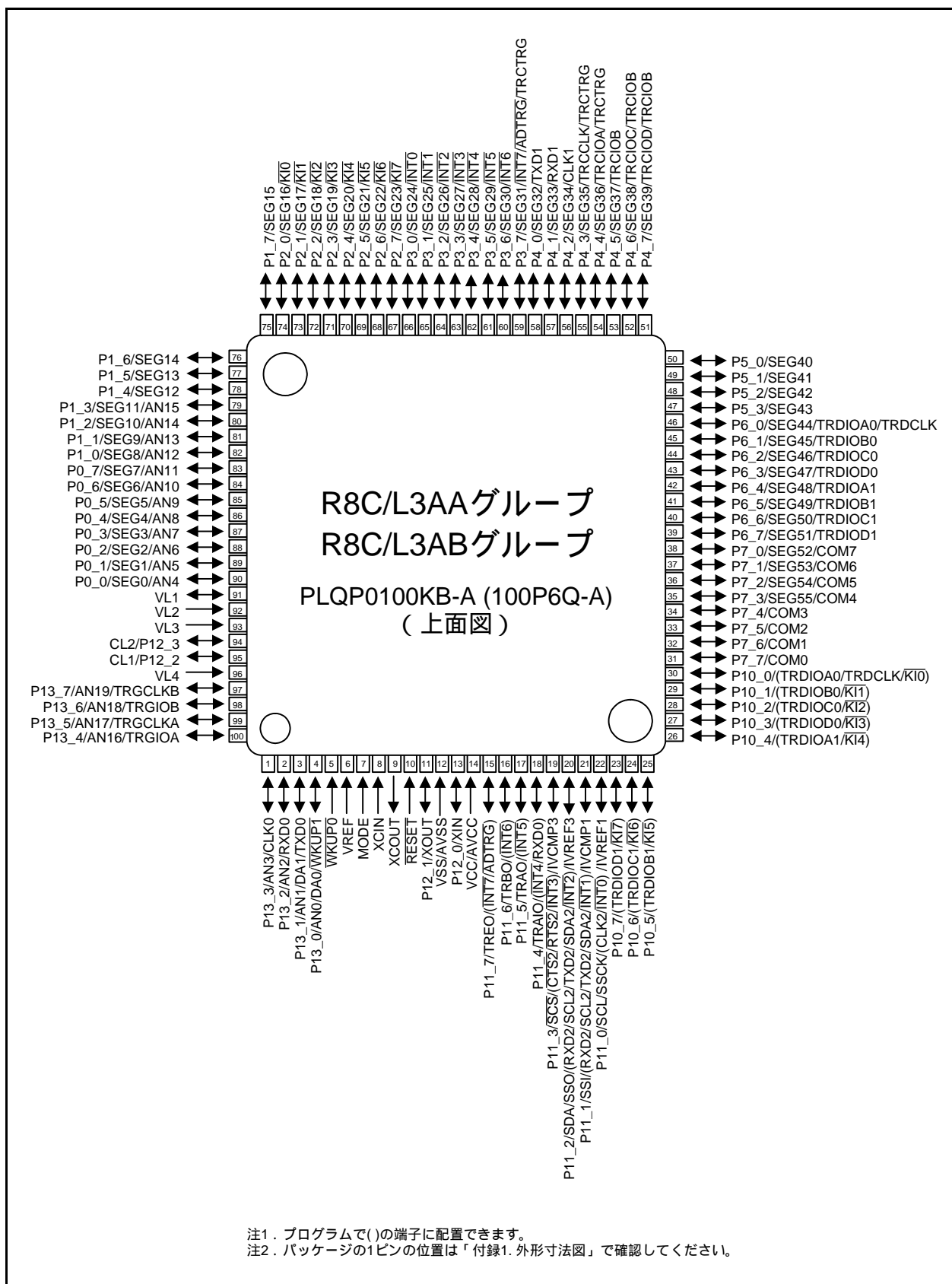


図 1.16 PLQP0100KB-Aパッケージ品のピン配置図(上面図)

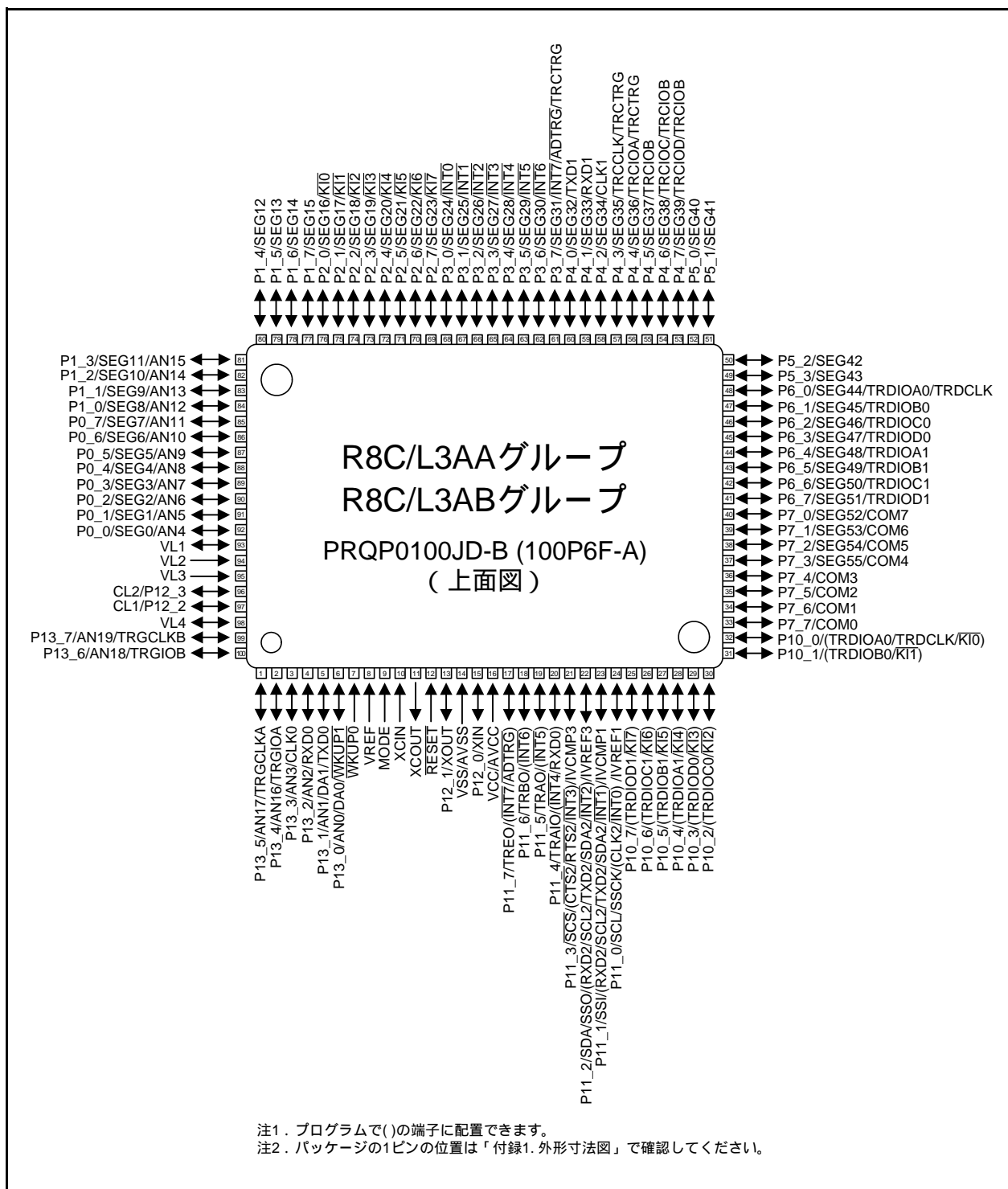


図1.17 PRQP0100JD-Bパッケージ品のピン配置図(上面図)

注1. プログラムで( )の端子に配置できます。

注2. パッケージの1ピンの位置は「付録1. 外形寸法図」で確認してください。

表 1.16 ピン番号別端子名一覧(1)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AA L3AB (注2)	L38A L38B	L36A L36B	L35A L35B			割り込み	タイマ	シリアルインタ フェース	SSU	I <sup>2</sup> Cバス	A/Dコンバータ D/Aコンバータ コンパレータB	LCD駆動 制御回路
1 [3]	80	61	51		P13_3			CLK0			AN3	
2 [4]	1	62	52		P13_2			RXD0			AN2	
3 [5]	2	63	1		P13_1			TXD0			AN1/DA1	
4 [6]	3	64	2	WKUP1 (注3)	P13_0						AN0/DA0	
5 [7]	4	1	3	WKUP0								
6 [8]	5	2	4	VREF								
7 [9]	6	3	5	MODE								
8 [10]	7	4	6	XCIN								
9 [11]	8	5	7	XCOUT								
10 [12]	9	6	8	RESET								
11 [13]	10	7	9	XOUT	P12_1							
12 [14]	11	8	10	VSS/ AVSS								
13 [15]	12	9	11	XIN	P12_0							
14 [16]	13	10	12	VCC/ AVCC								
15 [17]	14	11			P11_7	(INT7)	TREO				(ADTRG)	
16 [18]	15	12			P11_6	(INT6)	TRBO					
17 [19]	16	13			P11_5	(INT5)	TRA0					
18 [20]	17	14	13		P11_4	(INT4)	TRAIO	(RXD0)				
19 [21]	18	15	14		P11_3	(INT3)		(CTS2/RTS2)	SCS		IVCMP3	
20 [22]	19	16	15		P11_2	(INT2)		(RXD2/SCL2/ TXD2/SDA2)	SSO	SDA	IVREF3	
21 [23]	20	17	16		P11_1	(INT1)		(RXD2/SCL2/ TXD2/SDA2)	SSI		IVCMP1	
22 [24]	21	18	17		P11_0	(INT0)		(CLK2)	SSCK	SCL	IVREF1	
23 [25]					P10_7	(KI7)	(TRDIOD1)					
24 [26]					P10_6	(KI6)	(TRDIOD1)					
25 [27]					P10_5	(KI5)	(TRDIOD1)					
26 [28]					P10_4	(KI4)	(TRDIOD1)					
27 [29]					P10_3	(KI3)	(TRDIOD0)					
28 [30]					P10_2	(KI2)	(TRDIOD0)					
29 [31]					P10_1	(KI1)	(TRDIOD0)					
30 [32]					P10_0	(KI0)	(TRDIOA0/ TRDCLK)					
31 [33]	22	19	18		P7_7							COM0
32 [34]	23	20	19		P7_6							COM1
33 [35]	24	21	20		P7_5							COM2
34 [36]	25	22	21		P7_4							COM3
35 [37]	26	23			P7_3							SEG55/ COM4
36 [38]	27	24			P7_2							SEG54/ COM5
37 [39]	28	25			P7_1							SEG53/ COM6
38 [40]	29	26			P7_0							SEG52/ COM7
39 [41]	30				P6_7		TRDIOD1					SEG51

注1. プログラムで()の端子に配置できます。

注2. []は100P6Fパッケージを示します。

注3. R8C/L35A、R8C/L35B、R8C/L36AおよびR8C/L36BグループにはWKUP1端子がありません。

表 1.17 ピン番号別端子名一覧(2)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AA L3AB (注2)	L38A L38B	L36A L36B	L35A L35B			割り込み	タイマ	シリアルイン タフェース	SSU	I <sup>2</sup> Cバス	A/Dコンバータ D/Aコンバータ コンパレータB	LCD駆動 制御回路
40 [42]	31				P6_6		TRDIOC1					SEG50
41 [43]	32				P6_5		TRDIOB1					SEG49
42 [44]	33				P6_4		TRDIOA1					SEG48
43 [45]	34				P6_3		TRDIOD0					SEG47
44 [46]	35				P6_2		TRDIOC0					SEG46
45 [47]	36				P6_1		TRDIOB0					SEG45
46 [48]	37				P6_0		TRDIOA0/ TRDCLK					SEG44
47 [49]					P5_3							SEG43
48 [50]					P5_2							SEG42
49 [51]					P5_1							SEG41
50 [52]					P5_0							SEG40
51 [53]	38	27	22		P4_7		TRCIOD/ TRCIOB					SEG39
52 [54]	39	28	23		P4_6		TRCIOA/ TRCIOB					SEG38
53 [55]	40	29	24		P4_5		TRCIOB					SEG37
54 [56]	41	30	25		P4_4		TRCIOA/ TRCTRГ					SEG36
55 [57]	42	31	26		P4_3		TRCCLK/ TRCTRГ					SEG35
56 [58]	43	32	27		P4_2				CLK1			SEG34
57 [59]	44	33	28		P4_1				RXD1			SEG33
58 [60]	45	34	29		P4_0				TXD1			SEG32
59 [61]	46	35			P3_7	$\overline{\text{INT7}}$	TRCTRГ				$\overline{\text{ADTRG}}$	SEG31
60 [62]	47	36			P3_6	$\overline{\text{INT6}}$						SEG30
61 [63]	48	37			P3_5	$\overline{\text{INT5}}$						SEG29
62 [64]	49	38			P3_4	$\overline{\text{INT4}}$						SEG28
63 [65]	50	39	30		P3_3	$\overline{\text{INT3}}$						SEG27
64 [66]	51	40	31		P3_2	$\overline{\text{INT2}}$						SEG26
65 [67]	52	41	32		P3_1	$\overline{\text{INT1}}$						SEG25
66 [68]	53	42	33		P3_0	$\overline{\text{INT0}}$						SEG24
67 [69]	54	43	34		P2_7	$\overline{\text{KI7}}$						SEG23
68 [70]	55	44	35		P2_6	$\overline{\text{KI6}}$						SEG22
69 [71]	56	45	36		P2_5	$\overline{\text{KI5}}$						SEG21
70 [72]	57	46	37		P2_4	$\overline{\text{KI4}}$						SEG20
71 [73]	58				P2_3	$\overline{\text{KI3}}$						SEG19
72 [74]	59				P2_2	$\overline{\text{KI2}}$						SEG18
73 [75]	60				P2_1	$\overline{\text{KI1}}$						SEG17
74 [76]	61				P2_0	$\overline{\text{KI0}}$						SEG16 (注4)
75 [77]					P1_7							SEG15
76 [78]					P1_6							SEG14
77 [79]					P1_5							SEG13
78 [80]					P1_4							SEG12
79 [81]	62				P1_3					AN15		SEG11
80 [82]	63				P1_2					AN14		SEG10
81 [83]	64				P1_1					AN13		SEG9
82 [84]	65				P1_0					AN12		SEG8
83 [85]	66	47	38		P0_7					AN11 (注3)		SEG7 (注5)
84 [86]	67	48	39		P0_6					AN10 (注3)		SEG6 (注5)
85 [87]	68	49	40		P0_5					AN9		SEG5

注1. プログラムで( )の端子に配置できます。

注2. [ ]は100P6Fパッケージを示します。

注3. R8C/L35A、R8C/L35B、R8C/L36AおよびR8C/L36BグループにはAN10、AN11端子がありません。

注4. R8C/L38A、R8C/L38BグループにはSEG16端子がありません。

注5. R8C/L35A、R8C/L35B、R8C/L36AおよびR8C/L36BグループにはSEG6、SEG7端子がありません。

表 1.18 ピン番号別端子名一覧(3)

ピン番号				制御端子	ポート	周辺機能の入出力端子						
L3AA L3AB (注2)	L38A L38B	L36A L36B	L35A L35B			割り込み	タイマ	シリアルインタ フェース	SSU	I <sup>2</sup> Cバス	A/Dコンバータ D/Aコンバータ コンパレータB	LCD駆動 制御回路
86 [88]	69	50	41		P0_4					AN8	SEG4	
87 [89]	70	51	42		P0_3					AN7	SEG3	
88 [90]	71	52	43		P0_2					AN6	SEG2	
89 [91]	72	53	44		P0_1					AN5	SEG1	
90 [92]	73	54	45		P0_0					AN4	SEG0	
91 [93]	74	55	46								VL1	
92 [94]	75	56	47								VL2	
93 [95]	76	57									VL3	
94 [96]	77	58	48		P12_3						CL2	
95 [97]	78	59	49		P12_2						CL1	
96 [98]	79	60	50								VL4	
97 [99]					P13_7		TRGCLKB			AN19		
98 [100]					P13_6		TRGIOB			AN18		
99 [1]					P13_5		TRGCLKA			AN17		
100 [2]					P13_4		TRGIOA			AN16		

注1. プログラムで()の端子に配置できます。

注2. []は100P6Fパッケージを示します。



## 1.5 端子機能の説明

表 1.19 ~ 表 1.20 に端子機能の説明を示します。

表 1.19 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC VSS	-	VCCには、1.8V ~ 5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	-	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
パワーオフモード解除入力	WKUP0	入力	パワーオフモード時に使用するモード解除入力です。パワーオフモードを使用しないときはVSSに接続してください。
	WKUP1	入力	パワーオフモード時に使用するモード解除入力です。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCOUTクロック出力	XCOUT	出力	
INT割り込み入力	INT0 ~ INT7	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0 ~ KI7	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRA0	出力	タイマRAの出力です。
タイマRB	TRB0	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTRG	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRD	TRDIOA0、TRDIOA1、TRDIOB0、TRDIOB1、TRDIOC0、TRDIOC1、TRDIOD0、TRDIOD1	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TRE0	出力	分周クロック出力です。
タイマRG	TRGCLKA、TRGCLKB	入力	タイマRGの入力端子です。
	TRGIOA、TRGIOB	入出力	タイマRGの入出力です。
シリアルインタフェース	CLK0、CLK1、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD1、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD1、TXD2	出力	シリアルデータ出力です。
	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	SCL2	入出力	I <sup>2</sup> Cモードのクロック入出力です。
SDA2	入出力	I <sup>2</sup> Cモードのデータ入出力です。	

注1. 発振特性は発振メーカーに問い合わせてください。

表 1.20 端子機能の説明(2)

分類	端子名	入出力	機能
I <sup>2</sup> Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/DコンバータおよびD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN19	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	AD外部トリガ入力です。
D/Aコンバータ	DA0 ~ DA1	出力	D/Aコンバータの出力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
入出力ポート	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_3, P6_0 ~ P6_7, P7_0 ~ P7_7, P10_0 ~ P10_7, P11_0 ~ P11_7, P12_0 ~ P12_3, P13_0 ~ P13_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP10_0 ~ P10_7、P11_0 ~ P11_7は、LED駆動ポートとして使用できます。
セグメント出力	SEG0 ~ SEG55	出力	LCDセグメント出力端子です。
コモン出力	COM0 ~ COM7	出力	LCDコモン出力端子です。
昇圧用容量接続端子	CL1、CL2	出力	LCD制御昇圧回路用コンデンサの接続端子です。
LCD用電源	VL1	入出力	0 VL1 VL2 VL3 VL4の電圧を印加してください。
	VL2 ~ VL4	入力	VL1は昇圧設定時に基準電位入力または出力端子として使用できます。

注1. 発振特性は発振メーカーにお問い合わせください。

## 2. 中央演算処理装置(CPU)

図 2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

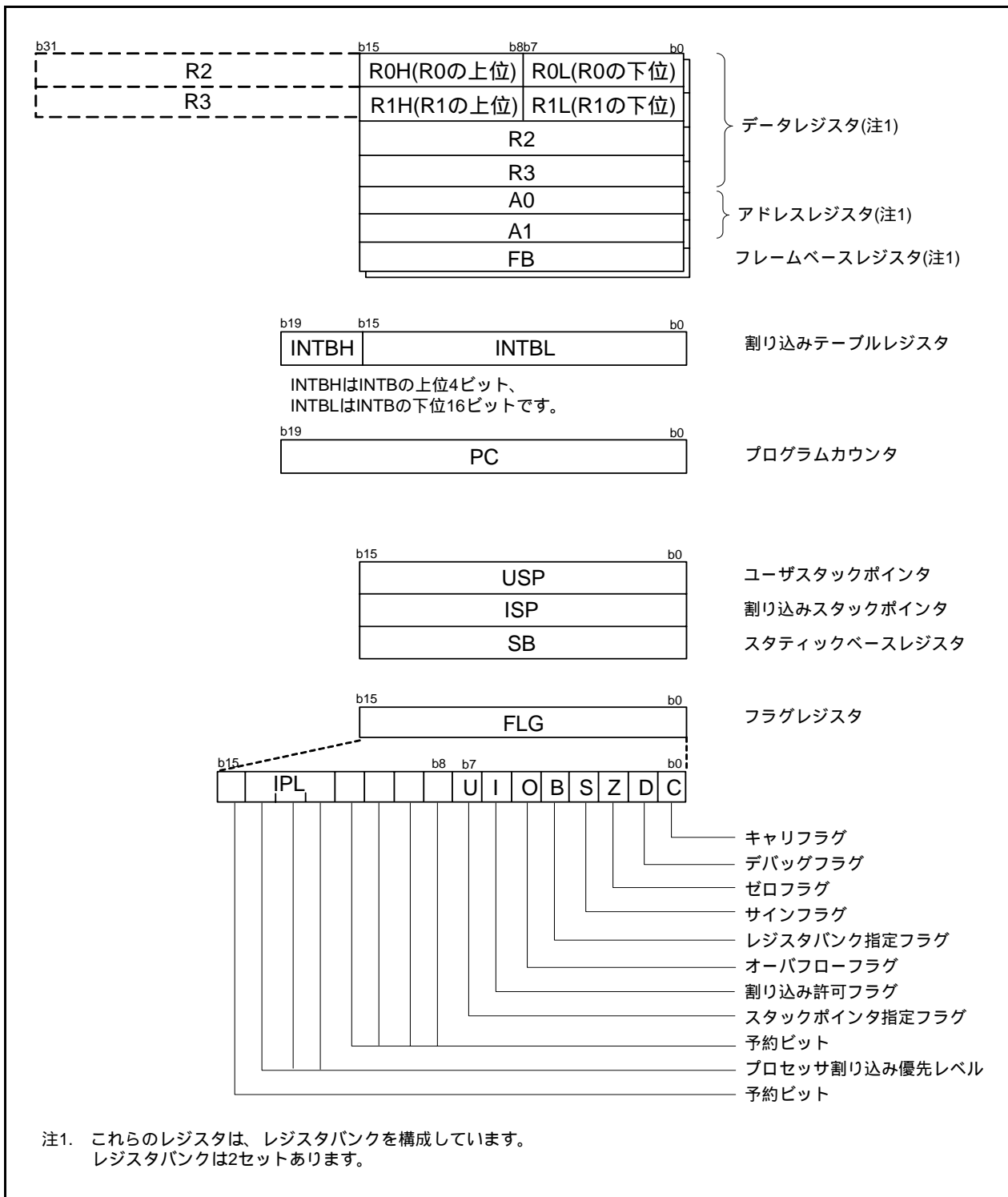


図 2.1 CPUのレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できません。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

### 3. メモリ

図3.1に各グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から002FFh番地と、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

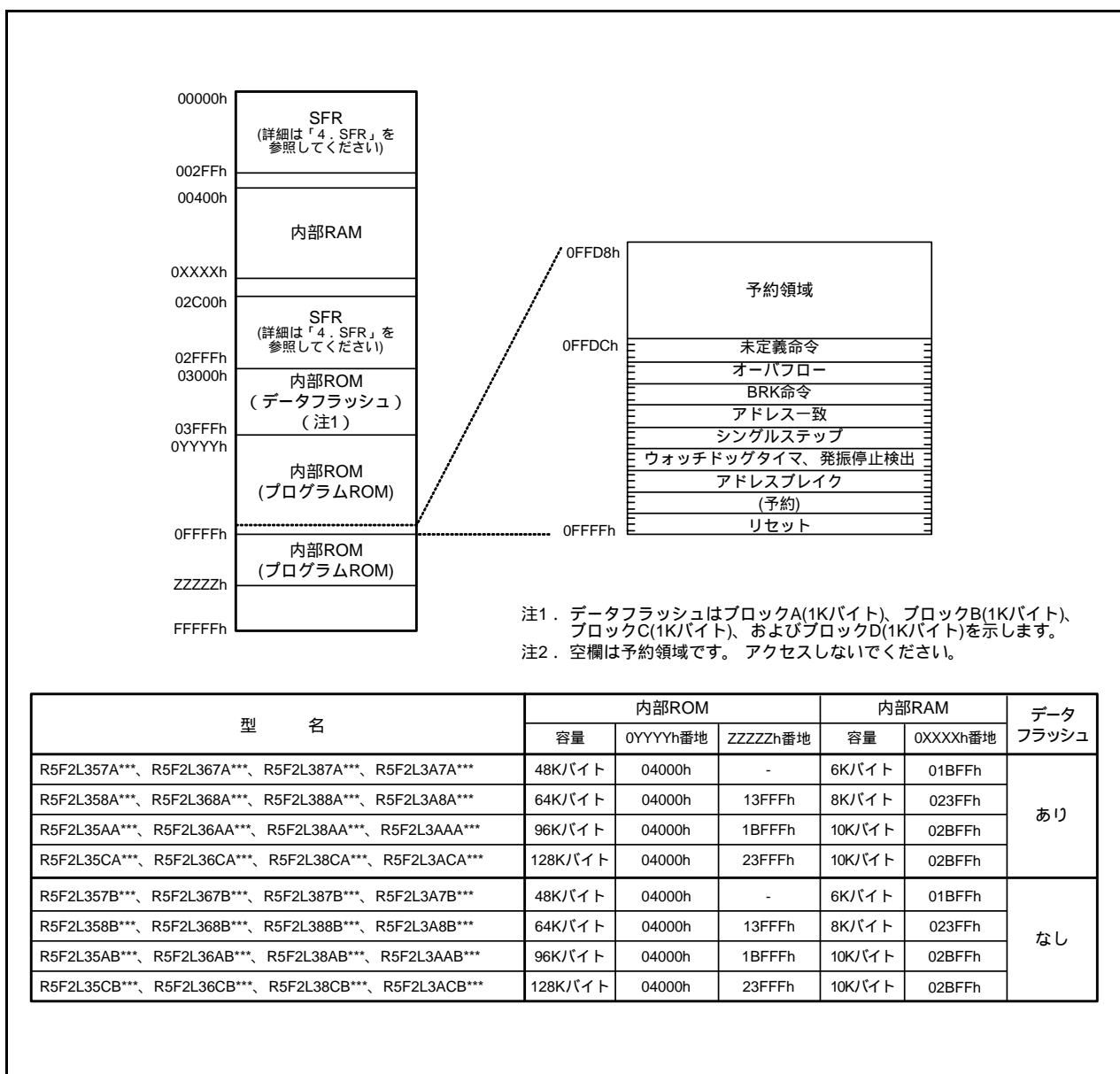


図3.1 メモリ配置図

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.16にSFR一覧表を、表4.17にIDコード領域、オプション機能選択領域示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00100000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	XXh (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h	パワーオフモード制御レジスタ0	POMCRO	X0000000b
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h	電圧検出レジスタ2	VCA2	00h
0035h			
0036h			
0037h			
0038h			
0039h			

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後、およびパワーオフモード解除後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h	INT7割り込み制御レジスタ	INT7IC	XX00X000b
0044h	INT6割り込み制御レジスタ	INT6IC	XX00X000b
0045h	INT5割り込み制御レジスタ	INT5IC	XX00X000b
0046h	INT4割り込み制御レジスタ	INT4IC	XX00X000b
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	タイマRG割り込み制御レジスタ	TRGIC	XXXXX000b
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。  
注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。



表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	DTC起動制御レジスタ	DTCTL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	00h
0089h	DTC起動許可レジスタ1	DTCEN1	00h
008Ah	DTC起動許可レジスタ2	DTCEN2	00h
008Bh	DTC起動許可レジスタ3	DTCEN3	00h
008Ch	DTC起動許可レジスタ4	DTCEN4	00h
008Dh	DTC起動許可レジスタ5	DTCEN5	00h
008Eh	DTC起動許可レジスタ6	DTCEN6	00h
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2送受信モードレジスタ	U2MR	00h
00A9h	UART2ビットレートレジスタ	U2BRG	XXh
00AAh	UART2送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2送受信制御レジスタ0	U2C0	00001000b
00ADh	UART2送受信制御レジスタ1	U2C1	00000010b
00AEh	UART2受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	00h
00BCh	UART2特殊モードレジスタ4	U2SMR4	00h
00BDh	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
00BEh	UART2特殊モードレジスタ2	U2SMR2	X0000000b
00BFh	UART2特殊モードレジスタ	U2SMR	X0000000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ0	AD0	XXh
00C1h			000000XXb
00C2h	A/D レジスタ1	AD1	XXh
00C3h			000000XXb
00C4h	A/D レジスタ2	AD2	XXh
00C5h			000000XXb
00C6h	A/D レジスタ3	AD3	XXh
00C7h			000000XXb
00C8h	A/D レジスタ4	AD4	XXh
00C9h			000000XXb
00CAh	A/D レジスタ5	AD5	XXh
00CBh			000000XXb
00CCh	A/D レジスタ6	AD6	XXh
00CDh			000000XXb
00CEh	A/D レジスタ7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D モードレジスタ	ADMOD	00h
00D5h	A/D 入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D 制御レジスタ0	ADCON0	00h
00D7h	A/D 制御レジスタ1	ADCON1	00h
00D8h	D/A 0 レジスタ	DA0	00h
00D9h	D/A 1 レジスタ	DA1	00h
00DAh			
00DBh			
00DCh	D/A 制御レジスタ	DACON	00h
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h	ポートP2レジスタ	P2	XXh
00E5h	ポートP3レジスタ	P3	XXh
00E6h	ポートP2方向レジスタ	PD2	00h
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h	ポートP5レジスタ	P5	XXh
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh	ポートP5方向レジスタ	PD5	00h
00ECh	ポートP6レジスタ	P6	XXh
00EDh	ポートP7レジスタ	P7	XXh
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh	ポートP7方向レジスタ	PD7	00h
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポートP10レジスタ	P10	XXh
00F5h	ポートP11レジスタ	P11	XXh
00F6h	ポートP10方向レジスタ	PD10	00h
00F7h	ポートP11方向レジスタ	PD11	00h
00F8h	ポートP12レジスタ	P12	XXh
00F9h	ポートP13レジスタ	P13	XXh
00FAh	ポートP12方向レジスタ	PD12	00h
00FBh	ポートP13方向レジスタ	PD13	00h
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。  
X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h	LINコントロールレジスタ2	LINCR2	00h
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/タイマREカウンタデータレジスタ	TRESEC	XXh
0119h	タイマRE分データレジスタ/タイマREコンペアデータレジスタ	TREMIN	XXh
011Ah	タイマRE時データレジスタ	TREHR	XXh
011Bh	タイマRE曜日データレジスタ	TREWK	XXh
011Ch	タイマRE制御レジスタ1	TRECR1	XXXXX0XXb
011Dh	タイマRE制御レジスタ2	TRECR2	XXh
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h
0127h			00h
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh
0129h			FFh
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh
012Bh			FFh
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh
012Dh			FFh
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh
012Fh			FFh
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h	タイマRCトリガ制御レジスタ	TRCADCR	00h
0134h			
0135h	タイマRD拡張制御レジスタ	TRDECR	00h
0136h	タイマRDトリガ制御レジスタ	TRDADCR	00h
0137h	タイマRDスタートレジスタ	TRDSTR	11111100b
0138h	タイマRDモードレジスタ	TRDMR	00001110b
0139h	タイマRD PWMモードレジスタ	TRDPMR	10001000b
013Ah	タイマRD機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマRDアウトプットマスタ許可レジスタ1	TRDOER1	FFh
013Ch	タイマRDアウトプットマスタ許可レジスタ2	TRDOER2	01111111b
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	00h
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。  
X: 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマRD制御レジスタ0	TRDCR0	00h
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	10001000b
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	10001000b
0143h	タイマRDステータスレジスタ0	TRDSR0	11100000b
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	11100000b
0145h	タイマRD PWMモードアウトプットレベル制御レジスタ0	TRDPOCR0	11111000b
0146h	タイマRDカウンタ0	TRD0	00h
0147h			00h
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマRD制御レジスタ1	TRDCR1	00h
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	10001000b
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	10001000b
0153h	タイマRDステータスレジスタ1	TRDSR1	11000000b
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	11100000b
0155h	タイマRD PWMモードアウトプットレベル制御レジスタ1	TRDPOCR1	11111000b
0156h	タイマRDカウンタ1	TRD1	00h
0157h			00h
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	FFh
015Fh			FFh
0160h	UART1送受信モードレジスタ	U1MR	00h
0161h	UART1ビットレートレジスタ	U1BRG	XXh
0162h	UART1送信バッファレジスタ	U1TB	XXh
0163h			XXh
0164h	UART1送受信制御レジスタ0	U1C0	00001000b
0165h	UART1送受信制御レジスタ1	U1C1	00000010b
0166h	UART1受信バッファレジスタ	U1RB	XXh
0167h			XXh
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h	タイマRGモードレジスタ	TRGMR	01000000b
0171h	タイマRGカウント制御レジスタ	TRGCNTC	00h
0172h	タイマRG制御レジスタ	TRGCR	10000000b
0173h	タイマRG割り込み許可レジスタ	TRGIER	11110000b
0174h	タイマRGステータスレジスタ	TRGSR	11100000b
0175h	タイマRG I/O制御レジスタ	TRGIOR	00h
0176h	タイマRGカウンタ	TRG	00h
0177h			00h
0178h	タイマRGジェネラルレジスタA	TRGGRA	FFh
0179h			FFh
017Ah	タイマRGジェネラルレジスタB	TRGGRB	FFh
017Bh			FFh
017Ch	タイマRGジェネラルレジスタC	TRGGRC	FFh
017Dh			FFh
017Eh	タイマRGジェネラルレジスタD	TRGGRD	FFh
017Fh			FFh

注1. 空欄は予約領域です。アクセスしないでください。  
X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマRA端子選択レジスタ	TRASR	00h
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	00h
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h	タイマRD端子選択レジスタ0	TRDPSR0	00h
0185h	タイマRD端子選択レジスタ1	TRDPSR1	00h
0186h			
0187h	タイマRG端子選択レジスタ	TRGPSR	00h
0188h	UART0端子選択レジスタ	U0SR	00h
0189h	UART1端子選択レジスタ	U1SR	00h
018Ah	UART2端子選択レジスタ0	U2SR0	00h
018Bh	UART2端子選択レジスタ1	U2SR1	00h
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	00h
018Dh	キー入力端子選択レジスタ	KISR	00h
018Eh	INT割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH (注2)	SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH (注2)	SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	01111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00010000b/00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSER/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ (注2)	SSMR2/SAR	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。  
注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh
01C1h			XXh
01C2h			0000XXXXb
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ1	RMAD1	XXh
01C5h			XXh
01C6h			0000XXXXb
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	00h
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ポートP0ブルアップ制御レジスタ	P0PUR	00h
01E1h	ポートP1ブルアップ制御レジスタ	P1PUR	00h
01E2h	ポートP2ブルアップ制御レジスタ	P2PUR	00h
01E3h	ポートP3ブルアップ制御レジスタ	P3PUR	00h
01E4h	ポートP4ブルアップ制御レジスタ	P4PUR	00h
01E5h	ポートP5ブルアップ制御レジスタ	P5PUR	00h
01E6h	ポートP6ブルアップ制御レジスタ	P6PUR	00h
01E7h	ポートP7ブルアップ制御レジスタ	P7PUR	00h
01E8h			
01E9h			
01EAh	ポートP10ブルアップ制御レジスタ	P10PUR	00h
01EBh	ポートP11ブルアップ制御レジスタ	P11PUR	00h
01ECh	ポートP12ブルアップ制御レジスタ	P12PUR	00h
01EDh	ポートP13ブルアップ制御レジスタ	P13PUR	00h
01EEh			
01EFh			
01F0h	ポートP10駆動能力制御レジスタ	P10DRR	00h
01F1h	ポートP11駆動能力制御レジスタ	P11DRR	00h
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	00h
01F6h	入力しきい値制御レジスタ1	VLT1	00h
01F7h	入力しきい値制御レジスタ2	VLT2	00h
01F8h	コンパレータB制御レジスタ0	INTCMP	00h
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	00h
01FBh	外部入力許可レジスタ1	INTEN1	00h
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h
01FDh	INT入力フィルタ選択レジスタ1	INTF1	00h
01FEh	キー入力許可レジスタ0	KIEN	00h
01FFh	キー入力許可レジスタ1	KIEN1	00h

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
0200h	LCD制御レジスタ	LCR0	00h
0201h	LCDバイアス制御レジスタ	LCR1	00h
0202h	LCD表示制御レジスタ	LCR2	X0000000b
0203h	LCDクロック制御レジスタ	LCR3	00h
0204h			
0205h			
0206h	LCDポート選択レジスタ0	LSE0	00h
0207h	LCDポート選択レジスタ1	LSE1	00h
0208h	LCDポート選択レジスタ2	LSE2	00h
0209h	LCDポート選択レジスタ3	LSE3	00h
020Ah	LCDポート選択レジスタ4	LSE4	00h
020Bh	LCDポート選択レジスタ5	LSE5	00h
020Ch	LCDポート選択レジスタ6	LSE6	00h
020Dh	LCDポート選択レジスタ7	LSE7	00h
020Eh			
020Fh			
0210h	LCD表示データレジスタ	LRA0L	XXh
0211h		LRA1L	XXh
0212h		LRA2L	XXh
0213h		LRA3L	XXh
0214h		LRA4L	XXh
0215h		LRA5L	XXh
0216h		LRA6L	XXh
0217h		LRA7L	XXh
0218h		LRA8L	XXh
0219h		LRA9L	XXh
021Ah		LRA10L	XXh
021Bh		LRA11L	XXh
021Ch		LRA12L	XXh
021Dh		LRA13L	XXh
021Eh		LRA14L	XXh
021Fh		LRA15L	XXh
0220h		LRA16L	XXh
0221h		LRA17L	XXh
0222h		LRA18L	XXh
0223h		LRA19L	XXh
0224h		LRA20L	XXh
0225h		LRA21L	XXh
0226h		LRA22L	XXh
0227h		LRA23L	XXh
0228h		LRA24L	XXh
0229h		LRA25L	XXh
022Ah		LRA26L	XXh
022Bh		LRA27L	XXh
022Ch		LRA28L	XXh
022Dh		LRA29L	XXh
022Eh		LRA30L	XXh
022Fh		LRA31L	XXh
0230h		LRA32L	XXh
0231h		LRA33L	XXh
0232h		LRA34L	XXh
0233h		LRA35L	XXh
0234h		LRA36L	XXh
0235h		LRA37L	XXh
0236h		LRA38L	XXh
0237h		LRA39L	XXh
0238h		LRA40L	XXh
0239h		LRA41L	XXh
023Ah		LRA42L	XXh
023Bh		LRA43L	XXh
023Ch		LRA44L	XXh
023Dh		LRA45L	XXh
023Eh		LRA46L	XXh
023Fh		LRA47L	XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
0240h	LCD表示データレジスタ	LRA48L	XXh
0241h		LRA49L	XXh
0242h		LRA50L	XXh
0243h		LRA51L	XXh
0244h		LRA52L	XXh
0245h		LRA53L	XXh
0246h		LRA54L	XXh
0247h		LRA55L	XXh
0248h		LRA56L	XXh
0249h		LRA57L	XXh
024Ah		LRA58L	XXh
024Bh		LRA59L	XXh
024Ch		LRA60L	XXh
024Dh		LRA61L	XXh
024Eh		LRA62L	XXh
024Fh		LRA63L	XXh
0250h		LRA64L	XXh
0251h		LRA65L	XXh
0252h		LRA66L	XXh
0253h		LRA67L	XXh
0254h		LRA68L	XXh
0255h		LRA69L	XXh
0256h		LRA70L	XXh
0257h		LRA71L	XXh
0258h		LRA72L	XXh
0259h		LRA73L	XXh
025Ah		LRA74L	XXh
025Bh		LRA75L	XXh
025Ch		LRA76L	XXh
025Dh		LRA77L	XXh
025Eh		LRA78L	XXh
025Fh		LRA79L	XXh
0260h		LRA80L	XXh
0261h		LRA81L	XXh
0262h		LRA82L	XXh
0263h		LRA83L	XXh
0264h	LRA84L	XXh	
0265h	LRA85L	XXh	
0266h	LRA86L	XXh	
0267h	LRA87L	XXh	
0268h	LRA88L	XXh	
0269h	LRA89L	XXh	
026Ah	LRA90L	XXh	
026Bh	LRA91L	XXh	
026Ch	LRA92L	XXh	
026Dh	LRA93L	XXh	
026Eh	LRA94L	XXh	
026Fh	LRA95L	XXh	
0270h	LCD表示制御データレジスタ	LRA0H	XXh
0271h		LRA1H	XXh
0272h		LRA2H	XXh
0273h		LRA3H	XXh
0274h		LRA4H	XXh
0275h		LRA5H	XXh
0276h		LRA6H	XXh
0277h		LRA7H	XXh
0278h		LRA8H	XXh
0279h		LRA9H	XXh
027Ah		LRA10H	XXh
027Bh		LRA11H	XXh
027Ch		LRA12H	XXh
027Dh		LRA13H	XXh
027Eh		LRA14H	XXh
027Fh	LRA15H	XXh	

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。



表4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
0280h	LCD表示制御データレジスタ	LRA16H	XXh
0281h		LRA17H	XXh
0282h		LRA18H	XXh
0283h		LRA19H	XXh
0284h		LRA20H	XXh
0285h		LRA21H	XXh
0286h		LRA22H	XXh
0287h		LRA23H	XXh
0288h		LRA24H	XXh
0289h		LRA25H	XXh
028Ah		LRA26H	XXh
028Bh		LRA27H	XXh
028Ch		LRA28H	XXh
028Dh		LRA29H	XXh
028Eh		LRA30H	XXh
028Fh		LRA31H	XXh
0290h		LRA32H	XXh
0291h		LRA33H	XXh
0292h		LRA34H	XXh
0293h		LRA35H	XXh
0294h		LRA36H	XXh
0295h		LRA37H	XXh
0296h		LRA38H	XXh
0297h		LRA39H	XXh
0298h		LRA40H	XXh
0299h		LRA41H	XXh
029Ah		LRA42H	XXh
029Bh		LRA43H	XXh
029Ch		LRA44H	XXh
029Dh		LRA45H	XXh
029Eh		LRA46H	XXh
029Fh		LRA47H	XXh
02A0h		LRA48H	XXh
02A1h		LRA49H	XXh
02A2h		LRA50H	XXh
02A3h		LRA51H	XXh
02A4h		LRA52H	XXh
02A5h		LRA53H	XXh
02A6h		LRA54H	XXh
02A7h		LRA55H	XXh
02A8h		LRA56H	XXh
02A9h		LRA57H	XXh
02AAh		LRA58H	XXh
02ABh		LRA59H	XXh
02ACh		LRA60H	XXh
02ADh		LRA61H	XXh
02AEh		LRA62H	XXh
02AFh		LRA63H	XXh
02B0h	LRA64H	XXh	
02B1h	LRA65H	XXh	
02B2h	LRA66H	XXh	
02B3h	LRA67H	XXh	
02B4h	LRA68H	XXh	
02B5h	LRA69H	XXh	
02B6h	LRA70H	XXh	
02B7h	LRA71H	XXh	
02B8h	LRA72H	XXh	
02B9h	LRA73H	XXh	
02BAh	LRA74H	XXh	
02BBh	LRA75H	XXh	
02BCh	LRA76H	XXh	
02BDh	LRA77H	XXh	
02BEh	LRA78H	XXh	
02BFh	LRA79H	XXh	

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
02C0h	LCD表示制御データレジスタ	LRA80H	XXh
02C1h		LRA81H	XXh
02C2h		LRA82H	XXh
02C3h		LRA83H	XXh
02C4h		LRA84H	XXh
02C5h		LRA85H	XXh
02C6h		LRA86H	XXh
02C7h		LRA87H	XXh
02C8h		LRA88H	XXh
02C9h		LRA89H	XXh
02CAh		LRA90H	XXh
02CBh		LRA91H	XXh
02CCh		LRA92H	XXh
02CDh		LRA93H	XXh
02CEh		LRA94H	XXh
02CFh		LRA95H	XXh
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			
02E0h			
02E1h			
02E2h			
02E3h			
02E4h			
02E5h			
02E6h			
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh			
02FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.13 SFR一覧(13)(注1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC転送ベクタ領域		XXh
2C01h	DTC転送ベクタ領域		XXh
2C02h	DTC転送ベクタ領域		XXh
2C03h	DTC転送ベクタ領域		XXh
2C04h	DTC転送ベクタ領域		XXh
2C05h	DTC転送ベクタ領域		XXh
2C06h	DTC転送ベクタ領域		XXh
2C07h	DTC転送ベクタ領域		XXh
2C08h	DTC転送ベクタ領域		XXh
2C09h	DTC転送ベクタ領域		XXh
2C0Ah	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
2C3Ah	DTC転送ベクタ領域		XXh
2C3Bh	DTC転送ベクタ領域		XXh
2C3Ch	DTC転送ベクタ領域		XXh
2C3Dh	DTC転送ベクタ領域		XXh
2C3Eh	DTC転送ベクタ領域		XXh
2C3Fh	DTC転送ベクタ領域		XXh
2C40h	DTCコントロールデータ0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTCコントロールデータ1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh
2C50h	DTCコントロールデータ2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTCコントロールデータ3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTCコントロールデータ4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTCコントロールデータ5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.14 SFR一覧(14)(注1)

番地	レジスタ	シンボル	リセット後の値
2C70h	DTCコントロールデータ6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTCコントロールデータ7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTCコントロールデータ8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTCコントロールデータ9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTCコントロールデータ10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh
2C98h	DTCコントロールデータ11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTCコントロールデータ12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTCコントロールデータ13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACH			XXh
2CADh			XXh
2CAEh			XXh
2CAFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.15 SFR一覧(15)(注1)

番地	レジスタ	シンボル	リセット後の値
2CB0h	DTCコントロールデータ14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTCコントロールデータ15	DTCD15	XXh
2CB9h			XXh
2CBAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTCコントロールデータ16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTCコントロールデータ17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTCコントロールデータ18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTCコントロールデータ19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh
2CE0h	DTCコントロールデータ20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTCコントロールデータ21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.16 SFR一覧(16)(注1)

番地	レジスタ	シンボル	リセット後の値
2CF0h	DTCコントロールデータ22	DTCD22	XXh
2CF1h			XXh
2CF2h			XXh
2CF3h			XXh
2CF4h			XXh
2CF5h			XXh
2CF6h			XXh
2CF7h			XXh
2CF8h	DTCコントロールデータ23	DTCD23	XXh
2CF9h			XXh
2CFAh			XXh
2CFBh			XXh
2CFCh			XXh
2CFDh			XXh
2CFEh			XXh
2CFFh			XXh
2D00h			
⋮			
2FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.17 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
⋮			
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
⋮			
FFDFh	ID1		(注2)
⋮			
FFE3h	ID2		(注2)
⋮			
FFEBh	ID3		(注2)
⋮			
FFEFh	ID4		(注2)
⋮			
FFF3h	ID5		(注2)
⋮			
FFF7h	ID6		(注2)
⋮			
FFFBh	ID7		(注2)
⋮			
FFFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。

ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。

ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

## 5. リセット

リセットにはハードウェアリセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。  
表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET 端子の入力電圧が “ L ”
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに “ 1 ” を書く

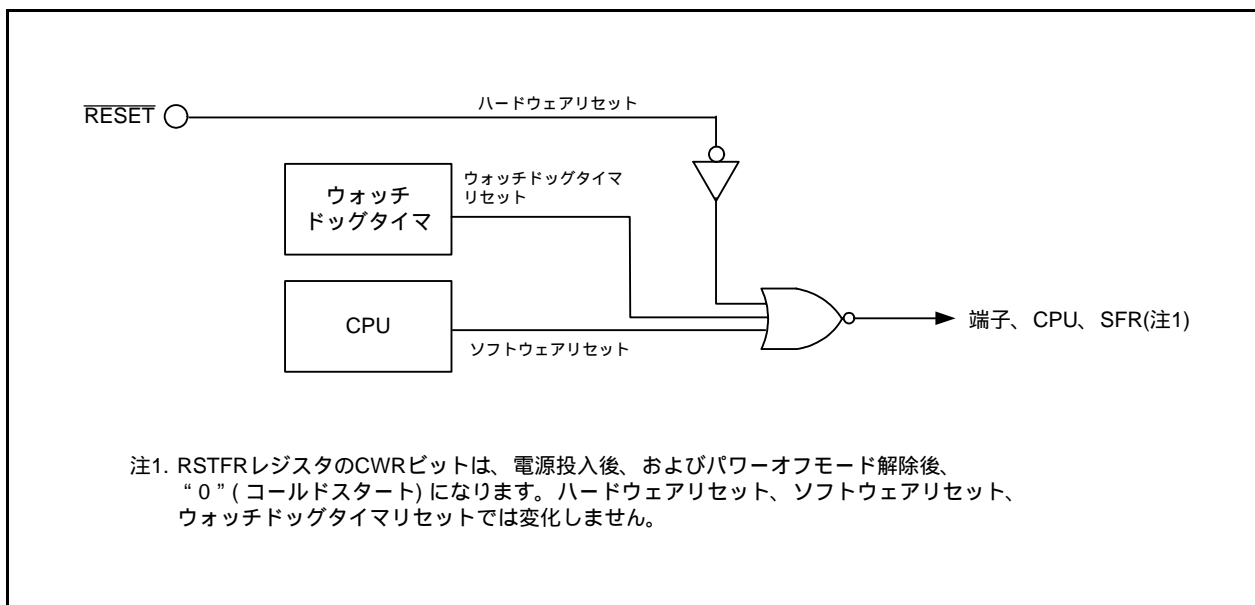


図 5.1 リセット回路のブロック図

表 5.2にRESET端子のレベルが“L”の期間の端子の状態を、図 5.2にリセット後のCPUレジスタの状態を、図 5.3にリセットシーケンスを示します。

表 5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0 ~ P13	ハイインピーダンス
WKUP0	ハイインピーダンス
XCIN、XCOUT	不定
VL1 ~ VL4	ハイインピーダンス

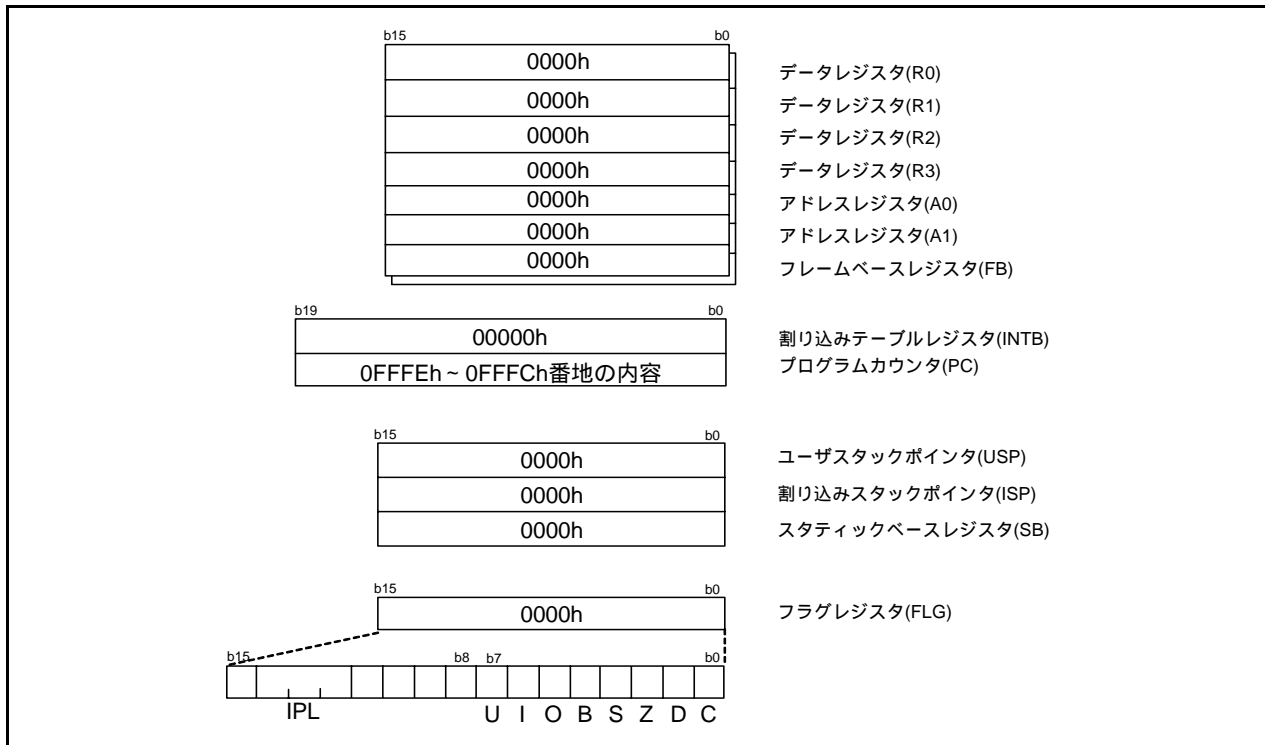
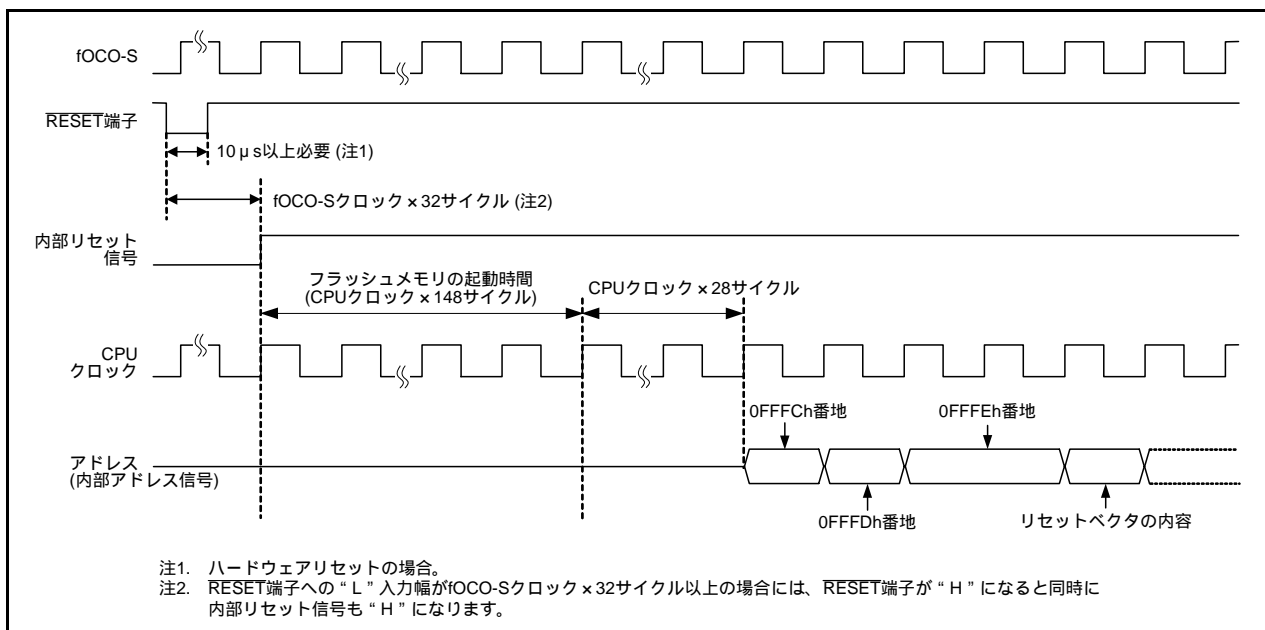


図 5.2 リセット後のCPUレジスタの状態



注1. ハードウェアリセットの場合。  
注2. RESET端子への“L”入力幅がfOCO-Sクロック×32サイクル以上の場合には、RESET端子が“H”になると同時に内部リセット信号も“H”になります。

図 5.3 リセットシーケンス



## 5.1 レジスタの説明

### 5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PM03	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

### 5.1.2 リセット要因判別レジスタ (RSTFR)

アドレス 000Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDR	SWR	HWR	CWR
リセット後の値	X	X	X	X	X	X	X	X (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ(注3)	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	-	予約ビット	読んだ場合、その値は不定。	R
b5	-			
b6	-			
b7	-			

注1. CWR ビットは電源投入後とパワーオフモード解除後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

注3. ハードウェアリセット、または、パワーオフモード解除を検出します。

### 5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI - - - ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	-	予約ビット	“1” にしてください	R/W
b5	-			
b6	-			
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

### 5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

## 5.2 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表 5.2 RESET端子のレベルが“L”の期間の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図 5.4 にハードウェアリセット回路例と動作を、図 5.5 にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

### 5.2.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) 10  $\mu$ s 待つ
- (3) RESET端子に“H”を入力する

### 5.2.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「34. 電気的特性」参照)
- (4) 10  $\mu$ s 待つ
- (5) RESET端子に“H”を入力する

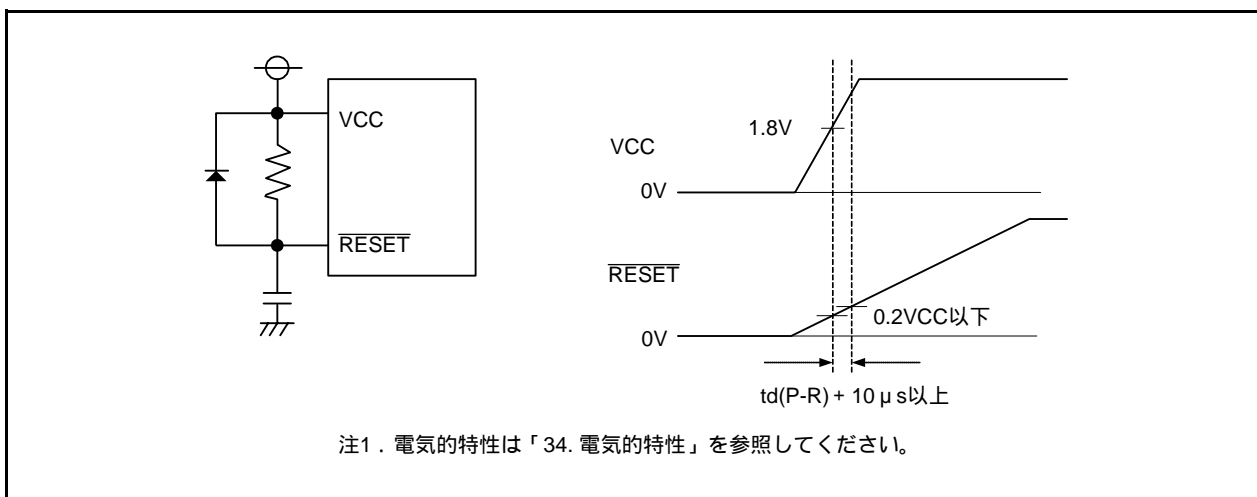


図 5.4 ハードウェアリセット回路例と動作

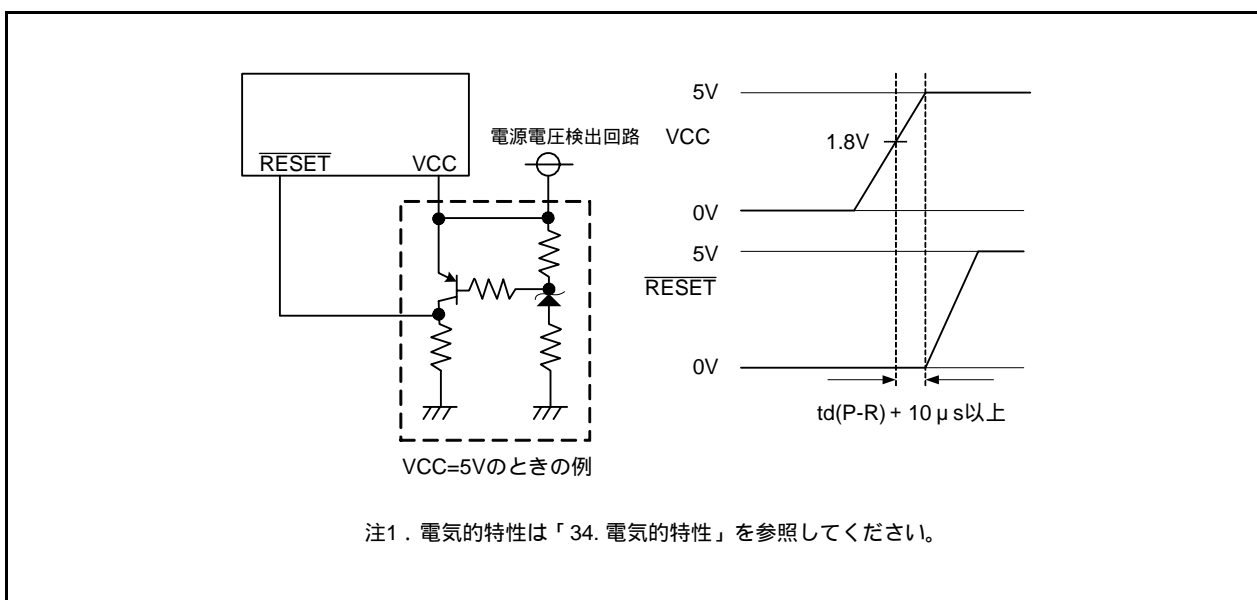


図 5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

### 5.3 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

### 5.4 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

## 5.5 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、パワーオフモード解除でも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

## 5.6 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセット、または、パワーオフモード解除が発生すると、HWRビットが“1”(検出)になります。

ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。

ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。

## 6. I/Oポート

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 6.1 概要

I/Oポートは、LCD駆動制御波形出力用のLCDポートや発振回路、タイマ、A/Dコンバータなどの入出力機能を兼用しています。これらの機能を使用しないときI/Oポートとして使用できます。

表6.1にI/Oポートの概要を示します。

表6.1 I/Oポートの概要

ポート名	入出力形式	入出力設定	内部プルアップ抵抗 (注1)	駆動能力 切り替え(注2)	入力レベル 切り替え(注3)
P0 ~ P4	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で 設定
P5_0 ~ P5_3	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	4ビット単位で 設定
P6、P7	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で 設定
P10、P11	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	1ビット単位で 設定	8ビット単位で 設定
P12_0 ~ P12_3	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	4ビット単位で 設定
P13	入出力CMOS3 ステート	1ビット単位で設定	1ビット単位で設定	なし	8ビット単位で 設定

注1. 入力モード時、P0PUR ~ P13PURレジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P10DRRレジスタおよびP11DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. VLT0レジスタ、VLT1レジスタおよびVLT2レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。



表6.2 グループごとに備えるプログラマブル入出力ポート

プログラマブル 入出力ポート	R8C/L35Aグループ、 R8C/L35Bグループ I/O合計41本								R8C/L36A、グループ R8C/L36Bグループ I/O合計52本								R8C/L38Aグループ、 R8C/L38Bグループ I/O合計68本								R8C/L3AAグループ、 R8C/L3ABグループ I/O合計88本								
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
P0																																	
P1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
P2					-	-	-	-						-	-	-	-																
P3	-	-	-	-																													
P4																																	
P5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
P6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
P7					-	-	-	-																									
P10	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
P11	-	-	-																														
P12	-	-	-	-					-	-	-	-					-	-	-	-					-	-	-	-					
P13	-	-	-	-					-	-	-	-					-	-	-	-					-	-	-	-					

注1. “ ”が搭載するプログラマブル入出力ポートです。

注2. “ - ”は以下のように設定してください。

- ・対応するPDi (i=0~7、10~13)レジスタに“1”を書いてください。読んだ場合、その値は“1”です。
- ・対応するPi (i=0~7、10~13)レジスタに“0”を書いてください。読んだ場合、その値は“0”です。
- ・対応するP10DRR、P11DRRレジスタに“0”を書いてください。読んだ場合、その値は“0”です。

## 6.2 I/Oポートの機能

ポートP0～P7、P10～P13の入出力はPDi (i=0～7、10～13)レジスタのPDi\_j (j=0～7)ビットで制御します。Piレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図6.1～図6.4にI/Oポートの構成を、表6.3にI/Oポートの機能を示します。

表6.3 I/Oポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

注1. i=0～7、10～13、j=0～7

## 6.3 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表1.16～表1.18のピン番号別端子名一覧」を参照してください)。

表6.4に周辺機能の入出力として機能する場合のPDi\_jビットの設定(i=0～7、10～13、j=0～7)を示します。周辺機能の設定方法は、各機能説明を参照してください。

表6.4 周辺機能の入出力として機能する場合のPDi\_jビットの設定(i=0～7、10～13、j=0～7)

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でもよい(ポートの設定に関係なく、出力になる)

## 6.4 I/Oポート以外の端子

図6.5に端子の構成を示します。

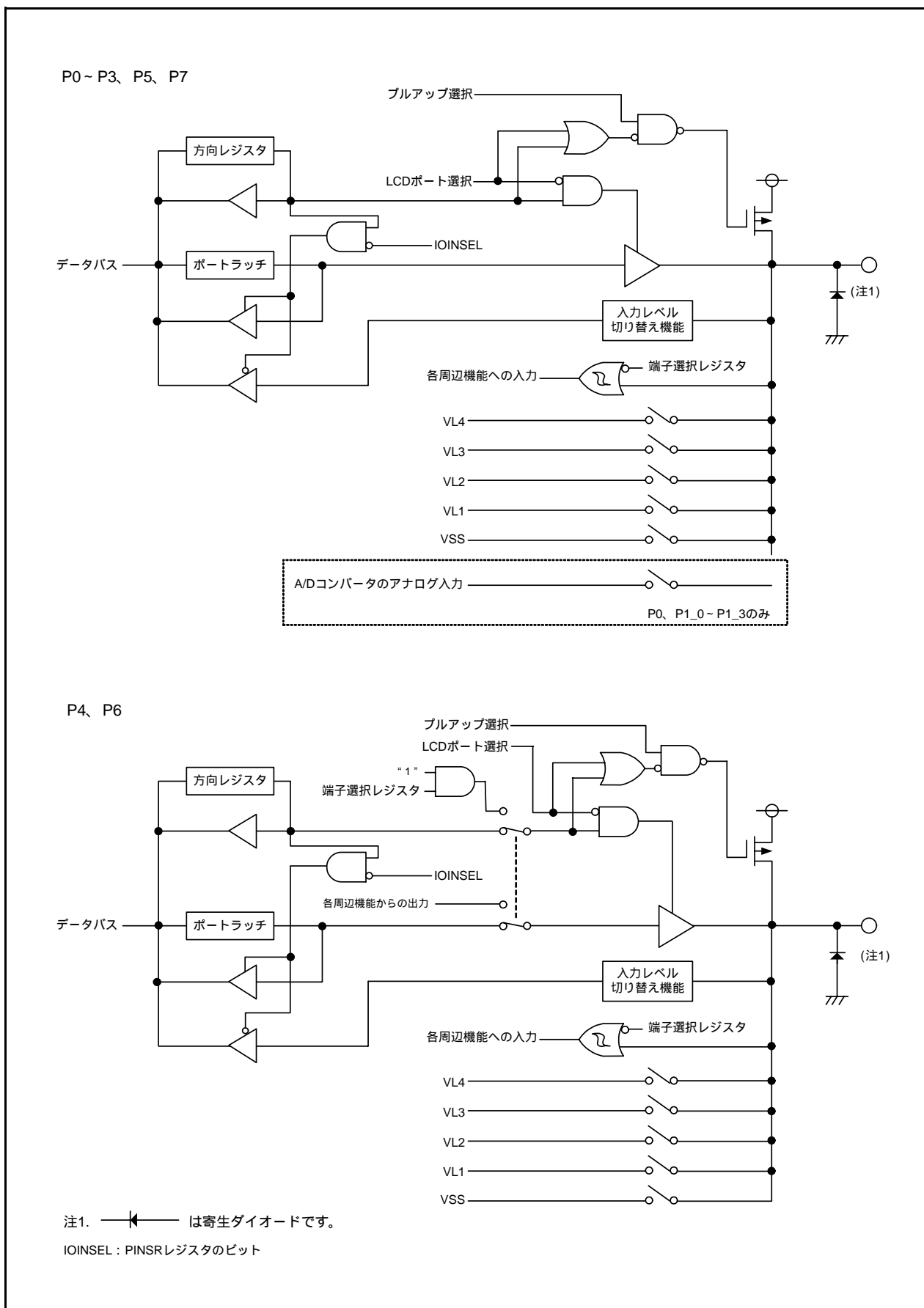


図6.1 I/Oポートの構成(1)

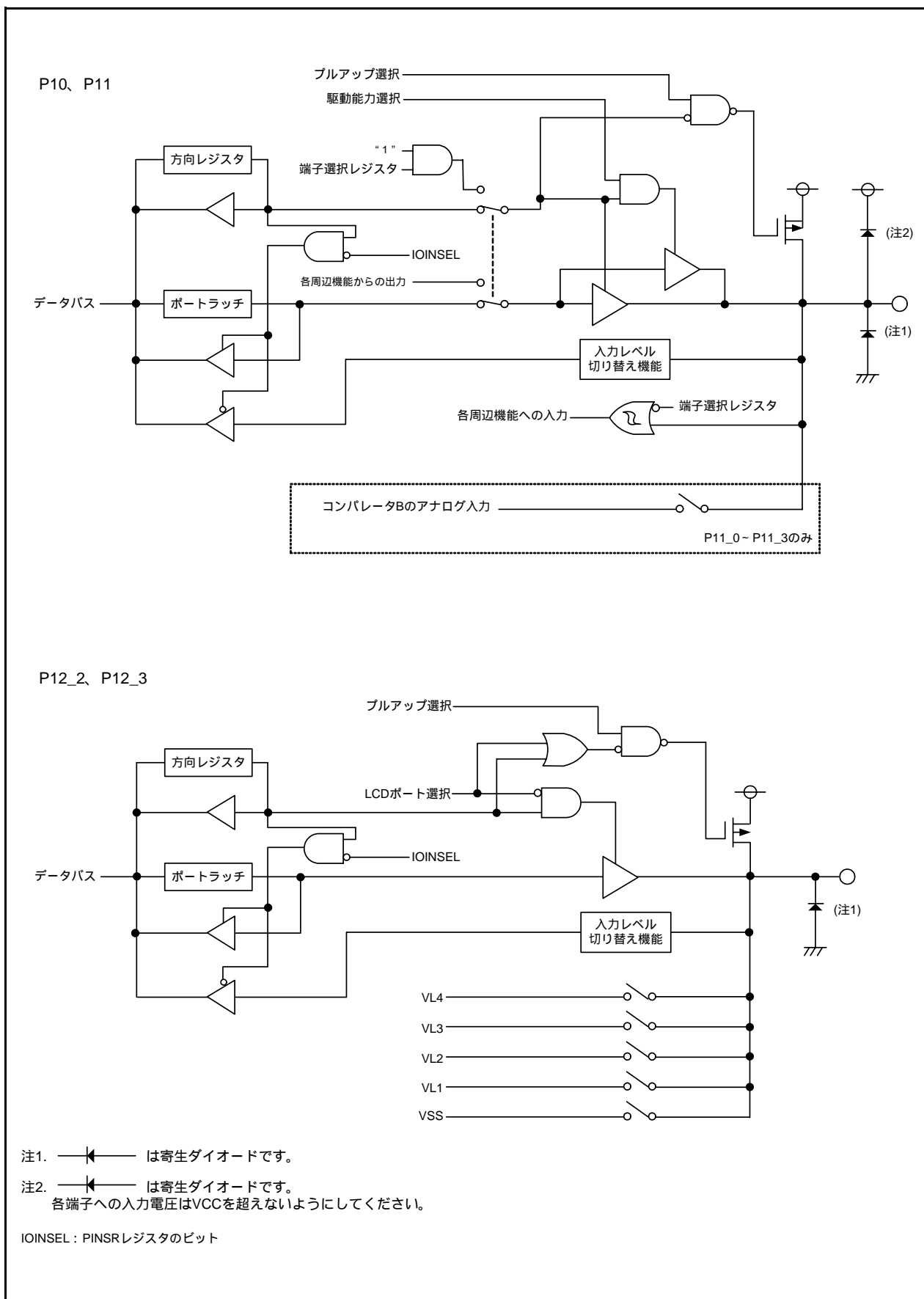


図6.2 I/Oポートの構成(2)

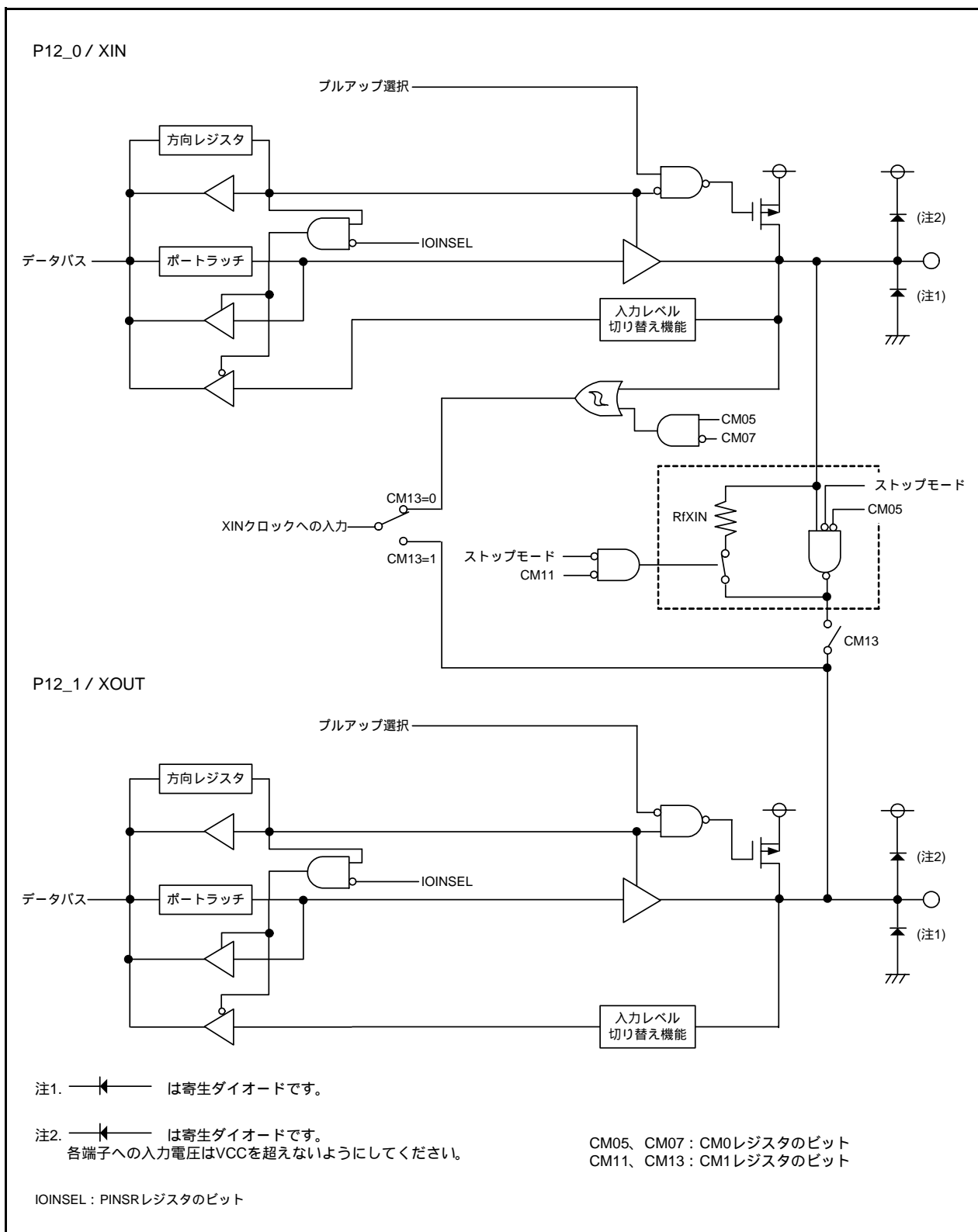


図6.3 I/Oポートの構成(3)

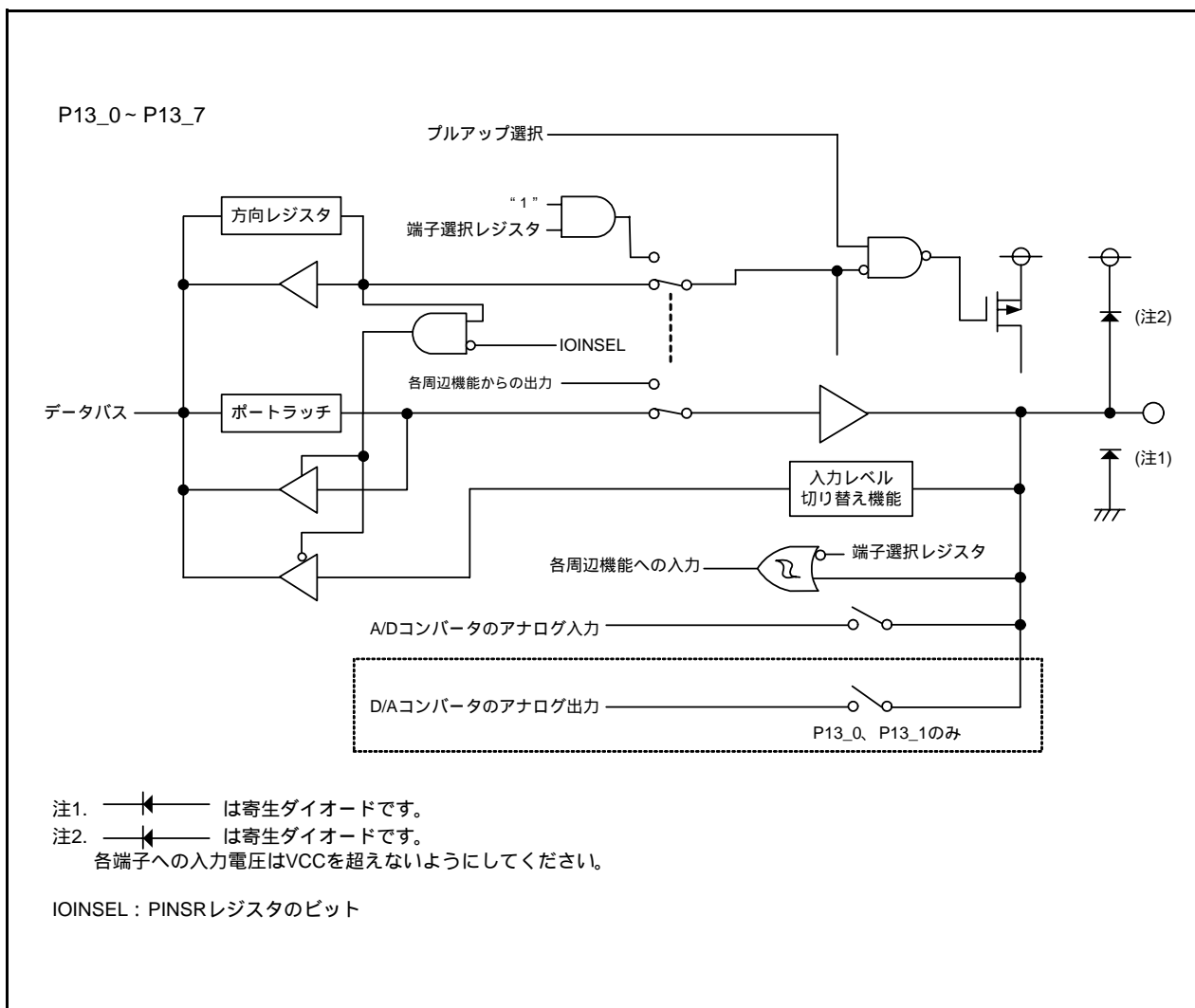


図6.4 I/Oポートの構成(4)

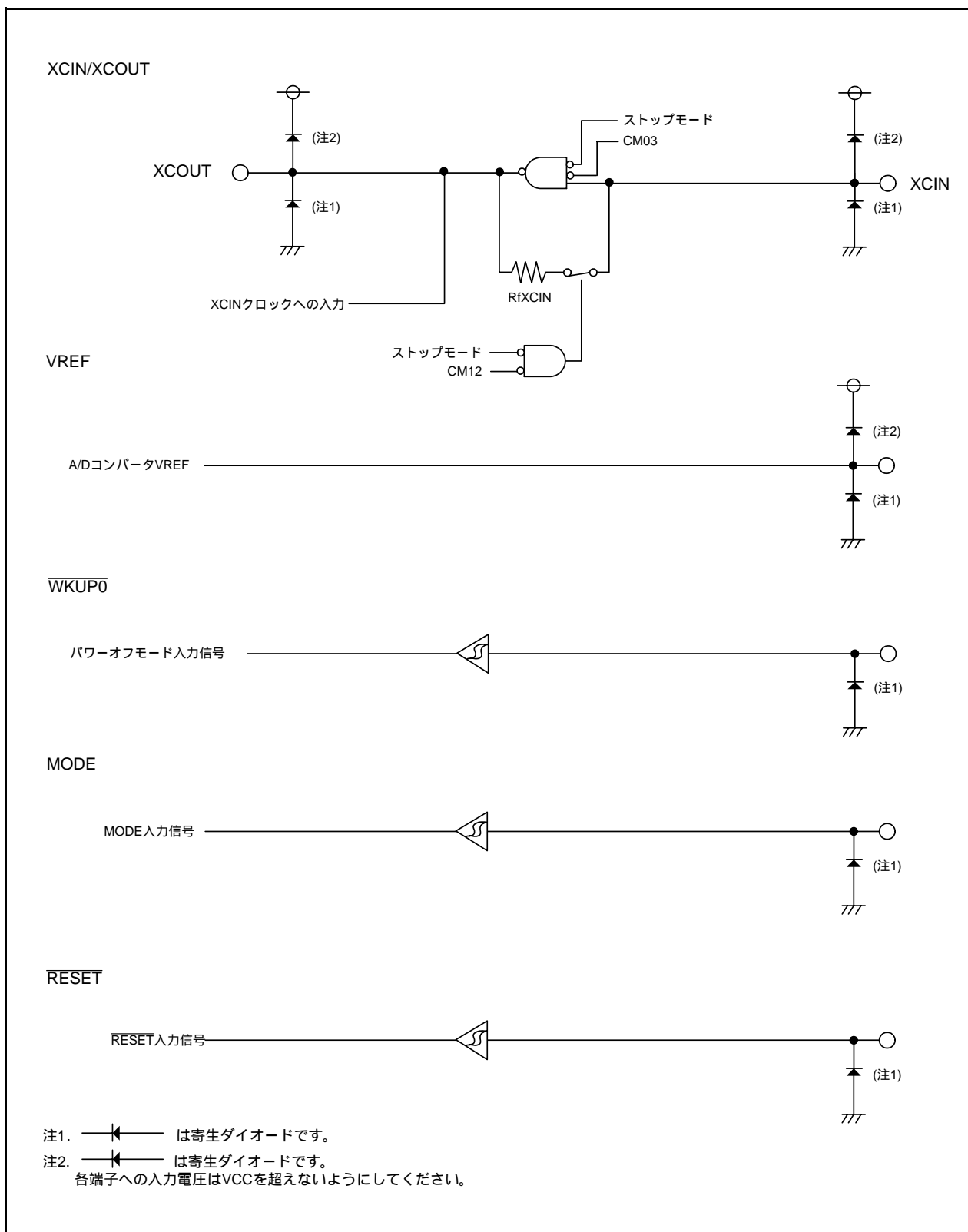


図6.5 端子の構成

## 6.5 レジスタの説明

### 6.5.1 ポートPi方向レジスタ(PDi)(i=0 ~ 7、10 ~ 13)

アドレス 00E2h番地(PD0)、00E3h番地(PD1)、00E6h番地(PD2)、00E7h番地(PD3)、  
00EAh番地(PD4)、00EBh番地(PD5(注1))、00EEh番地(PD6)、00EFh番地(PD7)、  
00F6h番地(PD10)、00F7h番地(PD11)、00FAh番地(PD12(注2))、00FBh番地(PD13)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PD <sub>i</sub> _7	PD <sub>i</sub> _6	PD <sub>i</sub> _5	PD <sub>i</sub> _4	PD <sub>i</sub> _3	PD <sub>i</sub> _2	PD <sub>i</sub> _1	PD <sub>i</sub> _0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PD <sub>i</sub> _0	ポートPi_0方向ビット	0:入力モード(入力ポートとして機能) 1:出力モード(出力ポートとして機能)	R/W
b1	PD <sub>i</sub> _1	ポートPi_1方向ビット		R/W
b2	PD <sub>i</sub> _2	ポートPi_2方向ビット		R/W
b3	PD <sub>i</sub> _3	ポートPi_3方向ビット		R/W
b4	PD <sub>i</sub> _4	ポートPi_4方向ビット		R/W
b5	PD <sub>i</sub> _5	ポートPi_5方向ビット		R/W
b6	PD <sub>i</sub> _6	ポートPi_6方向ビット		R/W
b7	PD <sub>i</sub> _7	ポートPi_7方向ビット		R/W

- 注1. PD5レジスタのPD5\_4 ~ PD5\_7ビットは何も配置されていません。  
PD5\_4 ~ PD5\_7ビットに“1”を書いてください。読んだ場合、その値は“1”です。
- 注2. PD12レジスタのPD12\_4 ~ PD12\_7ビットは何も配置されていません。  
PD12\_4 ~ PD12\_7ビットに“1”を書いてください。読んだ場合、その値は“1”です。

PD<sub>i</sub>レジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。  
PD<sub>i</sub>レジスタの各ビットは、ポート1本ずつに対応しています。



### 6.5.2 ポートPiレジスタ(Pi)(i=0 ~ 7、10 ~ 13)

アドレス 00E0h番地(P0)、00E1h番地(P1)、00E4h番地(P2)、00E5h番地(P3)、  
00E8h番地(P4)、00E9h番地(P5(注1))、00ECh番地(P6)、00EDh番地(P7)、  
00F4h番地(P10)、00F5h番地(P11)、00F8h番地(P12(注2))、00F9h番地(P13)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0:“L”レベル 1:“H”レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P5レジスタのP5\_4 ~ P5\_7ビットは何も配置されていません。

P5\_4 ~ P5\_7ビットに“0”を書いてください。読んだ場合、その値は“0”です。

注2. P12レジスタのP12\_4 ~ P12\_7ビットは何も配置されていません。

P12\_4 ~ P12\_7ビットに“0”を書いてください。読んだ場合、その値は“0”です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

#### Pi\_jビット(i=0 ~ 7、10 ~ 13、j=0 ~ 7)(ポートPi\_0ビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

### 6.5.3 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	TRAIOSEL1	TRAIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSEL0	TRAI0端子選択ビット	b1 b0 00 : TRAI0端子は使用しない 01 : P11_4に割り当てる(注1) 10 : INT4に割り当てる(注2) 11 : 設定しないでください	R/W
b1	TRAIOSEL1			R/W
b2	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. ハードウェアLINを使用する場合は、TRAIOSEL1 ~ TRAIOSEL0ビットに“01b”を設定してください。

注2. INT4入力極性としてタイマRAのイベントカウンタモードでのみ両エッジを選択できます。INTEN1レジスタのINT4PLビットを“1”(両エッジ)にしてください。また、両エッジを選択した場合は、TRAI0CレジスタのTIPF1 ~ TIPF0ビットを“00b”(フィルタなし)にしてください。

タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

### 6.5.4 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRCTRGSSEL1	TRCTRGSSEL0	-	TRCCLKSEL0	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	0: TRCCLK端子は使用しない 1: TRCCLK端子を使用する	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	TRCTRGSSEL0	TRCTRGS端子選択ビット	b7 b6 00: TRCTRGS端子は使用しない 01: P3_7に割り当てる 10: P4_3に割り当てる 11: P4_4に割り当てる	R/W
b7	TRCTRGSSEL1			R/W

タイマRBのレジスタ機能は備えていません。

タイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRC関連レジスタを設定をする前にこのレジスタを設定してください。また、タイマRCの動作中はTRCCLKSEL0ビットの設定値を変更しないでください。

### 6.5.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCIOBSEL1	TRCIOBSEL0	-	-	-	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA端子選択ビット	0 : TRCIOA端子は使用しない 1 : TRCIOA端子を使用する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b5 b4 00 : TRCIOB端子は使用しない 01 : P4_5に割り当てる 10 : P4_6に割り当てる 11 : P4_7に割り当てる	R/W
b5	TRCIOBSEL1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

TRCPSR0レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

### 6.5.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TRCIODSEL0	-	-	-	TRCIOCSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOCSEL0	TRCIOC端子選択ビット(注1)	0 : TRCIOC端子は使用しない 1 : P4_6に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	TRCIODSEL0	TRCIOD端子選択ビット(注2)	0 : TRCIOD端子は使用しない 1 : P4_7に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

- 注1. TRCPSR0レジスタのTRCIOBSEL1 ~ TRCIOBSEL0ビットを“10b”(TRCIOB端子をP4\_6に割り当てる)に設定した場合は、TRCIOCSEL0ビットの内容にかかわらず、P4\_6はTRCIOB端子になります。
- 注2. TRCPSR0レジスタのTRCIOBSEL1 ~ TRCIOBSEL0ビットを“11b”(TRCIOB端子をP4\_7に割り当てる)に設定した場合は、TRCIODSEL0ビットの内容にかかわらず、P4\_7はTRCIOB端子になります。

TRCPSR1レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

### 6.5.7 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス	0184h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 00: TRDIOA0/TRDCLK端子は使用しない 01: P6_0に割り当てる 10: P10_0に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 00: TRDIOB0端子は使用しない 01: P6_1に割り当てる 10: P10_1に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 00: TRDIOC0端子は使用しない 01: P6_2に割り当てる 10: P10_2に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 00: TRDIOD0端子は使用しない 00: P6_3に割り当てる 10: P10_3に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

### 6.5.8 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1 端子選択ビット	b1 b0 00 : TRDIOA1 端子は使用しない 01 : P6_4に割り当てる 10 : P10_4に割り当てる 11 : 設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1 端子選択ビット	b3 b2 00 : TRDIOB1 端子は使用しない 01 : P6_5に割り当てる 10 : P10_5に割り当てる 11 : 設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1 端子選択ビット	b5 b4 00 : TRDIOC1 端子は使用しない 01 : P6_6に割り当てる 10 : P10_6に割り当てる 11 : 設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1 端子選択ビット	b7 b6 00 : TRDIOD1 端子は使用しない 01 : P6_7に割り当てる 10 : P10_7に割り当てる 11 : 設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1 レジスタを設定してください。また、タイマRDの動作中はTRDPSR1 レジスタの設定値を変更しないでください。

### 6.5.9 タイマRG端子選択レジスタ (TRGPSR)

アドレス 0187h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRGCLKBSEL0	TRGCLKASEL0	TRGIOBSEL0	TRGIOASEL0	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	-			
b4	TRGIOASEL0	TRGIOA端子選択ビット	0 : TRGIOA端子は使用しない 1 : TRGIOA端子を使用する	R/W
b5	TRGIOBSEL0	TRGIOB端子選択ビット	0 : TRGIOB端子は使用しない 1 : TRGIOB端子を使用する	R/W
b6	TRGCLKASEL0	TRGCLKA端子選択ビット	0 : TRGCLKA端子は使用しない 1 : TRGCLKA端子を使用する	R/W
b7	TRGCLKBSEL0	TRGCLKB端子選択ビット	0 : TRGCLKB端子は使用しない 1 : TRGCLKB端子を使用する	R/W

TRGPSRレジスタは、タイマRGの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRGの入出力端子を使用する場合は、TRGPSRレジスタを設定してください。

タイマRGの関連レジスタを設定をする前に、TRGPSRレジスタを設定してください。また、タイマRGの動作中はTRGPSRレジスタの設定値を変更しないでください。



### 6.5.10 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SEL0	RXD0SEL1	RXD0SEL0	-	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0端子選択ビット	0 : TXD0端子は使用しない 1 : TXD0端子を使用する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SEL0	RXD0端子選択ビット	b3 b2 00 : RXD0端子は使用しない 01 : P13_2に割り当てる 10 : P11_4に割り当てる 11 : 設定しないでください	R/W
b3	RXD0SEL1			R/W
b4	CLK0SEL0	CLK0端子選択ビット	0 : CLK0端子は使用しない 1 : CLK0端子を使用する	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

### 6.5.11 UART1端子選択レジスタ(U1SR)

アドレス 0189h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK1SEL0	-	RXD1SEL0	-	TXD1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD1SEL0	TXD1端子選択ビット	0: TXD1端子は使用しない 1: TXD1端子を使用する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD1SEL0	RXD1端子選択ビット	0: RXD1端子は使用しない 1: RXD1端子を使用する	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	CLK1SEL0	CLK1端子選択ビット	0: CLK1端子は使用しない 1: CLK1端子を使用する	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U1SRレジスタは、UART1の入出力をどの端子に割り当てるかを選択するレジスタです。UART1の入出力端子を使用する場合は、U1SRレジスタを設定してください。

UART1の関連レジスタを設定する前に、U1SRレジスタを設定してください。また、UART1の動作中はU1SRレジスタの設定値を変更しないでください。

### 6.5.12 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RXD2SEL1	RXD2SEL0	-	-	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2端子選択ビット	b1 b0 00 : TXD2/SDA2端子は使用しない 01 : P11_2に割り当てる 10 : P11_1に割り当てる 11 : 設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			-
b4	RXD2SEL0	RXD2/SCL2端子選択ビット	b5 b4 00 : RXD2/SCL2端子は使用しない 01 : P11_1に割り当てる 10 : P11_2に割り当てる 11 : 設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

### 6.5.13 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CTS2SEL0	-	-	-	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	0: CLK2端子は使用しない 1: CLK2端子を使用する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	CTS2SEL0	CTS2/RTS2端子選択ビット	0: CTS2/RTS2端子は使用しない 1: CTS2/RTS2端子を使用する	R/W
b5	-	予約ビット	“0”にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

### 6.5.14 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0 : SSU機能を選択 1 : I <sup>2</sup> Cバス機能を選択	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

### 6.5.15 キー入力端子選択レジスタ (KISR)

アドレス 018Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7SELO	KI6SELO	KI5SELO	KI4SELO	KI3SELO	KI2SELO	KI1SELO	KI0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0SELO	$\overline{\text{KI0}}$ 端子選択ビット	0 : P2_0に割り当てる 1 : P10_0に割り当てる	R/W
b1	KI1SELO	$\overline{\text{KI1}}$ 端子選択ビット	0 : P2_1に割り当てる 1 : P10_1に割り当てる	R/W
b2	KI2SELO	$\overline{\text{KI2}}$ 端子選択ビット	0 : P2_2に割り当てる 1 : P10_2に割り当てる	R/W
b3	KI3SELO	$\overline{\text{KI3}}$ 端子選択ビット	0 : P2_3に割り当てる 1 : P10_3に割り当てる	R/W
b4	KI4SELO	$\overline{\text{KI4}}$ 端子選択ビット	0 : P2_4に割り当てる 1 : P10_4に割り当てる	R/W
b5	KI5SELO	$\overline{\text{KI5}}$ 端子選択ビット	0 : P2_5に割り当てる 1 : P10_5に割り当てる	R/W
b6	KI6SELO	$\overline{\text{KI6}}$ 端子選択ビット	0 : P2_6に割り当てる 1 : P10_6に割り当てる	R/W
b7	KI7SELO	$\overline{\text{KI7}}$ 端子選択ビット	0 : P2_7に割り当てる 1 : P10_7に割り当てる	R/W

KISRレジスタは、 $\overline{\text{KI}i}$  ( $i=0 \sim 7$ )の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{KI}i}$ を使用する場合は、KISRレジスタを設定してください。

$\overline{\text{KI}i}$ の関連レジスタを設定をする前に、KISRレジスタを設定してください。また、 $\overline{\text{KI}i}$ の動作中はKISRレジスタの設定値を変更しないでください。

### 6.5.16 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7SELO	INT6SELO	INT5SELO	INT4SELO	INT3SELO	INT2SELO	INT1SELO	INT0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0SELO	$\overline{\text{INT0}}$ 端子選択ビット	0 : P3_0に割り当てる 1 : P11_0に割り当てる	R/W
b1	INT1SELO	$\overline{\text{INT1}}$ 端子選択ビット	0 : P3_1に割り当てる 1 : P11_1に割り当てる	R/W
b2	INT2SELO	$\overline{\text{INT2}}$ 端子選択ビット	0 : P3_2に割り当てる 1 : P11_2に割り当てる	R/W
b3	INT3SELO	$\overline{\text{INT3}}$ 端子選択ビット	0 : P3_3に割り当てる 1 : P11_3に割り当てる	R/W
b4	INT4SELO	$\overline{\text{INT4}}$ 端子選択ビット	0 : P3_4に割り当てる 1 : P11_4に割り当てる	R/W
b5	INT5SELO	$\overline{\text{INT5}}$ 端子選択ビット	0 : P3_5に割り当てる 1 : P11_5に割り当てる	R/W
b6	INT6SELO	$\overline{\text{INT6}}$ 端子選択ビット	0 : P3_6に割り当てる 1 : P11_6に割り当てる	R/W
b7	INT7SELO	$\overline{\text{INT7}}$ 端子選択ビット	0 : P3_7に割り当てる 1 : P11_7に割り当てる	R/W

INTSRレジスタは、 $\overline{\text{INT}i}$  ( $i=0 \sim 7$ )の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}i}$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT}i}$ の関連レジスタを設定をする前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT}i}$ の動作中はINTSRレジスタの設定値を変更しないでください。

### 6.5.17 入出力機能端子選択レジスタ(PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	IOINSEL	I/Oポート入力機能 選択ビット	0 : I/Oポートの入力機能はPDi (i=0 ~ 7、10 ~ 13)レジスタに依存 PDiレジスタのPDi_j (j=0 ~ 7)ビットが“0” (入力モード) のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1” (出力モード)のとき、 ポータラッチを読む。 1 : I/Oポートの入力機能はPDiレジスタに関係なく、 端子の入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍 選択ビット	0 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍 選択ビット	0 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延 選択ビット	b7 b6 0 0 : 3 × f1サイクルのデジタル遅延 0 1 : 11 × f1サイクルのデジタル遅延 1 0 : 19 × f1サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

#### IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0 ~ 7、10 ~ 13)レジスタのPDi\_j (j=0 ~ 7)ビットが“1” (出力モード)の  
ときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/O  
ポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表6.5にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべての  
I/Oポートの入力機能を変更できます。

表6.5 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット	“0”	“1”	“0”	“1”
I/Oポート読み出し値	端子の入力レベル		ポータラッチの値	端子の入力レベル



### 6.5.18 ポートPiプルアップ制御レジスタ (PiPUR)(i=0 ~ 7)

アドレス 01E0h番地 (P0PUR)、01E1h番地 (P1PUR)、01E2h番地 (P2PUR)、01E3h番地 (P3PUR)、  
01E4h番地 (P4PUR)、01E5h番地 (P5PUR)、01E6h番地 (P6PUR)、01E7h番地 (P7PUR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUi7	PUi6	PUi5	PUi4	PUi3	PUi2	PUi1	PUi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUi0	ポートPi_0のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PUi1	ポートPi_1のプルアップ		R/W
b2	PUi2	ポートPi_2のプルアップ		R/W
b3	PUi3	ポートPi_3のプルアップ		R/W
b4	PUi4	ポートPi_4のプルアップ		R/W
b5	PUi5	ポートPi_5のプルアップ		R/W
b6	PUi6	ポートPi_6のプルアップ		R/W
b7	PUi7	ポートPi_7のプルアップ		R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PiPUR レジスタの設定値が有効になります。

### 6.5.19 ポートPjプルアップ制御レジスタ (PjPUR)(j=10 ~ 13)

アドレス 01EAh番地 (P10PUR)、01EBh番地 (P11PUR)、01ECh番地 (P12PUR)、01EDh番地 (P13PUR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUj7	PUj6	PUj5	PUj4	PUj3	PUj2	PUj1	PUj0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUj0	ポートPj_0のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PUj1	ポートPj_1のプルアップ		R/W
b2	PUj2	ポートPj_2のプルアップ		R/W
b3	PUj3	ポートPj_3のプルアップ		R/W
b4	PUj4	ポートPj_4のプルアップ		R/W
b5	PUj5	ポートPj_5のプルアップ		R/W
b6	PUj6	ポートPj_6のプルアップ		R/W
b7	PUj7	ポートPj_7のプルアップ		R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PjPUR レジスタの設定値が有効になります。

### 6.5.20 ポートP10駆動能力制御レジスタ(P10DDR)

アドレス 01F0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P10DDR7	P10DDR6	P10DDR5	P10DDR4	P10DDR3	P10DDR2	P10DDR1	P10DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P10DDR0	ポートP10_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P10DDR1	ポートP10_1の駆動能力		R/W
b2	P10DDR2	ポートP10_2の駆動能力		R/W
b3	P10DDR3	ポートP10_3の駆動能力		R/W
b4	P10DDR4	ポートP10_4の駆動能力		R/W
b5	P10DDR5	ポートP10_5の駆動能力		R/W
b6	P10DDR6	ポートP10_6の駆動能力		R/W
b7	P10DDR7	ポートP10_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P10DDRレジスタはP10の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P10DDRiビット(i=0 ~ 7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子はP10DDRレジスタの設定値が有効になります。

### 6.5.21 ポートP11駆動能力制御レジスタ(P11DDR)

アドレス 01F1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P11DDR7	P11DDR6	P11DDR5	P11DDR4	P11DDR3	P11DDR2	P11DDR1	P11DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P11DDR0	ポートP11_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P11DDR1	ポートP11_1の駆動能力		R/W
b2	P11DDR2	ポートP11_2の駆動能力		R/W
b3	P11DDR3	ポートP11_3の駆動能力		R/W
b4	P11DDR4	ポートP11_4の駆動能力		R/W
b5	P11DDR5	ポートP11_5の駆動能力		R/W
b6	P11DDR6	ポートP11_6の駆動能力		R/W
b7	P11DDR7	ポートP11_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P11DDRレジスタはP11の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P11DDRiビット(i=0 ~ 7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子はP11DDRレジスタの設定値が有効になります。

### 6.5.22 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	VLT05	VLT04	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入カレベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P1の入カレベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT03			R/W
b4	VLT04	P2の入カレベル選択ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT05			R/W
b6	VLT06	P3の入カレベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT07			R/W

VLT0レジスタはポートP0～P3の入力しきい値の電圧レベルを選択するレジスタです。VLT00～VLT07ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

### 6.5.23 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT17	VLT16	VLT15	VLT14	VLT13	VLT12	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4の入カレベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT11			R/W
b2	VLT12	P5_0 ~ P5_3の入カレベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT13			R/W
b4	VLT14	P6の入カレベル選択ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT15			R/W
b6	VLT16	P7の入カレベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT17			R/W

VLT1 レジスタはポートP4 ~ P7の入カしきい値の電圧レベルを選択するレジスタです。VLT10 ~ VLT17 ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

### 6.5.24 入力しきい値制御レジスタ2 (VLT2)

アドレス 01F7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT27	VLT26	VLT25	VLT24	VLT23	VLT22	VLT21	VLT20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT20	P10の入力レベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT21			R/W
b2	VLT22	P11の入力レベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT23			R/W
b4	VLT24	P12_0 ~ P12_3の入力レベル選択ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT25			R/W
b6	VLT26	P13の入力レベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT27			R/W

VLT2 レジスタはポート P10 ~ P13 の入力しきい値の電圧レベルを選択するレジスタです。VLT20 ~ VLT27 ビットによって、入力しきい値を 3 種類の電圧レベル (0.35VCC、0.50VCC、0.70VCC) から選択できます。

## 6.6 ポートの設定

表6.6～表6.24にポートの設定を示します。

表6.6 ポートP0

端子	レジスタ	PD0	LSE0	ADINSEL						-	機能	
	ビット			PD0 <sub>i</sub>	LSE <sub>i</sub>	CH			ADGSEL			
						2	1	0	1			0
ポートP0_0 SEG0 AN4	i=0	0	0	X	X	X	X	X		入力ポート(注1)		
		1	0	X	X	X	X	X		出力ポート		
		X	1	X	X	X	X	X		LCD駆動制御出力(SEG0)		
		0	0	1	0	0	0	0		A/Dコンバータ入力(AN4)(注1)		
ポートP0_1 SEG1 AN5	i=1	0	0	X	X	X	X	X		入力ポート(注1)		
		1	0	X	X	X	X	X		出力ポート		
		X	1	X	X	X	X	X		LCD駆動制御出力(SEG1)		
		0	0	1	0	1	0	0		A/Dコンバータ入力(AN5)(注1)		
ポートP0_2 SEG2 AN6	i=2	0	0	X	X	X	X	X		入力ポート(注1)		
		1	0	X	X	X	X	X		出力ポート		
		X	1	X	X	X	X	X		LCD駆動制御出力(SEG2)		
		0	0	1	1	0	0	0		A/Dコンバータ入力(AN6)(注1)		
ポートP0_3 SEG3 AN7	i=3	0	0	X	X	X	X	X		入力ポート(注1)		
		1	0	X	X	X	X	X		出力ポート		
		X	1	X	X	X	X	X		LCD駆動制御出力(SEG3)		
		0	0	1	1	1	0	0		A/Dコンバータ入力(AN7)(注1)		
ポートP0_4 SEG4 AN8	i=4	0	0	X	X	X	X	X		入力ポート(注1)		
		1	0	X	X	X	X	X		出力ポート		
		X	1	X	X	X	X	X		LCD駆動制御出力(SEG4)		
		0	0	0	0	0	0	1		A/Dコンバータ入力(AN8)(注1)		
ポートP0_5 SEG5 AN9	i=5	0	0	X	X	X	X	X		入力ポート(注1)		
		1	0	X	X	X	X	X		出力ポート		
		X	1	X	X	X	X	X		LCD駆動制御出力(SEG5)		
		0	0	0	0	1	0	1		A/Dコンバータ入力(AN9)(注1)		
ポートP0_6 SEG6 AN10	i=6	0	0	X	X	X	X	X		入力ポート(注1)		
		1	0	X	X	X	X	X		出力ポート		
		X	1	X	X	X	X	X		LCD駆動制御出力(SEG6)		
		0	0	0	1	0	0	1		A/Dコンバータ入力(AN10)(注1)		
ポートP0_7 SEG7 AN11	i=7	0	0	X	X	X	X	X		入力ポート(注1)		
		1	0	X	X	X	X	X		出力ポート		
		X	1	X	X	X	X	X		LCD駆動制御出力(SEG7)		
		0	0	0	1	1	0	1		A/Dコンバータ入力(AN11)(注1)		

X:“0”または“1”

注1. P0PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表6.7 ポートP1

端子	レジスタ	PD1	LSE1	ADINSEL						-	機能
	ビット	PD1 <sub>i</sub>	LSEi+8	CH			ADGSEL				
				2	1	0	1	0			
ポートP1_0 SEG8 AN12	i=0	0	0	X	X	X	X	X		入力ポート(注1)	
		1	0	X	X	X	X	X		出力ポート	
		X	1	X	X	X	X	X	X		LCD駆動制御出力(SEG8)
		0	0	1	0	0	0	1		A/Dコンバータ入力(AN12)(注1)	
ポートP1_1 SEG9 AN13	i=1	0	0	X	X	X	X	X		入力ポート(注1)	
		1	0	X	X	X	X	X		出力ポート	
		X	1	X	X	X	X	X	X		LCD駆動制御出力(SEG9)
		0	0	1	0	1	0	1		A/Dコンバータ入力(AN13)(注1)	
ポートP1_2 SEG10 AN14	i=2	0	0	X	X	X	X	X		入力ポート(注1)	
		1	0	X	X	X	X	X		出力ポート	
		X	1	X	X	X	X	X	X		LCD駆動制御出力(SEG10)
		0	0	1	1	0	0	1		A/Dコンバータ入力(AN14)(注1)	
ポートP1_3 SEG11 AN15	i=3	0	0	X	X	X	X	X		入力ポート(注1)	
		1	0	X	X	X	X	X		出力ポート	
		X	1	X	X	X	X	X	X		LCD駆動制御出力(SEG11)
		0	0	1	1	1	0	1		A/Dコンバータ入力(AN15)(注1)	
ポートP1_4 SEG12	i=4	0	0							入力ポート(注1)	
		1	0							出力ポート	
		X	1							LCD駆動制御出力(SEG12)	
ポートP1_5 SEG13	i=5	0	0							入力ポート(注1)	
		1	0							出力ポート	
		X	1							LCD駆動制御出力(SEG13)	
ポートP1_6 SEG14	i=6	0	0							入力ポート(注1)	
		1	0							出力ポート	
		X	1							LCD駆動制御出力(SEG14)	
ポートP1_7 SEG15	i=7	0	0							入力ポート(注1)	
		1	0							出力ポート	
		X	1							LCD駆動制御出力(SEG15)	

X: "0" または "1"

注1. P1PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

表6.8 ポートP2

端子	レジスタ	PD2	LSE2	KISR	KIEN	KIEN1	機能
	ビット	PD2_i	LSEi+16	KIiSEL0	KIiEN	KIiEN	
ポートP2_0 SEG16 KI0	i=0	0	0	X	X	-	入力ポート(注1)
		1	0	X	X	-	出力ポート
		X	1	X	X	-	LCD駆動制御出力(SEG16)
		0	0	0	1	-	KI0入力(注1)
ポートP2_1 SEG17 KI1	i=1	0	0	X	X	-	入力ポート(注1)
		1	0	X	X	-	出力ポート
		X	1	X	X	-	LCD駆動制御出力(SEG17)
		0	0	0	1	-	KI1入力(注1)
ポートP2_2 SEG18 KI2	i=2	0	0	X	X	-	入力ポート(注1)
		1	0	X	X	-	出力ポート
		X	1	X	X	-	LCD駆動制御出力(SEG18)
		0	0	0	1	-	KI2入力(注1)
ポートP2_3 SEG19 KI3	i=3	0	0	X	X	-	入力ポート(注1)
		1	0	X	X	-	出力ポート
		X	1	X	X	-	LCD駆動制御出力(SEG19)
		0	0	0	1	-	KI3入力(注1)
ポートP2_4 SEG20 KI4	i=4	0	0	X	-	X	入力ポート(注1)
		1	0	X	-	X	出力ポート
		X	1	X	-	X	LCD駆動制御出力(SEG20)
		0	0	0	-	1	KI4入力(注1)
ポートP2_5 SEG21 KI5	i=5	0	0	X	-	X	入力ポート(注1)
		1	0	X	-	X	出力ポート
		X	1	X	-	X	LCD駆動制御出力(SEG21)
		0	0	0	-	1	KI5入力(注1)
ポートP2_6 SEG22 KI6	i=6	0	0	X	-	X	入力ポート(注1)
		1	0	X	-	X	出力ポート
		X	1	X	-	X	LCD駆動制御出力(SEG22)
		0	0	0	-	1	KI6入力(注1)
ポートP2_7 SEG23 KI7	i=7	0	0	X	-	X	入力ポート(注1)
		1	0	X	-	X	出力ポート
		X	1	X	-	X	LCD駆動制御出力(SEG23)
		0	0	0	-	1	KI7入力(注1)

X:“0”または“1”、 - :関係しない

注1. P2PURレジスタの対応するビットを“1”にすると、プルアップありとなります。



表6.9 ポートP3

端子	レジスタ	PD3	LSE3	INTSR	INTEN	INTEN1	ADMOD		TRBRCR		TRCMR	TRCCR2		機能	
	ビット	PD3 <sub>i</sub>	LSE+24	INTISEL0	INTIEN	INTIEN	ADCAP1	ADCAP0	TRCTRGSSEL1	TRCTRGSSEL0	PWM2	TCEG1	TCEG0		
ポートP3_0 SEG24 INT0	i=0	0	0	X	X	-	-	-	-	-	-	-	-	入力ポート(注1)	
		1	0	X	X	-	-	-	-	-	-	-	-	出力ポート	
		X	1	X	X	-	-	-	-	-	-	-	-	-	LCD駆動制御出力(SEG24)
		0	0	0	1	-	-	-	-	-	-	-	-	-	INT0入力(注1)
ポートP3_1 SEG25 INT1	i=1	0	0	X	X	-	-	-	-	-	-	-	-	入力ポート(注1)	
		1	0	X	X	-	-	-	-	-	-	-	-	出力ポート	
		X	1	X	X	-	-	-	-	-	-	-	-	-	LCD駆動制御出力(SEG25)
		0	0	0	1	-	-	-	-	-	-	-	-	-	INT1入力(注1)
ポートP3_2 SEG26 INT2	i=2	0	0	X	X	-	-	-	-	-	-	-	-	入力ポート(注1)	
		1	0	X	X	-	-	-	-	-	-	-	-	出力ポート	
		X	1	X	X	-	-	-	-	-	-	-	-	-	LCD駆動制御出力(SEG26)
		0	0	0	1	-	-	-	-	-	-	-	-	-	INT2入力(注1)
ポートP3_3 SEG27 INT3	i=3	0	0	X	X	-	-	-	-	-	-	-	-	入力ポート(注1)	
		1	0	X	X	-	-	-	-	-	-	-	-	出力ポート	
		X	1	X	X	-	-	-	-	-	-	-	-	-	LCD駆動制御出力(SEG27)
		0	0	0	1	-	-	-	-	-	-	-	-	-	INT3入力(注1)
ポートP3_4 SEG28 INT4	i=4	0	0	X	-	X	-	-	-	-	-	-	-	入力ポート(注1)	
		1	0	X	-	X	-	-	-	-	-	-	-	出力ポート	
		X	1	X	-	X	-	-	-	-	-	-	-	-	LCD駆動制御出力(SEG28)
		0	0	0	-	1	-	-	-	-	-	-	-	-	INT4入力(注1)
ポートP3_5 SEG29 INT5	i=5	0	0	X	-	X	-	-	-	-	-	-	-	入力ポート(注1)	
		1	0	X	-	X	-	-	-	-	-	-	-	出力ポート	
		X	1	X	-	X	-	-	-	-	-	-	-	-	LCD駆動制御出力(SEG29)
		0	0	0	-	1	-	-	-	-	-	-	-	-	INT5入力(注1)
ポートP3_6 SEG30 INT6	i=6	0	0	X	-	X	-	-	-	-	-	-	-	入力ポート(注1)	
		1	0	X	-	X	-	-	-	-	-	-	-	出力ポート	
		X	1	X	-	X	-	-	-	-	-	-	-	-	LCD駆動制御出力(SEG30)
		0	0	0	-	1	-	-	-	-	-	-	-	-	INT6入力(注1)
ポートP3_7 SEG31 INT7 ADTRG TRCTR	i=7	0	0	X	-	X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	X	-	X	X	X	X	X	X	X	X	出力ポート	
		X	1	X	-	1	X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG31)
		0	0	0	-	1	X	X	X	X	X	X	X	X	INT7入力(注1)
		0	0	0	-	1	1	1	X	X	X	X	X	X	ADTRG入力(注1)
		0	0	X	-	X	X	X	X	0	1	0	0	1	PWM2モード TRCTR 入力(注1)

X:“0”または“1”、-:関係しない

注1. P3PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表6.10 ポートP4\_0 ~ P4\_2

端子	レジスタ	PD4	LSE4	U1SR			U1MR				-	機能
	ビット	PD4_i	LSEi+32	CLK1SELO	RXD1SELO	TXD1SELO	SMD2	SMD1	SMD0	CKDIR		
ポートP4_0 SEG32 TXD1	i=0	0	0	-	-	0	X	X	X	X		入力ポート(注1)
		0	0	-	-	0	X	X	X	X		出力ポート
		X	1	-	-	0	X	X	X	X		LCD駆動制御出力(SEG32)
		X	0	-	-	1	0	0	1	X		TXD1出力(注2)
							1	0	X			
					1	1	0					
ポートP4_1 SEG33 RXD1	i=1	0	0	-	X	-	X	X	X	X		入力ポート(注1)
		0	0	-	X	-	X	X	X	X		出力ポート
		X	1	-	X	-	X	X	X	X		LCD駆動制御出力(SEG33)
		0	0	-	1	-	X	X	X	X		RXD1入力(注1)
ポートP4_2 SEG34 CLK1	i=2	0	0	0	-	-	X	X	X	X		入力ポート(注1)
		0	0	0	-	-	X	X	X	X		出力ポート
		X	1	0	-	-	X	X	X	X		LCD駆動制御出力(SEG34)
		0	0	1	-	-	X	X	X	1		CLK1(外部クロック)入力(注1)
		X	0	1	-	-	0	0	1	0		CLK1(内部クロック)出力(注2)

X:“0”または“1”、-:関係しない

注1. P4PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

注2. U1C0レジスタのMCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。このとき、PD4レジスタのPD4\_0ビットを“0”にしてください。

表6.11 ポートP4\_3 ~ P4\_4

端子	レジスタ	PD4	LSE4	TRBRCR			TRCCR1			TRCMR	TRCCR2		-	機能	
	ビット	PD4 <sub>i</sub>	LSE35	TRCTR <sub>SEL1</sub>	TRCTR <sub>SELO</sub>	TRCLK <sub>SELO</sub>	TCK2	TCK1	TCK0	PWM2	TCEG1	TCEG0			
ポートP4_3 SEG35 TRCCLK TRCTRG	i=3	0	0	X	X	X	X	X	X	X	X	X		入力ポート(注1)	
		1	0	X	X	X	X	X	X	X	X	X		出力ポート	
		X	1	X	X	X	X	X	X	X	X	X	X		LCD駆動制御出力(SEG35)
		0	X	X	X	1	1	0	1	X	X	X		TRCCLK入力(注1)	
		0	0	1	0	X	X	X	X	0	0	1		PWM2モード TRCTRG 入力(注1)	
		1	X												
端子	レジスタ	PD4	LSE4	TRBRCR			TRCPSR0	TRCOER	TRCMR	TRCIOR0			TRCCR2		機能
	ビット	PD4 <sub>i</sub>	LSE36	TRCTR <sub>SEL1</sub>	TRCTR <sub>SELO</sub>	TRCIOA <sub>SELO</sub>	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG0		
ポートP4_4 SEG36 TRCIOA TRCTRG	i=4	0	0	X	X	0	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	X	X	0	X	X	X	X	X	X	X	出力ポート	
		X	1	X	X	0	X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG36)
		X	0	X	X	1	0	1	0	0	0	1	X	X	タイマ波形出力(アウト プットコンペア機能)
		0	0	X	X	1	X	1	1	X	X	X	X	X	タイマモード(インプット キャプチャ機能)(注1)
		0	0	1	1	X	X	0	X	X	X	X	0	1	PWM2モード TRCTRG 入力(注1)
		1	X												

X: "0" または "1", - : 関係しない

注1. P4PURレジスタの対応するビットを "1" にすると、プルアップありとなります。

表6.12 ポートP4\_5 ~ P4\_7

端子	レジスタ	PD4	LSE4	TRCPSR0	-	TRCOER		TRCMR			TRCIOR0			-	機能			
	ビット	PD4 <sub>i</sub>	LSE37	TRCIOBSEL		EB	EC	PWM2	PWMB	IOB								
				1 0						2	1	0						
ポートP4_5 SEG37 TRCIOB	i=5	0	0	01b以外		X		X	X	X	X	X	X		入力ポート(注1)			
		1	0	01b以外		X		X	X	X	X	X	X		出力ポート			
		X	1	01b以外		X		X	X	X	X	X	X	X		LCD駆動制御出力 (SEG37)		
		X	0	0	1		0		0	X	X	X	X	X		PWM2モード波形出力		
		X	0	0	1		0		1	1	X	X	X	X		PWMモード波形出力		
		X	0	0	1		0		1	0	0	0	1	0	1	0	タイマ波形出力(アウト プットコンペア機能)	
		0	0	0	1		X		1	0	1	X	X	X		タイマモード(インプ ットキャプチャ機能)(注1)		
端子	レジスタ	PD4	LSE4	TRCPSR0	TRCPSR1	TRCOER		TRCMR			TRCIOR0			TRCIOR1			機能	
	ビット	PD4 <sub>i</sub>	LSE38	TRCIOBSEL	TRCIOSEL0	EB	EC	PWM2	PWMB	PWMC	IOB			IOC				
				1 0							2	1	0	2	1	0		
ポートP4_6 SEG38 TRCIOB TRCIOC	i=6	0	0	10b以外	0	X	X	X	X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	10b以外	0	X	X	X	X	X	X	X	X	X	X	X	出力ポート	
		X	1	10b以外	0	X	X	X	X	X	X	X	X	X	X	X	X	LCD駆動制御出力 (SEG38)
		X	0	1	0	X	0	X	0	X	X	X	X	X	X	X	X	PWM2モード波形出力
		X	0	1	0	X	0	X	1	1	X	X	X	X	X	X	X	PWMモード波形出力
		X	0	1	0	X	0	X	1	0	X	0	0	1	X	X	X	タイマ波形出力(アウト プットコンペア機能)
		0	0	1	0	0	X	X	1	0	X	1	X	X	X	X	X	タイマモード(インプ ットキャプチャ機能)(注1)
		X	0	10b以外	1	X	0	1	X	1	X	X	X	X	X	X	X	PWMモード波形出力
		X	0	10b以外	1	X	0	1	X	0	X	X	X	X	0	0	1	タイマ波形出力(アウト プットコンペア機能)
		0	0	10b以外	1	X	X	1	X	0	X	X	X	X	1	X	X	タイマモード(インプ ットキャプチャ機能)(注1)
端子	レジスタ	PD4	LSE4	TRCPSR0	TRCPSR1	TRCOER		TRCMR			TRCIOR0			TRCIOR1			機能	
	ビット	PD4 <sub>i</sub>	LSE39	TRCIOBSEL	TRCIOSEL0	EB	ED	PWM2	PWMB	PWMD	IOB			IOD				
				1 0							2	1	0	2	1	0		
ポートP4_7 SEG39 TRCIOB TRCIOD	i=7	0	0	11b以外	0	X	X	X	X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	11b以外	0	X	X	X	X	X	X	X	X	X	X	X	出力ポート	
		X	1	11b以外	0	X	X	X	X	X	X	X	X	X	X	X	X	LCD駆動制御出力 (SEG39)
		X	0	1	1	X	0	X	0	X	X	X	X	X	X	X	X	PWM2モード波形出力
		X	0	1	1	X	0	X	1	1	X	X	X	X	X	X	X	PWMモード波形出力
		X	0	1	1	X	0	X	1	0	X	0	0	1	X	X	X	タイマ波形出力(アウト プットコンペア機能)
		0	0	1	1	0	X	X	1	0	X	1	X	X	X	X	X	タイマモード(インプ ットキャプチャ機能)(注1)
		X	0	11b以外	1	X	0	1	X	1	X	X	X	X	X	X	X	PWMモード波形出力
		X	0	11b以外	1	X	0	1	X	0	X	X	X	X	0	0	1	タイマ波形出力(アウト プットコンペア機能)
		0	0	11b以外	1	X	X	1	X	0	X	X	X	X	1	X	X	タイマモード(インプ ットキャプチャ機能)(注1)

X: "0" または "1", - : 関係しない

注1. P4PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

表6.13 ポートP5

端子	レジスタ	PD5	LSE5	機能
	ビット	PD5 <sub>i</sub>	LSE <sub>i+40</sub>	
ポートP5_0 SEG40	i=0	0	0	入力ポート(注1)
		1	0	出力ポート
		X	1	LCD駆動制御出力(SEG40)
ポートP5_1 SEG41	i=1	0	0	入力ポート(注1)
		1	0	出力ポート
		X	1	LCD駆動制御出力(SEG41)
ポートP5_2 SEG42	i=2	0	0	入力ポート(注1)
		1	0	出力ポート
		X	1	LCD駆動制御出力(SEG42)
ポートP5_3 SEG43	i=3	0	0	入力ポート(注1)
		1	0	出力ポート
		X	1	LCD駆動制御出力(SEG43)

X:“0”または“1”、- :関係しない

注1. P5PURレジスタの対応するビットを“1”にすると、プルアップありとなります。

表6.14 ポートP6\_0 ~ P6\_3

端子	レジスタ	PD6	LSE5	TRDPSR0		TRDOER1	TRDFCR				TRDIORA0			機能	
	ビット	PD6_i	LSE44	TRDIOA0SEL		EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0		
				1	0										
ポートP6_0 SEG44 TRDIOA0 TRDCLK	i=0	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	01b以外		X	X	X	X	X	X	X	X	出力ポート	
		X	1	01b以外		X	X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG44)
		0	0	0	1	X	0	0	0	1	1	X	X	X	タイマモード(インプットキャプチャ機能)(注1)
		0	0	0	1	X	X	X	1	1	0	0	0	0	外部クロック入力(TRDCLK)(注1)
		X	0	0	1	0	0	0	0	0	0	X	X	X	PWM3モード波形出力
		X	0	0	1	0	0	0	0	1	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)
ポートP6_1 SEG45 TRDIOB0	i=1	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	01b以外		X	X	X	X	X	X	X	X	出力ポート	
		X	1	01b以外		X	X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG45)
		0	0	0	1	X	0	0	1	0	1	X	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	0	X	X	X	X	X	PWM3モード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)
ポートP6_2 SEG46 TRDIOC0	i=2	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	01b以外		X	X	X	X	X	X	X	X	出力ポート	
		X	1	01b以外		X	X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG46)
		0	0	0	1	X	0	0	1	0	1	X	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)
ポートP6_3 SEG47 TRDIOD0	i=3	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	01b以外		X	X	X	X	X	X	X	X	出力ポート	
		X	1	01b以外		X	X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG47)
		0	0	0	1	X	0	0	1	0	1	X	X	X	タイマモード(インプットキャプチャ機能)(注1)
		X	0	0	1	0	1	X	X	X	X	X	X	X	相補PWMモード波形出力
		X	0	0	1	0	0	1	X	X	X	X	X	X	リセット同期PWMモード波形出力
		X	0	0	1	0	0	0	1	1	X	X	X	X	PWMモード波形出力
		X	0	0	1	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)

X: "0" または "1"、- : 関係しない

注1. P5PURレジスタの対応するビットを"1"にすると、ブルアップありとなります。

表6.15 ポートP6\_4 ~ P6\_7

端子	レジスタ	PD6	LSE6	TRDPSR1		TRDOER1	TRDFCR				TRDIORA1			機能	
	ビット	PD6_i	LSE48	TRDIOA1SEL		EA1	CMD1	CMD0	PWM3	-	IOA2	IOA1	IOA0		
ポートP6_4 SEG48 TRDIOA1	i=4	0	0	01b以外		X	X	X	X		X	X	X	入力ポート(注1)	
		1	0	01b以外		X	X	X	X		X	X	X	出力ポート	
		X	1	01b以外		X	X	X	X		X	X	X	LCD駆動制御出力(SEG48)	
		0	0	0	1	X	0	0	1		1	X	X	タイマモード(インプットキャプチャ機能)(注1)	
		X	0	0	1	0	1	X	X		X	X	X	相補PWMモード波形出力	
		X	0	0	1	0	0	1	X		X	X	X	リセット同期PWMモード波形出力	
		X	0	0	1	0	0	0	1		0	0	1	タイマモード波形出力(アウトプットコンペア機能)	
										0	1	X			
端子	レジスタ	PD6	LSE6	TRDPSR1		TRDOER1	TRDFCR				TRDPMR	TRDIORB1			機能
	ビット	PD6_i	LSE49	TRDIOB1SEL		EB1	CMD1	CMD0	PWM3	PWMB1	IOB2	IOB1	IOB0		
ポートP6_5 SEG49 TRDIOB1	i=5	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	0	01b以外		X	X	X	X	X	X	X	X	出力ポート	
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG49)	
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)	
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力	
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力	
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力	
										0	0	1	タイマモード波形出力(アウトプットコンペア機能)		
										0	1	X			
端子	レジスタ	PD6	LSE6	TRDPSR1		TRDOER1	TRDFCR				TRDPMR	TRDIORC1			機能
	ビット	PD6_i	LSE50	TRDIOC1SEL		EC1	CMD1	CMD0	PWM3	PWMC1	IOC2	IOC1	IOC0		
ポートP6_6 SEG50 TRDIOC1	i=6	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)	
		0	0	01b以外		X	X	X	X	X	X	X	X	出力ポート	
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG50)	
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)	
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力	
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力	
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力	
										0	0	1	タイマモード波形出力(アウトプットコンペア機能)		
										0	1	X			
端子	レジスタ	PD6	LSE6	TRDPSR1		TRDOER1	TRDFCR				TRDPMR	TRDIORD1			機能
	ビット	PD6_i	LSE51	TRDIOC1SEL		ED1	CMD1	CMD0	PWM3	PWMD1	IOD2	IOD1	IOD0		
ポートP6_7 SEG51 TRDIOD1	i=7	0	0	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)	
		0	0	01b以外		X	X	X	X	X	X	X	X	出力ポート	
		X	1	01b以外		X	X	X	X	X	X	X	X	LCD駆動制御出力(SEG51)	
		0	0	0	1	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)(注1)	
		X	0	0	1	0	1	X	X	X	X	X	X	相補PWMモード波形出力	
		X	0	0	1	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力	
		X	0	0	1	0	0	0	1	1	X	X	X	PWMモード波形出力	
										0	0	1	タイマモード波形出力(アウトプットコンペア機能)		
										0	1	X			

X: "0" または "1", - : 関係しない

注1. P6PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

表6.16 ポートP7

端子	レジスタ	PD7	LSE6/ LSE7	LCR0			機能
	ビット	PD7_i	LSEi+52	LDTY			
				2	1	0	
ポートP7_0 SEG52 COM7	i=0	0	0	X	X	X	入力ポート(注1)
		1	0	X	X	X	出力ポート
		X	1	0	X	X	LCD駆動制御出力(SEG52)
				1	0	0	LCD駆動制御出力(COM7)
ポートP7_1 SEG53 COM6	i=1	0	0	X	X	X	入力ポート(注1)
		1	0	X	X	X	出力ポート
		X	1	0	X	X	LCD駆動制御出力(SEG53)
				1	0	0	LCD駆動制御出力(COM6)
ポートP7_2 SEG54 COM5	i=2	0	0	X	X	X	入力ポート(注1)
		1	0	X	X	X	出力ポート
		X	1	0	X	X	LCD駆動制御出力(SEG54)
				1	0	0	LCD駆動制御出力(COM5)
ポートP7_3 SEG55 COM4	i=3	0	0	X	X	X	入力ポート(注1)
		1	0	X	X	X	出力ポート
		X	1	0	X	X	LCD駆動制御出力(SEG55)
				1	0	0	LCD駆動制御出力(COM4)
ポートP7_4 COM3	i=4	0	0				入力ポート(注1)
		1	0				出力ポート
		X	1				LCD駆動制御出力(COM3)
ポートP7_5 COM2	i=5	0	0				入力ポート(注1)
		1	0				出力ポート
		X	1				LCD駆動制御出力(COM2)
ポートP7_6 COM1	i=6	0	0				入力ポート(注1)
		1	0				出力ポート
		X	1				LCD駆動制御出力(COM1)
ポートP7_7 COM0	i=7	0	0				入力ポート(注1)
		1	0				出力ポート
		X	1				LCD駆動制御出力(COM0)

X:“0”または“1”、-:関係しない

注1. P6PUR、P7PURレジスタの対応するビットを“1”にすると、プルアップありとなります。



表6.17 ポートP10\_0 ~ P10\_3

端子	レジスタ	PD10	KISR	KIEN	TRDPSR0	TRDOER1	TRDFCR				TRDIOA0			機能	
	ビット	PD10 <sub>i</sub>	KISEL0	KIEN	TRDIOA0SEL 1 0	EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0		
ポート P10_0 (TRDIOA0 TRDCLK K10)	i=0	0	X	X	01b以外	X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	X	X		X	X	X	X	X	X	X	X	出力ポート	
		0	1	1	01b以外	X	X	X	X	X	X	X	X	K10入力(注1)	
		0	X	X	1	0	X	0	0	0	1	1	X	X	タイマモード(インプット キャプチャ機能)(注1)
		0	X	X	1	0	X	X	X	1	1	0	0	0	外部クロック入力 (TRDCLK)(注1)
		X	X	X	1	0	0	0	0	0	0	X	X	X	PWM3モード波形出力
		X	X	X	1	0	0	0	0	0	1	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
ポート P10_1 (TRDIOB0 K11)	i=1	0	X	X	01b以外	X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	X	X		X	X	X	X	X	X	X	X	出力ポート	
		0	1	1	01b以外	X	X	X	X	X	X	X	X	K11入力(注1)	
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプット キャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード 波形出力
		X	X	X	1	0	0	0	0	0	X	X	X	X	PWM3モード波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
ポート P10_2 (TRDIOC0 K12)	i=2	0	X	X	01b以外	X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	X	X		X	X	X	X	X	X	X	X	出力ポート	
		0	1	1	01b以外	X	X	X	X	X	X	X	X	K12入力(注1)	
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプット キャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード 波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
ポート P10_3 (TRDIOD0 K13)	i=3	0	X	X	01b以外	X	X	X	X	X	X	X	X	入力ポート(注1)	
		1	X	X		X	X	X	X	X	X	X	X	出力ポート	
		0	1	1	01b以外	X	X	X	X	X	X	X	X	K13入力(注1)	
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプット キャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード 波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
		X	X	X	1	0	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)

X: "0" または "1", - : 関係しない

注1. P10PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

表6.18 ポートP10\_4 ~ P10\_7

端子	レジスタ	PD10	KISR	KIEN1	TRDPSR1		TRDOER1	TRDFCR				TRDIOA1			機能
	ビット	PD10 <sub>i</sub>	KISEL0	KIEN	TRDIOA1SEL		EA1	CMD1	CMD0	PWM3	-	IOA2	IOA1	IOA0	
ポート P10_4 (TRDIOA1 K14)	i=4	0	X	X	10b以外		X	X	X	X		X	X	X	入力ポート(注1)
		1	X	X	10b以外		X	X	X	X		X	X	X	出力ポート
		0	1	1	10b以外		X	X	X	X		X	X	X	K14入力(注1)
		0	X	X	1	0	X	0	0	1		1	X	X	タイマモード(インプット キャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X		X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X		X	X	X	リセット同期PWMモード 波形出力
		X	X	X	1	0	0	0	0	1		0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
											0	1	X		
ポート P10_5 (TRDIOB1 K15)	i=5	0	X	X	10b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X	10b以外		X	X	X	X	X	X	X	X	出力ポート
		0	1	1	10b以外		X	X	X	X	X	X	X	X	K15入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプット キャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード 波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
											0	0	1	タイマモード波形出力 (アウトプットコンペア機能)	
											0	1	X		
ポート P10_6 (TRDIOC1 K16)	i=6	0	X	X	10b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X	10b以外		X	X	X	X	X	X	X	X	出力ポート
		0	1	1	10b以外		X	X	X	X	X	X	X	X	K16入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプット キャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード 波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
											0	0	1	タイマモード波形出力 (アウトプットコンペア機能)	
											0	1	X		
ポート P10_7 (TRDIOD1 K17)	i=7	0	X	X	10b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
		1	X	X	10b以外		X	X	X	X	X	X	X	X	出力ポート
		0	1	1	10b以外		X	X	X	X	X	X	X	X	K17入力(注1)
		0	X	X	1	0	X	0	0	1	0	1	X	X	タイマモード(インプット キャプチャ機能)(注1)
		X	X	X	1	0	0	1	X	X	X	X	X	X	相補PWMモード波形出力
		X	X	X	1	0	0	0	1	X	X	X	X	X	リセット同期PWMモード 波形出力
		X	X	X	1	0	0	0	0	1	1	X	X	X	PWMモード波形出力
											0	0	1	タイマモード波形出力 (アウトプットコンペア機能)	
											0	1	X		

X: "0" または "1", - : 関係しない

注1. P10PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

表6.19 ポートP11\_0 ~ P11\_1

端子	レジスタ	PD11	INTSR	INTEN	INTCMP	SSUIICSR	ICCR1	SSU関連レジスタ (注7)		U2SR1		U2MR			機能				
	ビット	PD11 <sub>i</sub>	INTI SELO	INTIEN	INT1 CPO	IICSEL	ICE	SSCK 出力 制御	SSCK 入力 制御	CLK2SELO		SMD				CKDIR			
ポート P11_0 SCL SSCK (CLK2 INT0) IVREF1	i=0	0	X	X	X	0	X	0	0	0		X	X	X	X	入力ポート(注1)			
		1	X	X	X	0	X	0	0	0		X	X	X	X	出力ポート(注2)			
		0	X	X	X	1	1	X	X	0		X	X	X	X	SCL入出力(注2)			
		0	X	X	X	0	X	0	1	0		X	X	X	X	SSCK入力(注1)			
		0	X	X	X	0	X	1	0	0		X	X	X	X	SSCK出力(注2、3)			
		0	X	X	X	0	X	0	0	1		X	X	X	1	CLK2入力(注1)			
		X	X	X	X	0	X	0	0	1		0	0	1	0	CLK2出力(注2、4)			
		0	1	1	X	0	X	0	0	0		X	X	X	X	INT0入力(注1)			
		0	X	X	1	0	X	0	0	0		X	X	X	X	コンパレータB1 リファレンス電圧入力 (IVREF1)			
		1	X	X	1	0	X	0	0	0		X	X	X	X	コンパレータB1 リファレンス電圧入力 (IVREF1)			
端子	レジスタ	PD11	INTSR	INTEN	INTCMP	SSUIICSR	SSU関連レジスタ (注7)		U2SR0		U2MR			機能					
	ビット	PD11 <sub>i</sub>	INTI SELO	INTIEN	INT1 CPO	IICSEL	SSI 出力 制御	SSI 入力 制御	RXD2 SEL	TXD2 SEL	SMD				IICM				
ポート P11_1 SSI (RXD2 SCL2 TXD2 SDA2 INT1) IVCMP1	i=1	0	X	X	X	X	0	0	X	X	10b 以外		X	X	X	X	入力ポート(注1)		
		1	X	X	X	X	X	0	0	X	X	10b 以外		X	X	X	X	出力ポート(注2)	
		0	X	X	X	X	0	0	1	X	X	10b 以外		X	X	X	X	SSI入力(注1)	
		X	X	X	X	X	0	1	0	X	X	10b 以外		X	X	X	X	SSI出力(注2、5)	
		0	X	X	X	X	X	0	0	0	1	10b 以外		X	X	X	0	RXD2入力(注1)	
		0	X	X	X	X	X	0	0	0	1	10b 以外		0	1	0	1	SCL2入出力(注2、6)	
		X	X	X	X	X	X	0	0	X	X	1	0	0	0	1	0	0	TXD2出力(注2、6)
		0	X	X	X	X	X	0	0	X	X	1	0	0	1	0	1	0	SDA2入出力(注2、6)
		0	1	1	0	X	X	0	0	X	X	10b 以外		X	X	X	X	INT1入力(注1)	
		0	0	1	1	X	X	0	0	X	X	10b 以外		X	X	X	X	コンパレータB1入力 (IVCMP1)	

X: "0" または "1", - : 関係しない

注1. P11PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

注2. P11DRRレジスタの対応するビットを"1"にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのSCKOSビットを"1"にすると、Nチャンネルオープンドレイン出力になります。このとき、PD11レジスタのPD11\_0ビットを"0"にしてください。

注4. U2SMR3レジスタのNODCビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

注5. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

注6. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。このとき、PD11レジスタのPD11\_1ビットを"0"にしてください。

注7. シンクロナスシリアルコミュニケーションユニット(「表 26.4 通信モードと入出力端子の関係」参照)

表6.20 ポートP11\_2 ~ P11\_3

端子	レジスタ	PD11	INTSR	INTEN	INTCMP	-	SSUIICSR	ICCR1	SSU関連レジスタ (注6)		U2SR0		U2MR			U2SMR	機能		
	ビット	PD11 <sub>i</sub>	INTI SELO	INTIEN	INT3 CPO	-	IICSEL	ICE	SSI 出力 制御	SSI 入力 制御	RXD2 SEL	TXD2 SEL	SMD			IICM			
ポート P11_2 SDA SSO (RXD2 SCL2 TXD2 SDA2 INT2) IVREF3	i=2	0	X	X	X	-	1	0	X	X	X	X	01b	X	X	X	0	入力ポート(注1)	
		0	X	X	X	-	0	X	0	0	X	X	以外	X	X	X	0	出力ポート(注2)	
		1	X	X	X	-	1	0	X	X	X	X	01b	X	X	X	0	出力ポート(注2)	
		1	X	X	X	-	0	X	0	0	X	X	以外	X	X	X	0	出力ポート(注2)	
		0	X	X	X	-	1	1	X	X	X	X	01b	X	X	X	0	SDA入出力(注2)	
		0	X	X	X	-	0	X	0	1	X	X	以外	X	X	X	0	SSO入力(注1)	
		0	X	X	X	-	0	X	1	0	X	X		X	X	X	0	SSO出力 (注2、3)	
		0	X	X	X	-	1	0	X	X	1	0	01b 以外	X	X	X	0	RXD2入力(注1)	
		0	X	X	X	-	1	0	X	X	1	0	01b 以外	X	X	X	0	SCL2入出力 (注2、4)	
		X	X	X	X	-	1	0	X	X	X	X	0	1	0	1	0	1	SCL2入出力 (注2、4)
		X	X	X	X	-	0	X	0	0	X	X	0	1	0	1	0	0	TXD2出力 (注2、4)
		0	X	X	X	-	1	0	X	X	X	X	0	1	0	1	0	1	SDA2入出力 (注2、4)
0	1	1	X	-	X	X	0	0	X	X	0	1	X	X	X	X	INT2入力(注1)		
0	X	X	1	-	X	X	0	0	X	X	01b 以外	X	X	X	X	X	コンパレータB3 リファレンス電圧 入力(IVREF3)		
ポート P11_3 SCS (CTS2 RTS2 INT3) IVCMP3	i=3	0	X	X	X	-	-	0	0	X	X	0	X	X	X		入力ポート(注1)		
		1	X	X	X	-	-	0	0	X	X	0	X	X	X		出力ポート(注2)		
		0	X	X	X	-	-	0	1	X	X	X	X	X	X		SCS入力(注1)		
		0	X	X	X	-	-	1	X	X	X	X	X	X	X		SCS出力 (注2、5)		
		0	X	X	X	-	-	0	0	0	0	1						CTS2入力(注1)	
		0	X	X	X	-	-	0	0	1	0	1			000b 以外			RTS2出力 (注2)	
		0	1	1	0	-	-	0	0	X	X	0	X	X	X			INT3入力(注1)	
		0	0	1	1	-	-	0	0	X	X	0	X	X	X			コンパレータB3 入力(IVCMP3)	

X: "0" または "1", - : 関係しない

注1. PUR11レジスタの対応するビットを"1"にすると、プルアップありとなります。

注2. P11DRRレジスタの対応するビットを"1"にすると、駆動能力Highの出力となります。

注3. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)にすると、Nチャンネルオープンドレイン出力になります。

注4. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。このとき、PD11レジスタのPD11\_2ビットを"0"にしてください。

注5. SSMR2レジスタのCSOSビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

注6. シンクロナスシリアルコミュニケーションユニット(「表 26.4 通信モードと入出力端子の関係」参照)

表6.21 ポートP11\_4～P11\_7

端子	レジスタ	PD11	INTSR	INTEN1	TRASR	TRAIOC	TRAMR	U0SR		機能			
	ビット	PD11 <sub>i</sub>	INTi SEL0	INTiEN	TRAIOSSEL		TMOD0				RXD0SEL		
						TOPCR	2	1	0	1	0		
ポートP11_4 TRAIO (INT4 RXD0)	i=4	0	X	X	0	0	X	X	X	X	X	入力ポート(注1)	
		1	X	X	0	0	X	X	X	X	X	出力ポート(注2)	
		0	X	X	0	1	0	000b、001b 以外			X	X	TRAIO入力(注1)
		0	1	1	0	0	X	X	X	X	X	INT4入力(注1)	
		0	1	1	1	0	0	000b、001b 以外			X	X	TRAIO/INT4入力(注1)
		X	X	X	0	1	0	0	0	1	X	X	TRAIOパルス出力(注2)
		0	X	X	0	0	X	X	X	X	1	0	RXD0入力(注1)
端子	レジスタ	PD11	INTSR	INTEN1	-	TRAIOC	-				機能		
	ビット	PD11 <sub>i</sub>	INTi SEL0	INTiEN	-	TOENA	-						
ポートP11_5 TRA0 (INT5)	i=5	0	X	X	-	0					入力ポート(注1)		
		1	X	X	-	0					出力ポート(注2)		
		X	X	X	-	1					TRA0入力(注1)		
		0	1	1	-	0					INT5入力(注1)		
端子	レジスタ	PD11	INTSR	INTEN1	-	TRBIOC	TRBMR				機能		
	ビット	PD11 <sub>i</sub>	INTi SEL0	INTiEN	-	TOCNT	TMOD						
								1	0				
ポートP11_6 TRBO (INT6)	i=6	0	X	X	-	X	0	0			入力ポート(注1)		
		1	X	X	-	X	0	0			出力ポート(注2)		
		X	X	X	-	1	X	X					
		X	X	X	-	0	0	1			プログラマブル波形 発生モード(注2)		
		X	X	X	-	0	1	0			プログラマブルワン ショット発生モード (注2)		
		X	X	X	-	0	1	1			プログラマブルウェィ トワンショット発生 モード(注2)		
		0	1	1	-	X	0	0			INT6入力(注1)		
端子	レジスタ	PD11	INTSR	INTEN1	-	TRECR1	ADMOD				機能		
	ビット	PD11 <sub>i</sub>	INTi SEL0	INTiEN	-	TOENA	ADCAP						
								1	0				
ポートP11_7 TREQ (INT7 ADTRG)	i=7	0	X	X	-	0	X	X			入力ポート(注1)		
		1	X	X	-	0	X	X			出力ポート(注2)		
		X	X	X	-	1	X	X			TREQ出力(注2)		
		0	1	1	-	0	X	X			INT7入力(注1)		
		0	1	1	-	0	1	1			ADTRG入力(注1)		

X: "0" または "1", - : 関係しない

注1. P11PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

注2. P11DRRレジスタの対応するビットを"1"にすると、駆動能力Highの出力となります。

表6.22 ポートP12\_0 ~ P12\_3

端子	レジスタ	PD12	CM0		CM1			回路仕様		機能	
	ビット	PD12_i	CM05	CM07	CM10	CM11	CM13	発振バッファ	帰還抵抗		
ポートP12_0 XIN	i=4	0	1	1	0	1	0	OFF	OFF	入力ポート(注1)	
		1	1	1	0	1	0	OFF	OFF	出力ポート	
		0	1	0	0	1	0	ON	ON	XINクロック入力(注1)	
		0	1	0	1	1	0	ON	ON	XINクロック入力停止(STOPモード)(注1)	
		0	0	0	0	0	1	ON	ON	XIN-XOUT発振(内部帰還抵抗有効)	
		0	0	0	0	1	1	ON	OFF	XIN-XOUT発振(内部帰還抵抗無効)	
		0	1	0	0	0	1	OFF	ON	XIN-XOUT発振停止(内部帰還抵抗有効)	
		0	1	0	0	1	1	OFF	OFF	XIN-XOUT発振停止(内部帰還抵抗無効)	
		0	0	0	1	X	1	OFF	OFF	発振停止(STOPモード)	
端子	レジスタ	PD12	CM0		CM1			回路仕様		機能	
ビット	PD12_i	CM05	CM07	CM10	CM11	CM13	発振バッファ	帰還抵抗			
ポートP12_1 XOUT	i=1	0	1	X	0	1	0	OFF	OFF	入力ポート(注1)	
		1	1	X	0	1	0	OFF	OFF	出力ポート	
		0	0	0	0	0	1	ON	ON	XIN-XOUT発振(内部帰還抵抗有効)	
		0	0	0	0	1	1	ON	OFF	XIN-XOUT発振(内部帰還抵抗無効)	
		0	1	0	0	0	1	OFF	ON	XIN-XOUT発振停止(内部帰還抵抗有効)	
		0	1	0	0	1	1	OFF	OFF	XIN-XOUT発振停止(内部帰還抵抗無効)	
		0	0	0	1	X	1	OFF	OFF	発振停止(STOPモード)	
端子	レジスタ	PD12	LSE7								機能
ビット	PD12_i	LSE60									
ポートP12_2 CL1	i=2	0	0								入力ポート(注1)
		1	0								出力ポート
		X	1								CL1
ポートP12_3 CL2	i=3	0	0								入力ポート(注1)
		1	0								出力ポート
		X	1								CL2

X: "0" または "1"、 - : 関係しない

注1. P12PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

表6.23 ポートP13\_0 ~ P13\_3

端子	レジスタ	PD13	ADINSEL						DA0E	-				機能	
	ビット	PD13 <sub>i</sub>	CH			ADGSEL			DA0E	-					
			2	1	0	1	0	1		0	-				
ポートP13_0 AN0 DA0 WKUP1	i=0	0	X	X	X	X	X	X	0	-				入力ポート(注1)	
		1	X	X	X	X	X	X	0	-				出力ポート	
		0	X	X	X	X	X	X	0	-				WKUP1入力(注1)	
		0	0	0	0	0	0	0	0	-				A/Dコンバータ入力 (AN0)(注1)	
		0	X	X	X	X	X	X	1	-				D/Aコンバータ出力 (DA0)	
端子	レジスタ	PD13	ADINSEL						DA0E	U0SR	U0MR			機能	
	ビット	PD13 <sub>i</sub>	CH			ADGSEL			DA0E	TXD0 SEL0	SMD				
			2	1	0	1	0	2			1	0			
ポートP13_1 AN1 DA1 TXD0	i=1	0	X	X	X	X	X	0	0	X	X	X	入力ポート(注1)		
		1	X	X	X	X	X	0	0	X	X	X	出力ポート		
		0	0	0	1	0	0	0	0	X	X	X	A/Dコンバータ入力 (AN1)(注1)		
		0	X	X	X	X	X	1	0	X	X	X	D/Aコンバータ出力 (DA1)		
		X	X	X	X	X	X	X	0	1	0	0	1	TXD0出力(注2)	
											1	0	X		
1	1	0													
端子	レジスタ	PD13	ADINSEL						-	U0SR	-				機能
	ビット	PD13 <sub>i</sub>	CH			ADGSEL			-	RXD0 SEL	-				
ポートP13_2 AN2 RXD0	i=2	0	X	X	X	X	X	-	X	X	-				入力ポート(注1)
		1	X	X	X	X	X	-	X	X	-				出力ポート
		0	0	1	0	0	0	-	X	X	-				A/Dコンバータ入力 (AN2)(注1)
		0	X	X	X	X	X	-	0	1	-				RXD0入力(注1)
端子	レジスタ	PD13	ADINSEL						-	U0SR	U0MR				機能
	ビット	PD13 <sub>i</sub>	CH			ADGSEL			-	CLK0 SEL0	SMD			CKDIR	
ポートP13_3 AN3 CLK0	i=3	0	X	X	X	X	X	-	0	X	X	X	X	入力ポート(注1)	
		1	X	X	X	X	X	-	0	X	X	X	X	出力ポート	
		0	0	1	1	0	0	-	0	X	X	X	X	A/Dコンバータ入力 (AN3)(注1)	
		0	X	X	X	X	X	-	1	X	X	X	1	CLK0(外部クロック 入力)(注1)	
		X	X	X	X	X	X	-	1	0	0	1	0	CLK0(内部クロック 出力)	

X: "0" または "1", - : 関係しない

注1. P13PURレジスタの対応するビットを"1"にすると、プルアップありとなります。

注2. U0C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。このとき、PD13レジスタのPD13\_1ビットを"0"にしてください。

表6.24 ポートP13\_4 ~ P13\_7

端子	レジスタ ビット	PD13 PD13_i	ADINSEL				TRGPSR	TRGIOR			TRGMR	機能	
			CH		ADGSEL		TRG	IOA			PWM		
			2	1	0	1	0	IOASEL	2	1	0		
ポートP13_4 AN16 TRGIOA	i=4	0	X	X	X	X	X	0	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	0	X	X	X	X	出力ポート
		0	0	0	0	1	0	0	X	X	X	X	A/Dコンバータ入力 (AN16)(注1)
		0	X	X	X	X	X	1	1	X	X	0	タイマモード (インプットキャプ チャ機能)(注1)
		X	X	X	X	X	X	1	X	X	X	1	PWMモード波形出力
		X	X	X	X	X	X	1	0	0	1	0	タイマモード波形出力 (アウトプットコンパ ア機能)
ポートP13_5 AN17 TRGCLKA	i=5	0	X	X	X	X	X	0	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	0	X	X	X	X	出力ポート
		0	0	0	1	1	0	0	X	X	X	X	A/Dコンバータ入力 (AN17)(注1)
		X	X	X	X	X	X	1	1	0	1	0	TRGCLKA入力(位相 計数モード以外)(注1)
		X	X	X	X	X	X	1	X	X	X	1	TRGCLKA入力(位相 計数モード)(注1)
ポートP13_6 AN18 TRGIOB	i=6	0	X	X	X	X	X	0	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	0	X	X	X	X	出力ポート
		0	0	1	0	1	0	0	X	X	X	X	A/Dコンバータ入力 (AN18)(注1)
		0	X	X	X	X	X	1	1	X	X	X	タイマモード (インプットキャプ チャ機能)(注1)
		X	X	X	X	X	X	1	0	0	1	0	タイマモード波形出力 (アウトプットコンパ ア機能)
ポートP13_7 AN19 TRGCLKB	i=7	0	X	X	X	X	X	0	X	X	X	X	入力ポート(注1)
		1	X	X	X	X	X	0	X	X	X	X	出力ポート
		0	0	1	1	1	0	0	X	X	X	X	A/Dコンバータ入力 (AN19)(注1)
		0	X	X	X	X	X	1	1	1	1	0	TRGCLKB入力(位相 計数モード以外)(注1)
		0	X	X	X	X	X	1	X	X	X	1	TRGCLKB入力(位相 計数モード)(注1)
		X	X	X	X	X	X	1	X	X	X	1	TRGCLKB入力(位相 計数モード)(注1)

X: "0" または "1", - : 関係しない

注1. P13PURレジスタの対応するビットを"1"にすると、プルアップありとなります。



## 6.7 未使用端子の処理

表6.25に未使用端子の処理例を示します。

表6.25 未使用端子の処理例

端子名	処理内容
ポートP0～P4、P5_0～P5_3、 P6～P11、P12_0～P12_3、P13	<ul style="list-style-type: none"> <li>•入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2)</li> <li>•出力モードに設定し、端子を開放(注1、2)</li> </ul>
XCOUT	開放
XCIN、VL1	抵抗を介してVCCに接続(プルアップ)(注2)
VREF、VL2～VL4	VCCに接続
WKUP0(注3)	VSSに接続(注3)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定したほうがプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオフモードを使用しない時。

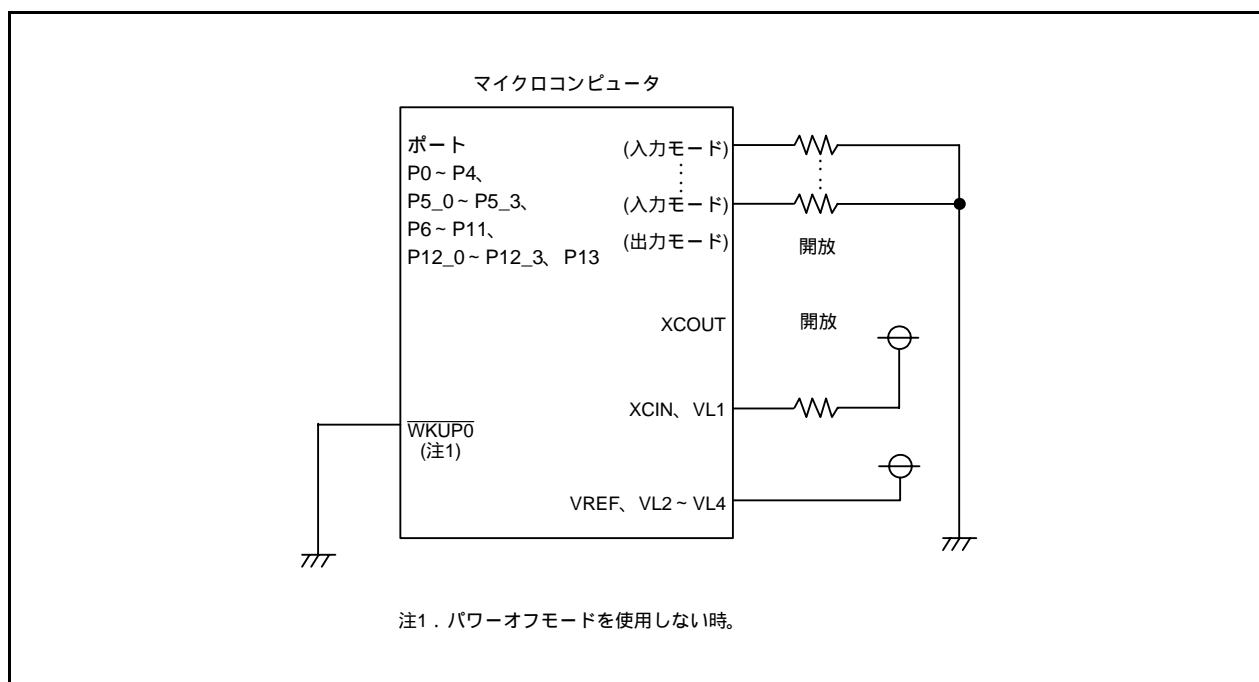


図6.6 未使用端子の処理例

## 7. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。

表7.1にアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表7.2にアクセス単位とバスの動作を示します。

表7.1 アクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/ データフラッシュ	CPU クロックの 2 サイクル
プログラム ROM/RAM	CPU クロックの 1 サイクル

注1. データフラッシュはR8C/L35A、L36A、L38A、L3AAグループ(計4グループ)にのみ搭載しています。

表7.2 アクセス単位とバスの動作

領域	SFR、データフラッシュ		ROM(プログラムROM)、RAM	
偶数番地 バイトアクセス	CPU クロック		CPU クロック	
	アドレス		アドレス	
	データ		データ	
奇数番地 バイトアクセス	CPU クロック		CPU クロック	
	アドレス		アドレス	
	データ		データ	
偶数番地 ワードアクセス	CPU クロック		CPU クロック	
	アドレス		アドレス	
	データ		データ	
奇数番地 ワードアクセス	CPU クロック		CPU クロック	
	アドレス		アドレス	
	データ		データ	

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

タイマRD：TRDi(i=0, 1)、TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

タイマRG：TRG、TRGGRA、TRGGRBレジスタ

SSU：SSTDR、SSTDRH、SSRDR、SSRDRHレジスタ

UART2：U2MR、U2BRG、U2TB、U2C0、U2C1、U2RB、U2SMR5、U2SMR4、U2SMR3、U2SMR2、U2SMR  
レジスタ

A/Dコンバータ：AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADMOD、ADINSEL、ADCON0、  
ADCON1レジスタ

D/Aコンバータ：DA0、DA1レジスタ

アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表7.2 アクセス単位とバスの動作」の  
「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセス  
します。

## 8. クロック発生回路

クロック発生回路として、5つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 低速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

### 8.1 概要

表8.1にクロック発生回路の概略仕様を、図8.1にクロック発生回路を、図8.2に周辺機能のクロックを示します。

表8.1 クロック発生回路の概略仕様

項目	XINクロック発振回路	XCINクロック発振回路	低速オンチップオシレータ	ウォッチドッグタイマ用低速オンチップオシレータ
用途	<ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> </ul>	<ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> </ul>	<ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> <li>• XINクロック発振停止時のCPU、周辺機能のクロック源</li> </ul>	<ul style="list-style-type: none"> <li>• ウォッチドッグタイマのクロック源</li> </ul>
クロック周波数	0 ~ 20MHz	32.768kHz	約125kHz	約125kHz
接続できる発振子	<ul style="list-style-type: none"> <li>• セラミック共振子</li> <li>• 水晶発振子</li> </ul>	<ul style="list-style-type: none"> <li>• 水晶発振子</li> </ul>		
発振子の接続端子	XIN、XOUT(注1)	XCIN、XCOUT	(注1)	
発振の開始と停止	あり	あり	あり	あり
リセット後の状態	停止	発振	発振	停止(注3) 発振(注4)
その他	外部で生成されたクロックを入力可能(注2)	<ul style="list-style-type: none"> <li>• 外部で生成されたクロックを入力可能</li> <li>• 帰還抵抗Rfを内蔵。(接続/非接続選択可能)</li> </ul>		

注1. XINクロック発振回路およびXCINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP12\_0、P12\_1として使うことができます。

P12\_0端子はXIN端子と、P12\_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。

注2. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)、CM13ビットを“0”(入出力ポート)にしてください。

注3. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注4. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

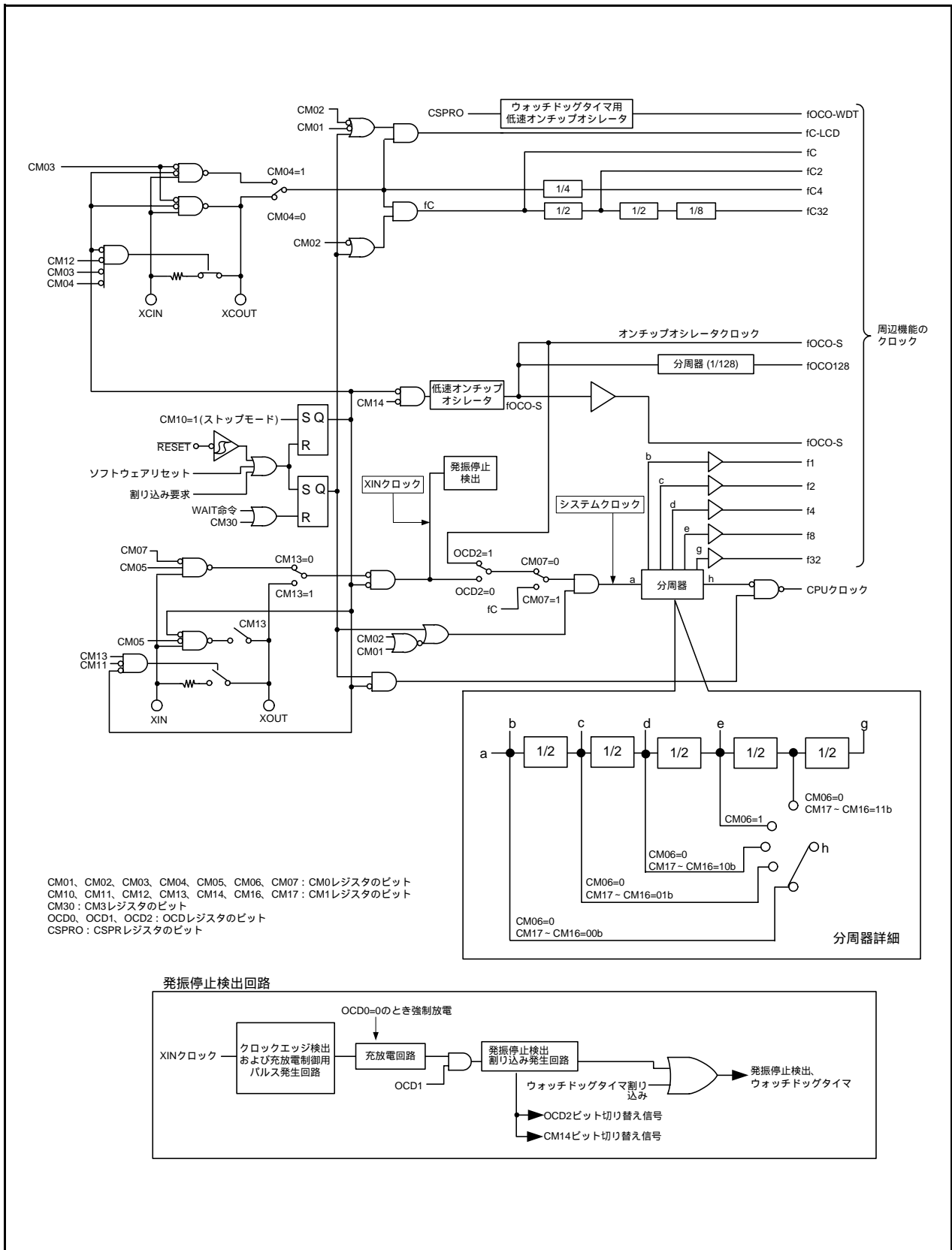


図 8.1 クロック発生回路

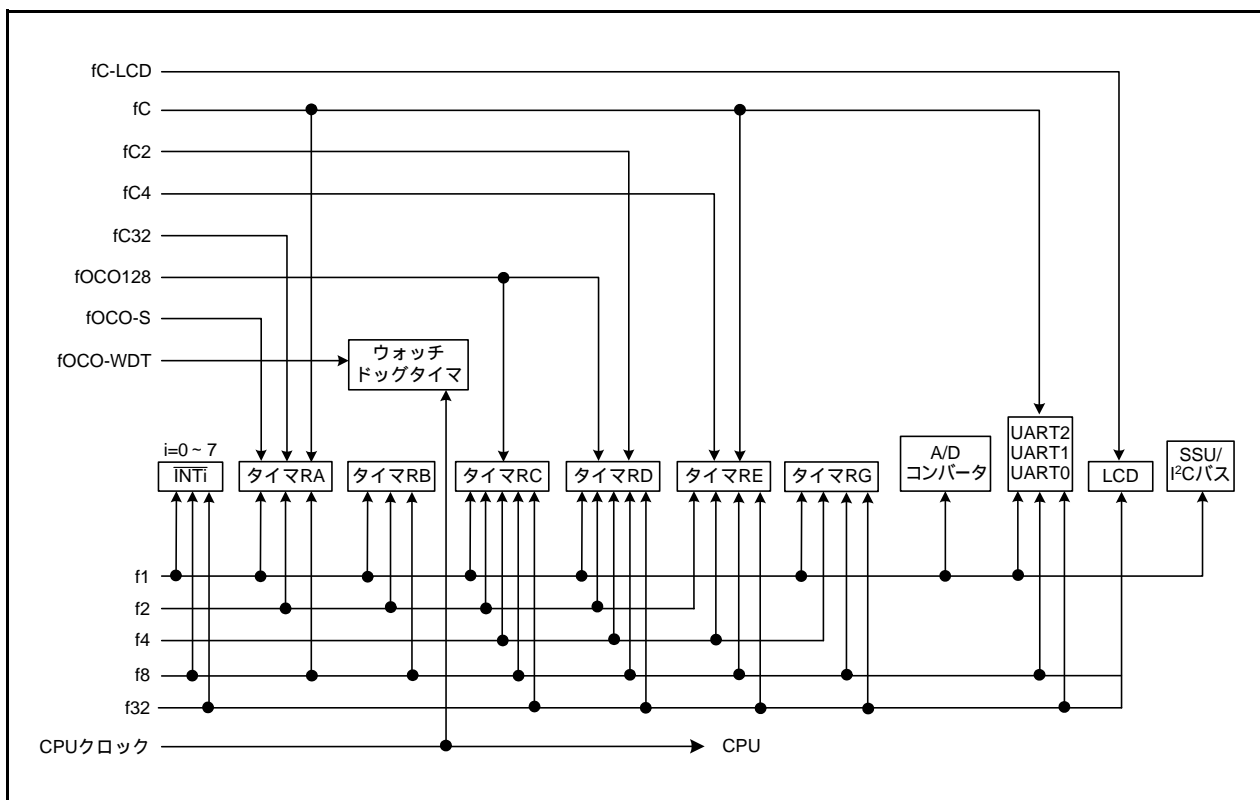


図8.2 周辺機能のクロック

## 8.2 レジスタの説明

### 8.2.1 システムクロック制御レジスタ0(CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	CM01	-
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	CM01	ウェイトモード時周辺機能クロック停止ビット	b2 b1 00: ウェイトモード時、周辺機能クロックを停止しない 01: ウェイトモード時、f1 ~ f32クロック停止 10: ウェイトモード時、f1 ~ f32、fCクロック停止 11: ウェイトモード時、f1 ~ f32、fC、fC-LCDクロック停止	R/W
b2	CM02			
b3	CM03	XCINクロック停止ビット(注6)	0: 発振 1: 停止	R/W
b4	CM04	XCIN外部クロック入力許可ビット	0: 外部クロック入力禁止 1: 外部クロック入力許可	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0: 発振 1: 停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	システムクロック選択ビット(注5)	0: XINクロック、またはオンチップオシレータクロック 1: XCINクロック	R/W

- 注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止することができます。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。  
(1) OCDレジスタのOCD1 ~ OCD0ビットを“00b”にする。  
(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
- 注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられません。
- 注3. CM05ビットが“1”(XINクロック停止)かつCM07ビットが“1”(XCINクロック)の場合のみ、P12\_0、P12\_1は入出力ポートとして使用できます。  
P12\_0端子はXIN端子と、P12\_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらを入出力ポートとして使用できません。
- 注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
- 注5. XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。
- 注6. XCINクロックを使用する場合は、電源投入後、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 8.2.2 システムクロック制御レジスタ1(CM1)

アドレス 0007h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	-	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注4、5)	0: 入出力ポートP12_0、P12_1 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	-	予約ビット	"1" にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

- 注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。
- 注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。
- 注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
- 注4. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM07ビットを“1”(XCINクロック)にしてください。  
外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“1”(XINクロック発振)、CM07ビットを“0”(XINクロック)にしてください。さらに、PD12レジスタのPD12\_0ビットが“0”(入力モード)にすると外部クロックを入力できます。このとき、XOUTは入出力ポートP12\_1として使用できます。  
P12\_0端子はXIN端子と、P12\_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。
- 注5. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。



### 8.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	-	-	-	-	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-	予約ビット	“0”にしてください。	R/W
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット (注2)	0: CM0レジスタのCM06ビット、CM1レジスタの CM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモード から復帰時のシステムクロック選 択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する 直前のCPUクロックで復帰 01: 設定しないでください 10: 設定しないでください 11: XINクロックを選択(注3)	R/W
b7	CM37			R/W

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
  - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
  - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

#### CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

### 8.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	オンチップオシレータクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

- 注1. ストップモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを"00b"に設定してください。
- 注2. OCD2ビットを"1"(オンチップオシレータクロック選択)にすると、CM14ビットは"0"(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが"11b"のときにXINクロック発振停止を検出すると、自動的に"1"(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが"1"(XINクロック停止)のとき、OCD2ビットに"0"(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが"1"(発振停止検出機能有効)のとき有効です。
- 注5. OCD1～OCD0ビットが"00b"のときOCD3ビットは"0"(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「9.7.1 発振停止検出機能の使用方法」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後、書き換えてください。

クロック発生回路で生成するクロックを説明します。

### 8.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXOUT端子へ入力することもできます。

図8.3にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。

XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「9. パワーコントロール」を参照してください。

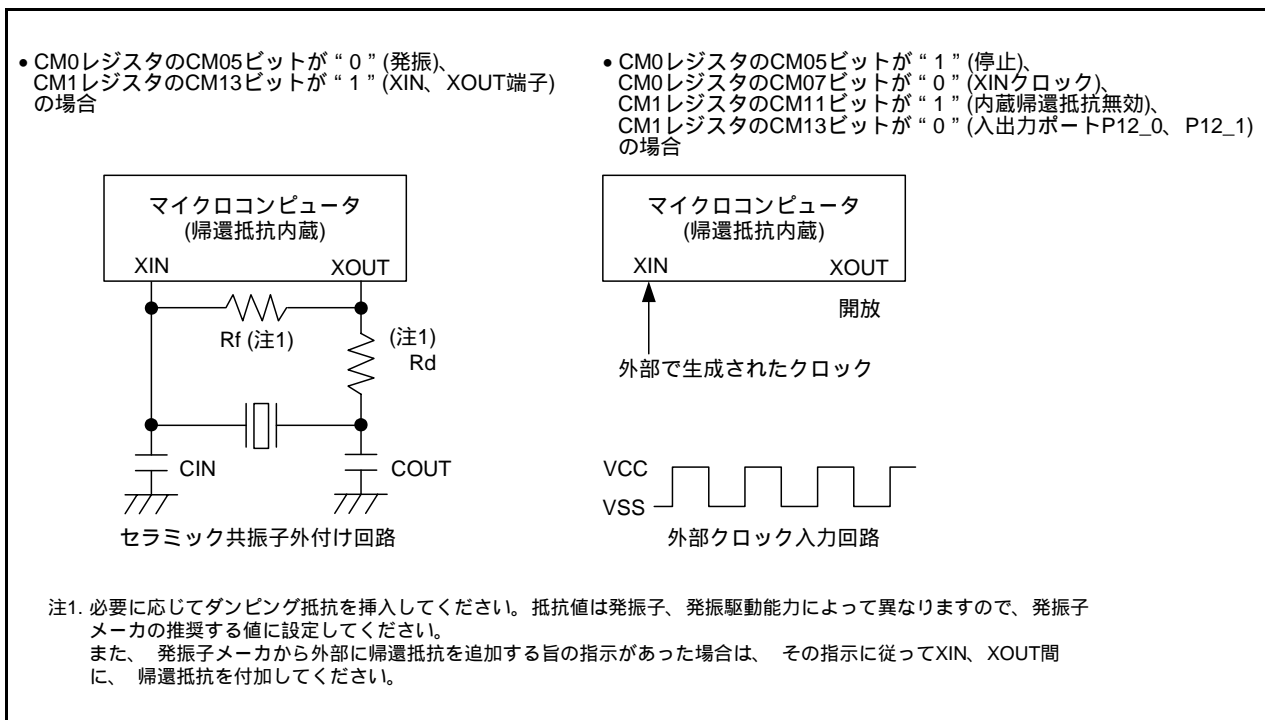


図8.3 XINクロックの接続回路例

## 8.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、低速オンチップオシレータがあります。

### 8.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック (fOCO-S、fOCO128)のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

## 8.5 XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCINクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。

図8.4にXCINクロックの接続回路例を示します。

リセットで、CM0レジスタのCM04～CM03ビットが“00b”(外部クロック入力禁止、XCINクロック発振)になり、XCINクロックが発振します(内蔵帰還抵抗は有効)。リセット後、XCINクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(XCINクロック)にするとXCINクロックがCPUのクロック源になります。

CM03ビットを“1”(XCINクロック発振停止)にするとXCINクロックは停止します。

CM04～CM03に“10b”(外部クロック入力許可、XCINクロック発振)にすると外部で生成されたクロックをXCIN端子へ入力することもできます。このとき、XCOUT端子は開放してください。

内蔵する帰還抵抗は、CM1レジスタのCM12ビットにより、内部帰還抵抗を無効/有効の切り替えも可能です。

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。

XCINクロックを使用しない場合は、CM04～CM03を“01b”(外部クロック入力禁止、XCINクロック発振停止)、CM12を“1”(内蔵帰還抵抗無効)にしてください。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「9. パワーコントロール」を参照してください。

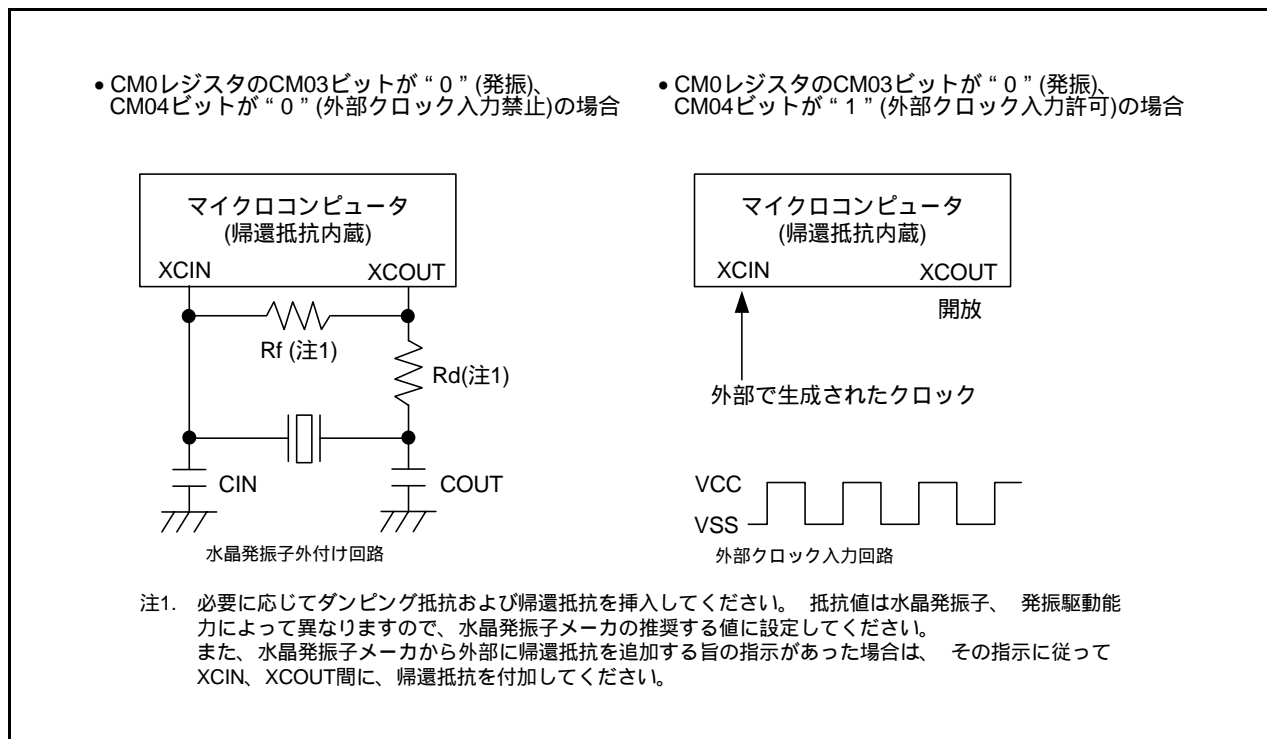


図8.4 XCINクロックの接続回路例

## 8.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります。(「図8.1 クロック発生回路」参照。)

### 8.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロックまたはオンチップオシレータクロックが選択できます。

### 8.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

### 8.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

$f_i$ ( $i=1、2、4、8、32$ )はシステムクロックを $i$ 分周したクロックです。 $f_i$ はタイマRA、タイマRB、タイマRC、タイマRD、タイマRE、タイマRG、シリアルインタフェース、A/Dコンバータ、LCD波形制御回路で使用します。

CM0レジスタのCM02、CM01ビットを“01”または“10”または“11”にした後にウェイトモードに移行した場合、 $f_i$ は停止します。

### 8.6.4 fOCO-S

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

### 8.6.5 fOCO128

fOCO-Sを128分周したクロックです。

タイマRCのTRCGRAレジスタおよびタイマRD0で使用するキャプチャ信号になります。

### 8.6.6 fC-LCD

fC-LCDはLCD波形制御回路で使用します。

なお、fC-LCDは、XCINクロックの発振が安定しているときに使用してください。

### 8.6.7 fC、fC2、fC4、fC32

fC、fC2、fC4、fC32はタイマRA、タイマRD、タイマRE、シリアルインタフェースで使⽤します。  
なお、fC、fC2、fC4、fC32は、XCINクロックの発振が安定しているときに使⽤してください。

### 8.6.8 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

## 8.7 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表8.2に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット = 1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット = 1(XINクロック停止)
- CM1レジスタのCM14ビット = 0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表8.2 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

### 8.7.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。表8.3に発振停止検出割り込み、ウォッチドッグタイマ割り込みの割り込み要因の判別を示します。図8.6に発振停止検出割り込み、ウォッチドッグタイマ割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。  
図8.5に低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02、CM01ビットを“00”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、OCD1～OCD0ビットを“11b”にしてください。

表8.3 発振停止検出割り込み、ウォッチドッグタイマ割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 (a) または (b) のとき)	(a)OCD レジスタの OCD3=1
	(b)OCD レジスタの OCD1～OCD0=11b かつ OCD2=1
ウォッチドッグタイマ	VW2C レジスタの VW2C3=1



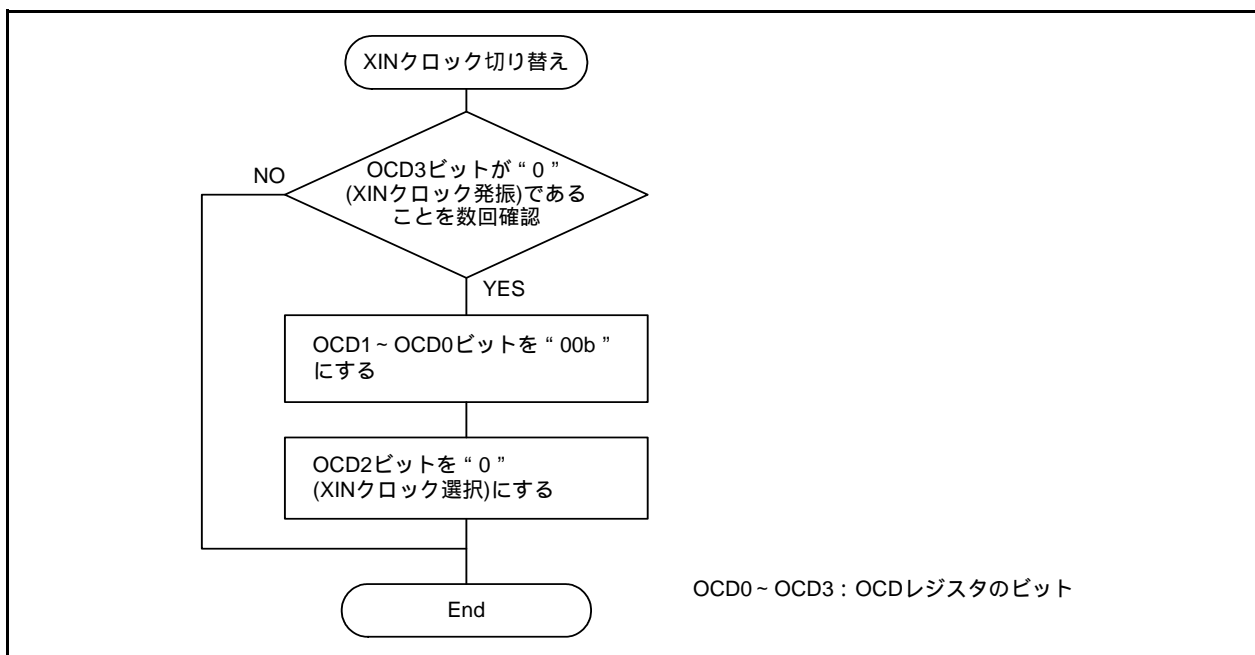


図8.5 低速オンチップオシレータからXINクロックへの切り替え手順

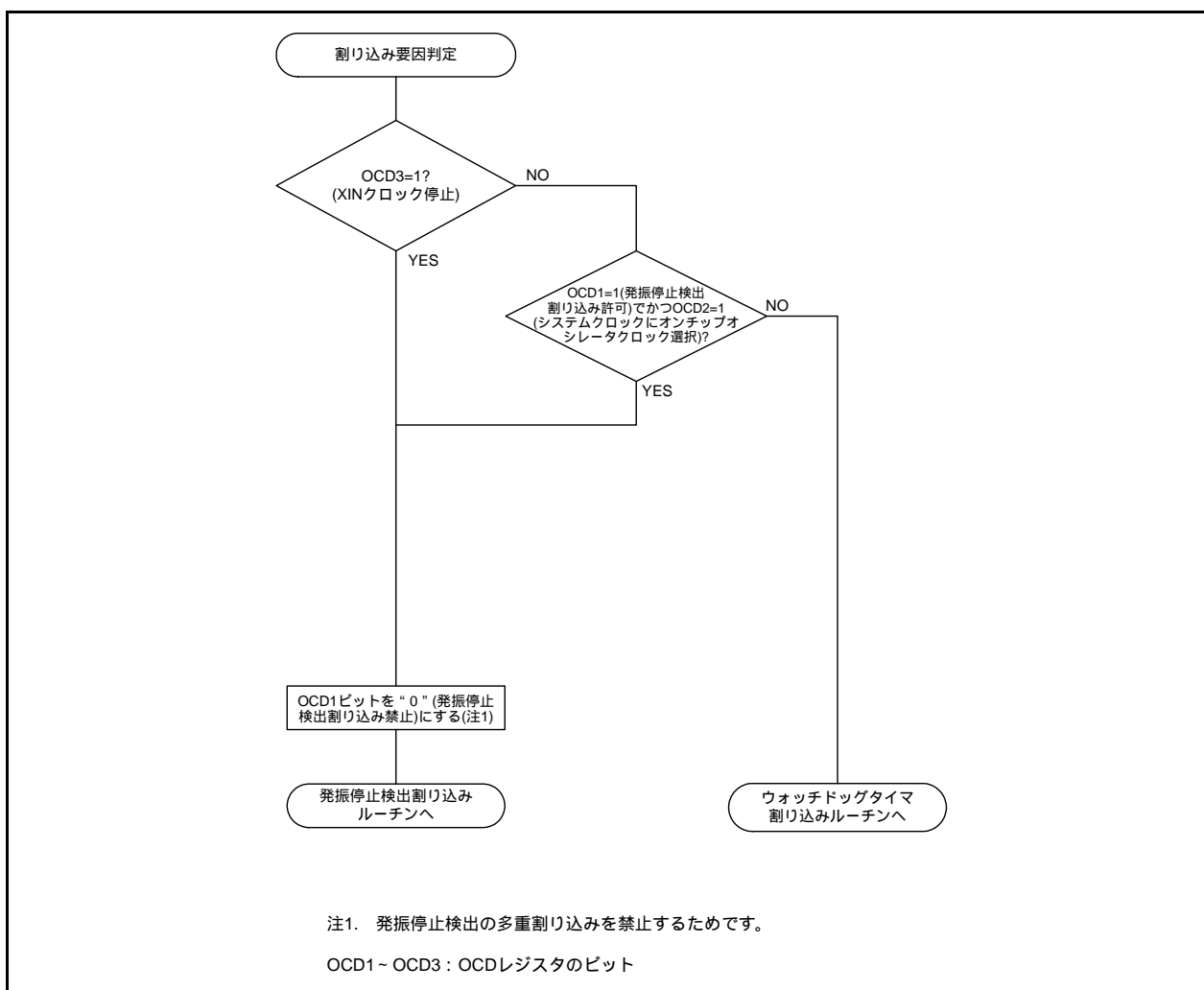


図8.6 発振停止検出割り込み、ウォッチドッグタイマ割り込みの割り込み要因判別方法例

## 8.8 クロック発生回路使用上の注意

### 8.8.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

### 8.8.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

### 8.8.3 XCINクロック

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。

### 8.8.4 P12\_0とP12\_1端子に関する使用上の注意事項

P12\_0端子はXIN端子と、P12\_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。

## 9. パワーコントロール

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 9.1 概要

パワーコントロールには4つのモードがあります。なお、ここではウェイトモード、ストップモード、パワーオフモード以外の状態を、標準動作モードと呼びます。

表9.1に各モードを、図9.1にパワーコントロールモード状態遷移を示します。

表9.1 パワーコントロール

モード		動作
標準動作モード	高速クロック	CPU、周辺機能動作
	低速クロック	
	低速オンチップオシレータ	
ウェイトモード	CPU停止、周辺機能動作	
ストップモード	CPU停止、周辺機能停止(発振停止)	
パワーオフモード	低速クロック、タイマRE以外の機能は停止、 または全機能停止	

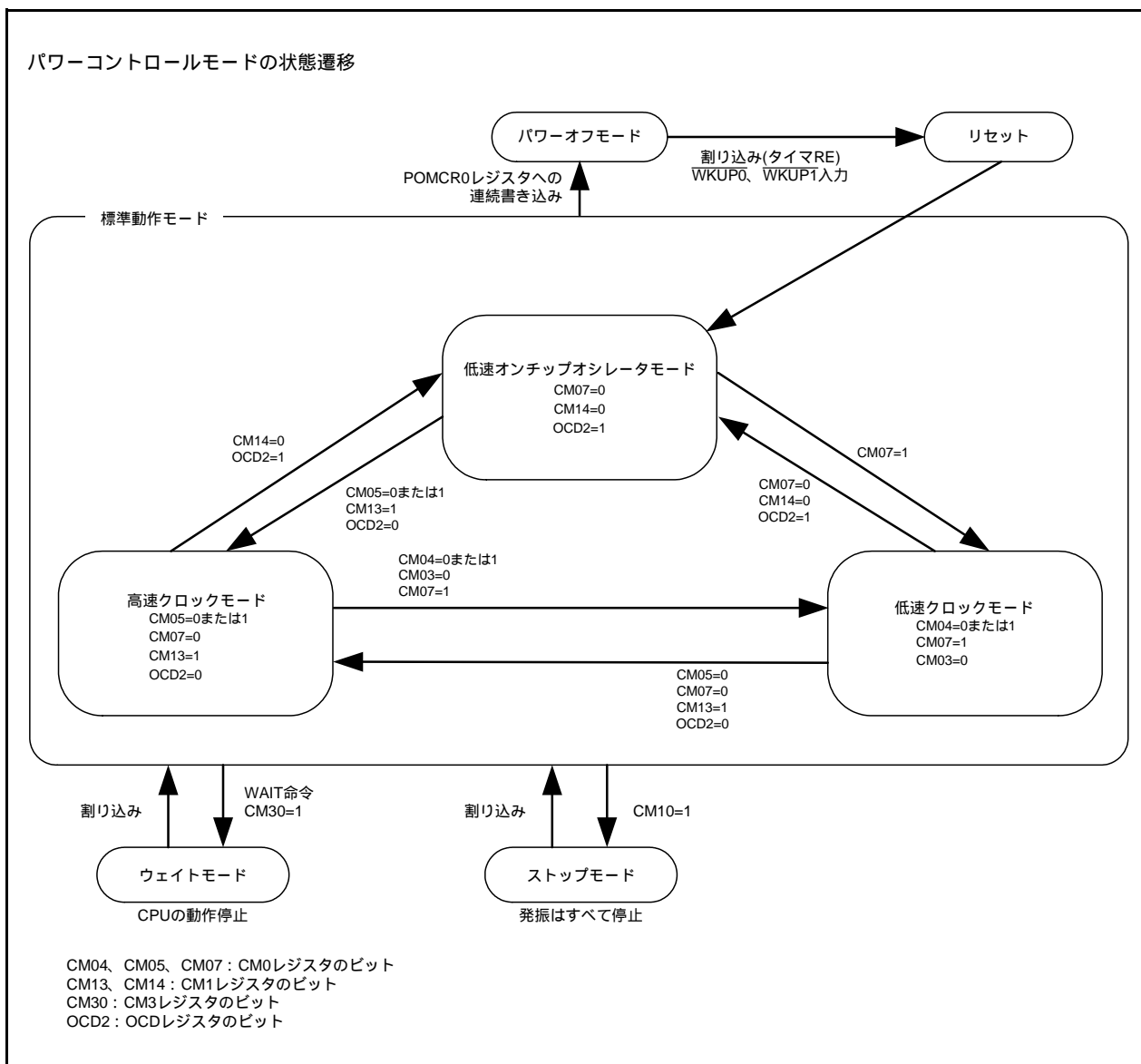


図9.1 パワーコントロールモード状態遷移

## 9.2 レジスタの説明

### 9.2.1 システムクロック制御レジスタ0(CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	CM01	-
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	CM01	ウェイトモード時周辺機能クロック停止ビット	b2 b1 00: ウェイトモード時、周辺機能クロックを停止しない 01: ウェイトモード時、f1 ~ f32クロック停止 10: ウェイトモード時、f1 ~ f32、fCクロック停止 11: ウェイトモード時、f1 ~ f32、fC、fC-LCDクロック停止	R/W
b2	CM02			
b3	CM03	XCINクロック停止ビット(注6)	0: 発振 1: 停止	R/W
b4	CM04	XCIN外部クロック入力許可ビット	0: 外部クロック入力禁止 1: 外部クロック入力許可	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0: 発振 1: 停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	システムクロック選択ビット(注5)	0: XINクロック、またはオンチップオシレータクロック 1: XCINクロック	R/W

注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止することができます。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

- (1) OCDレジスタのOCD1 ~ OCD0ビットを“00b”にする。
- (2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられません。

注3. CM05ビットが“1”(XINクロック停止)かつCM07ビットが“1”(XCINクロック)の場合のみ、P12\_0、P12\_1は入出力ポートとして使用できます。P12\_0端子はXIN端子と、P12\_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらを入出力ポートとして使用できません。

注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注5. XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。

注6. XCINクロックを使用する場合は、電源投入後、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 9.2.2 システムクロック制御レジスタ1(CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	-	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注4、5)	0: 入出力ポートP12_0、P12_1 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	-	予約ビット	“1” にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

注1. CM06ビットが“0”の場合、CM16～CM17ビットは有効となります。

注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注4. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM07ビットを“1”(XCINクロック)にしてください。

外部クロック入力として使用する場合は、CM13ビットを“0”(入出力ポート)、CM05ビットを“1”(XINクロック発振)、CM07ビットを“0”(XINクロック)にしてください。さらに、PD12レジスタのPD12\_0ビットが“0”(入力モード)にすると外部クロックを入力できます。このとき、XOUTは入出力ポートP12\_1として使用できます。

P12\_0端子はXIN端子と、P12\_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらI/Oポートとして使用できません。

注5. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

### 9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	-	-	-	-	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-	予約ビット	“0”にしてください。	R/W
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット (注2)	0: CM0レジスタのCM06ビット、CM1レジスタの CM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモード から復帰時のシステムクロック選 択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する 直前のCPUクロックで復帰 01: 設定しないでください 10: 設定しないでください 11: XINクロックを選択(注3)	R/W
b7	CM37			R/W

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
  - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
  - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

#### CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

### 9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	オンチップオシレータクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

- 注1. ストップモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを"00b"に設定してください。
- 注2. OCD2ビットを"1"(オンチップオシレータクロック選択)にすると、CM14ビットは"0"(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが"11b"のときにXINクロック発振停止を検出すると、自動的に"1"(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが"1"(XINクロック停止)のとき、OCD2ビットに"0"(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが"1"(発振停止検出機能有効)のとき有効です。
- 注5. OCD1～OCD0ビットが"00b"のときOCD3ビットは"0"(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「9.7.1 発振停止検出機能の使用方法」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後、書き換えてください。



### 9.2.5 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	VCA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			R/W
b3	-			R/W
b4	-			R/W
b5	-			R/W
b6	-			R/W
b7	-			R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図10.7 VCA20ビットによる内部電源低消費電力操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

### 9.2.6 パワーオフモード制御レジスタ0 (POMCR0)

アドレス 0020h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00
リセット後の値	X	0	0	0	0	0	0	0

1回目書き込み：パワーオフモード時の端子状態と解除方法の選択

ビット	シンボル	ビット名	機能	R/W
b0	POM00	パワーオフモード選択ビット	0：パワーオフ0（全機能停止） 1：パワーオフ1（タイマRE有効）	W
b1	POM01	予約ビット	“0” にしてください	W
b2	POM02			W
b3	POM03	WKUP1入力有効ビット	0：入力無効 1：入力有効	W
b4	POM04	予約ビット	“0” にしてください	W
b5	POM05			W
b6	POM06			W
b7	POM07			W

2～5回目書き込み：パワーオフモードへ移行

ビット	機能	R/W
b7～b0	“88h”、“15h”、“92h”、“25h”を連続して書いてください。	W

読み出し時

ビット	シンボル	ビット名	機能	R/W
b0	POM00	WKUP0要因パワーオフモード解除フラグ	0：未検出 1：検出	R
b1	POM01	WKUP1要因パワーオフモード解除フラグ	0：未検出 1：検出	R
b2	-	何も配置されていない。読んだ場合、その値は不定。		-
b3	-			
b4	-			
b5	-			
b6	POM06	タイマRE要因パワーオフモード解除フラグ	0：未検出 1：検出	R
b7	-	何も配置されていない。読んだ場合、その値は不定。		-

注1. パワーオフモードへの移行は、5回連続してPOMCR0レジスタへの書き込みを行ってください。

注2. POMCR0レジスタ(0020h番地)に“00h”と書いてください。

POMCR0レジスタへ“00h”と書くまでは、電源電流が増える場合があります。

プログラム例：MOV.B #00H, 0020H

### 9.3 標準動作モード

表9.2に標準動作モードのクロック選択を示します。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってからクロックを切り替えてください。

表9.2 標準動作モードのクロック選択

モード		OCDレジスタ	CM1レジスタ				CM0レジスタ				
		OCD2	CM17	CM16	CM14	CM13	CM07	CM06	CM05	CM04	CM03
高速クロックモード	分周なし	0	0	0		1	0	0	0または1		
	2分周	0	0	1		1	0	0	0または1		
	4分周	0	1	0		1	0	0	0または1		
	8分周	0				1	0	1	0または1		
	16分周	0	1	1		1	0	0	0または1		
低速クロックモード	分周なし		0	0			1	0		0または1	0
	2分周		0	1			1	0		0または1	0
	4分周		1	0			1	0		0または1	0
	8分周						1	1		0または1	0
	16分周		1	1			1	0		0または1	0
低速オンチップオシレータモード	分周なし	1	0	0	0		0	0			
	2分周	1	0	1	0		0	0			
	4分周	1	1	0	0		0	0			
	8分周	1			0		0	1			
	16分周		1	1	0		0	0			

：“0”でも“1”でも影響ない

### 9.3.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のときfOCO-SをタイマRAで使用できます。

### 9.3.2 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。このモードにおいて、XINクロックを停止させ、FMR2レジスタのFMR27ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「9.7 消費電力の低減」を参照してください。

### 9.3.3 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。

このモードにおいて、XINクロックを停止させ、FMR2レジスタのFMR27ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「9.7 消費電力の低減」を参照してください。

## 9.4 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

### 9.4.1 周辺機能クロック停止機能

CM0レジスタのCM01、CM02ビット(ウェイトモード時周辺機能クロック停止ビット)の設定で、ウェイトモード時に停止する周辺機能クロックを選択できるので、用途にあわせて消費電力を調整できます。

### 9.4.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

### 9.4.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

#### 9.4.4 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。周辺機能割り込みはCM0レジスタのCM01、CM02ビットの影響を受けます。

表9.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02、CM01=00b の場合	CM02、CM01=01b の場合	CM02、CM01=10b の場合	CM02、CM01=11b の場合
シリアルインタフェース 割り込み	内部クロック、外部 クロックで使用可	fC、外部クロックで 使用可	外部クロックで使用 可	外部クロックで使用 可
シンクロナスシリアル コミュニケーションユニット/ I <sup>2</sup> Cバスインタフェース割 り込み	すべてのモードで 使用可	(使用しないでく ださい)	(使用しないでく ださい)	(使用しないでく ださい)
キー入力割り込み	使用可	使用可	使用可	使用可
A/D変換割り込み	(使用しないでく ださい)	(使用しないでく ださい)	(使用しないでく ださい)	(使用しないでく ださい)
タイマRA割り込み	すべてのモードで使 用可	フィルタなしの場合 にイベントカウンタ モードで使用可 カウントソースに fOCO-S、fC、fC32 を選択することで使 用可	フィルタなしの場合 にイベントカウンタ モードで使用可 カウントソースに fOCO-Sを選択する ことで使用可	フィルタなしの場合 にイベントカウンタ モードで使用可 カウントソースに fOCO-Sを選択する ことで使用可
タイマRB割り込み	すべてのモードで使 用可	(使用しないでく ださい)	(使用しないでく ださい)	(使用しないでく ださい)
タイマRC割り込み	すべてのモードで使 用可	(使用しないでく ださい)	(使用しないでく ださい)	(使用しないでく ださい)
タイマRD割り込み	すべてのモードで使 用可	(使用しないでく ださい)	(使用しないでく ださい)	(使用しないでく ださい)
タイマRE割り込み	すべてのモードで使 用可	リアルタイムクロッ クモードで使用可	リアルタイムクロッ クモードで使用可	リアルタイムクロッ クモードで使用可
タイマRG割り込み	すべてのモードで使 用可	(使用しないでく ださい)	(使用しないでく ださい)	(使用しないでく ださい)
INT割り込み	使用可	フィルタなしの場合 に、使用可	使用可(INT0 ~ INT7 はフィルタなしの場 合に使用可)	使用可(INT0 ~ INT7 はフィルタなしの場 合に使用可)
発振停止検出割り込み	使用可	(使用しないでく ださい)	(使用しないでく ださい)	(使用しないでく ださい)

- CM02、CM01ビットが“00b”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。
- CM02、CM01ビットが“01b”(ウェイトモード時、f1 ~ f32クロック停止)の場合は、外部信号、オンチップオシレータクロックまたはfC1 ~ fC32クロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。
- CM02、CM01ビットが“10b”(ウェイトモード時、f1 ~ f32、fCクロック停止)の場合は、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。
- CM02、CM01ビットが“11b”(ウェイトモード時、f1 ~ f32、fC、fC-LCDクロック停止)の場合は、CM02、CM01ビットが“10b”のときと同様です。

表9.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

図9.2にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.2のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

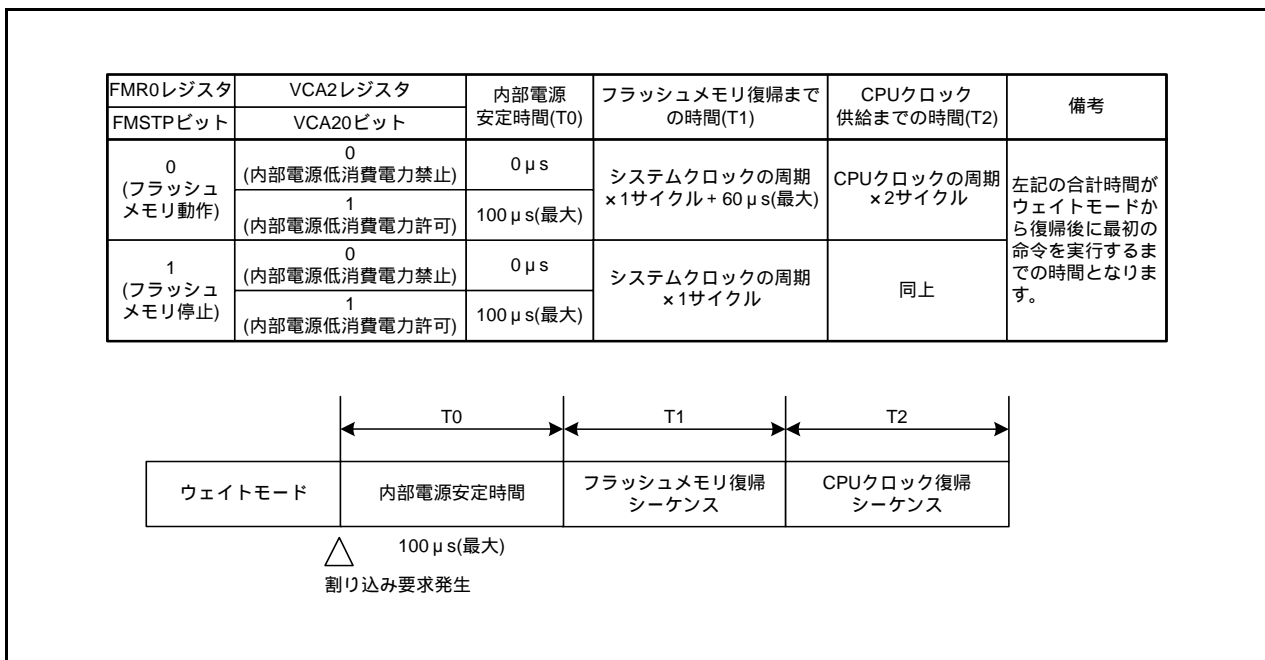


図9.2 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

図9.3にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.3のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

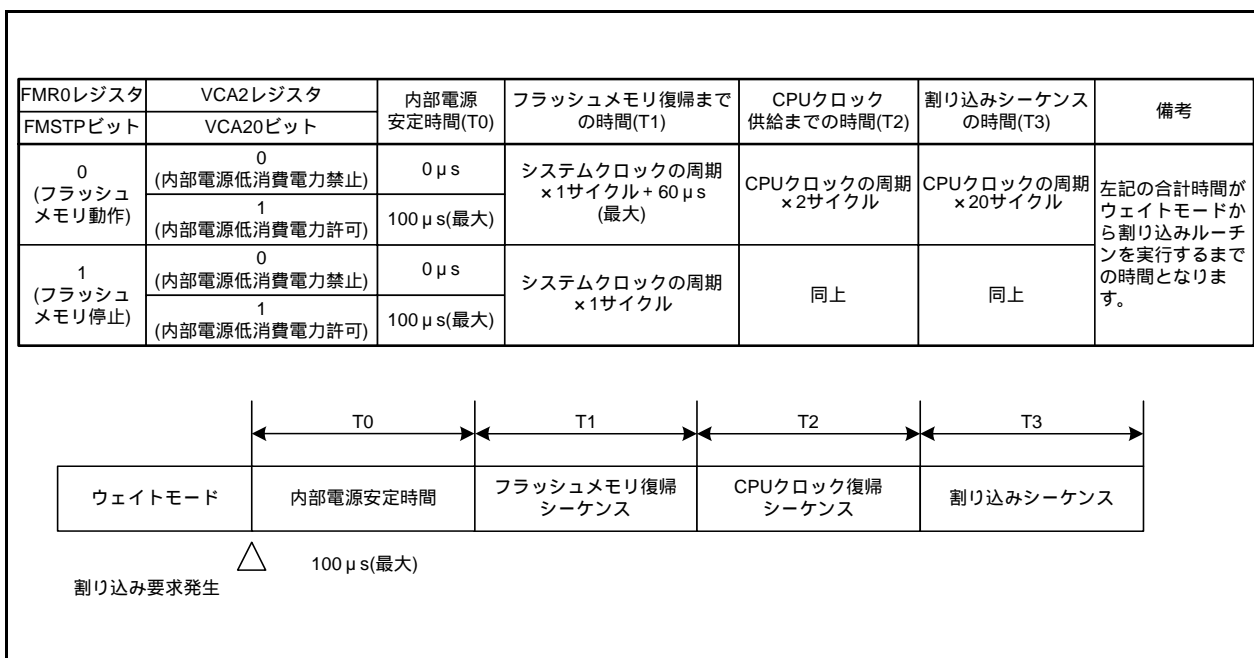


図9.3 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間



## 9.5 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表9.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表9.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT0 ~ INT7割り込み	フィルタなしの場合に使用可
タイマRA割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時

### 9.5.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1 ~ OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

### 9.5.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P12\_0)端子は“H”になります。

### 9.5.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図9.4にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。  
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

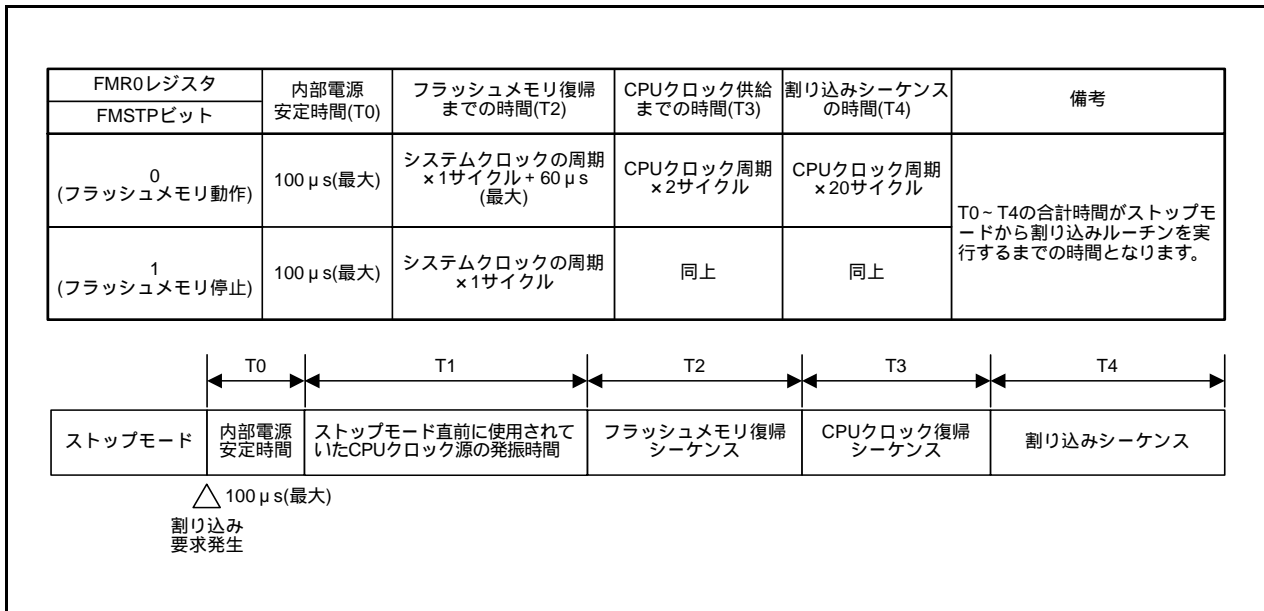


図9.4 ストップモードから割り込みルーチンを実行するまでの時間

## 9.6 パワーオフモード

パワーオフモードではすべての機能が停止します。ただし低速クロックとタイマREの機能はレジスタの設定により動作させるか停止するかを選択できます。このモードは最も消費電力が少ないモードです。

### 9.6.1 パワーオフモードの端子処理

図9.5にパワーオフモード時の端子処理例を示します。このモードを使用する場合は、ハードウェアリセット入力が必要です。ハードウェアリセットの詳細については「5.2 ハードウェアリセット」を参照してください。

### 9.6.2 パワーオフモードへの移行

表9.5にパワーオフモードのレジスタ設定を示します。

1回目のPOMCR0レジスタ書き込みでパワーオフモード時の端子の状態と解除方法を選択します。その後、“88h”、“15h”、“92h”、“25h”を連続して書き込むとパワーオフモードに移行します。

#### •パワーオフ0

1回目の書き込みで、POM00ビットを“0”(パワーオフ0)としたとき、パワーオフモードに移行すると、すべての機能が停止します。

#### •パワーオフ1

1回目の書き込みで、POM00ビットを“1”(パワーオフ1)としたとき、パワーオフモードに移行すると、低速クロックとタイマRE機能を除く機能が停止します。パワーオフ1ではパワーオフモード解除にタイマRE割り込みが使用できます。

なお、POMCR0レジスタの書き込み途中で他のレジスタのアクセスがあってもモードの移行には影響しません。

### 9.6.3 パワーオフモード移行後の端子の状態

パワーオフモード移行後の端子の状態を表9.6に示します。パワーオフモードに移行するとRAMやレジスタの内容は保持されません。したがって、保持の必要な内容は、パワーオフモードに入る前にデータフラッシュに必要なデータを退避してください。

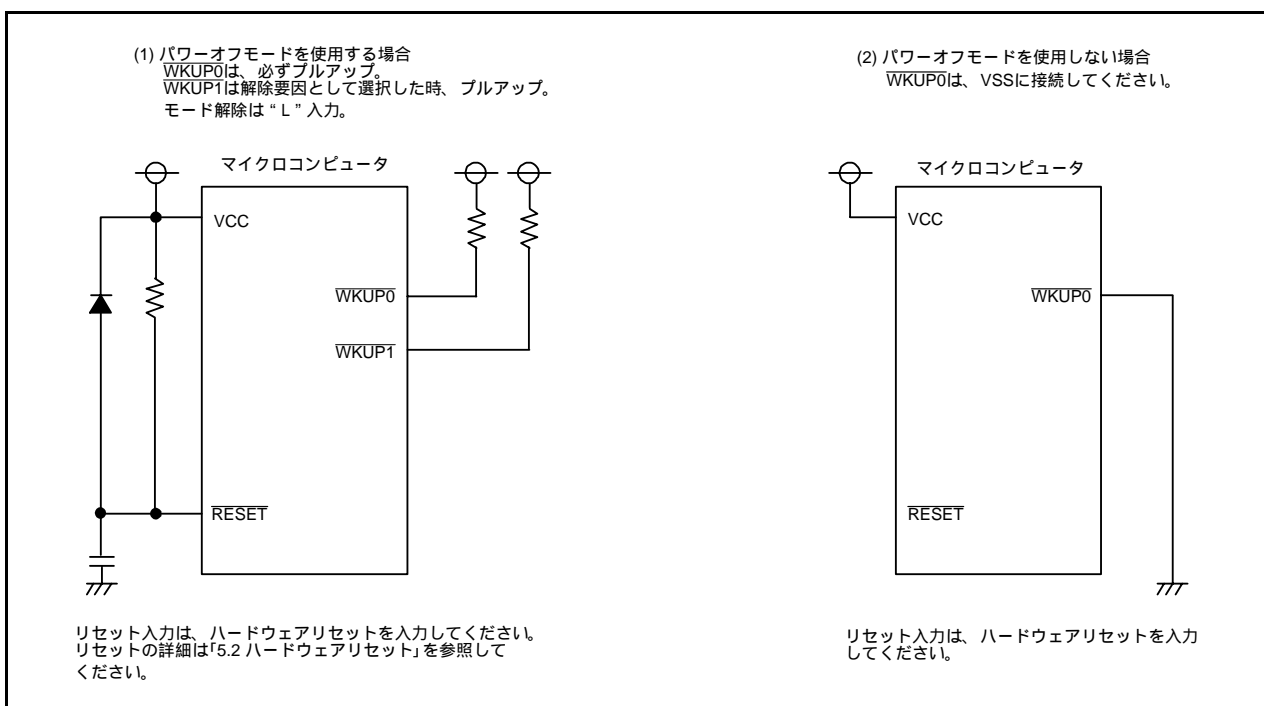


図9.5 パワーオフモード時の端子処理例

### 9.6.4 パワーオフモードの解除

RESET 端子、WKUP0 端子、または WKUP1 端子に “L” パルスを入力するか、タイマRE 割り込み (パワーオフ1 のとき) によりモードを解除します。TRECRC2 レジスタで許可したタイマRE 割り込みによりモードを解除できます。

パワーオフモードの解除後の動作は通常のリセットシーケンスと同じです。

パワーオフモードを解除したとき、POMCR0 レジスタのフラグ読み出しにより解除要因を特定できます。これらのフラグは電源投入後は不定値、POMCR0 レジスタへの書き込みによりクリアされます。複数の解除要因が重なった場合は、複数のフラグがセットされます。

図9.6にパワーオフモードからリセットベクタアドレス読み出しを実行するまでの時間を示します。

表9.5 パワーオフモードへの移行と解除方法

パワーオフモードへの移行	状態	解除方法
POMCR0 レジスタにパワーオフモード時の端子の状態と解除方法を書き込む(注1、2) その後POMCR0 レジスタに “88h”、“15h”、“92h”、“25h” を連続して書き込む	1回目書き込みでPOM00ビットが “0” (パワーオフ0) のとき全機能停止	RESET 入力、WKUP0 入力 またはWKUP1 入力
	1回目書き込みでPOM00ビットが “1” (パワーオフ1) のとき低速クロックとタイマRE を除く機能が停止	RESET 入力、 タイマRE 割り込み、 WKUP0 入力、 またはWKUP1 入力

注1. パワーオフモードの解除にWKUP1を使用するには、1回目のPOMCR0レジスタの書き込みで、POM03ビットを入力有効にしてください。R8C/L35A、R8C/L35B、R8C/L36AおよびR8C/L36BグループにはWKUP1端子がありません。

注2. タイマREでパワーオフモードを解除するときは、TRECRC2レジスタとTRECRC2レジスタでタイマRE割り込みを許可してからPOMCR0レジスタのPOM00ビットを “1” (タイマRE有効) にしてください。TRECRC2レジスタで全ての割り込みが禁止の場合は、低速クロックとタイマRE機能は動作しますがタイマREをパワーオフモードの解除には使用できません。

表9.6 パワーオフモード時の端子の状態

端子名	状態
ポートP0 ~ P7	パワーオフモード移行前の、LSE0 ~ LSE7レジスタの状態が保持されます。このレジスタで、LCDポートを選択した場合は、“L”出力、ポートを選択した場合はハイインピーダンスとなります。
ポートP10 ~ P13	ハイインピーダンス
WKUP0	WKUP0入力
XCIN、XCOUT	パワーオフ0のとき発振停止(ハイインピーダンス)、パワーオフ1のとき発振
VL1 ~ VL4	ハイインピーダンス

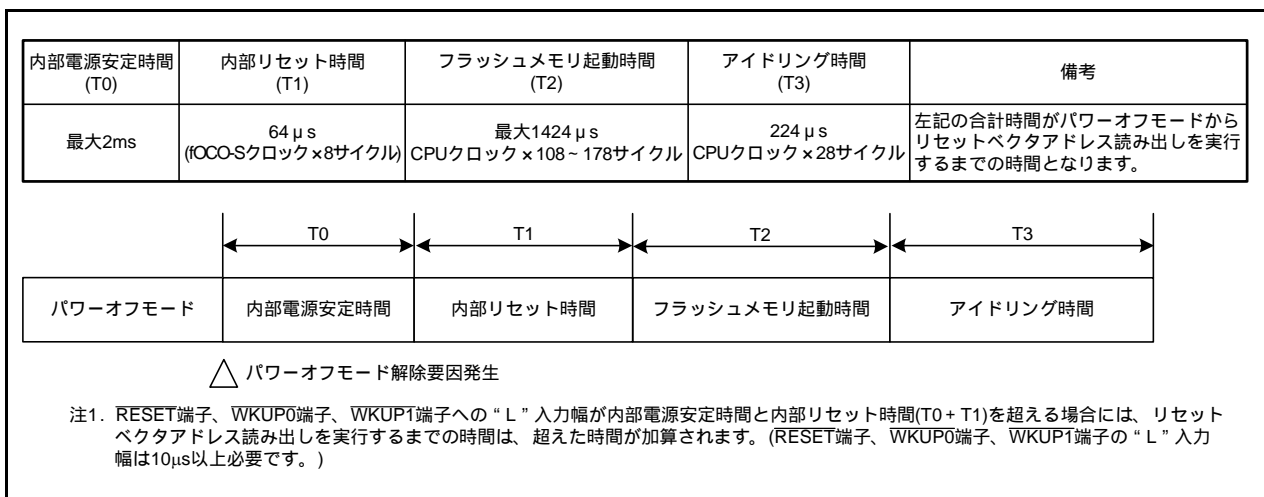


図9.6 パワーオフモードからリセットベクタアドレス読み出しを実行するまでの時間

## 9.7 消費電力の低減

消費電力を小さくするためのポイント、処理方法について説明します。システム設計やプログラムを作成するときに参考にしてください。

### 9.7.1 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは出力に設定してください。入力に設定する場合は、安定した電位に固定してから、ウェイトモードまたはストップモードに移行してください。

### 9.7.2 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

### 9.7.3 ウェイトモード、ストップモード、パワーオフモード

ウェイトモード、ストップモード、およびパワーオフモードでは消費電力が低減できます。

### 9.7.4 周辺機能クロックの停止

ウェイトモード時に必要のない周辺機能クロックは、CM0レジスタのCM1、CM02ビットでクロックを停止させてください。

### 9.7.5 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

タイマRDを使用しない場合、TRDCR<sub>i</sub>( $i=0 \sim 1$ )レジスタのTCK2 ~ TCK0ビットを“000b”(f1)、MSTCRレジスタのMSTTRDビットを“1”(スタンバイ)にしてください。

タイマRGを使用しない場合、MSTCRレジスタのMSTTRGビットを“1”(スタンバイ)にしてください。

### 9.7.6 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

### 9.7.7 クロック同期形シリアルインタフェース

SSUおよびI<sup>2</sup>Cバスを使用しない場合、MSTCRレジスタのMSTHCビットを“1”(スタンバイ)にしてください。

### 9.7.8 内部電源の消費電力低減

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。図9.7にVCA20ビットによる内部電源低消費操作手順を示します。VCA20ビットにより内部電源低消費電力を許可する場合は、この手順に従ってください。

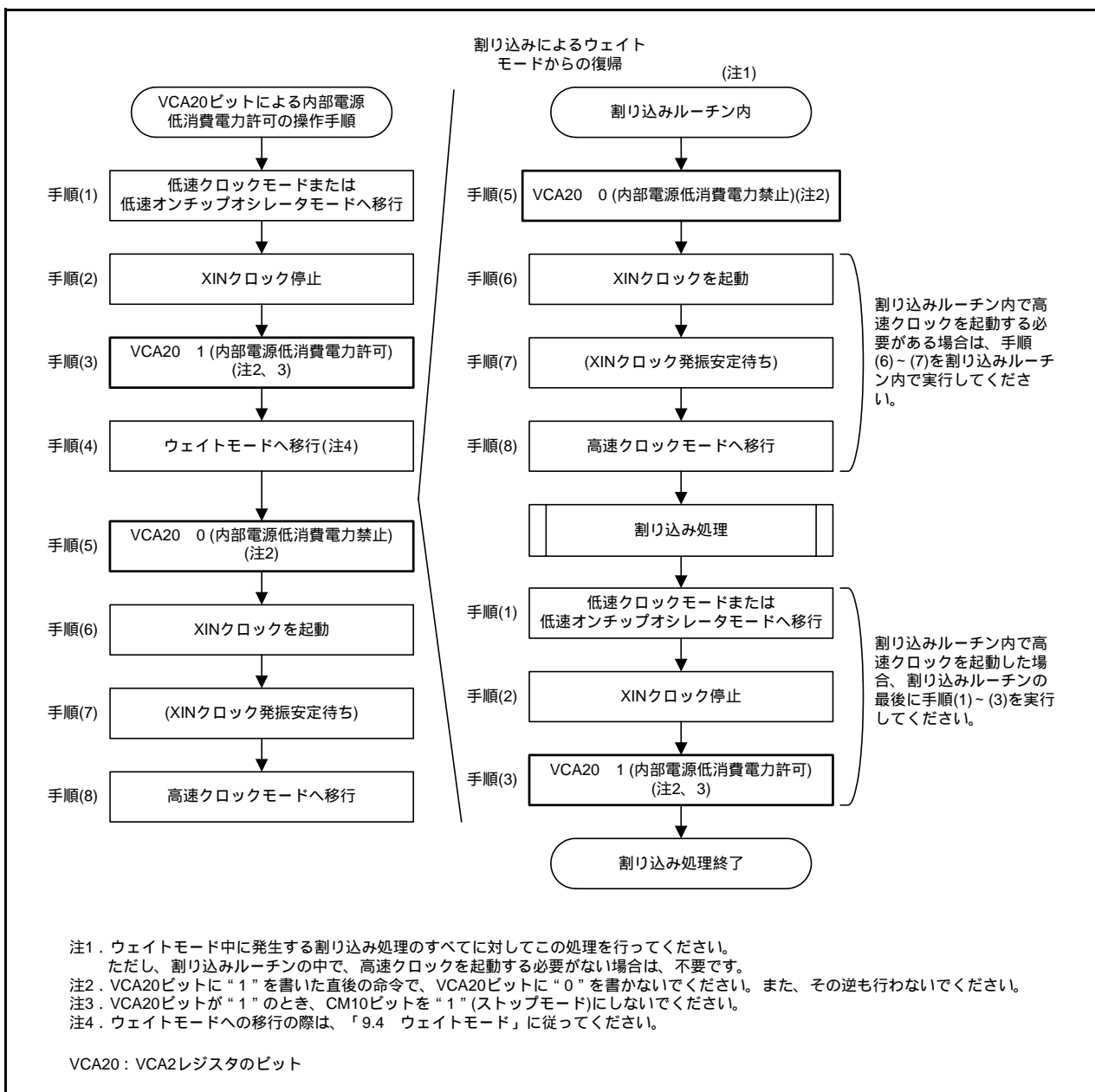


図 9.7 VCA20ビットによる内部電源低消費操作手順

### 9.7.9 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図 9.8にFMSTPビットによる低消費電力操作手順例を示します。

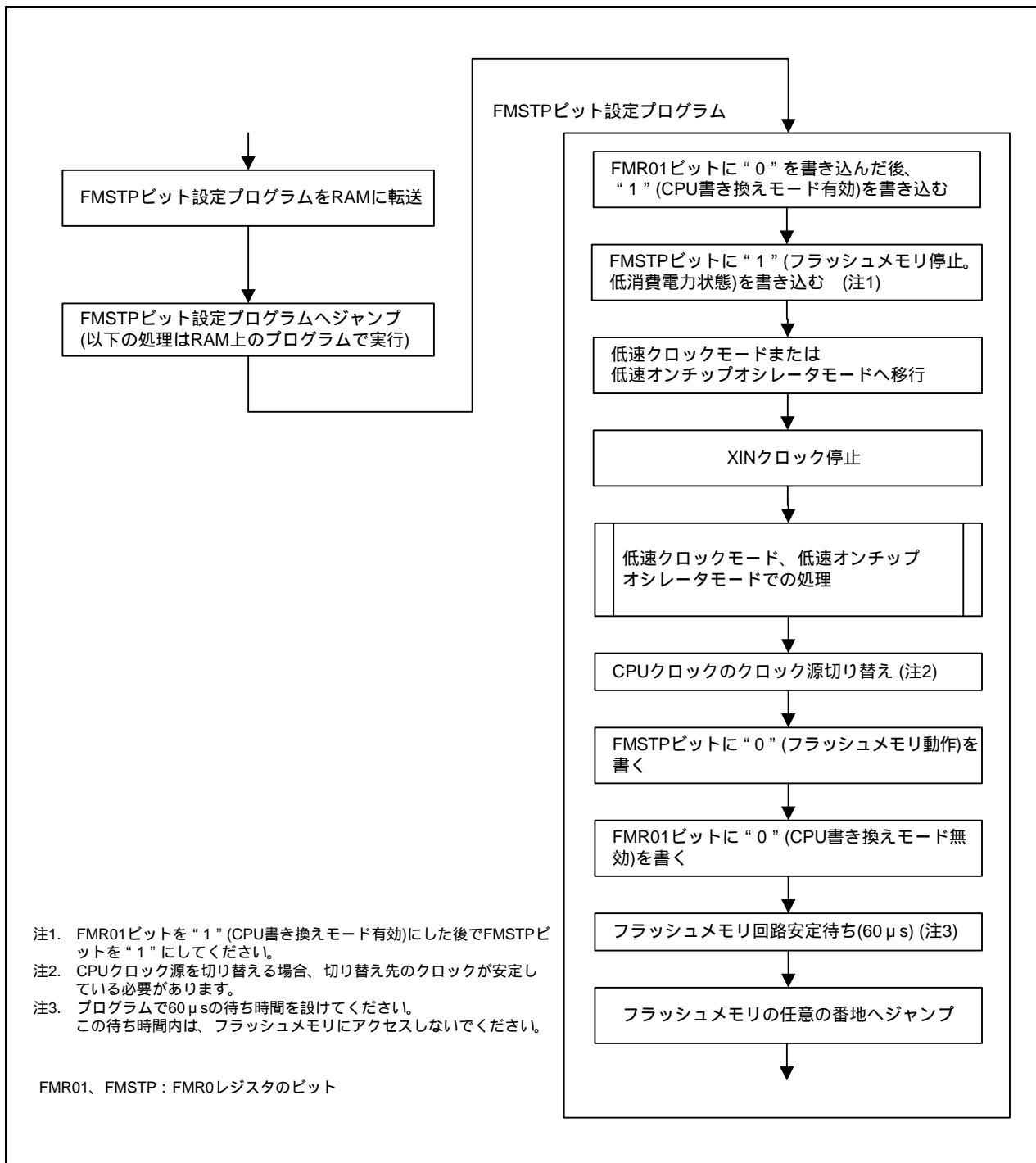


図 9.8 FMSTPビットによる低消費電力操作手順例

### 9.7.10 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

図9.9に低消費電流リードモードの操作手順例を示します。

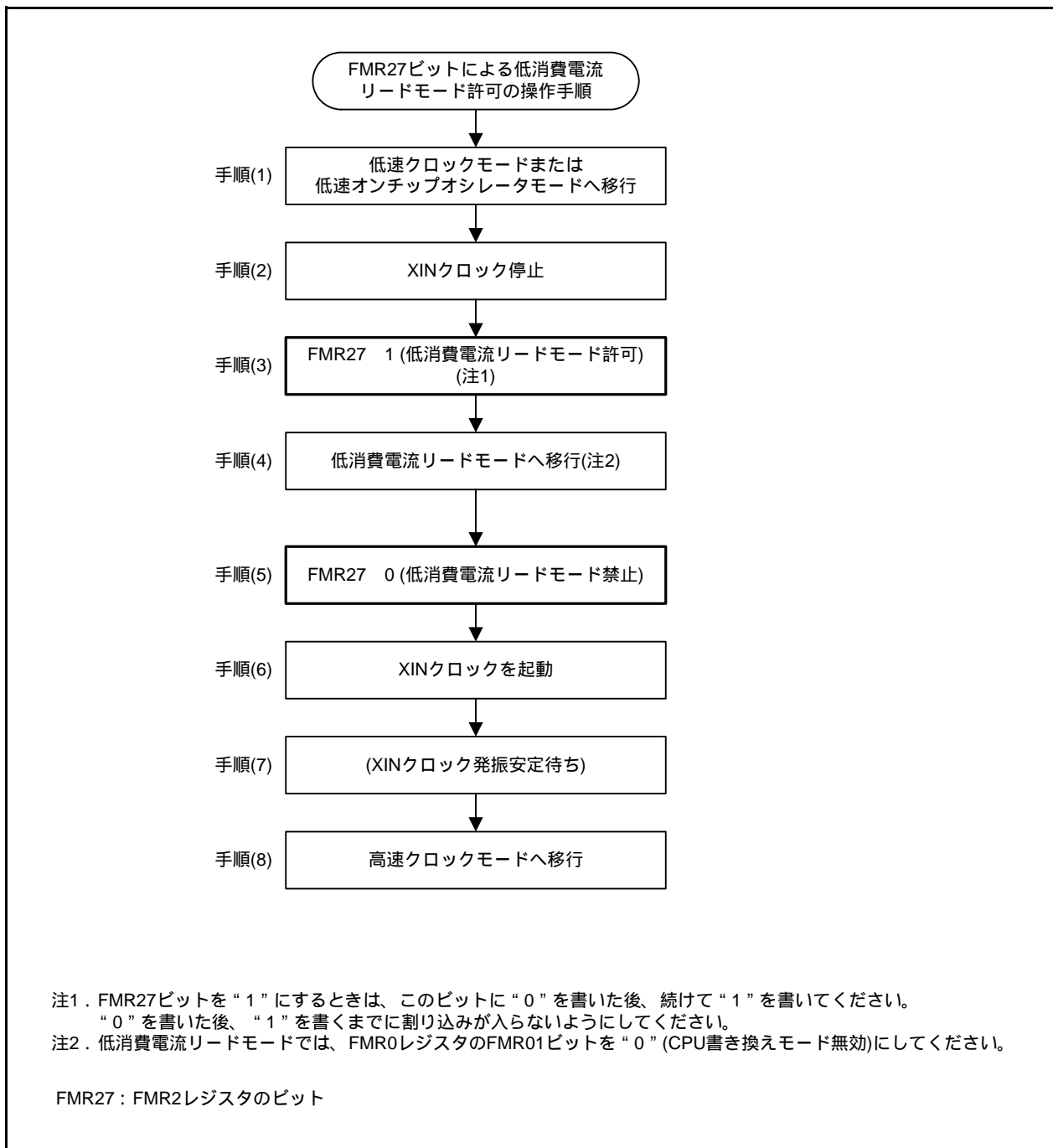


図 9.9 低消費電流リードモードの操作手順例



## 9.8 パワーコントロール使用上の注意

### 9.8.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例  
BCLR 1, FMR0 ; CPU書き換えモード無効  
BSET 0, PRCR ; プロテクト解除  
FSET I ; 割り込み許可  
BSET 0, CM1 ; ストップモード  
JMP.B LABEL\_001  
LABEL\_001:  
NOP  
NOP  
NOP  
NOP

### 9.8.2 ウェイトモード

CM30ビットを“1”にしてウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM30ビットを“1”にしてください。

WAIT命令でウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例  
BCLR 1, FMR0 ; CPU書き換えモード無効  
FSET I ; 割り込み許可  
WAIT ; ウェイトモード  
NOP  
NOP  
NOP  
NOP

### 9.8.3 パワーオフモード

パワーオフモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、POMCR0レジスタにアクセスしてください。POMCR0レジスタにアクセスしてからパワーオフモードへ移行するまでには数マイクロ秒の期間が必要です。この期間はCPUが動作するのでNOP命令とWAIT命令を入れてプログラムを停止してください。

- パワーオフモードに移行するプログラム例 (タイマREと低速クロックを有効にする場合)

```
BCLR 1, FMR0 ; CPU書き換えモード無効
MOV.B #08H, POMCR0 ; パワーオフ0、WUKP1入力有効を選択。
MOV.B #88H, POMCR0 ; 固定値
MOV.B #15H, POMCR0 ; 固定値
MOV.B #92H, POMCR0 ; 固定値
MOV.B #25H, POMCR0 ; 固定値
NOP
NOP
NOP
NOP ; パワーオフモードへ移行
WAIT ; ウェイトモード
```

パワーオフモードの解除後の動作は通常のリセットシーケンスと同じです。そのため、パワーオフモード移行直後にパワーオフモードを解除すると、リセットシーケンスとリセット後のプログラム動作により、消費電力を低減できません。パワーオフモード移行と解除の間隔についてはシステムレベルで十分評価してください。

### 9.8.4 電流の低減

POMCR0レジスタ(0020h番地)に“00h”と書いてください。

POMCR0レジスタへ“00h”と書くまでは、電源電流が増える場合があります。

プログラム例：MOV.B #00H, 0020H

## 10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、CM3、OCDレジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC3ビットで保護されるレジスタ：OCVREFCR、VCA2、VW2Cレジスタ

### 10.1 レジスタの説明

#### 10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PRC3	-	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCDレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b1	PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	PRC3	プロテクトビット3	OCVREFCR、VCA2、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。	-	-

## 11. 割り込み

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 11.1 概要

#### 11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

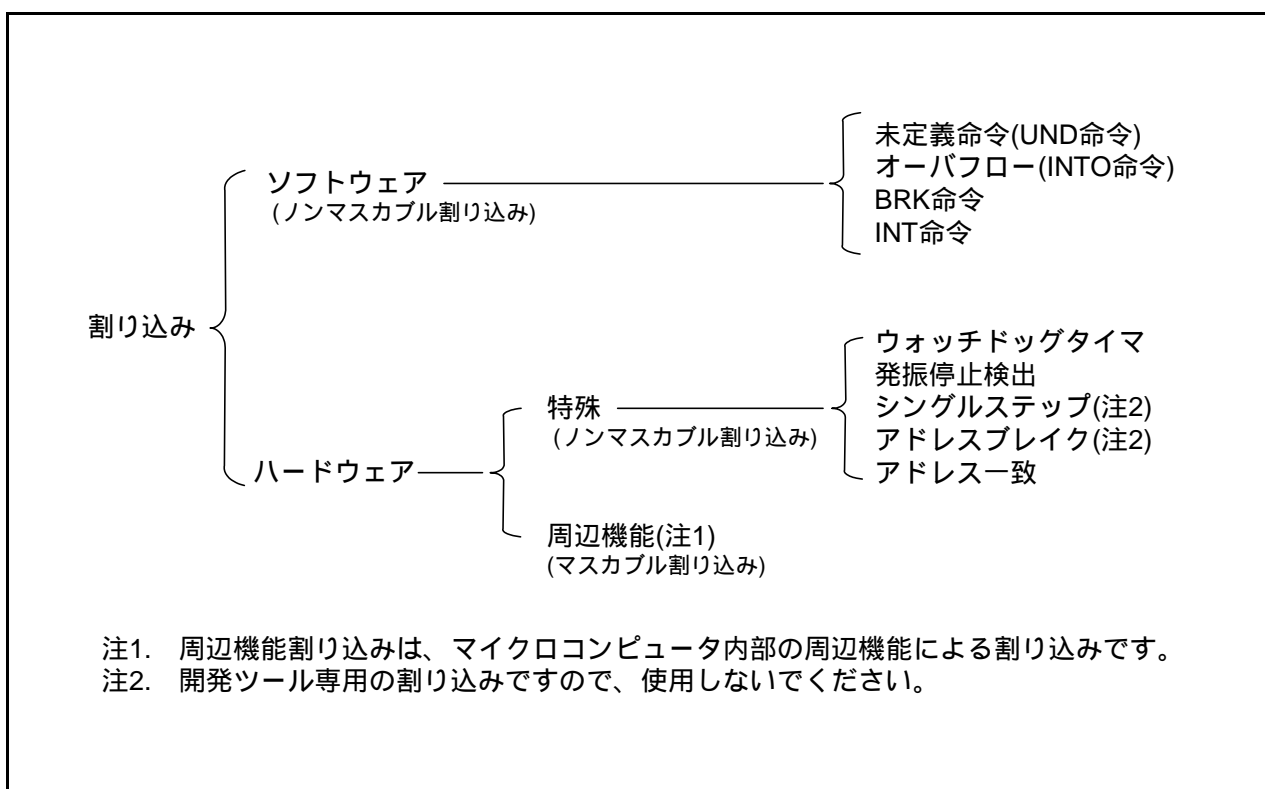


図11.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

### 11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

#### 11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

#### 11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

#### 11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

#### 11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

### 11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

#### 11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「14. ウォッチドッグタイマ」を参照してください。

#### 11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「8. クロック発生回路」を参照してください。

#### 11.1.3.3 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

#### 11.1.3.4 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.6 アドレス一致割り込み」を参照してください。

### 11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表11.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

### 11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

	MSB	LSB
ベクタ番地(L)	アドレスの下位	
	アドレスの中位	
	0 0 0 0	アドレスの上位
ベクタ番地(H)	0 0 0 0	0 0 0 0

図11.2 割り込みベクタ

#### 11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「33.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	0FFDCh ~ 0FFDFh	UND 命令で割り込み	R8C/Tiny シリーズソフトウェアマニュアル
オーバフロー	0FFE0h ~ 0FFE3h	INTO 命令で割り込み	
BRK 命令	0FFE4h ~ 0FFE7h	0FFE7h 番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h ~ 0FFEBh		11.6 アドレス一致割り込み
シングルステップ(注1)	0FFEC h ~ 0FFEFh		
ウォッチドッグタイマ、 発振停止検出	0FFF0h ~ 0FFF3h		14. ウォッチドッグタイマ、 8. クロック発生回路
アドレスブレイク(注1)	0FFF4h ~ 0FFF7h		
(予約)	0FFF8h ~ 0FFFBh		
リセット	0FFFCh ~ 0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

## 11.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。  
表11.2に可変ベクタテーブルを示します。

表11.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注3)	+0 ~ +3(0000h ~ 0003h)	0		R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリレディ (予約)	+4 ~ +7(0004h ~ 0007h)	1 2	FMRDYIC	33. フラッシュメモリ
INT7	+12 ~ +15(000Ch ~ 000Fh)	3	INT7IC	11.4 INT割り込み
INT6	+16 ~ +19(0010h ~ 0013h)	4	INT6IC	11.4 INT割り込み
INT5	+20 ~ +23(0014h ~ 0017h)	5	INT5IC	11.4 INT割り込み
INT4	+24 ~ +27(0018h ~ 001Bh)	6	INT4IC	11.4 INT割り込み
タイマRC	+28 ~ +31(001Ch ~ 001Fh)	7	TRCIC	19. タイマRC
タイマRD0	+32 ~ +35(0020h ~ 0023h)	8	TRD0IC	20. タイマRD
タイマRD1	+36 ~ +39(0024h ~ 0027h)	9	TRD1IC	
タイマRE	+40 ~ +43(0028h ~ 002Bh)	10	TREIC	21. タイマRE
UART2送信/NACK2	+44 ~ +47(002Ch ~ 002Fh)	11	S2TIC	24. シリアルインタフェース (UART2)
UART2受信/ACK2	+48 ~ +51(0030h ~ 0033h)	12	S2RIC	
キー入力	+52 ~ +55(0034h ~ 0037h)	13	KUPIC	11.5 キー入力割り込み
A/D変換	+56 ~ +59(0038h ~ 003Bh)	14	ADIC	29. A/Dコンバータ
シンクロナスシリアルコミュニ ケーションユニット/I <sup>2</sup> Cバスイ ンタフェース(注2)	+60 ~ +63(003Ch ~ 003Fh)	15	SSUIC/ IICIC	26. シンクロナスシリアルコミュニ ケーションユニット(SSU)、 27. I <sup>2</sup> Cバスインタフェース
(予約)		16		
UART0送信	+68 ~ +71(0044h ~ 0047h)	17	S0TIC	23. シリアルインタフェース (UARTi (i=0 ~ 1))
UART0受信	+72 ~ +75(0048h ~ 004Bh)	18	S0RIC	
UART1送信	+76 ~ +79(004Ch ~ 004Fh)	19	S1TIC	
UART1受信	+80 ~ +83(0050h ~ 0053h)	20	S1RIC	
INT2	+84 ~ +87(0054h ~ 0057h)	21	INT2IC	11.4 INT割り込み
タイマRA	+88 ~ +91(0058h ~ 005Bh)	22	TRAIC	17. タイマRA
(予約)		23		
タイマRB	+96 ~ +99(0060h ~ 0063h)	24	TRBIC	18. タイマRB
INT1	+100 ~ +103(0064h ~ 0067h)	25	INT1IC	11.4 INT割り込み
INT3	+104 ~ +107(0068h ~ 006Bh)	26	INT3IC	
(予約)		27		
(予約)		28		
INT0	+116 ~ +119(0074h ~ 0077h)	29	INT0IC	11.4 INT割り込み
UART2バス衝突検出	+120 ~ +123(0078h ~ 007Bh)	30	U2BCNIC	24. シリアルインタフェース (UART2)
(予約)		31		
ソフトウェア(注3)	+128 ~ +131(0080h ~ 0083h) ~ +164 ~ +167(00A4h ~ 00A7h)	32 ~ 41		R8C/Tinyシリーズ ソフトウェアマニュアル
(予約)		42		
タイマRG	+172 ~ +175(00ACh ~ 00AFh)	43	TRGIC	22. タイマRG
(予約)		44 ~ 55		
ソフトウェア(注3)	+224 ~ +227(00E0h ~ 00E3h) ~ +252 ~ +255(00FCh ~ 00FFh)	56 ~ 63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. SSUIICSRレジスタのIICSELビットで選択できます。

注3. Iフラグによる禁止はできません。



## 11.2 レジスタの説明

### 11.2.1 割り込み制御レジスタ

(TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、  
TRBIC、U2BCNIC)

アドレス 004Ah番地 (TREIC)、004Bh番地 (S2TIC)、004Ch番地 (S2RIC)、004Dh番地 (KUPIC)、  
004Eh番地 (ADIC)、0051h番地 (S0TIC)、0052h番地 (S0RIC)、0053h番地 (S1TIC)、  
0054h番地 (S1RIC)、0056h番地 (TRAIC)、0058h番地 (TRBIC)、005Eh番地 (U2BCNIC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	R/W
b1	ILVL1		0 0 0 : レベル0 (割り込み禁止)	R/W
b2	ILVL2		0 0 1 : レベル1	R/W
			0 1 0 : レベル2	
		0 1 1 : レベル3		
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

### 11.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC、TRD0IC、TRD1IC、SSUIC/IICIC、TRGIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、0048h番地(TRD0IC)、0049h番地(TRD1IC)、  
004Fh番地(SSUIC/IICIC(注1))、006Bh番地(TRGIC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. SSUICSRレジスタのIICSELビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

### 11.2.3 INTi割り込み制御レジスタ (INTiIC)(i=0 ~ 7)

アドレス 0043h 番地 (INT7IC)、0044h 番地 (INT6IC)、0045h 番地 (INT5IC)、0046h 番地 (INT4IC)、  
0055h 番地 (INT2IC)、0059h 番地 (INT1IC)、005Ah 番地 (INT3IC)、005Dh 番地 (INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット (注3)	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択 (注2)	R/W
b5	-	予約ビット	"0" にしてください	R/W
b6	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は不定。		-
b7	-			

注1. IRビットは"0"のみ書けます("1"を書かないでください)。

注2. INTENレジスタのINTiPLビットが"1"(両エッジ)の場合、POLビットを"0"(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが"1"(割り込み要求あり)になることがあります。

「11.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

### 11.3 割り込み制御

マスクブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

#### 11.3.1 Iフラグ

Iフラグは、マスクブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクブル割り込みは許可され、“0”(禁止)にするとすべてのマスクブル割り込みは禁止されます。

#### 11.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込みでは、IRビットの動作が違います。「11.7 タイマRC割り込み、タイマRD割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

#### 11.3.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表11.3に割り込み優先レベルの設定を、表11.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表11.3 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表11.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクブル割り込みを禁止

### 11.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。  
Iフラグは“0”(割り込み禁止)  
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)  
Uフラグは“0”(ISPを指定)  
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

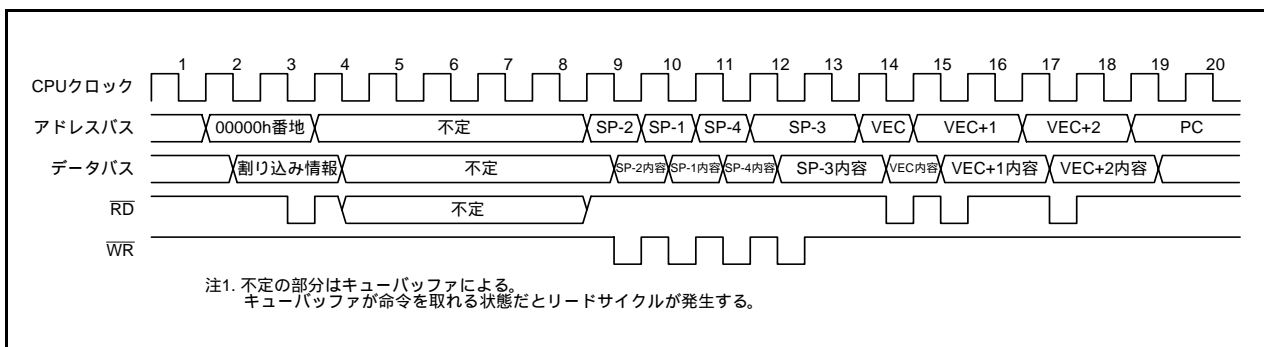


図11.3 割り込みシーケンスの実行時間

注2. タイマ RC、タイマ RD、タイマ RG、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース割り込みのIRビットの動作は「11.7 タイマRC割り込み、タイマRD割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

### 11.3.5 割り込み応答時間

図 11.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.4 の (a)) と割り込みシーケンスを実行する時間 (20 サイクル (b)) で構成されます。

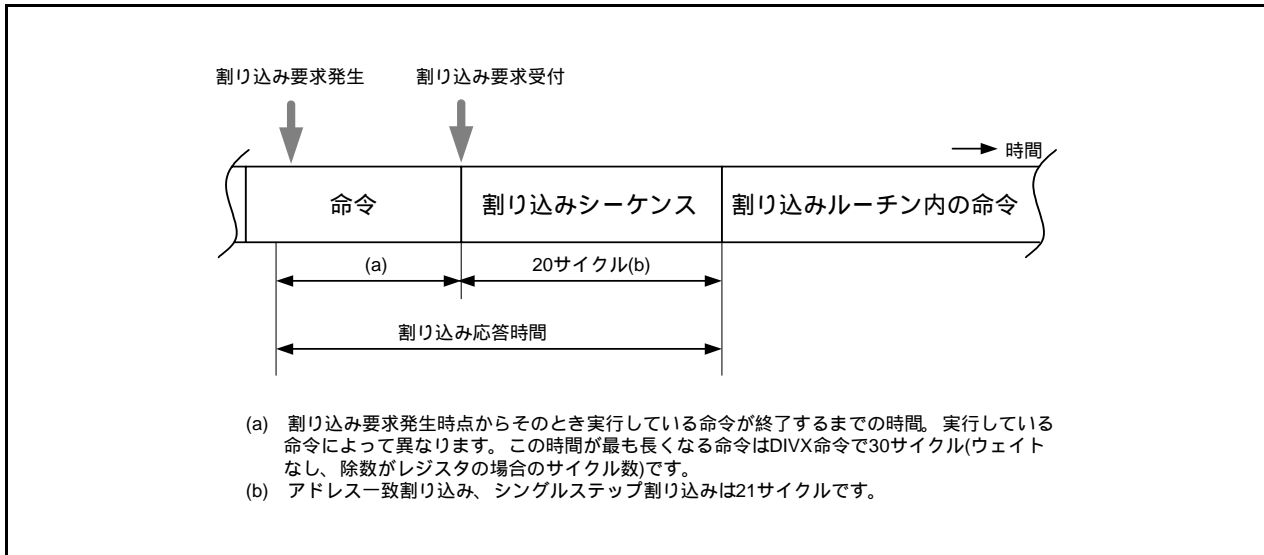


図 11.4 割り込み応答時間

### 11.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.5 に示す値がIPLに設定されます。

表 11.5 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 11.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

### 11.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

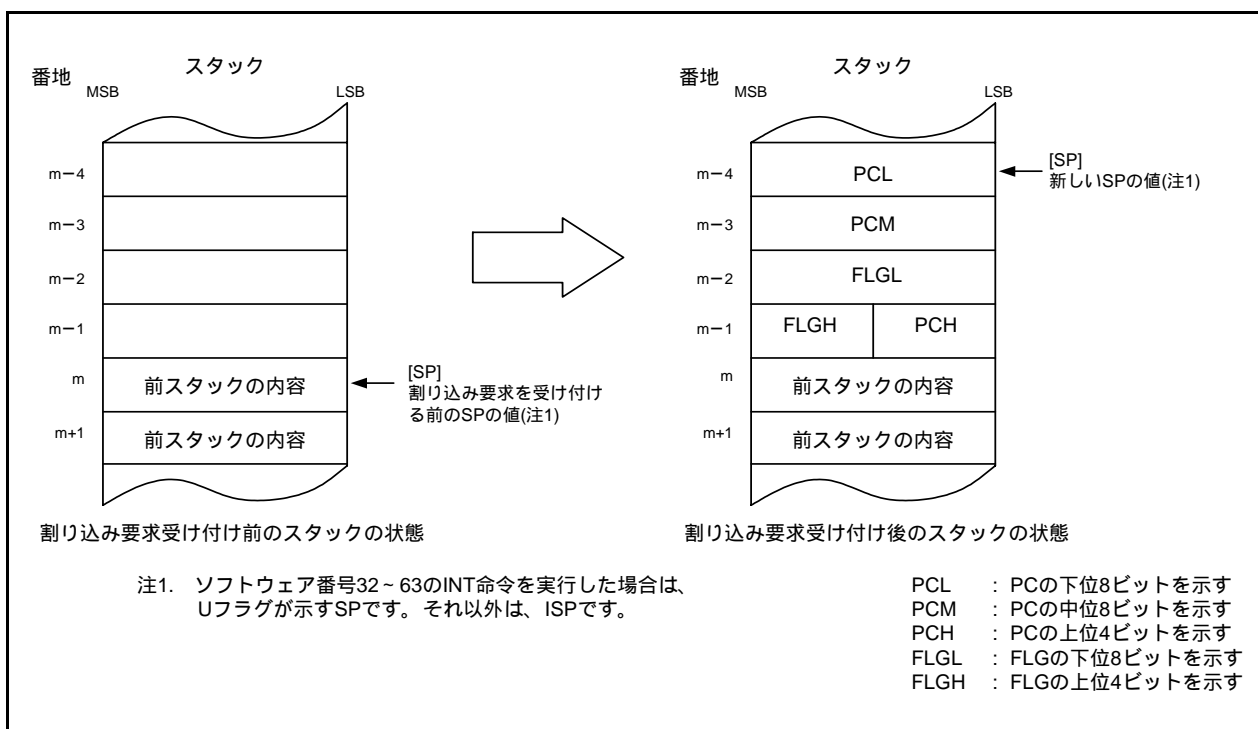


図11.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。  
図11.6にレジスタ退避動作を示します。

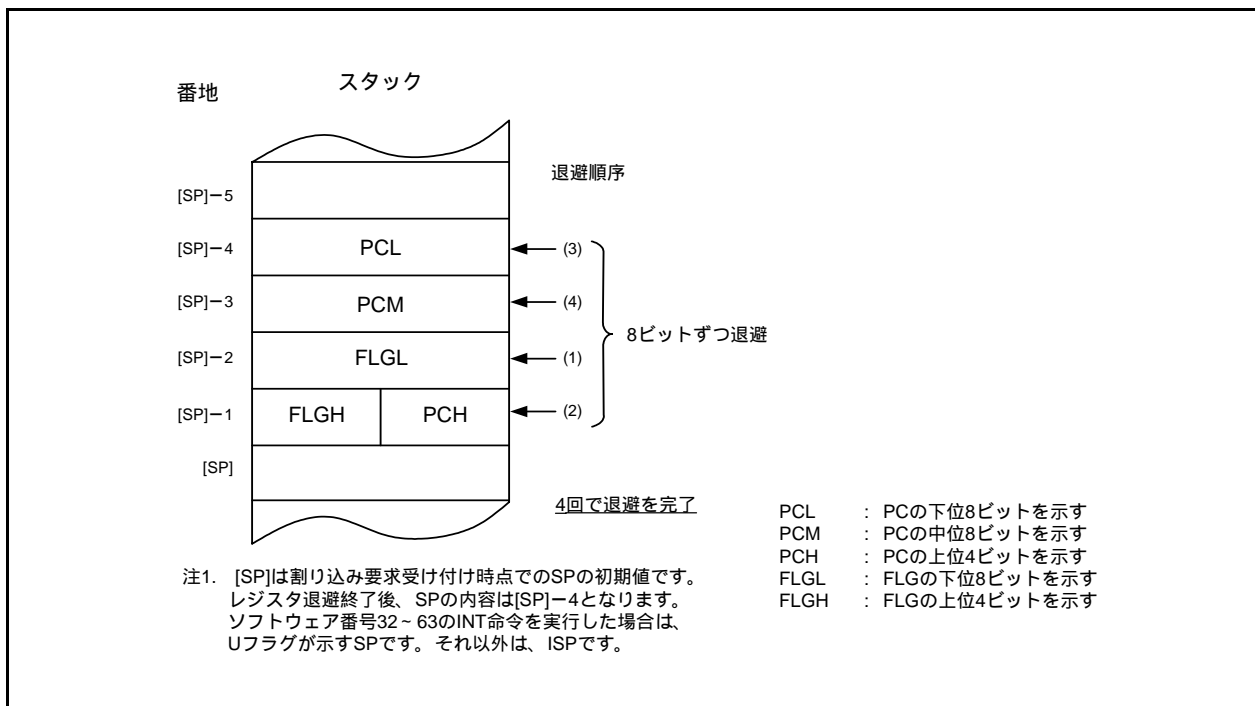


図11.6 レジスタ退避動作



### 11.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

### 11.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

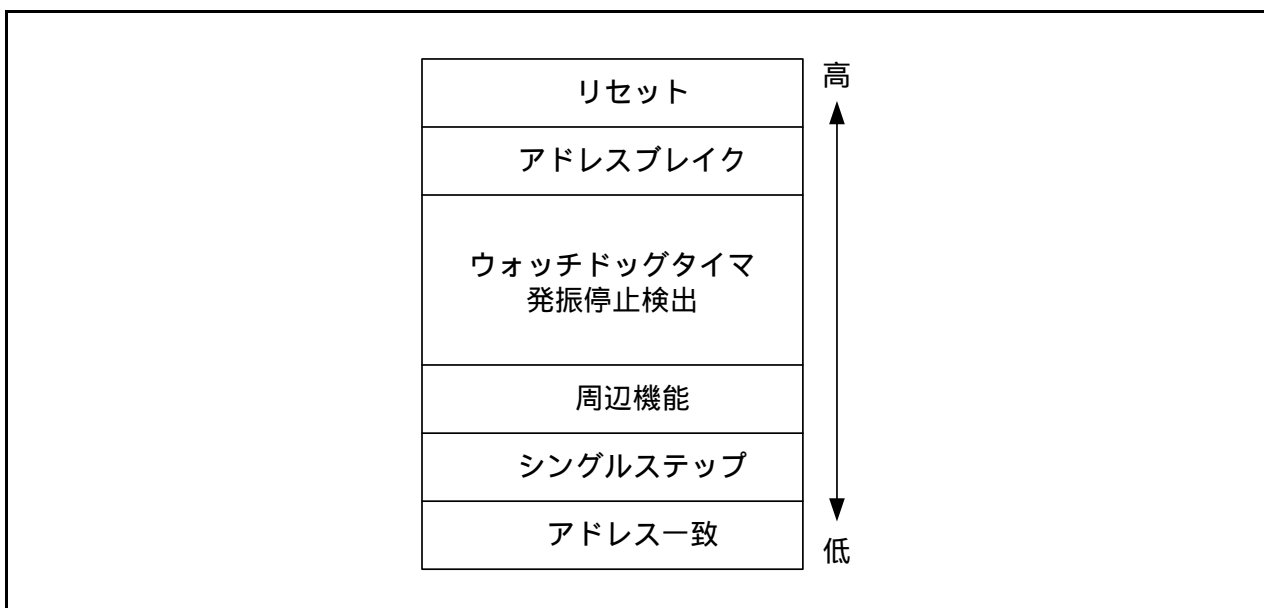


図11.7 ハードウェア割り込みの割り込み優先順位

### 11.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。  
図 11.8 に割り込み優先レベルの判定回路を示します。

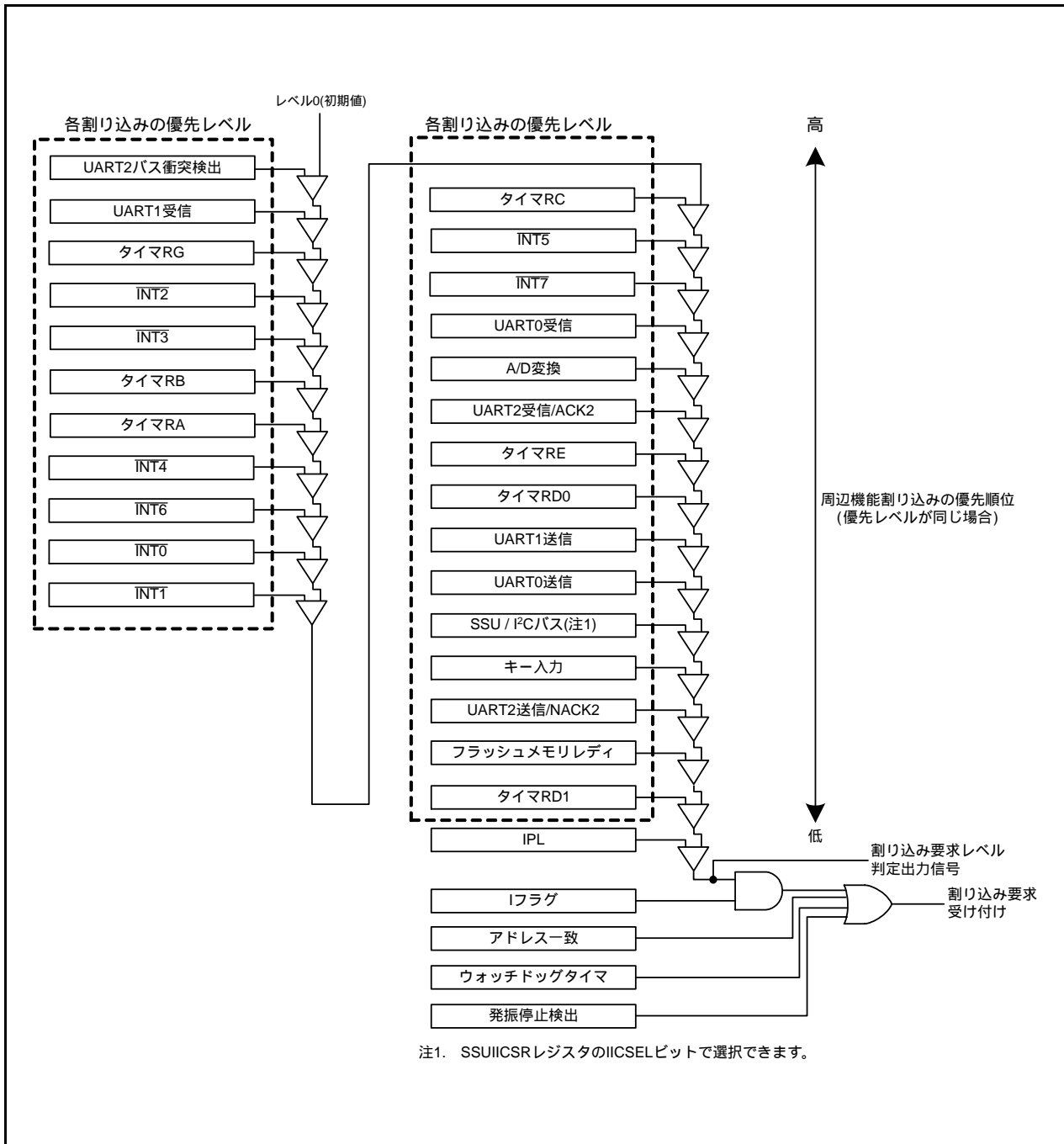


図 11.8 割り込み優先レベルの判定回路

## 11.4 $\overline{\text{INT}}$ 割り込み

### 11.4.1 $\overline{\text{INT}}_i$ 割り込み (i=0 ~ 7)

$\overline{\text{INT}}_i$  割り込みは $\overline{\text{INT}}_i$ 入力による割り込みです。 $\overline{\text{INT}}_i$  割り込みを使用するときはINTENレジスタのINTiENビット“1”(許可)にしてください。極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。 $\overline{\text{INT}}_i$ 入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

INT0端子はタイマRCおよびタイマRDのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。

表11.6に $\overline{\text{INT}}$  割り込みの端子構成を示します。

表11.6  $\overline{\text{INT}}$  割り込みの端子構成

端子名	割り当てる端子	入出力	機能
INT0	P3_0またはP11_0	入力	$\overline{\text{INT}}_0$ 割り込み入力、タイマRBの外部トリガ入力、タイマRCおよびタイマRDのパルス出力強制遮断入力
INT1	P3_1またはP11_1	入力	$\overline{\text{INT}}_1$ 割り込み入力
INT2	P3_2またはP11_2	入力	$\overline{\text{INT}}_2$ 割り込み入力
INT3	P3_3またはP11_3	入力	$\overline{\text{INT}}_3$ 割り込み入力
INT4	P3_4またはP11_4	入力	$\overline{\text{INT}}_4$ 割り込み入力
INT5	P3_5またはP11_5	入力	$\overline{\text{INT}}_5$ 割り込み入力
INT6	P3_6またはP11_6	入力	$\overline{\text{INT}}_6$ 割り込み入力
INT7	P3_7またはP11_7	入力	$\overline{\text{INT}}_7$ 割り込み入力

### 11.4.2 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7SELO	INT6SELO	INT5SELO	INT4SELO	INT3SELO	INT2SELO	INT1SELO	INT0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0SELO	$\overline{\text{INT0}}$ 端子選択ビット	0 : P3_0に割り当てる 1 : P11_0に割り当てる	R/W
b1	INT1SELO	$\overline{\text{INT1}}$ 端子選択ビット	0 : P3_1に割り当てる 1 : P11_1に割り当てる	R/W
b2	INT2SELO	$\overline{\text{INT2}}$ 端子選択ビット	0 : P3_2に割り当てる 1 : P11_2に割り当てる	R/W
b3	INT3SELO	$\overline{\text{INT3}}$ 端子選択ビット	0 : P3_3に割り当てる 1 : P11_3に割り当てる	R/W
b4	INT4SELO	$\overline{\text{INT4}}$ 端子選択ビット	0 : P3_4に割り当てる 1 : P11_4に割り当てる	R/W
b5	INT5SELO	$\overline{\text{INT5}}$ 端子選択ビット	0 : P3_5に割り当てる 1 : P11_5に割り当てる	R/W
b6	INT6SELO	$\overline{\text{INT6}}$ 端子選択ビット	0 : P3_6に割り当てる 1 : P11_6に割り当てる	R/W
b7	INT7SELO	$\overline{\text{INT7}}$ 端子選択ビット	0 : P3_7に割り当てる 1 : P11_7に割り当てる	R/W

INTSRレジスタは、 $\overline{\text{INT}i}$  ( $i=0 \sim 7$ )の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}i}$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT}i}$ の関連レジスタを設定をする前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT}i}$ の動作中はINTSRレジスタの設定値を変更しないでください。

### 11.4.3 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPL ビット (i=0 ~ 3) を “1” (両エッジ) にする場合、INTiIC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INTiPL ビットを変更すると、INTiIC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

### 11.4.4 外部入力許可レジスタ1 (INTEN1)

アドレス 01FBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7PL	INT7EN	INT6PL	INT6EN	INT5PL	INT5EN	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	$\overline{\text{INT4}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT4PL	$\overline{\text{INT4}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT5EN	$\overline{\text{INT5}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT5PL	$\overline{\text{INT5}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT6EN	$\overline{\text{INT6}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT6PL	$\overline{\text{INT6}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT7EN	$\overline{\text{INT7}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT7PL	$\overline{\text{INT7}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPL ビット(i=4 ~ 7)を“1”(両エッジ)にする場合、INTiIC レジスタのPOL ビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTiPL ビットを変更すると、INTiIC レジスタのIR ビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

### 11.4.5 INT入力フィルタ選択レジスタ0 (INTF0)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

### 11.4.6 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 01FDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT7F1	INT7F0	INT6F1	INT6F0	INT5F1	INT5F0	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	INT4入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT4F1			R/W
b2	INT5F0	INT5入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT5F1			R/W
b4	INT6F0	INT6入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT6F1			R/W
b6	INT7F0	INT7入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT7F1			R/W

### 11.4.7 $\overline{\text{INT}}_i$ 入力フィルタ ( $i=0 \sim 7$ )

$\overline{\text{INT}}_i$  入力は、デジタルフィルタを持ちます。サンプリングクロックは  $\overline{\text{INT}}_i$ 、 $\text{INTF}$ 、 $\text{INTF1}$  レジスタの  $\text{INTIF0} \sim \text{INTIF1}$  ビットで選択できます。サンプリングクロックごとに  $\overline{\text{INT}}_i$  のレベルをサンプリングし、レベルが3度一致した時点で、 $\text{INTIC}$  レジスタの  $\text{IR}$  ビットが“1”(割り込み要求あり)になります。

図 11.9 に  $\overline{\text{INT}}_i$  入力フィルタの構成を、図 11.10 に  $\overline{\text{INT}}_i$  入力フィルタ動作例を示します。

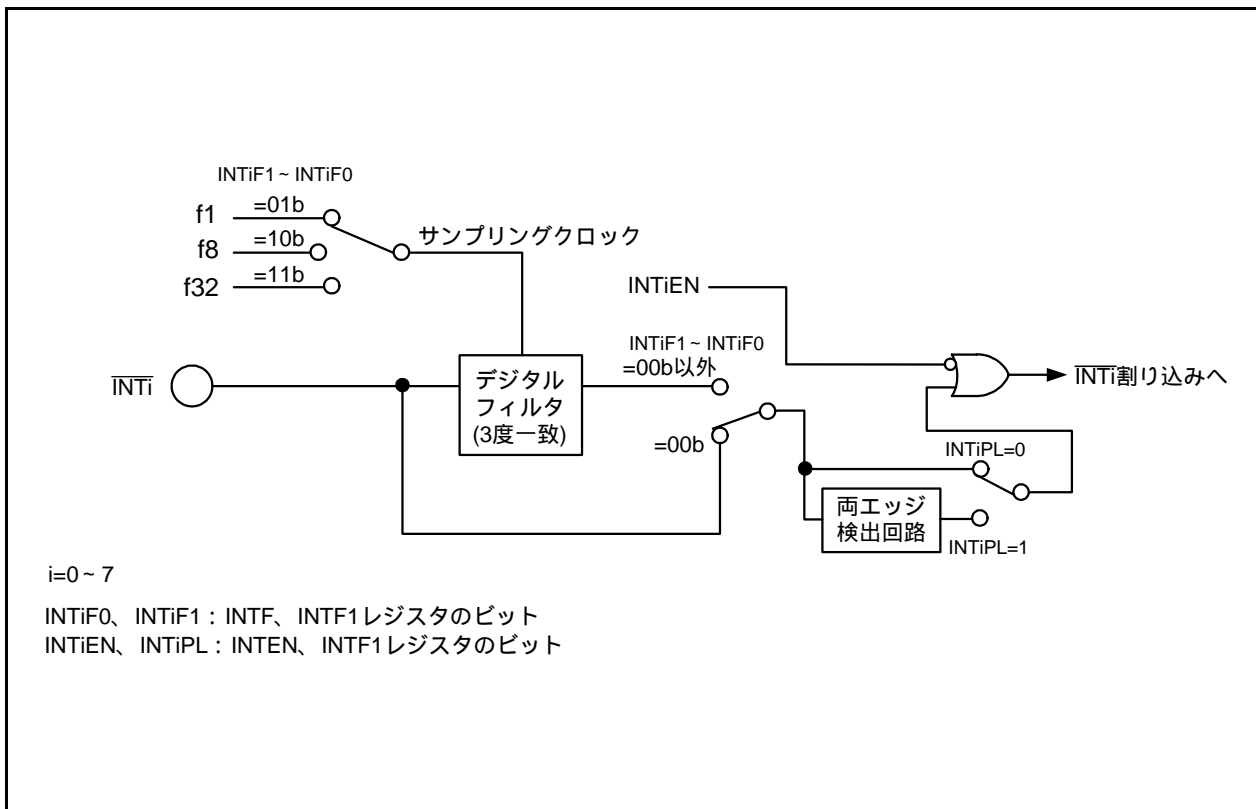


図 11.9  $\overline{\text{INT}}_i$ 入力フィルタの構成

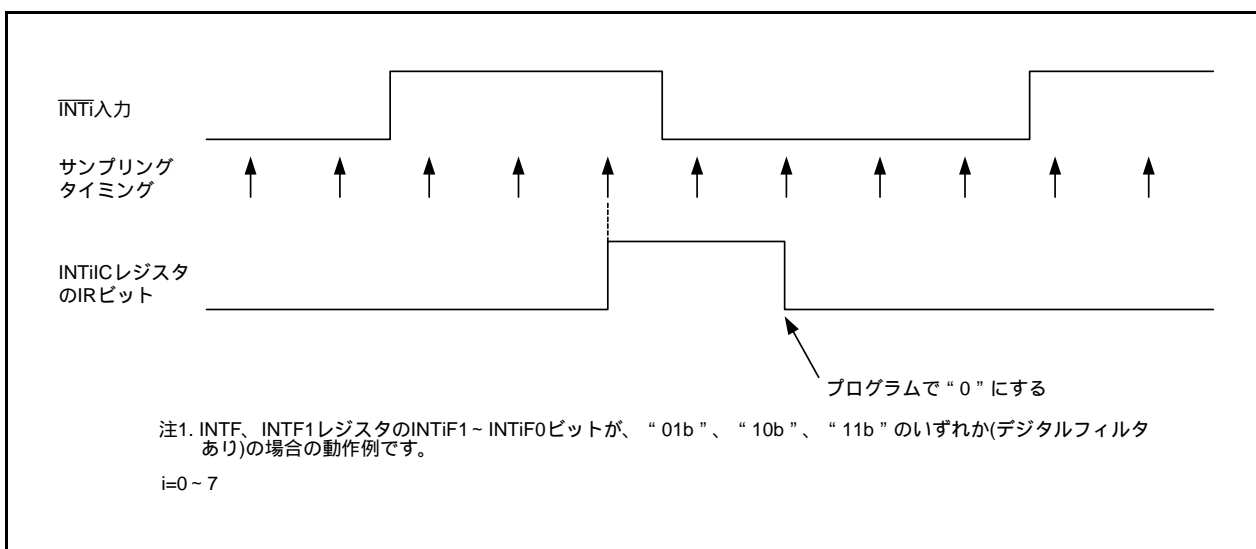


図 11.10  $\overline{\text{INT}}_i$ 入力フィルタ動作例



### 11.5 キー入力割り込み

KI0 ~ KI7端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット ( $i = 0 \sim 7$ ) で、端子をKIi入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0” (立ち下がりエッジ) にしているKIi端子に“L”を入力していると、他のKI0 ~ KI7端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1” (立ち上がりエッジ) にしているKIi端子に“H”を入力していると、他のKI0 ~ KI7端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図を示します。表11.7にキー入力割り込みの端子構成を示します。

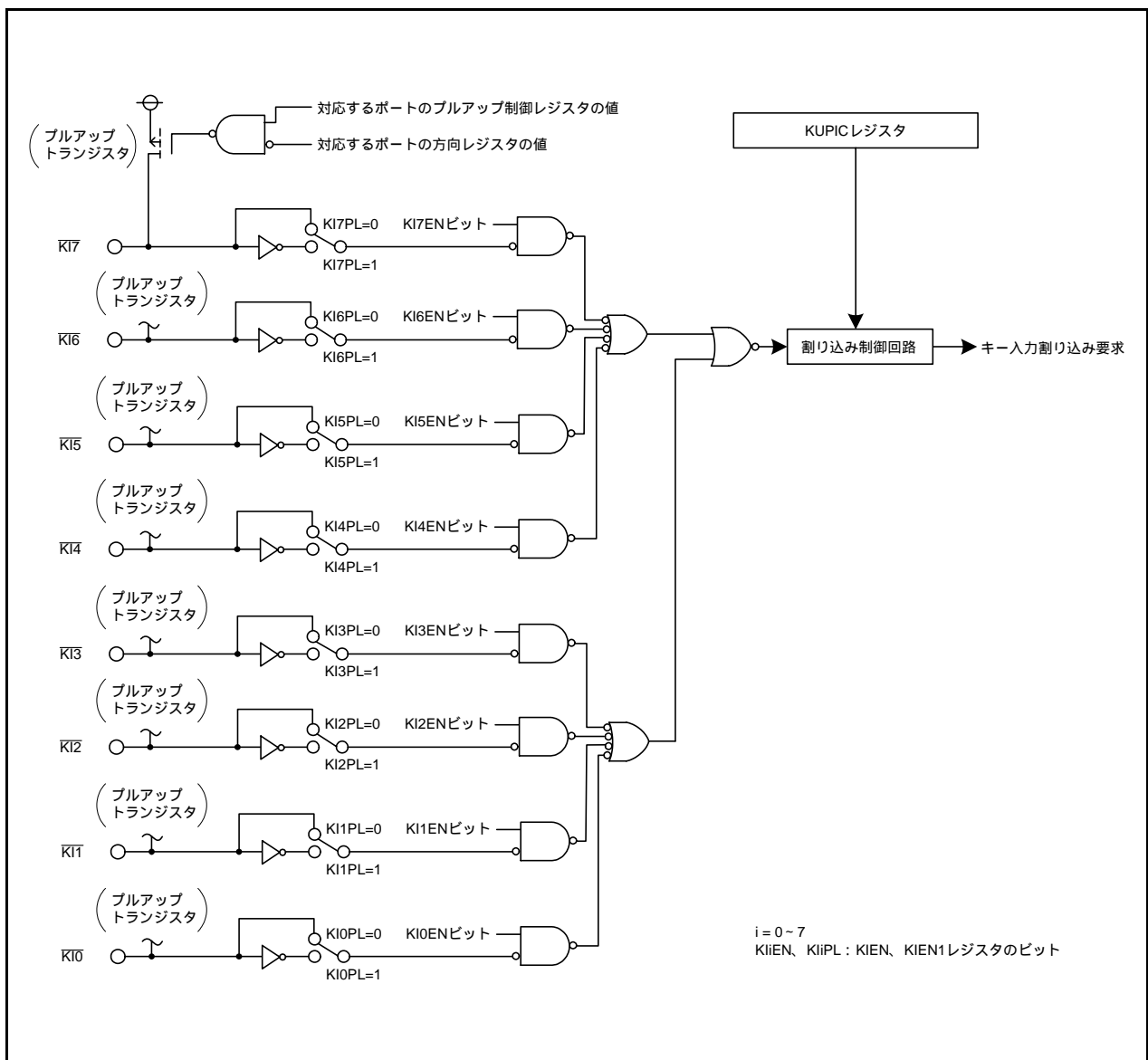


図11.11 キー入力割り込みのブロック図

表 11.7 キー入力割り込みの端子構成

端子名	入出力	機能
$\overline{\text{KI0}}$	入力	$\overline{\text{KI0}}$ 割り込み入力
$\overline{\text{KI1}}$	入力	$\overline{\text{KI1}}$ 割り込み入力
$\overline{\text{KI2}}$	入力	$\overline{\text{KI2}}$ 割り込み入力
$\overline{\text{KI3}}$	入力	$\overline{\text{KI3}}$ 割り込み入力
$\overline{\text{KI4}}$	入力	$\overline{\text{KI4}}$ 割り込み入力
$\overline{\text{KI5}}$	入力	$\overline{\text{KI5}}$ 割り込み入力
$\overline{\text{KI6}}$	入力	$\overline{\text{KI6}}$ 割り込み入力
$\overline{\text{KI7}}$	入力	$\overline{\text{KI7}}$ 割り込み入力

### 11.5.1 キー入力端子選択レジスタ (KISR)

アドレス 018Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7SELO	KI6SELO	KI5SELO	KI4SELO	KI3SELO	KI2SELO	KI1SELO	KI0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0SELO	$\overline{\text{KI0}}$ 端子選択ビット	0 : P2_0に割り当てる 1 : P10_0に割り当てる	R/W
b1	KI1SELO	$\overline{\text{KI1}}$ 端子選択ビット	0 : P2_1に割り当てる 1 : P10_1に割り当てる	R/W
b2	KI2SELO	$\overline{\text{KI2}}$ 端子選択ビット	0 : P2_2に割り当てる 1 : P10_2に割り当てる	R/W
b3	KI3SELO	$\overline{\text{KI3}}$ 端子選択ビット	0 : P2_3に割り当てる 1 : P10_3に割り当てる	R/W
b4	KI4SELO	$\overline{\text{KI4}}$ 端子選択ビット	0 : P2_4に割り当てる 1 : P10_4に割り当てる	R/W
b5	KI5SELO	$\overline{\text{KI5}}$ 端子選択ビット	0 : P2_5に割り当てる 1 : P10_5に割り当てる	R/W
b6	KI6SELO	$\overline{\text{KI6}}$ 端子選択ビット	0 : P2_6に割り当てる 1 : P10_6に割り当てる	R/W
b7	KI7SELO	$\overline{\text{KI7}}$ 端子選択ビット	0 : P2_7に割り当てる 1 : P10_7に割り当てる	R/W

KISRレジスタは、 $\overline{\text{KI}i}$  ( $i=0 \sim 7$ )の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{KI}i}$ を使用する場合は、KISRレジスタを設定してください。

$\overline{\text{KI}i}$ の関連レジスタを設定をする前に、KISRレジスタを設定してください。また、 $\overline{\text{KI}i}$ の動作中はKISRレジスタの設定値を変更しないでください。

### 11.5.2 キー入力許可レジスタ0(KIEN)

アドレス 01FEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

### 11.5.3 キー入力許可レジスタ1(KIEN1)

アドレス 01FFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7PL	KI7EN	KI6PL	KI6EN	KI5PL	KI5EN	KI4PL	KI4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI4EN	KI4入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI4PL	KI4入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI5EN	KI5入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI5PL	KI5入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI6EN	KI6入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI6PL	KI6入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI7EN	KI7入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI7PL	KI7入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIEN1レジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

## 11.6 アドレス一致割り込み

RMAD<sub>i</sub>(*i*=0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレイク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMAD<sub>i</sub>(*i*=0 ~ 1)レジスタには命令の先頭番地を設定してください。割り込みの禁止または許可はAIER<sub>i</sub>レジスタのAIER<sub>i</sub>ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.3.7 レジスタ退避」参照)は、RMAD<sub>i</sub>レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれています)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表11.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

表11.8 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD <sub>i</sub> レジスタ ( <i>i</i> =0 ~ 1) で示される番地の命令	退避されるPCの値 (注1)
<ul style="list-style-type: none"> <li>• オペコードが2バイトの命令(注2)</li> <li>• オペコードが1バイトの命令(注2)</li> </ul> ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMAD <sub>i</sub> レジスタで示される番地 +2
上記以外	RMAD <sub>i</sub> レジスタで示される番地 +1

注1. 退避されるPCの値: 「11.3.7 レジスタ退避」参照。

注2. オペコード: 「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.9 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER00	RMAD0
アドレス一致割り込み1	AIER10	RMAD1

### 11.6.1 アドレス一致割り込み許可レジスタ*i* (AIER*i*)(*i*=0 ~ 1)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	-	-	-	-	-	-	AIER00
リセット後の値	0	0	0	0	0	0	0	0	AIER0 レジスタ

シンボル	-	-	-	-	-	-	-	-	AIER10	AIER1 レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	AIERi0	アドレス一致割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

### 11.6.2 アドレス一致割り込みレジスタ*i* (RMAD*i*)(*i*=0 ~ 1)

アドレス 01C2h ~ 01C0h番地(RMAD0)、01C6h ~ 01C4h番地(RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19 ~ b0	-	アドレス一致割り込み用アドレス設定レジスタ	00000h ~ FFFFFh	R/W
b20	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b21	-			
b22	-			
b23	-			

### 11.7 タイマRC割り込み、タイマRD割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRD (タイマRD0)、タイマRD (タイマRD1)、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.10にタイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを、図11.12にタイマRD割り込みのブロック図を示します。

表11.10 タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み関連レジスタ

周辺機能名	割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC	TRCSR	TRCIER	TRCIC
タイマRD	タイマRD0 TRDSR0	TRDIER0	TRD0IC
	タイマRD1 TRDSR1	TRDIER1	TRD1IC
タイマRG	TRGSR	TRGIER0	TRGIC
シンクロナスシリアルコミュニケーションユニット	SSSR	SSER	SSUIC
I <sup>2</sup> Cバスインタフェース	ICSR	ICIER	IICIC
フラッシュメモリ	RDYSTI	RDYSTIE	FMRDYIC
	BSYAEI	BSYAEIE	
		CMDERIE	

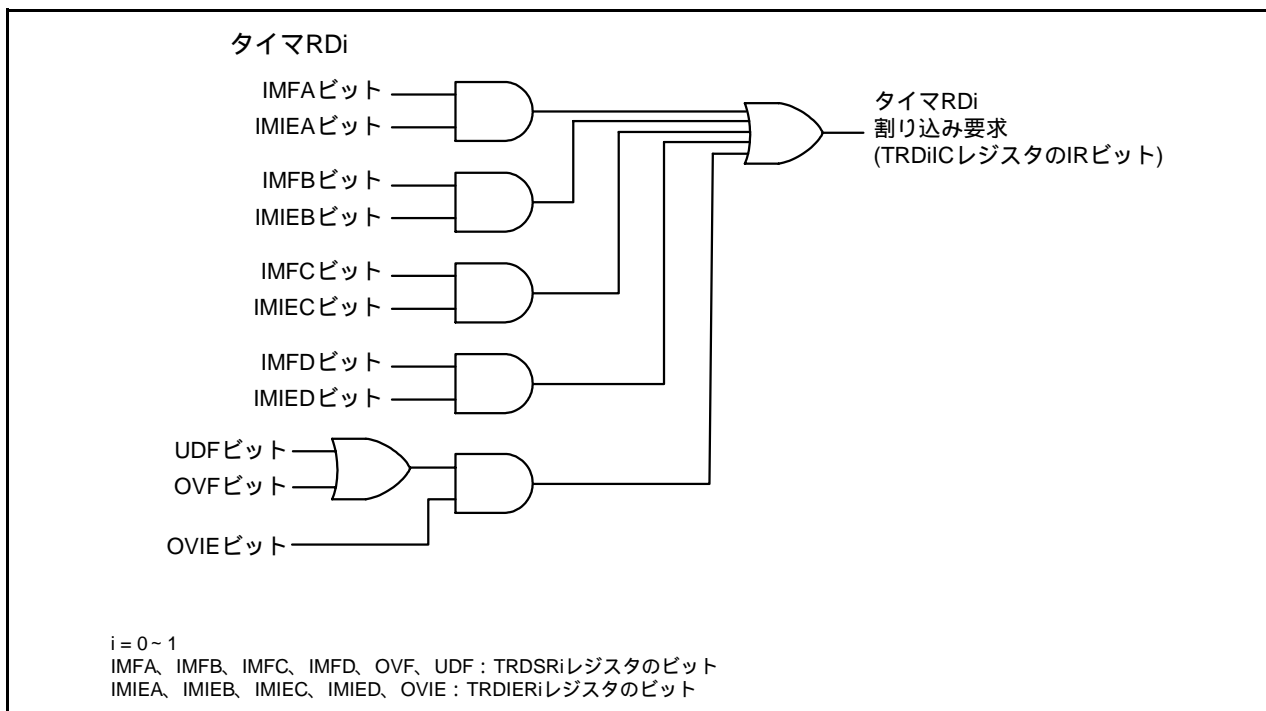


図11.12 タイマRD割り込みのブロック図



タイマRC、タイマRD (タイマRD0)、タイマRD (タイマRD1)、タイマRG、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0 ~ ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。  
すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。  
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。  
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。  
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「19. タイマRC」、「20. タイマRD」、「22. タイマRG」、「26. シンクロナスシリアルコミュニケーションユニット(SSU)」、「27. I<sup>2</sup>Cバスインタフェース」、「33. フラッシュメモリ)を参照してください。

割り込み制御レジスタは「11.3 割り込み制御」を参照してください。

## 11.8 割り込み使用上の注意

### 11.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 11.8.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 11.8.3 外部割り込み、キー入力割り込み

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_7$  端子、 $\overline{\text{KI}}_0 \sim \overline{\text{KI}}_7$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み  $\overline{\text{INT}}_i$  入力 ( $i = 0 \sim 7$ ) に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表 34.23 外部割り込み  $\overline{\text{INT}}_i$  ( $i = 0 \sim 7$ )、キー入力割り込み  $\overline{\text{KI}}_i$  ( $i = 0 \sim 7$ ) のタイミング条件」を参照。)

### 11.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 11.13 に割り込み要因の変更手順例を示します。

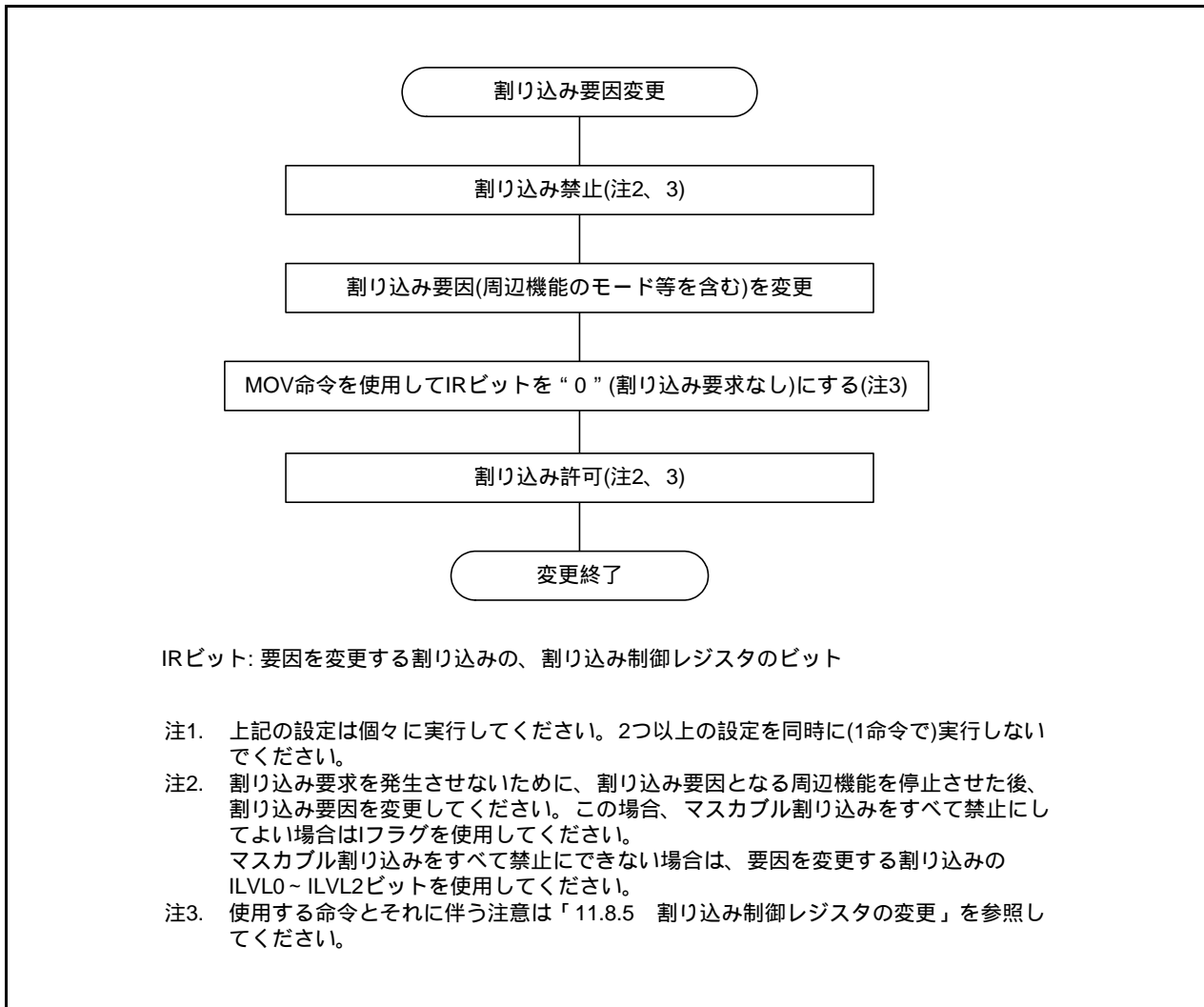


図 11.13 割り込み要因の変更手順例

### 11.8.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。  
IRビット以外のビットの変更  
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。  
対象となる命令 ..... AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  POPC    FLG              ; 割り込み許可
```

## 12. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

### 12.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFE8h、0FFE9h、0FFF3h、0FFF7h、0FFF8h番地です。図12.1にIDコード領域を示します。

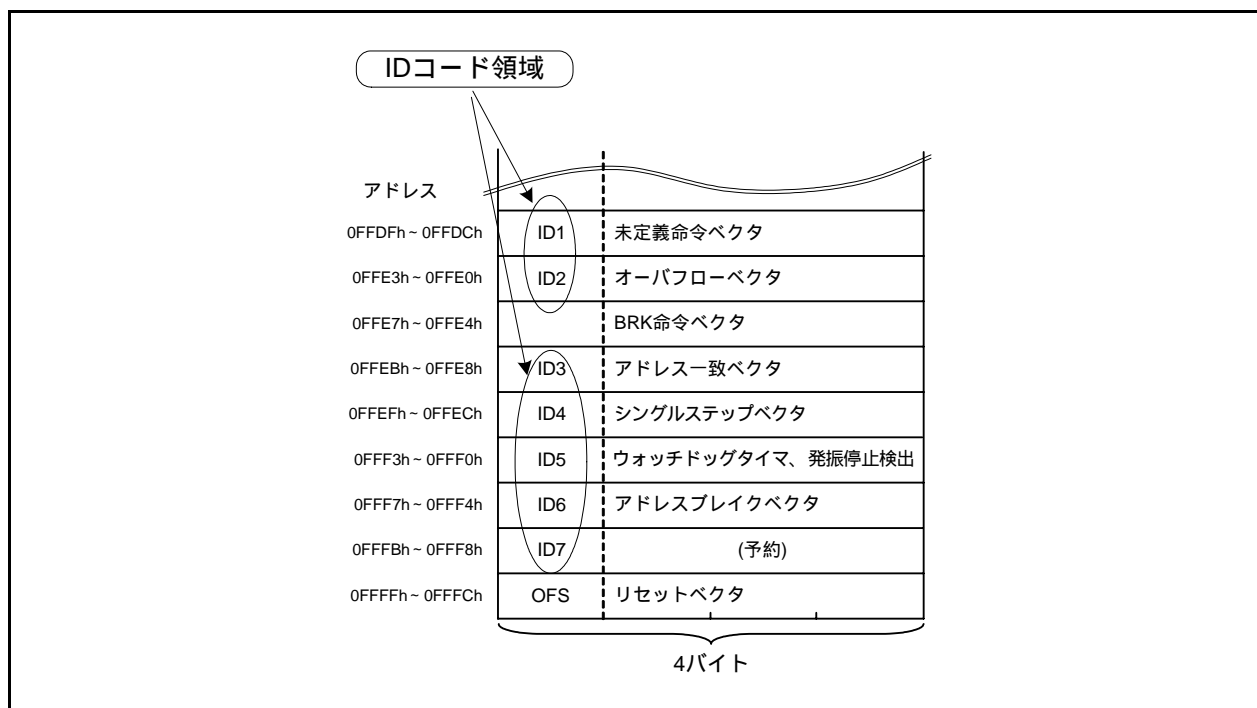


図12.1 IDコード領域

## 12.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表12.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合が予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表12.1 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDFh	ID1	41h (“A”大文字)	50h (“P”大文字)
0FFE3h	ID2	4Ch (“L”大文字)	72h (“r”小文字)
0FFEBh	ID3	65h (“e”小文字)	6Fh (“o”小文字)
0FFEfH	ID4	52h (“R”大文字)	74h (“t”小文字)
0FFF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
0FFF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
0FFFBh	ID7	45h (“E”大文字)	74h (“t”小文字)

注1. IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合が予約語です。

### 12.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外（「表12.1 IDコードの予約語」以外）かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”（ROMコードプロテクト有効）の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表12.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表12.2 強制イレーズ機能の条件と動作

条件			動作
シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1、ROMCRビット	
ALeRASE	ALeRASE	-	ユーザROM領域をすべて消去 (強制イレーズ機能)
	ALeRASE以外 (注1)	“01b”以外 (ROMコードプロテクト解除)	
		“01b” (ROMコードプロテクト有効)	IDコードの判定 (IDコードチェック機能)
ALeRASE以外	ALeRASE	-	IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
	ALeRASE以外 (注1)	-	IDコードの判定 (IDコードチェック機能)

注1.“Protect”の場合は「12.4 標準シリアル入出力モード禁止機能」参照。

### 12.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ（「表12.1 IDコードの予約語」参照）の場合、シリアルライターやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライターやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”（ROMコードプロテクト有効）にしている場合は、シリアルライターやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライターやオンチップデバッグエミュレータでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

## 12.5 IDコード領域使用上の注意

### 12.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
```

```
.lword dummy | (55000000h) ; UND
```

```
.lword dummy | (55000000h) ; INTO
```

```
.lword dummy ; BREAK
```

```
.lword dummy | (55000000h) ; ADDRESS MATCH
```

```
.lword dummy | (55000000h) ; SET SINGLE STEP
```

```
.lword dummy | (55000000h) ; WDT
```

```
.lword dummy | (55000000h) ; ADDRESS BREAK
```

```
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)



## 13. オプション機能選択領域

### 13.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図13.1にオプション機能選択領域を示します。

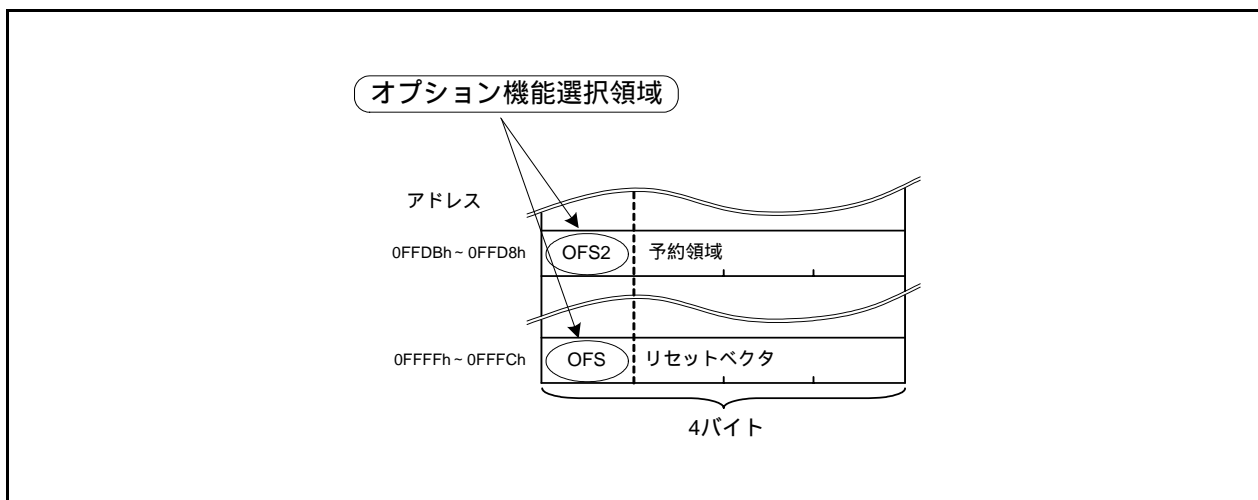


図13.1 オプション機能選択領域

## 13.2 レジスタの説明

OFSレジスタおよびOFS2レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

### 13.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI - - - ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0:リセット後、ウォッチドッグタイマは自動的に起動 1:リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	"1"にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0:ROMコードプロテクト解除 1:ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0:ROMコードプロテクト有効 1:ROMコードプロテクト解除	R/W
b4	-	予約ビット	"1"にしてください	R/W
b5	-			
b6	-			
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0:リセット後、カウントソース保護モード有効 1:リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

### 13.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 00 : 03FFh 01 : 0FFFh 10 : 1FFFh 11 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 00 : 25% 01 : 50% 10 : 75% 11 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

### 13.3 オプション機能選択領域使用上の注意

#### 13.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH  
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH  
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 14. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお勧めします。

### 14.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.3 ウォッチドッグタイマリセット」を参照してください。

図14.1にウォッチドッグタイマのブロック図を示します。

表14.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 •リセット後、自動的にカウントを開始 •WDTSレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1) •アンダフロー	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> <li>•プリスケアラの分周比 WDTCレジスタのWDTC7ビットもしくはCM0レジスタのCM07ビットで選択</li> <li>•カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択</li> <li>•リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択</li> <li>•ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで選択</li> <li>•ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択</li> </ul>	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

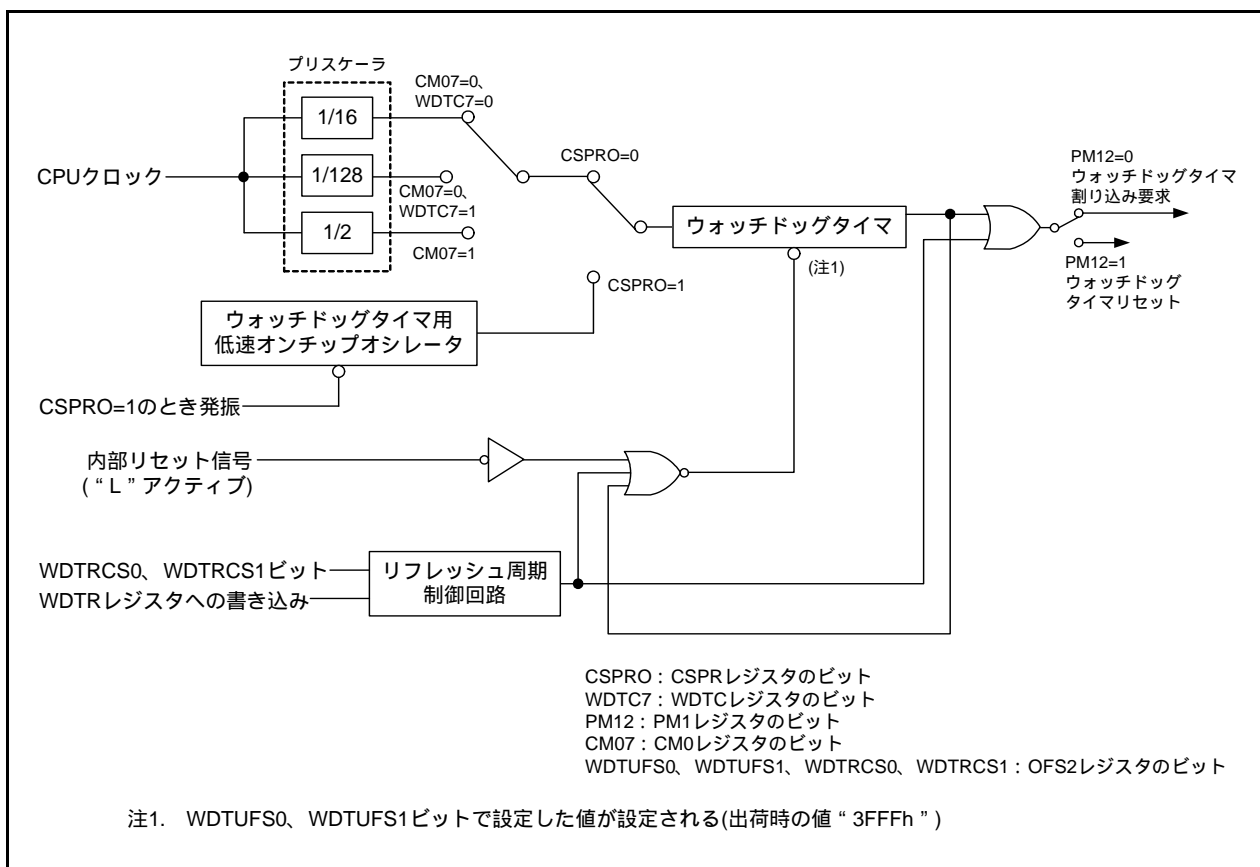


図 14.1 ウォッチドッグタイマのブロック図

## 14.2 レジスタの説明

### 14.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	PM12	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	PM12	WDT 割り込み/リセット切り替えビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット (注1)	R/W
b3	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

### 14.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス 000Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	“00h” を書いて、続いて“FFh” を書くと、ウォッチドッグタイマは初期化される。ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウンタ動作中に書いてください。

### 14.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス 000Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

### 14.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	-	-	-	-	-	-	-
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	ウォッチドッグタイマの次のビットが読める。		R
b1	-	OFS2レジスタのWDTUFS1 ~ WDTUFS0ビットが		R
b2	-	“00b”(03FFh)のとき：b5 ~ b0		R
b3	-	“01b”(0FFFh)のとき：b7 ~ b2		R
b4	-	“10b”(1FFFh)のとき：b8 ~ b3		R
b5	-	“11b”(3FFFh)のとき：b9 ~ b4		R
b6	-	予約ビット	読んだ場合、その値は“0”	R
b7	WDTC7	プリスケアラ選択ビット	0：16分周 1：128分周	R/W

### 14.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0”にしてください	R/W
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	CSPRO	カウントソース保護モード選択ビット(注2)	0：カウントソース保護モード無効 1：カウントソース保護モード有効	R/W

注1. OFSレジスタのCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。



### 14.2.6 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI - - - ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	-	予約ビット	“1” にしてください	R/W
b5	-			
b6	-			
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

### 14.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。  
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

## 14.3 動作説明

### 14.3.1 複数モードに関わる共通事項

#### 14.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択できます。図14.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中に、リフレッシュ動作を実行しないでください。

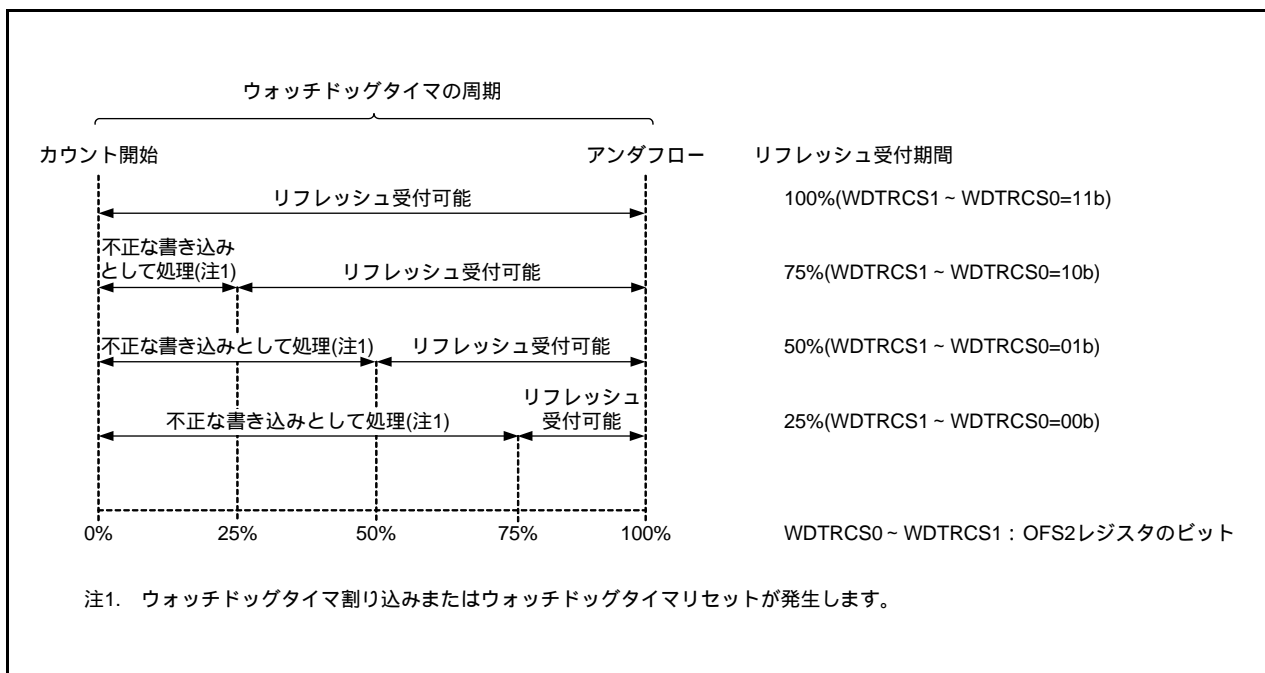


図14.2 ウォッチドッグタイマのリフレッシュ受付期間

### 14.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。  
表14.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) CPUクロック n : 16または128 (WDTCレジスタのWDTC7ビットで選択)もしくは低速クロック選択時 (CM0レジスタのCM07ビット=1)は2 m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : CPUクロックが20MHzで、プリスケアラが16分周し、WDTUFS1 ~ WDTUFS0ビット が“11b”(“3FFFh”)の場合、周期は約13.1ms
ウォッチドッグタイマ 初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> <li>WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> <li>PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み</li> <li>PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.3 ウォッチドッグタイマリセット」参照)</li> </ul>

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

### 14.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表14.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	$\frac{\text{ウォッチドッグタイマのカウント値(m)}}{\text{ウォッチドッグタイマ用低速オンチップオシレータクロック}}$ m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHzで、 WDTUFS1 ~ WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>•リセット</li> <li>•WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>•アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 <ul style="list-style-type: none"> <li>•WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTNレジスタに書くことにより、カウントを開始</li> <li>•WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.3 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> <li>•CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される               <ul style="list-style-type: none"> <li>-ウォッチドッグタイマ用低速オンチップオシレータが発振</li> <li>-PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)</li> </ul> </li> </ul>

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 15. DTC

DTC(データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能で、1チャンネルを搭載しています。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

### 15.1 概要

表 15.1にDTCの仕様を、図 15.1にDTCのブロック図を示します。

表 15.1 DTCの仕様

項目		仕様
起動要因		38要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間		64Kバイト空間(00000h ~ 0FFFFh)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位		バイト
転送モード	ノーマルモード	DTCCTjレジスタが“1”から“0”になる転送で終了する
	リピートモード	DTCCTjレジスタが“1”から“0”になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		「表 15.5 DTC起動要因とDTCベクタアドレス」参照
割り込み要求	ノーマルモード	DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
	リピートモード	DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
転送開始		DTCENiレジスタのDTCENi0 ~ DTCENi7ビットを“1”(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> <li>•DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする</li> <li>•DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき</li> </ul>
	リピートモード	<ul style="list-style-type: none"> <li>•DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする</li> <li>•RPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき</li> </ul>

i=0 ~ 6、j=0 ~ 23

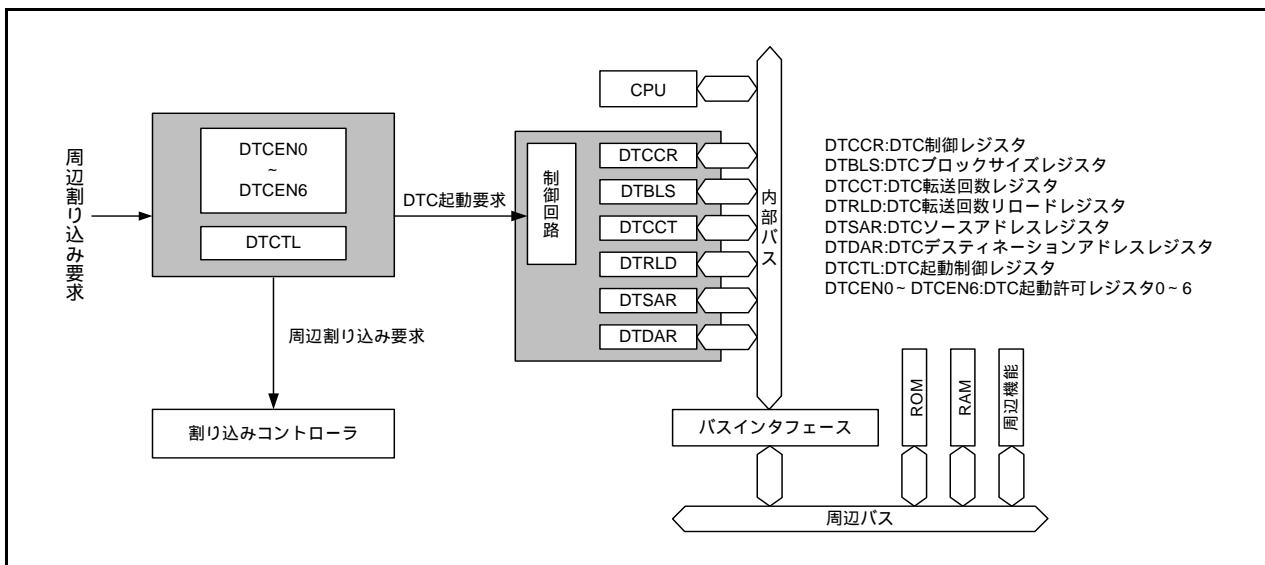


図 15.1 DTCのブロック図

## 15.2 レジスタの説明

DTCは起動するとコントロールデータ領域に配置したコントロールデータ(DTCCR<sub>j</sub>、DTBLS<sub>j</sub>、DTCCT<sub>j</sub>、DTRLD<sub>j</sub>、DTSAR<sub>j</sub>、DTDAR<sub>j</sub>、j=0~23)を読み出し、DTC内の制御レジスタ(DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR)へ転送します。DTCのデータ転送終了後、DTC内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDARの各レジスタは直接アクセスできません。

DTCCR<sub>j</sub>、DTBLS<sub>j</sub>、DTCCT<sub>j</sub>、DTRLD<sub>j</sub>、DTSAR<sub>j</sub>、DTDAR<sub>j</sub>はDTCコントロールデータ領域の2C40h~2CFFh番地にコントロールデータとして配置し、直接アクセスできます。

また、DTCTL、DTCEN<sub>i</sub>(i=0~6)レジスタは直接アクセスできます。

### 15.2.1 DTC制御レジスタj(DTCCRj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0: ノーマルモード 1: リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0: 転送先がリピートエリア 1: 転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0: 固定 1: 加算	R/W
b3	DAMOD	デスティネーション アドレス制御ビット(注2)	0: 固定 1: 加算	R/W
b4	CHNE	チェイン転送許可ビット(注3)	0: チェイン転送禁止 1: チェイン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット (注1)	0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	-			

注1. MODEビットが"1"(リピートモード)のときに有効です。

注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。

注3. DTCCR23レジスタのCHNEビットは"0"(チェイン転送禁止)にしてください。

### 15.2.2 DTCブロックサイズレジスタj(DTBLSj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	1回の起動で転送するデータブロックサイズを設定する	00h ~ FFh(注1)	R/W

注1. "00h"のときブロックサイズは256バイトになります。



### 15.2.3 DTC転送回数レジスタj(DTCCTj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	DTCのデータ転送回数を設定する	00h ~ FFh(注1)	R/W

注1. “00h”のとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

### 15.2.4 DTC転送回数リロードレジスタj(DTRLj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	リピータモード動作でこのレジスタの値をDTCCTレジスタへリロードする	00h ~ FFh(注1)	R/W

注1. DTCCTレジスタの初期値を設定してください。

### 15.2.5 DTCソースアドレスレジスタj(DTSARj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送元アドレスを指定する	0000h ~ FFFFh	R/W

### 15.2.6 DTCデスティネーションレジスタj(DTDARj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送先アドレスを指定する	0000h ~ FFFFh	R/W

### 15.2.7 DTC起動許可レジスタi(DTCENi)(i=0 ~ 6)

アドレス 0088h番地(DTCEN0)、0089h番地(DTCEN1)、008Ah番地(DTCEN2)、008Bh番地(DTCEN3)、  
008Ch番地(DTCEN4)、008Dh番地(DTCEN5)、008Eh番地(DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC 起動許可ビット	0 : 起動禁止 1 : 起動許可	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

i=0 ~ 6

DTCENiレジスタは、各割り込み要因によるDTC起動の許可または禁止を制御します。表 15.2に割り込み要因とDTCENi0 ~ DTCENi7(i=0 ~ 6)ビットの対応を示します。

表 15.2 割り込み要因とDTCENi0 ~ DTCENi7(i=0 ~ 6)ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	INT0	INT1	INT2	INT3	INT4	INT5	INT6	INT7
DTCEN1	キー入力	A/D変換	UART0 受信	UART0 送信	UART1 受信	UART1 送信	UART2 受信	UART2 送信
DTCEN2	SSU/I <sup>2</sup> Cバス 受信データ フル	SSU/I <sup>2</sup> Cバス 送信データ エンプティ	-	-	-	-	タイマRC インプット キャプチャ/ コンペアー一致A	タイマRC インプット キャプチャ/ コンペアー一致B
DTCEN3	タイマRC インプット キャプチャ/ コンペアー一致C	タイマRC インプット キャプチャ/ コンペアー一致D	タイマRD0 インプット キャプチャ/ コンペアー一致A	タイマRD0 インプット キャプチャ/ コンペアー一致B	タイマRD0 インプット キャプチャ/ コンペアー一致C	タイマRD0 インプット キャプチャ/ コンペアー一致D	タイマRD1 インプット キャプチャ/ コンペアー一致A	タイマRD1 インプット キャプチャ/ コンペアー一致B
DTCEN4	タイマRD1 インプット キャプチャ/ コンペアー一致C	タイマRD1 インプット キャプチャ/ コンペアー一致D	-	-	-	-	-	-
DTCEN5	-	-	タイマRE	-	-	-	-	タイマRG インプット キャプチャ/ コンペアー一致A
DTCEN6	タイマRG インプット キャプチャ/ コンペアー一致B	タイマRA	-	タイマRB	フラッシュ レディステータス	-	-	-

## 15.2.8 DTC起動制御レジスタ(DTCTL)

アドレス 0080h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	NMIF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0”にしてください	R/W
b1	NMIF	ノンмасカブル割り込み発生ビット (注1)	0: ノンмасカブル割り込みなし 1: ノンмасカブル割り込み発生	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません（読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです）。
- ・“1”を書いた場合は変化しません。

DTCTLレジスタは、ノンмасカブル割り込み(ウォッチドッグタイマ、発振停止検出)発生時のDTC起動を制御するレジスタです。

### NMIFビット(ノンмасカブル割り込み発生ビット)

NMIFビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込みのいずれかが発生すると“1”になります。

NMIFビットが“1”の場合、DTC起動を許可している割り込みが発生してもDTCは起動しません。DTC転送中にNMIFビットが“1”になっても、その転送を終了するまで行います。

割り込み要因がウォッチドッグタイマのとき、WDTCレジスタのWDTC7ビットを“0”(プリスケアラが16分周)にしている場合は、割り込み要因発生からCPUクロックの16サイクル待ってから、WDTC7ビットを“1”(プリスケアラが128分周)にしている場合は割り込み要因発生からCPUクロックの128サイクル待ってから、NMIFビットに“0”を書いてください。

割り込み要因が発振停止検出のとき、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にした後で、NMIFビットに“0”を書いてください。

## 15.3 動作説明

### 15.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCRj(j=0~23)レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先アドレスは16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

### 15.3.2 起動要因

DTCは割り込み要因により起動します。図15.2にDTC起動要因の制御ブロック図を示します。

DTCを起動する割り込み要因は、DTCENiレジスタ(i=0~6)で選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ・ノーマルモードでDTCCTj(j=0~23)レジスタが“0”になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0~DTCENi7ビットを“0”(起動禁止)にします。

データ転送の設定がどちらでもなく、起動要因がタイマRC、タイマRD、フラッシュメモリの割り込み要因である場合、DTCは動作中に起動要因となった割り込み要因フラグを“0”にします。

表15.3にDTC起動要因とDTC動作中に“0”にする割り込み要因フラグを示します。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

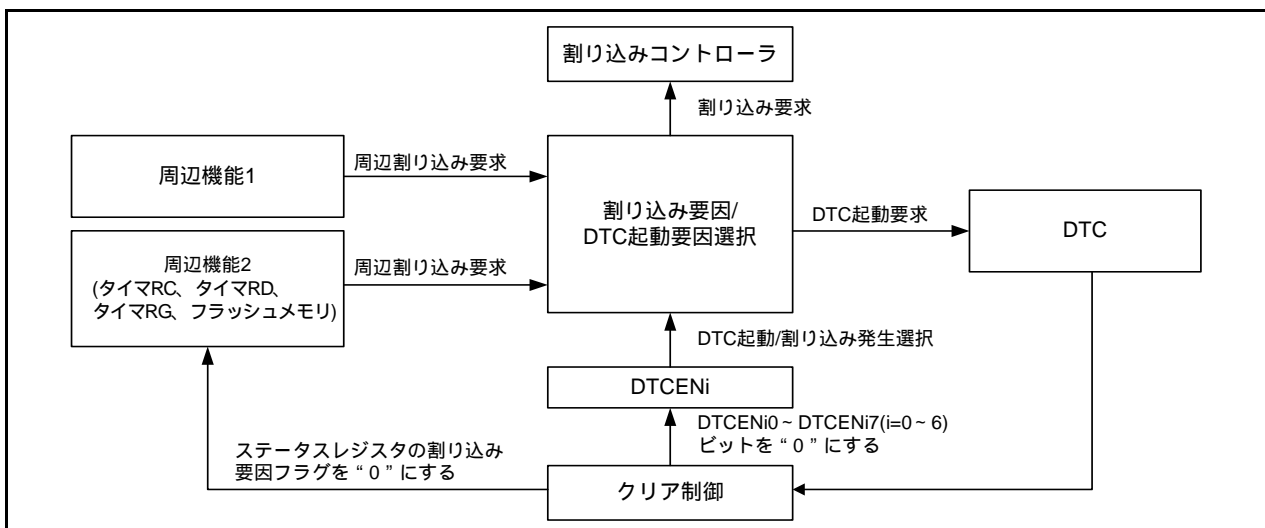


図 15.2 DTC 起動要因の制御ブロック図

表 15.3 DTC起動要因とDTC動作中に“0”にする割り込み要因フラグ

DTC起動要因	“0”にする割り込み要因フラグ
タイマRCインプットキャプチャ/コンペア一致A	TRCSRレジスタのIMFAビット
タイマRCインプットキャプチャ/コンペア一致B	TRCSRレジスタのIMFBビット
タイマRCインプットキャプチャ/コンペア一致C	TRCSRレジスタのIMFCビット
タイマRCインプットキャプチャ/コンペア一致D	TRCSRレジスタのIMFDビット
タイマRD0インプットキャプチャ/コンペア一致A	TRDSR0レジスタのIMFAビット
タイマRD0インプットキャプチャ/コンペア一致B	TRDSR0レジスタのIMFBビット
タイマRD0インプットキャプチャ/コンペア一致C	TRDSR0レジスタのIMFCビット
タイマRD0インプットキャプチャ/コンペア一致D	TRDSR0レジスタのIMFDビット
タイマRD1インプットキャプチャ/コンペア一致A	TRDSR1レジスタのIMFAビット
タイマRD1インプットキャプチャ/コンペア一致B	TRDSR1レジスタのIMFBビット
タイマRD1インプットキャプチャ/コンペア一致C	TRDSR1レジスタのIMFCビット
タイマRD1インプットキャプチャ/コンペア一致D	TRDSR1レジスタのIMFDビット
フラッシュレディステータス	FSTレジスタのRDYSTIビット

### 15.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj、DTDARj(j=0 ~ 23) レジスタの順に配置します。表 15.4 にコントロールデータの配置アドレスを示します。

表 15.4 コントロールデータの配置アドレス

レジスタ シンボル	コントロール データ番号	アドレス	DTCCRj レジスタ	DTBLSj レジスタ	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ (下位 8ビット)	DTSARj レジスタ (上位 8ビット)	DTDARj レジスタ (下位 8ビット)	DTDARj レジスタ (上位 8ビット)
DTCD0	コントロール データ0	2C40h ~ 2C47h	2C40h	2C41h	2C42h	2C43h	2C44h	2C45h	2C46h	2C47h
DTCD1	コントロール データ1	2C48h ~ 2C4Fh	2C48h	2C49h	2C4Ah	2C4Bh	2C4Ch	2C4Dh	2C4Eh	2C4Fh
DTCD2	コントロール データ2	2C50h ~ 2C57h	2C50h	2C51h	2C52h	2C53h	2C54h	2C55h	2C56h	2C57h
DTCD3	コントロール データ3	2C58h ~ 2C5Fh	2C58h	2C59h	2C5Ah	2C5Bh	2C5Ch	2C5Dh	2C5Eh	2C5Fh
DTCD4	コントロール データ4	2C60h ~ 2C67h	2C60h	2C61h	2C62h	2C63h	2C64h	2C65h	2C66h	2C67h
DTCD5	コントロール データ5	2C68h ~ 2C6Fh	2C68h	2C69h	2C6Ah	2C6Bh	2C6Ch	2C6Dh	2C6Eh	2C6Fh
DTCD6	コントロール データ6	2C70h ~ 2C77h	2C70h	2C71h	2C72h	2C73h	2C74h	2C75h	2C76h	2C77h
DTCD7	コントロール データ7	2C78h ~ 2C7Fh	2C78h	2C79h	2C7Ah	2C7Bh	2C7Ch	2C7Dh	2C7Eh	2C7Fh
DTCD8	コントロール データ8	2C80h ~ 2C87h	2C80h	2C81h	2C82h	2C83h	2C84h	2C85h	2C86h	2C87h
DTCD9	コントロール データ9	2C88h ~ 2C8Fh	2C88h	2C89h	2C8Ah	2C8Bh	2C8Ch	2C8Dh	2C8Eh	2C8Fh
DTCD10	コントロール データ10	2C90h ~ 2C97h	2C90h	2C91h	2C92h	2C93h	2C94h	2C95h	2C96h	2C97h
DTCD11	コントロール データ11	2C98h ~ 2C9Fh	2C98h	2C99h	2C9Ah	2C9Bh	2C9Ch	2C9Dh	2C9Eh	2C9Fh
DTCD12	コントロール データ12	2CA0h ~ 2CA7h	2CA0h	2CA1h	2CA2h	2CA3h	2CA4h	2CA5h	2CA6h	2CA7h
DTCD13	コントロール データ13	2CA8h ~ 2CAFh	2CA8h	2CA9h	2CAAh	2CABh	2CACH	2CADh	2CAEh	2CAFh
DTCD14	コントロール データ14	2CB0h ~ 2CB7h	2CB0h	2CB1h	2CB2h	2CB3h	2CB4h	2CB5h	2CB6h	2CB7h
DTCD15	コントロール データ15	2CB8h ~ 2CBFh	2CB8h	2CB9h	2CBAh	2CBBh	2CBCh	2CBDh	2CBEh	2CBFh
DTCD16	コントロール データ16	2CC0h ~ 2CC7h	2CC0h	2CC1h	2CC2h	2CC3h	2CC4h	2CC5h	2CC6h	2CC7h
DTCD17	コントロール データ17	2CC8h ~ 2CCFh	2CC8h	2CC9h	2CCAh	2CCBh	2CCCh	2CCDh	2CCEh	2CCFh
DTCD18	コントロール データ18	2CD0h ~ 2CD7h	2CD0h	2CD1h	2CD2h	2CD3h	2CD4h	2CD5h	2CD6h	2CD7h
DTCD19	コントロール データ19	2CD8h ~ 2CDFh	2CD8h	2CD9h	2CDAh	2CDBh	2CDCh	2CDDh	2CDEh	2CDFh
DTCD20	コントロール データ20	2CE0h ~ 2CE7h	2CE0h	2CE1h	2CE2h	2CE3h	2CE4h	2CE5h	2CE6h	2CE7h
DTCD21	コントロール データ21	2CE8h ~ 2CEFh	2CE8h	2CE9h	2CEAh	2CEBh	2CECh	2CEDh	2CEEh	2CEFh
DTCD22	コントロール データ22	2CF0h ~ 2CF7h	2CF0h	2CF1h	2CF2h	2CF3h	2CF4h	2CF5h	2CF6h	2CF7h
DTCD23	コントロール データ23	2CF8h ~ 2CFFh	2CF8h	2CF9h	2CFAh	2CFBh	2CFCh	2CFDh	2CFEh	2CFFh

j=0 ~ 23

DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTC コントロールデータ領域上に配置されたコントロールデータを読み出します。

表 15.5 に DTC 起動要因と DTC ベクタアドレスを示します。起動要因ごとに DTC ベクタテーブルが 1 バイトあり、“00000000b” ~ “00010111b” のデータ(表 15.4 のコントロールデータ番号)を格納し、24 組のコントロールデータから 1 つを選択します。

図 15.3 ~ 図 15.6 に DTC 内部動作のフローチャートを示します。

表 15.5 DTC 起動要因と DTC ベクタアドレス

割り込み要因発生元	名称	要因番号	DTC ベクタアドレス	優先順位
外部入力	INT0	0	2C00h	高 ↑
	INT1	1	2C01h	
	INT2	2	2C02h	
	INT3	3	2C03h	
	INT4	4	2C04h	
	INT5	5	2C05h	
	INT6	6	2C06h	
	INT7	7	2C07h	
キー入力	キー入力	8	2C08h	↓ 低
A/D	A/D 変換	9	2C09h	
UART0	UART0 受信	10	2C0Ah	
	UART0 送信	11	2C0Bh	
UART1	UART1 受信	12	2C0Ch	
	UART1 送信	13	2C0Dh	
UART2	UART2 受信	14	2C0Eh	
	UART2 送信	15	2C0Fh	
SSU/I <sup>2</sup> C バス	受信データフル	16	2C10h	
	送信データエンpty	17	2C11h	
タイマ RC	インプットキャプチャ/コンペア一致 A	22	2C16h	
	インプットキャプチャ/コンペア一致 B	23	2C17h	
	インプットキャプチャ/コンペア一致 C	24	2C18h	
	インプットキャプチャ/コンペア一致 D	25	2C19h	
タイマ RD0	インプットキャプチャ/コンペア一致 A	26	2C1Ah	
	インプットキャプチャ/コンペア一致 B	27	2C1Bh	
	インプットキャプチャ/コンペア一致 C	28	2C1Ch	
	インプットキャプチャ/コンペア一致 D	29	2C1Dh	
タイマ RD1	インプットキャプチャ/コンペア一致 A	30	2C1Eh	
	インプットキャプチャ/コンペア一致 B	31	2C1Fh	
	インプットキャプチャ/コンペア一致 C	32	2C20h	
	インプットキャプチャ/コンペア一致 D	33	2C21h	
タイマ RE	タイマ RE	42	2C2Ah	
タイマ RG	インプットキャプチャ/コンペア一致 A	47	2C2Fh	
	インプットキャプチャ/コンペア一致 B	48	2C30h	
タイマ RA	タイマ RA	49	2C31h	
タイマ RB	タイマ RB	51	2C33h	
フラッシュメモリ	フラッシュレディステータス	52	2C34h	

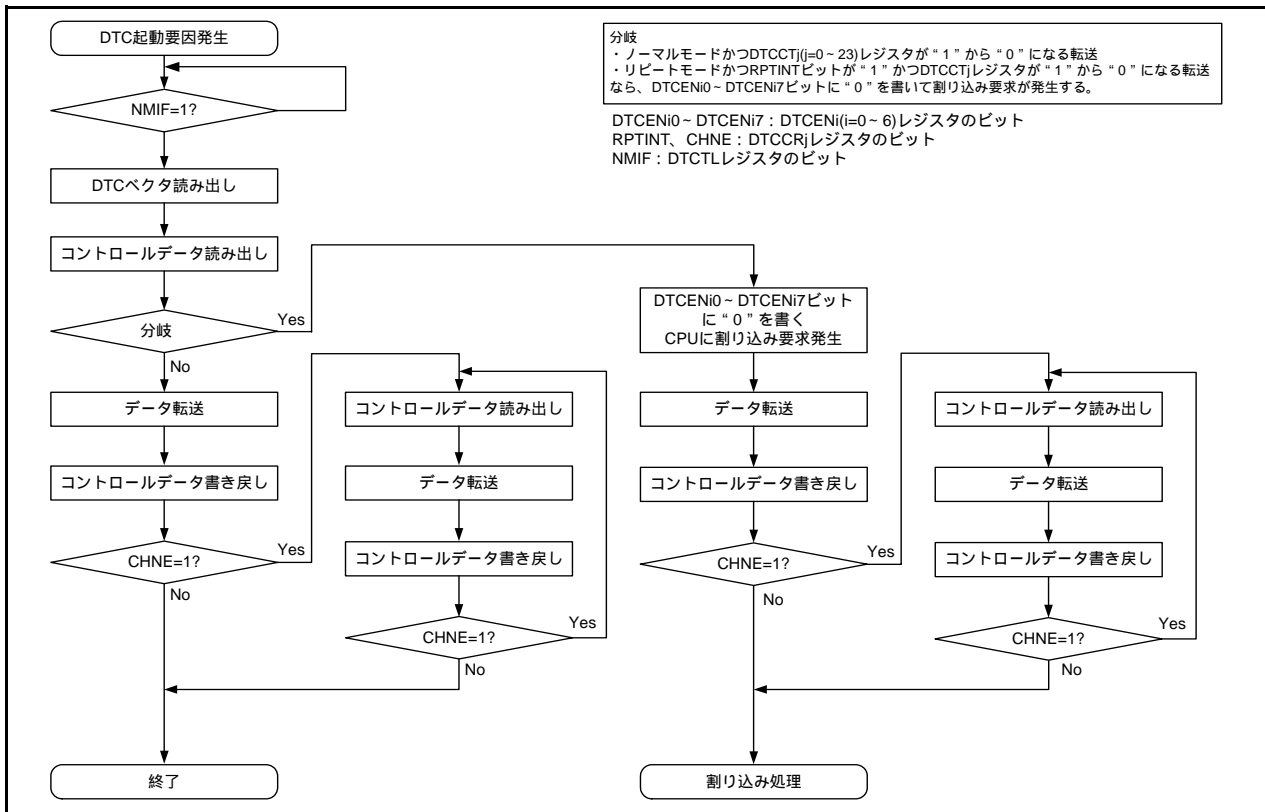


図 15.3 DTC 起動要因が SSU/I<sup>2</sup>C バス、タイマ RC、タイマ RD、タイマ RG、フラッシュメモリの割り込み要因でないときの DTC 内部動作フローチャート

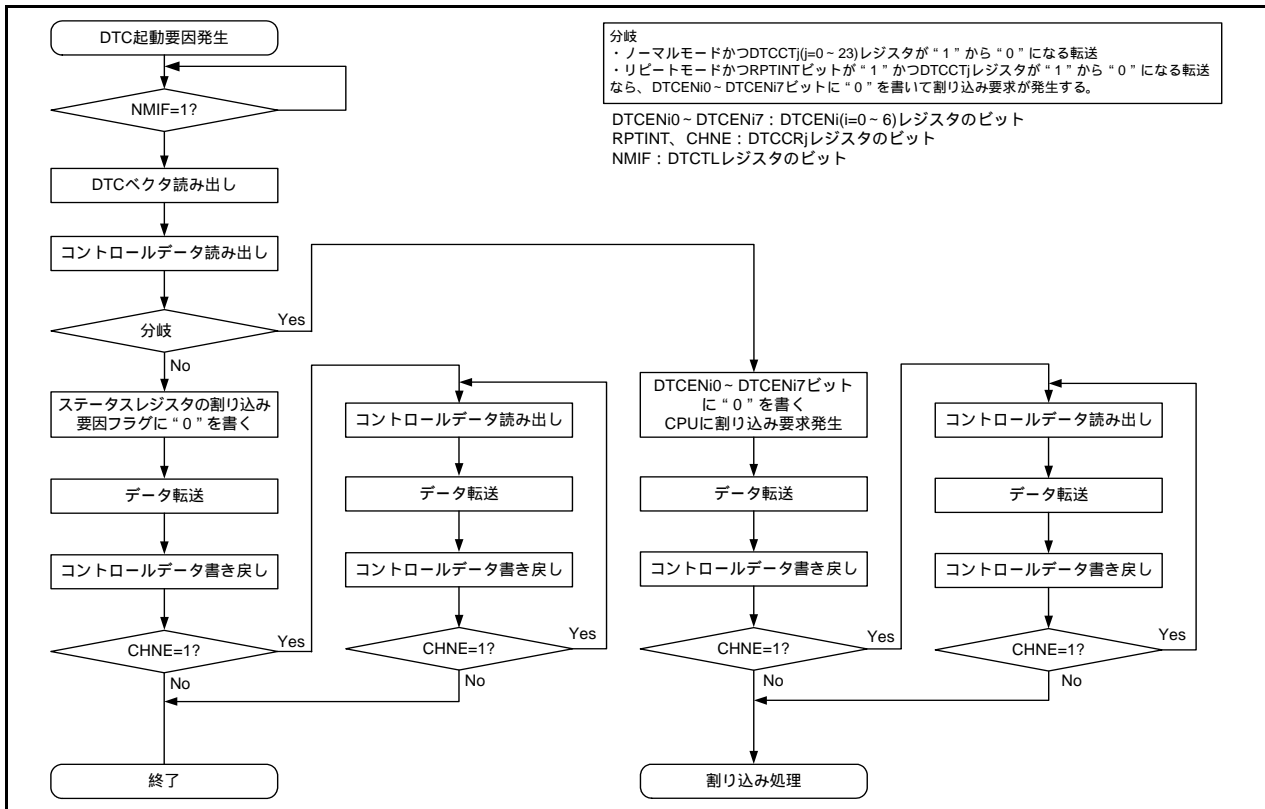


図 15.4 DTC 起動要因がタイマ RC、タイマ RD、タイマ RG の割り込み要因であるときの DTC 内部動作フローチャート



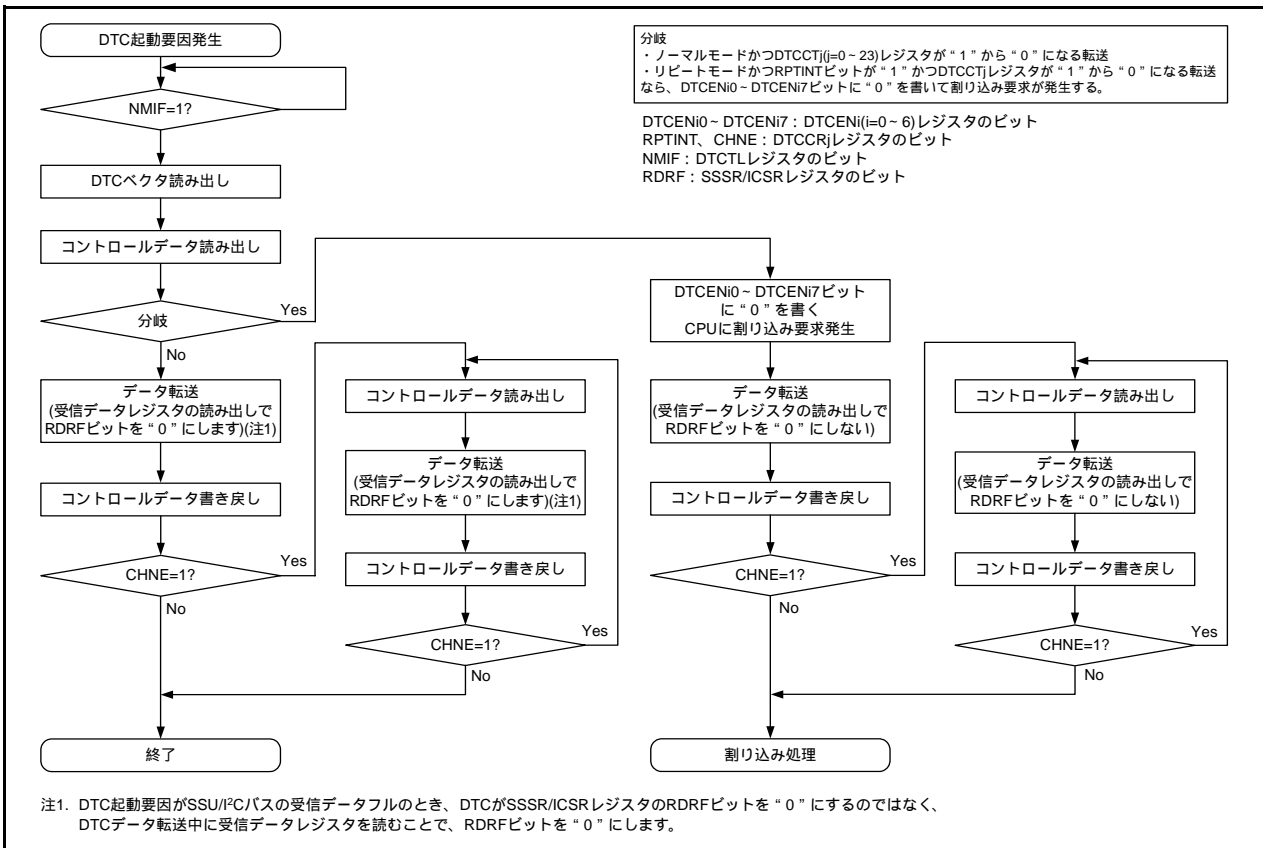


図 15.5 DTC 起動要因がSSU/I<sup>2</sup>Cバスの受信データフルであるときのDTC内部動作フローチャート

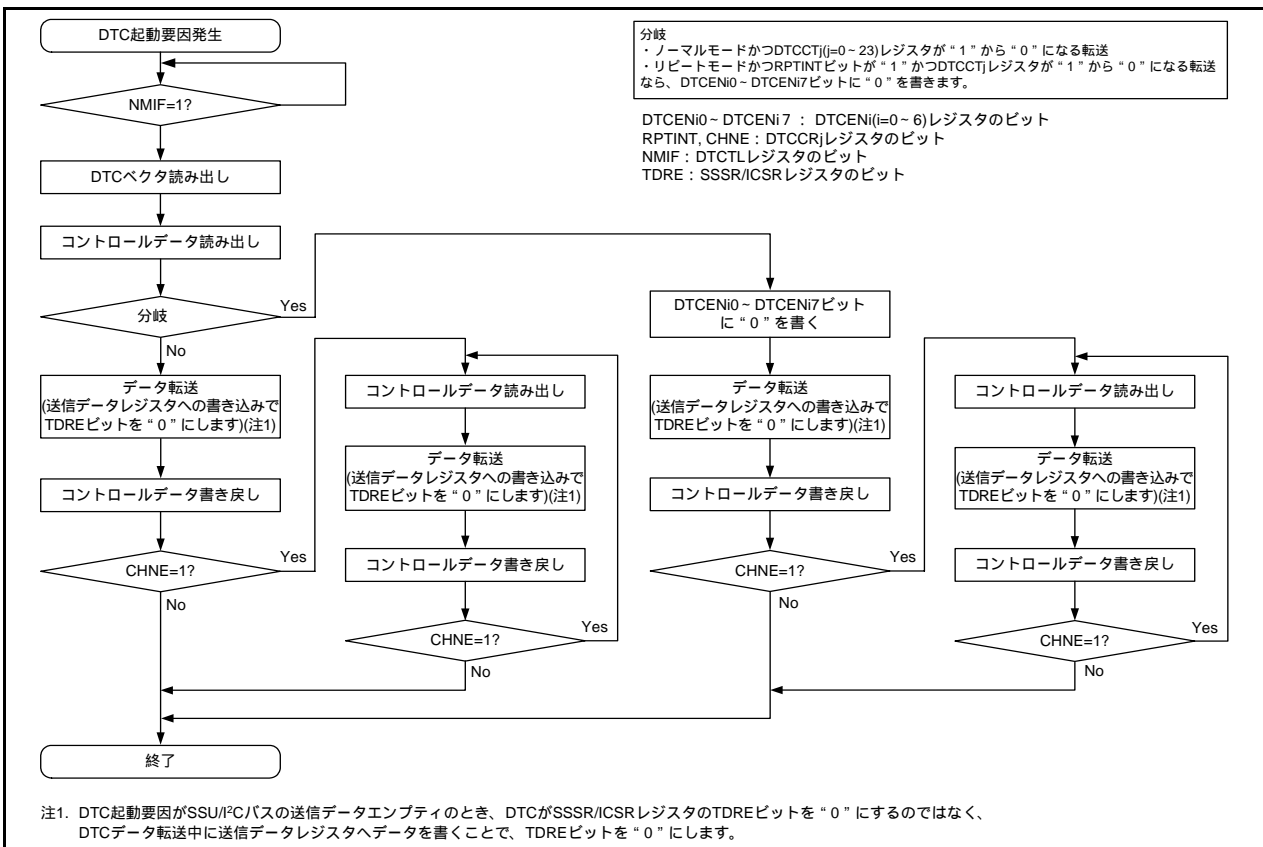


図 15.6 DTC 起動要因がSSU/I<sup>2</sup>Cバスの送信データエンプティであるときのDTC内部動作フローチャート

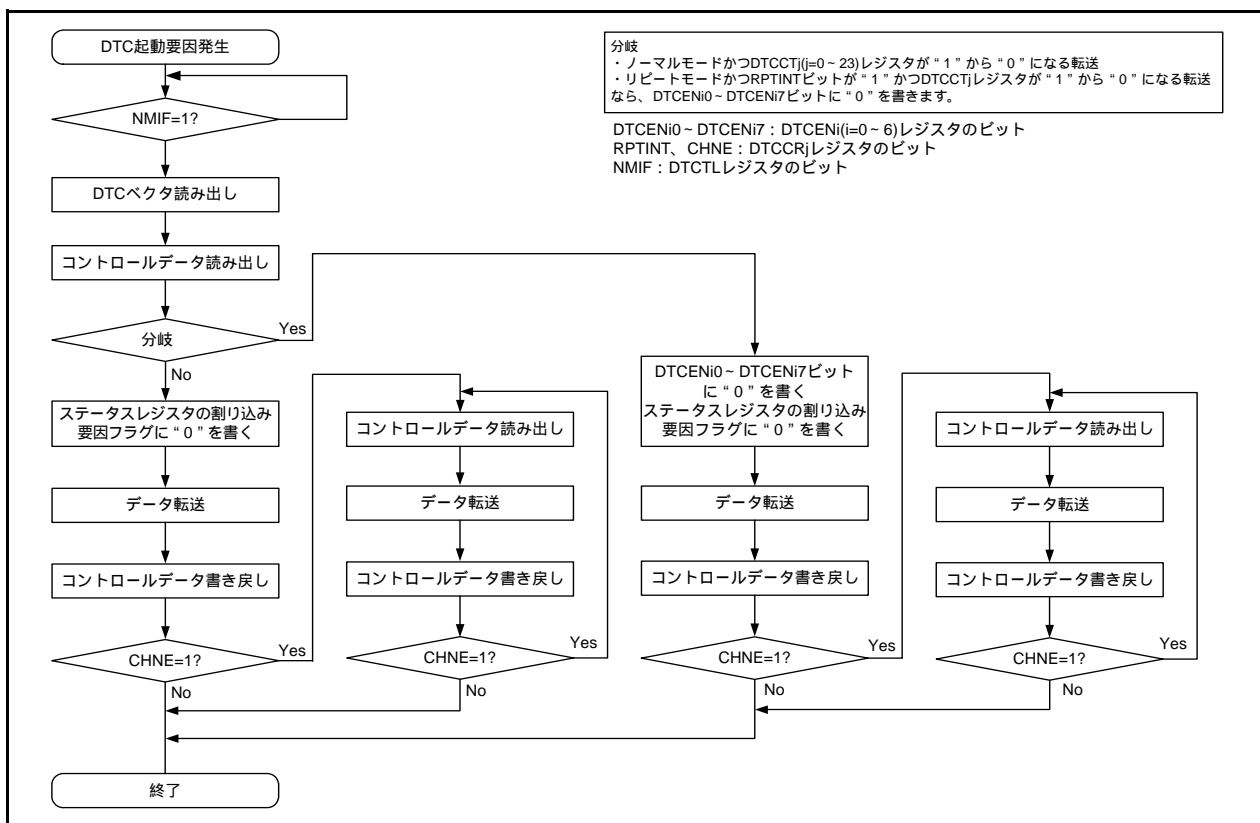


図 15.7 DTC 起動要因がフラッシュレディステータスであるときのDTC内部動作フローチャート

### 15.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTj(j=0～23)レジスタが“0”になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求を発生します。

表 15.6にノーマルモードでのレジスタ機能を示します。

図 15.8にノーマルモードでのデータ転送を示します。

表 15.6 ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTC ブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC 転送回数レジスタj	DTCCTj	データ転送回数
DTC 転送回数リロードレジスタj	DTRLdj	使用しません
DTC ソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTC デスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

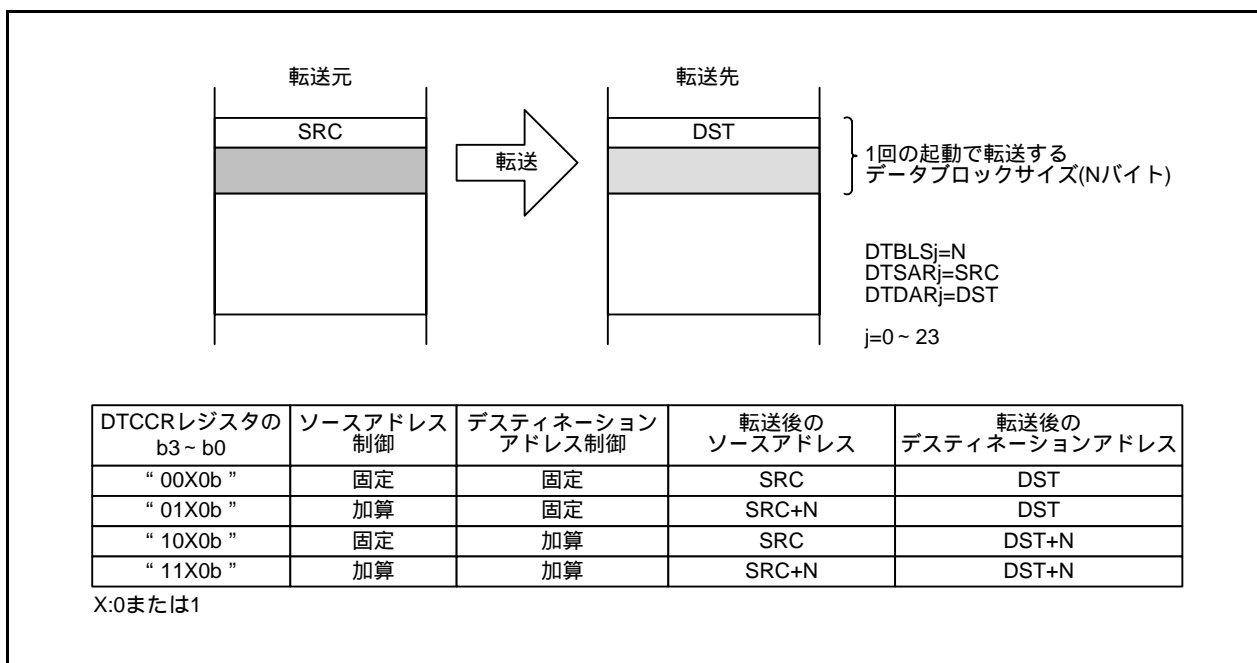


図 15.8 ノーマルモードでのデータ転送

### 15.3.5 リピートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数転送が終了すると、DTCCTj(j=0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)でDTCCTjレジスタが“0”になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを“00h”にしてください。また、指定回数転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表 15.7 にリピートモードでのレジスタ機能を示します。図 15.9 にリピートモードでのデータ転送を示します。

表 15.7 リピートモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23

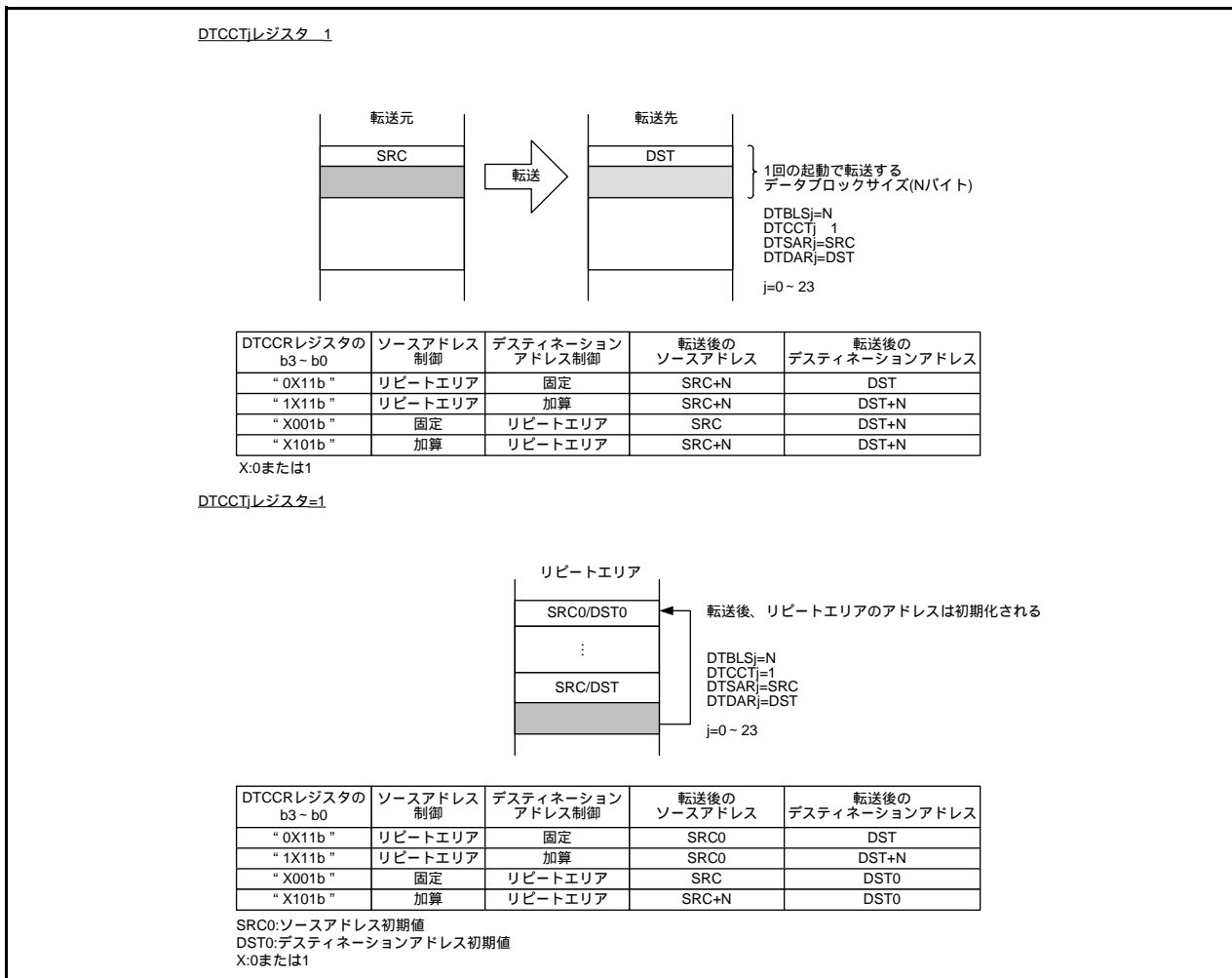


図 15.9 リピートモードでのデータ転送

### 15.3.6 チェイン転送

DTCCRj(j=0 ~ 22)レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図 15.10にチェイン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが“1”(チェイン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが“0”(チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは“0”(チェイン転送禁止)にしてください。

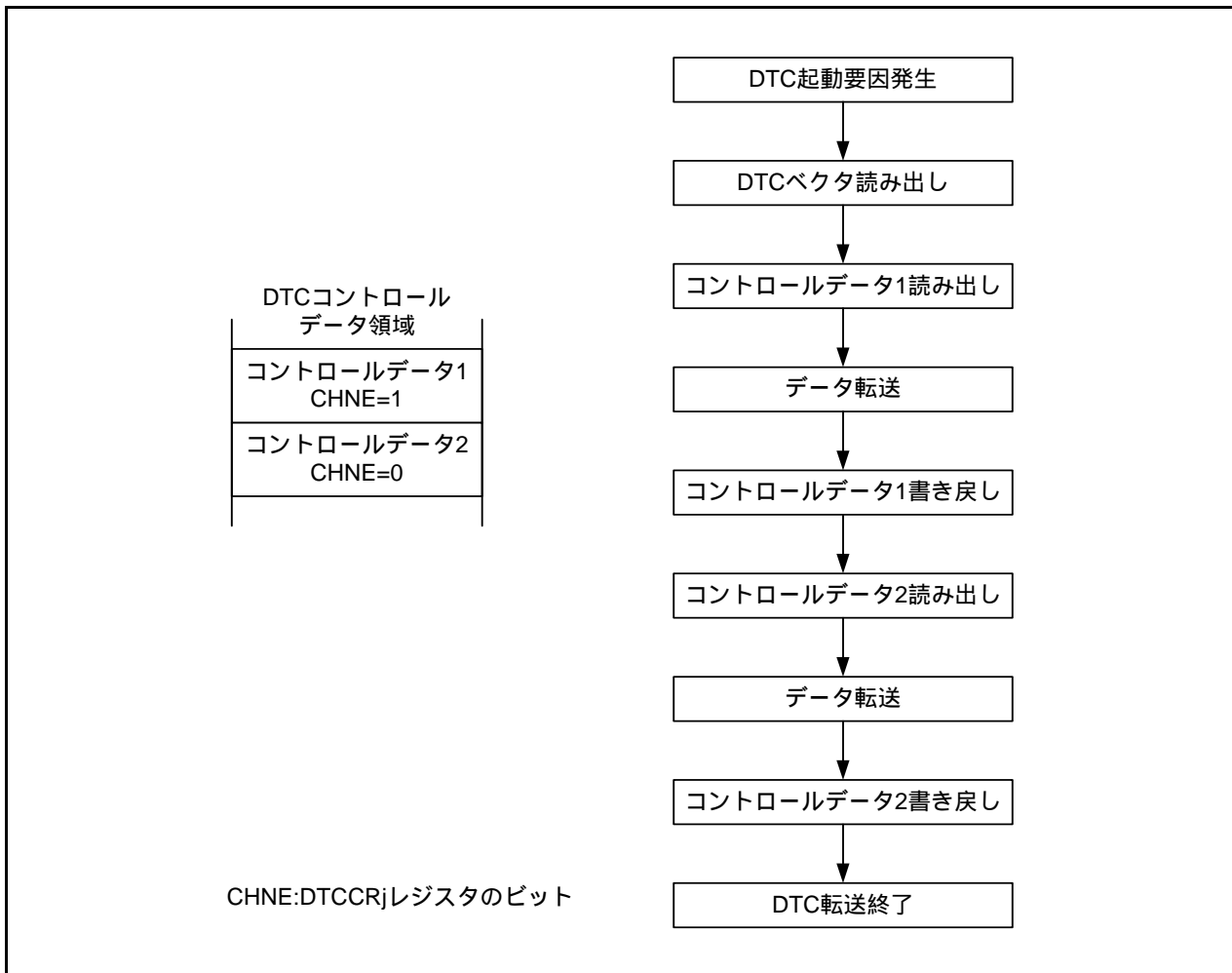


図 15.10 チェイン転送のフロー

### 15.3.7 割り込み要因

DTCがノーマルモードでDTCCTj(j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求はIフラグや割り込み制御レジスタの影響を受けます。チェイン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENiレジスタ(i=0 ~ 6)のDTCENi0 ~ DTCENi7ビット(i=0 ~ 6)は“0”(起動禁止)になります。

### 15.3.8 動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは5 サイクルかかります。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図 15.11 にDTCの動作タイミング例を、図 15.12 にチェーン転送時のDTCの動作タイミング例を示します。

表 15.8 にコントロールデータ書き戻し仕様を示します。

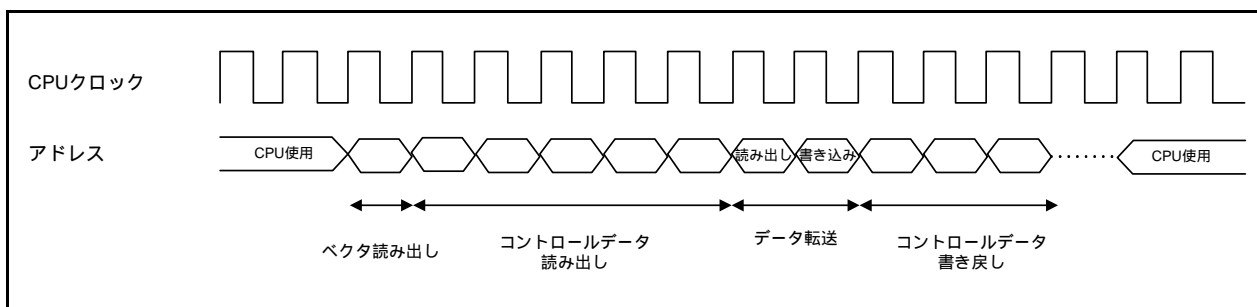


図 15.11 DTCの動作タイミング例

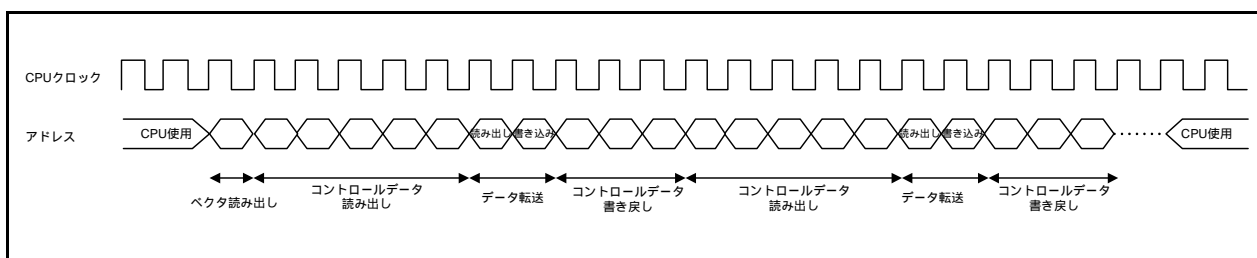


図 15.12 チェーン転送時のDTCの動作タイミング例

表 15.8 コントロールデータ書き戻し仕様

DTCCR レジスタの b3 ~ b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デスティ ネーション	DTCCTj レジスタ	DTRLj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
"00X0b"	ノーマル モード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
"01X0b"		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
"10X0b"		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
"11X0b"		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
"0X11b"	リピート モード	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
"1X11b"		固定	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
"X001b"		加算	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
"X101b"		固定	加算	書き戻す	書き戻す	書き戻す	書き戻す	3

j=0 ~ 23

X : 0または1

### 15.3.9 DTC実行サイクル数

表 15.9にDTC起動時の実行状態と必要なサイクル数を示します。表 15.10にデータ転送に必要なサイクル数を示します。

表 15.9 DTC起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み	内部動作
	読み出し	書き戻し			
1	5	(注2)	(注1)	(注1)	1

注1. データ読み出し/データ書き込みに必要なサイクル数は「表 15.10 データ転送に必要なサイクル数」を参照してください。

注2. コントロールデータの書き戻しに必要なサイクル数は「表 15.8 コントロールデータ書き戻し仕様」を参照してください。

DTBLSj(j=0 ~ 23)レジスタ = Nとすると、データ転送時、

(1)  $N = 2n$ (偶数)のとき、n回の2バイト転送

(2)  $N = 2n+1$ (奇数)のとき、n回の2バイト転送後、1回の1バイト転送  
を実行します。

表 15.10 データ転送に必要なサイクル数

実行状態	転送単位	内部RAM (DTC転送中)		内部ROM (プログラムROM)	内部ROM (データフラッシュ)	SFR (ワードアクセス)		SFR (バイトアクセス)	SFR (DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
データ読み出し	1バイトSK1	1		1	2	2		2	1	
	2バイトSK2	1	2	2	4	2	4	4	1	2
データ書き込み	1バイトSL1	1		—	—	2		2	1	
	2バイトSL2	1	2	—	—	2	4	4	1	2

実行サイクル数は下記計算式で求められます。

実行サイクル数 = 1 +  $\Sigma$ [式A] + 2

$\Sigma$ は1つの起動要因で転送する回数分(CHNE ビットが“1”に設定されている数+1)の和

(1)  $N = 2n$ (偶数)のとき

$$\text{式A} = J + n \cdot \text{SK2} + n \cdot \text{SL2}$$

(2)  $N = 2n + 1$ (奇数)のとき

$$\text{式A} = J + n \cdot \text{SK2} + 1 \cdot \text{SK1} + n \cdot \text{SL2} + 1 \cdot \text{SL1}$$

J: コントロールデータ読み出しサイクル数(5サイクル) + 書き戻しに必要なサイクル数

16ビット単位でアクセスする必要のあるレジスタに対して、データ読み出しまたはデータ書き込みを行う場合は、DTBLSj(j = 0 ~ 23)レジスタに2以上の偶数値を設定してください。

DTCは16ビット単位でアクセスします。

## 15.3.10 DTC起動要因受付と割り込み要因フラグ

### 15.3.10.1 フラッシュメモリ、タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット(SSU)/I<sup>2</sup>Cバス以外の割り込み要因

DTC起動要因がフラッシュメモリ、タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット/I<sup>2</sup>Cバス以外の割り込み要因であるとき、DTCは割り込み要因が発生してからCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。ソフトウェアコマンド実行時に割り込み要因が発生した場合、CPUクロックの9～16サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC起動要因を受け付けることができません。

### 15.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になってからDTCが“0”(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを“0”にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが“1”になってから、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル必要です。ソフトウェアコマンド実行時にフラッシュレディステータス割り込みが発生した場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル必要です。また、DTC動作中にフラッシュレディステータス割り込み要求が発生し、DTC起動要因として受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル後に、RDYSTIビットが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが“0”になります。

### 15.3.10.3 タイマRC、タイマRD

DTC起動要因がタイマRC、タイマRDの割り込み要因であるとき、割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、各タイマのインプットキャプチャ/コンペア一致が発生しても、DTC起動要因になりません。DTCが割り込み要因フラグを“0”にした後、インプットキャプチャ/コンペア一致が発生すると、DTCは起動要因として受け付けます。割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。ソフトウェアコマンド実行時に割り込み要因フラグが“1”になった場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。また、DTC起動中にタイマRC、タイマRDの各DTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。



#### 15.3.10.4 SSU/I<sup>2</sup>C バス受信データフル

DTC 起動要因が SSU/I<sup>2</sup>C バス受信データフルであるとき、データ転送で SSRDR/ICDRR レジスタを読んでください。SSRDR/ICDRR レジスタを読むことで、SSSR/ICSR レジスタの RDRF ビットが “0” (SSRDR/ICDRR レジスタにデータなし) になります。その後、受信データフルの割り込み要因が発生すると、DTC は起動要因として受け付けます。

#### 15.3.10.5 SSU/I<sup>2</sup>C バス送信データエンプティ

DTC 起動要因が SSU/I<sup>2</sup>C バス送信データエンプティであるとき、データ転送で SSTDR/ICDRT レジスタへ書いてください。SSTDR/ICDRT レジスタへ書くことで、SSSR/ICSR レジスタの TDRE ビットが “0” (SSTDR/ICDRT レジスタから SSTRSR/ICDRS レジスタにデータ転送されていない) になります。その後、送信データエンプティの割り込み要因が発生すると、DTC は起動要因として受け付けます。

## 15.4 DTC使用上の注意

### 15.4.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

### 15.4.2 DTCENiレジスタ (i=0 ~ 6)

- DTCENi0 ~ DTCENi7 ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

### 15.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。  
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。  
ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCTj(j=0 ~ 23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティのときは、DTC転送でSSTDRT/ICDRTレジスタへ書いてください。SSTDRT/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDRT/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

### 15.4.4 割り込み要求

DTC起動要因がSSU/I<sup>2</sup>C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCTj(j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

## 16. タイマ総論

タイマは、次の6種類のタイマを備えています。

- タイマRA：8ビットプリスケアラ付8ビットタイマ
- タイマRB：8ビットプリスケアラ付8ビットタイマ
- タイマRC：16ビットタイマ
- タイマRD：16ビットタイマ×2
- タイマRE：4ビットカウンタ、8ビットカウンタ
- タイマRG：16ビットタイマ

これらのタイマは、それぞれ独立して動作します。

表 16.1 各タイマの機能比較(1)

項目	タイマRA	タイマRB	タイマRC	タイマRD	タイマRE	タイマRG	
構成	8ビットプリスケラ付8ビットタイマ (リロードレジスタ付)	8ビットプリスケラ付8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、アウトプットコンペア付)	16ビットタイマ × 2 (インプットキャプチャ、アウトプットコンペア付)	4ビットカウンタ 8ビットカウンタ	16ビットタイマ (インプットキャプチャ、アウトプットコンペア付)	
カウント	ダウンカウント	ダウンカウント	アップカウント	アップカウント/ ダウンカウント	アップカウント	アップカウント/ ダウンカウント	
カウントソース	<ul style="list-style-type: none"> <li>•f1</li> <li>•f2</li> <li>•f8</li> <li>•fOCO-S</li> <li>•fC32</li> <li>•fC</li> </ul>	<ul style="list-style-type: none"> <li>•f1</li> <li>•f2</li> <li>•f8</li> <li>•タイマRAアンダフロー</li> </ul>	<ul style="list-style-type: none"> <li>•f1</li> <li>•f2</li> <li>•f4</li> <li>•f8</li> <li>•f32</li> <li>•TRCCLK</li> </ul>	<ul style="list-style-type: none"> <li>•f1</li> <li>•f2</li> <li>•f4</li> <li>•f8</li> <li>•f32</li> <li>•fC2</li> <li>•TRDCLK</li> </ul>	<ul style="list-style-type: none"> <li>•f4</li> <li>•f8</li> <li>•f32</li> <li>•fC4</li> </ul>	<ul style="list-style-type: none"> <li>•f1</li> <li>•f4</li> <li>•f8</li> <li>•f32</li> <li>•TRGCLKA</li> <li>•TRGCLKB</li> </ul>	
機能	内部のカウントソースのカウント	タイマモード	タイマモード	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)	-	タイマモード (アウトプットコンペア機能)
	外部のカウントソースのカウント	イベントカウンタモード	-	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)	-	タイマモード (アウトプットコンペア機能) 位相計数モード
	外部パルス幅/周期測定	パルス幅測定モード パルス周期測定モード	-	タイマモード (インプットキャプチャ機能; 4本)	タイマモード (インプットキャプチャ機能; 2 × 4本)	-	タイマモード (インプットキャプチャ機能; 2本)
	PWM出力	パルス出力モード (注1) イベントカウンタモード (注1)	プログラマブル波形発生モード	タイマモード (アウトプットコンペア機能; 4本) (注1) PWMモード (3本) PWM2モード (1本)	タイマモード (アウトプットコンペア機能; 2 × 4本) (注1) PWMモード (2 × 3本) PWM3モード (2 × 2本)	アウトプットコンペアモード (注1)	タイマモード (アウトプットコンペア機能; 2本) PWMモード (1本)
	ワンショット波形出力	-	プログラマブルワンショット発生モード プログラマブルウェイトワンショット発生モード	PWMモード (3本)	PWMモード (2 × 3本)	-	-
	三相波形出力	-	-	-	リセット同期 PWMモード (2 × 3本、鋸波変調) 相補PWMモード (2 × 3本、三角波変調、短絡防止時間あり)	-	-
	時計	タイマモード (fC32カウントのみ)	-	-	-	リアルタイムクロックモード	-

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

表 16.2 各タイマの機能比較(2)

項目	タイマRA	タイマRB	タイマRC	タイマRD	タイマRE	タイマRG
入力端子	TRAIO	INT0	INT0、TRCCLK、 TRCTRГ、 TRCIOA、 TRCIOB、 TRCIOС、 TRCIOD	INT0、TRDCLK、 TRDIOA0、 TRDIOA1、 TRDIOB0、 TRDIOB1、 TRDIOC0、 TRDIOC1、 TRDIOD0、 TRDIOD1	-	TRGCLKA、 TRGCLKB、 TRGIOA、 TRGIOB
出力端子	TRAO TRAIO	TRBO	TRCIOA、 TRCIOB、 TRCIOС、 TRCIOD	TRDIOA0、 TRDIOA1、 TRDIOB0、 TRDIOB1、 TRDIOC0、 TRDIOC1、 TRDIOD0、 TRDIOD1	TREO	TRGIOA TRGIOB
関連する割り込み	タイマRA割り込み	タイマRB割り込み INT0割り込み	コンペアー致/イン プットキャプチャ A～D割り込み オーバーフロー割り 込み INT0割り込み	コンペアー致/イン プットキャプチャ A0～D0割り込み コンペアー致/イン プットキャプチャ A1～D1割り込み オーバーフロー割り 込み アンダフロー割り 込み(注1) INT0割り込み	タイマRE割り込み	コンペアー致/キャ プチャA～B割り 込み アンダフロー割り 込み(注1) オーバーフロー割り 込み
タイマ停止	あり	あり	あり	あり	あり	あり

注1. アンダフロー割り込みは、タイマRD1とタイマRGのみ設定可能です。

## 17. タイマRA

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 17.1 概要

タイマRAは、8ビットプリスケアラ付き8ビットタイマです。

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表 17.2 ~ 表 17.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 17.1にタイマRAのブロック図を、表 17.1にタイマRAの端子構成を示します。タイマRAは、次の5種類のモードを持ちます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- ・イベントカウンタモード 外部パルスをカウントするモード
- ・パルス幅測定モード 外部パルスのパルス幅を測定するモード
- ・パルス周期測定モード 外部パルスのパルス周期を測定するモード

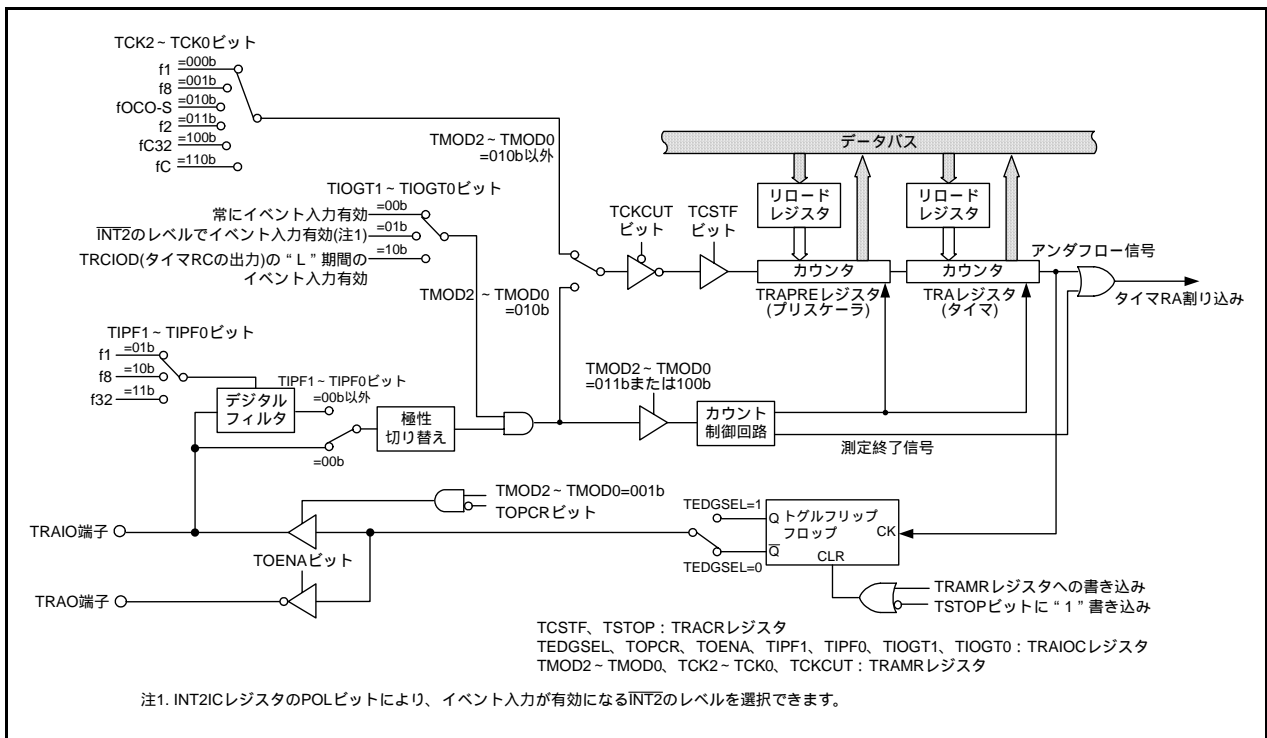


図 17.1 タイマRAのブロック図

表 17.1 タイマRAの端子構成

端子名	割り当てる端子	入出力	機能
TRAIO	P11_4	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRAO	P11_5	出力	

## 17.2 レジスタの説明

### 17.2.1 タイマRA制御レジスタ(TRACR)

アドレス 0100h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TUNDF	TEDGF	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRAカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRAカウントステータスフラグ(注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRAカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRAアンダフローフラグ(注3、4)	0: アンダフローなし 1: アンダフローあり	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b7	-			

注1. TSTART、TCSTFビットの使用上の注意事項については、「17.8 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

### 17.2.2 タイマRA I/O制御レジスタ(TRAIOC)

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット		R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット		R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

### 17.2.3 タイマRAモードレジスタ(TRAMR)

アドレス 0102h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	-	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 000: タイマモード 001: パルス出力モード 010: イベントカウンタモード 011: パルス幅測定モード 100: パルス周期測定モード 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
				-
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 000: f1 001: f8 010: fOCO-S 011: f2 100: fC32 101: 設定しないでください 110: fC 111: 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRAカウントソース遮断ビット	0: カウントソース供給 1: カウントソース遮断	R/W

TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRAMRレジスタを変更してください。

### 17.2.4 タイマRAプリスケアラレジスタ(TRAPRE)

アドレス 0103h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソースをカウント	00h ~ FFh	R/W
	パルス出力モード		00h ~ FFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	00h ~ FFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。



### 17.2.5 タイマRAレジスタ(TRA)

アドレス 0104h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	全モード	TRAPREレジスタのアンダフローをカウント	00h ~ FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

### 17.2.6 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	TRAIOSEL1	TRAIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSEL0	TRAI0端子選択ビット	b1 b0 00 : TRAI0端子は使用しない 01 : P11_4に割り当てる(注1) 10 : INT4に割り当てる(注2) 11 : 設定しないでください	R/W
b1	TRAIOSEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. ハードウェアLINを使用する場合は、TRAIOSEL1 ~ TRAIOSEL0ビットに“01b”を設定してください。

注2. INT4入力極性としてタイマRAのイベントカウンタモードでのみ両エッジを選択できます。INTEN1レジスタのINT4PLビットを“1” (両エッジ) にしてください。また、両エッジを選択した場合は、TRAI0CレジスタのTIPF1 ~ TIPF0ビットを“00b” (フィルタなし) にしてください。

タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

### 17.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 17.2)。

表 17.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO-S、fC32、fC
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値
カウント開始条件	TRACR レジスタのTSTART ビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACR レジスタのTSTART ビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOP ビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
TRAI0 端子機能	プログラマブル入出力ポート
TRAO 端子機能	プログラマブル入出力ポート
タイマの読み出し	TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)

#### 17.3.1 タイマRA I/O制御レジスタ (TRAI0C)[タイマモード時]

アドレス 0101h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAI0極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRAI0出力制御ビット		R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能を使用時は“1”にしてください。	R/W
b4	TIPF0	TRAI0入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAI0イベント入力制御ビット		R/W
b7	TIOGT1			R/W

### 17.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケアラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、カウント中にプリスケアラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図 17.2にタイマRA カウント中にカウント値を書き換えた場合の動作例を示します。

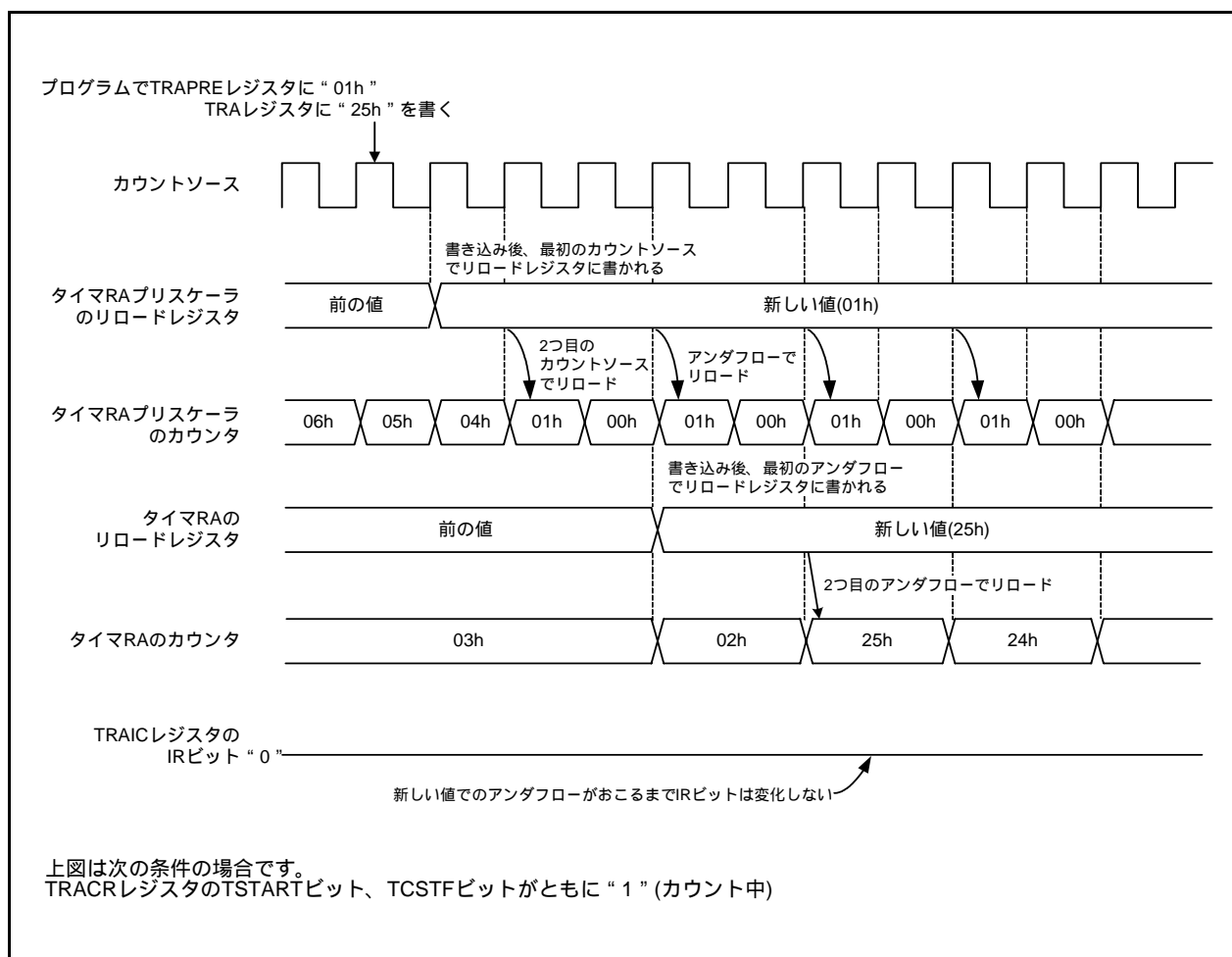


図 17.2 タイマRA カウント中にカウント値を書き換えた場合の動作例

## 17.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表 17.3)。

表 17.3 パルス出力モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO-S、fC32、fC
カウント動作	<ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
TRAIO信号端子機能	パルス出力、またはプログラマブル出力ポート
TRAO端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・TRAIO出力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1)</li> <li>・TRAO出力機能 TRAIO出力の極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)</li> <li>・パルス出力停止機能 TRAIOCレジスタのTOPCRビットでTRAIO端子からのパルス出力を停止</li> <li>・TRAIO端子選択機能 TRASRレジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでTRAIO端子を使用するかどうかを選択</li> </ul>

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

### 17.4.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス出力モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：“H”からTRAIO出力開始 1：“L”からTRAIO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	0：TRAIO出力 1：ポートP11_4	R/W
b2	TOENA	TRAIO出力許可ビット	0：ポートP11_5 1：TRAIO出力 (TRAIO出力の反転をP11_5から出力)	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	パルス出力モードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

## 17.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表 17.4)。

表 17.4 イベントカウンタモードの仕様

項 目	仕 様
カウントソース	TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
TRAIO信号端子機能	カウントソース入力
TRAO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・TRAIO入力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択</li> <li>・カウントソース入力端子選択機能 TRASRレジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでTRAIO端子を使用するかどうかを選択</li> <li>・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)(注1)</li> <li>・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRAIOCレジスタのTIPF0 ~ TIPF1ビットで選択</li> <li>・イベント入力制御機能 TRAIO端子へのイベント入力の有効期間をTRAIOCレジスタのTIOGT0 ~ TIOGT1ビットで選択</li> </ul>

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

### 17.5.1 タイマRA I/O制御レジスタ (TRAIOC)[イベントカウンタモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : TRAIO入力の立ち上がりエッジでカウント また、“L” から TRAO出力開始 1 : TRAIO入力の立ち下がりエッジでカウント また、“H” から TRAO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	イベントカウンタモードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット	0 : ポートP11_5 1 : TRAO出力	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	b7 b6 00 : 常にイベント入力有効 01 : INT2のレベルでイベント入力有効(注2) 10 : TRCIOD(タイマRCの出力)の“L”期間の イベント入力有効 11 : 設定しないでください	R/W
b7	TIOGT1			R/W

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が増加します。

注2. INTENレジスタのINT2PLビットを“0”(片エッジ)にしてください。

INT2ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にすると、INT2の“H”期間のイベント入力が有効になります。POLビットを“1”(立ち上がりエッジを選択)にすると、INT2の“L”期間のイベント入力が有効になります。

## 17.6 パルス幅測定モード

TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表 17.5)。

図 17.3 にパルス幅測定モード時の動作例を示します。

表 17.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO-S、fC32、fC
カウント動作	<ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続</li> <li>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>・タイマRAのアンダフロー時 [タイマRA割り込み]</li> <li>・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]</li> </ul>
TRAIO信号端子機能	測定パルス入力
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」)参照</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・測定レベル設定 TRAIOCレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択</li> <li>・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSEL0ビットでTRAIO端子を使用するかどうかを選択</li> <li>・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択</li> </ul>



### 17.6.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス幅測定モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : TRAI0入力の“L”レベル幅を測定 1 : TRAI0入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能使用時は“1”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増幅されます。

## 17.6.2 動作例

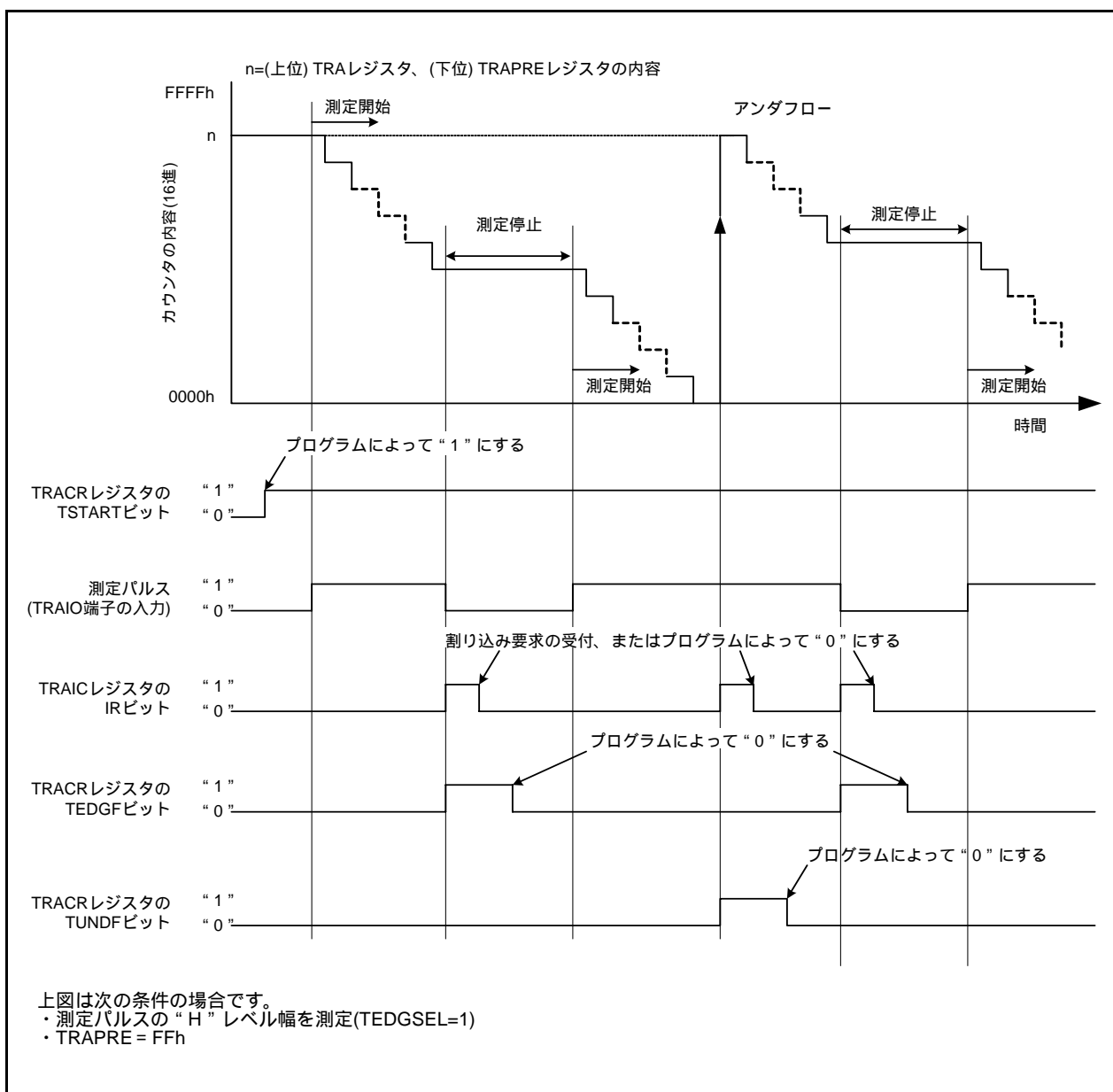


図 17.3 パルス幅測定モード時の動作例

## 17.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表 17.6)。

図 17.4にパルス周期測定モード時の動作例を示します。

表 17.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO-S、fC32、fC
カウント動作	<ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>・タイマRAのアンダフロー時、またはリロード時 [タイマRA割り込み]</li> <li>・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]</li> </ul>
TRAIO端子機能	測定パルス入力(注1)
TRA0端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」)参照</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・測定期間選択 TRAIOCレジスタのTEDGSELビットで入力パルスの測定期間を選択</li> <li>・測定パルス入力端子選択機能 TRASRレジスタのTRAI0SEL0 ~ TRAI0SEL1ビットでTRAIO端子を使用するかどうかを選択</li> <li>・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0 ~ TIPF1ビットで選択</li> </ul>

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

### 17.7.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス周期測定モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

### 17.7.2 動作例

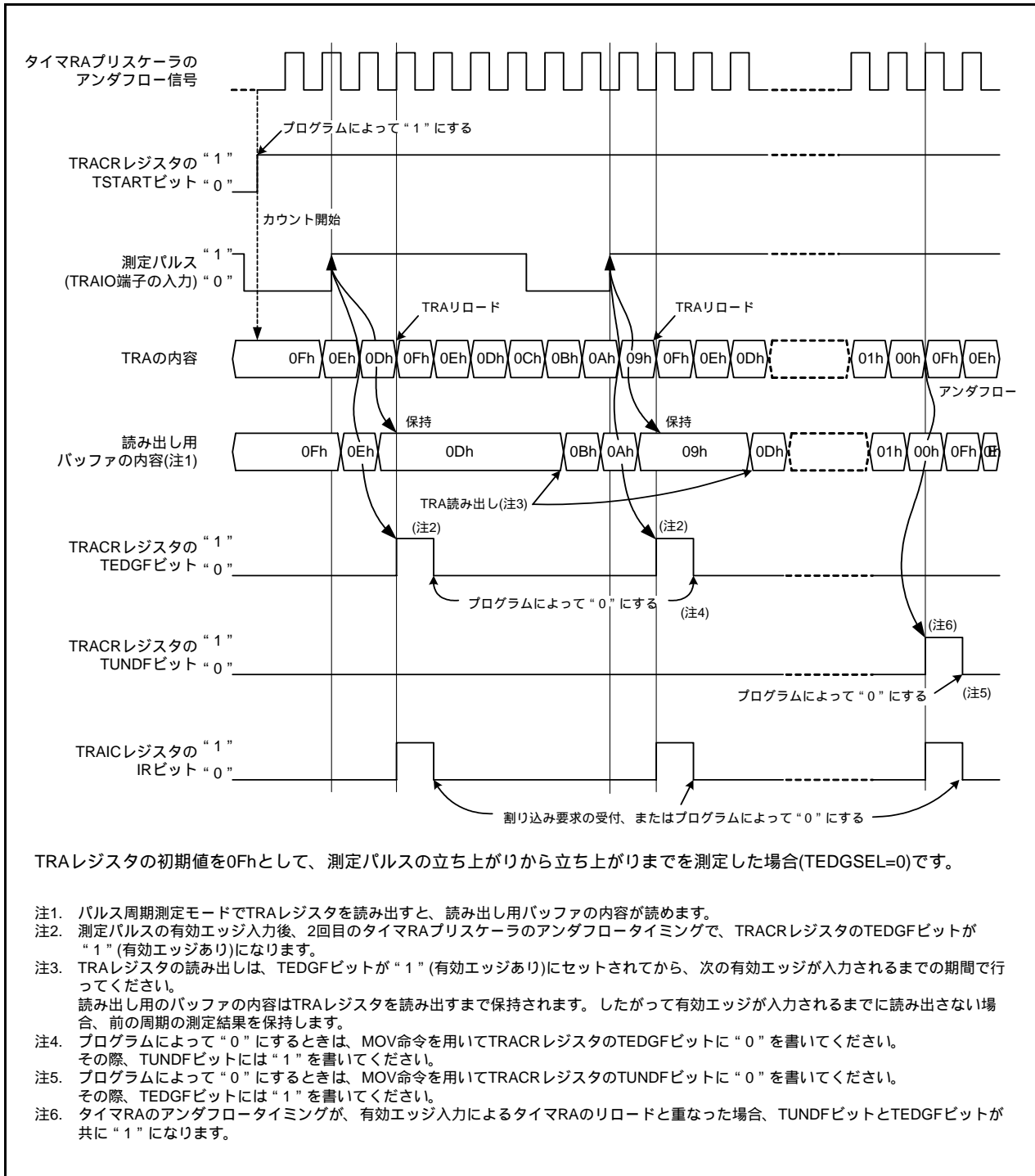


図 17.4 パルス周期測定モード時の動作例

## 17.8 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“0”になっています。  
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。  
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。  
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。  
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 18. タイマRB

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 18.1 概要

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表 18.2 ~ 表 18.5 の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 18.1 にタイマRBのブロック図を、表 18.1 にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード 内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード ディレイドワンショットパルスを出力するモード

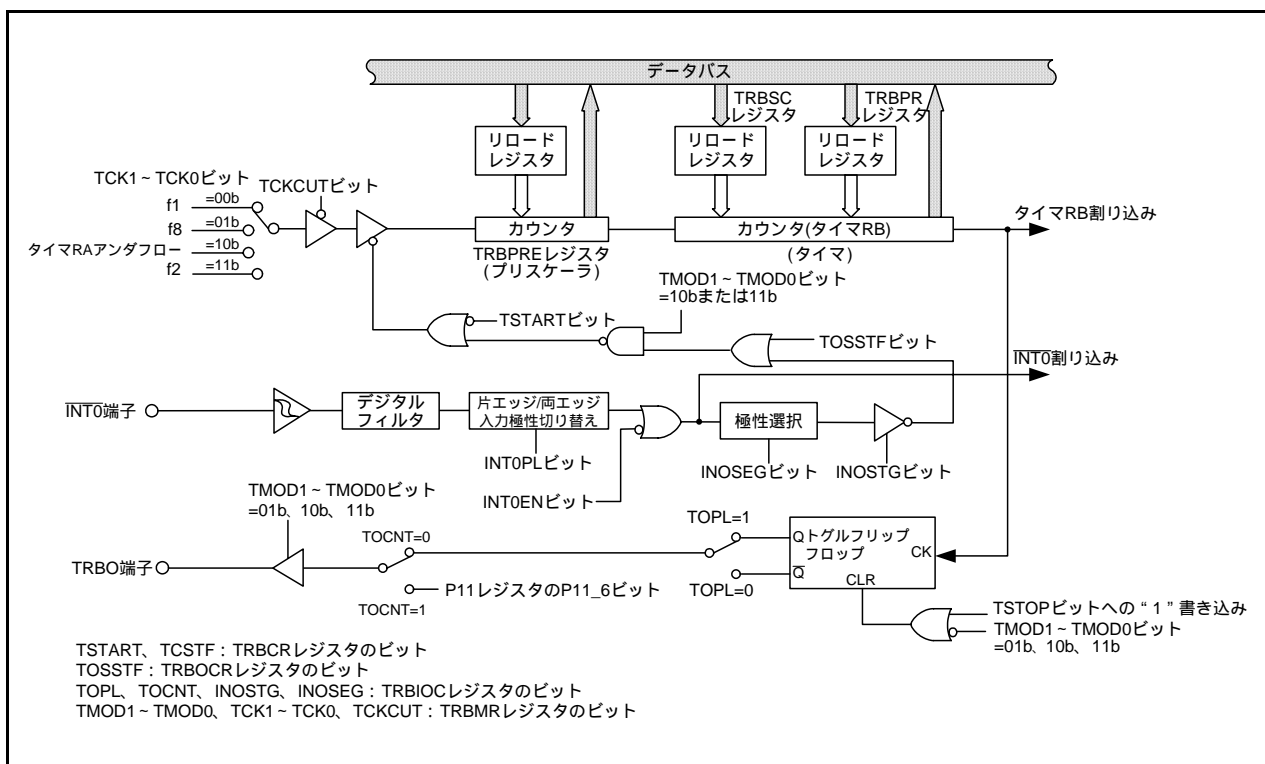


図 18.1 タイマRBのブロック図

表 18.1 タイマRBの端子構成

端子名	割り当てる端子	入出力	機能
TRBO	P11_6	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)

## 18.2 レジスタの説明

### 18.2.1 タイマRB制御レジスタ(TRBCR)

アドレス 0108h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRBカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRBカウントステータスフラグ(注1)	0: カウント停止 1: カウント中(注3)	R
b2	TSTOP	タイマRBカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「18.7 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

### 18.2.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス 0109h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRBワンショット開始ビット	“1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマRBワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマRBワンショットステータスフラグ(注1)	0: ワンショット停止中 1: ワンショット動作中(ウェイト期間含む)	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。



### 18.2.3 タイマRB I/O制御レジスタ (TRBIOC)

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

### 18.2.4 タイマRBモードレジスタ (TRBMR)

アドレス 010Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	-	TCK1	TCK0	TWRC	-	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB動作モード選択ビット (注1)	b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	TWRC	タイマRB書き込み制御ビット (注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRBカウントソース選択ビット (注1)	b5 b4 00: f1 01: f8 10: タイマRAのアンダフロー 11: f2	R/W
b5	TCK1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	TCKCUT	タイマRBカウントソース遮断 ビット(注1)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TMOD1 ~ TMOD0ビット、TCK1 ~ TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

### 18.2.5 タイマRBプリスケアラレジスタ(TRBPRES)

アドレス 010Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソース、またはタイマRAアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード		00h ~ FFh	R/W
	プログラマブルワンショット発生モード		00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h ~ FFh	R/W

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRESレジスタは“FFh”になります。

### 18.2.6 タイマRBセカンダリレジスタ(TRBSC)

アドレス 010Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	無効	00h ~ FFh	-
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h ~ FFh	-
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	W (注2)

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。

TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSCレジスタに値を書く
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

### 18.2.7 タイマRBプライマリレジスタ(TRBPR)

アドレス 010Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	タイマRBプリスケアラのアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	R/W
	プログラマブルワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ウェイト期間をカウント)	00h ~ FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

### 18.2.8 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRCTRGSSEL1	TRCTRGSSEL0	-	TRCCLKSELO	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	-			
b4	TRCCLKSELO	TRCCLK端子選択ビット	0 : TRCCLK端子は使用しない 1 : TRCCLK端子を使用する	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	TRCTRGSSEL0	TRCTRGS端子選択ビット	b7 b6 0 0 : TRCTRGS端子は使用しない 0 1 : P3_7に割り当てる 1 0 : P4_3に割り当てる 1 1 : P4_4に割り当てる	R/W
b7	TRCTRGSSEL1			R/W

タイマRBのレジスタ機能は備えていません。

タイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRC関連レジスタを設定をする前にこのレジスタを設定してください。また、タイマRCの動作中はTRCCLKSELOビットの設定値を変更しないでください。

### 18.3 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表18.2)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

表 18.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRBPRESレジスタの設定値、m : TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。 (「18.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>

#### 18.3.1 タイマRB I/O制御レジスタ(TRBIOC)[タイマモード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

### 18.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれます。図 18.2にタイマRB カウント中にカウント値を書き換えた場合の動作例を示します。

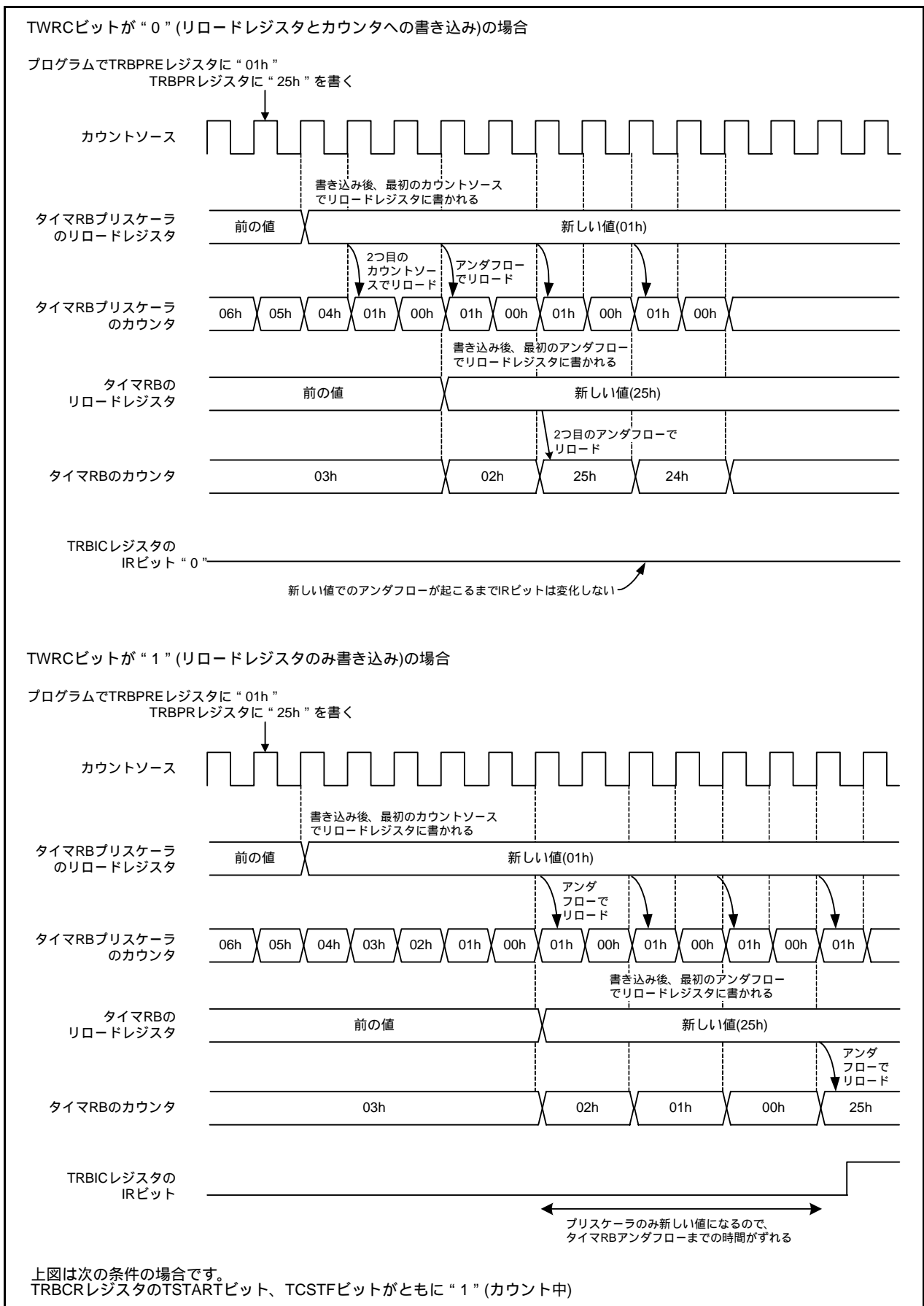


図 18.2 タイマRB カウント中にカウント値を書き換えた場合の動作例

## 18.4 プログラマブル波形発生モード

TRBPR レジスタと TRBSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO 端子から出力する信号を反転するモードです(表 18.3)。カウント開始時は、TRBPR レジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCR レジスタは使用しません。

図 18.3 にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表 18.3 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続</li> </ul>
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPRES レジスタの設定値、 $m$ : TRBPR レジスタの設定値 $p$ : TRBSC レジスタの設定値
カウント開始条件	TRBCR レジスタの TSTART ビットへの "1" (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>・TRBCR レジスタの TSTART ビットへの "0" (カウント停止) 書き込み</li> <li>・TRBCR レジスタの TSTOP ビットへの "1" (カウント強制停止) 書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2 サイクル後 (TRBO 出力の変化と同時)[タイマRB 割り込み]
TRBO 端子機能	プログラマブル出力ポート、またはパルス出力
INT0 端子機能	プログラマブル入出力ポート、またはINT0 割り込み入力
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルを TOPL ビットで選択</li> <li>・波形出力許可/不許可機能 TRBIOC レジスタの TOCNT ビットでタイマRB 波形の出力または P11_6 ポートラッチ出力を選択(注3)</li> </ul>

注1. セカンダリ期間をカウント中でも、TRBPR レジスタを読み出して下さい。

注2. 波形の出力は、TRBPR レジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNT ビットに書いた値は、次のタイミングで有効になります。

- ・カウント開始時
- ・タイマRB 割り込み要求発生時

したがって、TOCNT ビットを変更後、次のプライマリ期間の出力から反映されます。

### 18.4.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0 : プライマリ期間 “H” 出力、セカンダリ期間 “L” 出力 タイマ停止時 “L” 出力 1 : プライマリ期間 “L” 出力、セカンダリ期間 “H” 出力 タイマ停止時 “H” 出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	0 : タイマRB波形出力 1 : P11_6ポートラッチの値を出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは “0” にしてください	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b5	-			
b6	-			
b7	-			



### 18.4.2 動作例

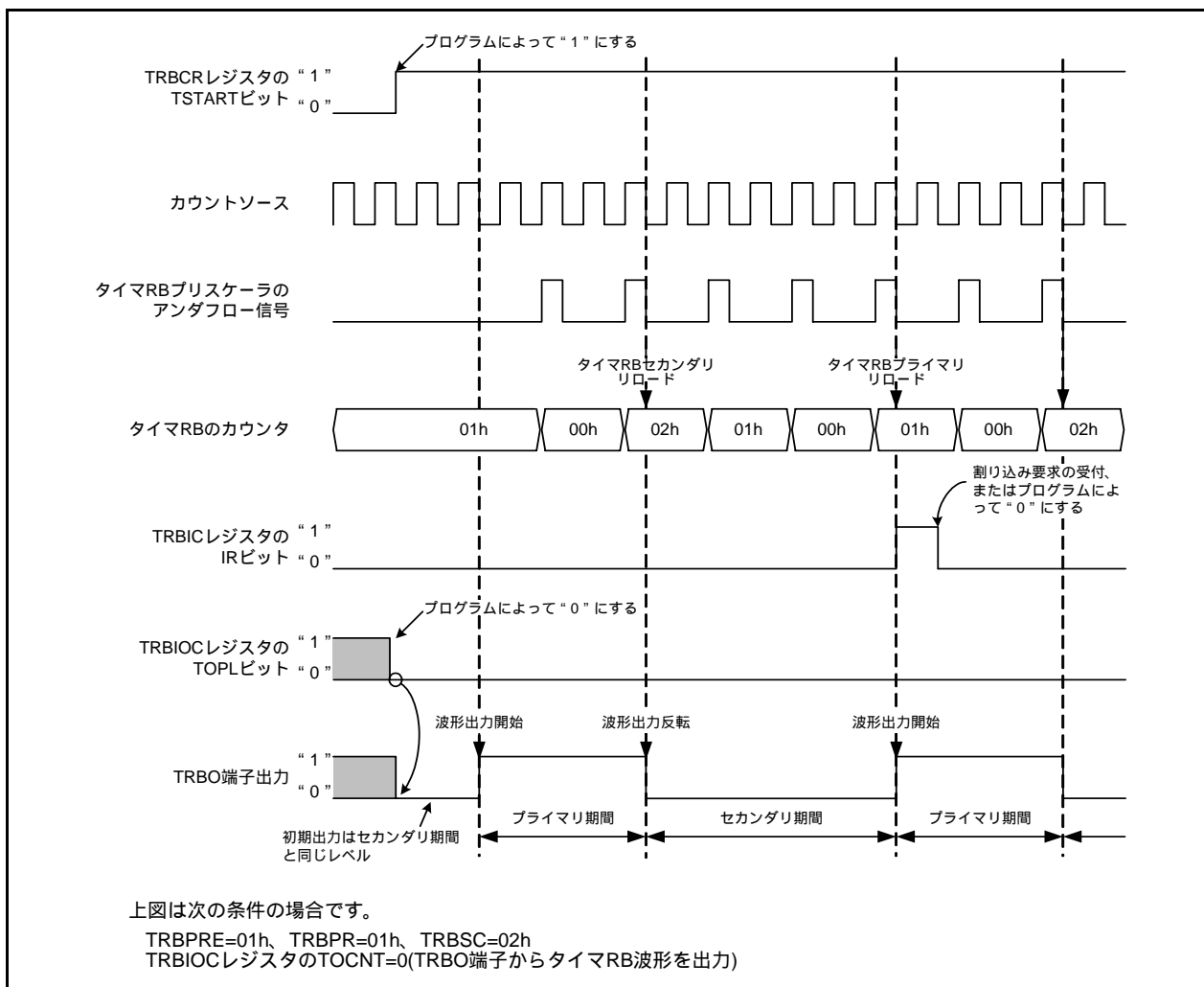


図 18.3 プログラマブル波形発生モード時のタイマRBの動作例

## 18.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTRBO端子から出力するモードです(表 18.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。

図 18.4にプログラマブルワンショット発生モード時の動作例を示します。

表 18.4 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>・TRBPRレジスタの設定値をダウンカウント</li> <li>・アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>・カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPRESレジスタの設定値、 $m$ : TRBPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>・TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生</li> <li>・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み</li> <li>・INT0端子へのトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>・タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に) [タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> <li>・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力</li> <li>・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)</li> </ul>
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>・ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照</li> </ul>

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

### 18.5.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブルワンショット発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス“H”出力、タイマ停止時“L”出力 1: ワンショットパルス“L”出力、タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルワンショット発生モードでは“0”にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット(注1)	0: INTO端子ワンショットトリガ無効 1: INTO端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

### 18.5.2 動作例

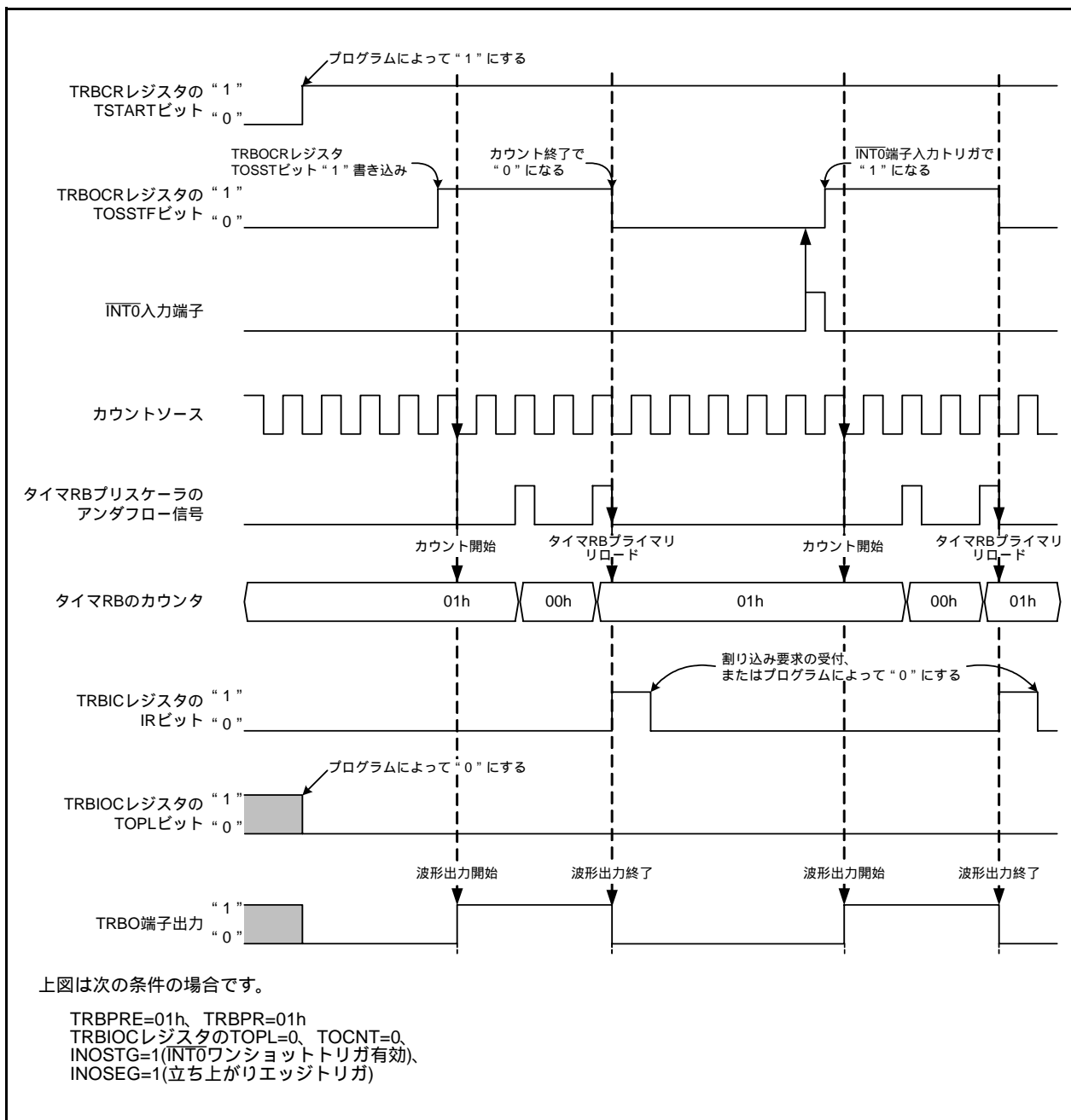


図 18.4 プログラマブルワンショット発生モード時の動作例

### 18.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT0}}$ 端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- INTSRレジスタのINT0SEL0ビットで、 $\overline{\text{INT0}}$ 入力をP3\_0またはP11\_0のどちらに割り当てるかを選択する
- INT0入りに割り当てた端子に対応するポート方向レジスタのポート方向ビットを“0”(入力モード)にする
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“1”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”(INT0端子ワンショットトリガ有効)にする

なお、 $\overline{\text{INT0}}$ 端子からのトリガ入力での割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「11. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットはINT0割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

## 18.6 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)から、一定時間後にワンショットパルス(TRBO端子から出力するモードです(表 18.5)。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

図 18.5 にプログラブルウェイトワンショット発生モードの動作例を示します。

表 18.5 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>・タイマRBプライマリの設定値をダウンカウント</li> <li>・タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続</li> <li>・タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>・カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ウェイト時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPRESレジスタの設定値、 $m$ : TRBPRレジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPRESレジスタの設定値、 $p$ : TRBSCレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>・TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生</li> <li>・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み</li> <li>・INT0端子へのトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>・タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> <li>・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラブル入出力ポート、またはINT0割り込み入力</li> <li>・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)</li> </ul>
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>・カウント停止中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>・ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照</li> </ul>

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

### 18.6.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラブルウェイトワンショット発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス“H”出力、タイマ停止時とウェイト中は“L”出力 1: ワンショットパルス“L”出力、タイマ停止時とウェイト中は“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラブルウェイトワンショット発生モードでは“0”にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: $\overline{\text{INT0}}$ 端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

### 18.6.2 動作例

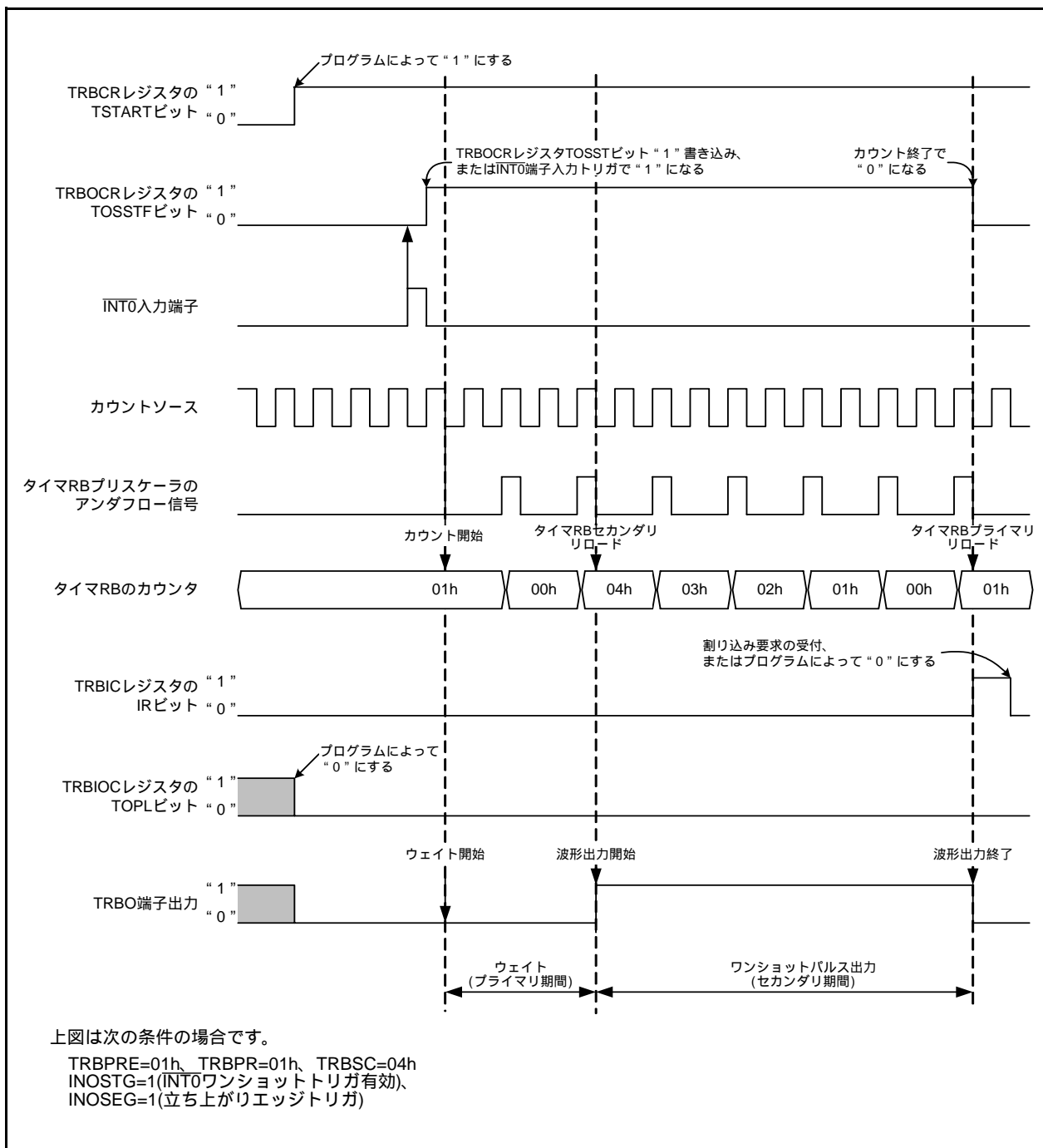


図 18.5 プログラブルウェイトワンショット発生モードの動作例



## 18.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。  
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。  
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。  
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

### 18.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 19. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

### 19.1 概要

タイマRCの動作クロックは、f1です。表 19.1にタイマRCの動作クロックを示します。

表 19.1 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1

表 19.2にタイマRCの端子構成を、図 19.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード

- インプットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能 (検出時に端子出力変更可能)

- 次の2つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

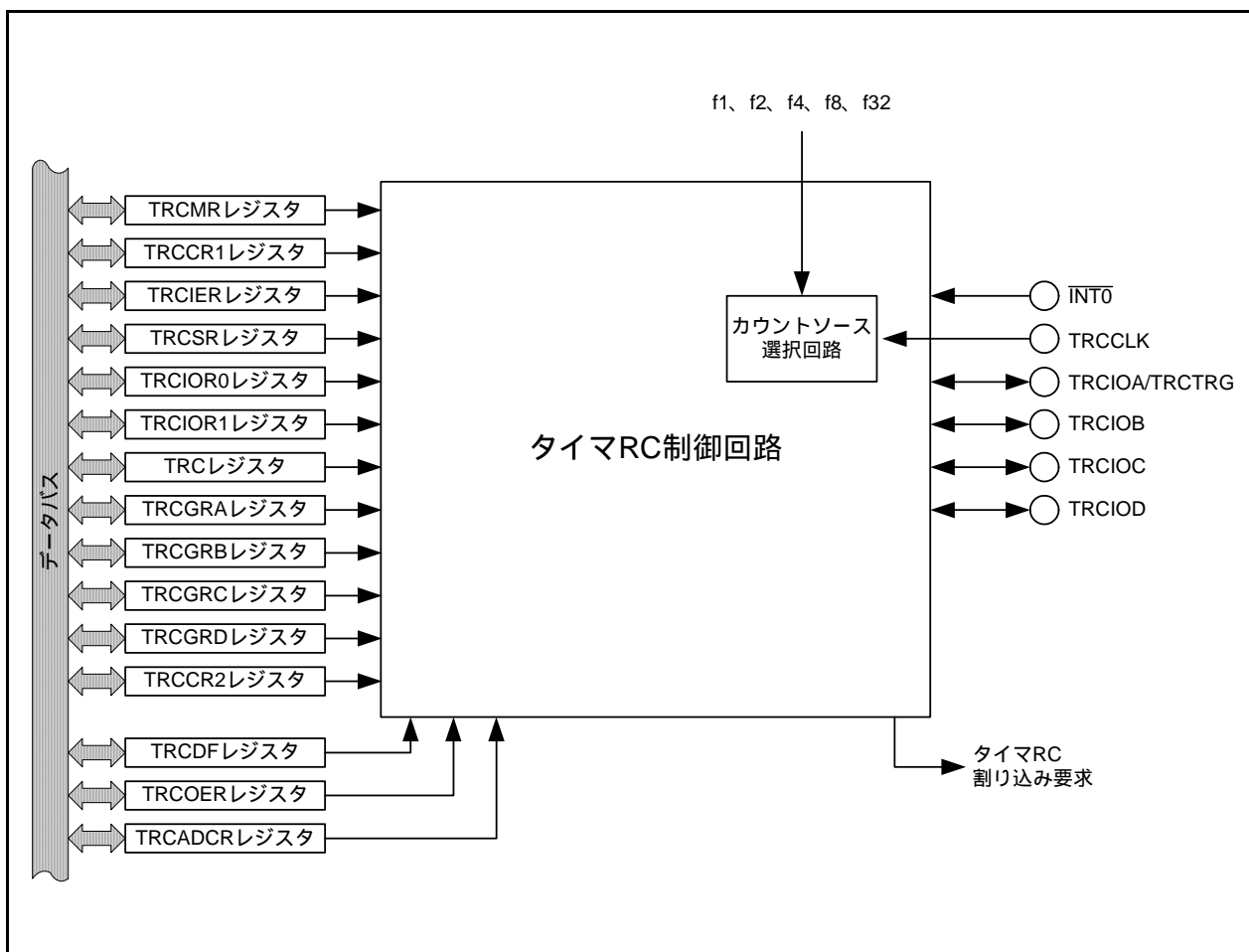


図 19.1 タイマRCのブロック図

表 19.2 タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P4_4	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCIOB	P4_5、P4_6、またはP4_7		
TRCIOC	P4_6		
TRCIOD	P4_7		
TRCCLK	P4_3	入力	外部クロック入力
TRCTRG	P3_7、P4_3、またはP4_4	入力	PWM2モードの外部トリガ入力

## 19.2 レジスタの説明

表 19.3にタイマRC関連レジスタ一覧を示します。

表 19.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプット キャプチャ 機能	アウトプット コンペア 機能			
0008h	MSTCR	有効	有効	有効	有効	19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)
0120h	TRCMR	有効	有効	有効	有効	19.2.2 タイマRCモードレジスタ(TRCMR)
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 19.2.3 タイマRC制御レジスタ1(TRCCR1) 19.5.1 タイマRC制御レジスタ1(TRCCR1)[タイマ モード(アウトプットコンペア機能)時] 19.6.1 タイマRC制御レジスタ1(TRCCR1)[PWM モード時] 19.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2 モード時]
0122h	TRCIER	有効	有効	有効	有効	19.2.4 タイマRC割り込み許可レジスタ(TRCIER)
0123h	TRCSR	有効	有効	有効	有効	19.2.5 タイマRCステータスレジスタ(TRCSR)
0124h	TRCIOR0	有効	有効	-	-	タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 19.2.6 タイマRC I/O制御レジスタ0(TRCIOR0) 19.2.7 タイマRC I/O制御レジスタ1(TRCIOR1) 19.4.1 タイマRC I/O制御レジスタ0(TRCIOR0)[タ イマモード(インプットキャプチャ機能)時] 19.4.2 タイマRC I/O制御レジスタ1(TRCIOR1)[タ イマモード(インプットキャプチャ機能)時] 19.5.2 タイマRC I/O制御レジスタ0(TRCIOR0)[タ イマモード(アウトプットコンペア機能)時] 19.5.3 タイマRC I/O制御レジスタ1(TRCIOR1)[タ イマモード(アウトプットコンペア機能)時]
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	19.2.8 タイマRCカウンタ(TRC)
0128h 0129h 012Ah 012Bh 012Ch 012Dh 012Eh 012Fh	TRCGRA TRCGRB TRCGRC TRCGRD	有効	有効	有効	有効	19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、 TRCGRD)
0130h	TRCCR2	-	有効	有効	有効	19.2.10 タイマRC制御レジスタ2(TRCCR2)
0131h	TRCDF	有効	-	-	有効	19.2.11 タイマRCデジタルフィルタ機能選択レジス タ(TRCDF)
0132h	TRCOER	-	有効	有効	有効	19.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER)
0133h	TRCADCR	-	有効	有効	有効	19.2.13 タイマRCトリガ制御レジスタ(TRCADCR)
0181h	TRBRCSR	有効	有効	有効	有効	19.2.14 タイマRB/RC端子選択レジスタ(TRBRCSR)
0182h	TRCPSR0	有効	有効	有効	有効	19.2.15 タイマRC端子選択レジスタ0(TRCPSR0)
0183h	TRCPSR1	有効	有効	有効	有効	19.2.16 タイマRC端子選択レジスタ1(TRCPSR1)

- : 無効

### 19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。
- 注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

## 19.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	-	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b1	PWMC	TRCIOC PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0: PWM2モード 1: タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット (注2)	0: ジェネラルレジスタ 1: TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRCGRBレジスタのバッファレジスタ	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	TSTART	TRCカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

### 19.2.3 タイマRC制御レジスタ1(TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : インพุットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

### 19.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	-	-	-	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インพุットキャプチャ/コンペア一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インพุットキャプチャ/コンペア一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インพุットキャプチャ/コンペア一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インพุットキャプチャ/コンペア一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	OVIE	オーバフロー割り込み許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W



### 19.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	-	-	-	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表 19.4 各フラグが“1”になる要因」を参照	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB		R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表 19.4 各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

表 19.4 各フラグが“1”になる要因

ビット シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプット コンペア機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1 ~ IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

### 19.2.6 タイマRC I/O制御レジスタ0(TRCIOR0)

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)		R/W
b3	-	予約ビット	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b4	IOB0	TRCGRB 制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

- 注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
- 注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

### 19.2.7 タイマRC I/O制御レジスタ1(TRCIOR1)

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)		R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

- 注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
- 注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

### 19.2.8 タイマRCカウンタ(TRC)

アドレス 0127h ~ 0126h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRCSRレジスタのOVFビットが“1”になる	0000h ~ FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h ~ 0128h 番地 (TRCGRA)、012Bh ~ 012Ah 番地 (TRCGRB)、  
012Dh ~ 012Ch 番地 (TRCGRC)、012Fh ~ 012Eh 番地 (TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	モードによって機能が異なる	R/W

TRCGRA ~ TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 19.2.10 タイマRC制御レジスタ2(TRCCR2)

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0: TRCGRA レジスタとのコンペア一致後もカウント継続 1: TRCGRA レジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00: TRCTRGからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

### 19.2.11 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能選択ビット (注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能選択ビット (注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能選択ビット (注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能選択ビット (注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能選択ビット (注2)	0: 機能なし 1: 機能あり	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット (注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース (TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

### 19.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)

アドレス 0132h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOA端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOB端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOC端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOD端子はプログラマブル入出力ポート)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

### 19.2.13 タイマRCトリガ制御レジスタ(TRCADCR)

アドレス 0133h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	A/DトリガA許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRAレジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGBE	A/DトリガB許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRBレジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGCE	A/DトリガC許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRCレジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGDE	A/DトリガD許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRDレジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

### 19.2.14 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRCTRGSSEL1	TRCTRGSSEL0	-	TRCCLKSEL0	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	0：TRCCLK端子は使用しない 1：TRCCLK端子を使用する	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	TRCTRGSSEL0	TRCTRGS端子選択ビット	b7 b6 00：TRCTRGS端子は使用しない 01：P3_7に割り当てる 10：P4_3に割り当てる 11：P4_4に割り当てる	R/W
b7	TRCTRGSSEL1			R/W

タイマRBのレジスタ機能は備えていません。

タイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRC関連レジスタを設定をする前にこのレジスタを設定してください。また、タイマRCの動作中はTRCCLKSEL0ビットの設定値を変更しないでください。

### 19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCIOBSEL1	TRCIOBSEL0	-	-	-	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA端子選択ビット	0 : TRCIOA端子は使用しない 1 : TRCIOA端子を使用する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b5 b4 00 : TRCIOB端子は使用しない 01 : P4_5に割り当てる 10 : P4_6に割り当てる 11 : P4_7に割り当てる	R/W
b5	TRCIOBSEL1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

TRCPSR0レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

### 19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TRCIODSEL0	-	-	-	TRCIOCSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOCSEL0	TRCIOC端子選択ビット(注1)	0 : TRCIOC端子は使用しない 1 : P4_6に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	TRCIODSEL0	TRCIOD端子選択ビット(注2)	0 : TRCIOD端子は使用しない 1 : P4_7に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

注1. TRCPSR0レジスタのTRCIOBSEL1 ~ TRCIOBSEL0ビットを“10b”(TRCIOB端子をP4\_6に割り当てる)に設定した場合は、TRCIOCSEL0ビットの内容にかかわらず、P4\_6はTRCIOB端子になります。

注2. TRCPSR0レジスタのTRCIOBSEL1 ~ TRCIOBSEL0ビットを“11b”(TRCIOB端子をP4\_7に割り当てる)に設定した場合は、TRCIODSEL0ビットの内容にかかわらず、P4\_7はTRCIOB端子になります。

TRCPSR1レジスタは、タイマRCの入力を使用するかどうかを選択するレジスタです。タイマRCの入力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。



## 19.3 複数モードに関わる共通事項

### 19.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表 19.5にカウントソースの選択を、図 19.2にカウントソースのブロック図を示します。

表 19.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード)

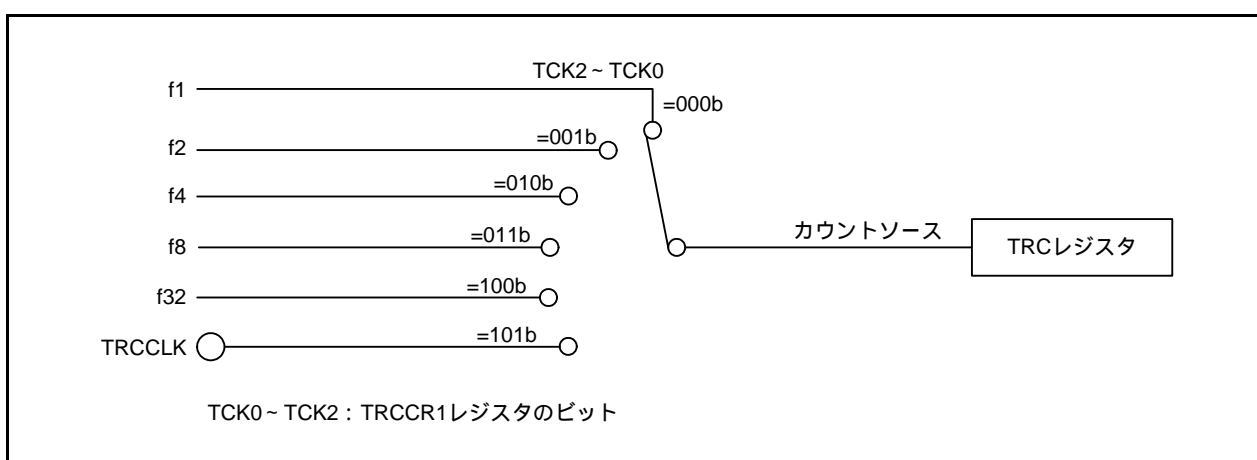


図 19.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表 19.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

### 19.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表 19.6 に各モードのバッファ動作を、図 19.3 にインプットキャプチャ機能のバッファ動作を、図 19.4 にアウトプットコンペア機能のバッファ動作を示します。

表 19.6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	<ul style="list-style-type: none"> <li>•TRCレジスタとTRCGRAレジスタのコンペア一致</li> <li>•TRCTRG端子トリガ入力</li> </ul>	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

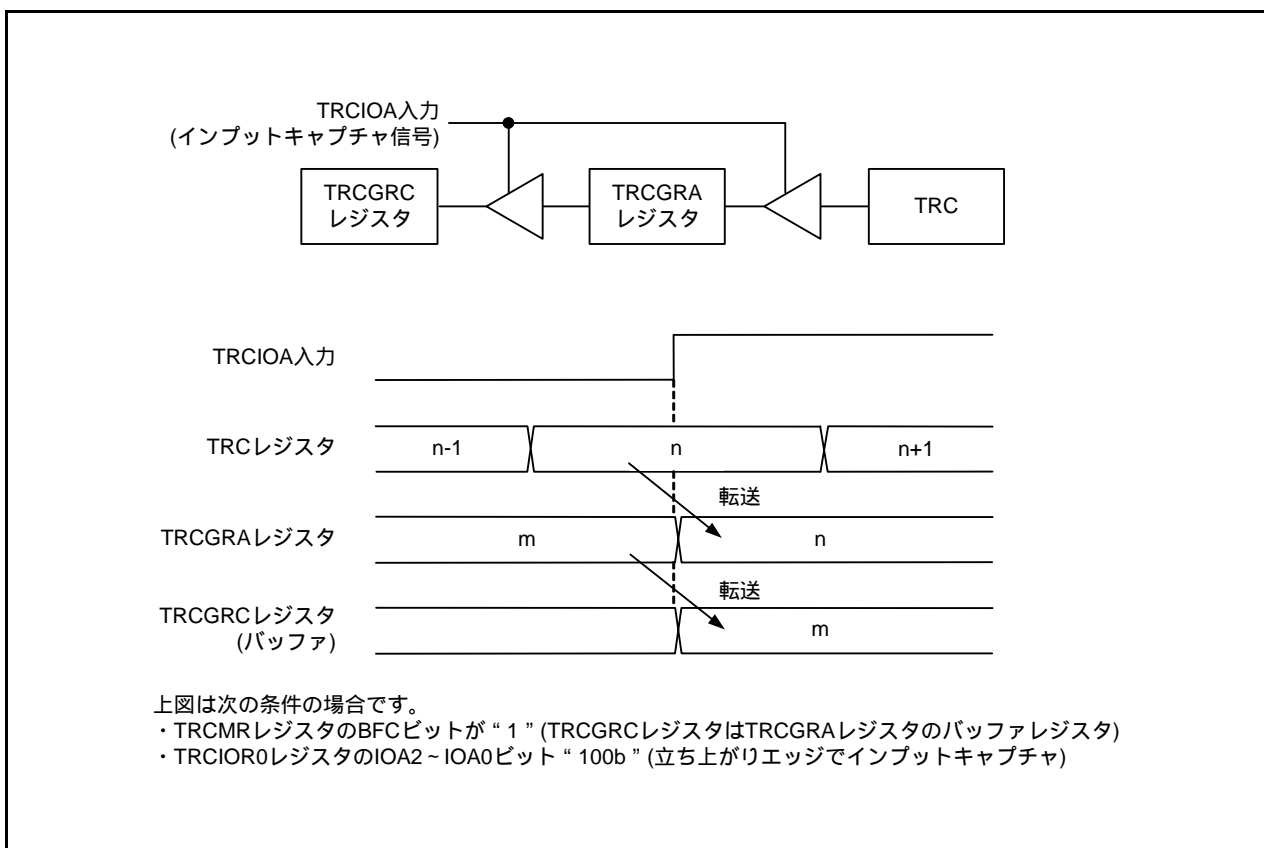


図 19.3 インプットキャプチャ機能のバッファ動作

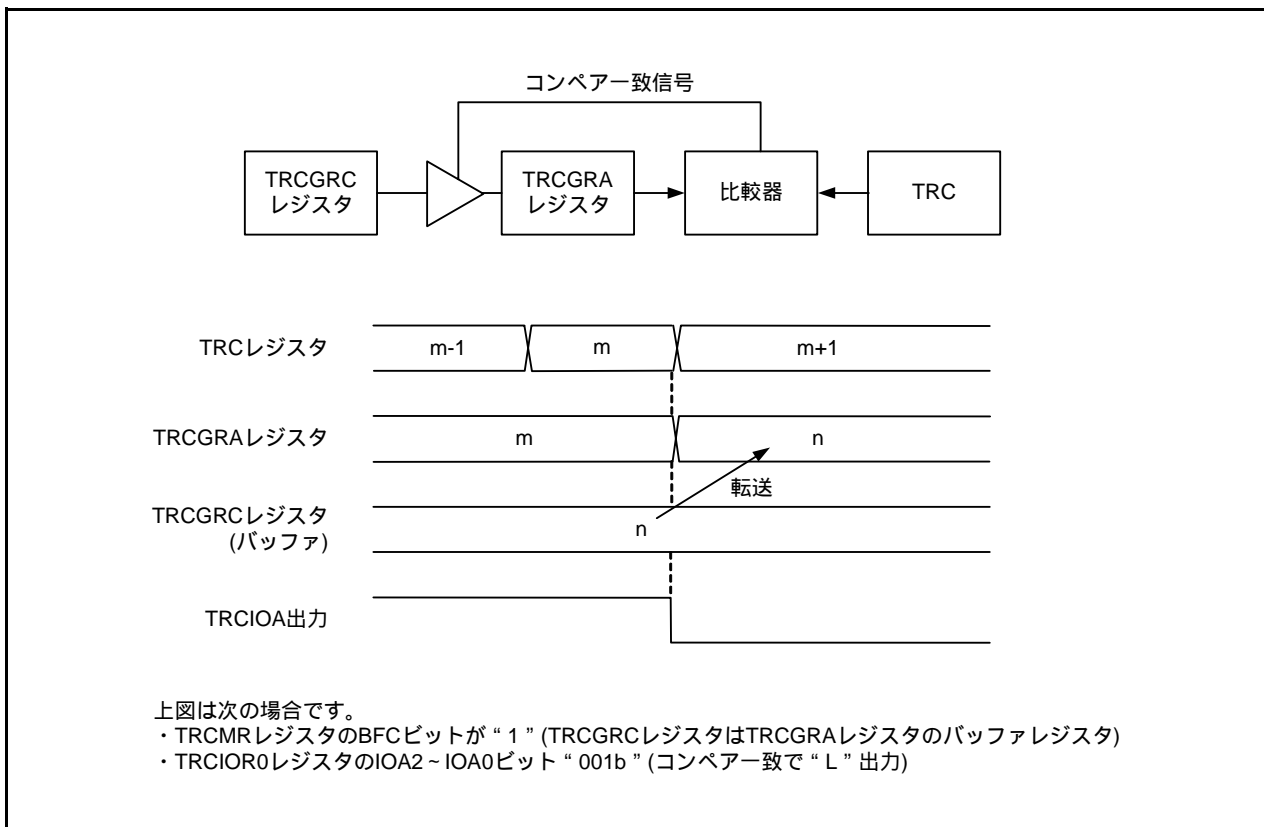


図19.4 アウトプットコンペアー機能のバッファ動作

タイマモードでは次のようにしてください。

- ・ TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合  
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- ・ TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合  
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペアー機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペアー一致でTRCSRレジスタのIMFC、IMFDビットが "1" になります。

インプットキャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが "1" になります。

### 19.3.3 デジタルフィルタ

TRCTRГ 入力またはTRCIOj(j = A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図19.5にデジタルフィルタのブロック図を示します。

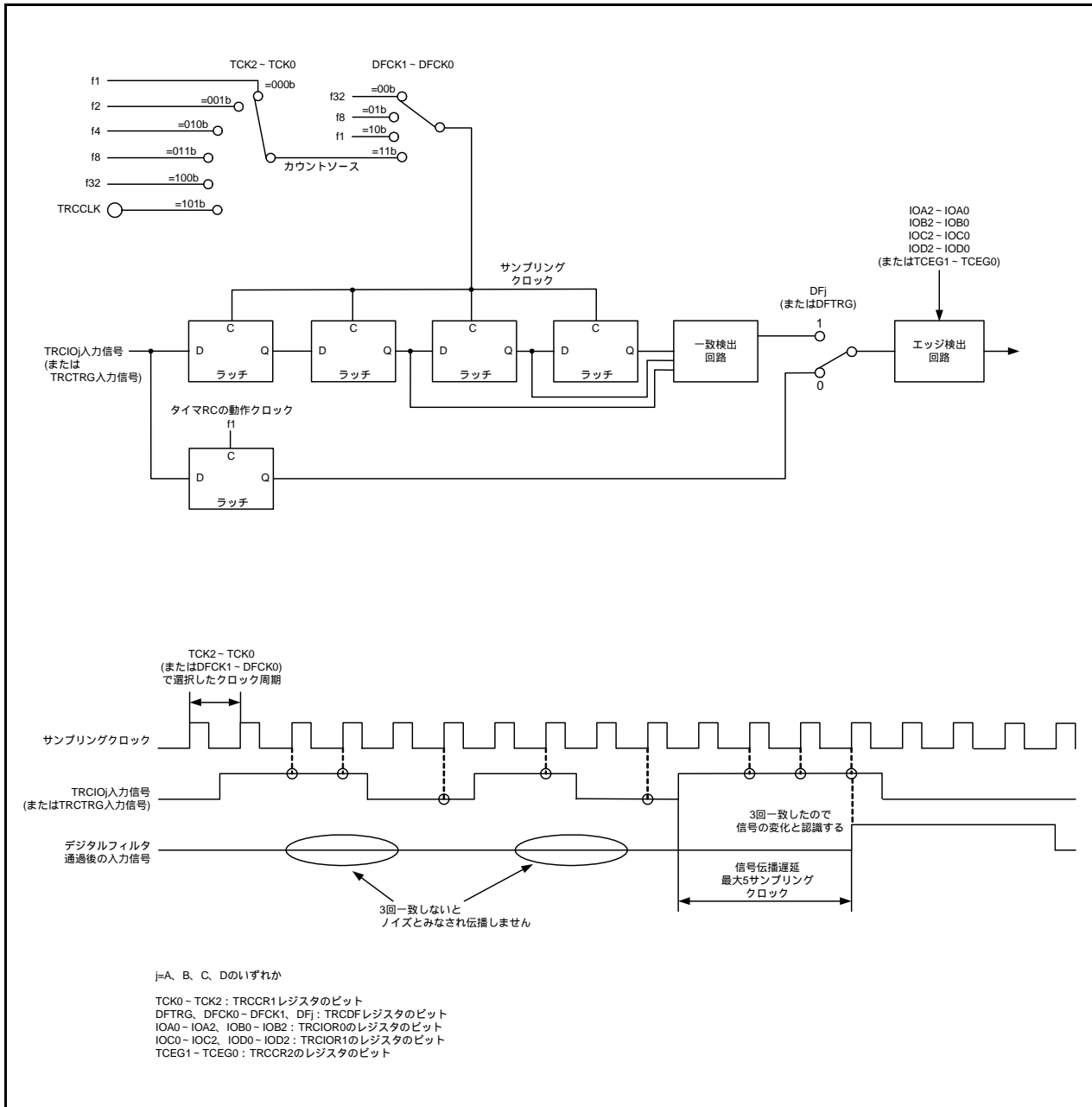


図19.5 デジタルフィルタのブロック図

### 19.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj(j = A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表 19.1 タイマRCの動作クロック」参照)の1~2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「6. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- INT0を選択したI/Oポートの方向レジスタを入力モードにする。  
INTSRレジスタのINT0SEL0ビットでINT0をP3\_0に割り当てたときは、PD3レジスタのPD3\_0ビットを“0”(入力モード)にする。  
INTSRレジスタのINT0SEL0ビットでINT0をP11\_0に割り当てたときは、PD11レジスタのPD11\_0ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで選択。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

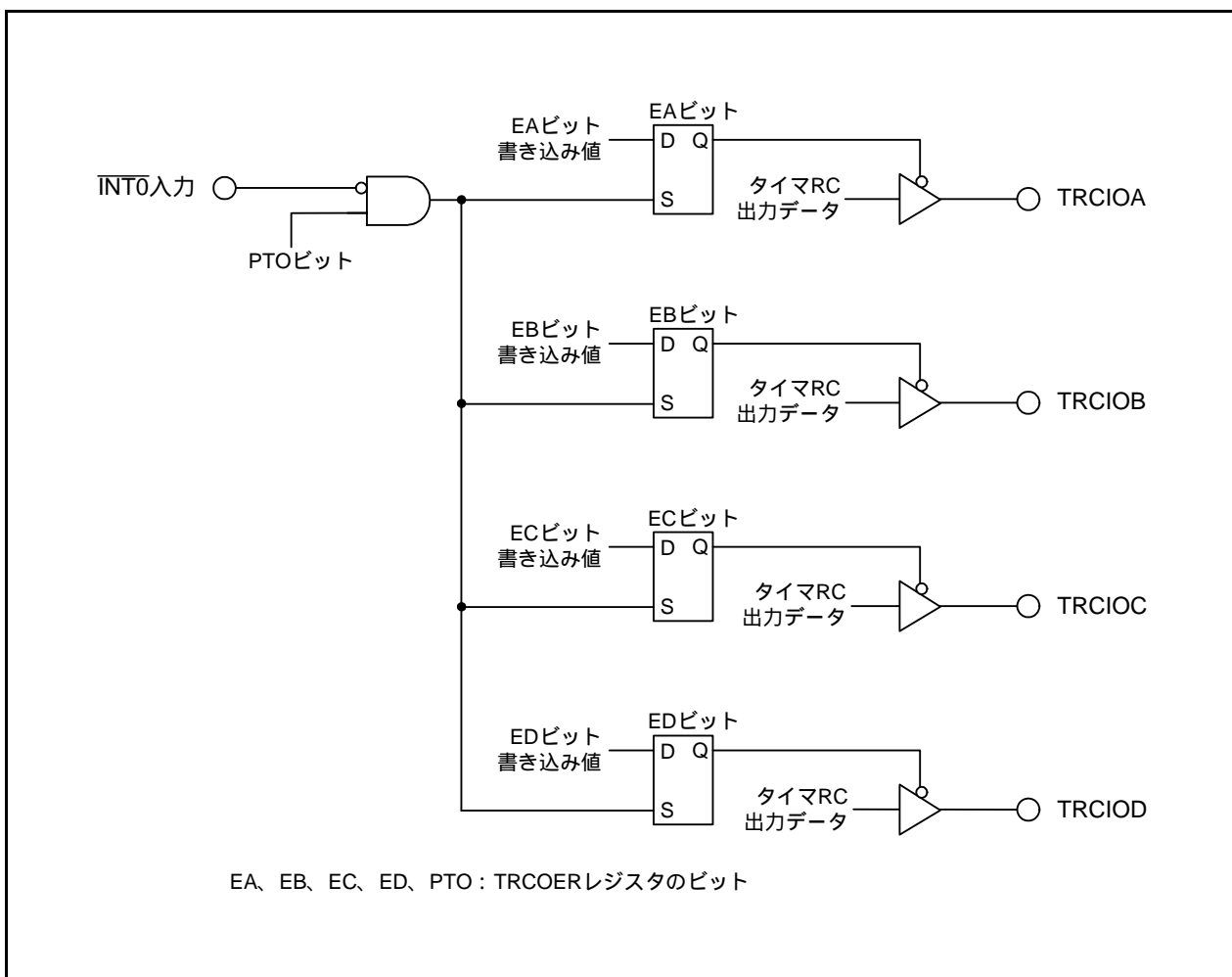


図 19.6 パルス出力強制遮断

## 19.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

表 19.7 にインプットキャプチャ機能の仕様を、図 19.7 にインプットキャプチャ機能のブロック図を、表 19.8 にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図 19.8 にインプットキャプチャ機能の動作例を示します。

表 19.7 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 <math>1/fk \times 65536</math> fk: カウントソースの周波数</li> <li>TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 <math>1/fk \times (n+1)</math> n: TRCGRAレジスタ設定値</li> </ul>
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>インプットキャプチャ(TRCIOj入力の有効エッジ)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> <li>インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本</li> <li>インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>デジタルフィルタ(「19.3.3 デジタルフィルタ」参照)</li> <li>TRCレジスタを“0000h”にするタイミング オーバフローまたはインプットキャプチャ</li> </ul>

j = A、B、C、Dのいずれか

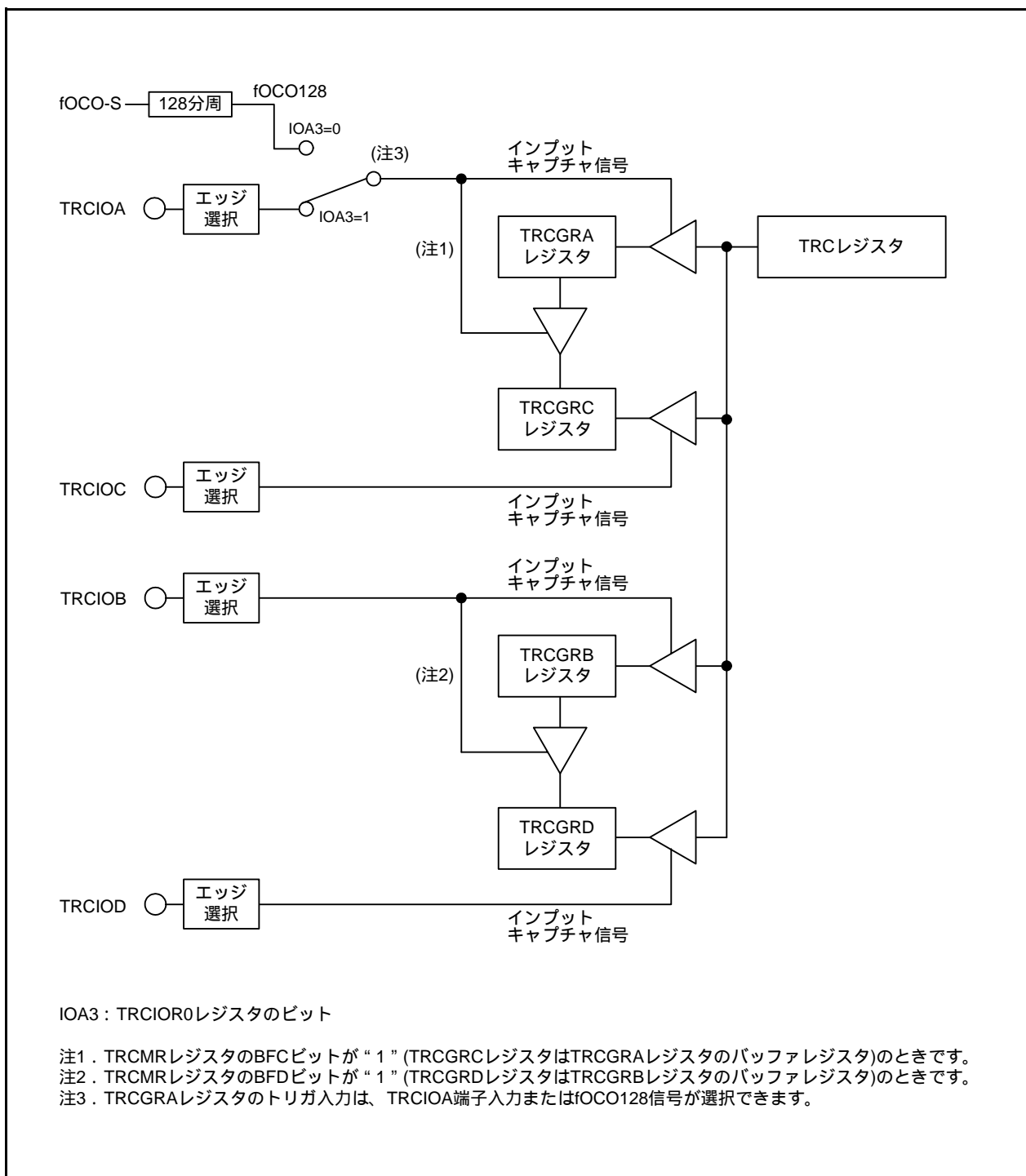


図19.7 インพุットキャプチャ機能のブロック図



### 19.4.1 タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(インプットキャプチャ機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRAへインプットキャプチャ 01: 立ち下がりエッジでTRCGRAへインプットキャプチャ 10: 両エッジでTRCGRAへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット(注3)	0: fOCO128信号 1: TRCIOA 端子入力	R/W
b4	IOB0	TRCGRB 制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRBへインプットキャプチャ 01: 立ち下がりエッジでTRCGRBへインプットキャプチャ 10: 両エッジでTRCGRBへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

### 19.4.2 タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRCへインプットキャプチャ 01: 立ち下がりエッジでTRCGRCへインプットキャプチャ 10: 両エッジでTRCGRCへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRCGRC レジスタ機能選択ビット	“1” にしてください	R/W
b4	IOD0	TRCGRD 制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRDへインプットキャプチャ 01: 立ち下がりエッジでTRCGRDへインプットキャプチャ 10: 両エッジでTRCGRDへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRCGRD レジスタ機能選択ビット	“1” にしてください	R/W

注1. TRCMR レジスタのBFCビットを“1”(TRCGRA レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOA2ビットとTRCIOR1 レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMR レジスタのBFDビットを“1”(TRCGRB レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOB2ビットとTRCIOR1 レジスタのIOD2ビットの設定を同じにしてください。

表 19.8 インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA	-	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「19.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD : TRCMR レジスタのビット

### 19.4.3 動作例

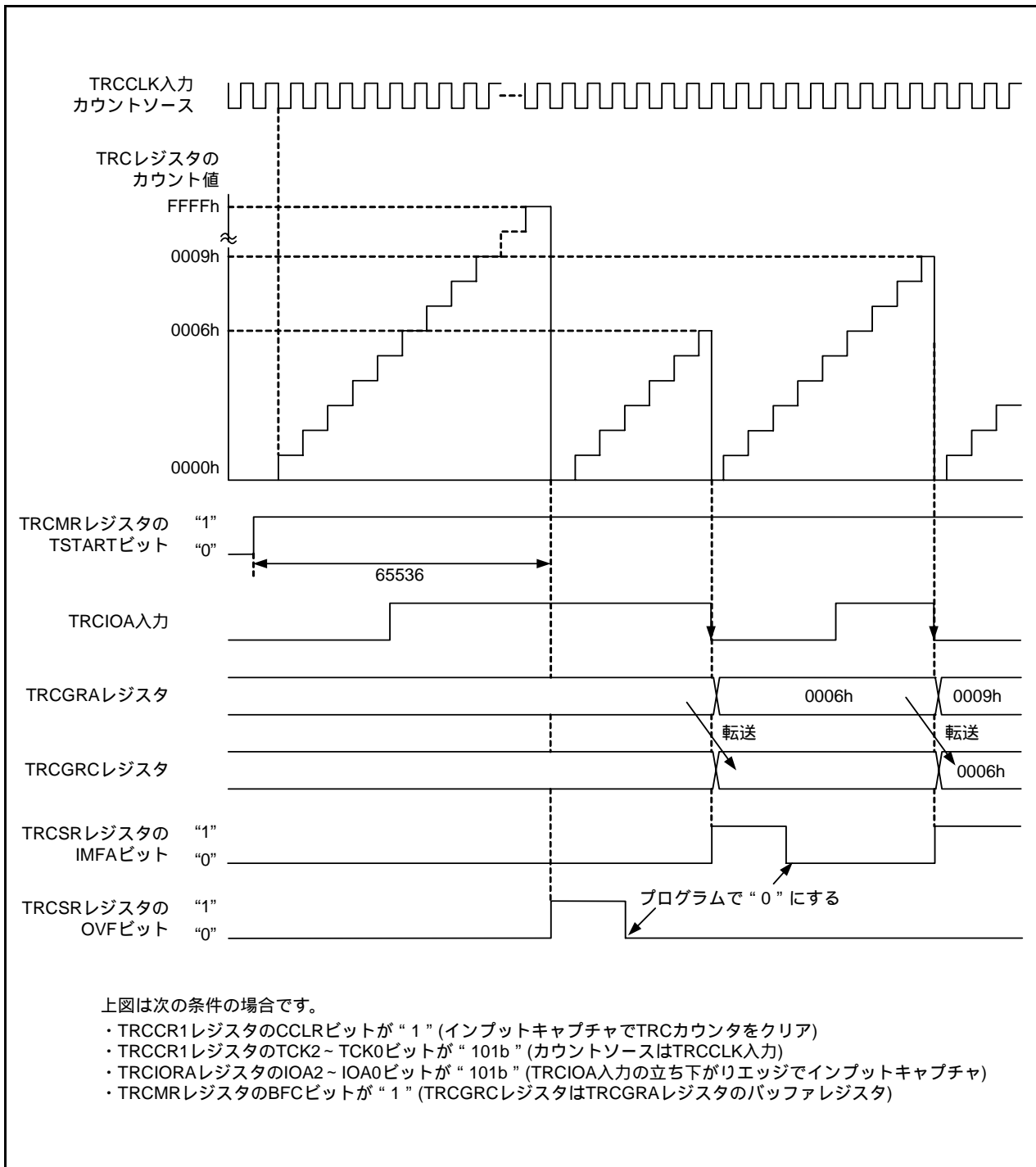


図19.8 インプットキャプチャ機能の動作例

## 19.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj(j = A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRCIOj端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 19.9 にアウトプットコンペア機能の仕様を、図 19.9 にアウトプットコンペア機能のブロック図を、表 19.10 にアウトプットコンペア機能時のTRCGRjレジスタの機能を、図 19.10 にアウトプットコンペア機能の動作例を示します。

表 19.9 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 <math>1/fk \times 65536</math> <math>fk</math>: カウントソースの周波数</li> <li>TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 <math>1/fk \times (n+1)</math> <math>n</math>: TRCGRAレジスタ設定値</li> </ul>
波形出力タイミング	コンペア一致
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持</li> <li>TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本</li> <li>コンペア一致時の出力レベル選択 “L”出力、“H”出力、またはトグル出力</li> <li>初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定</li> <li>TRCレジスタを“0000h”にするタイミング オーバフロー、またはTRCGRAレジスタのコンペア一致</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> <li>タイマRCは出力しないことで内部タイマとして使用できる</li> <li>TRCGRC、TRCGRDの出力端子変更 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用できる</li> <li>A/Dトリガ発生</li> </ul>

j = A、B、C、Dのいずれか

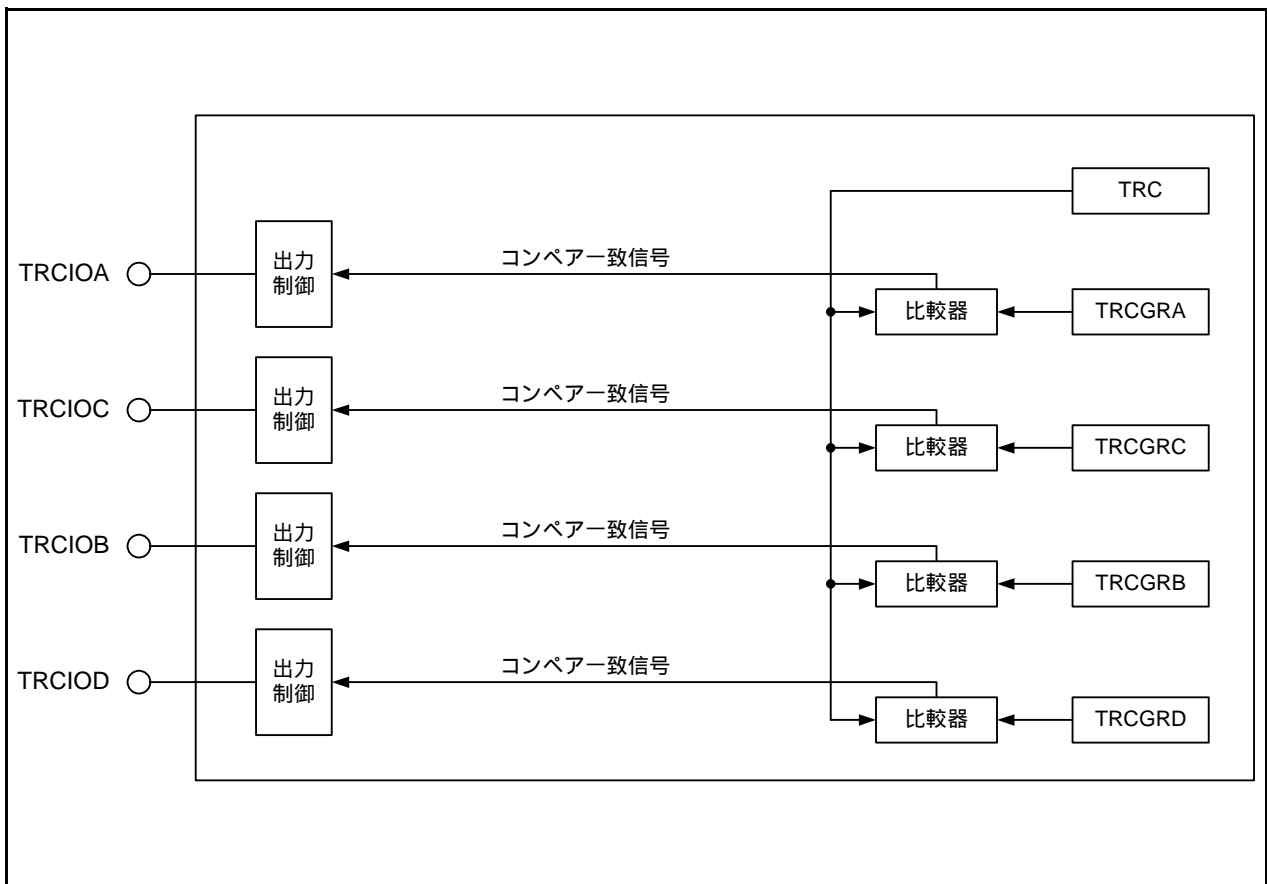


図 19.9 アウトプットコンペア機能のブロック図

### 19.5.1 タイマRC制御レジスタ1(TRCCR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0:初期出力“L” 1:初期出力“H”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0:クリア禁止(フリーランニング動作) 1:TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「6.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

表 19.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA	-	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のコンペア値を書いてください。(「19.3.2 バッファ動作」参照)	TRCIOA
TRCGRD	BFD=1		TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

### 19.5.2 タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(アウトプットコンペア機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御ビット	b1 b0 00: コンペア一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 01: TRCGRAのコンペア一致で“L”出力 10: TRCGRAのコンペア一致で“H”出力 11: TRCGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRA モード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	-	予約ビット	“1”にしてください	R/W
b4	IOB0	TRCGRB 制御ビット	b5 b4 00: コンペア一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 01: TRCGRBのコンペア一致で“L”出力 10: TRCGRBのコンペア一致で“H”出力 11: TRCGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRB モード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

### 19.5.3 タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	b1 b0 00 : コンペア一致による端子出力禁止 01 : TRCGRCのコンペア一致で“L”出力 10 : TRCGRCのコンペア一致で“H”出力 11 : TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRCGRC レジスタ機能選択ビット	0 : TRCIOA出力レジスタ 1 : ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	b5 b4 00 : コンペア一致による端子出力禁止 01 : TRCGRDのコンペア一致で“L”出力 10 : TRCGRDのコンペア一致で“H”出力 11 : TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRCGRD レジスタ機能選択ビット	0 : TRCIOB出力レジスタ 1 : ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMR レジスタのBFC ビットを“1”(TRCGRA レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOA2 ビットとTRCIOR1 レジスタのIOC2 ビットの設定を同じにしてください。

注2. TRCMR レジスタのBFD ビットを“1”(TRCGRB レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOB2 ビットとTRCIOR1 レジスタのIOD2 ビットの設定を同じにしてください。



### 19.5.4 タイマRC制御レジスタ2(TRCCR2)[タイマモード(アウトプットコンペア機能)時

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRA レジスタとのコンペア一致後もカウンタ継続 1 : TRCGRA レジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

19.5.5 動作例

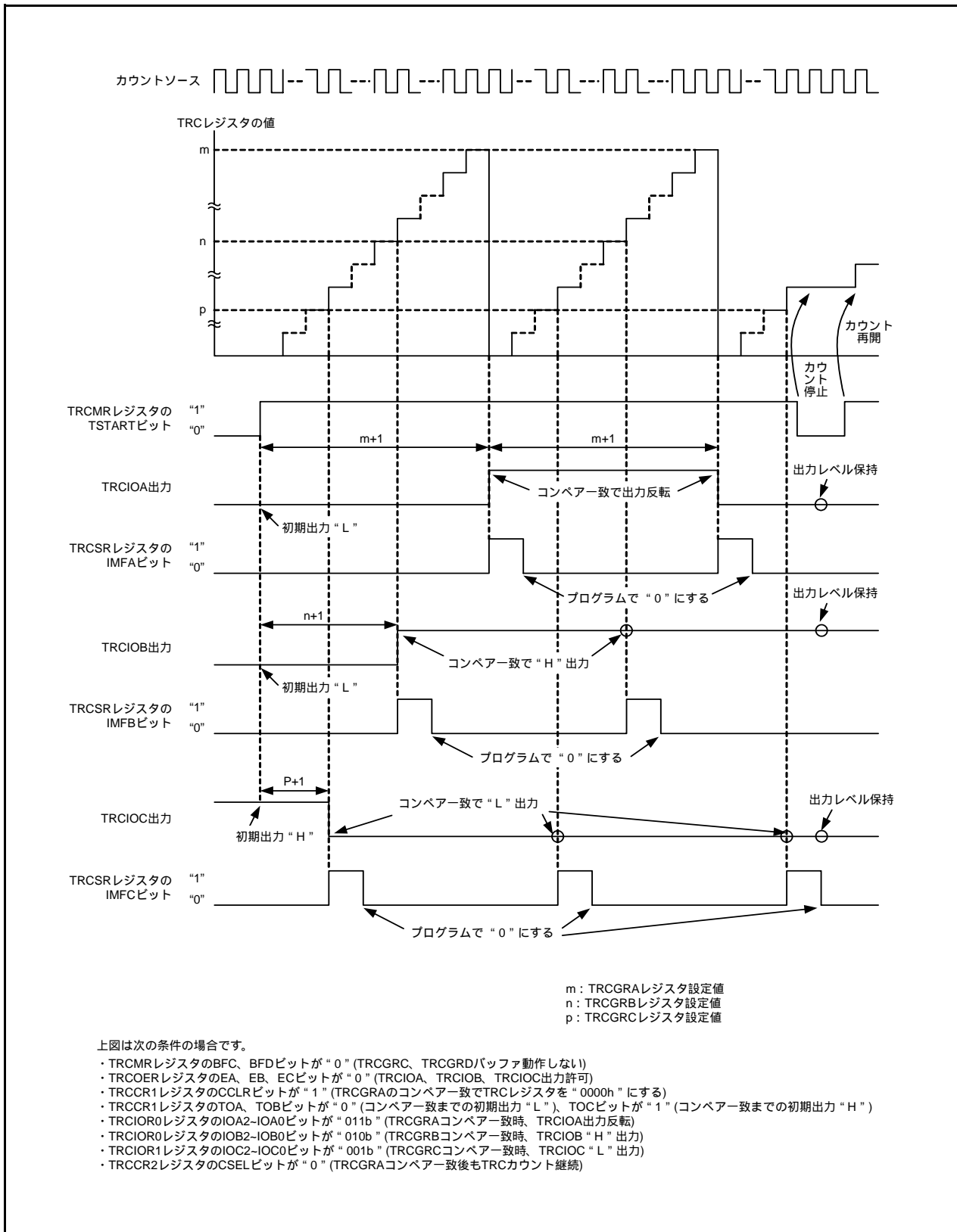


図 19.10 アウトプットコンペアー機能の動作例

### 19.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できません。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

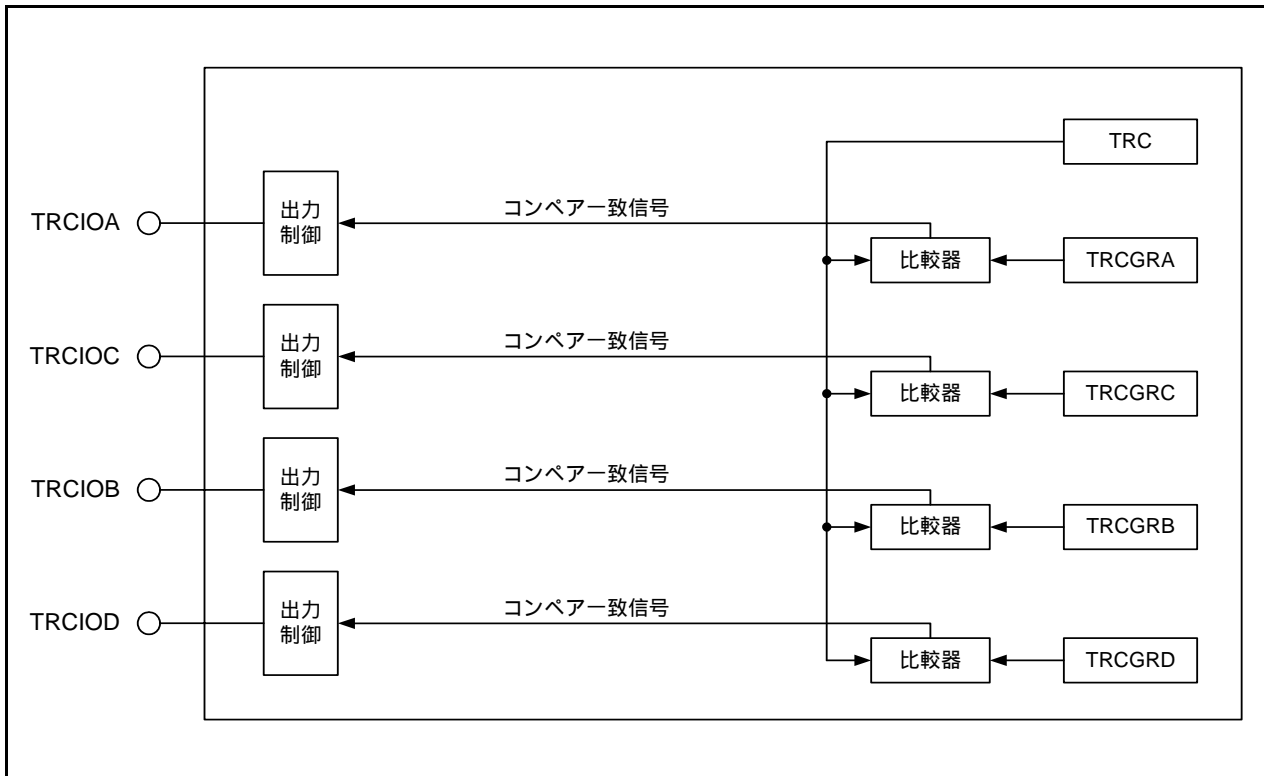


図19.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを“0”(TRCIOA出力レジスタ)、IOD3ビットを“0”(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0”(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図 19.12に TRCGRCを TRCIOA 端子の、TRCGRDを TRCIOB 端子の出力制御に使用した場合の動作例を示します。

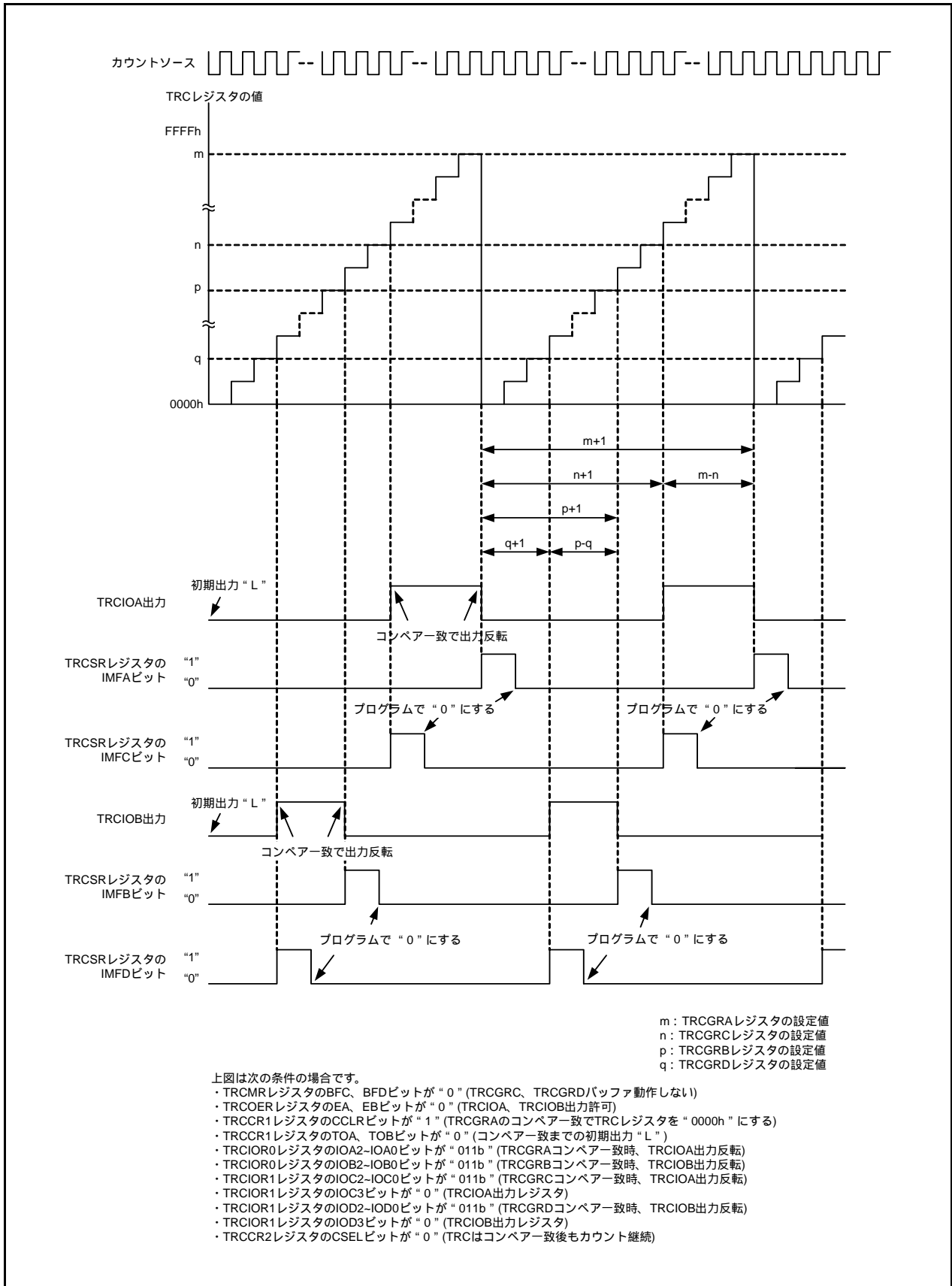


図 19.12 TRCGRCを TRCIOA 端子の、TRCGRDを TRCIOB 端子の出力制御に使用した場合の動作例

## 19.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表 19.11 にPWMモードの仕様を、図 19.13 にPWMモードのブロック図を、表 19.12 にPWMモード時のTRCGRhレジスタの機能を、図 19.14 ~ 図 19.15 にPWMモードの動作例を示します。

表 19.11 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/fk \times (m+1)$ アクティブレベル幅: $1/fk \times (m-n)$ アクティブでないレベルの幅: $1/fk \times (n+1)$ fk: カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRjレジスタ設定値  (アクティブレベルが“L”の場合)
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持</li> <li>TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、PWM出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致)</li> <li>TRCレジスタオーバーフロー</li> </ul>
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>PWM出力端子を1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。</li> <li>アクティブレベルを1端子ごとに選択</li> <li>初期出力レベルを1端子ごとに選択</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> <li>A/Dトリガ発生</li> </ul>

j = B、C、Dのいずれか

h = A、B、C、Dのいずれか

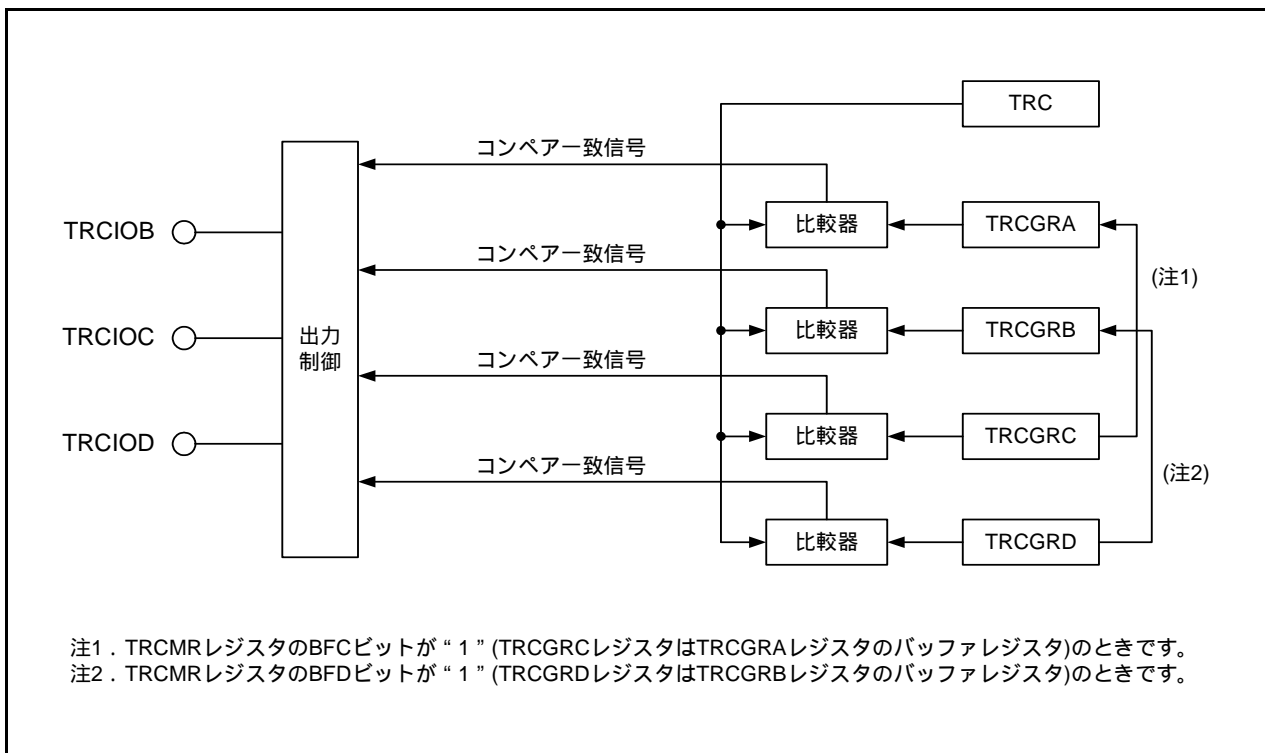


図 19.13 PWMモードのブロック図

### 19.6.1 タイマRC制御レジスタ1(TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0：初期出力はアクティブでないレベル 1：初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：設定しないでください 1 1 1：設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペアー致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「6.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

### 19.6.2 タイマRC制御レジスタ2(TRCCR2)[PWMモード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRA レジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

表 19.12 PWMモード時のTRCGRhレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	-	ジェネラルレジスタ。PWM周期を設定してください。	-
TRCGRB	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「19.3.2 バッファ動作」参照)。	-
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「19.3.2 バッファ動作」参照)。	TRCIOB

h = A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペア一致しても端子の出力レベルは変化しません。



### 19.6.3 動作例

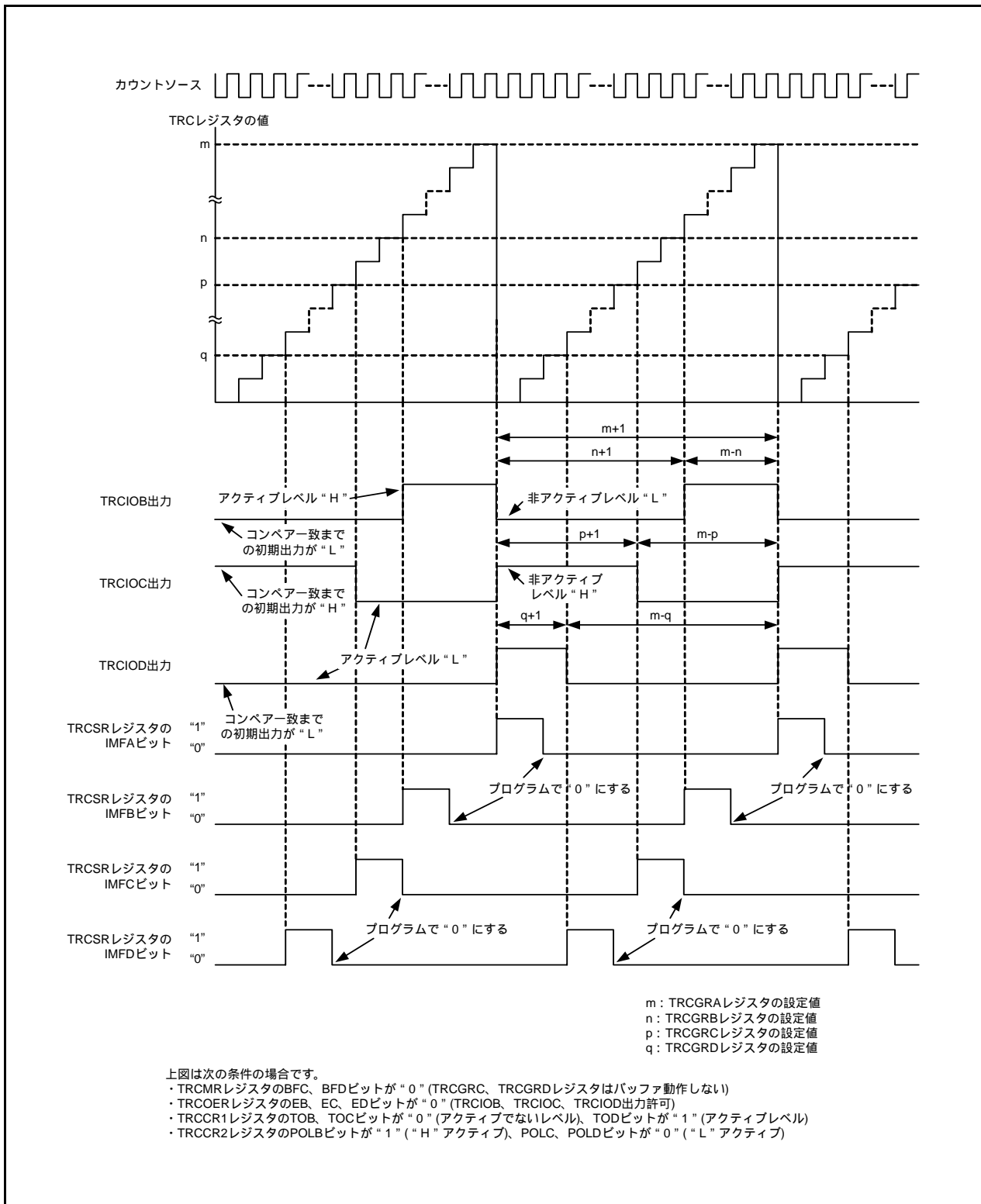


図 19.14 PWMモードの動作例

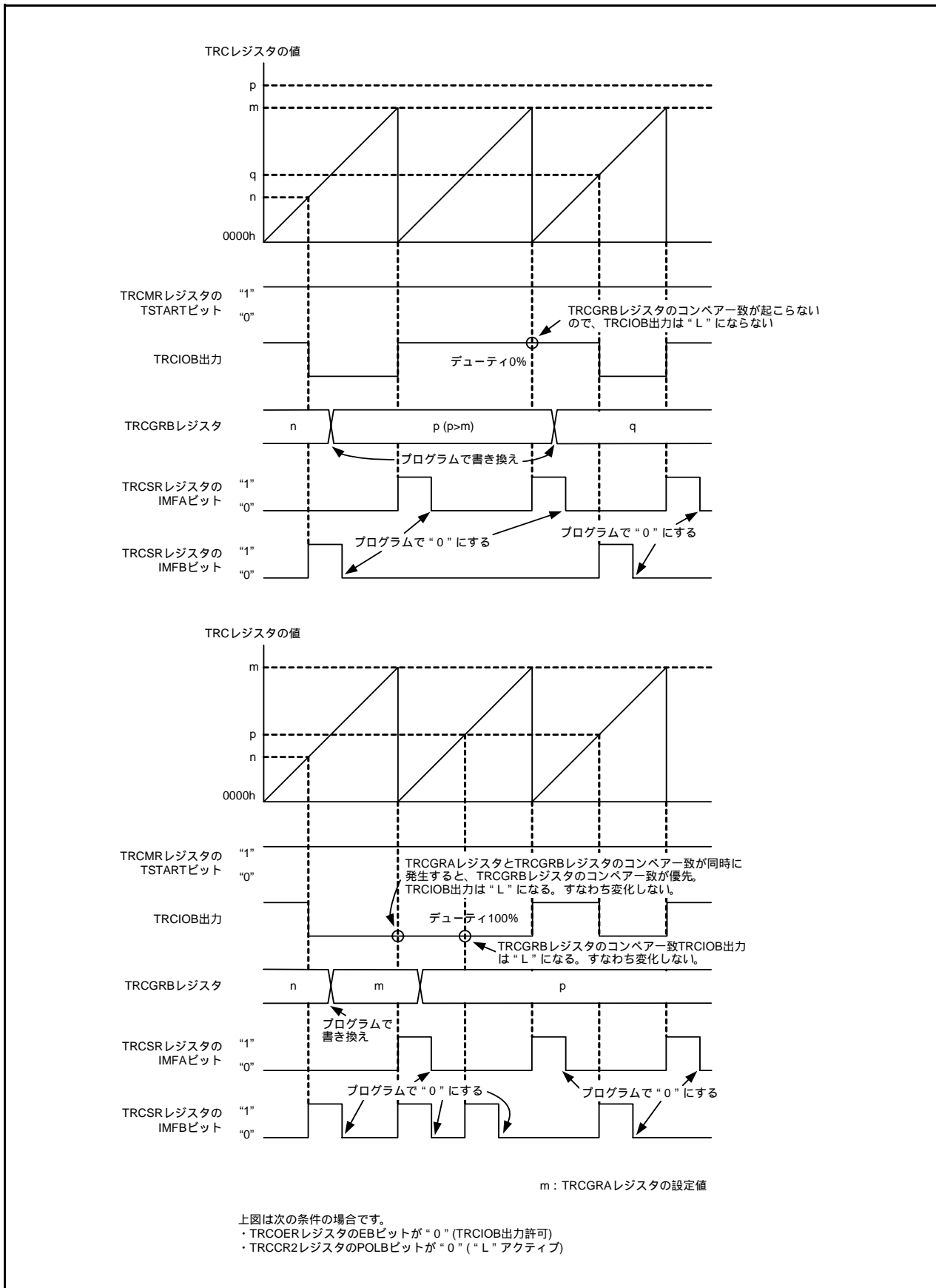


図19.15 PWMモードの動作例(デューティ0%、デューティ100%)

## 19.7 PWM2モード

PWM波形を1本出力します。トリガから任意のウェイト時間をおいて、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

図19.16にPWM2モードのブロック図を、表19.13にPWM2モードの仕様を、表19.14にPWM2モード時のTRCGRjレジスタの機能を、図19.17～図19.19にPWM2モードの動作例を示します。

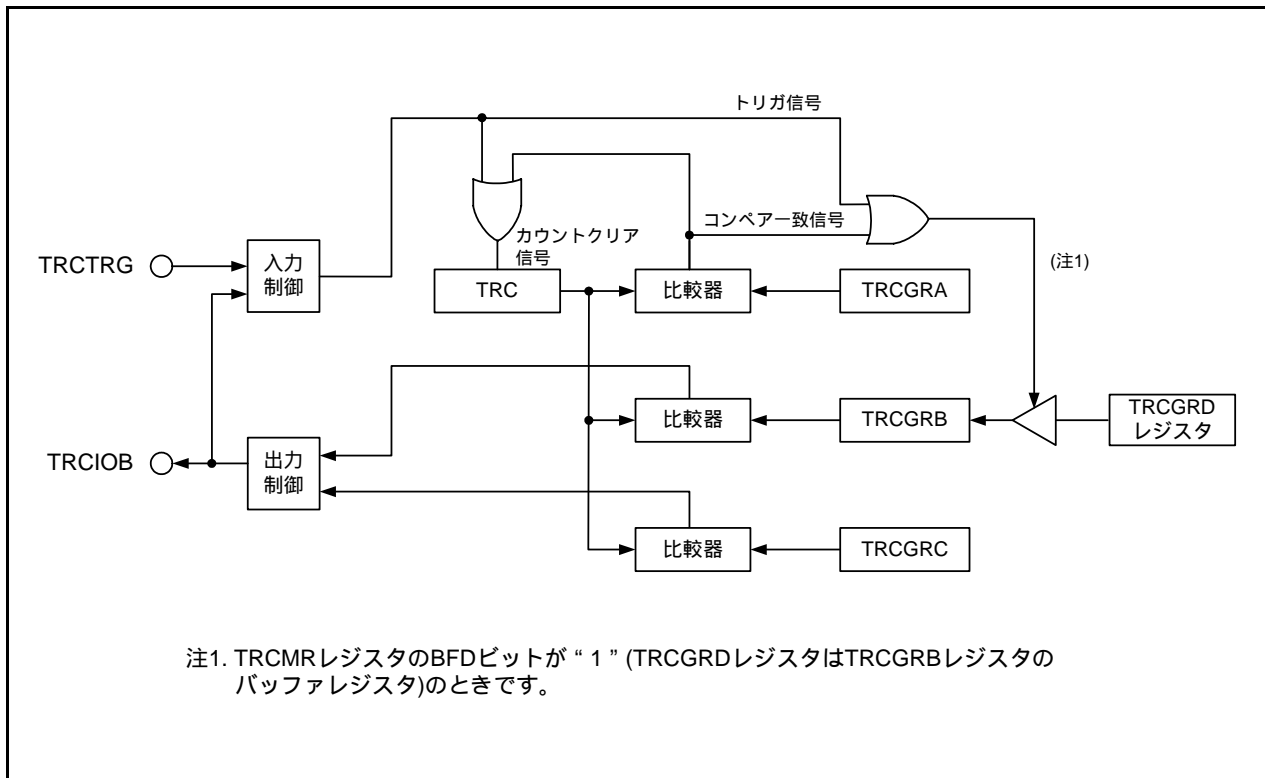


図19.16 PWM2モードのブロック図

表 19.13 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	<p>PWM周期: <math>1/fk \times (m+1)</math> (TRCTRГ入力がない場合)                      アクティブレベル幅: <math>1/fk \times (n-p)</math>                      カウント開始またはトリガからのウェイト時間: <math>1/fk \times (p+1)</math>                      fk: カウントソースの周波数                      m: TRCGRAレジスタ設定値                      n: TRCGRBレジスタ設定値                      p: TRCGRCレジスタ設定値</p> <p>(TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> <li>• TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み</li> <li>• TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRГ端子にトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>• TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み (TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。</li> <li>• TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンパレー一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。</li> </ul>
割り込み発生タイミング	<ul style="list-style-type: none"> <li>• コンパレー一致 (TRCレジスタとTRCGRjレジスタの内容が一致)</li> <li>• TRCレジスタオーバフロー</li> </ul>
TRCIOA/TRCTRГ端子機能	プログラマブル入出力ポート、またはTRCTRГ入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>• 外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。</li> <li>• バッファ動作 (「19.3.2 バッファ動作」参照)</li> <li>• パルス出力強制遮断信号入力 (「19.3.4 パルス出力強制遮断」参照)</li> <li>• デジタルフィルタ (「19.3.3 デジタルフィルタ」参照)</li> <li>• A/Dトリガ発生</li> </ul>

j = A、B、C、Dのいずれか

### 19.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2モード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0 : アクティブレベル “H” (初期出力 “L” TRCGRCのコンペア一致で “H” 出力 TRCGRBのコンペア一致で “L” 出力) 1 : アクティブレベル “L” (初期出力 “H” TRCGRCのコンペア一致で “L” 出力 TRCGRBのコンペア一致で “H” 出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが “0” (カウント停止) のとき、書いてください。

注2. 端子の機能が波形出力の場合(「6.6 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

表 19.14 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	-	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	-
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください。(「19.3.2 バッファ動作」参照)	TRCIOB端子

j = A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

### 19.7.2 タイマRC制御レジスタ2(TRCCR2)[PWM2モード時]

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0: TRCGRA レジスタとのコンペア一致後もカウンタ継続 1: TRCGRA レジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00: TRCTRGからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

### 19.7.3 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)[PWM2モード時]

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能選択ビット (注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能選択ビット (注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能選択ビット (注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能選択ビット (注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能選択ビット (注2)	0: 機能なし 1: 機能あり	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット (注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース (TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

19.7.4 動作例

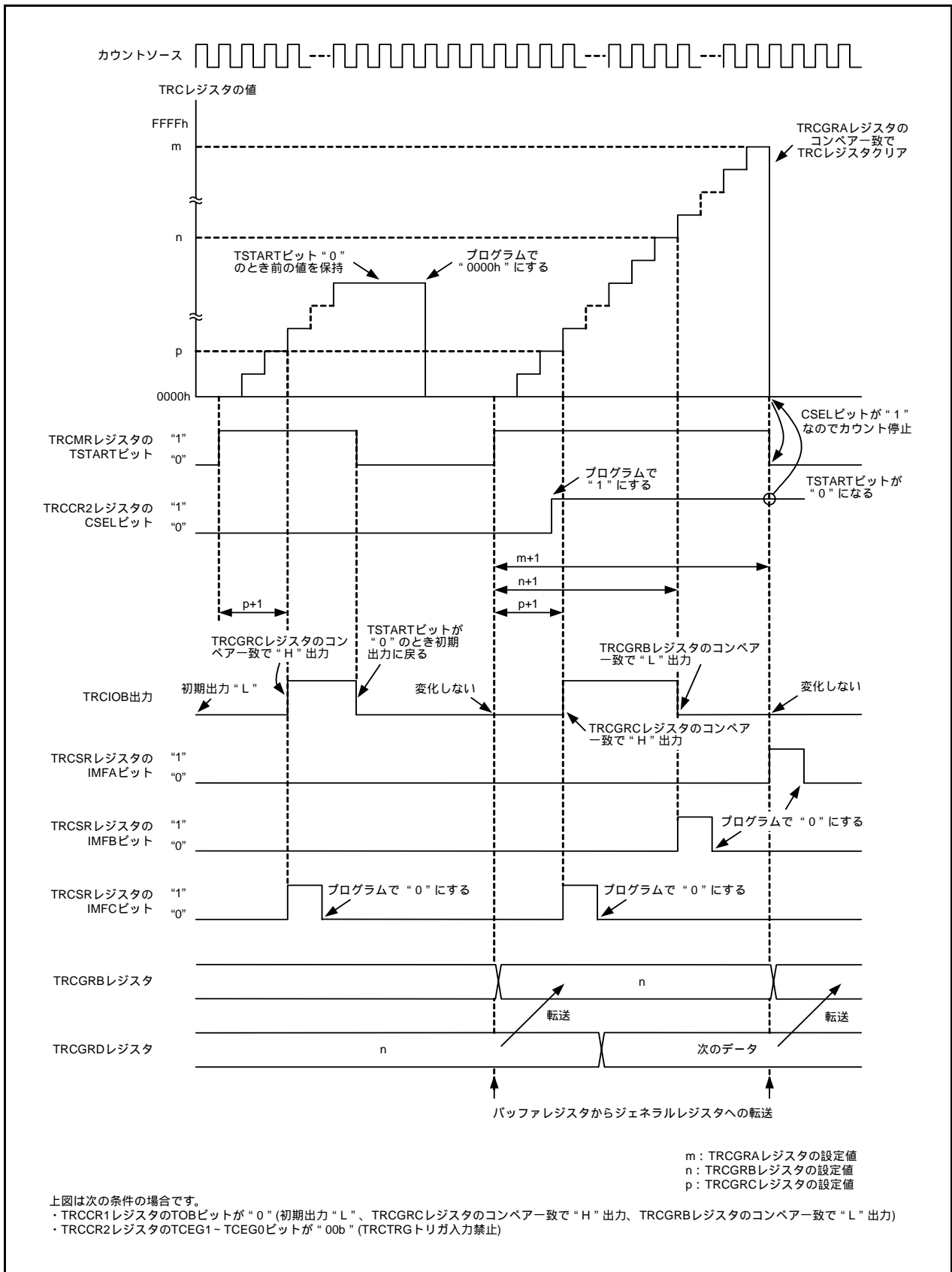


図 19.17 PWM2モードの動作例(TRCTRトリガ入力禁止の場合)

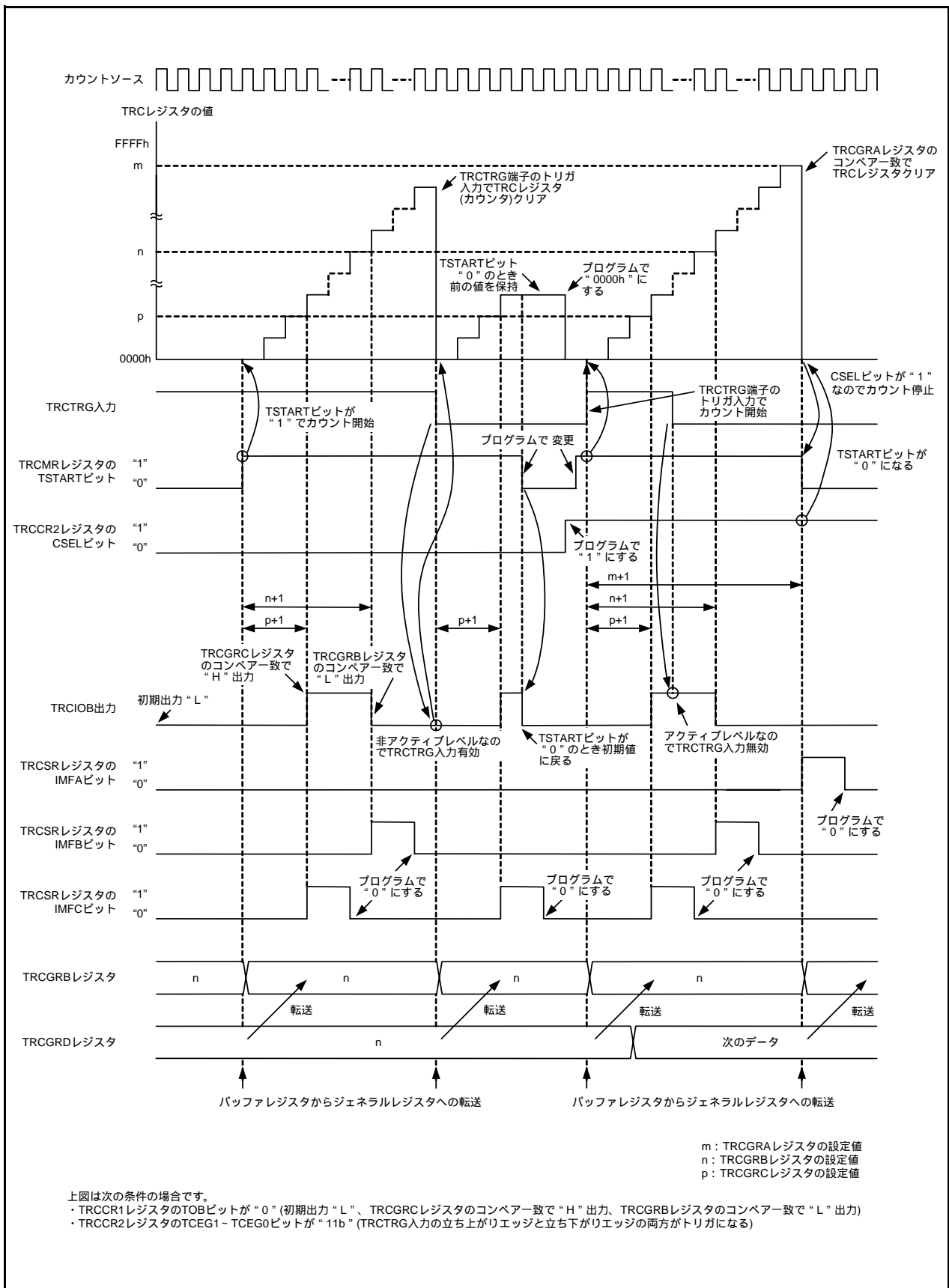


図 19.18 PWM2モードの動作例 (TRCTRトリガ入力許可の場合)



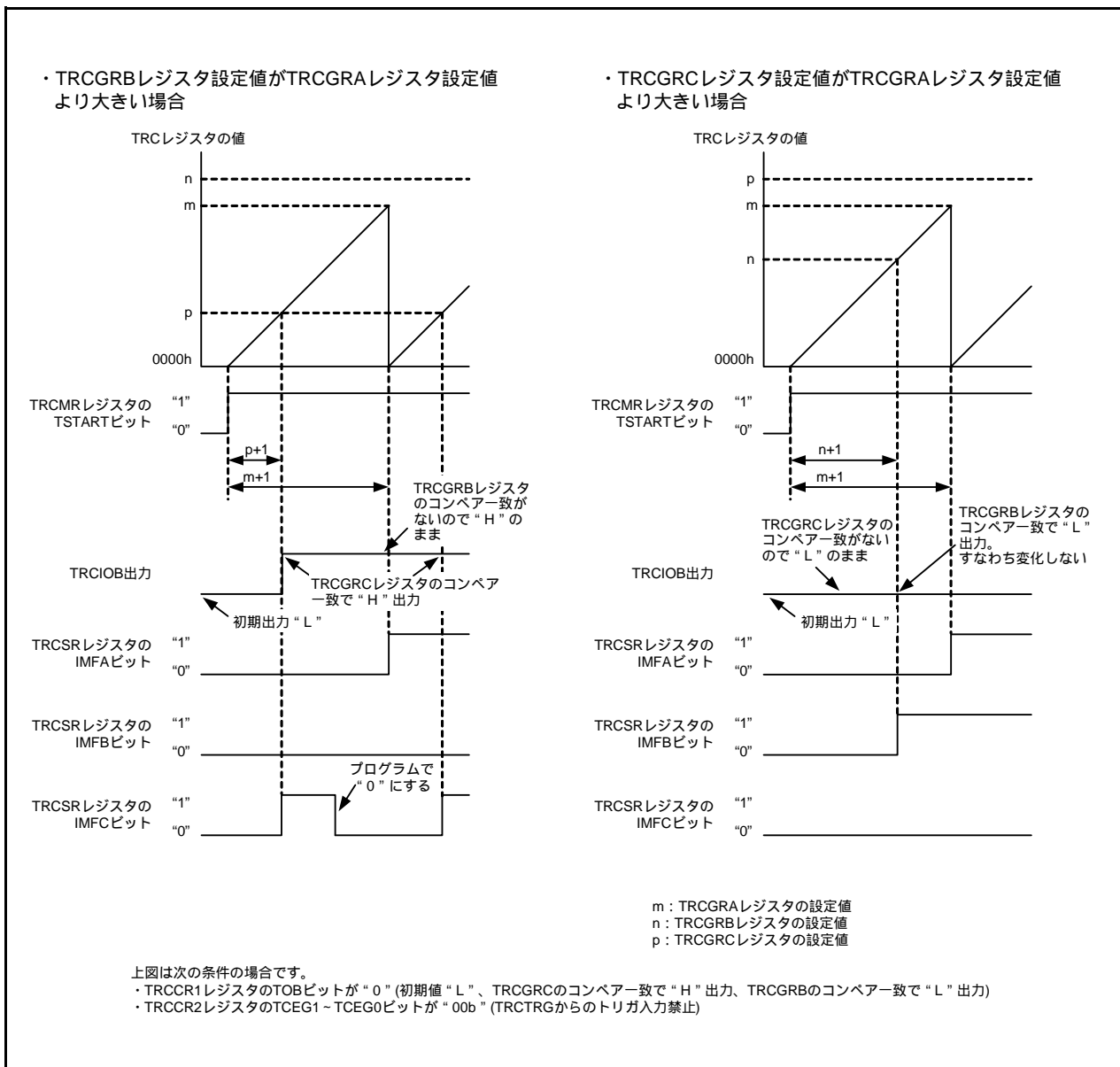


図19.19 PWM2モードの動作例(デューティ0%、デューティ100%)

## 19.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表 19.15 にタイマRC割り込み関連レジスタを、図 19.20 にタイマRC割り込みのブロック図を示します。

表 19.15 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

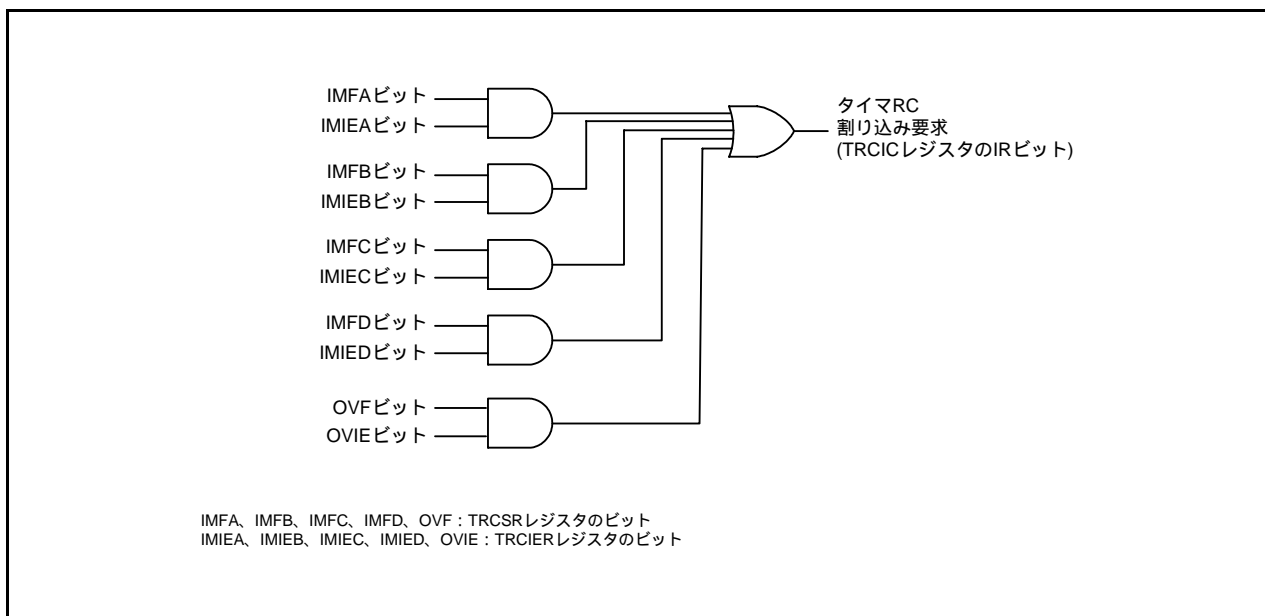


図 19.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「19.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「19.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

## 19.9 タイマRC使用上の注意事項

### 19.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。  
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.W  #XXXXh, TRC      ;書き込み
                   JMP.B  L1          ;JMP.B命令
L1:                MOV.W  TRC,DATA    ;読み出し
```

### 19.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.B  #XXh, TRCSR      ;書き込み
                   JMP.B  L1          ;JMP.B命令
L1:                MOV.B  TRCSR,DATA    ;読み出し
```

### 19.9.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順  
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする  
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

### 19.9.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRCの動作クロック(「表 19.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。
- TRCIOj(j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

### 19.9.5 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

## 20. タイマRD

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 20.1 概要

タイマRDは、16ビットタイマを2本(タイマRD0、タイマRD1)持ちます。  
タイマRD $i$ ( $i = 0 \sim 1$ )は4本の入出力端子を持ちます。  
タイマRDの動作クロックは、f1です。表20.1にタイマRDの動作クロックを示します。

表20.1 タイマRDの動作クロック

条件	タイマRDの動作クロック
カウントソースがf1、f2、f4、f8、f32、fC2、TRDCLK入力 (TRDCR0、TRDCR1レジスタのTCK2 ~ TCK0ビットが“000b” ~ “101b”)	f1

図20.1にタイマRDのブロック図を、表20.2にタイマRDの端子構成を示します。タイマRDは5種類のモードを持ちます。

- タイマモード
  - インプットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能  
(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、タイマRD0とタイマRD1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、タイマRD $i$ の中でこれらの機能とモードを組み合わせさせて使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、タイマRD0とタイマRD1のカウンタやレジスタを組み合わせさせて波形を出力します。端子の機能はモードによって決まります。

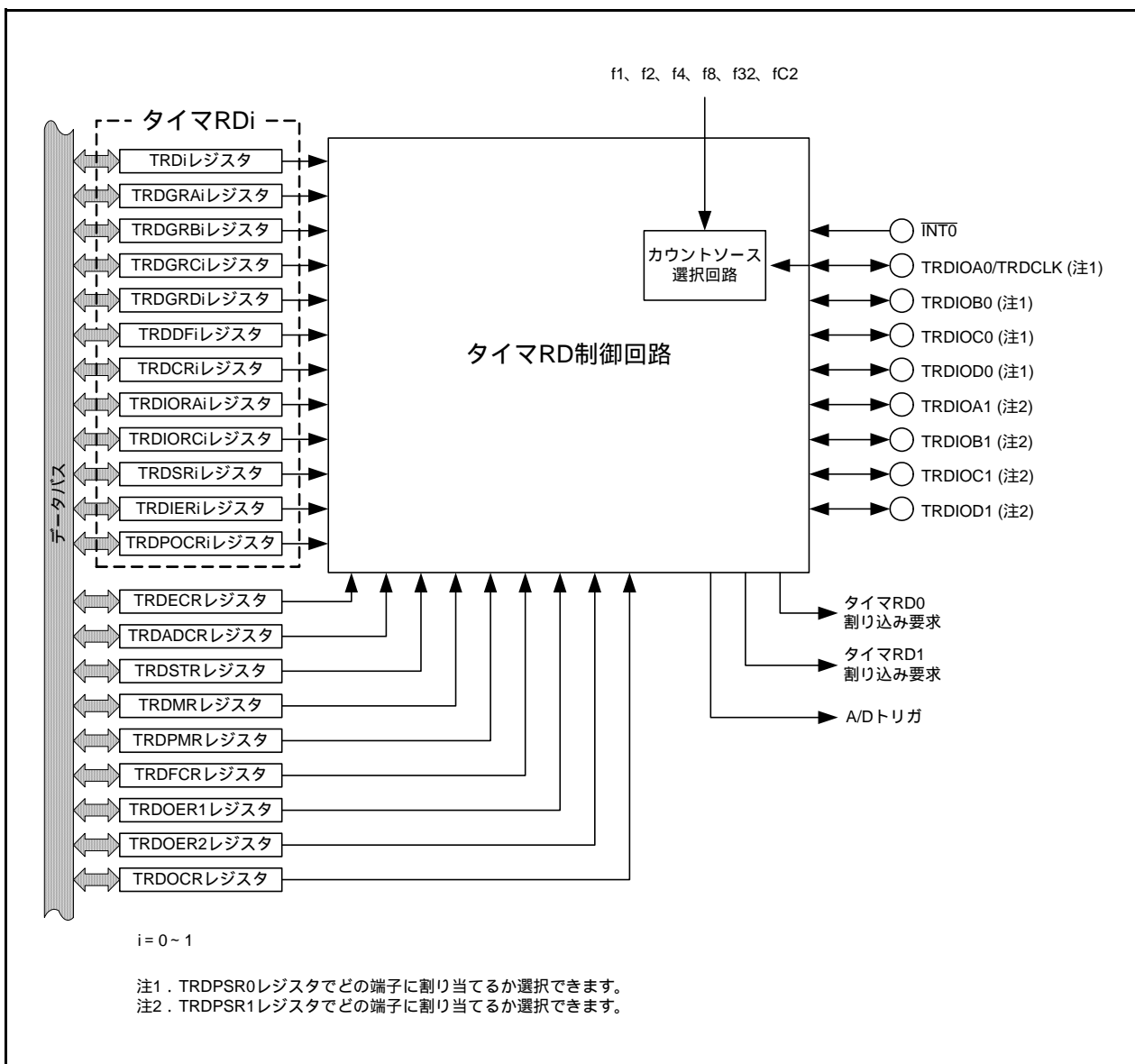


図20.1 タイマRDのブロック図

表20.2 タイマRDの端子構成

端子名	割り当てる端子	入出力	機能
TRDIOA0/TRDCLK	P6_0またはP10_0	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	P6_1またはP10_1	入出力	
TRDIOC0	P6_2またはP10_2	入出力	
TRDIOD0	P6_3またはP10_3	入出力	
TRDIOA1	P6_4またはP10_4	入出力	
TRDIOB1	P6_5またはP10_5	入出力	
TRDIOC1	P6_6またはP10_6	入出力	
TRDIOD1	P6_7またはP10_7	入出力	

## 20.2 複数モードに関わる共通事項

### 20.2.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードではfC2を、PWM3モードでは外部クロックは選択できません。

表20.3 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCR <sub>i</sub> レジスタのTCK2 ~ TCK0ビットでカウントソース選択
fC2	TRDCR <sub>i</sub> レジスタのTCK2 ~ TCK0ビットが“101b”(TRDCLK <sub>i</sub> 入力またはfC2) TRDECRレジスタのITCLK <sub>i</sub> ビットが“1”(fC2)
TRDCLK端子に入力された外部信号	TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効) TRDCR <sub>i</sub> レジスタのTCK2 ~ TCK0ビットが“101b”(カウントソースは外部クロック) TRDCR <sub>i</sub> レジスタのCKEG1 ~ CKEG0ビットで有効エッジを選択 PD2レジスタのPD2_0ビットが“0”(入力モード)

i = 0 ~ 1

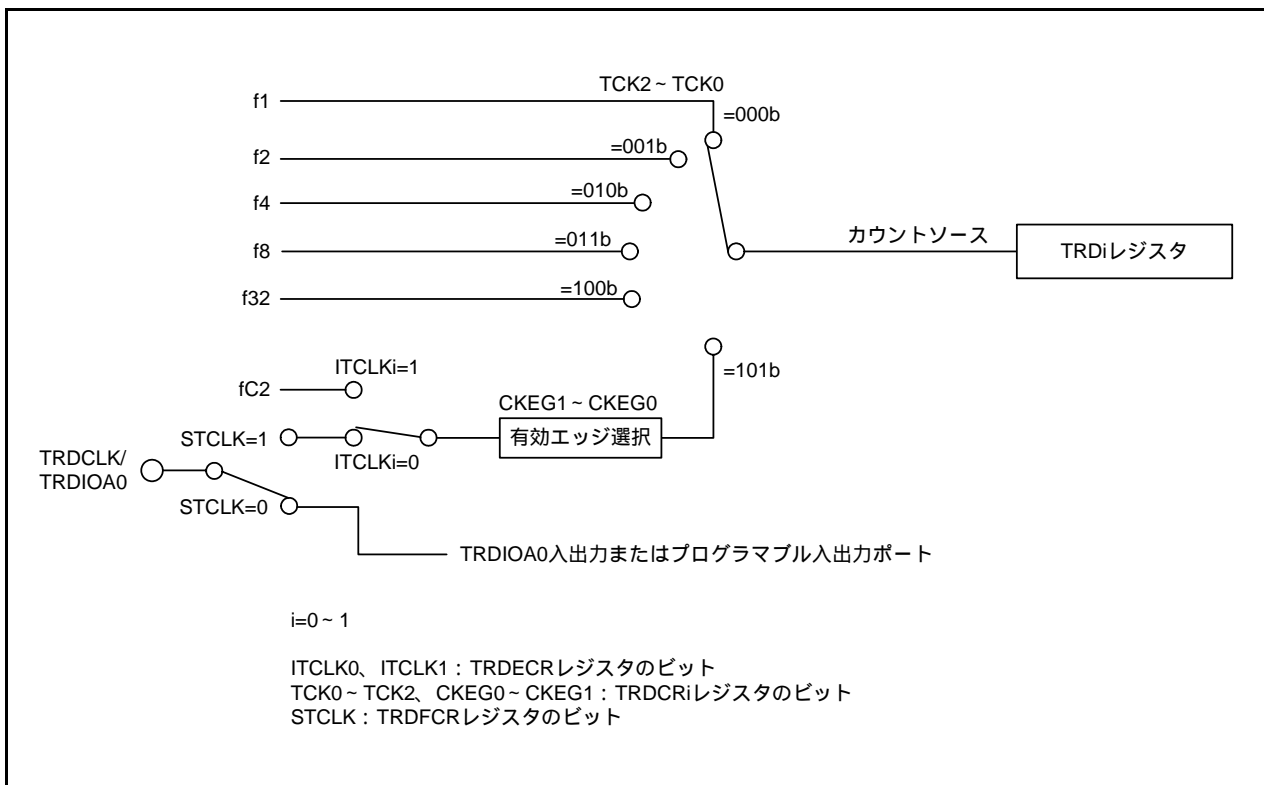


図20.2 カウントソースのブロック図

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

### 20.2.2 バッファ動作

TRDMRレジスタのBFCi(i=0 ~ 1)ビット、BFDiビットで、TRDGRCi、TRDGRDiレジスタをTRDGRAi、TRDGRBiレジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ：TRDGRCiレジスタ
- TRDGRBiのバッファレジスタ：TRDGRDiレジスタ

バッファ動作は、モードによって違います。表20.4に各モードのバッファ動作を示します。

表20.4 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRAi(TRDGRBi)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRDiレジスタとTRDGRAi(TRDGRBi)レジスタのコンペア一致	バッファレジスタの内容をTRDGRAi(TRDGRBi)レジスタに転送
PWMモード		
リセット同期PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	バッファレジスタの内容をTRDGRAi(TRDGRBi)レジスタに転送
相補PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致 TRD1レジスタアンダフロー	バッファレジスタの内容をTRDGRB0、TRDGRA1、TRDGRB1レジスタに転送
PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	バッファレジスタの内容をTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに転送

i : 0 ~ 1

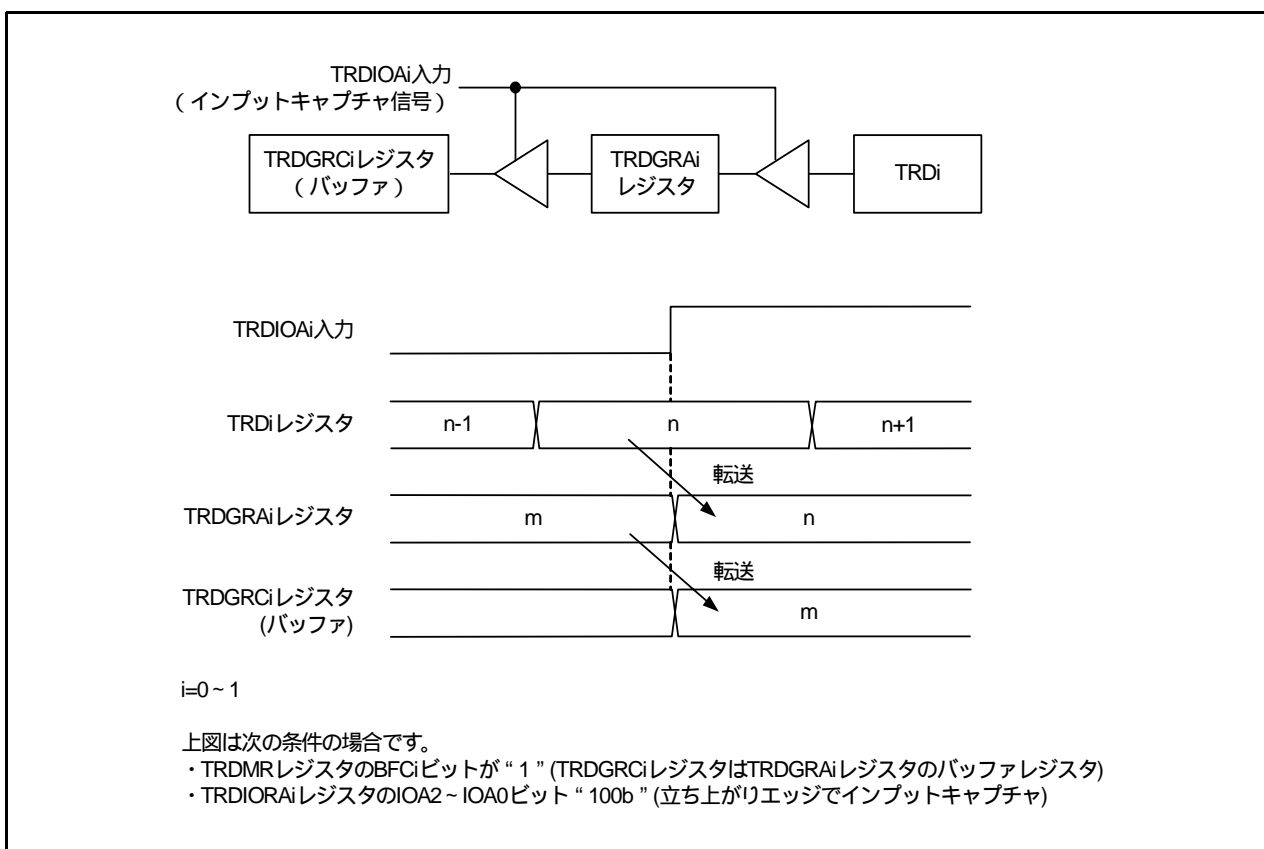


図20.3 インプットキャプチャ機能のバッファ動作

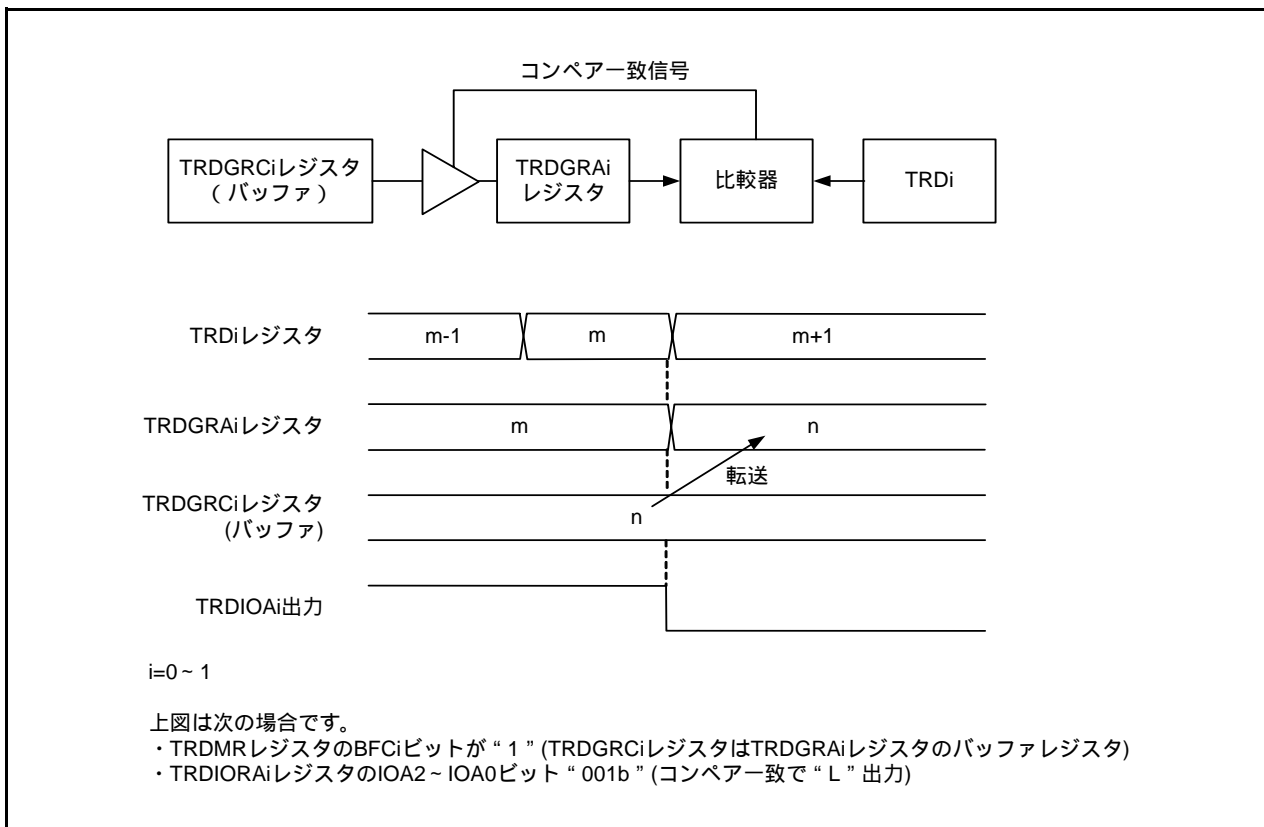


図20.4 アウトプットコンペアー機能のバッファ動作

タイマモード(インプットキャプチャ機能、アウトプットコンペアー機能)では次のようにしてください。

TRDGRCi( $i=0 \sim 1$ )レジスタをTRDGRAiレジスタのバッファレジスタに使用する場合

- ・TRDIORCiレジスタのIOC3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- ・TRDIORCiレジスタのIOC2ビットは、TRDIOAiレジスタのIOA2ビットと同じ設定にしてください。

TRDGRDiレジスタをTRDGRBiレジスタのバッファレジスタに使用する場合

- ・TRDIORDiレジスタのIOD3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- ・TRDIORCiレジスタのIOD2ビットは、TRDIOAiレジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDIOCi端子の入力エッジでTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

アウトプットコンペアー機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードでは、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDiレジスタとのコンペアー致でTRDSRiレジスタのIMFC、IMFDビットが“1”になります。



### 20.2.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

•同期プリセット

TRDMRレジスタのSYNCビットが“1”(同期動作)の場合、TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれます。

•同期クリア

TRDMRレジスタのSYNCビットが“1”で、かつTRDCR0レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD0レジスタはTRD1レジスタが“0000h”になるとき、同時に“0000h”になります。

同様に、TRDMRレジスタのSYNCビットが“1”で、かつTRDCR1レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD1レジスタはTRD0レジスタが“0000h”になるとき、同時に“0000h”になります。

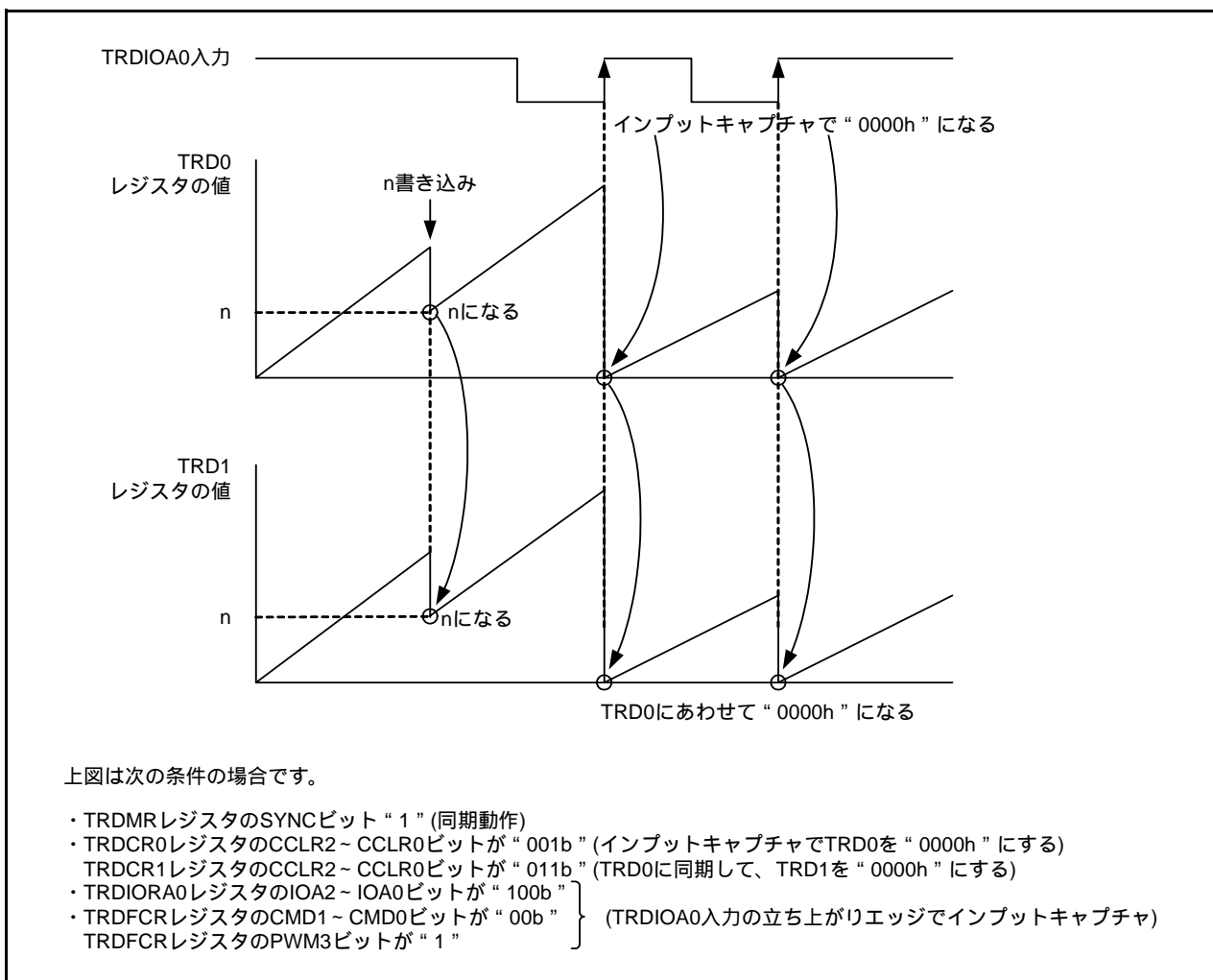


図20.5 同期動作

#### 20.2.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、INT0端子の入力によってTRDIO $ji$ ( $i=0\sim 1$ 、 $j=A、B、C、D$ のいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを“0”(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが“1”(パルス出力強制遮断信号入力INT0有効)のとき、INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(タイマRD出力禁止、TRDIO $ji$ 出力端子はプログラマブル入出力ポート)になります。INT0端子に“L”を入力してから、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の1~2サイクル後にTRDIO $ji$ 出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、“L”出力、または“H”出力)をP2レジスタとPD2レジスタで設定。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- PD4レジスタのPD4\_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで設定。
- TRDOER2レジスタのPTOビットを“1”(パルス出力強制遮断信号入力INT0有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、INT0端子入力の変化に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります。

割り込みの詳細は、「11. 割り込み」を参照してください。

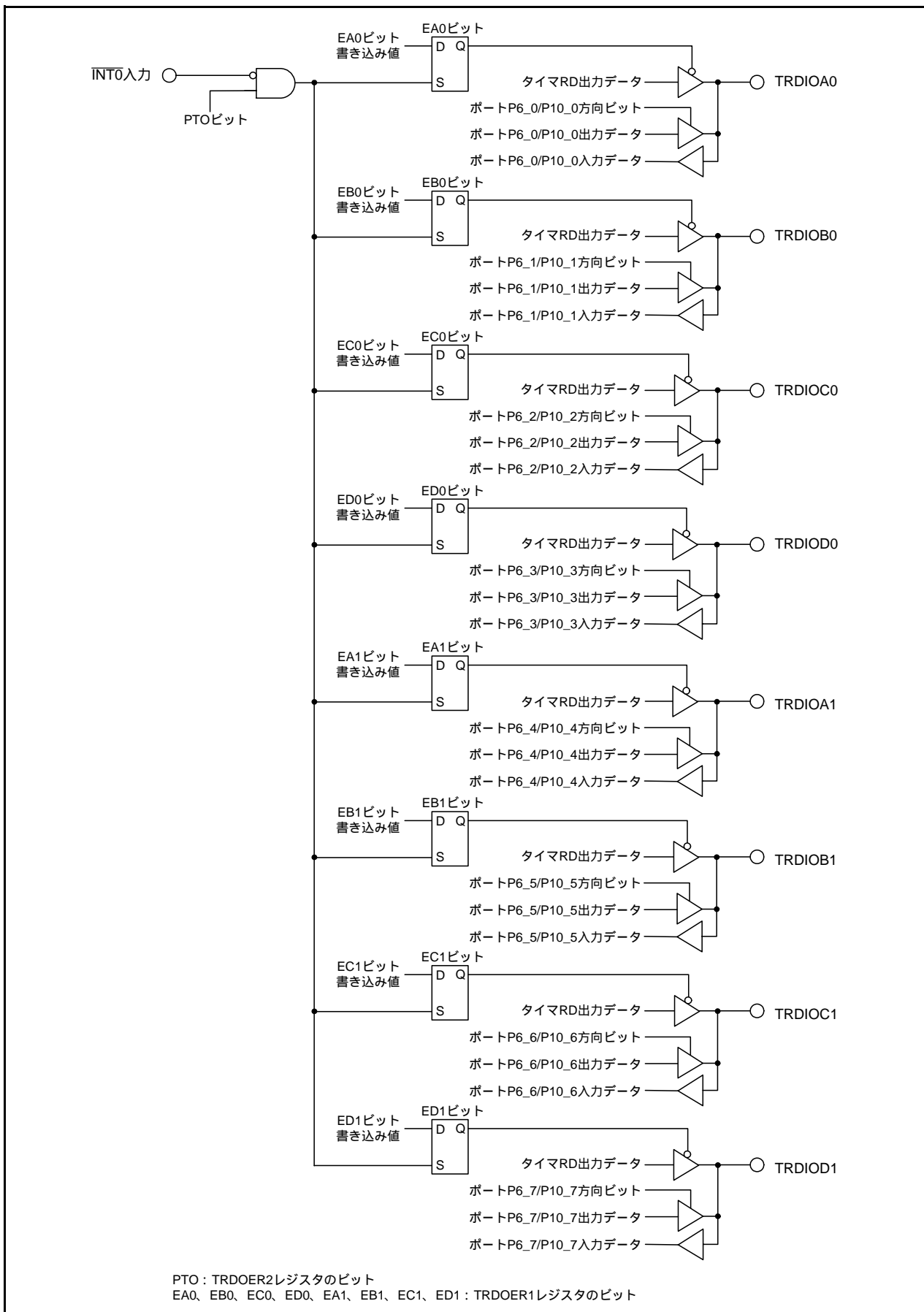


図20.6 パルス出力強制遮断

### 20.3 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO<sub>ji</sub>(*i*=0 ~ 1, *j*=A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRD<sub>i</sub>レジスタ(カウンタ)の内容をTRDGR<sub>ji</sub>レジスタに転送します(インพุットキャプチャ)。TRDIO<sub>ji</sub>端子とTRDGR<sub>ji</sub>レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインพุットキャプチャのトリガ入力として選択できます。

図 20.7 にインพุットキャプチャ機能のブロック図を、表 20.5 にインพุットキャプチャ機能の仕様を、図 20.8 にインพุットキャプチャ機能の動作例を示します。

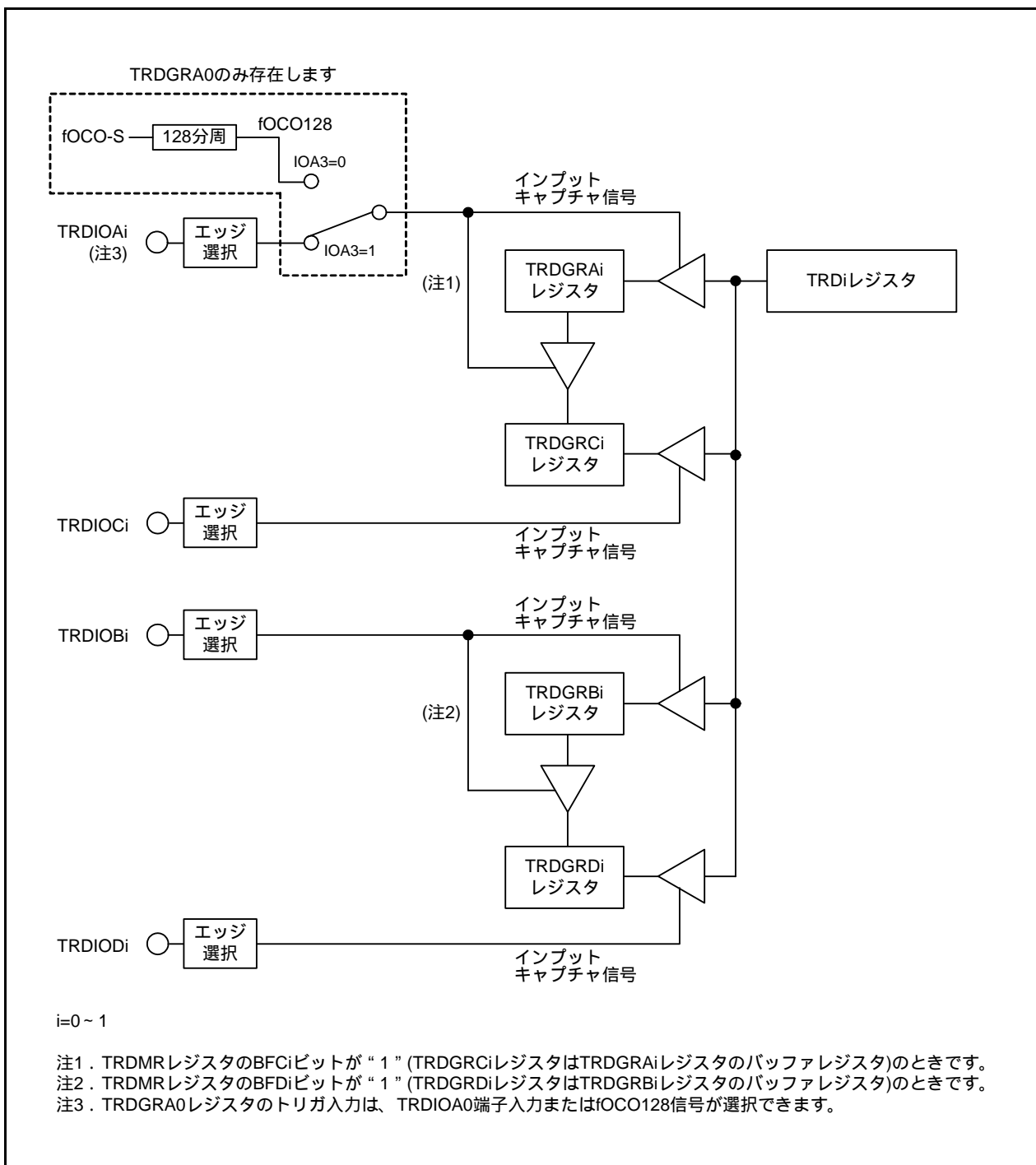


図 20.7 インพุットキャプチャ機能のブロック図

表20.5 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fC2 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>インพุットキャプチャ (TRDIOji入力の有効エッジ、またはfOCO128信号のエッジ)</li> <li>TRDiオーバフロー</li> </ul>
TRDIOA0端子機能	プログラマブル入出力ポート、インพุットキャプチャ入力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはインพุットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める。</li> <li>TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>インพุットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本</li> <li>インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方</li> <li>TRDiを“0000h”にするタイミング オーバフロー、またはインพุットキャプチャ時</li> <li>バッファ動作(「20.2.2 バッファ動作」参照)</li> <li>同期動作(「20.2.3 同期動作」参照)</li> <li>デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす</li> <li>インพุットキャプチャトリガ選択 TRDGRA0レジスタのインพุットキャプチャトリガ入力にfOCO128を選択できる</li> </ul>

i=0 ~ 1、j=A、B、C、Dのいずれか

### 20.3.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。
- 注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

### 20.3.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択(注1)	R/W

- 注1. タイマモードのとき有効です。

### 20.3.3 タイマRDスタートレジスタ(TRDSTR)[インプットキャプチャ機能時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ	0: カウント停止 1: カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ		R/W
b2	CSEL0	TRD0カウント動作選択ビット	インプットキャプチャ機能では“1”にしてください	R/W
b3	CSEL1	TRD1カウント動作選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。		-
b5	-	読んだ場合、その値は“1”。		-
b6	-			-
b7	-			-

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。  
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

### 20.3.4 タイマRDモードレジスタ(TRDMR)[インプットキャプチャ機能時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0: TRD0とTRD1は独立動作 1: TRD0とTRD1は同期動作	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。		-
b2	-	読んだ場合、その値は“1”。		-
b3	-			-
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	R/W

### 20.3.5 タイマRD PWMモードレジスタ(TRDPMR)[インプットキャプチャ機能時]

アドレス 0139h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PWMD1	PWMC1	PWMB1	-	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	インプットキャプチャ機能では“0”(タイマモード)にしてください	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-
b4	PWMB1	TRDIOB1 PWMモード選択ビット	インプットキャプチャ機能では“0”(タイマモード)にしてください	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-

### 20.3.6 タイマRD機能制御レジスタ(TRDFCR)[インプットキャプチャ機能時]

アドレス 013Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1)	インプットキャプチャ機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	インプットキャプチャ機能では無効です	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット		0: 外部クロック入力無効 1: 外部クロック入力有効
b7	PWM3	PWM3モード選択ビット(注2)	インプットキャプチャ機能では“1”(PWM3モード以外)にしてください	R/W

注1. CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1 ~ CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。



### 20.3.7 タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi)(i = 0 ~ 1) [インプットキャプチャ機能時]

アドレス 013Eh番地 (TRDDF0)、013Fh番地 (TRDDF1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	-	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRDIOA端子デジタルフィルタ機能 選択ビット	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRDIOB端子デジタルフィルタ機能 選択ビット		R/W
b2	DFC	TRDIOC端子デジタルフィルタ機能 選択ビット		R/W
b3	DFD	TRDIOD端子デジタルフィルタ機能 選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット	b7 b6 00: f32 01: f8 10: f1 11: カウントソース (TRDCRiレジスタのTCK0 ~ TCK2ビットで選択したクロック)	R/W
b7	DFCK1			R/W

### 20.3.8 タイマRD制御レジスタi (TRDCRi)(i = 0 ~ 1)[インプットキャプチャ機能時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRAiのインプットキャプチャでクリア 0 1 0 : TRDGRBiのインプットキャプチャでクリア 0 1 1 : 同期クリア(他のタイマRDiのカウンタと同時 時にクリア)(注4) 1 0 0 : 設定しないでください 1 0 1 : TRDGRCiのインプットキャプチャでクリア 1 1 0 : TRDGRDiのインプットキャプチャでクリア 1 1 1 : 設定しないでください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

### 20.3.9 タイマRD I/O制御レジスタAi (TRDIORAi)(i = 0 ~ 1) [インプットキャプチャ機能時]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット	b1 b0 00: 立ち上がりエッジでTRDGRAiへインプットキャプチャ 01: 立ち下がりエッジでTRDGRAiへインプットキャプチャ 10: 両エッジでTRDGRAiへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRDGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット(注3、4)	0: fOCO128信号 1: TRDIOA0端子入力	R/W
b4	IOB0	TRDGRB制御ビット	b5 b4 00: 立ち上がりエッジでTRDGRBiへインプットキャプチャ 01: 立ち下がりエッジでTRDGRBiへインプットキャプチャ 10: 両エッジでTRDGRBiへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDIORA0レジスタのみ有効です。TRDIORA1レジスタは、“1”にしてください。

注4. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

### 20.3.10 タイマRD I/O制御レジスタCi (TRDIORCi)(i = 0 ~ 1) [インプットキャプチャ機能時]

アドレス 0142h 番地 (TRDIORC0)、0152h 番地 (TRDIORC1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 00: 立ち上がりエッジでTRDGRCiへインプットキャプチャ 01: 立ち下がりエッジでTRDGRCiへインプットキャプチャ 10: 両エッジでTRDGRCiへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRC モード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRDGRC レジスタ機能選択ビット	インプットキャプチャ機能では“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください	R/W
b4	IOD0	TRDGRD 制御ビット	b5 b4 00: 立ち上がりエッジでTRDGRDiへインプットキャプチャ 01: 立ち下がりエッジでTRDGRDiへインプットキャプチャ 10: 両エッジでTRDGRDiへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRD モード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRDGRD レジスタ機能選択ビット	インプットキャプチャ機能では“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください	R/W

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

### 20.3.11 タイマRDステータスレジスタ $i$ (TRDSR $i$ )( $i = 0 \sim 1$ ) [インプットキャプチャ機能時]

アドレス 0143h 番地 (TRDSR0)、0153h 番地 (TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0 レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1 レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDSR0 レジスタ： TRDIOA0 レジスタのIOA3ビットが“0” (fOCO128信号)の場合、fOCO128信号のエッジ TRDIOA0 レジスタのIOA3ビットが“1” (TRDIOA0入力)の場合、TRDIOA0端子の入力 エッジ(注3) TRDSR1 レジスタ： TRDIOA1端子の入力エッジ(注3)	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDIOBi端子の入力エッジ(注3)	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDIOCi端子の入力エッジ(注4)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDIODi端子の入力エッジ(注4)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	インプットキャプチャ機能では無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			

注1. TRDSR0 レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDIORAi レジスタのIOj1 ~ IOj0 ビット(j=AまたはB)で選択したエッジ。

注4. TRDIORCi レジスタのIOk1 ~ IOk0 ビット(k=CまたはD)で選択したエッジ。

TRDMR レジスタのBFki ビットが“1”(TRDGRkiはバッファレジスタ)の場合を含む。

### 20.3.12 タイマRD割り込み許可レジスタ $i$ (TRDIER $i$ )( $i = 0 \sim 1$ ) [インプットキャプチャ機能時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

### 20.3.13 タイマRDカウンタ $i$ (TRDi)( $i = 0 \sim 1$ )[インプットキャプチャ機能時]

アドレス 0147h ~ 0146h番地(TRD0)、0157h ~ 0156h番地(TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR $i$ レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 20.3.14 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[インプットキャプチャ機能時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、  
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、  
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、  
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.6 インプットキャプチャ機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インプットキャプチャ機能では、次のレジスタは無効です。  
TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表20.6 インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRDGRAi	-	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(「20.2.2 バッファ動作」参照)。	TRDIOAi
TRDGRDi	BFDi=1		TRDIOBi

i=0 ~ 1、j=A、B、C、Dのいずれか  
BFCi、BFDi : TRDMRレジスタのビット

TRDIOji端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが“0”)の場合、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

### 20.3.15 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス	0184h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 00: TRDIOA0/TRDCLK端子は使用しない 01: P6_0に割り当てる 10: P10_0に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 00: TRDIOB0端子は使用しない 01: P6_1に割り当てる 10: P10_1に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 00: TRDIOC0端子は使用しない 01: P6_2に割り当てる 10: P10_2に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 00: TRDIOD0端子は使用しない 00: P6_3に割り当てる 10: P10_3に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。



### 20.3.16 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス	0185h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 00: TRDIOA1端子は使用しない 01: P6_4に割り当てる 10: P10_4に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 00: TRDIOB1端子は使用しない 01: P6_5に割り当てる 10: P10_5に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 00: TRDIOC1端子は使用しない 01: P6_6に割り当てる 10: P10_6に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 00: TRDIOD1端子は使用しない 01: P6_7に割り当てる 10: P10_7に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

### 20.3.17 動作例

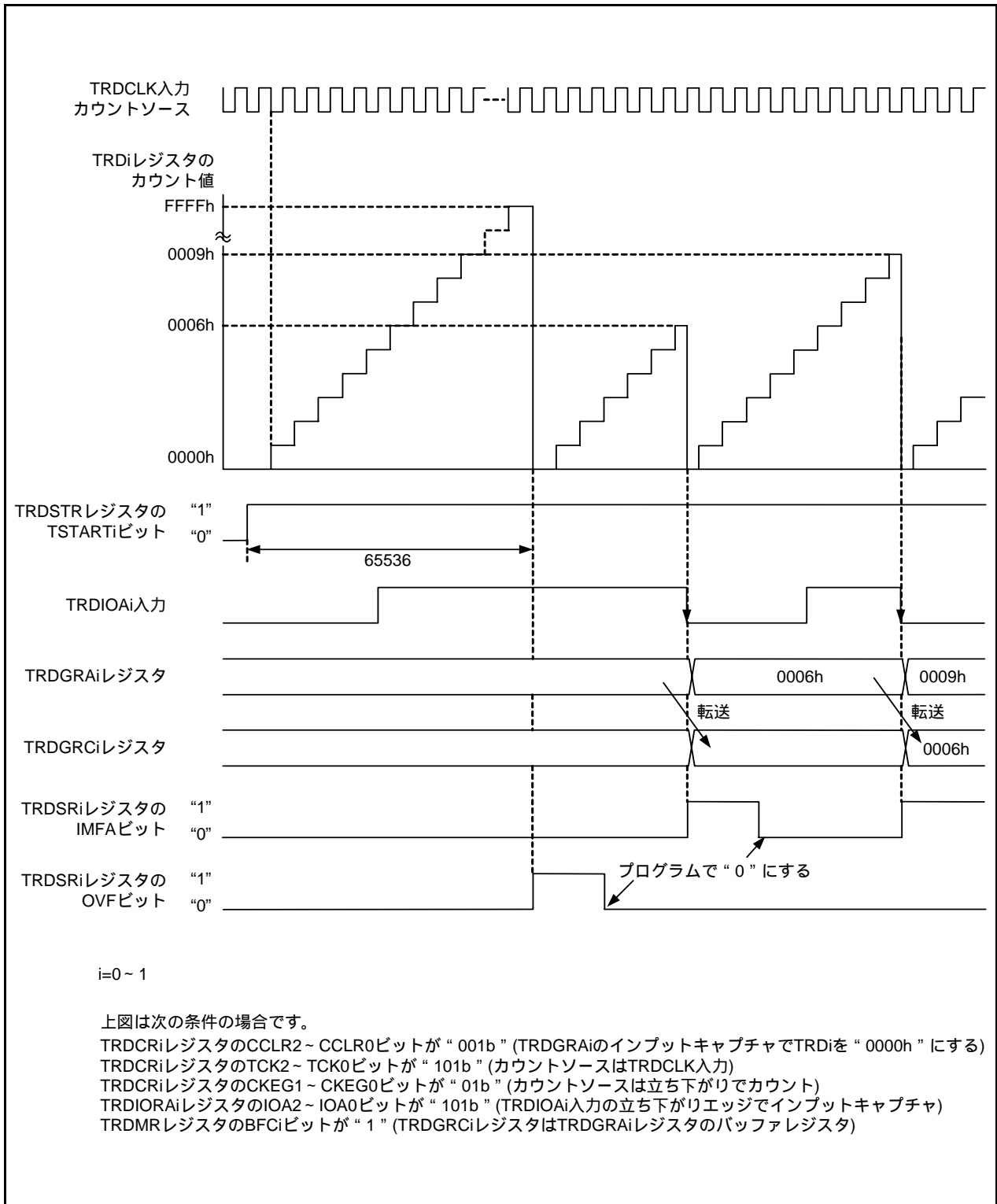


図20.8 インプットキャプチャ機能の動作例

### 20.3.18 デジタルフィルタ

TRDIO<sub>j</sub>(i=0 ~ 1、j=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図20.9にデジタルフィルタのブロック図を示します。

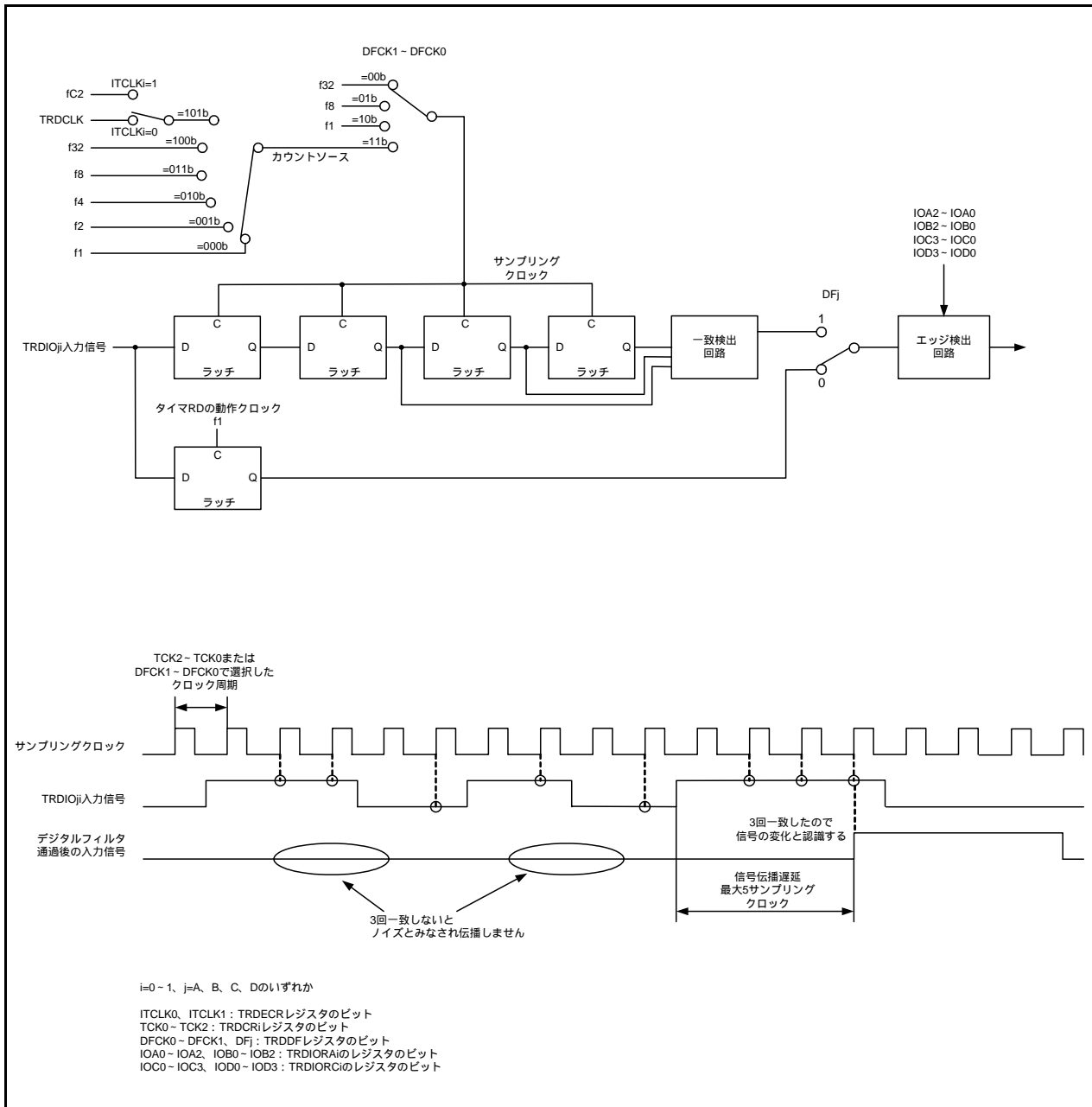


図20.9 デジタルフィルタのブロック図

## 20.4 アウトプットコンペア機能

TRD<sub>i</sub>(*i*=0 ~ 1)レジスタ(カウンタ)の内容と、TRDGR<sub>j</sub>(*j*=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRDIO<sub>j</sub>端子から任意のレベルを出力します。TRDIO<sub>j</sub>端子とTRDGR<sub>j</sub>レジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図20.10にアウトプットコンペア機能のブロック図を、表20.7にアウトプットコンペア機能の仕様を、図20.11にアウトプットコンペア機能の動作例を示します。

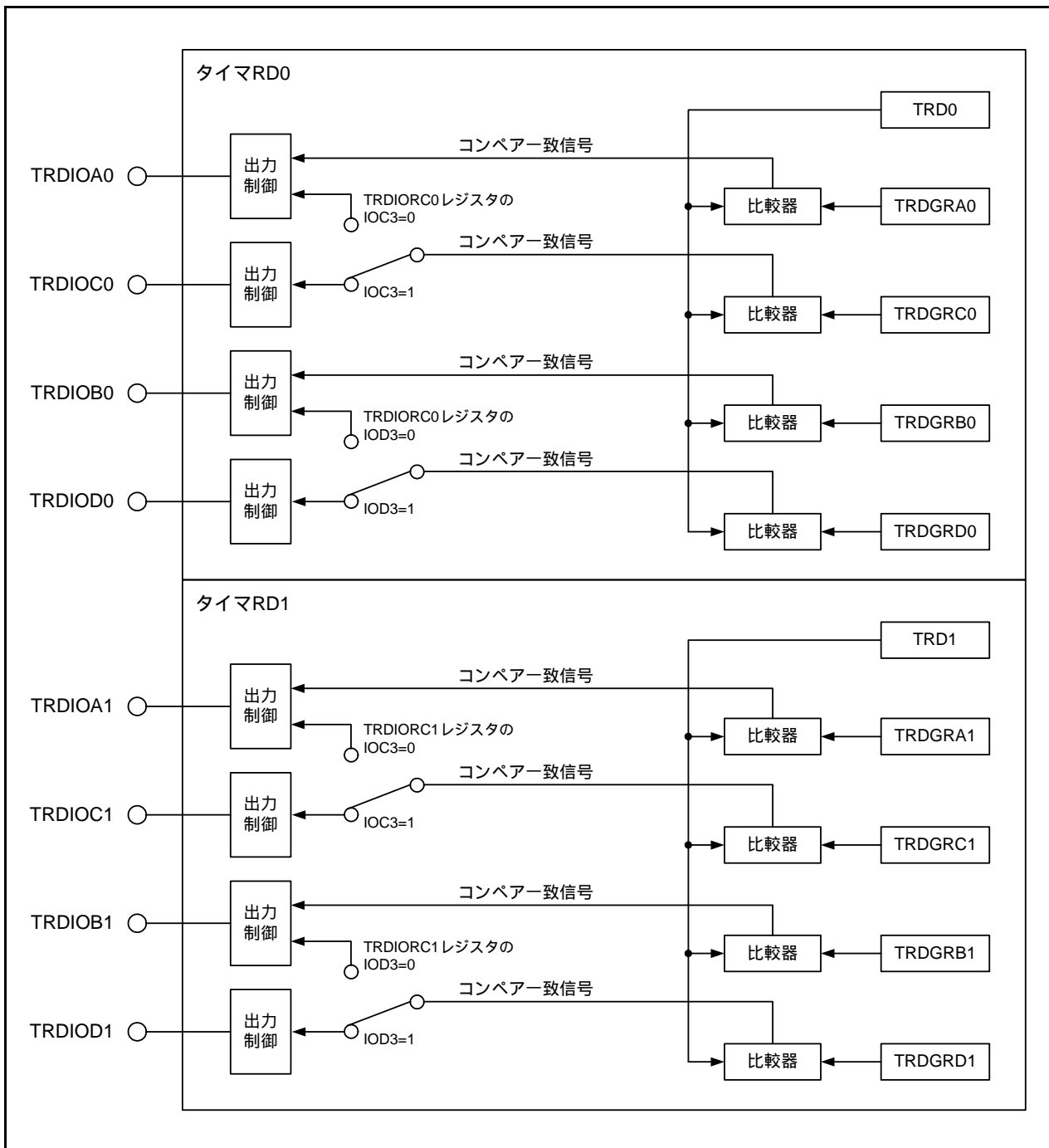


図20.10 アウトプットコンペア機能のブロック図

表20.7 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fC2 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 1/fk × 65536 fk: カウントソースの周波数</li> <li>TRDCRiレジスタのCCLR1 ~ CCLR0ビットが“01b”、“10b”(TRDGRjiのコンペア一致でTRDiを“0000h”にする)の場合 カウントソースの周期 × (n+1) n: TRDGRjiレジスタ設定値</li> </ul>
波形出力タイミング	コンペア一致
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持</li> <li>TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致)</li> <li>TRDiオーバフロー</li> </ul>
TRDIOA0端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める</li> <li>TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本</li> <li>コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転</li> <li>初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定</li> <li>TRDiを“0000h”にするタイミング オーバフロー、またはTRDGRAiレジスタのコンペア一致</li> <li>バッファ動作(「20.2.2 バッファ動作」参照)</li> <li>同期動作(「20.2.3 同期動作」参照)</li> <li>TRDGRCi、TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用できる</li> <li>パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照)</li> <li>タイマRDは出力しないことで内部タイマとして使用できる</li> <li>A/Dトリガ発生</li> </ul>

i=0 ~ 1、j=A、B、C、Dのいずれか

### 20.4.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。
- 注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

### 20.4.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0 : TRDCLK入力を選択 1 : fC2を選択(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0 : TRDCLK入力を選択 1 : fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

### 20.4.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

### 20.4.4 タイマRDスタートレジスタ(TRDSTR)[アウトプットコンペア機能時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0: カウント停止(注1) 1: カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペア一致でカウント停止 1: TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0: TRDGRA1レジスタとのコンペア一致でカウント停止 1: TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

- 注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。  
 注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。  
 注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。  
 注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。  
 タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。



### 20.4.5 タイマRDモードレジスタ(TRDMR)[アウトプットコンペア機能時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0: TRD0とTRD1は独立動作 1: TRD0とTRD1は同期動作	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGRC0レジスタ機能選択ビット (注1)	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット (注1)	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット (注1)	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット (注1)	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	R/W

注1. TRDIORC<sub>i</sub>(i=0~1)レジスタのIOj3(j=CまたはD)ビットで“0”(TRDGR<sub>ji</sub>レジスタ出力端子変更)を選択した場合、TRDMRレジスタのBF<sub>ji</sub>ビットを“0”にしてください。

### 20.4.6 タイマRD PWMモードレジスタ(TRDPMR)[アウトプットコンペア機能時]

アドレス 0139h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PWMD1	PWMC1	PWMB1	-	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	アウトプットコンペア機能では“0”(タイマモード)にしてください	-
b4	PWMB1	TRDIOB1 PWMモード選択ビット		R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

### 20.4.7 タイマRD機能制御レジスタ (TRDFCR)[アウトプットコンペア機能時]

アドレス 013Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1)	アウトプットコンペア機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	アウトプットコンペア機能では無効です	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	アウトプットコンペア機能では“1”(PWM3モード以外)にしてください	R/W

注1. CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1 ~ CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

### 20.4.8 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1) [アウトプットコンペア機能時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	R/W

### 20.4.9 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2) [アウトプットコンペア機能時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0:パルス出力強制遮断入力無効 1:パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4 パルス出力強制遮断」を参照してください。

### 20.4.10 タイマRDアウトプット制御レジスタ(TRDOCR)[アウトプットコンペア機能時]

アドレス 013Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	0:初期出力“L”	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット	1:初期出力“H”	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	0:“L” 1:“H”	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

TRDOCRレジスタが端子の機能が波形出力の場合(「6.6 ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

### 20.4.11 タイマRD制御レジスタi (TRDCRi)(i = 0 ~ 1)[アウトプットコンペア機能時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b1	TCK1			R/W
b2	TCK2			R/W
				R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRAiのコンペア一致でクリア 0 1 0 : TRDGRBiのコンペア一致でクリア 0 1 1 : 同期クリア(他のタイマRDiのカウントと同時にクリア)(注4) 1 0 0 : 設定しないでください 1 0 1 : TRDGRCiのコンペア一致でクリア 1 1 0 : TRDGRDiのコンペア一致でクリア 1 1 1 : 設定しないでください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

### 20.4.12 タイマRD I/O制御レジスタAi (TRDIORAi)(i = 0 ~ 1) [アウトプットコンペア機能時]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット	b1 b0 00: コンペア一致による端子出力禁止 (TRDIOAi端子はプログラマブル入出力ポート) 01: TRDGRAiのコンペア一致で“L”出力 10: TRDGRAiのコンペア一致で“H”出力 11: TRDGRAiのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRDGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット	“1”にしてください	R/W
b4	IOB0	TRDGRB制御ビット	b5 b4 00: コンペア一致による端子出力禁止 (TRDIOBi端子はプログラマブル入出力ポート) 01: TRDGRBiのコンペア一致で“L”出力 10: TRDGRBiのコンペア一致で“H”出力 11: TRDGRBiのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

### 20.4.13 タイマRD I/O制御レジスタCi (TRDIORCi)(i = 0 ~ 1) [アウトプットコンペア機能時]

アドレス 0142h 番地 (TRDIORC0)、0152h 番地 (TRDIORC1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 00 : コンペア一致による端子出力禁止 01 : TRDGRCiのコンペア一致で“L”出力 10 : TRDGRCiのコンペア一致で“H”出力 11 : TRDGRCiのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	0 : TRDIOA出力レジスタ (「20.4.21 TRDGRCi、TRDGRDi(i=0~1)レジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRDGRD制御ビット	b5 b4 00 : コンペア一致による端子出力禁止 01 : TRDGRDiのコンペア一致で“L”出力 10 : TRDGRDiのコンペア一致で“H”出力 11 : TRDGRDiのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	0 : TRDIOB出力レジスタ (「20.4.21 TRDGRCi、TRDGRDi(i=0~1)レジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

### 20.4.14 タイマRDステータスレジスタ<sub>i</sub> (TRDSR<sub>i</sub>)(*i* = 0 ~ 1) [アウトプットコンペア機能時]

アドレス 0143h 番地 (TRDSR<sub>0</sub>)、0153h 番地 (TRDSR<sub>1</sub>)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR <sub>0</sub> レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR <sub>1</sub> レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRA <sub>i</sub> の値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRB <sub>i</sub> の値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRC <sub>i</sub> の値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRD <sub>i</sub> の値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> がオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	アウトプットコンペア機能では無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			-

注1. TRDSR<sub>0</sub>レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF<sub>ji</sub>ビット(*j*=CまたはD)が“1”(TRDGR<sub>ji</sub>はバッファレジスタ)の場合を含む。



### 20.4.15 タイマRD割り込み許可レジスタ $i$ (TRDIER $i$ )( $i = 0 \sim 1$ ) [アウトプットコンペア機能時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致 割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致 割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致 割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致 割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

### 20.4.16 タイマRDカウンタ $i$ (TRDi)( $i = 0 \sim 1$ )[アウトプットコンペア機能時]

アドレス 0147h ~ 0146h番地(TRD0)、0157h ~ 0156h番地(TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR $i$ レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 20.4.17 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[アウトプットコンペア機能時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、  
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、  
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、  
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.8 アウトプットコンペア機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。  
TRDDF0、TRDDF1、TRDPCR0、TRDPCR1

表20.8 アウトプットコンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定		レジスタの機能	アウトプット コンペア出力端子
	BFji	IOj3		
TRDGRAi	-	-	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOAi
TRDGRBi				TRDIOBi
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOCi
TRDGRDi				TRDIODi
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください。 (「20.2.2 バッファ動作」参照)	TRDIOAi
TRDGRDi				TRDIOBi
TRDGRCi	0	0	TRDIOAi出力制御(「20.4.21 TRDGRCi、TRDGRDi(i=0 ~ 1)レジスタの出力端子変更」参照)	TRDIOAi
TRDGRDi				TRDIOBi

i=0 ~ 1、j=A、B、C、Dのいずれか

BFji : TRDMRレジスタのビット IOj3 : TRDIORCiレジスタのビット

### 20.4.18 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス	0184h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 00: TRDIOA0/TRDCLK端子は使用しない 01: P6_0に割り当てる 10: P10_0に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 00: TRDIOB0端子は使用しない 01: P6_1に割り当てる 10: P10_1に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 00: TRDIOC0端子は使用しない 01: P6_2に割り当てる 10: P10_2に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 00: TRDIOD0端子は使用しない 01: P6_3に割り当てる 10: P10_3に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

### 20.4.19 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス	0185h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1 端子選択ビット	b1 b0 00 : TRDIOA1 端子は使用しない 01 : P6_4に割り当てる 10 : P10_4に割り当てる 11 : 設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1 端子選択ビット	b3 b2 00 : TRDIOB1 端子は使用しない 01 : P6_5に割り当てる 10 : P10_5に割り当てる 11 : 設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1 端子選択ビット	b5 b4 00 : TRDIOC1 端子は使用しない 01 : P6_6に割り当てる 10 : P10_6に割り当てる 11 : 設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1 端子選択ビット	b7 b6 00 : TRDIOD1 端子は使用しない 01 : P6_7に割り当てる 10 : P10_7に割り当てる 11 : 設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1 レジスタを設定してください。また、タイマRDの動作中はTRDPSR1 レジスタの設定値を変更しないでください。

20.4.20 動作例

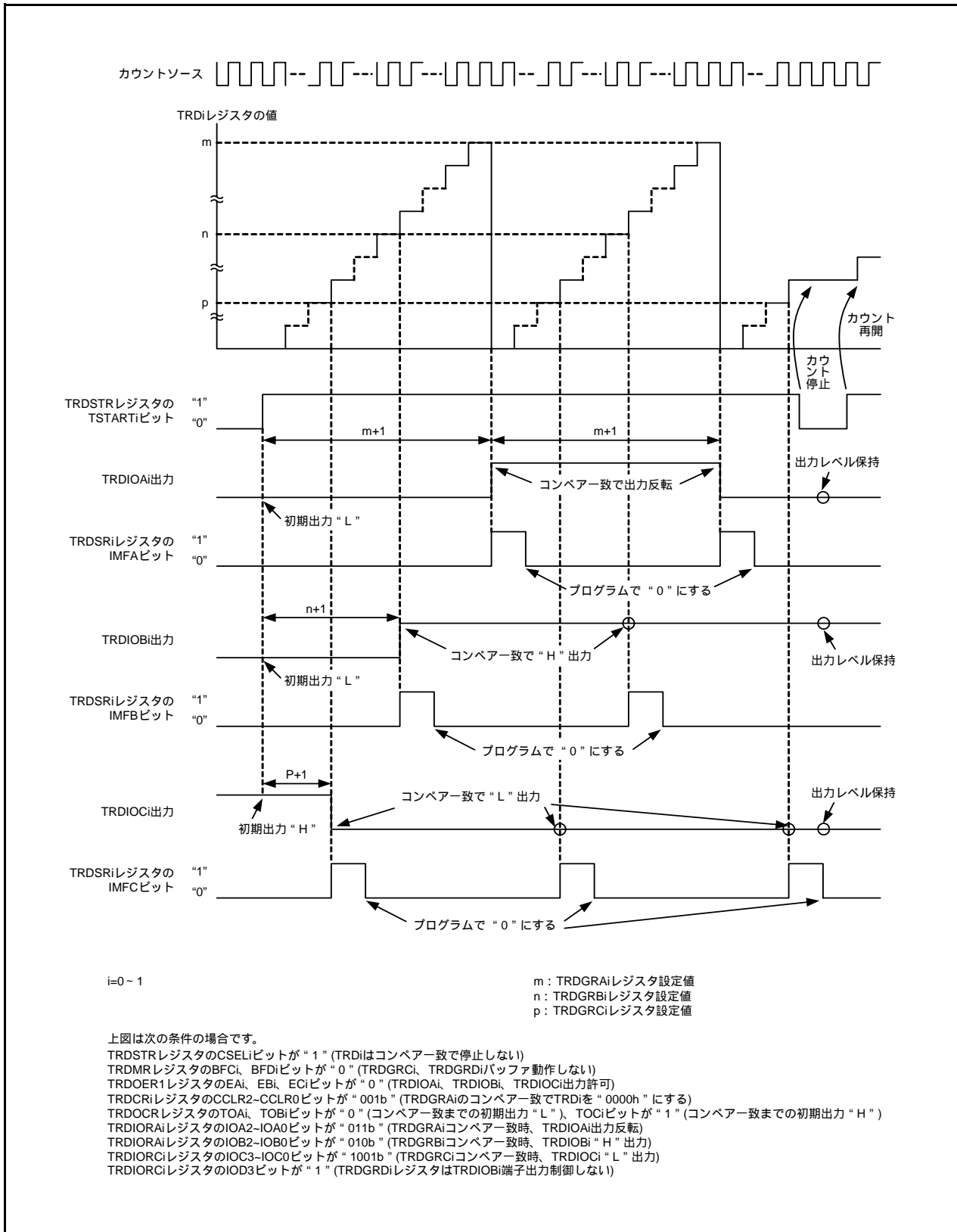


図20.11 アウトプットコンペアー機能の動作例

### 20.4.21 TRDGRCi、TRDGRDi(i=0 ~ 1) レジスタの出力端子変更

TRDGRCiレジスタをTRDIOAi端子の、TRDGRDiレジスタをTRDIOBi端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOAi出力は、TRDGRAiレジスタの値とTRDGRCiレジスタの値の2点で制御
- TRDIOBi出力は、TRDGRBiレジスタの値とTRDGRDiレジスタの値の2点で制御

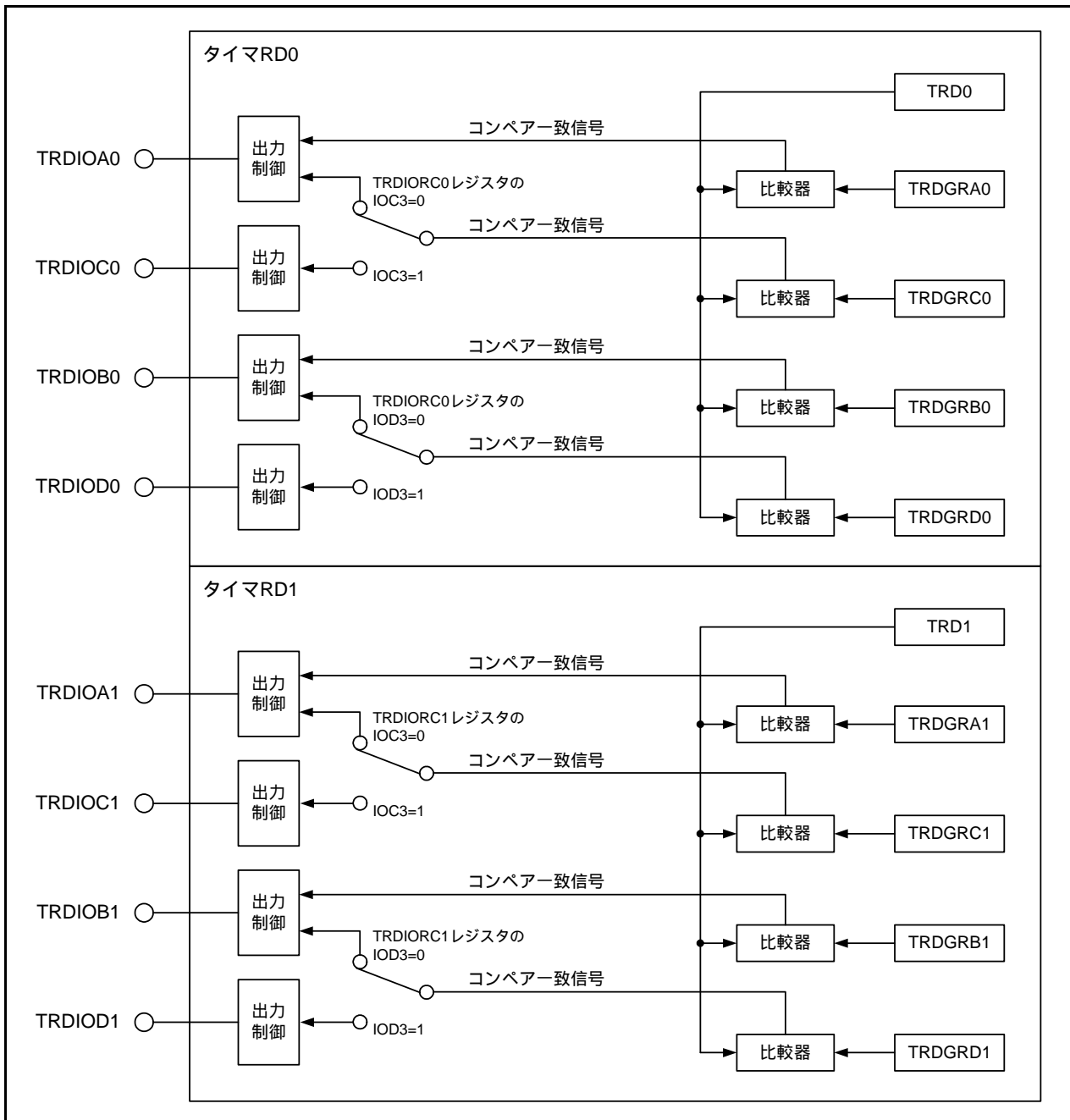


図20.12 TRDGRCi、TRDGRDiの出力端子変更

TRDGRCi、TRDGRDiレジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORCiレジスタのIOj3(j=CまたはD)ビットで“0”(TRDGRjiレジスタ出力端子変更)を選択。
- TRDMRレジスタのBFjiビットを“0”(ジェネラルレジスタ)にする。
- TRDGRAiレジスタとTRDGRCiレジスタは違う値を設定。また、TRDGRBiレジスタとTRDGRDiレジスタは違う値を設定。

図20.13にTRDGRC<sub>i</sub>をTRDIOA<sub>i</sub>端子の、TRDGRD<sub>i</sub>をTRDIOB<sub>i</sub>端子の出力制御に使用した場合の動作例を示します。

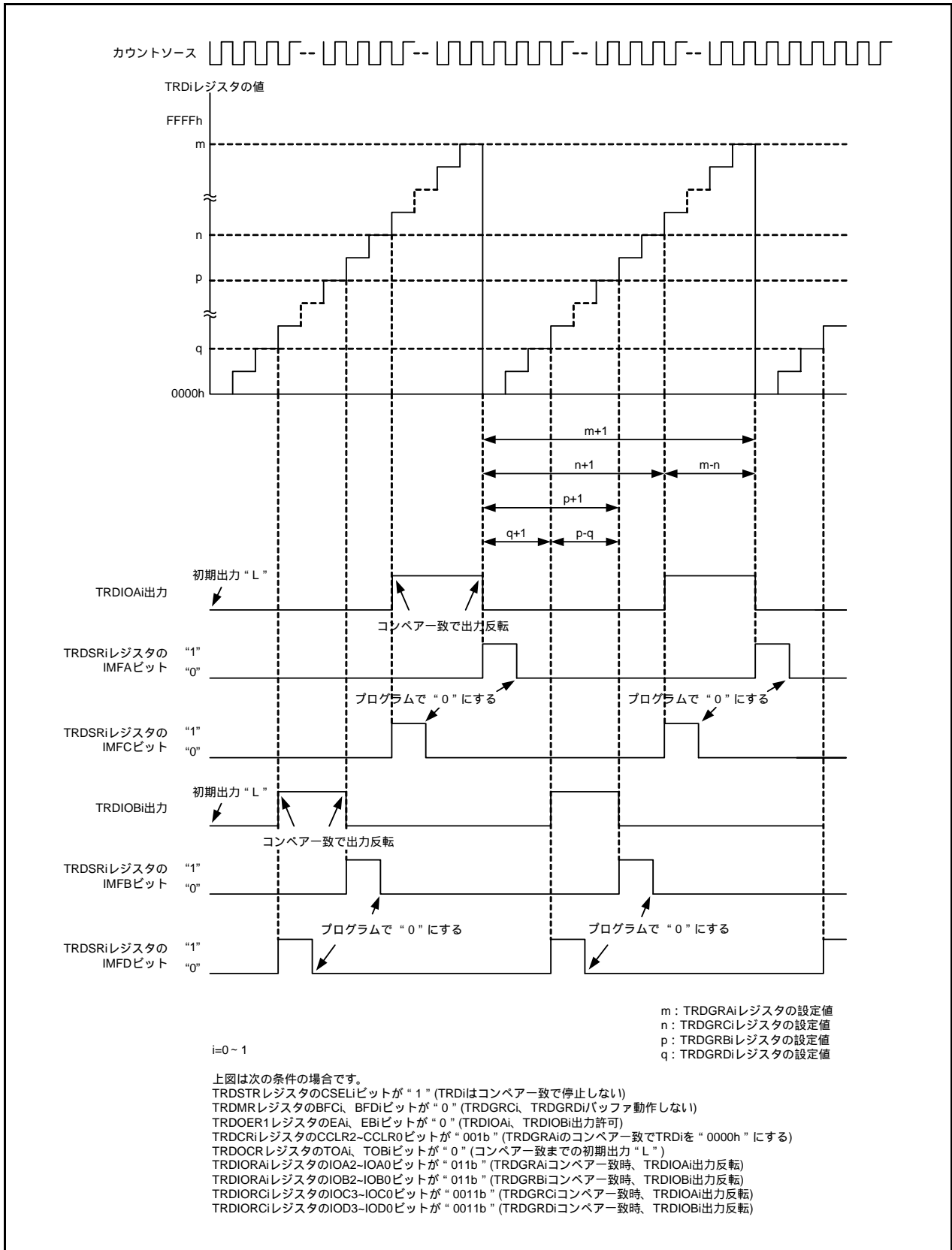


図20.13 TRDGRC<sub>i</sub>をTRDIOA<sub>i</sub>端子の、TRDGRD<sub>i</sub>をTRDIOB<sub>i</sub>端子の出力制御に使用した場合の動作例

### 20.4.22 A/Dトリガ発生

TRDi( $i = 0 \sim 1$ )レジスタとTRDGRj( $j = A, B, C, D$ )レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。



## 20.5 PWMモード

PWM波形を出力するモードです。タイマRD $i$ ( $i = 0 \sim 1$ )で同周期のPWM波形を最大3本出力できます。また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。

TRDIO $j$  $i$ ( $i = 0 \sim 1, j = B, C, D$ )端子とTRDGR $j$  $i$ レジスタの組み合わせで機能しますので、端子1本ごとにPWMモードにするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWMモードに使用する場合もTRDGRA $i$ レジスタを使用しますので、TRDGRA $i$ レジスタは他のモードに使用できません)。

図20.14にPWMモードのブロック図を、表20.9にPWMモードの仕様を、図20.15～図20.16にPWMモードの動作例を示します。

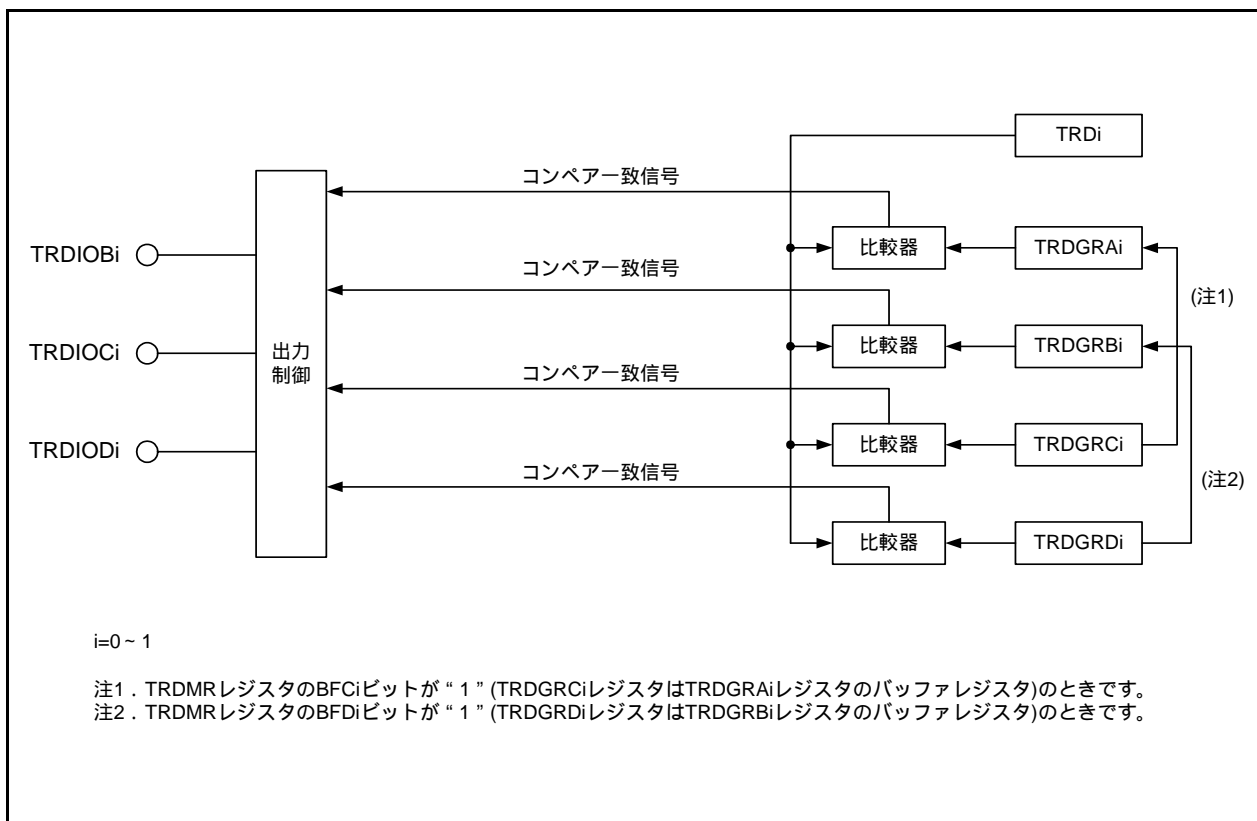
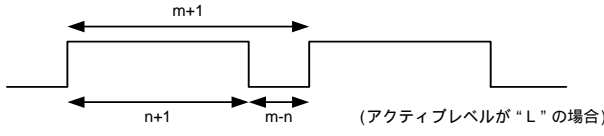


図20.14 PWMモードのブロック図

表20.9 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	<p>PWM周期: <math>1/f_k \times (m+1)</math>                      アクティブレベル幅: <math>1/f_k \times (m-n)</math>                      アクティブでないレベルの幅: <math>1/f_k \times (n+1)</math>  <math>f_k</math>: カウントソースの周波数  <math>m</math>: TRDGRAiレジスタ設定値  <math>n</math>: TRDGRjiレジスタ設定値</p>  <p>(アクティブレベルが“L”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持</li> <li>TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRDiレジスタとTRDGRhiレジスタの内容が一致)</li> <li>TRDiオーバフロー</li> </ul>
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOA1端子機能	プログラマブル入出力ポート
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>PWM出力端子をタイマRD<sub>i</sub>で1~3本選択 TRDIOB<sub>i</sub>、TRDIOC<sub>i</sub>、TRDIOD<sub>i</sub>端子のいずれか1本または複数本</li> <li>アクティブレベルを1端子ごとに選択</li> <li>初期出力レベルを1端子ごとに選択</li> <li>同期動作(「20.2.3 同期動作」参照)</li> <li>バッファ動作(「20.2.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照)</li> <li>A/Dトリガ発生</li> </ul>

i=0 ~ 1

j = B、C、Dのいずれか

h = A、B、C、Dのいずれか

### 20.5.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。
- 注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

### 20.5.2 タイマRD拡張制御レジスタ (TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0 : TRDCLK入力を選択 1 : fC2を選択(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0 : TRDCLK入力を選択 1 : fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

### 20.5.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

### 20.5.4 タイマRDスタートレジスタ(TRDSTR)[PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0: カウント停止(注1) 1: カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペアー一致でカウント停止 1: TRDGRA0レジスタとのコンペアー一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0: TRDGRA1レジスタとのコンペアー一致でカウント停止 1: TRDGRA1レジスタとのコンペアー一致後もカウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。  
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

### 20.5.5 タイマRDモードレジスタ(TRDMR)[PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0: TRD0とTRD1は独立動作 1: TRD0とTRD1は同期動作	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGR0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGR1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	R/W

### 20.5.6 タイマRD PWMモードレジスタ(TRDPMR)[PWMモード時]

アドレス 0139h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PWMD1	PWMC1	PWMB1	-	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	0: タイマモード 1: PWMモード	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-
b4	PWMB1	TRDIOB1 PWMモード選択ビット	0: タイマモード 1: PWMモード	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-

### 20.5.7 タイマRD機能制御レジスタ(TRDFCR)[PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1)	PWMモードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	PWMモードでは無効です	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット		0: 外部クロック入力無効 1: 外部クロック入力有効
b7	PWM3	PWM3モード選択ビット(注2)	PWMモードでは“1”(PWM3モード以外)にしてください	R/W

注1. CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1 ~ CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

### 20.5.8 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	PWMモードでは、“1”(TRDIOA1端子はプログラマブル入出力ポート)にしてください	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

### 20.5.9 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4 パルス出力強制遮断」を参照してください。

### 20.5.10 タイマRDアウトプット制御レジスタ(TRDOCR)[PWMモード時]

アドレス 013Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	PWMモードでは、“0”にしてください	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0：初期出力はアクティブでないレベル 1：初期出力はアクティブレベル	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット(注1)		R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット(注1)		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット	PWMモードでは、“0”にしてください	R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット(注1)	0：アクティブでないレベル 1：アクティブレベル	R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット(注1)		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット(注1)		R/W

注1. 端子の機能が波形出力の場合(「6.6 ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。  
TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

### 20.5.11 タイマRD制御レジスタi (TRDCRi)(i = 0 ~ 1)[PWMモード時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	PWMモードでは“001b”(TRDGRAiとのコンペアー一致でTRDiレジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。



### 20.5.12 タイマRDステータスレジスタ<sub>i</sub> (TRDSR<sub>i</sub>)(<sub>i</sub> = 0 ~ 1)[PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRA <sub>i</sub> の値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRB <sub>i</sub> の値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRC <sub>i</sub> の値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRD <sub>i</sub> の値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> がオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	PWMモードでは無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF<sub>ji</sub>ビット(j=CまたはD)が“1”(TRDGR<sub>ji</sub>はバッファレジスタ)の場合を含む。

### 20.5.13 タイマRD割り込み許可レジスタi (TRDIERi)(i = 0 ~ 1)[PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

### 20.5.14 タイマRD PWMモードアウトプットレベル制御レジスタi (TRDPOCRi)(i = 0 ~ 1) [PWMモード時]

アドレス 0145h番地(TRDPOCR0)、0155h番地(TRDPOCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	POLD	POLC	POLB
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御 ビットB	0 : TRDIOBiの出力レベルは“L”アクティブ 1 : TRDIOBiの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御 ビットC	0 : TRDIOCiの出力レベルは“L”アクティブ 1 : TRDIOCiの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御 ビットD	0 : TRDIODiの出力レベルは“L”アクティブ 1 : TRDIODiの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	-			
b6	-			
b7	-			

### 20.5.15 タイマRDカウンタ $i$ (TRDi)( $i = 0 \sim 1$ )[PWMモード時]

アドレス 0147h ~ 0146h番地 (TRD0)、0157h ~ 0156h番地 (TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSRiレジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 20.5.16 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[PWMモード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、  
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、  
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、  
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.10 PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWMモードでは、次のレジスタは無効です。

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表20.10 PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	-	ジェネラルレジスタ。PWM周期を設定してください。	-
TRDGRBi	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。次回のPWM周期を設定してください (「20.2.2 バッファ動作」参照)。	-
TRDGRDi	BFDi=1	バッファレジスタ。次回のPWM出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。	TRDIOBi

i=0 ~ 1

BFCi、BFDi : TRDMRレジスタのビット

### 20.5.17 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス	0184h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 00: TRDIOA0/TRDCLK端子は使用しない 01: P6_0に割り当てる 10: P10_0に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 00: TRDIOB0端子は使用しない 01: P6_1に割り当てる 10: P10_1に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 00: TRDIOC0端子は使用しない 01: P6_2に割り当てる 10: P10_2に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 00: TRDIOD0端子は使用しない 00: P6_3に割り当てる 10: P10_3に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

### 20.5.18 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス	0185h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1 端子選択ビット	b1 b0 00 : TRDIOA1 端子は使用しない 01 : P6_4に割り当てる 10 : P10_4に割り当てる 11 : 設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1 端子選択ビット	b3 b2 00 : TRDIOB1 端子は使用しない 01 : P6_5に割り当てる 10 : P10_5に割り当てる 11 : 設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1 端子選択ビット	b5 b4 00 : TRDIOC1 端子は使用しない 01 : P6_6に割り当てる 10 : P10_6に割り当てる 11 : 設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1 端子選択ビット	b7 b6 00 : TRDIOD1 端子は使用しない 01 : P6_7に割り当てる 10 : P10_7に割り当てる 11 : 設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1 レジスタを設定してください。また、タイマRDの動作中はTRDPSR1 レジスタの設定値を変更しないでください。

### 20.5.19 動作例

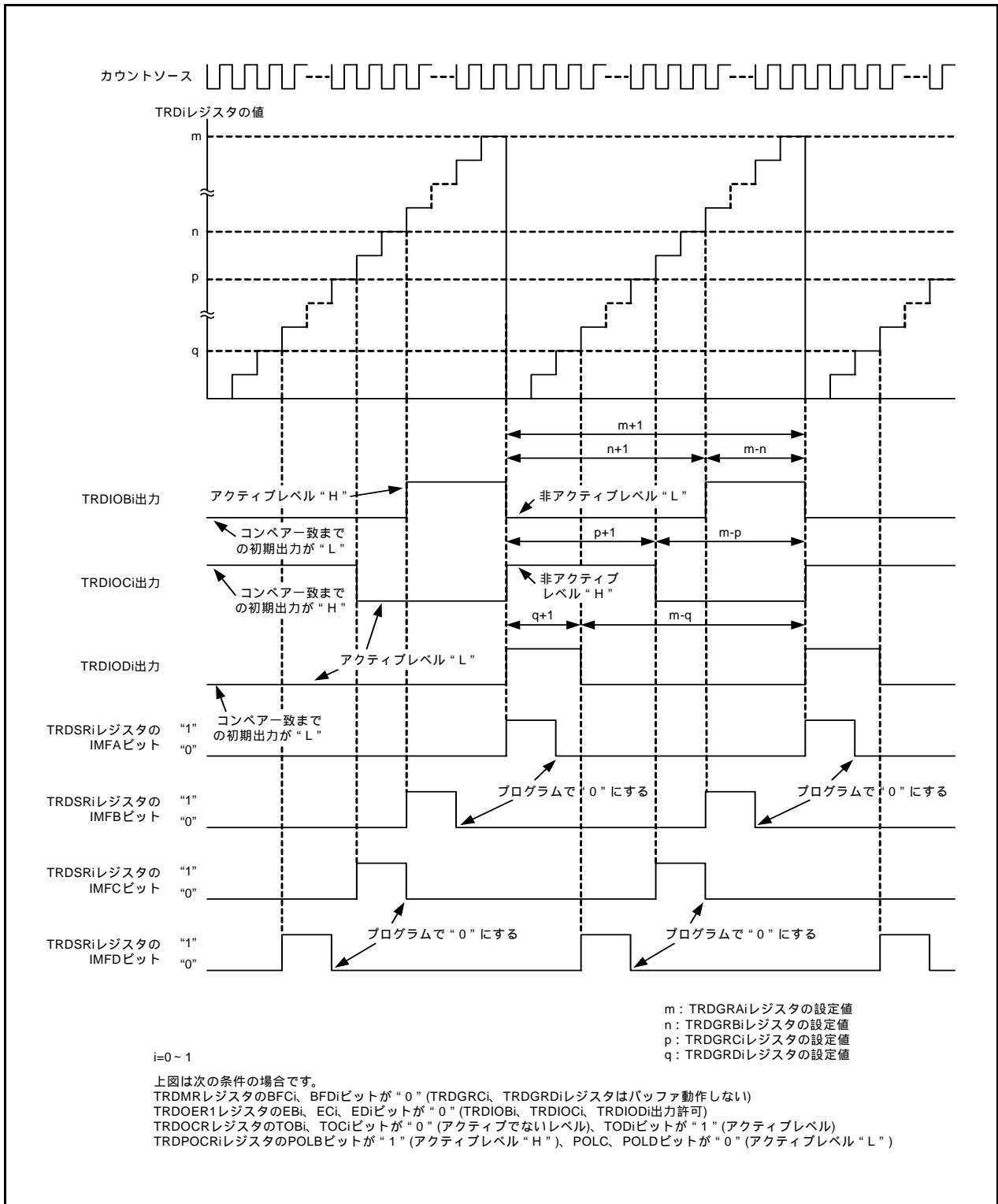


図20.15 PWMモードの動作例

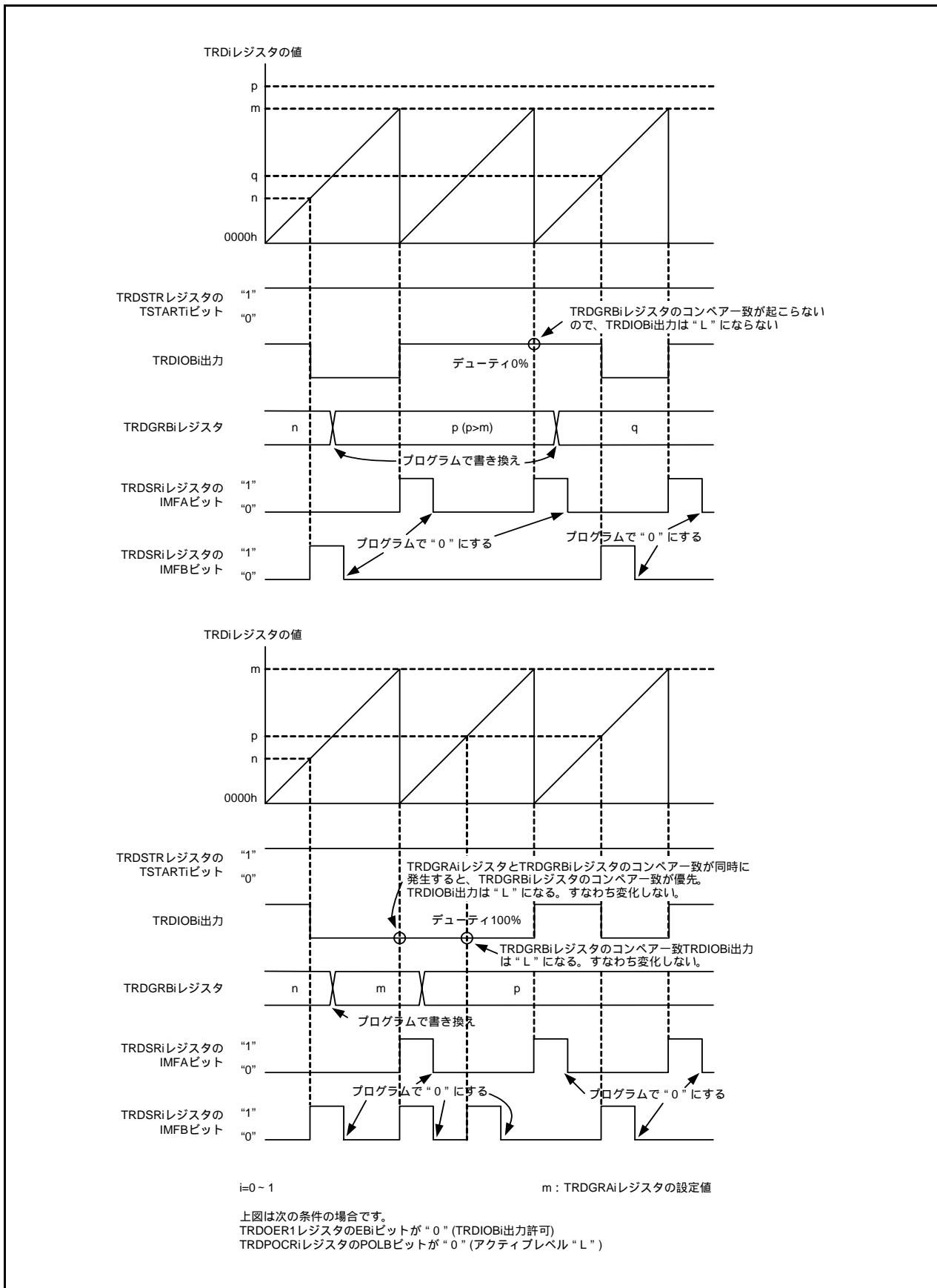


図 20.16 PWMモードの動作例(デューティ 0%、デューティ 100%)



### 20.5.20 A/Dトリガ発生

TRDi( $i = 0 \sim 1$ )レジスタとTRDGRj( $j = A, B, C, D$ )レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

## 20.6 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図20.17にリセット同期PWMモードのブロック図を、表20.11にリセット同期PWMモードの仕様を、  
図20.18にリセット同期PWMモードの動作例を示します。

デューティ0%、100%のPWM動作例は「図20.16 PWMモードの動作例(デューティ0%、デューティ100%)」を参照してください。

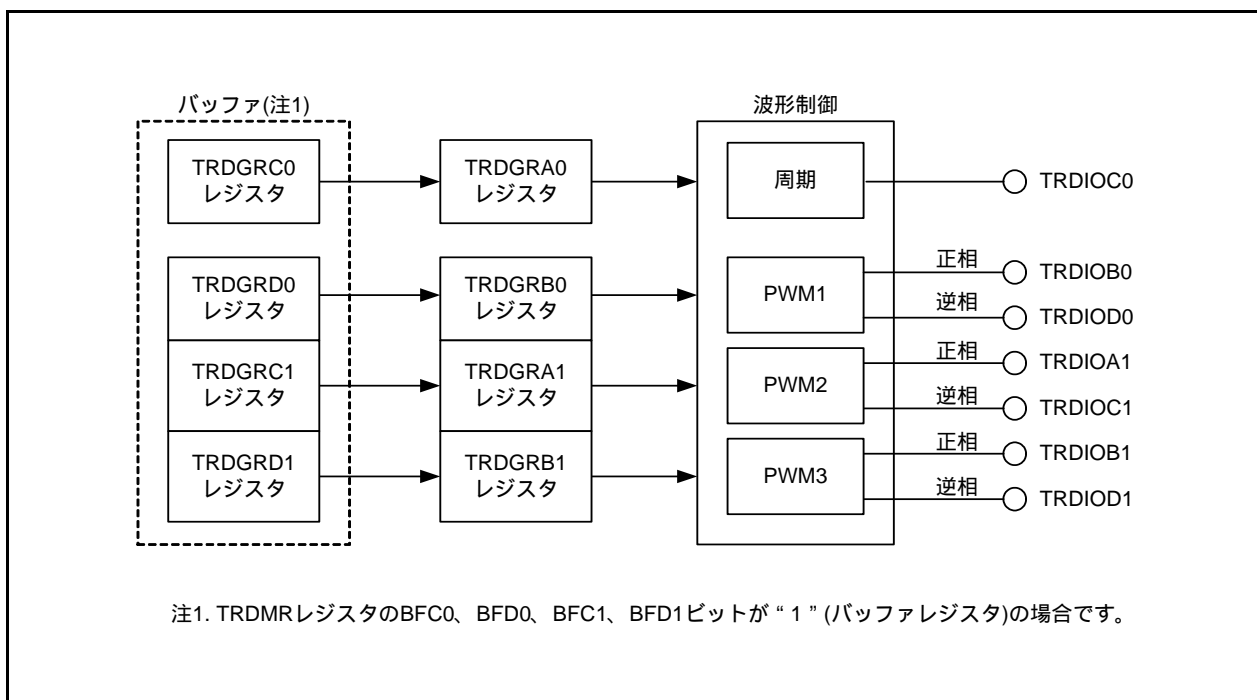


図20.17 リセット同期PWMモードのブロック図

表20.11 リセット同期PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	<p>PWM周期 : <math>1/f_k \times (m+1)</math>                      正相のアクティブレベル幅 : <math>1/f_k \times (m-n)</math>                      逆相のアクティブレベル幅 : <math>1/f_k \times (n+1)</math>  <math>f_k</math> : カウントソースの周波数  <math>m</math> : TRDGRA0レジスタ設定値  <math>n</math> : TRDGRB0レジスタ設定値(PWM出力1)、                      TRDGRA1レジスタ設定値(PWM出力2)、                      TRDGRB1レジスタ設定値(PWM出力3)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持</li> <li>• TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• コンペア一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致)</li> <li>• TRD0オーバフロー</li> </ul>
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>• 正相、逆相のアクティブレベルと初期出力レベルを個々に選択</li> <li>• パッファ動作(「20.2.2 パッファ動作」参照)</li> <li>• パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照)</li> <li>• A/Dトリガ発生</li> </ul>

j=A、B、C、Dのいずれか

### 20.6.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。
- 注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

### 20.6.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0 : TRDCLK入力を選択 1 : fC2を選択(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0 : TRDCLK入力を選択 1 : fC2を選択(注1)	R/W

注1. タイマモードのとき有効です。

### 20.6.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

### 20.6.4 タイマRDスタートレジスタ(TRDSTR)[リセット同期PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0: カウント停止(注1) 1: カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペアー一致でカウント停止 1: TRDGRA0レジスタとのコンペアー一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0: TRDGRA1レジスタとのコンペアー一致でカウント停止 1: TRDGRA1レジスタとのコンペアー一致後もカウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。  
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

### 20.6.5 タイマRDモードレジスタ(TRDMR)[リセット同期PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	リセット同期PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGR0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGR1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	R/W

### 20.6.6 タイマRD機能制御レジスタ(TRDFCR)[リセット同期PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1、2)	リセット同期PWMモードでは“01b”(リセット同期PWMモード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	0:初期出力“H”、アクティブレベル“L” 1:初期出力“L”、アクティブレベル“H”	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	リセット同期PWMモードでは無効です	R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0:外部クロック入力無効 1:外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注3)	リセット同期PWMモードでは無効です	R/W

- 注1. CMD1～CMD0ビットを“01b”、“10b”、“11b”に設定したとき、TRDPMRレジスタの設定にかかわらず、リセット同期PWMモードまたは相補PWMモードになります。
- 注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
- 注3. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

### 20.6.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[リセット同期PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	リセット同期PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

### 20.6.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[リセット同期PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4 パルス出力強制遮断」を参照してください。



### 20.6.9 タイマRD制御レジスタ0 (TRDCR0)[リセット同期PWMモード時]

アドレス 0140h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0	R/W
b1	TCK1		0 0 0 : f1	R/W
b2	TCK2		0 0 1 : f2	R/W
			0 1 0 : f4	
		0 1 1 : f8		
		1 0 0 : f32		
		1 0 1 : TRDCLK入力(注1)またはfC2(注2)		
		1 1 0 : 設定しないでください		
		1 1 1 : 設定しないでください		
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3	R/W
b4	CKEG1		0 0 : 立ち上がりエッジでカウント	R/W
		0 1 : 立ち下がりエッジでカウント		
		1 0 : 両エッジでカウント		
		1 1 : 設定しないでください		
b5	CCLR0	TRD0カウンタクリア選択ビット	リセット同期PWMモードでは“001b” (TRDGRA0とのコンペア一致でTRD0レジスタク リア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードでTRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK0～TCK2ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

リセット同期PWMモードでは、TRDCR1レジスタは使用しません。

### 20.6.10 タイマRDステータスレジスタ<sub>i</sub> (TRDSR<sub>i</sub>)(*i* = 0 ~ 1)[リセット同期PWMモード時]

アドレス 0143h番地(TRDSR<sub>0</sub>)、0153h番地(TRDSR<sub>1</sub>)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR <sub>0</sub> レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR <sub>1</sub> レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRA <sub>i</sub> の値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRB <sub>i</sub> の値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGR <sub>Ci</sub> の値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペアー一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> とTRDGRD <sub>i</sub> の値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD <sub>i</sub> がオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	リセット同期PWMモードでは無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			-

注1. TRDSR<sub>0</sub>レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF<sub>ji</sub>ビット(*j*=CまたはD)が“1”(TRDGR<sub>ji</sub>はバッファレジスタ)の場合を含む。

### 20.6.11 タイマRD割り込み許可レジスタi (TRDIERi)(i = 0 ~ 1)[リセット同期PWMモード時]

アドレス 0144h番地 (TRDIER0)、0154h番地 (TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

### 20.6.12 タイマRDカウンタ0 (TRD0)[リセット同期PWMモード時]

アドレス 0147h ~ 0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、TRD1レジスタは使用しません。

### 20.6.13 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[リセット同期PWMモード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、  
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、  
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、  
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.12 リセット同期PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.12 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRB0	-	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0=0	(リセット同期PWMモードでは使用しません)	-
TRDGRD0	BFD0=0		
TRDGRA1	-	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	-	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1=0	(リセット同期PWMモードでは使用しません)	-
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「20.2.2 バッファ動作」参照)。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1 : TRDMRレジスタのビット

### 20.6.14 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス	0184h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 00: TRDIOA0/TRDCLK端子は使用しない 01: P6_0に割り当てる 10: P10_0に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 00: TRDIOB0端子は使用しない 01: P6_1に割り当てる 10: P10_1に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 00: TRDIOC0端子は使用しない 01: P6_2に割り当てる 10: P10_2に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 00: TRDIOD0端子は使用しない 00: P6_3に割り当てる 10: P10_3に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

### 20.6.15 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス	0185h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1 端子選択ビット	b1 b0 00 : TRDIOA1 端子は使用しない 01 : P6_4に割り当てる 10 : P10_4に割り当てる 11 : 設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1 端子選択ビット	b3 b2 00 : TRDIOB1 端子は使用しない 01 : P6_5に割り当てる 10 : P10_5に割り当てる 11 : 設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1 端子選択ビット	b5 b4 00 : TRDIOC1 端子は使用しない 01 : P6_6に割り当てる 10 : P10_6に割り当てる 11 : 設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1 端子選択ビット	b7 b6 00 : TRDIOD1 端子は使用しない 01 : P6_7に割り当てる 10 : P10_7に割り当てる 11 : 設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1 レジスタを設定してください。また、タイマRDの動作中はTRDPSR1 レジスタの設定値を変更しないでください。

### 20.6.16 動作例

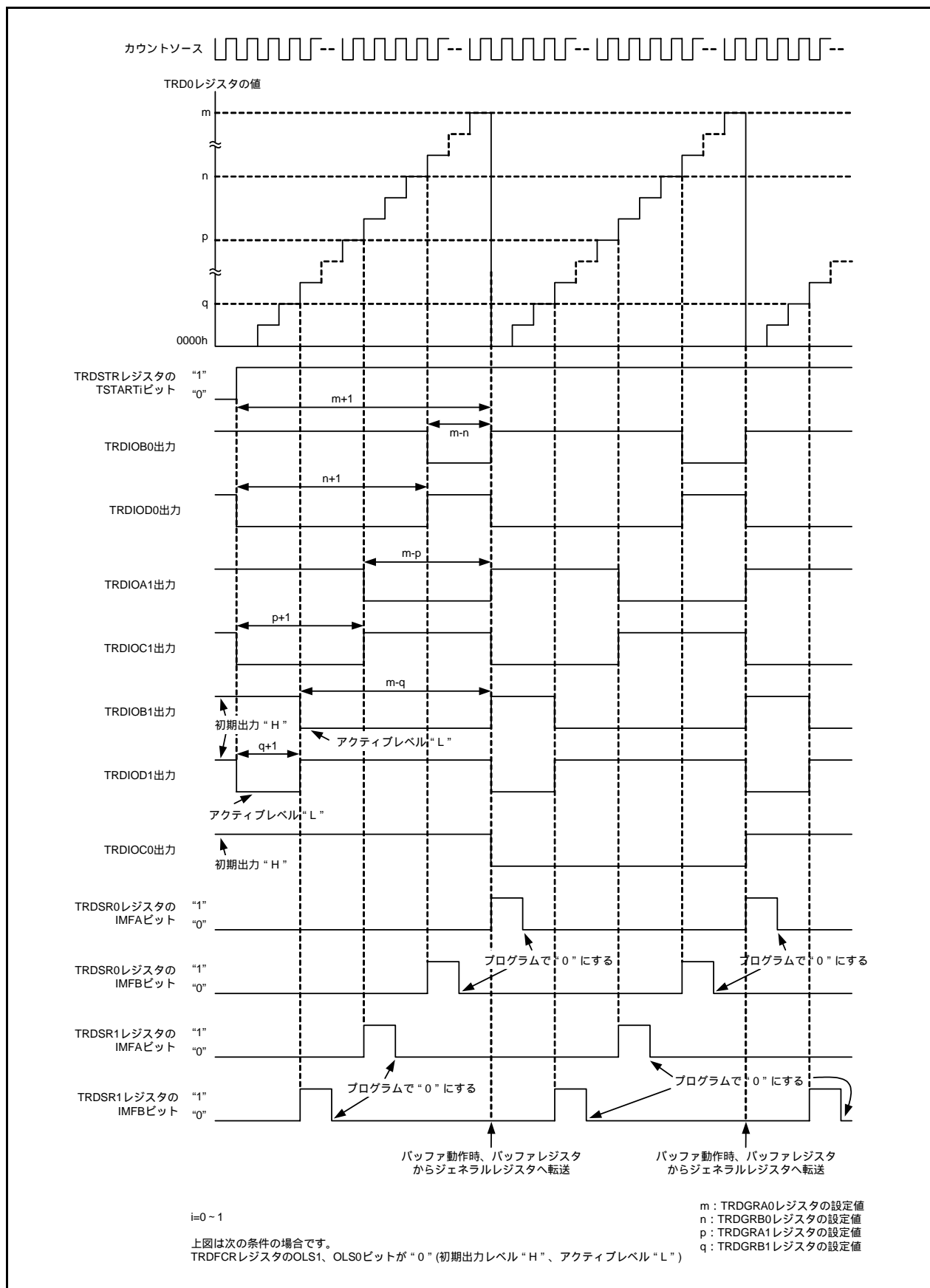


図20.18 リセット同期PWMモードの動作例

### 20.6.17 A/Dトリガ発生

TRDi( $i = 0 \sim 1$ )レジスタとTRDGRj( $j = A, B, C, D$ )レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。



## 20.7 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図20.19に相補PWMモードのブロック図を、表20.13に相補PWMモードの仕様を、図20.20に相補PWMモードの出力モデルを、図20.21に相補PWMモードの動作例を示します。

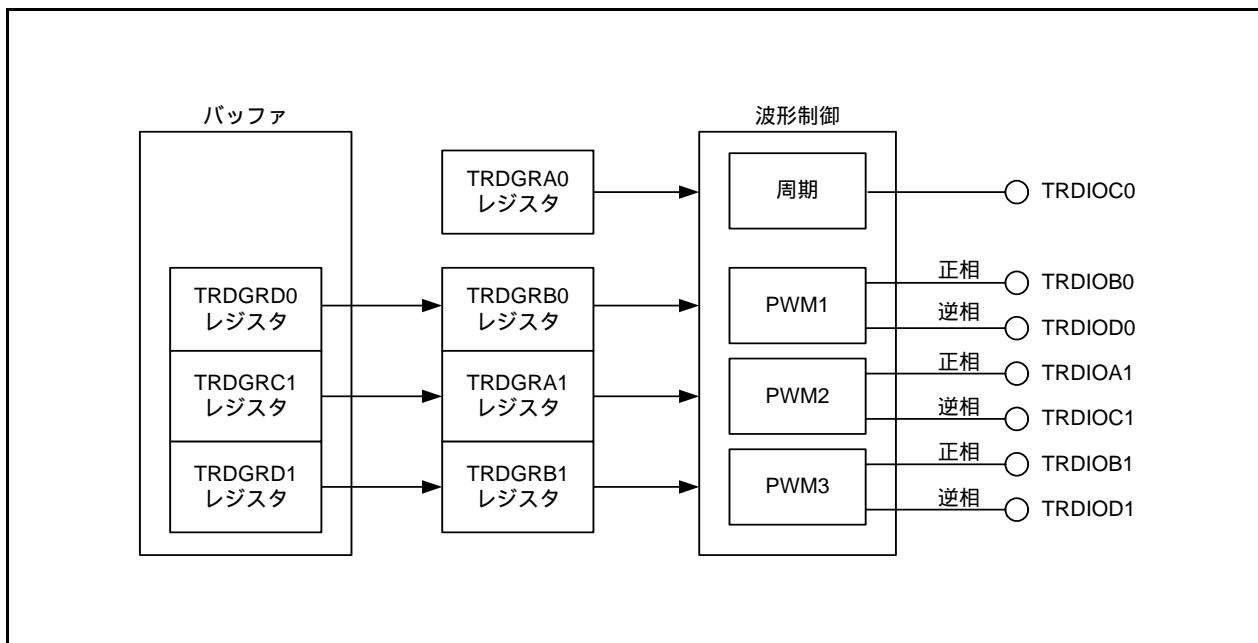


図20.19 相補PWMモードのブロック図

表20.13 相補PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK2～TCK0ビットと、TRDCR1レジスタのTCK2～TCK0ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが“0000h”から“FFFFh”になるとTRD0、TRD1ともアップカウントになる。
PWM波形	PWM周期： $1/fk \times (m+2-p) \times 2$ (注1) 短絡防止時間： $p$ 正相のアクティブレベル幅： $1/fk \times (m-n-p+1) \times 2$ 逆相のアクティブレベル幅： $1/fk \times (n+1-p) \times 2$ fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p：TRD0レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットとTSTART1ビットへの“0”(カウント停止)書き込み(PWM出力端子はカウント停止前の出力レベルを保持)
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致)</li> <li>TRD1アンダフロー</li> </ul>
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照)</li> <li>正相、逆相のアクティブレベルと初期出力レベルを個々に選択</li> <li>バッファレジスタからの転送タイミング選択</li> <li>A/Dトリガ発生</li> </ul>

i=0～1、j=A、B、C、Dのいずれか

注1. カウント開始後、PWM周期は固定です。

### 20.7.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。
- 注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

### 20.7.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択(注1)	R/W

- 注1. タイマモードのとき有効です。

### 20.7.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

### 20.7.4 タイマRDスタートレジスタ(TRDSTR)[相補PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0: カウント停止(注1) 1: カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペアー一致でカウント停止 1: TRDGRA0レジスタとのコンペアー一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0: TRDGRA1レジスタとのコンペアー一致でカウント停止 1: TRDGRA1レジスタとのコンペアー一致後もカウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

- 注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。  
 注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。  
 注3. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。  
 注4. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。  
 タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

### 20.7.5 タイマRDモードレジスタ(TRDMR)[相補PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	相補PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGR0レジスタ機能選択ビット	相補PWMモードでは“0”(ジェネラルレジスタ)にしてください	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGR1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	R/W

### 20.7.6 タイマRD機能制御レジスタ(TRDFCR)[相補PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1、2)	b1 b0 10: 相補PWMモード(TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送) 11: 相補PWMモード(TRD0とTRDGRA0レジスタのコンペアー一致時にバッファレジスタからジェネラルレジスタへ転送) 上記以外: 設定しないでください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	0: 初期出力“H”、アクティブレベル“L” 1: 初期出力“L”、アクティブレベル“H”	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	0: A/Dトリガを禁止 1: A/Dトリガを許可(注3)	R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	0: TRD0とTRDGRA0レジスタのコンペアー一致時にA/Dトリガ発生 1: TRD1のアンダフロー時にA/Dトリガ発生	R/W
b6	STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注4)	相補PWMモードでは無効です	R/W

- 注1. CMD1 ~ CMD0ビットを“10b”、“11b”に設定したとき、TRDPMRレジスタの設定にかかわらず、相補PWMモードになります。
- 注2. CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
- 注3. ADCON0レジスタのADCAPビットを“1”(タイマRDで開始)にしてください。
- 注4. CMD1 ~ CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

### 20.7.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[相補PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	相補PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

### 20.7.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[相補PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0：パルス出力強制遮断入力無効 _____ 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4 パルス出力強制遮断」を参照してください。

### 20.7.9 タイマRD制御レジスタ $i$ (TRDCR $i$ )( $i = 0 \sim 1$ )[相補PWMモード時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット(注3)	b2 b1 b0	R/W
b1	TCK1		0 0 0 : f1	R/W
b2	TCK2		0 0 1 : f2	R/W
			0 1 0 : f4	
		0 1 1 : f8		
		1 0 0 : f32		
		1 0 1 : TRDCLK入力(注1)またはfC2(注2)		
		1 1 0 : 設定しないでください		
		1 1 1 : 設定しないでください		
b3	CKEG0	外部クロックエッジ選択ビット (注3、4)	b4 b3	R/W
b4	CKEG1		0 0 : 立ち上がりエッジでカウント	R/W
		0 1 : 立ち下がりエッジでカウント		
		1 0 : 両エッジでカウント		
		1 1 : 設定しないでください		
b5	CCLR0	TRDiカウンタクリア選択ビット	相補PWMモードでは“000b”(クリア禁止(フリーランニング動作))にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLK $i$ ビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードでTRDECRレジスタのITCLK $i$ ビットが“1”(fC2)のとき有効です。

注3. TRDCR0レジスタとTRDCR1レジスタの、TCK0～TCK2ビット、CKEG0～CKEG1ビットの設定は、同じにしてください。

注4. TCK2～TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLK $i$ ビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。



### 20.7.10 タイマRDステータスレジスタ $i$ (TRDSR $i$ )( $i = 0 \sim 1$ )[相補PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペアー一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	[“0”になる条件] 読んだ後、“0”を書く(注2) [“1”になる条件] TRD1がアンダフローしたとき	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF $j$ iビット( $j=C$ または $D$ )が“1”(TRDGR $j$ iはバッファレジスタ)の場合を含む。

### 20.7.11 タイマRD割り込み許可レジスタi (TRDIERi)(i = 0 ~ 1)[相補PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

### 20.7.12 タイマRDカウンタ0 (TRD0)[相補PWMモード時]

アドレス 0147h ~ 0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	短絡防止時間を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 20.7.13 タイマRDカウンタ1 (TRD1)[相補PWMモード時]

アドレス 0157h ~ 0156h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	“0000h”を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFビットが“1”になる。	0000h ~ FFFFh	R/W

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 20.7.14 タイマRDジェネラルレジスタAi、Bi、C1、Di (TRDGRAi、TRDGRBi、TRDGRC1、TRDGRDi)(i = 0 ~ 1)[相補PWMモード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、  
014Fh ~ 014Eh 番地 (TRDGRD0)、  
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、  
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.14 相補PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.14 相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値以上、 FFFFh - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	(TRDIOC0半周期ごとに出 力反転)
TRDGRB0	-	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	-	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	-	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	-	(相補PWMモードでは使用しません。)	-
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。

### 20.7.15 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス	0184h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 00: TRDIOA0/TRDCLK端子は使用しない 01: P6_0に割り当てる 10: P10_0に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 00: TRDIOB0端子は使用しない 01: P6_1に割り当てる 10: P10_1に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 00: TRDIOC0端子は使用しない 01: P6_2に割り当てる 10: P10_2に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 00: TRDIOD0端子は使用しない 00: P6_3に割り当てる 10: P10_3に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

### 20.7.16 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス	0185h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	b1 b0 00: TRDIOA1端子は使用しない 01: P6_4に割り当てる 10: P10_4に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	b3 b2 00: TRDIOB1端子は使用しない 01: P6_5に割り当てる 10: P10_5に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	b5 b4 00: TRDIOC1端子は使用しない 01: P6_6に割り当てる 10: P10_6に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	b7 b6 00: TRDIOD1端子は使用しない 01: P6_7に割り当てる 10: P10_7に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

### 20.7.17 動作例

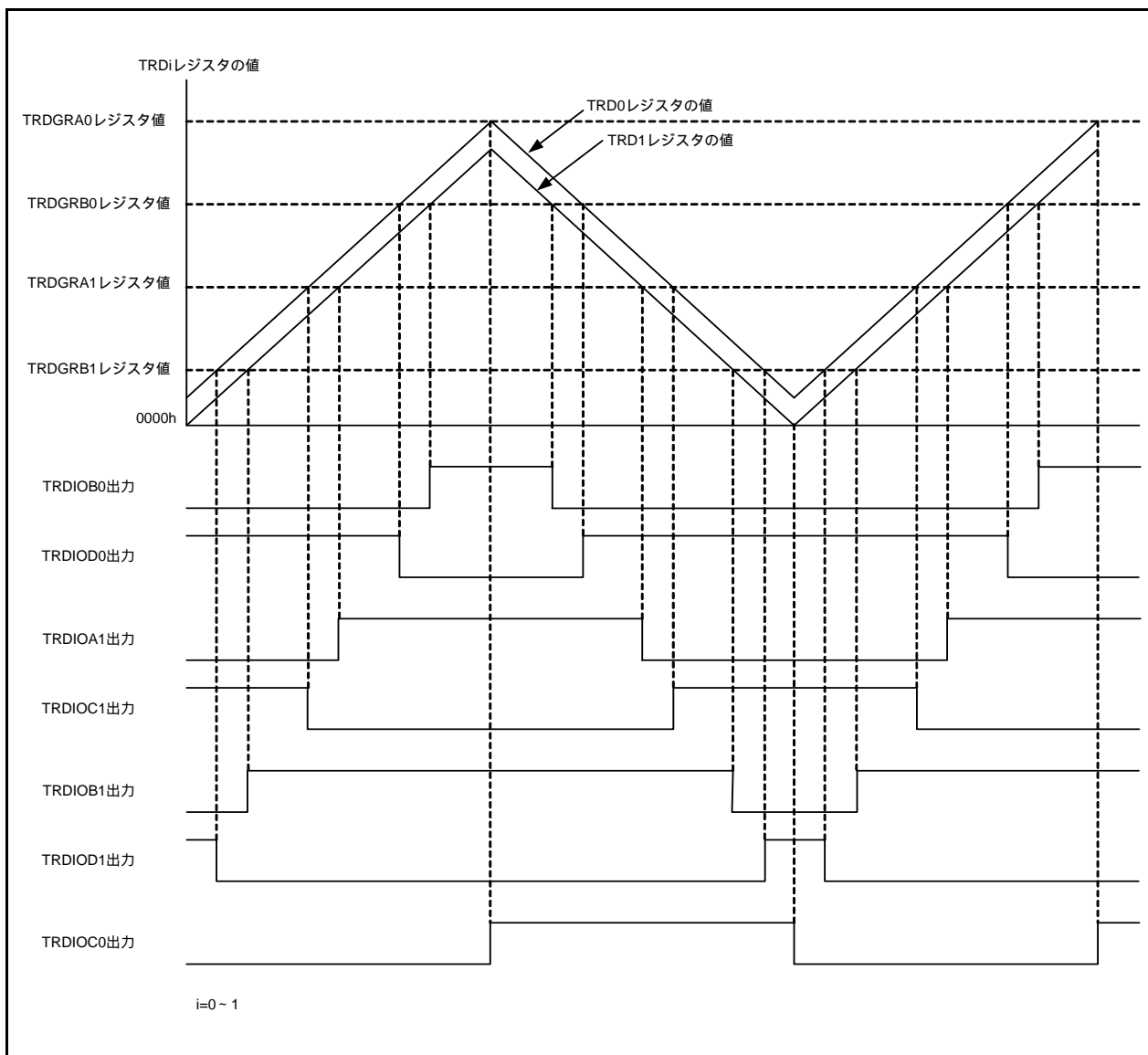


図20.20 相補PWMモードの出力モデル

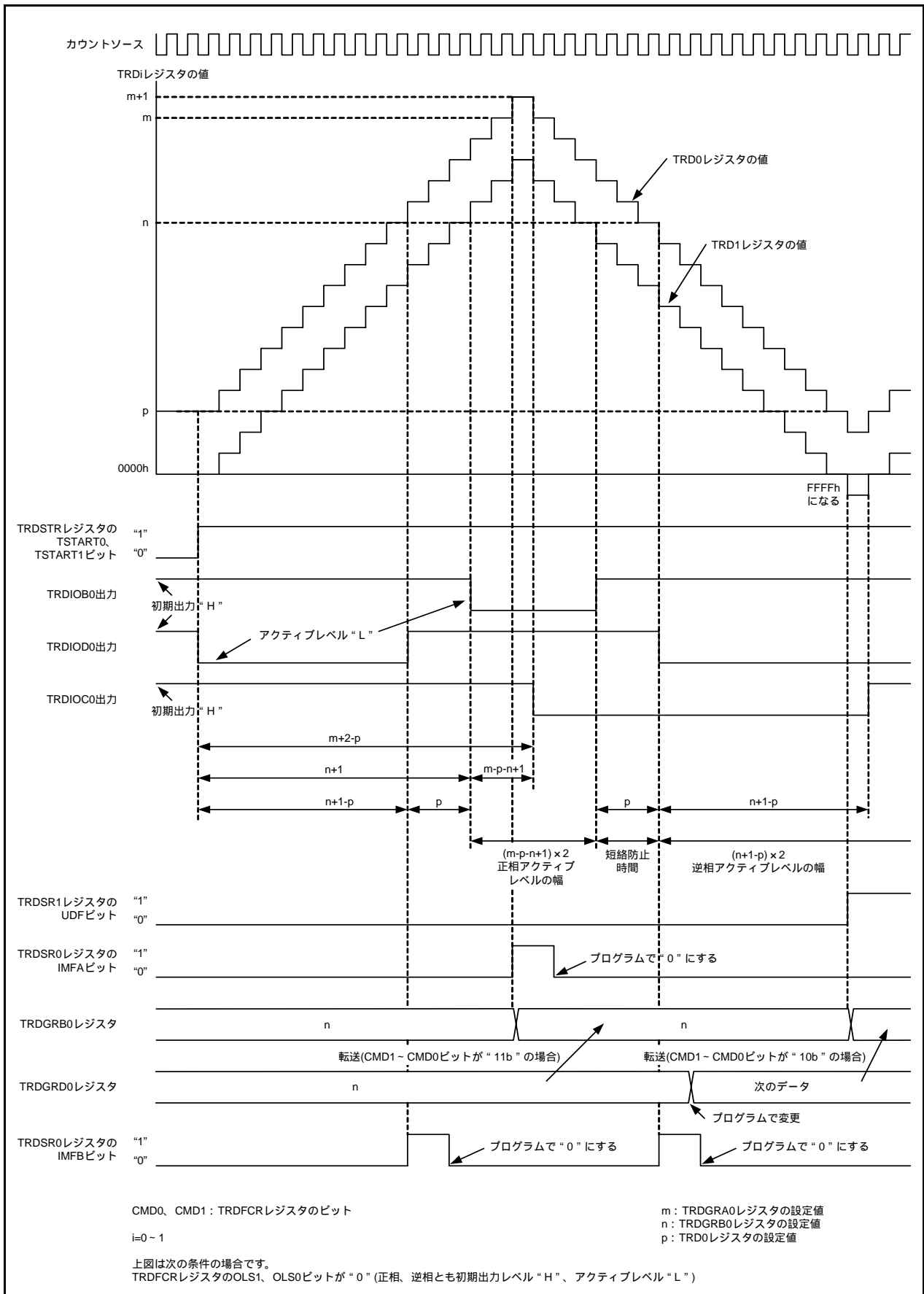


図20.21 相補PWMモードの動作例



### 20.7.18 バッファレジスタからの転送タイミング

- TRDGRD0、TRDGRC1、TRDGRD1レジスタからTRDGRB0、TRDGRA1、TRDGRB1レジスタへの転送  
TRDFCRレジスタのCMD1～CMD0ビットが“10b”の場合、TRD1がアンダフローしたときに転送します。  
CMD1～CMD0ビットが“11b”の場合、TRD0とTRDGRA0レジスタがコンペアー一致したときに転送します。

### 20.7.19 A/Dトリガ発生

TRD0とTRDGRA0レジスタのコンペアー一致と、TRD1アンダフローを、A/Dコンバータの変換開始トリガとして使用できます。TRDFCRレジスタのADEG、ADTRGビットで選択してください。  
また、ADMODレジスタのADCAP1～ADCAP0ビットを“01b”(タイマRDで開始)にしてください。

## 20.8 PWM3モード

同周期のPWM波形を2本出力します。

図20.22にPWM3モードのブロック図を、表20.15にPWM3モードの仕様を、図20.23にPWM3モードの動作例を示します。

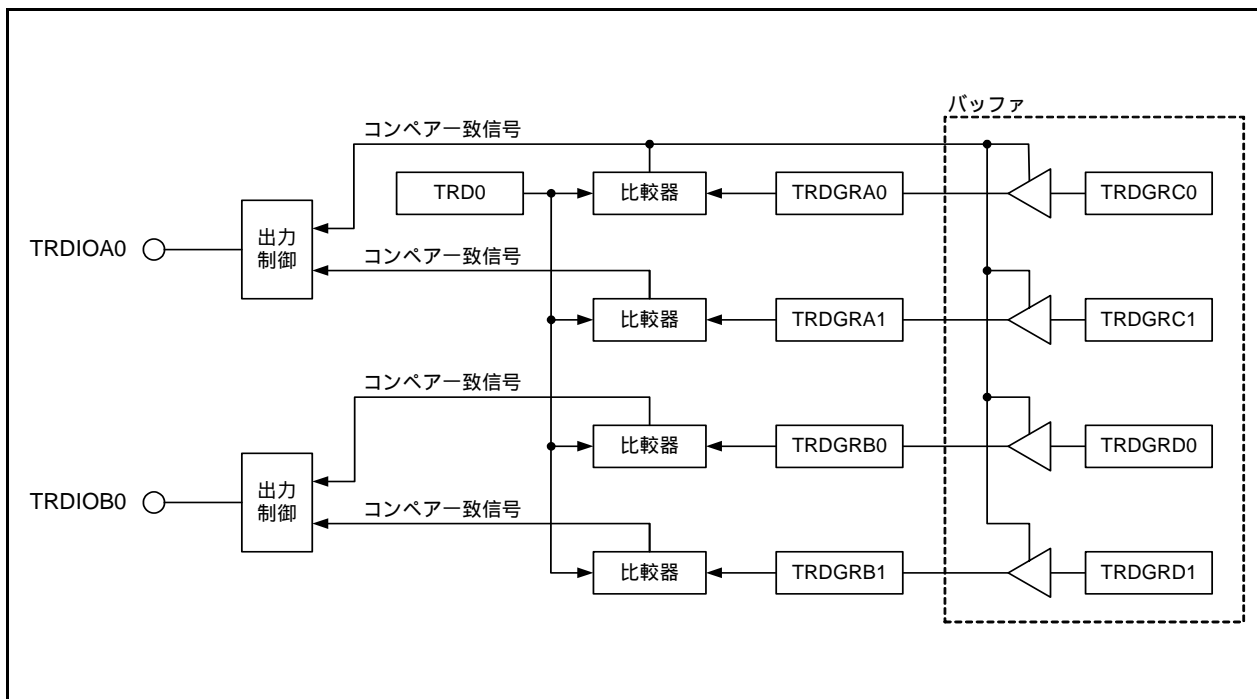
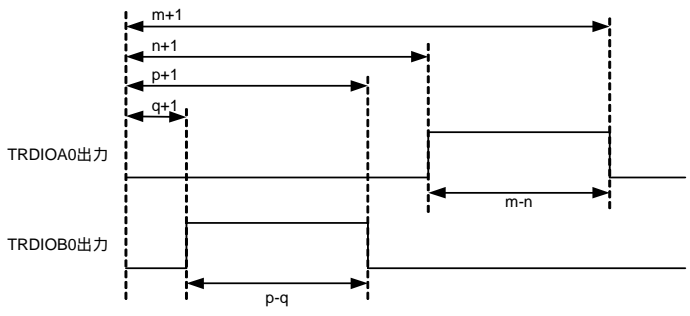


図20.22 PWM3モードのブロック図

表20.15 PWM3モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	<p>PWM周期: <math>1/f_k \times (m+1)</math>                      TRDIOA0出力のアクティブレベル幅: <math>1/f_k \times (m-n)</math>                      TRDIOB0出力のアクティブレベル幅: <math>1/f_k \times (p-q)</math>  <math>f_k</math>: カウントソースの周波数  <math>m</math>: TRDGRA0レジスタ設定値  <math>n</math>: TRDGRA1レジスタ設定値  <math>p</math>: TRDGRB0レジスタ設定値  <math>q</math>: TRDGRB1レジスタ設定値</p>  <p>(アクティブレベルが“H”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持</li> <li>• TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致)</li> <li>• TRD0オーバフロー</li> </ul>
TRDIOA0、TRDIOB0端子機能	PWM出力
TRDIOC0、TRDIOD0、 TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>• パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照)</li> <li>• アクティブレベルを端子ごとに選択</li> <li>• バッファ動作(「20.2.2 バッファ動作」参照)</li> <li>• A/Dトリガ発生</li> </ul>

i = 0 ~ 1、j = A、B、C、Dのいずれか

### 20.8.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。
- 注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

### 20.8.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択(注1)	R/W

- 注1. タイマモードのとき有効です。

### 20.8.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

### 20.8.4 タイマRDスタートレジスタ(TRDSTR)[PWM3モード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0: カウント停止(注1) 1: カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペアー一致でカウント停止 1: TRDGRA0レジスタとのコンペアー一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット [PWM3モードでは使用しません]	0: TRDGRA1レジスタとのコンペアー一致でカウント停止 1: TRDGRA1レジスタとのコンペアー一致後もカウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。		-
b5	-	読んだ場合、その値は“1”。		-
b6	-			-
b7	-			-

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。  
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

### 20.8.5 タイマRDモードレジスタ(TRDMR)[PWM3モード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	PWM3モードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			-
b3	-			-
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	R/W

### 20.8.6 タイマRD機能制御レジスタ(TRDFCR)[PWM3モード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1)	PWM3モードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時有効)	PWM3モードでは無効です	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時有効)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時有効)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時有効)		R/W
b6	STCLK	外部クロック入力選択ビット	PWM3モードでは“0”(外部クロック入力無効)にしてください	R/W
b7	PWM3	PWM3モード選択ビット(注2)	PWM3モードでは“0”(PWM3モード)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

### 20.8.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWM3モード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	PWM3モードでは、“1”(プログラマブル入出力ポート)にしてください。	R/W
b3	ED0	TRDIOD0出力禁止ビット		R/W
b4	EA1	TRDIOA1出力禁止ビット		R/W
b5	EB1	TRDIOB1出力禁止ビット		R/W
b6	EC1	TRDIOC1出力禁止ビット		R/W
b7	ED1	TRDIOD1出力禁止ビット		R/W

### 20.8.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWM3モード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4 パルス出力強制遮断」を参照してください。



### 20.8.9 タイマRDアウトプット制御レジスタ(TRDOCR)[PWM3モード時]

アドレス 013Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット (注1)	0: アクティブレベル“H”、初期出力“L”、 TRDGRA1のコンペア一致で“H”出力、 TRDGRA0のコンペア一致で“L”出力 1: アクティブレベル“L”、初期出力“H”、 TRDGRA1のコンペア一致で“L”出力、 TRDGRA0のコンペア一致で“H”出力	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット (注1)	0: アクティブレベル“H”、初期出力“L”、 TRDGRB1のコンペア一致で“H”出力、 TRDGRB0のコンペア一致で“L”出力 1: アクティブレベル“L”、初期出力“H”、 TRDGRB1のコンペア一致で“L”出力、 TRDGRB0のコンペア一致で“H”出力	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	PWM3モードでは無効です	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

注1. 端子の機能が波形出力の場合(「6.6 ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

### 20.8.10 タイマRD制御レジスタ0 (TRDCR0)[PWM3モード時]

アドレス 0140h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	TCK0	カウントソース選択ビット	b2 b1 b0	R/W	
b1	TCK1		0 0 0 : f1	R/W	
b2	TCK2		0 0 1 : f2	R/W	
			0 1 0 : f4		
		0 1 1 : f8			
		1 0 0 : f32			
		1 0 1 : 設定しないでください			
		1 1 0 : 設定しないでください			
		1 1 1 : 設定しないでください			
b3	CKEG0	外部クロックエッジ選択ビット	PWM3モードでは無効です	R/W	
b4	CKEG1			R/W	
b5	CCLR0	TRD0カウンタクリア選択ビット	PWM3モードでは“001b”(TRDGRA0レジスタとコンパレー一致でTRD0レジスタクリア)にしてください	R/W	
b6	CCLR1			R/W	
b7	CCLR2				R/W
					R/W

TRDCR0レジスタのPWM3モードでは、TRDCR1レジスタは使用しません。

### 20.8.11 タイマRDステータスレジスタ $i$ (TRDSR $i$ )( $i = 0 \sim 1$ )[PWM3モード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致フラグA	[“0”になる条件] 読んだ後、“0”を書く(注1) [“1”になる条件] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致フラグB	[“0”になる条件] 読んだ後、“0”を書く(注1) [“1”になる条件] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致フラグC	[“0”になる条件] 読んだ後、“0”を書く(注1) [“1”になる条件] TRDiとTRDGRCiの値が一致したとき(注2)	R/W
b3	IMFD	インプットキャプチャ/コンペアー一致フラグD	[“0”になる条件] 読んだ後、“0”を書く(注1) [“1”になる条件] TRDiとTRDGRDiの値が一致したとき(注2)	R/W
b4	OVF	オーバフローフラグ	[“0”になる条件] 読んだ後、“0”を書く(注1) [“1”になる条件] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	PWM3モードでは無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			-

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- ・“1”を書いた場合は変化しません。

注2. TRDMRレジスタのBF $j$ iビット( $j=C$ または $D$ )が“1”(TRDGR $j$ iはバッファレジスタ)の場合を含む。

### 20.8.12 タイマRD割り込み許可レジスタi (TRDIERi)(i = 0 ~ 1)[PWM3モード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

### 20.8.13 タイマRDカウンタ0 (TRD0)[PWM3モード時]

アドレス 0147h ~ 0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、TRD1レジスタは使用しません。

### 20.8.14 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[PWM3モード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、  
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、  
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、  
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.16 PWM3モード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、  
TRDPOCR1

表20.16 PWM3モード時のTRDGR*ji*レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0		ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	BFC0=0	(PWM3モードでは使用しません)	-
TRDGRC1	BFC1=0		
TRDGRD0	BFD0=0		
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1ビットを“0”(ジェネラルレジスタ)にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタに値を書き込み、その後BFC0、BFC1、BFD0、BFD1ビットを“1”(バッファレジスタ)にしても構いません。

### 20.8.15 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス	0184h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0SEL1	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	TRDIOA0SEL1	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	b1 b0 00: TRDIOA0/TRDCLK端子は使用しない 01: P6_0に割り当てる 10: P10_0に割り当てる 11: 設定しないでください	R/W
b1	TRDIOA0SEL1			R/W
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 00: TRDIOB0端子は使用しない 01: P6_1に割り当てる 10: P10_1に割り当てる 11: 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 00: TRDIOC0端子は使用しない 01: P6_2に割り当てる 10: P10_2に割り当てる 11: 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	b7 b6 00: TRDIOD0端子は使用しない 00: P6_3に割り当てる 10: P10_3に割り当てる 11: 設定しないでください	R/W
b7	TRDIOD0SEL1			R/W

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

### 20.8.16 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1SEL1	TRDIOD1SEL0	TRDIOC1SEL1	TRDIOC1SEL0	TRDIOB1SEL1	TRDIOB1SEL0	TRDIOA1SEL1	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1 端子選択ビット	b1 b0 00 : TRDIOA1 端子は使用しない 01 : P6_4に割り当てる 10 : P10_4に割り当てる 11 : 設定しないでください	R/W
b1	TRDIOA1SEL1			R/W
b2	TRDIOB1SEL0	TRDIOB1 端子選択ビット	b3 b2 00 : TRDIOB1 端子は使用しない 01 : P6_5に割り当てる 10 : P10_5に割り当てる 11 : 設定しないでください	R/W
b3	TRDIOB1SEL1			R/W
b4	TRDIOC1SEL0	TRDIOC1 端子選択ビット	b5 b4 00 : TRDIOC1 端子は使用しない 01 : P6_6に割り当てる 10 : P10_6に割り当てる 11 : 設定しないでください	R/W
b5	TRDIOC1SEL1			R/W
b6	TRDIOD1SEL0	TRDIOD1 端子選択ビット	b7 b6 00 : TRDIOD1 端子は使用しない 01 : P6_7に割り当てる 10 : P10_7に割り当てる 11 : 設定しないでください	R/W
b7	TRDIOD1SEL1			R/W

TRDPSR1 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1 レジスタを設定してください。また、タイマRDの動作中はTRDPSR1 レジスタの設定値を変更しないでください。



20.8.17 動作例

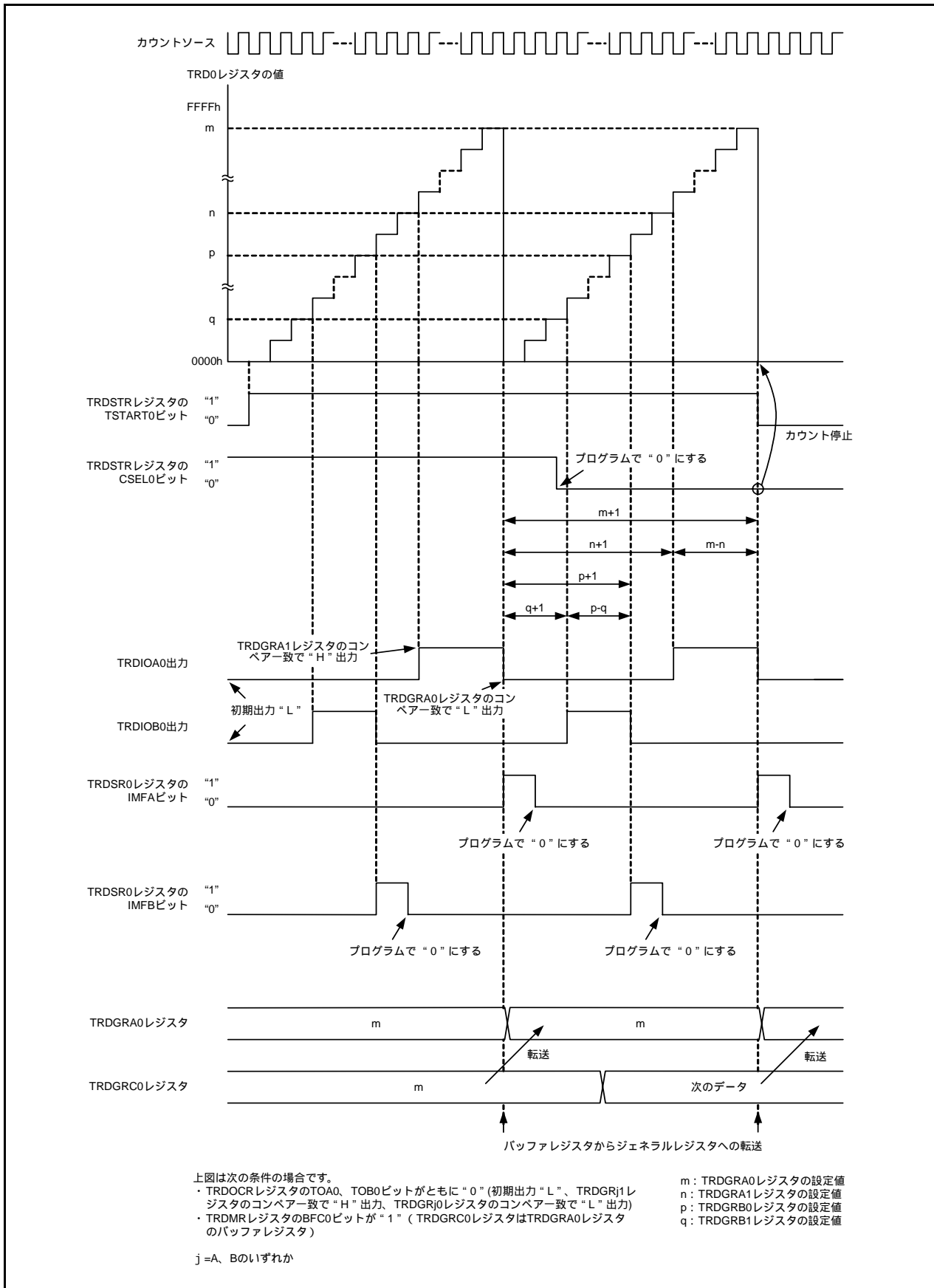


図20.23 PWM3モードの動作例

### 20.8.18 A/Dトリガ発生

TRDi( $i = 0 \sim 1$ )レジスタとTRDGRj( $j = A, B, C, D$ )レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

## 20.9 タイマRD割り込み

タイマRDは、タイマRD0とタイマRD1ごとに6つの要因からタイマRD<sub>i</sub>( $i = 0 \sim 1$ )割り込み要求を発生します。タイマRD割り込みはタイマRD0とタイマRD1ごとに1つのTRD<sub>i</sub>IC( $i=0 \sim 1$ )レジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表20.17にタイマRD割り込み関連レジスタを、図20.24にタイマRD割り込みのブロック図を示します。

表20.17 タイマRD割り込み関連レジスタ

	タイマRD ステータスレジスタ	タイマRD 割り込み許可レジスタ	タイマRD 割り込み制御レジスタ
タイマRD0	TRDSR0	TRDIER0	TRD0IC
タイマRD1	TRDSR1	TRDIER1	TRD1IC

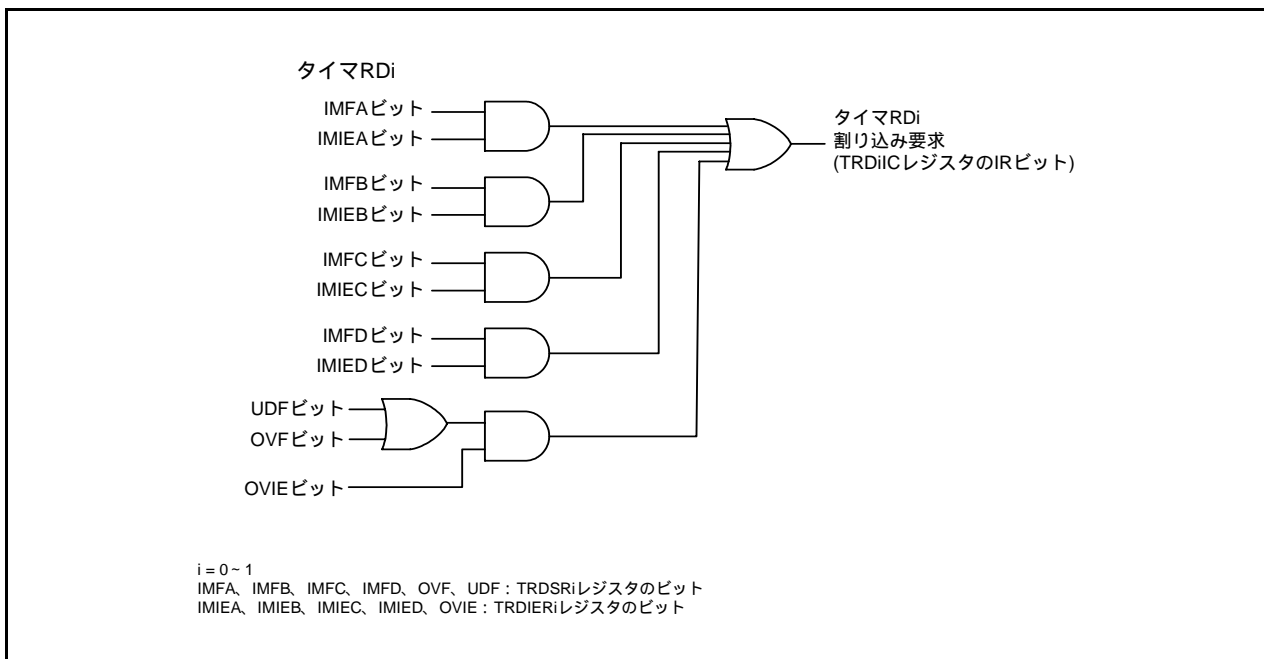


図20.24 タイマRD割り込みのブロック図

タイマRD割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRD割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSR<sub>i</sub>レジスタのビットが“1”で、それに対応するTRDIER<sub>i</sub>レジスタのビットが“1”(割り込み許可)の場合、TRDiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRDSR<sub>i</sub>レジスタのビットと、それに対応するTRDIER<sub>i</sub>レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、いったん“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRDIER<sub>i</sub>レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRDSR<sub>i</sub>レジスタで判定してください。
- TRDSR<sub>i</sub>レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「モード毎のTRDSR0～TRDSR1レジスタ(20.3.11、20.4.14、20.5.12、20.6.10、20.7.10、20.8.11)」を参照してください。

TRDSR<sub>i</sub>レジスタは「モードごとのTRDSR0 ~ TRDSR1レジスタ(20.3.11、20.4.14、20.5.12、20.6.10、20.7.10、20.8.11)」を、TRDIER<sub>i</sub>レジスタは「モードごとのTRDIER0 ~ TRDIER1レジスタ(20.3.12、20.4.15、20.5.13、20.6.11、20.7.11、20.8.12)」を参照してください。

TRDiCレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

## 20.10 タイマRD使用上の注意事項

### 20.10.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi(i=0 ~ 1) ビットが“0” (TRDi レジスタと TRDGRAi レジスタのコンペア一致でカウント停止)の場合、TSTARTi ビットに“0” (カウント停止)を書いても、カウントは停止せず、TSTARTi ビットも変化しません。  
したがって、CSELi ビットが“0” のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0” を書いてください。  
また、プログラムでカウントを停止させる場合は、CSELi ビットを“1” にした後で、TSTARTi ビットに“0” を書いてください。同時に(1命令で)CSELi ビットに“1”、TSTARTi ビットに“0” を書いてもカウントは停止できません。
- TRDIOj(j=A、B、C、D) 端子をタイマRD 出力で使用している場合の、カウント停止時の出力レベルを表 20.18 に示します。

表 20.18 カウント停止時の TRDIOj(j=A, B, C, D) 端子出力レベル

カウント停止方法	カウント停止時の TRDIOj 端子出力
CSELi ビットが“1” のときに、TSTARTi ビットに“0” を書きカウント停止	直前の出力レベルを保持
CSELi ビットが“0” のときに、TRDi レジスタと TRDGRAi レジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持

### 20.10.2 TRDi レジスタ (i=0 ~ 1)

- TRDSTR レジスタの TSTARTi ビットが“1” (カウント開始) の状態で、プログラムで TRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h” になるタイミングと重ならないように書いてください。  
TRDi レジスタが“0000h” になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h” になります。  
この注意事項は、TRDCRi レジスタの CCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
  - “001b” (TRDGRAi レジスタとのコンペア一致で TRDi レジスタをクリア)
  - “010b” (TRDGRBi レジスタとのコンペア一致で TRDi レジスタをクリア)
  - “011b” (同期クリア)
  - “101b” (TRDGRCi レジスタとのコンペア一致で TRDi レジスタをクリア)
  - “110b” (TRDGRDi レジスタとのコンペア一致で TRDi レジスタをクリア)
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。  
プログラム例
 

```

MOV.W #XXXXh, TRD0      ; 書き込み
JMP.B L1                 ; JMP.B 命令
L1:  MOV.W TRD0, DATA   ; 読み出し
      
```

### 20.10.3 TRDSR<sub>i</sub>レジスタ(i=0 ~ 1)

TRDSR<sub>i</sub>レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B  L1          ; JMP.B命令
L1:                MOV.B  TRDSR0,DATA  ; 読み出し
```

### 20.10.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順

- (1) TRDSTRレジスタのTSTART<sub>i</sub>(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR<sub>i</sub>レジスタのTCK2 ~ TCK0ビットを変更する

### 20.10.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO<sub>ji</sub>(i=0 ~ 1, j=A, B, C, Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRD<sub>i</sub>レジスタの値をTRDGR<sub>ji</sub>レジスタに転送します(デジタルフィルタなしの場合)。

### 20.10.6 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

変更手順

- (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
- (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
- (3) CMD1 ~ CMD0を“01b”(リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

### 20.10.7 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1 ~ CMD0ビットを変更するときは、次の手順で変更してください。  
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
  - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
  - (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
  - (3) CMD1 ~ CMD0を“10b”、または“11b”(相補PWMモード)にする
  - (4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
- (2) CMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。  
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。  
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。  
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を  $m$  とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$   $m$   $m+1$   $m$   $m-1$ とカウントします。  
 $m$   $m+1$  のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1 ~ CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。  
 $m+1$   $m$   $m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

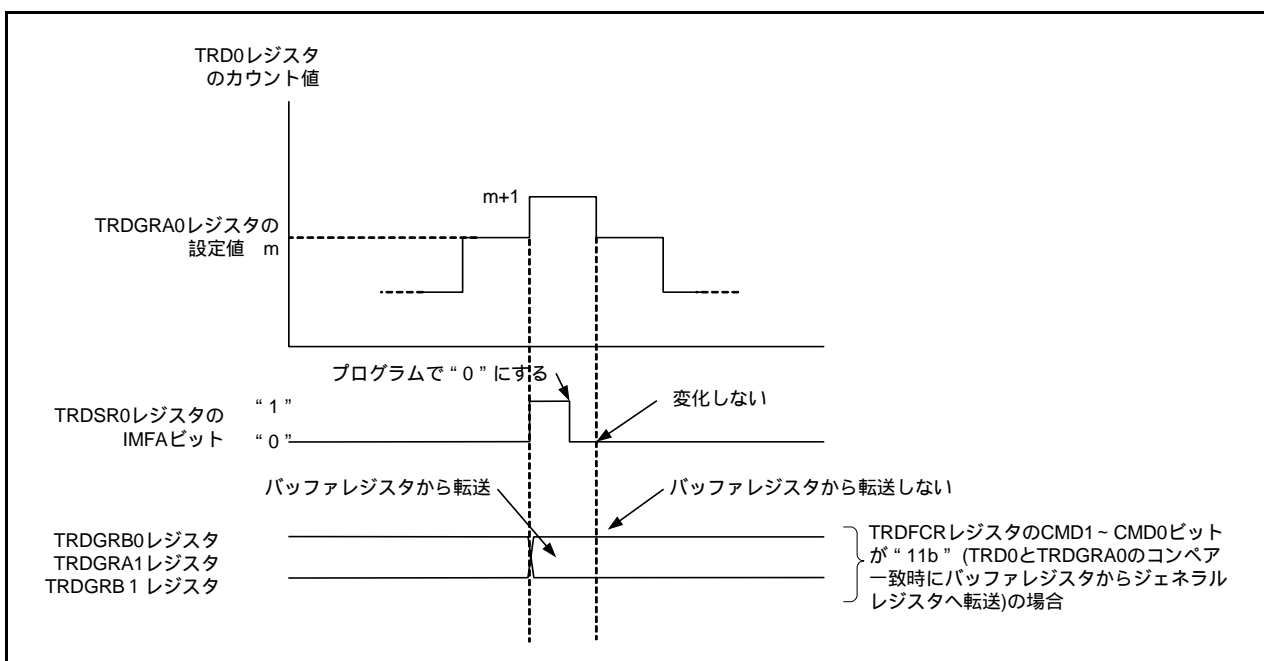


図 20.25 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。  
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。  
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

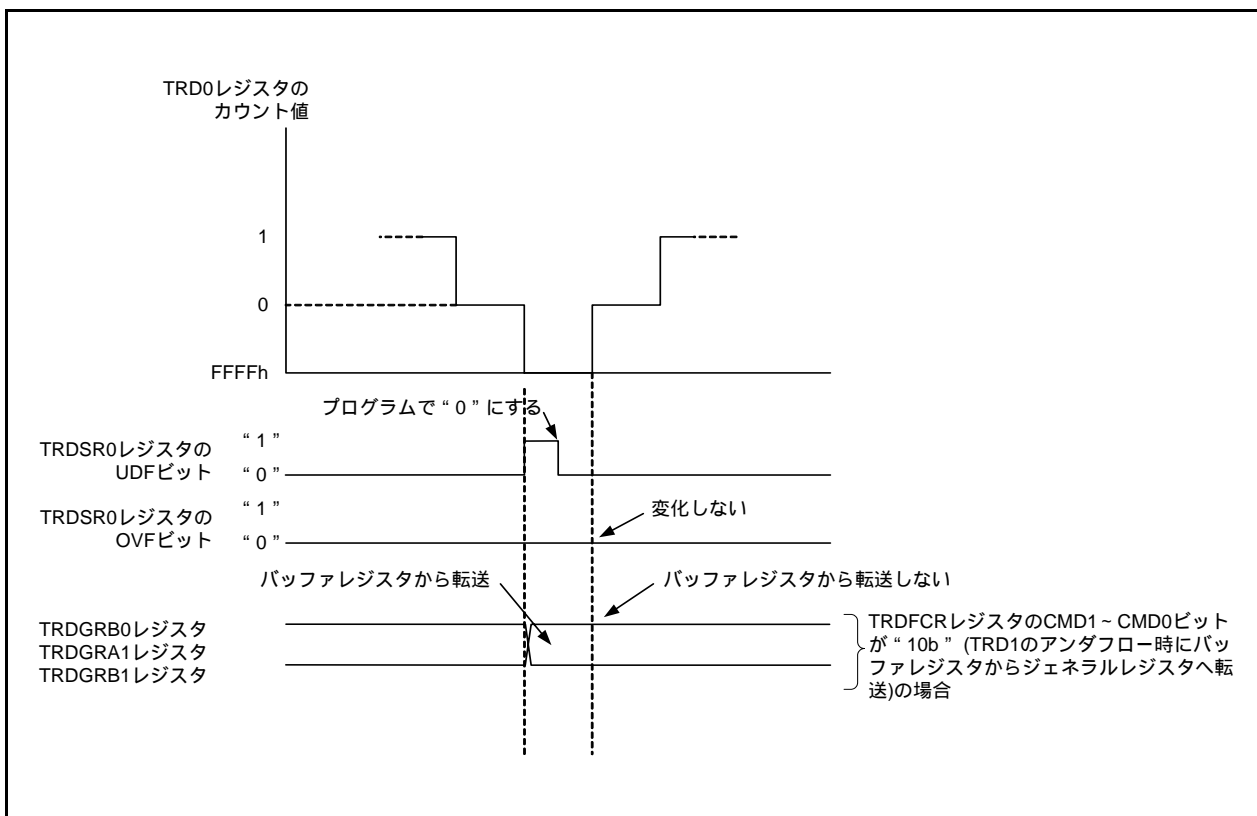


図 20.26 相補PWMモード TRD1がアンダフローしたときの動作



- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタの CMD1 ~ CMD0 ビットで選択してください。ただし、次の場合は CMD1 ~ CMD0 ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0 レジスタの値の場合

TRD1 レジスタのアンダフローで転送します。

その後、“0001h” 以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1 レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1 ~ CMD0 ビットで選択したタイミングで転送します。

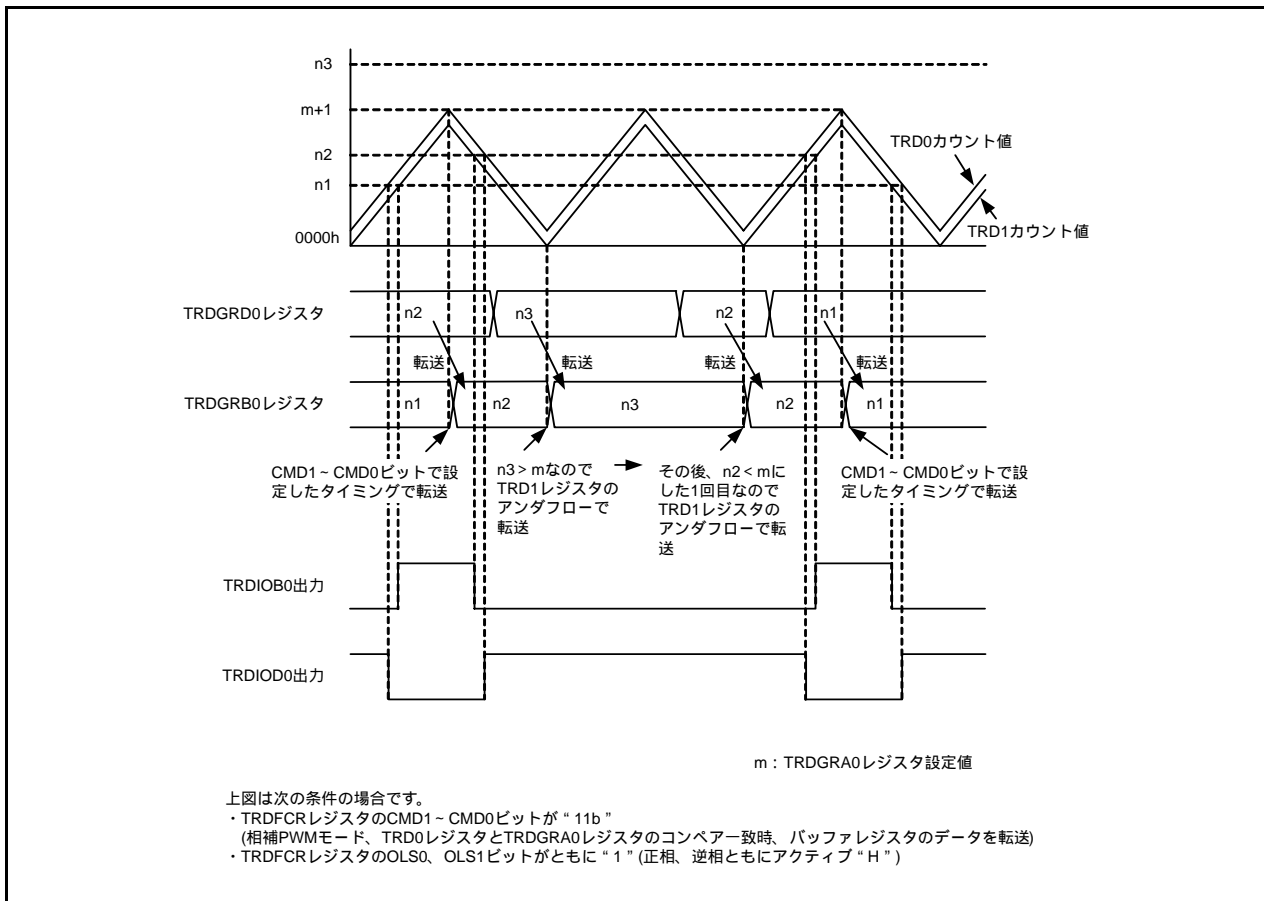


図 20.27 相補PWMモード時のバッファレジスタの値 TRDGRA0 レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

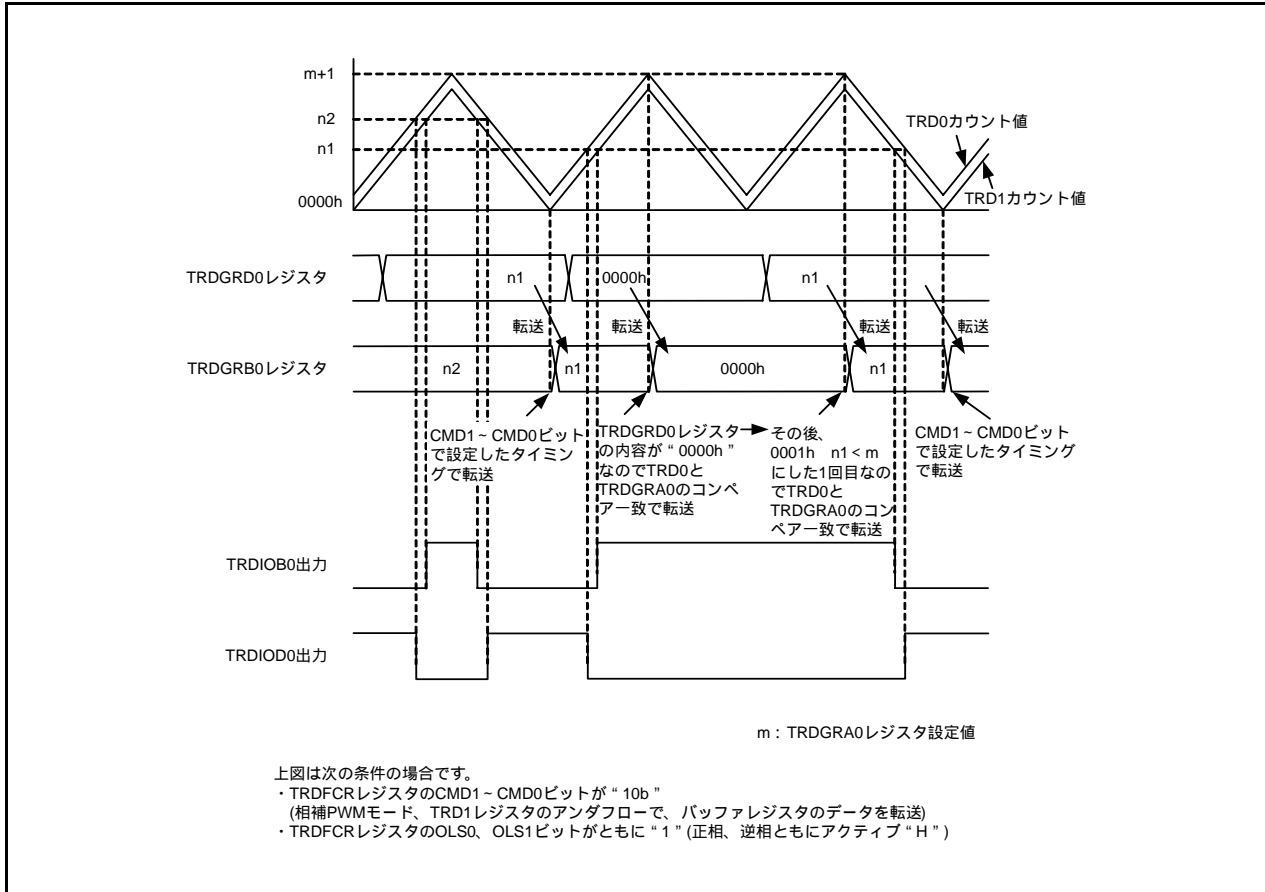


図 20.28 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

## 21. タイマRE

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 21.1 概要

タイマREは、4ビットカウンタと8ビットカウンタを持つタイマです。

タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード fC4から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

表 21.1にタイマREの端子構成を示します。

表 21.1 タイマREの端子構成

端子名	割り当てる端子	入出力	機能
TREO	P11_7	出力	モードによって機能が異なります。 詳細は各モードを参照してください。

## 21.2 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図 21.1にリアルタイムクロックモードのブロック図を、表 21.2にリアルタイムクロックモードの仕様を、表 21.3に割り込み要因を、図 21.2に時間表現の定義を、図 21.3にリアルタイムクロックモードの動作例を示します。

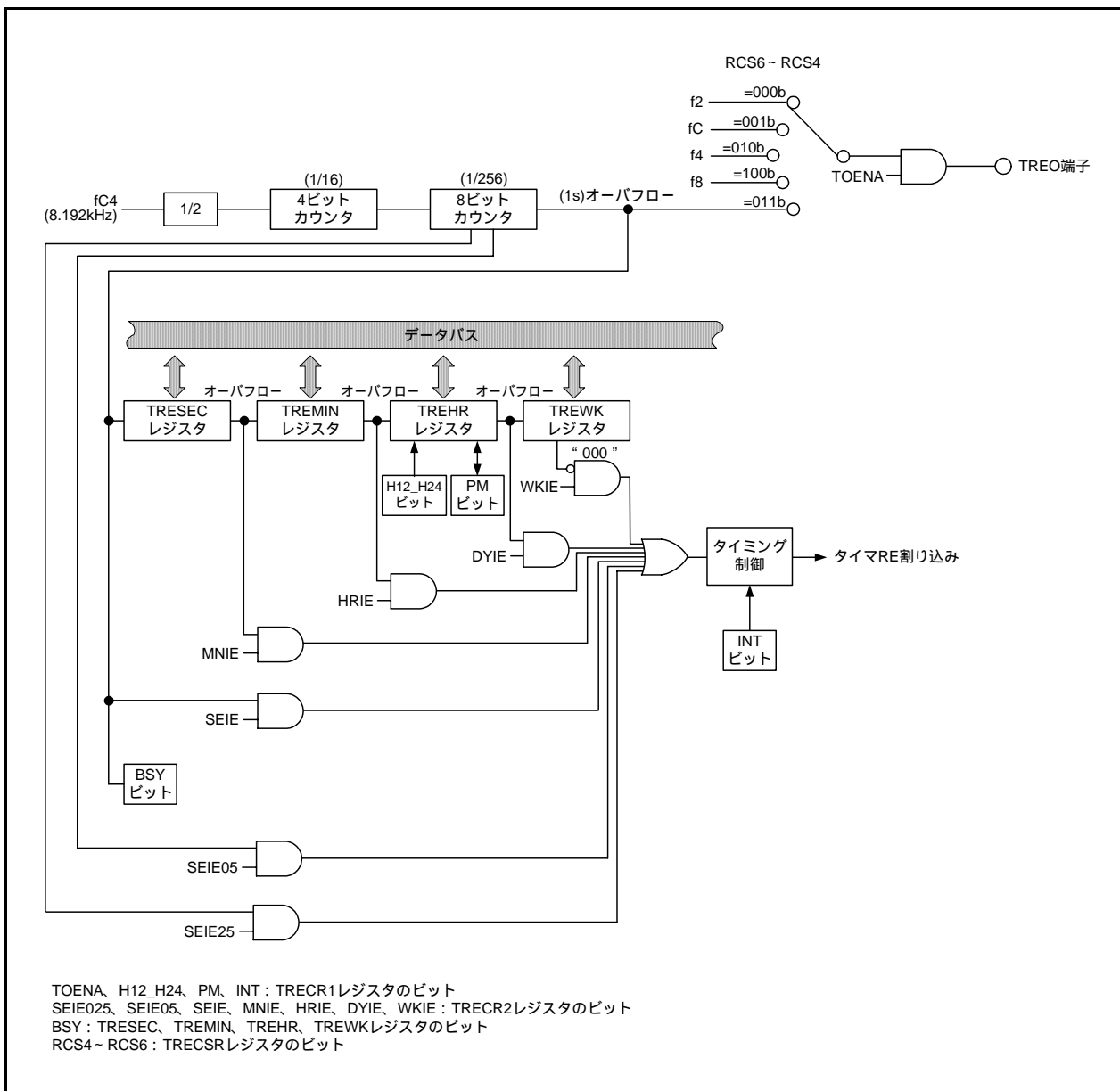


図 21.1 リアルタイムクロックモードのブロック図

表 21.2 リアルタイムクロックモードの仕様

項目	仕様
カウントソース	fC4
カウント動作	アップカウント
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 <ul style="list-style-type: none"> <li>• 0.25秒データの更新</li> <li>• 0.5秒データの更新</li> <li>• 秒データの更新</li> <li>• 分データの更新</li> <li>• 時データの更新</li> <li>• 曜日データの更新</li> <li>• 曜日データが“000b”(日曜日)になったとき</li> </ul>
TREO端子機能	プログラマブル入出力ポート、またはf2、fC、f4、f8、1Hzのいずれかを出力
タイマの読み出し	TRESEC、TREMINT、TREHR、TREWKCレジスタを読むと、カウント値が読める。 TRESEC、TREMINT、TREHRレジスタの値はBCDコード。
タイマの書き込み	TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMINT、TREHR、TREWKCレジスタに書き込める。TRESEC、TREMINT、TREHRレジスタへ書き込む値はBCDコード。
選択機能	12時間モード/24時間モード切り替え機能

### 21.2.1 タイマRE秒データレジスタ(TRESEC)[リアルタイムクロックモード時]

アドレス 0118h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	SC00	秒一位カウントビット	1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	SC01				R/W
b2	SC02				R/W
b3	SC03				R/W
b4	SC10	秒十位カウントビット	0から5をカウントして、60秒をカウント	0 ~ 5 (BCDコード)	R/W
b5	SC11				R/W
b6	SC12				R/W
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

### 21.2.2 タイマRE分データレジスタ(TREMIN)[リアルタイムクロックモード時]

アドレス 0119h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MN00	分一位カウントビット	1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	MN01				R/W
b2	MN02				R/W
b3	MN03				R/W
b4	MN10	分十位カウントビット	0から5をカウントして、60分をカウント	0 ~ 5 (BCDコード)	R/W
b5	MN11				R/W
b6	MN12				R/W
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

### 21.2.3 タイマRE時データレジスタ(TREHR)[リアルタイムクロックモード時]

アドレス 011Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	-	HR11	HR10	HR03	HR02	HR01	HR00
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	HR01				R/W
b2	HR02				R/W
b3	HR03				R/W
b4	HR10	時十位カウントビット	H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。 H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。	0 ~ 2 (BCDコード)	R/W
b5	HR11				R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります		R

### 21.2.4 タイマRE曜日データレジスタ(TREWK)[リアルタイムクロックモード時]

アドレス 011Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	-	-	-	-	WK2	WK1	WK0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	WK0	曜日カウントビット	b2 b1 b0 000:日 001:月 010:火 011:水 100:木 101:金 110:土 111:設定しないでください	R/W
b1	WK1			R/W
b2	WK2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	-	-		
b5	-	-		
b6	-	-		
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります	R

### 21.2.5 タイマRE制御レジスタ1 (TRECRC1)[リアルタイムクロックモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	-
リセット後の値	X	X	X	X	X	0	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	R
b2	TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMIN、TREHR、TREWK、TRECRC2レジスタが“00h” • TRECRC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	H12_H24ビットが“0”(12時間モード)のとき(注1) 0: 午前 1: 午後 H12_H24ビットが“1”(24時間モード)のとき、不定	R/W
b6	H12_H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	R/W
b7	TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. タイマREがカウント中、自動的に変化します。

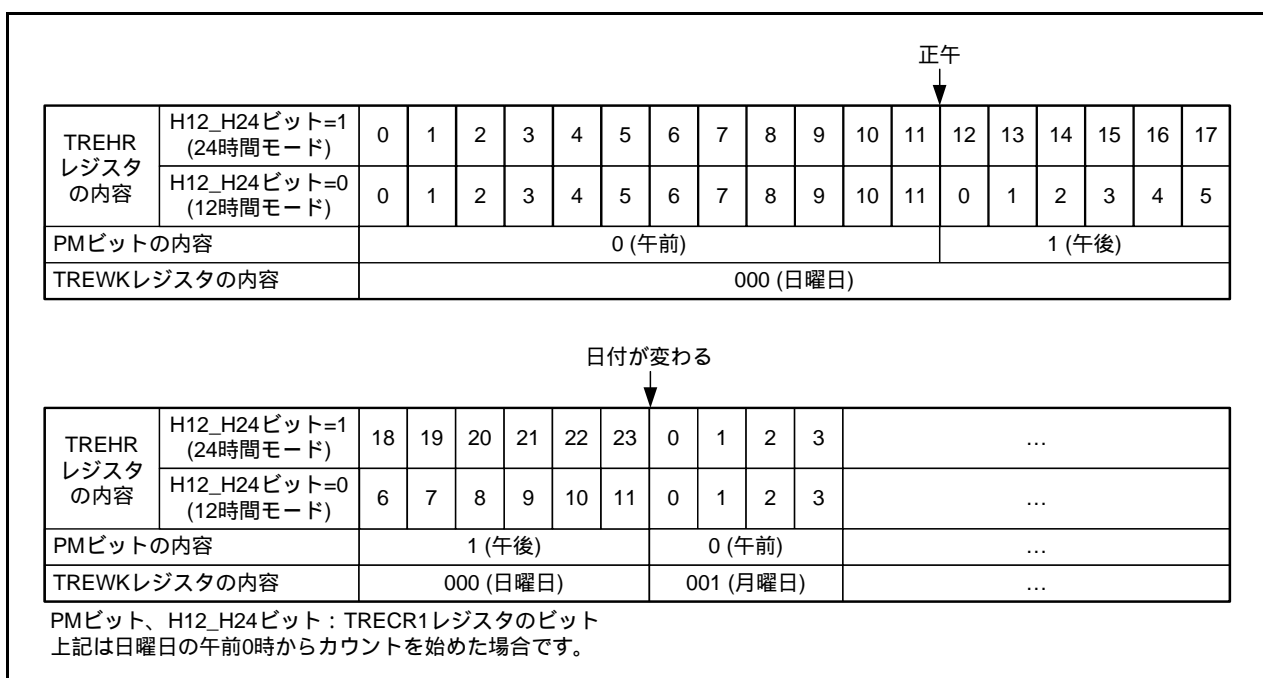


図 21.2 時間表現の定義



### 21.2.6 タイマRE制御レジスタ2 (TRECRC2)[リアルタイムクロックモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE	SEIE05	SEIE025
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	SEIE025	0.25秒周期割り込み許可ビット(注1)	0: 0.25秒周期割り込み禁止 1: 0.25秒周期割り込み許可	R/W
b1	SEIE05	0.5秒周期割り込み許可ビット(注1)	0: 0.5秒周期割り込み禁止 1: 0.5秒周期割り込み許可	R/W
b2	SEIE	秒周期割り込み許可ビット(注1)	0: 秒周期割り込み禁止 1: 秒周期割り込み許可	R/W
b3	MNIE	分周期割り込み許可ビット(注1)	0: 分周期割り込み禁止 1: 分周期割り込み許可	R/W
b4	HRIE	時周期割り込み許可ビット(注1)	0: 時周期割り込み禁止 1: 時周期割り込み許可	R/W
b5	DYIE	日周期割り込み許可ビット(注1)	0: 日周期割り込み禁止 1: 日周期割り込み許可	R/W
b6	WKIE	週周期割り込み許可ビット(注1)	0: 週周期割り込み禁止 1: 週周期割り込み許可	R/W
b7	COMIE	コンペアー一致割り込み許可ビット	リアルタイムクロックモードでは“0”にしてください	R/W

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

表 21.3 割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	TREWKレジスタの値が“000b”(日曜日)になる(1週間周期)	WKIE
日周期割り込み	TREWKレジスタが更新(1日周期)される	DYIE
時周期割り込み	TREHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TREMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRESECレジスタが更新(1秒周期)される	SEIE
0.5秒周期割り込み	8ビットカウンタが更新(0.5秒周期)される	SEIE05
0.25秒周期割り込み	8ビットカウンタが更新(0.25秒周期)される	SEIE025

### 21.2.7 タイマREカウントソース選択レジスタ(TRECSR)[リアルタイムクロックモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット	リアルタイムクロックモードでは“00b”にしてください	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット	リアルタイムクロックモードでは“0”にしてください	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注1)	b6 b5 b4 0 0 0 : f2 0 0 1 : fC 0 1 0 : f4 0 1 1 : 1Hz 1 0 0 : f8 上記以外：設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが\*0(クロック出力禁止)のとき、書いてください。

### 21.2.8 動作例

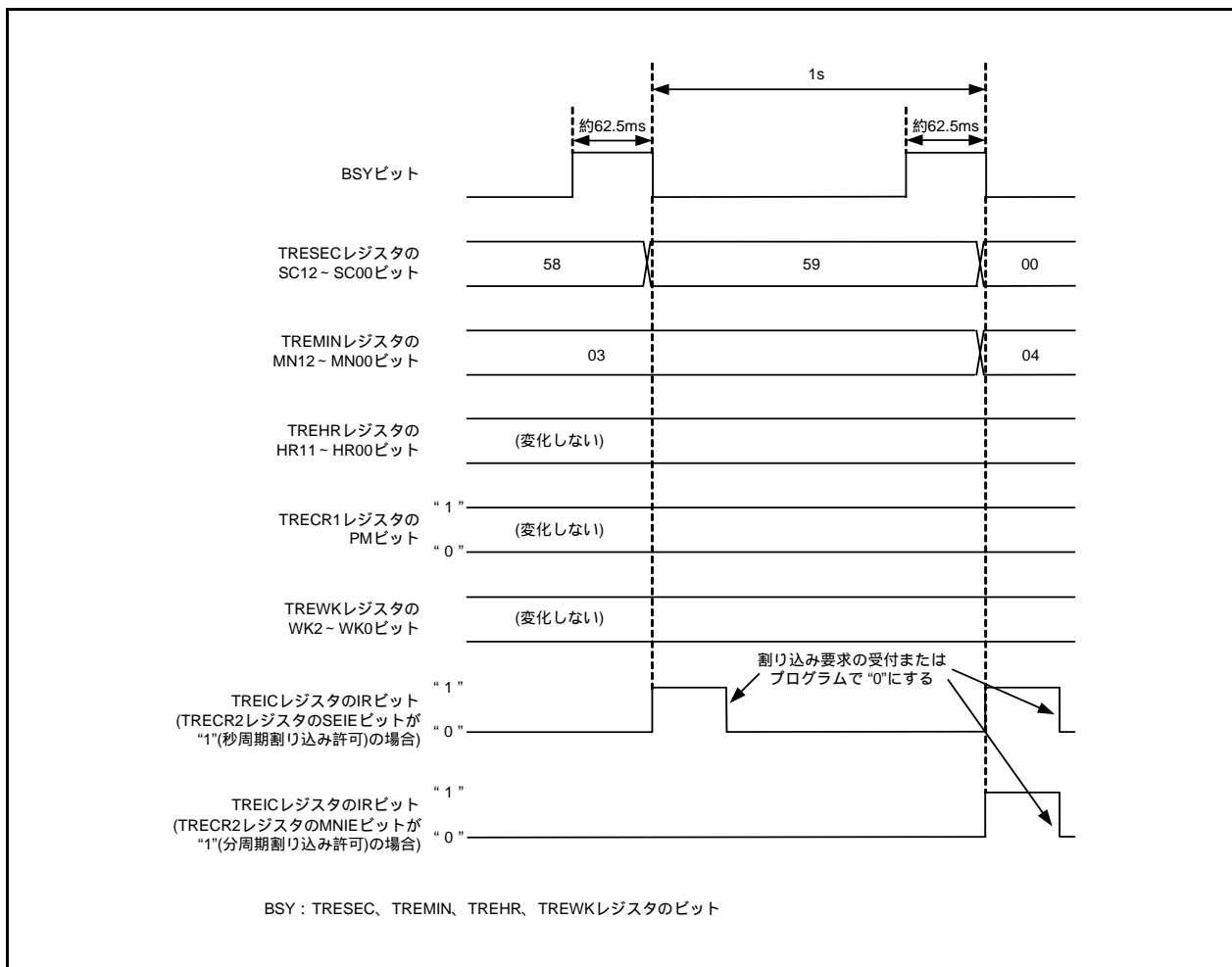


図 21.3 リアルタイムクロックモードの動作例

### 21.3 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図 21.4 にアウトプットコンペアモードのブロック図を、表 21.4 にアウトプットコンペアモードの仕様を、図 21.5 にアウトプットコンペアモードの動作例を示します。

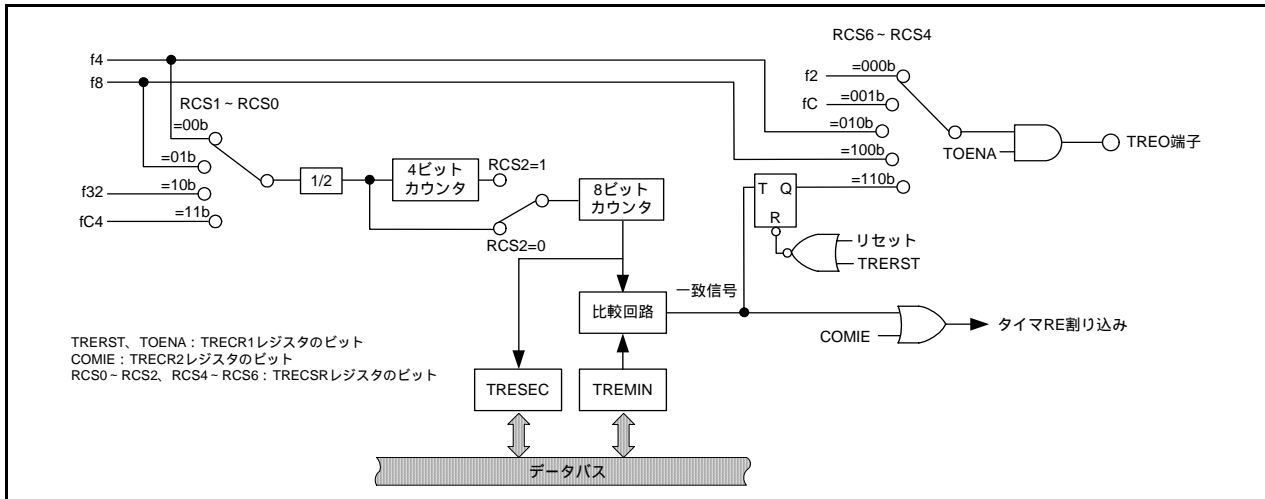


図 21.4 アウトプットコンペアモードのブロック図

表 21.4 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f4、f8、f32、fC4
カウント動作	<ul style="list-style-type: none"> <li>アップカウント</li> <li>8ビットカウンタは、値がTREMINTレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。</li> </ul>
カウント周期	<ul style="list-style-type: none"> <li>RCS2=0(4ビットカウンタ使用しない)の場合 <math>1/f_i \times 2 \times (n + 1)</math></li> <li>RCS2=1(4ビットカウンタ使用する)の場合 <math>1/f_i \times 32 \times (n + 1)</math></li> </ul> f <sub>i</sub> : カウントソースの周波数 n: TREMINレジスタの設定値
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	8ビットカウンタの内容とTREMINTレジスタの内容が一致したとき
TREO端子機能	次のいずれかを選択 <ul style="list-style-type: none"> <li>プログラマブル入出力ポート</li> <li>f2、fC、f4、f8のいずれかを出力</li> <li>コンペア出力</li> </ul>
タイマの読み出し	TRESECレジスタを読むと、8ビットカウンタの値が読める。 TREMINTレジスタを読むと、コンペア値が読める。
タイマの書き込み	TRESECレジスタへの書き込みはできない。 TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINTレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> <li>4ビットカウンタ使用選択</li> <li>コンペア出力機能</li> </ul> 8ビットカウンタ値とTREMINTレジスタの内容が一致することにTREO出力極性を反転。リセット解除後と、TRECR1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。

### 21.3.1 タイマREカウンタデータレジスタ(TRESEC)[アウトプットコンペアモード時]

アドレス 0118h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	8ビットのカウンタデータが読めます。 タイマREのカウントが停止しても、カウント値は保持されます。 コンペア一致で、TRESECレジスタは“00h”になります。	R

### 21.3.2 タイマREコンペアデータレジスタ(TREMIN)[アウトプットコンペアモード時]

アドレス 0119h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	8ビットのコンペアデータを格納	R

### 21.3.3 タイマRE制御レジスタ1 (TRECRC1)[アウトプットコンペアモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	-
リセット後の値	X	X	X	X	X	0	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	R
b2	TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMINT、TREHR、TREWK、TRECRC2レジスタが“00h” • TRECRC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b6	H12_H24	動作モード選択ビット		R/W
b7	TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	R/W

### 21.3.4 タイマRE制御レジスタ2 (TRECRC2)[アウトプットコンペアモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE	SEIE05	SEIE025
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	SEIE025	0.25秒周期割り込み許可ビット(注1)	アウトプットコンペアモードでは“0”にしてください。	R/W
b1	SEIE05	0.5秒周期割り込み許可ビット(注1)		R/W
b2	SEIE	秒周期割り込み許可ビット(注1)		R/W
b3	MNIE	分周期割り込み許可ビット(注1)		R/W
b4	HRIE	時周期割り込み許可ビット(注1)		R/W
b5	DYIE	日周期割り込み許可ビット(注1)		R/W
b6	WKIE	週周期割り込み許可ビット(注1)		R/W
b7	COMIE	コンペアー一致割り込み許可ビット	0: コンペアー一致割り込み禁止 1: コンペアー一致割り込み許可	R/W

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

### 21.3.5 タイマREカウントソース選択レジスタ(TRECSR)[アウトプットコンペアモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット(注1)	b1 b0 00 : f4 01 : f8 10 : f32 11 : fC4	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット	0 : 使用しない 1 : 使用する	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注2)	b6 b5 b4 000 : f2 001 : fC 010 : f4 100 : f8 110 : コンペア出力 上記以外 : 設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RCS0 ~ RCS1ビットは、TRECR1レジスタのTCSTFビットが“0”(カウント停止中)のとき、書いてください。

注2. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが“0”(クロック出力禁止)のとき、書いてください。

### 21.3.6 動作例

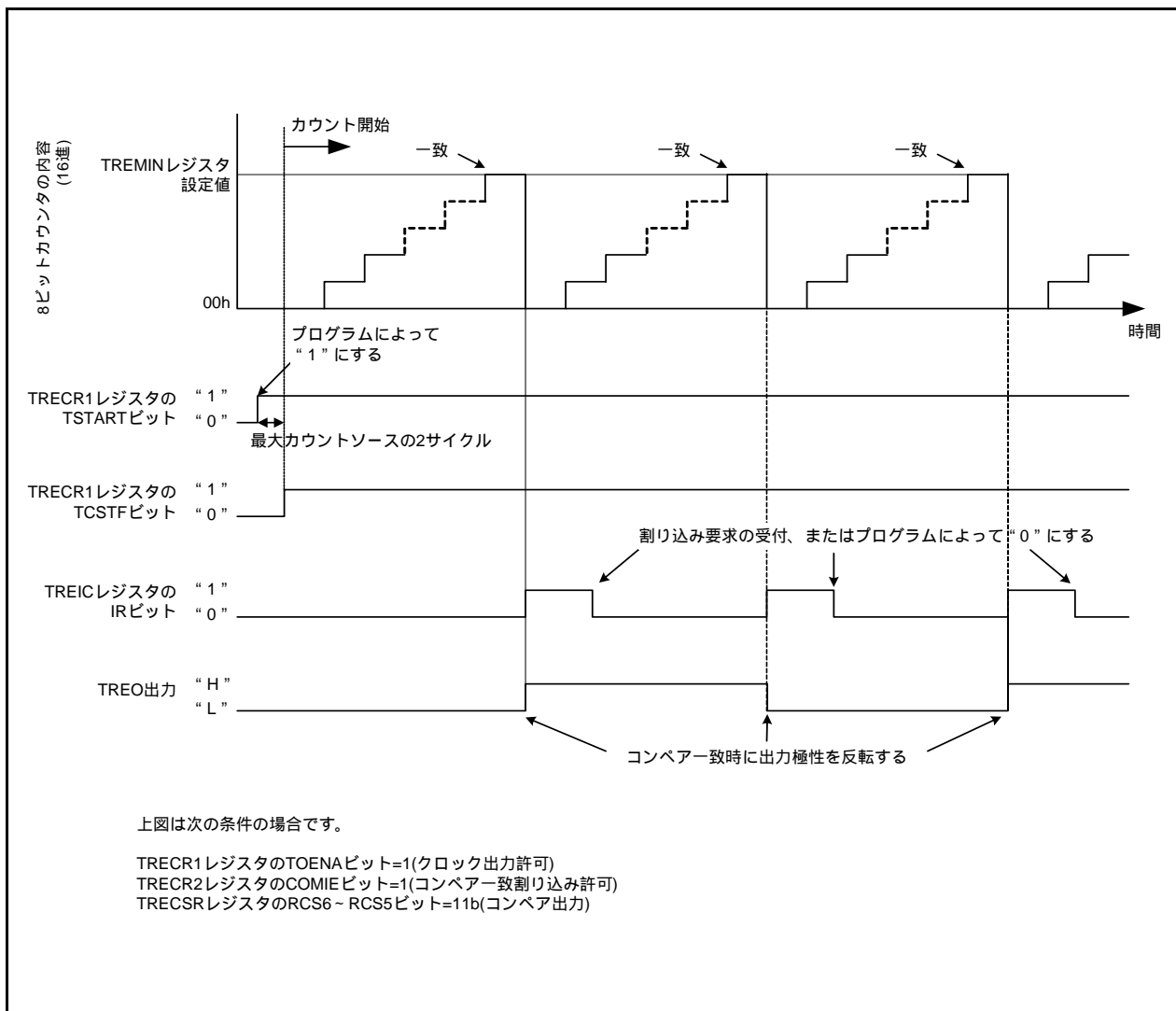


図 21.5 アウトプットコンペアモードの動作例



## 21.4 タイマRE使用上の注意事項

### 21.4.1 リセット

タイマREはリセット入力により秒、分、時、曜日の情報を格納しているレジスタがリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

### 21.4.2 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ: TRESEC、TREMINT、TREHR、TREWK、TRECRI、TRECRI2、TRECSCR

### 21.4.3 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRI2レジスタ
- TRECRIレジスタのH12\_H24ビット、PMビット、INTビット
- TRECSCRレジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRI2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図21.6にリアルタイムクロックモード時の設定例を示します。

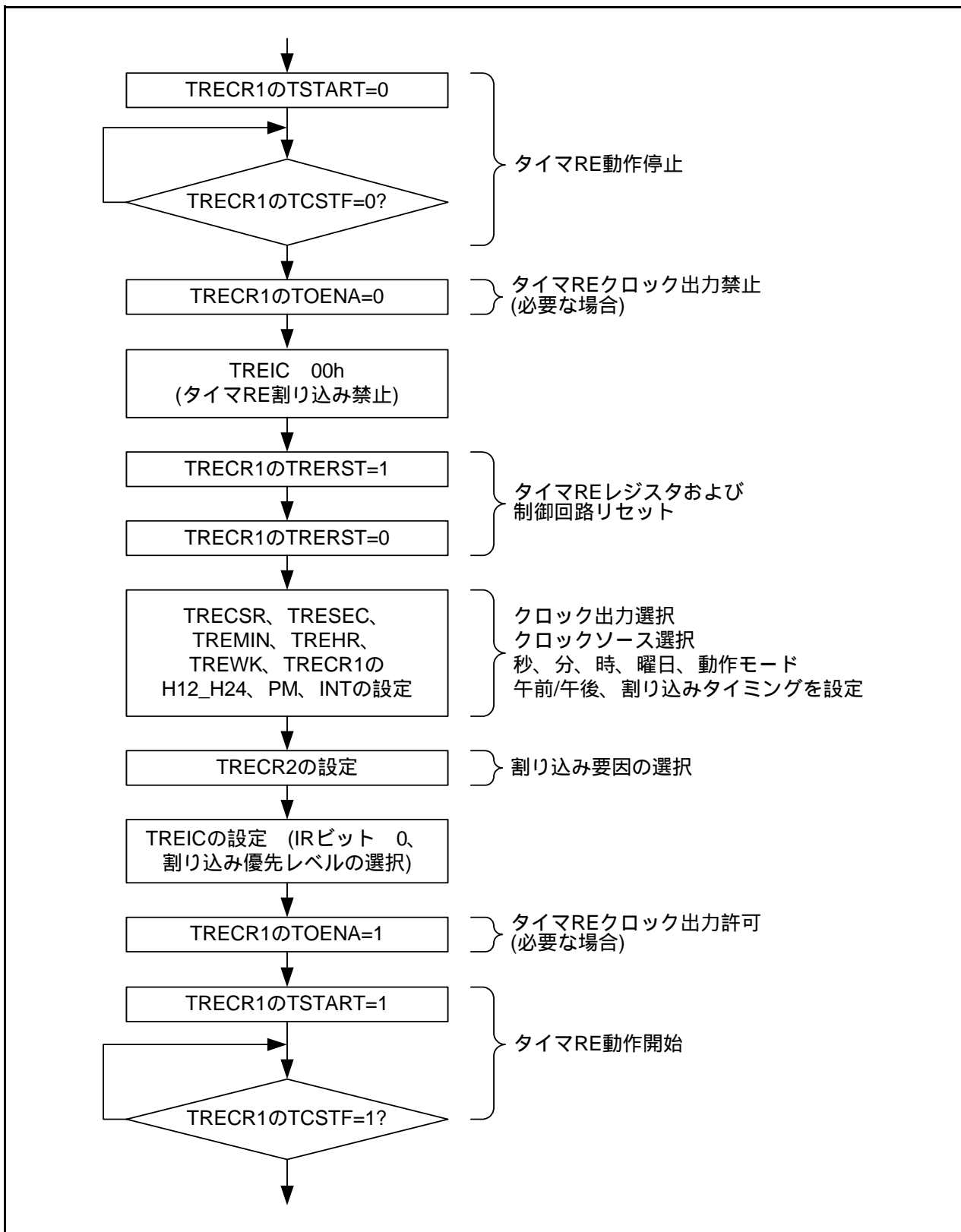


図 21.6 リアルタイムクロックモード時の設定例

#### 21.4.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

## 22. タイマRG

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 22.1 概要

タイマRGは、16ビットタイマで2本の入出力端子を持ちます。

タイマRGの動作クロックは、f1です。表 22.1にタイマRGの動作クロックを示します。

表 22.1 タイマRGの動作クロック

条件	タイマRGの動作クロック
カウントソースがf1、f4、f8、f32、TRGCLKA入力、TRGCLKB入力 (TRGCRレジスタのTCK2～TCK0ビットが“000b”～“101b”、“111b”)	f1

図 22.1にタイマRGのブロック図を、表 22.2にタイマRGの端子構成を示します。

タイマRGは、次の3種類のモードを持ちます。

• タイマモード:

- インพุットキャプチャ機能 立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がりの両エッジでカウント
- アウトプットコンペア機能 “L”出力 / “H”出力 / トグル出力

• PWMモード 任意デューティのPWM出力が可能

• 位相計数モード 2相エンコーダのカウント数の自動計測が可能

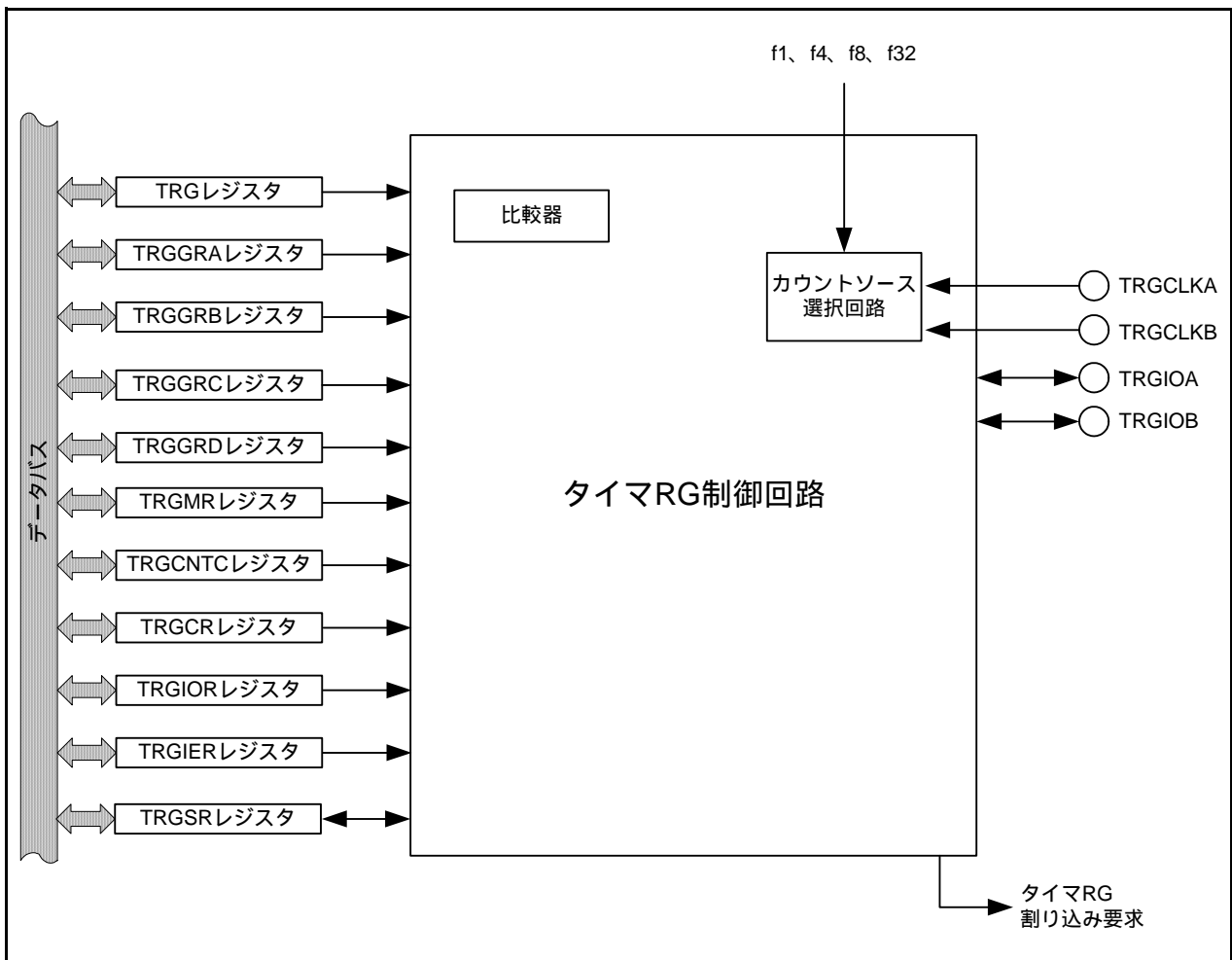


図 22.1 タイマRGのブロック図

表 22.2 タイマRGの端子構成

端子名	割り当てる端子	入出力	機能
TRGCLKA	P13_5	入力	<ul style="list-style-type: none"> <li>位相計数モード時 A相入力</li> <li>位相計数モード時以外 外部クロックA入力</li> </ul>
TRGCLKB	P13_7	入力	<ul style="list-style-type: none"> <li>位相計数モード時 B相入力</li> <li>位相計数モード時以外 外部クロックB入力</li> </ul>
TRGIOA	P13_4	入出力	<ul style="list-style-type: none"> <li>タイマモード(アウトプットコンペア機能)時 TRGGRA アウトプットコンペア出力</li> <li>タイマモード(インプットキャプチャ機能)時 TRGGRA インプットキャプチャ入力</li> <li>PWMモード時 PWM出力</li> </ul>
TRGIOB	P13_6	入出力	<ul style="list-style-type: none"> <li>タイマモード(アウトプットコンペア機能)時 TRGGRB アウトプットコンペア出力</li> <li>タイマモード(インプットキャプチャ機能)時 TRGGRB インプットキャプチャ入力</li> </ul>

## 22.2 レジスタの説明

### 22.2.1 タイマRGモードレジスタ (TRGMR)

アドレス 0170h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	-	DFCK1	DFCK0	DFB	DFA	MDF	PWM
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWM	PWMモード選択ビット	0 : タイマモード 1 : PWMモード	R/W
b1	MDF	位相計数モード選択ビット	0 : アップカウント 1 : 位相計数モード	R/W
b2	DFA	TRGIOA端子のデジタルフィルタ機能選択ビット	0 : デジタルフィルタ機能なし 1 : デジタルフィルタ機能あり	R/W
b3	DFB	TRGIOB端子のデジタルフィルタ機能選択ビット	0 : デジタルフィルタ機能なし 1 : デジタルフィルタ機能あり	R/W
b4	DFCK0	デジタルフィルタ機能で使用するクロック選択ビット	b5 b4 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : TRGCRレジスタのTCK0 ~ 2で選択したクロック	R/W
b5	DFCK1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	TSTART	TRGカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W

#### MDFビット(位相計数モード選択ビット)

MDFビットが“0”のとき、カウンタはTRGCRレジスタのTCK0 ~ TCK2ビットで設定したカウントソースをカウントします。

MDFビットが“1”のとき、カウンタは「表 22.12 TRGレジスタの加算/減算条件」に示すTRGCLKj端子(j=A、B)からの入力信号の位相をカウントします。

## 22.2.2 タイマRGカウント制御レジスタ (TRGCNTC)

アドレス 0171h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CNTEN0	カウント許可ビット0	0: 無効 1: ダウンカウント TRGCLKA入力が“H”レベルで、TRGCLKB入力の立ち上がりエッジのとき	R/W
b1	CNTEN1	カウント許可ビット1	0: 無効 1: ダウンカウント TRGCLKB入力が“L”レベルで、TRGCLKA入力の立ち上がりエッジのとき	R/W
b2	CNTEN2	カウント許可ビット2	0: 無効 1: ダウンカウント TRGCLKA入力が“L”レベルで、TRGCLKB入力の立ち下がりエッジのとき	R/W
b3	CNTEN3	カウント許可ビット3	0: 無効 1: ダウンカウント TRGCLKB入力が“H”レベルで、TRGCLKA入力の立ち下がりエッジのとき	R/W
b4	CNTEN4	カウント許可ビット4	0: 無効 1: アップカウント TRGCLKB入力が“L”レベルで、TRGCLKA入力の立ち下がりエッジのとき	R/W
b5	CNTEN5	カウント許可ビット5	0: 無効 1: アップカウント TRGCLKA入力が“H”レベルで、TRGCLKB入力の立ち下がりエッジのとき	R/W
b6	CNTEN6	カウント許可ビット6	0: 無効 1: アップカウント TRGCLKB入力が“H”レベルで、TRGCLKA入力の立ち上がりエッジのとき	R/W
b7	CNTEN7	カウント許可ビット7	0: 無効 1: アップカウント TRGCLKA入力が“L”レベルで、TRGCLKB入力の立ち上がりエッジのとき	R/W

TRGCNTCレジスタは位相計数モードで使用します。TRGCNTCレジスタのカウント条件を設定します。

### 22.2.3 タイマRG制御レジスタ(TRGCR)

アドレス 0172h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット (注1)	b2 b1 b0 0 0 0 : f1 0 0 1 : 設定しないでください 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRGCLKA入力 1 1 0 : 設定しないでください 1 1 1 : TRGCLKB入力	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロック有効エッジ 選択ビット(注1)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 立ち上がり/立ち下がりの両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRGレジスタクリア要因選 択ビット	b6 b5 0 0 : クリア禁止 0 1 : インพุットキャプチャまたはTRGGRAのコンペア 一致でTRGレジスタをクリア 1 0 : インพุットキャプチャまたはTRGGRBのコンペア 一致でTRGレジスタをクリア 1 1 : 設定しないでください	R/W
b6	CCLR1			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. 位相計数モードのとき、TCK0 ~ TCK2ビット、およびCKEG0 ~ CKEG1ビット設定は無効になり、位相計数モードの動作が優先されます。



### 22.2.4 タイマRG割り込み許可レジスタ(TRGIER)

アドレス 0173h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	OVIE	UDIE	IMIEB	IMIEA
リセット後の値	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/ コンペア一致割り込み許可 ビットA	0 : IMFAビットによる割り込みを禁止 1 : IMFAビットによる割り込みを有効	R/W
b1	IMIEB	インプットキャプチャ/ コンペア一致割り込み許可 ビットB	0 : IMFBビットによる割り込みを禁止 1 : IMFBビットによる割り込みを有効	R/W
b2	UDIE	アンダフロー割り込み許可 ビット	0 : UDFビットによる割り込みを禁止 1 : UDFビットによる割り込みを有効	R/W
b3	OVIE	オーバフロー割り込み許可 ビット	0 : OVFビットによる割り込みを禁止 1 : OVFビットによる割り込みを有効	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

### 22.2.5 タイマRGステータスレジスタ(TRGSR)

アドレス 0174h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	DIRF	OVF	UDF	IMFB	IMFA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/ コンペアー一致フラグA	["0"になる条件] 読んだ後、“0”を書く(注1、2)	R/W
b1	IMFB	インプットキャプチャ/ コンペアー一致フラグB	["1"になる条件] 「表 22.3 各フラグが“1”になる条件」を参照	R/W
b2	UDF	アンダフローフラグ		R/W
b3	OVF	オーバフローフラグ		R/W
b4	DIRF	カウント方向フラグ	0 : TRG レジスタはダウンカウント 1 : TRG レジスタはアップカウント	R
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても、元の値を保持するため変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても、元の値を保持するため“1”のままです)。
- ・“1”を書いた場合は変化しません。

注2. IMFA、IMFB、UDF、OVF ビットを“0”にするときは、MOV 命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。この書き込みの後、続けて“0Fh”を書いてください。“0Fh”を書くまでに、割り込みおよびDTC転送が入らないようにしてください。

TRGSR レジスタに書いた後、TRGSR レジスタを読み出す場合は、書き込みと読み出しの命令間に、NOP 命令を1つ以上挿入してください。

表 22.3 各フラグが“1”になる条件

ビット シンボル	タイマモード		PWMモード
	インプットキャプチャ機能	アウトプットコンペアー機能	
IMFA	TRGIOA 端子の入力エッジ(注1)	TRG と TRGGRA の値が一致したとき	
IMFB	TRGIOB 端子の入力エッジ(注1)	TRG と TRGGRB の値が一致したとき	
UDF	TRG がアンダフローしたとき		
OVF	TRG がオーバフローしたとき		

注1. TRGIOR レジスタのIOj1 ~ IOj0 ビット(j = A、B)で選択したエッジ。

### 22.2.6 タイマRG I/O制御レジスタ(TRGIOR)

アドレス 0175h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2			R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0: TRGGRAレジスタのバッファレジスタとして使用しない 1: TRGGRAレジスタのバッファレジスタとして使用する	R/W
b4	IOB0	TRGGRB制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット	0: アウトプットコンペア機能(注3) 1: インพุットキャプチャ機能(注4)	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0: TRGGRBレジスタのバッファレジスタとして使用しない 1: TRGGRBレジスタのバッファレジスタとして使用する	R/W

- 注1. IOA2ビットが“0”(アウトプットコンペア機能)のときTRGGRAレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、TRGIOA端子からは“L”を出力します。
- 注2. IOA2ビットが“1”(インพุットキャプチャ機能)のときTRGGRAレジスタはインพุットキャプチャレジスタとして機能します。
- 注3. IOB2ビットが“0”(アウトプットコンペア機能)のときTRGGRBレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、TRGIOB端子からは“L”を出力します。
- 注4. IOB2ビットが“1”(インพุットキャプチャ機能)のときTRGGRBレジスタはインพุットキャプチャレジスタとして機能します。

## 22.2.7 タイマRGカウンタ(TRG)

アドレス 0177h ~ 0176h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	位相計数モードの場合、カウント動作はアップカウント/ダウンカウント。それ以外の場合はアップカウント。	0000h ~ FFFFh	R/W

TRGレジスタは、CPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGレジスタは、アップカウント/ダウンカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TRGCRレジスタは対応するTRGGRA、TRGGRBレジスタとのコンペアー一致、またはTRGGRA、TRGGRBレジスタへのインプットキャプチャにより“0000h”にクリアすることができます(カウンタクリア機能)。

TRGCRレジスタがオーバフロー(“FFFFh” “0000h”)すると、TRGSRレジスタのOVFビットが“1”になります。アンダフロー(“0000h” “FFFFh”)すると、TRGSRレジスタのUDFビットが“1”になります。

## 22.2.8 タイマRGジェネラルレジスタA、B、C、D (TRGGRA、TRGGRB、TRGGRC、TRGGRD)

アドレス 0179h ~ 0178h 番地 (TRGGRA)、017Bh ~ 017Ah 番地 (TRGGRB)、  
017Dh ~ 017Ch 番地 (TRGGRC)、017Fh ~ 017Eh 番地 (TRGGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	モードによって機能が異なる	R/W

TRGGRA、TRGGRBレジスタは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TRGIORレジスタにより行います。

アウトプットコンペアレジスタとして使用しているときは、TRGGRA、TRGGRBレジスタの値とTRGレジスタの値は常に比較されています。両者の値が一致(コンペア一致)すると、TRGSRレジスタのIMFA/IMFBビットが“1”になります。TRGIORレジスタによりコンペア一致出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRGレジスタの値を格納します。このときTRGSRレジスタのIMFA/IMFBビットが“1”になります。インプットキャプチャ信号の検出エッジ選択はTRGIORレジスタにより行います。

PWMモード時、TRGIORレジスタの設定は無視されます。

また、TRGGRCレジスタはTRGGRAレジスタのバッファレジスタとして、TRGGRDレジスタはTRGGRBレジスタのバッファレジスタとしてそれぞれ使用することもできます。この機能はTRGIORレジスタのBUFA、BUFBビットにより選択できます。

例えば、TRGGRAレジスタがアウトプットコンペアレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、コンペア一致Aが発生するたびにTRGGRCレジスタの値がTRGGRAレジスタに転送されます。

TRGGRAレジスタがインプットキャプチャレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRGレジスタの値がTRGGRAレジスタに、TRGGRAレジスタの値がTRGGRCレジスタに転送されます。

TRGGRA、TRGGRBレジスタはCPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGGRA、TRGGRBレジスタは、リセット後アウトプットコンペアレジスタ(端子出力禁止)に設定されます。

### 22.2.9 タイマRG端子選択レジスタ (TRGPSR)

アドレス 0187h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRGCLKBSEL0	TRGCLKASEL0	TRGIOBSEL0	TRGIOASEL0	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	-			
b4	TRGIOASEL0	TRGIOA端子選択ビット	0 : TRGIOA端子は使用しない 1 : TRGIOA端子を使用する	R/W
b5	TRGIOBSEL0	TRGIOB端子選択ビット	0 : TRGIOB端子は使用しない 1 : TRGIOB端子を使用する	R/W
b6	TRGCLKASEL0	TRGCLKA端子選択ビット	0 : TRGCLKA端子は使用しない 1 : TRGCLKA端子を使用する	R/W
b7	TRGCLKBSEL0	TRGCLKB端子選択ビット	0 : TRGCLKB端子は使用しない 1 : TRGCLKB端子を使用する	R/W

TRGPSRレジスタは、タイマRGの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRGの入出力端子を使用する場合は、TRGPSRレジスタを設定してください。

タイマRGの関連レジスタを設定をする前に、TRGPSRレジスタを設定してください。また、タイマRGの動作中はTRGPSRレジスタの設定値を変更しないでください。

## 22.3 複数モードに関わる共通事項

### 22.3.1 カウントソース

表 22.4にカウントソースの選択を、図22.2にカウントソースのブロック図を示します。

位相計数モード選択時、TRGCRレジスタのTCK0 ~ TCK2ビットおよびCKEG0 ~ CKEG1ビットの設定は無効になります。

表 22.4 カウントソースの選択

カウントソース	選択方法
f1、f4、f8、f32	TRGCRレジスタのTCK0 ~ TCK2ビットでカウントソース選択
TRGCLKA、TRGCLKB 端子に入力された外部 信号	TRGCRレジスタのTCK2 ~ TCK0ビットが“101b”(TRGCLKA入力)または “111b”(TRGCLKB入力) TRGCRレジスタのCKEG0 ~ CKEG1ビットで有効エッジを選択 対応する方向レジスタの方向ビットが“0”(入力モード)

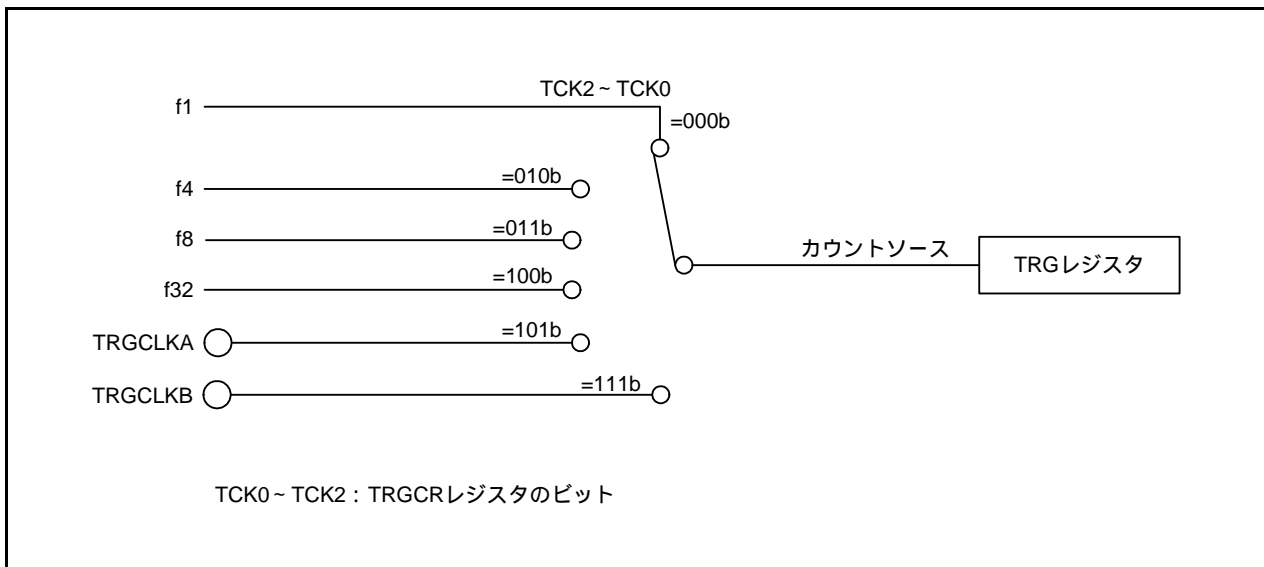


図 22.2 カウントソースのブロック図

TRGCLK<sub>j</sub>端子(j=A、B)に入力する外部クロックのパルス幅は、タイマRGの動作クロック(「表 22.1  
タイマRGの動作クロック」参照)の3サイクル以上にしてください。

### 22.3.2 バッファ動作

TRGIORレジスタのBUFA、BUFBビットで、TRGGRC、TRGGRDレジスタをTRGGRA、TRGGRBレジスタのバッファレジスタにできます。

- TRGGRAのバッファレジスタ：TRGGRCレジスタ
- TRGGRBのバッファレジスタ：TRGGRDレジスタ

バッファ動作は、モードによって違います。表 22.5 に各モードのバッファ動作を、図 22.3 にインプットキャプチャ機能のバッファ動作を、図 22.4 にアウトプットコンペア機能のバッファ動作を示します。

表 22.5 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRGGRA(TRGGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRGレジスタとTRGGRA(TRGGRB)レジスタのコンペア一致	バッファレジスタの内容をTRGGRA(TRGGRB)レジスタに転送
PWMモード		

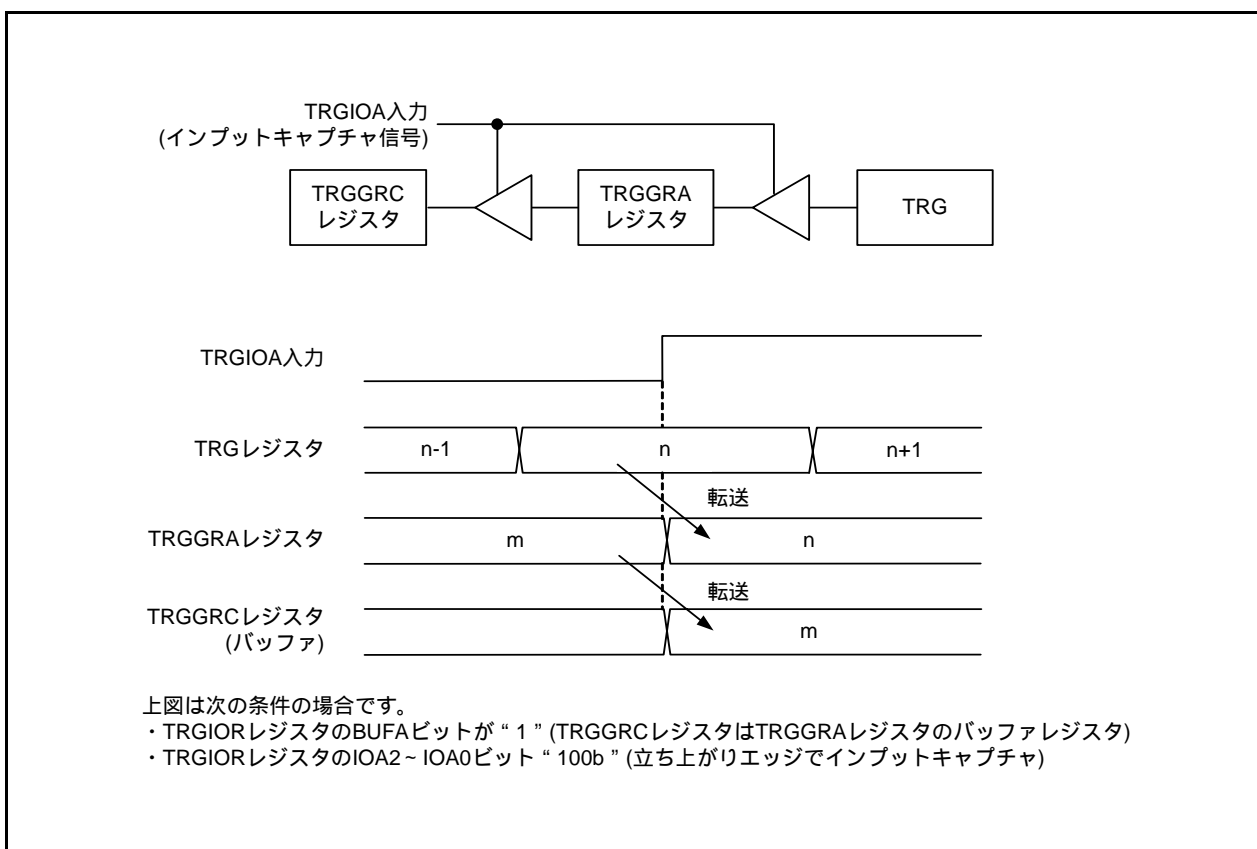


図 22.3 インプットキャプチャ機能のバッファ動作



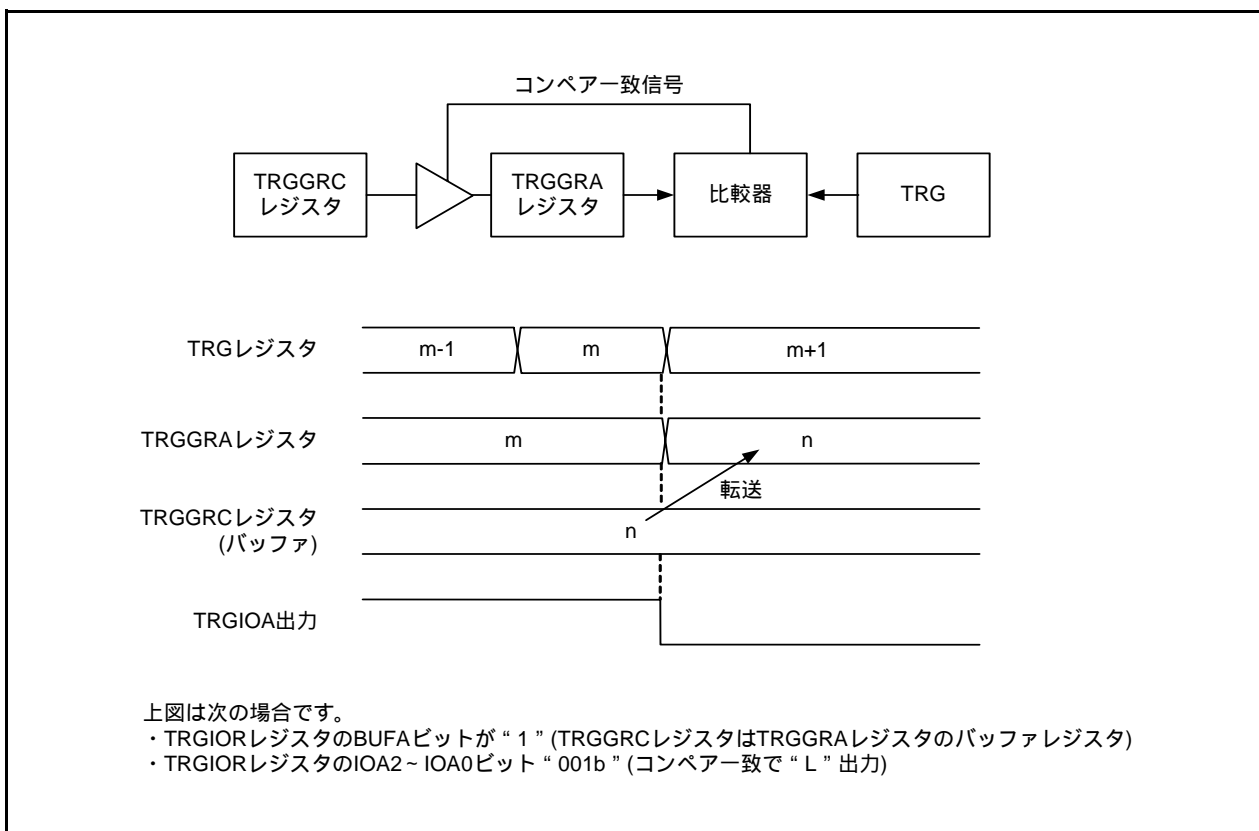


図 22.4 アウトプットコンペアー機能のバッファ動作

### 22.3.3 デジタルフィルタ

TRGIOj(j = A, Bのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRGMRレジスタで選択してください。

図22.5にデジタルフィルタのブロック図を示します。

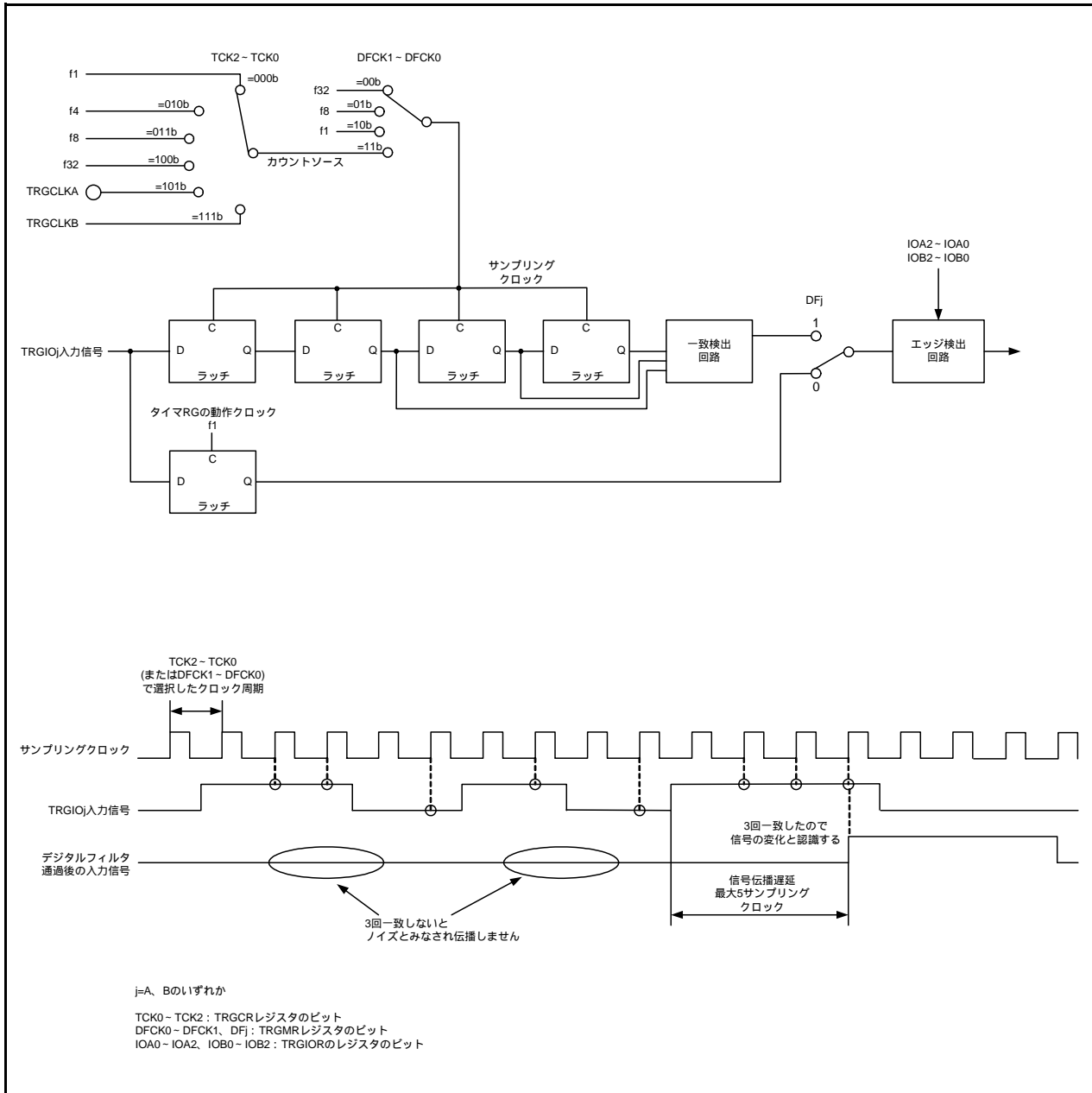


図22.5 デジタルフィルタのブロック図

## 22.4 タイマモード(インプットキャプチャ機能)

インプットキャプチャ/アウトプットコンペア端子(TRGIOA、TRGIOB)の入力エッジを検出してTRGレジスタの値をTRGGRA、TRGGRBレジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

表 22.6にインプットキャプチャ機能の仕様を示します。

表 22.6 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f4、f8、f32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRGCRレジスタのCCLR1～CCLR0ビットが“00b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>インプットキャプチャ (TRGIOj 入力の有効エッジ)</li> <li>TRG レジスタオーバフロー</li> </ul>
TRGIOA、TRGIOB 端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力 (1端子ごとに選択)
TRGCLKA、TRGCLKB 端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>インプットキャプチャ入力端子選択 TRGIOA、TRGIOB 端子のいずれか 1 本または両方</li> <li>インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方</li> <li>TRG レジスタを“0000h”にするタイミング オーバフロー、またはインプットキャプチャ時</li> <li>バッファ動作(「22.3.2 バッファ動作」参照)</li> <li>デジタルフィルタ(「22.3.3 デジタルフィルタ」参照)</li> </ul>

j = A、B

### 22.4.1 タイマRG I/O制御レジスタ(TRGIOR) [タイマモード(インプットキャプチャ機能)時]

アドレス 0175h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	b1 b0 00: 立ち上がりエッジでTRGGRAへインプットキャプチャ 01: 立ち下がりエッジでTRGGRAへインプットキャプチャ 10: 両エッジでTRGGRAへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0: TRGGRAレジスタのバッファレジスタとして使用しない 1: TRGGRAレジスタのバッファレジスタとして使用する	R/W
b4	IOB0	TRGGRB制御ビット	b5 b4 00: 立ち上がりエッジでTRGGRBへインプットキャプチャ 01: 立ち下がりエッジでTRGGRBへインプットキャプチャ 10: 両エッジでTRGGRBへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0: TRGGRBレジスタのバッファレジスタとして使用しない 1: TRGGRBレジスタのバッファレジスタとして使用する	R/W

注1. IOA2ビットが“1”(インプットキャプチャ機能)のときTRGGRAレジスタはインプットキャプチャレジスタとして機能します。

注2. IOB2ビットが“1”(インプットキャプチャ機能)のときTRGGRBレジスタはインプットキャプチャレジスタとして機能します。

### 22.4.2 インットキャプチャ動作の設定手順例

図 22.6にインットキャプチャ動作の設定手順例を示します。

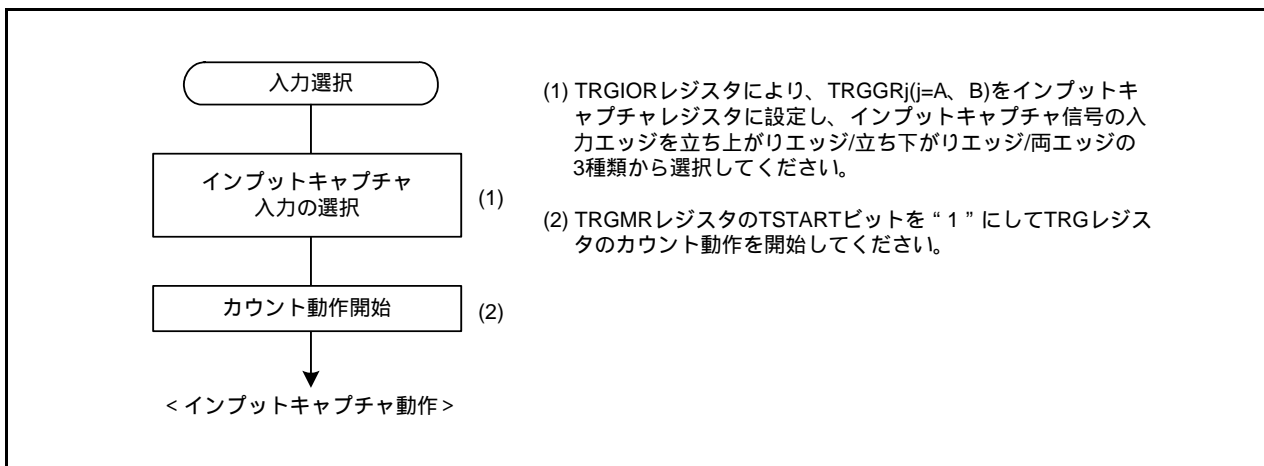


図 22.6 インットキャプチャ動作の設定手順例

### 22.4.3 インットキャプチャ信号タイミング

インットキャプチャ入力、TRGIORレジスタの設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

図 22.7にインットキャプチャ入力信号タイミングを示します。

インットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5f<sub>1</sub>以上、両エッジの場合は2.5f<sub>1</sub>以上必要です。

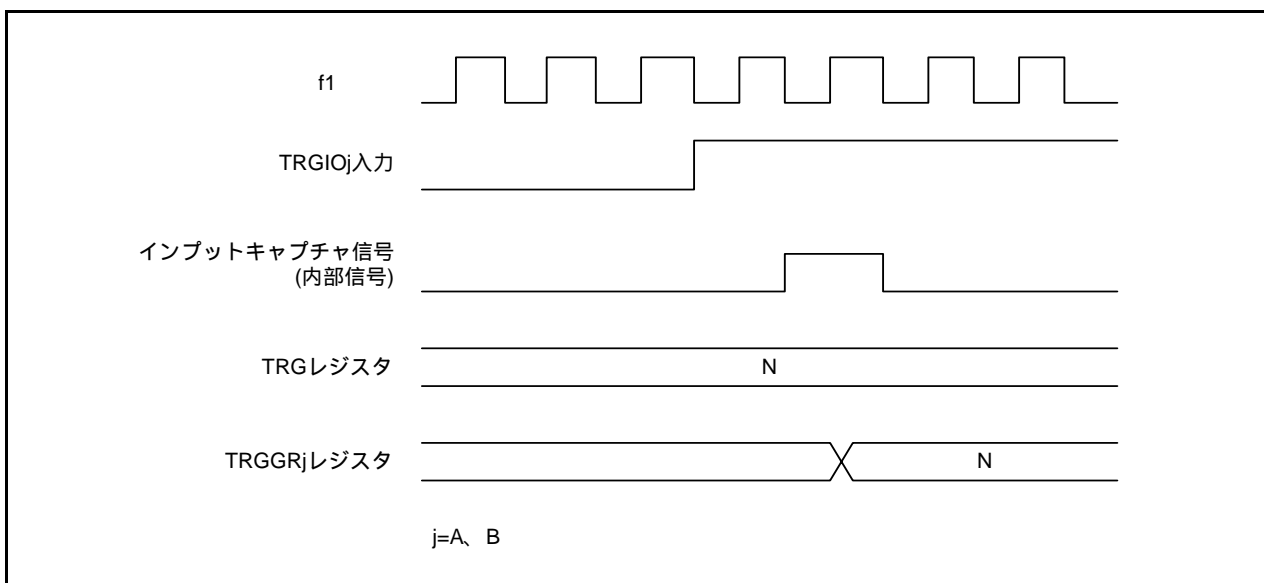


図 22.7 インットキャプチャ入力信号タイミング

### 22.4.4 動作例

図 22.8にインプットキャプチャ動作例を示します。

TRGIOA端子のインプットキャプチャ入力エッジは立ち上がり/立ち下がり/両エッジ、またTRGIOB端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TRGレジスタはTRGGRBレジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

- (1) TRGIORレジスタにより、TRGGRA、TRGGRBレジスタをインプットキャプチャレジスタに設定し、インプットキャプチャ信号の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジの3種類から選択してください。
- (2) TRGMRレジスタのTSTARTビットを“1”にしてTRGレジスタのカウンタ動作を開始してください。

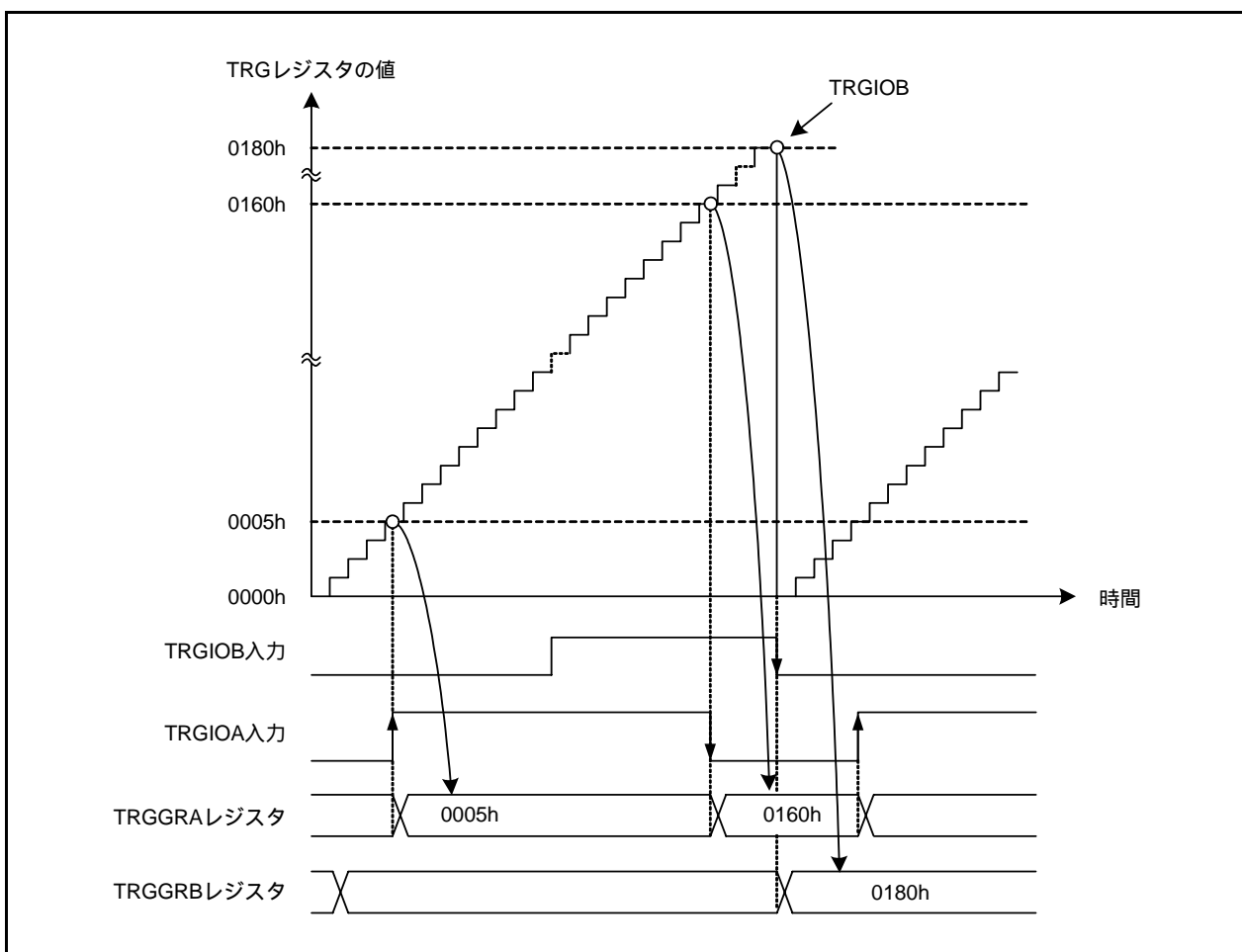


図 22.8 インプットキャプチャ動作例

## 22.5 タイマモード(アウトプットコンペア機能)

TRGレジスタの内容と、TRGGRA、TRGGRBレジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき、TRGIOA、TRGIOB端子から任意のレベルを出力します。

表 22.7 にアウトプットキャプチャ機能の仕様を示します。

表 22.7 アウトプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f4、f8、f32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>•TRGCR レジスタの CCLR1 ~ CCLR0 ビットが “00b” (フリーランニング動作) の場合 <math>1/fk \times 65536</math> <math>fk</math>: カウントソースの周波数</li> <li>•TRGCR レジスタの CCLR1 ~ CCLR0 ビットが “01b”、“10b” (TRGGRj のコンペア一致で TRG を “0000h” にする) の場合 <math>1/fk \times (n + 1)</math> <math>n</math>: TRGGRj レジスタの設定値</li> </ul>
波形出力タイミング	コンペア一致
カウント開始条件	TRGMR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み
カウント停止条件	TRGMR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>•コンペア一致 (TRG レジスタと TRGGRj レジスタの内容が一致)</li> <li>•TRG レジスタオーバフロー</li> </ul>
TRGIOA、TRGIOB 端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力 (1端子ごとに選択)
TRGCLKA、TRGCLKB 端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRG レジスタを読むと、カウント値が読める
タイマの書き込み	TRG レジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>•アウトプットコンペア出力端子選択 TRGIOA、TRGIOB 端子のいずれか 1 本または両方</li> <li>•コンペア一致時の出力レベル選択 “L” 出力、“H” 出力、または出力レベル反転</li> <li>•TRG レジスタを “0000h” にするタイミング オーバフロー、または TRGGRj レジスタのコンペア一致</li> <li>•バッファ動作 (「22.3.2 バッファ動作」参照)</li> </ul>

j = A、B

### 22.5.1 タイマRG I/O制御レジスタ(TRGIOR) [タイマモード(アウトプットコンペア機能)時]

アドレス 0175h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	b1 b0 00: コンペア一致による端子出力禁止 (TRGIOA端子はプログラマブル入出力ポート) 01: TRGGRAのコンペア一致で“L”出力 10: TRGGRAのコンペア一致で“H”出力 11: TRGGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0: TRGGRAレジスタのバッファレジスタとして使 用しない 1: TRGGRAレジスタのバッファレジスタとして使 用する	R/W
b4	IOB0	TRGGRB制御ビット	b5 b4 00: コンペア一致による端子出力禁止 (TRGIOB端子はプログラマブル入出力ポート) 01: TRGGRBのコンペア一致で“L”出力 10: TRGGRBのコンペア一致で“H”出力 11: TRGGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0: TRGGRBレジスタのバッファレジスタとして使 用しない 1: TRGGRBレジスタのバッファレジスタとして使 用する	R/W

注1. IOA2ビットが“0”(アウトプットコンペア機能)のとき、TRGGRAレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、

IOA1 ~ IOA0 = 01bのとき“H”出力  
10bのとき“L”出力  
11bのとき“L”出力

注2. IOB2ビットが“0”(アウトプットコンペア機能)のとき、TRGGRBレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、

IOB1 ~ IOB0 = 01bのとき“H”出力  
10bのとき“L”出力  
11bのとき“L”出力



### 22.5.2 コンペアー一致による波形出力の設定手順例

図 22.9 にコンペアー一致による波形出力の設定手順を示します。

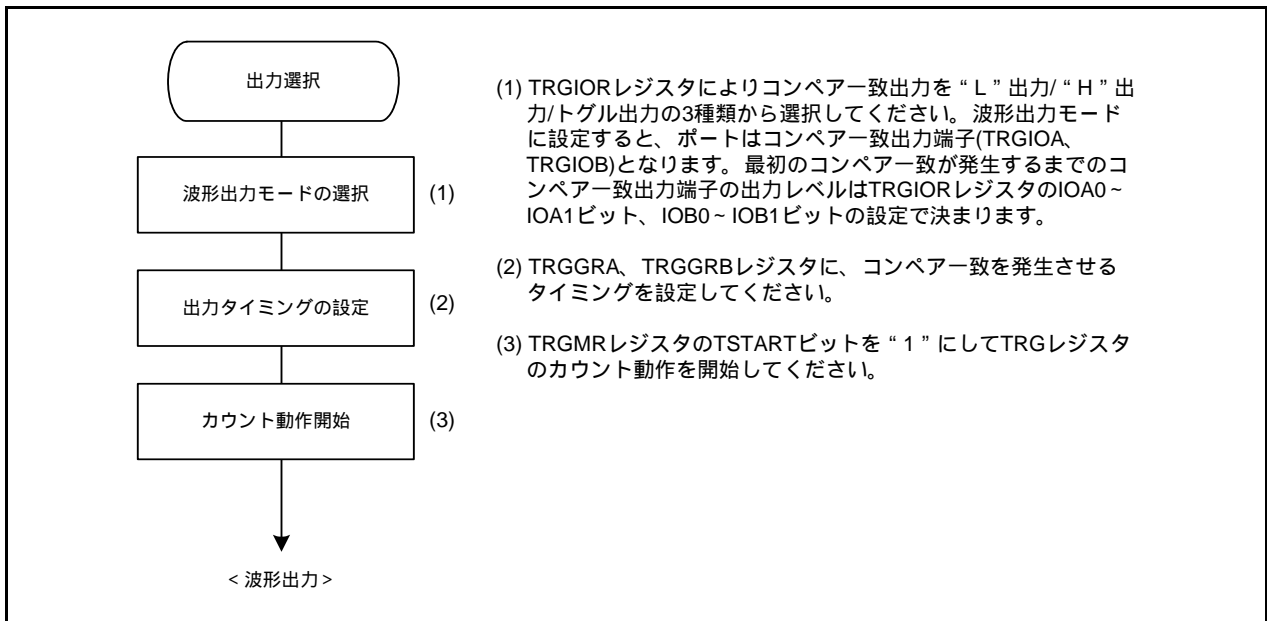


図 22.9 コンペアー一致による波形出力動作例

### 22.5.3 アウトプットコンペアー出力タイミング

コンペアー一致信号は、TRGレジスタとTRGGRA、TRGGRBレジスタが一致した最後のステート (TRGレジスタが一致したカウント値を更新するタイミング) で発生します。コンペアー一致信号が発生したとき、TRGIORレジスタで設定される出力値がアウトプットコンペアー出力端子 (TRGIOA、TRGIOB) に出力されます。TRGレジスタとTRGGRA、TRGGRBレジスタが一致した後、TRGレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図 22.10 にアウトプットコンペアー出力タイミングを示します。

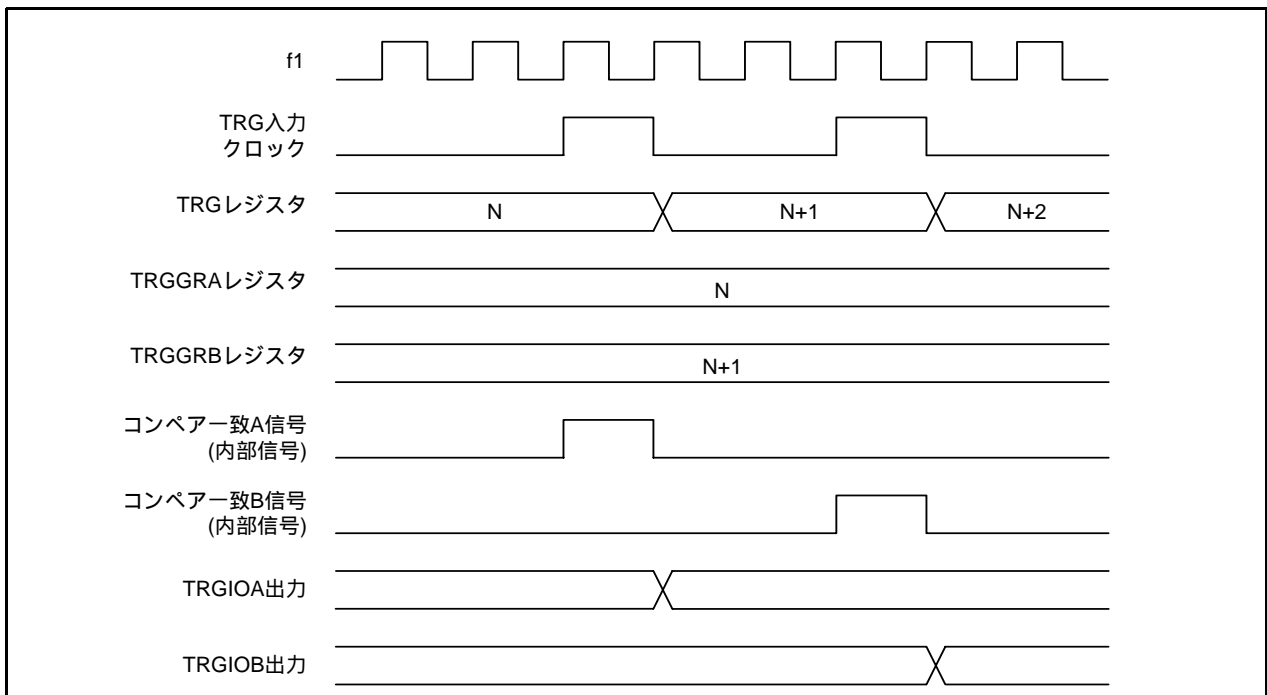


図 22.10 アウトプットコンペアー出力タイミング

### 22.5.4 動作例

図 22.11 に “L” 出力、“H” 出力の動作例を示します。

TRGレジスタをフリーランニング動作、またコンペアー一致Aにより、“L” 出力、コンペアー一致Bにより “H” 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

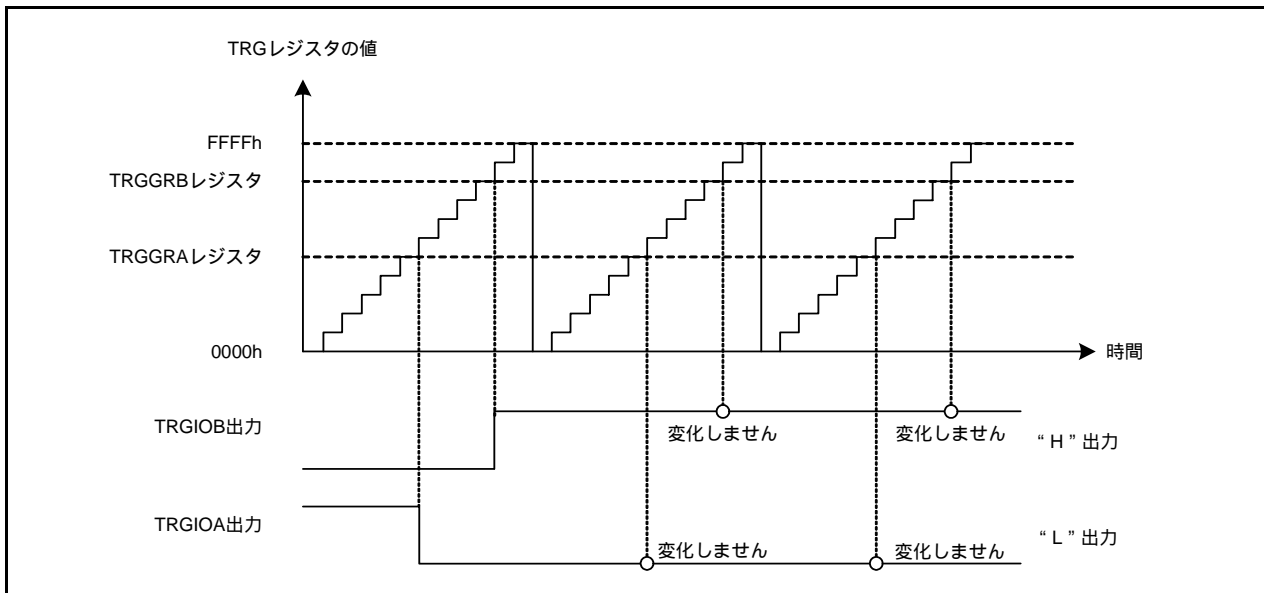


図 22.11 “L” 出力、“H” 出力の動作例

図 22.12 にトグル出力の動作例を示します。TRGレジスタを周期カウント動作(コンペアー一致Bでカウンタクリア)に、コンペアー一致A、Bともトグル出力となるように設定した場合の例です。

TRGIORレジスタによりコンペアー一致出力を “L” 出力/“H” 出力/トグル出力の3種類から選択してください。波形出力モードに設定すると、ポートはコンペアー一致出力端子 (TRGIOA、TRGIOB) となります。

TRGGRA、TRGGRBレジスタに、コンペアー一致を発生させるタイミングを設定してください。

TRGMRレジスタのTSTARTビットを“1”にしてTRGレジスタのカウント動作を開始してください。

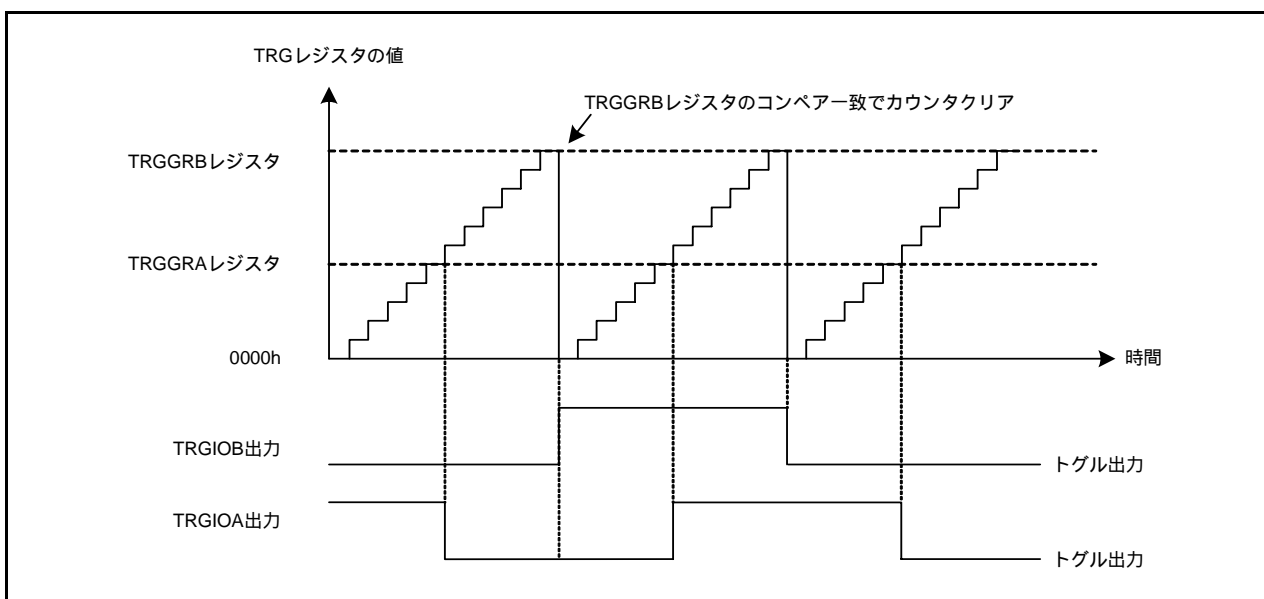


図 22.12 トグル出力の動作例

## 22.6 PWMモード

PWMモードはTRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出力します。PWMモードに設定された出力端子はTRGIORレジスタの出力の設定は無効となります。TRGGRAレジスタにはPWM波形の“H”出力タイミングを設定し、TRGGRBレジスタにはPWM波形の“L”出力タイミングを設定します。

TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペア一致をTRGレジスタのカウントクリア要因とすることにより、デューティ0～100%のPWM波形をTRGIOA端子より出力することができます。

表22.8にPWMモードの仕様を、表22.9にPWM出力端子とレジスタの組み合わせを示します。TRGGRAレジスタとTRGGRBレジスタの設定値が同一の場合、コンペア一致が発生しても出力値は変化しません。

表 22.8 PWMモードの仕様

項目	仕様
カウントソース	f1、f4、f8、f32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
PWM波形	<ul style="list-style-type: none"> <li>TRGGRAレジスタにPWM波形の“H”出力タイミングを設定</li> <li>TRGGRBレジスタにPWM波形の“L”出力タイミングを設定</li> </ul>
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致)</li> <li>TRGレジスタオーバフロー</li> </ul>
TRGIOA端子機能	PWM出力
TRGIOB端子機能	プログラマブル入出力ポート
TRGCLKA、TRGCLKB端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>TRGレジスタを“0000h”にするタイミング</li> <li>オーバフロー、またはTRGGRjレジスタのコンペア一致</li> <li>バッファ動作(「22.3.2 バッファ動作」参照)</li> </ul>

j = A、B

表 22.9 PWM出力端子とレジスタの組み合わせ

出力端子	“H”出力	“L”出力
TRGIOA	TRGGRA	TRGGRB
TRGIOB	I/Oポートとして機能	

### 22.6.1 PWMモードの設定手順例

図 22.13 にPWMモードの設定手順例を示します。

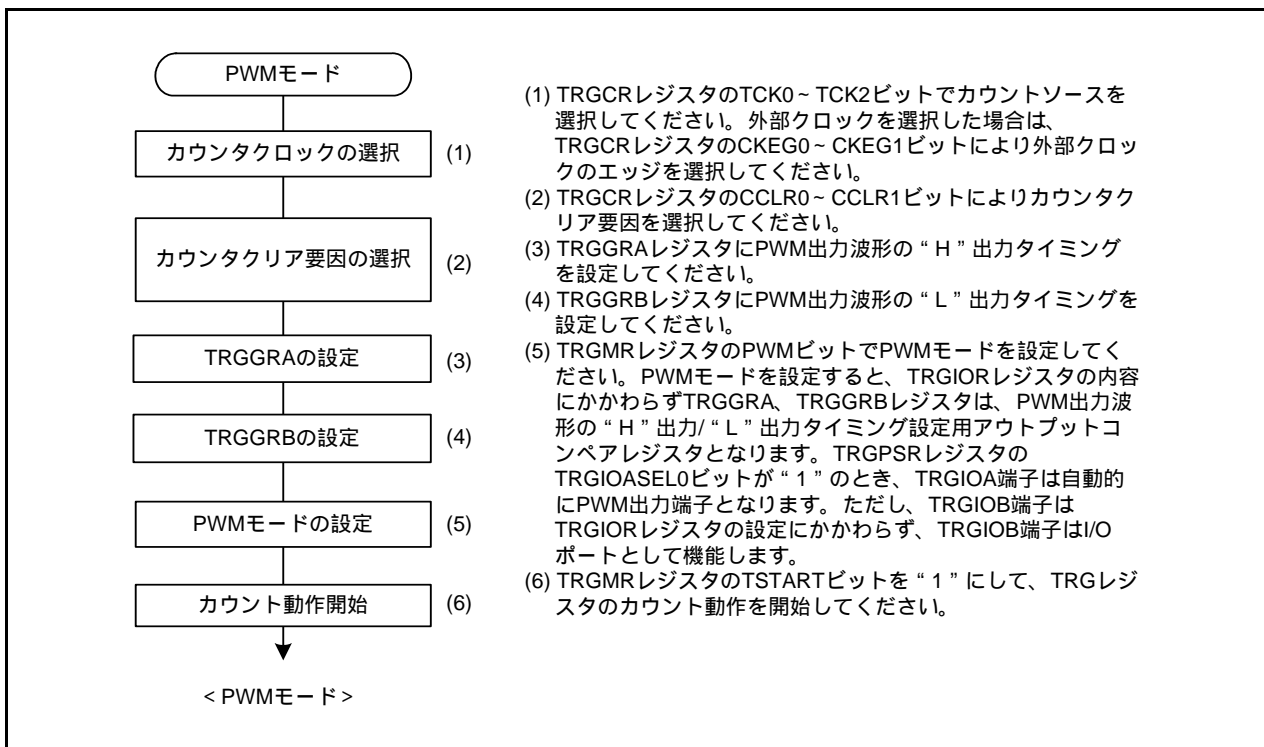


図 22.13 PWMモードの設定手順例

### 22.6.2 動作例

図 22.14 にPWMモードの動作例(1)を示します。

TRGPSR レジスタのTRGIOASEL0ビットが“1”のとき、PWMモードに設定するとTRGIOA端子は自動的に出力端子となり、TRGGRA レジスタのコンペア一致で“H”出力、TRGGRB レジスタのコンペア一致で“L”出力となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、TRGIOB端子はI/Oポートとして機能します。

TRGレジスタのカウンタクリア要因をTRGGRA、TRGGRBレジスタのコンペア一致とした場合の例です。TRGIOA端子の初期状態はカウンタクリア要因だけで決まります。この対応関係を表 22.10 に示します。

表 22.10 TRGIOA端子の初期状態とカウンタクリア要因の対応関係

カウンタクリア要因	TRGIOA端子の初期状態
TRGGRAレジスタのコンペア一致	“H”
TRGGRBレジスタのコンペア一致	“L”

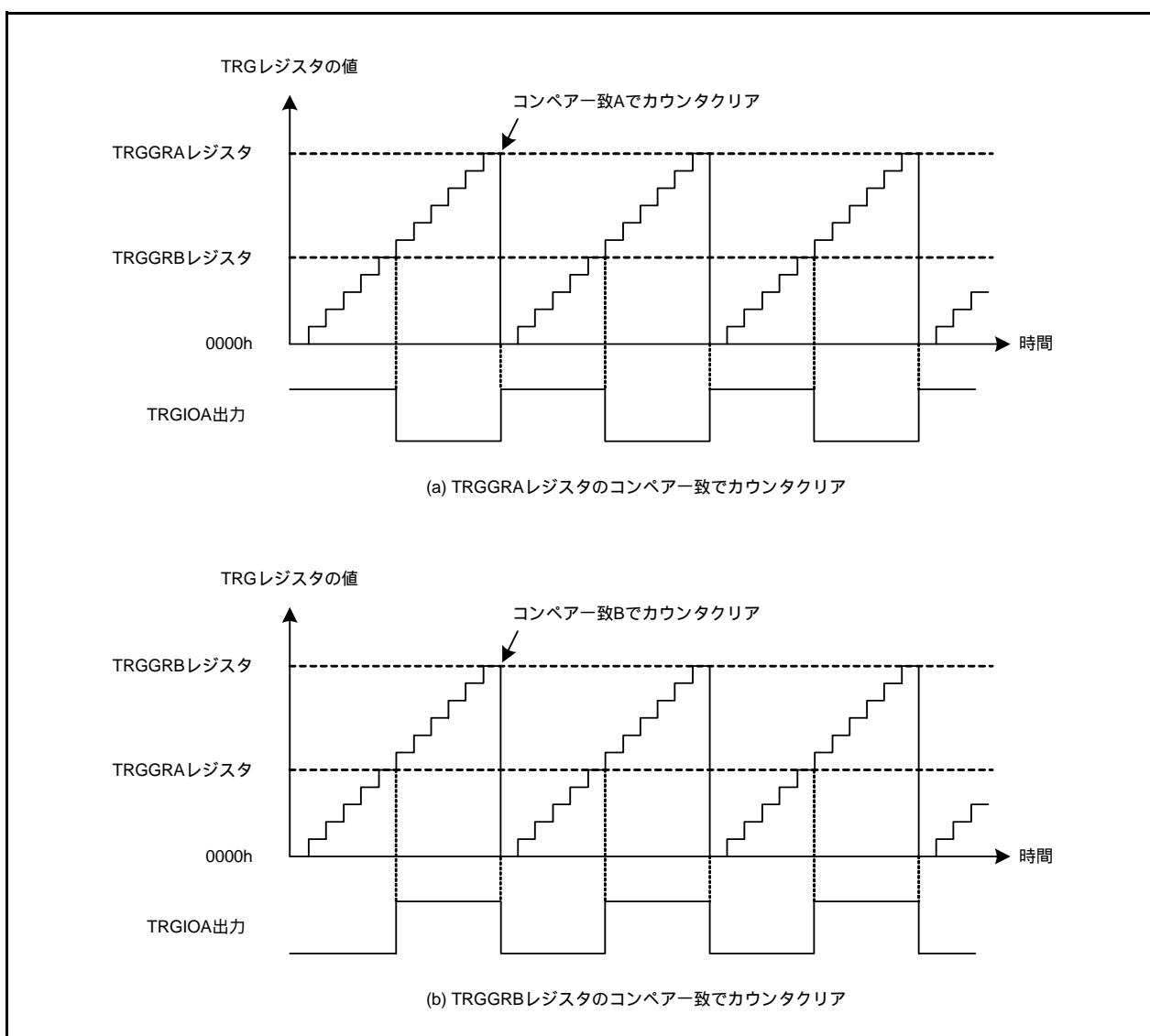


図 22.14 PWMモードの動作例(1)

図 22.15 に PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を示します。カウンタクリア要因を TRGGRB レジスタのコンペアー一致に設定し、

- TRGGRA レジスタの設定値 > TRGGRB レジスタの設定値  
としたとき、PWM 波形はデューティ 0% となります。

また、カウンタクリア要因を TRGGRA レジスタのコンペアー一致に設定し、

- TRGGRB レジスタの設定値 > TRGGRA レジスタの設定値  
としたとき PWM 波形はデューティ 100% となります。

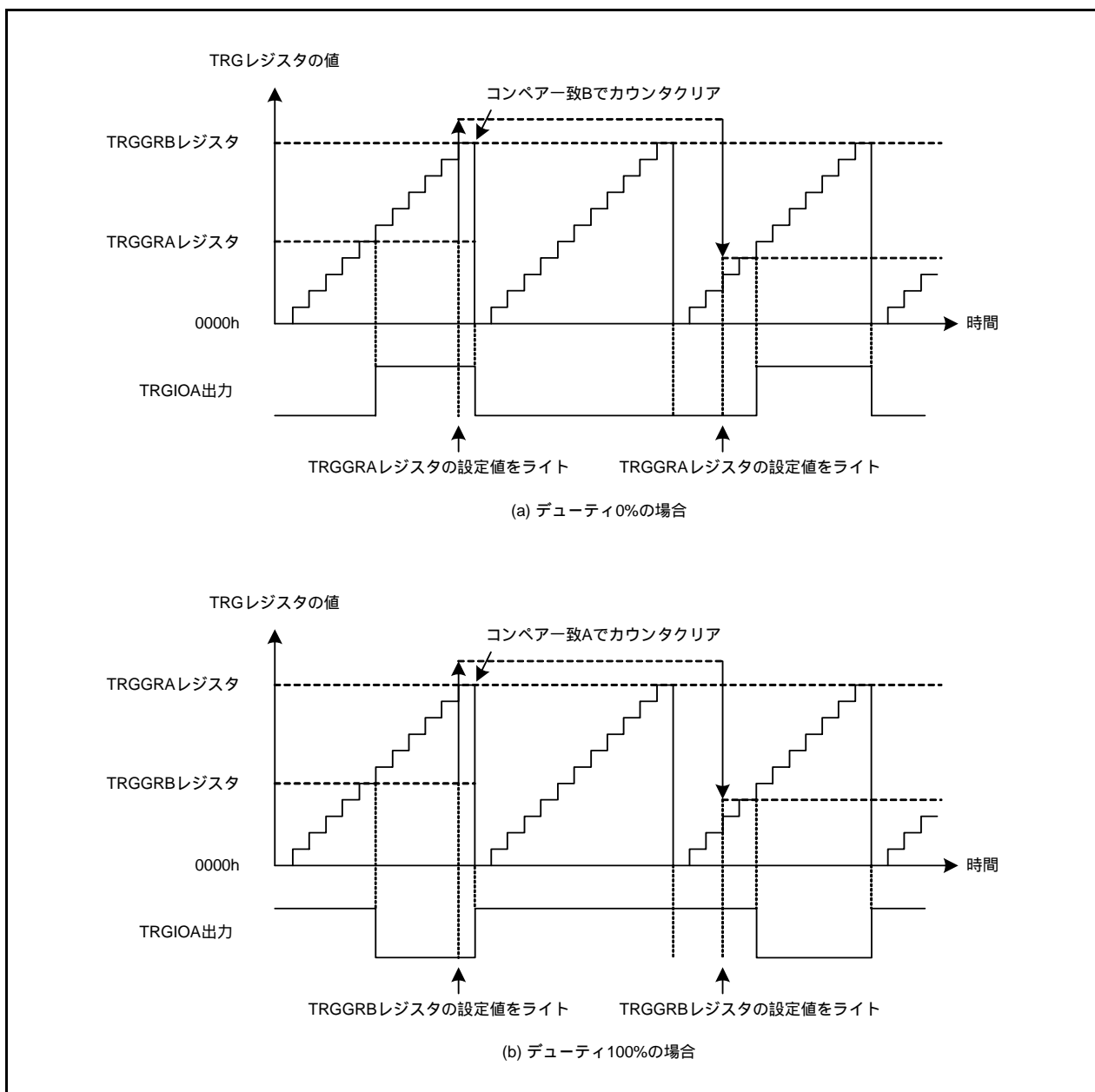


図 22.15 PWMモードの動作例(2)

## 22.7 位相計数モード

位相計数モードは、2本のTRGCLKA、TRGCLKB端子からの外部入力信号の位相差を検出し、TRGレジスタをアップ/ダウンカウントします。

TRGPSRレジスタのTRGCLKASEL0ビットとTRGCLKBSEL0ビットが“1”のとき位相計数モードに設定すると、TRGCRレジスタのTCK0～TCK2ビット、CKEG0～CKEG1ビットの設定にかかわらず、TRGCLKA、TRGCLKB端子は自動的に外部クロック入力端子として機能し、またTRGレジスタはTRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、加算/減算されます。ただし、TRGCRレジスタのCCLR0～CCLR1ビット、TRGIOR、TRGIER、TRGSR、TRGGRA、TRGGRBレジスタは有効ですので、インプットキャプチャ/アウトプットコンペア機能やPWM出力機能や割り込み要因を使用することができます。

TRGレジスタは、CNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり/立ち下りの両エッジでカウントします。

表 22.11 に位相計数モードの仕様を、表 22.12 にTRGレジスタの加算/減算条件を示します。

表 22.11 位相計数モードの仕様

項目	仕様
カウントソース	TRGCLKj端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント
カウント開始条件	TRGMCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>インプットキャプチャ (TRGIORj 入力の有効エッジ)</li> <li>コンペア一致 (TRG レジスタと TRGGRj レジスタの内容が一致)</li> <li>TRG レジスタオーバフロー</li> <li>TRG レジスタアンダフロー</li> </ul>
TRGIOA 端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、アウトプットコンペア出力、またはPWM出力
TRGIOB 端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、またはアウトプットコンペア出力
TRGCLKA、TRGCLKB 端子機能	外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>カウンタの加算/減算条件選択</li> <li>TRGCNTC レジスタのCNTEN0～CNTEN7ビットで選択</li> <li>インプットキャプチャ/アウトプットコンペア機能、PWM機能を使用可</li> </ul>

j = A、B

表 22.12 TRGレジスタの加算/減算条件

TRGCLKB 端子	↑	“H”	↓	“L”	“H”	↓	“L”	↑
TRGCLKA 端子	“L”	↑	“H”	↓	↓	“L”	↑	“H”
TRGCNTC レジスタのCNTEN7～CNTEN0ビット	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
値	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1
カウント方向	- +1	- +1	- +1	- +1	- -1	- -1	- -1	- -1

### 22.7.1 タイマRG制御レジスタ(TRGCR)[位相計数モード時]

アドレス 0172h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	位相計数モードでは無効	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロック有効エッジ 選択ビット	位相計数モードでは無効	R/W
b4	CKEG1			R/W
b5	CCLR0	TRGレジスタクリア要因選 択ビット	b6 b5 00: クリア禁止 01: インพุットキャプチャまたはTRGGRAのコンペア 一致でTRGレジスタをクリア 10: インพุットキャプチャまたはTRGGRBのコンペア 一致でTRGレジスタをクリア 11: 設定しないでください	R/W
b6	CCLR1			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

### 22.7.2 位相計数モードの設定手順例

図 22.16に位相計数モードの設定手順例を示します。

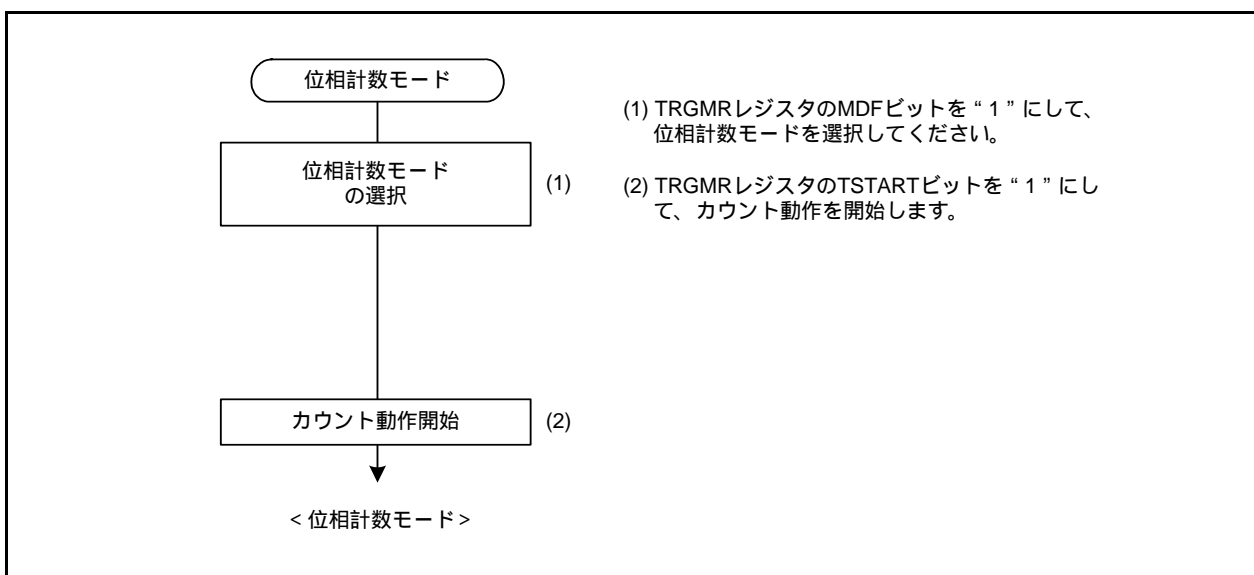


図 22.16 位相計数モードの設定手順例



### 22.7.3 動作例

図 22.17 ~ 図 22.20 に位相計数モードの動作例を示します。表 22.12 に TRG レジスタの加算/減算条件を示します。

位相計数モードでは、TRGCNTC レジスタの CNTEN0 ~ CNTEN7 ビットにより、TRGCLKA、TRGCLKB 端子の立ち上がり(↑)/立ち下がり(↓)の両エッジで加算/減算されます。

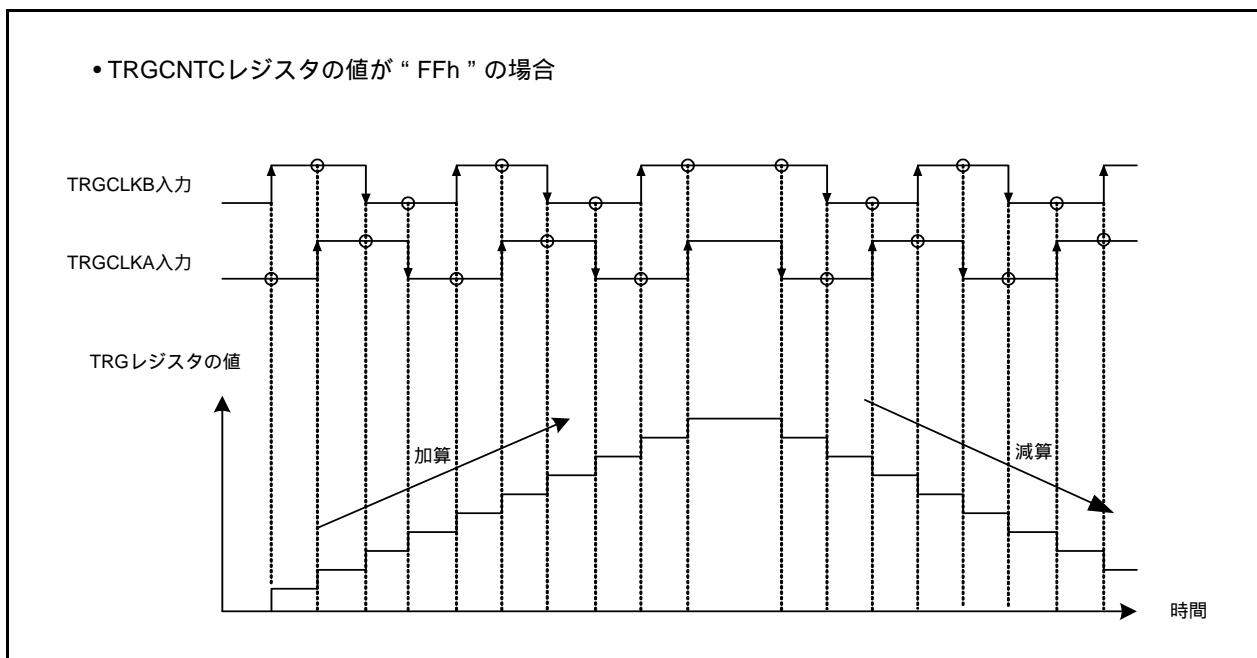


図 22.17 位相計数モードの動作例1

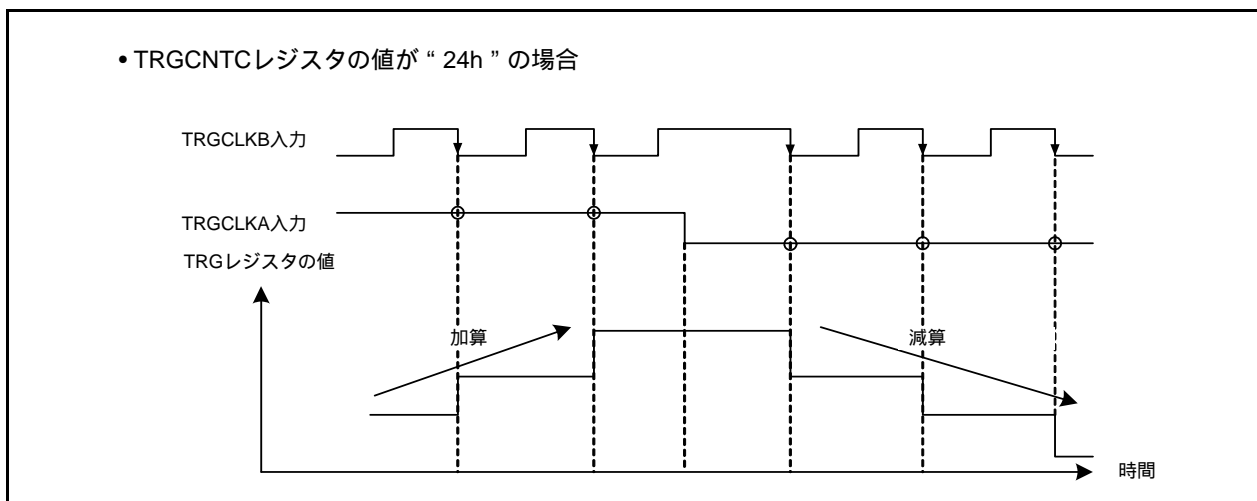


図 22.18 位相計数モードの動作例2

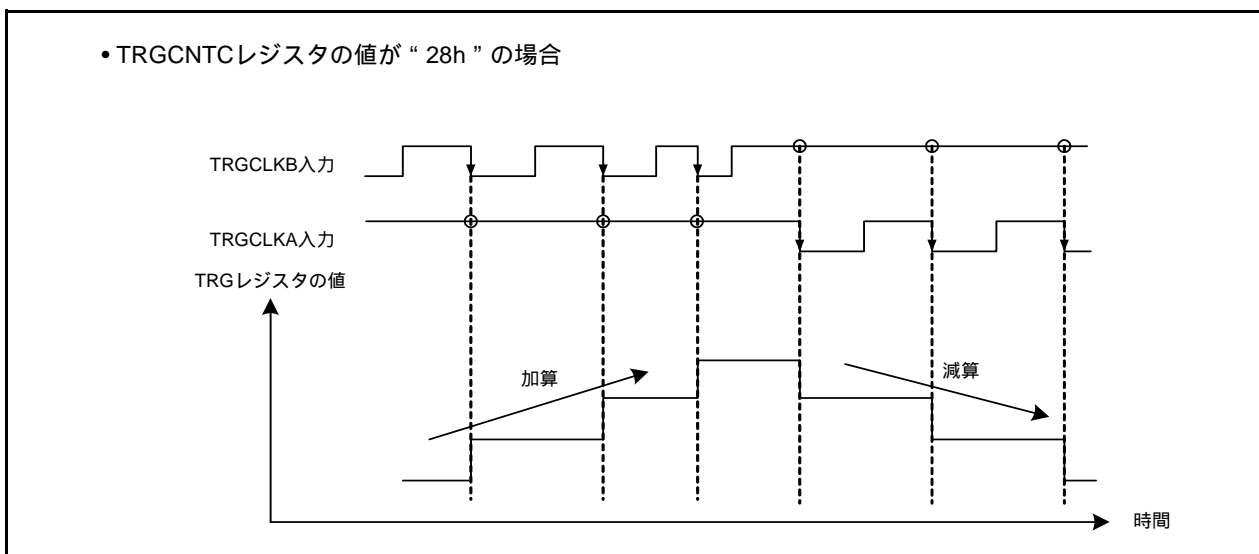


図 22.19 位相計数モードの動作例3

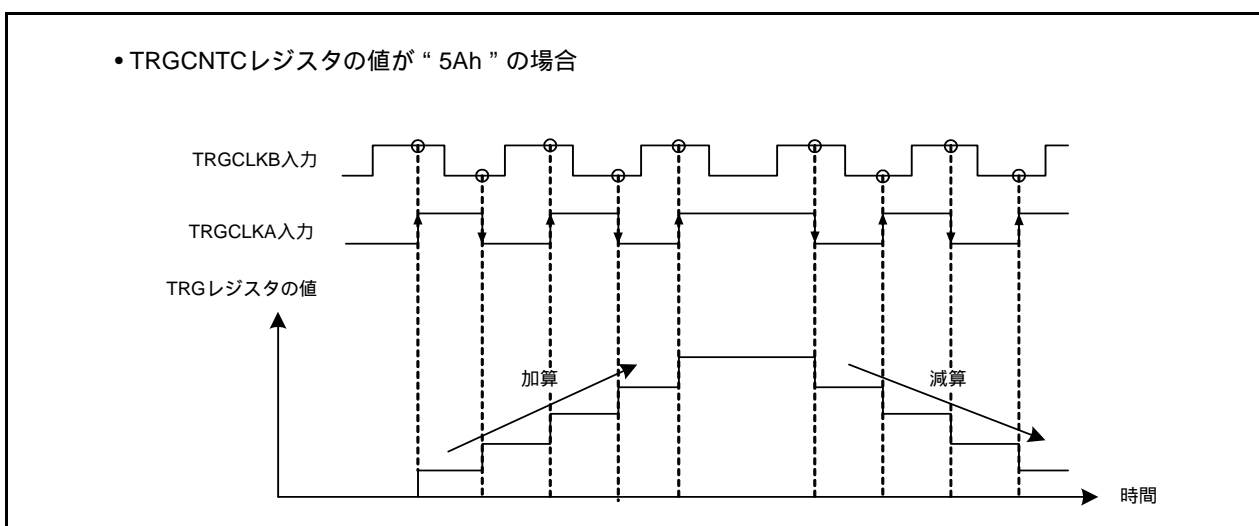


図 22.20 位相計数モードの動作例4

## 22.8 タイマRG割り込み

タイマRGは、4つの要因からタイマRG割り込み要求を発生します。タイマRG割り込みは1つのTRGICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表 22.13にタイマRG割り込み関連レジスタを、図22.21にタイマRG割り込みのブロック図を示します。

表 22.13 タイマRG割り込み関連レジスタ

タイマRG ステータスレジスタ	タイマRG 割り込み許可レジスタ	タイマRG 割り込み制御レジスタ
TRGSR	TRGIER	TRGIC

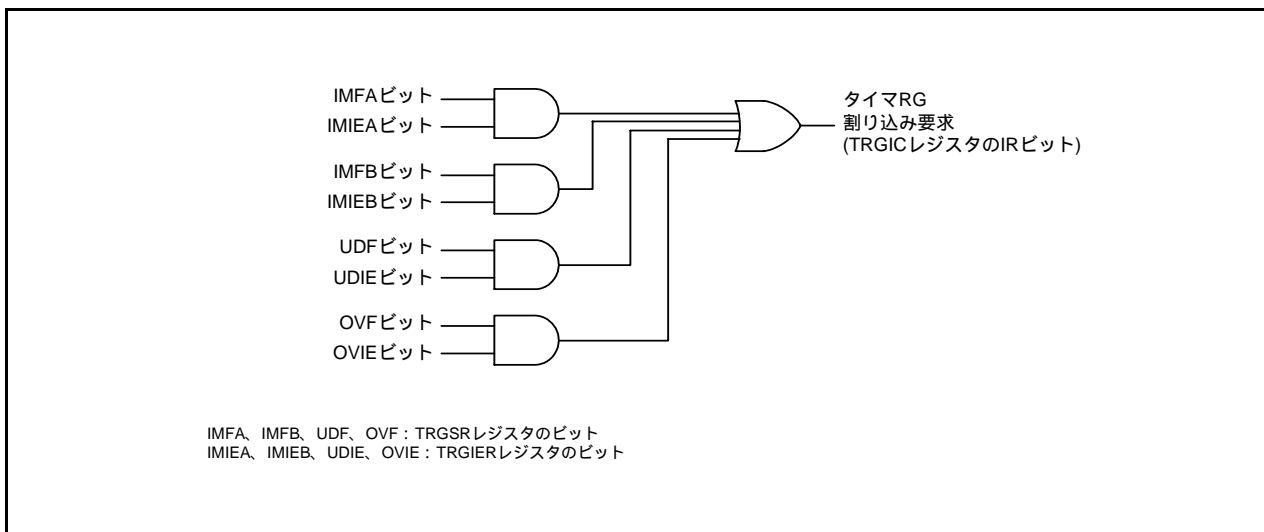


図22.21 タイマRG割り込みのブロック図

タイマRG割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRG割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRGSRレジスタのビットが“1”で、それに対応するTRGIERレジスタのビットが“1”(割り込み許可)の場合、TRGICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRGSRレジスタのビットと、それに対応するTRGIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRGIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRGSRレジスタで判定してください。
- TRGSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「22.2.5 タイマRGステータスレジスタ(TRGSR)」を参照してください。

TRGIERレジスタは「22.2.4 タイマRG割り込み許可レジスタ(TRGIER)」を参照してください。

TRGICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

## 22.9 タイマRG使用上の注意事項

### 22.9.1 位相計数モード時の位相差、オーバーラップ、およびパルス幅

TRGCLKA、TRGCLKB 端子からの外部入力信号の位相差およびオーバーラップはそれぞれ  $1.5f_1$  以上、パルス幅は  $2.5f_1$  以上が必要です。図 22.22 に位相計数モード時の位相差、オーバーラップおよびパルス幅を示します。

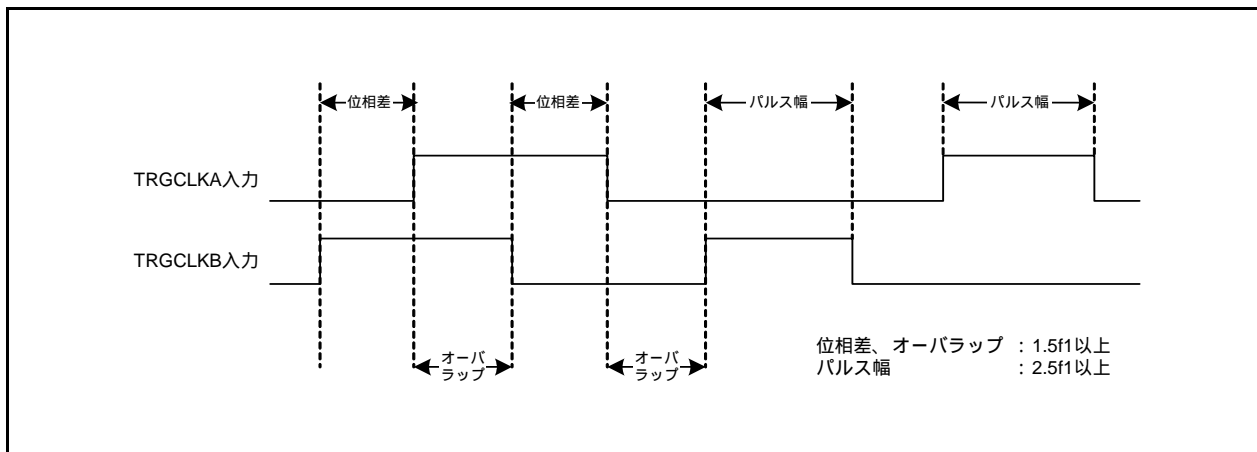


図 22.22 位相計数モード時の位相差、オーバーラップおよびパルス幅

### 22.9.2 タイマRGカウンタ(TRG)

TRG レジスタ、または TRGCR レジスタに書く場合は、TRGMR レジスタの TSTART ビットが “0” (カウント停止) の状態で、行ってください。

## 23. シリアルインタフェース(UARTi (i=0 ~ 1))

シリアルインタフェースはUART0 ~ UART2の3チャンネルで構成しています。本章はUARTi (i=0 ~ 1)について説明します。

### 23.1 概要

UART0 ~ UART1 はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図 23.1 に UARTi (i=0 ~ 1) のブロック図を、図 23.2 に送受信部のブロック図、表 23.1 に UARTi (i=0 ~ 1) の端子構成を示します。

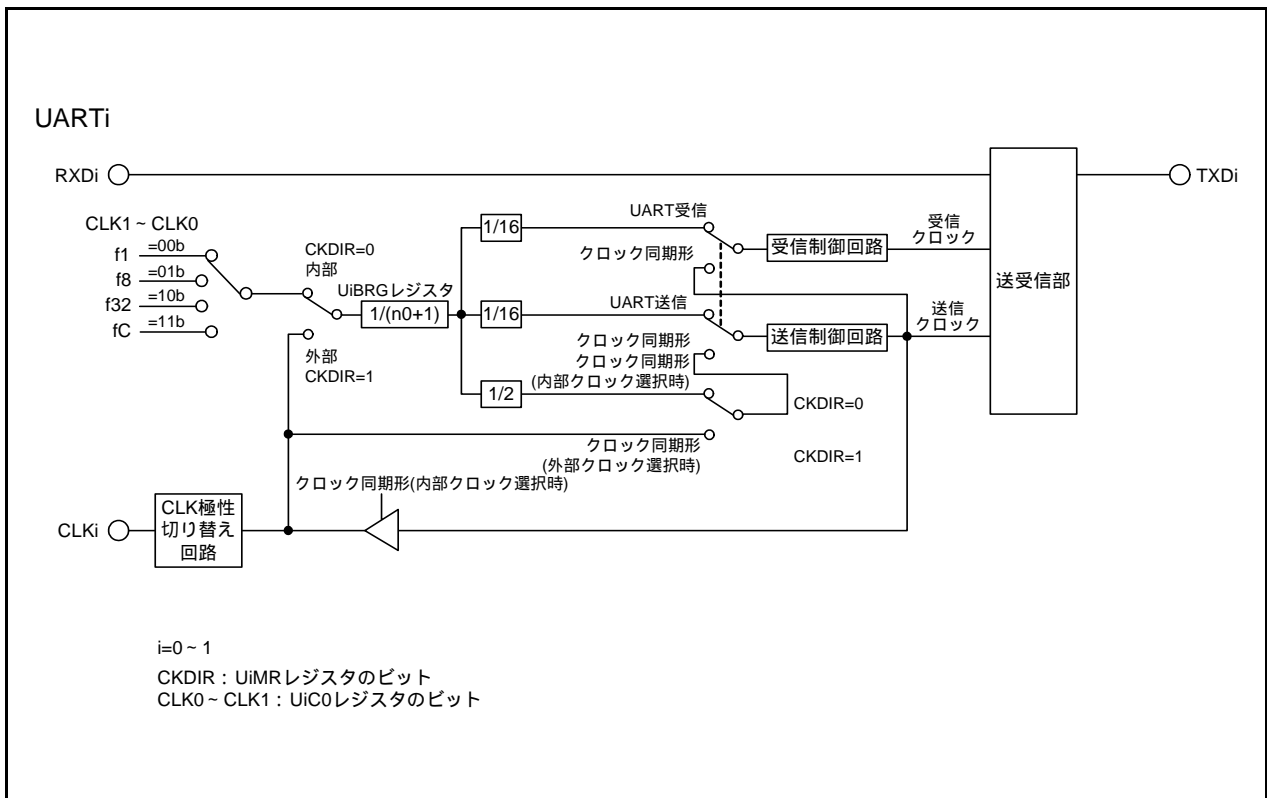


図 23.1 UARTi (i=0 ~ 1) のブロック図

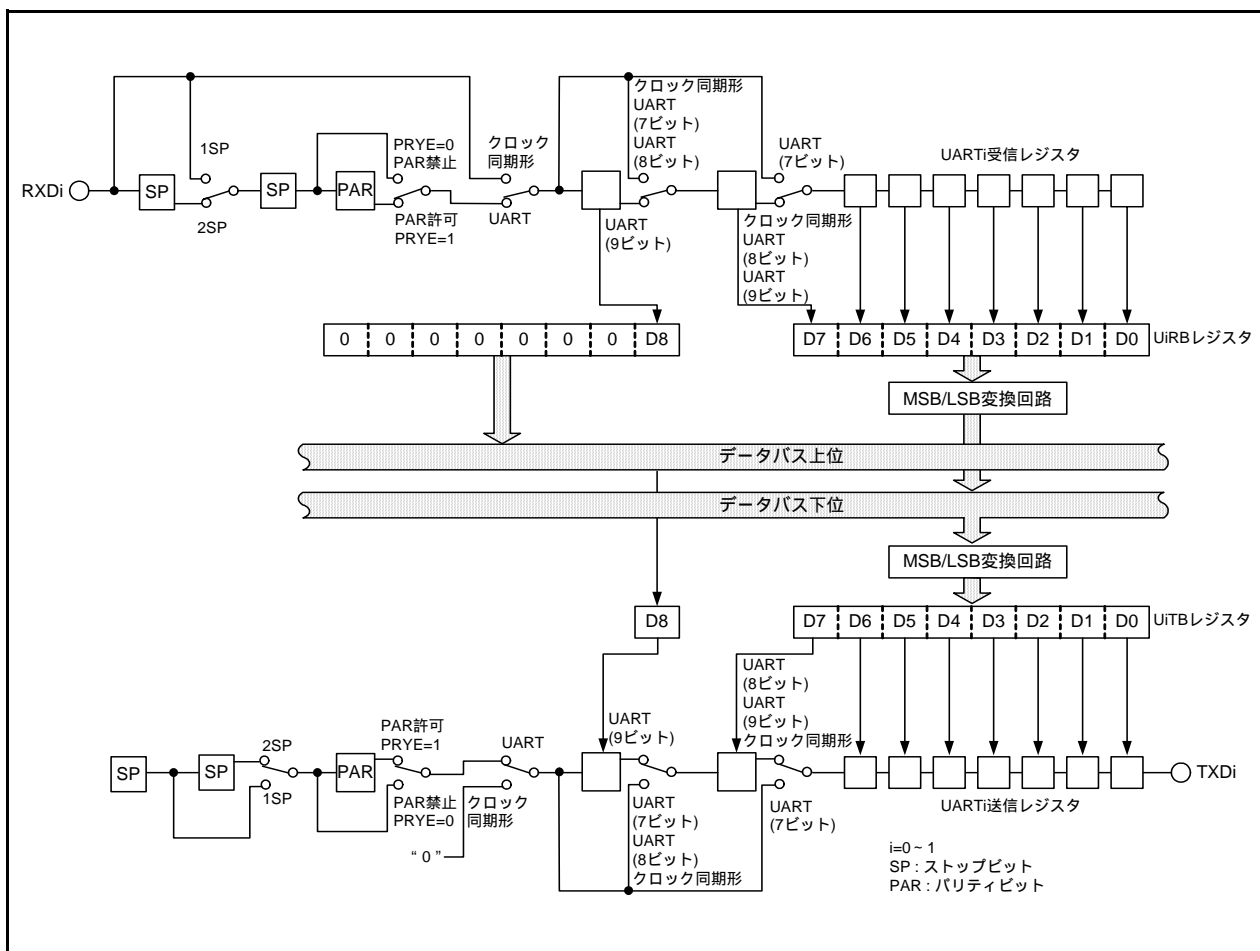


図 23.2 送受信部のブロック図

表 23.1 UARTi (i=0 ~ 1)の端子構成

端子名	割り当てる端子	入出力	機能
TXD0	P13_1	出力	シリアルデータ出力
RXD0	P13_2またはP11_4	入力	シリアルデータ入力
CLK0	P13_3	入出力	転送クロック入出力
TXD1	P4_0	出力	シリアルデータ出力
RXD1	P4_1	入力	シリアルデータ入力
CLK1	P4_2	入出力	転送クロック入出力

## 23.2 レジスタの説明

### 23.2.1 UARTi送受信モードレジスタ(UiMR)(i=0 ~ 1)

アドレス 00A0h番地(U0MR)、0160h番地(U1MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	-	予約ビット	"0" にしてください	R/W

### 23.2.2 UARTiビットレートレジスタ(UiBRG)(i=0 ~ 1)

アドレス 00A1h番地(U0BRG)、0161h番地(U1BRG)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h ~ FFh	W

UiBRGレジスタは、送受信停止中に書いてください。

UiBRGレジスタは、MOV命令を使用して書いてください。

UiC0レジスタのCLK0 ~ CLK1ビットを設定した後、UiBRGレジスタに書いてください。

### 23.2.3 UARTi送信バッファレジスタ (UiTB)(i=0 ~ 1)

アドレス 00A3h ~ 00A2h番地 (U0TB)、0163h ~ 0162h番地 (U1TB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	-		
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

転送データ長が9ビットの場合、UiTBレジスタの上位バイト 下位バイトの順で書いてください。  
UiTBレジスタはMOV命令を使用して書いてください。



### 23.2.4 UARTi送受信制御レジスタ0 (UiC0)(i=0 ~ 1)

アドレス 00A4h番地(U0C0)、0164h番地(U1C0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	-	TXEPT	-	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	BRGカウントソース選択ビット(注1)	b1 b0 00 : f1を選択 01 : f8を選択 10 : f32を選択 11 : fCを選択	R/W
b1	CLK1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b5	NCH	データ出力選択ビット	0 : TXDi端子はCMOS出力 1 : TXDi端子はNチャンネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	R/W

注1. BRGカウントソースを変更した場合は、UiBRGレジスタを再設定してください。

### 23.2.5 UARTi送受信制御レジスタ1 (UiC1)(i=0 ~ 1)

アドレス 00A5h番地(U0C1)、0165h番地(U1C1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	UiRRM	UiIRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b1	TI	送信バッファ空フラグ	0 : UiTBにデータあり 1 : UiTBにデータなし	R
b2	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0 : UiRBにデータなし 1 : UiRBにデータあり	R
b4	UiIRS	UARTi送信割り込み要因選択ビット	0 : 送信バッファ空(TI=1) 1 : 送信完了(TXEPT=1)	R/W
b5	UiRRM	UARTi連続受信モード許可ビット(注2)	0 : 連続受信モード禁止 1 : 連続受信モード許可	R/W
b6	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b7	-			

注1. RIビットはUiRBレジスタの上位バイトを読み出したとき、"0" になります。

注2. UARTモード時、UiRRMビットは"0" (連続受信モード禁止) にしてください。

### 23.2.6 UARTi受信バッファレジスタ (UiRB)(i=0 ~ 1)

アドレス 00A7h ~ 00A6h番地(U0RB)、0167h ~ 0166h番地(U1RB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	-	受信データ(D7 ~ D0)	R
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			
b8	-	-	受信データ(D8)	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b10	-			
b11	-			
b12	OER	オーバランエラーフラグ(注1)	0 : オーバランエラーなし 1 : オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1)	0 : パリティエラーなし 1 : パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1)	0 : エラーなし 1 : エラー発生	R

注1. SUM、PER、FER、OERビットは、UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

UiRBレジスタは必ず16ビット単位で読み出してください。

### 23.2.7 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SEL0	RXD0SEL1	RXD0SEL0	-	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0端子選択ビット	0 : TXD0端子は使用しない 1 : TXD0端子を使用する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SEL0	RXD0端子選択ビット	b3 b2 00 : RXD0端子は使用しない 01 : P13_2に割り当てる 10 : P11_4に割り当てる 11 : 設定しないでください	R/W
b3	RXD0SEL1			R/W
b4	CLK0SEL0	CLK0端子選択ビット	0 : CLK0端子は使用しない 1 : CLK0端子を使用する	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

### 23.2.8 UART1 端子選択レジスタ(U1SR)

アドレス 0189h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK1SEL0	-	RXD1SEL0	-	TXD1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD1SEL0	TXD1 端子選択ビット	0 : TXD1 端子は使用しない 1 : TXD1 端子を使用する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD1SEL0	RXD1 端子選択ビット	0 : RXD1 端子は使用しない 1 : RXD1 端子を使用する	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	CLK1SEL0	CLK1 端子選択ビット	0 : CLK1 端子は使用しない 1 : CLK1 端子を使用する	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U1SR レジスタは、UART1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART1 の入出力端子を使用する場合は、U1SR レジスタを設定してください。

UART1 の関連レジスタを設定する前に、U1SR レジスタを設定してください。また、UART1 の動作中はU1SR レジスタの設定値を変更しないでください。

### 23.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 23.2にクロック同期形シリアルI/Oモードの仕様を、表 23.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)を示します。

表 23.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長 8ビット
転送クロック	・UiMRレジスタのCKDIRビットが“0”(内部クロック) : $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}, f_C$ $n=UiBRG$ レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : CLK <sub>i</sub> 端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 UiC1レジスタのREビットが“1”(受信許可) UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUART <sub>i</sub> 送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UART <sub>i</sub> 送信レジスタからデータ送信完了時 ・受信する場合 UART <sub>i</sub> 受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 UiRBレジスタを読み出す動作により、同時に受信許可状態になる

i=0 ~ 1

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 23.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
UiTB	b0 ~ b7	送信データを設定してください
UiRB	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	b0 ~ b7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください

i=0 ~ 1

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 23.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART<sub>i</sub> (i=0 ~ 1)の動作モード選択後、転送開始までは、TXD<sub>i</sub>端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 23.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P13_1)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット=1 Nチャンネルオープンドレイン出力選択時は、 PD13レジスタのPD13_1ビット=0 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、 P13_1をポートとして使用可)
RXD0(P13_2またはP11_4)	シリアルデータ入力	<ul style="list-style-type: none"> <li>•RXD0(P13_2)の場合 U0SRレジスタのRXD0SEL1、RXD0SEL0ビット=01b(P13_2) PD13レジスタのPD13_2ビット=0</li> <li>•RXD0(P11_4)の場合 U0SRレジスタのRXD0SEL1、RXD0SEL0ビット=10b(P11_4) PD11レジスタのPD11_4ビット=0</li> <li>•送信だけを行うときはRXD0SEL1、RXD0SEL0ビット=00bと設定することで、P13_2、P11_4をポートとして使用可</li> </ul>
CLK0(P13_3)	転送クロック出力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD13レジスタのPD13_3ビット=0
TXD1(P4_0)	シリアルデータ出力	U1SRレジスタのTXD1SEL0ビット=1 Nチャンネルオープンドレイン出力選択時は、 PD4レジスタのPD4_0ビット=0 (受信だけを行うときはTXD1SEL0ビット=0と設定することで、P4_0をポートとして使用可)
RXD1(P4_1)	シリアルデータ入力	U1SRレジスタのRXD1SEL0ビット=1 PD4レジスタのPD4_1ビット=0 (送信だけを行うときはRXD1SEL0ビット=0と設定することで、P4_1をポートとして使用可)
CLK1(P4_2)	転送クロック出力	U1SRレジスタのCLK1SEL0ビット=1 U1MRレジスタのCKDIRビット=0
	転送クロック入力	U1SRレジスタのCLK1SEL0ビット=1 U1MRレジスタのCKDIRビット=1 PD4レジスタのPD4_2ビット=0

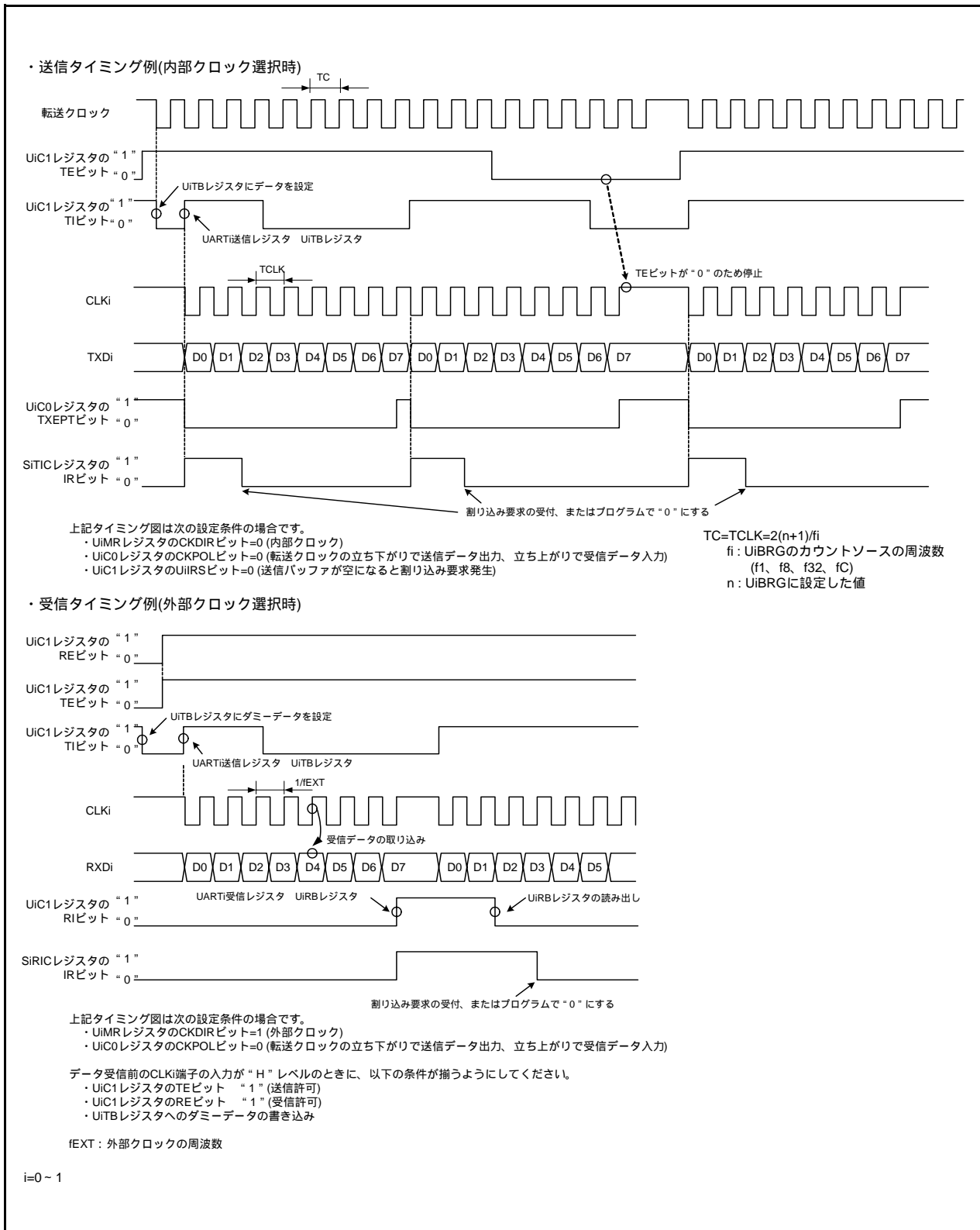


図 23.3 クロック同期形シリアルI/Oモード時の送受信タイミング例



### 23.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

• UiRBレジスタ(i=0 ~ 1)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2 ~ SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのREビットを“1”(受信許可)にする。

• UiTBレジスタ(i=0 ~ 1)の初期化手順

- (1) UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

### 23.3.2 極性選択機能

図 23.4 に転送クロックの極性を示します。UiC0 レジスタ (i=0 ~ 1) の CKPOL ビットによって転送クロックの極性を選択できます。

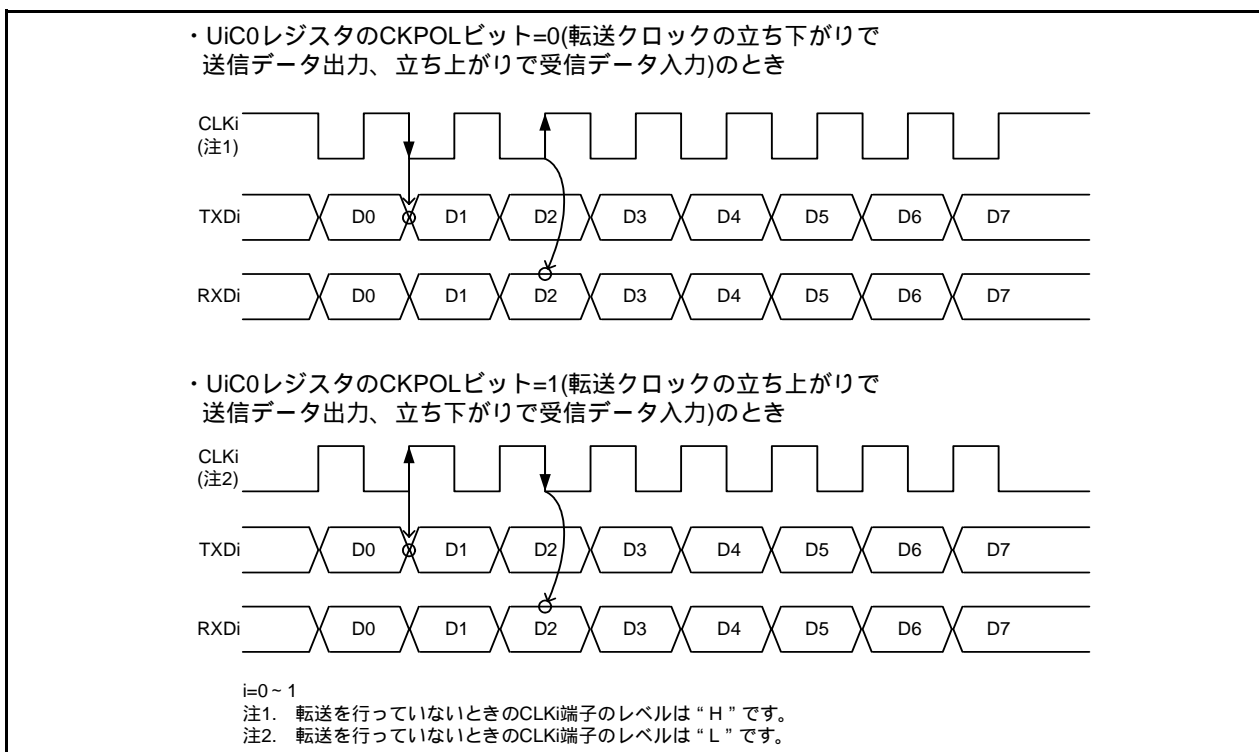


図 23.4 転送クロックの極性

### 23.3.3 LSBファースト、MSBファースト選択

図 23.5 に転送フォーマットを示します。UiC0 レジスタ (i=0 ~ 1) の UFORM ビットで転送フォーマットを選択できます。

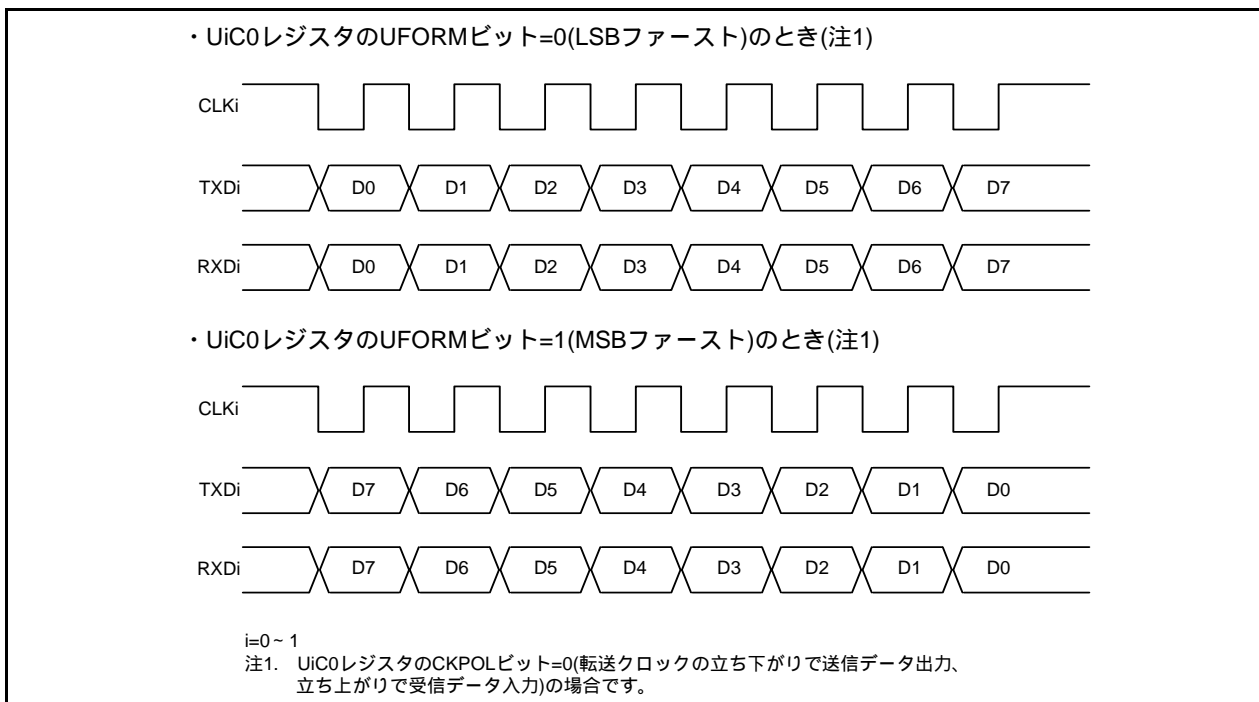


図 23.5 転送フォーマット

### 23.3.4 連続受信モード

UiC1レジスタ(i=0 ~ 1)のUiRRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

### 23.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表 23.5 にクロック非同期形シリアルI/Oモードの仕様を、表 23.6 にUARTモード時の使用レジスタと設定値を示します。

表 23.5 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可</li> <li>・スタートビット 1ビット</li> <li>・パリティビット 奇数、偶数、なし選択可</li> <li>・ストップビット 1ビット、2ビット 選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>・UiMRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math>  <math>f_j=f_1, f_8, f_{32}, f_C</math> <math>n=UiBRG</math>レジスタの設定値 00h ~ FFh</li> <li>・CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math>はCLKi端子からの入力 <math>n=UiBRG</math>レジスタの設定値 00h ~ FFh</li> </ul>
送信開始条件	<ul style="list-style-type: none"> <li>・送信開始には、以下の条件が必要です。                      UiC1レジスタのTEビットが“1”(送信許可)                      UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> </ul>
受信開始条件	<ul style="list-style-type: none"> <li>・受信開始には、以下の条件が必要です。                      UiC1レジスタのREビットが“1”(受信許可)                      スタートビットの検出</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>・送信する場合、次の条件のいずれかを選択できます。                      -UiIRSビットが“0”(送信バッファ空) :                      UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時)                      -UiIRSビットが“1”(送信完了) :                      UARTi送信レジスタからデータ送信完了時</li> <li>・受信する場合                      UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>・オーバーランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生</li> <li>・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生</li> <li>・エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>

i=0 ~ 1

注1. オーバーランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 23.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	b0 ~ b8	送信データを設定してください(注1)
UiRB	b0 ~ b8	受信データが読めます(注2)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	b0 ~ b7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できません。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください。
	UiRRM	“0”にしてください。

i=0 ~ 1

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表 23.7にUARTモード時の入出力端子の機能を示します。なお、UART<sub>i</sub>(i=0 ~ 1)の動作モード選択後、転送開始までは、TXD<sub>i</sub> 端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 23.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P13_1)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット=1 Nチャンネルオープンドレイン出力選択時は、 PD13レジスタのPD13_1ビット=0 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、 P13_1をポートとして使用可)
RXD0(P13_2またはP11_4)	シリアルデータ入力	<ul style="list-style-type: none"> <li>•RXD0(P13_2)の場合 U0SRレジスタのRXD0SEL1、RXD0SEL0ビット=01b(P13_2) PD13レジスタのPD13_2ビット=0</li> <li>•RXD0(P11_4)の場合 U0SRレジスタのRXD0SEL1、RXD0SEL0ビット=10b(P11_4) PD11レジスタのPD11_4ビット=0</li> <li>•送信だけを行うときはRXD0SEL1、RXD0SEL0ビット=00bと設定することで、P13_2、P11_4をポートとして使用可</li> </ul>
CLK0(P13_3)	プログラマブル入出力ポート	U0SRレジスタのCLK0SEL0ビット=0(CLK0端子は使用しない)
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD13レジスタのPD13_3ビット=0
TXD1(P4_0)	シリアルデータ出力	U1SRレジスタのTXD1SEL0ビット=1 Nチャンネルオープンドレイン出力選択時は、 PD4レジスタのPD4_0ビット=0 (受信だけを行うときはTXD1SEL0ビット=0と設定することで、 P4_0をポートとして使用可)
RXD1(P4_1)	シリアルデータ入力	U1SRレジスタのRXD1SEL0ビット=1 PD4レジスタのPD4_1ビット=0 (送信だけを行うときはRXD1SEL0ビット=0と設定することで、 P4_1をポートとして使用可)
CLK1(P4_2)	プログラマブル入出力ポート	U1SRレジスタのCLK1SEL0ビット=0(CLK1端子は使用しない)
	転送クロック入力	U1SRレジスタのCLK1SEL0ビット=1 U1MRレジスタのCKDIRビット=1 PD4レジスタのPD4_2ビット=0

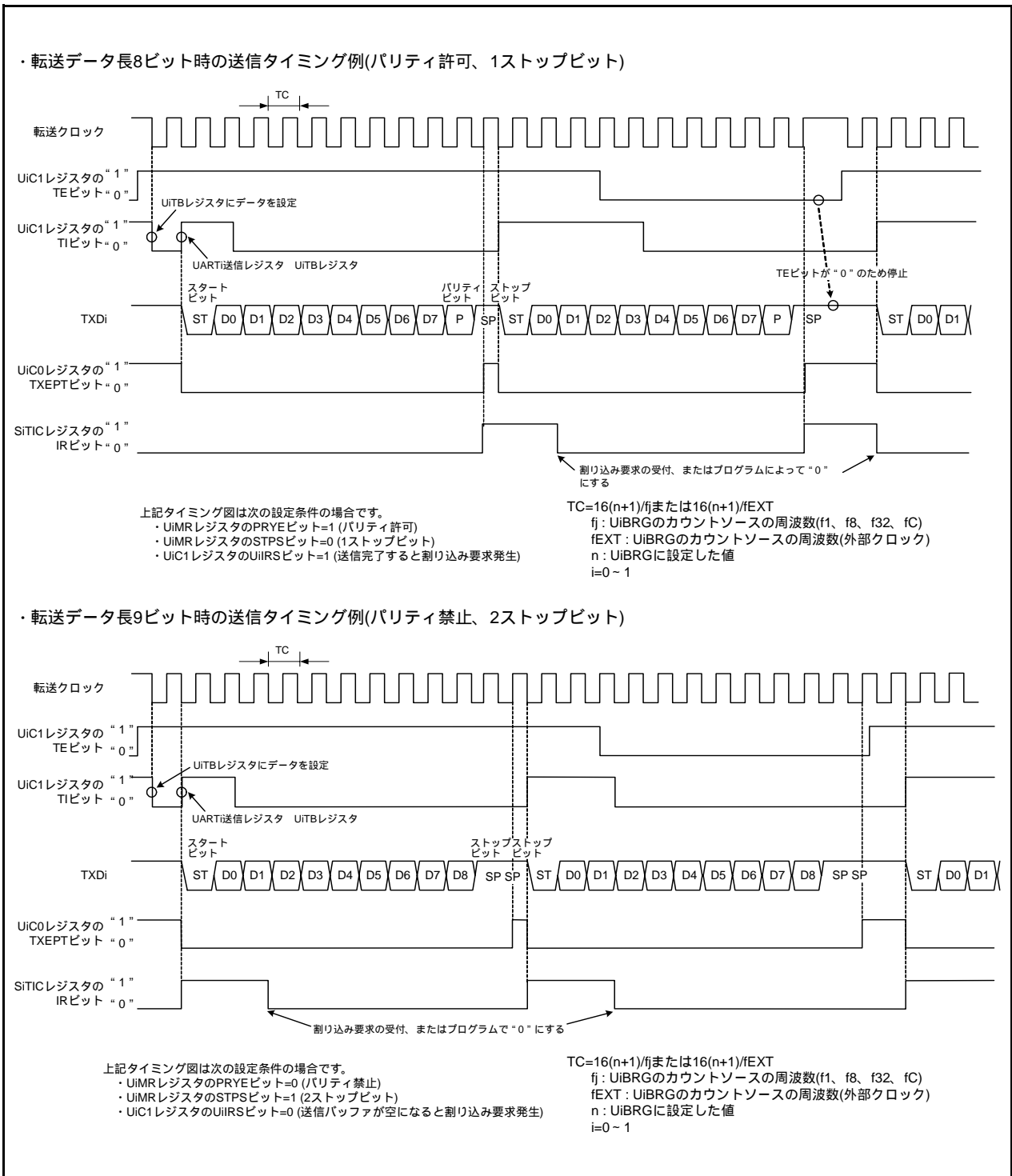


図 23.6 UARTモード時の送信タイミング

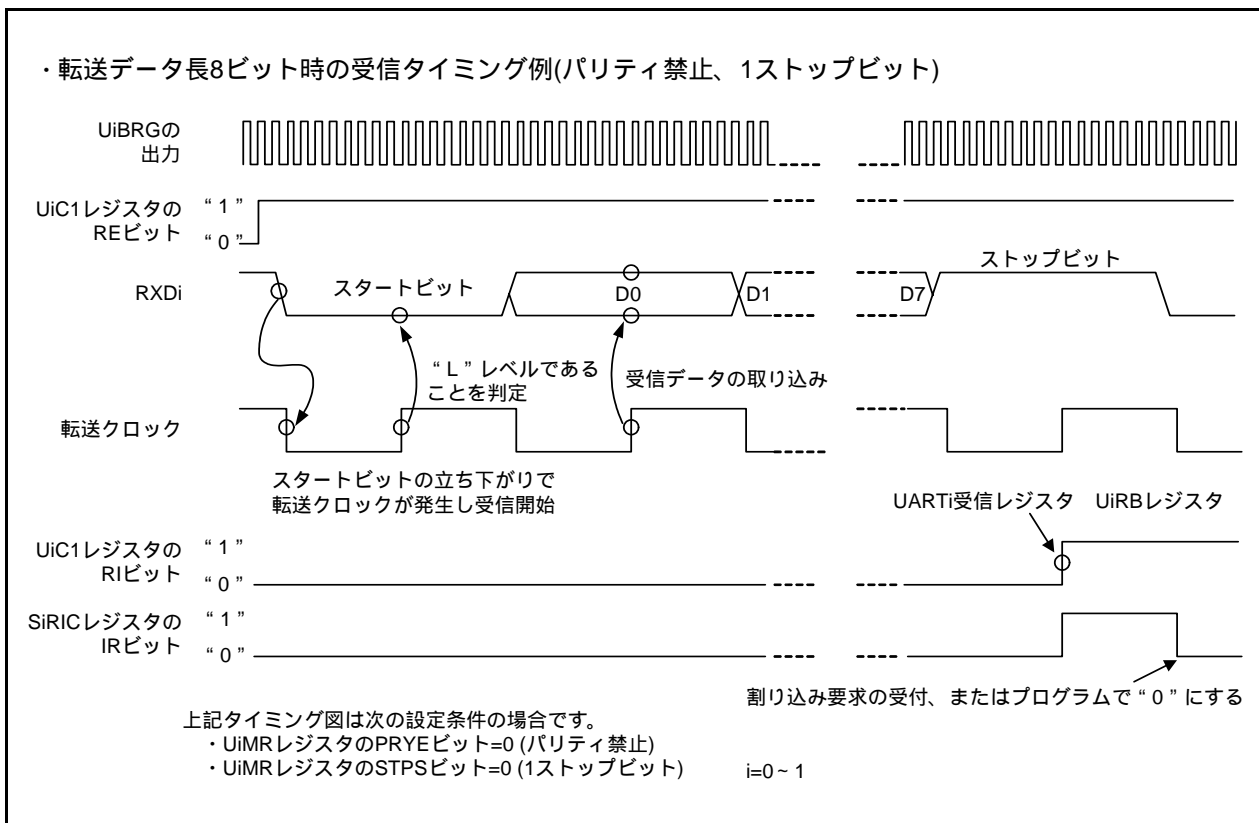


図 23.7 UARTモード時の受信タイミング例



### 23.4.1 ビットレート

UARTモードではUiBRGレジスタ(i=0 ~ 1)で分周した周波数の16分周がビットレートになります。

< UARTモード >

- ・ 内部クロック選択時
 
$$\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f<sub>j</sub> : UiBRGレジスタのカウンタソースの周波数(f<sub>1</sub>、f<sub>8</sub>、f<sub>32</sub>、f<sub>C</sub>)
- ・ 外部クロック選択時
 
$$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f<sub>EXT</sub> : UiBRGレジスタのカウンタソースの周波数(外部クロック)  
i=0 ~ 1

図 23.8 UiBRG レジスタ(i=0 ~ 1)の設定値の算出式

表 23.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	UiBRG の カウンタ ソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz			システムクロック = 8 MHz		
		UiBRG の 設定値	実時間 (bps)	設定 誤差 (%)	UiBRG の 設定値	実時間 (bps)	設定 誤差 (%)	UiBRG の 設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00	-	-	-

i=0 ~ 1

### 23.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

•UiRBレジスタ(i=0 ~ 1)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiC1レジスタのREビットを“1”(受信許可)にする。

•UiTBレジスタ(i=0 ~ 1)の初期化手順

- (1) UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを再設定(“100b”、“101b”、“110b”)する。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

### 23.5 シリアルインタフェース(UART<sub>i</sub> (i=0 ~ 1))使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。  
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。  
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書くときは、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```

## 24. シリアルインタフェース(UART2)

シリアルインタフェースはUART0 ~ UART2の3チャンネルで構成しています。本章はUART2について説明します。

### 24.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

図 24.1にUART2のブロック図を、図 24.2にUART2送受信部のブロック図を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I<sup>2</sup>Cモード)
- マルチプロセッサ通信機能

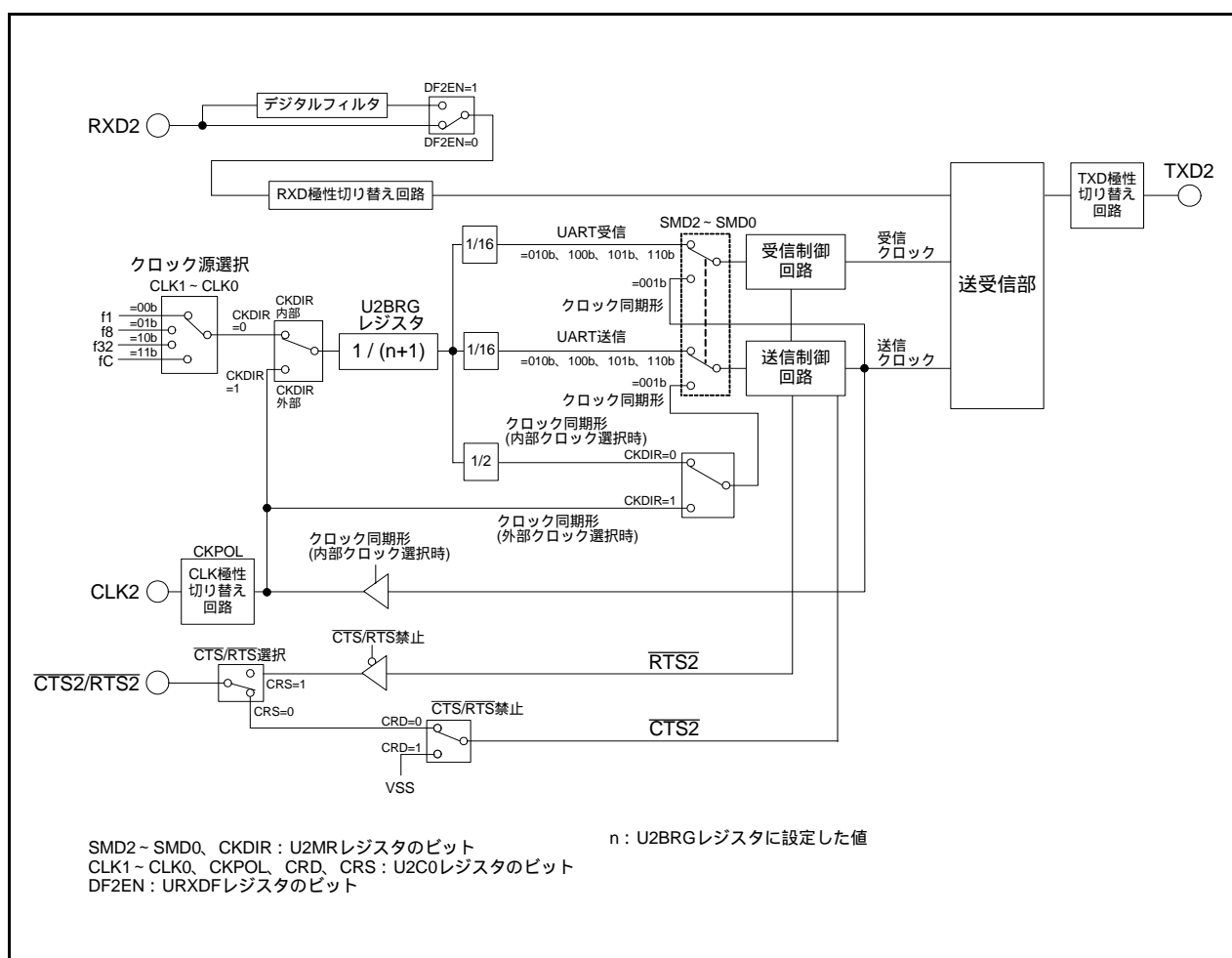


図 24.1 UART2のブロック図

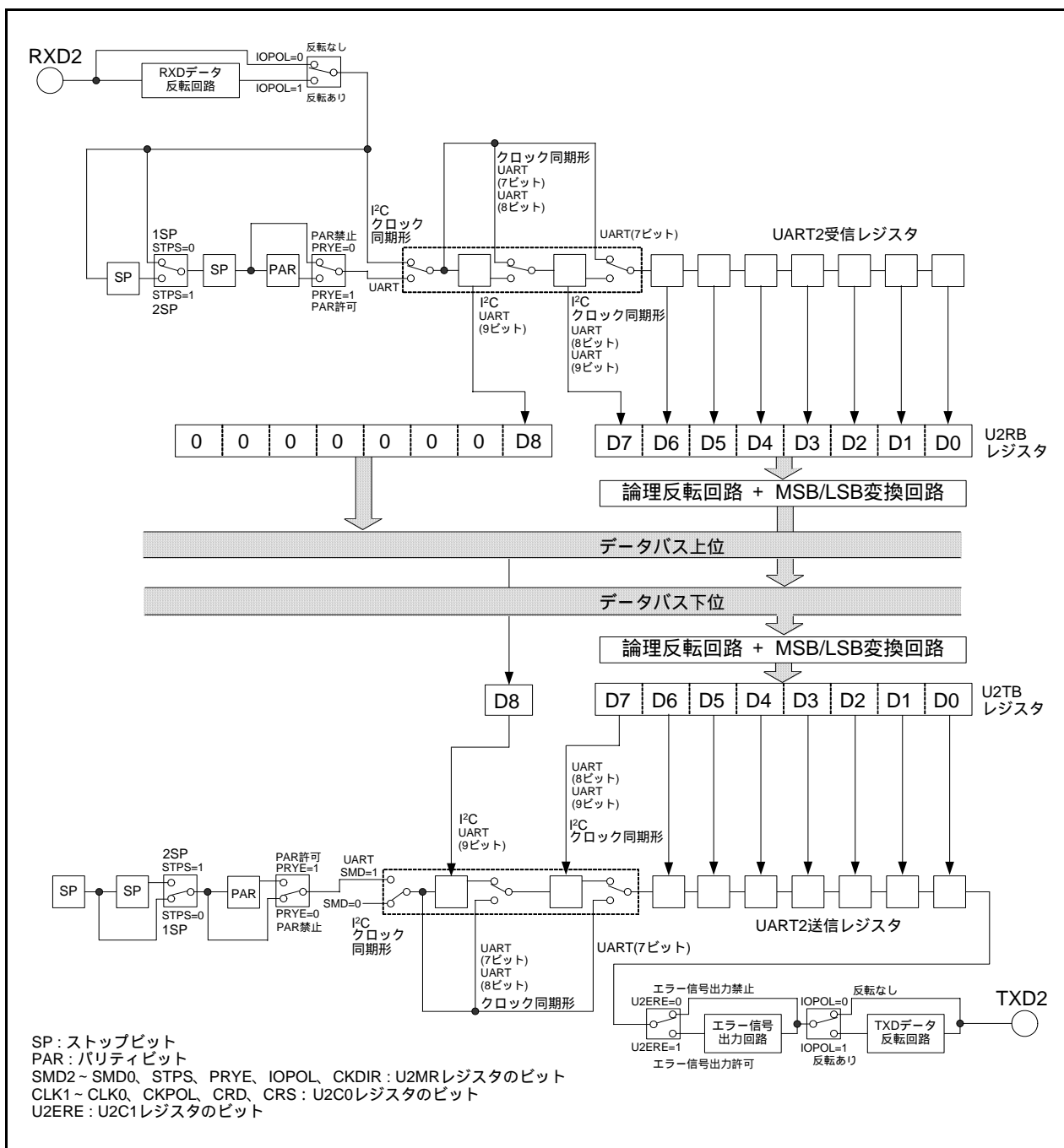


図 24.2 UART2送受信部のブロック図

表 24.1 UART2の端子構成

端子名	割り当てる端子	入出力	機能
TXD2	P11_1, P11_2	出力	シリアルデータ出力
RXD2	P11_1, P11_2	入力	シリアルデータ入力
CLK2	P11_0	入出力	転送クロック入出力
CTS2	P11_3	入力	送信制御用入力
RTS2	P11_3	出力	受信制御用出力
SCL2	P11_1, P11_2	入出力	I <sup>2</sup> Cモードのクロック入出力
SDA2	P11_1, P11_2	入出力	I <sup>2</sup> Cモードのデータ入出力

## 24.2 レジスタの説明

### 24.2.1 UART2送受信モードレジスタ(U2MR)

アドレス 00A8h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 010: I <sup>2</sup> Cモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット	0: 反転なし 1: 反転あり	R/W

### 24.2.2 UART2ビットレートレジスタ(U2BRG)

アドレス 00A9h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、U2BRGはカウントソースをn+1分周する	00h ~ FFh	W

U2BRGレジスタは、送受信停止中に書いてください。

U2BRGレジスタは、MOV命令を使用して書いてください。

U2C0レジスタのCLK1 ~ CLK0ビットを設定した後にU2BRGレジスタに書いてください。

### 24.2.3 UART2送信バッファレジスタ (U2TB)

アドレス 00ABh ~ 00AAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	MPTB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ(D7 ~ D0)	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	MPTB	送信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 送信データD8 [マルチプロセッサ通信機能を使用する場合] •IDを転送するときは、MPTBビットを“1”にしてください •データを転送するときは、MPTBビットを“0”にしてください	W
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

注1. MPTBビットを設定した後、b0 ~ b7を設定してください。

### 24.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRGカウントソース選択ビット (注1)	b1 b0 00 : f1を選択 01 : f8選択 10 : f32を選択 11 : fCを選択	R/W
b1	CLK1			R/W
b2	CRS	CTS/RTS機能選択ビット	CRD=0のとき有効 0 : CTS機能を選択 1 : RTS機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	R/W
b5	NCH	データ出力選択ビット	0 : TXD2/SDA2、SCL2端子はCMOS出力 1 : TXD2/SDA2、SCL2端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット(注2)	0 : LSBファースト 1 : MSBファースト	R/W

注1. CLK1 ~ CLK0ビットを変更した場合は、U2BRGレジスタを再設定してください。

注2. UFORMビットはU2MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。

SMD2 ~ SMD0ビットが“010b”(I<sup>2</sup>Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。



### 24.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス 00ADh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	U2ERE	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット(注1)	0: 反転なし 1: 反転あり	R/W
b7	U2ERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	R/W

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。  
SMD2～SMD0ビットが“010b”(I<sup>2</sup>Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

### 24.2.6 UART2受信バッファレジスタ (U2RB)

アドレス 00AFh ~ 00AEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	MPRB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	-	受信データ(D7 ~ D0)	R
b1	-	-		
b2	-	-		
b3	-	-		
b4	-	-		
b5	-	-		
b6	-	-		
b7	-	-		
b8	MPRB	-	受信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 受信データ(D8) [マルチプロセッサ通信機能を使用する場合] • MPRBビットが“0”のとき、受信したD0 ~ D7 はデータフィールド • MPRBビットが“1”のとき、受信したD0 ~ D7 はIDフィールド	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b10	-			
b11	-	予約ビット	“0”にしてください	R/W
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ (注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. U2MRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU2C1レジスタのREビットを0(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U2RBレジスタの下位バイトを読んだとき、“0”になります。

注2. U2MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I<sup>2</sup>Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

### 24.2.7 UART2デジタルフィルタ機能選択レジスタ(URXDF)

アドレス 00B0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	DF2EN	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	DF2EN	RXD2デジタルフィルタ許可ビット (注1)	0: デジタルフィルタ禁止 1: デジタルフィルタ許可	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. RXD2デジタルフィルタはクロック非同期形シリアルI/O(UART)モードでのみ、使用できます。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“010b”(I<sup>2</sup>Cモード)のときは、DF2ENビットを“0”(RXD2デジタルフィルタ禁止)にしてください。

### 24.2.8 UART2特殊モードレジスタ5(U2SMR5)

アドレス 00BBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	MPIE	-	-	-	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット	0: マルチプロセッサ通信禁止 1: マルチプロセッサ通信許可(注1)	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが“1”(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが“1”のとき、次の状態になります。 • マルチプロセッサビットが“0”の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが“1”になることを禁止します。 • マルチプロセッサビットが“1”の受信データを受信すると、MPIEビットは“0”になり、マルチプロセッサ通信以外の受信動作になります。	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-	予約ビット	“0”にしてください	R/W

注1. MPビットが“1”(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)では、MPビットを“0”(マルチプロセッサ通信禁止)にしてください。

### 24.2.9 UART2特殊モードレジスタ4 (U2SMR4)

アドレス 00BCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SWC9	SCLHI	ACKC	ACKD	STSPSEL	STPREQ	RSTAREQ	STAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b1	RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b2	STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b3	STSPSEL	SCL、SDA出力選択ビット	0: スタートコンディション、ストップコン ディション出力しない 1: スタートコンディション、ストップコン ディション出力する	R/W
b4	ACKD	ACKデータビット	0: ACK 1: NACK	R/W
b5	ACKC	ACKデータ出力許可ビット	0: シリアルインタフェースデータ出力 1: ACKデータ出力	R/W
b6	SCLHI	SCL出力停止許可ビット	0: 禁止 1: 許可	R/W
b7	SWC9	SCLウェイトビット3	0: SCL "L" ホールド禁止 1: SCL "L" ホールド許可	R/W

注1. 各コンディションが生成されたとき、“0”になります。

### 24.2.10 UART2特殊モードレジスタ3 (U2SMR3)

アドレス 00BDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DL2	DL1	DL0	-	NODC	-	CKPH	-
リセット後の値	0	0	0	X	0	X	0	X

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-	-
b1	CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-	-
b3	NODC	クロック出力選択ビット	0: CLK2はCMOS出力 1: CLK2はNチャネルオープンドレイン出力	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-	-
b5	DL0	SDA2デジタル遅延値設定ビット (注1、2)	b7 b6 b5 0 0 0: 遅延なし 0 0 1: U2BRG カウントソースの1~2サイクル 0 1 0: U2BRG カウントソースの2~3サイクル 0 1 1: U2BRG カウントソースの3~4サイクル 1 0 0: U2BRG カウントソースの4~5サイクル 1 0 1: U2BRG カウントソースの5~6サイクル 1 1 0: U2BRG カウントソースの6~7サイクル 1 1 1: U2BRG カウントソースの7~8サイクル	R/W
b6	DL1			R/W
b7	DL2			R/W

注1. DL2 ~ DL0ビットはI<sup>2</sup>Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I<sup>2</sup>Cモード以外の場合、“000b” (遅延なし)にしてください。

注2. 遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

### 24.2.11 UART2特殊モードレジスタ2 (U2SMR2)

アドレス 00BEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	SDHI	SWC2	STAC	-	SWC	CSC	IICM2
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM2	I <sup>2</sup> Cモード選択ビット2	「表 24.12 I <sup>2</sup> Cモード時の各機能」参照	R/W
b1	CSC	クロック同期化ビット	0: 禁止 1: 許可	R/W
b2	SWC	SCLウェイト出力ビット	0: 禁止 1: 許可	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	STAC	UART2初期化ビット	0: 禁止 1: 許可	R/W
b5	SWC2	SCLウェイト出力ビット2	0: 転送クロック 1: “L” 出力	R/W
b6	SDHI	SDA出力禁止ビット	0: 許可 1: 禁止(ハイインピーダンス)	R/W
b7	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。	-	-

### 24.2.12 UART2特殊モードレジスタ (U2SMR)

アドレス 00BFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	BBS	-	IICM
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	I <sup>2</sup> Cモード選択ビット	0: I <sup>2</sup> Cモード以外 1: I <sup>2</sup> Cモード	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	BBS	バスビジーフラグ(注1)	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	-			
b5	-			
b6	-			
b7	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。	-	-

注1. BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

### 24.2.13 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RXD2SEL1	RXD2SEL0	-	-	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2端子選択ビット	b1 b0 00 : TXD2/SDA2端子は使用しない 01 : P11_2に割り当てる 10 : P11_1に割り当てる 11 : 設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			-
b4	RXD2SEL0	RXD2/SCL2端子選択ビット	b5 b4 00 : RXD2/SCL2端子は使用しない 01 : P11_1に割り当てる 10 : P11_2に割り当てる 11 : 設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

### 24.2.14 UART2 端子選択レジスタ1 (U2SR1)

アドレス 018Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CTS2SEL0	-	-	-	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2 端子選択ビット	0 : CLK2 端子は使用しない 1 : CLK2 端子を使用する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	CTS2SEL0	CTS2/RTS2 端子選択ビット	0 : CTS2/RTS2 端子は使用しない 1 : CTS2/RTS2 端子を使用する	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

### 24.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 24.2にクロック同期形シリアルI/Oモードの仕様を、表 24.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 24.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>•U2MR レジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(2(n+1))</math>  <math>f_j=f_1, f_8, f_{32}, f_C</math> <math>n=U2BRG</math> レジスタの設定値 00h ~ FFh</li> <li>•CKDIRビットが“1”(外部クロック) : CLK2端子からの入力</li> </ul>
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1 レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1 レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> <li>•CTS機能を選択している場合、CTS2端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1 レジスタのREビットが“1”(受信許可)</li> <li>•U2C1 レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1 レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> <li>•U2C1 レジスタのU2IRSビットが“0”(送信パツファ空) :  U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時)</li> <li>•U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時  受信する場合</li> <li>•UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> <li>•CLK極性選択  転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりをかを選択</li> <li>•LSBファースト、MSBファースト選択  ビット0から送受信するか、またはビット7から送受信するかを選択可</li> <li>•連続受信モード選択  U2RBレジスタを読むことで、同時に受信許可状態になる</li> <li>•シリアルデータ論理切り替え  送受信データの論理値を反転する機能</li> </ul>

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは“1”(割りこみ要求あり)に変化しません。



表 24.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0 ~ b7	送信データを設定してください
U2RB(注1)	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR(注1)	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
U2C0	CLK1 ~ CLK0	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、“1” にしてください
	U2LCH	データ論理反転を使用する場合、“1” にしてください
	U2ERE	“0” にしてください
U2SMR	b0 ~ b7	“0” にしてください
U2SMR2	b0 ~ b7	“0” にしてください
U2SMR3	b0 ~ b2	“0” にしてください
	NODC	クロック出力形式を選択してください
	b4 ~ b7	“0” にしてください
U2SMR4	b0 ~ b7	“0” にしてください
URXDF	DF2EN	“0” にしてください
U2SMR5	MP	“0” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 24.4にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図 24.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

表 24.4 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXD2(P11_1 またはP11_2)	シリアルデータ出力	<ul style="list-style-type: none"> <li>•TXD2(P11_1)の場合 U2SR0レジスタのTXD2SEL1、TXD2SEL0ビット=10b(P11_1) Nチャンネルオープンドレイン出力選択時は、PD11レジスタのPD11_1ビット=0</li> <li>•TXD2(P11_2)の場合 U2SR0レジスタのTXD2SEL1、TXD2SEL0ビット=01b(P11_2) Nチャンネルオープンドレイン出力選択時は、PD11レジスタのPD11_2ビット=0</li> <li>•受信だけを行うときはTXD2SEL1、TXD2SEL0ビット=00bと設定することで、P11_1、P11_2をポートとして使用可</li> </ul>
RXD2(P11_1 またはP11_2)	シリアルデータ入力	<ul style="list-style-type: none"> <li>•RXD2(P11_1)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P11_1) PD11レジスタのPD11_1ビット=0</li> <li>•RXD2(P11_2)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P11_2) PD11レジスタのPD11_2ビット=0</li> <li>•送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P11_1、P11_2をポートとして使用可</li> </ul>
CLK2(P11_0)	転送クロック出力	U2SR1レジスタのCLK2SEL0ビット=1 U2MRレジスタのCKDIRビット=0 Nチャンネルオープンドレイン出力選択時は、PD11レジスタのPD11_0ビット=0
	転送クロック入力	U2SR1レジスタのCLK2SEL0ビット=1 U2MRレジスタのCKDIRビット=1 PD11レジスタのPD11_0ビット=0
CTS2/RTS2 (P11_3)	CTS入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD11レジスタのPD11_3ビット=0
	RTS出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

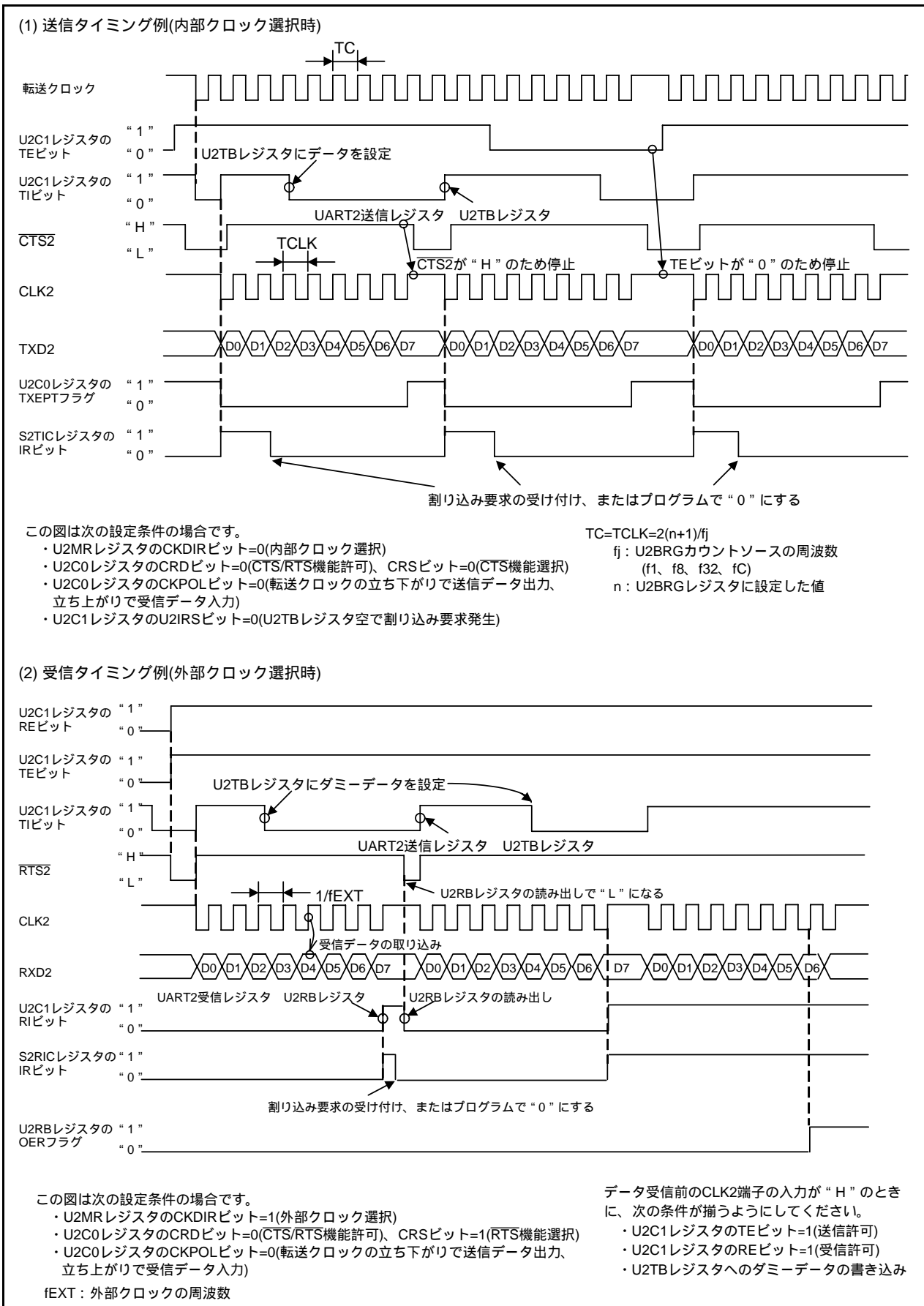


図 24.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

### 24.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

•U2RBレジスタの初期化手順

- (1) U2C1レジスタのREビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのREビットを“1”(受信許可)にする。

•U2TBレジスタの初期化手順

- (1) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3) U2C1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

### 24.3.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図24.4に転送クロックの極性を示します。

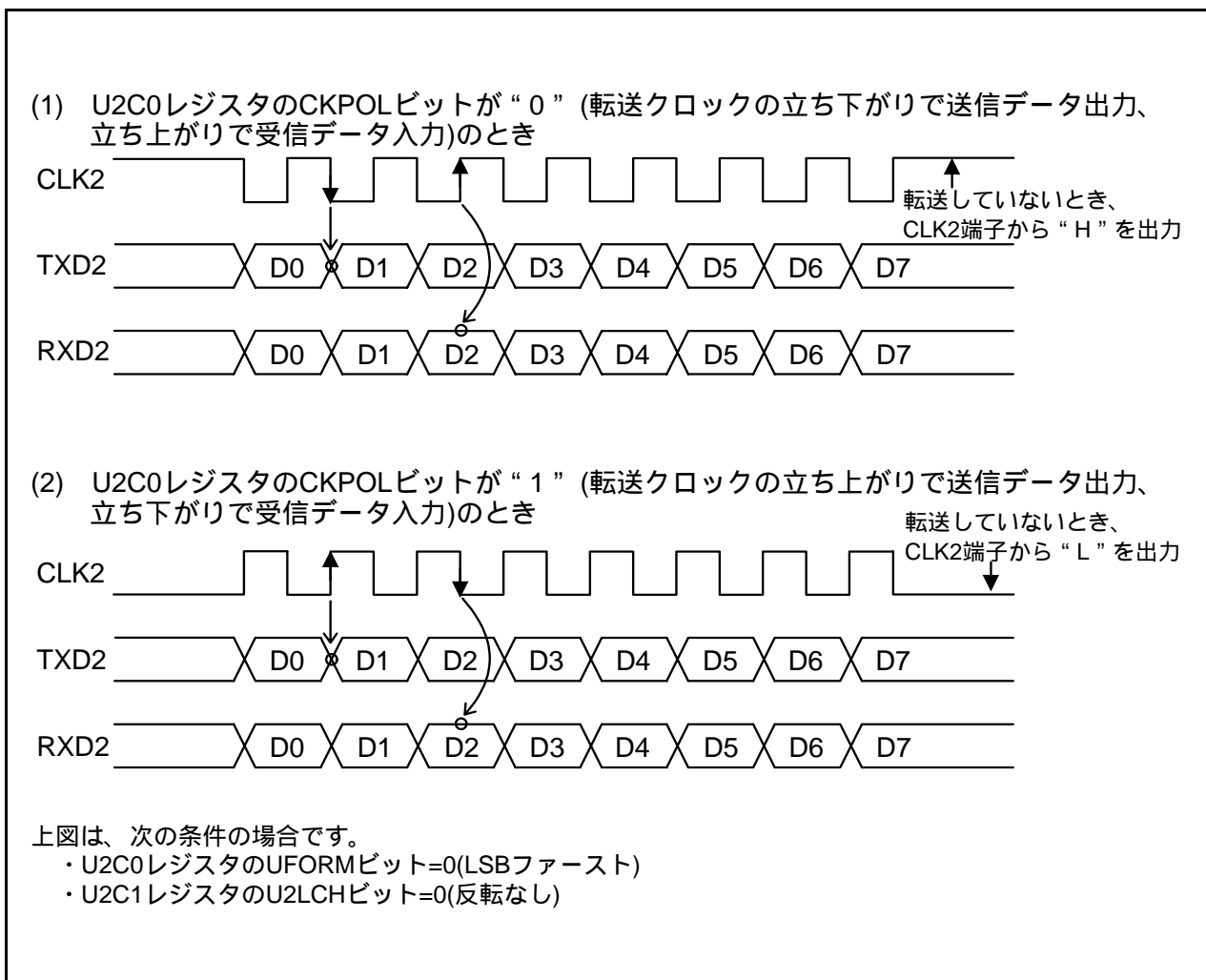


図 24.4 転送クロックの極性

### 24.3.3 LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図 24.5 に転送フォーマットを示します。

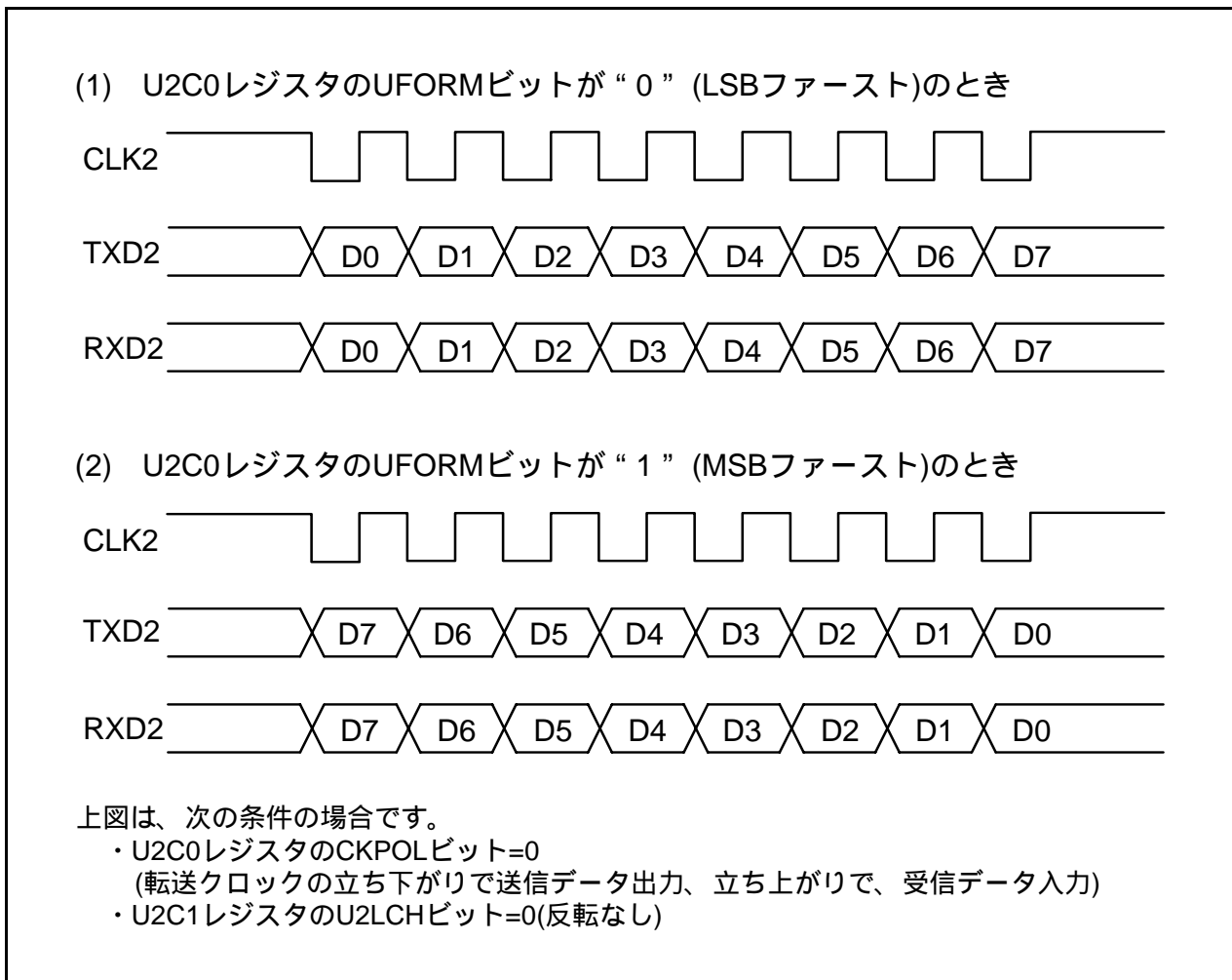


図 24.5 転送フォーマット

### 24.3.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを“1”(連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になります。U2RRMビットが“1”の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

### 24.3.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図24.6にシリアルデータ論理を示します。

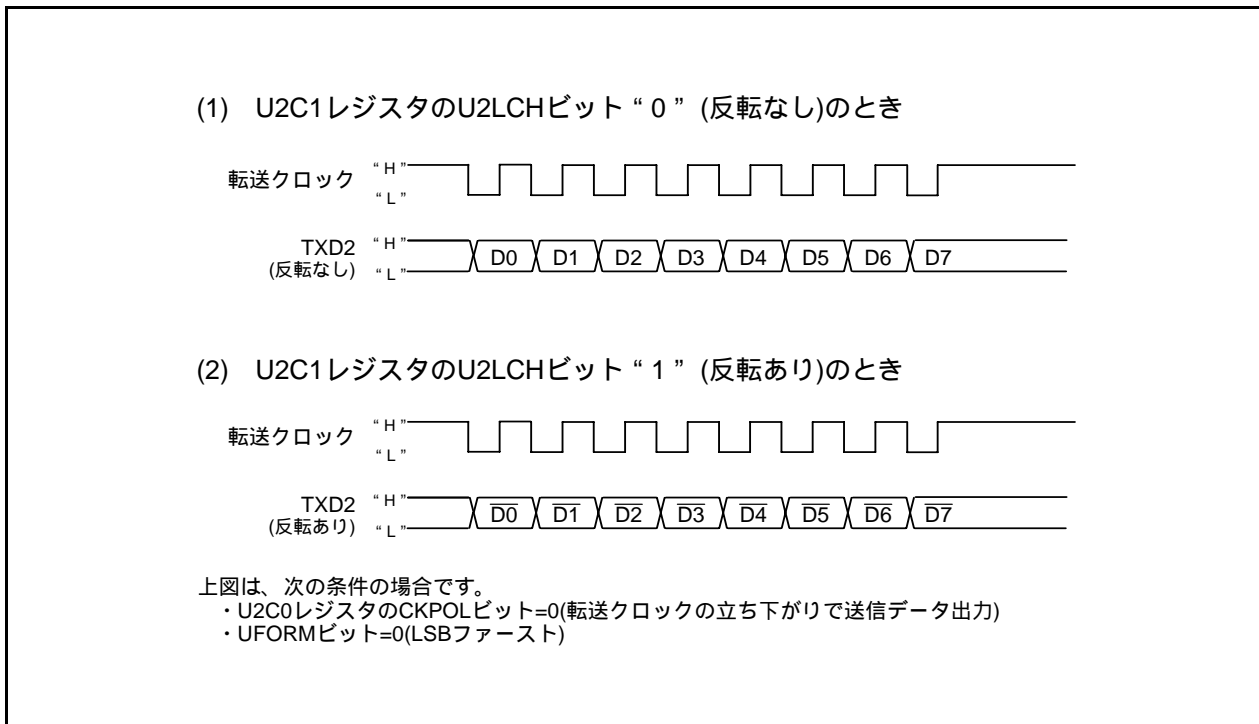


図 24.6 シリアルデータ論理

### 24.3.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- |   |   |
|---|---|
| <ul style="list-style-type: none"> <li>・U2C0レジスタのCRDビット=1(CTS/RTS機能禁止)</li> <li>・CRDビット=0、CRSビット=0(CTS機能選択)</li> <li>・CRDビット=0、CRSビット=1(RTS機能選択)</li> </ul> | <ul style="list-style-type: none"> <li><math>\overline{\text{CTS2}}/\overline{\text{RTS2}}</math>端子はプログラマブル入出力機能</li> <li><math>\overline{\text{CTS2}}/\overline{\text{RTS2}}</math>端子はCTS機能</li> <li><math>\overline{\text{CTS2}}/\overline{\text{RTS2}}</math>端子はRTS機能</li> </ul> |
|---|---|

## 24.4 クロック非同期形シリアルI/O(UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表 24.5 にUARTモードの仕様を、表 24.6にUARTモード時の使用レジスタと設定値を示します。

表 24.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>•キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可</li> <li>•スタートビット 1ビット</li> <li>•パリティビット 奇数、偶数、なしを選択可</li> <li>•ストップビット 1ビット、2ビットを選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>•U2MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math>  <math>f_j=f_1, f_8, f_{32}, f_C</math> <math>n=U2BRG</math>レジスタの設定値 00h ~ FFh</li> <li>•CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math>はCLK2端子からの入力 <math>n=U2BRG</math>レジスタの設定値 00h ~ FFh</li> </ul>
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>•U2C1レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> <li>•CTS機能を選択している場合、CTS2端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>•U2C1レジスタのREビットが“1”(受信許可)</li> <li>•スタートビットの検出</li> </ul>
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> <li>•U2C1レジスタのU2IRSビットが“0”(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時)</li> <li>•U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時</li> </ul> 受信する場合 <ul style="list-style-type: none"> <li>•UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>•オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>•フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生</li> <li>•パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生</li> <li>•エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可</li> <li>•シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。</li> <li>•TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。</li> <li>•RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択可</li> </ul>

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表 24.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	b0 ~ b8	送信データを設定してください(注1)
U2RB	b0 ~ b8	受信データが読めず(注1、2)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
	U2C0	CLK0、CLK1
U2C0	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
	U2C1	TE
U2C1	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	“0”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
	U2SMR	b0 ~ b7
U2SMR2	b0 ~ b7	“0”にしてください
U2SMR3	b0 ~ b7	“0”にしてください
U2SMR4	b0 ~ b7	“0”にしてください
URXDF	DF2EN	デジタルフィルタの無効、有効を選択してください
U2SMR5	MP	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7～b8、転送データ長8ビットの場合のビットb8の内容は不定です。



表 24.7にUARTモード時の入出力端子の機能を示します。なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図 24.7にUARTモード時の送信タイミング例を、図 24.8にUARTモード時の受信タイミング例を示します。

表 24.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD2(P11_1 またはP11_2)	シリアルデータ出力	<ul style="list-style-type: none"> <li>•TXD2(P11_1)の場合 U2SR0レジスタのTXD2SEL1、TXD2SEL0ビット=10b(P11_1) Nチャンネルオープンドレイン出力選択時は、 PD11レジスタのPD11_1ビット=0</li> <li>•TXD2(P11_2)の場合 U2SR0レジスタのTXD2SEL1、TXD2SEL0ビット=01b(P11_2) Nチャンネルオープンドレイン出力選択時は、 PD11レジスタのPD11_2ビット=0</li> <li>•受信だけを行うときはTXD2SEL1、TXD2SEL0ビット=00bと設定することで、P11_1、P11_2をポートとして使用可</li> </ul>
RXD2(P11_1 またはP11_2)	シリアルデータ入力	<ul style="list-style-type: none"> <li>•RXD2(P11_1)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P11_1)</li> <li>•RXD2(P11_2)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P11_2) PD11レジスタのPD11_2ビット=0</li> <li>•送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P11_1、P11_2をポートとして使用可</li> </ul>
CLK2(P11_0)	入出力ポート	U2SR1レジスタのCLK2SEL0ビット=0
	転送クロック入力	U2SR1レジスタのCLK2SEL0ビット=1 U2MRレジスタのCKDIRビット=1 PD11レジスタのPD11_0ビット=0
CTS2/RTS2 (P11_3)	CTS入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD11レジスタのPD11_3ビット=0
	RTS出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

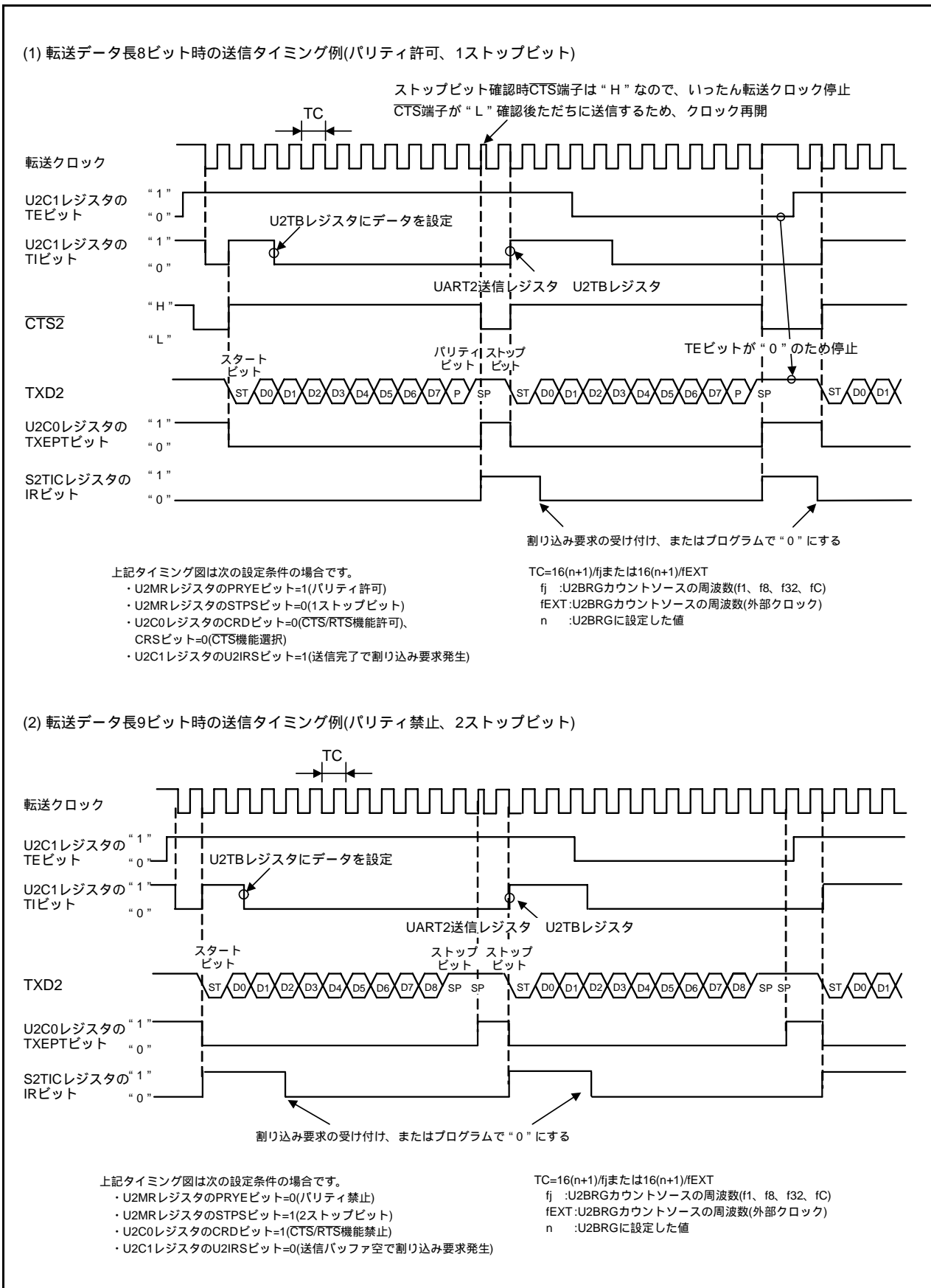


図 24.7 UARTモード時の送信タイミング例

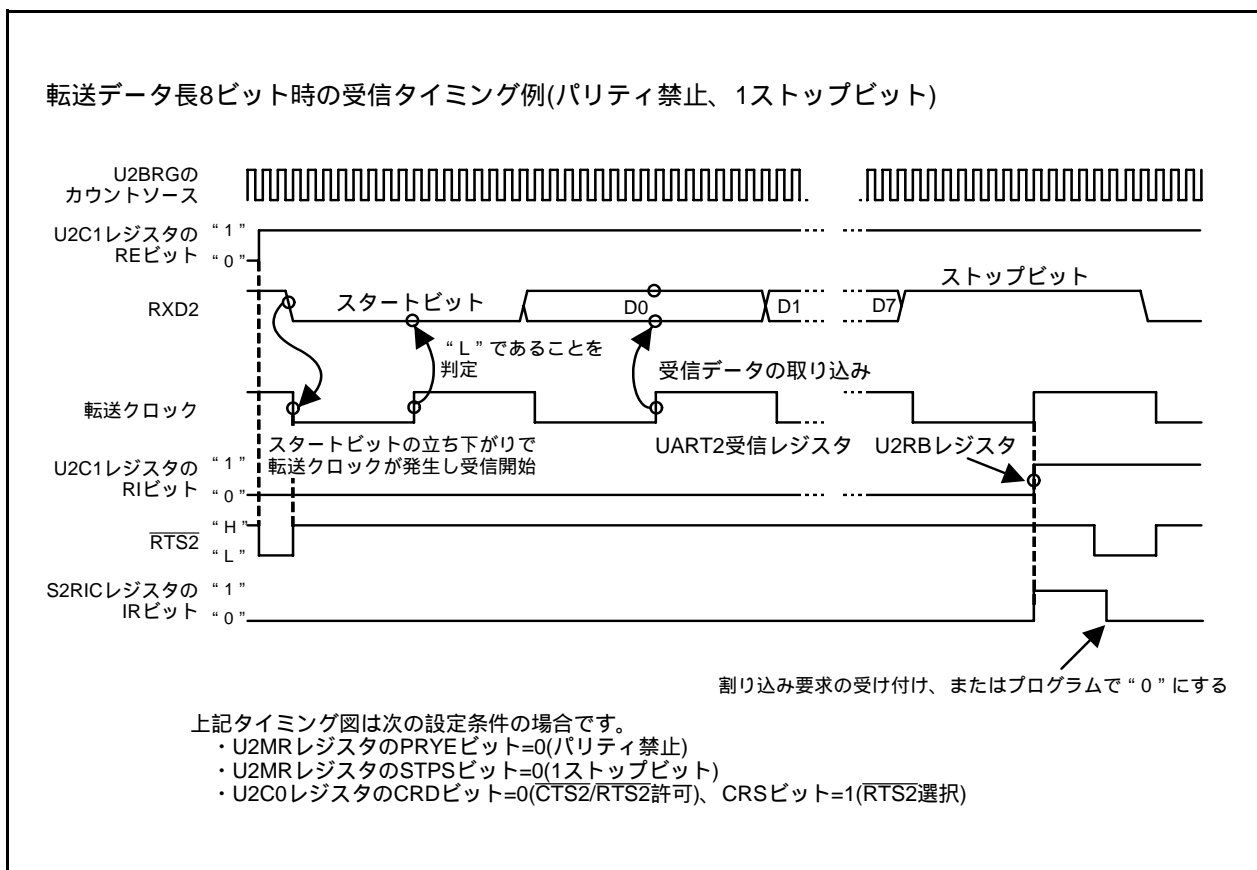


図 24.8 UARTモード時の受信タイミング例

### 24.4.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。表 24.8 にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

表 24.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	U2BRGの カウント ソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz			システムクロック = 8 MHz		
		U2BRGの 設定値	実時間 (bps)	設定 誤差 (%)	U2BRGの 設定値	実時間 (bps)	設定 誤差 (%)	U2BRGの 設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00	-	-	-

### 24.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

•U2RBレジスタの初期化手順

- (1) U2C1レジスタのREビットを“0”(受信禁止)にする。
- (2) U2C1レジスタのREビットを“1”(受信許可)にする。

•U2TBレジスタの初期化手順

- (1) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを再設定(“100b”、“101b”、“110b”)する。
- (3) U2C1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

### 24.4.3 LSBファースト、MSBファースト選択

図 24.9 に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図 24.9 に転送フォーマットを示します。

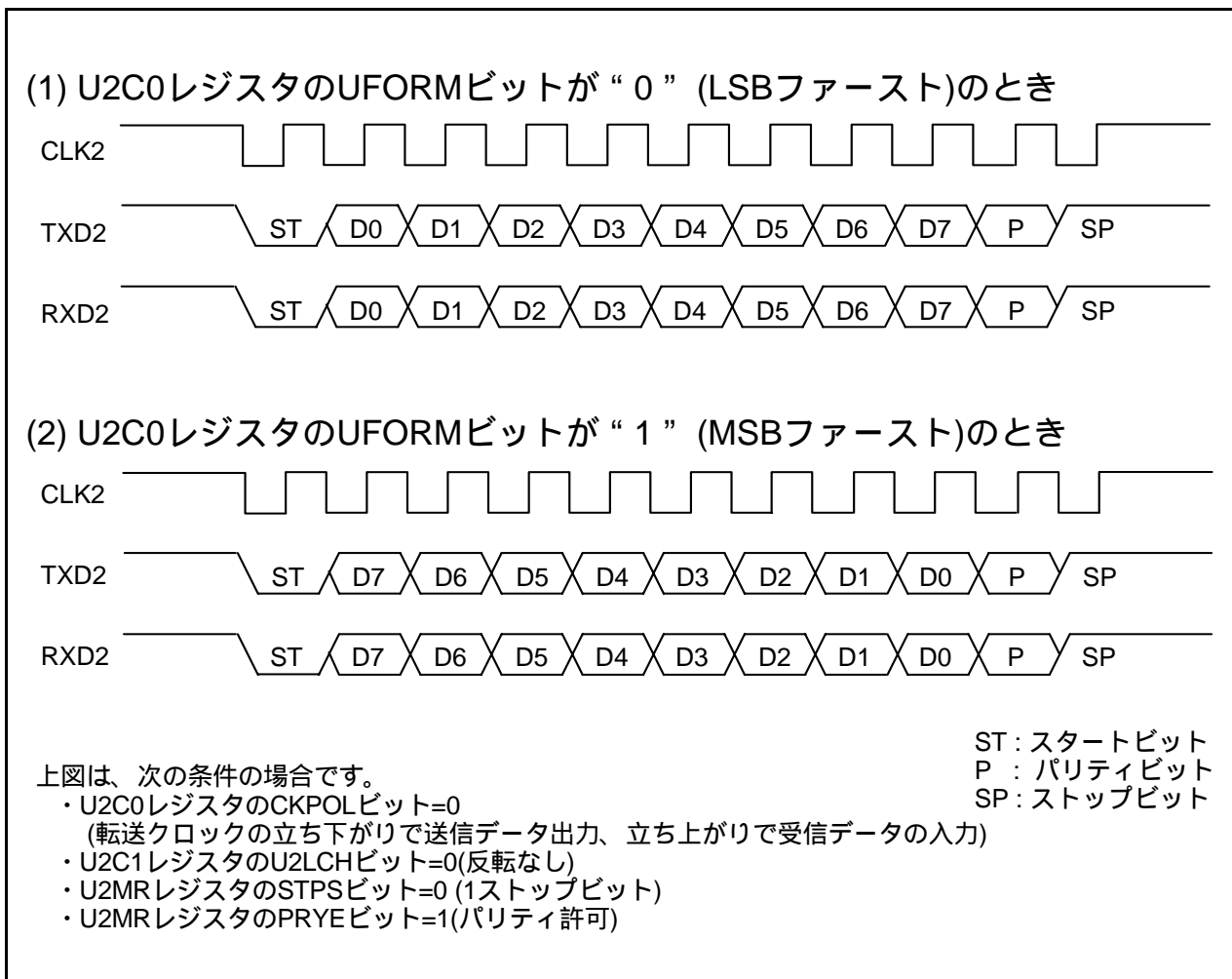


図 24.9 転送フォーマット

### 24.4.4 シリアルデータ論理切り替え

U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図 24.10 にシリアルデータ論理を示します。

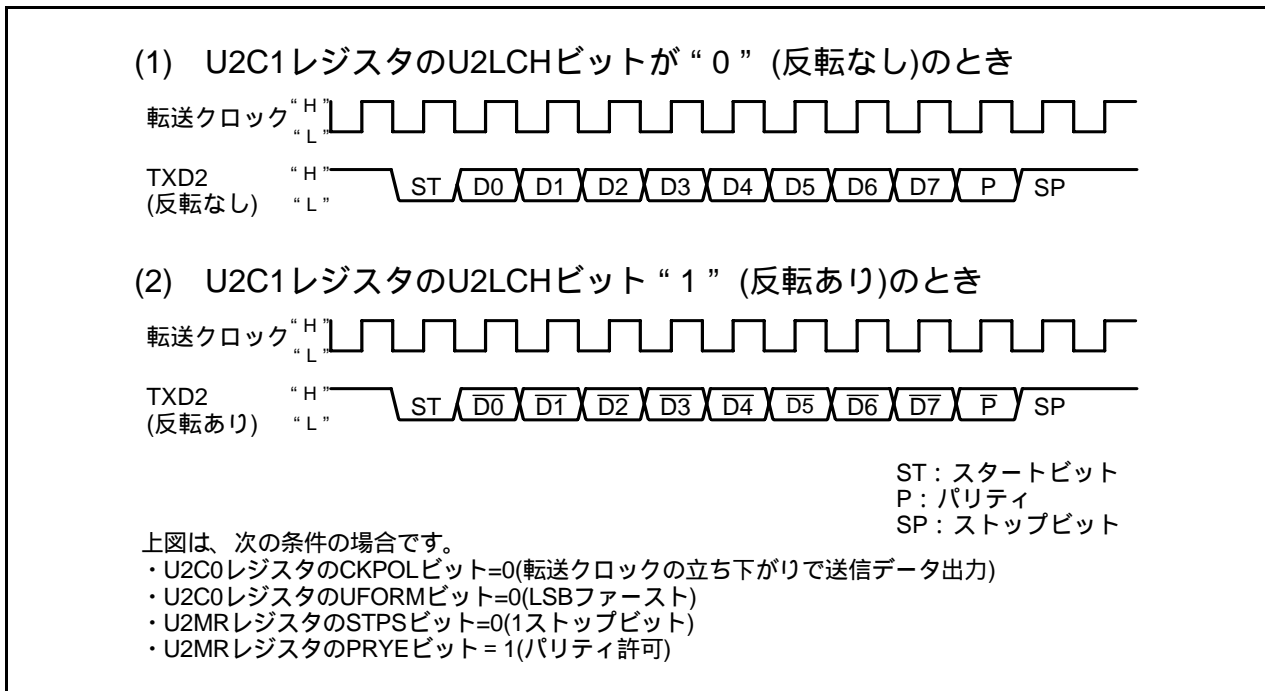


図 24.10 シリアルデータ論理

### 24.4.5 TXD、RXD 入出力極性切り替え機能

TXD2端子出力とRXD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図 24.11 にTXD、RXD 入出力極性切り替えを示します。

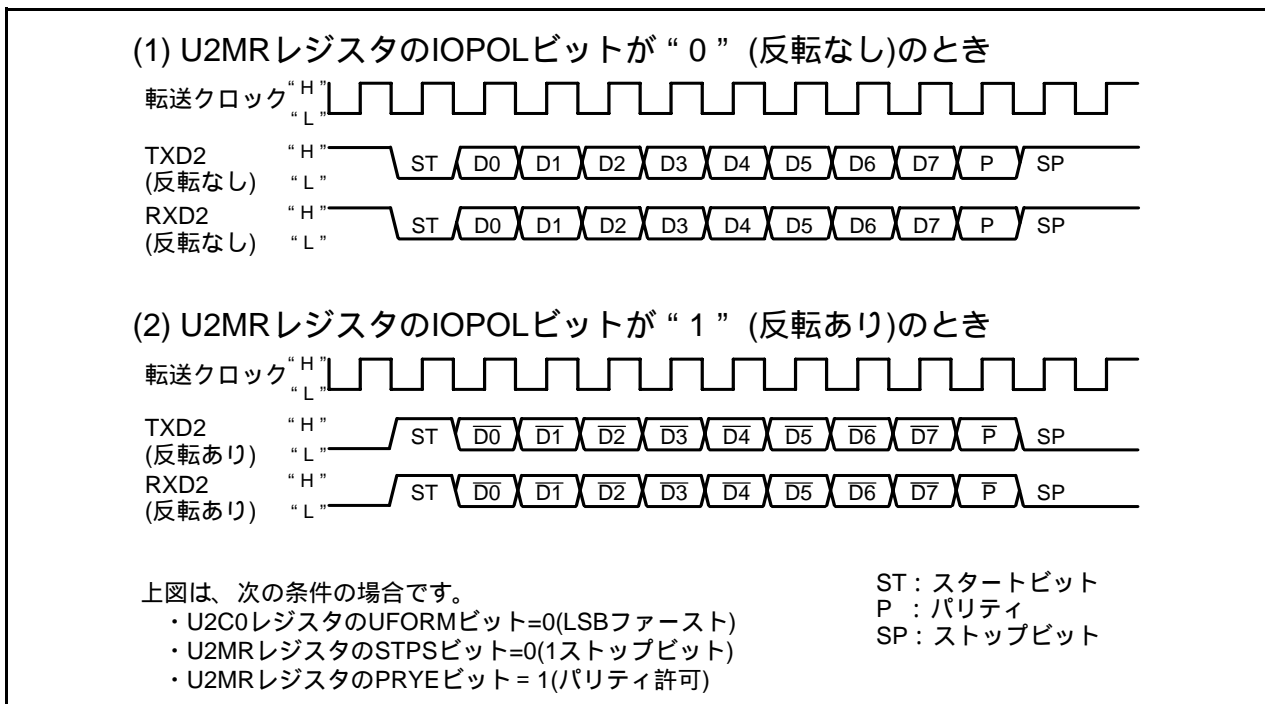


図 24.11 TXD、RXD 入出力極性切り替え

### 24.4.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- U2C0レジスタのCRDビット=1( $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 機能禁止)      $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0(CTS機能選択)      $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はCTS機能
- CRDビット=0、CRSビット=1(RTS機能選択)      $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はRTS機能

### 24.4.7 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図 24.12にRXD2デジタルフィルタ回路のブロック図を示します。

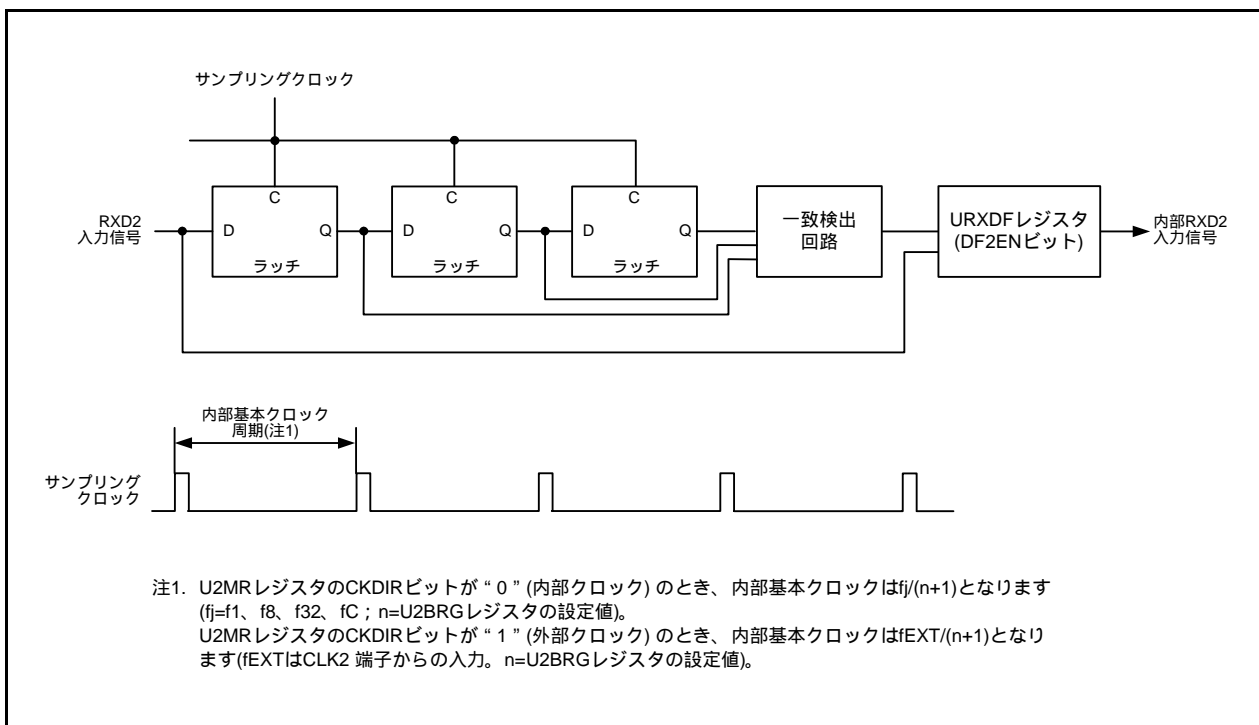


図 24.12 RXD2デジタルフィルタ回路のブロック図

## 24.5 特殊モード1(I<sup>2</sup>Cモード)

I<sup>2</sup>Cモードは、簡易形I<sup>2</sup>Cインタフェースに対応したモードです。表 24.9 にI<sup>2</sup>Cモードの仕様を、表 24.10 ~ 表 24.11 にI<sup>2</sup>Cモード時の使用レジスタと設定値を、表 24.12 にI<sup>2</sup>Cモード時の各機能、図 24.13 にI<sup>2</sup>Cモードのブロック図を、図 24.14 にU2RBレジスタへの転送、割り込みのタイミングを示します。

表 24.12 に示すように、SMD2 ~ SMD0ビットを“010b”に、IICMビットを“1”にするとI<sup>2</sup>Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2が“L”になり安定した後、SDA2出力が変化します。

表 24.9 I<sup>2</sup>Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>•マスタ時 U2MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(2(n+1))</math> <math>f_j=f_1, f_8, f_{32}, f_C</math> <math>n=U2BRG</math>レジスタの設定値 00h ~ FFh</li> <li>•スレーブ時 CKDIRビットが“1”(外部クロック) : SCL2端子からの入力</li> </ul>
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1レジスタのREビットが“1”(受信許可)</li> <li>•U2C1レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> <li>•SDA2デジタル遅延 デジタル遅延なし、またはU2BRGカウントソースの2~8サイクルの遅延を選択可</li> <li>•クロック位相設定 クロック遅れあり、なしを選択可</li> </ul>

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

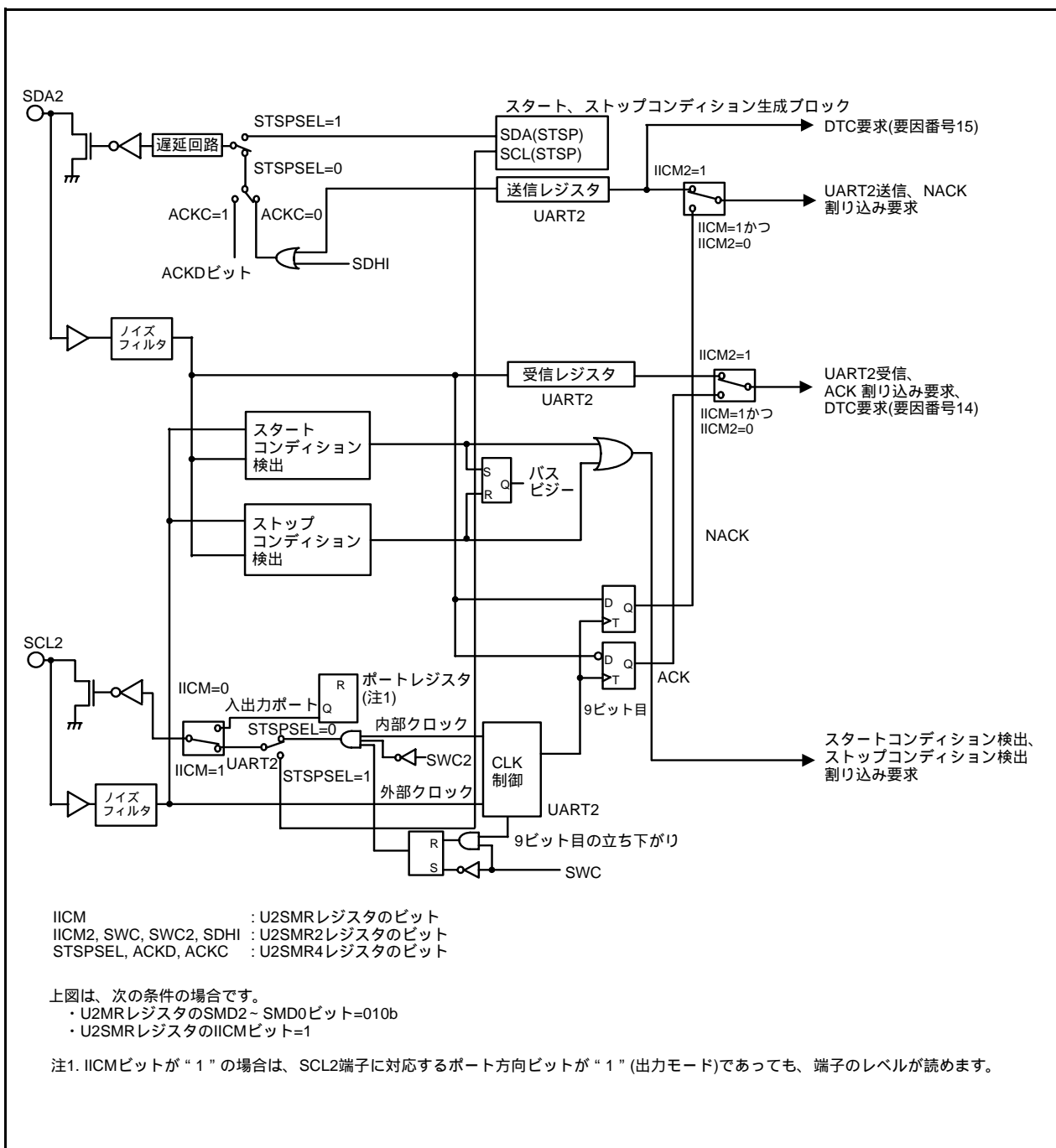


図 24.13 I<sup>2</sup>Cモードのブロック図



表 24.10 I<sup>2</sup>Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB(注1)	b0 ~ b7	送信データを設定してください	送信データを設定してください
U2RB(注1)	b0 ~ b7	受信データが読めます	受信データが読めます
	b8	ACK、NACKが入ります	ACK、NACKが入ります
	OER	オーバランエラーフラグ	オーバランエラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください	無効
U2MR(注1)	SMD2 ~ SMD0	“010b” にしてください	“010b” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
U2C0	CLK1 ~ CLK0	U2BRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1” にしてください	“1” にしてください
	NCH	“1” にしてください	“1” にしてください
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
U2C1	TE	送信を許可する場合、“1” にしてください	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	無効	無効
	U2RRM、U2LCH、U2ERE	“0” にしてください	“0” にしてください
U2SMR	IICM	“1” にしてください	“1” にしてください
	BBS	バスビジーフラグ	バスビジーフラグ
	b3 ~ b7	“0” にしてください	“0” にしてください
U2SMR2	IICM2	「表 24.12 I <sup>2</sup> Cモード時の各機能」参照	「表 24.12 I <sup>2</sup> Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がり でSCL2出力を“L”出力固定にする場合、 “1” にしてください	クロックの9ビット目の立ち下がり でSCL2出力を“L”出力固定にする場合、 “1” にしてください
	STAC	“0” にしてください	スタートコンディション検出でUART2 を初期化する場合、“1” にしてください
	SWC2	SCL2の出力を強制的に“L”にする場 合、“1” にしてください	SCL2の出力を強制的に“L”にする場 合、“1” にしてください
	SDHI	SDA2出力を禁止にする場合、“1” にし てください	SDA2出力を禁止にする場合、“1” にし てください
	b7	“0” にしてください	“0” にしてください
U2SMR3	b0、b2、b4 NODC	“0” にしてください	“0” にしてください
	CKPH	「表 24.12 I <sup>2</sup> Cモード時の各機能」参照	「表 24.12 I <sup>2</sup> Cモード時の各機能」参照
	DL2 ~ DL0	SDA2のデジタル遅延値を設定してくだ さい	SDA2のデジタル遅延値を設定してくだ さい

注1. この表に記載していないビットは、I<sup>2</sup>Cモード時に書く場合、“0”を書いてください。

表 24.11 I<sup>2</sup>Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL2出力を停止する場合、“1”にしてください	“0”にしてください
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がり でSCL2を“L”ホールドにする場合、 “1”にしてください
URXDF	DF2EN	“0”にしてください	“0”にしてください
U2SMR5	MP	“0”にしてください	“0”にしてください

表 24.12 I<sup>2</sup>Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2 ~ SMD0=001b、IICM=0)	I <sup>2</sup> Cモード (SMD2 ~ SMD0=010b、IICM=1)			
		IICM2=0(NACK/ACK 割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
UART2バス衝突検出 割り込みの要因 (注1、5)	-	スタートコンディション検出、ストップコンディション検出 (「表 24.13 STSPSELビットの機能」参照)			
UART2送信/NACK2 割り込みの要因 (注1、6)	UART2送信 送信開始、または送信 完了(U2IRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCL2の立ち上がり	UART2送信 9ビット目のSCL2 の立ち上がり	UART2送信 9ビット目の次の SCL2の立ち下がり	
UART2受信/ACK2割 り込みの要因 (注1、6)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCL2の立ち上がり	UART2受信 9ビット目のSCL2の立ち下がり		
UART受信シフト レジスタからU2RB レジスタへのデータ 転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCL2の立ち上がり	9ビット目のSCL2 の立ち下がり	9ビット目のSCL2の 立ち下がりと、立ち 上がり	
UART2送信出力遅延	遅延なし	遅延あり			
TXD2/SDA2端子の機能	TXD2出力	SDA2入出力			
RXD2/SCL2端子の機能	RXD2入力	SCL2入出力			
CLK2端子の機能	CLK2入力または出力 ポート選択	- (I <sup>2</sup> Cモードには使用しない)			
ノズルフィルター幅	15ns	200ns			
RXD2、SCL2端子 レベルの読み込み	対応するポート方向ピ ットが“0”の場合、可能	対応するポート方向ピットの内容に関係なく、可能			
TXD2、SDA2出力の 初期値	CKPOL=0(H) CKPOL=1(L)	I <sup>2</sup> Cモード設定前に、ポートレジスタに設定した値(注2)			
SCL2の初期値、終了値	-	H	L	H	L
DTC要因番号14 (注6)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK)		UART2受信 9ビット目のSCL2の立ち下がり	
DTC要因番号15 (注6)	UART2送信 送信開始、または送信完 了(U2IRSビットで選択)	UART2送信 9ビット目のSCL2 の立ち上がり	UART2送信 9ビット目の次の SCL2の立ち下がり	UART2送信 9ビット目のSCL2 の立ち上がり	UART2送信 9ビット目の次の SCL2の立ち下がり
受信データ格納	1~8ビット目をU2RB レジスタのビットb0~ b7に格納	1~8ビット目をU2RBレジスタの ビットb7~b0に格納		1~7ビット目をU2RBレジスタのビット b6~b0に、8ビット目をU2RBレジスタ のビットb8に格納	
受信データ読み出し	U2RBレジスタの状態をそのまま読み出す			1~8ビット目をU2RB レジスタのビットb7 ~b0に格納(注3)	
				U2RBレジスタのピッ トb6~b0はビットb7 ~b1として、ビット b8はビットb0として 読み出す(注4)	

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「11.8 割り込み使用上の注意」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

注2. SDA2出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注3. U2RBレジスタへのデータ転送2回目(9ビット目SCL2立ち上がり時)

注4. U2RBレジスタへのデータ転送1回目(9ビット目SCL2立ち下がり時)

注5. 「図 24.16 STSPSELビットの機能」参照。

注6. 「図 24.14 U2RBレジスタへの転送、割り込みのタイミング」参照。

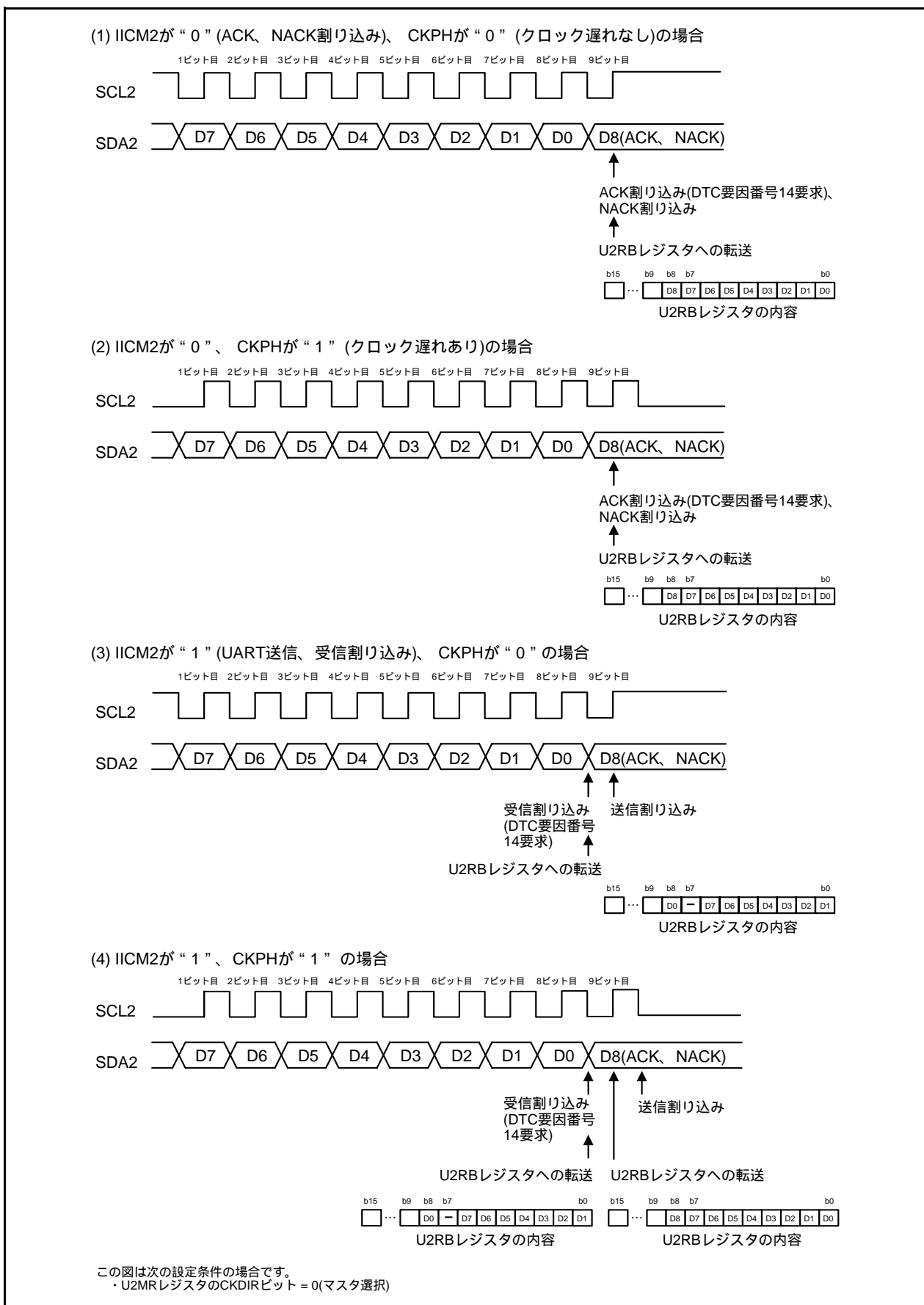


図 24.14 U2RB レジスタへの転送、割り込みのタイミング

### 24.5.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態、SDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”の状態、SDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

図 24.15 にスタートコンディション、ストップコンディションの検出を示します。

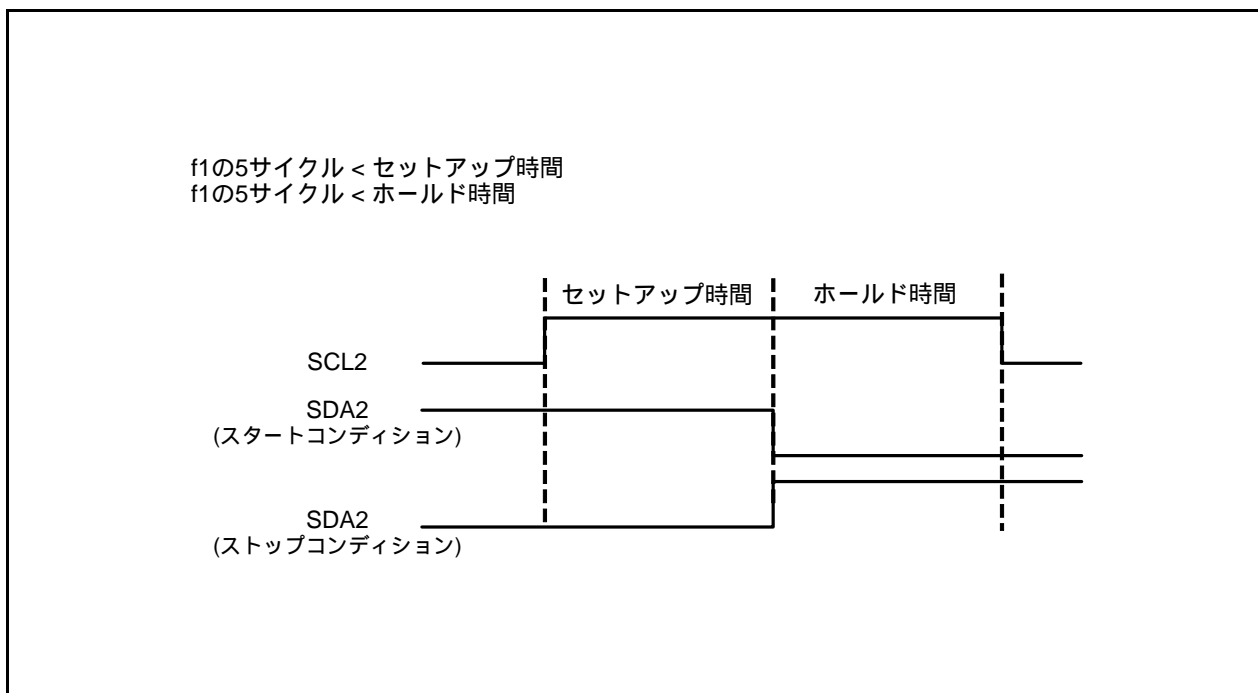


図 24.15 スタートコンディション、ストップコンディションの検出

### 24.5.2 スタートコンディション、ストップコンディションの出力

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次のとおりです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) U2SMR4レジスタのSTSPSELビットを“1”(出力)にする

表 24.13にSTSPSELビットの機能を、図 24.16にSTSPSELビットの機能を示します。

表 24.13 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL2、SDA2端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

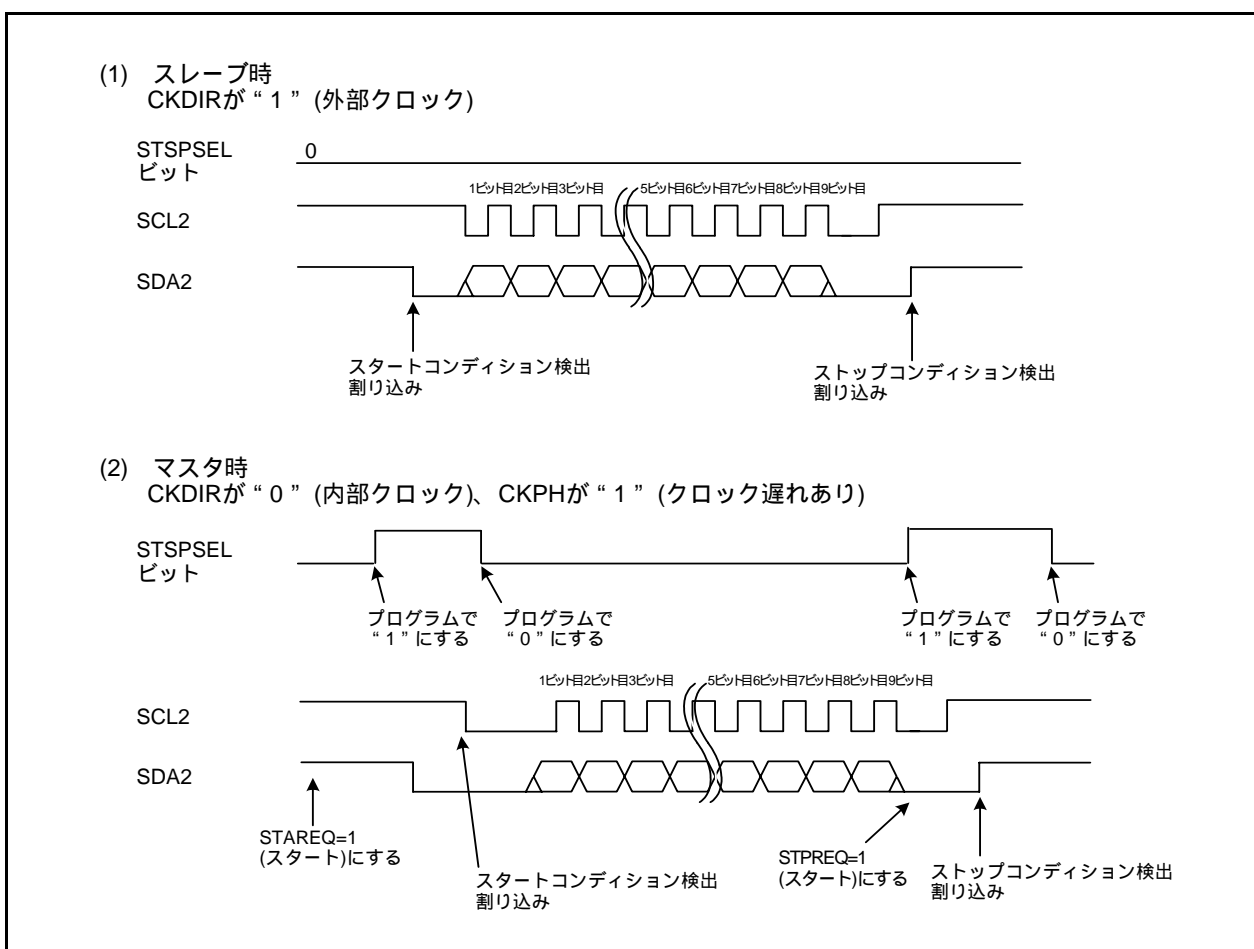


図 24.16 STSPSELビットの機能

### 24.5.3 転送クロック

「図 24.14 U2RBレジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2レジスタのCSCビットは内部で生成したクロック(内部SCL2)と、SCL2端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCL2が“H”の場合、SCL2端子に立ち下がりエッジがあれば内部SCL2を“L”とし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子が“L”のとき、内部SCL2が“L”から“H”に変化するとカウントを停止し、SCL2端子が“H”になるとカウントを再開します。したがって、UART2の転送クロックは、内部SCL2とSCL2端子の信号の論理積になります。なお、転送クロックは内部SCL2の1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCL2端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCL2出力を停止します(ハイインピーダンス状態)。

U2SMR2レジスタのSWC2ビットを“1”(“L”出力)にすると、送受信中でもSCL2端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCL2端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3レジスタのCKPHビットが“1”のとき、U2SMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCL2端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

### 24.5.4 SDA出力

U2TBレジスタのビットb7～b0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDA2送信出力の初期値は、ICM=1(I<sup>2</sup>Cモード)で、U2MRレジスタのSMD2～SMD0ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

U2SMR3レジスタのDL2～DL0ビットによりSDA2の出力を遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。

### 24.5.5 SDA入力

IICM2ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビットb7～b0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビットb6～b0に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

### 24.5.6 ACK、NACK

U2SMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でU2SMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“L”ならば発生します。

DTC要求要因にACK2(UART2受信)を選択すると、アクノリッジ検出によってDTC転送を起動できます。

### 24.5.7 送受信初期化

STACビットを“1”(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりではSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。



### 24.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図 24.17にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図 24.18にマルチプロセッサ通信機能のブロック図を、表 24.14にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

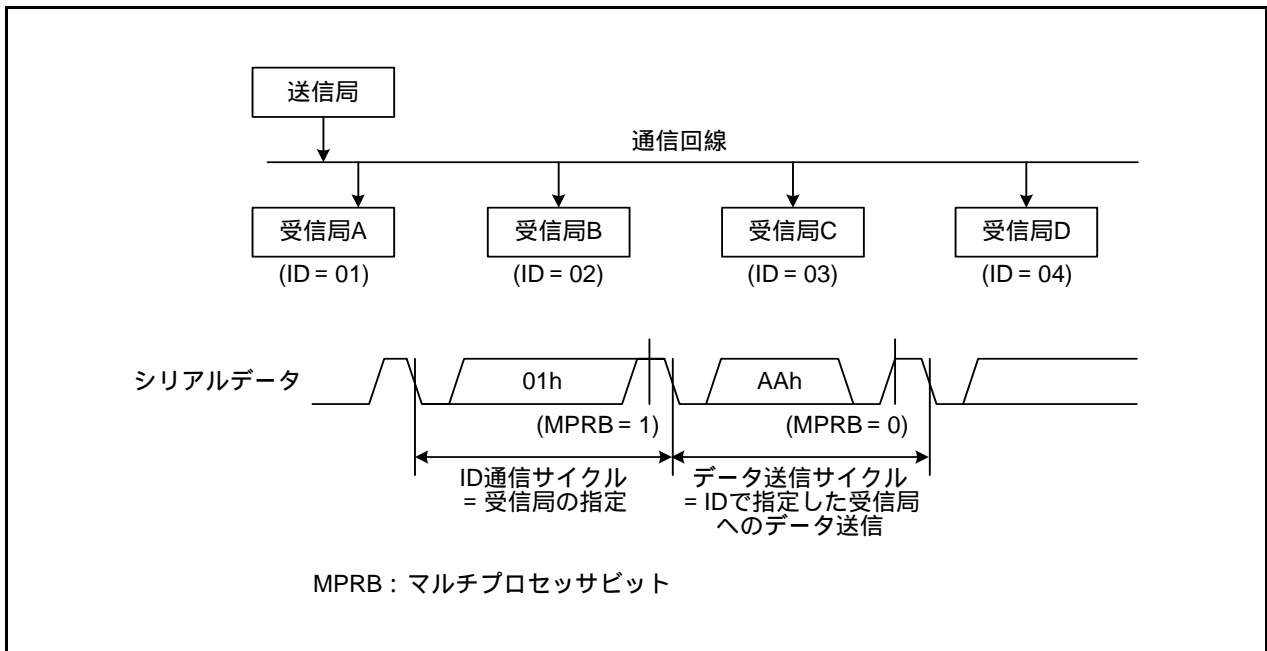


図 24.17 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)

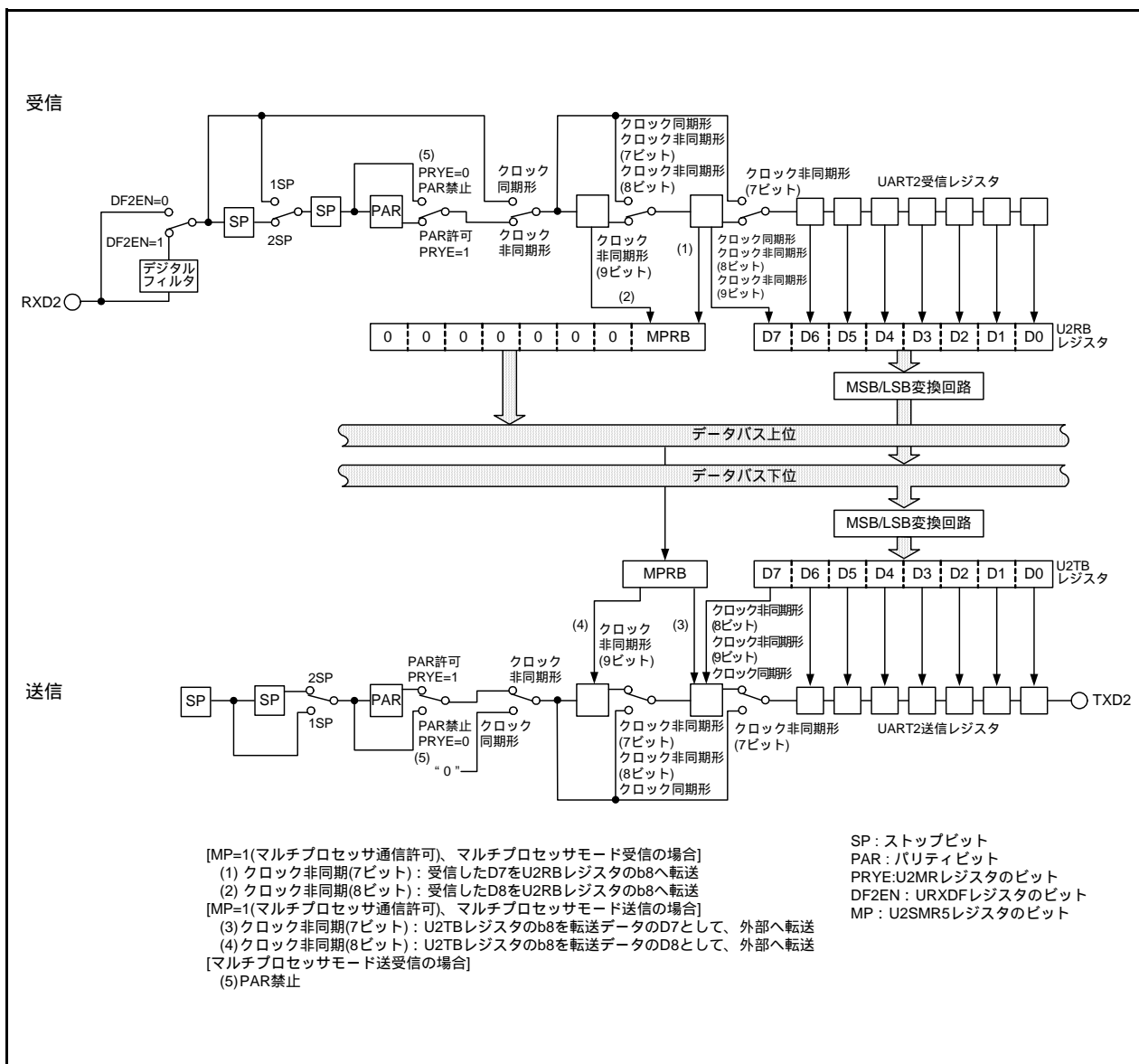


図 24.18 マルチプロセッサ通信機能のブロック図

表 24.14 マルチプロセッサ通信機能時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0 ~ b7	送信データを設定してください
	MPTB	“0” または “1” を設定してください
U2RB(注2)	b0 ~ b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、SUM	エラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b” を設定してください 転送データが8ビットの場合、“101b” を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	“0” にしてください
	U2C0	CLK0、CLK1
CRS		CTSまたはRTS機能無効
TXEPT		送信レジスタ空フラグ
CRD		“0” にしてください
NCH		TXD2端子出力形式を選択してください
CKPOL		“0” にしてください
UFORM		“0” にしてください
U2C1		TE
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1” にしてください
	RI	送信完了フラグ
	U2IRS	UART2の送信割り込み要因を選択してください
	U2LCH	“0” にしてください
	U2ERE	“0” にしてください
U2SMR	b0 ~ b7	“0” にしてください
U2SMR2	b0 ~ b7	“0” にしてください
U2SMR3	b0 ~ b7	“0” にしてください
U2SMR4	b0 ~ b7	“0” にしてください
U2SMR5	MP	“1” にしてください
	MPIE	“1” にしてください
URXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. IDデータフレームを送信したとき、MPTBビットを“1” にしてください。データフレームを送信したとき、MPTBビットを“0” にしてください。

注2. MPRBビットが“1” の場合、受信したD7 ~ D0はIDフィールドです。MPRBビットが“0” の場合、受信したD7 ~ D0はデータフィールドです。

### 24.6.1 マルチプロセッサ送信

図 24.19 にマルチプロセッサデータ送信のフローチャートの例を示します。ID 送信サイクルでは、U2TB レジスタのMPBT ビットを “1” にして送信してください。データ送信サイクルでは、U2TB レジスタのMPBT を “0” にして送信してください。その他の動作は調歩同期モード (UART モード) の動作と同じです。

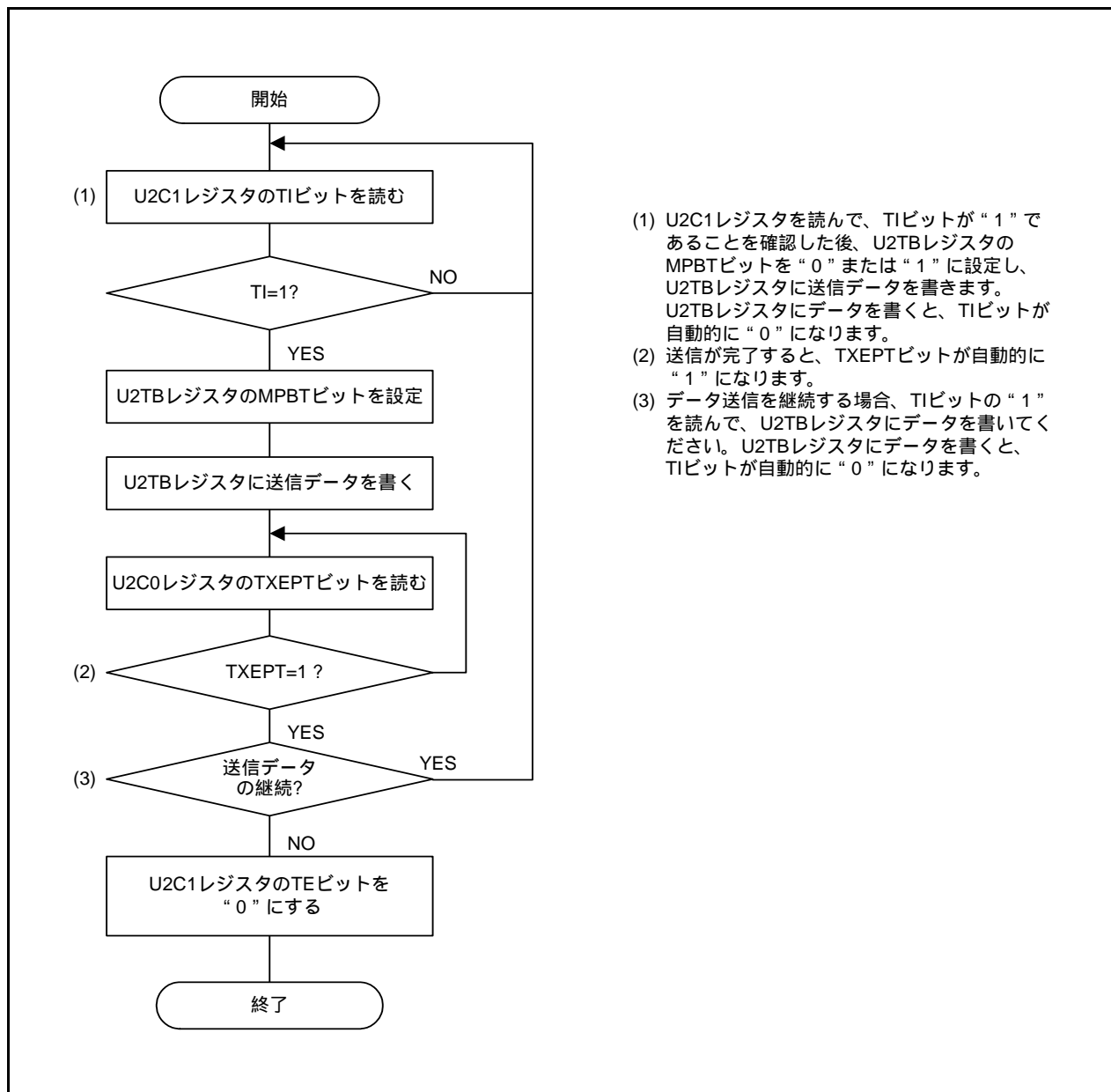
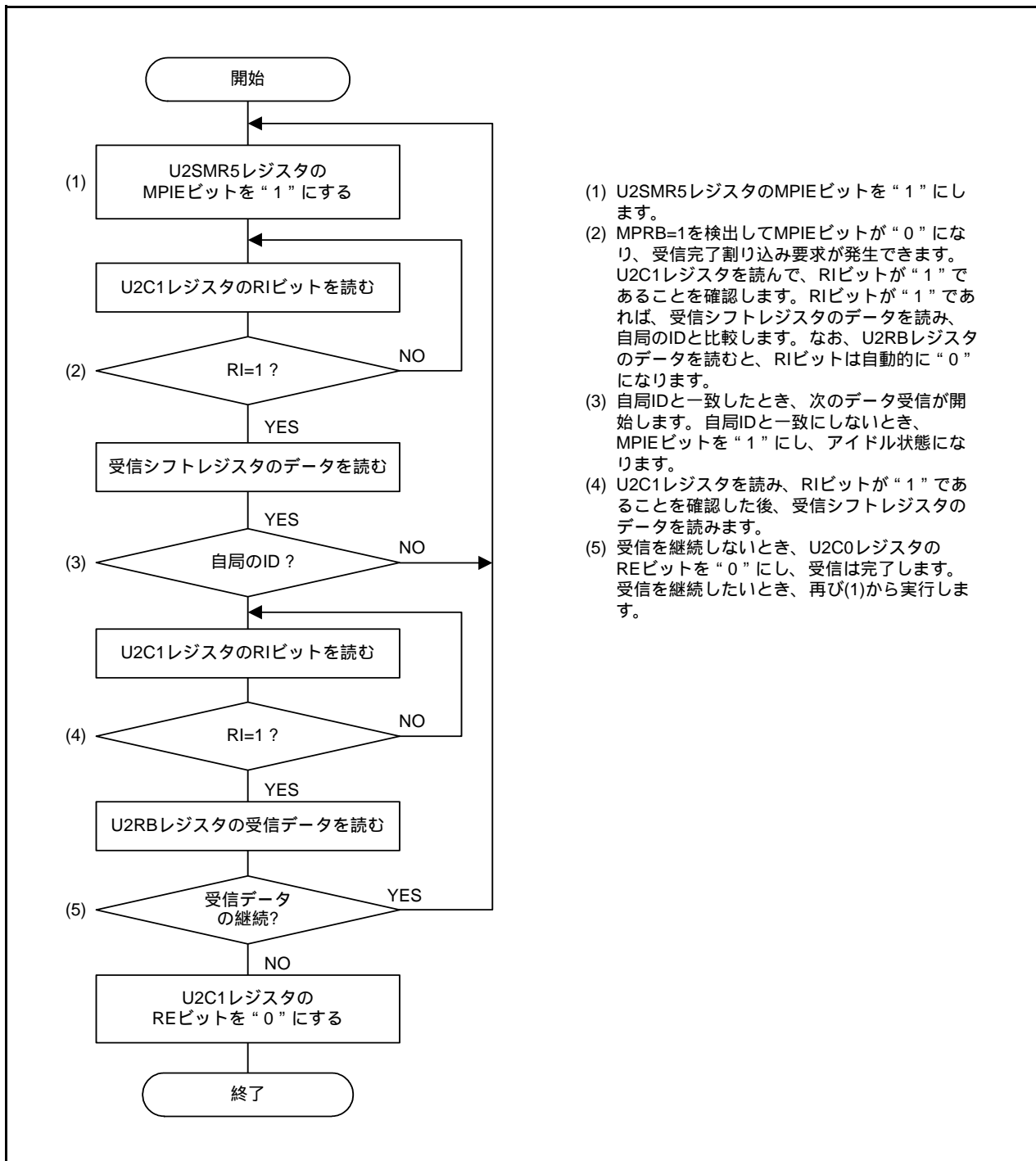


図 24.19 マルチプロセッサデータ送信のフローチャートの例

### 24.6.2 マルチプロセッサ受信

図 24.20 にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5 レジスタの MPIE ビットを “1” にすると、マルチプロセッサビットが “1” の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが “1” の通信データを、受信データとして U2RB レジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作は調歩同期モード(UART モード)の動作と同じです。図 24.21 にマルチプロセッサ通信の受信時の動作例(8 ビットデータ/マルチプロセッサビットあり/1 ビットストップビットの例)を示します。



- (1) U2SMR5レジスタのMPIEビットを “1” にします。
- (2) MPRB=1を検出してMPIEビットが “0” になり、受信完了割り込み要求が発生できます。U2C1レジスタを読んで、RIビットが “1” であることを確認します。RIビットが “1” であれば、受信シフトレジスタのデータを読み、自局のIDと比較します。なお、U2RBレジスタのデータを読むと、RIビットは自動的に “0” になります。
- (3) 自局IDと一致したとき、次のデータ受信が開始します。自局IDと一致にしないとき、MPIEビットを “1” にし、アイドル状態になります。
- (4) U2C1レジスタを読み、RIビットが “1” であることを確認した後、受信シフトレジスタのデータを読みます。
- (5) 受信を継続しないとき、U2C0レジスタのREビットを “0” にし、受信は完了します。受信を継続したいとき、再び(1)から実行します。

図 24.20 マルチプロセッサデータ受信のフローチャートの例

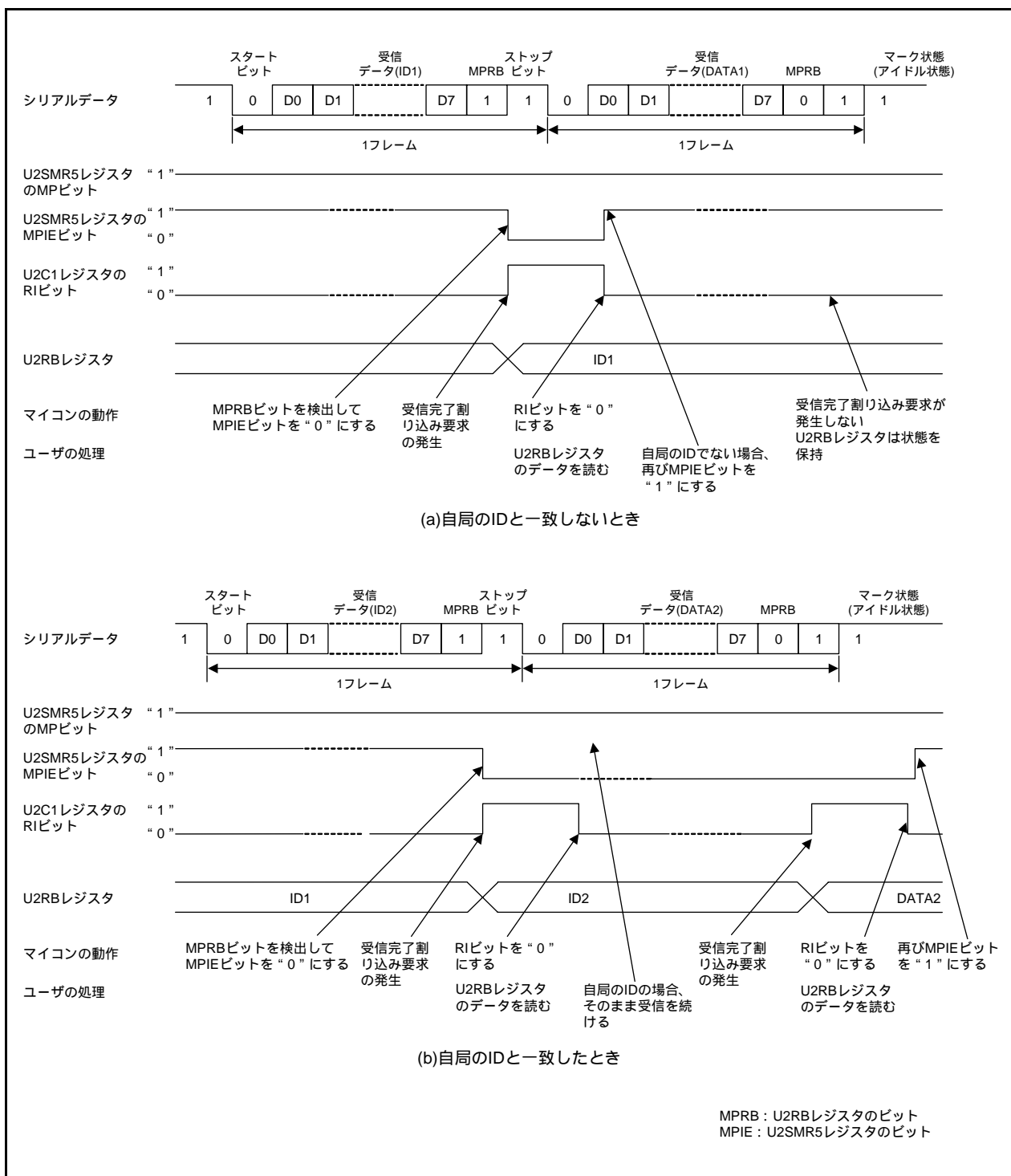


図 24.21 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

### 24.6.3 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図 24.22にRXD2デジタルフィルタ回路のブロック図を示します。

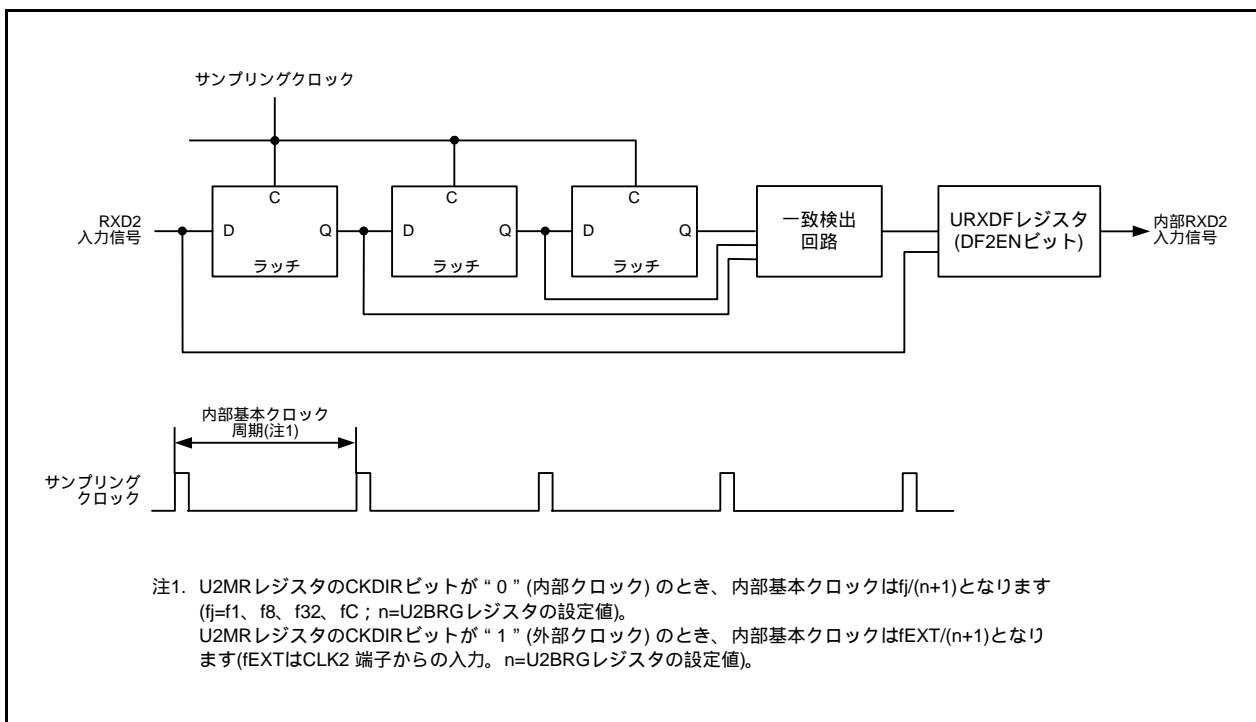


図 24.22 RXD2デジタルフィルタ回路のブロック図

## 24.7 シリアルインタフェース(UART2)使用上の注意

### 24.7.1 クロック同期形シリアルI/Oモード

#### 24.7.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

#### 24.7.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

#### 24.7.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)



## 24.7.2 クロック非同期型シリアルI/O(UART)モード

### 24.7.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

### 24.7.2.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、以下の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

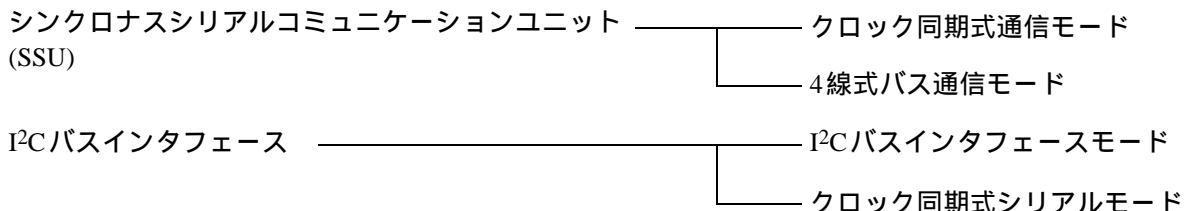
### 24.7.3 特殊モード1(I<sup>2</sup>Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

## 25. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

### クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、0193h ~ 019Dh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

### 25.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 25.1 にモード選択に関わるビットを示します。各モードの詳細は「26. シンクロナスシリアルコミュニケーションユニット (SSU)」および「27. I²Cバスインタフェース」を参照してください。

表 25.1 モード選択

SSUICSR レジスタの IICSELビット	0198h番地のビット7 (ICCR1レジスタの ICEビット)	019Dh番地のビット0 (SSMR2レジスタの SSUMSビット、 SARレジスタのFSビット)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット	クロック同期式通信 モード
0	0	1		4線式バス通信モード
1	1	0	I²Cバスインタフェース	I²Cバスインタフェース モード
1	1	1		クロック同期式シリアル モード

## 26. シンクロナスシリアルコミュニケーションユニット (SSU)

シンクロナスシリアルコミュニケーションユニット (SSU) は、クロック同期式のシリアルデータ通信が可能です。

### 26.1 概要

表 26.1 にシンクロナスシリアルコミュニケーションユニットの仕様を、図 26.1 にシンクロナスシリアルコミュニケーションユニットブロック図を示します。

表 26.1 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>転送データ長 8 ~ 16 ビット</li> <li>送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>クロック同期式通信モード</li> <li>4線式バス通信モード(双方向通信モード含む)</li> </ul>
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力) : クロック入出力端子 SSI(入出力) : データ入出力端子 SSO(入出力) : データ入出力端子 SCS(入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> <li>SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき外部クロック(SSCK端子から入力)</li> <li>SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4 から選択できる、SSCK端子から出力)</li> <li>クロック極性と位相を選択できる</li> </ul>
受信エラーの検出	<ul style="list-style-type: none"> <li>オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になる</li> </ul>
マルチマスタエラーの検出	<ul style="list-style-type: none"> <li>コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態でシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればSSSRレジスタのCEビットが“1”になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送中にSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。</li> </ul>
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	<ul style="list-style-type: none"> <li>データ転送方向 MSBファーストまたはLSBファーストを選択</li> <li>SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択</li> <li>SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択</li> </ul>

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

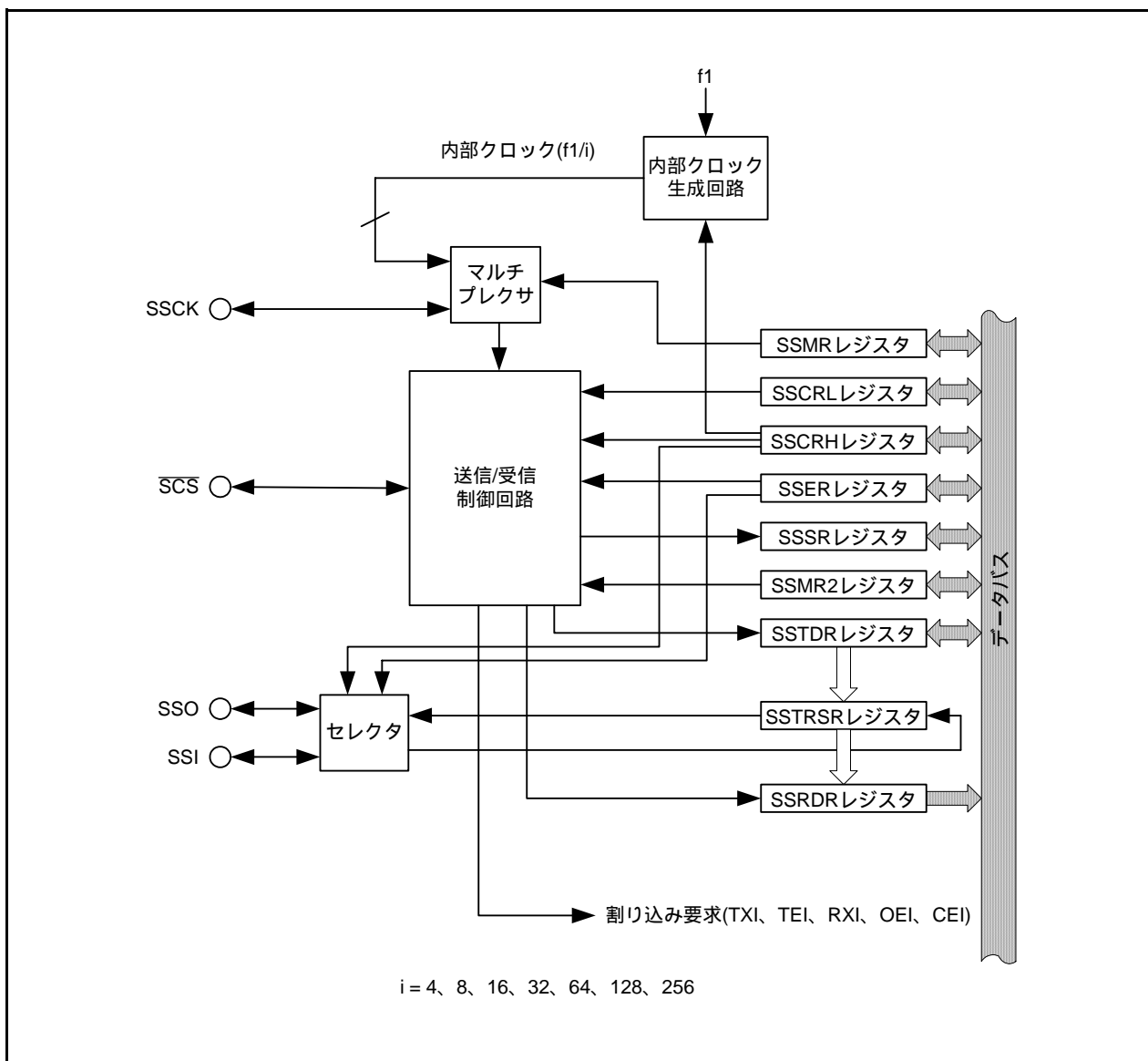


図 26.1 シンクロナスシリアルコミュニケーションユニットブロック図

表 26.2 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	割り当てる端子	入出力	機能
SSI	P11_1	入出力	データ入出力
SCS	P11_3	入出力	チップセレクト入出力
SSCK	P11_0	入出力	クロック入出力
SSO	P11_2	入出力	データ入出力

## 26.2 レジスタの説明

### 26.2.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。

注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

### 26.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0 : SSU機能を選択 1 : I <sup>2</sup> Cバス機能を選択	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

### 26.2.3 SSビットカウンタレジスタ(SSBR)

アドレス 0193h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット(注1)	b3 b2 b1 b0 0 0 0 0 : 16ビット	R/W
b1	BS1		1 0 0 0 : 8ビット	R/W
b2	BS2		1 0 0 1 : 9ビット	R/W
b3	BS3		1 0 1 0 : 10ビット	R/W
			1 0 1 1 : 11ビット	
			1 1 0 0 : 12ビット	
			1 1 0 1 : 13ビット	
			1 1 1 0 : 14ビット	
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	
b5	-			
b6	-			
b7	-			

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。SSERレジスタのREビットが“0”(受信禁止)、TEビットが“0”(送信禁止)のとき、BS0～BS3ビットに書いてください。SSBRレジスタを設定する場合は、SSERレジスタのTEビットを“0”、REビットを“0”にしてください。

#### BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

### 26.2.4 SS送信データレジスタ(SSTDR)

アドレス 0195h～0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	-	送付データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書いておくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

注1. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。

### 26.2.5 SS受信データレジスタ (SSRDR)

アドレス 0197h ~ 0196h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15 ~ b0	-	受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

- 注1. SSSRレジスタのORERビットが“1”(オーバランエラー発生)になったとき、SSRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データは、破棄されます。
- 注2. SSBDRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

### 26.2.6 SS制御レジスタH (SSCRH)

アドレス 0198h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RSSTP	MSS	-	-	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b2 b1 b0	R/W
b1	CKS1		0 0 0 : f1/256	R/W
b2	CKS2		0 0 1 : f1/128	R/W
			0 1 0 : f1/64	
		0 1 1 : f1/32		
		1 0 0 : f1/16		
		1 0 1 : f1/8		
		1 1 0 : f1/4		
		1 1 1 : 設定しないでください		
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	MSS	マスタ/スレーブデバイス選択ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	R/W
b6	RSSTP	受信シングルストップビット(注3)	0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. 内部クロック選択時に、設定されたクロックが使用されます。
- 注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。
- 注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。



### 26.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	SOL	SOLP	-	-	SRES	-
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	SRES	SSU制御部リセットビット	このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。SSU内部レジスタ(注1)の値は保持される。	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b3	-			
b4	SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	R/W
b5	SOL	シリアルデータ出力値設定ビット	読んだ場合 0：シリアルデータ出力が“L” 1：シリアルデータ出力が“H” 書いた場合(注2、3) 0：データ出力を“L”にする 1：データ出力を“H”にする	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. SSBP、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTD、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。

シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。

SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。

### 26.2.8 SSモードレジスタ (SSMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS	CPHS	-	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ3~0	b3 b2 b1 b0 0000: 残り16ビット	R
b1	BC1		0001: 残り1ビット	R
b2	BC2		0010: 残り2ビット	R
b3	BC3		0011: 残り3ビット	R
			0100: 残り4ビット	
			0101: 残り5ビット	
			0110: 残り6ビット	
			0111: 残り7ビット	
			1000: 残り8ビット	
			1001: 残り9ビット	
			1010: 残り10ビット	
			1011: 残り11ビット	
			1100: 残り12ビット	
			1101: 残り13ビット	
			1110: 残り14ビット	
			1111: 残り15ビット	
		b4	-	
b5	CPHS	SSCKクロック位相選択ビット(注1)	0: 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1: 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS	SSCKクロック極性選択ビット(注1)	0: クロック停止時、“H” 1: クロック停止時、“L”	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送 1: LSBファーストでデータ転送	R/W

注1. CPHS、CPOSビットの設定については「26.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。  
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

### 26.2.9 SS許可レジスタ (SSER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE	RE	-	-	CEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b4	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

### 26.2.10 SSステータスレジスタ (SSSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	-	-	ORER	-	CE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	ORER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0: SSRDR レジスタにデータなし 1: SSRDR レジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0: 送信データの最後尾ビットの送信時、TDRE ビットが“0” 1: 送信データの最後尾ビットの送信時、TDRE ビットが“1”	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0: SSTDR レジスタから SSTRSR レジスタにデータ転送されていない 1: SSTDR レジスタから SSTRSR レジスタにデータ転送された	R/W

- 注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。
- 注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。「26.5.4 SCS端子制御とアービトレーション」を参照してください。  
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。
- 注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態では、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。  
ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。
- 注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。
- 注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。
- 注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

### 26.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	SSUMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSUMS	SSUモード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0: CMOS出力(注5) 1: Nチャネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット(注2)	b5 b4 00: ポートとして機能 01: SCS入力端子として機能 10: SCS出力端子として機能(注3) 11: SCS出力端子として機能(注3)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、4)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

- 注1. データ入出力端子の組み合わせは、「26.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。
- 注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。
- 注3. 転送開始前は、SCS入力端子として機能します。
- 注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。
- 注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

## 26.3 複数モードに関わる共通事項

### 26.3.1 転送クロック

転送クロックを7種類の内部クロック ( $f1/256$ 、 $f1/128$ 、 $f1/64$ 、 $f1/32$ 、 $f1/16$ 、 $f1/8$ 、 $f1/4$ )と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0 ~ CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

#### 26.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図 26.2 に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

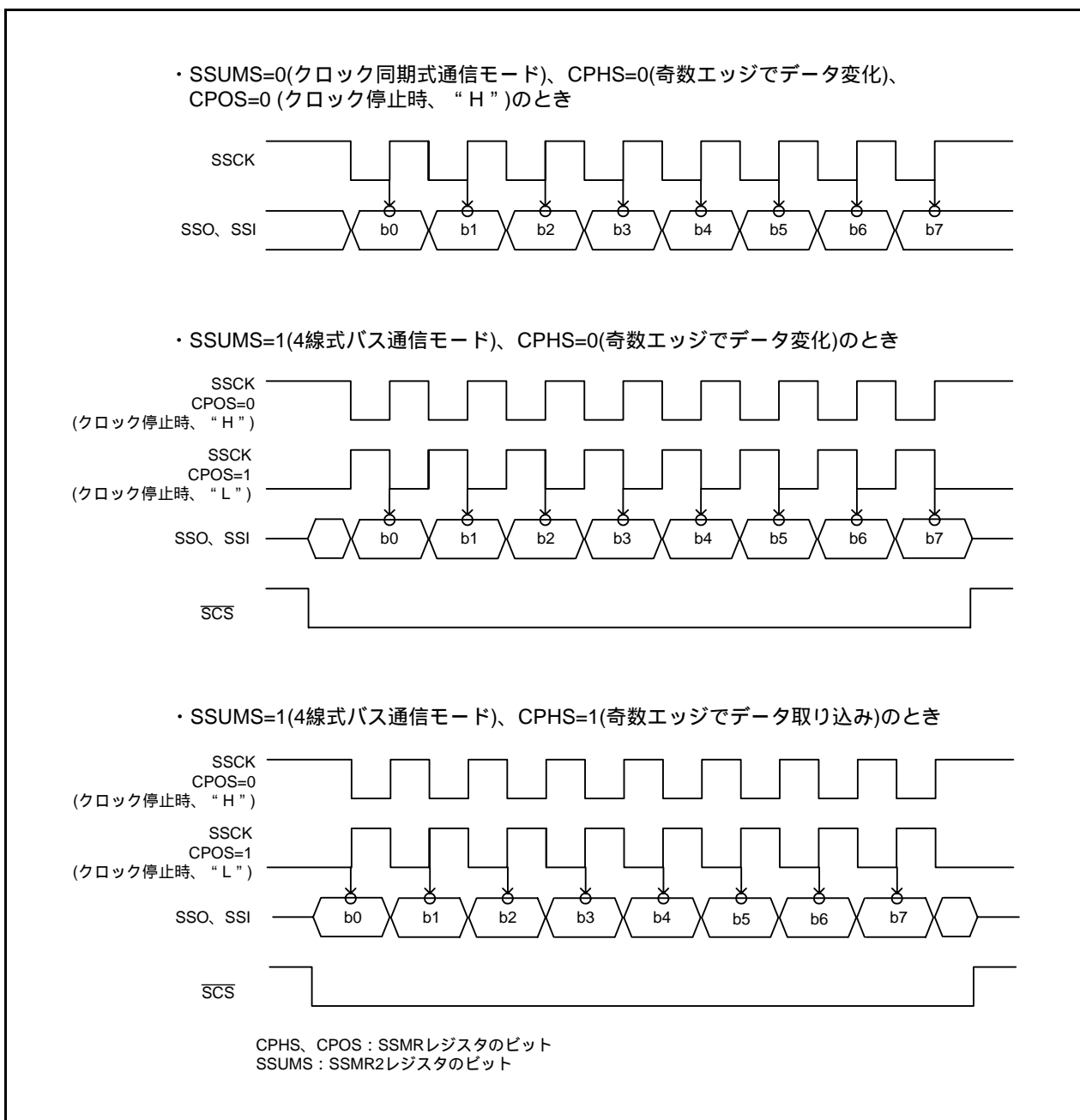


図 26.2 転送クロックの極性、位相および転送データの関係

## 26.3.2 SSシフトレジスタ (SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

### 26.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図26.3にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

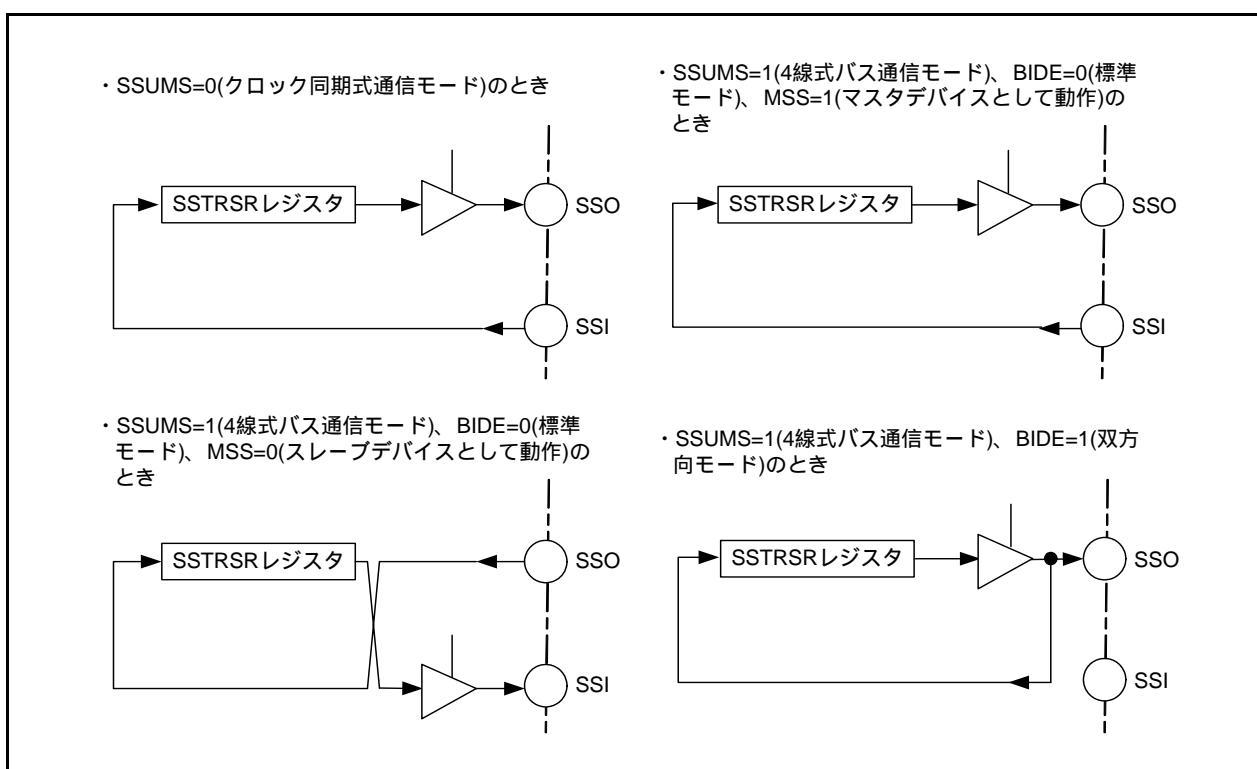


図 26.3 データ入出力端子とSSTRSRレジスタの接続関係



### 26.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 26.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 26.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1 かつ TDRE=1
送信終了	TEI	TEIE=1 かつ TEND=1
受信データフル	RXI	RIE=1 かつ RDRF=1
オーバランエラー	OEI	RIE=1 かつ ORER=1
コンフリクトエラー	CEI	CEIE=1 かつ CE=1

CEIE、RIE、TEIE、TIE : SSERレジスタのビット

ORER、RDRF、TEND、TDRE : SSSRレジスタのビット

表 26.3 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDRE ビット および TEND ビットは SSTDR レジスタに送信データを書くことで、RDRF ビットは SSRDR レジスタを読むことで自動的に“0”になります。特に TDRE ビットは SSTDR レジスタに送信データを書いたとき、同時に再度 TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、さらに TDRE ビットを“0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)にすると、余分に1バイト送信する場合があります。

## 26.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表 26.4 に通信モードと入出力端子の関係を示します。

表 26.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態			
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK	
クロック同期式通信モード	0	無効	0	0	1	入力	- (注 1)	入力	
				1	0	- (注 1)	出力	入力	
				1	1	入力	出力	入力	
			1	0	1	入力	- (注 1)	出力	出力
				1	0	- (注 1)	出力	出力	出力
				1	1	入力	出力	出力	出力
4 線式バス通信モード	1	0	0	0	1	- (注 1)	入力	入力	
				1	0	出力	- (注 1)	入力	入力
				1	1	出力	入力	入力	入力
			1	0	1	入力	- (注 1)	出力	出力
				1	0	- (注 1)	出力	出力	出力
				1	1	入力	出力	出力	出力
4 線式バス ( 双方向 ) 通信モード ( 注 2 )	1	1	0	0	1	- (注 1)	入力	入力	
				1	0	- (注 1)	出力	入力	
			1	0	1	- (注 1)	入力	出力	出力
				1	0	- (注 1)	出力	出力	出力

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

## 26.4 クロック同期式通信モード

### 26.4.1 クロック同期式通信モードの初期化

図 26.4 にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

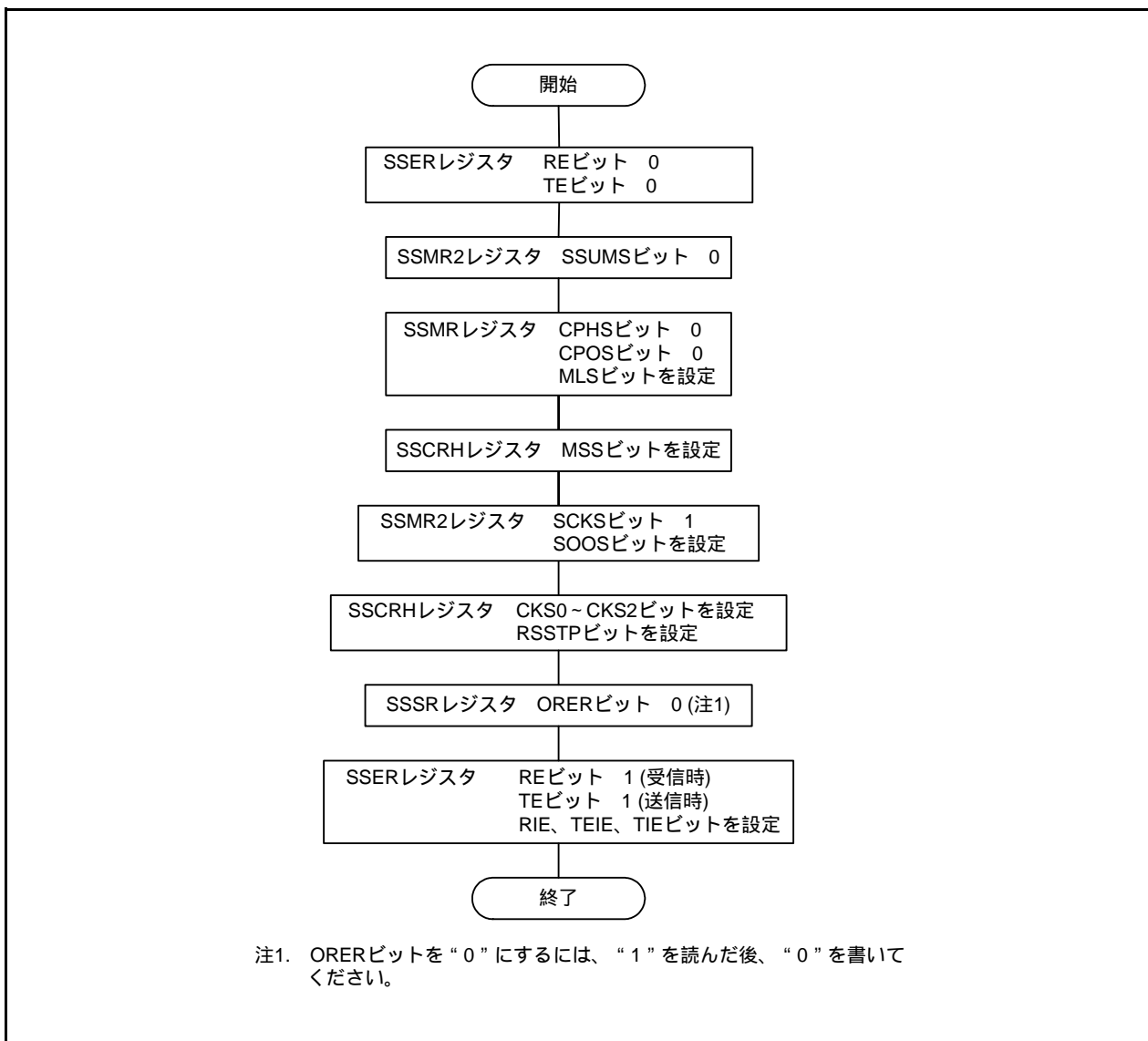


図 26.4 クロック同期式通信モードの初期化

### 26.4.2 データ送信

図 26.5 にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定されます。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

図 26.6 にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

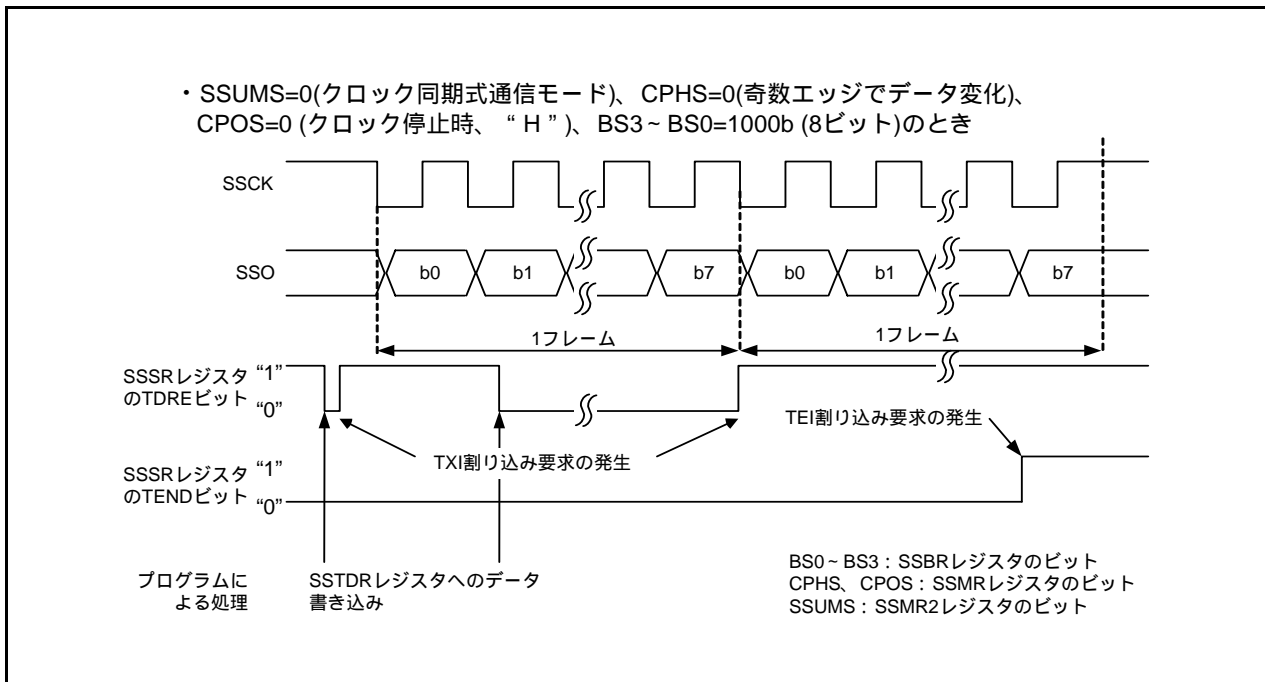


図 26.5 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

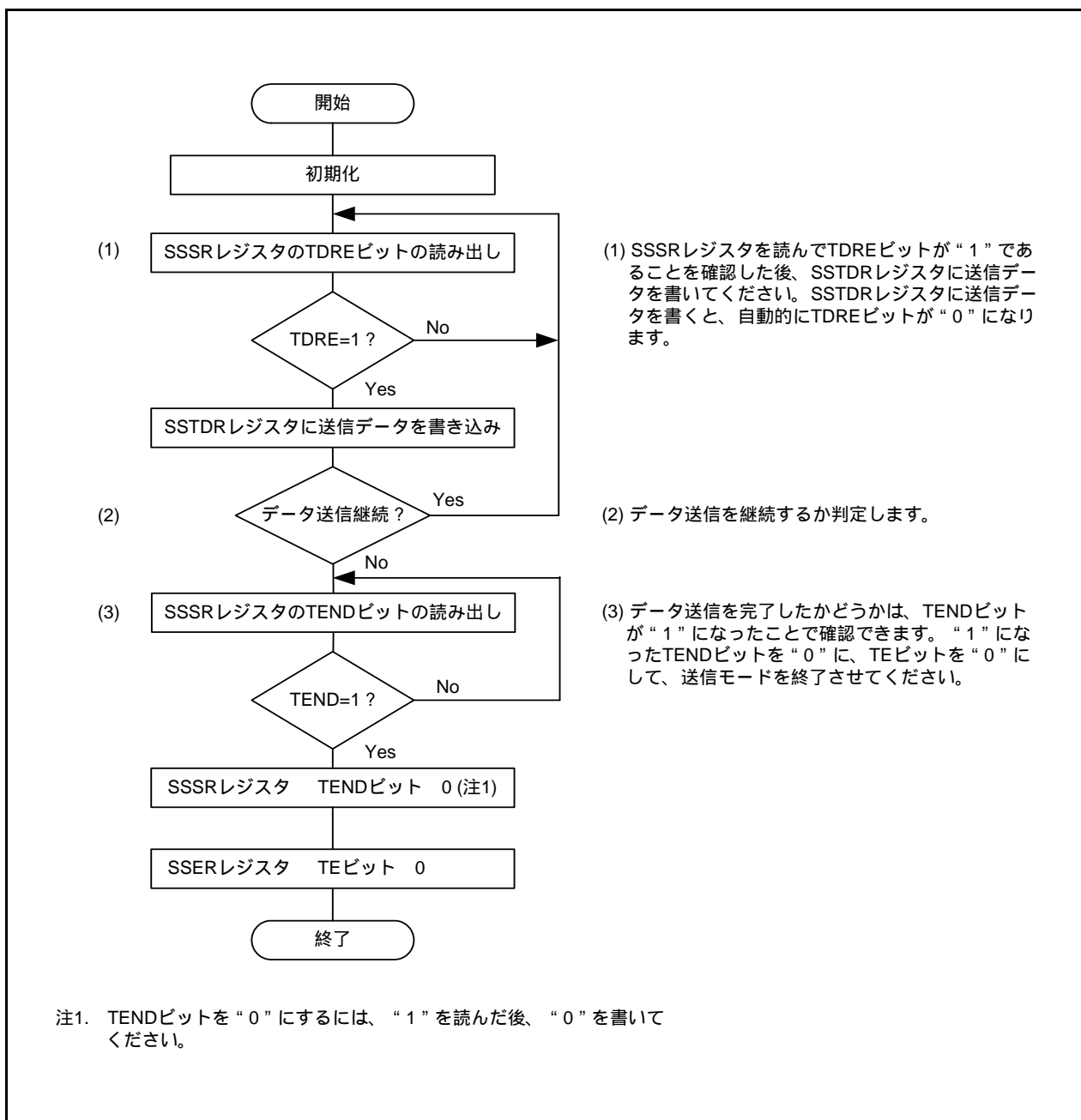


図 26.6 データ送信のフローチャート例(クロック同期式通信モード)

### 26.4.3 データ受信

図 26.7にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図 26.8にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

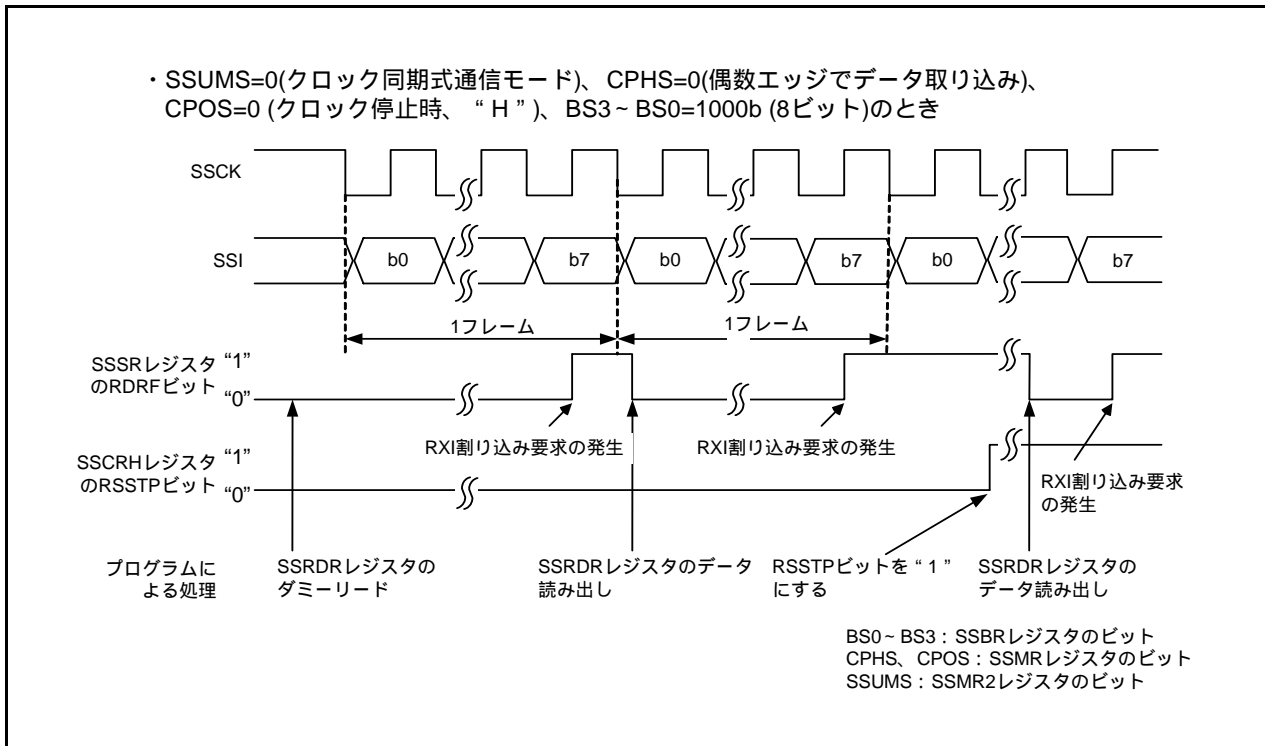


図 26.7 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

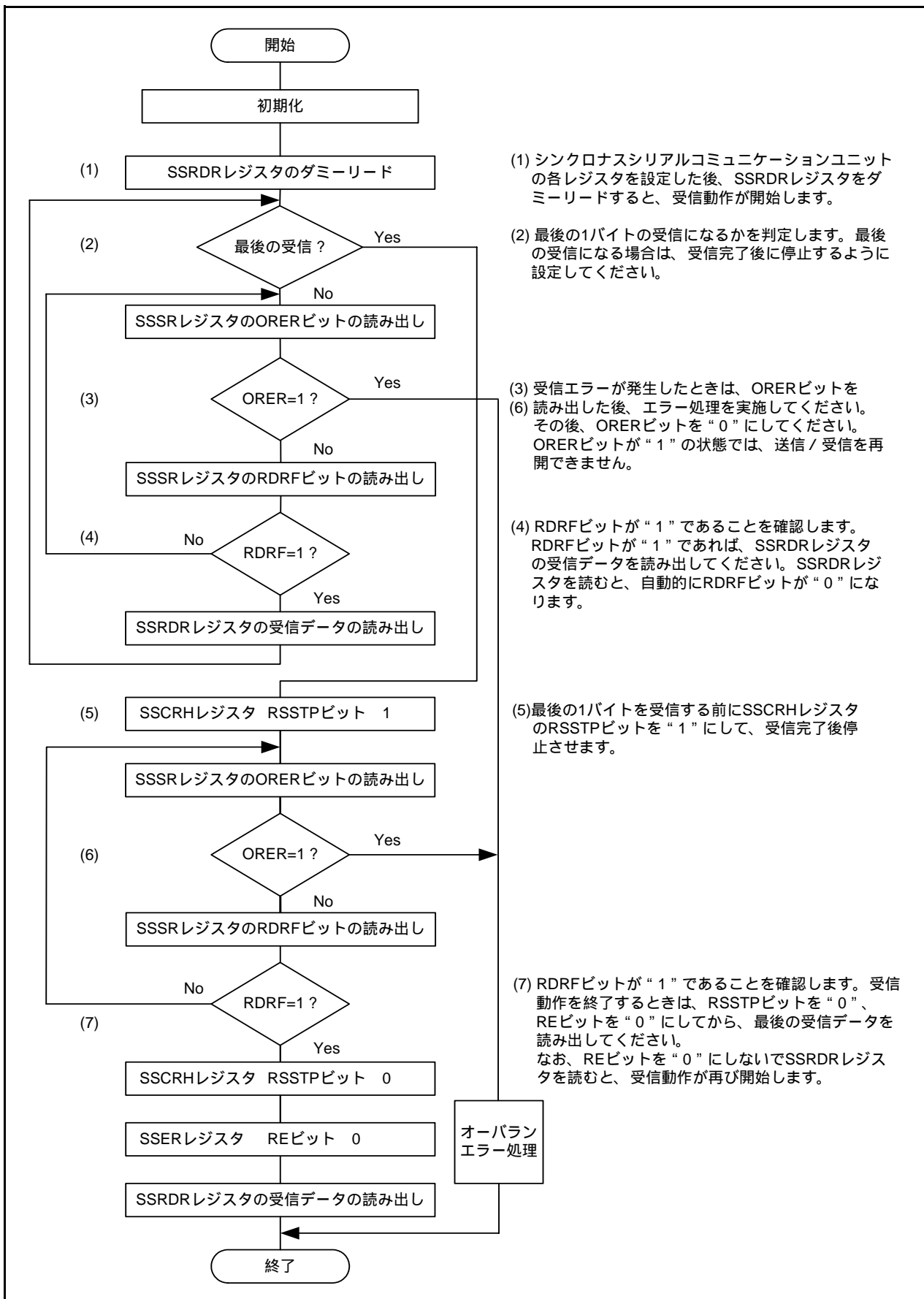


図 26.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

### 26.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態最終転送クロック(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)が立ち上がった場合、またはORERビットが“1”(オーバーランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”、REビットを“0”にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバーランエラーなし)であることを確認した後、TEおよびREビットを“1”にしてください。

図26.9にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE=RE=1)から送受信モードを解除する場合、SSRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まずREビットを“0”にして、その後、TEビットを“0”にする
- TEビットとREビットを同時に“0”にする

その後、受信モード(TE=0、RE=1)にする場合は、SRESビットに“1”を書いた後、“0”にしてSSU制御部およびSSTRSRレジスタを初期化してから、REビットを“1”にしてください。



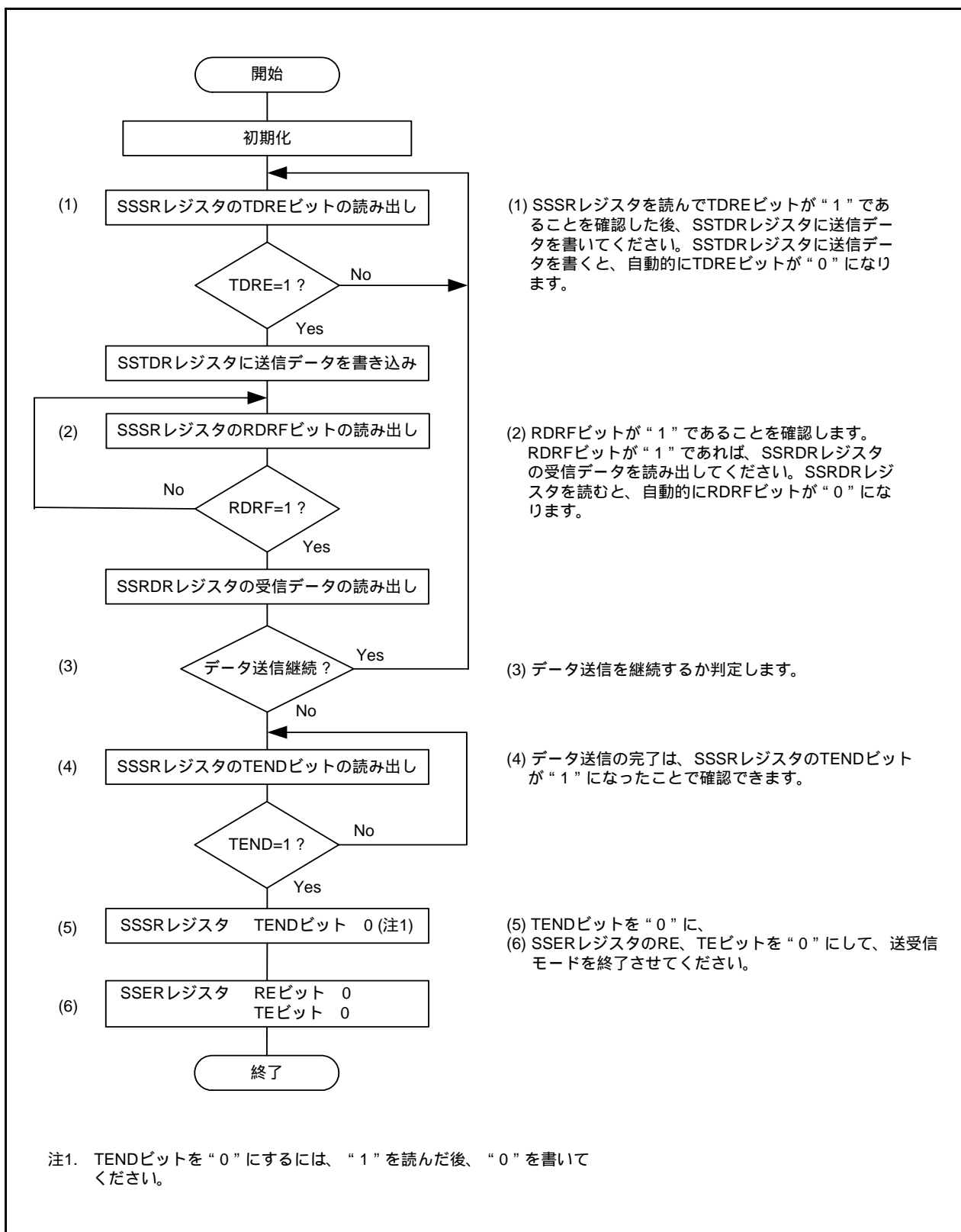


図 26.9 データ送受信のフローチャート例(クロック同期式通信モード)

## 26.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「26.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータの間をSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「26.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

### 26.5.1 4線式バス通信モードの初期化

図 26.10 に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

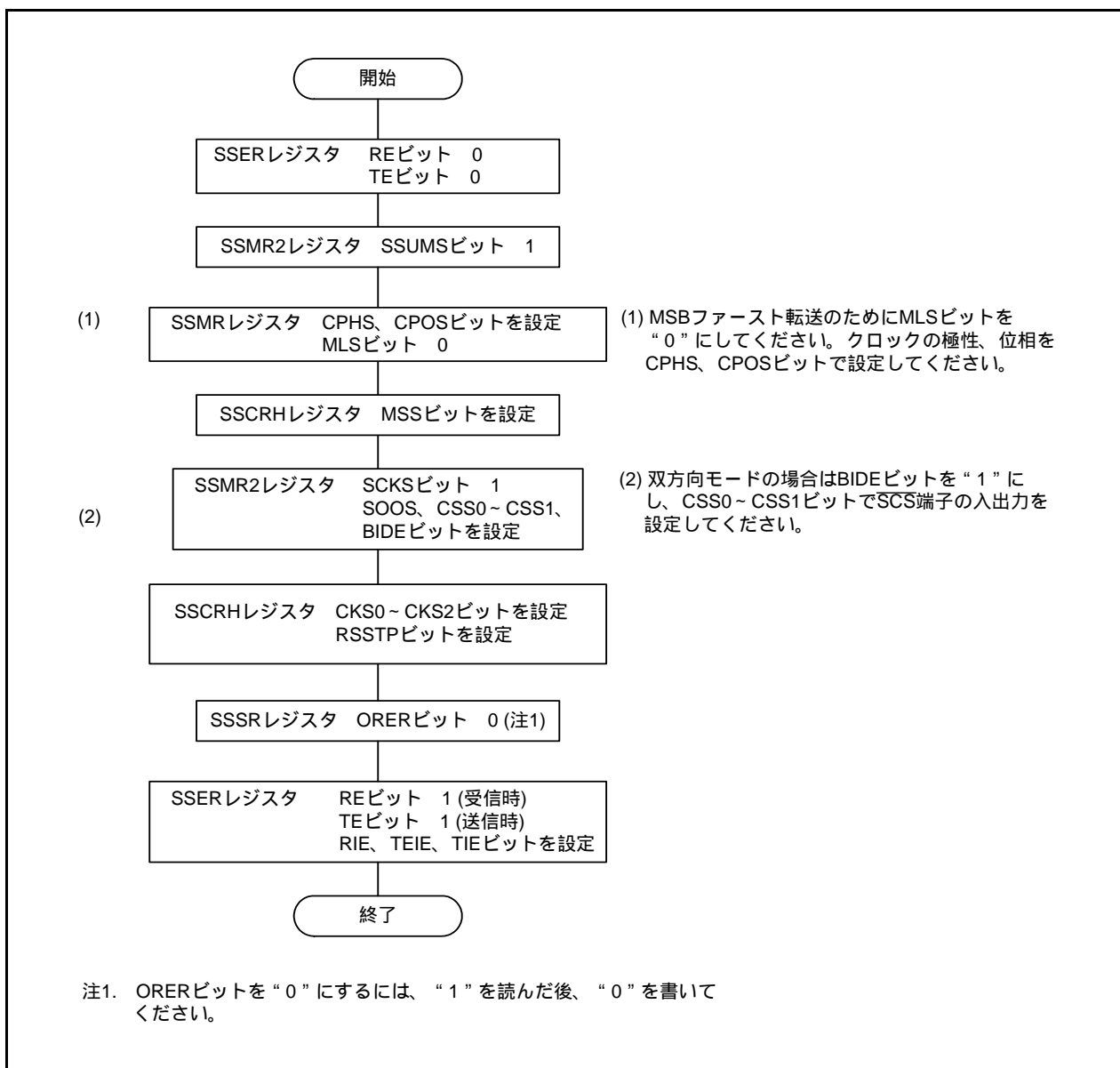


図 26.10 4線式バス通信モードの初期化

### 26.5.2 データ送信

図 26.11 にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定され、SCS端子は“H”になります。SCS端子が“L”のまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSSTDRレジスタに書いてください。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子が“H”入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図 26.6 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

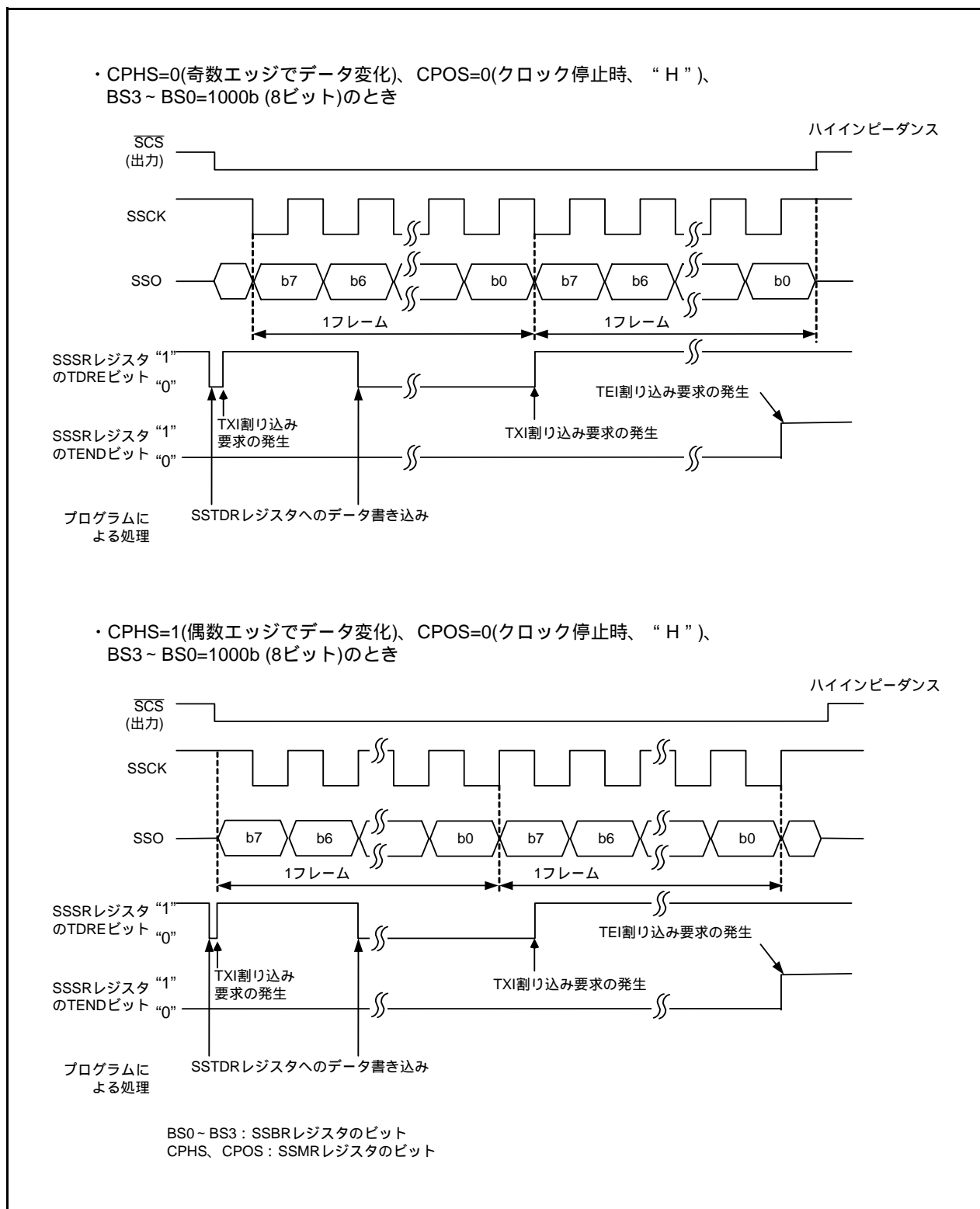


図 26.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 26.5.3 データ受信

図 26.12 にデータ受信時の動作例(4線式バス通信モード、SSU データ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBR レジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS 端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSR レジスタの RDRF ビットが“1”(SSRDR レジスタにデータあり)になり、SSRDR レジスタに受信データが格納されます。このとき、SSER レジスタの RIE ビットが“1”(RXI および OEI 割り込み要求許可)の場合、RXI 割り込み要求を発生します。SSRDR レジスタを読むと、自動的に RDRF ビットは“0”(SSRDR レジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRH レジスタの RSSTP ビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSER レジスタの RE ビットを“0”(受信禁止)に、RSSTP ビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。RE ビットが“1”(受信許可)状態で SSRDR レジスタを読むと、受信クロックを再度出力してしまいます。

RDRF ビットが“1”の状態では8クロック目が立ち上がると、SSSR レジスタの ORER ビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER ビットが“1”の状態では受信できません、受信再開の前には、ORER ビットが“0”であることを確認してください。

RDRF ビット、ORER ビットが“1”になるタイミングは、SSMR レジスタの CPHS ビットの設定により異なります。このタイミングを図 26.12 に示します。CPHS ビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 26.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

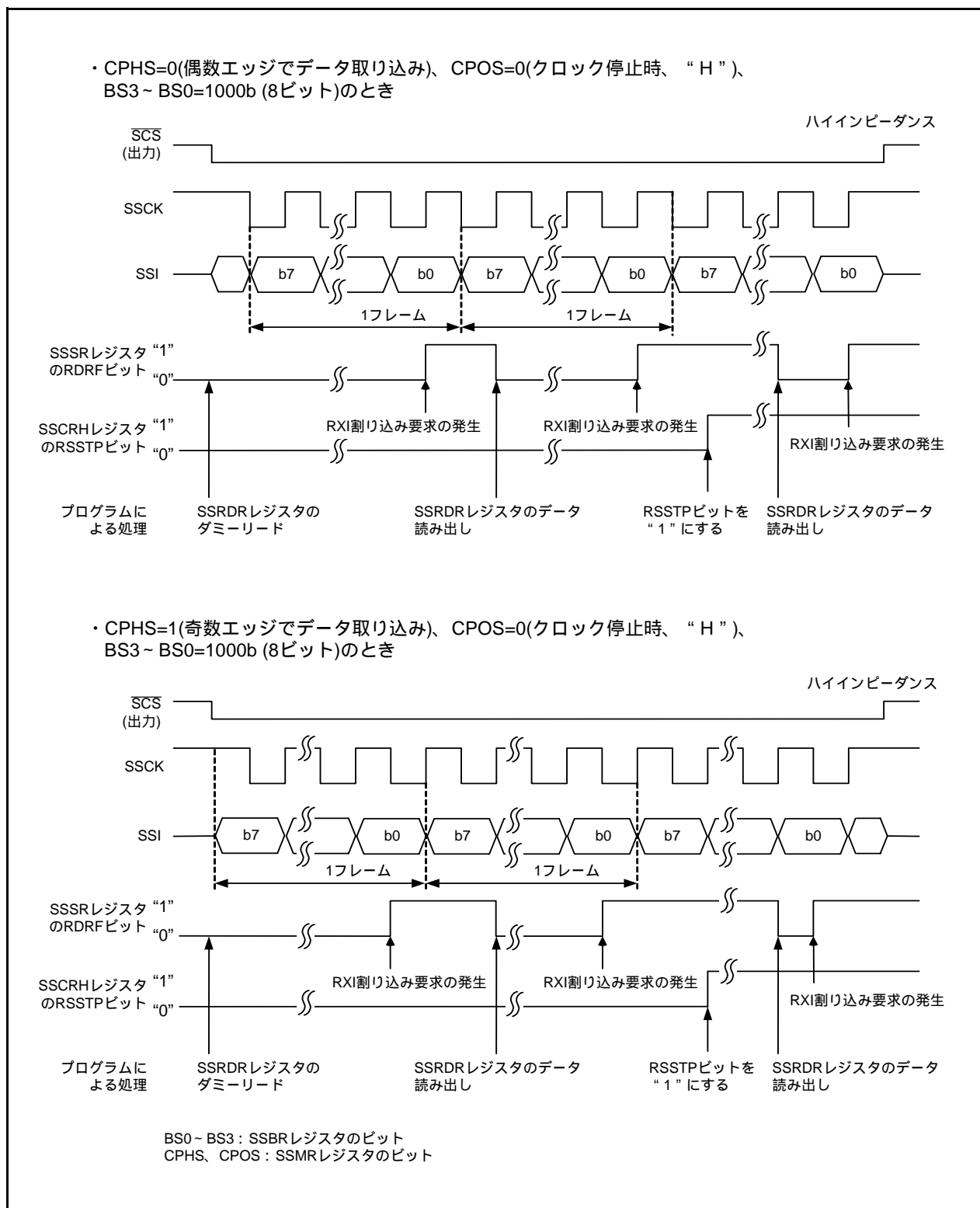


図 26.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 26.5.4 SCS 端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1” (4線式バス通信モード)、CSS1ビットを“1” (SCS出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1” (マスタデバイスとして動作)にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1” (コンフリクトエラー発生)になり、自動的にMSSビットが“0” (スレーブデバイスとして動作)になります。

図 26.13 にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0” (コンフリクトエラーなし)にしてください。

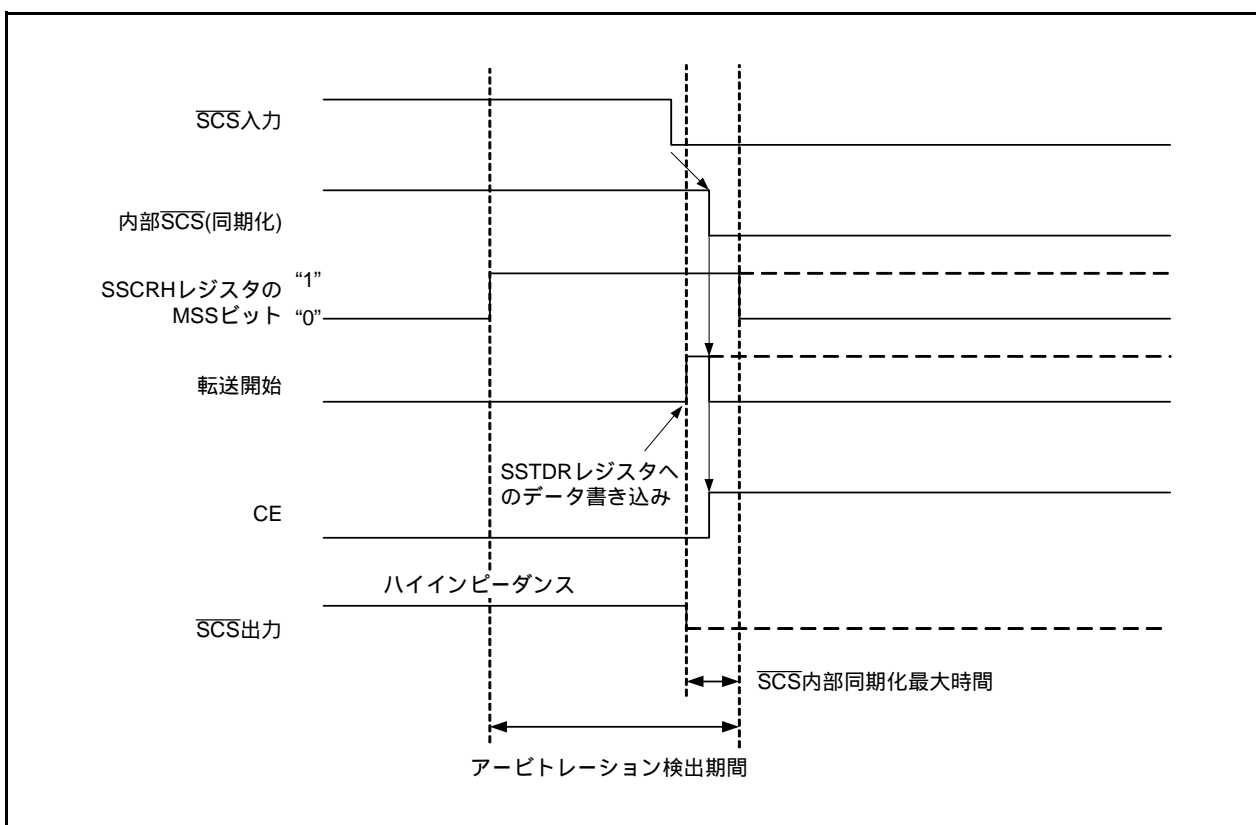


図 26.13 アービトレーションチェックタイミング



## 26.6 シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

## 27. I<sup>2</sup>Cバスインタフェース

I<sup>2</sup>Cバスインタフェースは、フィリップス社I<sup>2</sup>Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

### 27.1 概要

表 27.1にI<sup>2</sup>Cバスインタフェースの仕様、図 27.1にI<sup>2</sup>Cバスインタフェースブロック図、図 27.2にSCL、SDA端子の外部回路接続例、表 27.2にI<sup>2</sup>Cバスインタフェースの端子構成を示します。

表 27.1 I<sup>2</sup>Cバスインタフェースの仕様

項目	仕様
通信フォーマット	<ul style="list-style-type: none"> <li>・I<sup>2</sup>Cバスフォーマット                             <ul style="list-style-type: none"> <li>-マスタ/スレーブデバイスの選択可能</li> <li>-連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> <li>-マスタモードでは開始条件、停止条件の自動生成</li> <li>-送信時、アクノリッジビットを自動ロード</li> <li>-ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。)</li> <li>-SCL、SDA端子の直接駆動(Nチャネルオープンドレイン出力)が可能</li> </ul> </li> <li>・クロック同期式シリアルフォーマット                             <ul style="list-style-type: none"> <li>-連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> </ul> </li> </ul>
入出力端子	SCL(入出力)：シリアルクロック入出力端子 SDA(入出力)：シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> <li>・ICCR1レジスタのMSTビットが“0”のとき 外部クロック(SCL端子から入力)</li> <li>・ICCR1レジスタのMSTビットが“1”のとき ICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力)</li> </ul>
受信エラーの検出	<ul style="list-style-type: none"> <li>・オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ALビットが“1”になる</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>・I<sup>2</sup>Cバスフォーマット..... 6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出</li> <li>・クロック同期式シリアルフォーマット..... 4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>・I<sup>2</sup>Cバスフォーマット                             <ul style="list-style-type: none"> <li>-受信時、アクノリッジの出力レベルを選択可能</li> </ul> </li> <li>・クロック同期式シリアルフォーマット                             <ul style="list-style-type: none"> <li>-データ転送方向にMSBファーストまたはLSBファーストを選択可能</li> </ul> </li> <li>・SDAのデジタル遅延                             <ul style="list-style-type: none"> <li>-PINSRレジスタのSDADLY0～SDADLY1ビットでSDA端子のデジタル遅延値を選択可能</li> </ul> </li> </ul>

注1. 割り込みベクタテーブルはI<sup>2</sup>Cバスインタフェースの1つです。

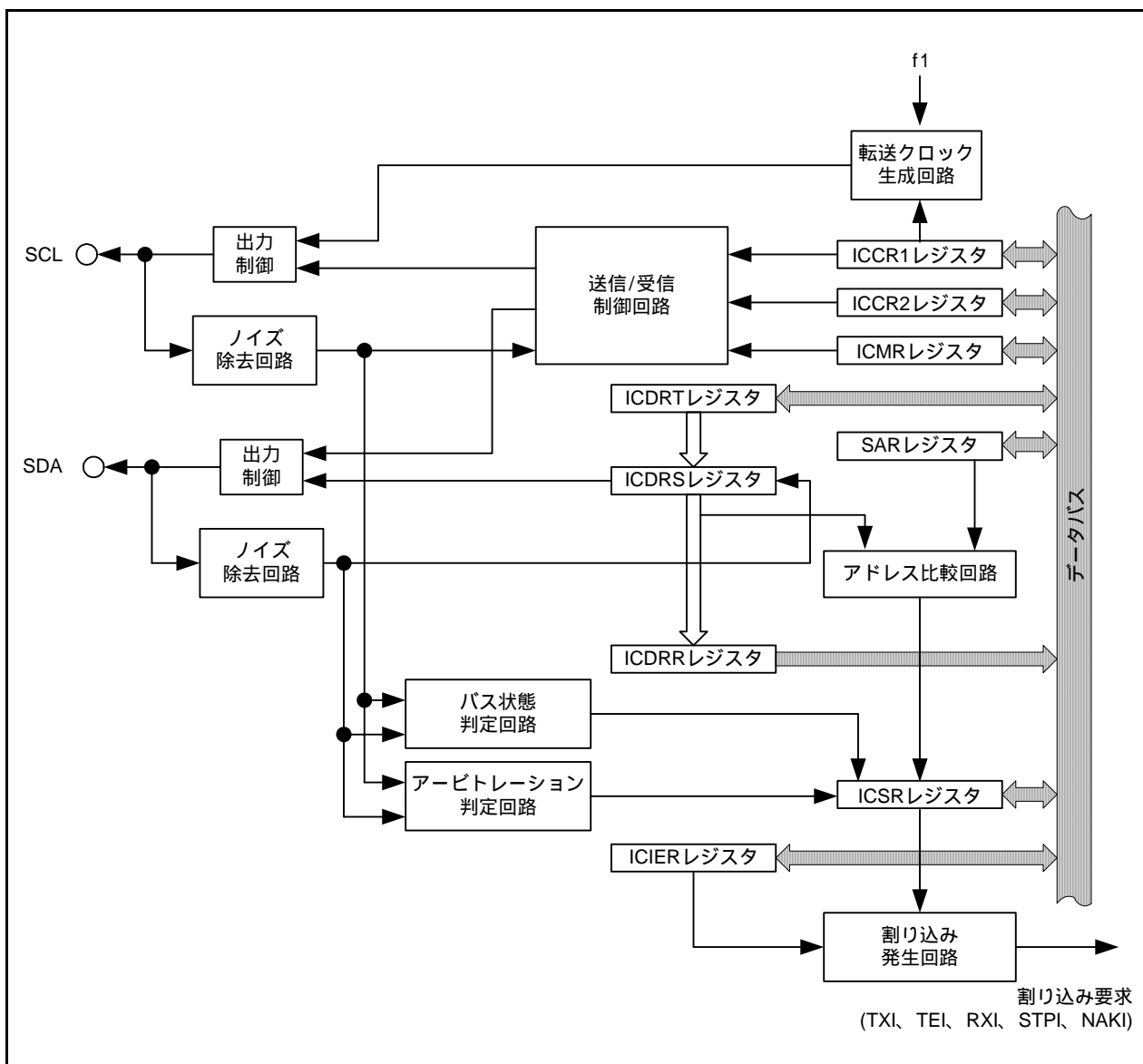


図 27.1 I<sup>2</sup>Cバスインタフェースブロック図

表 27.2 I<sup>2</sup>Cバスインタフェースの端子構成

端子名	割り当てる端子	機能
SCL	P11_0	クロック入出力
SDA	P11_2	データ入出力

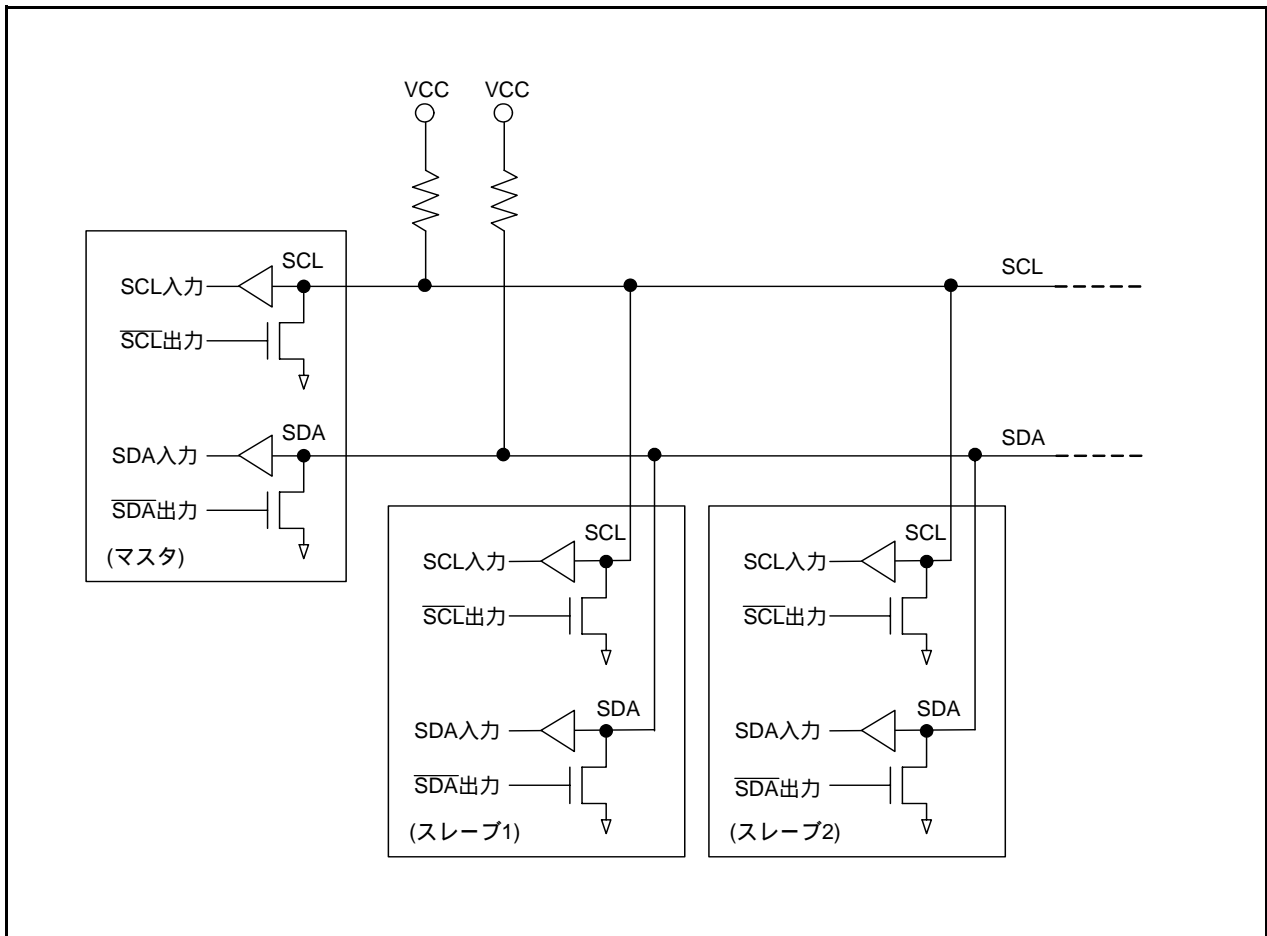


図 27.2 SCL、SDA端子の外部回路接続例

## 27.2 レジスタの説明

### 27.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ(注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR<sub>i</sub>(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。
- 注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

### 27.2.2 SSU/IIC端子選択レジスタ(SSUICSR)

アドレス 018Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0: SSU機能を選択 1: I <sup>2</sup> Cバス機能を選択	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

### 27.2.3 入出力機能端子選択レジスタ(PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	IOINSEL	I/Oポート入力機能 選択ビット	0 : I/Oポートの入力機能はPDi (i=0 ~ 7、10 ~ 13)レジスタに依存 PDiレジスタのPDi_j (j=0 ~ 7)ビットが“0” (入力モード) のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1” (出力モード)のとき、 ポータラッチを読む。 1 : I/Oポートの入力機能はPDiレジスタに関係なく、 端子の入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍 選択ビット	0 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍 選択ビット	0 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値通りの転 送レート 1 : ICCR1レジスタのCKS0 ~ CKS3ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延 選択ビット	b7 b6 0 0 : 3 × f1サイクルのデジタル遅延 0 1 : 11 × f1サイクルのデジタル遅延 1 0 : 19 × f1サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

#### IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0 ~ 7、10 ~ 13)レジスタのPDi\_j (j=0 ~ 7)ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表 27.3にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表 27.3 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット	“0”	“1”	“0”	“1”
I/Oポート読み出し値	端子の入力レベル		ポータラッチの値	端子の入力レベル

### 27.2.4 IICバス送信データレジスタ(ICDRT)

アドレス 0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	送信データを保管。 ICDRSレジスタの空きが検出されると、保管されている送信データがICDRSレジスタへ転送されて、送信が開始します。 ICDRSレジスタからデータを送信中に、ICDRTレジスタに次の送信データを書いておくと、連続して送信できます。 ICMRレジスタのMLSビットが“1(LSBファーストでデータ転送)”の場合、ICDRTレジスタに書いた後、読み出すとMSBとLSBが反転したデータが読み出されます。	R/W

### 27.2.5 IICバス受信データレジスタ(ICDRR)

アドレス 0196h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	受信データを保管。 ICDRSレジスタが1バイトのデータを受信すると、ICDRRレジスタへ受信データが転送されて、次の受信が可能になります。	R

### 27.2.6 IICバス制御レジスタ1(ICCR1)

アドレス 0198h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット3~0(注1)	b3 b2 b1 b0	R/W
b1	CKS1		0 0 0 0 : f1/28	R/W
b2	CKS2		0 0 0 1 : f1/40	R/W
b3	CKS3		0 0 1 0 : f1/48	R/W
			0 0 1 1 : f1/64	
		0 1 0 0 : f1/80		
		0 1 0 1 : f1/100		
		0 1 1 0 : f1/112		
		0 1 1 1 : f1/128		
		1 0 0 0 : f1/56		
		1 0 0 1 : f1/80		
		1 0 1 0 : f1/96		
		1 0 1 1 : f1/128		
		1 1 0 0 : f1/160		
		1 1 0 1 : f1/200		
		1 1 1 0 : f1/224		
		1 1 1 1 : f1/256		
b4	TRS	送信/受信選択ビット(注2、3、6)	b5 b4	R/W
b5	MST	マスタ/スレーブ選択ビット(注5、6)	0 0 : スレーブ受信モード(注4)	R/W
			0 1 : スレーブ送信モード	
			1 0 : マスタ受信モード	
			1 1 : マスタ送信モード	
b6	RCVD	受信禁止ビット	TRS=0の状態ではICDRRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I <sup>2</sup> Cバスインタフェース許可ビット	0 : 本モジュールは機能停止状態 (SCL、SDA端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL、SDA端子はバス駆動状態)	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表 27.4 転送レート例(1)、表 27.5 転送レート例(2)」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10T<sub>cyc</sub>、CKS3=1のとき20T<sub>cyc</sub>となります。(1T<sub>cyc</sub>=1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”になります。

注4. I<sup>2</sup>Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。



### 27.2.7 IICバス制御レジスタ2(ICCR2)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	IICRST	I <sup>2</sup> Cバス制御部リセットビット	I <sup>2</sup> Cバスの動作中に、通信不具合等によりハンゲアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I <sup>2</sup> Cバスの制御部をリセットします。	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b3	SCLO	SCLモニタフラグ	0：SCL端子は“L” 1：SCL端子は“H”	R
b4	SDAOP	SDAOライトプロテクトビット	SDAOビットを書き換えるとき、同時に“0”を書いてください。(注1) 読んだ場合、その値は“1”。	R/W
b5	SDAO	SDA出力値制御ビット	読んだ場合 0：SDA端子出力が“L” 1：SDA端子出力が“H” 書いた場合(注1、2) 0：SDA端子出力を“L”に変更する。 1：SDA端子出力をハイインピーダンスに変更する(外部プルアップ抵抗によって、“H”出力)。	R/W
b6	SCP	開始/停止条件発行禁止ビット	BBSYビットに書くとき、同時に“0”を書いてください。(注3) 読んだ場合、その値は“1”。“1”書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4)	読んだ場合 0：バスが開放状態(SCL信号が“H”の状態ですDA信号が“L”から“H”に変化) 1：バスが占有状態(SCL信号が“H”の状態ですDA信号が“H”から“L”に変化) 書いた場合(注3) 0：停止条件を発行 1：開始条件を発行	R/W

注1. SDAOビットを書き換える場合は、同時にSDAOPビットに“0”をMOV命令を使用して書いてください。

注2. 転送動作中に書かないでください。

注3. マスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットに“0”をMOV命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。

注4. クロック同期シリアルフォーマット時は無効です。

### 27.2.8 IICバスモードレジスタ(ICMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	WAIT	-	-	BCWP	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ2~0	I <sup>2</sup> Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1、2) b2 b1 b0 000: 9ビット(注3) 001: 2ビット 010: 3ビット 011: 4ビット 100: 5ビット 101: 6ビット 110: 7ビット 111: 8ビット クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 000: 8ビット 001: 1ビット 010: 2ビット 011: 3ビット 100: 4ビット 101: 5ビット 110: 6ビット 111: 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BCWP	BCライトプロテクトビット	BC0~BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4) 読んだ場合、その値は“1”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-	予約ビット	“0”にしてください	R/W
b6	WAIT	ウェイト挿入ビット(注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分“L”を延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	R/W

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0~BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に“000b”になります。開始条件検出時、BC2~BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えしないでください。

注5. I<sup>2</sup>Cバスフォーマットのマスタモード時に、設定値が有効です。I<sup>2</sup>Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I<sup>2</sup>Cバスフォーマット時は、“0”にしてください。

### 27.2.9 IICバス割り込み許可レジスタ (ICIER)

アドレス 019Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで“0”を送出 1: 受信モード時、アクノリッジのタイミングで“1”を送出	R/W
b1	ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”	R
b2	ACKE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが“1”の場合、転送中止	R/W
b3	STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2)	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可(注1)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可(注1)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. オーバーランエラー割り込み要求はクロック同期フォーマット時です。

注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

### 27.2.10 IICバスステータスレジスタ(ICSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
リセット後の値	0	0	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、“1”になります	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります(スレーブアドレス検出、ゼネラルコールアドレス検出)	R/W
b2	AL	アービトレーションロストフラグ/オーバランエラーフラグ(注1)	I <sup>2</sup> Cバスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに“1”になります(注3) <ul style="list-style-type: none"> <li>マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき</li> <li>マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”のとき</li> </ul> クロック同期フォーマットの場合、オーバランエラーが発生したことを示します。次のときに“1”になります <ul style="list-style-type: none"> <li>RDRFビットが“1”の状態、次のデータの最終ビットを受信したとき</li> </ul>	R/W
b3	STOP	停止条件検出フラグ(注1)	フレームの転送の完了後に停止条件を検出したとき、“1”になります	R/W
b4	NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、“1”になります	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。	R/W
b6	TEND	送信終了フラグ(注1、6)	I <sup>2</sup> Cバスフォーマットの場合、TDREビットが“1”の状態、SCL信号の9クロック目が立ち上がったとき、“1”になります。 クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。	R/W
b7	TDRE	送信データ空フラグ(注1、6)	次のときに“1”になります。 <ul style="list-style-type: none"> <li>ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき</li> <li>ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき</li> <li>開始条件(再送含む)を発行したとき</li> <li>スレーブ受信モードからスレーブ送信モードに変わったとき</li> </ul>	R/W

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。

注2. I<sup>2</sup>Cバスフォーマットのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I<sup>2</sup>CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)のとき有効です。

注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。

注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。

ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

### 27.2.11 スレーブアドレスレジスタ(SAR)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	フォーマット選択ビット	0 : I <sup>2</sup> Cバスフォーマット 1 : クロック同期式シリアルフォーマット	R/W
b1	SVA0	スレーブアドレス6 ~ 0	I <sup>2</sup> Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I <sup>2</sup> Cバスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0 ~ SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

### 27.2.12 IICバスシフトレジスタ(ICDRS)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-

ビット	機能	R/W
b7 ~ b0	データを送受信するシフトレジスタ。 送信時はICRDTレジスタから送信データがICDRSレジスタに転送され、データがSDA端子から送出されます。 受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。	-

## 27.3 複数モードに関わる共通事項

### 27.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表 27.4、表 27.5 に転送レート例を示します。

表 27.4 転送レート例(1)

PINSR レジスタ		ICCR1 レジスタ				転送 クロック	転送レート						
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz		
0	0	0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz		
					1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz		
				1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz		
					1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz		
				1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz	
						1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz	
			1		0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz		
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz		
			1		0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
							1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
				1		0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz	
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz		
		1		1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz	
					1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz		
			0		f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz			
					1	1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz	

表 27.5 転送レート例(2)

PINSR レジスタ		ICCR1 レジスタ				転送 クロック	転送レート							
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz			
0	1	0	0	0	0	f1/28	358kHz	572kHz	714kHz	1142kHz	1428kHz			
					1	f1/40	250kHz	400kHz	500kHz	800kHz	1000kHz			
				1	0	f1/48	208kHz	334kHz	416kHz	666kHz	834kHz			
					1	f1/64	156kHz	250kHz	312kHz	500kHz	626kHz			
				1	0	0	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz		
					1	0	f1/100	100kHz	160kHz	200kHz	320kHz	400kHz		
			1	0	0	f1/112	89kHz	143kHz	179kHz	286kHz	358kHz			
				1	0	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz			
			1	0	0	0	0	f1/56	179kHz	286kHz	358kHz	572kHz	714kHz	
							1	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz	
						1	0	0	f1/96	104kHz	167kHz	208kHz	334kHz	416kHz
					1		0	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz	
		0			0		f1/160	63kHz	100kHz	125kHz	200kHz	250kHz		
		1			0	0	f1/200	50kHz	80kHz	100kHz	160kHz	200kHz		
			1	0	f1/224	45kHz	71kHz	89kHz	143kHz	179kHz				
			1	0	f1/256	39kHz	63kHz	78kHz	125kHz	156kHz				
		1	0	0	0	0	0	f1/28	90kHz	143kHz	179kHz	286kHz	357kHz	
							1	f1/40	63kHz	100kHz	125kHz	200kHz	250kHz	
						1	0	f1/48	52kHz	84kHz	104kHz	167kHz	209kHz	
							1	f1/64	39kHz	63kHz	78kHz	125kHz	157kHz	
						1	0	0	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz
							1	0	f1/100	25kHz	40kHz	50kHz	80kHz	100kHz
					1	0	0	f1/112	22kHz	36kHz	45kHz	72kHz	90kHz	
						1	0	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz	
1	0				0	0	0	f1/56	45kHz	72kHz	90kHz	143kHz	179kHz	
							1	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz	
						1	0	f1/96	26kHz	42kHz	52kHz	84kHz	104kHz	
					1		0	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz	
				0	0		f1/160	16kHz	25kHz	31kHz	50kHz	63kHz		
				1	0	1	f1/200	13kHz	20kHz	25kHz	40kHz	50kHz		
0	0				f1/224	11kHz	18kHz	22kHz	36kHz	45kHz				
1	0				f1/256	10kHz	16kHz	20kHz	31kHz	39kHz				

### 27.3.2 SDA 端子デジタル遅延選択

PINSR レジスタの SDADLY0 ~ SDADLY1 ビットで、SDA 端子のデジタル遅延値を選択できます。  
図 27.3 に SDA 端子のデジタル遅延の動作例を示します。

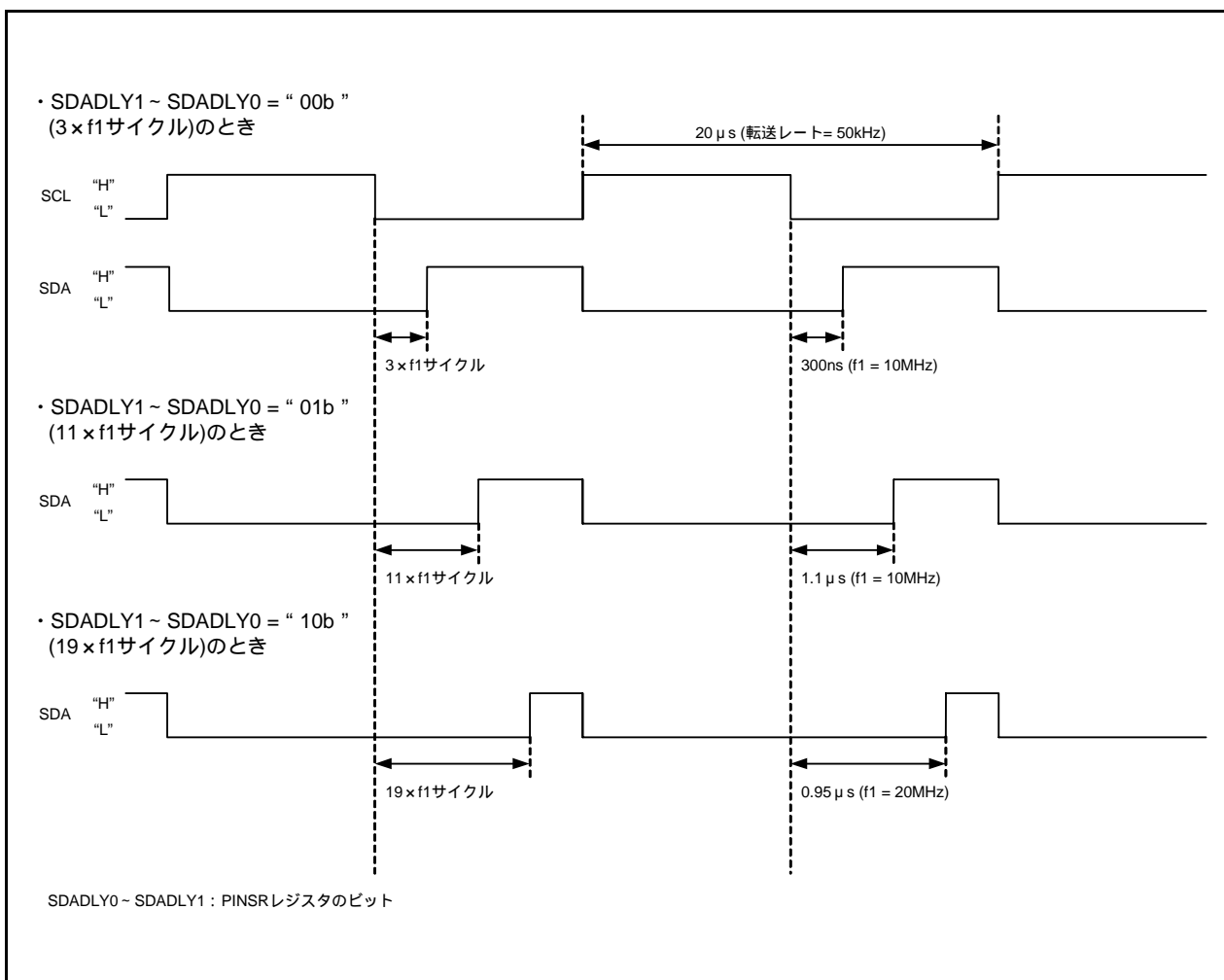


図 27.3 SDA 端子のデジタル遅延の動作例



### 27.3.3 割り込み要求

I<sup>2</sup>Cバスインタフェースの割り込み要求は、I<sup>2</sup>Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表 27.6にI<sup>2</sup>Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI<sup>2</sup>Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表 27.6 I<sup>2</sup>Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I <sup>2</sup> Cバス	クロック同期式シリアル
送信データエンティ	TXI	TIE=1 かつ TDRE=1	有効	有効
送信終了	TEI	TEIE=1 かつ TEND=1	有効	有効
受信データフル	RXI	RIE=1 かつ RDRF=1	有効	有効
停止条件検出	STPI	STIE=1 かつ STOP=1	有効	無効
NACK 検出	NAKI	NAKIE=1 かつ AL=1 (または NAKIE=1 かつ NACKF=1)	有効	無効
アービトレーションロスト/ オーバーランエラー			有効	有効

STIE、NAKIE、RIE、TEIE、TIE : ICIERレジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSRレジスタのビット

表 27.6の発生条件が満たされたとき、I<sup>2</sup>Cバスインタフェース割り込み要求が発生します。I<sup>2</sup>Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDRE ビット および TEND ビットはICDRT レジスタに送信データを書くことで、RDRF ビットはICDRR レジスタを読むことで、自動的に“0”になります。特にTDRE ビットはICDRT レジスタに送信データを書いたとき“0”になり、ICDRT レジスタからICDRS レジスタにデータ転送されたときにTDRE ビットが“1”になり、さらにTDRE ビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIE ビットを“1” (停止条件検出割り込み要求許可)にするのは、STOP ビットが“0”のときにしてください。

## 27.4 I<sup>2</sup>Cバスインタフェースモード

### 27.4.1 I<sup>2</sup>Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I<sup>2</sup>Cバスフォーマットで通信します。

図27.4にI<sup>2</sup>Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

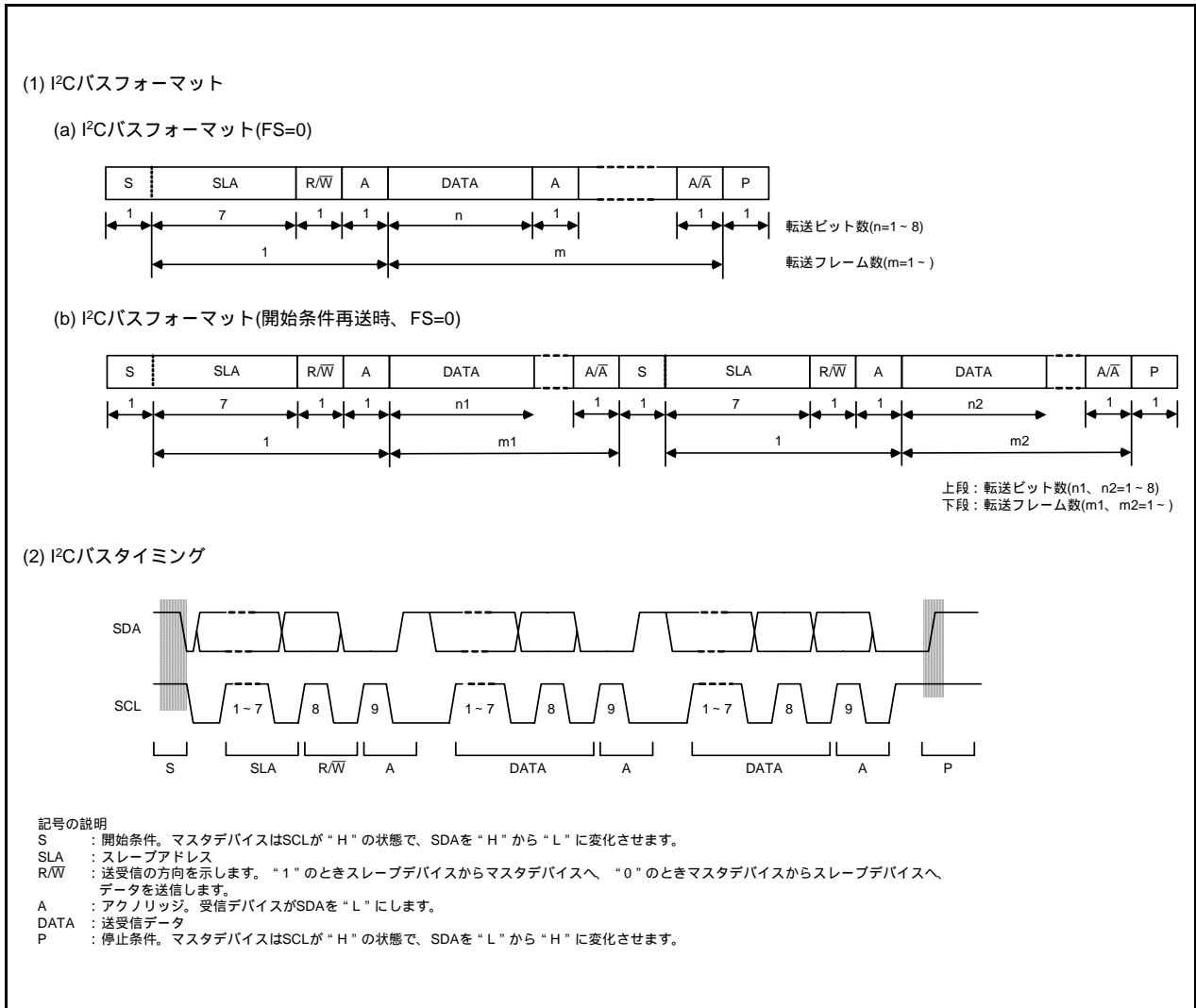


図27.4 I<sup>2</sup>Cバスフォーマットとバスタイミング

### 27.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 27.5、図 27.6 にマスタ送信モードの動作タイミング (I<sup>2</sup>C バスインタフェースモード) を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSR レジスタのSTOPビットを初期化するために“0”にしてください。その後、ICCR1 レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMR レジスタのWAIT、MLSビット、ICCR1 レジスタのCKS0 ~ CKS3ビットなどを設定してください(初期設定)。
- (2) ICCR2 レジスタのBBSYビットを読んで、バスが開放状態であることを確認後、ICCR1 レジスタのTRS、MSTビットをマスタ送信モードに設定してください。その後、BBSY=1 と SCP=0 をMOV命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSR レジスタのTDREビットが“1”であることを確認した後、ICDRT レジスタに送信データ(1バイト目はスレーブアドレスとR/Wを示すデータ)を書いてください。このときTDREビットは自動的に“0”になり、ICDRT レジスタからICDRS レジスタにデータが転送されて、再びTDREビットが“1”になります。
- (4) TDREビットが“1”の状態ですべての送信データが完了し、送信クロックの9クロック目の立ち上がりでICSR レジスタのTENDビットが“1”になります。ICIER レジスタのACKBRビットを読んで、スレーブデバイスが選択されたことを確認した後、2バイト目のデータをICDRT レジスタに書いてください。ACKBRビットが“1”のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0とSCP=0をMOV命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまではSCLが“L”に固定されます。
- (5) 2バイト目以降の送信データは、TDREビットが“1”になるたびに、ICDRT レジスタにデータを書いてください。
- (6) 送信するバイト数をICDRT レジスタに書いたとき、その後はTDREビットが“1”の状態ですべての送信データが完了し、送信クロックの9クロック目の立ち上がりでICSR レジスタのTENDビットが“1”になります。ICIER レジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)の状態、受信デバイスからのNACK(ICSR レジスタのNACKF=1)を待ってください。その後、停止条件を発行してTENDビット、あるいはNACKFビットを“0”にしてください。
- (7) ICSR レジスタのSTOPビットが“1”になったとき、スレーブ受信モードに戻してください。

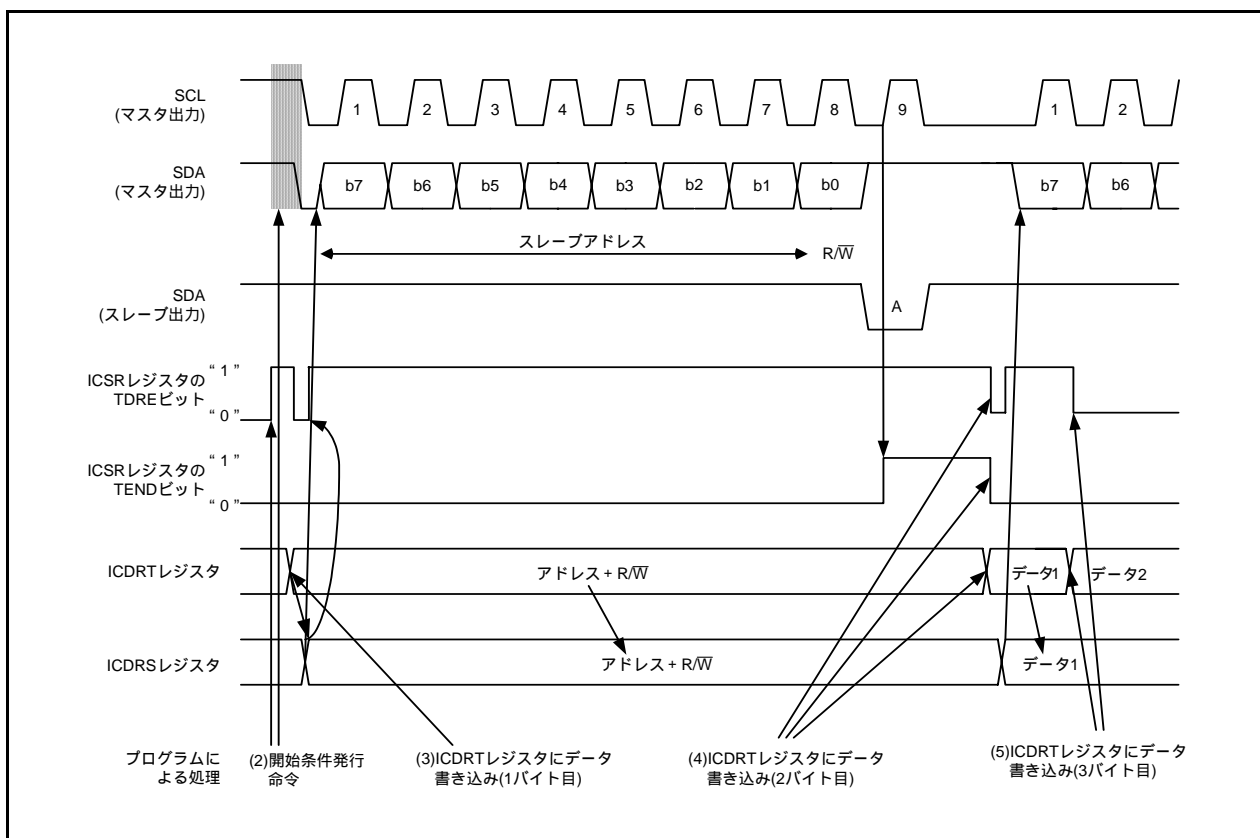


図 27.5 マスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

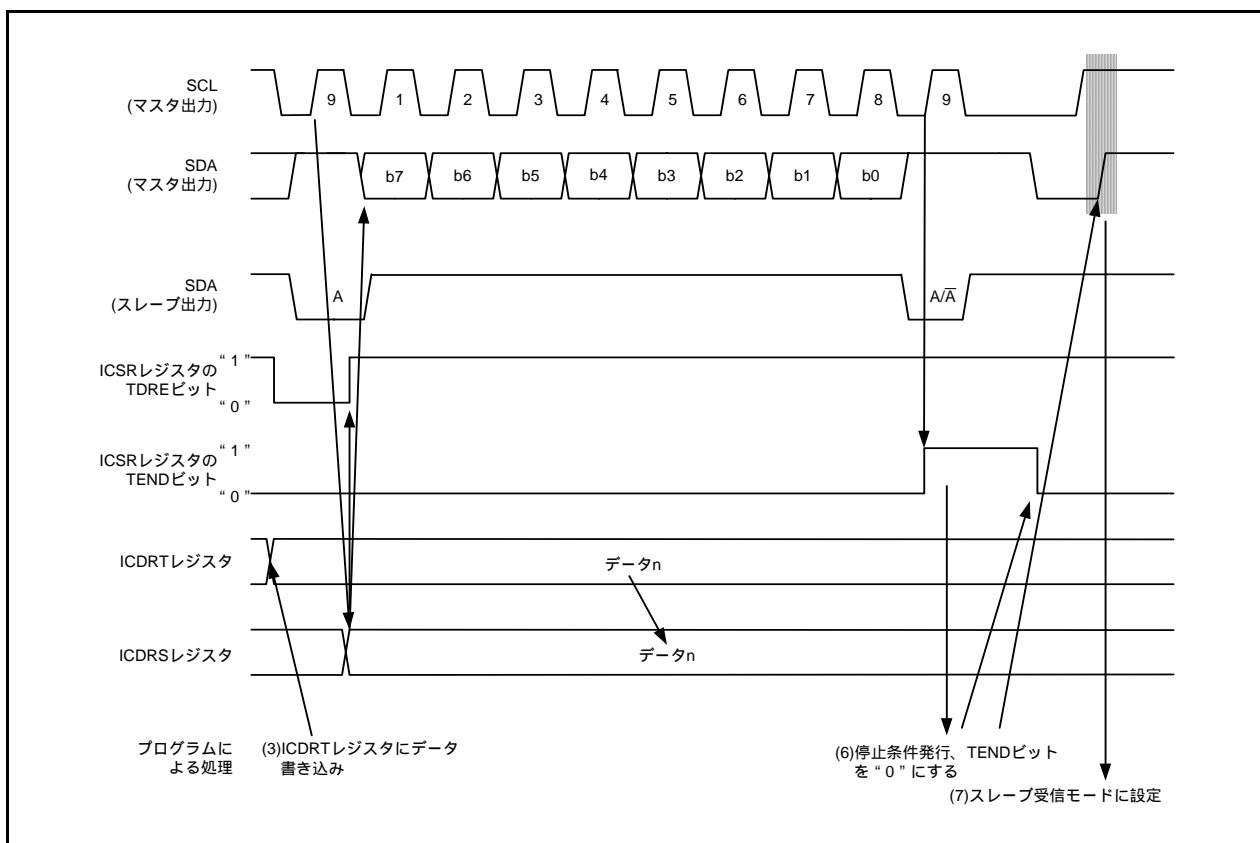


図 27.6 マスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

### 27.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。、図 27.7、図 27.8にマスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
- (2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
- (4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0”(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

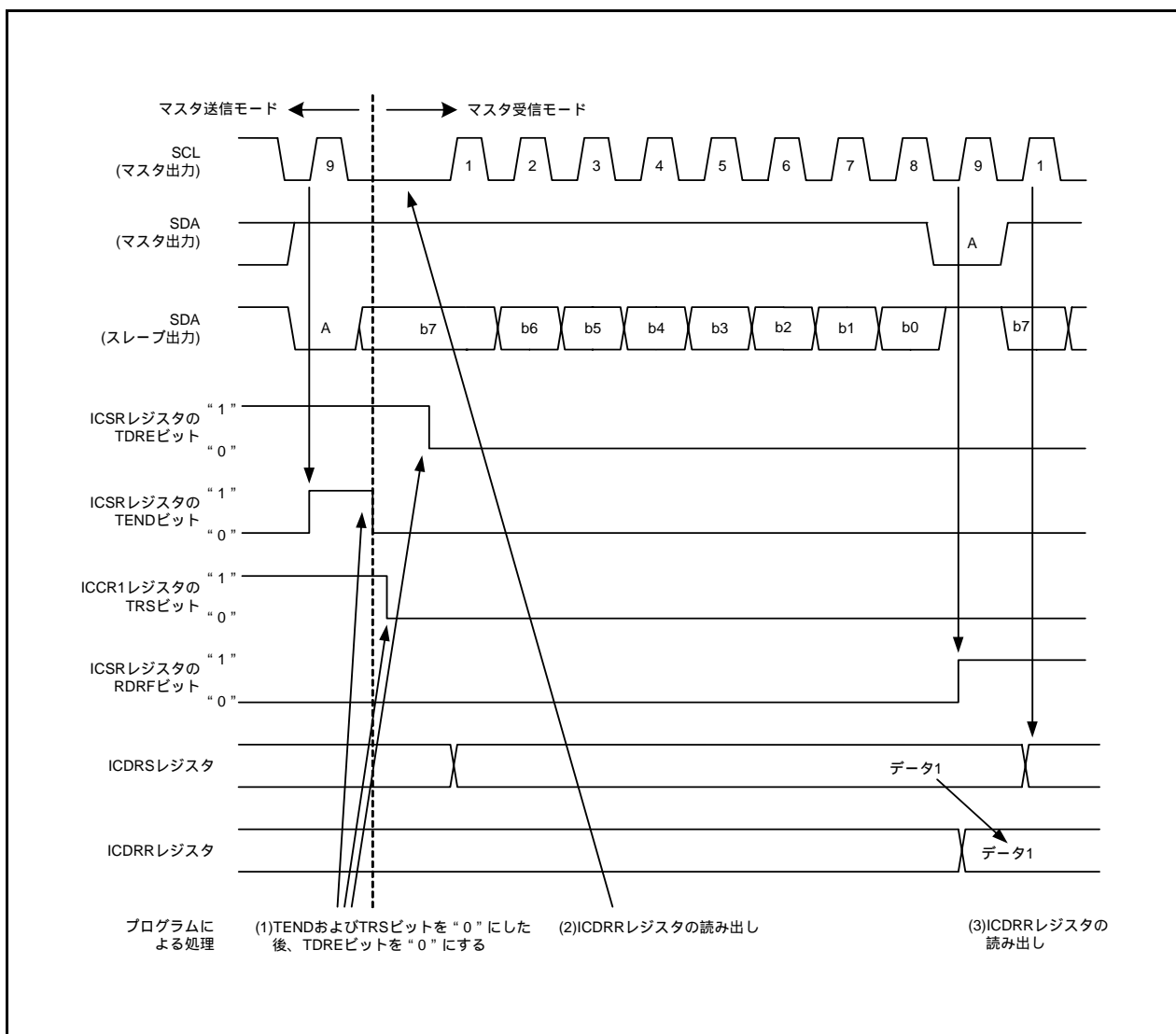


図 27.7 マスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

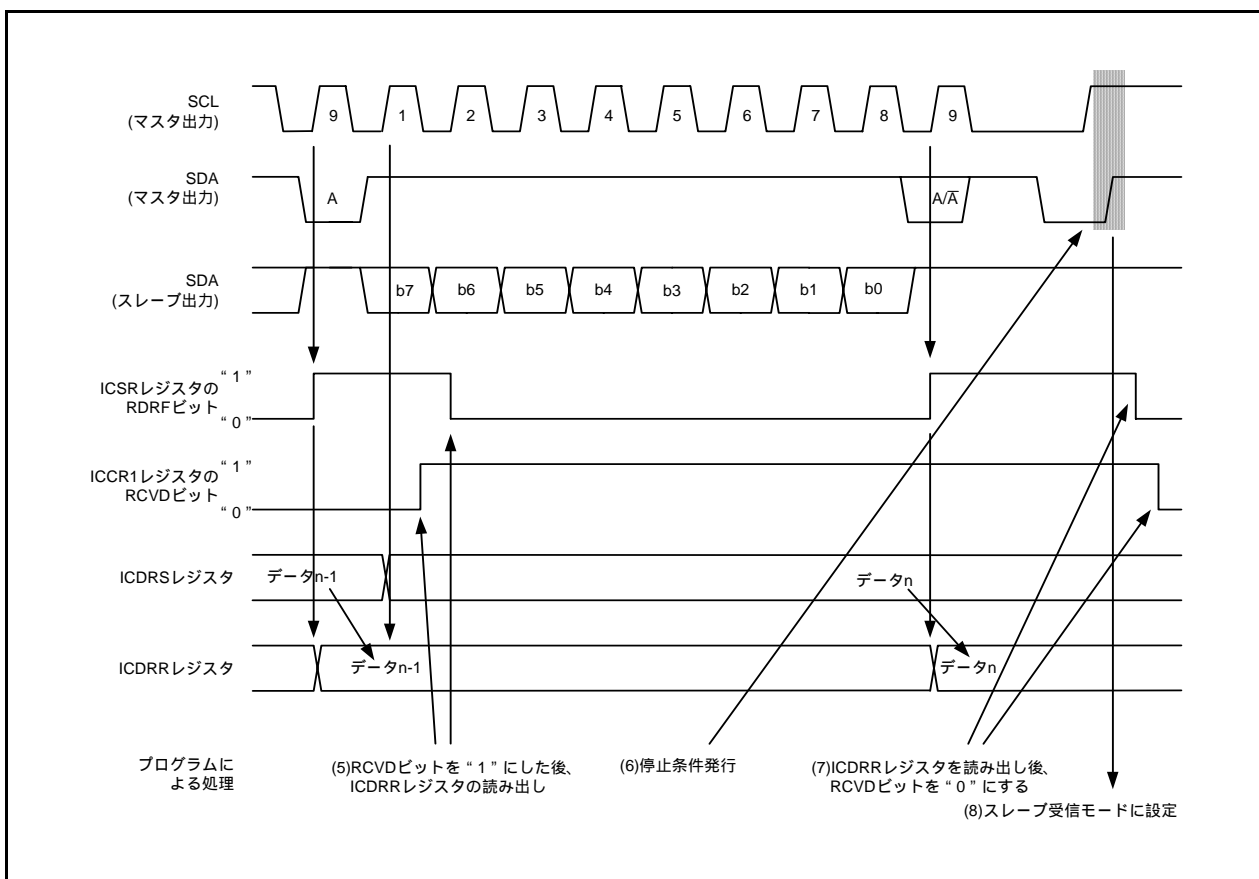


図 27.8 マスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

#### 27.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 27.9、図 27.10 にスレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。このとき、8ビット目のデータ(R/W)が“1”のとき、TRSビットおよびICSRレジスタのTDREビットが“1”になり、自動的にスレーブ送信モードに切り替わります。TDREビットが“1”になるたびにICDRTレジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRTレジスタに書いた後にTDREビットが“1”になったとき、TDREビットが“1”の状態(ICSRレジスタのTENDビットが“1”)になるまで待ってください。TENDビットが“1”になったら、TENDビットを“0”にしてください。
- (4) 終了処理のためTRSビットを“0”にし、ICDRRレジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDREビットを“0”にしてください。



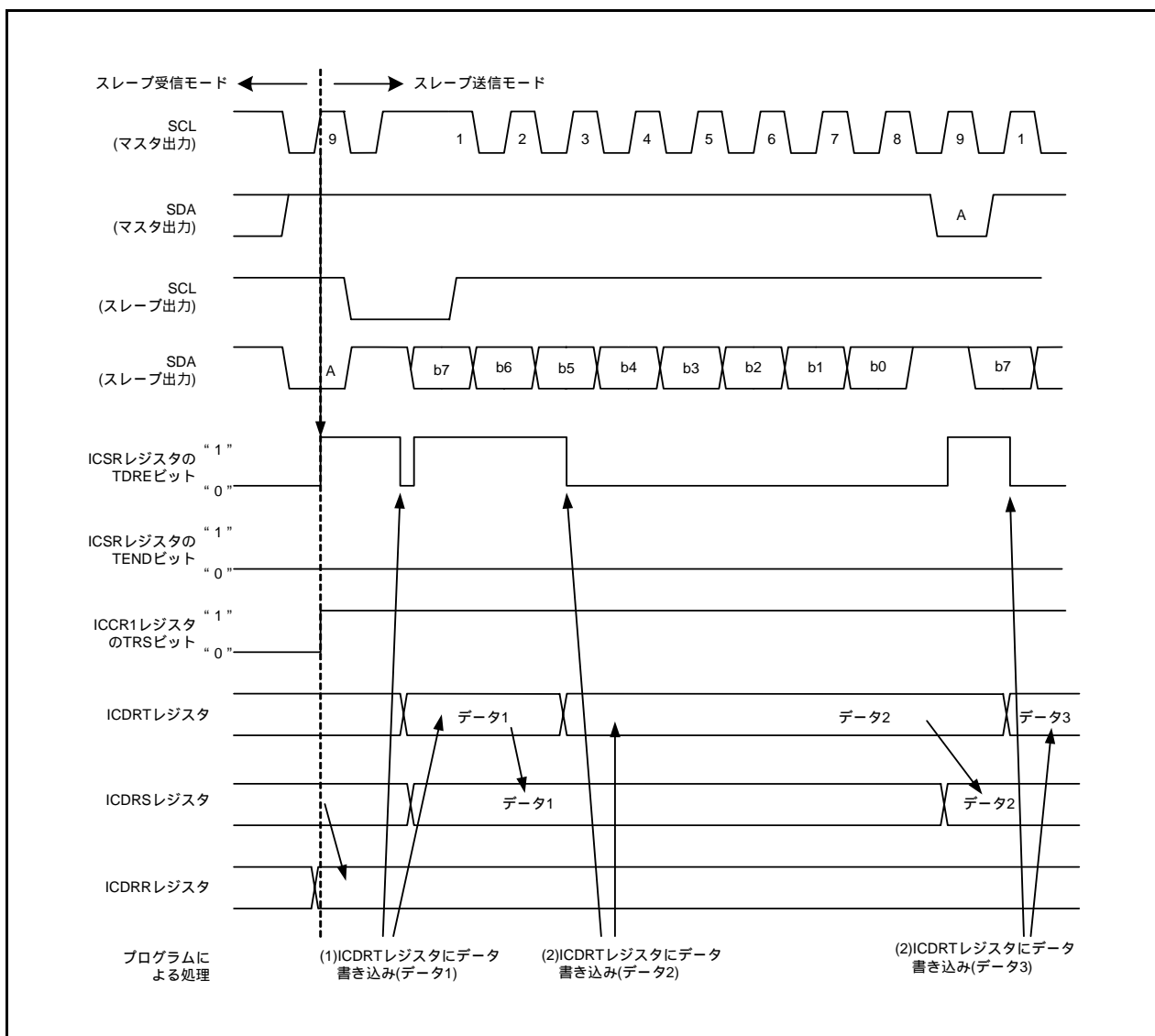


図 27.9 スレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

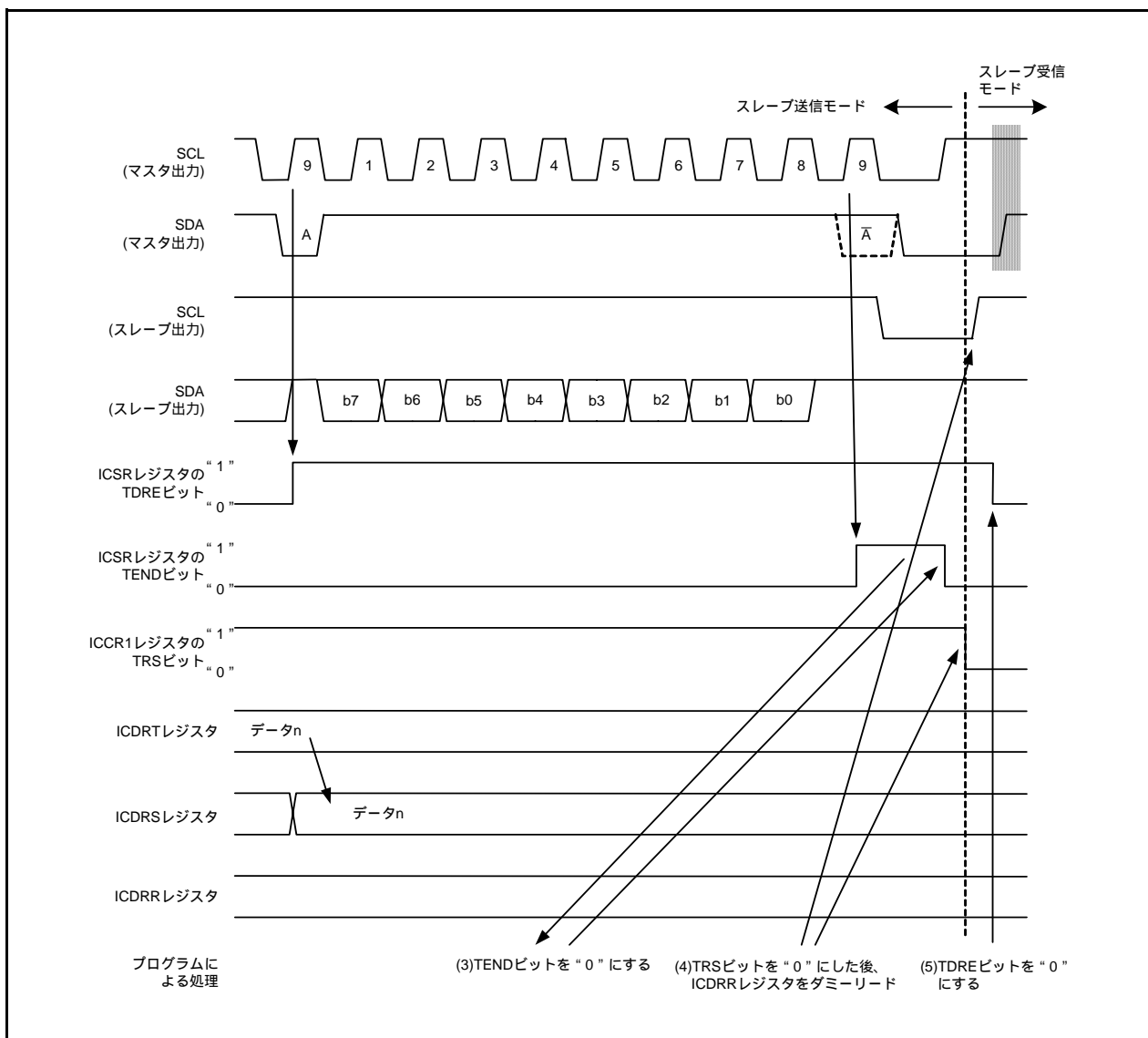


図 27.10 スレープ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

### 27.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 27.11、図 27.12 にスレーブ受信モードの動作タイミング (I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。同時にICSRレジスタのRDRFビットが“1”になりますので、ICDRRレジスタをダミーリード(読み出したデータはスレーブアドレス+R/Wを示すので不要)してください。
- (3) RDRFビットが“1”になるたびに、ICDRRレジスタを読んでください。RDRFビットが“1”の状態が8クロック目が立ち下がると、ICDRRレジスタを読むまでSCLが“L”に固定されず。ICDRRレジスタを読む前にいったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されず。
- (4) 最終バイトの読み出しも、同様にICDRRレジスタを読むことを行います。

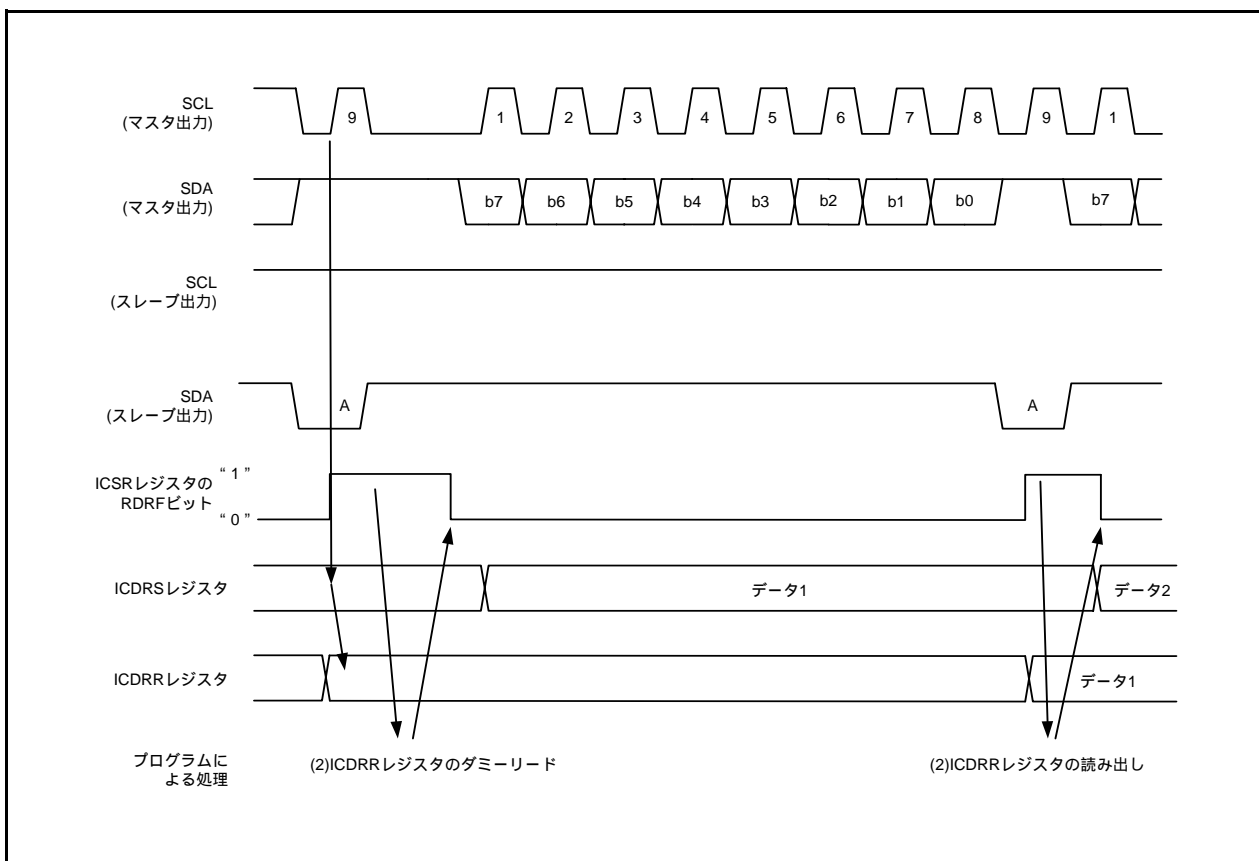


図 27.11 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

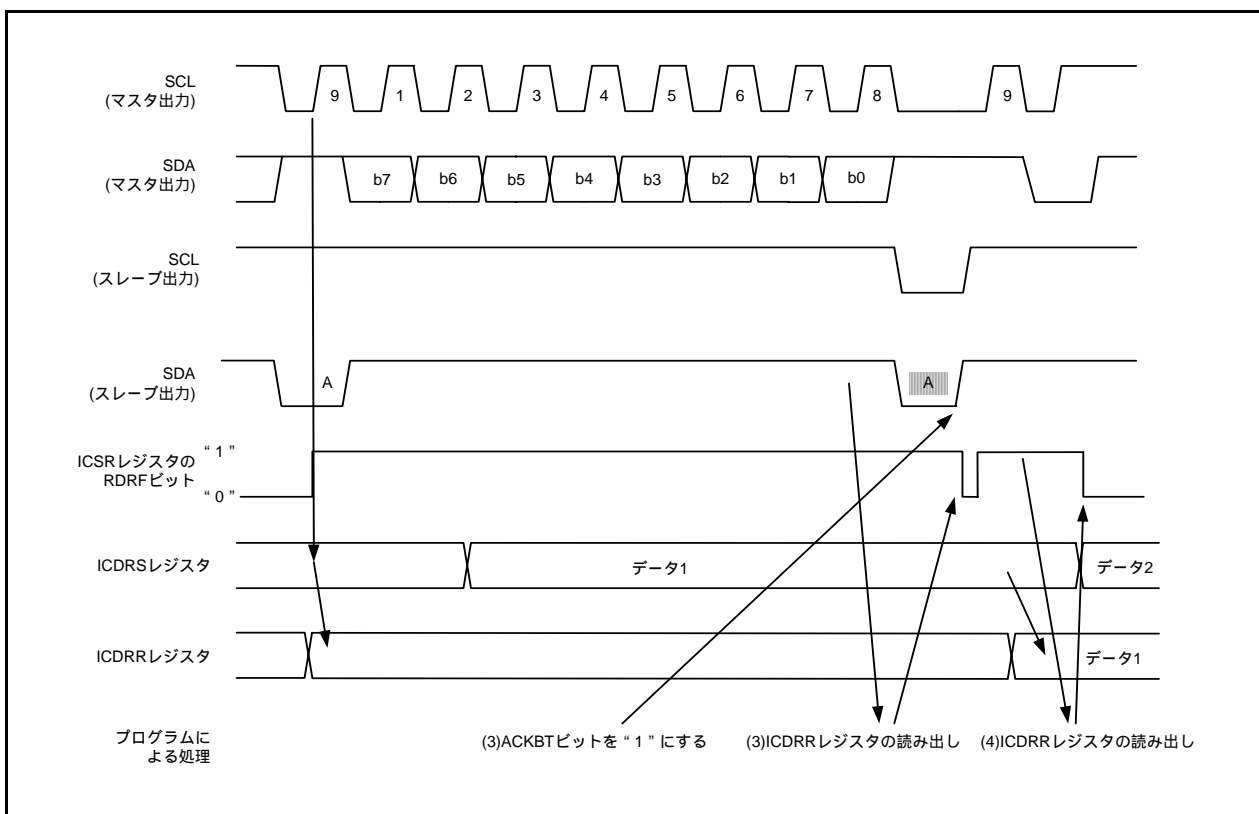


図 27.12 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

## 27.5 クロック同期式シリアルモード

### 27.5.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。  
図 27.13にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”のときSCLから転送クロック出力となり、MSTビットが“0”のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

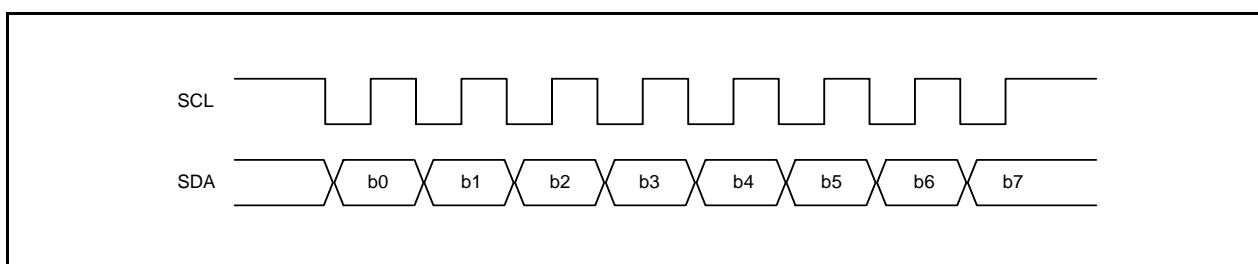


図 27.13 クロック同期式シリアルフォーマットの転送フォーマット

### 27.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データをSDAから出力します。転送クロックはICCR1レジスタのMSTビットが“1”のとき出力、MSTビットが“0”のとき入力となります。図27.14に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1” (転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) ICCR1レジスタのTRSビットを“1”にして送信モードにしてください。これにより、ICSRレジスタのTDREビットが“1”になります。
- (3) TDREビットが“1”であることを確認した後、ICDRTレジスタに送信データを書き込んでください。これによりICDRTレジスタからICDRSレジスタにデータが転送され、自動的にTDREビットが“1”になります。TDREビットが“1”になるたびにICDRTレジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDREビットが“1”の状態ではTRSビットを“0”にしてください。

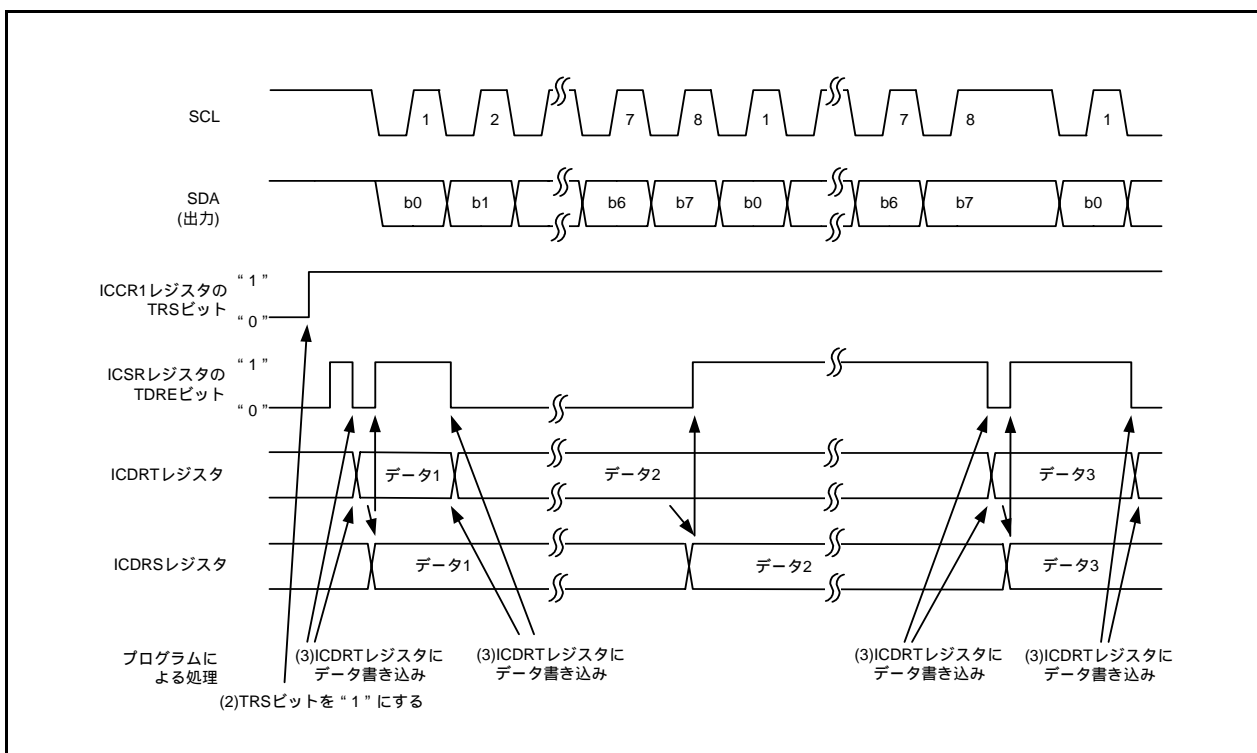


図 27.14 送信モードの動作タイミング(クロック同期式シリアルモード)

### 27.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”のとき出力、MSTビットが“0”のとき入力となります。

図 27.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態で8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

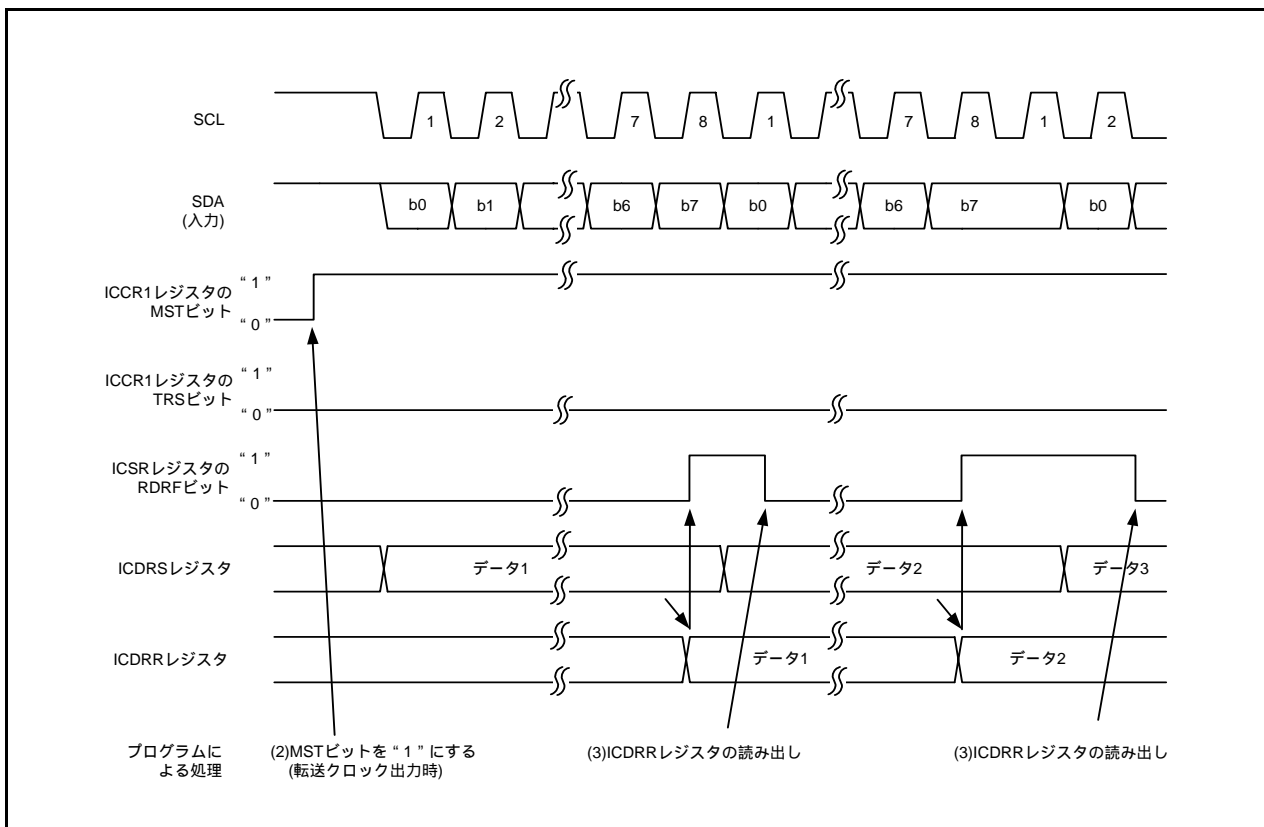


図 27.15 受信モードの動作タイミング(クロック同期式シリアルモード)

## 27.6 レジスタ設定例

I<sup>2</sup>Cバスインタフェースを使用する場合のレジスタ設定例を図 27.16 ~ 図 27.19 に示します。

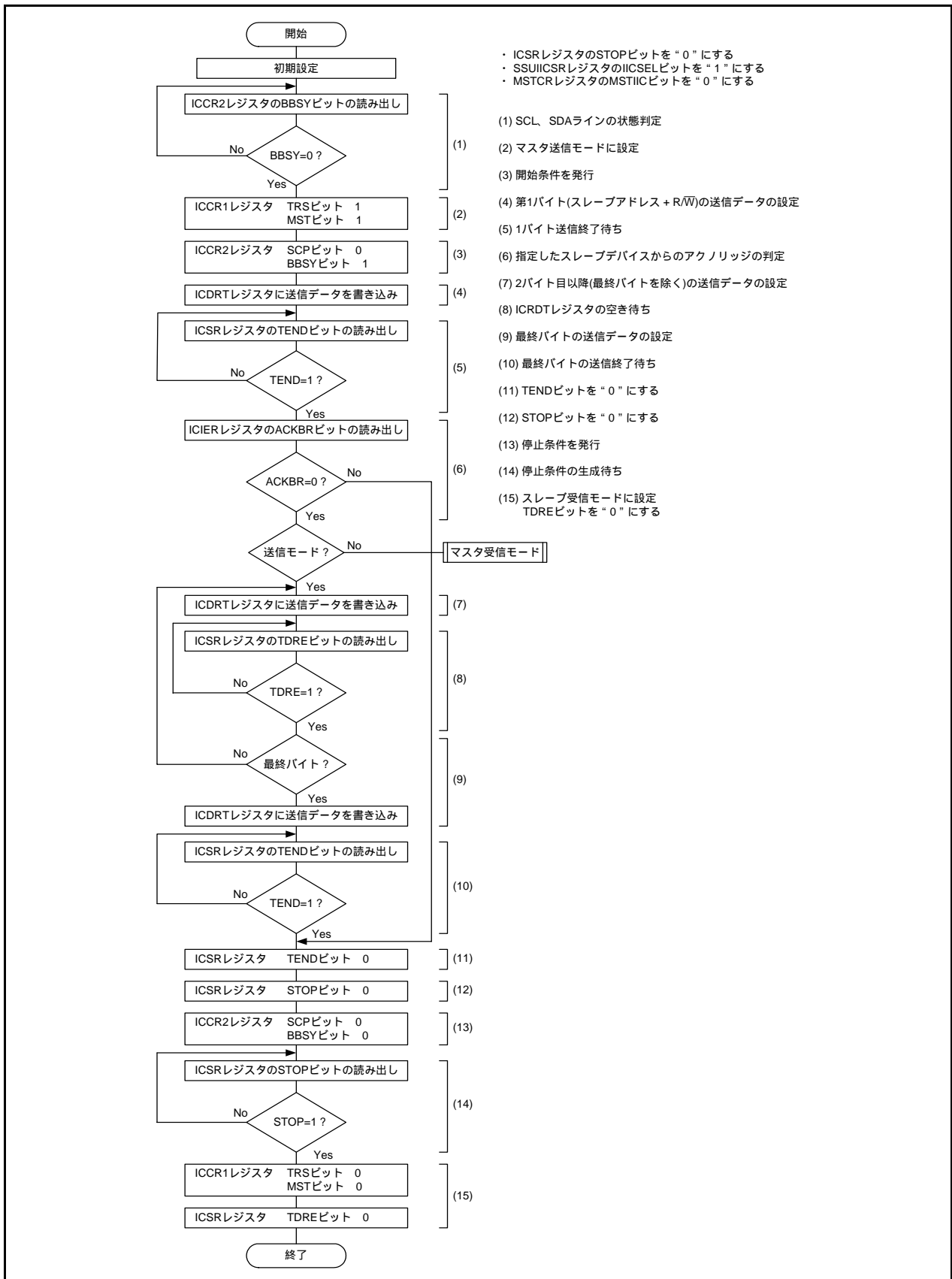


図 27.16 マスタ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)



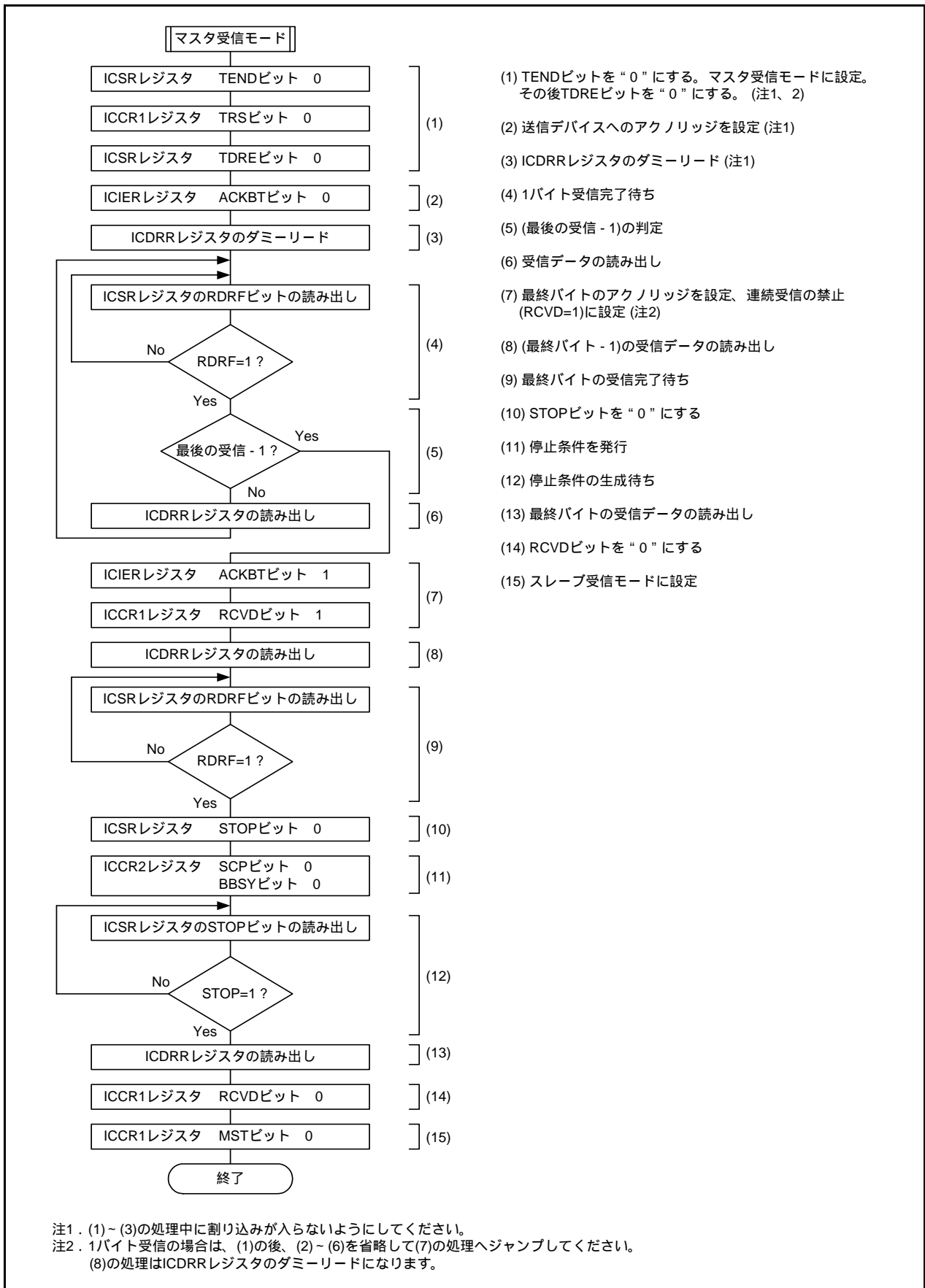


図 27.17 マスタ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

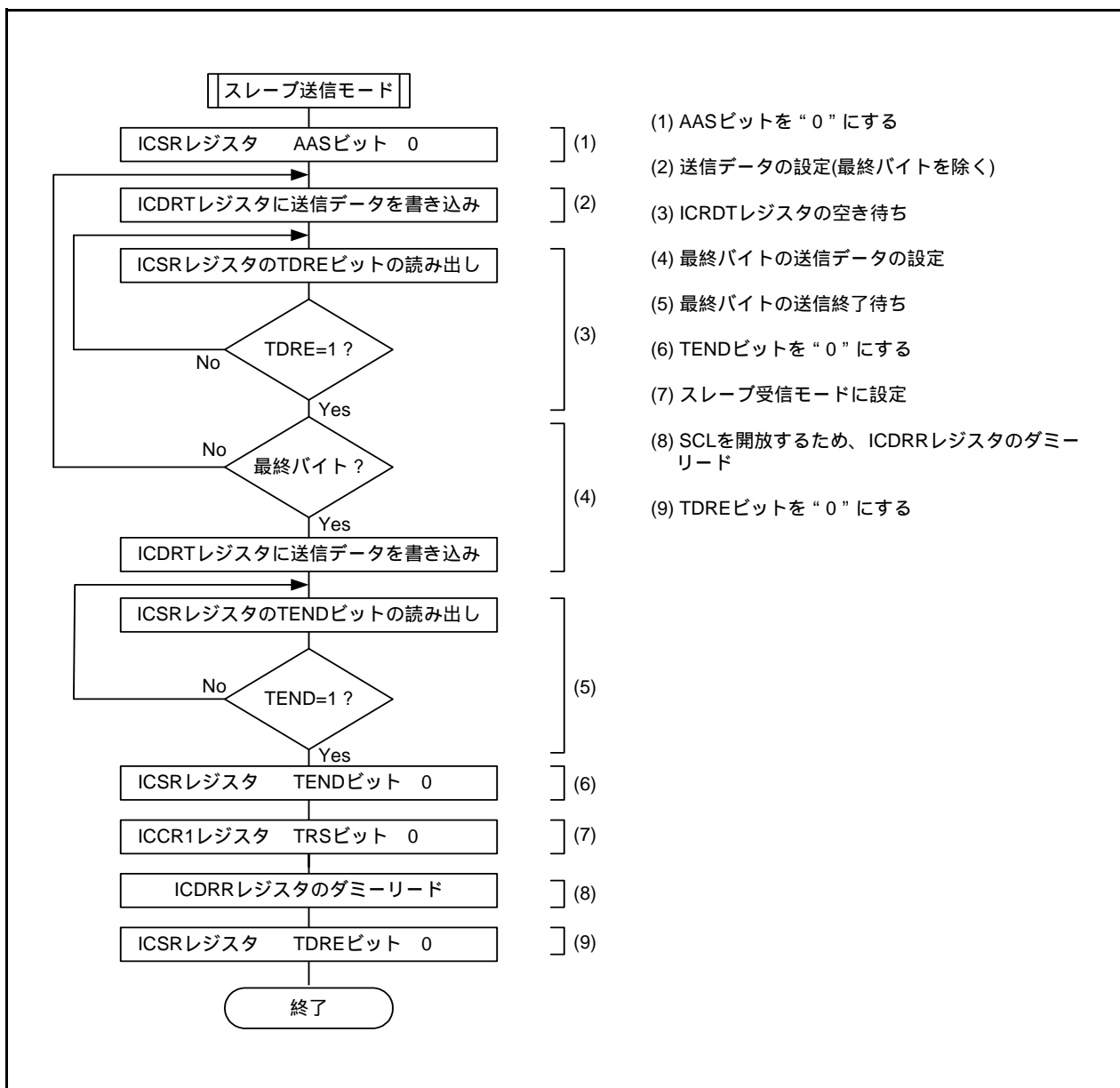


図 27.18 スレーブ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

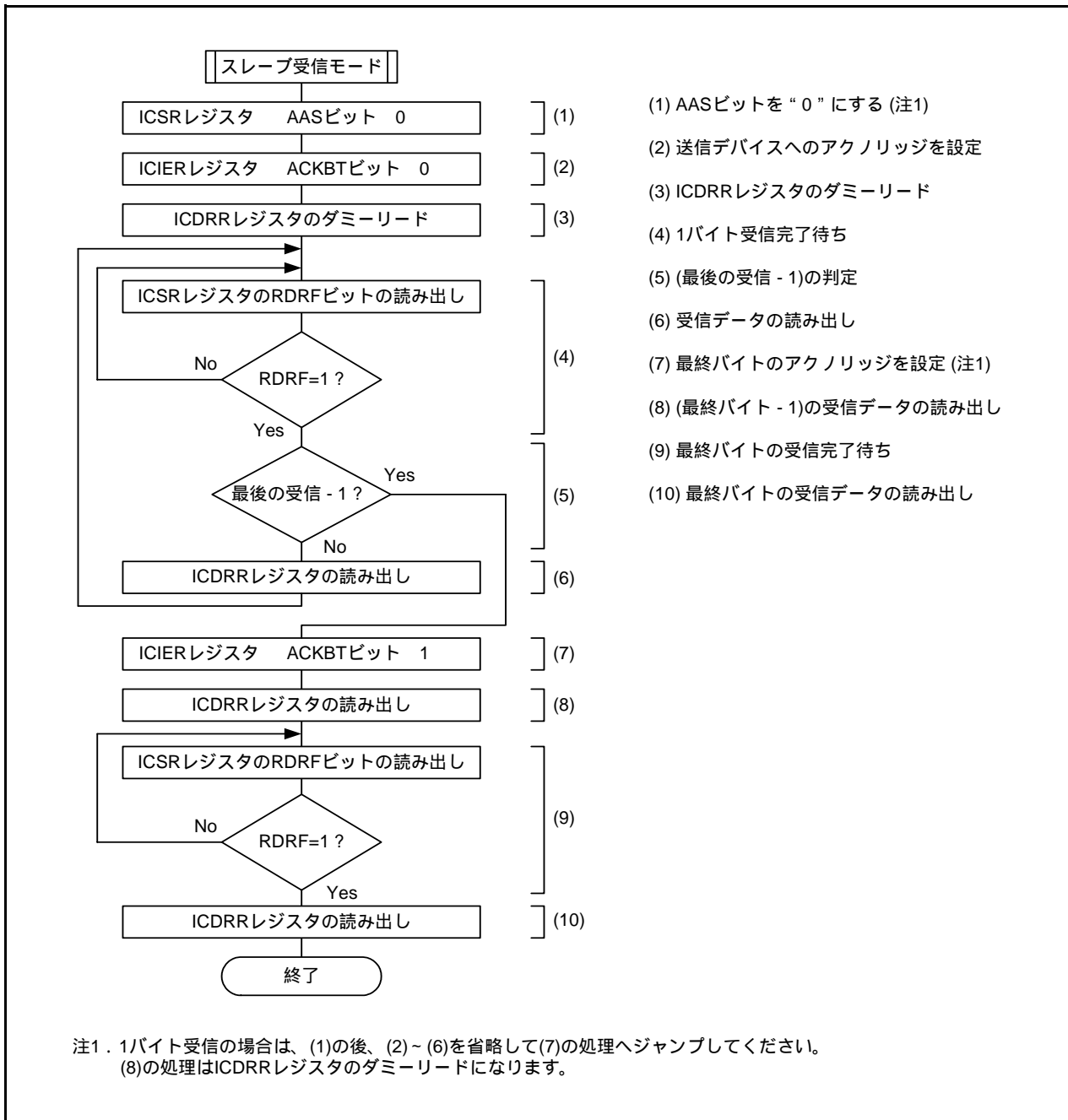


図 27.19 スレーブ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

## 27.7 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図 27.20 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号（またはSDA端子入力信号）が $f_1$ でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

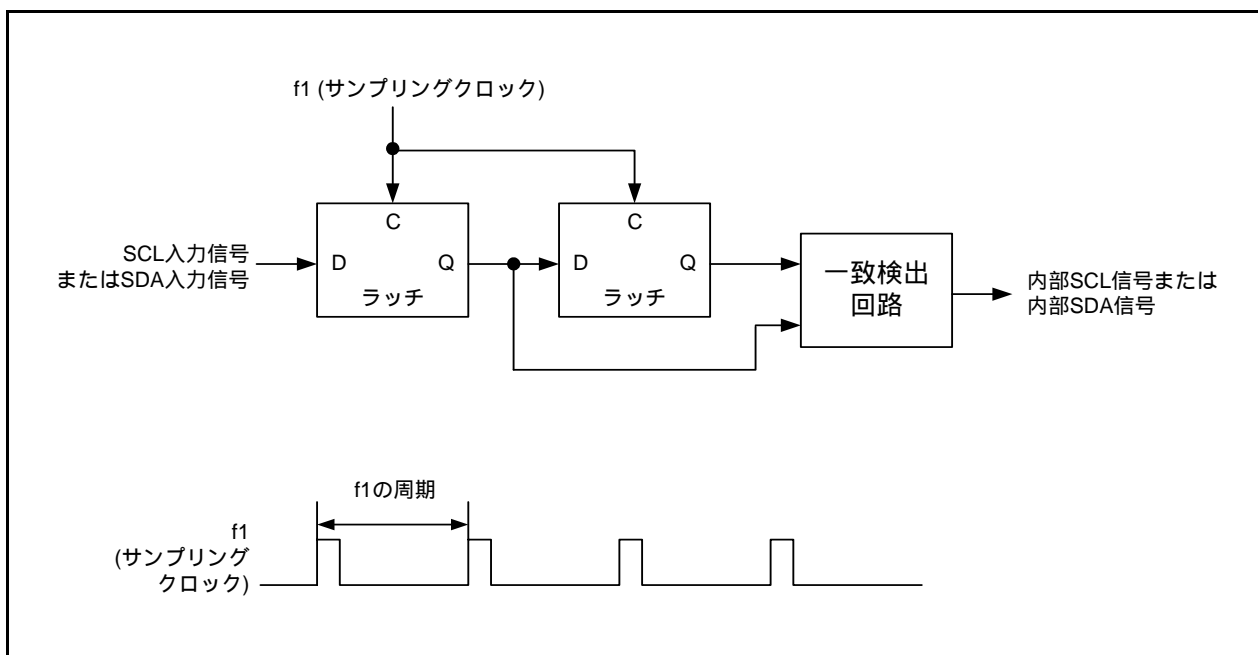


図 27.20 ノイズ除去回路のブロック図

## 27.8 ビット同期回路

I<sup>2</sup>Cバスインタフェースをマスタモードに設定時、

- スレーブデバイスによりSCLが“L”に保持された場合
  - SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合
- の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図 27.21 にビット同期回路のタイミングを、表 27.7 にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

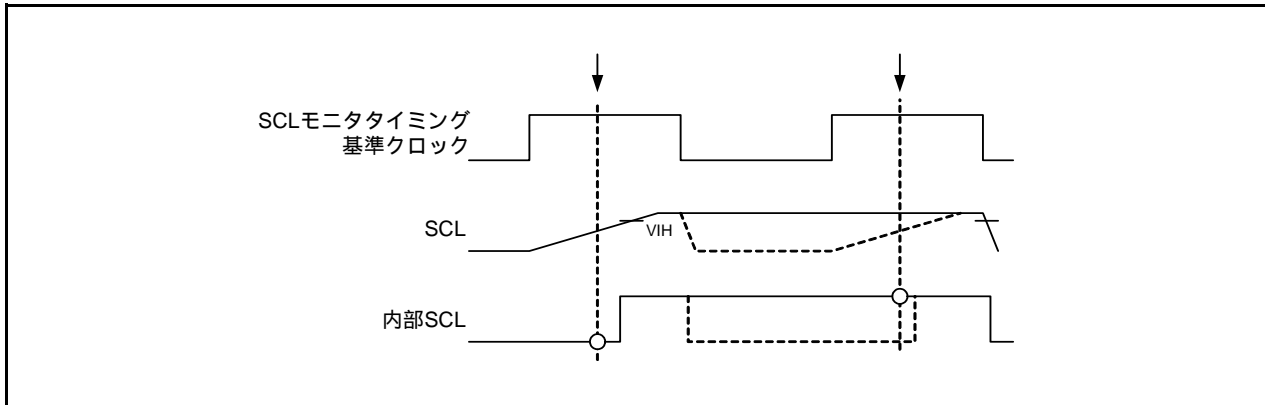


図 27.21 ビット同期回路のタイミング

表 27.7 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

ICCR1 レジスタ		SCL をモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc=1/f1(s)

## 27.9 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、SSUICSRレジスタのIICSELビットを“1”(I<sup>2</sup>Cバスインタフェース機能を選択)にしてください。

## 28. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

### 28.1 概要

ハードウェアLINには、以下の特長があります。

図28.1にハードウェアLINのブロック図を示します。

#### 【マスタモード】

- Synch Break 発生
- バス衝突検出

#### 【スレーブモード】

- Synch Break 検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART0入力制御機能
- バス衝突検出

注1．Wake Up機能はINT1により検出

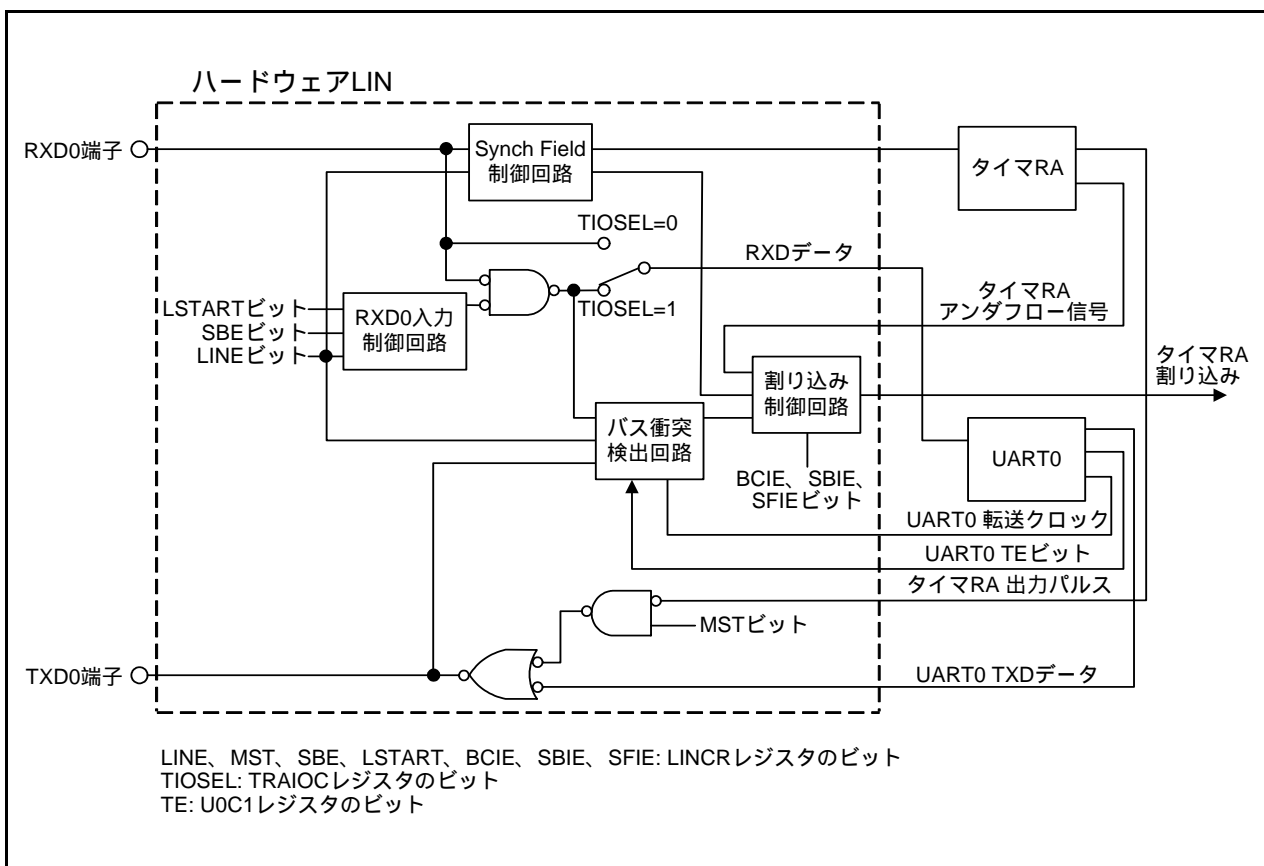


図28.1 ハードウェアLINのブロック図

## 28.2 入出力端子

表28.1にハードウェアLINの端子構成を示します。

表28.1 ハードウェアLINの端子構成

名称	略称	端子	入出力	機能
レシーブデータ入力	RXD0	P11_4	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	P13_1	出力	ハードウェアLINの送信データ出力端子

注1. ハードウェアLINを使用する場合はU0SRレジスタのTXD0SEL0ビットを“1”、RXD0SEL1～RXD0SEL0ビットを“10b”に設定してください。

## 28.3 レジスタの説明

ハードウェアLINには以下のレジスタがあります。

- LINコントロールレジスタ2(LINCR2)
- LINコントロールレジスタ(LINCR)
- LINステータスレジスタ(LINST)

### 28.3.1 LINコントロールレジスタ2(LINCR2)

アドレス 0105h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	BCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCE	Synch Break送信時、バス衝突検出有効ビット	0：バス衝突検出禁止 1：バス衝突検出有効	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-			
b3	-			
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			



### 28.3.2 LINコントロールレジスタ(LINCR)

アドレス 0106h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFIE	Synch Field計測完了割り込み許可ビット	0 : Synch Field計測完了割り込み禁止 1 : Synch Field計測完了割り込み許可	R/W
b1	SBIE	Synch Break検出割り込み許可ビット	0 : Synch Break検出割り込み禁止 1 : Synch Break検出割り込み許可	R/W
b2	BCIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b3	RXDSF	RXD0入力ステータスフラグ	0 : RXD0入力許可状態 1 : RXD0入力禁止状態	R
b4	LSTART	Synch Break検出開始ビット(注1)	“1”を書くとタイマRA入力許可、RXD0入力禁止になります。読んだ場合、その値は“0”。	R/W
b5	SBE	RXD0入力マスク解除タイミングセレクトビット (スレーブモードのみ有効)	0 : Synch Break検出後に解除 1 : Synch Field計測完了後に解除	R/W
b6	MST	LIN動作モード設定ビット(注2)	0 : スレーブモード (Synch Break検出回路動作) 1 : マスタモード (タイマRAの出力をTXD0とORする)	R/W
b7	LINE	LIN動作開始ビット	0 : LINは動作停止 1 : LINは動作開始(注3)	R/W

- 注1. LSTARTビット設定後、RXDSFフラグが“1”になることを確認してからSynch Breakを入力開始してください。  
 注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。  
 注3. LINEビットを“1”(LINは動作開始)にした直後は、タイマRAおよびUART0への入力は禁止です。(図28.3ヘッダフィールド送信フローチャート例(1)および図28.7ヘッダフィールド受信フローチャート例(2)を参照してください。)

### 28.3.3 LINステータスレジスタ(LINST)

アドレス 0107h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFDCT	Synch Field計測完了フラグ	“1”のときSynch Field計測完了	R
b1	SBDCT	Synch Break検出フラグ	“1”のときSynch Break検出、またはSynch Break発生完了	R
b2	BCDCT	バス衝突検出フラグ	“1”のときバス衝突検出	R
b3	B0CLR	SFDCTフラグクリアビット	“1”を書くとSFDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b4	B1CLR	SBDCTフラグクリアビット	“1”を書くとSBDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b5	B2CLR	BCDCTフラグクリアビット	“1”を書くとBCDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b7	-			

## 28.4 動作説明

### 28.4.1 マスタモード

図28.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図28.3～図28.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、“55h”を送信します。
- (4) UART0により、“55h”の送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

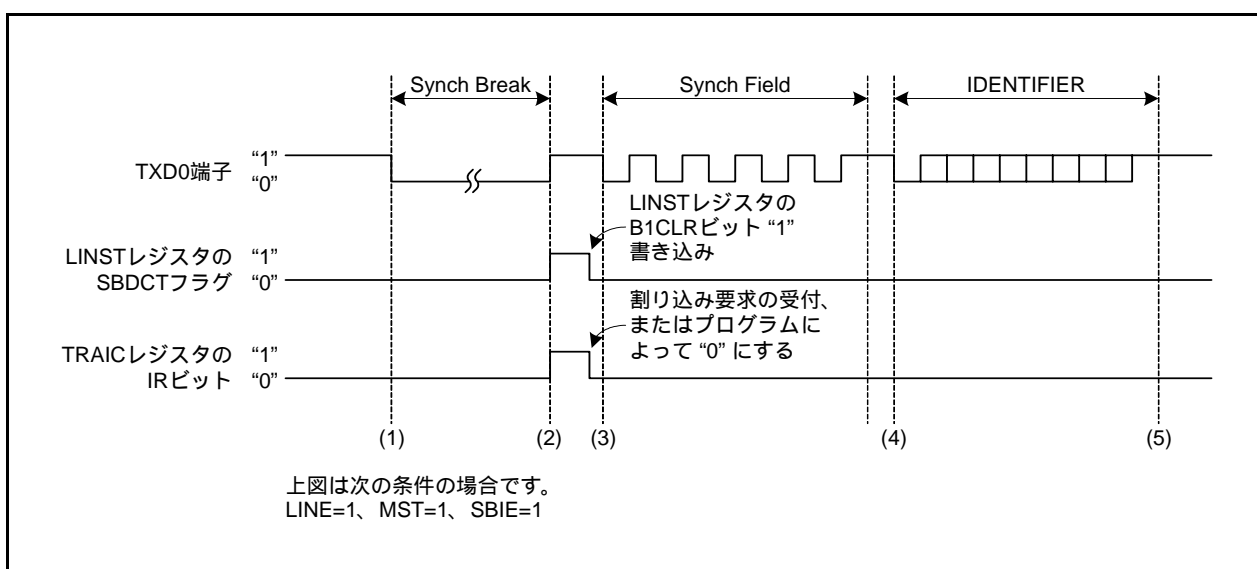


図28.2 ヘッダフィールドの送信時の動作例



図28.3 ヘッダフィールド送信フローチャート例(1)

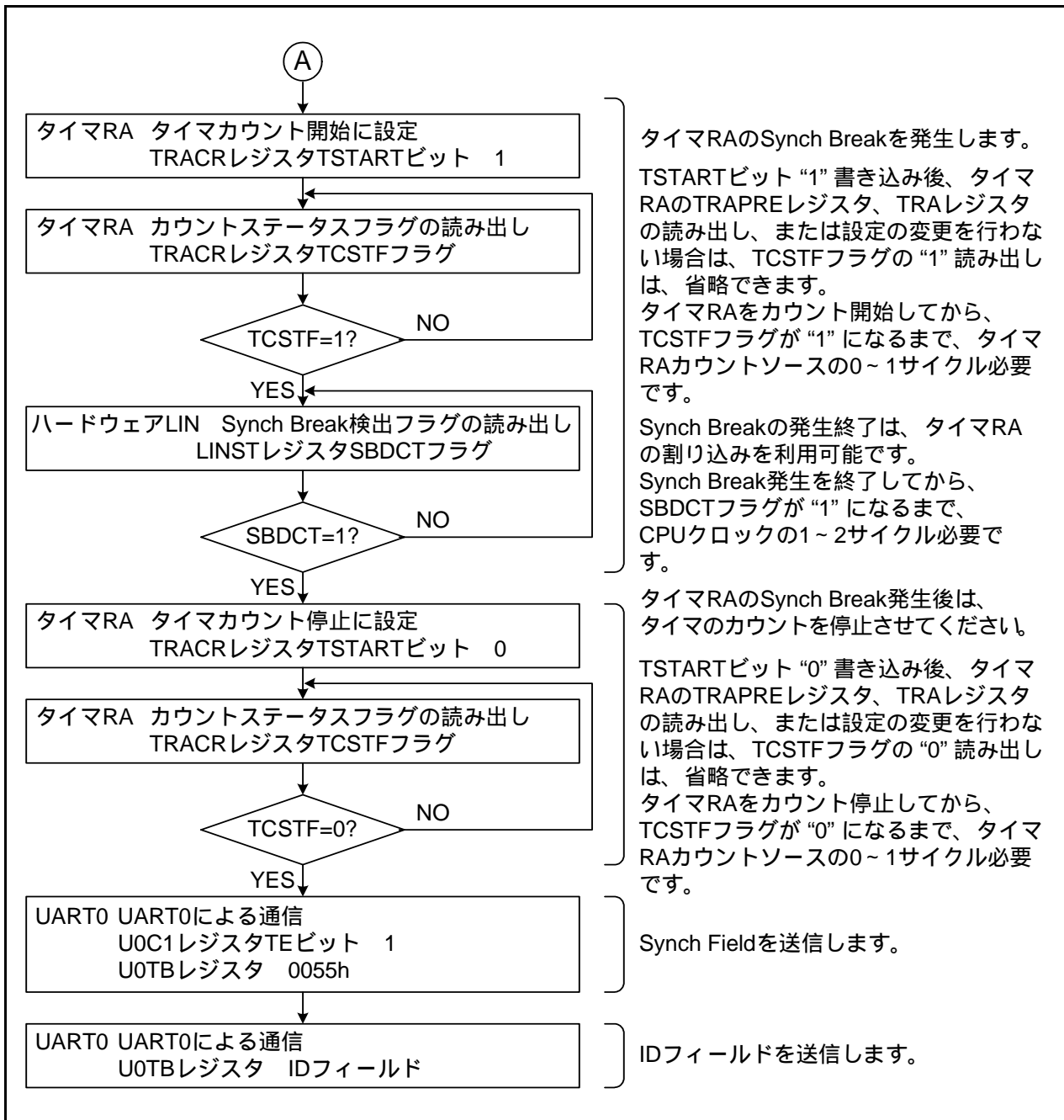


図28.4 ヘッドフィールド送信フローチャート例(2)

### 28.4.2 スレーブモード

図 28.5 にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図 28.6 ~ 図 28.8 にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCXレジスタのLSTARTビットに“1”を書き込むと、Synch Break 検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCXレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。このとき、タイマRAにより、スタートビットおよび0~6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCXのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCXレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

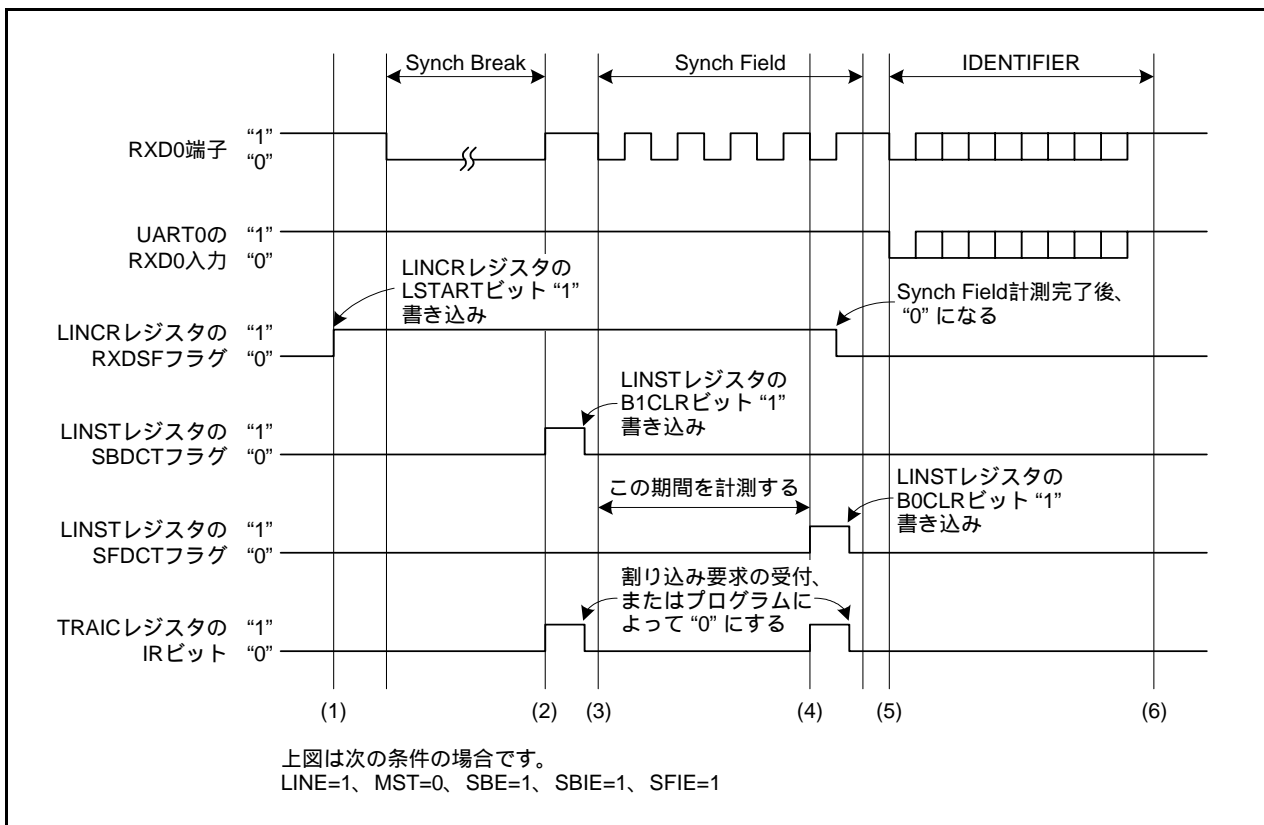


図 28.5 ヘッダフィールドの受信時の動作例

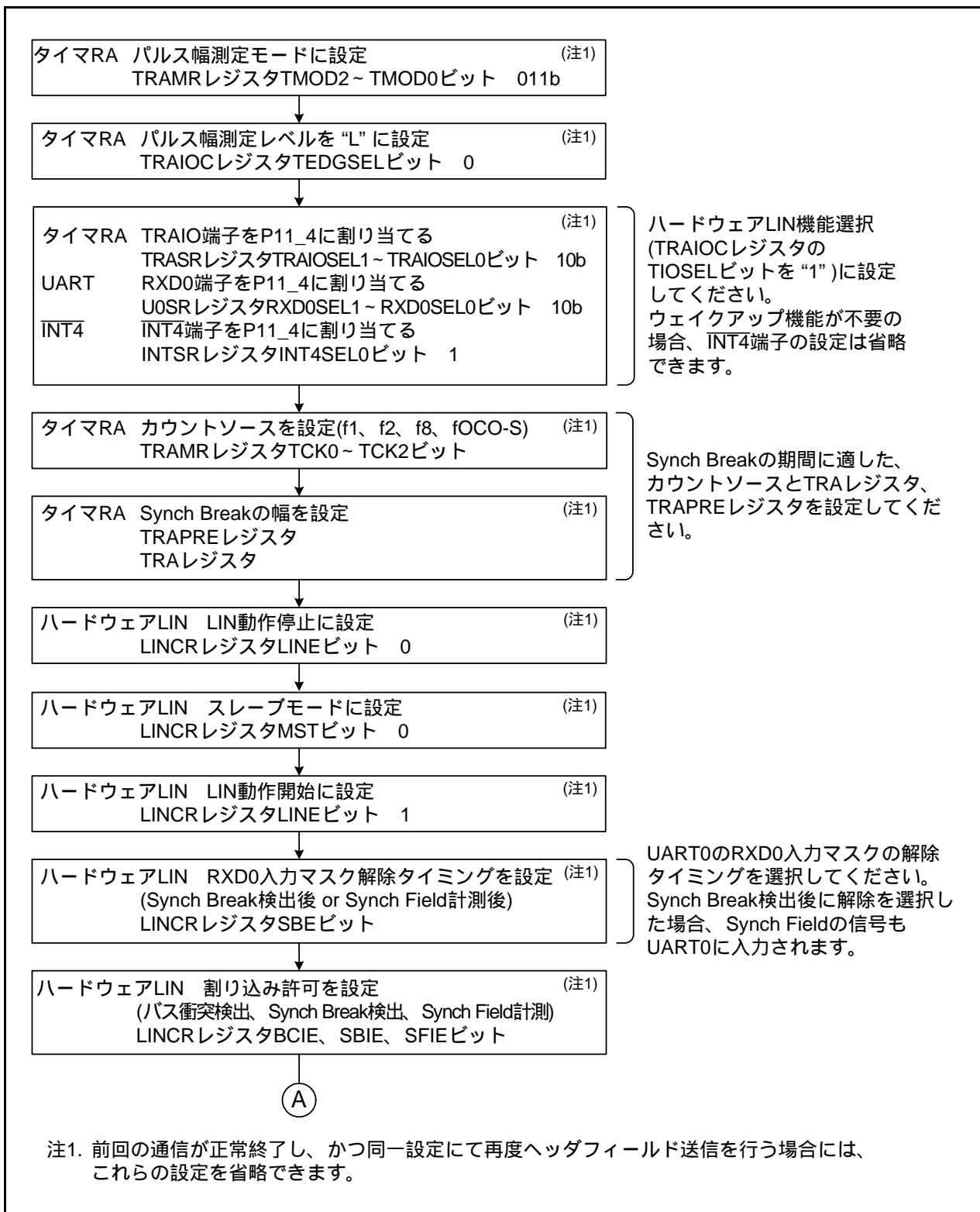


図28.6 ヘッダフィールド受信フローチャート例(1)

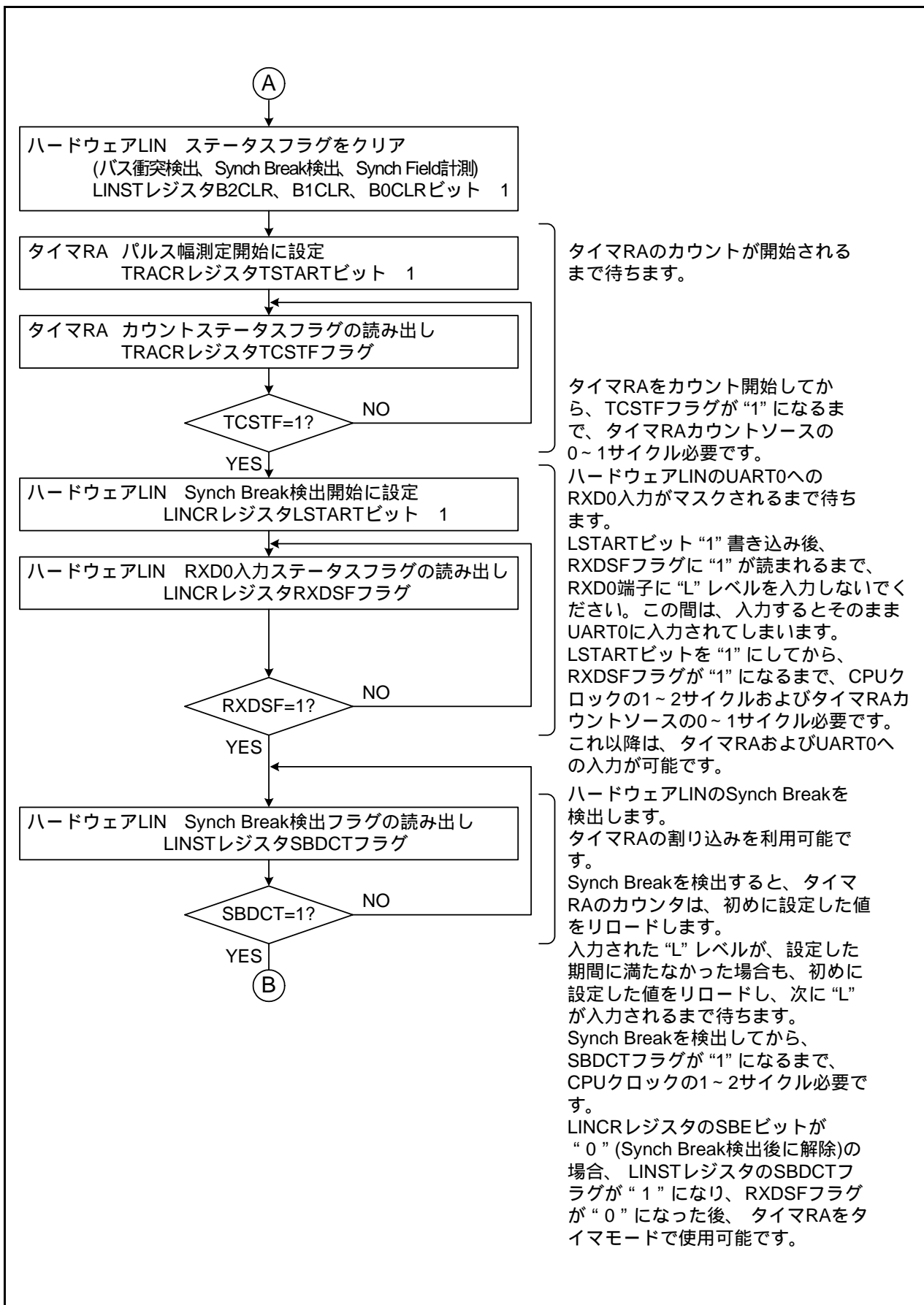


図28.7 ヘッドフィールド受信フローチャート例(2)

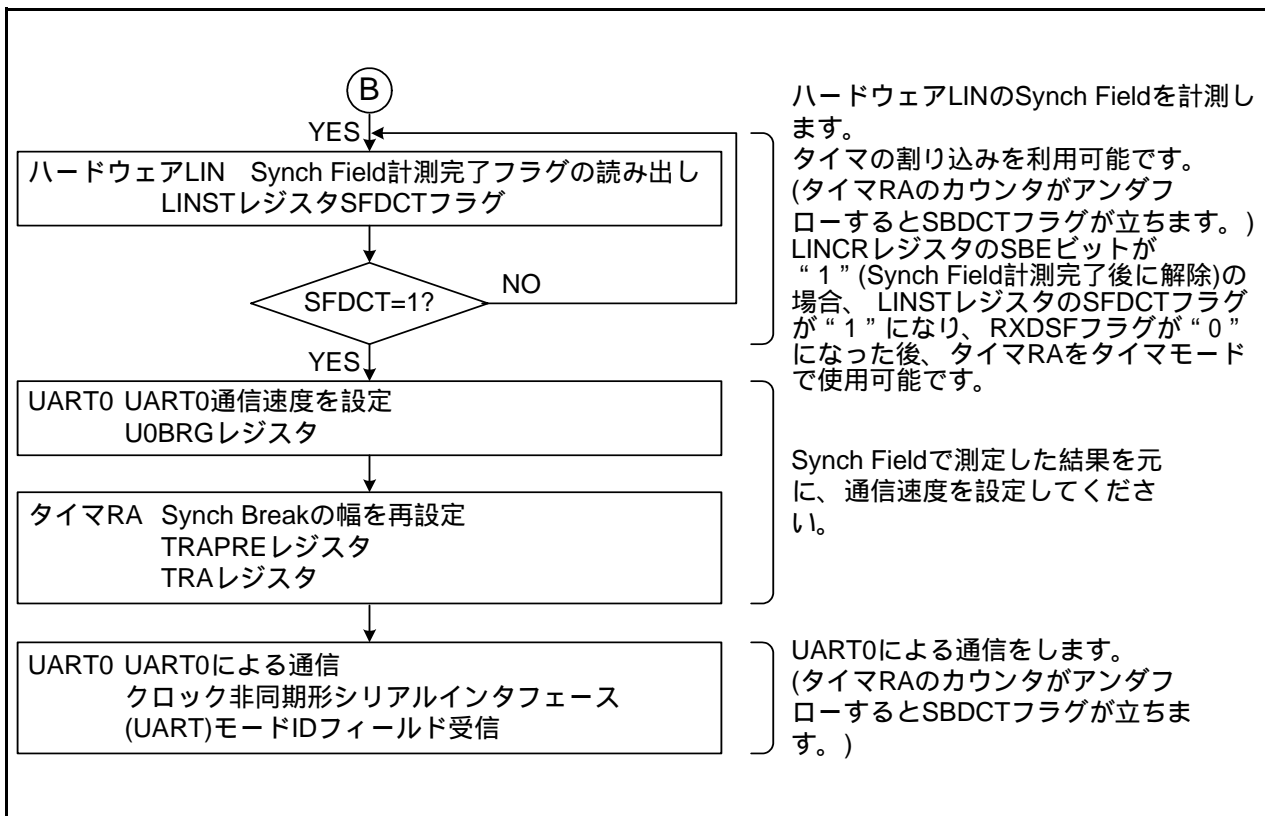


図28.8 ヘッダフィールド受信フローチャート例(3)



### 28.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINCR2レジスタのBCEビットを“1”(バス衝突検出有効)にしてください。

図28.9にバス衝突検出時の動作例を示します。

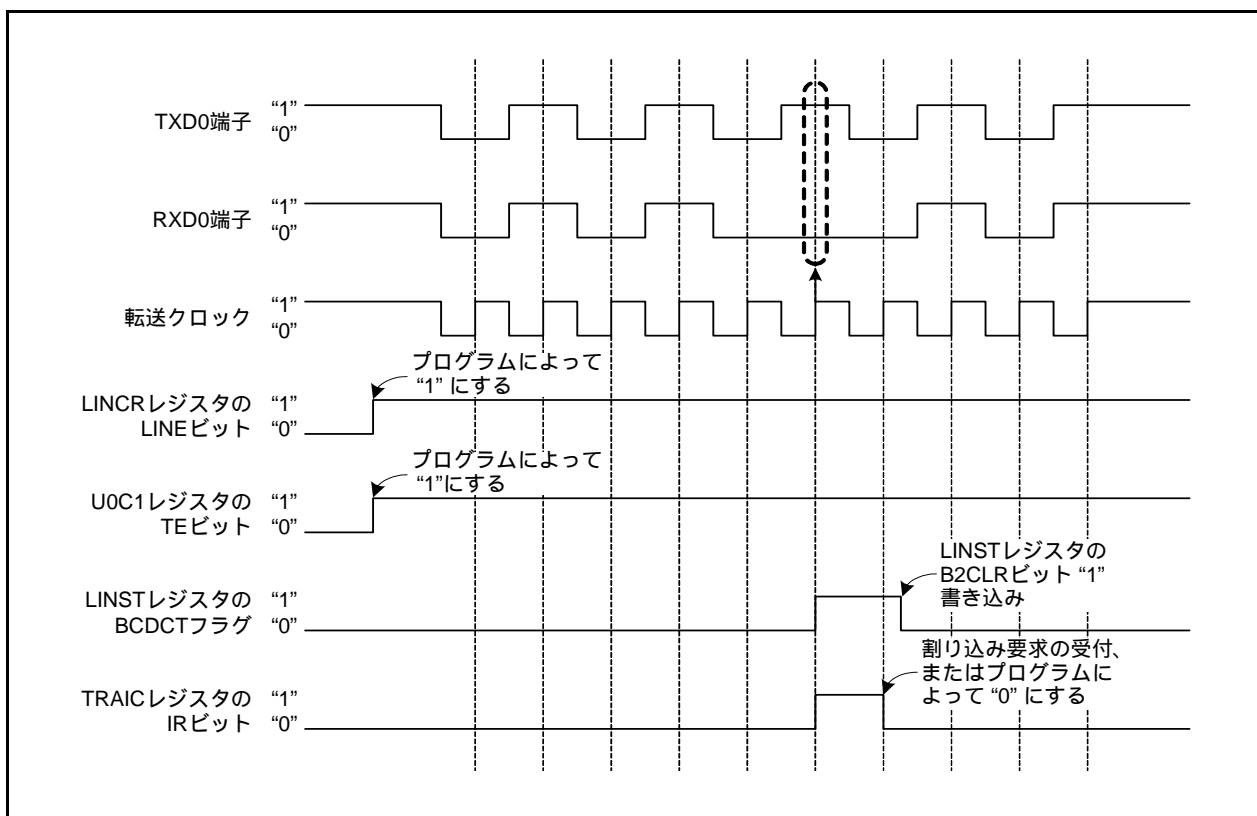


図28.9 バス衝突検出時の動作例

#### 28.4.4 ハードウェアLIN終了処理

図28.10にハードウェアLIN通信終了のフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：  
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：  
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

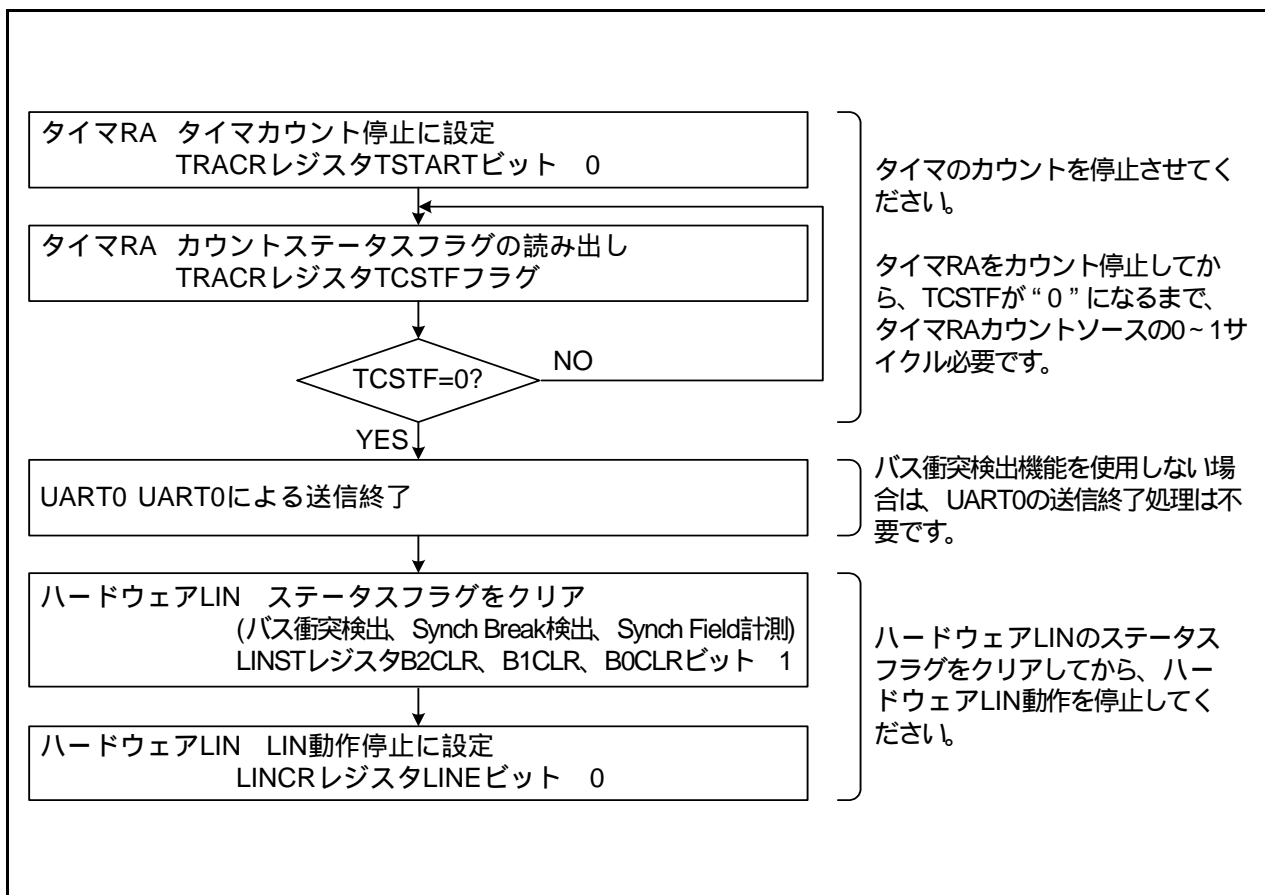


図28.10 ハードウェアLIN通信終了のフローチャート例

## 28.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表28.2にハードウェアLINの割り込み要求を示します。

表28.2 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

## 28.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

## 29. A/Dコンバータ

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 29.1 概要

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0\_0 ~ P0\_7、P1\_0 ~ P1\_3、P13\_0 ~ P13\_7と端子を共用しています。

表29.1にA/Dコンバータの性能を、図29.1にA/Dコンバータのブロック図を示します。

表29.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVCC
動作クロック AD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周(fAD=f1)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC=Vref=5V、AD=20MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 3LSB AVCC=Vref=3.3V、AD=16MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB AVCC=Vref=3.0V、AD=10MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB AVCC=Vref=2.2V、AD=5MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	20本(AN0 ~ AN19)
A/D変換開始条件	<ul style="list-style-type: none"> <li>・ソフトウェアトリガ</li> <li>・タイマRD</li> <li>・タイマRC</li> <li>・外部トリガ</li> </ul> (「29.3.3 A/D変換開始条件」参照)
1端子あたりの変換速度(注3)(AD=fADのとき)	最短43 ADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 4.0V AVCC 5.5Vのとき、ADの周波数を20MHz以下にしてください。  
 3.2V AVCC 5.5Vのとき、ADの周波数を16MHz以下にしてください。  
 2.7V AVCC < 5.5Vのとき、ADの周波数を10MHz以下にしてください。  
 2.2V AVCC < 5.5Vのとき、ADの周波数を5MHz以下にしてください。  
 ADの周波数は2MHz以上にしてください。

注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短43 ADサイクルになります。

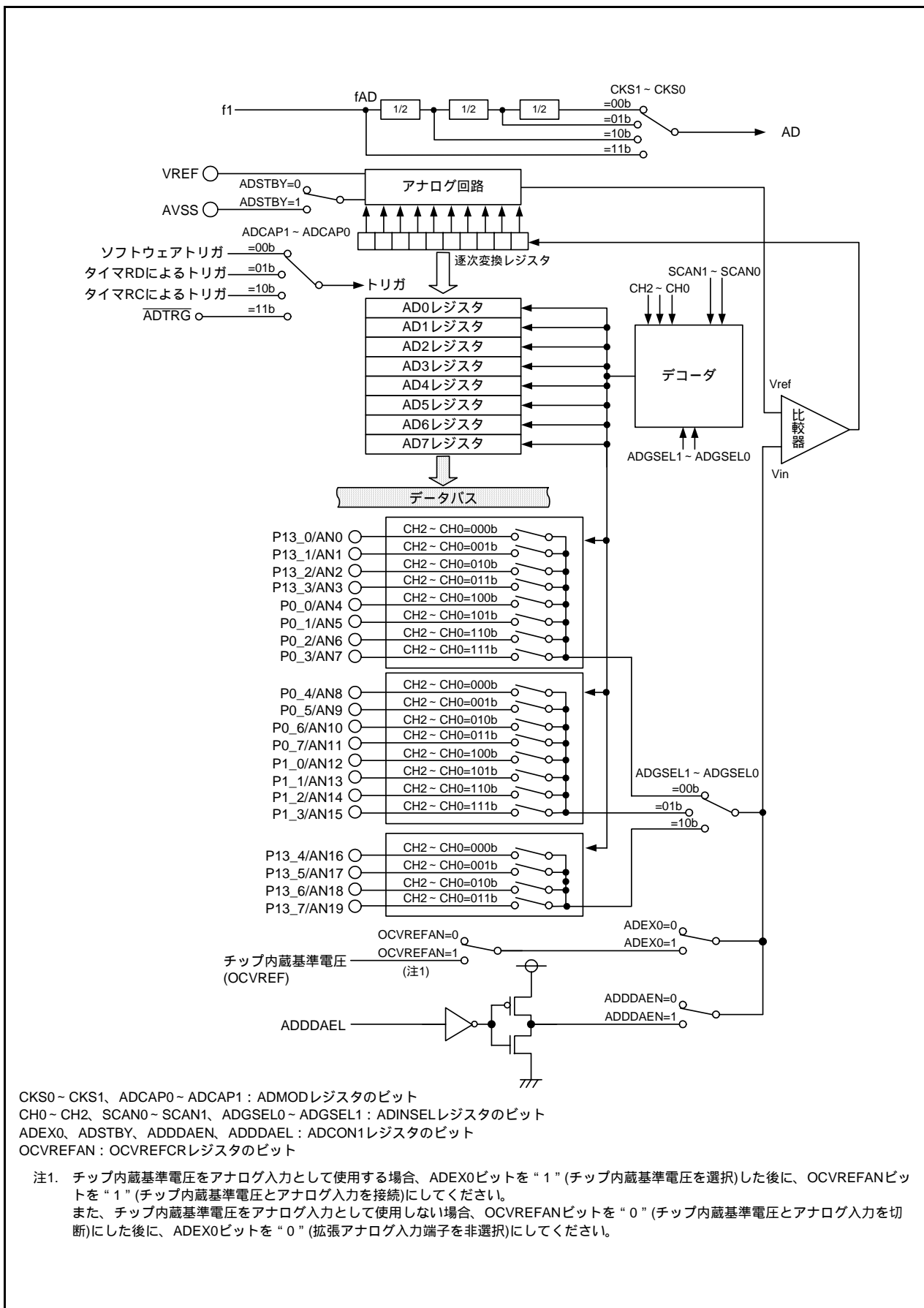


図 29.1 A/Dコンバータのブロック図

## 29.2 レジスタの説明

### 29.2.1 チップ内蔵基準電圧制御レジスタ(OCVREFCR)

アドレス 0026h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	OCVREFAN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCVREFAN	チップ内蔵基準電圧 - アナログ 入力接続ビット(注1)	0 : チップ内蔵基準電圧とアナログ入力を切断 1 : チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1 レジスタの ADEX0 ビットを "1" (チップ内蔵基準電圧を選択) にした後に、OCVREFAN ビットを "1" (チップ内蔵基準電圧とアナログ入力を接続) にしてください。  
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを "0" (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを "0" (拡張アナログ入力端子を非選択) にしてください。

OCVREFCR レジスタは、PRCR レジスタの PRC3 ビットを "1" (書き込み許可) にした後に書き換えてください。

A/D変換中にOCVREFCR レジスタの内容を書き換えた場合、変換結果は不定になります。

### 29.2.2 A/Dレジスタ $i$ (AD $i$ )( $i = 0 \sim 7$ )

アドレス 00C1h ~ 00C0h番地 (AD0)、00C3h ~ 00C2h番地 (AD1)、00C5h ~ 00C4h番地 (AD2)、  
00C7h ~ 00C6h番地 (AD3)、00C9h ~ 00C8h番地 (AD4)、00CBh ~ 00CAh番地 (AD5)、  
00CDh ~ 00CCh番地 (AD6)、00CFh ~ 00CEh番地 (AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	X	X

ビット	機能		R/W
	10ビットモードの場合 (ADCON1レジスタのBITSビット="1")	8ビットモードの場合 (ADCON1レジスタのBITSビット="0")	
b0	A/D変換結果の下位8ビット	A/D変換結果	R
b1			
b2			
b3			
b4			
b5			
b6			
b7			
b8	A/D変換結果の上位2ビット	読んだ場合、その値は"0"。	R
b9			
b10	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		-
b11			
b12			
b13			
b14			
b15	予約ビット	読んだ場合、その値は不定。	R

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、AD $i$ レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。



### 29.2.3 A/Dモードレジスタ (ADM0D)

アドレス 00D4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	-	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 00 : fADの8分周 01 : fADの4分周 10 : fADの2分周 11 : fADの1分周(分周なし)	R/W
b1	CKS1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	MD0	A/D動作モード選択ビット	b5 b4 b3 000 : 単発モード 001 : 設定しないでください 010 : 繰り返しモード0 011 : 繰り返しモード1 100 : 単掃引モード 101 : 設定しないでください 110 : 繰り返し掃引モード 111 : 設定しないでください	R/W
b4	MD1			R/W
b5	MD2			R/W
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 00 : ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始 01 : タイマRDからの変換トリガによるA/D変換開始 10 : タイマRCからの変換トリガによるA/D変換開始 11 : 外部トリガ(ADTRG)によるA/D変換開始	R/W
b7	ADCAP1			R/W

A/D変換中にADM0Dレジスタの内容を書き換えた場合、変換結果は不定になります。

### 29.2.4 A/D入力選択レジスタ(ADINSEL)

アドレス 00D5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	-	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット	「表29.2 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	SCAN0	A/D掃引端子数選択ビット	b5 b4 00 : 2端子 01 : 4端子 10 : 6端子 11 : 8端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 00 : ポートP13_0 ~ P13_3、ポートP0_0 ~ P0_3グループを選択 01 : ポートP0_4 ~ P0_7、ポートP1_0 ~ P1_3グループを選択 10 : ポートP13_4 ~ P13_7グループを選択 11 : ポートグループを非選択	R/W
b7	ADGSEL1			R/W

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表29.2 アナログ入力端子選択

CH2 ~ CH0ビット	ADGSEL1 ~ ADGSEL0ビット=00b	ADGSEL1 ~ ADGSEL0ビット=01b	ADGSEL1 ~ ADGSEL0ビット=10b
000b	AN0	AN8	AN16
001b	AN1	AN9	AN17
010b	AN2	AN10	AN18
011b	AN3	AN11	AN19
100b	AN4	AN12	設定しないでください
101b	AN5	AN13	
110b	AN6	AN14	
111b	AN7	AN15	

### 29.2.5 A/D制御レジスタ0 (ADCON0)

アドレス 00D6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

#### ADSTビット(A/D変換開始フラグ)

【“1”になる条件】A/D変換開始時およびA/D変換中

【“0”になる条件】A/D変換停止時

### 29.2.6 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	-	-	-	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット (注1)	0 : 拡張アナログ入力端子を非選択 1 : 拡張アナログ入力端子を選択(注2)	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-			
b3	-			
b4	BITS	8/10ビットモード選択ビット0	0 : 8ビットモード 1 : 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット(注3)	0 : A/D動作停止(スタンバイ) 1 : A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可 ビット(注4)	0 : 禁止 1 : 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択 ビット(注4)	0 : 変換前ディスチャージ 1 : 変換前プリチャージ	R/W

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのOCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。

注3. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、ADの1サイクル以上経過した後にA/D変換を開始してください。

注4. A/D断線検出アシスト機能を許可にするためには、ADDDAENビットを“1”(許可)にした後、ADDDAELビットで変換開始状態を選択してください。

断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。

### 29.3 複数モードに関わる共通事項

#### 29.3.1 入出力端子

アナログ入力はAN0 ~ AN19で、P0\_0 ~ P0\_7、P1\_0 ~ P1\_3、P13\_0 ~ P13\_7と端子を共用しています。

AN<sub>i</sub> (i=0 ~ 19)端子を入力で使用する場合、端子に対応するポート方向ビットを“0”(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

#### 29.3.2 A/D変換サイクル数

図29.2にA/D変換タイミング図を、図29.3にA/D変換サイクル数(  $AD = f_{AD}$  のとき)を示します。

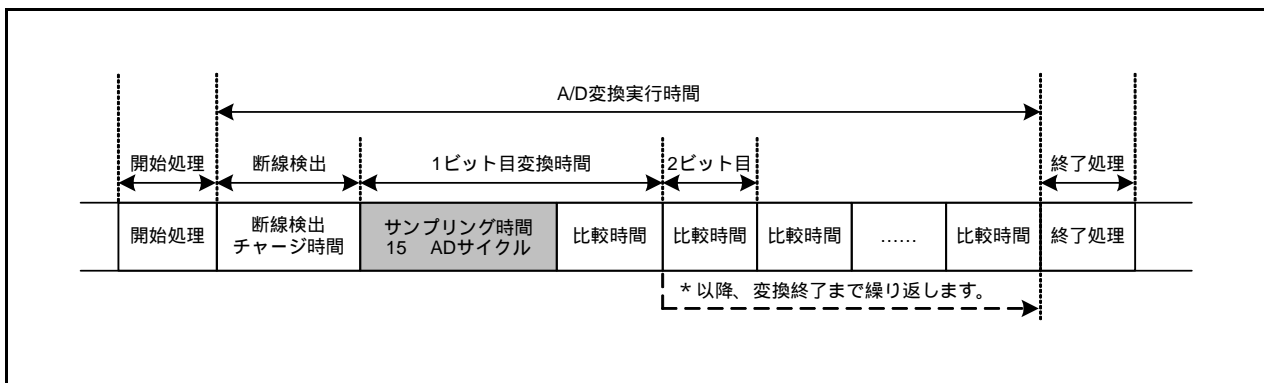


図29.2 A/D変換タイミング図

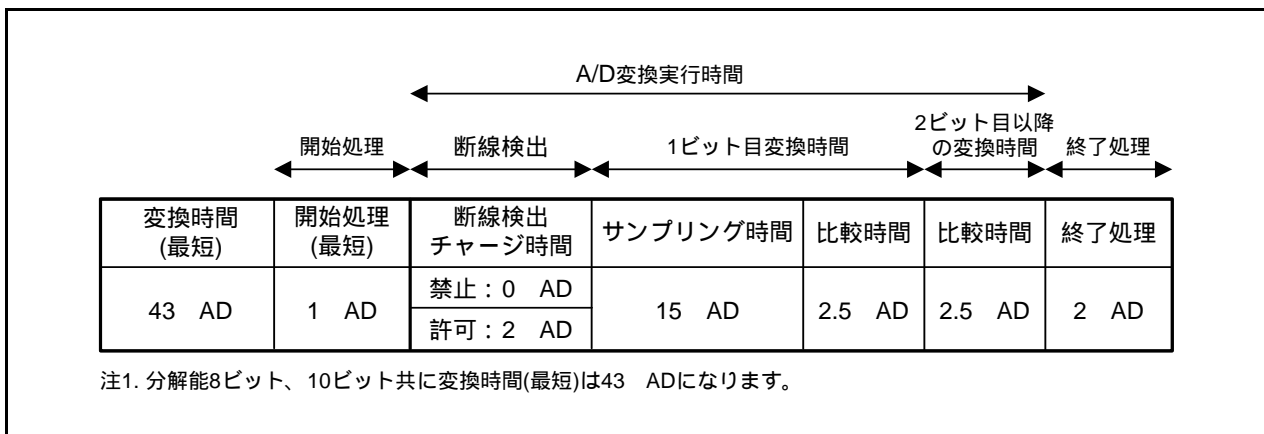


図29.3 A/D変換サイクル数(  $AD = f_{AD}$  のとき)

表29.3に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は ADの選択によって変わります。

ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合  
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合  
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表29.3 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	AD=fAD	fADの1～2サイクル
	AD=fADの2分周	fADの2～3サイクル
	AD=fADの4分周	fADの3～4サイクル
	AD=fADの8分周	fADの5～6サイクル
A/D変換実行時間	断線検出禁止	ADの40サイクル
	断線検出許可	ADの42サイクル
実行間処理時間		ADの1サイクル
終了処理時間		fADの2～3サイクル

### 29.3.3 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRD、タイマRCからのトリガと、外部トリガがあります。

図29.4にA/D変換開始制御部のブロック図を示します。

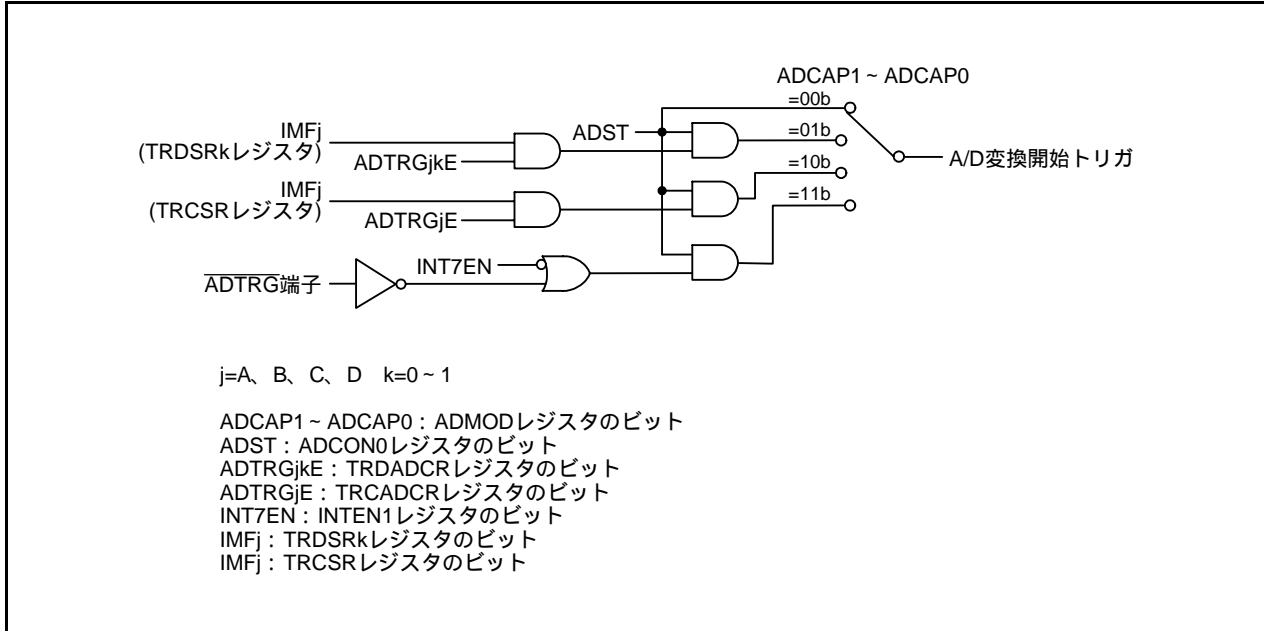


図29.4 A/D変換開始制御部のブロック図

#### 29.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合です。ADCON0レジスタのADSTビットを“1”(A/D変換開始)にするとA/D変換を開始します。

#### 29.3.3.2 タイマRDからのトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“01b”(タイマRD)の場合です。この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“01b”(タイマRD)
- タイマRDをアウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)で使用
- TRDADCRレジスタのADTRGjkeビット( $j = A, B, C, D, k=0 \sim 1$ )が“1”(TRDGRjkレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、TRDSRkレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。タイマRD、アウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)の詳細は「20. タイマRD」, 「20.4 アウトプットコンペア機能」, 「20.5 PWMモード」, 「20.6 リセット同期PWMモード」, 「20.7 相補PWMモード」, 「20.8 PWM3モード」を参照してください。

### 29.3.3.3 タイマRCからのトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“10b”(タイマRC)の場合です。  
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“10b”(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j = A、B、C、D)が“1”(TRCGRjレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、TRCSRレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。  
タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「19. タイマRC」、「19.5 タイマモード(アウトプットコンペア機能)」、「19.6 PWMモード」、「19.7 PWM2モード」を参照してください。

### 29.3.3.4 外部トリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“11b”(外部トリガ( $\overline{\text{ADTRG}}$ ))の場合です。  
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“11b”(外部トリガ( $\overline{\text{ADTRG}}$ ))
- INTEN1レジスタのINT7ENビットが“1”(INT7入力許可)
- ポート方向レジスタの入力設定  
INTSRレジスタのINT7SEL0ビットが“0”の場合、PD3レジスタのPD3\_7ビットが“0”(入力モード)  
INTSRレジスタのINT7SEL0ビットが“1”の場合、PD11レジスタのPD11\_7ビットが“0”(入力モード)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、 $\overline{\text{ADTRG}}$ 端子の入力を“H”から“L”にするとA/D変換を開始します。

### 29.3.4 A/D変換結果

A/D変換した結果はAD<sub>i</sub>レジスタ( $i = 0 \sim 7$ )に格納されます。使用するA/D動作モードによって、格納されるAD<sub>i</sub>レジスタは違います。AD<sub>i</sub>レジスタはリセット後不定です。値は書き込みません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが“1”になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとAD<sub>i</sub>レジスタに値を上書きしますので、それまでにAD<sub>i</sub>レジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないAD<sub>i</sub>レジスタも、不定になる場合があります。

プログラムでADSTビットを“0”にした場合は、すべてのAD<sub>i</sub>レジスタの値を使用しないでください。

### 29.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

### 29.3.6 拡張アナログ入力端子

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのOCVREFANビットで選択してください。

単発モード、繰り返しモード0でのチップ内蔵基準電圧のA/D変換結果は、AD0レジスタに格納されます。

### 29.3.7 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図29.5にAVCC側でのA/D断線検出例(変換前プリチャージを選択)を示し、図29.6にはAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。



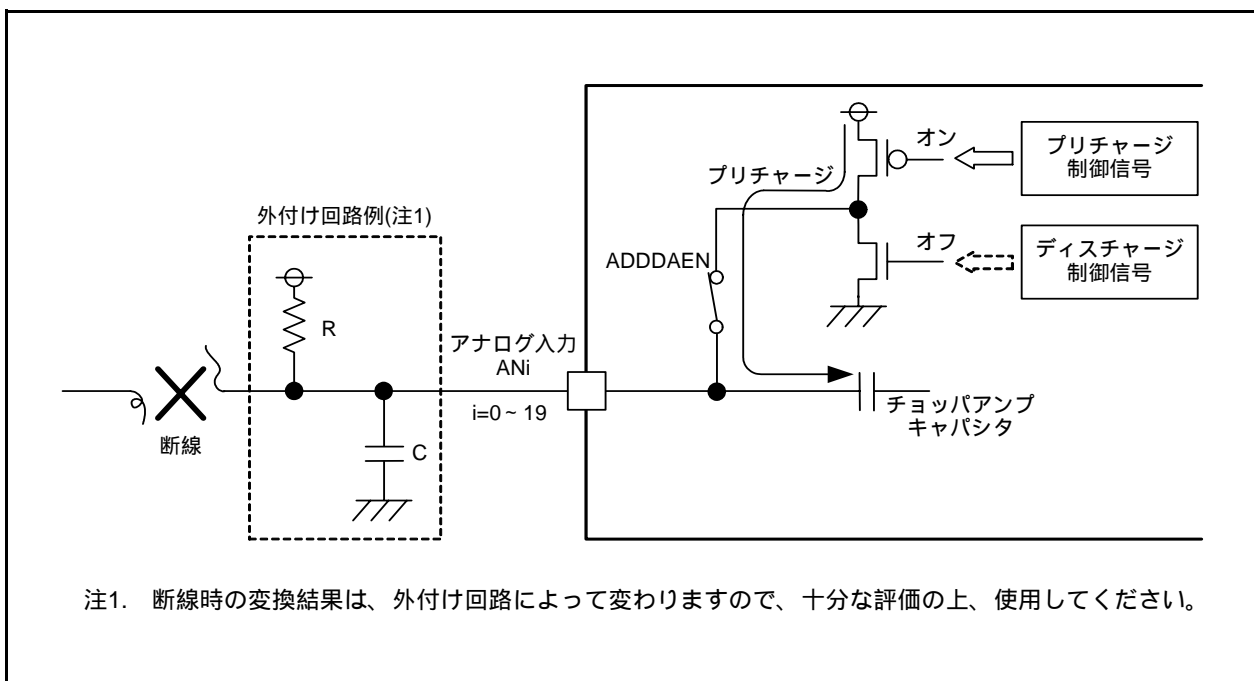


図29.5 AVCC側でのA/D断線検出例(変換前プリチャージを選択)

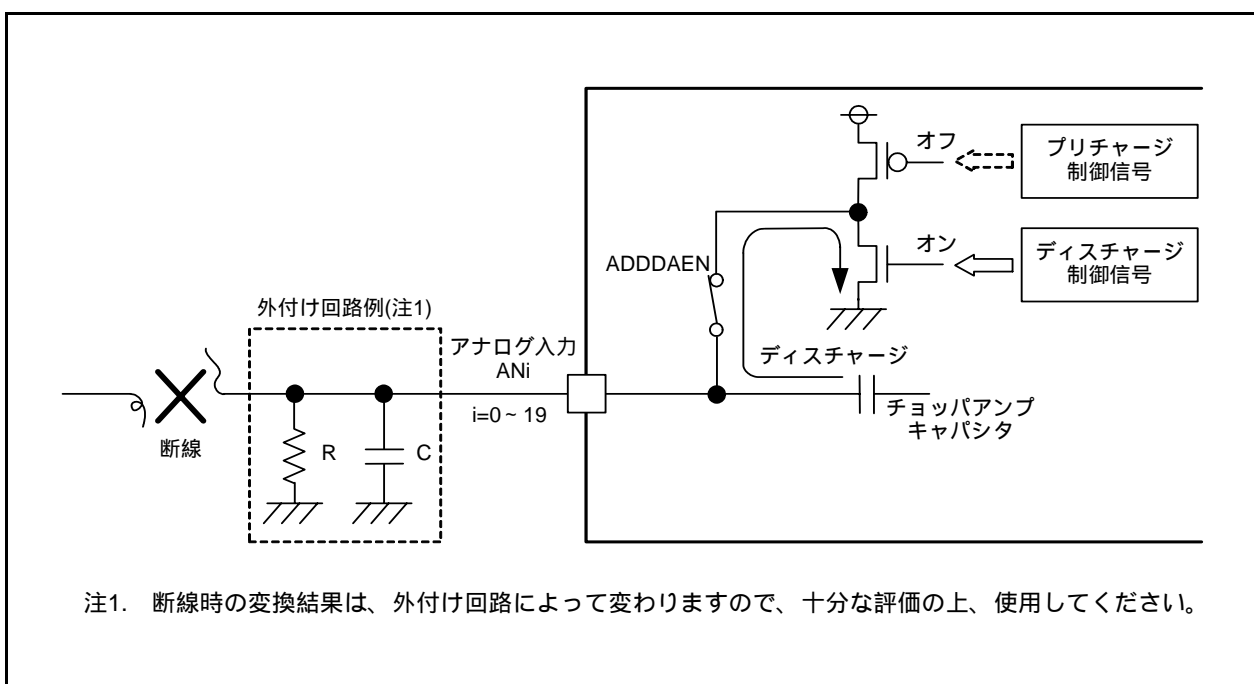


図29.6 AVSS側でのA/D断線検出例(変換前ディスチャージを選択)

## 29.4 単発モード

AN0 ~ AN19、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。  
表29.4に単発モードの仕様を示します。

表29.4 単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマRD</li> <li>タイマRC</li> <li>外部トリガ</li> </ul> (「29.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> <li>A/D変換終了(ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが“0”になる)</li> <li>ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0 ~ AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN16、OCVREF AD1レジスタ : AN1、AN9、AN17 AD2レジスタ : AN2、AN10、AN18 AD3レジスタ : AN3、AN11、AN19 AD4レジスタ : AN4、AN12 AD5レジスタ : AN5、AN13 AD6レジスタ : AN6、AN14 AD7レジスタ : AN7、AN15
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

## 29.5 繰り返しモード0

AN0 ~ AN19、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表29.5に繰り返しモード0の仕様を示します。

表29.5 繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	•ソフトウェアトリガ •タイマRD •タイマRC •外部トリガ (「29.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0 ~ AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN16、OCVREF AD1レジスタ : AN1、AN9、AN17 AD2レジスタ : AN2、AN10、AN18 AD3レジスタ : AN3、AN11、AN19 AD4レジスタ : AN4、AN12 AD5レジスタ : AN5、AN13 AD6レジスタ : AN6、AN14 AD7レジスタ : AN7、AN15
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

## 29.6 繰り返しモード1

AN0 ~ AN19、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表29.6に繰り返しモード1の仕様を、図29.7に繰り返しモード1時の動作例を示します。

表29.6 繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	<ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRD</li> <li>• タイマRC</li> <li>• 外部トリガ</li> </ul> (「29.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN0 ~ AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、… AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、… AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、… AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、… AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、… AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、… AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、… AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、…
A/D変換値の読み出し	AD0レジスタ ~ AD7レジスタの読み出し

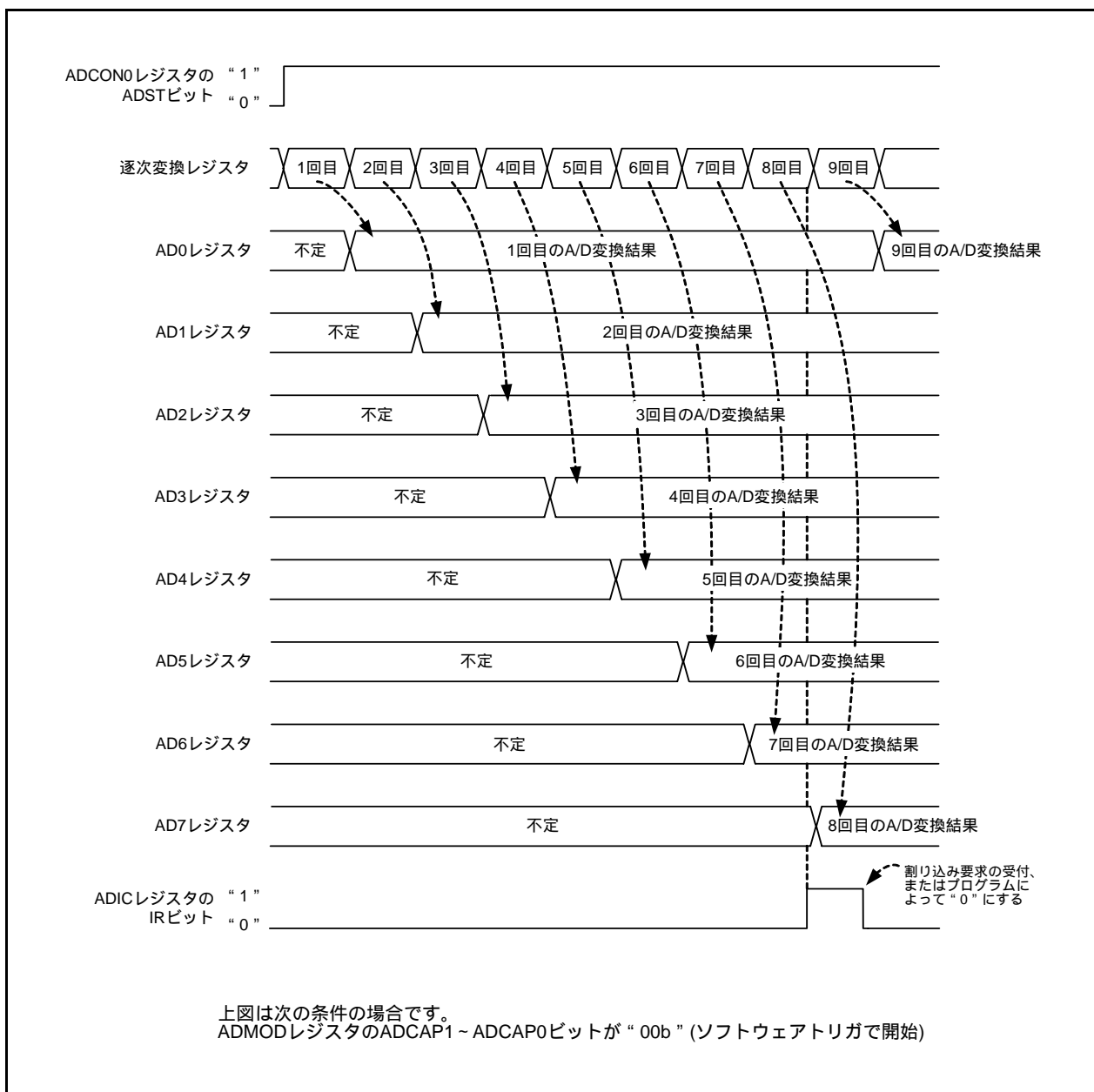


図29.7 繰り返しモード1時の動作例

## 29.7 単掃引モード

AN0 ~ AN19から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表29.7に単掃引モードの仕様を、図29.8に単掃引モード時の動作例を示します。

表29.7 単掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回ずつA/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマRD</li> <li>タイマRC</li> <li>外部トリガ</li> </ul> (「29.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> <li>2端子を選択している場合、選択した2端子のA/D変換終了(ADCON0レジスタのADSTビットが“0”になる)</li> <li>4端子を選択している場合、選択した4端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>6端子を選択している場合、選択した6端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>8端子を選択している場合、選択した8端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>2端子を選択している場合、選択した2端子のA/D変換終了時</li> <li>4端子を選択している場合、選択した4端子のA/D変換終了時</li> <li>6端子を選択している場合、選択した6端子のA/D変換終了時</li> <li>8端子を選択している場合、選択した8端子のA/D変換終了時</li> </ul>
アナログ入力端子	AN0 ~ AN1 (2端子)、AN8 ~ AN9 (2端子)、AN16 ~ AN17 (2端子)、 AN0 ~ AN3 (4端子)、AN8 ~ AN11 (4端子)、AN16 ~ AN19 (4端子)、 AN0 ~ AN5 (6端子)、AN8 ~ AN13 (6端子)、 AN0 ~ AN7 (8端子)、AN8 ~ AN15 (8端子) (SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8、AN16、OCVREF AD1レジスタ：AN1、AN9、AN17 AD2レジスタ：AN2、AN10、AN18 AD3レジスタ：AN3、AN11、AN19 AD4レジスタ：AN4、AN12 AD5レジスタ：AN5、AN13 AD6レジスタ：AN6、AN14 AD7レジスタ：AN7、AN15
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

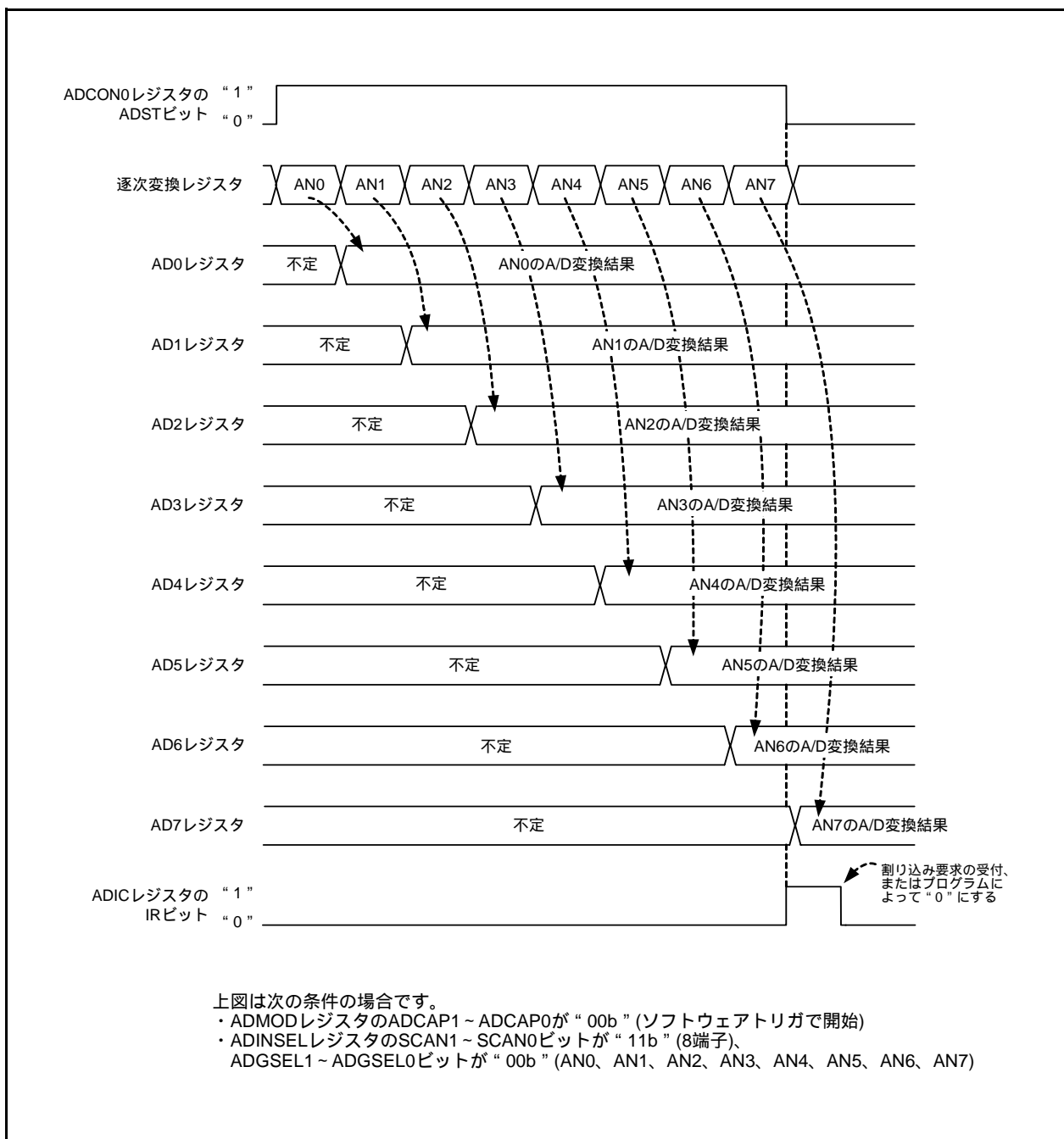


図29.8 単掃引モード時の動作例

## 29.8 繰り返し掃引モード

AN0 ~ AN19から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表29.8に繰り返し掃引モードの仕様を、図29.9に繰り返し掃引モード時の動作例を示します。

表29.8 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット選択可能
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ソフトウェアトリガ</li> <li>•タイマRD</li> <li>•タイマRC</li> <li>•外部トリガ</li> </ul> (「29.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>•2端子を選択している場合、選択した2端子のA/D変換終了時</li> <li>•4端子を選択している場合、選択した4端子のA/D変換終了時</li> <li>•6端子を選択している場合、選択した6端子のA/D変換終了時</li> <li>•8端子を選択している場合、選択した8端子のA/D変換終了時</li> </ul>
アナログ入力端子	AN0 ~ AN1 (2端子)、AN8 ~ AN9 (2端子)、AN16 ~ AN17 (2端子) AN0 ~ AN3 (4端子)、AN8 ~ AN11 (4端子)、AN16 ~ AN19 (4端子) AN0 ~ AN5 (6端子)、AN8 ~ AN13 (6端子) AN0 ~ AN7 (8端子)、AN8 ~ AN15 (8端子) (SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN16、OCVREF AD1レジスタ : AN1、AN9、AN17 AD2レジスタ : AN2、AN10、AN18 AD3レジスタ : AN3、AN11、AN19 AD4レジスタ : AN4、AN12 AD5レジスタ : AN5、AN13 AD6レジスタ : AN6、AN14 AD7レジスタ : AN7、AN15
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し



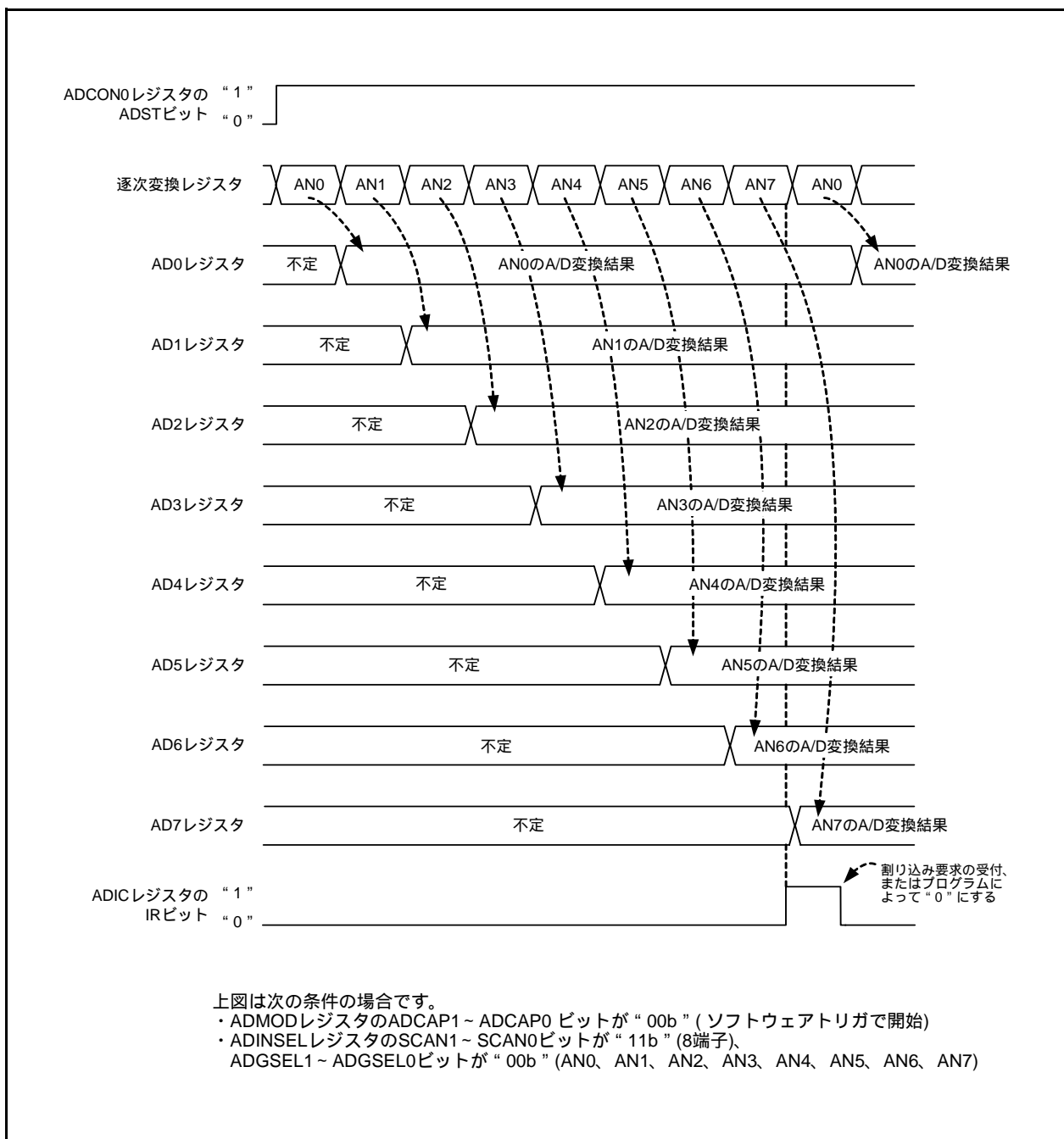


図29.9 繰り返し掃引モード時の動作例

### 29.9 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図29.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left( 1 - \frac{X}{Y} \right) より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図29.10にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

AD=20MHzのとき、T=0.75μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.75μs、R=10k、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大3.5k になります。

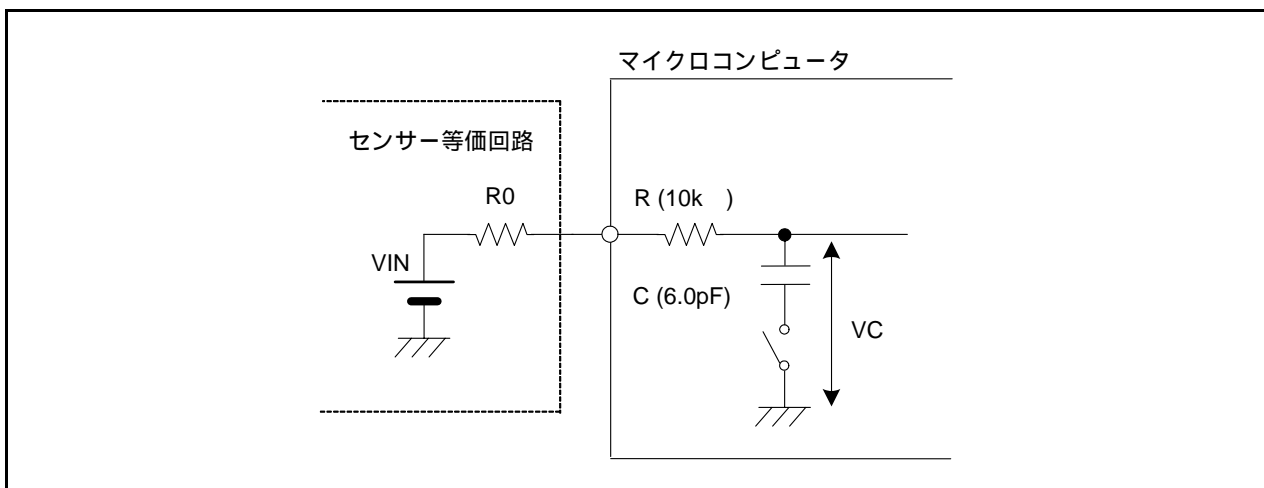


図29.10 アナログ入力端子と外部センサーの等価回路例

## 29.10 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
- VREF端子とAVSS端子間に0.1  $\mu$ Fのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。  
プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

## 30. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータです。

### 30.1 概要

D/A変換は、DA<sub>i</sub>レジスタ(i=0~1)に値を書くと行われます。変換結果を出力するときDACONレジスタのDA<sub>i</sub>Eビットを“1”(出力許可)にしてください。D/A変換を使用する場合、PD13レジスタの対応するPD13\_0、PD13\_1ビットは“0”(入力モード)にしてください。

出力されるアナログ電圧Vは、DA<sub>i</sub>レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{ref} \times n / 256 (n=0 \sim 255)$$

V<sub>ref</sub>: 基準電圧

表30.1にD/Aコンバータの仕様、図30.1にD/Aコンバータブロック図、図30.2にD/Aコンバータの等価回路を示します。

表30.1 D/Aコンバータの仕様

項目	性能
D/A変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2本(DA0、DA1)

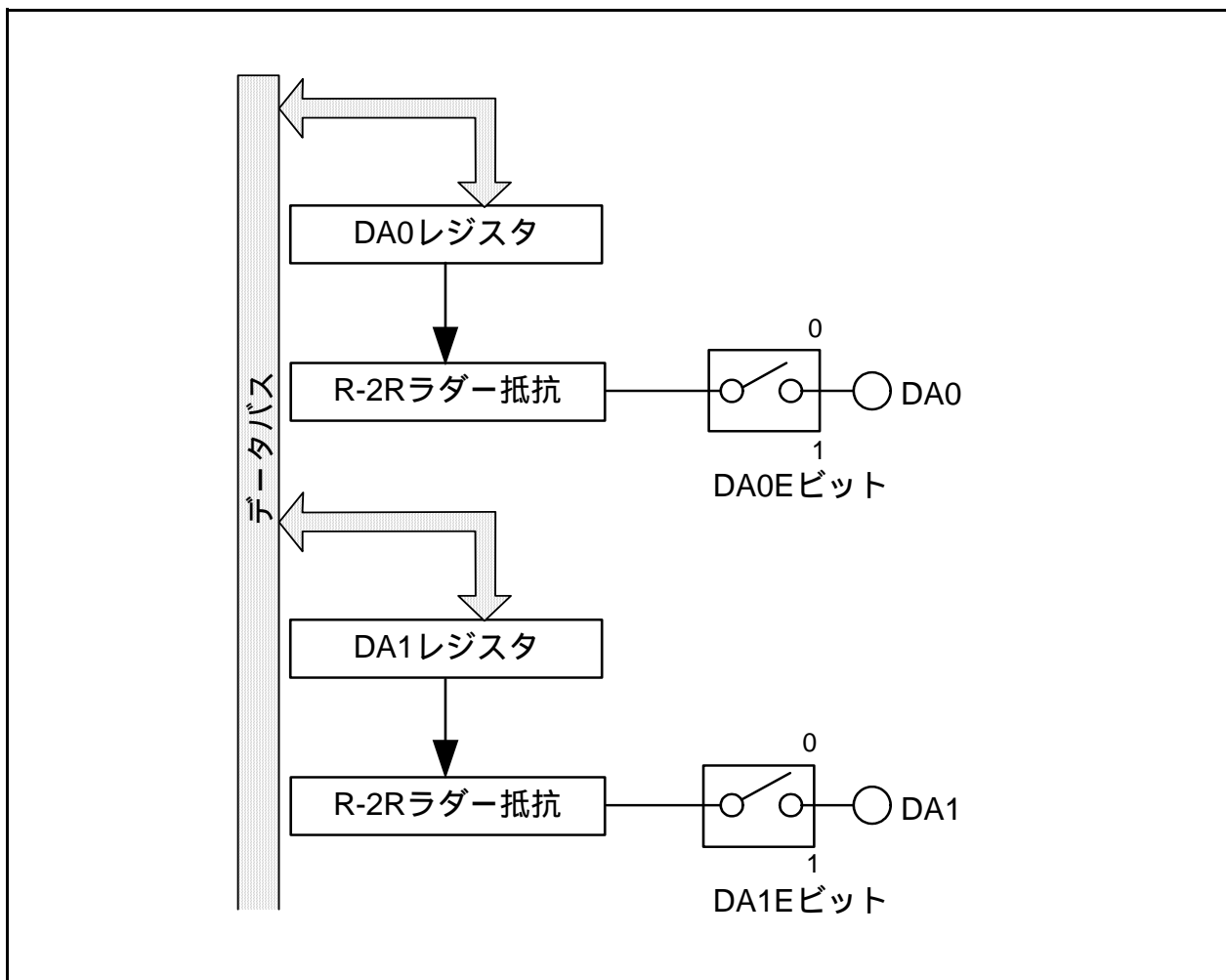


図30.1 D/Aコンバータブロック図

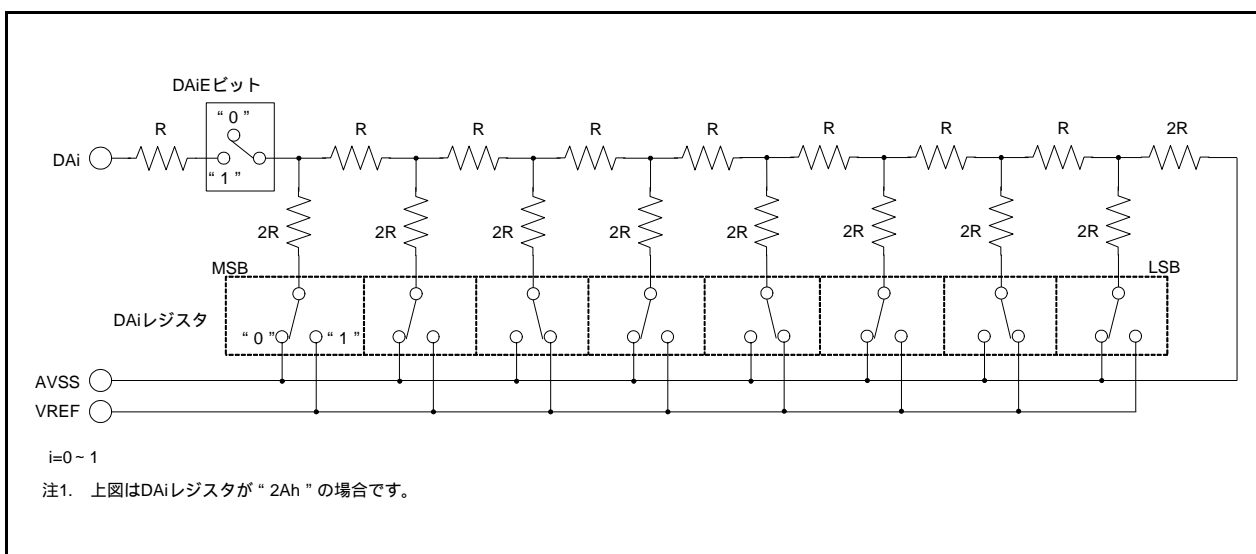


図30.2 D/Aコンバータの等価回路

## 30.2 レジスタの説明

### 30.2.1 D/Aiレジスタ (DAi)(i=0 ~ 1)

アドレス 00D8h番地 (DA0)、00D9h番地 (DA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定可能値	R/W
b7 ~ b0	D/A変換の出力値	00h ~ FFh	R/W

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット (i=0 ~ 1) を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

### 30.2.2 D/A制御レジスタ (DACON)

アドレス 00DCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	DA1E	DA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DA0E	D/A0出力許可ビット	0: 出力禁止 1: 出力許可	R/W
b1	DA1E	D/A1出力許可ビット	0: 出力禁止 1: 出力許可	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット (i=0 ~ 1) を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

## 31. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

### 31.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREFi(i=1, 3)端子への入力を使用できます。

表31.1にコンパレータBの仕様、図31.1にコンパレータBのブロック図、表31.2に入出力端子を示します。

表31.1 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMPi端子への入力電圧
リファレンス入力電圧	IVREFi端子への入力電圧
比較結果	INTCMPレジスタのINTiCOUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化するとき
選択機能	デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択できる

i=1, 3

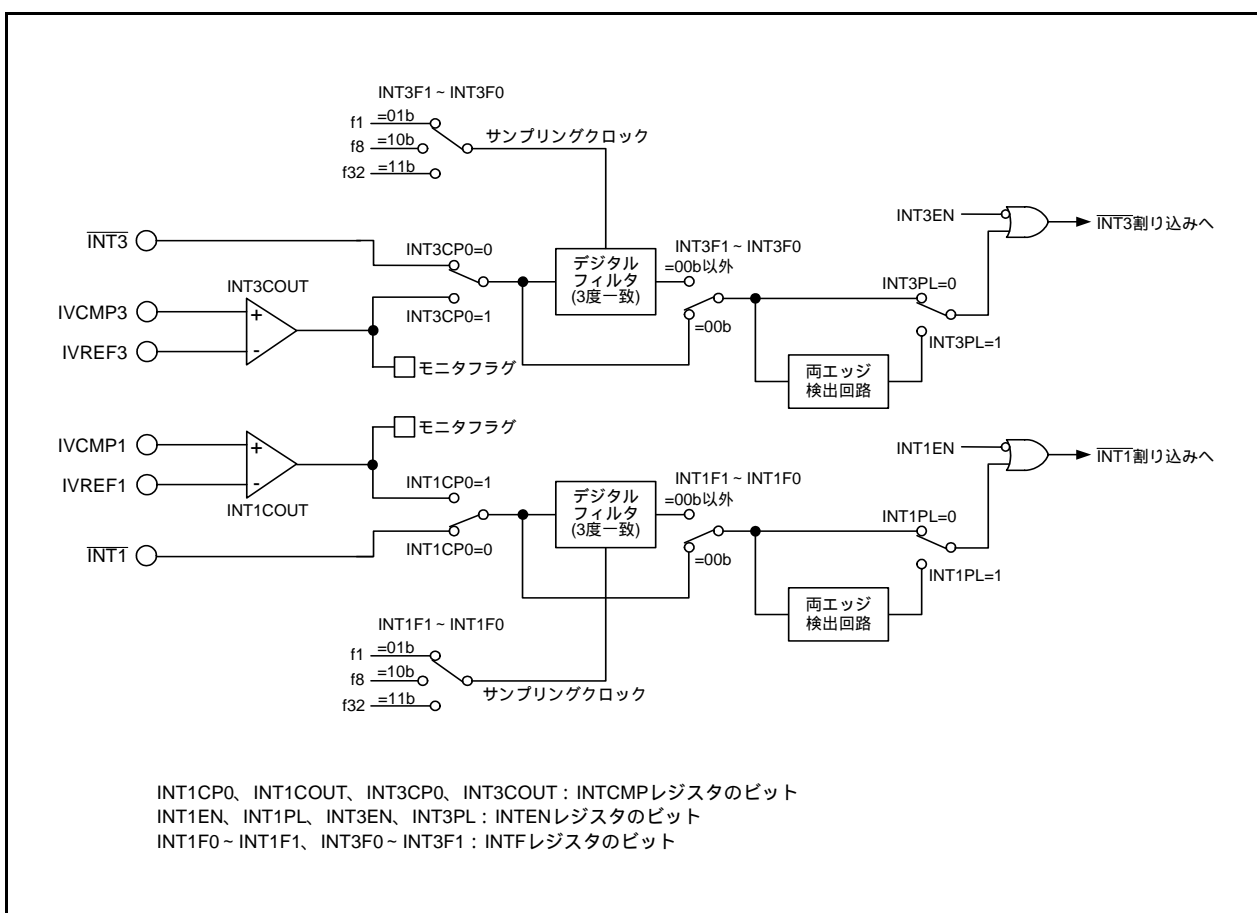


図31.1 コンパレータBのブロック図

表31.2 入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用リファレンス電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用リファレンス電圧端子



## 31.2 レジスタの説明

### 31.2.1 コンパレータB制御レジスタ0(INTCMP)

アドレス 01F8h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	-	-	INT3CP0	INT1COUT	-	-	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0: コンパレータB1動作禁止 1: コンパレータB1動作許可	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	INT1COUT	コンパレータB1モニタフラグ	0: IVCMP1 < IVREF1またはコンパレータB1動作禁止 1: IVCMP1 > IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0: コンパレータB3動作禁止 1: コンパレータB3動作許可	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-			
b7	INT3COUT	コンパレータB3モニタフラグ	0: IVCMP3 < IVREF3またはコンパレータB3動作禁止 1: IVCMP3 > IVREF3	R

### 31.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	INT0入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	INT0入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	INT1入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	INT1入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	INT2入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	INT2入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	INT3入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	INT3入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPL ビット (i=0 ~ 3) を “1” (両エッジ) にする場合、INTiIC レジスタのPOL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INTiPL ビットを変更すると、INTiIC レジスタのIR ビットが “1” (割り込み要求あり) になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

### 31.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

### 31.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。表31.3にコンパレータB関連レジスタの設定手順を示します。

表31.3 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi	端子の機能選択。	「6.6 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTICP0	1 (動作許可)
4	コンパレータ安定時間 (最大100 $\mu$ s) 待ち		
5	INTEN	INTIEN	割り込みを使用する場合: 1 (割り込み許可)
		INTIPL	割り込みを使用する場合: 入力極性選択
6	INTiIC	ILVL2 ~ ILVL0	割り込みを使用する場合: 割り込み優先レベル選択
		IR	割り込みを使用する場合: 0 (割り込み要求なし: 初期化)

i=1, 3

図31.2にコンパレータBi(i = 1, 3)の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが“0”になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTIENビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「31.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

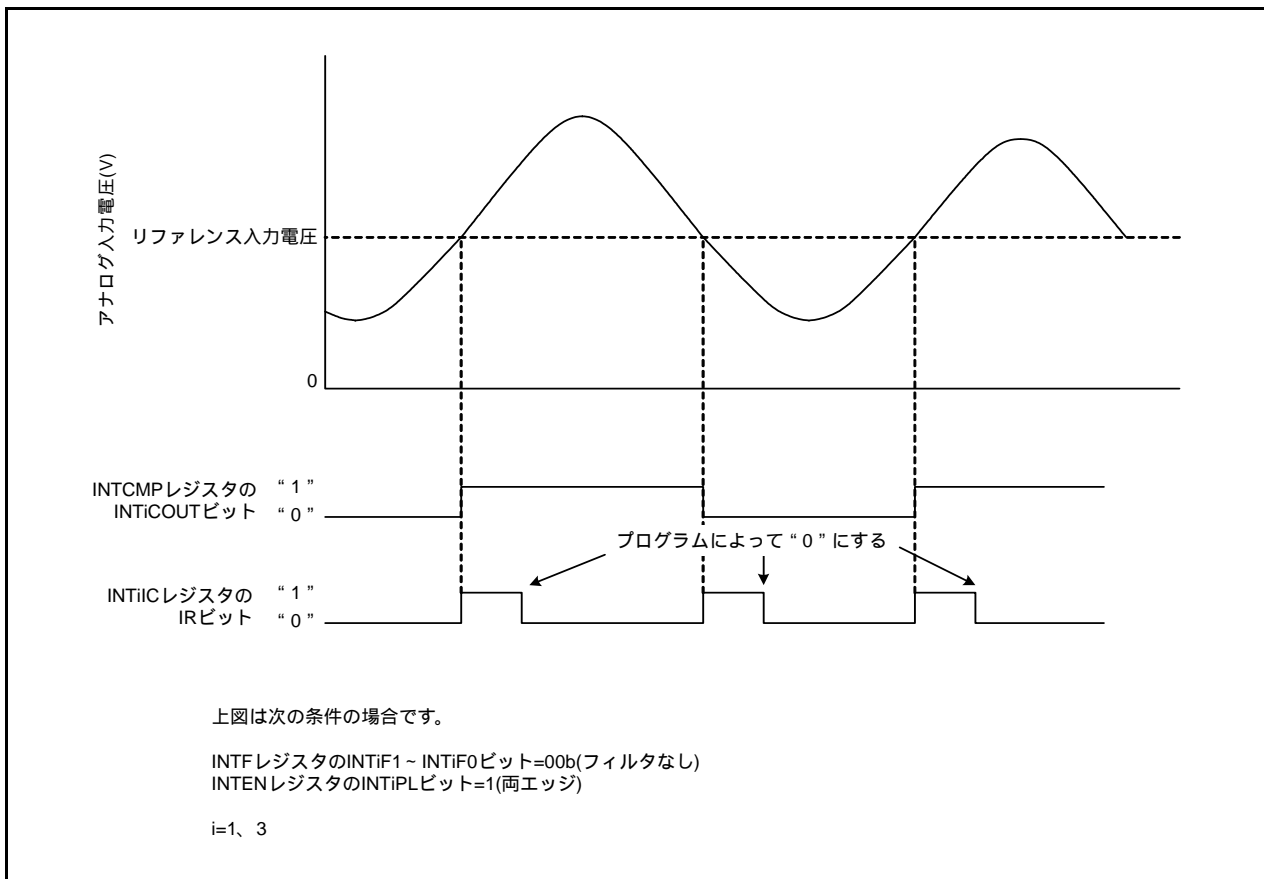


図31.2 コンパレータBi(i = 1, 3)の動作例



### 31.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi(i=1、3)割り込みはINT<sub>i</sub>(i=1、3)入力による割り込みと同一のINT<sub>i</sub>ICレジスタ(IRビット、ILVL0 ~ ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINT<sub>i</sub>ENビットを“1”(割り込み許可)にしてください。さらに極性をINTENレジスタのINT<sub>i</sub>PLビットとINT<sub>i</sub>ICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

## 32. LCD駆動制御回路

### 注意

本章ではR8C/L3AA、R8C/L3ABグループについて説明します。  
他のグループについては「1.1.2 グループごとの相違点」を参照してください。

### 32.1 概要

LCD(液晶表示素子)の駆動制御回路が内蔵されています。

セグメント出力は最大56本、コモン出力は最大8本使用でき、最大416画素までLCD表示を行うことができます。

セグメント出力端子、コモン出力端子、および昇圧用容量接続端子CL1～CL2はI/Oポートの機能を兼用しています。LCD表示機能を使用しないときはI/Oポートとして使用できます。VL1～VL4端子はLCD駆動制御回路の電源端子です。

これらのLCD表示機能端子はグループごとに本数が異なります。表32.1にグループごとに備えるLCD表示機能端子を示します。

本章ではLCD表示機能端子数が最多のR8C/L3AA、R8C/L3ABグループについて説明します。他のグループについては、表32.1に示した端子であることに注意してください。

表32.1 グループごとに備えるLCD表示機能端子

兼用I/Oポート	L35A、L35Bグループ コモン出力：最大4本 セグメント出力：最大22本								L36A、L36Bグループ コモン出力：最大8本 セグメント出力：最大30本								L38A、L38Bグループ コモン出力：最大8本 セグメント出力：最大47本								L3AA、L3ABグループ コモン出力：最大8本 セグメント出力：最大56本							
P0	-	-	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	-	-	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0	SEG 7	SEG 6	SEG 5	SEG 4	SEG 3	SEG 2	SEG 1	SEG 0
P1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SEG 11	SEG 10	SEG 9	SEG 8	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	SEG 9	SEG 8
P2	SEG 23	SEG 22	SEG 21	SEG 20	-	-	-	-	SEG 23	SEG 22	SEG 21	SEG 20	-	-	-	-	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	-	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16
P3	-	-	-	-	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24
P4	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32
P5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SEG 43	SEG 42	SEG 41	SEG 40
P6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SEG 51	SEG 50	SEG 49	SEG 48	SEG 47	SEG 46	SEG 45	SEG 44	SEG 51	SEG 50	SEG 49	SEG 48	SEG 47	SEG 46	SEG 45	SEG 44
P7	COM 0	COM 1	COM 2	COM 3	-	-	-	-	COM 0	COM 1	COM 2	COM 3	SEG 55	SEG 54	SEG 53	SEG 52	COM 0	COM 1	COM 2	COM 3	SEG 55	SEG 54	SEG 53	SEG 52	COM 0	COM 1	COM 2	COM 3	SEG 55	SEG 54	SEG 53	SEG 52
P12	-	-	-	-	CL2	CL1	-	-	-	-	-	-	CL2	CL1	-	-	-	-	-	-	CL2	CL1	-	-	-	-	-	-	CL2	CL1	-	-
-	VL1				VL1				VL1				VL1																			
-	VL2				VL2				VL2				VL2																			
-	-				VL3				VL3				VL3																			
-	VL4				VL4				VL4				VL4																			

- 注1. “ - ”はLCD表示機能はありません。これらの端子は、LSE1～LSE7レジスタでポート機能を選択してください。
- 注2. SEG52～SEG55はCOM7～COM4として使用可。  
R8C/L35A、R8C/L35BグループにはSEG52～SEG55端子はありません。このため、1/8デューティは選択できません。
- 注3. R8C/L35A、R8C/L35BグループにはVL3端子はありません。このため、1/4バイアスは選択できません。また、内部昇圧回路を使用する場合は、1/2バイアスも選択できません。

表32.2にLCD駆動制御回路の仕様概要(1)を、表32.3にLCD駆動制御回路の仕様概要(2)を、図32.1にLCD駆動制御回路のブロック図を示します。

表32.2 LCD駆動制御回路の仕様概要(1)

項目	仕様																		
セグメント出力	最大56本(SEG0 ~ SEG55) ・SEG0 ~ SEG51端子は、I/Oポートとして使用するか、セグメント出力端子として使用するかを1本ごとに制御可 ・SEG52 ~ SEG55端子は、I/Oポートとして使用するか、コモン出力端子またはセグメント出力端子として使用するかを1本ごとに制御可																		
コモン出力	最大8本(COM0 ~ COM7) ・使用するコモン出力端子は選択可。 ・COM0 ~ COM3端子は、コモン出力端子として使用しない場合はI/Oポートとして使用可 ・COM4 ~ COM7端子は、コモン出力端子として使用しない場合は、I/Oポートとして使用するか、セグメント出力端子として使用するかを1端子ごとに制御可																		
最大表示素子数	<table border="1"> <thead> <tr> <th>デューティ</th> <th>コモン端子</th> <th>最大表示素子数</th> </tr> </thead> <tbody> <tr> <td>スタティック</td> <td>COM0</td> <td>56ドットまたは8セグメントLCD7桁</td> </tr> <tr> <td>1/2</td> <td>COM0 ~ COM1</td> <td>112ドットまたは8セグメントLCD14桁</td> </tr> <tr> <td>1/3</td> <td>COM0 ~ COM2</td> <td>168ドットまたは8セグメントLCD21桁</td> </tr> <tr> <td>1/4</td> <td>COM0 ~ COM3</td> <td>224ドットまたは8セグメントLCD28桁</td> </tr> <tr> <td>1/8</td> <td>COM0 ~ COM7</td> <td>416ドットまたは8セグメントLCD52桁</td> </tr> </tbody> </table>	デューティ	コモン端子	最大表示素子数	スタティック	COM0	56ドットまたは8セグメントLCD7桁	1/2	COM0 ~ COM1	112ドットまたは8セグメントLCD14桁	1/3	COM0 ~ COM2	168ドットまたは8セグメントLCD21桁	1/4	COM0 ~ COM3	224ドットまたは8セグメントLCD28桁	1/8	COM0 ~ COM7	416ドットまたは8セグメントLCD52桁
デューティ	コモン端子	最大表示素子数																	
スタティック	COM0	56ドットまたは8セグメントLCD7桁																	
1/2	COM0 ~ COM1	112ドットまたは8セグメントLCD14桁																	
1/3	COM0 ~ COM2	168ドットまたは8セグメントLCD21桁																	
1/4	COM0 ~ COM3	224ドットまたは8セグメントLCD28桁																	
1/8	COM0 ~ COM7	416ドットまたは8セグメントLCD52桁																	
LCD駆動タイミング	LCD駆動タイミングを決める内部信号LCDCKの周波数： $f(\text{LCDCK}) = \frac{\text{LCDクロックソース周波数}}{n \times \text{分周比}}$ 注. f32選択時 n=32 fC-LCD選択時 n=4 フレーム周波数： $f(\text{FR}) = \frac{f(\text{LCDCK}) \times \text{デューティ}}{2}$																		
バイアス制御	外付け分割抵抗を使用する場合と内部昇圧回路を使用する場合の2種類 (1) 外付け分割抵抗を使用する場合 ・LCD用電源端子VL1 ~ VL4に外付け分割抵抗を使用してLCD駆動電圧を印加 ・VL1 ~ VL4にはLCR0で設定したバイアス値に従って以下に示す電圧値を印加 <table border="1"> <thead> <tr> <th>バイアス値</th> <th>電圧値</th> </tr> </thead> <tbody> <tr> <td>1/4バイアス</td> <td>VL4 = VLCD VL3 = 3/4 VLCD VL2 = 2/4 VLCD VL1 = 1/4 VLCD</td> </tr> <tr> <td>1/3バイアス</td> <td>VL4 = VLCD VL3 = VL2 = 2/3 VLCD VL1 = 1/3 VLCD</td> </tr> <tr> <td>1/2バイアス</td> <td>VL4 = VLCD VL1 = VL2 = VL3 = 1/2 VLCD</td> </tr> </tbody> </table> VLCD : LCD電源電圧 注. R8C/L35A、R8C/L35BグループにはVL3端子はありませんので、1/4バイアスは選択できません。 (2) 内部昇圧回路を使用する場合 ・1/4、1/2バイアス選択時： VL1の電圧を基準にVL2端子に2倍、VL3端子に3倍、VL4端子に4倍の電圧生成 ・1/3バイアス選択時： VL1の電圧を基準にVL2、VL3端子に2倍、VL4端子に3倍の電圧生成 ・VL1の電位は内部で生成するか、外部より入力するかを選択可 注. R8C/L35A、R8C/L35BグループにはVL3端子はありませんので、1/4バイアス、1/2バイアスは選択できません。	バイアス値	電圧値	1/4バイアス	VL4 = VLCD VL3 = 3/4 VLCD VL2 = 2/4 VLCD VL1 = 1/4 VLCD	1/3バイアス	VL4 = VLCD VL3 = VL2 = 2/3 VLCD VL1 = 1/3 VLCD	1/2バイアス	VL4 = VLCD VL1 = VL2 = VL3 = 1/2 VLCD										
バイアス値	電圧値																		
1/4バイアス	VL4 = VLCD VL3 = 3/4 VLCD VL2 = 2/4 VLCD VL1 = 1/4 VLCD																		
1/3バイアス	VL4 = VLCD VL3 = VL2 = 2/3 VLCD VL1 = 1/3 VLCD																		
1/2バイアス	VL4 = VLCD VL1 = VL2 = VL3 = 1/2 VLCD																		

表32.3 LCD駆動制御回路の仕様概要 (2)

項目	仕様
LCD表示データレジスタ	LRA0L ~ LRA95HレジスタのCOM0 ~ COM7ビットに、各セグメント出力に対応するコモン出力データを書き込む。 56バイト 各ビットを“1”にすると対応するセグメントが点灯、“0”にすると消灯
LCD表示制御データレジスタ	56バイト 各ビットを“1”にすると対応するセグメントが点滅/反転。点滅/反転はLRVRSビットで設定。
リセット後の端子状態	<ul style="list-style-type: none"> <li>•SEG0 ~ SEG55 : ハイインピーダンス</li> <li>•COM0 ~ COM7 : ハイインピーダンス</li> <li>•CL1 ~ CL2 : ハイインピーダンス</li> <li>•VL1 ~ VL4 : ハイインピーダンス</li> </ul>

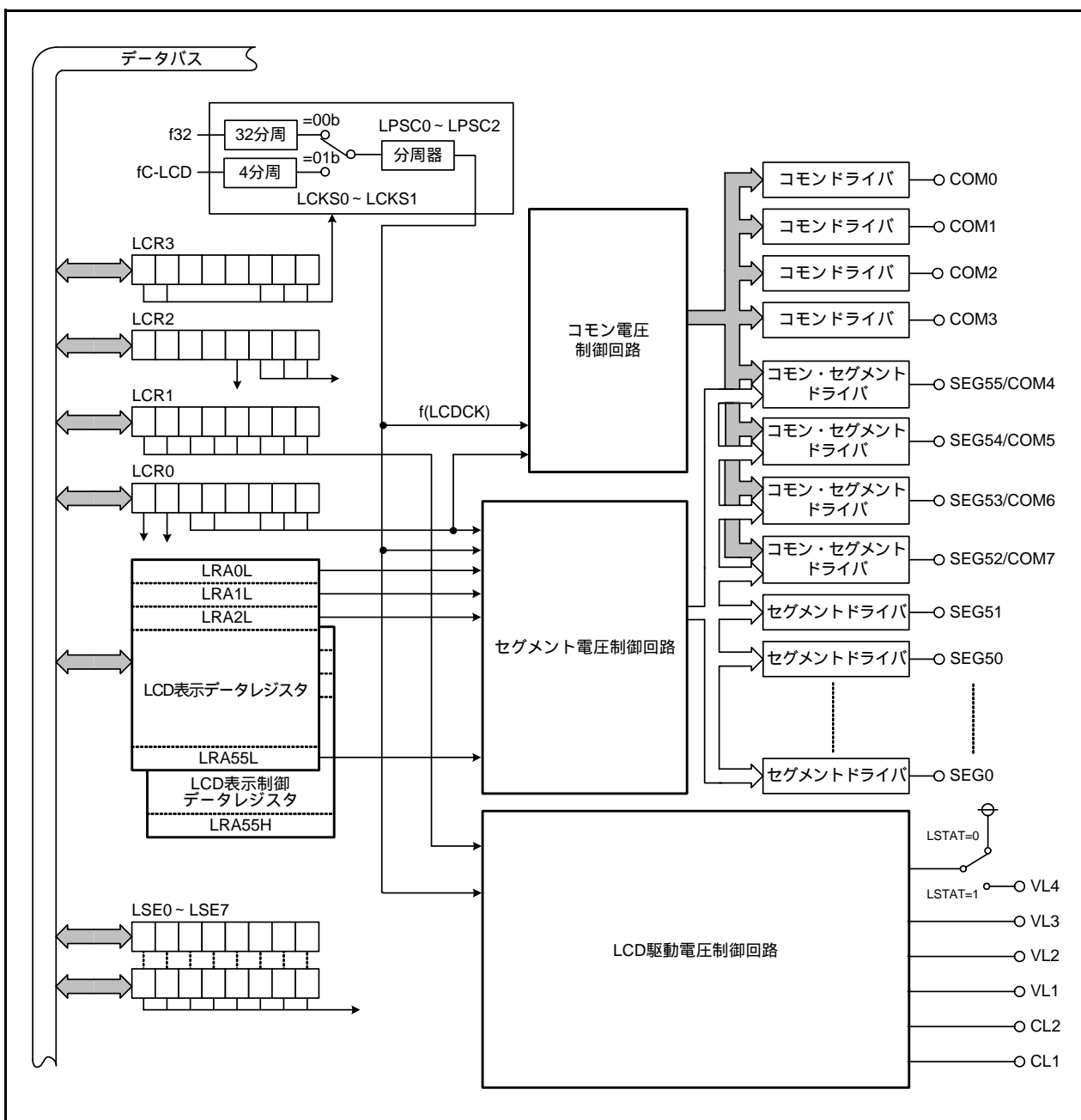


図32.1 LCD駆動制御回路のブロック図



## 32.2 レジスタの説明

### 32.2.1 LCD制御レジスタ(LCR0)

アドレス 0200h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSTAT	LDSPE	LBAS1	LBAS0	LWAV	LDTY2	LDTY1	LDTY0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LDTY0	デューティ選択ビット	b2 b1 b0 0 0 0 : スタティック (COM0 使用) 0 0 1 : 1/2 デューティ (COM0 ~ COM1 使用) 0 1 0 : 1/3 デューティ (COM0 ~ COM2 使用) 0 1 1 : 1/4 デューティ (COM0 ~ COM3 使用) 1 0 0 : 1/8 デューティ (COM0 ~ COM7 使用) 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b1	LDTY1			R/W
b2	LDTY2			R/W
b3	LWAV	LCD 波形制御選択ビット	0 : セグメントパネル制御波形 1 : ドットマトリクスパネル制御波形	R/W
b4	LBAS0	バイアス選択ビット	b5 b4 0 0 : 1/2 バイアス 0 1 : 1/3 バイアス 1 0 : 1/4 バイアス 1 1 : 設定しないでください	R/W
b5	LBAS1			R/W
b6	LDSPE	LCD 表示許可ビット	0 : LCD 消灯 1 : LCD 点灯	R/W
b7	LSTAT	LCD 駆動開始ビット	0 : LCD 駆動停止 1 : LCD 駆動開始	R/W

### 32.2.2 LCDバイアス制御レジスタ(LCR1)

アドレス 0201h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LVUPE	LVURS	LVWT1	LVWT0	LVLS3	LVLS2	LVLS1	LVLS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能		R/W		
b0	LVLS0	VL1内部生成電圧			R/W		
b1	LVLS1	選択ビット	b3 b2 b1 b0 0 0 0 0 : VL1 = 0 0 0 1 : VL1 = 0 0 1 0 : VL1 = 0 0 1 1 : VL1 = 0 1 0 0 : VL1 = 0 1 0 1 : VL1 = 0 1 1 0 : VL1 = 0 1 1 1 : VL1 = 1 0 0 0 : VL1 = 1 0 0 1 : VL1 = 1 0 1 0 : VL1 = 1 0 1 1 : VL1 = 1 1 0 0 : VL1 = 1 1 0 1 : VL1 = 1 1 1 0 : VL1 = 1 1 1 1 : VL1 =	LBAS1 ~ LBAS0=00b/10b (1/2、1/4バイアス)	LBAS1 ~ LBAS0=01b (1/3バイアス)	R/W	
b2	LVLS2			R/W			
b3	LVLS3			R/W			
							R/W
b4	LVWT0	昇圧待機時間選択 ビット	b5 b4 0 0 : 待機時間 = f(FR) 0 1 : 待機時間 = f(FR) 1 0 : 待機時間 = f(FR) 1 1 : 待機時間 = f(FR)	LDTY2 ~ LDTY0=010b以外 (1/3デューティ以外)	LDTY2 ~ LDTY0=010b (1/3デューティ)	R/W	
b5	LVWT1			R/W			
				× 64カウント	× 48カウント		
				× 32カウント	× 24カウント		
				× 16カウント	× 12カウント		
				× 8カウント	× 6カウント		
b6	LVURS	昇圧基準電圧源 選択ビット	0 : VL1外部入力電圧 1 : VL1内部生成電圧		R/W		
b7	LVUPE	昇圧許可ビット	0 : 昇圧禁止 1 : 昇圧許可		R/W		

注1. 標準値です。精度については「表 34.10 LCD 駆動制御回路の特性」を参照してください。また、昇圧した電圧が5.5Vを超えないよう注意してください。

### 32.2.3 LCD表示制御レジスタ(LCR2)

アドレス 0202h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	LDFR21	LDFR20	LRVRS	LDSPC	LDFR2	LDFR1	LDFR0
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W														
b0	LDFR0	LCDデータ表示制御	<table border="1"> <tr> <td>LDTY2 ~ LDTY0 =010b以外 (1/3デューティ以外)</td> <td>LDTY2 ~ LDTY0 =010b (1/3デューティ)</td> </tr> <tr> <td>× 16カウント</td> <td>× 12カウント</td> </tr> <tr> <td>× 32カウント</td> <td>× 24カウント</td> </tr> <tr> <td>× 64カウント</td> <td>× 48カウント</td> </tr> <tr> <td>× 128カウント</td> <td>× 96カウント</td> </tr> <tr> <td>× 256カウント</td> <td>× 192カウント</td> </tr> <tr> <td>スタティック</td> <td>スタティック</td> </tr> </table>	LDTY2 ~ LDTY0 =010b以外 (1/3デューティ以外)	LDTY2 ~ LDTY0 =010b (1/3デューティ)	× 16カウント	× 12カウント	× 32カウント	× 24カウント	× 64カウント	× 48カウント	× 128カウント	× 96カウント	× 256カウント	× 192カウント	スタティック	スタティック	R/W
LDTY2 ~ LDTY0 =010b以外 (1/3デューティ以外)	LDTY2 ~ LDTY0 =010b (1/3デューティ)																	
× 16カウント	× 12カウント																	
× 32カウント	× 24カウント																	
× 64カウント	× 48カウント																	
× 128カウント	× 96カウント																	
× 256カウント	× 192カウント																	
スタティック	スタティック																	
b1	LDFR1	間隔選択ビット1		R/W														
b2	LDFR2	(フレーム周波数に同期)		R/W														
b3	LDSPC	LCDデータ表示制御有効ビット	0: データ表示制御無効 1: データ表示制御有効	R/W														
b4	LRVRS	LCD表示制御モード選択ビット	0: 点滅表示 1: 反転表示	R/W														
b5	LDFR20	LCDデータ表示制御間	b6 b5 00: LDFR0 ~ LDFR2ビットの設定が有効 01: 0.25秒間隔 10: 0.5秒間隔 11: 1秒間隔	R/W														
b6	LDFR21	隔選択ビット2 (タイマREに同期)			R/W													
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-														

### 32.2.4 LCDクロック制御レジスタ(LCR3)

アドレス 0203h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LCKS1	LCKS0	-	-	-	LPSC2	LPSC1	LPSC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPSC0	分周比選択ビット	b2 b1 b0 000: 分周なし 001: 2分周 010: 4分周 011: 8分周 100: 16分周 101: 32分周 110: 64分周 111: 設定しないでください	R/W
b1	LPSC1			R/W
b2	LPSC2			R/W
b3	-			予約ビット
b4	-			
b5	-			
b6	LCKS0	LCDクロックソース選択ビット	b7 b6 00: f32 01: fC-LCD 10: 設定しないでください 11: 設定しないでください	R/W
b7	LCKS1			R/W

### 32.2.5 LCDポート選択レジスタ0(LSE0)

アドレス 0206h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE07	LSE06	LSE05	LSE04	LSE03	LSE02	LSE01	LSE00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE00	LCDポート選択ビット0	0:ポートP0_0 1:SEG0	R/W
b1	LSE01	LCDポート選択ビット1	0:ポートP0_1 1:SEG1	R/W
b2	LSE02	LCDポート選択ビット2	0:ポートP0_2 1:SEG2	R/W
b3	LSE03	LCDポート選択ビット3	0:ポートP0_3 1:SEG3	R/W
b4	LSE04	LCDポート選択ビット4	0:ポートP0_4 1:SEG4	R/W
b5	LSE05	LCDポート選択ビット5	0:ポートP0_5 1:SEG5	R/W
b6	LSE06	LCDポート選択ビット6	0:ポートP0_6 1:SEG6	R/W
b7	LSE07	LCDポート選択ビット7	0:ポートP0_7 1:SEG7	R/W

### 32.2.6 LCDポート選択レジスタ1(LSE1)

アドレス 0207h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE15	LSE14	LSE13	LSE12	LSE11	LSE10	LSE09	LSE08
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE08	LCDポート選択ビット8	0:ポートP1_0 1:SEG8	R/W
b1	LSE09	LCDポート選択ビット9	0:ポートP1_1 1:SEG9	R/W
b2	LSE10	LCDポート選択ビット10	0:ポートP1_2 1:SEG10	R/W
b3	LSE11	LCDポート選択ビット11	0:ポートP1_3 1:SEG11	R/W
b4	LSE12	LCDポート選択ビット12	0:ポートP1_4 1:SEG12	R/W
b5	LSE13	LCDポート選択ビット13	0:ポートP1_5 1:SEG13	R/W
b6	LSE14	LCDポート選択ビット14	0:ポートP1_6 1:SEG14	R/W
b7	LSE15	LCDポート選択ビット15	0:ポートP1_7 1:SEG15	R/W

### 32.2.7 LCDポート選択レジスタ2(LSE2)

アドレス 0208h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE23	LSE22	LSE21	LSE20	LSE19	LSE18	LSE17	LSE16
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE16	LCDポート選択ビット16	0:ポートP2_0 1:SEG16	R/W
b1	LSE17	LCDポート選択ビット17	0:ポートP2_1 1:SEG17	R/W
b2	LSE18	LCDポート選択ビット18	0:ポートP2_2 1:SEG18	R/W
b3	LSE19	LCDポート選択ビット19	0:ポートP2_3 1:SEG19	R/W
b4	LSE20	LCDポート選択ビット20	0:ポートP2_4 1:SEG20	R/W
b5	LSE21	LCDポート選択ビット21	0:ポートP2_5 1:SEG21	R/W
b6	LSE22	LCDポート選択ビット22	0:ポートP2_6 1:SEG22	R/W
b7	LSE23	LCDポート選択ビット23	0:ポートP2_7 1:SEG23	R/W

### 32.2.8 LCDポート選択レジスタ3(LSE3)

アドレス 0209h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE31	LSE30	LSE29	LSE28	LSE27	LSE26	LSE25	LSE24
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE24	LCDポート選択ビット24	0:ポートP3_0 1:SEG24	R/W
b1	LSE25	LCDポート選択ビット25	0:ポートP3_1 1:SEG25	R/W
b2	LSE26	LCDポート選択ビット26	0:ポートP3_2 1:SEG26	R/W
b3	LSE27	LCDポート選択ビット27	0:ポートP3_3 1:SEG27	R/W
b4	LSE28	LCDポート選択ビット28	0:ポートP3_4 1:SEG28	R/W
b5	LSE29	LCDポート選択ビット29	0:ポートP3_5 1:SEG29	R/W
b6	LSE30	LCDポート選択ビット30	0:ポートP3_6 1:SEG30	R/W
b7	LSE31	LCDポート選択ビット31	0:ポートP3_7 1:SEG31	R/W

### 32.2.9 LCDポート選択レジスタ4(LSE4)

アドレス 020Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE39	LSE38	LSE37	LSE36	LSE35	LSE34	LSE33	LSE32
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE32	LCDポート選択ビット32	0:ポートP4_0 1:SEG32	R/W
b1	LSE33	LCDポート選択ビット33	0:ポートP4_1 1:SEG33	R/W
b2	LSE34	LCDポート選択ビット34	0:ポートP4_2 1:SEG34	R/W
b3	LSE35	LCDポート選択ビット35	0:ポートP4_3 1:SEG35	R/W
b4	LSE36	LCDポート選択ビット36	0:ポートP4_4 1:SEG36	R/W
b5	LSE37	LCDポート選択ビット37	0:ポートP4_5 1:SEG37	R/W
b6	LSE38	LCDポート選択ビット38	0:ポートP4_6 1:SEG38	R/W
b7	LSE39	LCDポート選択ビット39	0:ポートP4_7 1:SEG39	R/W

### 32.2.10 LCDポート選択レジスタ5(LSE5)

アドレス 020Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE47	LSE46	LSE45	LSE44	LSE43	LSE42	LSE41	LSE40
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE40	LCDポート選択ビット40	0:ポートP5_0 1:SEG40	R/W
b1	LSE41	LCDポート選択ビット41	0:ポートP5_1 1:SEG41	R/W
b2	LSE42	LCDポート選択ビット42	0:ポートP5_2 1:SEG42	R/W
b3	LSE43	LCDポート選択ビット43	0:ポートP5_3 1:SEG43	R/W
b4	LSE44	LCDポート選択ビット44	0:ポートP6_0 1:SEG44	R/W
b5	LSE45	LCDポート選択ビット45	0:ポートP6_1 1:SEG45	R/W
b6	LSE46	LCDポート選択ビット46	0:ポートP6_2 1:SEG46	R/W
b7	LSE47	LCDポート選択ビット47	0:ポートP6_3 1:SEG47	R/W

### 32.2.11 LCDポート選択レジスタ6(LSE6)

アドレス 020Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LSE55	LSE54	LSE53	LSE52	LSE51	LSE50	LSE49	LSE48
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE48	LCDポート選択ビット48	0:ポートP6_4 1:SEG48	R/W
b1	LSE49	LCDポート選択ビット49	0:ポートP6_5 1:SEG49	R/W
b2	LSE50	LCDポート選択ビット50	0:ポートP6_6 1:SEG50	R/W
b3	LSE51	LCDポート選択ビット51	0:ポートP6_7 1:SEG51	R/W
b4	LSE52	LCDポート選択ビット52	0:ポートP7_0 1:SEG52またはCOM7	R/W
b5	LSE53	LCDポート選択ビット53	0:ポートP7_1 1:SEG53またはCOM6	R/W
b6	LSE54	LCDポート選択ビット54	0:ポートP7_2 1:SEG54またはCOM5	R/W
b7	LSE55	LCDポート選択ビット55	0:ポートP7_3 1:SEG55またはCOM4	R/W

### 32.2.12 LCDポート選択レジスタ7(LSE7)

アドレス 020Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	LSE60	LSE59	LSE58	LSE57	LSE56
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LSE56	LCDポート選択ビット56	0:ポートP7_4 1:COM3	R/W
b1	LSE57	LCDポート選択ビット57	0:ポートP7_5 1:COM2	R/W
b2	LSE58	LCDポート選択ビット58	0:ポートP7_6 1:COM1	R/W
b3	LSE59	LCDポート選択ビット59	0:ポートP7_7 1:COM0	R/W
b4	LSE60	LCDポート選択ビット60	0:ポートP12_2、P12_3 1:CL1、CL2	R/W
b5	-	予約ビット	"0" にしてください。	R/W
b6	-			R/W
b7	-			R/W

### 32.3 データレジスタ

LCD表示データレジスタ(LRAL)とLCD表示制御データレジスタ(LRAH)の2種類があります。

LCD表示データレジスタの各ビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯し、“0”を書き込むと消灯します。

LCR2レジスタのLDSPCビットが“1”のとき、LCD表示制御データレジスタの各ビットに“1”を書き込むと、LCDパネルの対応するセグメントが、LDFR0～LDFR2ビットで選択した間隔で、LRVRSビットで選択した動作（点滅/反転）となります。

シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
LRA0L	0210h	SEG0								LRA48L	0240h	SEG48							
LRA1L	0211h	SEG1								LRA49L	0241h	SEG49							
LRA2L	0212h	SEG2								LRA50L	0242h	SEG50							
LRA3L	0213h	SEG3								LRA51L	0243h	SEG51							
LRA4L	0214h	SEG4								LRA52L	0244h	SEG52							
LRA5L	0215h	SEG5								LRA53L	0245h	SEG53							
LRA6L	0216h	SEG6								LRA54L	0246h	SEG54							
LRA7L	0217h	SEG7								LRA55L	0247h	SEG55							
LRA8L	0218h	SEG8								LRA56L	0248h	設定しないでください							
LRA9L	0219h	SEG9																	
LRA10L	021Ah	SEG10																	
LRA11L	021Bh	SEG11																	
LRA12L	021Ch	SEG12																	
LRA13L	021Dh	SEG13																	
LRA14L	021Eh	SEG14																	
LRA15L	021Fh	SEG15																	
LRA16L	0220h	SEG16																	
LRA17L	0221h	SEG17																	
LRA18L	0222h	SEG18																	
LRA19L	0223h	SEG19																	
LRA20L	0224h	SEG20																	
LRA21L	0225h	SEG21																	
LRA22L	0226h	SEG22																	
LRA23L	0227h	SEG23																	
LRA24L	0228h	SEG24																	
LRA25L	0229h	SEG25																	
LRA26L	022Ah	SEG26																	
LRA27L	022Bh	SEG27																	
LRA28L	022Ch	SEG28																	
LRA29L	022Dh	SEG29																	
LRA30L	022Eh	SEG30																	
LRA31L	022Fh	SEG31																	
LRA32L	0230h	SEG32																	
LRA33L	0231h	SEG33																	
LRA34L	0232h	SEG34																	
LRA35L	0233h	SEG35																	
LRA36L	0234h	SEG36																	
LRA37L	0235h	SEG37																	
LRA38L	0236h	SEG38																	
LRA39L	0237h	SEG39																	
LRA40L	0238h	SEG40																	
LRA41L	0239h	SEG41																	
LRA42L	023Ah	SEG42																	
LRA43L	023Bh	SEG43																	
LRA44L	023Ch	SEG44																	
LRA45L	023Dh	SEG45																	
LRA46L	023Eh	SEG46																	
LRA47L	023Fh	SEG47																	
LRA48L	0240h	SEG48																	
LRA49L	0241h	SEG49																	
LRA50L	0242h	SEG50																	
LRA51L	0243h	SEG51																	
LRA52L	0244h	SEG52																	
LRA53L	0245h	SEG53																	
LRA54L	0246h	SEG54																	
LRA55L	0247h	SEG55																	
LRA56L	0248h	SEG56																	
LRA57L	0249h	SEG57																	
LRA58L	024Ah	SEG58																	
LRA59L	024Bh	SEG59																	
LRA60L	024Ch	SEG60																	
LRA61L	024Dh	SEG61																	
LRA62L	024Eh	SEG62																	
LRA63L	024Fh	SEG63																	
LRA64L	0250h	SEG64																	
LRA65L	0251h	SEG65																	
LRA66L	0252h	SEG66																	
LRA67L	0253h	SEG67																	
LRA68L	0254h	SEG68																	
LRA69L	0255h	SEG69																	
LRA70L	0256h	SEG70																	
LRA71L	0257h	SEG71																	
LRA72L	0258h	SEG72																	
LRA73L	0259h	SEG73																	
LRA74L	025Ah	SEG74																	
LRA75L	025Bh	SEG75																	
LRA76L	025Ch	SEG76																	
LRA77L	025Dh	SEG77																	
LRA78L	025Eh	SEG78																	
LRA79L	025Fh	SEG79																	
LRA80L	0260h	SEG80																	
LRA81L	0261h	SEG81																	
LRA82L	0262h	SEG82																	
LRA83L	0263h	SEG83																	
LRA84L	0264h	SEG84																	
LRA85L	0265h	SEG85																	
LRA86L	0266h	SEG86																	
LRA87L	0267h	SEG87																	
LRA88L	0268h	SEG88																	
LRA89L	0269h	SEG89																	
LRA90L	026Ah	SEG90																	
LRA91L	026Bh	SEG91																	
LRA92L	026Ch	SEG92																	
LRA93L	026Dh	SEG93																	
LRA94L	026Eh	SEG94																	
LRA95L	026Fh	SEG95																	

図32.2 LCD表示データレジスタ



シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	シンボル	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
LRA0H	0270h	SEG0								LRA48H	02A0h	SEG48							
LRA1H	0271h	SEG1								LRA49H	02A1h	SEG49							
LRA2H	0272h	SEG2								LRA50H	02A2h	SEG50							
LRA3H	0273h	SEG3								LRA51H	02A3h	SEG51							
LRA4H	0274h	SEG4								LRA52H	02A4h	SEG52							
LRA5H	0275h	SEG5								LRA53H	02A5h	SEG53							
LRA6H	0276h	SEG6								LRA54H	02A6h	SEG54							
LRA7H	0277h	SEG7								LRA55H	02A7h	SEG55							
LRA8H	0278h	SEG8								LRA56H	02A8h	設定しないでください							
LRA9H	0279h	SEG9								LRA57H	02A9h								
LRA10H	027Ah	SEG10								LRA58H	02AAh								
LRA11H	027Bh	SEG11								LRA59H	02ABh								
LRA12H	027Ch	SEG12								LRA60H	02ACh								
LRA13H	027Dh	SEG13								LRA61H	02ADh								
LRA14H	027Eh	SEG14								LRA62H	02AEh								
LRA15H	027Fh	SEG15								LRA63H	02AFh								
LRA16H	0280h	SEG16								LRA64H	02B0h								
LRA17H	0281h	SEG17								LRA65H	02B1h								
LRA18H	0282h	SEG18								LRA66H	02B2h								
LRA19H	0283h	SEG19								LRA67H	02B3h								
LRA20H	0284h	SEG20								LRA68H	02B4h								
LRA21H	0285h	SEG21								LRA69H	02B5h								
LRA22H	0286h	SEG22								LRA70H	02B6h								
LRA23H	0287h	SEG23								LRA71H	02B7h								
LRA24H	0288h	SEG24								LRA72H	02B8h								
LRA25H	0289h	SEG25								LRA73H	02B9h								
LRA26H	028Ah	SEG26								LRA74H	02BAh								
LRA27H	028Bh	SEG27								LRA75H	02BBh								
LRA28H	028Ch	SEG28								LRA76H	02BCh								
LRA29H	028Dh	SEG29								LRA77H	02BDh								
LRA30H	028Eh	SEG30								LRA78H	02BEh								
LRA31H	028Fh	SEG31								LRA79H	02BFh								
LRA32H	0290h	SEG32								LRA80H	02C0h								
LRA33H	0291h	SEG33								LRA81H	02C1h								
LRA34H	0292h	SEG34								LRA82H	02C2h								
LRA35H	0293h	SEG35								LRA83H	02C3h								
LRA36H	0294h	SEG36								LRA84H	02C4h								
LRA37H	0295h	SEG37								LRA85H	02C5h								
LRA38H	0296h	SEG38								LRA86H	02C6h								
LRA39H	0297h	SEG39								LRA87H	02C7h								
LRA40H	0298h	SEG40								LRA88H	02C8h								
LRA41H	0299h	SEG41								LRA89H	02C9h								
LRA42H	029Ah	SEG42								LRA90H	02CAh								
LRA43H	029Bh	SEG43								LRA91H	02CBh								
LRA44H	029Ch	SEG44								LRA92H	02CCh								
LRA45H	029Dh	SEG45								LRA93H	02CDh								
LRA46H	029Eh	SEG46								LRA94H	02CEh								
LRA47H	029Fh	SEG47								LRA95H	02CFh								

図 32.3 LCD表示制御データレジスタ



### 32.4.1 セグメント出力端子の選択

セグメント出力端子SEG0～SEG55、およびコモン出力端子COM0～COM7はすべてI/Oポートと兼用です。これらの端子はリセット後は、すべてI/Oポートになりますので、LCD表示のセグメント出力、コモン出力に使用する端子は対応するLSEiビット(i=00～59)を“1”にしてください。セグメント出力、コモン出力に使用しない端子はLSEiビットを“0”(I/Oポート)にしてください。I/Oポートとして使用しない場合は、I/Oポートの未使用端子の処理(「表 6.25 未使用端子の処理例」参照)を行ってください。

### 32.4.2 LCDクロック選択

LCDクロックソースとしてf32、fC-LCDのいずれかをLCKS0～LCKS1ビットで選択、分周比を分周なし～64分周からLPSC0～LPSC2ビットで選択します。

### 32.4.3 LCDデータ表示制御

LCDデータ表示制御は、一定の間隔でLCD表示を点滅、あるいは反転する機能です。この機能はLDSPCビットを“1”にすることによって有効になります。LRVRSビットを“0”にすると点滅、“1”にすると反転します。点滅、反転の間隔は、LDFR0～LDFR2ビットで選択します。

### 32.4.4 バイアス制御

LCD用電源入力端子VL1～VL4に分割抵抗を外付けする場合と、昇圧回路を使用する場合があります。分割抵抗を外付けする場合の端子接続と電圧レベルを図32.4に、昇圧回路を使用する場合の端子接続と電圧レベルを図32.5に示します。

分割抵抗外付けの場合は、LVUPEビットを“0”にします。CL1、CL2端子はLSE60ビットを“1”にして開放してください。“0”にしてI/Oポートとして使用することもできます。

昇圧回路を使用する場合はLVUPEビットを“1”にして、昇圧基準電圧VL1を外部から入力するか、内部生成するかをLVURSで選択します。CL1、CL2端子間には、昇圧用コンデンサを接続してください。昇圧基準電圧VL1を内部生成する場合は、LVLS0～LVLS3ビットでVL1の電圧値を選択します。昇圧待機時間はLVW0～LVW1ビットでカウントソース×8～カウントソース×64から選択します。

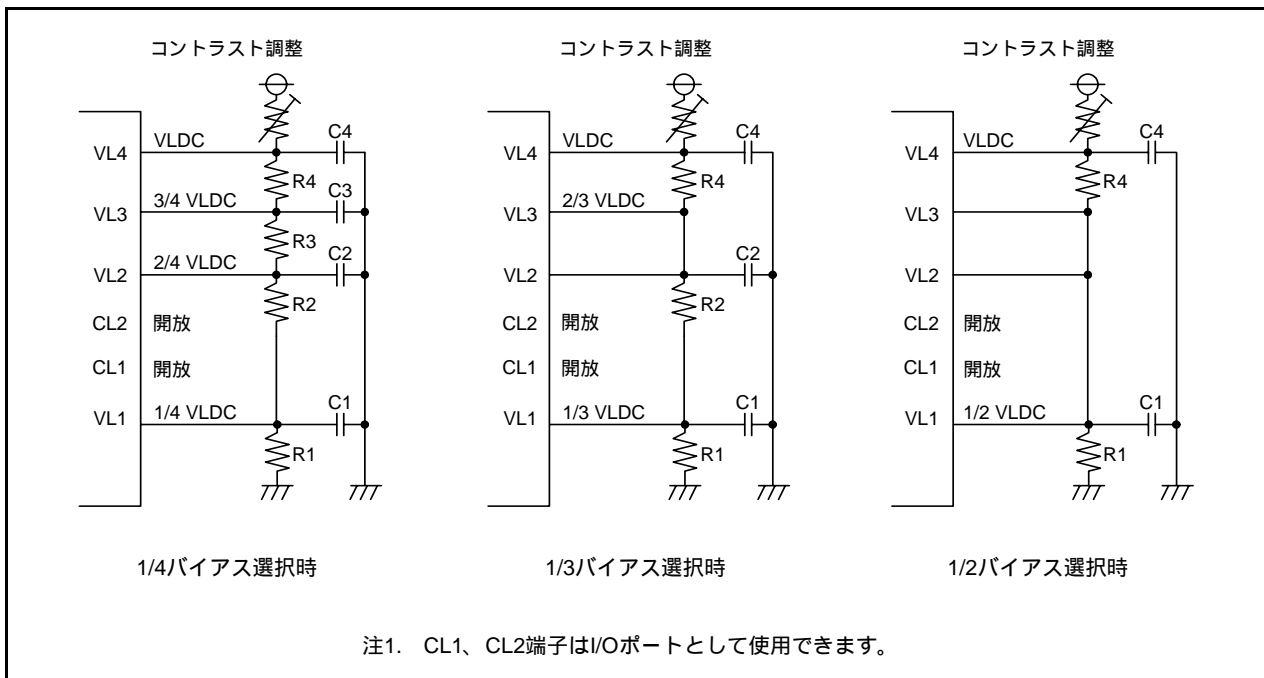


図32.4 分割抵抗を外付けする場合の端子接続と電圧レベル

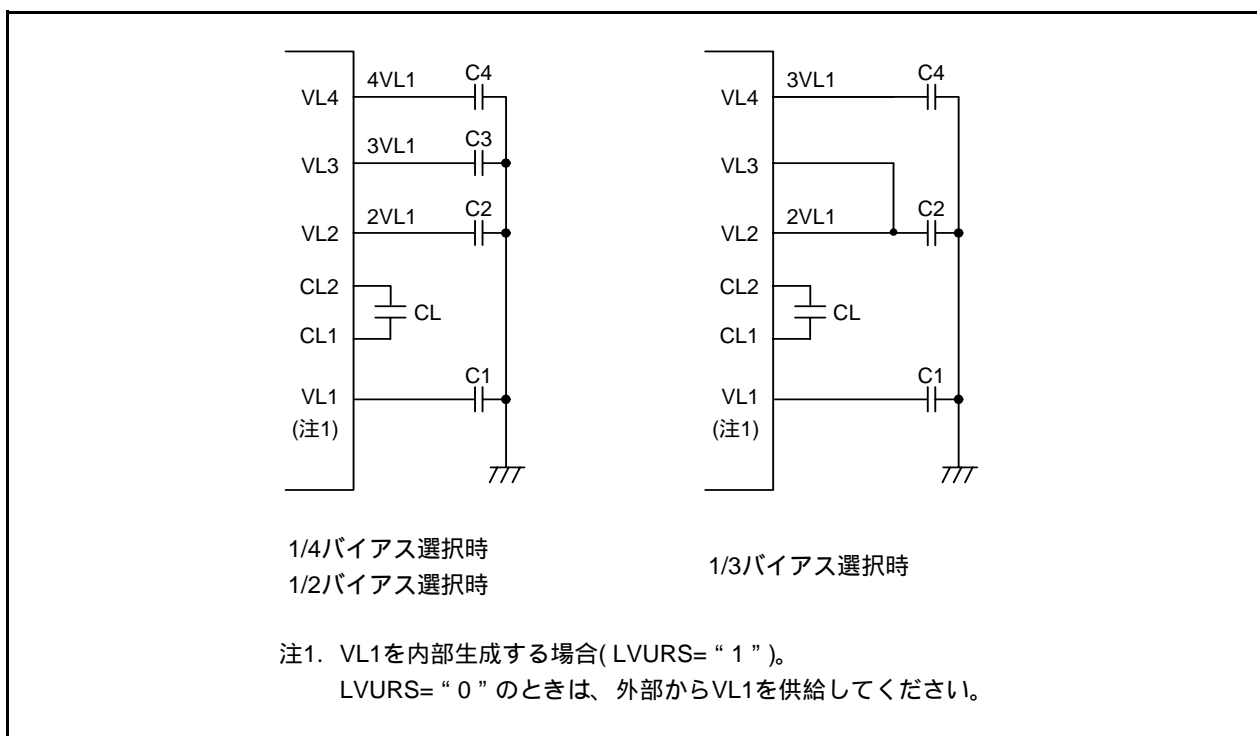


図32.5 昇圧回路を使用する場合の端子接続と電圧レベル

### 32.4.5 LCDデータ表示

LBAS0 ~ LBAS1ビットでバイアスを、LDTY0 ~ LDTY2ビットでデューティを選択します。また、LWAVビットでセグメントパネル制御波形か、ドットマトリクスパネル制御波形かを選択します。LDSPEビットを“1”にしてLCD表示を許可し、LSTATビットを“1”にするとLCD表示が開始されます。LCD表示データはLCD表示データレジスタに設定します。

LCD表示データレジスタの内容、及びLCR2レジスタの内容を変更することによってLCD表示内容が変更されます。

### 32.4.6 ストップモード時の端子の状態

LSE0 ~ LSE7レジスタのLSE00 ~ LSE60ビットで選択したLCD表示機能端子は、表 32.5 に示す状態に移行します。表32.4に示すLCD駆動制御手順のLCR0レジスタを設定したときと同じ動作でLCD制御が再開されます。

表 32.5 ストップモード時のLCD表示機能端子の状態

端子名	端子の状態
SEG0 ~ SEG55	“L”出力
COM0 ~ COM7	“L”出力
CL1 ~ CL2	“L”出力
VL1	<ul style="list-style-type: none"> <li>外付け分割抵抗使用時 (LCR1レジスタのLVUPEビットを“0”にして昇圧禁止で使用のとき) ハイインピーダンス状態</li> <li>昇圧回路使用、VL1外部入力電圧使用時 (LVUPEビットを“1”、LVURSビットを“0”で使用のとき) ハイインピーダンス状態</li> <li>昇圧回路使用、VL1内部生成電圧使用時 (LVUPEビットを“1”、LVURSビットを“1”で使用のとき) 内部生成電圧を出力</li> </ul>
VL2 ~ VL4	ハイインピーダンス状態

### 32.4.7 パワーオフモード時の端子の状態

LSE0 ~ LSE7レジスタのLSE00 ~ LSE60ビットで選択したLCD表示機能端子は、表 32.6 に示す状態に移行します。表32.4に示すリセットから動作します。

表 32.6 パワーオフモード時のLCD表示機能端子の状態

端子名	端子の状態
SEG0 ~ SEG55	“ L ” 出力
COM0 ~ COM7	
CL1 ~ CL2	ハイインピーダンス状態
VL1 ~ VL4	ハイインピーダンス状態

## 32.5 LCD駆動波形

### 32.5.1 セグメントパネル制御波形

図32.6～図32.17にセグメントパネル制御の場合(LWAV = “0”)の各デューティ、バイアスに応じたLCD駆動波形を示します。

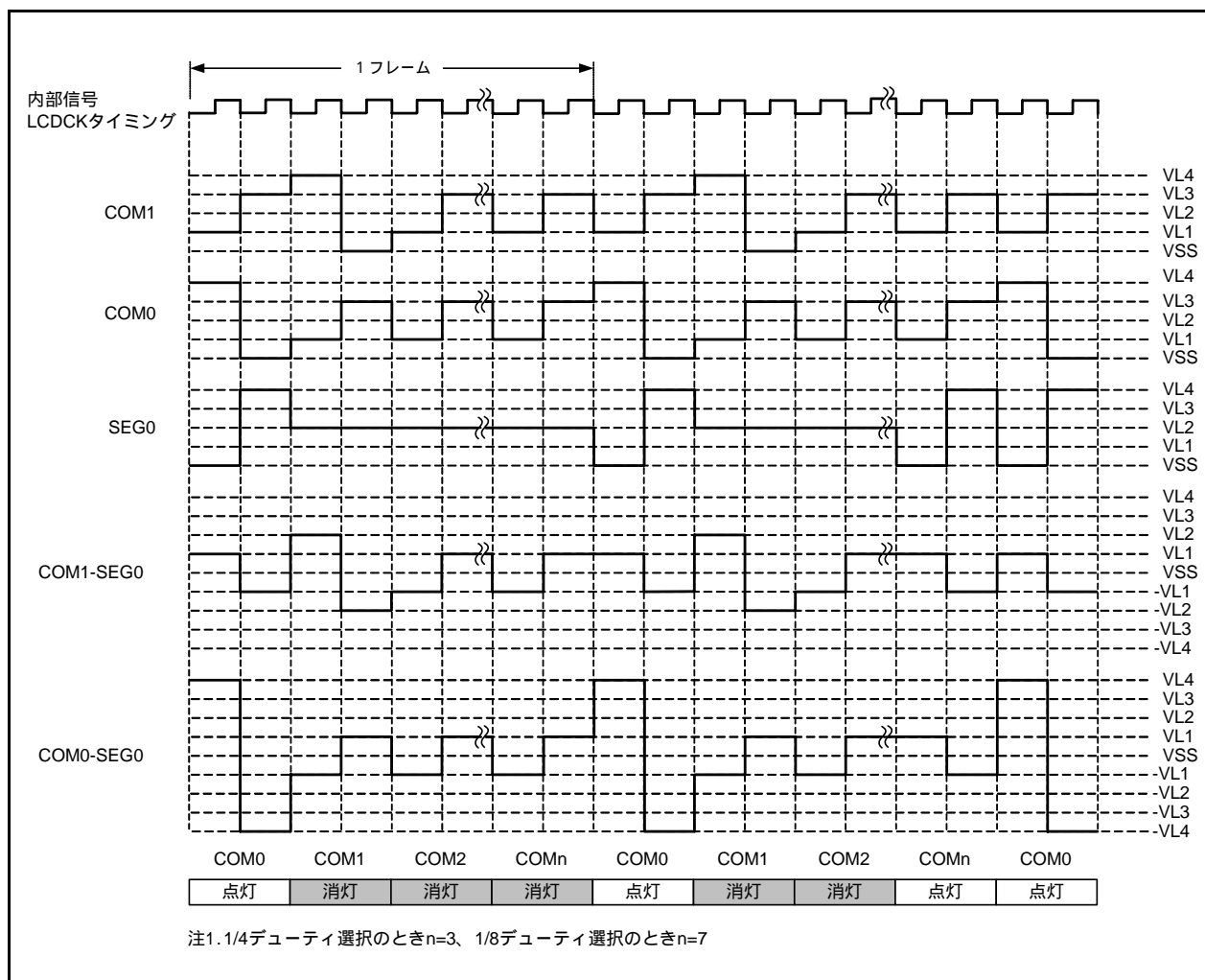


図32.6 LCD駆動波形(LWAV=“0”、1/4、1/8デューティ、1/4バイアス)

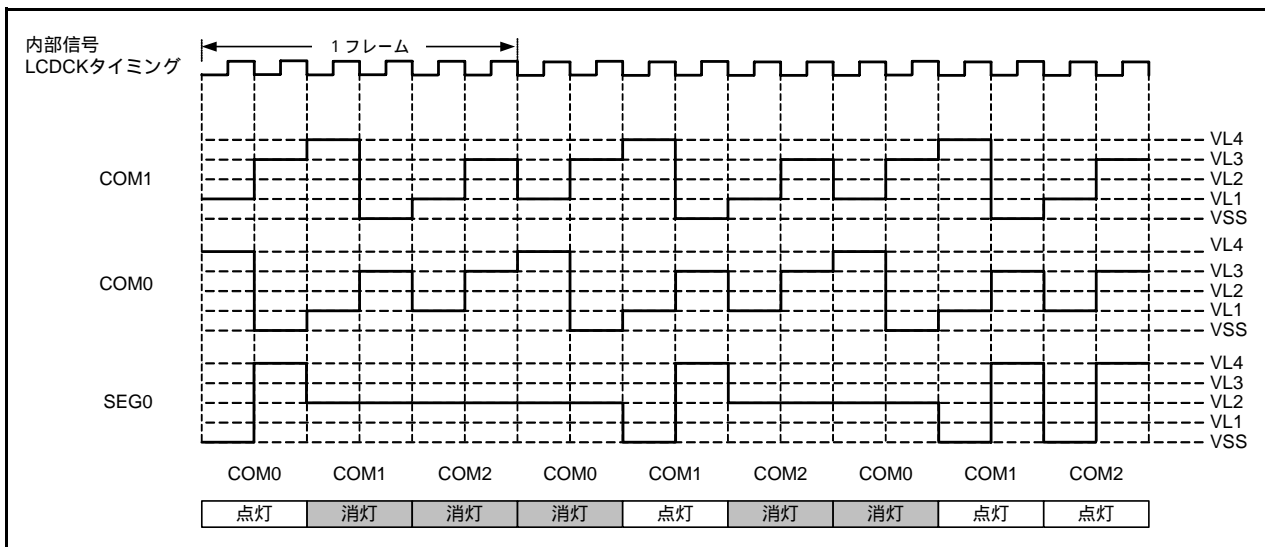


図 32.7 LCD駆動波形(LWAV="0"、1/3デューティ、1/4バイアス)

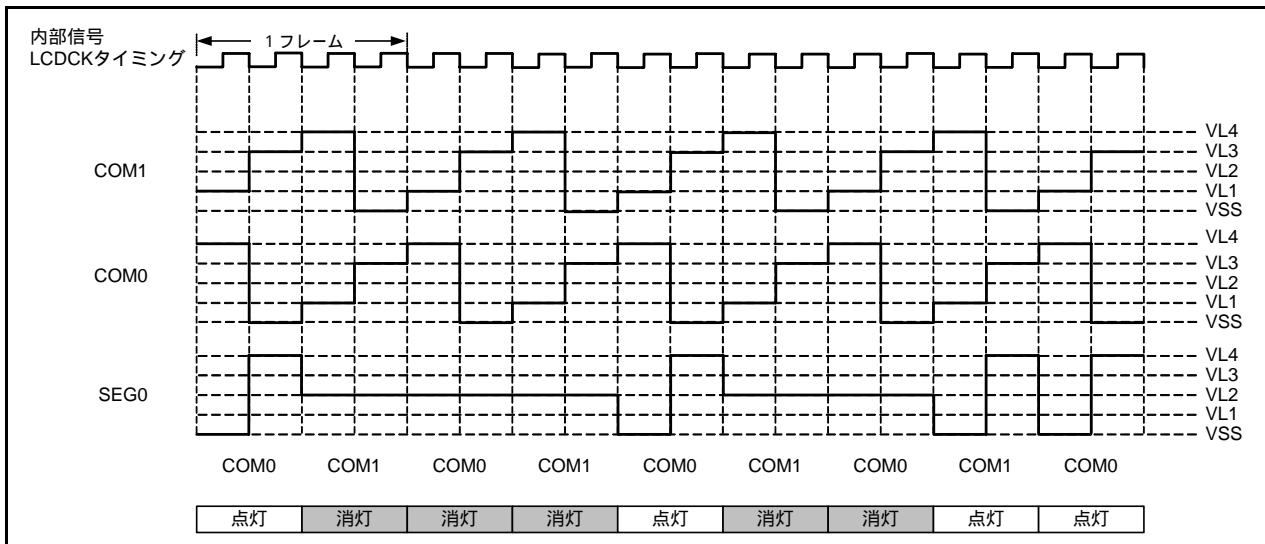


図 32.8 LCD駆動波形(LWAV="0"、1/2デューティ、1/4バイアス)

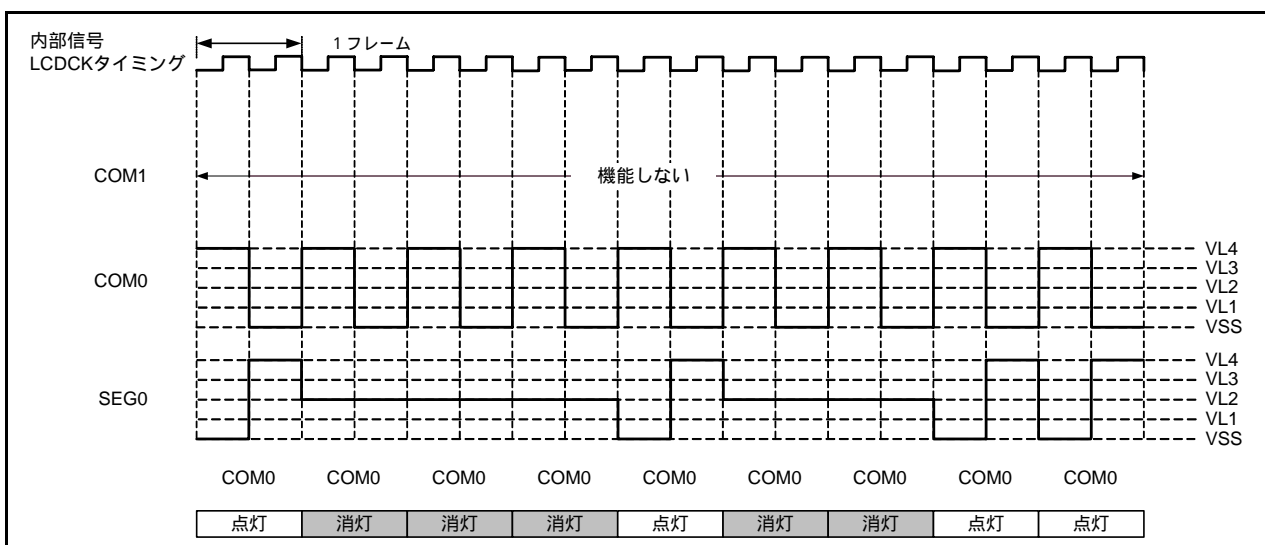


図 32.9 LCD駆動波形(LWAV="0"、スタティック、1/4バイアス)

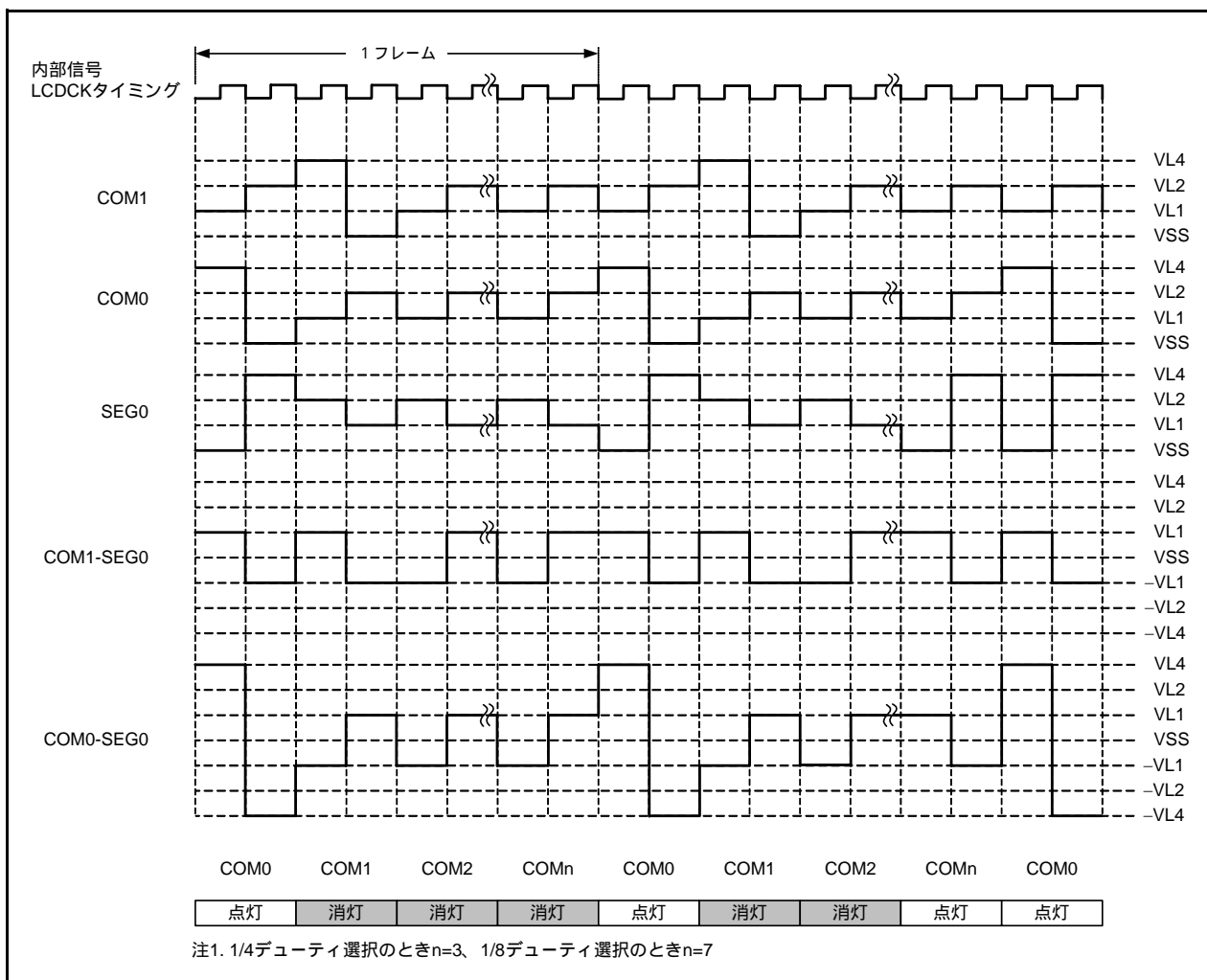


図32.10 LCD駆動波形(LWAV="0"、1/4、1/8デューティ、1/3パイアス)



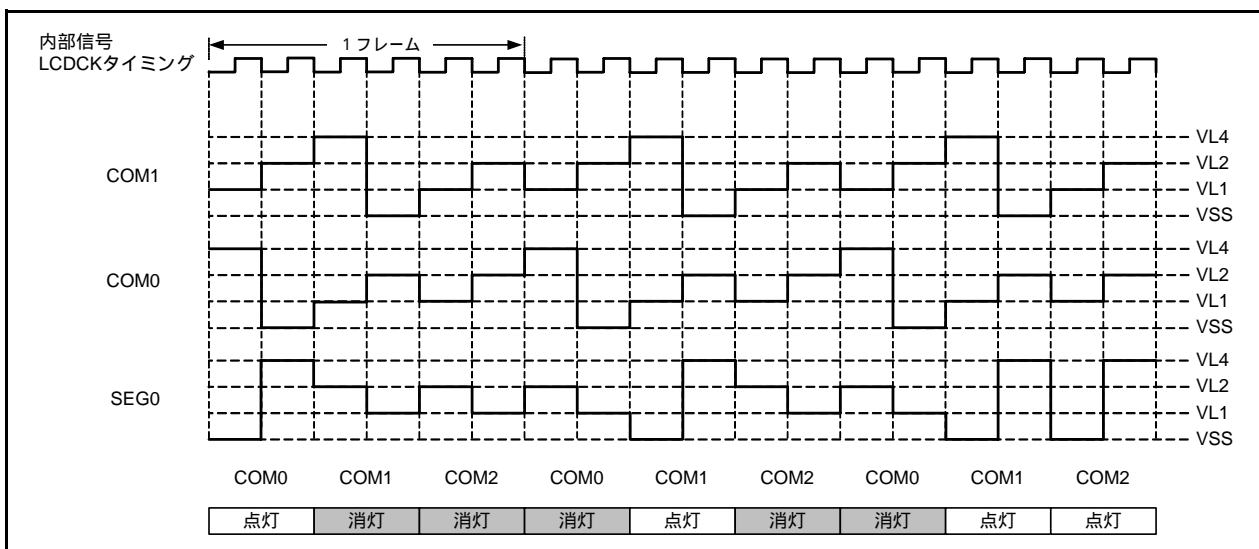


図 32.11 LCD駆動波形(LWAV="0"、1/3デューティ、1/3バイアス)

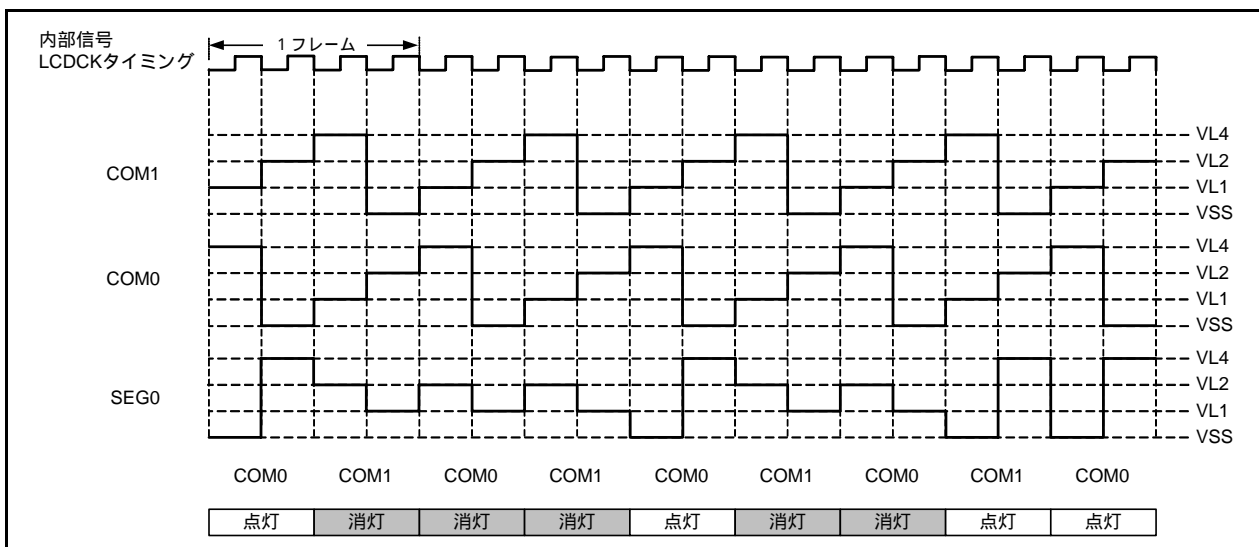


図 32.12 LCD駆動波形(LWAV="0"、1/2デューティ、1/3バイアス)

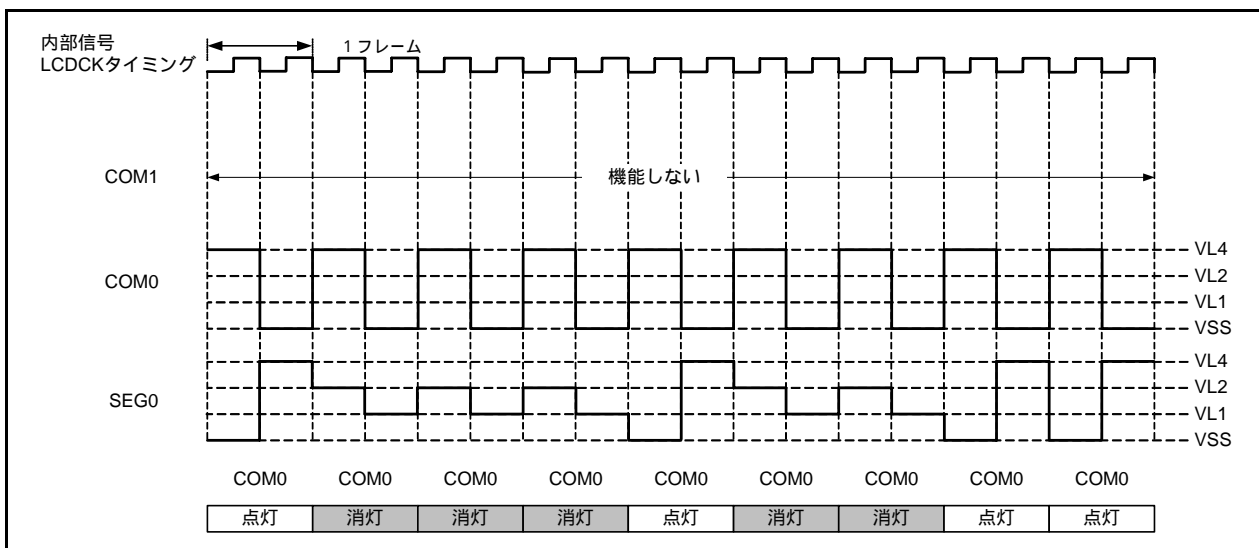


図 32.13 LCD駆動波形(LWAV="0"、スタティック、1/3バイアス)

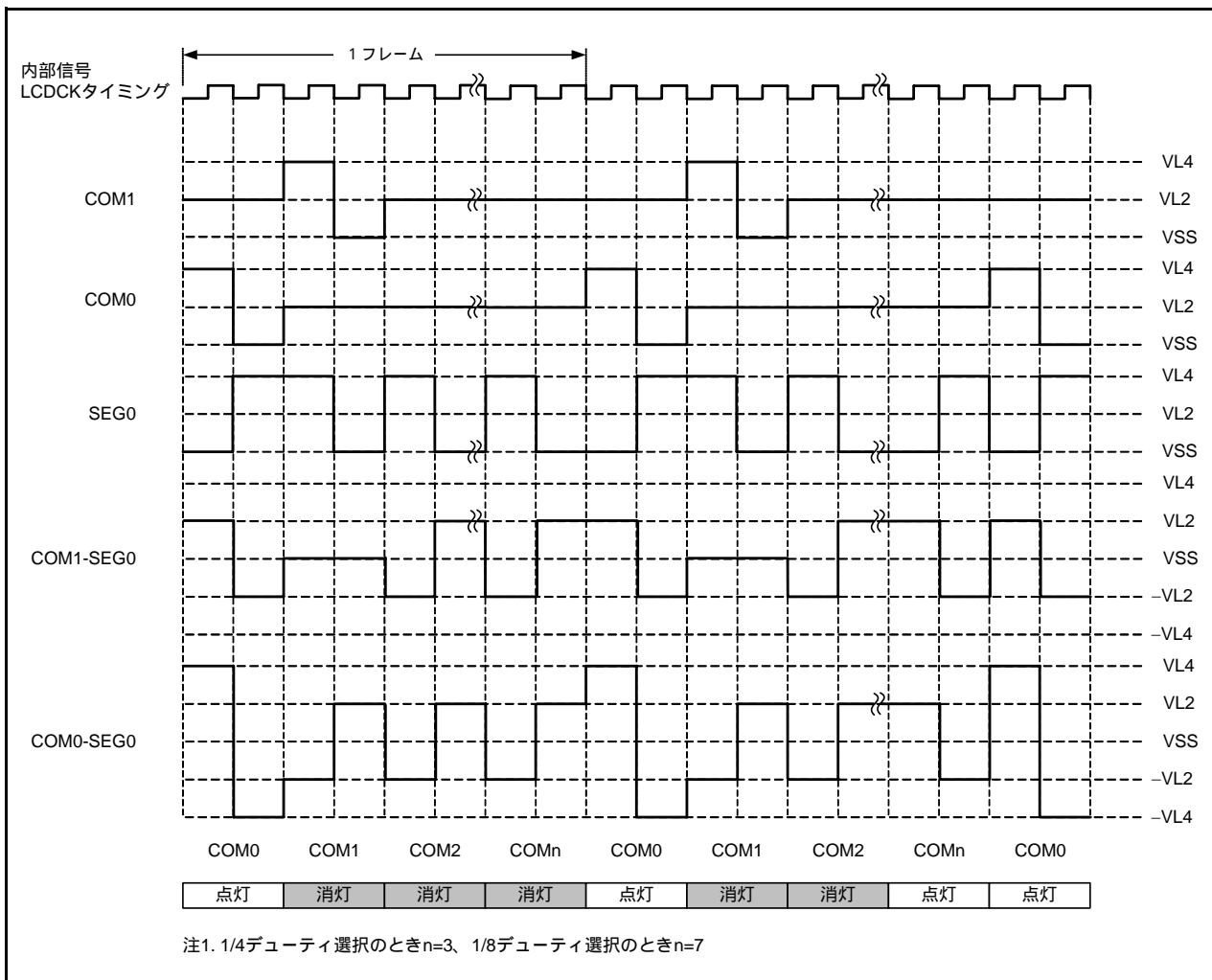


図32.14 LCD駆動波形(LWAV="0"、1/4、1/8デューティ、1/2パイアス)

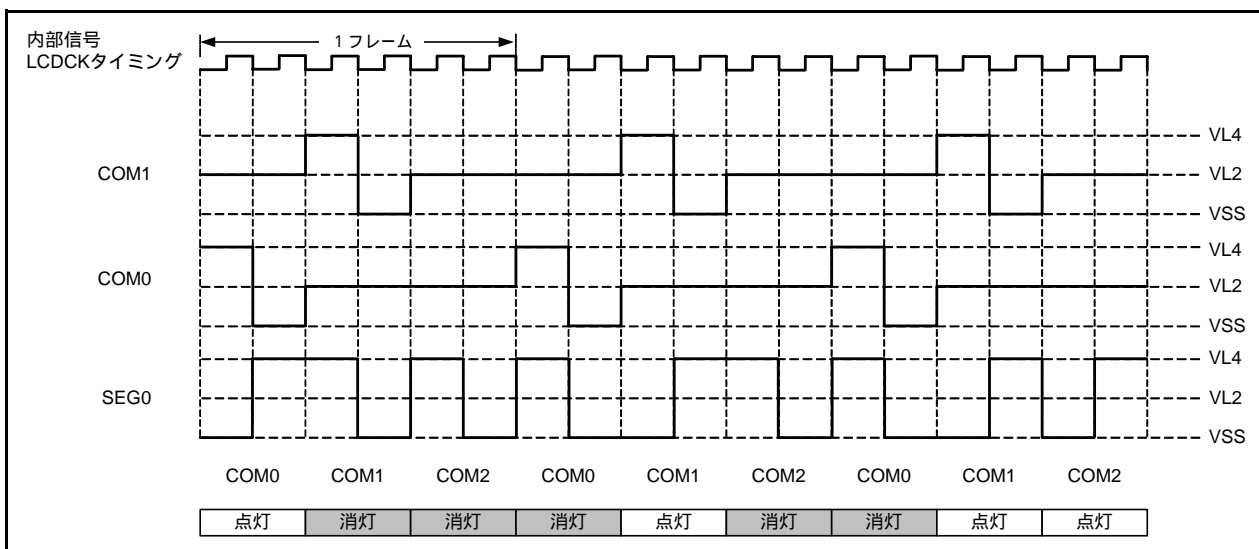


図 32.15 LCD 駆動波形 (LWAV="0"、1/3 デューティ、1/2 バイアス)

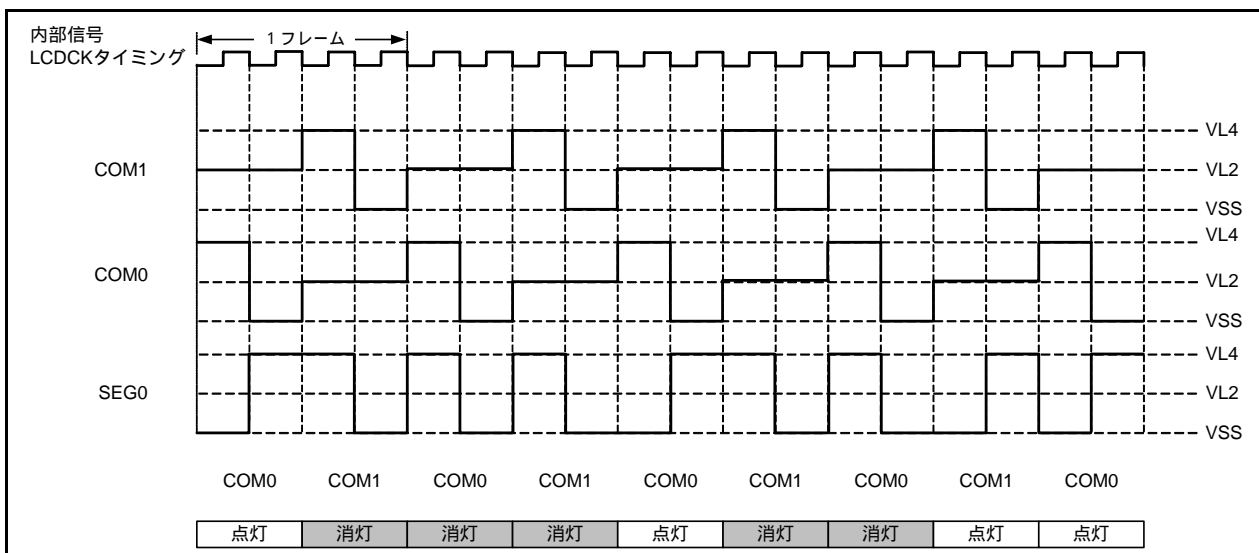


図 32.16 LCD 駆動波形 (LWAV="0"、1/2 デューティ、1/2 バイアス)

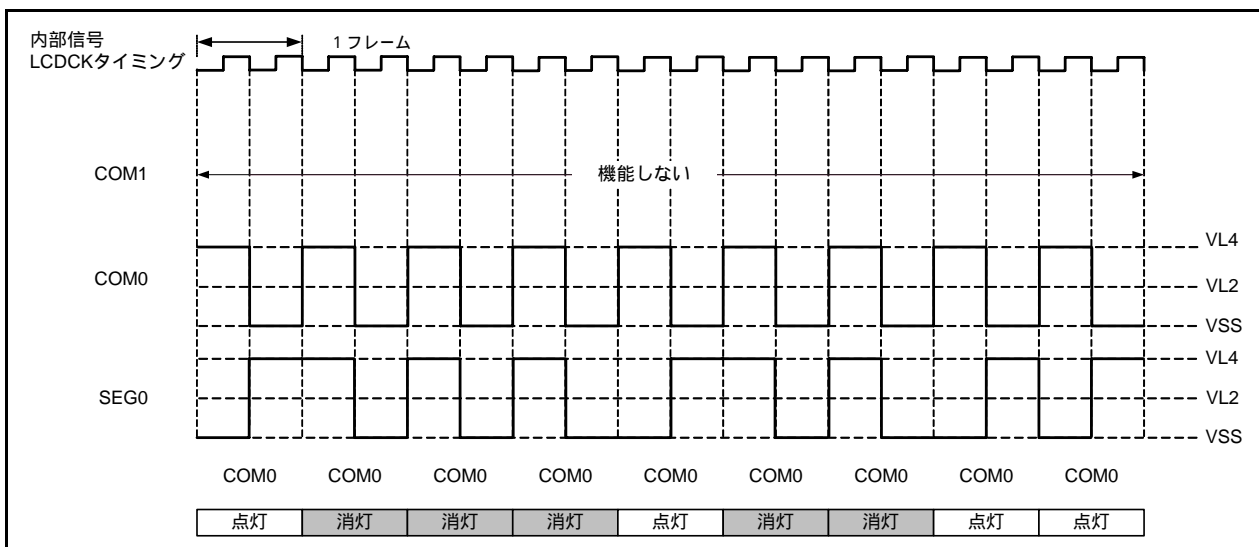


図 32.17 LCD 駆動波形 (LWAV="0"、スタティック、1/2 バイアス)

### 32.5.2 ドットマトリクスパネル制御波形

図 32.18 ~ 図 32.29 にドットマトリクスパネル制御の場合 (LWAV = "1") の各デューティ、バイアスに応じたLCD駆動波形を示します

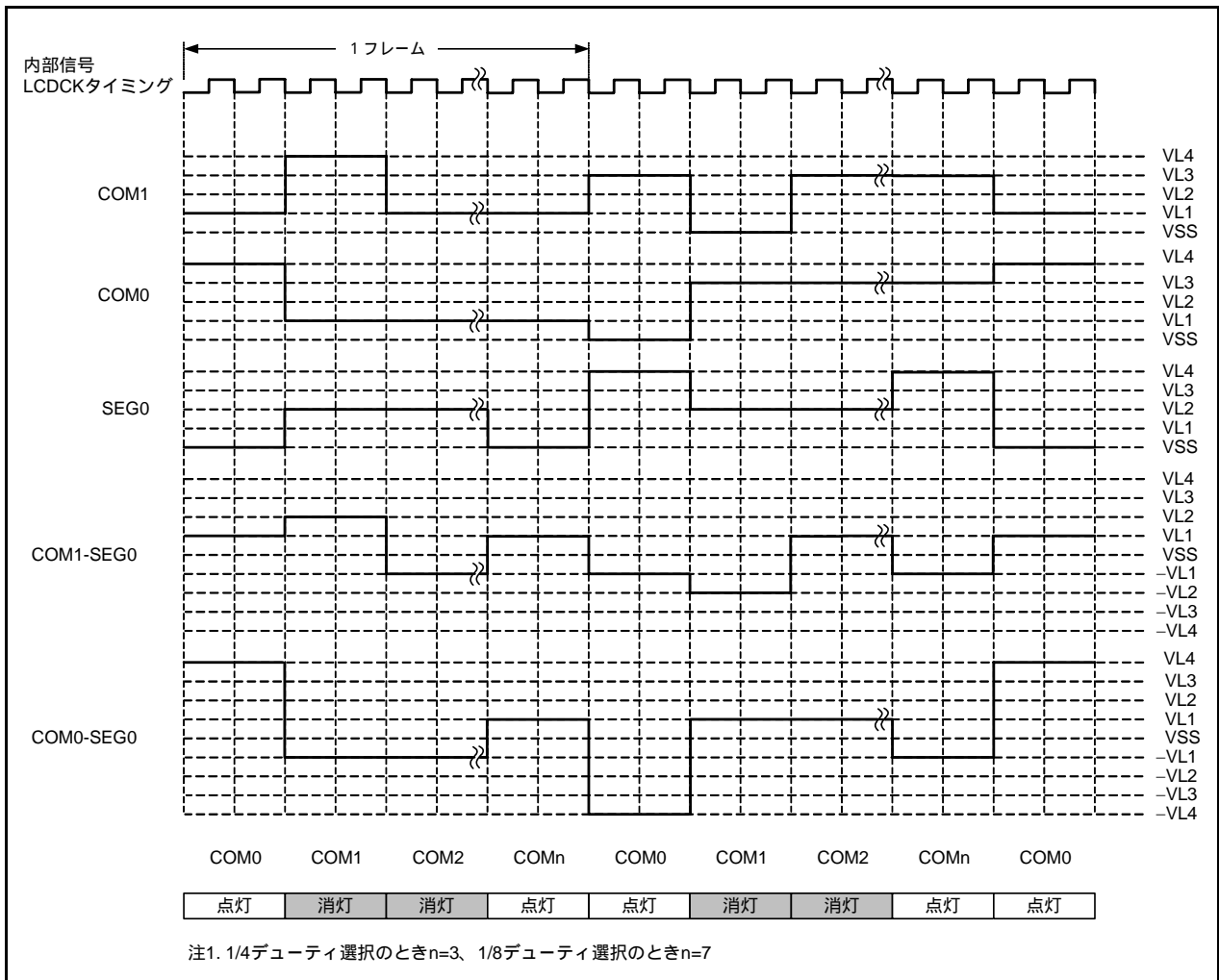


図32.18 LCD駆動波形(LWAV="1"、1/4、1/8デューティ、1/4バイアス)

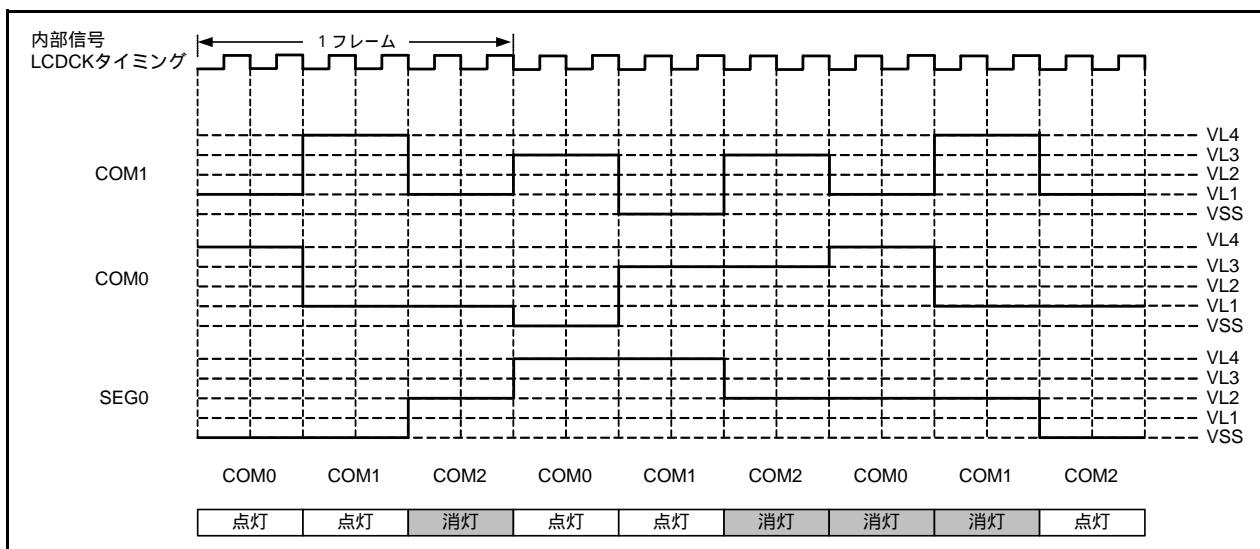


図 32.19 LCD駆動波形(LWAV="1"、1/3デューティ、1/4バイアス)

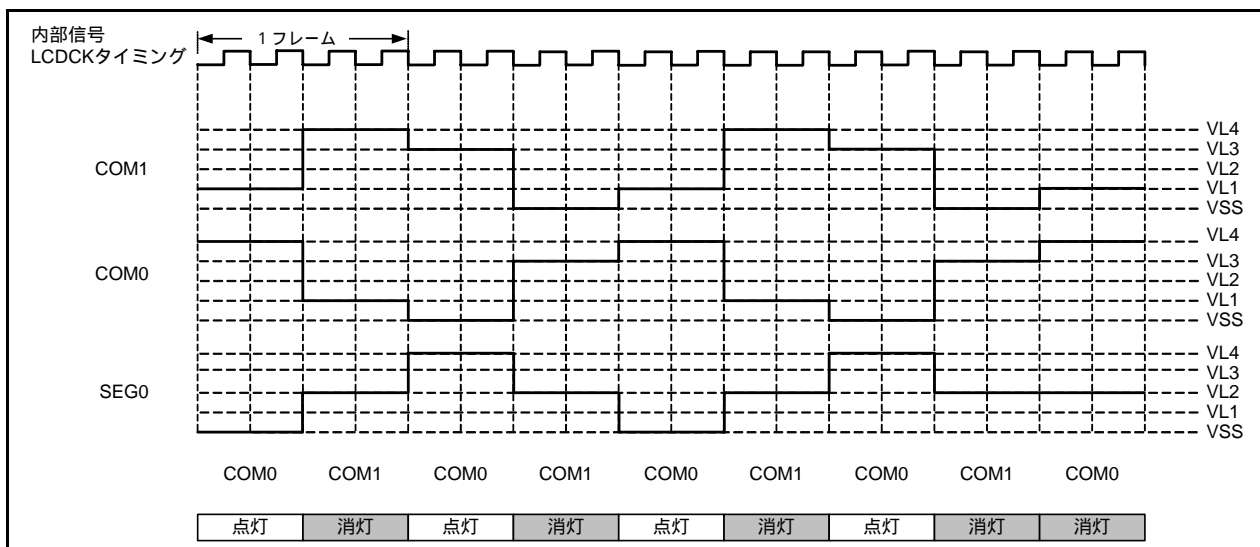


図 32.20 LCD駆動波形(LWAV="1"、1/2デューティ、1/4バイアス)

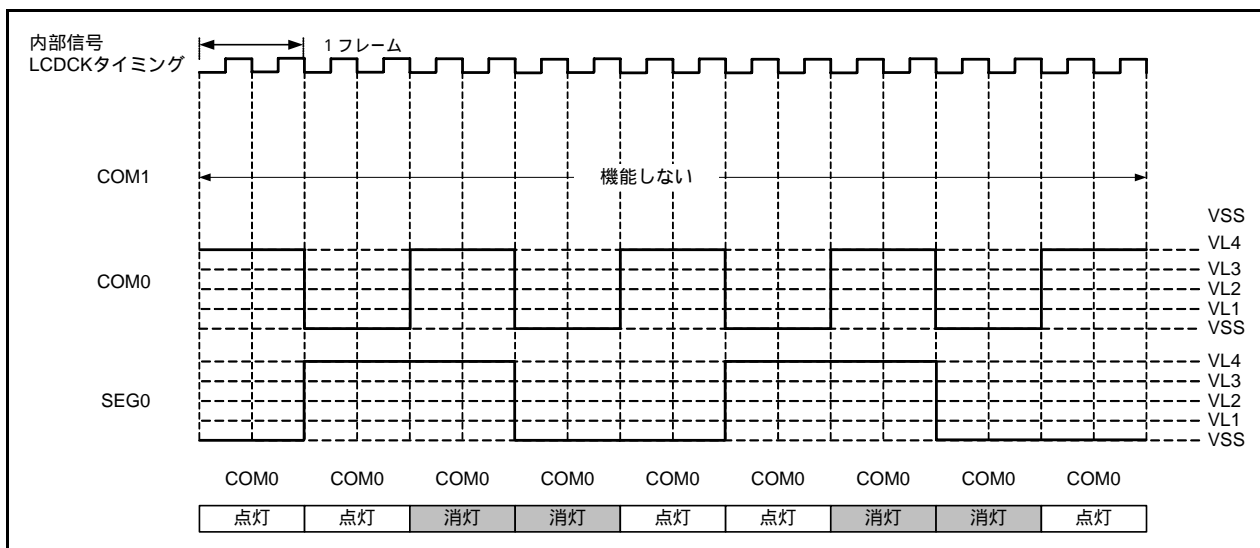


図 32.21 LCD駆動波形(LWAV="1"、スタティック、1/4バイアス)

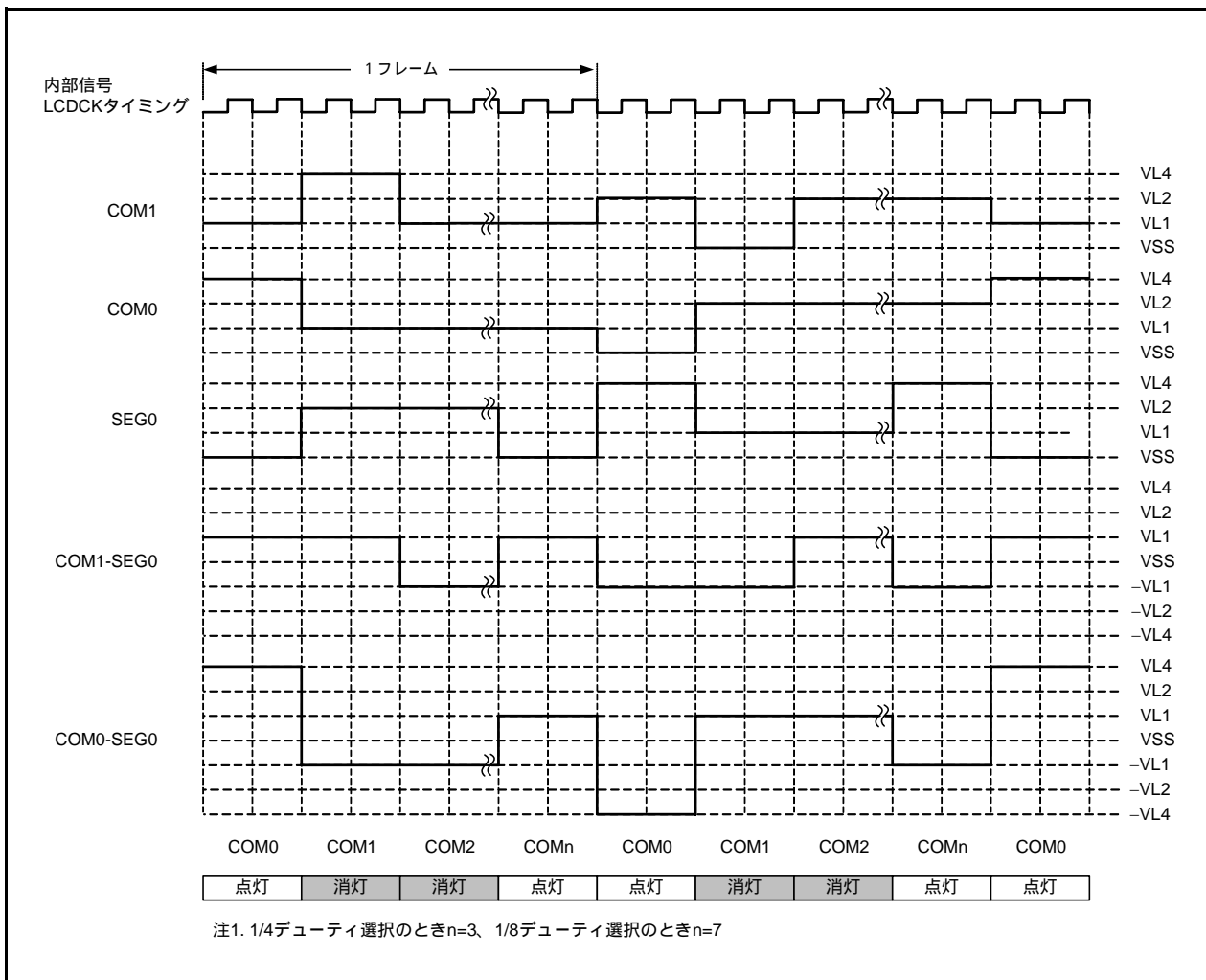


図32.22 LCD駆動波形(LWAV="1"、1/4、1/8デューティ、1/3パイアス)

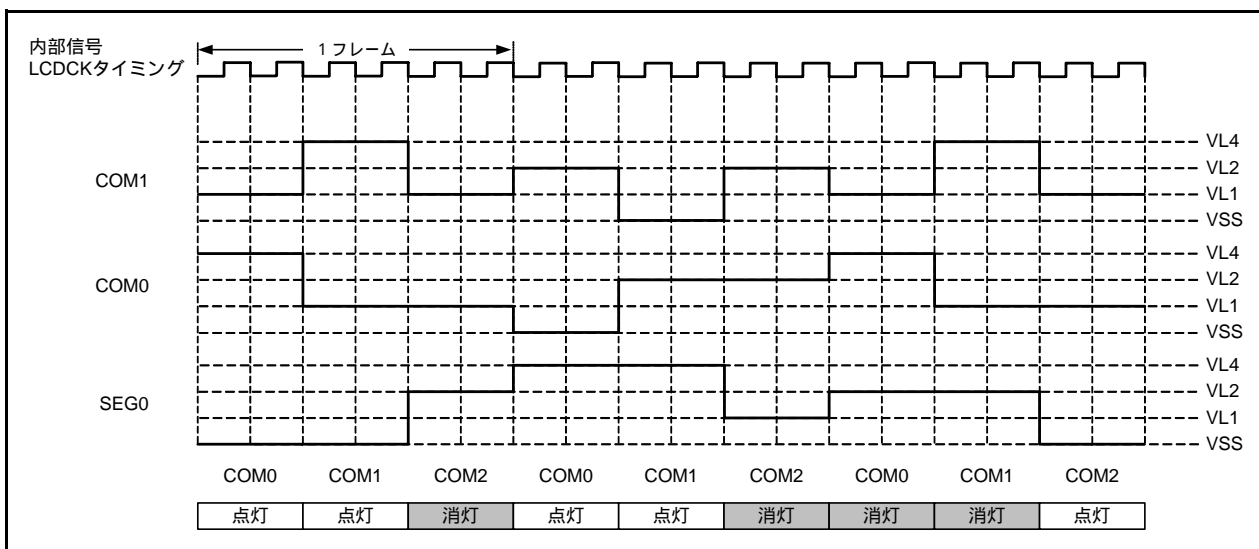


図 32.23 LCD駆動波形(LWAV="1"、1/3デューティ、1/3バイアス)

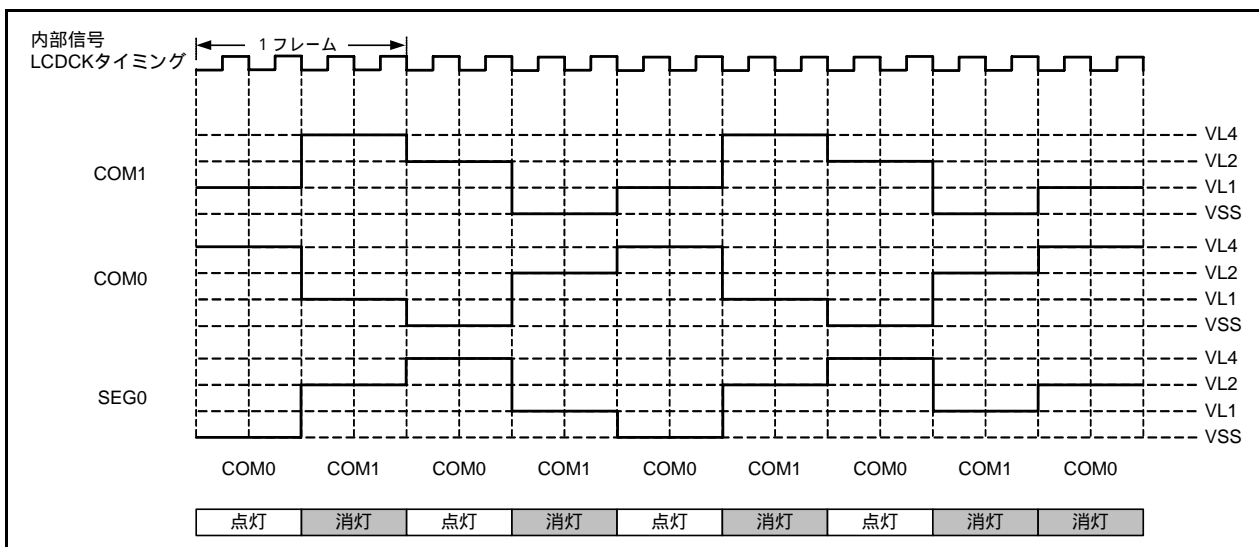


図 32.24 LCD駆動波形(LWAV="1"、1/2デューティ、1/3バイアス)

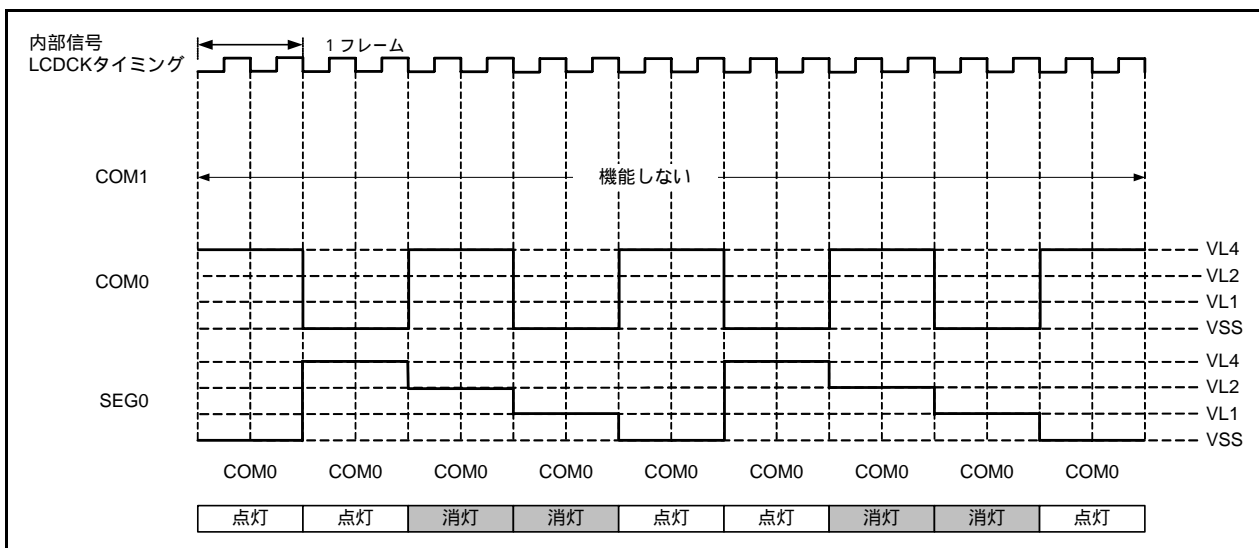


図 32.25 LCD駆動波形(LWAV="1"、スタティック、1/3バイアス)

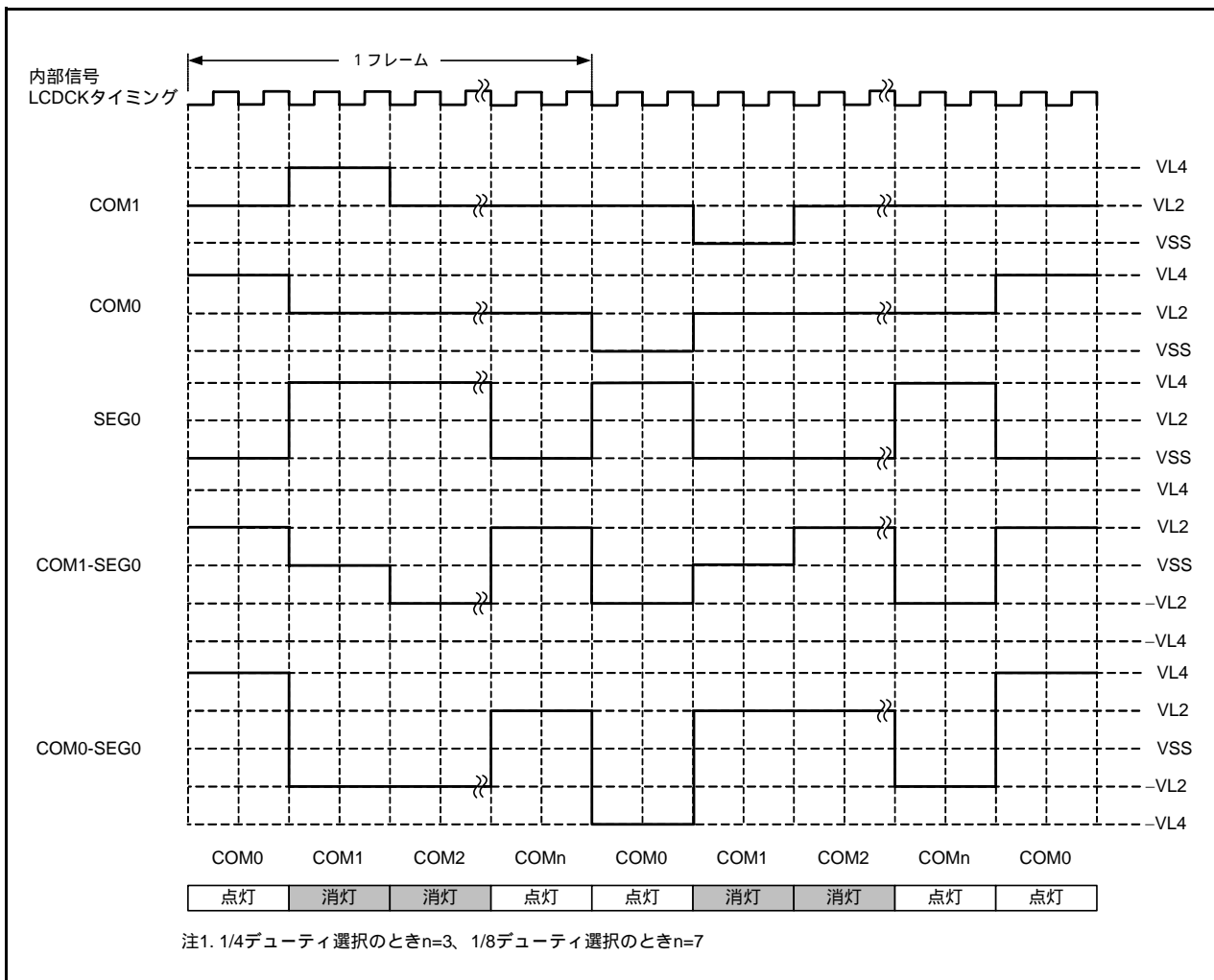


図32.26 LCD駆動波形(LWAV="1"、1/4、1/8デューティ、1/2パイアス)



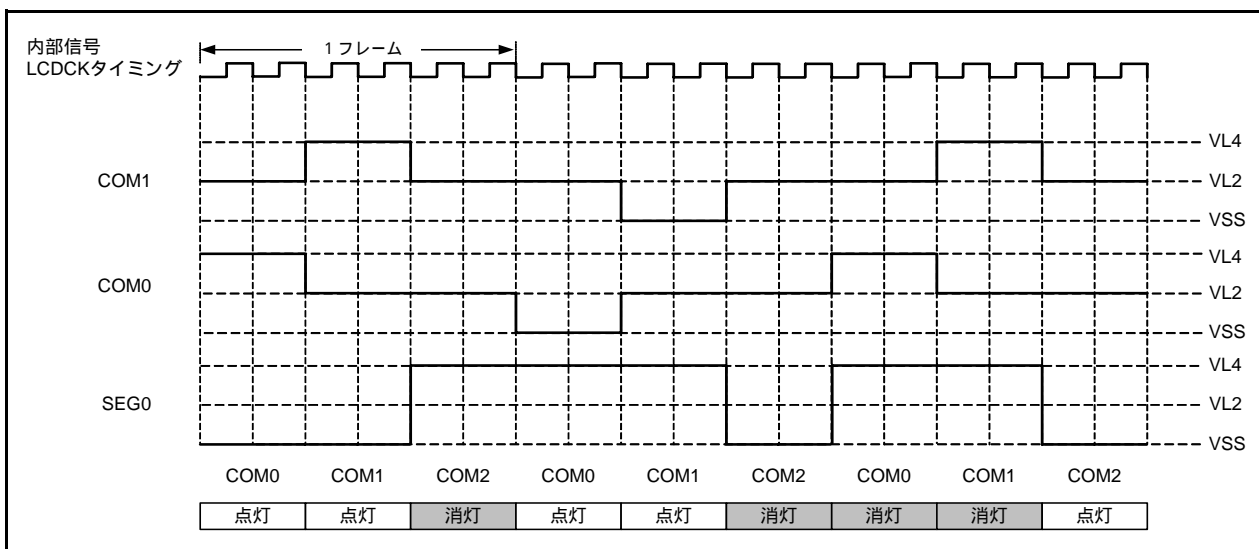


図 32.27 LCD駆動波形(LWAV="1"、1/3デューティ、1/2バイアス)

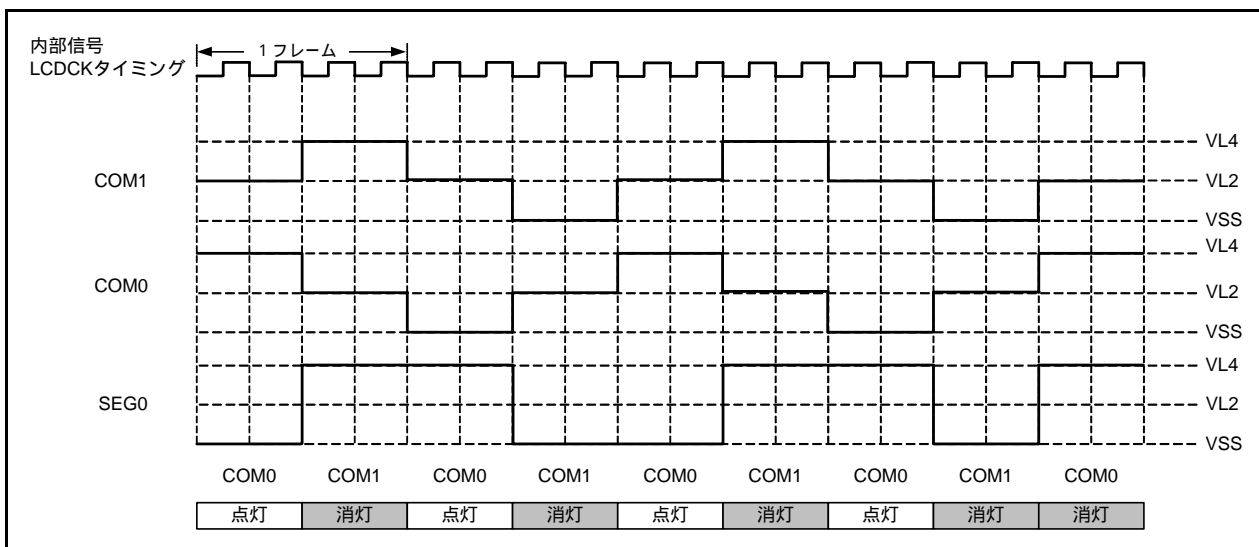


図 32.28 LCD駆動波形(LWAV="1"、1/2デューティ、1/2バイアス)

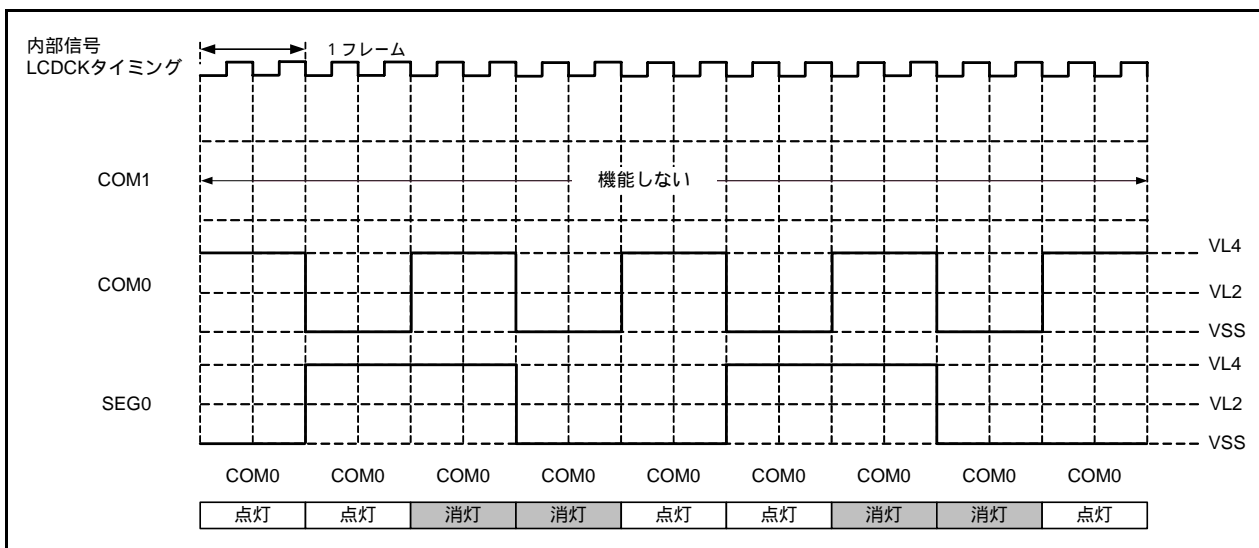


図 32.29 LCD駆動波形(LWAV="1"、スタティック、1/2バイアス)

## 32.6 LCD駆動制御回路使用上の注意

### 32.6.1 分割抵抗を外付けする場合

R1 ~ R4の参考値は200k、C1 ~ C4の参考値は0.22  $\mu$ Fです。これらの最適値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数に依存します。必要に応じて、値を調整してください(図32.4を参照してください)。

### 32.6.2 昇圧回路

CLの参考値は0.22  $\mu$ F、C1 ~ C4の参考値は0.22  $\mu$ Fです。これらの最適値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数に依存します。必要に応じて、値を調整してください(図32.5を参照してください)。

## 33. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

### 33.1 概要

表 33.1 にフラッシュメモリの性能概要を示します(表 33.1 に示す以外の項目は「表 1.5 及び表 1.6 の仕様概要」を参照してください)。

表 33.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図 33.1を参照してください。
プログラム方式		バイト単位またはワード単位(プログラムROMのみ)
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0~8 (プログラムROM)(注3)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		8コマンド
プログラム、イレーズ回数(注2)	ブロック0~8 (プログラムROM)(注3)	1,000回
	ブロックA、B、C、D (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V ~ 5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. プログラム、イレーズ回数の定義  
プログラム、イレーズ回数はブロックごとのイレーズ回数です。  
プログラム、イレーズ回数がn回(n=1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図 33.1 R8C/L35A、L36A、L38A、およびL3AAグループ、ならびにR8C/L35B、L36B、L38B、およびL3ABグループ(計8グループ)のフラッシュメモリのブロック図」を参照してください。

表 33.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライターを使用して、ユーザROM領域を書き換える	専用パラレルライターを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	

## 33.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 33.1にR8C/L35A、L36A、L38A、およびL3AAグループ、ならびにR8C/L35B、L36B、L38B、およびL3ABグループ(計8グループ)のフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM： 主にプログラムを格納するためのフラッシュメモリ

データフラッシュ： 主に書き換えが必要なデータを格納するためのフラッシュメモリ  
(R8C/L35B、L36B、L38B、L3ABグループは内蔵しません)

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

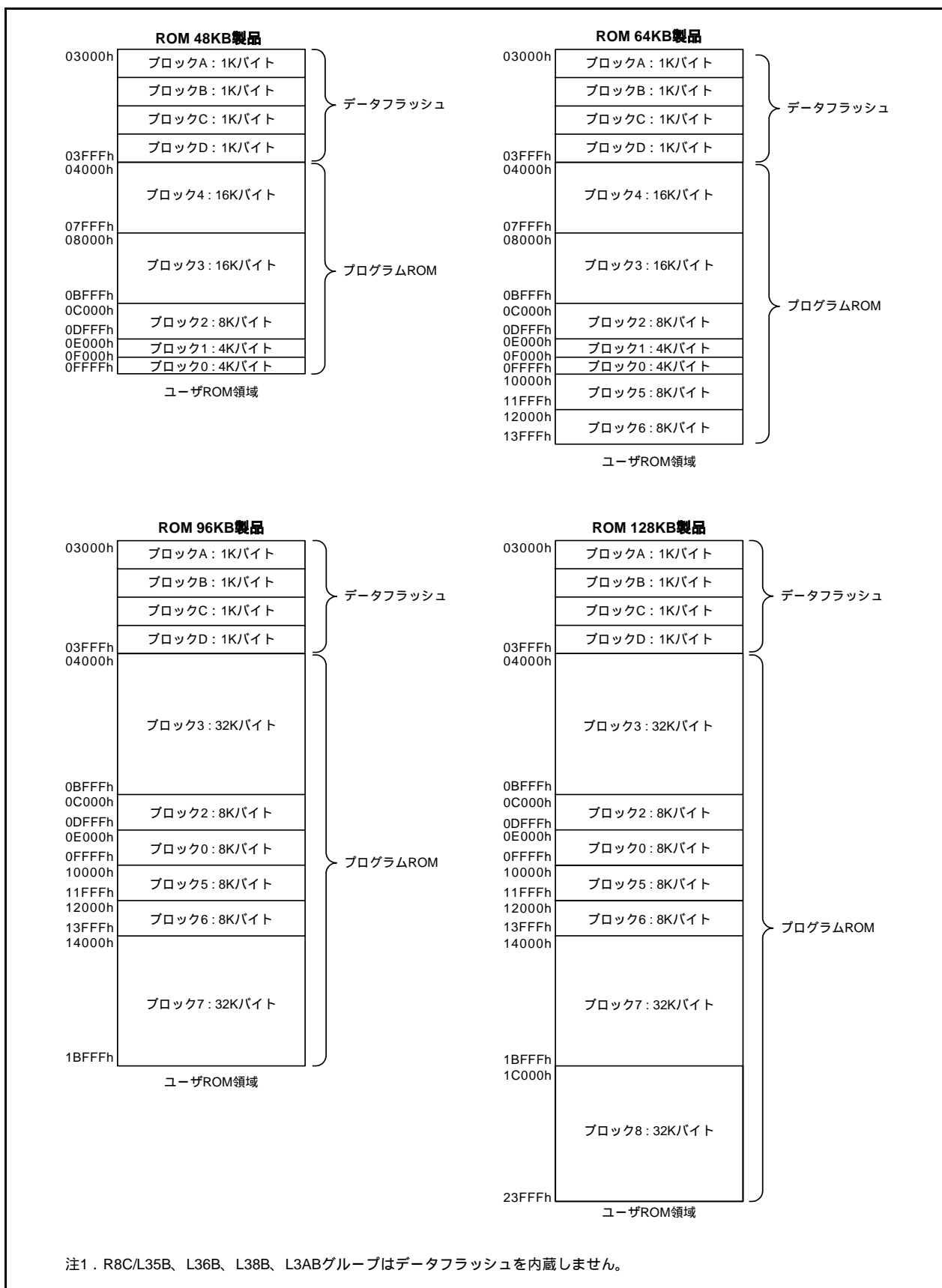


図 33.1 R8C/L35A、L36A、L38A、およびL3AAグループ、ならびにR8C/L35B、L36B、L38B、およびL3ABグループ(計8グループ)のフラッシュメモリのブロック図

### 33.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

#### 33.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

### 33.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「13. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

### 33.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	-	-	-	ROMCP1	ROMCR	-	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	-	予約ビット	“1” にしてください	R/W
b5	-			
b6	-			
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

### 33.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでフラッシュメモリを読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表 33.3にEW0モードとEW1モードの違いを示します。

表 33.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
フラッシュメモリの動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限		プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPU、DTCの状態	動作	・データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUは動作 ・プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	・プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする ・FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスク割込み要求が発生	・プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする(データフラッシュ領域を書き換え中) ・FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスク割込み要求が発生
CPUクロック	20MHz	20MHz



### 33.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	-	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニターフラグ	0: ロック状態 1: 非ロック状態	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。

注2. プログラムでBSYAEIビットは“1”(フラッシュアクセスエラー割り込み要求あり)にできません。

注3. コマンドエラー時にも“1”(エラーあり)になります。

注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

#### RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディーに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディーになる動作は、フラッシュメモリのイレーズ/ライト、サスペンド受付、強制終了、ロックビットプログラム終了、リードロックビットステータス終了です。

### BYSAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレース/ライトエラー割り込み許可)のときに、イレースエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

- (1) 割り込み処理のプログラムで“0”にしてください。
- (2) ステータスクリア命令を実行してください。

[“1”になる条件]

- (1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレース/ライトを実行している領域を読み/書きする。  
または、プログラムROM領域をイレース/ライト中にデータフラッシュ領域をリードする。  
(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが“1”(イレース/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレースエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

### LBDATAビット(LBDATAモニターフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが“1”(レディ)になった後、LBDATAビットを読んでください。

更新条件は、プログラム、イレース、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが“0”(ビジー)になります。FST7ビットが“1”(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

### FST4ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「33.4.12 フルステータスチェック」を参照してください。

### FST5ビット(イレースエラー/ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレースエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「33.4.12 フルステータスチェック」を参照してください。

### FST6ビット(イレースサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレースサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”になります。

### FST7ビット(レディ/ビジーステータスフラグ)

フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレース動作中は“0”、それ以外のときは“1”になります。

## 33.4.2 フラッシュメモリ制御レジスタ0(FMR0)

アドレス 01B4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	FMR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR00	プログラム単位選択ビット(注1、4)	0: バイト単位 1: ワード単位	R/W
b1	FMR01	CPU書き換えモード選択ビット(注1、5)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセットビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
- 注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
- 注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
- 注4. プログラムROM領域に対してのみ有効です。
- 注5. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

## FMR00ビット(プログラム単位選択ビット)

プログラムROM領域に対する書き込み単位を8ビット(バイト)単位、または16ビット(ワード)単位に設定できます。“1”(ワード単位)を選択した場合は、ソフトウェアコマンドの書き込みにはワード命令を使用してください。

## FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

## FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

### FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「9.7.9 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

### CMDRSTビット(イレース/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレースコマンドを強制停止させるためのビットです。フラッシュメモリのシーケンスの初期化中も、ユーザROM領域を読み出すことは可能です。

CMDRSTビットによりプログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックは、ブロックイレースを再度実行し、正常終了することを確認してください。プログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後、ブロックイレースコマンドを再度実行してください。

サスペンド応答時間 $t_d$ (SR-SUS)に対して、強制停止から読み出し可能になるまでの時間は数百 $\mu$ sです。

### CMDERIEビット(イレース/ライトエラー割り込み許可ビット)

プログラムエラー、または、ブロックイレースエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。CMDERIEビットを“1”(イレース/ライトエラー割り込み許可)にし、イレース/ライトを実施した場合に、イレースエラーまたはプログラムエラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

### BSYAEIEビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

### RDYSTIEビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

### 33.4.3 フラッシュメモリ制御レジスタ1(FMR1)

アドレス 01B5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	FMR12	FMR11	FMR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	FMR11			
b2	FMR12			
b3	FMR13	ロックビット無効選択ビット(注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注2)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注2)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット(注2)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット(注2)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W

- 注1. FMR13ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
- 注2. このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。“1”を書いた後、“0”を書くまでに割り込みが入らないようにしてください。

#### FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「33.4.10 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

[“0”になる条件]

次の条件が成立した時点で“0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- コマンドエラー発生時点
- イレーズサスペンド移行時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

[“1”になる条件]

プログラムで“1”にしてください。

#### FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが“0”のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレースコマンドを受け付けます。

#### FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが“0”のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレースコマンドを受け付けます。

#### FMR16ビット(データフラッシュブロックC書き換え禁止ビット)

FMR16ビットが“0”のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレースコマンドを受け付けます。

#### FMR17ビット(データフラッシュブロックD書き換え禁止ビット)

FMR17ビットが“0”のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレースコマンドを受け付けます。

### 33.4.4 フラッシュメモリ制御レジスタ2(FMR2)

アドレス 01B6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	-	-	-	-	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット (注1)	0: イレーズサスペンド禁止 1: イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエスト ビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエ スト許可ビット(注1)	0: 割り込み要求でイレーズサスペンドリクエスト禁止 1: 割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	-	何も配置されていない。書く場合、 “0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	FMR27	低消費電流リードモード許可ビッ ト(注1)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書きかたに割り込みが入らないようにしてください。

注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。

#### FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

#### FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

["0"になる条件]

プログラムで“0”にしてください。

["1"になる条件]

- 割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- プログラムで“1”にしてください。

#### FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、“1”にしてください。

#### FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「9.7.10 低消費電流リードモード」を参照してください。

### 33.4.5 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを“1”(イレーズサスペンド許可)、FMR21ビットを“1”(イレーズサスペンドリクエスト)にしてください。そしてtd(SR-SUS)待ち、FSTレジスタのFST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください。FMR2レジスタのFMR21ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

### 33.4.6 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。



### 33.4.7 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます。(「表 33.4 サスペンド中に実行できる動作」参照)

- データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラムROMへの読み出しが実行できます。
- プログラムROMの任意のブロックの自動消去をサスペンドした場合、プログラムROMの別のブロックへの読み出しが実行できます。
- プログラムROMの自動消去をサスペンドした場合、データフラッシュへの読み出しが実行できます。

図 33.2にサスペンド動作に関するタイミングを示します。

表 33.4 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレース実行ブロック)			データフラッシュ (サスペンド移行前の イレース未実行ブロック)			プログラムROM (サスペンド移行前の イレース実行ブロック)			プログラムROM (サスペンド移行前の イレース未実行ブロック)		
		イレース	プログラム	リード	イレース	プログラム	リード	イレース	プログラム	リード	イレース	プログラム	リード
サスペンド 移行前の イレース 実行領域	データ フラッシュ	×	×	×	×	×					×	×	(注5)
	プログラム ROM				×	×		×	×	×	×	×	

注1. はサスペンド機能を使用することで動作可能、×は動作禁止、 は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレースはブロックイレースを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。  
クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”(レディ)で実行できます。  
サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレースサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュをプログラムあるいはブロックイレース動作中に、BGO機能によりプログラムROM領域を読み出すことができます。

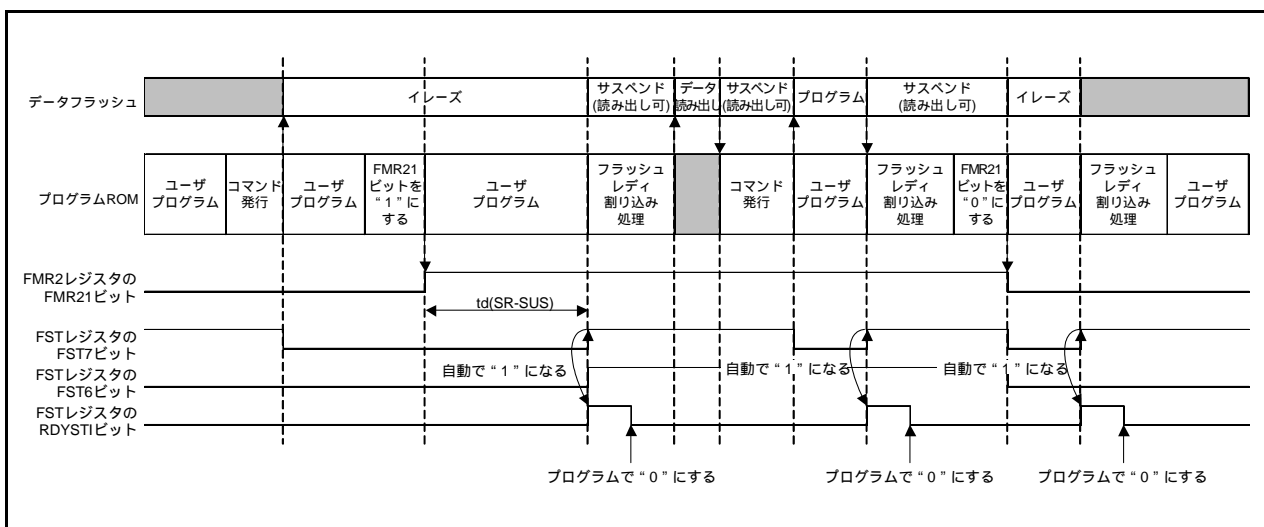


図 33.2 サスペンド動作に関するタイミング

### 33.4.8 各モードの設定と解除方法

図 33.3 にEW0モードの設定と解除方法を、図 33.4 にEW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法を示します。

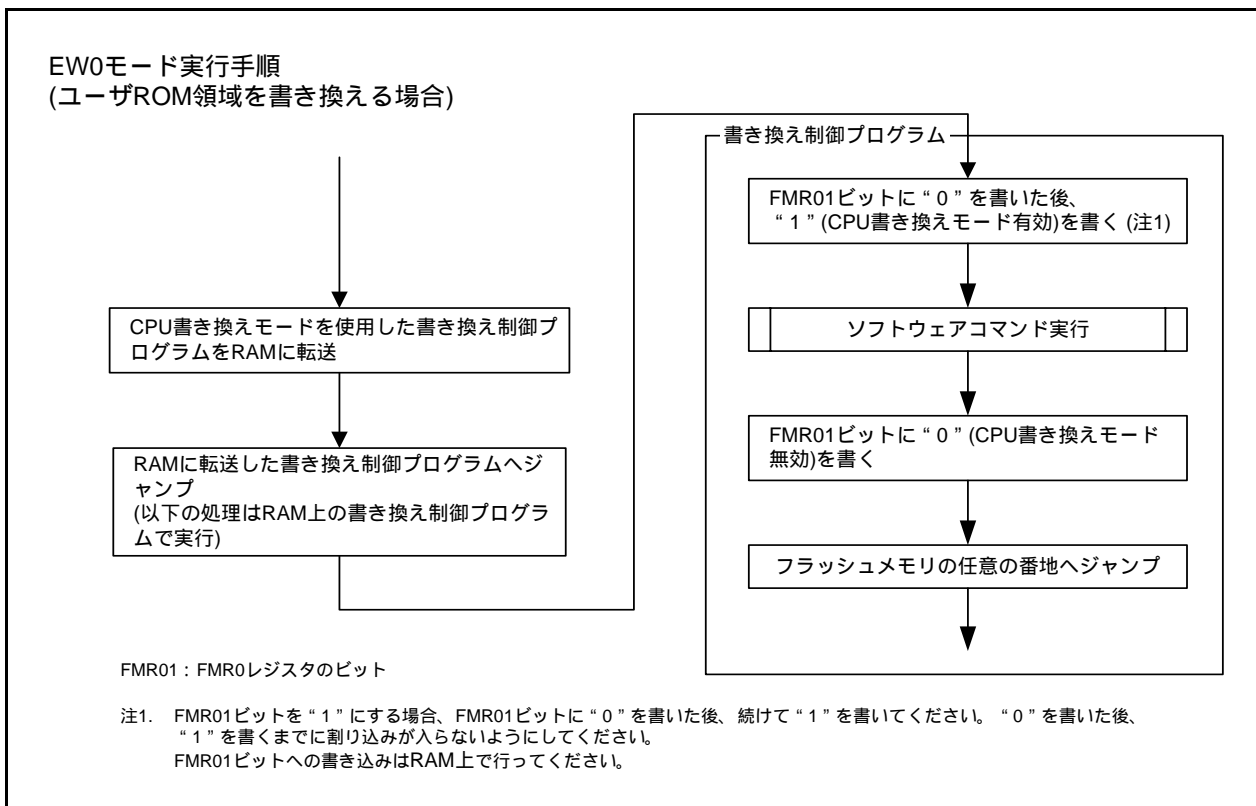


図 33.3 EW0モードの設定と解除方法

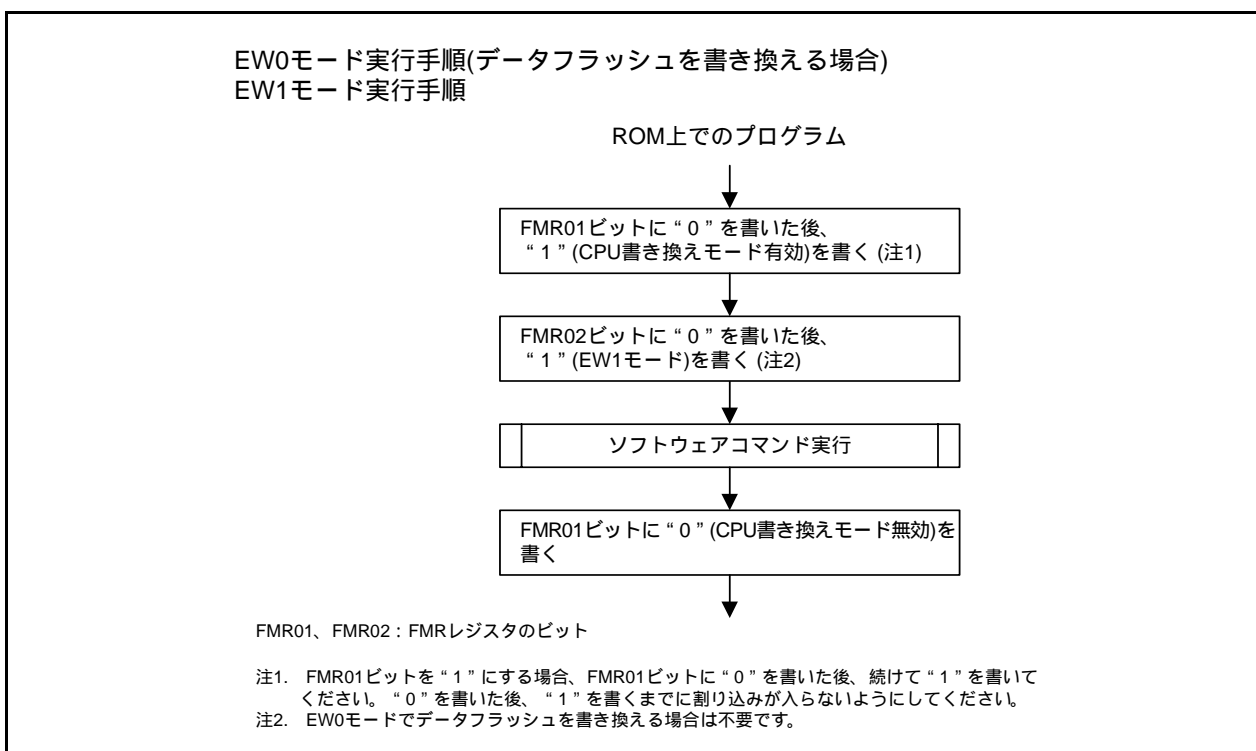


図 33.4 EW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法

### 33.4.9 BGO(バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

図 33.5 にBGO機能を示します。

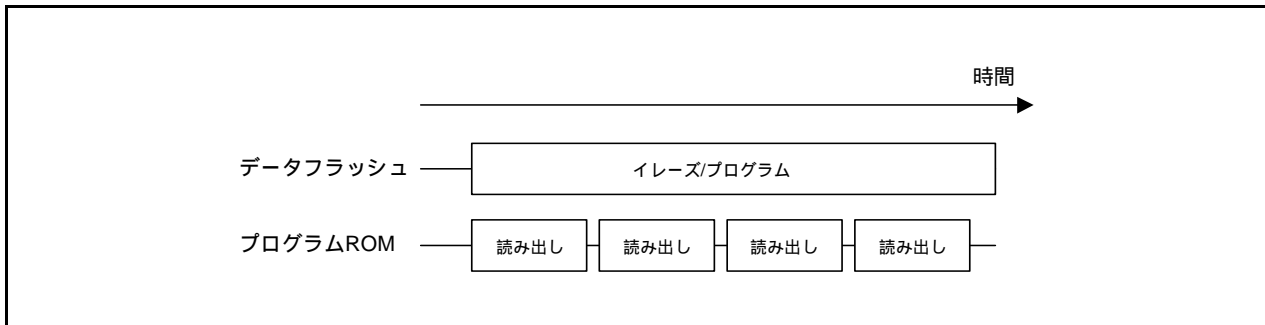


図 33.5 BGO機能

### 33.4.10 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「33.4.11 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、“0”になります。FMR13ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが“0”(ビジー)から“1”(レディ)になった場合
- 不正なコマンドが入力された場合
- FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした場合
- FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にした場合

図 33.6にFMR13ビットの動作に関するタイミングを示します。

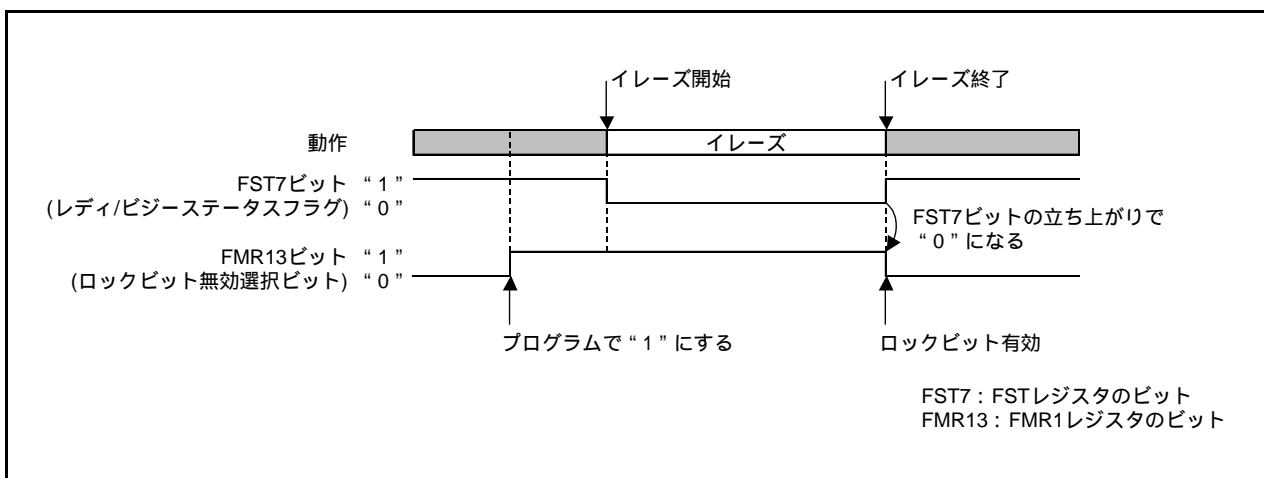


図 33.6 FMR13ビットの動作に関するタイミング

### 33.4.11 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。ただし、プログラム(ワード単位)のコマンド、データの書き込みは16ビット単位で行ってください。

表 33.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	x	FFh			
クリアステータスレジスタ	ライト	x	50h			
プログラム(バイト単位)	ライト	WA	40h	ライト	WA	WD8
プログラム(ワード単位)	ライト	WA	xx40h	ライト	WA	WD16
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	x	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	x	25h	ライト	BA	D0h

WA : 書き込み番地(ワード単位でプログラムを実行する場合は、偶数番地を指定してください。)

WD8 : 書き込みデータ(8ビット)

WD16: 書き込みデータ(16ビット)

BA : ブロックの任意の番地

BT : ブロックの先頭番地

x : ユーザROM領域内の任意の番地

xx : コマンドコードの上位8ビット(無視されます)

#### 33.4.11.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ後、イレーズサスペンド移行後はリードアレイモードになります。

#### 33.4.11.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

### 33.4.11.3プログラム

1バイトまたは1ワード単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”(または“xx40h”)を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。また、ワード単位でプログラムを実行する場合は、偶数番地を指定してください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます。(「33.4.12 フルスステータスチェック」参照)

すでにプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図33.7にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図33.8にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

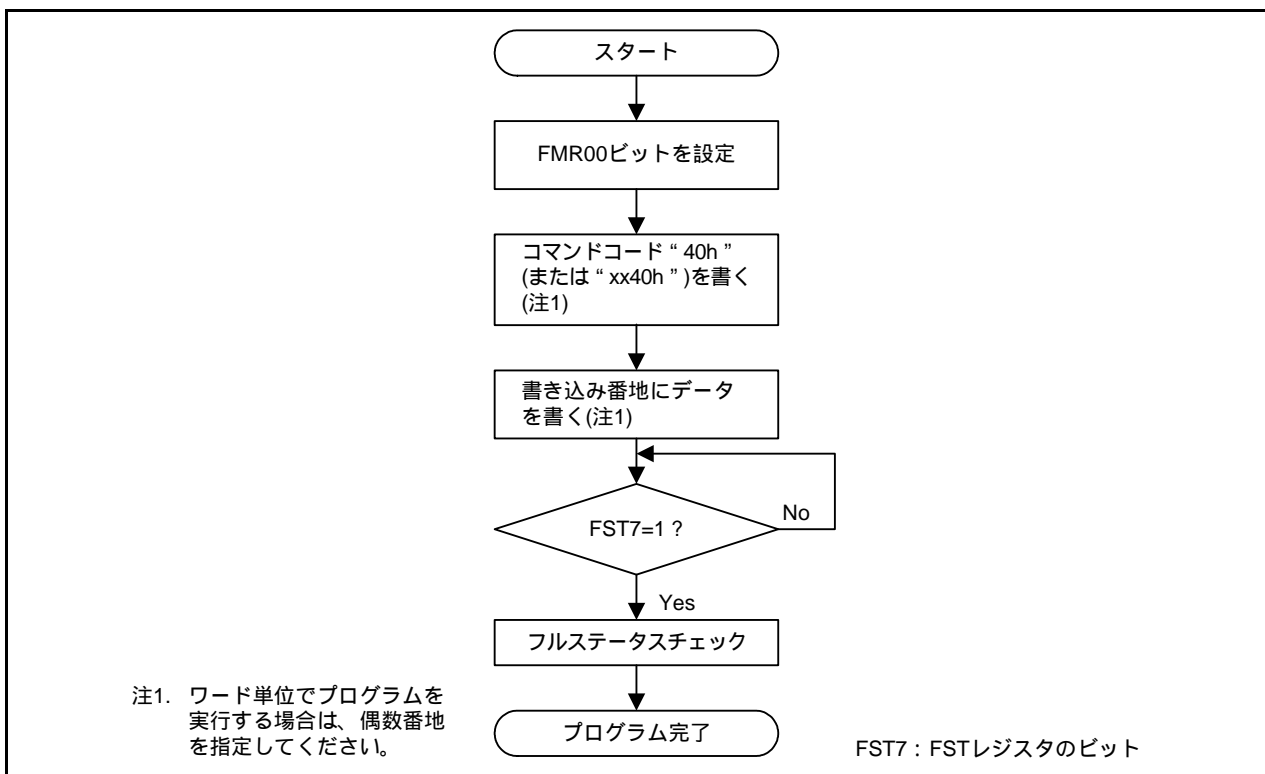


図 33.7 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

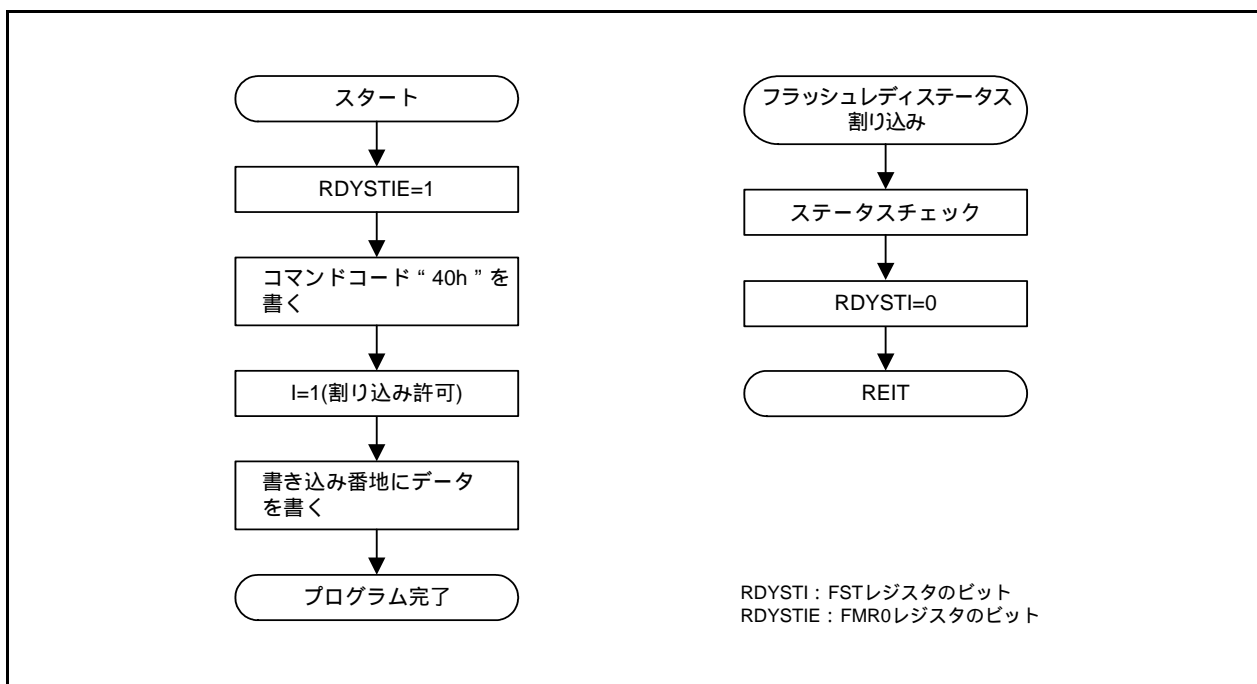


図 33.8 プログラムフローチャート(フラッシュレディステータス割り込み許可)

#### 33.4.11.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます。(「33.4.12 フルステータスチェック」参照)

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図 33.9 にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図 33.10 にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図 33.11 にブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。



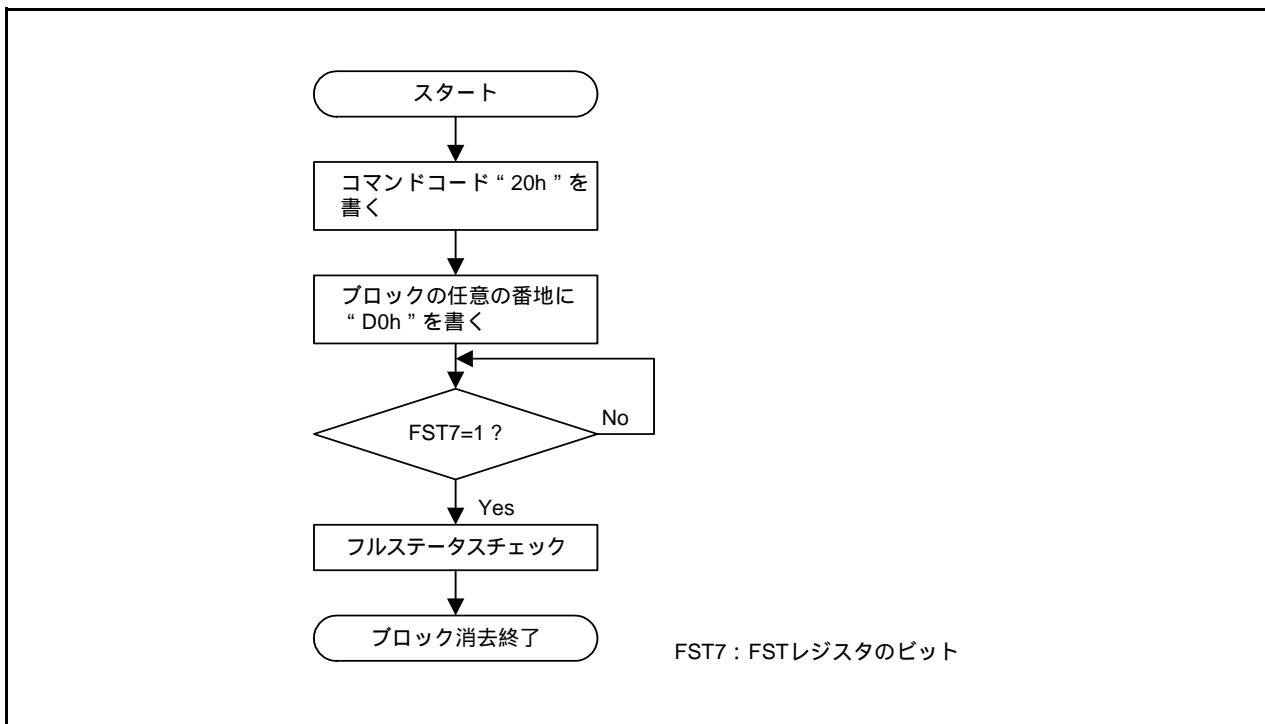


図 33.9 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

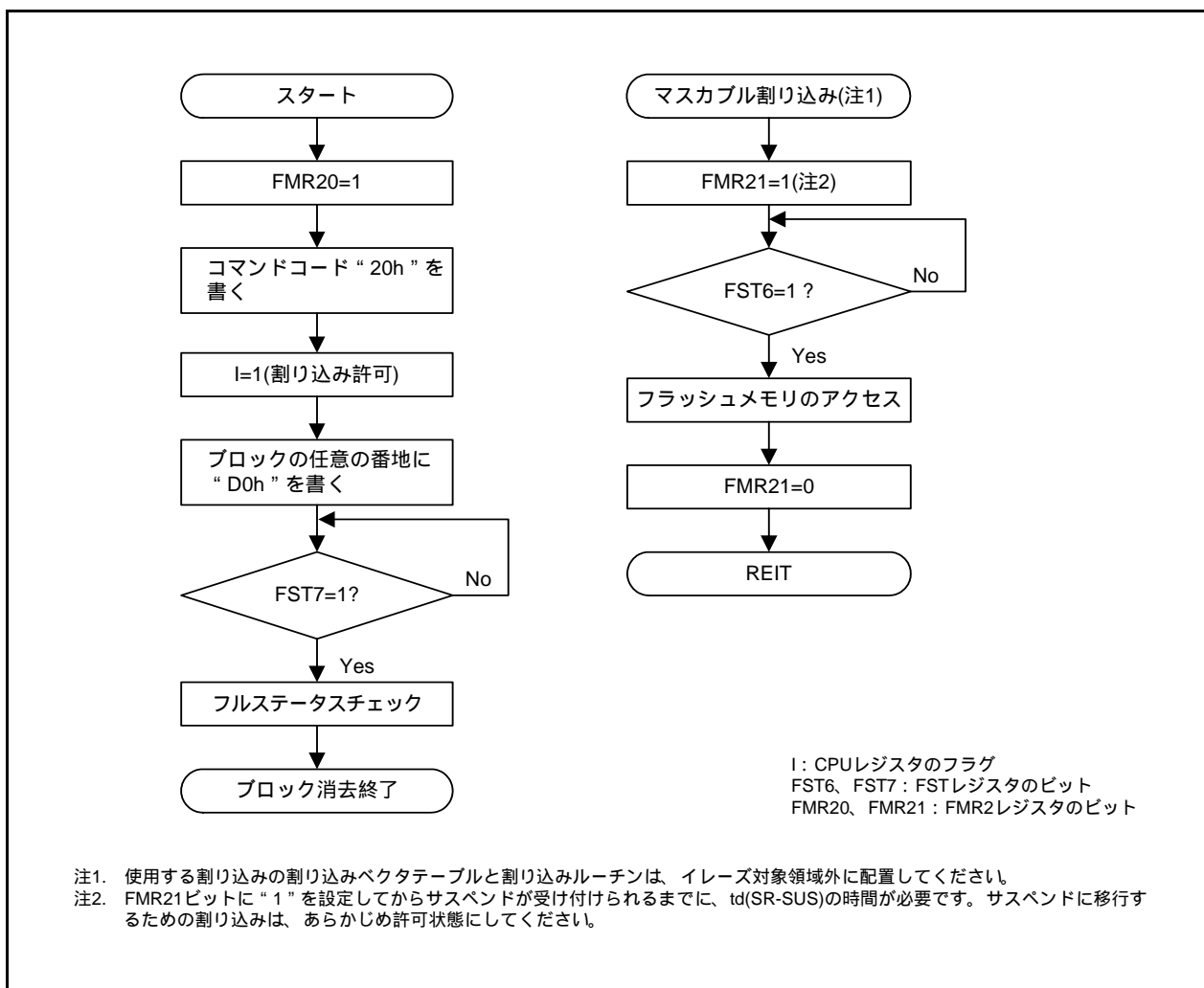


図 33.10 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

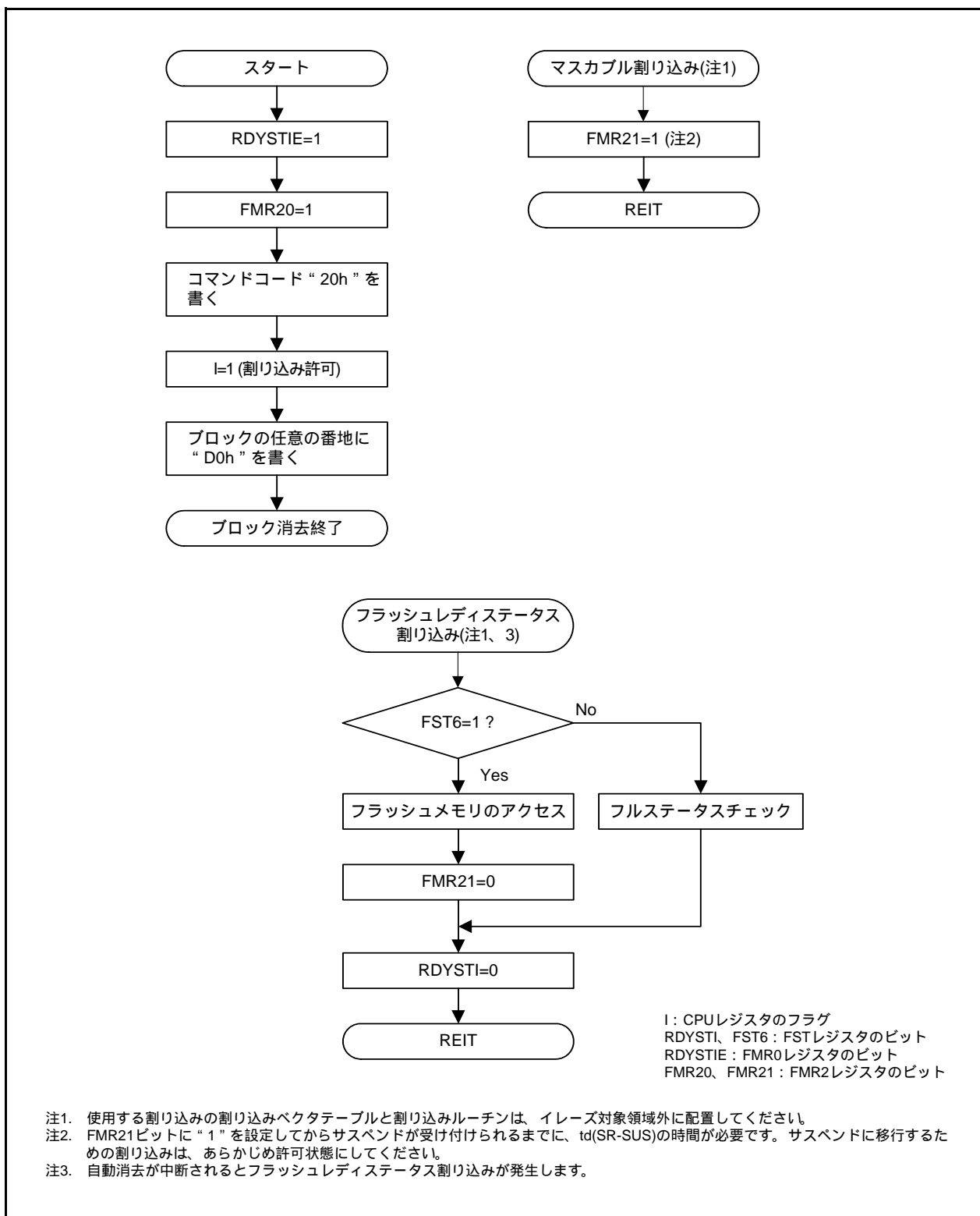


図 33.11 ブロックイレーズフローチャート (フラッシュレディステータス割り込み許可かつサスペンド許可)

### 33.4.11.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地には書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図 33.12 にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「33.4.10 データ保護機能」を参照してください。

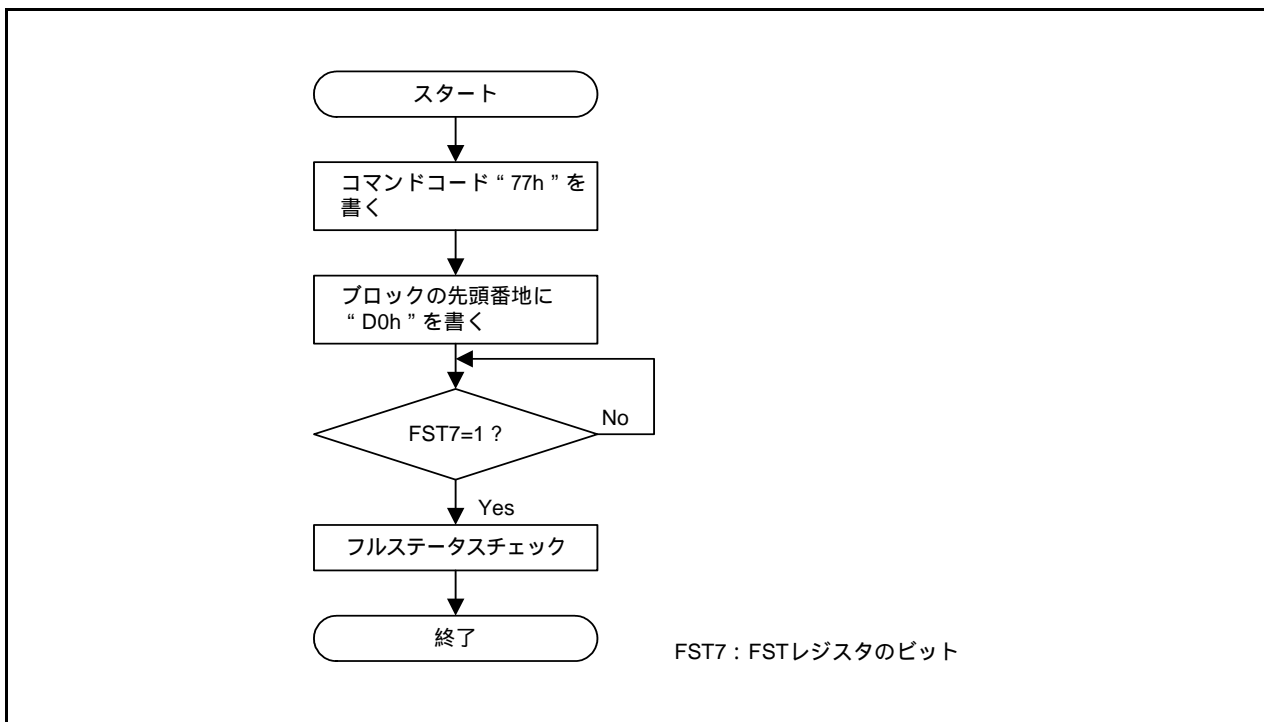


図 33.12 ロックビットプログラムフローチャート

### 33.4.11.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”（レディ）になった後、LBDATAビットを読んでください。

図 33.13 にリードロックビットステータスフローチャートを示します。

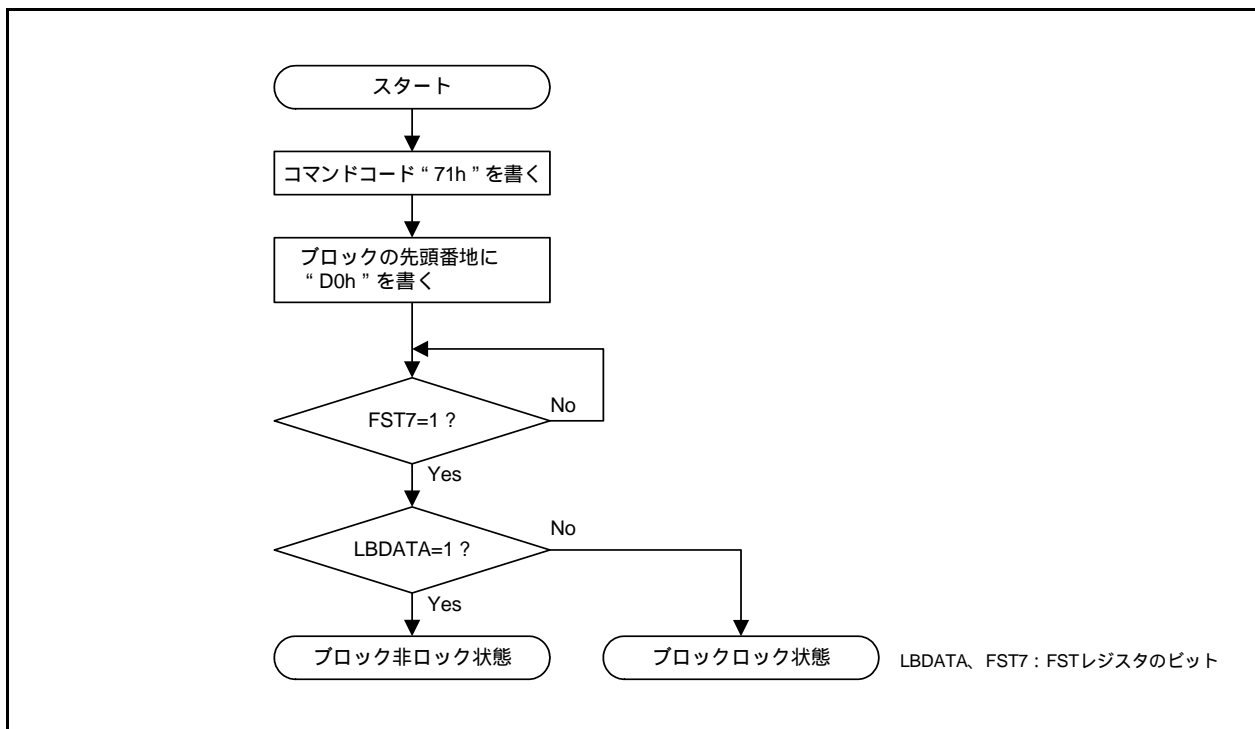


図 33.13 リードロックビットステータスフローチャート

### 33.4.11.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“0”、終了後は“1”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます。(「33.4.12 フルステータスチェック」参照)

FST6ビットが“1”(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図 33.14 にブロックブランクチェックフローチャートを示します。

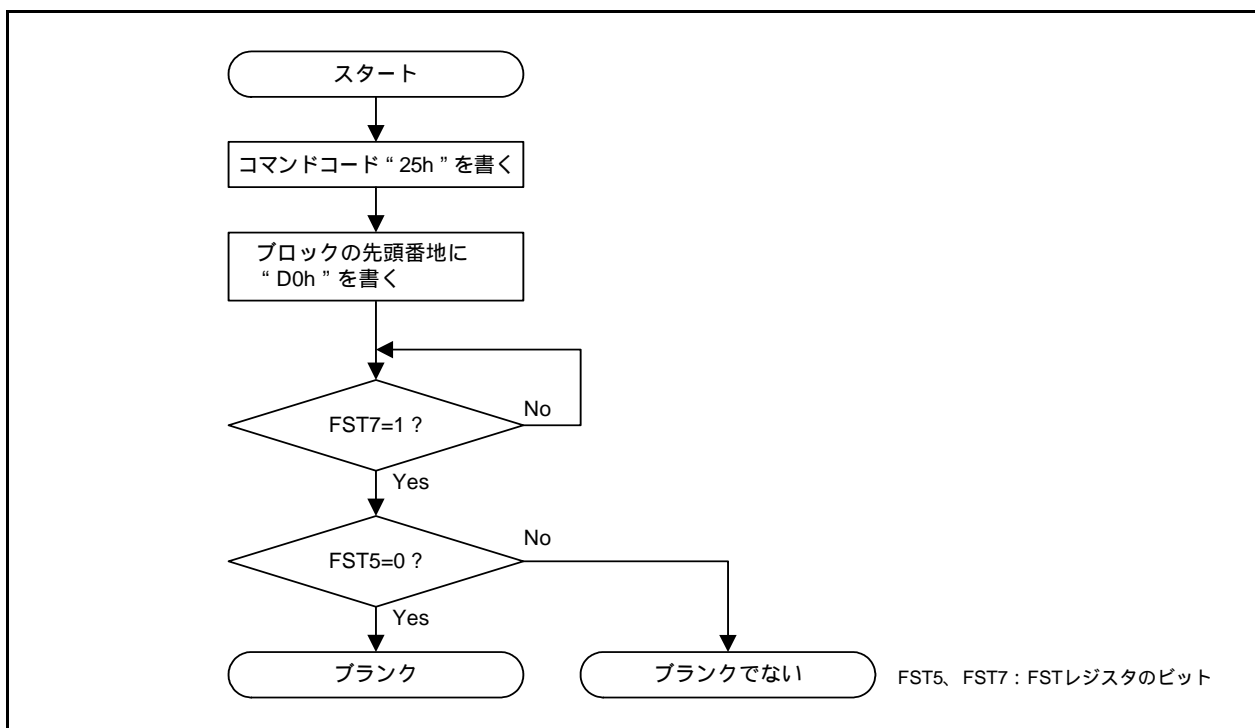


図 33.14 ブロックブランクチェックフローチャート

### 33.4.12 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4～FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック（フルステータスチェック）することにより、実行結果を確認できます。

表 33.6 にエラーとFSTレジスタの状態を、図 33.15 にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 33.6 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> <li>・コマンドを正しく書かなかったとき</li> <li>・ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“D0h”または“FFh”)以外のデータを書いたとき(注1)</li> </ul>
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき
0	1	プログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

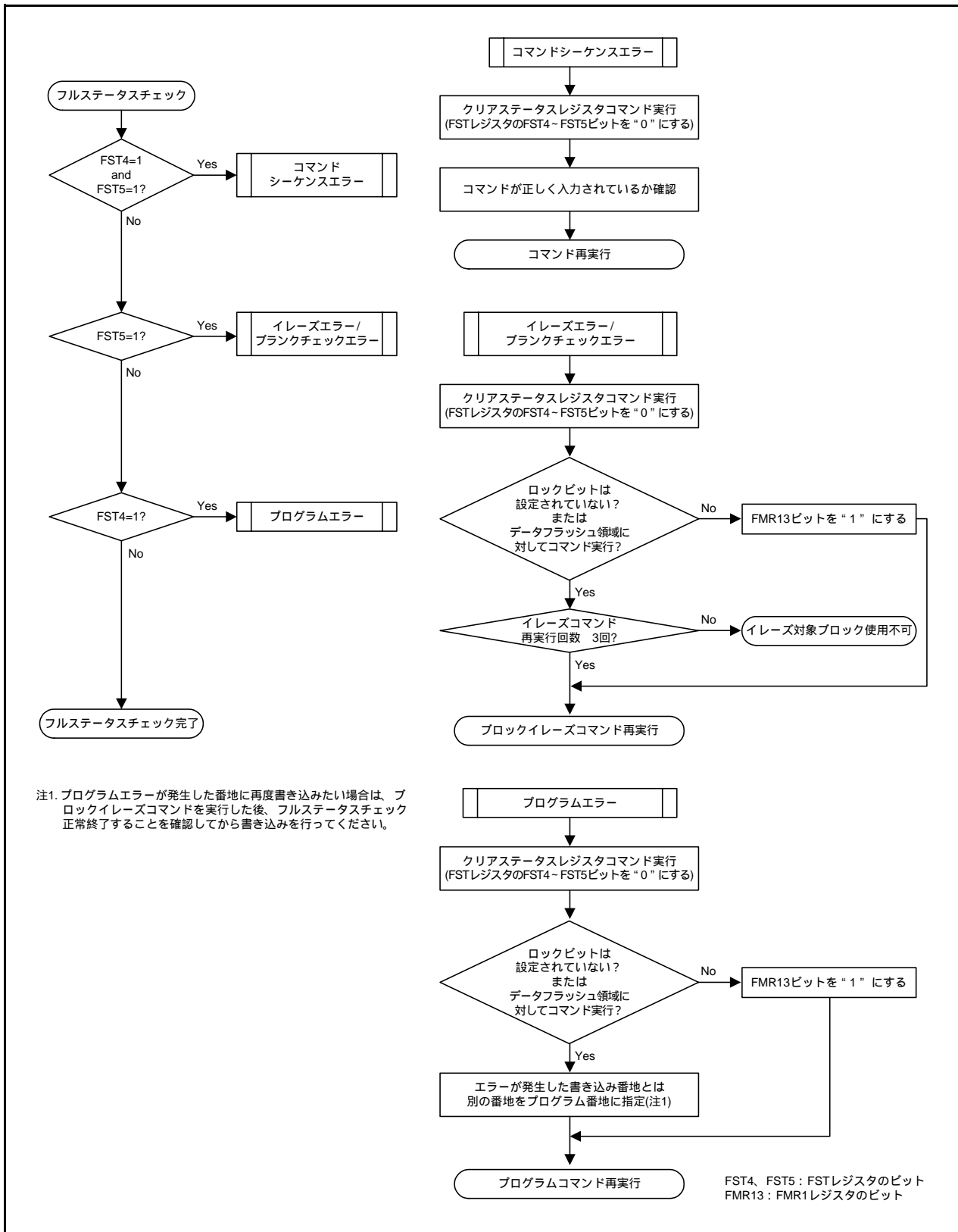


図 33.15 フルステータスチェックフローチャート、各エラー発生時の対処方法



### 33.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. M16C Flash Starter との接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表 33.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図 33.16に標準シリアル入出力モード2を使用する場合の端子処理例を、表 33.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図 33.17に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表 33.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

#### 33.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

表 33.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P12_0/XIN	P12_0入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。
P12_1/XOUT	P12_1入力/クロック出力	入出力	
XCIN	クロック入力	入力	XCIN端子とXCOUT端子の間には水晶発振子を接続してください。
XCOUT	クロック出力	入出力	
P0 ~ P7	入力ポートP0 ~ P7	入力	“H”を入力、“L”を入力、または開放してください。
P10、P11、P12_2 ~ P12_3	入力ポートP10 ~ P12	入力	“H”を入力、“L”を入力、または開放してください。
P13_0、P13_3 ~ P13_7	入力ポートP13	入力	“H”を入力、“L”を入力、または開放してください。
VREF	基準電圧	入力	“H”を入力してください。
MODE	MODE	入出力	“L”を入力してください。
P13_1	TXD出力	出力	シリアルデータの出力端子です。
P13_2	RXD入力	入力	シリアルデータの入力端子です。

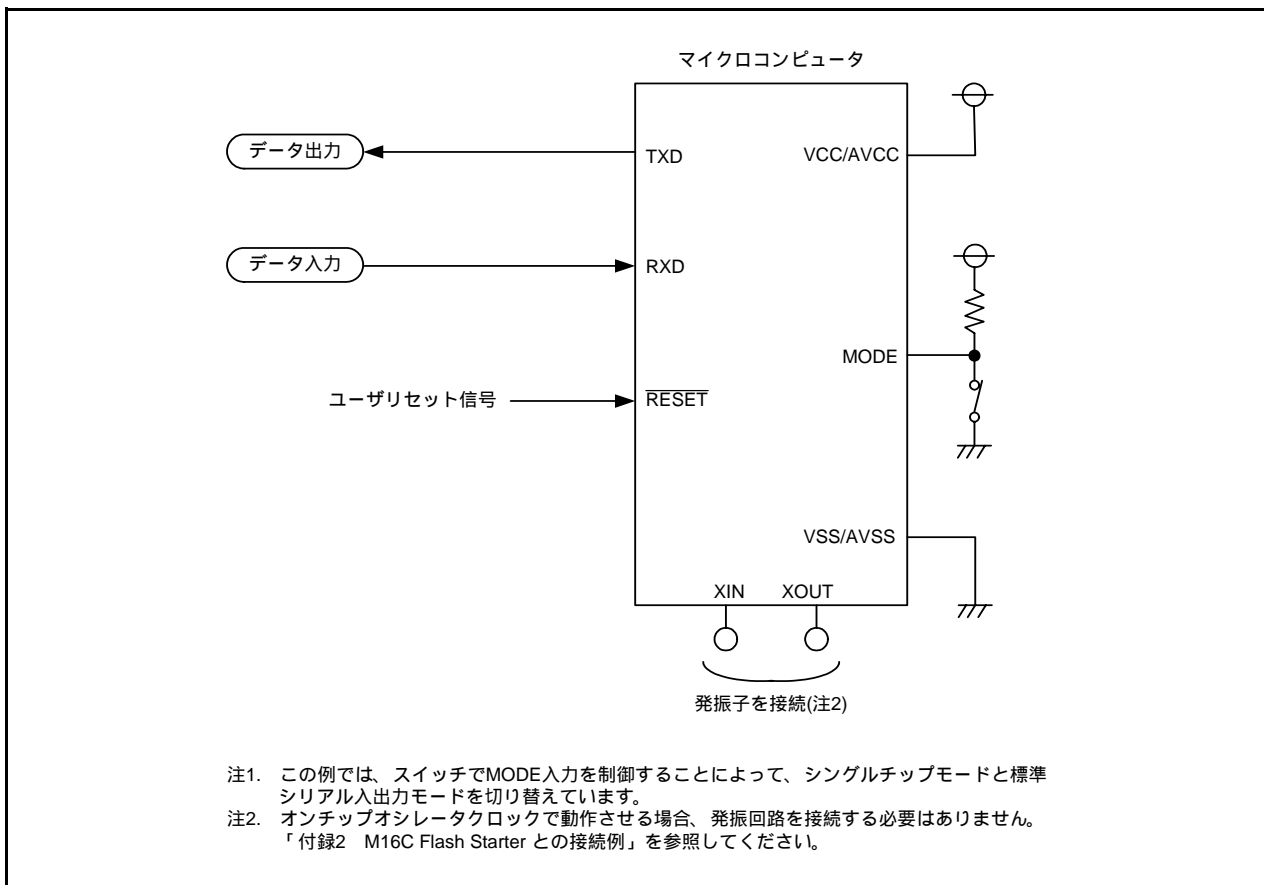


図 33.16 標準シリアル入出力モード2を使用する場合の端子処理例

表 33.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC 端子にはプログラム、イレーズの保証電圧を、VSS には0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P12_0/XIN	P12_0入力/クロック入力	入力	XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。
P12_1/XOUT	P12_1入力/クロック出力	入出力	
XCIN	クロック入力	入力	XCIN 端子と XCOU 端子の間には水晶発振子を接続してください。
XCOU	クロック出力	入出力	
P0 ~ P7	入力ポートP0 ~ P7	入力	“H”を入力、“L”を入力、または開放してください。
P10 ~ P13	入力ポートP10 ~ P13	入力	“H”を入力、“L”を入力、または開放してください。
VREF	基準電圧	入力	“H”を入力してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

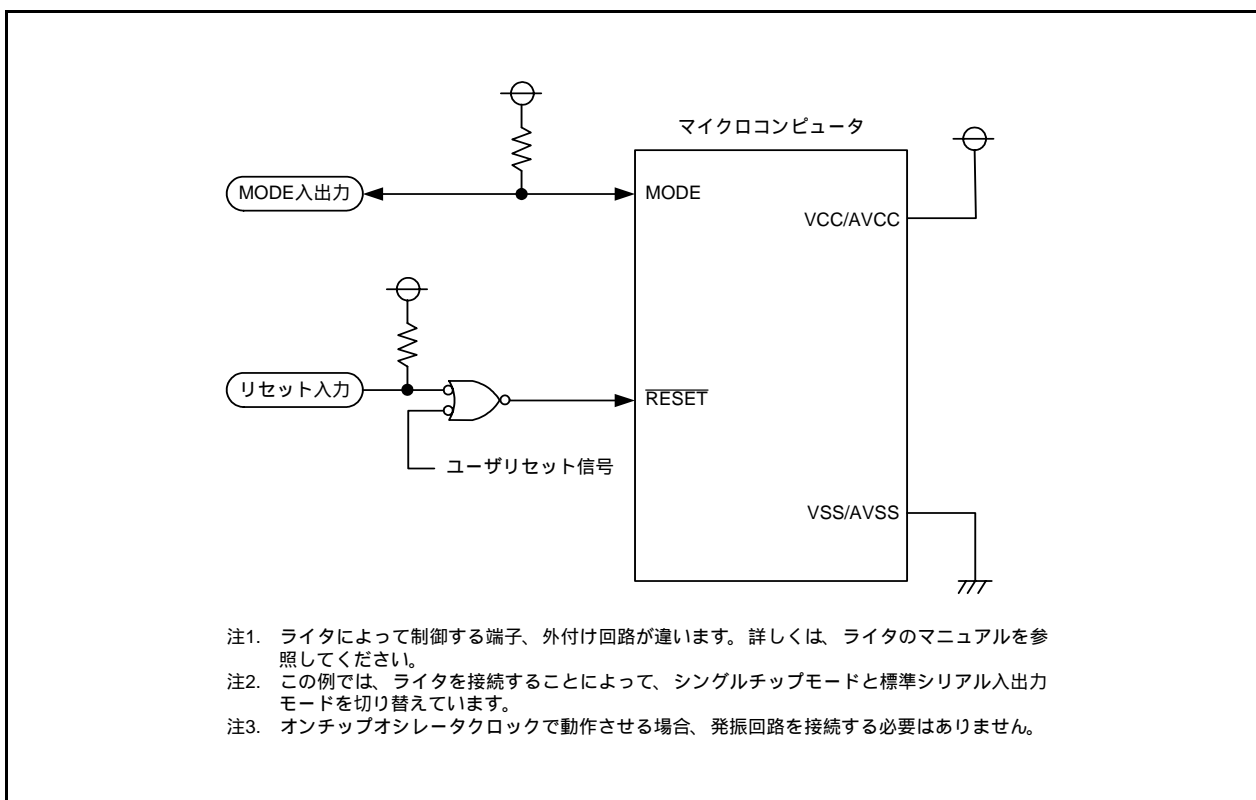


図 33.17 標準シリアル入出力モード3を使用する場合の端子処理例

## 33.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 33.1 に示すユーザROM領域の書き換えができます。

### 33.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「33.3.2 ROMコードプロテクト機能」参照)。

## 33.7 フラッシュメモリ使用上の注意

### 33.7.1 CPU書き換えモード

#### 33.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

#### 33.7.1.2 割り込み

表33.9～表33.11にCPU書き換えモード時の割り込みを示します。

表33.9 CPU書き換えモード時の割り込み(1)

モード	イレース/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレースサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレースサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレースサスペンドリクエスト禁止)でイレースサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレースリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレースサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット

表33.10 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・NMI (注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表33.11 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> <li>・ウォッチドッグタイマ</li> <li>・発振停止検出</li> <li>・NMI</li> </ul> (注1)	<ul style="list-style-type: none"> <li>・未定義命令</li> <li>・INTO命令</li> <li>・BRK命令</li> <li>・シングルステップ</li> <li>・アドレス一致</li> <li>・アドレスブレイク</li> </ul> (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

### 33.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。“1”を書いた後、“0”を書くまでに割り込みが入らないようにしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

### 33.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 33.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 33.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

### 33.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

### 33.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。



## 34. 電気的特性

### 34.1 絶対最大定格

表34.1 絶対最大定格

記号	項目		測定条件	定格値	単位
Vcc/AVcc	電源電圧			- 0.3 ~ 6.5	V
Vi	入力電圧	XIN	XIN-XOUT発振時 (発振パルファ ON時)(注1)	- 0.3 ~ 1.65	V
		XIN	XIN-XOUT発振停止時 (発振パルファ OFF時)(注1)	- 0.3 ~ Vcc + 0.3	V
		VL1		- 0.3 ~ VL2	V
		VL2	R8C/L35A、R8C/L35B	VL1 ~ VL4	V
			R8C/L36A、R8C/L36B、 R8C/L38A、R8C/L38B、 R8C/L3AA、R8C/L3AB	VL1 ~ VL3	V
		VL3		VL2 ~ VL4	V
		VL4		VL3 ~ 6.5	V
		その他の端子		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧	XOUT	XIN-XOUT発振時 (発振パルファ ON時)(注1)	- 0.3 ~ 1.65	V
		XOUT	XIN-XOUT発振停止時 (発振パルファ OFF時)(注1)	- 0.3 ~ Vcc + 0.3	V
		VL1		- 0.3 ~ VL2	V
		VL2	R8C/L35A、R8C/L35B	VL1 ~ VL4	V
			R8C/L36A、R8C/L36B、 R8C/L38A、R8C/L38B、 R8C/L3AA、R8C/L3AB	VL1 ~ VL3	V
		VL3		VL2 ~ VL4	V
		VL4		- 0.3 ~ 6.5	V
		CL1、CL2		- 0.3 ~ 6.5	V
		COM0 ~ COM7		- 0.3 ~ VL4	V
		SEG0 ~ SEG55		- 0.3 ~ VL4	V
		その他の端子		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力		- 40    Topr    85	500	mW
Topr	動作周囲温度			- 20 ~ 85(Nバージョン)/ - 40 ~ 85(Dバージョン)	
Tstg	保存温度			- 65 ~ 150	

注1. 各動作のためのレジスタ設定は「6. I/Oポート」、「8. クロック発生回路」を参照してください。

### 34.2 推奨動作条件

表 34.2 推奨動作条件  
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目		測定条件	規格値			単位		
				最小	標準	最大			
Vcc/AVcc	電源電圧			1.8		5.5	V		
Vss/AVss	電源電圧				0		V		
VIH	“H”入力電圧	CMOS入力以外	4.0V Vcc 5.5V	0.8Vcc		Vcc	V		
			2.7V Vcc < 4.0V	0.8Vcc		Vcc	V		
			1.8V Vcc < 2.7V	0.9Vcc		Vcc	V		
		CMOS入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択 : 0.35Vcc	4.0V Vcc 5.5V	0.5Vcc		Vcc	V
					2.7V Vcc < 4.0V	0.55Vcc		Vcc	V
					1.8V Vcc < 2.7V	0.65Vcc		Vcc	V
	入力レベル選択 : 0.5Vcc	4.0V Vcc 5.5V	0.65Vcc		Vcc	V			
		2.7V Vcc < 4.0V	0.7Vcc		Vcc	V			
		1.8V Vcc < 2.7V	0.8Vcc		Vcc	V			
	入力レベル選択 : 0.7Vcc	4.0V Vcc 5.5V	0.85Vcc		Vcc	V			
		2.7V Vcc < 4.0V	0.85Vcc		Vcc	V			
		1.8V Vcc < 2.7V	0.85Vcc		Vcc	V			
VIL	“L”入力電圧	CMOS入力以外	4.0V Vcc 5.5V	0		0.2Vcc	V		
			2.7V Vcc < 4.0V	0		0.2Vcc	V		
			1.8V Vcc < 2.7V	0		0.05Vcc	V		
		CMOS入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択 : 0.35Vcc	4.0V Vcc 5.5V	0		0.2Vcc	V
					2.7V Vcc < 4.0V	0		0.2Vcc	V
					1.8V Vcc < 2.7V	0		0.2Vcc	V
	入力レベル選択 : 0.5Vcc	4.0V Vcc 5.5V	0		0.4Vcc	V			
		2.7V Vcc < 4.0V	0		0.3Vcc	V			
		1.8V Vcc < 2.7V	0		0.2Vcc	V			
	入力レベル選択 : 0.7Vcc	4.0V Vcc 5.5V	0		0.55Vcc	V			
		2.7V Vcc < 4.0V	0		0.45Vcc	V			
		1.8V Vcc < 2.7V	0		0.35Vcc	V			
IOH(sum)	“H” 尖頭総出力電流	全端子のIOH(peak)の総和				- 160	mA		
IOH(sum)	“H” 平均総出力電流	全端子のIOH(avg)の総和				- 80	mA		
IOH(peak)	“H” 尖頭出力電流	ポートP10、P11(注2)				- 40	mA		
		その他の端子				- 10	mA		
IOH(avg)	“H” 平均出力電流(注1)	ポートP10、P11(注2)				- 20	mA		
		その他の端子				- 5	mA		
IOL(sum)	“L” 尖頭総出力電流	全端子のIOL(peak)の総和				160	mA		
IOL(sum)	“L” 平均総出力電流	全端子のIOL(avg)の総和				80	mA		
IOL(peak)	“L” 尖頭出力電流	ポートP10、P11(注2)				40	mA		
		その他の端子				10	mA		
IOL(avg)	“L” 平均出力電流(注1)	ポートP10、P11(注2)				20	mA		
		その他の端子				5	mA		
f(XIN)	XINクロック入力発振周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
f(XCIN)	XCINクロック入力発振周波数	1.8V Vcc 5.5V		32.768		50	kHz		
		システムクロック周波数	2.7V Vcc 5.5V			20	MHz		
f(BCLK)	CPUクロック周波数	1.8V Vcc < 2.7V				5	MHz		
		2.7V Vcc 5.5V	0			20	MHz		
		1.8V Vcc < 2.7V	0			5	MHz		

注1. 平均出力電流は100msの期間内での平均値です。

注2. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

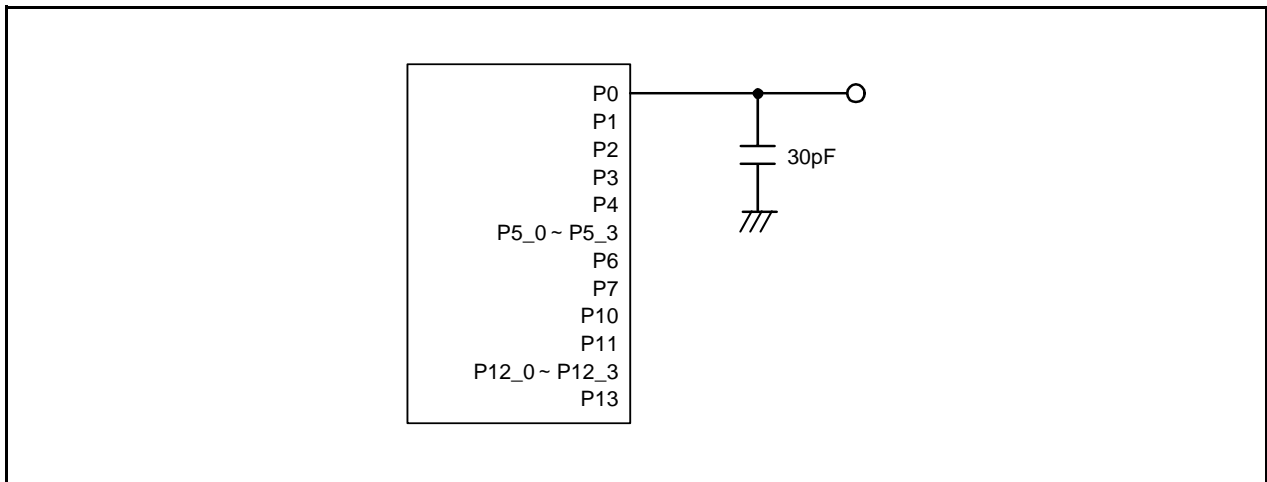


図34.1 ポートP0 ~ P4、P5\_0 ~ P5\_3、P6、P7、P10、P11、P12\_0 ~ P12\_3、P13のタイミング測定回路

### 34.3 周辺機能の特性

表34.3 A/Dコンバータの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = V_{REF} = 2.2V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{OPR} = -20 \sim 85$  (Nバージョン)/  
-40 ~ 85 (Dバージョン))

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		$V_{REF} = AV_{CC}$			10	Bit
	絶対精度	10ビットモード	$V_{REF} = AV_{CC} = 5.0V$ AN0 ~ AN19入力			$\pm 3$	LSB
$V_{REF} = AV_{CC} = 3.3V$ AN0 ~ AN19入力					$\pm 5$	LSB	
$V_{REF} = AV_{CC} = 3.0V$ AN0 ~ AN19入力					$\pm 5$	LSB	
$V_{REF} = AV_{CC} = 2.2V$ AN0 ~ AN19入力					$\pm 5$	LSB	
		8ビットモード	$V_{REF} = AV_{CC} = 5.0V$ AN0 ~ AN19入力			$\pm 2$	LSB
$V_{REF} = AV_{CC} = 3.3V$ AN0 ~ AN19入力					$\pm 2$	LSB	
$V_{REF} = AV_{CC} = 3.0V$ AN0 ~ AN19入力					$\pm 2$	LSB	
$V_{REF} = AV_{CC} = 2.2V$ AN0 ~ AN19入力					$\pm 2$	LSB	
AD	A/D変換クロック		4.0V $V_{REF} = AV_{CC}$ 5.5V(注1)	2		20	MHz
			3.2V $V_{REF} = AV_{CC}$ 5.5V(注1)	2		16	MHz
			2.7V $V_{REF} = AV_{CC}$ 5.5V(注1)	2		10	MHz
			2.2V $V_{REF} = AV_{CC}$ 5.5V(注1)	2		5	MHz
	許容信号源インピーダンス				3		k
DNL	微分非直線性誤差					$\pm 1$	LSB
tCONV	変換時間	10ビットモード	$V_{REF} = AV_{CC} = 5.0V$ 、AD = 20MHz	2.15			$\mu s$
		8ビットモード	$V_{REF} = AV_{CC} = 5.0V$ 、AD = 20MHz	2.15			$\mu s$
tSAMP	サンプリング時間		AD = 20MHz	0.75			$\mu s$
Ivref	Vref電流		$V_{CC} = 5V$ 、 $XIN = f1 =$ AD = 20MHz		45		$\mu A$
Vref	基準電圧			2.2		AVcc	V
VIA	アナログ入力電圧(注2)			0		Vref	V

注1. CPUおよびフラッシュメモリが停止すると、A/D変換結果が不定になります。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表34.4 D/Aコンバータの特性

(指定のない場合は、 $V_{cc}/AV_{cc} = V_{ref} = 2.7V \sim 5.5V$ 、 $Topr = -20 \sim 85$  (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	分解能				8	Bit
	絶対精度				2.5	LSB
$t_{su}$	設定時間				3	$\mu s$
$R_o$	出力抵抗			6		k
$I_{vref}$	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータ1本使用、使用していないD/AコンバータのDAI( $i = 0 \sim 1$ )レジスタの値が“00h”の場合です。  
A/Dコンバータのラダー抵抗分は除きます。

表34.5 コンパレータBの特性

(指定のない場合は、 $V_{cc} = 2.7V \sim 5.5V$ 、 $Topr = -20 \sim 85$  (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{ref}$	IVREF1、IVREF3入力基準電圧		0		$V_{cc} - 1.4$	V
$V_i$	IVCMP1、IVCMP3入力電圧		- 0.3		$V_{cc} + 0.3$	V
	オフセット			5	100	mV
$t_d$	コンパレータ出力遅延時間(注1)	$V_i = V_{ref} \pm 100mV$		0.1		$\mu s$
$I_{CMP}$	コンパレータ動作電流	$V_{cc} = 5.0V$		17.5		$\mu A$

注1. デジタルフィルタ無効時。

表34.6 フラッシュメモリ(プログラムROM)の特性  
(指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = 0 ~ 60 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注1)		1,000(注2)			回
	バイトプログラム時間			80	TBD	μs
	ブロックイレーズ時間			0.3	TBD	s
td(SR-SUS)	サスペンドへの遷移時間				5+CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		33			ms
	自動消去が終了するために必要なサスペンド間隔		33			ms
	サスペンドからイレーズの再開までの時間				30+CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注6)	周囲温度 = 55	20			年

- 注1. プログラム/イレーズ回数の定義  
プログラム/イレーズ回数はブロックごとのイレーズ回数です。  
プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。  
例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。
- 注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)
- 注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
- 注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。
- 注5. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。
- 注6. 電源電圧またはクロックが印加されていない時間を含みます。

表34.7 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の特性  
(指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注1)		10,000(注2)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			160	TBD	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			300		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2		s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
td(SR-SUS)	サスペンドへの遷移時間				5+CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		33			ms
	自動消去が終了するために必要なサスペンド間隔		33			ms
	サスペンドからイレーズの再開までの時間				30+CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		- 20(注6)		85	
	データ保持時間(注7)	周囲温度 = 55	20			年

- 注1. プログラム/イレーズ回数の定義  
プログラム/イレーズ回数はブロックごとのイレーズ回数です。  
プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。  
例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。
- 注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)
- 注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
- 注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。
- 注5. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。
- 注6. Dバージョンは - 40。
- 注7. 電源電圧またはクロックが印加されていない時間を含みます。

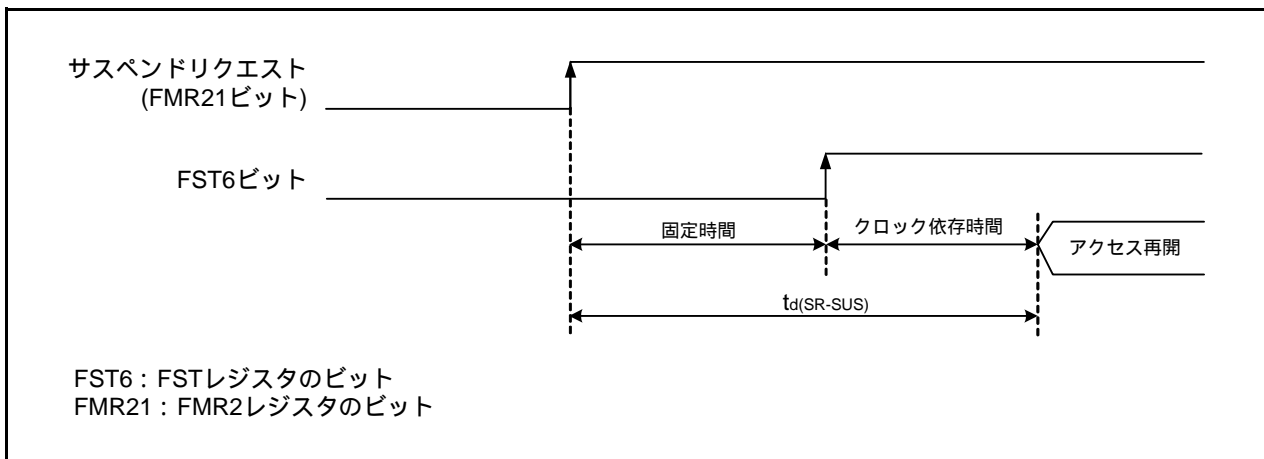


図34.2 サスペンドへの遷移時間

表34.8 低速オンチップオシレータ発振回路の特性  
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		112.5	125	137.5	kHz
	発振安定時間	Vcc = 5.0V、Topr = 25		30	100	μs
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		3		μA
fOCO-WDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間	Vcc = 5.0V、Topr = 25		30	100	μs
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		2		μA

表34.9 電源回路の特性  
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = 25 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注1)				2000	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表34.10 LCD駆動制御回路の特性  
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VLCD	LCD電源電圧	VLCD = VL4	2.2		5.5	V
VL3	VL3電圧		VL2		VL4	V
VL2	VL2電圧	R8C/L35A、R8C/L35B	VL1		VL4	V
		R8C/L36A、R8C/L36B、 R8C/L38A、R8C/L38B、 R8C/L3AA、R8C/L3AB	VL1		VL3	V
VL1	VL1電圧		1		VL2	V
	VL1内部生成電圧精度(注1)		設定電圧 - 0.4	設定電圧	設定電圧 + 0.4	V
f(FR)	フレーム周波数		50		180	Hz
ILCD	LCD駆動制御回路電流			(注2)		μA

注1. LCR1レジスタのLVLS0 ~ LVLS3ビットで電圧を選択します。

注2. 表34.13 DC特性(2)、表34.15 DC特性(4)、表34.17 DC特性(6)を参照してください。

表34.11 パワーオフモードの特性  
(指定のない場合は、Vcc = 2.2V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	パワーオフモード動作電源電圧		2.2		5.5	V



### 34.4 DC特性

表34.12 DC特性(1) [ 4.0V Vcc 5.5V ]

(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	“H”出力電圧	ポートP10、P11 (注1)	Vcc = 5V	IoH = - 20mA	Vcc - 2.0		Vcc	V
		その他の端子	Vcc = 5V	IoH = - 5mA	Vcc - 2.0		Vcc	V
VOL	“L”出力電圧	ポートP10、P11 (注1)	Vcc = 5V	IoL = 20mA			2.0	V
		その他の端子	Vcc = 5V	IoL = 5mA			2.0	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 KI0、KI1、KI2、KI3、 KI4、KI5、KI6、KI7、 TRAIO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRGCLKA、TRGCLKB、 TRGIOA、TRGIOB、 ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO			0.1	0.5		V
		RESET、 WKUP0、WKUP1			0.2	1.0		V
IiH	“H”入力電流	VI = 5V、Vcc = 5V					5.0	μA
IiL	“L”入力電流	VI = 0V、Vcc = 5V					- 5.0	μA
RPULLUP	プルアップ抵抗	VI = 0V、Vcc = 5V			25	50	100	k
RfXIN	帰還抵抗	XIN					0.3	M
RfXCIN	帰還抵抗	XCIN					14	M
V <sub>RAM</sub>	RAM保持電圧	ストップモード時			1.8			V

注1. P10DDR、P11DDRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表34.13 DC特性(2) [ 4.0V Vcc 5.5V ]  
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件						規格値		単位		
		発振回路		オンチップオシレータ	CPU クロック	低消費電力設定	その他	最小	標準 (注3)		最大	
		XIN(注2)	XCIN	低速								
Icc	電源電流 (注1)	高速 クロックモード	20MHz	停止	125kHz	分周なし			7.0	15	mA	
			16MHz	停止	125kHz	分周なし			5.6	12.5	mA	
			10MHz	停止	125kHz	分周なし			3.6		mA	
			20MHz	停止	125kHz	8分周			3.0		mA	
			16MHz	停止	125kHz	8分周			2.2		mA	
			10MHz	停止	125kHz	8分周			1.5		mA	
			停止	停止	125kHz	8分周	FMR27 = " 1 " VCA20 = " 0 "			90	400	μA
	低速オンチップ オシレータモード	停止	32kHz	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "			100	400	μA	
		停止	32kHz	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "	フラッシュメモリ停止 RAM上のプログラム動作		55		μA	
	低速 クロックモード	停止	停止	125kHz		VCA20 = " 1 "	WAIT命令実行中 周辺クロック動作		15	100	μA	
		停止	停止	125kHz		VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止		4	90	μA	
	ウェイトモード	停止	32kHz	停止		VCA20 = " 1 " CM02 = " 1 " CM01 = " 0 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイム クロックモード)	LCD駆動制御回路(注4) 外付け分割抵抗使用時	7		μA	
								LCD駆動制御回路(注5) 内部昇圧回路使用時	12		μA	
		停止	32kHz	停止		VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)		3.5		μA	
		ストップモード	停止	停止	停止		CM10 = " 1 "	Topr=25 周辺クロック停止		2.0	5.0	μA
	停止		停止	停止		CM10 = " 1 "	Topr=85 周辺クロック停止		15		μA	
	パワーオフモード	停止	停止	停止			パワーオフ0 Topr=25		0.02	0.2	μA	
									0.4		μA	
		停止	32kHz	停止				パワーオフ1 Topr=25		1.3	2.6	μA
										1.5		μA

注1. Vcc = 4.0V ~ 5.5V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 5.0V。

注4. VLCD = Vcc、VL4 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3 ~ LVLS0ビット = " 1011b "、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。

表34.14 DC特性(3) [ 2.7V Vcc < 4.0V ]  
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	ポートP10、P11(注1)	IOH = - 5mA	Vcc - 0.5		Vcc	V
		その他の端子	IOH = - 1mA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	ポートP10、P11(注1)	IOL = 5mA			0.5	V
		その他の端子	IOL = 1mA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 K10、K11、K12、K13、 K14、K15、K16、K17、 TRAIO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRGCLKA、TRGCLKB、 TRGIOA、TRGIOB、 ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO		0.05	0.4		V
		RESET WKUP0、WKUP1		0.1	0.8		V
I <sub>IH</sub>	“H”入力電流	VI = 3V、Vcc = 3V				5.0	μA
I <sub>IL</sub>	“L”入力電流	VI = 0V、Vcc = 3V				- 5.0	μA
RPULLUP	プルアップ抵抗	VI = 0V、Vcc = 3V		30	100	170	k
R <sub>IXIN</sub>	帰還抵抗	XIN			0.3		M
R <sub>IXCIN</sub>	帰還抵抗	XCIN			14		M
V <sub>RAM</sub>	RAM保持電圧	ストップモード時		1.8			V

注1. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表34.15 DC特性(4) [ 2.7V Vcc < 4.0V ]  
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件						規格値		単位	
		発振回路		オンチップオシレータ	CPU クロック	低消費電力設定	その他	最小	標準 (注3)		最大
Icc	電源電流 (注1)	高速 クロックモード	20MHz	停止	125kHz	分周なし			7.0	14.5	mA
			10MHz	停止	125kHz	分周なし			3.6	10	mA
		20MHz	停止	125kHz	8分周			3.0		mA	
		10MHz	停止	125kHz	8分周			1.5		mA	
	低速オンチップ オシレータモード	停止	停止	125kHz	8分周	FMR27 = " 1 " VCA20 = " 0 "			85	390	μA
		低速 クロックモード	停止	32kHz	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "		90	400	μA
	ウェイトモード		停止	停止	125kHz		VCA20 = " 1 " WAIT命令実行中 周辺クロック動作		15	90	μA
		ストップモード	停止	停止	125kHz		VCA20 = " 1 " WAIT命令実行中 周辺クロック停止		5	80	μA
	停止		32kHz	停止		VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	LCD駆動制御回路(注4) 外付け分割抵抗使用時	5		μA	
	停止		32kHz	停止		VCA20 = " 1 " CM02 = " 1 " CM01 = " 0 "	LCD駆動制御回路(注5) 内部昇圧回路使用時	11		μA	
	停止		32kHz	停止		VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	3.5		μA	
	パワーオフモード	停止	停止	停止		CM10 = " 1 "	Topr=25 周辺クロック停止	2	5.0	μA	
		停止	停止	停止		CM10 = " 1 "	Topr=85 周辺クロック停止	13.0		μA	
	パワーオフモード	停止	停止	停止			パワーオフ0 Topr=25	0.02	0.2	μA	
		停止	停止	停止			パワーオフ0 Topr=85	0.3		μA	
		停止	32kHz	停止			パワーオフ1 Topr=25	1.0	2.0	μA	
停止		32kHz	停止			パワーオフ1 Topr=85	1.2		μA		

注1. Vcc = 2.7V ~ 4.0V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 3.0V。

注4. VLCD = Vcc、VL4 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3 ~ LVLS0ビット = " 1011b "、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。

表34.16 DC特性(5) [ 1.8V  $V_{CC} < 2.7V$  ]  
(指定のない場合は、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  $-40 \sim 85$  (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	ポートP10、P11(注1)	$I_{OH} = -2mA$	$V_{CC} - 0.5$		$V_{CC}$	V
		その他の端子	$I_{OH} = -1mA$	$V_{CC} - 0.5$		$V_{CC}$	V
VOL	“L”出力電圧	ポートP10、P11(注1)	$I_{OL} = 2mA$			0.5	V
		その他の端子	$I_{OL} = 1mA$			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、INT5、 INT6、INT7、 K10、K11、K12、K13、 K14、K15、K16、K17、 TRAIO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRGCLKA、TRGCLKB、 TRGIOA、TRGIOB、 ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO		0.05	0.4		V
		RESET WKUP0、WKUP1		0.1	0.8		V
I <sub>IH</sub>	“H”入力電流	$V_I = 1.8V$ 、 $V_{CC} = 1.8V$				4.0	$\mu A$
I <sub>IL</sub>	“L”入力電流	$V_I = 0V$ 、 $V_{CC} = 1.8V$				- 4.0	$\mu A$
RPULLUP	プルアップ抵抗	$V_I = 0V$ 、 $V_{CC} = 1.8V$		60	160	420	k
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN			0.3		M
R <sub>I<sub>XCIN</sub></sub>	帰還抵抗	XCIN			14		M
V <sub>RAM</sub>	RAM保持電圧	ストップモード時		1.8			V

注1. P10DRR、P11DRRレジスタで出力トランジスタの駆動能力をHighにした場合です。駆動能力をLowにした場合は、その他の端子の値になります。

表34.17 DC特性(6) [ 1.8V Vcc < 2.7V ]  
(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件						規格値		単位		
		発振回路		オンチップオシレータ	CPU クロック	低消費電力設定	その他		最小		標準 (注3)	最大
		XIN(注2)	XCIN	低速								
Icc	電源電流 (注1)	高速 クロックモード	5MHz	停止	125kHz	分周なし			2.2		mA	
			5MHz	停止	125kHz	8分周			0.8		mA	
		低速オンチップ オシレータモード	停止	停止	125kHz	8分周	FMR27 = " 1 " VCA20 = " 0 "		90	300	μA	
			停止	32kHz	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "		90	400	μA	
		低速 クロックモード	停止	32kHz	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "	フラッシュメモリ停止 RAM上のプログラム動作	45		μA	
			停止	32kHz	停止	分周なし	FMR27 = " 1 " VCA20 = " 0 "	フラッシュメモリ停止 RAM上のプログラム動作	45		μA	
		ウェイトモード	停止	停止	125kHz		VCA20 = " 1 "	WAIT命令実行中 周辺クロック動作	15	90	μA	
			停止	停止	125kHz		VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止	4	80	μA	
			停止	32kHz	停止		VCA20 = " 1 " CM02 = " 1 " CM01 = " 0 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイム クロックモード)	4		μA	
			停止	32kHz	停止		VCA20 = " 1 " CM02 = " 1 " CM01 = " 1 "	WAIT命令実行中 周辺クロック停止 タイマRE動作 (リアルタイムクロックモード)	4		μA	
		ストップモード	停止	停止	停止		CM10 = " 1 "	Topr=25 周辺クロック停止	2.0	5.0	μA	
			停止	停止	停止		CM10 = " 1 "	Topr=85 周辺クロック停止	13		μA	
		パワーオフモード	停止	停止	停止			パワーオフ0 Topr=25	0.02	0.2	μA	
			停止	停止	停止			パワーオフ0 Topr=85	0.3		μA	
			停止	32kHz	停止			パワーオフ1 Topr=25	0.8	1.6	μA	
			停止	32kHz	停止			パワーオフ1 Topr=85	1.1		μA	

注1. Vcc = 1.8V ~ 2.7V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 2.2V。

注4. VLCD = Vcc、VL4 ~ VL1に外付け分割抵抗を使用、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。規格値には外付け分割抵抗に流れる電流を含みません。

注5. 内部昇圧回路を使用、LCR1レジスタのLVLS3 ~ LVLS0ビット = " 1011b "、1/3バイアス、1/4デューティ、f(FR) = 64Hz、SEG0 ~ SEG55選択、セグメント出力端子およびコモン出力端子は開放。

### 34.5 AC特性

表34.18 チップセレクト付クロック同期形シリアルI/Oのタイミング条件  
(指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4			tCYC (注1)
tHI	SSCKクロック“H”パルス幅		0.4		0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅		0.4		0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ			1	tCYC (注1)
		スレーブ			1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ			1	tCYC (注1)
		スレーブ			1	μs
tSU	SSO、SSIデータ入力セットアップ時間		100			ns
tH	SSO、SSIデータ入力ホールド時間		1			tCYC (注1)
tLEAD	SCSセットアップ時間	スレーブ	1tCYC+50			ns
tLAG	SCSホールド時間	スレーブ	1tCYC+50			ns
tOD	SSO、SSIデータ出力遅延時間				1	tCYC (注1)
tSA	SSIスレーブアクセス時間	2.7V Vcc 5.5V			1.5tCYC+100	ns
		1.8V Vcc < 2.7V			1.5tCYC+200	ns
tOR	SSIスレーブアウト開放時間	2.7V Vcc 5.5V			1.5tCYC+100	ns
		1.8V Vcc < 2.7V			1.5tCYC+200	ns

注1. 1tCYC = 1/f1 (s)

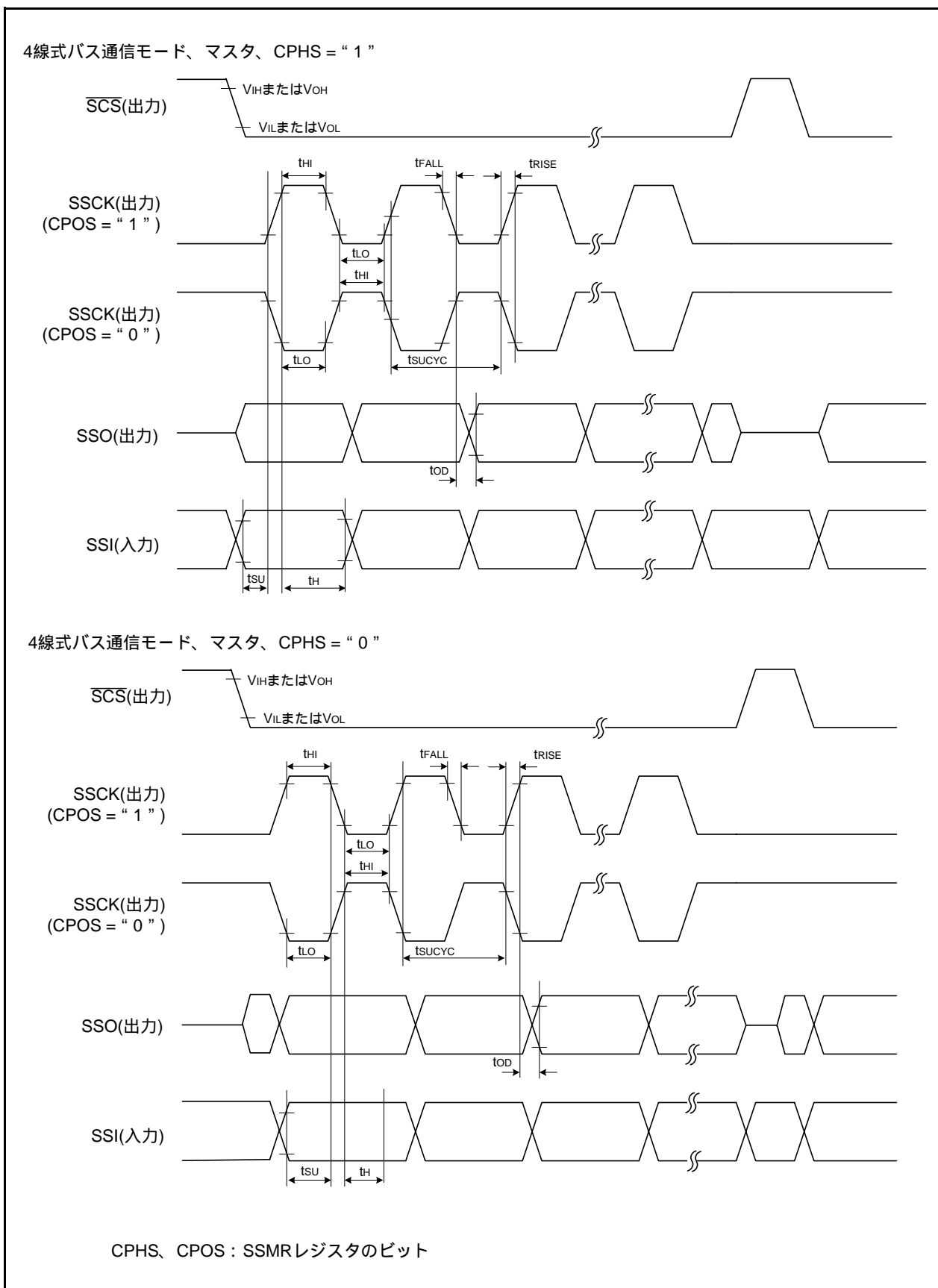


図34.3 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)



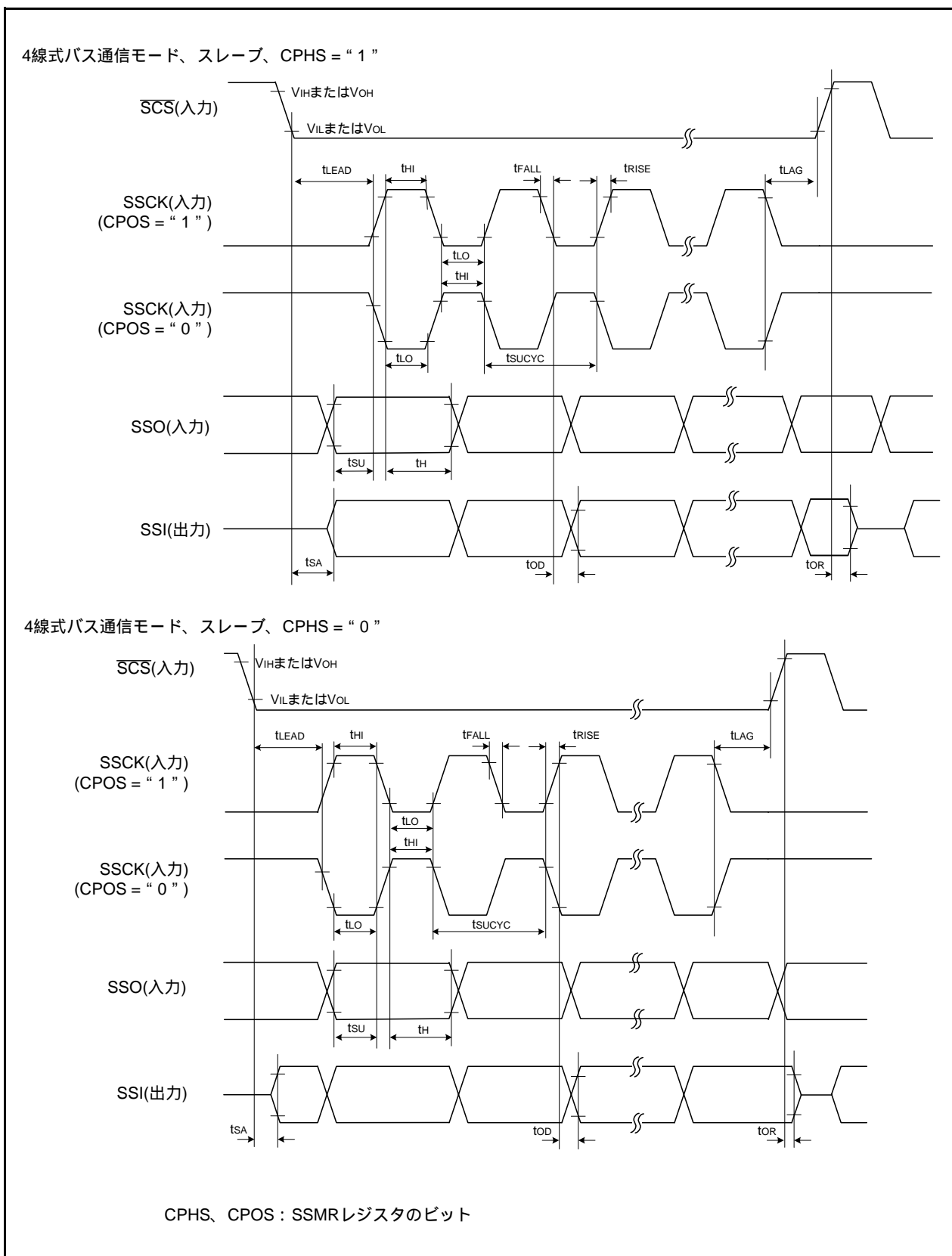


図34.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

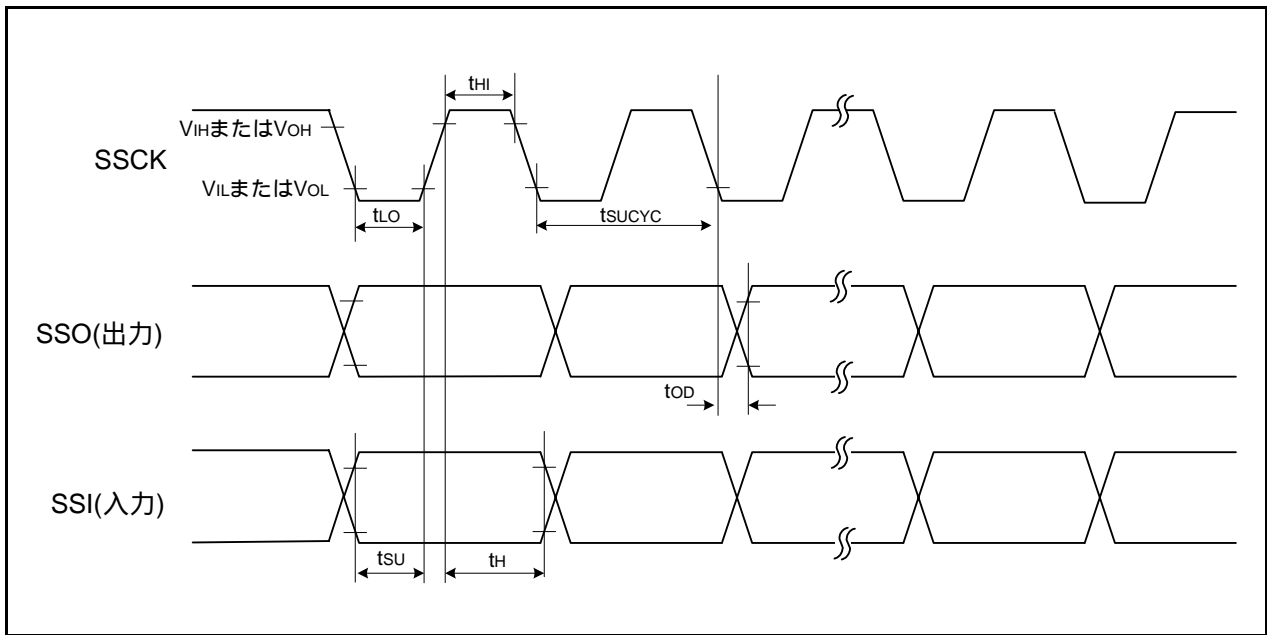


図34.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表34.19 I<sup>2</sup>Cバスインタフェースのタイミング条件  
(指定のない場合は、V<sub>cc</sub> = 1.8V ~ 5.5V、V<sub>ss</sub> = 0V、Topr = - 20 ~ 85 (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>SCL</sub>	SCL入力サイクル時間		12tcyc + 600(注1)			ns
t <sub>SCLH</sub>	SCL入力“H”パルス幅		3tcyc + 300(注1)			ns
t <sub>SCLL</sub>	SCL入力“L”パルス幅		5tcyc + 500(注1)			ns
t <sub>sf</sub>	SCL、SDA入力立ち下がり時間				300	ns
t <sub>SP</sub>	SCL、SDA入カスパイクパルス除去時間				1tcyc(注1)	ns
t <sub>BUF</sub>	SDA入力バスフリー時間		5tcyc(注1)			ns
t <sub>STAH</sub>	開始条件入力ホールド時間		3tcyc(注1)			ns
t <sub>STAS</sub>	再送開始条件入力セットアップ時間		3tcyc(注1)			ns
t <sub>STOP</sub>	停止条件入力セットアップ時間		3tcyc(注1)			ns
t <sub>SDAS</sub>	データ入力セットアップ時間		1tcyc + 40(注1)			ns
t <sub>SDAH</sub>	データ入力ホールド時間		10			ns

注1. 1tcyc = 1/f1 (s)

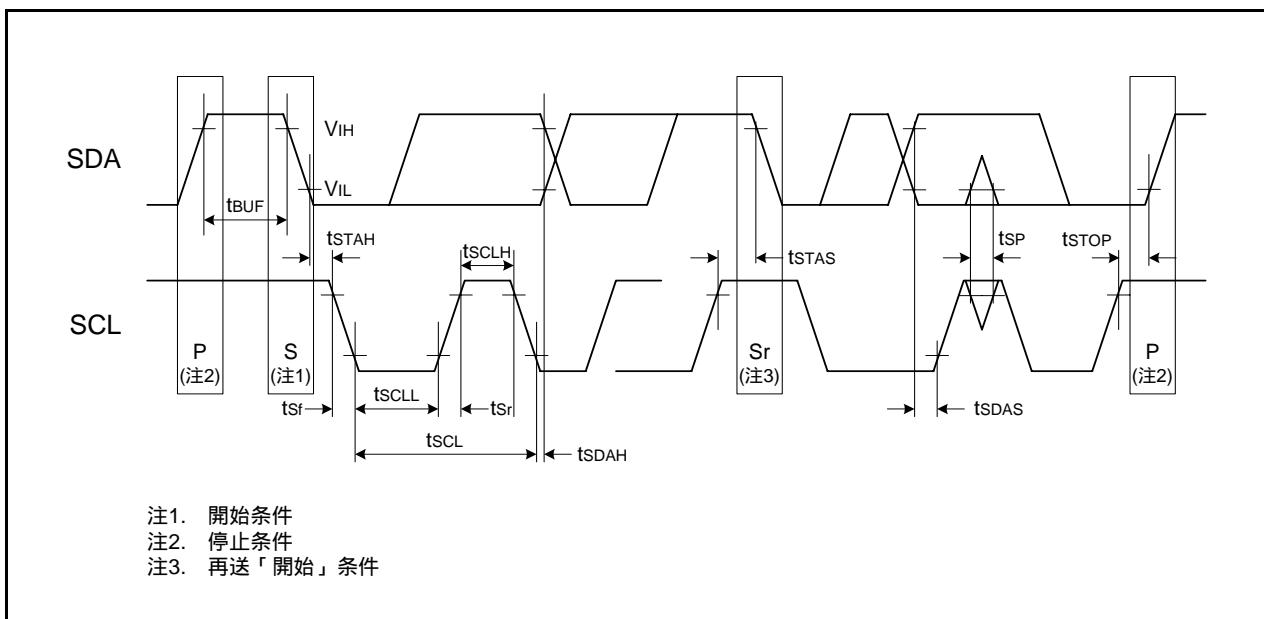


図34.6 I<sup>2</sup>Cバスインタフェースの入出力タイミング

表34.20 XIN、XCINのタイミング条件

(指定のない場合は、 $V_{CC} = 1.8V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	規格値						単位
		$V_{CC} = 2.2V$ 、 $T_{opr} = 25$		$V_{CC} = 3V$ 、 $T_{opr} = 25$		$V_{CC} = 5V$ 、 $T_{opr} = 25$		
		最小	最大	最小	最大	最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	200		50		50		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	90		24		24		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	90		24		24		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		14		14		$\mu s$
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		7		7		$\mu s$
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		7		7		$\mu s$

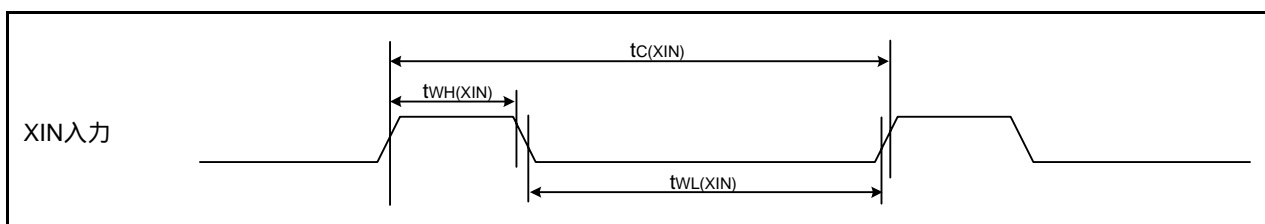


図34.7 XIN、XCINの入力タイミング

表34.21 TRAIOのタイミング条件

(指定のない場合は、 $V_{CC} = 1.8V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	規格値						単位
		$V_{CC} = 2.2V$ 、 $T_{opr} = 25$		$V_{CC} = 3V$ 、 $T_{opr} = 25$		$V_{CC} = 5V$ 、 $T_{opr} = 25$		
		最小	最大	最小	最大	最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	500		300		100		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	200		120		40		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	200		120		40		ns

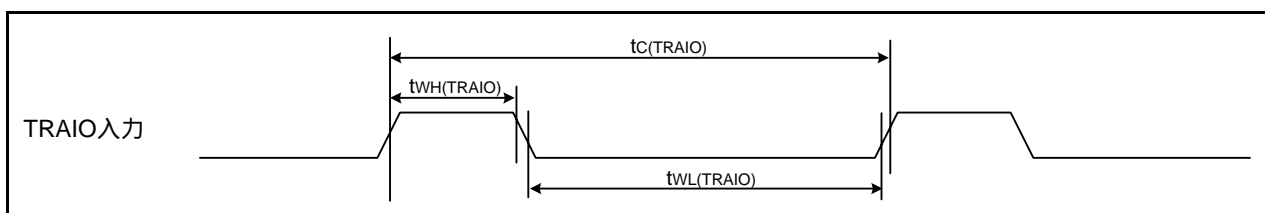


図34.8 TRAIOの入力タイミング

表34.22 シリアルインタフェースのタイミング条件

(指定のない場合は、 $V_{CC} = 1.8V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	規格値						単位
		$V_{CC} = 2.2V$ 、 $T_{opr} = 25$		$V_{CC} = 3V$ 、 $T_{opr} = 25$		$V_{CC} = 5V$ 、 $T_{opr} = 25$		
		最小	最大	最小	最大	最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800		300		200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	400		150		100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	400		150		100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		200		80		50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		0		0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150		70		50		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		90		90		ns

$i = 0 \sim 2$

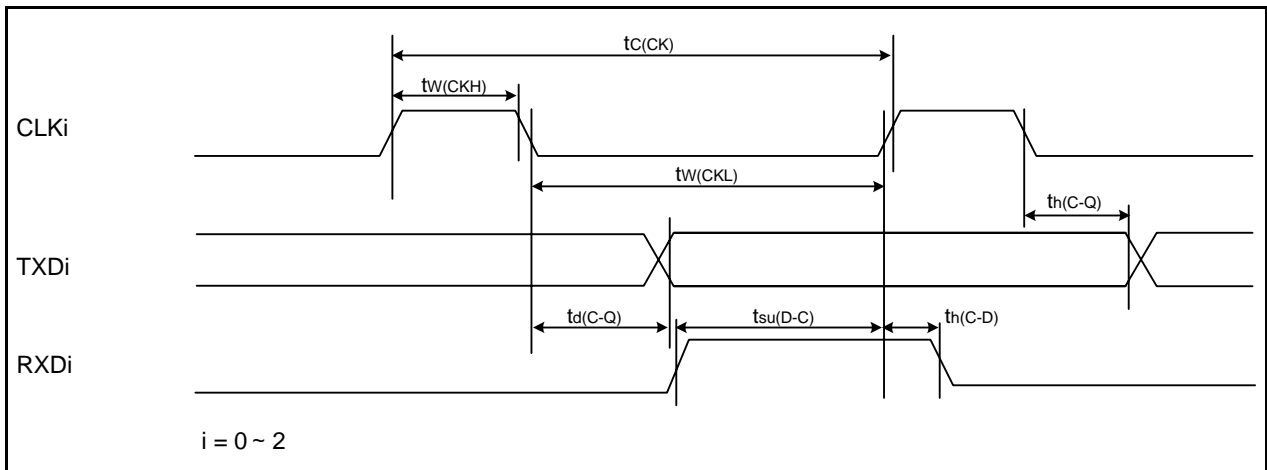


図34.9 シリアルインタフェースの入出力タイミング

表34.23 外部割り込み $\overline{INTi}$  ( $i = 0 \sim 7$ )、キー入力割り込み $\overline{Kli}$  ( $i = 0 \sim 7$ )のタイミング条件

(指定のない場合は、 $V_{CC} = 1.8V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  
- 40 ~ 85 (Dバージョン))

記号	項目	規格値						単位
		$V_{CC} = 2.2V$ 、 $T_{opr} = 25$		$V_{CC} = 3V$ 、 $T_{opr} = 25$		$V_{CC} = 5V$ 、 $T_{opr} = 25$		
		最小	最大	最小	最大	最小	最大	
$t_{w(INH)}$	$\overline{INTi}$ 入力“H”パルス幅、 $\overline{Kli}$ 入力“H”パルス幅	1000 (注1)		380 (注1)		250 (注1)		ns
$t_{w(INL)}$	$\overline{INTi}$ 入力“L”パルス幅、 $\overline{Kli}$ 入力“L”パルス幅	1000 (注2)		380 (注2)		250 (注2)		ns

注1.  $\overline{INTi}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INTi}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{INTi}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INTi}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

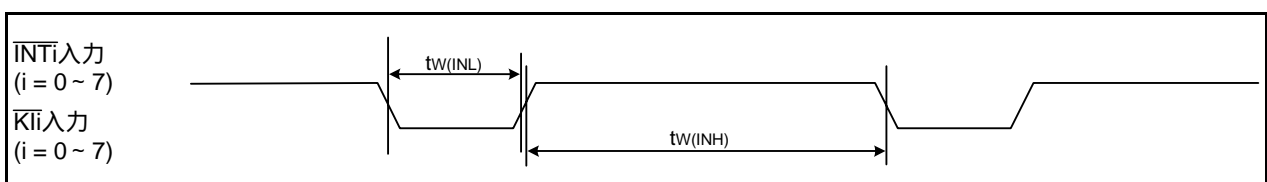


図34.10 外部割り込み $\overline{INTi}$ およびキー入力割り込み $\overline{Kli}$ の入力タイミング

## 35. 使用上の注意事項

### 35.1 クロック発生回路使用上の注意

#### 35.1.1 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1 ~ OCD0ビットを“00b”にしてください。

#### 35.1.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

#### 35.1.3 XCINクロック

XCINクロックを使用する場合は、CM03ビットをいったん“1”にした後、“0”(発振)にしてください。LCD駆動制御回路のVL1内部生成電圧を使用する場合は、この設定の後、LCR1レジスタのLVURSビットを“1”(VL1内部生成電圧)にしてください。

#### 35.1.4 P12\_0とP12\_1端子に関する使用上の注意事項

P12\_0端子はXIN端子と、P12\_1端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。

## 35.2 パワーコントロール使用上の注意

### 35.2.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例  
BCLR 1, FMR0 ; CPU書き換えモード無効  
BSET 0, PRCR ; プロテクト解除  
FSET I ; 割り込み許可  
BSET 0, CM1 ; ストップモード  
JMP.B LABEL\_001  
LABEL\_001:  
NOP  
NOP  
NOP  
NOP

### 35.2.2 ウェイトモード

CM30ビットを“1”にしてウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM30ビットを“1”にしてください。

WAIT命令でウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例  
BCLR 1, FMR0 ; CPU書き換えモード無効  
FSET I ; 割り込み許可  
WAIT ; ウェイトモード  
NOP  
NOP  
NOP  
NOP

### 35.2.3 パワーオフモード

パワーオフモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、POMCR0レジスタにアクセスしてください。POMCR0レジスタにアクセスしてからパワーオフモードへ移行するまでには数マイクロ秒の期間が必要です。この期間はCPUが動作するのでNOP命令とWAIT命令を入れてプログラムを停止してください。

- パワーオフモードに移行するプログラム例 (タイマREと低速クロックを有効にする場合)

```
BCLR 1, FMR0 ; CPU書き換えモード無効
MOV.B #08H, POMCR0 ; パワーオフ0、WUKP1入力有効を選択。
MOV.B #88H, POMCR0 ; 固定値
MOV.B #15H, POMCR0 ; 固定値
MOV.B #92H, POMCR0 ; 固定値
MOV.B #25H, POMCR0 ; 固定値
NOP
NOP
NOP
NOP ; パワーオフモードへ移行
WAIT ; ウェイトモード
```

パワーオフモードの解除後の動作は通常のリセットシーケンスと同じです。そのため、パワーオフモード移行直後にパワーオフモードを解除すると、リセットシーケンスとリセット後のプログラム動作により、消費電力を低減できません。パワーオフモード移行と解除の間隔についてはシステムレベルで十分評価してください。

### 35.2.4 電流の低減

POMCR0レジスタ(0020h番地)に“00h”と書いてください。

POMCR0レジスタへ“00h”と書くまでは、電源電流が増える場合があります。

プログラム例：MOV.B #00H, 0020H



### 35.3 割り込み使用上の注意

#### 35.3.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

#### 35.3.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

#### 35.3.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT7}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI7}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0 \sim 7$ ) に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表 34.23 外部割り込み  $\overline{\text{INTi}}$  ( $i = 0 \sim 7$ )、キー入力割り込み  $\overline{\text{KIi}}$  ( $i = 0 \sim 7$ ) のタイミング条件」を参照。)

### 35.3.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 35.1 に割り込み要因の変更手順例を示します。

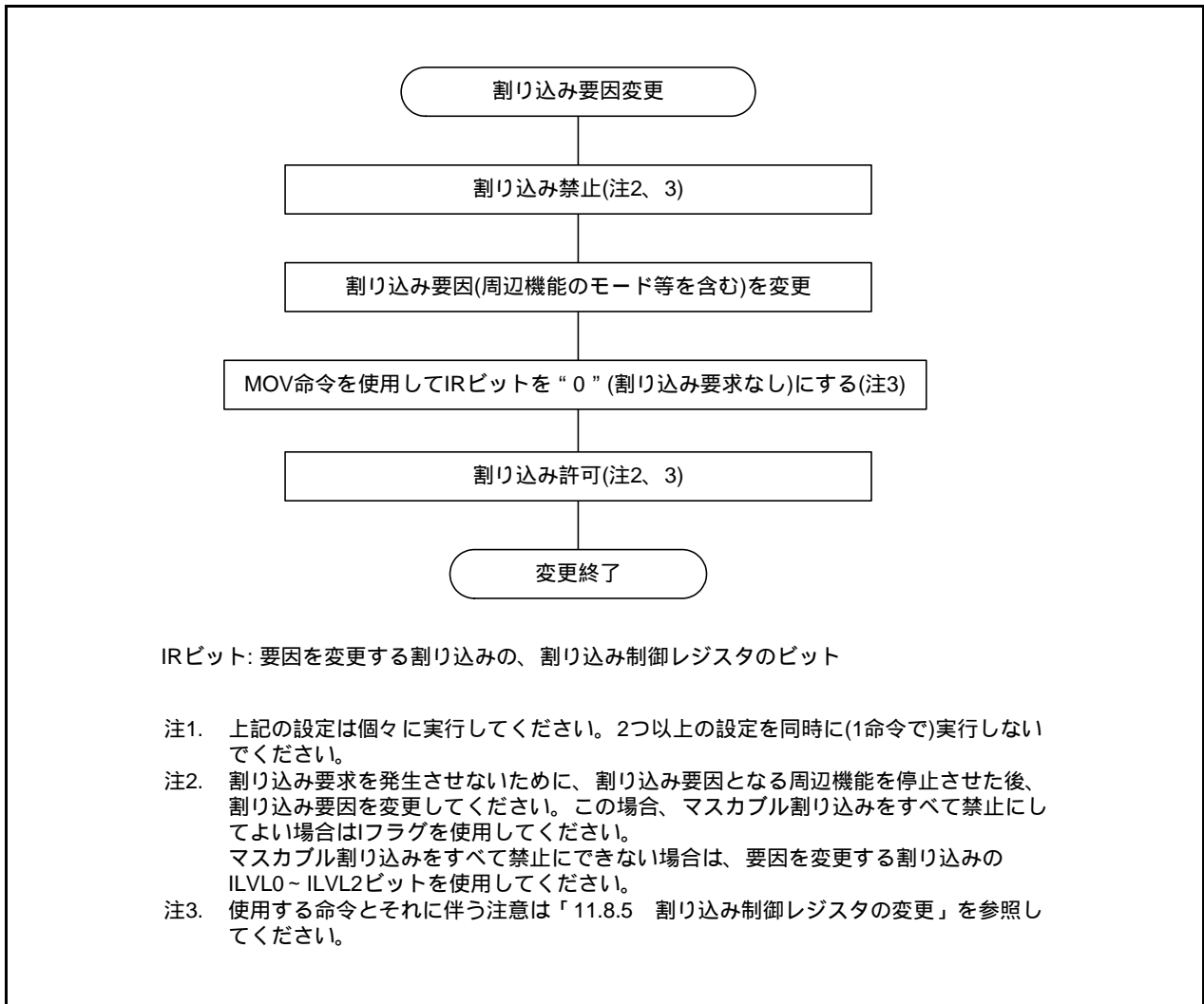


図 35.1 割り込み要因の変更手順例

### 35.3.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

#### IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 ..... AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

## 35.4 IDコード領域使用上の注意

### 35.4.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h) ; UND
.lword dummy | (55000000h) ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h) ; ADDRESS MATCH
.lword dummy | (55000000h) ; SET SINGLE STEP
.lword dummy | (55000000h) ; WDT
.lword dummy | (55000000h) ; ADDRESS BREAK
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 35.5 オプション機能選択領域使用上の注意

### 35.5.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 35.6 DTC使用上の注意

### 35.6.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

### 35.6.2 DTCENiレジスタ(i=0 ~ 6)

- DTCENi0 ~ DTCENi7ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0 ~ DTCENi7ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

### 35.6.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。  
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。  
ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCTj(j=0 ~ 23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

### 35.6.4 割り込み要求

DTC起動要因がSSU/I<sup>2</sup>C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCTj(j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

### 35.7 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“0”になっています。  
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。  
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。  
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。  
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ : TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 35.8 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。  
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。  
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。  
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

### 35.8.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 35.8.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 35.8.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 35.8.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。



## 35.9 タイマRC使用上の注意事項

### 35.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。  
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.W #XXXXh, TRC      ;書き込み
                   JMP.B L1      ;JMP.B命令
L1:                MOV.W TRC,DATA      ;読み出し
```

### 35.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.B #XXh, TRCSR      ;書き込み
                   JMP.B L1      ;JMP.B命令
L1:                MOV.B TRCSR,DATA      ;読み出し
```

### 35.9.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順  
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする  
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

### 35.9.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRCの動作クロック(「表 19.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。
- TRCIOj(j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

### 35.9.5 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

## 35.10 タイマRD使用上の注意事項

### 35.10.1 TRDSTRレジスタ

- TRDSTRレジスタはMOV命令を使用して書いてください。
- CSELi(i=0 ~ 1)ビットが“0”(TRDiレジスタとTRDGRAiレジスタのコンペアー一致でカウント停止)の場合、TSTARTiビットに“0”(カウント停止)を書いても、カウントは停止せず、TSTARTiビットも変化しません。  
したがって、CSELiビットが“0”のとき、TSTARTiビットを変化させずに他のビットを変更したい場合は、TSTARTiビットに“0”を書いてください。  
また、プログラムでカウントを停止させる場合は、CSELiビットを“1”にした後で、TSTARTiビットに“0”を書いてください。同時に(1命令で)CSELiビットに“1”、TSTARTiビットに“0”を書いてもカウントは停止できません。
- TRDIOj(j=A、B、C、D)端子をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表35.1に示します。

表 35.1 カウント停止時のTRDIOj(j=A, B, C, D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELiビットが“1”のときに、TSTARTiビットに“0”を書きカウント停止	直前の出力レベルを保持
CSELiビットが“0”のときに、TRDiレジスタとTRDGRAiレジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持

### 35.10.2 TRDiレジスタ(i=0 ~ 1)

- TRDSTRレジスタのTSTARTiビットが“1”(カウント開始)の状態、プログラムでTRDiレジスタに値を書き込む場合は、TRDiレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRDiレジスタが“0000h”になるタイミングと、TRDiレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDiレジスタが“0000h”になります。  
この注意事項は、TRDCRiレジスタのCCLR2 ~ CCLR0ビットで次の選択をしている場合に該当します。
  - “001b”(TRDGRAiレジスタとのコンペアー一致でTRDiレジスタをクリア)
  - “010b”(TRDGRBiレジスタとのコンペアー一致でTRDiレジスタをクリア)
  - “011b”(同期クリア)
  - “101b”(TRDGRCiレジスタとのコンペアー一致でTRDiレジスタをクリア)
  - “110b”(TRDGRDiレジスタとのコンペアー一致でTRDiレジスタをクリア)
- TRDiレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。
 

プログラム例	MOV.W #XXXXh, TRD0	; 書き込み
	JMP.B L1	; JMP.B命令
L1:	MOV.W TRD0, DATA	; 読み出し

### 35.10.3 TRDSR<sub>i</sub>レジスタ(i=0 ~ 1)

TRDSR<sub>i</sub>レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B  L1          ; JMP.B命令
L1:                MOV.B  TRDSR0,DATA  ; 読み出し
```

### 35.10.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順

- (1) TRDSTRレジスタのTSTART<sub>i</sub>(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR<sub>i</sub>レジスタのTCK2 ~ TCK0ビットを変更する

### 35.10.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO<sub>ji</sub>(i=0 ~ 1, j=A, B, C, Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRD<sub>i</sub>レジスタの値をTRDGR<sub>ji</sub>レジスタに転送します(デジタルフィルタなしの場合)。

### 35.10.6 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。  
変更手順

- (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
- (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
- (3) CMD1 ~ CMD0を“01b”(リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

### 35.10.7 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。  
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
  - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
  - (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
  - (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
  - (4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
- (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。  
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。  
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。  
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を  $m$  とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$   $m$   $m+1$   $m$   $m-1$ とカウントします。  
 $m$   $m+1$  のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。  
 $m+1$   $m$   $m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

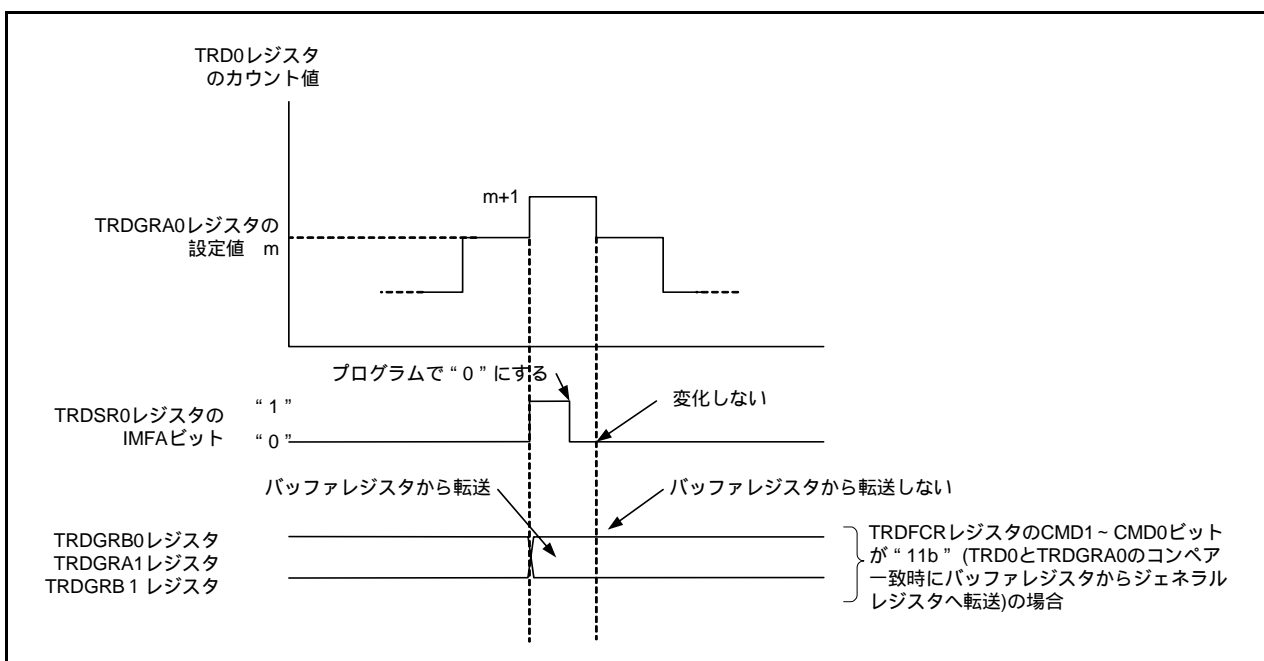


図 35.2 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。  
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。  
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

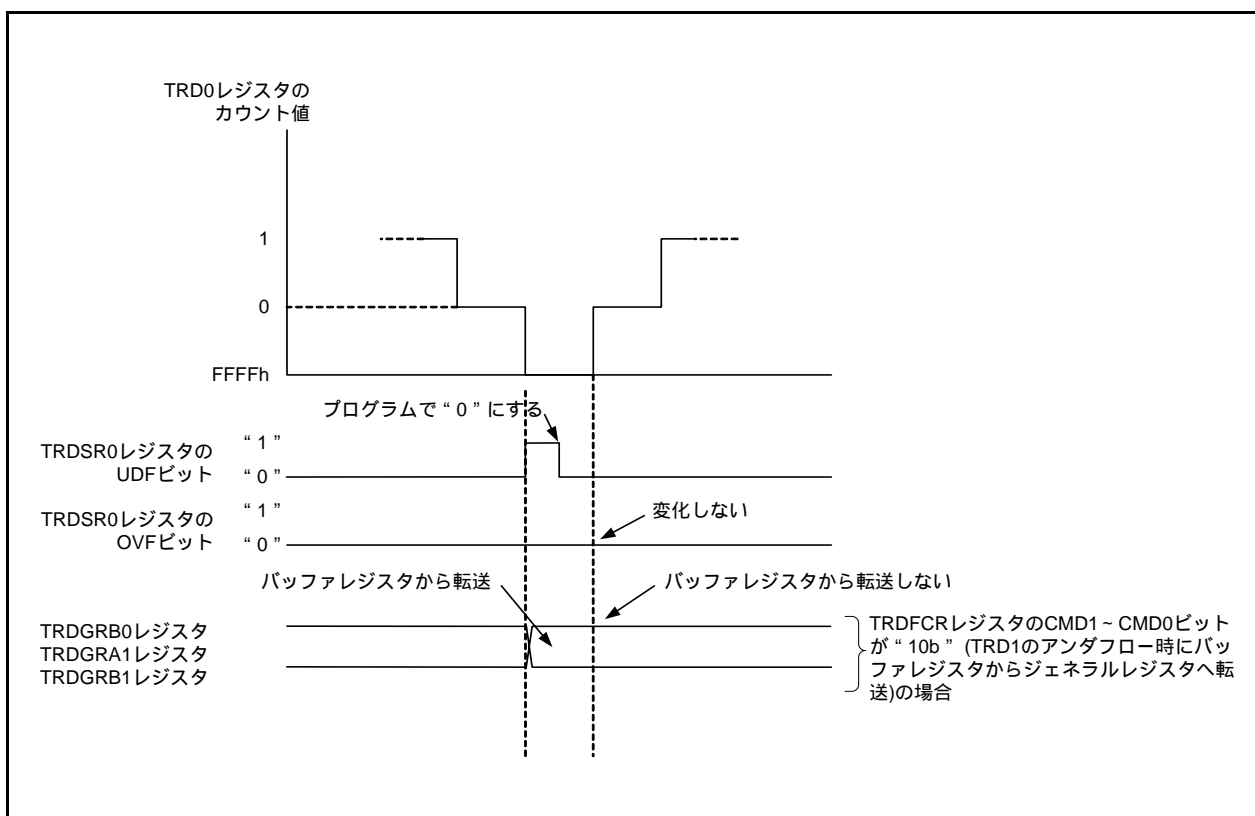


図 35.3 相補PWMモード TRD1がアンダーフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタの CMD1 ~ CMD0 ビットで選択してください。ただし、次の場合は CMD1 ~ CMD0 ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0 レジスタの値の場合

TRD1 レジスタのアンダフローで転送します。

その後、“0001h” 以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1 ~ CMD0 ビットで選択したタイミングで転送します。

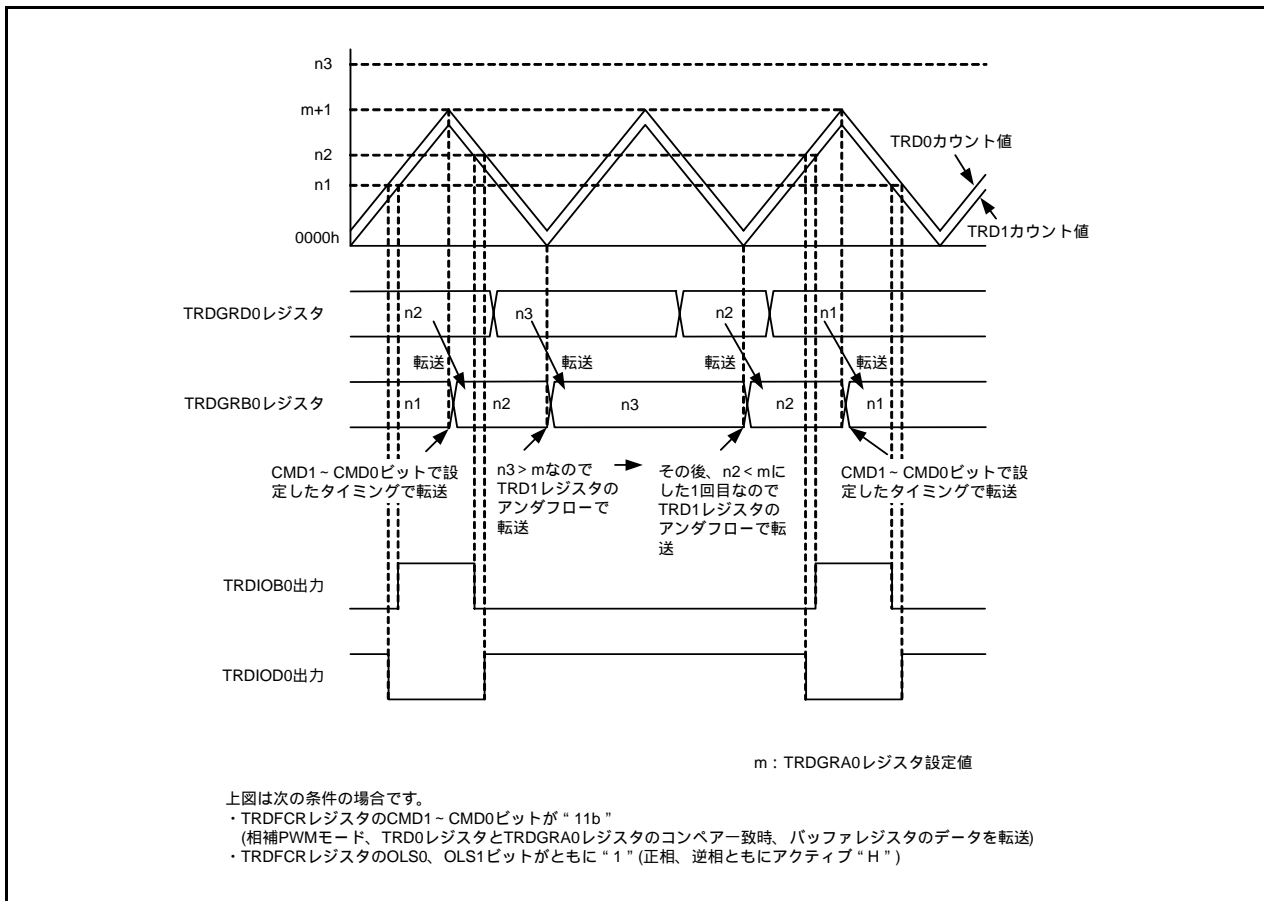


図 35.4 相補PWMモード時のバッファレジスタの値 TRDGRA0 レジスタ値の場合の動作例



## 35.11 タイマRE使用上の注意事項

### 35.11.1 リセット

タイマREはリセット入力により秒、分、時、曜日の情報を格納しているレジスタがリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

### 35.11.2 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ: TRESEC、TREMINT、TREHR、TREWK、TRECRI、TRECRI2、TRECSCR

### 35.11.3 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRI2レジスタ
- TRECRIレジスタのH12\_H24ビット、PMビット、INTビット
- TRECSCRレジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRI2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図 35.6にリアルタイムクロックモード時の設定例を示します。



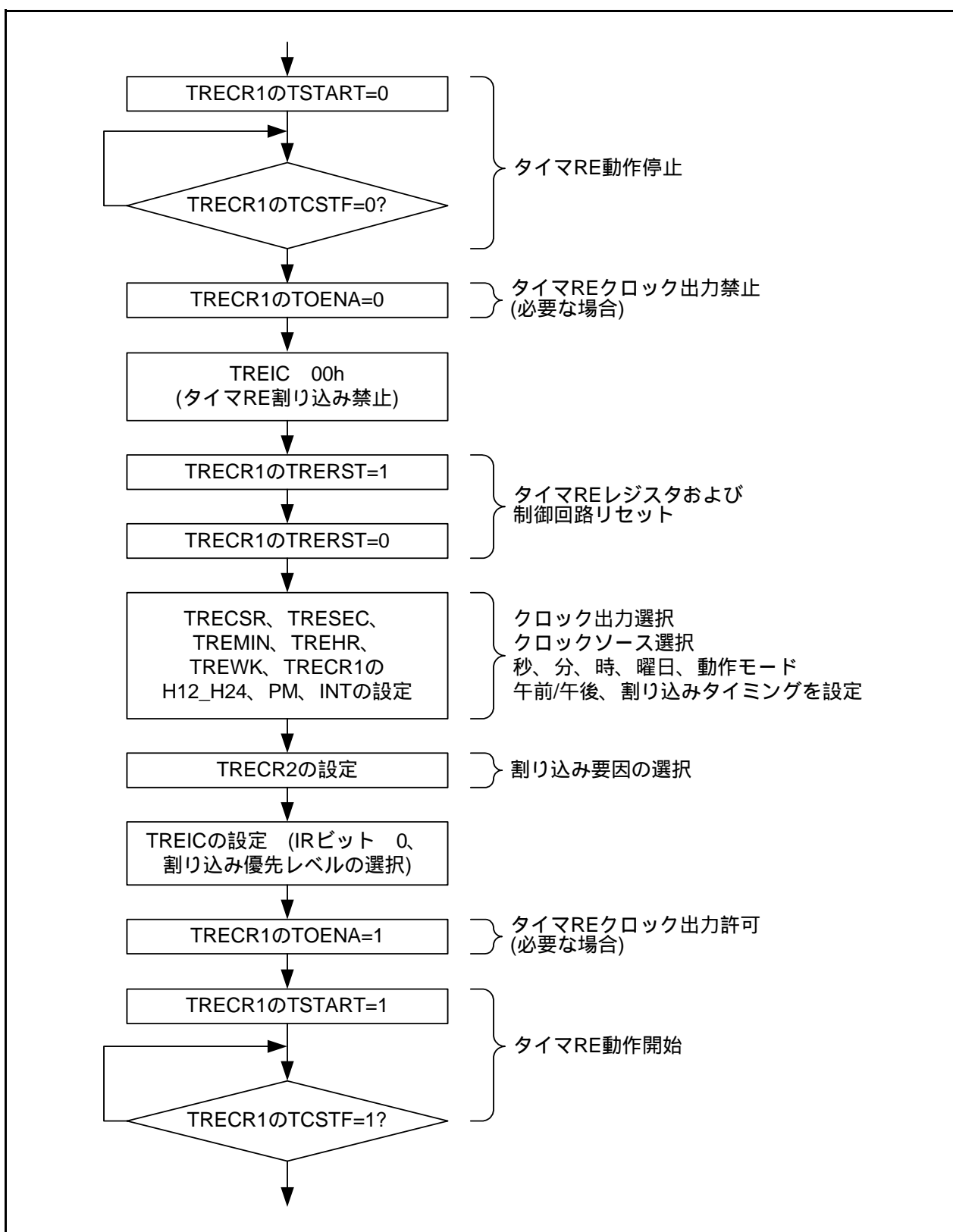


図 35.6 リアルタイムクロックモード時の設定例

#### 35.11.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

## 35.12 タイマRG使用上の注意事項

### 35.12.1 位相計数モード時の位相差、オーバーラップ、およびパルス幅

TRGCLKA、TRGCLKB 端子からの外部入力信号の位相差およびオーバーラップはそれぞれ  $1.5f_1$  以上、パルス幅は  $2.5f_1$  以上が必要です。図 35.7 に位相計数モード時の位相差、オーバーラップおよびパルス幅を示します。

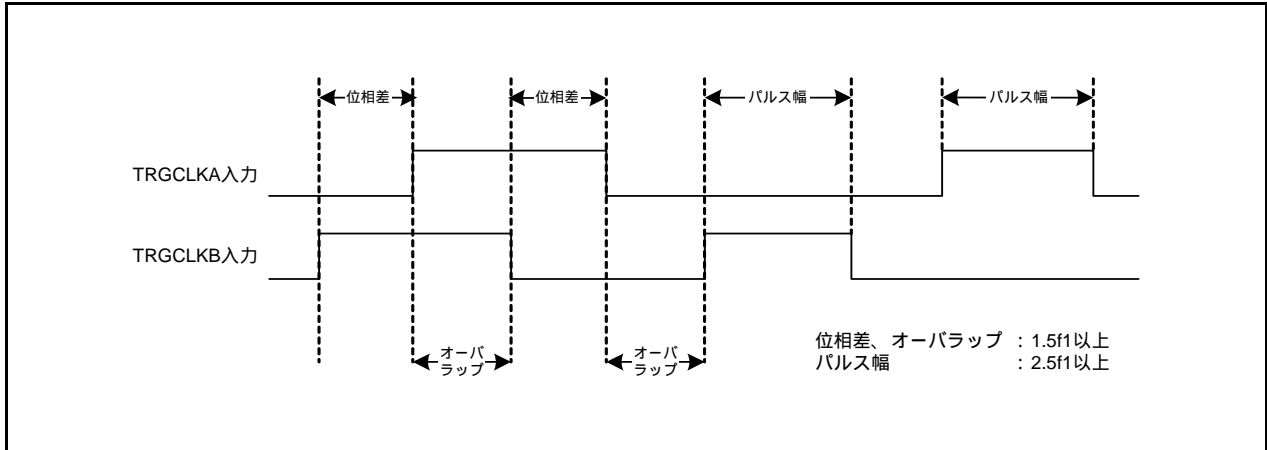


図 35.7 位相計数モード時の位相差、オーバーラップおよびパルス幅

### 35.12.2 タイマRGカウンタ(TRG)

TRG レジスタ、または TRGCR レジスタに書く場合は、TRGMR レジスタの TSTART ビットが “0” (カウント停止) の状態で、行ってください。

## 35.13 シリアルインタフェース(UART<sub>i</sub> (i=0 ~ 1))使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。  
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。  
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W 00A6H, R0 ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書くときは、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```

## 35.14 シリアルインタフェース(UART2)使用上の注意

### 35.14.1 クロック同期形シリアルI/Oモード

#### 35.14.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

#### 35.14.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

#### 35.14.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

## 35.14.2 クロック非同期型シリアルI/O(UART)モード

### 35.14.2.1送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

### 35.14.2.2送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態に次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

### 35.14.3 特殊モード1(I<sup>2</sup>Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

### 35.15 シンクロナスシリアルコミュニケーションユニット(SSU)使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

### 35.16 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、SSUICSRレジスタのIICSELビットを“1”(I<sup>2</sup>Cバスインタフェース機能を選択)にしてください。

### 35.17 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

### 35.18 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

## 35.19 LCD駆動制御回路使用上の注意

### 35.19.1 分割抵抗を外付けする場合

R1 ~ R4の参考値は200k、C1 ~ C4の参考値は0.22  $\mu$ Fです。これらの最適値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数に依存します。必要に応じて、値を調整してください(図32.4を参照してください)。

### 35.19.2 昇圧回路

CLの参考値は0.22  $\mu$ F、C1 ~ C4の参考値は0.22  $\mu$ Fです。これらの最適値は、使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数に依存します。必要に応じて、値を調整してください(図32.5を参照してください)。

## 35.20 フラッシュメモリ使用上の注意

### 35.20.1 CPU書き換えモード

#### 35.20.1.1使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

#### 35.20.1.2割り込み

表35.2～表35.4にCPU書き換えモード時の割り込みを示します。

表35.2 CPU書き換えモード時の割り込み(1)

モード	イレース/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレースサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレースサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレースサスペンドリクエスト禁止)でイレースサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレースリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレースサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット



表35.3 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・NMI (注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラムROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表35.4 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> <li>・ウォッチドッグタイマ</li> <li>・発振停止検出</li> <li>・NMI</li> </ul> (注1)	<ul style="list-style-type: none"> <li>・未定義命令</li> <li>・INTO命令</li> <li>・BRK命令</li> <li>・シングルステップ</li> <li>・アドレス一致</li> <li>・アドレスブレイク (注1)</li> </ul>
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

### 35.20.1.3アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。“1”を書いた後、“0”を書くまでに割り込みが入らないようにしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

### 35.20.1.4ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 35.20.1.5プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 35.20.1.6ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

### 35.20.1.7フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

### 35.20.1.8ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

## 35.21 ノイズに関する注意事項

### 35.21.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1  $\mu$ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

### 35.21.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

## 36. オンチップデバッガの注意事項

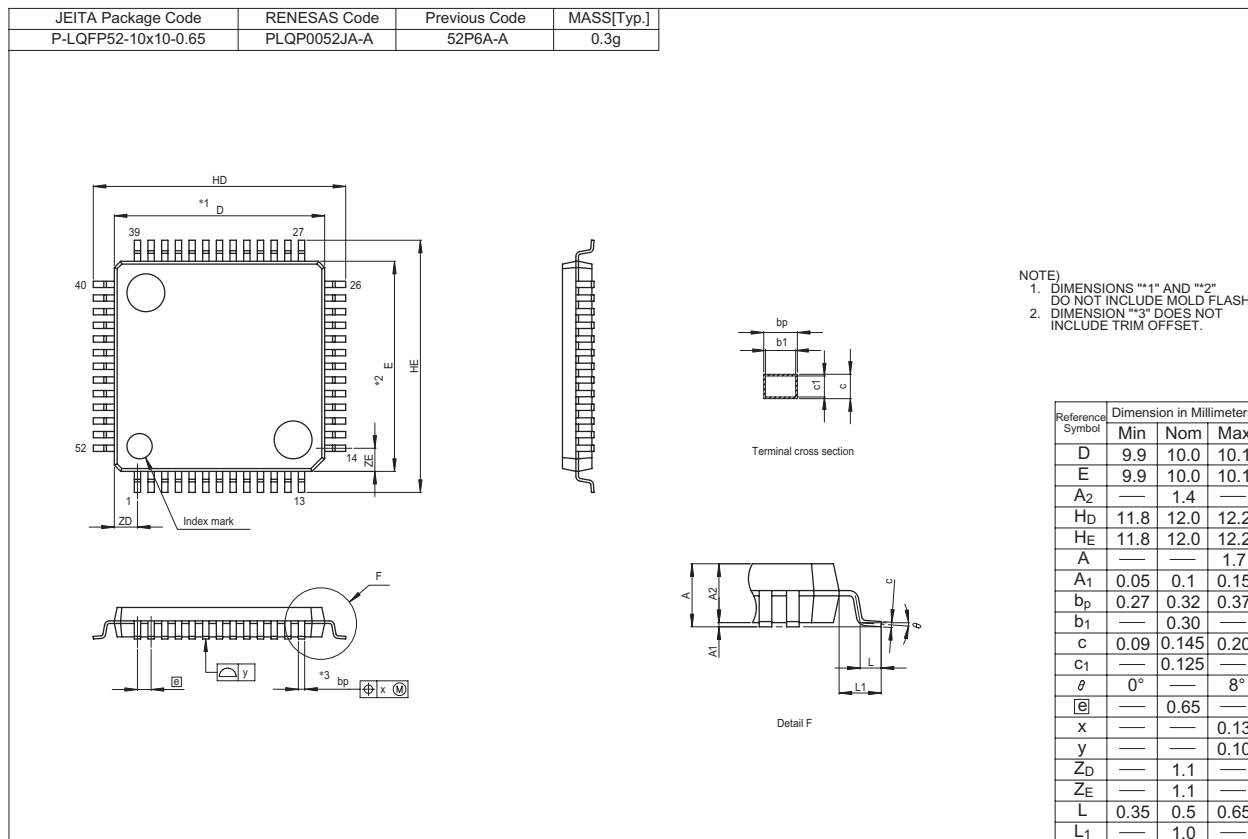
オンチップデバッガを使用してR8C/L35A、R8C/L36A、R8C/L38A、およびR8C/L3AAグループ、ならびにR8C/L35B、R8C/L36B、R8C/L38B、およびR8C/L3ABグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

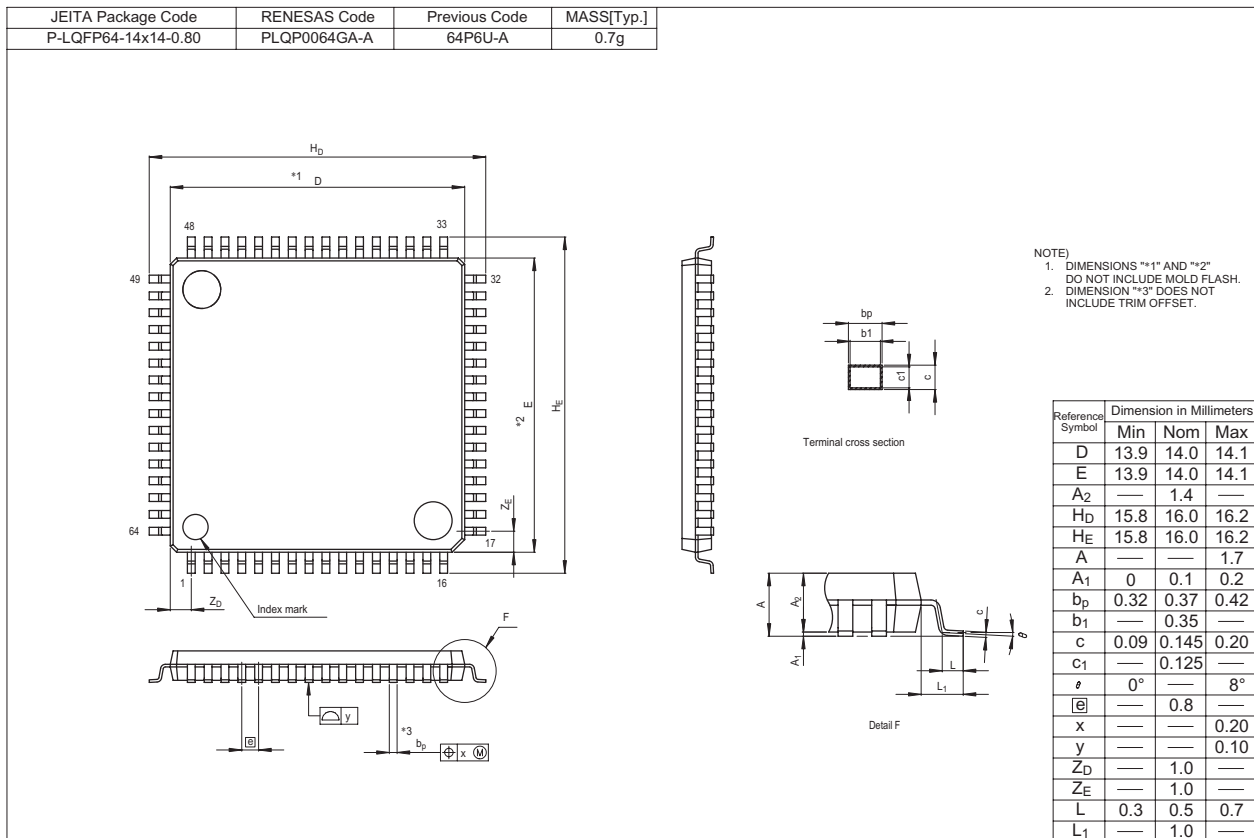
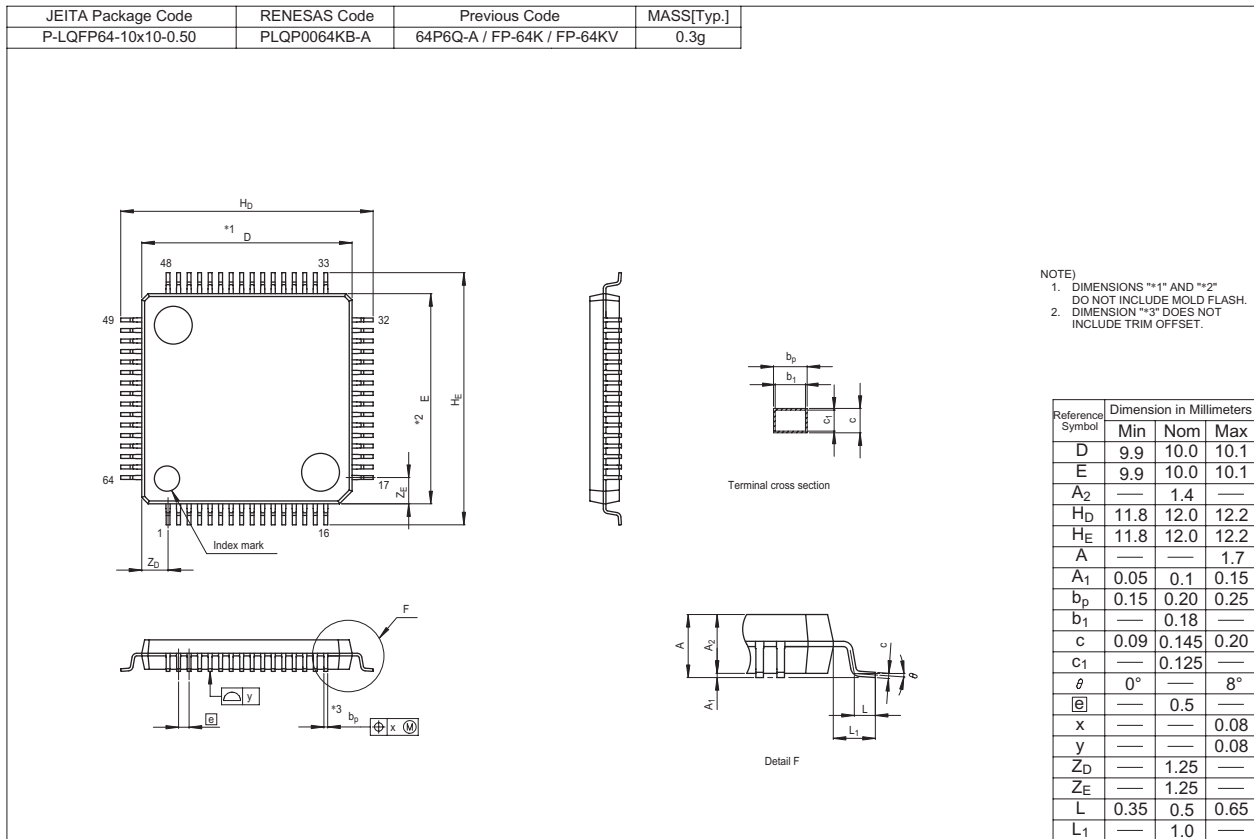
- (1) オンチップデバッガでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。  
使用領域につきましては、各オンチップデバッガのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC=1.8 ~ 5.5Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、2.7V以上にしてください。

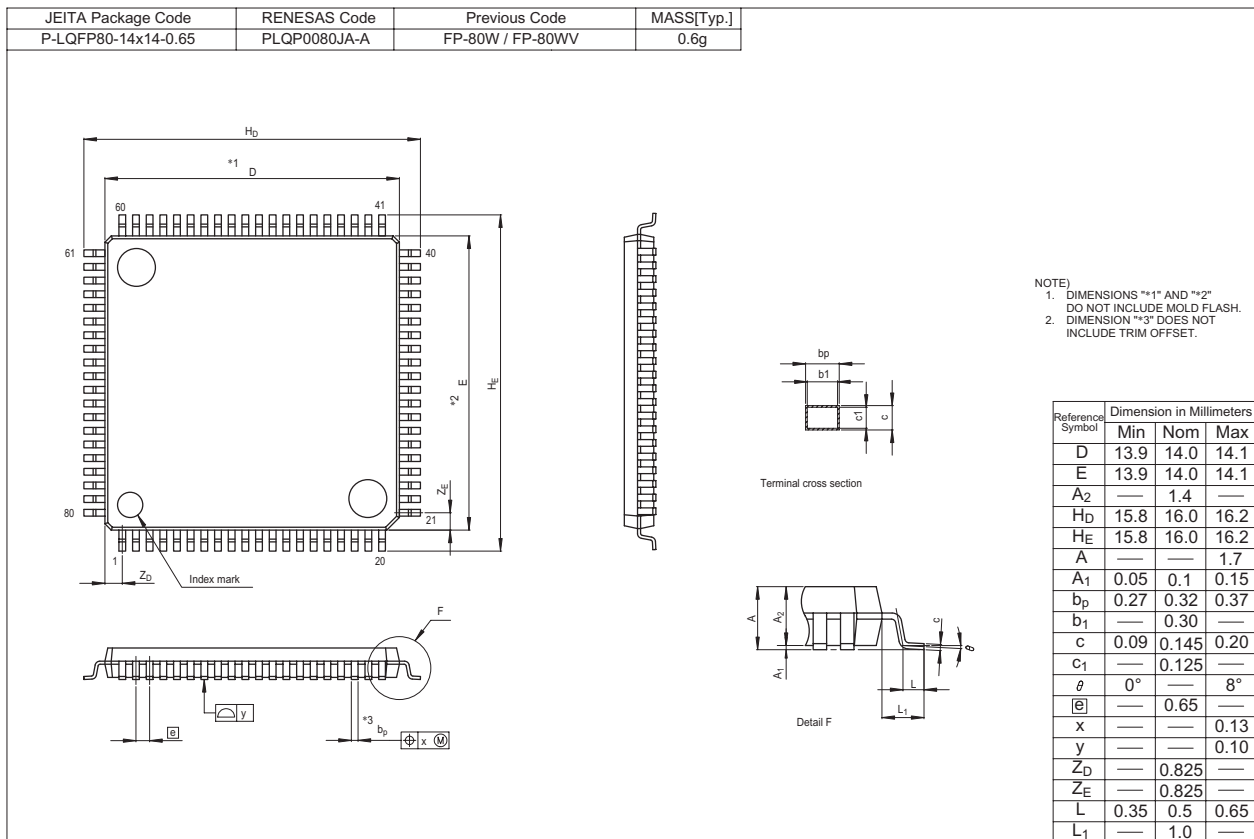
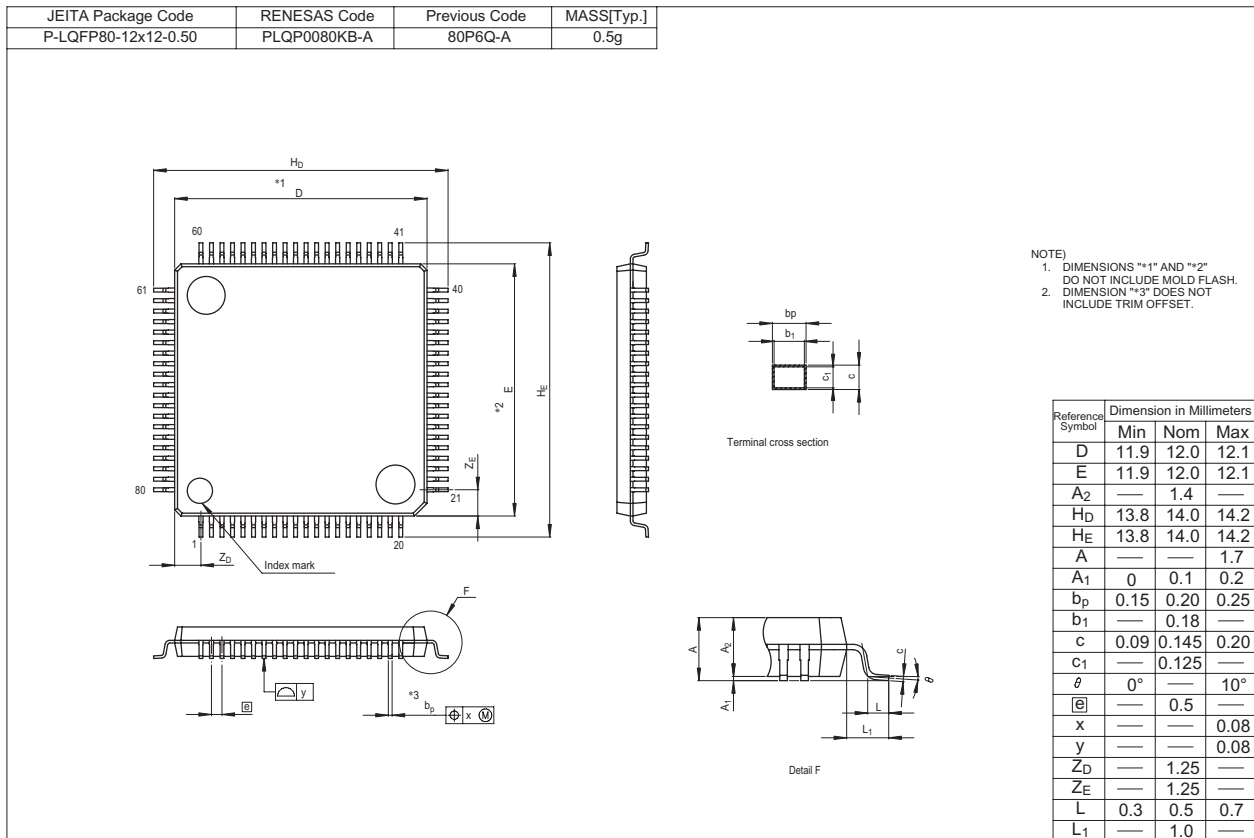
オンチップデバッガの接続や使用方法には、固有の制限事項があります。オンチップデバッガの詳細は各オンチップデバッガのマニュアルを参照してください。

## 付録1. 外形寸法図

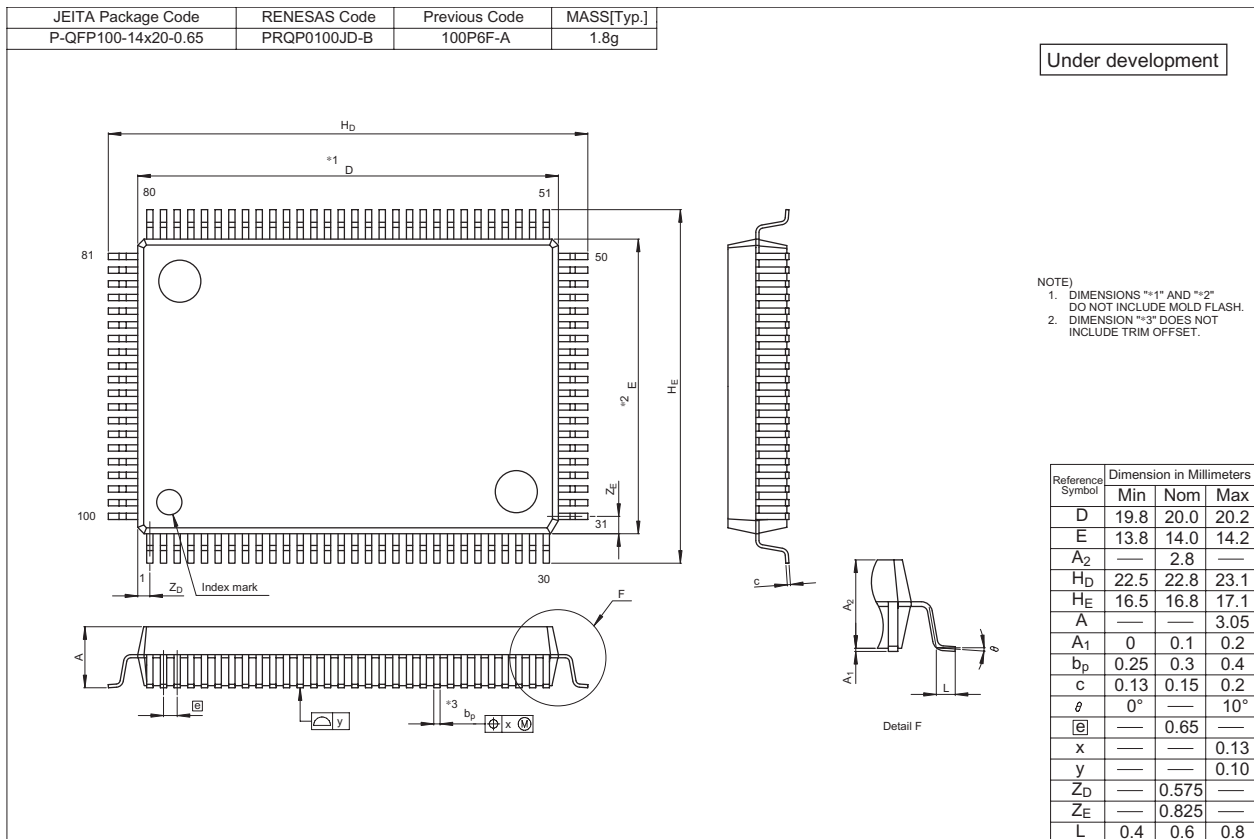
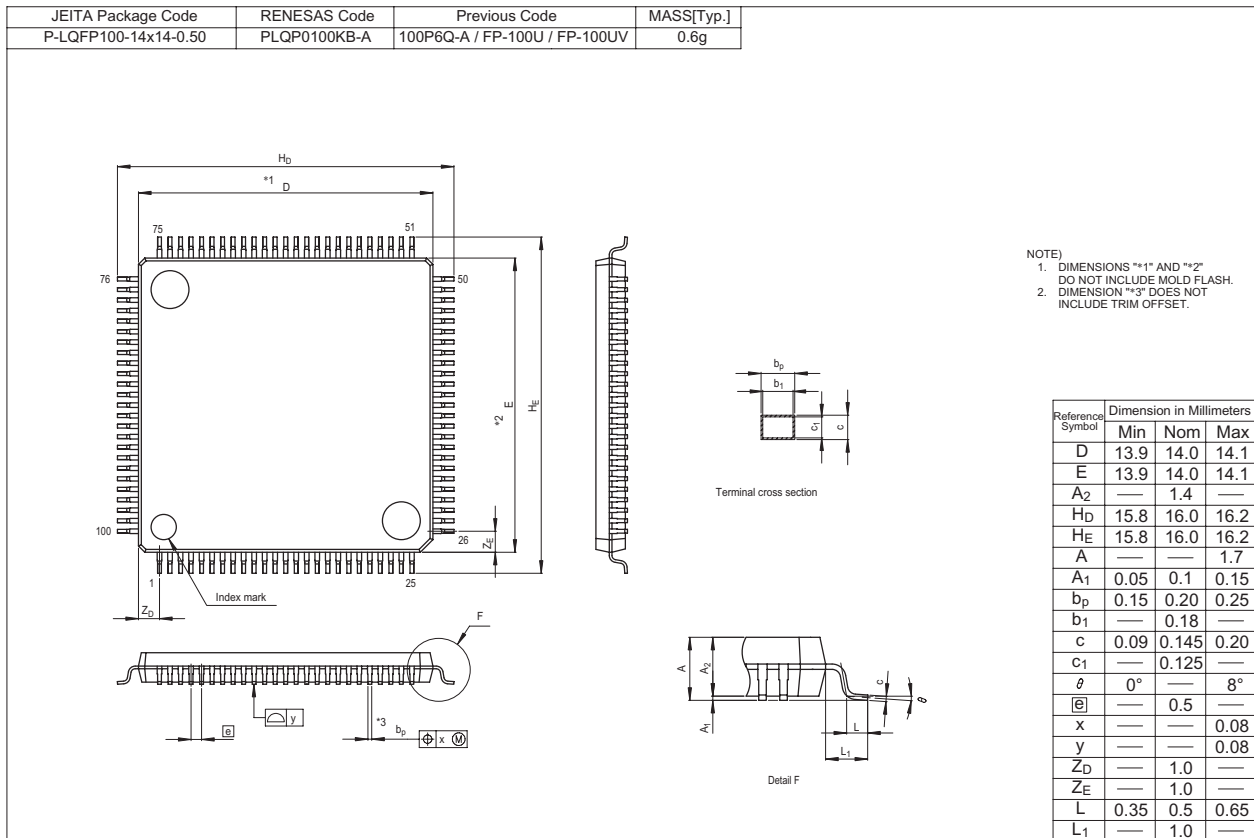
外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。





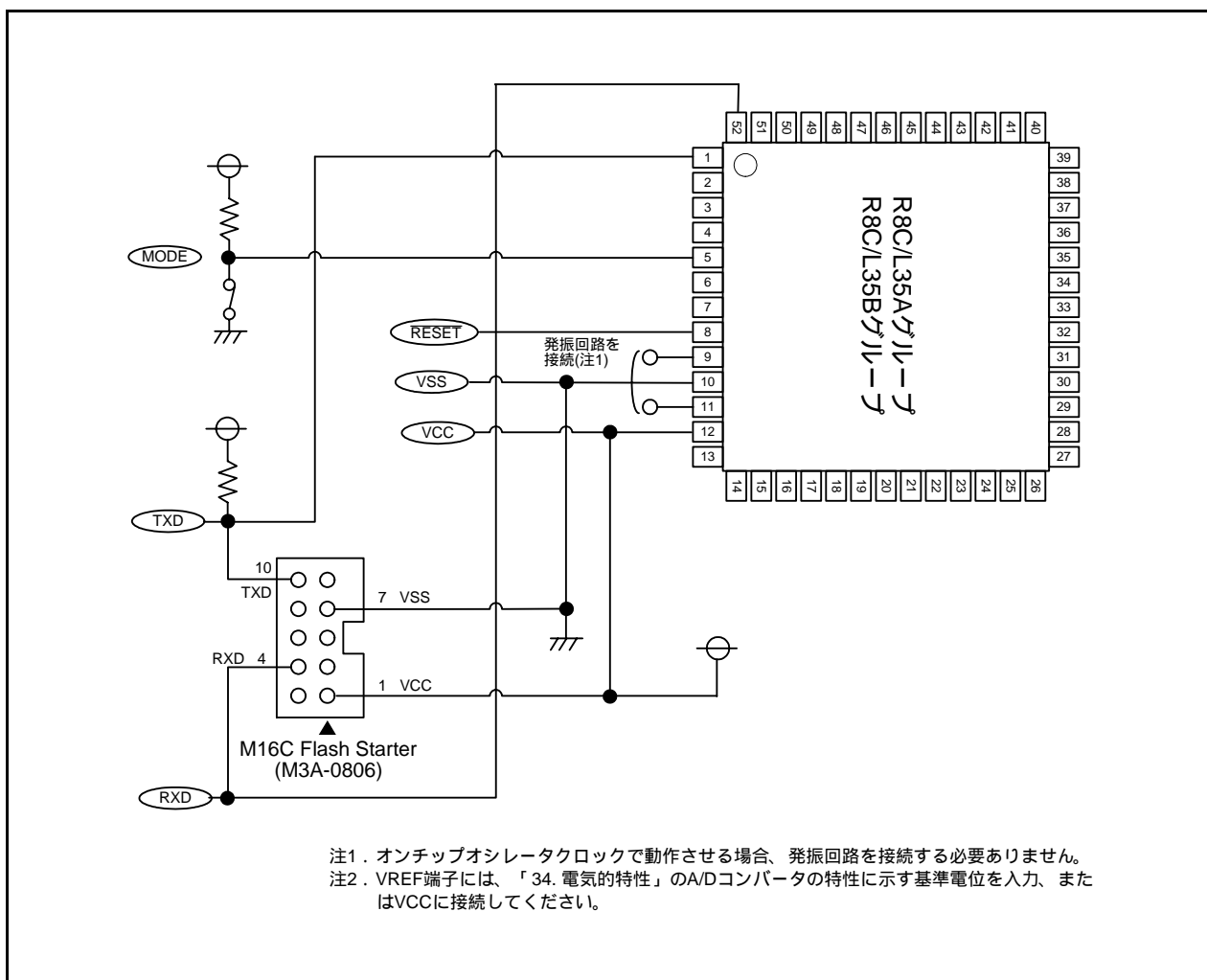




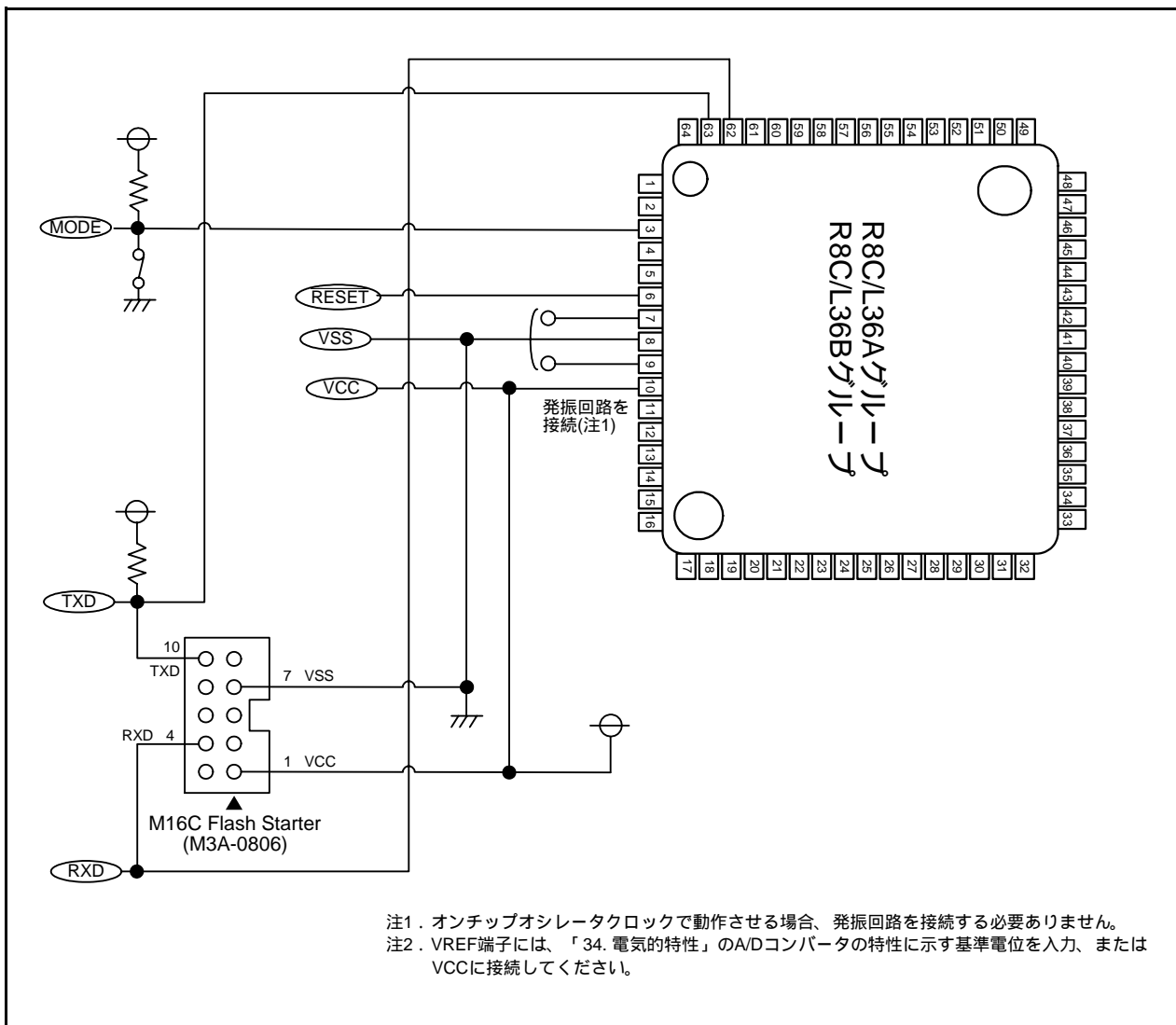


## 付録2. M16C Flash Starter との接続例

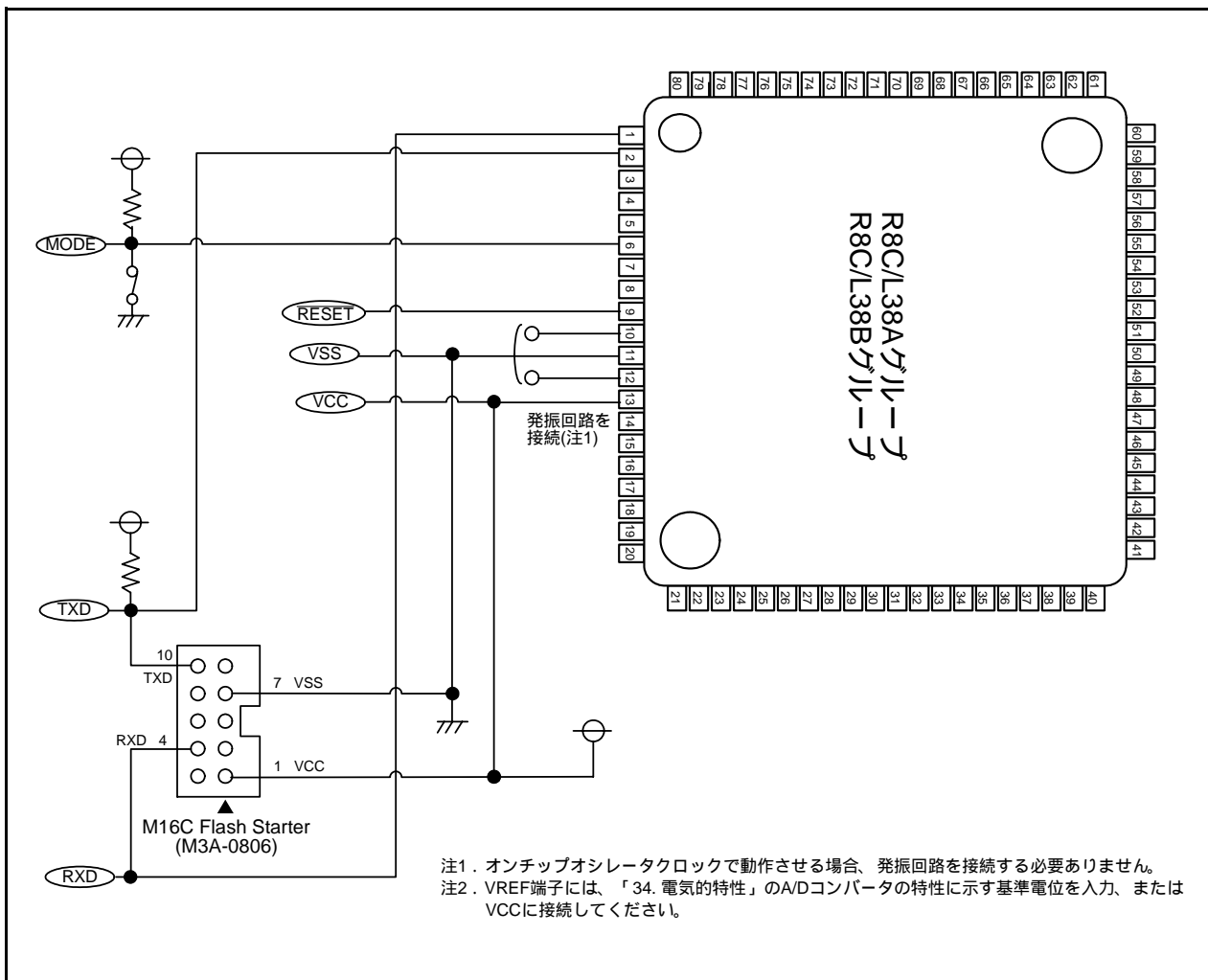
付図 2.1 ~ 付図 2.5にM16C Flash Starter (M3A-0806) との接続例を示します。



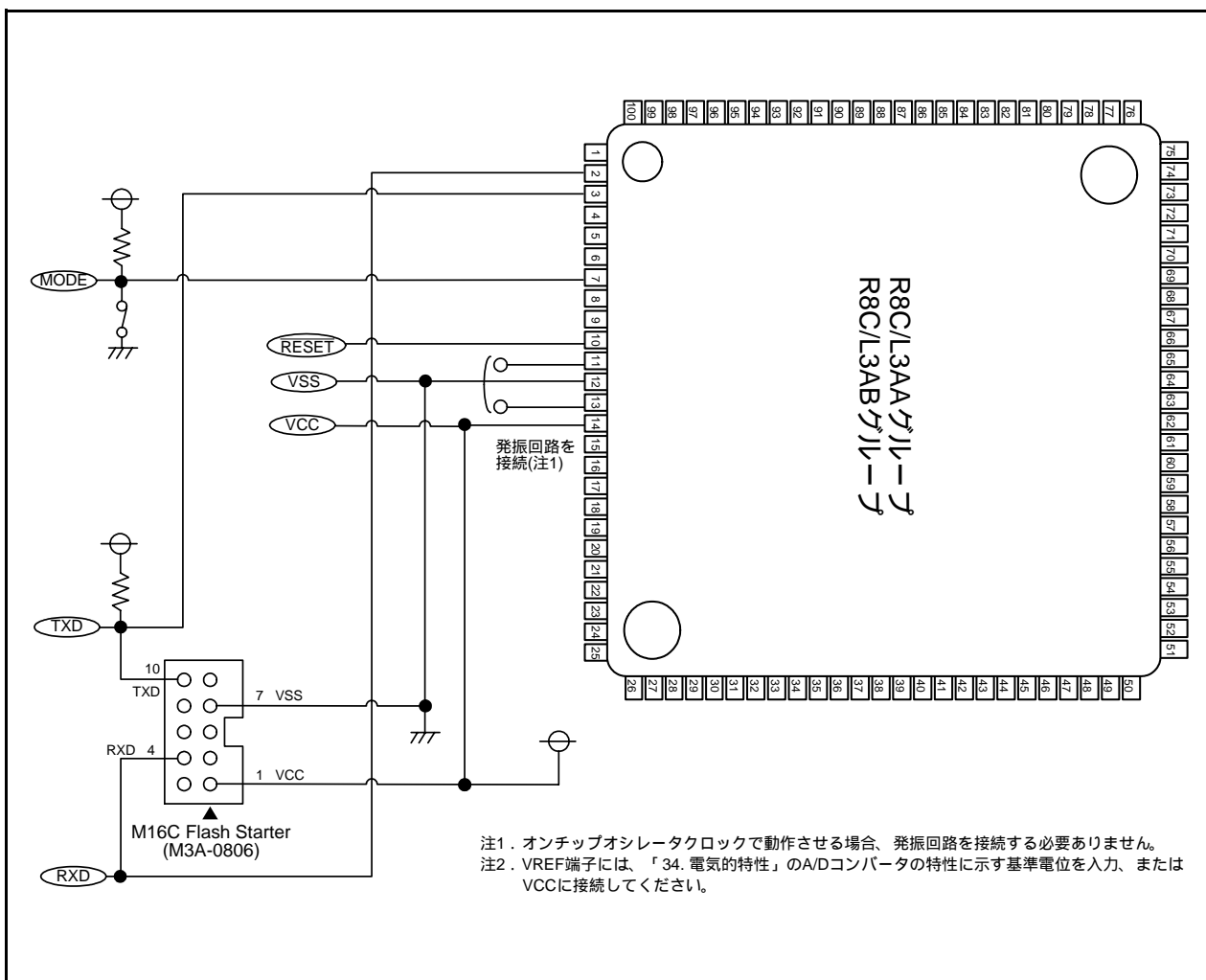
付図 2.1 M16C Flash Starter (M3A-0806) との接続例 (1)



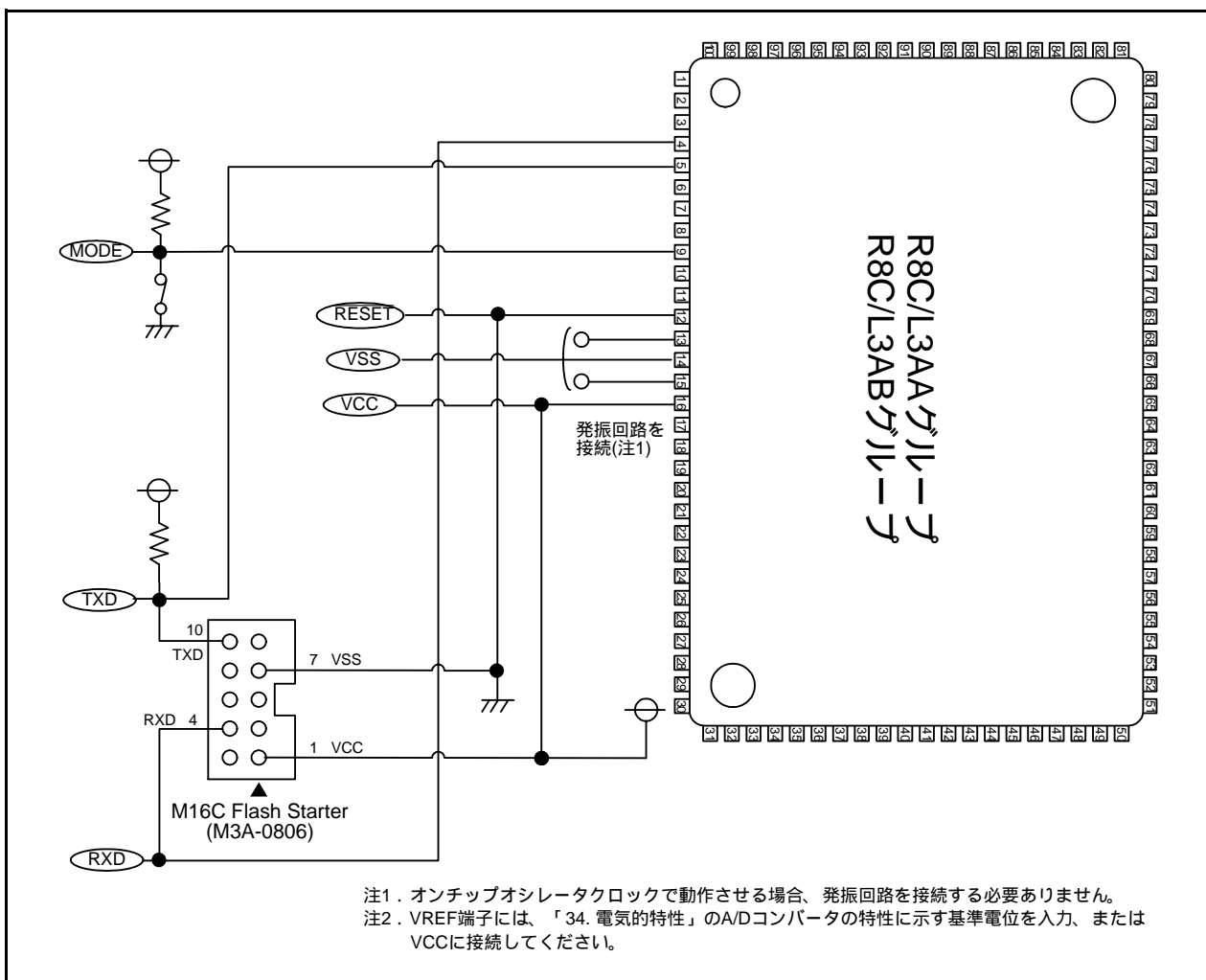
付図 2.2 M16C Flash Starter (M3A-0806) との接続例(2)



付図 2.3 M16C Flash Starter (M3A-0806) との接続例 (3)

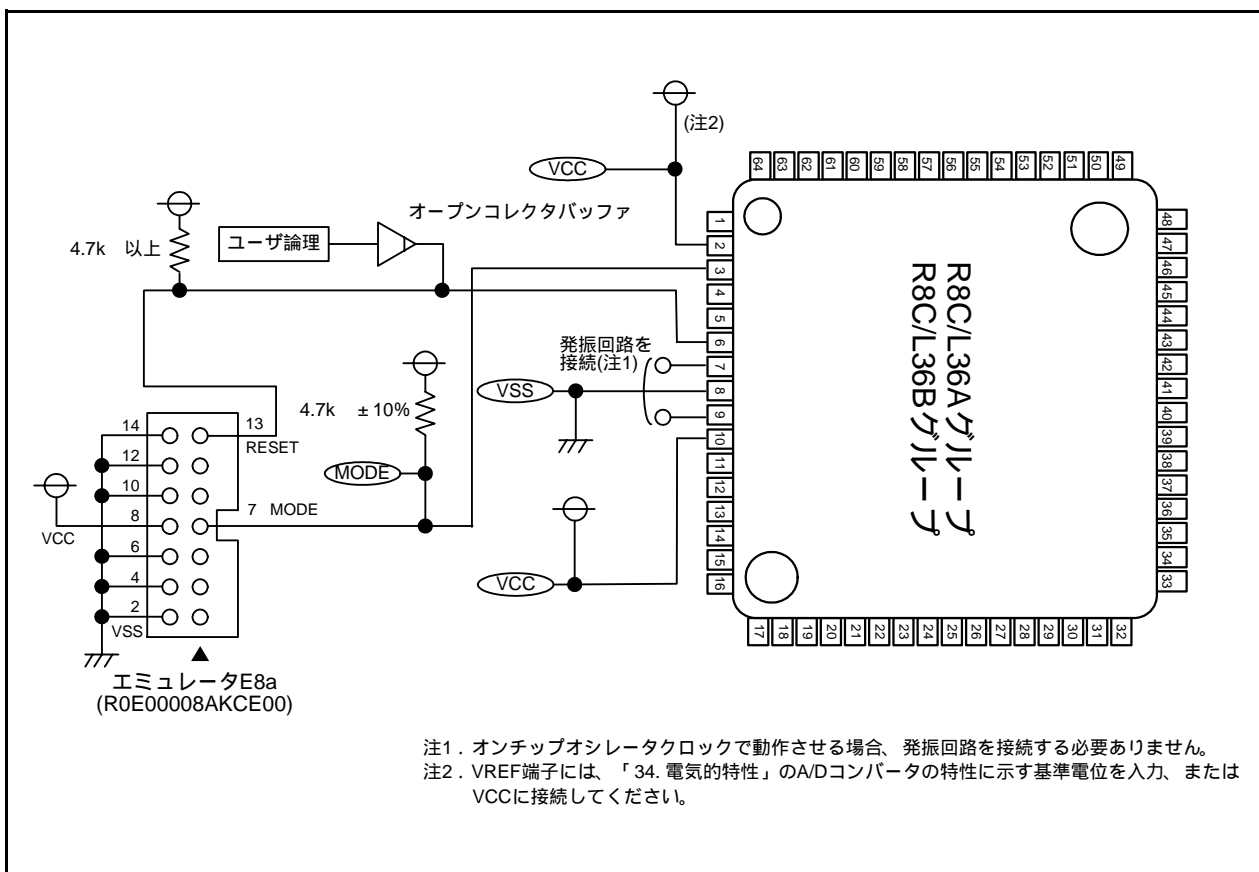


付図 2.4 M16C Flash Starter (M3A-0806) との接続例 (4)



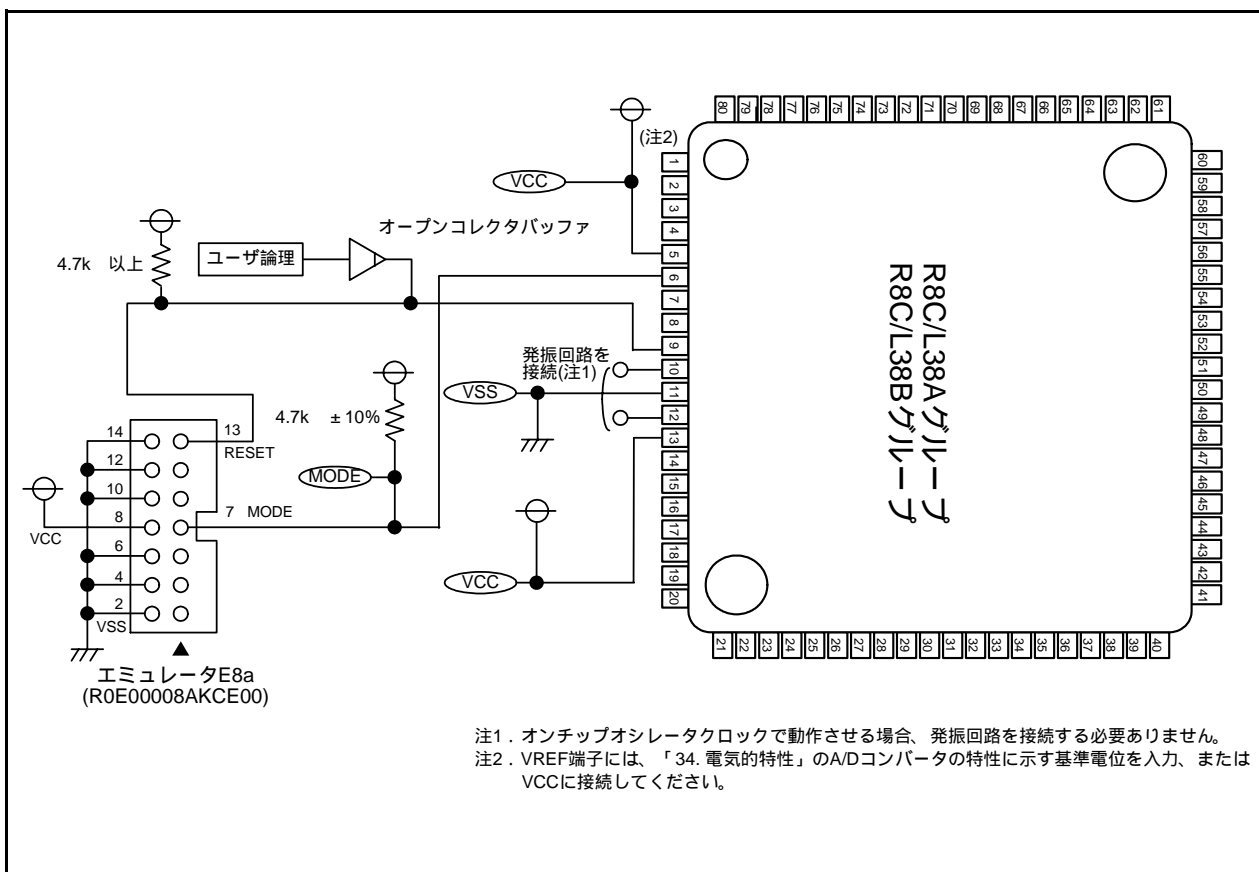
付図 2.5 M16C Flash Starter (M3A-0806) との接続例 (5)



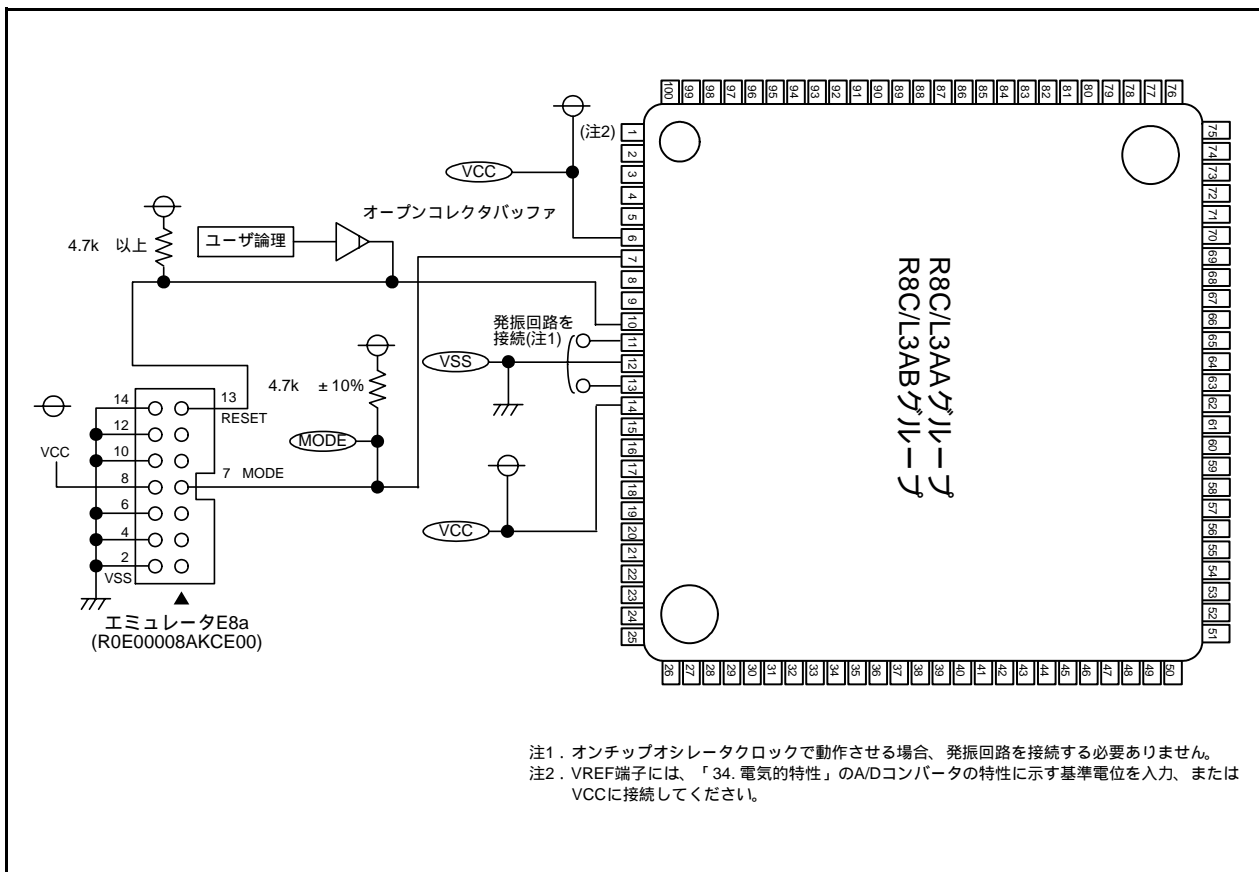


付図 3.2 エミュレータE8a (R0E00008AKCE00)との接続例(2)

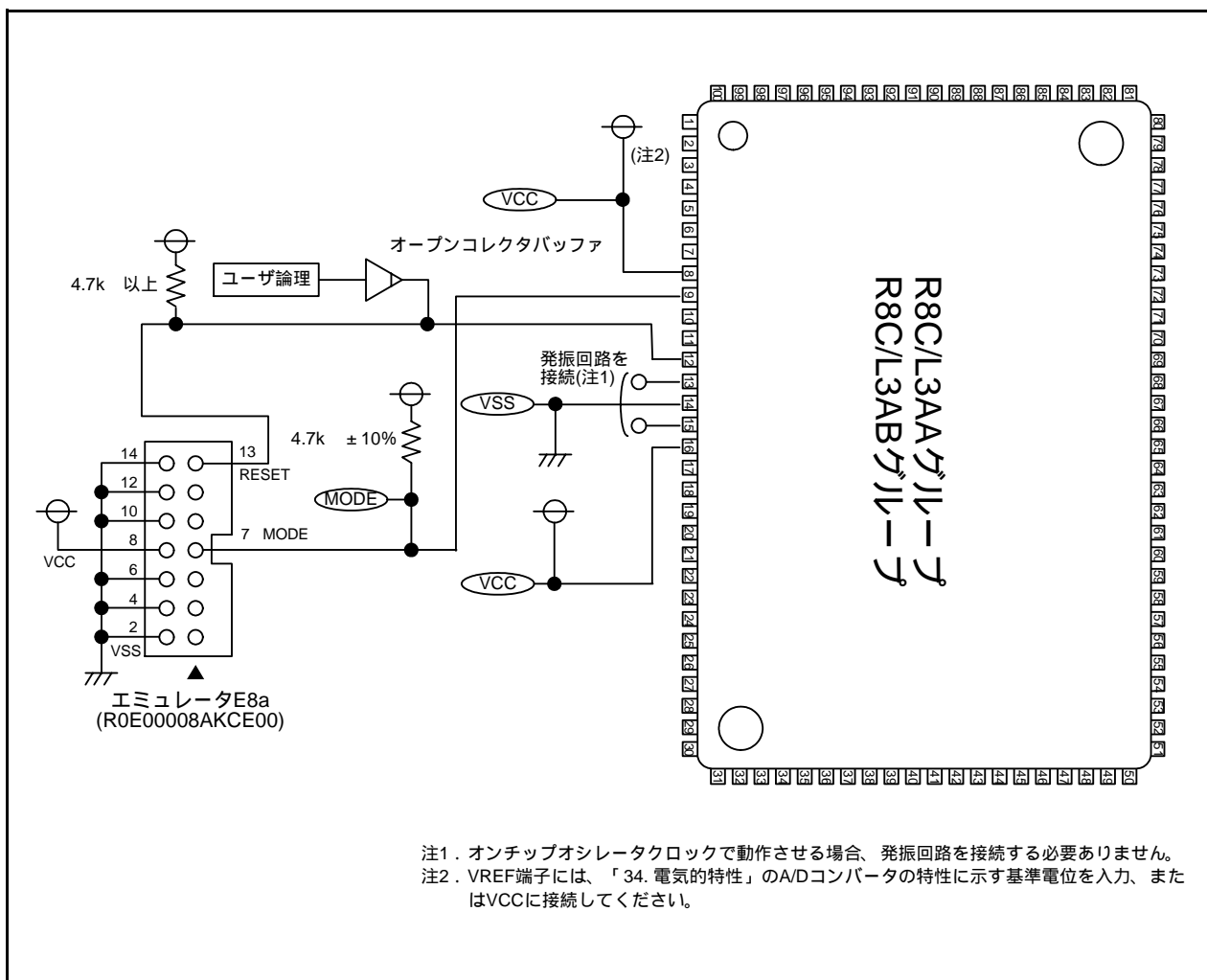




付図 3.3 エミュレータ E8a (R0E00008AKCE00) との接続例 (3)



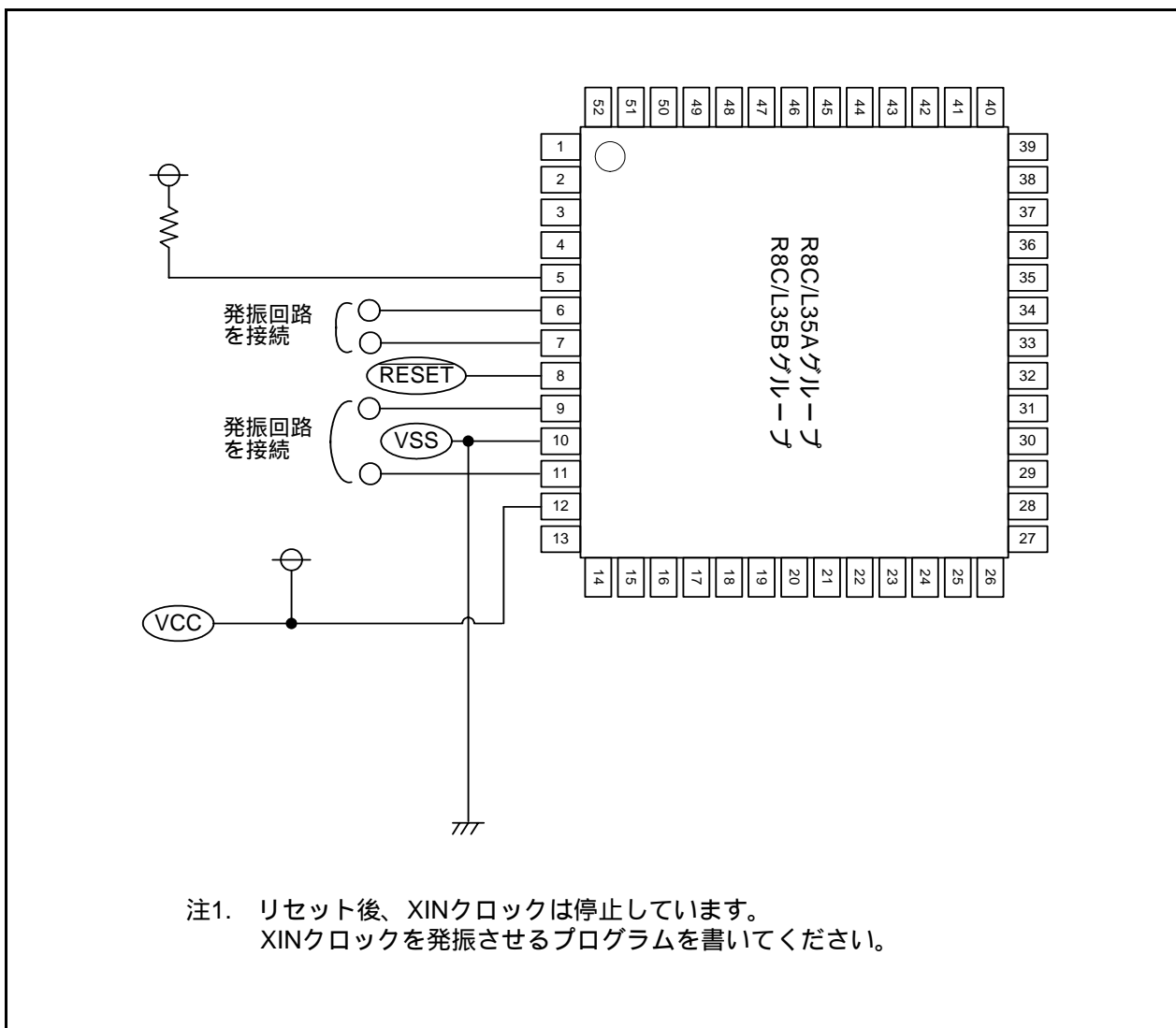
付図 3.4 エミュレータ E8a (R0E00008AKCE00) との接続例 (4)



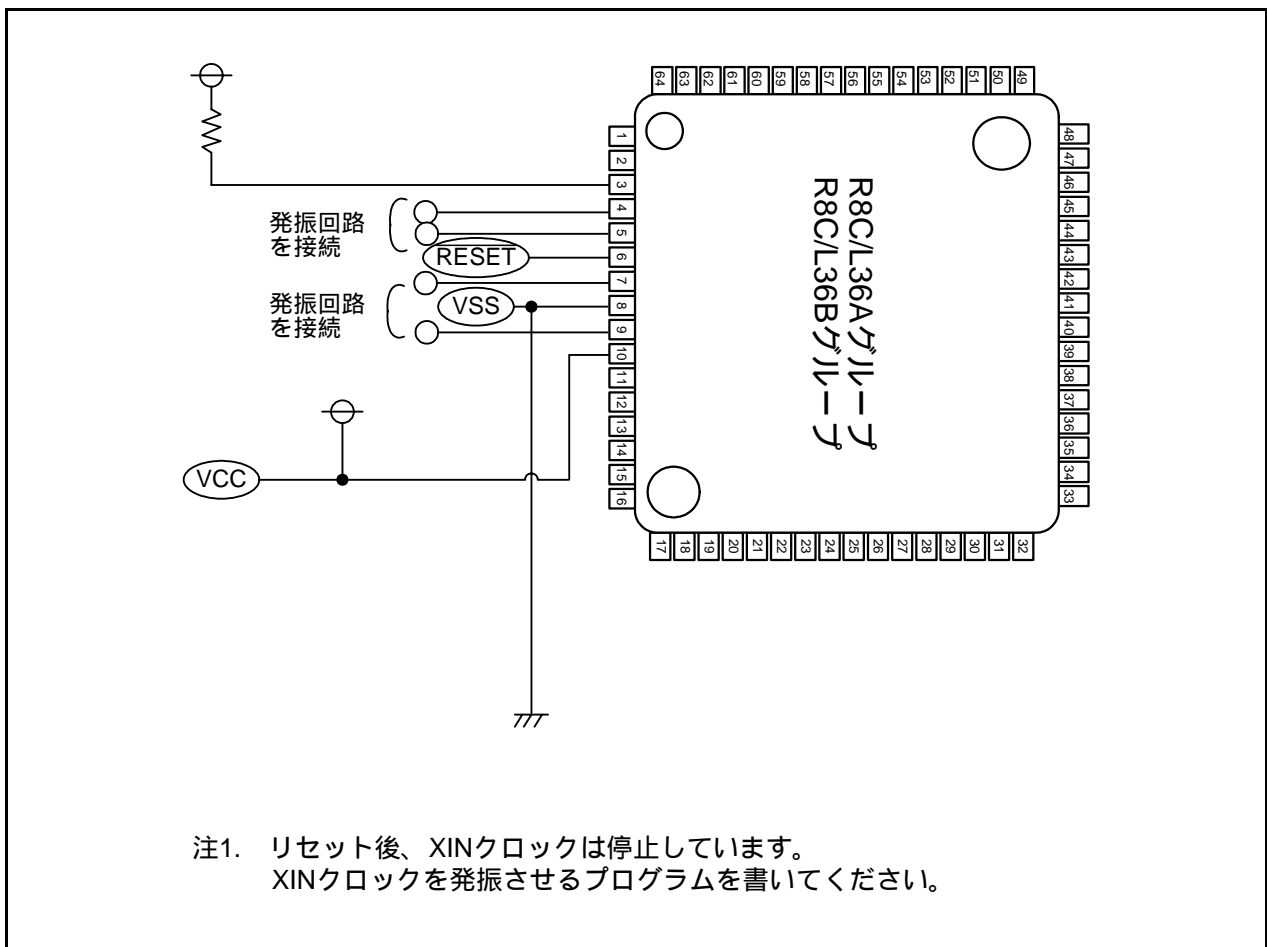
付図 3.5 エミュレータ E8a (R0E00008AKCE00) との接続例 (5)

## 付録4. 発振評価回路例

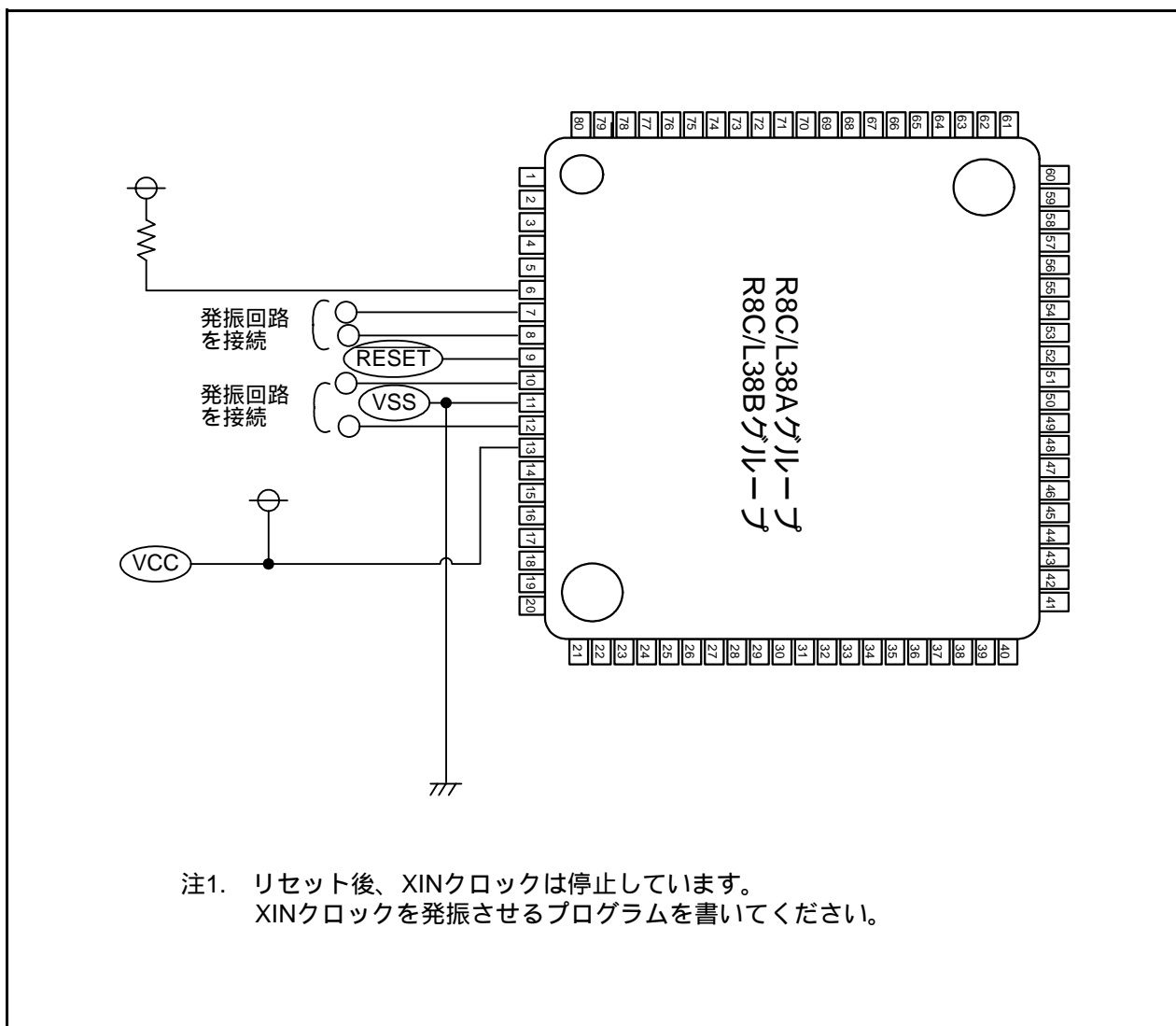
付図 4.1 ~ 付図 4.5 に発振評価回路例を示します。



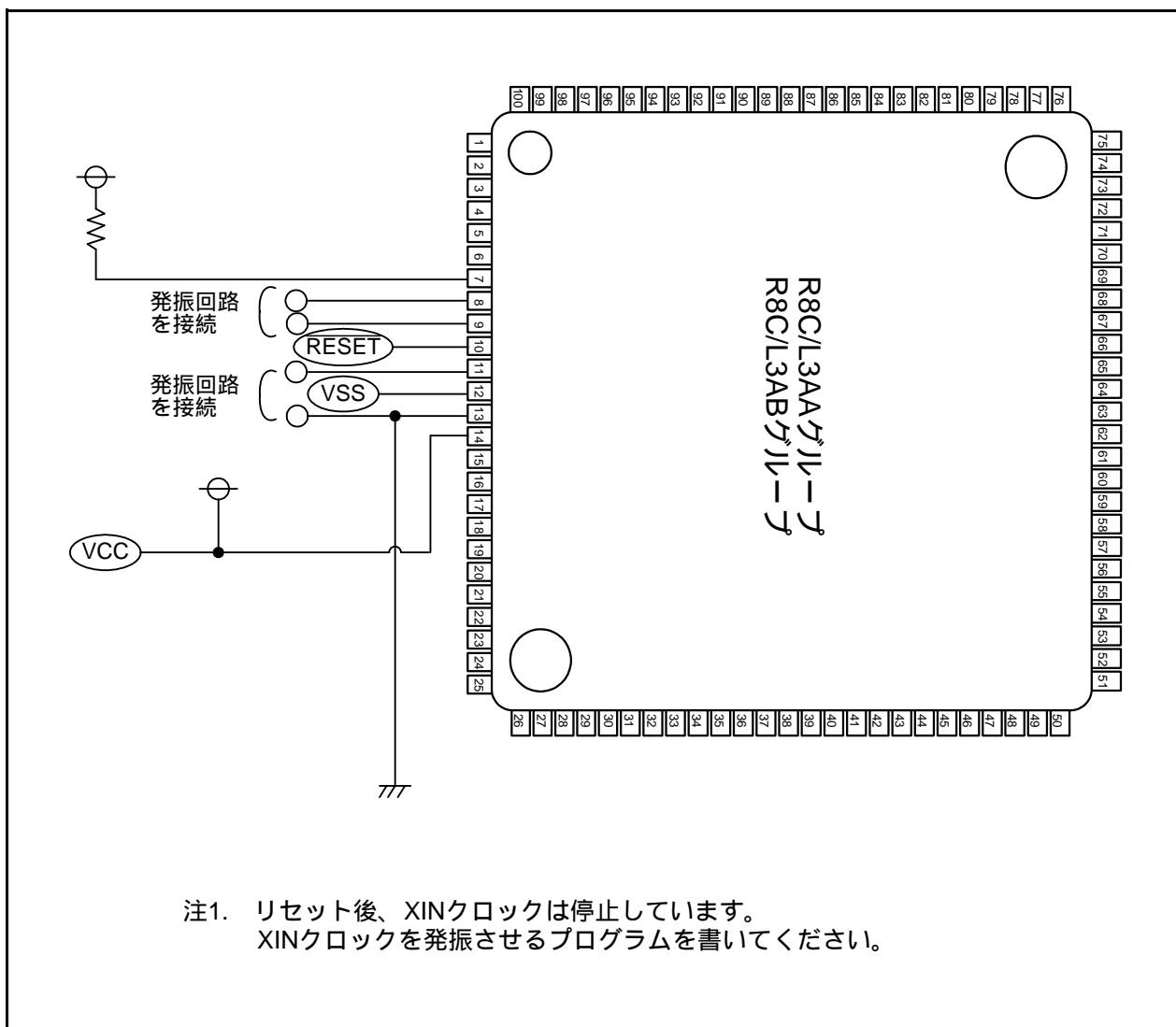
付図 4.1 発振評価回路例(1)



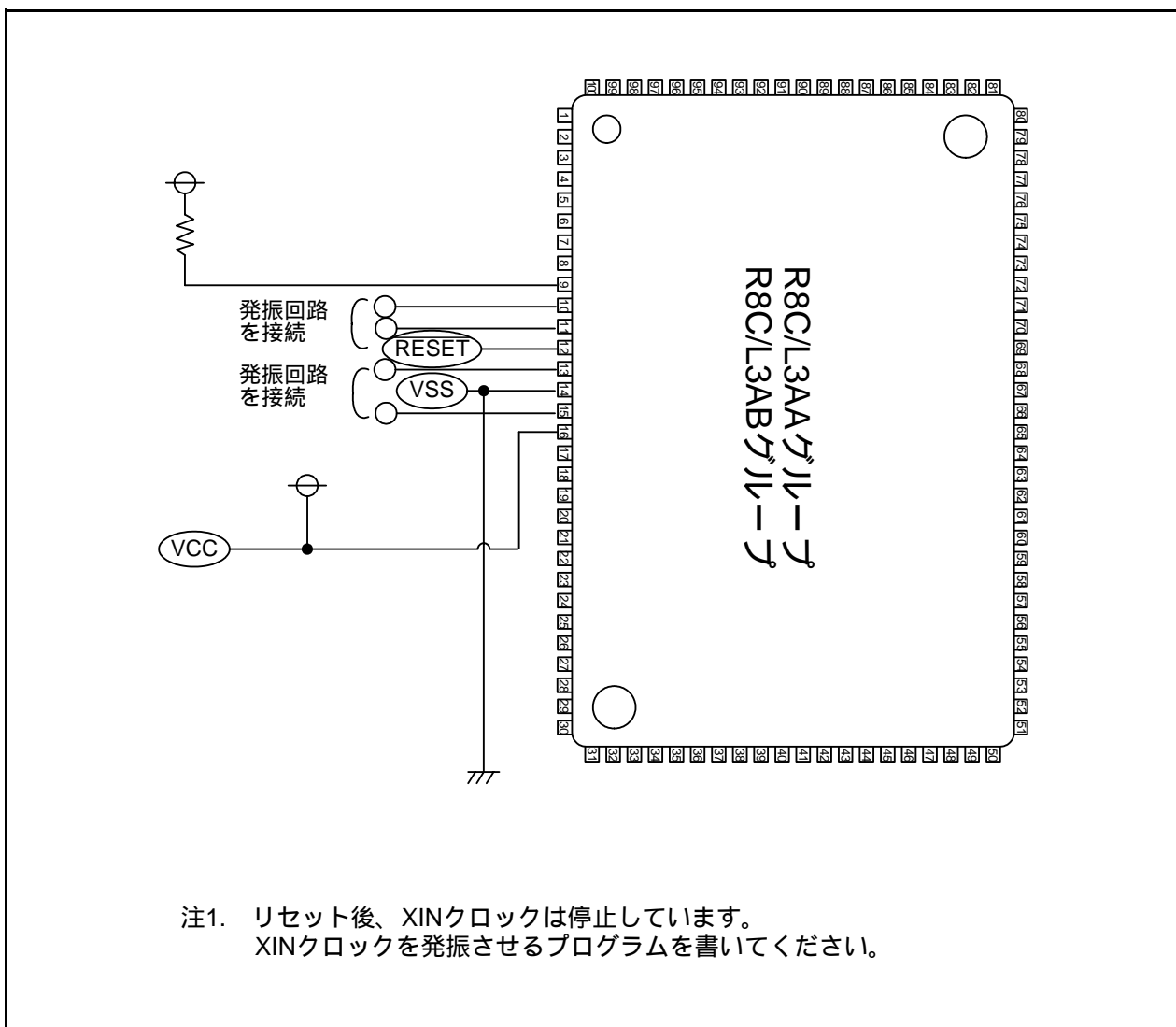
付図 4.2 発振評価回路例(2)



付図 4.3 発振評価回路例(3)



付図 4.4 発振評価回路例(4)



付図 4.5 発振評価回路例(5)



## 索引

## 【記号 / 数字】

4線式バス通信モード	572
4線式バス通信モードの初期化	573

## 【A】

A/Dコンバータ	144, 631
A/D変換開始条件	640
A/D変換結果	642
A/D変換サイクル数	638
A/D変換時のセンサーの出力インピーダンス	652
A/D断線検出アシスト機能	642
A0、A1	30
ACK、NACK	538
AC特性	745
ADCON0	637
ADCON1	637
AD <sub>i</sub> (i = 0 ~ 7)	634
ADIC	155
ADINSEL	636
ADMOD	635
AIER <sub>i</sub> (i=0 ~ 1)	177

## 【B】

BGO(バックグラウンドオペレーション)機能	709
Bフラグ	30

## 【C】

CLK極性選択	518
CM0	113, 127
CM1	114, 128
CM3	115, 129
CPU	29
CPU書き換えモード	698
CPUクロック	120
CPUクロックと周辺機能クロック	120
CSPR	194
CTS/RTS機能	520, 528
Cフラグ	30

## 【D】

D/Aコンバータ	654
DAICON	656
DA <sub>i</sub> (i=0 ~ 1)	656
DC特性	739
DTBLS <sub>j</sub> (j=0 ~ 23)	202
DTC	200
DTCCR <sub>j</sub> (j=0 ~ 23)	202
DTCT <sub>j</sub> (j=0 ~ 23)	203
DTCEN <sub>i</sub> (i=0 ~ 6)	204
DTCTL	205
DTC起動要因受付と割り込み要因フラグ	218
DTC実行サイクル数	217
DTDAR <sub>j</sub> (j=0 ~ 23)	203
DTRLD <sub>j</sub> (j=0 ~ 23)	203
DTSAR <sub>j</sub> (j=0 ~ 23)	203
Dフラグ	30

## 【E】

EW0モード	706
--------	-----

EW1モード	706
--------	-----

## 【F】

f1、f2、f4、f8、f32	120
FB	30
fC-LCD	120
fC、fC2、fC4、fC32	121
FLG	30
FMR0	701
FMR1	703
FMR2	705
FMRDYIC	156
fOCO128	120
fOCO-S	120
fOCO-WDT	121
FST	699

## 【I】

I/Oポート	58
I/Oポート以外の端子	60
I/Oポートの機能	60
I <sup>2</sup> Cバスインタフェース	580
I <sup>2</sup> Cバスインタフェースモード	596
I <sup>2</sup> Cバスフォーマット	596
ICCR1	586
ICCR2	587
ICDRR	585
ICDRS	591
ICDRT	585
ICIER	589
ICMR	588
ICSR	590
IDコードチェック機能	696, 723
IDコード領域	183
ILVL2 ~ ILVL0ビット、IPL	158
INTB	30
INTCMP	659
INTEN	167, 659
INTEN1	168
INTF	169, 660
INTF1	169
INT <sub>i</sub> IC(i=0 ~ 7)	157
INT <sub>i</sub> 入力フィルタ(i=0 ~ 7)	170
INT <sub>i</sub> 割り込み(i=0 ~ 7)	165
INTSR	81, 166
INT割り込み	165
IPL	31
IRビット	158
ISP	30
Iフラグ	31, 158

## 【K】

KIEN	174
KIEN1	175
KISR	80, 173
KUPIC	155

## 【L】

LCD駆動制御	676
LCD駆動制御回路	664
LCD駆動波形	680

LCDクロック選択	677
LCDデータ表示	678
LCDデータ表示制御	677
LCR0	667
LCR1	668
LCR2	669
LCR3	669
LINCR	619
LINCR2	618
LINST	619
LSBファースト、MSBファースト選択	492, 519, 526
LSE0	670
LSE1	670
LSE2	671
LSE3	671
LSE4	672
LSE5	672
LSE6	673
LSE7	673

【M】

M16C Flash Starter との接続例	788
MSTCR	264, 320, 336, 357, 374, 389, 406, 551, 583

【O】

OCD	116, 130
OCVREFCR	633
OFS	52, 188, 195, 697
OFS2	53, 189, 196
Oフラグ	31

【P】

P10DDR	84
P11DDR	84
PC	30
PD <sub>i</sub> (i=0 ~ 7, 10 ~ 13)	66
PI <sub>i</sub> (i=0 ~ 7, 10 ~ 13)	67
PINSR	82, 584
PIPUR <sub>i</sub> (i=0 ~ 7)	83
PJPUR <sub>j</sub> (j=10 ~ 13)	83
PM0	51
PM1	193
POMCR0	132
PRCR	149
PWM2モード	301
PWM3モード	404
PWMモード	295, 355, 469
PWMモードの設定手順例	470

【R】

R0, R1, R2, R3	30
RMAD <sub>i</sub> (i=0 ~ 1)	177
ROMコードプロテクト機能	697, 726
RSTFR	51
RXD2デジタルフィルタ選択機能	528, 545

【S】

S0RIC	155
S0TIC	155
S1RIC	155
S1TIC	155

S2RIC	155
S2TIC	155
SAR	591
SB	30
SCS端子制御とアービトレーション	578
SDA出力	537
SDA端子デジタル遅延選択	594
SDA入力	538
SFR	33
SSBR	553
SSCRH	554
SSCRL	555
SSER	557
SSMR	556
SSMR2	559
SSRDR	554
SSSR	558
SSTDR	553
SSTRSR	562
SSUIC/IICIC	156
SSUICSR	79, 552, 583
SSシフトレジスタ	562
Sフラグ	30

【T】

TRA	227
TRACR	225
TRAIC	155
TRAI0C	225, 228, 231, 233, 235, 238
TRAMR	226
TRAPRE	226
TRASR	68, 227
TRBCR	242
TRBIC	155
TRBIOC	243, 246, 250, 253, 257
TRBMR	243
TRBOCR	242
TRBPR	245
TRBPRE	244
TRBRCR	69, 245, 272
TRBSC	244
TRC	269
TRCADCR	271
TRCCR1	266, 288, 297, 303
TRCCR2	270, 291, 298, 304
TRCDF	270, 304
TRCGRA	269
TRCGRB	269
TRCGRC	269
TRCGRC、TRCGRDレジスタの出力端子変更	293
TRCGRD	269
TRCIC	156
TRCIER	266
TRCIOR0	268, 283, 289
TRCIOR1	268, 284, 290
TRCMR	265
TRCOER	271
TRCPSR0	70, 273
TRCPSR1	71, 274
TRCSR	267
TRD0	381, 396, 414
TRD0IC	156
TRD1	397
TRD1IC	156
TRDADCR	337, 358, 375, 390, 407

TRDCR0	379, 412	U2TB	505
TRDCRi(i = 0 ~ 1)	324, 343, 362, 394	UART	494, 521
TRDDFi(i = 0 ~ 1)	323	UiBRG(i=0 ~ 1)	481
TRDECR	320, 337, 358, 375, 389, 406	UiC0(i=0 ~ 1)	483
TRDFCR	322, 340, 360, 377, 392, 409	UiC1(i=0 ~ 1)	483
TRDGRAi(i = 0 ~ 1)	329, 348, 366, 382, 397, 415	UiMR(i=0 ~ 1)	481
TRDGRBi(i = 0 ~ 1)	329, 348, 366, 382, 397, 415	UiRB(i=0 ~ 1)	484
TRDGRC1	397	UiTB(i=0 ~ 1)	482
TRDGRCi(i = 0 ~ 1)	329, 348, 366, 382, 415	URXDF	509
TRDGRCi、TRDGRDi(i=0 ~ 1)レジスタの出力端子変更	352	USP	30
TRDGRDi(i = 0 ~ 1)	329, 348, 366, 382, 397, 415	Uフラグ	31
TRDi(i = 0 ~ 1)	328, 347, 365		
TRDIERi(i = 0 ~ 1)	328, 347, 364, 381, 396, 414	【V】	
TRDIORai(i = 0 ~ 1)	325, 344	VCA2	131
TRDIORCi(i = 0 ~ 1)	326, 345	VLT0	85
TRDMR	321, 339, 359, 376, 391, 408	VLT1	86
TRDOCR	342, 362, 411	VLT2	87
TRDOER1	341, 361, 378, 393, 410		
TRDOER2	342, 361, 378, 393, 410	【W】	
TRDPMR	322, 339, 360	WDTC	194
TRDPOCRi(i = 0 ~ 1)	364	WDTR	193
TRDPSR0	72, 330, 349, 367, 383, 399, 417	WDTS	193
TRDPSR1	73, 331, 350, 368, 384, 400, 418		
TRDSRi(i = 0 ~ 1)	327, 346, 363, 380, 395, 413	【X】	
TRDSTR	321, 338, 359, 376, 391, 408	XCINクロック	119
TRECR1	434, 440	XINクロック	117
TRECR2	435, 440		
TRECSR	436, 441	【Z】	
TREHR	433	Zフラグ	30
TREIC	155		
TREMIN	432, 439	【あ】	
TRESEC	432, 439	アウトプットコンペア機能	286, 334, 465
TREWK	433	アウトプットコンペア出力タイミング	467
TRG	454	アウトプットコンペアモード	438
TRGCNTC	449	アドレス一致割り込み	176
TRGCR	450, 474	アドレスレジスタ	30
TRGGRA	455		
TRGGRB	455	【い】	
TRGGRC	455	位相計数モード	473
TRGGRD	455	位相計数モードの設定手順例	474
TRGIC	156	イベントカウンタモード	232
TRGIER	451	インプットキャプチャ機能	281, 318, 461
TRGIOR	453, 462, 466	インプットキャプチャ信号タイミング	463
TRGMR	448	インプットキャプチャ動作の設定手順例	463
TRGPSR	74, 456		
TRGSR	452	【う】	
TXD、RXD入出力極性切り替え機能	527	ウェイトモード	135
		ウェイトモードからの復帰	136
【U】		ウェイトモード時の端子の状態	135
U0SR	75, 485	ウェイトモードへの移行	135
U1SR	76, 486	ウェイトモード、ストップモード、パワーオフモード	143
U2BCNIC	155	ウォッチドッグタイマ	191
U2BRG	504	ウォッチドッグタイマリセット	56
U2C0	506		
U2C1	507	【え】	
U2MR	504	エミュレータE8aとの接続例	793
U2RB	508		
U2SMR	511		
U2SMR2	511		
U2SMR3	510		
U2SMR4	510		
U2SMR5	509		
U2SR0	77, 512		
U2SR1	78, 513		

<b>【お】</b>		周辺機能クロックの停止 .....	143
応用 .....	1	周辺機能の特性 .....	734
オーバフローフラグ .....	31	周辺機能への影響 .....	60
オプション機能選択領域 .....	187	周辺機能割り込み .....	152
オンチップオシレータクロック .....	118	受信動作 .....	609
オンチップデバッグの注意事項 .....	783	仕様概要 .....	4
		使用上の注意事項 .....	752
<b>【か】</b>		消費電流低減機能 .....	642
外形寸法図 .....	784	消費電力の低減 .....	143
概要 .....	1	シリアルインタフェース(UART2) .....	502
カウントソース .....	275, 312, 457	シリアルインタフェース(UARTi (i=0 ~ 1)) .....	479
カウントソース保護モード無効時 .....	198	シリアルデータ論理切り替え .....	520, 527
カウントソース保護モード有効時 .....	199	シンクロナスシリアルコミュニケーションユニット(SSU) .....	549
カウント中のタイマ書き込み制御 .....	229, 247		
拡張アナログ入力端子 .....	642	<b>【す】</b>	
各通信モードと端子機能 .....	564	推奨動作条件 .....	732
各モードの設定と解除方法 .....	708	スタートコンディション、ストップコンディションの検出 .....	535
		スタートコンディション、ストップコンディションの出力 .....	536
<b>【き】</b>		スタックポインタ指定フラグ .....	31
キー入力割り込み .....	171	スタティックベースレジスタ .....	30
起動要因 .....	206	ストップモード .....	139
機能 .....	184	ストップモードからの復帰 .....	140
キャリフラグ .....	30	ストップモード時の端子の状態 .....	139, 678
強制イレーズ機能 .....	185	ストップモードへの移行 .....	139
極性選択機能 .....	492	スレープ受信動作 .....	605
		スレープ送信動作 .....	602
<b>【く】</b>		スレープモード .....	623
繰り返し掃引モード .....	650	<b>【せ】</b>	
繰り返しモード0 .....	645	製品一覧 .....	7
繰り返しモード1 .....	646	セグメント出力端子の選択 .....	677
グループごとの相違点 .....	2	セグメントパネル制御波形 .....	680
クロック .....	143	絶対最大定格 .....	731
クロック同期形シリアルI/Oモード .....	487, 514	ゼロフラグ .....	30
クロック同期形シリアルインタフェース .....	144, 548	<b>【そ】</b>	
クロック同期式シリアルフォーマット .....	607	送受信初期化 .....	538
クロック同期式シリアルモード .....	607	送信動作 .....	608
クロック同期式通信モード .....	565	相補PWMモード .....	387
クロック同期式通信モードの初期化 .....	565	ソフトウェアコマンド .....	711
クロック発生回路 .....	110	ソフトウェアリセット .....	56
クロック非同期形シリアルI/O(UART)モード .....	494, 521	ソフトウェア割り込み .....	151
		<b>【た】</b>	
<b>【こ】</b>		タイマ .....	143
高速クロックモード .....	134	タイマRA .....	224
ワールドスタート/ウォームスタート判定機能 .....	57	タイマRB .....	241
コントローラデータの配置とDTCベクタテーブル .....	208	タイマRC .....	261
コンパレータB .....	657	タイマRC割り込み .....	308
コンパレータB1、コンパレータB3割り込み .....	663	タイマRC割り込み、タイマRD割り込み、タイマRG割り込み、 シンクロナスシリアルコミュニケーションユニット割り込み、 I <sup>2</sup> Cバスインタフェース、フラッシュメモリ割り込み(複数の割 り込み要求要因を持つ割り込み) .....	178
コンパレータBiデジタルフィルタ(i=1、3) .....	662	タイマRD .....	310
コンペアー一致による波形出力の設定手順例 .....	467	タイマRD割り込み .....	421
		タイマRE .....	429
<b>【さ】</b>			
サインフラグ .....	30		
サスペンド動作 .....	707		
<b>【し】</b>			
システムクロック .....	120		
周辺機能クロック .....	120		
周辺機能クロック停止機能 .....	135		

タイマRG .....	446	発振停止検出機能の使用方法 .....	122
タイマRG割り込み .....	477	発振評価回路例 .....	798
タイマ総論 .....	221	バッファ動作 .....	276, 313, 458
タイマモード .....	228, 246, 281, 286, 461, 465	バッファレジスタからの転送タイミング .....	403
端子機能の説明 .....	27	パラレル入出力モード .....	726
単掃引モード .....	648	パルス周期測定モード .....	237
単発モード .....	644	パルス出力強制遮断 .....	279, 316
		パルス出力モード .....	230
		パルス幅測定モード .....	234
		パワーオフモード .....	141
		パワーオフモード移行後の端子の状態 .....	141
		パワーオフモード時の端子の状態 .....	679
		パワーオフモードの解除 .....	142
		パワーオフモードの端子処理 .....	141
		パワーオフモードへの移行 .....	141
		パワーコントロール .....	125
<b>【ち】</b>		<b>【ひ】</b>	
チェイン転送 .....	215	ビット同期回路 .....	615
中央演算処理装置(CPU) .....	29	ビットレート .....	499, 525
		標準シリアル入出力モード .....	723
		標準シリアル入出力モード禁止機能 .....	185
		標準動作モード .....	133
		ピン配置図 .....	19
<b>【つ】</b>		<b>【ふ】</b>	
通信エラー発生時の対処方法 .....	491, 500, 518, 526	フラグレジスタ .....	30
		フラッシュメモリ .....	693
		フラッシュメモリ書き換え禁止機能 .....	696
		フラッシュメモリの停止 .....	145
		フルステータスチェック .....	721
		フレームベースレジスタ .....	30
		プログラマブルウェイトワンショット発生モード .....	256
		プログラマブル波形発生モード .....	249
		プログラマブルワンショット発生モード .....	252
		プログラムカウンタ .....	30
		プロセッサ割り込み優先レベル .....	31
		ブロック図 .....	15
		プロテクト .....	149
<b>【て】</b>		<b>【ほ】</b>	
低消費電流リードモード .....	146	ポート .....	143
低速オンチップオシレータクロック .....	118	ポートの設定 .....	88
低速オンチップオシレータモード .....	134		
低速クロックモード .....	134	<b>【ま】</b>	
データ受信 .....	568, 576	マスタ受信動作 .....	599
データ送信 .....	566, 574	マスタ送信動作 .....	597
データ保護機能 .....	710	マスタモード .....	620
データレジスタ .....	30, 674	マルチプロセッサ受信 .....	543
デジタルフィルタ .....	278, 333, 460	マルチプロセッサ送信 .....	542
デバッグフラグ .....	30	マルチプロセッサ通信機能 .....	539
電気的特性 .....	731		
電源が安定している場合 .....	54	<b>【み】</b>	
電源投入時 .....	54	未使用端子の処理 .....	107
転送クロック .....	537, 560, 592		
		<b>【め】</b>	
		メモリ .....	32
		メモリ配置 .....	694
<b>【と】</b>			
同期動作 .....	315		
動作タイミング .....	216		
特殊モード1(I <sup>2</sup> Cモード) .....	529		
特殊割り込み .....	152		
特長 .....	1		
ドットマトリクスパネル制御波形 .....	686		
<b>【な】</b>			
内部電源の消費電力低減 .....	144		
<b>【に】</b>			
入出力端子 .....	618, 638		
<b>【の】</b>			
ノイズ除去回路 .....	614		
ノーマルモード .....	213		
<b>【は】</b>			
ハードウェアLIN .....	617		
ハードウェアLIN終了処理 .....	628		
ハードウェアリセット .....	54		
バイアス制御 .....	677		
バス衝突検出機能 .....	627		
バス制御 .....	108		
発振停止検出機能 .....	122		

【も】

モード選択 ..... 548

【ゆ】

ユーザスタックポインタ ..... 30

【よ】

予約ビット ..... 31

【り】

リアルタイムクロックモード ..... 430

リセット ..... 49

リセット同期PWMモード ..... 372

リセット要因判別機能 ..... 57

リピートモード ..... 214

【れ】

レジスタ設定例 ..... 610

レジスタ退避 ..... 161

レジスタバンク指定フラグ ..... 30

連続受信モード ..... 493, 519

【わ】

割り込み ..... 150

割り込み応答時間 ..... 160

割り込み許可フラグ ..... 31

割り込みシーケンス ..... 159

割り込みスタックポインタ ..... 30

割り込み制御 ..... 158

割り込みテーブルレジスタ ..... 30

割り込みと割り込みベクタ ..... 153

割り込みの分類 ..... 150

割り込み優先順位 ..... 163

割り込み優先レベル判定回路 ..... 164

割り込み要因 ..... 215

割り込み要求 ..... 563, 595, 629

割り込み要求受付時のIPLの変化 ..... 160

割り込みルーチンからの復帰 ..... 163

ワンショットトリガ選択 ..... 255

改訂記録	R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、 R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2008.03.31	-	初版発行
0.02	2008.06.24	-	改訂版発行
0.10	2008.07.30	-	改訂版発行
0.20	2008.11.26	-	36. 電気的特性 追加
0.30	2009.01.14	B-4	018Fh 追記
		1	1.1 変更
		2	表1.2 変更
		3	表1.3 変更 表1.4 追記
		5	表1.6 変更
		6	表1.7 変更
		7 ~ 14	表1.8 ~ 表1.15 変更
		15	図1.9 変更
		16	図1.10 変更
		19	図1.13 変更
		20	図1.14 変更
		24	表1.16 注3 変更
		25	表1.17 注3 追記
		32	図3.1 変更
		33	表4.1 000Bh : 「XXXX00XXb」 「XXh」 注2 変更 0029h、002Ah、002Bh 「レジスタ」追加
		39	表4.7 018Fh 追記
		41	表4.9 0202h : 「00h」 「X0000000b」
		49	図5.1 変更
		51	図5.3 変更
		52	5.1.2 変更
		53、72、 213、220、 739	5.1.3、6.2.9、14.2.1、15.2.6、35.3.3 注3 変更
		57	5.3 変更 図5.6 変更
		58	5.4 変更 図5.7 変更
		60	5.7 変更 図5.8 変更
		61	表6.1 変更

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.14	63	図6.2 変更
		67、157、 688	6.2.4、10.2.6、32.2.4 注3 変更
		69	6.2.6 b1、b4 ~ b5、注1 変更
		74	6.4 変更 表6.3 削除 図6.5 変更
		75	表6.3 注4 追記
		77	表6.4 注4 追記
		78	図6.7 変更
		79	7 注意 追記 7.1 変更
		80	表7.2 変更
		82	図7.1 変更
		83	図7.2 変更
		84	図7.3 変更
		85	図7.4 変更
		86	図7.5 変更
		87	7.5.1 変更
		88	7.5.2 変更
		89、252	7.5.3、18.2.6 注2 追記
		98、540	7.5.13、25.2.14 b5 変更
		102	7.5.17 追記
		103	7.5.18 変更 7.5.19 変更
		104	7.5.20 変更 7.5.21 変更
		112	表7.10 変更
		121	表7.19 変更
		122	表7.20 変更
		125	表7.23 変更
		127	表7.25 変更 図7.6 変更
		131	図9.1 変更
132	図9.2 変更		



## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.14	133、152	9.2.1、10.2.1 b6「システムクロック分周比選択ビット0」 「CPUクロック分周比選択ビット0」 b7 変更 注1 変更 注6 追記
		134、153	9.2.2、10.2.2 b6、b7「システムクロック分周比選択ビット1」 「CPUクロック分周比選択ビット1」
		135、154	9.2.3、10.2.3 b3、b4 変更 b6、b7 変更「ウェイトモード、、、CPUクロック選択ビット」 「ウェイトモード、、、システムクロック選択ビット」 注4「CM0レジスタのCM05ビットが“1”、、にした後で書き換えてください。」追記 CM30ビット 変更
		136、155	9.2.4、10.2.4 b2 変更
		138	9.2.6 b4～b7 変更 注1 変更
			9.2.7 b7～b0 変更 説明 追記
		141	9.2.12 b7～b0 変更 説明 追記
		143	9.4.2 変更
		144	9.5 追記
		149、797	9.8.3、37.1.3 追記
		150	10 注意 追記 10.1 変更
		159	10.3 変更
		162	表10.3 変更 10.4.4 変更
		163	図10.2 変更
		165	表10.4 変更
		168	表10.5 注1 変更 図10.6 変更
		169	10.7.6 変更
		170	図10.7 変更
		173、798	10.8.2、37.2.2 追記
		174	11 変更 11.1.1 b2、b6～b7 変更、注1 削除

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.14	175	12 注意 追記
		177	12.1.3.3 変更 12.1.3.4 変更 12.1.3.6 変更
		181	12.2.2 b3 変更
		190	12.4.1 「INTi割り込み(i = 0 ~ 4)」 「INTi割り込み(i = 0 ~ 7)」
		195	12.4.7 変更 図12.9 変更 図12.10 変更
		201	表12.9 変更
		202	12.6.1 変更
		203	図12.12 変更
		205、799	12.8.3、37.3.3 変更
		216	表15.1 注1 追記
		224	表15.3 変更
		229	表16.2 変更
		230	16.2.8 追記
		232	表16.3 変更
		234	表16.5 変更
		235	図16.3、図16.4 図題 変更
		237	図16.7 追記
		240	16.3.7 変更
		242	表16.10 変更 16.3.9 追記
		243	16.3.10.1、16.3.10.2、16.3.10.3 変更
		245、803	16.4.4、37.6.4 追記
		249	18 注意 追記 18.1 変更 図18.1 変更
		257	表18.4 変更
		258	18.5.1 b7 変更 注2 追記
		266	19 注意 追記 19.1 変更
		280	19.5.3 変更
		286	20.1 変更 表20.1 追記

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.14	287	図20.1 変更
		288	表20.3 0130h : モード 変更
		289、346、 362、383、 400、415、 432、578、 610	20.2.1、21.3.1、21.4.1、21.5.1、21.6.1、21.7.1、21.8.1、27.2.1、28.2.1 注3 追記
		291	20.2.3 注2 変更
		295、323、 329	20.2.10、20.6.2、20.7.2 注2、注3 変更
		300	表20.5 変更 図20.2 変更 20.3.1 変更
		303	図20.5 変更
		306	表20.7 変更
		307	図20.7 変更
		311	表20.9 変更
		313	20.5.1 b4 ~ b6 変更 注3 追記
		316	20.5.4 追記
		320	表20.11 変更
		322	20.6.1 b4 ~ b6 変更 注3 追記
		327	表20.13 変更
		328	20.7.1 b4 ~ b6 変更 注3 追記
		335、808	20.9.4、37.9.4 追記
		336	21 注意 追記 21.1 変更 表21.1 追記
		337	図21.1 変更
		338	21.2.1 変更 表21.3 変更 図21.2 変更
		344	図21.7 変更
		345	表21.5 変更
		346、363、 384、401、 415、432	21.3.2、21.4.2、21.5.2、21.6.2、21.7.2、21.8.2 注1 追記

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.14	350、369、 388、420	21.3.8、21.4.11、21.5.11、21.7.9 b0 ~ b2 変更 注2 変更 注5 追記
		359	図21.9 変更
		361	表21.7 変更
		382	表21.9 変更
		399	表21.11 変更
		405	21.6.9 b0 ~ b2 変更 注2 変更 注4 追記
		414	表21.13 変更
		431	表21.15 変更
		438	21.8.10 b0 ~ b2 変更 注1 追記
		447	図21.24 変更
		450、810	21.10.4、37.10.4 追記 21.10.5、37.10.5 追記
		456	22 注意 追記 22.1 変更
		457	図22.1 変更
		458	表22.2 変更
		473	23 注意 追記 23.1 変更
		507	表24.1 変更
		516	表24.4 変更
		518	24.3.1 追記
		523	表24.7 変更
		527	24.4.2 追記
		529	図25.1 変更
		535	25.2.6 b11 変更 注1 削除
		538	25.2.11 b3 変更 25.2.12 b1、b4 ~ b6 変更 注1 削除
		540	25.2.14 b5 変更
		543	表25.4 変更
		550	表25.7 変更

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.14	552	図25.8 変更
		556	表25.9 変更
		557	図25.13 変更
		558	表25.10 変更
		560	表25.12 変更
		564	旧25.5.3 削除 25.5.4 変更
		580	27.2.4 b15 ~ b0 変更 注1 追記
		581	27.2.5 注2 追記
		582	27.2.7 b5 変更 注2 変更
		583	27.2.8 注1 追記
		593、595、 601、603	27.4.2、27.4.3、27.5.2、27.5.3 変更
		593、595、 602、604	図27.5、図27.7、図27.11、図27.12 図題 変更
		597	27.4.3.1 変更
		607	表28.1 変更
		611	28.2.3 追記
		613	28.2.6 注1 変更
		619	28.3.1 変更 表28.4 変更
		620	表28.5 追記
		621	28.3.2 追記
		652	図29.7 変更
		658	30 注意 追記 30.1 変更 表30.1 注2 変更
		667	図30.4 変更
		669	30.3.4 変更
		679	旧30.9 削除 30.9 変更
		680、822	30.10、37.18 変更
		682	図31.2 変更
		685	図32.1 変更
703	表33.3 変更		

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.14	704	33.3.1 変更
		705	33.4 変更
		706	34 注意 追記 34.1 変更 表34.1 注1 変更
		707	表34.2 変更
		710	34.2.2 b0 ~ b3 変更 注1 追記
		711	34.2.3 b0 ~ b2、b5 ~ b7 変更 34.2.4 b3 変更
		719	図34.4 変更
		720	図34.5 変更
		734、823	34.6.1、34.6.2 37.19.1、37.19.2 変更
		735	表35.1 変更 注3 追記
		737	図35.1 変更
		740	表35.3 変更
		741	35.4.1 b4 ~ b5 変更 注1、注2 変更 注4 追記
		742	35.4.1 BYSAEIビット、FST4ビット、FST5ビット 変更
		743	35.4.2 b0 変更 注4、注5 追記 FMR00ビット 追記
		744	CMDRSTビット 変更
		745	35.4.3 ・イレーズサスペンド移行時点 追記
		747	35.4.4 注2 追記
		748	35.4.5、35.4.6 変更
		749	35.4.7 変更 表35.4 追記
		753	35.4.11 変更 表35.5 変更 35.4.11.1 変更 旧35.4.11.2 削除 35.4.11.2 変更
		754	35.4.11.3 変更 図35.7 変更
		756	35.4.11.4 変更

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2009.01.14	762	35.4.11.7 変更
		763	旧35.4.12 ~ 35.4.16 削除 旧表35.6 削除 表35.6 変更
		764	図35.15 変更
		769 ~ 771	表35.9 ~ 表35.10 変更、表35.11 追記
		824 ~ 826	表37.2 ~ 表37.3 変更、表37.4 追記
		772、827	35.7.1.8、37.20.1.8 追記
		783	表36.17 追記
		785	表36.19 変更
		787	表36.21 変更
		789	表36.23 変更
1.00	2009.10.16	-	TN-R8C-A002B/J 反映
		-	このマニュアルの使い方 変更
		B-1	0015h、0023h ~ 0025h、0029h ~ 002Bh、002Fh ~ 0031h、0033h、 0036h、0038h ~ 003Ah、0072h ~ 0073h 削除
		2	表1.2 セグメント出力端子 変更
		3、664	表1.4、表32.1 変更
		4	表1.5 電圧検出 削除、クロック 変更
		5	表1.6 コンパレータA 削除、LCD駆動制御回路 変更
		7 ~ 14	図1.1 ~ 図1.8 変更
		15 ~ 17	図1.9 ~ 図1.11 高速オンチップオシレータ、コンパレータA 削除、 セグメント出力 変更
		18	図1.12 高速オンチップオシレータ、コンパレータA 削除
		19 ~ 23	図1.13 ~ 図1.17 変更
		24 ~ 26	表1.16 ~ 表1.18 変更
		28	表1.20 「コンパレータA」、「電圧検出回路」 削除
		32	図3.1 「電圧検出」 削除
		33	4. SFR 「表4.17にIDコード領域、オプション機能選択領域を示します。」追記 表4.1 0015h、0023h ~ 0025h、0029h ~ 002Bh、002Fh ~ 0031h、0033h、 0036h、0038h ~ 0039h、注2「電圧監視0リセット後」、注4、注5 削除
34	表4.2 003Ah、0072h ~ 0073h 削除		
48	表4.16 2D00h ~ 2FFFh 変更、表4.17 追記		
49	5. リセット、表5.1 「パワーオンリセット」、「電圧監視0リセット」削除 図5.1 変更		
51	5.1.2 注1 変更、注3 削除		

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.10.16	52、188、 195、697	5.1.3、13.2.1、14.2.6、33.3.3 リセット後の値、b4 ~ b6、注1 変更、 注2、注3 削除、「OFSレジスタの設定例は...参照してください。」変更、 LVDASビット(電圧検出0回路起動ビット) 削除
		53、189、 196	5.1.4、13.2.2、14.2.7 リセット後の値、注1、 「OFS2レジスタの設定例は...参照してください。」 変更
		56	旧5.3パワーオンリセット機能、旧図5.6 削除 旧5.4電圧監視0リセット、旧図5.7 削除
		57	5.5 変更、旧図5.8 削除
		58	「旧6章 電圧検出回路」 削除
		62	図6.2 「コンパレータA、Bのアナログ入力」 「コンパレータBのアナログ入力」
		64	図6.4 「コンパレータAのアナログ入力」 削除
		77、512	6.5.12、24.2.13 b4 ~ b5 「CLK2」 「SCL2」
		101	表6.19 変更、注1、注2 変更
		102	表6.20 変更
		105	表6.23 変更
		107	表6.25 変更、注4 削除、図6.6 変更
		110	8.クロック発生回路、表8.1「高速オンチップオシレータ」削除 注1「P12_0端子は...I/Oポートとして使用できません。」追記、 注2 “1”(XIN-XOUT端子) “0”(入出力ポート)に変更、注3 削除
		111	図8.1 変更
		112	図8.2 変更
		113、127	8.2.1、9.2.1 注3「P12_0端子は...I/Oポートとして使用できません。」追記 注6 変更
		114、128	8.2.2、9.2.2 b3 変更、旧注4 削除、 注4「P12_0端子は...I/Oポートとして使用できません。」追記、注6 削除
		115、129	8.2.3、9.2.3 b6 ~ b7 変更、注3 削除
		116、130	8.2.4、9.2.4 注1「高速オンチップオシレータモード」削除 旧8.2.5 FRA7 ~ 旧8.2.12 FRA3 削除
		117	図8.3 変更
		118	8.4、8.4.1 変更、旧8.4.2 高速オンチップオシレータクロック 削除
		119、 124、752	8.5、8.8.3、35.1.3 「LCD駆動制御回路を使用する場合は」 「LCD駆動制御回路のVL1内部 生成電圧を使用する場合は」
		119	8.5、図8.4 「発振子」 「水晶発振子」
		120	旧8.6.4 fOCO ~ 旧8.6.6 fOCO-F 削除 8.6.5 fOCO-S ~ 8.6.6 fOCO128 変更



## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.10.16	122	8.7.1 「電圧監視1割り込み」, 「電圧監視2割り込み」 「電圧監視1割り込み、電圧監視2割り込み」, 「電圧監視1割り込みまたは電圧監視2割り込み」, 「FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ)にした後」, 「発振停止検出後に... “11b” にしてください。」 削除 表8.3 表題 変更、 「電圧監視1」, 「電圧監視2」 削除
		123	図8.6 変更、 図題 変更
		124、752	8.8.2、35.1.2 変更、 8.8.4、35.1.4 P12_0とP12_1端子に関する使用上の注意事項 追記
		125	表9.1 「高速オンチップオシレータ」 削除
		126	図9.1 変更
		131	旧9.2.5 FRA0 削除、9.2.5 VCA2 リセット後の値、b1 ~ b7 変更、 注3 ~ 注5 削除
		132	9.2.6 注2 追記
		133	表9.2 高速クロックモードのCM05、低速クロックモードのCM04 「0」 「0または1」, 「高速オンチップオシレータモード」, 「FRA0レジスタ」 削除
		134	9.3.1 ~ 9.3.2 変更、旧9.3.3 高速オンチップオシレータモード 削除、 9.3.3 変更
		136	表9.3 「fOCO」 「fOCO-S」, 「タイマRD割り込み」変更、「電圧監視1割 り込み」, 「電圧監視2割り込み」, 「ウォッチドッグタイマ割り込み」, 「コン パレータA1割り込み」, 「コンパレータA2割り込み」 削除
		139	表9.4 「INT0 ~ INT4」 「INT0 ~ INT7」に変更 「電圧監視1割り込み」, 「電圧監視2割り込み」, 「コンパレータA1割り込 み」, 「コンパレータA2割り込み」 削除
		141	図9.5 変更
		143	旧9.7.1 電圧検出回路 削除、 9.7.1 「不要なポートは入力に設定し...移行してください」 「不要なポートは出力に設定し...移行してください」に変更、 9.7.2 変更
		144 ~ 146	図9.7 ~ 図9.9 変更
		148、754	9.8.3、35.2.3 パワーオフモード、9.8.4、35.2.4 電流の低減 追記
		149	10. プロテクト、10.1.1 「FRA0、FRA1、FRA2、FRA3」, 「VD1LS、 VW0C、VW1C」 削除
		150	図11.1 変更
		152	旧11.1.3.3 電圧監視1/コンパレータA1割り込み ~ 旧11.1.3.4 電圧監視2/ コンパレータA2割り込み 削除
		153	表11.1 変更
		154	表11.2 変更

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.10.16	155	11.2.1 「VCMP1IC」、「VCMP2IC」 削除
		156	11.2.2 b3 (注1) 削除
		160	表11.5 変更
		163	図11.7 変更
		164	図11.8 変更
		183	図12.1 変更
		184	12.2 「IDコード領域はフラッシュメモリ上...適切な値を設定してください。」 変更
		186、758	12.5.1、35.4.1 「IDコード領域は...次に設定例を示します。」 変更
		190、758	13.3.1、35.5.1 「オプション機能選択領域は、、次に設定例を示します。」 変更 ・OFS2レジスタに“FFh”を設定する場合 追記
		194	14.2.4 “01b”(0FFFh)のとき：b8～b3をb7～b2に変更 “10b”(1FFFh)のとき：b9～b4をb8～b3に変更 “11b”(3FFFh)のとき：b10～b5をb9～b4に変更
		204	表15.2 変更
		205	15.2.8 変更
		209	表15.5 「電圧検出回路」 削除
		216	15.3.8 「4サイクル」「5サイクル」、図15.11、図15.12 変更
		217	表15.9 変更、注2 変更 表15.10 「J：コントロールデータ...必要なサイクル数」 変更
		222	表16.1 「カウントソース」 変更
		224	図17.1 変更
		226	17.2.3 b4～b6 「fOCO」「fOCO-S」
		228	表17.2 「fOCO」「fOCO-S」
		230	表17.3 「fOCO」「fOCO-S」、 選択機能「TRAIOSSEL0」「TRAIOSSEL0～TRAIOSSEL1」
		233	17.5.1 b6～b7 変更
		234	表17.5 「fOCO」「fOCO-S」
		237	表17.6 「fOCO」「fOCO-S」、 選択機能「TRAIOSSEL0」「TRAIOSSEL0～TRAIOSSEL1」
		241	図18.1 変更
		249	表18.3 選択機能 ・波形出力許可/不許可機能、注3 追記

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.10.16	255	18.5.3 「・INTENレジスタのINT0ENを“0”(許可)にする」 「・INTENレジスタのINT0ENを“1”(許可)にする」 「・上記の設定後、TRBIOCレジスタ...INT端子ワンショットトリガ」 「・上記の設定後、TRBIOCレジスタ...INT0端子ワンショットトリガ」
		261	19.1 「タイマRCの動作クロックは、f1、fOCO40MまたはfOCO-Fです。」 「タイマRCの動作クロックは、f1です。」 表19.1 変更
		262	図19.1 「fOCO40M、fOCO-F」 削除
		266	19.2.3 b4～b6 変更、注2 削除
		275	表19.5 「fOCO40M」, 「fOCO-F」 削除 図19.2 「fOCO40M」, 「fOCO-F」 削除 「カウントソースにfOCO40MまたはfOCO-Fを選択する場合は... “110b”(fOCO40M)または“111b”(fOCO-F)にしてください。」 削除
		278	図19.5 「fOCO40M」, 「fOCO-F」 削除
		281	表19.7 「fOCO40M、fOCO-F」 削除
		282	図19.7 「またはfOCO-F」 削除、(注3) 追記
		286	表19.9 「fOCO40M、fOCO-F」 削除
		288	19.5.1 b4～b6 変更、注3 削除
		295	表19.11 「fOCO40M、fOCO-F」 削除
		297	19.6.1 b4～b6 変更、注3 削除
		302	表19.13 「fOCO40M、fOCO-F」 削除
		303	19.7.1 b4～b6 変更、注3 削除
		309、763	旧19.9.3、旧35.9.3 TRCCR1レジスタ 削除、 19.9.3、35.9.3 カウントソース切り替え 変更
		310	20.1 「タイマRDの動作クロックは、f1、fOCO40MまたはfOCO-Fです。」 「タイマRDの動作クロックは、f1です。」 表20.1 変更
		311	図20.1 「fOCO40M、fOCO-F」 削除
		312	表20.3 変更、注1 削除 図20.2 「fOCO40M」, 「fOCO-F」 削除 「カウントソースにfOCO40MまたはfOCO-Fを選択する場合は... “110b”(fOCO40M)または“111b”(fOCO-F)にしてください。」 削除
		318	図20.7 「またはfOCO-F」 削除
		319	表20.5 「fOCO40M、fOCO-F」 削除
		324	20.3.8 b0～b2 変更、注5 削除
		333	図20.9 「fOCO40M」, 「fOCO-F」 削除
		334、352	図20.10、図20.12 「TRDIORD0レジスタ」 「TRDIORC0レジスタ」 「TRDIORD1レジスタ」 「TRDIORC1レジスタ」

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.10.16	335	表20.7 「fOCO40M、fOCO-F」 削除
		343	20.4.11 b0 ~ b2 変更、注5 削除
		356	表20.9 「fOCO40M、fOCO-F」 削除
		362	20.5.11 b0 ~ b2 変更、注4 削除
		373	表20.11 「fOCO40M、fOCO-F」 削除
		379	20.6.9 b0 ~ b2 変更、注4 削除
		388	表20.13 「fOCO40M、fOCO-F」 削除
		394	20.7.9 b0 ~ b2 変更、注5 削除
		398	表20.14 BFC0 削除
		405	表20.15 「fOCO40M、fOCO-F」 削除
		412	20.8.10 b0 ~ b2 変更、注1 削除
		424、765	旧20.10.4、旧35.10.4 TRDCRiレジスタ(i=0 ~ 1) 削除 20.10.4、35.10.4 カウントソース切り替え 変更
		428、769	旧20.10.9、旧35.10.9 カウントソースfOCO40M 削除
		446	22.1 「タイマRGの動作クロックは、f1またはfOCO40Mです。」 「タイマRGの動作クロックは、f1です。」 表22.1 変更
		447	図22.1 「f2 <sub>1</sub> 」「fOCO40M」 削除
		450	22.2.3 b0 ~ b2 変更
		452	22.2.5 注2、「TRGSRレジスタに書いた後...1つ以上挿入してください。」追記
		454	22.2.7 「アップカウント動作」 「アップカウント/ダウンカウント動作」
		457	表22.4、図22.2 「f2 <sub>1</sub> 」「fOCO40M」 削除
		460	図22.5 「f2 <sub>1</sub> 」「fOCO40M」 削除
		461、 465、469	表22.6 ~ 表22.8 「f2 <sub>1</sub> 」「fOCO40M」 削除
		478、773	22.9.2、35.12.2 追記
		491	23.3.1 「UiTBレジスタ」 「UiTB (i = 0 ~ 1)レジスタ」
		499	表23.8 注1 削除
		500	23.4.2 変更
		502	24.1 変更
		525	表24.8 注1 削除
		526	24.4.2 変更
		621	図28.3 「fOCO」 「fOCO-S」
		624	図28.6 「fOCO」 「fOCO-S」
		631	表29.1 「またはfOCO-F」 削除
		632	図29.1 変更

## 改訂記録

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.10.16	635	29.2.3 b2 変更、注1 削除
		653、776	29.10、35.18 「ADにfOCO-Fを選択しないでください。」、「fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。」 削除
		657	「旧32章 コンパレータA」 削除
		665	表32.2 「最大表示素子数」 追記、「LCD駆動タイミング」 変更、「バイアス制御」 変更、「LCD表示レジスタ」 変更
		666	表32.3 変更、図32.1 f(LCDCK) 変更
		667	32.2.1 b0 ~ b2 「COM0、COM1」 「COM0 ~ COM1」
		668	32.2.2 注1 変更
		669	32.2.4 b0 ~ b2 変更
		680 ~ 691	図32.6 ~ 図32.29 「LCD基準クロック(内部信号)」 「内部信号LCDCKタイミング」
		681	図32.8 変更
		692、777	32.6.1、32.6.2、35.19.1、35.19.2 変更
		698	表33.3 「プログラム、ブロックイレーズ実行中のCPU、DTCの状態」 “DTC” 追記
		702	33.4.2 FMSTPビット 「高速オンチップオシレータモード」 削除
		703	33.4.3 「プログラムで“1”にする。」 「プログラムで“1”にしてください。」
		707	33.4.7 「自動書き込み、および」 削除、表33.4 変更、 図33.2 データROM データフラッシュ、ユーザROM プログラムROMに変更
		724	表33.7 変更
		728 ~ 729、 779 ~ 780	表33.10 ~ 表33.11、表35.3 ~ 表35.4 「・電圧監視2、・電圧監視1」 削除
		732	表34.2 「fOCO40M」、「fOCO-F」、注3 削除
		735	旧表34.5 コンパレータAの特性 削除
		736 ~ 738	表34.6 ~ 表34.7 「イレーズ開始または再開から次のサスペンド要求までの間隔」 変更、 旧表34.9 電圧検出0回路の特性、旧表34.10 電圧検出1回路の特性、 旧表34.11 電圧検出2回路の特性、旧表34.12 パワーオンリセット回路の 特性、旧表34.13 高速オンチップオシレータ発振回路の特性 削除
		739 ~ 744	表34.12 ~ 表34.17 変更

---

R8C/L35Aグループ、R8C/L36Aグループ、R8C/L38Aグループ、R8C/L3AAグループ、  
R8C/L35Bグループ、R8C/L36Bグループ、R8C/L38Bグループ、R8C/L3ABグループ  
ハードウェアマニュアル

発行年月日 2008年3月31日 Rev.0.01  
2009年10月16日 Rev.1.00

発行 株式会社 ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町2-6-2

---

© 2009. Renesas Technology Corp., All rights reserved. Printed in Japan.

R8C/L35A グループ、R8C/L36A グループ、R8C/L38A グループ、R8C/L3AA グループ、  
R8C/L35B グループ、R8C/L36B グループ、R8C/L38B グループ、R8C/L3AB グループ  
ハードウェアマニュアル

**RENESAS**

ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJ09B0461-0100

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
 株式会社 ルネサス テクノロジ  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-R8C-A003A/J	Rev.	第1版
題名	R8C/3x シリーズ、R8C/Lx シリーズ A/D コンバータに関する注意事項		情報分類	技術情報	
適用製品	下記参照	対象ロット等	関連資料	-	

## 1. 使用上の注意事項

### 1) 現象

下記適用製品では、フラッシュメモリと A/D コンバータがマイコン内部で同一電源を使用しているため、フラッシュメモリによる内部電源の変動が A/D 変換結果に影響を与え、本来得られるべき A/D 変換結果に対して誤差を生じる可能性があります。

### 2) 対策

プログラムで平均化処理(注 1)を行なってください。

#### 注1. 平均化処理例：

同一端子へのアナログ入力を 4 回連続して A/D 変換します。

A/D 変換結果の最大値と最小値を除いた 2 つの値の平均を算出します。

## 2. 適用製品

R8C/35A グループ、R8C/33A グループ、R8C/32A グループ、

R8C/L35A グループ、R8C/L35B グループ、R8C/L36A グループ、R8C/L36B グループ

R8C/L38A グループ、R8C/L38B グループ、R8C/L3AA グループ、R8C/L3AB グループ

以上



# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
株式会社 ルネサス テクノロジ  
問合せ窓口 <http://japan.renesas.com/inquiry>  
E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-R8C-A006A/J	Rev.	第1版
題名	タイマ RG に関する注意事項		情報分類	技術情報	
適用製品	R8C/36A グループ、R8C/38A グループ、 R8C/Lx シリーズ	対象ロット等	関連資料	-	

上記適用製品におきまして、タイマ RG を使用する場合、以下の内容に注意してください。

## 1. タイマ RG 使用上の注意事項

- (1) TRG レジスタ、または、TRGCR レジスタに書く場合は、TRGMR レジスタの TSTART ビットが“0”（カウント停止）の状態で行ってください。
- (2) TRGSR レジスタの IMFA,IMFB,UDF,OVF ビットを“0”にするときは、MOV 命令を使用して、“0”にしたいビットに“0”、そうでないビットに“1”を書いてください。また、この書き込みの後、続けて“0Fh”を書いてください。  
“0Fh”を書くまでの間は、割り込み、及び DTC 転送が実行されないようにしてください。
- (3) TRGSR レジスタに書いた後、TRGSR レジスタを読み出す場合は、書き込みと読み出しの命令間に、NOP 命令を1つ以上挿入してください。
- (4) タイマモードのアウトプットコンペア機能を使用する場合、TIMSR レジスタの TRGIOASEL ビット、TRGIOBSEL ビット(注)が“1”のとき、TRGIOR レジスタでコンペア一致出力を“L”出力/“H”出力/トグル出力の3種類から選択して波形出力モードに設定すると、ポートはコンペア一致出力端子(TRGIOA、TRGIOB)となります。最初のコンペア一致が発生するまでのコンペア一致出力端子の出力レベルは TRGIOR レジスタの IOA0~IOA1 ビット、IOB0~IOB1 ビットの設定で決まります。  
TRGIOR レジスタを設定した後、タイマ RG の動作クロック 1 サイクル分、出力レベルが不定となります。その後、IOA0~IOA1 ビット、IOB0~IOB1 ビットに対応するレベルが出力されます。  
注. R8C/36A、R8C/38A グループの場合。R8C/Lx シリーズは、TRGPSR レジスタの TRGIOASEL0 ビット、TRGIOBSEL0 ビット。
- (5) PWM モードを使用する場合、TIMSR レジスタの TRGIOASEL ビット(注)が“1”のとき、TRGMR レジスタの PWM ビットを“1”（PWM モード）にすると、TRGIOA 端子は PWM 出力端子となります。最初のコンペア一致が発生するまでの PWM 出力端子の出力レベルは、TRGCR レジスタの CCLR0~CCLR1 ビットの設定で決まります。  
PWM ビットを設定した後、タイマ RG の動作クロック 1 サイクル分、出力レベルが不定となります。その後、CCLR0~CCLR1 ビットに対応するレベルが出力されます。  
注. R8C/36A、R8C/38A グループの場合。R8C/Lx シリーズは、TRGPSR レジスタの TRGIOASEL0 ビット。

2. TIMSR レジスタ

R8C/36A グループ、R8C/38A グループの TIMSR レジスタを示します。

次のハードウェアマニュアルに記載の TIMSR レジスタは誤記がありますので、このレジスタ表を参照してください。

- ・R8C/36A グループハードウェアマニュアル Rev.0.20 (RJJ09B0512-0020)
- ・R8C/38A グループハードウェアマニュアル Rev.0.10 (RJJ09B0517-0010)

**タイマ端子選択レジスタ (TIMSR)**

アドレス 0186h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRGCLKBSEL	TRGCLKASEL	TRGIOBSEL	TRGIOASEL	—	TRFISEL0	—	TREOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSEL0	TREO 端子選択ビット	0 : P0_4 に割り当てる 1 : P6_0 に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		—
b2	TRFISEL0	TRFI 端子選択ビット	0 : TRFI 端子は使用しない 1 : P8_3 に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		—
b4	TRGIOASEL	TRGIOA 端子選択ビット	0 : TRGIOA 端子は使用しない 1 : P5_6 に割り当てる	R/W
b5	TRGIOBSEL	TRGIOB 端子選択ビット	0 : TRGIOB 端子は使用しない 1 : P5_7 に割り当てる	R/W
b6	TRGCLKASEL	TRGCLKA 端子選択ビット	0 : TRGCLKA 端子は使用しない 1 : P3_0 に割り当てる	R/W
b7	TRGCLKBSEL	TRGCLKB 端子選択ビット	0 : TRGCLKB 端子は使用しない 1 : P3_2 に割り当てる	R/W

TIMSR レジスタは、タイマRE、タイマRF、タイマRGの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRE、タイマRF、タイマRGの入出力端子を使用する場合は、TIMSR レジスタを設定してください。

タイマRE、タイマRF、タイマRGの関連レジスタを設定する前に、TIMSR レジスタを設定してください。また、タイマRE、タイマRF、タイマRGの動作中はTIMSR レジスタの設定値を変更しないでください。

以上

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
株式会社 ルネサス テクノロジ問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-R8C-A007A/J	Rev.	第1版
題名	R8C ファミリの使用上の注意事項		情報分類	技術情報	
適用製品	R8C/1x シリーズ R8C/2x シリーズ R8C/3x シリーズ R8C/Lx シリーズ	対象ロット等	—	関連資料	

ハードウェアマニュアルにおいて、以下の内容を追加します。

当該機能のない製品もありますので、ご使用の製品のハードウェアマニュアルでご確認ください。

### 1. 電圧監視割り込み又は電圧監視リセットの注意事項

<電圧変化検出フラグをもつものが該当します>

電圧監視割り込み又は電圧監視リセット禁止の状態でも、電圧検出回路が有効であれば、電圧低下を検出し、電圧変化検出フラグは“1”になります。

電圧監視割り込み又は電圧監視リセット関連ビットの設定手順において、電圧検出回路を有効に設定してから、割り込み又はリセットを許可に設定するまでに電圧低下を検出する場合がありますが、この時、割り込み又はリセットは発生しません。

したがって、割り込み又はリセットを許可に設定した後に電圧変化検出フラグを読み、“1”の場合は電圧低下検出時の処理を実行してください。

### 2. ウェイト制御ビット(CM30 ビット)によるウェイトモードへの移行時の注意事項

<R8C/1x シリーズ、R8C/2x シリーズには、CM30 ビットはありません>

WAIT 命令実行時と同様、CM30 ビットを“1” (ウェイトモードに移行する)にする命令の後ろには、NOP 命令を最低4つ入れてください。

CM30 ビットを“1”にするプログラム例

```
BCLR 1, FMRO
BSET 0, PRCR
FCLR I
BSET 0, CM3
NOP
NOP
NOP
NOP
BCLR 0, PRCR
FSET I
```

### 3. INTi 端子の注意事項

<全部の INT 端子が該当します。“i” は、ご使用の製品により異なります>

INT 入力極性選択ビット(INTiPL ビット)と同様に、INT 入力許可ビット(INTiEN ビット)を変更すると、その端子に対応する IR ビットが“1” (割り込み要求あり)になることがあります。ハードウェアマニュアルの「割り込み要因の変更」章を参照してください。

## 4. デジタルフィルタ使用時の注意事項

デジタルフィルタありの入力を割り込み要因とする場合、割り込み要因の変更時の手順において、次のことに注意してください。

割り込み要因を変更した後、デジタルフィルタのサンプリングクロックの3サイクル分以上待つてから、対応するIRビットを“0”（割り込み要求なし）にしてください。IRビットを“0”にするときに使用する命令とそれに伴う注意は「割り込み制御レジスタの変更」を参照してください。

## 5. タイマRBの注意事項

<R8C/1xシリーズには、タイマRBはありません>

タイマRBのカウンタソースとして、タイマRAのアンダフローを選択する場合、タイマRAはタイマモード、パルス出力モード、又はイベントカウンタモードに設定してください。

## 6. タイマYの注意事項

<R8C/2xシリーズ、R8C/3xシリーズ、R8C/Lxシリーズには、タイマYはありません>

タイマYのカウンタソースとして、タイマXのアンダフローを選択する場合、タイマXはタイマモード、パルス出力モード、又はイベントカウンタモードに設定してください。

7. UART<sub>i</sub>(i=0~2)の注意事項

<“i”は、ご使用の製品により異なります>

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”（シリアルインタフェースは無効）にするときは、UiC1レジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）にしてください。
- (2) UiMRレジスタのSMD2~SMD0ビットが“001b”（クロック同期形シリアルI/Oモード）のとき、UiRBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。
- (3) クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させたとき、または通信エラーが発生したときに、再度通信を行う場合は、次の手順で設定してください。
  - ①UiC1レジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）にする。
  - ②UiMRレジスタのSMD2~SMD0ビットを“000b”（シリアルインタフェースは無効）にする。
  - ③UiMRレジスタのSMD2~SMD0ビットを“001b”（クロック同期形シリアルI/Oモード）にする。
  - ④UiC1レジスタのTEビットを“1”（送信許可）、REビットを“1”（受信許可）にする。
- (4) UARTモードで、受信または送信時に通信を途中終了させたとき、または通信エラーが発生したときに、再度通信を行う場合は、次の手順で設定してください。
  - ①UiC1レジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）にする。
  - ②UiMRレジスタのSMD2~SMD0ビットを“000b”（シリアルインタフェースは無効）にする。
  - ③UiMRレジスタのSMD2~SMD0ビットを“100b”（UARTモード転送データ長7ビット）、“101b”（UARTモード転送データ長8ビット）、“110b”（UARTモード転送データ長9ビット）のいずれかにする。
  - ④UiC1レジスタのTEビットを“1”（送信許可）、REビットを“1”（受信許可）にする。

## 8. ビット操作時の注意事項

<R8C/3x シリーズ、R8C/Lx シリーズが該当します>

次のビットを操作するときは、連続した命令で操作してください。命令間で割り込み及び DTC 転送が実行されないようにしてください。

## (1) PRC2 ビット：

PRC2 ビットを“1”（書き込み許可）にした後、SFR 領域への書き込みを実行すると、PRC2 ビットは“0”になります。PRC2 ビットを“1”にした命令に続けて、PRC2 ビットで保護されるレジスタへ書いてください。

なお、PRC2 ビットを“1”にする命令と次の命令の間に、割り込み及び DTC 転送が実行されないようにしてください。

## (2) CSPPRO、FMR01、FMR02、FMR13、FMR20、FMR22、FMR27 ビット：

これらのビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間に、割り込み及び DTC 転送が実行されないようにしてください。

## (3) FMR14、FMR15、FMR16、FMR17 ビット：

これらのビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間に、割り込み及び DTC 転送が実行されないようにしてください。

以上

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
 株式会社 ルネサス テクノロジ  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-R8C-A004B/J	Rev.	第2版
題名	低消費電流リードモードに関する注意事項		情報分類	技術情報	
適用製品	R8C/3x シリーズ R8C/Lx シリーズ	対象ロット等	—		
			関連資料		

発行番号 TN-R8C-A004A/J (2009年7月28日発行) の第2版です。

第2版で1. 項の一部改訂、2. 項の3点目の追加、3. 項の削除及びそれによる 以下項番の繰り上げを行いました。

FMR2 レジスタのFMR27 ビット(低消費電流リードモード許可ビット)による低消費電流リードモードを使用する場合、以下の内容に注意してください。

## 1. 低消費電流リードモードの使用条件

低消費電流リードモードは、標準動作モード時のCPUクロックが次の条件の時に使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周、16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周、8分周

注. この条件であっても、CPUクロックが3kHz以下の時は、低消費電流リードモードを使用しないでください。

## 2. FMR27 ビットの操作時の注意事項

- CPUクロックを1項で記載した条件に設定した後で、FMR27 ビットを“1”(低消費電流リードモード許可)にしてください。
- 1項で記載した条件以外のCPUクロックを設定する場合は、FMR27 ビットが“0”(低消費電流リードモード禁止)のときに行ってください。
- ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

### << ストップモードに移行するプログラム例 >>

```

BCLR    1,FMR0           ; CPU書き換えモード無効
BCLR    7,FMR2           ; 低消費電流リードモード禁止
BSET    0,PRCR           ; CM1レジスタへの書き込み許可
FSET    1                 ; 割り込み許可
BSET    0,CM1           ; ストップモード
JMP.B   LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP
  
```

<< ウェイトモードに移行するプログラム例>>

< WAIT命令を実行する場合>

```

BCLR    1,FMR0      ; CPU書き換えモード無効
BCLR    7,FMR2      ; 低消費電流リードモード禁止
FSET    1           ; 割り込み許可
WAIT                ; ウェイトモード
NOP
NOP
NOP
NOP
    
```

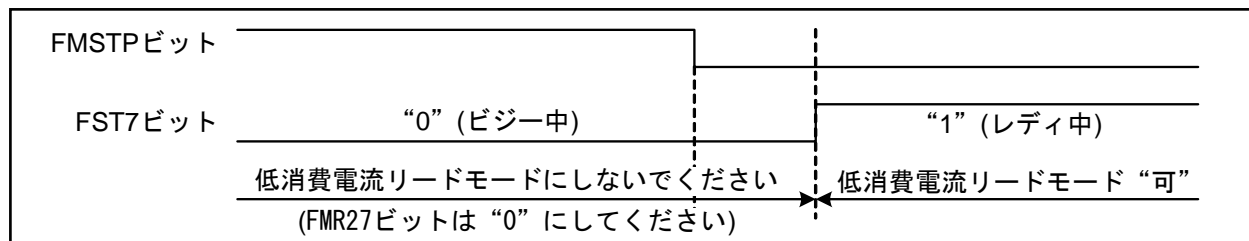
< CM30ビットを“1”にする場合>

```

BCLR    1,FMR0      ; CPU書き換えモード無効
BCLR    7,FMR2      ; 低消費電流リードモード禁止
BSET    0,PRCR      ; CM3レジスタへの書き込み許可
FCLR    1           ; 割り込み禁止
BSET    0,CM3       ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0,PRCR      ; CM3レジスタへの書き込み禁止
FSET    1           ; 割り込み許可
    
```

3. FMSTP ビットに関する注意事項

FMSTP ビットが“1” (フラッシュメモリ停止)の状態、FMR27 ビットを“1” にしないでください。FMSTP ビットを“1” から“0” (フラッシュメモリ動作)へ変更した直後のビジー状態(FST7 ビットが“0”)の期間も、FMR27 ビットを“1” にしないでください。



4. CPU 書き換えモードに関する注意事項

FMR27 ビットが“1”の状態、プログラムコマンド、ブロックイレイズコマンド、ロックビットプログラムコマンドを実行しないでください。

5. A/D コンバータに関する注意事項

FMR27 ビットが“1”の状態、A/D 変換を実行しないでください。また、ADST ビットが“1” (A/D 変換中)の状態、FMR27 ビットを“1” にしないでください。

以上