

# R8C/3MQ グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ  
R8Cファミリ / R8C/3xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準：            コンピュータ、OA 機器、通信機器、計測機器、AV 機器、  
                                 家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準：        輸送機器（自動車、電車、船舶等）、交通用信号機器、  
                                 防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/3MQグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/3MQグループ データシート	R01DS0044JJ0100
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/3MQグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/Tinyシリーズ ソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

## 2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

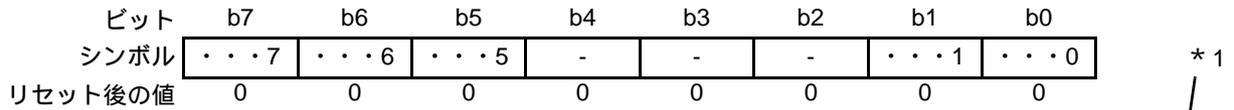
- |   |
|---|
| <p>(1) レジスタ名、ビット名、端子名<br/>本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。<br/>(例) PM0 レジスタのPM03ビット<br/>P3_5 端子、VCC 端子</p> <p>(2) 数の表記<br/>2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。<br/>(例) 2進数：11b<br/>16進数：EFA0h<br/>10進数：1234</p> |
|---|

### 3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X . . . . レジスタ(シンボル)

アドレス . . . h番地



ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 00 : . . . 01 : . . . 10 : 設定しないでください 11 : . . .	R/W R/W R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b3	-	予約ビット	“0”にしてください。	W
b4	-			
b5	. . . 5	. . . ビット	動作モードによって機能が異なる	R/W
b6	. . . 6	. . . ビット		R/W
b7	. . . 7	. . . ビット	0 : . . . 1 : . . .	R

\* 1

- R/W : 読むとビットの状態が読めます。書くと有効データになります。
- R : 読むとビットの状態が読めます。書いた値は無効になります。
- W : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

\* 2

- 予約ビット  
予約ビットです。指定された値にしてください。

\* 3

- 何も配置されていない  
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- 設定しないでください  
設定した場合の動作は保証されません。
- 動作モードによって機能が異なる  
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

#### 4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

# 目次

番地別ページ早見表 .....	B - 1
1. 概要 .....	1
1.1  特長 .....	1
1.1.1  用途 .....	1
1.1.2  仕様概要 .....	2
1.2  製品一覧 .....	4
1.3  ブロック図 .....	5
1.4  ピン配置図 .....	6
1.5  端子機能の説明 .....	8
2.  中央演算処理装置 (CPU) .....	10
2.1  データレジスタ (R0、R1、R2、R3) .....	11
2.2  アドレスレジスタ (A0、A1) .....	11
2.3  フレームベースレジスタ (FB) .....	11
2.4  割り込みテーブルレジスタ (INTB) .....	11
2.5  プログラムカウンタ (PC) .....	11
2.6  ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP) .....	11
2.7  スタティックベースレジスタ (SB) .....	11
2.8  フラグレジスタ (FLG) .....	11
2.8.1  キャリフラグ (C フラグ) .....	11
2.8.2  デバッグフラグ (D フラグ) .....	11
2.8.3  ゼロフラグ (Z フラグ) .....	11
2.8.4  サインフラグ (S フラグ) .....	11
2.8.5  レジスタバンク指定フラグ (B フラグ) .....	11
2.8.6  オーバフローフラグ (O フラグ) .....	12
2.8.7  割り込み許可フラグ (I フラグ) .....	12
2.8.8  スタックポインタ指定フラグ (U フラグ) .....	12
2.8.9  プロセッサ割り込み優先レベル (IPL) .....	12
2.8.10  予約ビット .....	12
3.  メモリ .....	13
3.1  R8C/3MQ グループ .....	13
4.  SFR .....	14
5.  リセット .....	26
5.1  レジスタの説明 .....	28
5.1.1  プロセッサモードレジスタ 0 (PM0) .....	28
5.1.2  リセット要因判別レジスタ (RSTFR) .....	28
5.1.3  オプション機能選択レジスタ (OFS) .....	29
5.1.4  オプション機能選択レジスタ 2 (OFS2) .....	30
5.2  ハードウェアリセット .....	31
5.2.1  電源が安定している場合 .....	31
5.2.2  電源投入時 .....	31
5.3  パワーオンリセット機能 .....	33
5.4  電圧監視 0 リセット .....	34
5.5  ウォッチドッグタイマリセット .....	35
5.6  ソフトウェアリセット .....	35

5.7	コールドスタート/ウォームスタート判定機能.....	36
5.8	リセット要因判別機能.....	36
6.	電圧検出回路.....	37
6.1	概要.....	37
6.2	レジスタの説明.....	40
6.2.1	電圧監視回路制御レジスタ (CMPA).....	40
6.2.2	電圧監視回路エッジ選択レジスタ (VCAC).....	40
6.2.3	電圧検出レジスタ 2 (VCA2).....	41
6.2.4	電圧検出 1 レベル選択レジスタ (VD1LS).....	42
6.2.5	電圧監視 0 回路制御レジスタ (VW0C).....	43
6.2.6	電圧監視 1 回路制御レジスタ (VW1C).....	44
6.2.7	WDT 検出フラグ (VW2C).....	45
6.2.8	オプション機能選択レジスタ (OFS).....	46
6.3	VCC 入力電圧のモニタ.....	47
6.3.1	Vdet0 のモニタ.....	47
6.3.2	Vdet1 のモニタ.....	47
6.4	電圧監視 0 リセット.....	48
6.5	電圧監視 1 割り込み.....	49
6.5.1	デジタルフィルタ.....	49
7.	I/O ポート.....	51
7.1	I/O ポートの機能.....	52
7.2	周辺機能への影響.....	52
7.3	I/O ポート以外の端子.....	52
7.4	レジスタの説明.....	61
7.4.1	ポート Pi 方向レジスタ (PDi)(i=0、1、3、4).....	61
7.4.2	ポート Pi レジスタ (Pi)(i=0、1、3、4).....	62
7.4.3	タイマ RA 端子選択レジスタ (TRASR).....	63
7.4.4	タイマ RB/RC 端子選択レジスタ (TRBRCR).....	64
7.4.5	タイマ RC 端子選択レジスタ 0 (TRCPSR0).....	65
7.4.6	タイマ RC 端子選択レジスタ 1 (TRCPSR1).....	66
7.4.7	UART0 端子選択レジスタ (U0SR).....	67
7.4.8	SSU/IIC 端子選択レジスタ (SSUICSR).....	67
7.4.9	INT 割り込み入力端子選択レジスタ (INTSR).....	68
7.4.10	入出力機能端子選択レジスタ (PINSR).....	69
7.4.11	プルアップ制御レジスタ 0 (PUR0).....	70
7.4.12	プルアップ制御レジスタ 1 (PUR1).....	70
7.4.13	ポート P1 駆動能力制御レジスタ (P1DRR).....	71
7.4.14	駆動能力制御レジスタ 0 (DRR0).....	72
7.4.15	駆動能力制御レジスタ 1 (DRR1).....	73
7.4.16	入力しきい値制御レジスタ 0 (VLT0).....	74
7.4.17	入力しきい値制御レジスタ 1 (VLT1).....	74
7.5	ポートの設定.....	75
7.6	未使用端子の処理.....	83

8.	バス制御 .....	84
9.	クロック発生回路 .....	86
9.1	概要 .....	86
9.2	レジスタの説明 .....	89
9.2.1	システムクロック制御レジスタ 0 (CM0).....	89
9.2.2	システムクロック制御レジスタ 1 (CM1).....	90
9.2.3	システムクロック制御レジスタ 3 (CM3).....	91
9.2.4	発振停止検出レジスタ (OCD) .....	92
9.2.5	時計用プリスケアラリセットフラグ (CPSRF).....	93
9.2.6	電圧検出レジスタ 2 (VCA2) .....	93
9.2.7	入出力機能端子選択レジスタ (PINSR) .....	94
9.3	XIN クロック .....	95
9.4	オンチップオシレータクロック .....	96
9.4.1	低速オンチップオシレータクロック .....	96
9.5	XCIN クロック .....	97
9.6	CPU クロックと周辺機能クロック .....	98
9.6.1	システムクロック .....	98
9.6.2	CPU クロック .....	98
9.6.3	周辺機能クロック (f1、f2、f4、f8、f32).....	98
9.6.4	fOCO.....	98
9.6.5	fOCO-S .....	98
9.6.6	fOCO128.....	98
9.6.7	fC、fC2、fC4、fC32 .....	99
9.6.8	fOCO-WDT .....	99
9.7	パワーコントロール .....	100
9.7.1	標準動作モード .....	100
9.7.2	ウェイトモード .....	101
9.7.3	ストップモード .....	108
9.8	発振停止検出機能 .....	111
9.8.1	発振停止検出機能の使用方法 .....	111
9.9	クロック発生回路使用上の注意 .....	112
9.9.1	ストップモード .....	112
9.9.2	ウェイトモード .....	113
9.9.3	VCA20 ビットによる内部電源低消費操作 .....	113
9.9.4	発振停止検出機能 .....	113
9.9.5	発振回路定数 .....	113
10.	プロテクト .....	114
10.1	レジスタの説明 .....	114
10.1.1	プロテクトレジスタ (PRCR).....	114
11.	割り込み .....	115
11.1	概要 .....	115
11.1.1	割り込みの分類 .....	115
11.1.2	ソフトウェア割り込み .....	116
11.1.3	特殊割り込み .....	117
11.1.4	周辺機能割り込み .....	117
11.1.5	割り込みと割り込みベクタ .....	118

11.2	レジスタの説明	121
11.2.1	割り込み制御レジスタ (BBTIM2IC、TREIC、KUPIC、S0TIC、S0RIC、BBRX0IC/BBIDLEIC、TRAIC、TRBIC、 BBTIM1IC、BBCCAIC、BBTIM0IC、BBADFC、BBTXORIC、BBTXIC、BBRXOR1IC、 BBPLLIC、BBRXOR0IC/BBCALIC、VCMP1IC、BBRX1IC/BBCREGIC)	121
11.2.2	割り込み制御レジスタ (FMRDYIC、TRCIC、SSUIC/ICIC)	122
11.2.3	INT <sub>i</sub> 割り込み制御レジスタ (INT <sub>i</sub> IC)(i=0、1、3)	123
11.3	割り込み制御	124
11.3.1	I フラグ	124
11.3.2	IR ビット	124
11.3.3	ILVL2 ~ ILVL0 ビット、IPL	124
11.3.4	割り込みシーケンス	125
11.3.5	割り込み応答時間	126
11.3.6	割り込み要求受付時の IPL の変化	126
11.3.7	レジスタ退避	127
11.3.8	割り込みルーチンからの復帰	129
11.3.9	割り込み優先順位	129
11.3.10	割り込み優先レベル判定回路	130
11.4	INT 割り込み	131
11.4.1	INT <sub>i</sub> 割り込み (i=0、1、3)	131
11.4.2	INT 割り込み入力端子選択レジスタ (INTSR)	131
11.4.3	外部入力許可レジスタ 0 (INTEN)	132
11.4.4	INT 入力フィルタ選択レジスタ 0 (INTF)	133
11.4.5	INT <sub>i</sub> 入力フィルタ (i=0、1、3)	134
11.5	キー入力割り込み	135
11.5.1	キー入力許可レジスタ 0 (KIEN)	137
11.5.2	キー入力許可レジスタ 1 (KIEN1)	138
11.6	アドレス一致割り込み	139
11.6.1	アドレス一致割り込み許可レジスタ i (AIER <sub>i</sub> )(i=0 ~ 1)	140
11.6.2	アドレス一致割り込みレジスタ i (RMAD <sub>i</sub> )(i=0 ~ 1)	140
11.7	タイマ RC 割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、 I <sup>2</sup> C バスインタフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ 割り込み)	141
11.8	割り込み要因判別方法	142
11.9	割り込み使用上の注意	143
11.9.1	0000h 番地の読み出し	143
11.9.2	SP の設定	143
11.9.3	外部割り込み、キー入力割り込み	143
11.9.4	割り込み要因の変更	144
11.9.5	割り込み制御レジスタの変更	145
12.	ID コード領域	146
12.1	概要	146
12.2	機能	147
12.3	強制イレーズ機能	148
12.4	標準シリアル入出力モード禁止機能	148
12.5	ID コード領域使用上の注意	149
12.5.1	ID コード領域の設定例	149

13.	オプション機能選択領域 .....	150
13.1	概要 .....	150
13.2	レジスタの説明 .....	151
13.2.1	オプション機能選択レジスタ (OFS) .....	151
13.2.2	オプション機能選択レジスタ 2 (OFS2) .....	152
13.3	オプション機能選択領域使用上の注意 .....	153
13.3.1	オプション機能選択領域の設定例 .....	153
14.	ウォッチドッグタイマ .....	154
14.1	概要 .....	154
14.2	レジスタの説明 .....	156
14.2.1	プロセッサモードレジスタ 1 (PM1) .....	156
14.2.2	ウォッチドッグタイマリセットレジスタ (WDTR) .....	156
14.2.3	ウォッチドッグタイマスタートレジスタ (WDTS) .....	156
14.2.4	ウォッチドッグタイマ制御レジスタ (WDTC) .....	157
14.2.5	カウントソース保護モードレジスタ (CSPR) .....	157
14.2.6	オプション機能選択レジスタ (OFS) .....	158
14.2.7	オプション機能選択レジスタ 2 (OFS2) .....	159
14.3	動作説明 .....	160
14.3.1	複数モードに関わる共通事項 .....	160
14.3.2	カウントソース保護モード無効時 .....	161
14.3.3	カウントソース保護モード有効時 .....	162
15.	DTC .....	163
15.1	概要 .....	163
15.2	レジスタの説明 .....	164
15.2.1	DTC 制御レジスタ $j$ (DTCCR $_j$ )( $j=0 \sim 23$ ) .....	165
15.2.2	DTC ブロックサイズレジスタ $j$ (DTBLS $_j$ )( $j=0 \sim 23$ ) .....	165
15.2.3	DTC 転送回数レジスタ $j$ (DTCCT $_j$ )( $j=0 \sim 23$ ) .....	165
15.2.4	DTC 転送回数リロードレジスタ $j$ (DTRLD $_j$ )( $j=0 \sim 23$ ) .....	166
15.2.5	DTC ソースアドレスレジスタ $j$ (DTSAR $_j$ )( $j=0 \sim 23$ ) .....	166
15.2.6	DTC デスティネーションアドレスレジスタ $j$ (DTCEN $_j$ )( $j=0 \sim 23$ ) .....	166
15.2.7	DTC 起動許可レジスタ $i$ (DTCEN $_i$ )( $i=0 \sim 3, 5, 6$ ) .....	167
15.2.8	DTC 起動制御レジスタ (DTCTL) .....	168
15.3	動作説明 .....	169
15.3.1	概要 .....	169
15.3.2	起動要因 .....	169
15.3.3	コントロールデータの配置と DTC ベクタテーブル .....	171
15.3.4	ノーマルモード .....	176
15.3.5	リピートモード .....	177
15.3.6	チェイン転送 .....	178
15.3.7	割り込み要因 .....	179
15.3.8	動作タイミング .....	179
15.3.9	DTC 実行サイクル数 .....	180
15.3.10	DTC 起動要因受付と割り込み要因フラグ .....	181
15.4	DTC 使用上の注意 .....	183
15.4.1	DTC 起動要因 .....	183
15.4.2	DTCEN $_i$ ( $i=0 \sim 3, 5, 6$ ) レジスタ .....	183
15.4.3	周辺モジュール .....	183

15.4.4	割り込み要求 .....	183
15.4.5	DTC のチェーン転送 .....	183
16.	タイマ総論 .....	184
17.	タイマ RA .....	185
17.1	概要 .....	185
17.2	レジスタの説明 .....	186
17.2.1	タイマ RA 制御レジスタ (TRACR) .....	186
17.2.2	タイマ RA I/O 制御レジスタ (TRAIOC) .....	186
17.2.3	タイマ RA モードレジスタ (TRAMR) .....	187
17.2.4	タイマ RA プリスケーラレジスタ (TRAPRE) .....	187
17.2.5	タイマ RA レジスタ (TRA) .....	188
17.2.6	タイマ RA 端子選択レジスタ (TRASR) .....	188
17.3	タイマモード .....	189
17.3.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ タイマモード時 ] .....	189
17.3.2	カウント中のタイマ書き込み制御 .....	190
17.4	パルス出力モード .....	191
17.4.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス出力モード時 ] .....	192
17.5	イベントカウンタモード .....	193
17.5.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ イベントカウンタモード時 ] .....	194
17.6	パルス幅測定モード .....	195
17.6.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス幅測定モード時 ] .....	196
17.6.2	動作例 .....	197
17.7	パルス周期測定モード .....	198
17.7.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス周期測定モード時 ] .....	199
17.7.2	動作例 .....	200
17.8	タイマ RA 使用上の注意 .....	201
18.	タイマ RB .....	202
18.1	概要 .....	202
18.2	レジスタの説明 .....	203
18.2.1	タイマ RB 制御レジスタ (TRBCR) .....	203
18.2.2	タイマ RB ワンショット制御レジスタ (TRBOCR) .....	204
18.2.3	タイマ RB I/O 制御レジスタ (TRBIOC) .....	204
18.2.4	タイマ RB モードレジスタ (TRBMR) .....	205
18.2.5	タイマ RB プリスケーラレジスタ (TRBPRES) .....	205
18.2.6	タイマ RB セカンダリレジスタ (TRBSC) .....	206
18.2.7	タイマ RB プライマリレジスタ (TRBPR) .....	206
18.2.8	タイマ RB/RC 端子選択レジスタ (TRBRCSR) .....	207
18.3	タイマモード .....	208
18.3.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ タイマモード時 ] .....	209
18.3.2	カウント中のタイマ書き込み制御 .....	210
18.4	プログラマブル波形発生モード .....	212
18.4.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブル波形発生モード時 ] .....	213
18.4.2	動作例 .....	214
18.5	プログラマブルワンショット発生モード .....	215
18.5.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブルワンショット発生モード時 ] .....	216
18.5.2	動作例 .....	217

18.5.3	ワンショットトリガ選択 .....	218
18.6	プログラマブルウェイトワンショット発生モード .....	219
18.6.1	タイマ RB I/O 制御レジスタ (TRBIOC) [プログラマブルウェイトワンショット発生モード時] .....	220
18.6.2	動作例 .....	221
18.7	タイマ RB 使用上の注意 .....	222
18.7.1	タイマモード .....	222
18.7.2	プログラマブル波形発生モード .....	222
18.7.3	プログラマブルワンショット発生モード .....	223
18.7.4	プログラマブルウェイトワンショット発生モード .....	223
19.	タイマ RC .....	224
19.1	概要 .....	224
19.2	レジスタの説明 .....	226
19.2.1	モジュールスタンバイ制御レジスタ (MSTCR) .....	227
19.2.2	タイマ RC モードレジスタ (TRCMR) .....	228
19.2.3	タイマ RC 制御レジスタ 1 (TRCCR1) .....	229
19.2.4	タイマ RC 割り込み許可レジスタ (TRCIER) .....	229
19.2.5	タイマ RC ステータスレジスタ (TRCSR) .....	230
19.2.6	タイマ RC I/O 制御レジスタ 0 (TRCIOR0) .....	231
19.2.7	タイマ RC I/O 制御レジスタ 1 (TRCIOR1) .....	232
19.2.8	タイマ RC カウンタ (TRC) .....	232
19.2.9	タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD) .....	233
19.2.10	タイマ RC 制御レジスタ 2 (TRCCR2) .....	233
19.2.11	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF) .....	234
19.2.12	タイマ RC アウトプットマスタ許可レジスタ (TRCOER) .....	235
19.2.13	タイマ RB/RC 端子選択レジスタ (TRBRCR) .....	236
19.2.14	タイマ RC 端子選択レジスタ 0 (TRCPSR0) .....	237
19.2.15	タイマ RC 端子選択レジスタ 1 (TRCPSR1) .....	238
19.3	複数モードに関わる共通事項 .....	239
19.3.1	カウントソース .....	239
19.3.2	バッファ動作 .....	240
19.3.3	デジタルフィルタ .....	242
19.3.4	パルス出力強制遮断 .....	243
19.4	タイマモード (インプットキャプチャ機能) .....	245
19.4.1	タイマ RC I/O 制御レジスタ 0 (TRCIOR0) [タイマモード (インプットキャプチャ機能) 時] .....	247
19.4.2	タイマ RC I/O 制御レジスタ 1 (TRCIOR1) [タイマモード (インプットキャプチャ機能) 時] .....	248
19.4.3	動作例 .....	249
19.5	タイマモード (アウトプットコンペア機能) .....	250
19.5.1	タイマ RC 制御レジスタ 1 (TRCCR1) [タイマモード (アウトプットコンペア機能) 時] .....	252
19.5.2	タイマ RC I/O 制御レジスタ 0 (TRCIOR0) [タイマモード (アウトプットコンペア機能) 時] .....	253
19.5.3	タイマ RC I/O 制御レジスタ 1 (TRCIOR1) [タイマモード (アウトプットコンペア機能) 時] .....	254
19.5.4	タイマ RC 制御レジスタ 2 (TRCCR2) [タイマモード (アウトプットコンペア機能) 時] .....	255

19.5.5	動作例 .....	256
19.5.6	TRCGRC、TRCGRD レジスタの出力端子変更 .....	257
19.6	PWM モード .....	259
19.6.1	タイマ RC 制御レジスタ 1 (TRCCR1)[PWM モード時] .....	261
19.6.2	タイマ RC 制御レジスタ 2 (TRCCR2)[PWM モード時] .....	262
19.6.3	動作例 .....	263
19.7	PWM2 モード .....	265
19.7.1	タイマ RC 制御レジスタ 1 (TRCCR1)[PWM2 モード時] .....	267
19.7.2	タイマ RC 制御レジスタ 2 (TRCCR2)[PWM2 モード時] .....	268
19.7.3	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2 モード時] .....	269
19.7.4	動作例 .....	270
19.8	タイマ RC 割り込み .....	273
19.9	タイマ RC 使用上の注意 .....	274
19.9.1	TRC レジスタ .....	274
19.9.2	TRCSR レジスタ .....	274
19.9.3	カウントソース切り替え .....	274
19.9.4	インプットキャプチャ機能 .....	274
19.9.5	PWM2 モード時の TRCMR レジスタ .....	274
20.	タイマ RE .....	275
20.1	概要 .....	275
20.2	リアルタイムクロックモード .....	276
20.2.1	タイマ RE 秒データレジスタ (TRESEC)[リアルタイムクロックモード時] .....	278
20.2.2	タイマ RE 分データレジスタ (TREMINT)[リアルタイムクロックモード時] .....	278
20.2.3	タイマ RE 時データレジスタ (TREHR)[リアルタイムクロックモード時] .....	279
20.2.4	タイマ RE 曜日データレジスタ (TREWK)[リアルタイムクロックモード時] .....	279
20.2.5	タイマ RE 制御レジスタ 1 (TRECRC1)[リアルタイムクロックモード時] .....	280
20.2.6	タイマ RE 制御レジスタ 2 (TRECRC2)[リアルタイムクロックモード時] .....	281
20.2.7	タイマ RE カウントソース選択レジスタ (TRECSCR)[リアルタイムクロックモード時] .....	282
20.2.8	動作例 .....	283
20.3	アウトプットコンペアモード .....	284
20.3.1	タイマ RE カウンタデータレジスタ (TRESEC)[アウトプットコンペアモード時] .....	285
20.3.2	タイマ RE コンペアデータレジスタ (TREMINT)[アウトプットコンペアモード時] .....	285
20.3.3	タイマ RE 制御レジスタ 1 (TRECRC1)[アウトプットコンペアモード時] .....	286
20.3.4	タイマ RE 制御レジスタ 2 (TRECRC2)[アウトプットコンペアモード時] .....	286
20.3.5	タイマ RE カウントソース選択レジスタ (TRECSCR)[アウトプットコンペアモード時] .....	287
20.3.6	動作例 .....	288
20.4	タイマ RE 使用上の注意 .....	289
20.4.1	カウント開始、停止 .....	289
20.4.2	レジスタ設定 .....	289
20.4.3	リアルタイムクロックモードの時刻読み出し手順 .....	291
21.	シリアルインタフェース (UART0) .....	292
21.1	概要 .....	292
21.2	レジスタの説明 .....	294
21.2.1	UART0 送受信モードレジスタ (U0MR) .....	294
21.2.2	UART0 ビットレートレジスタ (U0BRG) .....	294
21.2.3	UART0 送信バッファレジスタ (U0TB) .....	295
21.2.4	UART0 送受信制御レジスタ 0 (U0C0) .....	296

21.2.5	UART0 送受信制御レジスタ 1 (U0C1) .....	296
21.2.6	UART0 受信バッファレジスタ (U0RB).....	297
21.2.7	UART0 端子選択レジスタ (U0SR).....	298
21.3	クロック同期形シリアル I/O モード.....	299
21.3.1	通信エラー発生時の対処方法 .....	302
21.3.2	極性選択機能 .....	303
21.3.3	LSB ファースト、MSB ファースト選択.....	303
21.3.4	連続受信モード .....	304
21.4	クロック非同期形シリアル I/O(UART) モード .....	305
21.4.1	ビットレート .....	309
21.4.2	通信エラー発生時の対処方法 .....	310
21.5	シリアルインタフェース (UART0) 使用上の注意 .....	311
22.	クロック同期形シリアルインタフェース .....	312
22.1	モード選択.....	312
23.	シンクロナスシリアルコミュニケーションユニット (SSU) .....	313
23.1	概要.....	313
23.2	レジスタの説明.....	315
23.2.1	モジュールスタンバイ制御レジスタ (MSTCR) .....	315
23.2.2	SSU/IIC 端子選択レジスタ (SSUICSR) .....	315
23.2.3	SS ビットカウンタレジスタ (SSBR).....	316
23.2.4	SS 送信データレジスタ (SSTDR).....	316
23.2.5	SS 受信データレジスタ (SSRDR).....	317
23.2.6	SS 制御レジスタ H (SSCRH).....	317
23.2.7	SS 制御レジスタ L (SSCRL).....	318
23.2.8	SS モードレジスタ (SSMR).....	319
23.2.9	SS 許可レジスタ (SSER).....	320
23.2.10	SS ステータスレジスタ (SSSR).....	321
23.2.11	SS モードレジスタ 2 (SSMR2).....	322
23.3	複数モードに関わる共通事項 .....	323
23.3.1	転送クロック .....	323
23.3.2	SS シフトレジスタ (SSTRSR).....	325
23.3.3	割り込み要求 .....	326
23.3.4	各通信モードと端子機能 .....	327
23.4	クロック同期式通信モード .....	328
23.4.1	クロック同期式通信モードの初期化 .....	328
23.4.2	データ送信 .....	329
23.4.3	データ受信 .....	331
23.5	4 線式バス通信モード .....	335
23.5.1	4 線式バス通信モードの初期化 .....	336
23.5.2	データ送信 .....	337
23.5.3	データ受信 .....	339
23.5.4	SCS 端子制御とアービトレーション .....	341
23.6	シンクロナスシリアルコミュニケーションユニット使用上の注意 .....	342
24.	I <sup>2</sup> C バスインタフェース .....	343
24.1	概要.....	343
24.2	レジスタの説明.....	346

24.2.1	モジュールスタンバイ制御レジスタ (MSTCR) .....	346
24.2.2	SSU/IIC 端子選択レジスタ (SSUICSR) .....	346
24.2.3	入出力機能端子選択レジスタ (PINSR) .....	347
24.2.4	IIC バス送信データレジスタ (ICDRT) .....	348
24.2.5	IIC バス受信データレジスタ (ICDRR) .....	348
24.2.6	IIC バス制御レジスタ 1 (ICCR1) .....	349
24.2.7	IIC バス制御レジスタ 2 (ICCR2) .....	350
24.2.8	IIC バスモードレジスタ (ICMR) .....	351
24.2.9	IIC バス割り込み許可レジスタ (ICIER) .....	352
24.2.10	IIC バスステータスレジスタ (ICSR) .....	353
24.2.11	スレーブアドレスレジスタ (SAR) .....	354
24.2.12	IIC バスシフトレジスタ (ICDRS) .....	354
24.3	複数モードに関わる共通事項 .....	355
24.3.1	転送クロック .....	355
24.3.2	SDA 端子デジタル遅延選択 .....	357
24.3.3	割り込み要求 .....	358
24.4	I <sup>2</sup> C バスインタフェースモード .....	359
24.4.1	I <sup>2</sup> C バスフォーマット .....	359
24.4.2	マスタ送信動作 .....	360
24.4.3	マスタ受信動作 .....	362
24.4.4	スレーブ送信動作 .....	365
24.4.5	スレーブ受信動作 .....	368
24.5	クロック同期式シリアルモード .....	370
24.5.1	クロック同期式シリアルフォーマット .....	370
24.5.2	送信動作 .....	371
24.5.3	受信動作 .....	372
24.6	レジスタ設定例 .....	373
24.7	ノイズ除去回路 .....	377
24.8	ビット同期回路 .....	378
24.9	I <sup>2</sup> C バスインタフェース使用上の注意 .....	379
24.9.1	マスタ受信モード .....	379
24.9.2	ICCR1 レジスタの ICE ビットおよび ICCR2 レジスタの IICRST ビット .....	379
25.	ベースバンド機能 .....	381
25.1	ベースバンド機能説明 .....	381
25.1.1	ベースバンドブロック図 .....	382
25.1.2	ベースバンド用語説明 .....	382
25.1.3	26 ビットタイマ .....	383
25.1.4	送信 RAM .....	384
25.1.5	受信 RAM .....	384
25.1.6	送信フレーム生成機能 .....	385
25.1.7	フィルタ機能 .....	386
25.1.8	割り込み .....	387
25.1.9	CRC 演算回路 .....	388
25.1.10	自動 ACK 返信機能 .....	389
25.1.11	自動 ACK 受信機能 .....	391
25.1.12	自動受信切り替え機能 .....	392
25.1.13	ANTSW 出力切り替え機能 .....	392
25.1.14	自動 CSMA-CA 機能 .....	393

25.1.15	状態遷移 .....	395
25.2	ベースバンド関連レジスタ .....	396
25.2.1	ベースバンド制御レジスタ (BBCON) .....	396
25.2.2	送受信リセットレジスタ (BBTXRXRST) .....	397
25.2.3	送受信モードレジスタ 0 (BBTXRXMODE0) .....	398
25.2.4	送受信モードレジスタ 1 (BBTXRXMODE1) .....	399
25.2.5	受信フレーム長レジスタ (BBRXFLEN) .....	400
25.2.6	受信データカウンタレジスタ (BBRXCOUNT) .....	401
25.2.7	RSSI/CCA 結果レジスタ (BBRSSICCARSLT) .....	402
25.2.8	送受信ステータスレジスタ 0 (BBTXRXST0) .....	403
25.2.9	送信フレーム長レジスタ (BBTXFLEN) .....	405
25.2.10	送受信モードレジスタ 2 (BBTXRXMODE2) .....	406
25.2.11	送受信モードレジスタ 3 (BBTXRXMODE3) .....	407
25.2.12	受信レベルスレッシュホールド設定レジスタ (BBLVLVTH) .....	408
25.2.13	送受信制御レジスタ (BBTXRXCON) .....	409
25.2.14	CSMA 制御レジスタ 0 (BBCSMACON0) .....	410
25.2.15	CCA レベルスレッシュホールド設定レジスタ (BBCCAVTH) .....	411
25.2.16	送受信ステータスレジスタ 1 (BBTXRXST1) .....	412
25.2.17	RF 制御レジスタ (BBRFCON) .....	413
25.2.18	送受信モードレジスタ 4 (BBTXRXMODE4) .....	414
25.2.19	CSMA 制御レジスタ 1 (BBCSMACON1) .....	415
25.2.20	CSMA 制御レジスタ 2 (BBCSMACON2) .....	415
25.2.21	PAN 識別子レジスタ (BBPANID) .....	416
25.2.22	ショートアドレスレジスタ (BBSHORTAD) .....	416
25.2.23	拡張アドレスレジスタ (BBEXTENDAD0、BBEXTENDAD1、BBEXTENDAD2、BBEXTENDAD3) .....	417
25.2.24	タイマ読み出しレジスタ 0、1 (BBTIMEREAD0、BBTIMEREAD1) .....	418
25.2.25	タイマコンペア $i$ ( $i=0 \sim 2$ ) レジスタ (BBTCOMP $i$ REG0、BBTCOMP $i$ REG1) ( $i=0 \sim 2$ ) .....	419
25.2.26	タイムスタンプレジスタ 0、1 (BBTSTAMP0、BBTSTAMP1) .....	420
25.2.27	タイマ制御レジスタ (BBTIMECON) .....	421
25.2.28	バックオフピリオドレジスタ (BBBOFFPROD) .....	422
25.2.29	PLL 分周レジスタ 0、1 (BBPLLDIVL、BBPLLDIVH) .....	423
25.2.30	送信出力パワーレジスタ (BBTXOUTPWR) .....	424
25.2.31	RSSI オフセットレジスタ (BBRSSIOFS) .....	425
25.2.32	評価モード設定レジスタ (BBEVAREG) .....	426
25.2.33	IDLE ウェイト設定レジスタ (BBIDLEWAIT) .....	427
25.2.34	ANTSW 出力タイミング設定レジスタ (BBANTSWTIMG) .....	428
25.2.35	RF 初期設定レジスタ (BBRFINI) .....	429
25.2.36	ANTSW 制御レジスタ (BBANTSWCON) .....	430
25.2.37	自動 ACK 返信タイミング調整レジスタ (BBACKRTNTIMG) .....	430
25.3	制御シーケンス .....	431
25.3.1	RF 部およびベースバンド部立ち上げ手順例 .....	431
25.3.2	RF 部およびベースバンド部立ち下げ手順例 .....	431
25.3.3	送信手順例 .....	431
25.3.4	受信手順例 .....	432
25.3.5	CCA 手順例 .....	432
25.3.6	CSMA-CA 手順例 .....	432
25.4	ベースバンド機能使用上の注意 .....	435
25.4.1	特定の受信フレームの処理 .....	435

25.4.2	タイマトリガ CSMA-CA 付き送信の方法 .....	435
25.4.3	自動 CSMA-CA 機能を使用する場合の設定 .....	435
25.4.4	RF 通信停止ビットにより RF 通信を停止する場合の注意 .....	435
25.4.5	自動送受信動作例 .....	436
26.	フラッシュメモリ .....	437
26.1	概要 .....	437
26.2	メモリ配置 .....	438
26.3	フラッシュメモリ書き換え禁止機能 .....	440
26.3.1	ID コードチェック機能 .....	440
26.3.2	ROM コードプロテクト機能 .....	441
26.3.3	オプション機能選択レジスタ (OFS) .....	441
26.4	CPU 書き換えモード .....	442
26.4.1	フラッシュメモリステータスレジスタ (FST) .....	443
26.4.2	フラッシュメモリ制御レジスタ 0 (FMR0) .....	446
26.4.3	フラッシュメモリ制御レジスタ 1 (FMR1) .....	449
26.4.4	フラッシュメモリ制御レジスタ 2 (FMR2) .....	451
26.4.5	EW0 モード .....	453
26.4.6	EW1 モード .....	453
26.4.7	サスペンド動作 .....	454
26.4.8	各モードの設定と解除方法 .....	455
26.4.9	BGO(バックグラウンドオペレーション) 機能 .....	456
26.4.10	データ保護機能 .....	457
26.4.11	ソフトウェアコマンド .....	458
26.4.12	フルステータスチェック .....	469
26.5	標準シリアル入出力モード .....	471
26.5.1	ID コードチェック機能 .....	471
26.6	パラレル入出力モード .....	474
26.6.1	ROM コードプロテクト機能 .....	474
26.7	フラッシュメモリ使用上の注意 .....	475
26.7.1	CPU 書き換えモード .....	475
26.7.2	データフラッシュ .....	479
27.	消費電力の低減 .....	480
27.1	概要 .....	480
27.2	消費電力を小さくするためのポイントと処理方法 .....	480
27.2.1	電圧検出回路 .....	480
27.2.2	ポート .....	480
27.2.3	クロック .....	480
27.2.4	ウェイトモード、ストップモード .....	480
27.2.5	周辺機能クロックの停止 .....	480
27.2.6	タイマ .....	481
27.2.7	クロック同期形シリアルインタフェース .....	481
27.2.8	内部電源の消費電力低減 .....	481
27.2.9	フラッシュメモリの停止 .....	482
27.2.10	低消費電流リードモード .....	483

28.	電気的特性.....	484
29.	使用上の注意事項.....	504
29.1	クロック発生回路使用上の注意.....	504
29.1.1	ストップモード.....	504
29.1.2	ウェイトモード.....	505
29.1.3	VCA20 ビットによる内部電源低消費操作.....	505
29.1.4	発振停止検出機能.....	505
29.1.5	発振回路定数.....	505
29.2	割り込み使用上の注意.....	506
29.2.1	00000h 番地の読み出し.....	506
29.2.2	SP の設定.....	506
29.2.3	外部割り込み、キー入力割り込み.....	506
29.2.4	割り込み要因の変更.....	507
29.2.5	割り込み制御レジスタの変更.....	508
29.3	ID コード領域使用上の注意.....	509
29.3.1	ID コード領域の設定例.....	509
29.4	オプション機能選択領域使用上の注意.....	509
29.4.1	オプション機能選択領域の設定例.....	509
29.5	DTC 使用上の注意.....	510
29.5.1	DTC 起動要因.....	510
29.5.2	DTCENi (i=0 ~ 3、5、6) レジスタ.....	510
29.5.3	周辺モジュール.....	510
29.5.4	割り込み要求.....	510
29.5.5	DTC のチェイン転送.....	510
29.6	タイマ RA 使用上の注意.....	511
29.7	タイマ RB 使用上の注意.....	512
29.7.1	タイマモード.....	512
29.7.2	プログラマブル波形発生モード.....	512
29.7.3	プログラマブルワンショット発生モード.....	513
29.7.4	プログラマブルウェイトワンショット発生モード.....	513
29.8	タイマ RC 使用上の注意.....	514
29.8.1	TRC レジスタ.....	514
29.8.2	TRCSR レジスタ.....	514
29.8.3	カウントソース切り替え.....	514
29.8.4	インプットキャプチャ機能.....	514
29.8.5	PWM2 モード時の TRCMR レジスタ.....	514
29.9	タイマ RE 使用上の注意.....	515
29.9.1	カウント開始、停止.....	515
29.9.2	レジスタ設定.....	515
29.9.3	リアルタイムクロックモードの時刻読み出し手順.....	517
29.10	シリアルインタフェース (UART0) 使用上の注意.....	518
29.11	シンクロナスシリアルコミュニケーションユニット使用上の注意.....	519
29.12	I <sup>2</sup> C バスインタフェース使用上の注意.....	519
29.12.1	マスタ受信モード.....	519
29.12.2	ICCR1 レジスタの ICE ビットおよび ICCR2 レジスタの IICRST ビット.....	519
29.13	フラッシュメモリ使用上の注意.....	521
29.13.1	CPU 書き換えモード.....	521
29.13.2	データフラッシュ.....	525

29.14	ノイズに関する注意 .....	526
29.14.1	ノイズおよびラッチアップ対策として、 VCC-VSS ライン間へのバイパスコンデンサ挿入.....	526
29.14.2	ポート制御レジスタのノイズ誤動作対策 .....	526
29.15	電源電圧の変動に関する注意 .....	526
30.	オンチップデバッグの注意事項 .....	527
31.	開発ツール使用時の注意事項 .....	528
31.1	M16C シリーズ、R8C ファミリー用 C/C++ コンパイラパッケージ (M3T-NC30WA) .....	528
31.2	オンチップデバッグエミュレータ E8a.....	529
31.2.1	ファームウェアの配置 .....	529
31.2.2	ユーザプログラムのダウンロード .....	530
31.3	オンチップデバッグエミュレータ E1/E20.....	531
31.3.1	デバッグモニタの配置 .....	531
31.3.2	ユーザプログラムのダウンロード .....	531
付録 1.	外形寸法図.....	532
付録 2.	シリアルライタとオンチップデバッグエミュレータとの接続例.....	533
付録 3.	発振評価回路例 .....	535
付録 4.	周辺回路例.....	536
付録 5.	基板設計上の注意点 .....	537
付録 6.	無線設備系統図 .....	538
索引	.....	539

# 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	28
0005h	プロセッサモードレジスタ1	PM1	156
0006h	システムクロック制御レジスタ0	CM0	89
0007h	システムクロック制御レジスタ1	CM1	90
0008h	モジュールスタンバイ制御レジスタ	MSTCR	227、315、346
0009h	システムクロック制御レジスタ3	CM3	91
000Ah	プロテクトレジスタ	PRCR	114
000Bh	リセット要因判別レジスタ	RSTFR	28
000Ch	発振停止検出レジスタ	OC	92
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	156
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	156
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	157
0010h			
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	157
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	93
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h	電圧監視回路制御レジスタ	CMPA	40
0031h	電圧監視回路エッジ選択レジスタ	VCAC	40
0032h			
0033h			
0034h	電圧検出レジスタ2	VCA2	41、93
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	42
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	43
0039h	電圧監視1回路制御レジスタ	VW1C	44
003Ah	WDT検出フラグ	VW2C	45
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	122
0042h	BBタイマコンペア2割り込み制御レジスタ	BBTIM2IC	121
0043h			
0044h			
0045h			
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	122
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	121
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	121
004Eh			
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ	SSUIC/IICIC	122
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	121
0052h	UART0受信割り込み制御レジスタ	S0RIC	121
0053h			
0054h	バンク0受信完了/IDEL割り込み制御レジスタ	BBRX0IC/BBIDELIC	121
0055h			
0056h	タイマRA割り込み制御レジスタ	TRAIC	121
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	121
0059h	INT1割り込み制御レジスタ	INT1IC	123
005Ah	INT3割り込み制御レジスタ	INT3IC	123
005Bh			
005Ch	BBタイマコンペア1割り込み制御レジスタ	BBTIM1IC	121
005Dh	INT0割り込み制御レジスタ	INT0IC	123
005Eh	CCA完了割り込み制御レジスタ	BBCCAIC	121
005Fh	BBタイマコンペア0割り込み制御レジスタ	BBTIM0IC	121
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch	アドレスフィルタ割り込み制御レジスタ	BBADFC	121
006Dh	送信オーバーラン割り込み制御レジスタ	BBTXORIC	121
006Eh	送信完了割り込み制御レジスタ	BBTXIC	121
006Fh	受信オーバーラン1割り込み制御レジスタ	BBRXOR1IC	121
0070h	PLLロック検出割り込み制御レジスタ	BBPLLIC	121
0071h	受信オーバーラン0/キャリブレーション完了割り込み制御レジスタ	BBRXOR0IC/BBCALIC	121
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	121
0073h	バンク1受信完了/クロックレギュレータ割り込み制御レジスタ	BBRX1IC/BBCREGIC	121
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載 ページ
0080h	DTC起動制御レジスタ	DTCTL	168
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	167
0089h	DTC起動許可レジスタ1	DTCEN1	167
008Ah	DTC起動許可レジスタ2	DTCEN2	167
008Bh	DTC起動許可レジスタ3	DTCEN3	167
008Ch			
008Dh	DTC起動許可レジスタ5	DTCEN5	167
008Eh	DTC起動許可レジスタ6	DTCEN6	167
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	294
00A1h	UART0ビットレートレジスタ	U0BRG	294
00A2h	UART0送信バッファレジスタ	U0TB	295
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	296
00A5h	UART0送受信制御レジスタ1	U0C1	296
00A6h	UART0受信バッファレジスタ	U0RB	297
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

番地	レジスタ	シンボル	掲載 ページ
00C0h			
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h			
00D5h			
00D6h			
00D7h			
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	62
00E1h	ポートP1レジスタ	P1	62
00E2h	ポートP0方向レジスタ	PD0	61
00E3h	ポートP1方向レジスタ	PD1	61
00E4h			
00E5h	ポートP3レジスタ	P3	62
00E6h			
00E7h	ポートP3方向レジスタ	PD3	61
00E8h	ポートP4レジスタ	P4	62
00E9h			
00EAh	ポートP4方向レジスタ	PD4	61
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0100h	タイマRA制御レジスタ	TRACR	186
0101h	タイマRA I/O制御レジスタ	TRAIOC	186、189、 192、194、 196、199
0102h	タイマRAモードレジスタ	TRAMR	187
0103h	タイマRAプリスケアラレジスタ	TRAPRE	187
0104h	タイマRAレジスタ	TRA	188
0105h			
0106h			
0107h			
0108h	タイマRB制御レジスタ	TRBCR	203
0109h	タイマRBワンショット制御レジスタ	TRBOCR	204
010Ah	タイマRB I/O制御レジスタ	TRBIOC	204、209、 213、216、 220
010Bh	タイマRBモードレジスタ	TRBMR	205
010Ch	タイマRBプリスケアラレジスタ	TRBPRES	205
010Dh	タイマRBセカンダリレジスタ	TRBSC	206
010Eh	タイマRBプライマリレジスタ	TRBPR	206
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/ カウンタデータレジスタ	TRESEC	278、285
0119h	タイマRE分データレジスタ/ コンペアデータレジスタ	TREMIN	278、285
011Ah	タイマRE時データレジスタ	TREHR	279
011Bh	タイマRE曜日データレジスタ	TREWK	279
011Ch	タイマRE制御レジスタ1	TRECR1	280、286
011Dh	タイマRE制御レジスタ2	TRECR2	281、286
011Eh	タイマREカウントソース選択レジスタ	TRECSR	282、287
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	228
0121h	タイマRC制御レジスタ1	TRCCR1	229、252、 261、267
0122h	タイマRC割り込み許可レジスタ	TRCIER	229
0123h	タイマRCステータスレジスタ	TRCSR	230
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	231、247、 253
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	232、248、 254
0126h	タイマRCカウンタ	TRC	232
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	233
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	233
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	233
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	233
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0130h	タイマRC制御レジスタ2	TRCCR2	233、255、 262、268
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	234、269
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	235
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			

0180h	タイマRA端子選択レジスタ	TRASR	63、188
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	64、207、 236
0182h	タイマRC端子選択レジスタ0	TRCPSR0	65、237
0183h	タイマRC端子選択レジスタ1	TRCPSR1	66、238
0184h			
0185h			
0186h			
0187h			
0188h	UART0端子選択レジスタ	U0SR	67、298
0189h			
018Ah			
018Bh			
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	67、315、 346
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	68、131
018Fh	入出力機能端子選択レジスタ	PINSR	69、94、 347
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	316
0194h	SS送信データレジスタL/ IICバス送信データレジスタ	SSTDR/ICDRT	316、348
0195h	SS送信データレジスタH	SSTDRH	
0196h	SS受信データレジスタL/ IICバス受信データレジスタ	SSRRD/ICDRR	317、348
0197h	SS受信データレジスタH	SSRRDH	
0198h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH/ICCR1	317、349
0199h	SS制御レジスタL/IICバス制御レジスタ2	SSCRL/ICCR2	318、350
019Ah	SSモードレジスタ/ IICバスモードレジスタ	SSMR/ICMR	319、351
019Bh	SS許可レジスタ/ IICバス割り込み許可レジスタ	SSER/ICIER	320、352
019Ch	SSステータスレジスタ/ IICバスステータスレジスタ	SSSR/ICSR	321、353
019Dh	SSモードレジスタ2/ スレーブアドレスレジスタ	SSMR2/SAR	322、354
019Eh			
019Fh			

番地	レジスタ	シンボル	掲載ページ
01A0h			
:			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	443
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	446
01B5h	フラッシュメモリ制御レジスタ1	FMR1	449
01B6h	フラッシュメモリ制御レジスタ2	FMR2	451
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	140
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	140
01C4h	アドレス一致割り込みレジスタ1	RMAD1	140
01C5h			
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	140
01C8h			
:			
01DFh			
01E0h	ブルアップ制御レジスタ0	PUR0	70
01E1h	ブルアップ制御レジスタ1	PUR1	70
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP1 駆動能力制御レジスタ	P1DRR	71
01F1h			
01F2h	駆動能力制御レジスタ0	DRR0	72
01F3h	駆動能力制御レジスタ1	DRR1	73
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	74
01F6h	入力しきい値制御レジスタ1	VLT1	74
01F7h			
01F8h			
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	132
01FBh			
01FCh	INT入力フィルタ選択レジスタ0	INTF	133
01FDh			
01FEh	キー入力許可レジスタ0	KIEN	137
01FFh	キー入力許可レジスタ1	KI1EN	138
0200h			
:			
D2FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2C00h	DTC転送ベクタ領域		
2C01h	DTC転送ベクタ領域		
2C02h	DTC転送ベクタ領域		
2C03h	DTC転送ベクタ領域		
2C04h	DTC転送ベクタ領域		
2C05h	DTC転送ベクタ領域		
2C06h	DTC転送ベクタ領域		
2C07h	DTC転送ベクタ領域		
2C08h	DTC転送ベクタ領域		
2C09h	DTC転送ベクタ領域		
2C0Ah	DTC転送ベクタ領域		
:	DTC転送ベクタ領域		
:	DTC転送ベクタ領域		
2C3Ah	DTC転送ベクタ領域		
2C3Bh	DTC転送ベクタ領域		
2C3Ch	DTC転送ベクタ領域		
2C3Dh	DTC転送ベクタ領域		
2C3Eh	DTC転送ベクタ領域		
2C3Fh	DTC転送ベクタ領域		
2C40h	DTCコントロールデータ0	DTCD0	
2C41h			
2C42h			
2C43h			
2C44h			
2C45h			
2C46h			
2C47h			
2C48h	DTCコントロールデータ1	DTCD1	
2C49h			
2C4Ah			
2C4Bh			
2C4Ch			
2C4Dh			
2C4Eh			
2C4Fh			
2C50h	DTCコントロールデータ2	DTCD2	
2C51h			
2C52h			
2C53h			
2C54h			
2C55h			
2C56h			
2C57h			
2C58h	DTCコントロールデータ3	DTCD3	
2C59h			
2C5Ah			
2C5Bh			
2C5Ch			
2C5Dh			
2C5Eh			
2C5Fh			
2C60h	DTCコントロールデータ4	DTCD4	
2C61h			
2C62h			
2C63h			
2C64h			
2C65h			
2C66h			
2C67h			
2C68h	DTCコントロールデータ5	DTCD5	
2C69h			
2C6Ah			
2C6Bh			
2C6Ch			
2C6Dh			
2C6Eh			
2C6Fh			

番地	レジスタ	シンボル	掲載ページ
2C70h	DTCコントロールデータ6	DTCD6	
2C71h			
2C72h			
2C73h			
2C74h			
2C75h			
2C76h			
2C77h			
2C78h	DTCコントロールデータ7	DTCD7	
2C79h			
2C7Ah			
2C7Bh			
2C7Ch			
2C7Dh			
2C7Eh			
2C7Fh			
2C80h	DTCコントロールデータ8	DTCD8	
2C81h			
2C82h			
2C83h			
2C84h			
2C85h			
2C86h			
2C87h			
2C88h	DTCコントロールデータ9	DTCD9	
2C89h			
2C8Ah			
2C8Bh			
2C8Ch			
2C8Dh			
2C8Eh			
2C8Fh			
2C90h	DTCコントロールデータ10	DTCD10	
2C91h			
2C92h			
2C93h			
2C94h			
2C95h			
2C96h			
2C97h			
2C98h	DTCコントロールデータ11	DTCD11	
2C99h			
2C9Ah			
2C9Bh			
2C9Ch			
2C9Dh			
2C9Eh			
2C9Fh			
2CA0h	DTCコントロールデータ12	DTCD12	
2CA1h			
2CA2h			
2CA3h			
2CA4h			
2CA5h			
2CA6h			
2CA7h			
2CA8h	DTCコントロールデータ13	DTCD13	
2CA9h			
2CAAh			
2CABh			
2CACH			
2CADh			
2CAEh			
2CAFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2CB0h	DTCコントロールデータ14	DTCD14	
2CB1h			
2CB2h			
2CB3h			
2CB4h			
2CB5h			
2CB6h			
2CB7h			
2CB8h	DTCコントロールデータ15	DTCD15	
2CB9h			
2CBAh			
2CBBh			
2CBCh			
2CBDh			
2CBEh			
2CBFh			
2CC0h	DTCコントロールデータ16	DTCD16	
2CC1h			
2CC2h			
2CC3h			
2CC4h			
2CC5h			
2CC6h			
2CC7h			
2CC8h	DTCコントロールデータ17	DTCD17	
2CC9h			
2CCAh			
2CCBh			
2CCCh			
2CCDh			
2CCFh			
2CCFh			
2CD0h	DTCコントロールデータ18	DTCD18	
2CD1h			
2CD2h			
2CD3h			
2CD4h			
2CD5h			
2CD6h			
2CD7h			
2CD8h	DTCコントロールデータ19	DTCD19	
2CD9h			
2CDAh			
2CDBh			
2CDC			
2CDCh			
2CDD			
2CDDh			
2CDEh	DTCコントロールデータ20	DTCD20	
2CDFh			
2CE0h			
2CE1h			
2CE2h			
2CE3h			
2CE4h			
2CE5h			
2CE6h	DTCコントロールデータ21	DTCD21	
2CE7h			
2CE8h			
2CE9h			
2CEAh			
2CEBh			
2CECh			
2CEDh			
2CEEh			
2CEFh			

番地	レジスタ	シンボル	掲載ページ
2CF0h	DTCコントロールデータ22	DTCD22	
2CF1h			
2CF2h			
2CF3h			
2CF4h			
2CF5h			
2CF6h			
2CF7h			
2CF8h	DTCコントロールデータ23	DTCD23	
2CF9h			
2CFAh			
2CFBh			
2CFCh			
2CFDh			
2CFEh			
2CFFh			
2D00h	ベースバンド制御レジスタ	BBCON	396
2D01h	送受信リセットレジスタ	BBTXRXRST	397
2D02h	送受信モードレジスタ0	BBTXRXMODE0	398
2D03h	送受信モードレジスタ1	BBTXRXMODE1	399
2D04h	送信フレームレングスレジスタ	BBRXFLEN	400
2D05h	受信データカウンタレジスタ	BBRXCOUNT	401
2D06h	RSSI/CCA結果レジスタ	BBRSSICCARSLT	402
2D07h	送受信ステータスレジスタ0	BBTXRXST0	403
2D08h	送信フレームレングスレジスタ	BBTXFLEN	405
2D09h	送受信モードレジスタ2	BBTXRXMODE2	406
2D0Ah	送受信モードレジスタ3	BBTXRXMODE3	407
2D0Bh	受信レベルスレッシュホールド設定レジスタ	BBLVLVTH	408
2D0Ch	送受信制御レジスタ	BBTXRXCON	409
2D0Dh	CSMA制御レジスタ0	BBCSMACON0	410
2D0Eh	CCAレベルスレッシュホールド設定レジスタ	BBCCAVTH	411
2D0Fh	送受信ステータスレジスタ1	BBTXRXST1	412
2D10h	RF制御レジスタ	BBRFCON	413
2D11h	送受信モードレジスタ4	BBTXRXMODE4	414
2D12h	CSMA制御レジスタ1	BBCSMACON1	415
2D13h	CSMA制御レジスタ2	BBCSMACON2	415
2D14h	PAN識別子レジスタ	BBPANID	416
2D15h			
2D16h	ショートアドレスレジスタ	BBSHORTAD	416
2D17h			
2D18h	拡張アドレスレジスタ	BBEXTENDAD0	417
2D19h			
2D1Ah		BBEXTENDAD1	417
2D1Bh			
2D1Ch		BBEXTENDAD2	417
2D1Dh			
2D1Eh		BBEXTENDAD3	417
2D1Fh			
2D20h	タイマ読み出しレジスタ0	BBTIMEREAD0	418
2D21h			
2D22h	タイマ読み出しレジスタ1	BBTIMEREAD1	418
2D23h			
2D24h	タイマコンペア0レジスタ0	BBCOMP0REG0	419
2D25h			
2D26h	タイマコンペア0レジスタ1	BBCOMP0REG1	419
2D27h			
2D28h	タイマコンペア1レジスタ0	BBCOMP1REG0	419
2D29h			
2D2Ah	タイマコンペア1レジスタ1	BBCOMP1REG1	419
2D2Bh			
2D2Ch	タイマコンペア2レジスタ0	BBCOMP2REG0	419
2D2Dh			
2D2Eh	タイマコンペア2レジスタ1	BBCOMP2REG1	419
2D2Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2D30h	タイマスタンプレジスタ0	BBTSTAMP0	420
2D31h			
2D32h	タイマスタンプレジスタ1	BBTSTAMP1	420
2D33h			
2D34h	タイマ制御レジスタ	BBTIMECON	421
2D35h	バックオフピリオドレジスタ	BBBOFFPROD	422
2D36h			
2D37h			
2D38h			
2D39h			
2D3Ah	PLL分周レジスタ0	BBPLLDIVL	423
2D3Bh	PLL分周レジスタ1	BBPLLDIVH	423
2D3Ch	送信出力パワーレジスタ	BBTXOUTPWR	424
2D3Dh	RSSIオフセットレジスタ	BBRSSIOFS	425
2D3Eh			
2D3Fh			
2D40h			

2D45h			
2D46h	自動ACK返信タイミング調整レジスタ	BBACKRTNTIMG	430
2D47h			

2D63h			
2D64h			
2D65h			
2D66h			
2D67h			
2D68h	評価モード設定レジスタ	BBEVAREG	426
2D69h			
2D6Ah			
2D6Bh			
2D6Ch			
2D6Dh			
2D6Eh			
2D6Fh			
2D70h			
2D71h			
2D72h			
2D73h			
2D74h			
2D75h			
2D76h	IDELウェイト設定レジスタ	BBIDELWAIT	427
2D77h			
2D78h			
2D79h			
2D7Ah	ANTSW出カタイミング設定レジスタ	BBANTSWTIMG	428
2D7Bh			
2D7Ch	RF初期設定レジスタ	BBRFINI	429
2D7Dh			
2D7Eh			
2D7Fh			
2D80h			
2D81h			
2D82h	ANTSW制御レジスタ	BBANTSWCON	430
2D83h			

2DFFh			
-------	--	--	--

番地	レジスタ	シンボル	掲載 ページ
2E00h	送信RAM	TRANSMIT_RAM_ START	
:	送信RAM		
2E7Eh	送信RAM	TRANSMIT_RAM_ END	
2E7Fh			
2E80h	受信RAM	RECIEVE_RAM_ START	
:	受信RAM		
2EFEh	受信RAM	RECIEVE_RAM_ END	
2EFFh			
2E00h			
:			
2FFFh			
:			
FFDBh	オプション機能選択レジスタ2	OFS2	30、152、 159
:			
FFFFh	オプション機能選択レジスタ	OFS	29、46、 151、158、 441

## 1. 概要

### 1.1 特長

R8C/3MQグループは、IEEE802.15.4規格に準拠した2.4GHz帯、低消費電力トランシーバと、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/3MQグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ (1KB × 4ブロック)を内蔵します。

#### 1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

## 1.1.2 仕様概要

表1.1 ~ 表1.2にR8C/3MQグループの仕様概要を示します。

表1.1 R8C/3MQグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> <li>基本命令数：89命令</li> <li>最小命令実行時間：62.5ns (f(BCLK)=16MHz、VCC=2.7 ~ 3.6V) 125ns (f(BCLK)=8MHz、VCC=2.15 ~ 3.6V) 250ns (f(BCLK)=4MHz、VCC=1.8 ~ 3.6V)</li> <li>乗算器：16ビット×16ビット 32ビット</li> <li>積和演算命令：16ビット×16ビット+32ビット 32ビット</li> <li>動作モード：シングルチップモード(アドレス空間：1Mバイト)</li> </ul>
メモリ	ROM、RAM、データフラッシュ	「表1.3 R8C/3MQグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> <li>パワーオンリセット</li> <li>電圧検出2点(検出レベル選択可能)</li> </ul>
I/Oポート	プログラマブル入出力ポート	CMOS入出力:18 (XCIN, XCOUT含む)、プルアップ抵抗選択可能(一部)
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>3回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 低速オンチップオシレータ</li> <li>発振停止検出：XINクロック発振停止検出機能</li> <li>周波数分周回路：1、2、4、8、16分周選択</li> <li>低消費電力機構：標準動作モード(高速クロック、低速クロック、低速オンチップオシレータ)、ウェイトモード、ストップモード</li> </ul>
割り込み		リアルタイムクロック(タイマRE)あり <ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：11 (INT×3、キー入力×8)</li> <li>割り込み優先レベル：7レベル</li> </ul>
ウォッチドッグタイマ		<ul style="list-style-type: none"> <li>14ビット×1(プリスケアラ付)</li> <li>リセットスタート機能選択可能</li> <li>ウォッチドッグタイマ用低速オンチップオシレータ選択可能</li> </ul>
DTC(データトランスファコントローラ)		<ul style="list-style-type: none"> <li>1チャンネル</li> <li>起動要因：17</li> <li>転送モード：2(ノーマルモード、リピートモード)</li> </ul>
タイマ	タイマRA	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット(キャプチャ/コンペアレジスタ4本付)×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード
シリアルインタフェース(UART0)		クロック同期形シリアルI/O / 非同期形シリアルI/O兼用
シンクロナスシリアルコミュニケーションユニット(SSU)		1 (I <sup>2</sup> Cバスと兼用)

表1.2 R8C/3MQグループの仕様概要(2)

分類	機能	説明
I <sup>2</sup> Cバス		1 (SSUと兼用)
RF	RF周波数	2405MHz ~ 2480MHz
	受信感度	-95dBm
	送信出力レベル	0dBm
ベースバンド		<ul style="list-style-type: none"> <li>・ 127バイト送信RAM、127バイト受信RAM × 2</li> <li>・ 自動ACK返信機能</li> <li>・ 26ビットタイマ：コンペア機能3チャンネル</li> </ul>
暗号	AES	AES暗号処理(鍵長128ビット)
フラッシュメモリ		<ul style="list-style-type: none"> <li>・ プログラム、イレーズ電圧：1.8 ~ 3.6V (CPU書き換えモード時)</li> <li>・ プログラム、イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM)</li> <li>・ プログラムセキュリティ：ROMコードプロテクト、IDコードチェック</li> <li>・ デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能</li> <li>・ BGO (バックグラウンドオペレーション)機能</li> </ul>
動作周波数/電源電圧 (シングルチップ モード時)		f(BCLK)=16MHz(VCC=2.7 ~ 3.6V) f(BCLK) = 8MHz(VCC = 2.15 ~ 3.6V) f(BCLK)=4MHz(VCC=1.8 ~ 3.6V) 注) f(XIN)=16MHz 固定
消費電流(注1)		RF=Tx : 18mA RF=Rx(受信中) : 25mA RF=Rx(受信待ち) : 24mA RF=Rx(受信待ち)/ウェイトモード : 23mA RF=idle : 4mA RF=off : 2.5mA 以上、f(XIN) = 16MHz、f(BCLK) = 4MHz、VCC=VCCRF=1.8 ~ 3.6V時
		RF=Tx : 19mA RF=Rx(受信中) : 26mA RF=Rx(受信待ち) : 25mA RF=Rx(受信待ち)/ウェイトモード : 23mA RF=idle : 5mA RF=off : 3.5mA 以上、f(XIN) = 16MHz、f(BCLK) = 8MHz、VCC=VCCRF=2.15 ~ 3.6V時
		RF=Tx : 21.5mA RF=Rx(受信中) : 28.5mA RF=Rx(受信待ち) : 27.5mA RF=Rx(受信待ち)/ウェイトモード : 23mA RF=idle : 7.5mA RF=off : 6mA 以上、f(XIN) = 16MHz、f(BCLK) = 16MHz、VCC=VCCRF=2.7 ~ 3.6V時
		低速オンチップオシレータモード(f(BCLK)=15.6kHz) : 80μA 低速クロックモード(f(BCLK)=32kHz、フラッシュメモリ低消費電力リードモード) : 95μA 低速クロックモード(f(BCLK)=32kHz、フラッシュメモリ停止/RAM上のプログラム動作) : 45μA ウェイトモード(システムクロック=XCIN(32kHz)、周辺機能クロック動作) : 6μA ウェイトモード(システムクロック=XCIN(32kHz)、周辺機能クロック停止) : 4.5μA ウェイトモード(システムクロック=fOCO-S(125kHz)、周辺機能クロック動作) : 13μA ウェイトモード(システムクロック=fOCO-S(125kHz)、周辺機能クロック停止) : 7.5μA ストップモード(全クロック停止) : 2μA VCC=VCCRF=1.8 ~ 3.6V、RF=off時
動作周囲温度		-20 ~ 85 (Nバージョン)
パッケージ		40ピンHWQFN パッケージコード：PWQN0040KB-A(旧コード：40PJS-A)

注1. . 測定条件は「28.電気的特性」を参照してください。

1.2 製品一覧

表1.3にR8C/3MQグループの製品一覧表を、図1.1にR8C/3MQグループの型名とメモリサイズ・パッケージを示します。

表1.3 R8C/3MQグループの製品一覧表

2012年6月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F213M6QNNP	32Kバイト	1Kバイト×4	2.5Kバイト	PWQN0040KB-A	Nバージョン
R5F213M7QNNP	48Kバイト	1Kバイト×4	4Kバイト		
R5F213M8QNNP	64Kバイト	1Kバイト×4	6Kバイト		
R5F213MAQNNP	96Kバイト	1Kバイト×4	7Kバイト		
R5F213MCQNNP	112Kバイト	1Kバイト×4	7.5Kバイト		

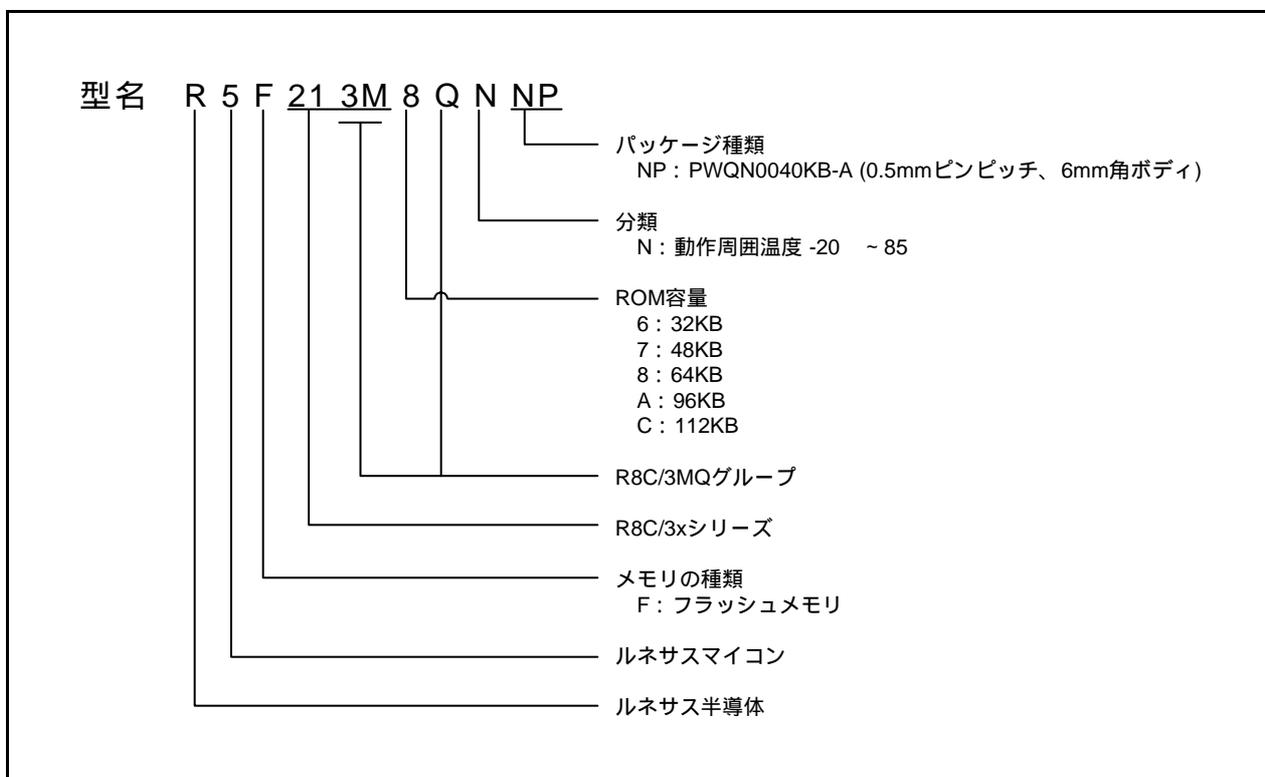


図1.1 R8C/3MQグループの型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図1.2にブロック図を示します。

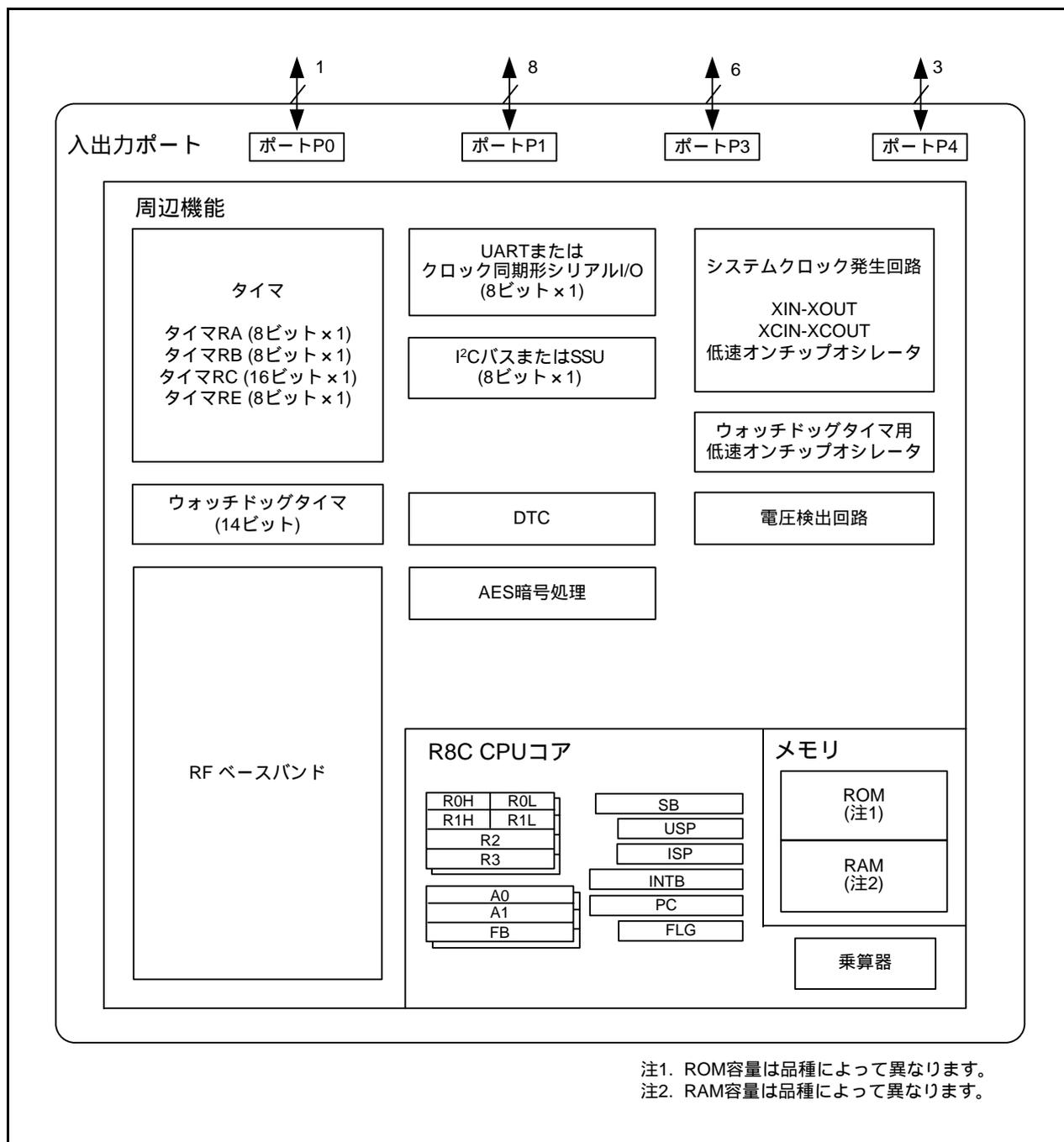


図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.4にピン番号別端子名一覧を示します。

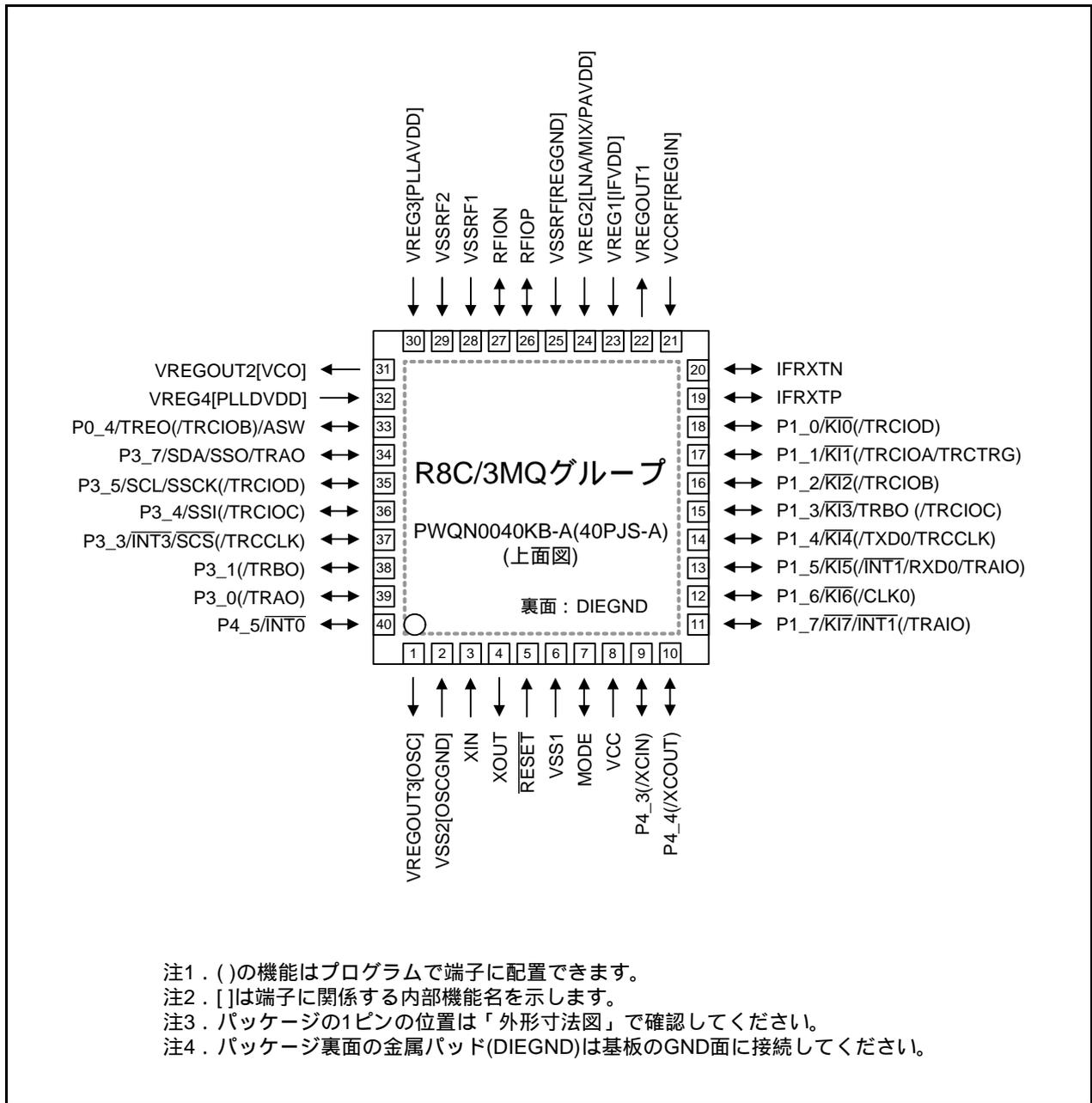


図1.3 ピン配置図(上面図)

表1.4 ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタフェース	SSU	I <sup>2</sup> Cバス	RF端子 その他
1	VREGOUT3							
2	VSS2							
3	XIN							
4	XOUT							
5	RESET							
6	VSS1							
7	MODE							
8	VCC							
9	(XCIN)	P4_3						
10	(XCOUT)	P4_4						
11		P1_7	$\overline{\text{KI7/INT1}}$	(TRAIO)				
12		P1_6	$\overline{\text{KI6}}$		(CLK0)			
13		P1_5	$\overline{\text{KI5/INT1}}$	(TRAIO)	(RXD0)			
14		P1_4	$\overline{\text{KI4}}$	(TRCCLK)	(TXD0)			
15		P1_3	$\overline{\text{KI3}}$	TRBO(/TRCIOA)				
16		P1_2	$\overline{\text{KI2}}$	(TRCIOB)				
17		P1_1	$\overline{\text{KI1}}$	(TRCIOA/TRCTR)				
18		P1_0	$\overline{\text{KI0}}$	(TRCIOD)				
19								IFRXTP
20								IFRXTN
21	VCCRF							
22	VREGOUT1							
23	VREG1							
24	VREG2							
25	VSSRF							
26								RFIOP
27								RFION
28	VSSRF1							
29	VSSRF2							
30	VREG3							
31	VREGOUT2							
32	VREG4							
33		P0_4		TREO(/TRCIOB)				ASW
34		P3_7		TRAO		SSO	SDA	
35		P3_5		(TRCIOD)		SSCK	SCL	
36		P3_4		(TRCIOA)		SSI		
37		P3_3	$\overline{\text{INT3}}$	(TRCCLK)		$\overline{\text{SCS}}$		
38		P3_1		(TRBO)				
39		P3_0		(TRAO)				
40		P4_5	$\overline{\text{INT0}}$					
裏面	DIEGND							

注1. ( )の機能はプログラムで端子に配置できます。

## 1.5 端子機能の説明

表1.5～表1.6に端子機能の説明を示します。

表1.5 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS1	—	VCCには1.8V～3.6Vを入力してください。 VSS1には、0Vを入力してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間には水晶発振子を接続してください。
XINクロック出力	XOUT	入出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください。
XCINクロック出力	XCOUT	出力	
INT割り込み入力	INT0、INT1、INT3	入力	INT割り込み入力です。 INT0はタイマRB、RCの入力です。
キー入力割り込み入力	KI0～KI7	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRA0	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCLK	入力	外部クロックの入力です。
	TRCTR	入力	外部トリガの入力です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRE	TREO	出力	分周クロック出力です。
シリアルインタフェース	CLK0	入出力	転送クロック入出力です。
	RXD0	入力	シリアルデータ入力です。
	TXD0	出力	シリアルデータ出力です。
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
I <sup>2</sup> Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
入出力ポート	P0_4、 P1_0～P1_7、 P3_0～P3_1、 P3_3～P3_5、P3_7、 P4_3～P4_5	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。

表1.6 端子機能の説明(2)

分類	端子名	入出力	機能
アナログ電源入力	VCCRF、VSSRF、 VSSRF1、VSSRF2、 VSS2、DIEGND	—	VCCRFには、1.8V～3.6VのVCCと同じ電圧を入力してください。VSSRF、VSSRF1、VSSRF2、VSS2、DIEGNDには、0Vを入力してください。
	VREG1	—	1.5V系IF用VDDです。VREGOUT1に接続してください。
	VREG2	—	1.5V系LNA/MIX/PA用VDDです。VREGOUT1に接続してください。
	VREG3	—	1.5V系PLL用ANALOG VDDです。VREGOUT1に接続してください。
	VREG4	—	1.5V系PLL用DIGITAL VDDです。VREGOUT1に接続してください。
レギュレータ出力	VREGOUT1	—	アナログ回路用内蔵レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続してください。VREG1、VREG2、VREG3、VREG4の電源としてのみ使用してください。
	VREGOUT2	—	VCO用レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続してください。他の回路の電源として使用しないでください。
	VREGOUT3	—	XIN発振回路用レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続してください。他の回路の電源として使用しないでください。
RF入出力	RFIOP、RFION	入出力	RF入出力です。
テストピン	IFRXTN、IFRXTP	入出力	アナログテスト用ピンです。開放または0Vを入力してください。
外付けアンテナ スイッチ制御出力	ASW	出力	外付けアンテナスイッチ制御信号出力です。アンテナスイッチ制御が必要ない場合は解放にしてください。

## 2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

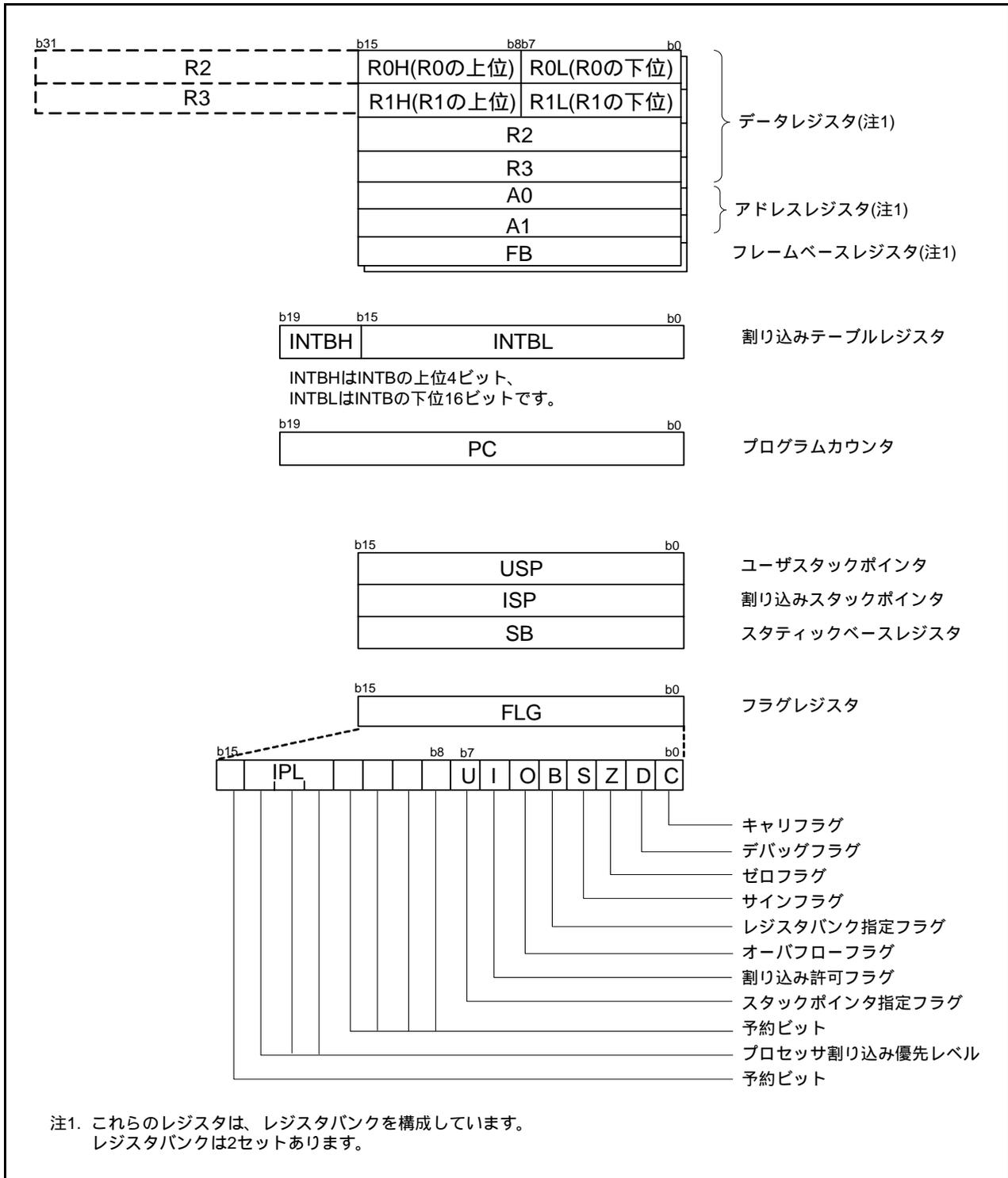


図2.1 CPUのレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

### 3. メモリ

#### 3.1 R8C/3MQグループ

図3.1にR8C/3MQグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。ただし、内部ROM(プログラムROM)の容量が64Kバイト以上の製品では、0FFFFh番地から上位方向にも配置されます。例えば、32Kバイトの内部ROMは、08000h番地から0FFFFh番地に、96Kバイト内部のROMは04000h番地から1BFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

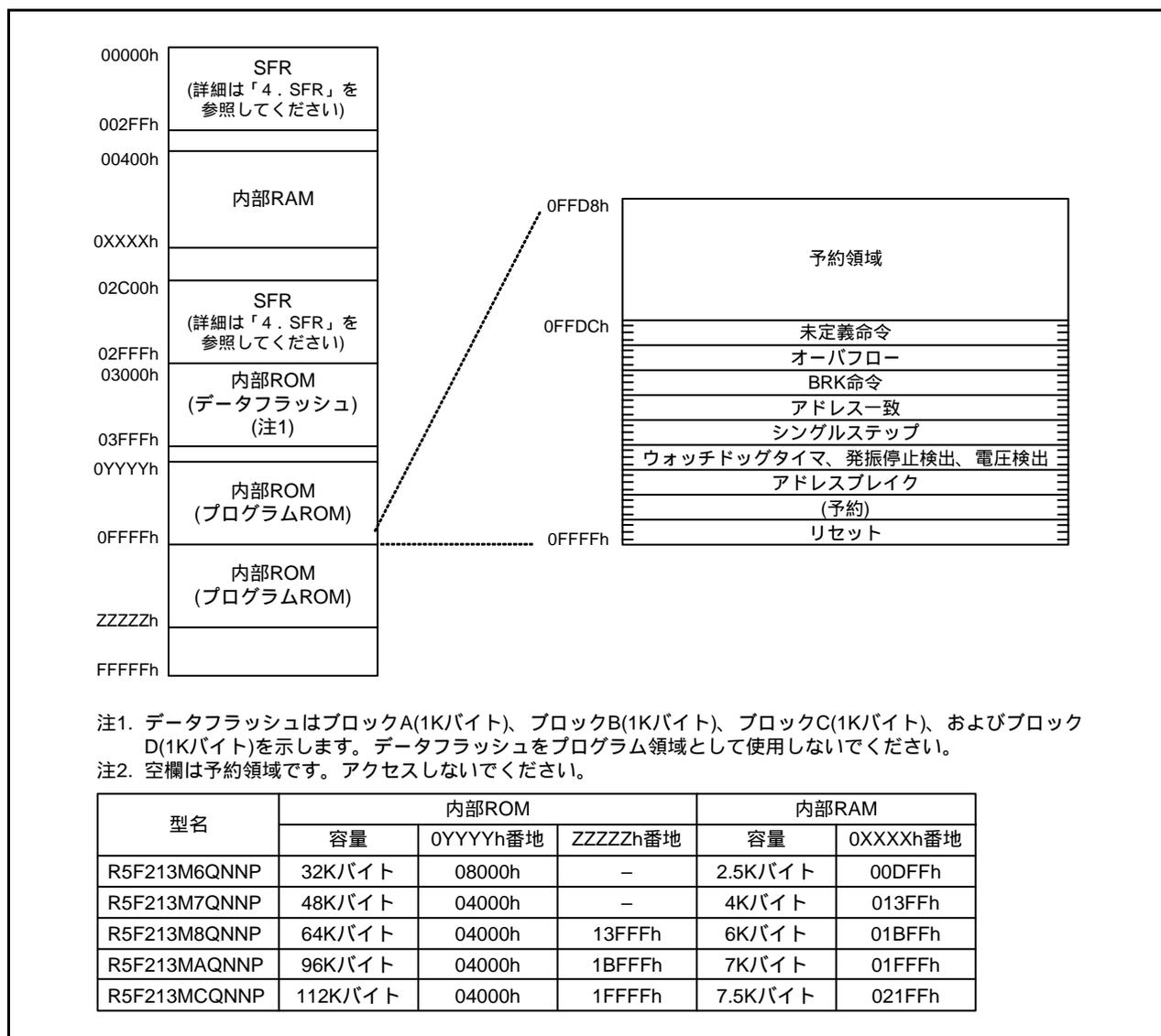


図3.1 R8C/3MQグループのメモリ配置図

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.11にSFR一覧表を、表4.12にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1) (0000～002Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00101000b
0007h	システムクロック制御レジスタ1	CM1	00101000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	0XXXXXXb (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

X：不定です。

表4.2 SFR一覧(2) (0030h ~ 006Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h			
0034h	電圧検出レジスタ2	VCA2	00h (注3) 00100000b (注4)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注3) 1100X011b (注4)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b
003Ah	WDT検出フラグ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h	BBタイマコンペア2割り込み制御レジスタ	BBTIM2IC	XX00X000b
0043h			
0044h			
0045h			
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh			
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h	バンク0受信完了/IDEL割り込み制御レジスタ (注5)	BBRX0IC/BBIDELIC	XXXXX000b
0055h			
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch	BBタイマコンペア1割り込み制御レジスタ	BBTIM1IC	XX00X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	CCA完了割り込み制御レジスタ	BBCCAIC	XXXXX000b
005Fh	BBタイマコンペア0割り込み制御レジスタ	BBTIM0IC	XXXXX000b
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch	アドレスフィルタ割り込み制御レジスタ	BBADFC	XXXXX000b
006Dh	送信オーバーラン割り込み制御レジスタ	BBTXORIC	XXXXX000b
006Eh	送信完了割り込み制御レジスタ	BBTXIC	XX00X000b
006Fh	受信オーバーラン1割り込み制御レジスタ	BBRXOR1IC	XXXXX000b

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUIICSRレジスタのIICSELビットで選択できます。

注3. OFSレジスタのLVDASビットが“1”の場合。

注4. OFSレジスタのLVDASビットが“0”の場合。

注5. BBTXRXMODE4レジスタのBANKINTSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3) (0070h ~ 00AFh) (注1)

番地	レジスタ	シンボル	リセット後の値
0070h	PLLロック検出割り込み制御レジスタ	BBPLLIC	XXXXX000b
0071h	受信オーバーラン0/キャリブレーション完了割り込み制御レジスタ (注3)	BBRXOR0IC/BBCALIC	XXXXX000b
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	バンク1受信完了/クロックレギュレータ割り込み制御レジスタ (注2)	BBRX1IC/BBCREGIC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h	DTC起動制御レジスタ	DTCCTL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	00h
0089h	DTC起動許可レジスタ1	DTCEN1	00h
008Ah	DTC起動許可レジスタ2	DTCEN2	00h
008Bh	DTC起動許可レジスタ3	DTCEN3	00h
008Ch			
008Dh	DTC起動許可レジスタ5	DTCEN5	00h
008Eh	DTC起動許可レジスタ6	DTCEN6	00h
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. BBTXRXMODE4レジスタのBANK1INTSELビットで選択できます。

注3. BBTXRXMODE4レジスタのROR0INTSELビットで選択できます。

X: 不定です。

表4.4 SFR一覧(4) (00B0h ~ 011Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
00B0h			
：			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h			
00E5h	ポートP3レジスタ	P3	XXh
00E6h			
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h			
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h			
0106h			
0107h			
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPRES	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	00h
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	00h
011Ah	タイマRE時データレジスタ	TREHR	00h
011Bh	タイマRE曜日データレジスタ	TREWK	00h
011Ch	タイマRE制御レジスタ1	TRECR1	00h
011Dh	タイマRE制御レジスタ2	TRECR2	00h
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5) (0120h ~ 019Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h	タイマRCカウンタ	TRC	00h
0127h			00h
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh
0129h			FFh
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh
012Bh			FFh
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh
012Dh			FFh
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh
012Fh			FFh
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
⋮			
0180h	タイマRA端子選択レジスタ	TRASR	00h
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	00h
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h			
0185h			
0186h			
0187h			
0188h	UART0端子選択レジスタ	UOSR	00h
0189h			
018Ah			
018Bh			
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	00h
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ	(注2) SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH	(注2) SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ	(注2) SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH	(注2) SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1	(注2) SSCRH/ICCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2	(注2) SSCRL/ICCR2	01111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ	(注2) SSMR/ICMR	00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ	(注2) SSER/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ	(注2) SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ	(注2) SSMR2/SAR	00h
019Eh			
019Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.6 SFR一覧(6) (01A0h ~ 02FFh) (注1)

番地	レジスタ	シンボル	リセット後の値
01A0h			
⋮			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh XXh
01C1h			0000XXXXb
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ1	RMAD1	XXh XXh
01C5h			0000XXXXb
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	00h
01C8h			
⋮			
01DFh			
01E0h	ブルアップ制御レジスタ0	PUR0	00h
01E1h	ブルアップ制御レジスタ1	PUR1	00h
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP1駆動能力制御レジスタ	P1DRR	00h
01F1h			
01F2h	駆動能力制御レジスタ0	DRR0	00h
01F3h	駆動能力制御レジスタ1	DRR1	00h
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	00h
01F6h	入力しきい値制御レジスタ1	VLT1	00h
01F7h			
01F8h			
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	00h
01FBh			
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h
01FDh			
01FEh	キー入力許可レジスタ0	KIEN	00h
01FFh	キー入力許可レジスタ1	KI1EN	00h
0200h			
⋮			
02FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7) (2C00h ~ 2C6Fh) (注1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC転送ベクタ領域		XXh
2C01h	DTC転送ベクタ領域		XXh
2C02h	DTC転送ベクタ領域		XXh
2C03h	DTC転送ベクタ領域		XXh
2C04h	DTC転送ベクタ領域		XXh
2C05h	DTC転送ベクタ領域		XXh
2C06h	DTC転送ベクタ領域		XXh
2C07h	DTC転送ベクタ領域		XXh
2C08h	DTC転送ベクタ領域		XXh
2C09h	DTC転送ベクタ領域		XXh
2C0Ah	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
2C3Ah	DTC転送ベクタ領域		XXh
2C3Bh	DTC転送ベクタ領域		XXh
2C3Ch	DTC転送ベクタ領域		XXh
2C3Dh	DTC転送ベクタ領域		XXh
2C3Eh	DTC転送ベクタ領域		XXh
2C3Fh	DTC転送ベクタ領域		XXh
2C40h	DTCコントロールデータ0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTCコントロールデータ1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh
2C50h	DTCコントロールデータ2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTCコントロールデータ3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTCコントロールデータ4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTCコントロールデータ5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.8 SFR一覧(8) (2C70h ~ 2CAfh) (注1)

番地	レジスタ	シンボル	リセット後の値
2C70h	DTCコントロールデータ6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTCコントロールデータ7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTCコントロールデータ8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTCコントロールデータ9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTCコントロールデータ10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh
2C98h	DTCコントロールデータ11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTCコントロールデータ12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTCコントロールデータ13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACH			XXh
2CADh			XXh
2CAEh			XXh
2CAfh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不足です。

表4.9 SFR一覧(9) (2CB0h ~ 2CEFh) (注1)

番地	レジスタ	シンボル	リセット後の値
2CB0h	DTCコントロールデータ14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTCコントロールデータ15	DTCD15	XXh
2CB9h			XXh
2CBAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTCコントロールデータ16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTCコントロールデータ17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTCコントロールデータ18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTCコントロールデータ19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh
2CE0h	DTCコントロールデータ20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTCコントロールデータ21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不足です。

表4.10 SFR一覧(10) (2CF0h ~ 2D2Fh) (注1)

番地	レジスタ	シンボル	リセット後の値		
2CF0h	DTCコントロールデータ22	DTCD22	XXh		
2CF1h			XXh		
2CF2h			XXh		
2CF3h			XXh		
2CF4h			XXh		
2CF5h			XXh		
2CF6h			XXh		
2CF7h			XXh		
2CF8h	DTCコントロールデータ23	DTCD23	XXh		
2CF9h			XXh		
2CFAh			XXh		
2CFBh			XXh		
2CFCh			XXh		
2CFDh			XXh		
2CFEh			XXh		
2CFFh			XXh		
2D00h			ベースバンド制御レジスタ	BBCON	00h
2D01h			送受信リセットレジスタ	BBTXRXRST	00h
2D02h	送受信モードレジスタ0	BBTXRXMODE0	00h		
2D03h	送受信モードレジスタ1	BBTXRXMODE1	00h		
2D04h	受信フレームレングスレジスタ	BBRXFLEN	00h		
2D05h	受信データカウンタレジスタ	BBRXCOUNT	00h		
2D06h	RSSI/CCA結果レジスタ	BBRSSICCARSLT	00h		
2D07h	送受信ステータスレジスタ0	BBTXRXST0	80h		
2D08h	送信フレームレングスレジスタ	BBTXFLEN	00h		
2D09h	送受信モードレジスタ2	BBTXRXMODE2	30h		
2D0Ah	送受信モードレジスタ3	BBTXRXMODE3	00h		
2D0Bh	受信レベルスレッシュヨルド設定レジスタ	BBLVLVTH	80h		
2D0Ch	送受信制御レジスタ	BBTXRXCON	00h		
2D0Dh	CSMA制御レジスタ0	BBCSMACON0	00h		
2D0Eh	CCAレベルスレッシュヨルド設定レジスタ	BBCCAVTH	80h		
2D0Fh	送受信ステータスレジスタ1	BBTXRXST1	00h		
2D10h	RF制御レジスタ	BBRFCON	00h		
2D11h	送受信モードレジスタ4	BBTXRXMODE4	00h		
2D12h	CSMA制御レジスタ1	BBCSMACON1	9Ch		
2D13h	CSMA制御レジスタ2	BBCSMACON2	05h		
2D14h	PAN識別子レジスタ	BBPANID	00h		
2D15h			00h		
2D16h	ショートアドレスレジスタ	BBSHORTAD	00h		
2D17h			00h		
2D18h	拡張アドレスレジスタ	BBEXTENDAD0	00h		
2D19h			00h		
2D1Ah		BBEXTENDAD1	00h		
2D1Bh			00h		
2D1Ch		BBEXTENDAD2	00h		
2D1Dh			00h		
2D1Eh		BBEXTENDAD3	00h		
2D1Fh			00h		
2D20h	タイマ読み出しレジスタ0	BBTIMEREAD0	00h		
2D21h			00h		
2D22h	タイマ読み出しレジスタ1	BBTIMEREAD1	00h		
2D23h			00h		
2D24h	タイマコンペア0レジスタ0	BBCOMP0REG0	00h		
2D25h			00h		
2D26h	タイマコンペア0レジスタ1	BBCOMP0REG1	00h		
2D27h			00h		
2D28h	タイマコンペア1レジスタ0	BBCOMP1REG0	00h		
2D29h			00h		
2D2Ah	タイマコンペア1レジスタ1	BBCOMP1REG1	00h		
2D2Bh			00h		
2D2Ch	タイマコンペア2レジスタ0	BBCOMP2REG0	00h		
2D2Dh			00h		
2D2Eh	タイマコンペア2レジスタ1	BBCOMP2REG1	00h		
2D2Fh			00h		

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.11 SFR一覧(11) (2D30h ~ 2FFFh) (注1)

番地	レジスタ	シンボル	リセット後の値
2D30h	タイムスタンプレジスタ0	BBTSTAMP0	00h
2D31h			00h
2D32h	タイムスタンプレジスタ1	BBTSTAMP1	00h
2D33h			00h
2D34h	タイマ制御レジスタ	BBTIMECON	00h
2D35h	バックオフピリオドレジスタ	BBBOFFPROD	00h
2D36h			
2D37h			
2D38h			
2D39h			
2D3Ah	PLL分周レジスタ0	BBPLLDIVL	65h
2D3Bh	PLL分周レジスタ1	BBPLLDIVH	09h
2D3Ch	送信出力パワーレジスタ	BBTXOUTPWR	00h
2D3Dh	RSSIオフセットレジスタ	BBRSSIOFS	F6h
2D3Eh			
2D3Fh			
2D40h			
:			
2D45h			
2D46h	自動ACK返信タイミング調整レジスタ	BBACKRTNTIMG	22h
2D47h			
:			
2D63h			
2D64h			
2D65h			
2D66h			
2D67h			
2D68h	評価モード設定レジスタ	BBEVAREG	00h
2D69h			
2D6Ah			
2D6Bh			
2D6Ch			
2D6Dh			
2D6Eh			
2D6Fh			
2D70h			
2D71h			
2D72h			
2D73h			
2D74h			
2D75h			
2D76h	IDELウェイト設定レジスタ	BBIDELWAIT	01h
2D77h			
2D78h			
2D79h			
2D7Ah	ANTSW出力タイミング設定レジスタ	BBANTSWTIMG	72h
2D7Bh			
2D7Ch	RF初期設定レジスタ	BBRFINI	XXh
2D7Dh			XXh
2D7Eh			
2D7Fh			
2D80h			
2D81h			
2D82h	ANTSW制御レジスタ	BBANTSWCON	00h
2D83h			
:			
2DFFh			
2E00h	送信RAM	TRANSMIT_RAM_START	
:	送信RAM		
2E7Eh	送信RAM	TRANSMIT_RAM_END	
2E7Fh			
2E80h	受信RAM	RECIEVE_RAM_START	
:	受信RAM		
2EFEh	受信RAM	RECIEVE_RAM_END	
2EFFh			
2F00h			
:			
2FFFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.12 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
FFDFh	ID1		(注2)
FFE3h	ID2		(注2)
FFEBh	ID3		(注2)
FFEFh	ID4		(注2)
FFF3h	ID5		(注2)
FFF7h	ID6		(注2)
FFFBh	ID7		(注2)
FFFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。

出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

## 5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を、図5.1にリセット回路のブロック図を示します。

表5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

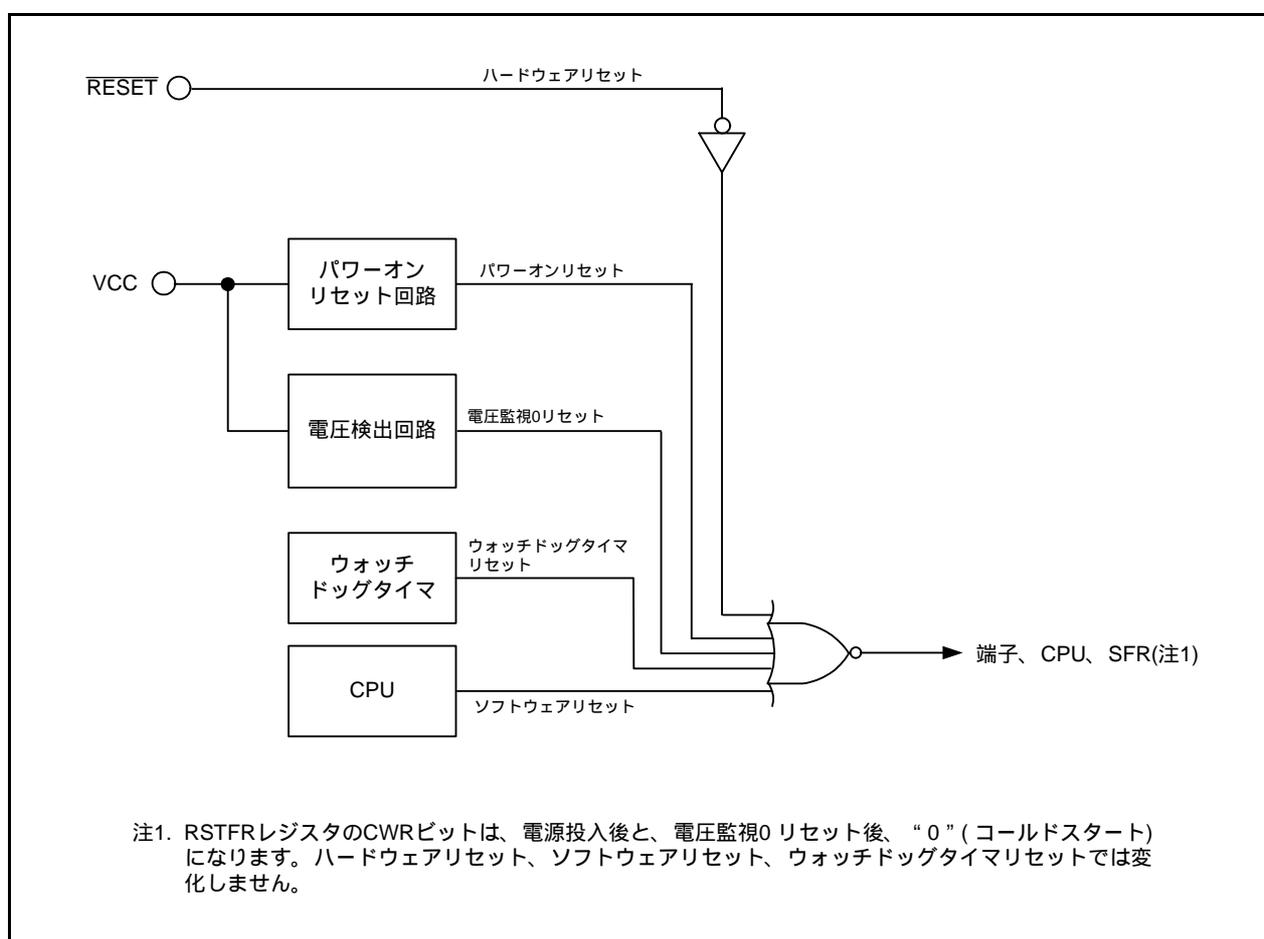


図5.1 リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを示します。

表5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0_4、P1、P3_0、P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_5	入力ポート

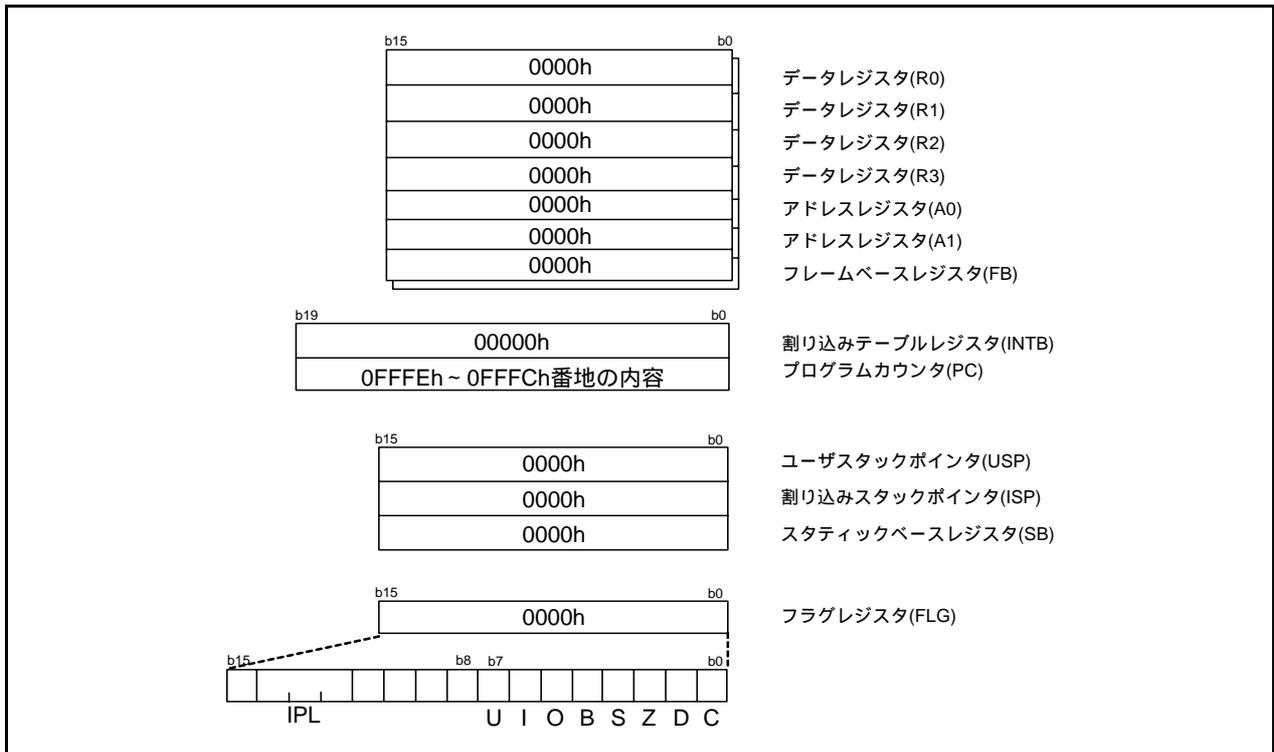


図5.2 リセット後のCPUレジスタの状態

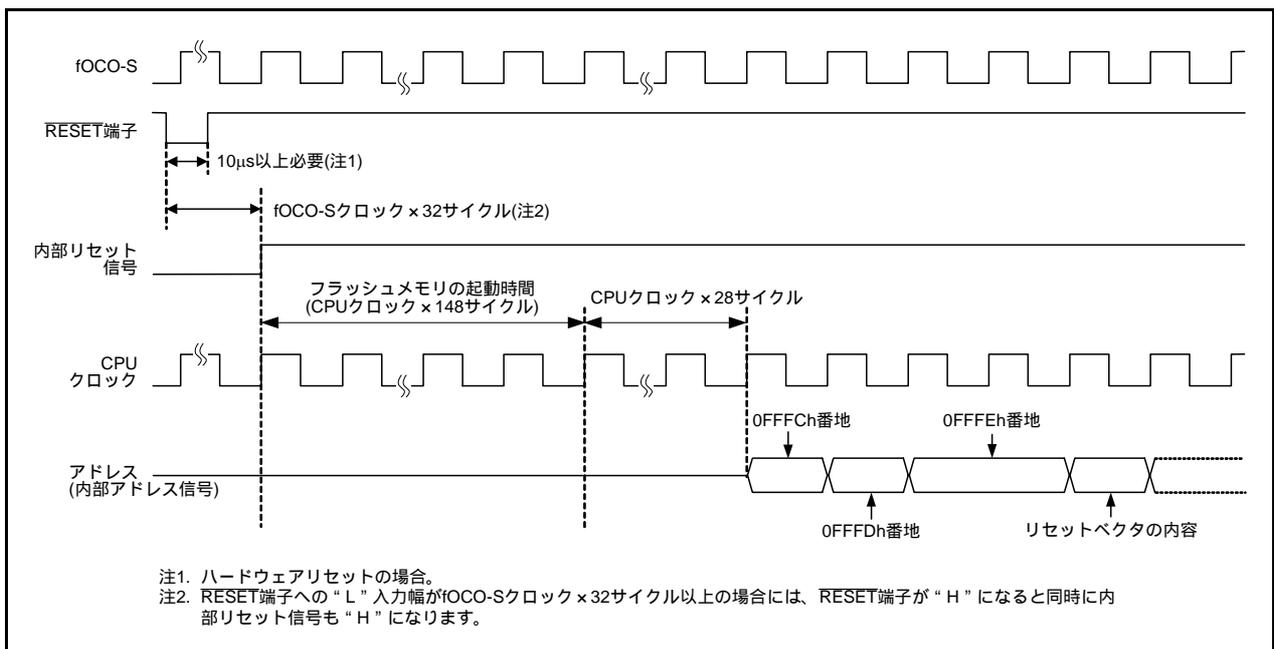


図5.3 リセットシーケンス

## 5.1 レジスタの説明

## 5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PM03	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

## 5.1.2 リセット要因判別レジスタ(RSTFR)

アドレス 000Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDR	SWR	HWR	CWR
リセット後の値	0	X	X	X	X	X	X	X

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2、3)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	-	予約ビット	読んだ場合、その値は不定。	R
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. CWR ビットは電源投入後と、電圧監視0リセット後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで“1”を書くと“1”になります。(“0”を書いても変化しません。)

注3. VW0CレジスタのVW0C0ビットが“0”(電圧監視0リセット禁止)のとき、CWRビットは不定です。

## 5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	"1" にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 設定しないでください 01: 2.85Vを選択(Vdet0_2) 10: 2.35Vを選択(Vdet0_1) 11: 1.90Vを選択(Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは"FFh"になります。  
出荷時、OFSレジスタは"FFh"です。ユーザでの書き込み後は、書き込んだ値になります。
- 注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを"0"(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

## 5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。  
出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

## 5.2 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2 RESET端子のレベルが“L”の期間の端子の状態」、「図5.2 リセット後のCPUレジスタの状態」、および「表4.1～表4.11 SFR一覧」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.4にハードウェアリセット回路例と動作を、図5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

### 5.2.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) 10 $\mu$ s待つ
- (3) RESET端子に“H”を入力する

### 5.2.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「28. 電気的特性」参照)
- (4) 10 $\mu$ s待つ
- (5) RESET端子に“H”を入力する

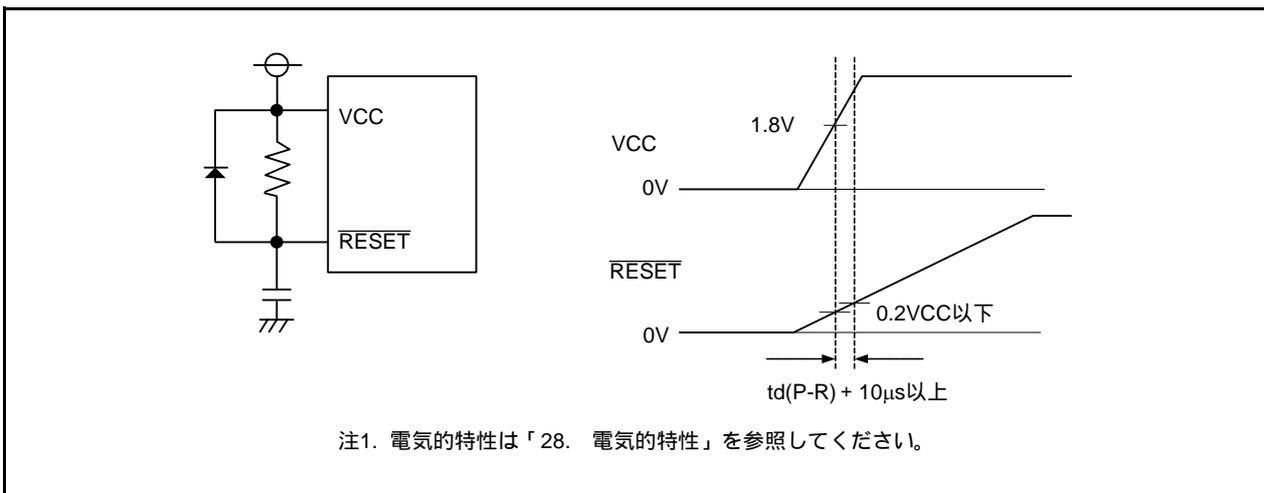


図5.4 ハードウェアリセット回路例と動作

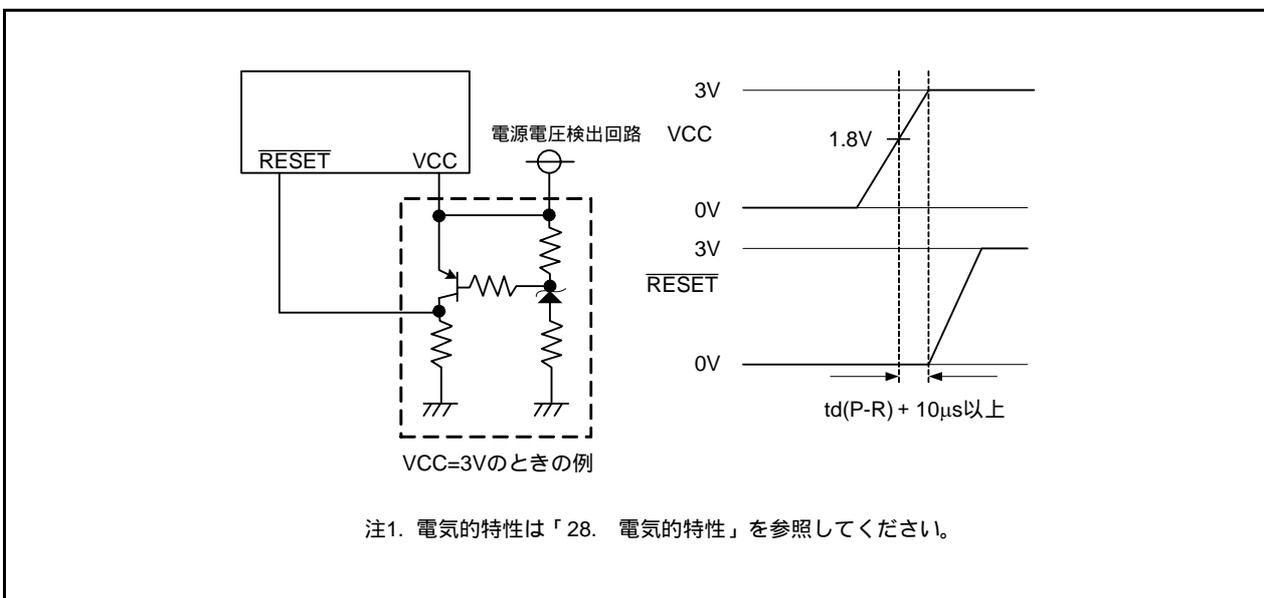


図5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

### 5.3 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に $0.8V_{CC}$ 以上になるようにご注意ください。

VCC端子に入力する電圧が $V_{det0}$ 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。

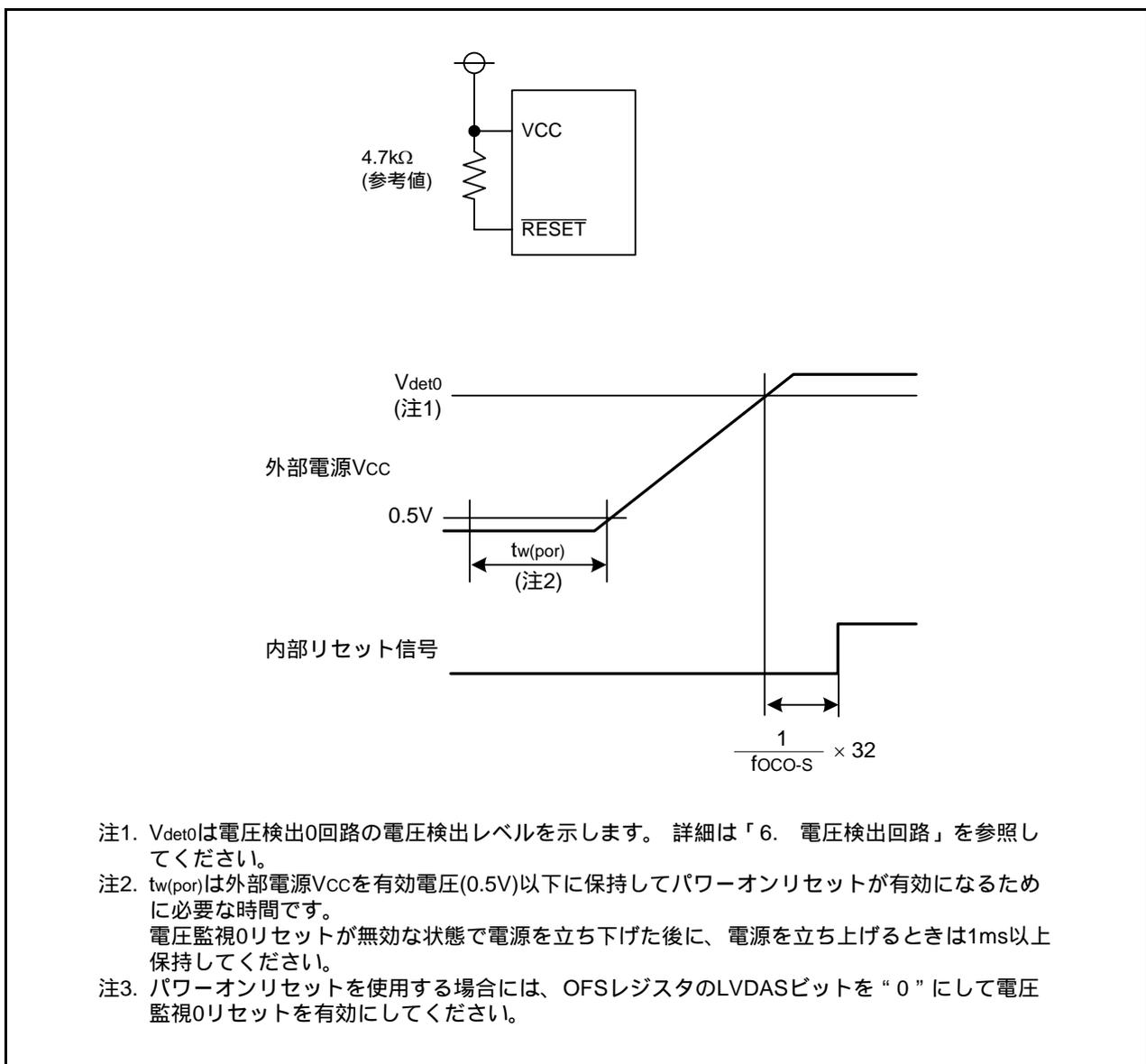


図5.6 パワーオンリセット回路例と動作

## 5.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウンタを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。

OFSレジスタの詳細は「5.1.3 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

図5.7に電圧監視0リセット動作例を示します。

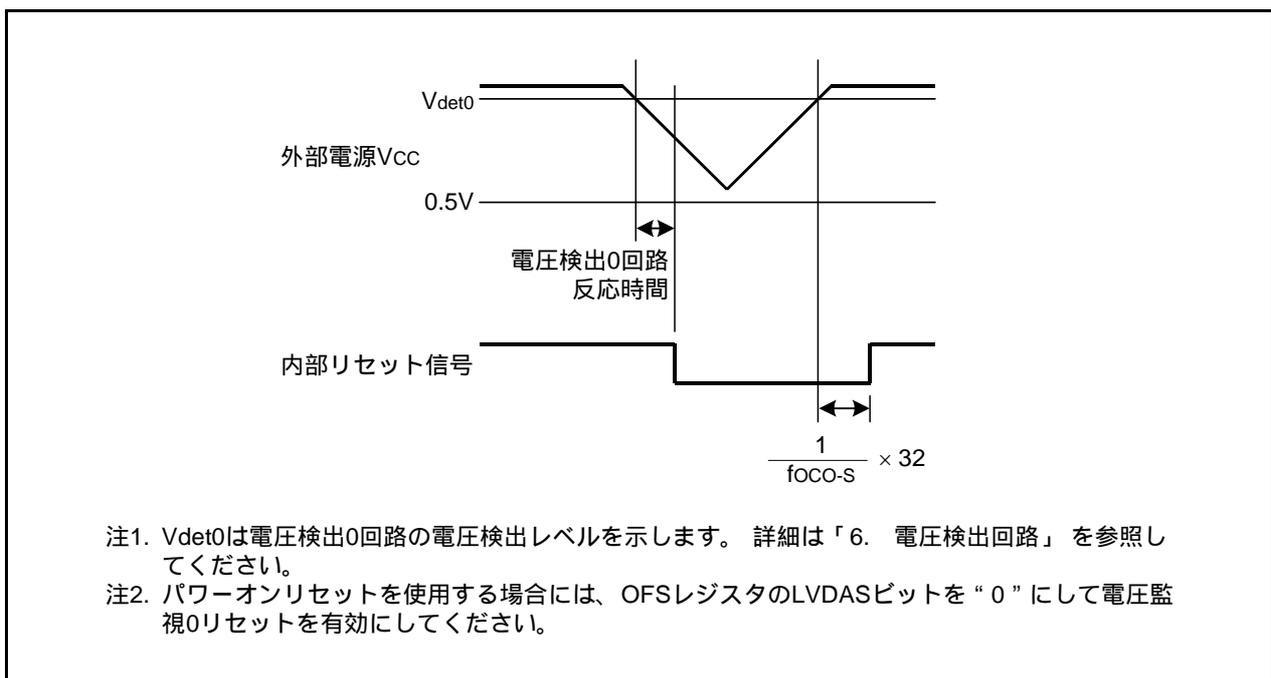


図5.7 電圧監視0リセット動作例

### 5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

### 5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

### 5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

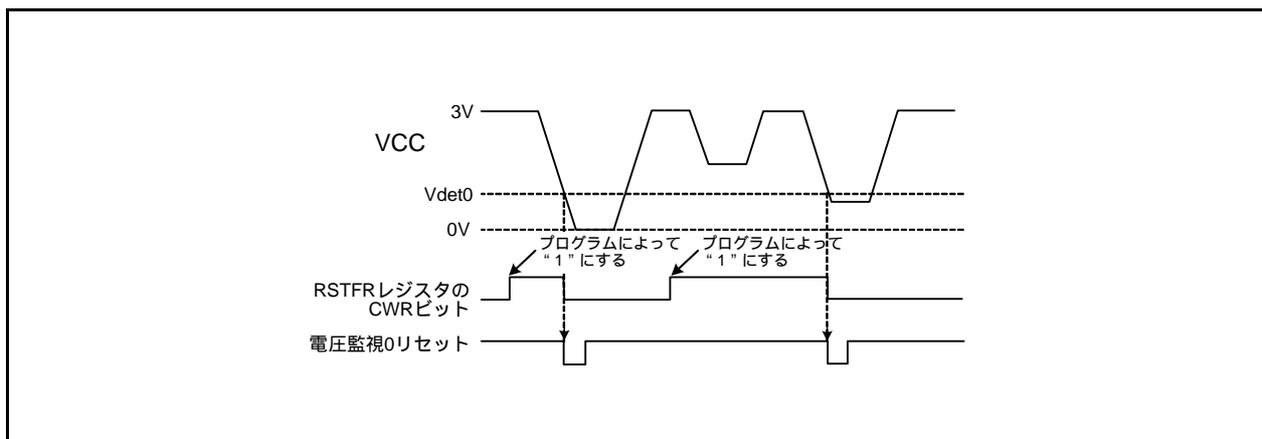


図5.8 コールドスタート/ウォームスタート判定機能の動作例

### 5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、HWRビットが“1”(検出)になります。ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。

## 6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できません。

### 6.1 概要

電圧検出0はOFSレジスタで、検出電圧を3レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を2レベルから選択できます。

また、電圧監視0リセット、電圧監視1割り込みを使用できます。

表6.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1
VCC監視	監視する電圧	Vdet0	Vdet1
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet1を通過したか
	検出電圧	OFSレジスタで3レベルから選択可能	VD1LSレジスタで2レベルから選択可能
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低いか
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット; VCC > Vdet0で CPU動作再開	なし
	割り込み	なし	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択 可能 Vdet1 > VCC、VCC > Vdet1の両方、 またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり
	サンプリング時間		(fOCO-Sのn分周) × 2 n: 1、2、4、8

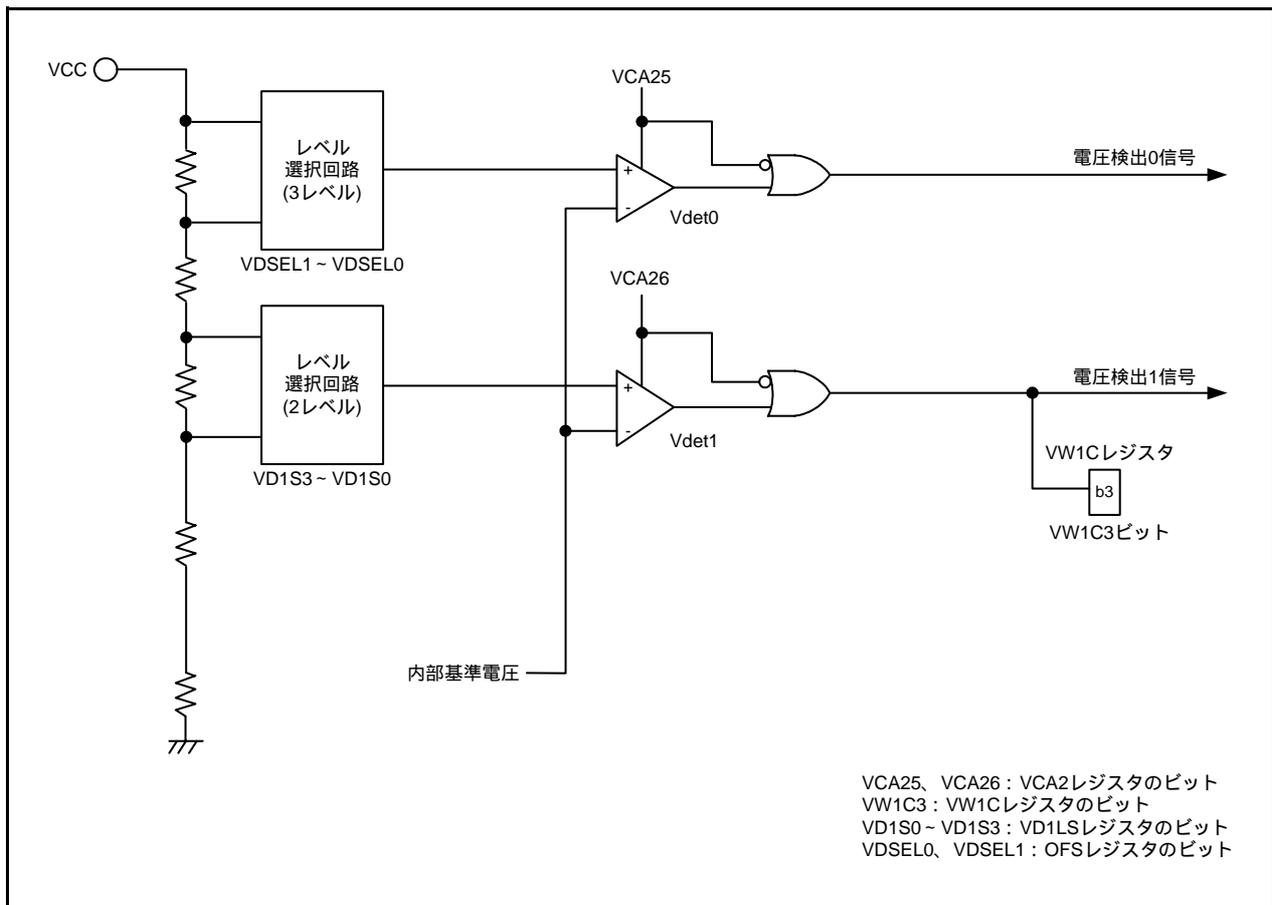


図6.1 電圧検出回路ブロック図

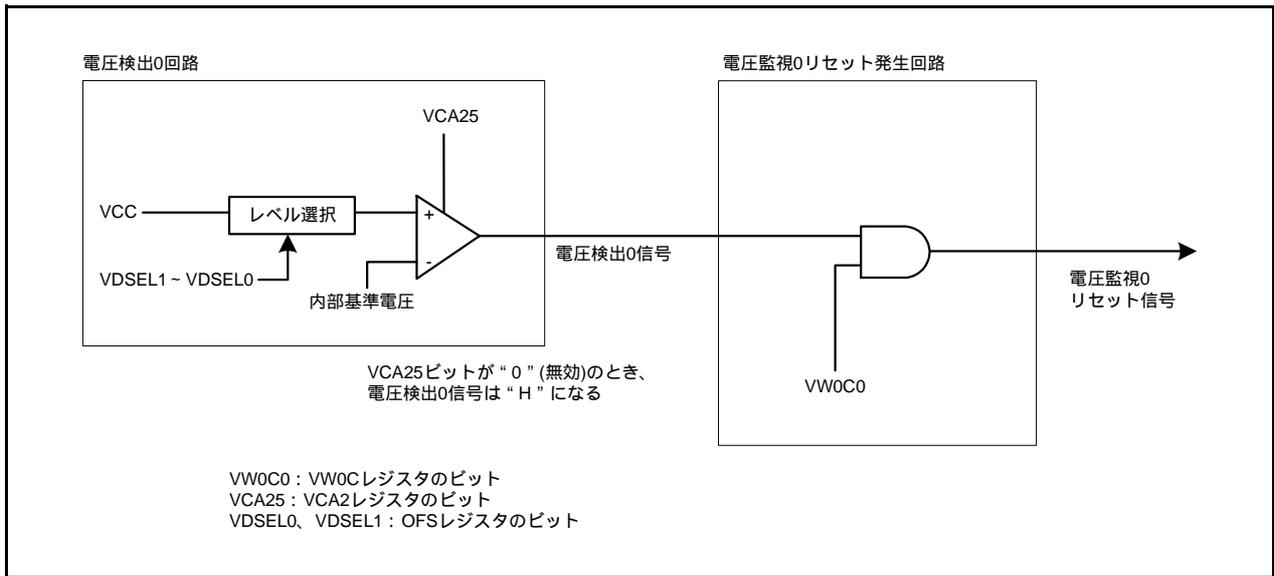


図6.2 電圧監視0リセット発生回路のブロック図

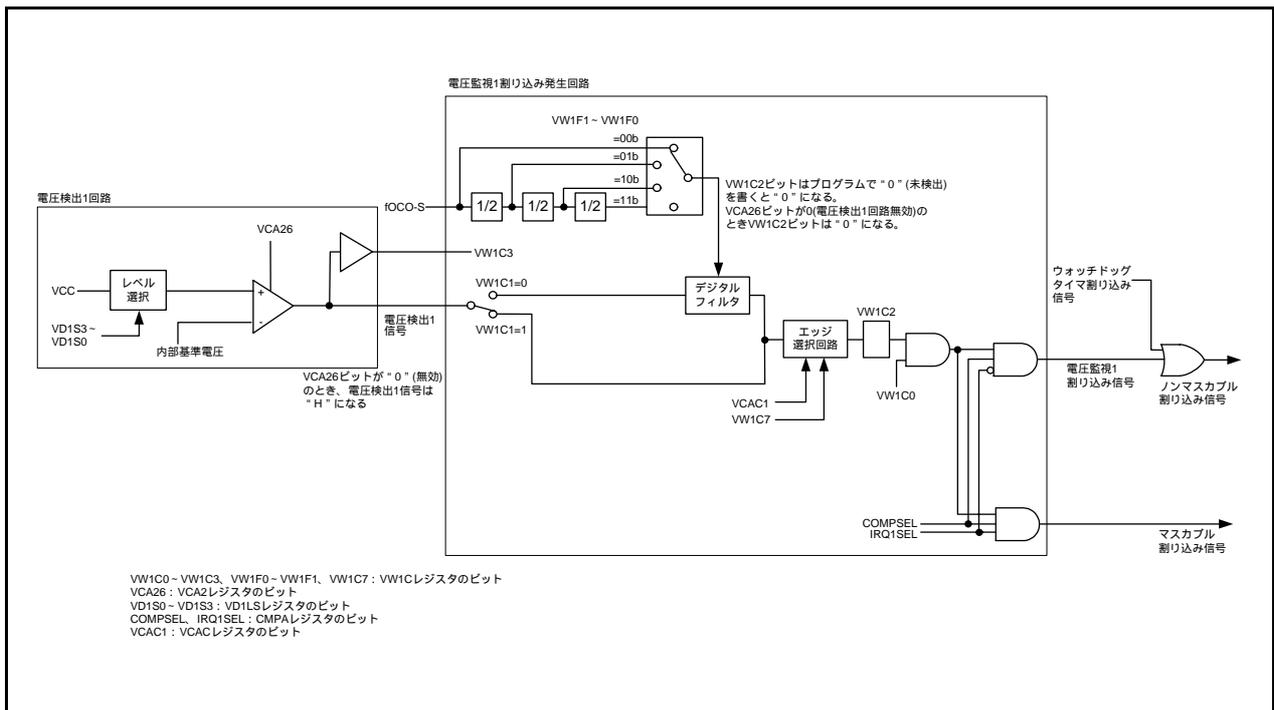


図6.3 電圧監視1割り込み発生回路のブロック図

## 6.2 レジスタの説明

## 6.2.1 電圧監視回路制御レジスタ (CMPA)

アドレス 0030h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	-	-	IRQ1SEL	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	-			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット (注1)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-			
b7	COMPSEL	電圧監視割り込み種類選択有効ビット (注1)	0: IRQ1SELビット無効 1: IRQ1SELビット有効	R/W

注1. VW1CレジスタのVW1C0ビットが“1”(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

## 6.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス 0031h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	VCAC1	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	VCAC1	電圧監視1回路エッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

## 6.2.3 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	VCA26	VCA25	-	-	-	-	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	-	予約ビット	“0” にしてください	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「9.7.2.2 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 6.2.4 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0036h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 0 0 1 0 : 2.50V (Vdet1_2)	R/W
b1	VD1S1		0 1 0 1 : 2.95V (Vdet1_5)	R/W
b2	VD1S2		上記以外、設定しないでください	R/W
b3	VD1S3			R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

VD1LSレジスタはPRCRレジスタのPRC3ビットを"1"(書き込み許可)にした後で書き換えてください。

## VD1S0 ~ VD1S3ビット(電圧検出1レベル選択ビット)

電圧検出1回路で監視するVdet1電圧を選択します。電圧監視1割り込みを使用するときはVdet1\_2またはVdet1\_5のいずれかを必ず設定してください。また、リセット後の値は、これらの設定値ではありませんので注意してください。

## 6.2.5 電圧監視0回路制御レジスタ(VW0C)

アドレス 0038h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	VW0C0
リセット後の値	1	1	0	0	X	0	1	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	1	1	0	0	X	0	1	1
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	-	予約ビット	読んだ場合、その値は不定。	R
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-	予約ビット	“1” にしてください	R/W
b7	-			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。  
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 6.2.6 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	-	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet1 通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0: VCC < Vdet1 1: VCC > Vdet1 または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW1F1			R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注5)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	R/W

- 注1. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表6.2 電圧監視1割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW1C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。  
なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くとき“0”になります(“1”を書いても変化しません)。
- 注5. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
- 注6. VW1C0ビットが“1”(許可)のとき、VW1C1ビットとVW1F1～VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。

## 6.2.7 WDT検出フラグ(VW2C)

アドレス 003Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VW2C3	-	-	-
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	VW2C3	WDT検出フラグ(注1)	0: 未検出 1: 検出	R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 6.2.8 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 設定しないでください 01: 2.85Vを選択(Vdet0_2) 10: 2.35Vを選択(Vdet0_1) 11: 1.90Vを選択(Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。  
出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
- 注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

## 6.3 VCC入力電圧のモニタ

### 6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

### 6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A)(「28. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S3 ~ VD1S0ビット(電圧検出1検出電圧)を設定する
- (2) VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

## 6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図6.4に電圧監視0リセット動作例を示します。

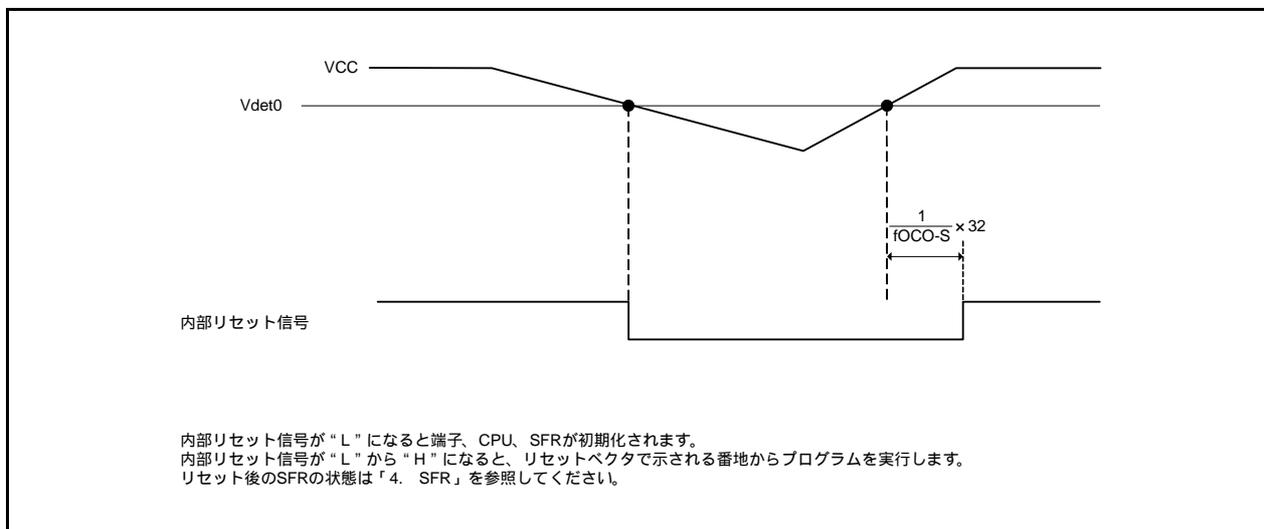


図6.4 電圧監視0リセット動作例

## 6.5 電圧監視1割り込み

表6.2に電圧監視1割り込み関連ビットの設定手順を、図6.5に電圧監視1割り込み動作例を示します。  
 なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.2 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのCOMPSELビットを“1”にする	
5(注1)	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
6	VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする
7(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする	
8	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
9	VW1CレジスタのVW1C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
12(注3)	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行可能です。

注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。

注3. 電圧監視1割り込み禁止の状態でも、電圧検出1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。

電圧監視1割り込み関連ビットの設定手順において、電圧検出1回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW1C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

### 6.5.1 デジタルフィルタ

VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効モード)にすると、電圧検出1信号をサンプリングするデジタルフィルタ機能が有効になります。電圧検出1信号をサンプリングし、2回一致したらレベルが確定したとみなします。サンプリングクロックはVW1CレジスタのVW1F0、VW1F1ビットで選択してください。

デジタルフィルタを使用する場合(VW1C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1C1ビットを“1”(デジタルフィルタ無効モード)にしてください。

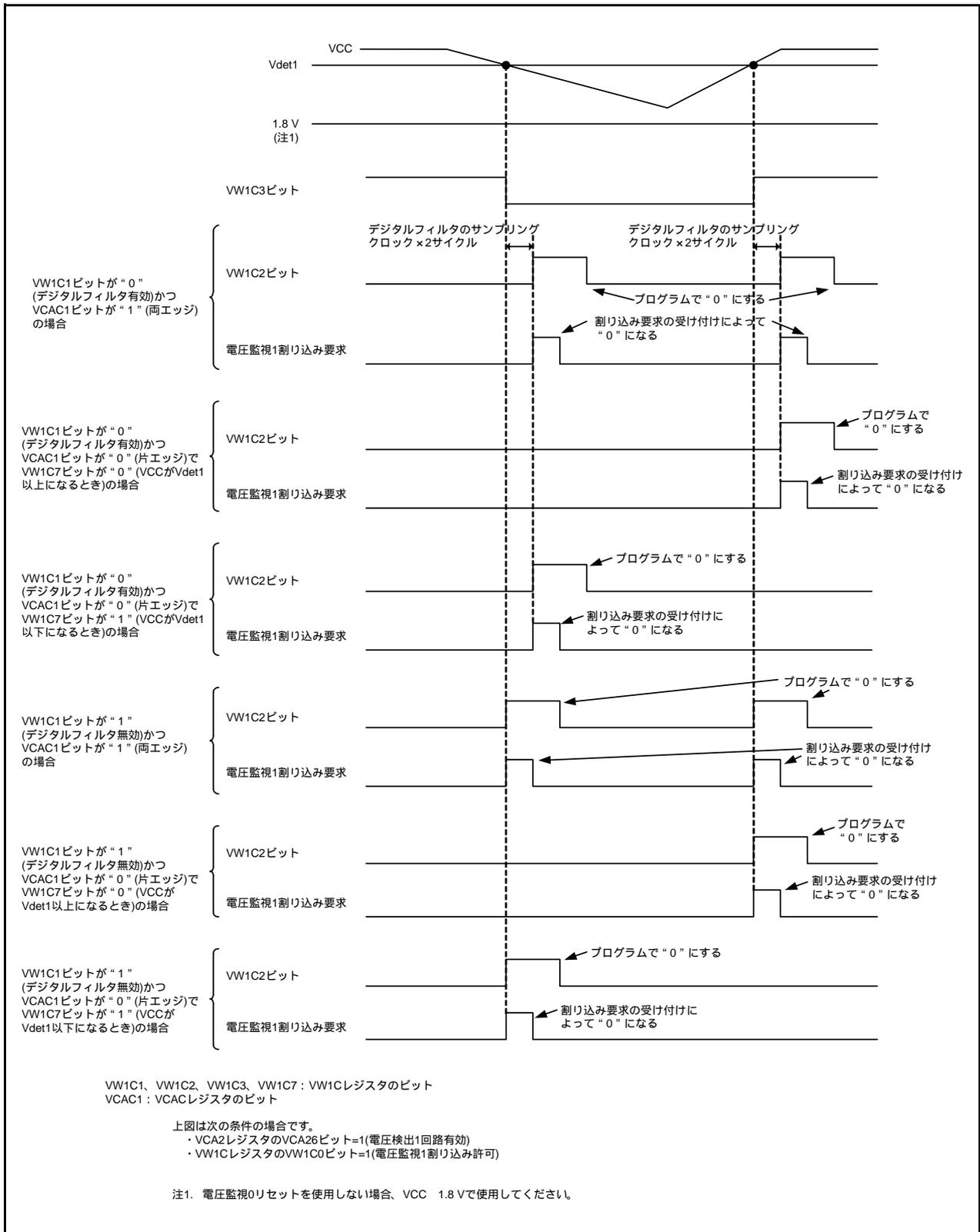


図6.5 電圧監視1割り込み動作例

## 7. I/Oポート

I/Oポートは、P0\_4、P1、P3\_0、P3\_1、P3\_3～P3\_5、P3\_7、P4\_3～P4\_5の18本あります。(P4\_3、P4\_4はXCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。)

表7.1にI/Oポートの概要を示します。

表7.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力切り替え	入力レベル切り替え
P0_4	入出力	CMOS3 ステート	1ビット単位で 設定	1ビット単位で 設定(注1)	1ビット単位で 設定(注3)	1ビット単位で 設定(注4)
P1	入出力	CMOS3 ステート	1ビット単位で 設定	4ビット単位で 設定(注1)	1ビット単位で 設定(注2)	8ビット単位で 設定(注4)
P3_0、P3_1、P3_3	入出力	CMOS3 ステート	1ビット単位で 設定	3ビット単位で 設定(注1)	3ビット単位で 設定(注3)	6ビット単位で 設定(注4)
P3_4、P3_5、P3_7	入出力	CMOS3 ステート	1ビット単位で 設定	3ビット単位で 設定(注1)	3ビット単位で 設定(注3)	
P4_3(注5)	入出力	CMOS3 ステート	1ビット単位で 設定	1ビット単位で 設定(注1)	1ビット単位で 設定(注3)	3ビット単位で 設定(注4)
P4_4(注5)、P4_5	入出力	CMOS3 ステート	1ビット単位で 設定	2ビット単位で 設定(注1)	2ビット単位で 設定(注3)	

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタ内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P1DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. DRR0レジスタおよびDRR1レジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注4. VLT0レジスタおよびVLT1レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

注5. XCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

## 7.1 I/Oポートの機能

ポートP0\_4、P1、P3\_0、P3\_1、P3\_3～P3\_5、P3\_7、P4\_3～P4\_5の入出力はPDi(i=0、1、3、4)レジスタのPDi\_j(j=0～7)ビットで制御します。Piレジスタは出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.9にI/Oポートの構成を、表7.2にI/Oポートの機能を示します。

表7.2 I/Oポートの機能

Piレジスタをアクセス 時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポータラッチを読む
書き込み	ポータラッチに書く	ポータラッチに書く。ポータラッチに書いた値は、端子から出力される。

i=0、1、3、4、j=0～7

注1. PD0\_0～PD0\_3ビット、PD0\_5～PD0\_7ビット、P3\_2ビット、P3\_6ビット、PD4\_0～PD4\_2ビット、PD4\_6ビット、PD4\_7ビットには何も配置されていません。

## 7.2 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表1.4 ピン番号別端子名一覧」参照)。

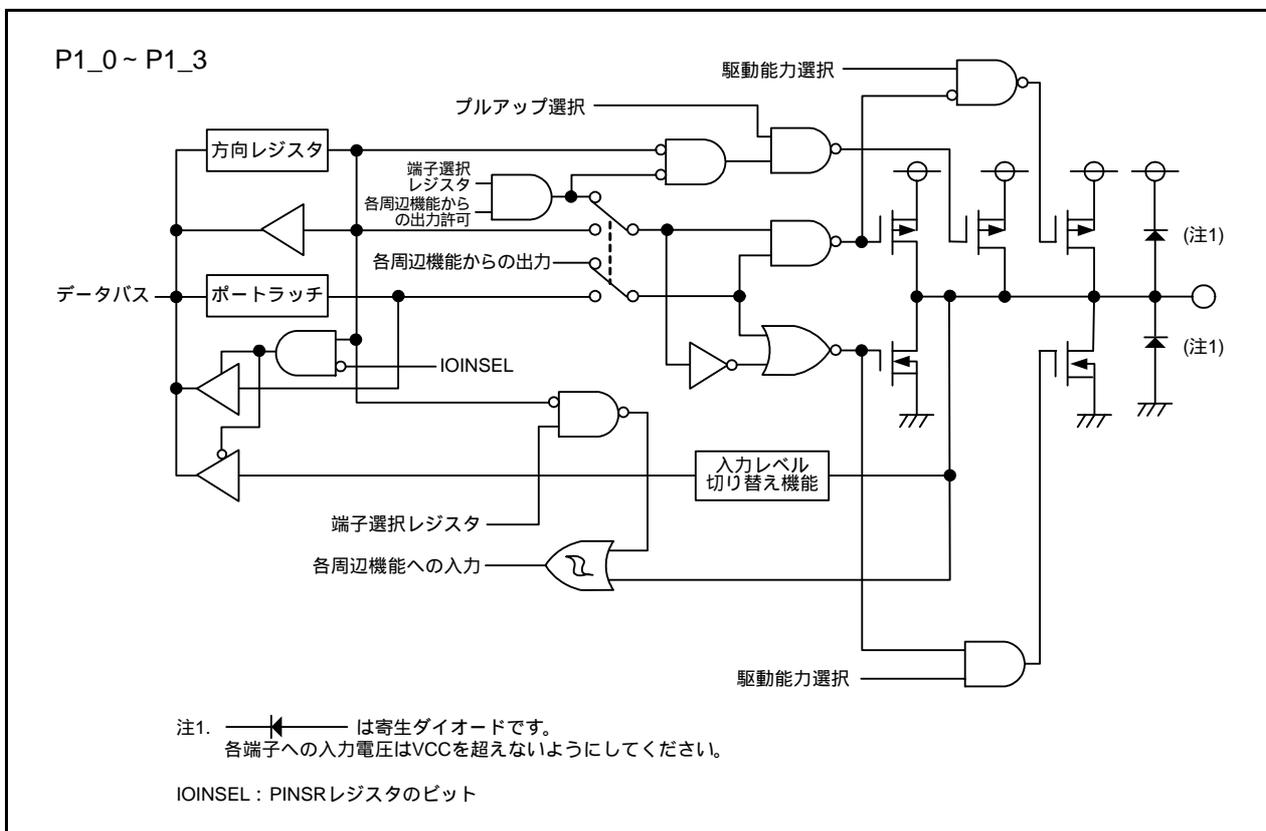
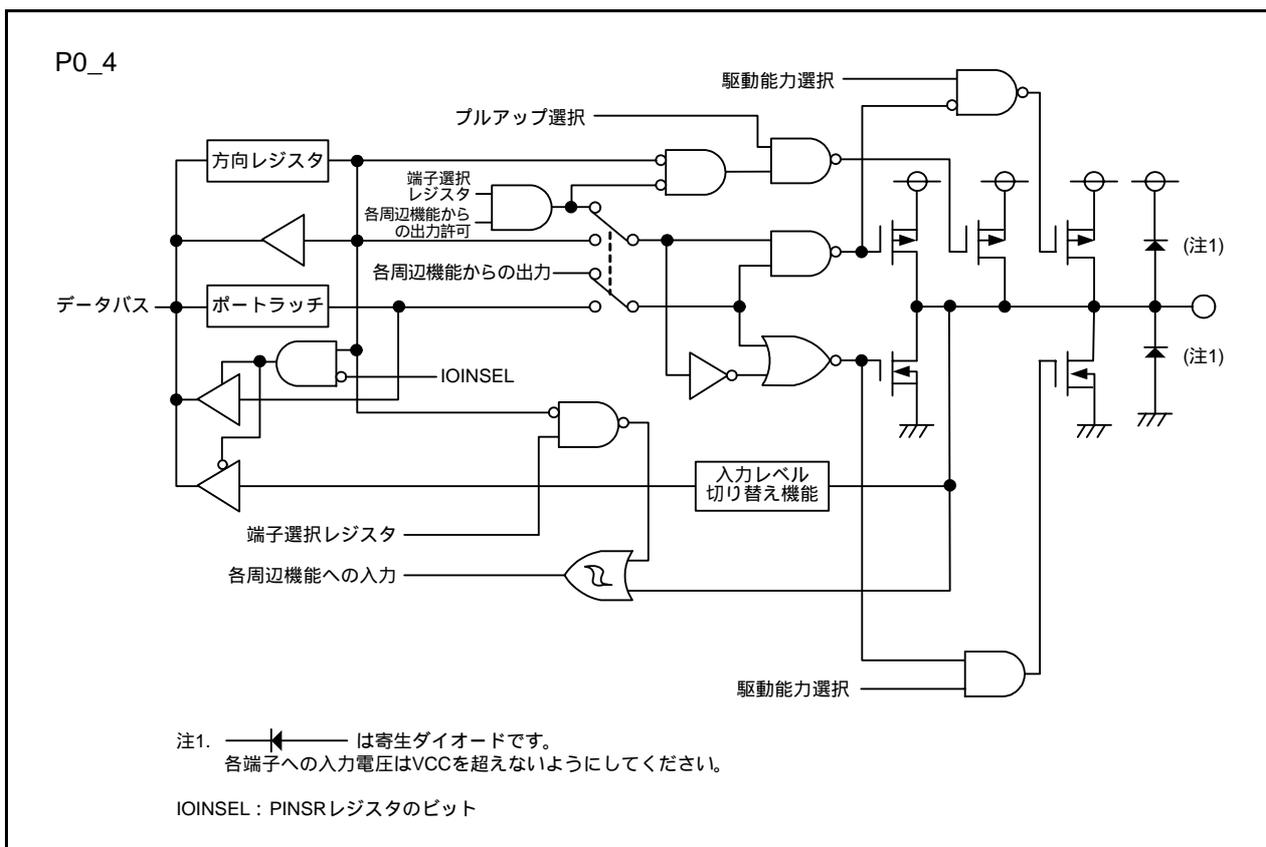
表7.3に周辺機能の入出力として機能する場合のPDi\_jビットの設定(i=0、1、3、4、j=0～7)を示します。周辺機能の設定方法は、各機能説明を参照してください。

表7.3 周辺機能の入出力として機能する場合のPDi\_jビットの設定(i=0、1、3、4、j=0～7)

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

## 7.3 I/Oポート以外の端子

図7.10に端子の構成を示します。



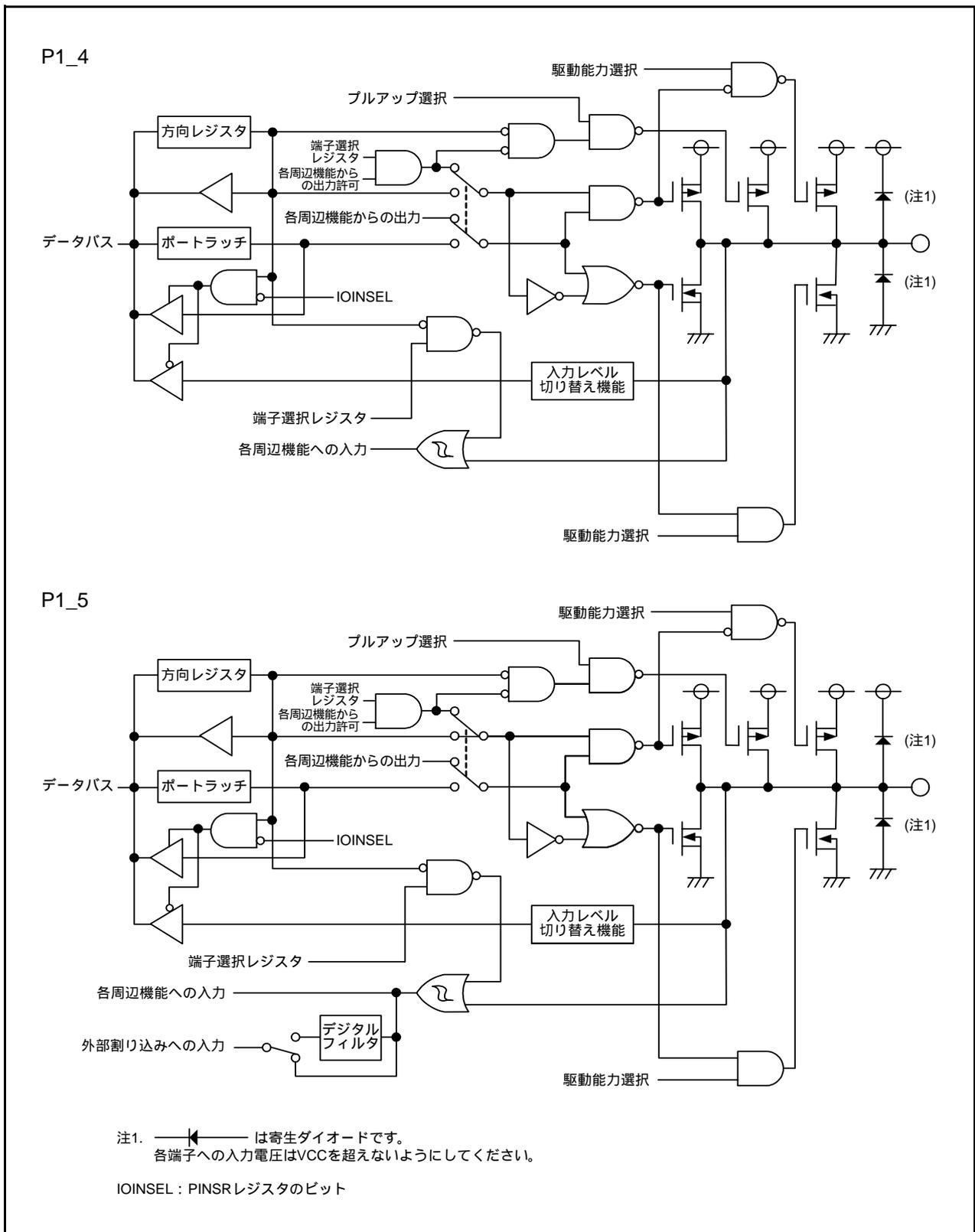


図7.3 I/Oポートの構成(3)

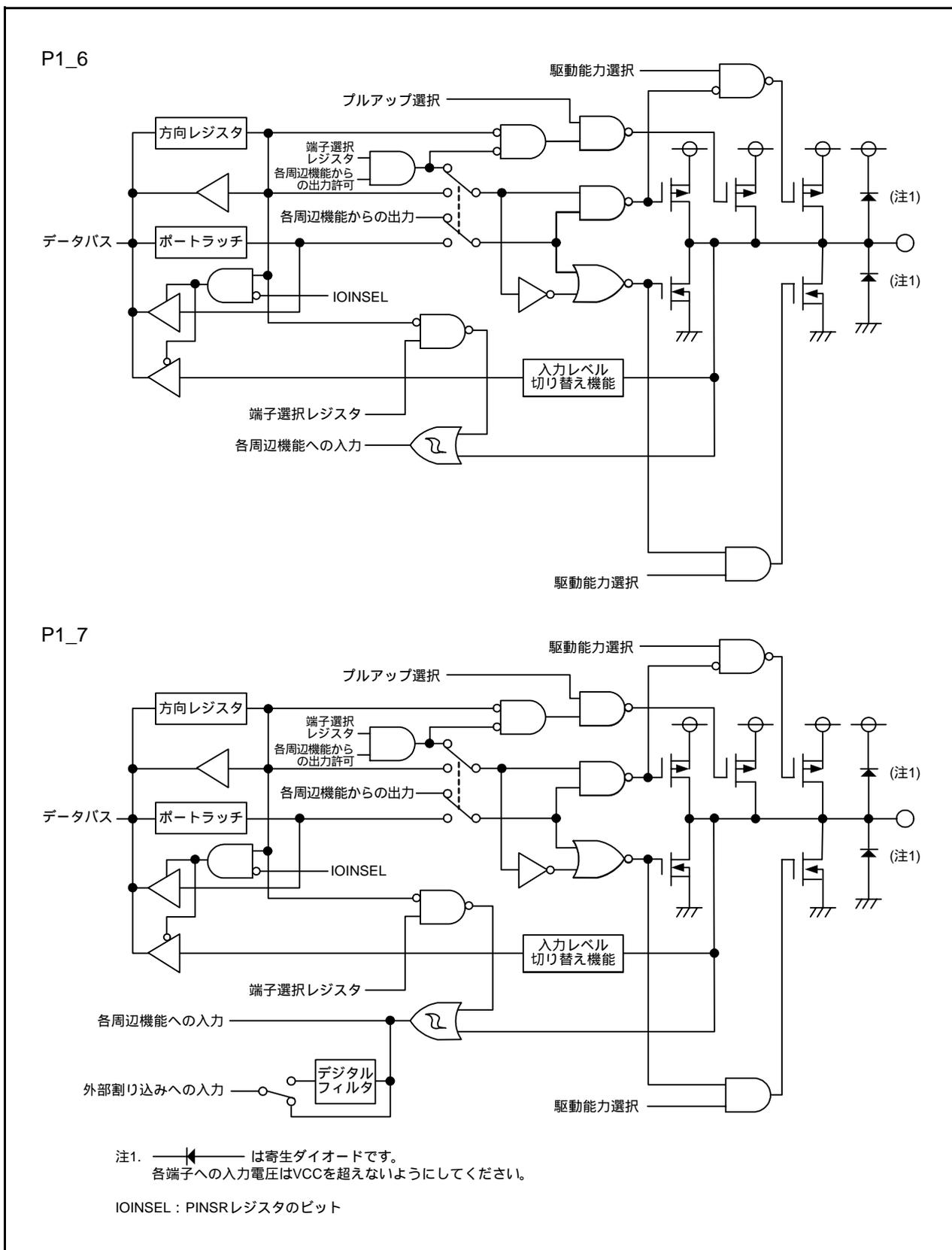


図7.4 I/Oポートの構成(4)

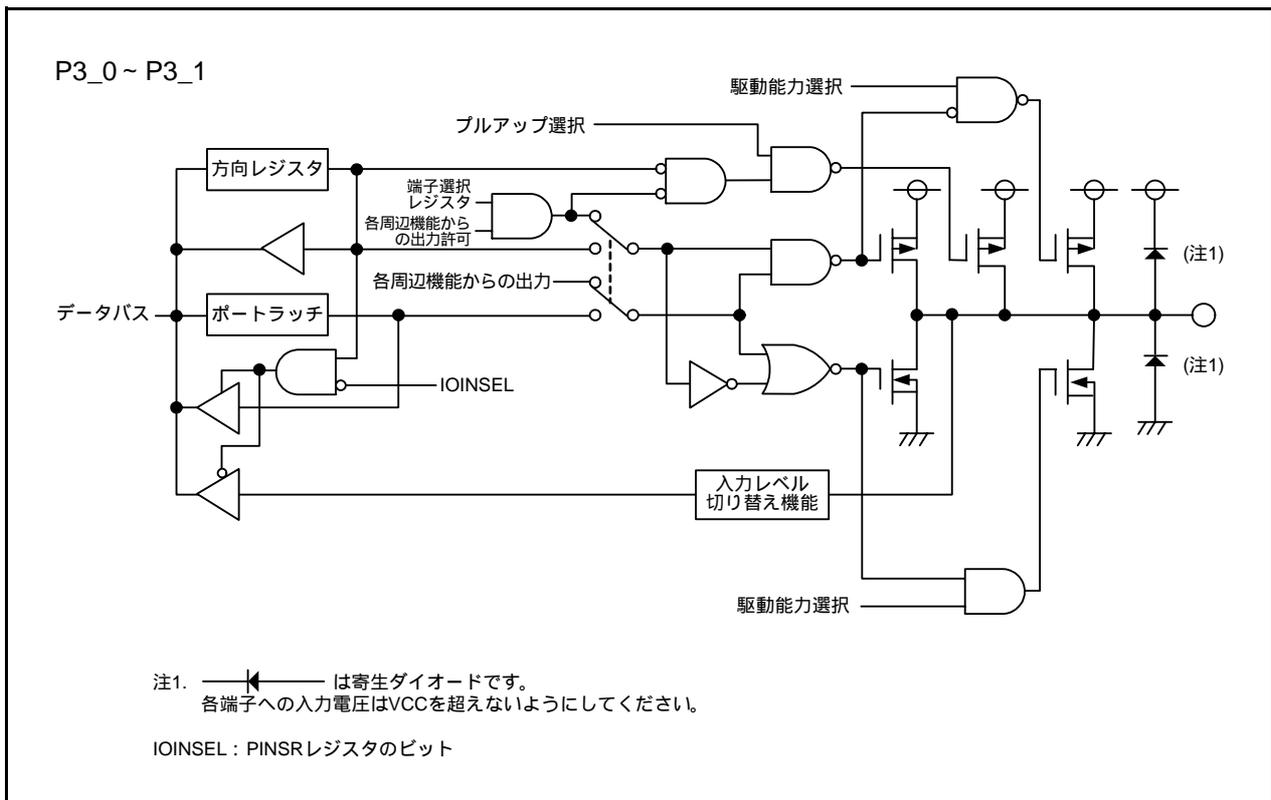


図7.5 I/Oポートの構成(5)

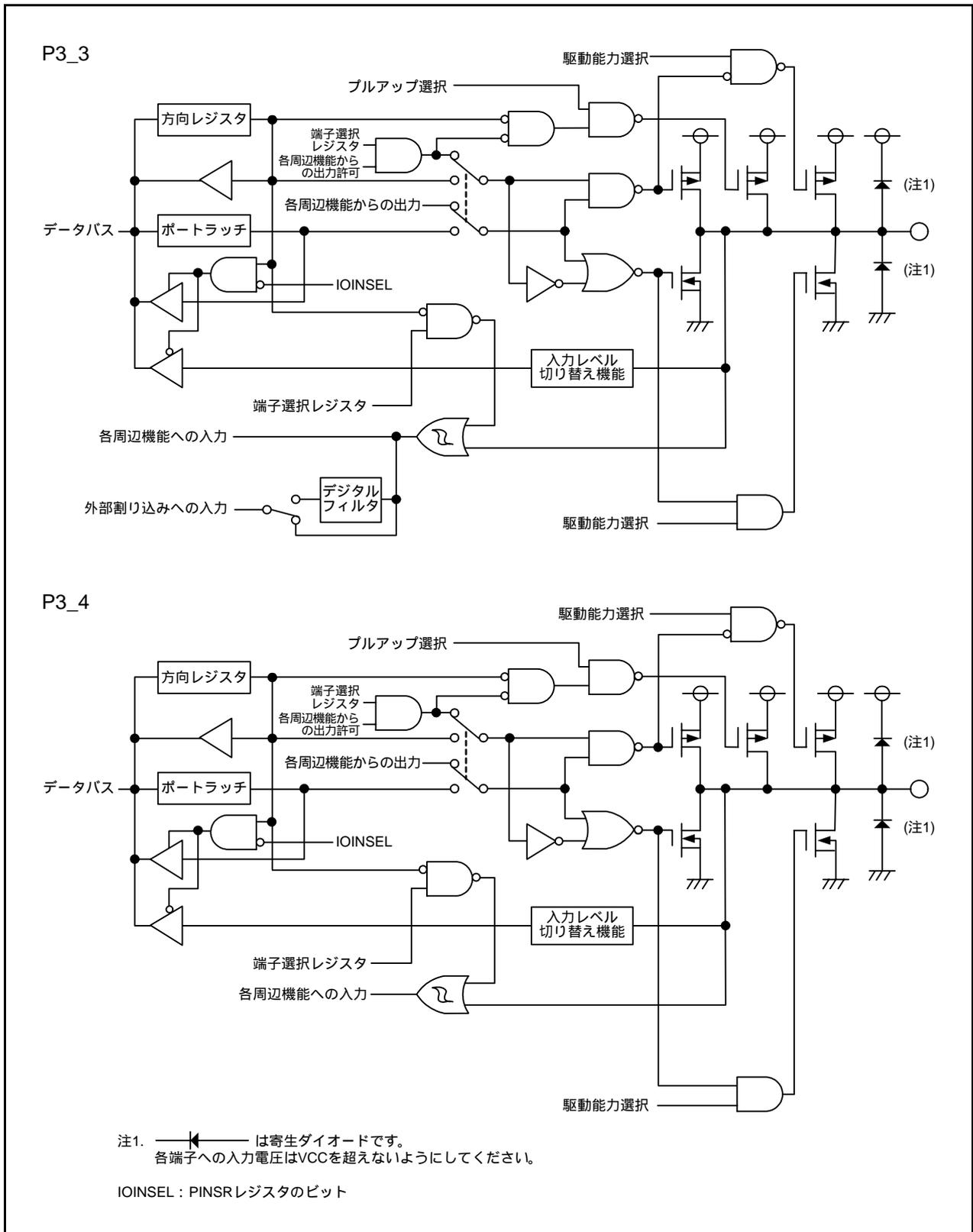


図7.6 I/Oポートの構成(6)

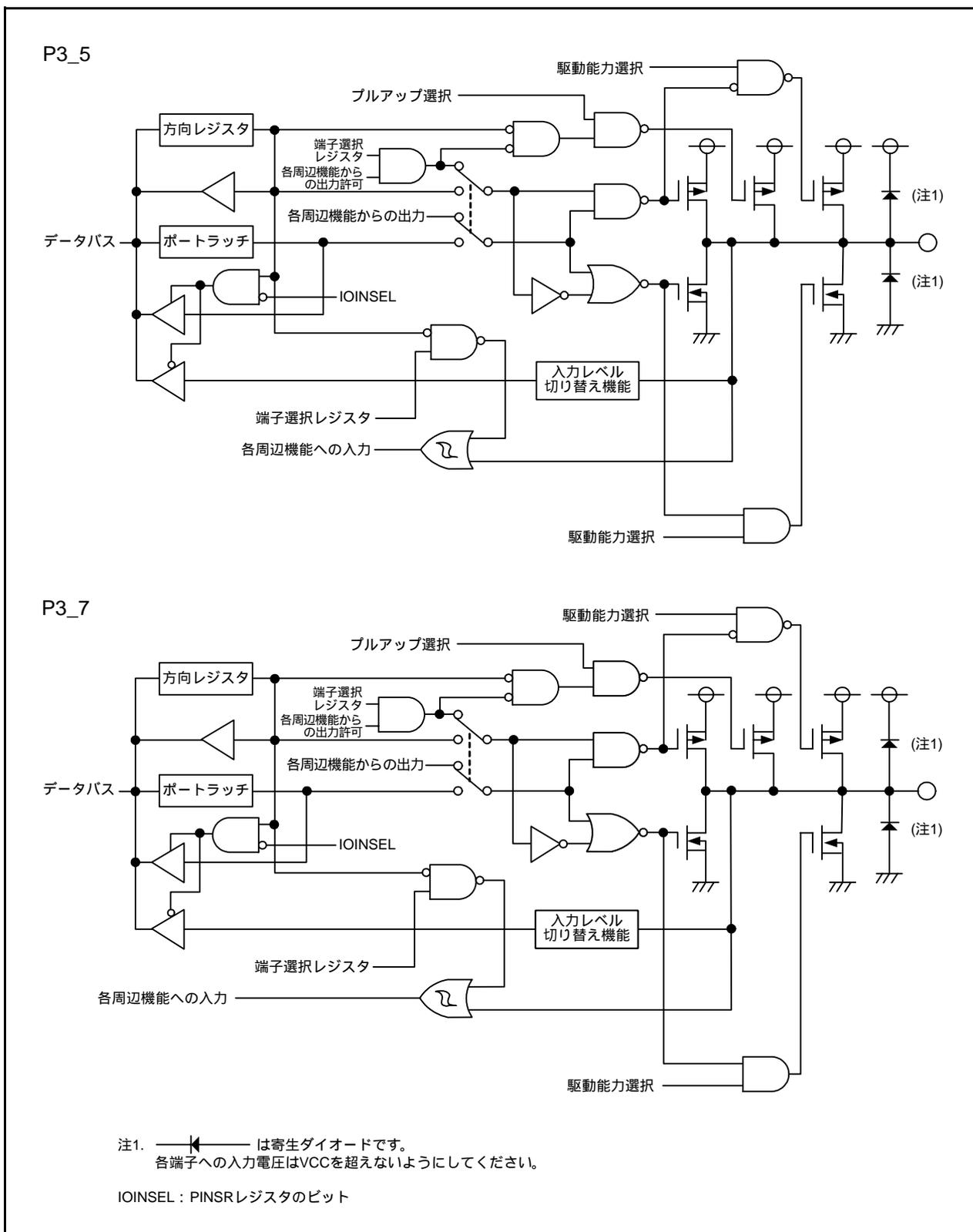


図7.7 I/Oポートの構成(7)

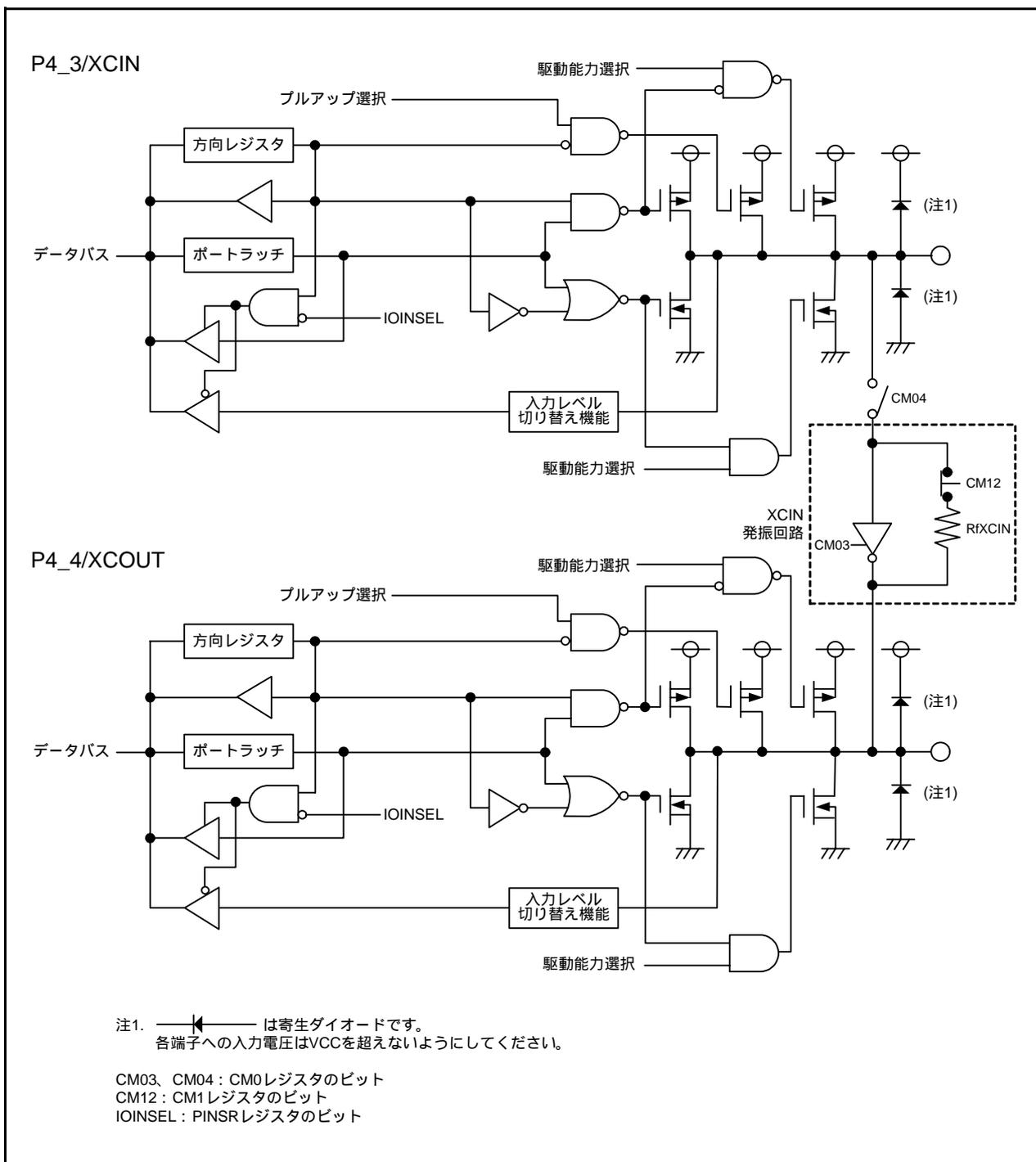


図7.8 I/Oポートの構成(8)

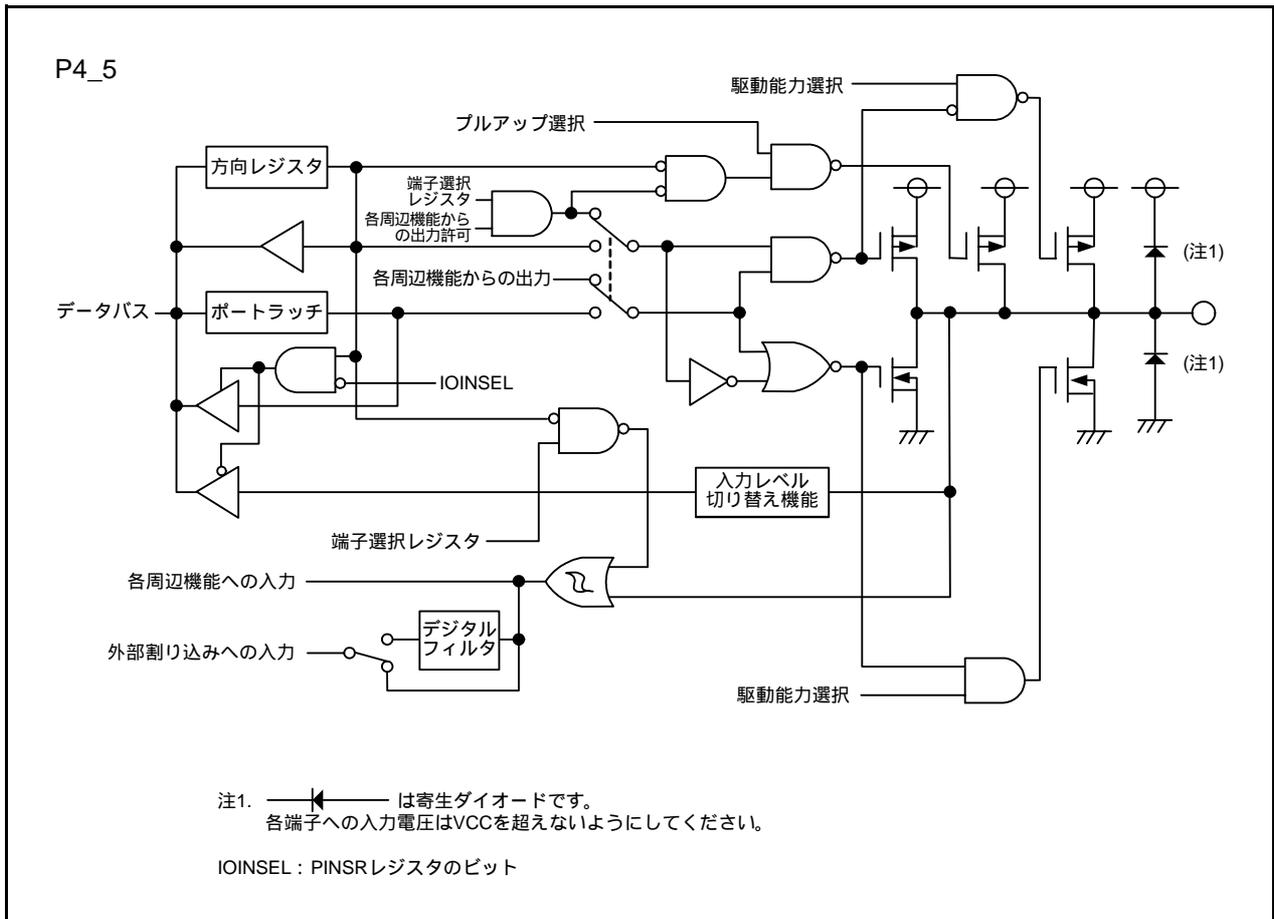


図7.9 I/Oポートの構成(9)

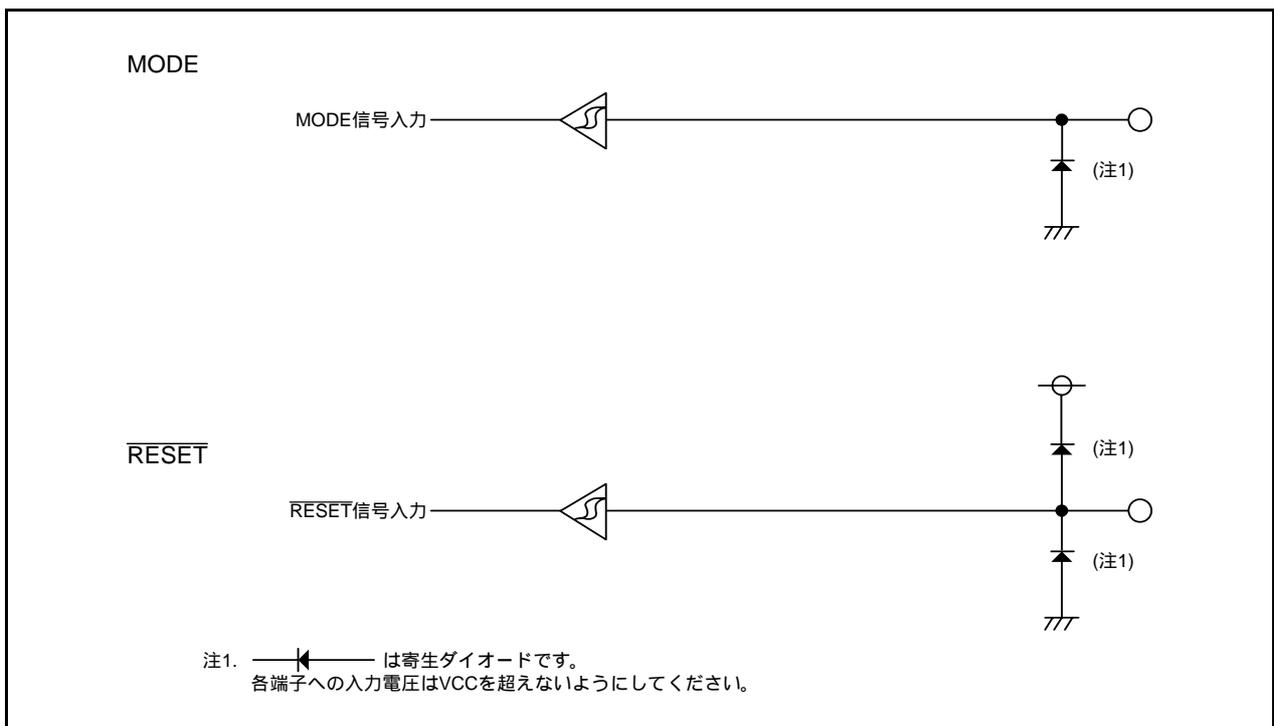


図7.10 端子の構成

## 7.4 レジスタの説明

## 7.4.1 ポートPi方向レジスタ(PDi)(i=0、1、3、4)

アドレス 00E2h番地(PD0(注1、2))、00E3h番地(PD1)、00E7h番地(PD3(注3))、00EAh番地(PD4(注4))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

注1. PD0レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. PD0レジスタのPD0\_0～PD0\_3、PD0\_5～PD0\_7ビットは何も配置されていません。PD0\_0～PD0\_3、PD0\_5～PD0\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

注3. PD3レジスタのPD3\_2、PD3\_6ビットは何も配置されていません。PD3\_2、PD3\_6ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

注4. PD4レジスタのPD4\_0～PD4\_2、PD4\_6、PD4\_7ビットは何も配置されていません。PD4\_0～PD4\_2、PD4\_6、PD4\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

PDiレジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。

### 7.4.2 ポートPiレジスタ (Pi)(i=0、1、3、4)

アドレス 00E0h番地 (P0(注1))、00E1h番地 (P1)、00E5h番地 (P3(注2))、00E8h番地 (P4(注3))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0:“L”レベル 1:“H”レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

- 注1. P0レジスタのP0\_0～P0\_3、P0\_5～P0\_7ビットは何も配置されていません。P0\_0～P0\_3、P0\_5～P0\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注2. P3レジスタのP3\_2、P3\_6ビットは何も配置されていません。P3\_2、P3\_6ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注3. P4レジスタのP4\_0～P4\_2、P4\_6、P4\_7ビットは何も配置されていません。P4\_0～P4\_2、P4\_6、P4\_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

#### Pi\_jビット (i=0、1、3、4、j=0～7) (ポートPi\_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

## 7.4.3 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TRAOSEL1	TRAOSEL0	-	TRATIOSEL1	TRATIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRATIOSEL0	TRATIO端子選択ビット	b1 b0 00: TRATIO端子は使用しない 01: P1_7に割り当てる 10: P1_5に割り当てる 11: 設定しないでください	R/W
b1	TRATIOSEL1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	TRAOSEL0	TRAO端子選択ビット	b4 b3 00: P3_7に割り当てる 01: P3_0に割り当てる 10: 設定しないでください 11: 設定しないでください	R/W
b4	TRAOSEL1			R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は		-
b6	-	“0”。		
b7	-			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

## 7.4.4 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	0 : P1_3に割り当てる 1 : P3_1に割り当てる	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

## 7.4.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIOBSEL2	TRCIOBSEL1	TRCIOBSEL0	-	TRCIOASEL2	TRCIOASEL1	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA/TRCTRG端子は使用しない 0 0 1 : P1_1に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOASEL1			R/W
b2	TRCIOASEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 1 : P0_4に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIOBSEL1			R/W
b6	TRCIOBSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

## 7.4.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIODSEL2	TRCIODSEL1	TRCIODSEL0	-	TRCIOSEL2	TRCIOSEL1	TRCIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOSEL0	TRCIO端子選択ビット	b2 b1 b0 000: TRCIO端子は使用しない 001: P1_3に割り当てる 010: P3_4に割り当てる 上記以外: 設定しないでください	R/W
b1	TRCIOSEL1			R/W
b2	TRCIOSEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIODSEL0	TRCIOD端子選択ビット	b6 b5 b4 000: TRCIOD端子は使用しない 001: P1_0に割り当てる 010: P3_5に割り当てる 上記以外: 設定しないでください	R/W
b5	TRCIODSEL1			R/W
b6	TRCIODSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

## 7.4.7 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SELO	-	RXD0SELO	-	TXD0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SELO	TXD0端子選択ビット	0: TXD0端子は使用しない 1: P1_4に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SELO	RXD0端子選択ビット	0: RXD0端子は使用しない 1: P1_5に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	CLK0SELO	CLK0端子選択ビット	0: CLK0端子は使用しない 1: P1_6に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

## 7.4.8 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0: SSU機能を選択 1: I <sup>2</sup> Cバス機能を選択	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-	予約ビット	“0”にしてください	R/W
b6	-			
b7	-			

## 7.4.9 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INT1SEL2	INT1SEL1	INT1SEL0	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b1	INT1SEL0	INT1端子選択ビット	b3 b2 b1 000 : P1_7に割り当てる 001 : P1_5に割り当てる 上記以外 : 設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b5	-			
b6	-			
b7	-			

INTSRレジスタは、 $\overline{\text{INT1}}$ の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT1}}$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT1}}$ の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT1}}$ の動作中はINTSRレジスタの設定値を変更しないでください。

## 7.4.10 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b3	IOINSEL	I/Oポート入力機能選択ビット	0: I/Oポートの入力機能はPDi (i=0、1、3、4)レジスタに依存PDiレジスタのPDi <sub>j</sub> (j=0~7)ビットが“0” (入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi <sub>j</sub> ビットが“1” (出力モード)のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍選択ビット(注1)	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍選択ビット(注1)	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット	b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I<sup>2</sup>Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方とも“0”にしてください。

## IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0、1、3、4)レジスタのPDi<sub>j</sub> (j=0~7)ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表7.4にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表7.4 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi <sub>j</sub> ビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット				
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

## 7.4.11 プルアップ制御レジスタ0 (PUR0)

アドレス 01E0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU07	PU06	-	-	PU03	PU02	PU01	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	PU01	P0_4のプルアップ	0：プルアップなし 1：プルアップあり(注1)	R/W
b2	PU02	P1_0～P1_3のプルアップ		R/W
b3	PU03	P1_4～P1_7のプルアップ		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	PU06	P3_0、P3_1、P3_3のプルアップ	0：プルアップなし 1：プルアップあり(注1)	R/W
b7	PU07	P3_4、P3_5、P3_7のプルアップ		R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0レジスタの設定値が有効になります。

## 7.4.12 プルアップ制御レジスタ1 (PUR1)

アドレス 01E1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	PU11	PU10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU10	P4_3のプルアップ	0：プルアップなし 1：プルアップあり(注1)	R/W
b1	PU11	P4_4、P4_5のプルアップ		R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1レジスタの設定値が有効になります。

## 7.4.13 ポートP1駆動能力制御レジスタ(P1DRR)

アドレス 01F0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P1DRR7	P1DRR6	P1DRR5	P1DRR4	P1DRR3	P1DRR2	P1DRR1	P1DRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P1DRR0	P1_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P1DRR1	P1_1の駆動能力		R/W
b2	P1DRR2	P1_2の駆動能力		R/W
b3	P1DRR3	P1_3の駆動能力		R/W
b4	P1DRR4	P1_4の駆動能力		R/W
b5	P1DRR5	P1_5の駆動能力		R/W
b6	P1DRR6	P1_6の駆動能力		R/W
b7	P1DRR7	P1_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P1DRRレジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DRR<sub>i</sub>ビット(i=0~7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DRRレジスタの設定値が有効になります。

## 7.4.14 駆動能力制御レジスタ0 (DRR0)

アドレス 01F2h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR07	DRR06	-	-	-	-	DRR01	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	DRR01	P0_4の駆動能力	0 : Low 1 : High(注1)	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	DRR06	P3_0、P3_1、P3_3の駆動能力	0 : Low	R/W
b7	DRR07	P3_4、P3_5、P3_7の駆動能力	1 : High(注1)	R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0レジスタの設定値が有効になります。

## DRR01ビット(P0\_4の駆動能力)

DRR01ビットは、P0\_4の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR06ビット(P3\_0、P3\_1、P3\_3の駆動能力)

DRR06ビットは、P3\_0、P3\_1、P3\_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR07ビット(P3\_4、P3\_5、P3\_7の駆動能力)

DRR07ビットは、P3\_4、P3\_5、P3\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## 7.4.15 駆動能力制御レジスタ1 (DRR1)

アドレス 01F3h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	DRR11	DRR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR10	P4_3の駆動能力	0 : Low 1 : High(注1)	R/W
b1	DRR11	P4_4、P4_5の駆動能力		R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b7	-			-

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR1レジスタの設定値が有効になります。

## DRR10ビット(P4\_3の駆動能力)

DRR10ビットは、P4\_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR10ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR11ビット(P4\_4、P4\_5の駆動能力)

DRR11ビットは、P4\_4、P4\_5の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR11ビットによって、2端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## 7.4.16 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	-	-	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入力レベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P1の入力レベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT03			R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			-
b6	VLT06	P3_0、P3_1、P3_3 ~ P3_5、P3_7の入力レベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT07			R/W

VLT0レジスタはポートP0\_4、P1、P3\_0、P3\_1、P3\_3 ~ P3\_5、P3\_7の入力しきい値の電圧レベルを選択するレジスタです。VLT00 ~ VLT03 ビットおよびVLT06、VLT07 ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

## 7.4.17 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4_3 ~ P4_5入力レベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT11			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			-
b4	-			-
b5	-			-
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b7	-			-

VLT1レジスタはポートP4\_3 ~ P4\_5の入力しきい値の電圧レベルを選択するレジスタです。VLT10、VLT11 ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

## 7.5 ポートの設定

表7.5～表7.27にポートの設定を示します。

表7.5 ポートP0\_4/TREO/TRCIOB/ASW

レジスタ	PD0	TRECR1	TRCPSR0			BBANTSWCON	タイマRC設定	機能
ビット	PD0_4	TOENA	TRCIOBSEL			ANTSWEN		
			2	1	0			
設定値	0	0	011b以外			0	X	入力ポート(注1)
	1	0	011b以外			0	X	出力ポート(注2)
	X	1	011b以外			0	X	TREO出力(注2)
	0	X	0	1	1	0	「表7.25 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	0	1	1	0	「表7.25 TRCIOB端子設定」参照	TRCIOB出力(注2)
	0	X	X	X	X	1	X	ANTSW出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.6 ポートP1\_0/KI0/TRCIOD

レジスタ	PD1	KIEN	TRCPSR1			タイマRC設定	機能
ビット	PD1_0	KI0EN	TRCIODSEL				
			2	1	0		
設定値	0	X	001b以外			X	入力ポート(注1)
	1	X	001b以外			X	出力ポート(注2)
	0	1	001b以外			X	KI0入力(注1)
	0	X	0	0	1	「表7.27 TRCIOD端子設定」参照	TRCIOD入力(注1)
	X	X	0	0	1	「表7.27 TRCIOD端子設定」参照	TRCIOD出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.7 ポートP1\_1/KI1/TRCIOA/TRCTRG

レジスタ	PD1	KIEN	TRCPSR0			タイマRC設定	機能
ビット	PD1_1	KI1EN	TRCIOASEL				
			2	1	0		
設定値	0	X	001b以外			X	入力ポート(注1)
	1	X	001b以外			X	出力ポート(注2)
	0	1	001b以外			X	KI1入力(注1)
	0	X	0	0	1	「表7.24 TRCIOA端子設定」参照	TRCIOA入力(注1)
	X	X	0	0	1	「表7.24 TRCIOA端子設定」参照	TRCIOA出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.8 ポートP1\_2/KI2/TRCIOB

レジスタ	PD1	KIEN	TRCPSR0			タイマRC設定	機能
			TRCIOBSEL				
ビット	PD1_2	KI2EN	2	1	0		
設定値	0	X	001b以外			X	入力ポート(注1)
	1	X	001b以外			X	出力ポート(注2)
	0	1	001b以外			X	KI2入力(注1)
	0	X	0	0	1	「表7.25 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	0	0	1	「表7.25 TRCIOB端子設定」参照	TRCIOB出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU02ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR2ビットを"1"にすると、出力の駆動能力Highとなります。

表7.9 ポートP1\_3/KI3/TRBO/TRCIOC

レジスタ	PD1	KIEN	TRBRCSR	TRCPSR1			タイマRB設定	タイマRC設定	機能
				TRCIOCSEL					
ビット	PD1_3	KI3EN	TRBOSEL0	2	1	0			
設定値	0	X	1	001b以外			X	X	入力ポート(注1)
			X				TRBO 使用条件以外		
	1	X	1	001b以外			X	X	出力ポート(注2)
			X				TRBO 使用条件以外		
	0	1	1	001b以外			X	X	KI3入力(注1)
			X				TRBO 使用条件以外		
	X	X	0	X	X	X	「表7.23 TRBO 端子設定」参照	X	TRBO出力(注2)
	0	X	1	0	0	1	X	「表7.26 TRCIOC 端子設定」参照	TRCIOC入力(注1)
			X				TRBO 使用条件以外		
	X	X	1	0	0	1	X	「表7.26 TRCIOC 端子設定」参照	TRCIOC出力(注2)
			X				TRBO 使用条件以外		

X: "0" または "1"

注1. PUR0レジスタのPU02ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR3ビットを"1"にすると、出力の駆動能力Highとなります。

表7.10 ポートP1\_4/KI4/TXD0/TRCCLK

レジスタ	PD1	KIEN	U0SR	U0MR			TRBRCSR		TRCCR1			機能	
				SMD			TRCCLKSEL		TCK				
ビット	PD1_4	KI4EN	TXD0SEL0	2	1	0	1	0	2	1	0		
設定値	0	X	0	X	X	X	X	X	X	X	X	入力ポート(注1)	
	1	X	0	X	X	X	X	X	X	X	X	出力ポート(注2)	
	0	1	0	X	X	X	X	X	X	X	X	KI4入力(注1)	
	X	X	1	1	0	1	X	X	X	X	X	X	TXD0出力(注2、3)
						0							
						1							
0	X	0	X	X	X	0	1	1	0	1	TRCCLK入力(注1)		

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR4ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U0C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.11 ポートP1\_5/KI5/RXD0/TRAI0/INT1

レジスタ	PD1	KIEN1	U0SR	TRASR	TRAI0C	TRAMR			INTSR			INTEN	機能	
ビット	PD1_5	KI5EN	RXD0SEL0	TRAI0SEL		TOPCR	TMOD			INT1SEL				INT1EN
				1	0		2	1	0	2	1	0		
設定値	0	X	X	10b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
	1	X	X	10b以外		X	X	X	X	X	X	X	X	出力ポート(注2)
	0	1	X	10b以外		X	X	X	X	X	X	X	X	KI5入力(注1)
	0	X	1	10b以外		X	X	X	X	X	X	X	X	RXD0入力(注1)
	0	X	X	1	0	0	000b、001b以外			X	X	X	X	TRAI0入力(注1)
	0	X	X	10b以外		X	X	X	X	0	0	1	1	INT1入力(注1)
	0	X	X	1	0	0	000b、001b以外			0	0	1	1	TRAI0/INT1入力(注1)
	X	X	X	1	0	0	0	0	1	X	X	X	X	TRAI0パルス出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR5ビットを"1"にすると、出力の駆動能力Highとなります。

表7.12 ポートP1\_6/KI6/CLK0

レジスタ	PD1	KIEN1	U0SR	U0MR				機能
ビット	PD1_6	KI6EN	CLK0SEL0	SMD			CKDIR	
				2	1	0		
設定値	0	X	0	X	X	X	X	入力ポート(注1)
	1	X	0	X	X	X	X	出力ポート(注2)
	0	1	0	X	X	X	X	KI6入力(注1)
	0	X	1	X	X	X	1	CLK0(外部クロック)入力(注1)
	X	X	X	1	0	0	1	0

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR6ビットを"1"にすると、出力の駆動能力Highとなります。

表7.13 ポートP1\_7/KI7/INT1/TRAI0

レジスタ	PD1	KIEN1	TRASR	TRAI0C	TRAMR			INTSR			INTEN	機能	
ビット	PD1_7	KI7EN	TRAI0SEL		TOPCR	TMOD			INT1SEL				INT1EN
			1	0		2	1	0	2	1	0		
設定値	0	X	01b以外		X	X	X	X	X	X	X	X	入力ポート(注1)
	1	X	01b以外		X	X	X	X	X	X	X	X	出力ポート(注2)
	0	1	01b以外		X	X	X	X	X	X	X	X	KI7入力
	0	X	0	1	0	000b、001b以外			X	X	X	X	TRAI0入力(注1)
	0	X	01b以外		X	X	X	X	0	0	0	1	INT1入力(注1)
	0	X	0	1	0	000b、001b以外			0	0	0	1	TRAI0/INT1入力(注1)
	X	X	0	1	0	0	0	1	X	X	X	X	TRAI0パルス出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR7ビットを"1"にすると、出力の駆動能力Highとなります。

表7.14 ポートP3\_0/TRAO

レジスタ	PD3	TRASR		TRAI0C	機能
ビット	PD3_0	TRAOSEL		TOENA	
		1	0		
設定値	0	01b以外		X	入力ポート(注1)
	1	01b以外		X	出力ポート(注2)
	X	0	1	1	TRAO出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

表7.15 ポートP3\_1/TRBO

レジスタ	PD3	TRBRCSR	タイマRB設定	機能
ビット	PD3_1	TRBOSEL0		
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	「表7.23 TRBO端子設定」参照	TRBO出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

表7.16 ポートP3\_3/INT3/TRCCLK/SCS

レジスタ	PD3	SSMR2		INTSR		INTEN	TRBRCSR		TRCCR1			機能
ビット	PD3_3	CSS		INT3SEL		INT3EN	TRCCLKSEL		TCK			
		1	0	1	0		1	0	2	1	0	
設定値	0	0	0	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	0	0	X	X	X	X	X	X	X	X	出力ポート(注2)
	0	0	0	0	0	1	X	X	X	X	X	INT3入力(注1)
	0	0	0	X	X	X	1	0	1	0	1	TRCCLK入力(注1)
	X	0	1	X	X	X	X	X	X	X	X	SCS入力(注1)
	X	1	0	X	X	X	X	X	X	X	X	X
	1	1										

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのCSOSビットを"1"(Nチャンネルオープンドレイン出力)にすると、Nチャンネルオープンドレイン出力になります。

表7.17 ポートP3\_4/TRCIOC/SSI

レジスタ	PD3	SSUICSR	シンクロナスシリアル コミュニケーションユニット (「表23.4 通信モードと入出力端子の関係」参照)		TRCPSR1			タイマRC設定	機能
ビット	PD3_4	IICSEL	SSI出力制御	SSI入力制御	TRCIOCSEL				
					2	1	0		
設定値	0	X	0	0	010b以外			X	入力ポート(注1)
	1	X	0	0	010b以外			X	出力ポート(注2)
	0	X	0	0	0	1	0	「表7.26 TRCIOC 端子設定」参照	TRCIOC入力(注1)
	X	X	0	0	0	1	0	「表7.26 TRCIOC 端子設定」参照	TRCIOC出力(注2)
	X	0	0	1	X	X	X	X	SSI入力(注1)
	X	0	1	0	X	X	X	X	SSI出力(注2、3)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSOOSビットを“1”(Nチャンネルオープンドレイン出力)かつBIDEビットを“0”(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

表7.18 ポートP3\_5/SCL/SSCK/TRCIOD

レジスタ	PD3	SSUICSR	ICCR1	シンクロナスシリアル コミュニケーションユニット (「表23.4 通信モードと入出力端子の関係」参照)		TRCPSR1			タイマRC設定	機能
ビット	PD3_5	IICSEL	ICE	SSCK 出力制御	SSCK 入力制御	TRCIODSEL				
						2	1	0		
設定値	0	0	X	0	0	010b以外			X	入力ポート(注1)
		1	0	X	X	010b以外			X	出力ポート(注2)
	1	0	X	0	0	010b以外			X	出力ポート(注2)
		1	0	X	X	010b以外			X	出力ポート(注2)
	X	1	1	X	X	X	X	X	X	SCL入出力(注2)
	X	0	X	0	1	X	X	X	X	SSCK入力(注1)
	X	0	X	1	0	X	X	X	X	SSCK出力(注2、3)
	0	0	X	0	0	0	1	0	「表7.27 TRCIOD端子 設定」参照	TRCIOD入力(注1)
		1	0	X	X	0	1	0	「表7.27 TRCIOD端子 設定」参照	TRCIOD出力(注2)
	X	0	X	0	0	0	1	0	「表7.27 TRCIOD端子 設定」参照	TRCIOD出力(注2)
1		0	X	X	0	1	0	「表7.27 TRCIOD端子 設定」参照	TRCIOD出力(注2)	

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSCKOSビットを“1”(Nチャンネルオープンドレイン出力)にすると、Nチャンネルオープンドレイン出力になります。

表7.19 ポートP3\_7/SSO/TRAO/SDA

レジスタ	PD3	SSUICSR	ICCR1	シンクロナスシリアル コミュニケーションユニット (「表23.4 通信モードと入出力端子の関係」参照)		TRASR		TRAIOC	機能
				SSO出力制御	SSO入力制御	TRAOSEL		TOENA	
ビット	PD3_7	IICSEL	ICE						1
設定値	0	1	0	X	X	001b以外			入力ポート(注1)
		0	X	0	0				
	1	1	0	X	X	001b以外			出力ポート(注2)
		0	X	0	0				
	X	1	1	X	X	X	X	X	SDA入出力(注2)
	X	0	X	0	1	X	X	X	SSO入力(注1)
	X	0	X	1	0	X	X	X	SSO出力(注2、3)
X	1	0	X	X	0	0	1	TRAO出力(注2)	
	0	X	0	0					

X:“0”または“1”

注1. PURレジスタのPU07ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSOOSビットを“1”(Nチャンネルオープンドレイン出力)にすると、Nチャンネルオープンドレイン出力になります。

表7.20 ポートP4\_3/XCIN

レジスタ	PD4	CM0		CM1		回路仕様		機能
		CM03	CM04	CM10	CM12	発振 バッファ	帰還抵抗	
ビット	PD4_3							
設定値	0	X	X	X	X	OFF	OFF	入力ポート(注1)
			0					
設定値	1	X	X	X	X	OFF	OFF	出力ポート(注2)
			0					
設定値	0	0	1	0	0	ON	ON	XCIN-XCOUT発振(内蔵帰還抵抗有効)(注3)
					1	ON	OFF	XCIN-XCOUT発振(内蔵帰還抵抗無効)(注3)
					0	OFF	ON	XCIN-XCOUT発振停止(内蔵帰還抵抗有効)
					1	OFF	OFF	XCIN-XCOUT発振停止(内蔵帰還抵抗無効)
					X	OFF	OFF	XCIN-XCOUT発振停止(STOPモード)

X:“0”または“1”

注1. PUR1レジスタのPU10ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR10ビットを“1”にすると、出力の駆動能力Highとなります。

注3. XCINクロックを使用する場合、PUR1レジスタのPU10ビットを“0”(ブルアップなし)にしてください。

表7.21 ポートP4\_4/XCOUT

レジスタ ビット	PD4	CM0		CM1		回路仕様		機能
		CM03	CM04	CM10	CM12	発振 バッファ	帰還抵抗	
設定値	0	X	X	X	X	OFF	OFF	入力ポート(注1)
			0					
	1	X	X	X	X	OFF	OFF	出力ポート(注2)
			0					
	0	0	1	0	0	ON	ON	XCIN-XCOUT発振(内蔵帰還抵抗有効) (注3、4)
					1	ON	OFF	XCIN-XCOUT発振(内蔵帰還抵抗無効) (注3、4)
					0	OFF	ON	XCIN-XCOUT発振停止(内蔵帰還抵抗有効)
					1	OFF	OFF	XCIN-XCOUT発振停止(内蔵帰還抵抗無効)
X	X	X	1	X	OFF	OFF	XCIN-XCOUT発振停止(STOPモード)	

X:“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

注3. XCIN-XCOUT発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOSレベルの信号として使用できません。

注4. XCINクロックを使用する場合、PUR1レジスタのPU11ビットを“0”(プルアップなし)にしてください。

表7.22 ポートP4\_5/ $\overline{\text{INT0}}$ 

レジスタ ビット	PD4	INTEN	機能
		INT0EN	
設定値	0	X	入力ポート(注1)
	1	X	出力ポート(注2)
	0	1	$\overline{\text{INT0}}$ 入力(注1)

X:“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

表7.23 TRBO端子設定

レジスタ	TRBIOC	TRBMR		機能
ビット	TOCNT	TMOD1	TMOD0	
設定値	0	0	1	プログラマブル波形発生モード(パルス出力)
	1	0	1	プログラマブル波形発生モード(プログラマブル出力)
	0	1	0	プログラマブルワンショット発生モード
	0	1	1	プログラマブルウェイトワンショット発生モード

表7.24 TRCIOA端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			TRCCR2		機能	
ビット	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG0		
設定値	0	1	0	0	1	X	X	タイマ波形出力(アウトプットコンペア機能)	
				1	X				
	1	0	1	1	X	X	X	X	タイマモード(インプットキャプチャ機能)
					1	X			
1	0	X	X	X	X	0	1	PWM2モード TRCTRГ入力	
						1	X		

X: "0" または "1"

表7.25 TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能	
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0		
設定値	0	0	0	X	X	X	PWM2モード波形出力	
	0	1	1	X	X	X	PWMモード波形出力	
	0	1	0	0	0	1	X	タイマ波形出力(アウトプットコンペア機能)
					1	X		
	1	1	0	1	X	X	タイマモード(インプットキャプチャ機能)	

X: "0" または "1"

表7.26 TRCIOC端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
1							

X: "0" または "1"

表7.27 TRCIOD端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
1							

X: "0" または "1"

## 7.6 未使用端子の処理

表7.28に未使用端子の処理例を示します。

表7.28 未使用端子の処理例

端子名	処理内容
ポートP0_4、P1、P3_0、P3_1、P3_3～P3_5、P3_7、P4_3～P4_5	<ul style="list-style-type: none"> <li>•入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2)</li> <li>•出力モードに設定し、端子を開放(注1、2)</li> </ul>
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

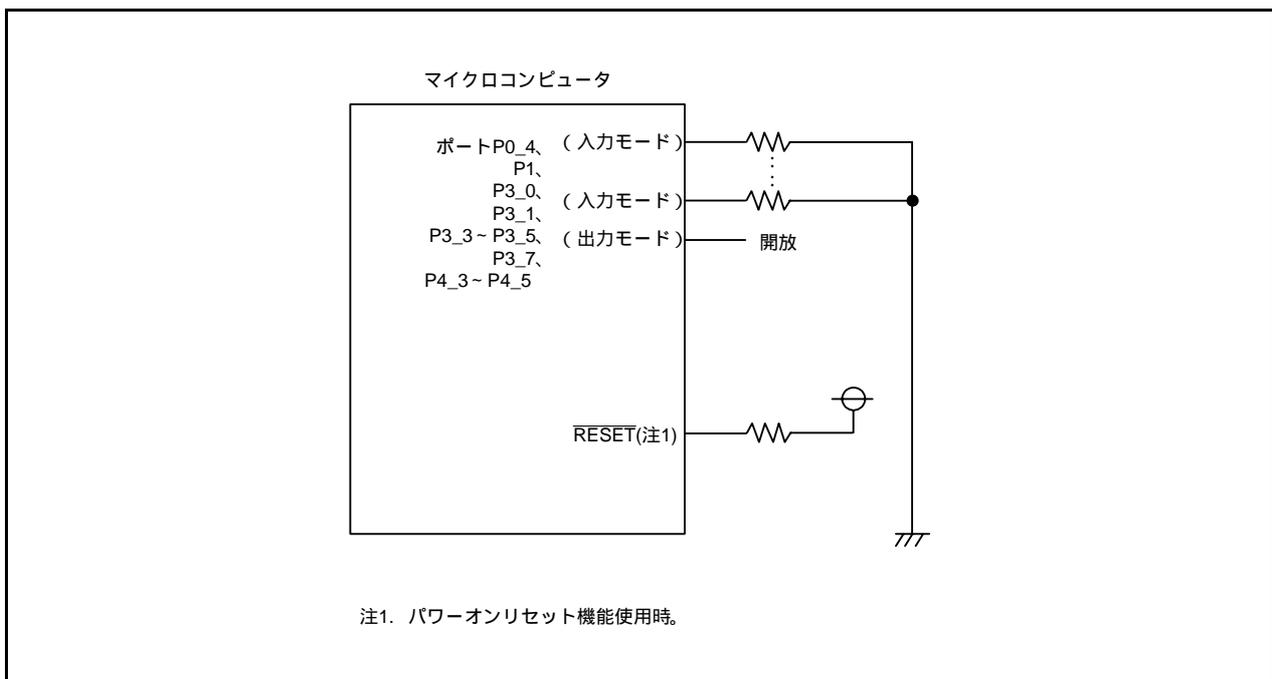


図7.11 未使用端子の処理例

## 8. バス制御

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRとはアクセス時のバスサイクルが異なります。

表8.1にR8C/3MQグループのアクセス領域に対するバスサイクルを示します。

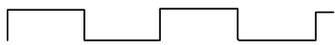
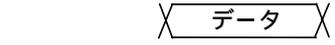
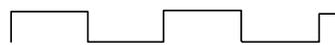
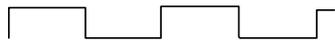
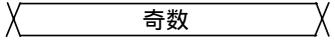
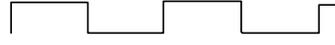
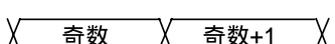
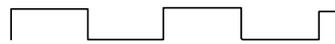
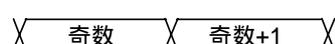
ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。

表8.2にアクセス単位とバスの動作を示します。

表8.1 R8C/3MQグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR、データフラッシュ	CPUクロックの2サイクル
プログラムROM、RAM	CPUクロックの1サイクル

表8.2 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM、DTCベクタ領域、DTCコントロールデータ
偶数番地 バイトアクセス	CPU クロック  アドレス  偶数 データ 	CPU クロック  アドレス  偶数 データ 
奇数番地 バイトアクセス	CPU クロック  アドレス  奇数 データ 	CPU クロック  アドレス  奇数 データ 
偶数番地 ワードアクセス	CPU クロック  アドレス  偶数 偶数+1 データ 	CPU クロック  アドレス  偶数 偶数+1 データ 
奇数番地 ワードアクセス	CPU クロック  アドレス  奇数 奇数+1 データ 	CPU クロック  アドレス  奇数 奇数+1 データ 

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

SSU：SSTDR、SSTDRH、SSRDR、SSRDRHレジスタ

アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表8.2 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

## 9. クロック発生回路

クロック発生回路として、4つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 低速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

### 9.1 概要

表9.1にクロック発生回路の概略仕様を、図9.1にクロック発生回路を、図9.2に周辺機能のクロックを示します。

表9.1 クロック発生回路の概略仕様

項目	XINクロック発振回路	XCINクロック発振回路	低速オンチップオシレータ	ウォッチドッグタイマ用低速オンチップオシレータ
用途	<ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> <li>• トランシーバの基準クロック源</li> </ul>	<ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> </ul>	<ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> <li>• XINクロック発振停止時のCPU、周辺機能のクロック源</li> </ul>	ウォッチドッグタイマのクロック源
クロック周波数	16MHz(固定)(注4)	32.768kHz	約125kHz	約125kHz
接続できる発振子	水晶発振子	水晶発振子		
発振子の接続端子	XIN、XOUT	XCIN、XCOUT(注1)		
発振の開始と停止	あり	あり	あり	あり
リセット後の状態	停止	停止	発振	停止(注2) 発振(注3)
その他		帰還抵抗Rfを内蔵(接続/非接続選択可能)		

注1. XCINクロック発振回路を使用せず、XINクロック発振回路または、オンチップオシレータクロックをCPUクロックに使用する場合にはP4\_3、P4\_4として使うことができます。

注2. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注3. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

注4. XINクロックはトランシーバの基準クロックとしても使用しますので、16MHz(固定)です。

また、周波数許容誤差が±40ppm以下になるように水晶発振子を選択します。

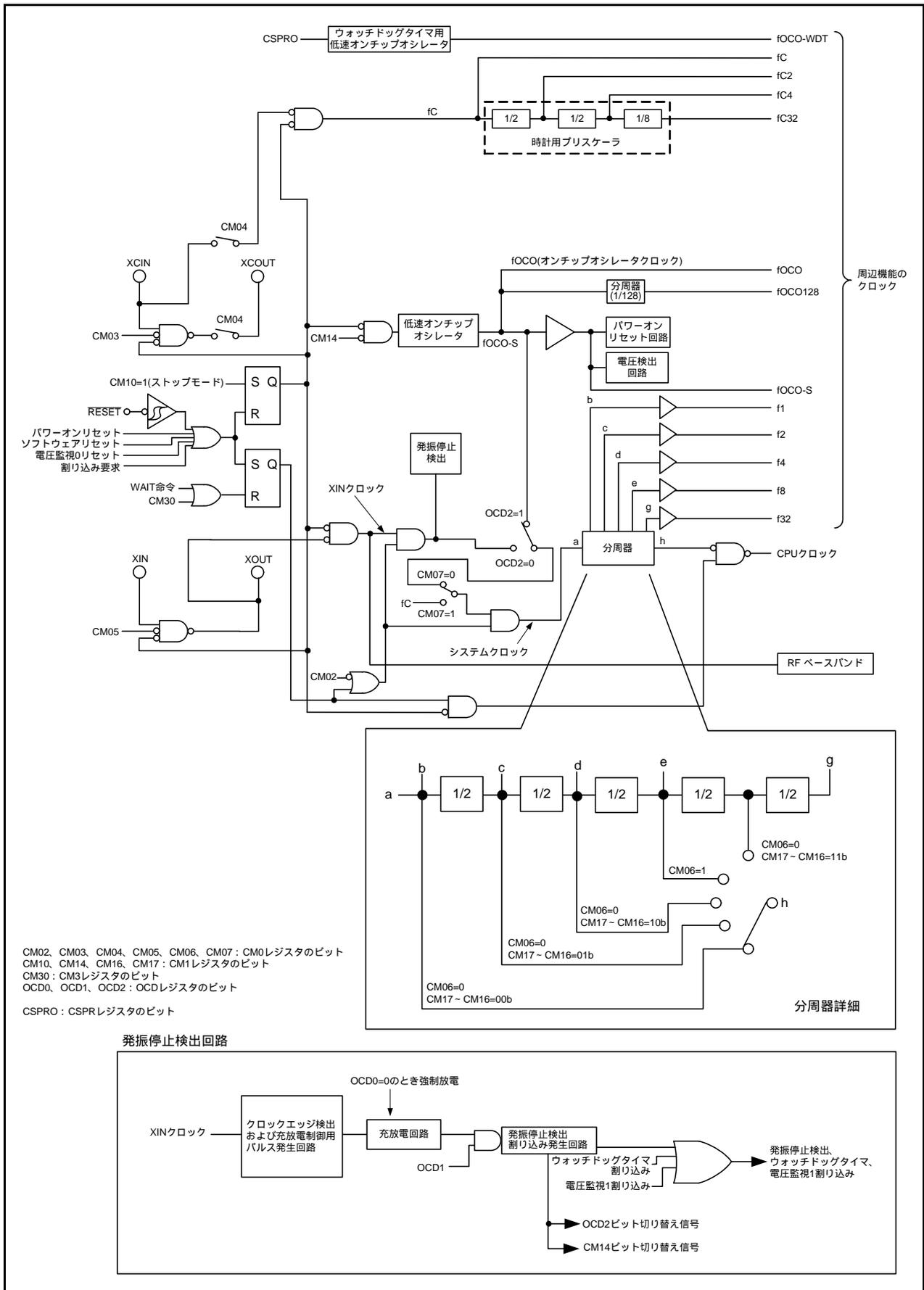


図9.1 クロック発生回路

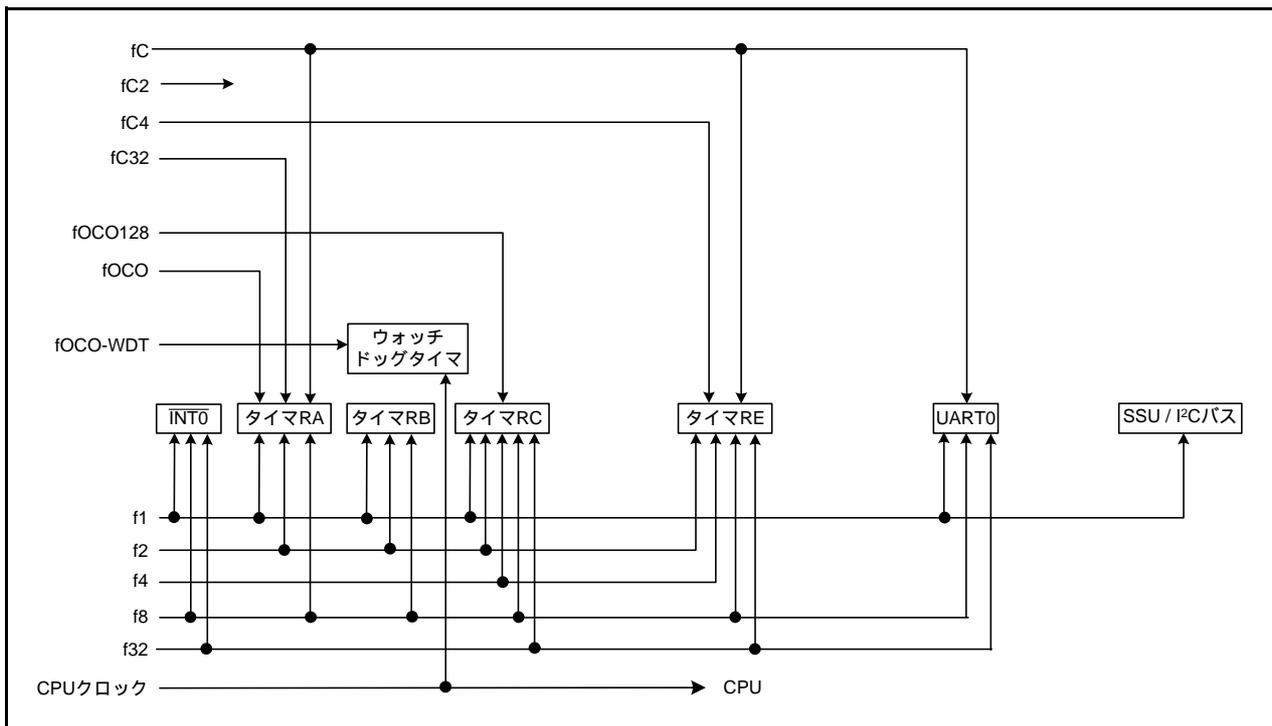


図9.2 周辺機能のクロック

## 9.2 レジスタの説明

## 9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	-	-
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	CM03	XCINクロック停止ビット	0: 発振 1: 停止	R/W
b4	CM04	ポート/XCIN-XCOUT切り替えビット(注3)	0: 入出力ポートP4_3、P4_4 1: XCIN、XCOUT端子(注4)	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1)	0: 発振 1: 停止	R/W
b6	CM06	CPUクロック分周比選択ビット0(注2)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XIN、XCINクロック選択ビット(注5)	0: XINクロック 1: XCINクロック	R/W

- 注1. CM05ビットは、システムクロックがXINクロック以外の場合、XINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。  
(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。  
(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
- 注2. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
- 注3. CM04ビットはプログラムで“1”にできますが、“0”にできません。
- 注4. XCINクロックを使用する場合、CM04ビットを“1”にしてください。また、ポートP4\_3、P4\_4は入力ポートで、プルアップなしにしてください。
- 注5. CM04ビットを“1”(XCIN-XCOUT端子)にし、XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	-	CM14	-	CM12	CM11	CM10
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2、5)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	-	予約ビット	“1” にしてください	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	-	予約ビット	“1” にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

注1. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16～CM17ビットは有効となります。

注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注4. 電圧監視1割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

注5. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	-	-	-	-	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-	予約ビット	“0”にしてください	R/W
b4	-			
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 設定しないでください 11: XINクロックを選択(注3)	R/W
b7	CM37			R/W

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
  - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

## 9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	システムクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

- 注1. ストップモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
- 注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図9.11 発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 9.2.5 時計用プリスケアラリセットフラグ (CPSRF)

アドレス 0028h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CPSR	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される(読んだ場合、その値は“0”)	R/W

## 9.2.6 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	VCA26	VCA25	-	-	-	-	VCA20
リセット後の値	0	0	0	0	0	0	0	0
上記はOFSレジスタのLVDASビットが“1”の場合								
リセット後の値	0	0	1	0	0	0	0	0
上記はOFSレジスタのLVDASビットが“0”の場合								

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	-	予約ビット	“0” にしてください	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「9.7.2.2 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 9.2.7 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	-		何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。	-
b3	IOINSEL	I/Oポート入力機能選択ビット	0: I/Oポートの入力機能はPDi (i=0、1、3、4)レジスタに依存PDiレジスタのPDi <sub>j</sub> (j=0~7)ビットが“0” (入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi <sub>j</sub> ビットが“1” (出力モード)のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍選択ビット(注1)	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍選択ビット(注1)	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット	b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I<sup>2</sup>Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方とも“0”にしてください。

## IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0、1、3、4)レジスタのPDi<sub>j</sub> (j=0~7)ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表9.2にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表9.2 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi <sub>j</sub> ビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット				
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

クロック発生回路で生成するクロックを説明します。

### 9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。

図9.3にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

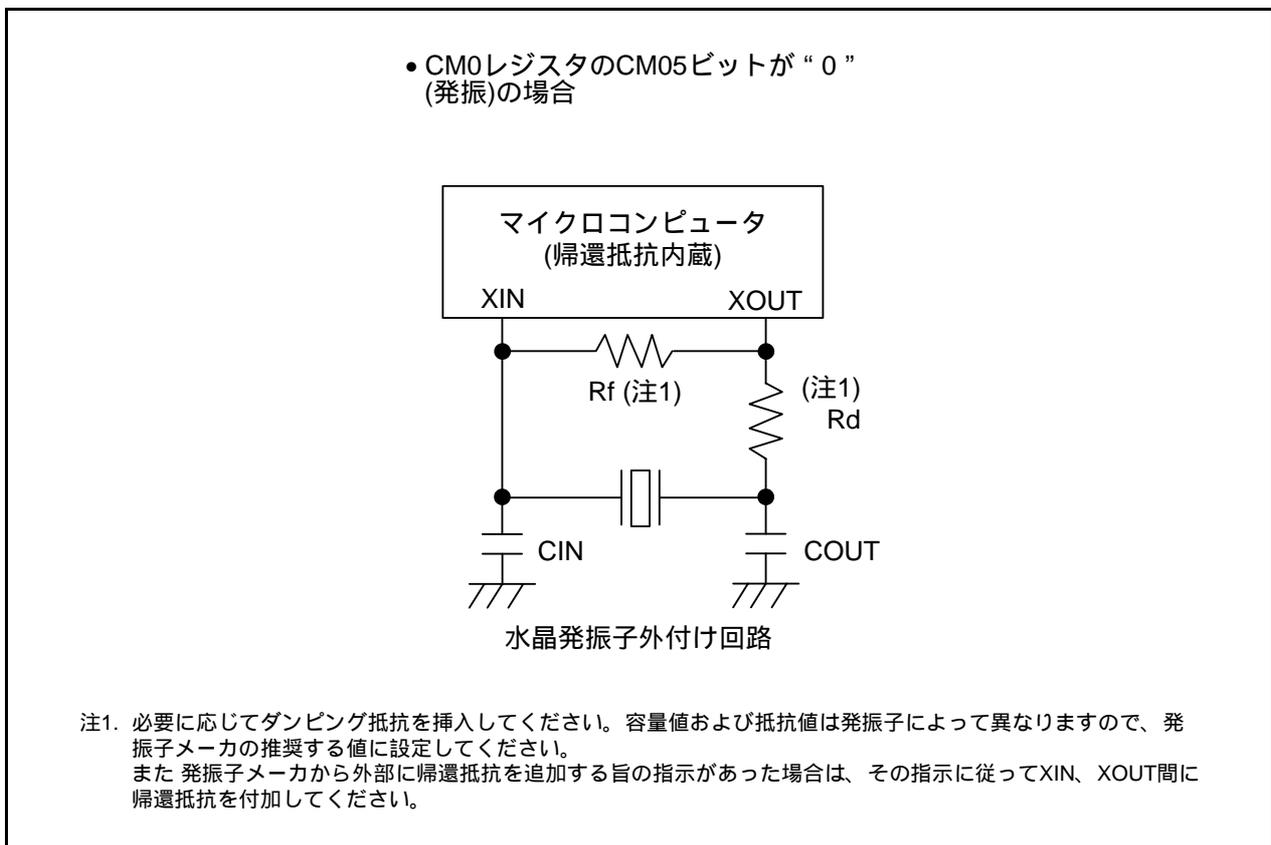


図9.3 XINクロックの接続回路例

## 9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、低速オンチップオシレータがあります。

### 9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-S、fOCO128のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

## 9.5 XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。

図9.4にXCINクロックの接続回路例を示します。

リセット中およびリセット後、XCINクロックは停止しています。

CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にし、CM0レジスタのCM03ビットを“0”(XCINクロック発振)にするとXCINクロックは発振を開始します。XCINクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(XCINクロック)にするとXCINクロックがCPUのクロック源になります。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1レジスタのCM12ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

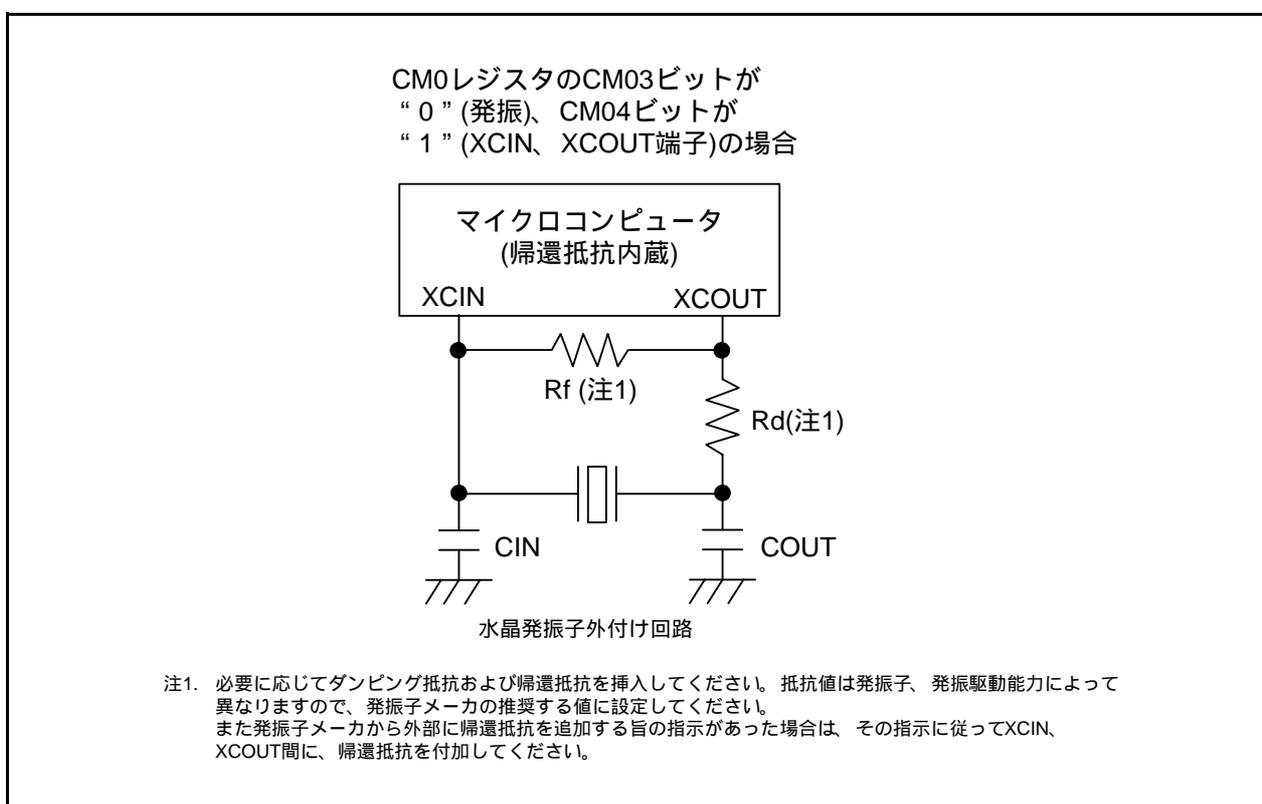


図9.4 XCINクロックの接続回路例

## 9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります(「図9.1 クロック発生回路」参照)。

### 9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロックまたはオンチップオシレータクロックが選択できます。

### 9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

### 9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

$f_i$  ( $i=1, 2, 4, 8, 32$ )はシステムクロックを $i$ 分周したクロックです。 $f_i$ はタイマRA、タイマRB、タイマRC、タイマRE、シリアルインタフェースで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、 $f_i$ は停止します。

### 9.6.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRAで使用します。fOCOはウェイトモード時、停止しません。

### 9.6.5 fOCO-S

電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

### 9.6.6 fOCO128

fOCO-Sを128分周したクロックです。

タイマRCのTRCGRAレジスタで使用するキャプチャ信号になります。

### 9.6.7 fC、fC2、fC4、fC32

fC、fC2、fC4、fC32はタイマRA、タイマRE、シリアルインタフェースで使⽤します。  
なお、fC、fC2、fC4、fC32は、XCINクロックの発振が安定しているときに使⽤してください。

### 9.6.8 fOCO-WDT

ウォッチドッグタイマの動作クロックです。  
fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。  
fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

## 9.7 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

### 9.7.1 標準動作モード

標準動作モードは、さらに3つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表9.3 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1レジスタ		CM0レジスタ				
		OCD2	CM17、 CM16	CM14	CM07	CM06	CM05	CM04	CM03
高速クロック モード	分周なし	0	00b		0	0	0		
	2分周	0	01b		0	0	0		
	4分周	0	10b		0	0	0		
	8分周	0			0	1	0		
	16分周	0	11b		0	0	0		
低速クロック モード	分周なし		00b		1	0		1	0
	2分周		01b		1	0		1	0
	4分周		10b		1	0		1	0
	8分周				1	1		1	0
	16分周		11b		1	0		1	0
低速オンチップオ シレータモード	分周なし	1	00b	0	0	0			
	2分周	1	01b	0	0	0			
	4分周	1	10b	0	0	0			
	8分周	1		0	0	1			
	16分周	1	11b	0	0	0			

: “0”でも“1”でも影響ない

### 9.7.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

### 9.7.1.2 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。

このモードにおいて、XINクロックを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周のいずれかで、低消費電流リードモードを使用できます。ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「27. 消費電力の低減」を参照してください。

### 9.7.1.3 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「27. 消費電力の低減」を参照してください。

## 9.7.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

### 9.7.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

## 9.7.2.2 VCA20ビットによる内部電源低消費操作

VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。VCA20ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

VCA20ビットによる内部電源低消費操作設定手順は、CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合と、WAIT命令を実行してウェイトモードにする場合とで異なります。図9.5にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を、図9.6にWAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を示します。

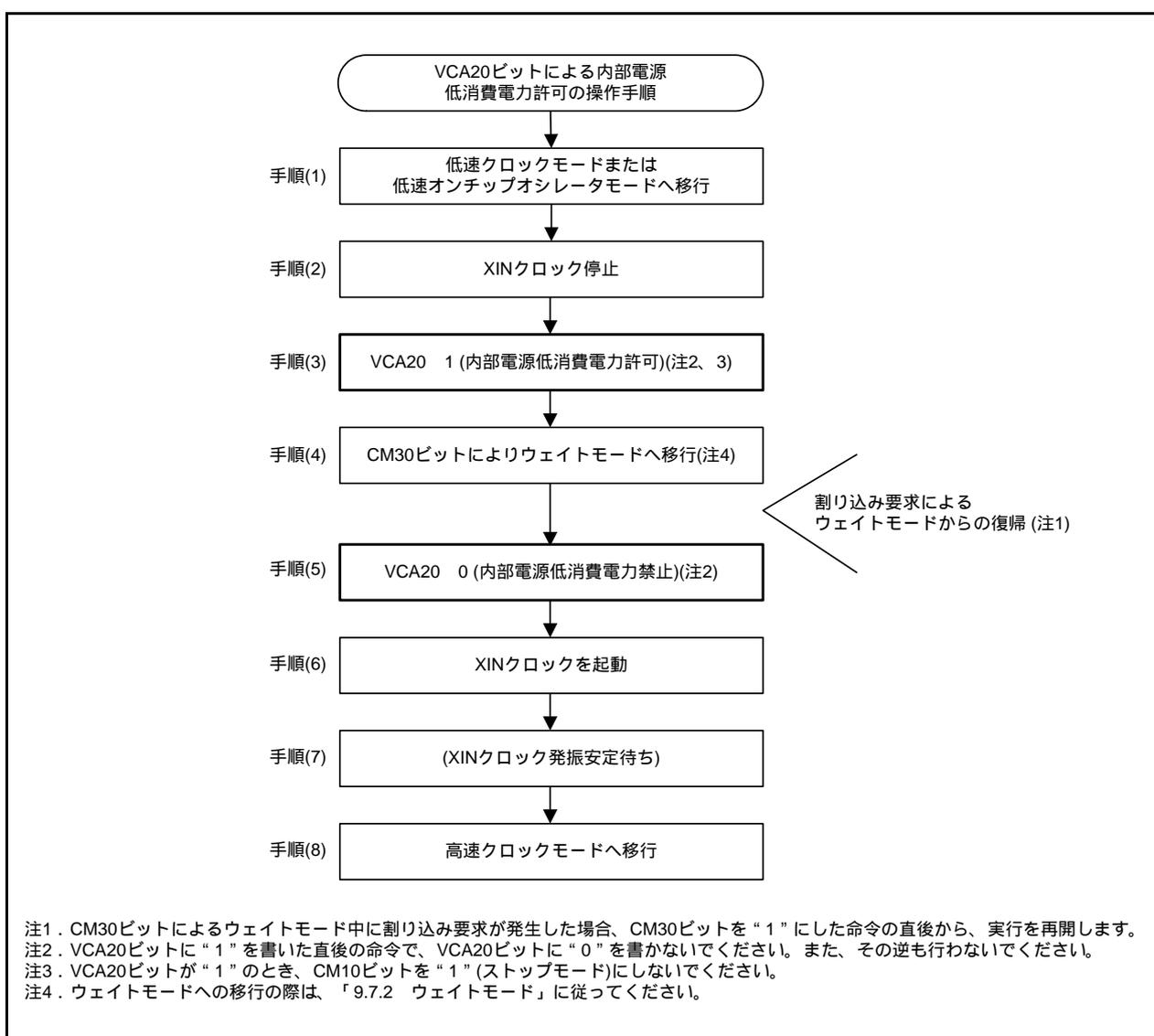


図9.5 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順

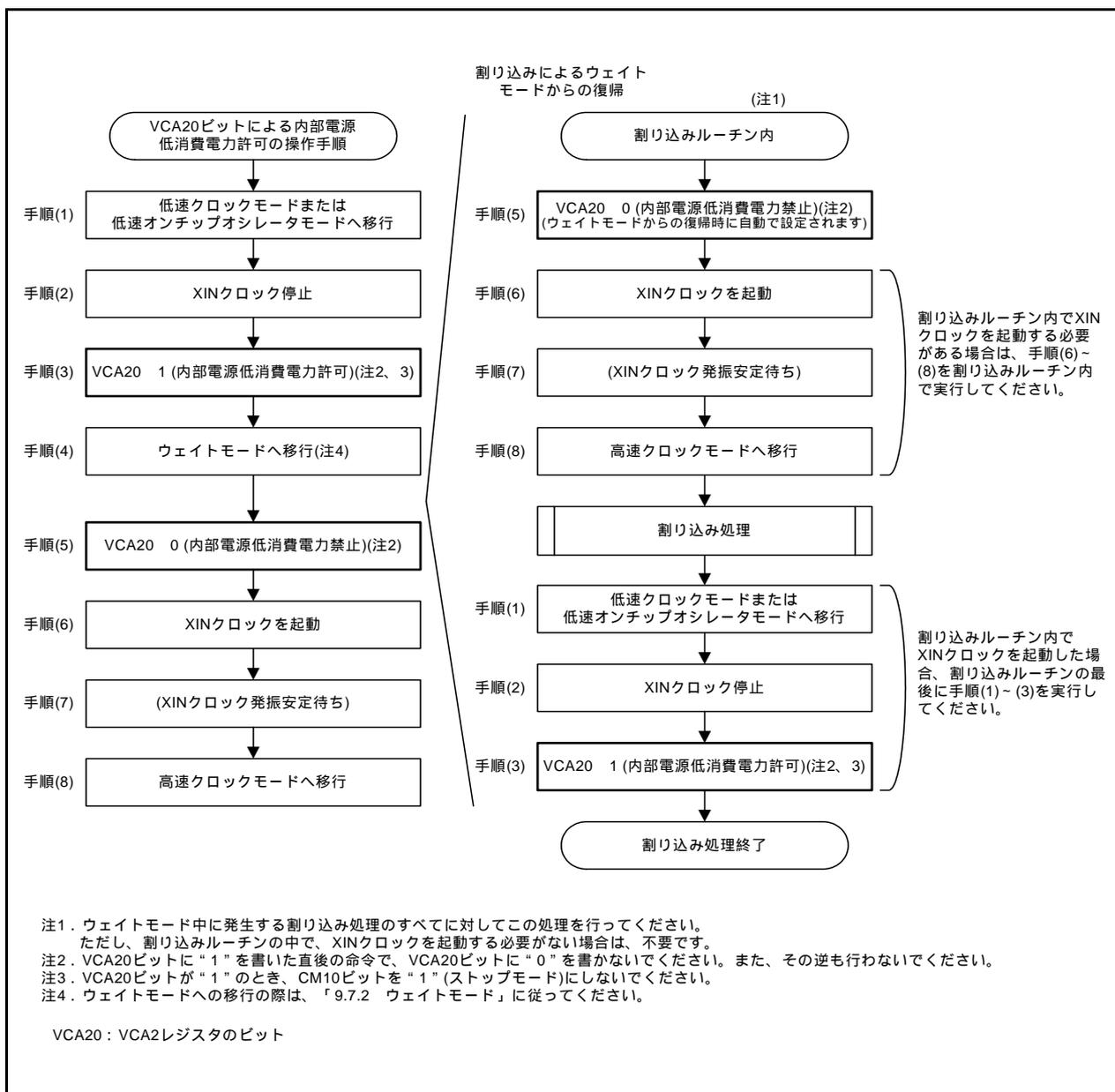


図9.6 WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順

### 9.7.2.3 ウェイトモードへの移行

WAIT 命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT 命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT 命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。

### 9.7.2.4 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

### 9.7.2.5 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表9.4にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.4 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコミュニケーションユニット割り込み/I <sup>2</sup> Cバスインタフェース割り込み	すべてのモードで使用可	(使用しないでください)
キー入力割り込み	使用可	使用可
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCO、fC、fC32を選択することで使用可
タイマRB割り込み	すべてのモードで使用可	タイマRAのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRAのアンダフローを選択することで使用可
タイマRC割り込み	すべてのモードで使用可	(使用しないでください)
タイマRE割り込み	すべてのモードで使用可	リアルタイムクロックモードで使用可
INT割り込み	使用可	フィルタなしの場合に使用可
電圧監視1割り込み	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)

### 9.7.2.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰

図9.7にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.7のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

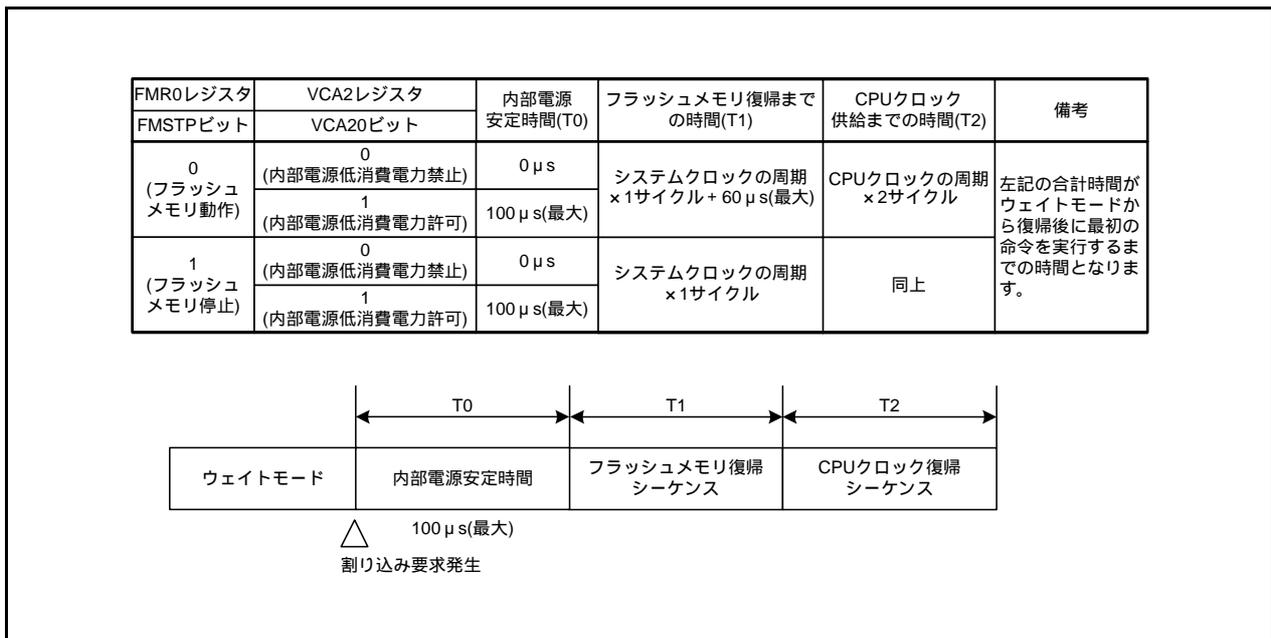


図9.7 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

## 9.7.2.7 WAIT 命令実行後のウェイトモードからの復帰

図9.8にWAIT 命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT 命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL2 ~ ILVL0 ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みの ILVL2 ~ ILVL0 ビットをすべて “000b” (割り込み禁止) にする。
- (2) Iフラグを “1” にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.8のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

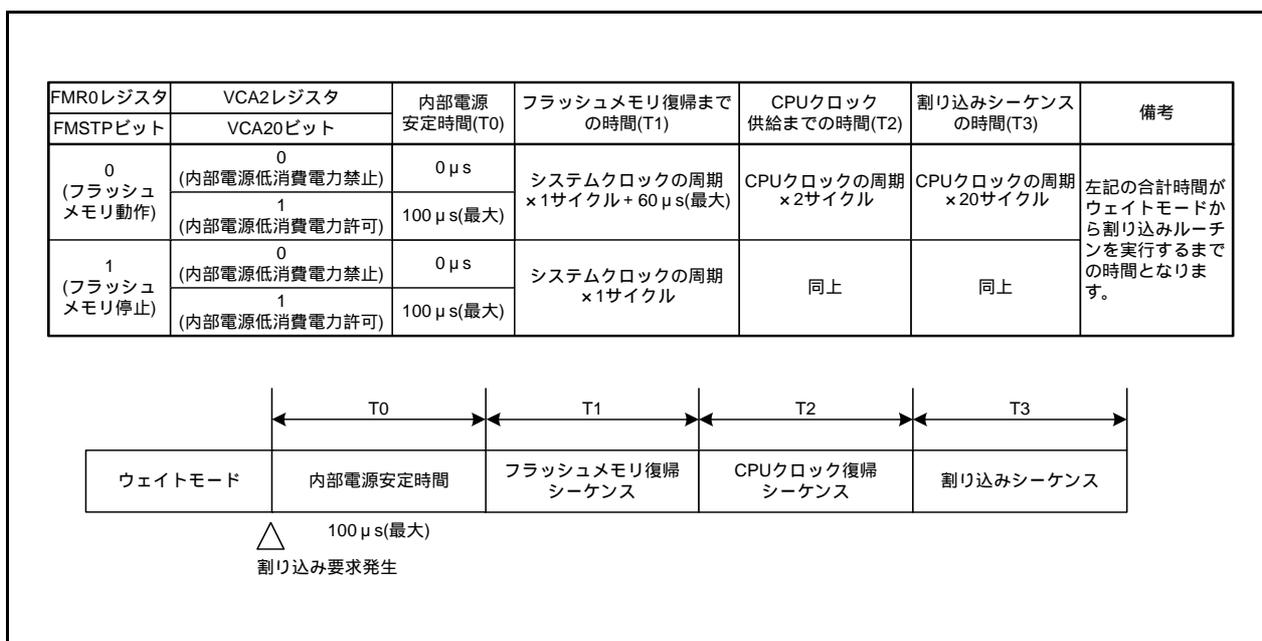


図9.8 WAIT 命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

### 9.7.3 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表9.5にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表9.5 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT割り込み	フィルタなしの場合に使用可
タイマRA割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可

#### 9.7.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1～OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態では、ストップモードへ移行しないでください。

#### 9.7.3.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

XOUT端子は“H”になります。

### 9.7.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図9.9にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。  
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。  
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。



図9.9 ストップモードから割り込みルーチンを実行するまでの時間



## 9.8 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.6に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1 (オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1 (XINクロック停止)
- CM1レジスタのCM14ビット=0 (低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.6 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

### 9.8.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。  
図9.11に発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、OCD1～OCD0ビットを“11b”にしてください。

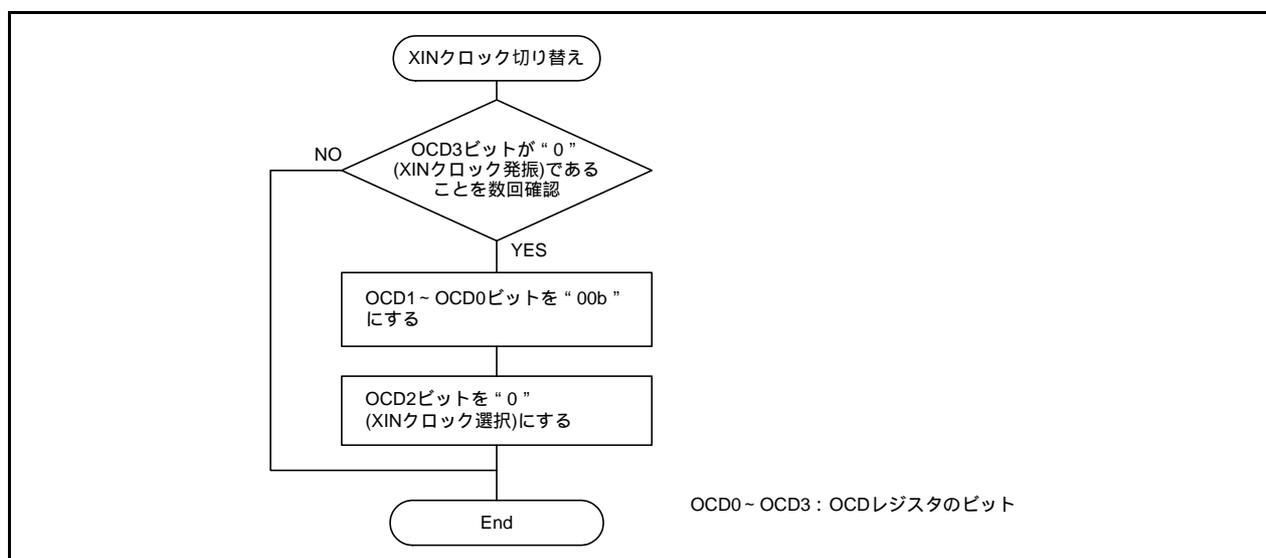


図9.11 発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順

## 9.9 クロック発生回路使用上の注意

### 9.9.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM1レジスタへの書き込み許可
FSET    I          ; 割り込み許可
BSET    0, CM1     ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

### 9.9.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)並びにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

#### • WAIT命令を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I          ; 割り込み許可
WAIT                                         ; ウェイトモード
NOP
NOP
NOP
NOP
```

#### • CM30ビットを“1”を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCLR   ; CM3レジスタへの書き込み許可
FCLR    I          ; 割り込み禁止
BSET    0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCLR   ; CM3レジスタへの書き込み禁止
FSET    I          ; 割り込み許可
```

### 9.9.3 VCA20ビットによる内部電源低消費操作

VCA20ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図9.5に示す手順に従ってください。

WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図9.6に示す手順に従ってください。

### 9.9.4 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

### 9.9.5 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

## 10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、CM3、OCDレジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC2ビットで保護されるレジスタ：PD0レジスタ
- PRC3ビットで保護されるレジスタ：VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタ

### 10.1 レジスタの説明

#### 10.1.1 プロテクトレジスタ(PRCR)

アドレス 000Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCDレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b2	PRC2	プロテクトビット2	PD0レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b3	PRC3	プロテクトビット3	VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. PRC2ビットを"1"(書き込み許可)にした後、SFR領域に書き込むと"0"になります。PRC2ビットで保護されるレジスタは、PRC2ビットを"1"にした次の命令で変更してください。なお、PRC2ビットを"1"にする命令と次の命令の間に、割り込みやDTC起動が実行されないようにしてください。

注2. PRC0、PRC1、PRC3ビットを"1"(書き込み許可)にした後、SFR領域に書き込んでも"0"になりませんので、プログラムで"0"にしてください。

## 11. 割り込み

### 11.1 概要

#### 11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

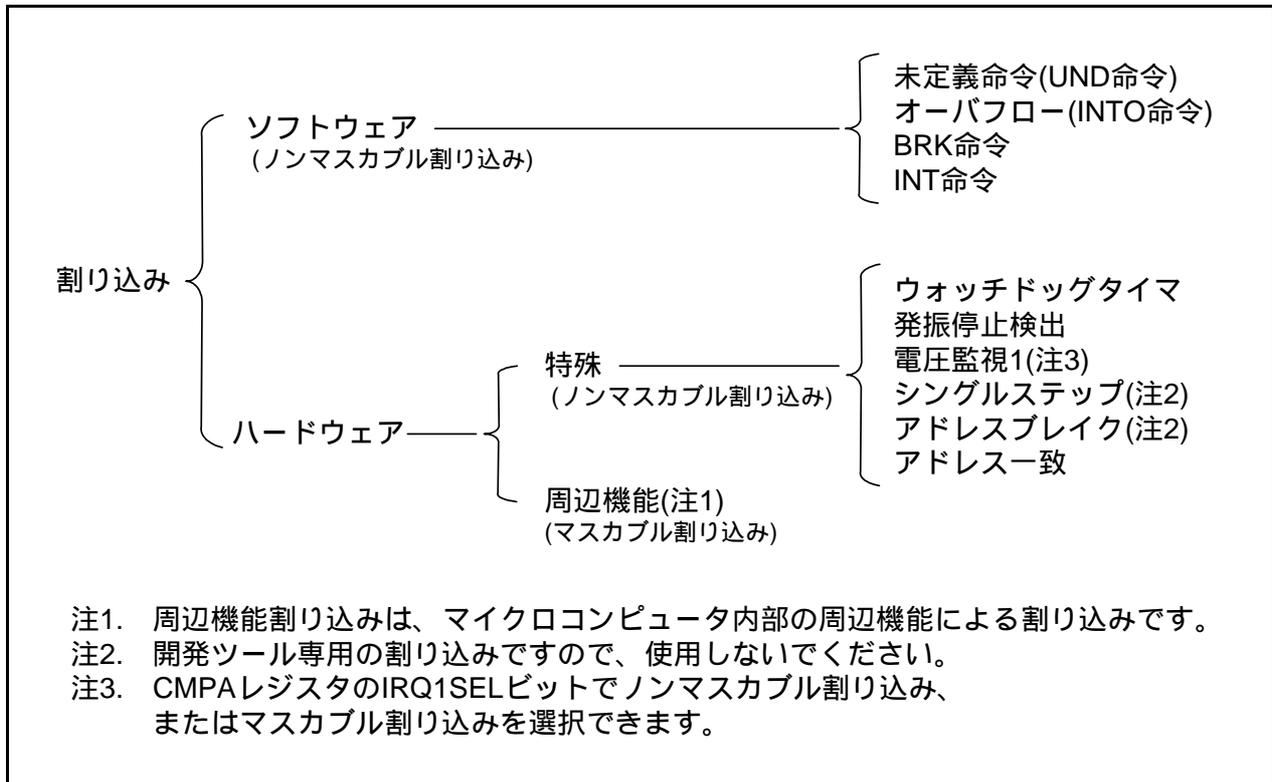


図11.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

### 11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

#### 11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

#### 11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

#### 11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

#### 11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

### 11.1.3 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

#### 11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「14. ウォッチドッグタイマ」を参照してください。

#### 11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

#### 11.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ1SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。CMPAレジスタのIRQ1SELビットが“0”のときはノンマスクابل割り込み(固定ベクタテーブル)、“1”のときはマスクابل割り込み(可変ベクタテーブル)になります。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

#### 11.1.3.4 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

#### 11.1.3.5 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.6 アドレス一致割り込み」を参照してください。

### 11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表11.2～表11.3 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

### 11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

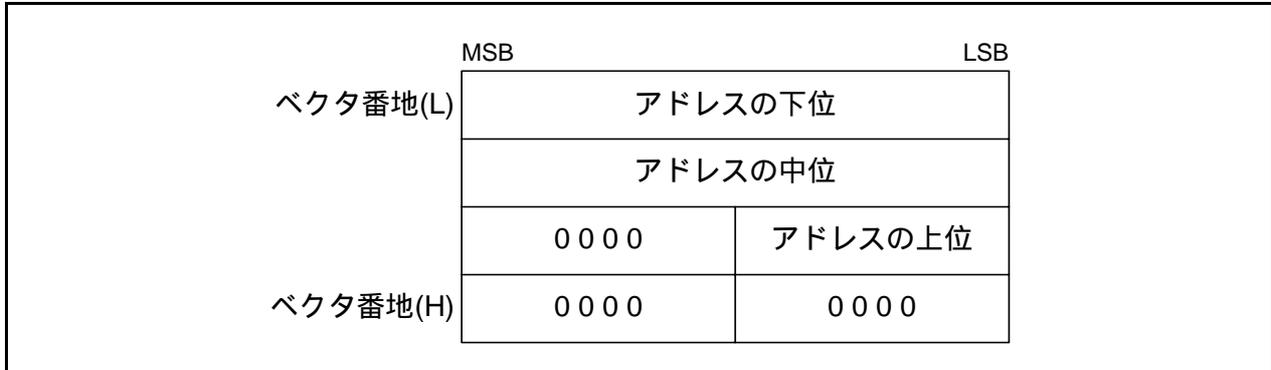


図11.2 割り込みベクタ

#### 11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「26.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/Tinyシリーズソフトウェアマニュアル
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		11.6 アドレス一致割り込み
シングルステップ(注1)	0FFECh～0FEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1(注2)	0FFF0h～0FFF3h		14. ウォッチドッグタイマ、 9. クロック発生回路、 6. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCh～0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“0”(ノンマスクブル割り込み)の場合です。

## 11.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。  
表11.2～表11.3に可変ベクタテーブルを示します。

表11.2 可変ベクタテーブル(1)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフト ウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
BRK命令(注3)	+0～+3(0000h～0003h)	0		R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリレディ	+4～+7(0004h～0007h)	1	FMRDYIC	26. フラッシュメモリ
BBタイマコンペア2	+8～+12(0008h～000Bh)	2	BBTIM2IC	25. ベースバンド機能
(予約)		3～5		
(予約)		6		
タイマRC	+28～+31(001Ch～001Fh)	7	TRCIC	19. タイマRC
(予約)		8		
(予約)		9		
タイマRE	+40～+43(0028h～002Bh)	10	TREIC	20. タイマRE
(予約)		11		
(予約)		12		
キー入力	+52～+55(0034h～0037h)	13	KUPIC	11.5 キー入力割り込み
(予約)		14		
シンクロナスシリアル コミュニケーション ユニット/I <sup>2</sup> Cバスインタ フェース(注2)	+60～+63(003Ch～003Fh)	15	SSUIC/ IICIC	23. シンクロナスシリアルコ ミュニケーションユニッ ト(SSU)、 24. I <sup>2</sup> Cバスインタフェース
(予約)	+64～+67(0040h～0043h)	16		
UART0送信	+68～+71(0044h～0047h)	17	S0TIC	21. シリアルインタフェース (UART0)
UART0受信	+72～+75(0048h～004Bh)	18	S0RIC	
(予約)	+76～+79(004Ch～004Fh)	19		
バンク0受信完了/IDLE (注3)	+80～+83(0050h～0053h)	20	BBRX0IC/ BBIDLEIC	25. ベースバンド機能
(予約)		21		
タイマRA	+88～+91(0058h～005Bh)	22	TRAIC	17. タイマRA
(予約)		23		
タイマRB	+96～+99(0060h～0063h)	24	TRBIC	18. タイマRB
INT1	+100～+103(0064h～0067h)	25	INT1IC	11.4 INT割り込み
INT3	+104～+107(0068h～006Bh)	26	INT3IC	
(予約)		27		
BBタイマコンペア1	+112～+115(0070h～0073h)	28	BBTIM1IC	25. ベースバンド機能
INT0	+116～+119(0074h～0077h)	29	INT0IC	11.4 INT割り込み
CCA完了	+120～+123(0078h～007Bh)	30	BBCCAIC	25. ベースバンド機能
BBタイマコンペア0	+124～+127(007Ch～007Fh)	31	BBTIM0IC	25. ベースバンド機能

注1. INTBレジスタが示す番地からの相対番地です。

注2. SSUICSRレジスタのIICSELビットで選択できます。

注3. BBTXRMODE4レジスタのBANK0INTSELビットで選択できます。

表11.3 可変ベクタテーブル(2)

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
ソフトウェア(注2)	+128 ~ +131(0080h ~ 0083h) ~ +164 ~ +167(00A4h ~ 00A7h)	32 ~ 41		R8C/Tinyシリーズ ソフトウェアマニュアル
(予約)		42 ~ 43		
アドレスフィルタ	+176 ~ +179(00B0h ~ 00B3h)	44	BBADFIC	25. ベースバンド機能
送信オーバーラン	+180 ~ +183(00B4h ~ 00B7h)	45	BBTXORIC	25. ベースバンド機能
送信完了	+184 ~ +187(00B8h ~ 00BBh)	46	BBTXIC	25. ベースバンド機能
受信オーバーラン1	+188 ~ +191(00BCh ~ 00BFh)	47	BBRXOR1IC	25. ベースバンド機能
PLLロック/ アンロック検出	+192 ~ +195(00C0h ~ 00C3h)	48	BBPLLIC	25. ベースバンド機能
受信オーバーラン0/ キャリブレーション完了 (注5)	+196 ~ +199(00C4h ~ 00C7h)	49	BBRXOR0IC/ BBCALIC	25. ベースバンド機能
電圧監視1(注4)	+200 ~ +203(00C8h ~ 00CBh)	50	VCMP1IC	6. 電圧検出回路
バンク1受信完了/ クロックレギュレータ (注3)	+204 ~ +207(00CCh ~ 00CFh)	51	BBRX1IC/ BBCREGIC	25. ベースバンド機能
(予約)		52 ~ 55		
ソフトウェア(注2)	+224 ~ +227(00E0h ~ 00E3h) ~ +252 ~ +255(00FCh ~ 00FFh)	56 ~ 63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

注3. BBTXRXMODE4レジスタのBANK1INTSELビットで選択できます。

注4. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“1”(マスカブル割り込み)の場合です。

注5. BBTXRXMODE4レジスタのROR0INTSELビットで選択できます。

## 11.2 レジスタの説明

## 11.2.1 割り込み制御レジスタ

(BBTIM2IC、TREIC、KUPIC、S0TIC、S0RIC、BBRX0IC/BBIDLEIC、TRAIC、TRBIC、BBTIM1IC、BBCCAIC、BBTIM0IC、BBADFIC、BBTXORIC、BBTXIC、BBRXOR1IC、BBPLLIC、BBRXOR0IC/BBCALIC、VCMP1IC、BBRX1IC/BBCREGIC)

アドレス 0042h 番地(BBTIM2IC)、004Ah 番地(TREIC)、004Dh 番地(KUPIC)、0051h 番地(S0TIC)、0052h 番地(S0RIC)、0054h 番地(BBRX0IC/BBIDLEIC)、0056h 番地(TRAIC)、0058h 番地(TRBIC)、005Ch 番地(BBTIM1IC)、006Ch 番地(BBADFIC)、005Eh 番地(BBCCAIC)、005Fh 番地(BBTIM0IC)、006Dh 番地(BBTXORIC)、006Eh 番地(BBTXIC)、006Fh 番地(BBRXOR1IC)、0070h 番地(BBPLLIC)、0071h 番地(BBRXOR0IC/BBCALIC)、0072h 番地(VCMP1IC) (注2)、0073h 番地(BBRX1IC/BBCREGIC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	R/W
b1	ILVL1		0 0 0 : レベル0 (割り込み禁止)	R/W
b2	ILVL2		0 0 1 : レベル1	R/W
			0 1 0 : レベル2	
		0 1 1 : レベル3		
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

注2. VCMP1ICレジスタはCMPAレジスタのIRQ1SELビットが“1”(マスカブル割り込み)のとき使用できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.9.5 割り込み制御レジスタの変更」を参照してください。

## 11.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC、SSUIC/IICIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、004Fh番地(SSUIC/IICIC(注1))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. SSUICSRレジスタのIICSELビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.9.5 割り込み制御レジスタの変更」を参照してください。

## 11.2.3 INTi割り込み制御レジスタ (INTiIC)(i=0、1、3)

アドレス 0059h 番地 (INT1IC)、005Ah 番地 (INT3IC)、005Dh 番地 (INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット(注3)	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択(注2)	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b7	-			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

注2. INTENレジスタのINTiPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。

「11.9.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.9.5 割り込み制御レジスタの変更」を参照してください。

### 11.3 割り込み制御

マスクブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

#### 11.3.1 Iフラグ

Iフラグは、マスクブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクブル割り込みは許可され、“0”(禁止)にするとすべてのマスクブル割り込みは禁止されます。

#### 11.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込みでは、IRビットの動作が違います。「11.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

#### 11.3.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表11.4に割り込み優先レベルの設定を、表11.5にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表11.4 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表11.5 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクブル割り込みを禁止

### 11.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。  
Iフラグは“0”(割り込み禁止)  
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)  
Uフラグは“0”(ISPを指定)  
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

注2. タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース割り込みのIRビットの動作は「11.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

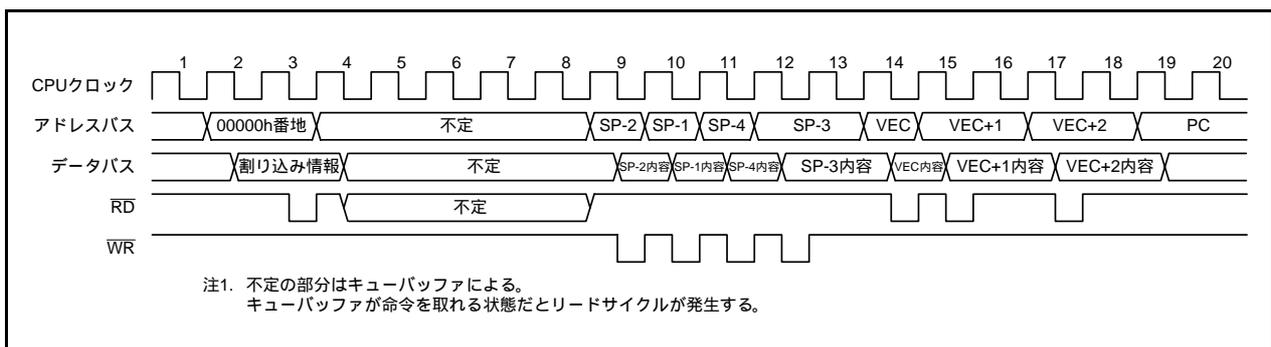


図11.3 割り込みシーケンスの実行時間

### 11.3.5 割り込み応答時間

図 11.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.4 の (a)) と割り込みシーケンスを実行する時間 (20 サイクル (b)) で構成されます。

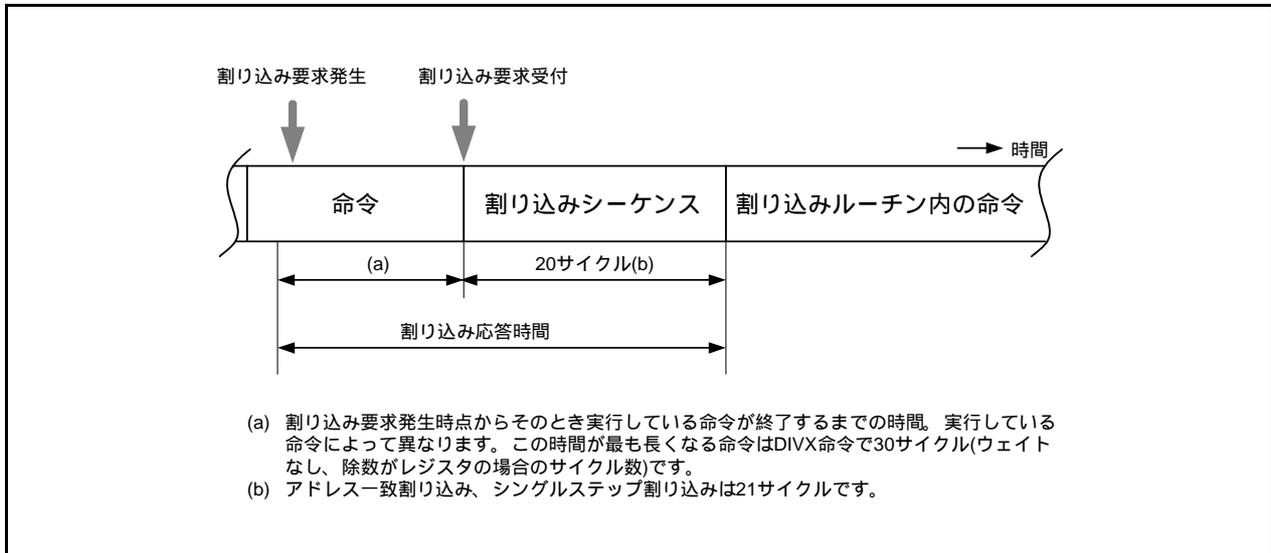


図 11.4 割り込み応答時間

### 11.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.6 に示す値がIPLに設定されます。

表 11.6 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 11.6 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1 (注1)、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

注1. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“0”(ノンマスカブル割り込み)の場合です。

### 11.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

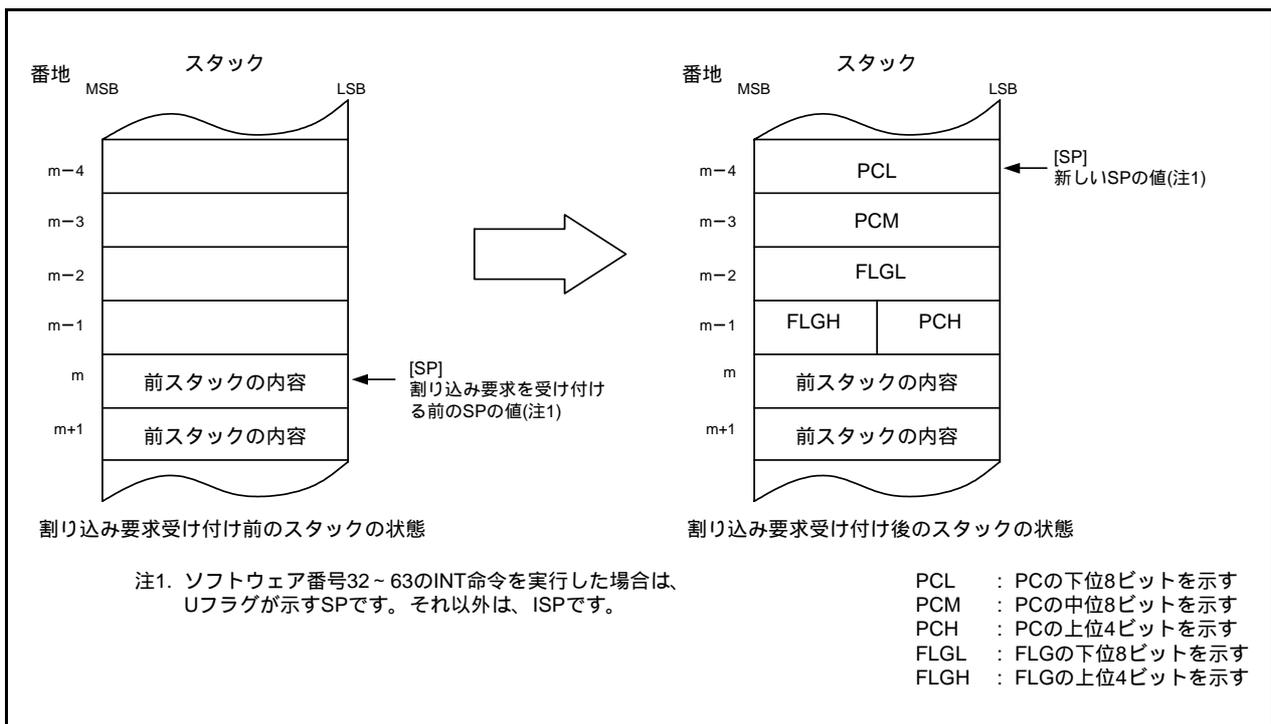


図11.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。  
 図11.6にレジスタ退避動作を示します。

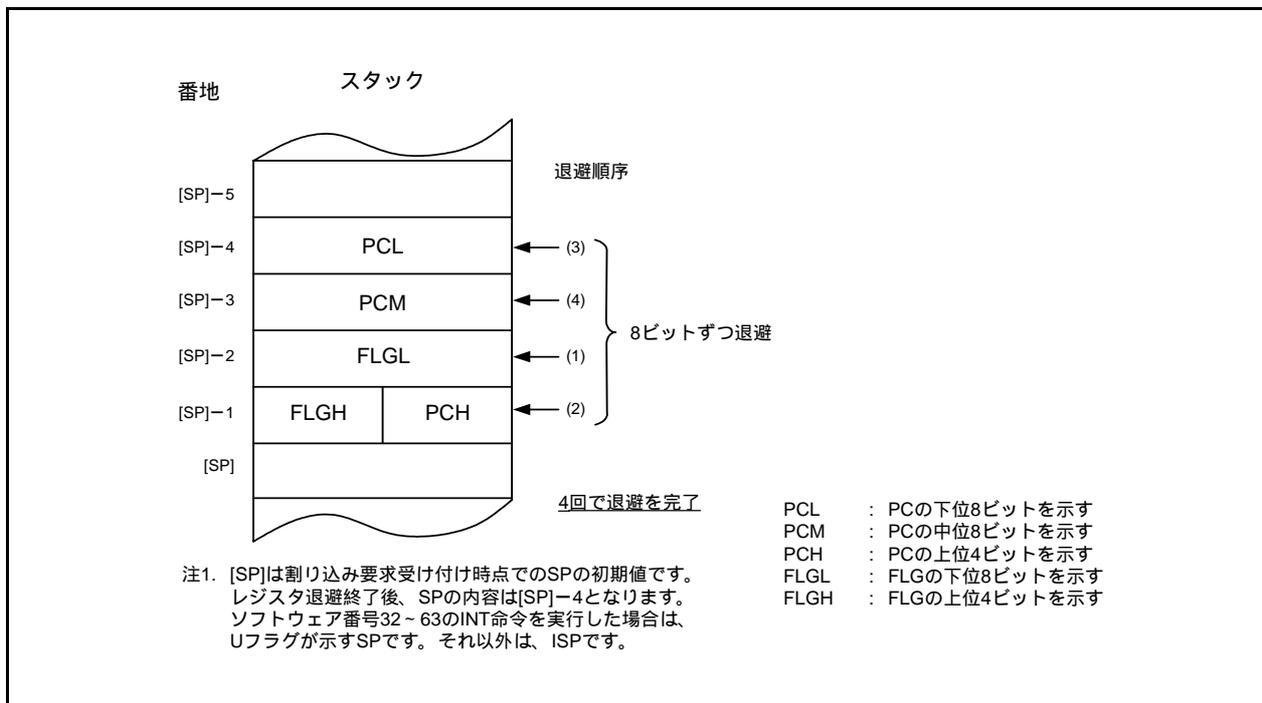


図11.6 レジスタ退避動作

### 11.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

### 11.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

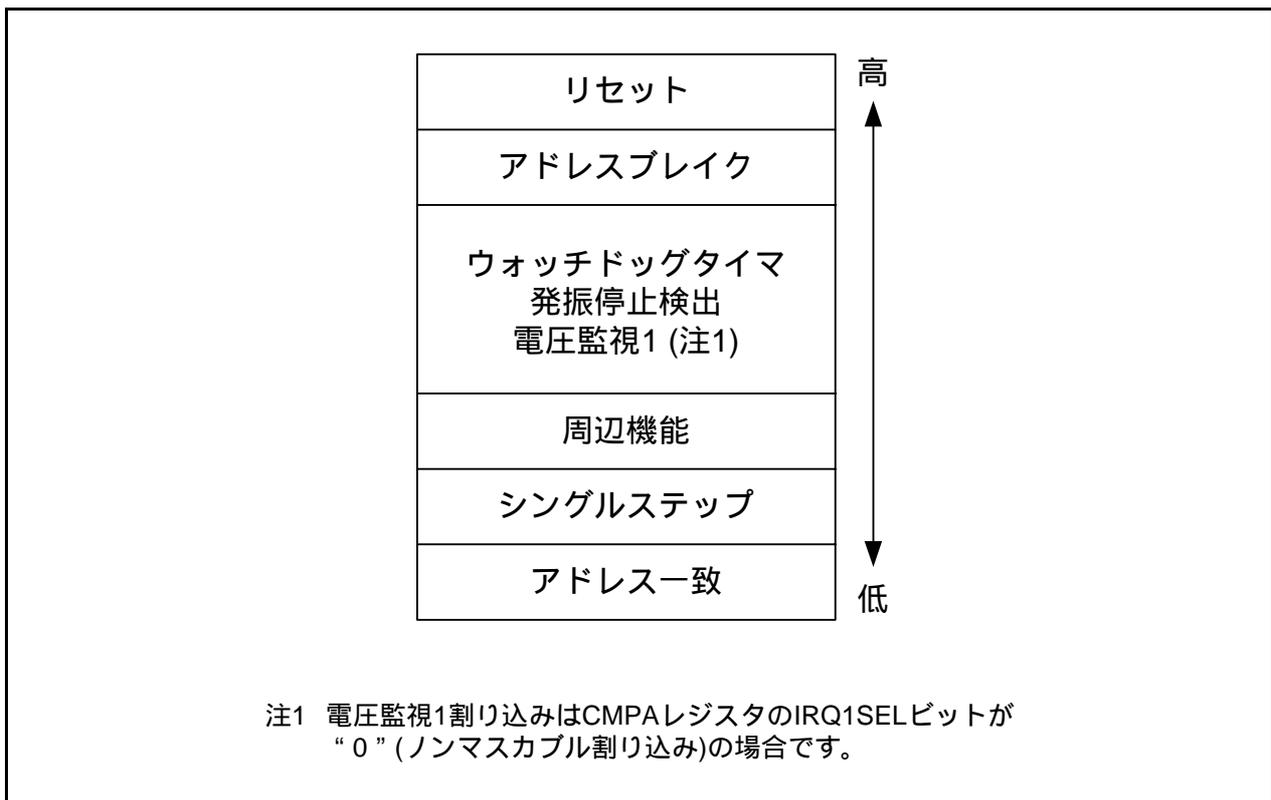


図11.7 ハードウェア割り込みの割り込み優先順位

## 11.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。  
図 11.8 に割り込み優先レベルの判定回路を示します。

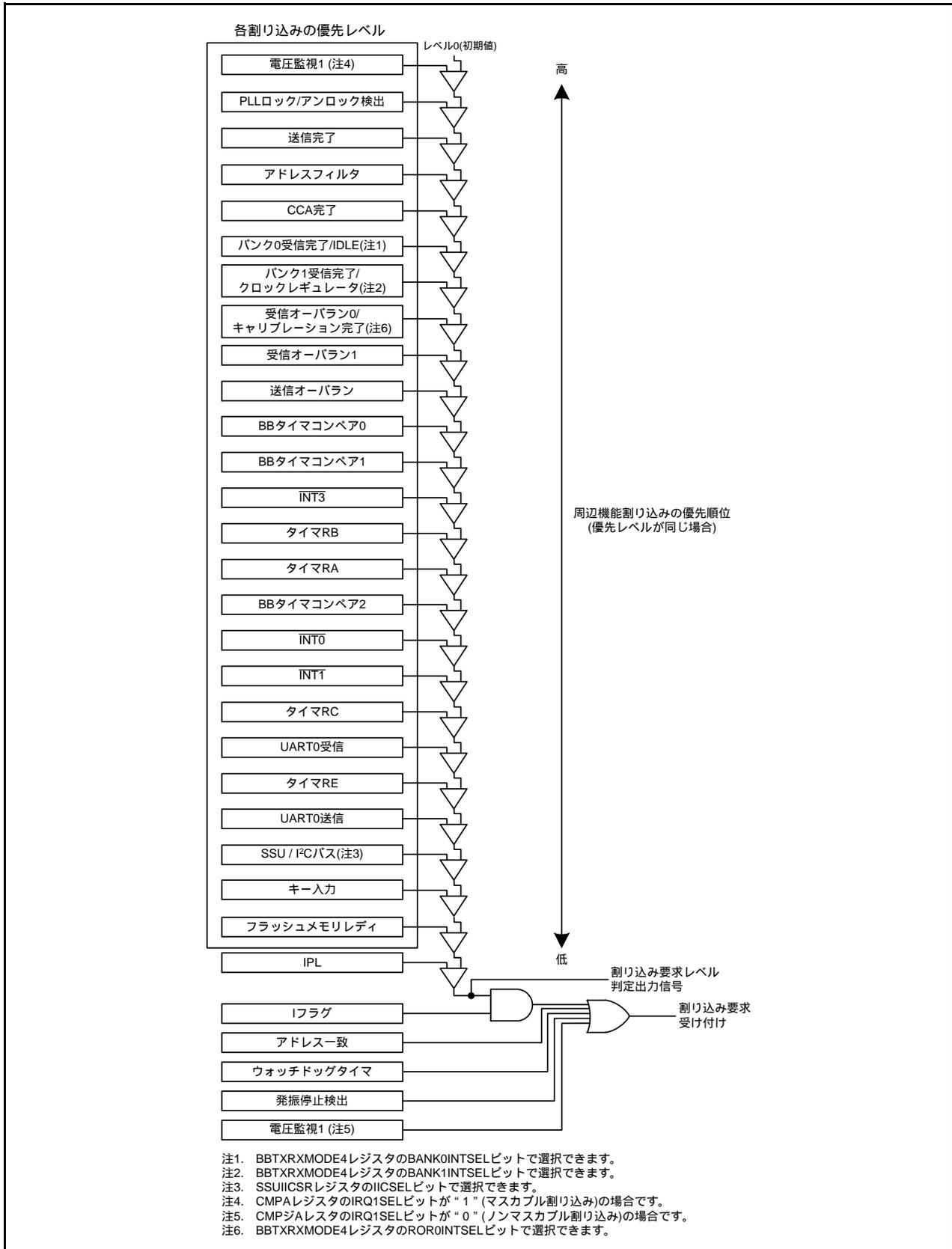


図 11.8 割り込み優先レベルの判定回路

## 11.4 INT割り込み

### 11.4.1 INT<sub>i</sub>割り込み (i=0, 1, 3)

INT<sub>i</sub>割り込みはINT<sub>i</sub>入力による割り込みです。INT<sub>i</sub>割り込みを使用するときはINTENレジスタのINT<sub>i</sub>ENビット“1”(許可)にしてください。極性をINTENレジスタのINT<sub>i</sub>PLビットとINT<sub>i</sub>ICレジスタのPOLビットで選択できます。INT<sub>1</sub>入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。INT<sub>0</sub>端子はタイマRCのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。表11.7にINT割り込みの端子構成を示します。

表11.7 INT割り込みの端子構成

端子名	割り当てる端子	入出力	機能
INT <sub>0</sub>	P4_5	入力	INT <sub>0</sub> 割り込み入力、タイマRBの外部トリガ入力、タイマRCのパルス出力強制遮断入力
INT <sub>1</sub>	P1_5またはP1_7	入力	INT <sub>1</sub> 割り込み入力
INT <sub>3</sub>	P3_3	入力	INT <sub>3</sub> 割り込み入力

### 11.4.2 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INT1SEL2	INT1SEL1	INT1SEL0	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b1	INT1SEL0	INT <sub>1</sub> 端子選択ビット	b3 b2 b1 000 : P1_7に割り当てる 001 : P1_5に割り当てる 上記以外 : 設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b5	-			
b6	-			
b7	-			

INTSRレジスタは、INT<sub>1</sub>の入力をどの端子に割り当てるかを選択するレジスタです。INT<sub>1</sub>を使用する場合は、INTSRレジスタを設定してください。

INT<sub>1</sub>の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、INT<sub>1</sub>の動作中はINTSRレジスタの設定値を変更しないでください。

## 11.4.3 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	-	-	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	INT0入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	INT0入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	INT1入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	INT1入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	INT3EN	INT3入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	INT3入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i=0、1、3)を"1"(両エッジ)にする場合、INTiICレジスタのPOLビットを"0"(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが"1"(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

## 11.4.4 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	-	-	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

### 11.4.5 $\overline{\text{INTi}}$ 入力フィルタ (i=0、1、3)

$\overline{\text{INTi}}$  入力は、デジタルフィルタを持ちます。サンプリングクロックはINTFレジスタのINTiF0 ~ INTiF1 ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが“1” (割り込み要求あり) になります。

図 11.9 に $\overline{\text{INTi}}$ 入力フィルタの構成を、図 11.10 に $\overline{\text{INTi}}$ 入力フィルタ動作例を示します。

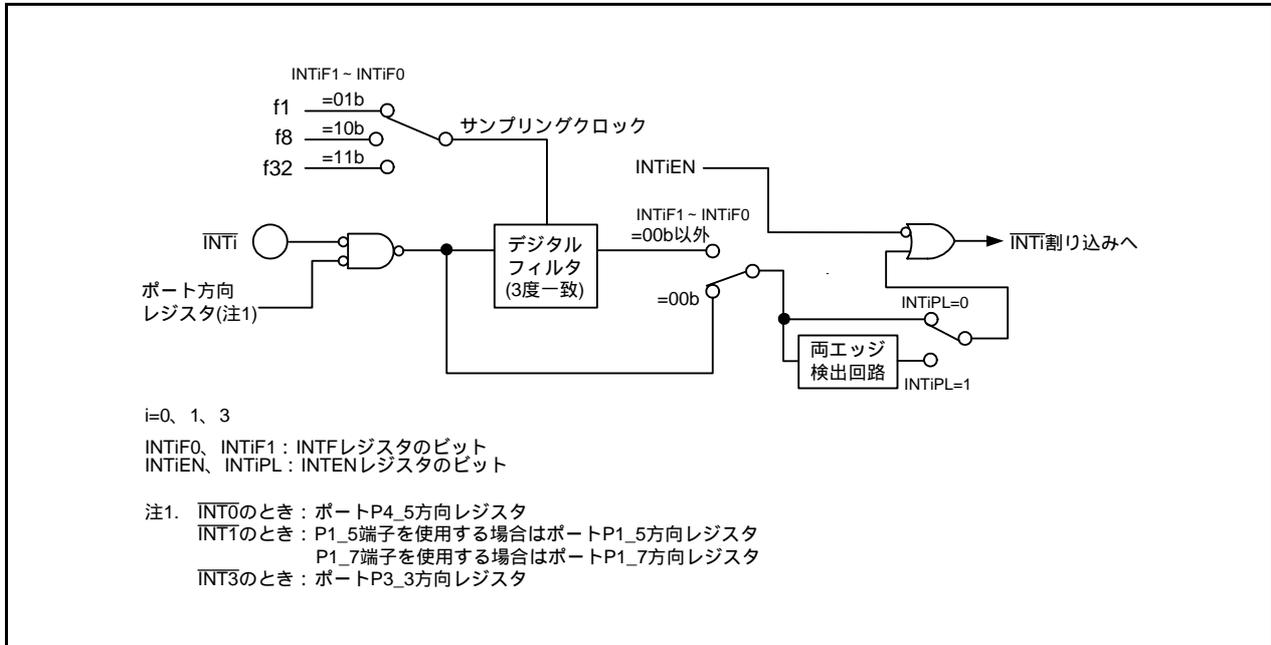


図 11.9  $\overline{\text{INTi}}$ 入力フィルタの構成

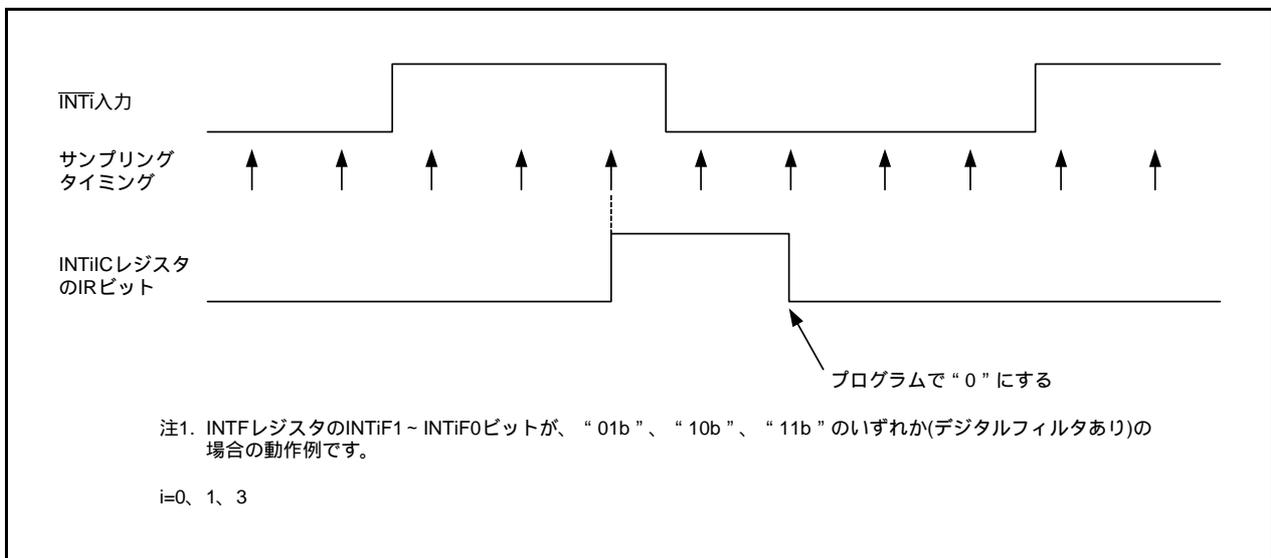


図 11.10  $\overline{\text{INTi}}$ 入力フィルタ動作例

### 11.5 キー入力割り込み

$\overline{KI0} \sim \overline{KI7}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタの*KIi*ENビット ( $i=0 \sim 3$ )およびKIEN1レジスタの*KIi*ENビット ( $i=4 \sim 7$ )で、端子を*KIi*入力として使用するかどうかを選択できます。

また、KIENレジスタの*KIi*PLビット ( $i=0 \sim 3$ )およびKIEN1レジスタの*KIi*PLビット ( $i=4 \sim 7$ )で入力極性を選択できます。

なお、*KIi*PLビットを“0”(立ち下がりエッジ)にしている $\overline{KIi}$ 端子に“L”を入力していると、他の $\overline{KI0} \sim \overline{KI7}$ 端子の入力は割り込みとして検知されません。同様に、*KIi*PLビットを“1”(立ち上がりエッジ)にしている $\overline{KIi}$ 端子に“H”を入力していると、他の $\overline{KI0} \sim \overline{KI7}$ 端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図を示します。表11.8にキー入力割り込みの端子構成を示します。

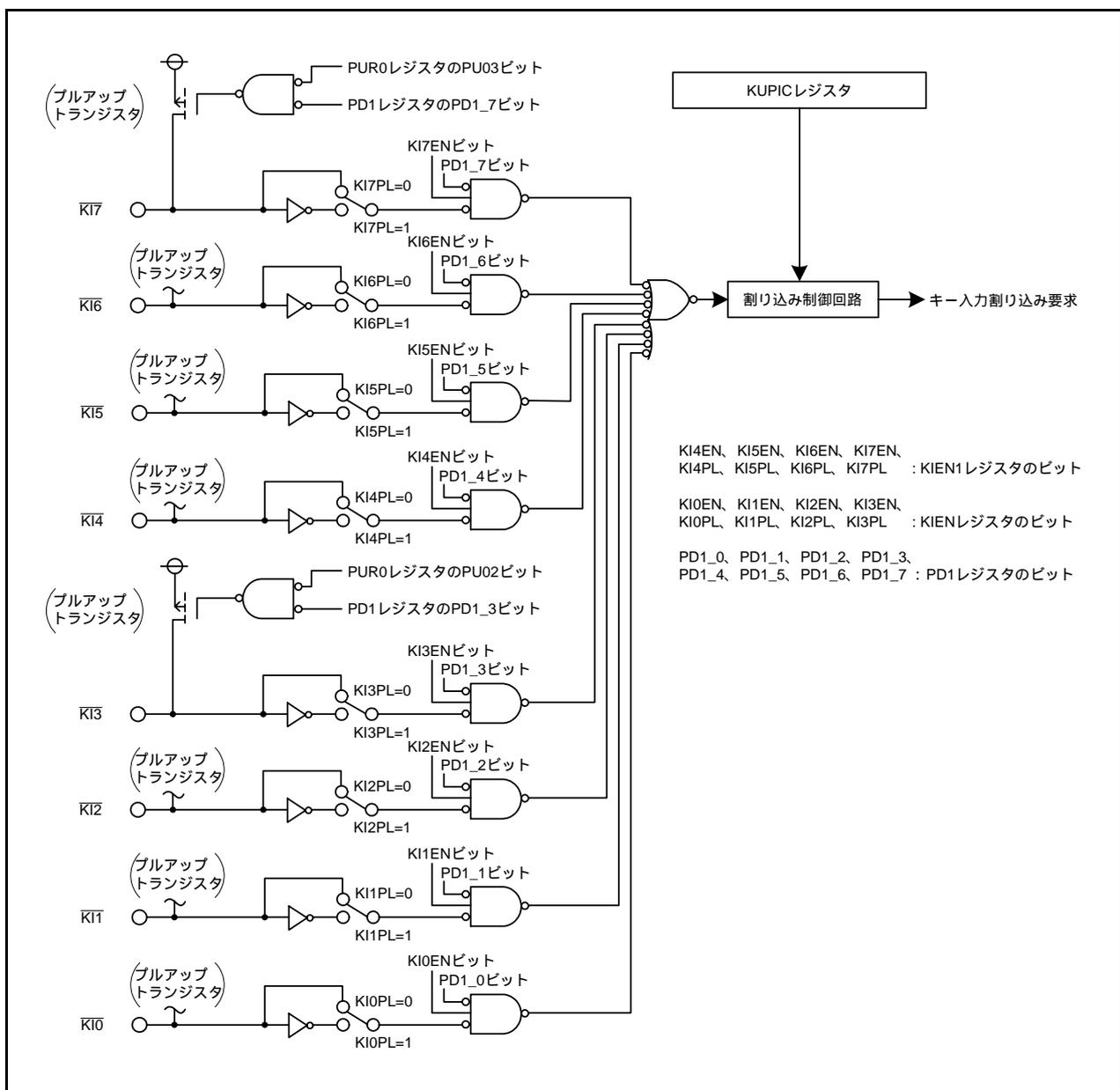


図11.11 キー入力割り込みのブロック図

表11.8 キー入力割り込みの端子構成

端子名	入出力	機能
KI0	入力	KI0 割り込み入力
KI1	入力	KI1 割り込み入力
KI2	入力	KI2 割り込み入力
KI3	入力	KI3 割り込み入力
KI4	入力	KI4 割り込み入力
KI5	入力	KI5 割り込み入力
KI6	入力	KI6 割り込み入力
KI7	入力	KI7 割り込み入力

## 11.5.1 キー入力許可レジスタ0 (KIEN)

アドレス 01FEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

## 11.5.2 キー入力許可レジスタ1 (KIEN1)

アドレス 01FFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI7PL	KI7EN	KI6PL	KI6EN	KI5PL	KI5EN	KI4PL	KI4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI4EN	KI4入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI4PL	KI4入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI5EN	KI5入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI5PL	KI5入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI6EN	KI6入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI6PL	KI6入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI7EN	KI7入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI7PL	KI7入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIEN1レジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

## 11.6 アドレス一致割り込み

RMAD<sub>i</sub> (i=0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMAD<sub>i</sub> (i=0 ~ 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER<sub>i</sub>レジスタのAIER<sub>i</sub>0ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.3.7 レジスタ退避」参照)は、RMAD<sub>i</sub>レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表11.9にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表11.10にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.9 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD <sub>i</sub> レジスタ (i=0 ~ 1) で示される番地の命令	退避されるPCの値(注1)
<ul style="list-style-type: none"> <li>• オペコードが2バイトの命令(注2)</li> <li>• オペコードが1バイトの命令(注2)</li> </ul> ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMAD <sub>i</sub> レジスタで示される番地+2
上記以外	RMAD <sub>i</sub> レジスタで示される番地+1

注1. 退避されるPCの値 : 「11.3.7 レジスタ退避」参照。

注2. オペコード : 「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.10 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER00	RMAD0
アドレス一致割り込み1	AIER10	RMAD1

11.6.1 アドレス一致割り込み許可レジスタ*i* (AIER*i*)(*i*=0 ~ 1)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	-	-	-	-	-	-	AIER00
リセット後の値	0	0	0	0	0	0	0	0	AIER0レジスタ

シンボル	-	-	-	-	-	-	-	-	AIER10	AIER1レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	AIERi0	アドレス一致割り込み許可ビット	0:禁止 1:許可	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

11.6.2 アドレス一致割り込みレジスタ*i* (RMAD*i*)(*i*=0 ~ 1)

アドレス 01C2h ~ 01C0h番地(RMAD0)、01C6h ~ 01C4h番地(RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19 ~ b0	-	アドレス一致割り込み用アドレス設定レジスタ	00000h ~ FFFFFh	R/W
b20	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b21	-			
b22	-			
b23	-			

### 11.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.11にタイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを示します。

表11.11 タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み関連レジスタ

周辺機能名	割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC	TRCSR	TRCIER	TRCIC
シンクロナスシリアルコミュニケーションユニット	SSSR	SSER	SSUIC
I <sup>2</sup> Cバスインタフェース	ICSR	ICIER	IICIC
フラッシュメモリ	RDYSTI	RDYSTIE	FMRDYIC
	BSYAEI	BSYAEIE	
		CMDERIE	

タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。  
すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。  
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。  
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。  
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「19. タイマRC」,「23. シンクロナスシリアルコミュニケーションユニット(SSU)」,「24. I<sup>2</sup>Cバスインタフェース」,「26. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「11.3 割り込み制御」を参照してください。

## 11.8 割り込み要因判別方法

表11.12に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みの割り込み要因の判別を、図11.12に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みの割り込み要因判別方法例を示します。

表11.12 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3=1
	(b)OCDレジスタのOCD1 ~ OCD0=11bかつOCD2=1
ウォッチドッグタイマ	VW2CレジスタのVW2C3=1
電圧監視1	VW1CレジスタのVW1C2=1

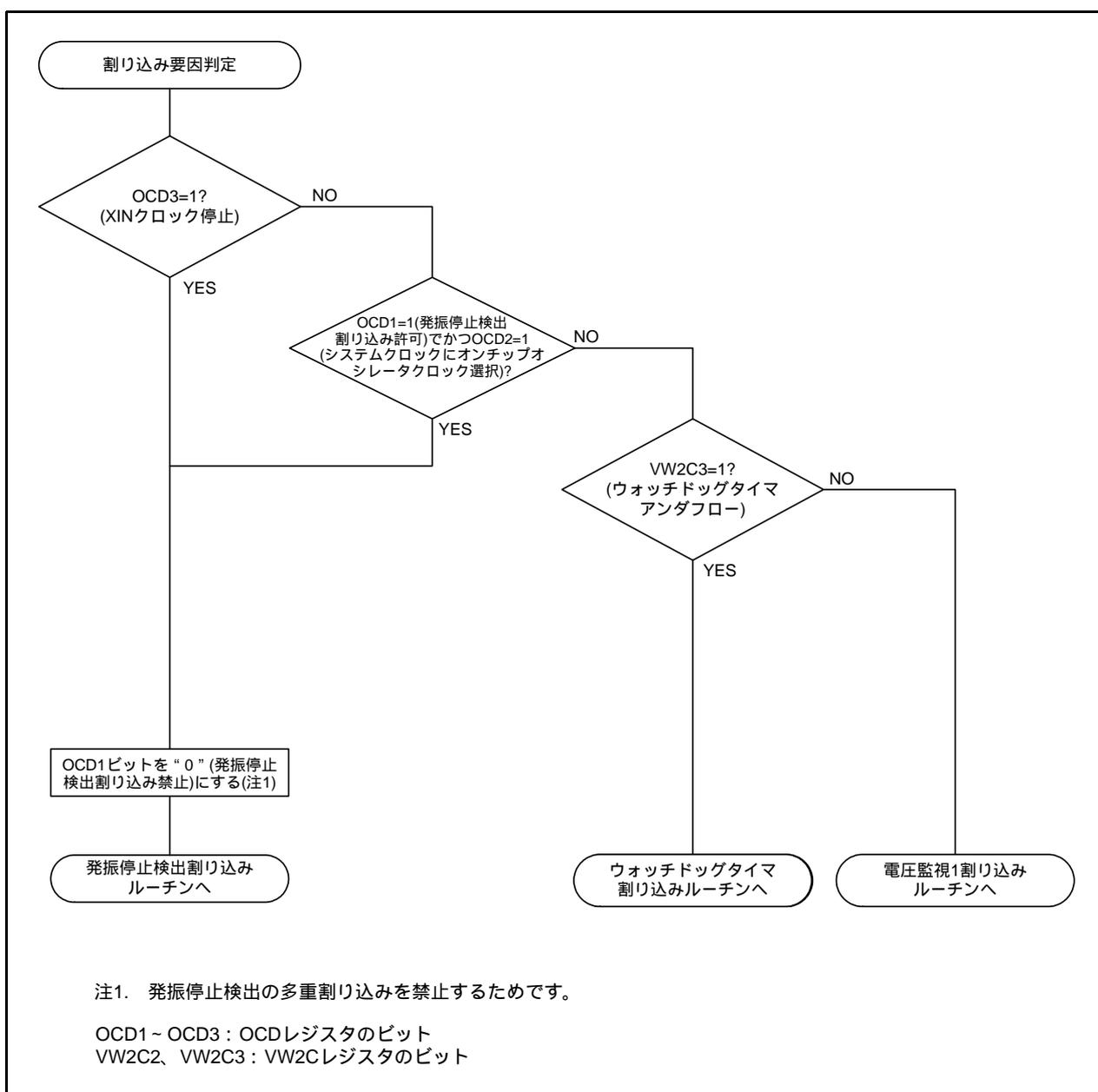


図11.12 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みの割り込み要因判別方法例

## 11.9 割り込み使用上の注意

### 11.9.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 11.9.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 11.9.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI7}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0, 1, 3$ ) に示す“L”レベル幅、または“H”レベル幅が必要です(詳細は「表 28.17( $V_{cc} = 3V$ )、表 28.21( $V_{cc} = 2.15V$ ) 外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0, 1, 3$ )、キー入力割り込み  $\overline{\text{KIi}}$  ( $i = 0 \sim 7$ )」を参照)。

### 11.9.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 11.13 に割り込み要因の変更手順例を示します。

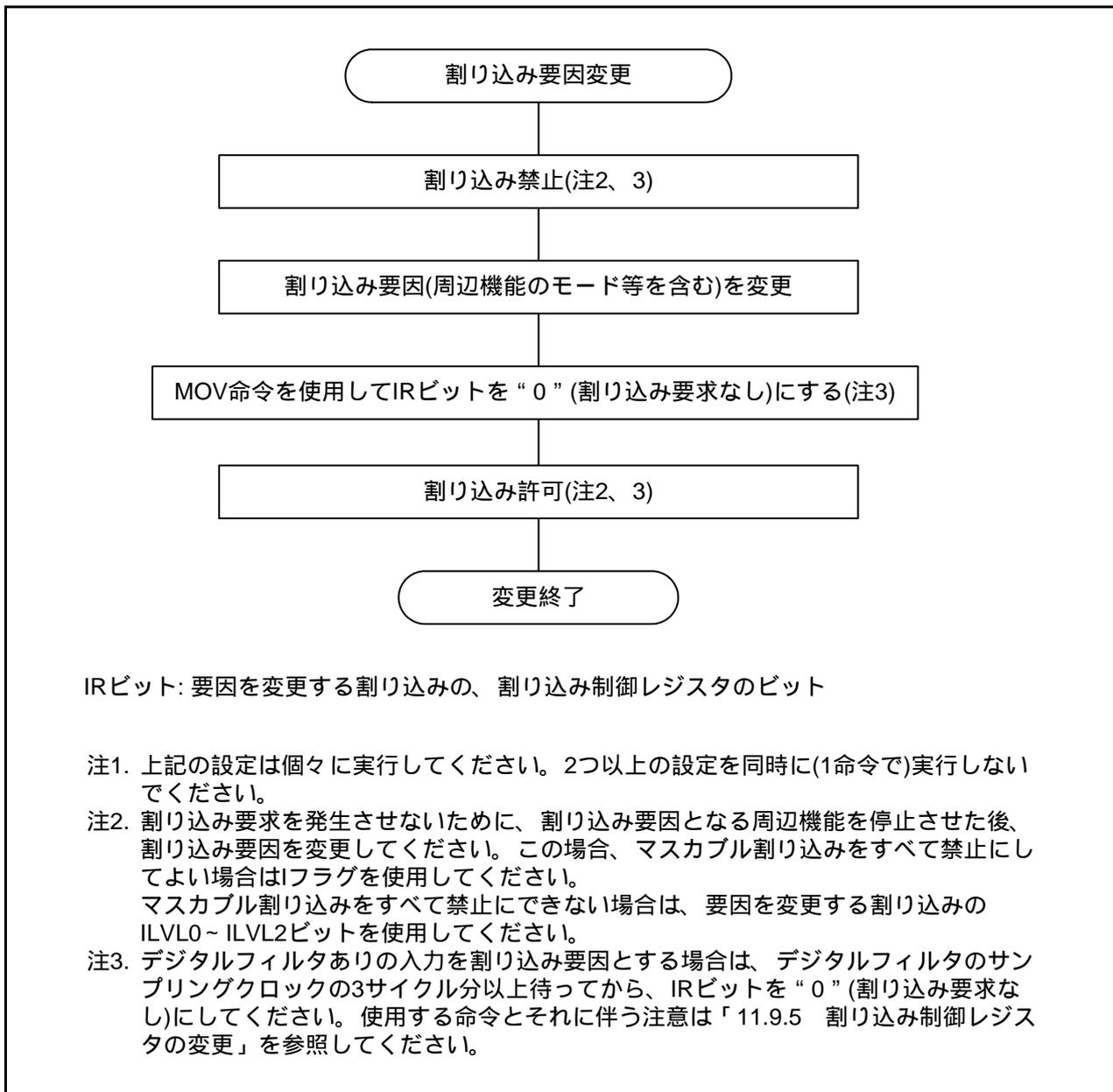


図 11.13 割り込み要因の変更手順例

### 11.9.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

#### IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 ..... AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```

## 12. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

### 12.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFE8h、0FFE9h、0FFF3h、0FFF7h、0FFF8h番地です。図12.1にIDコード領域を示します。

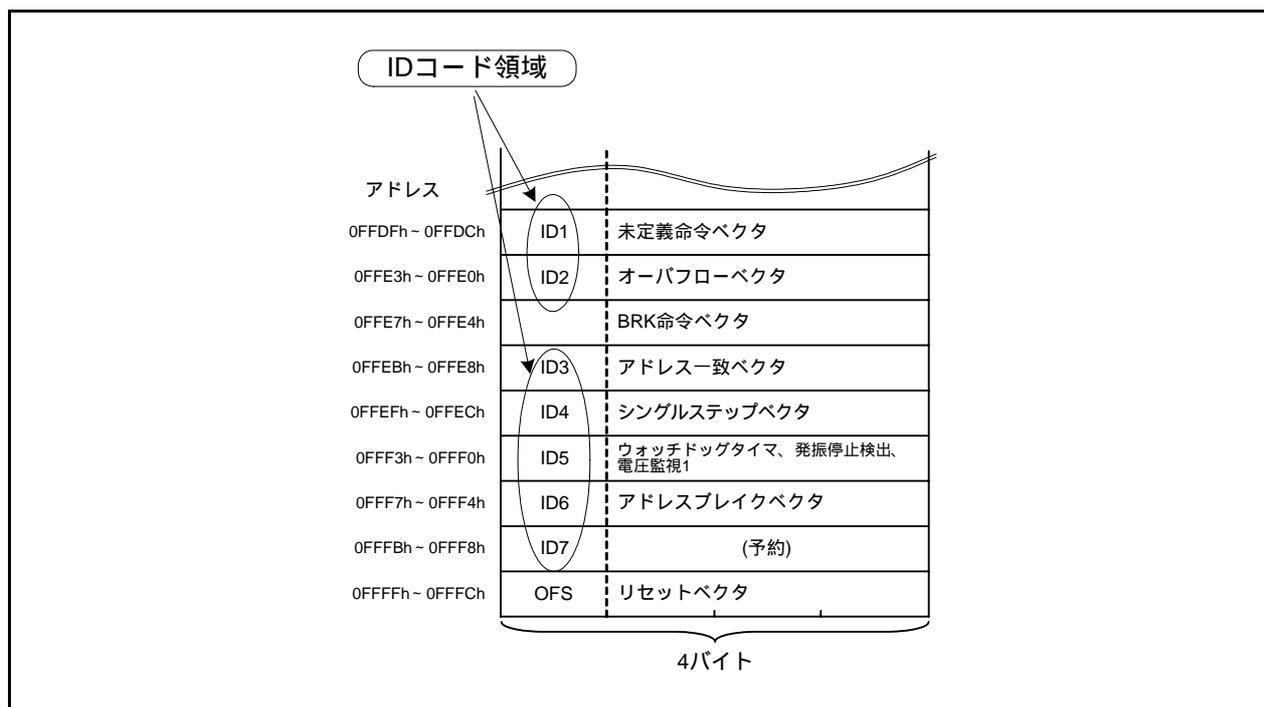


図12.1 IDコード領域

## 12.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“ FFFFFFFh ”ではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“ FFFFFFFh ”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ ALeRASE ”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“ Protect ”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表12.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表12.1 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDFh	ID1	41h (“ A ”大文字)	50h (“ P ”大文字)
0FFE3h	ID2	4Ch (“ L ”大文字)	72h (“ r ”小文字)
0FFEBh	ID3	65h (“ e ”小文字)	6Fh (“ o ”小文字)
0FFEFh	ID4	52h (“ R ”大文字)	74h (“ t ”小文字)
0FFF3h	ID5	41h (“ A ”大文字)	65h (“ e ”小文字)
0FFF7h	ID6	53h (“ S ”大文字)	63h (“ c ”小文字)
0FFFBh	ID7	45h (“ E ”大文字)	74h (“ t ”小文字)

注1. IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合は予約語です。

### 12.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表12.1 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表12.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表12.2 強制イレーズ機能の条件と動作

条件			動作
シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1、ROMCRビット	
ALeRASE	ALeRASE		ユーザROM領域をすべて消去(強制イレーズ機能)
	ALeRASE以外(注1)	“01b”以外 (ROMコードプロテクト解除)	
ALeRASE以外	ALeRASE	“01b” (ROMコードプロテクト有効)	IDコードの判定 (IDコードチェック機能)
	ALeRASE以外(注1)		IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
	ALeRASE以外(注1)		IDコードの判定 (IDコードチェック機能)

注1. “Protect”の場合は「12.4 標準シリアル入出力モード禁止機能」参照。

### 12.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表12.1 IDコードの予約語」参照)の場合、シリアルライターやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライターやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライターやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライターやオンチップデバッグエミュレータでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

## 12.5 IDコード領域使用上の注意

### 12.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.word dummy | (55000000h) ; UND
.word dummy | (55000000h) ; INTO
.word dummy ; BREAK
.word dummy | (55000000h) ; ADDRESS MATCH
.word dummy | (55000000h) ; SET SINGLE STEP
.word dummy | (55000000h) ; WDT
.word dummy | (55000000h) ; ADDRESS BREAK
.word dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 13. オプション機能選択領域

### 13.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図13.1にオプション機能選択領域を示します。

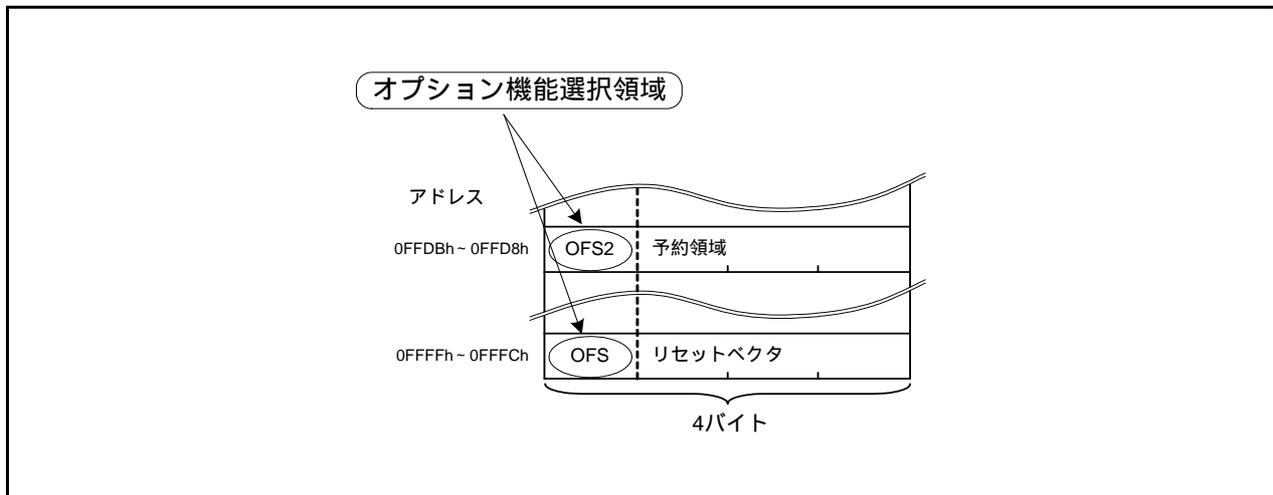


図13.1 オプション機能選択領域

## 13.2 レジスタの説明

OFS レジスタおよびOFS2 レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

### 13.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	"1" にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 設定しないでください 01: 2.85Vを選択(Vdet0_2) 10: 2.35Vを選択(Vdet0_1) 11: 1.90Vを選択(Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFS レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

### LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

## 13.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。  
出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

### 13.3 オプション機能選択領域使用上の注意

#### 13.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 14. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

### 14.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図14.1にウォッチドッグタイマのブロック図を示します。

表14.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> <li>リセット後、自動的にカウントを開始</li> <li>WDTSレジスタへの書き込みによりカウントを開始</li> </ul>	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1)</li> <li>アンダフロー</li> </ul>	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> <li>プリスケアラの分周比 WDTCレジスタのWDTC7ビットもしくはCM0レジスタのCM07ビットで選択</li> <li>カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択</li> <li>リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択</li> <li>ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで選択</li> <li>ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択</li> </ul>	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

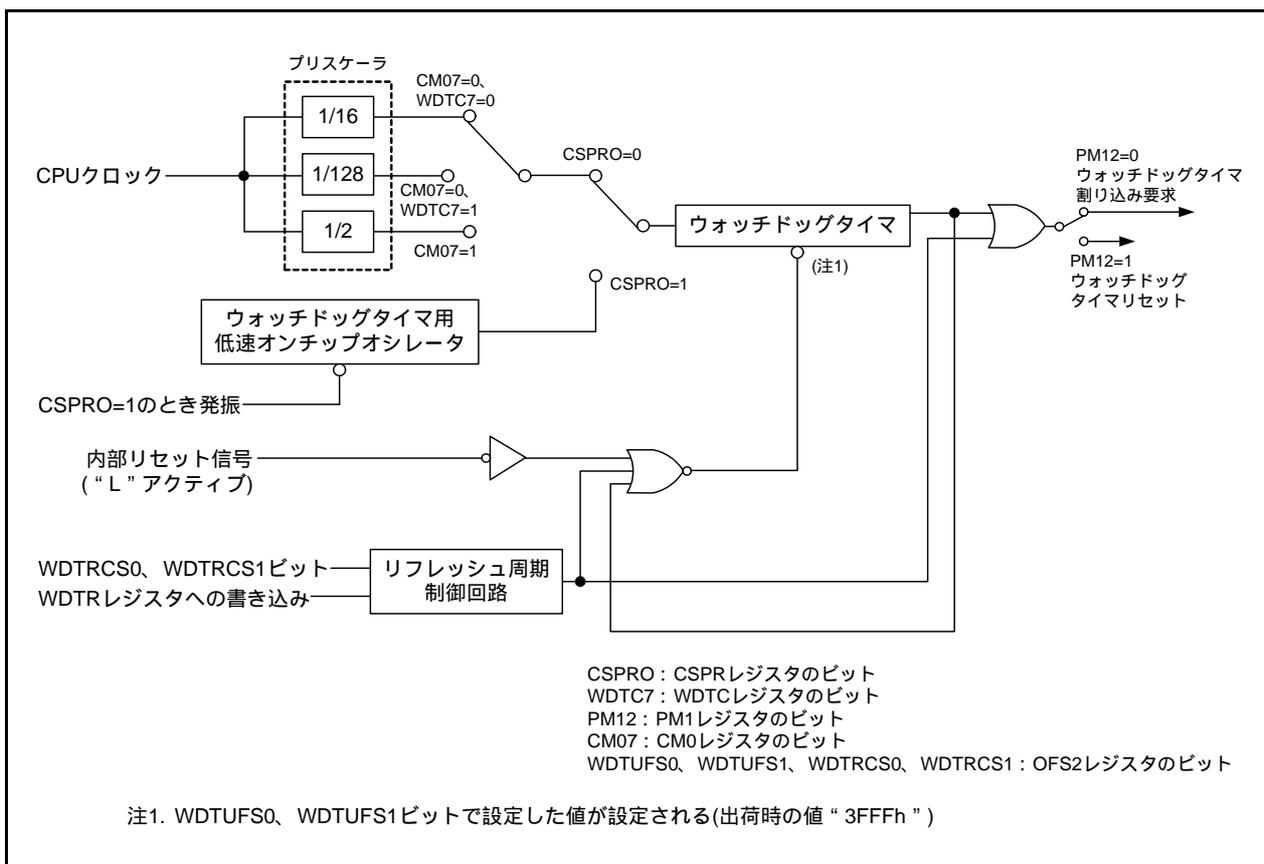


図14.1 ウォッチドッグタイマのブロック図

## 14.2 レジスタの説明

## 14.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	PM12	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	PM12	WDT 割り込み/リセット切り替えビット	0:ウォッチドッグタイマ割り込み 1:ウォッチドッグタイマリセット(注1)	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

## 14.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス 000Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 14.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス 000Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

## 14.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	-	-	-	-	-	-	-
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	ウォッチドッグタイマの次のビットが読める。 OFS2レジスタのWDTUFS1 ~ WDTUFS0ビットが “00b” (03FFh)のとき：b5 ~ b0 “01b” (0FFFh)のとき：b7 ~ b2 “10b” (1FFFh)のとき：b8 ~ b3 “11b” (3FFFh)のとき：b9 ~ b4	読んだ場合、その値は“0”	R
b1	-			R
b2	-			R
b3	-			R
b4	-			R
b5	-			R
b6	-	予約ビット	読んだ場合、その値は“0”	R
b7	WDTC7	プリスケアラ選択ビット	0：16分周 1：128分周	R/W

## 14.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0
上記はOFSレジスタのCSPROINIビットが“1”の場合								
リセット後の値	1	0	0	0	0	0	0	0
上記はOFSレジスタのCSPROINIビットが“0”の場合								

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	-			R/W
b3	-			R/W
b4	-			R/W
b5	-			R/W
b6	-	R/W		
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0：カウントソース保護モード無効 1：カウントソース保護モード有効	R/W

注1. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

## 14.2.6 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 設定しないでください 01: 2.85Vを選択(Vdet0_2) 10: 2.35Vを選択(Vdet0_1) 11: 1.90Vを選択(Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。  
出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
- 注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

## 14.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。

出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

## 14.3 動作説明

### 14.3.1 複数モードに関わる共通事項

#### 14.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択できます。図14.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

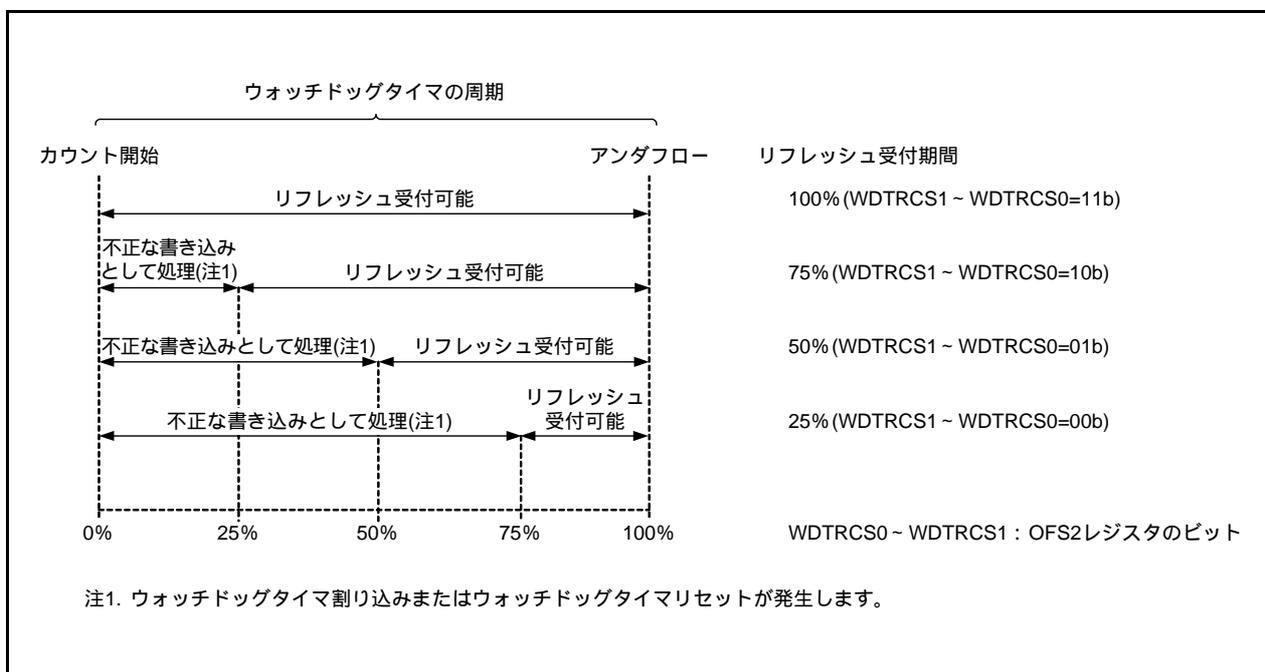


図14.2 ウォッチドッグタイマのリフレッシュ受付期間

## 14.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。  
表14.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケーラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) CPUクロック n : 16または128 (WDTCレジスタのWDTC7ビットで選択)もしくは低速クロック選択時 (CM0レジスタのCM07ビット=1)は2 m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : CPUクロックが16MHzで、プリスケーラが16分周し、WDTUFS1 ~ WDTUFS0ビットが“11b”(“3FFFh”)の場合、周期は約16.38ms
ウォッチドッグタイマ 初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> <li>WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケーラがカウントを開始</li> </ul>
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> <li>PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み</li> <li>PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)</li> </ul>

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くとき初期化されます。プリスケーラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケーラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 14.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表14.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	<p style="text-align: center;">ウォッチドッグタイマのカウント値(m)</p> <p>ウォッチドッグタイマ用低速オンチップオシレータクロック</p> <p>m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値            例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125kHzで、            WDTUFS1 ~ WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms</p>
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>アンダフロー</li> </ul>
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択</p> <ul style="list-style-type: none"> <li>WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき              リセット後、ウォッチドッグタイマとプリスケラは停止しており、WDTNレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき              リセット後、自動的にウォッチドッグタイマとプリスケラがカウントを開始</li> </ul>
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> <li>CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される               <ul style="list-style-type: none"> <li>-ウォッチドッグタイマ用低速オンチップオシレータが発振</li> <li>-PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)</li> </ul> </li> </ul>

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 15. DTC

DTC(データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能で、1チャンネルを搭載しています。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

### 15.1 概要

表15.1にDTCの仕様を示します。

表15.1 DTCの仕様

項目	仕様	
起動要因	17要因	
配置可能なコントロールデータ	24通り	
転送可能なアドレス空間	64Kバイト空間(00000h ~ 0FFFFh)	
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位	バイト	
転送モード	ノーマルモード	DTCCTjレジスタが“1”から“0”になる転送で終了する
	リピートモード	DTCCTjレジスタが“1”から“0”になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度	「表15.5 DTC起動要因とDTCベクタアドレス」参照	
割り込み要求	ノーマルモード	DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
	リピートモード	DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
転送開始	DTCENiレジスタのDTCENi0 ~ DTCENi7ビットを“1”(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する	
転送停止	ノーマルモード	<ul style="list-style-type: none"> <li>• DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする</li> <li>• DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき</li> </ul>
	リピートモード	<ul style="list-style-type: none"> <li>• DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする</li> <li>• RPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき</li> </ul>

i=0 ~ 3、5、6、j=0 ~ 23

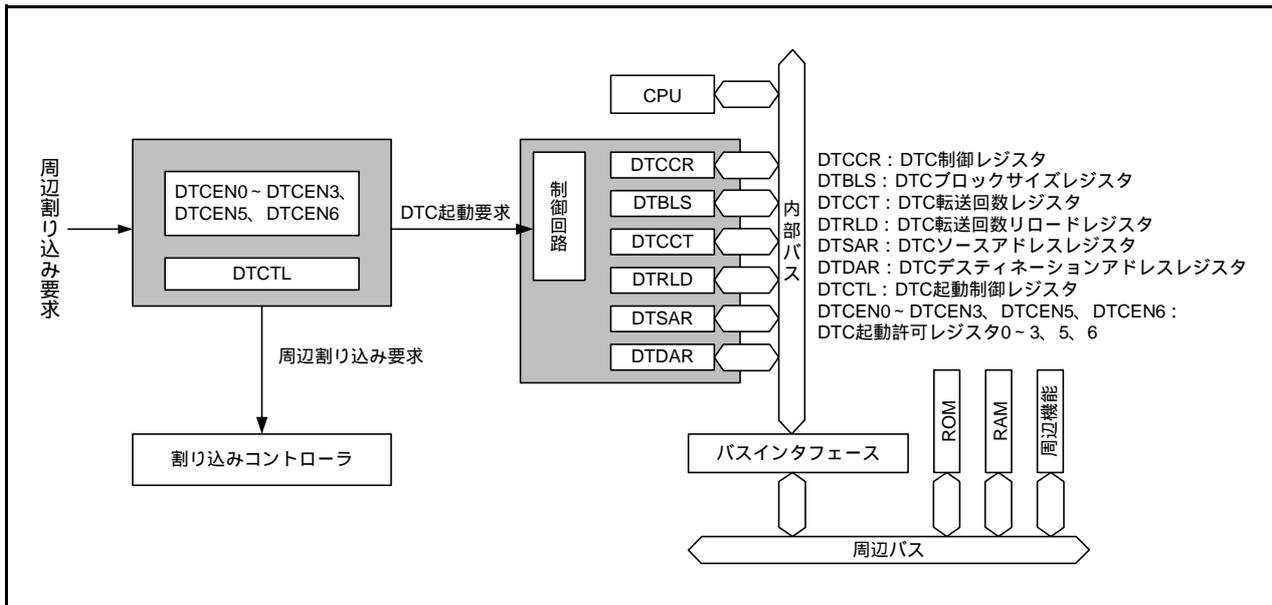


図 15.1 DTCのブロック図

## 15.2 レジスタの説明

DTCは起動するとコントロールデータ領域に配置したコントロールデータ (DTCCR<sub>j</sub>、DTBLS<sub>j</sub>、DTCCT<sub>j</sub>、DTRLD<sub>j</sub>、DTSAR<sub>j</sub>、DTDAR<sub>j</sub>、j=0~23)を読み出し、DTC内の制御レジスタ (DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR)へ転送します。DTCのデータ転送終了後、DTC内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDARの各レジスタは直接アクセスできません。

DTCCR<sub>j</sub>、DTBLS<sub>j</sub>、DTCCT<sub>j</sub>、DTRLD<sub>j</sub>、DTSAR<sub>j</sub>、DTDAR<sub>j</sub>はDTCコントロールデータ領域の2C40h~2CFh番地にコントロールデータとして配置し、直接アクセスできます。

また、DTCTL、DTCEN<sub>i</sub> (i=0~3、5、6)レジスタは直接アクセスできます。

## 15.2.1 DTC制御レジスタj (DTCCRj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0: ノーマルモード 1: リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0: 転送先がリピートエリア 1: 転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0: 固定 1: 加算	R/W
b3	DAMOD	デスティネーション アドレス制御ビット(注2)	0: 固定 1: 加算	R/W
b4	CHNE	チェーン転送許可ビット(注3)	0: チェイン転送禁止 1: チェイン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット (注1)	0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	-			

注1. MODEビットが"1"(リピートモード)のときに有効です。

注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。

注3. DTCCR23レジスタのCHNEビットは"0"(チェーン転送禁止)にしてください。

## 15.2.2 DTCブロックサイズレジスタj (DTBLSj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	1回の起動で転送するデータブロックサイズを設定する	00h ~ FFh(注1)	R/W

注1. "00h" のときブロックサイズは256バイトになります。

## 15.2.3 DTC転送回数レジスタj (DTCCTj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	DTCのデータ転送回数を設定する	00h ~ FFh(注1)	R/W

注1. "00h" のとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

## 15.2.4 DTC転送回数リロードレジスタj (DTRL Dj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	リピートモード動作でこのレジスタの値をDTCCTレジスタへリロードする	00h ~ FFh(注1)	R/W

注1. DTCCTレジスタの初期値を設定してください。

## 15.2.5 DTCソースアドレスレジスタj (DTSARj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送元アドレスを指定する	0000h ~ FFFFh	R/W

## 15.2.6 DTCデスティネーションアドレスレジスタj (DTDARj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送先アドレスを指定する	0000h ~ FFFFh	R/W

15.2.7 DTC起動許可レジスタ $i$  (DTCEN $i$ )( $i=0 \sim 3, 5, 6$ )

アドレス 0088h番地(DTCEN0)、0089h番地(DTCEN1)、008Ah番地(DTCEN2)、008Bh番地(DTCEN3)、008Dh番地(DTCEN5)、008Eh番地(DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC起動許可ビット(注1)	割り込み要因が割り当てられている場合 0: 起動禁止 1: 起動許可  割り込み要因が割り当てられていない場合 “0” にしてください(予約ビット)	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

$i=0 \sim 3, 5, 6$

注1. このビットの動作については、「15.3.7 割り込み要因」を参照してください。

DTCEN $i$  ( $i=0 \sim 3, 5, 6$ )レジスタは、各割り込み要因によるDTC起動の許可または禁止を制御します。表15.2に割り込み要因とDTCENi0 ~ DTCENi7 ( $i=0 \sim 3, 5, 6$ )ビットの対応(注1)を示します。

表15.2 割り込み要因とDTCENi0 ~ DTCENi7 ( $i=0 \sim 3, 5, 6$ )ビットの対応(注1)

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	INT0	INT1		INT3				
DTCEN1	キー入力		UART0 受信	UART0 送信	—	—	—	—
DTCEN2	SSU/I <sup>2</sup> Cバス 受信データ フル	SSU/I <sup>2</sup> Cバス 送信データ エンプティ		電圧監視1			タイマRC インプット キャプチャ/ コンペアー致A	タイマRC インプット キャプチャ/ コンペアー致B
DTCEN3	タイマRC インプット キャプチャ/ コンペアー致C	タイマRC インプット キャプチャ/ コンペアー致D						
DTCEN5			タイマRE					
DTCEN6		タイマRA		タイマRB	フラッシュ レディ ステータス			

注1. 割り込み要因が割り当てられていないビットは予約ビットです。予約ビットは“0” にしてください。

## 15.2.8 DTC起動制御レジスタ(DTCTL)

アドレス 0080h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	NMIF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	NMIF	ノンマスクابل割り込み発生ビット (注1)	0: ノンマスクابل割り込みなし 1: ノンマスクابل割り込み発生	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません。“1”を書いた場合は変化しません。

DTCTLレジスタは、ノンマスクابل割り込み(ウォッチドッグタイマ、発振停止検出、電圧監視1)発生時のDTC起動を制御するレジスタです。

## NMIFビット(ノンマスクابل割り込み発生ビット)

NMIFビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1割り込みのいずれかが発生すると“1”になります。

NMIFビットが“1”の場合、DTC起動を許可している割り込みが発生してもDTCは起動しません。DTC転送中にNMIFビットが“1”になっても、その転送を終了するまで行います。

割り込み要因がウォッチドッグタイマのとき、WDTCレジスタのWDTC7ビットを“0”(プリスケアラが16分周)にしている場合は、割り込み要因発生からCPUクロックの16サイクル待ってから、WDTC7ビットを“1”(プリスケアラが128分周)にしている場合は割り込み要因発生からCPUクロックの128サイクル待ってから、NMIFビットに“0”を書いてください。

割り込み要因が発振停止検出のとき、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にした後で、NMIFビットに“0”を書いてください。

## 15.3 動作説明

### 15.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCR<sub>j</sub> (j=0 ~ 23) レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSAR<sub>j</sub>レジスタ、転送先アドレスは16ビット長のDTDAR<sub>j</sub>レジスタで指定します。DTSAR<sub>j</sub>レジスタとDTDAR<sub>j</sub>レジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

### 15.3.2 起動要因

DTCは割り込み要因により起動します。図15.2にDTC起動要因の制御ブロック図を示します。

DTCを起動する割り込み要因は、DTCEN<sub>i</sub> (i=0 ~ 3, 5, 6)レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ・ノーマルモードでDTCCT<sub>j</sub> (j=0 ~ 23)レジスタが“0”になる転送
- ・リピートモードでDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“0”になる転送

のとき、DTCは動作中にDTCEN<sub>i</sub>レジスタの対応するDTCEN<sub>i0</sub> ~ DTCEN<sub>i7</sub>ビットを“0”(起動禁止)にします。

データ転送の設定がどちらでもなく、起動要因がタイマRC、フラッシュメモリの割り込み要因である場合、DTCは動作中に起動要因となった割り込み要因フラグを“0”にします。

表15.3にDTC起動要因とDTC動作中に“0”にする割り込み要因フラグを示します。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

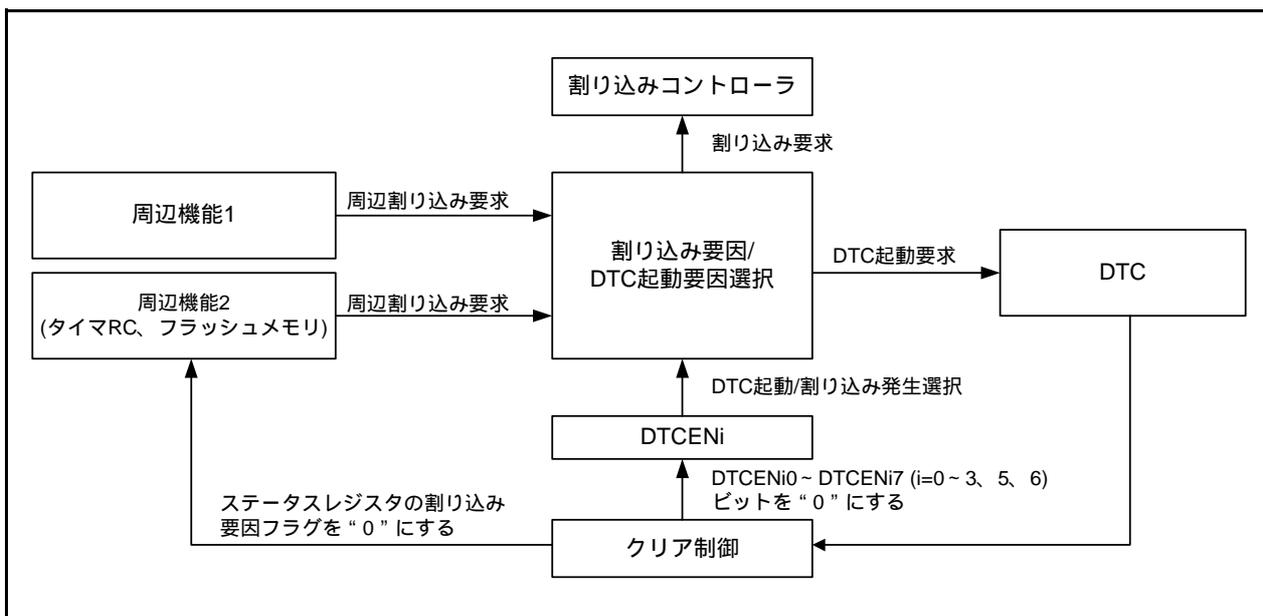


図 15.2 DTC 起動要因の制御ブロック図

表 15.3 DTC 起動要因と DTC 動作中に “0” にする割り込み要因フラグ

DTC 起動要因	“0” にする割り込み要因フラグ
タイマRCインプットキャプチャ/コンペア一致A	TRCSR レジスタのIMFAビット
タイマRCインプットキャプチャ/コンペア一致B	TRCSR レジスタのIMFBビット
タイマRCインプットキャプチャ/コンペア一致C	TRCSR レジスタのIMFCビット
タイマRCインプットキャプチャ/コンペア一致D	TRCSR レジスタのIMFDビット
フラッシュレディステータス	FST レジスタのRDYSTIビット

### 15.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCR<sub>j</sub>、DTBLS<sub>j</sub>、DTCCT<sub>j</sub>、DTRL<sub>Dj</sub>、DTSAR<sub>j</sub>、DTDAR<sub>j</sub> (j=0 ~ 23)レジスタの順に配置します。表15.4にコントロールデータの配置アドレスを示します。

表15.4 コントロールデータの配置アドレス

レジスタ シンボル	コントロール データ番号	アドレス	DTCCR <sub>j</sub> レジスタ	DTBLS <sub>j</sub> レジスタ	DTCCT <sub>j</sub> レジスタ	DTRL <sub>Dj</sub> レジスタ	DTSAR <sub>j</sub> レジスタ (下位 8ビット)	DTSAR <sub>j</sub> レジスタ (上位 8ビット)	DTDAR <sub>j</sub> レジスタ (下位 8ビット)	DTDAR <sub>j</sub> レジスタ (上位 8ビット)
DTCD0	コントロール データ0	2C40h ~ 2C47h	2C40h	2C41h	2C42h	2C43h	2C44h	2C45h	2C46h	2C47h
DTCD1	コントロール データ1	2C48h ~ 2C4Fh	2C48h	2C49h	2C4Ah	2C4Bh	2C4Ch	2C4Dh	2C4Eh	2C4Fh
DTCD2	コントロール データ2	2C50h ~ 2C57h	2C50h	2C51h	2C52h	2C53h	2C54h	2C55h	2C56h	2C57h
DTCD3	コントロール データ3	2C58h ~ 2C5Fh	2C58h	2C59h	2C5Ah	2C5Bh	2C5Ch	2C5Dh	2C5Eh	2C5Fh
DTCD4	コントロール データ4	2C60h ~ 2C67h	2C60h	2C61h	2C62h	2C63h	2C64h	2C65h	2C66h	2C67h
DTCD5	コントロール データ5	2C68h ~ 2C6Fh	2C68h	2C69h	2C6Ah	2C6Bh	2C6Ch	2C6Dh	2C6Eh	2C6Fh
DTCD6	コントロール データ6	2C70h ~ 2C77h	2C70h	2C71h	2C72h	2C73h	2C74h	2C75h	2C76h	2C77h
DTCD7	コントロール データ7	2C78h ~ 2C7Fh	2C78h	2C79h	2C7Ah	2C7Bh	2C7Ch	2C7Dh	2C7Eh	2C7Fh
DTCD8	コントロール データ8	2C80h ~ 2C87h	2C80h	2C81h	2C82h	2C83h	2C84h	2C85h	2C86h	2C87h
DTCD9	コントロール データ9	2C88h ~ 2C8Fh	2C88h	2C89h	2C8Ah	2C8Bh	2C8Ch	2C8Dh	2C8Eh	2C8Fh
DTCD10	コントロール データ10	2C90h ~ 2C97h	2C90h	2C91h	2C92h	2C93h	2C94h	2C95h	2C96h	2C97h
DTCD11	コントロール データ11	2C98h ~ 2C9Fh	2C98h	2C99h	2C9Ah	2C9Bh	2C9Ch	2C9Dh	2C9Eh	2C9Fh
DTCD12	コントロール データ12	2CA0h ~ 2CA7h	2CA0h	2CA1h	2CA2h	2CA3h	2CA4h	2CA5h	2CA6h	2CA7h
DTCD13	コントロール データ13	2CA8h ~ 2CAFh	2CA8h	2CA9h	2CAAh	2CABh	2CACH	2CADh	2CAEh	2CAFh
DTCD14	コントロール データ14	2CB0h ~ 2CB7h	2CB0h	2CB1h	2CB2h	2CB3h	2CB4h	2CB5h	2CB6h	2CB7h
DTCD15	コントロール データ15	2CB8h ~ 2CBFh	2CB8h	2CB9h	2CBAh	2CBBh	2CBCh	2CBDh	2CBEh	2CBFh
DTCD16	コントロール データ16	2CC0h ~ 2CC7h	2CC0h	2CC1h	2CC2h	2CC3h	2CC4h	2CC5h	2CC6h	2CC7h
DTCD17	コントロール データ17	2CC8h ~ 2CCFh	2CC8h	2CC9h	2CCAh	2CCBh	2CCCh	2CCDh	2CCEh	2CCFh
DTCD18	コントロール データ18	2CD0h ~ 2CD7h	2CD0h	2CD1h	2CD2h	2CD3h	2CD4h	2CD5h	2CD6h	2CD7h
DTCD19	コントロール データ19	2CD8h ~ 2CDFh	2CD8h	2CD9h	2CDAh	2CDBh	2CDCh	2CDDh	2CDEh	2CDFh
DTCD20	コントロール データ20	2CE0h ~ 2CE7h	2CE0h	2CE1h	2CE2h	2CE3h	2CE4h	2CE5h	2CE6h	2CE7h
DTCD21	コントロール データ21	2CE8h ~ 2CEFh	2CE8h	2CE9h	2CEAh	2CEBh	2CECh	2CEDh	2CEEh	2CEFh
DTCD22	コントロール データ22	2CF0h ~ 2CF7h	2CF0h	2CF1h	2CF2h	2CF3h	2CF4h	2CF5h	2CF6h	2CF7h
DTCD23	コントロール データ23	2CF8h ~ 2CFFh	2CF8h	2CF9h	2CFAh	2CFBh	2CFCh	2CFDh	2CFEh	2CFFh

j=0 ~ 23



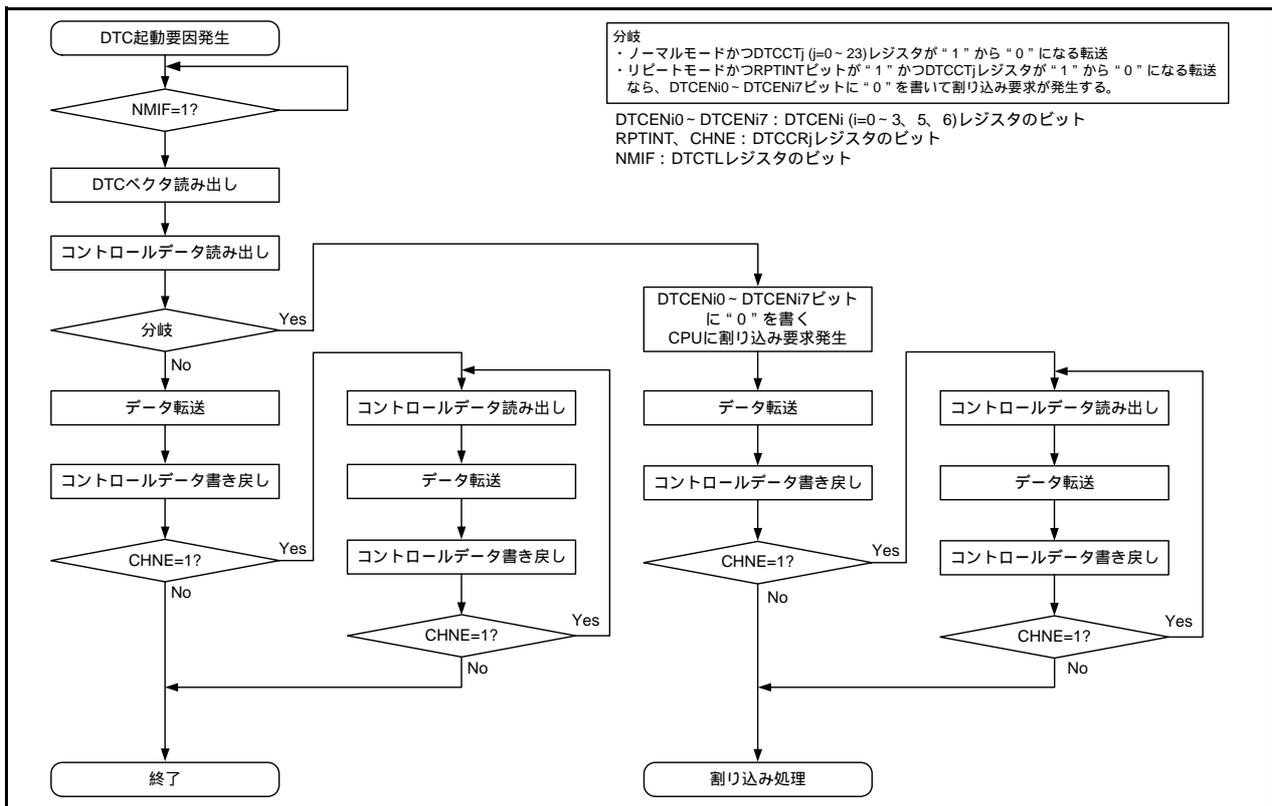


図 15.3 DTC 起動要因が SSU/I<sup>2</sup>C バス、タイマ RC、フラッシュメモリの割り込み要因でないときの DTC 内部動作フローチャート

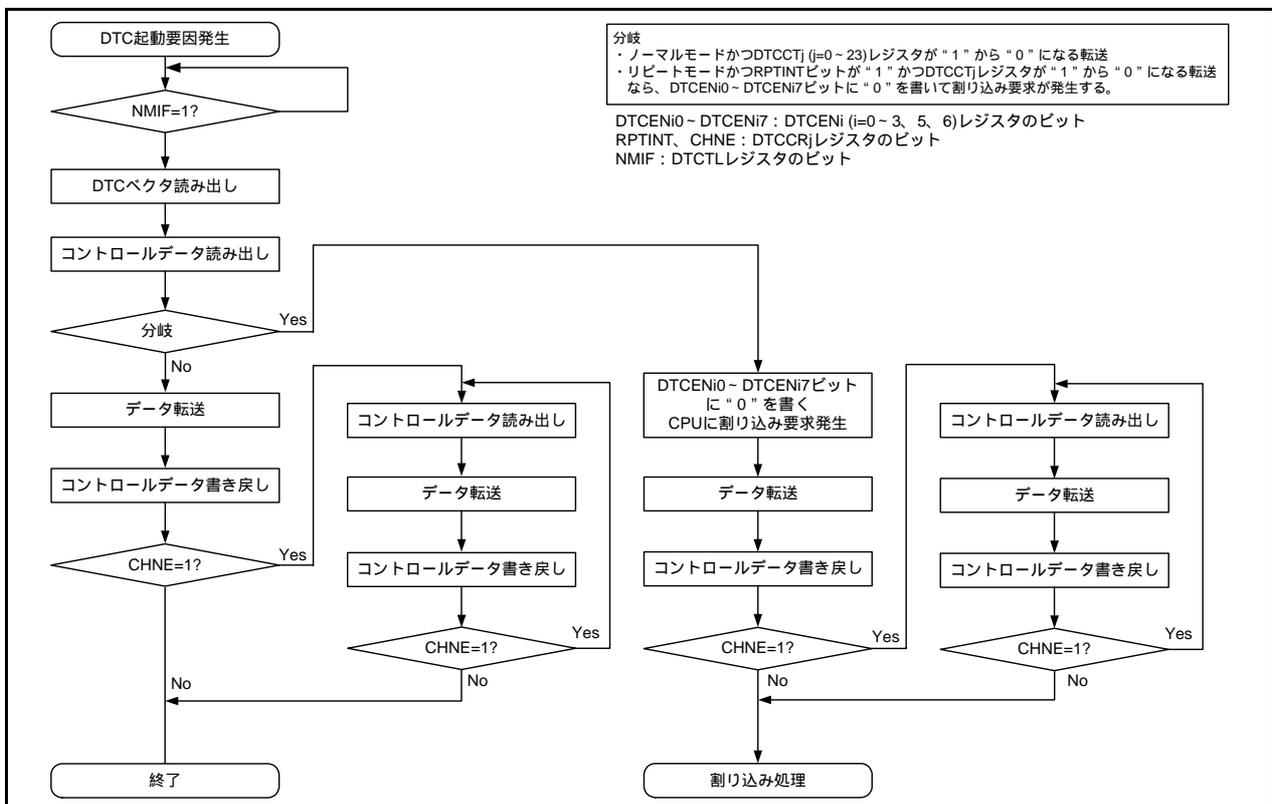


図 15.4 DTC 起動要因がタイマ RC の割り込み要因であるときの DTC 内部動作フローチャート

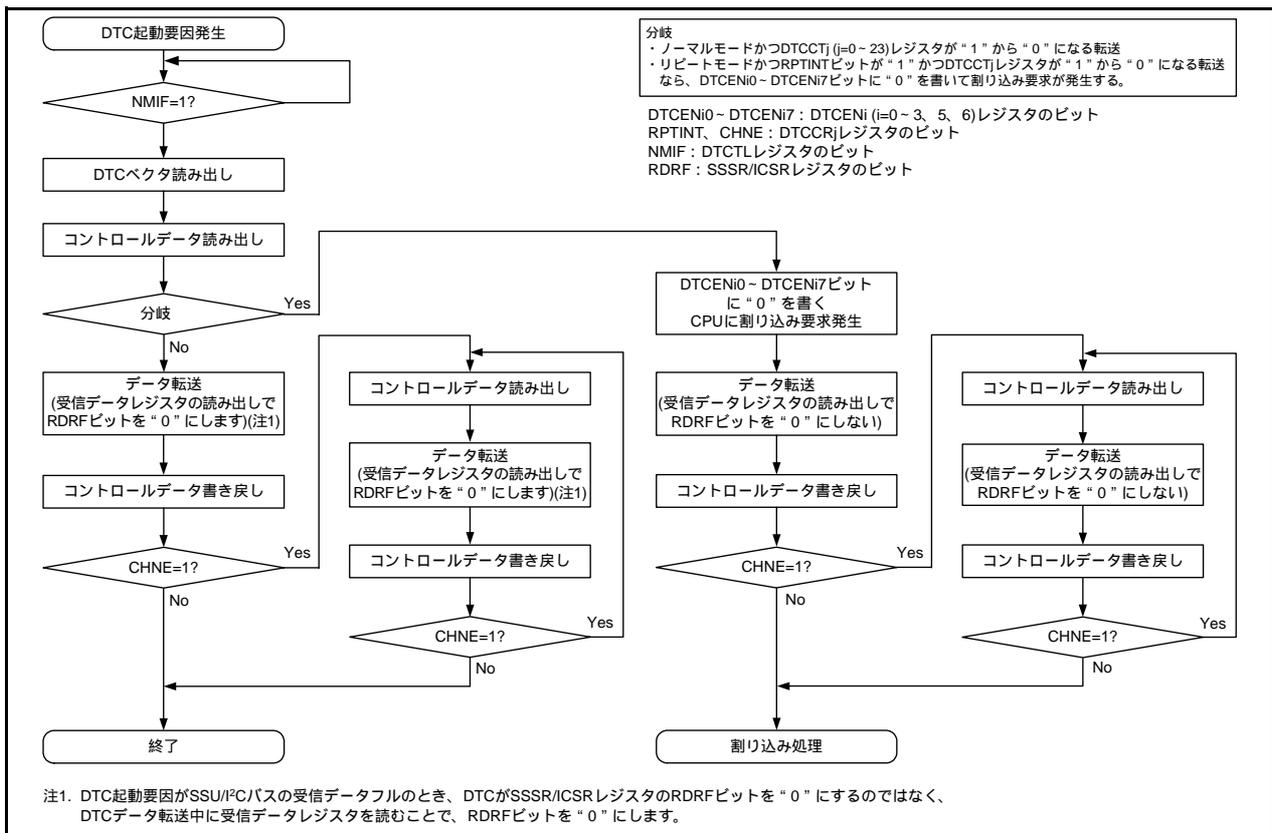


図 15.5 DTC 起動要因が SSU/I<sup>2</sup>C バスの受信データフルであるときの DTC 内部動作フローチャート

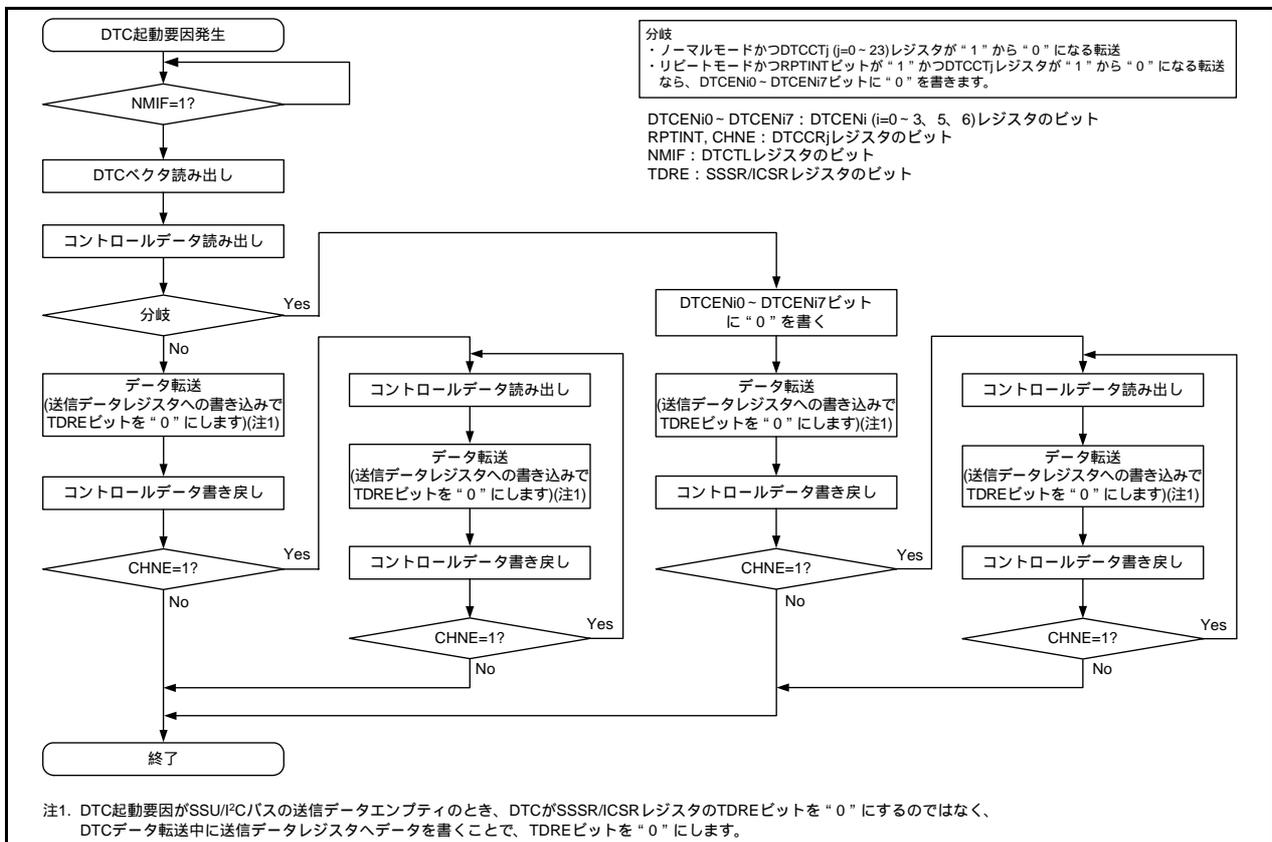


図 15.6 DTC 起動要因が SSU/I<sup>2</sup>C バスの送信データエンptyであるときの DTC 内部動作フローチャート

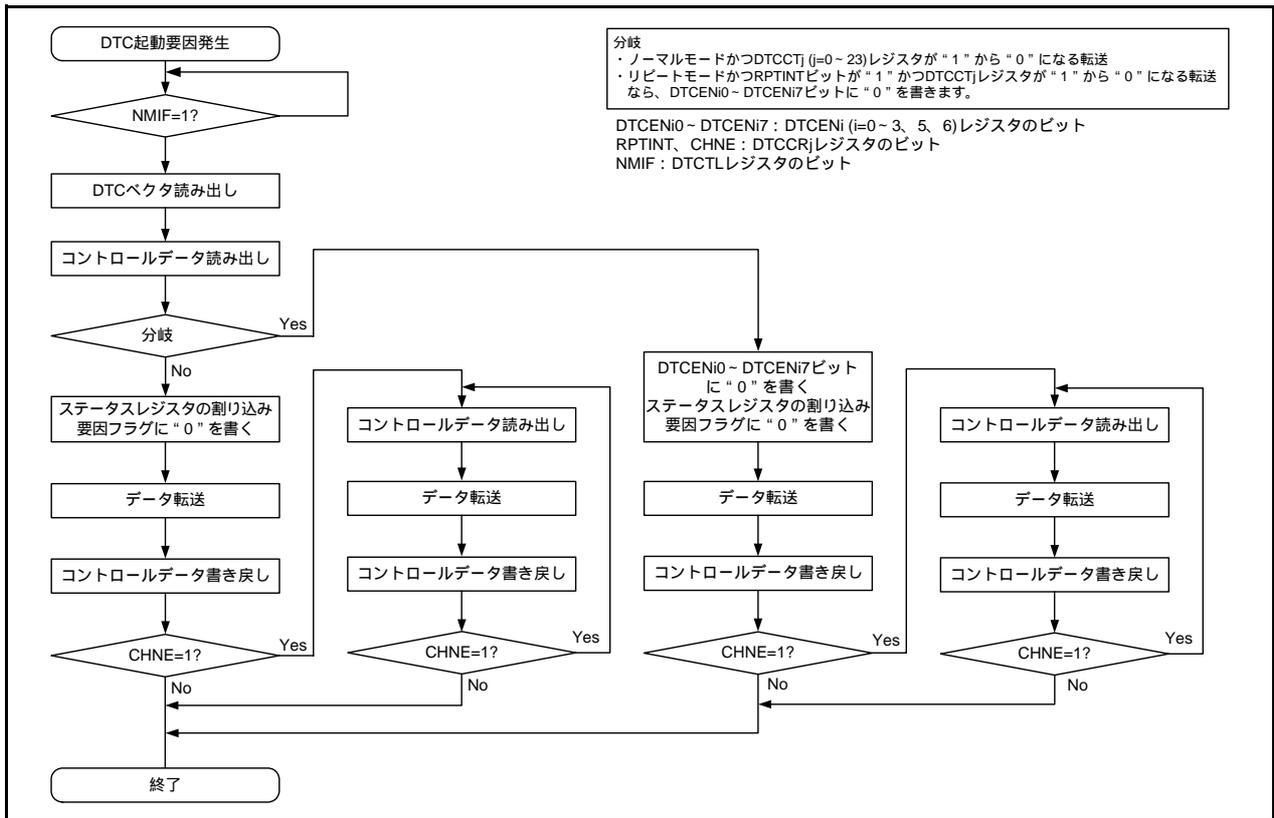


図 15.7 DTC 起動要因がフラッシュレディステータスであるときのDTC内部動作フローチャート

### 15.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCT<sub>j</sub> (j=0～23)レジスタが“0”になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求を発生します。

表15.6にノーマルモードでのレジスタ機能を示します。

図15.8にノーマルモードでのデータ転送を示します。

表15.6 ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタ <sub>j</sub>	DTBLS <sub>j</sub>	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタ <sub>j</sub>	DTCCT <sub>j</sub>	データ転送回数
DTC転送回数リロードレジスタ <sub>j</sub>	DTRL <sub>j</sub>	使用しません
DTCソースアドレスレジスタ <sub>j</sub>	DTSAR <sub>j</sub>	データの転送元アドレス
DTCデスティネーションアドレスレジスタ <sub>j</sub>	DTDAR <sub>j</sub>	データの転送先アドレス

j=0～23

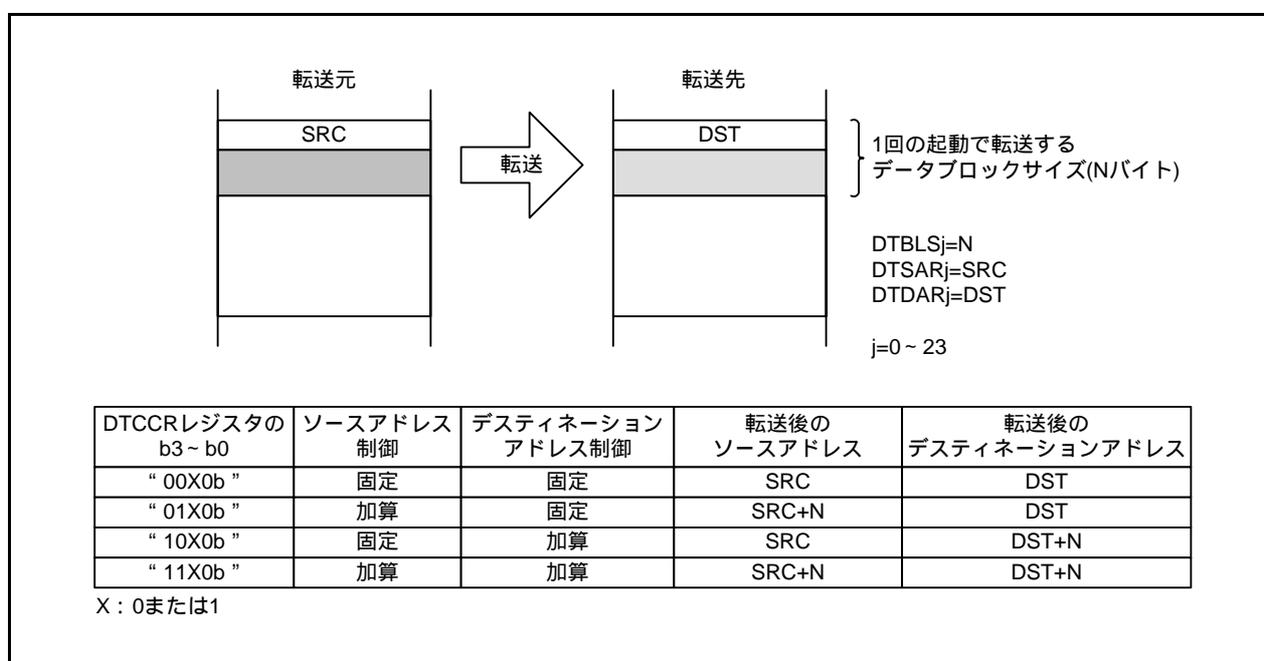


図15.8 ノーマルモードでのデータ転送

### 15.3.5 リポートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリポートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j=0～23)レジスタおよびリポートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが“1”（割り込み発生許可）でDTCCTjレジスタが“0”になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リポートエリアに指定したアドレスの初期値の下位8ビットを“00h”にしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表15.7にリポートモードでのレジスタ機能を示します。図15.9にリポートモードでのデータ転送を示します。

表15.7 リポートモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTjレジスタへリロード（データ転送回数を初期化）
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23

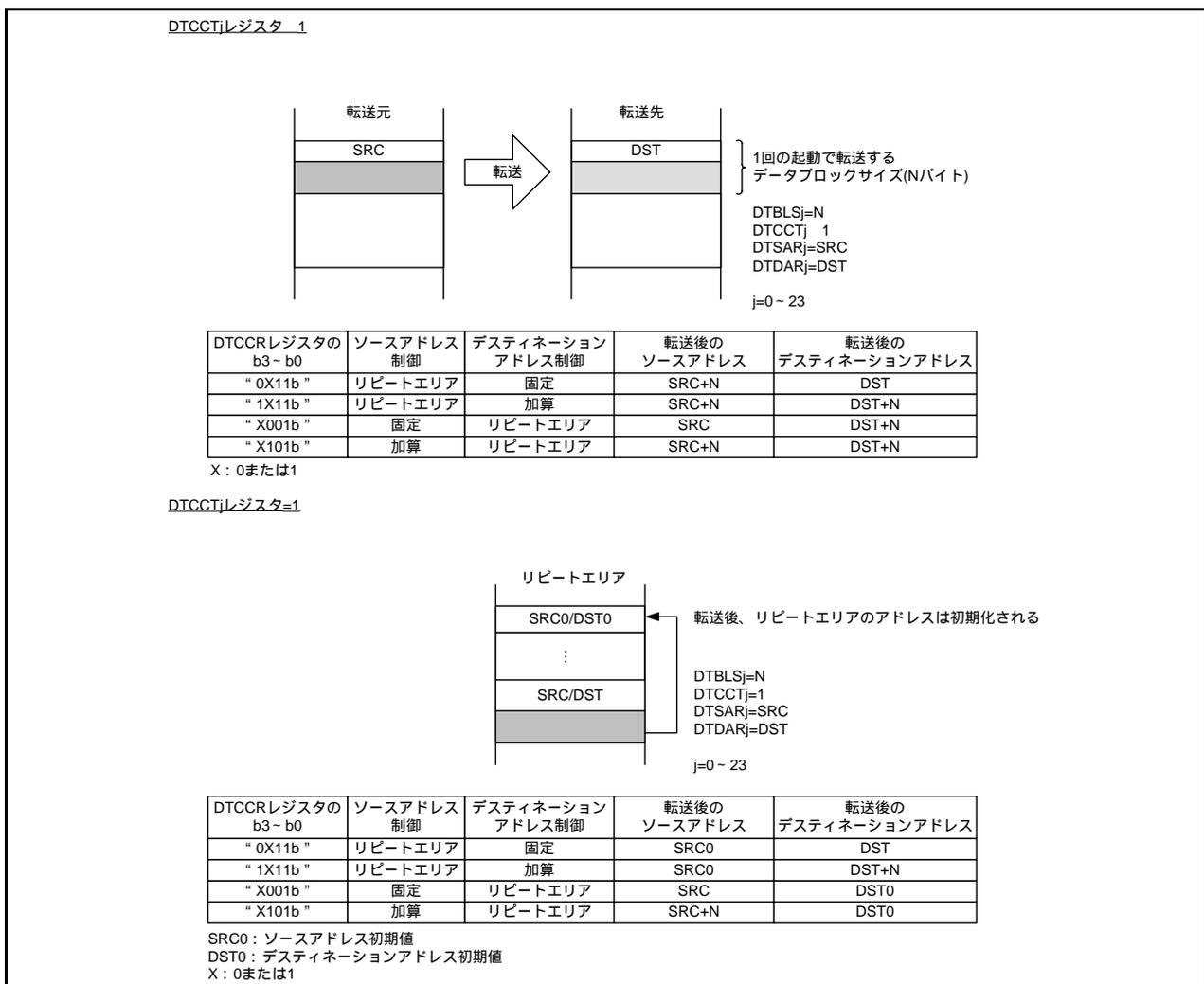


図15.9 リポートモードでのデータ転送

### 15.3.6 チェイン転送

DTCCRj (j=0 ~ 22)レジスタのCHNEビットが“1”(チェーン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図15.10にチェーン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが“1”(チェーン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが“0”(チェーン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェーン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

DTCCR23レジスタのCHNEビットは“0”(チェーン転送禁止)にしてください。

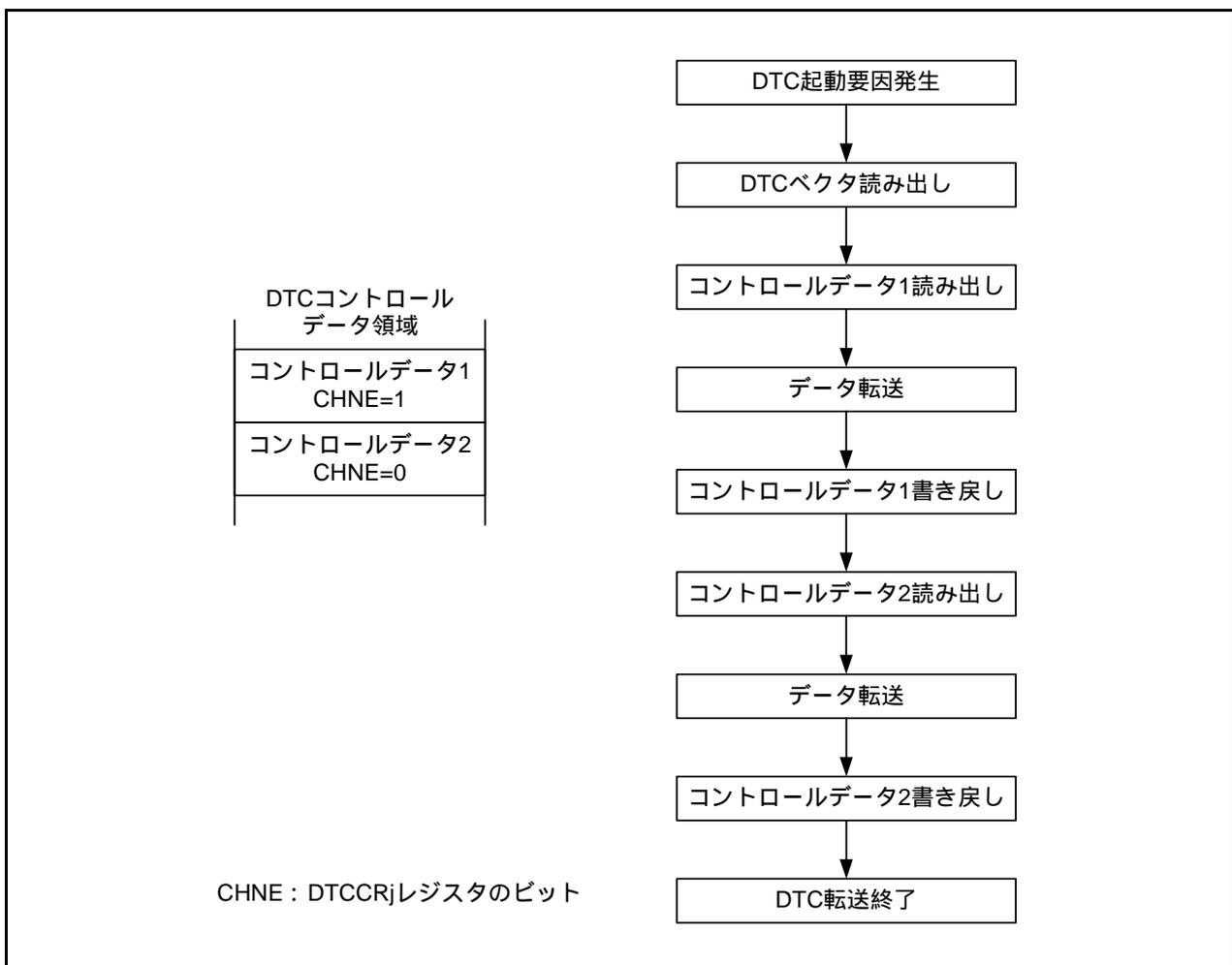


図15.10 チェイン転送のフロー

### 15.3.7 割り込み要因

DTCがノーマルモードでDTCCTj (j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求が発生します。ただし、起動要因がSSU/I<sup>2</sup>Cバス送信データエンティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求が発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェーン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi (i=0 ~ 3、5、6)レジスタのDTCENi0 ~ DTCENi7 (i=0 ~ 3、5、6)ビットは“0”(起動禁止)になります。

### 15.3.8 動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは5サイクルかかります。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図15.11にDTCの動作タイミング例を、図15.12にチェーン転送時のDTCの動作タイミング例を示します。

表15.8にコントロールデータ書き戻し仕様を示します。

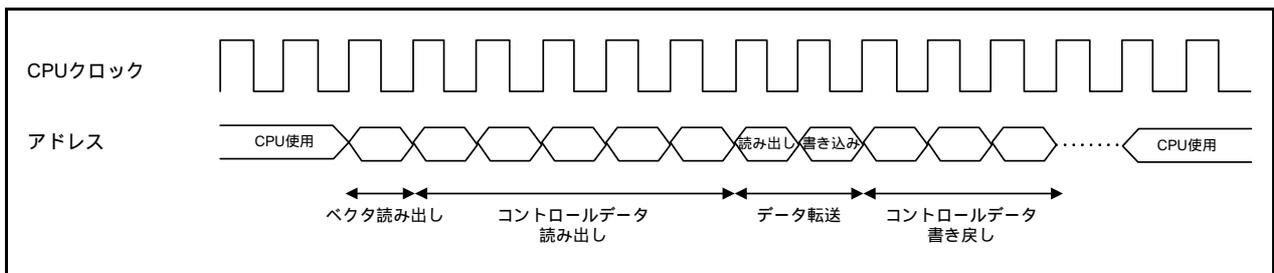


図15.11 DTCの動作タイミング例

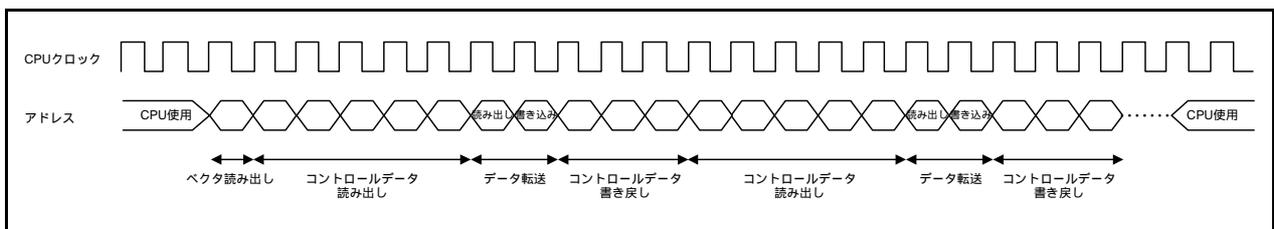


図15.12 チェーン転送時のDTCの動作タイミング例

表15.8 コントロールデータ書き戻し仕様

DTCCR レジスタの b3 ~ b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デステイ ネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
“00X0b”	ノーマル モード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
“01X0b”		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
“10X0b”		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
“11X0b”		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
“0X11b”	リピート モード	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
“1X11b”		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
“X001b”		固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
“X101b”		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3

j=0 ~ 23  
X: 0または1

### 15.3.9 DTC実行サイクル数

表15.9にDTC起動時の実行状態と必要なサイクル数を示します。表15.10にデータ転送に必要なサイクル数を示します。

表15.9 DTC起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み	内部動作
	読み出し	書き戻し			
1	5	(注2)	(注1)	(注1)	1

注1. データ読み出し/データ書き込みに必要なサイクル数は「表15.10 データ転送に必要なサイクル数」を参照してください。

注2. コントロールデータの書き戻しに必要なサイクル数は「表15.8 コントロールデータ書き戻し仕様」を参照してください。

DTBLS<sub>j</sub> (j=0 ~ 23) レジスタ=Nとすると、データ転送時、

- (1) N=2n(偶数)のとき、n回の2バイト転送
- (2) N=2n+1(奇数)のとき、n回の2バイト転送後、1回の1バイト転送を実行します。

表15.10 データ転送に必要なサイクル数

実行状態	転送単位	内部RAM (DTC転送中)		内部ROM (プログラムROM)	内部ROM (データフラッシュ)	SFR (ワードアクセス)		SFR (バイトアクセス)	SFR (DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
データ読み出し	1バイトSK1	1		1	2	2		2	1	
	2バイトSK2	1	2	2	4	2	4	4	1	2
データ書き込み	1バイトSL1	1		—	—	2		2	1	
	2バイトSL2	1	2	—	—	2	4	4	1	2

実行サイクル数は下記計算式で求められます。

$$\text{実行サイクル数} = 1 + \sum[\text{式A}] + 2$$

Σは1つの起動要因で転送する回数分(CHNEビットが“1”に設定されている数+1)の和

- (1) N = 2n(偶数)のとき

$$\text{式A} = J + n \cdot \text{SK2} + n \cdot \text{SL2}$$

- (2) N = 2n + 1(奇数)のとき

$$\text{式A} = J + n \cdot \text{SK2} + 1 \cdot \text{SK1} + n \cdot \text{SL2} + 1 \cdot \text{SL1}$$

J: コントロールデータ読み出しサイクル数(5サイクル) + 書き戻しに必要なサイクル数

16ビット単位でアクセスする必要のあるレジスタに対して、データ読み出し、またはデータ書き込みを行う場合は、DTBLS<sub>j</sub> (j=0 ~ 23)レジスタに2以上の偶数値を設定してください。

DTCは16ビット単位でアクセスします。

### 15.3.10 DTC起動要因受付と割り込み要因フラグ

#### 15.3.10.1 フラッシュメモリ、タイマRC、シンクロナスシリアルコミュニケーションユニット(SSU)/I<sup>2</sup>Cバス以外の割り込み要因

DTC起動要因がフラッシュメモリ、タイマRC、シンクロナスシリアルコミュニケーションユニット/I<sup>2</sup>Cバス以外の割り込み要因であるとき、DTCは割り込み要因が発生してからCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。ソフトウェアコマンド実行時に割り込み要因が発生した場合、CPUクロックの9～16サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC起動要因を受け付けることができません。

#### 15.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になってからDTCが“0”(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを“0”にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが“1”になってから、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル必要です。ソフトウェアコマンド実行時にフラッシュレディステータス割り込みが発生した場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル必要です。また、DTC動作中にフラッシュレディステータス割り込み要求が発生し、DTC起動要因として受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル後に、RDYSTIビットが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが“0”になります。

#### 15.3.10.3 タイマRC

DTC起動要因がタイマRCの割り込み要因であるとき、割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、各タイマのインプットキャプチャ/コンペア一致が発生しても、DTC起動要因になりません。DTCが割り込み要因フラグを“0”にした後、インプットキャプチャ/コンペア一致が発生すると、DTCは起動要因として受け付けます。割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。ソフトウェアコマンド実行時に割り込み要因フラグが“1”になった場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。また、DTC起動中にタイマRCの各DTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。

#### 15.3.10.4 SSU/I<sup>2</sup>Cバス受信データフル

DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルであるとき、データ転送でSSRDR/ICDRRレジスタを読んでください。SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。その後、受信データフルの割り込み要因が発生すると、DTCは起動要因として受け付けます。

#### 15.3.10.5 SSU/I<sup>2</sup>Cバス送信データエンプティ

DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティであるとき、データ転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。その後、送信データエンプティの割り込み要因が発生すると、DTCは起動要因として受け付けます。

## 15.4 DTC使用上の注意

### 15.4.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

### 15.4.2 DTCEN<sub>i</sub> (i=0 ~ 3、5、6) レジスタ

- DTCEN<sub>i</sub>0 ~ DTCEN<sub>i</sub>7 ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCEN<sub>i</sub>0 ~ DTCEN<sub>i</sub>7 ビットを変化させないでください。
- DTC転送でDTCEN<sub>i</sub>レジスタをアクセスしないでください。
- 割り込み要因が割り当てられていないビットは予約ビットです。“0”にしてください。

### 15.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。  
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。  
ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCT<sub>j</sub> (j=0 ~ 23) レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCR<sub>j</sub> レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“1”から“0”になる転送
 のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

### 15.4.4 割り込み要求

DTC起動要因がSSU/I<sup>2</sup>C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCT<sub>j</sub> (j=0 ~ 23) レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

### 15.4.5 DTCのチェイン転送

複数のコントロールデータを用いてチェイン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

- 例.
- DTCCT<sub>0</sub> = 5、DTCCT<sub>1</sub> = 10の場合、DTCCT<sub>0</sub> = DTCCT<sub>1</sub> = 5として動作します。
  - DTCCT<sub>0</sub> = 10、DTCCT<sub>1</sub> = 5の場合、DTCCT<sub>0</sub> = DTCCT<sub>1</sub> = 10として動作します。
  - DTCCT<sub>0</sub> = 10、DTCCT<sub>1</sub> = 5、DTCCT<sub>2</sub> = 2の場合、DTCCT<sub>0</sub> = DTCCT<sub>1</sub> = DTCCT<sub>2</sub> = 10として動作します。

## 16. タイマ総論

タイマは、8ビットプリスケアラ付き8ビットタイマを2本と、16ビットタイマを1本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRCの1本です。4ビットカウンタ、8ビットカウンタは、アウトプットコンペアを持ったタイマREです。すべてのタイマは、それぞれ独立して動作します。

表16.1に各タイマの機能比較を示します。

表16.1 各タイマの機能比較

項目	タイマRA	タイマRB	タイマRC	タイマRE	
構成	8ビットプリスケアラ付き8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付き8ビットタイマ (リロードレジスタ付)	16ビットタイマ(インプットキャプチャ、アウトプットコンペア付)	4ビットカウンタ 8ビットカウンタ	
カウント	ダウンカウント	ダウンカウント	アップカウント	アップカウント	
カウントソース	<ul style="list-style-type: none"> <li>f1</li> <li>f2</li> <li>f8</li> <li>fOCO</li> <li>fC32</li> <li>fC</li> </ul>	<ul style="list-style-type: none"> <li>f1</li> <li>f2</li> <li>f8</li> <li>タイマRAアンダフロー</li> </ul>	<ul style="list-style-type: none"> <li>f1</li> <li>f2</li> <li>f4</li> <li>f8</li> <li>f32</li> <li>TRCCLK</li> </ul>	<ul style="list-style-type: none"> <li>f4</li> <li>f8</li> <li>f32</li> <li>fC4</li> </ul>	
機能	内部のカウントソースのカウント	タイマモード	タイマモード (アウトプットコンペア機能)		
	外部のカウントソースのカウント	イベントカウンタモード	タイマモード (アウトプットコンペア機能)		
	外部パルス幅/周期測定	パルス幅測定モード、パルス周期測定モード		タイマモード (インプットキャプチャ機能; 4本)	
	PWM出力	パルス出力モード (注1)、 イベントカウンタモード (注1)	プログラマブル波形発生モード	タイマモード (アウトプットコンペア機能; 4本)、 PWMモード(3本)、 PWM2モード(1本)	アウトプットコンペアモード
	ワンショット波形出力		プログラマブルワンショット発生モード、 プログラマブルウェイトワンショット発生モード	PWMモード(3本)	
	三相波形出力				
時計	タイマモード (fC32カウントのみ)			リアルタイムクロックモード	
入力端子	TRAIO	INT0	INT0、TRCCLK、TRCTRG、TRCIOA、TRCIOB、TRCIOC、TRCIOD		
出力端子	TRA0、TRAIO	TRBO	TRCIOA、TRCIOB、TRCIOC、TRCIOD	TRE0	
関連する割り込み	タイマRA割り込み	タイマRB割り込み、 INT0割り込み	コンペア一致/ インプットキャプチャA~D割り込み、 オーバフロー割り込み、 INT0割り込み	タイマRE割り込み	
タイマ停止	あり	あり	あり	あり	

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。



## 17.2 レジスタの説明

## 17.2.1 タイマRA制御レジスタ(TRACR)

アドレス 0100h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TUNDF	TEDGF	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRAカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRAカウントステータスフラグ(注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRAカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRAアンダフローフラグ(注3)	0: アンダフローなし 1: アンダフローあり	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

注1. TSTART、TCSTFビットの使用上の注意事項については、「17.8 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードではTEDGFビットを使用しません。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

## 17.2.2 タイマRA I/O制御レジスタ(TRAIOC)

アドレス 0101h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAI0極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRAI0出力制御ビット		R/W
b2	TOENA	TRAI0出力許可ビット		R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAI0入力フィルタ選択ビット	動作モードによって機能が異なる	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAI0イベント入力制御ビット		R/W
b7	TIOGT1			R/W

## 17.2.3 タイマRAモードレジスタ(TRAMR)

アドレス 0102h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	-	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 000: タイマモード 001: パルス出力モード 010: イベントカウンタモード 011: パルス幅測定モード 100: パルス周期測定モード 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 000: f1 001: f8 010: fOCO 011: f2 100: fC32 101: 設定しないでください 110: fC 111: 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRAカウントソース遮断ビット	0: カウントソース供給 1: カウントソース遮断	R/W

TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRAMRレジスタを変更してください。

## 17.2.4 タイマRAプリスケアラレジスタ(TRAPRE)

アドレス 0103h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソースをカウント	00h ~ FFh	R/W
	パルス出力モード		00h ~ FFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	00h ~ FFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

## 17.2.5 タイマRAレジスタ(TRA)

アドレス 0104h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	全モード	TRAPREレジスタのアンダフローをカウント	00h ~ FFh(注2)	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

注2. パルス幅測定モードおよびパルス周期測定モードでは、TRAレジスタに00hを設定しないでください。

## 17.2.6 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TRAOSEL1	TRAOSEL0	-	TRAIOSSEL1	TRAIOSSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSSEL0	TRAI0端子選択ビット	b1 b0 00 : TRAI0端子は使用しない 01 : P1_7に割り当てる 10 : P1_5に割り当てる 11 : 設定しないでください	R/W
b1	TRAIOSSEL1			R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	TRAOSEL0	TRAO端子選択ビット	b4 b3 00 : P3_7に割り当てる 01 : P3_0に割り当てる 10 : 設定しないでください 11 : 設定しないでください	R/W
b4	TRAOSEL1			R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

### 17.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表17.2)。

表17.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAIO端子機能	プログラマブル入出力ポート
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>

#### 17.3.1 タイマRA I/O制御レジスタ(TRAIOC)[タイマモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

### 17.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケアラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、カウント中にプリスケアラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図17.2にタイマRAカウント中にカウント値を書き換えた場合の動作例を示します。

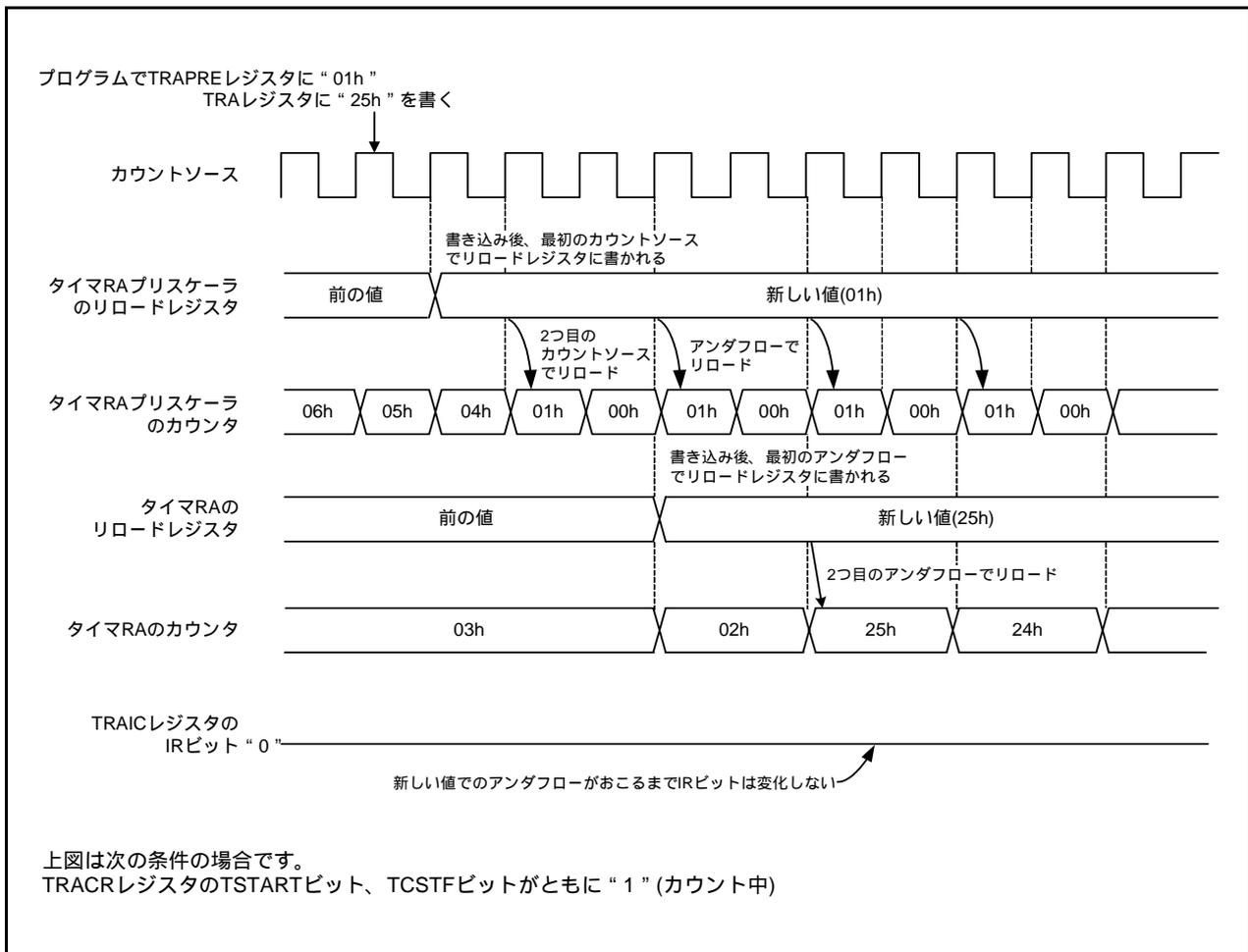


図17.2 タイマRAカウント中にカウント値を書き換えた場合の動作例

## 17.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAI0端子から出力するモードです(表17.3)。

表17.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAI0信号端子機能	パルス出力、またはプログラマブル出力ポート
TRAO端子機能	プログラマブル入出力ポート、またはTRAI0出力の反転出力
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• TRAI0出力極性切り替え機能 TRAI0CレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1)</li> <li>• TRAO出力機能 TRAI0出力の極性を反転したパルスをTRAO端子から出力(TRAI0CレジスタのTOENAビットで選択)</li> <li>• パルス出力停止機能 TRAI0CレジスタのTOPCRビットでTRAI0端子からのパルス出力を停止</li> <li>• TRAI0端子選択機能 TRASRレジスタのTRAI0SEL0 ~ TRAI0SEL1ビットでP1_5またはP1_7を選択</li> <li>• TRAO端子選択機能 TRASRレジスタのTRAOSEL0 ~ TRAOSEL1ビットでP3_0またはP3_7を選択</li> </ul>

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

## 17.4.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス出力モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : “H” から TRAIIO 出力開始 1 : “L” から TRAIIO 出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	0 : TRAIIO出力 1 : TRAIIO出力禁止	R/W
b2	TOENA	TRAIIO出力許可ビット	0 : TRAIIO出力禁止 1 : TRAIIO出力 (TRAIO出力の反転をポートから出力)	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	パルス出力モードでは “0” にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

## 17.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表17.4)。

表17.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAIO信号端子機能	カウントソース入力
TRAO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• TRAIO入力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択</li> <li>• カウントソース入力端子選択機能 TRASRレジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでP1_5またはP1_7を選択</li> <li>• パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)(注1)</li> <li>• TRAO端子選択機能 TRASRレジスタのTRAOSEL0 ~ TRAOSEL1ビットでP3_0またはP3_7を選択</li> <li>• デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRAIOCレジスタのTIPF0 ~ TIPF1ビットで選択</li> <li>• イベント入力制御機能 TRAIO端子へのイベント入力の有効期間をTRAIOCレジスタのTIOGT0 ~ TIOGT1ビットで選択</li> </ul>

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

## 17.5.1 タイマRA I/O制御レジスタ (TRAIOC)[イベントカウンタモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAI0極性切り替えビット	0 : TRAI0入力の立ち上がりエッジでカウント また、“L” から TRAO出力開始 1 : TRAI0入力の立ち下がりエッジでカウント また、“H” から TRAO出力開始	R/W
b1	TOPCR	TRAI0出力制御ビット	イベントカウンタモードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット	0 : TRAO出力禁止 1 : TRAO出力	R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAI0入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAI0イベント入力制御ビット	b7 b6 00 : 常にイベント入力有効 01 : 設定しないでください 10 : TRCIOD(タイマRCの出力)の“L”期間のイ ベント入力有効 11 : 設定しないでください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

## 17.6 パルス幅測定モード

TRAI0端子から入力する外部信号のパルス幅を測定するモードです(表17.5)。

図17.3にパルス幅測定モード時の動作例を示します。

表17.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• 測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• タイマRAのアンダフロー時[タイマRA割り込み]</li> <li>• TRAI0入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]</li> </ul>
TRAI0信号端子機能	測定パルス入力
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• 測定レベル設定 TRAI0CレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択</li> <li>• 測定パルス入力端子選択機能 TRASRレジスタのTRAI0SEL0～TRAI0SEL1ビットでP1_5またはP1_7を選択</li> <li>• デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択</li> </ul>

## 17.6.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス幅測定モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : TRAI0入力の“L”レベル幅を測定 1 : TRAI0入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	-	予約ビット	“0”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

17.6.2 動作例

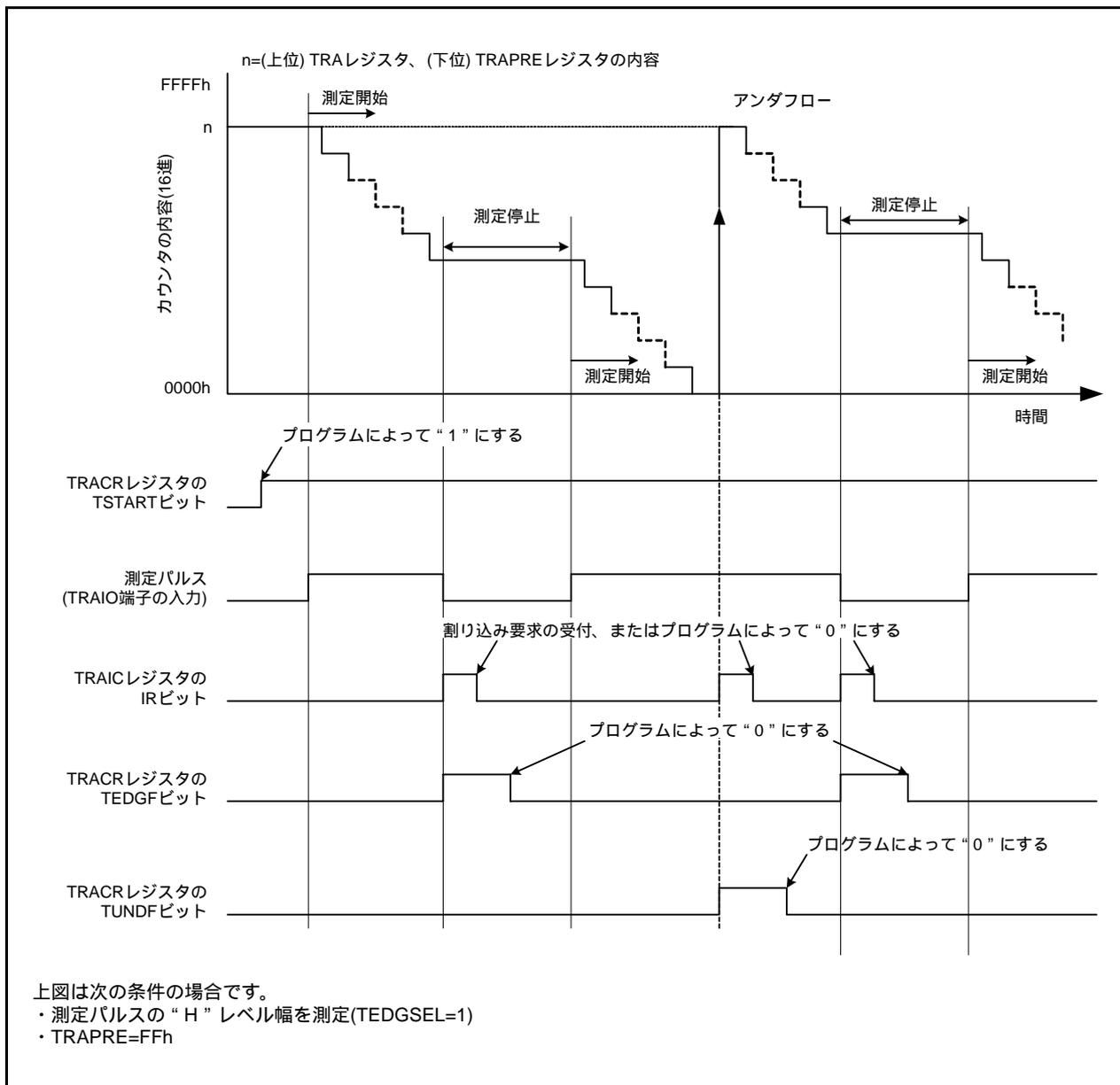


図 17.3 パルス幅測定モード時の動作例

## 17.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表17.6)。

図17.4にパルス周期測定モード時の動作例を示します。

表17.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• 測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• タイマRAのアンダフロー時、またはリロード時[タイマRA割り込み]</li> <li>• TRAI0入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]</li> </ul>
TRAIO端子機能	測定パルス入力(注1)
TRA0端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• 測定期間選択 TRAIOCレジスタのTEDGSELビットで入力パルスの測定期間を選択</li> <li>• 測定パルス入力端子選択機能 TRASRレジスタのTRAI0SEL0～TRAI0SEL1ビットでP1_5またはP1_7を選択</li> <li>• デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択</li> </ul>

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

## 17.7.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス周期測定モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	-	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0: 測定パルスの立ち上がりから立ち上がり間測定 1: 測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	-	予約ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増大します。



## 17.8 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“0”になっています。  
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。  
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。  
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。  
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ : TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRA レジスタに 00h を設定しないでください。

## 18. タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。

### 18.1 概要

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表18.2～表18.5の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図18.1にタイマRBのブロック図を、表18.1にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード 内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード ディレイドワンショットパルスを出力するモード

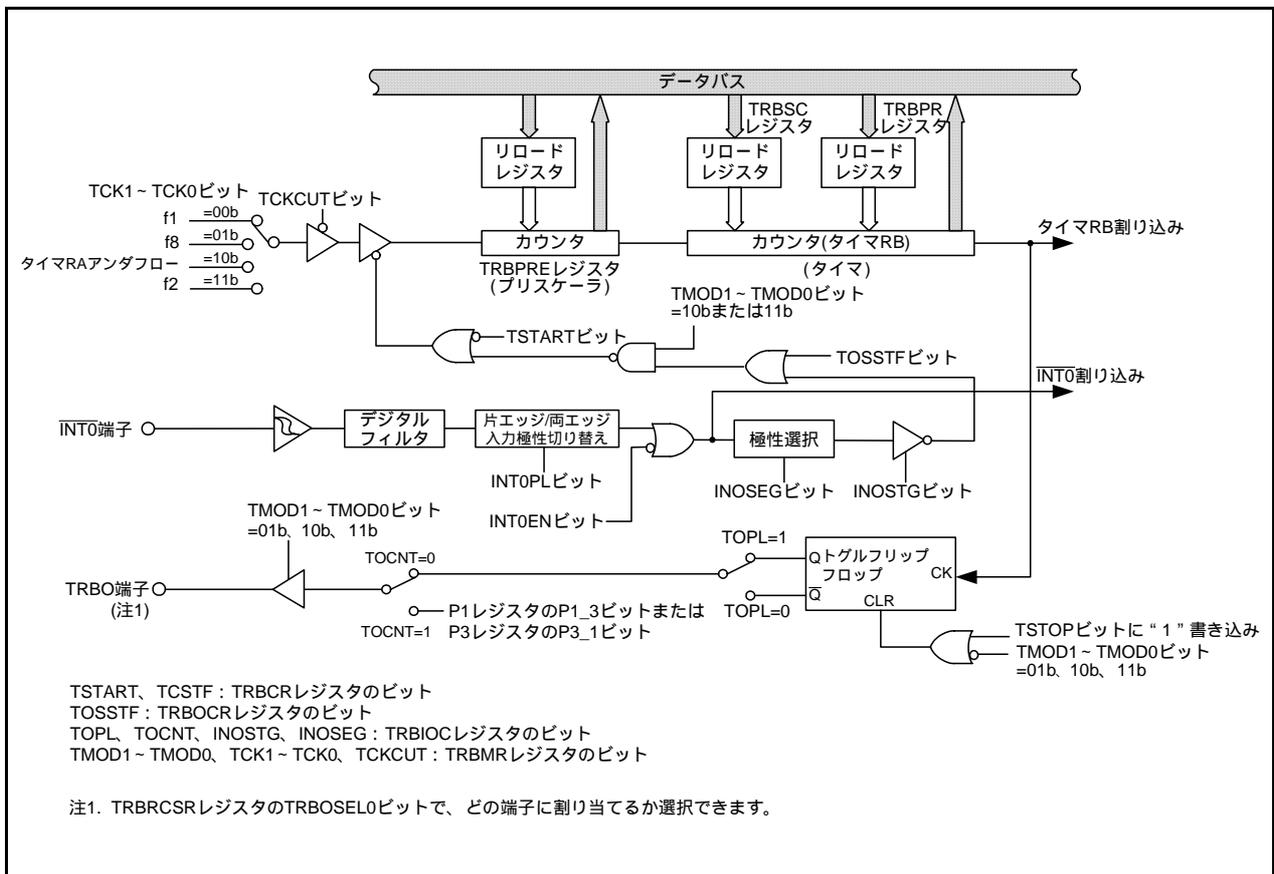


図18.1 タイマRBのブロック図

表18.1 タイマRBの端子構成

端子名	割り当てる端子	入出力	機能
TRBO	P1_3またはP3_1	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)

## 18.2 レジスタの説明

## 18.2.1 タイマRB制御レジスタ(TRBCR)

アドレス 0108h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRBカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRBカウントステータスフラグ(注1)	0: カウント停止 1: カウント中(注3)	R
b2	TSTOP	タイマRBカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「18.7 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

## 18.2.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス 0109h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRBワンショット開始ビット	“1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマRBワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウンタを停止します。読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマRBワンショットステータスフラグ(注1)	0: ワンショット停止中 1: ワンショット動作中(ウェイト期間含む)	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TRBOCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1 ~ TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

## 18.2.3 タイマRB I/O制御レジスタ(TRBIOC)

アドレス 010Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

## 18.2.4 タイマRBモードレジスタ(TRBMR)

アドレス 010Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	-	TCK1	TCK0	TWRC	-	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB動作モード選択ビット (注1)	b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	TWRC	タイマRB書き込み制御ビット (注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRBカウントソース選択ビット (注1)	b5 b4 00: f1 01: f8 10: タイマRAのアンダフロー (注3) 11: f2	R/W
b5	TCK1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	TCKCUT	タイマRBカウントソース遮断 ビット(注1)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TMOD1 ~ TMOD0ビット、TCK1 ~ TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

注3. タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

## 18.2.5 タイマRBプリスケアラレジスタ(TRBPRES)

アドレス 010Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソース、またはタイマRAアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード		00h ~ FFh	R/W
	プログラマブルワンショット発生モード		00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h ~ FFh	R/W

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRESレジスタは“FFh”になります。

## 18.2.6 タイマRBセカンダリレジスタ(TRBSC)

アドレス 010Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	無効	00h ~ FFh	-
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h ~ FFh	-
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	W (注2)

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。

TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSCレジスタに値を書く
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

## 18.2.7 タイマRBプライマリレジスタ(TRBPR)

アドレス 010Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	タイマRBプリスケアラのアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	R/W
	プログラマブルワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ウェイト期間をカウント)	00h ~ FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

## 18.2.8 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	0 : P1_3に割り当てる 1 : P3_1に割り当てる	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

### 18.3 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表18.2)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

表18.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	ダウンカウント <ul style="list-style-type: none"> <li>アンダフロー時リロードレジスタの内容をリロードしてカウントを継続(タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)</li> </ul>
分周比	$1/(n+1)(m+1)$ n: TRBPRESレジスタの設定値、m: TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる(「18.3.2 カウント中のタイマ書き込み制御」参照)。</li> </ul>

## 18.3.1 タイマRB I/O制御レジスタ (TRBIOC)[タイマモード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

### 18.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれま  
す。図18.2にタイマRBカウント中にカウント値を書き換えた場合の動作例を示します。

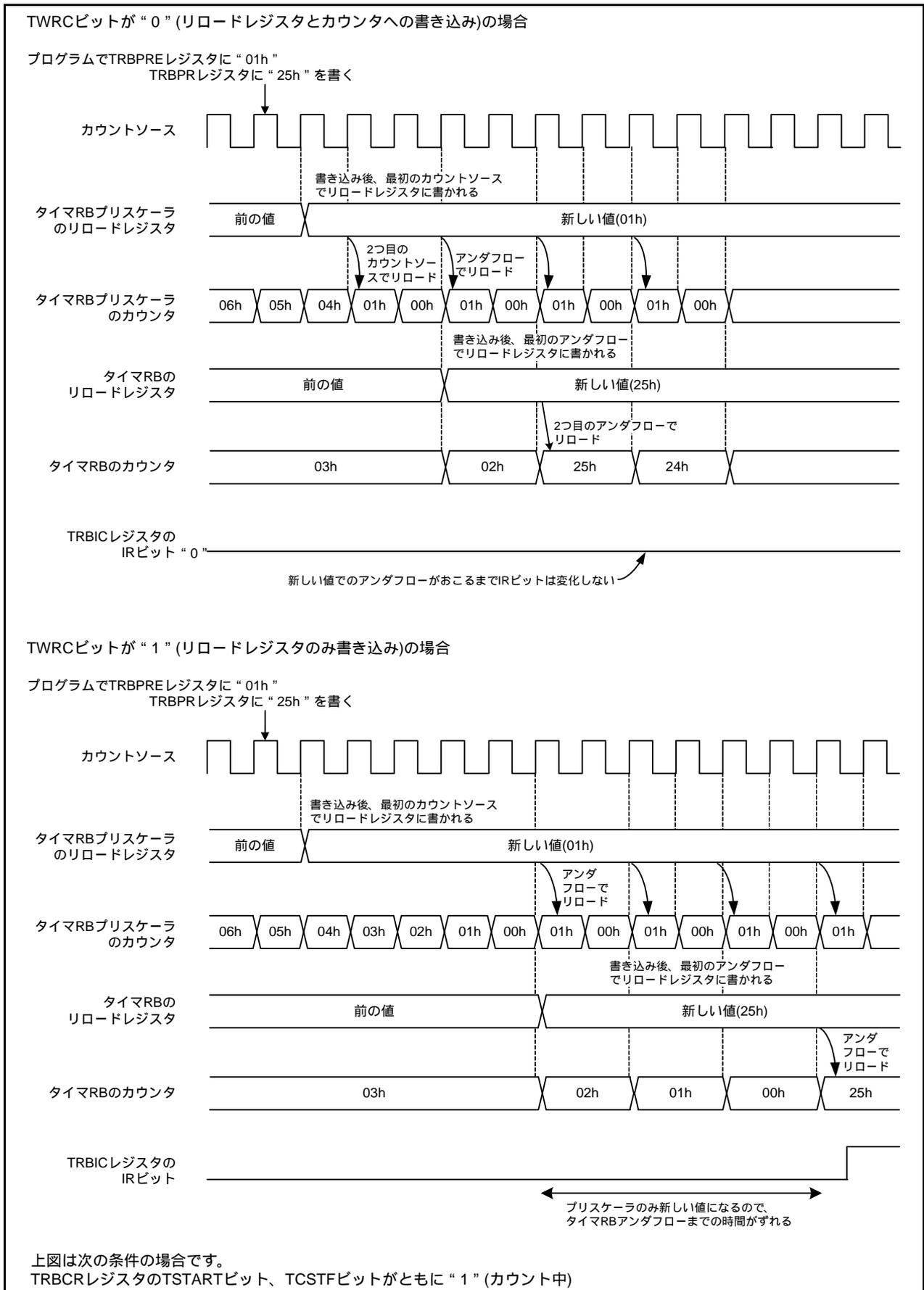


図 18.2 タイマRBカウント中にカウント値を書き換えた場合の動作例

## 18.4 プログラマブル波形発生モード

TRBPR レジスタと TRBSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO 端子から出力する信号を反転するモードです(表18.3)。カウント開始時は、TRBPR レジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCR レジスタは使用しません。

図18.3にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表18.3 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続</li> </ul>
出力波形の幅、周期	プライマリ期間： $(n+1)(m+1)/f_i$ セカンダリ期間： $(n+1)(p+1)/f_i$ 周期： $(n+1)\{(m+1)+(p+1)\}/f_i$ $f_i$ ：カウントソースの周波数 $n$ ：TRBPRES レジスタの設定値、 $m$ ：TRBPR レジスタの設定値 $p$ ：TRBSC レジスタの設定値
カウント開始条件	TRBCR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRBCR レジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRBCR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO出力の変化と同時に)[タイマRB割り込み]
TRBO端子機能	プログラマブル出力ポート、またはパルス出力
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択</li> <li>• TRBO端子出力切り替え機能 TRBIOC レジスタのTOCNTビットでタイマRBパルス出力またはP3_1(P1_3)ラッチ出力を選択(注3)</li> </ul>

注1. セカンダリ期間をカウント中でも、TRBPR レジスタを読み出してください。

注2. 波形の出力は、TRBPR レジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNTビットに書いた値は、次のタイミングで有効になります。

- カウント開始時
- タイマRB割り込み要求発生時

したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

## 18.4.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0 : プライマリ期間 “H” 出力 セカンダリ期間 “L” 出力 タイマ停止時 “L” 出力 1 : プライマリ期間 “L” 出力 セカンダリ期間 “H” 出力 タイマ停止時 “H” 出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	0 : タイマRB波形出力 1 : P3_1 (P1_3) ポートラッチの値を出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは “0” にしてください	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b5	-			
b6	-			
b7	-			

## 18.4.2 動作例

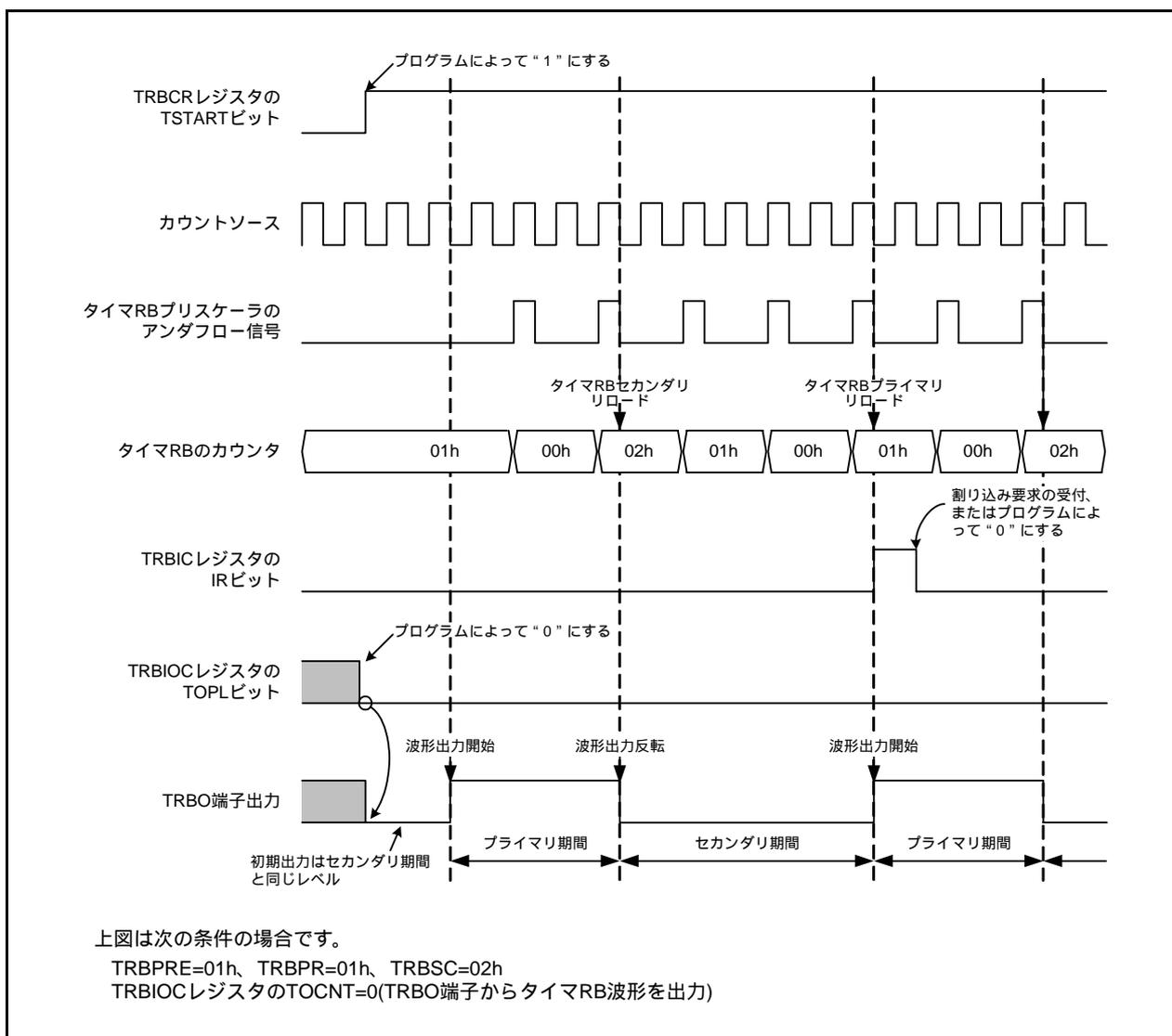


図18.3 プログラマブル波形発生モード時のタイマRBの動作例

### 18.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルス(TRBO端子から出力するモードです(表18.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。図18.4にプログラマブルワンショット発生モード時の動作例を示します。

表18.4 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>• TRBPRレジスタの設定値をダウンカウント</li> <li>• アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>• カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPREレジスタの設定値、 $m$ : TRBPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>• TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生</li> <li>• TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み</li> <li>• INT0端子へのトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>• タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>• TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>• TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> <li>• TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合プログラマブル入出力ポート、またはINT0割り込み入力</li> <li>• TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合外部トリガ(INT0割り込み入力)</li> </ul>
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>• ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照</li> </ul>

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

### 18.5.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルワンショット発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス“H”出力 タイマ停止時“L”出力 1: ワンショットパルス“L”出力 タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルワンショット発生モードでは“0”にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: INTO端子ワンショットトリガ無効 1: INTO端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

18.5.2 動作例

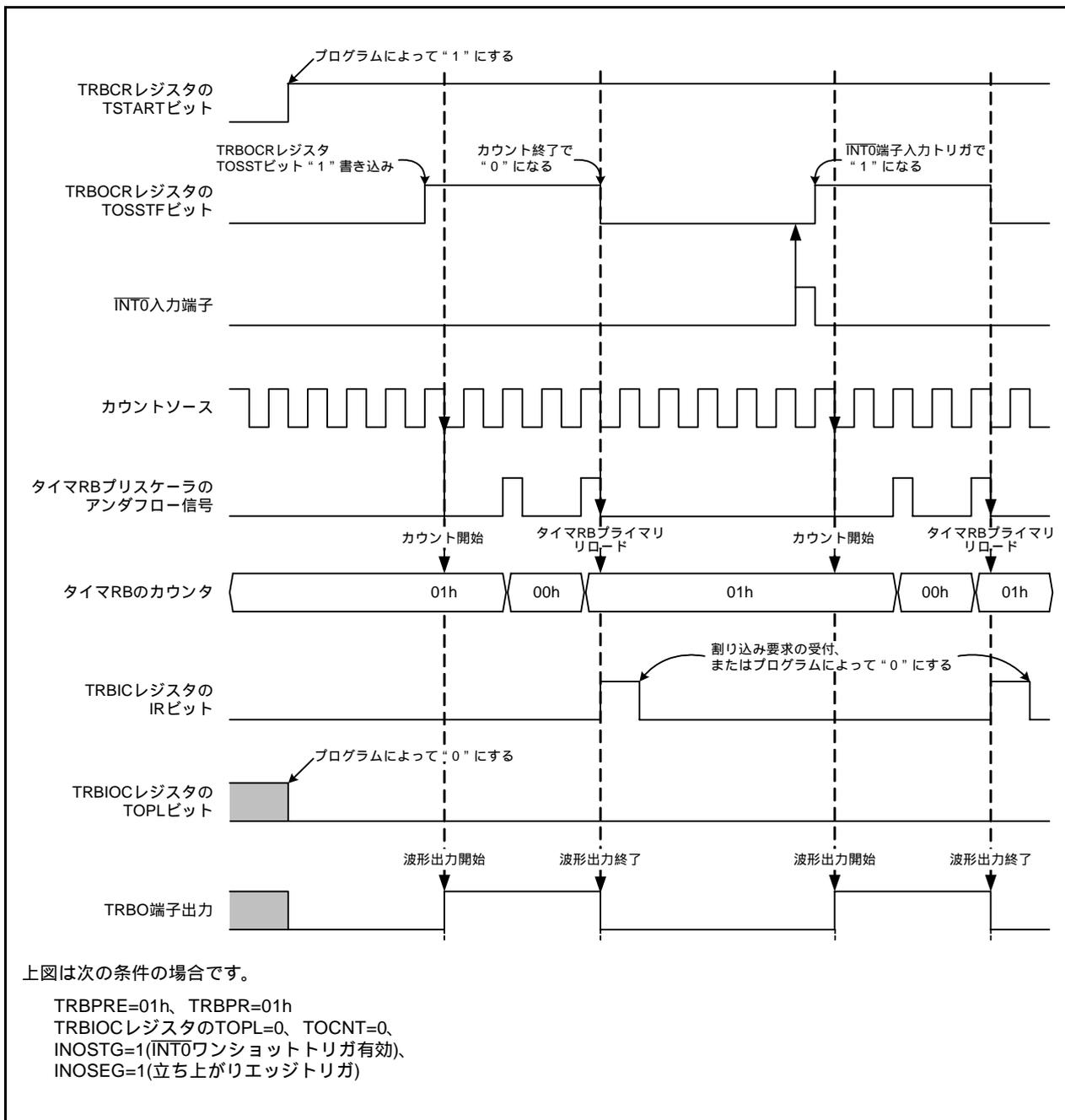


図18.4 プログラマブルワンショット発生モード時の動作例

### 18.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT0}}$ 端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4\_5ビットを“0”(入力ポート)にする
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“1”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”(INT0端子ワンショットトリガ有効)にする

なお、 $\overline{\text{INT0}}$ 端子からのトリガ入力での割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「11. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットはINT0割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

## 18.6 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)から、一定時間後にワンショットパルス(TRBO端子から出力するモードです(表18.5)。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

図18.5にプログラマブルウェイトワンショット発生モードの動作例を示します。

表18.5 プログラマブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>タイマRBプライマリの設定値をダウンカウント</li> <li>タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続</li> <li>タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ウェイト時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPRESレジスタの設定値、 $m$ : TRBPRレジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPRESレジスタの設定値、 $p$ : TRBSCレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生</li> <li>TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み</li> <li>INT0端子へのトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> <li>TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力</li> <li>TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)</li> </ul>
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>カウント停止中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>カウント中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照</li> </ul>

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

### 18.6.1 タイマRB I/O制御レジスタ (TRBIOC) [プログラマブルウェイトワンショット発生モード時]

アドレス 010Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス “H” 出力 タイマ停止時とウェイト中は “L” 出力 1: ワンショットパルス “L” 出力 タイマ停止時とウェイト中は “H” 出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルウェイトワンショット発生モードでは “0” にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: INTO端子ワンショットトリガ無効 1: INTO端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b5	-			
b6	-			
b7	-			

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

18.6.2 動作例

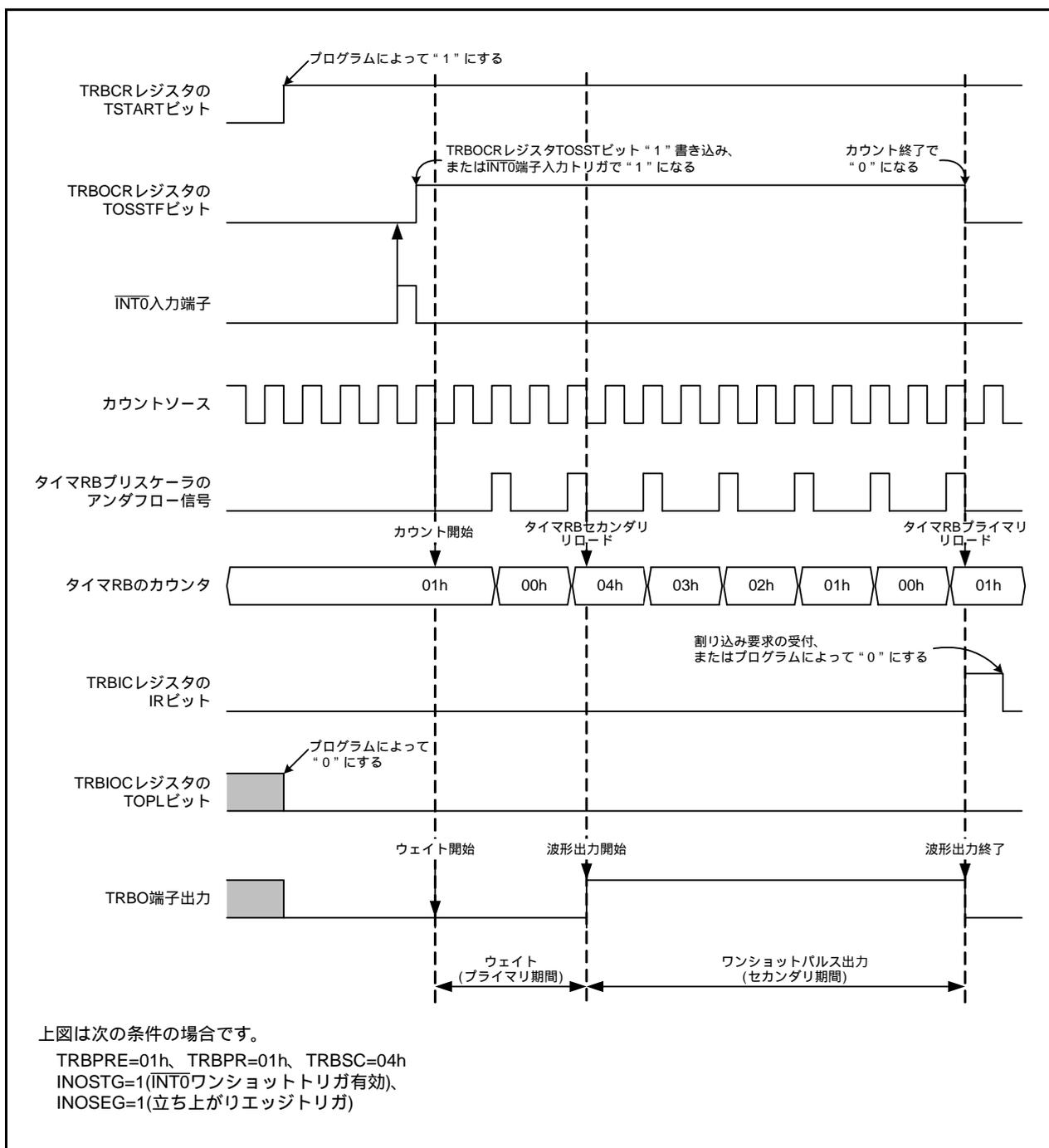


図 18.5 プログラマブルウェイトワンショット発生モードの動作例

## 18.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。  
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。  
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。  
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

### 18.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 19. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

### 19.1 概要

タイマRCの動作クロックはf1です。表19.1にタイマRCの動作クロックを示します。

表19.1 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1

表19.2にタイマRCの端子構成を、図19.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード
  - インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウツプットコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

次の2つのモードは、アウツプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インพุットキャプチャ機能、アウツプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

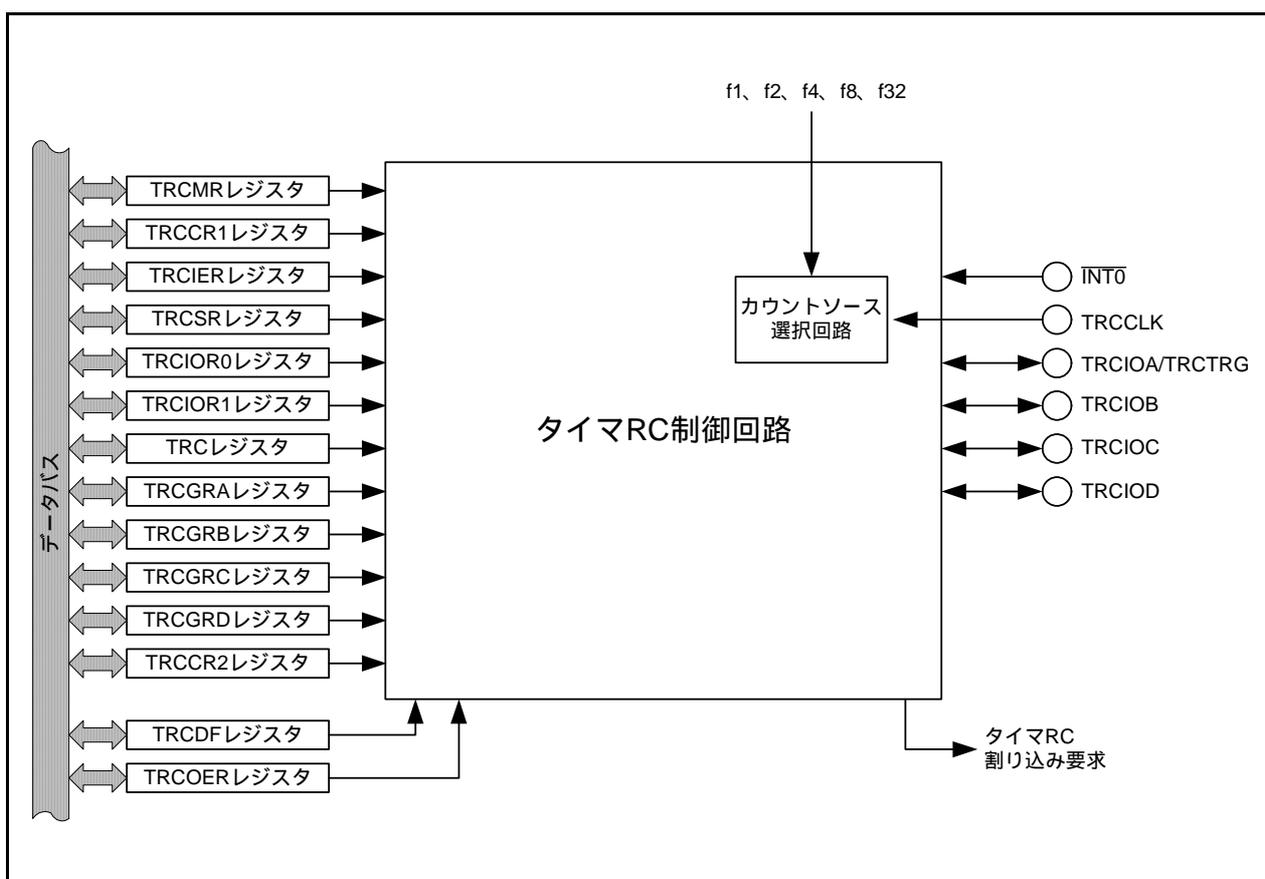


図19.1 タイマRCのブロック図

表19.2 タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P1_1	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRCIOB	P0_4またはP1_2		
TRCIOC	P1_3またはP3_4		
TRCIOD	P1_0またはP3_5		
TRCCLK	P1_4またはP3_3	入力	外部クロック入力
TRCTRГ	P1_1	入力	PWM2モードの外部トリガ入力

## 19.2 レジスタの説明

表19.3にタイマRC関連レジスタ一覧を示します。

表19.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプ ットキャ プチャ 機能	アウトプ ットコン ペア 機能			
0008h	MSTCR	有効	有効	有効	有効	19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)
0120h	TRCMR	有効	有効	有効	有効	19.2.2 タイマRCモードレジスタ(TRCMR)
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 19.2.3 タイマRC制御レジスタ1 (TRCCR1) 19.5.1 タイマRC制御レジスタ1 (TRCCR1) [タイマ モード(アウトプットコンペア機能)時] 19.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWM モード時] 19.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2 モード時]
0122h	TRCIER	有効	有効	有効	有効	19.2.4 タイマRC割り込み許可レジスタ(TRCIER)
0123h	TRCSR	有効	有効	有効	有効	19.2.5 タイマRCステータスレジスタ(TRCSR)
0124h	TRCIOR0	有効	有効			タイマRC I/O制御レジスタ0、タイマRC I/O制御レジ スタ1 19.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0) 19.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1) 19.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0) [タ イマモード(インプットキャプチャ機能)時] 19.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1) [タ イマモード(インプットキャプチャ機能)時] 19.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0) [タ イマモード(アウトプットコンペア機能)時] 19.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1) [タ イマモード(アウトプットコンペア機能)時]
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	19.2.8 タイマRCカウンタ(TRC)
0128h 0129h	TRCGRA	有効	有効	有効	有効	19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、 TRCGRD)
012Ah 012Bh	TRCGRB					
012Ch 012Dh	TRCGRC					
012Eh 012Fh	TRCGRD					
0130h	TRCCR2		有効	有効	有効	19.2.10 タイマRC制御レジスタ2 (TRCCR2)
0131h	TRCDF	有効			有効	19.2.11 タイマRCデジタルフィルタ機能選択レジス タ(TRCDF)
0132h	TRCOER		有効	有効	有効	19.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER)
0181h	TRBRCSR	有効	有効	有効	有効	19.2.13 タイマRB/RC端子選択レジスタ(TRBRCSR)
0182h	TRCPSR0	有効	有効	有効	有効	19.2.14 タイマRC端子選択レジスタ0 (TRCPSR0)
0183h	TRCPSR1	有効	有効	有効	有効	19.2.15 タイマRC端子選択レジスタ1 (TRCPSR1)

: 無効

## 19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	MSTTRC	-	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

- 注1. スタンバイにする前に、SSU、I<sup>2</sup>Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0132h番地)へのアクセスは無効になります。

## 19.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	-	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b1	PWMC	TRCIOD PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0: PWM2モード 1: タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット (注2)	0: ジェネラルレジスタ 1: TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRCGRBレジスタのバッファレジスタ	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	TSTART	TRCカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

## 19.2.3 タイマRC制御レジスタ1 (TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : インพุットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

## 19.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	-	-	-	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インพุットキャプチャ/コンペア一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インพุットキャプチャ/コンペア一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インพุットキャプチャ/コンペア一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インพุットキャプチャ/コンペア一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	OVIE	オーバフロー割り込み許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W

## 19.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	-	-	-	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表19.4 各フラグが“1”になる要因」を参照	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB		R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表19.4 各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

表19.4 各フラグが“1”になる要因

ビット シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプット コンペア機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1 ~ IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

## 19.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0)

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット(注3)	0: fOCO128信号 1: TRCIOA端子入力	R/W
b4	IOB0	TRCGRB制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

## 19.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1)

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

## 19.2.8 タイマRCカウンタ(TRC)

アドレス 0127h ~ 0126h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRCSRレジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h ~ 0128h番地 (TRCGRA)、012Bh ~ 012Ah番地 (TRCGRB)、  
012Dh ~ 012Ch番地 (TRCGRC)、012Fh ~ 012Eh番地 (TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	モードによって機能が異なる	R/W

TRCGRA ~ TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 19.2.10 タイマRC制御レジスタ2 (TRCCR2)

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0: TRCGRAレジスタとのコンペア一致後もカウント継続 1: TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00: TRCTRGからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 19.2.11 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG 端子デジタルフィルタ機能 選択ビット(注2)	0: 機能なし 1: 機能あり	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース (TRCCR1 レジスタのTCK2 ~ TCK0 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

## 19.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)

アドレス 0132h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOA端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOB端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOC端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOD端子はプログラマブル入出力ポート)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

## 19.2.13 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	0 : P1_3に割り当てる 1 : P3_1に割り当てる	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

## 19.2.14 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIOBSEL2	TRCIOBSEL1	TRCIOBSEL0	-	TRCIOASEL2	TRCIOASEL1	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA/TRCTRG端子は使用しない 0 0 1 : P1_1に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOASEL1			R/W
b2	TRCIOASEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 1 : P0_4に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIOBSEL1			R/W
b6	TRCIOBSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

## 19.2.15 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIODSEL2	TRCIODSEL1	TRCIODSEL0	-	TRCIOSEL2	TRCIOSEL1	TRCIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOSEL0	TRCIO端子選択ビット	b2 b1 b0 000 : TRCIO端子は使用しない 001 : P1_3に割り当てる 010 : P3_4に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOSEL1			R/W
b2	TRCIOSEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIODSEL0	TRCIOD端子選択ビット	b6 b5 b4 000 : TRCIOD端子は使用しない 001 : P1_0に割り当てる 010 : P3_5に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIODSEL1			R/W
b6	TRCIODSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

## 19.3 複数モードに関わる共通事項

### 19.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表19.5にカウントソースの選択を、図19.2にカウントソースのブロック図を示します。

表19.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b” (カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード)

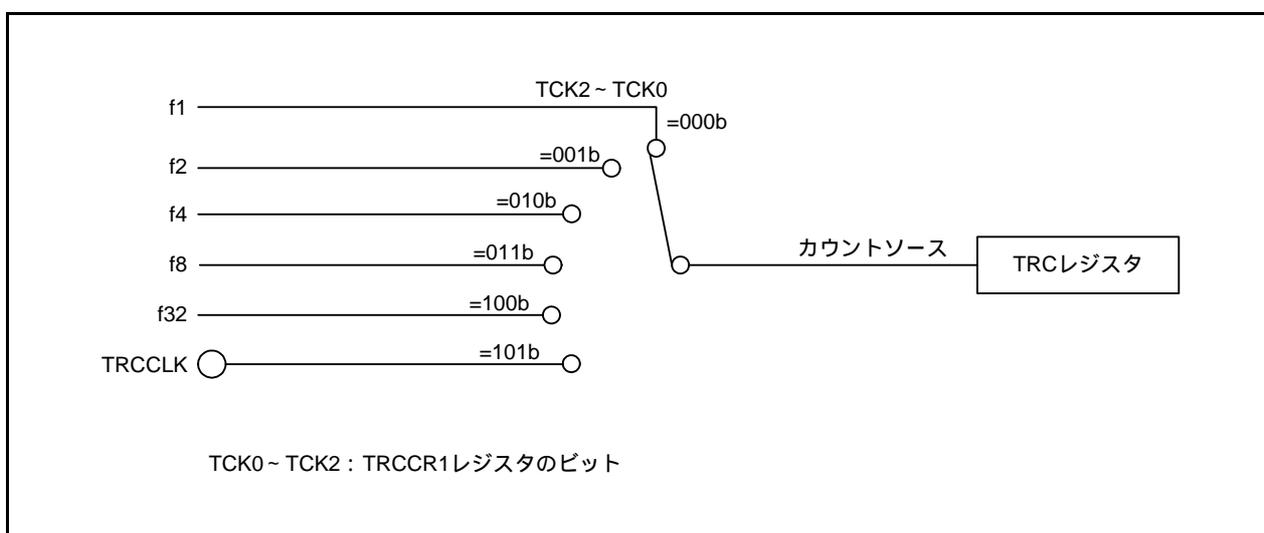


図19.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表19.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

### 19.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。

表19.6に各モードのバッファ動作を、図19.3にインプットキャプチャ機能のバッファ動作を、図19.4にアウトプットコンペア機能のバッファ動作を示します。

表19.6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	<ul style="list-style-type: none"> <li>•TRCレジスタとTRCGRAレジスタのコンペア一致</li> <li>•TRCTRG端子トリガ入力</li> </ul>	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

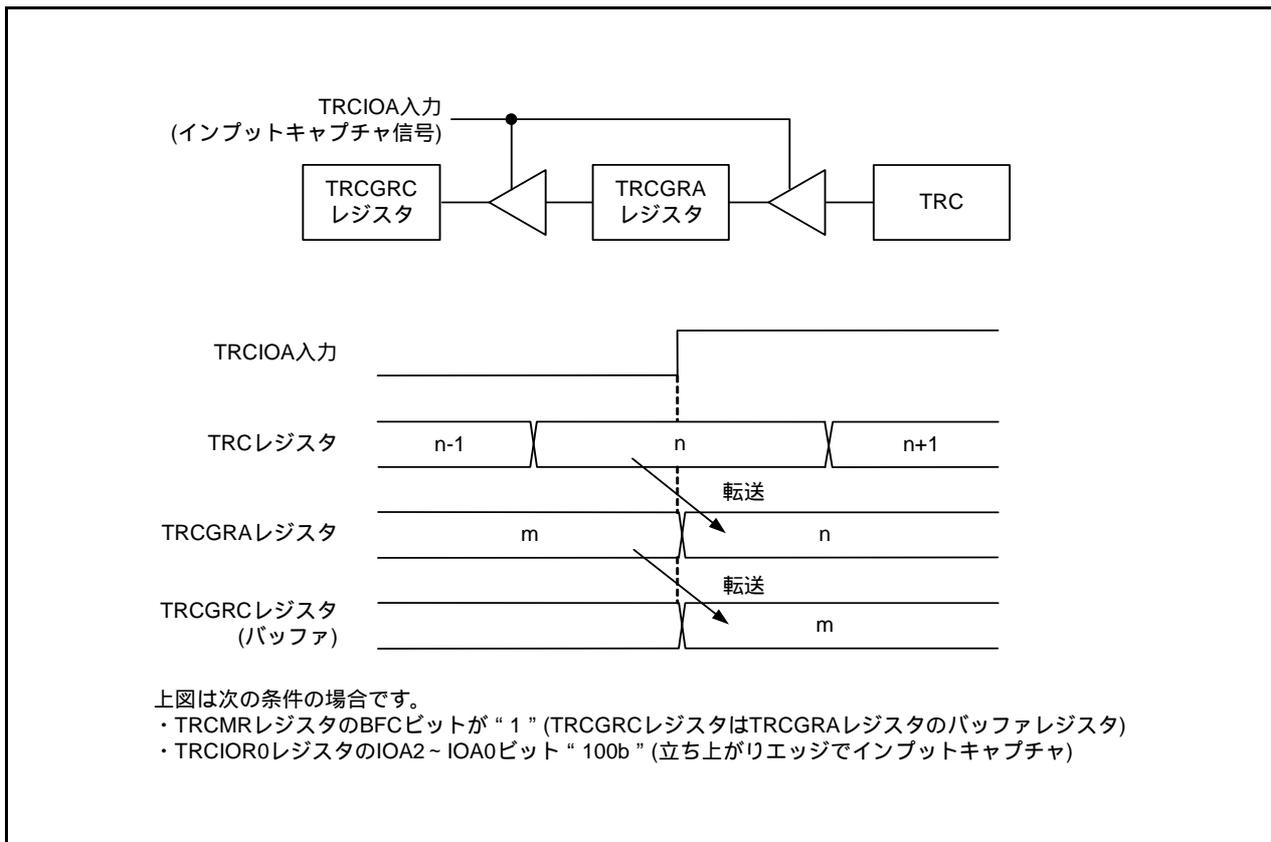


図19.3 インプットキャプチャ機能のバッファ動作

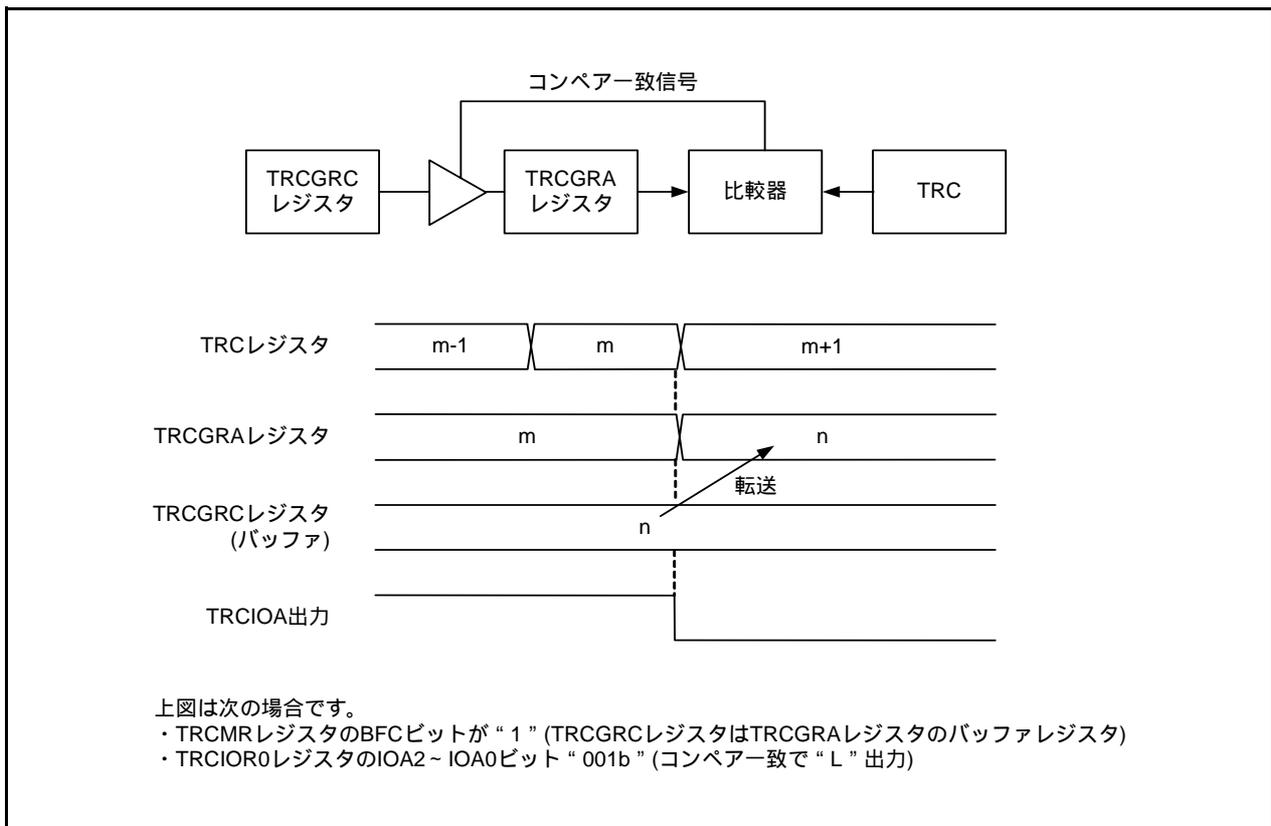


図19.4 アウトプットコンペアー機能のバッファ動作

タイマモードでは次のようにしてください。

- ・ TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合  
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- ・ TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合  
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペアー機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペアー一致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

入力キャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

### 19.3.3 デジタルフィルタ

TRCTR<sub>j</sub>入力またはTRCIO<sub>j</sub> (j=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図19.5にデジタルフィルタのブロック図を示します。

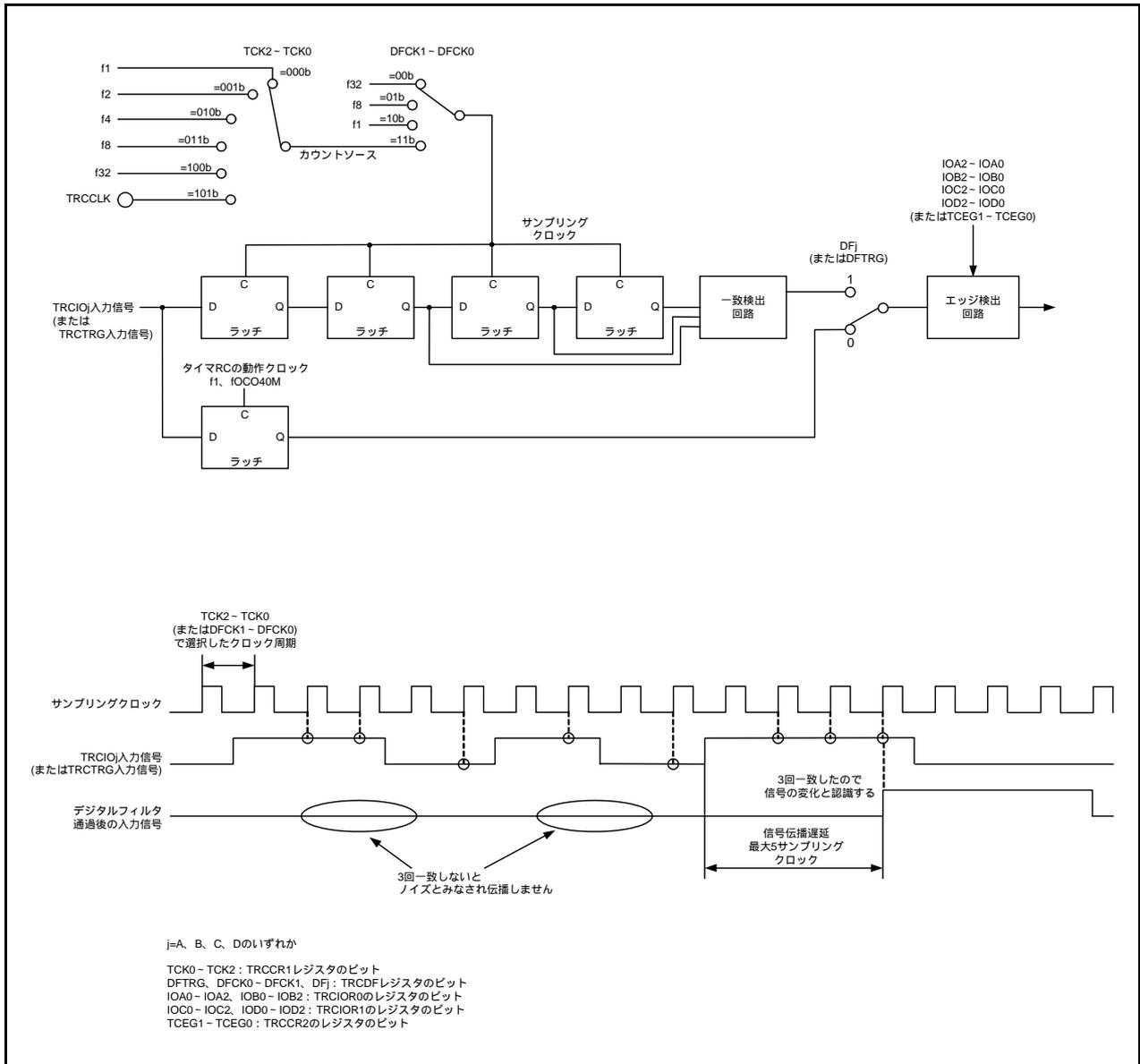


図19.5 デジタルフィルタのブロック図

### 19.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj (j=A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表19.1 タイマRCの動作クロック」参照)の1~2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4\_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択する。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.9 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

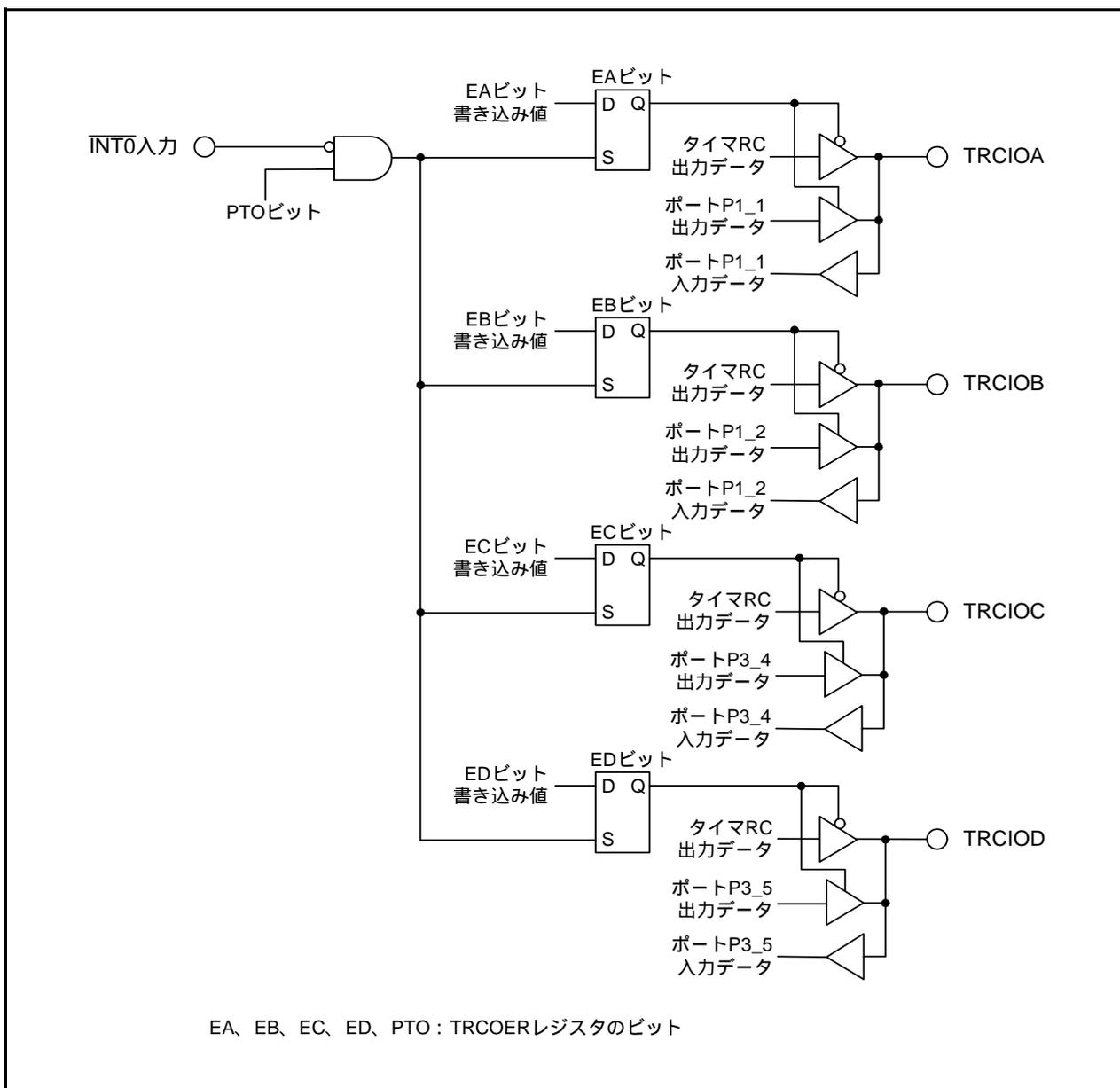


図19.6 パルス出力強制遮断

## 19.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj (j=A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表 19.7 にインプットキャプチャ機能の仕様を、図 19.7 にインプットキャプチャ機能のブロック図を、表 19.8 にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図 19.8 にインプットキャプチャ機能の動作例を示します。

表19.7 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 <math>1/fk \times 65536</math> fk: カウントソースの周波数</li> <li>TRCCR1レジスタのCCLRビットが“1”(TRCGRAのインプットキャプチャでTRCレジスタを“0000h”にする)の場合 <math>1/fk \times (n+1)</math> n: TRCGRAレジスタ設定値</li> </ul>
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>インプットキャプチャ (TRCIOj入力の有効エッジ、またはfOCO128信号のエッジ)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力 (1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本</li> <li>インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>デジタルフィルタ(「19.3.3 デジタルフィルタ」参照)</li> <li>TRCレジスタを“0000h”にするタイミング オーバフローまたはインプットキャプチャ</li> <li>インプットキャプチャトリガ選択 TRCGRAレジスタのインプットキャプチャトリガ入力にfOCO128を選択できる</li> </ul>

j=A、B、C、Dのいずれか

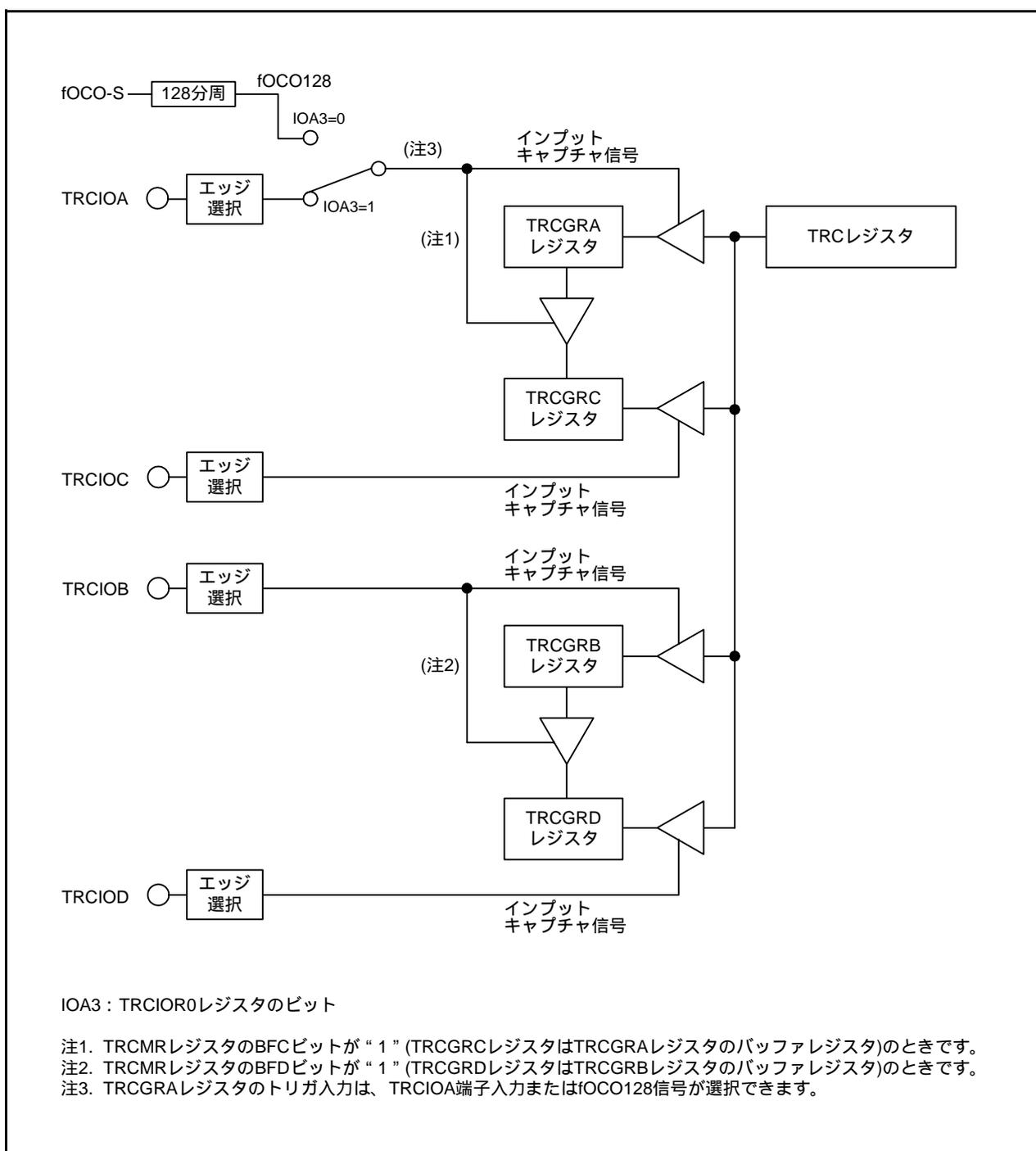


図19.7 インputキャプチャ機能のブロック図

### 19.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0) [タイマモード(インプットキャプチャ機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRAへインプットキャプチャ 01: 立ち下がりエッジでTRCGRAへインプットキャプチャ 10: 両エッジでTRCGRAへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット(注3)	0: fOCO128信号 1: TRCIOA端子入力	R/W
b4	IOB0	TRCGRB制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRBへインプットキャプチャ 01: 立ち下がりエッジでTRCGRBへインプットキャプチャ 10: 両エッジでTRCGRBへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

### 19.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1) [タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRCへインプットキャプチャ 01: 立ち下がりエッジでTRCGRCへインプットキャプチャ 10: 両エッジでTRCGRCへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	“1”にしてください	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRDへインプットキャプチャ 01: 立ち下がりエッジでTRCGRDへインプットキャプチャ 10: 両エッジでTRCGRDへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	“1”にしてください	R/W

注1. TRCGRDレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCGRDレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

表19.8 インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA		ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「19.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD: TRCGRDレジスタのビット

## 19.4.3 動作例

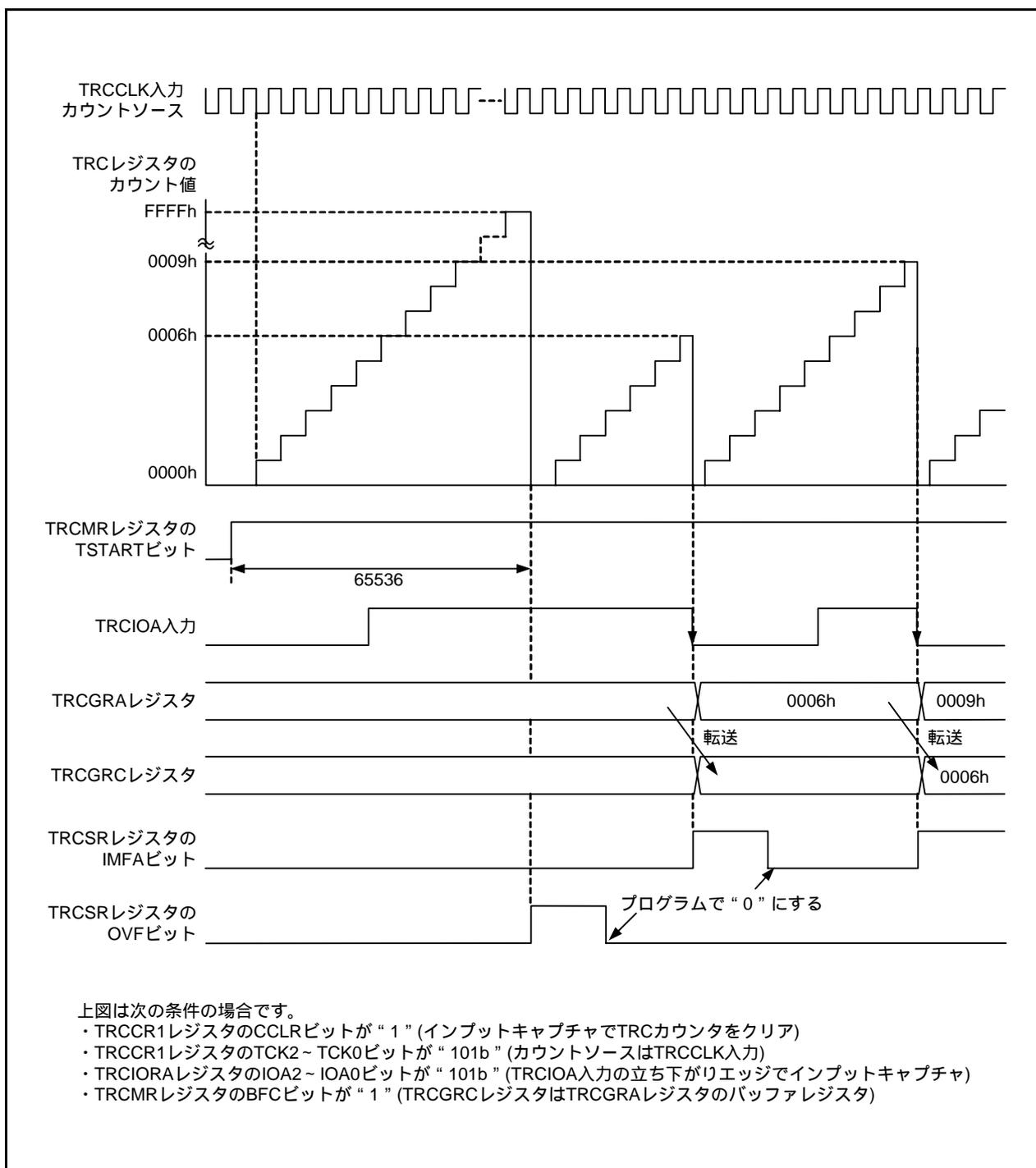


図19.8 インプットキャプチャ機能の動作例

## 19.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj (j=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき TRCIOj 端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 19.9 にアウトプットコンペア機能の仕様を、図 19.9 にアウトプットコンペア機能のブロック図を、表 19.10 にアウトプットコンペア機能時の TRCGRj レジスタの機能を、図 19.10 にアウトプットコンペア機能の動作例を示します。

表 19.9 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK 端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRCCR1 レジスタの CCLR ビットが “0” (フリーランニング動作) の場合 <math>1/fk \times 65536</math> fk : カウントソースの周波数</li> <li>TRCCR1 レジスタの CCLR ビットが “1” (TRCGRA のコンペア一致で TRC レジスタを “0000h” にする) の場合 <math>1/fk \times (n+1)</math> n : TRCGRA レジスタ設定値</li> </ul>
波形出力タイミング	コンペア一致
カウント開始条件	TRCMR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRCCR2 レジスタの CSEL ビットが “0” (TRCGRA レジスタとのコンペア一致後もカウント継続) の場合 TRCMR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRC レジスタは停止前の値を保持</li> <li>TRCCR2 レジスタの CSEL ビットが “1” (TRCGRA レジスタとのコンペア一致でカウント停止) の場合 TRCGRA レジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致 (TRC レジスタと TRCGRj レジスタの内容が一致)</li> <li>TRC レジスタオーバフロー</li> </ul>
TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力 (1 端子ごとに選択)
INT0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力
タイマの読み出し	TRC レジスタを読むと、カウント値が読める
タイマの書き込み	TRC レジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本</li> <li>コンペア一致時の出力レベル選択 “L” 出力、“H” 出力、またはトグル出力</li> <li>初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定</li> <li>TRC レジスタを “0000h” にするタイミング オーバフロー、または TRCGRA レジスタのコンペア一致</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> <li>タイマ RC は出力しないことで内部タイマとして使用できる</li> <li>TRCGRC、TRCGRD の出力端子変更 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用できる</li> </ul>

j=A、B、C、Dのいずれか

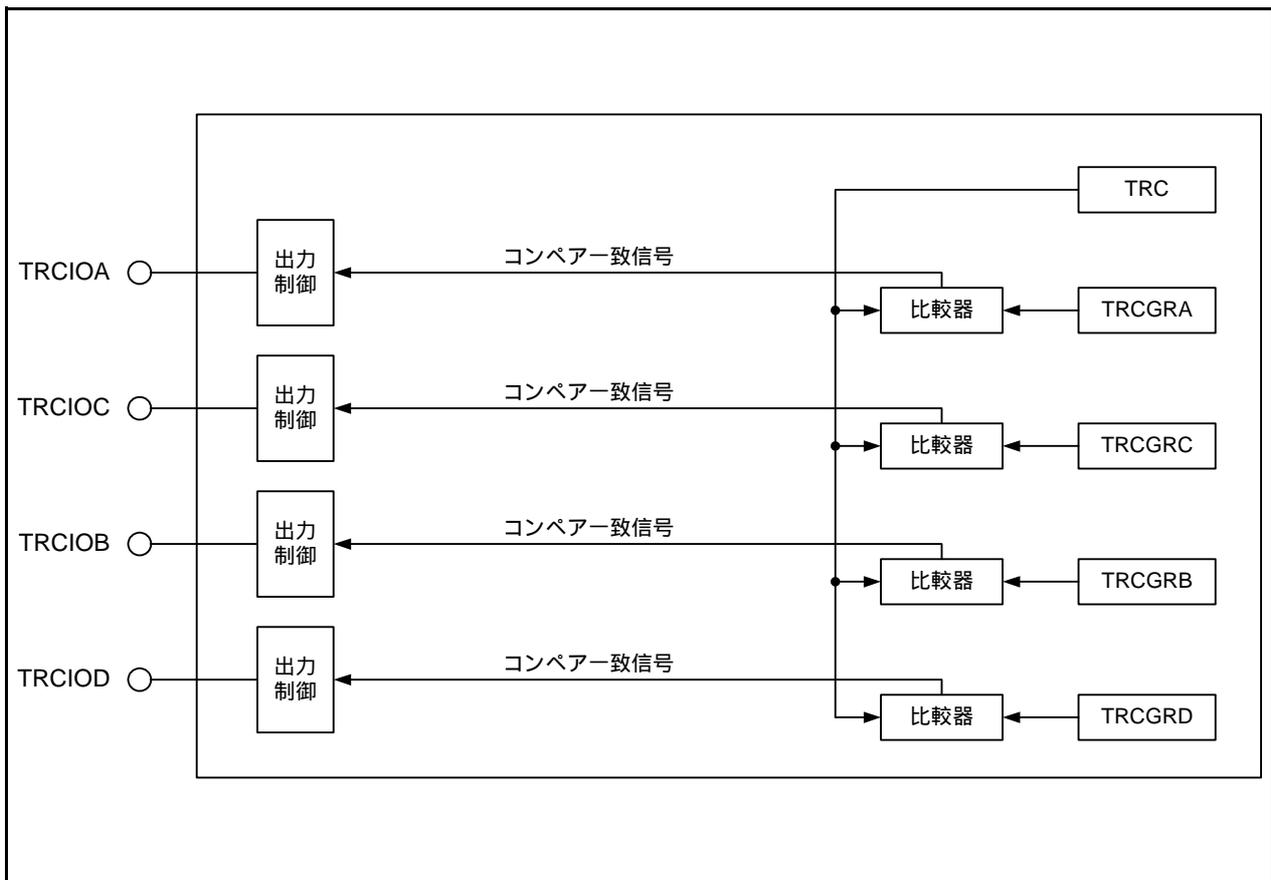


図19.9 アウトプットコンペア機能のブロック図

### 19.5.1 タイマRC制御レジスタ1 (TRCCR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0121h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0:初期出力“L”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	1:初期出力“H”	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0:クリア禁止(フリーランニング動作) 1:TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

表19.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA		ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のコンペア値を書いてください (「19.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

### 19.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0) [タイマモード(アウトプットコンペア機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	b1 b0 00 : コンペア一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 01 : TRCGRAのコンペア一致で“L”出力 10 : TRCGRAのコンペア一致で“H”出力 11 : TRCGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット	“1”にしてください	R/W
b4	IOB0	TRCGRB制御ビット	b5 b4 00 : コンペア一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 01 : TRCGRBのコンペア一致で“L”出力 10 : TRCGRBのコンペア一致で“H”出力 11 : TRCGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

### 19.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 00: コンペア一致による端子出力禁止 01: TRCGRCのコンペア一致で“L”出力 10: TRCGRCのコンペア一致で“H”出力 11: TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 00: コンペア一致による端子出力禁止 01: TRCGRDのコンペア一致で“L”出力 10: TRCGRDのコンペア一致で“H”出力 11: TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

### 19.5.4 タイマRC制御レジスタ2 (TRCCR2) [タイマモード(アウトプットコンペア機能)時]

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウンタ継続 1 : TRCGRAレジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 19.5.5 動作例

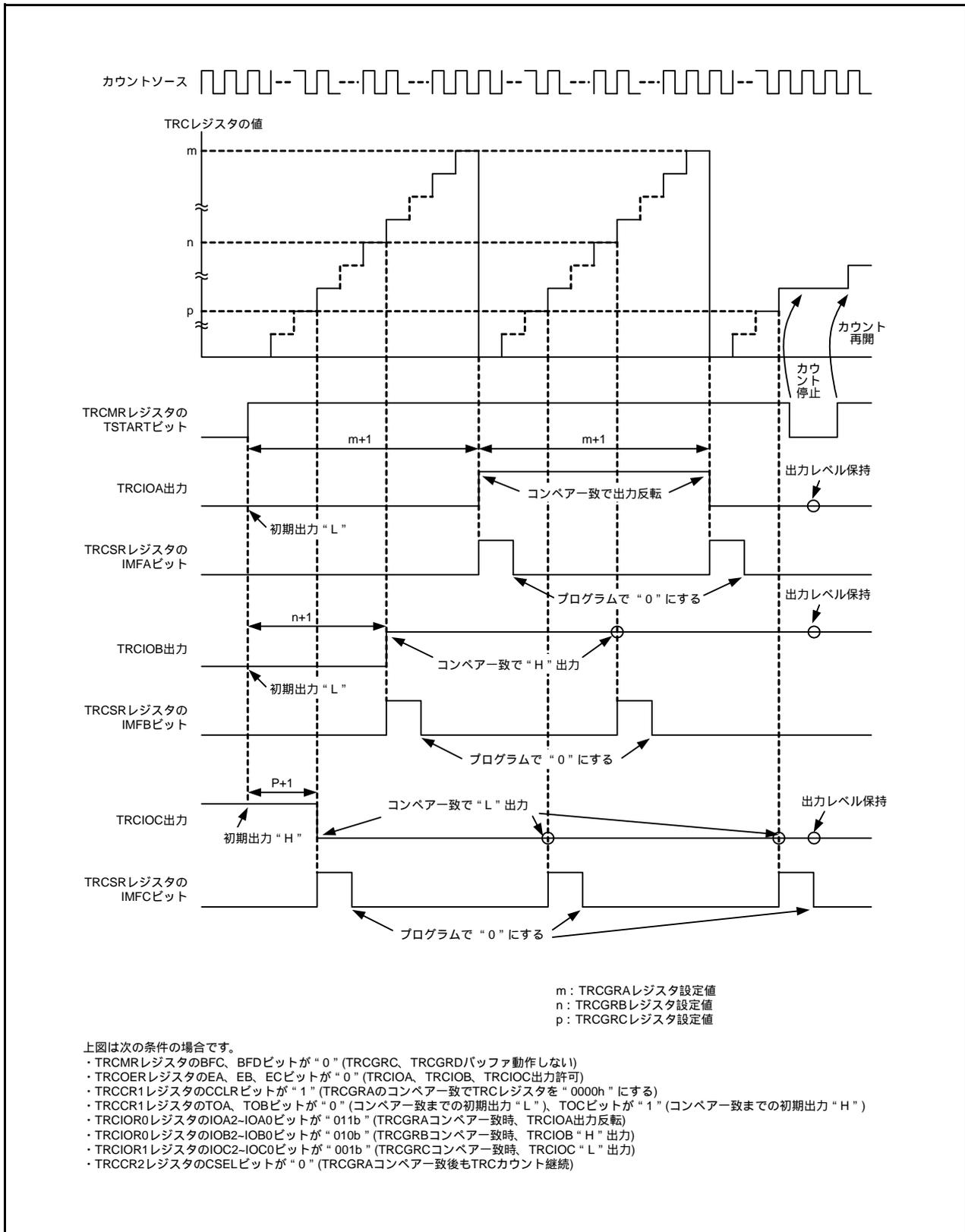


図 19.10 アウトプットコンペア機能の動作例

## 19.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

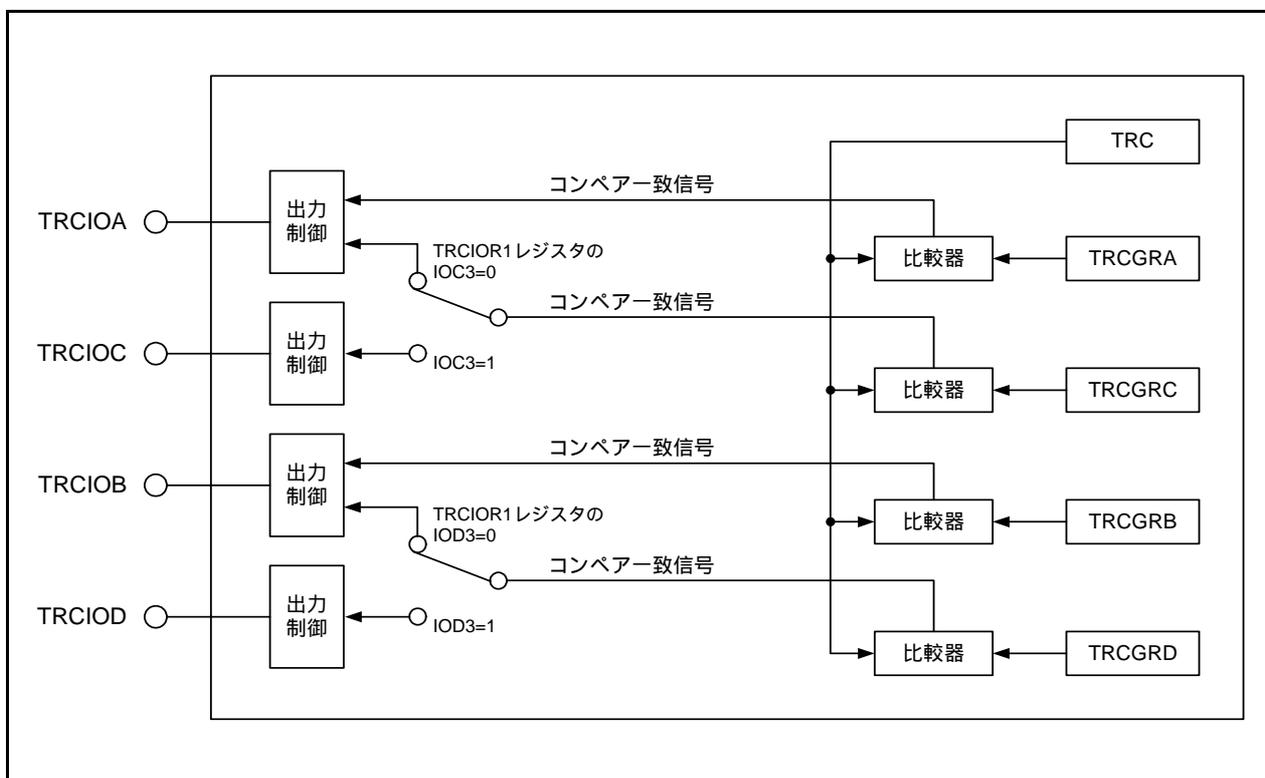


図19.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを“0”(TRCIOA出力レジスタ)、IOD3ビットを“0”(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0”(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図 19.12に TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用した場合の動作例を示します。

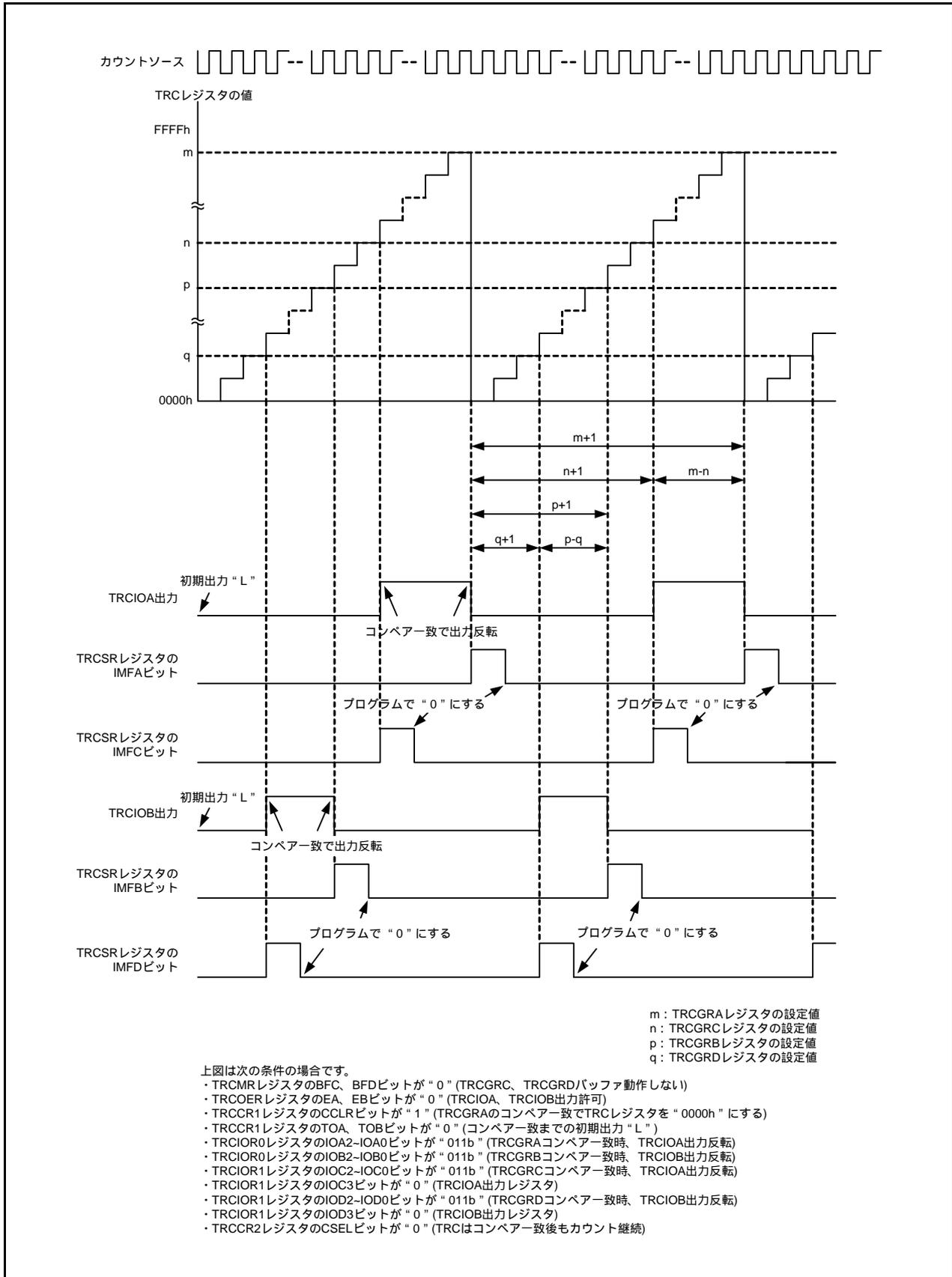


図 19.12 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用した場合の動作例

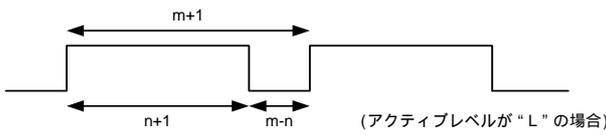
## 19.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表19.11にPWMモードの仕様を、図19.13にPWMモードのブロック図を、表19.12にPWMモード時のTRCGRhレジスタの機能を、図19.14～図19.15にPWMモードの動作例を示します。

表19.11 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f <sub>k</sub> : カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRjレジスタ設定値  (アクティブレベルが“L”の場合)
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペアー一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持</li> <li>TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー一致でカウント停止)の場合 TRCGRAレジスタとのコンペアー一致でカウント停止、PWM出力端子はコンペアー一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペアー一致(TRCレジスタとTRCGRhレジスタの内容が一致)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>PWM出力端子を1～3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。</li> <li>アクティブレベルを1端子ごとに選択</li> <li>初期出力レベルを1端子ごとに選択</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> </ul>

j=B、C、Dのいずれか

h=A、B、C、Dのいずれか

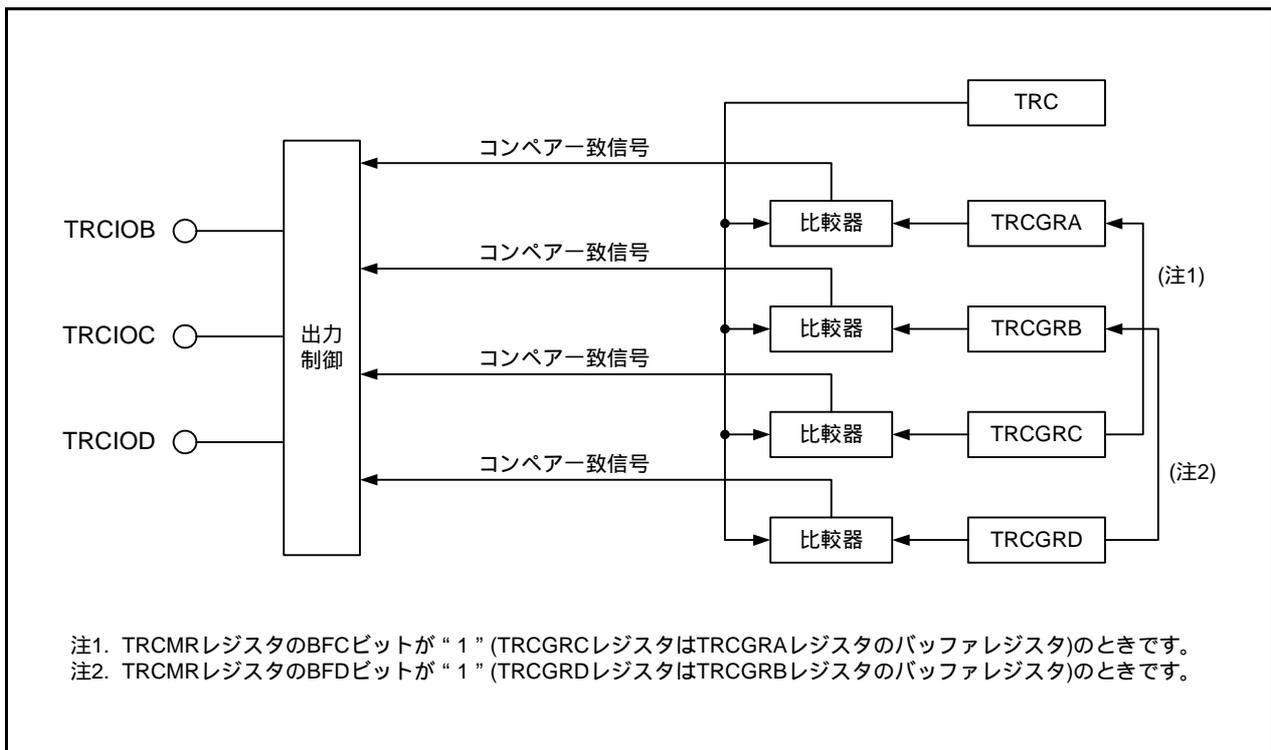


図 19.13 PWMモードのブロック図

## 19.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0:初期出力はアクティブでないレベル 1:初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0:クリア禁止(フリーランニング動作) 1:TRCGRAのコンペアー一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

## 19.6.2 タイマRC制御レジスタ2 (TRCCR2)[PWMモード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウント動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

表19.12 PWMモード時のTRCGRhレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA		ジェネラルレジスタ。PWM周期を設定してください。	
TRCGRB		ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「19.3.2 バッファ動作」参照)。	
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「19.3.2 バッファ動作」参照)。	TRCIOB

h=A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペア一致しても端子の出力レベルは変化しません。

19.6.3 動作例

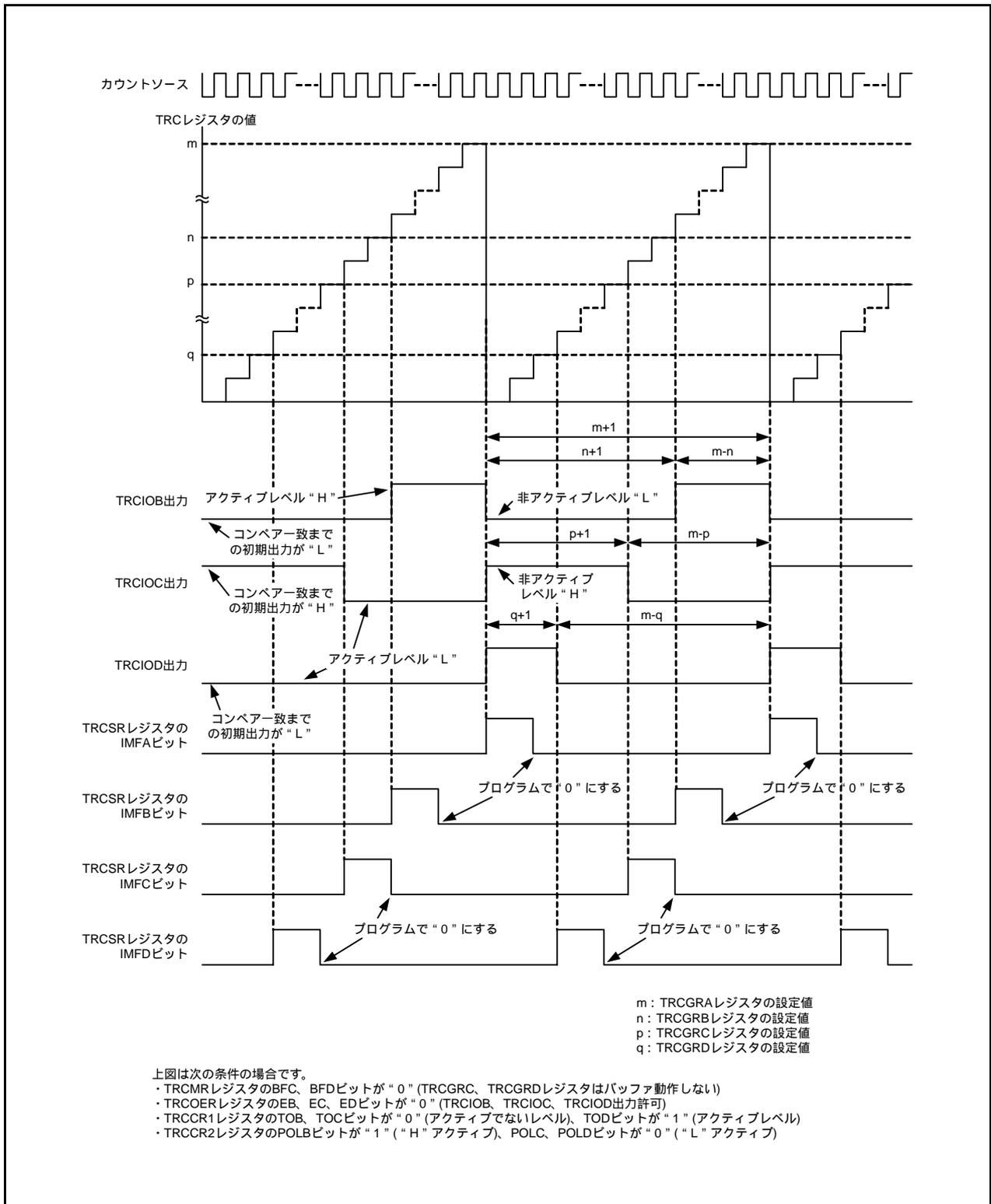


図 19.14 PWM モードの動作例

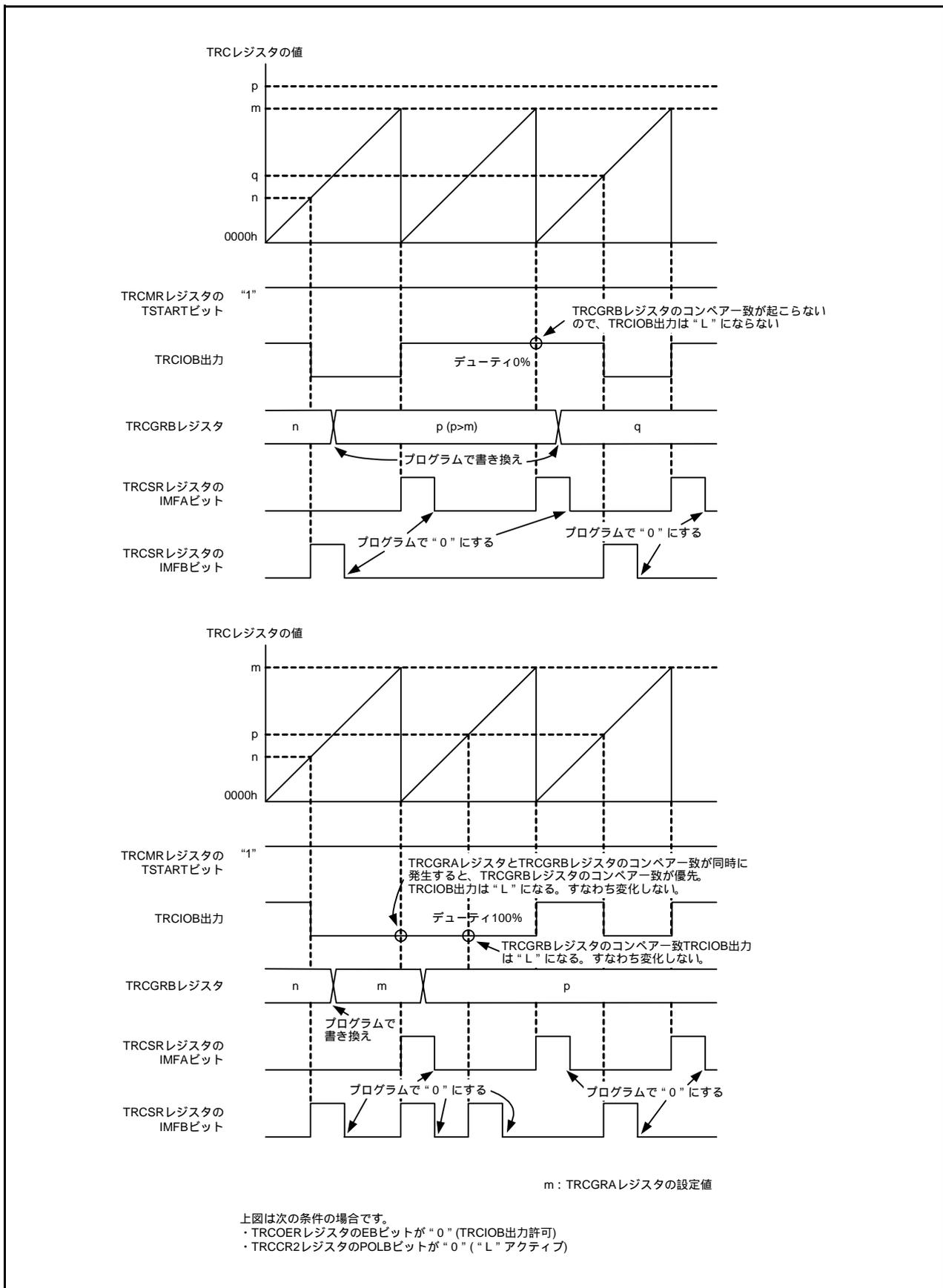


図19.15 PWMモードの動作例(デューティ0%、デューティ100%)



表19.13 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32 TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	<p>PWM周期: <math>1/f_k \times (m+1)</math>(TRCTRГ入力がない場合)            アクティブレベル幅: <math>1/f_k \times (n-p)</math>            カウント開始またはトリガからのウェイト時間: <math>1/f_k \times (p+1)</math></p> <p><math>f_k</math>: カウントソースの周波数  <math>m</math>: TRCGRAレジスタ設定値  <math>n</math>: TRCGRBレジスタ設定値  <math>p</math>: TRCGRCレジスタ設定値</p> <p>(TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み</li> <li>TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRГ端子にトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み(TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。</li> <li>TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンペア一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。</li> </ul>
割り込み発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA/TRCTRГ端子機能	プログラマブル入出力ポート、またはTRCTRГ入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> <li>デジタルフィルタ(「19.3.3 デジタルフィルタ」参照)</li> </ul>

j=A、B、Cのいずれか

## 19.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2モード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット (注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペアー致で“H”出力 TRCGRBのコンペアー致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペアー致で“L”出力 TRCGRBのコンペアー致で“H”出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペアー致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

## 19.7.2 タイマRC制御レジスタ2 (TRCCR2)[PWM2モード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウント動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 19.7.3 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2モード時]

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG 端子デジタルフィルタ機能 選択ビット(注2)	0: 機能なし 1: 機能あり	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース (TRCCR1 レジスタの TCK2 ~ TCK0 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

表19.14 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA		ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB (注1)		ジェネラルレジスタ。PWM出力の変化点を設定してくだ さい。	
TRCGRC (注1)	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからの ウェイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定して ください(「19.3.2 バッファ動作」参照)。	TRCIOB端子

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。



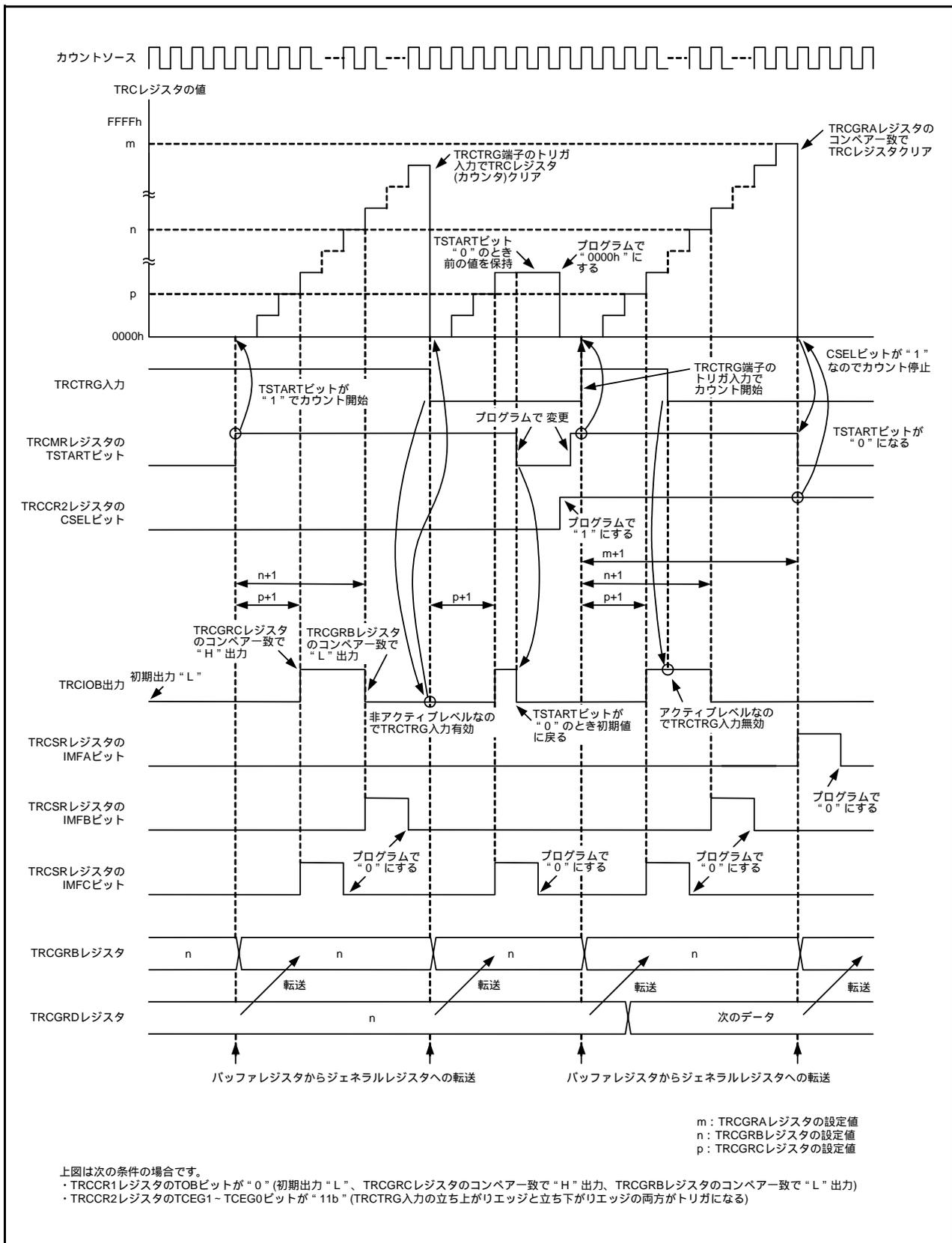


図 19.18 PWM2モードの動作例 (TRCTRGRトリガ入力許可の場合)

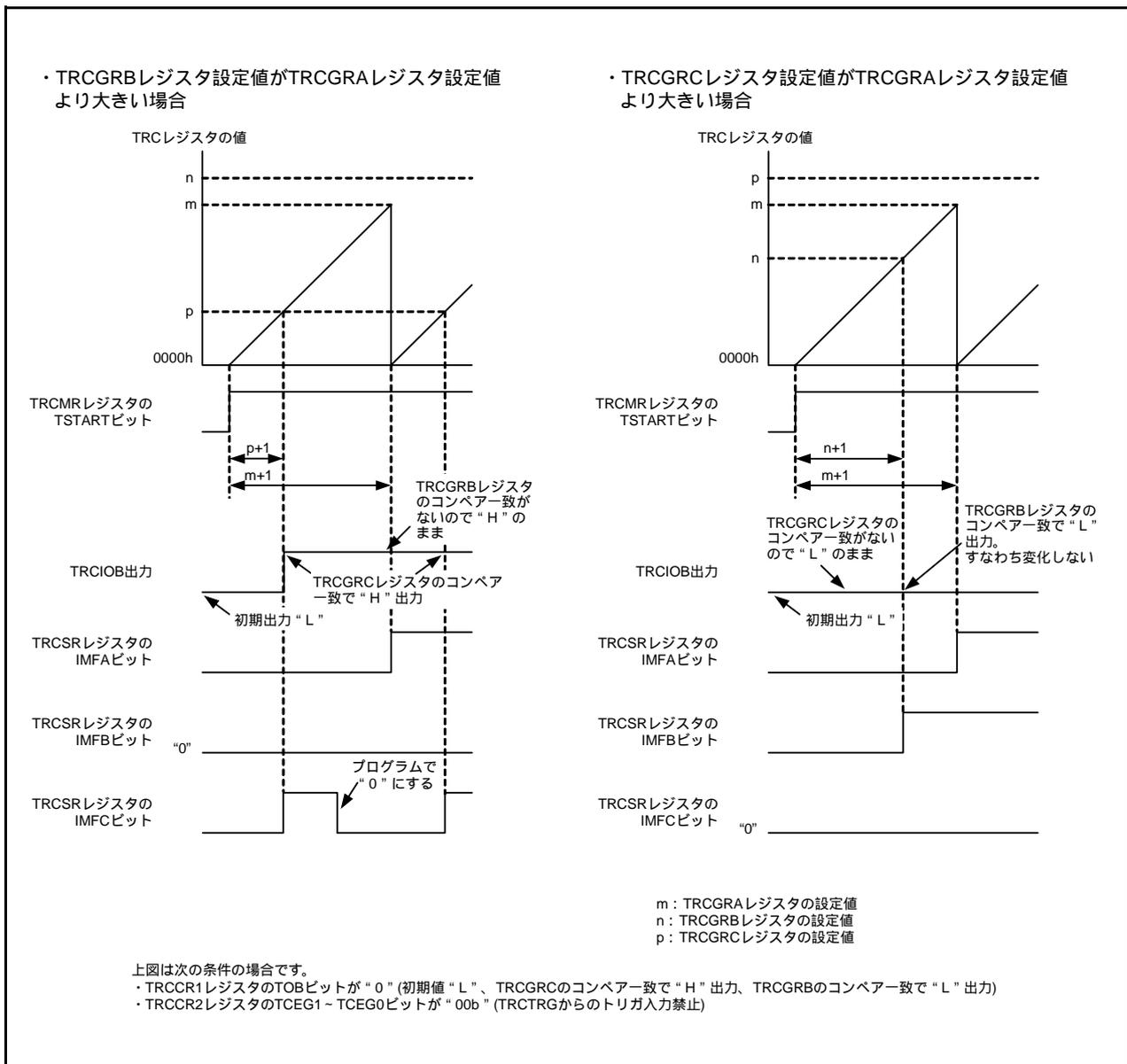


図 19.19 PWM2モードの動作例 (デューティ 0%、デューティ 100%)

## 19.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表19.15にタイマRC割り込み関連レジスタを、図19.20にタイマRC割り込みのブロック図を示します。

表19.15 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

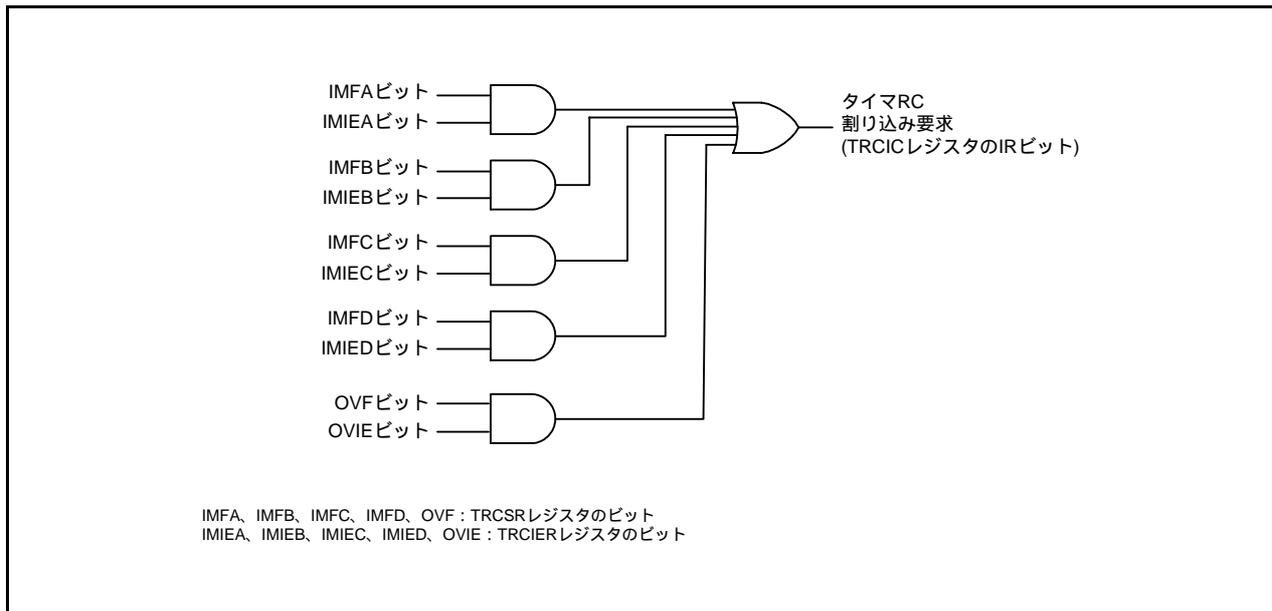


図19.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「19.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「19.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

## 19.9 タイマRC使用上の注意

### 19.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。  
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。  
プログラム例
 

MOV.W	#XXXXh, TRC	;	書き込み	
JMP.B	L1	;	JMP.B命令	
L1:	MOV.W	TRC, DATA	;	読み出し

### 19.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。

MOV.B	#XXh, TRCSR	;	書き込み	
JMP.B	L1	;	JMP.B命令	
L1:	MOV.B	TRCSR, DATA	;	読み出し

### 19.9.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する

### 19.9.4 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。  
[デジタルフィルタなしの場合]  
タイマRCの動作クロックの3サイクル分以上(「表19.1 タイマRCの動作クロック」参照)  
[デジタルフィルタありの場合]  
デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図19.5 デジタルフィルタのブロック図」参照)
- TRCIOj (j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1 ~ 2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インプットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0 ~ IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

### 19.9.5 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

## 20. タイマRE

タイマREは、(4ビットプリスケラ付き)8ビットカウンタを持つタイマです。

### 20.1 概要

タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード fC4から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

表20.1にタイマREの端子構成を示します。

表20.1 タイマREの端子構成

端子名	割り当てる端子	入出力	機能
TREO	P0_4	出力	モードによって機能が異なります。 詳細は各モードを参照してください。

## 20.2 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図20.1にリアルタイムクロックモードのブロック図を、表20.2にリアルタイムクロックモードの仕様を、表20.3に割り込み要因を、図20.2に時間表現の定義を、図20.3にリアルタイムクロックモードの動作例を示します。

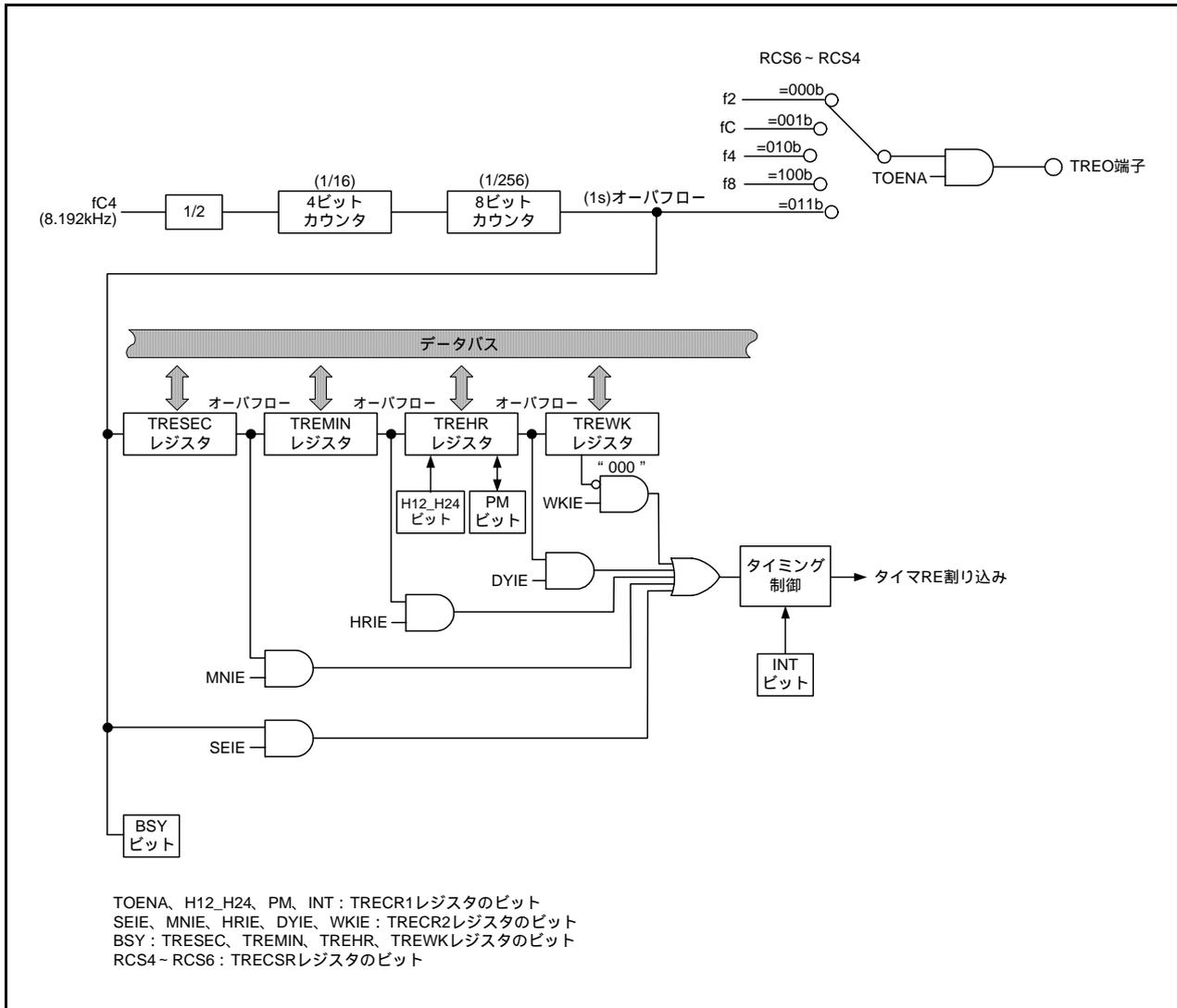


図20.1 リアルタイムクロックモードのブロック図

表20.2 リアルタイムクロックモードの仕様

項目	仕様
カウントソース	fC4
カウント動作	アップカウント
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 <ul style="list-style-type: none"> <li>• 秒データの更新</li> <li>• 分データの更新</li> <li>• 時データの更新</li> <li>• 曜日データの更新</li> <li>• 曜日データが“000b”(日曜日)になったとき</li> </ul>
TREO端子機能	プログラマブル入出力ポート、またはf2、fC、f4、f8、1Hzのいずれかを出力
タイマの読み出し	TRESEC、TREMIN、TREHR、TREWKレジスタを読むと、カウント値が読める。TRESEC、TREMIN、TREHRレジスタの値はBCDコード。
タイマの書き込み	TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMIN、TREHR、TREWKレジスタに書き込める。TRESEC、TREMIN、TREHRレジスタへ書き込む値はBCDコード。
選択機能	<ul style="list-style-type: none"> <li>• 12時間モード/24時間モード切り替え機能</li> </ul>

## 20.2.1 タイマRE秒データレジスタ(TRESEC)[リアルタイムクロックモード時]

アドレス 0118h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	SC00	秒一位カウントビット	1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	SC01				R/W
b2	SC02				R/W
b3	SC03				R/W
b4	SC10	秒十位カウントビット	0から5をカウントして、60秒をカウント	0 ~ 5 (BCDコード)	R/W
b5	SC11				R/W
b6	SC12				R/W
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります		R

## 20.2.2 タイマRE分データレジスタ(TREMINT)[リアルタイムクロックモード時]

アドレス 0119h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MN00	分一位カウントビット	1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	MN01				R/W
b2	MN02				R/W
b3	MN03				R/W
b4	MN10	分十位カウントビット	0から5をカウントして、60分をカウント	0 ~ 5 (BCDコード)	R/W
b5	MN11				R/W
b6	MN12				R/W
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります		R

## 20.2.3 タイマRE時データレジスタ(TREHR)[リアルタイムクロックモード時]

アドレス 011Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	-	HR11	HR10	HR03	HR02	HR01	HR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	HR01				R/W
b2	HR02				R/W
b3	HR03				R/W
b4	HR10	時十位カウントビット	H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。 H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。	0 ~ 2 (BCDコード)	R/W
b5	HR11				R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります		R

## 20.2.4 タイマRE曜日データレジスタ(TREWK)[リアルタイムクロックモード時]

アドレス 011Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	-	-	-	-	WK2	WK1	WK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	WK0	曜日カウントビット	b2 b1 b0 000:日 001:月 010:火 011:水 100:木 101:金 110:土 111:設定しないでください	R/W	
b1	WK1			R/W	
b2	WK2			R/W	
				R/W	
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
b4	-				
b5	-				
b6	-				
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります	R	

## 20.2.5 タイマRE制御レジスタ1 (TRECRC1)[リアルタイムクロックモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	R
b2	TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMINT、TREHR、TREWK、TRECRC2レジスタが“00h” • TRECRC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	H12_H24ビットが“0”(12時間モード)のとき(注1) 0: 午前 1: 午後 H12_H24ビットが“1”(24時間モード)のとき、不定	R/W
b6	H12_H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	R/W
b7	TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. タイマREがカウント中、自動的に変化します。

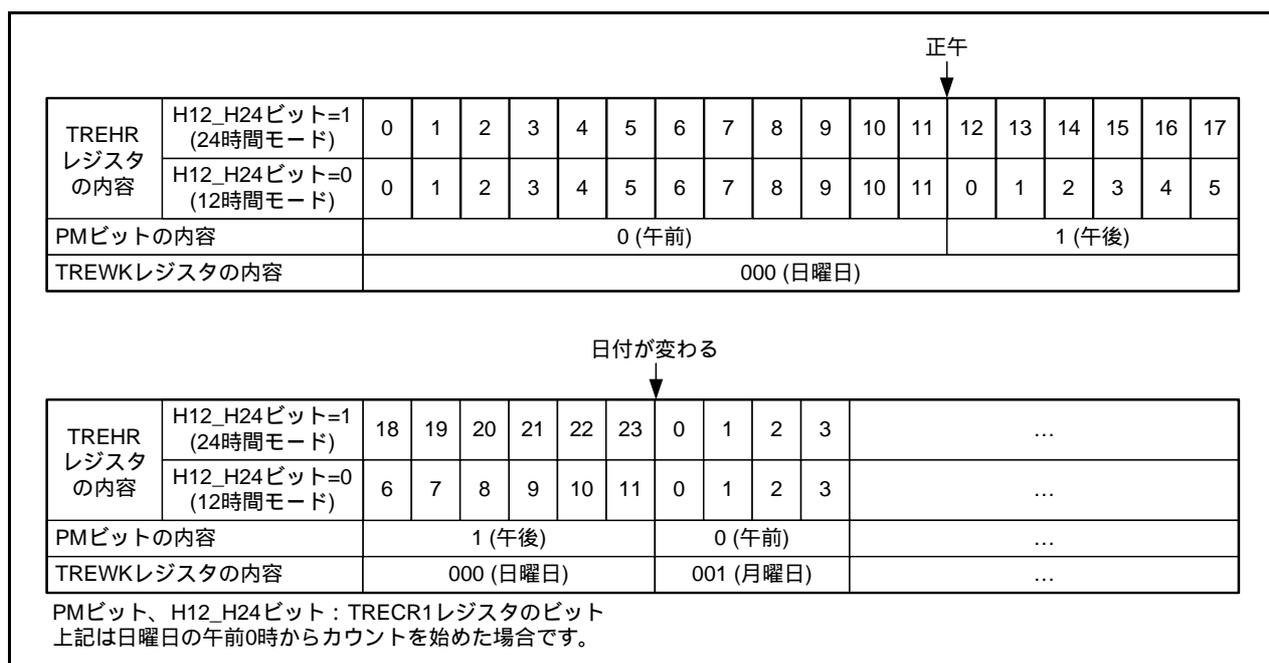


図20.2 時間表現の定義

## 20.2.6 タイマRE制御レジスタ2 (TRECRC2)[リアルタイムクロックモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE	秒周期割り込み許可ビット(注1)	0: 秒周期割り込み禁止 1: 秒周期割り込み許可	R/W
b1	MNIE	分周期割り込み許可ビット(注1)	0: 分周期割り込み禁止 1: 分周期割り込み許可	R/W
b2	HRIE	時周期割り込み許可ビット(注1)	0: 時周期割り込み禁止 1: 時周期割り込み許可	R/W
b3	DYIE	日周期割り込み許可ビット(注1)	0: 日周期割り込み禁止 1: 日周期割り込み許可	R/W
b4	WKIE	週周期割り込み許可ビット(注1)	0: 週周期割り込み禁止 1: 週周期割り込み許可	R/W
b5	COMIE	コンペア一致割り込み許可ビット	リアルタイムクロックモードでは“0”にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

表20.3 割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	TREWKレジスタの値が“000b”(日曜日)になる(1週間周期)	WKIE
日周期割り込み	TREWKレジスタが更新(1日周期)される	DYIE
時周期割り込み	TREHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TREMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRESECレジスタが更新(1秒周期)される	SEIE

### 20.2.7 タイマREカウントソース選択レジスタ(TRECSR)[リアルタイムクロックモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット	リアルタイムクロックモードでは“00b”にしてください	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット	リアルタイムクロックモードでは“0”にしてください	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注1)	b6 b5 b4 0 0 0 : f2 0 0 1 : fC 0 1 0 : f4 0 1 1 : 1Hz 1 0 0 : f8 上記以外 : 設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが0(クロック出力禁止)のとき、書いてください。

20.2.8 動作例

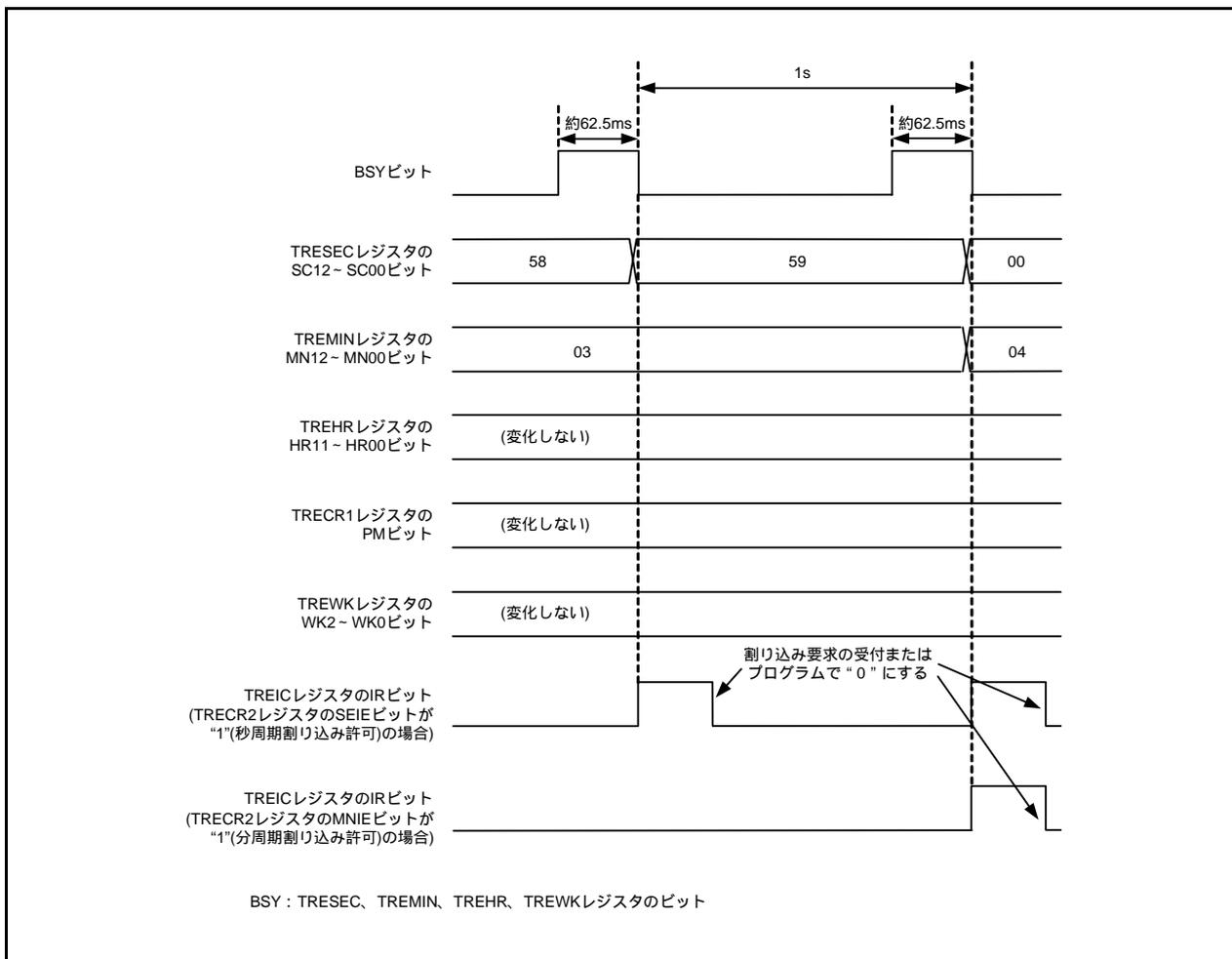


図20.3 リアルタイムクロックモードの動作例

### 20.3 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図20.4にアウトプットコンペアモードのブロック図を、表20.4にアウトプットコンペアモードの仕様を、図20.5にアウトプットコンペアモードの動作例を示します。

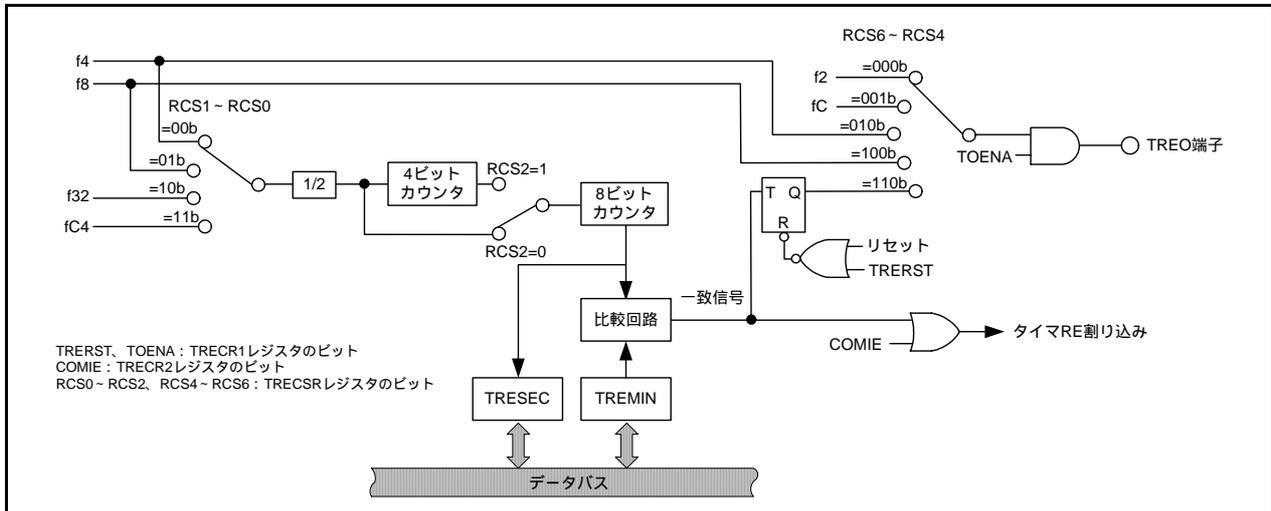


図20.4 アウトプットコンペアモードのブロック図

表20.4 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f4、f8、f32、fC4
カウント動作	<ul style="list-style-type: none"> <li>アップカウント</li> <li>8ビットカウンタは、値がTREMINレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。</li> </ul>
カウント周期	<ul style="list-style-type: none"> <li>RCS2=0 (4ビットカウンタ使用しない)の場合 <math>1/f_i \times 2 \times (n+1)</math></li> <li>RCS2=1 (4ビットカウンタ使用する)の場合 <math>1/f_i \times 32 \times (n+1)</math></li> </ul> f <sub>i</sub> : カウントソースの周波数 n : TREMINレジスタの設定値
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	8ビットカウンタの内容とTREMINレジスタの内容が一致したとき
TREO端子機能	次のいずれかを選択 <ul style="list-style-type: none"> <li>プログラマブル入出力ポート</li> <li>f2、fC、f4、f8のいずれかを出力</li> <li>コンペア出力</li> </ul>
タイマの読み出し	TRESECレジスタを読むと、8ビットカウンタの値が読める。 TREMINレジスタを読むと、コンペア値が読める。
タイマの書き込み	TRESECレジスタへの書き込みはできない。 TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> <li>4ビットカウンタ使用選択</li> <li>コンペア出力機能</li> </ul> 8ビットカウンタ値とTREMINレジスタの内容が一致することにTREO出力極性を反転。リセット解除後と、TRECR1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。

## 20.3.1 タイマREカウンタデータレジスタ(TRESEC)[アウトプットコンペアモード時]

アドレス 0118h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7 ~ b0	8ビットのカウンタデータが読めます。 タイマREのカウンタが停止しても、カウンタ値は保持されます。 コンペア一致で、TRESECレジスタは“00h”になります。	R

## 20.3.2 タイマREコンペアデータレジスタ(TREMIN)[アウトプットコンペアモード時]

アドレス 0119h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7 ~ b0	8ビットのコンペアデータを格納	R/W

## 20.3.3 タイマRE制御レジスタ1 (TRECRC1)[アウトプットコンペアモード時]

アドレス 011Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	R
b2	TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMINT、TREHR、TREWK、TRECRC2レジスタが“00h” • TRECRC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b6	H12_H24	動作モード選択ビット		R/W
b7	TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	R/W

## 20.3.4 タイマRE制御レジスタ2 (TRECRC2)[アウトプットコンペアモード時]

アドレス 011Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE	秒周期割り込み許可ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b1	MNIE	分周期割り込み許可ビット		R/W
b2	HRIE	時周期割り込み許可ビット		R/W
b3	DYIE	日周期割り込み許可ビット		R/W
b4	WKIE	週周期割り込み許可ビット		R/W
b5	COMIE	コンペアー一致割り込み許可ビット	0: コンペアー一致割り込み禁止 1: コンペアー一致割り込み許可	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

### 20.3.5 タイマREカウントソース選択レジスタ(TRECSR)[アウトプットコンペアモード時]

アドレス 011Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット(注1)	b1 b0 00 : f4 01 : f8 10 : f32 11 : fC4	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット(注1)	0 : 使用しない 1 : 使用する	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注2)	b6 b5 b4 000 : f2 001 : fC 010 : f4 100 : f8 110 : コンペア出力 上記以外 : 設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RCS0 ~ RCS2ビットは、TRECR1レジスタのTCSTFビットが“0”(カウント停止中)のとき、書いてください。

注2. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが“0”(クロック出力禁止)のとき、書いてください。

## 20.3.6 動作例

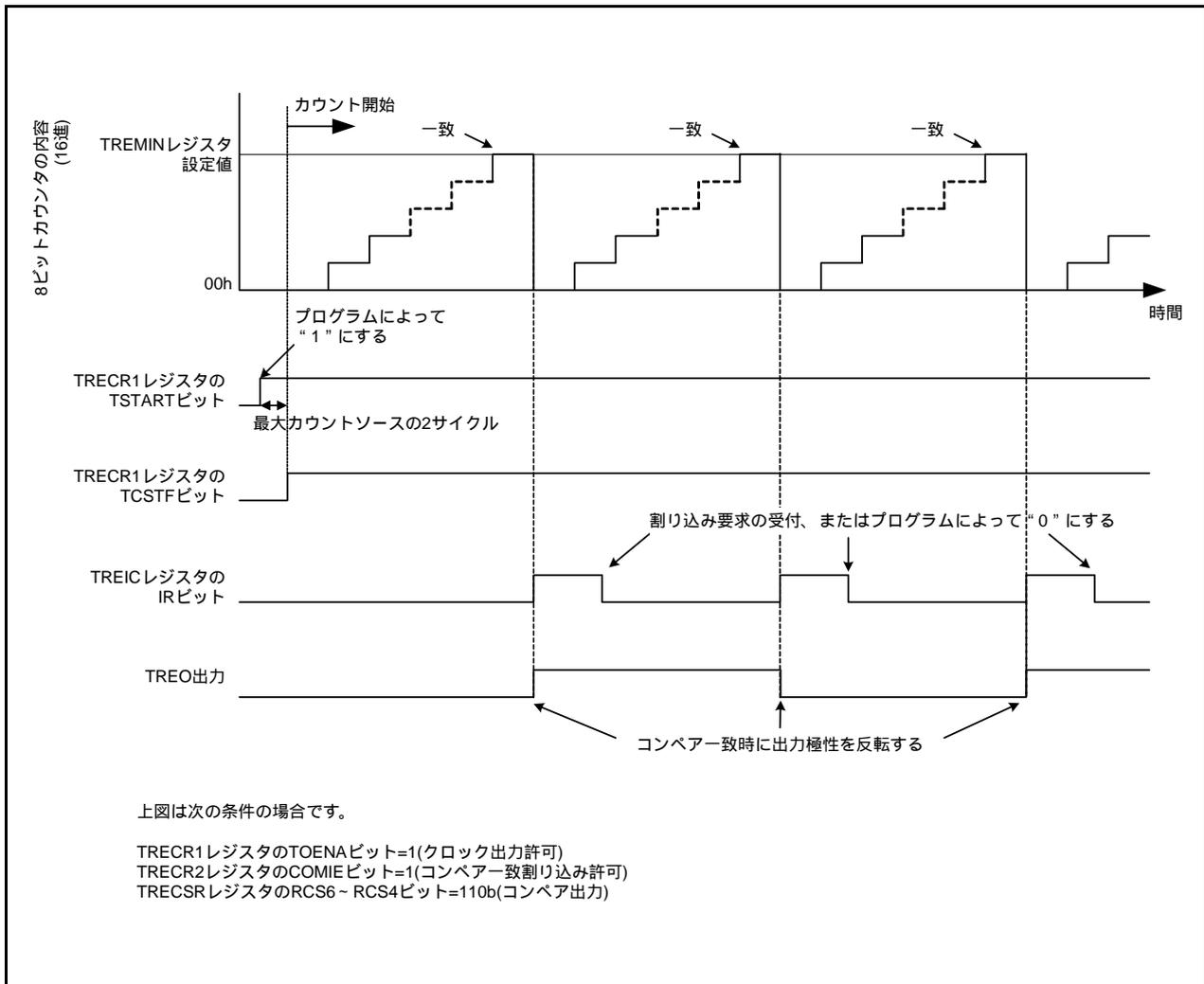


図20.5 アウトプットコンペアーモードの動作例

## 20.4 タイマRE使用上の注意

### 20.4.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ：TREMINT、TREHR、TREWK、TRECRI、TRECRR、TRECRR2、TRECRR3

### 20.4.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRR2レジスタ
- TRECRIレジスタのH12\_H24ビット、PMビット、INTビット
- TRECRR3レジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRR2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図20.6にリアルタイムクロックモード時の設定例を示します。

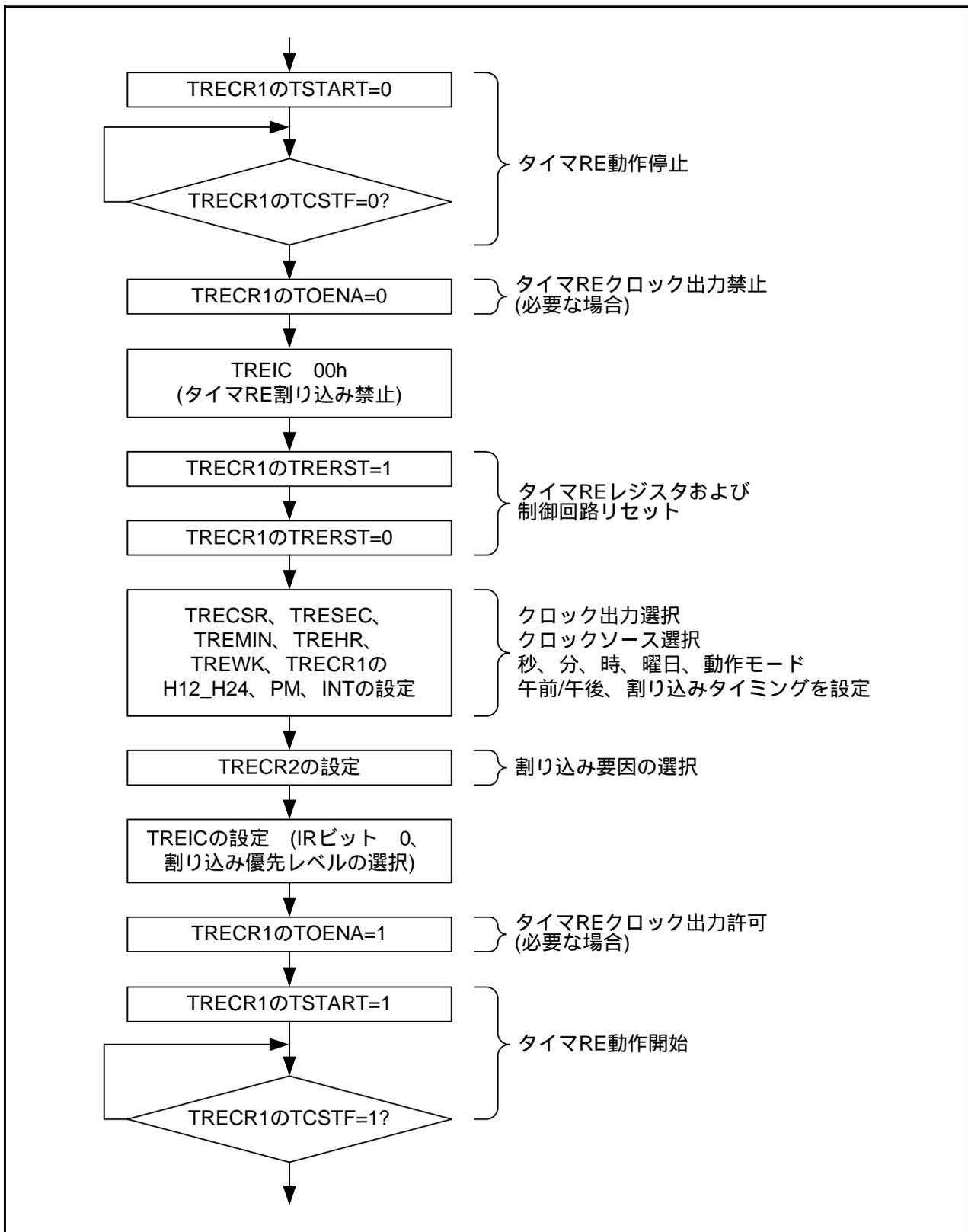


図20.6 リアルタイムクロックモード時の設定例

### 20.4.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

## 21. シリアルインタフェース(UART0)

シリアルインタフェースはUART0の1チャンネルで構成しています。

### 21.1 概要

UART0は専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図21.1にUART0のブロック図を、図21.2に送受信部のブロック図を、表21.1にUART0の端子構成を示します。

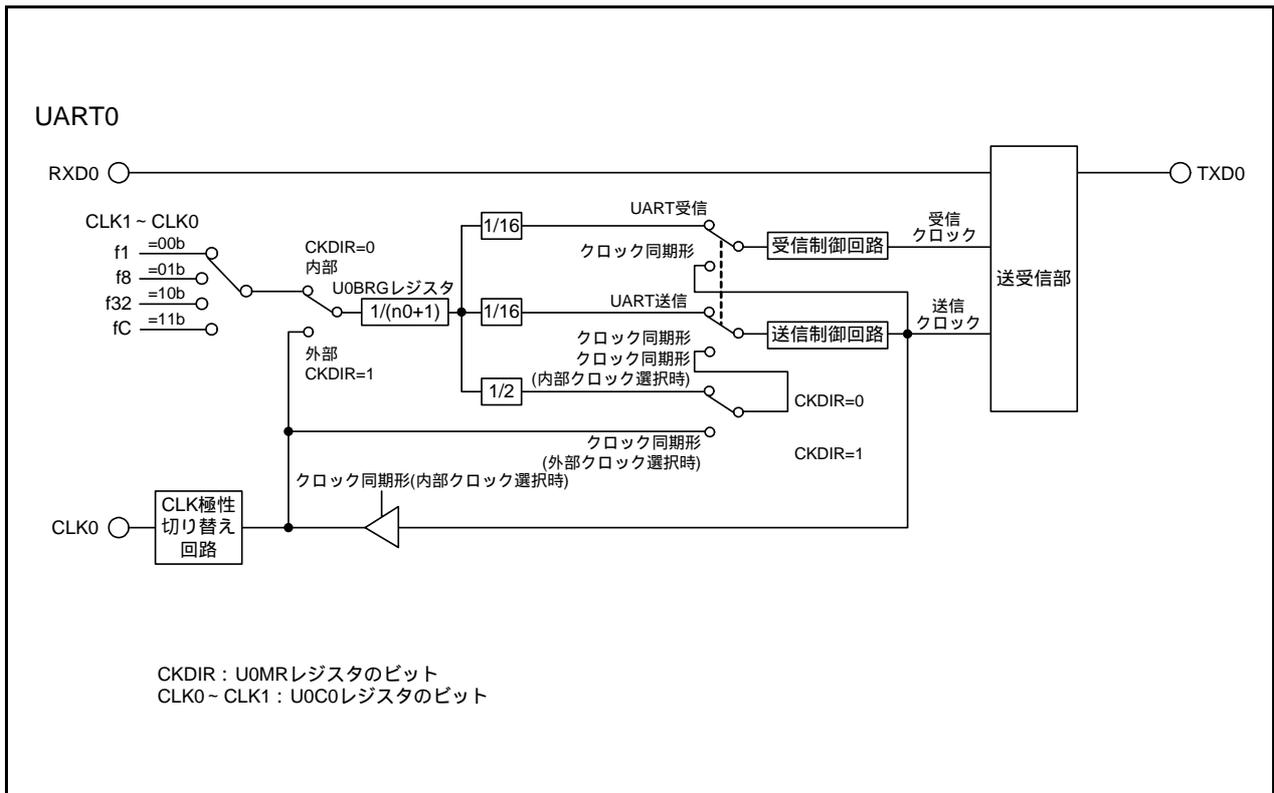


図21.1 UART0のブロック図

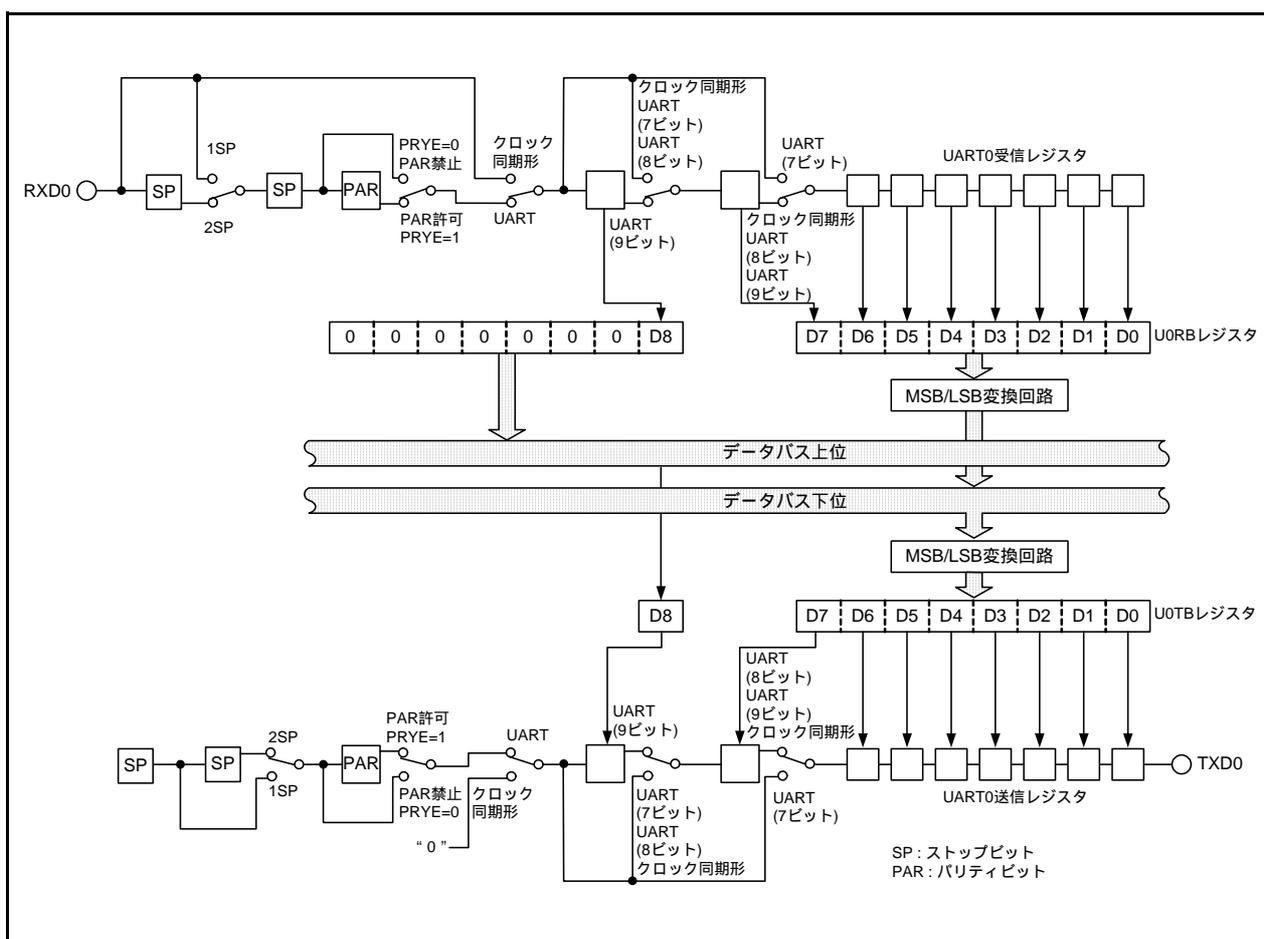


図21.2 送受信部のブロック図

表21.1 UART0の端子構成

端子名	割り当てる端子	入出力	機能
TXD0	P1_4	出力	シリアルデータ出力
RXD0	P1_5	入力	シリアルデータ入力
CLK0	P1_6	入出力	転送クロック入出力

## 21.2 レジスタの説明

## 21.2.1 UART0送受信モードレジスタ(U0MR)

アドレス 00A0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	-	予約ビット	"0" にしてください	R/W

## 21.2.2 UART0ビットレートレジスタ(U0BRG)

アドレス 00A1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、U0BRGはカウントソースをn+1分周する	00h ~ FFh	W

U0BRGレジスタは、送受信停止中に書いてください。

U0BRGレジスタは、MOV命令を使用して書いてください。

U0C0レジスタのCLK0 ~ CLK1ビットを設定した後、U0BRGレジスタに書いてください。

## 21.2.3 UART0送信バッファレジスタ(U0TB)

アドレス 00A3h ~ 00A2h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	-		
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

転送データ長が9ビットの場合、U0TBレジスタの上位バイト 下位バイトの順で書いてください。  
U0TBレジスタはMOV命令を使用して書いてください。

## 21.2.4 UART0送受信制御レジスタ0 (U0C0)

アドレス 00A4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	-	TXEPT	-	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	BRGカウンタソース選択ビット(注1)	b1 b0 00: f1を選択 01: f8選択 10: f32を選択 11: fCを選択	R/W
b1	CLK1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	R
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	NCH	データ出力選択ビット	0: TXD0端子はCMOS出力 1: TXD0端子はNチャンネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0: LSBファースト 1: MSBファースト	R/W

注1. BRGカウンタソースを変更した場合は、U0BRGレジスタを再設定してください。

## 21.2.5 UART0送受信制御レジスタ1 (U0C1)

アドレス 00A5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	U0RRM	U0IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U0TBにデータあり 1: U0TBにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0: U0RBにデータなし 1: U0RBにデータあり	R
b4	U0IRS	UART0送信割り込み要因選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	R/W
b5	U0RRM	UART0連続受信モード許可ビット(注2)	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

注1. RIビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。

注2. UARTモード時、U0RRMビットは“0”(連続受信モード禁止)にしてください。

## 21.2.6 UART0受信バッファレジスタ(U0RB)

アドレス 00A7h ~ 00A6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	-	受信データ(D7 ~ D0)	R
b1	-	-		
b2	-	-		
b3	-	-		
b4	-	-		
b5	-	-		
b6	-	-		
b7	-	-		
b8	-	-	受信データ(D8)	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b10	-			
b11	-			
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. SUM、PER、FER、OERビットは、U0MRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU0C1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。

U0MRレジスタのSMD2 ~ SMD0ビットを“000b”にするときは、U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U0MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U0RBレジスタは必ず16ビット単位で読み出してください。

## 21.2.7 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SELO	-	RXD0SELO	-	TXD0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SELO	TXD0端子選択ビット	0: TXD0端子は使用しない 1: P1_4に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SELO	RXD0端子選択ビット	0: RXD0端子は使用しない 1: P1_5に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	CLK0SELO	CLK0端子選択ビット	0: CLK0端子は使用しない 1: P1_6に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

### 21.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表21.2にクロック同期形シリアルI/Oモードの仕様を、表21.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表21.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>U0MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_i/(2(n+1))</math>  <math>f_i=f_1, f_8, f_{32}, f_C</math> <math>n=U0BRG</math>レジスタの設定値 00h ~ FFh</li> <li>CKDIRビットが“1”(外部クロック) : CLK0端子からの入力</li> </ul>
送信開始条件	送信開始には、以下の条件が必要です(注1)。 <ul style="list-style-type: none"> <li>U0C1レジスタのTEビットが“1”(送信許可)</li> <li>U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、以下の条件が必要です(注1)。 <ul style="list-style-type: none"> <li>U0C1レジスタのREビットが“1”(受信許可)</li> <li>U0C1レジスタのTEビットが“1”(送信許可)</li> <li>U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> <li>U0IRSビットが“0”(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時)</li> <li>U0IRSビットが“1”(送信完了) : UART0送信レジスタからデータ送信完了時</li> </ul> </li> <li>受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<p>オーバーランエラー(注2)</p> <p>U0RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生</p>
選択機能	<ul style="list-style-type: none"> <li>CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択</li> <li>LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択</li> <li>連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる</li> </ul>

注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバーランエラーが発生した場合、U0RBレジスタの受信データ(b0 ~ b8)は不定になります。またS0RICレジスタのIRビットは変化しません。

表21.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U0TB	b0 ~ b7	送信データを設定してください
U0RB	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	b0 ~ b7	ビットレートを設定してください
U0MR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U0C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表21.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表21.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0 (P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット=1 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、P1_4をポートとして使用可)
RXD0 (P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット=1 PD1レジスタのPD1_5ビット=0 (送信だけを行うときはRXD0SEL0ビット=0と設定することで、P1_5をポートとして使用可)
CLK0 (P1_6)	転送クロック出力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0

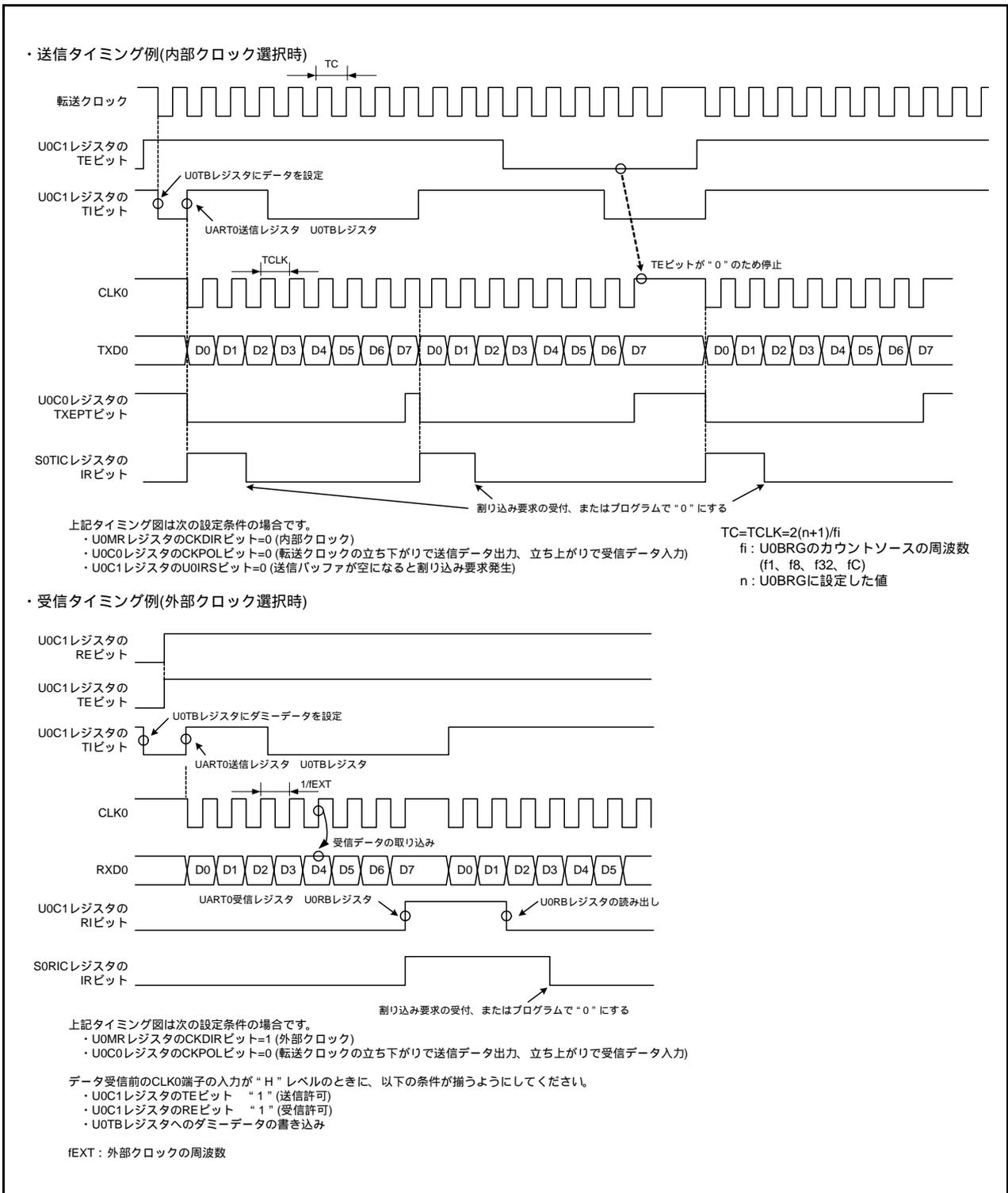


図21.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

### 21.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U0MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U0C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 21.3.2 極性選択機能

図21.4に転送クロックの極性を示します。U0C0レジスタのCKPOLビットによって転送クロックの極性を選択できます。

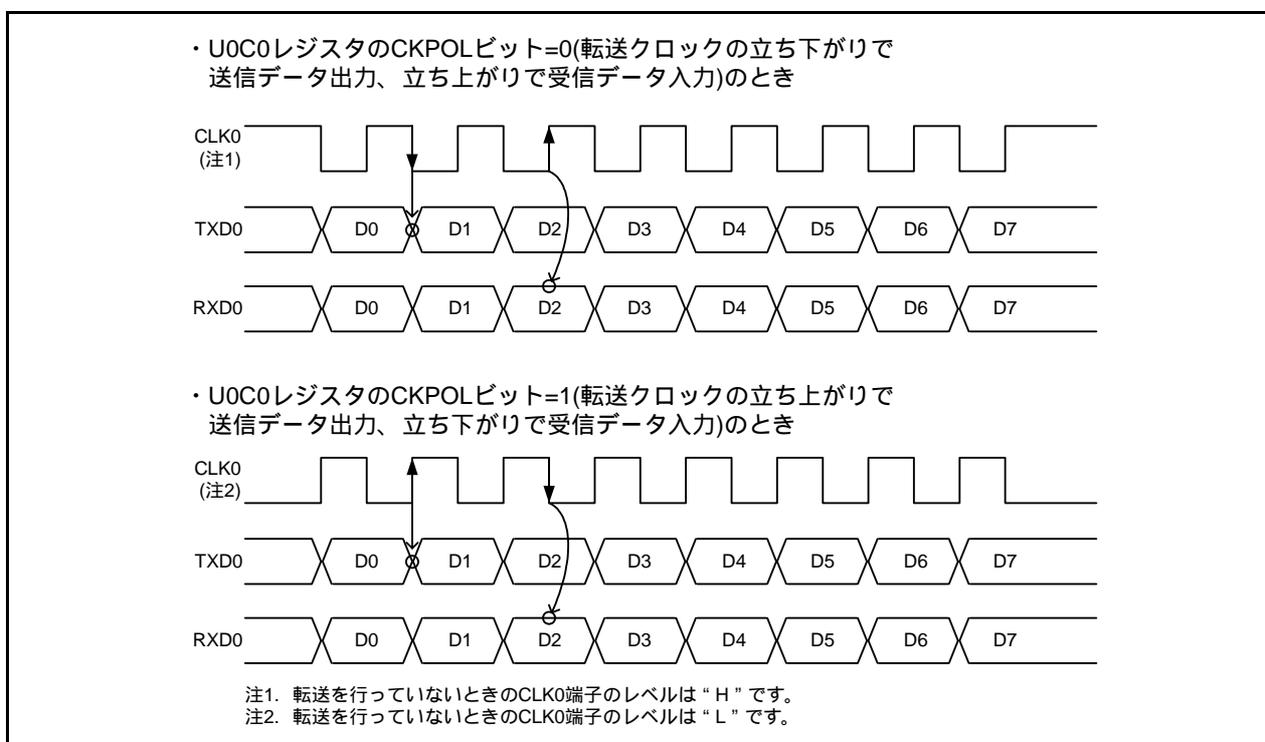


図21.4 転送クロックの極性

### 21.3.3 LSBファースト、MSBファースト選択

図21.5に転送フォーマットを示します。U0C0レジスタのUFORMビットで転送フォーマットを選択できます。

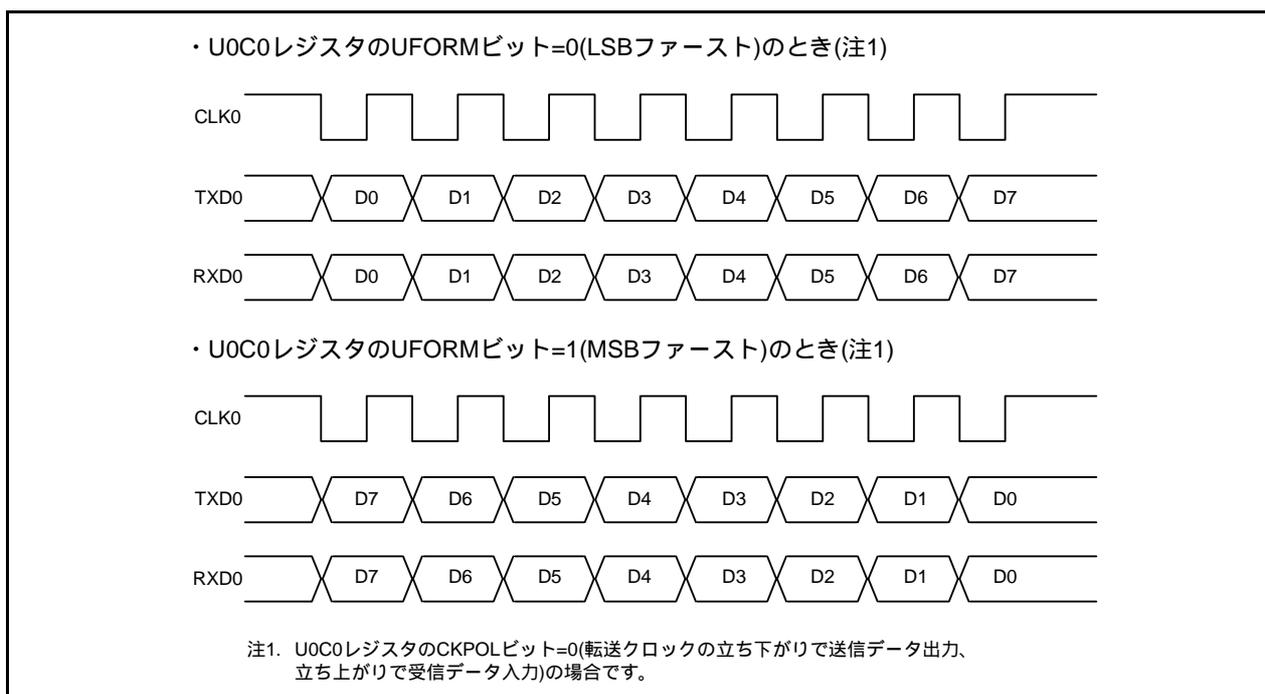


図21.5 転送フォーマット

#### 21.3.4 連続受信モード

U0C1レジスタのUORRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。UORRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

## 21.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表21.5にクロック非同期形シリアルI/Oモードの仕様を、表21.6にUARTモード時の使用レジスタと設定値を示します。

表21.5 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>• キャラクタビット(転送データ) 7ビット、8ビット、9ビット選択可</li> <li>• スタートビット 1ビット</li> <li>• パリティビット 奇数、偶数、無し選択可</li> <li>• ストップビット 1ビット、2ビット選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>• U0MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math>  <math>f_j=f_1, f_8, f_{32}, f_C</math> <math>n=U0BRG</math>レジスタの設定値 00h ~ FFh</li> <li>• CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math>はCLK0端子からの入力 <math>n=U0BRG</math>レジスタの設定値 00h ~ FFh</li> </ul>
送信開始条件	<p>送信開始には、以下の条件が必要です。</p> <ul style="list-style-type: none"> <li>• U0C1レジスタのTEビットが“1”(送信許可)</li> <li>• U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)</li> </ul>
受信開始条件	<p>受信開始には、以下の条件が必要です。</p> <ul style="list-style-type: none"> <li>• U0C1レジスタのREビットが“1”(受信許可)</li> <li>• スタートビットの検出</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• 送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> <li>- U0IRSビットが“0”(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時)</li> <li>- U0IRSビットが“1”(送信完了) : UART0送信レジスタからデータ送信完了時</li> </ul> </li> <li>• 受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>• オーバランエラー(注1) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>• フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生(注2)</li> <li>• パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生(注2)</li> <li>• エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>

注1. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0 ~ b8)は不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART0受信レジスタからU0RBレジスタにデータが転送されるときに“1”になります。

表21.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0 ~ b8	送信データを設定してください(注1)。
U0RB	b0 ~ b8	受信データが読めず(注2)。
	OER、FER、PER、SUM	エラーフラグ
U0BRG	b0 ~ b7	ビットレートを設定してください。
U0MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U0C1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。

注1. 使用するビットは次のとおりです。

転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、

転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表21.7にUARTモード時の入出力端子の機能を示します。

なお、UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表21.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0 (P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット=1 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、P1_4をポートとして使用可)
RXD0 (P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット=1 PD1レジスタのPD1_5ビット=0 (送信だけを行うときはRXD0SEL0ビット=0と設定することで、P1_5をポートとして使用可)
CLK0 (P1_6)	プログラマブル入出力ポート	U0SRレジスタのCLK0SEL0ビット=0 (CLK0端子は使用しない)
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0

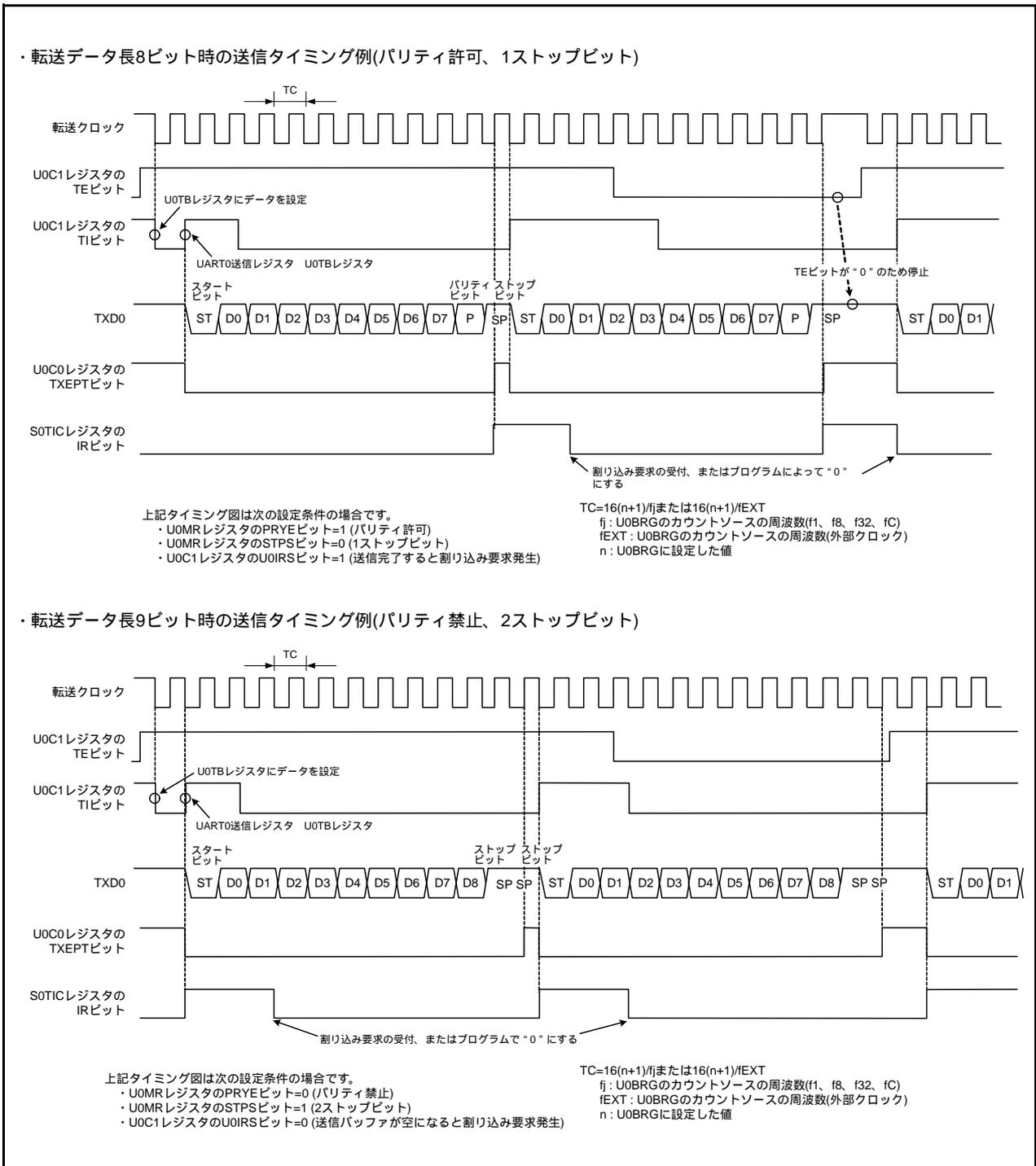


図21.6 UARTモード時の送信タイミング

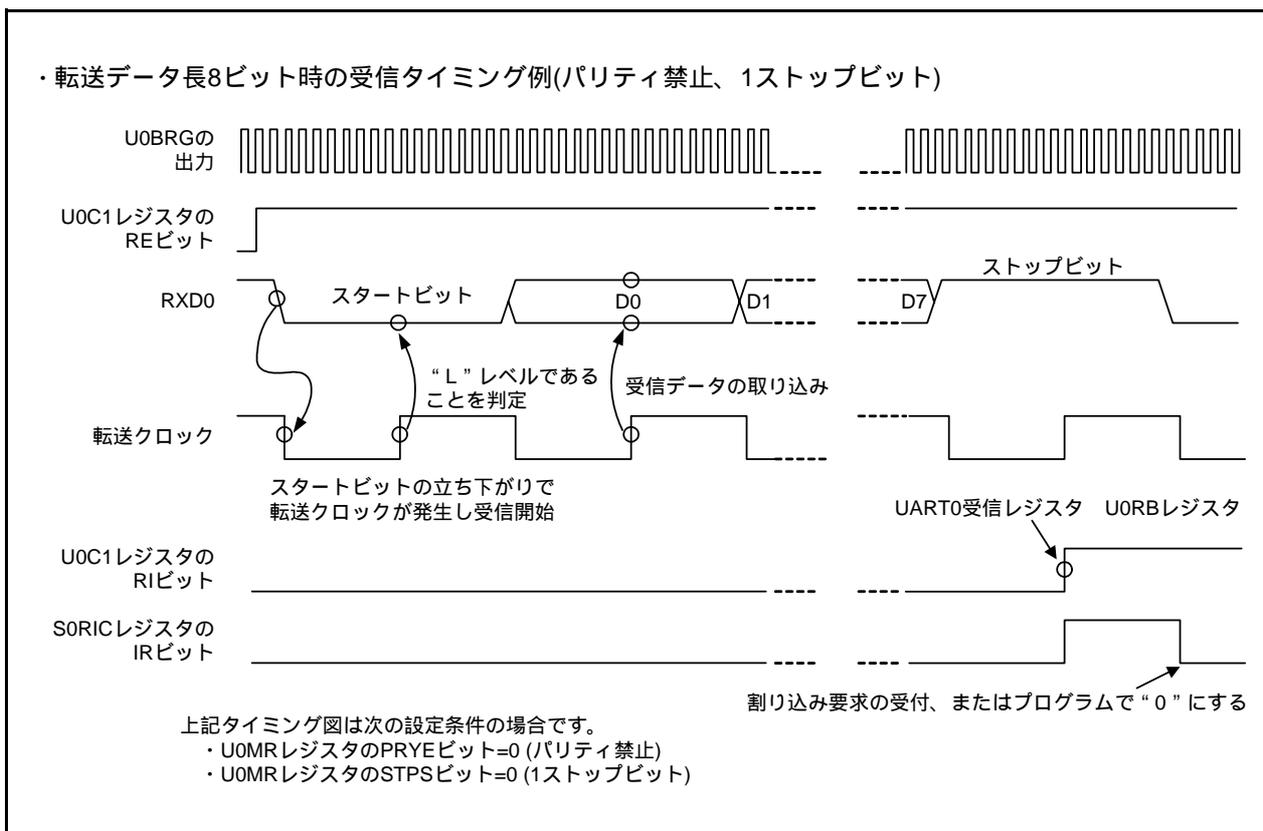


図21.7 UARTモード時の受信タイミング例

## 21.4.1 ビットレート

UARTモードではU0BRGレジスタで分周した周波数の16分周がビットレートになります。

< UARTモード >

- ・ 内部クロック選択時
 
$$\text{U0BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f<sub>j</sub>: U0BRGレジスタのカウンタソースの周波数(f1、f8、f32、fC)
- ・ 外部クロック選択時
 
$$\text{U0BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

fEXT: U0BRGレジスタのカウンタソースの周波数(外部クロック)

図21.8 U0BRGレジスタの設定値の算出式

表21.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U0BRGの カウンタソース	システムクロック = 16MHz		
		U0BRGの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	103 (67h)	1201.92	0.16
2400	f8	51 (33h)	2403.85	0.16
4800	f8	25 (19h)	4807.69	0.16
9600	f1	103 (67h)	9615.38	0.16
14400	f1	68 (44h)	14492.75	0.64
19200	f1	51 (33h)	19230.77	0.16
28800	f1	34 (22h)	28571.43	- 0.79
38400	f1	25 (19h)	38461.54	0.16
57600	f1	16 (10h)	58823.53	2.12
115200	f1	8 (08h)	111111.11	- 3.55

### 21.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U0MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U0C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 21.5 シリアルインタフェース(UART0)使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、U0RBレジスタを読み出すときは、必ず16ビット単位で読み出してください。  
U0RBレジスタのPER、FERビットとU0C1レジスタのRIビットは、U0RBレジスタの上位バイトを読み出したとき、“0”になります。  
受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

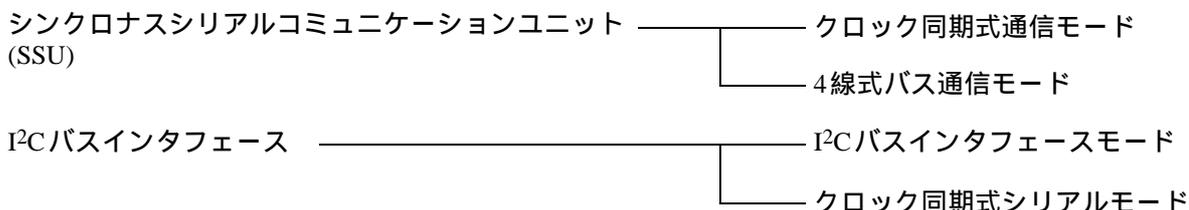
```
MOV.B    #XXH, 00A3H  ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H  ; U0TBレジスタの下位バイトへの書き込み
```

## 22. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

### クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、0193h ~ 019Dh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

### 22.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 22.1 にモード選択に関わるビットを示します。各モードの詳細は「23. シンクロナスシリアルコミュニケーションユニット(SSU)」および「24. I²Cバスインタフェース」を参照してください。

表22.1 モード選択

SSUICSR レジスタの IICSELビット	0198h番地のビット7 (ICCR1レジスタの ICEビット)	019Dh番地のビット0 (SSMR2レジスタの SSUMSビット、 SARレジスタのFSビット)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット	クロック同期式通信 モード
0	0	1		4線式バス通信モード
1	1	0	I²Cバスインタフェース	I²Cバスインタフェース モード
1	1	1		クロック同期式シリアル モード

## 23. シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。

### 23.1 概要

表23.1にシンクロナスシリアルコミュニケーションユニットの仕様を、図23.1にシンクロナスシリアルコミュニケーションユニットブロック図を示します。表23.2にシンクロナスシリアルコミュニケーションユニットの端子構成を示します。

表23.1 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	転送データ長 8~16ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能
動作モード	<ul style="list-style-type: none"> <li>•クロック同期式通信モード</li> <li>•4線式バス通信モード(双方向通信モード含む)</li> </ul>
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力) : クロック入出力端子 SSI(入出力) : データ入出力端子 SSQ(入出力) : データ入出力端子 SCS(入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> <li>•SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき 外部クロック(SSCK端子から入力)</li> <li>•SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき 内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力)</li> <li>•クロック極性と位相を選択できる</li> </ul>
受信エラーの検出	オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になる
マルチマスタエラーの検出	コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態、シリアル通信を開始しようとしたとき、SCS端子入力が“L”であればSSSRレジスタのCEビットが“1”になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中でSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	<ul style="list-style-type: none"> <li>•データ転送方向 MSBファーストまたはLSBファーストを選択</li> <li>•SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択</li> <li>•SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択</li> </ul>

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

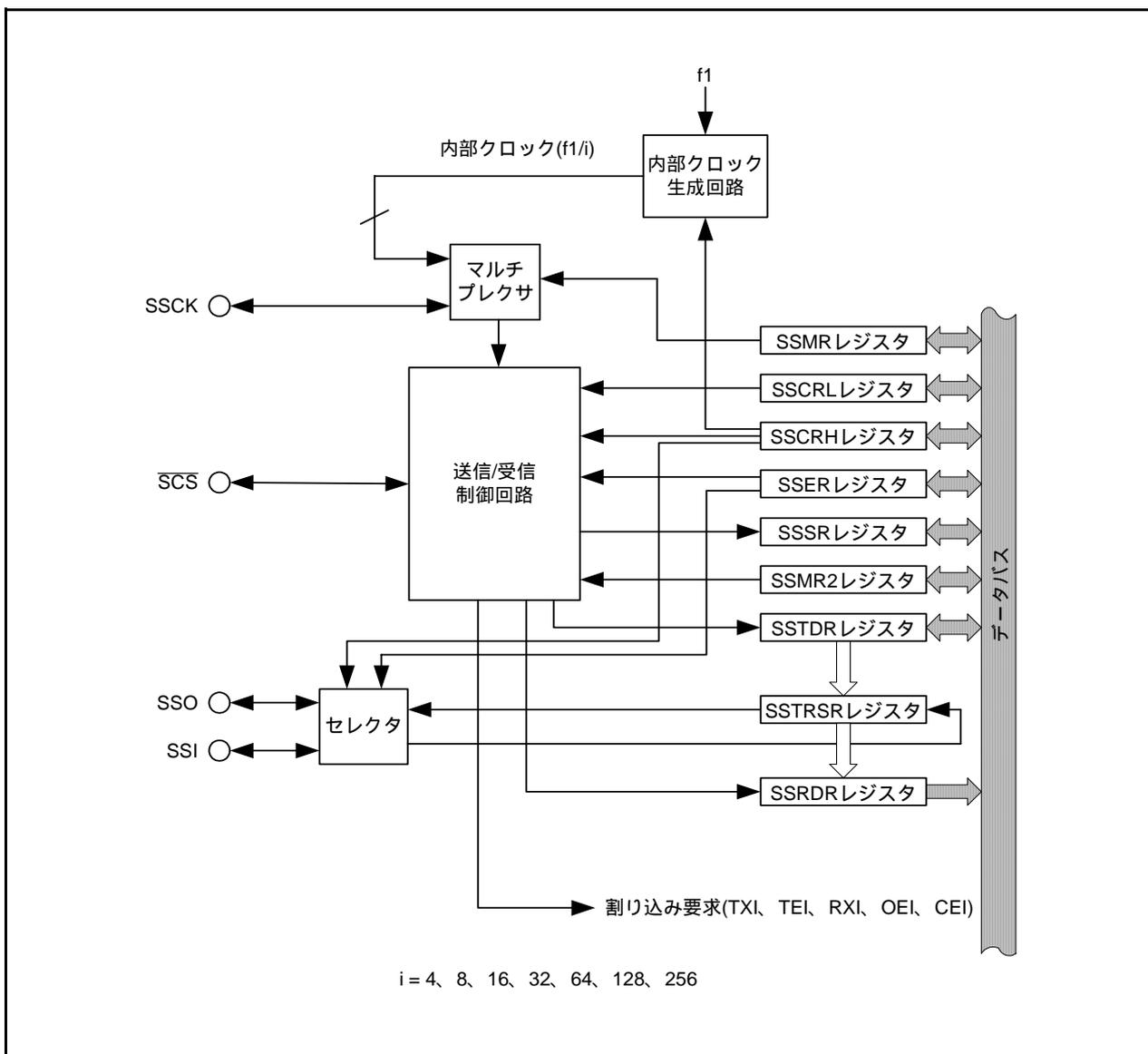


図23.1 シンクロナスシリアルコミュニケーションユニットブロック図

表23.2 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	割り当てる端子	入出力	機能
SSI	P3_4	入出力	データ入出力
SCS	P3_3	入出力	チップセレクト入出力
SSCK	P3_5	入出力	クロック入出力
SSO	P3_7	入出力	データ入出力

## 23.2 レジスタの説明

## 23.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	MSTTRC	-	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

注1. スタンバイにする前に、SSU、I<sup>2</sup>Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0132h番地)へのアクセスは無効になります。

## 23.2.2 SSU/IIC端子選択レジスタ(SSUICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0: SSU機能を選択 1: I <sup>2</sup> Cバス機能を選択	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	-			

## 23.2.3 SSビットカウンタレジスタ(SSBR)

アドレス 0193h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット(注1)	b3 b2 b1 b0 0 0 0 0 : 16ビット	R/W
b1	BS1		1 0 0 0 : 8ビット	R/W
b2	BS2		1 0 0 1 : 9ビット	R/W
b3	BS3		1 0 1 0 : 10ビット	R/W
			1 0 1 1 : 11ビット	
			1 1 0 0 : 12ビット	
			1 1 0 1 : 13ビット	
			1 1 1 0 : 14ビット	
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	
b5	-			
b6	-			
b7	-			

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。

SSBRレジスタを設定するときは、SSERレジスタのREビットを“0”(受信禁止)、TEビットを“0”(送信禁止)にしてください。

## BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

## 23.2.4 SS送信データレジスタ(SSTDR)

アドレス 0195h～0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	-	送信データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書きおくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

注1. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。

## 23.2.5 SS受信データレジスタ(SSRDR)

アドレス 0197h ~ 0196h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15 ~ b0	-	受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

- 注1. SSSRレジスタのORERビットが“1”(オーバーランエラー発生)になったとき、SSRDRレジスタはオーバーランエラー発生前の受信データを保持します。オーバーランエラー発生時の受信データは、破棄されます。
- 注2. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

## 23.2.6 SS制御レジスタH(SSCRH)

アドレス 0198h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RSSTP	MSS	-	-	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b2 b1 b0 0 0 0 : f1/256	R/W
b1	CKS1		0 0 1 : f1/128	R/W
b2	CKS2		0 1 0 : f1/64	R/W
			0 1 1 : f1/32	
		1 0 0 : f1/16		
		1 0 1 : f1/8		
		1 1 0 : f1/4		
		1 1 1 : 設定しないでください		
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	MSS	マスタ/スレーブデバイス選択ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	R/W
b6	RSSTP	受信シングルストップビット(注3)	0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSSビットが“1”(マスタデバイスとして動作)のときに、設定されたクロックが使用されます。
- 注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。
- 注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

## 23.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	SOL	SOLP	-	-	SRES	-
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	SRES	SSU制御部リセットビット	このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。SSU内部レジスタ(注1)の値は保持される。	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b3	-			
b4	SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	R/W
b5	SOL	シリアルデータ出力値設定ビット	読んだ場合 0：シリアルデータ出力が“L” 1：シリアルデータ出力が“H” 書いた場合(注2、3) 0：データ出力を“L”にする 1：データ出力を“H”にする	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. SSBR、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTDR、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。

シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。

## 23.2.8 SSモードレジスタ(SSMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS	CPHS	-	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ3~0	b3 b2 b1 b0 0000: 残り16ビット	R
b1	BC1		0001: 残り1ビット	R
b2	BC2		0010: 残り2ビット	R
b3	BC3		0011: 残り3ビット	R
			0100: 残り4ビット	
			0101: 残り5ビット	
			0110: 残り6ビット	
			0111: 残り7ビット	
			1000: 残り8ビット	
			1001: 残り9ビット	
		1010: 残り10ビット		
		1011: 残り11ビット		
		1100: 残り12ビット		
		1101: 残り13ビット		
		1110: 残り14ビット		
		1111: 残り15ビット		
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	CPHS	SSCKクロック位相選択ビット(注1)	0: 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1: 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS	SSCKクロック極性選択ビット(注1)	0: クロック停止時、“H” 1: クロック停止時、“L”	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送 1: LSBファーストでデータ転送	R/W

注1. CPHS、CPOSビットの設定については「23.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。  
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

## 23.2.9 SS許可レジスタ(SSER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE	RE	-	-	CEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b4	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データEMPTY割り込み要求禁止 1: 送信データEMPTY割り込み要求許可	R/W

## 23.2.10 SSステータスレジスタ(SSSR)

アドレス	019Ch番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	-	-	ORER	-	CE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	ORER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0: SSRDRレジスタにデータなし 1: SSRDRレジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0: 送信データの最後尾ビットの送信時、TDREビットが“0” 1: 送信データの最後尾ビットの送信時、TDREビットが“1”	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0: SSTDRレジスタからSSTRSRレジスタにデータ転送されていない 1: SSTDRレジスタからSSTRSRレジスタにデータ転送された	R/W

- 注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。
- 注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。「23.5.4 SCS端子制御とアービトレーション」を参照してください。  
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中でSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。
- 注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。  
ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。
- 注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。
- 注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。  
SSTDRレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。
- 注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

## 23.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	SSUMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSUMS	SSUモード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0: CMOS出力(注5) 1: Nチャンネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット(注2)	b5 b4 00: ポートとして機能 01: SCS入力端子として機能 10: SCS出力端子として機能(注3) 11: SCS出力端子として機能(注3)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、4)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

注1. データ入出力端子の組合せは、「23.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注3. 転送開始前は、SCS入力端子として機能します。

注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。

注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

## 23.3 複数モードに関わる共通事項

### 23.3.1 転送クロック

転送クロックを7種類の内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0 ~ CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

#### 23.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図23.2に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。



### 23.3.2 SSシフトレジスタ(SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

#### 23.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図23.3にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

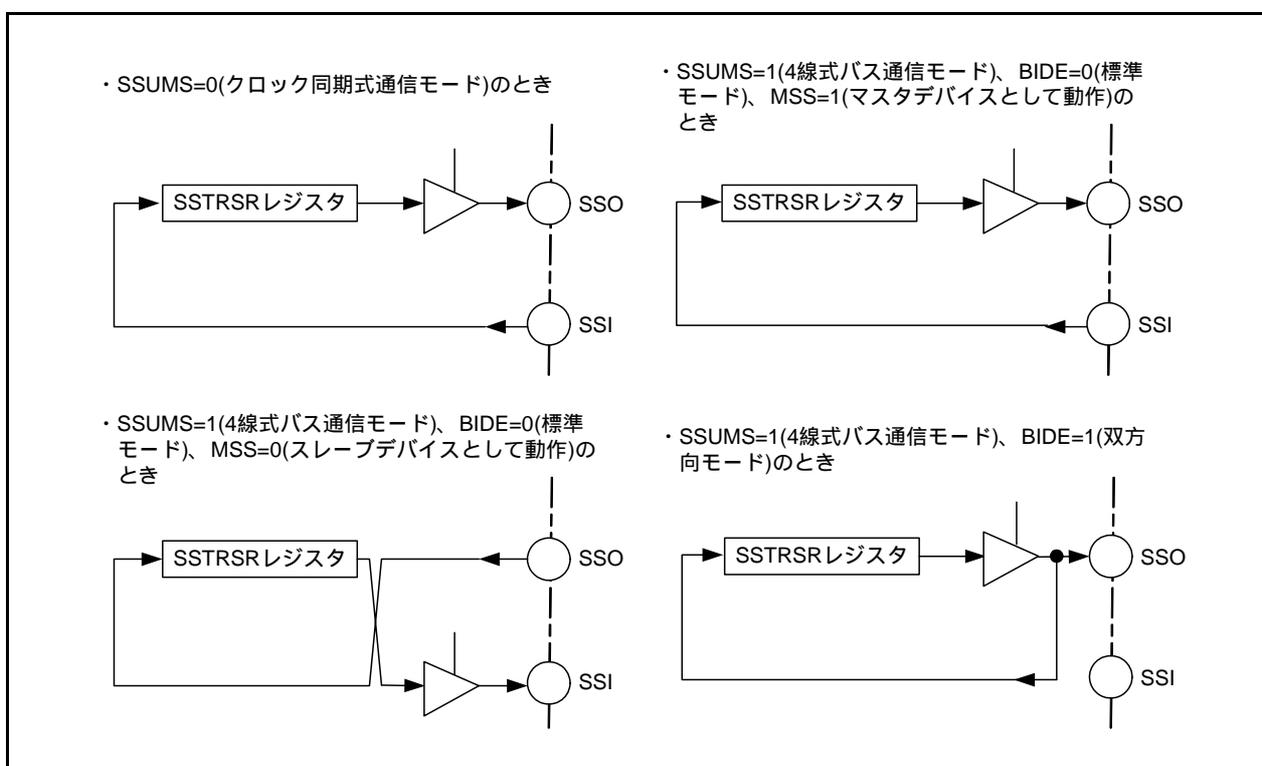


図23.3 データ入出力端子とSSTRSRレジスタの接続関係

### 23.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 23.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表23.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1かつTDRE=1
送信終了	TEI	TEIE=1かつTEND=1
受信データフル	RXI	RIE=1かつRDRF=1
オーバランエラー	OEI	RIE=1かつORER=1
コンフリクトエラー	CEI	CEIE=1かつCE=1

CEIE、RIE、TEIE、TIE : SSERレジスタのビット

ORER、RDRF、TEND、TDRE : SSSRレジスタのビット

表23.3の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDRE ビットおよびTEND ビットはSSTDR レジスタに送信データを書くことで、RDRF ビットはSSRDR レジスタを読むことで自動的に“0”になります。特にTDRE ビットはSSTDR レジスタに送信データを書いたとき、同時に再度TDRE ビットが“1” (SSTDR レジスタからSSTRSR レジスタにデータ転送された) になり、さらにTDRE ビットを“0” (SSTDR レジスタからSSTRSR レジスタにデータ転送されていない) にすると、余分に1バイト送信する場合があります。

## 23.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表23.4に通信モードと入出力端子の関係を示します。

表23.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態			
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK	
クロック同期式通信モード	0	無効	0	0	1	入力	(注1)	入力	
				1	0	(注1)	出力	入力	
				1	1	入力	出力	入力	
			1	0	1	入力	(注1)	出力	出力
				1	0	(注1)	出力	出力	出力
				1	1	入力	出力	出力	
4線式バス通信モード	1	0	0	0	1	(注1)	入力	入力	
				1	0	出力	(注1)	入力	
				1	1	出力	入力	入力	
			1	0	1	入力	(注1)	出力	出力
				1	0	(注1)	出力	出力	出力
				1	1	入力	出力	出力	
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	(注1)	入力	入力	
				1	0	(注1)	出力	入力	
			1	0	1	(注1)	入力	出力	
				1	0	(注1)	出力	出力	

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

## 23.4 クロック同期式通信モード

## 23.4.1 クロック同期式通信モードの初期化

図23.4にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

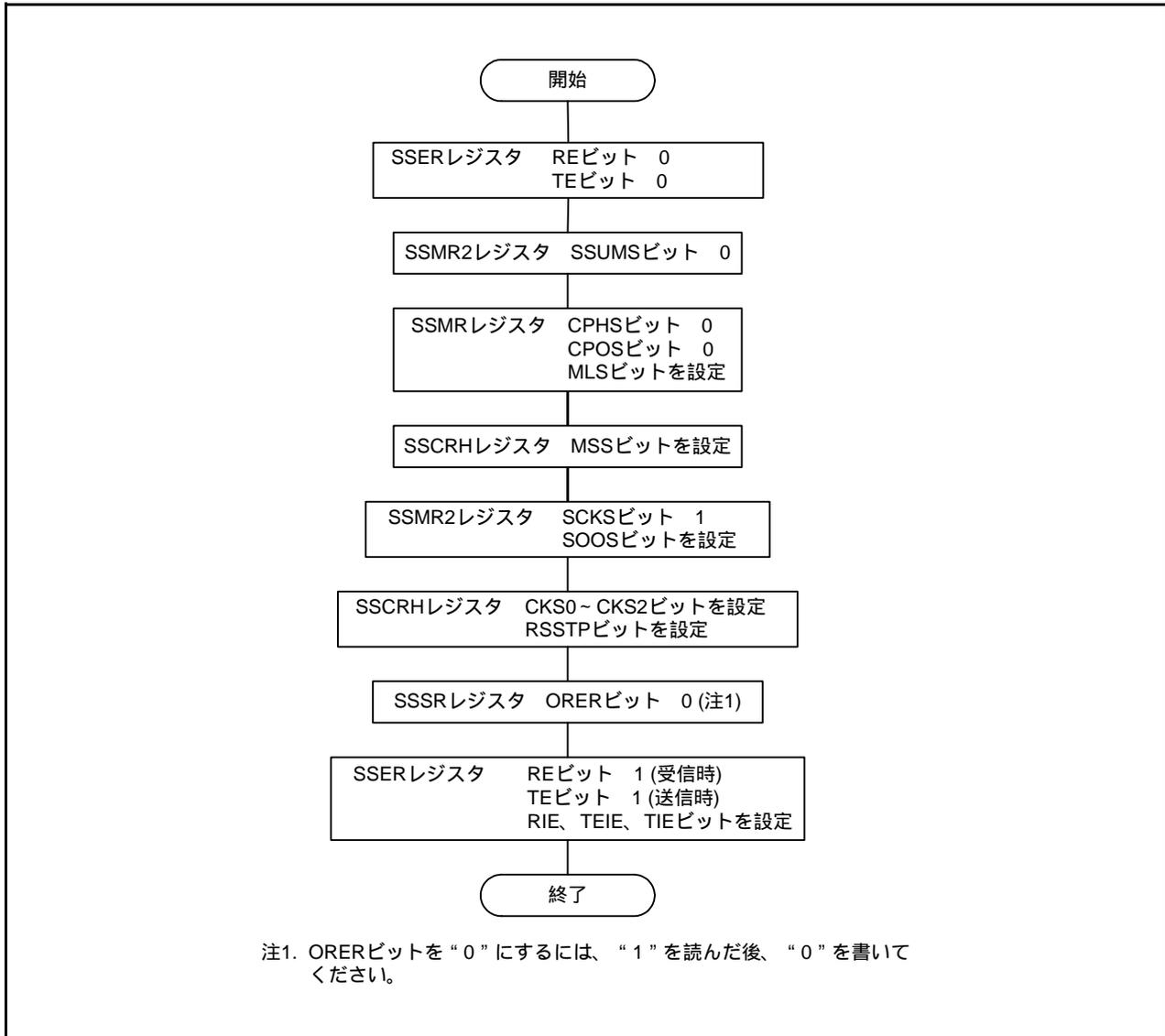


図23.4 クロック同期式通信モードの初期化

## 23.4.2 データ送信

図23.5にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定されます。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

図23.6にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

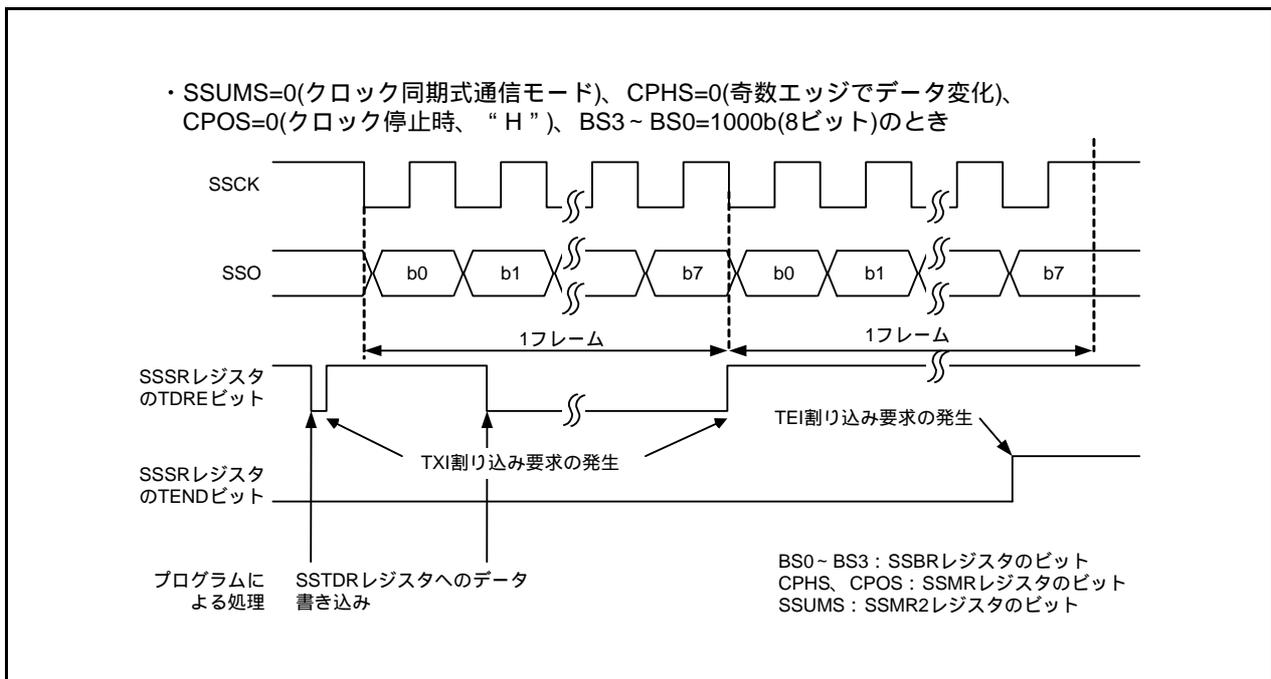


図23.5 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

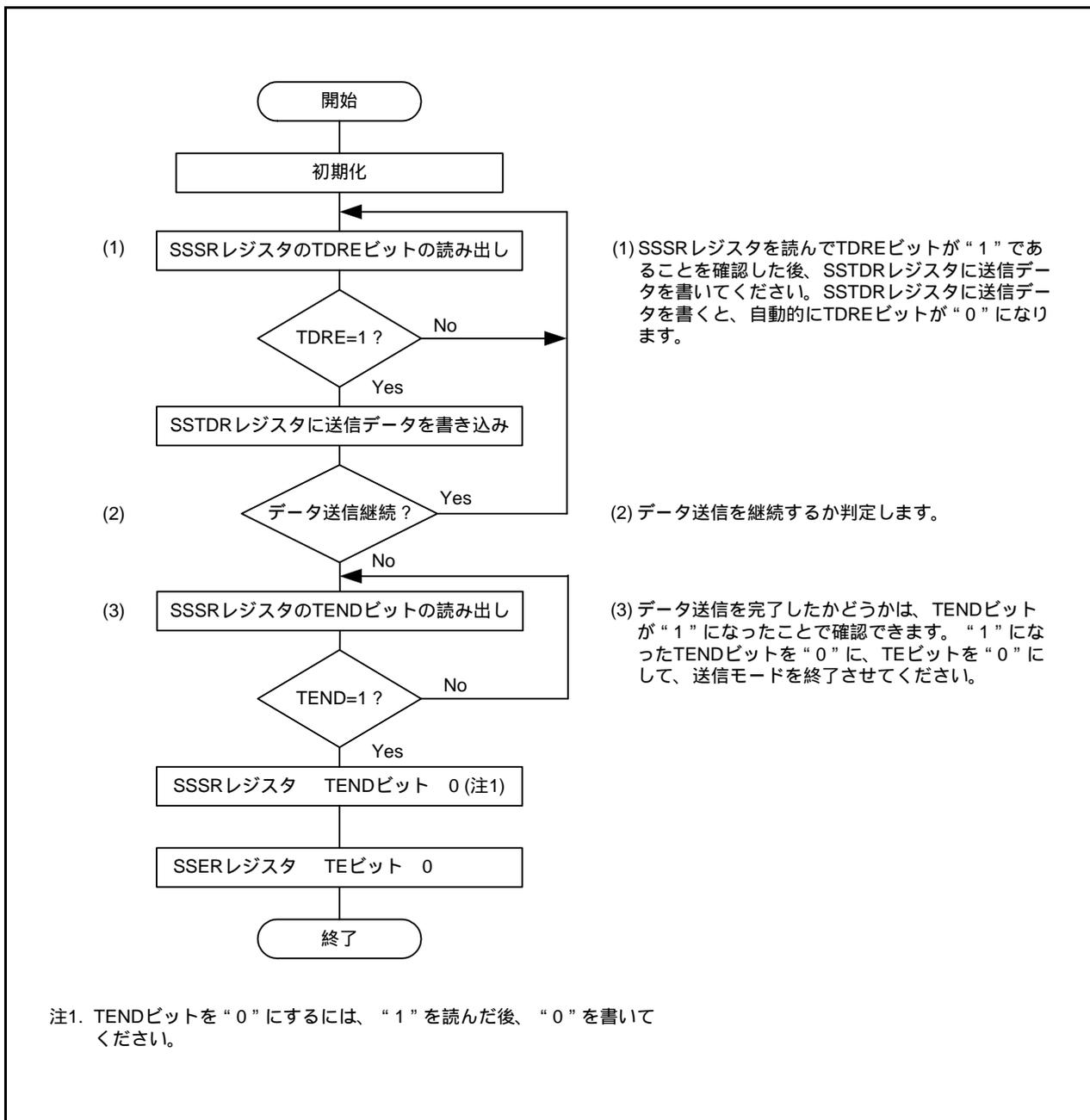


図23.6 データ送信のフローチャート例(クロック同期式通信モード)

## 23.4.3 データ受信

図23.7にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図23.8にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

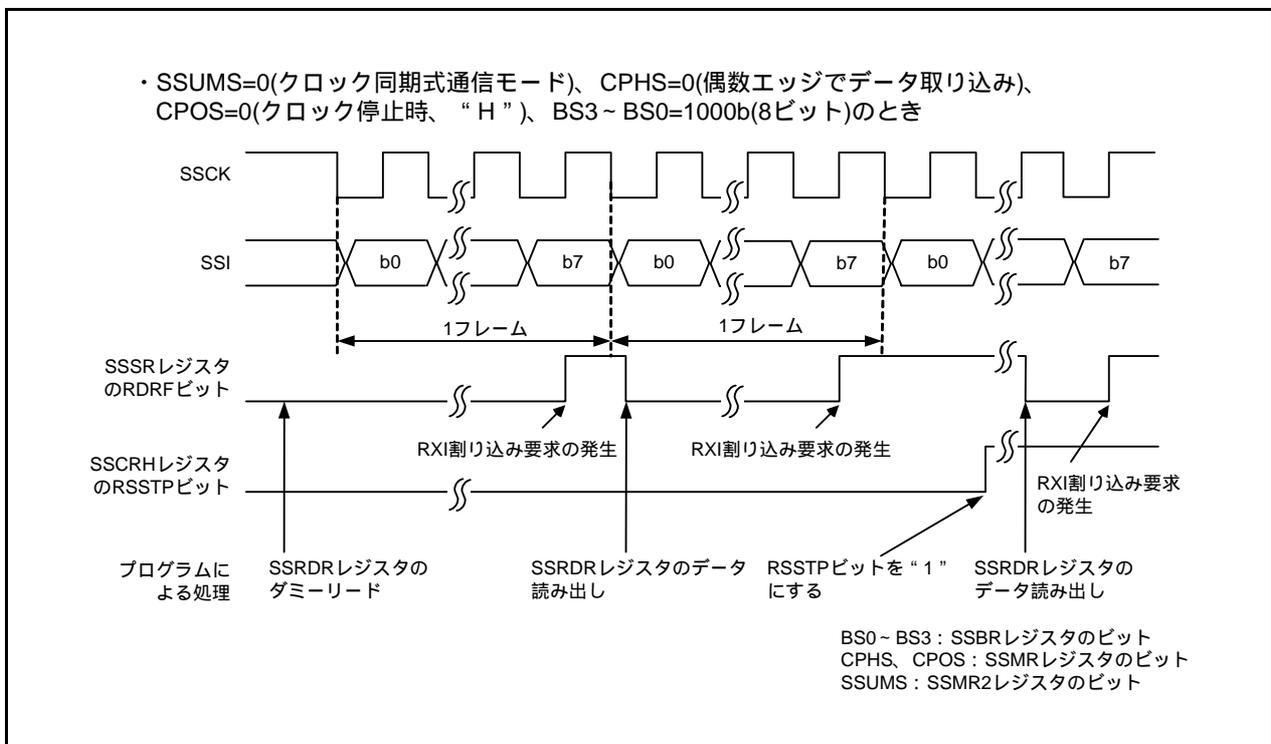


図23.7 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

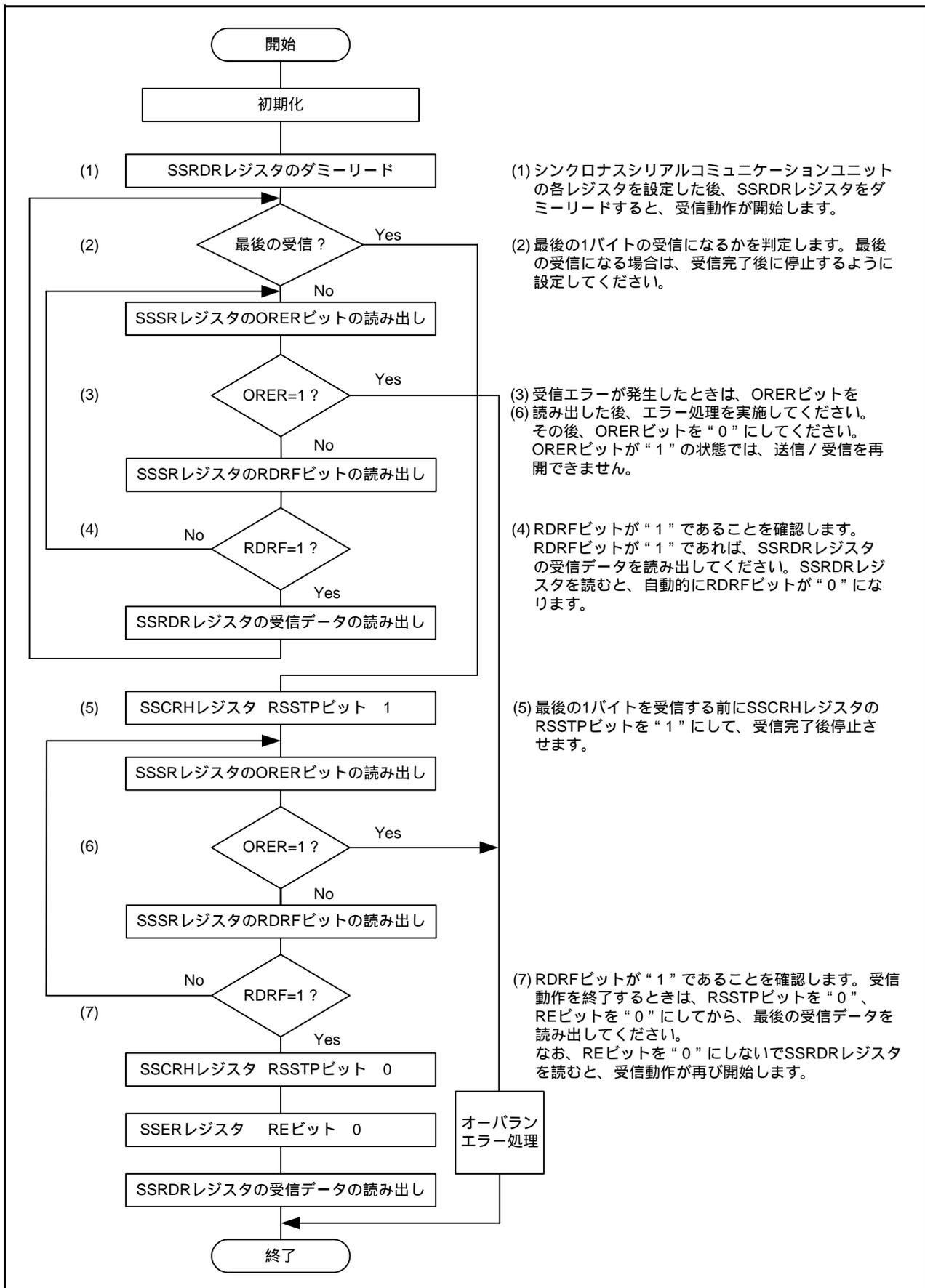


図23.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

### 23.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態最終転送クロック(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)が立ち上がった場合、またはORERビットが“1”(オーバランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”、REビットを“0”にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバランエラーなし)であることを確認した後、TEおよびREビットを“1”にしてください。

図23.9にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE=RE=1)から送受信モードを解除する場合、SSRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まずREビットを“0”にして、その後、TEビットを“0”にする
- TEビットとREビットを同時に“0”にする

その後、受信モード(TE=0、RE=1)にする場合は、SRESビットに“1”を書いた後、“0”にしてSSU制御部およびSSTRSRレジスタを初期化してから、REビットを“1”にしてください。

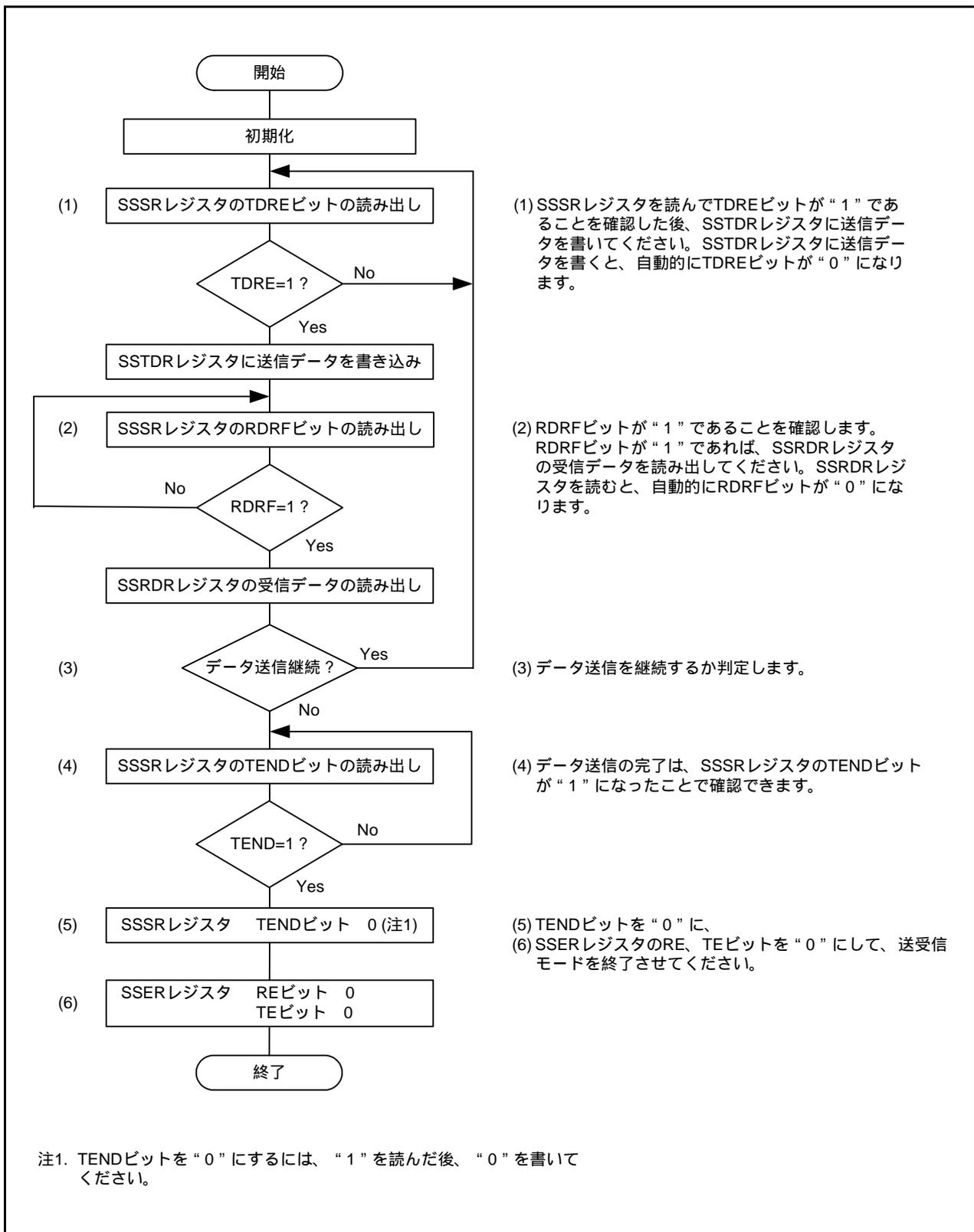


図23.9 データ送受信のフローチャート例(クロック同期式通信モード)

### 23.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「23.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことをSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「23.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

## 23.5.1 4線式バス通信モードの初期化

図23.10に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

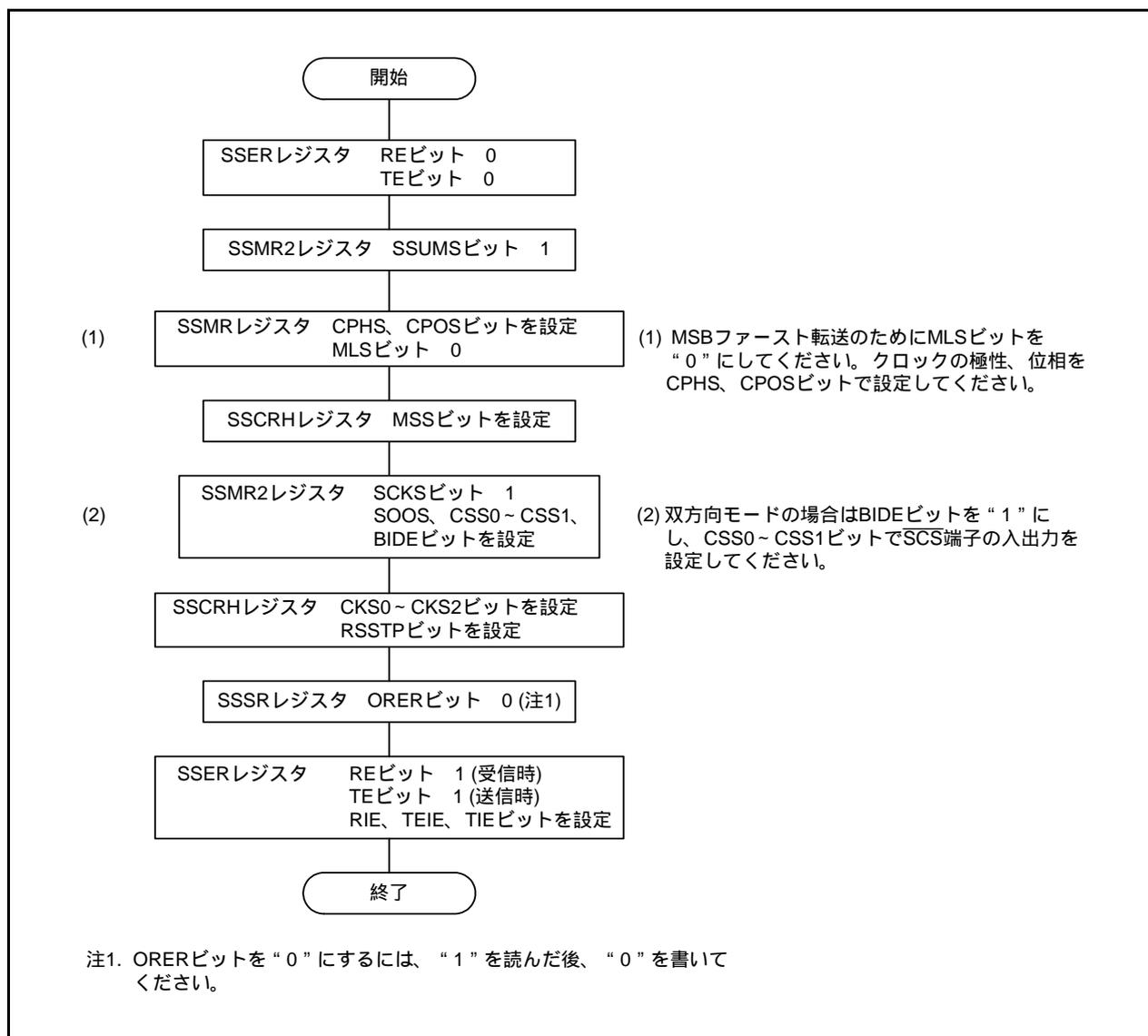


図23.10 4線式バス通信モードの初期化

### 23.5.2 データ送信

図23.11にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定され、SCS端子は“H”になります。SCS端子が“L”のまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSSTDRレジスタに書いてください。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子が“H”入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図23.6 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

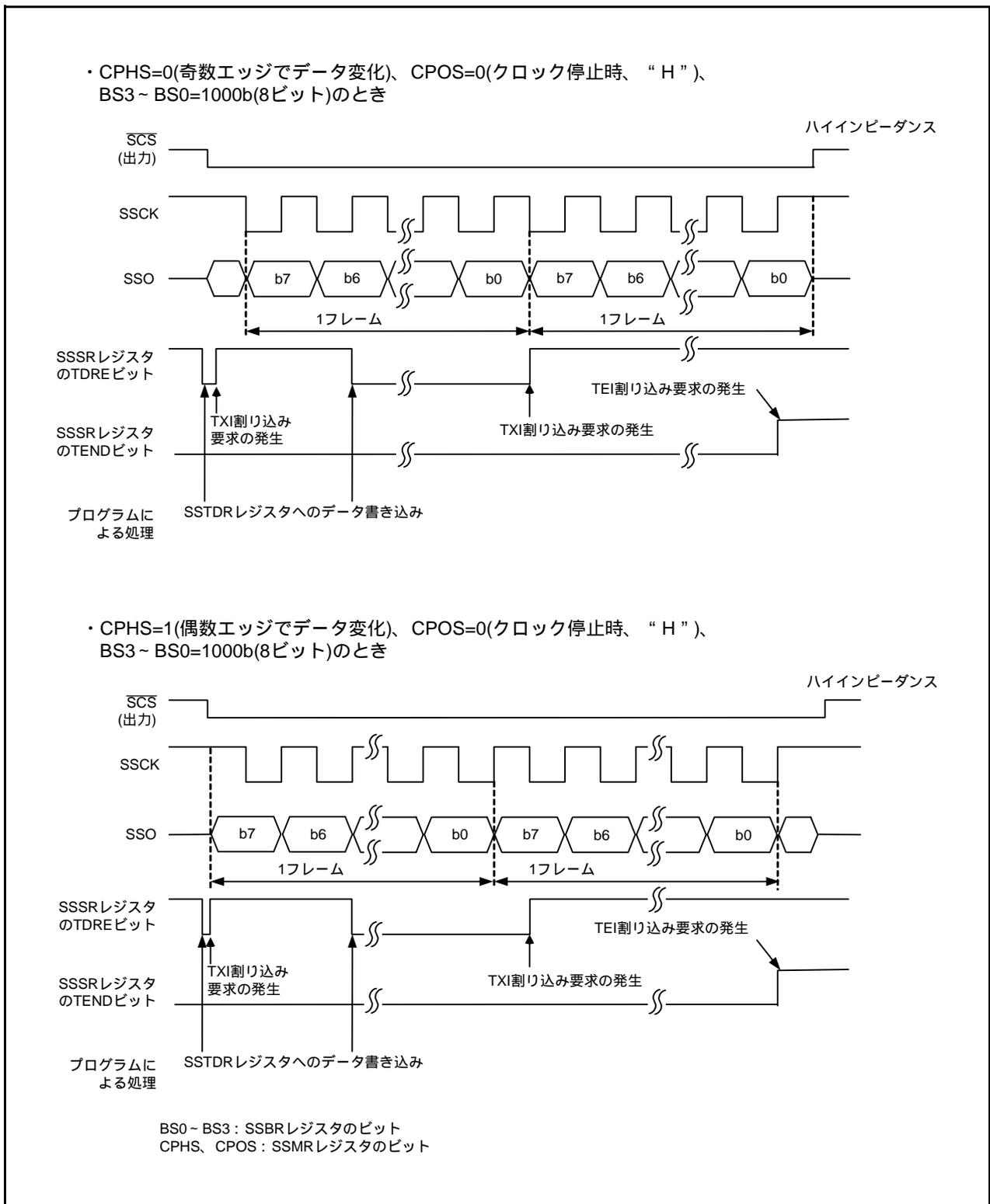


図23.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 23.5.3 データ受信

図23.12にデータ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求を発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません、受信再開の前には、ORERビットが“0”であることを確認してください。

RDRFビット、ORERビットが“1”になるタイミングは、SSMRレジスタのCPHSビットの設定により異なります。このタイミングを図23.12に示します。CPHSビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図23.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

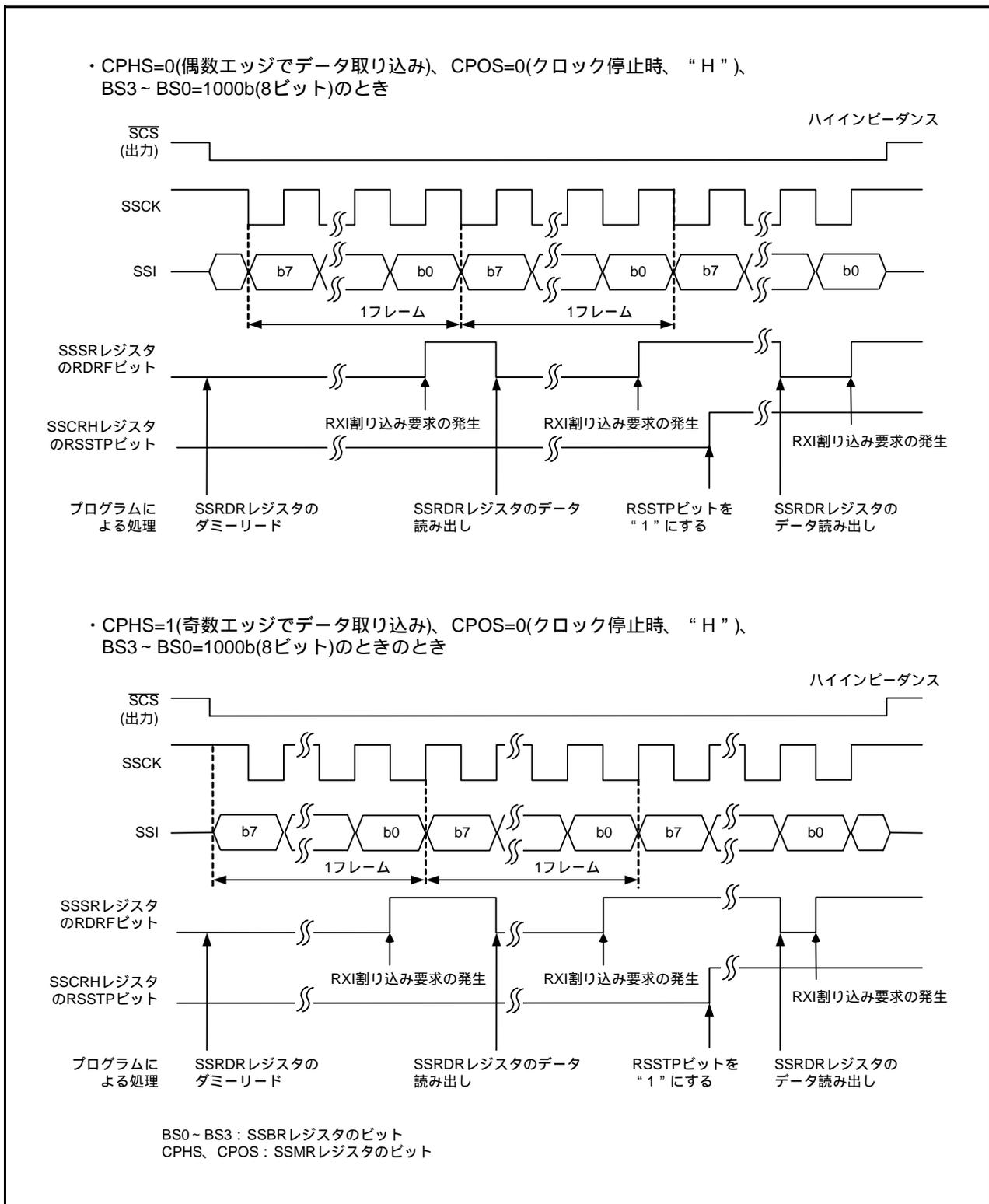


図23.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 23.5.4 SCS端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1”(4線式バス通信モード)、CSS1ビットを“1”(SCS出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1”(マスタデバイスとして動作)にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になり、自動的にMSSビットが“0”(スレーブデバイスとして動作)になります。

図23.13にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0”(コンフリクトエラーなし)にしてください。

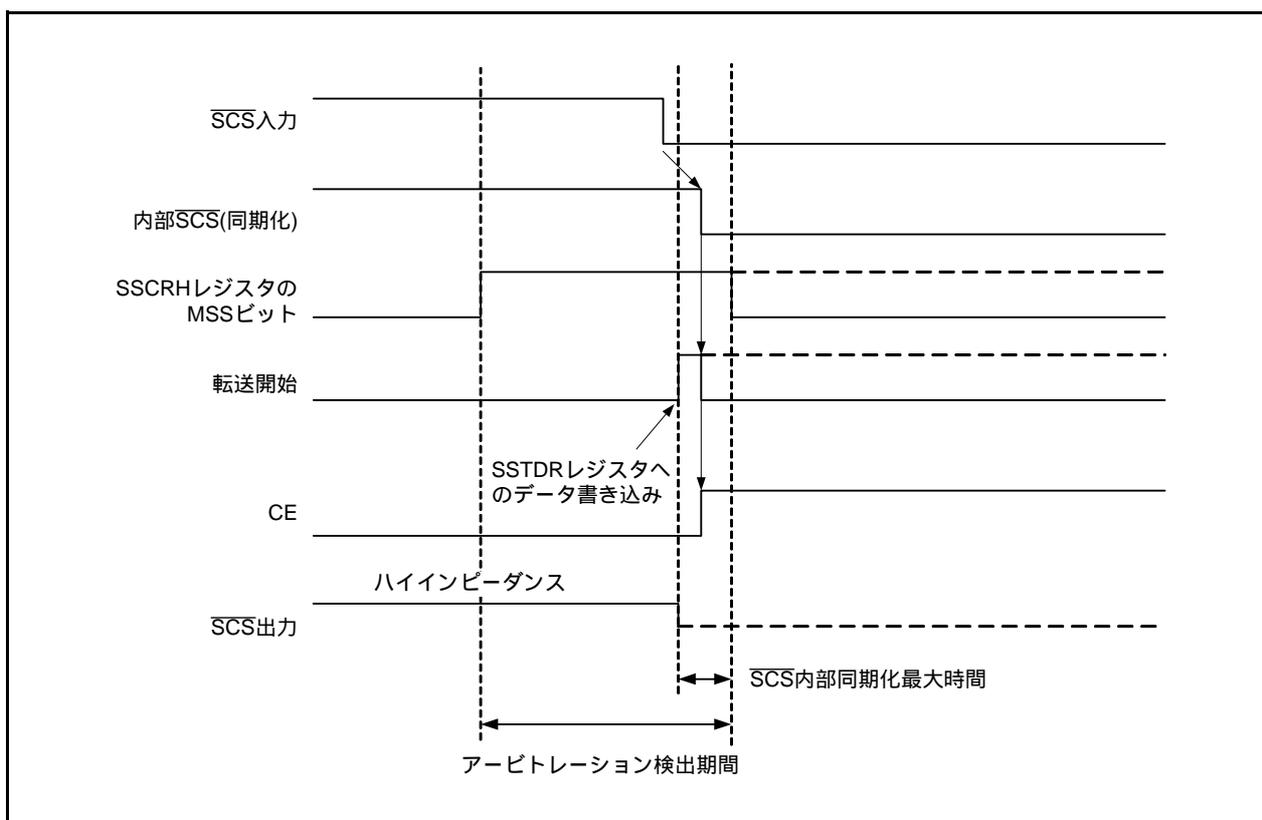


図23.13 アービトレーションチェックタイミング

### 23.6 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

## 24. I<sup>2</sup>Cバスインタフェース

I<sup>2</sup>Cバスインタフェースは、フィリップス社I<sup>2</sup>Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

### 24.1 概要

表24.1にI<sup>2</sup>Cバスインタフェースの仕様を、図24.1にI<sup>2</sup>Cバスインタフェースブロック図を、図24.2にSCL、SDA端子の外部回路接続例を、表24.2にI<sup>2</sup>Cバスインタフェースの端子構成を示します。

表24.1 I<sup>2</sup>Cバスインタフェースの仕様

項目	仕様
通信フォーマット	<ul style="list-style-type: none"> <li>•I<sup>2</sup>Cバスフォーマット               <ul style="list-style-type: none"> <li>- マスタ/スレーブデバイスの選択可能</li> <li>- 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> <li>- マスタモードでは開始条件、停止条件の自動生成</li> <li>- 送信時、アクノリッジビットを自動ロード</li> <li>- ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。)</li> <li>- SCL、SDA端子の直接駆動(Nチャネルオープンドレイン出力)が可能</li> </ul> </li> <li>•クロック同期式シリアルフォーマット               <ul style="list-style-type: none"> <li>- 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> </ul> </li> </ul>
入出力端子	SCL(入出力)：シリアルクロック入出力端子 SDA(入出力)：シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> <li>•ICCR1レジスタのMSTビットが“0”のとき 外部クロック(SCL端子から入力)</li> <li>•ICCR1レジスタのMSTビットが“1”のとき ICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力)</li> </ul>
受信エラーの検出	<ul style="list-style-type: none"> <li>•オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ALビットが“1”になる</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>•I<sup>2</sup>Cバスフォーマット ..... 6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出</li> <li>•クロック同期式シリアルフォーマット ..... 4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•I<sup>2</sup>Cバスフォーマット               <ul style="list-style-type: none"> <li>- 受信時、アクノリッジの出力レベルを選択可能</li> </ul> </li> <li>•クロック同期式シリアルフォーマット               <ul style="list-style-type: none"> <li>- データ転送方向にMSBファーストまたはLSBファーストを選択可能</li> </ul> </li> <li>•SDAのデジタル遅延               <ul style="list-style-type: none"> <li>- PINSRレジスタのSDADLY0～SDADLY1ビットでSDA端子のデジタル遅延値を選択可能</li> </ul> </li> </ul>

注1. 割り込みベクタテーブルはI<sup>2</sup>Cバスインタフェースの1つです。

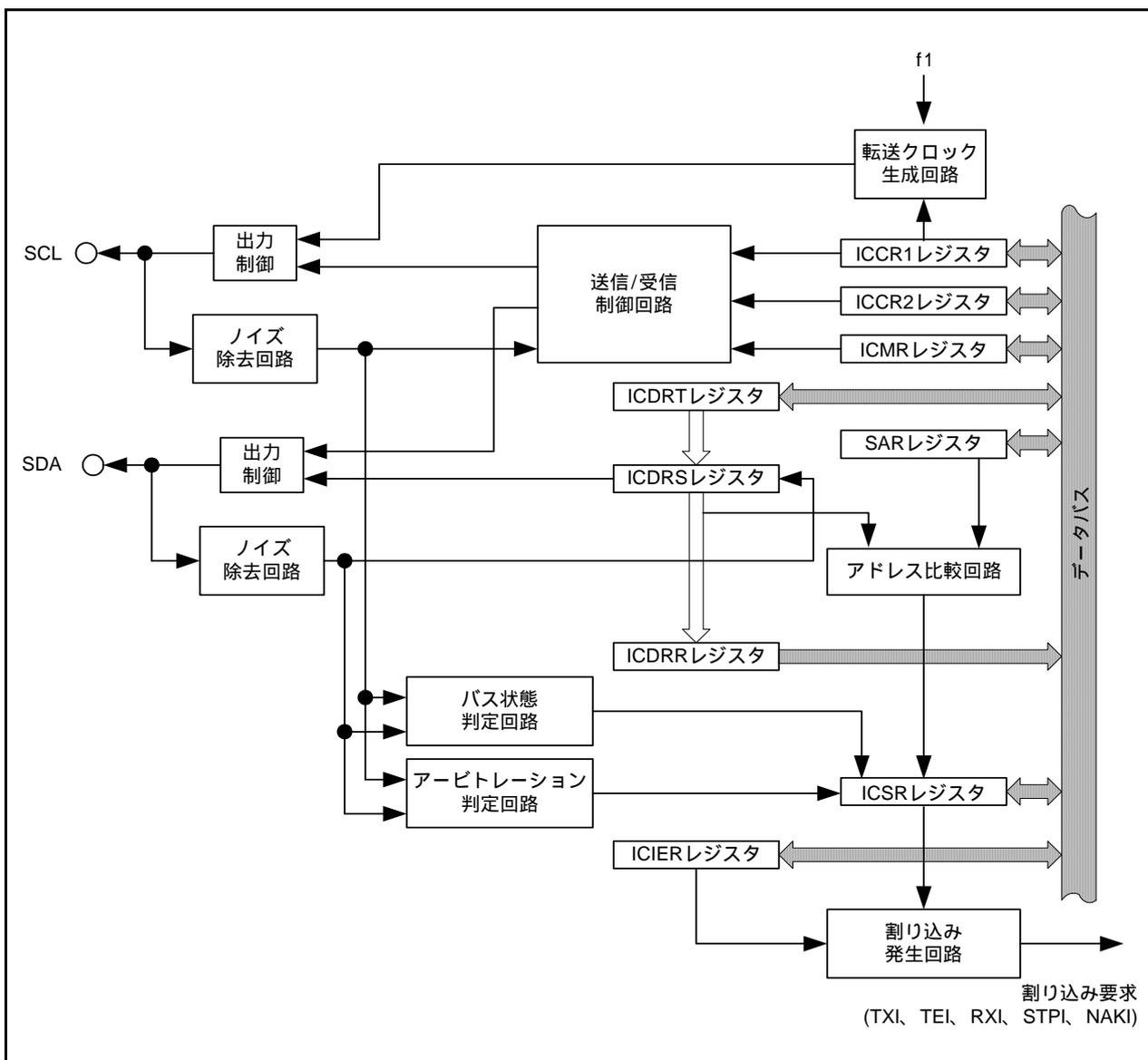


図24.1 I<sup>2</sup>Cバスインタフェースブロック図

表24.2 I<sup>2</sup>Cバスインタフェースの端子構成

端子名	割り当てる端子	機能
SCL	P3_5	クロック入出力
SDA	P3_7	データ入出力

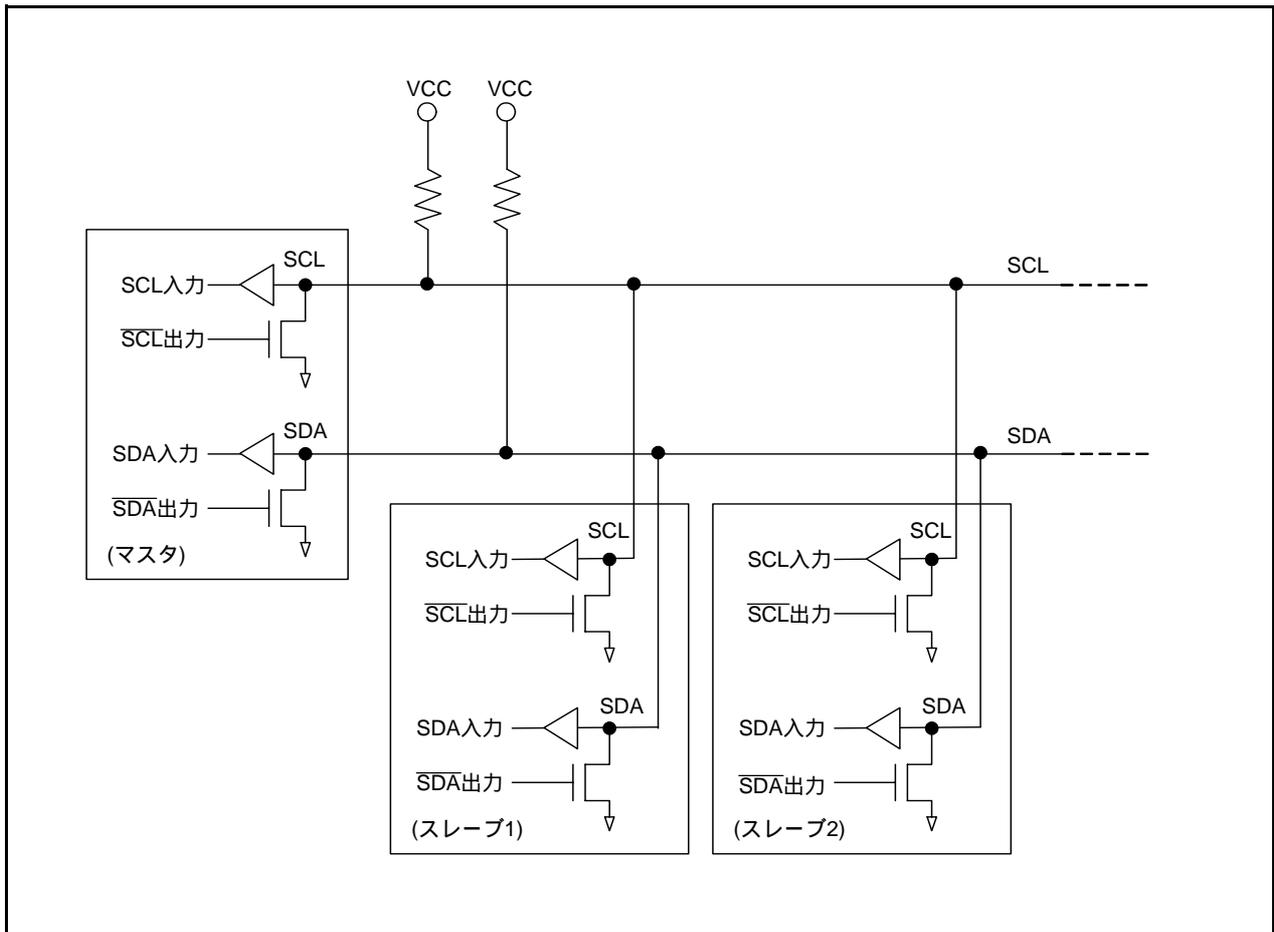


図24.2 SCL、SDA端子の外部回路接続例

## 24.2 レジスタの説明

## 24.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	MSTTRC	-	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

注1. スタンバイにする前に、SSU、I<sup>2</sup>Cバス機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0132h番地)へのアクセスは無効になります。

## 24.2.2 SSU/IIC端子選択レジスタ(SSUICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0: SSU機能を選択 1: I <sup>2</sup> Cバス機能を選択	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	-			

## 24.2.3 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	IOINSEL	I/Oポート入力機能選択ビット	0: I/Oポートの入力機能はPDi (i=0、1、3、4)レジスタに依存PDiレジスタのPDi <sub>j</sub> (j=0~7)ビットが“0” (入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi <sub>j</sub> ビットが“1” (出力モード)のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍選択ビット(注1)	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍選択ビット(注1)	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット	b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I<sup>2</sup>Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方も“0”にしてください。

## IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0、1、3、4)レジスタのPDi<sub>j</sub> (j=0~7)ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表24.3にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表24.3 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi <sub>j</sub> ビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット				
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

## 24.2.4 IICバス送信データレジスタ(ICDRT)

アドレス 0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	送信データを保管。 ICDRSレジスタの空きが検出されると、保管されている送信データがICDRSレジスタへ転送されて、送信が開始します。 ICDRSレジスタからデータを送信中に、ICDRTレジスタに次の送信データを書いておくと、連続して送信できます。 ICMRレジスタのMLSビットが“1 (LSBファーストでデータ転送)”の場合、ICDRTレジスタに書いた後、読み出すとMSBとLSBが反転したデータが読み出されます。	R/W

## 24.2.5 IICバス受信データレジスタ(ICDRR)

アドレス 0196h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	受信データを保管。 ICDRSレジスタが1バイトのデータを受信すると、ICDRRレジスタへ受信データが転送されて、次の受信が可能になります。	R

## 24.2.6 IICバス制御レジスタ1 (ICCR1)

アドレス 0198h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット3~0(注1)	b3 b2 b1 b0	R/W
b1	CKS1		0 0 0 0 : f1/28	R/W
b2	CKS2		0 0 0 1 : f1/40	R/W
b3	CKS3		0 0 1 0 : f1/48 0 0 1 1 : f1/64 0 1 0 0 : f1/80 0 1 0 1 : f1/100 0 1 1 0 : f1/112 0 1 1 1 : f1/128 1 0 0 0 : f1/56 1 0 0 1 : f1/80 1 0 1 0 : f1/96 1 0 1 1 : f1/128 1 1 0 0 : f1/160 1 1 0 1 : f1/200 1 1 1 0 : f1/224 1 1 1 1 : f1/256	R/W
b4	TRS	送信/受信選択ビット(注2、3、6)	b5 b4 0 0 : スレーブ受信モード(注4) 0 1 : スレーブ送信モード 1 0 : マスタ受信モード 1 1 : マスタ送信モード	R/W
b5	MST	マスタ/スレーブ選択ビット(注5、6)		R/W
b6	RCVD	受信禁止ビット	TRS=0の状態ではICDRRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I <sup>2</sup> Cバスインタフェース許可ビット(注7)	0 : 本モジュールは機能停止状態 (SCL、SDA端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL、SDA端子はバス駆動状態)	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表 24.4 ~ 表 24.5 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10T<sub>cyc</sub>、CKS3=1のとき20T<sub>cyc</sub>となります。(1T<sub>cyc</sub>=1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”になります。

注4. I<sup>2</sup>Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注7. I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「24.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。

## 24.2.7 IICバス制御レジスタ2 (ICCR2)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	IICRST	I <sup>2</sup> Cバス制御部リセットビット (注5)	I <sup>2</sup> Cバスの動作中に、通信不具合等によりハングアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I <sup>2</sup> Cバスの制御部をリセットします。	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b3	SCLO	SCLモニタフラグ	0：SCL端子は“L” 1：SCL端子は“H”	R
b4	SDAOP	SDAOライトプロテクトビット	SDAOビットを書き換えるとき、同時に“0”を書いてください。(注1)読んだ場合、その値は“1”。	R/W
b5	SDAO	SDA出力値制御ビット	読んだ場合 0：SDA端子出力が“L” 1：SDA端子出力が“H” 書いた場合(注1、2) 0：SDA端子出力を“L”に変更する。 1：SDA端子出力をハイインピーダンスに変更する(外部プルアップ抵抗によって、“H”出力)。	R/W
b6	SCP	開始/停止条件発行禁止ビット	BBSYビットに書くとき、同時に“0”を書いてください。(注3)読んだ場合、その値は“1”。“1”書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4、5)	読んだ場合 0：バスが開放状態(SCL信号が“H”の状態ですDA信号が“L”から“H”に変化) 1：バスが占有状態(SCL信号が“H”の状態ですDA信号が“H”から“L”に変化) 書いた場合(注3) 0：停止条件を発行 1：開始条件を発行	R/W

注1. SDAOビットを書き換える場合は、同時にSDAOPビットに“0”をMOV命令を使用して書いてください。

注2. 転送動作中に書かないでください。

注3. マスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットに“0”をMOV命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。

注4. クロック同期シリアルフォーマット時は無効です。

注5. I<sup>2</sup>Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはIICRSTビットに“1”を書くと、BBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「24.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。

## 24.2.8 IICバスモードレジスタ(ICMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	WAIT	-	-	BCWP	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ2~0	I <sup>2</sup> Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1、2) b2 b1 b0 000: 9ビット(注3) 001: 2ビット 010: 3ビット 011: 4ビット 100: 5ビット 101: 6ビット 110: 7ビット 111: 8ビット クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 000: 8ビット 001: 1ビット 010: 2ビット 011: 3ビット 100: 4ビット 101: 5ビット 110: 6ビット 111: 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BCWP	BCライトプロテクトビット	BC0~BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4)読んだ場合、その値は“1”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-	予約ビット	“0”にしてください	R/W
b6	WAIT	ウェイト挿入ビット(注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分“L”を延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	R/W

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0~BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に“000b”になります。開始条件検出時、BC2~BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えしないでください。

注5. I<sup>2</sup>Cバスフォーマットのマスタモード時に、設定値が有効です。I<sup>2</sup>Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I<sup>2</sup>Cバスフォーマット時は、“0”にしてください。

## 24.2.9 IICバス割り込み許可レジスタ (ICIER)

アドレス 019Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで“0”を送出 1: 受信モード時、アクノリッジのタイミングで“1”を送出	R/W
b1	ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”	R
b2	ACKE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが“1”の場合、転送中止	R/W
b3	STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2)	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可(注1)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可(注1)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. オーバーランエラー割り込み要求はクロック同期フォーマット時です。

注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

## 24.2.10 IICバスステータスレジスタ (ICSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
リセット後の値	0	0	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、“1”になります	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります(スレーブアドレス検出、ゼネラルコールアドレス検出)	R/W
b2	AL	アービトレーションロストフラグ/オーバランエラーフラグ(注1)	I <sup>2</sup> Cバスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに“1”になります(注3) <ul style="list-style-type: none"> <li>マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき</li> <li>マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”のとき</li> </ul> クロック同期フォーマットの場合、オーバランエラーが発生したことを示します。次のときに“1”になります <ul style="list-style-type: none"> <li>RDRFビットが“1”の状態、次のデータの最終ビットを受信したとき</li> </ul>	R/W
b3	STOP	停止条件検出フラグ(注1、7)	フレームの転送の完了後に停止条件を検出したとき、“1”になります	R/W
b4	NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、“1”になります	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。	R/W
b6	TEND	送信終了フラグ(注1、6)	I <sup>2</sup> Cバスフォーマットの場合、TDREビットが“1”の状態、SCL信号の9クロック目が立ち上がったとき、“1”になります。 クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。	R/W
b7	TDRE	送信データ空フラグ(注1、6)	次のときに“1”になります。 <ul style="list-style-type: none"> <li>ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき</li> <li>ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき</li> <li>開始条件(再送含む)を発行したとき</li> <li>スレーブ受信モードからスレーブ送信モードに変わったとき</li> </ul>	R/W

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。

注2. I<sup>2</sup>Cバスフォーマットのスレーブ受信モードのとき有効です。注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I<sup>2</sup>CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)のとき有効です。

注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。

注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。

ICDRTレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間にNOP命令を3つ以上挿入してください。

注7. I<sup>2</sup>Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはICCR2レジスタのICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとSTOPビットが不定になる場合があります。「24.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。

ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

## 24.2.11 スレーブアドレスレジスタ(SAR)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	フォーマット選択ビット	0 : I <sup>2</sup> Cバスフォーマット 1 : クロック同期式シリアルフォーマット	R/W
b1	SVA0	スレーブアドレス6~0	I <sup>2</sup> Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I <sup>2</sup> Cバスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0~SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

## 24.2.12 IICバスシフトレジスタ(ICDRS)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-

ビット	機能	R/W
b7 ~ b0	データを送受信するシフトレジスタ。 送信時はICRDTレジスタから送信データがICDRSレジスタに転送され、データがSDA端子から送出されます。 受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。	-

## 24.3 複数モードに関わる共通事項

## 24.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表24.4～表24.5に転送レート例を示します。

表24.4 転送レート例(1)

PINSRレジスタ		ICCR1レジスタ				転送 クロック	転送レート
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1=16MHz
0	0	0	0	0	0	f1/28	571kHz
					1	f1/40	400kHz
				1	0	f1/48	333kHz
					1	f1/64	250kHz
			1	0	0	f1/80	200kHz
					1	f1/100	160kHz
				1	0	f1/112	143kHz
					1	f1/128	125kHz
		1	0	0	0	f1/56	286kHz
					1	f1/80	200kHz
				1	0	f1/96	167kHz
					1	f1/128	125kHz
			1	0	0	f1/160	100kHz
					1	f1/200	80.0kHz
				1	0	f1/224	71.4kHz
					1	f1/256	62.5kHz

表24.5 転送レート例(2)

PINSR レジスタ		ICCR1 レジスタ				転送 クロック	転送レート f1=16MHz	
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0			
0	1	0	0	0	0	f1/28	1142kHz	
					1	f1/40	800kHz	
				1	0	f1/48	666kHz	
					1	f1/64	500kHz	
			1	0	0	f1/80	400kHz	
					1	f1/100	320kHz	
				1	0	f1/112	286kHz	
					1	f1/128	250kHz	
		1	0	0	0	0	f1/56	572kHz
						1	f1/80	400kHz
					1	0	f1/96	334kHz
						1	f1/128	250kHz
				1	0	0	f1/160	200kHz
						1	f1/200	160kHz
					1	0	f1/224	143kHz
						1	f1/256	125kHz
1	0	0	0	0	0	f1/28	286kHz	
					1	f1/40	200kHz	
				1	0	f1/48	167kHz	
					1	f1/64	125kHz	
			1	0	0	f1/80	100kHz	
					1	f1/100	80kHz	
				1	0	f1/112	72kHz	
					1	f1/128	63kHz	
		1	0	0	0	0	f1/56	143kHz
						1	f1/80	100kHz
					1	0	f1/96	84kHz
						1	f1/128	63kHz
				1	0	0	f1/160	50kHz
						1	f1/200	40kHz
					1	0	f1/224	36kHz
						1	f1/256	31kHz

### 24.3.2 SDA端子デジタル遅延選択

PINSRレジスタのSDADLY0 ~ SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。  
図24.3にSDA端子のデジタル遅延の動作例を示します。

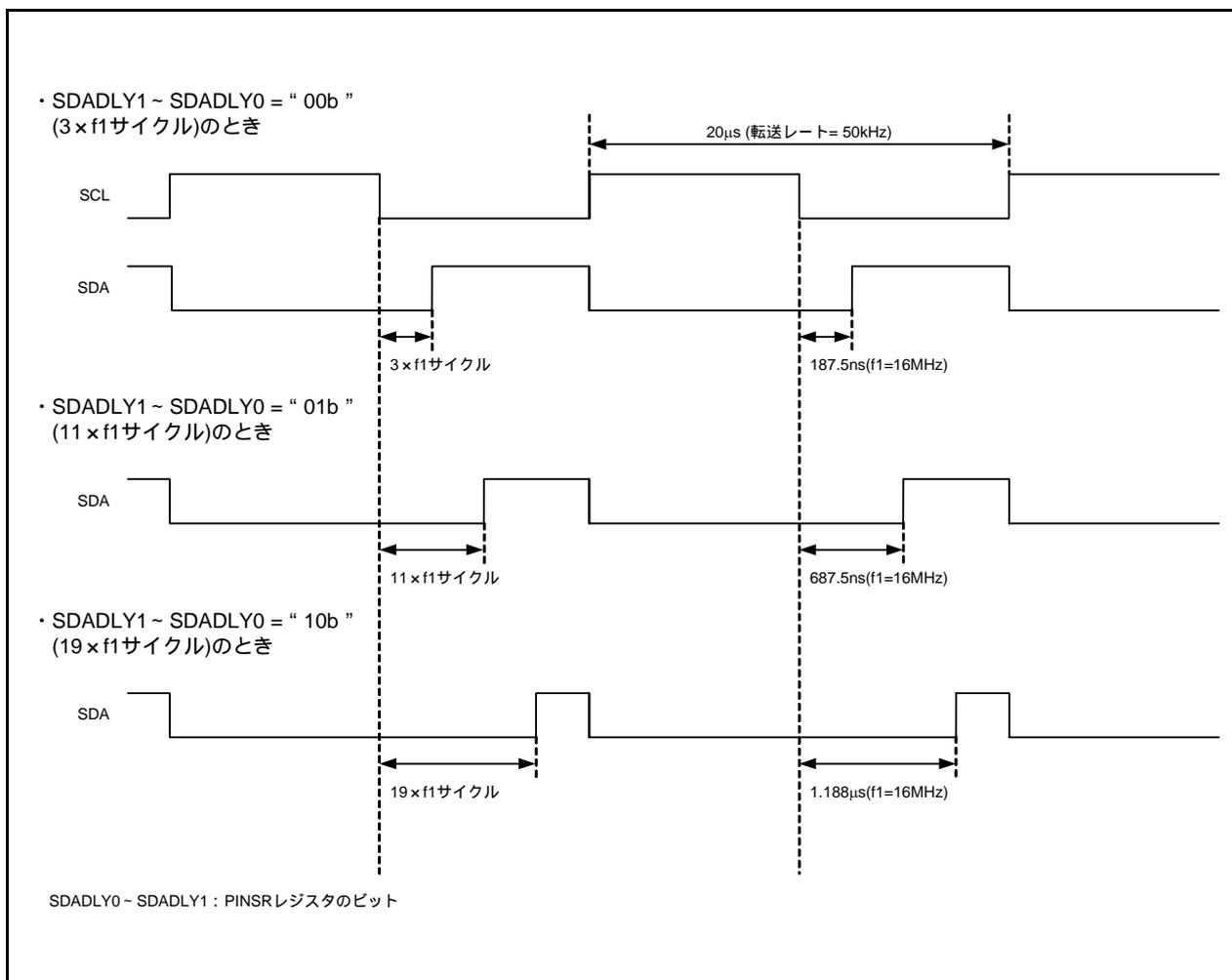


図24.3 SDA端子のデジタル遅延の動作例

### 24.3.3 割り込み要求

I<sup>2</sup>Cバスインタフェースの割り込み要求は、I<sup>2</sup>Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表24.6にI<sup>2</sup>Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI<sup>2</sup>Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表24.6 I<sup>2</sup>Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I <sup>2</sup> Cバス	クロック同期式シリアル
送信データエンpty	TXI	TIE=1かつTDRE=1	有効	有効
送信終了	TEI	TEIE=1かつTEND=1	有効	有効
受信データフル	RXI	RIE=1かつRDRF=1	有効	有効
停止条件検出	STPI	STIE=1かつSTOP=1	有効	無効
NACK検出	NAKI	NAKIE=1かつAL=1 (または NAKIE=1かつNACKF=1)	有効	無効
アビトレーションロスト/ オーバーランエラー			有効	有効

STIE、NAKIE、RIE、TEIE、TIE : ICIEレジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSRレジスタのビット

表24.6の発生条件が満たされたとき、I<sup>2</sup>Cバスインタフェース割り込み要求が発生します。I<sup>2</sup>Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDREビットおよびTENDビットはICDRTレジスタに送信データを書くことで、RDRFビットはICDRRレジスタを読むことで、自動的に“0”になります。特にTDREビットはICDRTレジスタに送信データを書いたとき“0”になり、ICDRTレジスタからICDRSレジスタにデータ転送されたときにTDREビットが“1”になり、さらにTDREビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIEビットを“1”(停止条件検出割り込み要求許可)にするのは、STOPビットが“0”のときにしてください。

## 24.4 I<sup>2</sup>Cバスインタフェースモード

### 24.4.1 I<sup>2</sup>Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I<sup>2</sup>Cバスフォーマットで通信します。

図24.4にI<sup>2</sup>Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

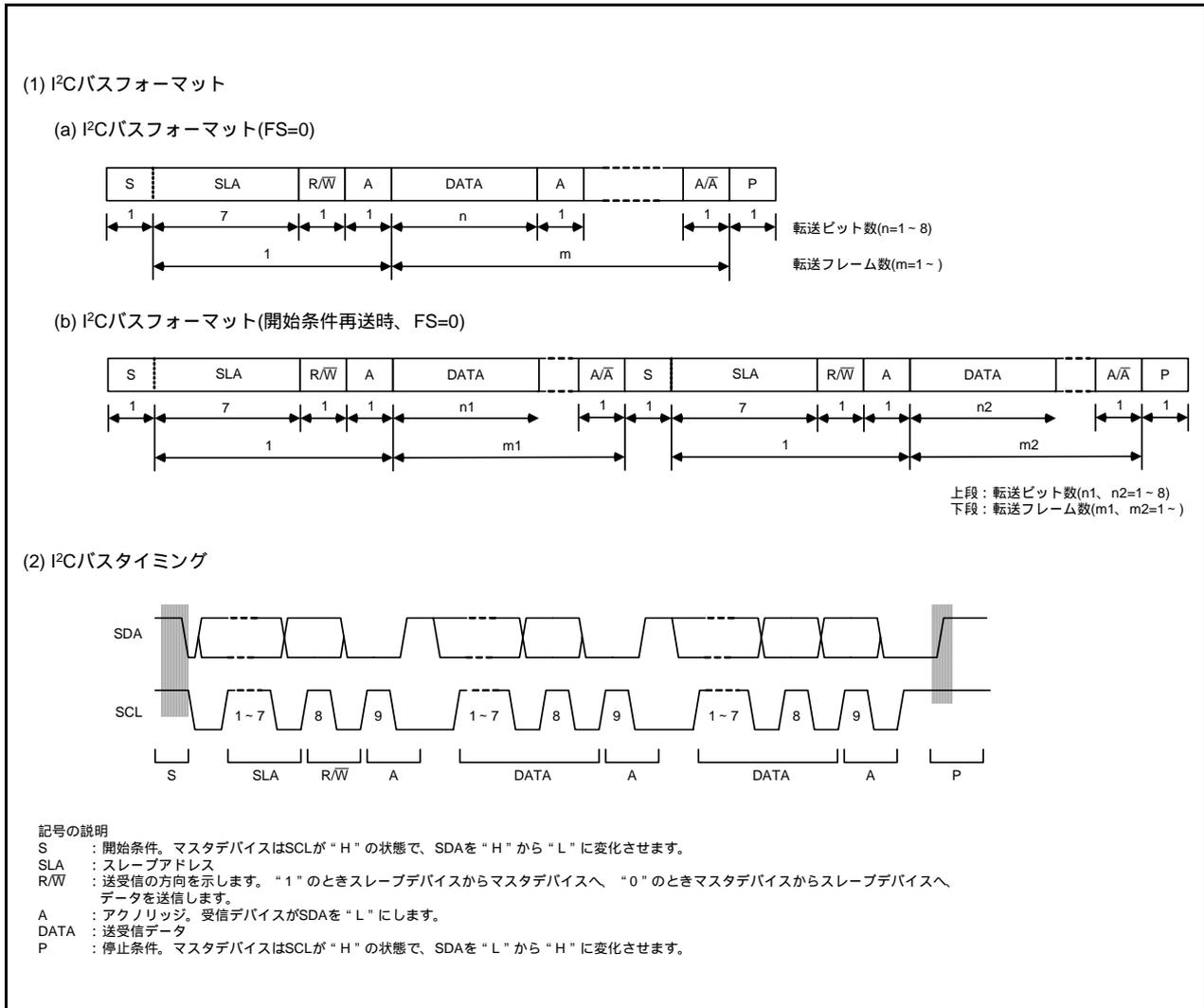


図24.4 I<sup>2</sup>Cバスフォーマットとバスタイミング

### 24.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 24.5 ~ 図 24.6 にマスタ送信モードの動作タイミング (I<sup>2</sup>C バスインタフェースモード) を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSR レジスタの STOP ビットを初期化するために “0” にしてください。その後、ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください(初期設定)。
- (2) ICCR2 レジスタの BBSY ビットを読んで、バスが開放状態であることを確認後、ICCR1 レジスタの TRS、MST ビットをマスタ送信モードに設定してください。その後、BBSY=1 と SCP=0 を MOV 命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSR レジスタの TDRE ビットが “1” であることを確認した後、ICDRT レジスタに送信データ (1バイト目はスレーブアドレスと R/W を示すデータ) を書いてください。このとき TDRE ビットは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE ビットが “1” になります。
- (4) TDRE ビットが “1” の状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで ICSR レジスタの TEND ビットが “1” になります。ICIER レジスタの ACKBR ビットを読んで、スレーブデバイスが選択されたことを確認した後、2 バイト目のデータを ICDRT レジスタに書いてください。ACKBR ビットが “1” のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0 と SCP=0 を MOV 命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまでは SCL が “L” に固定されます。
- (5) 2 バイト目以降の送信データは、TDRE ビットが “1” になるたびに、ICDRT レジスタにデータを書いてください。
- (6) 送信するバイト数を ICDRT レジスタに書いたとき、その後は TDRE ビットが “1” の状態で TEND ビットが “1” になるまで待ってください。または、ICIER レジスタの ACKE ビットが “1” (受信アクノリッジが “1” の場合、転送中止) の状態で、受信デバイスからの NACK (ICSR レジスタの NACKF=1) を待ってください。その後、停止条件を発行して TEND ビット、あるいは NACKF ビットを “0” にしてください。
- (7) ICSR レジスタの STOP ビットが “1” になったとき、スレーブ受信モードに戻してください。

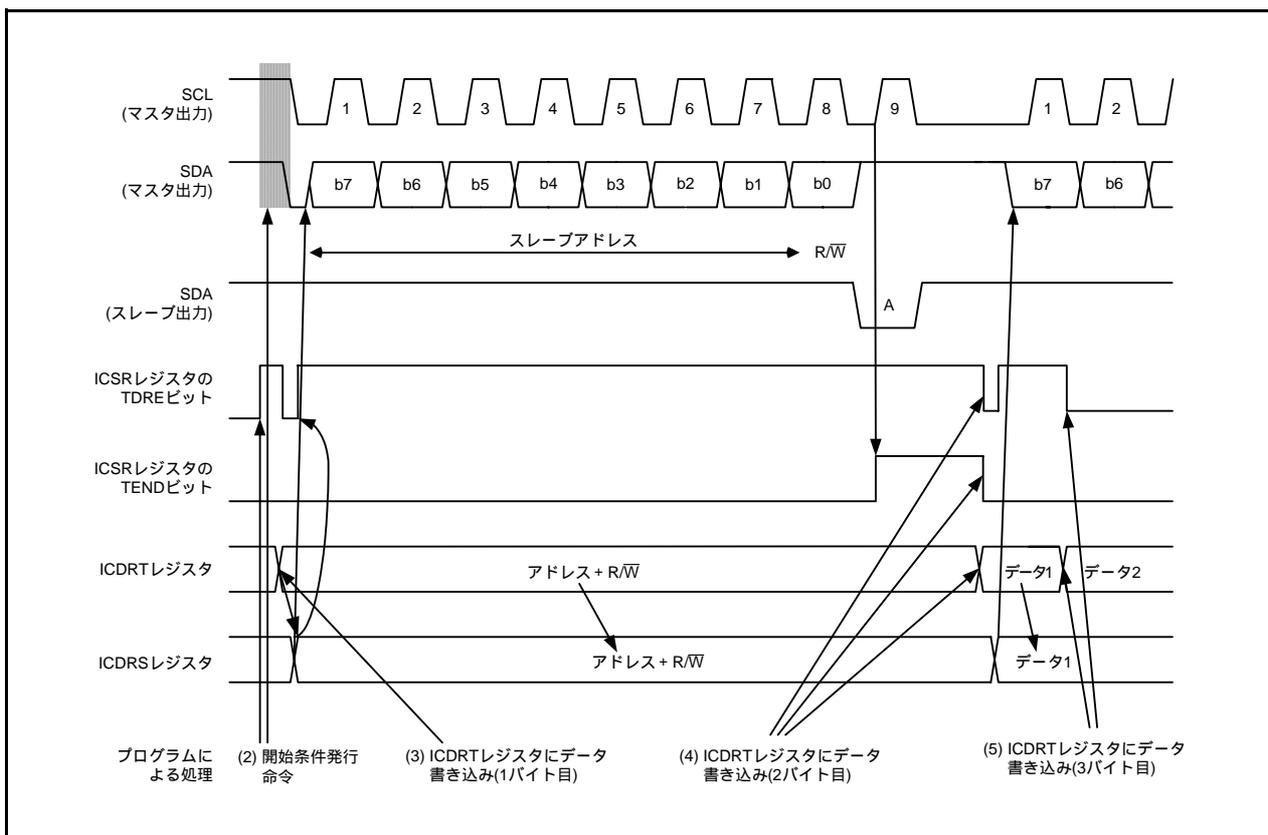


図24.5 マスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

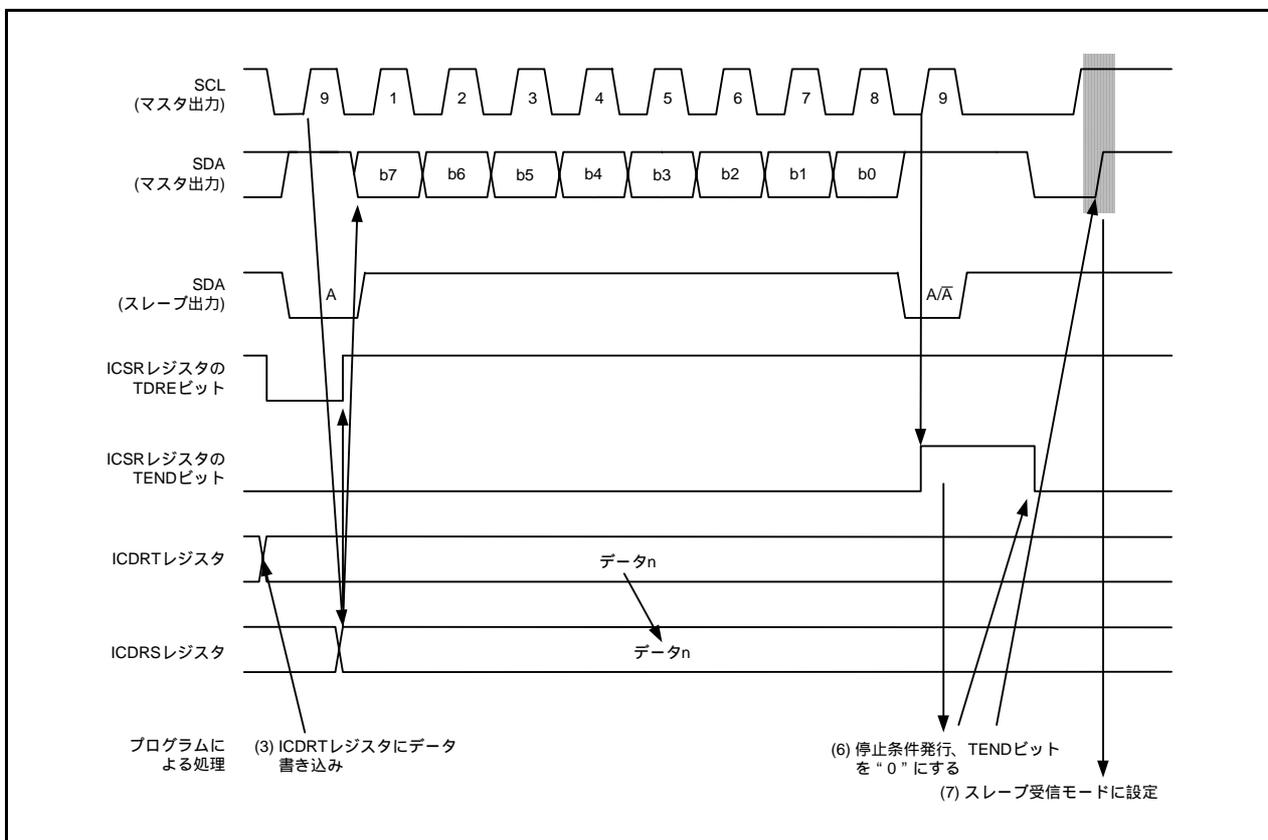


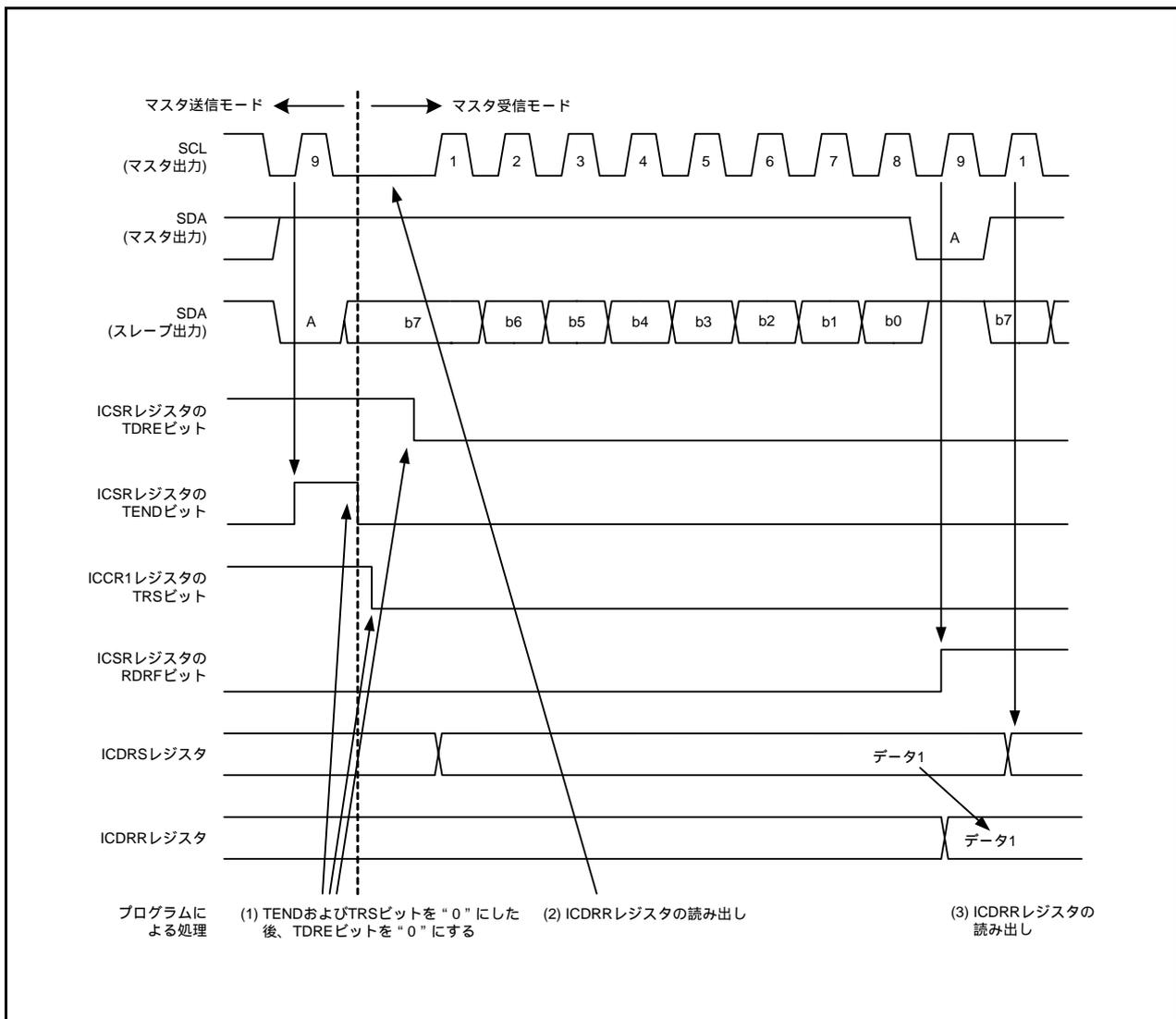
図24.6 マスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

### 24.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図24.7～図24.8にマスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
- (2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
- (4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。なお、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がり重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。「24.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0”(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

図24.7 マスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

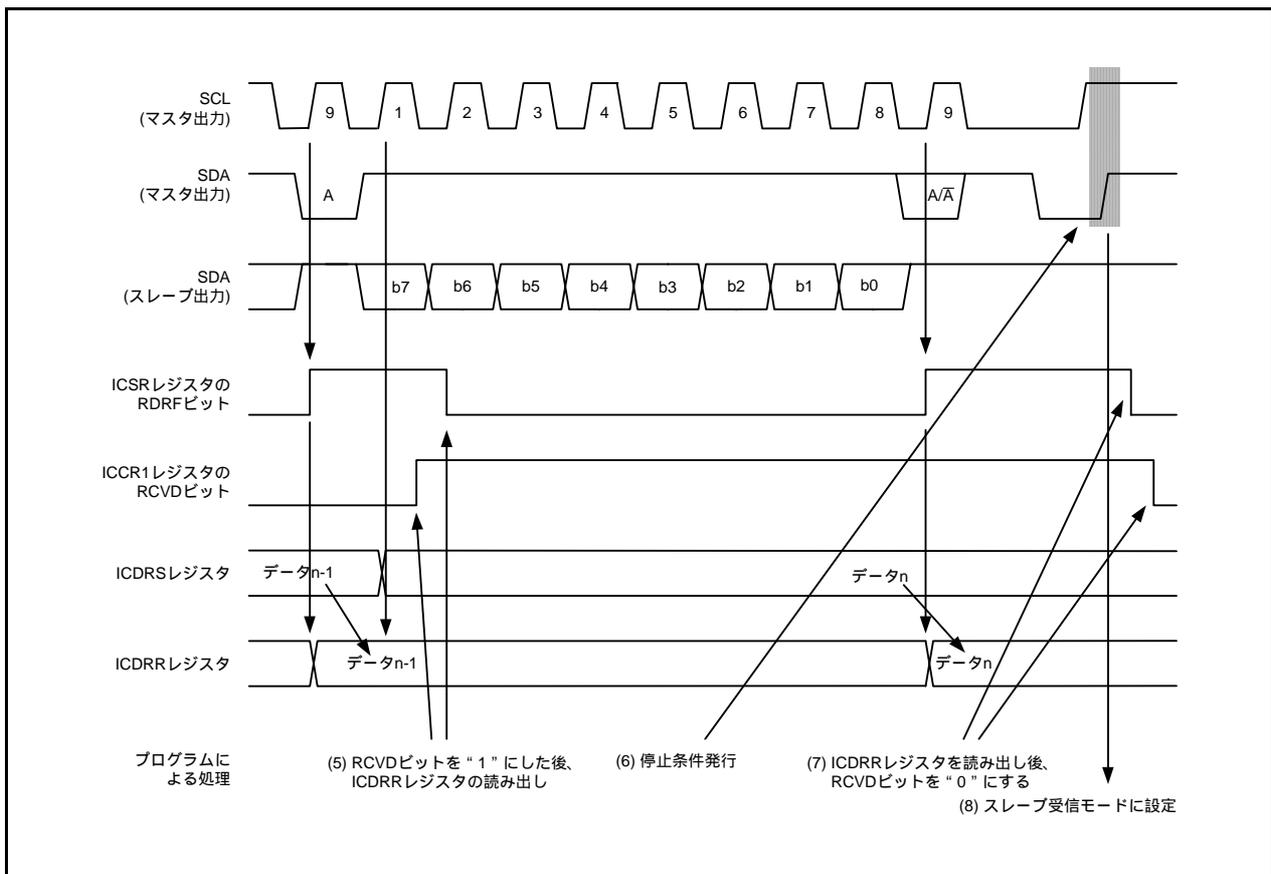


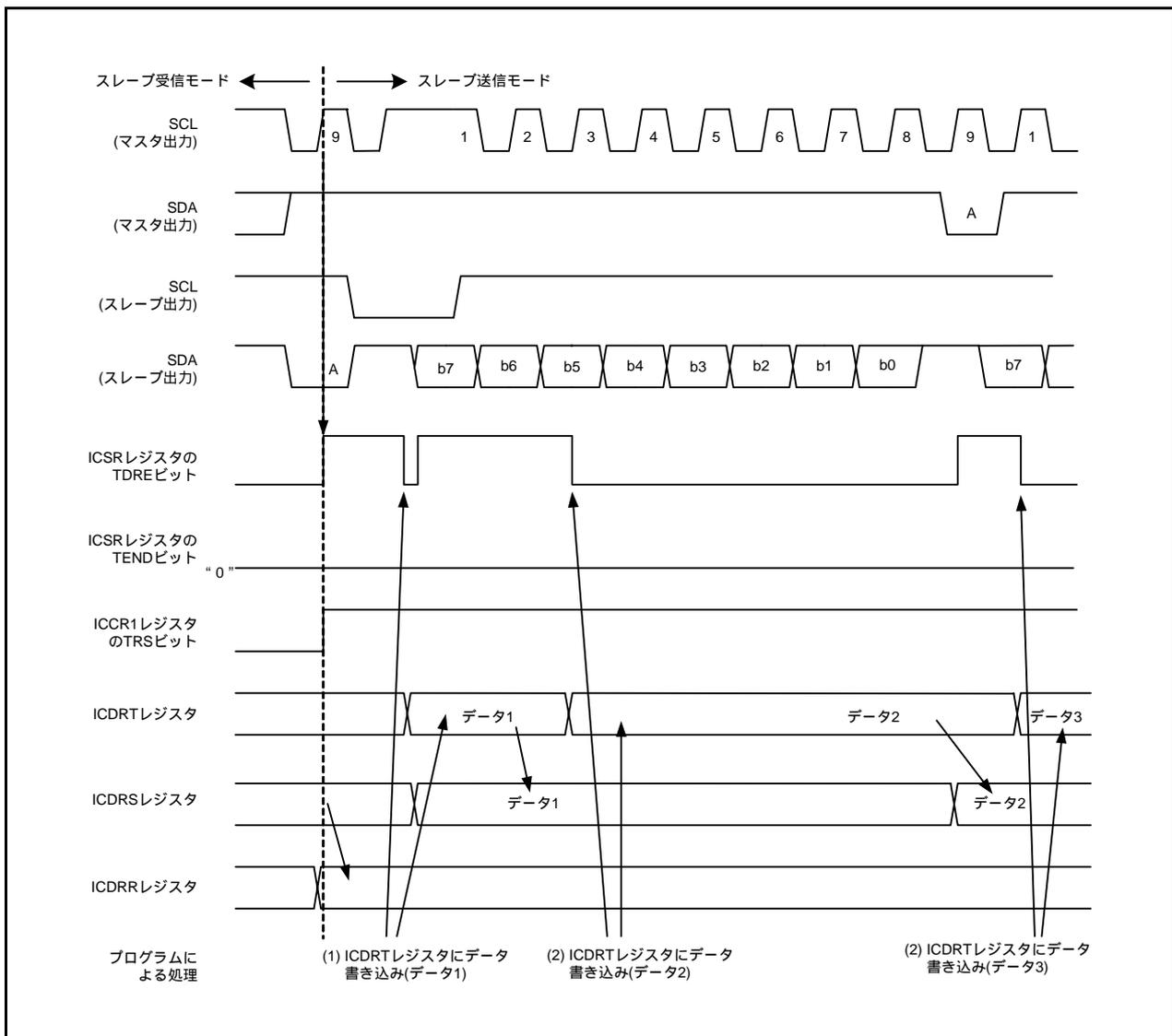
図24.8 マスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

#### 24.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアキュリッジを返します。図24.9～図24.10にスレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。このとき、8ビット目のデータ(R/W)が“1”のとき、TRSビットおよびICSRレジスタのTDREビットが“1”になり、自動的にスレーブ送信モードに切り替わります。TDREビットが“1”になるたびにICDRTレジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRTレジスタに書いた後にTDREビットが“1”になったとき、TDREビットが“1”の状態(ICSRレジスタのTENDビットが“1”)になるまで待ってください。TENDビットが“1”になったら、TENDビットを“0”にしてください。
- (4) 終了処理のためTRSビットを“0”にし、ICDRRレジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDREビットを“0”にしてください。

図24.9 スレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

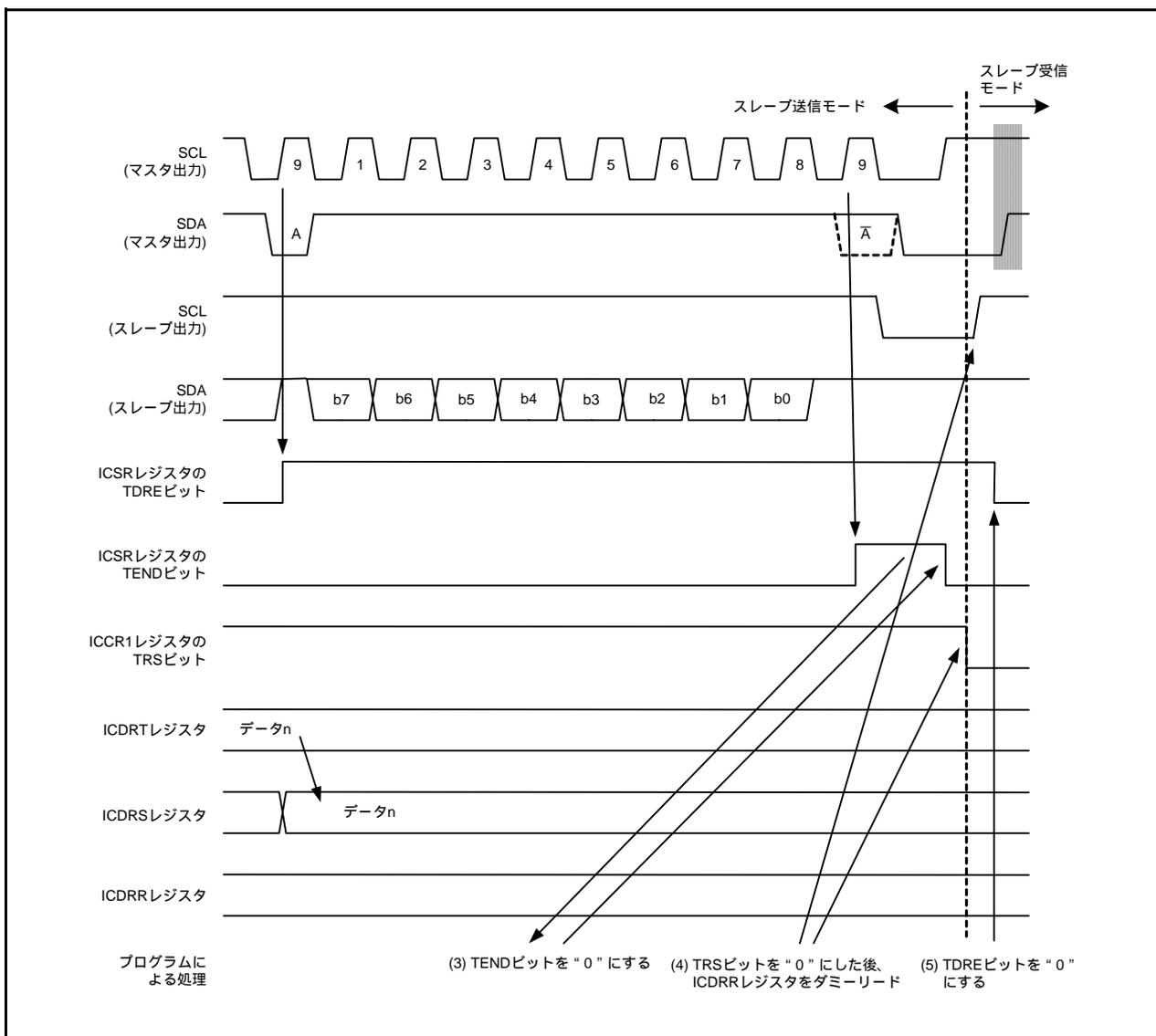


図24.10 スレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

#### 24.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出し、スレーブデバイスがアクノリッジを返します。図24.11～図24.12にスレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。同時にICSRレジスタのRDRFビットが“1”になりますので、ICDRRレジスタをダミーリード(読み出したデータはスレーブアドレス+R/Wを示すので不要)してください。
- (3) RDRFビットが“1”になるたびに、ICDRRレジスタを読んでください。RDRFビットが“1”の状態では8クロック目が立ち下がると、ICDRRレジスタを読むまでSCLが“L”に固定されず。ICDRRレジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されず。
- (4) 最終バイトの読み出しも、同様にICDRRレジスタを読むことを行います。

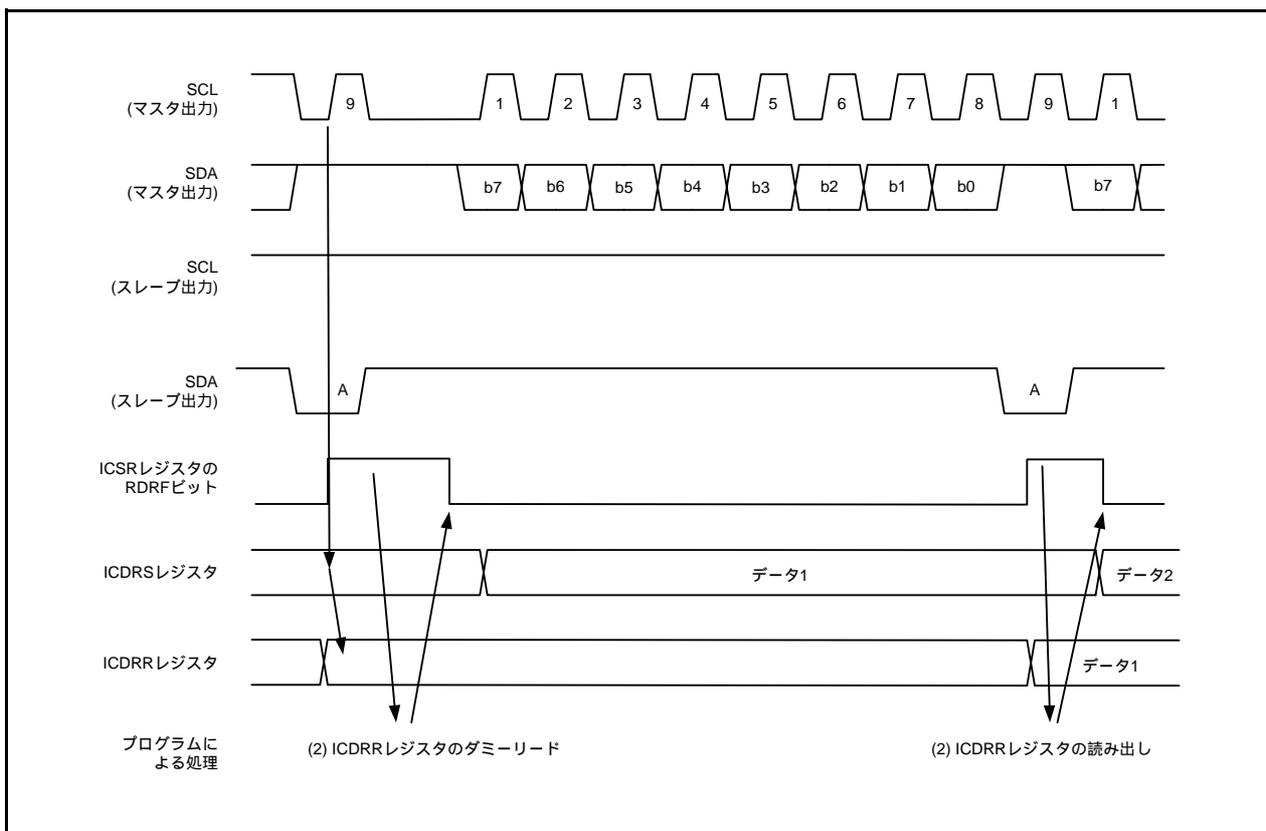


図24.11 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

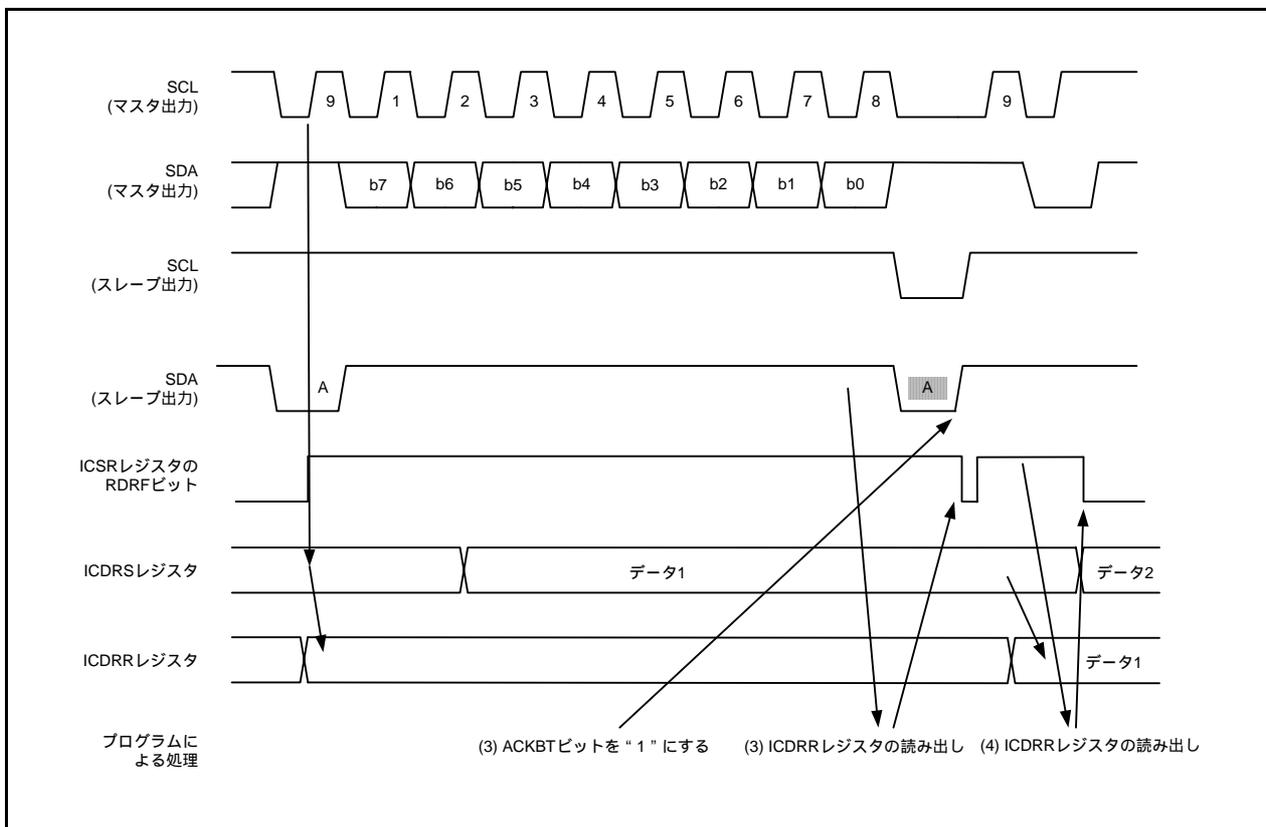


図24.12 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

## 24.5 クロック同期式シリアルモード

### 24.5.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。図24.13にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”のときSCLから転送クロック出力となり、MSTビットが“0”のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

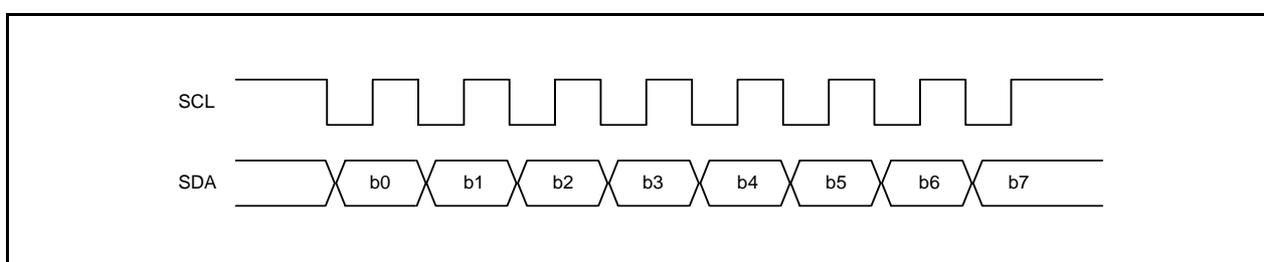


図24.13 クロック同期式シリアルフォーマットの転送フォーマット

### 24.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データをSDAから出力します。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。図24.14に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1” (転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) ICCR1レジスタのTRSビットを“1”にして送信モードにしてください。これにより、ICSRレジスタのTDREビットが“1”になります。
- (3) TDREビットが“1”であることを確認した後、ICDRTレジスタに送信データを書き込んでください。これによりICDRTレジスタからICDRSレジスタにデータが転送され、自動的にTDREビットが“1”になります。TDREビットが“1”になるたびにICDRTレジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDREビットが“1”の状態ではTRSビットを“0”にしてください。

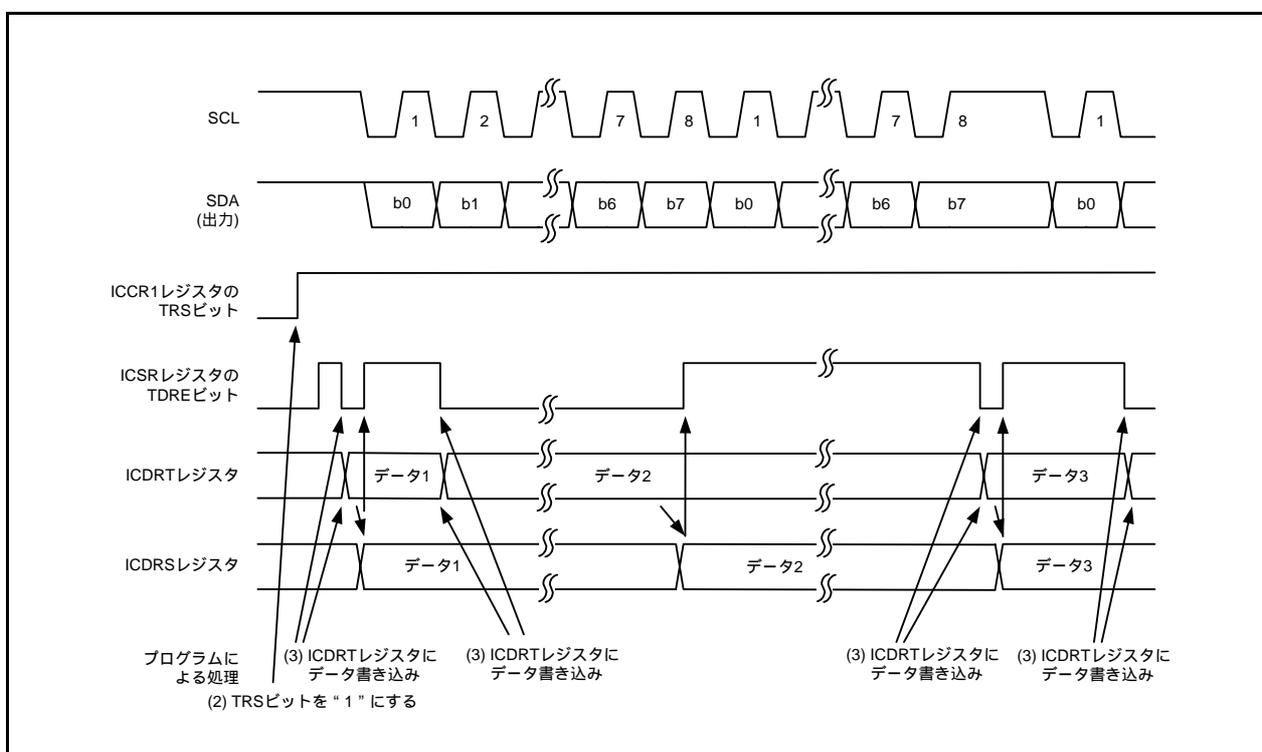


図24.14 送信モードの動作タイミング(クロック同期式シリアルモード)

### 24.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。

図24.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1” (転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態で8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1” (次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

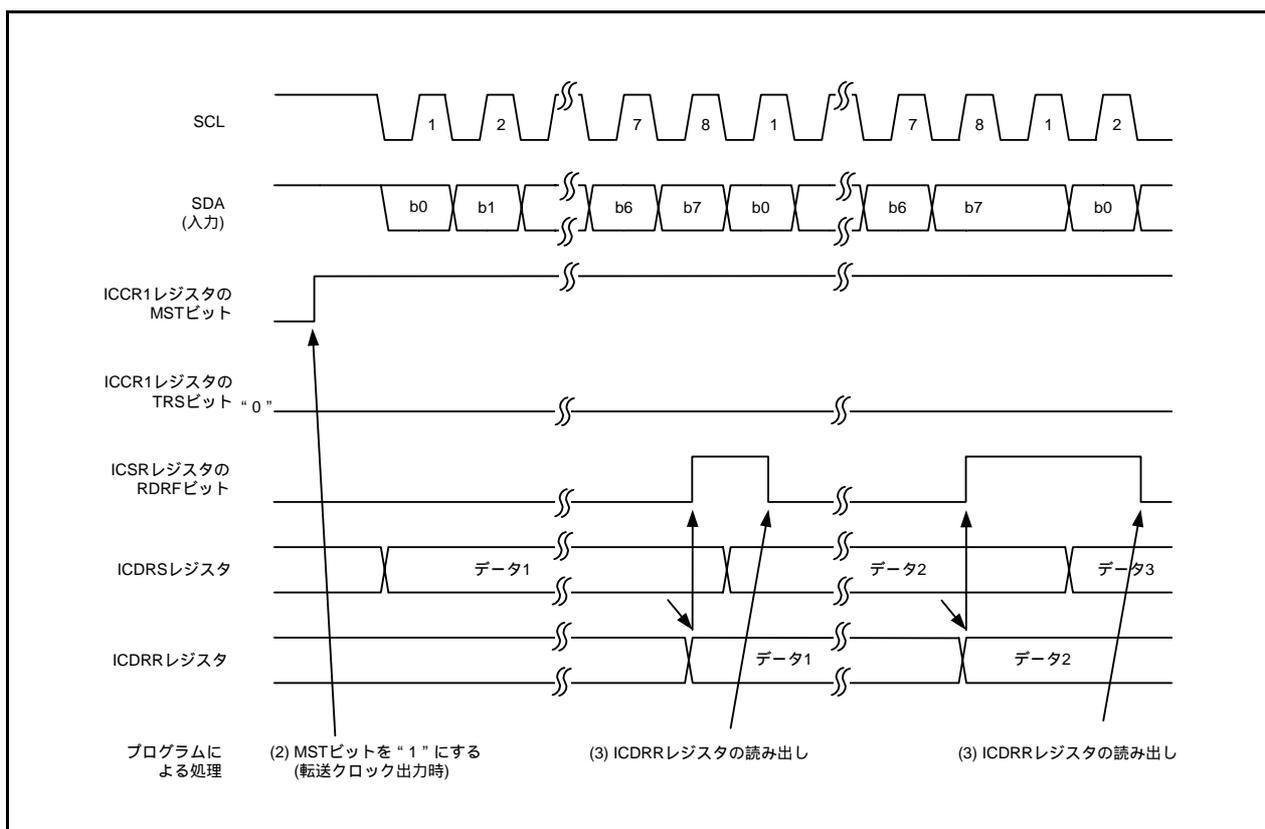


図24.15 受信モードの動作タイミング(クロック同期式シリアルモード)

### 24.6 レジスタ設定例

I<sup>2</sup>Cバスインタフェースを使用する場合のレジスタ設定例を図24.16～図24.19に示します。

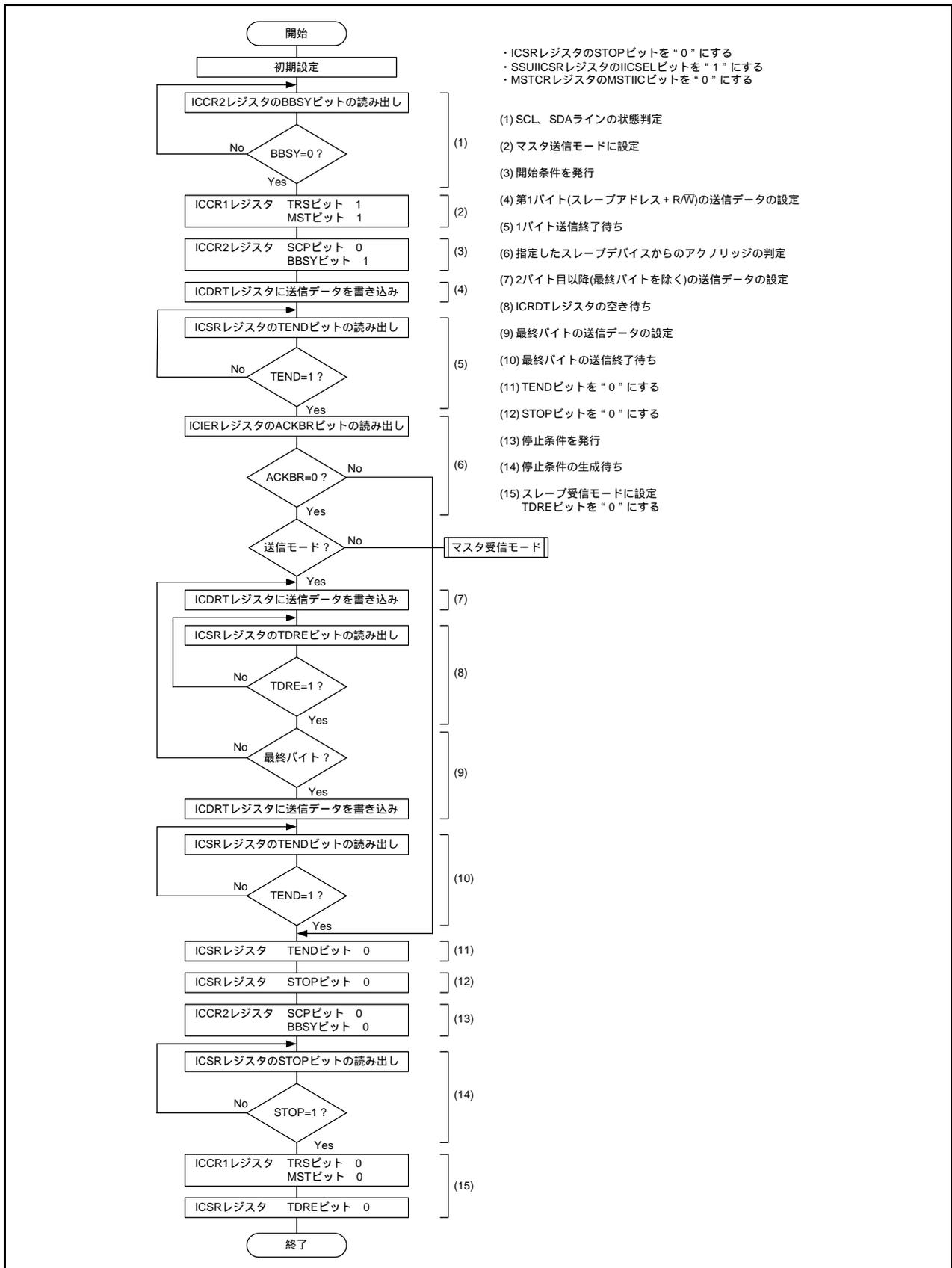


図24.16 マスタ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

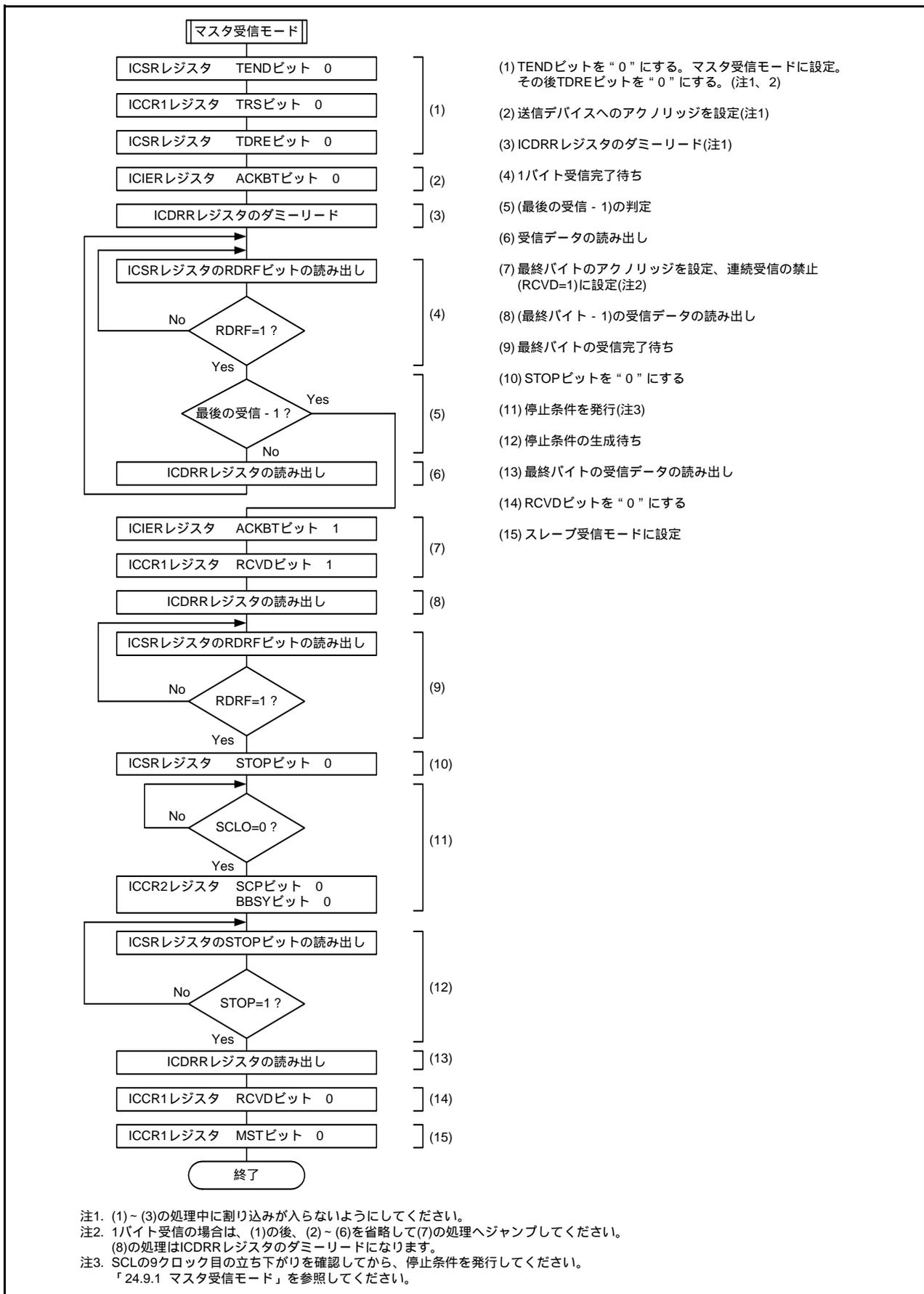


図24.17 マスタ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

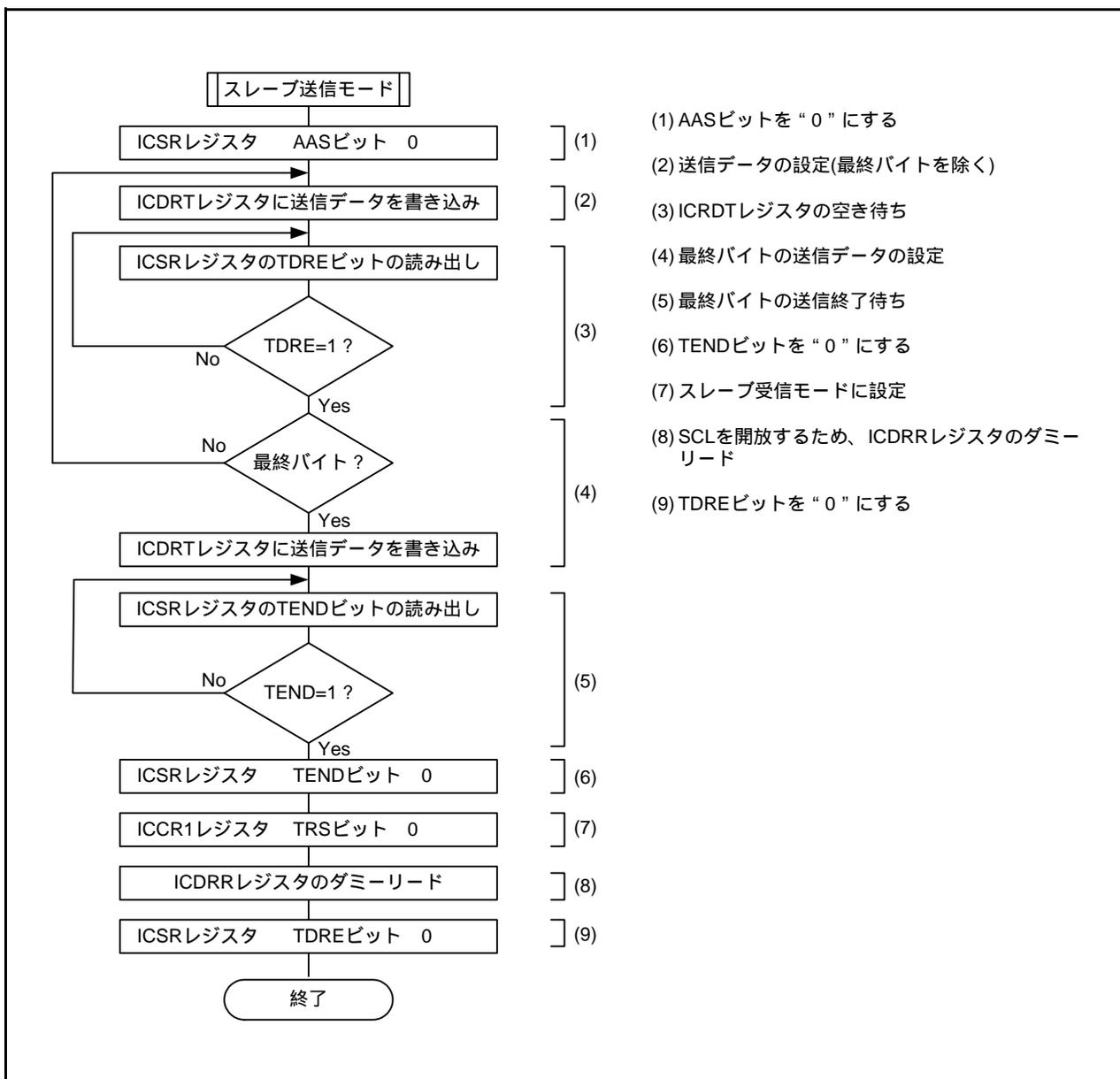


図24.18 スレーブ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

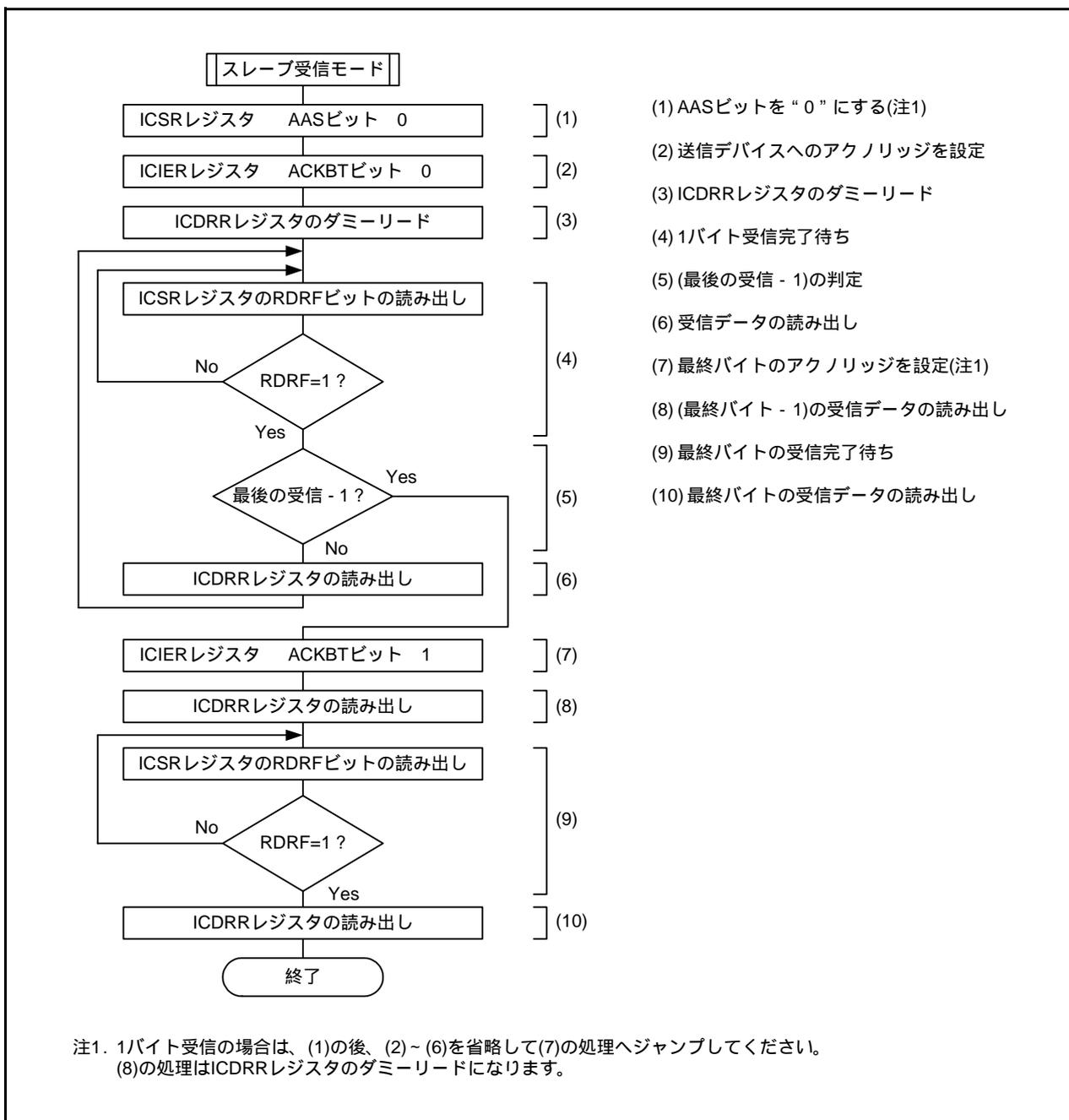


図24.19 スレーブ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

## 24.7 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図24.20にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)が $f_1$ でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

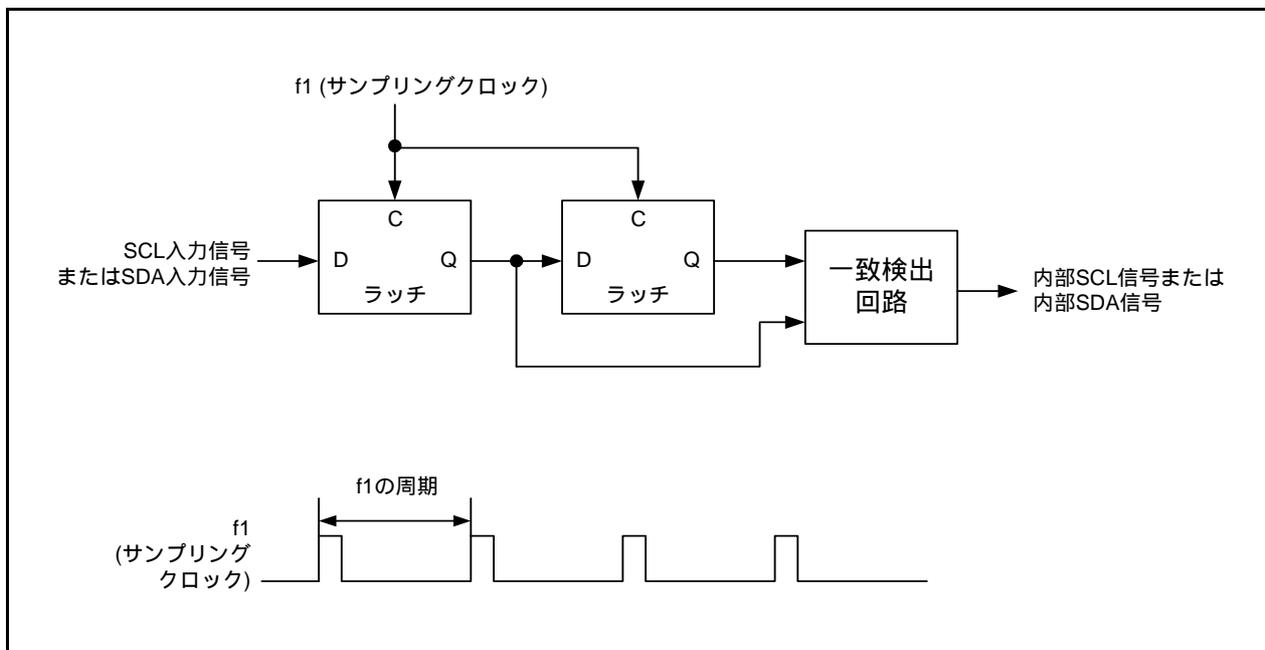


図24.20 ノイズ除去回路のブロック図

## 24.8 ビット同期回路

I<sup>2</sup>Cバスインタフェースをマスターモードに設定時、

- スレーブデバイスによりSCLが“L”に保持された場合
  - SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合
- の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図24.21にビット同期回路のタイミングを、表24.7にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

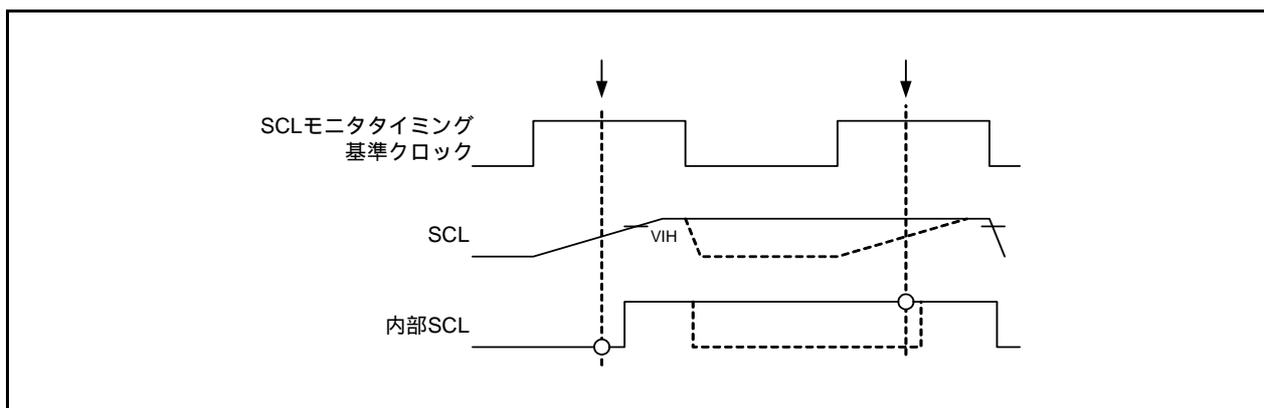


図24.21 ビット同期回路のタイミング

表24.7 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

ICCR1レジスタ		SCLをモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc=1/f1(s)

## 24.9 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、SSUICSRレジスタのIICSELビットを“1”(I<sup>2</sup>Cバスインタフェース機能を選択)にしてください。

### 24.9.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がり重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

#### 24.9.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

### 24.9.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

#### 24.9.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

#### 24.9.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

### 24.9.2.3 IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRSTビットに“1”を書くと、ICSRレジスタのTDREビットは“1”になります。
- IICRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。  
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

## 25. ベースバンド機能

本章の内容はルネサス製RFドライバのAPI(Application Program Interface)によってサポートされていますので、ルネサス製RFドライバを使用いただく上では、本章の設定は不要です。

### 25.1 ベースバンド機能説明

以下に示すベースバンド機能をハードウェアで内蔵しています。

- (1) 26ビットタイマ
- (2) 送信RAM
- (3) 受信RAM
- (4) 送信フレーム生成機能
- (5) フィルタ機能
- (6) 割り込み
- (7) CRC演算回路
- (8) 自動ACK返信機能
- (9) 自動ACK受信機能
- (10) 自動受信切り替え機能
- (11) ANTSW出力切り替え機能
- (12) 自動CSMA-CA機能
- (13) 状態遷移
- (14) ベースバンド関連レジスタ
- (15) 制御シーケンス
- (16) 自動送受信動作例

## 25.1.1 ベースバンドブロック図

図25.1にベースバンドブロック図を示します。

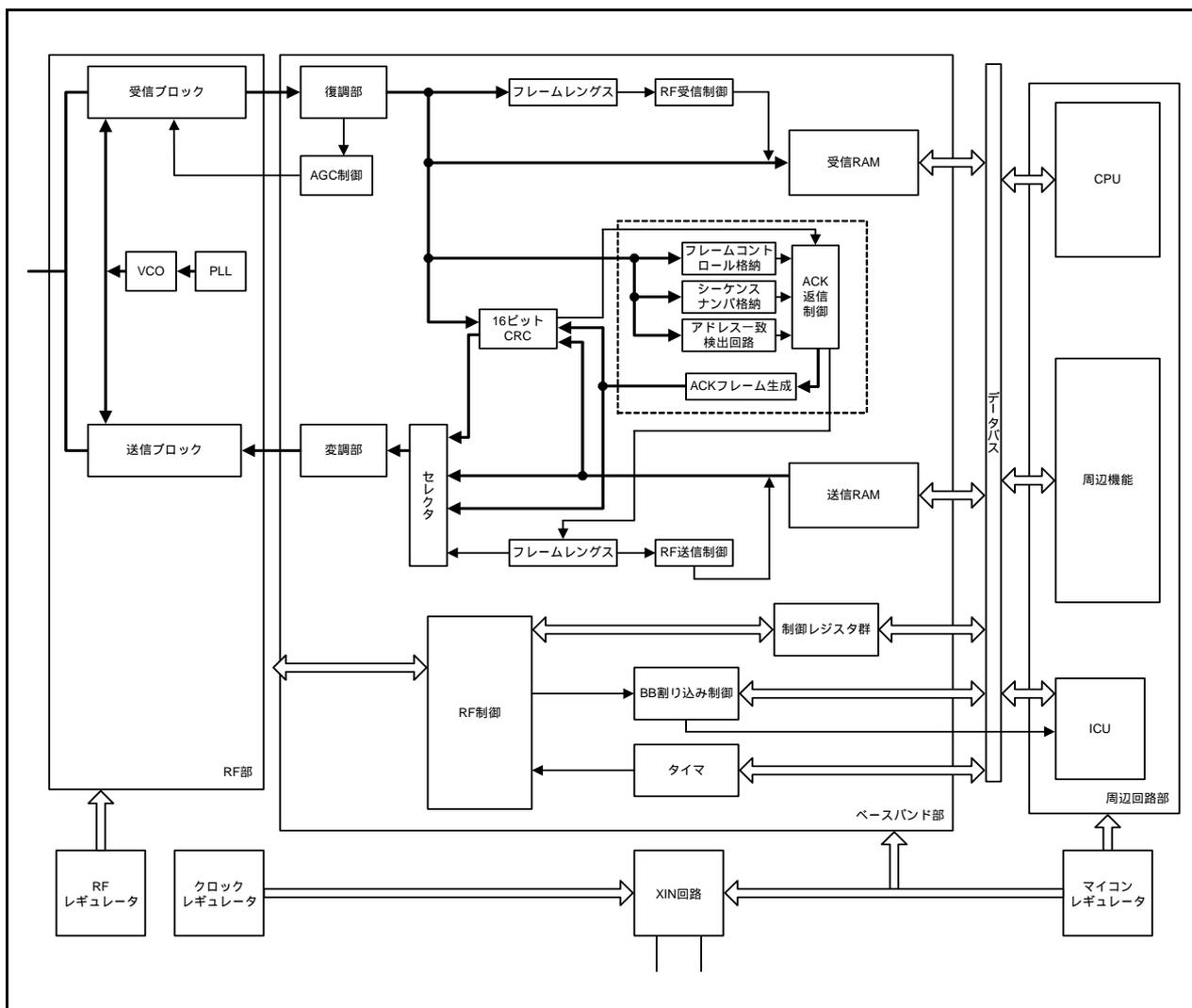


図25.1 ベースバンドブロック図

## 25.1.2 ベースバンド用語説明

文中の用語について以下に示します。

- IDLE状態：RF部内部に供給されるRFレギュレータが安定に立ち上がった状態です。
- RFレギュレータ：RF部専用の内蔵レギュレータを示します。
- クロックレギュレータ：基準16MHzCLKの安定のためにXIN回路専用に内蔵しているレギュレータです。クロックレギュレータの電源はVCCRF端子から入力されます。

### 25.1.3 26ビットタイマ

26ビットタイマはタイマコンペア機能を3本内蔵しています。タイマ値とタイマコンペア $i$  ( $i=0 \sim 2$ ) 値が一致した時点でBBタイマコンペア $i$  ( $i=0 \sim 2$ ) 割り込みを発生させることができます。

プリスケラによりカウントソース16MHzを256分周したクロックがタイマに入力されます。

図25.2に26ビットタイマの構成を示します。

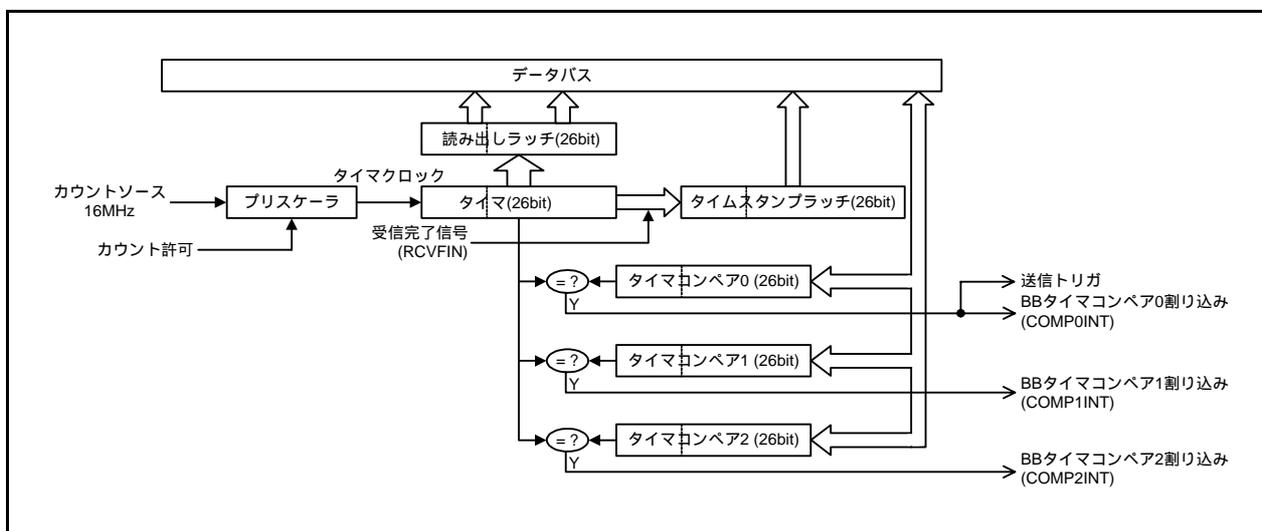


図25.2 26ビットタイマの構成

#### 25.1.3.1 BBタイマコンペア $i$ 割り込み

タイマ値とタイマコンペア $i$ 値が一致した時点でBBタイマコンペア $i$ 割り込みが発生します。

また、タイマコンペア0については、送信開始信号としても機能します。

送信開始信号発生より144 $\mu$ s後、自動的に送信を開始します。

#### 25.1.3.2 タイムスタンプ

フレーム受信完了時点のタイマ値をBBTSTAMP0、BBTSTAMP1レジスタに格納します。

BBTSTAMP0、BBTSTAMP1レジスタは次のフレーム受信完了時点まで保持されます。

#### 25.1.3.3 タイマ値読み出し

タイマ値はBBTIMEREAD0、BBTIMEREAD1レジスタから読み出せます。読み出す際は、BBTIMEREAD0レジスタ(下位バイト)から読み出してください。

BBTIMEREAD0レジスタの7~0、15~8ビットのどちらか一方(または両方とも)読み出した時点で全ビットのカウント値がラッチされます。また、BBTIMEREAD1レジスタ(最上位バイト)の25、24ビットを読み出した時点でラッチされたカウント値は破棄されます。

BBTIMEREAD1レジスタを先に読み出した場合、BBTIMEREAD0レジスタはラッチされませんのでご注意ください。

なお、BBTIMEREAD0レジスタ読み出し後、BBTIMEREAD1レジスタを読み出さずに再度BBTIMEREAD0レジスタを読み出しても値は更新されず、以前に読み出した値が読み出されます。

#### 25.1.4 送信RAM

ベースバンドブロック専用送信RAMを127バイト内蔵しています。

アドレスは2E00h ~ 2E7Ehです。

送信RAMデータ1バイトごとに先頭番地からフレームを送信します。

送信RAMデータが127バイトに満たない場合も次のフレーム送信は必ず先頭番地から開始しますので、送信RAMデータは先頭番地から書き込んでください。

また、送信を開始し内部送信カウンタの値が書き込みアドレス以上になると送信オーバーラン割り込み要求が発生し、同時に送信処理をキャンセルします。

送信RAMに書いたデータを読み出すことができます。

#### 25.1.5 受信RAM

ベースバンドブロック専用受信RAMを127×2バイト(バンク0、1)内蔵しています。

アドレスは2E80h ~ 2EFEhで、読み出し専用です。

ベースバンド機能有効後は、受信RAMのバンク0からフレームの格納を開始し、受信するごとにバンク0、1へ交互に格納します。また、フレーム受信完了ごとに対応するバンクの受信完了割り込み要求が発生します。受信RAMを読み出す場合、BBTXRXMODE3レジスタのRCVBANKSELビットに設定されたバンクの受信RAMデータが読み出されます。

受信したフレームを1バイトごとに受信RAMの先頭番地から格納します。

受信したフレームが127バイトに満たない場合も次のフレーム受信の開始で受信RAM先頭番地から格納します。

また受信中に受信RAMのデータを読み出すことが可能です。その際はBBRXCOUNTレジスタの値を読み出すことで現在受信中のデータ番地を確認することができます。

BBTXRXMODE3レジスタのADRSFILENビットやLVLFILENビットにより取り込むフレームのフィルタ有無を設定することができます。詳細は「25.1.7 フィルタ機能」の項を参照ください。

また、BBTXRXST0レジスタのRCVBANK0、RCVBANK1ビットにより、受信RAMのデータ受け渡しの際のフラグとして利用できます。受信開始で自動的に“1”(受信データあり)にセットされます。プログラムで受信データを読み出し完了後、“0”(受信許可)にクリアします。“1”(受信データあり)にセットされたままの状態、再度フレーム受信を開始すると受信オーバーラン割り込みが発生します。

なお、最後に受信完了したフレームがバンク0かバンク1かはBBTXRXST0レジスタのRCVBANKSTビットにより確認できます。

### 25.1.6 送信フレーム生成機能

送信フレームを自動的に生成し出力します。

図25.3に送信フレーム構成を示します。

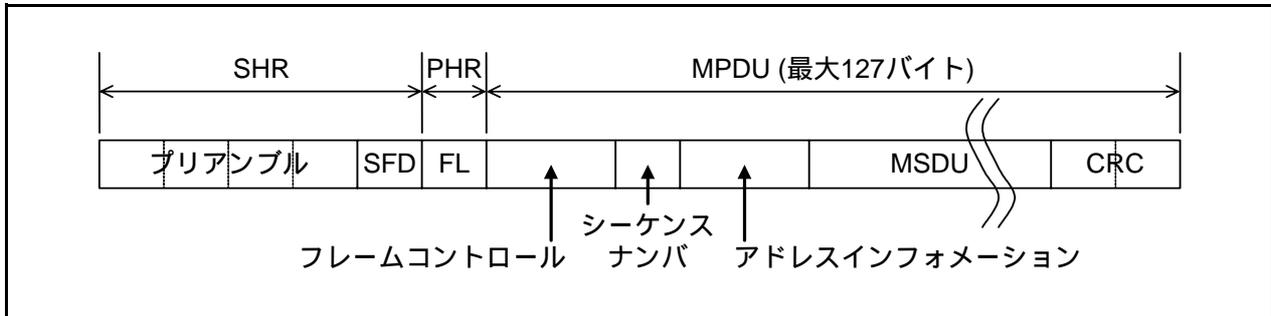


図25.3 送信フレーム構成

SHR : Synchronization Header

PHR : PHY Header

MPDU : MAC Protocol Data Unit

SFD : Start of frame Delimiter

FL : Frame Length

MSDU : MAC Service Data Unit

CRC : Cyclic Redundancy Check

- (1) プリアンブル : 4バイト(8シンボル)、“00000000h”
- (2) SFD : 1バイト(2シンボル)、“A7h”
- (3) FL : 1バイト(2シンボル)、MPDUの長さ、BBTXFLENレジスタに書かれた値
- (4) MPDU : 最大127バイトのデータ。送信RAMに書かれたデータを順次出力します。  
 なお、最後の2バイトはBBTXRXMODE2レジスタのNOCRCビットが“0”(自動CRC有効)の場合、CRC演算回路にて生成されたCRCデータが自動的に付加されます。
  - フレームコントロール : 2バイト(4シンボル)
    - フレームタイプ(ビット2~0)
      - 000b : ビーコンフレーム、001b : データフレーム、010b : ACKフレーム、011b : MACコマンドフレーム、100b-111b : 予約
    - セキュリティ有無(ビット3)、送信ペンディングビット(ビット4)
    - ACK要求(ビット5)、PAN内送信(ビット6)
    - 送信元アドレスモード(ビット10、11)、送信先アドレスモード(ビット14、15)
  - シーケンスナンバ : 1バイト(2シンボル)
  - アドレスインフォメーション : 送信先、送信元のPANIDとアドレス
  - MSDU (MACペイロード) : フレームペイロード
  - CRC : フレームCRC検査列

## 25.1.7 フィルタ機能

### 25.1.7.1 アドレスフィルタ

BBTXRXMODE3 レジスタの ADRSFILEN ビットにより取り込むフレームのアドレスフィルタ有無を設定することができます。

アドレスフィルタを有効にした状態では下記に示すアドレスフィルタ条件以外のフレームは受信 RAM に格納しません。また、バンク 0、1 受信完了割り込み要求も発生しません。

アドレスフィルタを無効にした状態では全ての受信フレームを取り込みます。また、全てのフレーム受信完了時にバンク 0、1 受信完了割り込み要求を発生します。

### 25.1.7.2 アドレスフィルタ条件

送信先 PAN 識別子がフレームに含まれている場合、BBPANID レジスタまたは FFFFh と一致。

送信先ショートアドレスがフレームに含まれている場合、BBSHORTAD レジスタまたは FFFFh と一致。また、送信先拡張アドレスがフレームに含まれている場合、BBENXTENDAD0 ~ BBENXTENDAD3 レジスタと一致。

フレームタイプがビーコンフレームで、BBPANID レジスタが FFFFh でない場合、送信元 PAN 識別子が BBPANID レジスタと一致。BBPANID レジスタが FFFFh の場合は、すべての受信フレームを取り込みます。

フレームタイプがデータフレームまたは MAC コマンドフレームで、送信元アドレッシングフィールドだけを含んでいる場合、BBTXRXMODE3 レジスタの PANCORD ビットが“ 1 ”(PAN コーディネータである)で送信元 PAN 識別子が BBPANID レジスタと一致。

また、送信元、送信先ともにアドレッシングフィールド、PAN 識別子フィールドがないときは ACK フレームのみ受信できます (ACK フレームであるにはフレームタイプ=ACK、暗号化ビット=0、受信フレームレングス=05h)。ただしアドレスフィルタ有効時は、ACK 要求付きフレーム送信後、54 シンボル期間のみ ACK フレームを受信できます。この期間以外の ACK フレーム受信時は、データを破棄し、再度受信待ちになります。

### 25.1.7.3 受信レベルフィルタ

BBTXRXMODE3 レジスタの LVLFILEN ビットにより取り込むフレームのフィルタ有無を設定することができます。

受信レベルフィルタを有効にした状態では、BBLVLVTH レジスタに設定した受信レベル以上のフレームのみ受信できます。

受信レベルスレッシュホールド設定レジスタまたは CCA レベルスレッシュホールド設定レジスタに設定された値は、RSSI/CCA 結果レジスタへ格納される (RSSI オフセットレジスタに設定したオフセット値が加算された) 値と比較されます。

## 25.1.8 割り込み

ベースバンドブロックからの割り込み信号を表25.1に示します。

表25.1 ベースバンド割り込み一覧

割り込み番号	割り込み名	割り込み発生条件
31	BBタイマコンペア0	タイマ値とタイマコンペア0の値が一致したとき割り込み要求発生
28	BBタイマコンペア1	タイマ値とタイマコンペア1の値が一致したとき割り込み要求発生
2	BBタイマコンペア2	タイマ値とタイマコンペア2の値が一致したとき割り込み要求発生
46	送信完了	フレーム送信が完了した時点で割り込み要求発生 ただし、自動ACK受信モード有効時、送信フレームにACK要求があれば送信完了時に割り込み要求は発生せず、ACK受信完了時またはACK受信タイムアウト時、割り込み要求が発生
20(注1)	バンク0受信完了	バンク0のフレーム受信が完了した時点で割り込み要求発生 ただし、自動ACK返信モード有効時、受信フレームにACK要求があれば受信完了時に割り込み要求は発生せず、ACK返信が完了した時点で割り込み要求が発生
51(注2)	バンク1受信完了	バンク1のフレーム受信が完了した時点で割り込み要求発生 ただし、自動ACK返信モード有効時、受信フレームにACK要求があれば受信完了時に割り込み要求は発生せず、ACK返信が完了した時点で割り込み要求が発生
44	アドレスフィルタ	アドレス一致を認識した時点で割り込み要求発生
30	CCA完了	CCAシーケンスが完了したとき割り込み要求発生、またはCSMA-CAシーケンスが完了したとき割り込み要求発生
48	PLLロック検出	PLLのロック/アンロック検出時に割り込み要求発生 BBTXRXMODE4レジスタのPLLINTSELビットにてロック/アンロックの切り替え可能 PLLがロックしていない状態で送信または受信動作になった場合もアンロック割り込みを発生
45	送信オーバーラン	送信を開始し、内部送信カウンタの値が書き込みアドレス以上になると送信オーバーラン割り込みを発生
49(注3)	受信オーバーラン0	BBTXRXST0レジスタのRCVBANK0ビットが“1”(受信データあり)にセットされたままの状態、再度バンク0にデータ受信を開始すると受信オーバーラン0割り込みを発生
47	受信オーバーラン1	BBTXRXST0レジスタのRCVBANK1ビットが“1”(受信データあり)にセットされたままの状態、再度バンク1にデータ受信を開始すると受信オーバーラン1割り込みを発生
20(注1)	IDLE	IDLE立ち上がり時間経過後に割り込み要求発生
51(注2)	クロックレギュレータ	クロックレギュレータの立ち上がり時間経過後に割り込み要求発生
49(注3)	キャリブレーション完了	キャリブレーション完了時に割り込み要求発生

注1. BBTXRXMODE4レジスタのBANK0INTSELビットで切り替え。

注2. BBTXRXMODE4レジスタのBANK1INTSELビットで切り替え。

注3. BBTXRXMODE4レジスタのROR0INTSELビットで切り替え。

### 25.1.9 CRC演算回路

CRC演算回路は送信フレームおよび受信フレームに対して自動的に演算を実施します。

CRCコードの生成には $X^{16} + X^{12} + X^5 + 1$ の生成多項式を使用します。

ペイロードデータの先頭から8ビット単位でデータ入力し、16ビットのコードが生成されます。

送信時は、送信RAMの先頭番地からCRC演算を開始し、(BBTXFLENレジスタ値 - 2)番地まで演算した結果を、自動的に送信フレームの最後の2バイトに付加して送信します。

また、BBTXRXMODE2レジスタのNOCRCビットを“1”(自動CRC無効)にすることでCRC演算結果ではなく送信RAM上のデータをCRCデータとして送信することができます。

受信時は、受信RAMの先頭番地からCRC演算を開始し、(BBRXFLENレジスタ値 - 2)番地まで演算した結果と、受信したフレームの最後の2バイトのCRCデータと比較した結果を、BBTXRXST0レジスタのCRCビットに格納します。なお受信RAMには受信フレームのCRCデータが格納されます。

## 25.1.10 自動ACK返信機能

BBTXRXMODE0レジスタのAUTOACKENビットにて、フレーム受信完了後、自動的にACKを返信することができます。

自動ACK返信する条件は、受信したフレームコントロールビット等によりハードウェアで自動的に判断します。

- CRC結果 受信フレームとCRC演算結果が一致
- アドレスフィルタ有効
- フレームコントロールビット b2-b0
- フレームタイプ 001b or 011b (データフレーム or MACコマンドフレーム)
- フレームコントロールビット b5
- ACK要求 1: 有り
- フレームコントロールビット b11、b10、b15、b14 (表25.2参照)

表25.2 自動ACK返信条件

フレームコントロール				PAN コーディネータ ビット (BBTXRXMODE3 レジスタの PANCORDビット)	PANID (BBPANID)	ショートアドレス (BBSHORTAD)	拡張アドレス (BBEXTENDAD3-0)
b11	b10	b15	b14				
1	0				送信先PANIDとの 一致	送信先アドレスとの 一致	×
1	1				送信先PANIDとの 一致(注1)	×	送信先アドレスとの 一致
0	0	1	0	1	送信先PANIDとの 一致	×	×
0	0	1	1	1	送信先PANIDとの 一致	×	×

注1. 送信先PANID=FFFFh時は、BBPANIDの値に依存しません。

また返信されるACKフレームを図に示します。

- FL (フレームレングス): 設定値に関係なく“05h”となります
- シーケンスナンバ: 受信したシーケンスナンバをそのまま送信します

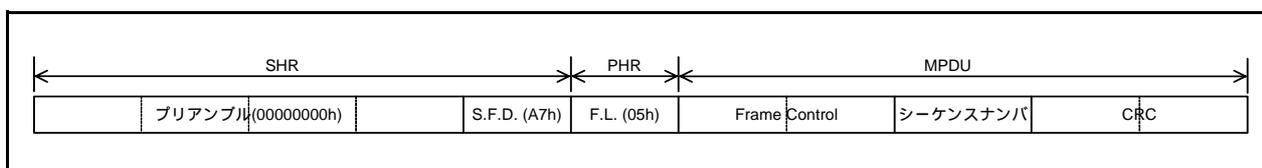


図25.4 ACKフレーム

ACK返信するタイミングはノンビーコンモード、ビーコンモードで違います。

ノンビーコンとビーコンモードは、BBTXRXMODE0レジスタのBEACONビットで設定します。

ノンビーコンモードの場合、フレーム受信完了後、192 $\mu$ s後にACKフレームを送信します。

ビーコンモードの場合、フレーム受信開始後、バックオフ期間320 $\mu$ sの間隔チェックを開始し、受信完了タイミングがバックオフ期間区切りまで192 $\mu$ s以上あればバックオフ期間区切りになった後、ACKフレームを送信します(ケース1)。受信完了タイミングがバックオフ期間区切りまで192 $\mu$ s以内であれば、バックオフ期間区切りになっても送信開始せず、次のバックオフ期間区切りまで待つて送信を開始します(ケース2)。

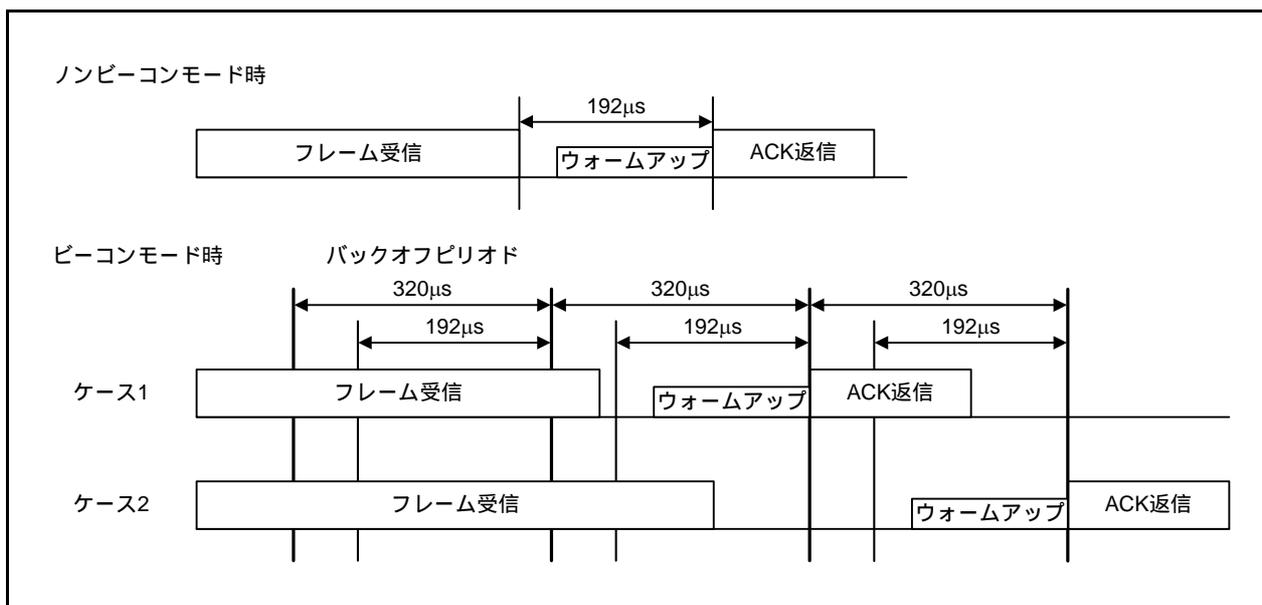


図25.5 ACK返信タイミング

- 注1. 自動ACK返信処理実行中にBBTXRXMODE0レジスタのAUTOACKENビットを“0”(自動ACK無効)に設定しても実行中の返信処理はキャンセルされません。
- 注2. フレーム送信(自動ACK受信を含む)を行う場合、フレーム送信が完了するまでは、本機能(自動ACK返信機能)は無効にしてください。
- 注3. ACK返信完了時は、送信完了割り込みが発生します。

## 25.1.11 自動ACK受信機能

BBTXRXMODE1レジスタのACKRCVENビットにて、フレーム送信完了後、自動的にACK受信処理ができます。ACK以外のフレームは受信しません。

自動ACK受信を行う条件は

- ACK要求ありで送信
- 受信フレームはACKフレーム
- 送信したフレームのシーケンスナンバと受信したフレームのシーケンスナンバが一致
- CRC一致
- 送信完了後54シンボル期間以内

となります。以上の条件がすべてそろるとACK受信完了時点で送信完了割り込み要求を発生します。また、アドレスフィルタ有効/無効にかかわらず、受信RAM、BBRXFLENレジスタおよびBBTXRXST0レジスタのCRCビットは更新しません。

また送信完了後、54シンボル期間以内でACK受信を確認できない場合、再度CSMA-CA動作から再送処理を行うことができます。

再送処理後もACK受信を待ち、同様の動作を行います。

再送処理はBBTXRXMODE1レジスタのRETRNビットに設定された回数繰り返します(デフォルト3回)。再送処理が必要ない場合は、BBTXRXMODE1レジスタのRETRNビットに“000b”を設定してください。

なお、再送処理を行う場合は、必ずBBCSMACON0レジスタのCSMATRNSTビットを“1”(CSMA-CA後送信処理)に設定して、かつBBCSMACON0レジスタのCSMASTビットを“1”(自動CSMA-CAスタート)に設定することにより、送信動作を開始してください。

ACK受信が完了した時点、またはACK受信を確認できず再送処理を設定回数分行ってもACKを受信できなかった場合(タイムアウト)、送信完了割り込み要求を発生します。

ACKを正常に受信できたか、再送を繰り返してもACKを受信できなかったかはBBTXRXST0レジスタのTRNRCVSQCビットで確認できます。

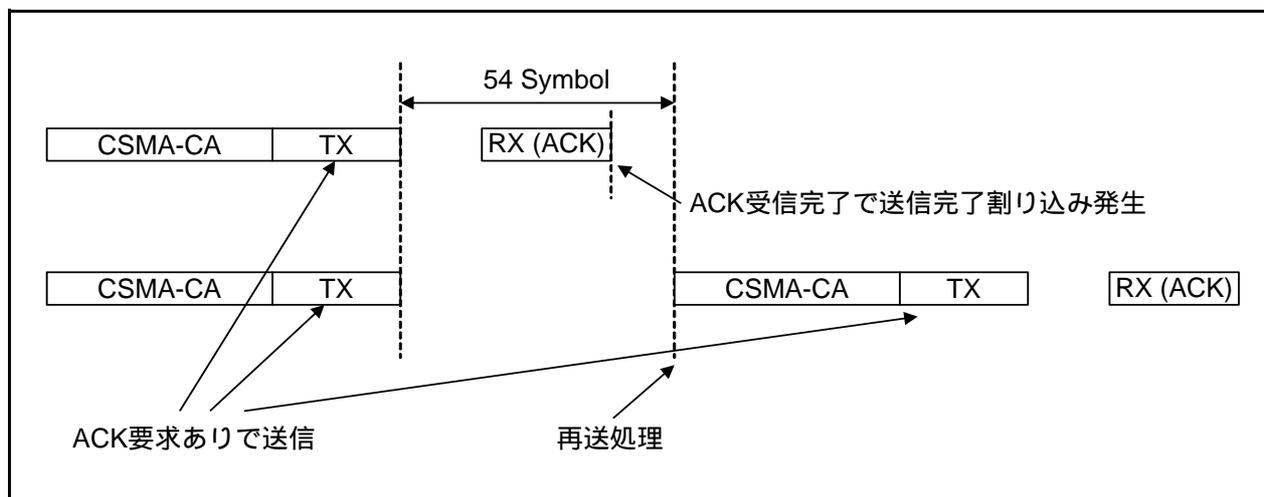


図25.6 ACK受信タイミング

## 25.1.12 自動受信切り替え機能

### 25.1.12.1 送信から受信

BBTXRXMODE0レジスタのAUTORCV0ビットを“1”(自動受信切り替え許可)に設定することで、フレーム送信完了後、自動的に受信状態にすることができます。

送信完了後184 $\mu$ s後に、受信可能状態になります。

ただしCSMA-CA送信でCSMA-CAビジー状態、またはACK要求付き送信でACK受信できなかった場合は受信状態にはならずIDLE状態になります。

### 25.1.12.2 受信から受信

BBTXRXMODE0レジスタのAUTORCV1ビットを“1”(自動受信切り替え許可)に設定することで、フレーム受信完了後、自動的に受信状態にすることができます。

受信完了後184 $\mu$ s後に、受信状態になります。

ただし、BBTXRXMODE0レジスタのAUTOACKENビットを“1”(自動ACK許可)に設定された状態でACK返信の条件がそろっている場合はACK返信が優先されます。

注1. 自動受信切り替えモード有効にて受信に切り替わった後、BBTXRXMODE0レジスタのAUTORCV0、AUTORCV1を“0”(自動受信切り替え無効)に設定しても、受信動作が完了(フレーム受信完了)するまで受信状態のままです。

## 25.1.13 ANTSW出力切り替え機能

外部パワーアンプなどの制御が可能のように、P0\_4/ASW端子から送信時“H”出力となる信号を出力することができます。ASW出力への切り替えは、BBANTSWCONレジスタにより設定することができます。

タイミングはBBANTSWTIMGレジスタにより設定することができます。

### 25.1.14 自動CSMA-CA機能

BBCSMACON0レジスタのCSMASTビットを“1”(自動CSMA-CAスタート)に設定することで自動的にCSMA-CAフローチャートを実行できます。

BBCCAVTHレジスタにCCAのスレッシュホールドレベルを設定します。

BBCSMACON1レジスタ、BBCSMACON2レジスタにより各変数の設定ができます。

CSMA-CA動作の完了と同時にBBTXRXST0レジスタのCSMACAビットに結果を格納し、CSMA-CA割り込みを発生させることができます。

また、BBCSMACON0レジスタのCSMATRNSTビットを“1”(CSMA-CA後送信処理)に設定しておくことで、CSMA-CA判定結果がOKであれば、自動的に送信処理まで行うことができます。

なお、自動CSMA-CAスタートを実行する前には必ずIDLE状態に設定後、BBIDLEWAITレジスタに設定した待ち時間以上経過した後に実行してください。

BBCSMACON1レジスタのBEMINビットを000bに設定した状態でBBCSMACON0レジスタのCSMASTビットを“1”(自動CSMA-CAスタート)に設定した場合は、CSMA-CA動作をせずに送信から開始します。また自動ACK受信機能を有効にしている場合、送信完了後54シンボル期間以内でACK受信を確認できないときは、BBBTXRXMODE1レジスタのRETRNビットに設定された回数分、送信動作から再送処理を行います。なお、BBTXRXMODE1レジスタのRETRNビットが000bに設定されている場合は再送処理は行いません。

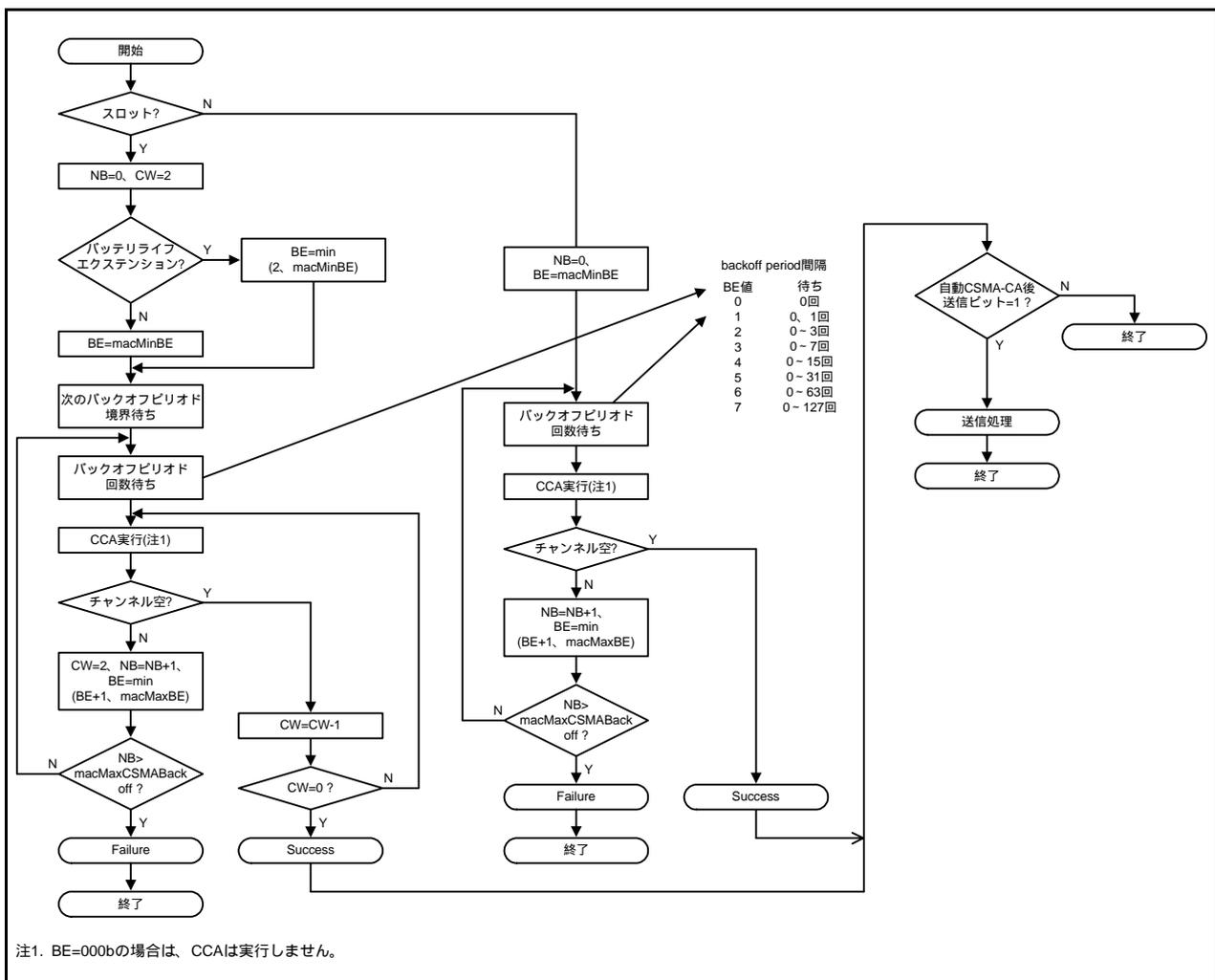


図 25.7 CSMA-CA フローチャート

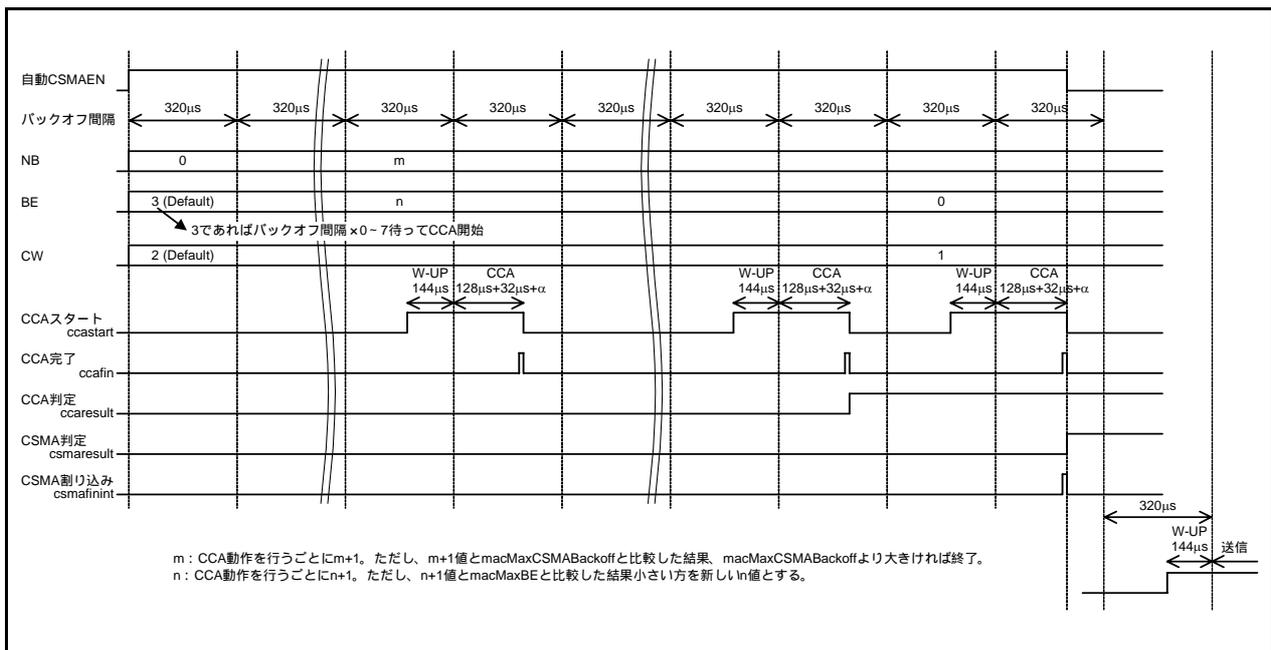


図25.8 CSMA-CA タイミングチャート(ビーコンモード例)

## 25.1.15 状態遷移

図25.9に状態遷移図を示します。

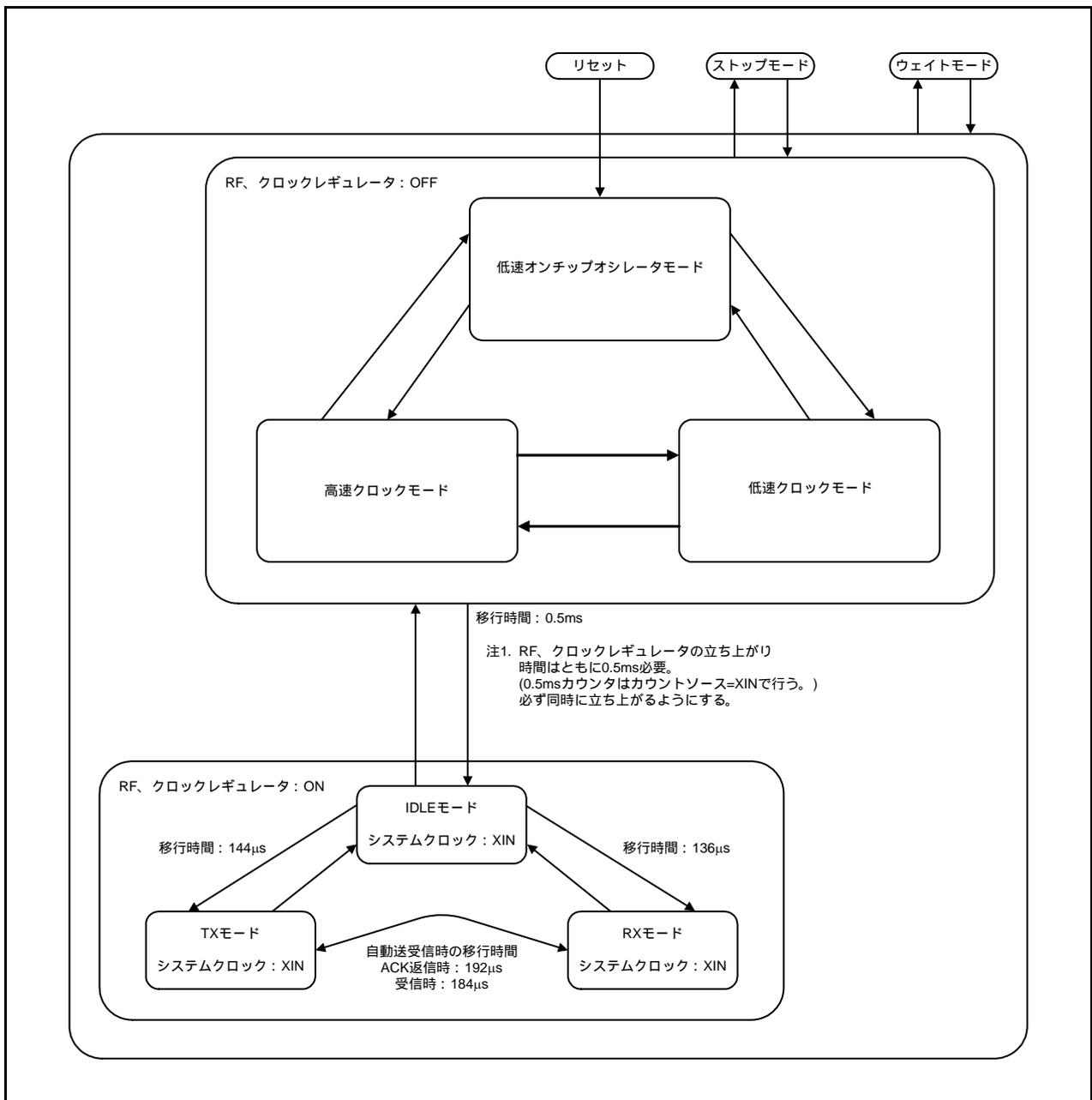


図25.9 状態遷移図

## 25.2 ベースバンド関連レジスタ

ベースバンド関連レジスタを以下に示します。

### 25.2.1 ベースバンド制御レジスタ(BBCON)

アドレス 2D00h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	BBEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BBEN	ベースバンドイネーブルビット	0: ベースバンド機能は無効(停止) 1: ベースバンド機能を有効	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

#### BBEN ビット(ベースバンドイネーブルビット)

ベースバンド機能の有効/無効を制御します。このビットを“1”にセットすることでベースバンド機能が有効になります。

ベースバンド関連レジスタへのアクセスはこのビットが“1”のときに行ってください。

このビットを“0”にすることで通信中の処理は初期化されますが、各レジスタの設定値は保持されます。また、自動ACK返信、自動受信切り替え機能などの処理もキャンセルされます。

なお、このビットを“0”にする際には必ずBBRFCONレジスタのRFPWRONビットを“0”(RFパワー OFF)にしてから行ってください。

## 25.2.2 送受信リセットレジスタ(BBTXRXRST)

アドレス 2D01h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	RFRESET	RFSTOP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFSTOP	RF通信停止ビット	0: RF通信可能 1: RF通信停止	R/W
b1	RFRESET	RFリセットビット	0: ベースバンド機能レジスタは値を保持 1: ベースバンド関連レジスタをリセット	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

## RFSTOPビット(RF通信停止ビット)

“1”にすることで送信、受信、CCA中、およびキャリブレーション中の処理をキャンセルさせることができます(キャンセル後はIDLE状態)。また、自動ACK返信、自動受信切り替えモード機能などの処理もキャンセルされます。なお、本ビットは自動的に“0”にクリアされます。ただし、各レジスタの設定値は保持されます。

## RFRESETビット(RFリセットビット)

“1”にすることでベースバンド関連レジスタをすべて初期化します。また、制御信号もすべて初期化されますので、RFSTOPビットと同様に通信もキャンセルされます。なお、本ビットは自動的に“0”にクリアされます。また、本ビットはベースバンド制御レジスタのBBENビットの値に関係なく設定できます。

## 25.2.3 送受信モードレジスタ0 (BBTXRXMODE0)

アドレス 2D02h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	BEACON	BATLIFEEXT	AUTORCV1	AUTORCV0	AUTOACKEN	-	CCACOND
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCACOND	CCAタイプビット	0:通常 1:CCA/ED	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	AUTOACKEN	自動ACKモード許可ビット	0:自動ACK無効 1:自動ACK許可	R/W
b3	AUTORCV0	自動受信切り替えモード0許可ビット(送 受)	0:自動受信切り替え無効 1:自動受信切り替え許可	R/W
b4	AUTORCV1	自動受信切り替えモード1許可ビット(受 受)	0:自動受信切り替え無効 1:自動受信切り替え許可	R/W
b5	BATLIFEEXT	バッテリーライフエクステンションモードビット	0:無効 1:有効	R/W
b6	BEACON	ビーコンモードビット	0:ノンビーコンモード 1:ビーコンモード	R/W
b7	-	予約ビット	"0" にしてください	R/W

## CCACONDビット(CCAタイプビット)

CCAおよびEDを実行する際は、このビットを“1”に設定してください。

## AUTOACKENビット(自動ACKモード許可ビット)

受信完了後に自動ACK返信動作を行うか選択できます。

## AUTORCV0ビット(自動受信切り替えモード0許可ビット)

送信完了後、自動的に受信状態に移行するように設定できます。

## AUTORCV1ビット(自動受信切り替えモード1許可ビット)

受信完了後、自動的に受信状態に移行するように設定できます。ただし、AUTOACKENビットを“1”(自動ACK許可)にしている場合で、ACK返信の条件がそろっているときACK返信が優先されます。

## BATLIFEEXTビット(バッテリーライフエクステンションモードビット)

図25.7のCSMA-CA処理の際の分岐条件に、バッテリーライフエクステンションモードを有効に設定できます。

## BEACONビット(ビーコンモードビット)

ACKフレーム返信やCSMA-CAのタイミング動作モードを指定できます。

## 25.2.4 送受信モードレジスタ1 (BBTXRXMODE1)

アドレス 2D03h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CCASEL	-	-	-	ACKRCVEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKRCVEN	自動ACK受信モードビット	0 : 自動ACK受信禁止 1 : 自動ACK受信許可	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	CCASEL	CCA結果選択ビット	0 : CCA/ED 1 : RSSI	R/W
b5	-	予約ビット	"0" にしてください	R/W
b6	-			
b7	-			

## ACKRCVENビット(自動ACK受信モードビット)

自動ACK受信動作を行うか選択できます。

## CCASELビット(CCA結果選択ビット)

RSSI/CCA結果レジスタを読み出す際に、CCA/ED値かRSSI値かを選択できます。

## 25.2.5 受信フレームレングスレジスタ (BBRXFLEN)

アドレス 2D04h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RXFLEN						
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXFLEN	受信フレームレングス(注1)	受信時のフレームレングス値を示します。	R
b1	RXFLEN			
b2	RXFLEN			
b3	RXFLEN			
b4	RXFLEN			
b5	RXFLEN			
b6	RXFLEN			
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

注1. 受信RAMバンクに対応。

## RXFLENビット(受信フレームレングス)

受信時のフレームレングス値を格納します。読み出す場合、BBTXRXMODE3 レジスタの RCVBANKSEL ビットで指定された受信RAMのバンクに対応したフレームレングス値が読み出されます。

フレーム受信を開始した時点で格納されます。値は次のフレーム受信が開始されるまで保持されます。ただし、アドレスフィルタ有効時はアドレス一致認識した時点で更新されます。

また、受信フレームレングスが04h以下の場合、フレーム受信を受付けません。この場合、受信フレームレングス値は更新されません。また、受信完了割り込み要求も発生しません。

## 25.2.6 受信データカウンタレジスタ (BBRXCOUNT)

アドレス 2D05h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RXCOUNT						
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXCOUNT	受信データカウンタ	受信時のデータカウンタ値を示します。	R
b1	RXCOUNT			
b2	RXCOUNT			
b3	RXCOUNT			
b4	RXCOUNT			
b5	RXCOUNT			
b6	RXCOUNT			
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

## RXCOUNTビット(受信データカウンタ)

受信時の受信データカウンタ値を示します。現在何バイトのデータが受信されたかを確認できません。値はフレーム受信の終了で“00h”にクリアされます。

## 25.2.7 RSSI/CCA結果レジスタ (BBRSSICCARSLT)

アドレス 2D06h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RSSICCARSLT							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSSICCARSLT	RSSI/CCA 結果データ(注1)	RSSI/CCAの結果データを示します。	R
b1	RSSICCARSLT			
b2	RSSICCARSLT			
b3	RSSICCARSLT			
b4	RSSICCARSLT			
b5	RSSICCARSLT			
b6	RSSICCARSLT			
b7	RSSICCARSLT			

注1. 受信RAMバンクに対応。

## RSSICCARSLT ビット (RSSI/CCA 結果データ)

CCA/EDまたはRSSIの結果データを格納します。

CCA/ED値かRSSI値の切り換えはBBTXRXMODE1レジスタのCCASELビットにより切り換えることができます。RSSI値を読み出す場合、BBTXRXMODE3レジスタのRCVBANKSELビットで指定された受信RAMのバンクに対応した結果が読み出されます。

読み出したデータは2の補数で表されます。単位はdBmです(例:“ 9Eh ”は“ - 98dBm ”となります)。

「25.2.31 RSSIオフセットレジスタ (BBRSSIOFS)」の項についても参照ください。

## 25.2.8 送受信ステータスレジスタ0 (BBTXRXST0)

アドレス 2D07h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RCVBANKST	RCVPEND	RCVBANK1	RCVBANK0	TRNRCVSQC	CSMACA	CRC	CCA
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCA	CCA判定結果ビット	0:チャネルクリア 1:チャネルビジー	R
b1	CRC	CRC判定結果ビット(注1)	0:OK 1:NG	R
b2	CSMACA	CSMA-CA判定結果ビット	0:OK 1:NG	R
b3	TRNRCVSQC	送受信動作完了判定結果ビット	0:OK 1:NG	R
b4	RCVBANK0	受信バンク0ステータスビット	0:受信許可 1:受信データあり	R/W
b5	RCVBANK1	受信バンク1ステータスビット	0:受信許可 1:受信データあり	R/W
b6	RCVPEND	受信ペンディングビット	0:ペンディングなし 1:ペンディングあり	R
b7	RCVBANKST	受信バンクポインタビット	0:バンク0 1:バンク1	R

注1. 受信RAMバンクに対応。

## CCAビット(CCA判定結果ビット)

CCAの判定結果を格納します。

## CRCビット(CRC判定結果ビット)

CRCの判定結果を格納します。読み出す場合、BBTXRXMODE3レジスタのRCVBANKSELビットで指定された受信RAMのバンクに対応したCRC結果が読み出されます。

## CSMACAビット(CSMA-CA判定結果ビット)

CSMA-CA判定結果を格納します。

## TRNRCVSQCビット(送受信動作完了判定結果ビット)

送受信動作シーケンス(CSMA-CA 送信 ACK受信 再送信 ACK受信・・・)完了時判定結果を格納します。設定回数再送信を繰り返してもACK受信できなかった場合は“1”(NG)となります。

**RCVBANK0ビット(受信バンク0ステータスビット)****RCVBANK1ビット(受信バンク1ステータスビット)**

受信バンク0、1それぞれのフレームの取り込み時のフラグとして利用できます。

フレーム受信を開始した時点で自動的に“1”にセットされます。また、アドレスフィルタ有効時は、アドレスフィルタ割り込み発生と同時に“1”にセットされます。その後受信RAMデータを読み出し後、ソフトウェアで“0”にクリアします。“0”のみ書き込み可能です。これらのビットが“1”の状態再度受信があり、それぞれの受信RAMへのデータの書き込みが発生すると受信オーバーラン割り込みが発生します。

**RCVPENDビット(受信ペンディングビット)**

ACKフレームを受信した場合にそのペンディングビットの値を格納します。

**RCVBANKSTビット(受信バンクポインタビット)**

最後に受信完了したフレームの受信RAMのバンクを確認できます。リセット後、初期化後は“1”を示します。

## 25.2.9 送信フレームレングスレジスタ (BBTXFLEN)

アドレス 2D08h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TXFLEN						
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXFLEN	送信フレームレングス	送信時のフレームレングス値を示します。	R/W
b1	TXFLEN			
b2	TXFLEN			
b3	TXFLEN			
b4	TXFLEN			
b5	TXFLEN			
b6	TXFLEN			
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	

## TXFLENビット(送信フレームレングス)

送信時のフレームレングス値を書き込みます。フレームレングス値はペイロードデータ長およびCRC長(2バイト)の合計値を設定します。なお、送信フレームレングス値が04h以下の状態でBBTXRXCONレジスタのTRNTRGビット、またはBBCSMACON0レジスタのCSMASTビットに“1”(送信開始、または自動CSMA-CAスタート)を設定しないでください。

ACK自動返信機能のみ送信フレームレングス値に関係なくACKフレームを送信します。

## 25.2.10 送受信モードレジスタ2 (BBTXRXMODE2)

アドレス	2D09h番地							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RETRN	RETRN	RETRN	RETRN	-	FLMPENDST	FLMPEND	NOCRC
リセット後の値	0	0	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NOCRC	自動CRC無効ビット	0:有効 1:無効	R/W
b1	FLMPEND	フレームペンディングビット	0:フレームペンディングなし 1:フレームペンディングあり	R/W
b2	FLMPENDST	フレームペンディングステータスビット(注1)	0:フレームペンディングなしでACKフレーム返信 1:フレームペンディングありでACKフレーム返信	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	RETRN	再送カウンタ	0000b ~ 1000bまで設定	R/W
b5	RETRN			
b6	RETRN			
b7	RETRN			

注1. 受信RAMバンクに対応。

## NOCRCビット(自動CRC無効ビット)

送信時自動的にCRC演算した結果をつけて送信するか、送信RAMのデータのみを送信するかを選択できます。

## FLMPENDビット(フレームペンディングビット)

ACKフレームのペンディングビットに設定する値を設定します。このビットの情報は自動ACK返信フレームに自動的に組み込まれます。

## FLMPENDSTビット(フレームペンディングステータスビット)

自動ACK返信時にフレームペンディングなしでACKフレーム返信したか、ありでACKフレーム返信したかを表します。ACK返信完了時点で、バンク0/1受信完了割り込み要求発生と同時に更新します。

このビットは受信したバンクごとに自動ACK返信を行った結果が反映されますので、読み出し時はBBTXRXMODE3レジスタのRCVBANKSELビットにより選択されたバンクの受信RAMデータでACK返信したときのフレームペンディング情報が読み出されます。

## RETRNビット(再送カウンタ)

自動ACK受信モードを有効にした時のACK返信がない場合の再送処理回数を設定できます。0000b ~ 1000bまで設定できます。

## 25.2.11 送受信モードレジスタ3 (BBTXRXMODE3)

アドレス 2D0Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RCVOVERWREN	RCVBANKSEL	LVLFILEN1	LVLFILEN0	PANCORD	ADRSFILEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRSFILEN	アドレスフィルタ有効ビット	0 : アドレスフィルタ無効 1 : アドレスフィルタ有効	R/W
b1	PANCORD	PANコーディネータビット	0 : PANコーディネータでない 1 : PANコーディネータである	R/W
b2	LVLFILEN0	受信レベルフィルタ有効ビット	b3 b2 00 : レベルフィルタ無効 01 : 設定しないでください 10 : 設定しないでください 11 : レベルフィルタ有効	R/W
b3	LVLFILEN1			
b4	RCVBANKSEL	受信バンク選択ビット	0 : バンク0 1 : バンク1	R/W
b5	RCVOVERWREN	受信RAMオーバーライト有効ビット	0 : オーバライト無効 1 : オーバライト有効	R/W
b6	-	予約ビット	"0" にしてください	—
b7	-			

## ADRSFILENビット(アドレスフィルタ有効ビット)

受信時にアドレスフィルタを有効にすることができます。

## PANCORDビット(PANコーディネータビット)

アドレスフィルタの条件として、受信フレームに送信先アドレスがない場合でも受信するかどうか(PANコーディネータかどうか)を設定できます。

## LVLFILEN0、LVLFILEN1ビット(受信レベルフィルタ有効ビット)

BBLVLVTHレジスタに設定したスレッシュホールドレベル以上の入力フレームのみ受信するように設定できます。

## RCVBANKSELビット(受信バンク選択ビット)

受信RAM関連の読み出しアクセスのバンクを指定します。

## RCVOVERWRENビット(受信RAMオーバーライト有効ビット)

受信RAMへの上書きの制御ができます。このビットが“0”のとき、BBTXRXMODE0レジスタのRCVBANK0、RCVBANK1ビットが“1”(受信データあり)であれば、それぞれの受信RAMへの書き込みアクセスが発生したとき受信データを上書きしません。ただし、受信オーバーラン0/1割り込みは発生します。

このビットが“1”のとき、BBTXRXMODE0レジスタのRCVBANK0、RCVBANK1ビットが“1”(受信データあり)であっても、それぞれの受信RAMへの書き込みアクセスが発生したとき受信データを上書きします。ただし、受信オーバーラン0/1割り込みは発生します。

## 25.2.12 受信レベルスレッシュヨルド設定レジスタ (BBLVTVTH)

アドレス 2D0Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LVLVTH							
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LVLVTH	受信レベルスレッシュヨルド	受信レベルフィルタ機能のスレッシュヨルド値を設定します。	R/W
b1	LVLVTH			
b2	LVLVTH			
b3	LVLVTH			
b4	LVLVTH			
b5	LVLVTH			
b6	LVLVTH			
b7	LVLVTH			

## LVLVTHビット(受信レベルスレッシュヨルド)

受信レベルフィルタ機能のスレッシュヨルド値を設定します。値は2の補数で単位はdBmにて設定してください(例：“9Eh”は“-98dBm”となります)。

受信レベルスレッシュヨルド設定レジスタに設定された値は、RSSI/CCA結果レジスタへ格納される(RSSIオフセットレジスタに設定したオフセット値が加算された)値と比較されます。

## 25.2.13 送受信制御レジスタ (BBTXRXCON)

アドレス 2D0Ch番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	CCATRG	TRNTRG	RCVTRG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVTRG	受信トリガビット(注1)	0: 何もしない 1: 受信開始	W
b1	TRNTRG	送信トリガビット(注1)	0: 何もしない 1: 送信開始	W
b2	CCATRG	CCAトリガビット(注1)	0: 何もしない 1: CCA開始	W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. これらのビットは必ずIDLE状態で設定してください。同時に2つ以上のビットを“1”に設定しないでください。また、送受信完了またはCCA完了で自動的にこれらのビットは“0”にクリアされます。送受信、CCAを途中でキャンセルしたい場合は、BBTXRXCONレジスタのRFSTOPビットによりキャンセルしてください。

## RCVTRGビット(受信トリガビット)

このビットを“1”に設定することでRF部のウォームアップを開始し、136  $\mu$ s後に受信可能状態になります。

## TRNTRGビット(送信トリガビット)

このビットを“1”に設定することでRF部のウォームアップを開始し、144  $\mu$ s後に送信開始します。

## CCATRGビット(CCAトリガビット)

このビットを“1”に設定することでRF部のウォームアップを開始し、136  $\mu$ s後にCCA動作を開始します。

## 25.2.14 CSMA制御レジスタ0 (BBCSMACON0)

アドレス 2D0Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	CSMATRNST	CSMAST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSMAST	自動CSMA-CAスタートビット	0: 何もしない 1: 自動CSMA-CAスタート	W
b1	CSMATRNST	自動CSMA-CA後送信ビット	0: 何もしない 1: 自動CSMA-CA後送信処理	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

## CSMASTビット(自動CSMA-CAスタートビット)

“1”に設定することでCSMA-CA動作を開始します。本ビットは必ずIDLE状態で設定してください。また、このビットはCSMA-CA動作完了で自動的に“0”にクリアされます。また“0”を設定しても書けません。

## CSMATRNSTビット(自動CSMA-CA後送信ビット)

CSMATRNSTビットを“1”に設定することでCSMA-CA動作完了時、OKであれば自動的に送信処理を行います。

CSMA-CA動作を途中でキャンセルしたい場合は、BBTXRXRSTレジスタのRFSTOPビットによりキャンセルしてください。

## 25.2.15 CCAレベルスレッシュヨルド設定レジスタ(BBCCAETH)

アドレス 2D0Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCAETH							
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCAETH	CCAスレッシュヨルド	CCAのスレッシュヨルドレベルを設定します。	R/W
b1	CCAETH			
b2	CCAETH			
b3	CCAETH			
b4	CCAETH			
b5	CCAETH			
b6	CCAETH			
b7	CCAETH			

## CCAETHビット(CCAスレッシュヨルド)

CCA判定をするためのスレッシュヨルドレベルを設定します。値は2の補数で単位はdBmにて設定してください(例：“9Eh”は“-98dBm”となります)。

CCAレベルスレッシュヨルド設定レジスタに設定された値は、RSSI/CCA結果レジスタへ格納される(RSSIオフセットレジスタに設定したオフセット値が加算された)値と比較されます。

## 25.2.16 送受信ステータスレジスタ1 (BBTXRXST1)

アドレス 2D0Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	UNLOCKST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UNLOCKST	アンロック受信ステータスビット (注1)	0: 正常(アンロック発生なし) 1: 異常(アンロック発生あり)	R
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. 受信RAMバンクに対応。

## UNLOCKSTビット(アンロック受信ステータスビット)

受信中にPLLアンロックが発生したかどうかを判定できます。

本ビットはBBTXRXMODE3レジスタのRCVBANKSELビットで指定された受信RAMのバンクに対応した結果が読み出されます。

## 25.2.17 RF制御レジスタ(BBRFCON)

アドレス 2D10h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	XINREGSEL	XINPWRON	RFPWRON
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFPWRON	RFパワー ONビット(注1)	0: OFF 1: RFパワー ON(IDLE)	R/W
b1	XINPWRON	XIN用パワー ONビット(注1)	0: OFF 1: XIN用パワー ON	R/W
b2	XINREGSEL	XINレギュレータ切り替えビット(注1)	0: マイコンレギュレータ 1: クロックレギュレータ	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	-			
b5	-			
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

注1. これらのビットは、同時に“1”に設定してください。

## RFPWRONビット(RFパワー ONビット)

RF部のパワーON制御を行います。このビットに“1”を設定後、BBIDLEWAITレジスタに設定した待ち時間経過後IDLE状態になります。BBIDLEWAITレジスタに設定した待ち時間はXINをカウントソースとして自動的にカウントし、IDLE状態への立ち上がり時間を待った後、IDLE割り込み要求が発生します。

OFF状態からは必ずこのIDLE状態を経由して、CCA、受信、送信の各状態へ移行してください。IDLE状態で、BBTXRXCONレジスタのRCVTRGビット、TRNTRGビット、CCATRGビット、およびBBCSMACON0レジスタのCSMASTビットに“1”(各動作の開始)を設定してください。

## XINPWRONビット(XIN用パワー ONビット)

このビットに“1”を設定後、BBIDLEWAITレジスタに設定した待ち時間経過後クロックレギュレータの立ち上がりが完了します。BBIDLEWAITレジスタに設定した待ち時間のタイミングカウントはXINをカウントソースとして自動的にカウントし、レギュレータ立ち上がり時間を待った後、クロックレギュレータ割り込み要求が発生します。

## XINREGSELビット(XINレギュレータ切り替えビット)

XIN用の電源を安定した電源に切り換えることができます。

## 25.2.18 送受信モードレジスタ4 (BBTXRXMODE4)

アドレス 2D11h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	BANK1INTSEL	BANK0INTSEL	UNLOCKSTPR	UNLOCKSTPT	PLLINTSEL	CCAINTSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCAINTSEL	CCA 割り込み選択ビット	0: CCAシーケンス完了時 1: CSMA-CAシーケンス完了時	R/W
b1	PLLINTSEL	PLL ロック検出選択ビット	0: アンロック検出 1: ロック検出	R/W
b2	UNLOCKSTPT	送信アンロック検出後動作停止有効ビット	0: 無効(全フレーム送信) 1: アンロック検出後停止	R/W
b3	UNLOCKSTPR	受信アンロック検出後動作停止有効ビット	0: 無効(全フレーム受信) 1: アンロック検出後停止 受信待ち	R/W
b4	BANK0INTSEL	バンク0受信完了/IDLE 割り込み選択ビット	0: バンク0受信完了割り込み 1: IDLE 割り込み	R/W
b5	BANK1INTSEL	バンク1受信完了/クロックレギュレータ割り込み選択ビット	0: バンク1受信完了割り込み 1: クロックレギュレータ割り込み	R/W
b6	ROR0INTSEL	受信オーバーラン0/キャリブレーション完了割り込み選択ビット	0: 受信オーバーラン0 1: キャリブレーション完了割り込み	R/W
b7	-	予約ビット	"0" にしてください	R/W

## CCAINTSEL ビット (CCA 割り込み選択ビット)

CCA 割り込みの発生要因を、CCA シーケンス完了時または CSMA-CA シーケンス完了時のどちらか選択できます。

## PLLINTSEL ビット (PLL ロック検出選択ビット)

PLL ロック検出割り込みの発生要因を、アンロック検出時またはロック検出時のどちらかを選択できます。

## UNLOCKSTPT ビット (送信アンロック検出後動作停止有効ビット)

送信中にアンロックが発生した場合の動作を設定できます。“0”の場合、アンロックが発生してもフレーム送信を続けます。“1”の場合、アンロックが発生した時点で送信動作を停止します。ただし、この機能を使用する場合、PLLINTSEL ビットは必ず“0”(アンロック検出)に設定してください。動作停止後はIDLE状態になりますので、再度送信または受信に設定してください。

## UNLOCKSTPR ビット (受信アンロック検出後動作停止有効ビット)

受信中にアンロックが発生した場合の動作を設定できます。“0”の場合、アンロックが発生してもフレーム受信を中断せず最後まで受信を行います。“1”の場合、アンロックの発生で受信を中断し再度受信待ちになります。受信中にアンロックが発生していたかどうかは、受信完了時に設定される BBTXRXST1 レジスタの UNLOCKST ビットを読み出すことで確認できます。ただし、この機能を使用する場合、PLLINTSEL ビットは必ず“0”(アンロック検出)に設定してください。

## BANK0INTSEL ビット (バンク0受信完了/IDLE 割り込み選択ビット)

バンク0受信完了割り込みかIDLE 割り込みかを選択できます。

## BANK1INTSEL ビット (バンク1受信完了/クロックレギュレータ割り込み選択ビット)

バンク1受信完了割り込みかクロックレギュレータ割り込みかを選択できます。

## ROR0INTSEL ビット (受信オーバーラン0/キャリブレーション完了割り込み選択ビット)

受信オーバーラン0割り込みかキャリブレーション完了割り込みかを選択できます。

## 25.2.19 CSMA制御レジスタ1 (BBCSMACON1)

アドレス 2D12h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CW	CW	BEMIN	BEMIN	BEMIN	NB	NB	NB
リセット後の値	1	0	0	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NB	NBビット	macMaxCSMABackoffの値を設定します。 000b ~ 101bまで設定。	R/W
b1	NB			
b2	NB			
b3	BEMIN	BEMINビット	macMinBEの値を設定します。	R/W
b4	BEMIN			
b5	BEMIN			
b6	CW	CWビット	CWの値を設定します。	R/W
b7	CW			

## NBビット(NBビット)

図25.7中のmacMaxCSMABackoffの値を設定します(初期値は04h)。  
000b ~ 101bまで設定できます。

## BEMINビット(BEMINビット)

図25.7中のmacMinBEの値を設定します(初期値は03h)。

## CWビット(CWビット)

図25.7中のCWの値を設定します(初期値は02h)。

## 25.2.20 CSMA制御レジスタ2 (BBCSMACON2)

アドレス 2D13h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	BEMAX	BEMAX	BEMAX
リセット後の値	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	BEMAX	BEMAXビット	macMaxBEの値を設定します。	R/W
b1	BEMAX			
b2	BEMAX			
b3	-	予約ビット	"0" にしてください	R/W
b4	-			
b5	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b6	-			
b7	-			

## BEMAXビット(BEMAXビット)

図25.7中のmacMaxBEの値を設定します(初期値は05h)。

## 25.2.21 PAN識別子レジスタ(BBPANID)

PAN 識別子を設定するためのレジスタです。16 ビットで構成されており、受信フレームの PAN 識別子との一致検出に使用します。

アドレス 2D15h ~ 2D14h 番地	
ビット	b7      b6      b5      b4      b3      b2      b1      b0
シンボル	-      -      -      -      -      -      -      -
リセット後の値	0      0      0      0      0      0      0      0

アドレス 2D17h ~ 2D16h 番地	
ビット	b15      b14      b13      b12      b11      b10      b9      b8
シンボル	-      -      -      -      -      -      -      -
リセット後の値	0      0      0      0      0      0      0      0

ビット	機能	R/W
b15 ~ b0	PAN識別子	R/W

## 25.2.22 ショートアドレスレジスタ(BBSHORTAD)

ショートアドレスを設定するためのレジスタです。16 ビットで構成されており、受信フレームのショートアドレスとの一致検出に使用します。

アドレス 2D17h ~ 2D16h 番地	
ビット	b7      b6      b5      b4      b3      b2      b1      b0
シンボル	-      -      -      -      -      -      -      -
リセット後の値	0      0      0      0      0      0      0      0

アドレス 2D15h ~ 2D14h 番地	
ビット	b15      b14      b13      b12      b11      b10      b9      b8
シンボル	-      -      -      -      -      -      -      -
リセット後の値	0      0      0      0      0      0      0      0

ビット	機能	R/W
b15 ~ b0	ショートアドレス	R/W

### 25.2.23 拡張アドレスレジスタ (BBEXTENDAD0、BBEXTENDAD1、BBEXTENDAD2、BBEXTENDAD3)

拡張アドレスを設定するためのレジスタです。64ビット(16ビット×4)で構成されており、受信フレームの拡張アドレスとの一致検出に使用します。

アドレス 2D19h ~ 2D18h番地 (BBEXTENDAD0)、2D1Bh ~ 2D1Ah番地 (BBEXTENDAD1)

2D1Dh ~ 2D1Ch番地 (BBEXTENDAD2)、2D1Fh ~ 2D1Eh番地 (BBEXTENDAD3)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15 ~ b0	拡張アドレスレジスタ BBEXTENDAD0: 拡張アドレスのビット 15 ~ 0 BBEXTENDAD1: 拡張アドレスのビット 31 ~ 16 BBEXTENDAD2: 拡張アドレスのビット 47 ~ 32 BBEXTENDAD3: 拡張アドレスのビット 63 ~ 48	R/W R/W

## 25.2.24 タイマ読み出しレジスタ0、1 (BBTIMEREAD0、BBTIMEREAD1)

26ビットタイマの現在のカウント値を読み出すためのレジスタです。

タイマカウント値を読み出す際は、BBTIMEREAD0レジスタ(下位バイト)から読み出してください。

BBTIMEREAD0レジスタの7～0、15～8ビットのどちらか一方(または両方とも)読み出した時点で、BBTIMEREAD1レジスタ(上位バイト)の25～16ビットのカウント値がラッチされます。

BBTIMEREAD1レジスタを先に読み出した場合、BBTIMEREAD0レジスタはラッチされませんのでご注意ください。

なお、BBTIMEREAD0レジスタ読み出し後BBTIMEREAD1レジスタを読み出さずに再度BBTIMEREAD0レジスタを読み出しても値は更新されず、以前に読み出した値が読み出されます。

アドレス 2D21h～2D20h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15～b0	タイマ読み出しレジスタ0 BBTIMEREAD0:26ビットタイマの下位ビット(ビット15～0)	R

アドレス 2D23h～2D22h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b9～b0	タイマ読み出しレジスタ1 BBTIMEREAD1:26ビットタイマの上位ビット(ビット25～16)	R
b15～b10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

### 25.2.25 タイマコンペア $i$ ( $i=0 \sim 2$ ) レジスタ (BBTCOMPiREG0、BBTCOMPiREG1) ( $i=0 \sim 2$ )

26ビットタイマとコンペアするためのレジスタです。

3チャンネル内蔵しており、各チャンネルとも26ビットのコンペアを行います。

アドレス 2D25h ~ 2D24h番地 (BBTCOMP0REG0)、2D29h ~ 2D28h番地 (BBTCOMP1REG0)、  
2D2Dh ~ 2D2Ch番地 (BBTCOMP2REG0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15 ~ b0	タイマコンペア $i$ レジスタ0 BBTCOMPiREG0:26ビットコンペアの下位ビット(ビット15 ~ 0) $i=0 \sim 2$	R/W

アドレス 2D27h ~ 2D26h番地 (BBTCOMP0REG1)、2D2Bh ~ 2D2Ah番地 (BBTCOMP1REG1)、  
2D2Fh ~ 2D2Eh番地 (BBTCOMP2REG1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b9 ~ b0	タイマコンペア $i$ レジスタ1 BBTCOMPiREG1:26ビットコンペアの上位ビット(ビット25 ~ 16) $i=0 \sim 2$	R/W
b15 ~ b10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

## 25.2.26 タイムスタンプレジスタ0、1 (BBTSTAMP0、BBTSTAMP1)

フレーム受信完了時のタイム値を格納するためのレジスタです。

受信完了時点のタイムカウンタ値を自動的にタイムスタンプレジスタに格納されます。

スタンプ値は次のフレーム受信完了時点まで保持されます。

読み出す場合、BBTXXRXMODE3レジスタのRCVBANKSELビットで指定された受信RAMのバンクに対応したタイムスタンプ値が読み出されます。

アドレス 2D31h ~ 2D30h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15 ~ b0	タイムスタンプレジスタ0 BBTSTAMP0:26ビットスタンプ値の下位ビット(ビット15 ~ 0)(注1)	R

注1. 受信RAMバンクに対応。

アドレス 2D33h ~ 2D32h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b9 ~ b0	タイムスタンプレジスタ1 BBTSTAMP1:26ビットスタンプ値の上位ビット(ビット25 ~ 16) (注1)	R
b15 ~ b10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

注1. 受信RAMバンクに対応。

## 25.2.27 タイマ制御レジスタ (BBTIMECON)

アドレス 2D34h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	COMP0TRG	TIMEEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIMEEN	タイマカウント許可ビット	0: タイマカウント停止 1: タイマカウント許可	R/W
b1	COMP0TRG	COMP0送信トリガ有効ビット	0: 送信トリガ無効 1: 送信トリガ有効	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

## TIMEEN ビット (タイマカウント許可ビット)

26ビットタイマのカウント動作制御します。“1”に設定することでタイマカウントを許可します。“0”にすることでタイマカウントが停止するとともに、タイマカウント値は“000000h”に初期化されます。

## COMP0TRG ビット (COMP0送信トリガ有効ビット)

タイマコンペア0の値とタイマ値が一致するとRF送信を開始することができます。一致した時点からウォームアップを開始し、144  $\mu$ s後に送信を開始します。ただし、IDLE状態で実行してください。

## 25.2.28 バックオフピリオドレジスタ(BBBOFFPROD)

アドレス 2D35h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BOFFPRODEN	BOFFPROD						
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BOFFPROD	バックオフピリオドビット	バックオフピリオドビットの値を設定します。	R/W
b1	BOFFPROD			
b2	BOFFPROD			
b3	BOFFPROD			
b4	BOFFPROD			
b5	BOFFPROD			
b6	BOFFPROD			
b7	BOFFPRODEN	バックオフピリオド自動ランダム許可ビット	0 : バックオフピリオド自動ランダム無効 1 : バックオフピリオド自動ランダム許可	R/W

## BOFFPRODビット(バックオフピリオドビット)

CSMA-CA実行の際のバックオフピリオドのランダム値を設定します。

## BOFFPRODENビット(バックオフピリオド自動ランダム許可ビット)

“1”にすることにより、BOFFPRODビットに設定した値を初期値として自動でランダム値を生成し、CSMA-CA回路内部のバックオフピリオド値を設定します。必ずBOFFPRODビットでランダム値を設定した後に、BOFFPRODENビットを“1”にしてください。なお、BOFFPRODENビットを“1”にしている間は、BOFFPRODビットは再設定する必要はありません。

## 25.2.29 PLL分周レジスタ0、1 (BBPLLDIVL、BBPLLDIVH)

アドレス 2D3Bh ~ 2D3Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	1	1	0	0	1	0	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b11 ~ b0	PLLDIV	PLL分周比ビット	表25.3参照	R/W
b12	-	予約ビット	"0" にしてください	R/W
b15 ~ b13	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-

表25.3 レジスタ設定値とチャンネルの対応表

チャンネル(IEEE802.15.4)	周波数(MHz)	PLLDIV設定値
0Bh (11)	2405	965h
0Ch (12)	2410	96Ah
0Dh (13)	2415	96Fh
0Eh (14)	2420	974h
0Fh (15)	2425	979h
10h (16)	2430	97Eh
11h (17)	2435	983h
12h (18)	2440	988h
13h (19)	2445	98Dh
14h (20)	2450	992h
15h (21)	2455	997h
16h (22)	2460	99Ch
17h (23)	2465	9A1h
18h (24)	2470	9A6h
19h (25)	2475	9ABh
1Ah (26)	2480	9B0h

## 25.2.30 送信出力パワーレジスタ (BBTXOUTPWR)

アドレス 2D3Ch番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TXOUTPWR	TXOUTPWR	TXOUTPWR	TXOUTPWR	TXOUTPWR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXOUTPWR	送信出力パワー	表25.4参照	R/W
b1	TXOUTPWR			
b2	TXOUTPWR			
b3	TXOUTPWR			
b4	TXOUTPWR			
b5	-	予約ビット	“0”にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

表25.4 レジスタ設定値と出力パワーの対応表(参考データ)

TXOUTPWR	出力パワー (dBm)	TXOUTPWR	出力パワー (dBm)
00h (Min)	- 37.1	10h	- 7.2
01h	- 30.9	11h	- 6.5
02h	- 27.7	12h	- 5.9
03h	- 24.8	13h	- 5.3
04h	- 22.5	14h	- 4.8
05h	- 20.3	15h	- 4.2
06h	- 18.6	16h	- 3.8
07h	- 16.9	17h	- 3.3
08h	- 15.7	18h	- 2.9
09h	- 14.3	19h	- 2.5
0Ah	- 13.2	1Ah	- 2.1
0Bh	- 12.0	1Bh	- 1.7
0Ch	- 11.0	1Ch	- 1.4
0Dh	- 10.0	1Dh	- 1.0
0Eh	- 9.2	1Eh	- 0.7
0Fh	- 8.4	1Fh (Max)	- 0.4

注1. 表25.4に記載の出力パワー設定から、さらに出力パワーを下げる場合は、TXOUTPWRレジスタ=00h設定時に追加してBBRFINIレジスタを表25.5の設定にしてください。また、表25.5の設定を行った後、別の出力パワー設定に変更する場合は、BBRFINIレジスタに3200hを書いた後、TXOUTPWRレジスタを表25.4の設定にしてください。

表25.5 出力パワー設定

レジスタ設定値		出力パワー (dBm)
TXOUTPWR	BBRFINI	
00h (Min)	3280h	- 55.3 (注1)

注1. 出力パワーは参考値です。

### 25.2.31 RSSIオフセットレジスタ (BBRSSIOFS)

CCA/ED時または受信時のRSSI値にオフセット値を設定できます。

RSSI/CCA結果レジスタから読み出した電力値をアンテナ端に入力された電力値に合わせたい場合などに利用できます。値は2の補数で単位はdBmにて設定してください。

受信レベルスレッシュホールド設定レジスタまたはCCAレベルスレッシュホールド設定レジスタに設定された値は、RSSI/CCA結果レジスタへ格納される (RSSIオフセットレジスタに設定したオフセット値が加算された) 値と比較されます。

(例). アンテナ端への入力電力が0dBmのときに、RSSIオフセットレジスタ設定値が“F6h”(初期値)の状態ではRSSI/CCA結果レジスタから読み出した値が“FDh”(-3dBm)であった場合、あらかじめRSSIオフセットレジスタに“F3h”(F6h-3h)を設定しておくことで、同レベルの入力電力のときにRSSI/CCA結果レジスタからの読み出し値が“00h”となるようにできます。

アドレス 2D3Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RSSIOFS							
リセット後の値	1	1	1	1	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RSSIOFS	RSSIオフセットビット	RSSIオフセットビット値を設定します。	R/W
b1	RSSIOFS			
b2	RSSIOFS			
b3	RSSIOFS			
b4	RSSIOFS			
b5	RSSIOFS			
b6	RSSIOFS			
b7	RSSIOFS			

## 25.2.32 評価モード設定レジスタ(BBEVAREG)

技術基準適合証明の取得などの際に必要な評価モードを設定できます。

アドレス 2D68h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	CONTRX	NOMOD	CONTTX
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CONTTX	連続送信モードビット(注1)	0: 通常動作 1: 連続送信動作	R/W
b1	NOMOD	無変調切り替えビット	0: 変調信号 1: 無変調信号	R/W
b2	CONTRX	連続受信モードビット(注1)	0: 通常動作 1: 連続受信動作	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. これらのビットは、同時に“1”には設定しないでください。

## CONTTXビット(連続送信モードビット)

“1”に設定し、BBTXRXCONレジスタのTRNTRGビットを“1”(送信開始)にすることで連続送信モードになります。連続送信モードでは(BBTXFLENの設定した値 - 2)バイト数のフレーム送信を繰り返します。なお、送信するフレームの内容は送信RAMに書き込んだ値です。また、送信フレームレングス値は05h以上にしてください。

## NOMODビット(無変調切り替えビット)

変調信号か無変調信号かを切り換えることができます。

## CONTRXビット(連続受信モードビット)

“1”に設定し、BBTXRXCONレジスタのRCVTRGビットを“1”(受信開始)にすることで連続受信モードになります。連続受信モードではフレームを受信完了してもIDLE状態にならず、受信状態のままとなります。また、連続受信モードを使用する場合は、02DA6h番地に01hを設定してください。

### 25.2.33 IDLE ウェイト設定レジスタ (BBIDLEWAIT)

BBRFCON レジスタの RFPWRON ビットを “1” (RF パワー ON)、または BBRFCON レジスタの XINPWRON ビットを “1” (XIN パワー ON) に設定後、IDLE 状態になるまでの待ち時間を設定します。設定値時間が経過すると IDLE 割り込み要求または、クロックレギュレータ割り込みが発生します。初期値は 01h=0.5ms (設定値 1h=0.5ms)。

アドレス 2D76h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	IDLEWAIT	IDLEWAIT	IDLEWAIT	IDLEWAIT	IDLEWAIT	IDLEWAIT
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	IDLEWAIT	IDLE ウェイト設定	IDLE 状態になるまでの待ち時間を設定します。	R/W
b1	IDLEWAIT			
b2	IDLEWAIT			
b3	IDLEWAIT			
b4	IDLEWAIT			
b5	IDLEWAIT			
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

## 25.2.34 ANTSW出力タイミング設定レジスタ(BBANTSWTIMG)

ASW 端子出力のタイミングを設定するためのレジスタです。

BBTXRXCON レジスタの TRNTRG ビットを “ 1 ” (送信開始) に設定後に ASW 端子出力を “ H ” にするまでの時間を設定できます。

設定値は 01h から 8Dh まで設定可能であり初期値は 72h です (設定値は 1h = 約 1  $\mu$ s)。

01h (約 1  $\mu$ s) から 8Dh (約 141  $\mu$ s) 以外の値を設定しないでください。

アドレス 2D7Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ANTSWCONT							
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	ANTSWCONT	ANTSW出力タイミング設定	ASW端子出力のタイミングを設定します。 設定値は01hから8Dh。	R/W
b1	ANTSWCONT			
b2	ANTSWCONT			
b3	ANTSWCONT			
b4	ANTSWCONT			
b5	ANTSWCONT			
b6	ANTSWCONT			
b7	ANTSWCONT			

## 25.2.35 RF初期設定レジスタ (BBRFINI)

RFブロック内を初期設定するための16ビットのレジスタです。

RFパワー ONシーケンス時、設定を行います。

設定する場合は、上位バイトおよび下位バイトを同時に設定するか、または下位バイトをセット後、上位バイトにデータをセットしてください。

なお、本レジスタに設定後、再度設定する場合、f(BCLK)の40サイクル分以上間隔をあけてください。ただし、他のレジスタへのアクセスは可能です。

また、IDLE状態からのRFオフ状態にした場合、RF初期設定もクリアされますので、再度RFパワー ONシーケンス時、RF初期設定を行ってください。

アドレス 2D7Dh ~ 2D7Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b15 ~ b0	RFINI	RF初期設定	データを設定します。	W

## 25.2.36 ANTWSW制御レジスタ(BBANTSWCON)

ANTWSW出力許可ビットにより、ANTWSW信号をP0\_4から出力できます。

アドレス 2D82h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	ANTSWEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANTSWEN	ANTWSW出力許可ビット	0 : 通常ポート (P0_4) 1 : ANTWSW出力 (ASW)	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

## ANTSWENビット(ANTWSW出力許可ビット)

ANTWSW信号をP0\_4から出力できます。

## 25.2.37 自動ACK返信タイミング調整レジスタ(BBACKRTNTIMG)

自動ACK返信機能を有効にした場合のACK返信タイミングを調整するためのレジスタです。

アドレス 2D46h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ACKRTN							
リセット後の値	0	0	1	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKRTN	自動ACK返信タイミング設定	自動ACK返信機能を有効にした場合のACK返信タイミングを設定します。	R/W
b1	ACKRTN			
b2	ACKRTN			
b3	ACKRTN			
b4	ACKRTN			
b5	ACKRTN			
b6	ACKRTN			
b7	ACKRTN			

## 25.3 制御シーケンス

### 25.3.1 RF部およびベースバンド部立ち上げ手順例

RF部およびベースバンド部は以下の手順で立ち上げてください。(RF=OFF RF=IDLE)

- [1] BBCONレジスタのBBENビットに"1"(ベースバンド機能を有効)を設定
- [2] 2D6Dh番地に05hを設定
- [3] BBTXRXMODE4レジスタのBANK0INTSELビット、ROR0INTSELビットに"1"を設定
- [4] BBCALICレジスタに00hを設定
- [5] BBIDLEICレジスタに00hを設定
- [6] 2D92h番地に78hを設定
- [7] 2D93h番地に87hを設定
- [8] BBRFCONレジスタに07hを設定
- [9] 2D66h番地のビット7が"1"になるまで待つ
- [10] 表25.6に示す"RF初期設定レジスタ設定値1"を順次BBRFINIレジスタに設定。ただし設定ごとに2D66h番地のビット6が"0"になるまで待つ
- [11] BBCALICレジスタのIRビットが"1"になるまで待つ
- [12] 表25.7に示す"RF初期設定レジスタ設定値2"を順次BBRFINIレジスタに設定。ただし設定ごとに2D66h番地のビット6が"0"になるまで待つ
- [13] 表25.8に示す"レジスタ設定値"を設定(注1)
- [14] BBIDLEICレジスタのIRビットが"1"になるまで待つ
- [15] BBTXRXMODE4レジスタのBANK0INTSELビット、ROR0INTSELビットに"0"を設定

注1. [13]については、リセット解除後、一度設定するとRF=OFF状態にしても設定値を保持しますので、2回目以降RF=IDLEに立ち上げる際は再度設定する必要はありません。

ただし、BBTXRXRSTレジスタのRFRESETビットに"1"を設定した場合は、表25.8に示すレジスタも初期化されますので、再度設定が必要になります。

注2. [10]～[12]で、RF部でキャリブレーションが実行されるため、VCCRF側に流れる電流が数百μs程度の期間、idle時の電流に対して増加します。

### 25.3.2 RF部およびベースバンド部立ち下げ手順例

- [1] BBRFCONレジスタに00hを設定
- [2] BBCONレジスタのBBENビットに"0"(ベースバンド機能を無効)を設定

### 25.3.3 送信手順例

- [1] 25.3.1 RF部およびベースバンド部立ち上げ手順を実行してください。
- [2] BBPLLDIVLレジスタおよびBBPLLDIVHレジスタにてチャンネル設定
- [3] BBTXOUTPWRレジスタにて出力パワー設定
- [4] BBTXRXMODE0レジスタのAUTORCV0ビット設定)
- [5] 送信RAMに書き込み：2E00h番地～2E7Eh番地
- [6] BBTXFLENレジスタに送信フレームレングスを設定
- [7] BBTXRXCONレジスタのTRNTRGビットに"1"(送信開始)を設定

送信開始後以下の事象発生時に送信完了割り込みが発生します。

- 送信完了。
- ACK受信機能有効にしてACK要求付きの送信を行い、ACK受信を完了。
- ACK受信機能有効にしてACK要求付きの送信を行い、一定時間ACKを受信できなかった場合。
- 自動CSMA-CA有効にして送信を行い、CCA結果がチャネルビジーだった場合。

### 25.3.4 受信手順例

- [1] 25.3.1 RF部およびベースバンド部立ち上げ手順を実行してください。
- [2] BBPLLDIVLレジスタおよびBBPLLDIVHレジスタにてチャンネル設定
- [3] BBTXRXM0レジスタのAUTOACKENビット、AUTORCV0ビット、BEACONビット設定)
- [4] BBPANIDレジスタにPAN識別子を設定
- [5] BBSHORTADレジスタ、またはBBEXTENDAD0～BBEXTENDAD3レジスタ設定
- [6] BBTXRXC0レジスタのRCVTRGビットに“1”(受信開始)を設定
- [7] 受信完了割り込み待ち
- [8] BBTXRXM3レジスタのRCVBANKSELビットにバンク選択設定
- [9] BBRXFLENレジスタ読み出し
- [10] BBTXRXST0レジスタのCRCビットでCRC結果確認
- [11] 受信RAMデータ読み出し：2E80h番地～2EFEh番地

注1. 自動ACK返信機能有効時、ACK返信完了時に送信完了割り込みが発生しますので送信完了割り込みが必要ない場合は、送信完了割り込み優先レベルを“0”(無効)に設定してください。

### 25.3.5 CCA手順例

- [1] 25.3.1 RF部およびベースバンド部立ち上げ手順を実行してください。
- [2] BBPLLDIVLレジスタおよびBBPLLDIVHレジスタにてチャンネル設定
- [3] BBTXRXC0レジスタのCCATRGビットに“1”(CCA開始)を設定
- [4] CCA完了割り込み待ち
- [5] BBTXRXST0レジスタのCCAビットによりCCA結果確認

### 25.3.6 CSMA-CA手順例

- [1] 25.3.1 RF部およびベースバンド部立ち上げ手順を実行してください。
- [2] BBPLLDIVLレジスタおよびBBPLLDIVHレジスタにてチャンネル設定
- [3] BBTXRXM0レジスタのBEACONビット設定)
- [4] BBBOFFPRODレジスタのBOFFPROD0～BOFFPROD6ビットに初期値設定  
BBBOFFPRODレジスタのBOFFPRODENビットに“1”(バックオフピリオド自動ランダム許可)を設定
- [5] BBCSMACON0レジスタのCSMASTビットに“1”(自動CSMA-CAスタート)を設定  
同時に、CSMA-CA完了後、送信処理まで実行したい場合、BBCSMACON0レジスタのCSMATRNSTビットに“1”(CSMA-CA後送信処理)を設定
- [6] CSMA-CA完了割り込み待ち
- [7] BBTXRXST0レジスタのCSMACAビットによりCSMA-CA結果確認

表25.6 RF初期設定レジスタ設定値1

No	2D7Dh 番地	2D7Ch 番地
1	00h	01h
2	02h	83h
3	4Eh	2D88h 番地を読み出した値
4	3Eh	2D8Ah 番地を読み出した値
5	34h	2D8Eh 番地を読み出した値
6	04h	36h
7	22h	2Eh
8	24h	00h
9	06h	47h
10	16h	80h
11	50h	28h
12	52h	39h
13	0Ah	61h
14	5Eh	FCh
15	7Eh	00h

表25.7 RF初期設定レジスタ設定値2

No	2D7Dh 番地	2D7Ch 番地
1	02h	00h
2	5Eh	F4h

表25.8 レジスタ設定値

No.	アドレス	設定値	リセット後	設定要否	No.	アドレス	設定値	リセット後	設定要否	No.	アドレス	設定値	リセット後	設定要否
1	2D3Dh 番地	F5h	F6h		69	2DDAh 番地	5Fh	44h		137	2F3Eh 番地	E5h	50h	
2	2D46h 番地	28h	22h		70	2DDBh 番地	00h	00h		138	2F3Fh 番地	0Fh	14h	
3	2D4Ch 番地	80h	00h		71	2DDCh 番地	01h	01h		139	2F40h 番地	E8h	E8h	
4	2D52h 番地	FFh	42h		72	2DDDh 番地	00h	00h		140	2F41h 番地	03h	03h	
5	2D53h 番地	72h	72h		73	2DDEh 番地	05h	05h		141	2F42h 番地	00h	E8h	
6	2D54h 番地	90h	8Dh		74	2DDFh 番地	00h	00h		142	2F43h 番地	04h	03h	
7	2D58h 番地	01h	48h		75	2DE0h 番地	70h	B4h		143	2F44h 番地	1Eh	E8h	
8	2D5Ah 番地	8Fh	88h		76	2DE1h 番地	00h	00h		144	2F45h 番地	02h	03h	
9	2D5Bh 番地	01h	7Ah		77	2DE2h 番地	70h	B4h		145	2F46h 番地	40h	58h	
10	2D74h 番地	03h	3Ch		78	2DE3h 番地	00h	00h		146	2F47h 番地	01h	02h	
11	2DA0h 番地	07h	07h		79	2DE4h 番地	70h	B4h		147	2F48h 番地	3Fh	2Ch	
12	2DA1h 番地	01h	01h		80	2DE5h 番地	00h	00h		148	2F49h 番地	00h	01h	
13	2DA2h 番地	0Ch	07h		81	2DE6h 番地	88h	50h		149	2F4Ah 番地	E1h	EAh	
14	2DA3h 番地	00h	00h		82	2DE7h 番地	7Fh	14h		150	2F4Bh 番地	F6h	01h	
15	2DA4h 番地	20h	E8h		83	2DE8h 番地	70h	C8h		151	2F4Ch 番地	0Ch	18h	
16	2DA5h 番地	01h	03h		84	2DE9h 番地	00h	00h		152	2F4Dh 番地	4Fh	48h	
17	2DA6h 番地	03h	03h		85	2DEAh 番地	70h	FAh		153	2F4Eh 番地	08h	00h	
18	2DA7h 番地	DDh	DDh		86	2DEBh 番地	00h	00h		154	2F4Fh 番地	00h	40h	
19	2DA8h 番地	20h	E8h		87	2DEC 番地	70h	FAh		155	2F50h 番地	6Ah	10h	
20	2DA9h 番地	01h	03h		88	2DEDh 番地	00h	00h		156	2F51h 番地	0Eh	0Eh	
21	2DAAh 番地	20h	E8h		89	2DEEh 番地	88h	50h		157	2F52h 番地	08h	14h	
22	2DABh 番地	01h	03h		90	2DEFh 番地	7Fh	14h		158	2F53h 番地	00h	00h	
23	2DACH 番地	14h	32h		91	2DF0h 番地	0Eh	17h		159	2F54h 番地	00h	00h	
24	2DADh 番地	00h	00h		92	2DF1h 番地	34h	67h		160	2F55h 番地	40h	00h	
25	2DAEh 番地	05h	08h		93	2DF2h 番地	4Ah	7Dh		161	2F56h 番地	C8h	C8h	
26	2DAFh 番地	09h	0Dh		94	2DF3h 番地	6Ah	7Fh		162	2F57h 番地	00h	00h	
27	2DB0h 番地	58h	58h		95	2DF4h 番地	35h	35h		163	2F58h 番地	C8h	C8h	
28	2DB1h 番地	02h	02h		96	2DF5h 番地	05h	04h		164	2F59h 番地	00h	00h	
29	2DB2h 番地	1Eh	00h		97	2DF6h 番地	28h	50h		165	2F5Ah 番地	93h	93h	
30	2DB3h 番地	02h	00h		98	2DF7h 番地	00h	00h		166	2F5Bh 番地	34h	34h	
31	2DB4h 番地	32h	32h		99	2DF8h 番地	EEh	EEh		167	2F5Ch 番地	69h	69h	
32	2DB5h 番地	00h	00h		100	2DF9h 番地	01h	01h		168	2F5Dh 番地	93h	93h	
33	2DB6h 番地	60h	B4h		101	2DFAh 番地	12h	12h		169	2F5Eh 番地	34h	34h	
34	2DB7h 番地	00h	00h		102	2DFBh 番地	7Fh	7Eh		170	2F5Fh 番地	69h	69h	
35	2DB8h 番地	60h	C8h		103	2DFCh 番地	45h	78h		171	2F60h 番地	92h	92h	
36	2DB9h 番地	00h	00h		104	2DFDh 番地	A3h	D6h		172	2F61h 番地	34h	34h	
37	2DBAh 番地	55h	55h		105	2DFEh 番地	34h	37h		173	2F62h 番地	69h	69h	
38	2DBBh 番地	00h	01h		106	2DFFh 番地	40h	00h		174	2F63h 番地	92h	92h	
39	2DBC 番地	22h	28h		107	2F20h 番地	2Fh	3Fh		175	2F64h 番地	34h	34h	
40	2DBDh 番地	00h	00h		108	2F21h 番地	00h	00h		176	2F65h 番地	69h	69h	
41	2DBEh 番地	00h	00h		109	2F22h 番地	5Fh	64h		177	2F66h 番地	D3h	93h	
42	2DBFh 番地	03h	03h		110	2F23h 番地	00h	00h		178	2F67h 番地	B6h	34h	
43	2DC0h 番地	00h	00h		111	2F24h 番地	5Fh	64h		179	2F68h 番地	6Dh	69h	
44	2DC1h 番地	00h	00h		112	2F25h 番地	00h	00h		180	2F69h 番地	D3h	93h	
45	2DC2h 番地	20h	20h		113	2F26h 番地	3Fh	05h		181	2F6Ah 番地	B6h	34h	
46	2DC3h 番地	08h	08h		114	2F27h 番地	00h	00h		182	2F6Bh 番地	6Dh	69h	
47	2DC4h 番地	11h	11h		115	2F28h 番地	01h	11h		183	2F6Ch 番地	8Ah	4Ah	
48	2DC5h 番地	34h	14h		116	2F29h 番地	01h	01h		184	2F6Dh 番地	A4h	B2h	
49	2DC6h 番地	2Ch	2Ch		117	2F2Ah 番地	2Ah	28h		185	2F6Eh 番地	44h	64h	
50	2DC7h 番地	01h	01h		118	2F2Bh 番地	17h	0Fh		186	2F6Fh 番地	41h	4Ah	
51	2DC8h 番地	01h	01h		119	2F2Ch 番地	1Eh	10h		187	2F70h 番地	A2h	B2h	
52	2DC9h 番地	00h	00h		120	2F2Dh 番地	19h	19h		188	2F71h 番地	44h	64h	
53	2DCAh 番地	76h	EDh		121	2F2Eh 番地	26h	25h		189	2F72h 番地	6Bh	6Bh	
54	2DCBh 番地	6Bh	BAh		122	2F2Fh 番地	15h	05h		190	2F73h 番地	B7h	B7h	
55	2DCC 番地	B7h	76h		123	2F30h 番地	C8h	C8h		191	2F74h 番地	76h	76h	
56	2DCDh 番地	76h	2Dh		124	2F31h 番地	00h	00h		192	2F75h 番地	6Bh	6Dh	
57	2DCEh 番地	0Fh	34h		125	2F32h 番地	FAh	FAh		193	2F76h 番地	B7h	BBh	
58	2DCFh 番地	00h	00h		126	2F33h 番地	00h	00h		194	2F77h 番地	76h	76h	
59	2DD0h 番地	7Fh	7Fh		127	2F34h 番地	C8h	FAh		195	2F78h 番地	8Ah	8Ah	
60	2DD1h 番地	00h	00h		128	2F35h 番地	00h	00h		196	2F79h 番地	A4h	A4h	
61	2DD2h 番地	4Ch	48h		129	2F36h 番地	C8h	50h		197	2F7Ah 番地	44h	44h	
62	2DD3h 番地	14h	0Dh		130	2F37h 番地	00h	14h		198	2F7Bh 番地	41h	41h	
63	2DD4h 番地	3Fh	05h		131	2F38h 番地	C8h	C8h		199	2F7Ch 番地	A2h	A2h	
64	2DD5h 番地	00h	00h		132	2F39h 番地	00h	00h		200	2F7Dh 番地	44h	44h	
65	2DD6h 番地	00h	00h		133	2F3Ah 番地	C8h	FAh		201	2F7Eh 番地	6Bh	6Bh	
66	2DD7h 番地	00h	00h		134	2F3Bh 番地	00h	00h		202	2F7Fh 番地	B7h	37h	
67	2DD8h 番地	C4h	48h		135	2F3Ch 番地	C8h	FAh						
68	2DD9h 番地	19h	0Dh		136	2F3Dh 番地	10h	00h						

注1. 設定要否の欄に “ ” のあるレジスタは必ず設定値を設定してください。

## 25.4 ベースバンド機能使用上の注意

### 25.4.1 特定の受信フレームの処理

IEEE802.15.4規格を満たすために、R8C/3MQのベースバンド機能によるアドレスフィルタリング機能に加えて、ソフトウェアによって表25.9に示すフレームは破棄するようにしてください。

表25.9 破棄すべきフレーム

フレームタイプ (Frame Control Field Bits2-0)	送信先アドレスモード (Frame Control Field Bits11-10)	送信元アドレスモード (Frame Control Field Bits15-14)
000b	00b	00b
000b	01b	-
000b	-	01b
000b	10b	-
000b	11b	-

注1. 表中“-”部は値にかかわらず破棄くださるようお願いいたします。

### 25.4.2 タイマトリガCSMA-CA付き送信の方法

以下のように設定することで、タイマコンペア0の送信トリガ機能をCSMA-CA機能のトリガとして使用できます。

- BBTCOMP0REG0レジスタにCSMA-CA付き送信を開始する時刻を設定する。
- BBTIMECONレジスタのビット3に“1”を設定する。
- BBTIMECONレジスタのCOMP0TRGビットに“1”を設定する。

### 25.4.3 自動CSMA-CA機能を使用する場合の設定

自動CSMA-CA機能を使用する際、2D4Eh番地および2D4Fh番地に以下の値を設定してください。

- BBCSMACON1レジスタのBEMINビット=“000b”の場合：2D4Eh番地にF9hを、  
2D4Fh番地に13hを設定する。
- BBCSMACON1レジスタのBEMINビット=“000b”以外の場合：2D4Eh番地に01hを、  
2D4Fh番地に09hを設定する。

なお、2D4Eh番地および2D4Fh番地のリセット解除後の初期値はそれぞれ01hおよび09hですので、BEMINビット=000bで使用することがない場合、2D4Eh番地および2D4Fh番地には値を設定する必要はありません。

### 25.4.4 RF通信停止ビットによりRF通信を停止する場合の注意

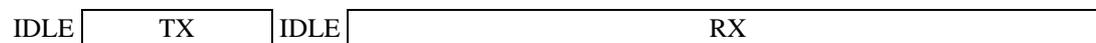
無線フレームの送受信動作中やCCA動作中にBBTXRXRSTレジスタのRFSTOPビットを“1”(RF通信停止)に設定すると、その設定後に送信、受信およびCCA関係の割り込みが発生することがあります。RFSTOPビットを“1”に設定する前に関連する割り込みを禁止するなどの対策をお願いします。

対象となる割り込みは送信完了、バンク0受信完了、バンク1受信完了、アドレスフィルタ、CCA完了、送信オーバーラン、受信オーバーラン0、受信オーバーラン1になります。

## 25.4.5 自動送受信動作例

## 25.4.5.1 送信

- BBTXRXMODE0レジスタのAUTORCV0ビット=1(自動受信切り替え許可)に設定



## 25.4.5.2 受信

- BBTXRXMODE0レジスタのAUTORCV1ビット=1(自動受信切り替え許可)に設定



## 25.4.5.3 ACK

- BBTXRXMODE0レジスタのAUTOACKビット=1(自動ACK許可)に設定



ACK要求あり

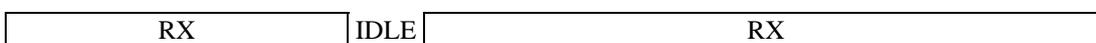


ACK要求なし

- BBTXRXMODE0レジスタのAUTOACKビット=1(自動ACK許可)に設定
- BBTXRXMODE0レジスタのAUTORCV1ビット=1(自動受信切り替え許可)に設定



ACK要求あり



ACK要求なし

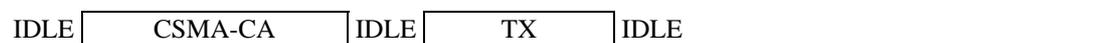
- BBTXRXMODE1レジスタのACKRCVENビット=1(自動ACK受信許可)に設定
- BBTXRXMODE0レジスタのAUTORCV0ビット=1(自動受信切り替え許可)に設定



ACK要求あり

## 25.4.5.4 CSMA-CA

- BBCSMACON0レジスタのCSMATRNSTビット=1(CSMA-CA後送信処理)に設定

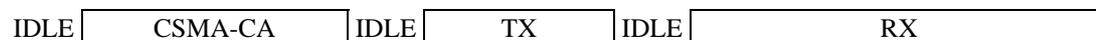


結果OK



結果NG

- BBCSMACON0レジスタのCSMATRNSTビット=1(CSMA-CA後送信処理)に設定
- BBTXRXMODE0レジスタのAUTORCV0ビット=1(自動受信切り替え許可)に設定



結果OK



結果NG

## 26. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

### 26.1 概要

表26.1にフラッシュメモリの性能概要を示します(表26.1に示す以外の項目は「表1.1～表1.2 R8C/3MQグループの仕様概要」を参照してください)。

表26.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図26.1を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0～7 (プログラムROM)(注3)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		7コマンド
プログラム、イレーズ回数(注2)	ブロック0～7 (プログラムROM)(注3)	1,000回
	ブロックA、B、C、D (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合の電源電圧はフラッシュメモリの動作モードによって異なります。「表26.2 フラッシュメモリ書き換えモードの概要」を参照してください。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図26.1 R8C/3MQグループのフラッシュメモリのブロック図」を参照してください。

表26.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	
プログラム、イレーズ時の電源電圧	VCC = 1.8V ~ 3.6V	VCC = 2.7V ~ 3.6V	VCC = 2.7V ~ 3.6V

## 26.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図26.1にR8C/3MQグループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM： 主にプログラムを格納するためのフラッシュメモリ

データフラッシュ： 主に書き換えが必要なデータを格納するためのフラッシュメモリ

データフラッシュ上でプログラムは実行できません。

データフラッシュをプログラム領域として使用しないでください。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

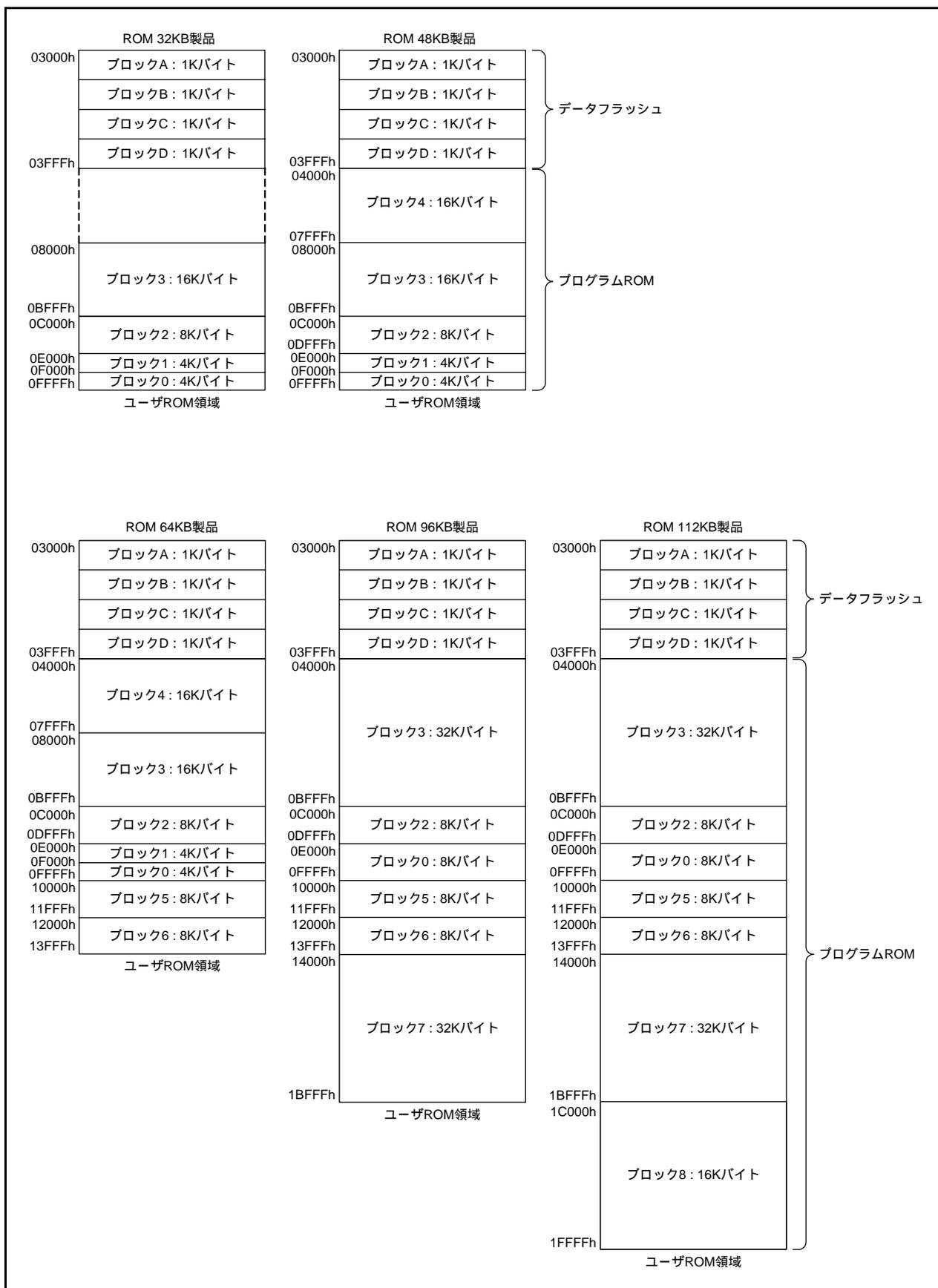


図 26.1 R8C/3MQグループのフラッシュメモリのブロック図

## 26.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

### 26.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

### 26.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「13. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

### 26.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 設定しないでください 01: 2.85Vを選択(Vdet0_2) 10: 2.35Vを選択(Vdet0_1) 11: 1.90Vを選択(Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

## 26.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表26.3にEW0モードとEW1モードの違いを示します。

表26.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限		プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPU、DTCの状態	動作	<ul style="list-style-type: none"> <li>データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCは動作</li> <li>プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCはホールド状態(入出力ポートはコマンド実行前の状態を保持)</li> </ul>
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	<ul style="list-style-type: none"> <li>プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする</li> <li>FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生</li> </ul>	<ul style="list-style-type: none"> <li>プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする(データフラッシュ領域を書き換え中)</li> <li>FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生</li> </ul>
CPUクロック	1.8V VCC < 2.15V時：最大4MHz 2.15V VCC < 2.7V時：最大8MHz 2.7V VCC 3.6V時：最大16MHz	

## 26.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	-	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニタフラグ	0: ロック状態 1: 非ロック状態	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

- 注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。読んでから書くまでの間はフラッシュレディステータス要因によるDTC起動を禁止にしてください。このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを“1”(フラッシュレディステータス割り込み許可)にしてください。
- 注2. プログラムでBSYAEIビットを“1”(フラッシュアクセスエラー割り込み要求あり)にできません。BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にしてください。
- 注3. コマンドエラー時にも“1”(エラーあり)になります。
- 注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

### RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジューからレディに遷移すると、RDYSTIビットは“1”になります。

ビジューからレディに変化するの、次の状態のときです。

- フラッシュメモリのイレーズ/プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブロックブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

### BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

- (1) 割り込み処理のプログラムで“0”にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

[“1”になる条件]

- (1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジュー状態で、イレーズ/ライトを実行している領域を読み/書きする。  
または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域をリードする。  
(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

### LBDATA ビット (LBDATA モニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7 ビットが“1” (レディ) になった後で、LBDATA ビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7 ビットが“0” (ビジー) になります。FST7 ビットが“1” (レディ) になった時点でLBDATA ビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATA ビットのデータは保持されます。

### FST4 ビット (プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0” となります。詳細は「26.4.12 フルステータスチェック」を参照してください。

### FST5 ビット (イレーズエラー / ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0” となります。詳細は「26.4.12 フルステータスチェック」を参照してください。

### FST6 ビット (イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると“1” になります。それ以外のときは“0” になります。

### FST7 ビット (レディ / ビジーステータスフラグ)

FST7 ビットが“0” (ビジー) のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7 ビットが“1” (レディ) になります。

## 26.4.2 フラッシュメモリ制御レジスタ0 (FMR0)

アドレス 01B4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセット ビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可 ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み 許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み 許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
- 注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
- 注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
- 注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

## FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

## FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

### FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「27.2.9 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが“1”のとき(FMSTPビットを“1”から“0”へ変更直後のビジー中(FST7ビットが“0”の期間)も含む)は、同時に低消費電流リードモードにしないでください。

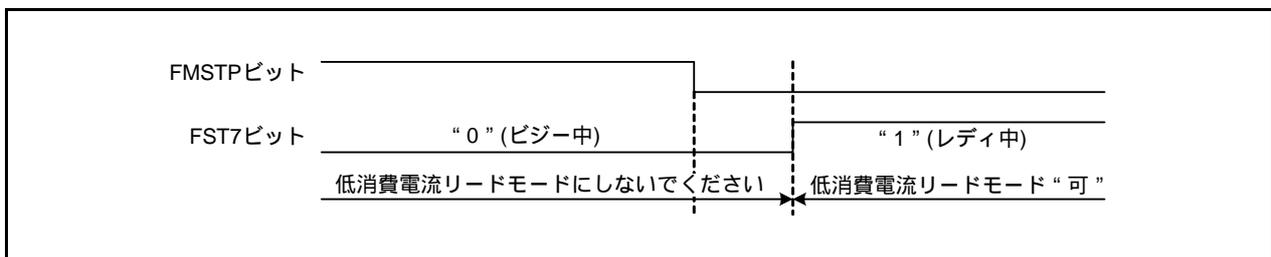


図26.2 低消費電流リードモードへの移行

### CMDRSTビット(イレース/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレースコマンドを強制停止させるためのビットです。データフラッシュ領域へのプログラム/イレース中のシーケンスリセットの場合は、プログラムROM領域を読み出すことは可能です。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレースコマンドを強制停止した場合、FSTレジスタのFST7ビットが“1”(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレースコマンドを再度実行し、ブロックイレースが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後で、ブロックイレースコマンドを再度実行してください。

また、イレースサスペンド中にCMDRSTビットを“1”(イレース/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレースをサスペンドしていたブロックに対しても、ブロックイレースを再度実行してください。

CMDRSTビットを“1”(イレース/ライト停止)にしてから、 $t_d(\text{CMDRST-READY})$ 後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

### CMDERIE ビット(イレース/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレースエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIE ビットを“1”(イレース/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIE ビットを“0”(イレース/ライトエラー割り込み禁止)から“1”(イレース/ライトエラー割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIE ビットを“1”にする。

### BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを“0”(フラッシュアクセスエラー割り込み禁止)から“1”(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのBSYAEI ビットを読む(ダミーリード)。
- (2) BSYAEI ビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIE ビットを“1”(フラッシュアクセスエラー割り込み許可)にする。

### RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを“0”(フラッシュレディステータス割り込み禁止)から“1”(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのRDYSTI ビットを読む(ダミーリード)。
- (2) RDYSTI ビットに“0”(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIE ビットを“1”(フラッシュレディステータス割り込み許可)にする。

## 26.4.3 フラッシュメモリ制御レジスタ1 (FMR1)

アドレス 01B5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	FMR13	ロックビット無効選択ビット(注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W

注1. FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注3. FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にすると“0”になります。

## FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「26.4.10 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

## [“0”になる条件]

次の条件が成立した時点で“0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレーズサスペンド移行時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

## [“1”になる条件]

プログラムで“1”にしてください。

**FMR14ビット(データフラッシュブロックA書き換え禁止ビット)**

FMR14ビットが“0”のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレースコマンドを受け付けます。

**FMR15ビット(データフラッシュブロックB書き換え禁止ビット)**

FMR15ビットが“0”のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレースコマンドを受け付けます。

**FMR16ビット(データフラッシュブロックC書き換え禁止ビット)**

FMR16ビットが“0”のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレースコマンドを受け付けます。

**FMR17ビット(データフラッシュブロックD書き換え禁止ビット)**

FMR17ビットが“0”のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレースコマンドを受け付けます。

## 26.4.4 フラッシュメモリ制御レジスタ2 (FMR2)

アドレス 01B6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	-	-	-	-	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット (注1)	0: イレーズサスペンド禁止 1: イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエスト ビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエ スト許可ビット(注1)	0: 割り込み要求でイレーズサスペンドリクエスト禁止 1: 割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	FMR27	低消費電流リードモード許可 ビット(注1、3)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
- 注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。
- 注3. 次のいずれかの設定をした後、FMR27ビットを“1”にしてください。
- CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定
  - CPUクロックをXCINクロックの1分周(分周なし)、2分周、4分周または8分周に設定
- ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態では、ウェイトモードまたはストップモードへ移行しないでください。

## FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

## FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

[“0”になる条件]

プログラムで“0”にしてください。

[“1”になる条件]

- 割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- プログラムで“1”にしてください。

### FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、“1”にしてください。

### FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「27.2.10 低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

#### 26.4.5 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを“1”(イレーズサスペンド許可)、FMR21ビットを“1”(イレーズサスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが“1”(レディ)になったことを確認し、FST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST6ビットが“0”になったとき、消去終了です)。

FMR2レジスタのFMR21ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが“0”になったことを確認し、FST6ビットが“0”(イレーズサスペンド以外)になったことを確認してください。

#### 26.4.6 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

### 26.4.7 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます(「表 26.4 サスペンド中に実行できる動作」参照)。

- データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラム ROM への自動書き込みおよび読み出しが実行できます。
- プログラム ROMの任意のブロックの自動消去をサスペンドした場合、プログラム ROMの別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラム ROMの自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスペンドを確認する場合、FST7ビットが“1”(レディ)となったことを確認後、FST6ビットが“1”(イレースサスペンド中)になったことで、サスペンドしたことを確認してください。(FST6ビットが“0”(イレースサスペンド以外)となったときは、消去終了です。)

図 26.3 にサスペンド動作に関するタイミングを示します。

表 26.4 サスペンド中に実行できる動作

		サスペンド中の動作													
		データフラッシュ (サスペンド移行前の イレース実行ブロック)			データフラッシュ (サスペンド移行前の イレース未実行ブロック)			プログラムROM (サスペンド移行前の イレース実行ブロック)			プログラムROM (サスペンド移行前の イレース未実行ブロック)				
		イレース	プログラム	リード	イレース	プログラム	リード	イレース	プログラム	リード	イレース	プログラム	リード		
サスペンド 移行前の イレース 実行領域	データ フラッシュ	×	×	×	×								×		(注5)
	プログラム ROM				×			×	×	×	×				

注1. はサスペンド機能を使用することで動作可能、×は動作禁止、 は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレースはブロックイレースを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”(レディ)で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレースサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュをプログラムあるいはブロックイレース動作中に、BGO機能によりプログラムROM領域を読み出すことができます。

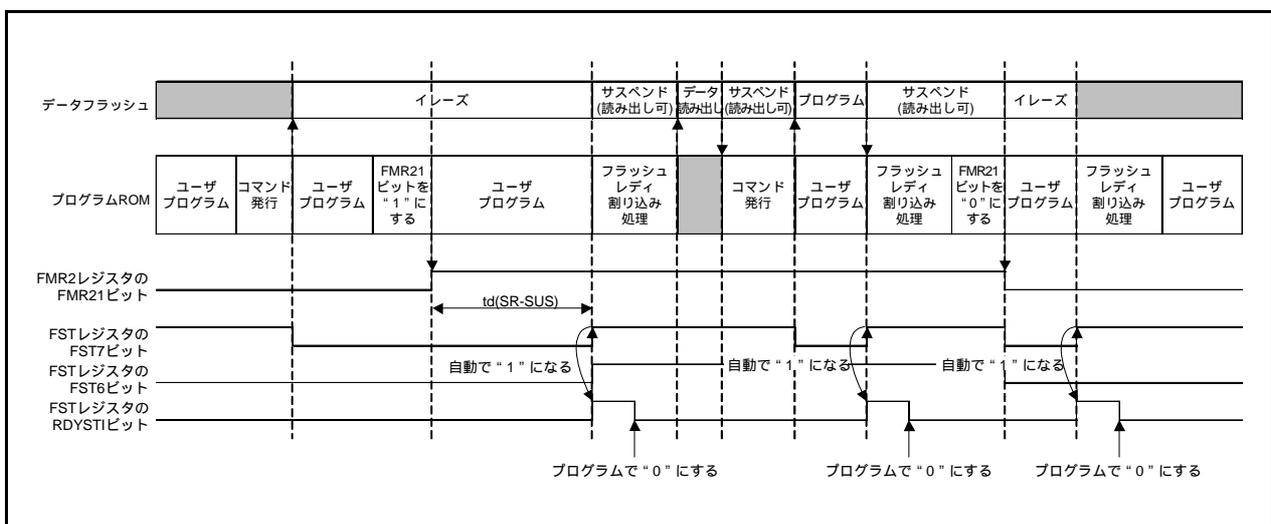


図 26.3 サスペンド動作に関するタイミング

## 26.4.8 各モードの設定と解除方法

図26.4にEW0モードの設定と解除方法を、図26.5にEW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法を示します。

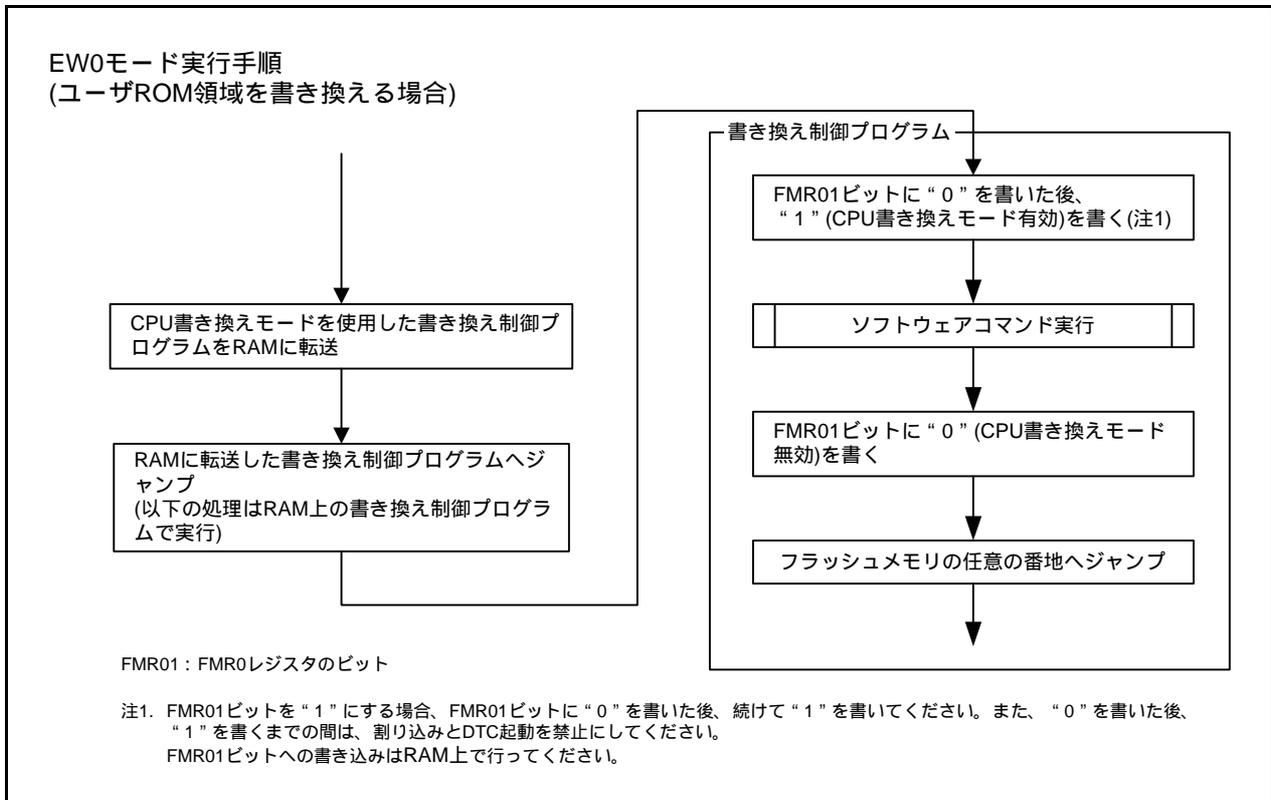


図26.4 EW0モードの設定と解除方法

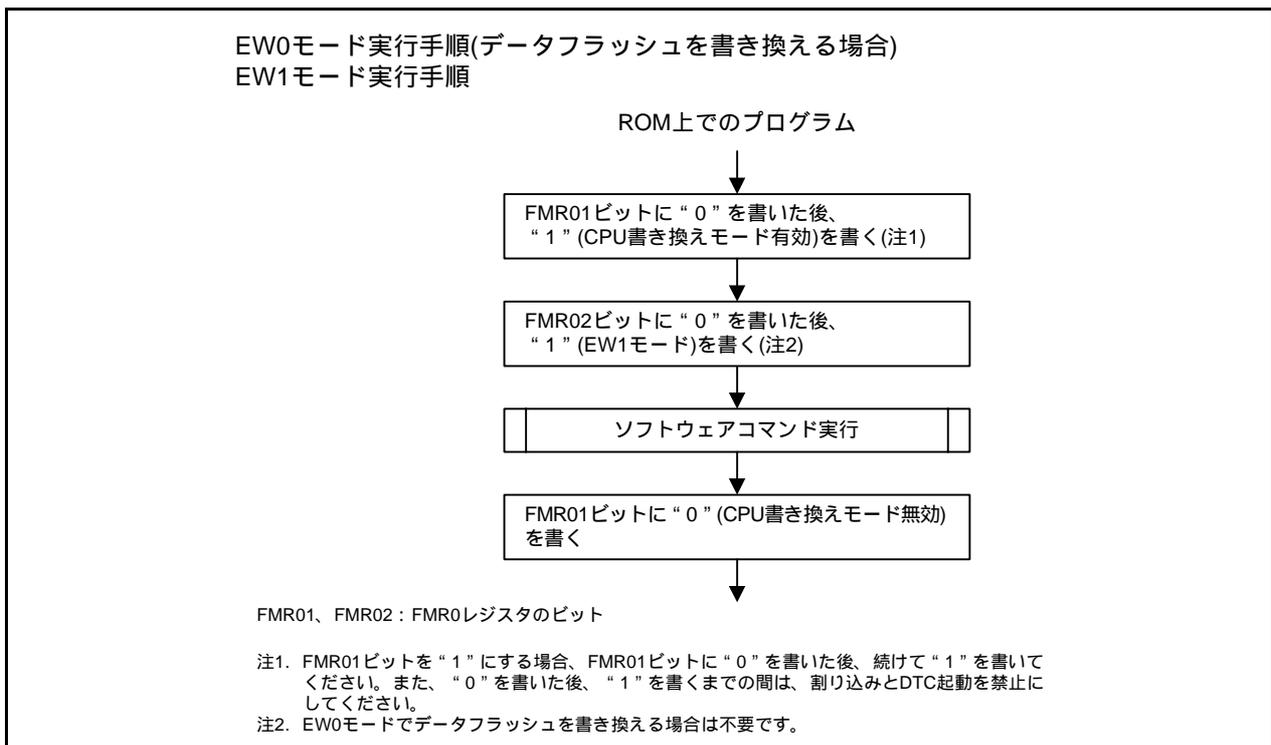


図26.5 EW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法

### 26.4.9 BGO(バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図26.6にBGO機能を示します。

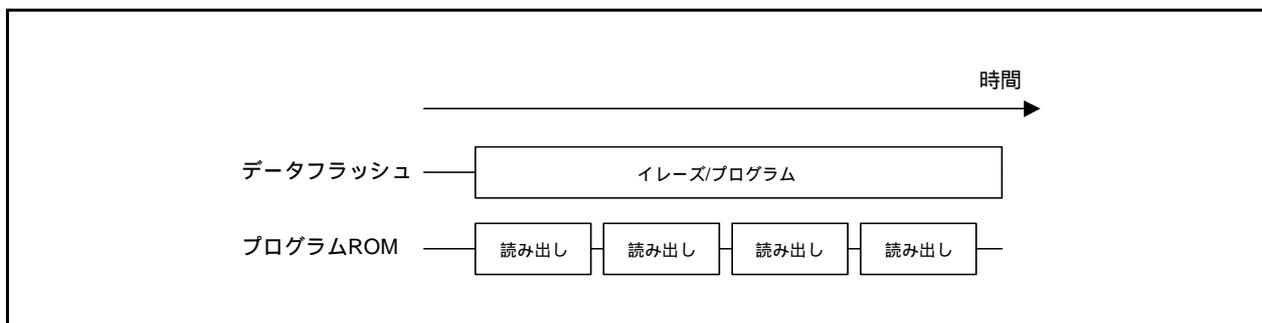


図26.6 BGO機能

### 26.4.10 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「26.4.11 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、“0”になります。FMR13ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが“0”(ビジー)から“1”(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

図26.7にFMR13ビットの動作に関するタイミングを示します。

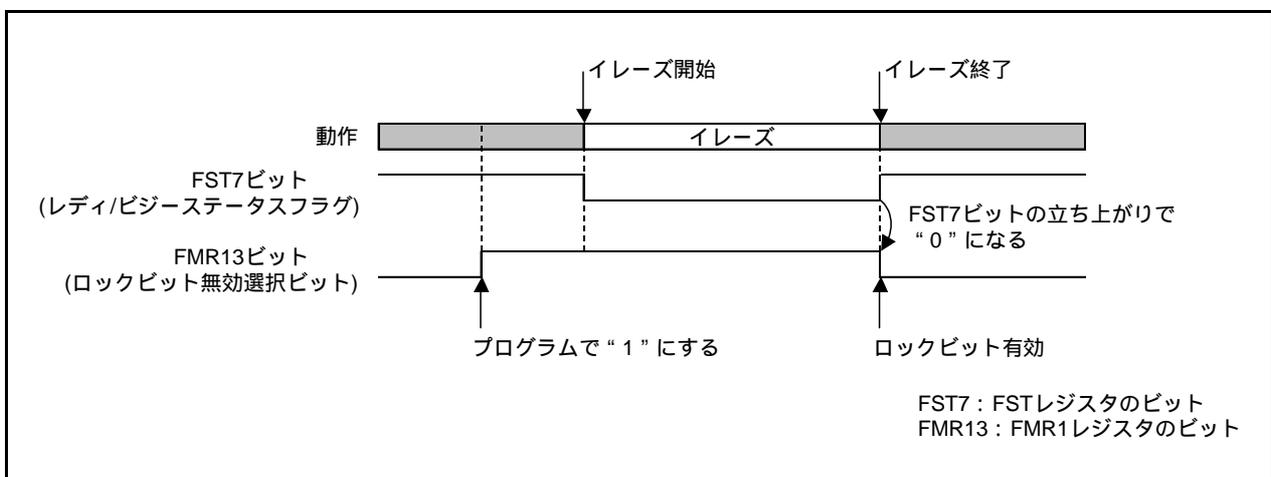


図26.7 FMR13ビットの動作に関するタイミング

### 26.4.11 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表26.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	x	FFh			
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	x	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	x	25h	ライト	BA	D0h

WA：書き込み番地

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

x：ユーザROM領域内の任意の番地

#### 26.4.11.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

#### 26.4.11.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

### 26.4.11.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます(「26.4.12 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図26.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図26.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

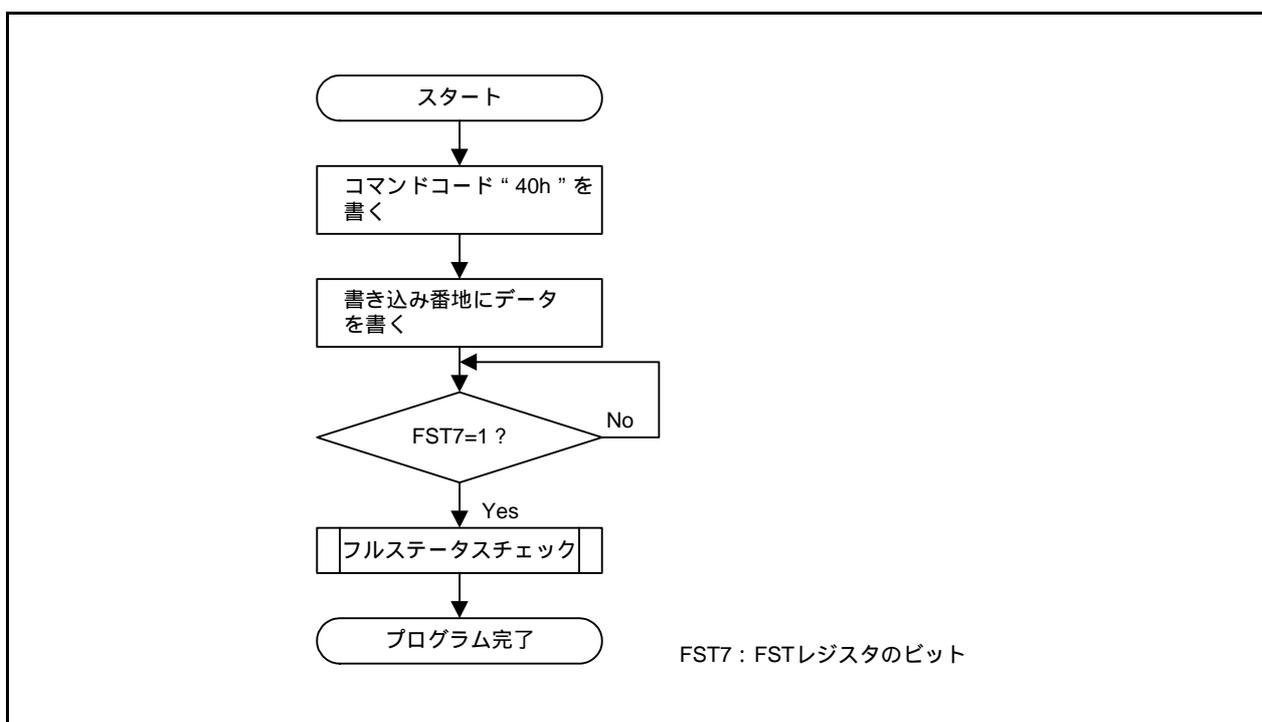


図26.8 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

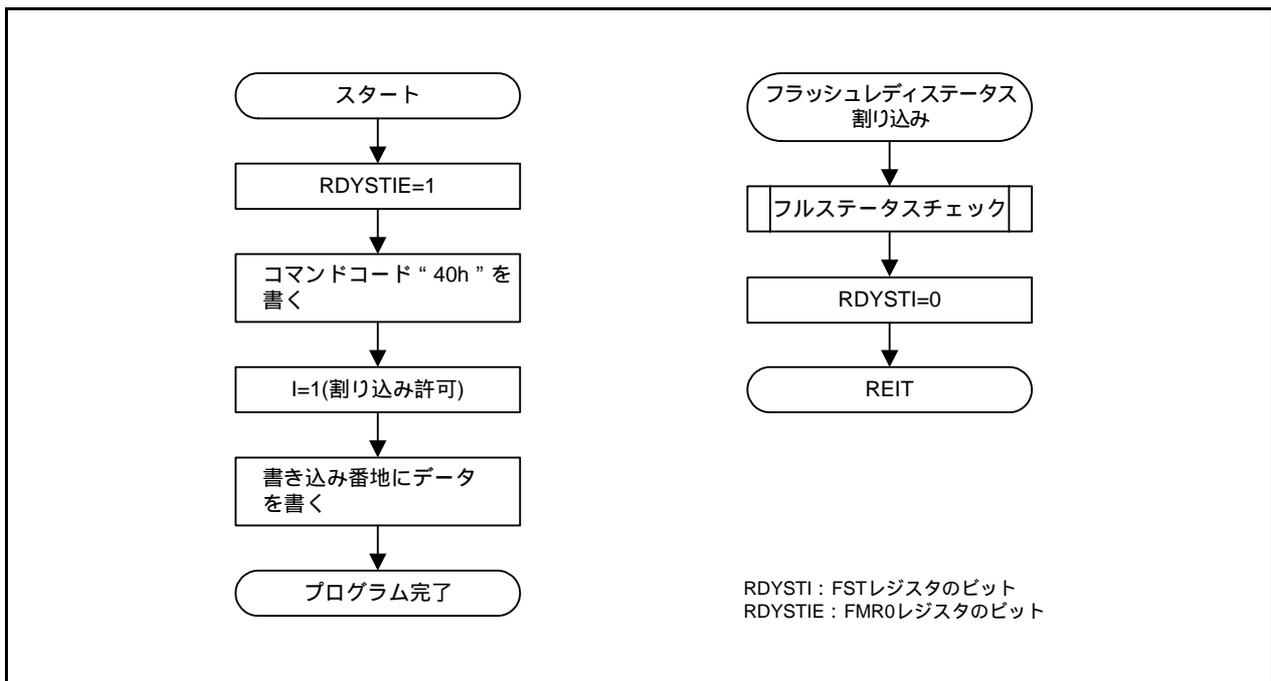


図26.9 プログラムフローチャート(フラッシュレディステータス割り込み許可)

#### 26.4.11.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は、“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます(「26.4.12 フルステータスチェック」参照)。

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図26.10にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図26.11にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図26.12にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を、図26.13にEW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

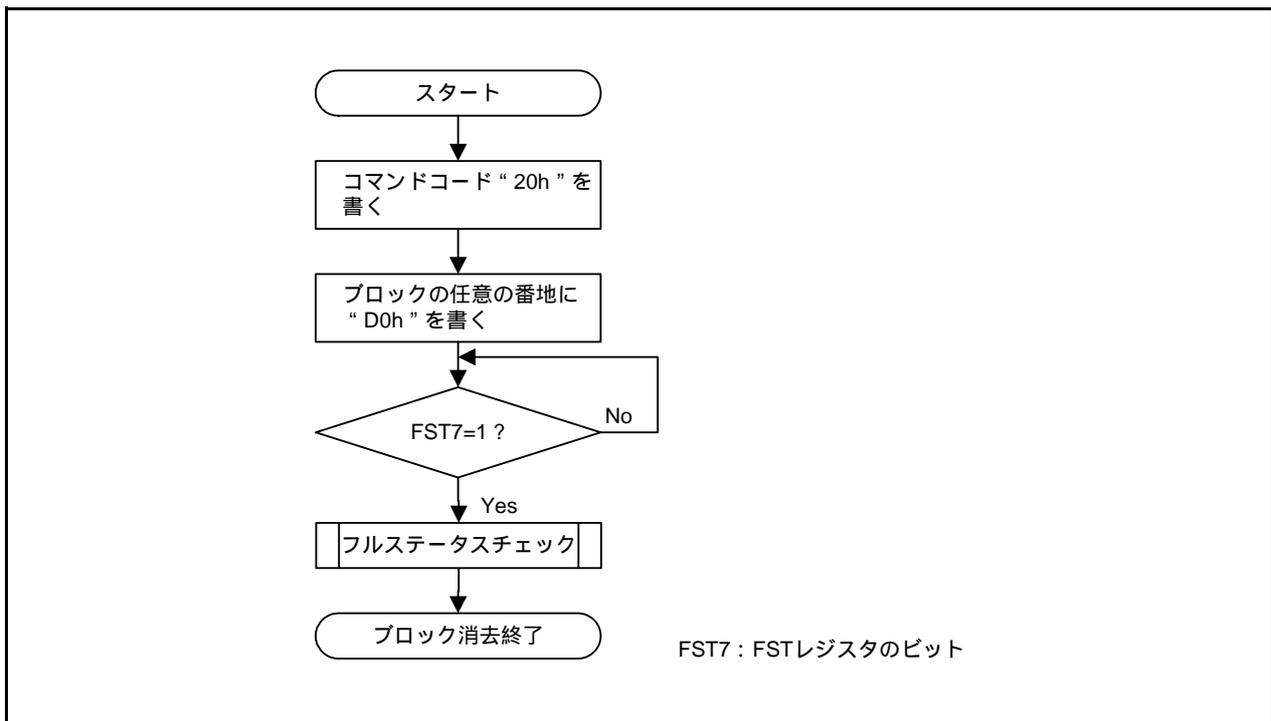


図26.10 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

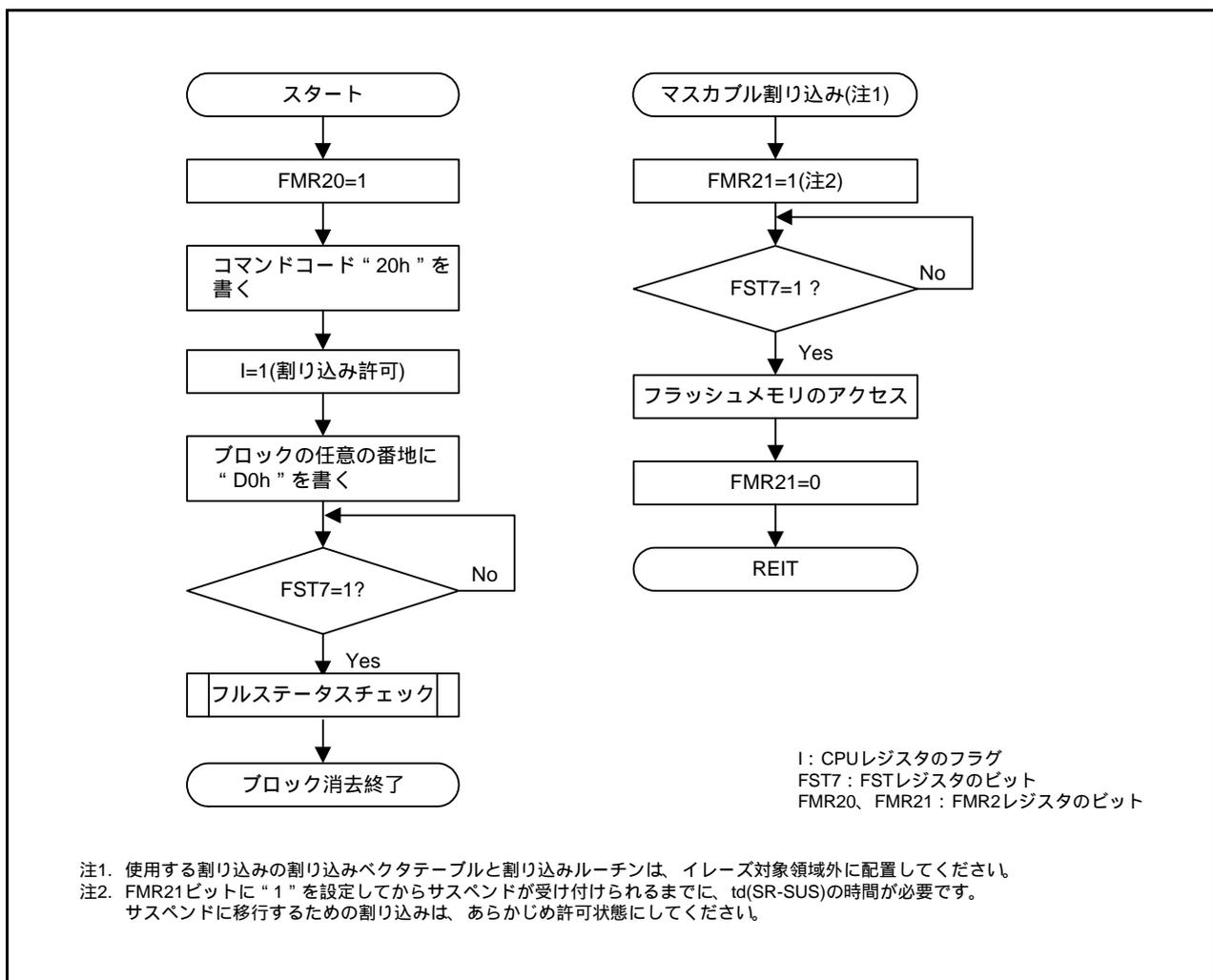


図26.11 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

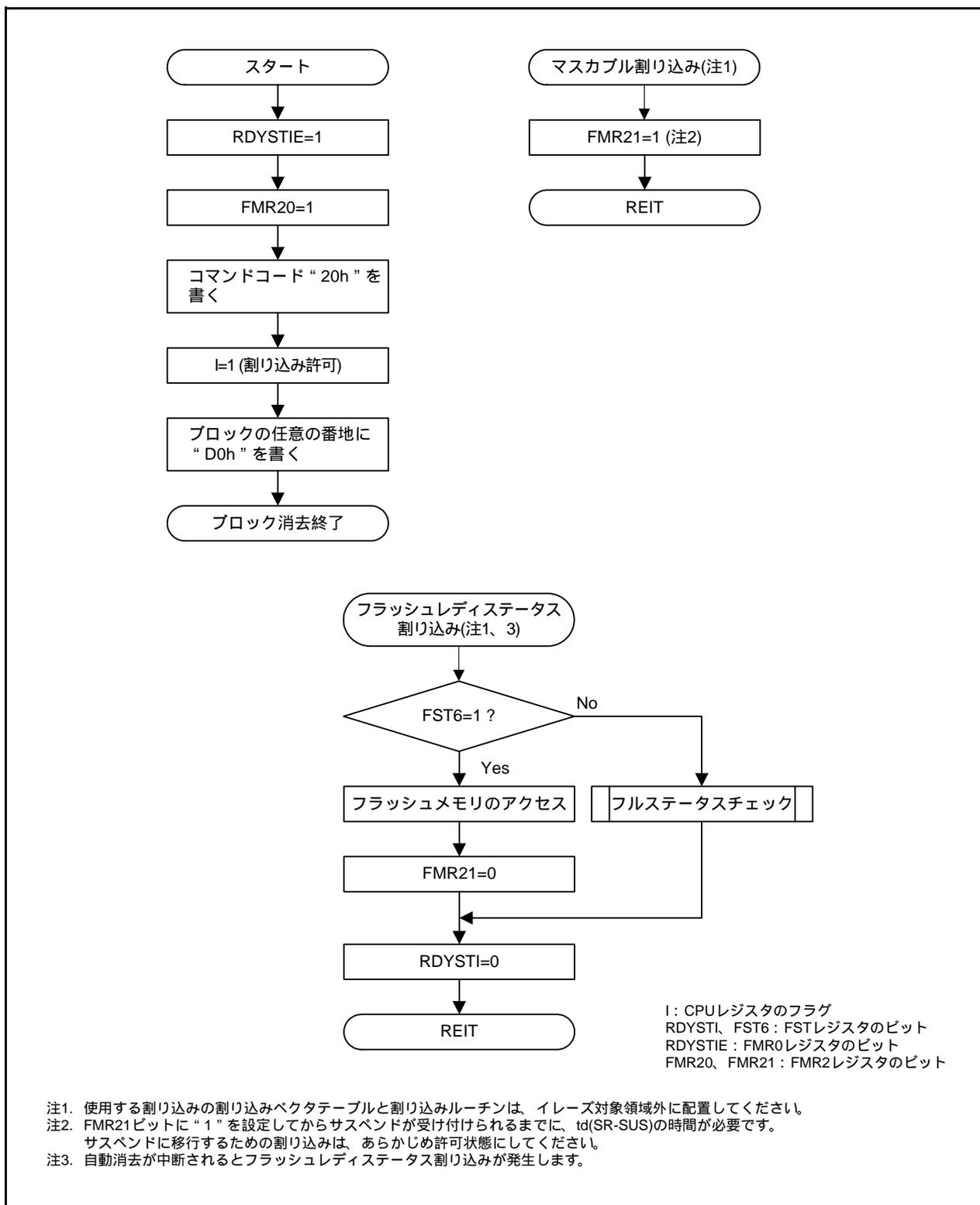


図 26.12 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

FMR22ビットを“1”(割り込み要求でサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(サスペンドリクエスト)にします。EW1モードでユーザROM領域を自動消去中にサスペンドを使用するときに、“1”にしてください。

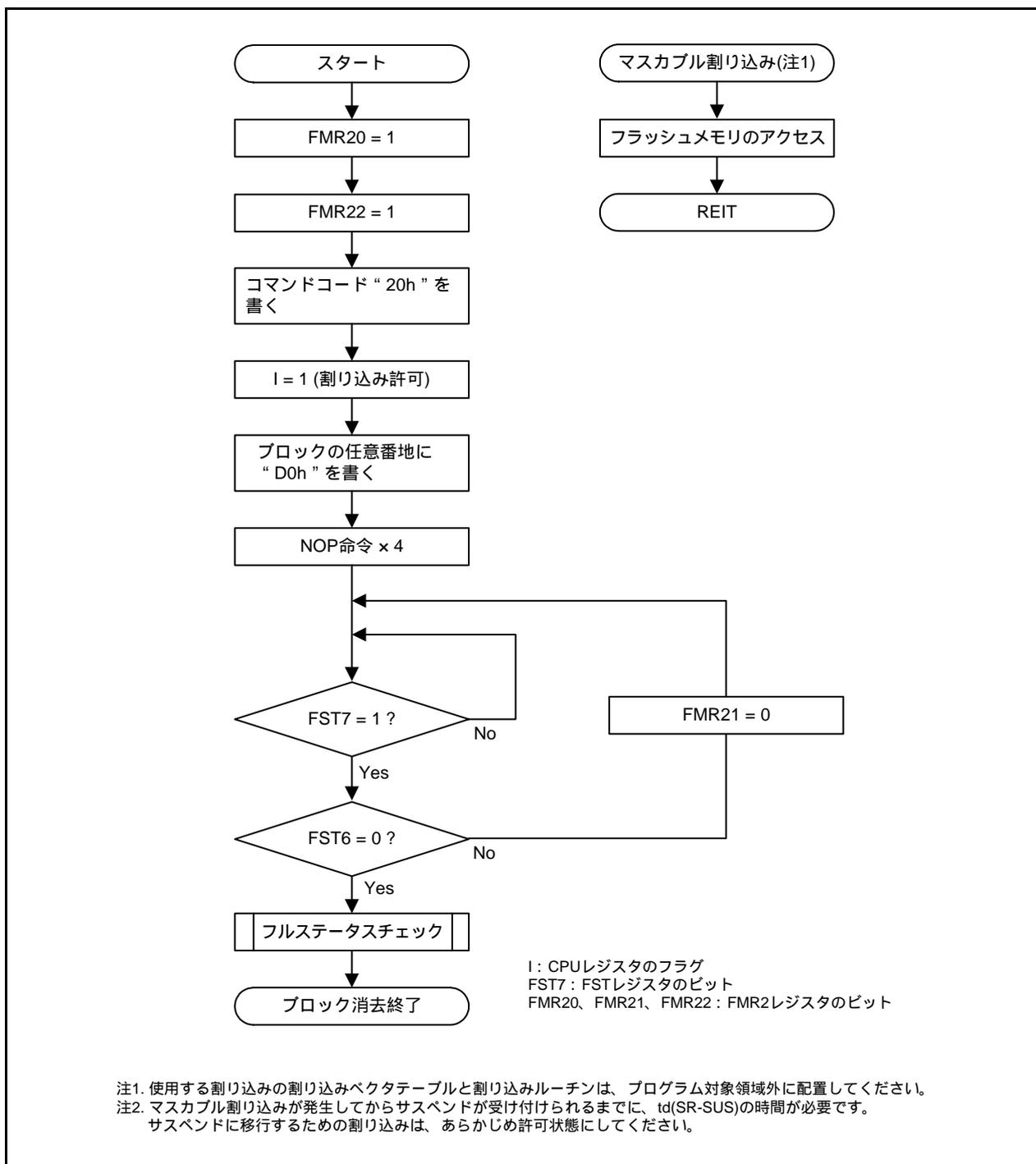


図26.13 EW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

### 26.4.11.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地に書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図26.14にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「26.4.10 データ保護機能」を参照してください。

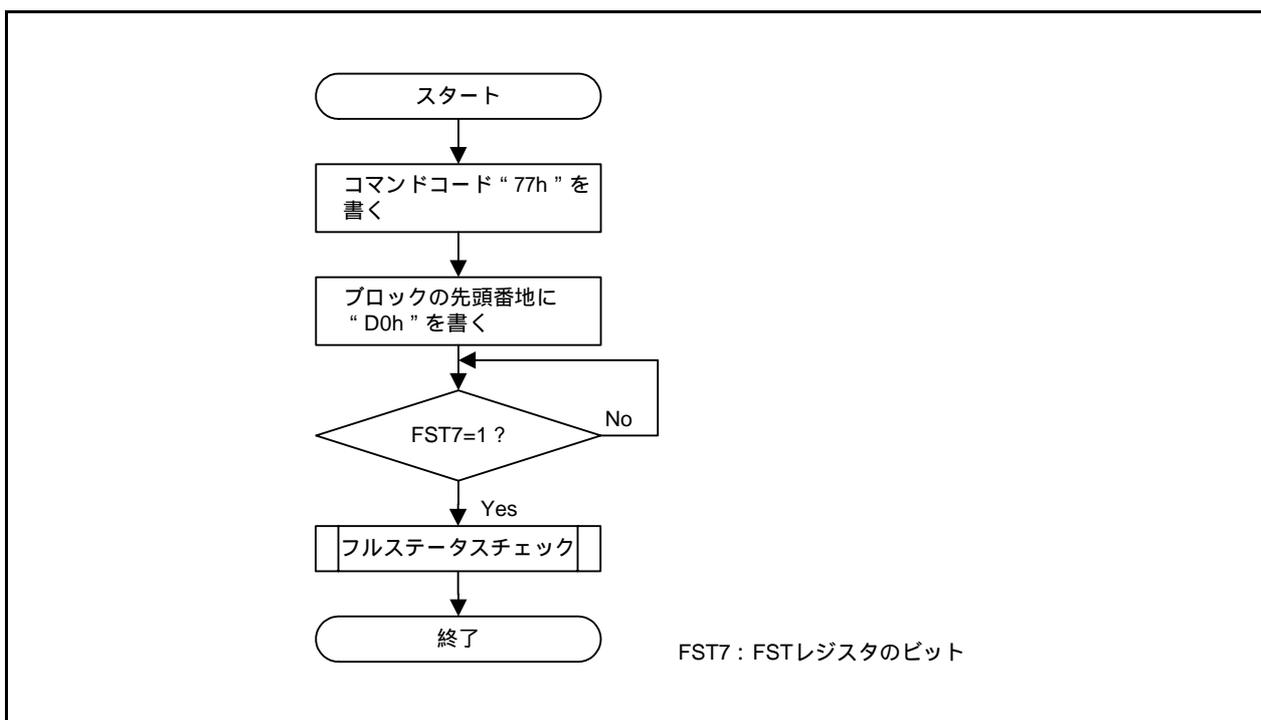


図26.14 ロックビットプログラムフローチャート

### 26.4.11.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”（レディ）になった後、LBDATAビットを読んでください。

図26.15にリードロックビットステータスフローチャートを示します。

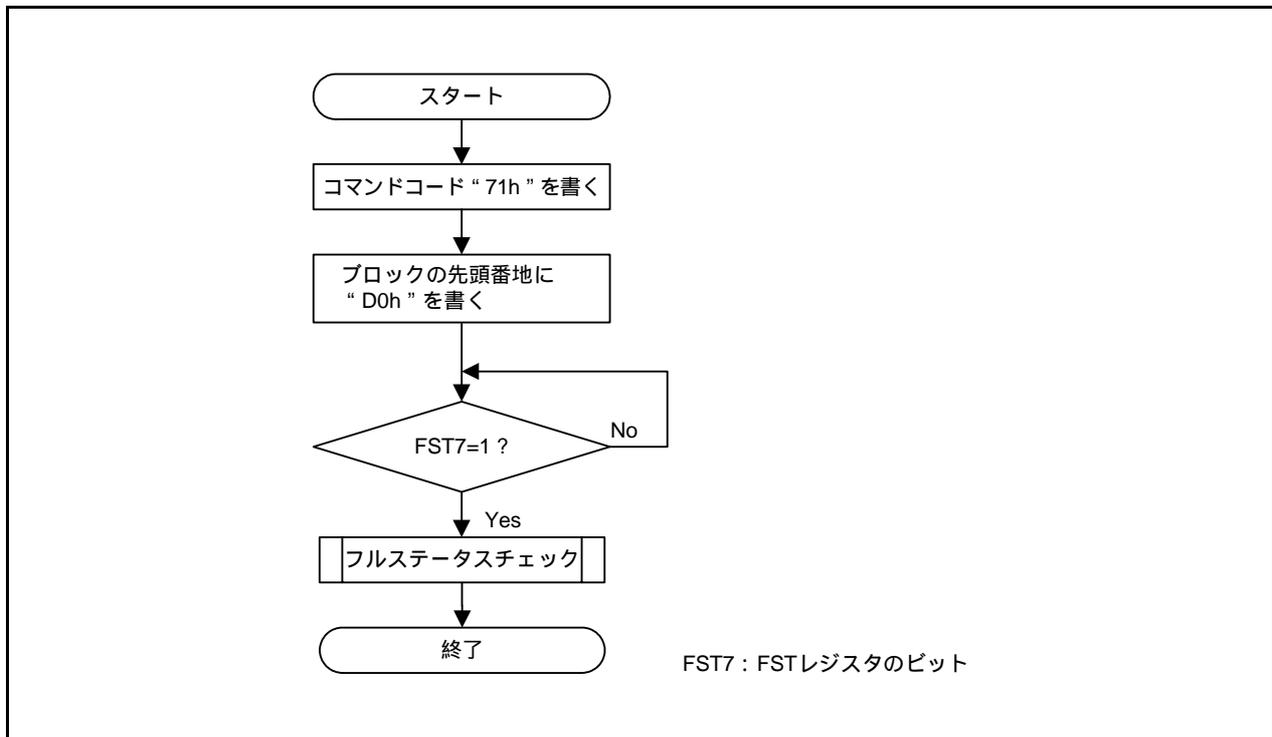


図26.15 リードロックビットステータスフローチャート

### 26.4.11.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“0”、終了後は“1”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「26.4.12 フルステータスチェック」参照)。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“1”(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図26.16にブロックブランクチェックフローチャートを示します。

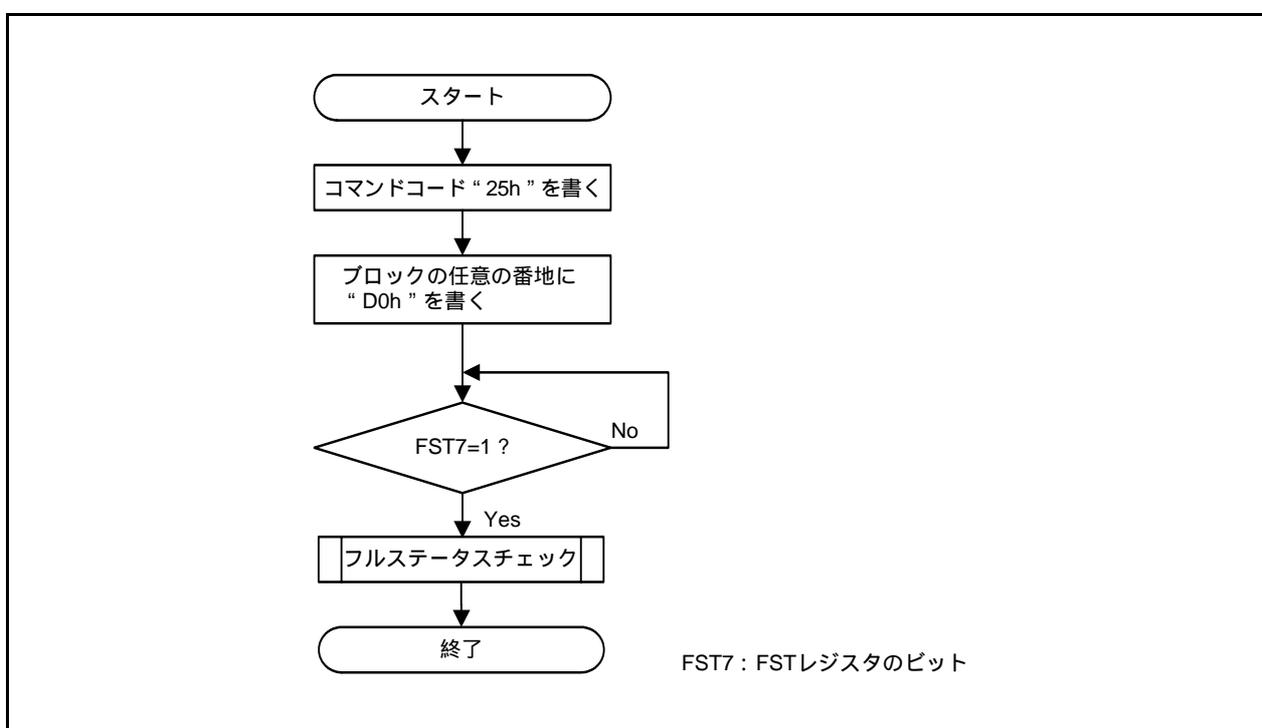


図26.16 ブロックブランクチェックフローチャート

なお、本コマンドはライターメーカー向けを想定したものであり、一般ユーザ向けのコマンドではありません。

## 26.4.12 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4 ~ FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表26.6にエラーとFSTレジスタの状態を、図26.17にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表26.6 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> <li>• コマンドを正しく書かなかったとき</li> <li>• ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1)</li> <li>• サスペンド中のイレーズコマンドを実行</li> <li>• サスペンド中のブロックへのコマンドを実行</li> </ul>
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき
0	1	プログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき
		ロックビットプログラムエラー	ロックビットコマンドを実行し、ロックビットが“0”(ロック状態)にならなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

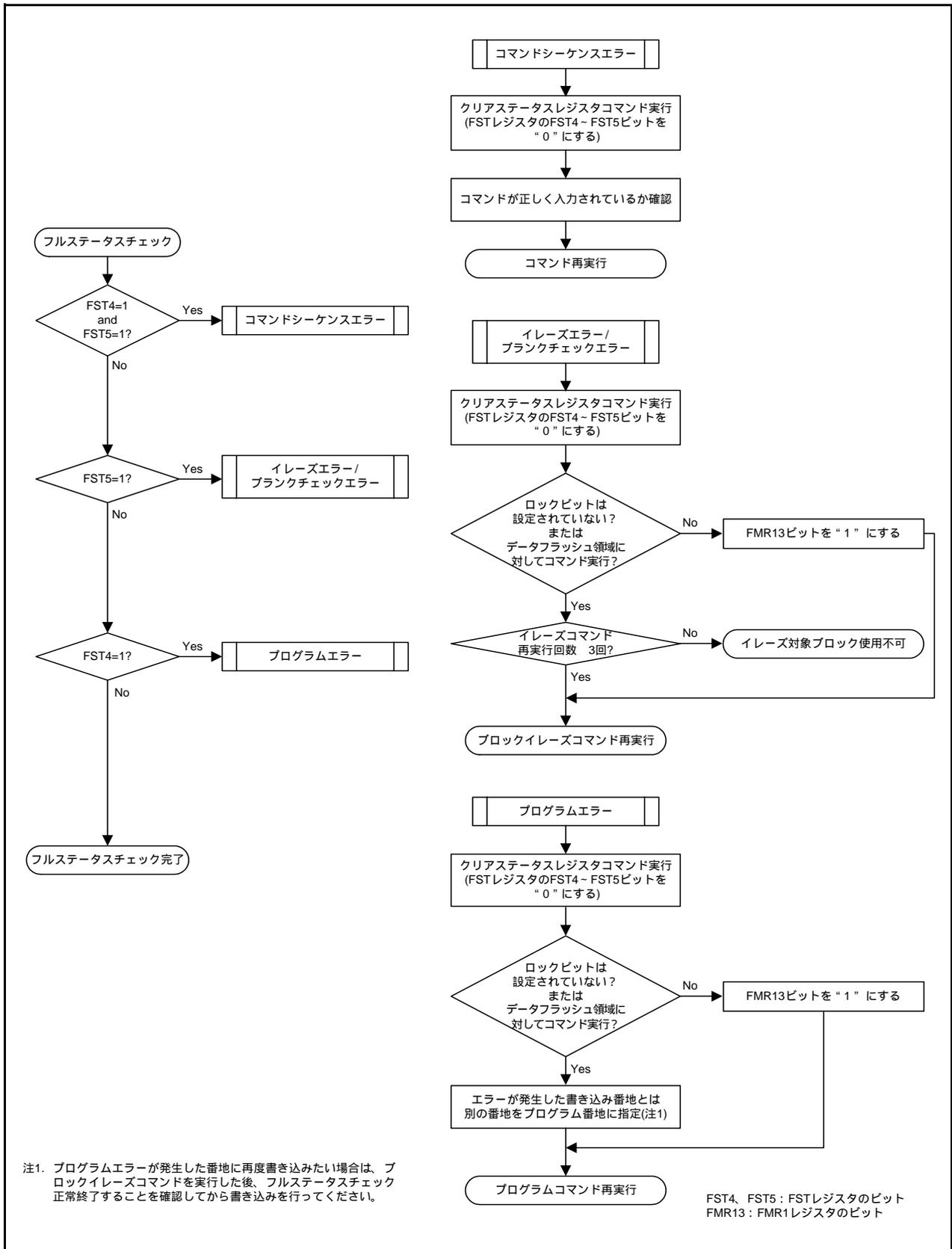


図 26.17 フルステータスチェックフローチャート、各エラー発生時の対処方法

## 26.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライターを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライターと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライターと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライターと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライターとの接続例は「付録2. シリアルライターとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

表26.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図26.18に標準シリアル入出力モード2を使用する場合の端子処理例を、表26.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図26.19に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表26.8に示した端子処理を行い、ライターを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

### 26.5.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

表26.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間には水晶発振子を接続してください。
XOUT	クロック出力	入出力	
P4_3/XCIN	P4_3入力/クロック入力	入力	外付けの発振子を接続する場合、XCIN端子とXCOUT端子の間には水晶発振子を接続してください。入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_4/XCOUT	P4_4入力/クロック出力	入出力	
P0_4	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_3、 P1_6、P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_0、P3_1、 P3_3 ~ P3_5、P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	“L”を入力してください。
P1_4	TXD出力	出力	シリアルデータの出力端子です。
P1_5	RXD入力	入力	シリアルデータの入力端子です。

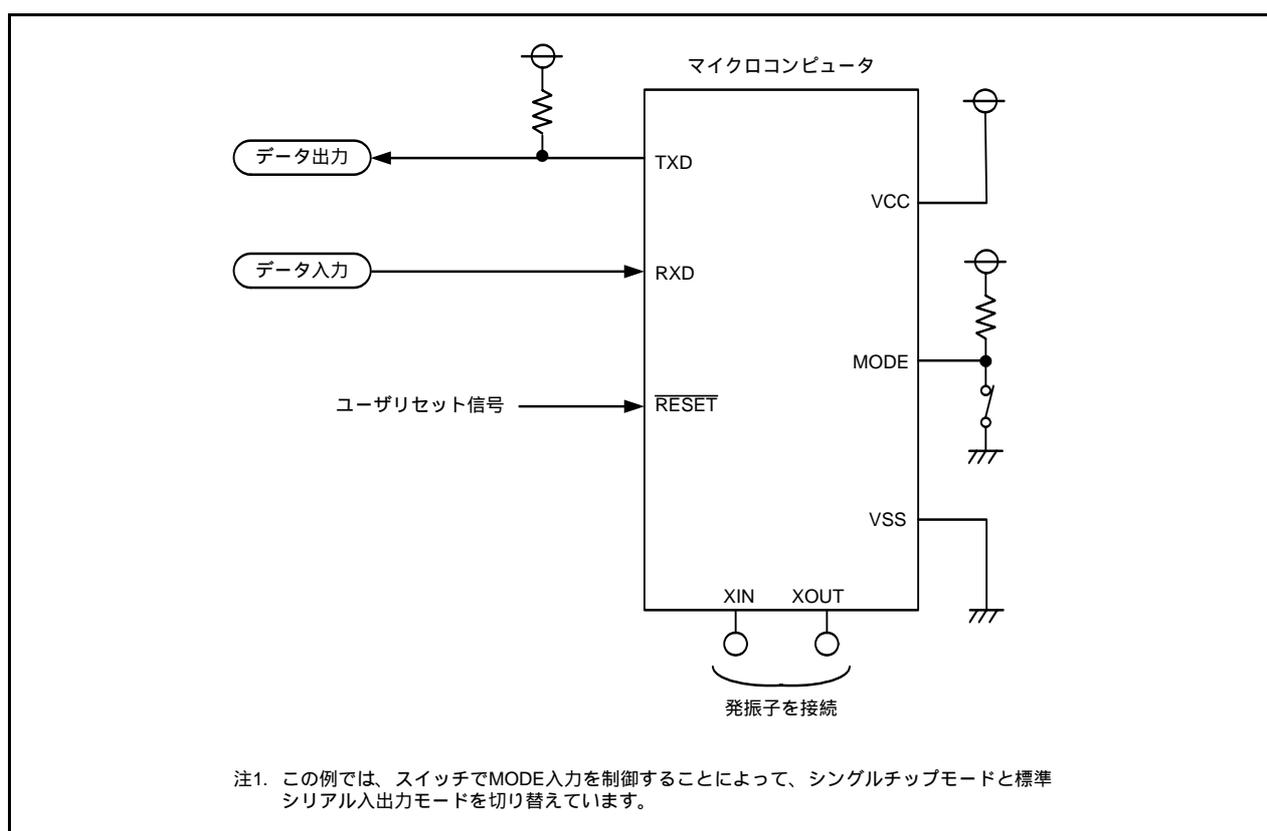


図26.18 標準シリアル入出力モード2を使用する場合の端子処理例

表26.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間には水晶発振子を接続してください。
XOUT	クロック出力	入出力	
P4_3/XCIN	P4_3入力/クロック入力	入力	外付けの発振子を接続する場合、XCIN端子とXCOUT端子の間には水晶発振子を接続してください。 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_4/XCOUT	P4_4入力/クロック出力	入出力	
P0_4	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_0、P3_1、P3_3 ~ P3_5、P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

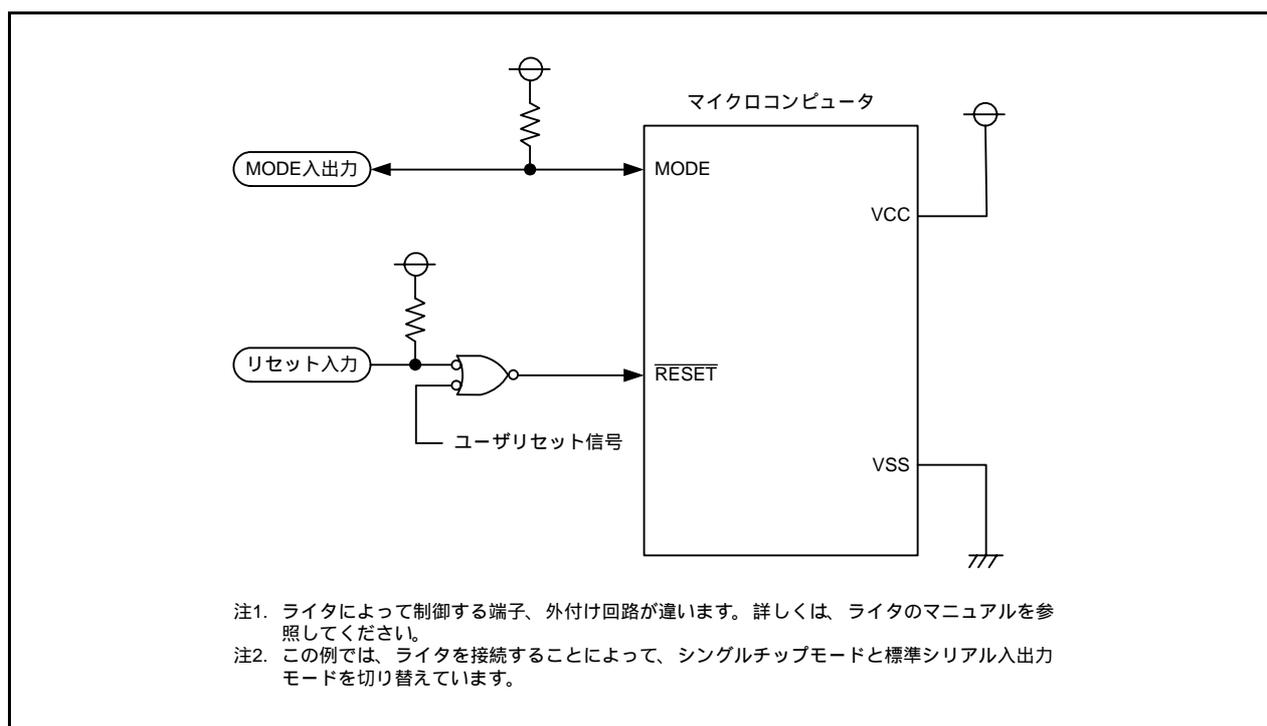


図26.19 標準シリアル入出力モード3を使用する場合の端子処理例

## 26.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図26.1に示すユーザROM領域の書き換えができます。

### 26.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「26.3.2 ROMコードプロテクト機能」参照)。

## 26.7 フラッシュメモリ使用上の注意

## 26.7.1 CPU書き換えモード

## 26.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

## 26.7.1.2 割り込み

表26.9～表26.11にCPU書き換えモード時の割り込みを示します。

表26.9 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2レジスタのビット

表26.10 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視1  (注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)	自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。	
		自動書き込み中	ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表26.11 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視1  (注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
プログラム ROM		自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

### 26.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

### 26.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 26.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 26.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

### 26.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

CPU書き換えモードでプログラムROMのプログラム、イレーズを実行する場合は、動作周囲温度 $T_{opr} = 0 \sim 60$  の条件で行ってください。動作周囲温度 $T_{opr} = 0 \sim 60$  の条件外では、プログラムROMのプログラム、イレーズを実行しないでください。

標準シリアル入出力モードとパラレル入出力モードでプログラムROMおよびデータフラッシュのプログラム、イレーズを実行する場合は、電源電圧 $V_{CC} = 2.7 \sim 3.6V$ かつ動作周囲温度 $T_{opr} = 0 \sim 60$  の条件で行ってください。電源電圧 $V_{CC}$ が2.7V未満、あるいは動作周囲温度 $T_{opr} = 0 \sim 60$  の条件外では、プログラムROMおよびデータフラッシュのプログラム、イレーズを実行しないでください。

### 26.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

### 26.7.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「27. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

### 26.7.2 データフラッシュ

データフラッシュ上ではプログラムを実行できません。

データフラッシュをプログラム領域として使用しないでください。

## 27. 消費電力の低減

### 27.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

### 27.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

#### 27.2.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

#### 27.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

#### 27.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にしてください。

#### 27.2.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「9.7 パワーコントロール」を参照してください。

#### 27.2.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロックf1、f2、f4、f8、f32が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

### 27.2.6 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

### 27.2.7 クロック同期形シリアルインタフェース

SSUおよびI<sup>2</sup>Cバスを使用しない場合、MSTCRレジスタのMSTIICビットを“1”(スタンバイ)にしてください。

### 27.2.8 内部電源の消費電力低減

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。VCA20ビットにより内部電源低消費電力を許可する場合は、「9.7.2.2 VCA20ビットによる内部電源低消費操作」に従ってください。

### 27.2.9 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図27.1にFMSTPビットによる低消費電力操作手順例を示します。

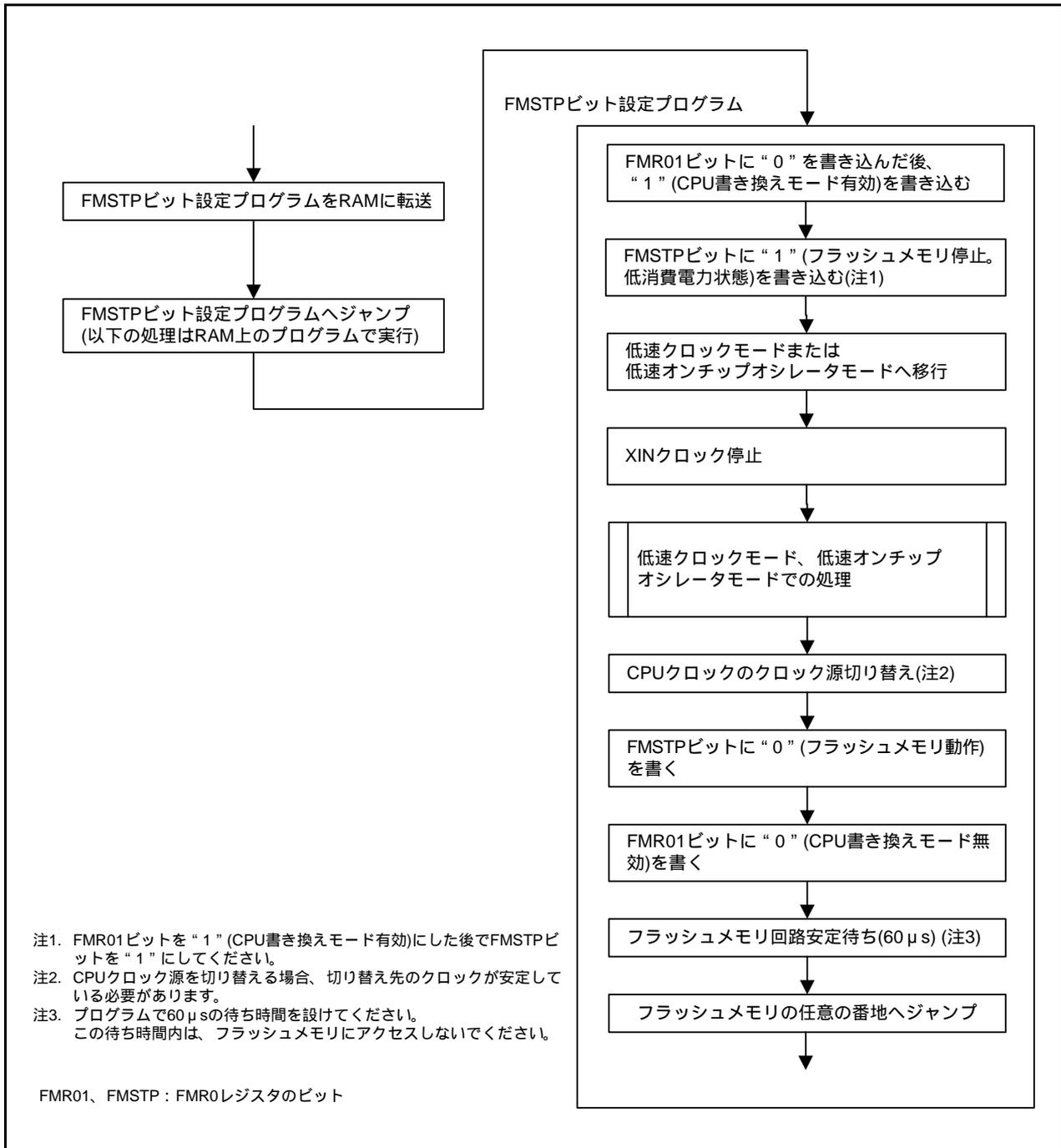


図27.1 FMSTPビットによる低消費電力操作手順例

## 27.2.10 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを“1” (低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1” (低消費電流リードモード許可)にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0” (低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが“1” (低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

図27.2に低消費電流リードモードの操作手順例を示します。

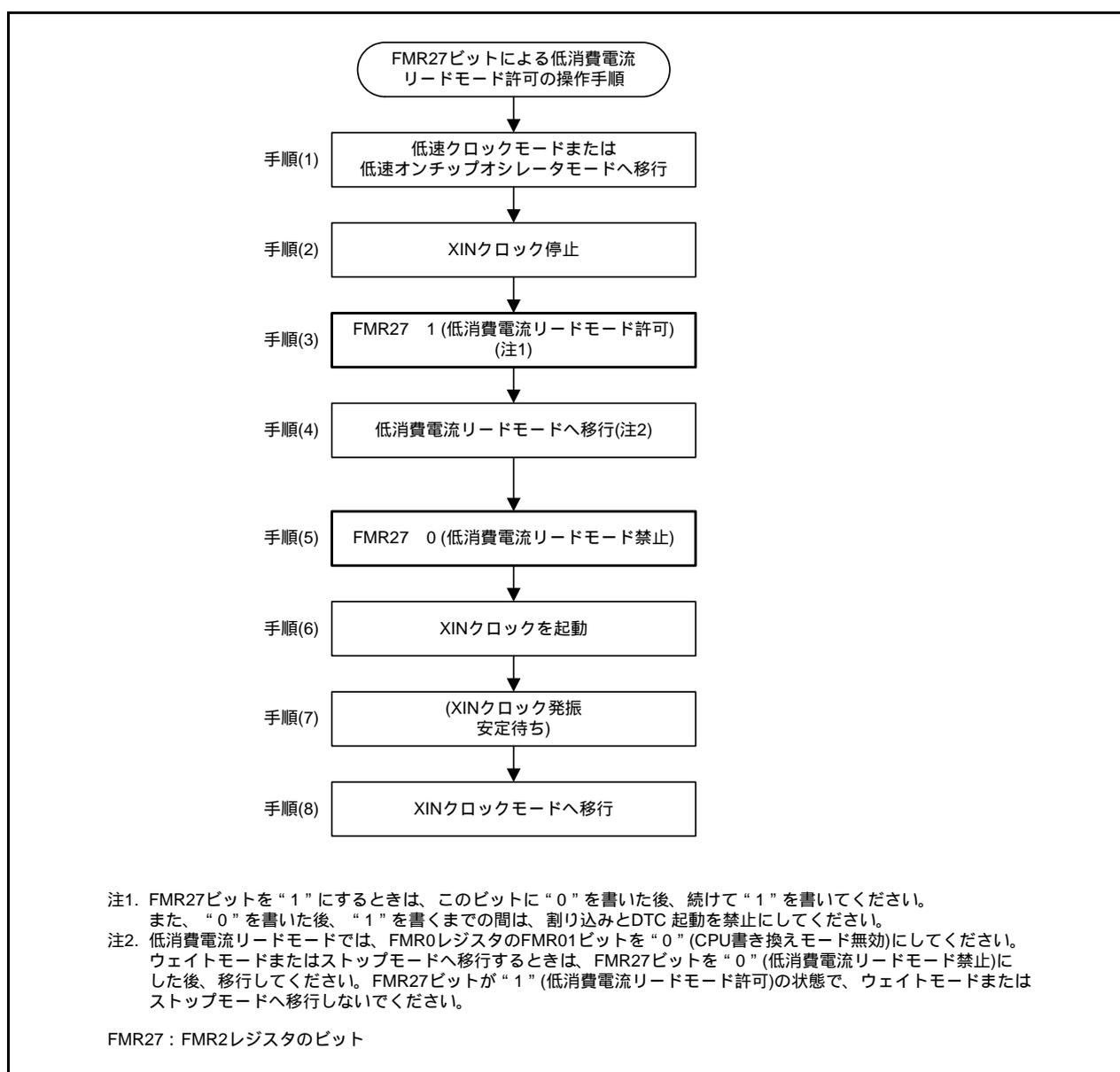


図27.2 低消費電流リードモードの操作手順例

## 28. 電気的特性

表28.1 絶対最大定格

記号	項目	測定条件	定格値	単位
VCC	デジタル電源電圧		- 0.3 ~ 3.8	V
VCCRF	アナログ電源電圧		- 0.3 ~ 3.8	V
Vi	入力電圧	RESET、MODE、P0_4、P1、P3_0、P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_5	- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧	P0_4、P1、P3_0、P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_5	- 0.3 ~ Vcc + 0.3	V
VRFIO	RF入出力ピン	RFIOP、RFION	- 0.3 ~ 2.1	V
VTESTIO	テストポート	IFRXTP、IFRXTN	- 0.3 ~ 2.1	V
VANAIN	1.5V系アナログ電源(入力)	VREG1、VREG2、VREG3、VREG4	- 0.3 ~ 2.1	V
VANAOUT	1.5V系アナログ電源(出力)	VREGOUT1、VREGOUT2、VREGOUT3	- 0.3 ~ 2.1	V
VXINOUT	メインクロック入出力	XIN、XOUT	- 0.3 ~ 2.1	V
Pd	消費電力	- 20      Topr      85	300	mW
Topr	動作周囲温度	下記の 、 以外でのマイコン動作時	- 20 ~ 85	
		シリアルライタまたはパラレルライタを使用するフラッシュメモリへの書き込み、消去時	0 ~ 60	
		E8aエミュレータを接続するオンチップデバッグ時	10 ~ 35	
Tstg	保存温度		- 65 ~ 150	

表28.2 推奨動作条件

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VCC	デジタル電源電圧	下記の、以外でのマイコン動作時		1.8	3.3	3.6	V	
		シリアルライタまたはパラレルライタを使用してのフラッシュメモリへの書き込み、消去時		2.7	—	3.6		
		E8aエミュレータを接続してのオンチップデバッグ時		2.7	—	3.6		
VCCRF	アナログ電源電圧			1.8	3.3	3.6	V	
VSS/ VSS2/ VSSRF/ VSSRF1/ VSSRF2/ DIEGND	電源電圧	VSS1、VSS2、VSSRF、VSSRF1、 VSSRF2、DIEGND			0		V	
VIH	“H”入力電圧	CMOS入力以外		0.8Vcc		Vcc	V	
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択： 0.35Vcc	2.7V Vcc < 3.6V	0.55Vcc	Vcc	V
					1.8V Vcc < 2.7V	0.65Vcc	Vcc	V
				入力レベル選択： 0.5Vcc	2.7V Vcc < 3.6V	0.7Vcc	Vcc	V
					1.8V Vcc < 2.7V	0.8Vcc	Vcc	V
				入力レベル選択： 0.7Vcc	2.7V Vcc < 3.6V	0.85Vcc	Vcc	V
					1.8V Vcc < 2.7V	0.85Vcc	Vcc	V
VIL	“L”入力電圧	CMOS入力以外		0		0.2Vcc	V	
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択： 0.35Vcc	2.7V Vcc < 3.6V	0	0.2Vcc	V
					1.8V Vcc < 2.7V	0	0.2Vcc	V
				入力レベル選択： 0.5Vcc	2.7V Vcc < 3.6V	0	0.3Vcc	V
					1.8V Vcc < 2.7V	0	0.2Vcc	V
				入力レベル選択： 0.7Vcc	2.7V Vcc < 3.6V	0	0.45Vcc	V
					1.8V Vcc < 2.7V	0	0.35Vcc	V
IOH(sum)	“H”尖頭総出力電流	全端子のIOH(peak)の総和				- 160	mA	
IOH(sum)	“H”平均総出力電流	全端子のIOH(avg)の総和				- 80	mA	
IOH(peak)	“H”尖頭出力電流	駆動能力Low時				- 10	mA	
		駆動能力High時				- 40	mA	
IOH(avg)	“H”平均出力電流	駆動能力Low時				- 5	mA	
		駆動能力High時				- 20	mA	
IOL(sum)	“L”尖頭総出力電流	全端子のIOL(peak)の総和				160	mA	
IOL(sum)	“L”平均総出力電流	全端子のIOL(avg)の総和				80	mA	
IOL(peak)	“L”尖頭出力電流	駆動能力Low時				10	mA	
		駆動能力High時				40	mA	
IOL(avg)	“L”平均出力電流	駆動能力Low時				5	mA	
		駆動能力High時				20	mA	
f(XIN)	XINクロック入力発振周波数		1.8V Vcc 3.6V		16	—	MHz	
f(XCIN)	XCINクロック入力発振周波数		1.8V Vcc 3.6V	30	32.768	35	kHz	
	システムクロック周波数	f(XIN)=16MHz時	1.8V Vcc 3.6V			16	MHz	
f(BCLK)	CPUクロック周波数	f(XIN)=16MHz時	2.7V Vcc 3.6V			16	MHz	
			2.15V Vcc < 2.7V			8		
			1.8V Vcc < 2.15V			4		

注1. 指定のない場合は、Vcc = 1.8V ~ 3.6V、T<sub>opr</sub> = - 20 ~ 85 です。

注2. 平均出力電流は100msの期間内での平均値です。

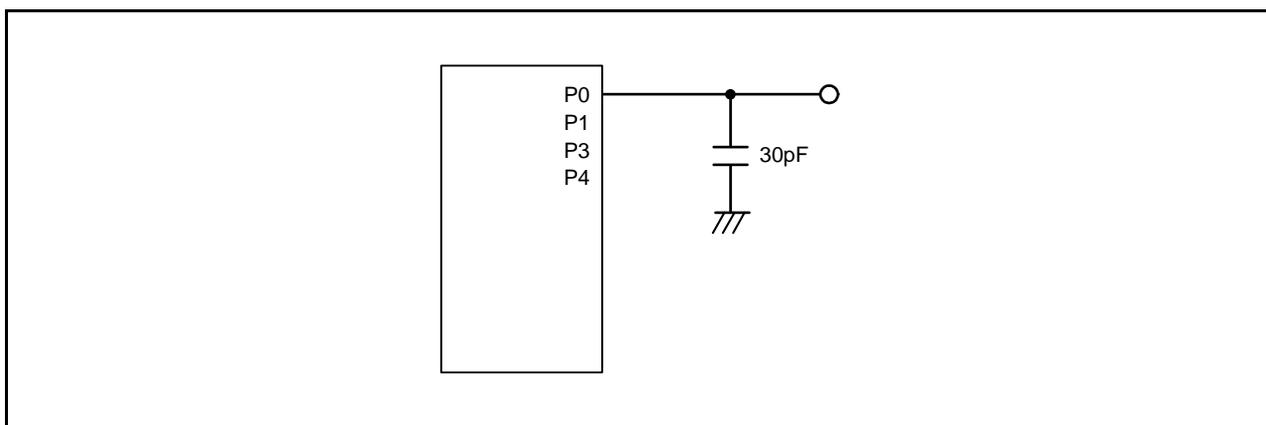


図28.1 ポートP0、1、3、4のタイミング測定回路

表28.3 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		1,000(注3)			回
	バイトプログラム時間			80	500	μs
	ブロックイレーズ時間			0.3		s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧	CPU書き換えモード	1.8		3.6	V
		標準シリアル入出力モード	2.7		3.6	
		パラレル入出力モード	2.7		3.6	
	読み出し電圧		1.8		3.6	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V<sub>CC</sub> = 2.7V ~ 3.6V、T<sub>opr</sub> = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表28.4 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			160	1500	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			300	1500	μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	1	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3	1	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧	CPU書き換えモード	1.8		3.6	V
		標準シリアル入出力モード	2.7		3.6	
		パラレル入出力モード	2.7		3.6	
	読み出し電圧		1.8		3.6	V
	書き込み、消去時の温度	CPU書き換えモード	- 20		85	
		標準シリアル入出力モード	0		60	
		パラレル入出力モード	0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V<sub>CC</sub> = 1.8V ~ 3.6V、T<sub>opr</sub> = - 20 ~ 85 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

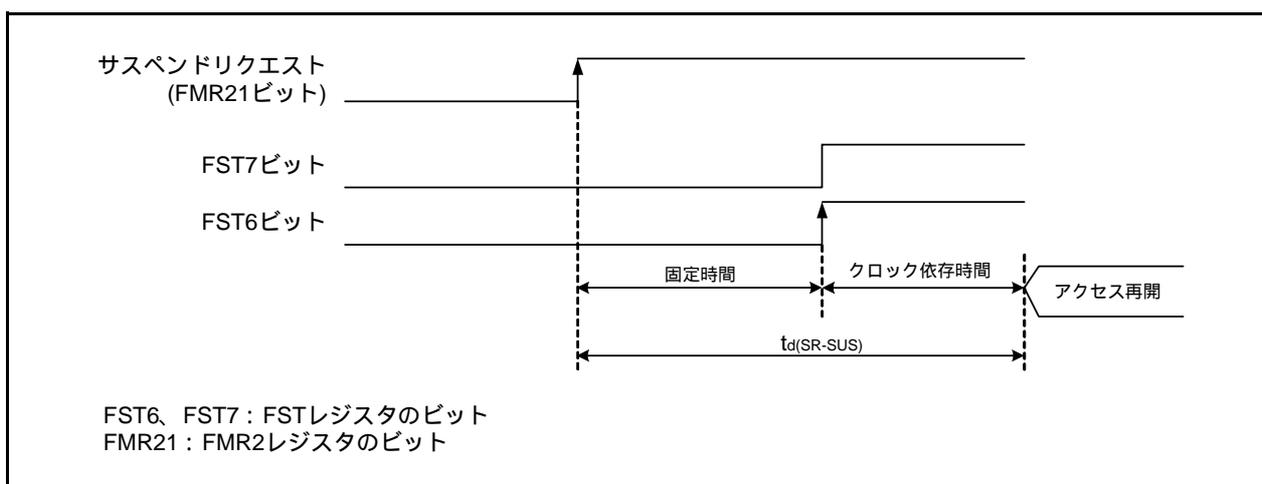


図28.2 サスペンドへの遷移時間

表28.5 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注4)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注4)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注4)		2.70	2.85	3.05	V
	電圧検出0回路反応時間(注3)	Vcc = 3.6V (Vdet0_0 - 0.1)V に下げたとき		6	150	μs
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 3.0V		1.5		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				100	μs

注1. 測定条件はVcc = 1.8V ~ 3.6V、Topr = -20 ~ 85 です。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注4. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

表28.6 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_2 (注2)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出1回路のVcc立ち上がり時のヒステリシス幅			0.07		V
	電圧検出1回路反応時間(注3)	Vcc = 3.6V (Vdet1_0 - 0.1)V に下げたとき		60	150	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 3.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)				100	μs

注1. 測定条件はVcc = 1.8V ~ 3.6V、Topr = -20 ~ 85 です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表28.7 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{rth}$	外部電源Vccの立ち上がり傾き	(注1)	0		50,000	mV/msec

注1. 指定のない場合測定条件は、 $T_{opr} = -20 \sim 85$  です。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLVIDASビットを“0”にして電圧監視0リセットを有効にしてください。

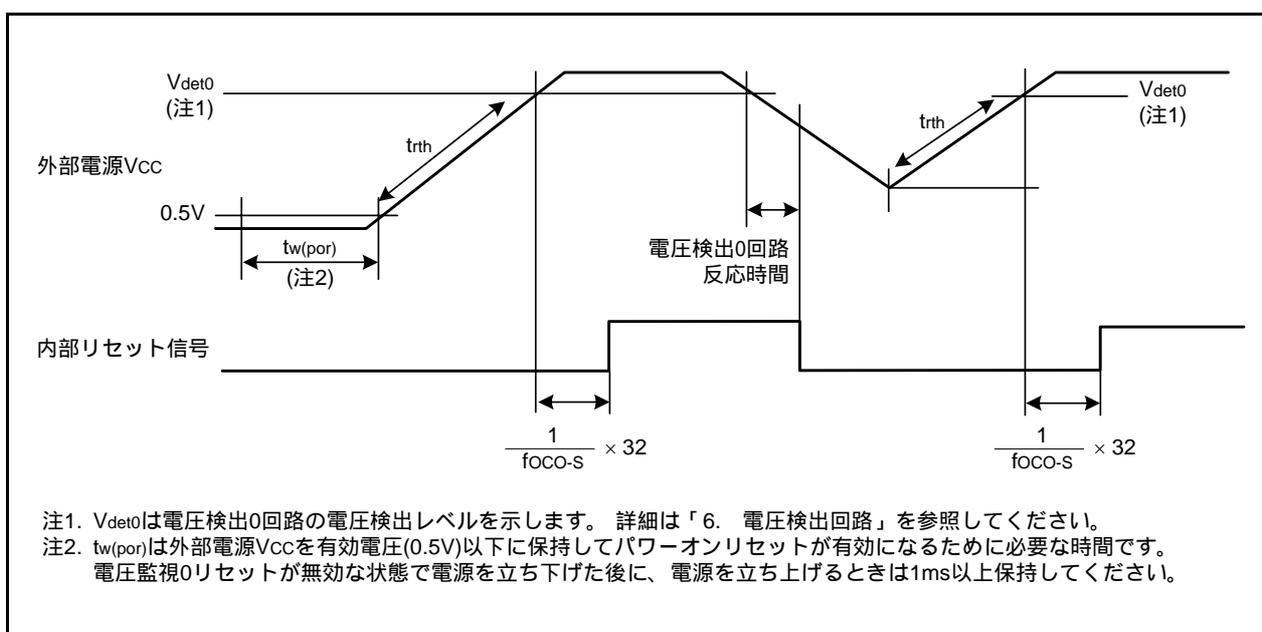


図28.3 パワーオンリセット回路の電気的特性

表28.8 システムクロック用低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		100	125	150	kHz
	発振安定時間			30	100	μs

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 3.6V$ 、 $T_{opr} = -20 \sim 85$  です。

表28.9 ウォッチドッグタイマ用低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-WDT	低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間			30	100	μs

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 3.6V$ 、 $T_{opr} = -20 \sim 85$  です。

表28.10 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>d</sub> (P-R)	電源投入時の内部電源安定時間(注2)				2,000	μs

注1. 測定条件は $V_{CC} = 1.8V \sim 3.6V$ 、 $T_{opr} = 25$  です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表28.11 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>SUCYC</sub>	SSCKクロックサイクル時間		4			t <sub>CYC</sub> (注2)
t <sub>HI</sub>	SSCKクロック“H”パルス幅		0.4		0.6	t <sub>SUCYC</sub>
t <sub>LO</sub>	SSCKクロック“L”パルス幅		0.4		0.6	t <sub>SUCYC</sub>
t <sub>RISE</sub>	SSCKクロック立ち上がり時間	マスタ			1	t <sub>CYC</sub> (注2)
		スレーブ			1	μs
t <sub>FALL</sub>	SSCKクロック立ち下がり時間	マスタ			1	t <sub>CYC</sub> (注2)
		スレーブ			1	μs
t <sub>SU</sub>	SSO、SSIデータ入力セットアップ時間		100			ns
t <sub>H</sub>	SSO、SSIデータ入力ホールド時間		1			t <sub>CYC</sub> (注2)
t <sub>LEAD</sub>	SCSセットアップ時間	スレーブ			1t <sub>CYC</sub> + 50	ns
t <sub>LAG</sub>	SCSホールド時間	スレーブ			1t <sub>CYC</sub> + 50	ns
t <sub>OD</sub>	SSO、SSIデータ出力遅延時間				1.5	t <sub>CYC</sub> (注2)
t <sub>SA</sub>	SSIスレーブアクセス時間	2.7V $V_{CC} = 3.6V$			1.5t <sub>CYC</sub> + 100	ns
		1.8V $V_{CC} < 2.7V$			1.5t <sub>CYC</sub> + 200	ns
t <sub>OR</sub>	SSIスレーブアウト開放時間	2.7V $V_{CC} = 3.6V$			1.5t <sub>CYC</sub> + 100	ns
		1.8V $V_{CC} < 2.7V$			1.5t <sub>CYC</sub> + 200	ns

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 3.6V$ 、 $T_{opr} = -20 \sim 85$  です。

注2.  $1t_{CYC} = 1/f_1(s)$

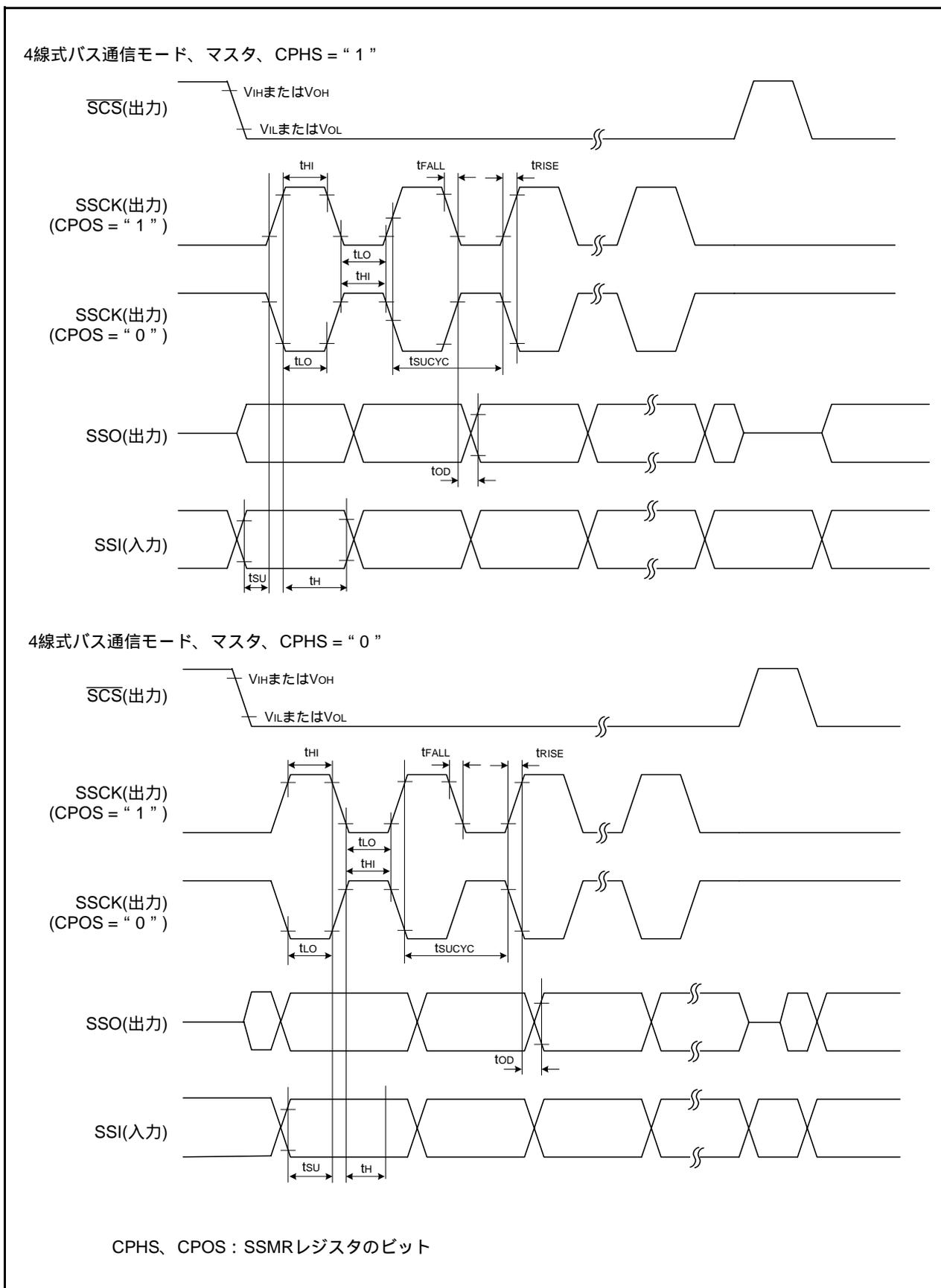


図28.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

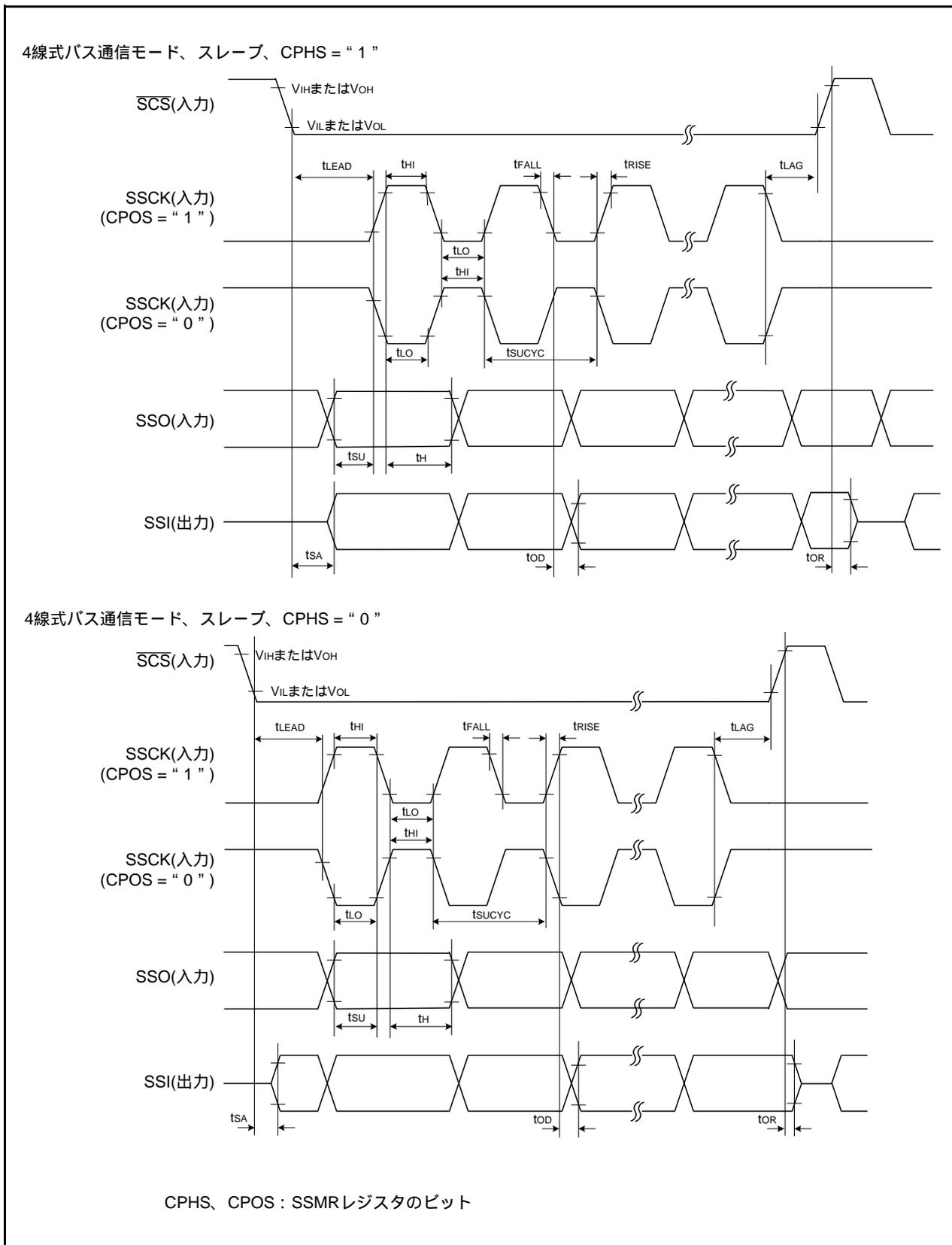


図28.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

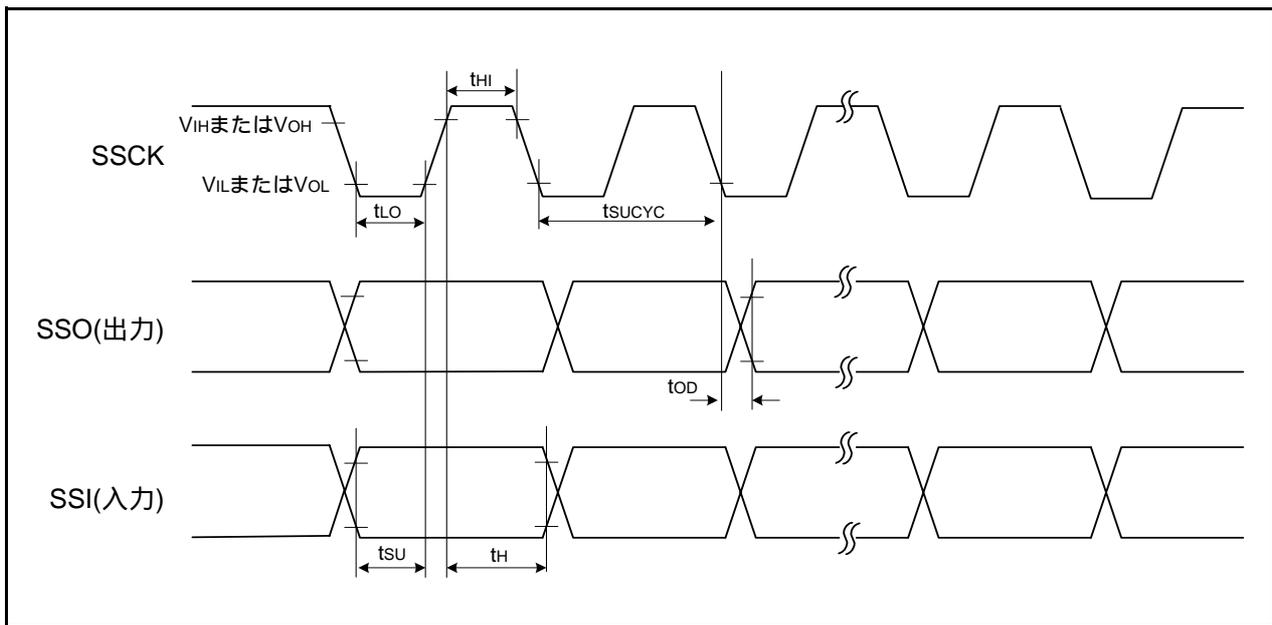


図28.6 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (クロック同期式通信モード)

表28.12 I<sup>2</sup>Cバスインタフェースのタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入力スパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力バスマフリー時間		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 40(注2)			ns
tSDAH	データ入力ホールド時間		10			ns

注1. 指定のない場合は、Vcc = 1.8V ~ 3.6V、T<sub>opr</sub> = - 20 ~ 85 です。

注2. 1tcyc = 1/f1(s)

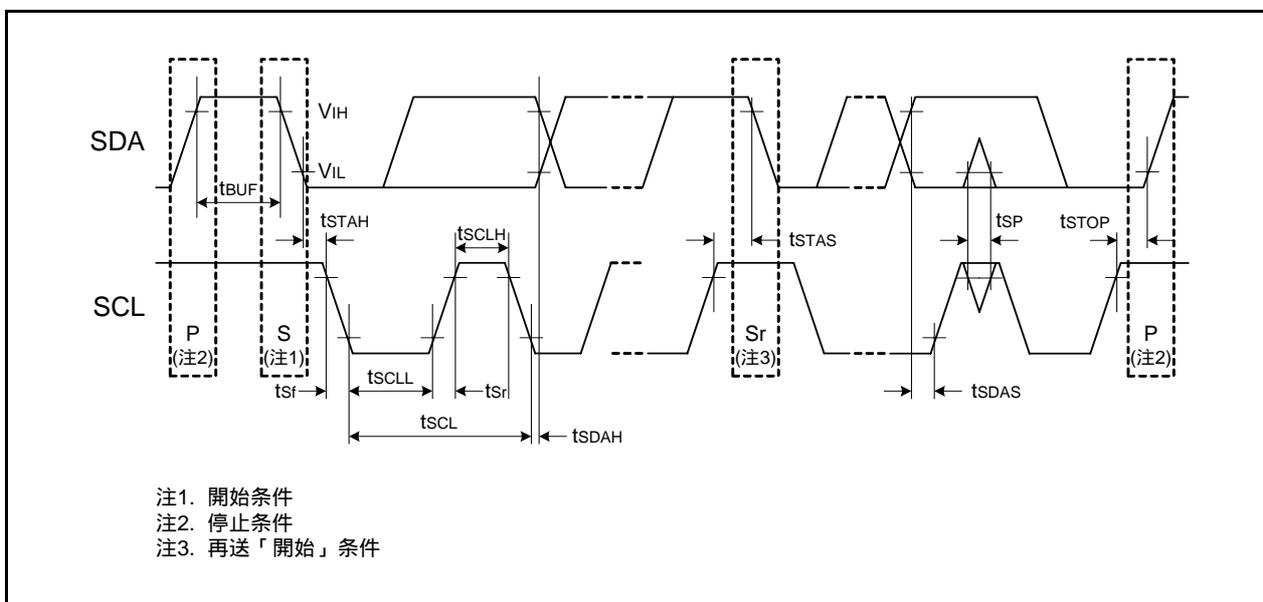


図28.7 I<sup>2</sup>Cバスインタフェースの入出力タイミング

表28.13 電気的特性(1) [1.8V Vcc 3.6V] (指定のない場合は、Topr = - 20 ~ 85 )

記号	項目	測定条件			規格値			単位
					最小	標準	最大	
ICC	電源電流 シングルチップ モードで、出力 端子は開放、そ 他の端子は VSS	高速クロックモード XINクロック発振 f(XIN) = 16MHz XCINクロック発振 f(XCIN) = 32kHz 低速オンチップオシレータ 発振 fOCO-S = 125kHz システムクロック = XIN	CPUクロック = 4分周、 (f(BCLK)=4MHz) 1.8V VCC 3.6V	RF = off	—	2.5	—	mA
				RF = idle	—	4.0	—	mA
				RF = Tx	—	18	—	mA
			RF=RX (受信待ち)	—	24	—	mA	
			RF=RX (受信中)	—	25	—	mA	
			CPUクロック = 2分周、 (f(BCLK)=8MHz) 2.15V VCC 3.6V	RF = off	—	3.5	—	mA
				RF = idle	—	5.0	—	mA
				RF = Tx	—	19	—	mA
			RF=RX (受信待ち)	—	25	—	mA	
		RF=RX (受信中)	—	26	—	mA		
		CPUクロック = 分周なし (f(BCLK)=16MHz) 2.7V VCC 3.6V	RF = off	—	6.0	—	mA	
			RF = idle	—	7.5	—	mA	
			RF = Tx	—	21.5	—	mA	
			RF=RX (受信待ち)	—	27.5	—	mA	
		RF=RX (受信中)	—	28.5	—	mA		
		低速オンチップオシレータモード XINクロック停止、XCINクロック停止、低速オン チップオシレータ発振：fOCO-S = 125kHz システムクロック = fOCO-S、CPUクロック = 8分周 FMR27 = "1"、VCA20 = "0" (フラッシュメモリ低消費電流リードモード)		RF = off	—	80	—	μA
低速クロックモード XINクロック停止 XCINクロック発振 f(XCIN) = 32kHz 低速オンチップオシレータ 停止 システムクロック = XCIN CPUクロック = 分周なし	FMR27 = "1" VCA20 = "0" (フラッシュメモリ低消費 電流リードモード)	RF = off	—	95	—	μA		
	FMSTP = "1" VCA20 = "0" (フラッシュメモリ停止、 RAM上プログラム動作)	RF = off	—	45	—	μA		
ウェイトモード XINクロック発振：f(XIN) = 16MHz XCINクロック発振：f(XCIN) = 32kHz 低速オンチップオシレータ発振：fOCO-S = 125kHz システムクロック = XIN WAIT命令実行中		RF = Rx (受信待ち)	—	23	—	mA		
ウェイトモード XINクロック停止 XCINクロック発振 f(XCIN) = 32kHz 低速オンチップオシレータ 停止 システムクロック = XCIN WAIT命令実行中	周辺機能クロック動作 VCA26 = VCA25 = "0" VCA20 = "1" (電圧検出回路停止、内部 電源低消費電力許可)	RF = off	—	6.0	—	μA		
	周辺機能クロック停止 VCA26 = VCA25 = "0" VCA20 = "1" (電圧検出回路停止、内部 電源低消費電力許可)	RF = off	—	4.5	—	μA		
ウェイトモード XINクロック停止 XCINクロック停止 低速オンチップオシレータ 発振 fOCO-S = 125kHz システムクロック = fOCO-S WAIT命令実行中	周辺機能クロック動作 VCA26 = VCA25 = "0" VCA20="1" (電圧検出回路停止、内部 電源低消費電力許可)	RF = off	—	13.0	—	μA		
	周辺機能クロック停止 VCA26 = VCA25 = "0" VCA20="1" (電圧検出回路停止、内部 電源低消費電力許可)	RF = off	—	7.5	—	μA		
ストップモード (Topr = 25 ) XINクロック停止、XCINクロック停止、 低速オンチップオシレータ停止、 VCA26 = VCA25 = "0" (電圧検出回路停止)		RF = off	—	2.0	—	μA		

表28.14 電気的特性(2) [ 2.7V Vcc 3.6V ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	P0_4、P1、P3_0、P3_1、 P3_3 ~ P3_5、P3_7、 P4_3 ~ P4_5	駆動能力High	IoH = - 5mA	Vcc - 0.5		Vcc	V
			駆動能力Low	IoH = - 1mA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	P0_4、P1、P3_0、P3_1、 P3_3 ~ P3_5、P3_7、 P4_3 ~ P4_5	駆動能力High	IoL = 5mA			0.5	V
			駆動能力Low	IoL = 1mA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT3、K10、 K11、K12、K13、K14、K16、 K17、TRAIO、TRCIOA、 TRCIOB、TRCIOC、TRCIOD、 TRCTRG、TRCCLK、 RXD0、CLK0、SSI、SCL、 SDA、SSO	VCC = 3.0V		0.1	0.4		V
		RESET	VCC = 3.0V		0.1	0.5		V
IiH	“H”入力電流		Vi = 3V、Vcc = 3.0V				4.0	μA
IiL	“L”入力電流		Vi = 0V、Vcc = 3.0V				- 4.0	μA
RPULLUP	プルアップ抵抗		Vi = 0V、Vcc = 3.0V		42	84	168	kΩ
RfXIN	帰還抵抗	XIN				0.3		MΩ
RfXCIN	帰還抵抗	XCIN				8		MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8		3.6	V

注1. 指定のない場合は、2.7V Vcc 3.6V、Topr = - 20 ~ 85、f(XIN) = 16MHzです。

タイミング必要条件(指定のない場合は、VCC = 3V、Topr = - 20 ~ 85 )

表28.15 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
t <sub>c</sub> (TRAIO)	TRAIO入力サイクル時間	300		ns
t <sub>WH</sub> (TRAIO)	TRAIO入力“H”パルス幅	120		ns
t <sub>WL</sub> (TRAIO)	TRAIO入力“L”パルス幅	120		ns

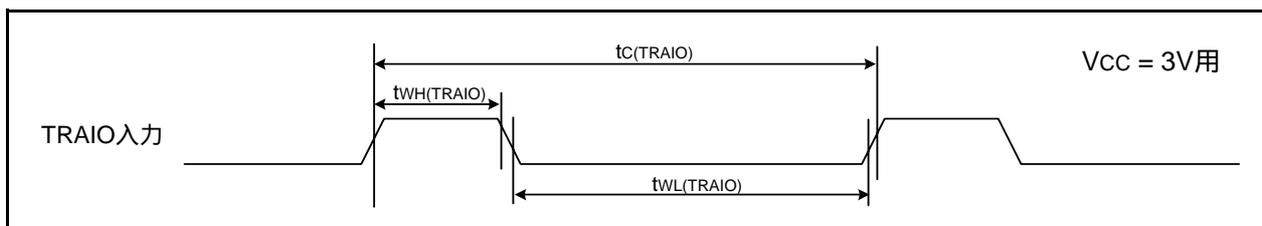


図28.8 VCC = 3V時のTRAIO入力タイミング

表28.16 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
t <sub>c</sub> (CK)	CLK0入力サイクル時間	外部クロック選択時	300		ns
t <sub>W</sub> (CKH)	CLK0入力“H”パルス幅		150		ns
t <sub>W</sub> (CKL)	CLK0入力“L”パルス幅		150		ns
t <sub>d</sub> (C-Q)	TXD0出力遅延時間	内部クロック選択時		120	ns
t <sub>h</sub> (C-Q)	TXD0ホールド時間		0		ns
t <sub>su</sub> (D-C)	RXD0入力セットアップ時間		30		ns
t <sub>h</sub> (C-D)	RXD0入力ホールド時間		90		ns
t <sub>d</sub> (C-Q)	TXD0出力遅延時間			30	ns
t <sub>su</sub> (D-C)	RXD0入力セットアップ時間		120		ns
t <sub>h</sub> (C-D)	RXD0入力ホールド時間	90		ns	

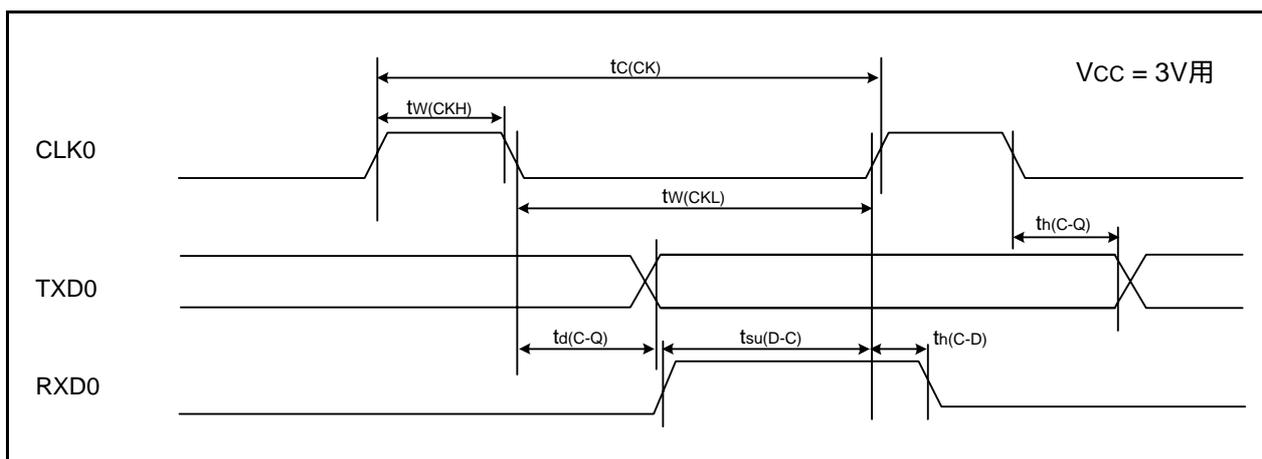


図28.9 VCC = 3V時のシリアルインタフェースのタイミング

表28.17 外部割り込みINTi入力(i = 0、1、3)、キー入力割り込みKli (i = 0 ~ 7)

記号	項目	規格値		単位
		最小	最大	
$t_{W(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	380(注1)		ns
$t_{W(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

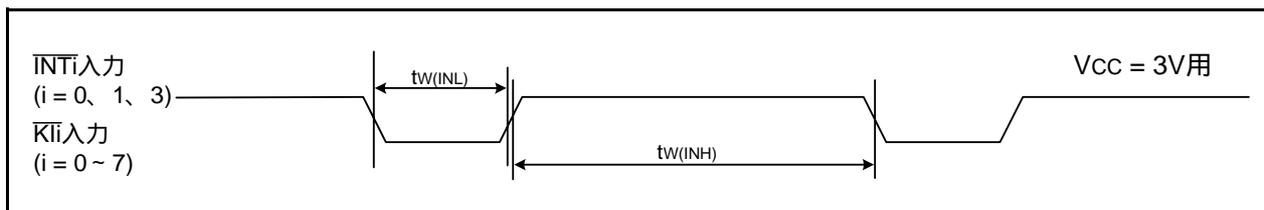


図28.10 Vcc = 3V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表28.18 電気的特性(3) [ 1.8V  $V_{CC} < 2.7V$  ]

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	“H”出力電圧	P0_4、P1、P3_0、 P3_1、P3_3 ~ P3_5、 P3_7、P4_3 ~ P4_5	駆動能力High	IoH = - 2mA	Vcc - 0.5		Vcc	V
			駆動能力Low	IoH = - 1mA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	P0_4、P1、P3_0、 P3_1、P3_3 ~ P3_5、 P3_7、P4_3 ~ P4_5	駆動能力High	IoL = 2mA			0.5	V
			駆動能力Low	IoL = 1mA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 KI4、KI6、KI7、 TRAIO、TRCIOA、 TRCIOB、TRCIOC、 TRCIOD、TRCTRG、 TRCCLK、RXD0、 CLK0、SSI、SCL、 SDA、SSO	Vcc = 2.15V		0.05	0.20		V
		RESET	Vcc = 2.15V		0.05	0.20		V
IiH	“H”入力電流	Vi = 2.15V、Vcc = 2.15V					4.0	μA
IiL	“L”入力電流	Vi = 0V、Vcc = 2.15V					- 4.0	μA
RPULLUP	プルアップ抵抗	Vi = 0V、Vcc = 2.15V		70	140	300		kΩ
RfXIN	帰還抵抗	XIN				0.3		MΩ
RfXCIN	帰還抵抗	XCIN				8		MΩ
V <sub>RAM</sub>	RAM保持電圧	ストップモード時		1.8		3.6		V

注1. 指定のない場合は、1.8V  $V_{CC} < 2.7V$ 、 $T_{opr} = -20 \sim 85$ 、 $f(XIN) = 16MHz$ です。

タイミング必要条件(指定のない場合は、VCC = 2.15V、Topr = - 20 ~ 85 )

表28.19 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
tc(TRAIO)	TRAIO入力サイクル時間	500		ns
tWH(TRAIO)	TRAIO入力“H”パルス幅	200		ns
tWL(TRAIO)	TRAIO入力“L”パルス幅	200		ns

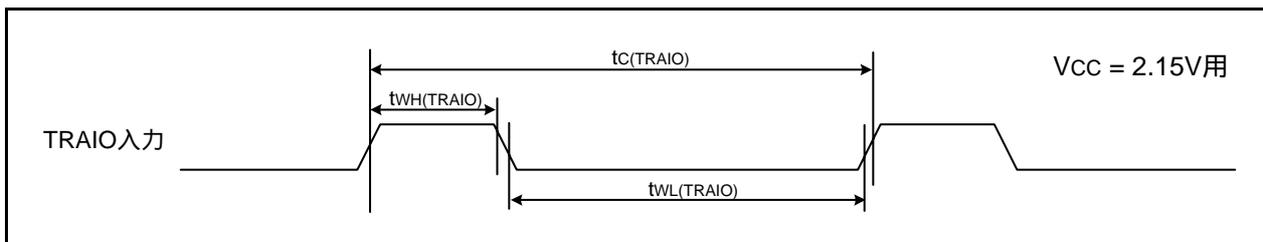


図28.11 Vcc = 2.15V時のTRAIO入力タイミング

表28.20 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
tc(CLK)	CLK0入力サイクル時間	外部クロック選択時	800		ns
tW(CKH)	CLK0入力“H”パルス幅		400		ns
tW(CKL)	CLK0入力“L”パルス幅		400		ns
td(C-Q)	TXD0出力遅延時間	内部クロック選択時		200	ns
th(C-Q)	TXD0ホールド時間		0		ns
tsu(D-C)	RXD0入力セットアップ時間		150		ns
th(C-D)	RXD0入力ホールド時間		90		ns
td(C-Q)	TXD0出力遅延時間			200	ns
tsu(D-C)	RXD0入力セットアップ時間		150		ns
th(C-D)	RXD0入力ホールド時間		90		ns

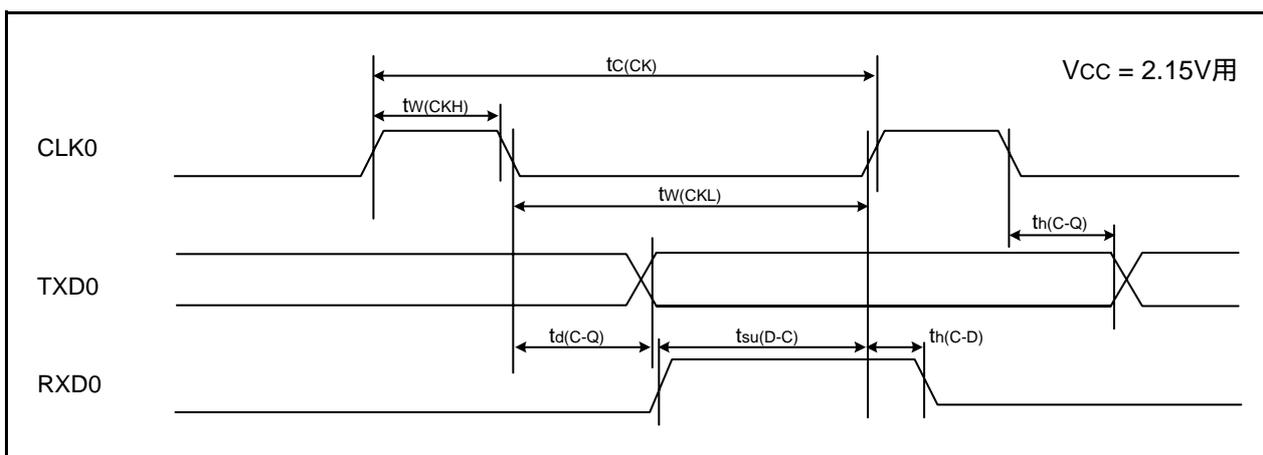


図28.12 Vcc = 2.15V時のシリアルインタフェースのタイミング

表28.21 外部割り込みINTi入力(i = 0、1、3)、キー入力割り込みKli (i = 0 ~ 7)

記号	項目	規格値		単位
		最小	最大	
$t_{W(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	1,000(注1)		ns
$t_{W(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	1,000(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

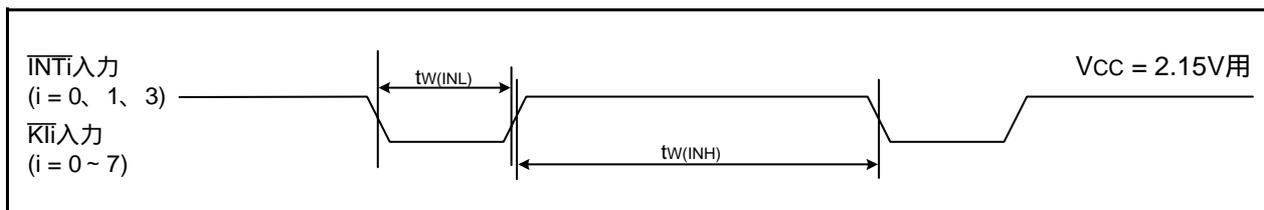


図28.13 Vcc = 2.15V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表28.22 トランシーバ部送信特性(指定のない場合は、VCC=VCCRF=3.3V、Topr=25 )

項目	測定条件	規格値			IEEE802.15.4規格	単位	
		最小	標準	最大			
内部電源電圧		-	1.45	-	-	V	
送信出力電力		-3	0	3	-3以上	dBm	
送信ビットレート		-	250	-	250	kbps	
送信チップレート		-	2000	-	2000	kchips/s	
出力電力可変範囲	32 steps	-	32	-	32 step	dB	
高調波	2次高調波	外部ノッチフィルタ付き	-	-	-47.2	-41.2以下	dBm
	3次高調波		-	-	-47.2	-	dBm
スプリアス輻射	30-88MHz	最大出力電力、 弊社評価基板	-	-	-55.2	FCC	dBm
	88-216MHz		-	-	-51.7	FCC	
	216-960MHz		-	-	-49.2	FCC	
	960-1000MHz		-	-	-41.2	FCC	
	1-12.75GHz		-	-	-41.2	FCC(注1)	
	1.8-1.9GHz		-	-	-47	ETSI	
5.15-5.3GHz	-	-	-47	ETSI			
エラーベクトル量EVM	1000 chips	-	-	35	35以下	%	
電力スペクトル密度	絶対値限界	f-fc >3.5MHz	-	-	-30	-30以下	dBm
	相対値限界	f-fc >3.5MHz	-	-	-20	-20以下	dB
周波数許容誤差	水晶±20ppm含む	-40	-	40	±40以内	ppm	

注1. FCC認証試験時の注意事項

26CH(2480MHz)を使用する場合、2483.5MHzでFCC要求規格を満たすように送信パワーを調整してください。

表28.23 トランシーバ部受信特性(指定のない場合は、VCC=VCCRF=3.3V、Topr=25 )

項目	測定条件	規格値			IEEE802.15.4規格	単位
		最小	標準	最大		
内部電源電圧		-	1.45	-	-	V
RF入力周波数		2405	-	2480	最小2405/ 最大2480	MHz
受信感度	PER=1% PSDU length=20octets Interframe spacing 12symbol (IEEE802.15.4 minimum spacing)	-	-95	-85	-85以下	dBm
最大入力レベル	PER=1%	0	-	-	-20以上	dBm
隣接チャンネル除去比	+5MHz	0	-	-	0以上	dB
	-5MHz	0	-	-		
相互チャンネル除去比	+10MHz	30	-	-	30以上	dB
	-10MHz	30	-	-		
除去比	> +15MHz	30	-	-	-	dB
	< -15MHz	30	-	-		
スプリアス輻射	30-1000MHz	-	-	-57	ETSI EN300/328	dBm
	1-12.75GHz	-	-	-47		
シンボルエラー許容誤差		-80	-	80	±40以上(送受合計 で±80以上)	ppm
RSSIレンジ	Prf(min)=-75dBm	40	75	-	40以上	dB
RSSI精度	Prf=-75~-35dBm	-6	-	6	±6以内	dB

## 29. 使用上の注意事項

### 29.1 クロック発生回路使用上の注意

#### 29.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM1レジスタへの書き込み許可
FSET    I          ; 割り込み許可
BSET    0, CM1     ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

### 29.1.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)並びにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

#### • WAIT命令を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I          ; 割り込み許可
WAIT                                         ; ウェイトモード
NOP
NOP
NOP
NOP
```

#### • CM30ビットを“1”を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM3レジスタへの書き込み許可
FCLR    I          ; 割り込み禁止
BSET    0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR    ; CM3レジスタへの書き込み禁止
FSET    I          ; 割り込み許可
```

### 29.1.3 VCA20ビットによる内部電源低消費操作

VCA20ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図9.5に示す手順に従ってください。

WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図9.6に示す手順に従ってください。

### 29.1.4 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

### 29.1.5 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

## 29.2 割り込み使用上の注意

### 29.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 29.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 29.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI7}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0, 1, 3$ ) に示す“L”レベル幅、または“H”レベル幅が必要です(詳細は「表 28.17( $V_{cc} = 3V$ )、表 28.21( $V_{cc} = 2.15V$ ) 外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0, 1, 3$ )、キー入力割り込み  $\overline{\text{KIi}}$  ( $i = 0 \sim 7$ )」を参照)。

### 29.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図29.1に割り込み要因の変更手順例を示します。

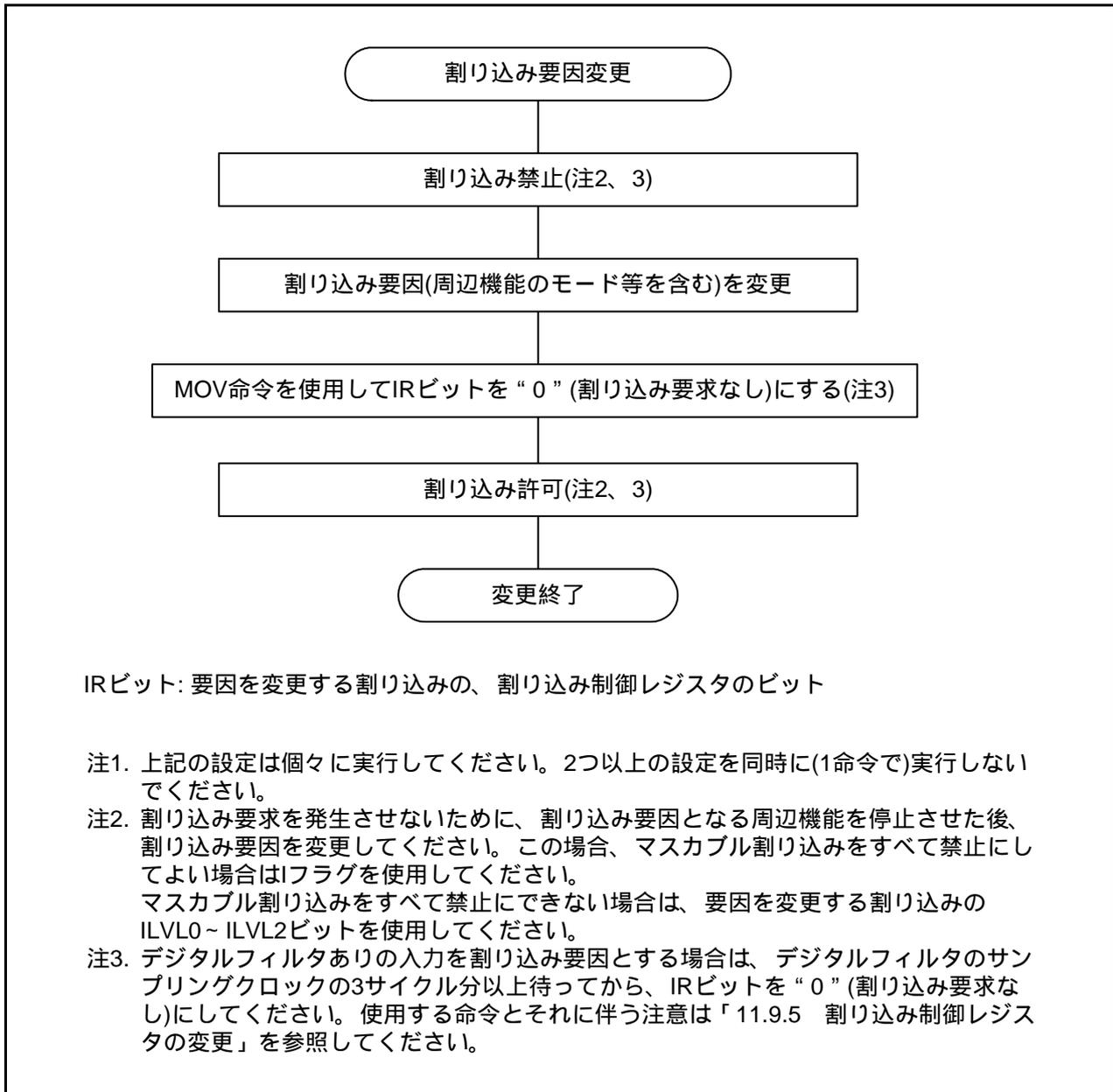


図29.1 割り込み要因の変更手順例

### 29.2.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

#### IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 ..... AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

## 29.3 IDコード領域使用上の注意

### 29.3.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.word dummy | (55000000h)    ; UND
.word dummy | (55000000h)    ; INTO
.word dummy                  ; BREAK
.word dummy | (55000000h)    ; ADDRESS MATCH
.word dummy | (55000000h)    ; SET SINGLE STEP
.word dummy | (55000000h)    ; WDT
.word dummy | (55000000h)    ; ADDRESS BREAK
.word dummy | (55000000h)    ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 29.4 オプション機能選択領域使用上の注意

### 29.4.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.word reset | (0FF000000h)    ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 29.5 DTC使用上の注意

### 29.5.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

### 29.5.2 DTCEN<sub>i</sub> (i=0 ~ 3、5、6) レジスタ

- DTCEN<sub>i</sub>0 ~ DTCEN<sub>i</sub>7 ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCEN<sub>i</sub>0 ~ DTCEN<sub>i</sub>7 ビットを変化させないでください。
- DTC転送でDTCEN<sub>i</sub>レジスタをアクセスしないでください。
- 割り込み要因が割り当てられていないビットは予約ビットです。“0”にしてください。

### 29.5.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。  
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。  
ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCT<sub>j</sub> (j=0 ~ 23) レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCR<sub>j</sub> レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“1”から“0”になる転送
 のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

### 29.5.4 割り込み要求

DTC起動要因がSSU/I<sup>2</sup>C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCT<sub>j</sub> (j=0 ~ 23) レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

### 29.5.5 DTCのチェイン転送

複数のコントロールデータを用いてチェイン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

- 例.
- DTCCT0 = 5、DTCCT1 = 10の場合、DTCCT0 = DTCCT1 = 5として動作します。
  - DTCCT0 = 10、DTCCT1 = 5の場合、DTCCT0 = DTCCT1 = 10として動作します。
  - DTCCT0 = 10、DTCCT1 = 5、DTCCT2 = 2の場合、DTCCT0 = DTCCT1 = DTCCT2 = 10として動作します。

## 29.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“0”になっています。  
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。  
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。  
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。  
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ : TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRA レジスタに 00h を設定しないでください。

## 29.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。  
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。  
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。  
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

### 29.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 29.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 29.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 29.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 29.8 タイマRC使用上の注意

### 29.8.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。  
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。  
プログラム例
 

MOV.W	#XXXXh, TRC	;	書き込み	
JMP.B	L1	;	JMP.B命令	
L1:	MOV.W	TRC, DATA	;	読み出し

### 29.8.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B命令を実行してください。

MOV.B	#XXh, TRCSR	;	書き込み	
JMP.B	L1	;	JMP.B命令	
L1:	MOV.B	TRCSR, DATA	;	読み出し

### 29.8.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

### 29.8.4 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。  
[デジタルフィルタなしの場合]  
タイマRCの動作クロックの3サイクル分以上(「表19.1 タイマRCの動作クロック」参照)  
[デジタルフィルタありの場合]  
デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図19.5 デジタルフィルタのブロック図」参照)
- TRCIOj (j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インプットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0～IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

### 29.8.5 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

## 29.9 タイマRE使用上の注意

### 29.9.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ：TREMINT、TREHR、TREWK、TRECRI、TRECRR、TRECRR2、TRECRR3

### 29.9.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRR2レジスタ
- TRECRIレジスタのH12\_H24ビット、PMビット、INTビット
- TRECRR3レジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRR2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図29.2にリアルタイムクロックモード時の設定例を示します。

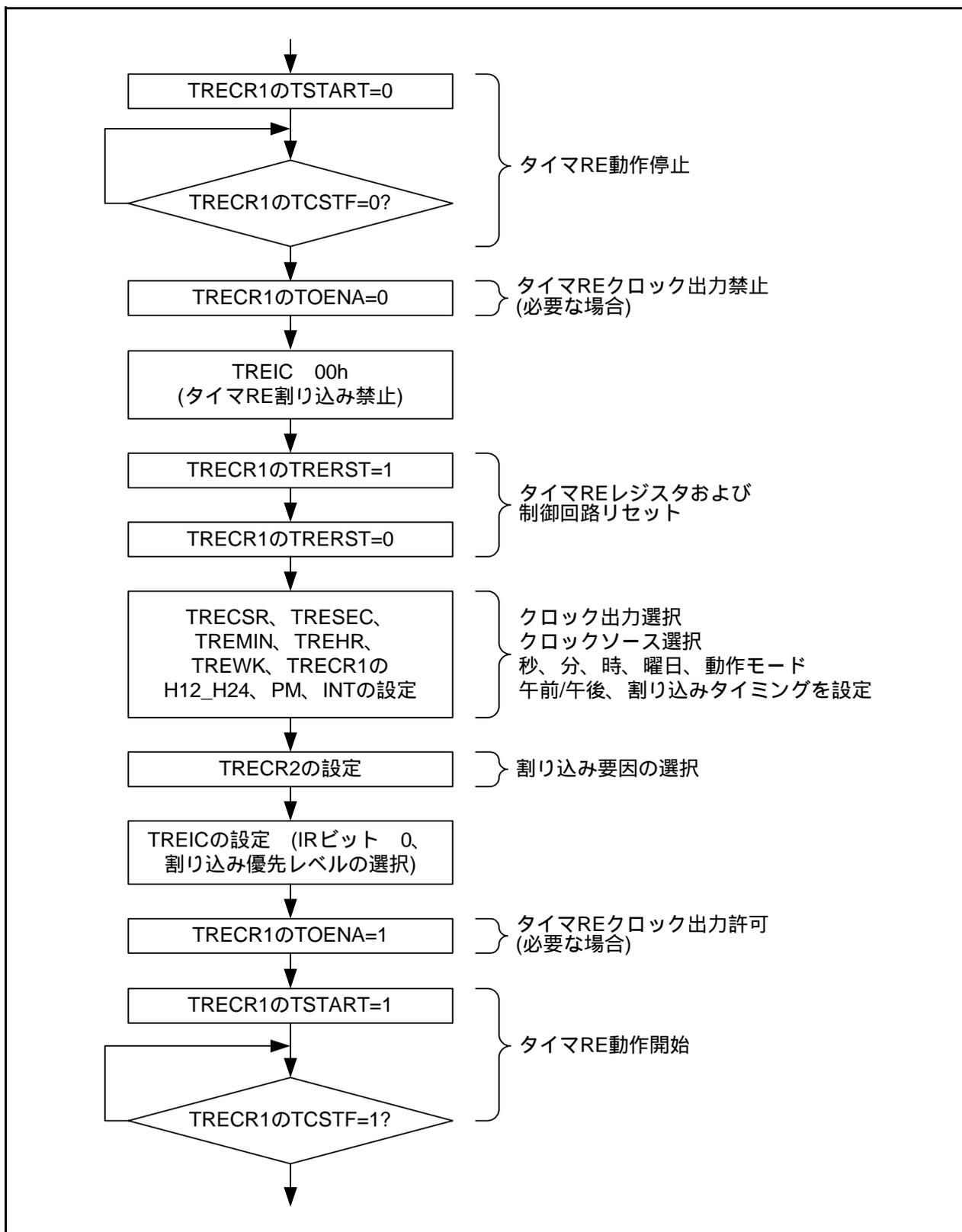


図 29.2 リアルタイムクロックモード時の設定例

### 29.9.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

### 29.10 シリアルインタフェース(UART0)使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、U0RBレジスタを読み出すときは、必ず16ビット単位で読み出してください。  
U0RBレジスタのPER、FERビットとU0C1レジスタのRIビットは、U0RBレジスタの上位バイトを読み出したとき、“0”になります。  
受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H  ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H  ; U0TBレジスタの下位バイトへの書き込み
```

### 29.11 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのICSELビットを“0”(SSU機能を選択)にしてください。

### 29.12 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、SSUICSRレジスタのICSELビットを“1”(I<sup>2</sup>Cバスインタフェース機能を選択)にしてください。

#### 29.12.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がり重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

##### 29.12.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がりには、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

#### 29.12.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

##### 29.12.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

##### 29.12.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

### 29.12.2.3 IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRSTビットに“1”を書くと、ICSRレジスタのTDREビットは“1”になります。
- IICRSTビットによるI2Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。  
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI2Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

## 29.13 フラッシュメモリ使用上の注意

## 29.13.1 CPU書き換えモード

## 29.13.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

## 29.13.1.2 割り込み

表29.1～表29.3にCPU書き換えモード時の割り込みを示します。

表29.1 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。
		自動消去中 (サスペンド無効 またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2レジスタのビット

表29.2 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> <li>・ウォッチドッグタイマ</li> <li>・発振停止検出</li> <li>・電圧監視<sup>1</sup></li> </ul> (注1)	<ul style="list-style-type: none"> <li>・未定義命令</li> <li>・INTO命令</li> <li>・BRK命令</li> <li>・シングルステップ</li> <li>・アドレス一致</li> <li>・アドレスブレイク (注1)</li> </ul>
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表29.3 CPU書き換えモード時の割り込み(3)

モード	イレース/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視1  (注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレースサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレースサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレースサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

### 29.13.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

### 29.13.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 29.13.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 29.13.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

### 29.13.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

CPU書き換えモードでプログラムROMのプログラム、イレーズを実行する場合は、動作周囲温度 $T_{opr} = 0 \sim 60$  の条件で行ってください。動作周囲温度 $T_{opr} = 0 \sim 60$  の条件外では、プログラムROMのプログラム、イレーズを実行しないでください。

標準シリアル入出力モードとパラレル入出力モードでプログラムROMおよびデータフラッシュのプログラム、イレーズを実行する場合は、電源電圧 $V_{CC} = 2.7 \sim 3.6V$ かつ動作周囲温度 $T_{opr} = 0 \sim 60$  の条件で行ってください。電源電圧 $V_{CC}$ が2.7V未満、あるいは動作周囲温度 $T_{opr} = 0 \sim 60$  の条件外では、プログラムROMおよびデータフラッシュのプログラム、イレーズを実行しないでください。

### 29.13.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

### 29.13.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「27. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

### 29.13.2 データフラッシュ

データフラッシュ上ではプログラムを実行できません。

データフラッシュをプログラム領域として使用しないでください。

## 29.14 ノイズに関する注意

### 29.14.1 ノイズおよびラッチアップ対策として、VCC-VSSライン間へのバイパスコンデンサ挿入

VCC端子とVSS端子間にバイパスコンデンサ(10 $\mu$ F)を最短距離でかつ、比較的太い配線を使って接続してください。

### 29.14.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

## 29.15 電源電圧の変動に関する注意

リセット解除後、VCC端子に入力する電源電圧は、図29.3に示す許容電源リップル電圧 $V_r(vcc)$ および電源リップル立ち下がり勾配 $dV_r(vcc)/dt$ のどちらか一方または両方を満たしてください。

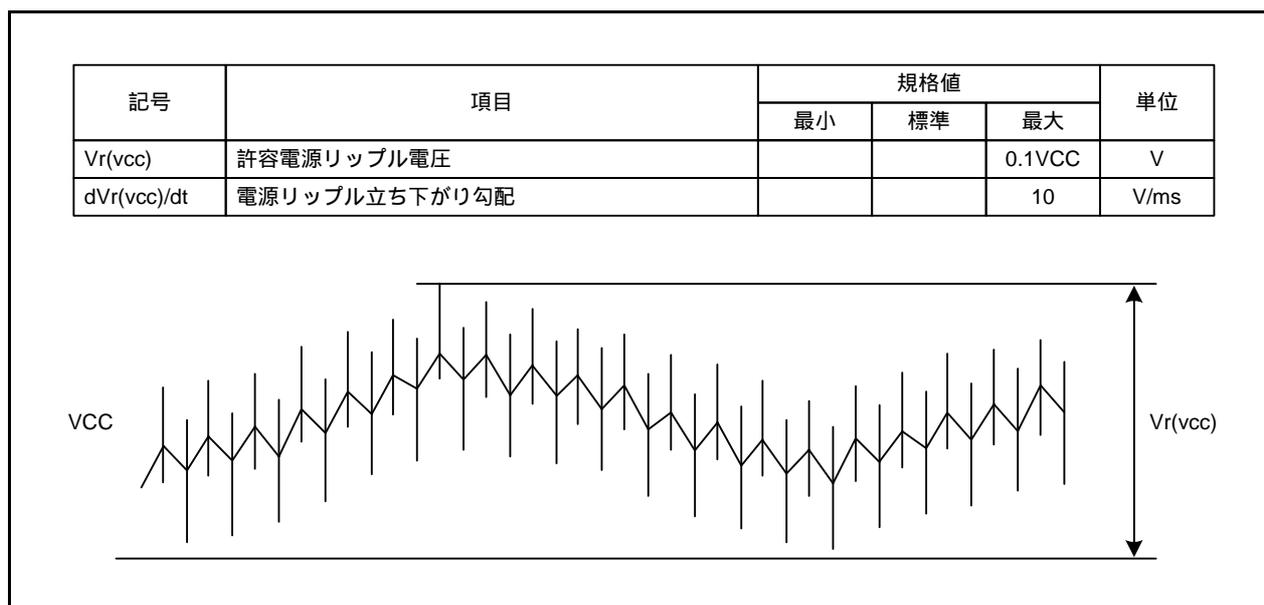


図29.3 電源リップルの定義

## 30. オンチップデバッグの注意事項

オンチップデバッグを使用してR8C/3MQグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。  
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC=2.7V ~ 3.6Vの条件でデバッグしてください。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

## 31. 開発ツール使用時の注意事項

M16C シリーズ、R8C ファミリ用C/C++ コンパイラパッケージ [M3T-NC30WA]、およびオンチップデバッグエミュレータE8a、E1、E20 にはプログラムROM 112Kバイト用の設定はありません。

R5F213MCQNNP(プログラムROM 112Kバイト)でこれら開発ツールを使用する際の使用方法を示します。

### 31.1 M16Cシリーズ、R8Cファミリ用C/C++コンパイラパッケージ(M3T-NC30WA)

新規にプロジェクトを作成する際、ROMサイズは“128K”を選択してください(図31.1 (1))。

また“C source startup Application”を選択した場合、オンチップエミュレータ使用は“none”を選択してください(図31.1 (2))。

オンチップデバッグエミュレータ用のファームウェア、デバッグモニタのアドレスの設定はオンチップデバッグエミュレータで行います。

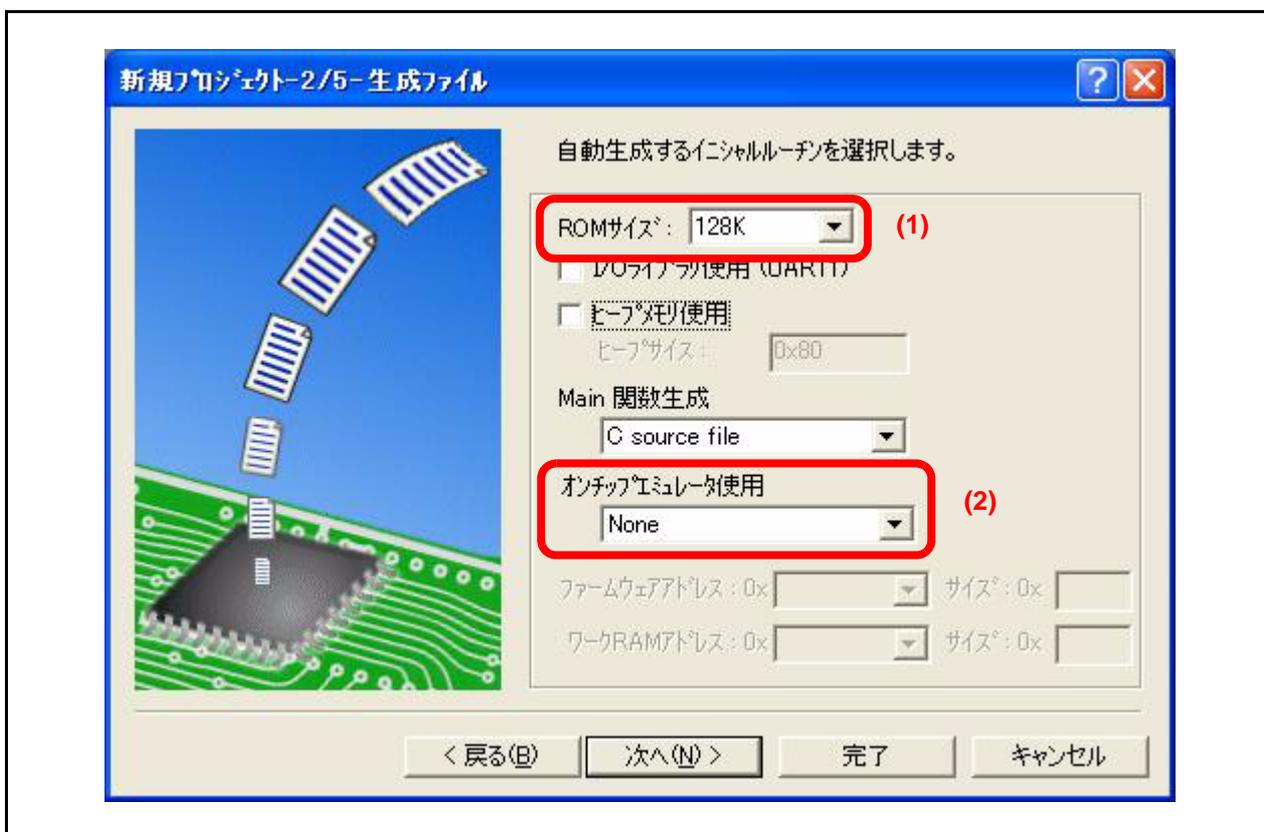


図31.1 “新規プロジェクト作成ウィザード-2/5-”の設定

## 31.2 オンチップデバッグエミュレータE8a

### 31.2.1 ファームウェアの配置

E8a 接続操作時のエミュレータ設定ダイアログで“ファームウェア配置”タブを選択し(図31.2 (1))、“高度な設定”をチェックしてください(図31.3 (2))。ファームウェア配置領域を選択できます。

ファームウェア配置領域は“ユーザフラッシュ領域”を選択してください。アドレス設定は“04000h ~ 1FFFFh”の範囲で、固定割り込みベクタ領域を含まないようにしてください(例：1F800、図31.3 (3))。また、ファームウェア配置領域にデータフラッシュは使用できません。“データフラッシュ領域”は選択しないでください。

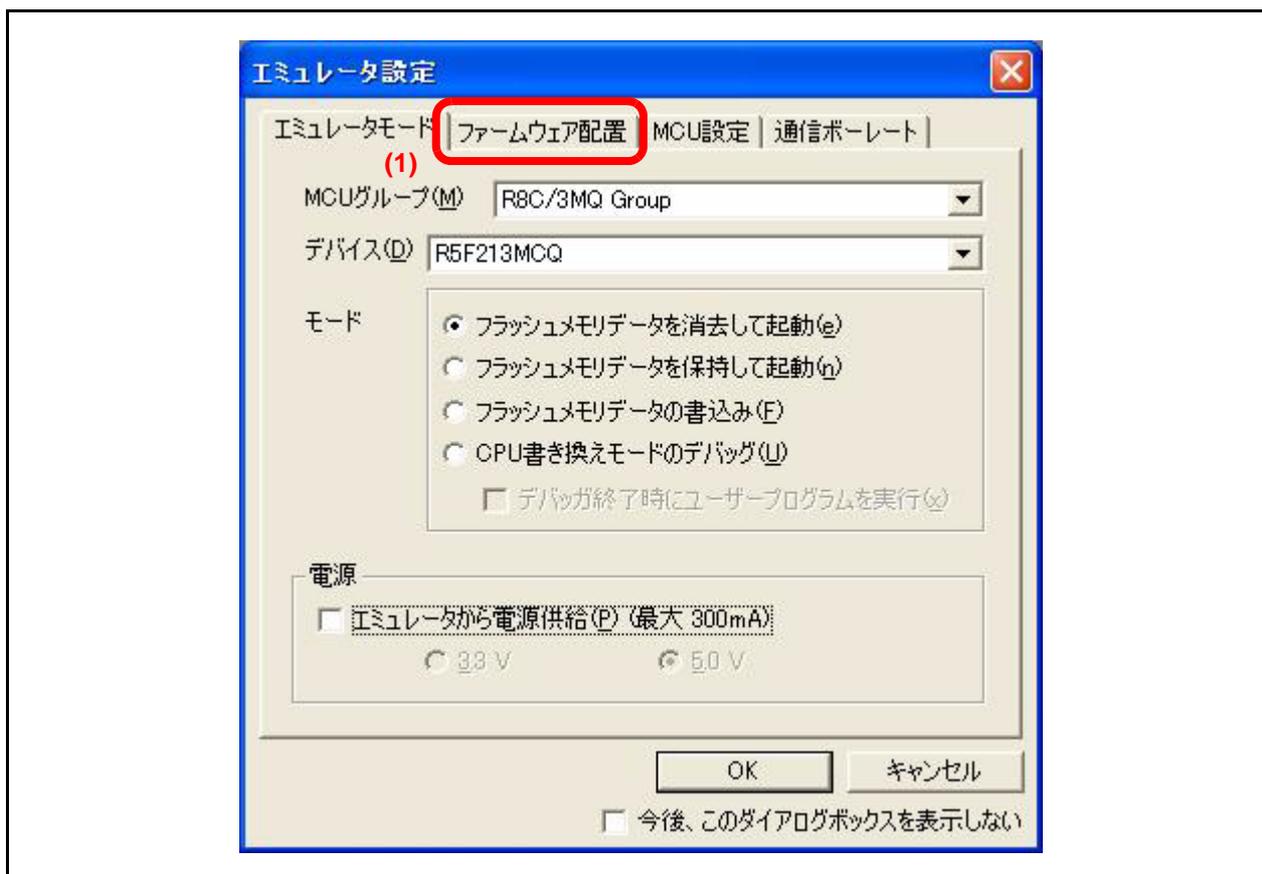


図31.2 E8a “エミュレータ設定ダイアログ” の設定1

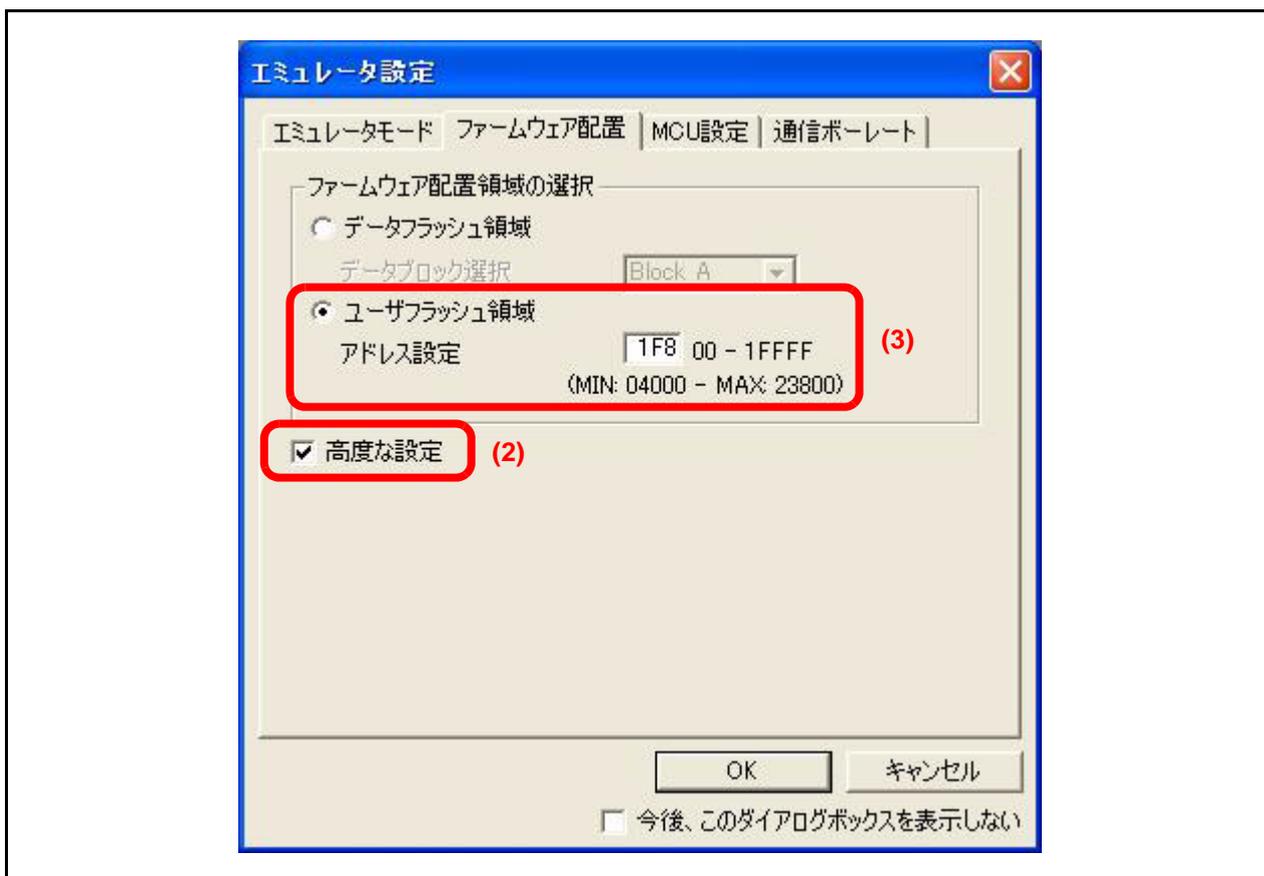


図31.3 E8a “エミュレータ設定ダイアログ” の設定2

### 31.2.2 ユーザプログラムのダウンロード

ダウンロード時にユーザプログラムのプログラム容量が112Kバイトを越えていても、ウォーニングのメッセージは表示されません。ユーザプログラムの容量に関しては、お客様にてmapファイルで確認してください。

### 31.3 オンチップデバッグエミュレータE1/E20

#### 31.3.1 デバッグモニタの配置

E1/E20 接続操作時のコンフィグレーションプロパティダイアログで“システム”タブを選択し(図 31.4 (1))、デバッグモニタ配置領域を設定してください。

デバッグモニタ配置領域は“ユーザフラッシュ領域(U)”を選択してください。開始アドレスは“04000h ~ 1F800h”の範囲で、固定割り込みベクタ領域を含まないようにしてください(例：1F800、図 31.4 (2))。また、デバッグモニタ配置領域にデータフラッシュは使用できません。“データフラッシュ領域(D)”は選択しないでください。

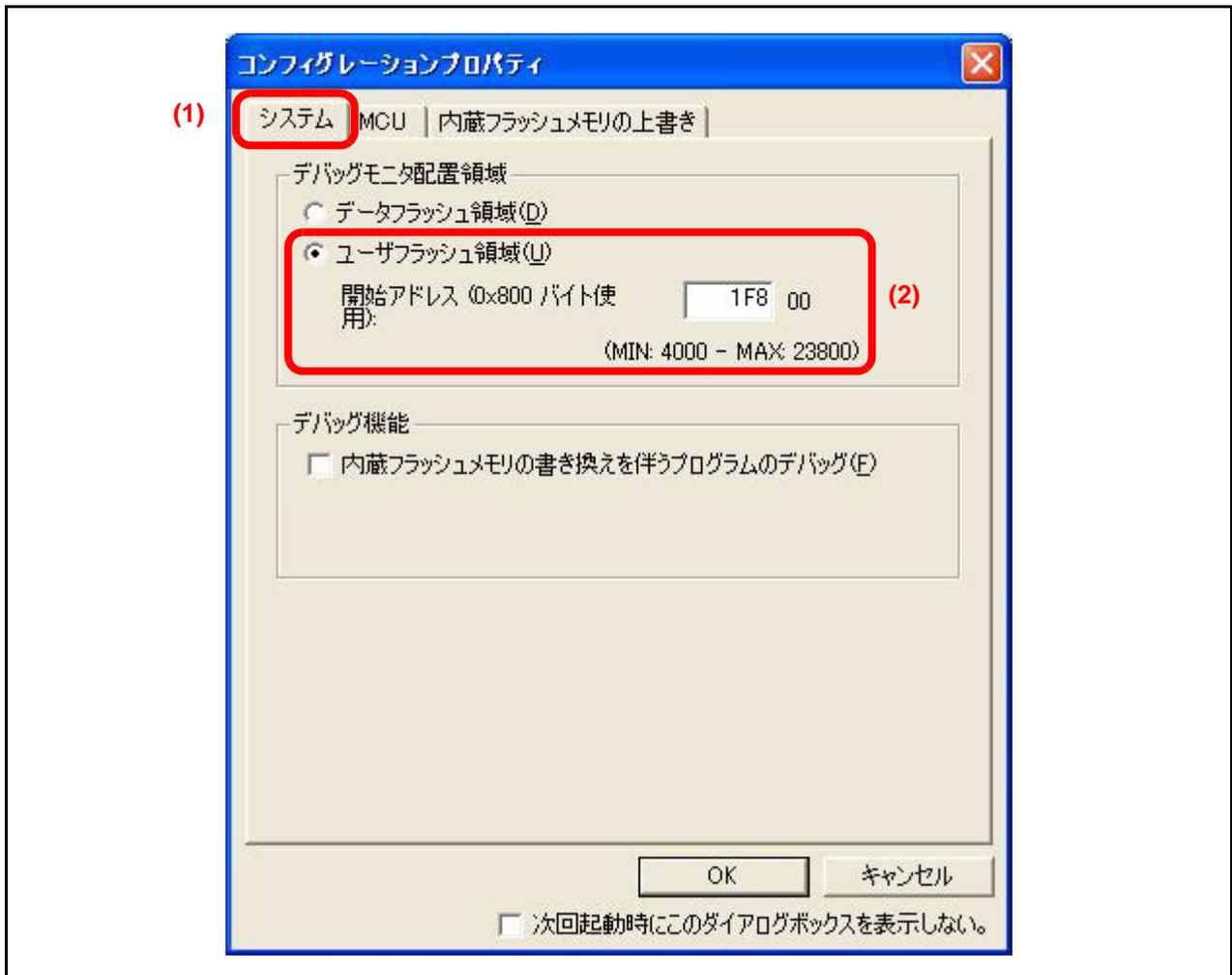


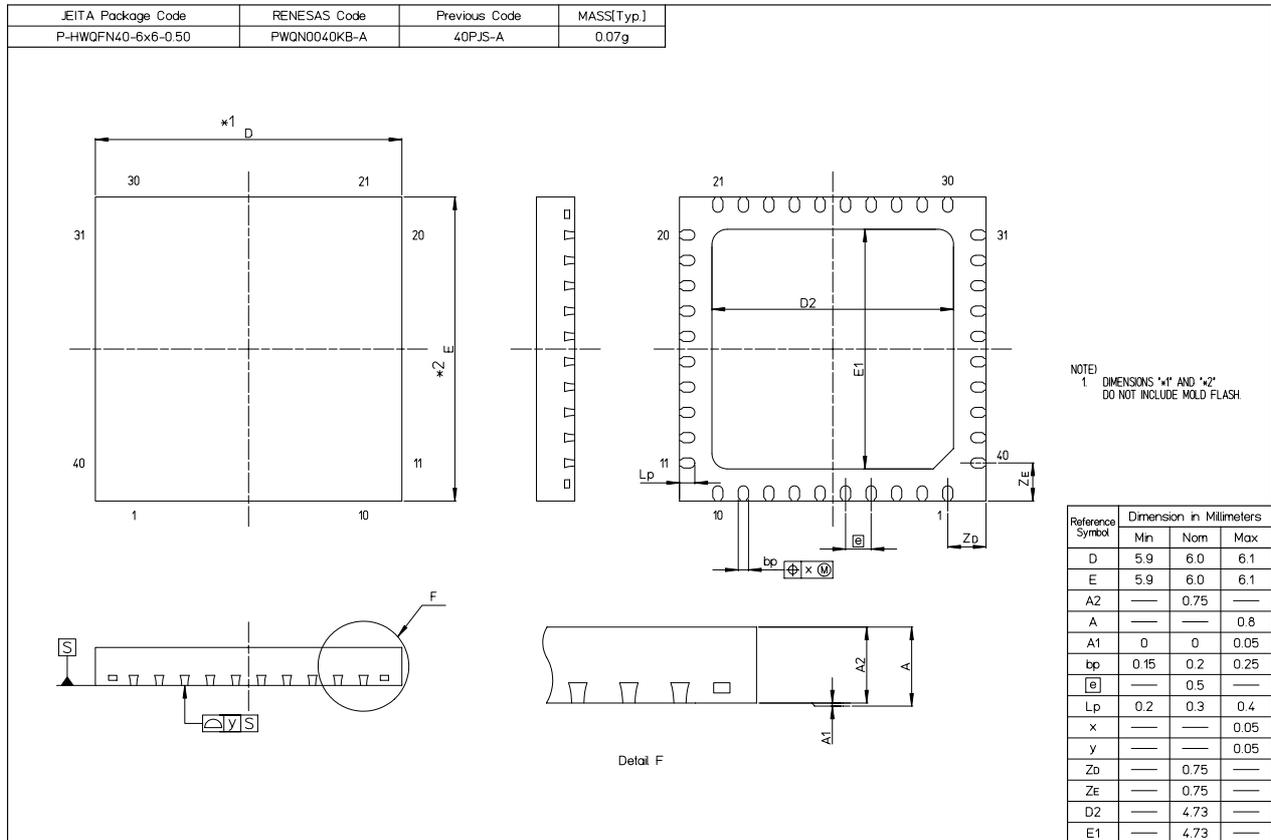
図31.4 E1/E20 “コンフィグレーションプロパティ” の設定

#### 31.3.2 ユーザプログラムのダウンロード

ダウンロード時にユーザプログラムのプログラム容量が112Kバイトを越えていても、ウォーニングのメッセージは表示されません。ユーザプログラムの容量に関しては、お客様にてmapファイルで確認してください。

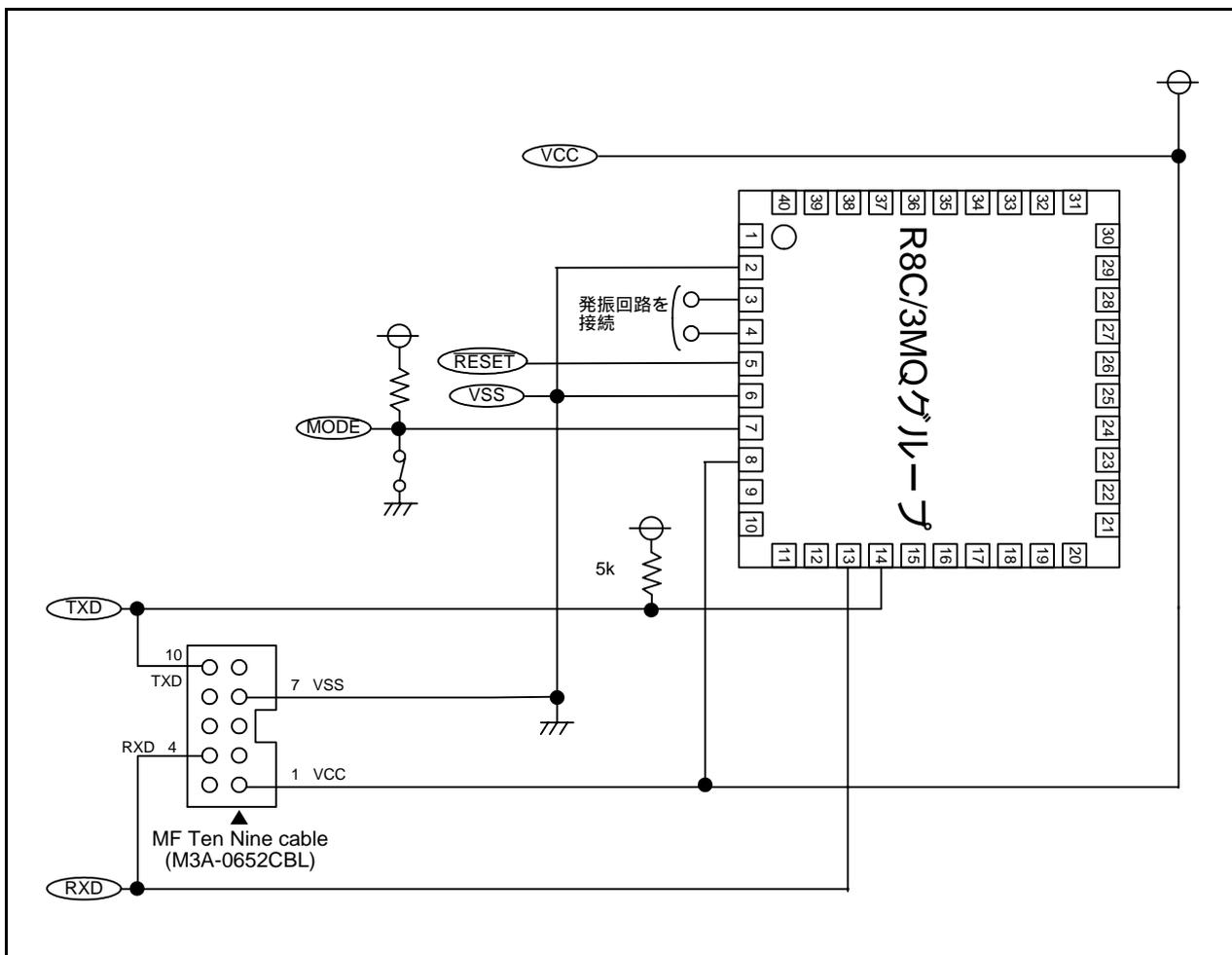
## 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

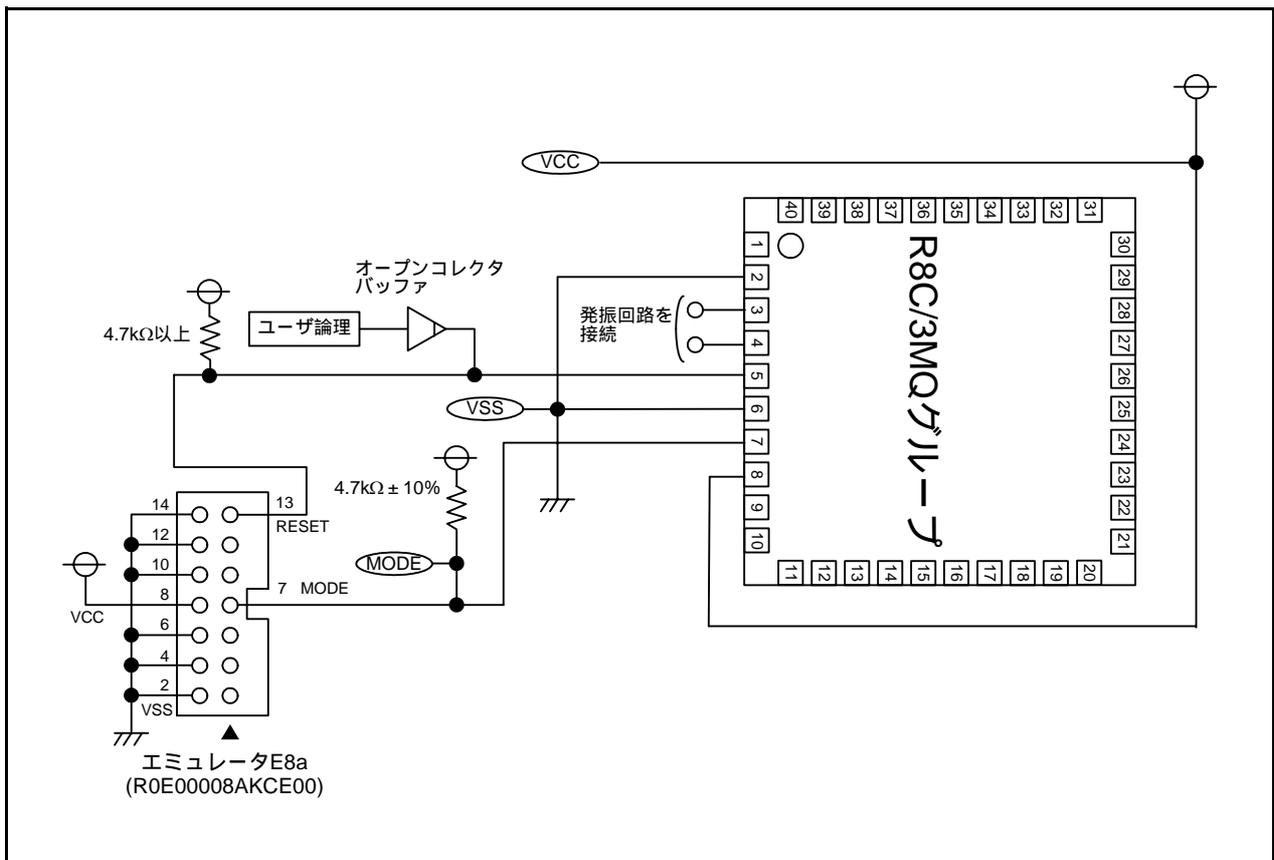


## 付録2. シリアルライタとオンチップデバッグエミュレータとの接続例

付図2.1 にMF Ten Nine ケーブル(M3A-0652CBL) との結線図を、付図2.2 にエミュレータE8a (R0E00008AKCE00) との接続例を示します。



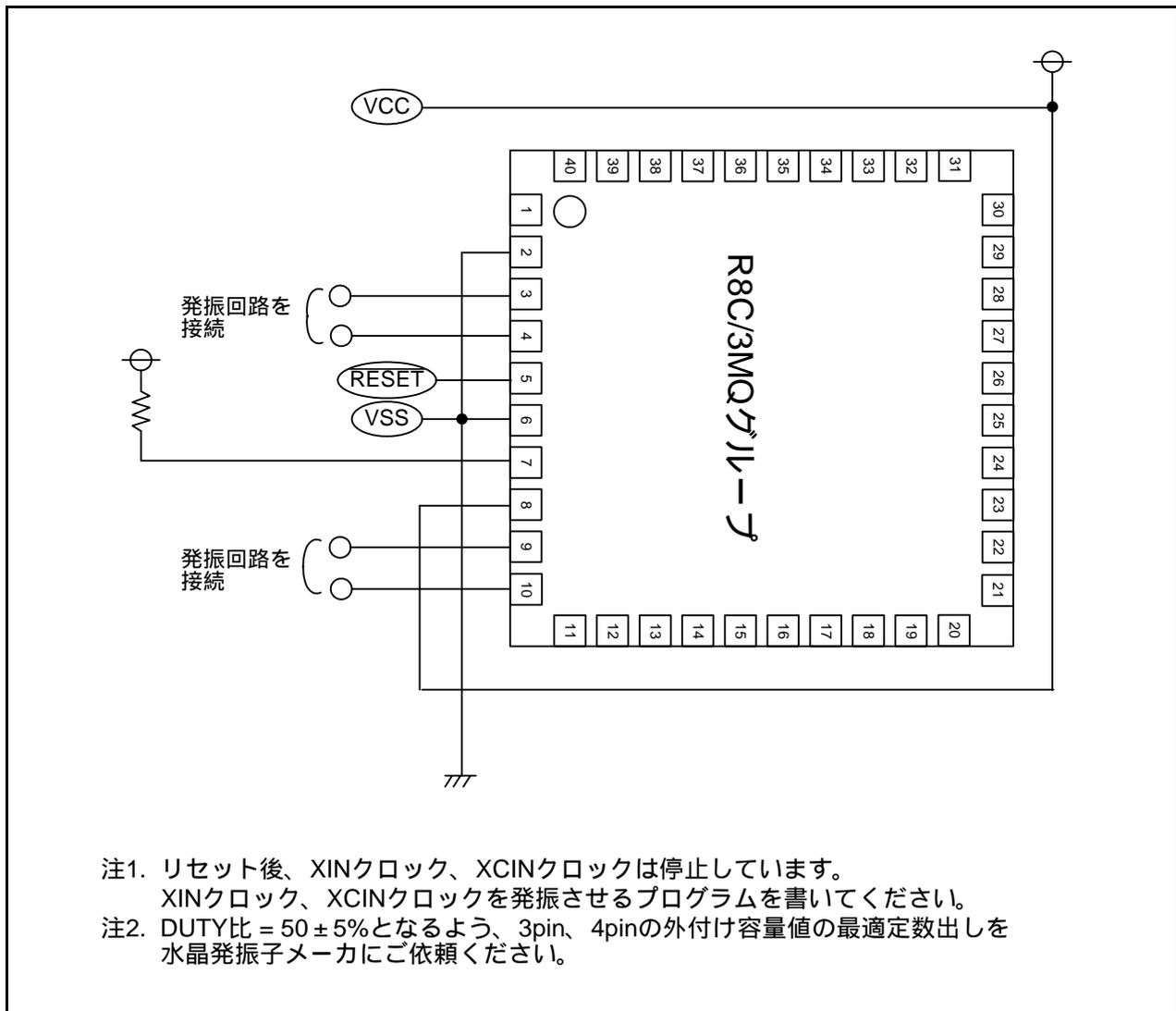
付図2.1 MF Ten Nineケーブル(M3A-0652CBL) との結線図



付図2.2 エミュレータ E8a (R0E00008AKCE00) との接続例

## 付録3. 発振評価回路例

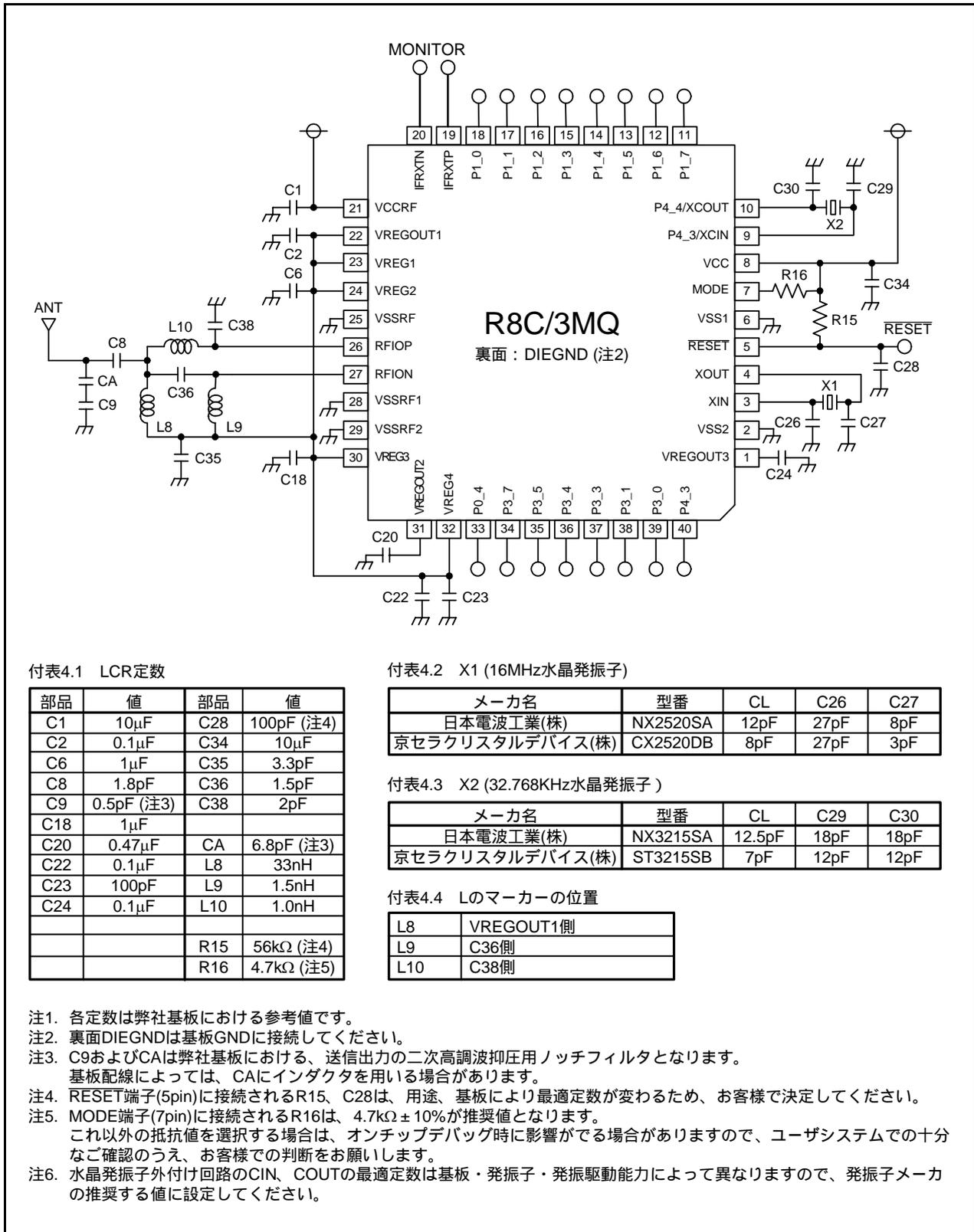
付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

## 付録4. 周辺回路例

付図4.1に周辺回路例を示します。



付図4.1 周辺回路例

## 付録5. 基板設計上の注意点

各記号は付図4.1の周辺回路例に対応します。

### < 電源系 >

- IC裏面のダイパッドはアナログ部のGND基点ですので、必ずGNDに接続してください。
- 21pin (VCCRF)と8pin (VCC)は3V系電源端子です。C1、C34は10 $\mu$ F以上をIC端子近傍に配置してください。接続される電源のノイズが大きい場合には、C1、C34のデカップ容量値を大きくする必要があります。
- 22pin (VREGOUT1)は1.45Vレギュレータ出力端子です。23、24、30、32pin (VREG1 ~ 4)へ接続してください。各デカップ容量はIC端子近傍に以下のように配置してください。  
C2 22pin (VREGOUT1)端に内部レギュレータの安定化用に0.1 $\mu$ F以上  
C6 24pin (VREG2)端に内部RF/IF部の安定化用に1 $\mu$ F  
C18 30pin (VREG3)端に内部PLLアナログ部の安定化用に1 $\mu$ F以上  
C22、23 32pin (VREG4)端に内部PLLデジタル部の安定化用に0.1 $\mu$ Fとノイズ除去用120pF  
上記容量の合計が2.2 $\mu$ F以上になるよう定数を選定してください。
- VREGOUT1からVREG3、4への配線とRFIOP/N線路の交差は最小限となるよう注意ください。
- 31pin (VREGOUT2)と1pin (VREGOUT3)はVCO及びX'tal用Buffer専用レギュレータのデカップ用端子です。C20、C24はIC端子近傍に配置してください。

### < RF系 >

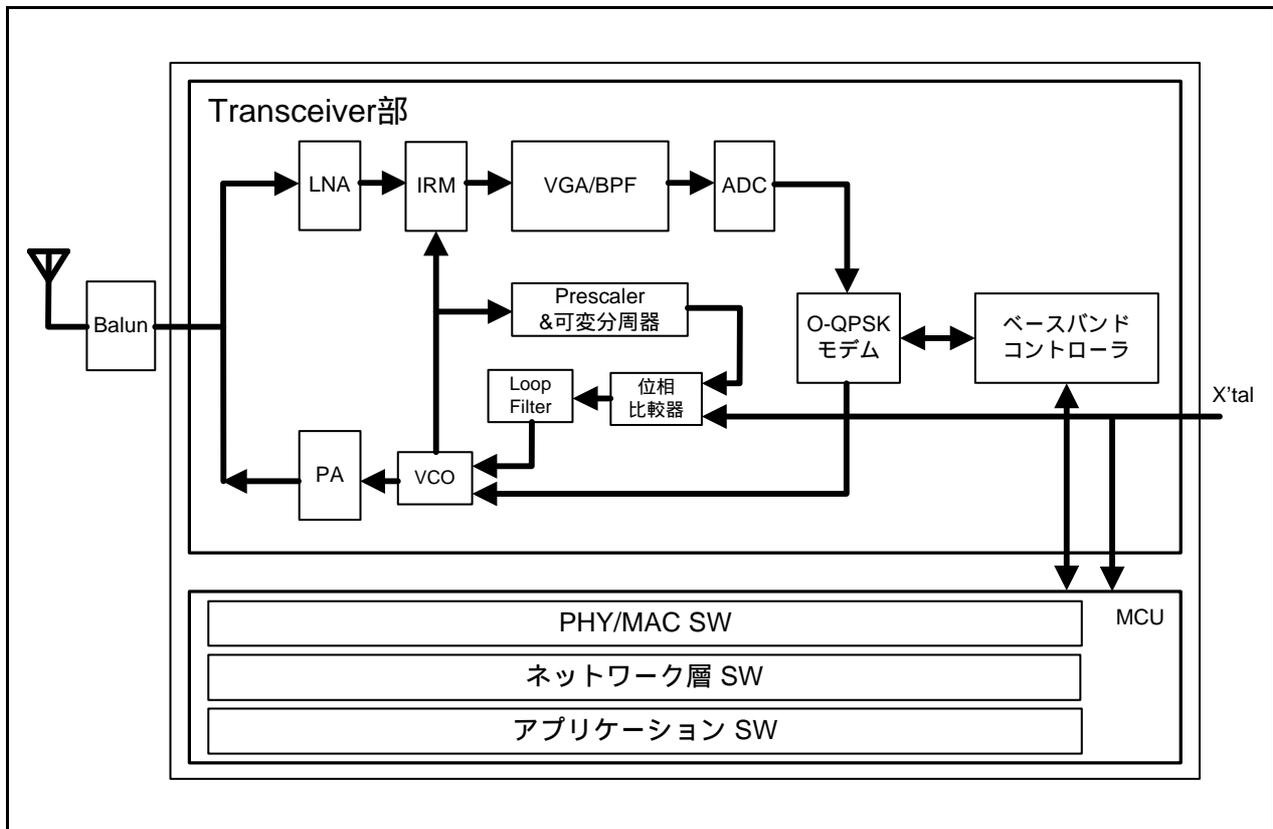
- 26、27pin (RFIOP/N)は2.4GHz帯の差動入出力端子です。最短で配線してください。本配線の横は25、28pinのGND配線でガードし、ビアを均等距離で多数打ちください。
- 28、29pinのVSSRF1、VSSRF2端子は27-30pin間のRFアイソレーションを確保するため、必ずGNDに接続ください。
- BALUN部LCは、GND経由のRFIO-VCO干渉を避けるため、接地C側(C38)を26pin (RFIOP)側に使用ください。
- L1/C9は送信出力の二次高調波抑圧用ノッチフィルタです。4.8GHz帯を除去するよう調整してください。
- BALUN部の整合は受信モード・送信モードのそれぞれでS11 (S22)が-6dB以下となるよう調整してください。合わせて受信モードでLOCALリーク (RFIN-2MHz)が-58 ~ -60dBm程度になるよう位相部(LC/CL)を微調整してください。

### < その他 >

- 19、20pin (IFRXTN)はTESTIOピンです。モニタ用パッドを準備しておくことをご推奨致します。

## 付録6. 無線設備系統図

付図6.1に無線設備系統図を示します。



付図6.1 無線設備系統図

## 索引

## 【記号 / 数字】

4線式バス通信モード .....	335
4線式バス通信モードの初期化 .....	336

## 【 A 】

A0、A1 .....	11
AIERi (i=0 ~ 1) .....	140

## 【 B 】

BBACKRTNTIMG .....	430
BBADFC .....	121
BBANTSWCON .....	430
BBANTSWTIMG .....	428
BBBOFFPROD .....	422
BBCCAIC .....	121
BBCCAVTH .....	411
BBCON .....	396
BBCSMACON0 .....	410
BBCSMACON1 .....	415
BBCSMACON2 .....	415
BBEVAREG .....	426
BBEXTENDAD0 .....	417
BBEXTENDAD1 .....	417
BBEXTENDAD2 .....	417
BBEXTENDAD3 .....	417
BBIDLEWAIT .....	427
BBLVLVTH .....	408
BBPANID .....	416
BBPLLDIVH .....	423
BBPLLDIVL .....	423
BBPLLIC .....	121
BBRFCON .....	413
BBRFINI .....	429
BBRSSICCARSLT .....	402
BBRSSIOFS .....	425
BBRX0IC/BBIDLEIC .....	121
BBRX1IC/BBCREGIC .....	121
BBRXCOUNT .....	401
BBRXFLEN .....	400
BBRXOR0IC/BBCALIC .....	121
BBRXOR1IC .....	121
BBSHORTAD .....	416
BBTCOMPIREG0 (i=0 ~ 2) .....	419
BBTCOMPIREG1 (i=0 ~ 2) .....	419
BBTIM0IC .....	121
BBTIM1IC .....	121
BBTIM2IC .....	121
BBTIMECON .....	421
BBTIMEREAD0 .....	418
BBTIMEREAD1 .....	418
BBTSTAMP0 .....	420
BBTSTAMP1 .....	420
BBTXFLEN .....	405
BBTXIC .....	121
BBTXORIC .....	121
BBTXOUTPWR .....	424
BBTXRXCON .....	409
BBTXRXMODE0 .....	398
BBTXRXMODE1 .....	399
BBTXRXMODE2 .....	406
BBTXRXMODE3 .....	407
BBTXRXMODE4 .....	414
BBTXRXRST .....	397
BBTXRXST0 .....	403

BBTXRXST1 .....	412
BGO(バックグラウンドオペレーション)機能 .....	456
Bフラグ .....	11

## 【 C 】

CM0 .....	89
CM1 .....	90
CM3 .....	91
CMPA .....	40
CPSRF .....	93
CPU .....	10
CPU書き換えモード .....	442
CPUクロック .....	98
CPUクロックと周辺機能クロック .....	98
CSPR .....	157
Cフラグ .....	11

## 【 D 】

DRR0 .....	72
DRR1 .....	73
DTBLSj (j=0 ~ 23) .....	165
DTC .....	163
DTCCRj (j=0 ~ 23) .....	165
DTCCtj (j=0 ~ 23) .....	165
DTCENi (i=0 ~ 3、5、6) .....	167
DTCTL .....	168
DTC実行サイクル数 .....	180
DTDARj (j=0 ~ 23) .....	166
DTRLdj (j=0 ~ 23) .....	166
DTSARj (j=0 ~ 23) .....	166
Dフラグ .....	11

## 【 E 】

EW0モード .....	453
EW1モード .....	453

## 【 F 】

f1、f2、f4、f8、f32 .....	98
FB .....	11
fC、fC2、fC4、fC32 .....	99
FLG .....	11
FMR0 .....	446
FMR1 .....	449
FMR2 .....	451
FMRDYIC .....	122
fOCO .....	98
fOCO128 .....	98
fOCO-S .....	98
fOCO-WDT .....	99
FST .....	443

## 【 I 】

I/Oポート .....	51
I/Oポート以外の端子 .....	52
I/Oポートの機能 .....	52
I <sup>2</sup> Cバスインタフェース .....	343
I <sup>2</sup> Cバスインタフェースモード .....	359
I <sup>2</sup> Cバスフォーマット .....	359
ICCR1 .....	349

ICCR2 .....	350	RSTFR .....	28
ICDRR .....	348		
ICDRS .....	354	<b>【 S 】</b>	
ICDRT .....	348	SORIC .....	121
ICIER .....	352	SOTIC .....	121
ICMR .....	351	SAR .....	354
ICSR .....	353	SB .....	11
IDコードチェック機能 .....	440, 471	SCS 端子制御とアービトレーション .....	341
IDコード領域 .....	146	SFR .....	14
ILVL2 ~ ILVL0 ビット、IPL .....	124	SSBR .....	316
INTB .....	11	SSCRH .....	317
INTEN .....	132	SSCRL .....	318
INTF .....	133	SSEr .....	320
INTiIC (i=0、1、3) .....	123	SSMR .....	319
INTi 入力フィルタ (i=0、1、3) .....	134	SSMR2 .....	322
INTi 割り込み (i=0、1、3) .....	131	SSRDR .....	317
INTSR .....	68, 131	SSSR .....	321
INT 割り込み .....	131	SSTDR .....	316
IPL .....	12	SSTRSR .....	325
IR ビット .....	124	SSUIC/IICIC .....	122
ISP .....	11	SSUICSR .....	67, 315, 346
Iフラグ .....	12, 124	SS シフトレジスタ .....	325
		Sフラグ .....	11
<b>【 K 】</b>			
KIEN .....	137	<b>【 T 】</b>	
KIEN1 .....	138	TRA .....	188
KUPIC .....	121	TRACR .....	186
		TRAIC .....	121
<b>【 L 】</b>		TRAIOC .....	186, 189, 192, 194, 196, 199
LSB ファースト、MSB ファースト選択 .....	303	TRAMR .....	187
		TRAPRE .....	187
<b>【 M 】</b>		TRASR .....	63, 188
M16C シリーズ、R8C ファミリー用 C/C++ コンパイラ		TRBCR .....	203
パッケージ (M3T-NC30WA) .....	528	TRBIC .....	121
MSTCR .....	227, 315, 346	TRBIOC .....	204, 209, 213, 216, 220
		TRBMR .....	205
<b>【 O 】</b>		TRBOCR .....	204
OCD .....	92	TRBPR .....	206
OFS .....	29, 46, 151, 158, 441	TRBPPE .....	205
OFS2 .....	30, 152, 159	TRBRCSR .....	64, 207, 236
Oフラグ .....	12	TRBSC .....	206
		TRC .....	232
<b>【 P 】</b>		TRCCR1 .....	229, 252, 261, 267
P1DRR .....	71	TRCCR2 .....	233, 255, 262, 268
PC .....	11	TRCDF .....	234, 269
PDi (i=0、1、3、4) .....	61	TRCGRA .....	233
Pi (i=0、1、3、4) .....	62	TRCGRB .....	233
PINSR .....	69, 94, 347	TRCGRC .....	233
PM0 .....	28	TRCGRC、TRCGRD レジスタの出力端子変更 .....	257
PM1 .....	156	TRCGRD .....	233
PRCR .....	114	TRCIC .....	122
PUR0 .....	70	TRCIEr .....	229
PUR1 .....	70	TRCIOR0 .....	231, 247, 253
PWM2 モード .....	265	TRCIOR1 .....	232, 248, 254
PWM モード .....	259	TRCMR .....	228
		TRCOER .....	235
<b>【 R 】</b>		TRCPSR0 .....	65, 237
R0、R1、R2、R3 .....	11	TRCPSR1 .....	66, 238
RMADi (i=0 ~ 1) .....	140	TRCSR .....	230
ROM コードプロテクト機能 .....	441, 474	TRECR1 .....	280, 286
		TRECR2 .....	281, 286
		TRECSR .....	282, 287
		TREHR .....	279
		TREIC .....	121
		TREMIN .....	278, 285

TRESEC .....	278, 285
TREWK .....	279

## 【 U 】

U0BRG .....	294
U0C0 .....	296
U0C1 .....	296
U0MR .....	294
U0RB .....	297
U0SR .....	67, 298
U0TB .....	295
UART .....	305
USP .....	11
Uフラグ .....	12

## 【 V 】

VCA2 .....	41, 93
VCAC .....	40
VCC入力電圧のモニタ .....	47
VCMP1IC .....	121
VD1LS .....	42
Vdet0のモニタ .....	47
Vdet1のモニタ .....	47
VLT0 .....	74
VLT1 .....	74
VW0C .....	43
VW1C .....	44
VW2C .....	45

## 【 W 】

WDTC .....	157
WDTR .....	156
WDTS .....	156

## 【 X 】

XCINクロック .....	97
XINクロック .....	95

## 【 Z 】

Zフラグ .....	11
------------	----

## 【 あ 】

アウトプットコンペア機能 .....	250
アウトプットコンペアモード .....	284
アドレス一致割り込み .....	139
アドレスレジスタ .....	11

## 【 い 】

イベントカウンタモード .....	193
インプットキャプチャ機能 .....	245

## 【 う 】

ウェイトモード .....	101
ウェイトモード、ストップモード .....	480
ウォッチドッグタイマ .....	154
ウォッチドッグタイマリセット .....	35

## 【 お 】

オーバフローフラグ .....	12
オプション機能選択領域 .....	150
オンチップオシレータクロック .....	96
オンチップデバッグの注意事項 .....	527
オンチップデバッグエミュレータE1/E20 .....	531
オンチップデバッグエミュレータE8a .....	529

## 【 か 】

外形寸法図 .....	532
開発ツール使用時の注意事項 .....	528
概要 .....	1
カウントソース .....	239
カウントソース保護モード無効時 .....	161
カウントソース保護モード有効時 .....	162
カウント中のタイマ書き込み制御 .....	190, 210
各通信モードと端子機能 .....	327
各モードの設定と解除方法 .....	455

## 【 き 】

キー入力割り込み .....	135
起動要因 .....	169
機能 .....	147
基板設計上の注意点 .....	537
キャリフラグ .....	11
強制イレーズ機能 .....	148
極性選択機能 .....	303

## 【 く 】

クロック .....	480
クロック同期形シリアルI/Oモード .....	299
クロック同期形シリアルインタフェース .....	312, 481
クロック同期式シリアルフォーマット .....	370
クロック同期式シリアルモード .....	370
クロック同期式通信モード .....	328
クロック同期式通信モードの初期化 .....	328
クロック発生回路 .....	86
クロック非同期形シリアルI/O(UART)モード .....	305

## 【 こ 】

コールドスタート/ウォームスタート判定機能 .....	36
コントロールデータの配置とDTCベクタテーブル .....	171

## 【 さ 】

サインフラグ .....	11
サスペンド動作 .....	454

## 【 し 】

システムクロック .....	98
周辺回路例 .....	536
周辺機能クロック .....	98
周辺機能クロックの停止 .....	480
周辺機能への影響 .....	52
周辺機能割り込み .....	117
受信動作 .....	372
仕様概要 .....	2
使用上の注意事項 .....	504
消費電力の低減 .....	480

消費電力を小さくするためのポイントと処理方法 .....	480	転送クロック .....	323, 355
シリアルインタフェース(UART0) .....	292		
シリアルライタとオンチップデバッグエミュレータ との接続例 .....	533	<b>【と】</b>	
シンクロナスシリアルコミュニケーション ユニット(SSU) .....	313	動作タイミング .....	179
		特殊割り込み .....	117
		特長 .....	1
<b>【す】</b>		<b>【な】</b>	
スタックポインタ指定フラグ .....	12	内部電源の消費電力低減 .....	481
スタティックベースレジスタ .....	11		
ストップモード .....	108	<b>【の】</b>	
スレーブ受信動作 .....	368	ノイズ除去回路 .....	377
スレーブ送信動作 .....	365	ノーマルモード .....	176
<b>【せ】</b>			
製品一覧 .....	4	<b>【は】</b>	
ゼロフラグ .....	11	ハードウェアリセット .....	31
<b>【そ】</b>		バス制御 .....	84
送信動作 .....	371	発振停止検出機能 .....	111
ソフトウェアコマンド .....	458	発振停止検出機能の使用法 .....	111
ソフトウェアリセット .....	35	発振評価回路例 .....	535
ソフトウェア割り込み .....	116	バッファ動作 .....	240
<b>【た】</b>		パラレル入出力モード .....	474
タイマ .....	481	パルス周期測定モード .....	198
タイマRA .....	185	パルス出力強制遮断 .....	243
タイマRB .....	202	パルス出力モード .....	191
タイマRC .....	224	パルス幅測定モード .....	195
タイマRC割り込み .....	273	パワーオンリセット機能 .....	33
タイマRC割り込み、シンクロナスシリアルコミュニ ケーションユニット割り込み、I <sup>2</sup> Cバスインタフェース、 フラッシュメモリ割り込み(複数の割り込み要求要因を 持つ割り込み) .....	141	パワーコントロール .....	100
タイマRE .....	275		
タイマ総論 .....	184	<b>【ひ】</b>	
タイマモード .....	189, 208, 245, 250	ビット同期回路 .....	378
端子機能の説明 .....	8	ビットレート .....	309
<b>【ち】</b>		標準シリアル入出力モード .....	471
チェイン転送 .....	178	標準シリアル入出力モード禁止機能 .....	148
中央演算処理装置(CPU) .....	10	標準動作モード .....	100
<b>【て】</b>		ピン配置図 .....	6
低消費電流リードモード .....	483	<b>【ふ】</b>	
低速オンチップオシレータクロック .....	96	ファームウェアの配置 .....	529
データ保護機能 .....	457	フラグレジスタ .....	11
データレジスタ .....	11	フラッシュメモリ .....	437
デジタルフィルタ .....	242	フラッシュメモリ書き換え禁止機能 .....	440
デバッグフラグ .....	11	フラッシュメモリの停止 .....	482
デバッグモニタの配置 .....	531	フルステータスチェック .....	469
電圧監視0リセット .....	34, 48	フレームベースレジスタ .....	11
電圧監視1割り込み .....	49	プログラマブルウェイトワンショット発生モード .....	219
電圧検出回路 .....	37, 480	プログラマブル波形発生モード .....	212
電気的特性 .....	484	プログラマブルワンショット発生モード .....	215
電源が安定している場合 .....	31	プログラムカウンタ .....	11
電源電圧の変動に関する注意 .....	526	プロセッサ割り込み優先レベル .....	12
電源投入時 .....	31	ブロック図 .....	5
		プロテクト .....	114
		<b>【ほ】</b>	
		ポート .....	480
		ポートの設定 .....	75

【ま】	
マスタ受信動作 .....	362
マスタ送信動作 .....	360
【み】	
未使用端子の処理 .....	83
【む】	
無線設備系統図 .....	538
【め】	
メモリ .....	13
メモリ配置 .....	438
【も】	
モード選択 .....	312
【ゆ】	
ユーザスタックポインタ .....	11
ユーザプログラムのダウンロード .....	530, 531
【よ】	
用途 .....	1
予約ビット .....	12
【り】	
リアルタイムクロックモード .....	276
リセット .....	26
リセット要因判別機能 .....	36
リピートモード .....	177
【れ】	
レジスタ設定例 .....	373
レジスタ退避 .....	127
レジスタバンク指定フラグ .....	11
連続受信モード .....	304
【わ】	
割り込み .....	115
割り込み応答時間 .....	126
割り込み許可フラグ .....	12
割り込みシーケンス .....	125
割り込みスタックポインタ .....	11
割り込み制御 .....	124
割り込みテーブルレジスタ .....	11
割り込みと割り込みベクタ .....	118
割り込みの分類 .....	115
割り込み優先順位 .....	129
割り込み優先レベル判定回路 .....	130
割り込み要因 .....	179
割り込み要求 .....	326, 358
割り込み要求受付時のIPLの変化 .....	126
割り込みルーチンからの復帰 .....	129
ワンショットトリガ選択 .....	218

## 改訂記録

## R8C/3MQグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2010.04.26	—	初版発行
0.11	2010.05.06	33 36 491	図5.6 注2 削除 図6.1 変更 表28.11 ウェイトモード (XINクロック発振時) の条件 「RF = idle」 「RF = Rx」
0.12	2010.10.25	— 1 2 3 4 5 6 7 9 13 14 15 24 26 27 29、45、 150、157 33 34 41、92 45 48 50 61 68、93、 346 74～81 82 85 86 88 90 94 96 101 103	TN-R8C-A014A/J 反映 1.1.1 用途 変更 表1.1 電圧検出、DTC起動要因 変更 表1.2 RF、フラッシュメモリ、動作周波数/電源電圧、消費電流 変更 表1.3、図1.1 変更 図1.2 「RFモデム」 「RFベースバンド」 図1.3 変更、注4 追記 表1.4 29、30、33 変更、裏面 追記 表1.6 VSSRF2、DIEGND 追記 3.1、図3.1 変更 表4.1 CM1レジスタのリセット後の値 変更 表4.2 「電圧監視2回路制御レジスタ」 「WDT検出フラグ」 表4.11 「ANTSWCON」 「BBANTSWCON」 表5.1、図5.1 変更 表5.2 変更 5.1.3、6.2.8、13.2.1、14.2.6 注2 変更 5.3 パワーオンリセット機能、図5.6 追記 5.4、図5.7 変更 6.2.3、9.2.6 注1 変更 6.2.7 「電圧監視2回路制御レジスタ」 「WDT検出フラグ」 6.5.1 追記 表7.1 変更 7.4.2 アドレス 00E4h番地(P2) 削除 7.4.10、9.2.7、24.2.3 変更 7.5 ポートの設定 追記 表7.28 「RESET」、注3 追記、図7.11 変更 9.クロック発生回路「5つの回路」「4つの回路」9.1 変更 図9.1 「RFベースバンド」、「時計用プリスケアラ」 追記 9.2.1 注4 変更 9.2.3 注3 変更 「図9.3 VCA20ビットによる内部電源低消費操作手順」 削除 9.3 「XINクロック発振回路・・・XOUT端子へ入力することもできま す。」 削除 9.5、図9.5 変更 9.7.2.2 追記 9.7.2.3 変更

## 改訂記録

## R8C/3MQグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.12	2010.10.25	104	9.7.2.5 「A/D 変換割り込み以外の」 削除 表9.4 「タイマRB割り込み」 変更
		105	9.7.2.6 表題 追記
		106	9.7.2.7 表題 追記
		107	9.7.3.2 変更
		108	図9.9 変更
		110	9.8.1 変更 表9.7、図9.14 削除
		112、501	9.9.2、9.9.4、29.1.2、29.1.4 変更 9.9.3、29.1.3 追記 「9.9.3 発振停止検出機能」、「29.1.3 発振停止検出機能」 削除
		116	11.1.3.3 変更
		117	表11.1 「BRK命令」 変更 注2 追記
		118	表11.2 「BBRX0IC/BBIDLEOC」、「BBRX0IC/BBIDLEIC」、 「CCAIC」、「BBCCAIC」
		119	表11.3 注4 追記
		120	11.2.1 注2 追記
		125	表11.6 注1 追記
		128	図11.7 注1 追記
		129	図11.8 注4、5 追記
		130	11.4.1 変更
		134	11.5 変更
		141	11.8 追記
		160	表14.2 「周期」 変更
		162	表15.1 起動要因 変更
		163	図15.1 変更
		183	表16.1 タイマRC、タイマRE：PWM出力「(注1)」 削除
		185	17.2.2 b3ビット 変更
		187	17.2.5 注2 追記
		200、507	17.8、29.6 「パルス幅測定モード・・・設定しないでください。」 追記
		224	表19.2 TRCIOB 変更
		226、314、345	19.2.1、23.2.1、24.2.1 注1、2 変更
		276	表20.2 選択機能 変更
		308	表21.8 「システムクロック = 8MHz」、「システムクロック = 4MHz」 削除
		348	24.2.6 注7 追記
		349	24.2.7 注5 追記
		352	24.2.10 注7 追記
		356	図24.3 変更
		361	24.4.3 (6) 追記
		378、379 516、517	24.9、24.9.1、24.9.1.1、24.9.2、24.9.2.1、24.9.2.2、24.9.2.3、 29.11、29.11.1、29.11.1.1、29.11.2、29.11.2.1、29.11.2.2、29.11.2.3 追記
		382	25.1.3、図25.2、25.1.3.1 「タイマコンペア」 「BBタイマコンペア」
386	表25.1 「タイマコンペア」 「BBタイマコンペア」		

## 改訂記録

## R8C/3MQグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.12	2010.10.25	394	図25.9 変更
		396	25.2.2 b2、b3 変更
		414	25.2.19 NBビット 追記 25.2.20 b3ビット 変更
		422	25.2.29 b12 変更
		423	25.2.30 b5 変更、表25.4 変更、注1 追記、表25.5、注1 追記
		440	26.4.1 注1、注2 変更
		444	26.4.2 FMSTPビット「高速オンチップオシレータモード」 削除 26.4.2 「CMDERIEビット」、「BSYAEIEビット」、「RDYSTIEビット」 変更
		455	26.4.11.1 変更
		474	26.7.1.7 変更
		476	27.2.1 変更
		477	27.2.8 変更
		478	「図27.1 VCA20ビットによる内部電源低消費操作手順」 削除
		480	表28.1 VI、VO 「P4_5 ~ P4_7」 「P4_3 ~ P4_5」、「VREG4」 削除
		481	表28.2 変更
		483	表28.3 変更、注1 変更
		484	表28.4 注1 変更
		485	表28.5 変更、注1、表28.6 変更、注1 変更
		486	表28.7、注1、2、図28.3 追記
		487	表28.8、表28.9、表28.10、注1 変更
		491	表28.11、注1 変更
		492	表28.12、タイミング必要条件 変更
		493	表28.13 「VRAM」変更
		494	タイミング必要条件 「VSS = 0V」 削除
		496	表28.17 「VRAM」変更
		497	タイミング必要条件 「Vcc = 1.8V」 「Vcc = 2.2V」
		499	表28.21 変更 表28.22 変更
		522	29.14.1 変更 29.15 追記
524	パッケージ図 追記		
1.00	2011.03.31	全ページ	「暫定仕様書」、「開発中」 削除
		3	表1.2 変更
		4	表1.3 変更
		7	表1.4 「KI6」 「KI6」
		15	表4.2 005Bh 削除、005Ch 追記
		16	表4.3 0071h 変更、注3 追記
		23	表4.10 変更
		37	表6.10 変更
		88	9.2.1 注1変更
		91	注4 変更

## 改訂記録

## R8C/3MQグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.03.31	94 112、503 119 120 129 166 182、508 288、513 320 352 354 355 373 380 386 407 410 413 420 429 430、431 432、433 434 436 466 467 470 478 489 494	図9.3、注1 変更 9.9.2、29.1.2 「“0” (低消費電流リードモード許可)」 「“1” (低消費電流リードモード許可)」、9.9.4、29.1.4 追記 表11.3 変更 11.2.1 「BBRXOR0IC」 「BBRXOR0IC/BBCALIC」 図11.8 変更 15.2.7 変更、表15.2 注1 追記 15.4.2、29.5.2 追記 20.4.1 注1、29.9.1 注1 変更 23.2.10 注5 変更 24.2.10 注5 変更 表24.4 変更 表24.5 変更 図24.17 変更 25 追記 表25.1 変更、注3 追記 25.2.12 変更 25.2.15 変更 25.2.18 変更、追記 25.2.27 変更 25.2.37 追記 25.3.1 ~ 25.3.6 変更 表25.6、表25.7、表25.8 追記 25.4 追記 図26.1 変更 図26.15 変更 表26.6 変更 図26.17 変更 27.2.3 変更 表28.8 変更、表28.9 追記 表28.13 変更
2.00	2012.06.29	2 3 4 5 13 29、46、 151、158、 441 34 37 38 39	表1.1 「2.2V」 「2.15V」 「電圧検出」 変更 表1.2 「2.2V」 「2.15V」 表1.3、図1.1 「128K」 「112K」 図1.2 変更 図3.1 変更 5.1.3、6.2.8、13.2.1、14.2.6、26.3.3 b4、b5 変更、注2、LVDASビット説明文 追記 5.4 説明文 変更 6.1 説明文、表6.1 「電圧監視0」 変更 図6.1 変更 図6.2 変更

## 改訂記録

## R8C/3MQグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.06.29	42	6.2.4 説明文 追記
		62	7.4.2 注3 変更
		95	図9.3 注1 変更
		103	図9.6 変更
		111	図9.11 タイトル 変更
		124	11.3.2 説明文 変更
		135	図11.11 変更
		143、506	11.9.3、29.2.3 「2.2V」 「2.15V」
		178	15.3.6 説明文 変更
		183	15.4.5 追記
		186	17.2.1 注4 変更
		245	表19.7 「カウント周期」 変更
		274、514	19.9.4、29.8.4 「・インプットキャプチャ機能使用時～“1”になります。」 追記
		69、94、347	7.4.10、9.2.7、24.2.3 注1 追記、b4、b5 「(注1)」 追記
		353	24.2.10 注5、注6 変更
		395	図25.9 変更
		398	25.2.3 AUTORCV1説明文 変更
		407	25.2.11 b2、b3 「受信フィルタ」 「受信レベルフィルタ」、 b6、b7 「R/W」 「—」
		409	25.2.13 ビット説明文 「138 $\mu$ s」 「136 $\mu$ s」
		414	25.2.18 CCAINTSELビット説明文 変更
		415	25.2.19、25.2.20 ビット説明文 変更
		435	「25.4.4 RF通信停止ビットによりRF通信を停止する場合の注意」 追記
		438	26.2 説明文 変更
		439	図26.1 変更
		442	表26.3 「2.2V」 「2.15V」
		455	図26.5 「FMRレジスタ」 「FMR0レジスタ」
		461	26.4.11.4 説明文 変更
		462～464	図26.10～図26.12 図タイトル 変更
		465	図26.13、説明文 追記
		479、525	「26.7.2 データフラッシュ」、 「29.13.2 データフラッシュ」 追記
		485	表28.2 「2.2V」 「2.15V」
		489	表28.5 変更、注4 追記
		496	表28.13 「2.2V」 「2.15V」
500	表28.18 「2.2V」 「2.15V」		
501、502	図28.11～図28.13、タイトル 「2.2V」 「2.15V」		
503	表28.23 変更		
526	29.14.1 「1.0 $\mu$ s」 「10 $\mu$ s」		
528～531	「31. 開発ツール使用時の注意事項」 追記		
535	付図3.1 変更		
536	「付録4. 周辺回路例」 追記		

改訂記録	R8C/3MQグループ ユーザーズマニュアル ハードウェア編
------	--------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.06.29	537	「付録5. 基盤設計上の注意点」 追記
		538	「付録6. 無線設備系統図」 追記

---

R8C/3MQグループ ユーザーズマニュアル  
ハードウェア編

発行年月日 2010年4月26日 Rev.0.10  
2012年6月29日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部 1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>

# R8C/3MQグループ