

R8C/34M グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ
R8Cファミリ / R8C/3xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/34Mグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

| ドキュメントの種類 | 記載内容 | 資料名 | 資料番号 |
|-----------------------------|---|--------------------------------------|-----------------|
| データシート | ハードウェアの概要と電気的特性 | R8C/34Mグループ データシート | R01DS0022JJ0010 |
| ユーザーズマニュアル ハードウェア編 | ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。 | R8C/34Mグループ ユーザーズマニュアル ハードウェア編 | 本ユーザーズ マニュアル |
| ユーザーズマニュアル ソフトウェア編 | CPU命令セットの説明 | R8C/Tinyシリーズ ソフトウェアマニュアル | RJJ09B0002 |
| アプリケーションノート | 周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法 | ルネサス エレクトロニクスホームページに掲載されています。 | |
| RENESAS TECHNICAL UPDATE | 製品の仕様、ドキュメント等に関する速報 | | |

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

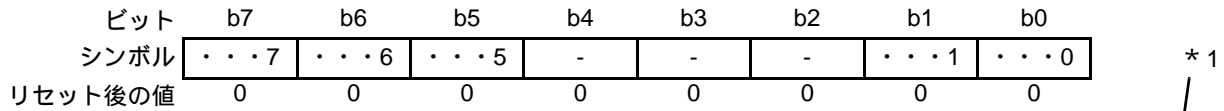
- | |
|---|
| <p>(1) レジスタ名、ビット名、端子名 本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。 (例) PM0 レジスタのPM03ビット P3_5 端子、VCC 端子</p> <p>(2) 数の表記 2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。 (例) 2進数：11b 16進数：EFA0h 10進数：1234</p> |
|---|

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X レジスタ(シンボル)

アドレス . . . h番地



| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|---|--|------------|
| b0 | . . . 0 | . . . ビット | b1 b0 00 : . . . 01 : . . . 10 : 設定しないでください 11 : . . . | R/W R/W |
| b1 | . . . 1 | | | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b3 | - | 予約ビット | “0”にしてください。 | W |
| b4 | - | | | |
| b5 | . . . 5 | . . . ビット | 動作モードによって機能が異なる | R/W |
| b6 | . . . 6 | | | R/W |
| b7 | . . . 7 | . . . ビット | 0 : . . . 1 : . . . | R |

* 2

* 3

* 1

R/W : 読むとビットの状態が読めます。書くと有効データになります。

R : 読むとビットの状態が読めます。書いた値は無効になります。

W : 書くと有効データになります。ビットの状態は読めません。

- : 何も配置されていないビットです。

* 2

• 予約ビット

予約ビットです。指定された値にしてください。

* 3

• 何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

• 設定しないでください

設定した場合の動作は保証されません。

• 動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

| 略語/略称 | フルスペル | 備考 |
|-------|---|-------------------------|
| ACIA | Asynchronous Communication Interface Adapter | 調歩同期式通信アダプタ |
| bps | bits per second | 転送速度を表す単位、ビット/秒 |
| CRC | Cyclic Redundancy Check | 巡回冗長検査 |
| DMA | Direct Memory Access | CPUの命令を介さずに直接データ転送を行う方式 |
| DMAC | Direct Memory Access Controller | DMAを行うコントローラ |
| GSM | Global System for Mobile Communications | FDD-TDMAの第二世代携帯電話の方式 |
| Hi-Z | High Impedance | 回路が電氣的に接続されていない状態 |
| IEBus | Inter Equipment Bus | |
| I/O | Input / Output | 入出力 |
| IrDA | Infrared Data Association | 赤外線通信の業界団体または規格 |
| LSB | Least Significant Bit | 最下位ビット |
| MSB | Most Significant Bit | 最上位ビット |
| NC | Non-Connect | 非接続 |
| PLL | Phase Locked Loop | 位相同期回路 |
| PWM | Pulse Width Modulation | パルス幅変調 |
| SIM | Subscriber Identity Module | ISO/IEC 7816規格の接触型ICカード |
| UART | Universal Asynchronous Receiver / Transmitter | 調歩同期式シリアルインタフェース |
| VCO | Voltage Controlled Oscillator | 電圧制御発振器 |

目次

| | |
|--|-------|
| 番地別ページ早見表 | B - 1 |
| 1. 概要 | 1 |
| 1.1 特長 | 1 |
| 1.1.1 用途 | 1 |
| 1.1.2 仕様概要 | 2 |
| 1.2 製品一覧 | 4 |
| 1.3 ブロック図 | 5 |
| 1.4 ピン配置図 | 6 |
| 1.5 端子機能の説明 | 9 |
| 2. 中央演算処理装置 (CPU) | 11 |
| 2.1 データレジスタ (R0、R1、R2、R3) | 12 |
| 2.2 アドレスレジスタ (A0、A1) | 12 |
| 2.3 フレームベースレジスタ (FB) | 12 |
| 2.4 割り込みテーブルレジスタ (INTB) | 12 |
| 2.5 プログラムカウンタ (PC) | 12 |
| 2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP) | 12 |
| 2.7 スタティックベースレジスタ (SB) | 12 |
| 2.8 フラグレジスタ (FLG) | 12 |
| 2.8.1 キャリフラグ (C フラグ) | 12 |
| 2.8.2 デバッグフラグ (D フラグ) | 12 |
| 2.8.3 ゼロフラグ (Z フラグ) | 12 |
| 2.8.4 サインフラグ (S フラグ) | 12 |
| 2.8.5 レジスタバンク指定フラグ (B フラグ) | 12 |
| 2.8.6 オーバフローフラグ (O フラグ) | 13 |
| 2.8.7 割り込み許可フラグ (I フラグ) | 13 |
| 2.8.8 スタックポインタ指定フラグ (U フラグ) | 13 |
| 2.8.9 プロセッサ割り込み優先レベル (IPL) | 13 |
| 2.8.10 予約ビット | 13 |
| 3. メモリ | 14 |
| 3.1 R8C/34M グループ | 14 |
| 4. SFR | 15 |
| 5. リセット | 27 |
| 5.1 レジスタの説明 | 29 |
| 5.1.1 プロセッサモードレジスタ 0 (PM0) | 29 |
| 5.1.2 リセット要因判別レジスタ (RSTFR) | 29 |
| 5.1.3 オプション機能選択レジスタ (OFS) | 30 |
| 5.1.4 オプション機能選択レジスタ 2 (OFS2) | 31 |
| 5.2 ハードウェアリセット | 32 |
| 5.2.1 電源が安定している場合 | 32 |
| 5.2.2 電源投入時 | 32 |
| 5.3 パワーオンリセット機能 | 34 |
| 5.4 電圧監視 0 リセット | 35 |
| 5.5 ウォッチドッグタイマリセット | 36 |
| 5.6 ソフトウェアリセット | 36 |

| | | |
|--------|---------------------------------|----|
| 5.7 | コールドスタート / ウォームスタート判定機能 | 37 |
| 5.8 | リセット要因判別機能 | 37 |
| 6. | 電圧検出回路 | 38 |
| 6.1 | 概要 | 38 |
| 6.2 | レジスタの説明 | 42 |
| 6.2.1 | 電圧監視回路 / コンパレータ A 制御レジスタ (CMPA) | 42 |
| 6.2.2 | 電圧監視回路エッジ選択レジスタ (VCAC) | 43 |
| 6.2.3 | 電圧検出レジスタ 1 (VCA1) | 43 |
| 6.2.4 | 電圧検出レジスタ 2 (VCA2) | 44 |
| 6.2.5 | 電圧検出 1 レベル選択レジスタ (VD1LS) | 45 |
| 6.2.6 | 電圧監視 0 回路制御レジスタ (VW0C) | 46 |
| 6.2.7 | 電圧監視 1 回路制御レジスタ (VW1C) | 47 |
| 6.2.8 | 電圧監視 2 回路制御レジスタ (VW2C) | 48 |
| 6.2.9 | オプション機能選択レジスタ (OFS) | 49 |
| 6.3 | VCC 入力電圧のモニタ | 50 |
| 6.3.1 | Vdet0 のモニタ | 50 |
| 6.3.2 | Vdet1 のモニタ | 50 |
| 6.3.3 | Vdet2 のモニタ | 50 |
| 6.4 | 電圧監視 0 リセット | 51 |
| 6.5 | 電圧監視 1 割り込み | 52 |
| 6.6 | 電圧監視 2 割り込み | 54 |
| 7. | I/O ポート | 56 |
| 7.1 | I/O ポートの機能 | 56 |
| 7.2 | 周辺機能への影響 | 57 |
| 7.3 | I/O ポート以外の端子 | 57 |
| 7.4 | レジスタの説明 | 73 |
| 7.4.1 | ポート Pi 方向レジスタ (PDi)(i=0 ~ 4、6) | 73 |
| 7.4.2 | ポート Pi レジスタ (Pi)(i=0 ~ 4、6) | 74 |
| 7.4.3 | タイマ RA 端子選択レジスタ (TRASR) | 75 |
| 7.4.4 | タイマ RB/RC 端子選択レジスタ (TRBRCSR) | 76 |
| 7.4.5 | タイマ RC 端子選択レジスタ 0 (TRCPSR0) | 77 |
| 7.4.6 | タイマ RC 端子選択レジスタ 1 (TRCPSR1) | 78 |
| 7.4.7 | タイマ RD 端子選択レジスタ 0 (TRDPSR0) | 79 |
| 7.4.8 | タイマ RD 端子選択レジスタ 1 (TRDPSR1) | 79 |
| 7.4.9 | タイマ端子選択レジスタ (TIMSR) | 80 |
| 7.4.10 | UART0 端子選択レジスタ (U0SR) | 81 |
| 7.4.11 | UART1 端子選択レジスタ (U1SR) | 82 |
| 7.4.12 | UART2 端子選択レジスタ 0 (U2SR0) | 83 |
| 7.4.13 | UART2 端子選択レジスタ 1 (U2SR1) | 84 |
| 7.4.14 | SSU/IIC 端子選択レジスタ (SSUICSR) | 84 |
| 7.4.15 | INT 割り込み入力端子選択レジスタ (INTSR) | 85 |
| 7.4.16 | 入出力機能端子選択レジスタ (PINSR) | 86 |
| 7.4.17 | プルアップ制御レジスタ 0 (PUR0) | 87 |
| 7.4.18 | プルアップ制御レジスタ 1 (PUR1) | 87 |
| 7.4.19 | ポート P1 駆動能力制御レジスタ (P1DRR) | 88 |
| 7.4.20 | ポート P2 駆動能力制御レジスタ (P2DRR) | 88 |
| 7.4.21 | 駆動能力制御レジスタ 0 (DRR0) | 89 |

| | | |
|--------|----------------------------------|-----|
| 7.4.22 | 駆動能力制御レジスタ 1 (DRR1)..... | 90 |
| 7.4.23 | 入力しきい値制御レジスタ 0 (VLT0)..... | 91 |
| 7.4.24 | 入力しきい値制御レジスタ 1 (VLT1)..... | 92 |
| 7.5 | ポートの設定 | 93 |
| 7.6 | 未使用端子の処理 | 112 |
| 8. | バス制御 | 113 |
| 9. | クロック発生回路 | 115 |
| 9.1 | 概要 | 115 |
| 9.2 | レジスタの説明 | 118 |
| 9.2.1 | システムクロック制御レジスタ 0 (CM0)..... | 118 |
| 9.2.2 | システムクロック制御レジスタ 1 (CM1)..... | 119 |
| 9.2.3 | システムクロック制御レジスタ 3 (CM3)..... | 120 |
| 9.2.4 | 発振停止検出レジスタ (OCD) | 122 |
| 9.2.5 | 高速オンチップオシレータ制御レジスタ 7 (FRA7)..... | 122 |
| 9.2.6 | 高速オンチップオシレータ制御レジスタ 0 (FRA0)..... | 123 |
| 9.2.7 | 高速オンチップオシレータ制御レジスタ 1 (FRA1)..... | 123 |
| 9.2.8 | 高速オンチップオシレータ制御レジスタ 2 (FRA2)..... | 124 |
| 9.2.9 | 時計用プリスケアラリセットフラグ (CPSRF)..... | 124 |
| 9.2.10 | 高速オンチップオシレータ制御レジスタ 4 (FRA4)..... | 125 |
| 9.2.11 | 高速オンチップオシレータ制御レジスタ 5 (FRA5)..... | 125 |
| 9.2.12 | 高速オンチップオシレータ制御レジスタ 6 (FRA6)..... | 126 |
| 9.2.13 | 高速オンチップオシレータ制御レジスタ 3 (FRA3)..... | 126 |
| 9.2.14 | 電圧検出レジスタ 2 (VCA2) | 127 |
| 9.2.15 | 入出力機能端子選択レジスタ (PINSR) | 128 |
| 9.3 | XIN クロック | 129 |
| 9.4 | オンチップオシレータクロック | 130 |
| 9.4.1 | 低速オンチップオシレータクロック | 130 |
| 9.4.2 | 高速オンチップオシレータクロック | 130 |
| 9.5 | XCIN クロック | 131 |
| 9.6 | CPU クロックと周辺機能クロック | 132 |
| 9.6.1 | システムクロック | 132 |
| 9.6.2 | CPU クロック | 132 |
| 9.6.3 | 周辺機能クロック (f1、f2、f4、f8、f32)..... | 132 |
| 9.6.4 | fOCO..... | 132 |
| 9.6.5 | fOCO40M..... | 132 |
| 9.6.6 | fOCO-F..... | 132 |
| 9.6.7 | fOCO-S | 133 |
| 9.6.8 | fOCO128..... | 133 |
| 9.6.9 | fC、fC2、fC4、fC32 | 133 |
| 9.6.10 | fOCO-WDT | 133 |
| 9.7 | パワーコントロール | 134 |
| 9.7.1 | 標準動作モード | 134 |
| 9.7.2 | ウェイトモード | 136 |
| 9.7.3 | ストップモード | 140 |
| 9.8 | 発振停止検出機能 | 143 |
| 9.8.1 | 発振停止検出機能の使用方法 | 144 |
| 9.9 | クロック発生回路使用上の注意 | 147 |

| | | |
|---------|--|-----|
| 9.9.1 | ストップモード | 147 |
| 9.9.2 | ウェイトモード | 147 |
| 9.9.3 | VCA20 ビットによる内部電源低消費操作 | 148 |
| 9.9.4 | 発振停止検出機能 | 148 |
| 9.9.5 | 発振回路定数 | 148 |
| 9.9.6 | 高速オンチップオシレータモード | 148 |
| 10. | プロテクト | 149 |
| 10.1 | レジスタの説明 | 149 |
| 10.1.1 | プロテクトレジスタ (PRCR) | 149 |
| 11. | 割り込み | 150 |
| 11.1 | 概要 | 150 |
| 11.1.1 | 割り込みの分類 | 150 |
| 11.1.2 | ソフトウェア割り込み | 151 |
| 11.1.3 | 特殊割り込み | 152 |
| 11.1.4 | 周辺機能割り込み | 152 |
| 11.1.5 | 割り込みと割り込みベクタ | 153 |
| 11.2 | レジスタの説明 | 155 |
| 11.2.1 | 割り込み制御レジスタ (TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、 TRBIC、U2BCNIC、VCMP1IC、VCMP2IC) | 155 |
| 11.2.2 | 割り込み制御レジスタ (FMRDYIC、TRCIC、TRD0IC、TRD1IC、SSUIC/ICIC) | 156 |
| 11.2.3 | INT _i 割り込み制御レジスタ (INT _i IC)(i=0 ~ 4) | 157 |
| 11.3 | 割り込み制御 | 158 |
| 11.3.1 | I フラグ | 158 |
| 11.3.2 | IR ビット | 158 |
| 11.3.3 | ILVL2 ~ ILVL0 ビット、IPL | 158 |
| 11.3.4 | 割り込みシーケンス | 159 |
| 11.3.5 | 割り込み応答時間 | 160 |
| 11.3.6 | 割り込み要求受付時の IPL の変化 | 160 |
| 11.3.7 | レジスタ退避 | 161 |
| 11.3.8 | 割り込みルーチンからの復帰 | 163 |
| 11.3.9 | 割り込み優先順位 | 163 |
| 11.3.10 | 割り込み優先レベル判定回路 | 164 |
| 11.4 | INT 割り込み | 165 |
| 11.4.1 | INT _i 割り込み (i=0 ~ 4) | 165 |
| 11.4.2 | INT 割り込み入力端子選択レジスタ (INTSR) | 166 |
| 11.4.3 | 外部入力許可レジスタ 0 (INTEN) | 167 |
| 11.4.4 | 外部入力許可レジスタ 1 (INTEN1) | 167 |
| 11.4.5 | INT 入力フィルタ選択レジスタ 0 (INTF) | 168 |
| 11.4.6 | INT 入力フィルタ選択レジスタ 1 (INTF1) | 168 |
| 11.4.7 | INT _i 入力フィルタ (i=0 ~ 4) | 169 |
| 11.5 | キー入力割り込み | 170 |
| 11.5.1 | キー入力許可レジスタ 0 (KIEN) | 171 |
| 11.6 | アドレス一致割り込み | 172 |
| 11.6.1 | アドレス一致割り込み許可レジスタ i (AIER _i)(i=0 ~ 1) | 173 |
| 11.6.2 | アドレス一致割り込みレジスタ i (RMAD _i)(i=0 ~ 1) | 173 |

| | | |
|--------|---|-----|
| 11.7 | タイマ RC 割り込み、タイマ RD 割り込み、シンクロナスシリアルコミュニケーション ユニット割り込み、I ² C バスインタフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み) | 174 |
| 11.8 | 割り込み使用上の注意 | 176 |
| 11.8.1 | 00000h 番地の読み出し | 176 |
| 11.8.2 | SP の設定 | 176 |
| 11.8.3 | 外部割り込み、キー入力割り込み | 176 |
| 11.8.4 | 割り込み要因の変更 | 177 |
| 11.8.5 | 割り込み制御レジスタの変更 | 178 |
| 12. | ID コード領域 | 179 |
| 12.1 | 概要 | 179 |
| 12.2 | 機能 | 180 |
| 12.3 | 強制イレーズ機能 | 181 |
| 12.4 | 標準シリアル入出力モード禁止機能 | 181 |
| 12.5 | ID コード領域使用上の注意 | 182 |
| 12.5.1 | ID コード領域の設定例 | 182 |
| 13. | オプション機能選択領域 | 183 |
| 13.1 | 概要 | 183 |
| 13.2 | レジスタの説明 | 184 |
| 13.2.1 | オプション機能選択レジスタ (OFS) | 184 |
| 13.2.2 | オプション機能選択レジスタ 2 (OFS2) | 185 |
| 13.3 | オプション機能選択領域使用上の注意 | 186 |
| 13.3.1 | オプション機能選択領域の設定例 | 186 |
| 14. | ウォッチドッグタイマ | 187 |
| 14.1 | 概要 | 187 |
| 14.2 | レジスタの説明 | 189 |
| 14.2.1 | プロセッサモードレジスタ 1 (PM1) | 189 |
| 14.2.2 | ウォッチドッグタイマリセットレジスタ (WDTR) | 189 |
| 14.2.3 | ウォッチドッグタイマスタートレジスタ (WDTS) | 189 |
| 14.2.4 | ウォッチドッグタイマ制御レジスタ (WDTC) | 190 |
| 14.2.5 | カウントソース保護モードレジスタ (CSPR) | 190 |
| 14.2.6 | オプション機能選択レジスタ (OFS) | 191 |
| 14.2.7 | オプション機能選択レジスタ 2 (OFS2) | 192 |
| 14.3 | 動作説明 | 193 |
| 14.3.1 | 複数モードに関わる共通事項 | 193 |
| 14.3.2 | カウントソース保護モード無効時 | 194 |
| 14.3.3 | カウントソース保護モード有効時 | 195 |
| 15. | DTC | 196 |
| 15.1 | 概要 | 196 |
| 15.2 | レジスタの説明 | 197 |
| 15.2.1 | DTC 制御レジスタ j(DTCCRj)(j=0 ~ 23) | 198 |
| 15.2.2 | DTC ブロックサイズレジスタ j(DTBLSj)(j=0 ~ 23) | 198 |
| 15.2.3 | DTC 転送回数レジスタ j(DTCCTj)(j=0 ~ 23) | 199 |
| 15.2.4 | DTC 転送回数リロードレジスタ j(DTRLDj)(j=0 ~ 23) | 199 |
| 15.2.5 | DTC ソースアドレスレジスタ j(DTSARj)(j=0 ~ 23) | 199 |

| | | |
|---------|---|-----|
| 15.2.6 | DTC デスティネーションアドレスレジスタ j(DTDARj)(j=0 ~ 23)..... | 199 |
| 15.2.7 | DTC 起動許可レジスタ i(DTCENi)(i=0 ~ 6)..... | 200 |
| 15.2.8 | DTC 起動制御レジスタ (DTCTL)..... | 201 |
| 15.3 | 動作説明..... | 202 |
| 15.3.1 | 概要..... | 202 |
| 15.3.2 | 起動要因..... | 202 |
| 15.3.3 | コントロールデータの配置と DTC ベクタテーブル..... | 204 |
| 15.3.4 | ノーマルモード..... | 209 |
| 15.3.5 | リピートモード..... | 210 |
| 15.3.6 | チェーン転送..... | 211 |
| 15.3.7 | 割り込み要因..... | 211 |
| 15.3.8 | 動作タイミング..... | 212 |
| 15.3.9 | DTC 実行サイクル数..... | 213 |
| 15.3.10 | DTC 起動要因受付と割り込み要因フラグ..... | 214 |
| 15.4 | DTC 使用上の注意..... | 216 |
| 15.4.1 | DTC 起動要因..... | 216 |
| 15.4.2 | DTCENi(i=0 ~ 6) レジスタ..... | 216 |
| 15.4.3 | 周辺モジュール..... | 216 |
| 15.4.4 | 割り込み要求..... | 216 |
| 16. | タイマ総論..... | 217 |
| 17. | タイマ RA..... | 220 |
| 17.1 | 概要..... | 220 |
| 17.2 | レジスタの説明..... | 221 |
| 17.2.1 | タイマ RA 制御レジスタ (TRACR)..... | 221 |
| 17.2.2 | タイマ RA I/O 制御レジスタ (TRAIOC)..... | 221 |
| 17.2.3 | タイマ RA モードレジスタ (TRAMR)..... | 222 |
| 17.2.4 | タイマ RA プリスケーラレジスタ (TRAPRE)..... | 222 |
| 17.2.5 | タイマ RA レジスタ (TRA)..... | 223 |
| 17.2.6 | タイマ RA 端子選択レジスタ (TRASR)..... | 223 |
| 17.3 | タイマモード..... | 224 |
| 17.3.1 | タイマ RA I/O 制御レジスタ (TRAIOC)[タイマモード時]..... | 224 |
| 17.3.2 | カウント中のタイマ書き込み制御..... | 225 |
| 17.4 | パルス出力モード..... | 226 |
| 17.4.1 | タイマ RA I/O 制御レジスタ (TRAIOC)[パルス出力モード時]..... | 227 |
| 17.5 | イベントカウンタモード..... | 228 |
| 17.5.1 | タイマ RA I/O 制御レジスタ (TRAIOC)[イベントカウンタモード時]..... | 229 |
| 17.6 | パルス幅測定モード..... | 230 |
| 17.6.1 | タイマ RA I/O 制御レジスタ (TRAIOC)[パルス幅測定モード時]..... | 231 |
| 17.6.2 | 動作例..... | 232 |
| 17.7 | パルス周期測定モード..... | 233 |
| 17.7.1 | タイマ RA I/O 制御レジスタ (TRAIOC)[パルス周期測定モード時]..... | 234 |
| 17.7.2 | 動作例..... | 235 |
| 17.8 | タイマ RA 使用上の注意..... | 236 |
| 18. | タイマ RB..... | 237 |
| 18.1 | 概要..... | 237 |
| 18.2 | レジスタの説明..... | 238 |

| | | |
|---------|---|-----|
| 18.2.1 | タイマ RB 制御レジスタ (TRBCR) | 238 |
| 18.2.2 | タイマ RB ワンショット制御レジスタ (TRBOCR) | 238 |
| 18.2.3 | タイマ RB I/O 制御レジスタ (TRBIOC) | 239 |
| 18.2.4 | タイマ RB モードレジスタ (TRBMR) | 239 |
| 18.2.5 | タイマ RB プリスケアラレジスタ (TRBPRES) | 240 |
| 18.2.6 | タイマ RB セカンダリレジスタ (TRBSC)..... | 240 |
| 18.2.7 | タイマ RB プライマリレジスタ (TRBPR)..... | 241 |
| 18.2.8 | タイマ RB/RC 端子選択レジスタ (TRBRCSR)..... | 241 |
| 18.3 | タイマモード | 242 |
| 18.3.1 | タイマ RB I/O 制御レジスタ (TRBIOC)[タイマモード時]..... | 242 |
| 18.3.2 | カウント中のタイマ書き込み制御 | 243 |
| 18.4 | プログラマブル波形発生モード | 245 |
| 18.4.1 | タイマ RB I/O 制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]..... | 246 |
| 18.4.2 | 動作例 | 247 |
| 18.5 | プログラマブルワンショット発生モード | 248 |
| 18.5.1 | タイマ RB I/O 制御レジスタ (TRBIOC)[プログラマブルワンショット発生モード時]..... | 249 |
| 18.5.2 | 動作例 | 250 |
| 18.5.3 | ワンショットトリガ選択 | 251 |
| 18.6 | プログラマブルウェイトワンショット発生モード | 252 |
| 18.6.1 | タイマ RB I/O 制御レジスタ (TRBIOC) [プログラマブルウェイトワンショット発生モード時]..... | 253 |
| 18.6.2 | 動作例 | 254 |
| 18.7 | タイマ RB 使用上の注意..... | 255 |
| 18.7.1 | タイマモード | 255 |
| 18.7.2 | プログラマブル波形発生モード | 255 |
| 18.7.3 | プログラマブルワンショット発生モード | 256 |
| 18.7.4 | プログラマブルウェイトワンショット発生モード | 256 |
| 19. | タイマ RC..... | 257 |
| 19.1 | 概要 | 257 |
| 19.2 | レジスタの説明 | 259 |
| 19.2.1 | モジュールスタンバイ制御レジスタ (MSTCR) | 260 |
| 19.2.2 | タイマ RC モードレジスタ (TRCMR) | 261 |
| 19.2.3 | タイマ RC 制御レジスタ 1 (TRCCR1) | 262 |
| 19.2.4 | タイマ RC 割り込み許可レジスタ (TRCIER) | 262 |
| 19.2.5 | タイマ RC ステータスレジスタ (TRCSR)..... | 263 |
| 19.2.6 | タイマ RC I/O 制御レジスタ 0 (TRCIOR0) | 264 |
| 19.2.7 | タイマ RC I/O 制御レジスタ 1 (TRCIOR1) | 264 |
| 19.2.8 | タイマ RC カウンタ (TRC)..... | 265 |
| 19.2.9 | タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD) | 265 |
| 19.2.10 | タイマ RC 制御レジスタ 2 (TRCCR2) | 266 |
| 19.2.11 | タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)..... | 267 |
| 19.2.12 | タイマ RC アウトプットマスタ許可レジスタ (TRCOER)..... | 268 |
| 19.2.13 | タイマ RC トリガ制御レジスタ (TRCADCR)..... | 268 |
| 19.2.14 | タイマ RB/RC 端子選択レジスタ (TRBRCSR)..... | 269 |
| 19.2.15 | タイマ RC 端子選択レジスタ 0 (TRCPSR0)..... | 270 |
| 19.2.16 | タイマ RC 端子選択レジスタ 1 (TRCPSR1)..... | 271 |
| 19.3 | 複数モードに関わる共通事項 | 272 |

| | | |
|--------|--|-----|
| 19.3.1 | カウントソース | 272 |
| 19.3.2 | バッファ動作 | 273 |
| 19.3.3 | デジタルフィルタ | 275 |
| 19.3.4 | パルス出力強制遮断 | 276 |
| 19.4 | タイマモード(インプットキャプチャ機能) | 278 |
| 19.4.1 | タイマ RC I/O 制御レジスタ 0 (TRCIOR0) [タイマモード(インプットキャプチャ機能)時] | 280 |
| 19.4.2 | タイマ RC I/O 制御レジスタ 1 (TRCIOR1) [タイマモード(インプットキャプチャ機能)時] | 281 |
| 19.4.3 | 動作例 | 282 |
| 19.5 | タイマモード(アウトプットコンペア機能) | 283 |
| 19.5.1 | タイマ RC 制御レジスタ 1 (TRCCR1)[タイマモード(アウトプットコンペア機能)時] | 285 |
| 19.5.2 | タイマ RC I/O 制御レジスタ 0 (TRCIOR0) [タイマモード(アウトプットコンペア機能)時] | 286 |
| 19.5.3 | タイマ RC I/O 制御レジスタ 1 (TRCIOR1) [タイマモード(アウトプットコンペア機能)時] | 287 |
| 19.5.4 | タイマ RC 制御レジスタ 2 (TRCCR2) [タイマモード(アウトプットコンペア機能)時] | 288 |
| 19.5.5 | 動作例 | 289 |
| 19.5.6 | TRCGRC、TRCGRD レジスタの出力端子変更 | 290 |
| 19.6 | PWM モード | 292 |
| 19.6.1 | タイマ RC 制御レジスタ 1 (TRCCR1)[PWM モード時] | 294 |
| 19.6.2 | タイマ RC 制御レジスタ 2 (TRCCR2)[PWM モード時] | 295 |
| 19.6.3 | 動作例 | 296 |
| 19.7 | PWM2 モード | 298 |
| 19.7.1 | タイマ RC 制御レジスタ 1 (TRCCR1)[PWM2 モード時] | 300 |
| 19.7.2 | タイマ RC 制御レジスタ 2 (TRCCR2)[PWM2 モード時] | 301 |
| 19.7.3 | タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2 モード時] | 302 |
| 19.7.4 | 動作例 | 303 |
| 19.8 | タイマ RC 割り込み | 306 |
| 19.9 | タイマ RC 使用上の注意 | 307 |
| 19.9.1 | TRC レジスタ | 307 |
| 19.9.2 | TRCSR レジスタ | 307 |
| 19.9.3 | TRCCR1 レジスタ | 307 |
| 19.9.4 | カウントソース切り替え | 307 |
| 19.9.5 | インプットキャプチャ機能 | 308 |
| 19.9.6 | PWM2 モード時の TRCMR レジスタ | 308 |
| 19.9.7 | カウントソース fOCO40M | 308 |
| 20. | タイマ RD | 309 |
| 20.1 | 概要 | 309 |
| 20.2 | 複数モードに関わる共通事項 | 311 |
| 20.2.1 | カウントソース | 311 |
| 20.2.2 | バッファ動作 | 312 |
| 20.2.3 | 同期動作 | 314 |
| 20.2.4 | パルス出力強制遮断 | 315 |
| 20.3 | インプットキャプチャ機能 | 317 |
| 20.3.1 | モジュールスタンバイ制御レジスタ (MSTCR) | 319 |
| 20.3.2 | タイマ RD 拡張制御レジスタ (TRDECR) | 319 |
| 20.3.3 | タイマ RD スタートレジスタ (TRDSTR)[インプットキャプチャ機能時] | 320 |

| | | |
|---------|---|-----|
| 20.3.4 | タイマ RD モードレジスタ (TRDMR)[インットキャプチャ機能時] | 320 |
| 20.3.5 | タイマ RD PWM モードレジスタ (TRDPMR)[インットキャプチャ機能時] | 321 |
| 20.3.6 | タイマ RD 機能制御レジスタ (TRDFCR)[インットキャプチャ機能時] | 321 |
| 20.3.7 | タイマ RD デジタルフィルタ機能選択レジスタ i (TRDDFi)(i = 0 ~ 1) [インットキャプチャ機能時] | 322 |
| 20.3.8 | タイマ RD 制御レジスタ i (TRDCRi)(i = 0 ~ 1)[インットキャプチャ機能時] | 323 |
| 20.3.9 | タイマ RD I/O 制御レジスタ Ai (TRDIORAi)(i = 0 ~ 1)[インットキャプチャ機能時] | 324 |
| 20.3.10 | タイマ RD I/O 制御レジスタ Ci (TRDIORCi)(i = 0 ~ 1)[インットキャプチャ機能時] | 325 |
| 20.3.11 | タイマ RD ステータスレジスタ i (TRDSRi)(i = 0 ~ 1)[インットキャプチャ機能時] | 326 |
| 20.3.12 | タイマ RD 割り込み許可レジスタ i (TRDIERi)(i = 0 ~ 1) [インットキャプチャ機能時] | 327 |
| 20.3.13 | タイマ RD カウンタ i (TRDi)(i = 0 ~ 1)[インットキャプチャ機能時] | 327 |
| 20.3.14 | タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、 TRDGRDi)(i = 0 ~ 1)[インットキャプチャ機能時] | 328 |
| 20.3.15 | タイマ RD 端子選択レジスタ 0 (TRDPSR0) | 329 |
| 20.3.16 | タイマ RD 端子選択レジスタ 1 (TRDPSR1) | 329 |
| 20.3.17 | 動作例 | 330 |
| 20.3.18 | デジタルフィルタ | 331 |
| 20.4 | アウトットコンペア機能 | 332 |
| 20.4.1 | モジュールスタンバイ制御レジスタ (MSTCR) | 334 |
| 20.4.2 | タイマ RD 拡張制御レジスタ (TRDECR) | 334 |
| 20.4.3 | タイマ RD トリガ制御レジスタ (TRDADCR) | 335 |
| 20.4.4 | タイマ RD スタートレジスタ (TRDSTR)[アウトットコンペア機能時] | 336 |
| 20.4.5 | タイマ RD モードレジスタ (TRDMR)[アウトットコンペア機能時] | 337 |
| 20.4.6 | タイマ RD PWM モードレジスタ (TRDPMR)[アウトットコンペア機能時] | 337 |
| 20.4.7 | タイマ RD 機能制御レジスタ (TRDFCR)[アウトットコンペア機能時] | 338 |
| 20.4.8 | タイマ RD アウトットマスタ許可レジスタ 1 (TRDOER1) [アウトットコンペア機能時] | 339 |
| 20.4.9 | タイマ RD アウトットマスタ許可レジスタ 2 (TRDOER2) [アウトットコンペア機能時] | 339 |
| 20.4.10 | タイマ RD アウトット制御レジスタ (TRDOCR)[アウトットコンペア機能時] | 340 |
| 20.4.11 | タイマ RD 制御レジスタ i (TRDCRi)(i = 0 ~ 1)[アウトットコンペア機能時] | 341 |
| 20.4.12 | タイマ RD I/O 制御レジスタ Ai (TRDIORAi)(i = 0 ~ 1)[アウトットコンペア機能時] | 342 |
| 20.4.13 | タイマ RD I/O 制御レジスタ Ci (TRDIORCi)(i = 0 ~ 1)[アウトットコンペア機能時] | 343 |
| 20.4.14 | タイマ RD ステータスレジスタ i (TRDSRi)(i = 0 ~ 1)[アウトットコンペア機能時] | 344 |
| 20.4.15 | タイマ RD 割り込み許可レジスタ i (TRDIERi)(i = 0 ~ 1) [アウトットコンペア機能時] | 345 |
| 20.4.16 | タイマ RD カウンタ i (TRDi)(i = 0 ~ 1)[アウトットコンペア機能時] | 345 |
| 20.4.17 | タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、 TRDGRDi)(i = 0 ~ 1)[アウトットコンペア機能時] | 346 |
| 20.4.18 | タイマ RD 端子選択レジスタ 0 (TRDPSR0) | 347 |
| 20.4.19 | タイマ RD 端子選択レジスタ 1 (TRDPSR1) | 347 |
| 20.4.20 | 動作例 | 348 |
| 20.4.21 | TRDGRCi (i=0 ~ 1)、TRDGRDi レジスタの出力端子変更 | 349 |
| 20.4.22 | A/D トリガ発生 | 351 |
| 20.5 | PWM モード | 352 |
| 20.5.1 | モジュールスタンバイ制御レジスタ (MSTCR) | 354 |
| 20.5.2 | タイマ RD 拡張制御レジスタ (TRDECR) | 354 |
| 20.5.3 | タイマ RD トリガ制御レジスタ (TRDADCR) | 355 |
| 20.5.4 | タイマ RD スタートレジスタ (TRDSTR)[PWM モード時] | 356 |

| | | |
|---------|---|-----|
| 20.5.5 | タイマ RD モードレジスタ (TRDMR)[PWM モード時]..... | 356 |
| 20.5.6 | タイマ RD PWM モードレジスタ (TRDPMR)[PWM モード時]..... | 357 |
| 20.5.7 | タイマ RD 機能制御レジスタ (TRDFCR)[PWM モード時]..... | 357 |
| 20.5.8 | タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[PWM モード時]..... | 358 |
| 20.5.9 | タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[PWM モード時]..... | 358 |
| 20.5.10 | タイマ RD アウトプット制御レジスタ (TRDOCR)[PWM モード時]..... | 359 |
| 20.5.11 | タイマ RD 制御レジスタ i (TRDCRi)(i = 0 ~ 1)[PWM モード時]..... | 359 |
| 20.5.12 | タイマ RD ステータスレジスタ i (TRDSRi)(i = 0 ~ 1)[PWM モード時]..... | 360 |
| 20.5.13 | タイマ RD 割り込み許可レジスタ i (TRDIERi)(i = 0 ~ 1)[PWM モード時]..... | 361 |
| 20.5.14 | タイマ RD PWM モードアウトプットレベル制御レジスタ i (TRDPOCRi)(i = 0 ~ 1) [PWM モード時]..... | 361 |
| 20.5.15 | タイマ RD カウンタ i (TRDi)(i = 0 ~ 1)[PWM モード時]..... | 362 |
| 20.5.16 | タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[PWM モード時]..... | 363 |
| 20.5.17 | タイマ RD 端子選択レジスタ 0 (TRDPSR0)..... | 364 |
| 20.5.18 | タイマ RD 端子選択レジスタ 1 (TRDPSR1)..... | 364 |
| 20.5.19 | 動作例..... | 365 |
| 20.5.20 | A/D トリガ発生..... | 367 |
| 20.6 | リセット同期 PWM モード..... | 368 |
| 20.6.1 | モジュールスタンバイ制御レジスタ (MSTCR)..... | 370 |
| 20.6.2 | タイマ RD 拡張制御レジスタ (TRDECR)..... | 370 |
| 20.6.3 | タイマ RD トリガ制御レジスタ (TRDADCR)..... | 371 |
| 20.6.4 | タイマ RD スタートレジスタ (TRDSTR)[リセット同期 PWM モード時]..... | 372 |
| 20.6.5 | タイマ RD モードレジスタ (TRDMR)[リセット同期 PWM モード時]..... | 372 |
| 20.6.6 | タイマ RD 機能制御レジスタ (TRDFCR)[リセット同期 PWM モード時]..... | 373 |
| 20.6.7 | タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1) [リセット同期 PWM モード時]..... | 374 |
| 20.6.8 | タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2) [リセット同期 PWM モード時]..... | 374 |
| 20.6.9 | タイマ RD 制御レジスタ 0 (TRDCR0)[リセット同期 PWM モード時]..... | 375 |
| 20.6.10 | タイマ RD ステータスレジスタ i (TRDSRi)(i = 0 ~ 1)[リセット同期 PWM モード時]..... | 376 |
| 20.6.11 | タイマ RD 割り込み許可レジスタ i (TRDIERi)(i = 0 ~ 1) [リセット同期 PWM モード時]..... | 377 |
| 20.6.12 | タイマ RD カウンタ 0 (TRD0)[リセット同期 PWM モード時]..... | 377 |
| 20.6.13 | タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、 TRDGRDi)(i = 0 ~ 1)[リセット同期 PWM モード時]..... | 378 |
| 20.6.14 | タイマ RD 端子選択レジスタ 0 (TRDPSR0)..... | 379 |
| 20.6.15 | タイマ RD 端子選択レジスタ 1 (TRDPSR1)..... | 379 |
| 20.6.16 | 動作例..... | 380 |
| 20.6.17 | A/D トリガ発生..... | 381 |
| 20.7 | 相補 PWM モード..... | 382 |
| 20.7.1 | モジュールスタンバイ制御レジスタ (MSTCR)..... | 384 |
| 20.7.2 | タイマ RD 拡張制御レジスタ (TRDECR)..... | 384 |
| 20.7.3 | タイマ RD トリガ制御レジスタ (TRDADCR)[相補 PWM モード時]..... | 385 |
| 20.7.4 | タイマ RD スタートレジスタ (TRDSTR)[相補 PWM モード時]..... | 386 |
| 20.7.5 | タイマ RD モードレジスタ (TRDMR)[相補 PWM モード時]..... | 386 |
| 20.7.6 | タイマ RD 機能制御レジスタ (TRDFCR)[相補 PWM モード時]..... | 387 |
| 20.7.7 | タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[相補 PWM モード時]..... | 388 |
| 20.7.8 | タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[相補 PWM モード時]..... | 388 |
| 20.7.9 | タイマ RD 制御レジスタ i (TRDCRi)(i = 0 ~ 1)[相補 PWM モード時]..... | 389 |

| | | |
|---------|---|-----|
| 20.7.10 | タイマ RD ステータスレジスタ i (TRDSR i)($i = 0 \sim 1$)[相補 PWM モード時]..... | 390 |
| 20.7.11 | タイマ RD 割り込み許可レジスタ i (TRDIER i)($i = 0 \sim 1$)[相補 PWM モード時]..... | 391 |
| 20.7.12 | タイマ RD カウンタ 0 (TRD0)[相補 PWM モード時]..... | 391 |
| 20.7.13 | タイマ RD カウンタ 1 (TRD1)[相補 PWM モード時]..... | 392 |
| 20.7.14 | タイマ RD ジェネラルレジスタ A_i 、 B_i 、 C_1 、 D_i (TRDGRA i 、TRDGRB i 、TRDGRC 1 、TRDGRD i)($i = 0 \sim 1$)[相補 PWM モード時]..... | 392 |
| 20.7.15 | タイマ RD 端子選択レジスタ 0 (TRDPSR0)..... | 394 |
| 20.7.16 | タイマ RD 端子選択レジスタ 1 (TRDPSR1)..... | 394 |
| 20.7.17 | 動作例..... | 395 |
| 20.7.18 | バッファレジスタからの転送タイミング..... | 397 |
| 20.7.19 | A/D トリガ発生..... | 397 |
| 20.8 | PWM3 モード..... | 398 |
| 20.8.1 | モジュールスタンバイ制御レジスタ (MSTCR)..... | 400 |
| 20.8.2 | タイマ RD 拡張制御レジスタ (TRDECR)..... | 400 |
| 20.8.3 | タイマ RD トリガ制御レジスタ (TRDADCR)..... | 401 |
| 20.8.4 | タイマ RD スタートレジスタ (TRDSTR)[PWM3 モード時]..... | 402 |
| 20.8.5 | タイマ RD モードレジスタ (TRDMR)[PWM3 モード時]..... | 402 |
| 20.8.6 | タイマ RD 機能制御レジスタ (TRDFCR)[PWM3 モード時]..... | 403 |
| 20.8.7 | タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[PWM3 モード時]..... | 404 |
| 20.8.8 | タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[PWM3 モード時]..... | 404 |
| 20.8.9 | タイマ RD アウトプット制御レジスタ (TRDOCR)[PWM3 モード時]..... | 405 |
| 20.8.10 | タイマ RD 制御レジスタ 0 (TRDCR0)[PWM3 モード時]..... | 406 |
| 20.8.11 | タイマ RD ステータスレジスタ i (TRDSR i)($i = 0 \sim 1$)[PWM3 モード時]..... | 407 |
| 20.8.12 | タイマ RD 割り込み許可レジスタ i (TRDIER i)($i = 0 \sim 1$)[PWM3 モード時]..... | 408 |
| 20.8.13 | タイマ RD カウンタ 0 (TRD0)[PWM3 モード時]..... | 408 |
| 20.8.14 | タイマ RD ジェネラルレジスタ A_i 、 B_i 、 C_i 、 D_i (TRDGRA i 、TRDGRB i 、TRDGRC i 、TRDGRD i)($i = 0 \sim 1$)[PWM3 モード時]..... | 409 |
| 20.8.15 | タイマ RD 端子選択レジスタ 0 (TRDPSR0)..... | 411 |
| 20.8.16 | タイマ RD 端子選択レジスタ 1 (TRDPSR1)..... | 411 |
| 20.8.17 | 動作例..... | 412 |
| 20.8.18 | A/D トリガ発生..... | 413 |
| 20.9 | タイマ RD 割り込み..... | 414 |
| 20.10 | タイマ RD 使用上の注意..... | 416 |
| 20.10.1 | TRDSTR レジスタ..... | 416 |
| 20.10.2 | TRD i レジスタ ($i=0 \sim 1$)..... | 416 |
| 20.10.3 | TRDSR i レジスタ ($i=0 \sim 1$)..... | 417 |
| 20.10.4 | TRDCR i レジスタ ($i=0 \sim 1$)..... | 417 |
| 20.10.5 | カウントソース切り替え..... | 417 |
| 20.10.6 | インプットキャプチャ機能..... | 418 |
| 20.10.7 | リセット同期 PWM モード..... | 418 |
| 20.10.8 | 相補 PWM モード..... | 419 |
| 20.10.9 | カウントソース fOCO40M..... | 422 |
| 21. | タイマ RE..... | 423 |
| 21.1 | 概要..... | 423 |
| 21.2 | リアルタイムクロックモード..... | 424 |
| 21.2.1 | タイマ RE 秒データレジスタ (TRESEC)[リアルタイムクロックモード時]..... | 426 |
| 21.2.2 | タイマ RE 分データレジスタ (TREM i)[リアルタイムクロックモード時]..... | 426 |
| 21.2.3 | タイマ RE 時データレジスタ (TREHR)[リアルタイムクロックモード時]..... | 427 |

| | | |
|--------|---|-----|
| 21.2.4 | タイマ RE 曜日データレジスタ (TREWK)[リアルタイムクロックモード時]..... | 427 |
| 21.2.5 | タイマ RE 制御レジスタ 1 (TRECRI)[リアルタイムクロックモード時]..... | 428 |
| 21.2.6 | タイマ RE 制御レジスタ 2 (TRECRI2)[リアルタイムクロックモード時]..... | 429 |
| 21.2.7 | タイマ RE カウントソース選択レジスタ (TRECISR)[リアルタイムクロックモード時]..... | 430 |
| 21.2.8 | タイマ端子選択レジスタ (TIMSR)..... | 430 |
| 21.2.9 | 動作例 | 431 |
| 21.3 | アウトプットコンペアモード | 432 |
| 21.3.1 | タイマ RE カウンタデータレジスタ (TRECSEC)[アウトプットコンペアモード時]..... | 433 |
| 21.3.2 | タイマ RE コンペアデータレジスタ (TRECMI)[アウトプットコンペアモード時]..... | 433 |
| 21.3.3 | タイマ RE 制御レジスタ 1 (TRECRI)[アウトプットコンペアモード時]..... | 434 |
| 21.3.4 | タイマ RE 制御レジスタ 2 (TRECRI2)[アウトプットコンペアモード時]..... | 434 |
| 21.3.5 | タイマ RE カウントソース選択レジスタ (TRECISR)[アウトプットコンペアモード時]..... | 435 |
| 21.3.6 | タイマ端子選択レジスタ (TIMSR)..... | 435 |
| 21.3.7 | 動作例 | 436 |
| 21.4 | タイマ RE 使用上の注意..... | 437 |
| 21.4.1 | カウント開始、停止 | 437 |
| 21.4.2 | レジスタ設定 | 437 |
| 21.4.3 | リアルタイムクロックモードの時刻読み出し手順 | 439 |
| 22. | シリアルインタフェース (UARTi (i=0 ~ 1))..... | 440 |
| 22.1 | 概要..... | 440 |
| 22.2 | レジスタの説明..... | 442 |
| 22.2.1 | UARTi 送受信モードレジスタ (UiMR)(i=0 ~ 1)..... | 442 |
| 22.2.2 | UARTi ビットレートレジスタ (UiBRG)(i=0 ~ 1)..... | 442 |
| 22.2.3 | UARTi 送信バッファレジスタ (UiTB)(i=0 ~ 1)..... | 443 |
| 22.2.4 | UARTi 送受信制御レジスタ 0 (UiC0)(i=0 ~ 1)..... | 444 |
| 22.2.5 | UARTi 送受信制御レジスタ 1 (UiC1)(i=0 ~ 1)..... | 444 |
| 22.2.6 | UARTi 受信バッファレジスタ (UiRB)(i=0 ~ 1)..... | 445 |
| 22.2.7 | UART0 端子選択レジスタ (U0SR)..... | 446 |
| 22.2.8 | UART1 端子選択レジスタ (U1SR)..... | 447 |
| 22.3 | クロック同期形シリアル I/O モード..... | 448 |
| 22.3.1 | 通信エラー発生時の対処方法 | 452 |
| 22.3.2 | 極性選択機能 | 453 |
| 22.3.3 | LSB ファースト、MSB ファースト選択..... | 453 |
| 22.3.4 | 連続受信モード | 454 |
| 22.4 | クロック非同期形シリアル I/O(UART) モード..... | 455 |
| 22.4.1 | ビットレート | 460 |
| 22.4.2 | 通信エラー発生時の対処方法 | 461 |
| 22.5 | シリアルインタフェース (UARTi (i=0 ~ 1)) 使用上の注意 | 462 |
| 23. | シリアルインタフェース (UART2)..... | 463 |
| 23.1 | 概要..... | 463 |
| 23.2 | レジスタの説明..... | 465 |
| 23.2.1 | UART2 送受信モードレジスタ (U2MR)..... | 465 |
| 23.2.2 | UART2 ビットレートレジスタ (U2BRG)..... | 465 |
| 23.2.3 | UART2 送信バッファレジスタ (U2TB)..... | 466 |
| 23.2.4 | UART2 送受信制御レジスタ 0 (U2C0)..... | 467 |
| 23.2.5 | UART2 送受信制御レジスタ 1 (U2C1)..... | 468 |
| 23.2.6 | UART2 受信バッファレジスタ (U2RB)..... | 469 |

| | | |
|---------|--------------------------------------|-----|
| 23.2.7 | UART2 デジタルフィルタ機能選択レジスタ (URXDF) | 470 |
| 23.2.8 | UART2 特殊モードレジスタ 5(U2SMR5)..... | 470 |
| 23.2.9 | UART2 特殊モードレジスタ 4 (U2SMR4)..... | 471 |
| 23.2.10 | UART2 特殊モードレジスタ 3 (U2SMR3)..... | 472 |
| 23.2.11 | UART2 特殊モードレジスタ 2 (U2SMR2)..... | 472 |
| 23.2.12 | UART2 特殊モードレジスタ (U2SMR)..... | 473 |
| 23.2.13 | UART2 端子選択レジスタ 0 (U2SR0) | 474 |
| 23.2.14 | UART2 端子選択レジスタ 1 (U2SR1) | 475 |
| 23.3 | クロック同期形シリアル I/O モード..... | 476 |
| 23.3.1 | 通信エラー発生時の対処方法 | 480 |
| 23.3.2 | CLK 極性選択 | 480 |
| 23.3.3 | LSB ファースト、MSB ファースト選択..... | 481 |
| 23.3.4 | 連続受信モード | 481 |
| 23.3.5 | シリアルデータ論理切り替え | 482 |
| 23.3.6 | CTS/RTS 機能..... | 482 |
| 23.4 | クロック非同期形シリアル I/O(UART) モード | 483 |
| 23.4.1 | ビットレート | 487 |
| 23.4.2 | 通信エラー発生時の対処方法 | 488 |
| 23.4.3 | LSB ファースト、MSB ファースト選択..... | 488 |
| 23.4.4 | シリアルデータ論理切り替え | 489 |
| 23.4.5 | TXD、RXD 入出力極性切り替え機能..... | 489 |
| 23.4.6 | CTS/RTS 機能..... | 490 |
| 23.4.7 | RXD2 デジタルフィルタ選択機能..... | 490 |
| 23.5 | 特殊モード 1 (I ² C モード)..... | 491 |
| 23.5.1 | スタートコンディション、ストップコンディションの検出 | 497 |
| 23.5.2 | スタートコンディション、ストップコンディションの出力 | 498 |
| 23.5.3 | 転送クロック | 499 |
| 23.5.4 | SDA 出力 | 499 |
| 23.5.5 | SDA 入力 | 500 |
| 23.5.6 | ACK、NACK..... | 500 |
| 23.5.7 | 送受信初期化 | 500 |
| 23.6 | マルチプロセッサ通信機能..... | 501 |
| 23.6.1 | マルチプロセッサ送信 | 504 |
| 23.6.2 | マルチプロセッサ受信 | 505 |
| 23.6.3 | RXD2 デジタルフィルタ選択機能..... | 507 |
| 23.7 | シリアルインタフェース (UART2) 使用上の注意 | 508 |
| 23.7.1 | クロック同期形シリアル I/O モード..... | 508 |
| 23.7.2 | 特殊モード 1 (I ² C モード)..... | 509 |
| 23.7.3 | U2BRG レジスタ | 509 |
| 24. | クロック同期形シリアルインタフェース..... | 510 |
| 24.1 | モード選択..... | 510 |
| 25. | シンクロナスシリアルコミュニケーションユニット (SSU) | 511 |
| 25.1 | 概要..... | 511 |
| 25.2 | レジスタの説明..... | 513 |
| 25.2.1 | モジュールスタンバイ制御レジスタ (MSTCR) | 513 |
| 25.2.2 | SSU/IIC 端子選択レジスタ (SSUICSR) | 513 |
| 25.2.3 | SS ビットカウンタレジスタ (SSBR)..... | 514 |

| | | |
|---------|------------------------------------|-----|
| 25.2.4 | SS 送信データレジスタ (SSTDR)..... | 514 |
| 25.2.5 | SS 受信データレジスタ (SSRDR)..... | 515 |
| 25.2.6 | SS 制御レジスタ H (SSCRH)..... | 515 |
| 25.2.7 | SS 制御レジスタ L (SSCRL)..... | 516 |
| 25.2.8 | SS モードレジスタ (SSMR)..... | 517 |
| 25.2.9 | SS 許可レジスタ (SSER)..... | 518 |
| 25.2.10 | SS ステータスレジスタ (SSSR)..... | 519 |
| 25.2.11 | SS モードレジスタ 2 (SSMR2)..... | 520 |
| 25.3 | 複数モードに関わる共通事項..... | 521 |
| 25.3.1 | 転送クロック | 521 |
| 25.3.2 | SS シフトレジスタ (SSTRSR)..... | 523 |
| 25.3.3 | 割り込み要求 | 524 |
| 25.3.4 | 各通信モードと端子機能 | 525 |
| 25.4 | クロック同期式通信モード..... | 526 |
| 25.4.1 | クロック同期式通信モードの初期化 | 526 |
| 25.4.2 | データ送信 | 527 |
| 25.4.3 | データ受信 | 529 |
| 25.5 | 4 線式バス通信モード..... | 533 |
| 25.5.1 | 4 線式バス通信モードの初期化 | 534 |
| 25.5.2 | データ送信 | 535 |
| 25.5.3 | データ受信 | 537 |
| 25.5.4 | SCS 端子制御とアービトレーション | 539 |
| 25.6 | シンクロナスシリアルコミュニケーションユニット使用上の注意..... | 540 |
| 26. | I ² C バスインタフェース | 541 |
| 26.1 | 概要..... | 541 |
| 26.2 | レジスタの説明..... | 544 |
| 26.2.1 | モジュールスタンバイ制御レジスタ (MSTCR)..... | 544 |
| 26.2.2 | SSU/IIC 端子選択レジスタ (SSUIICSR)..... | 544 |
| 26.2.3 | 入出力機能端子選択レジスタ (PINSR)..... | 545 |
| 26.2.4 | IIC バス送信データレジスタ (ICDRT)..... | 546 |
| 26.2.5 | IIC バス受信データレジスタ (ICDRR)..... | 546 |
| 26.2.6 | IIC バス制御レジスタ 1 (ICCR1)..... | 547 |
| 26.2.7 | IIC バス制御レジスタ 2 (ICCR2)..... | 548 |
| 26.2.8 | IIC バスモードレジスタ (ICMR)..... | 549 |
| 26.2.9 | IIC バス割り込み許可レジスタ (ICIER)..... | 550 |
| 26.2.10 | IIC バスステータスレジスタ (ICSR)..... | 551 |
| 26.2.11 | スレーブアドレスレジスタ (SAR)..... | 552 |
| 26.2.12 | IIC バスシフトレジスタ (ICDRS)..... | 552 |
| 26.3 | 複数モードに関わる共通事項..... | 553 |
| 26.3.1 | 転送クロック | 553 |
| 26.3.2 | SDA 端子デジタル遅延選択 | 555 |
| 26.3.3 | 割り込み要求 | 556 |
| 26.4 | I ² C バスインタフェースモード..... | 557 |
| 26.4.1 | I ² C バスフォーマット..... | 557 |
| 26.4.2 | マスタ送信動作 | 558 |
| 26.4.3 | マスタ受信動作 | 560 |
| 26.4.4 | スレーブ送信動作 | 563 |
| 26.4.5 | スレーブ受信動作 | 566 |

| | | |
|--------|---|-----|
| 26.5 | クロック同期式シリアルモード | 568 |
| 26.5.1 | クロック同期式シリアルフォーマット | 568 |
| 26.5.2 | 送信動作 | 569 |
| 26.5.3 | 受信動作 | 570 |
| 26.6 | レジスタ設定例 | 571 |
| 26.7 | ノイズ除去回路 | 575 |
| 26.8 | ビット同期回路 | 576 |
| 26.9 | I ² C バスインタフェース使用上の注意 | 577 |
| 26.9.1 | マスタ受信モード | 577 |
| 26.9.2 | ICCR1 レジスタの ICE ビットおよび ICCR2 レジスタの IICRST ビット | 577 |
| 27. | ハードウェア LIN | 579 |
| 27.1 | 概要 | 579 |
| 27.2 | 入出力端子 | 580 |
| 27.3 | レジスタの説明 | 580 |
| 27.3.1 | LIN コントロールレジスタ 2(LINCR2) | 580 |
| 27.3.2 | LIN コントロールレジスタ (LINCR) | 581 |
| 27.3.3 | LIN ステータスレジスタ (LINST) | 581 |
| 27.4 | 動作説明 | 582 |
| 27.4.1 | マスタモード | 582 |
| 27.4.2 | スレーブモード | 585 |
| 27.4.3 | バス衝突検出機能 | 589 |
| 27.4.4 | ハードウェア LIN 終了処理 | 590 |
| 27.5 | 割り込み要求 | 591 |
| 27.6 | ハードウェア LIN 使用上の注意 | 592 |
| 28. | A/D コンバータ | 593 |
| 28.1 | 概要 | 593 |
| 28.2 | レジスタの説明 | 595 |
| 28.2.1 | チップ内蔵基準電圧制御レジスタ (OCVREFCR) | 595 |
| 28.2.2 | A/D レジスタ i (ADi)(i = 0 ~ 7) | 596 |
| 28.2.3 | A/D モードレジスタ (ADMOD) | 597 |
| 28.2.4 | A/D 入力選択レジスタ (ADINSEL) | 598 |
| 28.2.5 | A/D 制御レジスタ 0 (ADCON0) | 599 |
| 28.2.6 | A/D 制御レジスタ 1 (ADCON1) | 600 |
| 28.3 | 複数モードに関わる共通事項 | 601 |
| 28.3.1 | 入出力端子 | 601 |
| 28.3.2 | A/D 変換サイクル数 | 601 |
| 28.3.3 | A/D 変換開始条件 | 603 |
| 28.3.4 | A/D 変換結果 | 605 |
| 28.3.5 | 消費電流低減機能 | 605 |
| 28.3.6 | チップ内蔵基準電圧 (OCVREF) | 605 |
| 28.3.7 | A/D 断線検出アシスト機能 | 605 |
| 28.4 | 単発モード | 607 |
| 28.5 | 繰り返しモード 0 | 608 |
| 28.6 | 繰り返しモード 1 | 609 |
| 28.7 | 単掃引モード | 611 |
| 28.8 | 繰り返し掃引モード | 613 |
| 28.9 | A/D 変換時のセンサの出力インピーダンス | 615 |

| | | |
|--------|---------------------------------------|-----|
| 28.10 | A/D コンバータ使用上の注意 | 616 |
| 29. | D/A コンバータ | 617 |
| 29.1 | 概要 | 617 |
| 29.2 | レジスタの説明 | 619 |
| 29.2.1 | D/Ai レジスタ (DAi)(i=0 ~ 1) | 619 |
| 29.2.2 | D/A 制御レジスタ (DACON) | 619 |
| 30. | コンパレータ A | 620 |
| 30.1 | 概要 | 620 |
| 30.2 | レジスタの説明 | 622 |
| 30.2.1 | 電圧監視回路 / コンパレータ A 制御レジスタ (CMPA) | 622 |
| 30.2.2 | 電圧監視回路エッジ選択レジスタ (VCAC) | 623 |
| 30.2.3 | 電圧検出レジスタ 1 (VCA1) | 623 |
| 30.2.4 | 電圧検出レジスタ 2 (VCA2) | 624 |
| 30.2.5 | 電圧監視 1 回路制御レジスタ (VW1C) | 625 |
| 30.2.6 | 電圧監視 2 回路制御レジスタ (VW2C) | 626 |
| 30.3 | 比較結果のモニタ | 627 |
| 30.3.1 | コンパレータ A1 のモニタ | 627 |
| 30.3.2 | コンパレータ A2 のモニタ | 627 |
| 30.4 | 動作説明 | 628 |
| 30.4.1 | コンパレータ A1 | 628 |
| 30.4.2 | コンパレータ A2 | 631 |
| 30.5 | コンパレータ A1、コンパレータ A2 割り込み | 634 |
| 30.5.1 | ノンマスカブル割り込み | 634 |
| 30.5.2 | マスカブル割り込み | 634 |
| 31. | コンパレータ B | 635 |
| 31.1 | 概要 | 635 |
| 31.2 | レジスタの説明 | 637 |
| 31.2.1 | コンパレータ B 制御レジスタ 0 (INTCMP) | 637 |
| 31.2.2 | 外部入力許可レジスタ 0 (INTEN) | 637 |
| 31.2.3 | INT 入力フィルタ選択レジスタ 0 (INTF) | 638 |
| 31.3 | 動作説明 | 639 |
| 31.3.1 | コンパレータ Bi デジタルフィルタ (i=1、3) | 640 |
| 31.4 | コンパレータ B1、コンパレータ B3 割り込み | 641 |
| 32. | フラッシュメモリ | 642 |
| 32.1 | 概要 | 642 |
| 32.2 | メモリ配置 | 643 |
| 32.3 | フラッシュメモリ書き換え禁止機能 | 644 |
| 32.3.1 | ID コードチェック機能 | 644 |
| 32.3.2 | ROM コードプロテクト機能 | 645 |
| 32.3.3 | オプション機能選択レジスタ (OFS) | 645 |
| 32.4 | CPU 書き換えモード | 646 |
| 32.4.1 | フラッシュメモリステータスレジスタ (FST) | 647 |
| 32.4.2 | フラッシュメモリ制御レジスタ 0 (FMR0) | 650 |
| 32.4.3 | フラッシュメモリ制御レジスタ 1 (FMR1) | 653 |
| 32.4.4 | フラッシュメモリ制御レジスタ 2 (FMR2) | 655 |

| | | |
|---------|--------------------------------|-----|
| 32.4.5 | EW0 モード | 657 |
| 32.4.6 | EW1 モード | 657 |
| 32.4.7 | サスペンド動作 | 658 |
| 32.4.8 | 各モードの設定と解除方法 | 659 |
| 32.4.9 | BGO (バックグラウンドオペレーション) 機能 | 660 |
| 32.4.10 | データ保護機能 | 661 |
| 32.4.11 | ソフトウェアコマンド | 662 |
| 32.4.12 | フルステータスチェック | 673 |
| 32.5 | 標準シリアル入出力モード | 675 |
| 32.5.1 | ID コードチェック機能 | 675 |
| 32.6 | パラレル入出力モード | 678 |
| 32.6.1 | ROM コードプロテクト機能 | 678 |
| 32.7 | フラッシュメモリ使用上の注意 | 679 |
| 32.7.1 | CPU 書き換えモード | 679 |
| 33. | 消費電力の低減 | 683 |
| 33.1 | 概要 | 683 |
| 33.2 | 消費電力を小さくするためのポイントと処理方法 | 683 |
| 33.2.1 | 電圧検出回路 | 683 |
| 33.2.2 | ポート | 683 |
| 33.2.3 | クロック | 683 |
| 33.2.4 | ウェイトモード、ストップモード | 683 |
| 33.2.5 | 周辺機能クロックの停止 | 683 |
| 33.2.6 | タイマ | 684 |
| 33.2.7 | A/D コンバータ | 684 |
| 33.2.8 | クロック同期形シリアルインタフェース | 684 |
| 33.2.9 | VCA20 ビットによる内部電源低消費操作 | 685 |
| 33.2.10 | フラッシュメモリの停止 | 687 |
| 33.2.11 | 低消費電流リードモード | 688 |
| 34. | 電気的特性 | 690 |
| 35. | 使用上の注意事項 | 717 |
| 35.1 | クロック発生回路使用上の注意 | 717 |
| 35.1.1 | ストップモード | 717 |
| 35.1.2 | ウェイトモード | 717 |
| 35.1.3 | VCA20 ビットによる内部電源低消費操作 | 718 |
| 35.1.4 | 発振停止検出機能 | 718 |
| 35.1.5 | 発振回路定数 | 718 |
| 35.1.6 | 高速オンチップオシレータモード | 718 |
| 35.2 | 割り込み使用上の注意 | 719 |
| 35.2.1 | 00000h 番地の読み出し | 719 |
| 35.2.2 | SP の設定 | 719 |
| 35.2.3 | 外部割り込み、キー入力割り込み | 719 |
| 35.2.4 | 割り込み要因の変更 | 720 |
| 35.2.5 | 割り込み制御レジスタの変更 | 721 |
| 35.3 | ID コード領域使用上の注意 | 722 |
| 35.3.1 | ID コード領域の設定例 | 722 |
| 35.4 | オプション機能選択領域使用上の注意 | 722 |

| | | |
|---------|---|-----|
| 35.4.1 | オプション機能選択領域の設定例 | 722 |
| 35.5 | DTC 使用上の注意 | 723 |
| 35.5.1 | DTC 起動要因 | 723 |
| 35.5.2 | DTCEN _i (<i>i</i> =0 ~ 6) レジスタ | 723 |
| 35.5.3 | 周辺モジュール | 723 |
| 35.5.4 | 割り込み要求 | 723 |
| 35.6 | タイマ RA 使用上の注意 | 724 |
| 35.7 | タイマ RB 使用上の注意 | 725 |
| 35.7.1 | タイマモード | 725 |
| 35.7.2 | プログラマブル波形発生モード | 725 |
| 35.7.3 | プログラマブルワンショット発生モード | 726 |
| 35.7.4 | プログラマブルウェイトワンショット発生モード | 726 |
| 35.8 | タイマ RC 使用上の注意 | 727 |
| 35.8.1 | TRC レジスタ | 727 |
| 35.8.2 | TRCSR レジスタ | 727 |
| 35.8.3 | TRCCR1 レジスタ | 727 |
| 35.8.4 | カウントソース切り替え | 727 |
| 35.8.5 | インプットキャプチャ機能 | 728 |
| 35.8.6 | PWM2 モード時の TRCMR レジスタ | 728 |
| 35.8.7 | カウントソース fOCO40M | 728 |
| 35.9 | タイマ RD 使用上の注意 | 729 |
| 35.9.1 | TRDSTR レジスタ | 729 |
| 35.9.2 | TRD _i レジスタ (<i>i</i> =0 ~ 1) | 729 |
| 35.9.3 | TRDSR _i レジスタ (<i>i</i> =0 ~ 1) | 730 |
| 35.9.4 | TRDCR _i レジスタ (<i>i</i> =0 ~ 1) | 730 |
| 35.9.5 | カウントソース切り替え | 730 |
| 35.9.6 | インプットキャプチャ機能 | 731 |
| 35.9.7 | リセット同期 PWM モード | 731 |
| 35.9.8 | 相補 PWM モード | 732 |
| 35.9.9 | カウントソース fOCO40M | 735 |
| 35.10 | タイマ RE 使用上の注意 | 736 |
| 35.10.1 | カウント開始、停止 | 736 |
| 35.10.2 | レジスタ設定 | 736 |
| 35.10.3 | リアルタイムクロックモードの時刻読み出し手順 | 738 |
| 35.11 | シリアルインタフェース (UART _i (<i>i</i> =0 ~ 1)) 使用上の注意 | 739 |
| 35.12 | シリアルインタフェース (UART2) 使用上の注意 | 740 |
| 35.12.1 | クロック同期形シリアル I/O モード | 740 |
| 35.12.2 | 特殊モード 1 (I ² C モード) | 741 |
| 35.12.3 | U2BRG レジスタ | 741 |
| 35.13 | シンクロナスシリアルコミュニケーションユニット使用上の注意 | 741 |
| 35.14 | I ² C バスインタフェース使用上の注意 | 741 |
| 35.14.1 | マスタ受信モード | 741 |
| 35.14.2 | ICCR1 レジスタの ICE ビットおよび ICCR2 レジスタの IICRST ビット | 741 |
| 35.15 | ハードウェア LIN 使用上の注意 | 742 |
| 35.16 | A/D コンバータ使用上の注意 | 743 |
| 35.17 | フラッシュメモリ使用上の注意 | 744 |
| 35.17.1 | CPU 書き換えモード | 744 |
| 35.18 | ノイズに関する注意事項 | 748 |

| | | |
|---------|---|-----|
| 35.18.1 | ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入 | 748 |
| 35.18.2 | ポート制御レジスタのノイズ誤動作対策 | 748 |
| 35.19 | 電源電圧の変動に関する注意 | 748 |
| 36. | オンチップデバッグの注意事項 | 749 |
| 37. | エミュレータデバッグの注意事項 | 750 |
| 付録 1. | 外形寸法図 | 751 |
| 付録 2. | シリアルライターとオンチップデバッグエミュレータとの接続例 | 752 |
| 付録 3. | 発振評価回路例 | 754 |
| 索引 | | 755 |

番地別ページ早見表

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|----------------------|----------|-------------------------------------|
| 0000h | | | |
| 0001h | | | |
| 0002h | | | |
| 0003h | | | |
| 0004h | プロセッサモードレジスタ0 | PM0 | 29 |
| 0005h | プロセッサモードレジスタ1 | PM1 | 189 |
| 0006h | システムクロック制御レジスタ0 | CM0 | 118 |
| 0007h | システムクロック制御レジスタ1 | CM1 | 119 |
| 0008h | モジュールスタンバイ制御レジスタ | MSTCR | 260、319、334、354、370、384、400、513、544 |
| 0009h | システムクロック制御レジスタ3 | CM3 | 120 |
| 000Ah | プロテクトレジスタ | PRCR | 149 |
| 000Bh | リセット要因判別レジスタ | RSTFR | 29 |
| 000Ch | 発振停止検出レジスタ | QCD | 122 |
| 000Dh | ウォッチドッグタイマリセットレジスタ | WDTR | 189 |
| 000Eh | ウォッチドッグタイムスタートレジスタ | WDTS | 189 |
| 000Fh | ウォッチドッグタイム制御レジスタ | WDTC | 190 |
| 0010h | | | |
| 0011h | | | |
| 0012h | | | |
| 0013h | | | |
| 0014h | | | |
| 0015h | 高速オンチップオシレータ制御レジスタ7 | FRA7 | 122 |
| 0016h | | | |
| 0017h | | | |
| 0018h | | | |
| 0019h | | | |
| 001Ah | | | |
| 001Bh | | | |
| 001Ch | カウントソース保護モードレジスタ | CSPR | 190 |
| 001Dh | | | |
| 001Eh | | | |
| 001Fh | | | |
| 0020h | | | |
| 0021h | | | |
| 0022h | | | |
| 0023h | 高速オンチップオシレータ制御レジスタ0 | FRA0 | 123 |
| 0024h | 高速オンチップオシレータ制御レジスタ1 | FRA1 | 123 |
| 0025h | 高速オンチップオシレータ制御レジスタ2 | FRA2 | 124 |
| 0026h | チップ内蔵基準電圧制御レジスタ | OCVREFCR | 595 |
| 0027h | | | |
| 0028h | 時計用プリスケアラリセットフラグ | CPSRF | 124 |
| 0029h | 高速オンチップオシレータ制御レジスタ4 | FRA4 | 125 |
| 002Ah | 高速オンチップオシレータ制御レジスタ5 | FRA5 | 125 |
| 002Bh | 高速オンチップオシレータ制御レジスタ6 | FRA6 | 126 |
| 002Ch | | | |
| 002Dh | | | |
| 002Eh | | | |
| 002Fh | 高速オンチップオシレータ制御レジスタ3 | FRA3 | 126 |
| 0030h | 電圧監視回路/コンパレータA制御レジスタ | CMPA | 42、622 |
| 0031h | 電圧監視回路エッジ選択レジスタ | VCAC | 43、623 |
| 0032h | | | |
| 0033h | 電圧検出レジスタ1 | VCA1 | 43、623 |
| 0034h | 電圧検出レジスタ2 | VCA2 | 44、127、624 |
| 0035h | | | |
| 0036h | 電圧検出1レベル選択レジスタ | VD1LS | 45 |
| 0037h | | | |
| 0038h | 電圧監視0回路制御レジスタ | VW0C | 46 |
| 0039h | 電圧監視1回路制御レジスタ | VW1C | 47、625 |
| 003Ah | 電圧監視2回路制御レジスタ | VW2C | 48、626 |
| 003Bh | | | |
| 003Ch | | | |
| 003Dh | | | |
| 003Eh | | | |
| 003Fh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|------------------------------|------------|-------|
| 0040h | | | |
| 0041h | フラッシュメモリレディ割り込み制御レジスタ | FMRDYIC | 156 |
| 0042h | | | |
| 0043h | | | |
| 0044h | | | |
| 0045h | | | |
| 0046h | INT4割り込み制御レジスタ | INT4IC | 157 |
| 0047h | タイマRC割り込み制御レジスタ | TRCIC | 156 |
| 0048h | タイマRD0割り込み制御レジスタ | TRD0IC | 156 |
| 0049h | タイマRD1割り込み制御レジスタ | TRD1IC | 156 |
| 004Ah | タイマRE割り込み制御レジスタ | TREIC | 155 |
| 004Bh | UART2送信割り込み制御レジスタ | S2TIC | 155 |
| 004Ch | UART2受信割り込み制御レジスタ | S2RIC | 155 |
| 004Dh | キー入力割り込み制御レジスタ | KUPIC | 155 |
| 004Eh | A/D変換割り込み制御レジスタ | ADIC | 155 |
| 004Fh | SSU割り込み制御レジスタ/ICバス割り込み制御レジスタ | SSUIC/ICIC | 156 |
| 0050h | | | |
| 0051h | UART0送信割り込み制御レジスタ | S0TIC | 155 |
| 0052h | UART0受信割り込み制御レジスタ | S0RIC | 155 |
| 0053h | UART1送信割り込み制御レジスタ | S1TIC | 155 |
| 0054h | UART1受信割り込み制御レジスタ | S1RIC | 155 |
| 0055h | INT2割り込み制御レジスタ | INT2IC | 157 |
| 0056h | タイマRA割り込み制御レジスタ | TRAIC | 155 |
| 0057h | | | |
| 0058h | タイマRB割り込み制御レジスタ | TRBIC | 155 |
| 0059h | INT1割り込み制御レジスタ | INT1IC | 157 |
| 005Ah | INT3割り込み制御レジスタ | INT3IC | 157 |
| 005Bh | | | |
| 005Ch | | | |
| 005Dh | INT0割り込み制御レジスタ | INT0IC | 157 |
| 005Eh | UART2バス衝突検出割り込み制御レジスタ | U2BCNIC | 155 |
| 005Fh | | | |
| 0060h | | | |
| 0061h | | | |
| 0062h | | | |
| 0063h | | | |
| 0064h | | | |
| 0065h | | | |
| 0066h | | | |
| 0067h | | | |
| 0068h | | | |
| 0069h | | | |
| 006Ah | | | |
| 006Bh | | | |
| 006Ch | | | |
| 006Dh | | | |
| 006Eh | | | |
| 006Fh | | | |
| 0070h | | | |
| 0071h | | | |
| 0072h | 電圧監視1/コンパレータA割り込み制御レジスタ | VCMP1IC | 155 |
| 0073h | 電圧監視2/コンパレータA割り込み制御レジスタ | VCMP2IC | 155 |
| 0074h | | | |
| 0075h | | | |
| 0076h | | | |
| 0077h | | | |
| 0078h | | | |
| 0079h | | | |
| 007Ah | | | |
| 007Bh | | | |
| 007Ch | | | |
| 007Dh | | | |
| 007Eh | | | |
| 007Fh | | | |

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|-----------------------|--------|-------|
| 0080h | DTC起動制御レジスタ | DTCTL | 201 |
| 0081h | | | |
| 0082h | | | |
| 0083h | | | |
| 0084h | | | |
| 0085h | | | |
| 0086h | | | |
| 0087h | | | |
| 0088h | DTC起動許可レジスタ0 | DTCEN0 | 200 |
| 0089h | DTC起動許可レジスタ1 | DTCEN1 | 200 |
| 008Ah | DTC起動許可レジスタ2 | DTCEN2 | 200 |
| 008Bh | DTC起動許可レジスタ3 | DTCEN3 | 200 |
| 008Ch | DTC起動許可レジスタ4 | DTCEN4 | 200 |
| 008Dh | DTC起動許可レジスタ5 | DTCEN5 | 200 |
| 008Eh | DTC起動許可レジスタ6 | DTCEN6 | 200 |
| 008Fh | | | |
| 0090h | | | |
| 0091h | | | |
| 0092h | | | |
| 0093h | | | |
| 0094h | | | |
| 0095h | | | |
| 0096h | | | |
| 0097h | | | |
| 0098h | | | |
| 0099h | | | |
| 009Ah | | | |
| 009Bh | | | |
| 009Ch | | | |
| 009Dh | | | |
| 009Eh | | | |
| 009Fh | | | |
| 00A0h | UART0送受信モードレジスタ | U0MR | 442 |
| 00A1h | UART0ビットレートレジスタ | U0BRG | 442 |
| 00A2h | UART0送信バッファレジスタ | U0TB | 443 |
| 00A3h | | | |
| 00A4h | UART0送受信制御レジスタ0 | U0C0 | 444 |
| 00A5h | UART0送受信制御レジスタ1 | U0C1 | 444 |
| 00A6h | UART0受信バッファレジスタ | U0RB | 445 |
| 00A7h | | | |
| 00A8h | UART2送受信モードレジスタ | U2MR | 465 |
| 00A9h | UART2ビットレートレジスタ | U2BRG | 465 |
| 00AAh | UART2送信バッファレジスタ | U2TB | 466 |
| 00ABh | | | |
| 00ACh | UART2送受信制御レジスタ0 | U2C0 | 467 |
| 00ADh | UART2送受信制御レジスタ1 | U2C1 | 468 |
| 00AEh | UART2受信バッファレジスタ | U2RB | 469 |
| 00AFh | | | |
| 00B0h | UART2デジタルフィルタ機能選択レジスタ | URXDF | 470 |
| 00B1h | | | |
| 00B2h | | | |
| 00B3h | | | |
| 00B4h | | | |
| 00B5h | | | |
| 00B6h | | | |
| 00B7h | | | |
| 00B8h | | | |
| 00B9h | | | |
| 00BAh | | | |
| 00BBh | UART2特殊モードレジスタ5 | U2SMR5 | 470 |
| 00BCh | UART2特殊モードレジスタ4 | U2SMR4 | 471 |
| 00BDh | UART2特殊モードレジスタ3 | U2SMR3 | 472 |
| 00BEh | UART2特殊モードレジスタ2 | U2SMR2 | 472 |
| 00BFh | UART2特殊モードレジスタ | U2SMR | 473 |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|-------------|---------|-------|
| 00C0h | A/Dレジスタ0 | AD0 | 596 |
| 00C1h | | | |
| 00C2h | A/Dレジスタ1 | AD1 | 596 |
| 00C3h | | | |
| 00C4h | A/Dレジスタ2 | AD2 | 596 |
| 00C5h | | | |
| 00C6h | A/Dレジスタ3 | AD3 | 596 |
| 00C7h | | | |
| 00C8h | A/Dレジスタ4 | AD4 | 596 |
| 00C9h | | | |
| 00CAh | A/Dレジスタ5 | AD5 | 596 |
| 00CBh | | | |
| 00CCh | A/Dレジスタ6 | AD6 | 596 |
| 00CDh | | | |
| 00CEh | A/Dレジスタ7 | AD7 | 596 |
| 00CFh | | | |
| 00D0h | | | |
| 00D1h | | | |
| 00D2h | | | |
| 00D3h | | | |
| 00D4h | A/Dモードレジスタ | ADMOD | 597 |
| 00D5h | A/D入力選択レジスタ | ADINSEL | 598 |
| 00D6h | A/D制御レジスタ0 | ADCON0 | 599 |
| 00D7h | A/D制御レジスタ1 | ADCON1 | 600 |
| 00D8h | D/A0レジスタ | DA0 | 619 |
| 00D9h | D/A1レジスタ | DA1 | 619 |
| 00DAh | | | |
| 00DBh | | | |
| 00DCh | D/A制御レジスタ | DACON | 619 |
| 00DDh | | | |
| 00DEh | | | |
| 00DFh | | | |
| 00E0h | ポートP0レジスタ | P0 | 74 |
| 00E1h | ポートP1レジスタ | P1 | 74 |
| 00E2h | ポートP0方向レジスタ | PD0 | 73 |
| 00E3h | ポートP1方向レジスタ | PD1 | 73 |
| 00E4h | ポートP2レジスタ | P2 | 74 |
| 00E5h | ポートP3レジスタ | P3 | 74 |
| 00E6h | ポートP2方向レジスタ | PD2 | 73 |
| 00E7h | ポートP3方向レジスタ | PD3 | 73 |
| 00E8h | ポートP4レジスタ | P4 | 74 |
| 00E9h | | | |
| 00EAh | ポートP4方向レジスタ | PD4 | 73 |
| 00EBh | | | |
| 00ECh | ポートP6レジスタ | P6 | 74 |
| 00EDh | | | |
| 00EEh | ポートP6方向レジスタ | PD6 | 73 |
| 00EFh | | | |
| 00F0h | | | |
| 00F1h | | | |
| 00F2h | | | |
| 00F3h | | | |
| 00F4h | | | |
| 00F5h | | | |
| 00F6h | | | |
| 00F7h | | | |
| 00F8h | | | |
| 00F9h | | | |
| 00FAh | | | |
| 00FBh | | | |
| 00FCh | | | |
| 00FDh | | | |
| 00FEh | | | |
| 00FFh | | | |

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|---------------------------|---------|-------------------------|
| 0100h | タイマRA制御レジスタ | TRACR | 221 |
| 0101h | タイマRA I/O制御レジスタ | TRAIOC | 221、224、227、229、231、234 |
| 0102h | タイマRAモードレジスタ | TRAMR | 222 |
| 0103h | タイマRAプリスケアラレジスタ | TRAPRE | 222 |
| 0104h | タイマRAレジスタ | TRA | 223 |
| 0105h | LINコントロールレジスタ2 | LINCR2 | 580 |
| 0106h | LINコントロールレジスタ | LINCR | 581 |
| 0107h | LINステータスレジスタ | LINST | 581 |
| 0108h | タイマRB制御レジスタ | TRBCR | 238 |
| 0109h | タイマRBワンショット制御レジスタ | TRBOCR | 238 |
| 010Ah | タイマRB I/O制御レジスタ | TRBIOC | 239、242、246、249、253 |
| 010Bh | タイマRBモードレジスタ | TRBMR | 239 |
| 010Ch | タイマRBプリスケアラレジスタ | TRBPRE | 240 |
| 010Dh | タイマRBセカンダリレジスタ | TRBSC | 240 |
| 010Eh | タイマRBプライマリレジスタ | TRBPR | 241 |
| 010Fh | | | |
| 0110h | | | |
| 0111h | | | |
| 0112h | | | |
| 0113h | | | |
| 0114h | | | |
| 0115h | | | |
| 0116h | | | |
| 0117h | | | |
| 0118h | タイマRE秒データレジスタ/カウンタデータレジスタ | TRESEC | 426、433 |
| 0119h | タイマRE分データレジスタ/コンペアデータレジスタ | TREMIN | 426、433 |
| 011Ah | タイマRE時データレジスタ | TREHR | 427 |
| 011Bh | タイマRE曜日データレジスタ | TREWK | 427 |
| 011Ch | タイマRE制御レジスタ1 | TRECR1 | 428、434 |
| 011Dh | タイマRE制御レジスタ2 | TRECR2 | 429、434 |
| 011Eh | タイマREカウントソース選択レジスタ | TRECSR | 430、435 |
| 011Fh | | | |
| 0120h | タイマRCモードレジスタ | TRCMR | 261 |
| 0121h | タイマRC制御レジスタ1 | TRCCR1 | 262、285、294、300 |
| 0122h | タイマRC割り込み許可レジスタ | TRCIER | 262 |
| 0123h | タイマRCステータスレジスタ | TRCSR | 263 |
| 0124h | タイマRC I/O制御レジスタ0 | TRCIOR0 | 264、280、286 |
| 0125h | タイマRC I/O制御レジスタ1 | TRCIOR1 | 264、281、287 |
| 0126h | タイマRCカウンタ | TRC | 265 |
| 0127h | | | |
| 0128h | タイマRCジェネラルレジスタA | TRCGRA | 265 |
| 0129h | | | |
| 012Ah | タイマRCジェネラルレジスタB | TRCGRB | 265 |
| 012Bh | | | |
| 012Ch | タイマRCジェネラルレジスタC | TRCGRC | 265 |
| 012Dh | | | |
| 012Eh | タイマRCジェネラルレジスタD | TRCGRD | 265 |
| 012Fh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|------------------------------|----------|-------------------------|
| 0130h | タイマRC制御レジスタ2 | TRCCR2 | 266、288、295、301 |
| 0131h | タイマRCデジタルフィルタ機能選択レジスタ | TRCDF | 267、302 |
| 0132h | タイマRCアウトプットマスク許可レジスタ | TRCOER | 268 |
| 0133h | タイマRCトリガ制御レジスタ | TRCADCR | 268 |
| 0134h | | | |
| 0135h | タイマRD拡張制御レジスタ | TRDECR | 319、334、354、370、384、400 |
| 0136h | タイマRDトリガ制御レジスタ | TRDADCR | 335、355、371、385、401 |
| 0137h | タイマRDスタートレジスタ | TRDSTR | 320、336、356、372、386、402 |
| 0138h | タイマRDモードレジスタ | TRDMR | 320、337、356、372、386、402 |
| 0139h | タイマRD PWMモードレジスタ | TRDPMR | 321、337、357 |
| 013Ah | タイマRD機能制御レジスタ | TRDFCR | 321、338、357、373、387、403 |
| 013Bh | タイマRDアウトプットマスク許可レジスタ1 | TRDOER1 | 339、358、374、388、404 |
| 013Ch | タイマRDアウトプットマスク許可レジスタ2 | TRDOER2 | 339、358、374、388、404 |
| 013Dh | タイマRDアウトプット制御レジスタ | TRDOCR | 340、359、405 |
| 013Eh | タイマRDデジタルフィルタ機能選択レジスタ0 | TRDDF0 | 322 |
| 013Fh | タイマRDデジタルフィルタ機能選択レジスタ1 | TRDDF1 | 322 |
| 0140h | タイマRD制御レジスタ0 | TRDCR0 | 323、341、359、375、389、406 |
| 0141h | タイマRD I/O制御レジスタA0 | TRDIORA0 | 324、342 |
| 0142h | タイマRD I/O制御レジスタC0 | TRDIORC0 | 325、343 |
| 0143h | タイマRDステータスレジスタ0 | TRDSR0 | 326、344、360、376、390、407 |
| 0144h | タイマRD割り込み許可レジスタ0 | TRDIER0 | 327、345、361、377、391、408 |
| 0145h | タイマRD PWMモードアウトプットレベル制御レジスタ0 | TRDPOCR0 | 361 |
| 0146h | タイマRDカウンタ0 | TRD0 | 327、345、362、377、391、408 |
| 0147h | | | |
| 0148h | タイマRDジェネラルレジスタA0 | TRDGRA0 | 328、346、363、378、392、409 |
| 0149h | | | |
| 014Ah | タイマRDジェネラルレジスタB0 | TRDGRB0 | 328、346、363、378、392、409 |
| 014Bh | | | |
| 014Ch | タイマRDジェネラルレジスタC0 | TRDGRC0 | 328、346、363、378、409 |
| 014Dh | | | |
| 014Eh | タイマRDジェネラルレジスタD0 | TRDGRD0 | 328、346、363、378、392、409 |
| 014Fh | | | |
| 0150h | タイマRD制御レジスタ1 | TRDCR1 | 323、341、359、389 |
| 0151h | タイマRD I/O制御レジスタA1 | TRDIORA1 | 324、342 |
| 0152h | タイマRD I/O制御レジスタC1 | TRDIORC1 | 325、343 |
| 0153h | タイマRDステータスレジスタ1 | TRDSR1 | 326、344、360、376、390、407 |
| 0154h | タイマRD割り込み許可レジスタ1 | TRDIER1 | 327、345、361、377、391、408 |
| 0155h | タイマRD PWMモードアウトプットレベル制御レジスタ1 | TRDPOCR1 | 361 |
| 0156h | タイマRDカウンタ1 | TRD1 | 327、345、362、392 |
| 0157h | | | |
| 0158h | タイマRDジェネラルレジスタA1 | TRDGRA1 | 328、346、363、378、392、409 |
| 0159h | | | |
| 015Ah | タイマRDジェネラルレジスタB1 | TRDGRB1 | 328、346、363、378、392、409 |
| 015Bh | | | |
| 015Ch | タイマRDジェネラルレジスタC1 | TRDGRC1 | 328、346、363、378、392、409 |
| 015Dh | | | |
| 015Eh | タイマRDジェネラルレジスタD1 | TRDGRD1 | 328、346、363、378、392、409 |
| 015Fh | | | |

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|-------------------|---------|----------------------------|
| 0160h | UART1送受信モードレジスタ | U1MR | 442 |
| 0161h | UART1ビットレートレジスタ | U1BRG | 442 |
| 0162h | UART1送信バッファレジスタ | U1TB | 443 |
| 0163h | | | |
| 0164h | UART1送受信制御レジスタ0 | U1C0 | 444 |
| 0165h | UART1送受信制御レジスタ1 | U1C1 | 444 |
| 0166h | UART1受信バッファレジスタ | U1RB | 445 |
| 0167h | | | |
| 0168h | | | |
| 0169h | | | |
| 016Ah | | | |
| 016Bh | | | |
| 016Ch | | | |
| 016Dh | | | |
| 016Eh | | | |
| 016Fh | | | |
| 0170h | | | |
| 0171h | | | |
| 0172h | | | |
| 0173h | | | |
| 0174h | | | |
| 0175h | | | |
| 0176h | | | |
| 0177h | | | |
| 0178h | | | |
| 0179h | | | |
| 017Ah | | | |
| 017Bh | | | |
| 017Ch | | | |
| 017Dh | | | |
| 017Eh | | | |
| 017Fh | | | |
| 0180h | タイマRA端子選択レジスタ | TRASR | 75、223 |
| 0181h | タイマRB/RC端子選択レジスタ | TRBRCSR | 76、241、269 |
| 0182h | タイマRC端子選択レジスタ0 | TRCPSR0 | 77、270 |
| 0183h | タイマRC端子選択レジスタ1 | TRCPSR1 | 78、271 |
| 0184h | タイマRD端子選択レジスタ0 | TRDPSR0 | 79、329、347、364、379、394、411 |
| 0185h | タイマRD端子選択レジスタ1 | TRDPSR1 | 79、329、347、364、379、394、411 |
| 0186h | タイマ端子選択レジスタ | TIMSR | 80、430、435 |
| 0187h | | | |
| 0188h | UART0端子選択レジスタ | U0SR | 81、446 |
| 0189h | UART1端子選択レジスタ | U1SR | 82、447 |
| 018Ah | UART2端子選択レジスタ0 | U2SR0 | 83、474 |
| 018Bh | UART2端子選択レジスタ1 | U2SR1 | 84、475 |
| 018Ch | SSU/IIC端子選択レジスタ | SSUICSR | 84、513、544 |
| 018Dh | | | |
| 018Eh | INT割り込み入力端子選択レジスタ | INTSR | 85、166 |
| 018Fh | 入出力機能端子選択レジスタ | PINSR | 86、128、545 |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|-----------------------------|-------------|---------|
| 0190h | | | |
| 0191h | | | |
| 0192h | | | |
| 0193h | SSビットカウンタレジスタ | SSBR | 514 |
| 0194h | SS送信データレジスタL/IICバス送信データレジスタ | SSTDR/ICDRT | 514、546 |
| 0195h | SS送信データレジスタH | SSTDRH | |
| 0196h | SS受信データレジスタL/IICバス受信データレジスタ | SSRDR/ICDRR | 515、546 |
| 0197h | SS受信データレジスタH | SSRDRH | |
| 0198h | SS制御レジスタH/IICバス制御レジスタ1 | SSCRH/ICCR1 | 515、547 |
| 0199h | SS制御レジスタL/IICバス制御レジスタ2 | SSCRL/ICCR2 | 516、548 |
| 019Ah | SSモードレジスタ/IICバスモードレジスタ | SSMR/ICMR | 517、549 |
| 019Bh | SS許可レジスタ/IIC割り込み許可レジスタ | SSER/ICIER | 518、550 |
| 019Ch | SSステータスレジスタ/IICバスステータスレジスタ | SSSR/ICSR | 519、551 |
| 019Dh | SSモードレジスタ2/スレーブアドレスレジスタ | SSMR2/SAR | 520、552 |
| 019Eh | | | |
| 019Fh | | | |
| 01A0h | | | |
| 01A1h | | | |
| 01A2h | | | |
| 01A3h | | | |
| 01A4h | | | |
| 01A5h | | | |
| 01A6h | | | |
| 01A7h | | | |
| 01A8h | | | |
| 01A9h | | | |
| 01AAh | | | |
| 01ABh | | | |
| 01ACh | | | |
| 01ADh | | | |
| 01AEh | | | |
| 01AFh | | | |
| 01B0h | | | |
| 01B1h | | | |
| 01B2h | フラッシュメモリステータスレジスタ | FST | 647 |
| 01B3h | | | |
| 01B4h | フラッシュメモリ制御レジスタ0 | FMR0 | 650 |
| 01B5h | フラッシュメモリ制御レジスタ1 | FMR1 | 653 |
| 01B6h | フラッシュメモリ制御レジスタ2 | FMR2 | 655 |
| 01B7h | | | |
| 01B8h | | | |
| 01B9h | | | |
| 01BAh | | | |
| 01BBh | | | |
| 01BCh | | | |
| 01BDh | | | |
| 01BEh | | | |
| 01BFh | | | |
| 01C0h | アドレス一致割り込みレジスタ0 | RMAD0 | 173 |
| 01C1h | | | |
| 01C2h | | | |
| 01C3h | アドレス一致割り込み許可レジスタ0 | AIER0 | 173 |
| 01C4h | アドレス一致割り込みレジスタ1 | RMAD1 | 173 |
| 01C5h | | | |
| 01C6h | | | |
| 01C7h | アドレス一致割り込み許可レジスタ1 | AIER1 | 173 |
| 01C8h | | | |
| 01C9h | | | |
| 01CAh | | | |
| 01CBh | | | |
| 01CCh | | | |
| 01CDh | | | |
| 01CEh | | | |
| 01CFh | | | |

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|------------------|--------|---------|
| 01D0h | | | |
| 01D1h | | | |
| 01D2h | | | |
| 01D3h | | | |
| 01D4h | | | |
| 01D5h | | | |
| 01D6h | | | |
| 01D7h | | | |
| 01D8h | | | |
| 01D9h | | | |
| 01DAh | | | |
| 01DBh | | | |
| 01DCh | | | |
| 01DDh | | | |
| 01DEh | | | |
| 01DFh | | | |
| 01E0h | ブルアップ制御レジスタ0 | PUR0 | 87 |
| 01E1h | ブルアップ制御レジスタ1 | PUR1 | 87 |
| 01E2h | | | |
| 01E3h | | | |
| 01E4h | | | |
| 01E5h | | | |
| 01E6h | | | |
| 01E7h | | | |
| 01E8h | | | |
| 01E9h | | | |
| 01EAh | | | |
| 01EBh | | | |
| 01ECh | | | |
| 01EDh | | | |
| 01EEh | | | |
| 01EFh | | | |
| 01F0h | ポートP1駆動能力制御レジスタ | P1DRR | 88 |
| 01F1h | ポートP2駆動能力制御レジスタ | P2DRR | 88 |
| 01F2h | 駆動能力制御レジスタ0 | DRR0 | 89 |
| 01F3h | 駆動能力制御レジスタ1 | DRR1 | 90 |
| 01F4h | | | |
| 01F5h | 入力しきい値制御レジスタ0 | VLT0 | 91 |
| 01F6h | 入力しきい値制御レジスタ1 | VLT1 | 92 |
| 01F7h | | | |
| 01F8h | コンバータB制御レジスタ0 | INTCMP | 637 |
| 01F9h | | | |
| 01FAh | 外部入力許可レジスタ0 | INTEN | 167、637 |
| 01FBh | 外部入力許可レジスタ1 | INTEN1 | 167 |
| 01FCh | INT入力フィルタ選択レジスタ0 | INTF | 168、638 |
| 01FDh | INT入力フィルタ選択レジスタ1 | INTF1 | 168 |
| 01FEh | キー入力許可レジスタ0 | KIEN | 171 |
| 01FFh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|---------------|-------|-------|
| 2C00h | DTC転送ベクタ領域 | | |
| 2C01h | DTC転送ベクタ領域 | | |
| 2C02h | DTC転送ベクタ領域 | | |
| 2C03h | DTC転送ベクタ領域 | | |
| 2C04h | DTC転送ベクタ領域 | | |
| 2C05h | DTC転送ベクタ領域 | | |
| 2C06h | DTC転送ベクタ領域 | | |
| 2C07h | DTC転送ベクタ領域 | | |
| 2C08h | DTC転送ベクタ領域 | | |
| 2C09h | DTC転送ベクタ領域 | | |
| 2C0Ah | DTC転送ベクタ領域 | | |
| | : DTC転送ベクタ領域 | | |
| | : DTC転送ベクタ領域 | | |
| 2C3Ah | DTC転送ベクタ領域 | | |
| 2C3Bh | DTC転送ベクタ領域 | | |
| 2C3Ch | DTC転送ベクタ領域 | | |
| 2C3Dh | DTC転送ベクタ領域 | | |
| 2C3Eh | DTC転送ベクタ領域 | | |
| 2C3Fh | DTC転送ベクタ領域 | | |
| 2C40h | DTCコントロールデータ0 | DTCD0 | |
| 2C41h | | | |
| 2C42h | | | |
| 2C43h | | | |
| 2C44h | | | |
| 2C45h | | | |
| 2C46h | | | |
| 2C47h | | | |
| 2C48h | DTCコントロールデータ1 | DTCD1 | |
| 2C49h | | | |
| 2C4Ah | | | |
| 2C4Bh | | | |
| 2C4Ch | | | |
| 2C4Dh | | | |
| 2C4Eh | | | |
| 2C4Fh | | | |
| 2C50h | DTCコントロールデータ2 | DTCD2 | |
| 2C51h | | | |
| 2C52h | | | |
| 2C53h | | | |
| 2C54h | | | |
| 2C55h | | | |
| 2C56h | | | |
| 2C57h | | | |
| 2C58h | DTCコントロールデータ3 | DTCD3 | |
| 2C59h | | | |
| 2C5Ah | | | |
| 2C5Bh | | | |
| 2C5Ch | | | |
| 2C5Dh | | | |
| 2C5Eh | | | |
| 2C5Fh | | | |
| 2C60h | DTCコントロールデータ4 | DTCD4 | |
| 2C61h | | | |
| 2C62h | | | |
| 2C63h | | | |
| 2C64h | | | |
| 2C65h | | | |
| 2C66h | | | |
| 2C67h | | | |
| 2C68h | DTCコントロールデータ5 | DTCD5 | |
| 2C69h | | | |
| 2C6Ah | | | |
| 2C6Bh | | | |
| 2C6Ch | | | |
| 2C6Dh | | | |
| 2C6Eh | | | |
| 2C6Fh | | | |

| 番地 | レジスタ | シンボル | 掲載ページ |
|-------|----------------|--------|-------|
| 2C70h | DTCコントロールデータ6 | DTCD6 | |
| 2C71h | | | |
| 2C72h | | | |
| 2C73h | | | |
| 2C74h | | | |
| 2C75h | | | |
| 2C76h | | | |
| 2C77h | | | |
| 2C78h | DTCコントロールデータ7 | DTCD7 | |
| 2C79h | | | |
| 2C7Ah | | | |
| 2C7Bh | | | |
| 2C7Ch | | | |
| 2C7Dh | | | |
| 2C7Eh | | | |
| 2C7Fh | | | |
| 2C80h | DTCコントロールデータ8 | DTCD8 | |
| 2C81h | | | |
| 2C82h | | | |
| 2C83h | | | |
| 2C84h | | | |
| 2C85h | | | |
| 2C86h | | | |
| 2C87h | | | |
| 2C88h | DTCコントロールデータ9 | DTCD9 | |
| 2C89h | | | |
| 2C8Ah | | | |
| 2C8Bh | | | |
| 2C8Ch | | | |
| 2C8Dh | | | |
| 2C8Eh | | | |
| 2C8Fh | | | |
| 2C90h | DTCコントロールデータ10 | DTCD10 | |
| 2C91h | | | |
| 2C92h | | | |
| 2C93h | | | |
| 2C94h | | | |
| 2C95h | | | |
| 2C96h | | | |
| 2C97h | | | |
| 2C98h | DTCコントロールデータ11 | DTCD11 | |
| 2C99h | | | |
| 2C9Ah | | | |
| 2C9Bh | | | |
| 2C9Ch | | | |
| 2C9Dh | | | |
| 2C9Eh | | | |
| 2C9Fh | | | |
| 2CA0h | DTCコントロールデータ12 | DTCD12 | |
| 2CA1h | | | |
| 2CA2h | | | |
| 2CA3h | | | |
| 2CA4h | | | |
| 2CA5h | | | |
| 2CA6h | | | |
| 2CA7h | | | |
| 2CA8h | DTCコントロールデータ13 | DTCD13 | |
| 2CA9h | | | |
| 2CAAh | | | |
| 2CABh | | | |
| 2CACH | | | |
| 2CADh | | | |
| 2CAEh | | | |
| 2CAFh | | | |

| 番地 | レジスタ | シンボル | 掲載ページ |
|--------|----------------|--------|-------|
| 2CB0h | DTCコントロールデータ14 | DTCD14 | |
| 2CB1h | | | |
| 2CB2h | | | |
| 2CB3h | | | |
| 2CB4h | | | |
| 2CB5h | | | |
| 2CB6h | | | |
| 2CB7h | | | |
| 2CB8h | DTCコントロールデータ15 | DTCD15 | |
| 2CB9h | | | |
| 2CBAh | | | |
| 2CBBh | | | |
| 2CBCh | | | |
| 2CBDh | | | |
| 2CBEh | | | |
| 2CBFh | | | |
| 2CC0h | DTCコントロールデータ16 | DTCD16 | |
| 2CC1h | | | |
| 2CC2h | | | |
| 2CC3h | | | |
| 2CC4h | | | |
| 2CC5h | | | |
| 2CC6h | | | |
| 2CC7h | | | |
| 2CC8h | DTCコントロールデータ17 | DTCD17 | |
| 2CC9h | | | |
| 2CCAh | | | |
| 2CCBh | | | |
| 2CCCh | | | |
| 2CCDh | | | |
| 2CCEh | | | |
| 2CCFh | | | |
| 2CD0h | DTCコントロールデータ18 | DTCD18 | |
| 2CD1h | | | |
| 2CD2h | | | |
| 2CD3h | | | |
| 2CD4h | | | |
| 2CD5h | | | |
| 2CD6h | | | |
| 2CD7h | | | |
| 2CD8h | DTCコントロールデータ19 | DTCD19 | |
| 2CD9h | | | |
| 2CDAh | | | |
| 2CDBh | | | |
| 2CDCCh | | | |
| 2CDDh | | | |
| 2CDEh | | | |
| 2CDFh | | | |
| 2CE0h | DTCコントロールデータ20 | DTCD20 | |
| 2CE1h | | | |
| 2CE2h | | | |
| 2CE3h | | | |
| 2CE4h | | | |
| 2CE5h | | | |
| 2CE6h | | | |
| 2CE7h | | | |
| 2CE8h | DTCコントロールデータ21 | DTCD21 | |
| 2CE9h | | | |
| 2CEAh | | | |
| 2CEBh | | | |
| 2CECh | | | |
| 2CEDh | | | |
| 2CEEh | | | |
| 2CEFh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地 | レジスタ | シンボル | 掲載 ページ |
|-------|----------------|--------|-----------|
| 2CF0h | DTCコントロールデータ22 | DTCD22 | |
| 2CF1h | | | |
| 2CF2h | | | |
| 2CF3h | | | |
| 2CF4h | | | |
| 2CF5h | | | |
| 2CF6h | | | |
| 2CF7h | | | |
| 2CF8h | DTCコントロールデータ23 | DTCD23 | |
| 2CF9h | | | |
| 2CAh | | | |
| 2CFBh | | | |
| 2CFCh | | | |
| 2CFDh | | | |
| 2CFEh | | | |
| 2CFFh | | | |
| 2D00h | | | |
| 2D01h | | | |

:

| | | | |
|-------|----------------|------|------------|
| FFDBh | オプション機能選択レジスタ2 | OFS2 | 31、185、192 |
|-------|----------------|------|------------|

:

| | | | |
|------|---------------|-----|-----------------------|
| FFFh | オプション機能選択レジスタ | OFS | 30、49、184、 191、645 |
|------|---------------|-----|-----------------------|

注1. 空欄は予約領域です。アクセスしないでください。

1. 概要

1.1 特長

R8C/34Mグループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/34MグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ(1KB×4ブロック)を内蔵します。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表 1.1 ~ 表 1.2 に R8C/34M グループ の仕様概要を示します。

表 1.1 R8C/34Mグループの仕様概要 (1)

| 分類 | 機能 | 説明 |
|----------------------|------------------|---|
| CPU | 中央演算処理装置 | R8C CPU コア <ul style="list-style-type: none"> 基本命令数：89 命令 最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=1.8~5.5V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト) |
| メモリ | ROM、RAM、データフラッシュ | 「表 1.3 R8C/34Mグループの製品一覧表」を参照してください |
| 電圧検出 | 電圧検出回路 | <ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能) |
| I/Oポート | プログラマブル入出力ポート | <ul style="list-style-type: none"> 入力専用：1 CMOS入出力:43、プルアップ抵抗選択可能 大電流駆動ポート：43 |
| クロック | クロック発生回路 | <ul style="list-style-type: none"> 4回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード |
| | | リアルタイムクロック(タイマー)あり |
| 割り込み | | <ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル |
| ウォッチドッグタイマ | | <ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能 |
| DTC(データトランスファコントローラ) | | <ul style="list-style-type: none"> 1チャンネル 起動要因：33 転送モード：2(ノーマルモード、リピートモード) |
| タイマ | タイマRA | 8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード |
| | タイマRB | 8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード |
| | タイマRC | 16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本) |
| | タイマRD | 16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本) |
| | タイマRE | 8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード |

表1.2 R8C/34Mグループの仕様概要 (2)

| 分類 | 機能 | 説明 |
|------------------------------|-------------|--|
| シリアルインタフェース | UART0、UART1 | クロック同期形シリアルI/O / 非同期形シリアルI/O兼用 × 2チャンネル |
| | UART2 | クロック同期形シリアルI/O / 非同期形シリアルI/O兼用、I ² Cモード(I ² Cバス)、マルチプロセッサ通信機能 |
| シンクロナスシリアルコミュニケーションユニット(SSU) | | 1(I ² Cバスと兼用) |
| I ² Cバス | | 1(SSUと兼用) |
| LINモジュール | | ハードウェアLIN : 1(タイマRA、UART0を使用) |
| A/Dコンバータ | | 分解能10ビット × 12チャンネル、サンプル&ホールドあり、掃引モードあり |
| D/Aコンバータ | | 分解能8ビット × 2回路 |
| コンパレータA | | ・ 2回路(電圧監視1、電圧監視2と兼用) ・ 外部基準電圧入力可能 |
| コンパレータB | | 2回路 |
| フラッシュメモリ | | ・ プログラム、イレーズ電圧 : VCC=2.7 ~ 5.5V ・ プログラム、イレーズ回数 : 10,000回(データフラッシュ) 1,000回(プログラムROM) ・ プログラムセキュリティ : ROMコードプロテクト、IDコードチェック ・ デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え機能 ・ BGO (バックグラウンドオペレーション)機能 |
| 動作周波数/電源電圧 | | f(XIN)=20MHz(VCC=2.7~5.5V) f(XIN)=5MHz(VCC=1.8~5.5V) |
| 消費電流 | | 標準 6.5mA (VCC=5V、f(XIN)=20MHz) 標準 3.5mA (VCC=3V、f(XIN)=10MHz) 標準 3.5 μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 2.0 μA (VCC=3V、ストップモード) |
| 動作周囲温度 | | -20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)(注1) |
| パッケージ | | 48ピンLQFP パッケージコード : PLQP0048KB-A(旧コード : 48P6Q-A) |

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

1.2 製品一覧

表 1.3にR8C/34Mグループの製品一覧表、図 1.1にR8C/34Mグループの型名とメモリサイズ・パッケージを示します。

表 1.3 R8C/34Mグループの製品一覧表

2011年6月現在

| 型名 | 内部ROM容量 | | 内部RAM容量 | パッケージ | 備考 |
|--------------|----------|----------|---------|--------------|--------|
| | プログラムROM | データフラッシュ | | | |
| R5F21344MNFP | 16Kバイト | 1Kバイト×4 | 1.5Kバイト | PLQP0048KB-A | Nバージョン |
| R5F21345MNFP | 24Kバイト | 1Kバイト×4 | 2Kバイト | PLQP0048KB-A | |
| R5F21346MNFP | 32Kバイト | 1Kバイト×4 | 2.5Kバイト | PLQP0048KB-A | |
| R5F21344MDFP | 16Kバイト | 1Kバイト×4 | 1.5Kバイト | PLQP0048KB-A | Dバージョン |
| R5F21345MDFP | 24Kバイト | 1Kバイト×4 | 2Kバイト | PLQP0048KB-A | |
| R5F21346MDFP | 32Kバイト | 1Kバイト×4 | 2.5Kバイト | PLQP0048KB-A | |

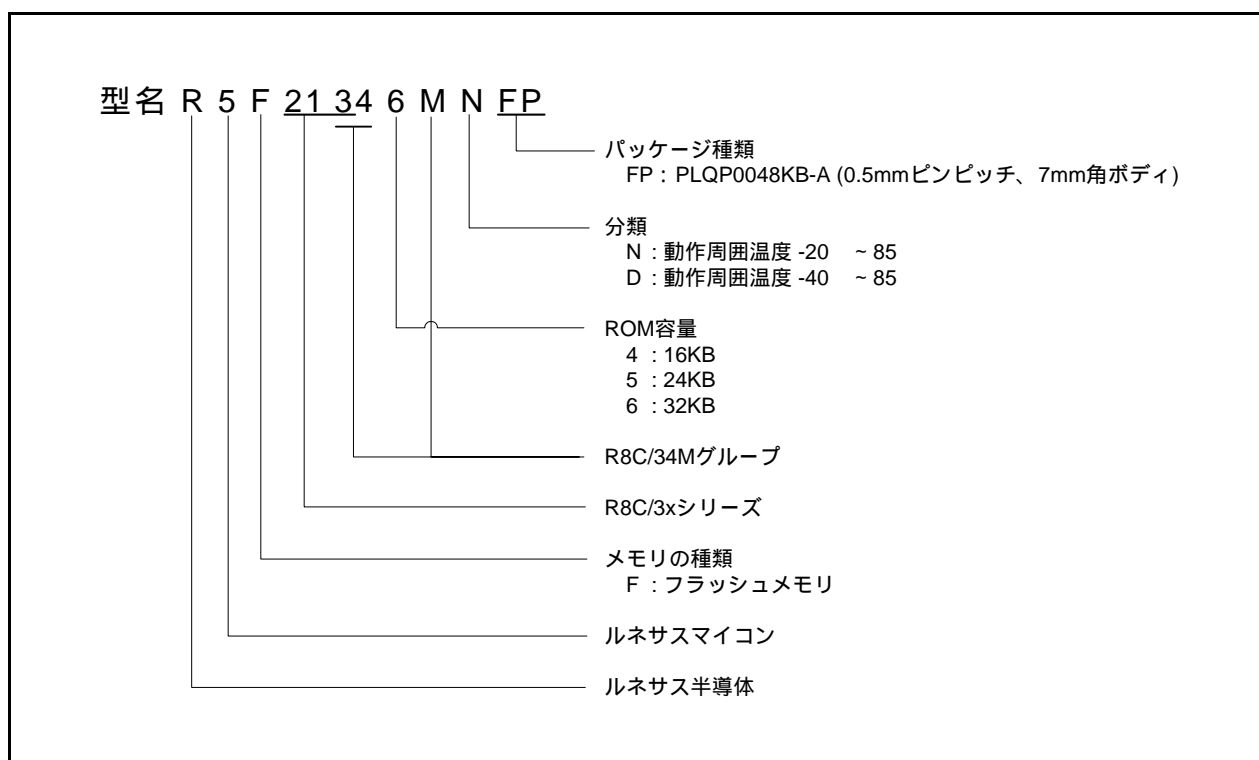


図 1.1 R8C/34Mグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にブロック図を示します。

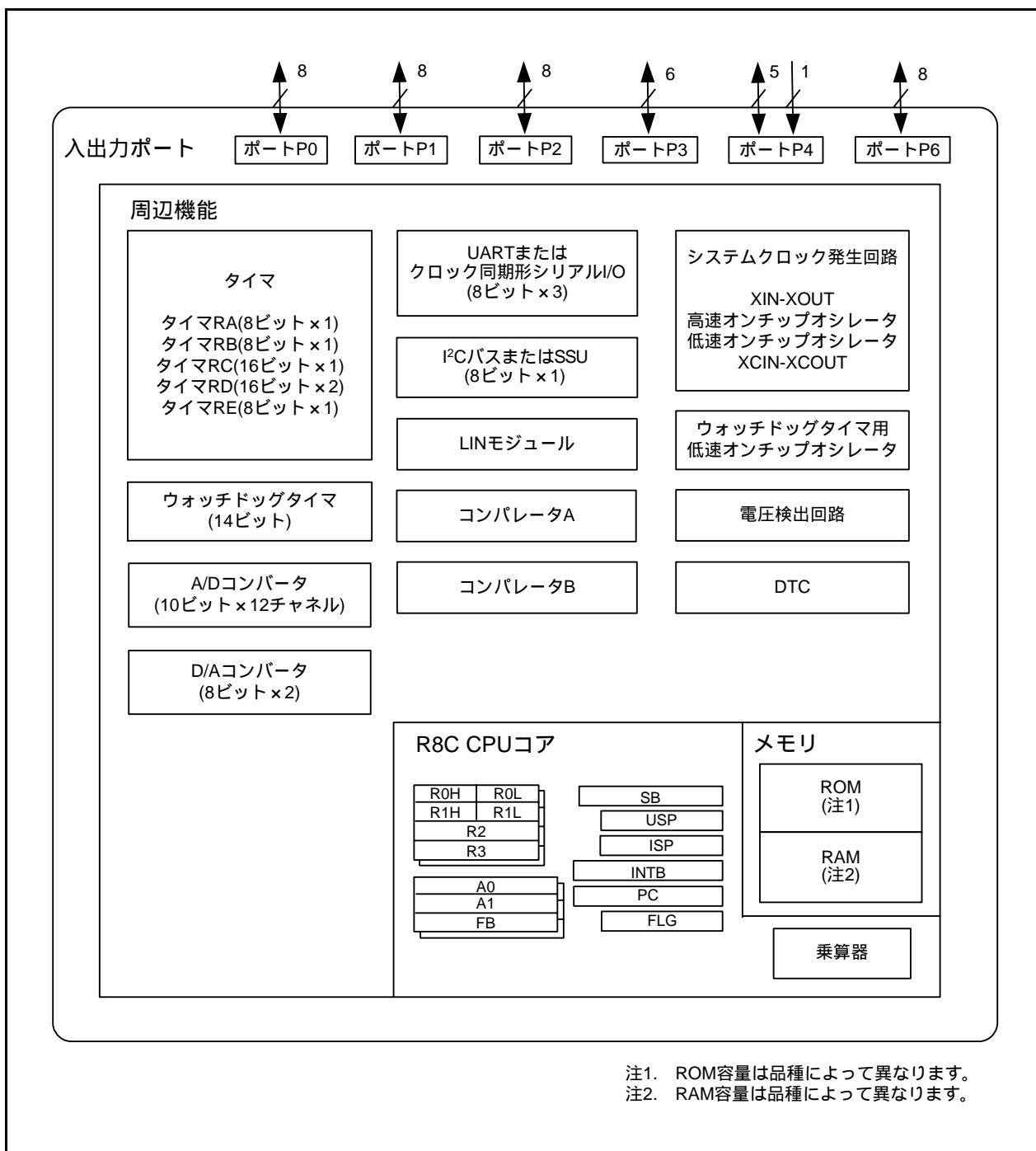


図1.2 ブロック図

1.4 ピン配置図

図 1.3にピン配置図(上面図)、表 1.4 ~ 表 1.5にピン番号別端子名一覧を示します。

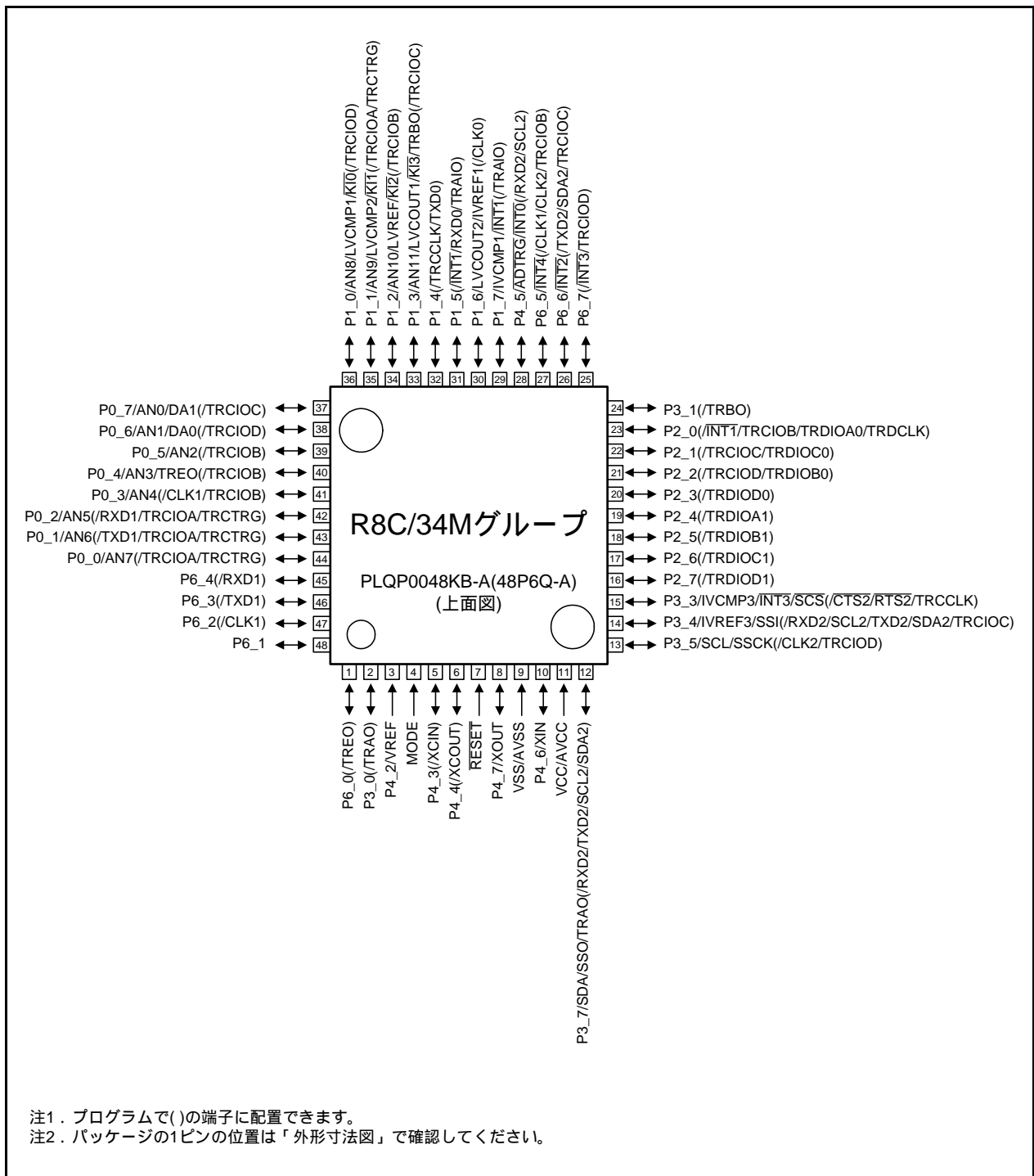


図 1.3 ピン配置図(上面図)

表 1.4 ピン番号別端子名一覧 (1)

| ピン番号 | 制御端子 | ポート | 周辺機能の入出力端子 | | | | | |
|------|----------|------|------------|---------------------------------|---------------------------|------|--------------------|-----------------------------------|
| | | | 割り込み | タイマ | シリアルインタフェース | SSU | I ² Cバス | A/Dコンバータ、D/Aコンバータ、コンパレータA、コンパレータB |
| 1 | | P6_0 | | (TREQ) | | | | |
| 2 | | P3_0 | | (TRAO) | | | | |
| 3 | | P4_2 | | | | | | VREF |
| 4 | MODE | | | | | | | |
| 5 | (XCIN) | P4_3 | | | | | | |
| 6 | (XCOUT) | P4_4 | | | | | | |
| 7 | RESET | | | | | | | |
| 8 | XOUT | P4_7 | | | | | | |
| 9 | VSS/AVSS | | | | | | | |
| 10 | XIN | P4_6 | | | | | | |
| 11 | VCC/AVCC | | | | | | | |
| 12 | | P3_7 | | TRAO | (RXD2/SCL2/ TXD2/SDA2) | SSO | SDA | |
| 13 | | P3_5 | | (TRCIOD) | (CLK2) | SSCK | SCL | |
| 14 | | P3_4 | | (TRCIOC) | (RXD2/SCL2/ TXD2/SDA2) | SSI | | IVREF3 |
| 15 | | P3_3 | INT3 | (TRCCLK) | (CTS2/RTS2) | SCS | | IVCMP3 |
| 16 | | P2_7 | | (TRDIOD1) | | | | |
| 17 | | P2_6 | | (TRDIOC1) | | | | |
| 18 | | P2_5 | | (TRDIOB1) | | | | |
| 19 | | P2_4 | | (TRDIOA1) | | | | |
| 20 | | P2_3 | | (TRDIOD0) | | | | |
| 21 | | P2_2 | | (TRCIOD/ TRDIOB0) | | | | |
| 22 | | P2_1 | | (TRCIOC/ TRDIOC0) | | | | |
| 23 | | P2_0 | (INT1) | (TRCIOB/ TRDIOA0/ TRDCLK) | | | | |
| 24 | | P3_1 | | (TRBO) | | | | |
| 25 | | P6_7 | (INT3) | (TRCIOD) | | | | |
| 26 | | P6_6 | INT2 | (TRCIOC) | (TXD2/SDA2) | | | |
| 27 | | P6_5 | INT4 | (TRCIOB) | (CLK1/CLK2) | | | |
| 28 | | P4_5 | INT0 | | (RXD2/SCL2) | | | ADTRG |
| 29 | | P1_7 | INT1 | (TRAIO) | | | | IVCMP1 |
| 30 | | P1_6 | | | (CLK0) | | | LVCOUT2/IVREF1 |
| 31 | | P1_5 | (INT1) | (TRAIO) | (RXD0) | | | |
| 32 | | P1_4 | | (TRCCLK) | (TXD0) | | | |
| 33 | | P1_3 | KI3 | TRBO/ (TRCIOC) | | | | AN11/LVCOUT1 |
| 34 | | P1_2 | KI2 | (TRCIOB) | | | | AN10/LVREF |
| 35 | | P1_1 | KI1 | (TRCIOA/ TRCTRG) | | | | AN9/LVCMP2 |

注1. プログラムで()の端子に配置できます。

表 1.5 ピン番号別端子名一覧 (2)

| ピン 番号 | 制御端子 | ポート | 周辺機能の入出力端子 | | | | | |
|----------|------|------|-------------------------|---------------------|-----------------|-----|--------------------|---|
| | | | 割り込み | タイマ | シリアルイン タフェース | SSU | I ² Cバス | A/Dコンバータ、 D/Aコンバータ、 コンパレータA、 コンパレータB |
| 36 | | P1_0 | $\overline{\text{KIO}}$ | (TRCIOD) | | | | AN8/LVCMP1 |
| 37 | | P0_7 | | (TRCIOC) | | | | AN0/DA1 |
| 38 | | P0_6 | | (TRCIOD) | | | | AN1/DA0 |
| 39 | | P0_5 | | (TRCIOB) | | | | AN2 |
| 40 | | P0_4 | | TREO (/TRCIOB) | | | | AN3 |
| 41 | | P0_3 | | (TRCIOB) | (CLK1) | | | AN4 |
| 42 | | P0_2 | | (TRCIOA/ TRCTRG) | (RXD1) | | | AN5 |
| 43 | | P0_1 | | (TRCIOA/ TRCTRG) | (TXD1) | | | AN6 |
| 44 | | P0_0 | | (TRCIOA/ TRCTRG) | | | | AN7 |
| 45 | | P6_4 | | | (RXD1) | | | |
| 46 | | P6_3 | | | (TXD1) | | | |
| 47 | | P6_2 | | | (CLK1) | | | |
| 48 | | P6_1 | | | | | | |

注1. プログラムで()の端子に配置できます。

1.5 端子機能の説明

表 1.6 ~ 表 1.7 に端子機能の説明を示します。

表 1.6 端子機能の説明 (1)

| 分類 | 端子名 | 入出力 | 機能 |
|--------------------|---|----------------|--|
| 電源入力 | VCC VSS | - | VCCには、1.8V ~ 5.5Vを入力してください。 VSSには、0Vを入力してください。 |
| アナログ電源入力 | AVCC、AVSS | - | A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。 |
| リセット入力 | RESET | 入力 | この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。 |
| MODE | MODE | 入力 | 抵抗を介してVCCに接続してください。 |
| XINクロック入力 | XIN | 入力 | XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XOUTからクロックを入力し、XINは開放にしてください。 |
| XINクロック出力 | XOUT | 入出力 | |
| XCINクロック入力 | XCIN | 入力 | XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。 |
| XCINクロック出力 | XCOUT | 出力 | |
| INT割り込み入力 | INT0 ~ INT4 | 入力 | INT割り込みの入力です。 INT0はタイマRB、RC、RDの入力です。 |
| キー入力割り込み入力 | KI0 ~ KI3 | 入力 | キー入力割り込みの入力です。 |
| タイマRA | TRAIO | 入出力 | タイマRAの入出力です。 |
| | TRAO | 出力 | タイマRAの出力です。 |
| タイマRB | TRBO | 出力 | タイマRBの出力です。 |
| タイマRC | TRCCLK | 入力 | 外部クロック入力です。 |
| | TRCTRG | 入力 | 外部トリガ入力です。 |
| | TRCIOA、TRCIOB、 TRCIOC、TRCIOD | 入出力 | タイマRCの入出力です。 |
| タイマRD | TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1 | 入出力 | タイマRDの入出力です。 |
| | TRDCLK | 入力 | 外部クロック入力です。 |
| | TREO | 出力 | 分周クロック出力です。 |
| | シリアルインタフェース | CLK0、CLK1、CLK2 | 入出力 |
| シリアルインタフェース | RXD0、RXD1、RXD2 | 入力 | シリアルデータ入力です。 |
| | TXD0、TXD1、TXD2 | 出力 | シリアルデータ出力です。 |
| | CTS2 | 入力 | 送信制御用入力です。 |
| | RTS2 | 出力 | 受信制御用出力です。 |
| | SCL2 | 入出力 | I ² Cモードのクロック入出力です。 |
| | SDA2 | 入出力 | I ² Cモードのデータ入出力です。 |
| I ² Cバス | SCL | 入出力 | クロック入出力です。 |
| | SDA | 入出力 | データ入出力です。 |
| SSU | SSI | 入出力 | データ入出力です。 |
| | SCS | 入出力 | チップセレクト入出力です。 |
| | SSCK | 入出力 | クロック入出力です。 |
| | SSO | 入出力 | データ入出力です。 |

注1. 発振特性は発振子メーカーにお問い合わせください。

表 1.7 端子機能の説明 (2)

| 分類 | 端子名 | 入出力 | 機能 |
|----------|---|-----|---|
| 基準電圧入力 | VREF | 入力 | A/DコンバータおよびD/Aコンバータの基準電圧入力です。 |
| A/Dコンバータ | AN0 ~ AN11 | 入力 | A/Dコンバータのアナログ入力です。 |
| | ADTRG | 入力 | A/D外部トリガ入力です。 |
| D/Aコンバータ | DA0、DA1 | 出力 | D/Aコンバータの出力です。 |
| コンパレータA | LVCMP1、LVCMP2 | 入力 | コンパレータAのアナログ電圧入力端子です。 |
| | LVREF | 入力 | コンパレータAの基準電圧入力端子です。 |
| | LVCOUT1、LVCOUT2 | 出力 | コンパレータAの出力端子です。 |
| コンパレータB | IVCMP1、IVCMP3 | 入力 | コンパレータBのアナログ電圧入力端子です。 |
| | IVREF1、IVREF3 | 入力 | コンパレータBのリファレンス電圧入力端子です。 |
| 入出力ポート | P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0、P3_1、 P3_3 ~ P3_5、P3_7 P4_3 ~ P4_7、 P6_0 ~ P6_7 | 入出力 | CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 すべてのポートは、LED駆動ポートとして使用できます。 |
| 入力ポート | P4_2 | 入力 | 入力専用ポートです。 |

2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。CPU には 13 個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FB はレジスタバンクを構成しています。レジスタバンクは 2 セットあります。

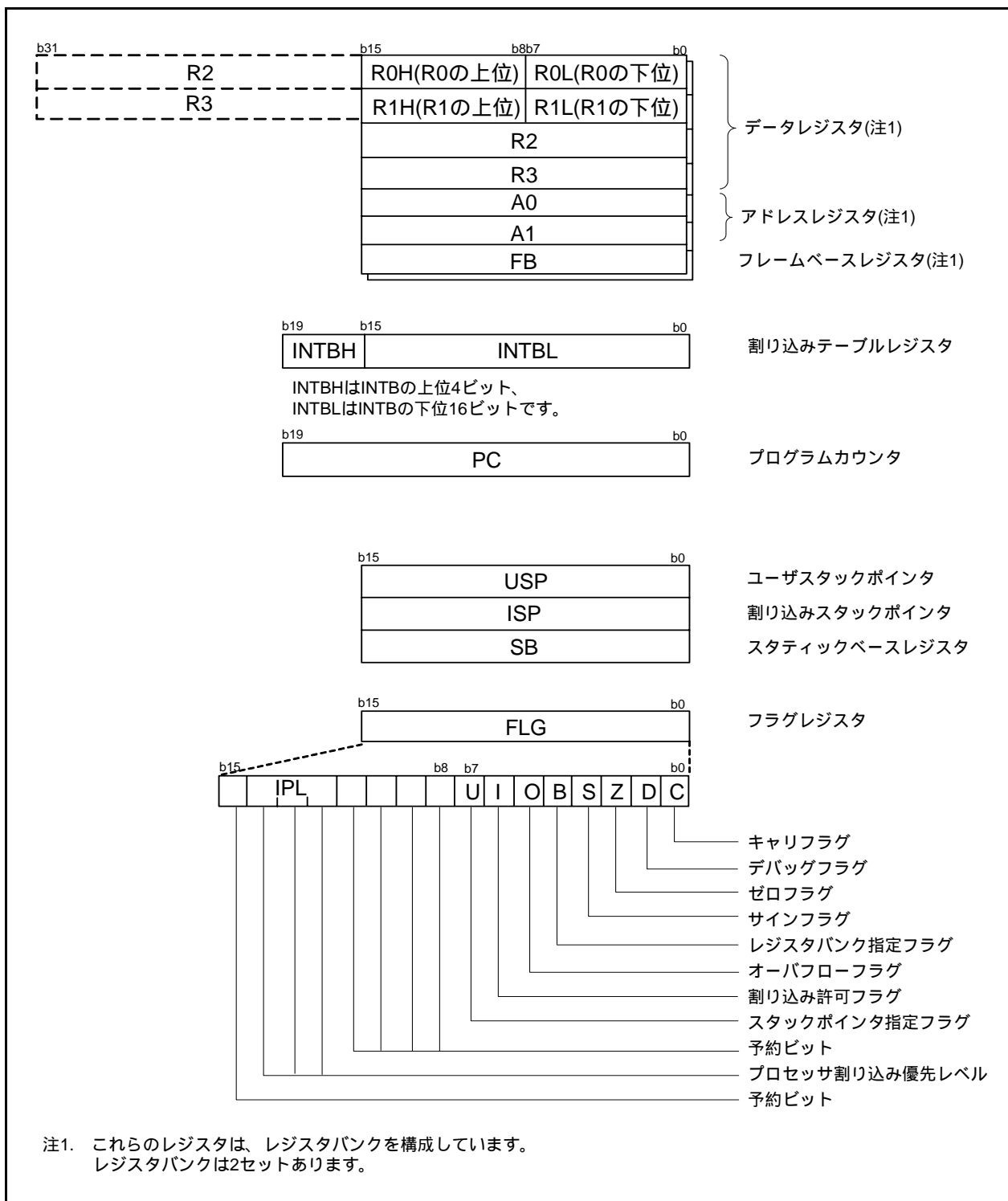


図 2.1 CPU のレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/34Mグループ

図3.1にR8C/34Mグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。例えば32Kバイトの内部ROMは、08000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

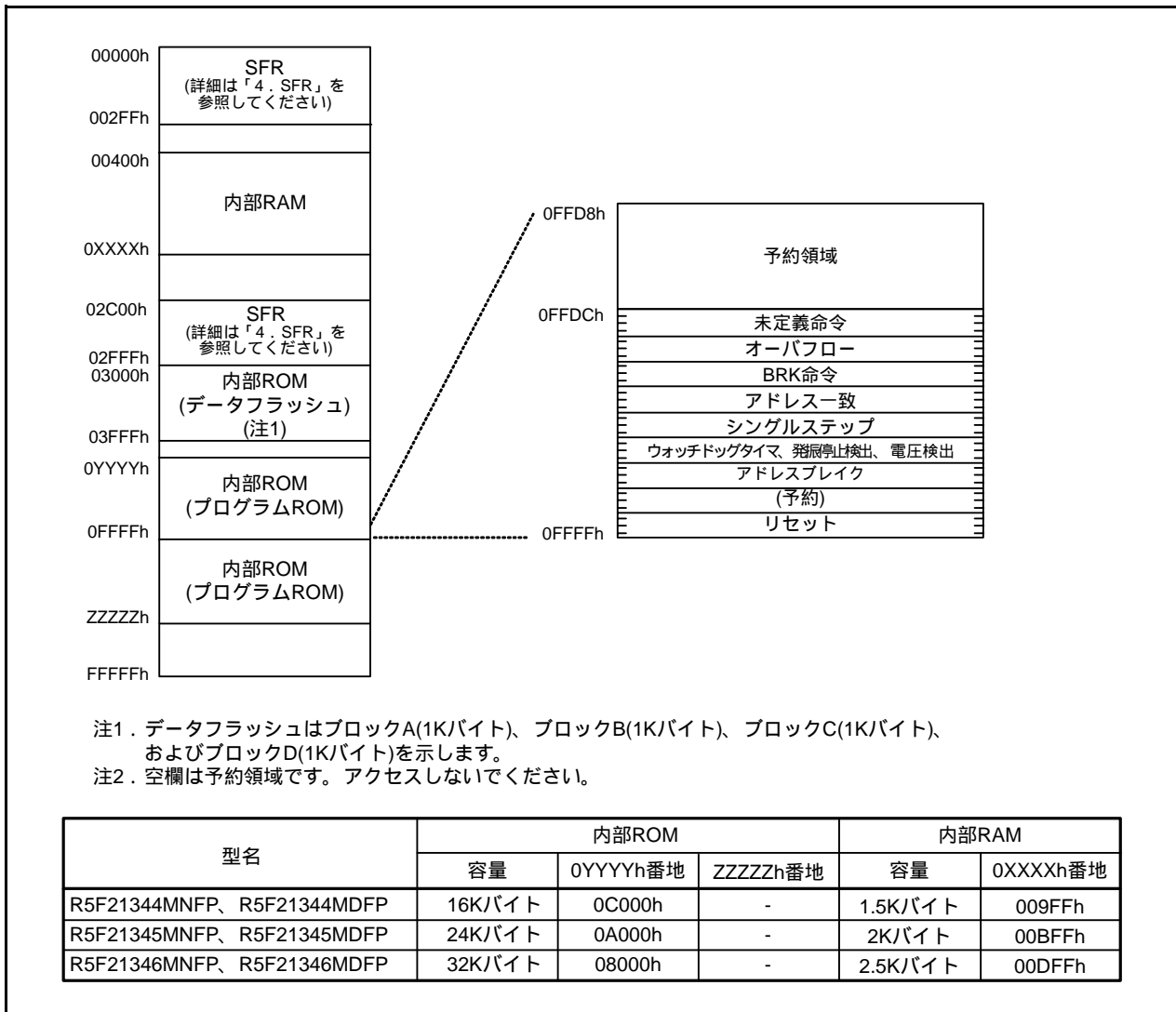


図3.1 R8C/34Mグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.12にSFR一覧表を、表4.13にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|----------------------|----------|----------------------------------|
| 0000h | | | |
| 0001h | | | |
| 0002h | | | |
| 0003h | | | |
| 0004h | プロセッサモードレジスタ0 | PM0 | 00h |
| 0005h | プロセッサモードレジスタ1 | PM1 | 00h |
| 0006h | システムクロック制御レジスタ0 | CM0 | 00101000b |
| 0007h | システムクロック制御レジスタ1 | CM1 | 00100000b |
| 0008h | モジュールスタンバイ制御レジスタ | MSTCR | 00h |
| 0009h | システムクロック制御レジスタ3 | CM3 | 00h |
| 000Ah | プロテクトレジスタ | PRCR | 00h |
| 000Bh | リセット要因判別レジスタ | RSTFR | 0XXXXXXb (注2) |
| 000Ch | 発振停止検出レジスタ | OCD | 00000100b |
| 000Dh | ウォッチドッグタイマリセットレジスタ | WDTR | XXh |
| 000Eh | ウォッチドッグタイマスタートレジスタ | WDTS | XXh |
| 000Fh | ウォッチドッグタイマ制御レジスタ | WDTC | 00111111b |
| 0010h | | | |
| 0011h | | | |
| 0012h | | | |
| 0013h | | | |
| 0014h | | | |
| 0015h | 高速オンチップオシレータ制御レジスタ7 | FRA7 | 出荷時の値 |
| 0016h | | | |
| 0017h | | | |
| 0018h | | | |
| 0019h | | | |
| 001Ah | | | |
| 001Bh | | | |
| 001Ch | カウントソース保護モードレジスタ | CSPR | 00h 10000000b (注3) |
| 001Dh | | | |
| 001Eh | | | |
| 001Fh | | | |
| 0020h | | | |
| 0021h | | | |
| 0022h | | | |
| 0023h | 高速オンチップオシレータ制御レジスタ0 | FRA0 | 00h |
| 0024h | 高速オンチップオシレータ制御レジスタ1 | FRA1 | 出荷時の値 |
| 0025h | 高速オンチップオシレータ制御レジスタ2 | FRA2 | 00h |
| 0026h | チップ内蔵基準電圧制御レジスタ | OCVREFCR | 00h |
| 0027h | | | |
| 0028h | 時計用プリスケアラリセットフラグ | CPSRF | 00h |
| 0029h | 高速オンチップオシレータ制御レジスタ4 | FRA4 | 出荷時の値 |
| 002Ah | 高速オンチップオシレータ制御レジスタ5 | FRA5 | 出荷時の値 |
| 002Bh | 高速オンチップオシレータ制御レジスタ6 | FRA6 | 出荷時の値 |
| 002Ch | | | |
| 002Dh | | | |
| 002Eh | | | |
| 002Fh | 高速オンチップオシレータ制御レジスタ3 | FRA3 | 出荷時の値 |
| 0030h | 電圧監視回路/コンパレータA制御レジスタ | CMPA | 00h |
| 0031h | 電圧監視回路エッジ選択レジスタ | VCAC | 00h |
| 0032h | | | |
| 0033h | 電圧検出レジスタ1 | VCA1 | 00001000b |
| 0034h | 電圧検出レジスタ2 | VCA2 | 00h (注4) 00100000b (注5) |
| 0035h | | | |
| 0036h | 電圧検出1レベル選択レジスタ | VD1LS | 00000111b |
| 0037h | | | |
| 0038h | 電圧監視0回路制御レジスタ | VW0C | 1100X010b (注4) 1100X011b (注5) |
| 0039h | 電圧監視1回路制御レジスタ | VW1C | 10001010b |

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

注4. OFSレジスタのLVDASビットが“1”の場合。

注5. OFSレジスタのLVDASビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|-----------------------------------|-------------|-----------|
| 003Ah | 電圧監視2回路制御レジスタ | VW2C | 1000010b |
| 003Bh | | | |
| 003Ch | | | |
| 003Dh | | | |
| 003Eh | | | |
| 003Fh | | | |
| 0040h | | | |
| 0041h | フラッシュメモリレディ割り込み制御レジスタ | FMRDYIC | XXXXX000b |
| 0042h | | | |
| 0043h | | | |
| 0044h | | | |
| 0045h | | | |
| 0046h | INT4割り込み制御レジスタ | INT4IC | XX00X000b |
| 0047h | タイマRC割り込み制御レジスタ | TRCIC | XXXXX000b |
| 0048h | タイマRD0割り込み制御レジスタ | TRD0IC | XXXXX000b |
| 0049h | タイマRD1割り込み制御レジスタ | TRD1IC | XXXXX000b |
| 004Ah | タイマRE割り込み制御レジスタ | TREIC | XXXXX000b |
| 004Bh | UART2送信割り込み制御レジスタ | S2TIC | XXXXX000b |
| 004Ch | UART2受信割り込み制御レジスタ | S2RIC | XXXXX000b |
| 004Dh | キー入力割り込み制御レジスタ | KUPIC | XXXXX000b |
| 004Eh | A/D変換割り込み制御レジスタ | ADIC | XXXXX000b |
| 004Fh | SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ(注2) | SSUIC/IICIC | XXXXX000b |
| 0050h | | | |
| 0051h | UART0送信割り込み制御レジスタ | S0TIC | XXXXX000b |
| 0052h | UART0受信割り込み制御レジスタ | S0RIC | XXXXX000b |
| 0053h | UART1送信割り込み制御レジスタ | S1TIC | XXXXX000b |
| 0054h | UART1受信割り込み制御レジスタ | S1RIC | XXXXX000b |
| 0055h | INT2割り込み制御レジスタ | INT2IC | XX00X000b |
| 0056h | タイマRA割り込み制御レジスタ | TRAIC | XXXXX000b |
| 0057h | | | |
| 0058h | タイマRB割り込み制御レジスタ | TRBIC | XXXXX000b |
| 0059h | INT1割り込み制御レジスタ | INT1IC | XX00X000b |
| 005Ah | INT3割り込み制御レジスタ | INT3IC | XX00X000b |
| 005Bh | | | |
| 005Ch | | | |
| 005Dh | INT0割り込み制御レジスタ | INT0IC | XX00X000b |
| 005Eh | UART2バス衝突検出割り込み制御レジスタ | U2BCNIC | XXXXX000b |
| 005Fh | | | |
| 0060h | | | |
| 0061h | | | |
| 0062h | | | |
| 0063h | | | |
| 0064h | | | |
| 0065h | | | |
| 0066h | | | |
| 0067h | | | |
| 0068h | | | |
| 0069h | | | |
| 006Ah | | | |
| 006Bh | | | |
| 006Ch | | | |
| 006Dh | | | |
| 006Eh | | | |
| 006Fh | | | |
| 0070h | | | |
| 0071h | | | |
| 0072h | 電圧監視1/コンパレータA1割り込み制御レジスタ | VCMP1IC | XXXXX000b |
| 0073h | 電圧監視2/コンパレータA2割り込み制御レジスタ | VCMP2IC | XXXXX000b |
| 0074h | | | |
| 0075h | | | |
| 0076h | | | |
| 0077h | | | |
| 0078h | | | |
| 0079h | | | |
| 007Ah | | | |
| 007Bh | | | |
| 007Ch | | | |
| 007Dh | | | |
| 007Eh | | | |
| 007Fh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUIICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|-----------------------|--------|-----------|
| 0080h | DTC起動制御レジスタ | DCTL | 00h |
| 0081h | | | |
| 0082h | | | |
| 0083h | | | |
| 0084h | | | |
| 0085h | | | |
| 0086h | | | |
| 0087h | | | |
| 0088h | DTC起動許可レジスタ0 | DTCEN0 | 00h |
| 0089h | DTC起動許可レジスタ1 | DTCEN1 | 00h |
| 008Ah | DTC起動許可レジスタ2 | DTCEN2 | 00h |
| 008Bh | DTC起動許可レジスタ3 | DTCEN3 | 00h |
| 008Ch | DTC起動許可レジスタ4 | DTCEN4 | 00h |
| 008Dh | DTC起動許可レジスタ5 | DTCEN5 | 00h |
| 008Eh | DTC起動許可レジスタ6 | DTCEN6 | 00h |
| 008Fh | | | |
| 0090h | | | |
| 0091h | | | |
| 0092h | | | |
| 0093h | | | |
| 0094h | | | |
| 0095h | | | |
| 0096h | | | |
| 0097h | | | |
| 0098h | | | |
| 0099h | | | |
| 009Ah | | | |
| 009Bh | | | |
| 009Ch | | | |
| 009Dh | | | |
| 009Eh | | | |
| 009Fh | | | |
| 00A0h | UART0送受信モードレジスタ | U0MR | 00h |
| 00A1h | UART0ビットレートレジスタ | U0BRG | XXh |
| 00A2h | UART0送信バッファレジスタ | U0TB | XXh |
| 00A3h | | | XXh |
| 00A4h | UART0送受信制御レジスタ0 | U0C0 | 00001000b |
| 00A5h | UART0送受信制御レジスタ1 | U0C1 | 00000010b |
| 00A6h | UART0受信バッファレジスタ | U0RB | XXh |
| 00A7h | | | XXh |
| 00A8h | UART2送受信モードレジスタ | U2MR | 00h |
| 00A9h | UART2ビットレートレジスタ | U2BRG | XXh |
| 00AAh | UART2送信バッファレジスタ | U2TB | XXh |
| 00ABh | | | XXh |
| 00ACh | UART2送受信制御レジスタ0 | U2C0 | 00001000b |
| 00ADh | UART2送受信制御レジスタ1 | U2C1 | 00000010b |
| 00AEh | UART2受信バッファレジスタ | U2RB | XXh |
| 00AFh | | | XXh |
| 00B0h | UART2デジタルフィルタ機能選択レジスタ | URXDF | 00h |
| 00B1h | | | |
| 00B2h | | | |
| 00B3h | | | |
| 00B4h | | | |
| 00B5h | | | |
| 00B6h | | | |
| 00B7h | | | |
| 00B8h | | | |
| 00B9h | | | |
| 00BAh | | | |
| 00BBh | UART2特殊モードレジスタ5 | U2SMR5 | 00h |
| 00BCh | UART2特殊モードレジスタ4 | U2SMR4 | 00h |
| 00BDh | UART2特殊モードレジスタ3 | U2SMR3 | 000X0X0Xb |
| 00BEh | UART2特殊モードレジスタ2 | U2SMR2 | X0000000b |
| 00BFh | UART2特殊モードレジスタ | U2SMR | X0000000b |

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|-------------|---------|-----------|
| 00C0h | A/Dレジスタ0 | AD0 | XXh |
| 00C1h | | | 000000XXb |
| 00C2h | A/Dレジスタ1 | AD1 | XXh |
| 00C3h | | | 000000XXb |
| 00C4h | A/Dレジスタ2 | AD2 | XXh |
| 00C5h | | | 000000XXb |
| 00C6h | A/Dレジスタ3 | AD3 | XXh |
| 00C7h | | | 000000XXb |
| 00C8h | A/Dレジスタ4 | AD4 | XXh |
| 00C9h | | | 000000XXb |
| 00CAh | A/Dレジスタ5 | AD5 | XXh |
| 00CBh | | | 000000XXb |
| 00CCh | A/Dレジスタ6 | AD6 | XXh |
| 00CDh | | | 000000XXb |
| 00CEh | A/Dレジスタ7 | AD7 | XXh |
| 00CFh | | | 000000XXb |
| 00D0h | | | |
| 00D1h | | | |
| 00D2h | | | |
| 00D3h | | | |
| 00D4h | A/Dモードレジスタ | ADMOD | 00h |
| 00D5h | A/D入力選択レジスタ | ADINSEL | 11000000b |
| 00D6h | A/D制御レジスタ0 | ADCON0 | 00h |
| 00D7h | A/D制御レジスタ1 | ADCON1 | 00h |
| 00D8h | D/A0レジスタ | DA0 | 00h |
| 00D9h | D/A1レジスタ | DA1 | 00h |
| 00DAh | | | |
| 00DBh | | | |
| 00DCh | D/A制御レジスタ | DACON | 00h |
| 00DDh | | | |
| 00DEh | | | |
| 00DFh | | | |
| 00E0h | ポートP0レジスタ | P0 | XXh |
| 00E1h | ポートP1レジスタ | P1 | XXh |
| 00E2h | ポートP0方向レジスタ | PD0 | 00h |
| 00E3h | ポートP1方向レジスタ | PD1 | 00h |
| 00E4h | ポートP2レジスタ | P2 | XXh |
| 00E5h | ポートP3レジスタ | P3 | XXh |
| 00E6h | ポートP2方向レジスタ | PD2 | 00h |
| 00E7h | ポートP3方向レジスタ | PD3 | 00h |
| 00E8h | ポートP4レジスタ | P4 | XXh |
| 00E9h | | | |
| 00EAh | ポートP4方向レジスタ | PD4 | 00h |
| 00EBh | | | |
| 00ECh | ポートP6レジスタ | P6 | XXh |
| 00EDh | | | |
| 00EEh | ポートP6方向レジスタ | PD6 | 00h |
| 00EFh | | | |
| 00F0h | | | |
| 00F1h | | | |
| 00F2h | | | |
| 00F3h | | | |
| 00F4h | | | |
| 00F5h | | | |
| 00F6h | | | |
| 00F7h | | | |
| 00F8h | | | |
| 00F9h | | | |
| 00FAh | | | |
| 00FBh | | | |
| 00FCh | | | |
| 00FDh | | | |
| 00FEh | | | |
| 00FFh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|---------------------------|---------|-----------|
| 0100h | タイマRA制御レジスタ | TRACR | 00h |
| 0101h | タイマRA I/O制御レジスタ | TRAIOC | 00h |
| 0102h | タイマRAモードレジスタ | TRAMR | 00h |
| 0103h | タイマRAプリスケアラレジスタ | TRAPRE | FFh |
| 0104h | タイマRAレジスタ | TRA | FFh |
| 0105h | LINコントロールレジスタ2 | LINCR2 | 00h |
| 0106h | LINコントロールレジスタ | LINCR | 00h |
| 0107h | LINステータスレジスタ | LINST | 00h |
| 0108h | タイマRB制御レジスタ | TRBCR | 00h |
| 0109h | タイマRBワンショット制御レジスタ | TRBOCR | 00h |
| 010Ah | タイマRB I/O制御レジスタ | TRBIOC | 00h |
| 010Bh | タイマRBモードレジスタ | TRBMR | 00h |
| 010Ch | タイマRBプリスケアラレジスタ | TRBPRE | FFh |
| 010Dh | タイマRBセカンダリレジスタ | TRBSC | FFh |
| 010Eh | タイマRBプライマリレジスタ | TRBPR | FFh |
| 010Fh | | | |
| 0110h | | | |
| 0111h | | | |
| 0112h | | | |
| 0113h | | | |
| 0114h | | | |
| 0115h | | | |
| 0116h | | | |
| 0117h | | | |
| 0118h | タイマRE秒データレジスタ/カウンタデータレジスタ | TRESEC | 00h |
| 0119h | タイマRE分データレジスタ/コンペアデータレジスタ | TREMIN | 00h |
| 011Ah | タイマRE時データレジスタ | TREHR | 00h |
| 011Bh | タイマRE曜日データレジスタ | TREWK | 00h |
| 011Ch | タイマRE制御レジスタ1 | TRECR1 | 00h |
| 011Dh | タイマRE制御レジスタ2 | TRECR2 | 00h |
| 011Eh | タイマREカウントソース選択レジスタ | TRECSR | 00001000b |
| 011Fh | | | |
| 0120h | タイマRCモードレジスタ | TRCMR | 01001000b |
| 0121h | タイマRC制御レジスタ1 | TRCCR1 | 00h |
| 0122h | タイマRC割り込み許可レジスタ | TRCIER | 01110000b |
| 0123h | タイマRCステータスレジスタ | TRCSR | 01110000b |
| 0124h | タイマRC I/O制御レジスタ0 | TRCIOR0 | 10001000b |
| 0125h | タイマRC I/O制御レジスタ1 | TRCIOR1 | 10001000b |
| 0126h | タイマRCカウンタ | TRC | 00h |
| 0127h | | | 00h |
| 0128h | タイマRCジェネラルレジスタA | TRCGRA | FFh |
| 0129h | | | FFh |
| 012Ah | タイマRCジェネラルレジスタB | TRCGRB | FFh |
| 012Bh | | | FFh |
| 012Ch | タイマRCジェネラルレジスタC | TRCGRC | FFh |
| 012Dh | | | FFh |
| 012Eh | タイマRCジェネラルレジスタD | TRCGRD | FFh |
| 012Fh | | | FFh |
| 0130h | タイマRC制御レジスタ2 | TRCCR2 | 00011000b |
| 0131h | タイマRCデジタルフィルタ機能選択レジスタ | TRCDF | 00h |
| 0132h | タイマRCアウトプットマスタ許可レジスタ | TRCOER | 01111111b |
| 0133h | タイマRCトリガ制御レジスタ | TRCADCR | 00h |
| 0134h | | | |
| 0135h | タイマRD拡張制御レジスタ | TRDECR | 00h |
| 0136h | タイマRDトリガ制御レジスタ | TRDADCR | 00h |
| 0137h | タイマRDスタートレジスタ | TRDSTR | 11111100b |
| 0138h | タイマRDモードレジスタ | TRDMR | 00001110b |
| 0139h | タイマRD PWMモードレジスタ | TRDPMR | 10001000b |
| 013Ah | タイマRD機能制御レジスタ | TRDFCR | 10000000b |
| 013Bh | タイマRDアウトプットマスタ許可レジスタ1 | TRDOER1 | FFh |
| 013Ch | タイマRDアウトプットマスタ許可レジスタ2 | TRDOER2 | 01111111b |
| 013Dh | タイマRDアウトプット制御レジスタ | TRDOCR | 00h |
| 013Eh | タイマRDデジタルフィルタ機能選択レジスタ0 | TRDDF0 | 00h |
| 013Fh | タイマRDデジタルフィルタ機能選択レジスタ1 | TRDDF1 | 00h |

注1. 空欄は予約領域です。アクセスしないでください。

表4.6 SFR一覧(6)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|------------------------------|----------|-----------|
| 0140h | タイマRD制御レジスタ0 | TRDCR0 | 00h |
| 0141h | タイマRD I/O制御レジスタA0 | TRDIORA0 | 10001000b |
| 0142h | タイマRD I/O制御レジスタC0 | TRDIORC0 | 10001000b |
| 0143h | タイマRDステータスレジスタ0 | TRDSR0 | 11100000b |
| 0144h | タイマRD割り込み許可レジスタ0 | TRDIER0 | 11100000b |
| 0145h | タイマRD PWMモードアウトブットレベル制御レジスタ0 | TRDPOCR0 | 11111000b |
| 0146h | タイマRDカウンタ0 | TRD0 | 00h |
| 0147h | | | 00h |
| 0148h | タイマRDジェネラルレジスタA0 | TRDGRA0 | FFh |
| 0149h | | | FFh |
| 014Ah | タイマRDジェネラルレジスタB0 | TRDGRB0 | FFh |
| 014Bh | | | FFh |
| 014Ch | タイマRDジェネラルレジスタC0 | TRDGRC0 | FFh |
| 014Dh | | | FFh |
| 014Eh | タイマRDジェネラルレジスタD0 | TRDGRD0 | FFh |
| 014Fh | | | FFh |
| 0150h | タイマRD制御レジスタ1 | TRDCR1 | 00h |
| 0151h | タイマRD I/O制御レジスタA1 | TRDIORA1 | 10001000b |
| 0152h | タイマRD I/O制御レジスタC1 | TRDIORC1 | 10001000b |
| 0153h | タイマRDステータスレジスタ1 | TRDSR1 | 11000000b |
| 0154h | タイマRD割り込み許可レジスタ1 | TRDIER1 | 11100000b |
| 0155h | タイマRD PWMモードアウトブットレベル制御レジスタ1 | TRDPOCR1 | 11111000b |
| 0156h | タイマRDカウンタ1 | TRD1 | 00h |
| 0157h | | | 00h |
| 0158h | タイマRDジェネラルレジスタA1 | TRDGRA1 | FFh |
| 0159h | | | FFh |
| 015Ah | タイマRDジェネラルレジスタB1 | TRDGRB1 | FFh |
| 015Bh | | | FFh |
| 015Ch | タイマRDジェネラルレジスタC1 | TRDGRC1 | FFh |
| 015Dh | | | FFh |
| 015Eh | タイマRDジェネラルレジスタD1 | TRDGRD1 | FFh |
| 015Fh | | | FFh |
| 0160h | UART1送受信モードレジスタ | U1MR | 00h |
| 0161h | UART1ビットレートレジスタ | U1BRG | XXh |
| 0162h | UART1送信バッファレジスタ | U1TB | XXh |
| 0163h | | | XXh |
| 0164h | UART1送受信制御レジスタ0 | U1C0 | 00001000b |
| 0165h | UART1送受信制御レジスタ1 | U1C1 | 00000010b |
| 0166h | UART1受信バッファレジスタ | U1RB | XXh |
| 0167h | | | XXh |
| 0168h | | | |
| 0169h | | | |
| 016Ah | | | |
| 016Bh | | | |
| 016Ch | | | |
| 016Dh | | | |
| 016Eh | | | |
| 016Fh | | | |
| 0170h | | | |
| 0171h | | | |
| 0172h | | | |
| 0173h | | | |
| 0174h | | | |
| 0175h | | | |
| 0176h | | | |
| 0177h | | | |
| 0178h | | | |
| 0179h | | | |
| 017Ah | | | |
| 017Bh | | | |
| 017Ch | | | |
| 017Dh | | | |
| 017Eh | | | |
| 017Fh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|----------------------------------|-------------|-----------------------|
| 0180h | タイマRA端子選択レジスタ | TRASR | 00h |
| 0181h | タイマRB/RC端子選択レジスタ | TRBRCSR | 00h |
| 0182h | タイマRC端子選択レジスタ0 | TRCPSR0 | 00h |
| 0183h | タイマRC端子選択レジスタ1 | TRCPSR1 | 00h |
| 0184h | タイマRD端子選択レジスタ0 | TRDPSR0 | 00h |
| 0185h | タイマRD端子選択レジスタ1 | TRDPSR1 | 00h |
| 0186h | タイマ端子選択レジスタ | TIMSR | 00h |
| 0187h | | | |
| 0188h | UART0端子選択レジスタ | U0SR | 00h |
| 0189h | UART1端子選択レジスタ | U1SR | 00h |
| 018Ah | UART2端子選択レジスタ0 | U2SR0 | 00h |
| 018Bh | UART2端子選択レジスタ1 | U2SR1 | 00h |
| 018Ch | SSU/IIC端子選択レジスタ | SSUIICSR | 00h |
| 018Dh | | | |
| 018Eh | INT割り込み入力端子選択レジスタ | INTSR | 00h |
| 018Fh | 入出力機能端子選択レジスタ | PINSR | 00h |
| 0190h | | | |
| 0191h | | | |
| 0192h | | | |
| 0193h | SSビットカウンタレジスタ | SSBR | 11111000b |
| 0194h | SS送信データレジスタL/IICバス送信データレジスタ (注2) | SSTDR/ICDRT | FFh |
| 0195h | SS送信データレジスタH (注2) | SSTDRH | FFh |
| 0196h | SS受信データレジスタL/IICバス受信データレジスタ (注2) | SSDR/ICDRR | FFh |
| 0197h | SS受信データレジスタH (注2) | SSDRH | FFh |
| 0198h | SS制御レジスタH/IICバス制御レジスタ1 (注2) | SSCRH/ICCR1 | 00h |
| 0199h | SS制御レジスタL/IICバス制御レジスタ2 (注2) | SSCRL/ICCR2 | 01111101b |
| 019Ah | SSモードレジスタ/IICバスモードレジスタ (注2) | SSMR/ICMR | 00010000b / 00011000b |
| 019Bh | SS許可レジスタ/IICバス割り込み許可レジスタ (注2) | SSER/ICIER | 00h |
| 019Ch | SSステータスレジスタ/IICバスステータスレジスタ (注2) | SSSR/ICSR | 00h / 0000X000b |
| 019Dh | SSモードレジスタ2/スレーブアドレスレジスタ (注2) | SSMR2/SAR | 00h |
| 019Eh | | | |
| 019Fh | | | |
| 01A0h | | | |
| 01A1h | | | |
| 01A2h | | | |
| 01A3h | | | |
| 01A4h | | | |
| 01A5h | | | |
| 01A6h | | | |
| 01A7h | | | |
| 01A8h | | | |
| 01A9h | | | |
| 01AAh | | | |
| 01ABh | | | |
| 01ACh | | | |
| 01ADh | | | |
| 01AEh | | | |
| 01AFh | | | |
| 01B0h | | | |
| 01B1h | | | |
| 01B2h | フラッシュメモリステータスレジスタ | FST | 10000X00b |
| 01B3h | | | |
| 01B4h | フラッシュメモリ制御レジスタ0 | FMR0 | 00h |
| 01B5h | フラッシュメモリ制御レジスタ1 | FMR1 | 00h |
| 01B6h | フラッシュメモリ制御レジスタ2 | FMR2 | 00h |
| 01B7h | | | |
| 01B8h | | | |
| 01B9h | | | |
| 01BAh | | | |
| 01BBh | | | |
| 01BCh | | | |
| 01BDh | | | |
| 01BEh | | | |
| 01BFh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUIICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.8 SFR一覧(8)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 | |
|-------|-------------------|--------|-----------------|-----|
| 01C0h | アドレス一致割り込みレジスタ0 | RMAD0 | XXh | |
| 01C1h | | | XXh | |
| 01C2h | | | 0000XXXXb | |
| 01C3h | アドレス一致割り込み許可レジスタ0 | AIER0 | 00h | |
| 01C4h | | | アドレス一致割り込みレジスタ1 | XXh |
| 01C5h | | | | XXh |
| 01C6h | アドレス一致割り込み許可レジスタ1 | AIER1 | 0000XXXXb | |
| 01C7h | | | 00h | |
| 01C8h | | | | |
| 01C9h | | | | |
| 01CAh | | | | |
| 01CBh | | | | |
| 01CCh | | | | |
| 01CDh | | | | |
| 01CEh | | | | |
| 01CFh | | | | |
| 01D0h | | | | |
| 01D1h | | | | |
| 01D2h | | | | |
| 01D3h | | | | |
| 01D4h | | | | |
| 01D5h | | | | |
| 01D6h | | | | |
| 01D7h | | | | |
| 01D8h | | | | |
| 01D9h | | | | |
| 01DAh | | | | |
| 01DBh | | | | |
| 01DCh | | | | |
| 01DDh | | | | |
| 01DEh | | | | |
| 01DFh | | | | |
| 01E0h | ブルアップ制御レジスタ0 | PUR0 | 00h | |
| 01E1h | ブルアップ制御レジスタ1 | PUR1 | 00h | |
| 01E2h | | | | |
| 01E3h | | | | |
| 01E4h | | | | |
| 01E5h | | | | |
| 01E6h | | | | |
| 01E7h | | | | |
| 01E8h | | | | |
| 01E9h | | | | |
| 01EAh | | | | |
| 01EBh | | | | |
| 01ECh | | | | |
| 01EDh | | | | |
| 01EEh | | | | |
| 01EFh | | | | |
| 01F0h | ポートP1駆動能力制御レジスタ | P1DRR | 00h | |
| 01F1h | ポートP2駆動能力制御レジスタ | P2DRR | 00h | |
| 01F2h | 駆動能力制御レジスタ0 | DRR0 | 00h | |
| 01F3h | 駆動能力制御レジスタ1 | DRR1 | 00h | |
| 01F4h | | | | |
| 01F5h | 入力しきい値制御レジスタ0 | VLT0 | 00h | |
| 01F6h | 入力しきい値制御レジスタ1 | VLT1 | 00h | |
| 01F7h | | | | |
| 01F8h | コンパレータB制御レジスタ0 | INTCMP | 00h | |
| 01F9h | | | | |
| 01FAh | 外部入力許可レジスタ0 | INTEN | 00h | |
| 01FBh | 外部入力許可レジスタ1 | INTEN1 | 00h | |
| 01FCh | INT入力フィルタ選択レジスタ0 | INTF | 00h | |
| 01FDh | INT入力フィルタ選択レジスタ1 | INTF1 | 00h | |
| 01FEh | キー入力許可レジスタ0 | KIEN | 00h | |
| 01FFh | | | | |

注1. 空欄は予約領域です。アクセスしないでください。

X: 不足です。

表4.9 SFR一覧(9)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|---------------|-------|---------|
| 2C00h | DTC転送ベクタ領域 | | XXh |
| 2C01h | DTC転送ベクタ領域 | | XXh |
| 2C02h | DTC転送ベクタ領域 | | XXh |
| 2C03h | DTC転送ベクタ領域 | | XXh |
| 2C04h | DTC転送ベクタ領域 | | XXh |
| 2C05h | DTC転送ベクタ領域 | | XXh |
| 2C06h | DTC転送ベクタ領域 | | XXh |
| 2C07h | DTC転送ベクタ領域 | | XXh |
| 2C08h | DTC転送ベクタ領域 | | XXh |
| 2C09h | DTC転送ベクタ領域 | | XXh |
| 2C0Ah | DTC転送ベクタ領域 | | XXh |
| : | DTC転送ベクタ領域 | | XXh |
| : | DTC転送ベクタ領域 | | XXh |
| 2C3Ah | DTC転送ベクタ領域 | | XXh |
| 2C3Bh | DTC転送ベクタ領域 | | XXh |
| 2C3Ch | DTC転送ベクタ領域 | | XXh |
| 2C3Dh | DTC転送ベクタ領域 | | XXh |
| 2C3Eh | DTC転送ベクタ領域 | | XXh |
| 2C3Fh | DTC転送ベクタ領域 | | XXh |
| 2C40h | DTCコントロールデータ0 | DTCD0 | XXh |
| 2C41h | | | XXh |
| 2C42h | | | XXh |
| 2C43h | | | XXh |
| 2C44h | | | XXh |
| 2C45h | | | XXh |
| 2C46h | | | XXh |
| 2C47h | | | XXh |
| 2C48h | DTCコントロールデータ1 | DTCD1 | XXh |
| 2C49h | | | XXh |
| 2C4Ah | | | XXh |
| 2C4Bh | | | XXh |
| 2C4Ch | | | XXh |
| 2C4Dh | | | XXh |
| 2C4Eh | | | XXh |
| 2C4Fh | | | XXh |
| 2C50h | DTCコントロールデータ2 | DTCD2 | XXh |
| 2C51h | | | XXh |
| 2C52h | | | XXh |
| 2C53h | | | XXh |
| 2C54h | | | XXh |
| 2C55h | | | XXh |
| 2C56h | | | XXh |
| 2C57h | | | XXh |
| 2C58h | DTCコントロールデータ3 | DTCD3 | XXh |
| 2C59h | | | XXh |
| 2C5Ah | | | XXh |
| 2C5Bh | | | XXh |
| 2C5Ch | | | XXh |
| 2C5Dh | | | XXh |
| 2C5Eh | | | XXh |
| 2C5Fh | | | XXh |
| 2C60h | DTCコントロールデータ4 | DTCD4 | XXh |
| 2C61h | | | XXh |
| 2C62h | | | XXh |
| 2C63h | | | XXh |
| 2C64h | | | XXh |
| 2C65h | | | XXh |
| 2C66h | | | XXh |
| 2C67h | | | XXh |
| 2C68h | DTCコントロールデータ5 | DTCD5 | XXh |
| 2C69h | | | XXh |
| 2C6Ah | | | XXh |
| 2C6Bh | | | XXh |
| 2C6Ch | | | XXh |
| 2C6Dh | | | XXh |
| 2C6Eh | | | XXh |
| 2C6Fh | | | XXh |

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.10 SFR一覧(10)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|----------------|--------|---------|
| 2C70h | DTCコントロールデータ6 | DTCD6 | XXh |
| 2C71h | | | XXh |
| 2C72h | | | XXh |
| 2C73h | | | XXh |
| 2C74h | | | XXh |
| 2C75h | | | XXh |
| 2C76h | | | XXh |
| 2C77h | | | XXh |
| 2C78h | DTCコントロールデータ7 | DTCD7 | XXh |
| 2C79h | | | XXh |
| 2C7Ah | | | XXh |
| 2C7Bh | | | XXh |
| 2C7Ch | | | XXh |
| 2C7Dh | | | XXh |
| 2C7Eh | | | XXh |
| 2C7Fh | | | XXh |
| 2C80h | DTCコントロールデータ8 | DTCD8 | XXh |
| 2C81h | | | XXh |
| 2C82h | | | XXh |
| 2C83h | | | XXh |
| 2C84h | | | XXh |
| 2C85h | | | XXh |
| 2C86h | | | XXh |
| 2C87h | | | XXh |
| 2C88h | DTCコントロールデータ9 | DTCD9 | XXh |
| 2C89h | | | XXh |
| 2C8Ah | | | XXh |
| 2C8Bh | | | XXh |
| 2C8Ch | | | XXh |
| 2C8Dh | | | XXh |
| 2C8Eh | | | XXh |
| 2C8Fh | | | XXh |
| 2C90h | DTCコントロールデータ10 | DTCD10 | XXh |
| 2C91h | | | XXh |
| 2C92h | | | XXh |
| 2C93h | | | XXh |
| 2C94h | | | XXh |
| 2C95h | | | XXh |
| 2C96h | | | XXh |
| 2C97h | | | XXh |
| 2C98h | DTCコントロールデータ11 | DTCD11 | XXh |
| 2C99h | | | XXh |
| 2C9Ah | | | XXh |
| 2C9Bh | | | XXh |
| 2C9Ch | | | XXh |
| 2C9Dh | | | XXh |
| 2C9Eh | | | XXh |
| 2C9Fh | | | XXh |
| 2CA0h | DTCコントロールデータ12 | DTCD12 | XXh |
| 2CA1h | | | XXh |
| 2CA2h | | | XXh |
| 2CA3h | | | XXh |
| 2CA4h | | | XXh |
| 2CA5h | | | XXh |
| 2CA6h | | | XXh |
| 2CA7h | | | XXh |
| 2CA8h | DTCコントロールデータ13 | DTCD13 | XXh |
| 2CA9h | | | XXh |
| 2CAAh | | | XXh |
| 2CABh | | | XXh |
| 2CACH | | | XXh |
| 2CADh | | | XXh |
| 2CAEh | | | XXh |
| 2CAFh | | | XXh |

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.11 SFR一覧(11)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|----------------|--------|---------|
| 2CB0h | DTCコントロールデータ14 | DTCD14 | XXh |
| 2CB1h | | | XXh |
| 2CB2h | | | XXh |
| 2CB3h | | | XXh |
| 2CB4h | | | XXh |
| 2CB5h | | | XXh |
| 2CB6h | | | XXh |
| 2CB7h | | | XXh |
| 2CB8h | DTCコントロールデータ15 | DTCD15 | XXh |
| 2CB9h | | | XXh |
| 2CAAh | | | XXh |
| 2CBBh | | | XXh |
| 2CBCh | | | XXh |
| 2CBDh | | | XXh |
| 2CBEh | | | XXh |
| 2CBFh | | | XXh |
| 2CC0h | DTCコントロールデータ16 | DTCD16 | XXh |
| 2CC1h | | | XXh |
| 2CC2h | | | XXh |
| 2CC3h | | | XXh |
| 2CC4h | | | XXh |
| 2CC5h | | | XXh |
| 2CC6h | | | XXh |
| 2CC7h | | | XXh |
| 2CC8h | DTCコントロールデータ17 | DTCD17 | XXh |
| 2CC9h | | | XXh |
| 2CCAh | | | XXh |
| 2CCBh | | | XXh |
| 2CCCh | | | XXh |
| 2CCDh | | | XXh |
| 2CCEh | | | XXh |
| 2CCFh | | | XXh |
| 2CD0h | DTCコントロールデータ18 | DTCD18 | XXh |
| 2CD1h | | | XXh |
| 2CD2h | | | XXh |
| 2CD3h | | | XXh |
| 2CD4h | | | XXh |
| 2CD5h | | | XXh |
| 2CD6h | | | XXh |
| 2CD7h | | | XXh |
| 2CD8h | DTCコントロールデータ19 | DTCD19 | XXh |
| 2CD9h | | | XXh |
| 2CDAh | | | XXh |
| 2CDBh | | | XXh |
| 2CDCh | | | XXh |
| 2CDDh | | | XXh |
| 2CDEh | | | XXh |
| 2CDFh | | | XXh |
| 2CE0h | DTCコントロールデータ20 | DTCD20 | XXh |
| 2CE1h | | | XXh |
| 2CE2h | | | XXh |
| 2CE3h | | | XXh |
| 2CE4h | | | XXh |
| 2CE5h | | | XXh |
| 2CE6h | | | XXh |
| 2CE7h | | | XXh |
| 2CE8h | DTCコントロールデータ21 | DTCD21 | XXh |
| 2CE9h | | | XXh |
| 2CEAh | | | XXh |
| 2CEBh | | | XXh |
| 2CECh | | | XXh |
| 2CEDh | | | XXh |
| 2CEEh | | | XXh |
| 2CEFh | | | XXh |

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.12 SFR一覧(12)(注1)

| 番地 | レジスタ | シンボル | リセット後の値 |
|-------|----------------|--------|---------|
| 2CF0h | DTCコントロールデータ22 | DTCD22 | XXh |
| 2CF1h | | | XXh |
| 2CF2h | | | XXh |
| 2CF3h | | | XXh |
| 2CF4h | | | XXh |
| 2CF5h | | | XXh |
| 2CF6h | | | XXh |
| 2CF7h | | | XXh |
| 2CF8h | DTCコントロールデータ23 | DTCD23 | XXh |
| 2CF9h | | | XXh |
| 2CFAh | | | XXh |
| 2CFBh | | | XXh |
| 2CFCh | | | XXh |
| 2CFDh | | | XXh |
| 2CFEh | | | XXh |
| 2CFFh | | | XXh |
| 2D00h | | | |
| ⋮ | | | |
| 2FFFh | | | |

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.13 IDコード領域、オプション機能選択領域

| 番地 | 領域名 | シンボル | リセット後の値 |
|-------|----------------|------|---------|
| ⋮ | | | |
| FFDBh | オプション機能選択レジスタ2 | OFS2 | (注1) |
| ⋮ | | | |
| FFDFh | ID1 | | (注2) |
| ⋮ | | | |
| FFE3h | ID2 | | (注2) |
| ⋮ | | | |
| FFEBh | ID3 | | (注2) |
| ⋮ | | | |
| FFEFh | ID4 | | (注2) |
| ⋮ | | | |
| FFF3h | ID5 | | (注2) |
| ⋮ | | | |
| FFF7h | ID6 | | (注2) |
| ⋮ | | | |
| FFFBh | ID7 | | (注2) |
| ⋮ | | | |
| FFFFh | オプション機能選択レジスタ | OFS | (注1) |

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。

ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。

ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表 5.1 にリセットの名称と要因を、図 5.1 にリセット回路のブロック図を示します。

表 5.1 リセットの名称と要因

| リセットの名称 | 要因 |
|----------------|-------------------------------|
| ハードウェアリセット | RESET 端子の入力電圧が “ L ” |
| パワーオンリセット | VCC の上昇 |
| 電圧監視0リセット | VCC の下降 (監視電圧 : Vdet0) |
| ウォッチドッグタイマリセット | ウォッチドッグタイマのアンダフロー |
| ソフトウェアリセット | PM0 レジスタの PM03 ビットに “ 1 ” を書く |

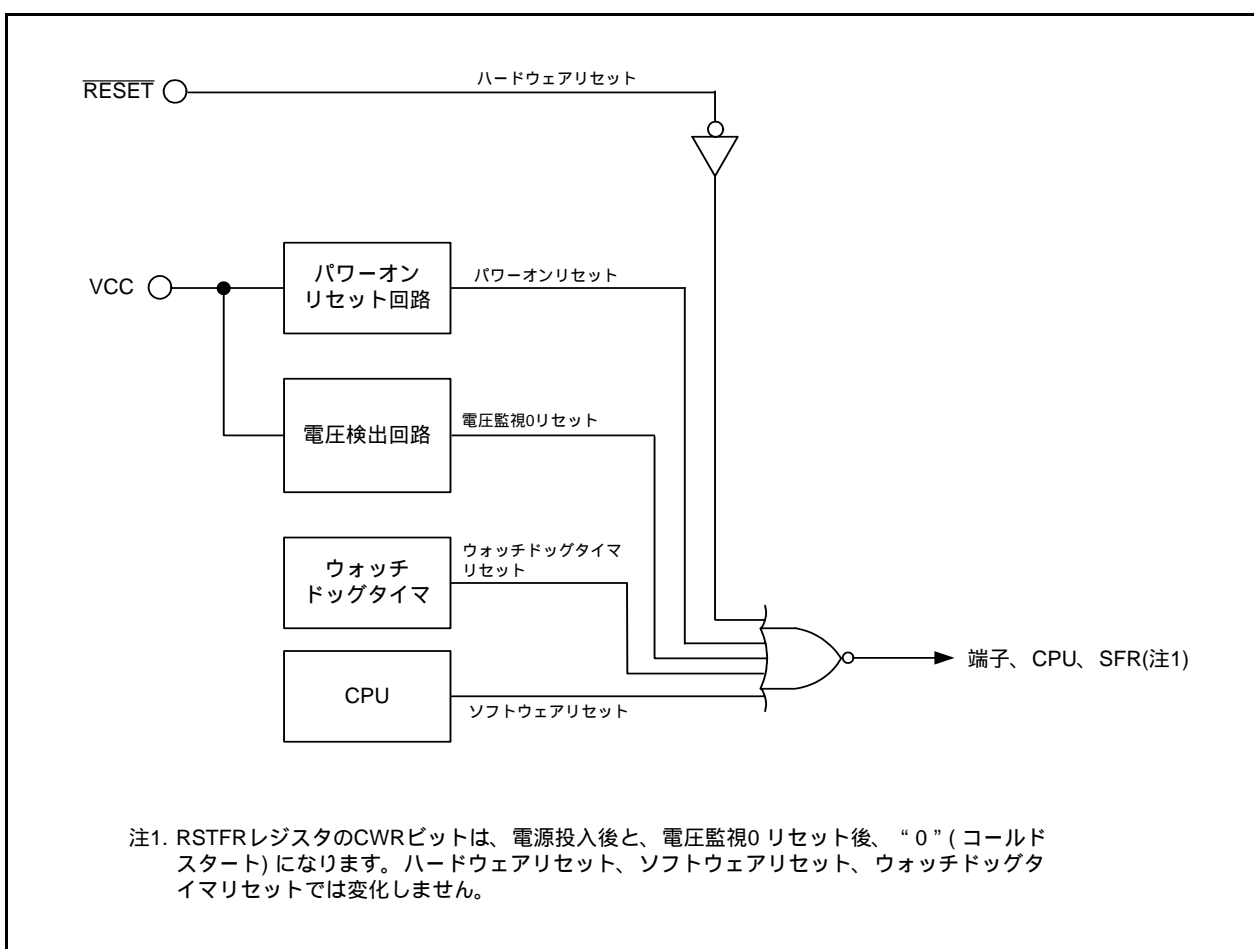


図 5.1 リセット回路のブロック図

表 5.2にRESET端子のレベルが“L”の期間の端子の状態を、図 5.2にリセット後のCPUレジスタの状態を、図 5.3にリセットシーケンスを示します。

表 5.2 RESET端子のレベルが“L”の期間の端子の状態

| 端子名 | 端子の状態 |
|------------------------------|-------|
| P0 ~ P2、P6 | 入力ポート |
| P3_0 ~ P3_1、P3_3 ~ P3_5、P3_7 | 入力ポート |
| P4_2 ~ P4_7 | 入力ポート |

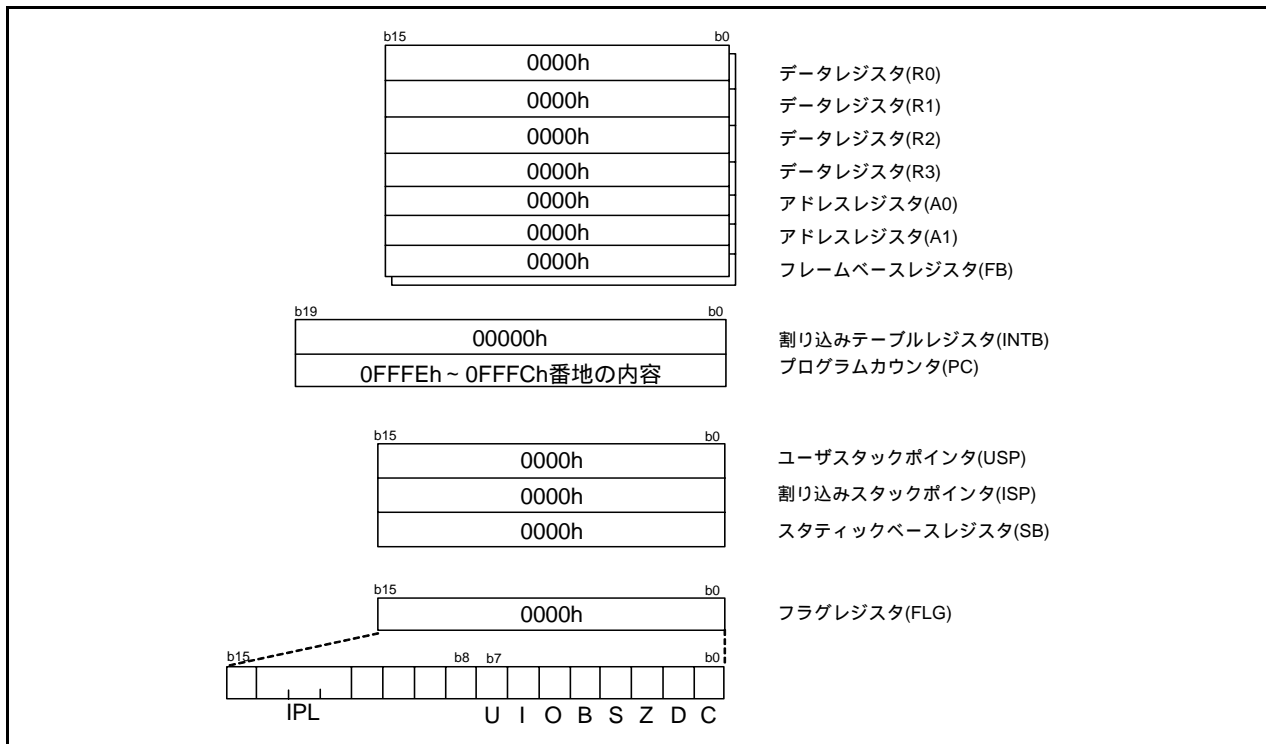


図 5.2 リセット後のCPUレジスタの状態

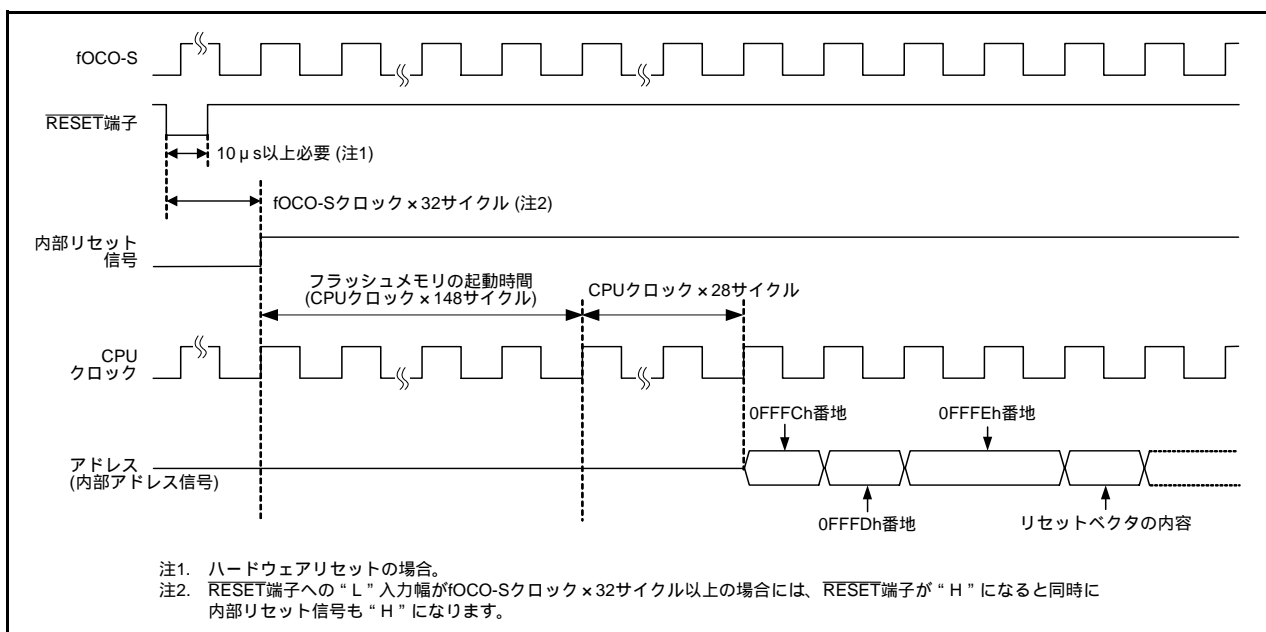


図 5.3 リセットシーケンス

5.1 レジスタの説明

5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|------|----|----|----|
| シンボル | - | - | - | - | PM03 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | - | 予約ビット | “0” にしてください | R/W |
| b1 | - | | | |
| b2 | - | | | |
| b3 | PM03 | ソフトウェアリセットビット | このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

5.1.2 リセット要因判別レジスタ (RSTFR)

アドレス 000Bh 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|-----|-----|-----|-----|
| シンボル | - | - | - | - | WDR | SWR | HWR | CWR |
| リセット後の値 | 0 | X | X | X | X | X | X | X |

(注1)

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------------------------|----------------------------|-----|
| b0 | CWR | コールドスタート/ウォームスタート判定フラグ(注2、3) | 0: コールドスタート 1: ウォームスタート | R/W |
| b1 | HWR | ハードウェアリセット検出フラグ | 0: 未検出 1: 検出 | R |
| b2 | SWR | ソフトウェアリセット検出フラグ | 0: 未検出 1: 検出 | R |
| b3 | WDR | ウォッチドッグタイマリセット検出フラグ | 0: 未検出 1: 検出 | R |
| b4 | - | 予約ビット | 読んだ場合、その値は不定。 | R |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | 予約ビット | “0” にしてください | R/W |

注1. CWR ビットは電源投入後と、電圧監視0リセット後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

注3. VW0CレジスタのVW0C0ビットが“0”(電圧監視0リセット禁止)のとき、CWRビットは不定です。

5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|------------------------|---|-----|
| b0 | WDTON | ウォッチドッグタイマ起動選択ビット | 0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態 | R/W |
| b1 | - | 予約ビット | “1” にしてください | R/W |
| b2 | ROMCR | ROMコードプロテクト解除ビット | 0: ROMコードプロテクト解除 1: ROMCP1ビット有効 | R/W |
| b3 | ROMCP1 | ROMコードプロテクトビット | 0: ROMコードプロテクト有効 1: ROMコードプロテクト解除 | R/W |
| b4 | VDSEL0 | 電圧検出0レベル選択ビット(注2) | b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0) | R/W |
| b5 | VDSEL1 | | | R/W |
| b6 | LVDAS | 電圧検出0回路起動ビット(注3) | 0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効 | R/W |
| b7 | CSPROINI | リセット後カウントソース保護モード選択ビット | 0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効 | R/W |

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

| | | | | | | | | |
|---------|-------------|----|----|----|---------|---------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | WDTRCS1 | WDTRCS0 | WDTUFS1 | WDTUFS0 |
| リセット後の値 | ユーザの設定値(注1) | | | | | | | |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|-------------------------------|---|-----|
| b0 | WDTUFS0 | ウォッチドッグタイマアンダフロー 周期設定ビット | b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh | R/W |
| b1 | WDTUFS1 | | | R/W |
| b2 | WDTRCS0 | ウォッチドッグタイマリフレッシュ 受付周期設定ビット | b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% | R/W |
| b3 | WDTRCS1 | | | R/W |
| b4 | - | 予約ビット | "1" にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

5.2 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表 5.2 RESET端子のレベルが“L”の期間の端子の状態」, 「図 5.2 リセット後のCPUレジスタの状態」, および「表4.1~表4.12 SFR一覧」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図 5.4にハードウェアリセット回路例と動作を、図 5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.2.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) $10\mu\text{s}$ 待つ
- (3) RESET端子に“H”を入力する

5.2.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(P-R)$ 待つ(「34. 電気的特性」参照)
- (4) $10\mu\text{s}$ 待つ
- (5) RESET端子に“H”を入力する

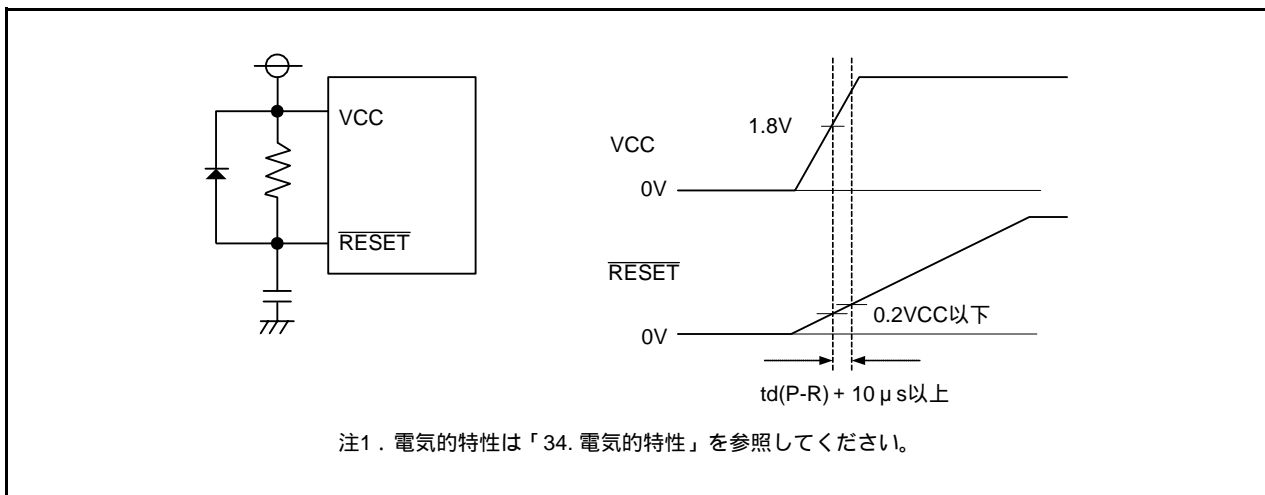


図 5.4 ハードウェアリセット回路例と動作

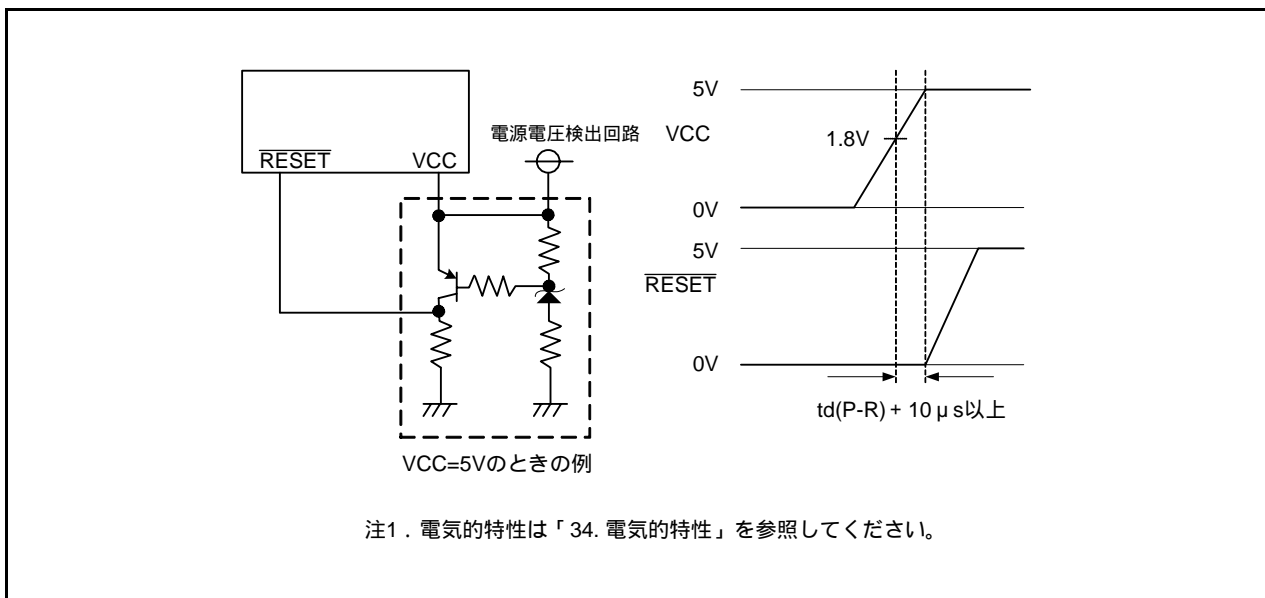


図 5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.3 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。

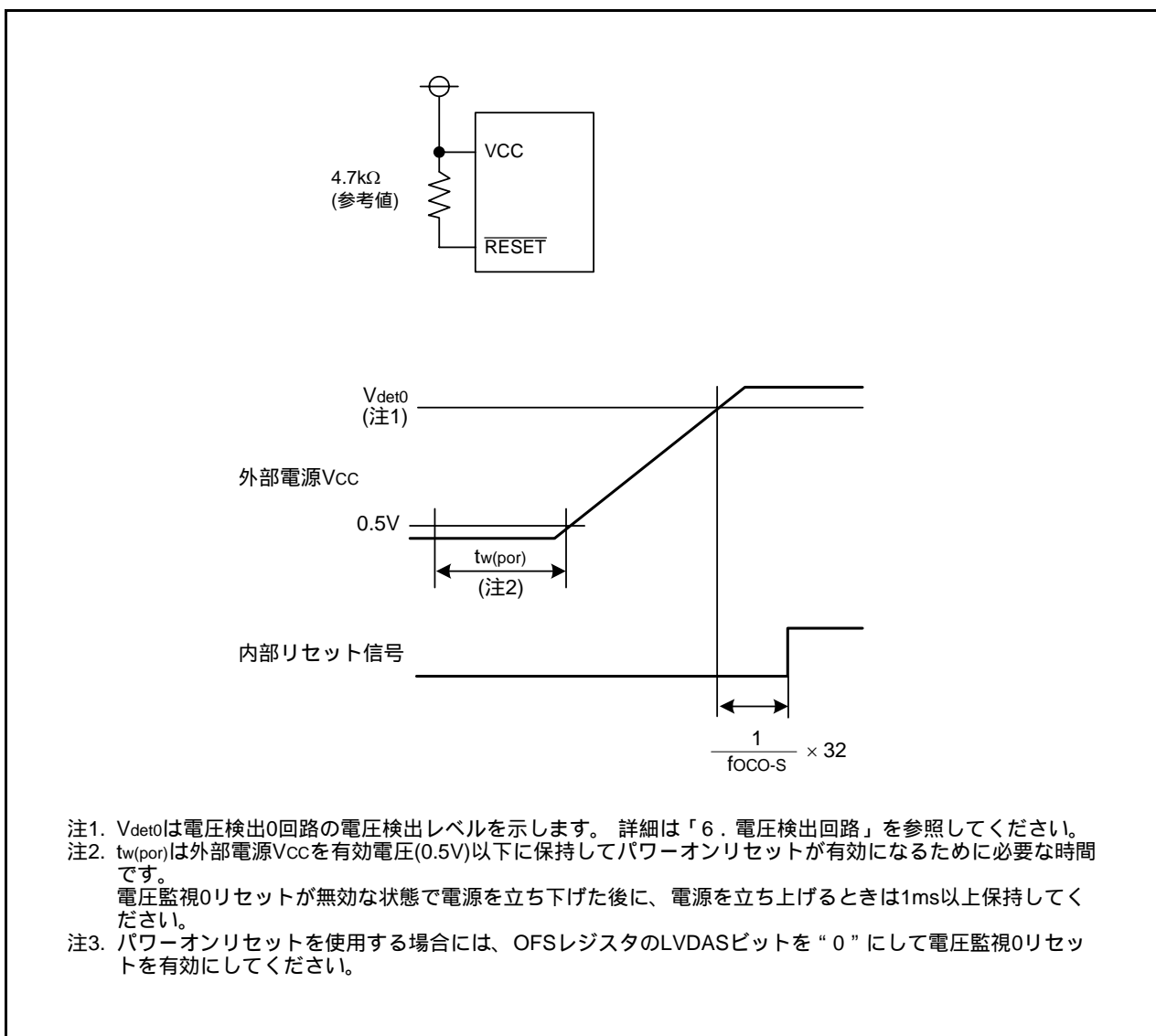


図 5.6 パワーオンリセット回路例と動作

5.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウンタを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書き込んでください。OFSレジスタの詳細は「5.1.3 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

図5.7に電圧監視0リセット回路例と動作を示します。

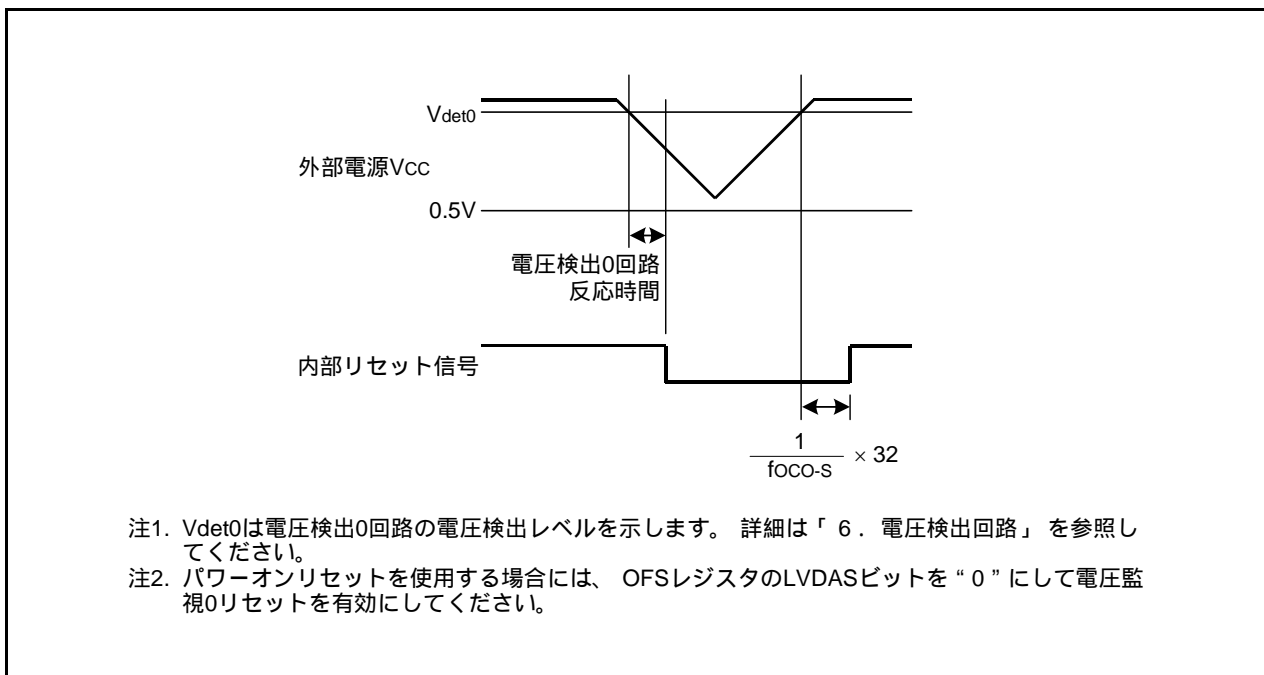


図 5.7 電圧監視0リセット回路例と動作

5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図 5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

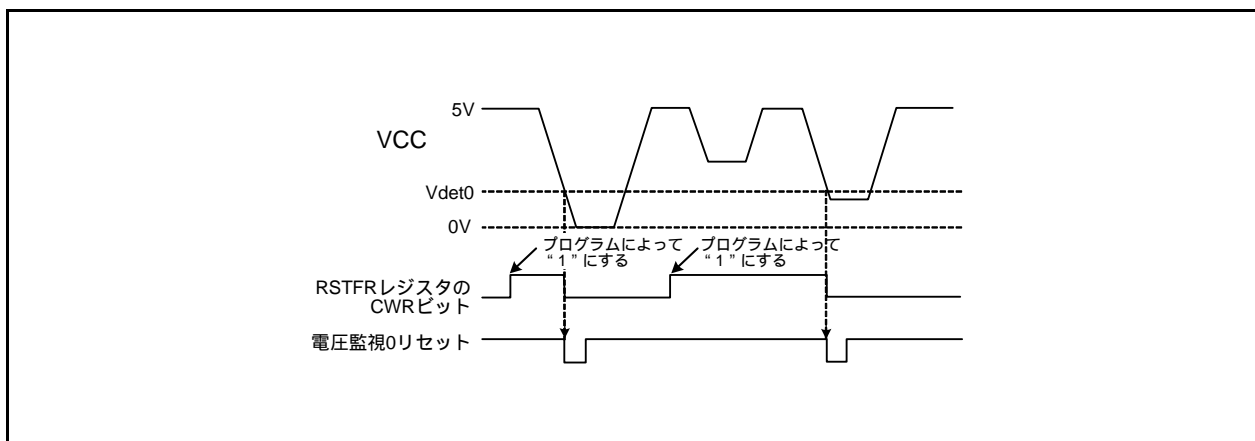


図 5.8 コールドスタート/ウォームスタート判定機能の動作例

5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、HWRビットが“1”(検出)になります。ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できません。

6.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

さらに、検出対象として電圧検出2のみ、VCCとLVCMP2端子に入力する電圧の切り替えが可能です。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

ただし、電圧監視1、電圧監視2は電圧検出回路をコンパレータA1、コンパレータA2と兼用しています。電圧監視1、電圧監視2とコンパレータA1、コンパレータA2はどちらかを選択して使用できます。

表 6.1 電圧検出回路の仕様

| 項目 | | 電圧監視0 | 電圧監視1 | 電圧監視2 |
|----------|-----------|---|--|--|
| VCC監視 | 監視する電圧 | Vdet0 | Vdet1 | Vdet2 |
| | 検出対象 | 上昇または下降してVdet0を通過したか | 上昇または下降してVdet1を通過したか | 上昇または下降してVdet2を通過したか VCA2レジスタのVCA24ビットでVCCとLVCMP2端子への入力電圧の切替可能 |
| | 検出電圧 | OFSレジスタで4レベルから選択可能 | VD1LSレジスタで16レベルから選択可能 | VCCまたはLVCMP2選択時で異なる それぞれの値は固定レベル |
| | モニタ | なし | VW1CレジスタのVW1C3ビット Vdet1より高いか低いかなし | VCA1レジスタのVCA13ビット Vdet2より高いか低いかなし |
| 電圧検出時の処理 | リセット | 電圧監視0リセット Vdet0 > VCCでリセット； VCC > Vdet0でCPU動作再開 | なし | なし |
| | 割り込み | なし | 電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求 | 電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC(LVCMP2)、 VCC(LVCMP2) > Vdet2の両方、 またはどちらかで割り込み要求 |
| デジタルフィルタ | 有効/無効切り替え | デジタルフィルタ機能なし | あり | あり |
| | サンプリング時間 | | (fOCO-Sのn分周) × 2 n : 1、2、4、8 | (fOCO-Sのn分周) × 2 n : 1、2、4、8 |

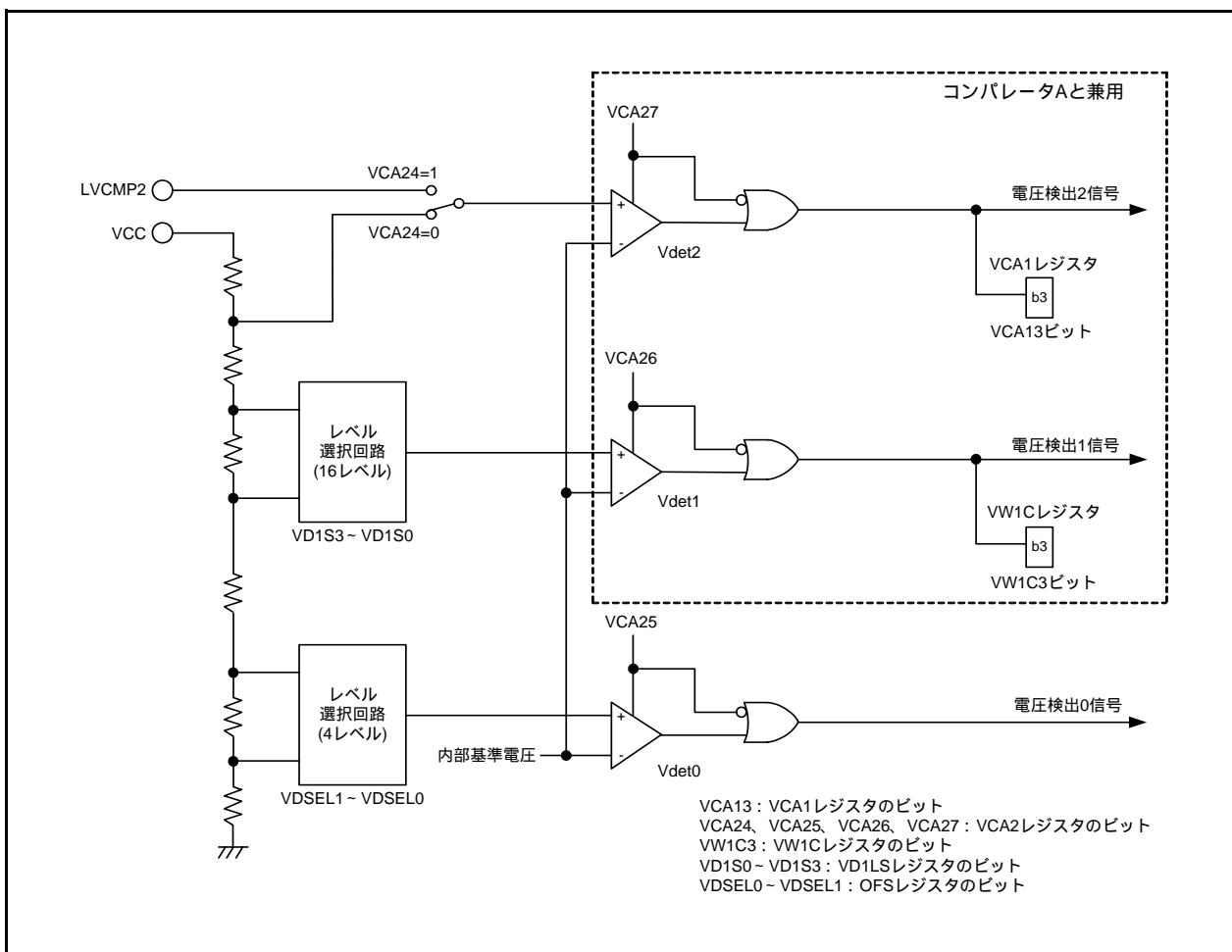


図 6.1 電圧検出回路ブロック図

表 6.2 電圧検出回路の端子構成

| 端子名 | 入出力 | 機能 |
|--------|-----|----------------|
| LVCMP2 | 入力 | 電圧検出2用検出対象電圧端子 |

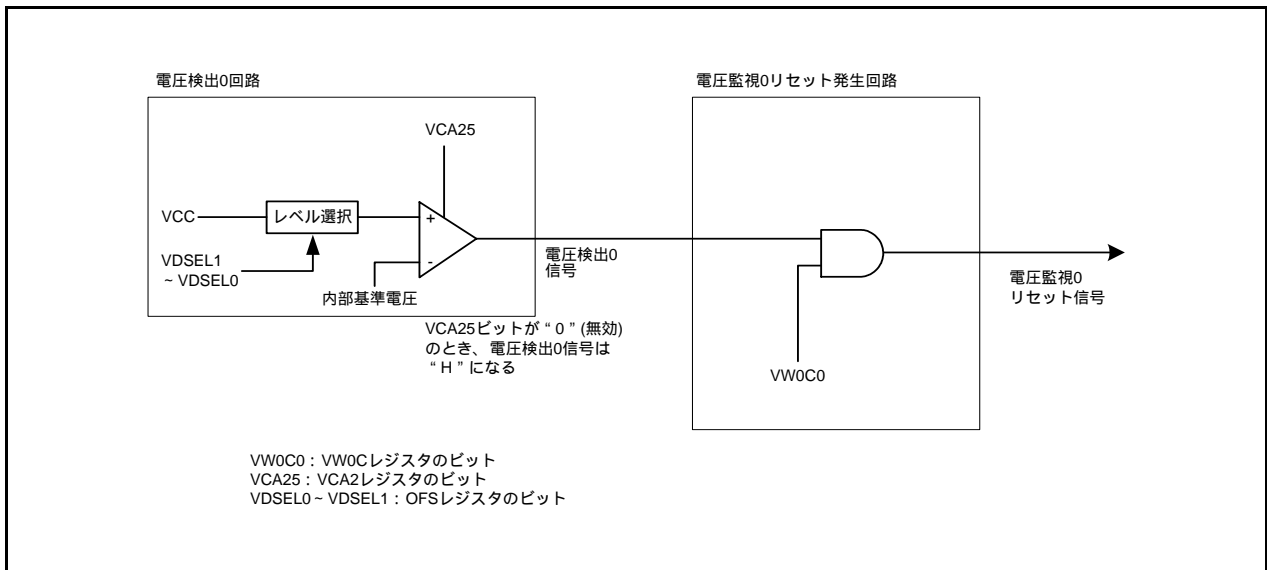


図 6.2 電圧監視0リセット発生回路のブロック図

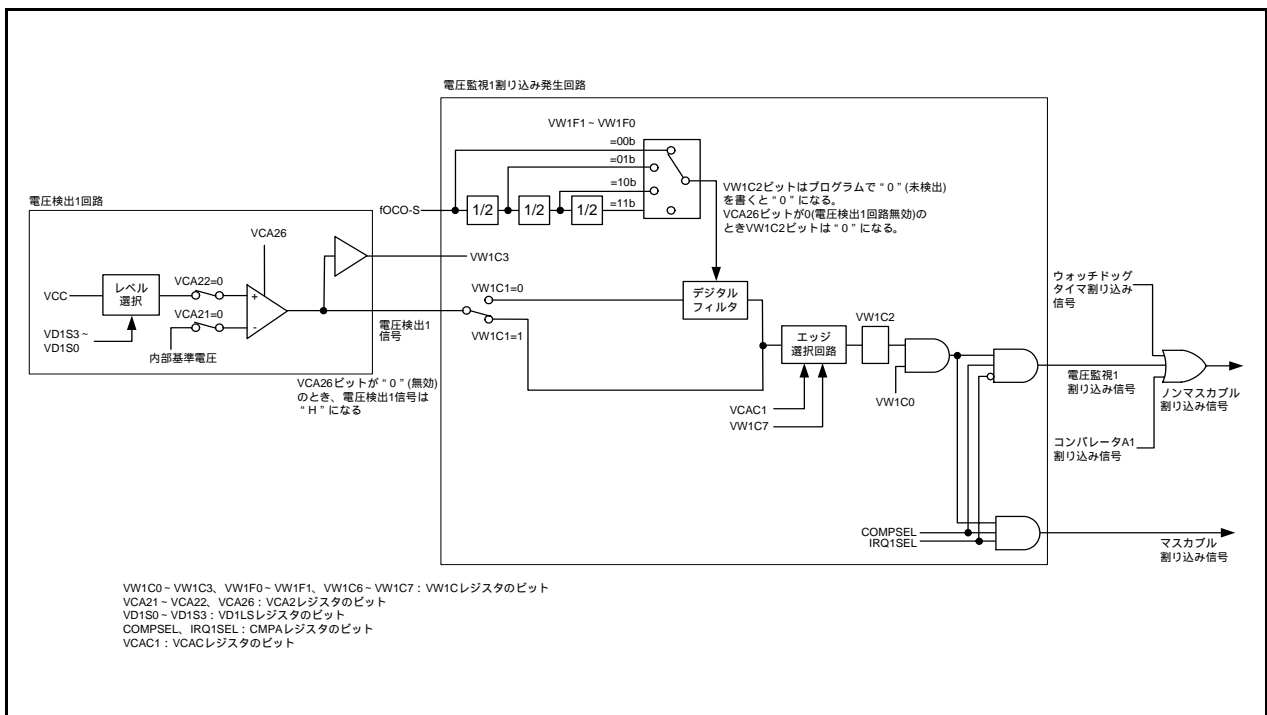


図 6.3 電圧監視1割り込み発生回路のブロック図

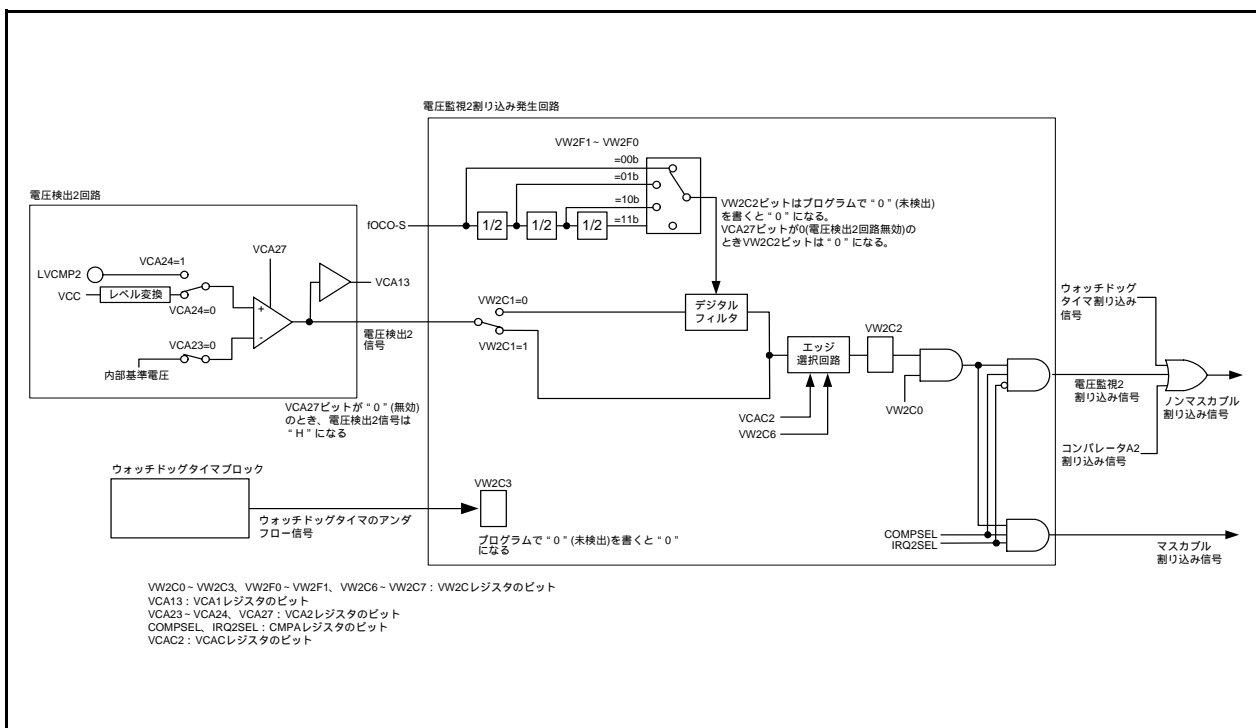


図 6.4 電圧監視2割り込み発生回路のブロック図

6.2 レジスタの説明

6.2.1 電圧監視回路/コンパレータA制御レジスタ(CMPA)

アドレス 0030h 番地

| | | | | | | | | |
|---------|---------|----|---------|---------|-------|-------|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | COMPSEL | - | IRQ2SEL | IRQ1SEL | CM2OE | CM1OE | CM2POR | CM1POR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|---------------------------------|--|-----|
| b0 | CM1POR | LVCOUT1出力極性選択ビット | 0: コンパレータA1の比較結果をそのままLVCOUT1へ出力 1: コンパレータA1の比較結果を反転してLVCOUT1へ出力 | R/W |
| b1 | CM2POR | LVCOUT2出力極性選択ビット | 0: コンパレータA2の比較結果をそのままLVCOUT2へ出力 1: コンパレータA2の比較結果を反転してLVCOUT2へ出力 | R/W |
| b2 | CM1OE | LVCOUT1出力許可ビット | 0: 出力禁止 1: 出力許可 | R/W |
| b3 | CM2OE | LVCOUT2出力許可ビット | 0: 出力禁止 1: 出力許可 | R/W |
| b4 | IRQ1SEL | 電圧監視1/コンパレータA1割り込み種類選択ビット(注1) | 0: ノンマスカブル割り込み 1: マスカブル割り込み | R/W |
| b5 | IRQ2SEL | 電圧監視2/コンパレータA2割り込み種類選択ビット(注2) | 0: ノンマスカブル割り込み 1: マスカブル割り込み | R/W |
| b6 | - | 予約ビット | "0" にしてください | R/W |
| b7 | COMPSEL | 電圧監視/コンパレータA割り込み種類選択有効ビット(注1、2) | 0: IRQ1SEL、IRQ2SELビット無効 1: IRQ1SEL、IRQ2SELビット有効 | R/W |

注1. VW1CレジスタのVW1C0ビットが"1"(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

注2. VW2CレジスタのVW2C0ビットが"1"(許可)のとき、IRQ2SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

6.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス 0031h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|-------|-------|----|
| シンボル | - | - | - | - | - | VCAC2 | VCAC1 | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | VCAC1 | 電圧監視1回路エッジ選択ビット (注1) | 0:片エッジ 1:両エッジ | R/W |
| b2 | VCAC2 | 電圧監視2回路エッジ選択ビット (注2) | 0:片エッジ 1:両エッジ | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

6.2.3 電圧検出レジスタ1 (VCA1)

アドレス 0033h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|-------|----|----|----|
| シンボル | - | - | - | - | VCA13 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-------------------|---|-----|
| b0 | - | 予約ビット | “0”にしてください | R/W |
| b1 | - | | | |
| b2 | - | | | |
| b3 | VCA13 | 電圧検出2信号モニタフラグ(注1) | 0: VCC < Vdet2 1: VCC > Vdet2、または電圧検出2回路無効 | R |
| b4 | - | 予約ビット | “0”にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。

VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC > Vdet2)になります。

6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| リセット後の値 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

上記はOFSレジスタのLVDASビットが“1”の場合

上記はOFSレジスタのLVDASビットが“0”の場合

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-------------------------|---|-----|
| b0 | VCA20 | 内部電源低消費電力許可ビット(注1) | 0: 低消費電力禁止 1: 低消費電力許可(注2) | R/W |
| b1 | VCA21 | コンパレータA1リファレンス電圧入力選択ビット | 0: 内部基準電圧 1: LVREF端子入力電圧 | R/W |
| b2 | VCA22 | LVCMP1比較電圧外部入力選択ビット | 0: 電源電圧(VCC) 1: LVCMP1端子入力電圧 | R/W |
| b3 | VCA23 | コンパレータA2リファレンス電圧入力選択ビット | 0: 内部基準電圧 1: LVREF端子入力電圧 | R/W |
| b4 | VCA24 | LVCMP2比較電圧外部入力選択ビット | 0: 電源電圧(VCC) (Vdet2_0) 1: LVCMP2端子入力電圧 (Vdet2_EXT) | R/W |
| b5 | VCA25 | 電圧検出0許可ビット(注3) | 0: 電圧検出0回路無効 1: 電圧検出0回路有効 | R/W |
| b6 | VCA26 | 電圧検出1/コンパレータA1許可ビット(注4) | 0: 電圧検出1/コンパレータA1回路無効 1: 電圧検出1/コンパレータA1回路有効 | R/W |
| b7 | VCA27 | 電圧検出2/コンパレータA2許可ビット(注5) | 0: 電圧検出2/コンパレータA2回路無効 1: 電圧検出2/コンパレータA2回路有効 | R/W |

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「33.2.9 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1/コンパレータA1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1/コンパレータA1回路が動作します。

注5. 電圧検出2/コンパレータA2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2/コンパレータA2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.5 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0036h番地

| | | | | | | | | |
|---------|----|----|----|----|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | VD1S3 | VD1S2 | VD1S1 | VD1S0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-------------------------------|--|-----|
| b0 | VD1S0 | 電圧検出1レベル選択ビット (電圧下降時の標準電圧) | b3 b2 b1 b0 0 0 0 0 : 2.20V (Vdet1_0) | R/W |
| b1 | VD1S1 | | 0 0 0 1 : 2.35V (Vdet1_1) | R/W |
| b2 | VD1S2 | | 0 0 1 0 : 2.50V (Vdet1_2) | R/W |
| b3 | VD1S3 | | 0 0 1 1 : 2.65V (Vdet1_3) | R/W |
| | | | 0 1 0 0 : 2.80V (Vdet1_4) | |
| | | | 0 1 0 1 : 2.95V (Vdet1_5) | |
| | | | 0 1 1 0 : 3.10V (Vdet1_6) | |
| | | | 0 1 1 1 : 3.25V (Vdet1_7) | |
| | | | 1 0 0 0 : 3.40V (Vdet1_8) | |
| | | | 1 0 0 1 : 3.55V (Vdet1_9) | |
| | | 1 0 1 0 : 3.70V (Vdet1_A) | | |
| | | 1 0 1 1 : 3.85V (Vdet1_B) | | |
| | | 1 1 0 0 : 4.00V (Vdet1_C) | | |
| | | 1 1 0 1 : 4.15V (Vdet1_D) | | |
| | | 1 1 1 0 : 4.30V (Vdet1_E) | | |
| | | 1 1 1 1 : 4.45V (Vdet1_F) | | |
| b4 | - | 予約ビット | "0" にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

VD1LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.6 電圧監視0回路制御レジスタ(VW0C)

アドレス 0038h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|-------|
| シンボル | - | - | - | - | - | - | - | VW0C0 |
| リセット後の値 | 1 | 1 | 0 | 0 | X | 0 | 1 | 0 |

上記はOFSレジスタのLVDASビットが“1”の場合

| | | | | | | | | |
|---------|---|---|---|---|---|---|---|---|
| リセット後の値 | 1 | 1 | 0 | 0 | X | 0 | 1 | 1 |
|---------|---|---|---|---|---|---|---|---|

上記はOFSレジスタのLVDASビットが“0”の場合

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------------|----------------|-----|
| b0 | VW0C0 | 電圧監視0リセット許可ビット(注1) | 0: 禁止 1: 許可 | R/W |
| b1 | - | 予約ビット | “1” にしてください | R/W |
| b2 | - | 予約ビット | “0” にしてください | R/W |
| b3 | - | 予約ビット | 読んだ場合、その値は不定。 | R |
| b4 | - | 予約ビット | “0” にしてください | R/W |
| b5 | - | | | |
| b6 | - | 予約ビット | “1” にしてください | R/W |
| b7 | - | | | |

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.7 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h番地

| | | | | | | | | |
|---------|-------|----|-------|-------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | VW1C7 | - | VW1F1 | VW1F0 | VW1C3 | VW1C2 | VW1C1 | VW1C0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-------------------------------|---|-----|
| b0 | VW1C0 | 電圧監視1割り込み許可ビット(注1) | 0: 禁止 1: 許可 | R/W |
| b1 | VW1C1 | 電圧監視1デジタルフィルタ無効モード選択ビット(注2、6) | 0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効) | R/W |
| b2 | VW1C2 | 電圧変化検出フラグ(注3、4) | 0: 未検出 1: Vdet1 通過検出 | R/W |
| b3 | VW1C3 | 電圧検出1信号モニタフラグ(注3) | 0: VCC < Vdet1 1: VCC > Vdet1 または電圧検出1回路無効 | R |
| b4 | VW1F0 | サンプリングクロック選択ビット (注6) | b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周 | R/W |
| b5 | VW1F1 | | | R/W |
| b6 | - | 予約ビット | "0" にしてください | R/W |
| b7 | VW1C7 | 電圧監視1割り込み発生条件選択ビット(注5) | 0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき | R/W |

- 注1. VW1C0ビットはVCA2レジスタのVCA26ビットが"1"(電圧検出1回路有効)のとき有効になります。VCA26ビットが"0"(電圧検出1回路無効)のとき、VW1C0ビットを"0"(禁止)にしてください。VW1C0ビットを"1"(許可)にするときは、「表 6.3 電圧監視1割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW1C1ビットが"0")、CM1レジスタのCM14ビットを"0"(低速オンチップオシレータ発振)にしてください。
なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを"1"(デジタルフィルタ無効)にしてください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが"1"(電圧検出1回路有効)のとき有効になります。
- 注4. プログラムで"0"にしてください。プログラムで"0"を書くとき"0"になります("1"を書いても変化しません)。
- 注5. VW1C7ビットはVCACレジスタのVCAC1ビットが"0"(片エッジ)のとき有効になります。VCAC1ビットを"0"にした後、VW1C7ビットを設定してください。
- 注6. VW1C0ビットが"1"(許可)のとき、VW1C1ビットとVW1F1~VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを"1"(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが"1"になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを"0"にしてください。

6.2.8 電圧監視2回路制御レジスタ(VW2C)

アドレス 003Ah番地

| | | | | | | | | |
|---------|-------|----|-------|-------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | VW2C7 | - | VW2F1 | VW2F0 | VW2C3 | VW2C2 | VW2C1 | VW2C0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-------------------------------|---|-----|
| b0 | VW2C0 | 電圧監視2割り込み許可ビット(注1) | 0: 禁止 1: 許可 | R/W |
| b1 | VW2C1 | 電圧監視2デジタルフィルタ無効モード選択ビット(注2、6) | 0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効) | R/W |
| b2 | VW2C2 | 電圧変化検出フラグ(注3、4) | 0: 未検出 1: Vdet2通過検出 | R/W |
| b3 | VW2C3 | WDT検出フラグ(注4) | 0: 未検出 1: 検出 | R/W |
| b4 | VW2F0 | サンプリングクロック選択ビット (注6) | b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周 | R/W |
| b5 | VW2F1 | | | R/W |
| b6 | - | 予約ビット | "0" にしてください | R/W |
| b7 | VW2C7 | 電圧監視2割り込み発生条件選択ビット(注5) | 0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき | R/W |

- 注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表 6.4 電圧監視2割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。
- 注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

6.2.9 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|------------------------|---|-----|
| b0 | WDTON | ウォッチドッグタイマ起動選択ビット | 0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態 | R/W |
| b1 | - | 予約ビット | “1” にしてください | R/W |
| b2 | ROMCR | ROMコードプロテクト解除ビット | 0: ROMコードプロテクト解除 1: ROMCP1ビット有効 | R/W |
| b3 | ROMCP1 | ROMコードプロテクトビット | 0: ROMコードプロテクト有効 1: ROMコードプロテクト解除 | R/W |
| b4 | VDSEL0 | 電圧検出0レベル選択ビット(注2) | b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0) | R/W |
| b5 | VDSEL1 | | | R/W |
| b6 | LVDAS | 電圧検出0回路起動ビット(注3) | 0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効 | R/W |
| b7 | CSPROINI | リセット後カウントソース保護モード選択ビット | 0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効 | R/W |

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

6.3 VCC入力電圧のモニタ

6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「34. 電気的特性」参照) 経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S3 ~ VD1S0ビット(電圧検出1検出電圧)を設定する
- (2) VCA2レジスタのVCA21ビットを“0”(内部基準電圧)にする
- (3) VCA2レジスタのVCA22ビットを“0”(VCC電圧)にする
- (4) VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

6.3.3 Vdet2のモニタ

次の設定をした後、td(E-A) (「34. 電気的特性」参照) 経過後、VCA1レジスタのVCA13ビットで電圧監視2の比較結果をモニタできます。

- (1) VCA2レジスタのVCA23ビットを“0”(内部基準電圧)にする
- (2) VCA2レジスタのVCA24ビットを“0”(VCC電圧)または“1”(LVCMP2端子入力電圧)にする
- (3) VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする

6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVIDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図 6.5 に電圧監視0リセット動作例を示します。

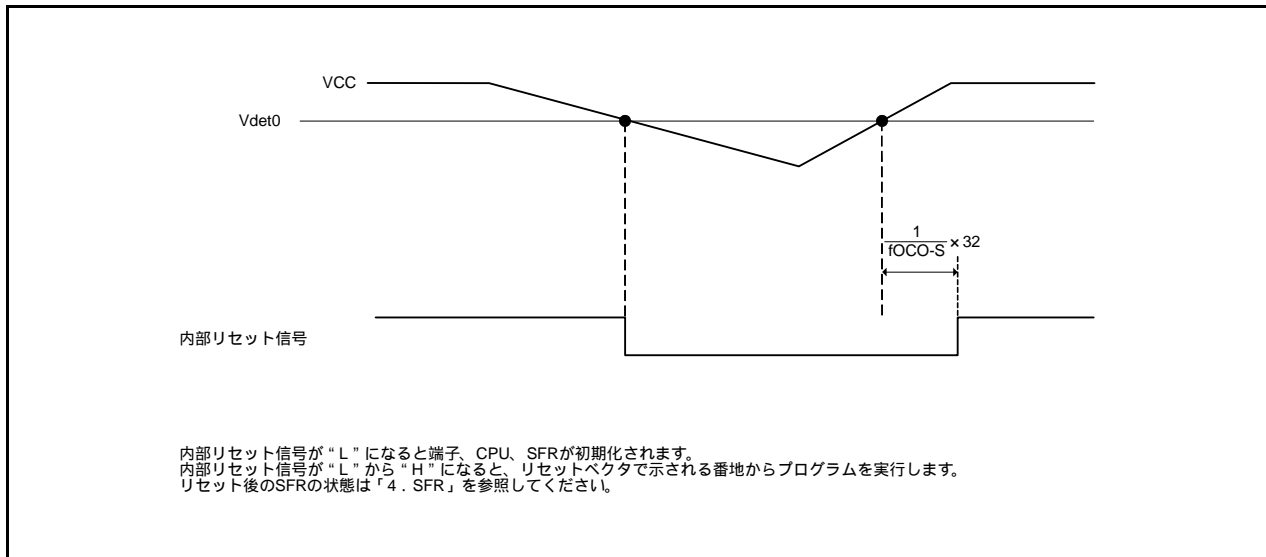


図 6.5 電圧監視0リセット動作例

6.5 電圧監視1割り込み

表 6.3 に電圧監視1割り込み関連ビットの設定手順を、図 6.6 に電圧監視1割り込み動作例を示します。
 なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視1割り込み関連ビットの設定手順

| 手順 | デジタルフィルタを使用する場合 | デジタルフィルタを使用しない場合 |
|--------|--|--------------------------------------|
| 1 | VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する | |
| 2 | VCA2レジスタのVCA21ビットを“0”(内部基準電圧)にする | |
| 3(注1) | VCA2レジスタのVCA22ビットを“0”(VCC電圧)にする | |
| 4(注1) | VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする | |
| 5 | td(E-A)待つ | |
| 6 | CMPAレジスタのCOMPSELビットを“1”にする | |
| 7(注2) | CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する | |
| 8 | VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する | VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする |
| 9(注3) | VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする | |
| 10 | VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する | |
| 11 | VW1CレジスタのVW1C2ビットを“0”にする | |
| 12 | CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする | |
| 13 | デジタルフィルタのサンプリングクロック×2サイクル待つ | (待ち時間なし) |
| 14(注4) | VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み許可)にする | |

注1. VW1C0ビットが“0”のとき、手順2と3と4は同時に(1命令で)実行可能です。

注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。

注3. VW1C0ビットが“0”のとき、手順8と9は同時に(1命令で)実行可能です。

注4. 電圧監視1割り込み禁止の状態でも、電圧検出1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。

電圧監視1割り込み関連ビットの設定手順において、電圧検出1回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW1C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

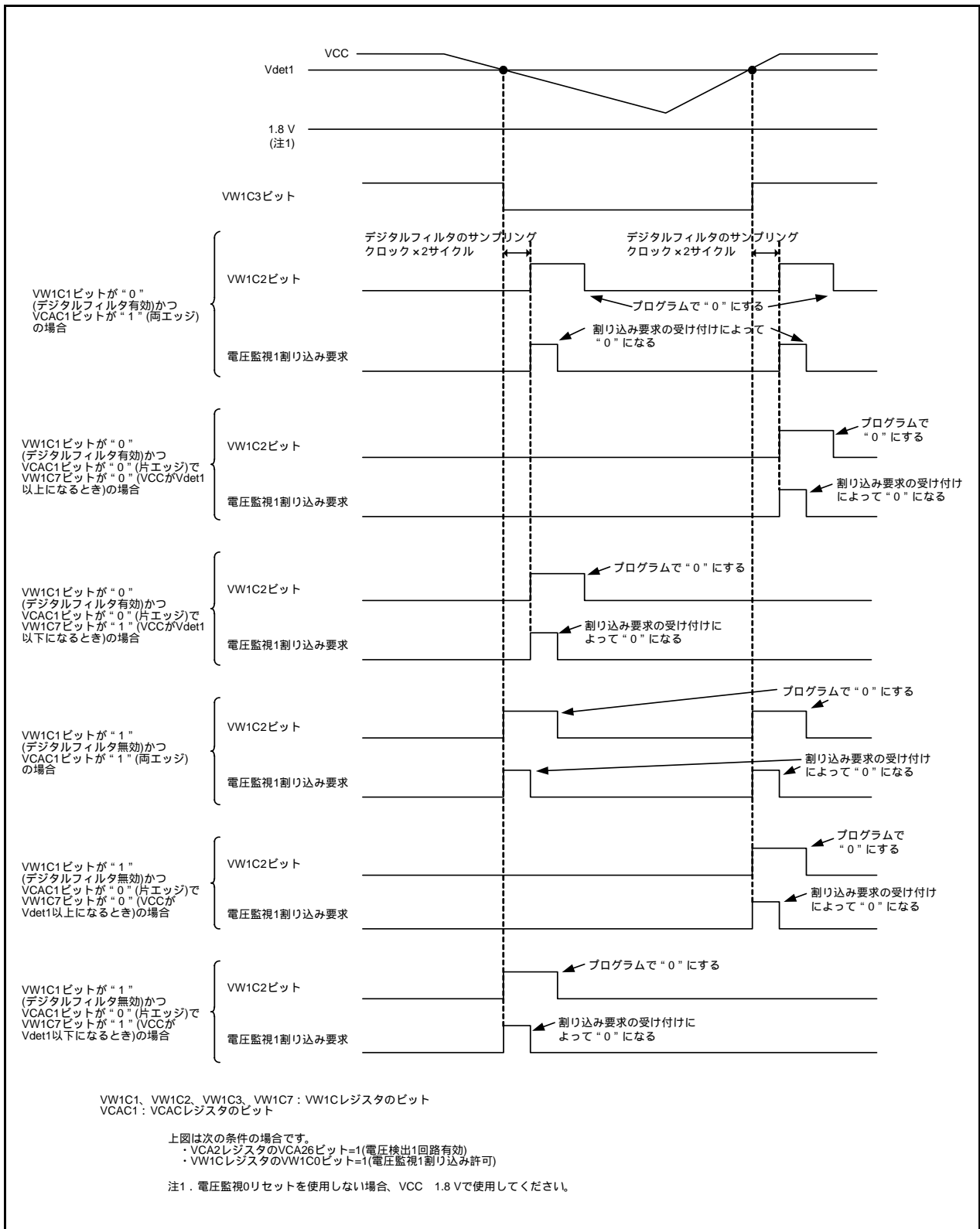


図 6.6 電圧監視1 割り込み動作例

6.6 電圧監視2割り込み

表 6.4 に電圧監視2割り込み関連ビットの設定手順を、図 6.7 に電圧監視2割り込み動作例を示します。
 なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.4 電圧監視2割り込み関連ビットの設定手順

| 手順 | デジタルフィルタを使用する場合 | デジタルフィルタを使用しない場合 |
|--------|--|--------------------------------------|
| 1 | VCA2レジスタのVCA23ビットを“0”(内部基準電圧)にする | |
| 2(注1) | VCA2レジスタのVCA24ビットを“0”(VCC電圧)または“1”(LVCMP2端子入力電圧)にする | |
| 3(注1) | VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする | |
| 4 | td(E-A)待つ | |
| 5 | CMPAレジスタのCOMPSELビットを“1”にする | |
| 6(注2) | CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する | |
| 7 | VW2CレジスタのVW2F1～VW2F0ビットでデジタルフィルタのサンプリングクロックを選択する | VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする |
| 8(注3) | VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする | |
| 9 | VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する | |
| 10 | VW2CレジスタのVW2C2ビットを“0”にする | |
| 11 | CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする | |
| 12 | デジタルフィルタのサンプリングクロック×2サイクル待つ | (待ち時間なし) |
| 13(注4) | VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み許可)にする | |

注1. VW2C0ビットが“0”のとき、手順1と2と3は同時に(1命令で)実行可能です。

注2. VW2C0ビットが“0”のとき、手順5と6は同時に(1命令で)実行可能です。

注3. VW2C0ビットが“0”のとき、手順7と8は同時に(1命令で)実行可能です。

注4. 電圧監視2割り込み禁止の状態でも、電圧検出2回路が有効であれば、電圧低下を検出し、VW2C2ビットは“1”になります。

電圧監視2割り込み関連ビットの設定手順において、電圧検出2回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW2C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

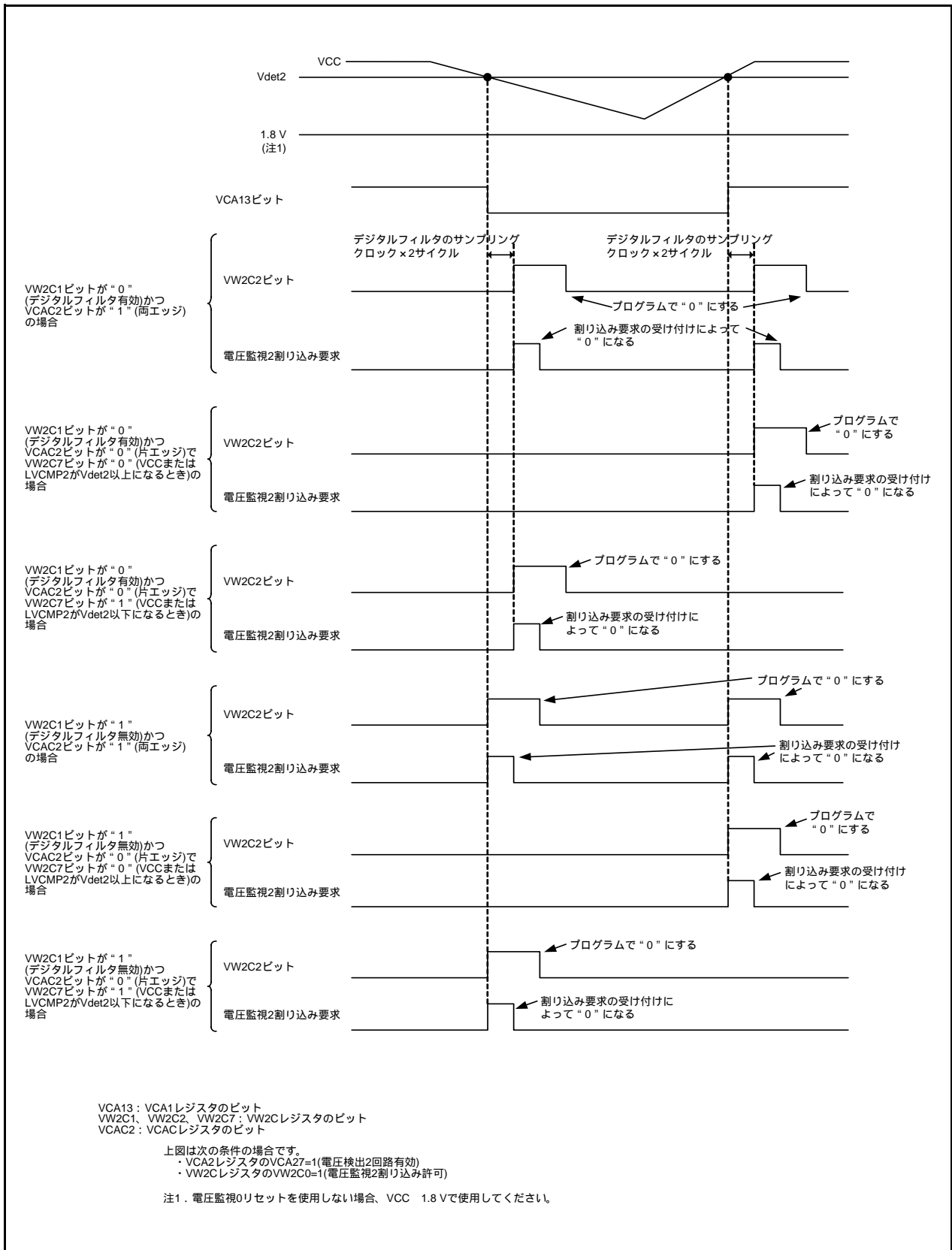


図 6.7 電圧監視2割り込み動作例

7. I/Oポート

I/Oポートは、P0 ~ P2、P3_0 ~ P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_7、P6の43本あります(P4_3、P4_4はXCINクロック発振回路を使用しない場合、P4_6、P4_7はXINクロック発生回路を使用しない場合、I/Oポートとして使用できます)。

また、A/DコンバータおよびD/Aコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表7.1にI/Oポートの概要を示します。

表7.1 I/Oポートの概要

| ポート名 | 入出力 | 出力形式 | 入出力設定 | 内部プルアップ抵抗 | 駆動能力切り替え | 入力レベル切り替え |
|-------------------------------------|-----|---------------|---------------|-------------------|-------------------|-------------------|
| P0、P6 | 入出力 | CMOS3 ステート | 1ビット単位で 設定 | 4ビット単位で 設定(注1) | 4ビット単位で 設定(注3) | 8ビット単位で 設定(注4) |
| P1、P2 | 入出力 | CMOS3 ステート | 1ビット単位で 設定 | 4ビット単位で 設定(注1) | 1ビット単位で 設定(注2) | 8ビット単位で 設定(注4) |
| P3_0 ~ P3_1、 P3_3 ~ P3_5、P3_7 | 入出力 | CMOS3 ステート | 1ビット単位で 設定 | 3ビット単位で 設定(注1) | 3ビット単位で 設定(注3) | 6ビット単位で 設定(注4) |
| P4_3(注5) | 入出力 | CMOS3 ステート | 1ビット単位で 設定 | 1ビット単位で 設定(注1) | 1ビット単位で 設定(注3) | |
| P4_4(注5)、P4_5、 P4_6(注6)、P4_7(注6) | 入出力 | CMOS3 ステート | 1ビット単位で 設定 | 4ビット単位で 設定(注1) | 4ビット単位で 設定(注3) | |
| P4_2(注7) | 入力 | (出力機能なし) | なし | なし | なし | |

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P1DRRレジスタおよびP2DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. DRR0レジスタおよびDRR1レジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注4. VLT0レジスタおよびVLT1レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

注5. XCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注6. XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注7. A/DコンバータおよびD/Aコンバータを使用しない場合、入力専用ポートとして使用できます。

7.1 I/Oポートの機能

ポートP0 ~ P2、P3_0 ~ P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_7、P6の入出力はPDi (i=0 ~ 4、6)レジスタのPDi_j (j=0 ~ 7)ビットで制御します。Piレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1 ~ 図7.15にI/Oポートの構成を、表7.2にI/Oポートの機能を示します。

表7.2 I/Oポートの機能

| Piレジスタをアクセス 時の動作 | PDiレジスタのPDi_jビットの値(注1) | |
|---------------------|------------------------|-----------------------------------|
| | “0”(入力モード)のとき | “1”(出力モード)のとき |
| 読み出し | 端子の入力レベルを読む | ポートラッチを読む |
| 書き込み | ポートラッチに書く | ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。 |

i=0 ~ 4、6、j=0 ~ 7

注1. PD4_0 ~ PD4_2ビットには何も配置されていません。また、PD3_2、PD3_6ビットは予約ビットです。

7.2 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表 1.4 ~ 表 1.5 ピン番号別端子名一覧」参照)。

表 7.3 に周辺機能の入出力として機能する場合の PDi_j ビットの設定 (i=0 ~ 4、6、j=0 ~ 7) を示します。周辺機能の設定方法は、各機能説明を参照してください。

表 7.3 周辺機能の入出力として機能する場合の PDi_j ビットの設定 (i=0 ~ 4、6、j=0 ~ 7)

| 周辺機能の入出力 | 端子を共用しているポートの PDi _j ビットの設定 |
|----------|---------------------------------------|
| 入力 | “0” (入力モード) に設定してください |
| 出力 | “0” でも “1” でも良い (ポートの設定に関係なく、出力になる) |

7.3 I/Oポート以外の端子

図 7.16 に端子の構成を示します。

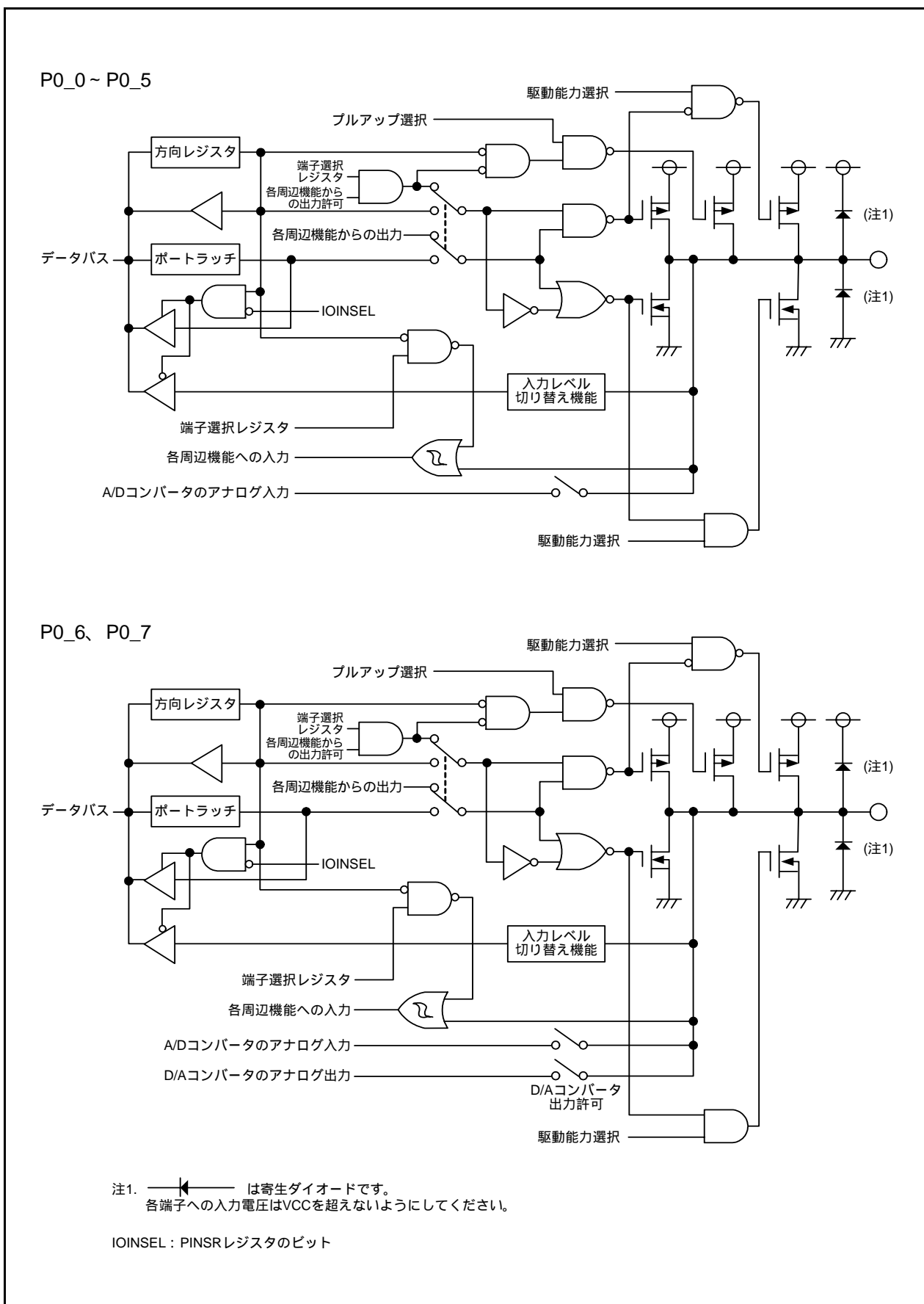


図7.1 I/Oポートの構成(1)

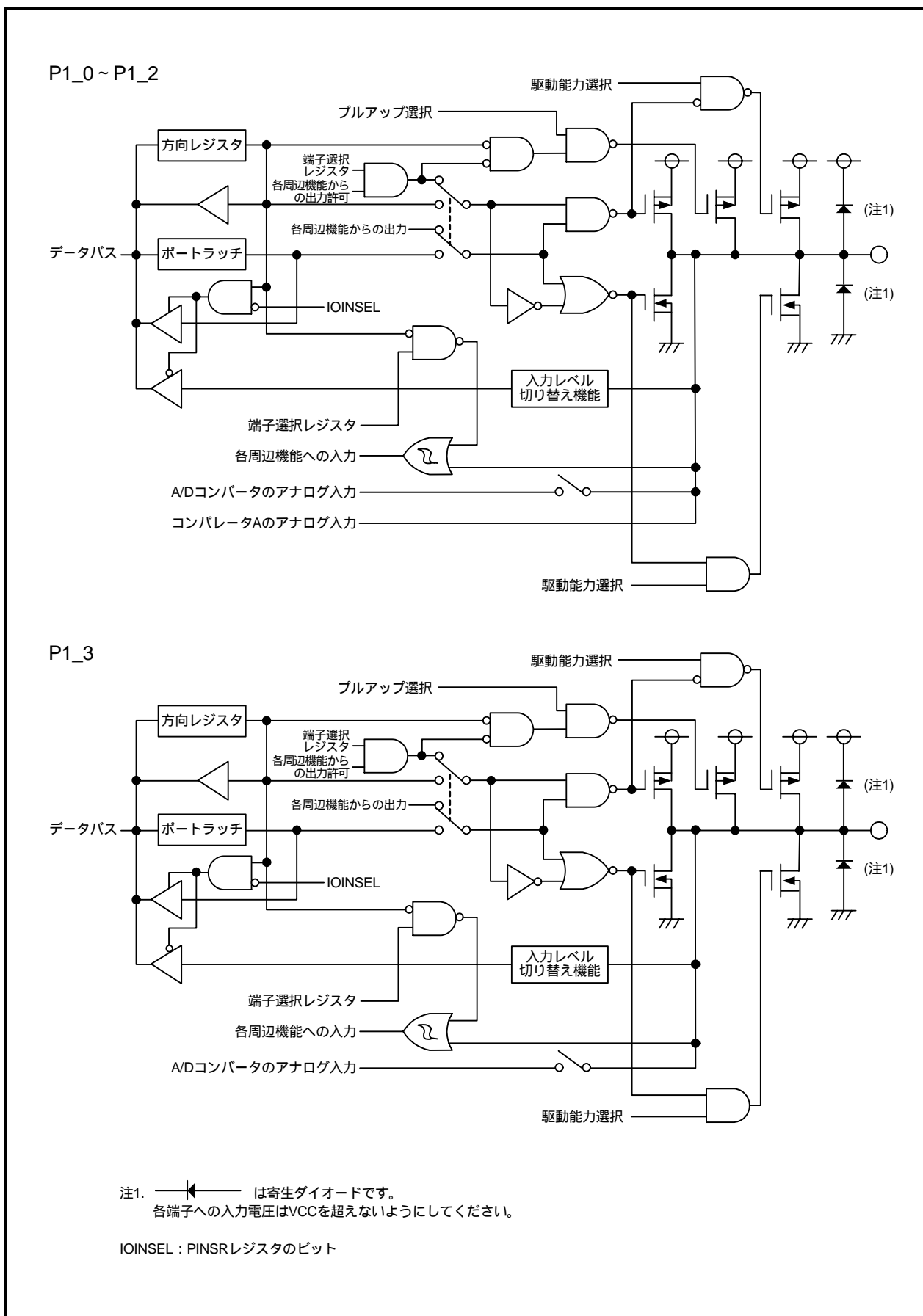


図7.2 I/Oポートの構成(2)

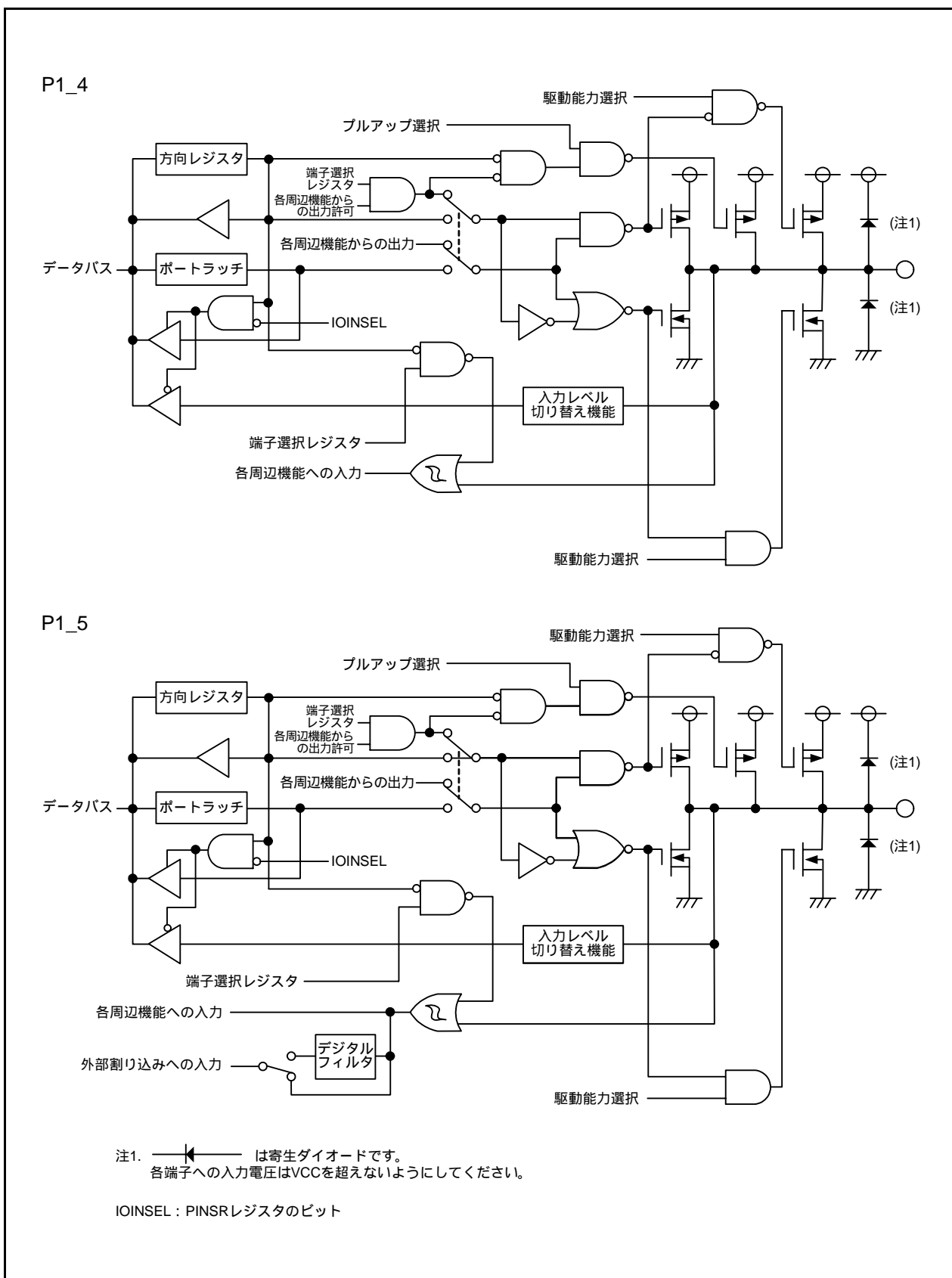


図7.3 I/Oポートの構成(3)

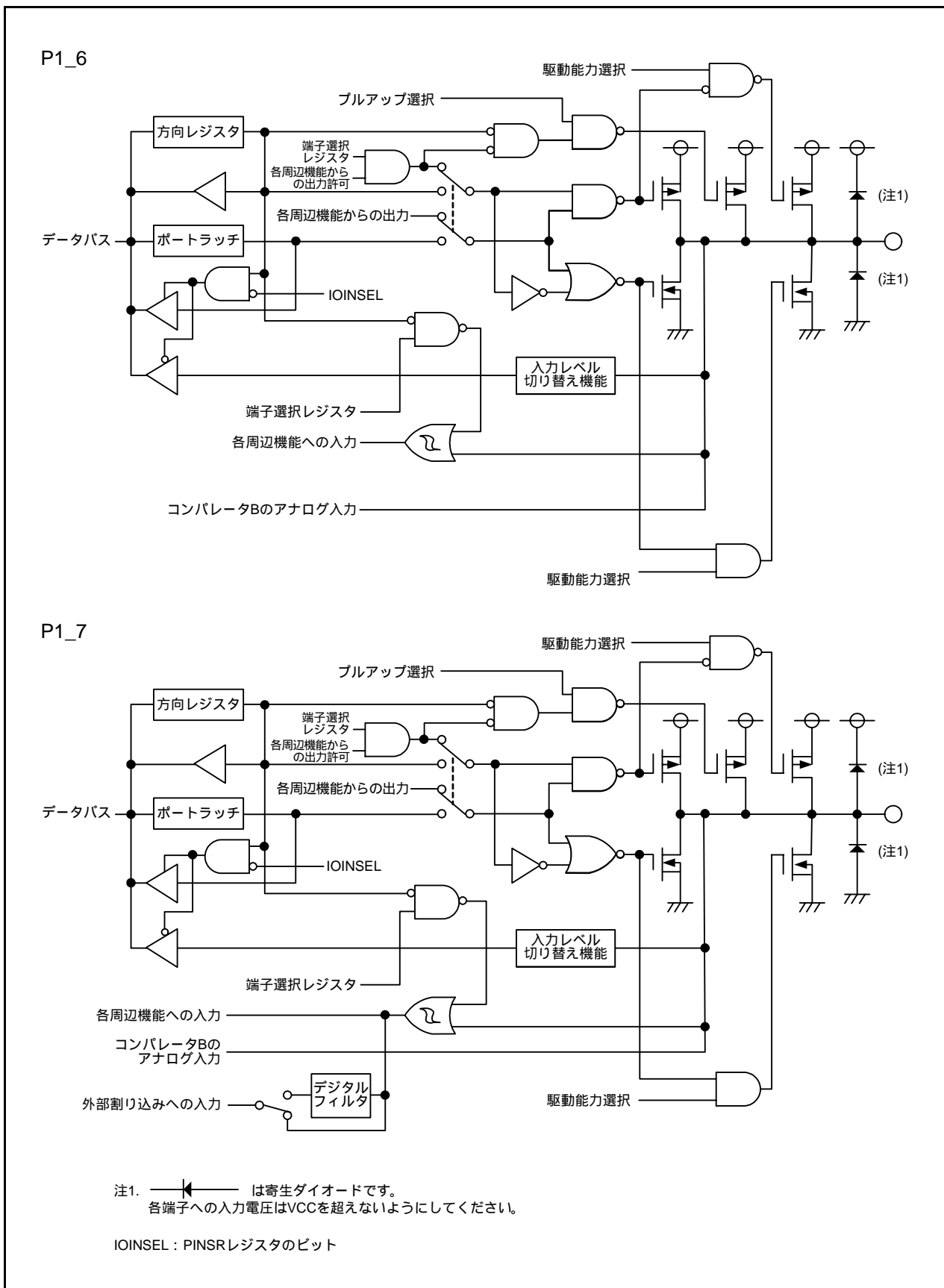


図7.4 I/Oポートの構成(4)

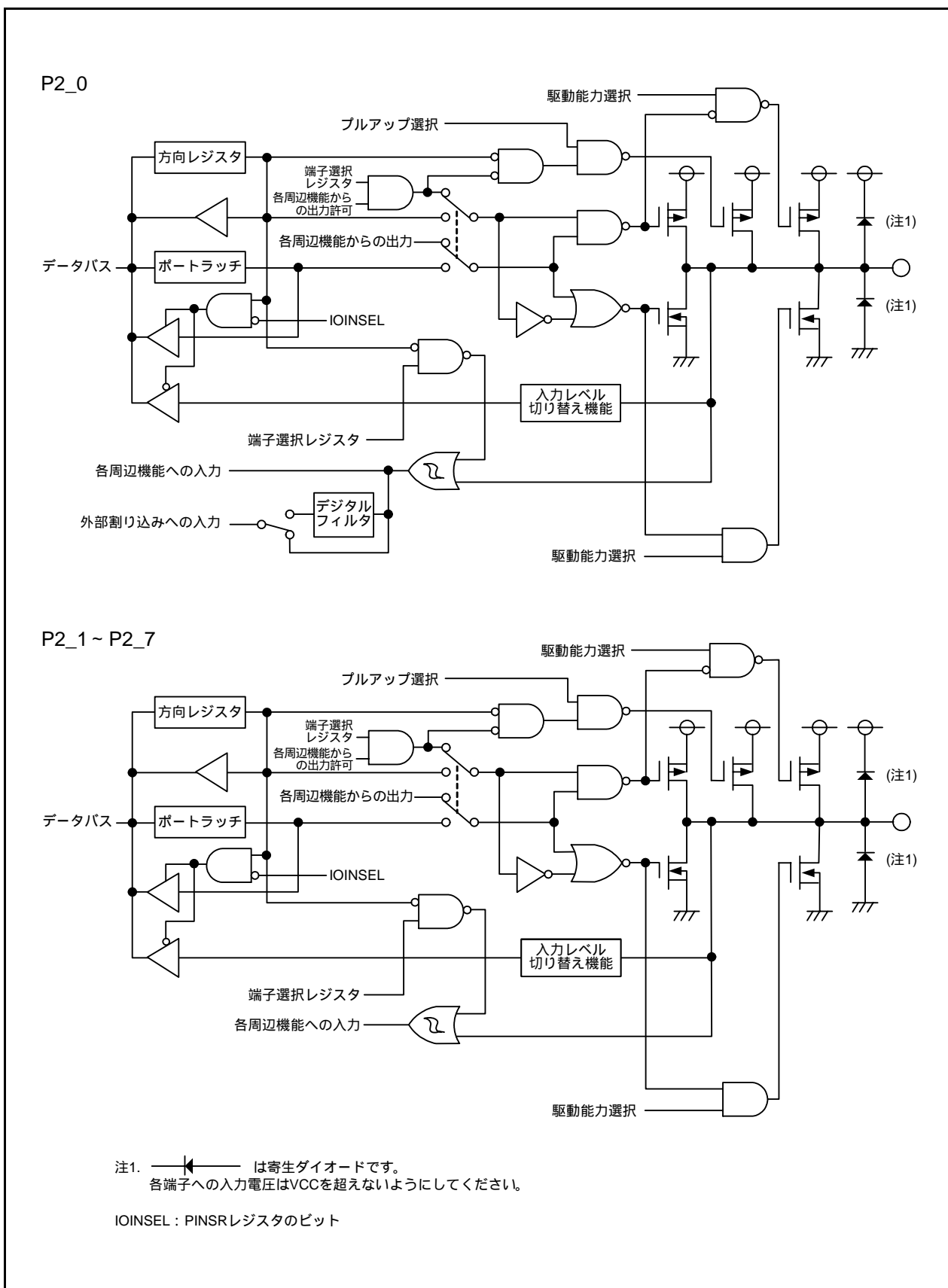


図7.5 I/Oポートの構成(5)

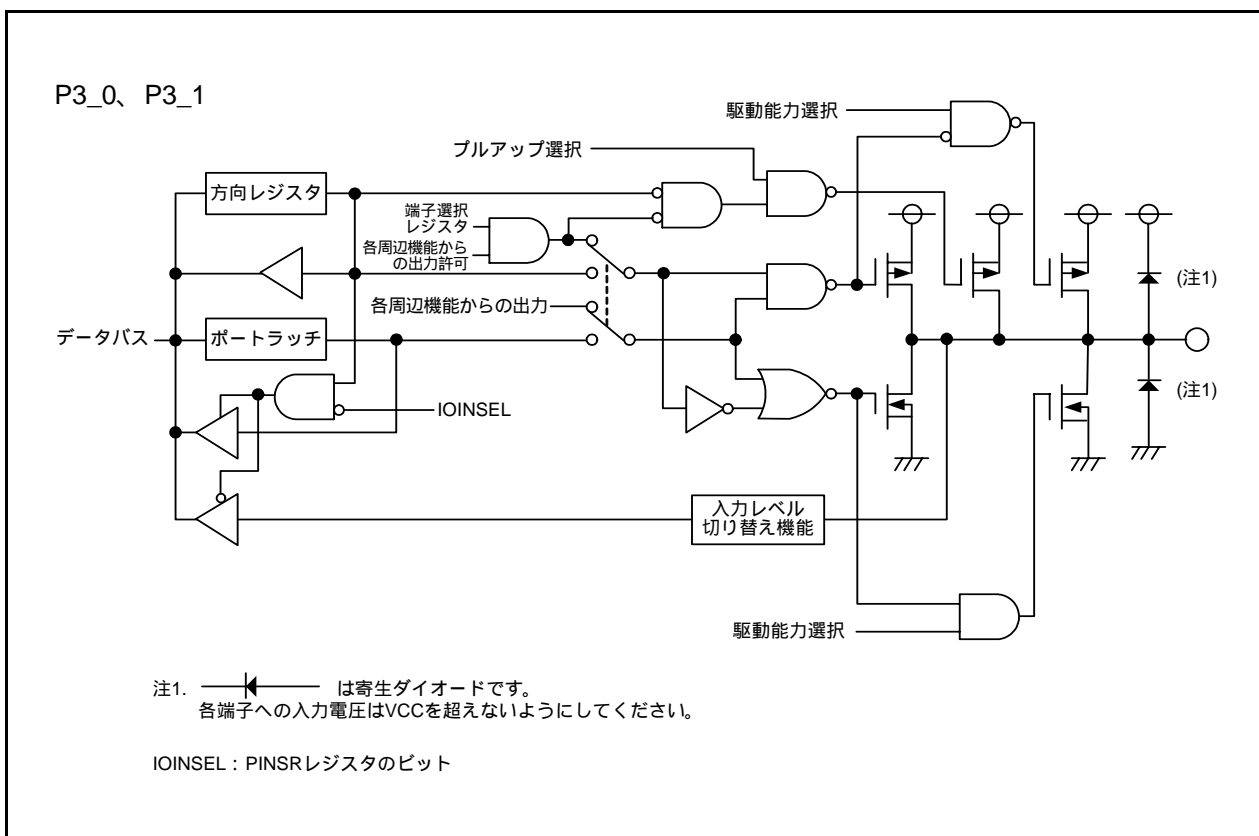


図7.6 I/Oポートの構成(6)

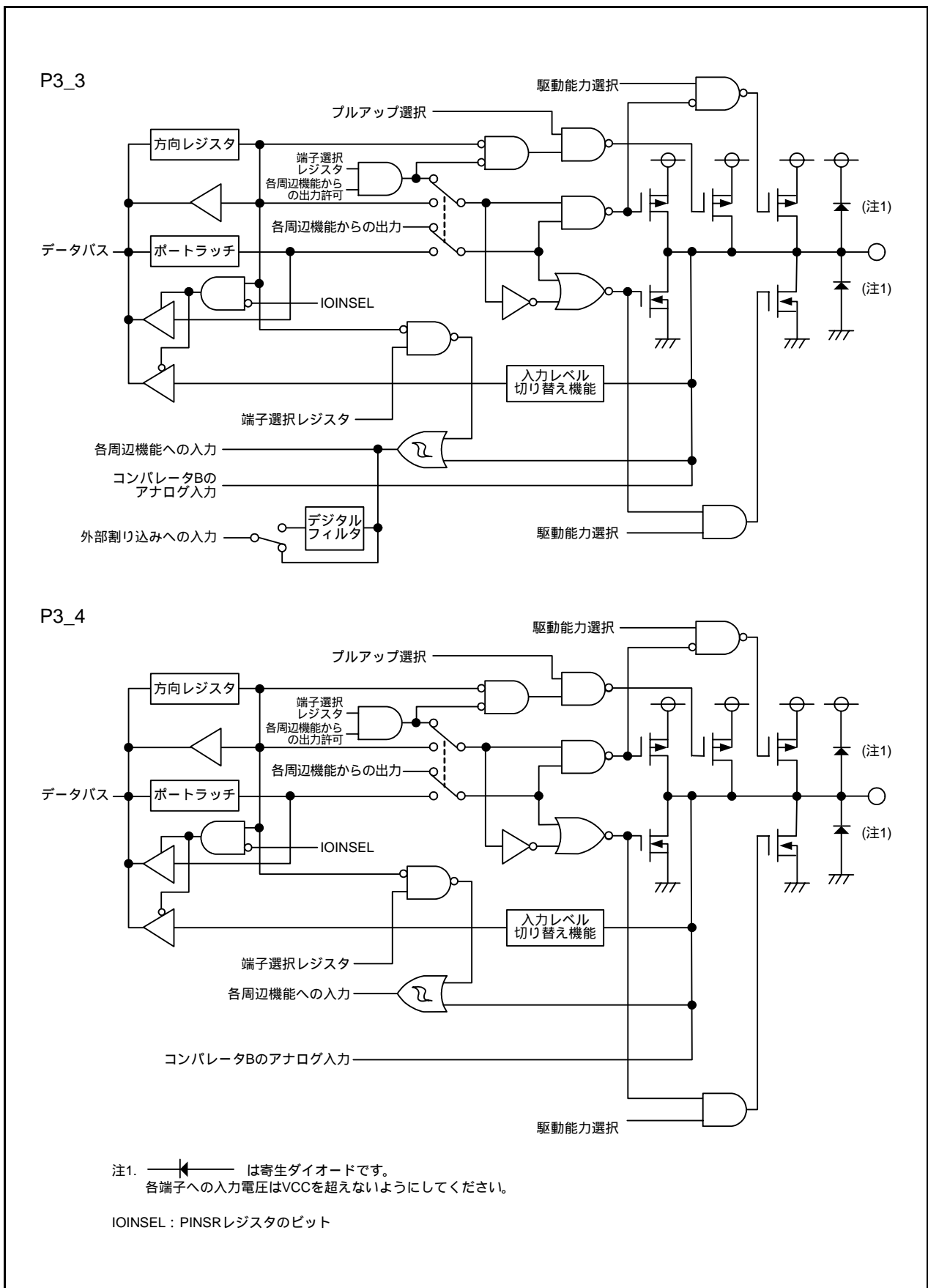


図7.7 I/Oポートの構成(7)

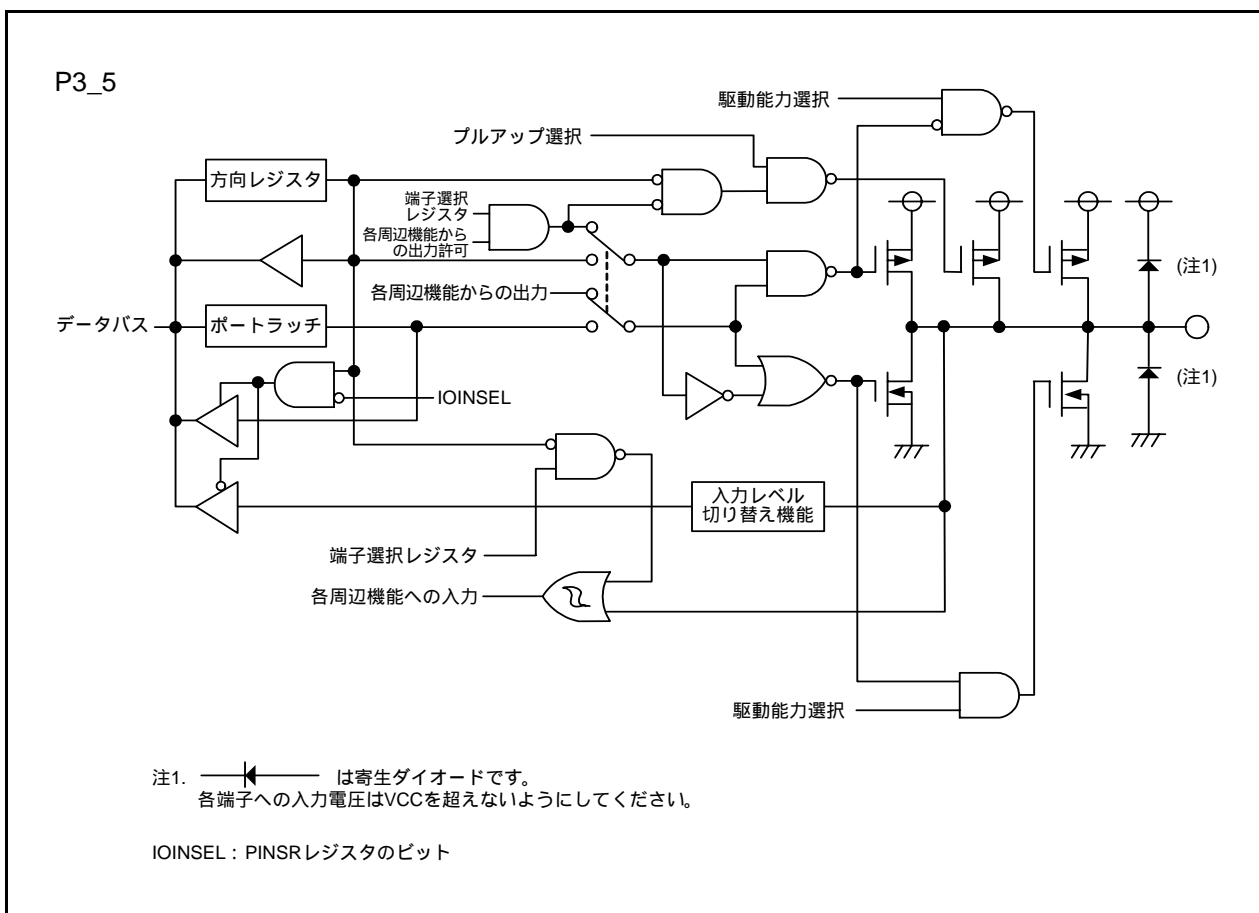


図7.8 I/Oポートの構成(8)

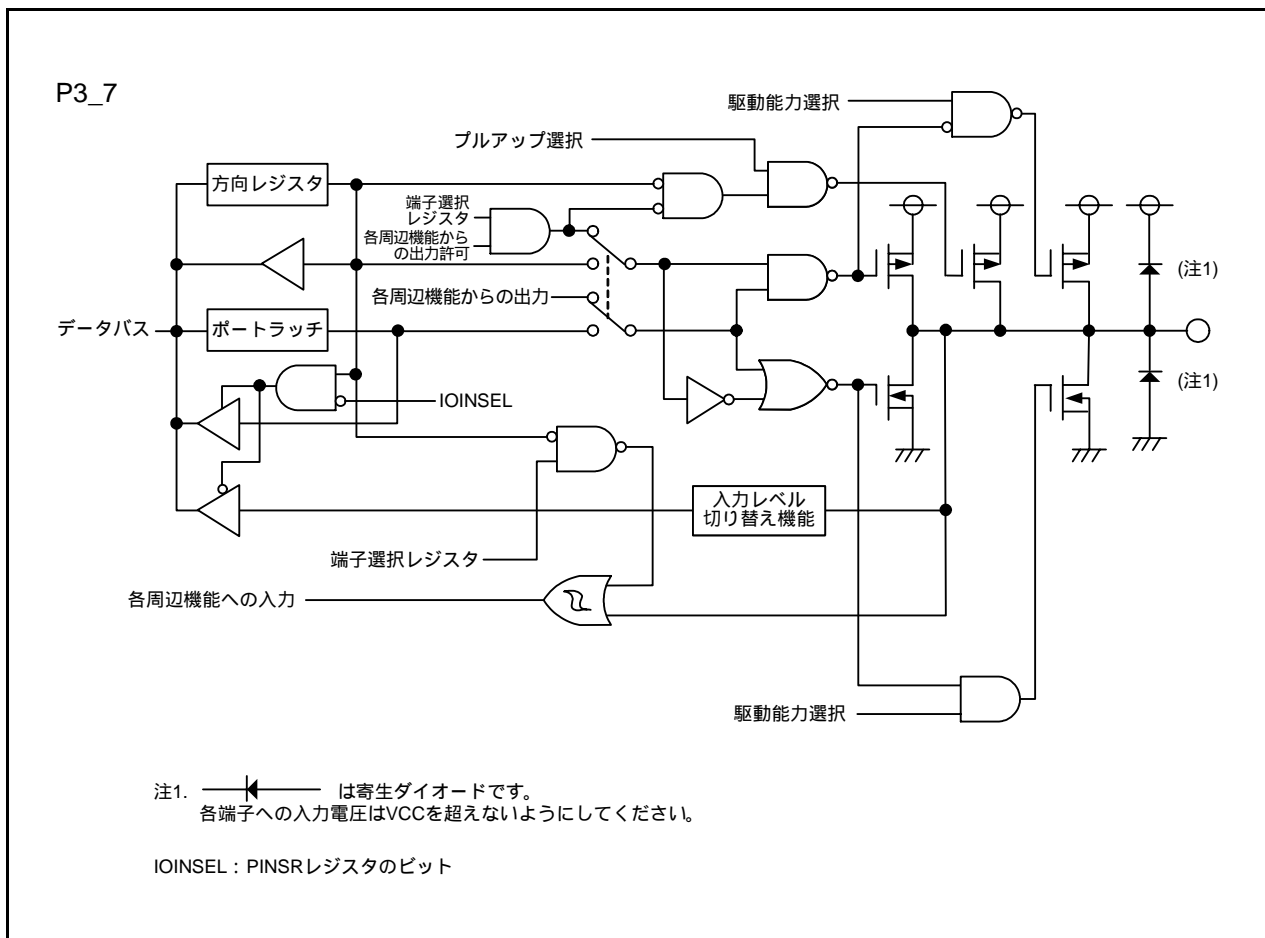


図7.9 I/Oポートの構成(9)

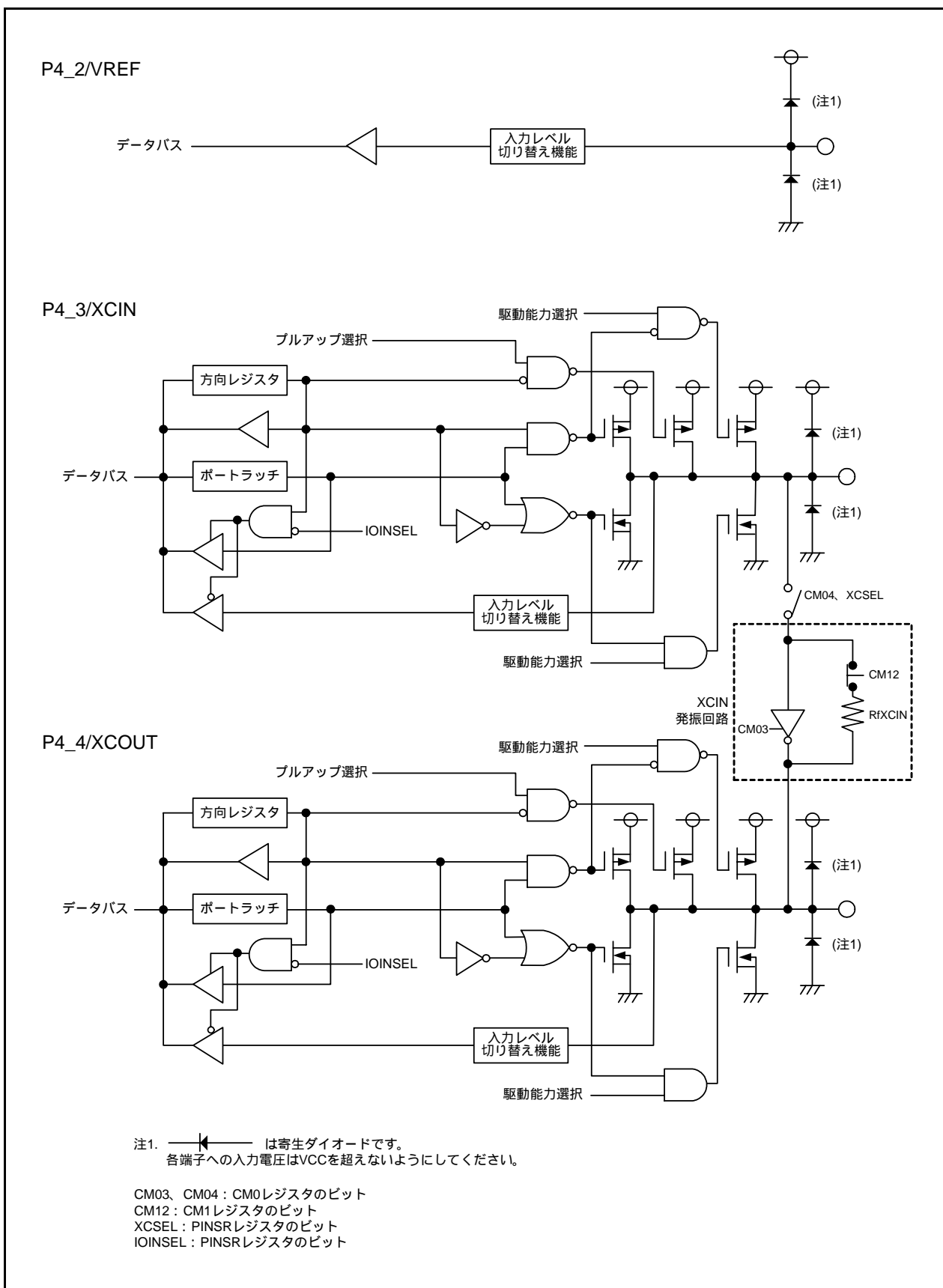


図7.10 I/Oポートの構成(10)

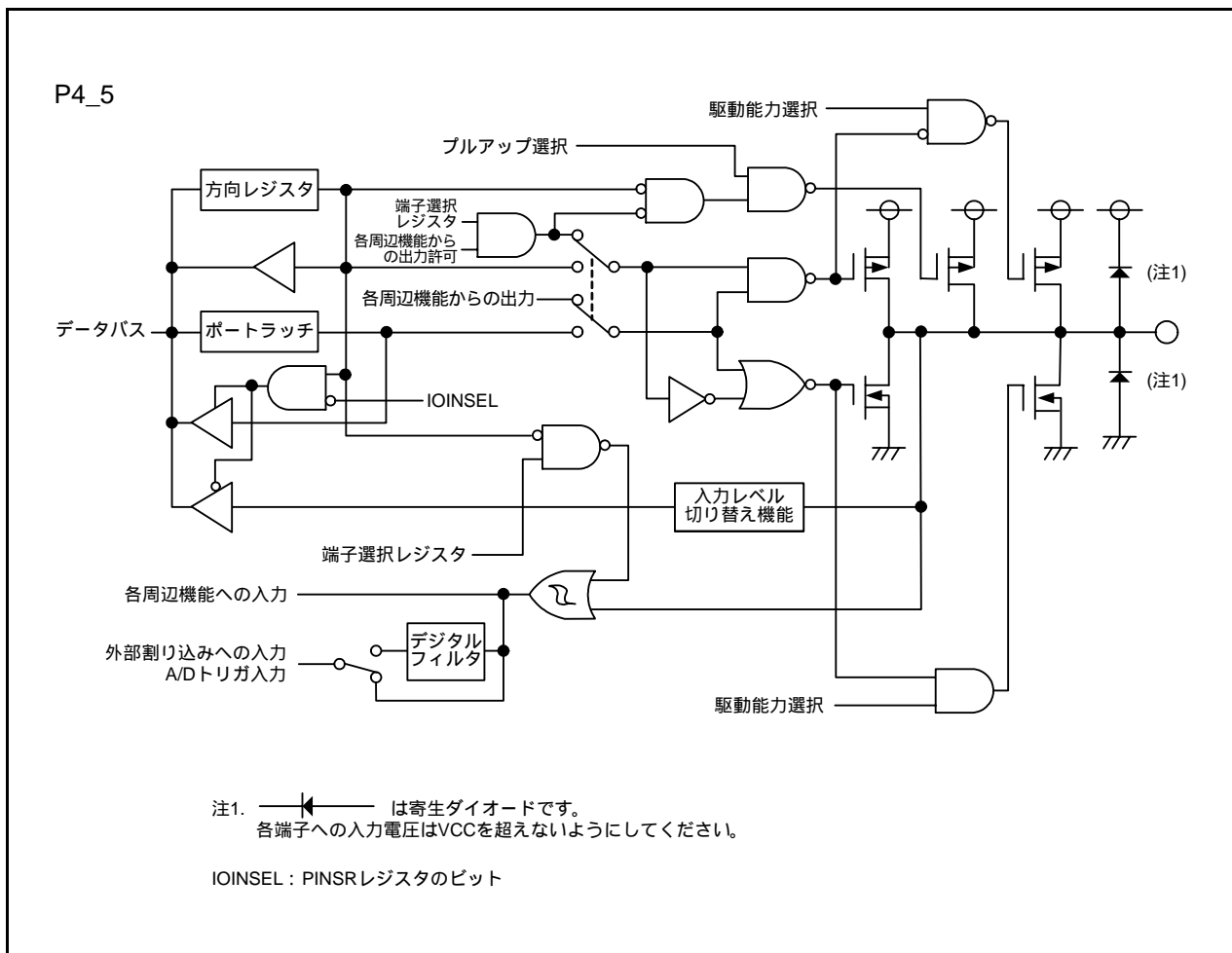


図7.11 I/Oポートの構成(11)

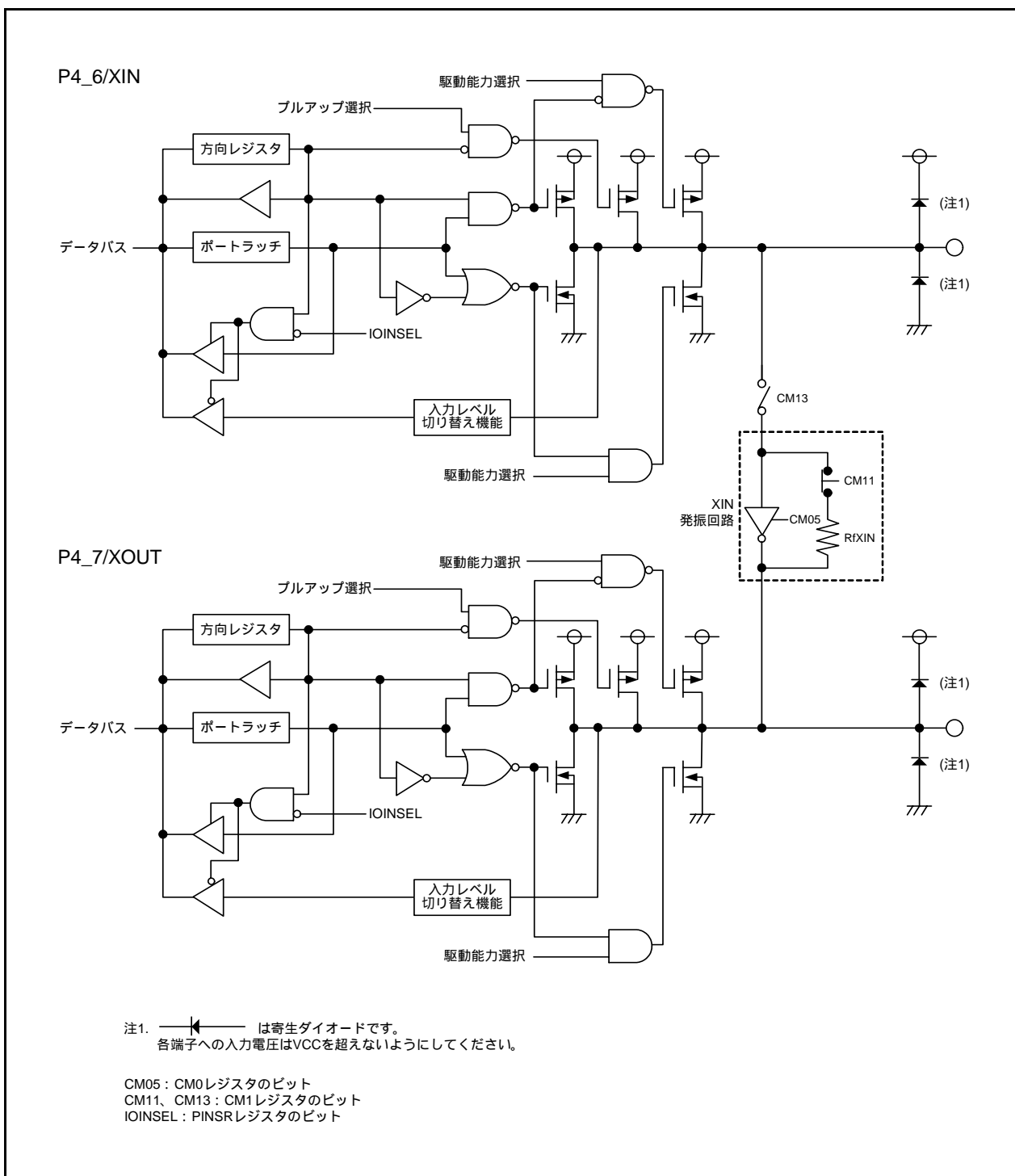


図7.12 I/Oポートの構成(12)

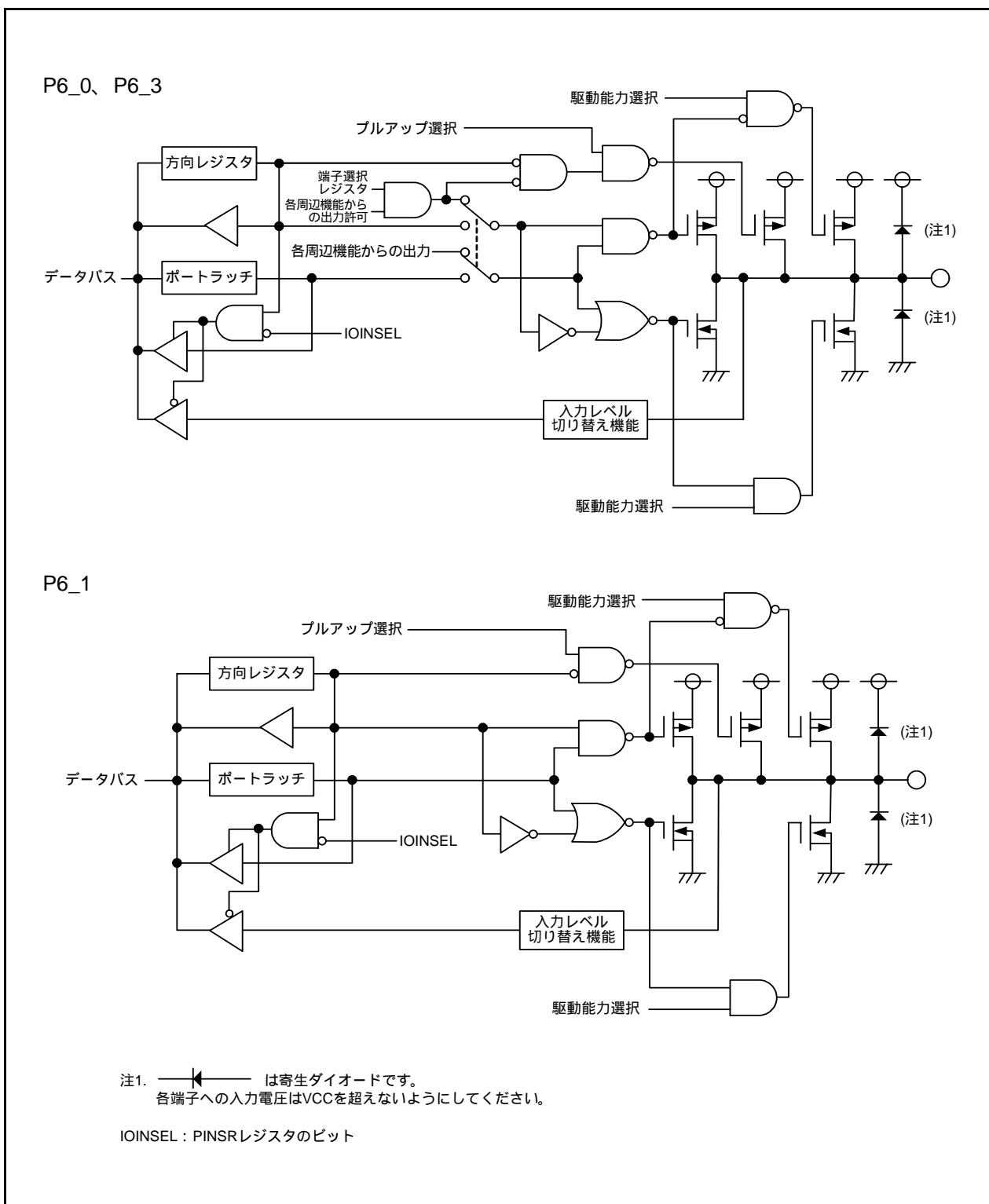


図7.13 I/Oポートの構成(13)

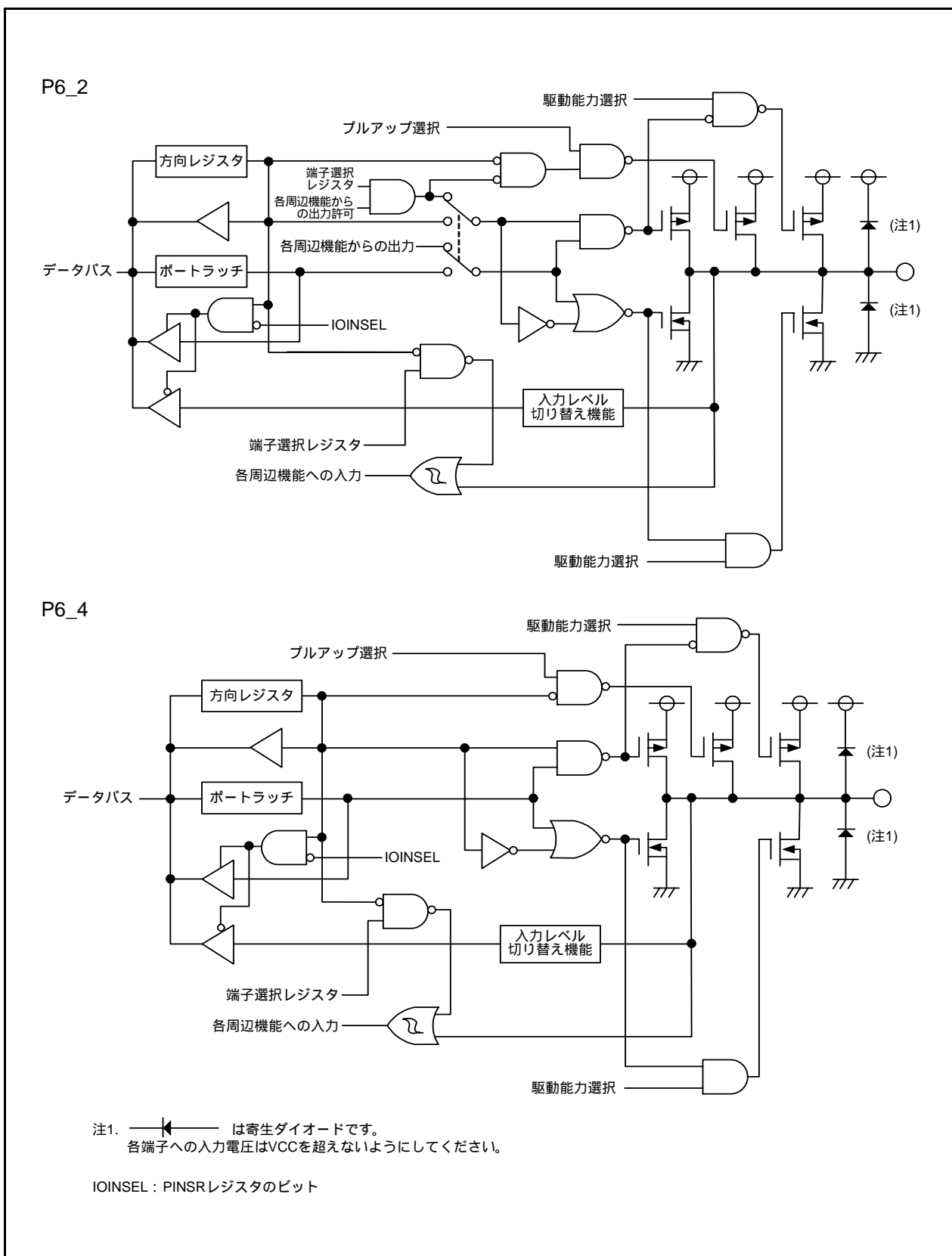


図7.14 I/Oポートの構成(14)

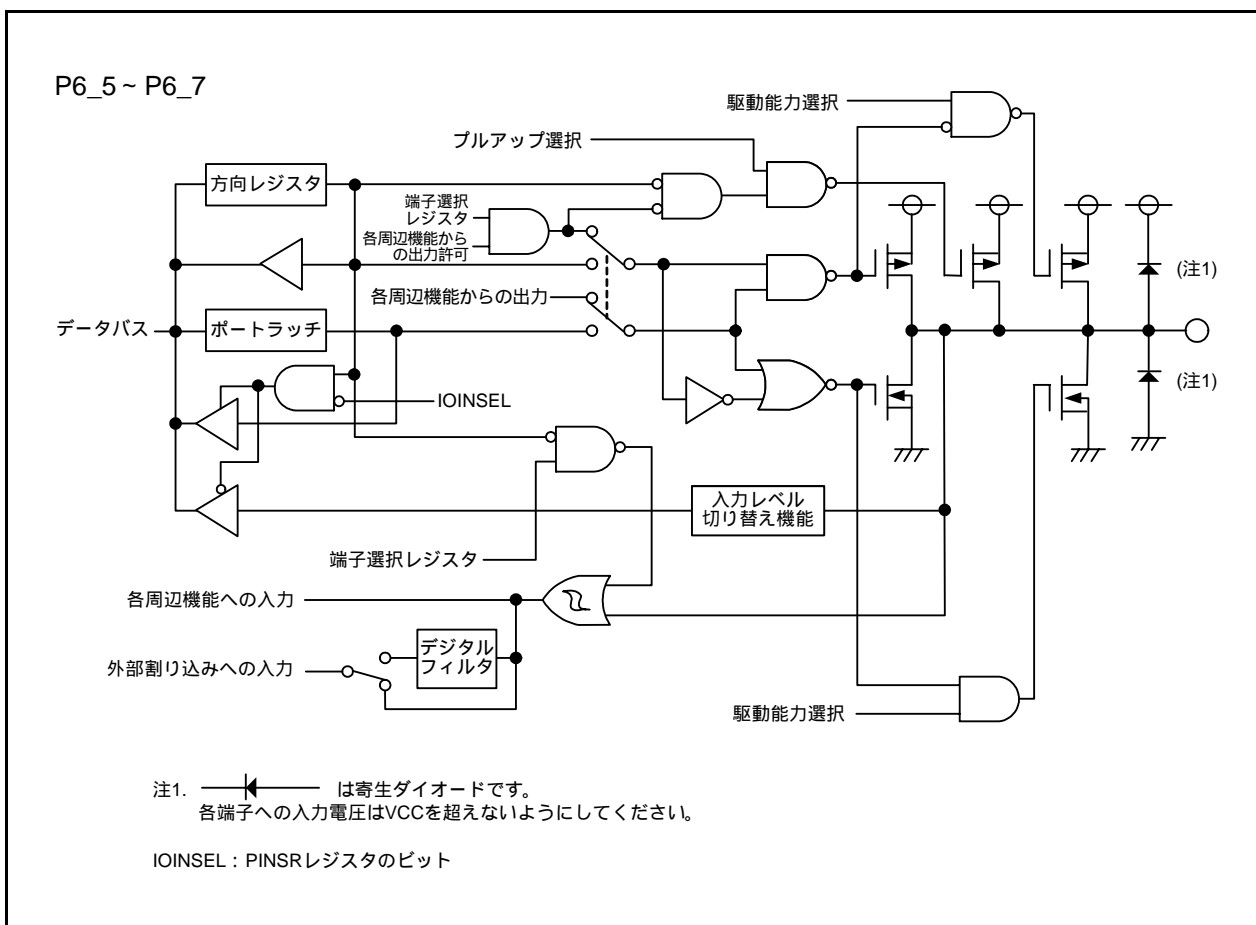


図7.15 I/Oポートの構成(15)

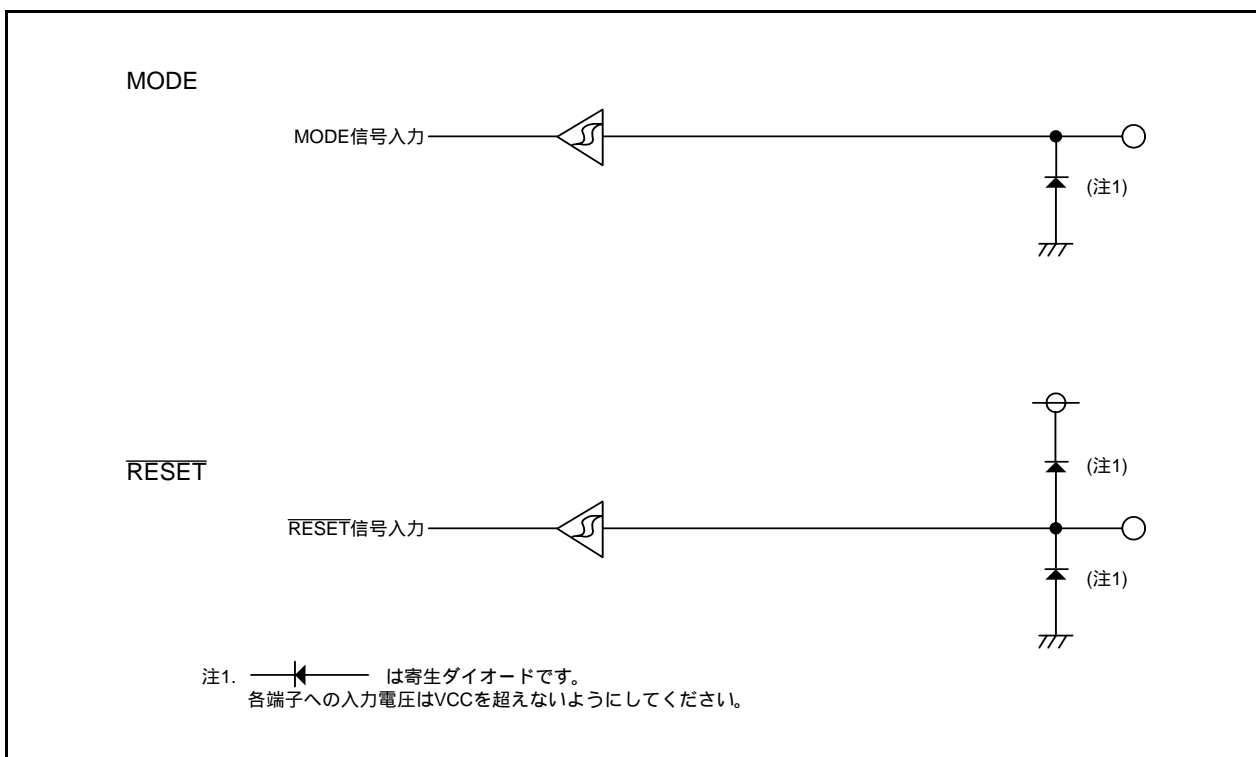


図7.16 端子の構成

7.4 レジスタの説明

7.4.1 ポートPi方向レジスタ(PDi)(i=0 ~ 4、6)

アドレス 00E2h番地(PD0(注1))、00E3h番地(PD1)、00E6h番地(PD2)、00E7h番地(PD3(注2))、
00EAh番地(PD4(注3))、00EEh番地(PD6)

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | PDi_7 | PDi_6 | PDi_5 | PDi_4 | PDi_3 | PDi_2 | PDi_1 | PDi_0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------|--|-----|
| b0 | PDi_0 | ポートPi_0方向ビット | 0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能) | R/W |
| b1 | PDi_1 | ポートPi_1方向ビット | | R/W |
| b2 | PDi_2 | ポートPi_2方向ビット | | R/W |
| b3 | PDi_3 | ポートPi_3方向ビット | | R/W |
| b4 | PDi_4 | ポートPi_4方向ビット | | R/W |
| b5 | PDi_5 | ポートPi_5方向ビット | | R/W |
| b6 | PDi_6 | ポートPi_6方向ビット | | R/W |
| b7 | PDi_7 | ポートPi_7方向ビット | | R/W |

注1. PD0レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. PD3レジスタのPD3_2ビット、PD3_6ビットは予約ビットです。PD3_2ビット、PD3_6ビットに書く場合、“0”を書いてください。読んだ場合、その値は不定です。

注3. PD4レジスタのPD4_0 ~ PD4_2ビットは何も配置されていません。

PD4_0 ~ PD4_2ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

PDiレジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。
PDiレジスタの各ビットは、ポート1本ずつに対応しています。

7.4.2 ポートPiレジスタ (Pi)(i=0 ~ 4、6)

アドレス 00E0h番地 (P0)、00E1h番地 (P1)、00E4h番地 (P2)、00E5h番地 (P3(注1))、
00E8h番地 (P4(注2))、00ECh番地 (P6)

| | | | | | | | | |
|---------|------|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | Pi_7 | Pi_6 | Pi_5 | Pi_4 | Pi_3 | Pi_2 | Pi_1 | Pi_0 |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------|----------------------|-----|
| b0 | Pi_0 | ポートPi_0ビット | 0:“L”レベル 1:“H”レベル | R/W |
| b1 | Pi_1 | ポートPi_1ビット | | R/W |
| b2 | Pi_2 | ポートPi_2ビット | | R/W |
| b3 | Pi_3 | ポートPi_3ビット | | R/W |
| b4 | Pi_4 | ポートPi_4ビット | | R/W |
| b5 | Pi_5 | ポートPi_5ビット | | R/W |
| b6 | Pi_6 | ポートPi_6ビット | | R/W |
| b7 | Pi_7 | ポートPi_7ビット | | R/W |

注1. P3レジスタのP3_2ビット、P3_6ビットは予約ビットです。P3_2ビット、P3_6ビットに書く場合、“0”を書いてください。読んだ場合、その値は不定です。

注2. P4レジスタのP4_0 ~ P4_1ビットは何も配置されていません。P4_0 ~ P4_1ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

Pi_jビット (i=0 ~ 4、6、j=0 ~ 7)(ポートPi_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

7.4.3 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

| | | | | | | | | |
|---------|----|----|----|----|----------|----|------------|------------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | TRAOSEL0 | - | TRAIOSSEL1 | TRAIOSSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|--|--|-----|
| b0 | TRAIOSSEL0 | TRAIO端子選択ビット | b1 b0 00 : TRAI0端子は使用しない 01 : P1_7に割り当てる 10 : P1_5に割り当てる 11 : 設定しないでください | R/W |
| b1 | TRAIOSSEL1 | | | R/W |
| b2 | - | 予約ビット | "0" にしてください | R/W |
| b3 | TRAOSEL0 | TRAO端子選択ビット | 0 : P3_7に割り当てる 1 : P3_0に割り当てる | R/W |
| b4 | - | 予約ビット | "0" にしてください | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

7.4.4 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

| | | | | | | | | |
|---------|----|----|------------|------------|----|----|----|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | TRCCLKSEL1 | TRCCLKSEL0 | - | - | - | TRBOSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|--|---|-----|
| b0 | TRBOSEL0 | TRBO端子選択ビット | 0 : P1_3に割り当てる 1 : P3_1に割り当てる | R/W |
| b1 | - | 予約ビット | “0” にしてください | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | TRCCLKSEL0 | TRCCLK端子選択ビット | b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRCCLKSEL1 | | | R/W |
| b6 | - | 予約ビット | “0” にしてください | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

7.4.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

| | | | | | | | | |
|---------|----|------------|------------|------------|----|------------|------------|------------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRCIOBSEL2 | TRCIOBSEL1 | TRCIOBSEL0 | - | TRCIOASEL2 | TRCIOASEL1 | TRCIOASEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|----------------------|---|--|
| b0 | TRCIOASEL0 | TRCIOA/TRCTRG端子選択ビット | b2 b1 b0 0 0 0 : TRCIOA/TRCTRG端子は使用しない 0 0 1 : P1_1に割り当てる 0 1 0 : P0_0に割り当てる 0 1 1 : P0_1に割り当てる 1 0 0 : P0_2に割り当てる 上記以外 : 設定しないでください | R/W |
| b1 | TRCIOASEL1 | | | R/W |
| b2 | TRCIOASEL2 | | | R/W |
| b3 | - | | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |
| b4 | TRCIOBSEL0 | TRCIOB端子選択ビット | b6 b5 b4 0 0 0 : TRCIOB端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 0 : P0_3に割り当てる 0 1 1 : P0_4に割り当てる 1 0 0 : P0_5に割り当てる 1 0 1 : P2_0に割り当てる 1 1 0 : P6_5に割り当てる 上記以外 : 設定しないでください | R/W |
| b5 | TRCIOBSEL1 | | | R/W |
| b6 | TRCIOBSEL2 | | | R/W |
| b7 | - | | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

7.4.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

| | | | | | | | | |
|---------|----|------------|------------|------------|----|-----------|-----------|-----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRCIODSEL2 | TRCIODSEL1 | TRCIODSEL0 | - | TRCIOSEL2 | TRCIOSEL1 | TRCIOSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|---------------|---|--|
| b0 | TRCIOSEL0 | TRCIO端子選択ビット | b2 b1 b0 0 0 0 : TRCIO端子は使用しない 0 0 1 : P1_3に割り当てる 0 1 0 : P3_4に割り当てる 0 1 1 : P0_7に割り当てる 1 0 0 : P2_1に割り当てる 1 0 1 : P6_6に割り当てる 上記以外 : 設定しないでください | R/W |
| b1 | TRCIOSEL1 | | | R/W |
| b2 | TRCIOSEL2 | | | R/W |
| b3 | - | | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |
| b4 | TRCIODSEL0 | TRCIOD端子選択ビット | b6 b5 b4 0 0 0 : TRCIOD端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 0 : P2_2に割り当てる 1 0 1 : P6_7に割り当てる 上記以外 : 設定しないでください | R/W |
| b5 | TRCIODSEL1 | | | R/W |
| b6 | TRCIODSEL2 | | | R/W |
| b7 | - | | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

7.4.7 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

| | | | | | | | | |
|---------|----|-------------|-------------|-------------|-------------|-------------|----|-------------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD0SEL0 | TRDIOC0SEL1 | TRDIOC0SEL0 | TRDIOB0SEL1 | TRDIOB0SEL0 | - | TRDIOA0SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|--|-----|
| b0 | TRDIOA0SEL0 | TRDIOA0/TRDCLK端子選択ビット | 0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB0SEL0 | TRDIOB0端子選択ビット | b3 b2 00 : TRDIOB0端子は使用しない 01 : 設定しないでください 10 : P2_2に割り当てる 11 : 設定しないでください | R/W |
| b3 | TRDIOB0SEL1 | | | R/W |
| b4 | TRDIOC0SEL0 | TRDIOC0端子選択ビット | b5 b4 00 : TRDIOC0端子は使用しない 01 : 設定しないでください 10 : P2_1に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRDIOC0SEL1 | | | R/W |
| b6 | TRDIOD0SEL0 | TRDIOD0端子選択ビット | 0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

7.4.8 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

| | | | | | | | | |
|---------|----|-------------|----|-------------|----|-------------|----|-------------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD1SEL0 | - | TRDIOC1SEL0 | - | TRDIOB1SEL0 | - | TRDIOA1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|---------------------------------------|-----|
| b0 | TRDIOA1SEL0 | TRDIOA1端子選択ビット | 0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB1SEL0 | TRDIOB1端子選択ビット | 0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | TRDIOC1SEL0 | TRDIOC1端子選択ビット | 0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる | R/W |
| b5 | - | 予約ビット | “0”にしてください | R/W |
| b6 | TRDIOD1SEL0 | TRDIOD1端子選択ビット | 0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる | R/W |
| b7 | - | 予約ビット | “0”にしてください | R/W |

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

7.4.9 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | TREOSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|----------------------------------|-----|
| b0 | TREOSEL0 | TREO端子選択ビット | 0 : P0_4に割り当てる 1 : P6_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

7.4.10 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

| | | | | | | | | |
|---------|----|----|----|----------|----|----------|----|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | CLK0SELO | - | RXD0SELO | - | TXD0SELO |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|----------------------------------|-----|
| b0 | TXD0SELO | TXD0端子選択ビット | 0: TXD0端子は使用しない 1: P1_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | RXD0SELO | RXD0端子選択ビット | 0: RXD0端子は使用しない 1: P1_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | CLK0SELO | CLK0端子選択ビット | 0: CLK0端子は使用しない 1: P1_6に割り当てる | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

7.4.11 UART1端子選択レジスタ(U1SR)

アドレス 0189h番地

| | | | | | | | | |
|---------|----|----|----------|----------|----------|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | CLK1SEL1 | CLK1SEL0 | RXD1SEL1 | RXD1SEL0 | TXD1SEL1 | TXD1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|---|-----|
| b0 | TXD1SEL0 | TXD1端子選択ビット | b1 b0 00: TXD1端子は使用しない 01: P0_1に割り当てる 10: P6_3に割り当てる 11: 設定しないでください | R/W |
| b1 | TXD1SEL1 | | | R/W |
| b2 | RXD1SEL0 | RXD1端子選択ビット | b3 b2 00: RXD1端子は使用しない 01: P0_2に割り当てる 10: P6_4に割り当てる 11: 設定しないでください | R/W |
| b3 | RXD1SEL1 | | | R/W |
| b4 | CLK1SEL0 | CLK1端子選択ビット | b5 b4 00: CLK1端子は使用しない 01: P0_3に割り当てる 10: P6_2に割り当てる 11: P6_5に割り当てる | R/W |
| b5 | CLK1SEL1 | | | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | - |

U1SRレジスタは、UART1の入出力をどの端子に割り当てるかを選択するレジスタです。UART1の入出力端子を使用する場合は、U1SRレジスタを設定してください。

UART1の関連レジスタを設定する前に、U1SRレジスタを設定してください。また、UART1の動作中はU1SRレジスタの設定値を変更しないでください。

7.4.12 UART2 端子選択レジスタ0 (U2SR0)

アドレス 018Ah 番地

| | | | | | | | | |
|---------|----|----|----------|----------|----|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | RXD2SEL1 | RXD2SEL0 | - | TXD2SEL2 | TXD2SEL1 | TXD2SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|---|-----|
| b0 | TXD2SEL0 | TXD2/SDA2 端子選択ビット | b2 b1 b0 000 : TXD2/SDA2 端子は使用しない 001 : P3_7 に割り当てる 010 : P3_4 に割り当てる 011 : 設定しないでください 100 : 設定しないでください 101 : P6_6 に割り当てる 110 : 設定しないでください 111 : 設定しないでください | R/W |
| b1 | TXD2SEL1 | | | R/W |
| b2 | TXD2SEL2 | | | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | RXD2SEL0 | RXD2/SCL2 端子選択ビット | b5 b4 00 : RXD2/SCL2 端子は使用しない 01 : P3_4 に割り当てる 10 : P3_7 に割り当てる 11 : P4_5 に割り当てる | R/W |
| b5 | RXD2SEL1 | | | R/W |
| b6 | - | 予約ビット | “0” にしてください | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

U2SR0 レジスタは、UART2 の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR0 レジスタを設定してください。

UART2 の関連レジスタを設定する前に、U2SR0 レジスタを設定してください。また、UART2 の動作中は U2SR0 レジスタの設定値を変更しないでください。

7.4.13 UART2 端子選択レジスタ1 (U2SR1)

アドレス 018Bh 番地

| | | | | | | | | |
|---------|----|----|----|----------|----|----|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | CTS2SEL0 | - | - | CLK2SEL1 | CLK2SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|--|-----|
| b0 | CLK2SEL0 | CLK2 端子選択ビット | b1 b0 00 : CLK2 端子は使用しない 01 : P3_5に割り当てる 10 : 設定しないでください 11 : P6_5に割り当てる | R/W |
| b1 | CLK2SEL1 | | | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | CTS2SEL0 | CTS2/RTS2 端子選択ビット | 0 : CTS2/RTS2 端子は使用しない 1 : P3_3に割り当てる | R/W |
| b5 | - | 予約ビット | “0” にしてください | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

7.4.14 SSU/IIC 端子選択レジスタ (SSUIICSR)

アドレス 018Ch 番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | IICSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|---|-----|
| b0 | IICSEL | SSU/I ² C バス切り替えビット | 0 : SSU 機能を選択 1 : I ² C バス機能を選択 | R/W |
| b1 | - | 予約ビット | “0” にしてください | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | - | 予約ビット | “0” にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

7.4.15 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh番地

| | | | | | | | | |
|---------|----------|----------|----|----|----|----------|----------|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | INT3SEL1 | INT3SELO | - | - | - | INT1SEL1 | INT1SELO | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|-------------|---|-----|
| b0 | - | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - |
| b1 | INT1SELO | INT1端子選択ビット | b2 b1 00 : P1_7に割り当てる 01 : P1_5に割り当てる 10 : P2_0に割り当てる 11 : 設定しないでください | R/W |
| b2 | INT1SEL1 | | | R/W |
| b3 | - | 予約ビット | “0” にしてください | R/W |
| b4 | - | | | |
| b5 | - | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - |
| b6 | INT3SELO | INT3端子選択ビット | b7 b6 00 : P3_3に割り当てる 01 : 設定しないでください 10 : P6_7に割り当てる 11 : 設定しないでください | R/W |
| b7 | INT3SEL1 | | | R/W |

INTSRレジスタは、 $\overline{\text{INT}}_i$ (i=1, 3) の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSRレジスタの設定値を変更しないでください。

7.4.16 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

| | | | | | | | | |
|---------|---------|---------|-----------|----------|---------|----|----|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | SDADLY1 | SDADLY0 | IICTCHALF | IICTCTWI | IOINSEL | - | - | XCSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-----------|--|--|-----|
| b0 | XCSEL | XCIN/XCOUT 端子接続 ビット | 0: XCINをP4_3、XCOUTをP4_4に接続しない 1: XCINをP4_3、XCOUTをP4_4に接続する | R/W |
| b1 | - | 予約ビット | “0” にしてください | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | IOINSEL | I/Oポート入力機能選択 ビット | 0: I/Oポートの入力機能はPDi (i=0~4、6)レジスタに依存 PDiレジスタのPDi_j (j=0~7)ビットが“0” (入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1” (出力モード)のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む | R/W |
| b4 | IICTCTWI | I ² C転送レート2倍選択 ビット(注1) | 0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート | R/W |
| b5 | IICTCHALF | I ² C転送レート1/2倍選択 ビット(注1) | 0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート | R/W |
| b6 | SDADLY0 | SDA端子デジタル遅延選択 ビット | b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください | R/W |
| b7 | SDADLY1 | | | R/W |

注1. I²Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方も“0”にしてください。

XCSELビット (XCIN/XCOUT 端子接続ビット)

XCSELビットはXCIN、XCOUTをP4_3、P4_4に接続するためのビットです。“1”にするとXCINをP4_3、XCOUTをP4_4に接続します。XCIN、XCOUTの設定方法は、「9. クロック発生回路」を参照してください。

IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0~4、6)レジスタのPDi_j (j=0~7)ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表7.4にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットでP4_2を除くすべてのI/Oポートの入力機能を変更できます。

表7.4 IOINSELビットによるI/Oポートの読み出し値

| PDiレジスタのPDi_jビット | “0” (入力モード) | | “1” (出力モード) | |
|------------------|-------------|-----|-------------|----------|
| | “0” | “1” | “0” | “1” |
| IOINSELビット | “0” | “1” | “0” | “1” |
| I/Oポート読み出し値 | 端子の入力レベル | | ポートラッチの値 | 端子の入力レベル |

7.4.17 プルアップ制御レジスタ0 (PUR0)

アドレス 01E0h番地

| | | | | | | | | |
|---------|------|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | PU07 | PU06 | PU05 | PU04 | PU03 | PU02 | PU01 | PU00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------------|--------------------------------|-----|
| b0 | PU00 | P0_0 ~ P0_3のプルアップ | 0 : プルアップなし 1 : プルアップあり(注1) | R/W |
| b1 | PU01 | P0_4 ~ P0_7のプルアップ | | R/W |
| b2 | PU02 | P1_0 ~ P1_3のプルアップ | | R/W |
| b3 | PU03 | P1_4 ~ P1_7のプルアップ | | R/W |
| b4 | PU04 | P2_0 ~ P2_3のプルアップ | | R/W |
| b5 | PU05 | P2_4 ~ P2_7のプルアップ | | R/W |
| b6 | PU06 | P3_0、P3_1、P3_3のプルアップ | | R/W |
| b7 | PU07 | P3_4、P3_5、P3_7のプルアップ | | R/W |

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0レジスタの設定値が有効になります。

7.4.18 プルアップ制御レジスタ1 (PUR1)

アドレス 01E1h番地

| | | | | | | | | |
|---------|----|----|------|------|----|----|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | PU15 | PU14 | - | - | PU11 | PU10 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---|--------------------------------|-----|
| b0 | PU10 | P4_3のプルアップ | 0 : プルアップなし 1 : プルアップあり(注1) | R/W |
| b1 | PU11 | P4_4 ~ P4_7のプルアップ | | R/W |
| b2 | - | 予約ビット | “0” にしてください | R/W |
| b3 | - | | | R/W |
| b4 | PU14 | P6_0 ~ P6_3のプルアップ | 0 : プルアップなし 1 : プルアップあり(注1) | R/W |
| b5 | PU15 | P6_4 ~ P6_7のプルアップ | | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b7 | - | | | - |

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1レジスタの設定値が有効になります。

7.4.19 ポートP1駆動能力制御レジスタ(P1DRR)

アドレス 01F0h番地

| | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | P1DRR7 | P1DRR6 | P1DRR5 | P1DRR4 | P1DRR3 | P1DRR2 | P1DRR1 | P1DRR0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|-----------|-------------------------|-----|
| b0 | P1DRR0 | P1_0の駆動能力 | 0 : Low 1 : High(注1) | R/W |
| b1 | P1DRR1 | P1_1の駆動能力 | | R/W |
| b2 | P1DRR2 | P1_2の駆動能力 | | R/W |
| b3 | P1DRR3 | P1_3の駆動能力 | | R/W |
| b4 | P1DRR4 | P1_4の駆動能力 | | R/W |
| b5 | P1DRR5 | P1_5の駆動能力 | | R/W |
| b6 | P1DRR6 | P1_6の駆動能力 | | R/W |
| b7 | P1DRR7 | P1_7の駆動能力 | | R/W |

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P1DRRレジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DRR_iビット(i=0~7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DRRレジスタの設定値が有効になります。

7.4.20 ポートP2駆動能力制御レジスタ(P2DRR)

アドレス 01F1h番地

| | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | P2DRR7 | P2DRR6 | P2DRR5 | P2DRR4 | P2DRR3 | P2DRR2 | P2DRR1 | P2DRR0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|-----------|-------------------------|-----|
| b0 | P2DRR0 | P2_0の駆動能力 | 0 : Low 1 : High(注1) | R/W |
| b1 | P2DRR1 | P2_1の駆動能力 | | R/W |
| b2 | P2DRR2 | P2_2の駆動能力 | | R/W |
| b3 | P2DRR3 | P2_3の駆動能力 | | R/W |
| b4 | P2DRR4 | P2_4の駆動能力 | | R/W |
| b5 | P2DRR5 | P2_5の駆動能力 | | R/W |
| b6 | P2DRR6 | P2_6の駆動能力 | | R/W |
| b7 | P2DRR7 | P2_7の駆動能力 | | R/W |

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P2DRRレジスタはP2の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P2DRR_iビット(i=0~7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P2DRRレジスタの設定値が有効になります。

7.4.21 駆動能力制御レジスタ0 (DRR0)

アドレス 01F2h番地

| | | | | | | | | |
|---------|-------|-------|----|----|----|----|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | DRR07 | DRR06 | - | - | - | - | DRR01 | DRR00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|-------------------------|-----|
| b0 | DRR00 | P0_0 ~ P0_3の駆動能力 | 0 : Low 1 : High(注1) | R/W |
| b1 | DRR01 | P0_4 ~ P0_7の駆動能力 | | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | DRR06 | P3_0、P3_1、P3_3の駆動能力 | 0 : Low 1 : High(注1) | R/W |
| b7 | DRR07 | P3_4、P3_5、P3_7の駆動能力 | | R/W |

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0レジスタの設定値が有効になります。

DRR00ビット(P0_0 ~ P0_3の駆動能力)

DRR00ビットは、P0_0 ~ P0_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR00ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR01ビット(P0_4 ~ P0_7の駆動能力)

DRR01ビットは、P0_4 ~ P0_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR06ビット(P3_0、P3_1、P3_3の駆動能力)

DRR06ビットは、P3_0、P3_1、P3_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR07ビット(P3_4、P3_5、P3_7の駆動能力)

DRR07ビットは、P3_4、P3_5、P3_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

7.4.22 駆動能力制御レジスタ1 (DRR1)

アドレス 01F3h番地

| | | | | | | | | |
|---------|----|----|-------|-------|----|----|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | DRR15 | DRR14 | - | - | DRR11 | DRR10 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--------------|-----|
| b0 | DRR10 | P4_3の駆動能力 | 0 : Low | R/W |
| b1 | DRR11 | P4_4 ~ P4_7の駆動能力 | 1 : High(注1) | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - | - |
| b3 | - | 予約ビット | “0”にしてください | R/W |
| b4 | DRR14 | P6_0 ~ P6_3の駆動能力 | 0 : Low | R/W |
| b5 | DRR15 | P6_4 ~ P6_7の駆動能力 | 1 : High(注1) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - | - |
| b7 | - | | | |

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR1レジスタの設定値が有効になります。

DRR10ビット(P4_3の駆動能力)

DRR10ビットは、P4_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR10ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR11ビット(P4_4 ~ P4_7の駆動能力)

DRR11ビットは、P4_4 ~ P4_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR11ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR14ビット(P6_0 ~ P6_3の駆動能力)

DRR14ビットは、P6_0 ~ P6_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR14ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR15ビット(P6_4 ~ P6_7の駆動能力)

DRR15ビットの、P6_4 ~ P6_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR15ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

7.4.23 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h 番地

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | VLT07 | VLT06 | VLT05 | VLT04 | VLT03 | VLT02 | VLT01 | VLT00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---------------|---|-----|
| b0 | VLT00 | P0の入カレベル選択ビット | b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください | R/W |
| b1 | VLT01 | | | R/W |
| b2 | VLT02 | P1の入カレベル選択ビット | b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください | R/W |
| b3 | VLT03 | | | R/W |
| b4 | VLT04 | P2の入カレベル選択ビット | b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください | R/W |
| b5 | VLT05 | | | R/W |
| b6 | VLT06 | P3の入カレベル選択ビット | b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください | R/W |
| b7 | VLT07 | | | R/W |

VLT0レジスタはポートP0～P3の入カしきい値の電圧レベルを選択するレジスタです。VLT00～VLT07ビットによって、8端子ごとに入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.4.24 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h 番地

| | | | | | | | | |
|---------|----|----|-------|-------|----|----|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | VLT15 | VLT14 | - | - | VLT11 | VLT10 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|---|-------|
| b0 | VLT10 | P4_2 ~ P4_7の入力レベル選択ビット | b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください | R/W |
| b1 | VLT11 | | | R/W |
| b2 | - | | | 予約ビット |
| b3 | - | | | |
| b4 | VLT14 | P6の入力レベル選択ビット | b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください | R/W |
| b5 | VLT15 | | | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | - |

VLT1 レジスタはポート P4_2 ~ P4_7、P6 の入力しきい値の電圧レベルを選択するレジスタです。VLT10 ~ VLT11、VLT14 ~ VLT15 ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.5 ポートの設定

表7.5～表7.61にポートの設定を示します。

表7.5 ポートP0_0/AN7/TRCIOA/TRCTRG

| レジスタ | PD0 | ADINSEL | | | | | TRCPSR0 | | | タイマRC設定 | | | 機能 |
|------|-------|---------|---|---|--------|---|-----------|---|---|----------------------|--|--|-------------------------|
| ビット | PD0_0 | CH | | | ADGSEL | | TRCIOASEL | | | - | | | |
| | | 2 | 1 | 0 | 1 | 0 | 2 | 1 | 0 | | | | |
| 設定値 | 0 | X | X | X | X | X | 010b以外 | | | X | | | 入力ポート(注1) |
| | 1 | X | X | X | X | X | 010b以外 | | | X | | | 出力ポート(注2) |
| | 0 | 1 | 1 | 1 | 0 | 0 | 010b以外 | | | X | | | A/Dコンバータ入力(AN7) (注1) |
| | 0 | X | X | X | X | X | 0 | 1 | 0 | 「表7.50 TRCIOA端子設定」参照 | | | TRCIOA入力(注1) |
| | X | X | X | X | X | X | 0 | 1 | 0 | 「表7.50 TRCIOA端子設定」参照 | | | TRCIOA出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.6 ポートP0_1/AN6/TXD1/TRCIOA/TRCTRG

| レジスタ | PD0 | ADINSEL | | | | | U1SR | | U1MR | | | TRCPSR0 | | | タイマRC設定 | | | 機能 | |
|------|-------|---------|---|---|--------|-------|---------|---|------|---|---|-----------|---|----------------------|----------------------|--|--------------|-------------------------|--------------|
| ビット | PD0_1 | CH | | | ADGSEL | | TXD1SEL | | SMD | | | TRCIOASEL | | | - | | | | |
| | | 2 | 1 | 0 | 1 | 0 | 1 | 0 | 2 | 1 | 0 | 2 | 1 | 0 | | | | | |
| 設定値 | 0 | X | X | X | X | X | 01b以外 | | X | X | X | 011b以外 | | | X | | | 入力ポート(注1) | |
| | 1 | X | X | X | X | X | 01b以外 | | X | X | X | 011b以外 | | | X | | | 出力ポート(注2) | |
| | 0 | 1 | 1 | 0 | 0 | 0 | 01b以外 | | X | X | X | 011b以外 | | | X | | | A/Dコンバータ入力(AN6) (注1) | |
| | X | X | X | X | X | X | 0 | 1 | 1 | 0 | 1 | X | X | X | X | | | X | TXD1出力(注2、3) |
| | | | | | | | | | | 0 | 0 | | | | | | | | |
| | | | | | | | | | | 1 | 0 | | | | | | | | |
| | 0 | X | X | X | X | X | 01b以外 | | X | X | X | 0 | 1 | 1 | 「表7.50 TRCIOA端子設定」参照 | | | TRCIOA入力(注1) | |
| X | X | X | X | X | X | 01b以外 | | X | X | X | 0 | 1 | 1 | 「表7.50 TRCIOA端子設定」参照 | | | TRCIOA出力(注2) | | |

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U1C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.7 ポートP0_2/AN5/RXD1/TRCIOA/TRCTRG

| レジスタ | PD0 | ADINSEL | | | | | U1SR | | TRCPSR0 | | | タイマRC設定 | | | 機能 |
|------|-------|---------|---|---|--------|---|---------|---|-----------|---|---|----------------------|--|--|-------------------------|
| ビット | PD0_2 | CH | | | ADGSEL | | RXD1SEL | | TRCIOASEL | | | - | | | |
| | | 2 | 1 | 0 | 1 | 0 | 1 | 0 | 2 | 1 | 0 | | | | |
| 設定値 | 0 | X | X | X | X | X | X | X | 100b以外 | | | X | | | 入力ポート(注1) |
| | 1 | X | X | X | X | X | X | X | 100b以外 | | | X | | | 出力ポート(注2) |
| | 0 | 1 | 0 | 1 | 0 | 0 | 01b以外 | | 100b以外 | | | X | | | A/Dコンバータ入力(AN5) (注1) |
| | 0 | X | X | X | X | X | 0 | 1 | 100b以外 | | | X | | | RXD1入力(注1) |
| | 0 | X | X | X | X | X | X | X | 1 | 0 | 0 | 「表7.50 TRCIOA端子設定」参照 | | | TRCIOA入力(注1) |
| | X | X | X | X | X | X | X | X | 1 | 0 | 0 | 「表7.50 TRCIOA端子設定」参照 | | | TRCIOA出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.8 ポートP0_3/AN4/CLK1/TRCIOB

| レジスタ | PD0 | ADINSEL | | | | | U1SR | | U1MR | | | | TRCPSR0 | | | タイマRC設定 | 機能 |
|------|-----|---------|---|---|--------|---|---------|---|------|---|-------|-----------|---------|---|---|----------------------|---------------------|
| | | CH | | | ADGSEL | | CLK1SEL | | SMD | | CKDIR | TRCIOBSEL | | | | | |
| | | 2 | 1 | 0 | 1 | 0 | 1 | 0 | 2 | 1 | | 0 | 2 | 1 | 0 | | |
| 設定値 | 0 | X | X | X | X | X | 01b以外 | | X | X | X | X | 010b以外 | | | X | 入力ポート(注1) |
| | 1 | X | X | X | X | X | 01b以外 | | X | X | X | X | 010b以外 | | | X | 出力ポート(注2) |
| | 0 | 1 | 0 | 0 | 0 | 0 | 01b以外 | | X | X | X | X | 010b以外 | | | X | A/Dコンバータ入力(AN4)(注1) |
| | 0 | X | X | X | X | X | 0 | 1 | X | X | X | 1 | X | X | X | X | CLK1(外部クロック)入力(注1) |
| | X | X | X | X | X | X | 0 | 1 | 0 | 0 | 1 | 0 | X | X | X | X | CLK1(内部クロック)出力(注2) |
| | 0 | X | X | X | X | X | 01b以外 | | X | X | X | X | 0 | 1 | 0 | 「表7.51 TRCIOB端子設定」参照 | TRCIOB入力(注1) |
| | X | X | X | X | X | X | 01b以外 | | X | X | X | X | 0 | 1 | 0 | 「表7.51 TRCIOB端子設定」参照 | TRCIOB出力(注2) |

X: "0" または "1"

注1. PUR0レジスタのPU00ビットを"1"にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR00ビットを"1"にすると、出力の駆動能力Highとなります。

表7.9 ポートP0_4/AN3/TREO/TRCIOB

| レジスタ | PD0 | ADINSEL | | | | | TIMSR | | TRECR1 | TRCPSR0 | | | タイマRC設定 | 機能 |
|------|-----|---------|---|---|--------|---|----------|-------|-----------|---------|---|---|----------------------|---------------------|
| | | CH | | | ADGSEL | | TREOSEL0 | TOENA | TRCIOBSEL | | | | | |
| | | 2 | 1 | 0 | 1 | 0 | | | 2 | 1 | 0 | | | |
| 設定値 | 0 | X | X | X | X | X | 01b以外 | | | 011b以外 | | | X | 入力ポート(注1) |
| | 1 | X | X | X | X | X | 01b以外 | | | 011b以外 | | | X | 出力ポート(注2) |
| | 0 | 0 | 1 | 1 | 0 | 0 | 01b以外 | | | 011b以外 | | | X | A/Dコンバータ入力(AN3)(注1) |
| | X | X | X | X | X | X | 0 | | 1 | 011b以外 | | | X | TREO出力(注2) |
| | 0 | X | X | X | X | X | X | | X | 0 | 1 | 1 | 「表7.51 TRCIOB端子設定」参照 | TRCIOB入力(注1) |
| | X | X | X | X | X | X | X | | X | 0 | 1 | 1 | 「表7.51 TRCIOB端子設定」参照 | TRCIOB出力(注2) |

X: "0" または "1"

注1. PUR0レジスタのPU01ビットを"1"にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR01ビットを"1"にすると、出力の駆動能力Highとなります。

表7.10 ポートP0_5/AN2/TRCIOB

| レジスタ | PD0 | ADINSEL | | | | | TRCPSR0 | | | タイマRC設定 | 機能 |
|------|-----|---------|---|---|--------|---|-----------|---|---|----------------------|---------------------|
| | | CH | | | ADGSEL | | TRCIOBSEL | | | | |
| | | 2 | 1 | 0 | 1 | 0 | 2 | 1 | 0 | | |
| 設定値 | 0 | X | X | X | X | X | 100b以外 | | | X | 入力ポート(注1) |
| | 1 | X | X | X | X | X | 100b以外 | | | X | 出力ポート(注2) |
| | 0 | 0 | 1 | 0 | 0 | 0 | 100b以外 | | | X | A/Dコンバータ入力(AN2)(注1) |
| | 0 | X | X | X | X | X | 1 | 0 | 0 | 「表7.51 TRCIOB端子設定」参照 | TRCIOB入力(注1) |
| | X | X | X | X | X | X | 1 | 0 | 0 | 「表7.51 TRCIOB端子設定」参照 | TRCIOB出力(注2) |

X: "0" または "1"

注1. PUR0レジスタのPU01ビットを"1"にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR01ビットを"1"にすると、出力の駆動能力Highとなります。

表7.11 ポートP0_6/AN1/DA0/TRCIOD

| レジスタ | PD0 | ADINSEL | | | | | DACON | TRCPSR1 | | | タイマRC設定 | 機能 |
|------|-------|---------|---|---|--------|---|-------|----------|---|---|--------------------------|-------------------------|
| ビット | PD0_6 | CH | | | ADGSEL | | DA0E | TRCIOSEL | | | - | |
| | | 2 | 1 | 0 | 1 | 0 | | 2 | 1 | 0 | | |
| 設定値 | 0 | X | X | X | X | X | 0 | 011b以外 | | | X | 入力ポート(注1) |
| | 1 | X | X | X | X | X | 0 | 011b以外 | | | X | 出力ポート(注2) |
| | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 011b以外 | | | X | A/Dコンバータ入力(AN1) (注1) |
| | 0 | X | X | X | X | X | 1 | 011b以外 | | | X | D/Aコンバータ出力(DA0) (注1) |
| | 0 | X | X | X | X | X | 0 | 0 | 1 | 1 | 「表7.53 TRCIOD端子 設定」参照 | TRCIOD入力(注1) |
| | X | X | X | X | X | X | 0 | 0 | 1 | 1 | 「表7.53 TRCIOD端子 設定」参照 | TRCIOD出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.12 ポートP0_7/AN0/DA1/TRCIOC

| レジスタ | PD0 | ADINSEL | | | | | DACON | TRCPSR1 | | | タイマRC設定 | 機能 |
|------|-------|---------|---|---|--------|---|-------|----------|---|---|--------------------------|-------------------------|
| ビット | PD0_7 | CH | | | ADGSEL | | DA1E | TRCIOSEL | | | - | |
| | | 2 | 1 | 0 | 1 | 0 | | 2 | 1 | 0 | | |
| 設定値 | 0 | X | X | X | X | X | 0 | 011b以外 | | | X | 入力ポート(注1) |
| | 1 | X | X | X | X | X | 0 | 011b以外 | | | X | 出力ポート(注2) |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 011b以外 | | | X | A/Dコンバータ入力(AN0) (注1) |
| | 0 | X | X | X | X | X | 1 | 011b以外 | | | X | D/Aコンバータ出力(DA1) (注1) |
| | 0 | X | X | X | X | X | 0 | 0 | 1 | 1 | 「表7.52 TRCIOC端子 設定」参照 | TRCIOC入力(注1) |
| | X | X | X | X | X | X | 0 | 0 | 1 | 1 | 「表7.52 TRCIOC端子 設定」参照 | TRCIOC出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.13 ポートP1_0/KI0/AN8/TRCIOD/LVCMPI

| レジスタ | PD1 | KIEN | ADINSEL | | | | | TRCPSR1 | | | VCA2 | タイマRC設定 | 機能 |
|------|-------|-------|---------|---|---|--------|---|----------|---|---|-------|--------------------------|-------------------------|
| ビット | PD1_0 | KI0EN | CH | | | ADGSEL | | TRCIOSEL | | | VCA22 | - | |
| | | | 2 | 1 | 0 | 1 | 0 | 2 | 1 | 0 | | | |
| 設定値 | 0 | X | X | X | X | X | X | 001b以外 | | | X | X | 入力ポート(注1) |
| | 1 | X | X | X | X | X | X | 001b以外 | | | X | X | 出力ポート(注2) |
| | 0 | 1 | X | X | X | X | X | 001b以外 | | | X | X | KI0入力(注1) |
| | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 001b以外 | | | X | X | A/Dコンバータ入力(AN8) (注1) |
| | 0 | X | X | X | X | X | X | 0 | 0 | 1 | X | 「表7.53 TRCIOD 端子設定」参照 | TRCIOD入力(注1) |
| | X | X | X | X | X | X | X | 0 | 0 | 1 | X | 「表7.53 TRCIOD 端子設定」参照 | TRCIOD出力(注2) |
| | 0 | 0 | X | X | X | X | X | 001b以外 | | | 1 | X | コンバータA1入力 (LVCMPI) |

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.14 ポートP1_1/ $\overline{\text{KI1}}$ /AN9/TRCIOA/TRCTRG/LVCMP2

| レジスタ | PD1 | KIEN | ADINSEL | | | | | TRCPSR0 | | | VCA2 | タイマRC設定 | 機能 |
|------|-------|-------|---------|---|---|--------|---|-----------|---|---|-------|----------------------|--------------------------------|
| ビット | PD1_1 | KI1EN | CH | | | ADGSEL | | TRCIOASEL | | | VCA24 | - | |
| | | | 2 | 1 | 0 | 1 | 0 | 2 | 1 | 0 | | | |
| 設定値 | 0 | X | X | X | X | X | X | 001b以外 | | | X | X | 入力ポート(注1) |
| | 1 | X | X | X | X | X | X | 001b以外 | | | X | X | 出力ポート(注2) |
| | 0 | 1 | X | X | X | X | X | 001b以外 | | | X | X | $\overline{\text{KI1}}$ 入力(注1) |
| | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 001b以外 | | | X | X | A/Dコンバータ入力(AN9)(注1) |
| | 0 | X | X | X | X | X | X | 0 | 0 | 1 | X | 「表7.50 TRCIOA端子設定」参照 | TRCIOA入力(注1) |
| | X | X | X | X | X | X | X | 0 | 0 | 1 | X | 「表7.50 TRCIOA端子設定」参照 | TRCIOA出力(注2) |
| | 0 | 0 | X | X | X | X | X | 001b以外 | | | 1 | X | コンパレータA2入力(LVCMP2) |

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.15 ポートP1_2/ $\overline{\text{KI2}}$ /AN10/TRCIOB/LVREF

| レジスタ | PD1 | KIEN | ADINSEL | | | | | TRCPSR0 | | | VCA2 | | タイマRC設定 | 機能 |
|------|-------|-------|---------|---|---|--------|---|-----------|---|---|-------|-------|----------------------|--------------------------------|
| ビット | PD1_2 | KI2EN | CH | | | ADGSEL | | TRCIOBSEL | | | VCA21 | VCA23 | - | |
| | | | 2 | 1 | 0 | 1 | 0 | 2 | 1 | 0 | | | | |
| 設定値 | 0 | X | X | X | X | X | X | 001b以外 | | | X | X | X | 入力ポート(注1) |
| | 1 | X | X | X | X | X | X | 001b以外 | | | X | X | X | 出力ポート(注2) |
| | 0 | 1 | X | X | X | X | X | 001b以外 | | | X | X | X | $\overline{\text{KI2}}$ 入力(注1) |
| | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 001b以外 | | | X | X | X | A/Dコンバータ入力(AN10)(注1) |
| | 0 | X | X | X | X | X | X | 0 | 0 | 1 | X | X | 「表7.51 TRCIOB端子設定」参照 | TRCIOB入力(注1) |
| | X | X | X | X | X | X | X | 0 | 0 | 1 | X | X | 「表7.51 TRCIOB端子設定」参照 | TRCIOB出力(注2) |
| | 0 | 0 | X | X | X | X | X | 001b以外 | | | 1 | X | X | コンパレータA1リファレンス電圧入力(LVREF) |
| | 0 | 0 | X | X | X | X | X | 001b以外 | | | X | 1 | X | コンパレータA2リファレンス電圧入力(LVREF) |

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR2ビットを“1”にすると、出力の駆動能力Highとなります。

表7.16 ポートP1_3/KI3/AN11/TRBO/TRCIOC/LVCOUT1

| レジスタ | PD1 | KIEN | ADINSEL | | | | TRBRCSR | TRCPSR1 | | | CMPA | タイマRB設定 | タイマRC設定 | 機能 | |
|------|-------|-------|---------|---|--------|---|----------|-----------|--------|---|-------|--------------------------|---------|-------------------------|-----------|
| ビット | PD1_3 | KI3EN | CH | | ADGSEL | | TRBOSEL0 | TRCIOCSEL | | | CM1OE | - | - | | |
| | | | 2 | 1 | 0 | 1 | | 0 | 2 | 1 | | | | 0 | |
| 設定値 | 0 | X | X | X | X | X | X | 1 | 001b以外 | | | 0 | X | X | 入力ポート(注1) |
| | | | | | | | | X | | | | TRBO 使用条件以外 | | | |
| | 1 | X | X | X | X | X | X | 1 | 001b以外 | | | 0 | X | 出力ポート(注2) | |
| | | | | | | | | X | | | | TRBO 使用条件以外 | | | |
| | 0 | 1 | X | X | X | X | X | 1 | 001b以外 | | | 0 | X | KI3入力(注1) | |
| | | | | | | | | X | | | | TRBO 使用条件以外 | | | |
| | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 001b以外 | | | 0 | X | A/Dコンバータ入力(AN11)(注1) | |
| | | | | | | | | X | | | | TRBO 使用条件以外 | | | |
| X | X | X | X | X | X | X | 0 | X | X | X | 0 | 「表7.49 TRBO 端子設定」参照 | X | TRBO出力(注2) | |
| | | | | | | | 1 | | | | 0 | X | | | |
| 0 | X | X | X | X | X | X | 1 | 0 | 0 | 1 | 0 | 「表7.52 TRCIOC 端子設定」参照 | X | TRCIOC入力(注1) | |
| | | | | | | | X | | | | 0 | TRBO 使用条件以外 | | | |
| X | X | X | X | X | X | X | 1 | 0 | 0 | 1 | 0 | 「表7.52 TRCIOC 端子設定」参照 | X | TRCIOC出力(注2) | |
| | | | | | | | X | | | | 0 | TRBO 使用条件以外 | | | |
| X | X | X | X | X | X | X | X | X | X | X | 1 | X | X | コンパレータA1 出力(LVCOUT1) | |

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR3ビットを“1”にすると、出力の駆動能力Highとなります。

表7.17 ポートP1_4/TXD0/TRCCLK

| レジスタ | PD1 | U0SR | U0MR | | | TRBRCSR | TRCCR1 | | | | 機能 | | |
|------|-------|----------|------|---|---|-----------|--------|-----|---|---|----|--------------|-----------|
| ビット | PD1_4 | TXD0SEL0 | SMD | | | TRCCLKSEL | | TCK | | | | | |
| | | | 2 | 1 | 0 | 1 | 0 | 2 | 1 | 0 | | | |
| 設定値 | 0 | 0 | X | X | X | X | X | X | X | X | X | 入力ポート(注1) | |
| | 1 | 0 | X | X | X | X | X | X | X | X | X | | 出力ポート(注2) |
| | X | 1 | 1 | 0 | 0 | 1 | X | X | X | X | X | X | |
| | | | | | 0 | 0 | | | | | | | |
| | | | | | 1 | 0 | | | | | | | |
| | 0 | 0 | 0 | X | X | X | 0 | 1 | 1 | 0 | 1 | TRCCLK入力(注1) | |

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR4ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U0C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.18 ポートP1_5/RXD0/TRAI0/INT1

| レジスタ | PD1 | U0SR | TRASR | | TRAI0C | TRAMR | | | INTSR | | | INTEN | INTCMP | 機能 | |
|------|-----|------|----------|---|--------|-------------------------------------|------|---|-------|---------|---|-------|--------|-------------------------|------------------------------|
| | | | TRAI0SEL | | | TOPCR | TMOD | | | INT1SEL | | | | | |
| | | | 1 | 0 | | | 2 | 1 | 0 | 2 | 1 | | | | 0 |
| 設定値 | 0 | X | 10b以外 | | X | X | X | X | X | X | X | X | X | 入力ポート(注1) | |
| | 1 | X | 10b以外 | | X | X | X | X | X | X | X | X | X | 出力ポート(注2) | |
| | 0 | 1 | 10b以外 | | X | X | X | X | X | X | X | X | X | RXD0入力(注1) | |
| | 0 | X | 1 | 0 | 0 | 000b、001b以外 | | | X | X | X | X | X | TRAI0入力(注1) | |
| | 0 | X | 10b以外 | | X | X | X | X | 0 | 0 | 1 | 1 | 0 | INT1入力(注1) | |
| | 0 | X | 1 | 0 | 0 | 000b、001b以外 | | | 0 | 0 | 1 | 1 | 0 | TRAI0/INT1入力(注1) | |
| | X | X | 1 | 0 | 0 | 0 | 0 | 1 | X | X | X | X | X | TRAI0パルス出力(注2) | |
| | 0 | 1 | 1 | 0 | 0 | マスタモード: 000b スレーブモード: 011b | | | X | X | X | X | X | TRAI0/RXD0入力(ハードウェアLIN) | |
| 0 | 1 | 1 | 0 | 0 | 0 | | | | 0 | 1 | 1 | 0 | 0 | 0 | TRAI0/RXD0/INT1入力(ハードウェアLIN) |

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR5ビットを"1"にすると、出力の駆動能力Highとなります。

表7.19 ポートP1_6/CLK0/IVREF1/LVCOUT2

| レジスタ | PD1 | U0SR | U0MR | | | | INTCMP | CMPA | 機能 | | |
|------|-----|------|------|---|---|-------|--------|------|--------------------------------|---------|-------|
| | | | SMD | | | CKDIR | | | | INT1CP0 | CM1OE |
| | | | 2 | 1 | 0 | | | | | | |
| 設定値 | 0 | 0 | X | X | X | X | X | 0 | 入力ポート(注1) | | |
| | 1 | 0 | X | X | X | X | X | 0 | 出力ポート(注2) | | |
| | 0 | 1 | X | X | X | 1 | X | 0 | CLK0(外部クロック)入力(注1) | | |
| | X | 1 | 0 | 0 | 1 | 0 | X | 0 | CLK0(内部クロック)出力(注2) | | |
| | 0 | 0 | X | X | X | X | 1 | 0 | コンパレータB1 リファレンス電圧入力(IVREF1) | | |
| | X | X | X | X | X | X | X | 1 | コンパレータA2出力(注2) | | |

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR6ビットを"1"にすると、出力の駆動能力Highとなります。

表7.20 ポートP1_7/INT1/TRAI0/IVCMP1

| レジスタ | PD1 | TRASR | | TRAI0C | TRAMR | | | INTSR | | | INTEN | INTCMP | 機能 | |
|------|-----|----------|---|--------|-------------|------|---|-------|---------|---|-------|-------------|------------------|--------------------|
| | | TRAI0SEL | | | TOPCR | TMOD | | | INT1SEL | | | | | |
| | | 1 | 0 | | | 2 | 1 | 0 | 1 | 0 | | | | 0 |
| 設定値 | 0 | 01b以外 | | X | X | X | X | X | X | X | X | X | 入力ポート(注1) | |
| | 1 | 01b以外 | | X | X | X | X | X | X | X | X | X | 出力ポート(注2) | |
| | 0 | 0 | 1 | 0 | 000b、001b以外 | | | X | X | X | X | TRAI0入力(注1) | | |
| | 0 | 01b以外 | | X | X | X | X | 0 | 0 | 1 | 0 | 0 | INT1入力(注1) | |
| | 0 | 0 | 1 | 0 | 000b、001b以外 | | | 0 | 0 | 1 | 0 | 0 | TRAI0/INT1入力(注1) | |
| | X | 0 | 1 | 0 | 0 | 0 | 1 | X | X | X | X | X | TRAI0パルス出力(注2) | |
| | 0 | 01b以外 | | X | X | X | X | X | X | 1 | 1 | 1 | 1 | コンパレータB1入力(IVCMP1) |

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR7ビットを"1"にすると、出力の駆動能力Highとなります。

表7.21 ポートP2_0/TRDIOA0/TRDCLK/INT1/TRCIOB

| レジスタ | PD2 | TRDPSR0 | INTSR | | INTEN | INTCMP | TRCPSR0 | | | タイマRC設定 | タイマRD設定 | 機能 |
|------|-------|-------------|---------|---|--------|---------|-----------|---|---|----------------------|-----------------------|---------------|
| ビット | PD2_0 | TRDIOA0SEL0 | INT1SEL | | INT1EN | INT1CP0 | TRCIOBSEL | | | - | - | |
| | | | 1 | 0 | | | 2 | 1 | 0 | | | |
| 設定値 | 0 | 0 | X | X | X | X | 101b以外 | | | X | X | 入力ポート(注1) |
| | 1 | 0 | X | X | X | X | 101b以外 | | | X | X | 出力ポート(注2) |
| | 0 | 1 | X | X | X | X | 101b以外 | | | X | 「表7.54 TRDIOA0端子設定」参照 | TRDIOA0入力(注1) |
| | X | 1 | X | X | X | X | 101b以外 | | | X | 「表7.54 TRDIOA0端子設定」参照 | TRDIOA0出力(注2) |
| | 0 | 0 | 1 | 0 | 1 | 0 | 101b以外 | | | X | X | INT1入力(注1) |
| | 0 | X | X | X | X | X | 1 | 0 | 1 | 「表7.51 TRCIOB端子設定」参照 | X | TRCIOB入力(注1) |
| | X | X | X | X | X | X | 1 | 0 | 1 | 「表7.51 TRCIOB端子設定」参照 | X | TRCIOB出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.22 ポートP2_1/TRDIOC0/TRCIOC

| レジスタ | PD2 | TRDPSR0 | TRCPSR1 | | | タイマRC設定 | タイマRD設定 | 機能 | |
|------|-------|------------|-----------|--------|---|---------|----------------------|-----------------------|---------------|
| ビット | PD2_1 | TRDIOC0SEL | TRCIOCSEL | | | - | - | | |
| | | 1 | 0 | 2 | 1 | 0 | | | |
| 設定値 | 0 | 10b以外 | | 100b以外 | | | X | X | 入力ポート(注1) |
| | 1 | 10b以外 | | 100b以外 | | | X | X | 出力ポート(注2) |
| | 0 | 1 | 0 | 100b以外 | | | X | 「表7.56 TRDIOC0端子設定」参照 | TRDIOC0入力(注1) |
| | X | 1 | 0 | 100b以外 | | | X | 「表7.56 TRDIOC0端子設定」参照 | TRDIOC0出力(注2) |
| | 0 | X | X | 1 | 0 | 0 | 「表7.52 TRCIOC端子設定」参照 | X | TRCIOC入力(注1) |
| | X | X | X | 1 | 0 | 0 | 「表7.52 TRCIOC端子設定」参照 | X | TRCIOC出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.23 ポートP2_2/TRDIOB0/TRCIOD

| レジスタ | PD2 | TRDPSR0 | | TRCPSR1 | | | タイマRC設定 | タイマRD設定 | 機能 |
|------|-------|------------|---|-----------|---|---|----------------------|-----------------------|---------------|
| ビット | PD2_2 | TRDIOB0SEL | | TRCIODSEL | | | - | - | |
| | | 1 | 0 | 2 | 1 | 0 | | | |
| 設定値 | 0 | 10b以外 | | 100b以外 | | | X | X | 入力ポート(注1) |
| | 1 | 10b以外 | | 100b以外 | | | X | X | 出力ポート(注2) |
| | 0 | 1 | 0 | 100b以外 | | | X | 「表7.55 TRDIOB0端子設定」参照 | TRDIOB0入力(注1) |
| | X | 1 | 0 | 100b以外 | | | X | 「表7.55 TRDIOB0端子設定」参照 | TRDIOB0出力(注2) |
| | 0 | X | X | 1 | 0 | 0 | 「表7.53 TRCIOD端子設定」参照 | X | TRCIOD入力(注1) |
| | X | X | X | 1 | 0 | 0 | 「表7.53 TRCIOD端子設定」参照 | X | TRCIOD出力(注2) |

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR2ビットを"1"にすると、出力の駆動能力Highとなります。

表7.24 ポートP2_3/TRDIOD0

| レジスタ | PD2 | TRDPSR0 | タイマRD設定 | 機能 |
|------|-------|-------------|-----------------------|---------------|
| ビット | PD2_3 | TRDIOD0SEL0 | - | |
| 設定値 | 0 | 0 | X | 入力ポート(注1) |
| | 1 | 0 | X | 出力ポート(注2) |
| | 0 | 1 | 「表7.57 TRDIOD0端子設定」参照 | TRDIOD0入力(注1) |
| | X | 1 | 「表7.57 TRDIOD0端子設定」参照 | TRDIOD0出力(注2) |

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR3ビットを"1"にすると、出力の駆動能力Highとなります。

表7.25 ポートP2_4/TRDIOA1

| レジスタ | PD2 | TRDPSR1 | タイマRD設定 | 機能 |
|------|-------|-------------|-----------------------|---------------|
| ビット | PD2_4 | TRDIOA1SEL0 | - | |
| 設定値 | 0 | 0 | X | 入力ポート(注1) |
| | 1 | 0 | X | 出力ポート(注2) |
| | 0 | 1 | 「表7.58 TRDIOA1端子設定」参照 | TRDIOA1入力(注1) |
| | X | 1 | 「表7.58 TRDIOA1端子設定」参照 | TRDIOA1出力(注2) |

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR4ビットを"1"にすると、出力の駆動能力Highとなります。

表7.26 ポートP2_5/TRDIOB1

| レジスタ | PD2 | TRDPSR1 | タイマRD設定 | 機能 |
|------|-------|-------------|-----------------------|---------------|
| ビット | PD2_5 | TRDIOB1SEL0 | - | |
| 設定値 | 0 | 0 | X | 入力ポート(注1) |
| | 1 | 0 | X | 出力ポート(注2) |
| | 0 | 1 | 「表7.59 TRDIOB1端子設定」参照 | TRDIOB1入力(注1) |
| | X | 1 | 「表7.59 TRDIOB1端子設定」参照 | TRDIOB1出力(注2) |

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR5ビットを"1"にすると、出力の駆動能力Highとなります。

表7.27 ポートP2_6/TRDIOC1

| レジスタ | PD2 | TRDPSR1 | タイマRD設定 | 機能 |
|------|-------|-------------|-----------------------|---------------|
| ビット | PD2_6 | TRDIOC1SEL0 | - | |
| 設定値 | 0 | 0 | X | 入力ポート(注1) |
| | 1 | 0 | X | 出力ポート(注2) |
| | 0 | 1 | 「表7.60 TRDIOC1端子設定」参照 | TRDIOC1入力(注1) |
| | X | 1 | 「表7.60 TRDIOC1端子設定」参照 | TRDIOC1出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU05ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR6ビットを“1”にすると、出力の駆動能力Highとなります。

表7.28 ポートP2_7/TRDIOD1

| レジスタ | PD2 | TRDPSR1 | タイマRD設定 | 機能 |
|------|-------|-------------|-----------------------|---------------|
| ビット | PD2_7 | TRDIOD1SEL0 | - | |
| 設定値 | 0 | 0 | X | 入力ポート(注1) |
| | 1 | 0 | X | 出力ポート(注2) |
| | 0 | 1 | 「表7.61 TRDIOD1端子設定」参照 | TRDIOD1入力(注1) |
| | X | 1 | 「表7.61 TRDIOD1端子設定」参照 | TRDIOD1出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU05ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR7ビットを“1”にすると、出力の駆動能力Highとなります。

表7.29 ポートP3_0/TRAO

| レジスタ | PD3 | TRASR | TRAIOC | 機能 |
|------|-------|----------|--------|------------|
| ビット | PD3_0 | TRAOSEL0 | TOENA | |
| 設定値 | 0 | 0 | X | 入力ポート(注1) |
| | 1 | 0 | X | 出力ポート(注2) |
| | X | 1 | 1 | TRAO出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを“1”にすると、出力の駆動能力Highとなります。

表7.30 ポートP3_1/TRBO

| レジスタ | PD3 | TRBRCSR | タイマRB設定 | 機能 |
|------|-------|----------|--------------------|------------|
| ビット | PD3_1 | TRBOSEL0 | - | |
| 設定値 | 0 | 0 | X | 入力ポート(注1) |
| | 1 | 0 | X | 出力ポート(注2) |
| | X | 1 | 「表7.49 TRBO端子設定」参照 | TRBO出力(注2) |

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを“1”にすると、出力の駆動能力Highとなります。

表7.31 ポートP3_3/INT3/TRCCLK/SCS/CTS2/RTS2/IVCMP3

| レジスタ | PD3 | SSMR2 | INTSR | INTEN | TRBRCSR | TRCCR1 | U2SR1 | U2MR | U2CO | INTCMP | 機能 | | | | | | | | |
|------|-------|-------|-------|---------|---------|-----------|-------|------|------|--------|----|----------|--------|---|---|-----|-----|--------------------|-------------|
| ビット | PD3_3 | CSS | | INT3SEL | INT3EN | TRCCLKSEL | | | TCK | | | CTS2SEL0 | SMD | | | CRS | CRD | INT3CP0 | |
| | | 1 | 0 | 1 | | 0 | 1 | 0 | 2 | 1 | | | 0 | 2 | 1 | | | | 0 |
| 設定値 | 0 | 0 | 0 | X | X | X | X | X | X | X | 0 | X | X | X | X | X | X | 入力ポート(注1) | |
| | 1 | 0 | 0 | X | X | X | X | X | X | X | 0 | X | X | X | X | X | X | 出力ポート(注2) | |
| | 0 | 0 | 0 | 0 | 0 | 1 | X | X | X | X | X | 0 | X | X | X | X | X | INT3入力(注1) | |
| | 0 | 0 | 0 | X | X | X | 1 | 0 | 1 | 0 | 1 | 0 | X | X | X | X | X | TRCCLK入力(注1) | |
| | X | 0 | 1 | X | X | X | X | X | X | X | X | X | X | | | X | X | SCS入力(注1) | |
| | X | 1 | 0 | X | X | X | X | X | X | X | X | X | X | | | X | X | X | SCS出力(注2、3) |
| | 1 | 1 | | | | | | | | | | | | | | | | | |
| | 0 | 0 | 0 | X | X | X | X | X | X | X | X | 1 | 000b以外 | | | 0 | 0 | X | CTS2入力(注1) |
| | X | 0 | 0 | X | X | X | X | X | X | X | X | 1 | 000b以外 | | | 1 | 0 | X | RTS2出力(注2) |
| 0 | 0 | 0 | X | X | 1 | 10b以外 | | | X | X | X | 0 | X | X | X | X | X | コンパレータB3入力(IVCMP3) | |

X: "0" または "1"

注1. PU0 レジスタのPU06ビットを "1" にすると、プルアップありとなります。

注2. DRR0 レジスタのDRR06ビットを "1" にすると、出力の駆動能力Highとなります。

注3. SSMR2 レジスタのCSOSビットを "1" (Nチャンネルオープンドレイン出力) にすると、Nチャンネルオープンドレイン出力になります。

表7.32 ポートP3_4/TRCIOC/SSI/RXD2/SCL2/TXD2/SDA2/IVREF3

| レジスタ | PD3 | SSUICSR | シンクロナスシリアル コミュニケーション ユニット (「表 25.4 通信 モードと入出力端子 の関係」参照) | | TRCPSR1 | U2SR0 | | | U2MR | U2SMR | INTCMP | タイマRC 設定 | 機能 | | | | | | | |
|------|-------|---------|--|-------------|---------------|-------------|-------------|------------|------------|------------|--------|-------------|----|---|---|---|-------------------------------|------------------------------------|-------------------|-------------------|
| ビット | PD3_4 | IICSEL | SSI 出力制御 | SSI 入力制御 | TRCIOC SEL | RXD2 SEL | TXD2 SEL | SMD | | | IICM | INT3 CP0 | | - | | | | | | |
| | | | | | 2 | 1 | 0 | 1 | 0 | 2 | | | | | 1 | 0 | 2 | 1 | 0 | |
| 設定値 | 0 | X | 0 | 0 | 010b 以外 | | | 01b 以外 | 010b 以外 | | | X | X | X | X | X | 入力ポート(注1) | | | |
| | 1 | X | 0 | 0 | 010b 以外 | | | 01b 以外 | 010b 以外 | | | X | X | X | X | X | 出力ポート(注2) | | | |
| | 0 | X | 0 | 0 | 0 | 1 | 0 | 01b 以外 | 010b 以外 | | | X | X | X | X | X | 「表 7.52 TRCIOC 端子 設定」参照 | TRCIOC入力(注1) | | |
| | X | X | 0 | 0 | 0 | 1 | 0 | 01b 以外 | 010b 以外 | | | X | X | X | X | X | 「表 7.52 TRCIOC 端子 設定」参照 | TRCIOC出力(注2) | | |
| | X | 0 | 0 | 1 | X | X | X | X | X | X | X | X | X | X | X | X | X | SSI入力(注1) | | |
| | X | 0 | 1 | 0 | X | X | X | X | X | X | X | X | X | X | X | X | X | SSI出力(注2、3) | | |
| | 0 | X | 0 | 0 | 010b 以外 | | | 0 | 1 | 010b 以外 | | | X | X | X | X | X | RXD2入力(注1) | | |
| | 0 | X | 0 | 0 | X | X | X | 0 | 1 | 010b 以外 | | | 0 | 1 | 0 | 1 | X | X | SCL2入出力 (注2、4) | |
| | X | X | 0 | 0 | X | X | X | X | X | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | TXD2出力(注2、4) |
| | 0 | X | 0 | 0 | X | X | X | X | X | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | SDA2入出力 (注2、4) |
| 0 | X | 0 | 0 | 010b 以外 | | | 01b 以外 | 010b 以外 | | | X | X | X | X | 1 | X | X | コンパレータB3 リファレンス電圧 入力(IVREF3) | | |

X: "0" または "1"

注1. PU0 レジスタのPU07ビットを "1" にすると、プルアップありとなります。

注2. DRR0 レジスタのDRR07ビットを "1" にすると、出力の駆動能力Highとなります。

注3. SSMR2 レジスタのSOOSビットを "1" (Nチャンネルオープンドレイン出力)かつBIDEビットを "0" (標準モード) にすると、Nチャンネルオープンドレイン出力になります。

注4. U2CO レジスタのNCHビットを "1" にすると、Nチャンネルオープンドレイン出力になります。

表7.33 ポートP3_5/SCL/SSCK/TRCIOD/CLK2

| レジスタ | PD3 | SSUIICSR | ICCR1 | シンクロナスシリアルコ ミュニケーションユニット (「表 25.4 通信モードと 入出力端子の関係」参照) | | TRCPSR1 | U2SR1 | U2MR | | | タイマRC 設定 | 機能 | | | |
|------|-------|----------|-------|--|--------------|------------|-------|-----------|-----------|-----|-------------|----|-------|-----------------------------|--------------|
| | | | | SSCK 出力制御 | SSCK 入力制御 | | | TRCIODSEL | CLK2SEL | SMD | | | CKDIR | | |
| ビット | PD3_5 | IICSEL | ICE | | | 2 | 1 | 0 | 1 | 0 | 2 | 1 | | 0 | |
| 設定値 | 0 | 0 | X | 0 | 0 | 010b 以外 | | | 01b 以外 | | | X | X | 入力ポート(注1) | |
| | | 1 | 0 | X | X | 010b 以外 | | | 01b 以外 | | | X | X | | |
| | 1 | 0 | X | 0 | 0 | 010b 以外 | | | 01b 以外 | | | X | X | 出力ポート(注2) | |
| | | 1 | 0 | X | X | 010b 以外 | | | 01b 以外 | | | X | X | | |
| | X | 1 | 1 | X | X | X | X | X | X | X | X | X | X | X | SCL入出力(注2) |
| | X | 0 | X | 0 | 1 | X | X | X | X | X | X | X | X | X | SSCK入力(注1) |
| | X | 0 | X | 1 | 0 | X | X | X | X | X | X | X | X | X | SSCK出力(注2、3) |
| | 0 | 0 | X | 0 | 0 | 0 | 1 | 0 | 01b 以外 | | | X | X | 「表7.53 TRCIOD端子 設定」参照 | TRCIOD入力(注1) |
| | | 1 | 0 | X | X | 0 | 1 | 0 | 01b 以外 | | | X | X | | |
| | X | 0 | X | 0 | 0 | 0 | 1 | 0 | 01b 以外 | | | X | X | 「表7.53 TRCIOD端子 設定」参照 | TRCIOD出力(注2) |
| | | 1 | 0 | X | X | 0 | 1 | 0 | 01b 以外 | | | X | X | | |
| | 0 | 0 | X | 0 | 0 | X | X | X | 0 | 1 | X | X | X | 1 | X |
| 1 | | 0 | X | X | X | X | X | 0 | 1 | X | X | X | 1 | | |
| X | 0 | X | 0 | 0 | X | X | X | 0 | 1 | 0 | 0 | 1 | 0 | X | CLK2出力(注2、4) |
| | 1 | 0 | X | X | X | X | X | 0 | 1 | 0 | 0 | 1 | 0 | | |

X: "0" または "1"

注1. PU0レジスタのPU07ビットを"1"にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR07ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSCKOSビットを"1"(Nチャンネルオープンドレイン出力)にすると、Nチャンネルオープンドレイン出力になります。

注4. U2SMR3レジスタのNODCビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.34 ポートP3_7/SSO/TXD2/SDA2/RXD2/SCL2/TRAO/SDA

| レジスタ | PD3 | SSUIICSR | ICCR1 | シンクロナスシリアル アルコミュニケーション ユニット(「表 25.4 通信モードと 入出力端子の関係」 参照) | | U2SR0 | | | U2MR | | | U2SMR | TRASR | TRAIOC | 機能 | | |
|------|-------|----------|-------|---|-------------|-----------|---------|------------|------------|---|------|-------|-------|--------|-------|----------|-------------------|
| | | | | SSO 出力制御 | SSO 入力制御 | RXD2SEL | TXD2SEL | SMD | | | IICM | | | | | TRAOSEL0 | TOENA |
| ビット | PD3_7 | IICSEL | ICE | | | 1 | 0 | 2 | 1 | 0 | | 2 | 1 | 0 | | | |
| 設定値 | 0 | 1 | 0 | X | X | 10b 以外 | | | 001b 以外 | | | X | X | X | X | 01b以外 | 入力ポート(注1) |
| | | 0 | X | 0 | 0 | 10b 以外 | | | 001b 以外 | | | X | X | X | X | 01b以外 | |
| | 1 | 1 | 0 | X | X | 10b 以外 | | | 001b 以外 | | | X | X | X | X | 01b以外 | 出力ポート(注2) |
| | | 0 | X | 0 | 0 | 10b 以外 | | | 001b 以外 | | | X | X | X | X | 01b以外 | |
| | X | 1 | 1 | X | X | X | X | X | X | X | X | X | X | X | X | X | SDA入出力(注2) |
| | X | 0 | X | 0 | 1 | X | X | X | X | X | X | X | X | X | X | X | SSO入力(注1) |
| | X | 0 | X | 1 | 0 | X | X | X | X | X | X | X | X | X | X | X | SSO出力(注2、3) |
| | 0 | 1 | 0 | X | X | 1 | 0 | 001b 以外 | | | X | X | X | X | 01b以外 | | RXD2入力(注1) |
| | | 0 | X | 0 | 0 | 1 | 0 | 001b 以外 | | | 0 | 1 | 0 | 1 | X | X | |
| | X | 1 | 0 | X | X | 1 | 0 | 001b 以外 | | | 0 | 1 | 0 | 1 | X | X | SCL2入出力 (注2、4) |
| | | 0 | X | 0 | 0 | X | X | 0 | 0 | 1 | 0 | 1 | 0 | 1 | X | X | |
| | 0 | 1 | 0 | X | X | X | X | 0 | 0 | 1 | 0 | 1 | 0 | 1 | X | X | SDA2入出力 (注2、4) |
| 0 | | X | 0 | 0 | X | X | 0 | 0 | 1 | 0 | 1 | 0 | 1 | X | X | | |
| X | 1 | 0 | X | X | 10b 以外 | | | 001b 以外 | | | X | X | X | X | 0 | 1 | TRA0出力(注2) |
| | 0 | X | 0 | 0 | 10b 以外 | | | 001b 以外 | | | X | X | X | X | 0 | 1 | |

X: "0" または "1"

注1. PU0レジスタのPU07ビットを"1"にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR07ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)にすると、Nチャンネルオープンドレイン出力になります。

注4. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.35 ポートP4_2/VREF

| レジスタ | ADCON1 | DACON | | 機能 |
|------|--------|-------|------|--------------|
| ビット | ADSTBY | DA0E | DA1E | |
| 設定値 | 0 | 0 | 0 | 入力ポート |
| | 000b以外 | | | 入力ポート/VREF入力 |

表7.36 ポートP4_3/XCIN

| レジスタ | PD4 | PINSR | CM0 | | CM1 | | 回路仕様 | | 機能 |
|------|-------|-------|------|------|------|------|------------|----------|----------------------------|
| ビット | PD4_3 | XCSEL | CM03 | CM04 | CM10 | CM12 | 発振 バッファ | 帰還 抵抗 | |
| 設定値 | 0 | 0 | X | X | X | X | OFF | OFF | 入力ポート(注1) |
| | | 1 | | 0 | | | | | 出力ポート(注2) |
| | 1 | 0 | X | X | X | X | OFF | OFF | 出力ポート(注2) |
| | | 1 | | 0 | | | | | |
| | 0 | 1 | 0 | 1 | 0 | 0 | ON | ON | XCIN-XCOUT発振(内蔵帰還抵抗有効)(注3) |
| | | | | | | 1 | ON | OFF | XCIN-XCOUT発振(内蔵帰還抵抗無効)(注3) |
| | | | | | | 0 | OFF | ON | XCIN-XCOUT発振停止(内蔵帰還抵抗有効) |
| | | | | | | 1 | OFF | OFF | XCIN-XCOUT発振停止(内蔵帰還抵抗無効) |
| | X | X | X | X | 1 | X | OFF | OFF | XCIN-XCOUT発振停止(STOPモード) |

X: "0" または "1"

注1. PUR1レジスタのPU10ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR10ビットを"1"にすると、出力の駆動能力Highとなります。

注3. XCINクロックを使用する場合、PUR1レジスタのPU10ビットを"0"(プルアップなし)にしてください。

表7.37 ポートP4_4/XCOUT

| レジスタ | PD4 | PINSR | CM0 | | CM1 | | 回路仕様 | | 機能 |
|------|-------|-------|------|------|------|------|------------|----------|------------------------------|
| ビット | PD4_4 | XCSEL | CM03 | CM04 | CM10 | CM12 | 発振 バッファ | 帰還 抵抗 | |
| 設定値 | 0 | 0 | X | X | X | X | OFF | OFF | 入力ポート(注1) |
| | | 1 | | 0 | | | | | 出力ポート(注2) |
| | 1 | 0 | X | X | X | X | OFF | OFF | 出力ポート(注2) |
| | | 1 | | 0 | | | | | |
| | 0 | 1 | 0 | 1 | 0 | 0 | ON | ON | XCIN-XCOUT発振(内蔵帰還抵抗有効)(注3、4) |
| | | | | | | 1 | ON | OFF | XCIN-XCOUT発振(内蔵帰還抵抗無効)(注3、4) |
| | | | | | | 0 | OFF | ON | XCIN-XCOUT発振停止(内蔵帰還抵抗有効) |
| | | | | | | 1 | OFF | OFF | XCIN-XCOUT発振停止(内蔵帰還抵抗無効) |
| | X | X | X | X | 1 | X | OFF | OFF | XCIN-XCOUT発振停止(STOPモード) |

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

注3. XCIN-XCOUT発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOSレベルの信号として使用できません。

注4. XCINクロックを使用する場合、PUR1レジスタのPU11ビットを"0"(プルアップなし)にしてください。

表7.38 ポートP4_5/INT0/RXD2/SCL2/ADTRG

| レジスタ | PD4 | INTEN | U2SR0 | | U2MR | | | U2SMR | ADMOD | | 機能 |
|------|-------|--------|---------|---|------|---|---|-------|-------|---|---------------|
| ビット | PD4_5 | INT0EN | RXD2SEL | | SMD | | | IICM | ADCAP | | |
| | | | 1 | 0 | 2 | 1 | 0 | | 1 | 0 | |
| 設定値 | 0 | X | 11b以外 | | X | X | X | X | X | X | 入力ポート(注1) |
| | 1 | X | 11b以外 | | X | X | X | X | X | X | 出力ポート(注2) |
| | 0 | 1 | 11b以外 | | X | X | X | X | X | X | INT0入力(注1) |
| | 0 | X | 1 | 1 | X | X | X | X | X | X | RXD2入力(注1) |
| | 0 | X | 1 | 1 | 0 | 1 | 0 | 1 | X | X | SCL2入出力(注2、3) |
| | 0 | 1 | 11b以外 | | X | X | X | X | 1 | 1 | ADTRG入力(注1) |

X:“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.39 ポートP4_6/XIN

| レジスタ | PD4 | PINSR | CM0 | | | CM1 | | | | 回路仕様 | | 機能 | |
|------|-------|-------|------|------|------|------|------|------|------|------------|----------|-----------|----------------------------|
| ビット | PD4_6 | XCSEL | CM03 | CM04 | CM05 | CM10 | CM11 | CM12 | CM13 | 発振 バッファ | 帰還 抵抗 | | |
| 設定値 | 0 | 0 | X | 0 | X | 0 | X | X | 0 | OFF | OFF | 入力ポート(注1) | |
| | | 1 | | X | | | | | | | | | |
| | 1 | 0 | X | 0 | X | 0 | X | X | 0 | OFF | OFF | 出力ポート(注2) | |
| | | 1 | | X | | | | | | | | | |
| | X | X | X | X | X | 0 | 0 | X | 1 | 1 | ON | ON | XIN-XOUT発振 (内蔵帰還抵抗有効) |
| | | | | | | | | | | | ON | OFF | XIN-XOUT発振 (内蔵帰還抵抗無効) |
| | | | | | | 1 | 0 | X | 1 | 1 | OFF | ON | XIN-XOUT発振停止 (内蔵帰還抵抗有効) |
| | | | | | | | | | | | OFF | OFF | XIN-XOUT発振停止 (内蔵帰還抵抗無効) |
| | | | | | | X | 1 | X | X | X | OFF | OFF | 発振停止(STOPモード) |

X:“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

表7.40 ポートP4_7/XOUT

| レジスタ | PD4 | PINSR | CM0 | | | CM1 | | | | 回路仕様 | | 機能 | |
|------|-------|-------|------|------|------|------|------|------|------|------------|----------|---------------|----------------------------|
| ビット | PD4_7 | XCSEL | CM03 | CM04 | CM05 | CM10 | CM11 | CM12 | CM13 | 発振 バッファ | 帰還 抵抗 | | |
| 設定値 | 0 | 0 | X | 0 | X | 0 | X | X | 0 | OFF | OFF | 入力ポート(注1) | |
| | | 1 | | X | | | | | | | | | |
| | 1 | 0 | X | 0 | X | 0 | X | X | 0 | OFF | OFF | 出力ポート(注2) | |
| | | 1 | | X | | | | | | | | | |
| | X | X | X | X | X | 0 | 0 | X | 1 | 1 | ON | ON | XIN-XOUT発振 (内蔵帰還抵抗有効) |
| | | | | | | | | | | | ON | OFF | XIN-XOUT発振 (内蔵帰還抵抗無効) |
| | | | | | | | | | | | OFF | ON | XIN-XOUT発振停止 (内蔵帰還抵抗有効) |
| | | | | | | | | | | | OFF | OFF | XIN-XOUT発振停止 (内蔵帰還抵抗無効) |
| OFF | | | | | | | | | | | OFF | 発振停止(STOPモード) | |

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

注3. XCIN-XCOUT発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOSレベルの信号として使用できません。

表7.41 ポートP6_0/TREO

| レジスタ | PD6 | TIMSR | TRECR1 | 機能 |
|------|-------|----------|--------|------------|
| ビット | PD6_0 | TREOSEL0 | TOENA | |
| 設定値 | 0 | 11b以外 | | 入力ポート(注1) |
| | 1 | 11b以外 | | 出力ポート(注2) |
| | X | 1 | 1 | TREO出力(注2) |

X: "0" または "1"

注1. PUR1レジスタのPU14ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR14ビットを"1"にすると、出力の駆動能力Highとなります。

表7.42 ポートP6_1

| レジスタ | PD6 | 機能 |
|------|-------|-----------|
| ビット | PD6_1 | |
| 設定値 | 0 | 入力ポート(注1) |
| | 1 | 出力ポート(注2) |

注1. PUR1レジスタのPU14ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR14ビットを"1"にすると、出力の駆動能力Highとなります。

表7.43 ポートP6_2/CLK1

| レジスタ | PD6 | U1SR | | U1MR | | | | 機能 |
|------|-------|----------|----------|------|------|------|-------|--------------------|
| ビット | PD6_2 | CLK1SEL1 | CLK1SEL0 | SMD2 | SMD1 | SMD0 | CKDIR | |
| 設定値 | 0 | 10b以外 | | X | X | X | X | 入力ポート(注1) |
| | 1 | 10b以外 | | X | X | X | X | 出力ポート(注2) |
| | 0 | 1 | 0 | X | X | X | 1 | CLK1(外部クロック)入力(注1) |
| | X | 1 | 0 | 0 | 0 | 1 | 0 | CLK1(内部クロック)出力(注2) |

X: "0" または "1"

注1. PUR1レジスタのPU14ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR14ビットを"1"にすると、出力の駆動能力Highとなります。

表7.44 ポートP6_3/TXD1

| レジスタ | PD6 | U1SR | | U1MR | | | 機能 | |
|------|-------|----------|----------|------|------|------|-----------|--------------|
| ビット | PD6_3 | TXD1SEL1 | TXD1SEL0 | SMD2 | SMD1 | SMD0 | | |
| 設定値 | 0 | 10b以外 | | X | X | X | 入力ポート(注1) | |
| | 1 | 10b以外 | | X | X | X | 出力ポート(注2) | |
| | X | 1 | 0 | 0 | 0 | 1 | 0 | TXD1出力(注2、3) |
| | | | | 1 | | | 0 | |
| | | | | 1 | | | 0 | |

X:“0”または“1”

注1. PUR1レジスタのPU14ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR14ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U1C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.45 ポートP6_4/RXD1

| レジスタ | PD6 | U1SR | | 機能 |
|------|-------|----------|----------|------------|
| ビット | PD6_4 | RXD1SEL1 | RXD1SEL0 | |
| 設定値 | 0 | X | X | 入力ポート(注1) |
| | 1 | X | X | 出力ポート(注2) |
| | 0 | 1 | 0 | RXD1入力(注1) |

X:“0”または“1”

注1. PUR1レジスタのPU15ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを“1”にすると、出力の駆動能力Highとなります。

表7.46 ポートP6_5/INT4/CLK2/CLK1/TRCIOB

| レジスタ | PD6 | INTEN1 | U2SR1 | | U2MR | | | U1SR | | | U1MR | | | TRCPSR0 | タイマRC設定 | 機能 | | | | |
|------|-------|--------|---------|---|------|---|---|-------|---------|---|------|---|---|---------|-----------|----|---|----------------------|------------|----------------------|
| ビット | PD6_5 | INT4EN | CLK2SEL | | SMD | | | CKDIR | CLK1SEL | | SMD | | | CKDIR | TRCIOBSEL | | | | | |
| | | | 1 | 0 | 2 | 1 | 0 | | 1 | 0 | 2 | 1 | 0 | | 2 | | 1 | 0 | | |
| 設定値 | 0 | X | 11b以外 | | X | X | X | X | 11b以外 | | X | X | X | X | 110b以外 | | | X | 入力ポート(注1) | |
| | 1 | X | 11b以外 | | X | X | X | X | 11b以外 | | X | X | X | X | 110b以外 | | | X | 出力ポート(注2) | |
| | 0 | 1 | 11b以外 | | X | X | X | X | 11b以外 | | X | X | X | X | 110b以外 | | | X | INT4入力(注1) | |
| | 0 | X | 1 | 1 | X | X | X | 1 | 11b以外 | | X | X | X | X | X | X | X | X | X | CLK2(外部クロック)入力(注1) |
| | X | X | 1 | 1 | 0 | 0 | 1 | 0 | 11b以外 | | X | X | X | X | X | X | X | X | X | CLK2(内部クロック)出力(注2、3) |
| | 0 | X | X | X | X | X | X | X | 1 | 1 | X | X | X | 1 | X | X | X | X | X | CLK1(外部クロック)入力(注1) |
| | X | X | X | X | X | X | X | X | 1 | 1 | 0 | 0 | 1 | 0 | X | X | X | X | X | CLK1(内部クロック)出力(注2) |
| | 0 | X | 11b以外 | | X | X | X | X | 11b以外 | | X | X | X | X | 1 | 1 | 0 | 「表7.51 TRCIOB端子設定」参照 | | TRCIOB入力(注1) |
| | X | X | 11b以外 | | X | X | X | X | 11b以外 | | X | X | X | X | 1 | 1 | 0 | 「表7.51 TRCIOB端子設定」参照 | | TRCIOB出力(注2) |

X:“0”または“1”

注1. PUR1レジスタのPU15ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U2SMR3レジスタのNODCビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.47 ポートP6_6/INT2/TXD2/SDA2/TRCIOC

| レジスタ | PD6 | INTEN | U2SR0 | | | U2MR | | | U2SMR | TRCPSR1 | | | タイマRC設定 | 機能 | |
|------|-------|--------|---------|---|---|------|---|---|-------|------------|---|----------------------|--------------|---------------|--------------|
| ビット | PD6_6 | INT2EN | TXD2SEL | | | SMD | | | IICM | TRCIOCSSEL | | | - | | |
| | | | 2 | 1 | 0 | 2 | 1 | 0 | | 2 | 1 | 0 | | | |
| 設定値 | 0 | X | 101b以外 | | | X | X | X | X | 101b以外 | | | X | 入力ポート(注1) | |
| | 1 | X | 101b以外 | | | X | X | X | X | 101b以外 | | | X | 出力ポート(注2) | |
| | 0 | 1 | 101b以外 | | | X | X | X | X | 101b以外 | | | X | INT2入力(注1) | |
| | X | X | 1 | 0 | 1 | 0 | 0 | 1 | X | X | X | X | X | X | TXD2出力(注2、3) |
| | | | | | | 0 | | 0 | | | | | | | |
| | | | | | | 1 | | 0 | | | | | | | |
| | 0 | X | 1 | 0 | 1 | 0 | 1 | 0 | 1 | X | X | X | X | SDA2入出力(注2、3) | |
| 0 | X | 101b以外 | | | X | X | X | X | 1 | 0 | 1 | 「表7.52 TRCIOC端子設定」参照 | TRCIOC入力(注1) | | |
| X | X | 101b以外 | | | X | X | X | X | 1 | 0 | 1 | 「表7.52 TRCIOC端子設定」参照 | TRCIOC出力(注2) | | |

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.48 ポートP6_7/INT3/TRCIOD

| レジスタ | PD6 | INTSR | | INTEN | INTCMP | TRCPSR1 | | | タイマRC設定 | 機能 |
|------|-------|---------|---|--------|---------|-----------|---|---|----------------------|--------------|
| ビット | PD6_7 | INT3SEL | | INT3EN | INT3CP0 | TRCIODSEL | | | - | |
| | | 1 | 0 | | | 2 | 1 | 0 | | |
| 設定値 | 0 | X | X | X | X | 101b以外 | | | X | 入力ポート(注1) |
| | 1 | X | X | X | X | 101b以外 | | | X | 出力ポート(注2) |
| | 0 | 1 | 0 | 1 | 0 | 101b以外 | | | X | INT3入力(注1) |
| | 0 | X | X | X | X | 1 | 0 | 1 | 「表7.53 TRCIOD端子設定」参照 | TRCIOD入力(注1) |
| | X | X | X | X | X | 1 | 0 | 1 | 「表7.53 TRCIOD端子設定」参照 | TRCIOD出力(注2) |

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

表7.49 TRBO端子設定

| レジスタ | TRBIOC | TRBMR | | 機能 |
|------|--------|-------|-------|---------------------------|
| ビット | TOCNT | TMOD1 | TMOD0 | |
| 設定値 | 0 | 0 | 1 | プログラマブル波形発生モード(パルス出力) |
| | 1 | 0 | 1 | プログラマブル波形発生モード(プログラマブル出力) |
| | 0 | 1 | 0 | プログラマブルワンショット発生モード |
| | 0 | 1 | 1 | プログラマブルウェイトワンショット発生モード |

表7.50 TRCIOA端子設定

| レジスタ | TRCOER | TRCMR | TRCIOR0 | | | TRCCR2 | | 機能 |
|------|--------|-------|---------|------|------|--------|------------------|-----------------------|
| ビット | EA | PWM2 | IOA2 | IOA1 | IOA0 | TCEG1 | TCEG0 | |
| 設定値 | 0 | 1 | 0 | 0 | 1 | X | X | タイマ波形出力(アウトプットコンペア機能) |
| | | | | 1 | X | | | |
| | 0 | 1 | 1 | X | X | X | X | タイマモード(インプットキャプチャ機能) |
| | 1 | | | | | | | |
| 1 | 0 | X | X | X | 0 | 1 | PWM2モード TRCTRG入力 | |
| | | | | | 1 | X | | |

X: "0" または "1"

表7.51 TRCIOB端子設定

| レジスタ | TRCOER | TRCMR | | TRCIOR0 | | | 機能 |
|------|--------|-------|------|---------|------|------|-----------------------|
| ビット | EB | PWM2 | PWMB | IOB2 | IOB1 | IOB0 | |
| 設定値 | 0 | 0 | X | X | X | X | PWM2モード波形出力 |
| | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| | 0 | 1 | 0 | 0 | 0 | 1 | タイマ波形出力(アウトプットコンペア機能) |
| | | | | | 1 | X | |
| | 0 | 1 | 0 | 1 | X | X | タイマモード(インプットキャプチャ機能) |
| 1 | | | | | | | |

X: "0" または "1"

表7.52 TRCIOC端子設定

| レジスタ | TRCOER | TRCMR | | TRCIOR1 | | | 機能 |
|------|--------|-------|------|---------|------|------|-----------------------|
| ビット | EC | PWM2 | PWMC | IOC2 | IOC1 | IOC0 | |
| 設定値 | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| | 0 | 1 | 0 | 0 | 0 | 1 | タイマ波形出力(アウトプットコンペア機能) |
| | | | | | 1 | X | |
| | 0 | 1 | 0 | 1 | X | X | タイマモード(インプットキャプチャ機能) |
| 1 | | | | | | | |

X: "0" または "1"

表7.53 TRCIOD端子設定

| レジスタ | TRCOER | TRCMR | | TRCIOR1 | | | 機能 |
|------|--------|-------|------|---------|------|------|-----------------------|
| ビット | ED | PWM2 | PWMD | IOD2 | IOD1 | IOD0 | |
| 設定値 | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| | 0 | 1 | 0 | 0 | 0 | 1 | タイマ波形出力(アウトプットコンペア機能) |
| | | | | | 1 | X | |
| | 0 | 1 | 0 | 1 | X | X | タイマモード(インプットキャプチャ機能) |
| 1 | | | | | | | |

X: "0" または "1"

表7.54 TRDIOA0端子設定

| レジスタ | TRDOER1 | TRDFCR | | | | TRDIOA0 | | | 機能 |
|------|---------|--------|------|-------|------|---------|------|------|------------------------------|
| ビット | EA0 | CMD1 | CMD0 | STCLK | PWM3 | IOA2 | IOA1 | IOA0 | |
| 設定値 | X | 0 | 0 | 0 | 1 | 1 | X | X | タイマモード (インプットキャプチャ機能) |
| | X | X | X | 1 | 1 | 0 | 0 | 0 | 外部クロック入力(TRDCLK) |
| | 0 | 0 | 0 | 0 | 0 | X | X | X | PWM3モード波形出力 |
| | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | タイマモード波形出力 (アウトプットコンペア機能) |
| | | | | | | | 1 | X | |

X: "0" または "1"

表7.55 TRDIOB0端子設定

| レジスタ | TRDOER1 | TRDFCR | | | TRDPMR | TRDIOA0 | | | 機能 |
|------|---------|--------|------|------|--------|---------|------|------|------------------------------|
| ビット | EB0 | CMD1 | CMD0 | PWM3 | PWMB0 | IOB2 | IOB1 | IOB0 | |
| 設定値 | X | 0 | 0 | 1 | 0 | 1 | X | X | タイマモード (インプットキャプチャ機能) |
| | 0 | 1 | 0 | X | X | X | X | X | 相補PWMモード波形出力 |
| | | | 1 | | | | | | |
| | 0 | 0 | 1 | X | X | X | X | X | リセット同期PWMモード波形出力 |
| | 0 | 0 | 0 | 0 | X | X | X | X | PWM3モード波形出力 |
| | 0 | 0 | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | タイマモード波形出力 (アウトプットコンペア機能) |
| | | | | | | | 1 | X | |

X: "0" または "1"

表7.56 TRDIOC0端子設定

| レジスタ | TRDOER1 | TRDFCR | | | TRDPMR | TRDIORC0 | | | 機能 |
|------|---------|--------|------|------|--------|----------|------|------|------------------------------|
| ビット | EC0 | CMD1 | CMD0 | PWM3 | PWMC0 | IOC2 | IOC1 | IOC0 | |
| 設定値 | X | 0 | 0 | 1 | 0 | 1 | X | X | タイマモード (インプットキャプチャ機能) |
| | 0 | 1 | 0 | X | X | X | X | X | 相補PWMモード波形出力 |
| | | | 1 | | | | | | |
| | 0 | 0 | 1 | X | X | X | X | X | リセット同期PWMモード波形出力 |
| | 0 | 0 | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | タイマモード波形出力 (アウトプットコンペア機能) |
| | | | | | | | 1 | X | |

X: "0" または "1"

表7.57 TRDIOD0端子設定

| レジスタ | TRDOER1 | TRDFCR | | | TRDPMR | TRDIORC0 | | | 機能 |
|------|---------|--------|------|------|--------|----------|------|------|------------------------------|
| ビット | ED0 | CMD1 | CMD0 | PWM3 | PWMD0 | IOD2 | IOD1 | IOD0 | |
| 設定値 | X | 0 | 0 | 1 | 0 | 1 | X | X | タイマモード (インプットキャプチャ機能) |
| | 0 | 1 | 0 | X | X | X | X | X | 相補PWMモード波形出力 |
| | | | 1 | | | | | | |
| | 0 | 0 | 1 | X | X | X | X | X | リセット同期PWMモード波形出力 |
| | 0 | 0 | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | タイマモード波形出力 (アウトプットコンペア機能) |
| | | | | | | | 1 | X | |

X: "0" または "1"

表7.58 TRDIOA1端子設定

| レジスタ ビット | TRDOER1 EA1 | TRDFCR | | | TRDIOA1 | | | 機能 |
|-------------|----------------|--------|------|------|---------|------|------------------------------|----------------------|
| | | CMD1 | CMD0 | PWM3 | IOA2 | IOA1 | IOA0 | |
| 設定値 | X | 0 | 0 | 1 | 1 | X | X | タイマモード(インプットキャプチャ機能) |
| | 0 | 1 | 0 | X | X | X | X | 相補PWMモード波形出力 |
| | | | 1 | | | | | |
| | 0 | 0 | 1 | X | X | X | X | リセット同期PWMモード波形出力 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | タイマモード波形出力 (アウトプットコンペア機能) | |

X:“0”または“1”

表7.59 TRDIOB1端子設定

| レジスタ ビット | TRDOER1 EB1 | TRDFCR | | | TRDPMR PWMB1 | TRDIOA1 | | | 機能 |
|-------------|----------------|--------|------|------|-----------------|---------|------|------------------------------|--------------------------|
| | | CMD1 | CMD0 | PWM3 | | IOB2 | IOB1 | IOB0 | |
| 設定値 | X | 0 | 0 | 1 | 0 | 1 | X | X | タイマモード (インプットキャプチャ機能) |
| | 0 | 1 | 0 | X | X | X | X | X | 相補PWMモード波形出力 |
| | | | 1 | | | | | | |
| | 0 | 0 | 1 | X | X | X | X | X | リセット同期PWMモード波形出力 |
| | 0 | 0 | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | タイマモード波形出力 (アウトプットコンペア機能) | |

X:“0”または“1”

表7.60 TRDIOC1端子設定

| レジスタ ビット | TRDOER1 EC1 | TRDFCR | | | TRDPMR PWMC1 | TRDIOA1 | | | 機能 |
|-------------|----------------|--------|------|------|-----------------|---------|------|------------------------------|--------------------------|
| | | CMD1 | CMD0 | PWM3 | | IOC2 | IOC1 | IOC0 | |
| 設定値 | X | 0 | 0 | 1 | 0 | 1 | X | X | タイマモード (インプットキャプチャ機能) |
| | 0 | 1 | 0 | X | X | X | X | X | 相補PWMモード波形出力 |
| | | | 1 | | | | | | |
| | 0 | 0 | 1 | X | X | X | X | X | リセット同期PWMモード波形出力 |
| | 0 | 0 | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | タイマモード波形出力 (アウトプットコンペア機能) | |

X:“0”または“1”

表7.61 TRDIOD1端子設定

| レジスタ ビット | TRDOER1 ED1 | TRDFCR | | | TRDPMR PWMD1 | TRDIOA1 | | | 機能 |
|-------------|----------------|--------|------|------|-----------------|---------|------|------------------------------|--------------------------|
| | | CMD1 | CMD0 | PWM3 | | IOD2 | IOD1 | IOD0 | |
| 設定値 | X | 0 | 0 | 1 | 0 | 1 | X | X | タイマモード (インプットキャプチャ機能) |
| | 0 | 1 | 0 | X | X | X | X | X | 相補PWMモード波形出力 |
| | | | 1 | | | | | | |
| | 0 | 0 | 1 | X | X | X | X | X | リセット同期PWMモード波形出力 |
| | 0 | 0 | 0 | 1 | 1 | X | X | X | PWMモード波形出力 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | タイマモード波形出力 (アウトプットコンペア機能) | |

X:“0”または“1”

7.6 未使用端子の処理

表7.62に未使用端子の処理例を示します。

表7.62 未使用端子の処理例

| 端子名 | 処理内容 |
|--|---|
| ポートP0 ~ P2、P3_0 ~ P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_7、P6 | <ul style="list-style-type: none"> •入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) •出力モードに設定し、端子を開放(注1、2) |
| ポートP4_2/VREF | VCCに接続 |
| RESET(注3) | 抵抗を介してVCCに接続(プルアップ)(注2) |

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

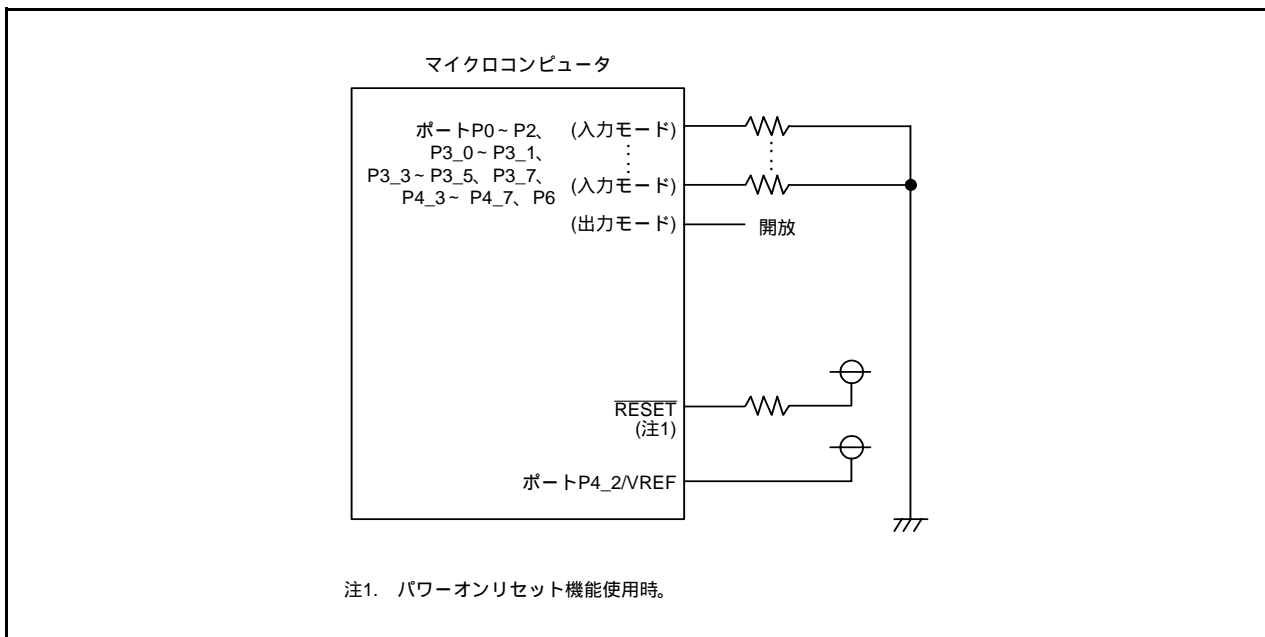


図7.17 未使用端子の処理例

8. バス制御

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRとはアクセス時のバスサイクルが異なります。

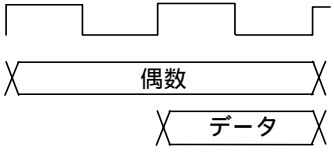
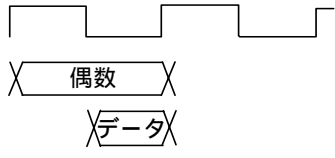
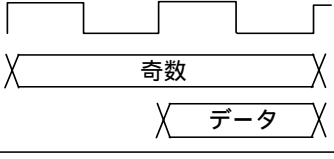
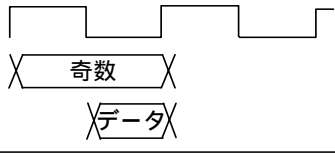
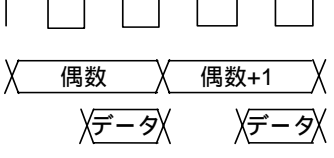
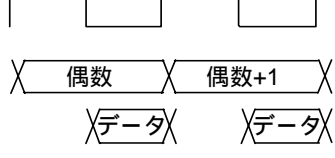
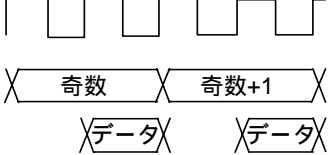
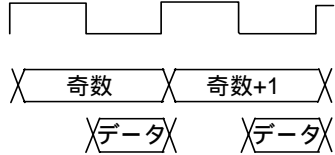
表 8.1にR8C/34Mグループのアクセス領域に対するバスサイクルを示します。

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表 8.2にアクセス単位とバスの動作を示します。

表 8.1 R8C/34Mグループのアクセス領域に対するバスサイクル

| アクセス領域 | バスサイクル |
|---------------|----------------|
| SFR/ データフラッシュ | CPU クロックの2サイクル |
| プログラム ROM/RAM | CPU クロックの1サイクル |

表 8.2 アクセス単位とバスの動作

| 領域 | SFR、データフラッシュ | | ROM(プログラムROM)、RAM、DTCベクタ領域、DTCコントロールデータ | |
|-----------------|--------------|---|---|---|
| 偶数番地 バイトアクセス | CPU クロック |  | CPU クロック |  |
| 奇数番地 バイトアクセス | CPU クロック |  | CPU クロック |  |
| 偶数番地 ワードアクセス | CPU クロック |  | CPU クロック |  |
| 奇数番地 ワードアクセス | CPU クロック |  | CPU クロック |  |

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

タイマRD：TRDi(i=0、1)、TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

SSU：SSTDR、SSTDRH、SSRDR、SSRDRHレジスタ

UART2：U2MR、U2BRG、U2TB、U2C0、U2C1、U2RB、U2SMR5、U2SMR4、U2SMR3、U2SMR2、U2SMR
レジスタ

A/Dコンバータ：AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADMOD、ADINSEL、ADCON0、
ADCON1レジスタ

D/Aコンバータ：DA0、DA1レジスタ

アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表 8.2 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

9. クロック発生回路

クロック発生回路として、5つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

9.1 概要

表9.1にクロック発生回路の概略仕様を、図9.1にクロック発生回路を、図9.2に周辺機能のクロックを示します。

表9.1 クロック発生回路の概略仕様

| 項目 | XINクロック 発振回路 | XCINクロック 発振回路 | オンチップオシレータ | | ウォッチドッグ タイマ用低速オン チップオシレータ |
|----------|---------------------------|---|---|---|---------------------------------|
| | | | 高速オンチップ オシレータ | 低速オンチップ オシレータ | |
| 用途 | •CPUのクロック源 •周辺機能のクロック源 | •CPUのクロック源 •周辺機能のクロック源 | •CPUのクロック源 •周辺機能のクロック源 •XINクロック発振停止時のCPU、周辺機能のクロック源 | •CPUのクロック源 •周辺機能のクロック源 •XINクロック発振停止時のCPU、周辺機能のクロック源 | •ウォッチドッグタイマのクロック源 |
| クロック周波数 | 0 ~ 20MHz | 32.768kHz | 約40MHz(注4) | 約125kHz | 約125kHz |
| 接続できる発振子 | •セラミック共振子 •水晶発振子 | •水晶発振子 | | | |
| 発振子の接続端子 | XIN、XOUT(注1) | XCIN、XCOUT(注2) | (注1) | (注1) | |
| 発振の開始と停止 | あり | あり | あり | あり | あり |
| リセット後の状態 | 停止 | 停止 | 停止 | 発振 | 停止(注5) 発振(注6) |
| その他 | 外部で生成されたクロックを入力可能(注3) | •外部で生成されたクロックを入力可能 •帰還抵抗Rfを内蔵。(接続/非接続選択可能) | | | |

注1. XINクロック発振回路を使用せず、XCINクロック発振回路または、オンチップオシレータクロックをCPUクロックに使用するにはP4_6、P4_7として使うことができます。

注2. XCINクロック発振回路を使用せず、XINクロック発振回路または、オンチップオシレータクロックをCPUクロックに使用するにはP4_3、P4_4として使うことができます。

注3. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)に、CM13ビットを“1”(XIN-XOUT端子)にしてください。

注4. CPUクロック源として使用する場合には、分周器により最大：約20MHzとなります。

注5. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注6. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

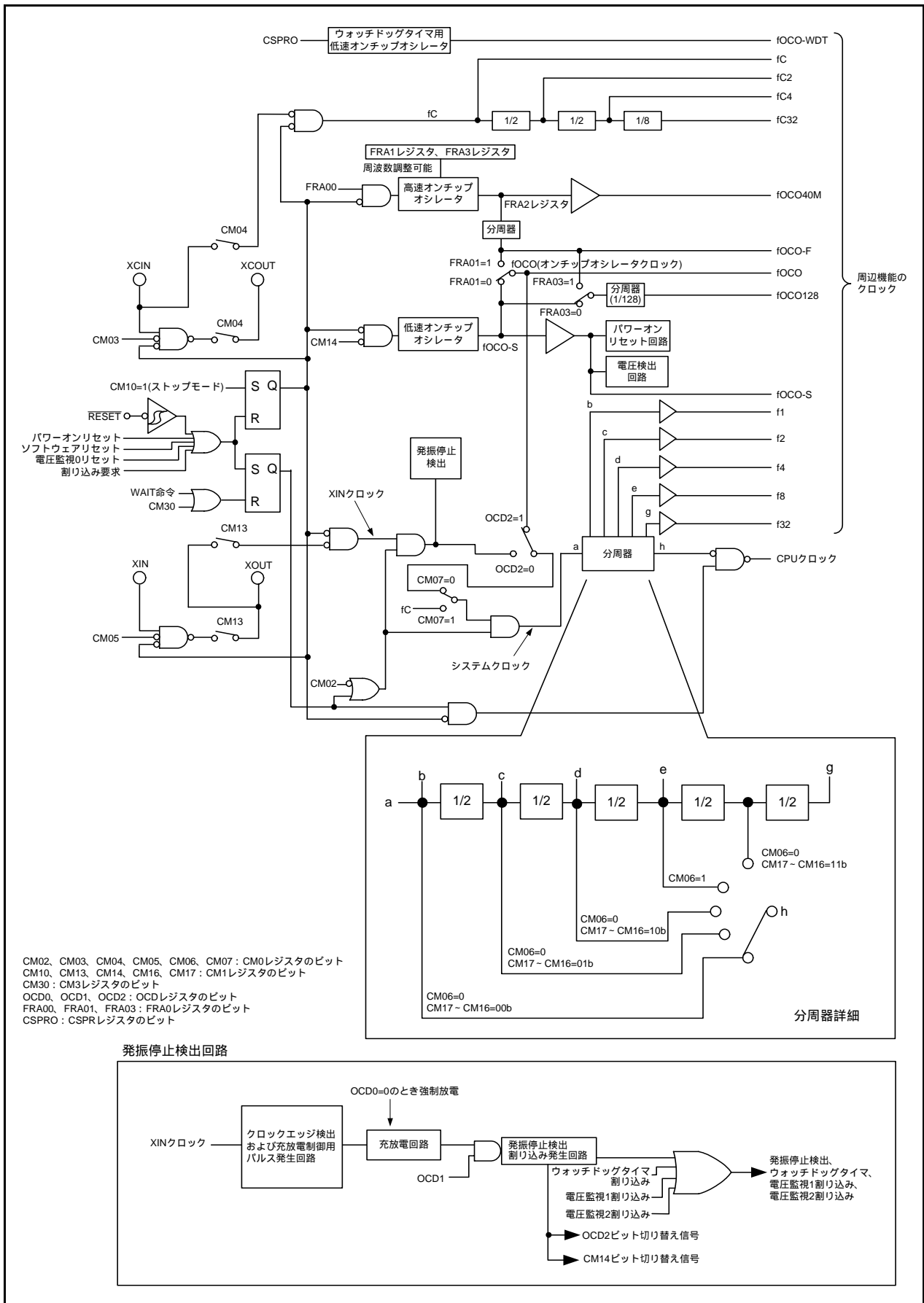


図9.1 クロック発生回路

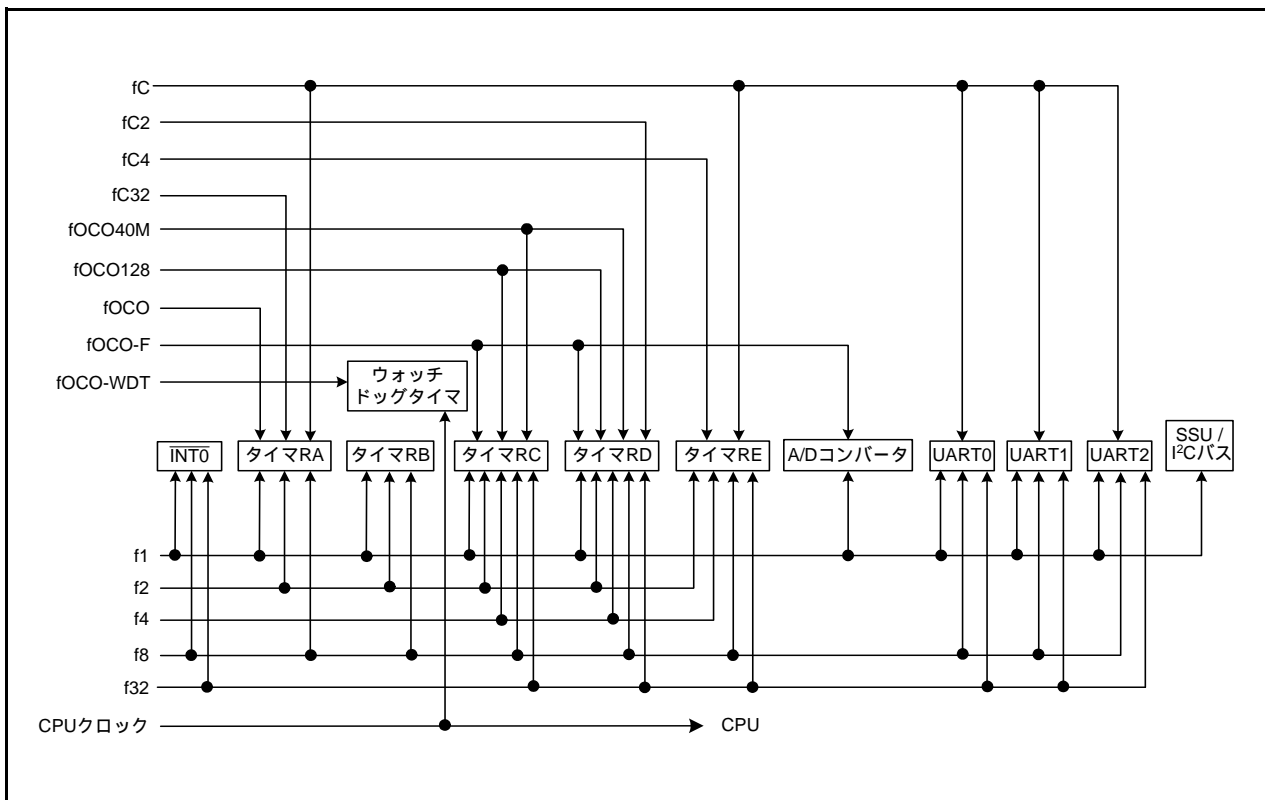


図9.2 周辺機能のクロック

9.2 レジスタの説明

9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|------|------|------|------|------|----|----|
| シンボル | CM07 | CM06 | CM05 | CM04 | CM03 | CM02 | - | - |
| リセット後の値 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------------------------|---|-----|
| b0 | - | 予約ビット | “0” にしてください | R/W |
| b1 | - | | | R/W |
| b2 | CM02 | ウェイトモード時周辺機能クロック停止ビット | 0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する | R/W |
| b3 | CM03 | XCINクロック停止ビット | 0: 発振 1: 停止 | R/W |
| b4 | CM04 | ポート/XCIN-XCOUT切り替えビット(注5、6) | 0: 入出力ポートP4_3、P4_4 1: XCIN、XCOUT端子(注7) | R/W |
| b5 | CM05 | XINクロック(XIN-XOUT)停止ビット(注1、3) | 0: 発振 1: 停止(注2) | R/W |
| b6 | CM06 | CPUクロック分周比選択ビット0(注4) | 0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード | R/W |
| b7 | CM07 | XIN、XCINクロック選択ビット(注8) | 0: XINクロック 1: XCINクロック | R/W |

注1. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。

(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。

注3. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4_6、P4_7)の場合のみ、P4_6、P4_7は入出力ポートとして使用できます。

注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注5. 入出力ポートとして使用する場合は、CM04ビットを“0”(入出力ポート)、CM03ビットを“1”(XCINクロック停止)にしてください。

P4_3端子はXCIN端子と、P4_4端子はXCOUT端子と兼用です。内蔵発振回路を使用する場合は、これらを入出力ポートとして使用できません。

注6. CM04ビットはプログラムで“1”にできますが、“0”にできません。

注7. XCINクロックを使用する場合、CM04ビットを“1”、PINSRレジスタのXCSELビットを“1”にしてください。また、ポートP4_3、P4_4は入力ポートで、プルアップなしにしてください。

注8. CM04ビットを“1”(XCIN-XCOUT端子)にし、XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h番地

| | | | | | | | | |
|---------|------|------|----|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CM17 | CM16 | - | CM14 | CM13 | CM12 | CM11 | CM10 |
| リセット後の値 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|-------------------------------|---|-----|
| b0 | CM10 | 全クロック停止制御ビット (注2、7、8) | 0: クロック発振 1: 全クロック停止(ストップモード) | R/W |
| b1 | CM11 | XIN-XOUT内蔵帰還抵抗選択ビット | 0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効 | R/W |
| b2 | CM12 | XCIN-XCOOUT内蔵帰還抵抗選択 ビット | 0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効 | R/W |
| b3 | CM13 | ポート/XIN-XOUT切り替えビット (注5、6) | 0: 入出力ポートP4_6、P4_7 1: XIN-XOUT端子 | R/W |
| b4 | CM14 | 低速オンチップオシレータ発振停止 ビット(注3、4) | 0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止 | R/W |
| b5 | - | 予約ビット | "1" にしてください | R/W |
| b6 | CM16 | CPUクロック分周比選択 ビット1(注1) | b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード | R/W |
| b7 | CM17 | | | R/W |

注1. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16～CM17ビットは有効となります。

注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)にしてください。

P4_6端子はXIN端子と、P4_7端子はXOUT端子と兼用です。内蔵発振回路を使用する場合は、これらを入出力ポートとして使用できません。

注6. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

注8. システムクロックに高速オンチップオシレータモードを選択している場合、CM3レジスタのCM37～CM36ビットが“00b”(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)の状態ですトップモードに移行しないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

| | | | | | | | | |
|---------|------|------|------|----|----|----|----|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CM37 | CM36 | CM35 | - | - | - | - | CM30 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | CM30 | ウェイト制御ビット(注1) | 0: ウェイトモードではない 1: ウェイトモードに移行する | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | - | | | |
| b3 | - | 予約ビット | “0”にしてください | R/W |
| b4 | - | | | |
| b5 | CM35 | ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2) | 0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし | R/W |
| b6 | CM36 | ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット | b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰(注3) 01: 設定しないでください 10: 設定しないでください 11: XINクロックを選択(注4、5) | R/W |
| b7 | CM37 | | | R/W |

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. システムクロックに高速オンチップオシレータモードを選択している場合、この設定の状態ですトップモードに移行しないでください。
- 注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
 - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
 - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。
- 注5. システムクロックに低速クロックモードを選択している場合、この設定の状態ですウェイト、ストップモードに移行しないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

| | | | | | | | | |
|---------|----|----|----|----|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | OCD3 | OCD2 | OCD1 | OCD0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|-------------------|---|-----|
| b0 | OCD0 | 発振停止検出有効ビット(注6) | 0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効 | R/W |
| b1 | OCD1 | 発振停止検出割り込み許可ビット | 0: 禁止(注1) 1: 許可 | R/W |
| b2 | OCD2 | システムクロック選択ビット(注3) | 0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2) | R/W |
| b3 | OCD3 | クロックモニタビット(注4、5) | 0: XINクロック発振 1: XINクロック停止 | R |
| b4 | - | 予約ビット | "0" にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

- 注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
- 注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図9.9 発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.5 高速オンチップオシレータ制御レジスタ7(FRA7)

アドレス 0015h番地

| | | | | | | | | |
|---------|-------|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 出荷時の値 | | | | | | | |

| ビット | 機能 | R/W |
|-------|---|-----|
| b7～b0 | 32MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA6レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。 | R |

9.2.6 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h 番地

| | | | | | | | | |
|---------|----|----|----|----|-------|----|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | FRA03 | - | FRA01 | FRA00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | FRA00 | 高速オンチップオシレータ許可ビット | 0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振 | R/W |
| b1 | FRA01 | 高速オンチップオシレータ選択ビット (注1) | 0: 低速オンチップオシレータ選択(注2) 1: 高速オンチップオシレータ選択(注3) | R/W |
| b2 | - | 予約ビット | “0” にしてください | R/W |
| b3 | FRA03 | fOCO128クロック選択ビット | 0: fOCO-Sの128分周を選択 1: fOCO-Fの128分周を選択 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14=0(低速オンチップオシレータ発振)
- FRA2レジスタのFRA22～FRA20ビットが
VCC=2.7V～5.5Vの場合は全分周モード設定可能 “000b”～“111b”
VCC=1.8V～5.5Vの場合は8分周以上の分周比 “110b”～“111b”(8分周モード以上)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

注3. FRA01ビットに“1”(高速オンチップオシレータ選択)を設定し、低速オンチップオシレータを停止する場合は、低速オンチップオシレータの1サイクル以上を待ってから、CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.7 高速オンチップオシレータ制御レジスタ1 (FRA1)

アドレス 0024h 番地

| | | | | | | | | |
|---------|-------|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 出荷時の値 | | | | | | | |

| ビット | 機能 | R/W |
|-------|--|-----|
| b7～b0 | 下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz: FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz: FRA4レジスタの値をFRA1レジスタに転送し、かつ、 FRA5レジスタの値をFRA3レジスタに転送。 32MHz: FRA6レジスタの値をFRA1レジスタに転送し、かつ、 FRA7レジスタの値をFRA3レジスタに転送。 | R/W |

FRA1レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA1レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス 0025h 番地

| | | | | | | | | |
|---------|----|----|----|----|----|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | FRA22 | FRA21 | FRA20 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|----------------------|---|-----|
| b0 | FRA20 | 高速オンチップオシレータ周波数切替ビット | 分周比選択 高速オンチップオシレータクロック分周比を選択します。 b2 b1 b0 000: 2分周モード 001: 3分周モード 010: 4分周モード 011: 5分周モード 100: 6分周モード 101: 7分周モード 110: 8分周モード 111: 9分周モード | R/W |
| b1 | FRA21 | | | R/W |
| b2 | FRA22 | | | R/W |
| b3 | - | 予約ビット | "0" にしてください | R/W |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

FRA2レジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後、書き換えてください。

9.2.9 時計用プリスケアラリセットフラグ (CPSRF)

アドレス 0028h 番地

| | | | | | | | | |
|---------|------|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CPSR | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------------|--|-----|
| b0 | - | 予約ビット | "0" にしてください | R/W |
| b1 | - | | | |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b7 | CPSR | 時計用プリスケアラリセットフラグ | このビットを"1"にすると時計用プリスケアラが初期化される(読んだ場合、その値は"0") | R/W |

9.2.10 高速オンチップオシレータ制御レジスタ4 (FRA4)

アドレス 0029h番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| - | - | - | - | - | - | - | - |
|---|---|---|---|---|---|---|---|

リセット後の値 出荷時の値

| ビット | 機能 | R/W |
|---------|---|-----|
| b7 ~ b0 | 36.864MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA5レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。 | R |

9.2.11 高速オンチップオシレータ制御レジスタ5 (FRA5)

アドレス 002Ah番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル

| | | | | | | | |
|---|---|---|---|---|---|---|---|
| - | - | - | - | - | - | - | - |
|---|---|---|---|---|---|---|---|

リセット後の値 出荷時の値

| ビット | 機能 | R/W |
|---------|---|-----|
| b7 ~ b0 | 36.864MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA4レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。 | R |

9.2.12 高速オンチップオシレータ制御レジスタ6 (FRA6)

アドレス 002Bh番地

| | | | | | | | | |
|---------|-------|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 出荷時の値 | | | | | | | |

| ビット | 機能 | R/W |
|---------|---|-----|
| b7 ~ b0 | 32MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA7レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。 | R |

9.2.13 高速オンチップオシレータ制御レジスタ3 (FRA3)

アドレス 002Fh番地

| | | | | | | | | |
|---------|-------|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 出荷時の値 | | | | | | | |

| ビット | 機能 | R/W |
|---------|---|-----|
| b7 ~ b0 | 下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz : FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz : FRA4レジスタの値をFRA1レジスタに転送し、かつ、 FRA5レジスタの値をFRA3レジスタに転送。 32MHz : FRA6レジスタの値をFRA1レジスタに転送し、かつ、 FRA7レジスタの値をFRA3レジスタに転送。 | R/W |

FRA3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA3レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

9.2.14 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----------------------------|-------|-------|-------|-------|-------|-------|-------|
| シンボル | VCA27 | VCA26 | VCA25 | VCA24 | VCA23 | VCA22 | VCA21 | VCA20 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 上記はOFSレジスタのLVDASビットが“1”の場合 | | | | | | | |
| リセット後の値 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| | 上記はOFSレジスタのLVDASビットが“0”の場合 | | | | | | | |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-------------------------|---|-----|
| b0 | VCA20 | 内部電源低消費電力許可ビット(注1) | 0: 低消費電力禁止 1: 低消費電力許可(注2) | R/W |
| b1 | VCA21 | コンパレータA1リファレンス電圧入力選択ビット | 0: 内部基準電圧 1: LVREF端子入力電圧 | R/W |
| b2 | VCA22 | LVCMP1比較電圧外部入力選択ビット | 0: 電源電圧(VCC) 1: LVCMP1端子入力電圧 | R/W |
| b3 | VCA23 | コンパレータA2リファレンス電圧入力選択ビット | 0: 内部基準電圧 1: LVREF端子入力電圧 | R/W |
| b4 | VCA24 | LVCMP2比較電圧外部入力選択ビット | 0: 電源電圧(VCC) (Vdet2_0) 1: LVCMP2端子入力電圧 (Vdet2_EXT) | R/W |
| b5 | VCA25 | 電圧検出0許可ビット(注3) | 0: 電圧検出0回路無効 1: 電圧検出0回路有効 | R/W |
| b6 | VCA26 | 電圧検出1/コンパレータA1許可ビット(注4) | 0: 電圧検出1/コンパレータA1回路無効 1: 電圧検出1/コンパレータA1回路有効 | R/W |
| b7 | VCA27 | 電圧検出2/コンパレータA2許可ビット(注5) | 0: 電圧検出2/コンパレータA2回路無効 1: 電圧検出2/コンパレータA2回路有効 | R/W |

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「33.2.9 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1/コンパレータA1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1/コンパレータA1回路が動作します。

注5. 電圧検出2/コンパレータA2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2/コンパレータA2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.15 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

| | | | | | | | | |
|---------|---------|---------|-----------|----------|---------|----|----|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | SDADLY1 | SDADLY0 | IICTCHALF | IICTCTWI | IOINSEL | - | - | XCSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-----------|--|--|-----|
| b0 | XCSEL | XCIN/XCOUT 端子接続 ビット | 0: XCINをP4_3、XCOUTをP4_4に接続しない 1: XCINをP4_3、XCOUTをP4_4に接続する | R/W |
| b1 | - | 予約ビット | “0” にしてください | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - | - |
| b3 | IOINSEL | I/Oポート入力機能選択 ビット | 0: I/Oポートの入力機能はPDi (i=0~4、6) レジスタに依存 PDiレジスタのPDi_j (j=0~7) ビットが“0” (入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1” (出力モード)のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む | R/W |
| b4 | IICTCTWI | I ² C転送レート2倍選択 ビット(注1) | 0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート | R/W |
| b5 | IICTCHALF | I ² C転送レート1/2倍選択 ビット(注1) | 0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート | R/W |
| b6 | SDADLY0 | SDA端子デジタル遅延選択 ビット | b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください | R/W |
| b7 | SDADLY1 | | | R/W |

注1. I²Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方も“0”にしてください。

XCSELビット (XCIN/XCOUT 端子接続ビット)

XCSELビットはXCIN、XCOUTをP4_3、P4_4に接続するためのビットです。“1”にするとXCINをP4_3、XCOUTをP4_4に接続します。XCIN、XCOUTの設定方法は、「9. クロック発生回路」を参照してください。

IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0~4、6) レジスタのPDi_j (j=0~7) ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表9.2にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットでP4_2を除くすべてのI/Oポートの入力機能を変更できます。

表9.2 IOINSELビットによるI/Oポートの読み出し値

| PDiレジスタのPDi_jビット | “0” (入力モード) | | “1” (出力モード) | |
|------------------|-------------|-----|-------------|----------|
| | “0” | “1” | “0” | “1” |
| IOINSELビット | “0” | “1” | “0” | “1” |
| I/Oポート読み出し値 | 端子の入力レベル | | ポートラッチの値 | 端子の入力レベル |

クロック発生回路で生成するクロックを説明します。

9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXOUT端子へ入力することもできます。

図9.3にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXOUT端子に入力している場合、CM05ビットを“1”にしてもXINクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

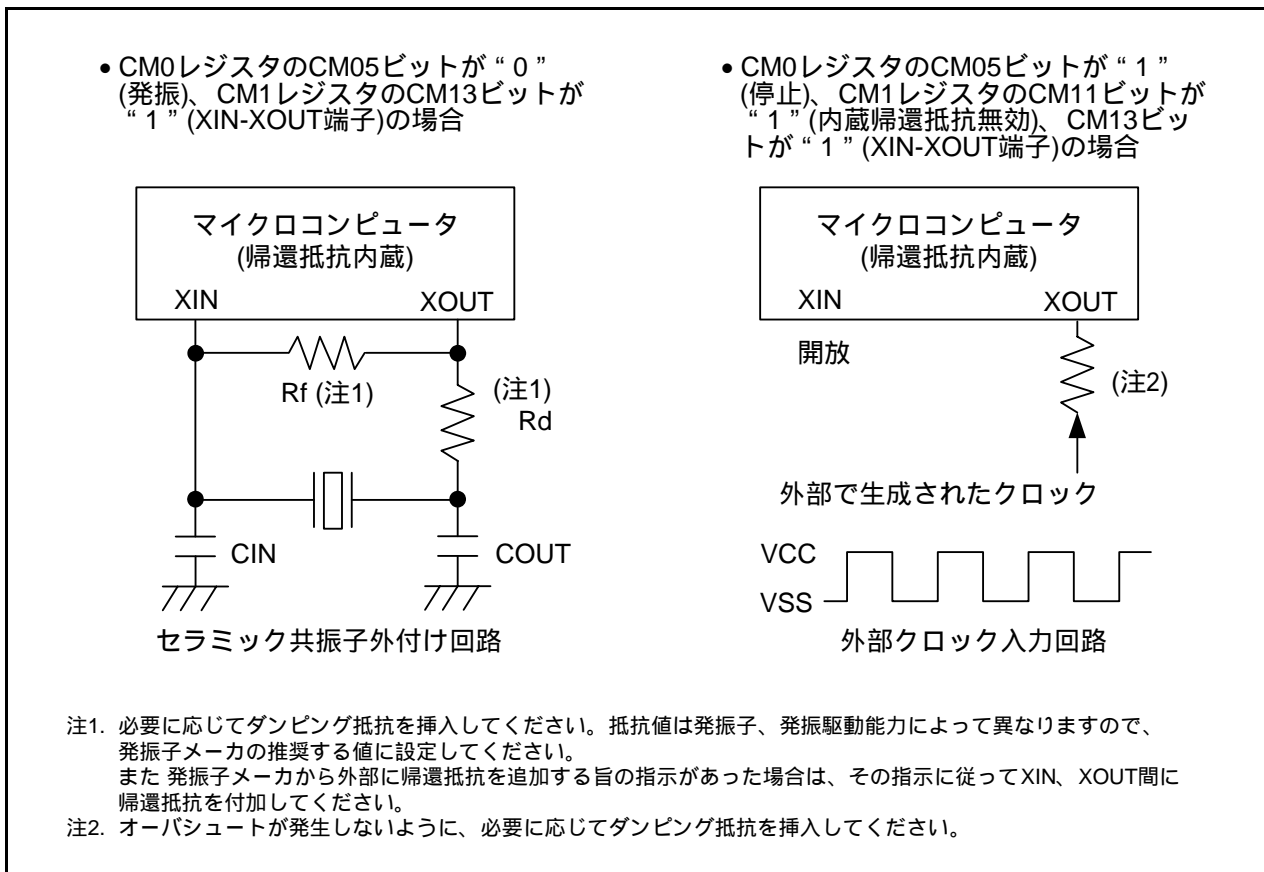


図9.3 XINクロックの接続回路例

9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-S、fOCO128のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-F、fOCO40M、fOCO128のクロック源になります。

CPUクロック、周辺クロック、fOCO、fOCO-Fのクロック源として使用する場合には、FRA2レジスタのFRA20～FRA22ビットにより、以下のように設定してください。

- VCC=2.7V～5.5Vの場合、全分周モード設定可能 “000b”～“111b”
- VCC=1.8V～5.5Vの場合、8分周以上の分周比 “110b”～“111b”(8分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。

また、FRA4～FRA7レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を36.864MHzにするには、FRA4レジスタの調整値をFRA1レジスタへ、FRA5レジスタの調整値をFRA3レジスタに転送して使用してください。これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます(「表 22.8、表 23.8 UARTモード時のビットレート設定例(内部クロック選択時)」を参照)。

高速オンチップオシレータクロックの周波数を32MHzにするには、FRA6レジスタの調整値をFRA1レジスタへ、FRA7レジスタの調整値をFRA3レジスタに転送して使用してください。

9.5 XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCINクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。(注1)

図9.4にXCINクロックの接続回路例を示します。

リセット中およびリセット後、XCINクロックは停止しています。

PINSRレジスタのXCSELビットを“1”(XCINをP4_3、XCOUTをP4_4に接続する)にし、CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にした後、CM0レジスタのCM03ビットを“0”(XCINクロック発振)にするとXCINクロックは発振を開始します。XCINクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(XCINクロック)にするとXCINクロックがCPUのクロック源になります。外部で生成されたクロックをXCIN端子へ入力する場合も、CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にしてください。このとき、XCOUT端子は開放してください。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1レジスタのCM12ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

注1. 外部で生成されたクロックをXCIN端子から入力する場合は、CM0レジスタのCM03ビットを“1”(XCINクロック停止)、CM1レジスタのCM12ビットを“1”(内蔵帰還抵抗無効)にしてください。

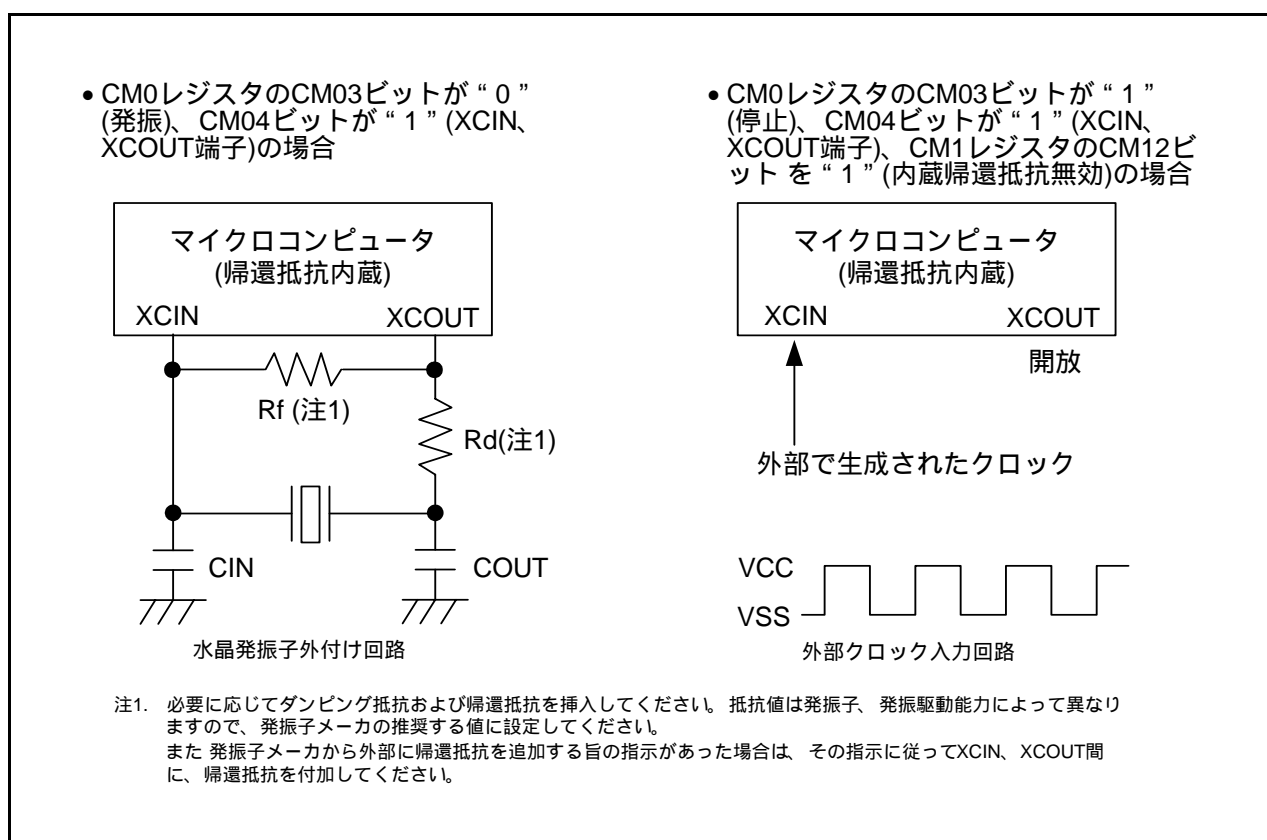


図9.4 XCINクロックの接続回路例

9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります(「図9.1 クロック発生回路」参照)。

9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロックまたはオンチップオシレータクロックが選択できます。

9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i ($i=1、2、4、8、32$)はシステムクロックを i 分周したクロックです。 f_i はタイマRA、タイマRB、タイマRC、タイマRD、タイマRE、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、 f_i は停止します。

9.6.4 fOCO

周辺機能の動作クロックです。

fOCOの周波数は、FRA0レジスタのFRA01ビットで選択したオンチップオシレータクロックの周波数です。高速オンチップオシレータの場合は、FRA2レジスタのFRA20～FRA22ビットで選択した分周比で分周された周波数です。タイマRAで使用します。fOCOはウェイトモード時、停止しません。

9.6.5 fOCO40M

タイマRC、タイマRDのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40Mはウェイトモード時、停止しません。

このクロックは、電源電圧VCC = 2.7～5.5Vの範囲で使用することができます。

9.6.6 fOCO-F

タイマRC、タイマRD、A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックを i 分周($i=2、3、4、5、6、7、8、9$; FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-Fはウェイトモード時、停止しません。

9.6.7 fOCO-S

電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

9.6.8 fOCO128

fOCO-SまたはfOCO-Fを128分周したクロックです。FRA03ビットを“0”にするとfOCO-Sの128分周が選択され、“1”にするとfOCO-Fの128分周が選択されます。

タイマRCのTRCGRAレジスタおよびタイマRDのタイマRD0で使用するキャプチャ信号になります。

9.6.9 fC、fC2、fC4、fC32

fC、fC2、fC4、fC32はタイマRA、タイマRD、タイマRE、シリアルインタフェースで使用します。

なお、fC、fC2、fC4、fC32は、XCINクロックの発振が安定しているときに使用してください。

9.6.10 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.7 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

9.7.1 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表9.3 クロック関連ビットの設定とモード

| モード | | OCDレジスタ | CM1レジスタ | | | CM0レジスタ | | | | | FRA0レジスタ | |
|-------------------------|------|---------|---------------|------|------|---------|------|------|------|------|----------|-------|
| | | OCD2 | CM17、 CM16 | CM14 | CM13 | CM07 | CM06 | CM05 | CM04 | CM03 | FRA01 | FRA00 |
| 高速クロック モード | 分周なし | 0 | 00b | | 1 | 0 | 0 | 0 | | | | |
| | 2分周 | 0 | 01b | | 1 | 0 | 0 | 0 | | | | |
| | 4分周 | 0 | 10b | | 1 | 0 | 0 | 0 | | | | |
| | 8分周 | 0 | | | 1 | 0 | 1 | 0 | | | | |
| | 16分周 | 0 | 11b | | 1 | 0 | 0 | 0 | | | | |
| 低速クロック モード | 分周なし | | 00b | | | 1 | 0 | | 1 | 0 | | |
| | 2分周 | | 01b | | | 1 | 0 | | 1 | 0 | | |
| | 4分周 | | 10b | | | 1 | 0 | | 1 | 0 | | |
| | 8分周 | | | | | 1 | 1 | | 1 | 0 | | |
| | 16分周 | | 11b | | | 1 | 0 | | 1 | 0 | | |
| 高速オンチップ オシレータ モード | 分周なし | 1 | 00b | | | 0 | 0 | | | | 1 | 1 |
| | 2分周 | 1 | 01b | | | 0 | 0 | | | | 1 | 1 |
| | 4分周 | 1 | 10b | | | 0 | 0 | | | | 1 | 1 |
| | 8分周 | 1 | | | | 0 | 1 | | | | 1 | 1 |
| | 16分周 | 1 | 11b | | | 0 | 0 | | | | 1 | 1 |
| 低速オンチップ オシレータ モード | 分周なし | 1 | 00b | 0 | | 0 | 0 | | | | 0 | |
| | 2分周 | 1 | 01b | 0 | | 0 | 0 | | | | 0 | |
| | 4分周 | 1 | 10b | 0 | | 0 | 0 | | | | 0 | |
| | 8分周 | 1 | | 0 | | 0 | 1 | | | | 0 | |
| | 16分周 | 1 | 11b | 0 | | 0 | 0 | | | | 0 | |

：“0”でも“1”でも影響ない

9.7.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

9.7.1.2 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周のいずれかで、低消費電流リードモードを使用できます。ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「33. 消費電力の低減」を参照してください。

9.7.1.3 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

CM3レジスタのCM37～CM36ビットが“00b”(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)の状態、このモードからストップモードに移行しないでください。

9.7.1.4 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「33. 消費電力の低減」を参照してください。

9.7.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作しません。

9.7.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

9.7.2.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。

9.7.2.3 VCA20ビットによる内部電源低消費操作

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。VCA20ビットにより内部電源低消費電力を許可する場合は、「33.2.9 VCA20ビットによる内部電源低消費操作」に従ってください。

9.7.2.4 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

9.7.2.5 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表9.4にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.4 ウェイトモードからの復帰に使用できる割り込みと使用条件

| 割り込み | CM02=0の場合 | CM02=1の場合 |
|---|-----------------------------|--|
| シリアルインタフェース割り込み | 内部クロック、外部クロックで使用可 | 外部クロックで使用可 |
| シンクロナスシリアルコミュニケーションユニット割り込み/I ² Cバスインタフェース割り込み | すべてのモードで使用可 | (使用しないでください) |
| キー入力割り込み | 使用可 | 使用可 |
| A/D変換割り込み | (A/D変換中はウェイトモードに移行しないでください) | (A/D変換中はウェイトモードに移行しないでください) |
| タイマRA割り込み | すべてのモードで使用可 | フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCO、fC、fC32を選択することで使用可 |
| タイマRB割り込み | すべてのモードで使用可 | タイマRAのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRAのアンダフローを選択することで使用可 |
| タイマRC割り込み | すべてのモードで使用可 | (使用しないでください) |
| タイマRD割り込み | すべてのモードで使用可 | カウントソースにfOCO40Mを選択することで使用可 |
| タイマRE割り込み | すべてのモードで使用可 | リアルタイムクロックモードで使用可 |
| INT割り込み | 使用可 | 使用可(INT0 ~ INT4はフィルタなしの場合に、使用可) |
| 電圧監視1割り込み | 使用可 | 使用可 |
| 電圧監視2割り込み | 使用可 | 使用可 |
| 発振停止検出割り込み | 使用可 | (使用しないでください) |
| コンパレータA1割り込み | 使用可 | 使用可 |
| コンパレータA2割り込み | 使用可 | 使用可 |

9.7.2.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰

図9.5にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.5のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

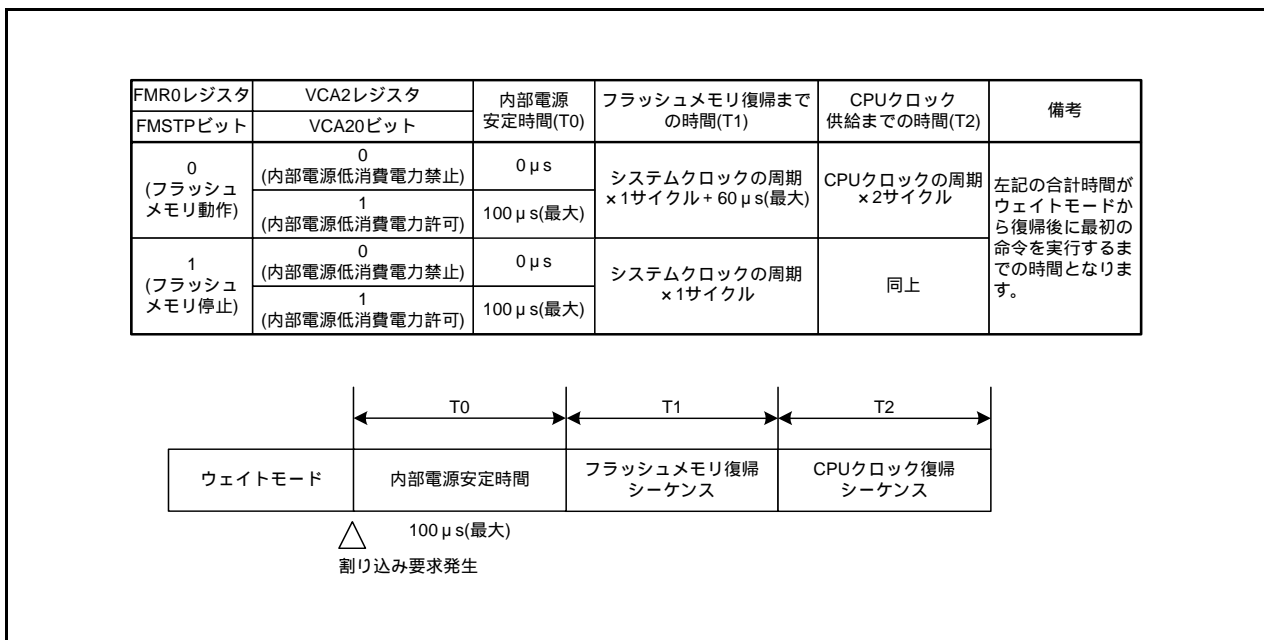


図9.5 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

9.7.2.7 WAIT 命令実行後のウェイトモードからの復帰

図9.6にWAIT 命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT 命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL2 ~ ILVL0 ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.6のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

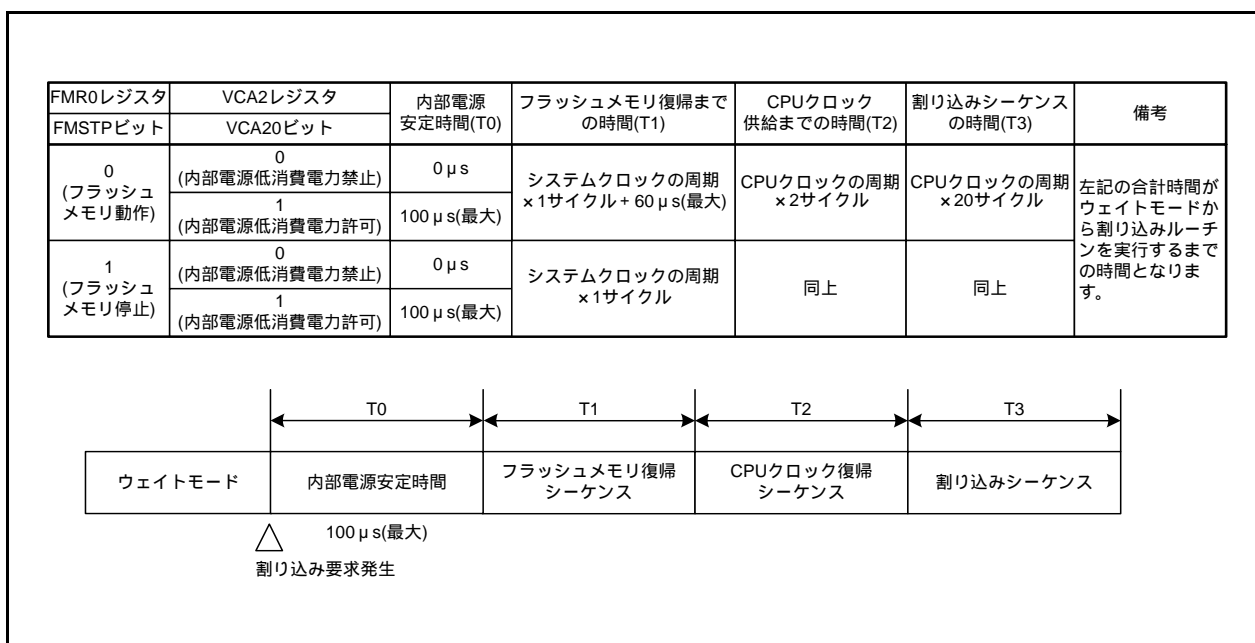


図9.6 WAIT 命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

9.7.3 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表9.5にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表9.5 ストップモードからの復帰に使用できる割り込みと使用条件

| 割り込み | 使用条件 |
|------------------|---|
| キー入力割り込み | 使用可 |
| INT0 ~ INT4割り込み | フィルタなしの場合に使用可 |
| タイマRA割り込み | フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時 |
| シリアルインタフェースの割り込み | 外部クロック選択時 |
| 電圧監視1割り込み | デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可 |
| 電圧監視2割り込み | デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可 |
| コンパレータA1割り込み | デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可 |
| コンパレータA2割り込み | デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可 |

9.7.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1 ~ OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態では、ストップモードへ移行しないでください。

システムクロックに高速オンチップオシレータモードを選択している場合、CM3レジスタのCM37 ~ CM36ビットが“00b”(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)の状態ではストップモードに移行しないでください。

9.7.3.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。CM13ビットが“0”(入出力ポートP4_6、P4_7)のとき、P4_6(XIN)、P4_7(XOUT)はそれぞれ直前の入出力状態を保持します。

9.7.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図9.7にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。



図9.7 ストップモードから割り込みルーチンを実行するまでの時間

図9.8にパワーコントロールモード状態遷移を示します。

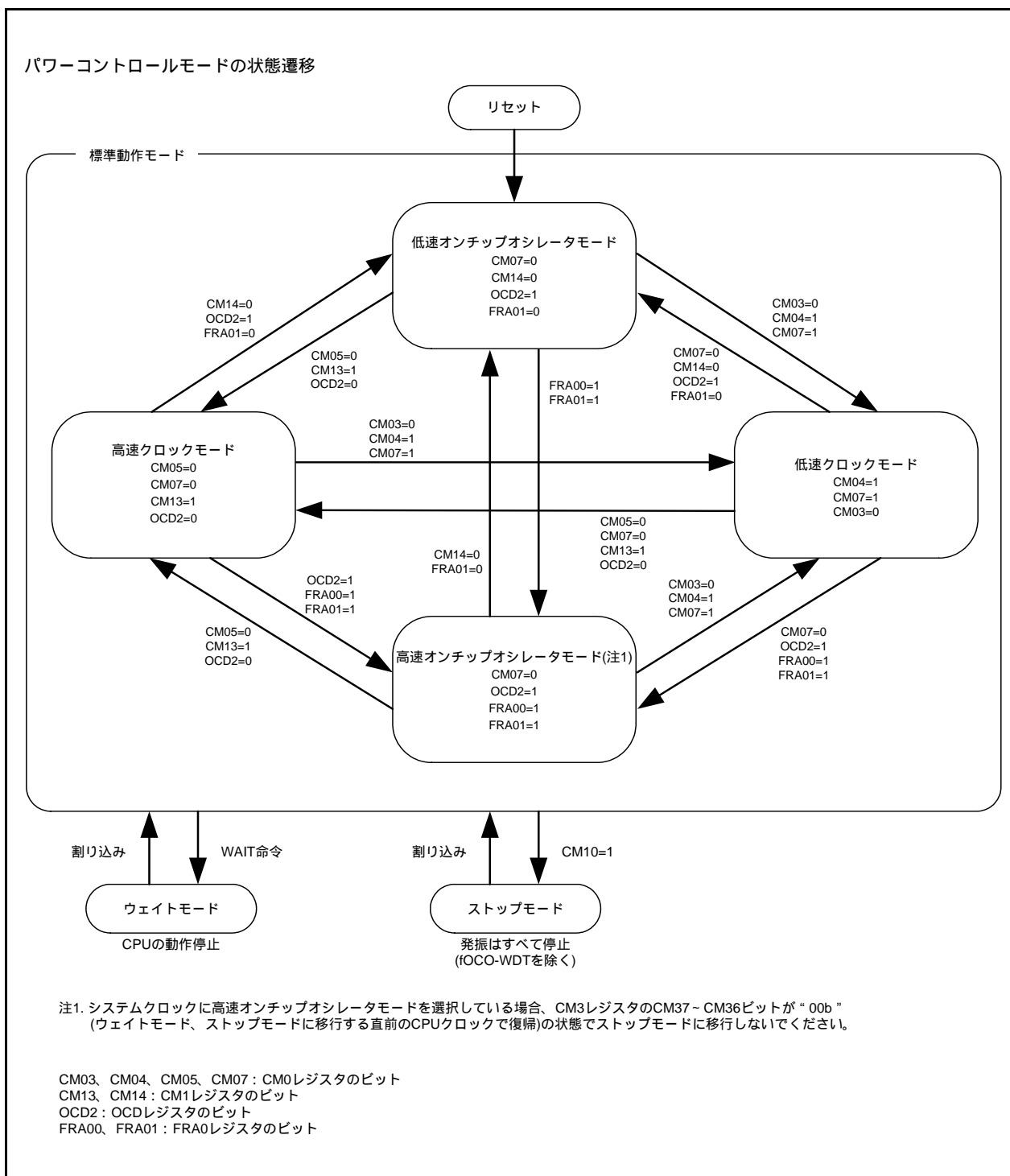


図9.8 パワーコントロールモード状態遷移

9.8 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.6に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット = 1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット = 1(XINクロック停止)
- CM1レジスタのCM14ビット = 0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.6 発振停止検出機能の仕様

| 項目 | 仕様 |
|-------------------|-----------------------|
| 発振停止検出可能クロックと周波数域 | f(XIN) 2MHz |
| 発振停止検出機能有効条件 | OCD1～OCD0ビットを“11b”にする |
| 発振停止検出時の動作 | 発振停止検出割り込み発生 |

9.8.1 発振停止検出機能の使用法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。
表9.7に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.10に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
図9.9に発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表9.7 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

| 発生した割り込み要因 | 割り込み要因を示すビット |
|-----------------------------|--|
| 発振停止検出 ((a) または (b) のとき) | (a)OCD レジスタの OCD3=1 |
| | (b)OCD レジスタの OCD1 ~ OCD0=11b かつ OCD2=1 |
| ウォッチドッグタイマ | VW2C レジスタの VW2C3=1 |
| 電圧監視 1 | VW1C レジスタの VW1C2=1 |
| 電圧監視 2 | VW2C レジスタの VW2C2=1 |

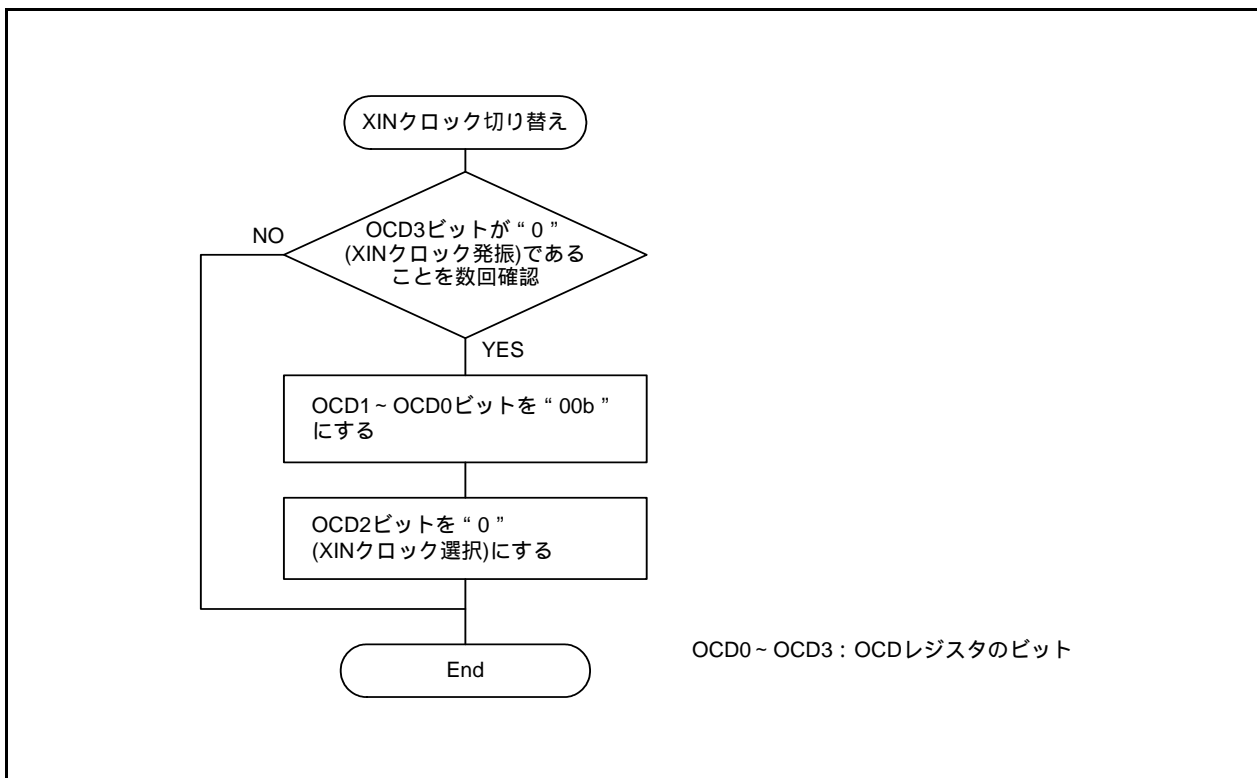


図9.9 発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順

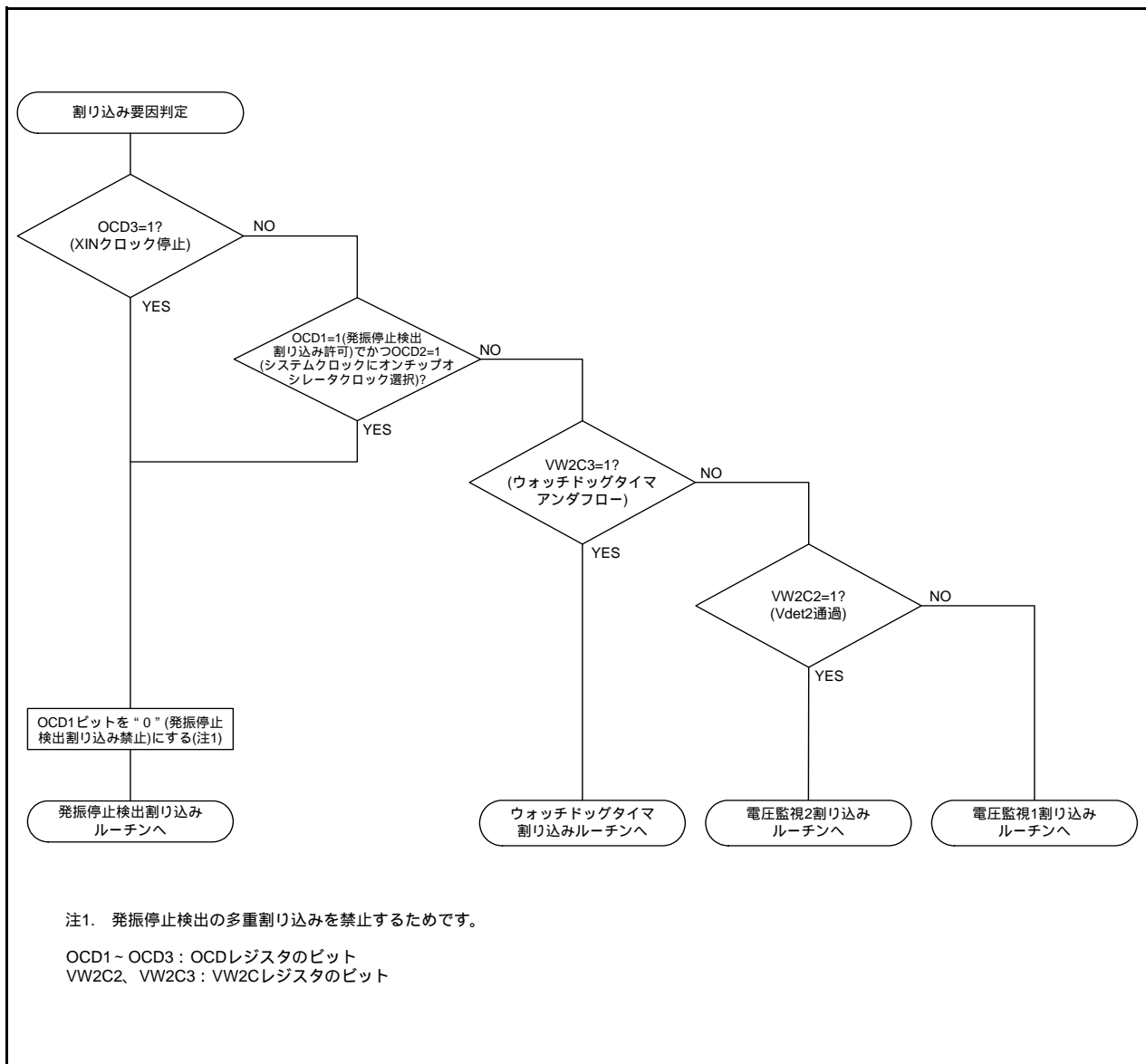


図9.10 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

9.9 クロック発生回路使用上の注意

9.9.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BCLR    7, FMR2      ; 低消費電流リードモード禁止
BSET    0, PRCR      ; CM1レジスタへの書き込み許可
FSET    I            ; 割り込み許可
BSET    0, CM1       ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

9.9.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BCLR    7, FMR2      ; 低消費電流リードモード禁止
FSET    I            ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP

```

•CM30ビットを“1”を実行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BCLR    7, FMR2      ; 低消費電流リードモード禁止
BSET    0, PRCR      ; CM3レジスタへの書き込み許可
FCLR    I            ; 割り込み禁止
BSET    0, CM3       ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR      ; CM3レジスタへの書き込み禁止
FSET    I            ; 割り込み許可

```


9.9.3 VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図 33.1に示す手順に従ってください。

WAIT 命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図 33.2に示す手順に従ってください。

9.9.4 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

9.9.5 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

9.9.6 高速オンチップオシレータモード

システムクロックに高速オンチップオシレータモードを選択している場合、CM3レジスタのCM37～CM36ビットが“00b”(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)の状態ですトップモードに移行しないでください。

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCR レジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3レジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC2ビットで保護されるレジスタ：PD0レジスタ
- PRC3ビットで保護されるレジスタ：OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタ

10.1 レジスタの説明

10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|------|------|------|------|
| シンボル | - | - | - | - | PRC3 | PRC2 | PRC1 | PRC0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|-----------|---|-----|
| b0 | PRC0 | プロテクトビット0 | CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1) | R/W |
| b1 | PRC1 | プロテクトビット1 | PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1) | R/W |
| b2 | PRC2 | プロテクトビット2 | PD0レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可 | R/W |
| b3 | PRC3 | プロテクトビット3 | OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1) | R/W |
| b4 | - | 予約ビット | "0" にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. PRC0、PRC1、PRC3ビットを"1" (書き込み許可)にした後、SFR領域に書き込んでも"0"になりませんので、プログラムで"0"にしてください。

11. 割り込み

11.1 概要

11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

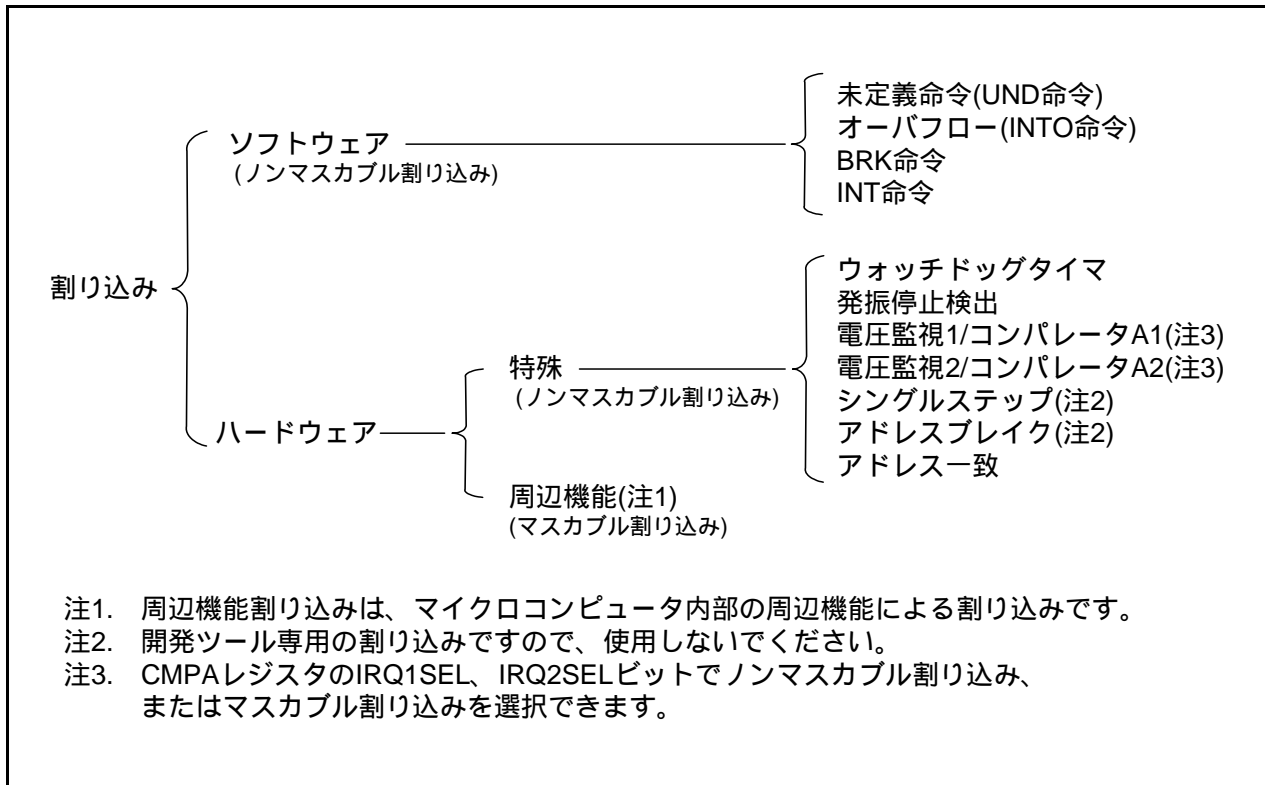


図11.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「14. ウォッチドッグタイマ」を参照してください。

11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

11.1.3.3 電圧監視1/コンパレータA1割り込み

電圧検出回路/コンパレータAによる割り込みです。CMPAレジスタのIRQ1SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を、コンパレータAの詳細は「30. コンパレータA」を参照してください。

11.1.3.4 電圧監視2/コンパレータA2割り込み

電圧検出回路/コンパレータAによる割り込みです。CMPAレジスタのIRQ2SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を、コンパレータAの詳細は「30. コンパレータA」を参照してください。

11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.6 アドレス一致割り込み」を参照してください。

11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 11.2 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

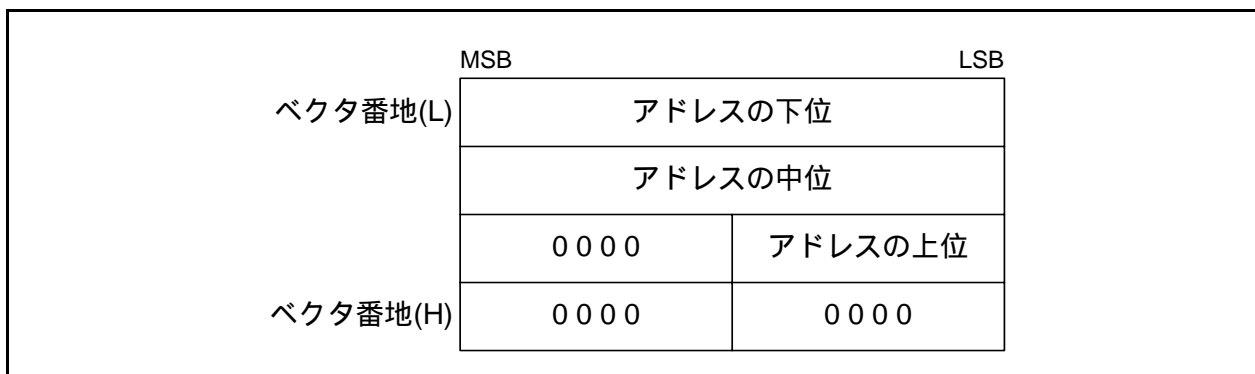


図11.2 割り込みベクタ

11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「32.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1 固定ベクタテーブル

| 割り込み要因 | ベクタ番地 番地(L) ~ 番地(H) | 備考 | 参照先 |
|---|------------------------|--|---|
| 未定義命令 | 0FFDCh ~ 0FFDFh | UND命令で割り込み | R8C/Tinyシリーズソフト ウェアマニュアル |
| オーバフロー | 0FFE0h ~ 0FFE3h | INTO命令で割り込み | |
| BRK命令 | 0FFE4h ~ 0FFE7h | 0FFE6h番地の内容が FFhの場合は可変ベク タテーブル内のベクタ が示す番地から実行 | |
| アドレス一致 | 0FFE8h ~ 0FFEBh | | 11.6 アドレス一致割り込み |
| シングルステップ(注1) | 0FFEC h ~ 0FFEFh | | |
| ウォッチドッグタイマ、 発振停止検出、 電圧監視1/コンパレータA1 (注2)、 電圧監視2/コンパレータA2 (注3) | 0FFF0h ~ 0FFF3h | | 14. ウォッチドッグタイマ、 9. クロック発生回路、 6. 電圧検出回路 30. コンパレータA |
| アドレスブレイク(注1) | 0FFF4h ~ 0FFF7h | | |
| (予約) | 0FFF8h ~ 0FFFBh | | |
| リセット | 0FFFCh ~ 0FFFFh | | 5. リセット |

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. 電圧監視1/コンパレータA1割り込みはCMPAレジスタのIRQ1SELビットが“0”(ノンマスクابل割り込み)の場合です。

注3. 電圧監視2/コンパレータA2割り込みはCMPAレジスタのIRQ2SELビットが“0”(ノンマスクابل割り込み)の場合です。

11.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。
表11.2に可変ベクタテーブルを示します。

表11.2 可変ベクタテーブル

| 割り込み要因 | ベクタ番地(注1) 番地(L) ~ 番地(H) | ソフトウェア 割り込み番号 | 割り込み制御 レジスタ | 参照先 |
|---|--|------------------|-----------------|--|
| BRK命令(注3) | +0 ~ +3(0000h ~ 0003h) | 0 | | R8C/Tinyシリーズ ソフトウェアマニュアル |
| フラッシュメモリレディ (予約) | +4 ~ +7(0004h ~ 0007h) | 1 | FMRDYIC | 32. フラッシュメモリ |
| INT4 | +24 ~ +27(0018h ~ 001Bh) | 6 | INT4IC | 11.4 INT割り込み |
| タイマRC | +28 ~ +31(001Ch ~ 001Fh) | 7 | TRCIC | 19. タイマRC |
| タイマRD0 | +32 ~ +35(0020h ~ 0023h) | 8 | TRD0IC | 20. タイマRD |
| タイマRD1 | +36 ~ +39(0024h ~ 0027h) | 9 | TRD1IC | |
| タイマRE | +40 ~ +43(0028h ~ 002Bh) | 10 | TREIC | 21. タイマRE |
| UART2送信/NACK2 | +44 ~ +47(002Ch ~ 002Fh) | 11 | S2TIC | 23. シリアルインタフェース (UART2) |
| UART2受信/ACK2 | +48 ~ +51(0030h ~ 0033h) | 12 | S2RIC | |
| キー入力 | +52 ~ +55(0034h ~ 0037h) | 13 | KUPIC | 11.5 キー入力割り込み |
| A/D変換 | +56 ~ +59(0038h ~ 003Bh) | 14 | ADIC | 28. A/Dコンバータ |
| シンクロナスシリアルコミュニ ケーションユニット/I ² Cバ スインタフェース(注2) | +60 ~ +63(003Ch ~ 003Fh) | 15 | SSUIC/ IICIC | 25. シンクロナスシリアルコミュニ ケーションユニット(SSU)、 26. I ² Cバスインタフェース |
| (予約) | | 16 | | |
| UART0送信 | +68 ~ +71(0044h ~ 0047h) | 17 | S0TIC | 22. シリアルインタフェース (UARTi (i=0 ~ 1)) |
| UART0受信 | +72 ~ +75(0048h ~ 004Bh) | 18 | S0RIC | |
| UART1送信 | +76 ~ +79(004Ch ~ 004Fh) | 19 | S1TIC | |
| UART1受信 | +80 ~ +83(0050h ~ 0053h) | 20 | S1RIC | |
| INT2 | +84 ~ +87(0054h ~ 0057h) | 21 | INT2IC | 11.4 INT割り込み |
| タイマRA | +88 ~ +91(0058h ~ 005Bh) | 22 | TRAIC | 17. タイマRA |
| (予約) | | 23 | | |
| タイマRB | +96 ~ +99(0060h ~ 0063h) | 24 | TRBIC | 18. タイマRB |
| INT1 | +100 ~ +103(0064h ~ 0067h) | 25 | INT1IC | 11.4 INT割り込み |
| INT3 | +104 ~ +107(0068h ~ 006Bh) | 26 | INT3IC | |
| (予約) | | 27 | | |
| (予約) | | 28 | | |
| INT0 | +116 ~ +119(0074h ~ 0077h) | 29 | INT0IC | 11.4 INT割り込み |
| UART2バス衝突検出 | +120 ~ +123(0078h ~ 007Bh) | 30 | U2BCNIC | 23. シリアルインタフェース (UART2) |
| (予約) | | 31 | | |
| ソフトウェア(注3) | +128 ~ +131(0080h ~ 0083h) ~ +164 ~ +167(00A4h ~ 00A7h) | 32 ~ 41 | | R8C/Tinyシリーズ ソフトウェアマニュアル |
| (予約) | | 42 ~ 49 | | |
| 電圧監視1/コンパレータA1 (注4) | +200 ~ +203(00C8h ~ 00CBh) | 50 | VCMP1IC | 6. 電圧検出回路 30. コンパレータA |
| 電圧監視2/コンパレータA2 (注5) | +204 ~ +207(00CCh ~ 00CFh) | 51 | VCMP2IC | |
| (予約) | | 52 ~ 55 | | |
| ソフトウェア(注3) | +224 ~ +227(00E0h ~ 00E3h) ~ +252 ~ +255(00FCh ~ 00FFh) | 56 ~ 63 | | R8C/Tinyシリーズ ソフトウェアマニュアル |

注1. INTBレジスタが示す番地からの相対番地です。

注2. SSUICSRレジスタのIICSELビットで選択できます。

注3. Iフラグによる禁止はできません。

注4. 電圧監視1/コンパレータA1割り込みはCMPAレジスタのIRQ1SELビットが“1”(マスカブル割り込み)の場合です。

注5. 電圧監視2/コンパレータA2割り込みはCMPAレジスタのIRQ2SELビットが“1”(マスカブル割り込み)の場合です。

11.2 レジスタの説明

11.2.1 割り込み制御レジスタ

(TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、TRBIC、U2BCNIC、VCMP1IC、VCMP2IC)

アドレス 004Ah番地 (TREIC)、004Bh番地 (S2TIC)、004Ch番地 (S2RIC)、004Dh番地 (KUPIC)、004Eh番地 (ADIC)、0051h番地 (S0TIC)、0052h番地 (S0RIC)、0053h番地 (S1TIC)、0054h番地 (S1RIC)、0056h番地 (TRAIC)、0058h番地 (TRBIC)、005Eh番地 (U2BCNIC)、0072h番地 (VCMP1IC)、0073h番地 (VCMP2IC)

| | | | | | | | | |
|---------|----|----|----|----|----|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | IR | ILVL2 | ILVL1 | ILVL0 |
| リセット後の値 | X | X | X | X | X | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---|------------------------------|-------------|
| b0 | ILVL0 | 割り込み優先レベル選択ビット | b2 b1 b0 | R/W |
| b1 | ILVL1 | | 0 0 0 : レベル0 (割り込み禁止) | R/W |
| b2 | ILVL2 | | 0 0 1 : レベル1 | R/W |
| | | | 0 1 0 : レベル2 | |
| | | 0 1 1 : レベル3 | | |
| | | 1 0 0 : レベル4 | | |
| | | 1 0 1 : レベル5 | | |
| | | 1 1 0 : レベル6 | | |
| | | 1 1 1 : レベル7 | | |
| b3 | IR | 割り込み要求ビット | 0 : 割り込み要求なし 1 : 割り込み要求あり | R/W (注1) |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC、TRD0IC、TRD1IC、SSUIC/IICIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、0048h番地(TRD0IC)、0049h番地(TRD1IC)、004Fh番地(SSUIC/IICIC(注1))

| | | | | | | | | |
|---------|----|----|----|----|----|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | IR | ILVL2 | ILVL1 | ILVL0 |
| リセット後の値 | X | X | X | X | X | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---|-----------------------------------|-----|
| b0 | ILVL0 | 割り込み優先レベル選択ビット | b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) | R/W |
| b1 | ILVL1 | | 0 0 1 : レベル1 | R/W |
| b2 | ILVL2 | | 0 1 0 : レベル2 | R/W |
| | | | 0 1 1 : レベル3 | |
| | | 1 0 0 : レベル4 | | |
| | | 1 0 1 : レベル5 | | |
| | | 1 1 0 : レベル6 | | |
| | | 1 1 1 : レベル7 | | |
| b3 | IR | 割り込み要求ビット | 0 : 割り込み要求なし 1 : 割り込み要求あり | R |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. SSUICSRレジスタのIICSELビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.2.3 INTi割り込み制御レジスタ (INTiIC)(i=0 ~ 4)

アドレス 0046h番地 (INT4IC)、0055h番地 (INT2IC)、0059h番地 (INT1IC)、005Ah番地 (INT3IC)、005Dh番地 (INT0IC)

| | | | | | | | | |
|---------|----|----|----|-----|----|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | POL | IR | ILVL2 | ILVL1 | ILVL0 |
| リセット後の値 | X | X | 0 | 0 | X | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|---|-------------|
| b0 | ILVL0 | 割り込み優先レベル選択ビット | b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) | R/W |
| b1 | ILVL1 | | 0 0 1 : レベル1 | R/W |
| b2 | ILVL2 | | 0 1 0 : レベル2 | R/W |
| | | | 0 1 1 : レベル3 | |
| | | 1 0 0 : レベル4 | | |
| | | 1 0 1 : レベル5 | | |
| | | 1 1 0 : レベル6 | | |
| | | 1 1 1 : レベル7 | | |
| b3 | IR | 割り込み要求ビット | 0 : 割り込み要求なし 1 : 割り込み要求あり | R/W (注1) |
| b4 | POL | 極性切り替えビット (注3) | 0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択 (注2) | R/W |
| b5 | - | 予約ビット | "0" にしてください | R/W |
| b6 | - | 何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は不定。 | | - |
| b7 | - | | | |

注1. IRビットは"0"のみ書けます("1"を書かないでください)。

注2. INTENレジスタのINTiPLビットが"1"(両エッジ)の場合、POLビットを"0"(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが"1"(割り込み要求あり)になることがあります。

「11.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.3 割り込み制御

マスクブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

11.3.1 Iフラグ

Iフラグは、マスクブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクブル割り込みは許可され、“0”(禁止)にするとすべてのマスクブル割り込みは禁止されます。

11.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込みでは、IRビットの動作が違います。「11.7 タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.3.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表11.3に割り込み優先レベルの設定を、表11.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表11.3 割り込み優先レベルの設定

| ILVL2～ILVL0 | 割り込み優先レベル | 優先順位 |
|-------------|--------------|---------------|
| 000b | レベル0(割り込み禁止) | 低い ↓ 高い |
| 001b | レベル1 | |
| 010b | レベル2 | |
| 011b | レベル3 | |
| 100b | レベル4 | |
| 101b | レベル5 | |
| 110b | レベル6 | |
| 111b | レベル7 | |

表11.4 IPLにより許可される割り込み優先レベル

| IPL | 許可される割り込み優先レベル |
|------|------------------|
| 000b | レベル1以上を許可 |
| 001b | レベル2以上を許可 |
| 010b | レベル3以上を許可 |
| 011b | レベル4以上を許可 |
| 100b | レベル5以上を許可 |
| 101b | レベル6以上を許可 |
| 110b | レベル7以上を許可 |
| 111b | すべてのマスクブル割り込みを禁止 |

11.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

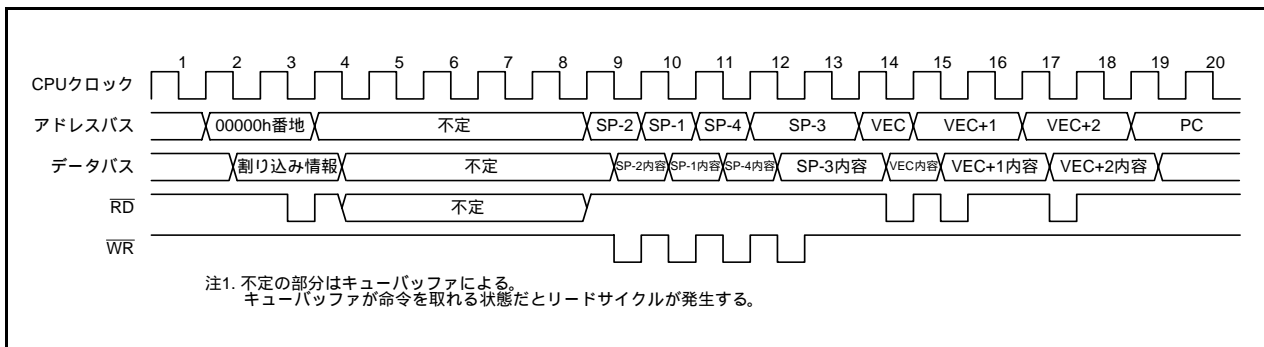


図11.3 割り込みシーケンスの実行時間

注2. タイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース割り込みのIRビットの動作は「11.7 タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.3.5 割り込み応答時間

図 11.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.4 の (a)) と割り込みシーケンスを実行する時間 (20 サイクル (b)) で構成されます。

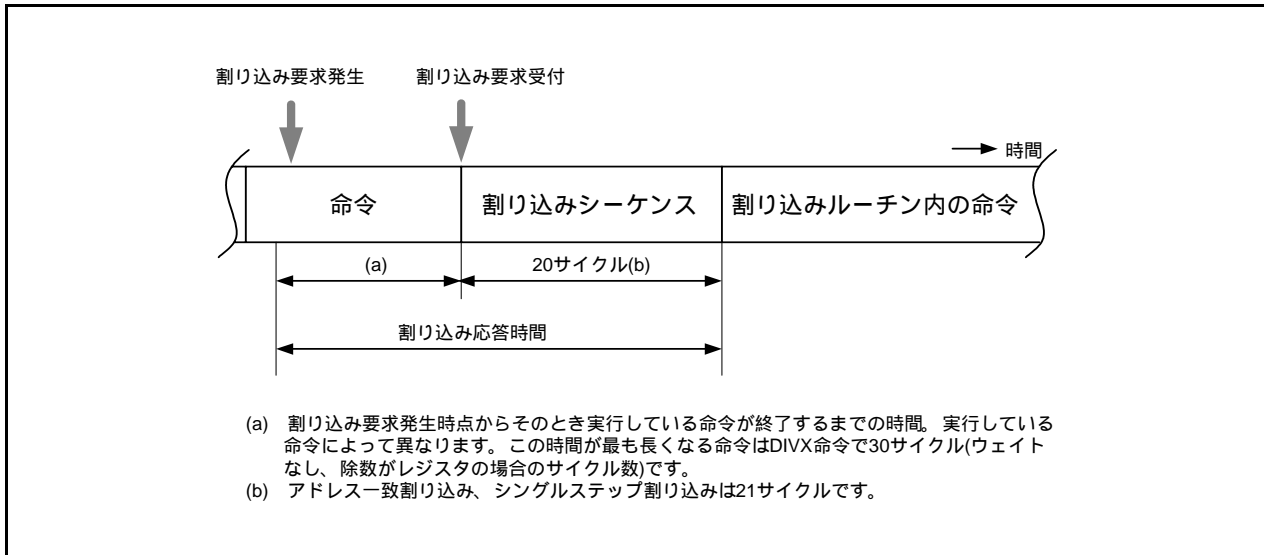


図 11.4 割り込み応答時間

11.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.5 に示す値がIPLに設定されず。

表 11.5 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 11.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

| 割り込み優先レベルを持たない割り込み要因 | 設定されるIPLの値 |
|--|------------|
| ウォッチドッグタイマ、発振停止検出、電圧監視 1/ コンパレータ A1、電圧監視 2/ コンパレータ A2、アドレスブレイク | 7 |
| ソフトウェア、アドレス一致、シングルステップ | 変化しない |

11.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

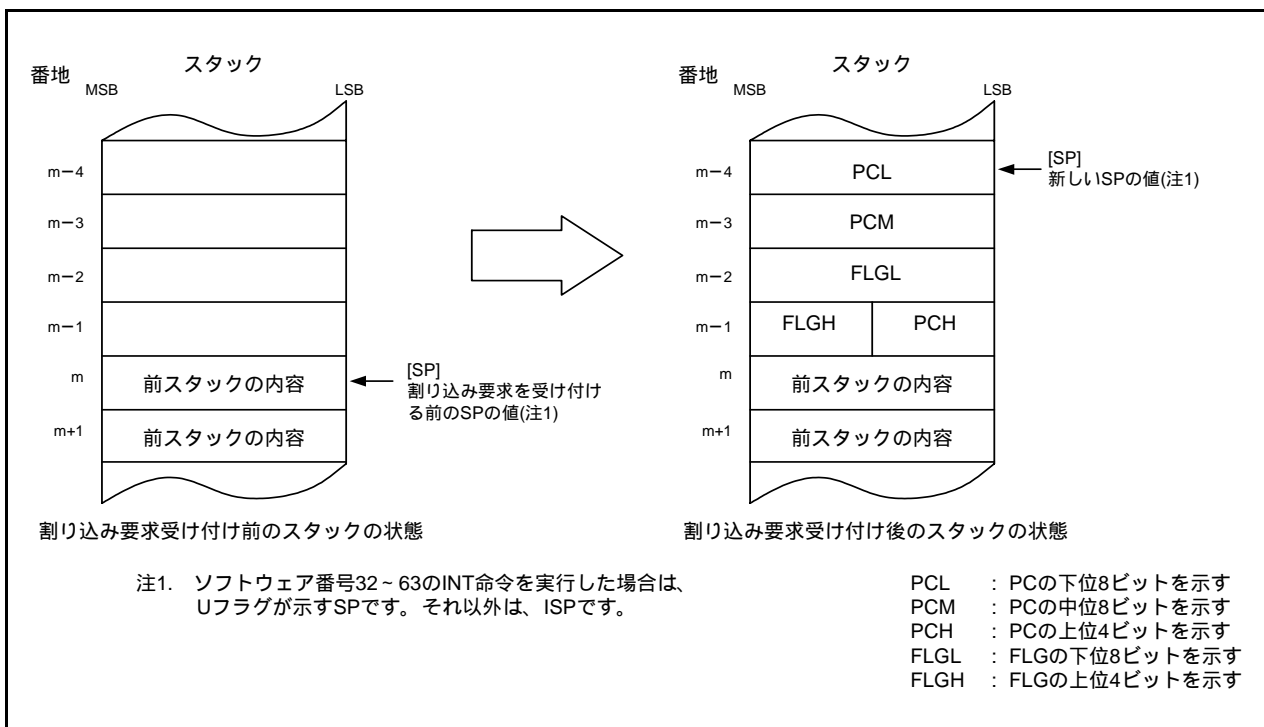


図11.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
 図11.6にレジスタ退避動作を示します。

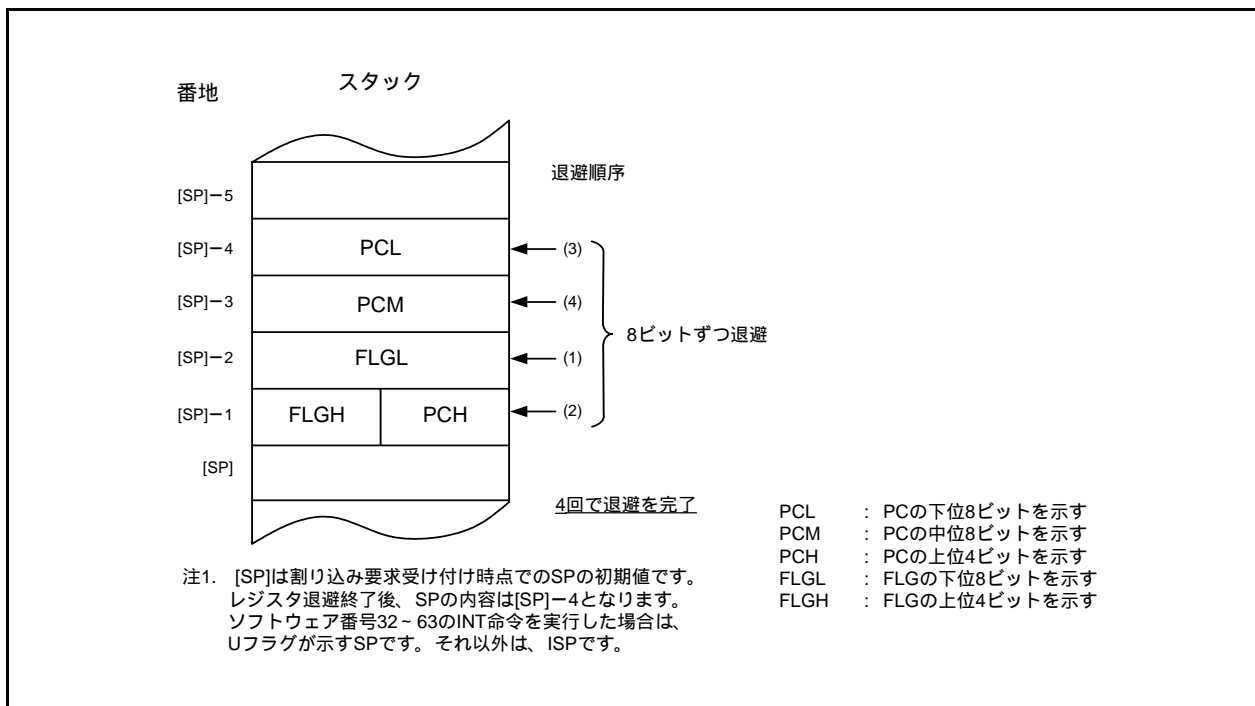


図11.6 レジスタ退避動作

11.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

11.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

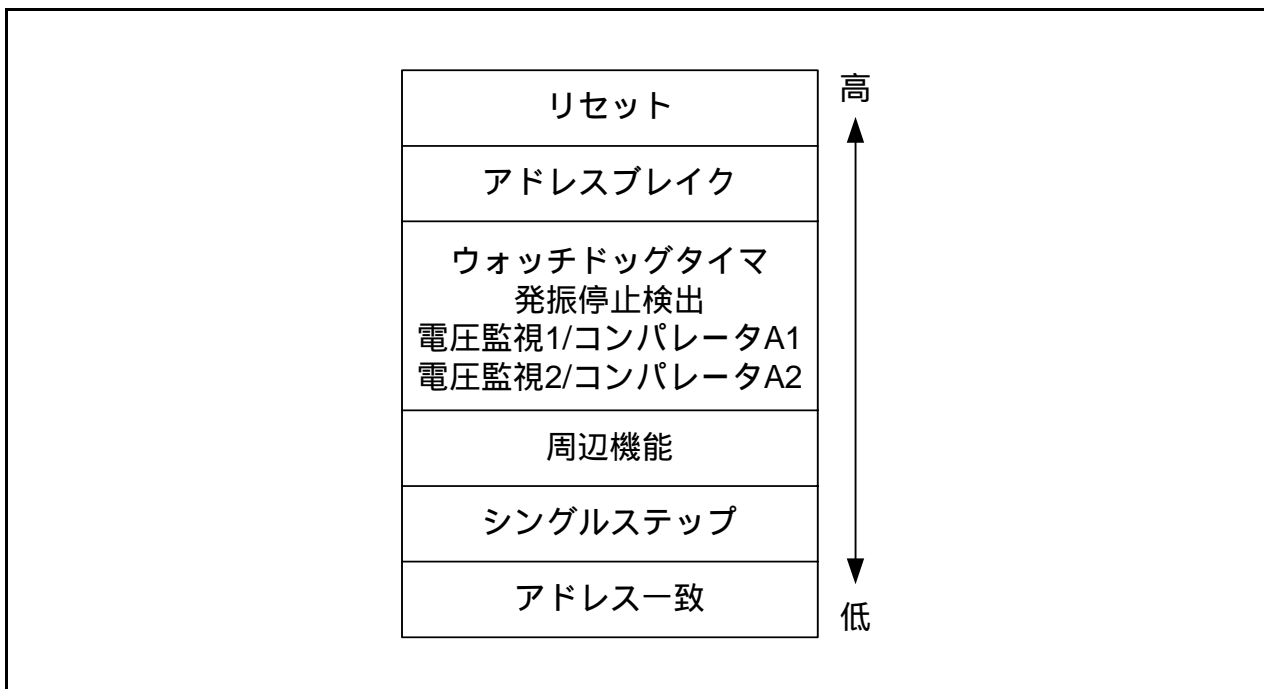


図11.7 ハードウェア割り込みの割り込み優先順位

11.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
 図 11.8 に割り込み優先レベルの判定回路を示します。

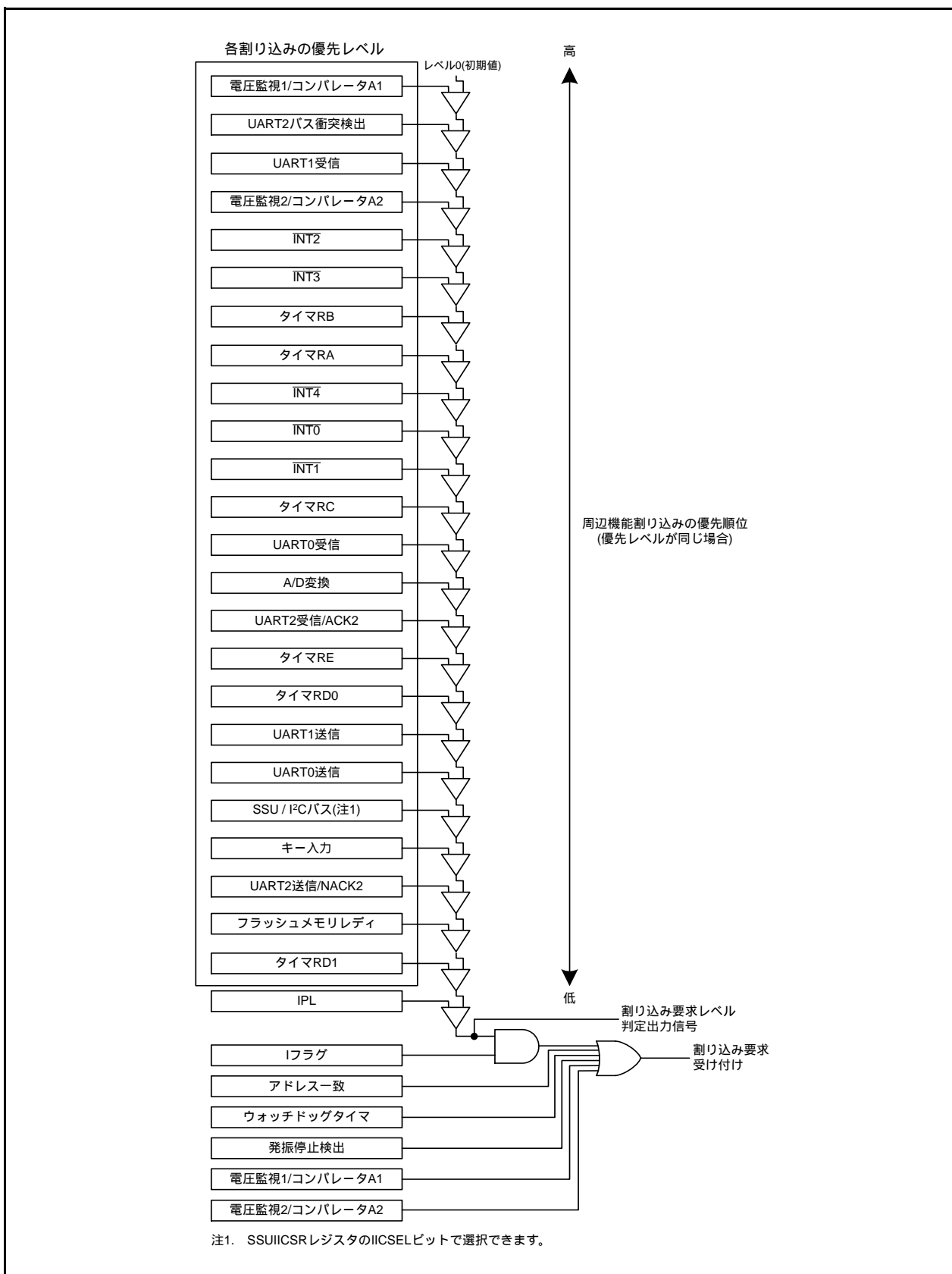


図 11.8 割り込み優先レベルの判定回路

11.4 $\overline{\text{INT}}$ 割り込み

11.4.1 $\overline{\text{INT}}_i$ 割り込み (i=0 ~ 4)

$\overline{\text{INT}}_i$ 割り込みは $\overline{\text{INT}}_i$ 入力による割り込みです。 $\overline{\text{INT}}_i$ 割り込みを使用するときは $\overline{\text{INTEN}}$ レジスタの $\overline{\text{INT}}_i\text{EN}$ ビット “1” (許可) にしてください。極性を $\overline{\text{INTEN}}$ レジスタの $\overline{\text{INT}}_i\text{PL}$ ビットと $\overline{\text{INT}}_i\text{IC}$ レジスタの POL ビットで選択できます。 $\overline{\text{INT}}_1 \sim \overline{\text{INT}}_3$ 入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

$\overline{\text{INT}}_0$ 端子はタイマRCのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。 $\overline{\text{INT}}_2$ 端子はタイマRAのイベント入力有効と兼用です。

表11.6に $\overline{\text{INT}}$ 割り込みの端子構成を示します。

表11.6 $\overline{\text{INT}}$ 割り込みの端子構成

| 端子名 | 割り当てる端子 | 入出力 | 機能 |
|---------------------------|------------------|-----|--|
| $\overline{\text{INT}}_0$ | P4_5 | 入力 | $\overline{\text{INT}}_0$ 割り込み入力、タイマRBの外部トリガ入力、タイマRCのパルス出力強制遮断入力 |
| $\overline{\text{INT}}_1$ | P1_5、P1_7またはP2_0 | 入力 | $\overline{\text{INT}}_1$ 割り込み入力 |
| $\overline{\text{INT}}_2$ | P6_6 | 入力 | $\overline{\text{INT}}_2$ 割り込み入力、タイマRAのイベント入力有効 |
| $\overline{\text{INT}}_3$ | P3_3またはP6_7 | 入力 | $\overline{\text{INT}}_3$ 割り込み入力 |
| $\overline{\text{INT}}_4$ | P6_5 | 入力 | $\overline{\text{INT}}_4$ 割り込み入力 |

11.4.2 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh番地

| | | | | | | | | |
|---------|----------|----------|----|----|----|----------|----------|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | INT3SEL1 | INT3SELO | - | - | - | INT1SEL1 | INT1SELO | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|-------------|---|-----|
| b0 | - | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - |
| b1 | INT1SELO | INT1端子選択ビット | b2 b1 00 : P1_7に割り当てる 01 : P1_5に割り当てる 10 : P2_0に割り当てる 11 : 設定しないでください | R/W |
| b2 | INT1SEL1 | | | R/W |
| b3 | - | 予約ビット | “0”にしてください | R/W |
| b4 | - | | | |
| b5 | - | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - |
| b6 | INT3SELO | INT3端子選択ビット | b7 b6 00 : P3_3に割り当てる 01 : 設定しないでください 10 : P6_7に割り当てる 11 : 設定しないでください | R/W |
| b7 | INT3SEL1 | | | R/W |

INTSRレジスタは、 $\overline{\text{INT}}_i$ ($i=1, 3$) の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSRレジスタの設定値を変更しないでください。

11.4.3 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

| | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | INT3PL | INT3EN | INT2PL | INT2EN | INT1PL | INT1EN | INT0PL | INT0EN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------|-----|
| b0 | INT0EN | $\overline{\text{INT0}}$ 入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b1 | INT0PL | $\overline{\text{INT0}}$ 入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |
| b2 | INT1EN | $\overline{\text{INT1}}$ 入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b3 | INT1PL | $\overline{\text{INT1}}$ 入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |
| b4 | INT2EN | $\overline{\text{INT2}}$ 入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b5 | INT2PL | $\overline{\text{INT2}}$ 入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |
| b6 | INT3EN | $\overline{\text{INT3}}$ 入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b7 | INT3PL | $\overline{\text{INT3}}$ 入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |

注1. INTiPL ビット (i=0 ~ 3) を “1” (両エッジ) にする場合、INTiIC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INTEN レジスタを変更すると、INTiIC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

11.4.4 外部入力許可レジスタ1 (INTEN1)

アドレス 01FBh 番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | INT4PL | INT4EN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------|-----|
| b0 | INT4EN | $\overline{\text{INT4}}$ 入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b1 | INT4PL | $\overline{\text{INT4}}$ 入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. INT4PL ビットを “1” (両エッジ) にする場合、INT4IC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INTEN1 レジスタを変更すると、INT4IC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

11.4.5 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

| | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | INT3F1 | INT3F0 | INT2F1 | INT2F0 | INT1F1 | INT1F0 | INT0F1 | INT0F0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|-----------------|--|-----|
| b0 | INT0F0 | INT0入力フィルタ選択ビット | b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b1 | INT0F1 | | | R/W |
| b2 | INT1F0 | INT1入力フィルタ選択ビット | b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b3 | INT1F1 | | | R/W |
| b4 | INT2F0 | INT2入力フィルタ選択ビット | b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b5 | INT2F1 | | | R/W |
| b6 | INT3F0 | INT3入力フィルタ選択ビット | b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b7 | INT3F1 | | | R/W |

11.4.6 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 01FDh番地

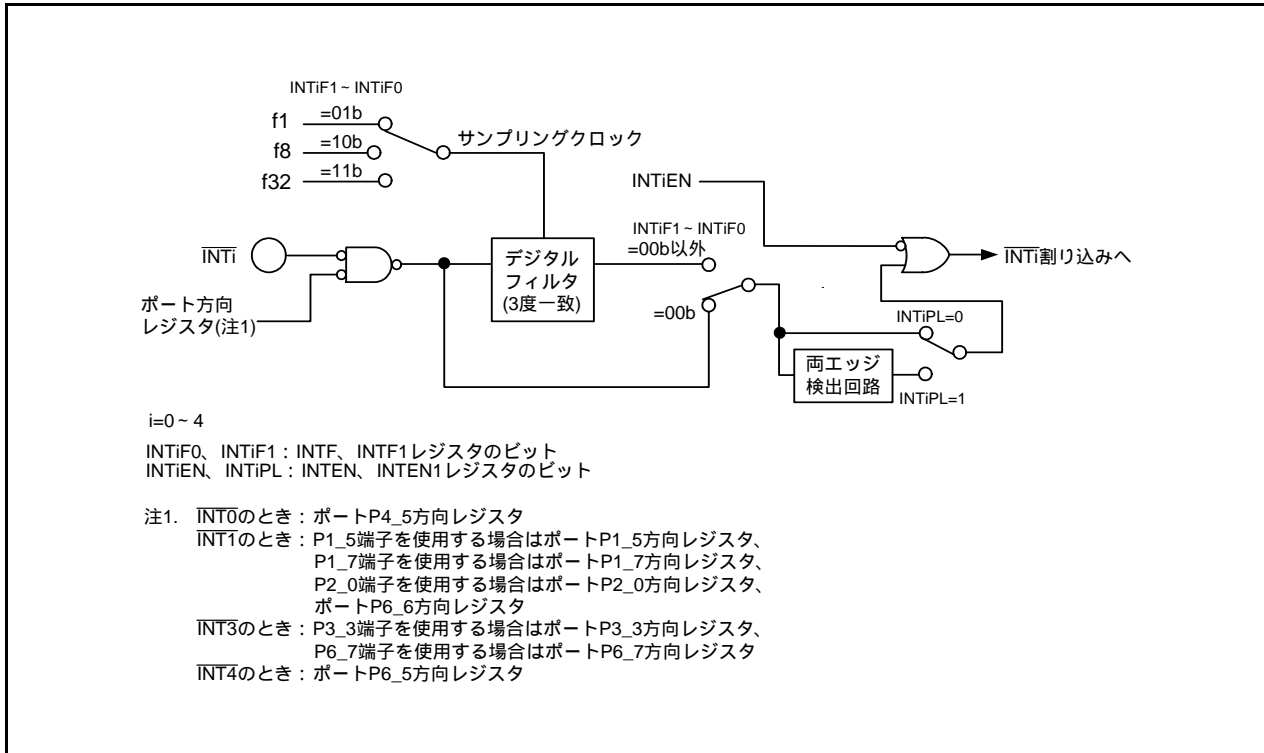
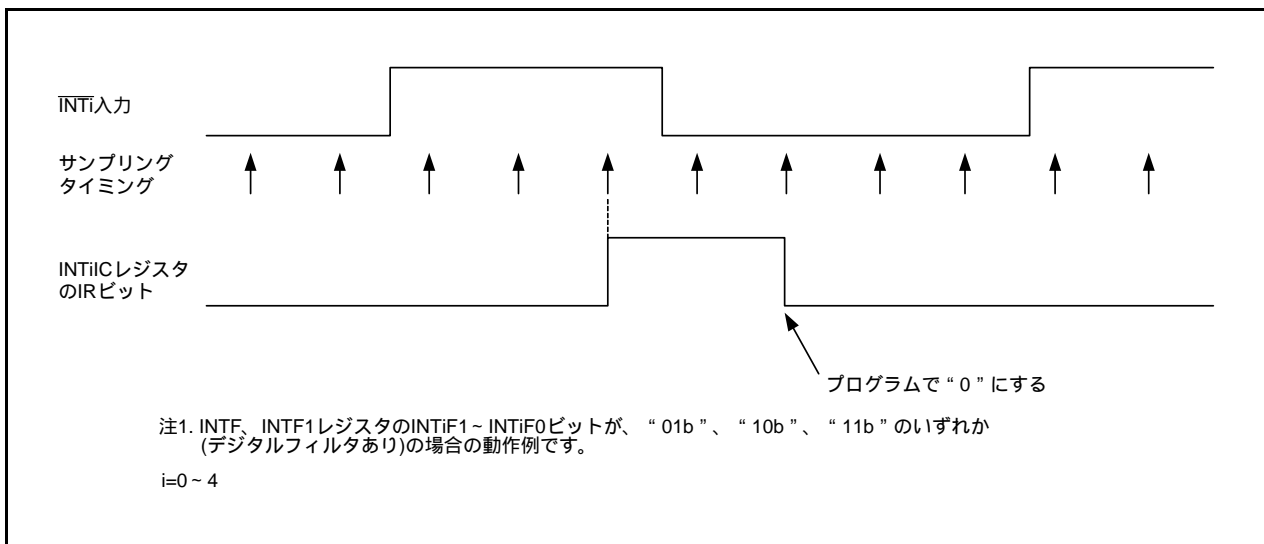
| | | | | | | | | |
|---------|----|----|----|----|----|----|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | INT4F1 | INT4F0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | INT4F0 | INT4入力フィルタ選択ビット | b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b1 | INT4F1 | | | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

11.4.7 INT_i入力フィルタ (i=0 ~ 4)

INT_i入力は、デジタルフィルタを持ちます。サンプリングクロックはINTF、INTF1レジスタのINTIF0 ~ INTIF1ビットで選択できます。サンプリングクロックごとにINT_iのレベルをサンプリングし、レベルが3度一致した時点で、INTICレジスタのIRビットが“1”(割り込み要求あり)になります。

図11.9にINT_i入力フィルタの構成を、図11.10にINT_i入力フィルタ動作例を示します。

図11.9 INT_i入力フィルタの構成図11.10 INT_i入力フィルタ動作例

11.5 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタの $KIiEN$ ビット($i = 0 \sim 3$)で、端子を KIi 入力として使用するかどうかを選択できます。また、KIENレジスタの $KIiPL$ ビットで入力極性を選択できます。

なお、 $KIiPL$ ビットを“0”(立ち下がりエッジ)にしている KIi 端子に“L”を入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。同様に、 $KIiPL$ ビットを“1”(立ち上がりエッジ)にしている \overline{KIi} 端子に“H”を入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図を示します。表11.7にキー入力割り込みの端子構成を示します。

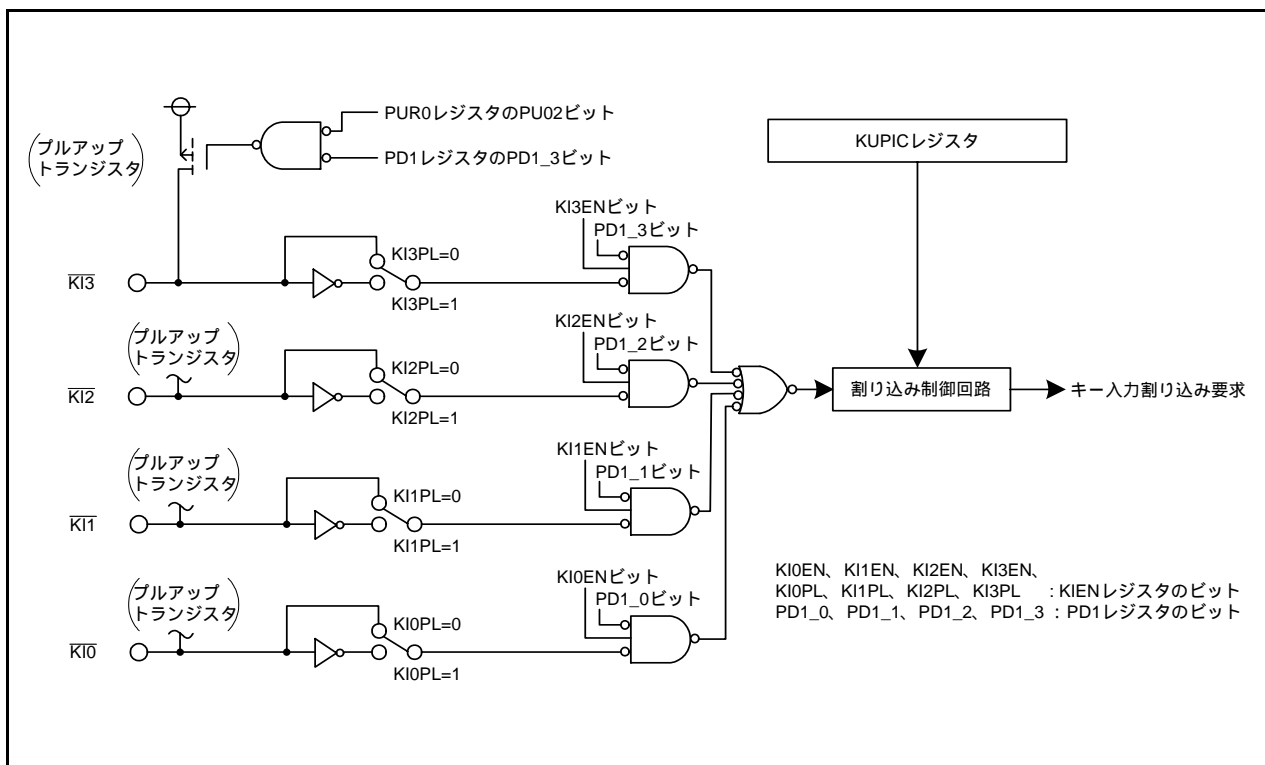


図11.11 キー入力割り込みのブロック図

表11.7 キー入力割り込みの端子構成

| 端子名 | 入出力 | 機能 |
|------------------|-----|-------------------------|
| $\overline{KI0}$ | 入力 | $\overline{KI0}$ 割り込み入力 |
| $\overline{KI1}$ | 入力 | $\overline{KI1}$ 割り込み入力 |
| $\overline{KI2}$ | 入力 | $\overline{KI2}$ 割り込み入力 |
| $\overline{KI3}$ | 入力 | $\overline{KI3}$ 割り込み入力 |

11.5.1 キー入力許可レジスタ0 (KIEN)

アドレス 01FEh番地

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | KI3PL | KI3EN | KI2PL | KI2EN | KI1PL | KI1EN | KI0PL | KI0EN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------|----------------------------|-----|
| b0 | KI0EN | KI0入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b1 | KI0PL | KI0入力極性選択ビット | 0: 立ち下がりエッジ 1: 立ち上がりエッジ | R/W |
| b2 | KI1EN | KI1入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b3 | KI1PL | KI1入力極性選択ビット | 0: 立ち下がりエッジ 1: 立ち上がりエッジ | R/W |
| b4 | KI2EN | KI2入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b5 | KI2PL | KI2入力極性選択ビット | 0: 立ち下がりエッジ 1: 立ち上がりエッジ | R/W |
| b6 | KI3EN | KI3入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b7 | KI3PL | KI3入力極性選択ビット | 0: 立ち下がりエッジ 1: 立ち上がりエッジ | R/W |

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

11.6 アドレス一致割り込み

RMADi(i=0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i=0 ~ 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIERiレジスタのAIERi0ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.3.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表11.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表11.9にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.8 アドレス一致割り込み要求受け付け時に退避されるPCの値

| RMADiレジスタ (i=0 ~ 1) で示される番地の命令 | 退避されるPCの値 (注1) |
|--|---------------------|
| <ul style="list-style-type: none"> • オペコードが2バイトの命令(注2) • オペコードが1バイトの命令(注2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1) | RMADiレジスタで示される番地 +2 |
| 上記以外 | RMADiレジスタで示される番地 +1 |

注1. 退避されるPCの値 : 「11.3.7 レジスタ退避」参照。

注2. オペコード : 「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.9 アドレス一致割り込み要因と関連レジスタの対応

| アドレス一致割り込み要因 | アドレス一致割り込み許可ビット | アドレス一致割り込みレジスタ |
|--------------|-----------------|----------------|
| アドレス一致割り込み 0 | AIER00 | RMAD0 |
| アドレス一致割り込み 1 | AIER10 | RMAD1 |

11.6.1 アドレス一致割り込み許可レジスタ i (AIER i)($i=0 \sim 1$)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

| | | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|-----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | |
| シンボル | - | - | - | - | - | - | - | - | AIER00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | AIER0レジスタ |

| | | | | | | | | | | |
|---------|---|---|---|---|---|---|---|---|--------|-----------|
| シンボル | - | - | - | - | - | - | - | - | AIER10 | AIER1レジスタ |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|----------------|-----|
| b0 | AIERi0 | アドレス一致割り込み許可ビット | 0: 禁止 1: 許可 | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

11.6.2 アドレス一致割り込みレジスタ i (RMAD i)($i=0 \sim 1$)

アドレス 01C2h ~ 01C0h番地(RMAD0)、01C6h ~ 01C4h番地(RMAD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット | b23 | b22 | b21 | b20 | b19 | b18 | b17 | b16 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | X | X | X | X |

| ビット | シンボル | 機能 | 設定可能値 | R/W |
|----------|------|--|-----------------|-----|
| b19 ~ b0 | - | アドレス一致割り込み用アドレス設定レジスタ | 00000h ~ FFFFFh | R/W |
| b20 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b21 | - | | | |
| b22 | - | | | |
| b23 | - | | | |

11.7 タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRD (タイマRD0)、タイマRD (タイマRD1)、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.10にタイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを、図11.12にタイマRD割り込みのブロック図を示します。

表11.10 タイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタ

| 周辺機能名 | 割り込み要求要因のステータスレジスタ | 割り込み要求要因の許可レジスタ | 割り込み制御レジスタ |
|---------------------------|--------------------|-----------------|------------|
| タイマRC | TRCSR | TRCIER | TRCIC |
| タイマRD | タイマRD0 | TRDSR0 | TRD0IC |
| | タイマRD1 | TRDSR1 | TRD1IC |
| シンクロナスシリアルコミュニケーションユニット | SSSR | SSER | SSUIC |
| I ² Cバスインタフェース | ICSR | ICIER | IICIC |
| フラッシュメモリ | RDYSTI BSYAEI | RDYSTIE | FMRDYIC |
| | | BSYAEIE | |
| | | CMDERIE | |

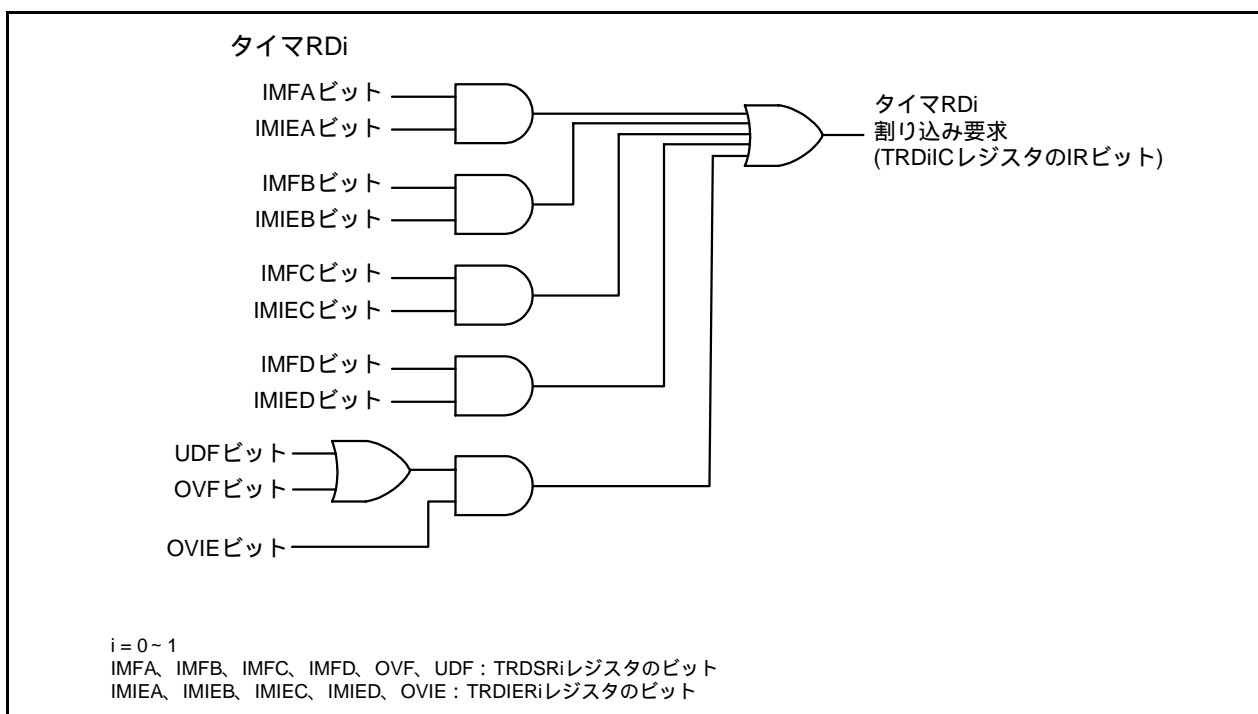


図11.12 タイマRD割り込みのブロック図

タイマRC、タイマRD (タイマRD0)、タイマRD (タイマRD1)、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0 ~ ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。
すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「19. タイマRC」、「20. タイマRD」、「25. シンクロナスシリアルコミュニケーションユニット(SSU)」、「26. I²Cバスインタフェース」、「32. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「11.3 割り込み制御」を参照してください。

11.8 割り込み使用上の注意

11.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

11.8.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

11.8.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$) に示す“L”レベル幅、または“H”レベル幅が必要です(詳細は「表 34.23($V_{cc} = 5V$)、表 34.29($V_{cc} = 3V$)、表 34.35($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$)、キー入力割り込み $\overline{\text{KIi}}$ ($i = 0 \sim 3$)」を参照)。

11.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 11.13 に割り込み要因の変更手順例を示します。

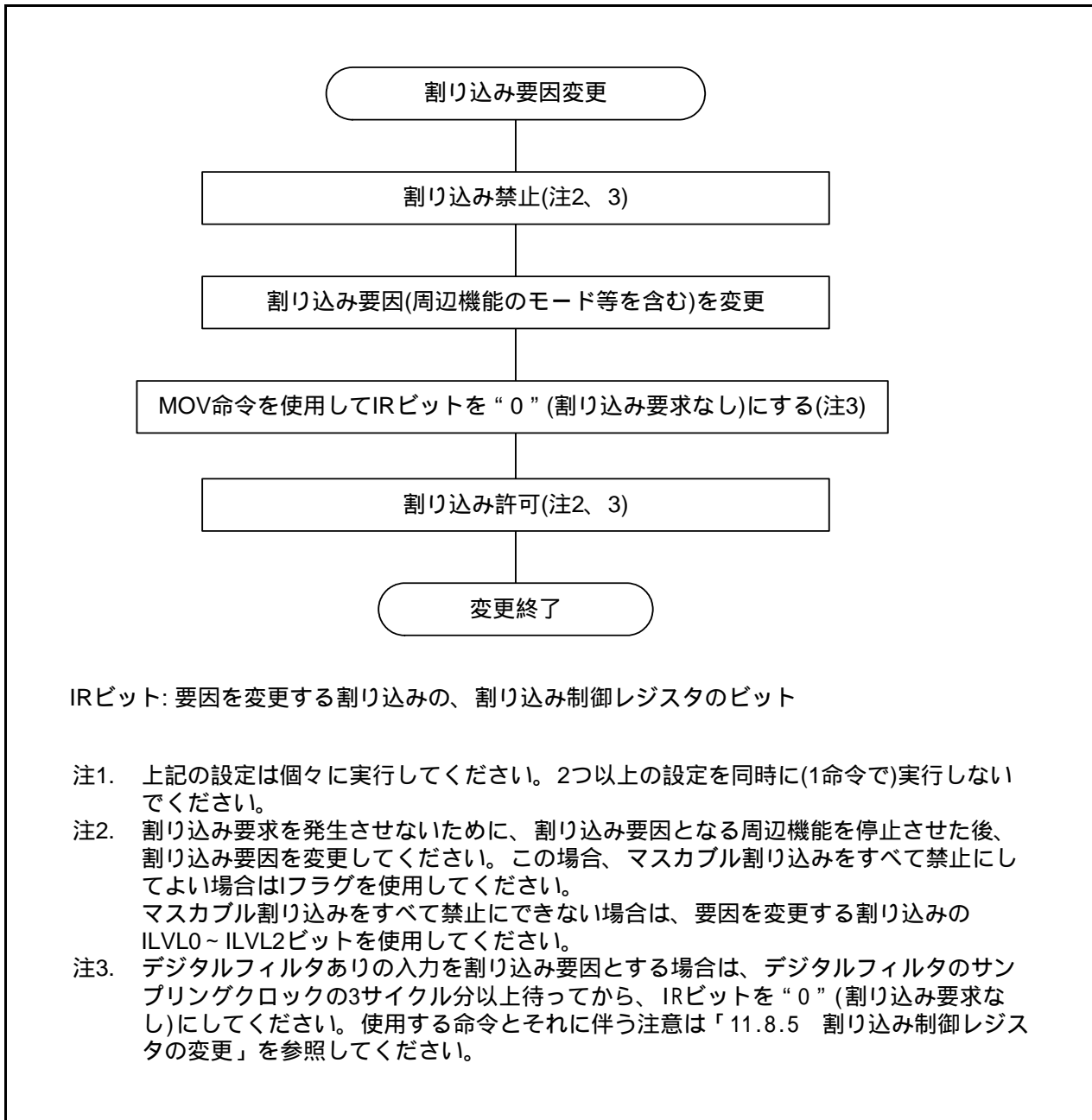


図 11.13 割り込み要因の変更手順例

11.8.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  POPC    FLG              ; 割り込み許可
```

12. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

12.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFE8h、0FFE9h、0FFF3h、0FFF7h、0FFFBh番地です。図12.1にIDコード領域を示します。

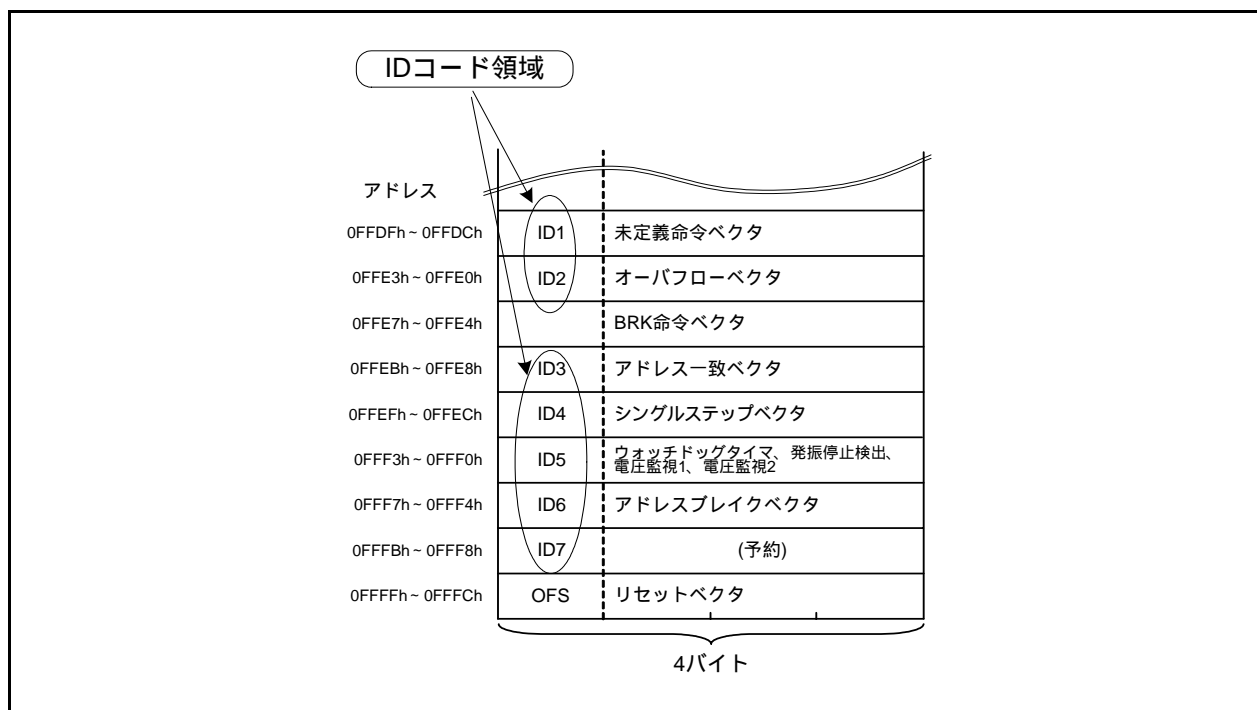


図12.1 IDコード領域

12.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“ FFFFFFFh ”ではない場合、IDコード領域に格納されているIDコードと、シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライタやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“ FFFFFFFh ”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ ALeRASE ”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“ Protect ”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表12.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表12.1 IDコードの予約語

| IDコード格納番地 | | IDコードの予約語(ASCIIコード)(注1) | |
|-----------|-----|-------------------------|----------------|
| | | ALeRASE | Protect |
| 0FFDFh | ID1 | 41h (“ A ”大文字) | 50h (“ P ”大文字) |
| 0FFE3h | ID2 | 4Ch (“ L ”大文字) | 72h (“ r ”小文字) |
| 0FFEBh | ID3 | 65h (“ e ”小文字) | 6Fh (“ o ”小文字) |
| 0FFEfH | ID4 | 52h (“ R ”大文字) | 74h (“ t ”小文字) |
| 0FFF3h | ID5 | 41h (“ A ”大文字) | 65h (“ e ”小文字) |
| 0FFF7h | ID6 | 53h (“ S ”大文字) | 63h (“ c ”小文字) |
| 0FFFBh | ID7 | 45h (“ E ”大文字) | 74h (“ t ”小文字) |

注1. IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合は予約語です。

12.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表12.1 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表12.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表12.2 強制イレーズ機能の条件と動作

| 条件 | | | 動作 |
|---------------------------------------|-----------------|----------------------------|---------------------------------------|
| シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード | IDコード格納番地のIDコード | OFSレジスタのROMCP1、ROMCRビット | |
| ALeRASE | ALeRASE | - | ユーザROM領域をすべて消去(強制イレーズ機能) |
| | ALeRASE以外(注1) | “01b”以外 (ROMコードプロテクト解除) | |
| | | “01b” (ROMコードプロテクト有効) | IDコードの判定 (IDコードチェック機能) |
| ALeRASE以外 | ALeRASE | - | IDコードの判定 (IDコードチェック機能。IDコード不一致になる) |
| | ALeRASE以外(注1) | - | IDコードの判定 (IDコードチェック機能) |

注1. “Protect”の場合は「12.4 標準シリアル入出力モード禁止機能」参照。

12.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表12.1 IDコードの予約語」参照)の場合、シリアルライターやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライターやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライターやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライターやオンチップデバッグエミュレータでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

12.5 IDコード領域使用上の注意

12.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy                  ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

13. オプション機能選択領域

13.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図13.1にオプション機能選択領域を示します。

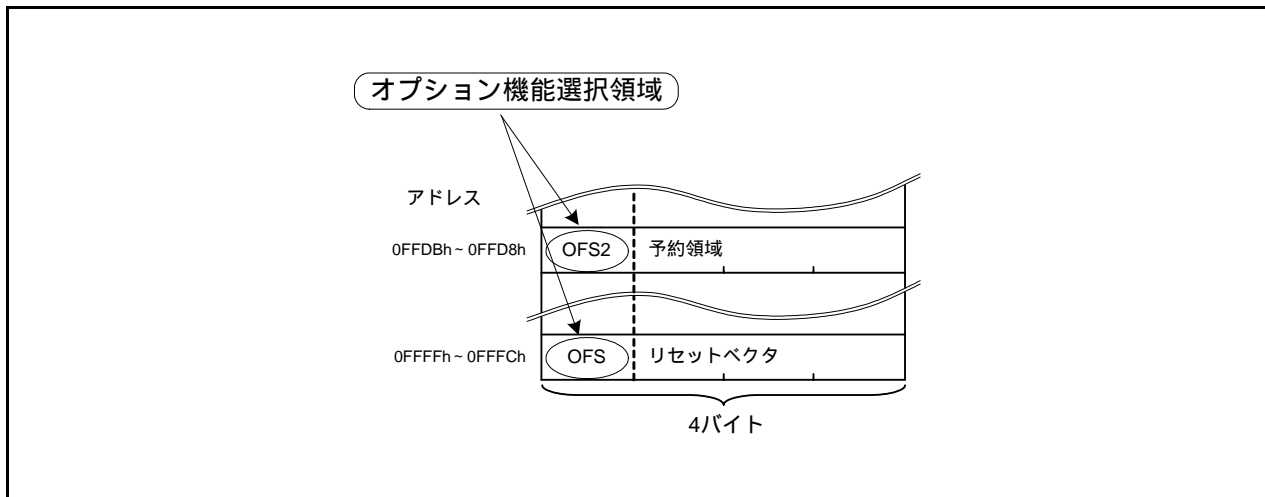


図13.1 オプション機能選択領域

13.2 レジスタの説明

OFSレジスタおよびOFS2レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

13.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

| | | | | | | | | |
|---------|-------------|-------|--------|--------|--------|-------|----|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CSPROINI | LVDAS | VDSEL1 | VDSEL0 | ROMCP1 | ROMCR | - | WDTON |
| リセット後の値 | ユーザの設定値(注1) | | | | | | | |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|------------------------|---|-----|
| b0 | WDTON | ウォッチドッグタイマ起動選択ビット | 0:リセット後、ウォッチドッグタイマは自動的に起動 1:リセット後、ウォッチドッグタイマは停止状態 | R/W |
| b1 | - | 予約ビット | “1”にしてください | R/W |
| b2 | ROMCR | ROMコードプロテクト解除ビット | 0:ROMコードプロテクト解除 1:ROMCP1ビット有効 | R/W |
| b3 | ROMCP1 | ROMコードプロテクトビット | 0:ROMコードプロテクト有効 1:ROMコードプロテクト解除 | R/W |
| b4 | VDSEL0 | 電圧検出0レベル選択ビット(注2) | b5 b4 00:3.80Vを選択 (Vdet0_3) 01:2.85Vを選択 (Vdet0_2) 10:2.35Vを選択 (Vdet0_1) 11:1.90Vを選択 (Vdet0_0) | R/W |
| b5 | VDSEL1 | | | R/W |
| b6 | LVDAS | 電圧検出0回路起動ビット(注3) | 0:リセット後、電圧監視0リセット有効 1:リセット後、電圧監視0リセット無効 | R/W |
| b7 | CSPROINI | リセット後カウントソース保護モード選択ビット | 0:リセット後、カウントソース保護モード有効 1:リセット後、カウントソース保護モード無効 | R/W |

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

13.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

| | | | | | | | | |
|---------|-------------|----|----|----|---------|---------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | WDTRCS1 | WDTRCS0 | WDTUFS1 | WDTUFS0 |
| リセット後の値 | ユーザの設定値(注1) | | | | | | | |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|-------------------------------|---|-----|
| b0 | WDTUFS0 | ウォッチドッグタイマアンダフロー 周期設定ビット | b1 b0 00 : 03FFh 01 : 0FFFh 10 : 1FFFh 11 : 3FFFh | R/W |
| b1 | WDTUFS1 | | | R/W |
| b2 | WDTRCS0 | ウォッチドッグタイマリフレッシュ 受付周期設定ビット | b3 b2 00 : 25% 01 : 50% 10 : 75% 11 : 100% | R/W |
| b3 | WDTRCS1 | | | R/W |
| b4 | - | 予約ビット | "1" にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

13.3 オプション機能選択領域使用上の注意

13.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

14. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

14.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図14.1にウォッチドッグタイマのブロック図を示します。

表14.1 ウォッチドッグタイマの仕様

| 項目 | カウントソース保護モード無効時 | カウントソース保護モード有効時 |
|----------------|--|---------------------------------|
| カウントソース | CPUクロック | ウォッチドッグタイマ用 低速オンチップオシレータクロック |
| カウント動作 | ダウンカウント | |
| カウント開始条件 | 次のいずれかを選択可能 <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 | |
| カウント停止条件 | ストップモード、ウェイトモード | なし |
| ウォッチドッグタイマ初期条件 | <ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1) アンダフロー | |
| アンダフロー時の動作 | ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット | ウォッチドッグタイマリセット |
| 選択機能 | <ul style="list-style-type: none"> プリスケアラの分周比 WDTCレジスタのWDTC7ビットもしくはCM0レジスタのCM07ビットで選択 カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで選択 ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択 | |

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

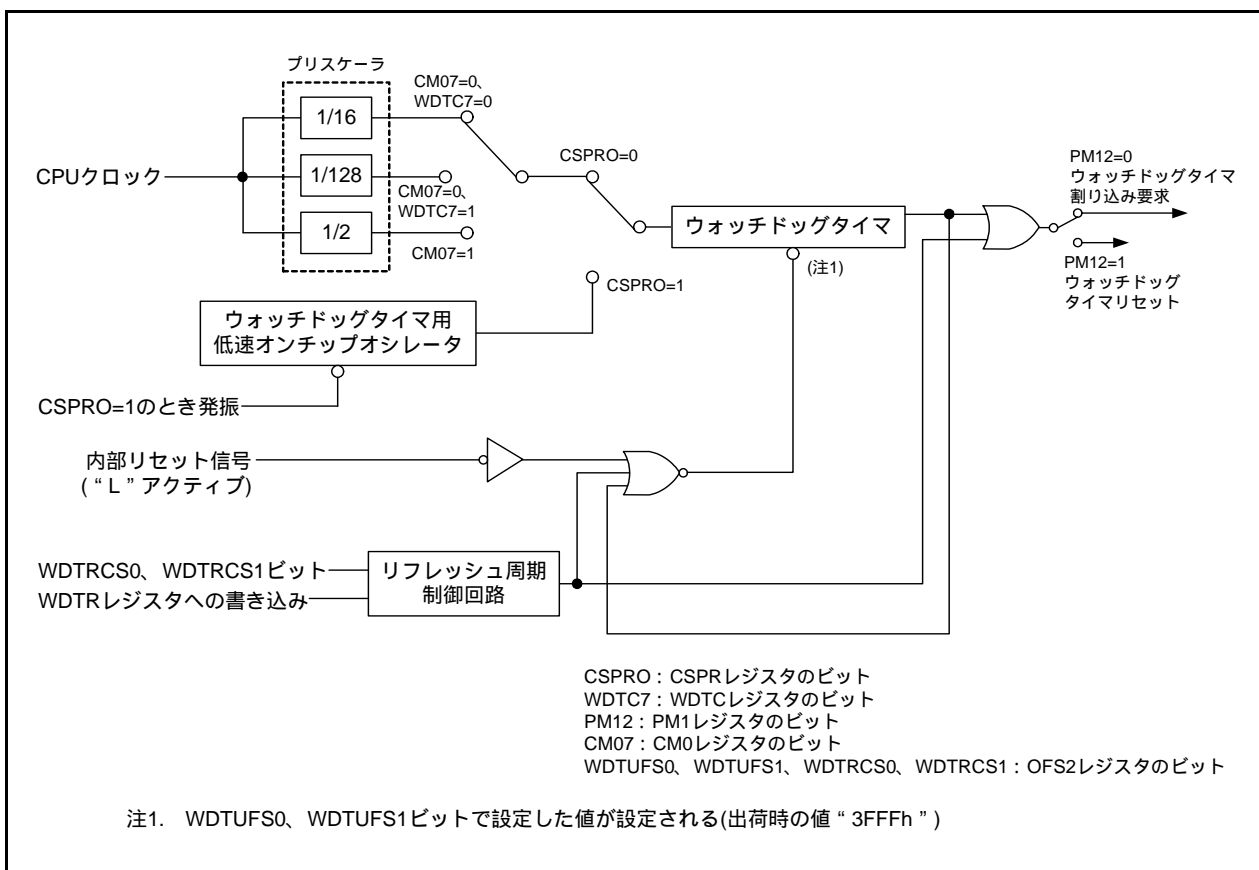


図 14.1 ウォッチドッグタイマのブロック図

14.2 レジスタの説明

14.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|------|----|----|
| シンボル | - | - | - | - | - | PM12 | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---|---|-----|
| b0 | - | 予約ビット | “0” にしてください | R/W |
| b1 | - | | | |
| b2 | PM12 | WDT 割り込み/リセット切り替えビット | 0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット (注1) | R/W |
| b3 | - | 何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | 予約ビット | “0” にしてください | R/W |

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

14.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス 000Dh 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | R/W |
|---------|--|-----|
| b7 ~ b0 | “00h” を書いて、続いて“FFh” を書くと、ウォッチドッグタイマは初期化される。ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1) | W |

注1. WDTRレジスタへは、ウォッチドッグタイマのカウンタ動作中に書いてください。

14.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス 000Eh 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | R/W |
|---------|--------------------------------------|-----|
| b7 ~ b0 | このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。 | W |

14.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|-------|-------|----|----|----|----|----|----|----|
| シンボル | WDTC7 | - | - | - | - | - | - | - |
| 出荷時の値 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---|-----------------------|-----|
| b0 | - | ウォッチドッグタイマの次のビットが読める。 OFS2レジスタのWDTUFS1 ~ WDTUFS0ビットが | | R |
| b1 | - | | | |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | 予約ビット | 読んだ場合、その値は“0” | R |
| b7 | WDTC7 | プリスケラ選択ビット | 0 : 16分周 1 : 128分周 | R/W |

14.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|-------------------------------|-------|----|----|----|----|----|----|----|
| シンボル | CSPRO | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 上記はOFSレジスタのCSPROINIビットが“1”の場合 | | | | | | | | |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 上記はOFSレジスタのCSPROINIビットが“0”の場合 | | | | | | | | |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-----------------------|--|-----|
| b0 | - | 予約ビット | “0”にしてください | R/W |
| b1 | - | | | |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | カウントソース保護モード選択ビット(注1) | 0 : カウントソース保護モード無効 1 : カウントソース保護モード有効 | R/W |
| b7 | CSPRO | | | |

注1. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

14.2.6 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|------------------------|---|-----|
| b0 | WDTON | ウォッチドッグタイマ起動選択ビット | 0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態 | R/W |
| b1 | - | 予約ビット | “1” にしてください | R/W |
| b2 | ROMCR | ROMコードプロテクト解除ビット | 0: ROMコードプロテクト解除 1: ROMCP1ビット有効 | R/W |
| b3 | ROMCP1 | ROMコードプロテクトビット | 0: ROMコードプロテクト有効 1: ROMコードプロテクト解除 | R/W |
| b4 | VDSEL0 | 電圧検出0レベル選択ビット(注2) | b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0) | R/W |
| b5 | VDSEL1 | | | R/W |
| b6 | LVDAS | 電圧検出0回路起動ビット(注3) | 0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効 | R/W |
| b7 | CSPROINI | リセット後カウントソース保護モード選択ビット | 0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効 | R/W |

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

14.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

| | | | | | | | | |
|---------|-------------|----|----|----|---------|---------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | WDTRCS1 | WDTRCS0 | WDTUFS1 | WDTUFS0 |
| リセット後の値 | ユーザの設定値(注1) | | | | | | | |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|-------------------------------|---|-----|
| b0 | WDTUFS0 | ウォッチドッグタイマアンダフロー 周期設定ビット | b1 b0 00 : 03FFh 01 : 0FFFh 10 : 1FFFh 11 : 3FFFh | R/W |
| b1 | WDTUFS1 | | | R/W |
| b2 | WDTRCS0 | ウォッチドッグタイマリフレッシュ 受付周期設定ビット | b3 b2 00 : 25% 01 : 50% 10 : 75% 11 : 100% | R/W |
| b3 | WDTRCS1 | | | R/W |
| b4 | - | 予約ビット | "1" にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

14.3 動作説明

14.3.1 複数モードに関わる共通事項

14.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択できます。図14.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

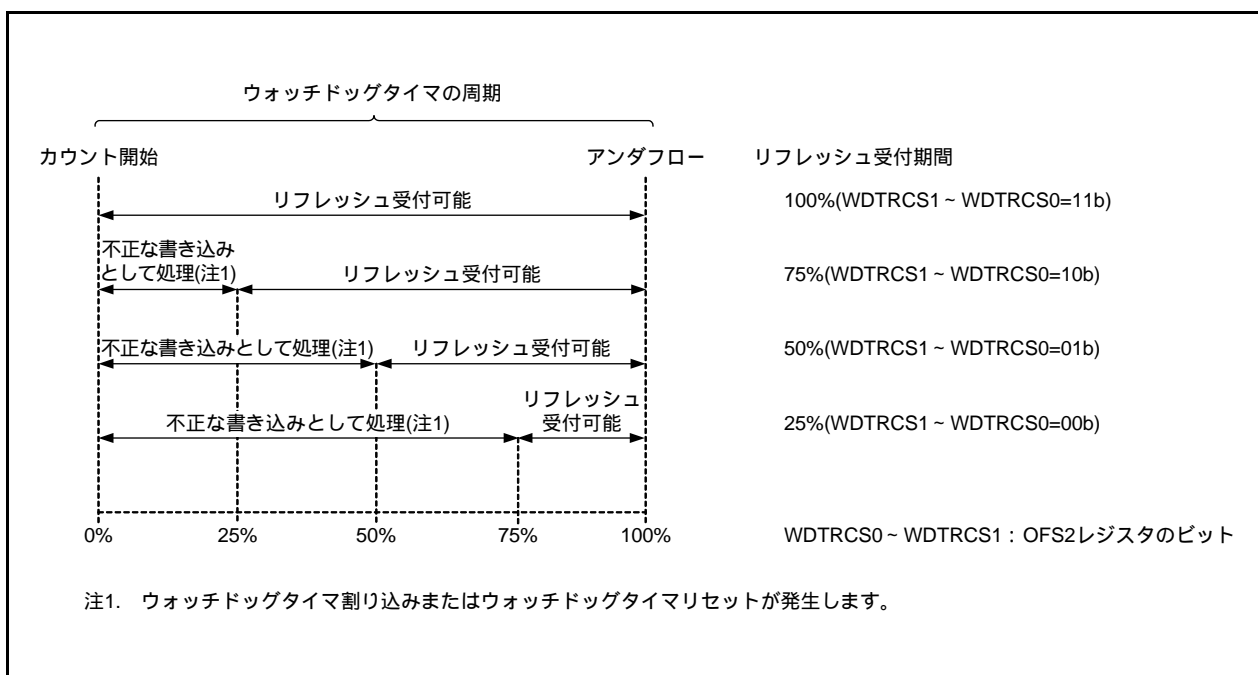


図14.2 ウォッチドッグタイマのリフレッシュ受付期間

14.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表14.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

| 項目 | 仕様 |
|---------------------|---|
| カウントソース | CPUクロック |
| カウント動作 | ダウンカウント |
| 周期 | プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) CPUクロック n : 16または128 (WDTCレジスタのWDTC7ビットで選択)もしくは低速クロック選択時 (CM0レジスタのCM07ビット=1)は2 m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : CPUクロックが20MHzで、プリスケアラが16分周し、WDTUFS1 ~ WDTUFS0ビット が“11b”(“3FFFh”)の場合、周期は約13.1ms |
| ウォッチドッグタイマ 初期化条件 | <ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(注3) アンダフロー |
| カウント開始条件 | リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTNレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始 |
| カウント停止条件 | ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続) |
| アンダフロー時の動作 | <ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照) |

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

14.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表14.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

| 項目 | 仕様 |
|-----------------|---|
| カウントソース | 低速オンチップオシレータクロック |
| カウント動作 | ダウンカウント |
| 周期 | $\frac{\text{ウォッチドッグタイマのカウント値(m)}}{\text{ウォッチドッグタイマ用低速オンチップオシレータクロック}}$ m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHzで、WDTUFS1 ~ WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms |
| ウォッチドッグタイマ初期化条件 | <ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(注3) アンダフロー |
| カウント開始条件 | リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケラは停止しており、WDTNレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケラがカウントを開始 |
| カウント停止条件 | なし(カウント開始後はウェイトモード、ストップモードでも停止しない)。 |
| アンダフロー時の動作 | ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照) |
| レジスタ、ビット | <ul style="list-style-type: none"> CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される <ul style="list-style-type: none"> ウォッチドッグタイマ用低速オンチップオシレータが発振 PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) |

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

15. DTC

DTC(データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能で、1チャンネルを搭載しています。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

15.1 概要

表 15.1にDTCの仕様を示します。

表 15.1 DTCの仕様

| 項目 | 仕様 | |
|----------------|---|--|
| 起動要因 | 33要因 | |
| 配置可能なコントロールデータ | 24通り | |
| 転送可能なアドレス空間 | 64Kバイト空間(00000h ~ 0FFFFh) | |
| 最大転送回数 | ノーマルモード | 256回 |
| | リピートモード | 255回 |
| 最大転送ブロックサイズ | ノーマルモード | 256バイト |
| | リピートモード | 255バイト |
| 転送単位 | バイト | |
| 転送モード | ノーマルモード | DTCCTjレジスタが“1”から“0”になる転送で終了する |
| | リピートモード | DTCCTjレジスタが“1”から“0”になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する |
| アドレス制御 | ノーマルモード | 固定、または加算 |
| | リピートモード | リピートエリアでないアドレスを固定、または加算 |
| 起動要因優先度 | 「表 15.5 DTC起動要因とDTCベクタアドレス」参照 | |
| 割り込み要求 | ノーマルモード | DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います |
| | リピートモード | DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います |
| 転送開始 | DTCENiレジスタのDTCENi0 ~ DTCENi7ビットを“1”(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する | |
| 転送停止 | ノーマルモード | <ul style="list-style-type: none"> •DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする •DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき |
| | リピートモード | <ul style="list-style-type: none"> •DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする •RPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき |

i=0 ~ 6、j=0 ~ 23

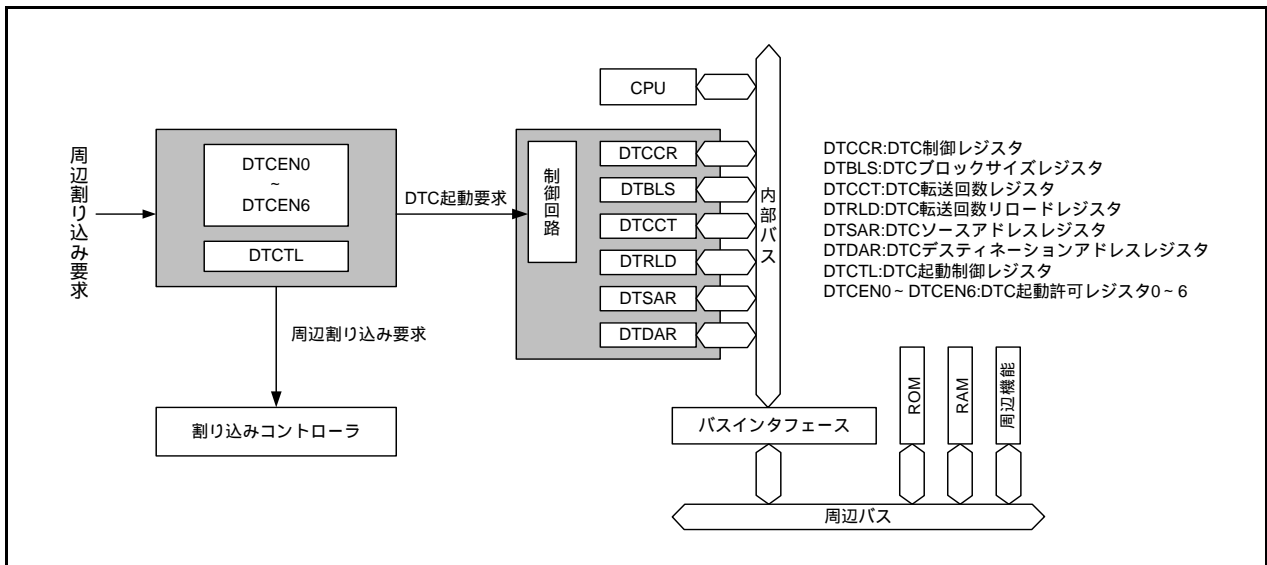


図 15.1 DTCのブロック図

15.2 レジスタの説明

DTCは起動するとコントロールデータ領域に配置したコントロールデータ(DTCCR_j、DTBLS_j、DTCCT_j、DTRLD_j、DTSAR_j、DTDAR_j、j=0~23)を読み出し、DTC内の制御レジスタ(DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR)へ転送します。DTCのデータ転送終了後、DTC内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDARの各レジスタは直接アクセスできません。

DTCCR_j、DTBLS_j、DTCCT_j、DTRLD_j、DTSAR_j、DTDAR_jはDTCコントロールデータ領域の2C40h~2CFFh番地にコントロールデータとして配置し、直接アクセスできます。

また、DTCTL、DTCEN_i(i=0~6)レジスタは直接アクセスできます。

15.2.1 DTC制御レジスタj(DTCCRj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| | | | | | | | | |
|---------|----|----|--------|------|-------|-------|--------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | RPTINT | CHNE | DAMOD | SAMOD | RPTSEL | MODE |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|----------------------------|----------------------------------|-----|
| b0 | MODE | 転送モード選択ビット | 0: ノーマルモード 1: リピートモード | R/W |
| b1 | RPTSEL | リピートエリア選択ビット(注1) | 0: 転送先がリピートエリア 1: 転送元がリピートエリア | R/W |
| b2 | SAMOD | ソースアドレス制御ビット(注2) | 0: 固定 1: 加算 | R/W |
| b3 | DAMOD | デスティネーション アドレス制御ビット(注2) | 0: 固定 1: 加算 | R/W |
| b4 | CHNE | チェイン転送許可ビット(注3) | 0: チェイン転送禁止 1: チェイン転送許可 | R/W |
| b5 | RPTINT | リピートモード割り込み許可ビット (注1) | 0: 割り込み発生禁止 1: 割り込み発生許可 | R/W |
| b6 | - | 予約ビット | "0" にしてください | R/W |
| b7 | - | | | |

注1. MODEビットが"1"(リピートモード)のときに有効です。

注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。

注3. DTCCR23レジスタのCHNEビットは"0"(チェイン転送禁止)にしてください。

15.2.2 DTCブロックサイズレジスタj(DTBLSj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | 設定可能値 | R/W |
|---------|---------------------------|---------------|-----|
| b7 ~ b0 | 1回の起動で転送するデータブロックサイズを設定する | 00h ~ FFh(注1) | R/W |

注1. "00h"のときブロックサイズは256バイトになります。

15.2.3 DTC転送回数レジスタj(DTCCTj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | 設定可能値 | R/W |
|---------|------------------|---------------|-----|
| b7 ~ b0 | DTCのデータ転送回数を設定する | 00h ~ FFh(注1) | R/W |

注1. “00h”のとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

15.2.4 DTC転送回数リロードレジスタj(DTRLDj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | 設定可能値 | R/W |
|---------|-------------------------------------|---------------|-----|
| b7 ~ b0 | リピータモード動作でこのレジスタの値をDTCCTレジスタへリロードする | 00h ~ FFh(注1) | R/W |

注1. DTCCTレジスタの初期値を設定してください。

15.2.5 DTCソースアドレスレジスタj(DTSARj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | 設定可能値 | R/W |
|----------|---------------------|---------------|-----|
| b15 ~ b0 | データ転送時の転送元アドレスを指定する | 0000h ~ FFFFh | R/W |

15.2.6 DTCデスティネーションアドレスレジスタj(DTDARj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | 設定可能値 | R/W |
|----------|---------------------|---------------|-----|
| b15 ~ b0 | データ転送時の転送先アドレスを指定する | 0000h ~ FFFFh | R/W |

15.2.7 DTC起動許可レジスタi(DTCENi)(i=0 ~ 6)

アドレス 0088h番地(DTCEN0)、0089h番地(DTCEN1)、008Ah番地(DTCEN2)、008Bh番地(DTCEN3)、
008Ch番地(DTCEN4)、008Dh番地(DTCEN5)、008Eh番地(DTCEN6)

| | | | | | | | | |
|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | DTCENi7 | DTCENi6 | DTCENi5 | DTCENi4 | DTCENi3 | DTCENi2 | DTCENi1 | DTCENi0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|-----------------|----------------------|-----|
| b0 | DTCENi0 | DTC 起動許可ビット(注1) | 0 : 起動禁止 1 : 起動許可 | R/W |
| b1 | DTCENi1 | | | R/W |
| b2 | DTCENi2 | | | R/W |
| b3 | DTCENi3 | | | R/W |
| b4 | DTCENi4 | | | R/W |
| b5 | DTCENi5 | | | R/W |
| b6 | DTCENi6 | | | R/W |
| b7 | DTCENi7 | | | R/W |

i=0 ~ 6

注1. このビットの動作については、「15.3.7 割り込み要因」を参照してください。

DTCENiレジスタは、各割り込み要因によるDTC起動の許可または禁止を制御します。表 15.2に割り込み要因とDTCENi0 ~ DTCENi7(i=0 ~ 6)ビットの対応を示します。

表 15.2 割り込み要因とDTCENi0 ~ DTCENi7(i=0 ~ 6)ビットの対応

| レジスタ | DTCENi7 ビット | DTCENi6 ビット | DTCENi5 ビット | DTCENi4 ビット | DTCENi3 ビット | DTCENi2 ビット | DTCENi1 ビット | DTCENi0 ビット |
|--------|---------------------------------------|--|--------------------------------------|--------------------------------------|--------------------------------------|--------------------------------------|--------------------------------------|--------------------------------------|
| DTCEN0 | INT0 | INT1 | INT2 | INT3 | INT4 | - | - | - |
| DTCEN1 | キー入力 | A/D変換 | UART0 受信 | UART0 送信 | UART1 受信 | UART1 送信 | UART2 受信 | UART2 送信 |
| DTCEN2 | SSU/I ² Cバス 受信データ フル | SSU/I ² Cバス 送信データ エンプティ | 電圧監視2/ コンパレータ A2 | 電圧監視1/ コンパレータ A1 | - | - | タイマRC インプット キャプチャ/ コンペア一致A | タイマRC インプット キャプチャ/ コンペア一致B |
| DTCEN3 | タイマRC インプット キャプチャ/ コンペア一致C | タイマRC インプット キャプチャ/ コンペア一致D | タイマRD0 インプット キャプチャ/ コンペア一致A | タイマRD0 インプット キャプチャ/ コンペア一致B | タイマRD0 インプット キャプチャ/ コンペア一致C | タイマRD0 インプット キャプチャ/ コンペア一致D | タイマRD1 インプット キャプチャ/ コンペア一致A | タイマRD1 インプット キャプチャ/ コンペア一致B |
| DTCEN4 | タイマRD1 インプット キャプチャ/ コンペア一致C | タイマRD1 インプット キャプチャ/ コンペア一致D | - | - | - | - | - | - |
| DTCEN5 | - | - | タイマRE | - | - | - | - | - |
| DTCEN6 | - | タイマRA | - | タイマRB | フラッシュ レディ ステータス | - | - | - |

15.2.8 DTC起動制御レジスタ(DTCTL)

| | | | | | | | | |
|---------|---------|----|----|----|----|----|------|----|
| アドレス | 0080h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | NMIF | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | - | 予約ビット | "0"にしてください | R/W |
| b1 | NMIF | ノンマスクابل割り込み発生ビット (注1) | 0: ノンマスクابل割り込みなし 1: ノンマスクابل割り込み発生 | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません。“1”を書いた場合は変化しません。

DTCTLレジスタは、ノンマスクابل割り込み(ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2)発生時のDTC起動を制御するレジスタです。

NMIFビット(ノンマスクابل割り込み発生ビット)

NMIFビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込みのいずれかが発生すると“1”になります。

NMIFビットが“1”の場合、DTC起動を許可している割り込みが発生してもDTCは起動しません。DTC転送中にNMIFビットが“1”になっても、その転送を終了するまで行います。

割り込み要因がウォッチドッグタイマのとき、WDTCレジスタのWDTC7ビットを“0”(プリスケアラが16分周)にしている場合は、割り込み要因発生からCPUクロックの16サイクル待ってから、WDTC7ビットを“1”(プリスケアラが128分周)にしている場合は割り込み要因発生からCPUクロックの128サイクル待ってから、NMIFビットに“0”を書いてください。

割り込み要因が発振停止検出のとき、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にした後で、NMIFビットに“0”を書いてください。

15.3 動作説明

15.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCRj(j=0~23)レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先アドレスは16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

15.3.2 起動要因

DTCは割り込み要因により起動します。図15.2にDTC起動要因の制御ブロック図を示します。

DTCを起動する割り込み要因は、DTCENi(i=0~6)レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ・ノーマルモードでDTCCTj(j=0~23)レジスタが“0”になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0~DTCENi7ビットを“0”(起動禁止)にします。

データ転送の設定がどちらでもなく、起動要因がタイマRC、タイマRD、フラッシュメモリの割り込み要因である場合、DTCは動作中に起動要因となった割り込み要因フラグを“0”にします。

表15.3にDTC起動要因とDTC動作中に“0”にする割り込み要因フラグを示します。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、1フラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

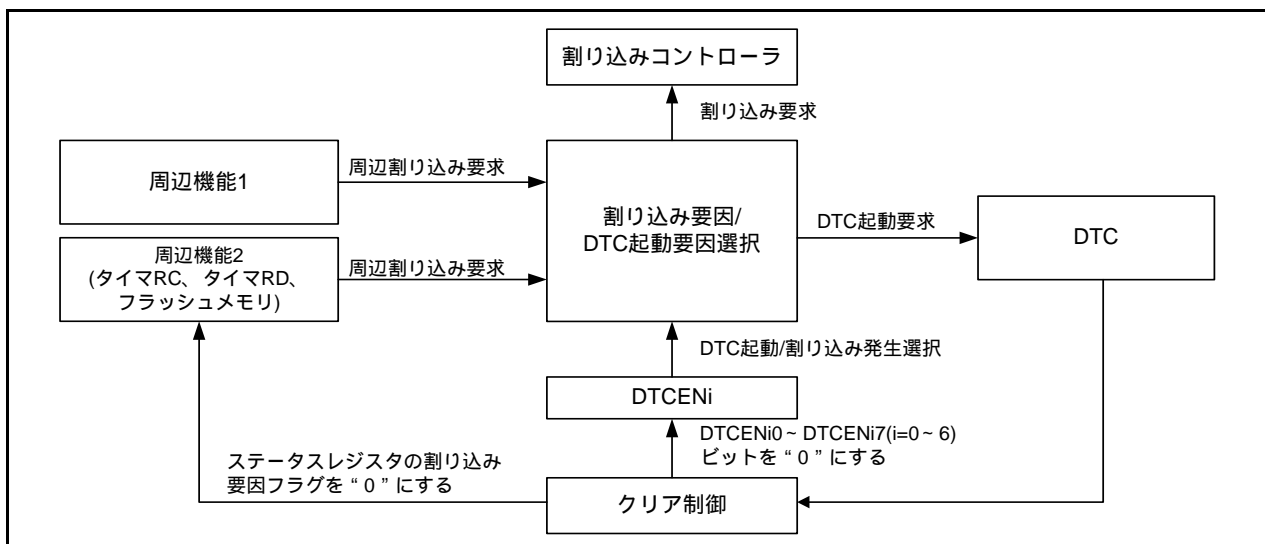


図 15.2 DTC 起動要因の制御ブロック図

表 15.3 DTC起動要因とDTC動作中に“0”にする割り込み要因フラグ

| DTC起動要因 | “0”にする割り込み要因フラグ |
|--------------------------|--------------------|
| タイマRCインプットキャプチャ/コンペア一致A | TRCSRレジスタのIMFAビット |
| タイマRCインプットキャプチャ/コンペア一致B | TRCSRレジスタのIMFBビット |
| タイマRCインプットキャプチャ/コンペア一致C | TRCSRレジスタのIMFCビット |
| タイマRCインプットキャプチャ/コンペア一致D | TRCSRレジスタのIMFDビット |
| タイマRD0インプットキャプチャ/コンペア一致A | TRDSR0レジスタのIMFAビット |
| タイマRD0インプットキャプチャ/コンペア一致B | TRDSR0レジスタのIMFBビット |
| タイマRD0インプットキャプチャ/コンペア一致C | TRDSR0レジスタのIMFCビット |
| タイマRD0インプットキャプチャ/コンペア一致D | TRDSR0レジスタのIMFDビット |
| タイマRD1インプットキャプチャ/コンペア一致A | TRDSR1レジスタのIMFAビット |
| タイマRD1インプットキャプチャ/コンペア一致B | TRDSR1レジスタのIMFBビット |
| タイマRD1インプットキャプチャ/コンペア一致C | TRDSR1レジスタのIMFCビット |
| タイマRD1インプットキャプチャ/コンペア一致D | TRDSR1レジスタのIMFDビット |
| フラッシュレディステータス | FSTレジスタのRDYSTIビット |

15.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj、DTDARj(j=0 ~ 23) レジスタの順に配置します。表 15.4 にコントロールデータの配置アドレスを示します。

表 15.4 コントロールデータの配置アドレス

| レジスタ シンボル | コントロール データ番号 | アドレス | DTCCRj レジスタ | DTBLSj レジスタ | DTCCTj レジスタ | DTRLdj レジスタ | DTSARj レジスタ (下位 8ビット) | DTSARj レジスタ (上位 8ビット) | DTDARj レジスタ (下位 8ビット) | DTDARj レジスタ (上位 8ビット) |
|--------------|-----------------|------------------|----------------|----------------|----------------|----------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|
| DTCD0 | コントロール データ0 | 2C40h ~ 2C47h | 2C40h | 2C41h | 2C42h | 2C43h | 2C44h | 2C45h | 2C46h | 2C47h |
| DTCD1 | コントロール データ1 | 2C48h ~ 2C4Fh | 2C48h | 2C49h | 2C4Ah | 2C4Bh | 2C4Ch | 2C4Dh | 2C4Eh | 2C4Fh |
| DTCD2 | コントロール データ2 | 2C50h ~ 2C57h | 2C50h | 2C51h | 2C52h | 2C53h | 2C54h | 2C55h | 2C56h | 2C57h |
| DTCD3 | コントロール データ3 | 2C58h ~ 2C5Fh | 2C58h | 2C59h | 2C5Ah | 2C5Bh | 2C5Ch | 2C5Dh | 2C5Eh | 2C5Fh |
| DTCD4 | コントロール データ4 | 2C60h ~ 2C67h | 2C60h | 2C61h | 2C62h | 2C63h | 2C64h | 2C65h | 2C66h | 2C67h |
| DTCD5 | コントロール データ5 | 2C68h ~ 2C6Fh | 2C68h | 2C69h | 2C6Ah | 2C6Bh | 2C6Ch | 2C6Dh | 2C6Eh | 2C6Fh |
| DTCD6 | コントロール データ6 | 2C70h ~ 2C77h | 2C70h | 2C71h | 2C72h | 2C73h | 2C74h | 2C75h | 2C76h | 2C77h |
| DTCD7 | コントロール データ7 | 2C78h ~ 2C7Fh | 2C78h | 2C79h | 2C7Ah | 2C7Bh | 2C7Ch | 2C7Dh | 2C7Eh | 2C7Fh |
| DTCD8 | コントロール データ8 | 2C80h ~ 2C87h | 2C80h | 2C81h | 2C82h | 2C83h | 2C84h | 2C85h | 2C86h | 2C87h |
| DTCD9 | コントロール データ9 | 2C88h ~ 2C8Fh | 2C88h | 2C89h | 2C8Ah | 2C8Bh | 2C8Ch | 2C8Dh | 2C8Eh | 2C8Fh |
| DTCD10 | コントロール データ10 | 2C90h ~ 2C97h | 2C90h | 2C91h | 2C92h | 2C93h | 2C94h | 2C95h | 2C96h | 2C97h |
| DTCD11 | コントロール データ11 | 2C98h ~ 2C9Fh | 2C98h | 2C99h | 2C9Ah | 2C9Bh | 2C9Ch | 2C9Dh | 2C9Eh | 2C9Fh |
| DTCD12 | コントロール データ12 | 2CA0h ~ 2CA7h | 2CA0h | 2CA1h | 2CA2h | 2CA3h | 2CA4h | 2CA5h | 2CA6h | 2CA7h |
| DTCD13 | コントロール データ13 | 2CA8h ~ 2CAFh | 2CA8h | 2CA9h | 2CAAh | 2CABh | 2CACH | 2CADh | 2CAEh | 2CAFh |
| DTCD14 | コントロール データ14 | 2CB0h ~ 2CB7h | 2CB0h | 2CB1h | 2CB2h | 2CB3h | 2CB4h | 2CB5h | 2CB6h | 2CB7h |
| DTCD15 | コントロール データ15 | 2CB8h ~ 2CBFh | 2CB8h | 2CB9h | 2CBAh | 2CBBh | 2CBCh | 2CBDh | 2CBEh | 2CBFh |
| DTCD16 | コントロール データ16 | 2CC0h ~ 2CC7h | 2CC0h | 2CC1h | 2CC2h | 2CC3h | 2CC4h | 2CC5h | 2CC6h | 2CC7h |
| DTCD17 | コントロール データ17 | 2CC8h ~ 2CCFh | 2CC8h | 2CC9h | 2CCAh | 2CCBh | 2CCCh | 2CCDh | 2CCEh | 2CCFh |
| DTCD18 | コントロール データ18 | 2CD0h ~ 2CD7h | 2CD0h | 2CD1h | 2CD2h | 2CD3h | 2CD4h | 2CD5h | 2CD6h | 2CD7h |
| DTCD19 | コントロール データ19 | 2CD8h ~ 2CDFh | 2CD8h | 2CD9h | 2CDAh | 2CDBh | 2CDCh | 2CDDh | 2CDEh | 2CDFh |
| DTCD20 | コントロール データ20 | 2CE0h ~ 2CE7h | 2CE0h | 2CE1h | 2CE2h | 2CE3h | 2CE4h | 2CE5h | 2CE6h | 2CE7h |
| DTCD21 | コントロール データ21 | 2CE8h ~ 2CEFh | 2CE8h | 2CE9h | 2CEAh | 2CEBh | 2CECh | 2CEDh | 2CEEh | 2CEFh |
| DTCD22 | コントロール データ22 | 2CF0h ~ 2CF7h | 2CF0h | 2CF1h | 2CF2h | 2CF3h | 2CF4h | 2CF5h | 2CF6h | 2CF7h |
| DTCD23 | コントロール データ23 | 2CF8h ~ 2CFFh | 2CF8h | 2CF9h | 2CFAh | 2CFBh | 2CFCh | 2CFDh | 2CFEh | 2CFFh |

j=0 ~ 23

DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTC コントロールデータ領域上に配置されたコントロールデータを読み出します。

表 15.5 に DTC 起動要因と DTC ベクタアドレスを示します。起動要因ごとに DTC ベクタテーブルが 1 バイトあり、“00000000b”～“00010111b”のデータ(表 15.4 のコントロールデータ番号)を格納し、24 組のコントロールデータから 1 つを選択します。

図 15.3 ~ 図 15.7 に DTC 内部動作のフローチャートを示します。

表 15.5 DTC 起動要因と DTC ベクタアドレス

| 割り込み要因発生元 | 名称 | 要因番号 | DTC ベクタアドレス | 優先順位 |
|-------------------------|---------------------|------|-------------|--------|
| 外部入力 | INT0 | 0 | 2C00h | 高 ↑ |
| | INT1 | 1 | 2C01h | |
| | INT2 | 2 | 2C02h | |
| | INT3 | 3 | 2C03h | |
| | INT4 | 4 | 2C04h | |
| キー入力 | キー入力 | 8 | 2C08h | ↓ 低 |
| A/D | A/D 変換 | 9 | 2C09h | |
| UART0 | UART0 受信 | 10 | 2C0Ah | |
| | UART0 送信 | 11 | 2C0Bh | |
| UART1 | UART1 受信 | 12 | 2C0Ch | |
| | UART1 送信 | 13 | 2C0Dh | |
| UART2 | UART2 受信 | 14 | 2C0Eh | |
| | UART2 送信 | 15 | 2C0Fh | |
| SSU/I ² C バス | 受信データフル | 16 | 2C10h | |
| | 送信データエンpty | 17 | 2C11h | |
| 電圧検出回路 | 電圧監視 2/コンパレータ A2 | 18 | 2C12h | |
| | 電圧監視 1/コンパレータ A1 | 19 | 2C13h | |
| タイマ RC | インプットキャプチャ/コンペア一致 A | 22 | 2C16h | |
| | インプットキャプチャ/コンペア一致 B | 23 | 2C17h | |
| | インプットキャプチャ/コンペア一致 C | 24 | 2C18h | |
| | インプットキャプチャ/コンペア一致 D | 25 | 2C19h | |
| タイマ RD0 | インプットキャプチャ/コンペア一致 A | 26 | 2C1Ah | |
| | インプットキャプチャ/コンペア一致 B | 27 | 2C1Bh | |
| | インプットキャプチャ/コンペア一致 C | 28 | 2C1Ch | |
| | インプットキャプチャ/コンペア一致 D | 29 | 2C1Dh | |
| タイマ RD1 | インプットキャプチャ/コンペア一致 A | 30 | 2C1Eh | |
| | インプットキャプチャ/コンペア一致 B | 31 | 2C1Fh | |
| | インプットキャプチャ/コンペア一致 C | 32 | 2C20h | |
| | インプットキャプチャ/コンペア一致 D | 33 | 2C21h | |
| タイマ RE | タイマ RE | 42 | 2C2Ah | |
| タイマ RA | タイマ RA | 49 | 2C31h | |
| タイマ RB | タイマ RB | 51 | 2C33h | |
| フラッシュメモリ | フラッシュレディステータス | 52 | 2C34h | |

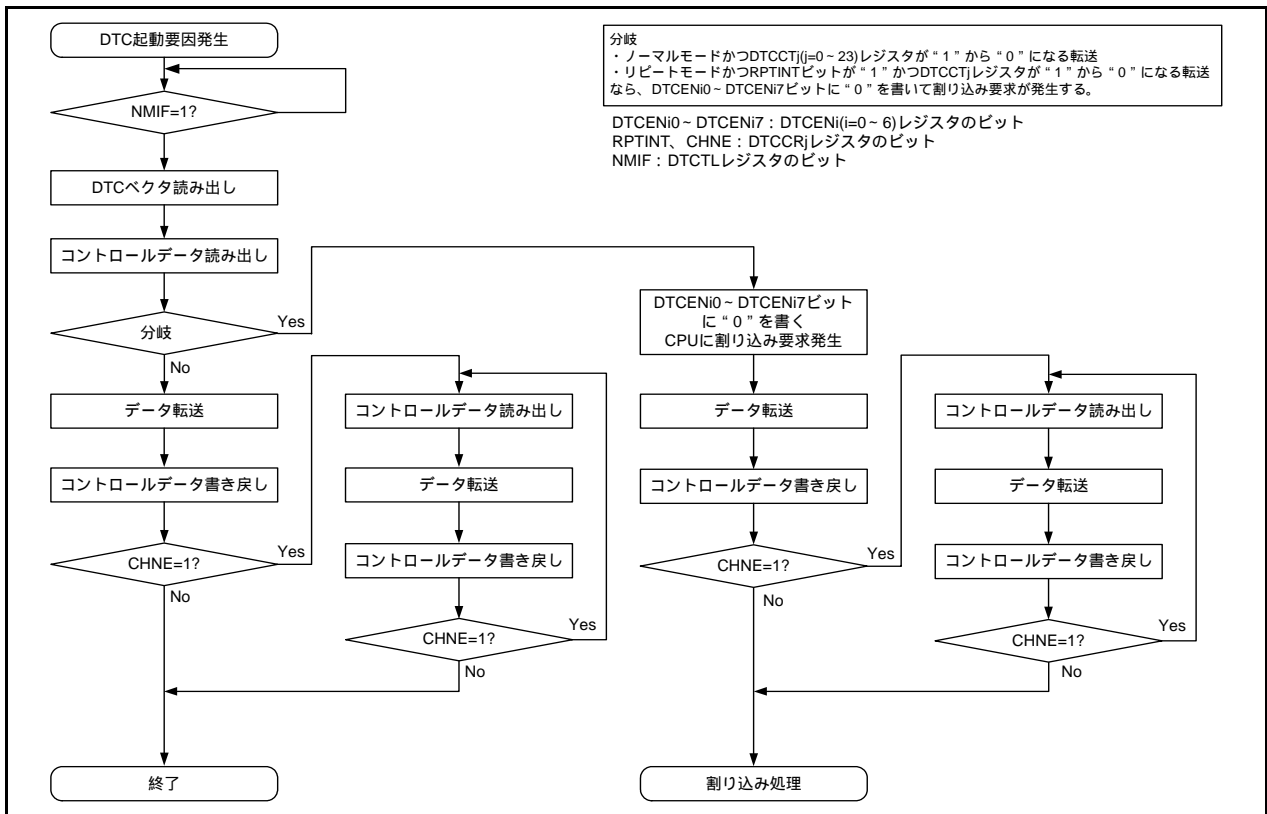


図 15.3 DTC 起動要因が SSU/I²C バス、タイマ RC、タイマ RD、フラッシュメモリの割り込み要因でないときの DTC 内部動作フローチャート

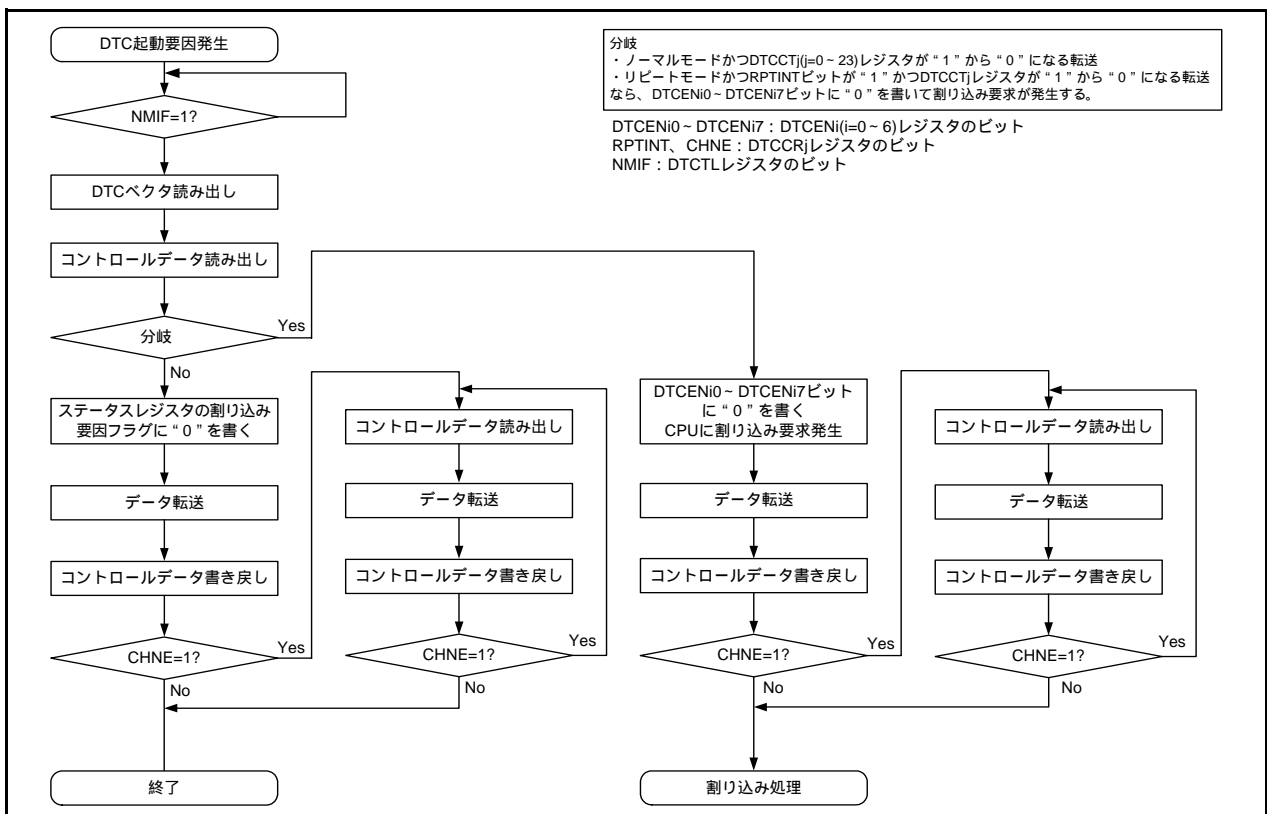


図 15.4 DTC 起動要因がタイマ RC、タイマ RD の割り込み要因であるときの DTC 内部動作フローチャート

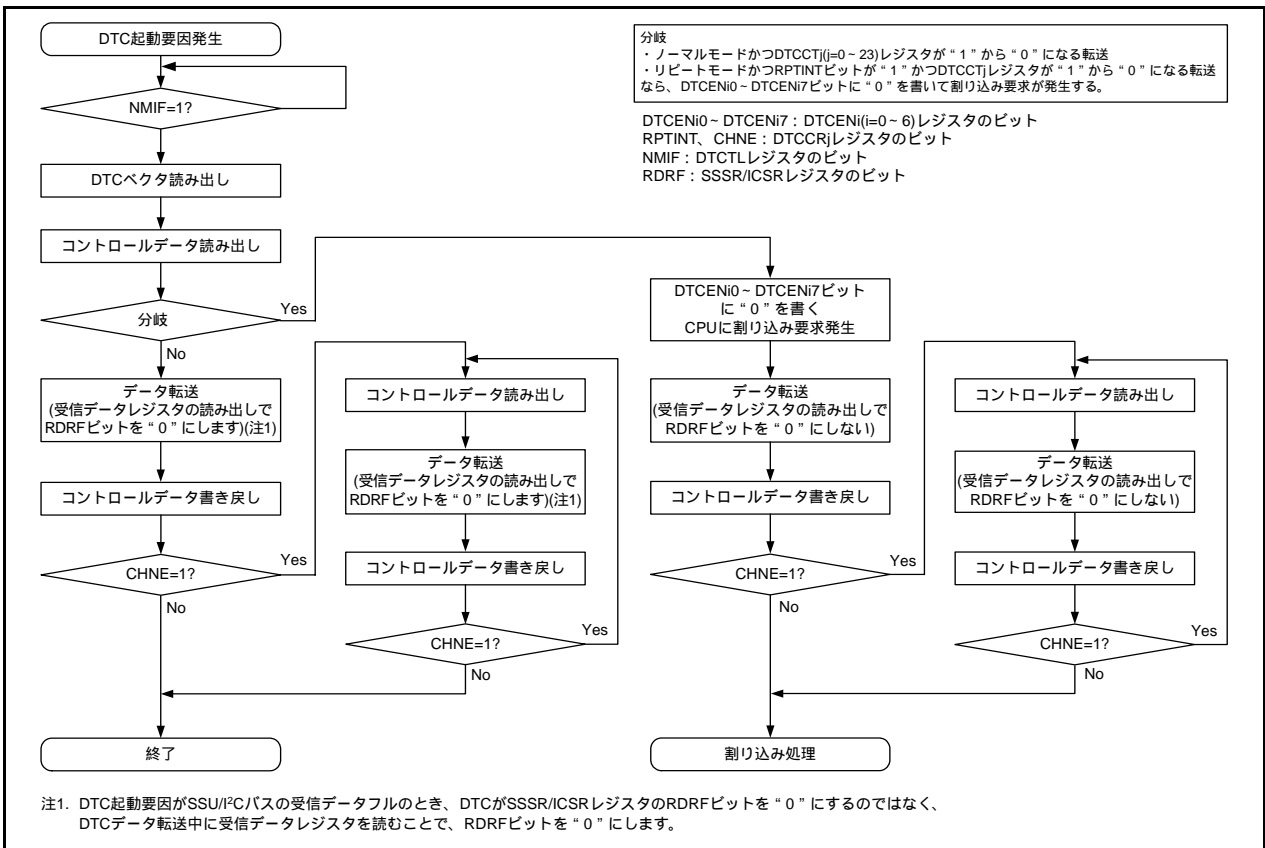


図 15.5 DTC起動要因がSSU/I²Cバスの受信データフルであるときのDTC内部動作フローチャート

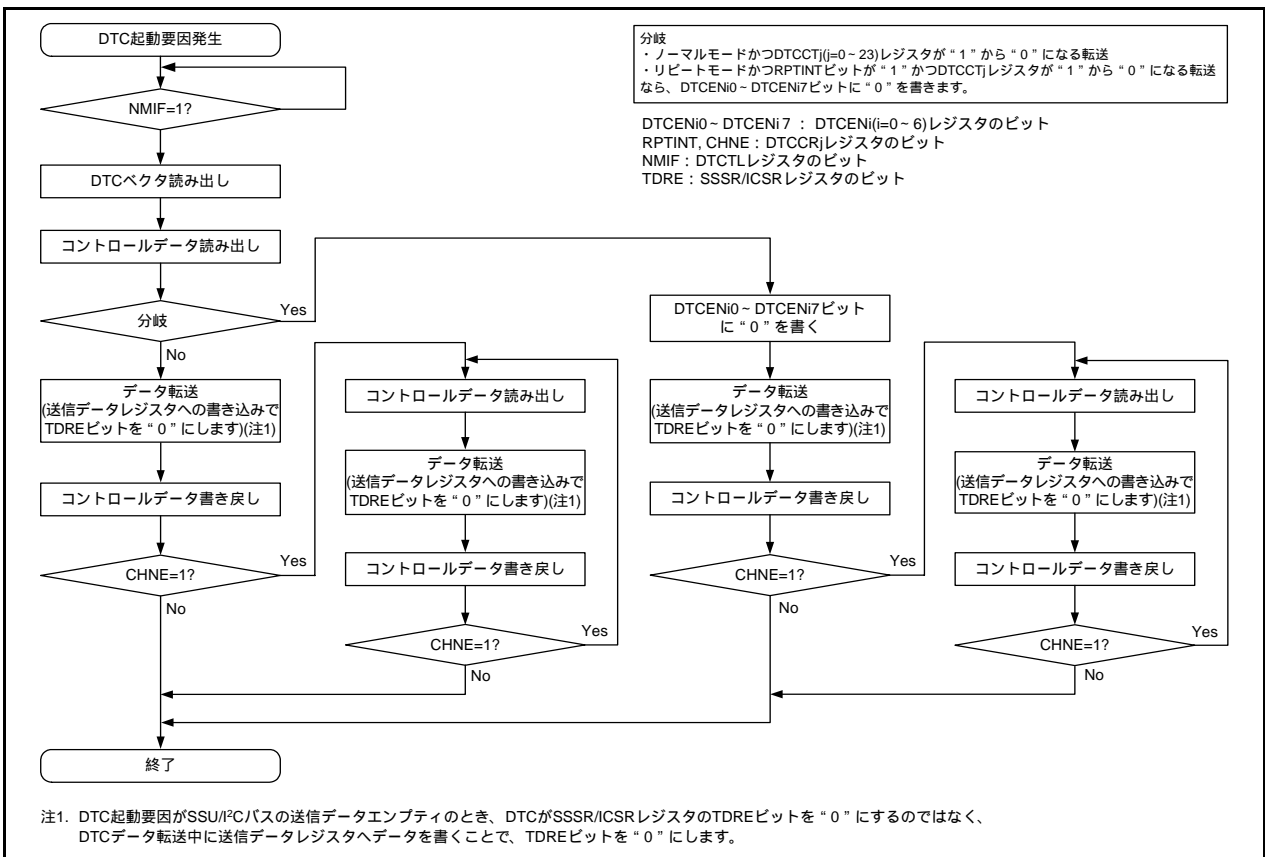


図 15.6 DTC起動要因がSSU/I²Cバスの送信データエンptyであるときのDTC内部動作フローチャート

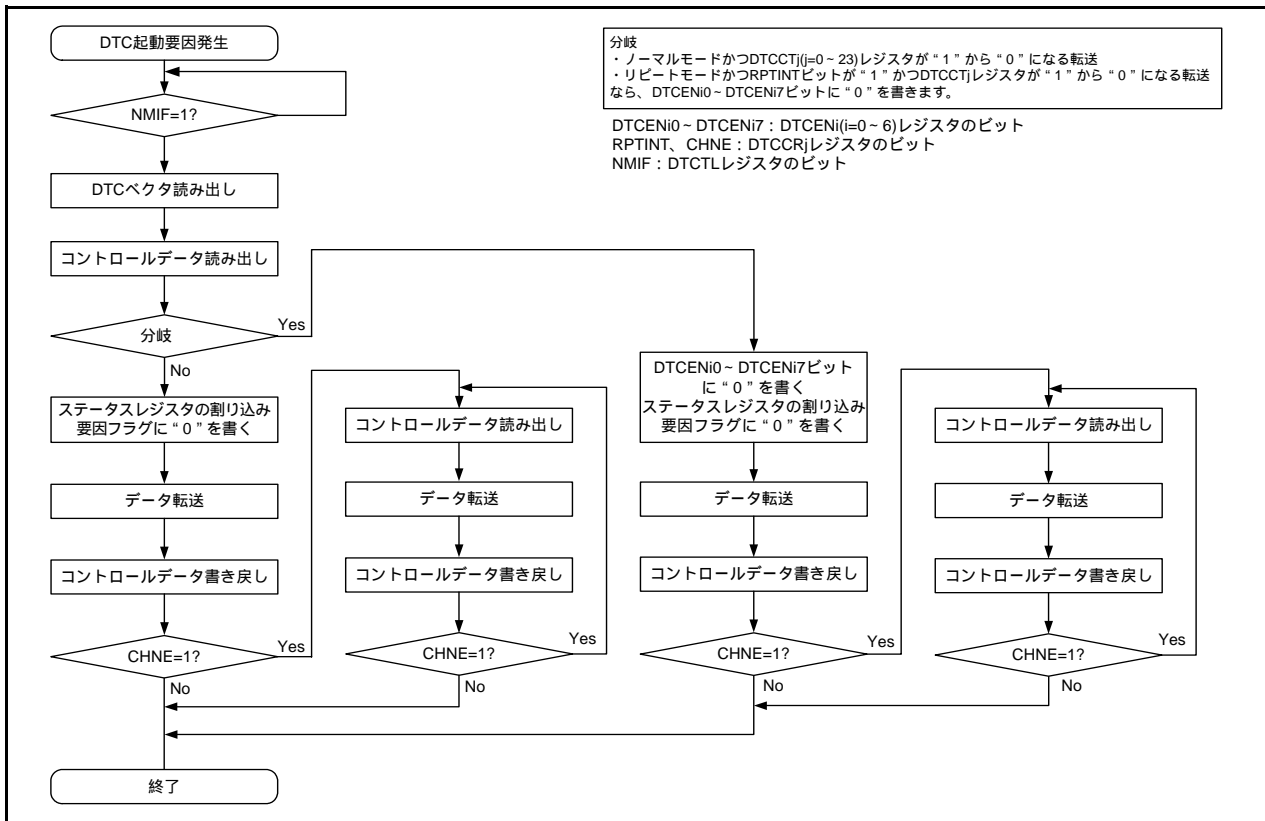


図 15.7 DTC 起動要因がフラッシュレディステータスであるときの DTC 内部動作フローチャート

15.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTj(j=0～23)レジスタが“0”になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求を発生します。

表 15.6にノーマルモードでのレジスタ機能を示します。

図 15.8にノーマルモードでのデータ転送を示します。

表 15.6 ノーマルモードでのレジスタ機能

| レジスタ | シンボル | 機能 |
|------------------------|--------|----------------------|
| DTC ブロックサイズレジスタj | DTBLSj | 1回の起動で転送するデータブロックサイズ |
| DTC 転送回数レジスタj | DTCCTj | データ転送回数 |
| DTC 転送回数リロードレジスタj | DTRLdj | 使用しません |
| DTC ソースアドレスレジスタj | DTSARj | データの転送元アドレス |
| DTC デスティネーションアドレスレジスタj | DTDARj | データの転送先アドレス |

j=0～23

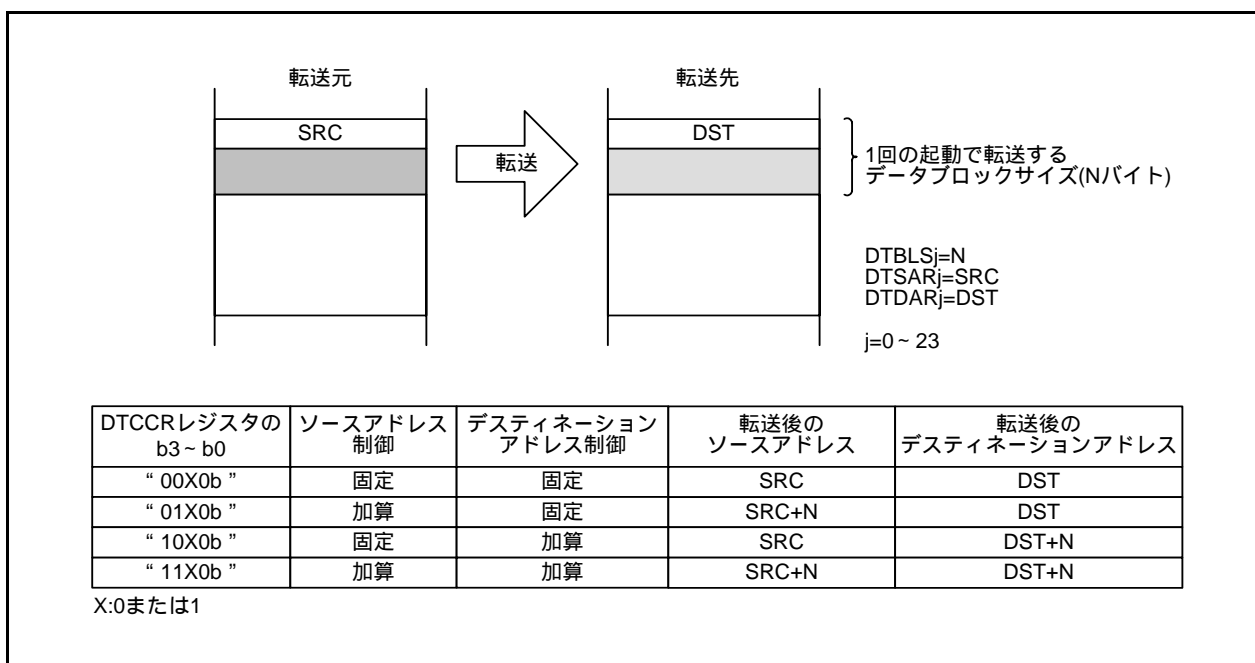


図 15.8 ノーマルモードでのデータ転送

15.3.5 リピートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数転送が終了すると、DTCCTj(j=0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)でDTCCTjレジスタが“0”になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを“00h”にしてください。また、指定回数転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表 15.7 にリピートモードでのレジスタ機能を示します。図 15.9 にリピートモードでのデータ転送を示します。

表 15.7 リピートモードでのレジスタ機能

| レジスタ | シンボル | 機能 |
|-----------------------|--------|--------------------------------------|
| DTCブロックサイズレジスタj | DTBLSj | 1回の起動で転送するデータブロックサイズ |
| DTC転送回数レジスタj | DTCCTj | データ転送回数 |
| DTC転送回数リロードレジスタj | DTRLdj | このレジスタの値をDTCCTレジスタへリロード(データ転送回数を初期化) |
| DTCソースアドレスレジスタj | DTSARj | データの転送元アドレス |
| DTCデスティネーションアドレスレジスタj | DTDARj | データの転送先アドレス |

j=0～23

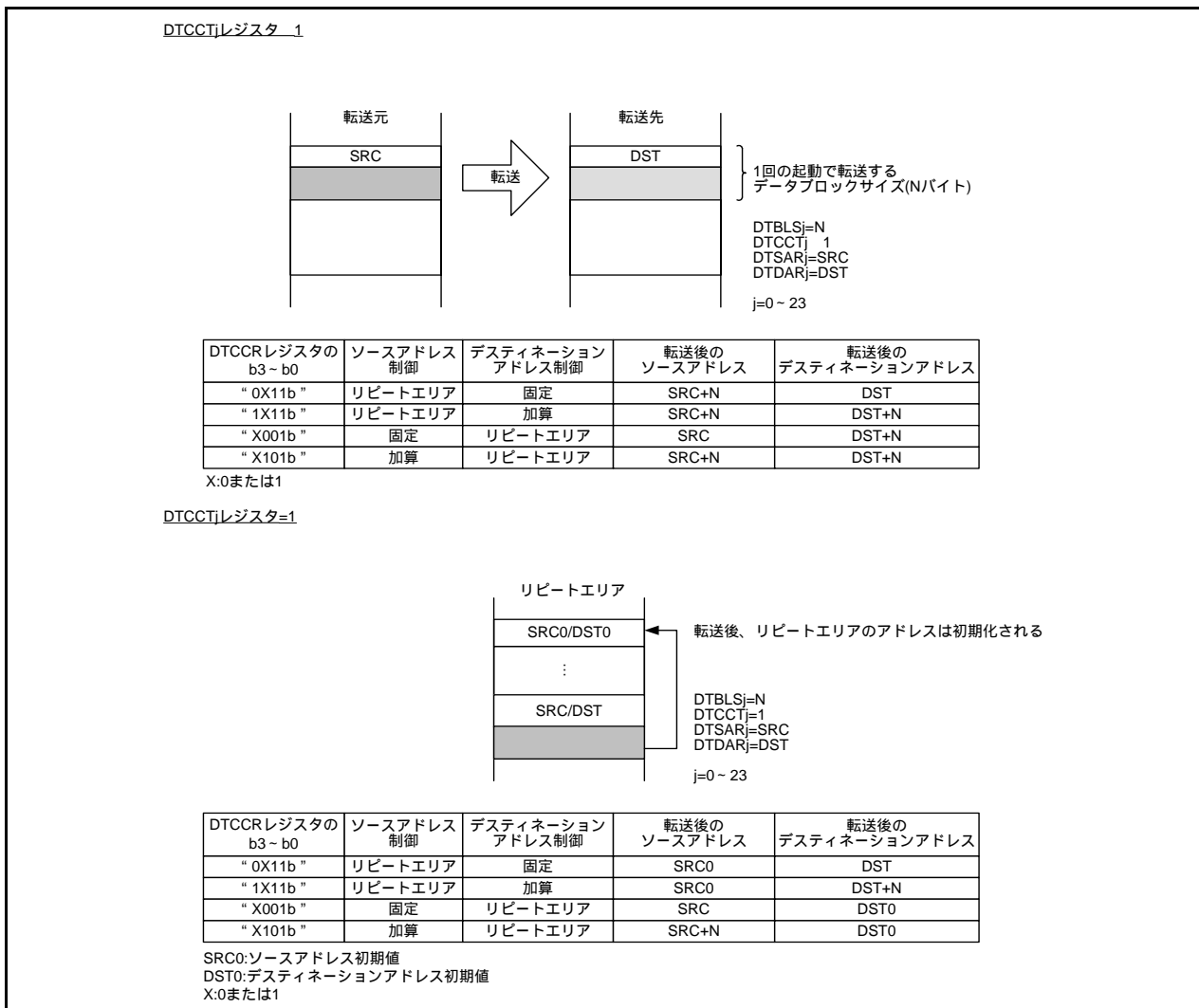


図 15.9 リピートモードでのデータ転送

15.3.6 チェイン転送

DTCCRj(j=0 ~ 22)レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図 15.10にチェイン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが“1”(チェイン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが“0”(チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは“0”(チェイン転送禁止)にしてください。

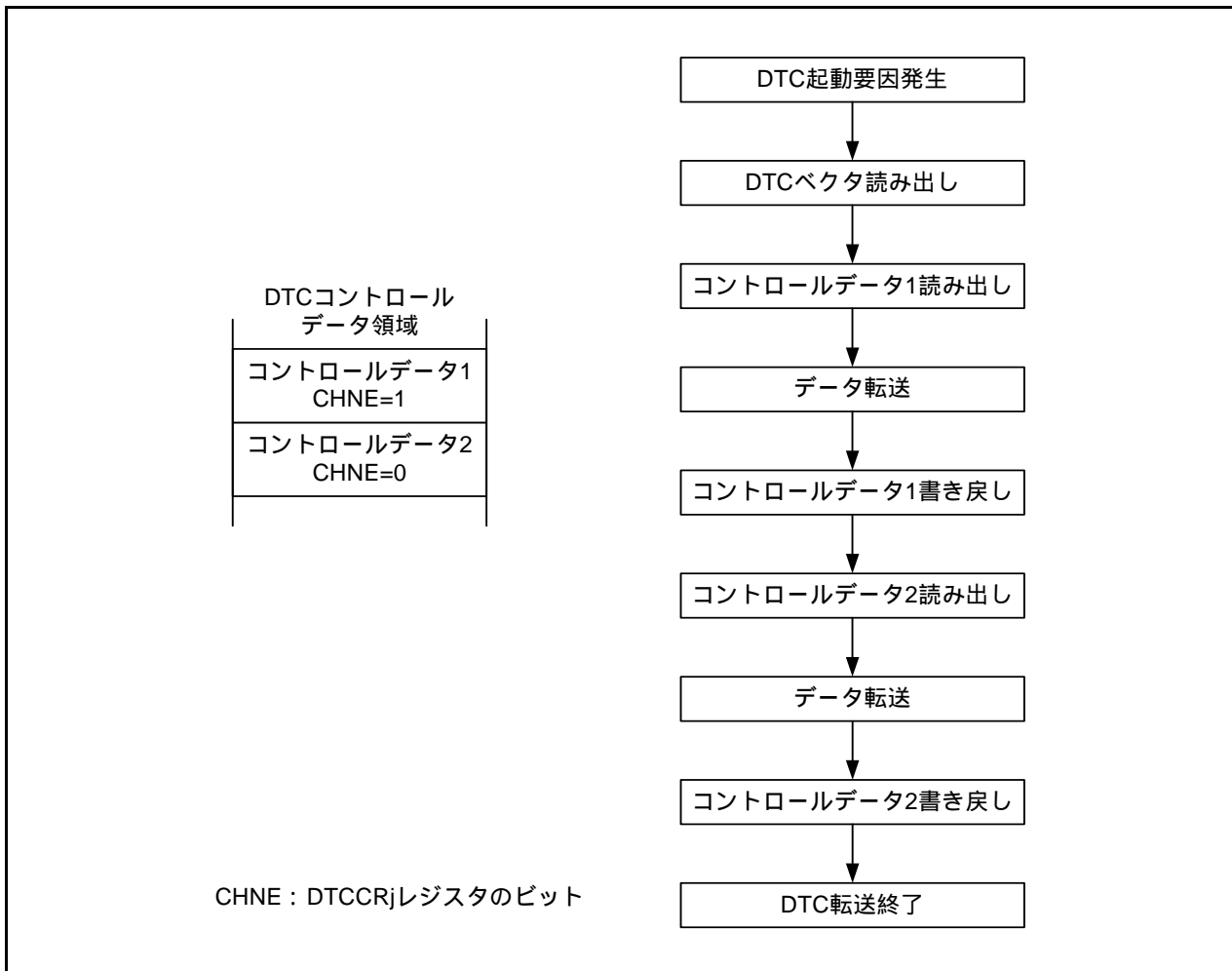


図 15.10 チェイン転送のフロー

15.3.7 割り込み要因

DTCがノーマルモードでDTCCTj(j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU/I²Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェイン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi(i=0 ~ 6)レジスタのDTCENi0 ~ DTCENi7(i=0 ~ 6)ビットは“0”(起動禁止)になります。

15.3.8 動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは5 サイクルかかります。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図 15.11 にDTCの動作タイミング例を、図 15.12 にチェイン転送時のDTCの動作タイミング例を示します。

表 15.8 にコントロールデータ書き戻し仕様を示します。

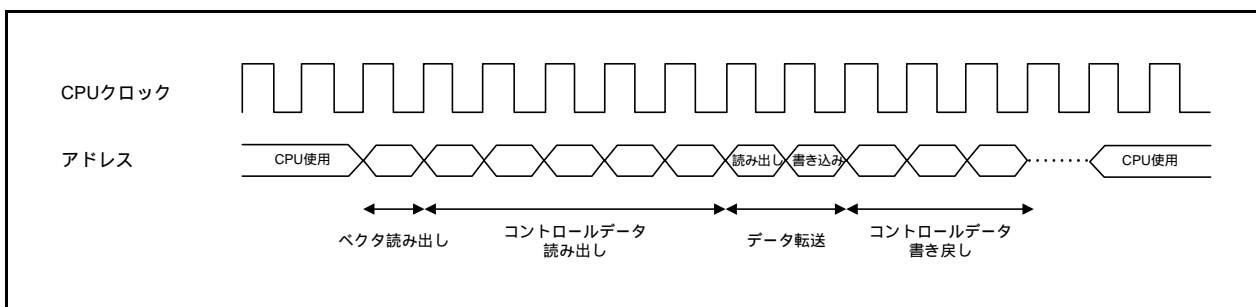


図 15.11 DTCの動作タイミング例

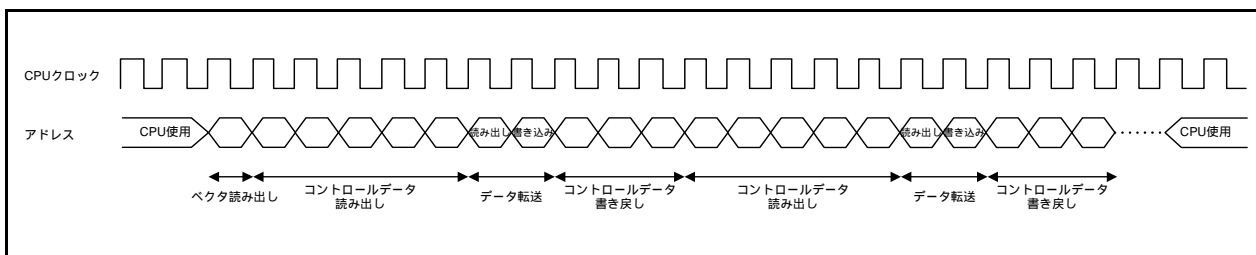


図 15.12 チェイン転送時のDTCの動作タイミング例

表 15.8 コントロールデータ書き戻し仕様

| DTCCR レジスタの b3 ~ b0 | 動作モード | アドレス制御 | | 書き戻すコントロールデータ | | | | サイクル数 |
|---------------------------|-------------|--------|-----------|----------------------------|----------------------------|----------------------------|----------------------------|-------|
| | | ソース | デスティネーション | DTCCT _j レジスタ | DTRL _{Dj} レジスタ | DTSAR _j レジスタ | DTDAR _j レジスタ | |
| "00X0b" | ノーマル モード | 固定 | 固定 | 書き戻す | 書き戻す | 書き戻さない | 書き戻さない | 1 |
| "01X0b" | | 加算 | 固定 | 書き戻す | 書き戻す | 書き戻す | 書き戻さない | 2 |
| "10X0b" | | 固定 | 加算 | 書き戻す | 書き戻す | 書き戻さない | 書き戻す | 2 |
| "11X0b" | | 加算 | 加算 | 書き戻す | 書き戻す | 書き戻す | 書き戻す | 3 |
| "0X11b" | リピート モード | リピート | 固定 | 書き戻す | 書き戻す | 書き戻す | 書き戻さない | 2 |
| "1X11b" | | エリア | 加算 | 書き戻す | 書き戻す | 書き戻す | 書き戻す | 3 |
| "X001b" | | 固定 | リピート | 書き戻す | 書き戻す | 書き戻さない | 書き戻す | 2 |
| "X101b" | | 加算 | エリア | 書き戻す | 書き戻す | 書き戻す | 書き戻す | 3 |

j=0 ~ 23

X: 0または1

15.3.9 DTC実行サイクル数

表 15.9にDTC起動時の実行状態と必要なサイクル数を示します。表 15.10にデータ転送に必要なサイクル数を示します。

表 15.9 DTC起動時の実行状態と必要なサイクル数

| ベクタ読み出し | コントロールデータ | | データ読み出し | データ書き込み | 内部動作 |
|---------|-----------|------|---------|---------|------|
| | 読み出し | 書き戻し | | | |
| 1 | 5 | (注2) | (注1) | (注1) | 1 |

注1. データ読み出し/データ書き込みに必要なサイクル数は「表 15.10 データ転送に必要なサイクル数」を参照してください。

注2. コントロールデータの書き戻しに必要なサイクル数は「表 15.8 コントロールデータ書き戻し仕様」を参照してください。

DTBLSj(j=0 ~ 23)レジスタ=Nとすると、データ転送時、

(1) $N=2n$ (偶数)のとき、 n 回の2バイト転送

(2) $N=2n+1$ (奇数)のとき、 n 回の2バイト転送後、1回の1バイト転送を実行します。

表 15.10 データ転送に必要なサイクル数

| 実行状態 | 転送単位 | 内部RAM (DTC転送中) | | 内部ROM (プログラムROM) | 内部ROM (データフラッシュ) | SFR (ワードアクセス) | | SFR (バイトアクセス) | | SFR (DTCコントロールデータ領域) | |
|---------|---------|-------------------|------|---------------------|---------------------|------------------|------|------------------|------|-------------------------|---|
| | | 偶数番地 | 奇数番地 | | | 偶数番地 | 奇数番地 | 偶数番地 | 奇数番地 | | |
| データ読み出し | 1バイトSK1 | 1 | | 1 | 2 | 2 | | 2 | | 1 | |
| | 2バイトSK2 | 1 | 2 | 2 | 4 | 2 | 4 | 4 | | 1 | 2 |
| データ書き込み | 1バイトSL1 | 1 | | — | — | 2 | | 2 | | 1 | |
| | 2バイトSL2 | 1 | 2 | — | — | 2 | 4 | 4 | | 1 | 2 |

実行サイクル数は下記計算式で求められます。

実行サイクル数 = $1 + \sum[\text{式A}] + 2$

\sum は1つの起動要因で転送する回数分(CHNEビットが“1”に設定されている数+1)の和

(1) $N = 2n$ (偶数)のとき

式A = $J + n \cdot SK2 + n \cdot SL2$

(2) $N = 2n + 1$ (奇数)のとき

式A = $J + n \cdot SK2 + 1 \cdot SK1 + n \cdot SL2 + 1 \cdot SL1$

J: コントロールデータ読み出しサイクル数(5サイクル) + 書き戻しに必要なサイクル数

16ビット単位でアクセスする必要のあるレジスタに対して、データ読み出しまたはデータ書き込みを行う場合は、DTBLSj(j = 0 ~ 23)レジスタに2以上の偶数値を設定してください。

DTCは16ビット単位でアクセスします。

15.3.10 DTC起動要因受付と割り込み要因フラグ

15.3.10.1 フラッシュメモリ、タイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット(SSU)/I²Cバス以外の割り込み要因

DTC起動要因がフラッシュメモリ、タイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット/I²Cバス以外の割り込み要因であるとき、DTCは割り込み要因が発生してからCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。ソフトウェアコマンド実行時に割り込み要因が発生した場合、CPUクロックの9～16サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC起動要因を受け付けることができません。

15.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になってからDTCが“0”(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを“0”にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが“1”になってから、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル必要です。ソフトウェアコマンド実行時にフラッシュレディステータス割り込みが発生した場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル必要です。また、DTC動作中にフラッシュレディステータス割り込み要求が発生し、DTC起動要因として受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル後に、RDYSTIビットが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが“0”になります。

15.3.10.3 タイマRC、タイマRD

DTC起動要因がタイマRC、タイマRDの割り込み要因であるとき、割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、各タイマのインプットキャプチャ/コンペアー一致が発生しても、DTC起動要因になりません。DTCが割り込み要因フラグを“0”にした後、インプットキャプチャ/コンペアー一致が発生すると、DTCは起動要因として受け付けます。割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。ソフトウェアコマンド実行時に割り込み要因フラグが“1”になった場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。また、DTC起動中にタイマRC、タイマRDの各DTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。

15.3.10.4 SSU/I²Cバス受信データフル

DTC起動要因がSSU/I²Cバス受信データフルであるとき、データ転送でSSRDR/ICDRRレジスタを読んでください。SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。その後、受信データフルの割り込み要因が発生すると、DTCは起動要因として受け付けます。

15.3.10.5 SSU/I²Cバス送信データエンプティ

DTC起動要因がSSU/I²Cバス送信データエンプティであるとき、データ転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。その後、送信データエンプティの割り込み要因が発生すると、DTCは起動要因として受け付けます。

15.4 DTC使用上の注意

15.4.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

15.4.2 DTCENi(i=0 ~ 6)レジスタ

- DTCENi0 ~ DTCENi7ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0 ~ DTCENi7ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

15.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I²Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTj(j=0 ~ 23)レジスタが“1”から“0”になる転送
 - リピートモードかつDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I²Cバス送信データエンプティのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

15.4.4 割り込み要求

DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCTj(j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

16. タイマ総論

タイマは、8ビットプリスケータ付き8ビットタイマを2本と、16ビットタイマを3本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。8ビットプリスケータ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRCの1本、タイマRDの2本です。4ビットカウンタ、8ビットカウンタは、アウトプットコンペアを持ったタイマREです。すべてのタイマは、それぞれ独立して動作します。

表 16.1 ~ 表 16.2 に各タイマの機能比較を示します。

表 16.1 各タイマの機能比較(1)

| 項目 | タイマRA | タイマRB | タイマRC | タイマRD | タイマRE | |
|---------|--|---|--|--|--|-------------------|
| 構成 | 8ビットプリスケール付8ビットタイマ(リロードレジスタ付) | 8ビットプリスケール付8ビットタイマ(リロードレジスタ付) | 16ビットタイマ(インプットキャプチャ、アウトプットコンペア付) | 16ビットタイマ×2(インプットキャプチャ、アウトプットコンペア付) | 4ビットカウンタ8ビットカウンタ | |
| カウント | ダウンカウント | ダウンカウント | アップカウント | アップカウント/ ダウンカウント | アップカウント | |
| カウントソース | <ul style="list-style-type: none"> •f1 •f2 •f8 •fOCO •fC32 •fC | <ul style="list-style-type: none"> •f1 •f2 •f8 •タイマRAアンダフロー | <ul style="list-style-type: none"> •f1 •f2 •f4 •f8 •f32 •fOCO40M •fOCO-F •TRCCLK | <ul style="list-style-type: none"> •f1 •f2 •f4 •f8 •f32 •fC2 •fOCO40M •fOCO-F •TRDCLK | <ul style="list-style-type: none"> •f4 •f8 •f32 •fC4 | |
| 機能 | 内部のカウントソースのカウント | タイマモード | タイマモード | タイマモード(アウトプットコンペア機能) | タイマモード(アウトプットコンペア機能) | - |
| | 外部のカウントソースのカウント | イベントカウンタモード | - | タイマモード(アウトプットコンペア機能) | タイマモード(アウトプットコンペア機能) | - |
| | 外部パルス幅/周期測定 | パルス幅測定モード パルス周期測定モード | - | タイマモード(インプットキャプチャ機能; 4本) | タイマモード(インプットキャプチャ機能; 2×4本) | - |
| | PWM出力 | パルス出力モード(注1) イベントカウンタモード(注1) | プログラマブル波形発生モード | タイマモード(アウトプットコンペア機能; 4本)(注1) PWMモード(3本) PWM2モード(1本) | タイマモード(アウトプットコンペア機能; 2×4本)(注1) PWMモード(2×3本) PWM3モード(1×2本) | アウトプットコンペアモード(注1) |
| | ワンショット波形出力 | - | プログラマブルワンショット発生モード プログラマブルウェイトワンショット発生モード | PWMモード(3本) | PWMモード(2×3本) | - |
| | 三相波形出力 | - | - | - | リセット同期PWMモード(2×3本、鋸波変調) 相補PWMモード(2×3本、三角波変調、短絡防止時間あり) | - |
| | 時計 | タイマモード(fC32カウントのみ) | - | - | - | リアルタイムクロックモード |

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

表 16.2 各タイマの機能比較(2)

| 項目 | タイマRA | タイマRB | タイマRC | タイマRD | タイマRE |
|----------|------------------------|------------------------|--|--|-----------|
| 入力端子 | TRAIO、 INT2 | INT0 | INT0、TRCCLK、 TRCTRГ、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD | INT0、TRDCLK、 TRDIOA0、 TRDIOA1、 TRDIOB0、 TRDIOB1、 TRDIOC0、 TRDIOC1、 TRDIOD0、 TRDIOD1 | - |
| 出力端子 | TRAO、 TRAIO | TRBO | TRCIOA、TRCIOB、 TRCIOC、TRCIOD | TRDIOA0、 TRDIOA1、 TRDIOB0、 TRDIOB1、 TRDIOC0、 TRDIOC1、 TRDIOD0、 TRDIOD1 | TREO |
| 関連する割り込み | タイマRA割り込み、 INT2割り込み | タイマRB割り込み、 INT0割り込み | コンペア一致/イン プットキャプチャA~ D割り込み、 オーバフロー割り込み、 INT0割り込み | コンペア一致/イン プットキャプチャA0 ~D0割り込み、 コンペア一致/イン プットキャプチャA1 ~D1割り込み、 オーバフロー割り込み、 アンダフロー割り込み (注1)、 INT0割り込み | タイマRE割り込み |
| タイマ停止 | あり | あり | あり | あり | あり |

注1. アンダフロー割り込みは、タイマRD1のみ設定可能です。

17.2 レジスタの説明

17.2.1 タイマRA制御レジスタ(TRACR)

アドレス 0100h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|-------|-------|----|-------|-------|--------|
| シンボル | - | - | TUNDF | TEDGF | - | TSTOP | TCSTF | TSTART |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|------------------------------------|-----|
| b0 | TSTART | タイマRAカウント開始ビット(注1) | 0: カウント停止 1: カウント開始 | R/W |
| b1 | TCSTF | タイマRAカウントステータスフラグ(注1) | 0: カウント停止 1: カウント中 | R |
| b2 | TSTOP | タイマRAカウント強制停止ビット(注2) | “1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。 | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - | - |
| b4 | TEDGF | 有効エッジ判定フラグ(注3、4) | 0: 有効エッジなし 1: 有効エッジあり(測定期間終了) | R/W |
| b5 | TUNDF | タイマRAアンダフローフラグ(注3) | 0: アンダフローなし 1: アンダフローあり | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - | - |
| b7 | - | | | |

注1. TSTART、TCSTFビットの使用上の注意事項については、「17.8 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードではTEDGFビットを使用しません。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

17.2.2 タイマRA I/O制御レジスタ(TRAIOC)

アドレス 0101h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|--------|--------|-------|-------|--------|-------|-------|---------|
| シンボル | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | TIOSEL | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|------------------|-----------------|-----|
| b0 | TEDGSEL | TRAIO極性切り替えビット | 動作モードによって機能が異なる | R/W |
| b1 | TOPCR | TRAIO出力制御ビット | | R/W |
| b2 | TOENA | TRAIO出力許可ビット | | R/W |
| b3 | TIOSEL | ハードウェアLIN機能選択ビット | | R/W |
| b4 | TIPF0 | TRAIO入力フィルタ選択ビット | | R/W |
| b5 | TIPF1 | | | R/W |
| b6 | TIOGT0 | TRAIOイベント入力制御ビット | | R/W |
| b7 | TIOGT1 | | | R/W |

17.2.3 タイマRAモードレジスタ(TRAMR)

アドレス 0102h番地

| | | | | | | | | |
|---------|--------|------|------|------|----|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TCKCUT | TCK2 | TCK1 | TCK0 | - | TMOD2 | TMOD1 | TMOD0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | TMOD0 | タイマRA動作モード選択ビット | b2 b1 b0 000: タイマモード 001: パルス出力モード 010: イベントカウンタモード 011: パルス幅測定モード 100: パルス周期測定モード 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください | R/W |
| b1 | TMOD1 | | | R/W |
| b2 | TMOD2 | | | R/W |
| | | | | - |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - | - |
| b4 | TCK0 | タイマRAカウントソース選択ビット | b6 b5 b4 000: f1 001: f8 010: fOCO 011: f2 100: fC32 101: 設定しないでください 110: fC 111: 設定しないでください | R/W |
| b5 | TCK1 | | | R/W |
| b6 | TCK2 | | | R/W |
| | | | | - |
| b7 | TCKCUT | タイマRAカウントソース遮断ビット | 0: カウントソース供給 1: カウントソース遮断 | R/W |

TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRAMRレジスタを変更してください。

17.2.4 タイマRAプリスケアラレジスタ(TRAPRE)

アドレス 0103h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 (注1) |

| ビット | モード | 機能 | 設定範囲 | R/W |
|---------|-------------|---|-----------|-----|
| b7 ~ b0 | タイマモード | 内部カウントソースをカウント | 00h ~ FFh | R/W |
| | パルス出力モード | | 00h ~ FFh | R/W |
| | イベントカウンタモード | 外部カウントソースをカウント | 00h ~ FFh | R/W |
| | パルス幅測定モード | 外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント) | 00h ~ FFh | R/W |
| | パルス周期測定モード | 外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント) | 00h ~ FFh | R/W |

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

17.2.5 タイマRAレジスタ(TRA)

アドレス 0104h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 (注1) |

| ビット | モード | 機能 | 設定範囲 | R/W |
|---------|------|------------------------|----------------|-----|
| b7 ~ b0 | 全モード | TRAPREレジスタのアンダフローをカウント | 00h ~ FFh (注2) | R/W |

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

注2. パルス幅測定モードおよびパルス周期測定モードでは、TRAレジスタに00hを設定しないでください。

17.2.6 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

| | | | | | | | | |
|---------|----|----|----|----|----------|----|------------|------------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | TRAOSEL0 | - | TRAIOSSEL1 | TRAIOSSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|--|--|-----|
| b0 | TRAIOSSEL0 | TRAI0端子選択ビット | b1 b0 00 : TRAI0端子は使用しない 01 : P1_7に割り当てる 10 : P1_5に割り当てる 11 : 設定しないでください | R/W |
| b1 | TRAIOSSEL1 | | | R/W |
| b2 | - | 予約ビット | “0” にしてください | R/W |
| b3 | TRAOSEL0 | TRAO端子選択ビット | 0 : P3_7に割り当てる 1 : P3_0に割り当てる | R/W |
| b4 | - | 予約ビット | “0” にしてください | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

17.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 17.2)。

表 17.2 タイマモードの仕様

| 項 目 | 仕 様 |
|---------------|---|
| カウントソース | f1、f2、f8、fOCO、fC32、fC |
| カウント動作 | ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 |
| 分周比 | $1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値 |
| カウント開始条件 | TRACR レジスタのTSTART ビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | ・TRACR レジスタのTSTART ビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOP ビットへの“1”(カウント強制停止)書き込み |
| 割り込み要求発生タイミング | タイマRAのアンダフロー時 [タイマRA割り込み] |
| TRAI0 端子機能 | プログラマブル入出力ポート |
| TRAO 端子機能 | プログラマブル入出力ポート |
| タイマの読み出し | TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される |
| タイマの書き込み | ・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照) |

17.3.1 タイマRA I/O制御レジスタ(TRAI0C)[タイマモード時]

アドレス 0101h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| シンボル | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | - | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|------------------|--------------------|-----|
| b0 | TEDGSEL | TRAI0極性切り替えビット | タイマモードでは“0”にしてください | R/W |
| b1 | TOPCR | TRAI0出力制御ビット | | R/W |
| b2 | TOENA | TRAO出力許可ビット | | R/W |
| b3 | - | 予約ビット | “0”にしてください。 | R/W |
| b4 | TIPF0 | TRAI0入力フィルタ選択ビット | タイマモードでは“0”にしてください | R/W |
| b5 | TIPF1 | | | R/W |
| b6 | TIOGT0 | TRAI0イベント入力制御ビット | | R/W |
| b7 | TIOGT1 | | | R/W |

17.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケアラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、カウント中にプリスケアラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図 17.2にタイマRAカウント中にカウント値を書き換えた場合の動作例を示します。

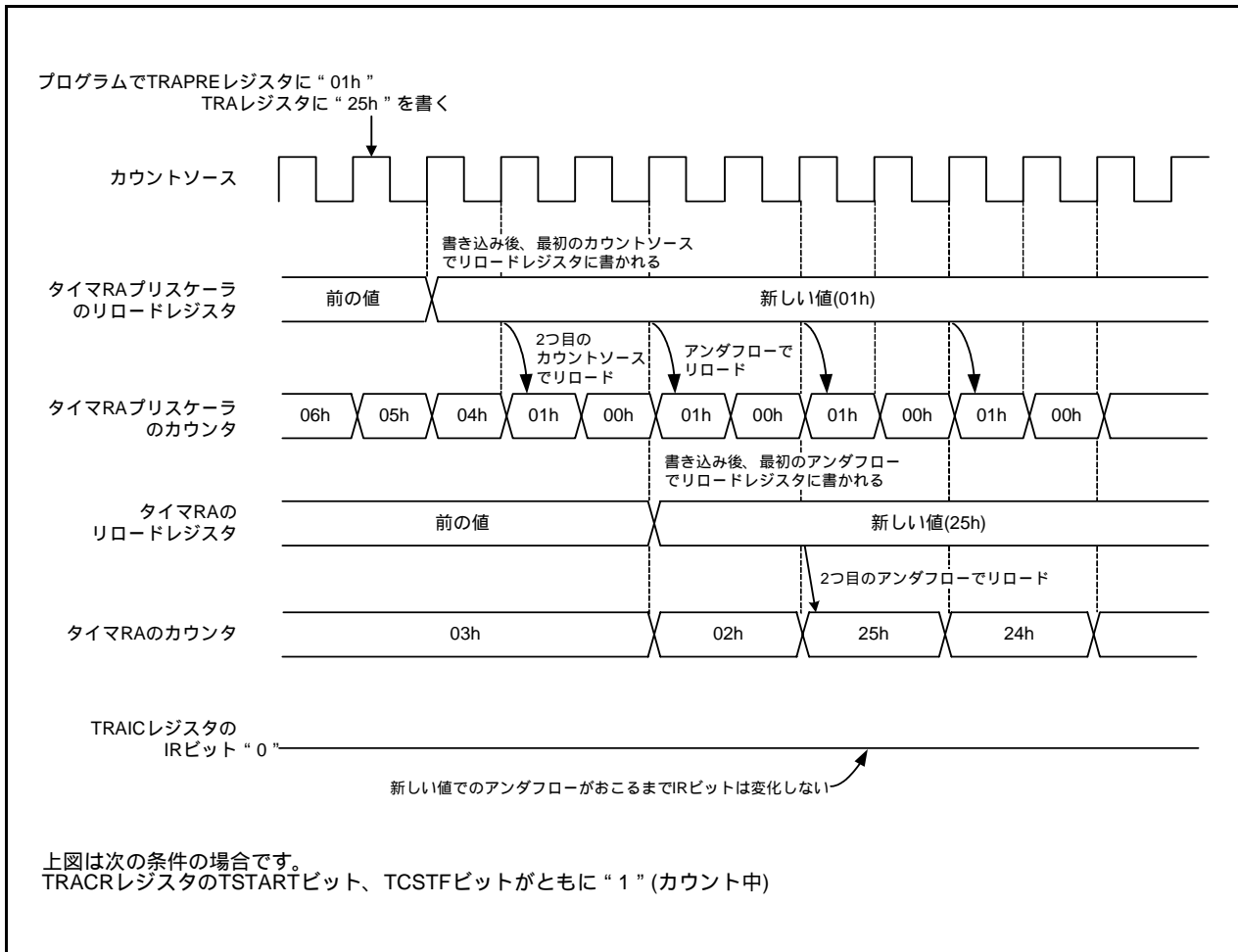


図 17.2 タイマRAカウント中にカウント値を書き換えた場合の動作例

17.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表 17.3)。

表 17.3 パルス出力モードの仕様

| 項目 | 仕様 |
|---------------|--|
| カウントソース | f1、f2、f8、fOCO、fC32、fC |
| カウント動作 | <ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 |
| 分周比 | $1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値 |
| カウント開始条件 | TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> ・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み |
| 割り込み要求発生タイミング | タイマRAのアンダフロー時 [タイマRA割り込み] |
| TRAIO信号端子機能 | パルス出力、またはプログラマブル出力ポート |
| TRAO端子機能 | プログラマブル入出力ポート、またはTRAIO出力の反転出力 |
| タイマの読み出し | TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される |
| タイマの書き込み | <ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照) |
| 選択機能 | <ul style="list-style-type: none"> ・TRAIO出力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1) ・TRAO出力機能 TRAIO出力の極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択) ・パルス出力停止機能 TRAIOCレジスタのTOPCRビットでTRAIO端子からのパルス出力を停止 ・TRAIO端子選択機能 TRASRレジスタのTRAIOSSEL0～TRAIOSSEL1ビットでP1_5またはP1_7を選択 ・TRAO端子選択機能 TRASRレジスタのTRAIOSSEL0ビットでP3_0またはP3_7を選択 |

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

17.4.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス出力モード時]

アドレス 0101h番地

| | | | | | | | | |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | - | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|------------------|---|-----|
| b0 | TEDGSEL | TRAIO極性切り替えビット | 0：“H”からTRAIO出力開始 1：“L”からTRAIO出力開始 | R/W |
| b1 | TOPCR | TRAIO出力制御ビット | 0：TRAIO出力 1：ポートP1_5またはP1_7 | R/W |
| b2 | TOENA | TRAIO出力許可ビット | 0：ポートP3_0またはP3_7 1：TRAIO出力 (TRAIO出力の反転をP3_0またはP3_7から出力) | R/W |
| b3 | - | 予約ビット | “0”にしてください | R/W |
| b4 | TIPF0 | TRAIO入力フィルタ選択ビット | パルス出力モードでは“0”にしてください | R/W |
| b5 | TIPF1 | | | R/W |
| b6 | TIOGT0 | TRAIOイベント入力制御ビット | | R/W |
| b7 | TIOGT1 | | | R/W |

17.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表 17.4)。

表 17.4 イベントカウンタモードの仕様

| 項 目 | 仕 様 |
|---------------|--|
| カウントソース | TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能) |
| カウント動作 | <ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 |
| 分周比 | $1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値 |
| カウント開始条件 | TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み |
| 割り込み要求発生タイミング | タイマRAのアンダフロー時 [タイマRA割り込み] |
| TRAIO信号端子機能 | カウントソース入力 |
| TRAO端子機能 | プログラマブル入出力ポートまたはパルス出力(注1) |
| タイマの読み出し | TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される |
| タイマの書き込み | <ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照) |
| 選択機能 | <ul style="list-style-type: none"> ・TRAIO入力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TRASRレジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでP1_5またはP1_7を選択 ・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)(注1) ・TRAO端子選択機能 TRASRレジスタのTRAOSEL0ビットでP3_0またはP3_7を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRAIOCレジスタのTIPF0 ~ TIPF1ビットで選択 ・イベント入力制御機能 TRAIO端子へのイベント入力の有効期間をTRAIOCレジスタのTIOGT0 ~ TIOGT1ビットで選択 |

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

17.5.1 タイマRA I/O制御レジスタ(TRAIOC)[イベントカウンタモード時]

アドレス 0101h番地

| | | | | | | | | |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | - | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--------------------------|---|-----|
| b0 | TEDGSEL | TRAIO極性切り替えビット | 0 : TRAI0入力の立ち上がりエッジでカウント また、“L” から TRAO出力開始 1 : TRAI0入力の立ち下がりエッジでカウント また、“H” から TRAO出力開始 | R/W |
| b1 | TOPCR | TRAIO出力制御ビット | イベントカウンタモードでは“0”にしてください | R/W |
| b2 | TOENA | TRAO出力許可ビット | 0 : ポートP3_0またはP3_7 1 : TRAO出力 | R/W |
| b3 | - | 予約ビット | “0”にしてください | R/W |
| b4 | TIPF0 | TRAIO入力フィルタ選択ビット (注1) | b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング | R/W |
| b5 | TIPF1 | | | R/W |
| b6 | TIOGT0 | TRAIOイベント入力制御ビット | b7 b6 00 : 常にイベント入力有効 01 : INT2のレベルでイベント入力有効(注2) 10 : TRCIOD(タイマRCの出力)の“L”期間のイベント入力有効 11 : 設定しないでください | R/W |
| b7 | TIOGT1 | | | R/W |

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

注2. INT2のイベント入力有効を使用する場合は、次の設定をしてください。

- ・INTENレジスタのINT2ENビットを“1”(INT2入力許可)、INT2PLビットを“0”(片エッジ)にする。
- ・INT2の極性をINT2ICレジスタのPOLビットで選択する。
POLビットを“0”(立ち下がりエッジを選択)にすると、INT2の“H”期間のイベント入力が増定になります。
POLビットを“1”(立ち上がりエッジを選択)にすると、INT2の“L”期間のイベント入力が増定になります。
- ・INT2端子に割り当てたポートのPDi (i=3, 6)レジスタのPDi_j (j=2, 6)ビットを“0”(入力モード)にする。
- ・INT2のデジタルフィルタをINTFレジスタのINT2F1 ~ INT2F0ビットで選択する。

なお、INT2ICレジスタのPOLビットとINTENレジスタのINT2PLビットの選択と、INT2端子入力の変更にしたがって、INT2ICレジスタのIRビットが“1”(割り込み要求あり)になります。(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

17.6 パルス幅測定モード

TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表 17.5)。

図 17.3にパルス幅測定モード時の動作例を示します。

表 17.5 パルス幅測定モードの仕様

| 項 目 | 仕 様 |
|---------------|---|
| カウントソース | f1、f2、f8、fOCO、fC32、fC |
| カウント動作 | <ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 |
| カウント開始条件 | TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> ・タイマRAのアンダフロー時 [タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み] |
| TRAIO信号端子機能 | 測定パルス入力 |
| TRAO端子機能 | プログラマブル入出力ポート |
| タイマの読み出し | TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される |
| タイマの書き込み | <ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照) |
| 選択機能 | <ul style="list-style-type: none"> ・測定レベル設定 TRAIOCレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 ・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSSEL0～TRAIOSSEL1ビットでP1_5またはP1_7を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択 |

17.6.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス幅測定モード時]

アドレス 0101h番地

| | | | | | | | | |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | - | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--------------------------|--|-----|
| b0 | TEDGSEL | TRAIO極性切り替えビット | 0 : TRAI0入力の“L”レベル幅を測定 1 : TRAI0入力の“H”レベル幅を測定 | R/W |
| b1 | TOPCR | TRAIO出力制御ビット | パルス幅測定モードでは“0”にしてください | R/W |
| b2 | TOENA | TRAO出力許可ビット | | R/W |
| b3 | - | 予約ビット | “0”にしてください。 | R/W |
| b4 | TIPF0 | TRAIO入力フィルタ選択ビット (注1) | b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング | R/W |
| b5 | TIPF1 | | | R/W |
| b6 | TIOGT0 | TRAIOイベント入力制御ビット | パルス幅測定モードでは“0”にしてください | R/W |
| b7 | TIOGT1 | | | R/W |

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増幅します。

17.6.2 動作例

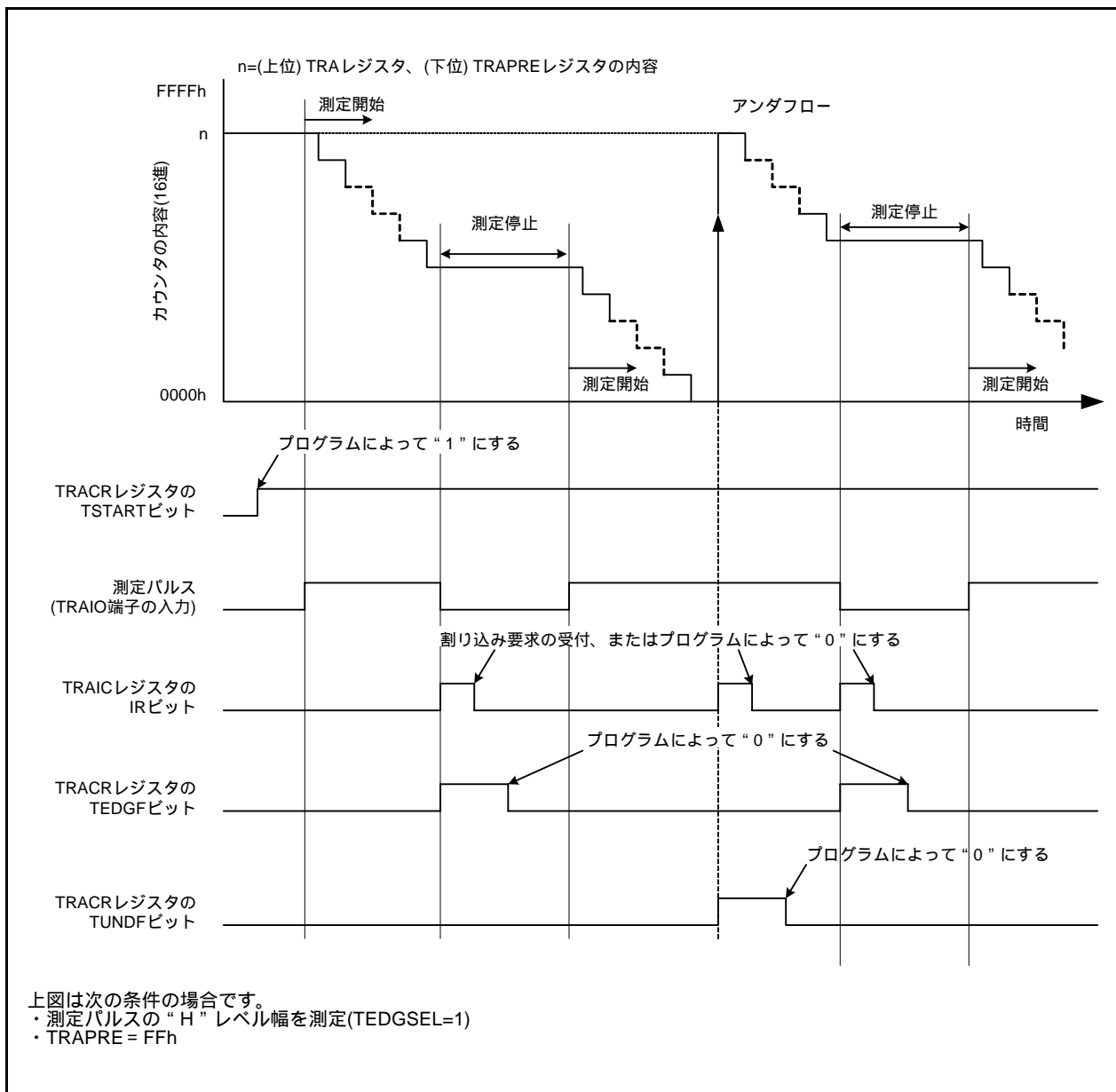


図 17.3 パルス幅測定モード時の動作例

17.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表 17.6)。

図 17.4にパルス周期測定モード時の動作例を示します。

表 17.6 パルス周期測定モードの仕様

| 項 目 | 仕 様 |
|---------------|--|
| カウントソース | f1、f2、f8、fOCO、fC32、fC |
| カウント動作 | <ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続 |
| カウント開始条件 | TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> ・タイマRAのアンダフロー時、またはリロード時 [タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み] |
| TRAIO端子機能 | 測定パルス入力(注1) |
| TRAO端子機能 | プログラマブル入出力ポート |
| タイマの読み出し | TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される |
| タイマの書き込み | <ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照) |
| 選択機能 | <ul style="list-style-type: none"> ・測定期間選択 TRAIOCレジスタのTEDGSELビットで入力パルスの測定期間を選択 ・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSSEL0～TRAIOSSEL1ビットでP1_5またはP1_7を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択 |

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

17.7.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス周期測定モード時]

アドレス 0101h番地

| | | | | | | | | |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | - | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--------------------------|--|-----|
| b0 | TEDGSEL | TRAIO極性切り替えビット | 0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定 | R/W |
| b1 | TOPCR | TRAIO出力制御ビット | パルス周期測定モードでは“0”にしてください | R/W |
| b2 | TOENA | TRAIO出力許可ビット | | R/W |
| b3 | - | 予約ビット | “0”にしてください | R/W |
| b4 | TIPF0 | TRAIO入力フィルタ選択ビット (注1) | b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング | R/W |
| b5 | TIPF1 | | | R/W |
| b6 | TIOGT0 | TRAIOイベント入力制御ビット | パルス周期測定モードでは“0”にしてください | R/W |
| b7 | TIOGT1 | | | R/W |

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

17.7.2 動作例

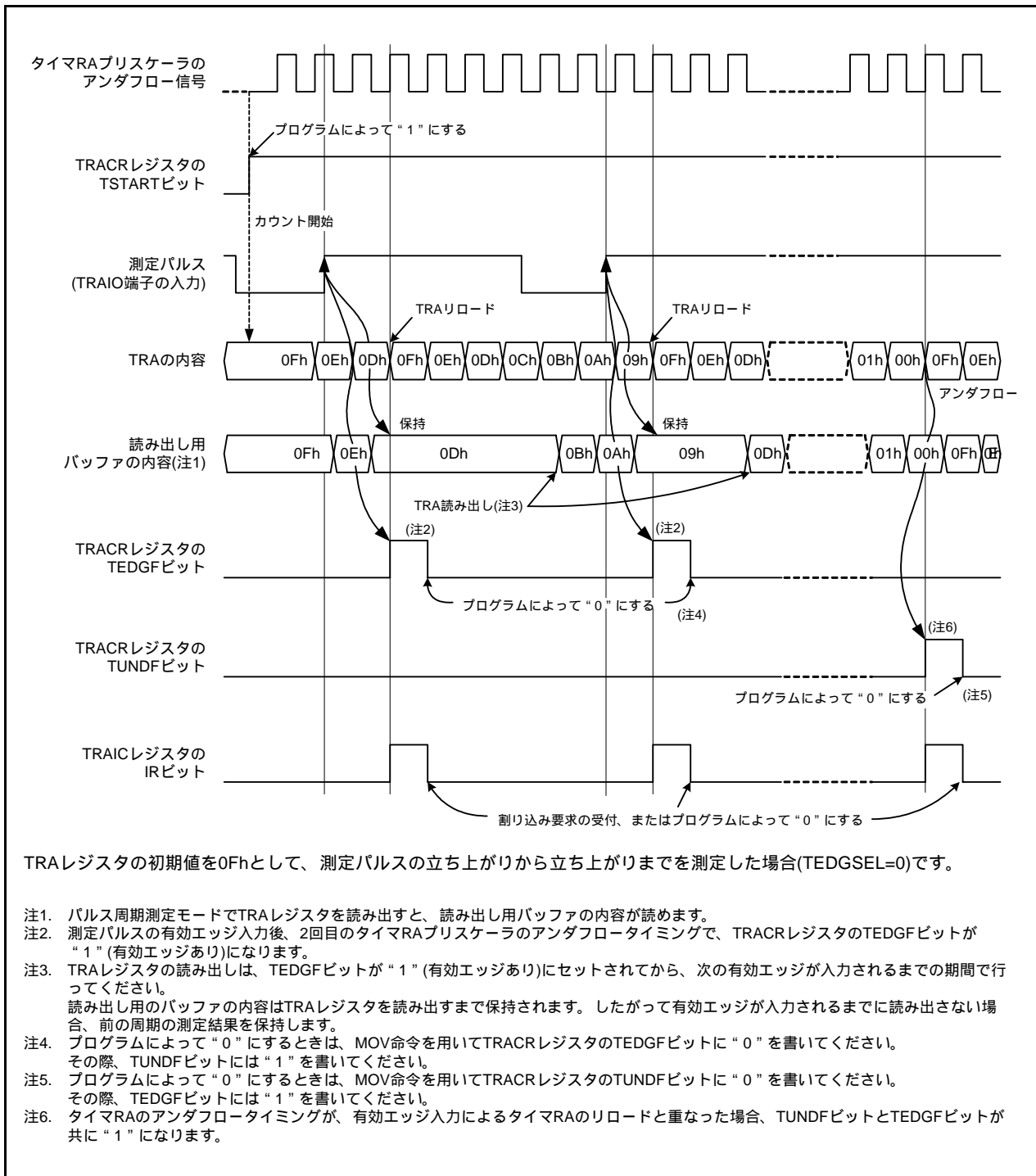


図 17.4 パルス周期測定モード時の動作例

17.8 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“0”になっています。
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ：TRACR、TRAI0C、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRA レジスタに00h を設定しないでください。

18. タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。

18.1 概要

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表 18.2 ~ 表 18.5 の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 18.1にタイマRBのブロック図を、表 18.1にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード
 - 内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード
 - 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード
 - ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード
 - ディレイドワンショットパルスを出力するモード

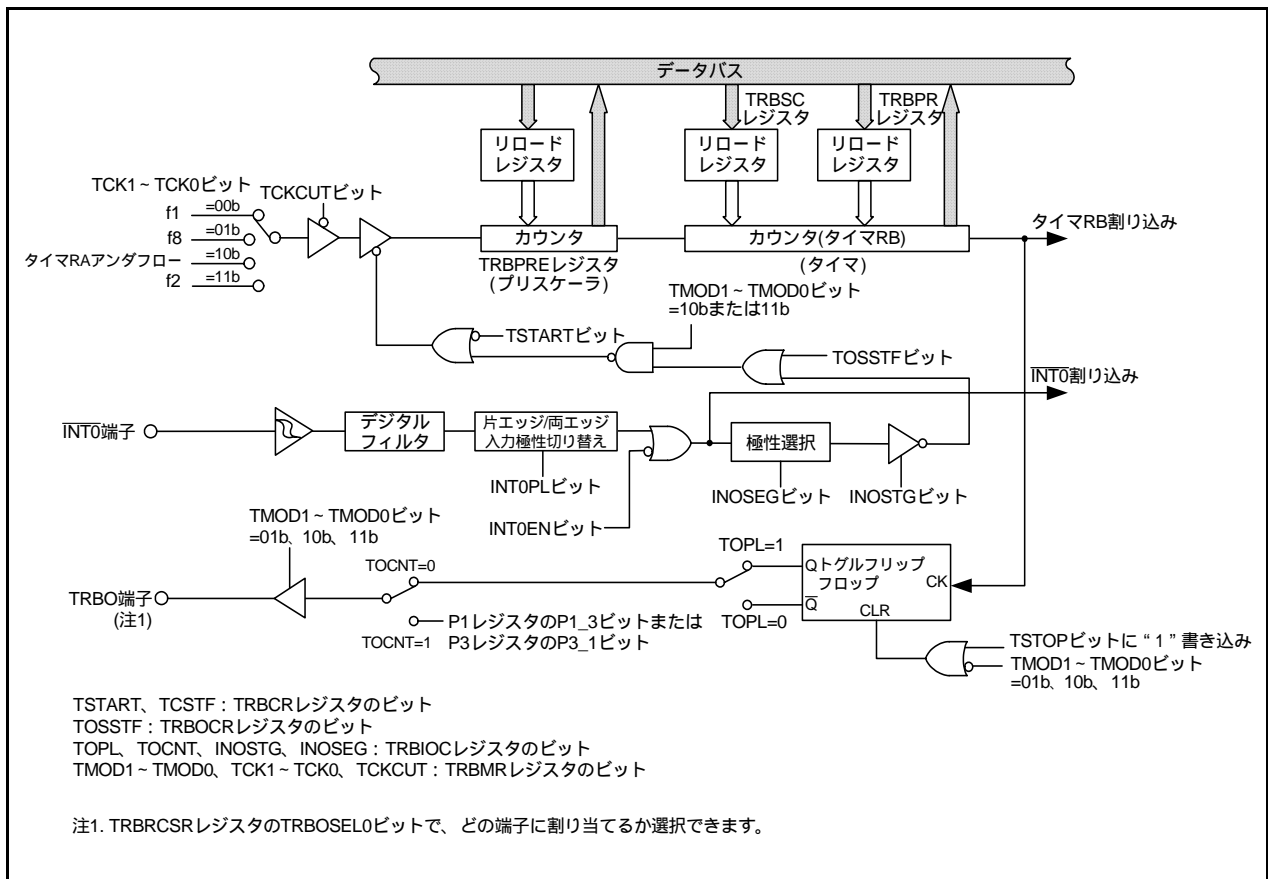


図 18.1 タイマRBのブロック図

表 18.1 タイマRBの端子構成

| 端子名 | 割り当てる端子 | 入出力 | 機能 |
|------|-------------|-----|---|
| TRBO | P1_3またはP3_1 | 出力 | パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード) |

18.2 レジスタの説明

18.2.1 タイマRB制御レジスタ(TRBCR)

アドレス 0108h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|-------|-------|--------|
| シンボル | - | - | - | - | - | TSTOP | TCSTF | TSTART |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|------------------------------------|-----|
| b0 | TSTART | タイマRBカウント開始ビット(注1) | 0: カウント停止 1: カウント開始 | R/W |
| b1 | TCSTF | タイマRBカウントステータスフラグ(注1) | 0: カウント停止 1: カウント中(注3) | R |
| b2 | TSTOP | タイマRBカウント強制停止ビット(注1、2) | “1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。 | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「18.7 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

18.2.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス 0109h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|--------|-------|-------|
| シンボル | - | - | - | - | - | TOSSTF | TOSSP | TOSST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | TOSST | タイマRBワンショット開始ビット | “1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。 | R/W |
| b1 | TOSSP | タイマRBワンショット停止ビット | “1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。 | R/W |
| b2 | TOSSTF | タイマRBワンショットステータスフラグ(注1) | 0: ワンショット停止中 1: ワンショット動作中(ウェイト期間含む) | R |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

18.2.3 タイマRB I/O制御レジスタ (TRBIOC)

アドレス 010Ah番地

| | | | | | | | | |
|---------|----|----|----|----|--------|--------|-------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|-----------------|-----|
| b0 | TOPL | タイマRBアウトプットレベル選択ビット | 動作モードによって機能が異なる | R/W |
| b1 | TOCNT | タイマRB出力切り替えビット | | R/W |
| b2 | INOSTG | ワンショットトリガ制御ビット | | R/W |
| b3 | INOSEG | ワンショットトリガ極性選択ビット | | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

18.2.4 タイマRBモードレジスタ (TRBMR)

アドレス 010Bh番地

| | | | | | | | | |
|---------|--------|----|------|------|------|----|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TCKCUT | - | TCK1 | TCK0 | TWRC | - | TMOD1 | TMOD0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|---|-----|
| b0 | TMOD0 | タイマRB動作モード選択ビット (注1) | b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生モード | R/W |
| b1 | TMOD1 | | | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | TWRC | タイマRB書き込み制御ビット (注2) | 0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み | R/W |
| b4 | TCK0 | タイマRBカウントソース選択ビット (注1) | b5 b4 00: f1 01: f8 10: タイマRAのアンダフロー (注3) 11: f2 | R/W |
| b5 | TCK1 | | | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | TCKCUT | タイマRBカウントソース遮断 ビット(注1) | 0: カウントソース供給 1: カウントソース遮断 | R/W |

注1. TMOD1 ~ TMOD0ビット、TCK1 ~ TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

注3. タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

18.2.5 タイマRBプリスケアラレジスタ(TRBPRES)

アドレス 010Ch番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | モード | 機能 | 設定範囲 | R/W |
|---------|------------------------|-------------------------------|-----------|-----|
| b7 ~ b0 | タイマモード | 内部カウントソース、またはタイマRAアンダフローをカウント | 00h ~ FFh | R/W |
| | プログラマブル波形発生モード | | 00h ~ FFh | R/W |
| | プログラマブルワンショット発生モード | | 00h ~ FFh | R/W |
| | プログラマブルウェイトワンショット発生モード | | 00h ~ FFh | R/W |

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRESレジスタは“FFh”になります。

18.2.6 タイマRBセカンダリレジスタ(TRBSC)

アドレス 010Dh番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | モード | 機能 | 設定範囲 | R/W |
|---------|------------------------|---------------------------------------|-----------|-----------|
| b7 ~ b0 | タイマモード | 無効 | 00h ~ FFh | - |
| | プログラマブル波形発生モード | タイマRBプリスケアラのアンダフローをカウント(注1) | 00h ~ FFh | W (注2) |
| | プログラマブルワンショット発生モード | 無効 | 00h ~ FFh | - |
| | プログラマブルウェイトワンショット発生モード | タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント) | 00h ~ FFh | W (注2) |

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。

TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSCレジスタに値を書く
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

18.2.7 タイマRBプライマリレジスタ(TRBPR)

アドレス 010Eh番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | モード | 機能 | 設定範囲 | R/W |
|---------|------------------------|---------------------------------------|-----------|-----|
| b7 ~ b0 | タイマモード | タイマRBプリスケアラのアンダフローをカウント | 00h ~ FFh | R/W |
| | プログラマブル波形発生モード | タイマRBプリスケアラのアンダフローをカウント(注1) | 00h ~ FFh | R/W |
| | プログラマブルワンショット発生モード | タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント) | 00h ~ FFh | R/W |
| | プログラマブルウェイトワンショット発生モード | タイマRBプリスケアラのアンダフローをカウント(ウェイト期間をカウント) | 00h ~ FFh | R/W |

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

18.2.8 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

| | | | | | | | | |
|---------|----|----|------------|------------|----|----|----|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | TRCCLKSEL1 | TRCCLKSEL0 | - | - | - | TRBOSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|--|---|-----|
| b0 | TRBOSEL0 | TRBO端子選択ビット | 0 : P1_3に割り当てる 1 : P3_1に割り当てる | R/W |
| b1 | - | 予約ビット | “0”にしてください | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | TRCCLKSEL0 | TRCCLK端子選択ビット | b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRCCLKSEL1 | | | R/W |
| b6 | - | 予約ビット | “0”にしてください | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

18.3 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表18.2)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

表 18.2 タイマモードの仕様

| 項目 | 仕様 |
|---------------|--|
| カウントソース | f1、f2、f8、タイマRAのアンダフロー |
| カウント動作 | ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード) |
| 分周比 | $1/(n+1)(m+1)$ n: TRBPRESレジスタの設定値、m: TRBPRレジスタの設定値 |
| カウント開始条件 | TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み |
| 割り込み要求発生タイミング | タイマRBのアンダフロー時[タイマRB割り込み] |
| TRBO端子機能 | プログラマブル入出力ポート |
| INT0端子機能 | プログラマブル入出力ポート、またはINT0割り込み入力 |
| タイマの読み出し | TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される |
| タイマの書き込み | ・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。 (「18.3.2 カウント中のタイマ書き込み制御」参照) |

18.3.1 タイマRB I/O制御レジスタ(TRBIOC)[タイマモード時]

アドレス 010Ah番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|--------|--------|-------|------|
| シンボル | - | - | - | - | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------|-----|
| b0 | TOPL | タイマRBアウトプットレベル選択ビット | タイマモードでは“0”にしてください | R/W |
| b1 | TOCNT | タイマRB出力切り替えビット | | R/W |
| b2 | INOSTG | ワンショットトリガ制御ビット | | R/W |
| b3 | INOSEG | ワンショットトリガ極性選択ビット | | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

18.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれます。図 18.2にタイマRBカウント中にカウント値を書き換えた場合の動作例を示します。

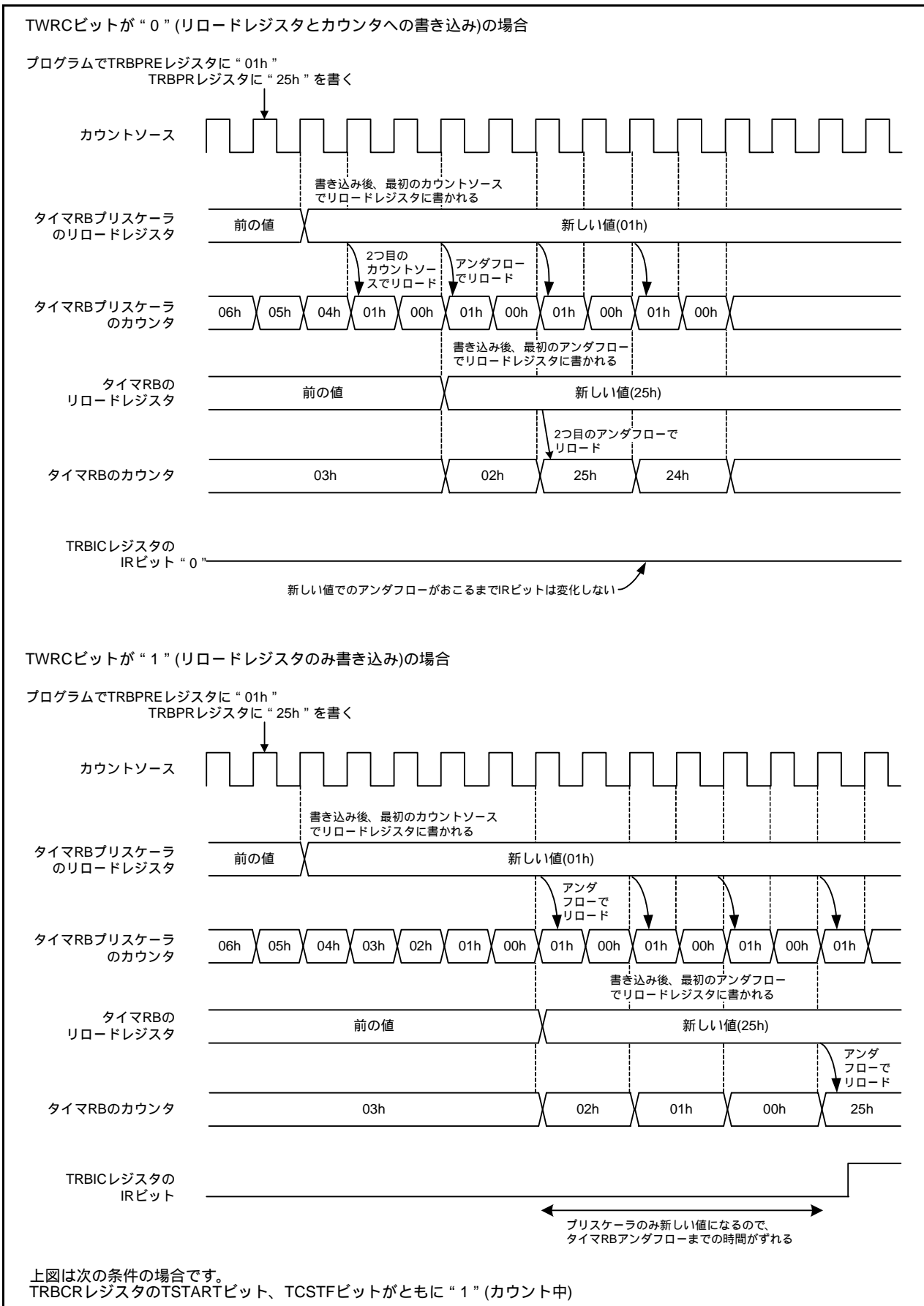


図 18.2 タイマRBカウント中にカウント値を書き換えた場合の動作例

18.4 プログラマブル波形発生モード

TRBPR レジスタと TRBSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO 端子から出力する信号を反転するモードです(表 18.3)。カウント開始時は、TRBPR レジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCR レジスタは使用しません。

図 18.3 にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表 18.3 プログラマブル波形発生モードの仕様

| 項目 | 仕様 |
|---------------|---|
| カウントソース | f1、f2、f8、タイマRAのアンダフロー |
| カウント動作 | <ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続 |
| 出力波形の幅、周期 | プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : カウントソースの周波数 n : TRBPRE レジスタの設定値、 m : TRBPR レジスタの設定値 p : TRBSC レジスタの設定値 |
| カウント開始条件 | TRBCR レジスタの TSTART ビットへの "1" (カウント開始) 書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> ・ TRBCR レジスタの TSTART ビットへの "0" (カウント停止) 書き込み ・ TRBCR レジスタの TSTOP ビットへの "1" (カウント強制停止) 書き込み |
| 割り込み要求発生タイミング | セカンダリ期間のタイマRBのアンダフローからカウントソースの 1/2 サイクル後 (TRBO 出力の変化と同時)[タイマRB 割り込み] |
| TRBO 端子機能 | プログラマブル出力ポート、またはパルス出力 |
| INT0 端子機能 | プログラマブル入出力ポート、または INT0 割り込み入力 |
| タイマの読み出し | TRBPR レジスタ、TRBPRE レジスタを読み出すと、それぞれカウント値が読み出される(注1) |
| タイマの書き込み | <ul style="list-style-type: none"> ・ カウント停止中に、TRBPRE レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・ カウント中に、TRBPRE レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2) |
| 選択機能 | <ul style="list-style-type: none"> ・ アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルを TOPL ビットで選択 ・ TRBO 端子出力切り替え機能 TRBIOC レジスタの TOCNT ビットでタイマRB パルス出力または P3_1(P1_3) ラッチ出力を選択(注3) |

注1. セカンダリ期間をカウント中でも、TRBPR レジスタを読み出してください。

注2. 波形の出力は、TRBPR レジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNT ビットに書いた値は、次のタイミングで有効になります。

- ・ カウント開始時
- ・ タイマRB 割り込み要求発生時

したがって、TOCNT ビットを変更後、次のプライマリ期間の出力から反映されます。

18.4.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah番地

| | | | | | | | | |
|---------|----|----|----|----|--------|--------|-------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | TOPL | タイマRBアウトプットレベル選択ビット | 0 : プライマリ期間 “H” 出力、セカンダリ期間 “L” 出力 タイマ停止時 “L” 出力 1 : プライマリ期間 “L” 出力、セカンダリ期間 “H” 出力 タイマ停止時 “H” 出力 | R/W |
| b1 | TOCNT | タイマRB出力切り替えビット | 0 : タイマRB波形出力 1 : P3_1(P1_3)ポートラッチの値を出力 | R/W |
| b2 | INOSTG | ワンショットトリガ制御ビット | プログラマブル波形発生モードでは “0” にしてください | R/W |
| b3 | INOSEG | ワンショットトリガ極性選択ビット | | R/W |
| b4 | - | 何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

18.4.2 動作例

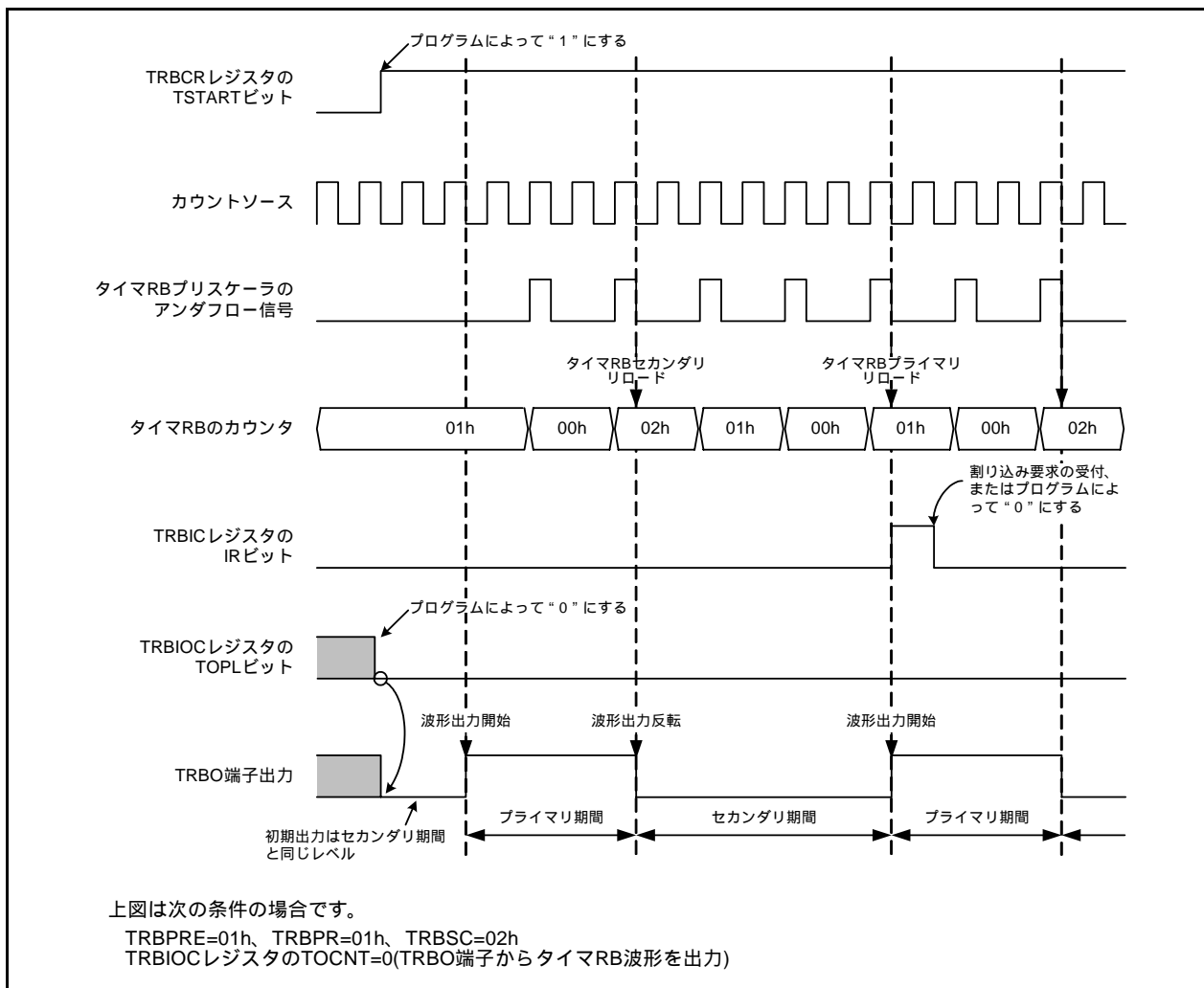


図 18.3 プログラマブル波形発生モード時のタイマRBの動作例

18.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルス(TRBO端子から出力するモードです(表 18.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。

図 18.4にプログラマブルワンショット発生モード時の動作例を示します。

表 18.4 プログラマブルワンショット発生モードの仕様

| 項目 | 仕様 |
|---------------|---|
| カウントソース | f1、f2、f8、タイマRAのアンダフロー |
| カウント動作 | <ul style="list-style-type: none"> ・ TRBPRレジスタの設定値をダウンカウント ・ アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・ カウント停止時、リロードレジスタの内容をリロードし停止 |
| ワンショットパルス出力時間 | $(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 m : TRBPRレジスタの設定値 |
| カウント開始条件 | <ul style="list-style-type: none"> ・ TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生 ・ TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・ INT0端子へのトリガ入力 |
| カウント停止条件 | <ul style="list-style-type: none"> ・ タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後 ・ TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・ TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・ TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み |
| 割り込み要求発生タイミング | アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に) [タイマRB割り込み] |
| TRBO端子機能 | パルス出力 |
| INT0端子機能 | <ul style="list-style-type: none"> ・ TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合プログラマブル入出力ポート、またはINT0割り込み入力 ・ TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合外部トリガ(INT0割り込み入力) |
| タイマの読み出し | TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される |
| タイマの書き込み | <ul style="list-style-type: none"> ・ カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・ カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1) |
| 選択機能 | <ul style="list-style-type: none"> ・ アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照 |

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

18.5.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブルワンショット発生モード時]

アドレス 010Ah番地

| | | | | | | | | |
|---------|----|----|----|----|--------|--------|-------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | TOPL | タイマRBアウトプットレベル選択ビット | 0: ワンショットパルス“H”出力、タイマ停止時“L”出力 1: ワンショットパルス“L”出力、タイマ停止時“H”出力 | R/W |
| b1 | TOCNT | タイマRB出力切り替えビット | プログラマブルワンショット発生モードでは“0”にしてください | R/W |
| b2 | INOSTG | ワンショットトリガ制御ビット(注1) | 0: INTO端子ワンショットトリガ無効 1: INTO端子ワンショットトリガ有効 | R/W |
| b3 | INOSEG | ワンショットトリガ極性選択ビット(注1) | 0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

18.5.2 動作例

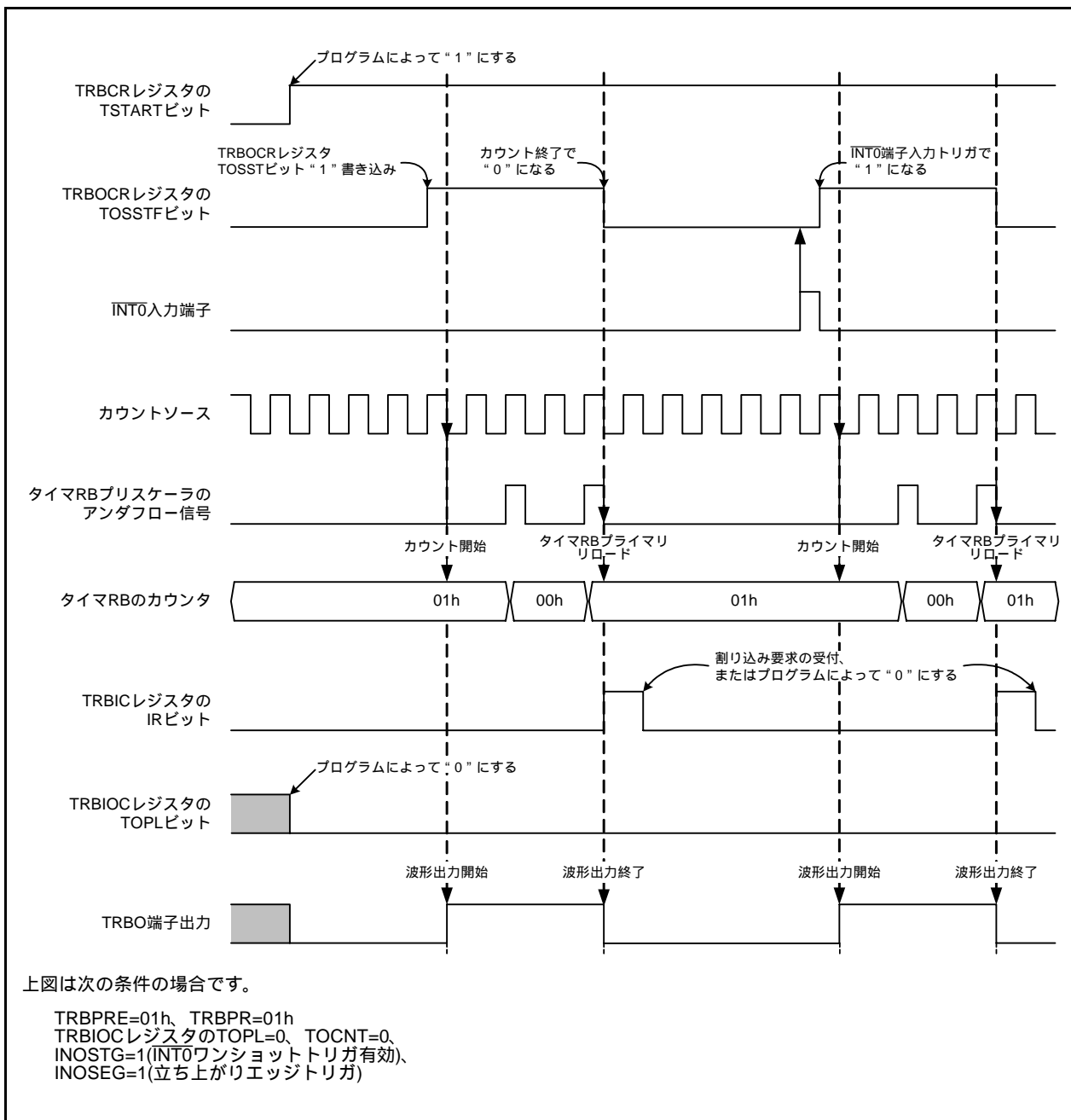


図 18.4 プログラマブルワンショット発生モード時の動作例

18.5.3 ワンショットトリガ選択

プログラブルワンショット発生モードと、プログラブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

INT0端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4_5ビットを“0”(入力ポート)にする
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“1”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”(INT0端子ワンショットトリガ有効)にする

なお、INT0端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「11. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットはINT0割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

18.6 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)から、一定時間後にワンショットパルスをTRBO端子から出力するモードです(表 18.5)。トリガが発生すると、その時点から任意の時間(TRBPR レジスタの設定値)後、一度だけ任意の時間(TRBSC レジスタの設定値)パルス出力を行います。

図 18.5 にプログラマブルウェイトワンショット発生モードの動作例を示します。

表 18.5 プログラマブルウェイトワンショット発生モードの仕様

| 項目 | 仕様 |
|---------------|---|
| カウントソース | f1、f2、f8、タイマRAのアンダフロー |
| カウント動作 | <ul style="list-style-type: none"> ・タイマRBプライマリの設定値をダウンカウント ・タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続 ・タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止 |
| ウェイト時間 | $(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 m : TRBPRレジスタの設定値 |
| ワンショットパルス出力時間 | $(n+1)(p+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 p : TRBSCレジスタの設定値 |
| カウント開始条件 | <ul style="list-style-type: none"> ・TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生 ・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・INT0端子へのトリガ入力 |
| カウント停止条件 | <ul style="list-style-type: none"> ・タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み |
| 割り込み要求発生タイミング | セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時)[タイマRB割り込み] |
| TRBO端子機能 | パルス出力 |
| INT0端子機能 | <ul style="list-style-type: none"> ・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 ・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力) |
| タイマの読み出し | TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される |
| タイマの書き込み | <ul style="list-style-type: none"> ・カウント停止中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1) |
| 選択機能 | <ul style="list-style-type: none"> ・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照 |

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

18.6.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルウェイトワンショット発生モード時]

アドレス 010Ah番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|--------|--------|-------|------|
| シンボル | - | - | - | - | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | TOPL | タイマRBアウトプットレベル選択ビット | 0: ワンショットパルス“H”出力、タイマ停止時とウェイト中は“L”出力 1: ワンショットパルス“L”出力、タイマ停止時とウェイト中は“H”出力 | R/W |
| b1 | TOCNT | タイマRB出力切り替えビット | プログラマブルウェイトワンショット発生モードでは“0”にしてください。 | R/W |
| b2 | INOSTG | ワンショットトリガ制御ビット (注1) | 0: $\overline{\text{INT0}}$ 端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効 | R/W |
| b3 | INOSEG | ワンショットトリガ極性選択ビット (注1) | 0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ | R/W |
| b4 | - | 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

18.6.2 動作例

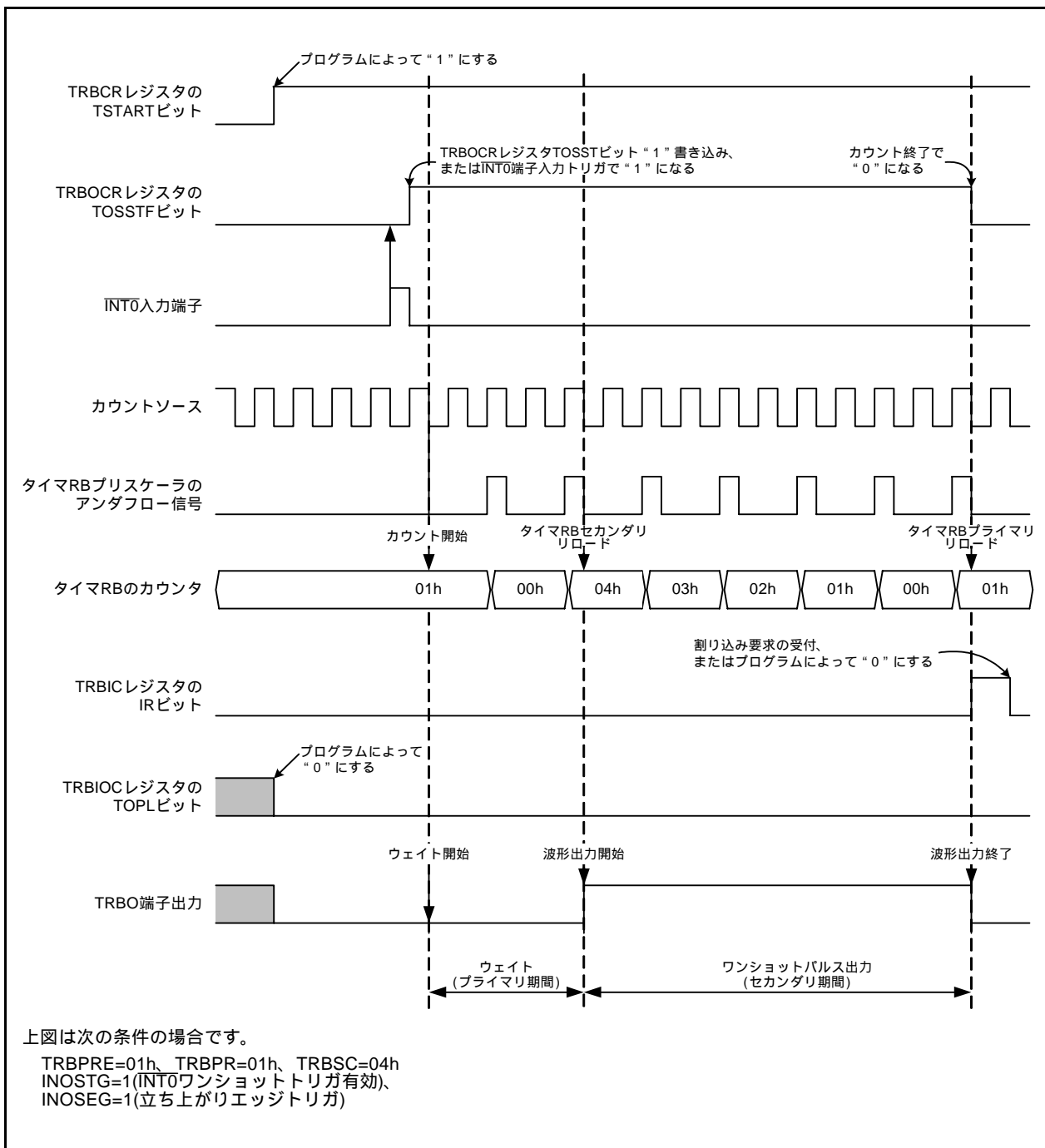


図 18.5 プログラマブルウェイトワンショット発生モードの動作例

18.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

18.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

18.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

18.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

18.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

19. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

19.1 概要

タイマRCの動作クロックはf1、fOCO40MまたはfOCO-Fです。表 19.1にタイマRCの動作クロックを示します。

表 19.1 タイマRCの動作クロック

| 条件 | タイマRCの動作クロック |
|---|--------------|
| カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”) | f1 |
| カウントソースがfOCO40M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”) | fOCO40M |
| カウントソースがfOCO-F (TRCCR1レジスタのTCK2～TCK0ビットが“111b”) | fOCO-F |

表 19.2にタイマRCの端子構成を、図 19.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード

- インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能 (検出時に端子出力変更可能)

次の2つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

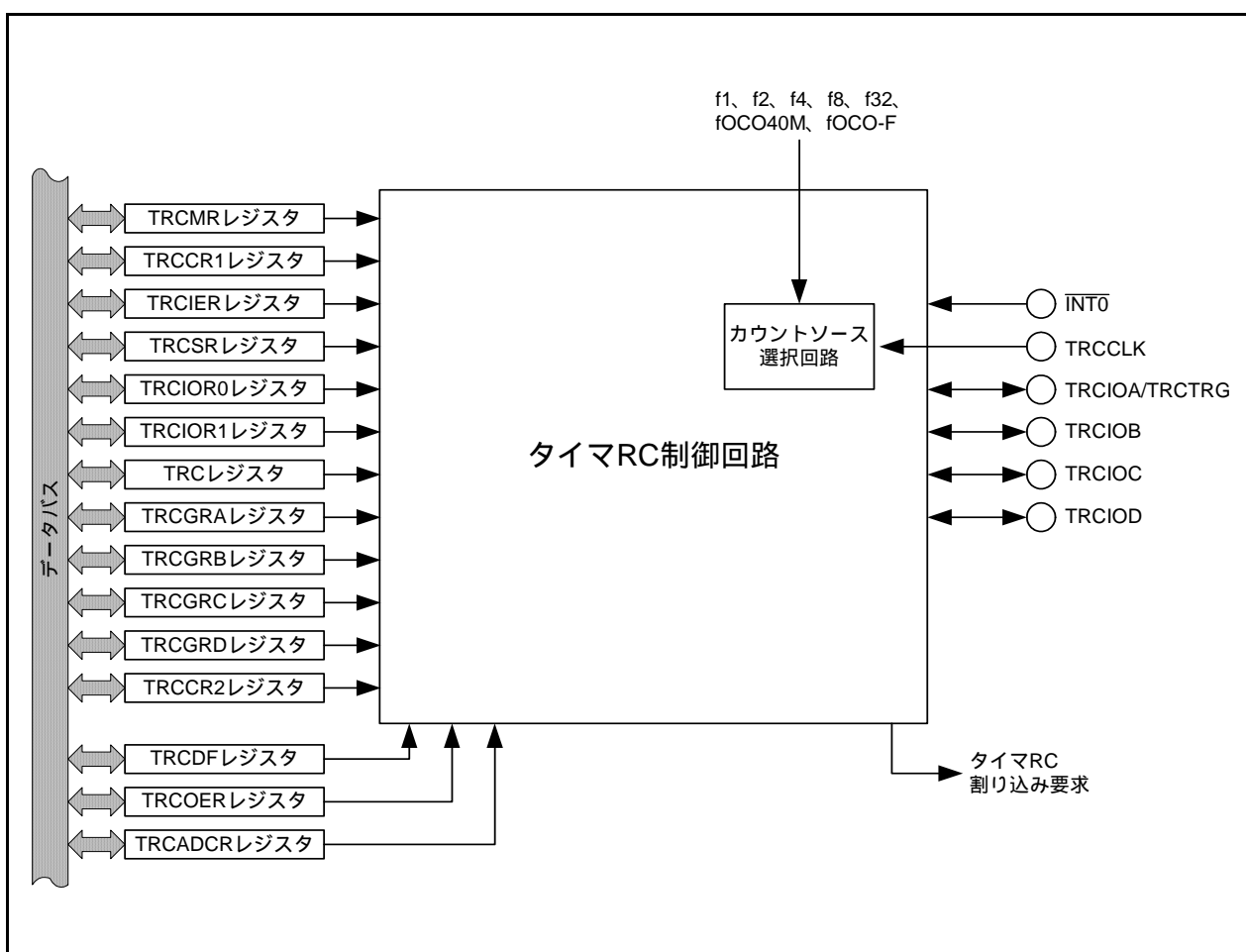


図 19.1 タイマRCのブロック図

表 19.2 タイマRCの端子構成

| 端子名 | 割り当てる端子 | 入出力 | 機能 |
|--------|---------------------------------|-----|-----------------------------------|
| TRCIOA | P0_0、P0_1、P0_2またはP1_1 | 入出力 | モードによって機能が異なります。詳細は各モードを参照してください。 |
| TRCIOB | P0_3、P0_4、P0_5、P1_2、P2_0またはP6_5 | | |
| TRCIOC | P0_7、P1_3、P2_1、P3_4 またはP6_6 | | |
| TRCIOD | P0_6、P1_0、P2_2、P3_5 またはP6_7 | | |
| TRCLK | P1_4またはP3_3 | 入力 | 外部クロック入力 |
| TRCTRГ | P0_0、P0_1、P0_2またはP1_1 | 入力 | PWM2モードの外部トリガ入力 |

19.2 レジスタの説明

表 19.3にタイマRC関連レジスタ一覧を示します。

表 19.3 タイマRC関連レジスタ一覧

| 番地 | シンボル | モード | | | | 参照先 |
|----------------|---------|----------------------|----------------------|-----|------|---|
| | | タイマ | | PWM | PWM2 | |
| | | インプット キャプチャ 機能 | アウトプット コンペア 機能 | | | |
| 0008h | MSTCR | 有効 | 有効 | 有効 | 有効 | 19.2.1 モジュールスタンバイ制御レジスタ (MSTCR) |
| 0120h | TRCMR | 有効 | 有効 | 有効 | 有効 | 19.2.2 タイマRCモードレジスタ (TRCMR) |
| 0121h | TRCCR1 | 有効 | 有効 | 有効 | 有効 | タイマRC制御レジスタ1 19.2.3 タイマRC制御レジスタ1 (TRCCR1) 19.5.1 タイマRC制御レジスタ1 (TRCCR1)[タイマ モード(アウトプットコンペア機能)時] 19.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWM モード時] 19.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2 モード時] |
| 0122h | TRCIER | 有効 | 有効 | 有効 | 有効 | 19.2.4 タイマRC割り込み許可レジスタ (TRCIER) |
| 0123h | TRCSR | 有効 | 有効 | 有効 | 有効 | 19.2.5 タイマRCステータスレジスタ (TRCSR) |
| 0124h | TRCIOR0 | 有効 | 有効 | - | - | タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 19.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0) 19.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1) 19.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0)[タ イマモード(インプットキャプチャ機能)時] 19.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1)[タ イマモード(インプットキャプチャ機能)時] 19.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0)[タ イマモード(アウトプットコンペア機能)時] 19.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1)[タ イマモード(アウトプットコンペア機能)時] |
| 0125h | TRCIOR1 | | | | | |
| 0126h 0127h | TRC | 有効 | 有効 | 有効 | 有効 | 19.2.8 タイマRCカウンタ (TRC) |
| 0128h 0129h | TRCGRA | 有効 | 有効 | 有効 | 有効 | 19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、 TRCGRD) |
| 012Ah 012Bh | TRCGRB | | | | | |
| 012Ch 012Dh | TRCGRC | | | | | |
| 012Eh 012Fh | TRCGRD | | | | | |
| 0130h | TRCCR2 | - | 有効 | 有効 | 有効 | 19.2.10 タイマRC制御レジスタ2 (TRCCR2) |
| 0131h | TRCDF | 有効 | - | - | 有効 | 19.2.11 タイマRCデジタルフィルタ機能選択レジ スタ (TRCDF) |
| 0132h | TRCOER | - | 有効 | 有効 | 有効 | 19.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER) |
| 0133h | TRCADCR | - | 有効 | 有効 | 有効 | 19.2.13 タイマRCトリガ制御レジスタ (TRCADCR) |
| 0181h | TRBRCSR | 有効 | 有効 | 有効 | 有効 | 19.2.14 タイマRB/RC端子選択レジスタ (TRBRCSR) |
| 0182h | TRCPSR0 | 有効 | 有効 | 有効 | 有効 | 19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0) |
| 0183h | TRCPSR1 | 有効 | 有効 | 有効 | 有効 | 19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1) |

- : 無効

19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

| | | | | | | | | |
|---------|----|----|--------|--------|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | SSU、I ² Cバススタンバイビット | 0：アクティブ 1：スタンバイ(注1) | R/W |
| b4 | MSTTRD | タイマRDスタンバイビット | 0：アクティブ 1：スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0：アクティブ 1：スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

- 注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
- 注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR_i(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
- 注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

19.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h番地

| | | | | | | | | |
|---------|--------|----|-----|-----|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TSTART | - | BFD | BFC | PWM2 | PWMD | PWMC | PWMB |
| リセット後の値 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | PWMB | TRCIOB PWMモード選択ビット (注1) | 0: タイマモード 1: PWMモード | R/W |
| b1 | PWMC | TRCIOC PWMモード選択ビット (注1) | 0: タイマモード 1: PWMモード | R/W |
| b2 | PWMD | TRCIOD PWMモード選択ビット (注1) | 0: タイマモード 1: PWMモード | R/W |
| b3 | PWM2 | PWM2モード選択ビット | 0: PWM2モード 1: タイマモードまたはPWMモード | R/W |
| b4 | BFC | TRCGRCレジスタ機能選択ビット (注2) | 0: ジェネラルレジスタ 1: TRCGRAレジスタのバッファレジスタ | R/W |
| b5 | BFD | TRCGRDレジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRCGRBレジスタのバッファレジスタ | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b7 | TSTART | TRCカウント開始ビット | 0: カウント停止 1: カウント開始 | R/W |

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

19.2.3 タイマRC制御レジスタ1 (TRCCR1)

アドレス 0121h番地

| | | | | | | | | |
|---------|------|------|------|------|-----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR | TCK2 | TCK1 | TCK0 | TOD | TOC | TOB | TOA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------------|---|-----|
| b0 | TOA | TRCIOA出力レベル選択ビット(注1) | 動作モード(機能)によって機能が異なる | R/W |
| b1 | TOB | TRCIOB出力レベル選択ビット(注1) | | R/W |
| b2 | TOC | TRCIOC出力レベル選択ビット(注1) | | R/W |
| b3 | TOD | TRCIOD出力レベル選択ビット(注1) | | R/W |
| b4 | TCK0 | カウントソース選択ビット(注1) | b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注2) | R/W |
| b5 | TCK1 | | | R/W |
| b6 | TCK2 | | | R/W |
| b7 | CCLR | TRCカウンタクリア選択ビット | 0 : クリア禁止(フリーランニング動作) 1 : インพุットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア | R/W |

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

| | | | | | | | | |
|---------|------|----|----|----|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | OVIE | - | - | - | IMIED | IMIEC | IMIEB | IMIEA |
| リセット後の値 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | IMIEA | インพุットキャプチャ/コンペア一致 割り込み許可ビットA | 0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可 | R/W |
| b1 | IMIEB | インพุットキャプチャ/コンペア一致 割り込み許可ビットB | 0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可 | R/W |
| b2 | IMIEC | インพุットキャプチャ/コンペア一致 割り込み許可ビットC | 0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可 | R/W |
| b3 | IMIED | インพุットキャプチャ/コンペア一致 割り込み許可ビットD | 0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | OVIE | オーバフロー割り込み許可ビット | 0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可 | R/W |

19.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h番地

| | | | | | | | | |
|---------|-----|----|----|----|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | OVF | - | - | - | IMFD | IMFC | IMFB | IMFA |
| リセット後の値 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------------------------|--|-----|
| b0 | IMFA | インプットキャプチャ/コンペア一致フラグA | [“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表 19.4 各フラグが“1”になる要因」を参照 | R/W |
| b1 | IMFB | インプットキャプチャ/コンペア一致フラグB | | R/W |
| b2 | IMFC | インプットキャプチャ/コンペア一致フラグC | | R/W |
| b3 | IMFD | インプットキャプチャ/コンペア一致フラグD | | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。 | | - |
| b5 | - | 読んだ場合、その値は“1”。 | | - |
| b6 | - | | | - |
| b7 | OVF | オーバフローフラグ | [“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表 19.4 各フラグが“1”になる要因」を参照 | R/W |

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

表 19.4 各フラグが“1”になる要因

| ビット シンボル | タイマモード | | PWMモード | PWM2モード |
|-------------|--------------------|-------------------------|--------|---------|
| | インプットキャプチャ機能 | アウトプット コンペア機能 | | |
| IMFA | TRCIOA端子の入力エッジ(注1) | TRCとTRCGRAの値が一致したとき | | |
| IMFB | TRCIOB端子の入力エッジ(注1) | TRCとTRCGRBの値が一致したとき | | |
| IMFC | TRCIOC端子の入力エッジ(注1) | TRCとTRCGRCの値が一致したとき(注2) | | |
| IMFD | TRCIOD端子の入力エッジ(注1) | TRCとTRCGRDの値が一致したとき(注2) | | |
| OVF | TRCがオーバフローしたとき | | | |

注1. TRCIOR0、TRCIOR1レジスタのIOj1～IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

19.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0)

アドレス 0124h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|------|------|------|------|------|------|------|
| シンボル | - | IOB2 | IOB1 | IOB0 | IOA3 | IOA2 | IOA1 | IOA0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|------------------------------------|-----|
| b0 | IOA0 | TRCGRA制御ビット | 動作モード(機能)によって機能が異なる | R/W |
| b1 | IOA1 | | | R/W |
| b2 | IOA2 | | | R/W |
| b3 | IOA3 | TRCGRAモード選択ビット(注1) | 0: アウトプットコンペア機能 1: インプットキャプチャ機能 | R/W |
| b4 | IOB0 | TRCGRB制御ビット | 動作モード(機能)によって機能が異なる | R/W |
| b5 | IOB1 | | | R/W |
| b6 | IOB2 | TRCGRBモード選択ビット(注2) | 0: アウトプットコンペア機能 1: インプットキャプチャ機能 | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。 | | - |

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

19.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1)

アドレス 0125h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|------|------|------|------|------|------|------|
| シンボル | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--------------------|--|-----|
| b0 | IOC0 | TRCGRC制御ビット | 動作モード(機能)によって機能が異なる | R/W |
| b1 | IOC1 | | | R/W |
| b2 | IOC2 | | | R/W |
| b3 | IOC3 | TRCGRCレジスタ機能選択ビット | 0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ | R/W |
| b4 | IOD0 | TRCGRD制御ビット | 動作モード(機能)によって機能が異なる | R/W |
| b5 | IOD1 | | | R/W |
| b6 | IOD2 | TRCGRDモード選択ビット(注2) | 0: アウトプットコンペア機能 1: インプットキャプチャ機能 | R/W |
| b7 | IOD3 | TRCGRDレジスタ機能選択ビット | 0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ | R/W |

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

19.2.8 タイマRCカウンタ(TRC)

アドレス 0127h ~ 0126h 番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定範囲 | R/W |
|----------|---|---------------|-----|
| b15 ~ b0 | カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRCSRレジスタのOVFビットが“1”になる。 | 0000h ~ FFFFh | R/W |

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h ~ 0128h 番地 (TRCGRA)、012Bh ~ 012Ah 番地 (TRCGRB)、
012Dh ~ 012Ch 番地 (TRCGRC)、012Fh ~ 012Eh 番地 (TRCGRD)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | 機能 | R/W |
|----------|---------------|-----|
| b15 ~ b0 | モードによって機能が異なる | R/W |

TRCGRA ~ TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

19.2.10 タイマRC制御レジスタ2 (TRCCR2)

アドレス 0130h番地

| | | | | | | | | |
|---------|-------|-------|------|----|----|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TCEG1 | TCEG0 | CSEL | - | - | POLD | POLC | POLB |
| リセット後の値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | POLB | PWMモードアウトプットレベル制御ビットB (注1) | 0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ | R/W |
| b1 | POLC | PWMモードアウトプットレベル制御ビットC (注1) | 0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ | R/W |
| b2 | POLD | PWMモードアウトプットレベル制御ビットD (注1) | 0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b4 | - | | | |
| b5 | CSEL | TRCカウント動作選択ビット (注2) | 0 : TRCGRAレジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止 | R/W |
| b6 | TCEG0 | TRCTRG入力エッジ選択ビット (注3) | b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択 | R/W |
| b7 | TCEG1 | | | R/W |

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

19.2.11 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 0131h 番地

| | | | | | | | | |
|---------|-------|-------|----|-------|-----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | DFCK1 | DFCK0 | - | DFTRG | DFD | DFC | DFB | DFA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | DFA | TRCIOA 端子デジタルフィルタ機能 選択ビット(注1) | 0: 機能なし 1: 機能あり | R/W |
| b1 | DFB | TRCIOB 端子デジタルフィルタ機能 選択ビット(注1) | 0: 機能なし 1: 機能あり | R/W |
| b2 | DFC | TRCIOC 端子デジタルフィルタ機能 選択ビット(注1) | 0: 機能なし 1: 機能あり | R/W |
| b3 | DFD | TRCIOD 端子デジタルフィルタ機能 選択ビット(注1) | 0: 機能なし 1: 機能あり | R/W |
| b4 | DFTRG | TRCTRG 端子デジタルフィルタ機能 選択ビット(注2) | 0: 機能なし 1: 機能あり | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b6 | DFCK0 | デジタルフィルタ機能用クロック選 択ビット(注1、2) | b7 b6 00: f32 01: f8 10: f1 11: カウントソース(TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック) | R/W |
| b7 | DFCK1 | | | R/W |

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

19.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)

アドレス 0132h番地

| | | | | | | | | |
|---------|-----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | PTO | - | - | - | ED | EC | EB | EA |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | EA | TRCIOA出力禁止ビット(注1) | 0: 出力許可 1: 出力禁止(TRCIOA端子はプログラマブル入出力ポート) | R/W |
| b1 | EB | TRCIOB出力禁止ビット(注1) | 0: 出力許可 1: 出力禁止(TRCIOB端子はプログラマブル入出力ポート) | R/W |
| b2 | EC | TRCIOC出力禁止ビット(注1) | 0: 出力許可 1: 出力禁止(TRCIOC端子はプログラマブル入出力ポート) | R/W |
| b3 | ED | TRCIOD出力禁止ビット(注1) | 0: 出力許可 1: 出力禁止(TRCIOD端子はプログラマブル入出力ポート) | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | PTO | パルス出力強制遮断信号入力INT0有効ビット | 0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる) | R/W |

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

19.2.13 タイマRCトリガ制御レジスタ(TRCADCR)

アドレス 0133h番地

| | | | | | | | | |
|---------|----|----|----|----|---------|---------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | ADTRGDE | ADTRGCE | ADTRGBE | ADTRGAE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--|---|-----|
| b0 | ADTRGAE | A/DトリガA許可ビット | 0: A/Dトリガ禁止 1: TRCとTRCGRAレジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b1 | ADTRGBE | A/DトリガB許可ビット | 0: A/Dトリガ禁止 1: TRCとTRCGRBレジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b2 | ADTRGCE | A/DトリガC許可ビット | 0: A/Dトリガ禁止 1: TRCとTRCGRCレジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b3 | ADTRGDE | A/DトリガD許可ビット | 0: A/Dトリガ禁止 1: TRCとTRCGRDレジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

19.2.14 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

| | | | | | | | | |
|---------|----|----|------------|------------|----|----|----|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | TRCCLKSEL1 | TRCCLKSEL0 | - | - | - | TRBOSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|---------------|---|-----|
| b0 | TRBOSEL0 | TRBO端子選択ビット | 0 : P1_3に割り当てる 1 : P3_1に割り当てる | R/W |
| b1 | - | 予約ビット | “0” にしてください | R/W |
| b2 | - | 予約ビット | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - |
| b3 | - | | | |
| b4 | TRCCLKSEL0 | TRCCLK端子選択ビット | b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRCCLKSEL1 | | | R/W |
| b6 | - | 予約ビット | “0” にしてください | R/W |
| b7 | - | 予約ビット | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - |

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

| | | | | | | | | |
|---------|----|------------|------------|------------|----|------------|------------|------------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRCIOBSEL2 | TRCIOBSEL1 | TRCIOBSEL0 | - | TRCIOASEL2 | TRCIOASEL1 | TRCIOASEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|----------------------|---|--|
| b0 | TRCIOASEL0 | TRCIOA/TRCTRG端子選択ビット | b2 b1 b0 0 0 0 : TRCIOA/TRCTRG端子は使用しない 0 0 1 : P1_1に割り当てる 0 1 0 : P0_0に割り当てる 0 1 1 : P0_1に割り当てる 1 0 0 : P0_2に割り当てる 上記以外 : 設定しないでください | R/W |
| b1 | TRCIOASEL1 | | | R/W |
| b2 | TRCIOASEL2 | | | R/W |
| b3 | - | | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |
| b4 | TRCIOBSEL0 | TRCIOB端子選択ビット | b6 b5 b4 0 0 0 : TRCIOB端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 0 : P0_3に割り当てる 0 1 1 : P0_4に割り当てる 1 0 0 : P0_5に割り当てる 1 0 1 : P2_0に割り当てる 1 1 0 : P6_5に割り当てる 上記以外 : 設定しないでください | R/W |
| b5 | TRCIOBSEL1 | | | R/W |
| b6 | TRCIOBSEL2 | | | R/W |
| b7 | - | | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

| | | | | | | | | |
|---------|----|------------|------------|------------|----|-----------|-----------|-----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRCIODSEL2 | TRCIODSEL1 | TRCIODSEL0 | - | TRCIOSEL2 | TRCIOSEL1 | TRCIOSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------------|--|---|--|
| b0 | TRCIOSEL0 | TRCIO端子選択ビット | b2 b1 b0 0 0 0 : TRCIO端子は使用しない 0 0 1 : P1_3に割り当てる 0 1 0 : P3_4に割り当てる 0 1 1 : P0_7に割り当てる 1 0 0 : P2_1に割り当てる 1 0 1 : P6_6に割り当てる 上記以外 : 設定しないでください | R/W |
| b1 | TRCIOSEL1 | | | R/W |
| b2 | TRCIOSEL2 | | | R/W |
| b3 | - | | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |
| b4 | TRCIODSEL0 | TRCIOD端子選択ビット | b6 b5 b4 0 0 0 : TRCIOD端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 0 : P2_2に割り当てる 1 0 1 : P6_7に割り当てる 上記以外 : 設定しないでください | R/W |
| b5 | TRCIODSEL1 | | | R/W |
| b6 | TRCIODSEL2 | | | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

19.3 複数モードに関わる共通事項

19.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表 19.5にカウントソースの選択を、図 19.2にカウントソースのブロック図を示します。

表 19.5 カウントソースの選択

| カウントソース | 選択方法 |
|--------------------|--|
| f1、f2、f4、f8、f32 | TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択 |
| fOCO40M fOCO-F | FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M) TRCCR1レジスタのTCK2～TCK0ビットが“111b”(fOCO-F) |
| TRCCLK端子に入力された外部信号 | TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード) |

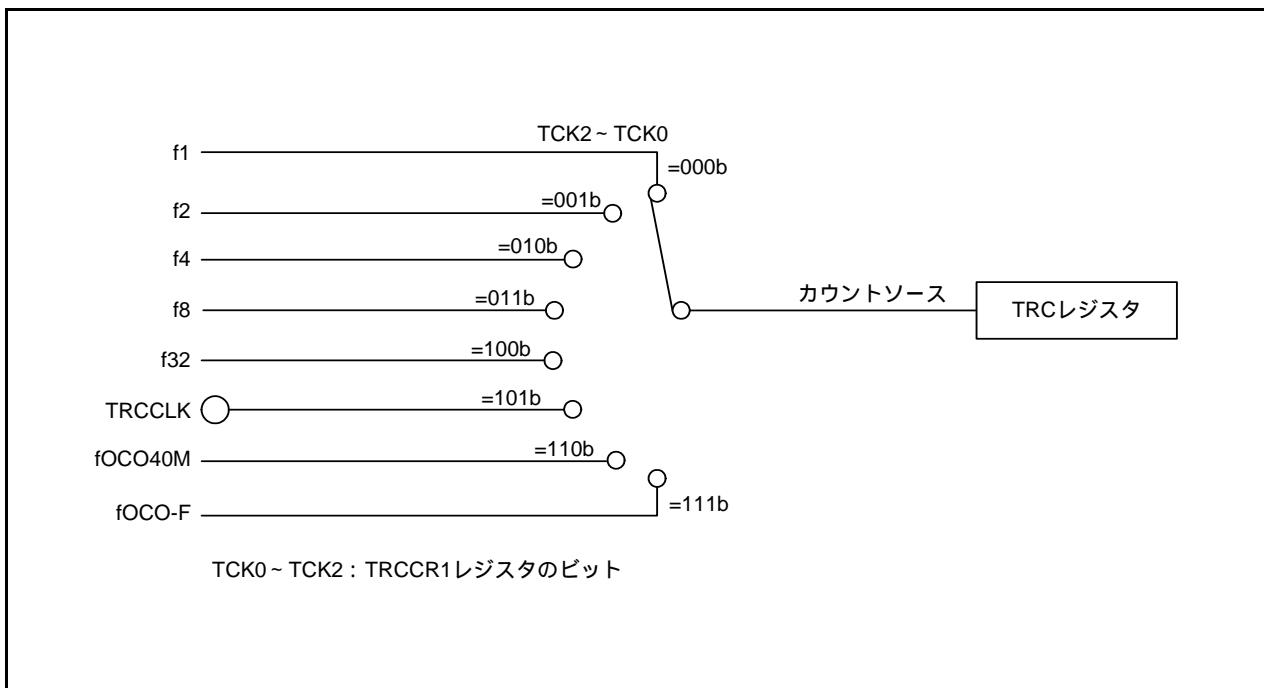


図 19.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表 19.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

19.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表 19.6 に各モードのバッファ動作を、図 19.3 にインプットキャプチャ機能のバッファ動作を、図 19.4 にアウトプットコンペア機能のバッファ動作を示します。

表 19.6 各モードのバッファ動作

| 機能、モード | 転送タイミング | 転送するレジスタ |
|--------------|--|-----------------------------------|
| インプットキャプチャ機能 | インプットキャプチャ信号入力 | TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送 |
| アウトプットコンペア機能 | TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致 | バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送 |
| PWMモード | | |
| PWM2モード | <ul style="list-style-type: none"> •TRCレジスタとTRCGRAレジスタのコンペア一致 •TRCTRG端子トリガ入力 | バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送 |

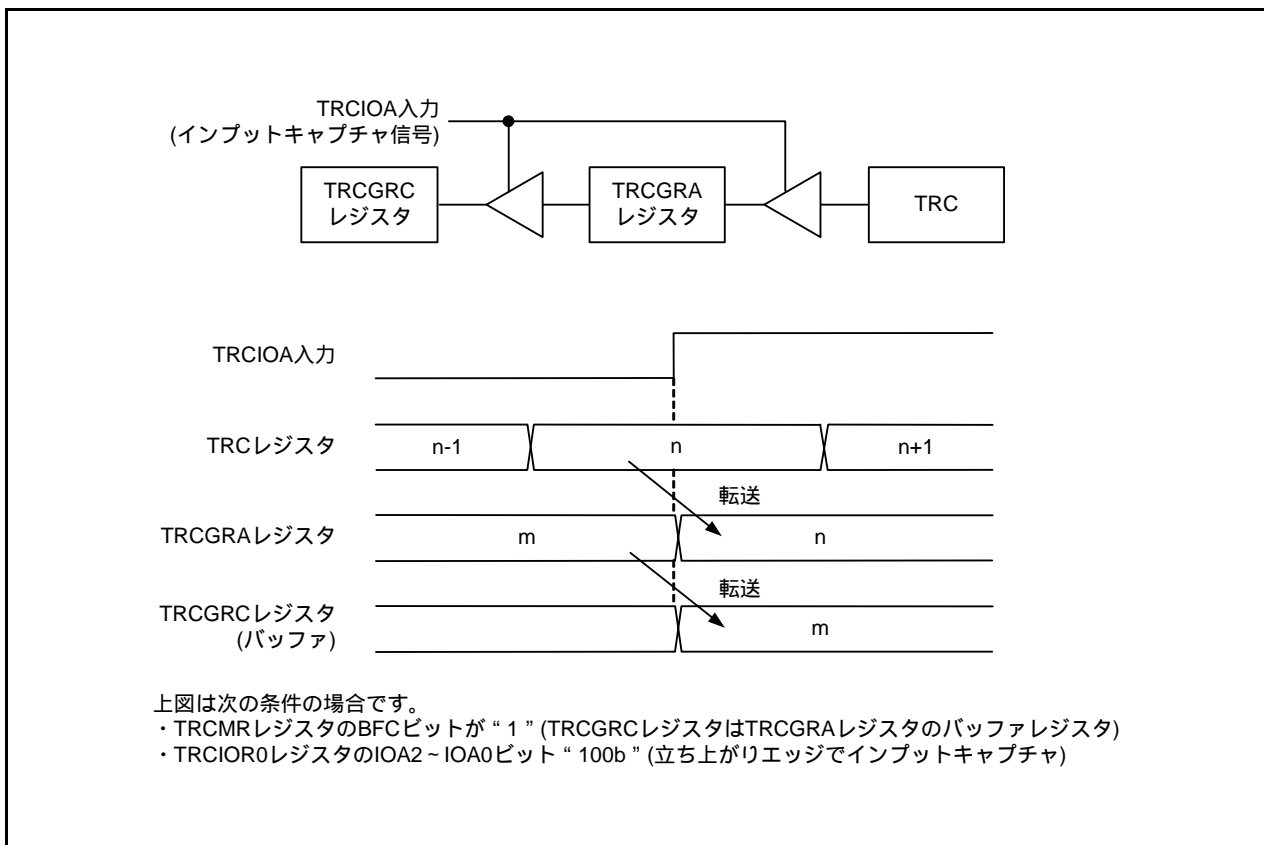


図 19.3 インプットキャプチャ機能のバッファ動作

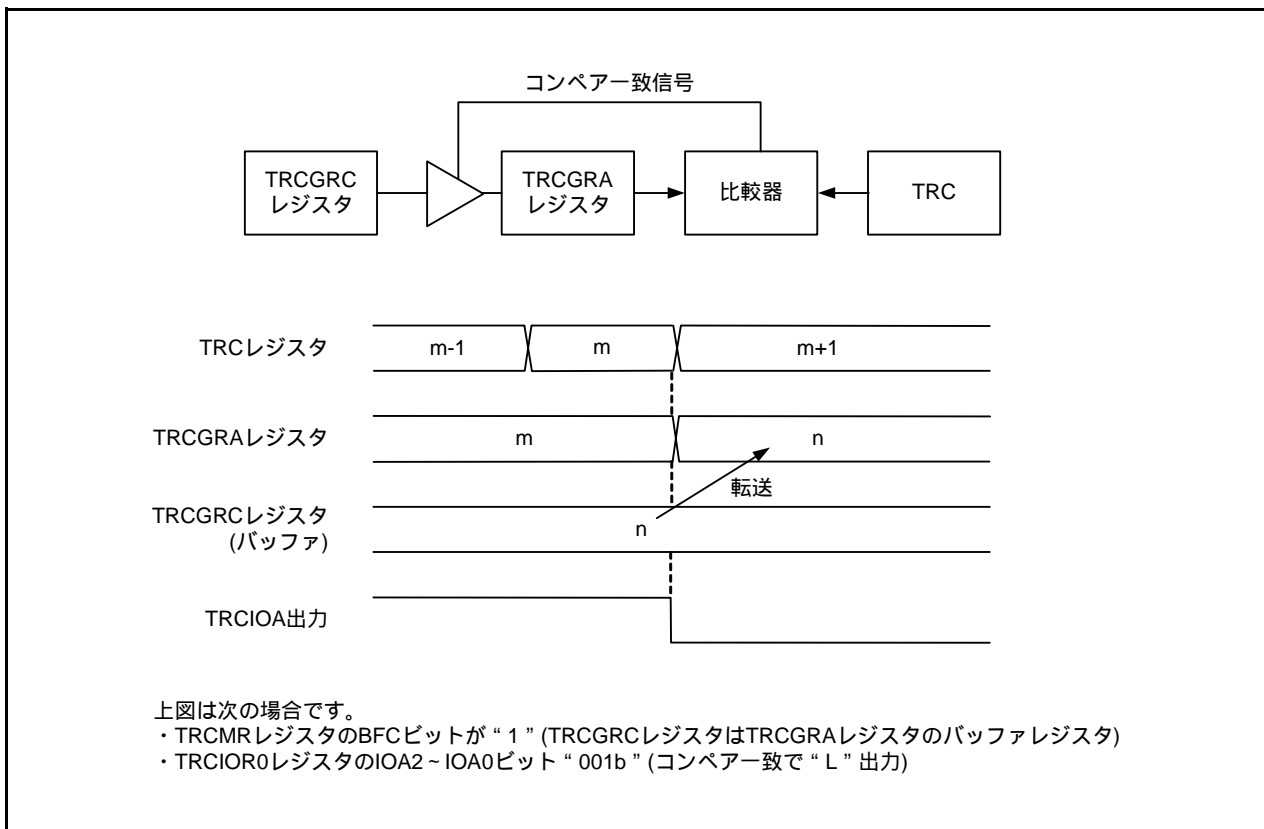


図 19.4 アウトブットコンペアー機能のバッファ動作

タイマモードでは次のようにしてください。

- TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトブットコンペアー機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペアー致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

インプットキャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

19.3.3 デジタルフィルタ

TRCTRГ 入力またはTRCIOj(j = A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図19.5にデジタルフィルタのブロック図を示します。

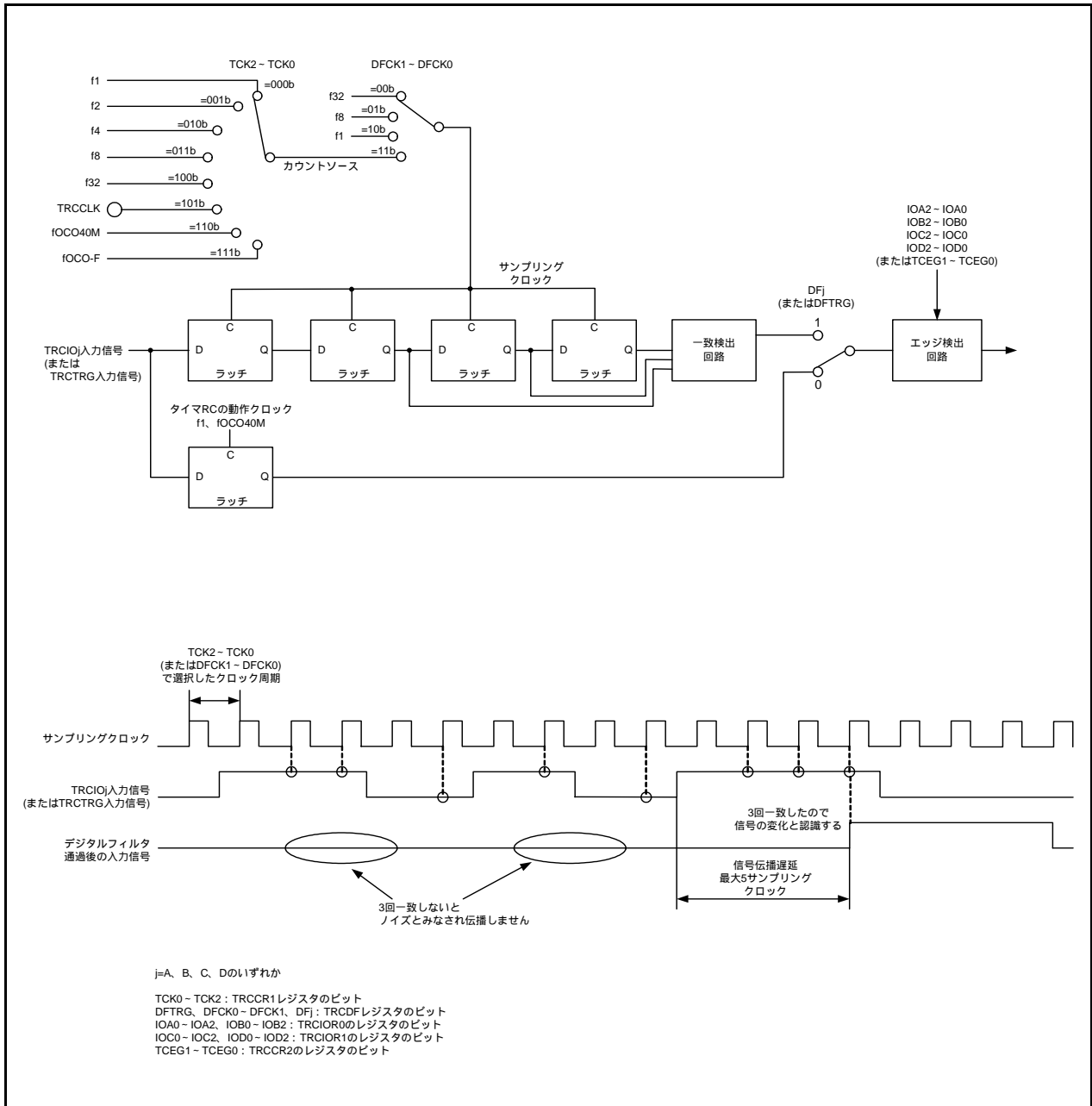


図19.5 デジタルフィルタのブロック図

19.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj(j = A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表 19.1 タイマRCの動作クロック」参照)の1~2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択する。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

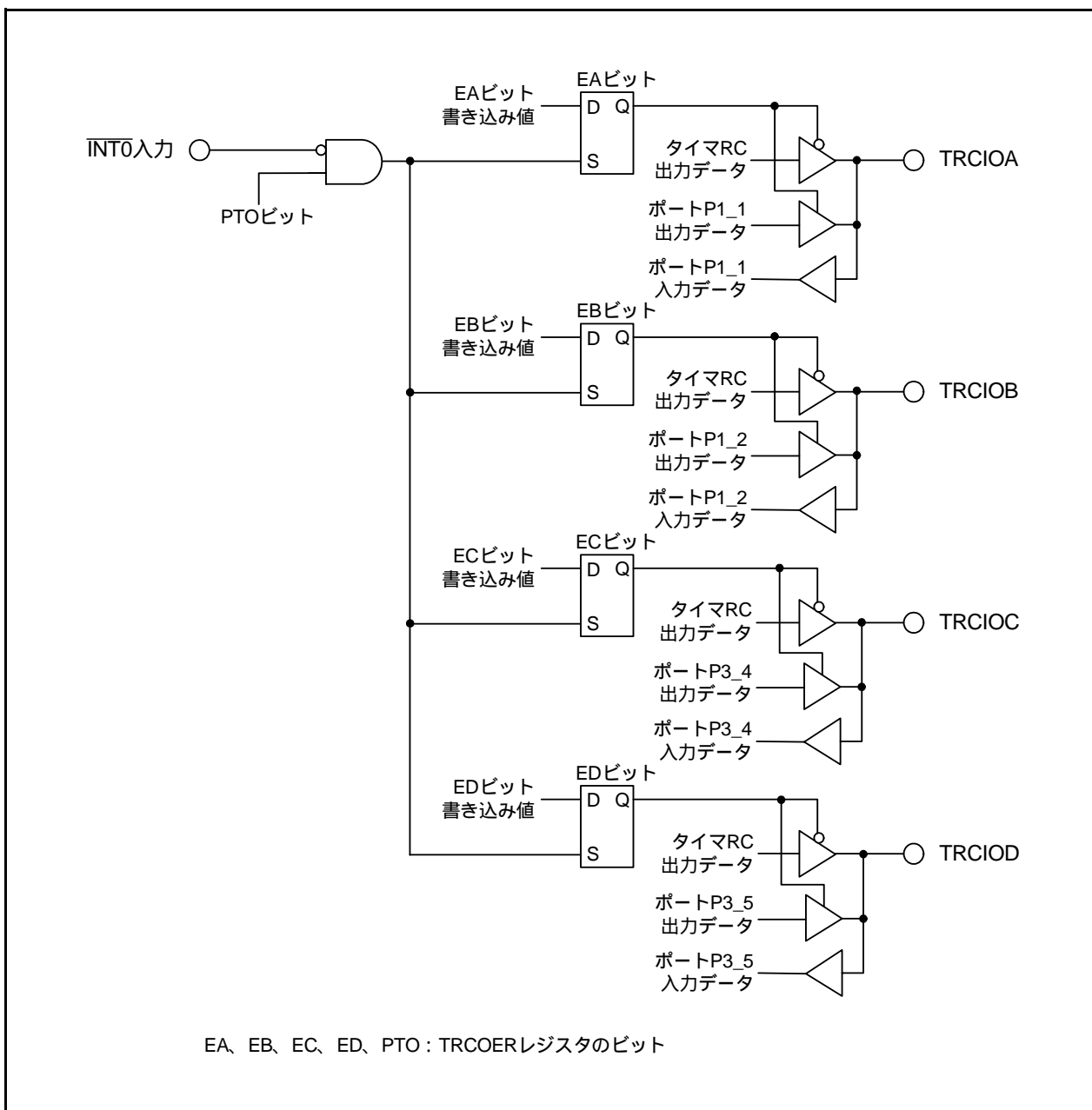


図 19.6 パルス出力強制遮断

19.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIO_j(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGR_jレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表 19.7 にインプットキャプチャ機能の仕様を、図 19.7 にインプットキャプチャ機能のブロック図を、表 19.8 にインプットキャプチャ機能時のTRCGR_jレジスタの機能を、図 19.8 にインプットキャプチャ機能の動作例を示します。

表 19.7 インプットキャプチャ機能の仕様

| 項目 | 仕様 |
|----------------------------------|---|
| カウントソース | f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ) |
| カウント動作 | アップカウント |
| カウント周期 | <ul style="list-style-type: none"> TRCCR1 レジスタの CCLR ビットが⁰ (フリーランニング動作) の場合 1/fk × 65536 fk : カウントソースの周波数 TRCCR1 レジスタの CCLR ビットが¹ (TRCGRA のインプットキャプチャで TRC レジスタを “0000h” にする) の場合 1/fk × (n+1) n : TRCGRA レジスタ設定値 |
| カウント開始条件 | TRCMR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み |
| カウント停止条件 | TRCMR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み TRC レジスタは停止前の値を保持 |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> インプットキャプチャ (TRCIO_j 入力の有効エッジ、または fOCO128 信号のエッジ) TRC レジスタオーバフロー |
| TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能 | プログラマブル入出力ポート、またはインプットキャプチャ入力 (1端子ごとに選択) |
| INT0 端子機能 | プログラマブル入出力ポート、またはINT0 割り込み入力 |
| タイマの読み出し | TRC レジスタを読むと、カウント値が読める |
| タイマの書き込み | TRC レジスタに書き込める |
| 選択機能 | <ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 バッファ動作 (「19.3.2 バッファ動作」参照) デジタルフィルタ (「19.3.3 デジタルフィルタ」参照) TRC レジスタを “0000h” にするタイミング オーバフローまたはインプットキャプチャ インプットキャプチャトリガ選択 TRCGRA レジスタのインプットキャプチャトリガ入力に fOCO128 を選択できる |

j = A、B、C、Dのいずれか

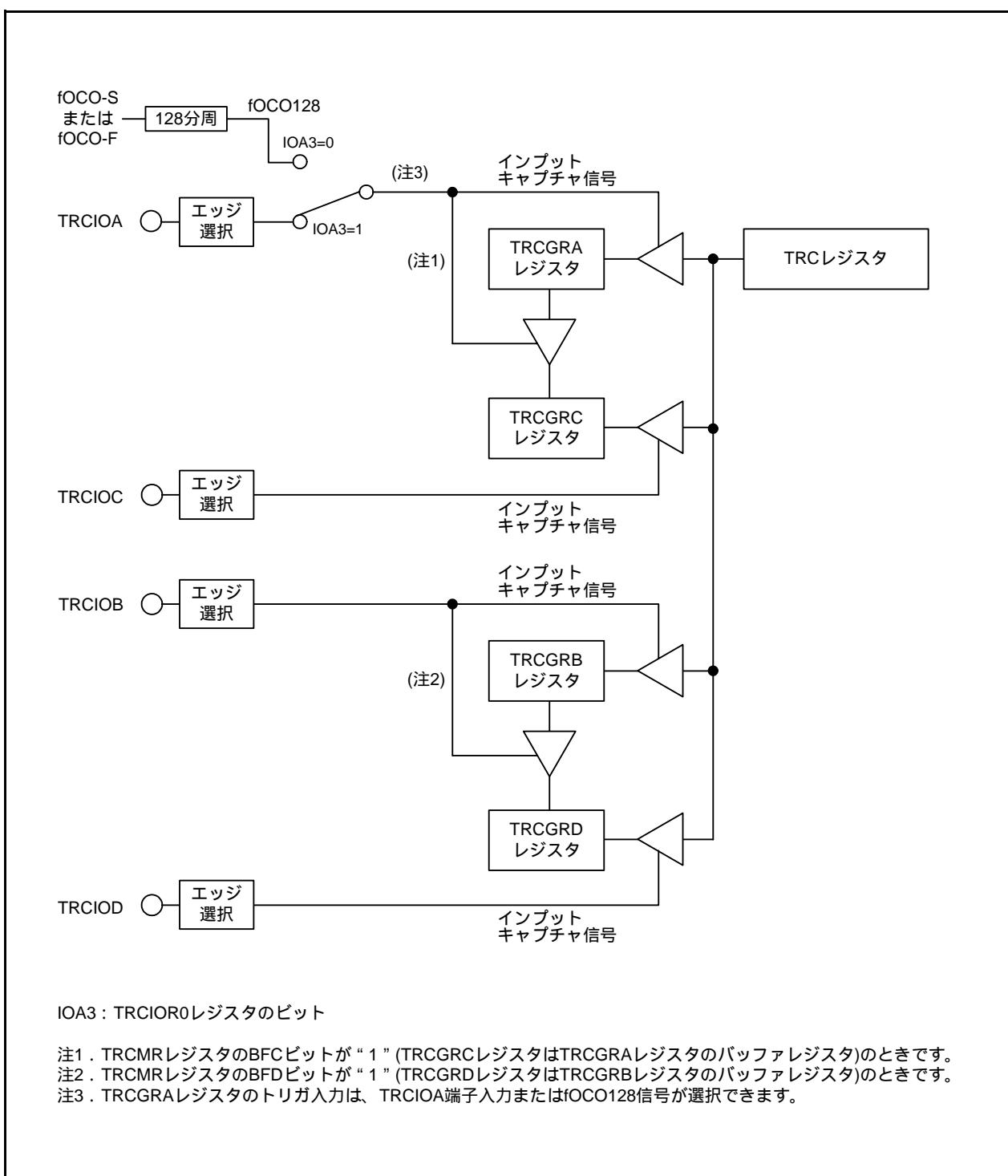


図19.7 インプットキャプチャ機能のブロック図

19.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0)[タイマモード(インプットキャプチャ機能)時]

アドレス 0124h 番地

| | | | | | | | | |
|---------|----|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | IOB2 | IOB1 | IOB0 | IOA3 | IOA2 | IOA1 | IOA0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IOA0 | TRCGRA制御ビット | ^{b1 b0} 00: 立ち上がりエッジでTRCGRAへインプットキャプチャ 01: 立ち下がりエッジでTRCGRAへインプットキャプチャ 10: 両エッジでTRCGRAへインプットキャプチャ 11: 設定しないでください | R/W |
| b1 | IOA1 | | | R/W |
| b2 | IOA2 | TRCGRAモード選択ビット(注1) | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください | R/W |
| b3 | IOA3 | TRCGRAインプットキャプチャ入力切替ビット(注3) | 0: fOCO128信号 1: TRCIOA端子入力 | R/W |
| b4 | IOB0 | TRCGRB制御ビット | ^{b5 b4} 00: 立ち上がりエッジでTRCGRBへインプットキャプチャ 01: 立ち下がりエッジでTRCGRBへインプットキャプチャ 10: 両エッジでTRCGRBへインプットキャプチャ 11: 設定しないでください | R/W |
| b5 | IOB1 | | | R/W |
| b6 | IOB2 | TRCGRBモード選択ビット(注2) | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

19.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1)[タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

| | | | | | | | | |
|---------|------|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--------------------|---|-----|
| b0 | IOC0 | TRCGRC制御ビット | b1 b0 00: 立ち上がりエッジでTRCGRCへインプットキャプチャ 01: 立ち下がりエッジでTRCGRCへインプットキャプチャ 10: 両エッジでTRCGRCへインプットキャプチャ 11: 設定しないでください | R/W |
| b1 | IOC1 | | | R/W |
| b2 | IOC2 | TRCGRCモード選択ビット(注1) | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください | R/W |
| b3 | IOC3 | TRCGRCレジスタ機能選択ビット | “1”にしてください | R/W |
| b4 | IOD0 | TRCGRD制御ビット | b5 b4 00: 立ち上がりエッジでTRCGRDへインプットキャプチャ 01: 立ち下がりエッジでTRCGRDへインプットキャプチャ 10: 両エッジでTRCGRDへインプットキャプチャ 11: 設定しないでください | R/W |
| b5 | IOD1 | | | R/W |
| b6 | IOD2 | TRCGRDモード選択ビット(注2) | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください | R/W |
| b7 | IOD3 | TRCGRDレジスタ機能選択ビット | “1”にしてください | R/W |

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

表 19.8 インプットキャプチャ機能時のTRCGRjレジスタの機能

| レジスタ | 設定 | レジスタの機能 | インプットキャプチャ入力端子 |
|--------|-------|--|----------------|
| TRCGRA | - | ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。 | TRCIOA |
| TRCGRB | | | TRCIOB |
| TRCGRC | BFC=0 | ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。 | TRCIOC |
| TRCGRD | BFD=0 | | TRCIOD |
| TRCGRC | BFC=1 | バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「19.3.2 バッファ動作」参照)。 | TRCIOA |
| TRCGRD | BFD=1 | | TRCIOB |

j = A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

19.4.3 動作例

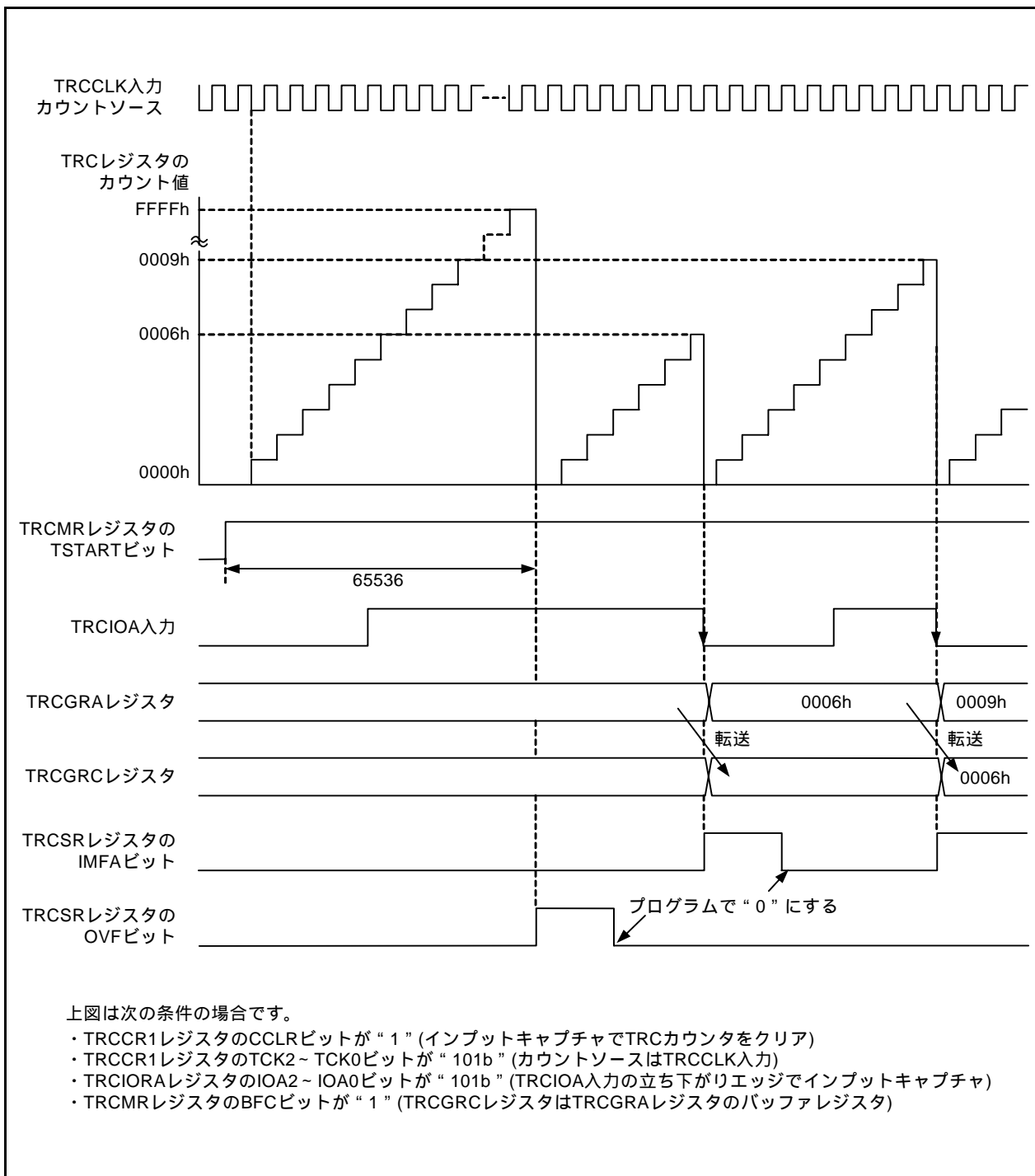


図 19.8 インプットキャプチャ機能の動作例

19.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj(j = A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき TRCIOj 端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 19.9 にアウトプットコンペア機能の仕様を、図 19.9 にアウトプットコンペア機能のブロック図を、表 19.10 にアウトプットコンペア機能時の TRCGRj レジスタの機能を、図 19.10 にアウトプットコンペア機能の動作例を示します。

表 19.9 アウトプットコンペア機能の仕様

| 項目 | 仕様 |
|----------------------------------|---|
| カウントソース | f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ) |
| カウント動作 | アップカウント |
| カウント周期 | <ul style="list-style-type: none"> TRCCR1 レジスタの CCLR ビットが“0”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 TRCCR1 レジスタの CCLR ビットが“1”(TRCGRA のコンペア一致で TRC レジスタを“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRCGRA レジスタ設定値 |
| 波形出力タイミング | コンペア一致 |
| カウント開始条件 | TRCMR レジスタの TSTART ビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> TRCCR2 レジスタの CSEL ビットが“0”(TRCGRA レジスタとのコンペア一致後もカウント継続)の場合 TRCMR レジスタの TSTART ビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRC レジスタは停止前の値を保持 TRCCR2 レジスタの CSEL ビットが“1”(TRCGRA レジスタとのコンペア一致でカウント停止)の場合 TRCGRA レジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持 |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> コンペア一致 (TRC レジスタと TRCGRj レジスタの内容が一致) TRC レジスタオーバフロー |
| TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能 | プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択) |
| INT0 端子機能 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0 割り込み入力 |
| タイマの読み出し | TRC レジスタを読むと、カウント値が読める |
| タイマの書き込み | TRC レジスタに書き込める |
| 選択機能 | <ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本 コンペア一致時の出力レベル選択 “L”出力、“H”出力、またはトグル出力 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 TRC レジスタを“0000h”にするタイミング オーバフロー、または TRCGRA レジスタのコンペア一致 バッファ動作(「19.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照) タイマ RC は出力しないことで内部タイマとして使用できる TRCGRC、TRCGRD の出力端子変更 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用できる A/D トリガ発生 |

j = A、B、C、Dのいずれか

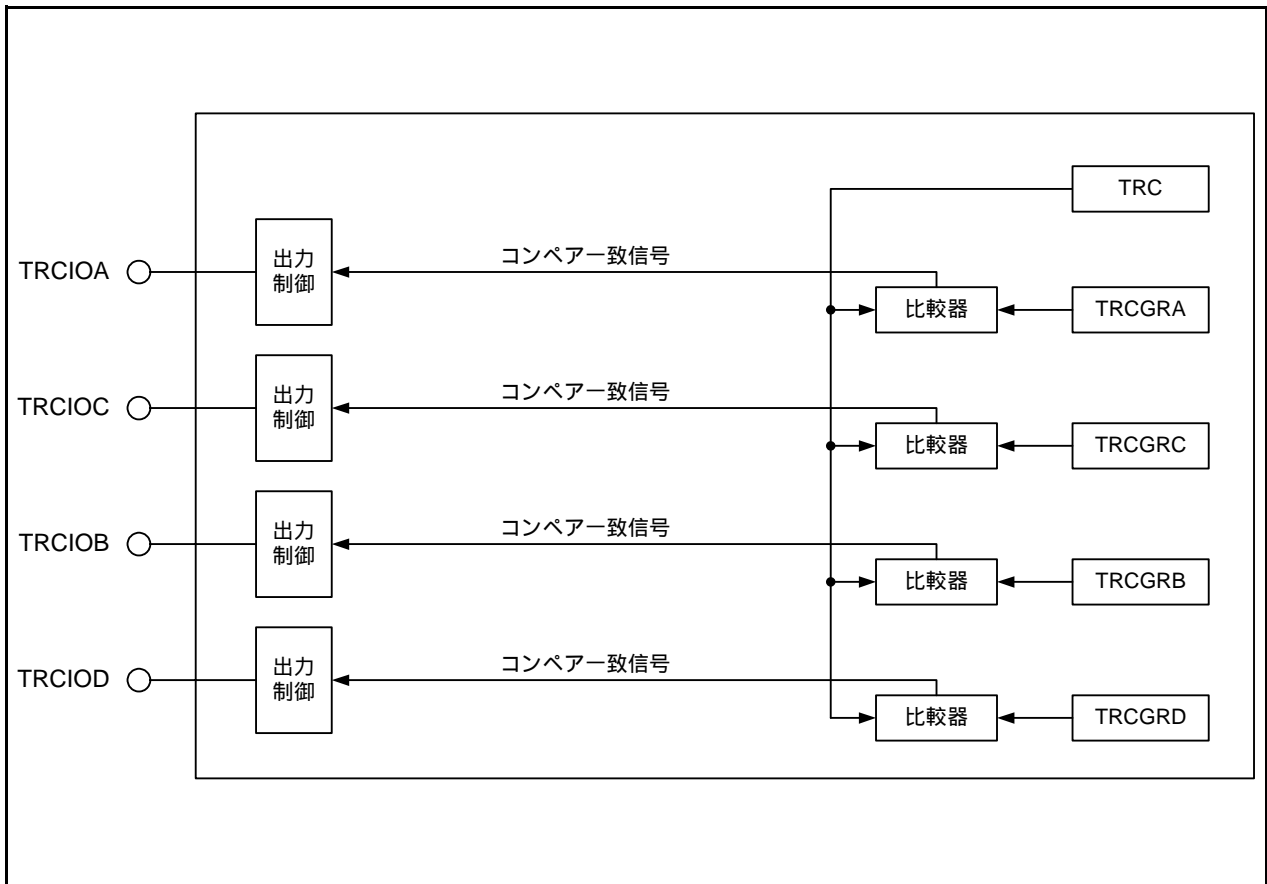


図19.9 アウトプットコンペア機能のブロック図

19.5.1 タイマRC制御レジスタ1 (TRCCR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0121h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|------|------|------|-----|-----|-----|-----|
| シンボル | CCLR | TCK2 | TCK1 | TCK0 | TOD | TOC | TOB | TOA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------------------|---|-----|
| b0 | TOA | TRCIOA出力レベル選択ビット(注1、2) | 0: 初期出力“L” 1: 初期出力“H” | R/W |
| b1 | TOB | TRCIOB出力レベル選択ビット(注1、2) | | R/W |
| b2 | TOC | TRCIOC出力レベル選択ビット(注1、2) | | R/W |
| b3 | TOD | TRCIOD出力レベル選択ビット(注1、2) | | R/W |
| b4 | TCK0 | カウントソース選択ビット(注1) | b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3) | R/W |
| b5 | TCK1 | | | R/W |
| b6 | TCK2 | | | R/W |
| b7 | CCLR | TRCカウンタクリア選択ビット | 0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア | R/W |

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表 19.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

| レジスタ | 設定 | レジスタの機能 | アウトプット コンペア出力端子 |
|--------|-------|---|--------------------|
| TRCGRA | - | ジェネラルレジスタ。コンペア値を書いてください。 | TRCIOA |
| TRCGRB | | | TRCIOB |
| TRCGRC | BFC=0 | ジェネラルレジスタ。コンペア値を書いてください。 | TRCIOC |
| TRCGRD | BFD=0 | | TRCIOD |
| TRCGRC | BFC=1 | バッファレジスタ。次回のコンペア値を書いてください(「19.3.2 バッファ動作」参照)。 | TRCIOA |
| TRCGRD | BFD=1 | | TRCIOB |

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

19.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0)[タイマモード(アウトプットコンペア機能)時]

アドレス 0124h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|------|------|------|------|------|------|------|
| シンボル | - | IOB2 | IOB1 | IOB0 | IOA3 | IOA2 | IOA1 | IOA0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | IOA0 | TRCGRA制御ビット | b1 b0 00: コンペア一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 01: TRCGRAのコンペア一致で“L”出力 10: TRCGRAのコンペア一致で“H”出力 11: TRCGRAのコンペア一致でトグル出力 | R/W |
| b1 | IOA1 | | | R/W |
| b2 | IOA2 | TRCGRAモード選択ビット(注1) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください | R/W |
| b3 | IOA3 | TRCGRAインプットキャプチャ入力切替ビット | “1”にしてください | R/W |
| b4 | IOB0 | TRCGRB制御ビット | b5 b4 00: コンペア一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 01: TRCGRBのコンペア一致で“L”出力 10: TRCGRBのコンペア一致で“H”出力 11: TRCGRBのコンペア一致でトグル出力 | R/W |
| b5 | IOB1 | | | R/W |
| b6 | IOB2 | TRCGRBモード選択ビット(注2) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

19.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0125h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|------|------|------|------|------|------|------|
| シンボル | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--------------------|---|-----|
| b0 | IOC0 | TRCGRC制御ビット | b1 b0 00: コンペア一致による端子出力禁止 01: TRCGRCのコンペア一致で“L”出力 10: TRCGRCのコンペア一致で“H”出力 11: TRCGRCのコンペア一致でトグル出力 | R/W |
| b1 | IOC1 | | | R/W |
| b2 | IOC2 | TRCGRCモード選択ビット(注1) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください | R/W |
| b3 | IOC3 | TRCGRCレジスタ機能選択ビット | 0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ | R/W |
| b4 | IOD0 | TRCGRD制御ビット | b5 b4 00: コンペア一致による端子出力禁止 01: TRCGRDのコンペア一致で“L”出力 10: TRCGRDのコンペア一致で“H”出力 11: TRCGRDのコンペア一致でトグル出力 | R/W |
| b5 | IOD1 | | | R/W |
| b6 | IOD2 | TRCGRDモード選択ビット(注2) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください | R/W |
| b7 | IOD3 | TRCGRDレジスタ機能選択ビット | 0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ | R/W |

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

19.5.4 タイマRC制御レジスタ2 (TRCCR2)[タイマモード(アウトプットコンペア機能)時]

アドレス 0130h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-------|-------|------|----|----|------|------|------|
| シンボル | TCEG1 | TCEG0 | CSEL | - | - | POLD | POLC | POLB |
| リセット後の値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | POLB | PWMモードアウトプットレベル制御ビットB (注1) | 0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ | R/W |
| b1 | POLC | PWMモードアウトプットレベル制御ビットC (注1) | 0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ | R/W |
| b2 | POLD | PWMモードアウトプットレベル制御ビットD (注1) | 0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b4 | - | | | |
| b5 | CSEL | TRCカウント動作選択ビット (注2) | 0 : TRCGRAレジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止 | R/W |
| b6 | TCEG0 | TRCTRG入力エッジ選択ビット (注3) | b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択 | R/W |
| b7 | TCEG1 | | | R/W |

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

19.5.5 動作例

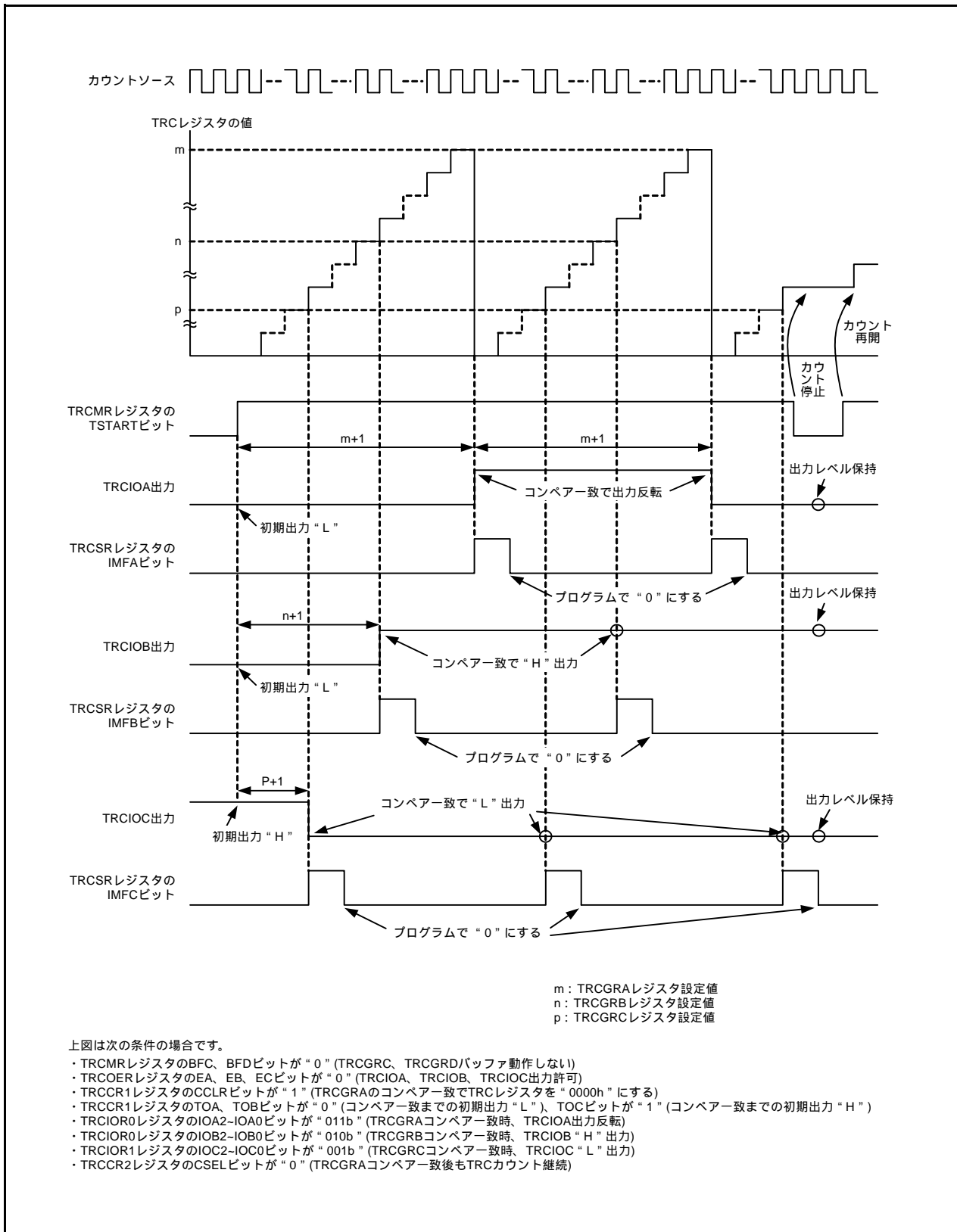


図19.10 アウトプットコンペアー機能の動作例

19.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

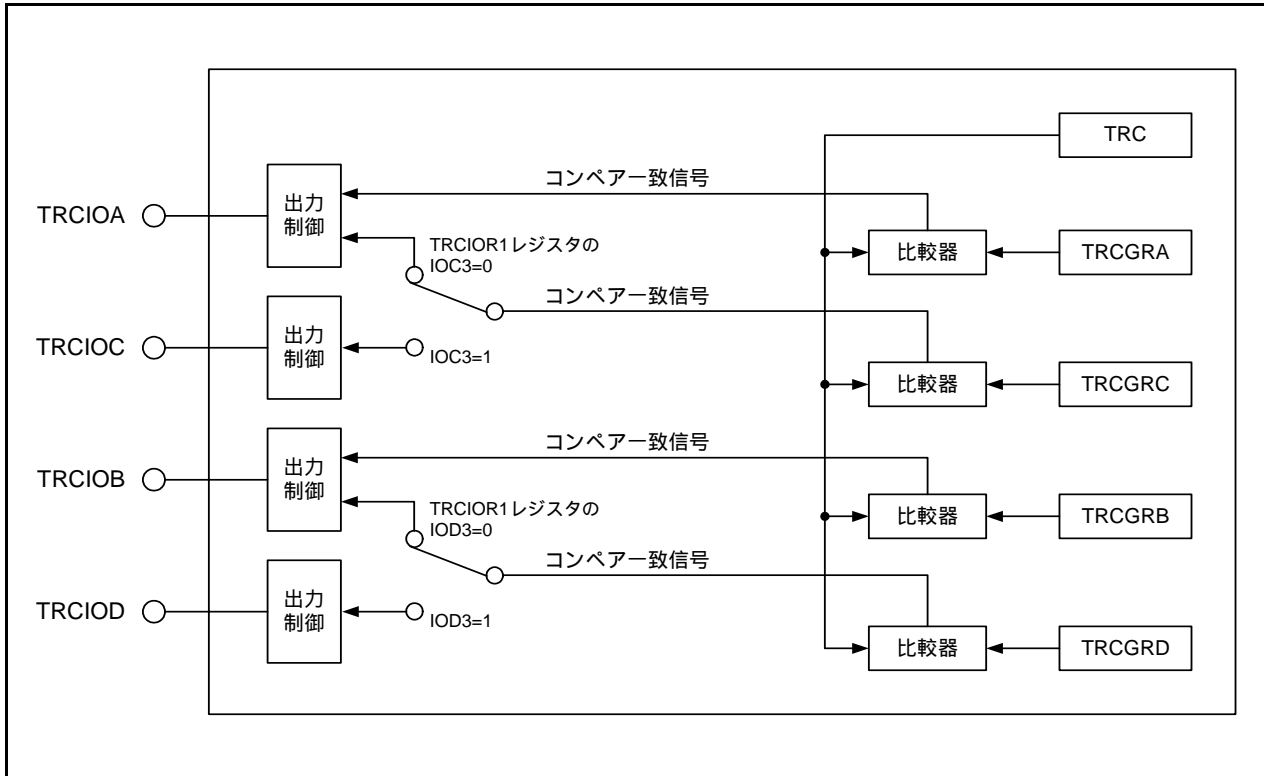


図19.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOAレジスタのIOC3ビットを“0”(TRCIOA出力レジスタ)、IOD3ビットを“0”(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0”(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図 19.12に TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用した場合の動作例を示します。

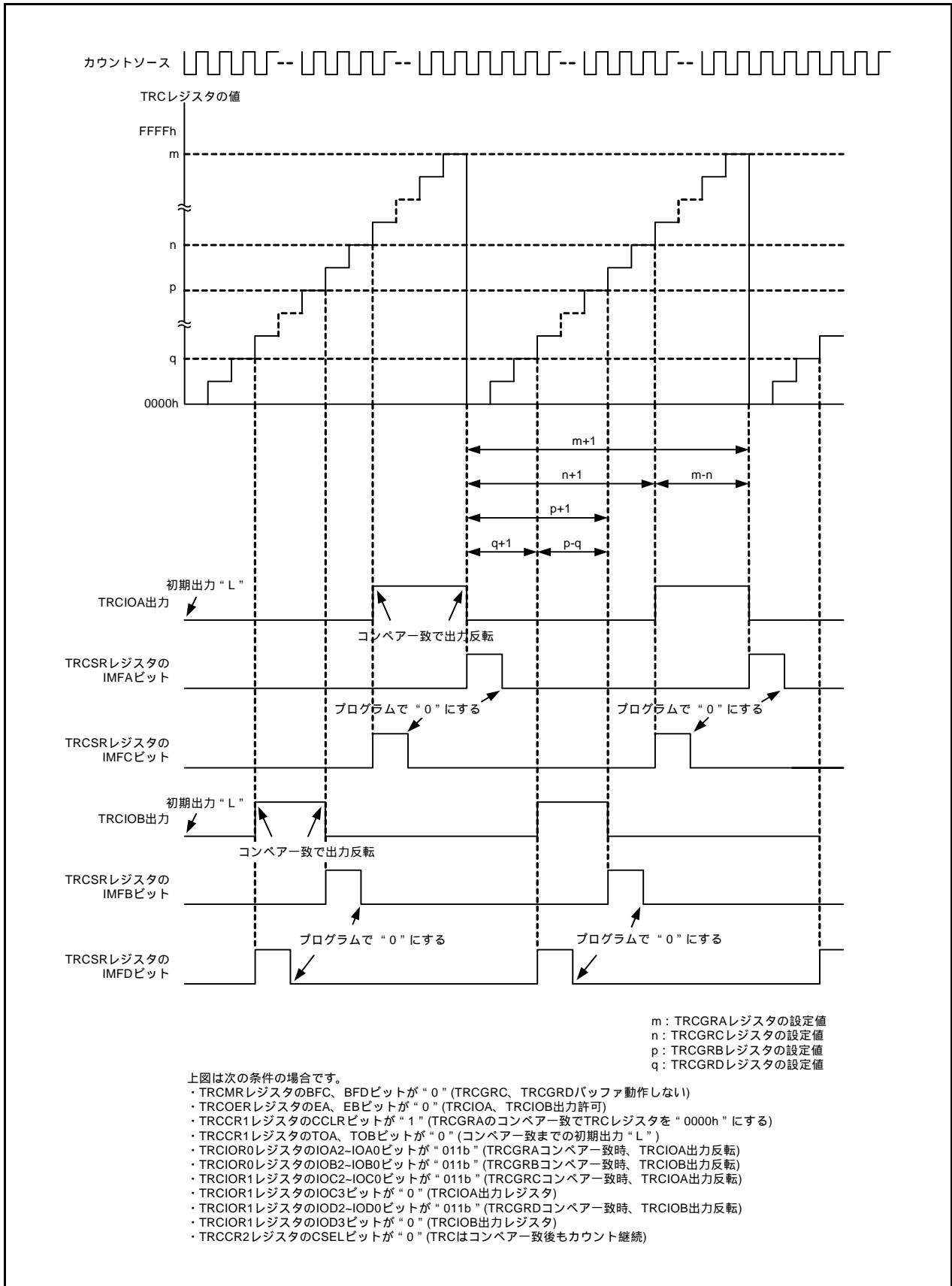


図 19.12 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用した場合の動作例

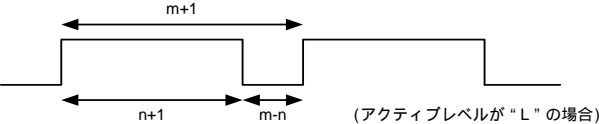
19.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表 19.11 にPWMモードの仕様を、図 19.13 にPWMモードのブロック図を、表 19.12 にPWMモード時のTRCGRhレジスタの機能を、図 19.14 ~ 図 19.15 にPWMモードの動作例を示します。

表 19.11 PWMモードの仕様

| 項目 | 仕様 |
|--------------------------|--|
| カウントソース | f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ) |
| カウント動作 | アップカウント |
| PWM波形 | PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f _k : カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRjレジスタ設定値  (アクティブレベルが“L”の場合) |
| カウント開始条件 | TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持 TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、PWM出力端子はコンペア一致による出力変化後のレベルを保持 |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> コンペア一致(TRCレジスタとTRCGRhレジスタの内容が一致) TRCレジスタオーバーフロー |
| TRCIOA端子機能 | プログラマブル入出力ポート |
| TRCIOB、TRCIOC、TRCIOD端子機能 | プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択) |
| INT0端子機能 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力 |
| タイマの読み出し | TRCレジスタを読むと、カウント値が読める |
| タイマの書き込み | TRCレジスタに書き込める |
| 選択機能 | <ul style="list-style-type: none"> PWM出力端子を1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。 アクティブレベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 パルファ動作(「19.3.2 パルファ動作」参照) パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照) A/Dトリガ発生 |

j = B、C、Dのいずれか

h = A、B、C、Dのいずれか

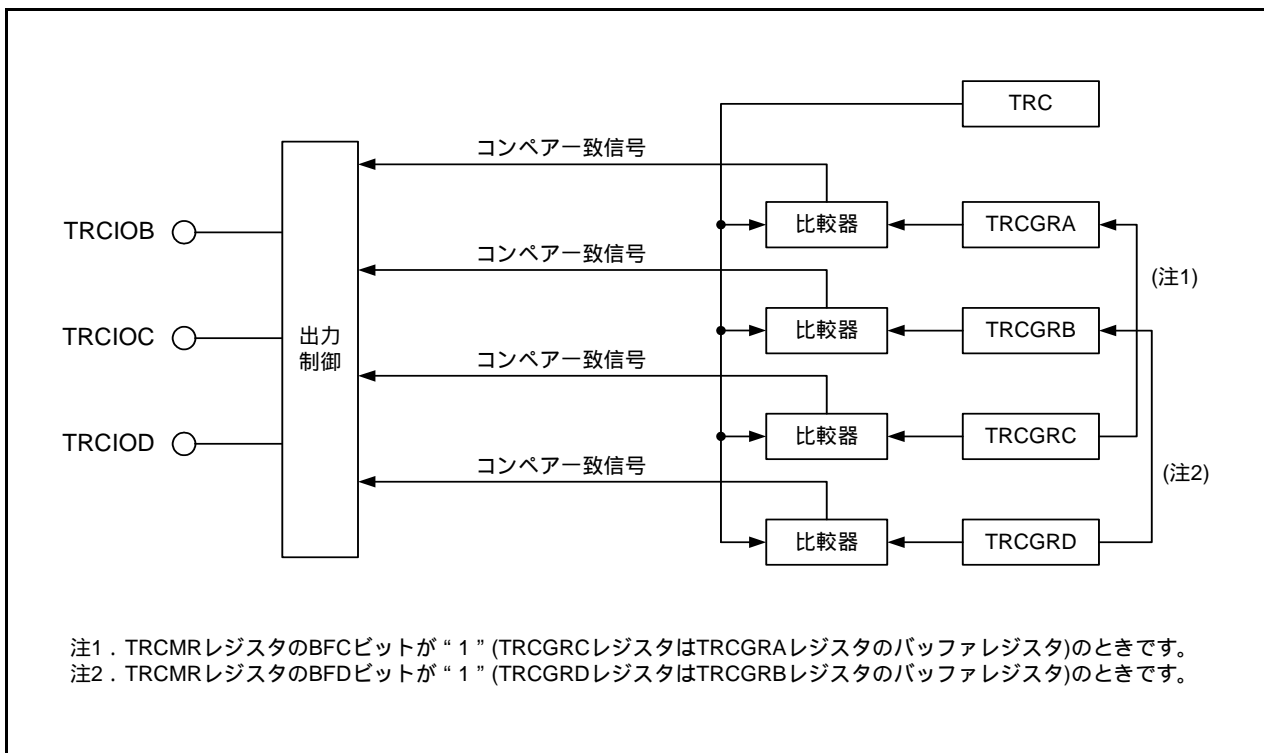


図19.13 PWMモードのブロック図

19.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWMモード時]

アドレス 0121h番地

| | | | | | | | | |
|---------|------|------|------|------|-----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR | TCK2 | TCK1 | TCK0 | TOD | TOC | TOB | TOA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------------------|---|-----|
| b0 | TOA | TRCIOA出力レベル選択ビット(注1) | PWMモードでは無効 | R/W |
| b1 | TOB | TRCIOB出力レベル選択ビット(注1、2) | 0 : 初期出力はアクティブでないレベル 1 : 初期出力はアクティブレベル | R/W |
| b2 | TOC | TRCIOC出力レベル選択ビット(注1、2) | | R/W |
| b3 | TOD | TRCIOD出力レベル選択ビット(注1、2) | | R/W |
| b4 | TCK0 | カウントソース選択ビット(注1) | b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3) | R/W |
| b5 | TCK1 | | | R/W |
| b6 | TCK2 | | | R/W |
| b7 | CCLR | TRCカウンタクリア選択ビット | 0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペアー致でクリア | R/W |

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.6.2 タイマRC制御レジスタ2 (TRCCR2)[PWMモード時]

アドレス 0130h番地

| | | | | | | | | |
|---------|-------|-------|------|----|----|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TCEG1 | TCEG0 | CSEL | - | - | POLD | POLC | POLB |
| リセット後の値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | POLB | PWMモードアウトプットレベル制御ビットB (注1) | 0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ | R/W |
| b1 | POLC | PWMモードアウトプットレベル制御ビットC (注1) | 0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ | R/W |
| b2 | POLD | PWMモードアウトプットレベル制御ビットD (注1) | 0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b4 | - | | | |
| b5 | CSEL | TRCカウンタ動作選択ビット (注2) | 0: TRCGRAレジスタとのコンペアー一致後もカウント継続 1: TRCGRAレジスタとのコンペアー一致でカウント停止 | R/W |
| b6 | TCEG0 | TRCTRГ入力エッジ選択ビット (注3) | b7 b6 00: TRCTRГからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択 | R/W |
| b7 | TCEG1 | | | R/W |

注1. PWMモードのとき有効です。

注2. アウトプットコンペアー機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

表 19.12 PWMモード時のTRCGRhレジスタの機能

| レジスタ | 設定 | レジスタの機能 | PWM出力端子 |
|--------|-------|--|---------|
| TRCGRA | - | ジェネラルレジスタ。PWM周期を設定してください。 | - |
| TRCGRB | - | ジェネラルレジスタ。PWM出力の変化点を設定してください。 | TRCIOB |
| TRCGRC | BFC=0 | ジェネラルレジスタ。PWM出力の変化点を設定してください。 | TRCIOC |
| TRCGRD | BFD=0 | | TRCIOD |
| TRCGRC | BFC=1 | バッファレジスタ。次回のPWM周期を設定してください(「19.3.2 バッファ動作」参照)。 | - |
| TRCGRD | BFD=1 | バッファレジスタ。次回のPWM出力の変化点を設定してください(「19.3.2 バッファ動作」参照)。 | TRCIOB |

h = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペアー一致しても端子の出力レベルは変化しません。

19.6.3 動作例

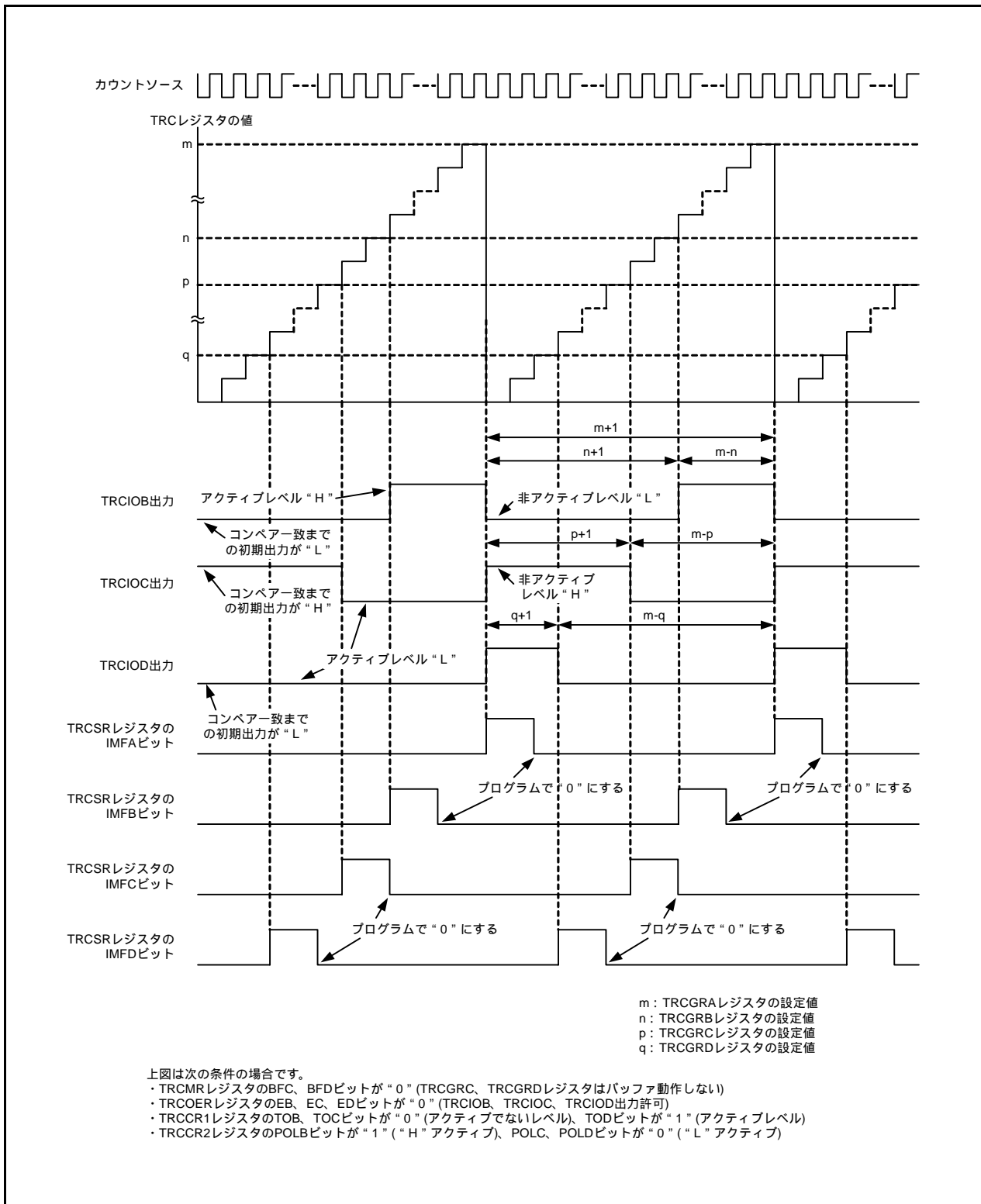


図19.14 PWMモードの動作例

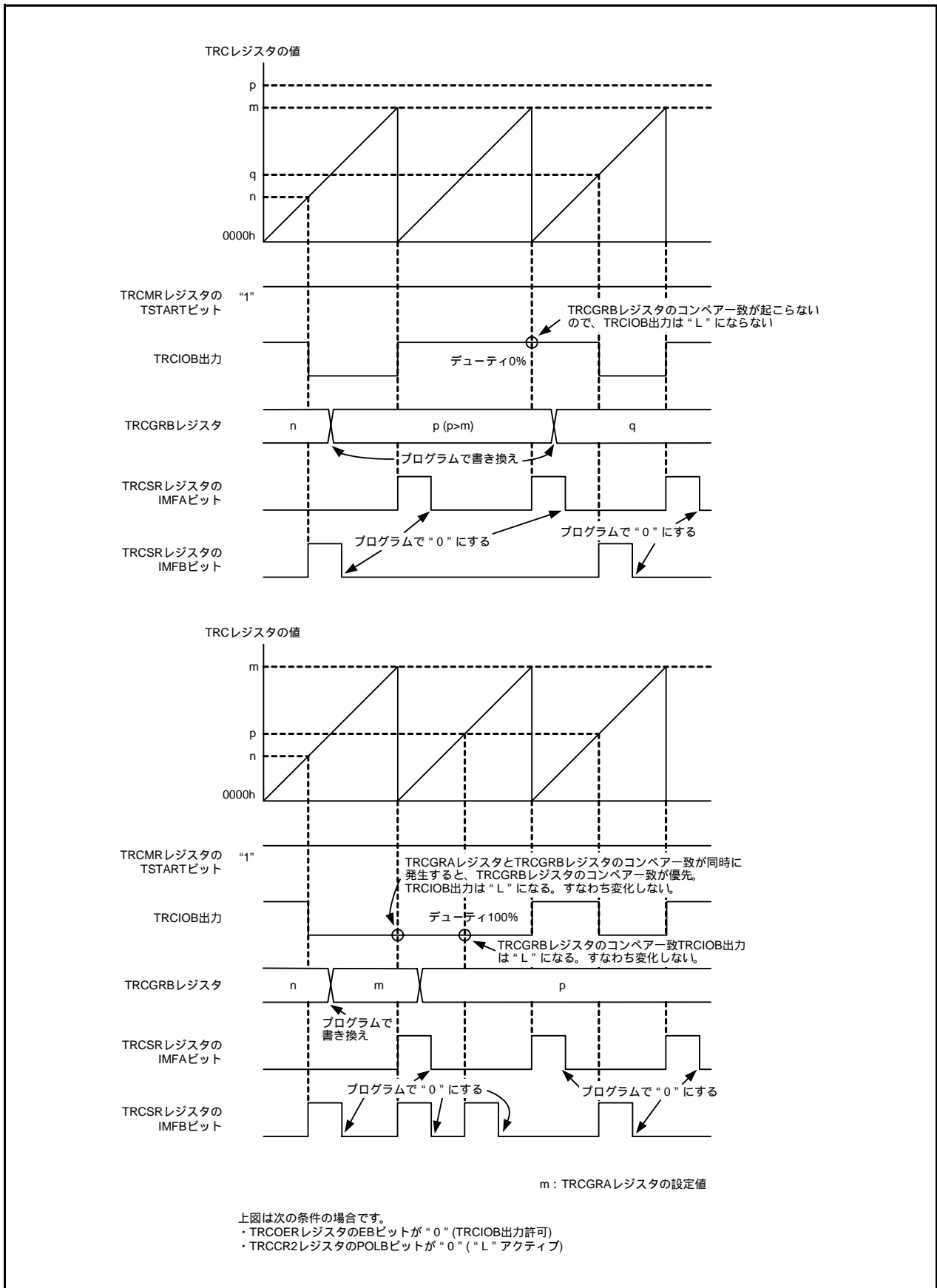


図19.15 PWMモードの動作例(デューティ0%、デューティ100%)

19.7 PWM2モード

PWM波形を1本出力します。トリガから任意のウェイト時間をおいて、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

図19.16にPWM2モードのブロック図を、表19.13にPWM2モードの仕様を、表19.14にPWM2モード時のTRCGRjレジスタの機能を、図19.17～図19.19にPWM2モードの動作例を示します。

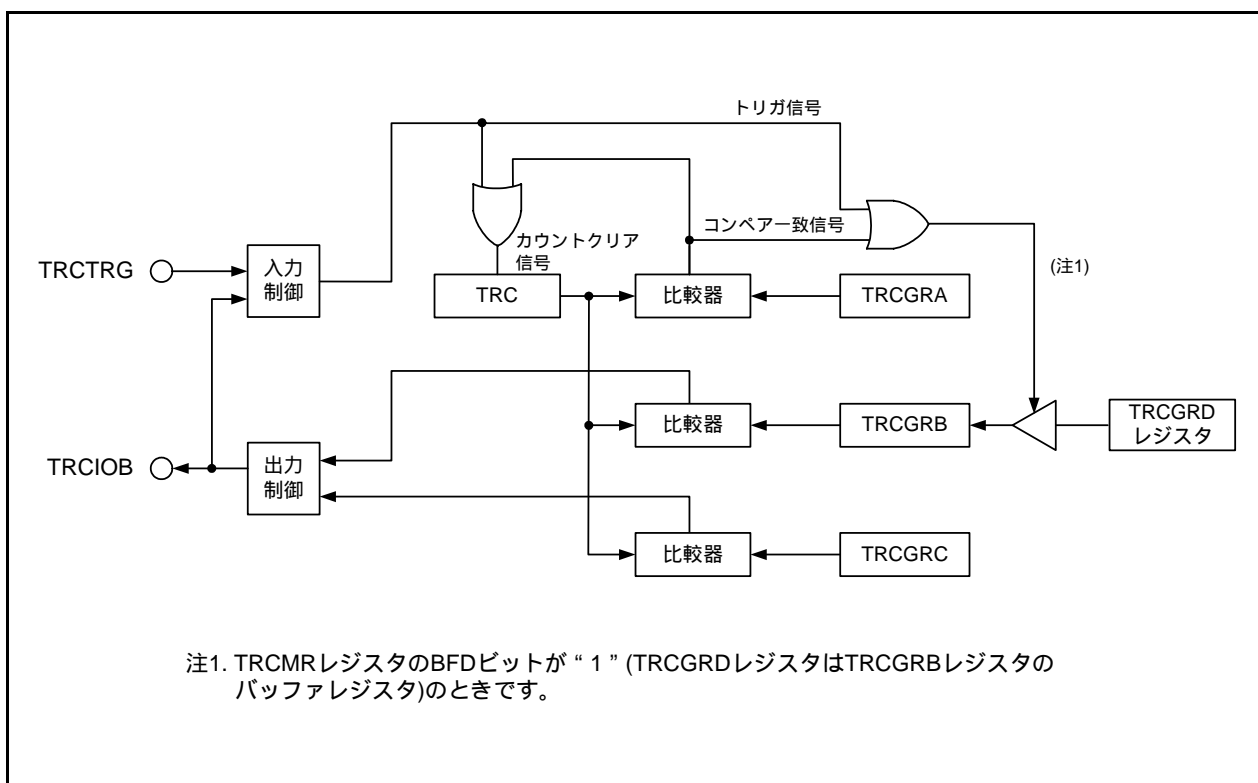


図19.16 PWM2モードのブロック図

表 19.13 PWM2モードの仕様

| 項目 | 仕様 |
|-------------------|---|
| カウントソース | f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ) |
| カウント動作 | TRCレジスタはアップカウント |
| PWM波形 | <p>PWM周期: $1/f_k \times (m+1)$ (TRCTRГ入力がない場合) アクティブレベル幅: $1/f_k \times (n-p)$ カウント開始またはトリガからのウェイト時間: $1/f_k \times (p+1)$ f_k: カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRBレジスタ設定値 p: TRCGRCレジスタ設定値</p> <p>(TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p> |
| カウント開始条件 | <ul style="list-style-type: none"> TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRГ端子にトリガ入力 |
| カウント停止条件 | <ul style="list-style-type: none"> TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み (TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。 TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンペアー一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。 |
| 割り込み発生タイミング | <ul style="list-style-type: none"> コンペアー一致 (TRCレジスタとTRCGRjレジスタの内容が一致) TRCレジスタオーバフロー |
| TRCIOA/TRCTRГ端子機能 | プログラマブル入出力ポート、またはTRCTRГ入力 |
| TRCIOB端子機能 | PWM出力 |
| TRCIOC、TRCIOD端子機能 | プログラマブル入出力ポート |
| INT0端子機能 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力 |
| タイマの読み出し | TRCレジスタを読むと、カウント値が読める |
| タイマの書き込み | TRCレジスタに書き込める |
| 選択機能 | <ul style="list-style-type: none"> 外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 バッファ動作(「19.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照) デジタルフィルタ(「19.3.3 デジタルフィルタ」参照) A/Dトリガ発生 |

j = A、B、Cのいずれか

19.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2モード時]

アドレス 0121h番地

| | | | | | | | | |
|---------|------|------|------|------|-----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR | TCK2 | TCK1 | TCK0 | TOD | TOC | TOB | TOA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------------------|--|-----|
| b0 | TOA | TRCIOA出力レベル選択ビット(注1) | PWM2モードでは無効 | R/W |
| b1 | TOB | TRCIOB出力レベル選択ビット(注1、2) | 0 : アクティブレベル“H” (初期出力“L” TRCGRCのコンペア一致で“H”出力 TRCGRBのコンペア一致で“L”出力) 1 : アクティブレベル“L” (初期出力“H” TRCGRCのコンペア一致で“L”出力 TRCGRBのコンペア一致で“H”出力) | R/W |
| b2 | TOC | TRCIOC出力レベル選択ビット(注1) | PWM2モードでは無効 | R/W |
| b3 | TOD | TRCIOD出力レベル選択ビット(注1) | | R/W |
| b4 | TCK0 | カウントソース選択ビット(注1) | b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3) | R/W |
| b5 | TCK1 | | | R/W |
| b6 | TCK2 | | | R/W |
| b7 | CCLR | TRCカウンタクリア選択ビット | 0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペア一致でクリア | R/W |

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.7.2 タイマRC制御レジスタ2 (TRCCR2)[PWM2モード時]

アドレス 0130h番地

| | | | | | | | | |
|---------|-------|-------|------|----|----|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TCEG1 | TCEG0 | CSEL | - | - | POLD | POLC | POLB |
| リセット後の値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | POLB | PWMモードアウトプットレベル制御ビットB (注1) | 0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ | R/W |
| b1 | POLC | PWMモードアウトプットレベル制御ビットC (注1) | 0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ | R/W |
| b2 | POLD | PWMモードアウトプットレベル制御ビットD (注1) | 0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b4 | - | | | |
| b5 | CSEL | TRCカウンタ動作選択ビット (注2) | 0 : TRCGRAレジスタとのコンペア一致後もカウンタ継続 1 : TRCGRAレジスタとのコンペア一致でカウンタ停止 | R/W |
| b6 | TCEG0 | TRCTRG入力エッジ選択ビット (注3) | b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択 | R/W |
| b7 | TCEG1 | | | R/W |

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

19.7.3 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)[PWM2モード時]

アドレス 0131h番地

| | | | | | | | | |
|---------|-------|-------|----|-------|-----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | DFCK1 | DFCK0 | - | DFTRG | DFD | DFC | DFB | DFA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | DFA | TRCIOA端子デジタルフィルタ機能 選択ビット(注1) | 0:機能なし 1:機能あり | R/W |
| b1 | DFB | TRCIOB端子デジタルフィルタ機能 選択ビット(注1) | 0:機能なし 1:機能あり | R/W |
| b2 | DFC | TRCIOC端子デジタルフィルタ機能 選択ビット(注1) | 0:機能なし 1:機能あり | R/W |
| b3 | DFD | TRCIOD端子デジタルフィルタ機能 選択ビット(注1) | 0:機能なし 1:機能あり | R/W |
| b4 | DFTRG | TRCTRG端子デジタルフィルタ機能 選択ビット(注2) | 0:機能なし 1:機能あり | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b6 | DFCK0 | デジタルフィルタ機能用クロック選 択ビット(注1、2) | b7 b6 00: f32 01: f8 10: f1 11: カウントソース(TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック) | R/W |
| b7 | DFCK1 | | | R/W |

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

表 19.14 PWM2モード時のTRCGRjレジスタの機能

| レジスタ | 設定 | レジスタの機能 | PWM2出力端子 |
|----------------|-------|--|----------|
| TRCGRA | - | ジェネラルレジスタ。PWM周期を設定してください。 | TRCIOB端子 |
| TRCGRB (注1) | - | ジェネラルレジスタ。PWM出力の変化点を設定してください。 | |
| TRCGRC (注1) | BFC=0 | ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。 | |
| TRCGRD | BFD=0 | (PWM2モードでは使用しません) | - |
| TRCGRD | BFD=1 | バッファレジスタ。次回のPWM出力の変化点を設定してください(「19.3.2 バッファ動作」参照)。 | TRCIOB端子 |

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

19.7.4 動作例

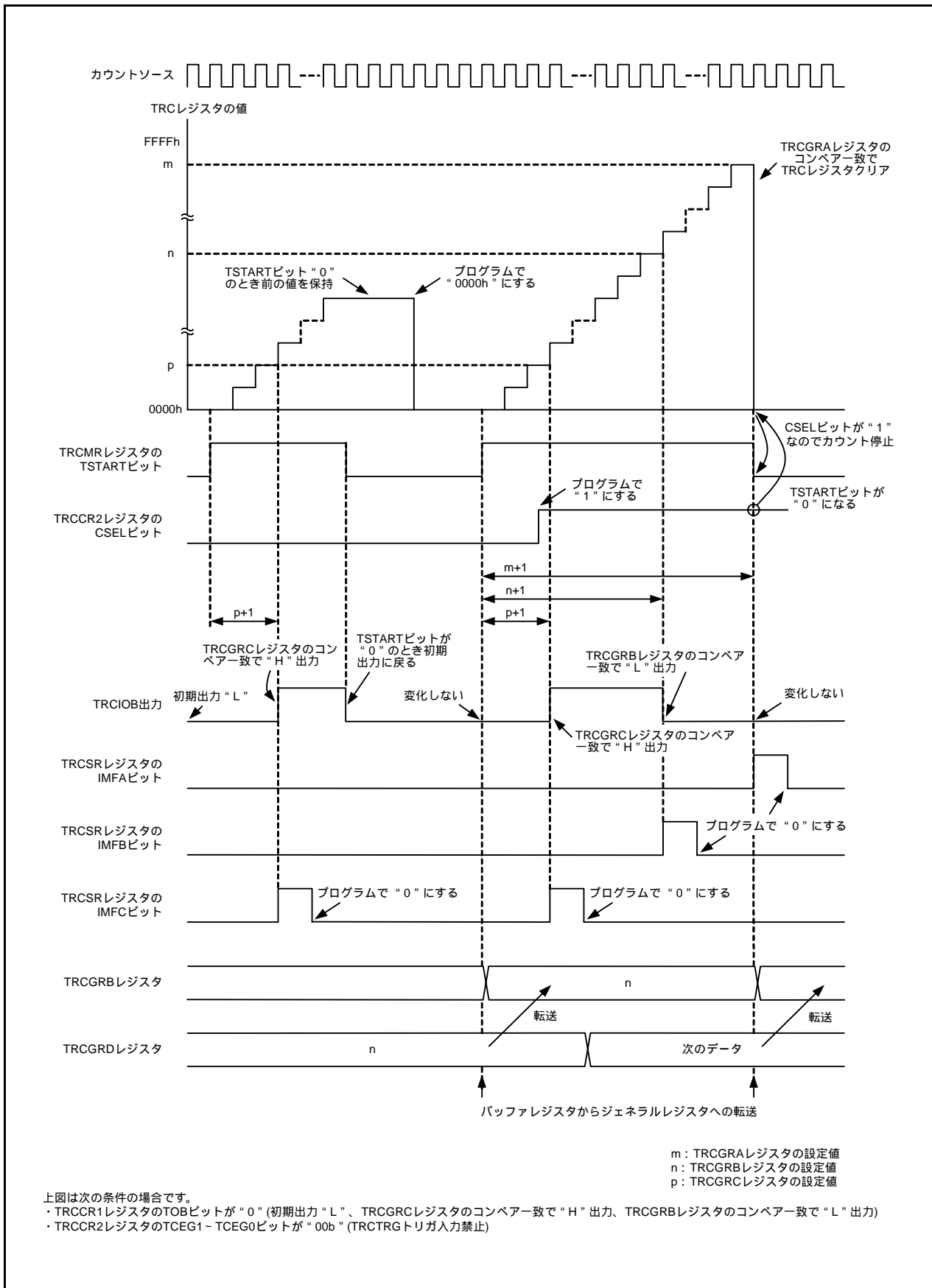


図19.17 PWM2モードの動作例(TRCTRGTリガ入力禁止の場合)

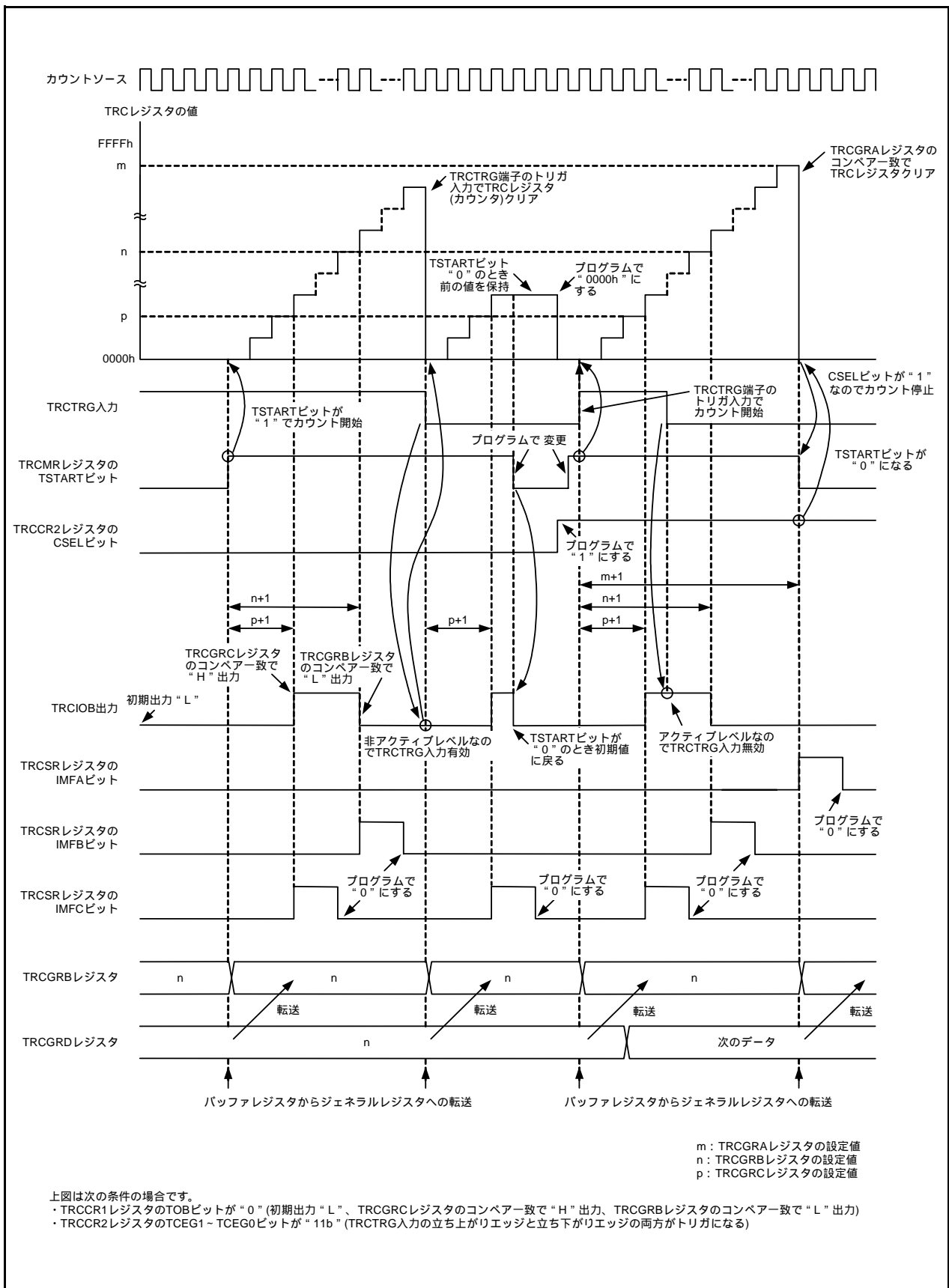


図 19.18 PWM2モードの動作例 (TRCTR Gトリガ入力許可の場合)

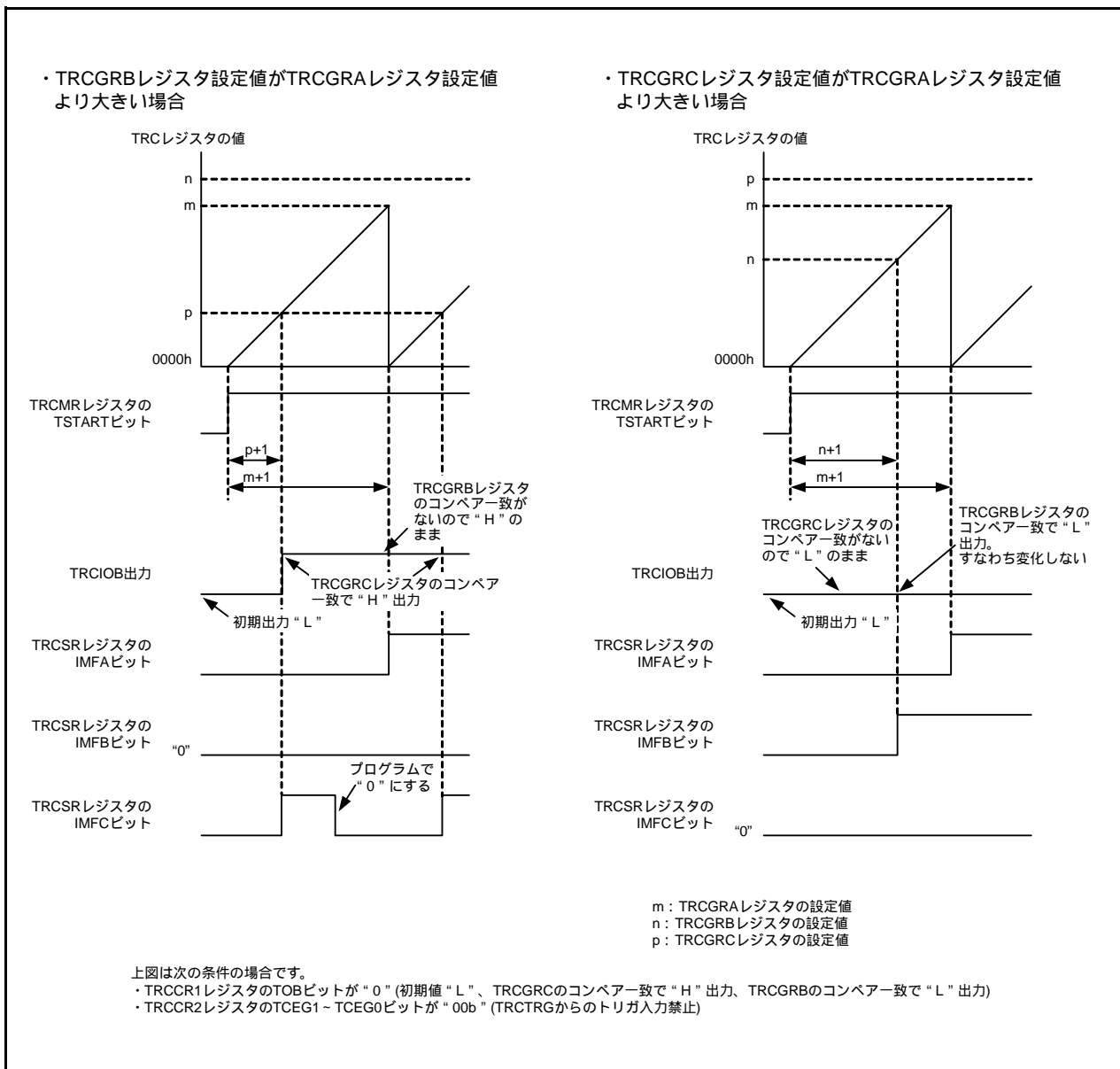


図 19.19 PWM2モードの動作例(デューティ 0%、デューティ 100%)

19.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表 19.15 にタイマRC割り込み関連レジスタを、図 19.20 にタイマRC割り込みのブロック図を示します。

表 19.15 タイマRC割り込み関連レジスタ

| タイマRC ステータスレジスタ | タイマRC 割り込み許可レジスタ | タイマRC 割り込み制御レジスタ |
|--------------------|---------------------|---------------------|
| TRCSR | TRCIER | TRCIC |

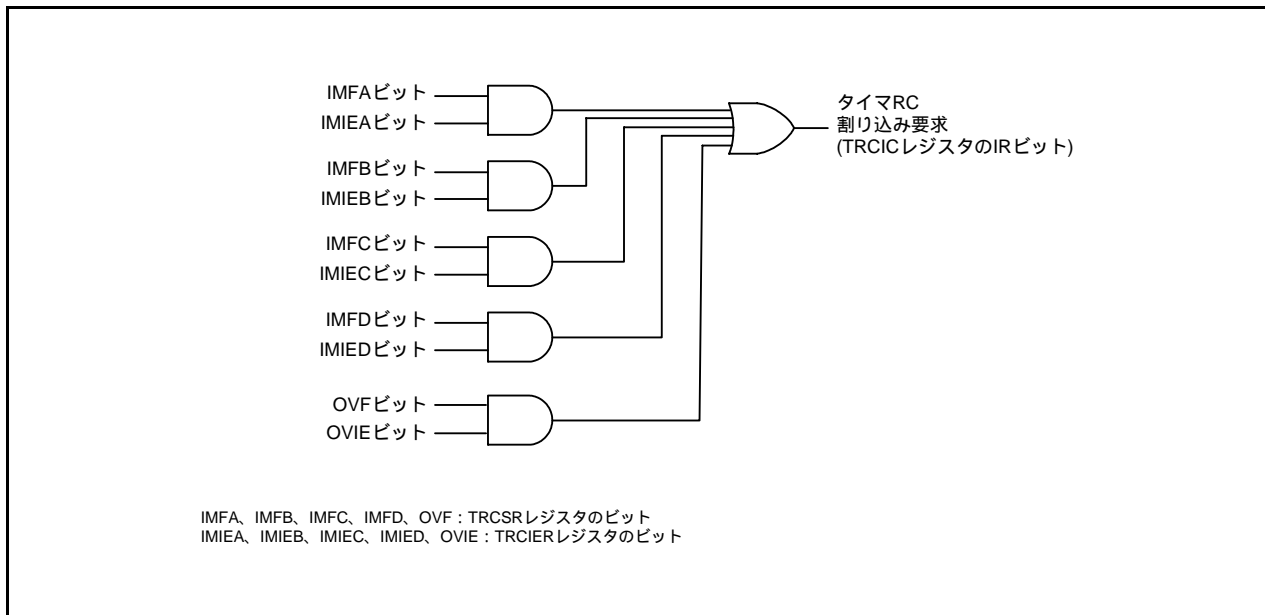


図 19.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「19.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「19.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

19.9 タイマRC使用上の注意

19.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペアー致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。

TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。

TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRC          ; 書き込み
                   JMP.B   L1              ; JMP.B命令
                   L1:   MOV.W  TRC,DATA     ; 読み出し
  
```

19.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRCSR       ; 書き込み
                   JMP.B   L1              ; JMP.B命令
                   L1:   MOV.B  TRCSR,DATA   ; 読み出し
  
```

19.9.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する
- (3) fOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する
- (3) fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

19.9.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。
[デジタルフィルタなしの場合]
タイマRCの動作クロックの3サイクル分以上(「表 19.1 タイマRCの動作クロック」参照)
[デジタルフィルタありの場合]
デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図19.5 デジタルフィルタのブロック図」参照)
- TRCIOj(j = A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インプットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0 ~ IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

19.9.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

19.9.7 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7V ~ 5.5Vの範囲で使用することができます。

これ以外の電源電圧では、TRCCR1レジスタのTCK2 ~ TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

20. タイマRD

タイマRDは、16ビットタイマを2本(タイマRD0、タイマRD1)持ちます。

20.1 概要

タイマRD_i (i=0 ~ 1)は4本の入出力端子を持ちます。

タイマRDの動作クロックはf₁、fOCO40MまたはfOCO-Fです。表20.1にタイマRDの動作クロックを示します。

表20.1 タイマRDの動作クロック

| 条件 | タイマRDの動作クロック |
|--|----------------|
| カウントソースがf ₁ 、f ₂ 、f ₄ 、f ₈ 、f ₃₂ 、fC ₂ 、TRDCLK入力 (TRDCR0、TRDCR1レジスタのTCK2 ~ TCK0ビットが“000b” ~ “101b”) | f ₁ |
| カウントソースがfOCO40M (TRDCR0、TRDCR1レジスタのTCK2 ~ TCK0ビットが“110b”) | fOCO40M |
| カウントソースがfOCO-F (TRDCR0、TRDCR1レジスタのTCK2 ~ TCK0ビットが“111b”) | fOCO-F |

図20.1にタイマRDのブロック図を、表20.2にタイマRDの端子構成を示します。タイマRDは5種類のモードを持ちます。

- タイマモード
 - インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能
(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、タイマRD0とタイマRD1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、タイマRD_iの中でこれらの機能とモードを組み合わせさせて使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、タイマRD0とタイマRD1のカウンタやレジスタを組み合わせさせて波形を出力します。端子の機能はモードによって決まります。

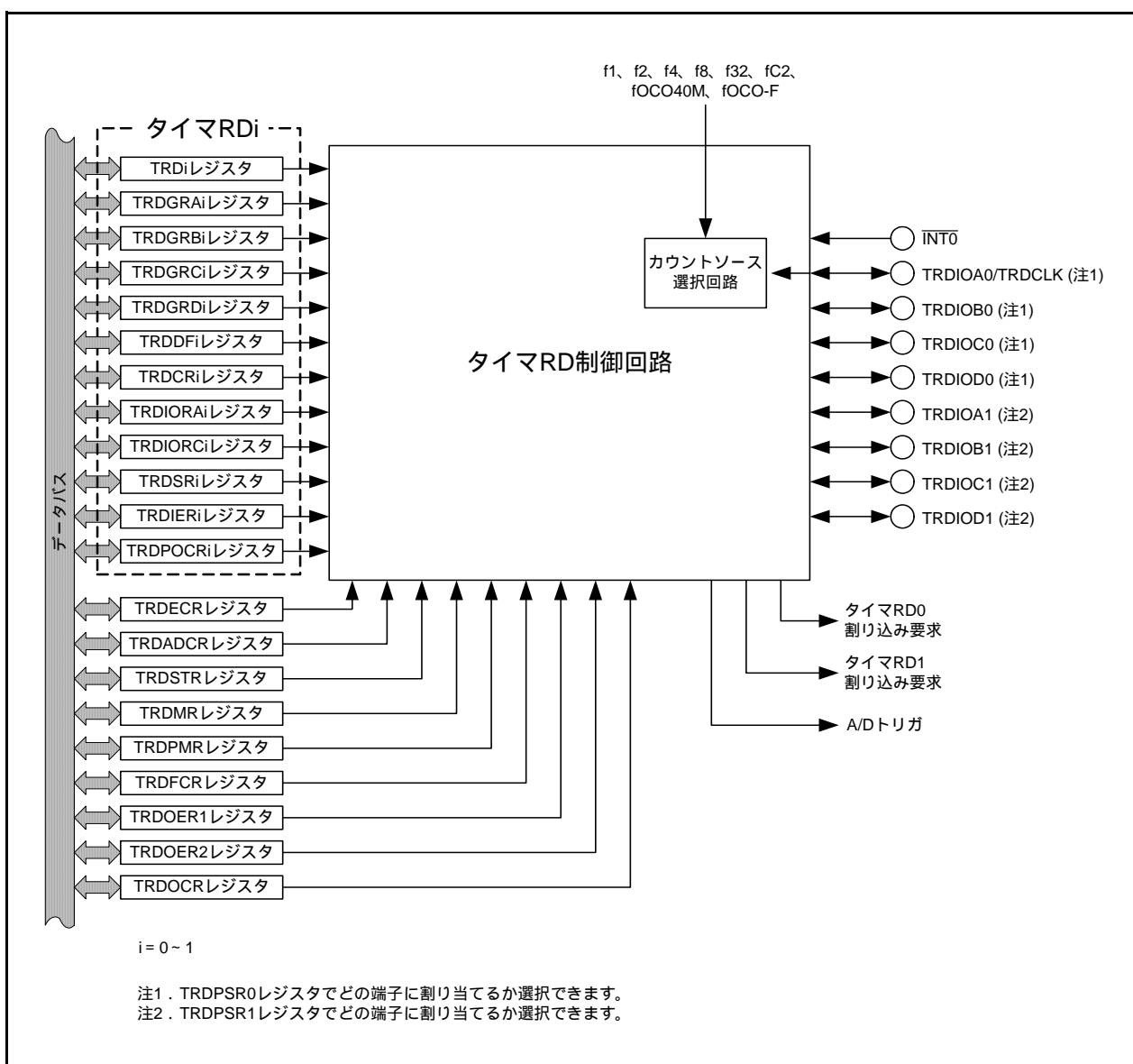


図 20.1 タイマRDのブロック図

表 20.2 タイマRDの端子構成

| 端子名 | 割り当てる端子 | 入出力 | 機能 |
|----------------|---------|-----|---------------------------------------|
| TRDIOA0/TRDCLK | P2_0 | 入出力 | モードによって機能が異なります。 詳細は各モードを参照してください。 |
| TRDIOB0 | P2_2 | 入出力 | |
| TRDIOC0 | P2_1 | 入出力 | |
| TRDIOD0 | P2_3 | 入出力 | |
| TRDIOA1 | P2_4 | 入出力 | |
| TRDIOB1 | P2_5 | 入出力 | |
| TRDIOC1 | P2_6 | 入出力 | |
| TRDIOD1 | P2_7 | 入出力 | |

20.2 複数モードに関わる共通事項

20.2.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードではfC2を、PWM3モードでは外部クロックを選択できません。

表20.3 カウントソースの選択

| カウントソース | 選択方法 |
|-----------------------|--|
| f1、f2、f4、f8、f32 | TRDCRiレジスタのTCK2 ~ TCK0ビットでカウントソース選択 |
| fOCO40M(注1) fOCO-F | FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRDCRiレジスタのTCK2 ~ TCK0ビットが“110b”(fOCO40M) TRDCRiレジスタのTCK2 ~ TCK0ビットが“111b”(fOCO-F) |
| fC2 | TRDCRiレジスタのTCK2 ~ TCK0ビットが“101b”(TRDCLKi入力またはfC2) TRDECRレジスタのITCLKiビットが“1”(fC2) |
| TRDCLK端子に入力された外部信号 | TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効) TRDCRiレジスタのTCK2 ~ TCK0ビットが“101b”(カウントソースは外部クロック) TRDCRiレジスタのCKEG1 ~ CKEG0ビットで有効エッジを選択 PD2レジスタのPD2_0ビットが“0”(入力モード) |

i = 0 ~ 1

注1. カウントソースfOCO40Mは、VCC=2.7V ~ 5.5Vの範囲で使用することができます。

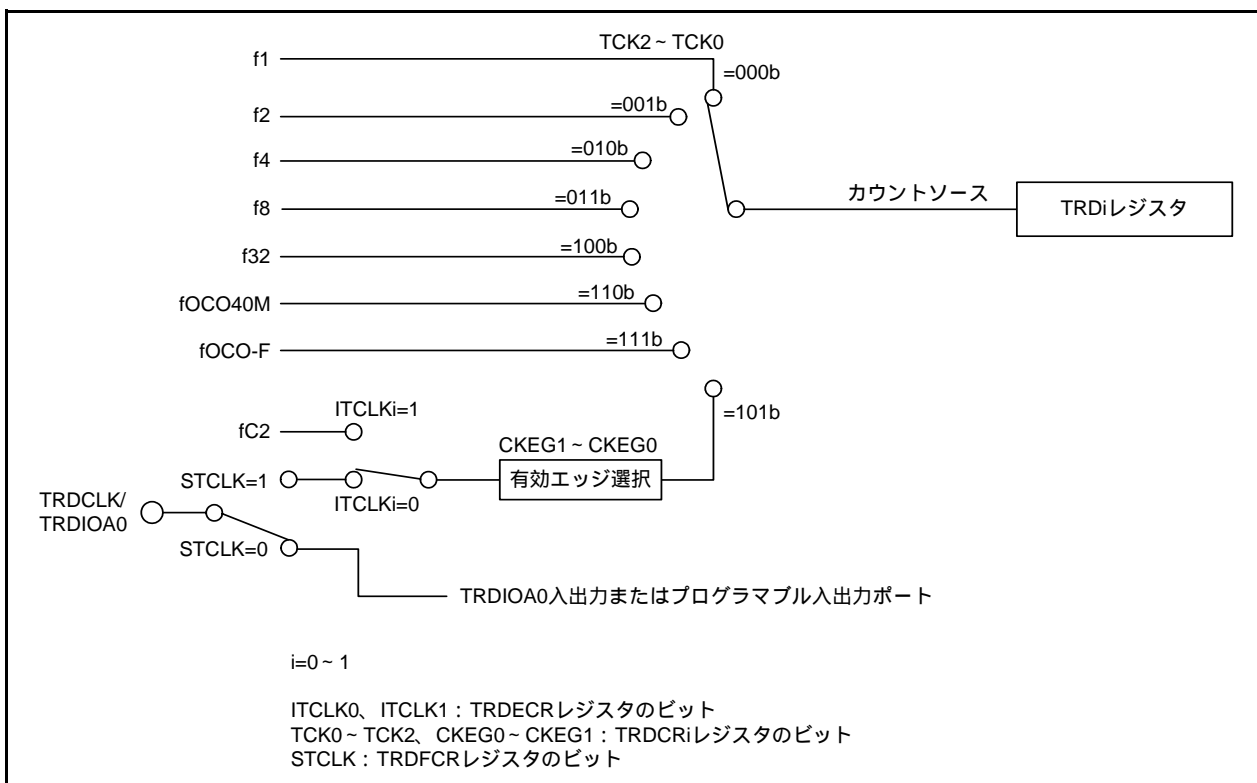


図20.2 カウントソースのブロック図

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRDCRi(i = 0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

20.2.2 バッファ動作

TRDMRレジスタのBFCi(i=0 ~ 1)ビット、BFDiビットで、TRDGRCi、TRDGRDiレジスタをTRDGRAi、TRDGRBiレジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ：TRDGRCiレジスタ
- TRDGRBiのバッファレジスタ：TRDGRDiレジスタ

バッファ動作は、モードによって違います。表20.4に各モードのバッファ動作を示します。

表20.4 各モードのバッファ動作

| 機能、モード | 転送タイミング | 転送するレジスタ |
|--------------|---|--|
| インプットキャプチャ機能 | インプットキャプチャ信号入力 | TRDGRAi(TRDGRBi)レジスタの内容をバッファレジスタに転送 |
| アウトプットコンペア機能 | TRDiレジスタとTRDGRAi(TRDGRBi)レジスタのコンペア一致 | バッファレジスタの内容をTRDGRAi(TRDGRBi)レジスタに転送 |
| PWMモード | | |
| リセット同期PWMモード | TRD0レジスタとTRDGRA0レジスタのコンペア一致 | バッファレジスタの内容をTRDGRAi(TRDGRBi)レジスタに転送 |
| 相補PWMモード | TRD0レジスタとTRDGRA0レジスタのコンペア一致 TRD1レジスタアンダフロー | バッファレジスタの内容をTRDGRB0、TRDGRA1、TRDGRB1レジスタに転送 |
| PWM3モード | TRD0レジスタとTRDGRA0レジスタのコンペア一致 | バッファレジスタの内容をTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに転送 |

i: 0 ~ 1

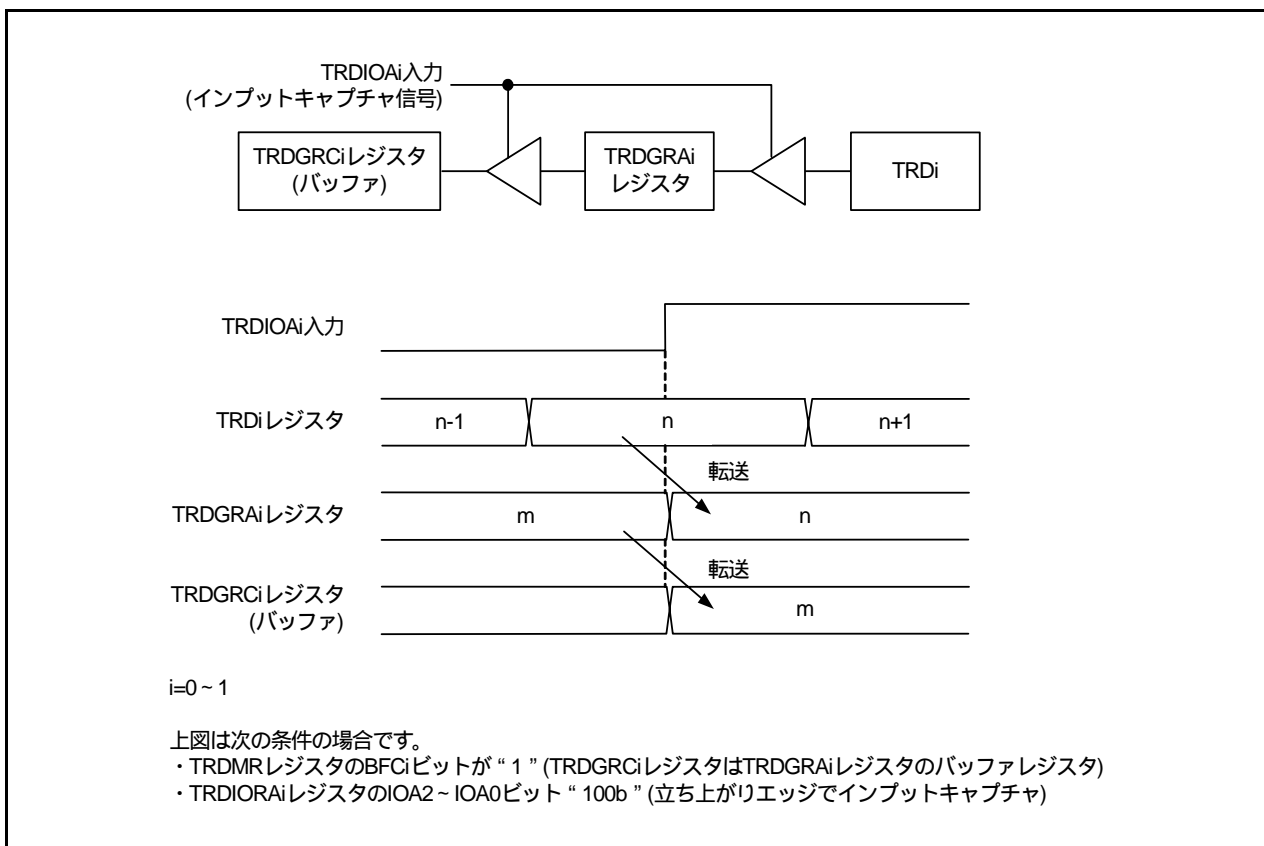


図20.3 インプットキャプチャ機能のバッファ動作

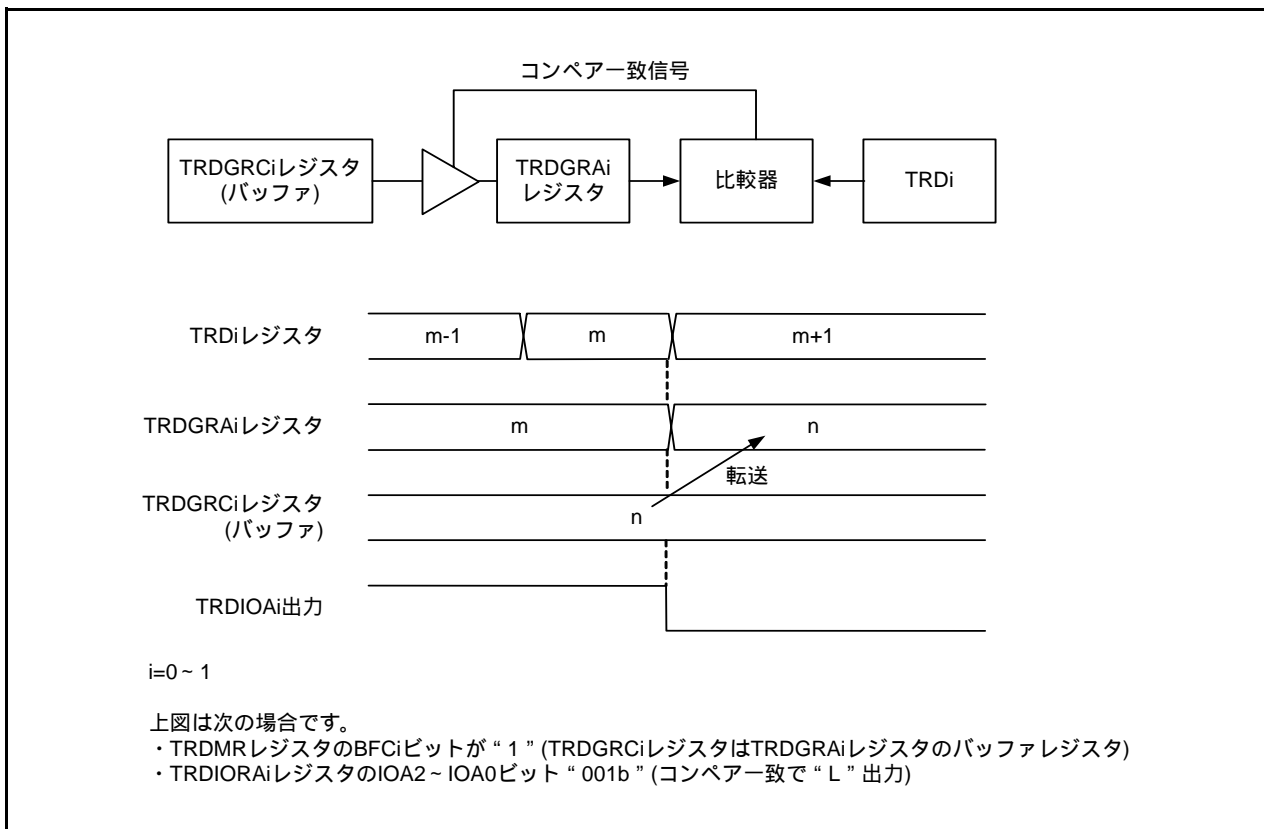


図20.4 アウトプットコンペア機能のバッファ動作

タイマモード (インプットキャプチャ機能、アウトプットコンペア機能) では次のようにしてください。

TRDGRCi (i=0～1) レジスタをTRDGRAi レジスタのバッファレジスタに使用する場合

- ・ TRDIOAi レジスタのIOC3ビットを“1” (ジェネラルレジスタまたはバッファレジスタ) にしてください。
- ・ TRDIOAi レジスタのIOC2ビットは、TRDIOAi レジスタのIOA2ビットと同じ設定にしてください。

TRDGRDi レジスタをTRDGRBi レジスタのバッファレジスタに使用する場合

- ・ TRDIOAi レジスタのIOD3ビットを“1” (ジェネラルレジスタまたはバッファレジスタ) にしてください。
- ・ TRDIOAi レジスタのIOD2ビットは、TRDIOAi レジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRCi、TRDGRDi レジスタをバッファレジスタに使用している場合も、TRDIOAi端子の入力エッジでTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードでは、TRDGRCi、TRDGRDi レジスタをバッファレジスタに使用している場合も、TRDi レジスタとのコンペアー一致でTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

20.2.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット

TRDMRレジスタのSYNCビットが“1”(同期動作)の場合、TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれます。

- 同期クリア

TRDMRレジスタのSYNCビットが“1”で、かつTRDCR0レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD0レジスタはTRD1レジスタが“0000h”になるとき、同時に“0000h”になります。

同様に、TRDMRレジスタのSYNCビットが“1”で、かつTRDCR1レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD1レジスタはTRD0レジスタが“0000h”になるとき、同時に“0000h”になります。

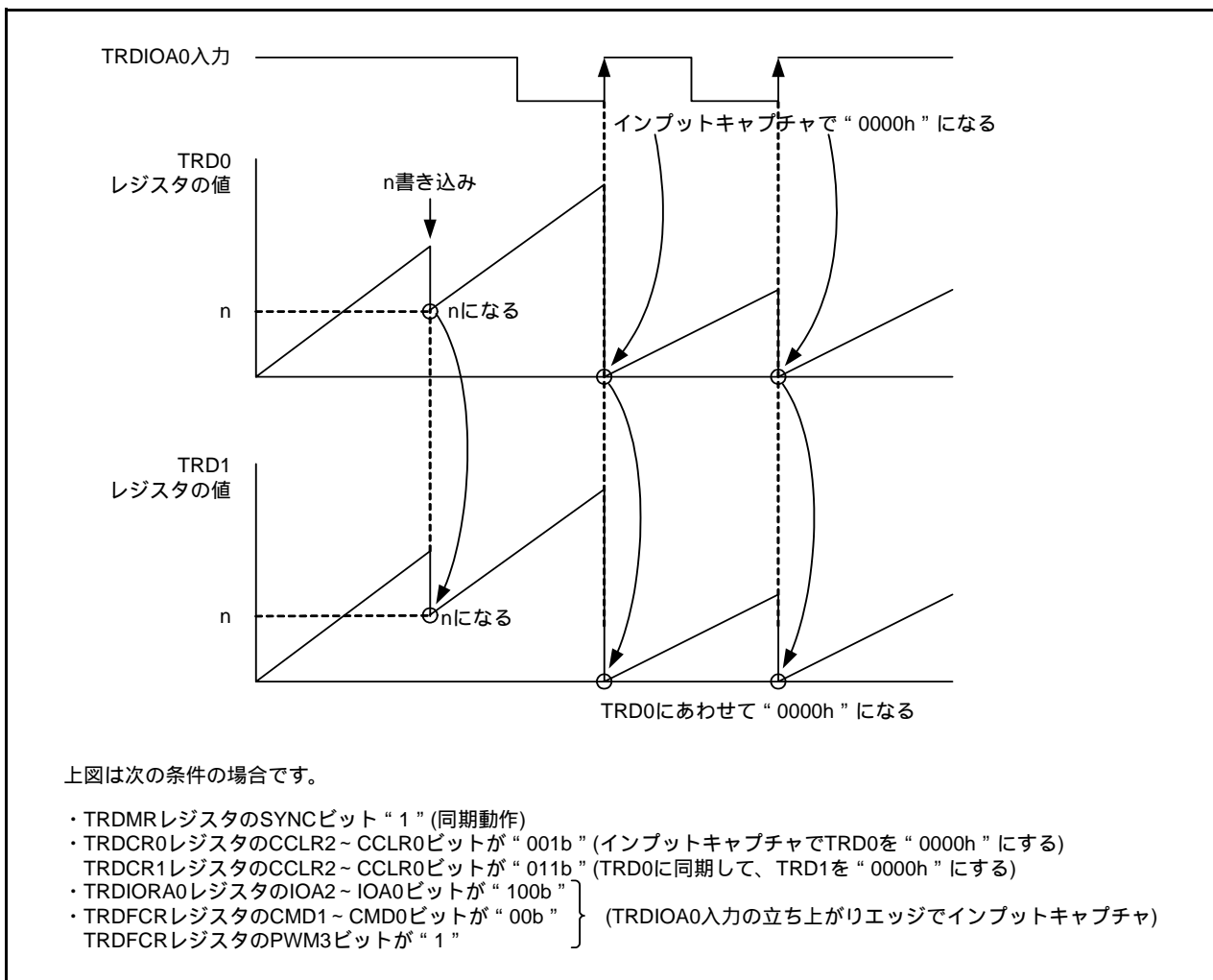


図20.5 同期動作

20.2.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRDIO $_{ji}$ ($i=0 \sim 1$ 、 $j=A, B, C, D$ のいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを“0”(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(タイマRD出力禁止、TRDIO $_{ji}$ 出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の1~2サイクル後にTRDIO $_{ji}$ 出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、“L”出力、または“H”出力)をP2レジスタとPD2レジスタで設定。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択する。
- TRDOER2レジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変化に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は、「11. 割り込み」を参照してください。

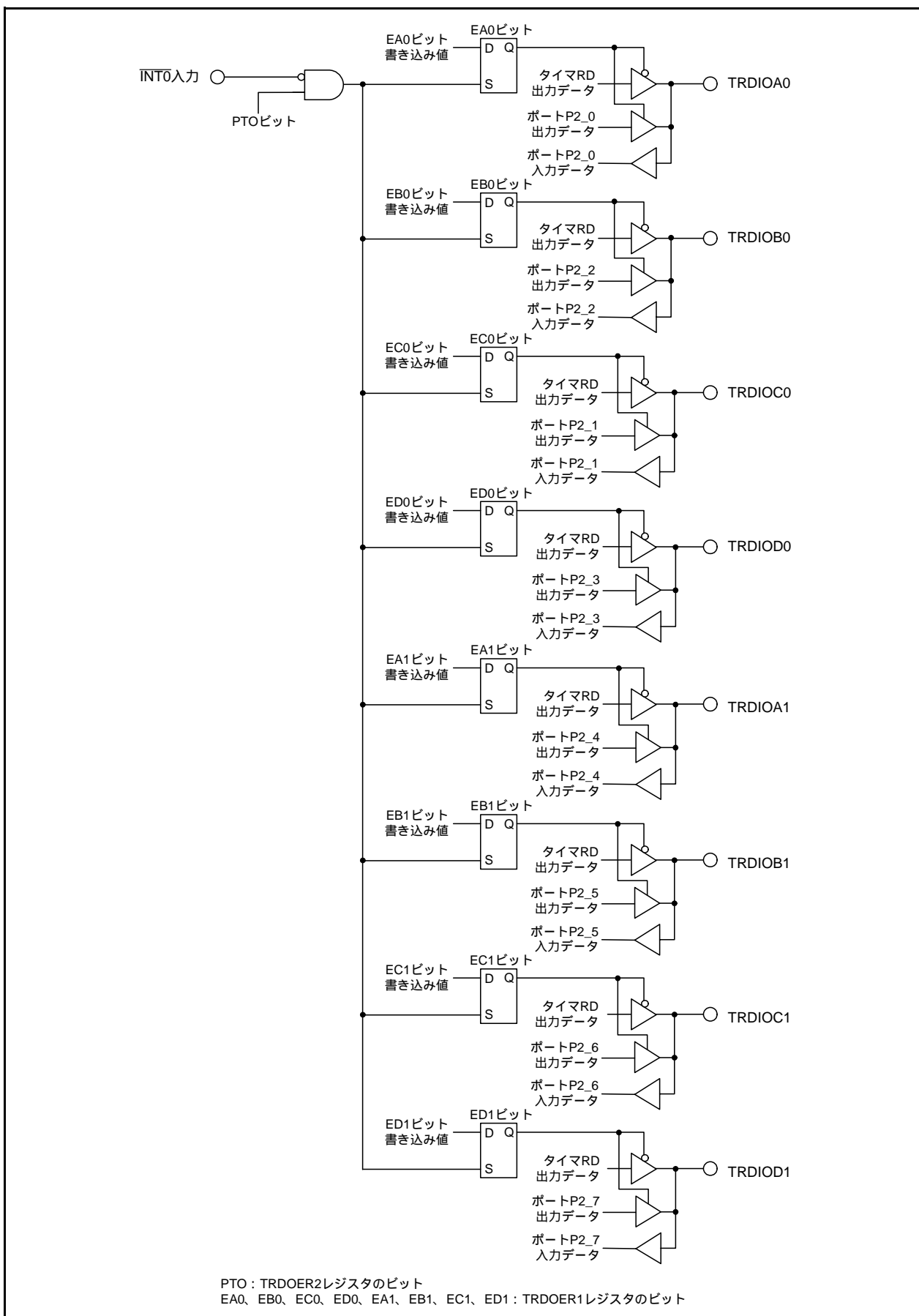


図20.6 パルス出力強制遮断

20.3 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO_{ji}(*i*=0~1, *j*=A, B, C, Dのいずれか)端子の外部信号をトリガにしてTRD_iレジスタ(カウンタ)の内容をTRDGR_{ji}レジスタに転送します(インพุットキャプチャ)。TRDIO_{ji}端子とTRDGR_{ji}レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインพุットキャプチャのトリガ入力として選択できます。

図20.7にインพุットキャプチャ機能のブロック図を、表20.5にインพุットキャプチャ機能の仕様を、図20.8にインพุットキャプチャ機能の動作例を示します。

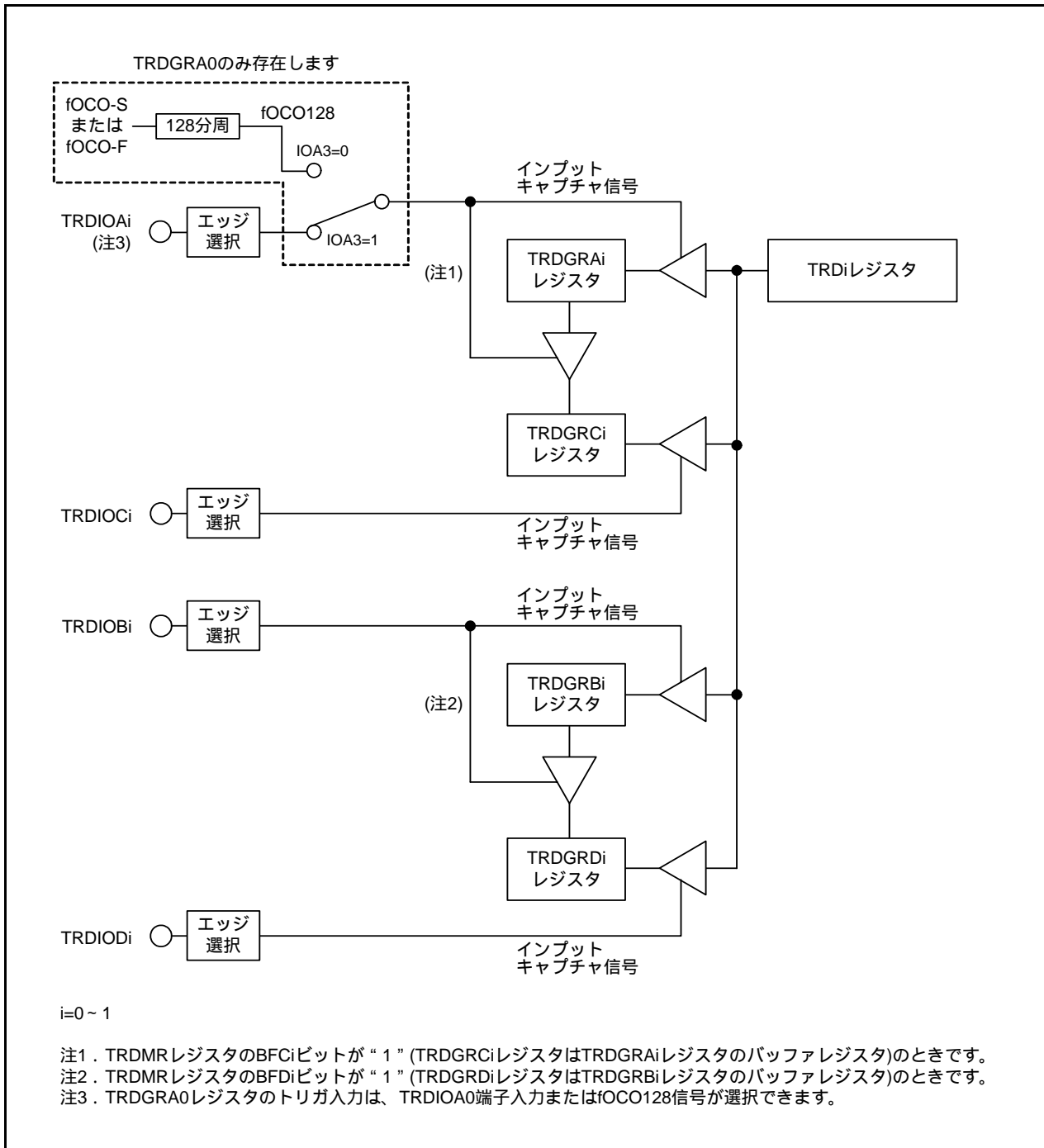


図20.7 インพุットキャプチャ機能のブロック図

表20.5 インพุットキャプチャ機能の仕様

| 項目 | 仕様 |
|---|---|
| カウントソース | f1、f2、f4、f8、f32、fC2、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択) |
| カウント動作 | アップカウント |
| カウント周期 | TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 |
| カウント開始条件 | TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> インพุットキャプチャ (TRDIOji入力の有効エッジ、またはfOCO128信号のエッジ) TRDiオーバフロー |
| TRDIOA0端子機能 | プログラマブル入出力ポート、インพุットキャプチャ入力、またはTRDCLK(外部クロック)入力 |
| TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能 | プログラマブル入出力ポート、またはインพุットキャプチャ入力(1端子ごとに選択) |
| INT0端子機能 | プログラマブル入出力ポート、またはINT0割り込み入力 |
| タイマの読み出し | TRDiレジスタを読むと、カウント値が読める |
| タイマの書き込み | <ul style="list-style-type: none"> TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる |
| 選択機能 | <ul style="list-style-type: none"> インพุットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRDiを“0000h”にするタイミング オーバフロー、またはインพุットキャプチャ時 バッファ動作(「20.2.2 バッファ動作」参照) 同期動作(「20.2.3 同期動作」参照) デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす インพุットキャプチャトリガ選択 TRDGRA0レジスタのインพุットキャプチャトリガ入力にfOCO128を選択できる |

i=0 ~ 1、j=A、B、C、Dのいずれか

20.3.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

| | | | | | | | | |
|---------|----|----|--------|--------|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|----------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | SSU、I ² Cバススタンバイビット | 0: アクティブ 1: スタンバイ(注1) | R/W |
| b4 | MSTTRD | タイマRDスタンバイビット | 0: アクティブ 1: スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0: アクティブ 1: スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

- 注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。
- 注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

20.3.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

| | | | | | | | | |
|---------|--------|----|----|----|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ITCLK1 | - | - | - | ITCLK0 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|---------------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | ITCLK0 | タイマRD0用fC2選択ビット | 0: TRDCLK入力を選択 1: fC2を選択(注1) | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | ITCLK1 | タイマRD1用fC2選択ビット | 0: TRDCLK入力を選択 1: fC2を選択(注1) | R/W |

- 注1. タイマモードのとき有効です。

20.3.3 タイマRDスタートレジスタ(TRDSTR)[インプットキャプチャ機能時]

アドレス 0137h番地

| | | | | | | | | |
|---------|----|----|----|----|-------|-------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | CSEL1 | CSEL0 | TSTART1 | TSTART0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|------------------------------|--------------------------|-----|
| b0 | TSTART0 | TRD0カウント開始フラグ | 0 : カウント停止 1 : カウント開始 | R/W |
| b1 | TSTART1 | TRD1カウント開始フラグ | | R/W |
| b2 | CSEL0 | TRD0カウント動作選択ビット | インプットキャプチャ機能では“1”にしてください | R/W |
| b3 | CSEL1 | TRD1カウント動作選択ビット | | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。 | | - |
| b5 | - | 読んだ場合、その値は“1”。 | | |
| b6 | - | | | |
| b7 | - | | | |

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.3.4 タイマRDモードレジスタ(TRDMR)[インプットキャプチャ機能時]

アドレス 0138h番地

| | | | | | | | | |
|---------|------|------|------|------|----|----|----|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BFD1 | BFC1 | BFD0 | BFC0 | - | - | - | SYNC |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | SYNC | タイマRD同期ビット | 0 : TRD0とTRD1は独立動作 1 : TRD0とTRD1は同期動作 | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | BFC0 | TRDGRC0レジスタ機能選択ビット | 0 : ジェネラルレジスタ 1 : TRDGRA0レジスタのバッファレジスタ | R/W |
| b5 | BFD0 | TRDGRD0レジスタ機能選択ビット | 0 : ジェネラルレジスタ 1 : TRDGRB0レジスタのバッファレジスタ | R/W |
| b6 | BFC1 | TRDGRC1レジスタ機能選択ビット | 0 : ジェネラルレジスタ 1 : TRDGRA1レジスタのバッファレジスタ | R/W |
| b7 | BFD1 | TRDGRD1レジスタ機能選択ビット | 0 : ジェネラルレジスタ 1 : TRDGRB1レジスタのバッファレジスタ | R/W |

20.3.5 タイマRD PWMモードレジスタ(TRDPMR)[インプットキャプチャ機能時]

アドレス 0139h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|-------|-------|-------|----|-------|-------|-------|
| シンボル | - | PWMD1 | PWMC1 | PWMB1 | - | PWMD0 | PWMC0 | PWMB0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|----------------------------------|-----|
| b0 | PWMB0 | TRDIOB0 PWMモード選択ビット | インプットキャプチャ機能では“0”(タイマモード)にしてください | R/W |
| b1 | PWMC0 | TRDIOC0 PWMモード選択ビット | | R/W |
| b2 | PWMD0 | TRDIOD0 PWMモード選択ビット | | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b4 | PWMB1 | TRDIOB1 PWMモード選択ビット | インプットキャプチャ機能では“0”(タイマモード)にしてください | R/W |
| b5 | PWMC1 | TRDIOC1 PWMモード選択ビット | | R/W |
| b6 | PWMD1 | TRDIOD1 PWMモード選択ビット | | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |

20.3.6 タイマRD機能制御レジスタ(TRDFCR)[インプットキャプチャ機能時]

アドレス 013Ah 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|-------|------|-------|------|------|------|------|
| シンボル | PWM3 | STCLK | ADEG | ADTRG | OLS1 | OLS0 | CMD1 | CMD0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|---|-----|
| b0 | CMD0 | コンビネーションモード選択ビット (注1) | インプットキャプチャ機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください | R/W |
| b1 | CMD1 | | | R/W |
| b2 | OLS0 | 正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | インプットキャプチャ機能では無効です | R/W |
| b3 | OLS1 | 逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | | R/W |
| b4 | ADTRG | A/Dトリガ許可ビット (相補PWMモード時) | | R/W |
| b5 | ADEG | A/Dトリガエッジ選択ビット (相補PWMモード時) | | R/W |
| b6 | STCLK | 外部クロック入力選択ビット | 0: 外部クロック入力無効 1: 外部クロック入力有効 | R/W |
| b7 | PWM3 | PWM3モード選択ビット(注2) | インプットキャプチャ機能では“1”(PWM3モード以外)にしてください | R/W |

注1. CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1 ~ CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.3.7 タイマRDデジタルフィルタ機能選択レジスタ i (TRDDFi)($i = 0 \sim 1$)[インプットキャプチャ機能時]

アドレス 013Eh番地 (TRDDF0)、013Fh番地 (TRDDF1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-------|-------|----|----|-----|-----|-----|-----|
| シンボル | DFCK1 | DFCK0 | - | - | DFD | DFC | DFB | DFA |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|---|-----|
| b0 | DFA | TRDIOA端子デジタルフィルタ機能 選択ビット | 0: 機能なし 1: 機能あり | R/W |
| b1 | DFB | TRDIOB端子デジタルフィルタ機能 選択ビット | | R/W |
| b2 | DFC | TRDIOC端子デジタルフィルタ機能 選択ビット | | R/W |
| b3 | DFD | TRDIOD端子デジタルフィルタ機能 選択ビット | | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | DFCK0 | デジタルフィルタ機能用クロック選 択ビット | b7 b6 00: f32 01: f8 10: f1 11: カウントソース (TRDCR i レジスタのTCK0 ~ TCK2ビットで選択したクロック) | R/W |
| b7 | DFCK1 | | | R/W |

20.3.8 タイマRD制御レジスタ i (TRDCR i)($i = 0 \sim 1$)[インプットキャプチャ機能時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------------|--|-----|
| b0 | TCK0 | カウントソース選択ビット | b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注5) | R/W |
| b1 | TCK1 | | | R/W |
| b2 | TCK2 | | | R/W |
| | | | | R/W |
| b3 | CKEG0 | 外部クロックエッジ選択ビット(注3) | b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください | R/W |
| b4 | CKEG1 | | | R/W |
| b5 | CCLR0 | TRDiカウンタクリア選択ビット | b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRAiのインプットキャプチャでクリア 0 1 0 : TRDGRBiのインプットキャプチャでクリア 0 1 1 : 同期クリア(他のタイマRD i のカウントと同時にクリア)(注4) 1 0 0 : 設定しないでください 1 0 1 : TRDGRCiのインプットキャプチャでクリア 1 1 0 : TRDGRDiのインプットキャプチャでクリア 1 1 1 : 設定しないでください | R/W |
| b6 | CCLR1 | | | R/W |
| b7 | CCLR2 | | | R/W |

注1. TRDECRレジスタのITCLK i ビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECRレジスタのITCLK i ビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLK i ビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.3.9 タイマRD I/O制御レジスタAi (TRDIORAi)(i = 0 ~ 1)[インプットキャプチャ機能時]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

| | | | | | | | | |
|---------|----|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | IOB2 | IOB1 | IOB0 | IOA3 | IOA2 | IOA1 | IOA0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IOA0 | TRDGRA制御ビット | b1 b0 00: 立ち上がりエッジでTRDGRAiへインプットキャプチャ 01: 立ち下がりエッジでTRDGRAiへインプットキャプチャ 10: 両エッジでTRDGRAiへインプットキャプチャ 11: 設定しないでください | R/W |
| b1 | IOA1 | | | R/W |
| b2 | IOA2 | TRDGRAモード選択ビット(注1) | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください | R/W |
| b3 | IOA3 | インプットキャプチャ入力切替ビット(注3、4) | 0: fOCO128信号 1: TRDIOA0端子入力 | R/W |
| b4 | IOB0 | TRDGRB制御ビット | b5 b4 00: 立ち上がりエッジでTRDGRBiへインプットキャプチャ 01: 立ち下がりエッジでTRDGRBiへインプットキャプチャ 10: 両エッジでTRDGRBiへインプットキャプチャ 11: 設定しないでください | R/W |
| b5 | IOB1 | | | R/W |
| b6 | IOB2 | TRDGRBモード選択ビット(注2) | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDIORA0レジスタのみ有効です。TRDIORA1レジスタは、“1”にしてください。

注4. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

20.3.10 タイマRD I/O制御レジスタCi (TRDIORCi)(i = 0 ~ 1)[インプットキャプチャ機能時]

アドレス 0142h番地(TRDIORC0)、0152h番地(TRDIORC1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|------|------|------|------|------|------|------|
| シンボル | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--------------------|--|-----|
| b0 | IOC0 | TRDGRC制御ビット | b1 b0 00: 立ち上がりエッジでTRDGRCiへインプットキャプチャ 01: 立ち下がりエッジでTRDGRCiへインプットキャプチャ 10: 両エッジでTRDGRCiへインプットキャプチャ 11: 設定しないでください | R/W |
| b1 | IOC1 | | | R/W |
| b2 | IOC2 | TRDGRCモード選択ビット(注1) | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください | R/W |
| b3 | IOC3 | TRDGRCレジスタ機能選択ビット | インプットキャプチャ機能では“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください | R/W |
| b4 | IOD0 | TRDGRD制御ビット | b5 b4 00: 立ち上がりエッジでTRDGRDiへインプットキャプチャ 01: 立ち下がりエッジでTRDGRDiへインプットキャプチャ 10: 両エッジでTRDGRDiへインプットキャプチャ 11: 設定しないでください | R/W |
| b5 | IOD1 | | | R/W |
| b6 | IOD2 | TRDGRDモード選択ビット(注2) | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください | R/W |
| b7 | IOD3 | TRDGRDレジスタ機能選択ビット | インプットキャプチャ機能では“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください | R/W |

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.3.11 タイマRDステータスレジスタ i (TRDSR i)($i = 0 \sim 1$)[インプットキャプチャ機能時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | |
|---------|----|----|-----|-----|------|------|------|------|------------|
| シンボル | - | - | UDF | OVF | IMFD | IMFC | IMFB | IMFA | |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | TRDSR0レジスタ |
| リセット後の値 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | TRDSR1レジスタ |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IMFA | インプットキャプチャ/コンペア一致フラグA | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDSR0レジスタ： TRDIORA0レジスタのIOA3ビットが“0”(fOCO128信号)の場合、fOCO128信号のエッジ TRDIORA0レジスタのIOA3ビットが“1”(TRDIOA0入力)の場合、TRDIOA0端子の入力エッジ(注3) TRDSR1レジスタ： TRDIOA1端子の入力エッジ(注3) | R/W |
| b1 | IMFB | インプットキャプチャ/コンペア一致フラグB | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIOBi端子の入力エッジ(注3) | R/W |
| b2 | IMFC | インプットキャプチャ/コンペア一致フラグC | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIOCi端子の入力エッジ(注4) | R/W |
| b3 | IMFD | インプットキャプチャ/コンペア一致フラグD | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIODi端子の入力エッジ(注4) | R/W |
| b4 | OVF | オーバフローフラグ | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき | R/W |
| b5 | UDF | アンダフローフラグ(注1) | インプットキャプチャ機能では無効です | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b7 | - | | | - |

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDIORA i レジスタのIOj1 ~ IOj0ビット(j=AまたはB)で選択したエッジ。

注4. TRDIORCiレジスタのIOk1 ~ IOk0ビット(k=CまたはD)で選択したエッジ。

TRDMRレジスタのBFkiビットが“1”(TRDGRkiはバッファレジスタ)の場合を含む。

20.3.12 タイマRD割り込み許可レジスタ i (TRDIER i)($i = 0 \sim 1$)[インプットキャプチャ機能時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

| | | | | | | | | |
|---------|----|----|----|------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | OVIE | IMIED | IMIEC | IMIEB | IMIEA |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | IMIEA | インプットキャプチャ/コンペアー一致 割り込み許可ビットA | 0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可 | R/W |
| b1 | IMIEB | インプットキャプチャ/コンペアー一致 割り込み許可ビットB | 0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可 | R/W |
| b2 | IMIEC | インプットキャプチャ/コンペアー一致 割り込み許可ビットC | 0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可 | R/W |
| b3 | IMIED | インプットキャプチャ/コンペアー一致 割り込み許可ビットD | 0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可 | R/W |
| b4 | OVIE | オーバフロー/アンダフロー割り込み 許可ビット | 0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可 | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

20.3.13 タイマRDカウンタ i (TRDi)($i = 0 \sim 1$)[インプットキャプチャ機能時]

アドレス 0147h ~ 0146h番地(TRD0)、0157h ~ 0156h番地(TRD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定範囲 | R/W |
|----------|---|---------------|-----|
| b15 ~ b0 | カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR i レジスタのOVFビットが“1”になる。 | 0000h ~ FFFFh | R/W |

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.3.14 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[インプットキャプチャ機能時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | 機能 | R/W |
|----------|--|-----|
| b15 ~ b0 | 「表20.6 インプットキャプチャ機能時のTRDGRjiレジスタの機能」参照 | R/W |

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インプットキャプチャ機能では、次のレジスタは無効です。
TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表20.6 インプットキャプチャ機能時のTRDGRjiレジスタの機能

| レジスタ | 設定 | レジスタの機能 | インプットキャプチャ入力端子 |
|---------|--------|--|----------------|
| TRDGRAi | - | ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。 | TRDIOAi |
| TRDGRBi | | | TRDIOBi |
| TRDGRCi | BFCi=0 | ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。 | TRDIOCi |
| TRDGRDi | BFDi=0 | | TRDIODi |
| TRDGRCi | BFCi=1 | バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(「20.2.2 バッファ動作」参照)。 | TRDIOAi |
| TRDGRDi | BFDi=1 | | TRDIOBi |

i=0 ~ 1、j=A、B、C、Dのいずれか

BFCi、BFDi : TRDMRレジスタのビット

TRDIOji端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが“0”)の場合、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

20.3.15 タイマRD端子選択レジスタ0 (TRDPSR0)

| | | | | | | | | |
|---------|---------|-------------|-------------|-------------|-------------|-------------|----|-------------|
| アドレス | 0184h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD0SEL0 | TRDIOC0SEL1 | TRDIOC0SEL0 | TRDIOB0SEL1 | TRDIOB0SEL0 | - | TRDIOA0SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|--|-----|
| b0 | TRDIOA0SEL0 | TRDIOA0/TRDCLK端子選択ビット | 0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB0SEL0 | TRDIOB0端子選択ビット | b3 b2 00 : TRDIOB0端子は使用しない 01 : 設定しないでください 10 : P2_2に割り当てる 11 : 設定しないでください | R/W |
| b3 | TRDIOB0SEL1 | | | R/W |
| b4 | TRDIOC0SEL0 | TRDIOC0端子選択ビット | b5 b4 00 : TRDIOC0端子は使用しない 01 : 設定しないでください 10 : P2_1に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRDIOC0SEL1 | | | R/W |
| b6 | TRDIOD0SEL0 | TRDIOD0端子選択ビット | 0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.3.16 タイマRD端子選択レジスタ1 (TRDPSR1)

| | | | | | | | | |
|---------|---------|-------------|----|-------------|----|-------------|----|-------------|
| アドレス | 0185h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD1SEL0 | - | TRDIOC1SEL0 | - | TRDIOB1SEL0 | - | TRDIOA1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|---------------------------------------|-----|
| b0 | TRDIOA1SEL0 | TRDIOA1端子選択ビット | 0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB1SEL0 | TRDIOB1端子選択ビット | 0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | TRDIOC1SEL0 | TRDIOC1端子選択ビット | 0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる | R/W |
| b5 | - | 予約ビット | “0”にしてください | R/W |
| b6 | TRDIOD1SEL0 | TRDIOD1端子選択ビット | 0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる | R/W |
| b7 | - | 予約ビット | “0”にしてください | R/W |

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.3.17 動作例

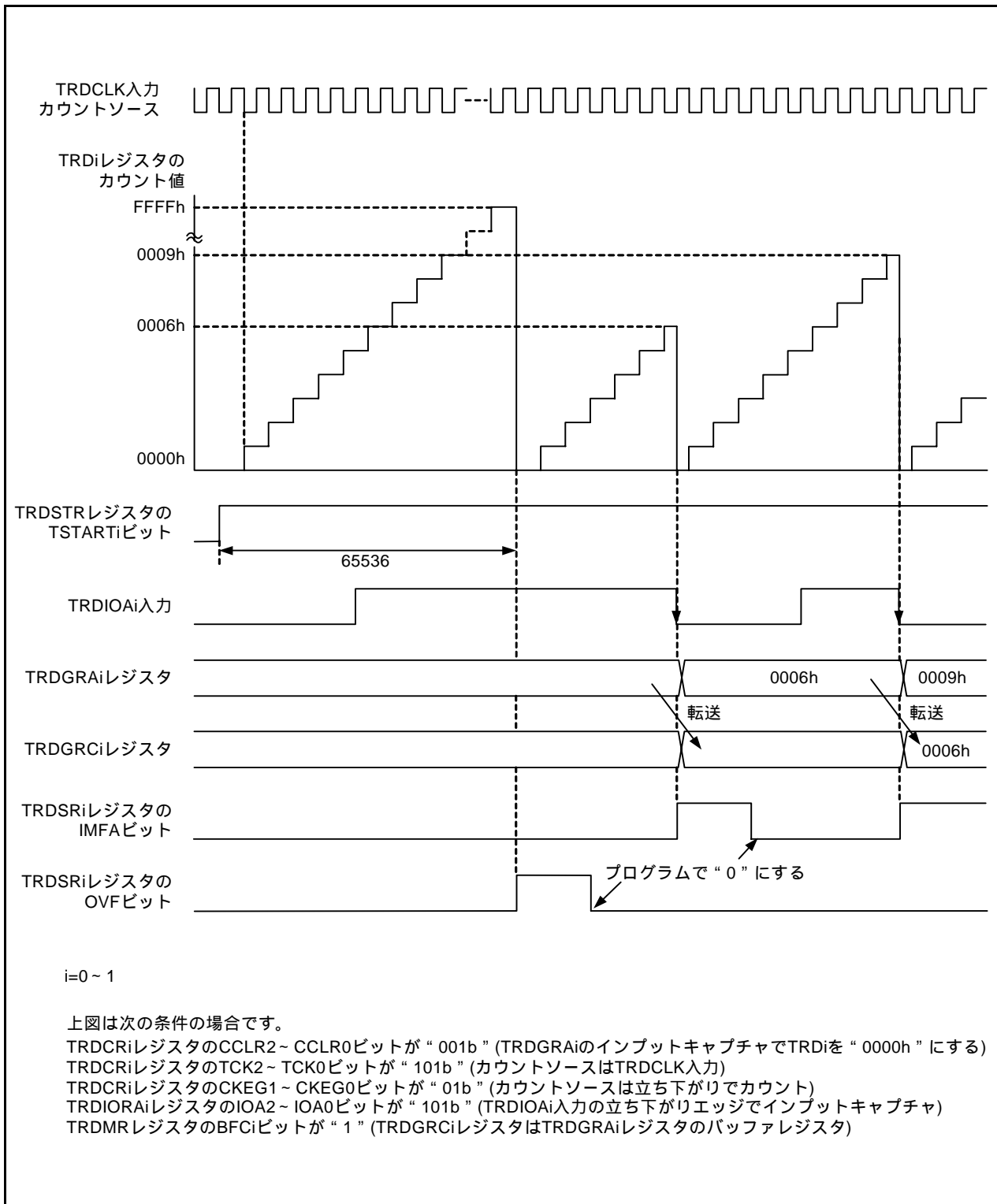


図20.8 インプットキャプチャ機能の動作例

20.3.18 デジタルフィルタ

TRDIO_j(i=0 ~ 1, j=A, B, C, Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図20.9にデジタルフィルタのブロック図を示します。

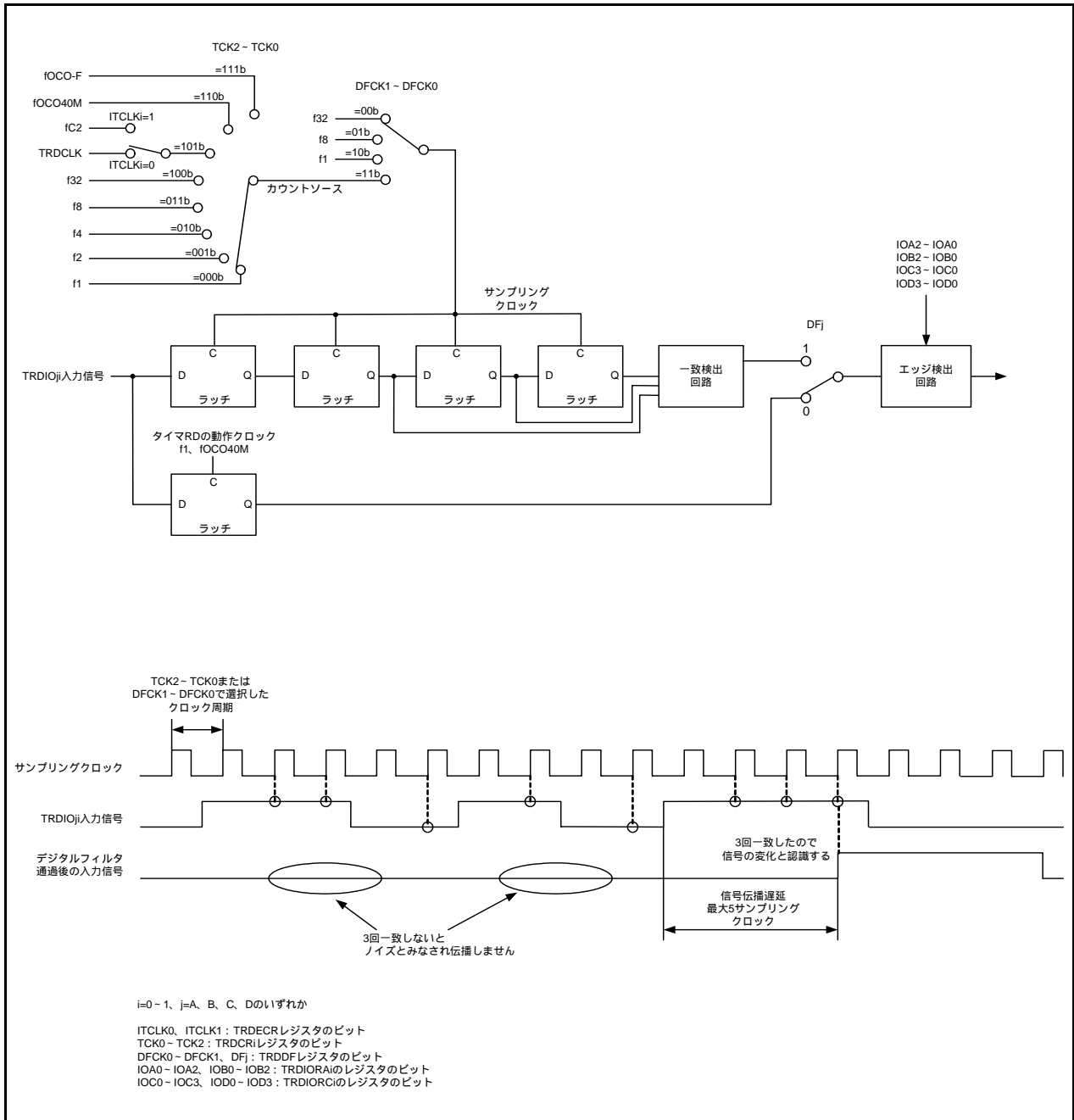


図20.9 デジタルフィルタのブロック図

20.4 アウトプットコンペア機能

TRD_i(*i*=0 ~ 1)レジスタ(カウンタ)の内容と、TRDGR_j(*j*=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRDIO_j端子から任意のレベルを出力します。TRDIO_j端子とTRDGR_jレジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図20.10にアウトプットコンペア機能のブロック図を、表20.7にアウトプットコンペア機能の仕様を、図20.11にアウトプットコンペア機能の動作例を示します。

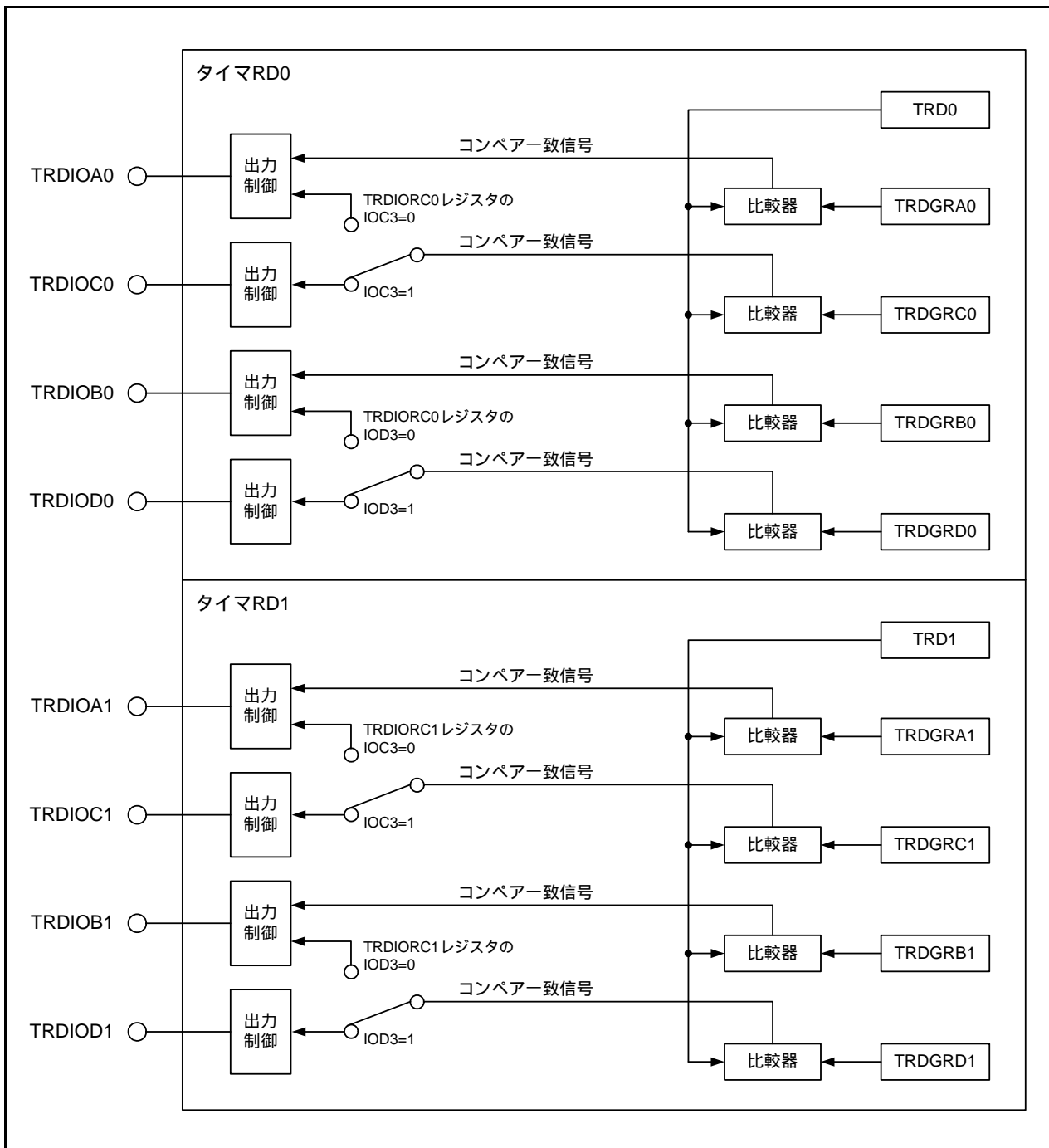


図20.10 アウトプットコンペア機能のブロック図

表20.7 アウトプットコンペア機能の仕様

| 項目 | 仕様 |
|---|--|
| カウントソース | f1、f2、f4、f8、f32、fC2、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択) |
| カウント動作 | アップカウント |
| カウント周期 | <ul style="list-style-type: none"> • TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 1/fk × 65536 fk: カウントソースの周波数 • TRDCRiレジスタのCCLR1 ~ CCLR0ビットが“01b”、“10b”(TRDGRjiのコンペア一致でTRDiを“0000h”にする)の場合 カウントソースの周期 × (n+1) n: TRDGRjiレジスタ設定値 |
| 波形出力タイミング | コンペア一致 |
| カウント開始条件 | TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> • TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持 |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> • コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRDiオーバフロー |
| TRDIOA0端子機能 | プログラマブル入出力ポート、アウトプットコンペア出力、またはTRDCLK(外部クロック)入力 |
| TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能 | プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択) |
| INT0端子機能 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力 |
| タイマの読み出し | TRDiレジスタを読むと、カウント値が読める |
| タイマの書き込み | <ul style="list-style-type: none"> • TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める • TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる |
| 選択機能 | <ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRDiを“0000h”にするタイミング オーバフロー、またはTRDGRAiレジスタのコンペア一致 • バッファ動作(「20.2.2 バッファ動作」参照) • 同期動作(「20.2.3 同期動作」参照) • TRDGRCi、TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用できる • パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) • タイマRDは出力しないことで内部タイマとして使用できる • A/Dトリガ発生 |

i=0 ~ 1、j=A、B、C、Dのいずれか

20.4.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

| | | | | | | | | |
|---------|----|----|--------|--------|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | SSU、I ² Cバススタンバイビット | 0：アクティブ 1：スタンバイ(注1) | R/W |
| b4 | MSTTRD | タイマRDスタンバイビット | 0：アクティブ 1：スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0：アクティブ 1：スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。

注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.4.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

| | | | | | | | | |
|---------|--------|----|----|----|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ITCLK1 | - | - | - | ITCLK0 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|-------------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | ITCLK0 | タイマRD0用fC2選択ビット | 0：TRDCLK入力を選択 1：fC2を選択(注1) | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | ITCLK1 | タイマRD1用fC2選択ビット | 0：TRDCLK入力を選択 1：fC2を選択(注1) | R/W |

注1. タイマモードのとき有効です。

20.4.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0136h 番地

| | | | | | | | | |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ADTRGD1E | ADTRGC1E | ADTRGB1E | ADTRGA1E | ADTRGD0E | ADTRGC0E | ADTRGB0E | ADTRGA0E |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|---------------|---|-----|
| b0 | ADTRGA0E | A/DトリガA0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b1 | ADTRGB0E | A/DトリガB0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b2 | ADTRGC0E | A/DトリガC0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b3 | ADTRGD0E | A/DトリガD0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b4 | ADTRGA1E | A/DトリガA1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b5 | ADTRGB1E | A/DトリガB1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b6 | ADTRGC1E | A/DトリガC1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b7 | ADTRGD1E | A/DトリガD1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |

20.4.4 タイマRDスタートレジスタ(TRDSTR)[アウトプットコンペア機能時]

アドレス 0137h番地

| | | | | | | | | |
|---------|----|----|----|----|-------|-------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | CSEL1 | CSEL0 | TSTART1 | TSTART0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--|---|-----|
| b0 | TSTART0 | TRD0カウント開始フラグ(注3) | 0: カウント停止(注1) 1: カウント開始 | R/W |
| b1 | TSTART1 | TRD1カウント開始フラグ(注4) | 0: カウント停止(注2) 1: カウント開始 | R/W |
| b2 | CSEL0 | TRD0カウント動作選択ビット | 0: TRDGRA0レジスタとのコンペア一致でカウント停止 1: TRDGRA0レジスタとのコンペア一致後もカウント継続 | R/W |
| b3 | CSEL1 | TRD1カウント動作選択ビット | 0: TRDGRA1レジスタとのコンペア一致でカウント停止 1: TRDGRA1レジスタとのコンペア一致後もカウント継続 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.4.5 タイマRDモードレジスタ(TRDMR)[アウトプットコンペア機能時]

アドレス 0138h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|------|------|------|----|----|----|------|
| シンボル | BFD1 | BFC1 | BFD0 | BFC0 | - | - | - | SYNC |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | SYNC | タイマRD同期ビット | 0: TRD0とTRD1は独立動作 1: TRD0とTRD1は同期動作 | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | BFC0 | TRDGRC0レジスタ機能選択ビット (注1) | 0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ | R/W |
| b5 | BFD0 | TRDGRD0レジスタ機能選択ビット (注1) | 0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ | R/W |
| b6 | BFC1 | TRDGRC1レジスタ機能選択ビット (注1) | 0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ | R/W |
| b7 | BFD1 | TRDGRD1レジスタ機能選択ビット (注1) | 0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ | R/W |

注1. TRDIORC_i(i=0~1)レジスタのIOj3(j=CまたはD)ビットで“0”(TRDGR_{ji}レジスタ出力端子変更)を選択した場合、TRDMRレジスタのBF_{ji}ビットを“0”にしてください。

20.4.6 タイマRD PWMモードレジスタ(TRDPMR)[アウトプットコンペア機能時]

アドレス 0139h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|-------|-------|-------|----|-------|-------|-------|
| シンボル | - | PWMD1 | PWMC1 | PWMB1 | - | PWMD0 | PWMC0 | PWMB0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|----------------------------------|-----|
| b0 | PWMB0 | TRDIOB0 PWMモード選択ビット | アウトプットコンペア機能では“0”(タイマモード)にしてください | R/W |
| b1 | PWMC0 | TRDIOC0 PWMモード選択ビット | | R/W |
| b2 | PWMD0 | TRDIOD0 PWMモード選択ビット | | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b4 | PWMB1 | TRDIOB1 PWMモード選択ビット | アウトプットコンペア機能では“0”(タイマモード)にしてください | R/W |
| b5 | PWMC1 | TRDIOC1 PWMモード選択ビット | | R/W |
| b6 | PWMD1 | TRDIOD1 PWMモード選択ビット | | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |

20.4.7 タイマRD機能制御レジスタ(TRDFCR)[アウトプットコンペア機能時]

アドレス 013Ah番地

| | | | | | | | | |
|---------|------|-------|------|-------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | PWM3 | STCLK | ADEG | ADTRG | OLS1 | OLS0 | CMD1 | CMD0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|---|-----|
| b0 | CMD0 | コンピネーションモード選択ビット (注1) | アウトプットコンペア機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください | R/W |
| b1 | CMD1 | | | R/W |
| b2 | OLS0 | 正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | アウトプットコンペア機能では無効です | R/W |
| b3 | OLS1 | 逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | | R/W |
| b4 | ADTRG | A/Dトリガ許可ビット (相補PWMモード時) | | R/W |
| b5 | ADEG | A/Dトリガエッジ選択ビット (相補PWMモード時) | | R/W |
| b6 | STCLK | 外部クロック入力選択ビット | 0: 外部クロック入力無効 1: 外部クロック入力有効 | R/W |
| b7 | PWM3 | PWM3モード選択ビット(注2) | アウトプットコンペア機能では“1”(PWM3モード以外)にしてください | R/W |

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.4.8 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[アウトプットコンペア機能時]

アドレス 013Bh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|
| シンボル | ED1 | EC1 | EB1 | EA1 | ED0 | EC0 | EB0 | EA0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------|---|-----|
| b0 | EA0 | TRDIOA0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOA0端子はプログラマブル入出力ポート) | R/W |
| b1 | EB0 | TRDIOB0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート) | R/W |
| b2 | EC0 | TRDIOC0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート) | R/W |
| b3 | ED0 | TRDIOD0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート) | R/W |
| b4 | EA1 | TRDIOA1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート) | R/W |
| b5 | EB1 | TRDIOB1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート) | R/W |
| b6 | EC1 | TRDIOC1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート) | R/W |
| b7 | ED1 | TRDIOD1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート) | R/W |

20.4.9 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[アウトプットコンペア機能時]

アドレス 013Ch番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|----|----|----|----|----|----|----|
| シンボル | PTO | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | PTO | パルス出力強制遮断信号入力INT0有効ビット(注1) | 0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる) | R/W |

注1.「20.2.4 パルス出力強制遮断」を参照してください。

20.4.10 タイマRDアウトプット制御レジスタ(TRDOCR)[アウトプットコンペア機能時]

アドレス 013Dh番地

| | | | | | | | | |
|---------|------|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TOD1 | TOC1 | TOB1 | TOA1 | TOD0 | TOC0 | TOB0 | TOA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---------------------|------------------------|-----|
| b0 | TOA0 | TRDIOA0出力レベル選択ビット | 0:初期出力“L” 1:初期出力“H” | R/W |
| b1 | TOB0 | TRDIOB0出力レベル選択ビット | | R/W |
| b2 | TOC0 | TRDIOC0初期出力レベル選択ビット | 0:“L” 1:“H” | R/W |
| b3 | TOD0 | TRDIOD0初期出力レベル選択ビット | | R/W |
| b4 | TOA1 | TRDIOA1初期出力レベル選択ビット | | R/W |
| b5 | TOB1 | TRDIOB1初期出力レベル選択ビット | | R/W |
| b6 | TOC1 | TRDIOC1初期出力レベル選択ビット | | R/W |
| b7 | TOD1 | TRDIOD1初期出力レベル選択ビット | | R/W |

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

TRDOCRレジスタが端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

20.4.11 タイマRD制御レジスタ i (TRDCR i)($i = 0 \sim 1$)[アウトプットコンペア機能時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------------|--|-----|
| b0 | TCK0 | カウントソース選択ビット | b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注5) | R/W |
| b1 | TCK1 | | | R/W |
| b2 | TCK2 | | | R/W |
| | | | | |
| b3 | CKEG0 | 外部クロックエッジ選択ビット(注3) | b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください | R/W |
| b4 | CKEG1 | | | R/W |
| b5 | CCLR0 | TRDiカウンタクリア選択ビット | b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRAiのコンペア一致でクリア 0 1 0 : TRDGRBiのコンペア一致でクリア 0 1 1 : 同期クリア(他のタイマRDiのカウントと同時にクリア)(注4) 1 0 0 : 設定しないでください 1 0 1 : TRDGRCiのコンペア一致でクリア 1 1 0 : TRDGRDiのコンペア一致でクリア 1 1 1 : 設定しないでください | R/W |
| b6 | CCLR1 | | | R/W |
| b7 | CCLR2 | | | R/W |

注1. TRDECRレジスタのITCLK i ビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECRレジスタのITCLK i ビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLK i ビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.4.12 タイマRD I/O制御レジスタAi (TRDIORAi)(i = 0 ~ 1)[アウトプットコンペア機能時]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|------|------|------|------|------|------|------|
| シンボル | - | IOB2 | IOB1 | IOB0 | IOA3 | IOA2 | IOA1 | IOA0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | IOA0 | TRDGRA制御ビット | b1 b0 00: コンペア一致による端子出力禁止 (TRDIOAi端子はプログラマブル入出力ポート) 01: TRDGRAiのコンペア一致で“L”出力 10: TRDGRAiのコンペア一致で“H”出力 11: TRDGRAiのコンペア一致でトグル出力 | R/W |
| b1 | IOA1 | | | R/W |
| b2 | IOA2 | TRDGRAモード選択ビット(注1) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください | R/W |
| b3 | IOA3 | インプットキャプチャ入力切替ビット | “1”にしてください | R/W |
| b4 | IOB0 | TRDGRB制御ビット | b5 b4 00: コンペア一致による端子出力禁止 (TRDIOBi端子はプログラマブル入出力ポート) 01: TRDGRBiのコンペア一致で“L”出力 10: TRDGRBiのコンペア一致で“H”出力 11: TRDGRBiのコンペア一致でトグル出力 | R/W |
| b5 | IOB1 | | | R/W |
| b6 | IOB2 | TRDGRBモード選択ビット(注2) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.4.13 タイマRD I/O制御レジスタCi (TRDIORCi)(i = 0 ~ 1)[アウトプットコンペア機能時]

アドレス 0142h番地(TRDIORC0)、0152h番地(TRDIORC1)

| | | | | | | | | |
|---------|------|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--------------------|--|-----|
| b0 | IOC0 | TRDGRC制御ビット | b1 b0 00 : コンペア一致による端子出力禁止 01 : TRDGRCiのコンペア一致で“L”出力 10 : TRDGRCiのコンペア一致で“H”出力 11 : TRDGRCiのコンペア一致でトグル出力 | R/W |
| b1 | IOC1 | | | R/W |
| b2 | IOC2 | TRDGRCモード選択ビット(注1) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください | R/W |
| b3 | IOC3 | TRDGRCレジスタ機能選択ビット | 0 : TRDIOA出力レジスタ (「20.4.21 TRDGRCi (i=0 ~ 1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ | R/W |
| b4 | IOD0 | TRDGRD制御ビット | b5 b4 00 : コンペア一致による端子出力禁止 01 : TRDGRDiのコンペア一致で“L”出力 10 : TRDGRDiのコンペア一致で“H”出力 11 : TRDGRDiのコンペア一致でトグル出力 | R/W |
| b5 | IOD1 | | | R/W |
| b6 | IOD2 | TRDGRDモード選択ビット(注2) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください | R/W |
| b7 | IOD3 | TRDGRDレジスタ機能選択ビット | 0 : TRDIOB出力レジスタ (「20.4.21 TRDGRCi (i=0 ~ 1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ | R/W |

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.4.14 タイマRDステータスレジスタ i (TRDSR i)($i = 0 \sim 1$)[アウトプットコンペア機能時]

アドレス 0143h 番地 (TRDSR0)、0153h 番地 (TRDSR1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | |
|---------|----|----|-----|-----|------|------|------|------|------------|
| シンボル | - | - | UDF | OVF | IMFD | IMFC | IMFB | IMFA | |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | TRDSR0レジスタ |
| リセット後の値 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | TRDSR1レジスタ |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IMFA | インプットキャプチャ/コンペア一致フラグA | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき | R/W |
| b1 | IMFB | インプットキャプチャ/コンペア一致フラグB | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき | R/W |
| b2 | IMFC | インプットキャプチャ/コンペア一致フラグC | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3) | R/W |
| b3 | IMFD | インプットキャプチャ/コンペア一致フラグD | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3) | R/W |
| b4 | OVF | オーバフローフラグ | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき | R/W |
| b5 | UDF | アンダフローフラグ(注1) | アウトプットコンペア機能では無効です | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b7 | - | | | - |

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF j ビット($j=C$ または D)が“1”(TRDGR j はバッファレジスタ)の場合を含む。

20.4.15 タイマRD割り込み許可レジスタ i (TRDIER i)($i = 0 \sim 1$)[アウトプットコンペア機能時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

| | | | | | | | | |
|---------|----|----|----|------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | OVIE | IMIED | IMIEC | IMIEB | IMIEA |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | IMIEA | インプットキャプチャ/コンペア一致 割り込み許可ビットA | 0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可 | R/W |
| b1 | IMIEB | インプットキャプチャ/コンペア一致 割り込み許可ビットB | 0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可 | R/W |
| b2 | IMIEC | インプットキャプチャ/コンペア一致 割り込み許可ビットC | 0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可 | R/W |
| b3 | IMIED | インプットキャプチャ/コンペア一致 割り込み許可ビットD | 0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可 | R/W |
| b4 | OVIE | オーバフロー/アンダフロー割り込み 許可ビット | 0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可 | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

20.4.16 タイマRDカウンタ i (TRDi)($i = 0 \sim 1$)[アウトプットコンペア機能時]

アドレス 0147h ~ 0146h番地(TRD0)、0157h ~ 0156h番地(TRD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定範囲 | R/W |
|----------|---|---------------|-----|
| b15 ~ b0 | カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR i レジスタのOVFビットが“1”になる。 | 0000h ~ FFFFh | R/W |

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.4.17 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[アウトプットコンペア機能時]

アドレス 0149h ~ 0148h番地 (TRDGRA0)、014Bh ~ 014Ah番地 (TRDGRB0)、
014Dh ~ 014Ch番地 (TRDGRC0)、014Fh ~ 014Eh番地 (TRDGRD0)、
0159h ~ 0158h番地 (TRDGRA1)、015Bh ~ 015Ah番地 (TRDGRB1)、
015Dh ~ 015Ch番地 (TRDGRC1)、015Fh ~ 015Eh番地 (TRDGRD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| | | |
|----------|--|-----|
| ビット | 機能 | R/W |
| b15 ~ b0 | 「表20.8 アウトプットコンペア機能時のTRDGRjiレジスタの機能」参照 | R/W |

TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDPOCR0、TRDPOCR1

表20.8 アウトプットコンペア機能時のTRDGRjiレジスタの機能

| レジスタ | 設定 | | レジスタの機能 | アウトプット コンペア出力端子 | |
|---------|------|------|---|------------------------|---------|
| | BFji | IOj3 | | | |
| TRDGRAi | - | - | ジェネラルレジスタ。コンペア値を書いてください。 | TRDIOAi | |
| TRDGRBi | | | | TRDIOBi | |
| TRDGRCi | 0 | 1 | ジェネラルレジスタ。コンペア値を書いてください。 | TRDIODi | |
| TRDGRDi | | | | TRDIODi | |
| TRDGRCi | 1 | 1 | バッファレジスタ。次回のコンペア値を書いてください。 (「20.2.2 バッファ動作」参照) | TRDIOAi | |
| TRDGRDi | | | | TRDIOBi | |
| TRDGRCi | 0 | 0 | TRDIOAi出力制御 | TRDGRDiレジスタの出力端子変更」参照) | TRDIOAi |
| TRDGRDi | | | TRDIOBi出力制御 | | TRDIOBi |

i=0 ~ 1、j=A、B、C、Dのいずれか

BFji : TRDMRレジスタのビット、IOj3 : TRDIORCiレジスタのビット

20.4.18 タイマRD端子選択レジスタ0 (TRDPSR0)

| | | | | | | | | |
|---------|---------|-------------|-------------|-------------|-------------|-------------|----|-------------|
| アドレス | 0184h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD0SEL0 | TRDIOC0SEL1 | TRDIOC0SEL0 | TRDIOB0SEL1 | TRDIOB0SEL0 | - | TRDIOA0SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|--|-----|
| b0 | TRDIOA0SEL0 | TRDIOA0/TRDCLK端子選択ビット | 0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB0SEL0 | TRDIOB0端子選択ビット | b3 b2 00 : TRDIOB0端子は使用しない 01 : 設定しないでください 10 : P2_2に割り当てる 11 : 設定しないでください | R/W |
| b3 | TRDIOB0SEL1 | | | R/W |
| b4 | TRDIOC0SEL0 | TRDIOC0端子選択ビット | b5 b4 00 : TRDIOC0端子は使用しない 01 : 設定しないでください 10 : P2_1に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRDIOC0SEL1 | | | R/W |
| b6 | TRDIOD0SEL0 | TRDIOD0端子選択ビット | 0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.4.19 タイマRD端子選択レジスタ1 (TRDPSR1)

| | | | | | | | | |
|---------|---------|-------------|----|-------------|----|-------------|----|-------------|
| アドレス | 0185h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD1SEL0 | - | TRDIOC1SEL0 | - | TRDIOB1SEL0 | - | TRDIOA1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|---------------------------------------|-----|
| b0 | TRDIOA1SEL0 | TRDIOA1端子選択ビット | 0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB1SEL0 | TRDIOB1端子選択ビット | 0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | TRDIOC1SEL0 | TRDIOC1端子選択ビット | 0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる | R/W |
| b5 | - | 予約ビット | “0” にしてください | R/W |
| b6 | TRDIOD1SEL0 | TRDIOD1端子選択ビット | 0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる | R/W |
| b7 | - | 予約ビット | “0” にしてください | R/W |

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.4.20 動作例

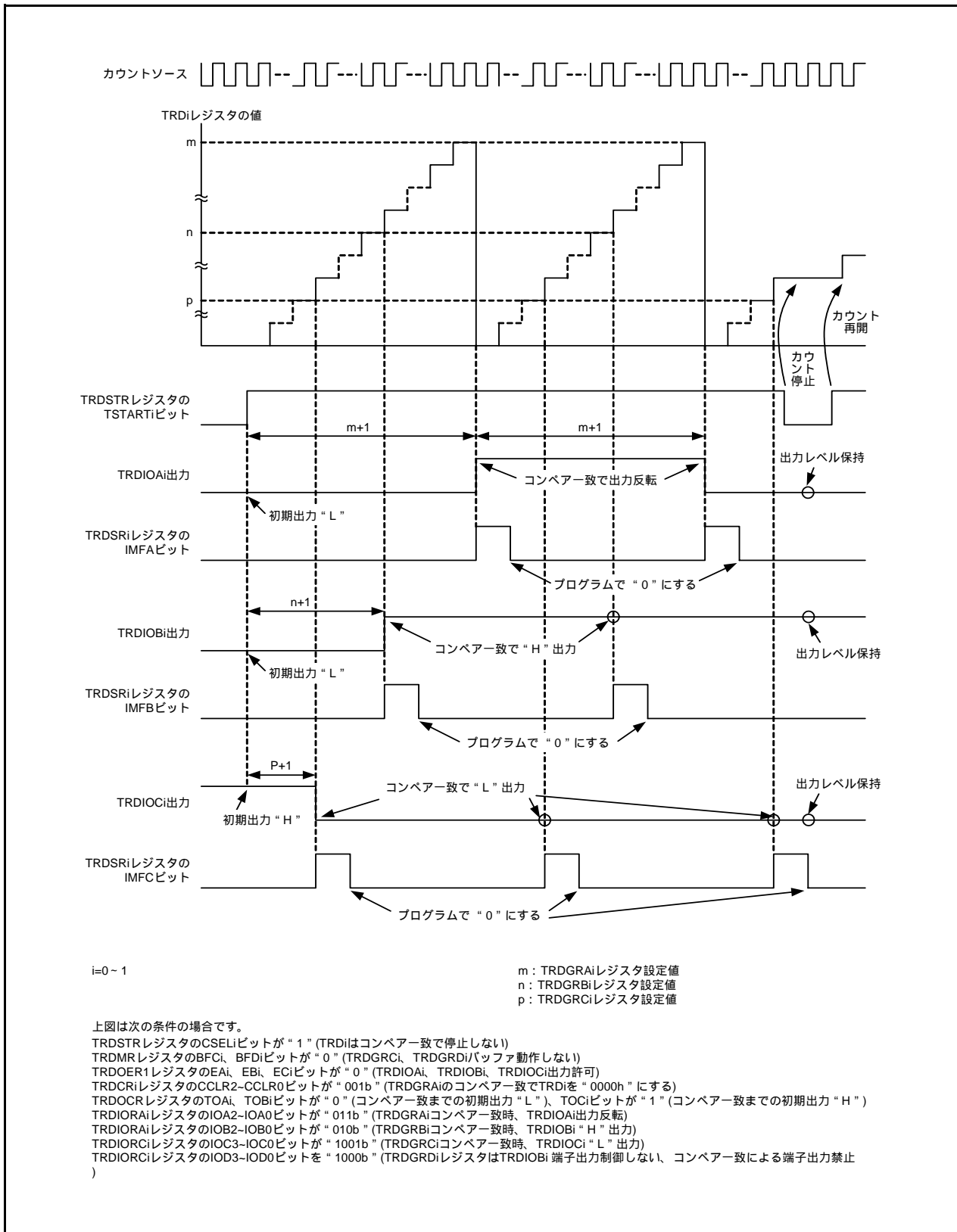


図20.11 アウトプットコンペアー機能の動作例

20.4.21 TRDGRC_i (i=0 ~ 1)、TRDGRD_iレジスタの出力端子変更

TRDGRC_iレジスタをTRDIOA_i端子の、TRDGRD_iレジスタをTRDIOB_i端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOA_i出力は、TRDGRA_iレジスタの値とTRDGRC_iレジスタの値の2点で制御
- TRDIOB_i出力は、TRDGRB_iレジスタの値とTRDGRD_iレジスタの値の2点で制御

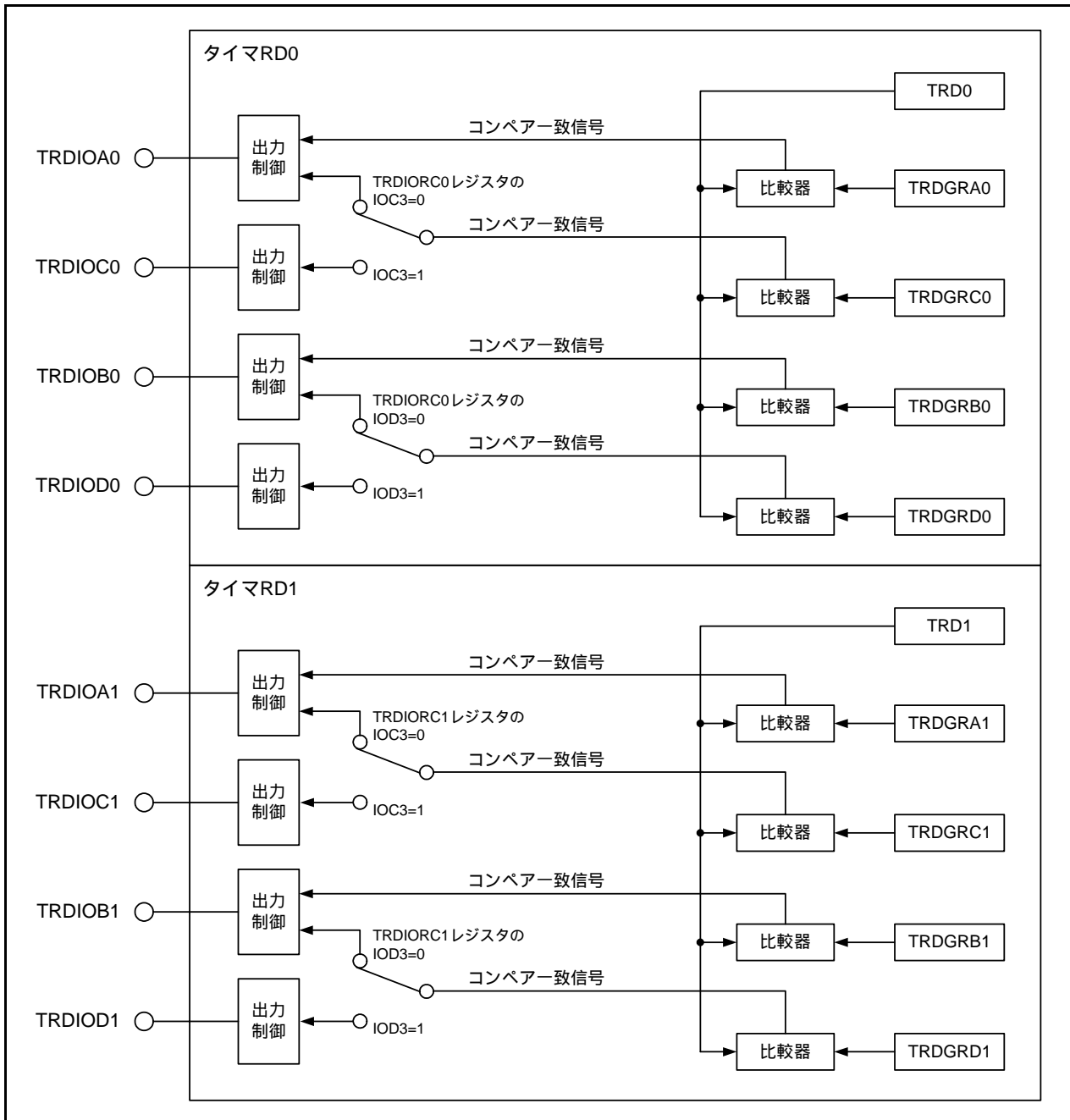


図20.12 TRDGRC_i、TRDGRD_iの出力端子変更

TRDGRC_i、TRDGRD_iレジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORC_iレジスタのIOj₃(j=CまたはD)ビットで“0”(TRDGR_jiレジスタ出力端子変更)を選択。
- TRDMRレジスタのBF_jiビットを“0”(ジェネラルレジスタ)にする。
- TRDGRA_iレジスタとTRDGRC_iレジスタは違う値を設定。また、TRDGRB_iレジスタとTRDGRD_iレジスタは違う値を設定。

図20.13にTRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例を示します。

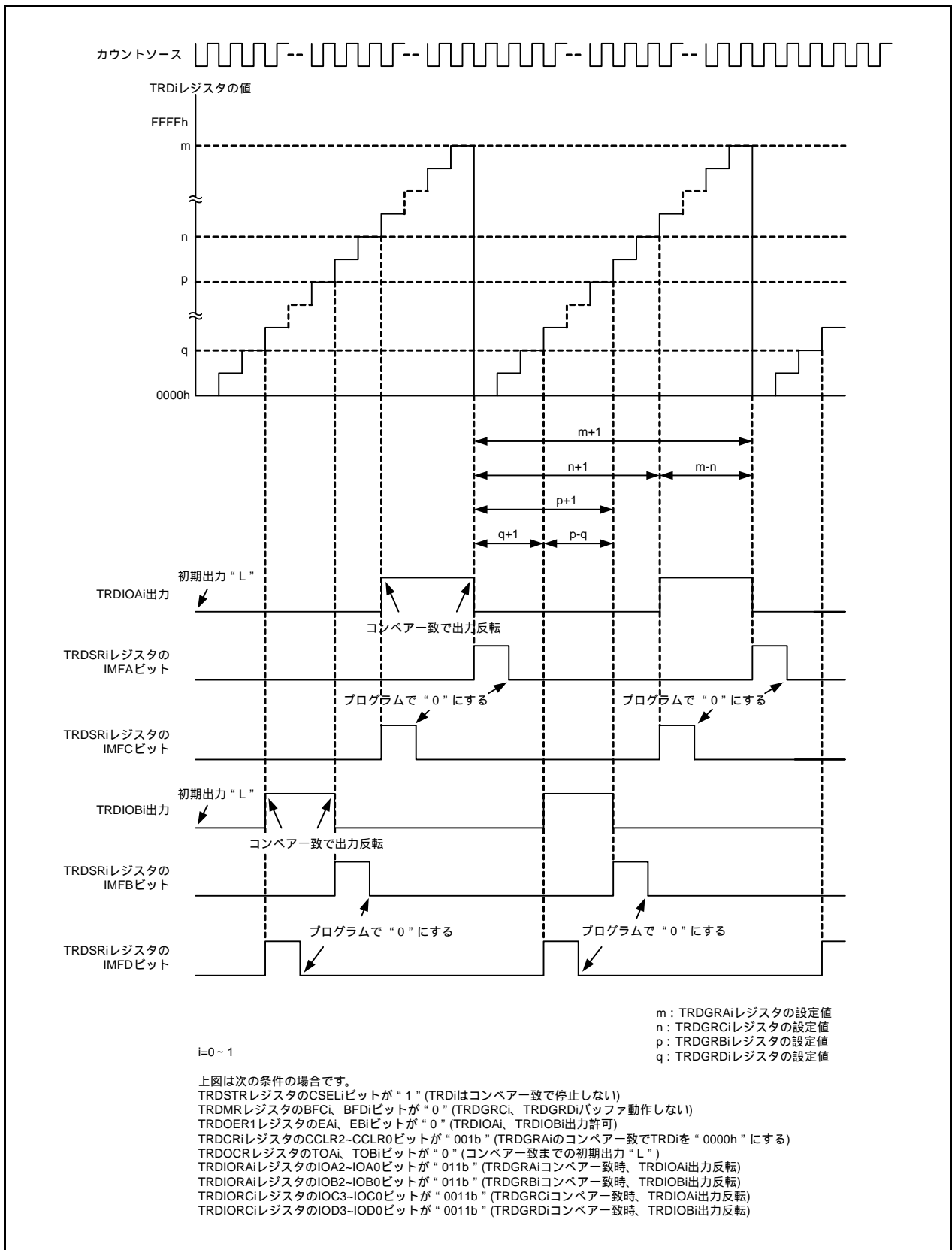


図20.13 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例

20.4.22 A/Dトリガ発生

TRDi($i = 0 \sim 1$)レジスタとTRDGRj($j = A, B, C, D$)レジスタのコンペアー一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペアー一致を使用するか選択できます。

20.5 PWMモード

PWM波形を出力するモードです。タイマRD i ($i=0 \sim 1$)で同周期のPWM波形を最大3本出力できます。また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。

TRDIO j ($i = 0 \sim 1, j = B, C, D$)端子とTRDGR j iレジスタの組み合わせで機能しますので、端子1本ごとにPWMモードにするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWMモードに使用する場合もTRDGRA i レジスタを使用しますので、TRDGRA i レジスタは他のモードに使用できません)。

図20.14にPWMモードのブロック図を、表20.9にPWMモードの仕様を、図20.15～図20.16にPWMモードの動作例を示します。

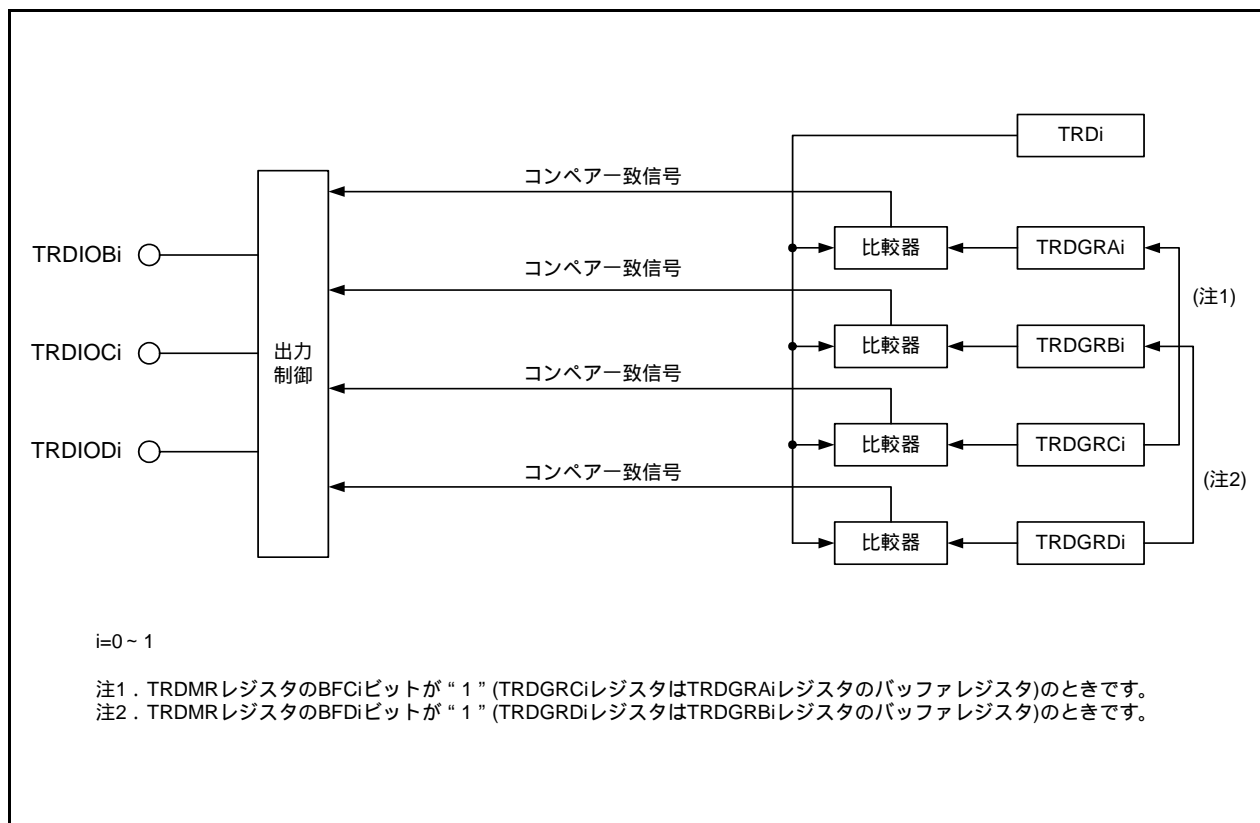
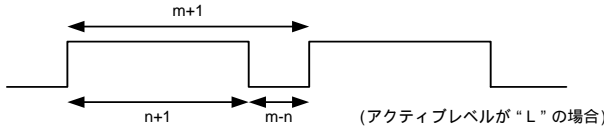


図20.14 PWMモードのブロック図

表20.9 PWMモードの仕様

| 項目 | 仕様 |
|---|--|
| カウントソース | f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) |
| カウント動作 | アップカウント |
| PWM波形 | PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f_k : カウントソースの周波数 m : TRDGRAiレジスタ設定値 n : TRDGRjiレジスタ設定値  (アクティブレベルが“L”の場合) |
| カウント開始条件 | TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持 |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> コンペア一致(TRDiレジスタとTRDGRhiレジスタの内容が一致) TRDiオーバフロー |
| TRDIOA0端子機能 | プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力 |
| TRDIOA1端子機能 | プログラマブル入出力ポート |
| TRDIOB0、TRDIOC0、TRDIOD0、TRDIOB1、TRDIOC1、TRDIOD1端子機能 | プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択) |
| INT0端子機能 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力 |
| タイマの読み出し | TRDiレジスタを読むと、カウント値が読める |
| タイマの書き込み | TRDiレジスタに書き込める |
| 選択機能 | <ul style="list-style-type: none"> PWM出力端子をタイマRDiで1~3本選択 TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 アクティブレベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 同期動作(「20.2.3 同期動作」参照) バッファ動作(「20.2.2 バッファ動作」参照) パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) A/Dトリガ発生 |

i=0 ~ 1

j = B、C、Dのいずれか

h = A、B、C、Dのいずれか

20.5.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

| | | | | | | | | |
|---------|----|----|--------|--------|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | SSU、I ² Cバススタンバイビット | 0：アクティブ 1：スタンバイ(注1) | R/W |
| b4 | MSTTRD | タイマRDスタンバイビット | 0：アクティブ 1：スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0：アクティブ 1：スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

- 注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
- 注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
- 注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.5.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

| | | | | | | | | |
|---------|--------|----|----|----|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ITCLK1 | - | - | - | ITCLK0 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|-------------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | ITCLK0 | タイマRD0用fC2選択ビット | 0：TRDCLK入力を選択 1：fC2を選択(注1) | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | ITCLK1 | タイマRD1用fC2選択ビット | 0：TRDCLK入力を選択 1：fC2を選択(注1) | R/W |

- 注1. タイマモードのとき有効です。

20.5.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

| | | | | | | | | |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ADTRGD1E | ADTRGC1E | ADTRGB1E | ADTRGA1E | ADTRGD0E | ADTRGC0E | ADTRGB0E | ADTRGA0E |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|---------------|---|-----|
| b0 | ADTRGA0E | A/DトリガA0許可ビット | 0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b1 | ADTRGB0E | A/DトリガB0許可ビット | 0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b2 | ADTRGC0E | A/DトリガC0許可ビット | 0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b3 | ADTRGD0E | A/DトリガD0許可ビット | 0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b4 | ADTRGA1E | A/DトリガA1許可ビット | 0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b5 | ADTRGB1E | A/DトリガB1許可ビット | 0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b6 | ADTRGC1E | A/DトリガC1許可ビット | 0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b7 | ADTRGD1E | A/DトリガD1許可ビット | 0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |

20.5.4 タイマRDスタートレジスタ(TRDSTR)[PWMモード時]

アドレス 0137h番地

| | | | | | | | | |
|---------|----|----|----|----|-------|-------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | CSEL1 | CSEL0 | TSTART1 | TSTART0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--|---|-----|
| b0 | TSTART0 | TRD0カウント開始フラグ(注3) | 0: カウント停止(注1) 1: カウント開始 | R/W |
| b1 | TSTART1 | TRD1カウント開始フラグ(注4) | 0: カウント停止(注2) 1: カウント開始 | R/W |
| b2 | CSEL0 | TRD0カウント動作選択ビット | 0: TRDGRA0レジスタとのコンペアー一致でカウント停止 1: TRDGRA0レジスタとのコンペアー一致後もカウント継続 | R/W |
| b3 | CSEL1 | TRD1カウント動作選択ビット | 0: TRDGRA1レジスタとのコンペアー一致でカウント停止 1: TRDGRA1レジスタとのコンペアー一致後もカウント継続 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.5.5 タイマRDモードレジスタ(TRDMR)[PWMモード時]

アドレス 0138h番地

| | | | | | | | | |
|---------|------|------|------|------|----|----|----|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BFD1 | BFC1 | BFD0 | BFC0 | - | - | - | SYNC |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | SYNC | タイマRD同期ビット | 0: TRD0とTRD1は独立動作 1: TRD0とTRD1は同期動作 | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | BFC0 | TRDGRC0レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ | R/W |
| b5 | BFD0 | TRDGRD0レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ | R/W |
| b6 | BFC1 | TRDGRC1レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ | R/W |
| b7 | BFD1 | TRDGRD1レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ | R/W |

20.5.6 タイマRD PWMモードレジスタ(TRDPMR)[PWMモード時]

アドレス 0139h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|-------|-------|-------|----|-------|-------|-------|
| シンボル | - | PWMD1 | PWMC1 | PWMB1 | - | PWMD0 | PWMC0 | PWMB0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|------------------------|-----|
| b0 | PWMB0 | TRDIOB0 PWMモード選択ビット | 0: タイマモード 1: PWMモード | R/W |
| b1 | PWMC0 | TRDIOC0 PWMモード選択ビット | | R/W |
| b2 | PWMD0 | TRDIOD0 PWMモード選択ビット | | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b4 | PWMB1 | TRDIOB1 PWMモード選択ビット | 0: タイマモード 1: PWMモード | R/W |
| b5 | PWMC1 | TRDIOC1 PWMモード選択ビット | | R/W |
| b6 | PWMD1 | TRDIOD1 PWMモード選択ビット | | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |

20.5.7 タイマRD機能制御レジスタ(TRDFCR)[PWMモード時]

アドレス 013Ah番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|-------|------|-------|------|------|------|------|
| シンボル | PWM3 | STCLK | ADEG | ADTRG | OLS1 | OLS0 | CMD1 | CMD0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|---|--------------------------------|
| b0 | CMD0 | コンピネーションモード選択ビット (注1) | PWMモードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください PWMモードでは無効です | R/W |
| b1 | CMD1 | | | R/W |
| b2 | OLS0 | 正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | | R/W |
| b3 | OLS1 | 逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | | R/W |
| b4 | ADTRG | A/Dトリガ許可ビット (相補PWMモード時) | | R/W |
| b5 | ADEG | A/Dトリガエッジ選択ビット (相補PWMモード時) | | R/W |
| b6 | STCLK | 外部クロック入力選択ビット | | 0: 外部クロック入力無効 1: 外部クロック入力有効 |
| b7 | PWM3 | PWM3モード選択ビット(注2) | PWMモードでは“1”(PWM3モード以外)にしてください | R/W |

注1. CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1 ~ CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.5.8 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWMモード時]

アドレス 013Bh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|
| シンボル | ED1 | EC1 | EB1 | EA1 | ED0 | EC0 | EB0 | EA0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------|--|-----|
| b0 | EA0 | TRDIOA0出力禁止ビット | PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください | R/W |
| b1 | EB0 | TRDIOB0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート) | R/W |
| b2 | EC0 | TRDIOC0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート) | R/W |
| b3 | ED0 | TRDIOD0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート) | R/W |
| b4 | EA1 | TRDIOA1出力禁止ビット | PWMモードでは、“1”(TRDIOA1端子はプログラマブル入出力ポート)にしてください | R/W |
| b5 | EB1 | TRDIOB1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート) | R/W |
| b6 | EC1 | TRDIOC1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート) | R/W |
| b7 | ED1 | TRDIOD1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート) | R/W |

20.5.9 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWMモード時]

アドレス 013Ch番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|----|----|----|----|----|----|----|
| シンボル | PTO | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | PTO | パルス出力強制遮断信号入力INT0有効ビット(注1) | 0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる) | R/W |

注1. 「20.2.4 パルス出力強制遮断」を参照してください。

20.5.10 タイマRDアウトプット制御レジスタ(TRDOCR)[PWMモード時]

アドレス 013Dh番地

| | | | | | | | | |
|---------|------|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TOD1 | TOC1 | TOB1 | TOA1 | TOD0 | TOC0 | TOB0 | TOA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|-------------------------|---------------------------------------|-----|
| b0 | TOA0 | TRDIOA0出力レベル選択ビット | PWMモードでは、“0”にしてください | R/W |
| b1 | TOB0 | TRDIOB0出力レベル選択ビット(注1) | 0:初期出力はアクティブでないレベル 1:初期出力はアクティブレベル | R/W |
| b2 | TOC0 | TRDIOC0初期出力レベル選択ビット(注1) | | R/W |
| b3 | TOD0 | TRDIOD0初期出力レベル選択ビット(注1) | | R/W |
| b4 | TOA1 | TRDIOA1初期出力レベル選択ビット | PWMモードでは、“0”にしてください | R/W |
| b5 | TOB1 | TRDIOB1初期出力レベル選択ビット(注1) | 0:アクティブでないレベル 1:アクティブレベル | R/W |
| b6 | TOC1 | TRDIOC1初期出力レベル選択ビット(注1) | | R/W |
| b7 | TOD1 | TRDIOD1初期出力レベル選択ビット(注1) | | R/W |

注1. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

20.5.11 タイマRD制御レジスタ_i(TRDCR_i)(_i = 0 ~ 1)[PWMモード時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------------|--|-----|
| b0 | TCK0 | カウントソース選択ビット | b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注4) | R/W |
| b1 | TCK1 | | | R/W |
| b2 | TCK2 | | | R/W |
| b3 | CKEG0 | 外部クロックエッジ選択ビット(注3) | b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください | R/W |
| b4 | CKEG1 | | | R/W |
| b5 | CCLR0 | TRDiカウンタクリア選択ビット | PWMモードでは“001b”(TRDGRAiとのコンペ ア一致でTRDiレジスタクリア)にしてください | R/W |
| b6 | CCLR1 | | | R/W |
| b7 | CCLR2 | | | R/W |

注1. TRDECRレジスタのITCLK_iビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECRレジスタのITCLK_iビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLK_iビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.5.12 タイマRDステータスレジスタ i (TRDSR i)($i = 0 \sim 1$)[PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | |
|---------|----|----|-----|-----|------|------|------|------|------------|
| シンボル | - | - | UDF | OVF | IMFD | IMFC | IMFB | IMFA | |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | TRDSR0レジスタ |
| リセット後の値 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | TRDSR1レジスタ |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IMFA | インプットキャプチャ/コンペア一致フラグA | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき | R/W |
| b1 | IMFB | インプットキャプチャ/コンペア一致フラグB | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき | R/W |
| b2 | IMFC | インプットキャプチャ/コンペア一致フラグC | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3) | R/W |
| b3 | IMFD | インプットキャプチャ/コンペア一致フラグD | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3) | R/W |
| b4 | OVF | オーバフローフラグ | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき | R/W |
| b5 | UDF | アンダフローフラグ(注1) | PWMモードでは無効です | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b7 | - | | | - |

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF j iビット($j=C$ または D)が“1”(TRDGR j iはバッファレジスタ)の場合を含む。

20.5.13 タイマRD割り込み許可レジスタ i (TRDIER i)($i = 0 \sim 1$)[PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

| | | | | | | | | |
|---------|----|----|----|------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | OVIE | IMIED | IMIEC | IMIEB | IMIEA |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | IMIEA | インプットキャプチャ/コンペアー一致 割り込み許可ビットA | 0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可 | R/W |
| b1 | IMIEB | インプットキャプチャ/コンペアー一致 割り込み許可ビットB | 0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可 | R/W |
| b2 | IMIEC | インプットキャプチャ/コンペアー一致 割り込み許可ビットC | 0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可 | R/W |
| b3 | IMIED | インプットキャプチャ/コンペアー一致 割り込み許可ビットD | 0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可 | R/W |
| b4 | OVIE | オーバフロー/アンダフロー割り込み 許可ビット | 0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可 | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

20.5.14 タイマRD PWMモードアウトプットレベル制御レジスタ i (TRDPOCR i)($i = 0 \sim 1$)
[PWMモード時]

アドレス 0145h番地(TRDPOCR0)、0155h番地(TRDPOCR1)

| | | | | | | | | |
|---------|----|----|----|----|----|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | POLD | POLC | POLB |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | POLB | PWMモードアウトプットレベル制御 ビットB | 0 : TRDIOBiの出力レベルは“L”アクティブ 1 : TRDIOBiの出力レベルは“H”アクティブ | R/W |
| b1 | POLC | PWMモードアウトプットレベル制御 ビットC | 0 : TRDIOCiの出力レベルは“L”アクティブ 1 : TRDIOCiの出力レベルは“H”アクティブ | R/W |
| b2 | POLD | PWMモードアウトプットレベル制御 ビットD | 0 : TRDIODiの出力レベルは“L”アクティブ 1 : TRDIODiの出力レベルは“H”アクティブ | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

20.5.15 タイマRDカウンタ*i* (TRDi)(*i* = 0 ~ 1)[PWMモード時]

アドレス 0147h ~ 0146h番地 (TRD0)、0157h ~ 0156h番地 (TRD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定範囲 | R/W |
|----------|---|---------------|-----|
| b15 ~ b0 | カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR <i>i</i> レジスタのOVFビットが“1”になる。 | 0000h ~ FFFFh | R/W |

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.5.16 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[PWMモード時]

アドレス 0149h ~ 0148h番地 (TRDGRA0)、014Bh ~ 014Ah番地 (TRDGRB0)、
014Dh ~ 014Ch番地 (TRDGRC0)、014Fh ~ 014Eh番地 (TRDGRD0)、
0159h ~ 0158h番地 (TRDGRA1)、015Bh ~ 015Ah番地 (TRDGRB1)、
015Dh ~ 015Ch番地 (TRDGRC1)、015Fh ~ 015Eh番地 (TRDGRD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | 機能 | R/W |
|----------|-----------------------------------|-----|
| b15 ~ b0 | 「表20.10 PWMモード時のTRDGRjiレジスタの機能」参照 | R/W |

TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWMモードでは、次のレジスタは無効です。

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表20.10 PWMモード時のTRDGRjiレジスタの機能

| レジスタ | 設定 | レジスタの機能 | PWM出力端子 |
|---------|--------|--|---------|
| TRDGRAi | - | ジェネラルレジスタ。PWM周期を設定してください。 | - |
| TRDGRBi | - | ジェネラルレジスタ。PWM出力の変化点を設定してください。 | TRDIOBi |
| TRDGRCi | BFCi=0 | ジェネラルレジスタ。PWM出力の変化点を設定してください。 | TRDIOCi |
| TRDGRDi | BFDi=0 | | TRDIODi |
| TRDGRCi | BFCi=1 | バッファレジスタ。次回のPWM周期を設定してください (「20.2.2 バッファ動作」参照)。 | - |
| TRDGRDi | BFDi=1 | バッファレジスタ。次回のPWM出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 | TRDIOBi |

i=0 ~ 1

BFCi、BFDi : TRDMRレジスタのビット

20.5.17 タイマRD端子選択レジスタ0 (TRDPSR0)

| | | | | | | | | |
|---------|---------|-------------|-------------|-------------|-------------|-------------|----|-------------|
| アドレス | 0184h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD0SEL0 | TRDIOC0SEL1 | TRDIOC0SEL0 | TRDIOB0SEL1 | TRDIOB0SEL0 | - | TRDIOA0SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|--|-----|
| b0 | TRDIOA0SEL0 | TRDIOA0/TRDCLK端子選択ビット | 0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB0SEL0 | TRDIOB0端子選択ビット | b3 b2 00 : TRDIOB0端子は使用しない 01 : 設定しないでください 10 : P2_2に割り当てる 11 : 設定しないでください | R/W |
| b3 | TRDIOB0SEL1 | | | R/W |
| b4 | TRDIOC0SEL0 | TRDIOC0端子選択ビット | b5 b4 00 : TRDIOC0端子は使用しない 01 : 設定しないでください 10 : P2_1に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRDIOC0SEL1 | | | R/W |
| b6 | TRDIOD0SEL0 | TRDIOD0端子選択ビット | 0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.5.18 タイマRD端子選択レジスタ1 (TRDPSR1)

| | | | | | | | | |
|---------|---------|-------------|----|-------------|----|-------------|----|-------------|
| アドレス | 0185h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD1SEL0 | - | TRDIOC1SEL0 | - | TRDIOB1SEL0 | - | TRDIOA1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|---------------------------------------|-----|
| b0 | TRDIOA1SEL0 | TRDIOA1端子選択ビット | 0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB1SEL0 | TRDIOB1端子選択ビット | 0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | TRDIOC1SEL0 | TRDIOC1端子選択ビット | 0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる | R/W |
| b5 | - | 予約ビット | “0”にしてください | R/W |
| b6 | TRDIOD1SEL0 | TRDIOD1端子選択ビット | 0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる | R/W |
| b7 | - | 予約ビット | “0”にしてください | R/W |

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.5.19 動作例

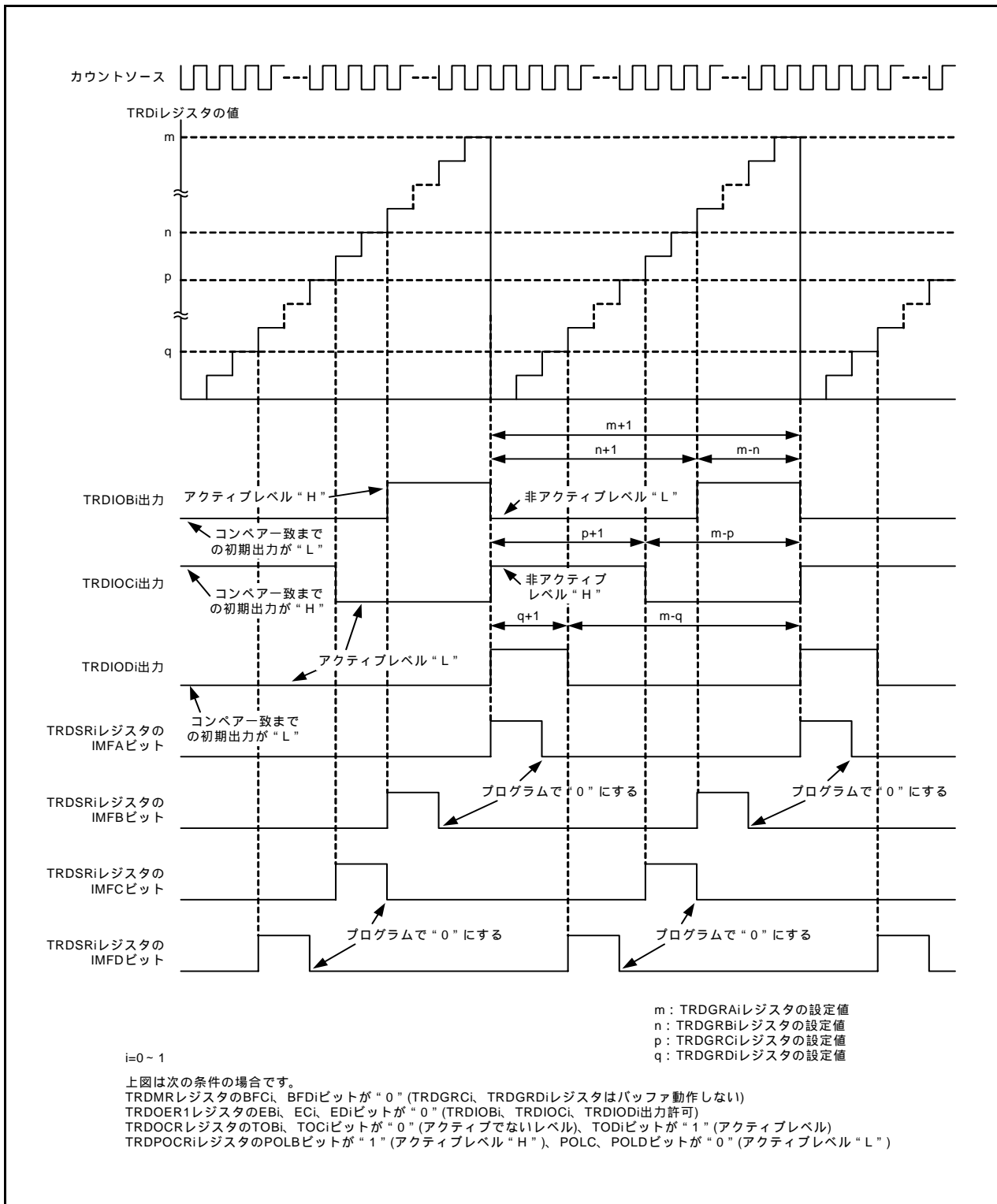


図20.15 PWMモードの動作例

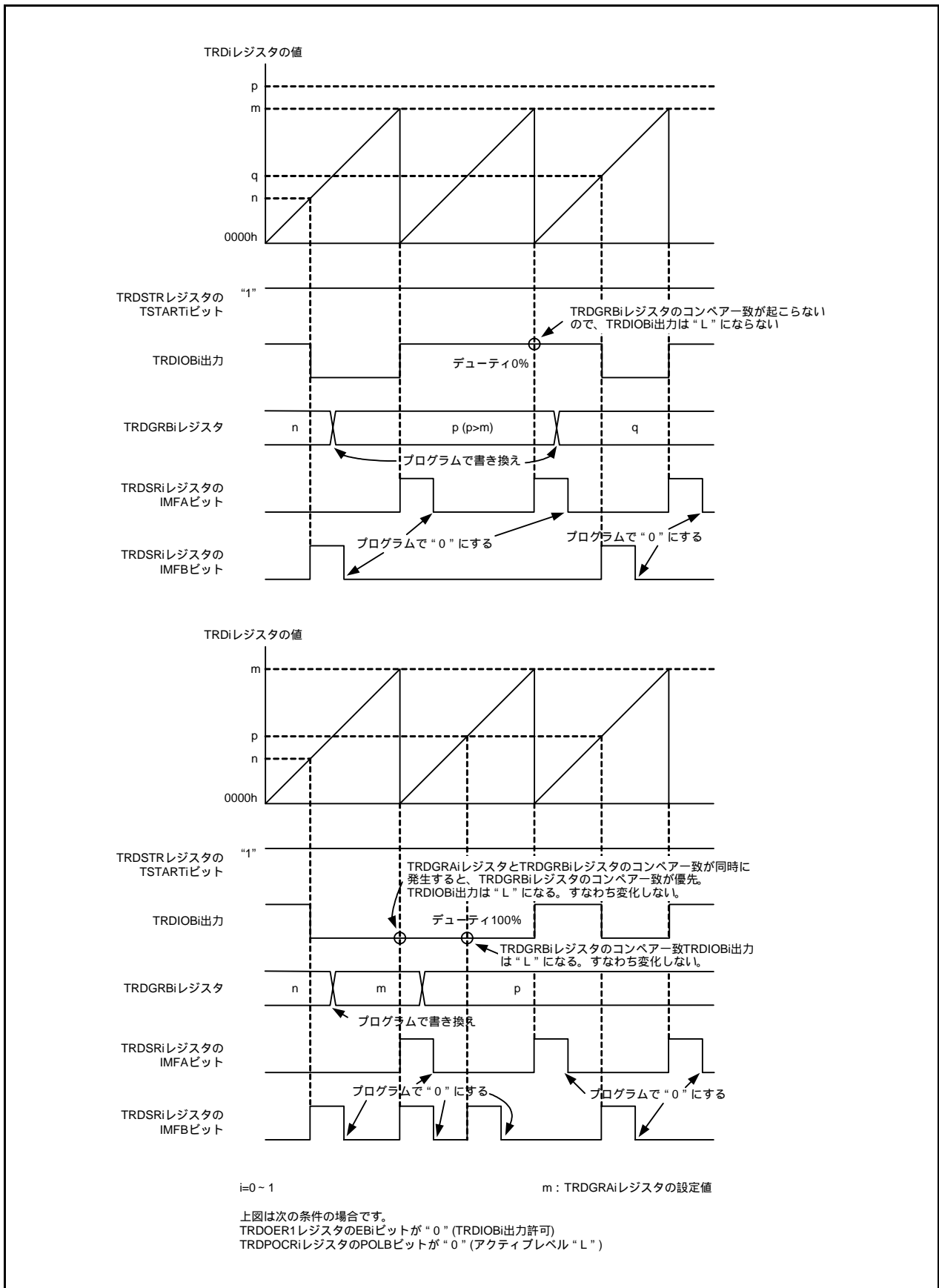


図20.16 PWMモードの動作例(デューティ0%、デューティ100%)

20.5.20 A/Dトリガ発生

TRDi($i = 0 \sim 1$)レジスタとTRDGRji($j = A, B, C, D$)レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

20.6 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図20.17にリセット同期PWMモードのブロック図を、表20.11にリセット同期PWMモードの仕様を、図20.18にリセット同期PWMモードの動作例を示します。

デューティ0%、100%のPWM動作例は「図20.16 PWMモードの動作例(デューティ0%、デューティ100%)」を参照してください。

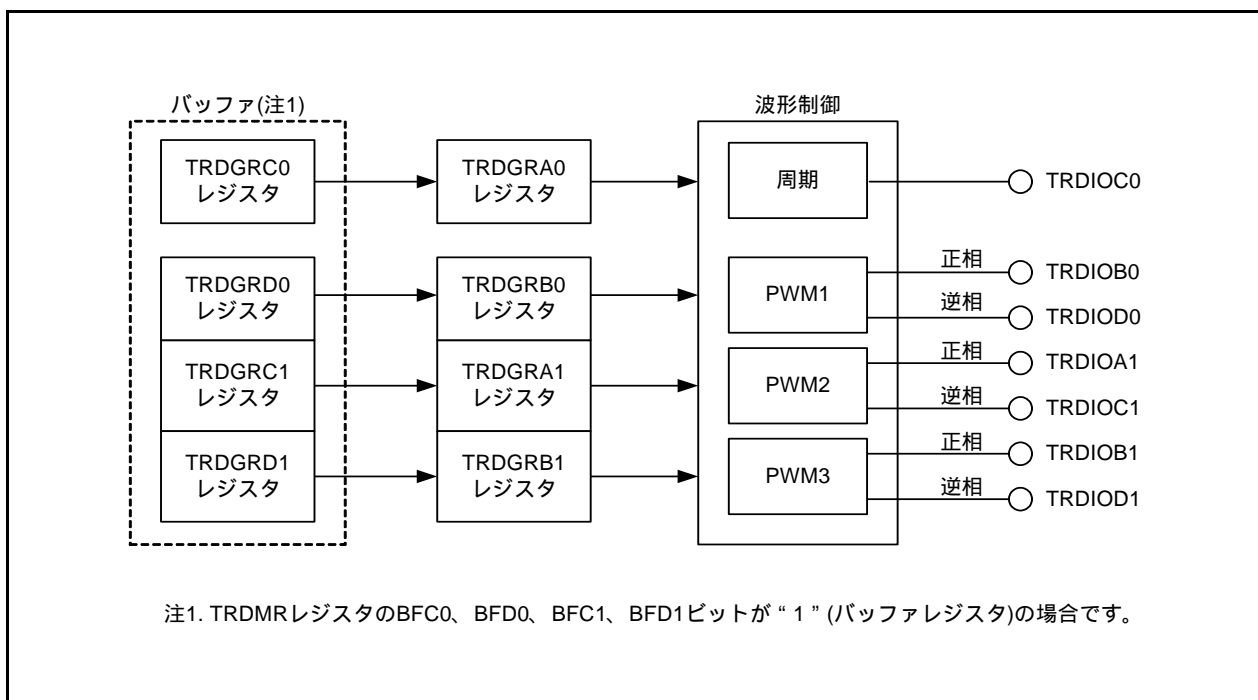


図20.17 リセット同期PWMモードのブロック図

表20.11 リセット同期PWMモードの仕様

| 項目 | 仕様 |
|---------------|--|
| カウントソース | f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) |
| カウント動作 | TRD0はアップカウント (TRD1は使用しない) |
| PWM波形 | PWM周期 : $1/f_k \times (m+1)$ 正相のアクティブレベル幅 : $1/f_k \times (m-n)$ 逆相のアクティブレベル幅 : $1/f_k \times (n+1)$ f_k : カウントソースの周波数 m : TRDGRA0レジスタ設定値 n : TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) (アクティブレベルが“L”の場合) |
| カウント開始条件 | TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> • TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力) • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力) |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> • コンペア一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致) • TRD0オーバフロー |
| TRDIOA0端子機能 | プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力 |
| TRDIOB0端子機能 | PWM出力1正相出力 |
| TRDIOD0端子機能 | PWM出力1逆相出力 |
| TRDIOA1端子機能 | PWM出力2正相出力 |
| TRDIOC1端子機能 | PWM出力2逆相出力 |
| TRDIOB1端子機能 | PWM出力3正相出力 |
| TRDIOD1端子機能 | PWM出力3逆相出力 |
| TRDIOC0端子機能 | PWM周期ごとに出力反転 |
| INT0端子機能 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力 |
| タイマの読み出し | TRD0レジスタを読むと、カウント値が読める |
| タイマの書き込み | TRD0レジスタに書き込める |
| 選択機能 | <ul style="list-style-type: none"> • 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 • パッファ動作(「20.2.2 パッファ動作」参照) • パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) • A/Dトリガ発生 |

j=A、B、C、Dのいずれか

20.6.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

| | | | | | | | | |
|---------|----|----|--------|--------|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | | | |
| b4 | MSTTRD | タイマRDスタンバイビット | 0：アクティブ 1：スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0：アクティブ 1：スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。

注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.6.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

| | | | | | | | | |
|---------|--------|----|----|----|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ITCLK1 | - | - | - | ITCLK0 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|-------------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | ITCLK0 | | | |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | ITCLK1 | タイマRD1用fC2選択ビット | 0：TRDCLK入力を選択 1：fC2を選択(注1) | R/W |

注1. タイマモードのとき有効です。

20.6.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

| | | | | | | | | |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ADTRGD1E | ADTRGC1E | ADTRGB1E | ADTRGA1E | ADTRGD0E | ADTRGC0E | ADTRGB0E | ADTRGA0E |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|---------------|---|-----|
| b0 | ADTRGA0E | A/DトリガA0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b1 | ADTRGB0E | A/DトリガB0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b2 | ADTRGC0E | A/DトリガC0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b3 | ADTRGD0E | A/DトリガD0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b4 | ADTRGA1E | A/DトリガA1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b5 | ADTRGB1E | A/DトリガB1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b6 | ADTRGC1E | A/DトリガC1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b7 | ADTRGD1E | A/DトリガD1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |

20.6.4 タイマRDスタートレジスタ(TRDSTR)[リセット同期PWMモード時]

アドレス 0137h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|-------|-------|---------|---------|
| シンボル | - | - | - | - | CSEL1 | CSEL0 | TSTART1 | TSTART0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--|---|-----|
| b0 | TSTART0 | TRD0カウント開始フラグ(注3) | 0: カウント停止(注1) 1: カウント開始 | R/W |
| b1 | TSTART1 | TRD1カウント開始フラグ(注4) | 0: カウント停止(注2) 1: カウント開始 | R/W |
| b2 | CSEL0 | TRD0カウント動作選択ビット | 0: TRDGRA0レジスタとのコンペアー一致でカウント停止 1: TRDGRA0レジスタとのコンペアー一致後もカウント継続 | R/W |
| b3 | CSEL1 | TRD1カウント動作選択ビット | 0: TRDGRA1レジスタとのコンペアー一致でカウント停止 1: TRDGRA1レジスタとのコンペアー一致後もカウント継続 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.6.5 タイマRDモードレジスタ(TRDMR)[リセット同期PWMモード時]

アドレス 0138h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|------|------|------|----|----|----|------|
| シンボル | BFD1 | BFC1 | BFD0 | BFC0 | - | - | - | SYNC |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | SYNC | タイマRD同期ビット | リセット同期PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | BFC0 | TRDGRC0レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ | R/W |
| b5 | BFD0 | TRDGRD0レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ | R/W |
| b6 | BFC1 | TRDGRC1レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ | R/W |
| b7 | BFD1 | TRDGRD1レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ | R/W |

20.6.6 タイマRD機能制御レジスタ(TRDFCR)[リセット同期PWMモード時]

アドレス 013Ah番地

| | | | | | | | | |
|---------|------|-------|------|-------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | PWM3 | STCLK | ADEG | ADTRG | OLS1 | OLS0 | CMD1 | CMD0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | CMD0 | コンピネーションモード選択ビット (注1) | リセット同期PWMモードでは“01b”(リセット同期PWMモード)にしてください | R/W |
| b1 | CMD1 | | | R/W |
| b2 | OLS0 | 正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | 0:初期出力“H”、アクティブレベル“L” 1:初期出力“L”、アクティブレベル“H” | R/W |
| b3 | OLS1 | 逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | | R/W |
| b4 | ADTRG | A/Dトリガ許可ビット (相補PWMモード時) | リセット同期PWMモードでは無効です | R/W |
| b5 | ADEG | A/Dトリガエッジ選択ビット (相補PWMモード時) | | R/W |
| b6 | STCLK | 外部クロック入力選択ビット | 0:外部クロック入力無効 1:外部クロック入力有効 | R/W |
| b7 | PWM3 | PWM3モード選択ビット(注2) | リセット同期PWMモードでは無効です | R/W |

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.6.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[リセット同期PWMモード時]

アドレス 013Bh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|
| シンボル | ED1 | EC1 | EB1 | EA1 | ED0 | EC0 | EB0 | EA0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------|--|-----|
| b0 | EA0 | TRDIOA0出力禁止ビット | リセット同期PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください | R/W |
| b1 | EB0 | TRDIOB0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート) | R/W |
| b2 | EC0 | TRDIOC0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート) | R/W |
| b3 | ED0 | TRDIOD0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート) | R/W |
| b4 | EA1 | TRDIOA1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート) | R/W |
| b5 | EB1 | TRDIOB1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート) | R/W |
| b6 | EC1 | TRDIOC1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート) | R/W |
| b7 | ED1 | TRDIOD1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート) | R/W |

20.6.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[リセット同期PWMモード時]

アドレス 013Ch番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|----|----|----|----|----|----|----|
| シンボル | PTO | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | PTO | パルス出力強制遮断信号入力INT0有効ビット(注1) | 0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる) | R/W |

注1.「20.2.4 パルス出力強制遮断」を参照してください。

20.6.9 タイマRD制御レジスタ0 (TRDCR0)[リセット同期PWMモード時]

アドレス 0140h番地

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------------|--|-----|
| b0 | TCK0 | カウントソース選択ビット | b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注4) | R/W |
| b1 | TCK1 | | | R/W |
| b2 | TCK2 | | | R/W |
| | | | | R/W |
| b3 | CKEG0 | 外部クロックエッジ選択ビット(注3) | b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください | R/W |
| b4 | CKEG1 | | | R/W |
| b5 | CCLR0 | TRD0カウンタクリア選択ビット | リセット同期PWMモードでは“001b” (TRDGRA0とのコンペア一致でTRD0レジスタク リア)にしてください | R/W |
| b6 | CCLR1 | | | R/W |
| b7 | CCLR2 | | | R/W |

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK2～TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

リセット同期PWMモードでは、TRDCR1レジスタは使用しません。

20.6.10 タイマRDステータスレジスタ i (TRDSR i)($i = 0 \sim 1$)[リセット同期PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | |
|---------|----|----|-----|-----|------|------|------|------|------------|
| シンボル | - | - | UDF | OVF | IMFD | IMFC | IMFB | IMFA | |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | TRDSR0レジスタ |
| リセット後の値 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | TRDSR1レジスタ |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IMFA | インプットキャプチャ/コンペア一致フラグA | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき | R/W |
| b1 | IMFB | インプットキャプチャ/コンペア一致フラグB | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき | R/W |
| b2 | IMFC | インプットキャプチャ/コンペア一致フラグC | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3) | R/W |
| b3 | IMFD | インプットキャプチャ/コンペア一致フラグD | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3) | R/W |
| b4 | OVF | オーバフローフラグ | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき | R/W |
| b5 | UDF | アンダフローフラグ(注1) | リセット同期PWMモードでは無効です | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b7 | - | | | - |

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF j ビット($j=C$ または D)が“1”(TRDGR j はバッファレジスタ)の場合を含む。

20.6.11 タイマRD割り込み許可レジスタ i (TRDIER i)($i = 0 \sim 1$)[リセット同期PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|------|-------|-------|-------|-------|
| シンボル | - | - | - | OVIE | IMIED | IMIEC | IMIEB | IMIEA |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | IMIEA | インプットキャプチャ/コンペアー一致 割り込み許可ビットA | 0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可 | R/W |
| b1 | IMIEB | インプットキャプチャ/コンペアー一致 割り込み許可ビットB | 0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可 | R/W |
| b2 | IMIEC | インプットキャプチャ/コンペアー一致 割り込み許可ビットC | 0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可 | R/W |
| b3 | IMIED | インプットキャプチャ/コンペアー一致 割り込み許可ビットD | 0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可 | R/W |
| b4 | OVIE | オーバフロー/アンダフロー割り込み 許可ビット | 0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可 | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

20.6.12 タイマRDカウンタ0 (TRD0)[リセット同期PWMモード時]

アドレス 0147h ~ 0146h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定範囲 | R/W |
|----------|---|---------------|-----|
| b15 ~ b0 | カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。 | 0000h ~ FFFFh | R/W |

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、TRD1レジスタは使用しません。

20.6.13 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[リセット同期PWMモード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | 機能 | R/W |
|----------|---|-----|
| b15 ~ b0 | 「表20.12 リセット同期PWMモード時のTRDGRjiレジスタの機能」参照 | R/W |

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.12 リセット同期PWMモード時のTRDGRjiレジスタの機能

| レジスタ | 設定 | レジスタの機能 | PWM出力端子 |
|---------|--------|---|------------------------|
| TRDGRA0 | - | ジェネラルレジスタ。PWM周期を設定してください。 | (TRDIOC0、PWM周期ごとに出力反転) |
| TRDGRB0 | - | ジェネラルレジスタ。PWM1出力の変化点を設定してください。 | TRDIOB0 TRDIOD0 |
| TRDGRC0 | BFC0=0 | (リセット同期PWMモードでは使用しません) | - |
| TRDGRD0 | BFD0=0 | | |
| TRDGRA1 | - | ジェネラルレジスタ。PWM2出力の変化点を設定してください。 | TRDIOA1 TRDIOC1 |
| TRDGRB1 | - | ジェネラルレジスタ。PWM3出力の変化点を設定してください。 | TRDIOB1 TRDIOD1 |
| TRDGRC1 | BFC1=0 | (リセット同期PWMモードでは使用しません) | - |
| TRDGRD1 | BFD1=0 | | |
| TRDGRC0 | BFC0=1 | バッファレジスタ。次回のPWM周期を設定してください (「20.2.2 バッファ動作」参照)。 | (TRDIOC0、PWM周期ごとに出力反転) |
| TRDGRD0 | BFD0=1 | バッファレジスタ。次回のPWM1出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 | TRDIOB0 TRDIOD0 |
| TRDGRC1 | BFC1=1 | バッファレジスタ。次回のPWM2出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 | TRDIOA1 TRDIOC1 |
| TRDGRD1 | BFD1=1 | バッファレジスタ。次回のPWM3出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 | TRDIOB1 TRDIOD1 |

BFC0、BFD0、BFC1、BFD1 : TRDMRレジスタのビット

20.6.14 タイマRD端子選択レジスタ0 (TRDPSR0)

| | | | | | | | | |
|---------|---------|-------------|-------------|-------------|-------------|-------------|----|-------------|
| アドレス | 0184h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD0SEL0 | TRDIOC0SEL1 | TRDIOC0SEL0 | TRDIOB0SEL1 | TRDIOB0SEL0 | - | TRDIOA0SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|--|-----|
| b0 | TRDIOA0SEL0 | TRDIOA0/TRDCLK端子選択ビット | 0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB0SEL0 | TRDIOB0端子選択ビット | b3 b2 00 : TRDIOB0端子は使用しない 01 : 設定しないでください 10 : P2_2に割り当てる 11 : 設定しないでください | R/W |
| b3 | TRDIOB0SEL1 | | | R/W |
| b4 | TRDIOC0SEL0 | TRDIOC0端子選択ビット | b5 b4 00 : TRDIOC0端子は使用しない 01 : 設定しないでください 10 : P2_1に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRDIOC0SEL1 | | | R/W |
| b6 | TRDIOD0SEL0 | TRDIOD0端子選択ビット | 0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.6.15 タイマRD端子選択レジスタ1 (TRDPSR1)

| | | | | | | | | |
|---------|---------|-------------|----|-------------|----|-------------|----|-------------|
| アドレス | 0185h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD1SEL0 | - | TRDIOC1SEL0 | - | TRDIOB1SEL0 | - | TRDIOA1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|---------------------------------------|-----|
| b0 | TRDIOA1SEL0 | TRDIOA1端子選択ビット | 0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB1SEL0 | TRDIOB1端子選択ビット | 0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | TRDIOC1SEL0 | TRDIOC1端子選択ビット | 0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる | R/W |
| b5 | - | 予約ビット | “0”にしてください | R/W |
| b6 | TRDIOD1SEL0 | TRDIOD1端子選択ビット | 0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる | R/W |
| b7 | - | 予約ビット | “0”にしてください | R/W |

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.6.17 A/Dトリガ発生

TRDi($i = 0 \sim 1$)レジスタとTRDGRj($j = A, B, C, D$)レジスタのコンペアー一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペアー一致を使用するか選択できます。

20.7 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図20.19に相補PWMモードのブロック図を、表20.13に相補PWMモードの仕様を、図20.20に相補PWMモードの出力モデルを、図20.21に相補PWMモードの動作例を示します。

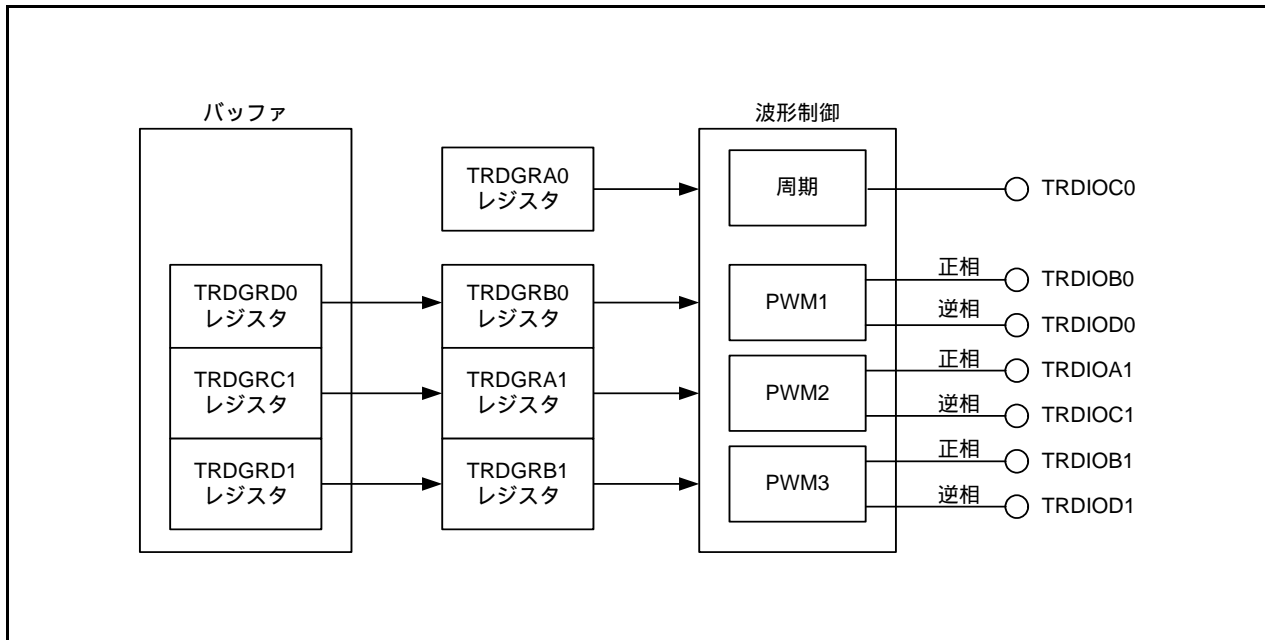


図20.19 相補PWMモードのブロック図

表20.13 相補PWMモードの仕様

| 項目 | 仕様 |
|---------------|--|
| カウントソース | f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK2～TCK0ビットと、TRDCR1レジスタのTCK2～TCK0ビットは同じ値(同じカウントソース)にしてください。 |
| カウント動作 | アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが“0000h”から“FFFFh”になるとTRD0、TRD1ともアップカウントになる。 |
| PWM波形 | PWM周期： $1/fk \times (m+2-p) \times 2$ (注1) 短絡防止時間： p 正相のアクティブレベル幅： $1/fk \times (m-n-p+1) \times 2$ 逆相のアクティブレベル幅： $1/fk \times (n+1-p) \times 2$ fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p：TRD0レジスタ設定値 |
| カウント開始条件 | TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットとTSTART1ビットへの“0”(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力) |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD1アンダフロー |
| TRDIOA0端子機能 | プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力 |
| TRDIOB0端子機能 | PWM出力1正相出力 |
| TRDIOD0端子機能 | PWM出力1逆相出力 |
| TRDIOA1端子機能 | PWM出力2正相出力 |
| TRDIOC1端子機能 | PWM出力2逆相出力 |
| TRDIOB1端子機能 | PWM出力3正相出力 |
| TRDIOD1端子機能 | PWM出力3逆相出力 |
| TRDIOC0端子機能 | PWMの1/2周期ごとに出力反転 |
| INT0端子機能 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力 |
| タイマの読み出し | TRDiレジスタを読むと、カウント値が読める |
| タイマの書き込み | TRDiレジスタに書き込める |
| 選択機能 | <ul style="list-style-type: none"> パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファレジスタからの転送タイミング選択 A/Dトリガ発生 |

i=0～1、j=A、B、C、Dのいずれか

注1. カウント開始後、PWM周期は固定です。

20.7.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

| | | | | | | | | |
|---------|----|----|--------|--------|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|----------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | SSU、I ² Cバススタンバイビット | 0: アクティブ 1: スタンバイ(注1) | R/W |
| b4 | MSTTRD | タイマRDスタンバイビット | 0: アクティブ 1: スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0: アクティブ 1: スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。

注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

20.7.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

| | | | | | | | | |
|---------|--------|----|----|----|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ITCLK1 | - | - | - | ITCLK0 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|---------------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | ITCLK0 | タイマRD0用fC2選択ビット | 0: TRDCLK入力を選択 1: fC2を選択(注1) | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | ITCLK1 | タイマRD1用fC2選択ビット | 0: TRDCLK入力を選択 1: fC2を選択(注1) | R/W |

注1. タイマモードのとき有効です。

20.7.3 タイマRDトリガ制御レジスタ(TRDADCR)[相補PWMモード時]

アドレス 0136h番地

| | | | | | | | | |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ADTRGD1E | ADTRGC1E | ADTRGB1E | ADTRGA1E | ADTRGD0E | ADTRGC0E | ADTRGB0E | ADTRGA0E |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|---------------|---|-----|
| b0 | ADTRGA0E | A/DトリガA0許可ビット | 相補PWMモードでは、“0”にしてください | R/W |
| b1 | ADTRGB0E | A/DトリガB0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b2 | ADTRGC0E | A/DトリガC0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b3 | ADTRGD0E | A/DトリガD0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b4 | ADTRGA1E | A/DトリガA1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b5 | ADTRGB1E | A/DトリガB1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b6 | ADTRGC1E | A/DトリガC1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b7 | ADTRGD1E | A/DトリガD1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |

20.7.4 タイマRDスタートレジスタ(TRDSTR)[相補PWMモード時]

アドレス 0137h番地

| | | | | | | | | |
|---------|----|----|----|----|-------|-------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | CSEL1 | CSEL0 | TSTART1 | TSTART0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--|---|-----|
| b0 | TSTART0 | TRD0カウント開始フラグ(注3) | 0: カウント停止(注1) 1: カウント開始 | R/W |
| b1 | TSTART1 | TRD1カウント開始フラグ(注4) | 0: カウント停止(注2) 1: カウント開始 | R/W |
| b2 | CSEL0 | TRD0カウント動作選択ビット | 0: TRDGRA0レジスタとのコンペアー一致でカウント停止 1: TRDGRA0レジスタとのコンペアー一致後もカウント継続 | R/W |
| b3 | CSEL1 | TRD1カウント動作選択ビット | 0: TRDGRA1レジスタとのコンペアー一致でカウント停止 1: TRDGRA1レジスタとのコンペアー一致後もカウント継続 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.7.5 タイマRDモードレジスタ(TRDMR)[相補PWMモード時]

アドレス 0138h番地

| | | | | | | | | |
|---------|------|------|------|------|----|----|----|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BFD1 | BFC1 | BFD0 | BFC0 | - | - | - | SYNC |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | SYNC | タイマRD同期ビット | 相補PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | BFC0 | TRDGRC0レジスタ機能選択ビット | 相補PWMモードでは“0”(ジェネラルレジスタ)にしてください | R/W |
| b5 | BFD0 | TRDGRD0レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ | R/W |
| b6 | BFC1 | TRDGRC1レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ | R/W |
| b7 | BFD1 | TRDGRD1レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ | R/W |

20.7.6 タイマRD機能制御レジスタ(TRDFCR)[相補PWMモード時]

アドレス 013Ah番地

| | | | | | | | | |
|---------|------|-------|------|-------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | PWM3 | STCLK | ADEG | ADTRG | OLS1 | OLS0 | CMD1 | CMD0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|---|-----|
| b0 | CMD0 | コンピネーションモード選択ビット (注1、2) | b1 b0 10: 相補PWMモード(TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送) 11: 相補PWMモード(TRD0とTRDGRA0レジスタのコンペア一致時にバッファレジスタからジェネラルレジスタへ転送) 上記以外: 設定しないでください | R/W |
| b1 | CMD1 | | | R/W |
| b2 | OLS0 | 正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | 0: 初期出力“H”、アクティブレベル“L” 1: 初期出力“L”、アクティブレベル“H” | R/W |
| b3 | OLS1 | 逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時) | | R/W |
| b4 | ADTRG | A/Dトリガ許可ビット (相補PWMモード時) | 0: A/Dトリガを禁止 1: A/Dトリガを許可(注3) | R/W |
| b5 | ADEG | A/Dトリガエッジ選択ビット (相補PWMモード時) | 0: TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生 1: TRD1のアンダフロー時にA/Dトリガ発生 | R/W |
| b6 | STCLK | 外部クロック入力選択ビット | 0: 外部クロック入力無効 1: 外部クロック入力有効 | R/W |
| b7 | PWM3 | PWM3モード選択ビット(注4) | 相補PWMモードでは無効です | R/W |

注1. CMD1～CMD0ビットを“10b”、“11b”に設定したとき、TRDPMRレジスタの設定にかかわらず、相補PWMモードになります。

注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注3. ADMODレジスタのADCAP1～ADCAP0ビットを“01b”(タイマRDからの変換トリガによるA/D変換開始)にしてください。

注4. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.7.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[相補PWMモード時]

アドレス 013Bh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|
| シンボル | ED1 | EC1 | EB1 | EA1 | ED0 | EC0 | EB0 | EA0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------|--|-----|
| b0 | EA0 | TRDIOA0出力禁止ビット | 相補PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください | R/W |
| b1 | EB0 | TRDIOB0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート) | R/W |
| b2 | EC0 | TRDIOC0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート) | R/W |
| b3 | ED0 | TRDIOD0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート) | R/W |
| b4 | EA1 | TRDIOA1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート) | R/W |
| b5 | EB1 | TRDIOB1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート) | R/W |
| b6 | EC1 | TRDIOC1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート) | R/W |
| b7 | ED1 | TRDIOD1出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート) | R/W |

20.7.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[相補PWMモード時]

アドレス 013Ch番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|----|----|----|----|----|----|----|
| シンボル | PTO | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | PTO | パルス出力強制遮断信号入力INT0有効ビット(注1) | 0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる) | R/W |

注1. 「20.2.4 パルス出力強制遮断」を参照してください。

20.7.9 タイマRD制御レジスタ i (TRDCR i)($i = 0 \sim 1$)[相補PWMモード時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------------------------|--|-----|
| b0 | TCK0 | カウントソース選択ビット(注3) | b2 b1 b0 | R/W |
| b1 | TCK1 | | 0 0 0 : f1 | R/W |
| b2 | TCK2 | | 0 0 1 : f2 | R/W |
| | | | 0 1 0 : f4 | |
| | | 0 1 1 : f8 | | |
| | | 1 0 0 : f32 | | |
| | | 1 0 1 : TRDCLK入力(注1)またはfC2(注2) | | |
| | | 1 1 0 : fOCO40M | | |
| | | 1 1 1 : fOCO-F(注5) | | |
| b3 | CKEG0 | 外部クロックエッジ選択ビット(注3、4) | b4 b3 | R/W |
| b4 | CKEG1 | | 0 0 : 立ち上がりエッジでカウント | R/W |
| | | 0 1 : 立ち下がりエッジでカウント | | |
| | | 1 0 : 両エッジでカウント | | |
| | | 1 1 : 設定しないでください | | |
| b5 | CCLR0 | TRDiカウンタクリア選択ビット | 相補PWMモードでは“000b”(クリア禁止(フリーランニング動作))にしてください | R/W |
| b6 | CCLR1 | | | R/W |
| b7 | CCLR2 | | | R/W |

注1. TRDECRレジスタのITCLK i ビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECRレジスタのITCLK i ビットが“1”(fC2)のとき有効です。

注3. TRDCR0レジスタとTRDCR1レジスタの、TCK0～TCK2ビット、CKEG0～CKEG1ビットの設定は、同じにしてください。

注4. TCK2～TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLK i ビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.7.10 タイマRDステータスレジスタ i (TRDSR i)($i = 0 \sim 1$)[相補PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | |
|---------|----|----|-----|-----|------|------|------|------|------------|
| シンボル | - | - | UDF | OVF | IMFD | IMFC | IMFB | IMFA | |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | TRDSR0レジスタ |
| リセット後の値 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | TRDSR1レジスタ |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IMFA | インプットキャプチャ/コンペアー一致フラグA | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき | R/W |
| b1 | IMFB | インプットキャプチャ/コンペアー一致フラグB | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき | R/W |
| b2 | IMFC | インプットキャプチャ/コンペアー一致フラグC | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3) | R/W |
| b3 | IMFD | インプットキャプチャ/コンペアー一致フラグD | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3) | R/W |
| b4 | OVF | オーバフローフラグ | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき | R/W |
| b5 | UDF | アンダフローフラグ(注1) | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRD1がアンダフローしたとき | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b7 | - | | | - |

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF j iビット($j=C$ または D)が“1”(TRDGR j iはバッファレジスタ)の場合を含む。

20.7.11 タイマRD割り込み許可レジスタ i (TRDIER i)($i = 0 \sim 1$)[相補PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

| | | | | | | | | |
|---------|----|----|----|------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | OVIE | IMIED | IMIEC | IMIEB | IMIEA |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | IMIEA | インプットキャプチャ/コンペアー一致 割り込み許可ビットA | 0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可 | R/W |
| b1 | IMIEB | インプットキャプチャ/コンペアー一致 割り込み許可ビットB | 0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可 | R/W |
| b2 | IMIEC | インプットキャプチャ/コンペアー一致 割り込み許可ビットC | 0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可 | R/W |
| b3 | IMIED | インプットキャプチャ/コンペアー一致 割り込み許可ビットD | 0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可 | R/W |
| b4 | OVIE | オーバフロー/アンダフロー割り込み 許可ビット | 0: OVF、UDFビットによる割り込み(OVI)禁止 1: OVF、UDFビットによる割り込み(OVI)許可 | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

20.7.12 タイマRDカウンタ0 (TRD0)[相補PWMモード時]

アドレス 0147h ~ 0146h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定範囲 | R/W |
|----------|---|---------------|-----|
| b15 ~ b0 | 短絡防止時間を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。 | 0000h ~ FFFFh | R/W |

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.7.13 タイマRDカウンタ1 (TRD1)[相補PWMモード時]

アドレス 0157h ~ 0156h 番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定範囲 | R/W |
|----------|--|---------------|-----|
| b15 ~ b0 | “0000h”を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFビットが“1”になる。 | 0000h ~ FFFFh | R/W |

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.7.14 タイマRDジェネラルレジスタAi、Bi、C1、Di
(TRDGRAi、TRDGRBi、TRDGRC1、TRDGRDi)(i = 0 ~ 1)[相補PWMモード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | 機能 | R/W |
|----------|-------------------------------------|-----|
| b15 ~ b0 | 「表20.14 相補PWMモード時のTRDGRjiレジスタの機能」参照 | R/W |

TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.14 相補PWMモード時のTRDGRjiレジスタの機能

| レジスタ | 設定 | レジスタの機能 | PWM出力端子 |
|---------|--------|--|-------------------------|
| TRDGRA0 | - | ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値以上、 FFFFh - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。 | (TRDIOC0半周期ごとに出 力反転) |
| TRDGRB0 | - | ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。 | TRDIOB0 TRDIOD0 |
| TRDGRA1 | - | ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。 | TRDIOA1 TRDIOC1 |
| TRDGRB1 | - | ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。 | TRDIOB1 TRDIOD1 |
| TRDGRC0 | - | (相補PWMモードでは使用しません。) | - |
| TRDGRD0 | BFD0=1 | バッファレジスタ。次回のPWM1出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。 | TRDIOB0 TRDIOD0 |
| TRDGRC1 | BFC1=1 | バッファレジスタ。次回のPWM2出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。 | TRDIOA1 TRDIOC1 |
| TRDGRD1 | BFD1=1 | バッファレジスタ。次回のPWM3出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。 | TRDIOB1 TRDIOD1 |

BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際は、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。

20.7.15 タイマRD端子選択レジスタ0 (TRDPSR0)

| | | | | | | | | |
|---------|---------|-------------|-------------|-------------|-------------|-------------|----|-------------|
| アドレス | 0184h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD0SEL0 | TRDIOC0SEL1 | TRDIOC0SEL0 | TRDIOB0SEL1 | TRDIOB0SEL0 | - | TRDIOA0SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|--|-----|
| b0 | TRDIOA0SEL0 | TRDIOA0/TRDCLK端子選択ビット | 0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB0SEL0 | TRDIOB0端子選択ビット | b3 b2 00 : TRDIOB0端子は使用しない 01 : 設定しないでください 10 : P2_2に割り当てる 11 : 設定しないでください | R/W |
| b3 | TRDIOB0SEL1 | | | R/W |
| b4 | TRDIOC0SEL0 | TRDIOC0端子選択ビット | b5 b4 00 : TRDIOC0端子は使用しない 01 : 設定しないでください 10 : P2_1に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRDIOC0SEL1 | | | R/W |
| b6 | TRDIOD0SEL0 | TRDIOD0端子選択ビット | 0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.7.16 タイマRD端子選択レジスタ1 (TRDPSR1)

| | | | | | | | | |
|---------|---------|-------------|----|-------------|----|-------------|----|-------------|
| アドレス | 0185h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD1SEL0 | - | TRDIOC1SEL0 | - | TRDIOB1SEL0 | - | TRDIOA1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|---------------------------------------|-----|
| b0 | TRDIOA1SEL0 | TRDIOA1端子選択ビット | 0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB1SEL0 | TRDIOB1端子選択ビット | 0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | TRDIOC1SEL0 | TRDIOC1端子選択ビット | 0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる | R/W |
| b5 | - | 予約ビット | “0”にしてください | R/W |
| b6 | TRDIOD1SEL0 | TRDIOD1端子選択ビット | 0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる | R/W |
| b7 | - | 予約ビット | “0”にしてください | R/W |

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.7.17 動作例

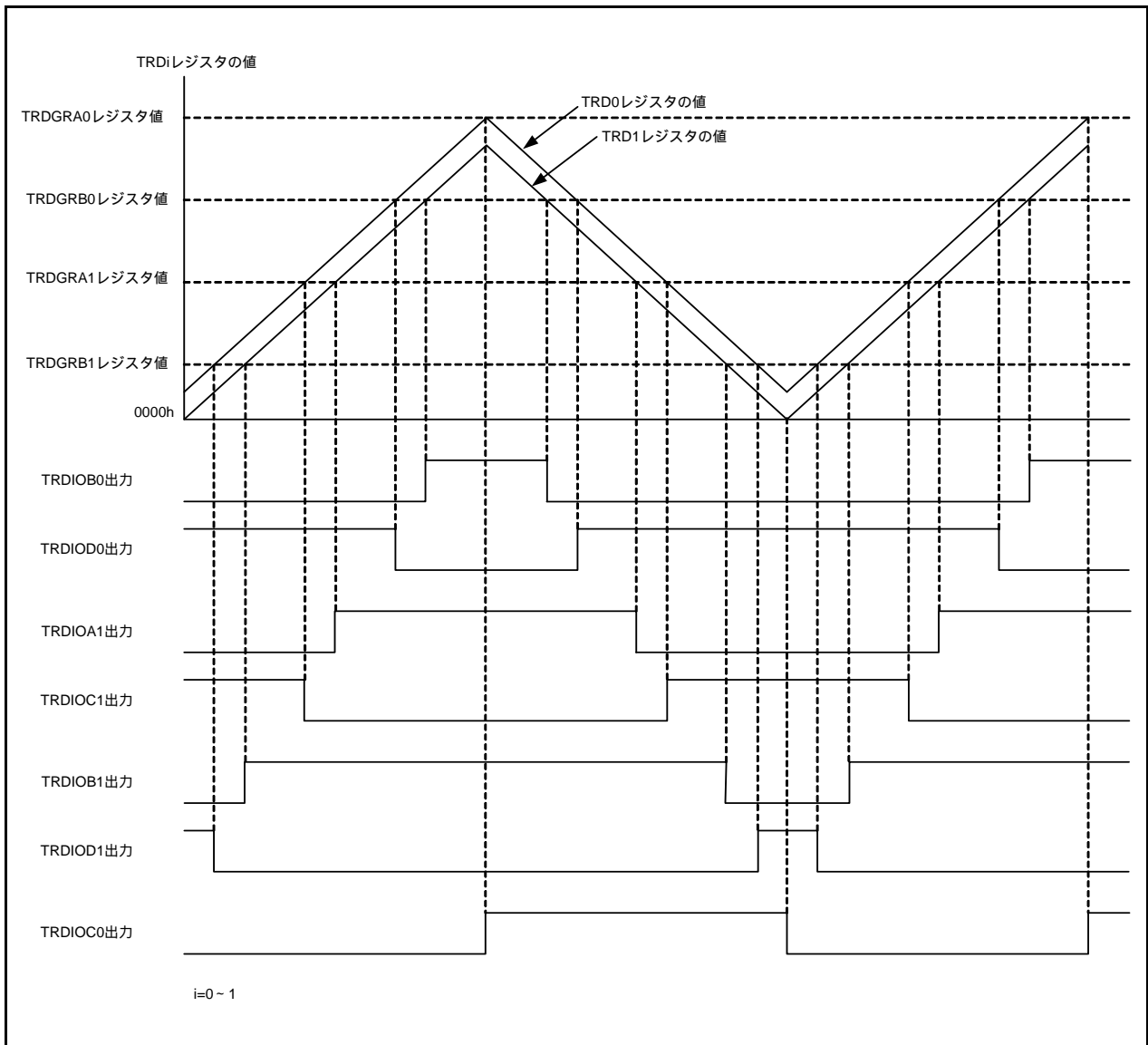


図20.20 相補PWMモードの出力モデル

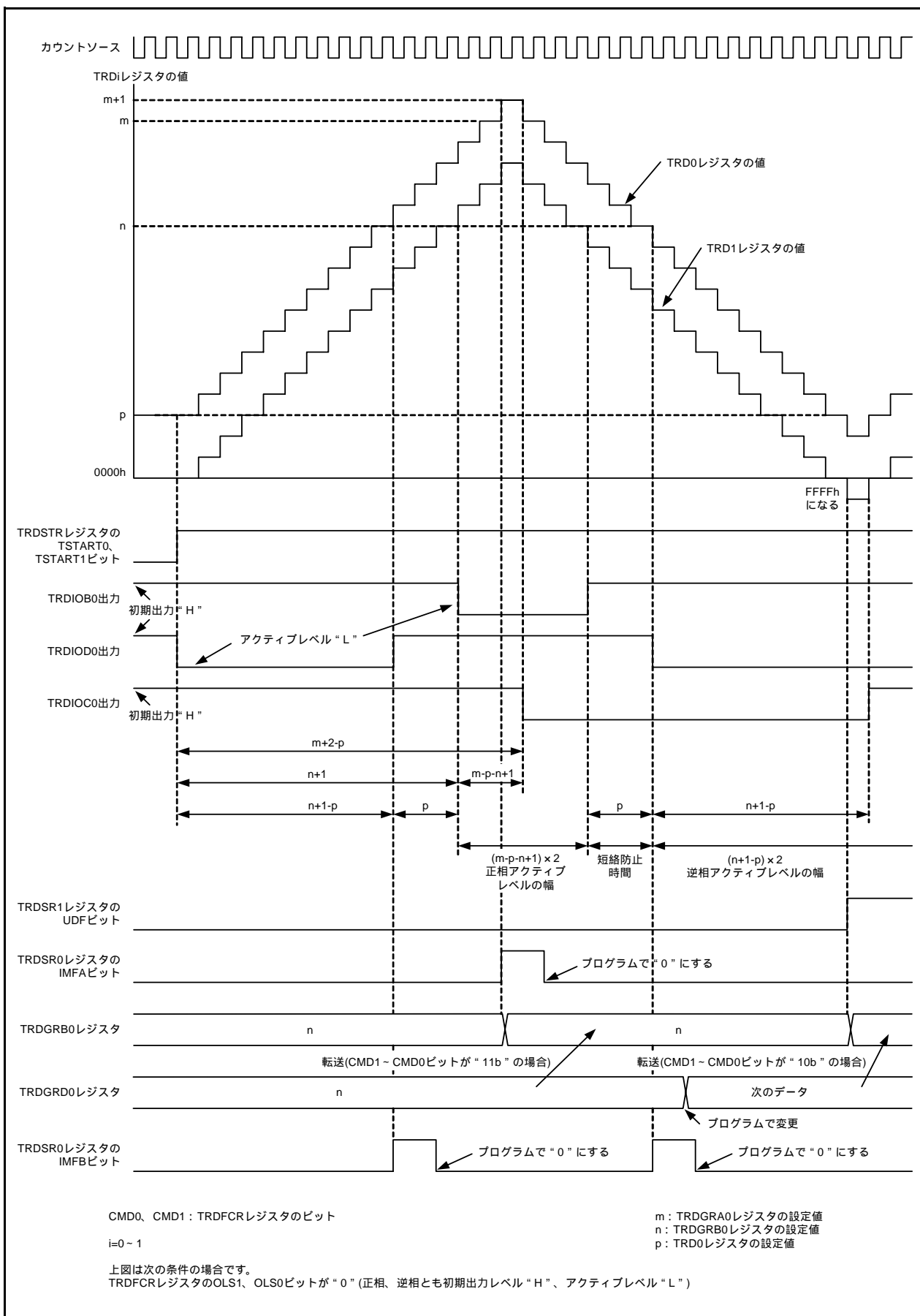


図20.21 相補PWMモードの動作例

20.7.18 バッファレジスタからの転送タイミング

- TRDGRD0、TRDGRC1、TRDGRD1レジスタからTRDGRB0、TRDGRA1、TRDGRB1レジスタへの転送
TRDFCRレジスタのCMD1～CMD0ビットが“10b”の場合、TRD1がアンダフローしたときに転送します。
CMD1～CMD0ビットが“11b”の場合、TRD0とTRDGRA0レジスタがコンペアー一致したときに転送します。

20.7.19 A/Dトリガ発生

TRD0とTRDGRA0レジスタのコンペアー一致と、TRD1アンダフローを、A/Dコンバータの変換開始トリガとして使用できます。

TRDFCRレジスタのADEG、ADTRGビットおよびTRDADCRレジスタで設定してください。

また、ADM0DレジスタのADCAPI～ADCAPOビットを“01b”(タイマRDからの変換トリガによるA/D開始)にしてください。

20.8 PWM3モード

同周期のPWM波形を2本出力します。

図20.22にPWM3モードのブロック図を、表20.15にPWM3モードの仕様を、図20.23にPWM3モードの動作例を示します。

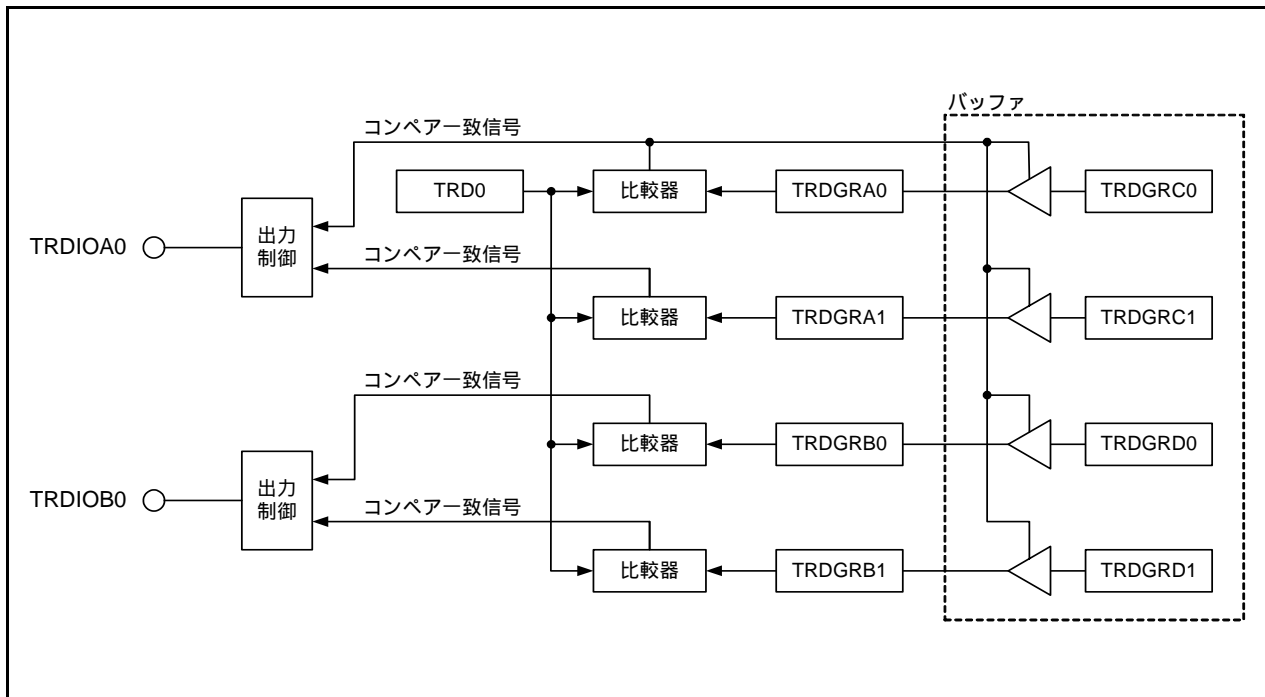


図20.22 PWM3モードのブロック図

表20.15 PWM3モードの仕様

| 項目 | 仕様 |
|---------------------------------------|---|
| カウントソース | f1、f2、f4、f8、f32、fOCO40M、fOCO-F |
| カウント動作 | TRD0はアップカウント (TRD1は使用しない) |
| PWM波形 | <p>PWM周期 : $1/f_k \times (m+1)$ TRDIOA0出力のアクティブレベル幅 : $1/f_k \times (m-n)$ TRDIOB0出力のアクティブレベル幅 : $1/f_k \times (p-q)$ f_k : カウントソースの周波数 m : TRDGRA0レジスタ設定値 n : TRDGRA1レジスタ設定値 p : TRDGRB0レジスタ設定値 q : TRDGRB1レジスタ設定値</p> <p>(アクティブレベルが“H”の場合)</p> |
| カウント開始条件 | TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | <ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持 |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> コンペア一致 (TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD0オーバフロー |
| TRDIOA0、TRDIOB0端子機能 | PWM出力 |
| TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能 | プログラマブル入出力ポート |
| INT0端子機能 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力 |
| タイマの読み出し | TRD0レジスタを読むと、カウント値が読める |
| タイマの書き込み | TRD0レジスタに書き込める |
| 選択機能 | <ul style="list-style-type: none"> パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) アクティブレベルを端子ごとに選択 バッファ動作(「20.2.2 バッファ動作」参照) A/Dトリガ発生 |

i = 0 ~ 1、j = A、B、C、Dのいずれか

20.8.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

| | | | | | | | | |
|---------|----|----|--------|--------|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | SSU、I ² Cバススタンバイビット | 0：アクティブ 1：スタンバイ(注1) | R/W |
| b4 | MSTTRD | タイマRDスタンバイビット | 0：アクティブ 1：スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0：アクティブ 1：スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。

注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.8.2 タイマRD拡張制御レジスタ(TRDECR)

アドレス 0135h番地

| | | | | | | | | |
|---------|--------|----|----|----|--------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ITCLK1 | - | - | - | ITCLK0 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|-------------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | ITCLK0 | タイマRD0用fC2選択ビット | 0：TRDCLK入力を選択 1：fC2を選択(注1) | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | ITCLK1 | タイマRD1用fC2選択ビット | 0：TRDCLK入力を選択 1：fC2を選択(注1) | R/W |

注1. タイマモードのとき有効です。

20.8.3 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

| | | | | | | | | |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ADTRGD1E | ADTRGC1E | ADTRGB1E | ADTRGA1E | ADTRGD0E | ADTRGC0E | ADTRGB0E | ADTRGA0E |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|---------------|---|-----|
| b0 | ADTRGA0E | A/DトリガA0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b1 | ADTRGB0E | A/DトリガB0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b2 | ADTRGC0E | A/DトリガC0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b3 | ADTRGD0E | A/DトリガD0許可ビット | 0: A/Dトリガ禁止 1: TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b4 | ADTRGA1E | A/DトリガA1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b5 | ADTRGB1E | A/DトリガB1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b6 | ADTRGC1E | A/DトリガC1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |
| b7 | ADTRGD1E | A/DトリガD1許可ビット | 0: A/Dトリガ禁止 1: TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生 | R/W |

20.8.4 タイマRDスタートレジスタ(TRDSTR)[PWM3モード時]

アドレス 0137h番地

| | | | | | | | | |
|---------|----|----|----|----|-------|-------|---------|---------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | CSEL1 | CSEL0 | TSTART1 | TSTART0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--|---|-----|
| b0 | TSTART0 | TRD0カウント開始フラグ(注3) | 0: カウント停止(注1) 1: カウント開始 | R/W |
| b1 | TSTART1 | TRD1カウント開始フラグ(注4) | 0: カウント停止(注2) 1: カウント開始 | R/W |
| b2 | CSEL0 | TRD0カウント動作選択ビット | 0: TRDGRA0レジスタとのコンペアー一致でカウント停止 1: TRDGRA0レジスタとのコンペアー一致後もカウント継続 | R/W |
| b3 | CSEL1 | TRD1カウント動作選択ビット [PWM3モードでは使用しません] | 0: TRDGRA1レジスタとのコンペアー一致でカウント停止 1: TRDGRA1レジスタとのコンペアー一致後もカウント継続 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.8.5 タイマRDモードレジスタ(TRDMR)[PWM3モード時]

アドレス 0138h番地

| | | | | | | | | |
|---------|------|------|------|------|----|----|----|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BFD1 | BFC1 | BFD0 | BFC0 | - | - | - | SYNC |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | SYNC | タイマRD同期ビット | PWM3モードでは“0”(TRD0とTRD1は独立動作)にしてください | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | BFC0 | TRDGRC0レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ | R/W |
| b5 | BFD0 | TRDGRD0レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ | R/W |
| b6 | BFC1 | TRDGRC1レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ | R/W |
| b7 | BFD1 | TRDGRD1レジスタ機能選択ビット | 0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ | R/W |

20.8.6 タイマRD機能制御レジスタ(TRDFCR)[PWM3モード時]

アドレス 013Ah番地

| | | | | | | | | |
|---------|------|-------|------|-------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | PWM3 | STCLK | ADEG | ADTRG | OLS1 | OLS0 | CMD1 | CMD0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | CMD0 | コンピネーションモード選択ビット (注1) | PWM3モードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください | R/W |
| b1 | CMD1 | | | R/W |
| b2 | OLS0 | 正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時有効) | PWM3モードでは無効です | R/W |
| b3 | OLS1 | 逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時有効) | | R/W |
| b4 | ADTRG | A/Dトリガ許可ビット (相補PWMモード時有効) | | R/W |
| b5 | ADEG | A/Dトリガエッジ選択ビット (相補PWMモード時有効) | | R/W |
| b6 | STCLK | 外部クロック入力選択ビット | PWM3モードでは“0”(外部クロック入力無効)にしてください | R/W |
| b7 | PWM3 | PWM3モード選択ビット(注2) | PWM3モードでは“0”(PWM3モード)にしてください | R/W |

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.8.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWM3モード時]

アドレス 013Bh 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|
| シンボル | ED1 | EC1 | EB1 | EA1 | ED0 | EC0 | EB0 | EA0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|----------------|---|-----|
| b0 | EA0 | TRDIOA0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOA0端子はプログラマブル入出力ポート) | R/W |
| b1 | EB0 | TRDIOB0出力禁止ビット | 0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート) | R/W |
| b2 | EC0 | TRDIOC0出力禁止ビット | PWM3モードでは、“1”(プログラマブル入出力ポート)にしてください。 | R/W |
| b3 | ED0 | TRDIOD0出力禁止ビット | | R/W |
| b4 | EA1 | TRDIOA1出力禁止ビット | | R/W |
| b5 | EB1 | TRDIOB1出力禁止ビット | | R/W |
| b6 | EC1 | TRDIOC1出力禁止ビット | | R/W |
| b7 | ED1 | TRDIOD1出力禁止ビット | | R/W |

20.8.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWM3モード時]

アドレス 013Ch 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|----|----|----|----|----|----|----|
| シンボル | PTO | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | PTO | パルス出力強制遮断信号入力INT0有効ビット(注1) | 0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる) | R/W |

注1. 「20.2.4 パルス出力強制遮断」を参照してください。

20.8.9 タイマRDアウトプット制御レジスタ(TRDOCR)[PWM3モード時]

アドレス 013Dh番地

| | | | | | | | | |
|---------|------|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TOD1 | TOC1 | TOB1 | TOA1 | TOD0 | TOC0 | TOB0 | TOA0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---------------------------|--|-----|
| b0 | TOA0 | TRDIOA0出力レベル選択ビット (注1) | 0: アクティブレベル“H”、初期出力“L”、 TRDGRA1のコンペア一致で“H”出力、 TRDGRA0のコンペア一致で“L”出力 1: アクティブレベル“L”、初期出力“H”、 TRDGRA1のコンペア一致で“L”出力、 TRDGRA0のコンペア一致で“H”出力 | R/W |
| b1 | TOB0 | TRDIOB0出力レベル選択ビット (注1) | 0: アクティブレベル“H”、初期出力“L”、 TRDGRB1のコンペア一致で“H”出力、 TRDGRB0のコンペア一致で“L”出力 1: アクティブレベル“L”、初期出力“H”、 TRDGRB1のコンペア一致で“L”出力、 TRDGRB0のコンペア一致で“H”出力 | R/W |
| b2 | TOC0 | TRDIOC0初期出力レベル選択ビット | PWM3モードでは無効です | R/W |
| b3 | TOD0 | TRDIOD0初期出力レベル選択ビット | | R/W |
| b4 | TOA1 | TRDIOA1初期出力レベル選択ビット | | R/W |
| b5 | TOB1 | TRDIOB1初期出力レベル選択ビット | | R/W |
| b6 | TOC1 | TRDIOC1初期出力レベル選択ビット | | R/W |
| b7 | TOD1 | TRDIOD1初期出力レベル選択ビット | | R/W |

注1. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

20.8.10 タイマRD制御レジスタ0 (TRDCR0)[PWM3モード時]

アドレス 0140h番地

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W | |
|-----|-------|--------------------|---|-----|-----|
| b0 | TCK0 | カウントソース選択ビット | b2 b1 b0 | R/W | |
| b1 | TCK1 | | 0 0 0 : f1 | R/W | |
| b2 | TCK2 | | 0 0 1 : f2 | R/W | |
| | | | 0 1 0 : f4 | | |
| | | 0 1 1 : f8 | | | |
| | | 1 0 0 : f32 | | | |
| | | 1 0 1 : 設定しないでください | | | |
| | | 1 1 0 : fOCO40M | | | |
| | | 1 1 1 : fOCO-F(注1) | | | |
| b3 | CKEG0 | 外部クロックエッジ選択ビット | PWM3モードでは無効です | R/W | |
| b4 | CKEG1 | | | R/W | |
| b5 | CCLR0 | TRD0カウンタクリア選択ビット | PWM3モードでは“001b”(TRDGRA0レジスタとコンパレー一致でTRD0レジスタクリア)にしてください | R/W | |
| b6 | CCLR1 | | | R/W | |
| b7 | CCLR2 | | | | R/W |
| | | | | | R/W |

注1. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

PWM3モードでは、TRDCR1レジスタは使用しません。

20.8.11 タイマRDステータスレジスタ i (TRDSR i)($i = 0 \sim 1$)[PWM3モード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | |
|---------|----|----|-----|-----|------|------|------|------|------------|
| シンボル | - | - | UDF | OVF | IMFD | IMFC | IMFB | IMFA | |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | TRDSR0レジスタ |
| リセット後の値 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | TRDSR1レジスタ |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IMFA | インプットキャプチャ/コンペア一致フラグA | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき | R/W |
| b1 | IMFB | インプットキャプチャ/コンペア一致フラグB | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき | R/W |
| b2 | IMFC | インプットキャプチャ/コンペア一致フラグC | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3) | R/W |
| b3 | IMFD | インプットキャプチャ/コンペア一致フラグD | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3) | R/W |
| b4 | OVF | オーバフローフラグ | [“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき | R/W |
| b5 | UDF | アンダフローフラグ(注1) | PWM3モードでは無効です | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b7 | - | | | |

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF j iビット($j=C$ または D)が“1”(TRDGR j iはバッファレジスタ)の場合を含む。

20.8.12 タイマRD割り込み許可レジスタ i (TRDIER i)($i = 0 \sim 1$)[PWM3モード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

| | | | | | | | | |
|---------|----|----|----|------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | OVIE | IMIED | IMIEC | IMIEB | IMIEA |
| リセット後の値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | IMIEA | インプットキャプチャ/コンペアー一致 割り込み許可ビットA | 0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可 | R/W |
| b1 | IMIEB | インプットキャプチャ/コンペアー一致 割り込み許可ビットB | 0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可 | R/W |
| b2 | IMIEC | インプットキャプチャ/コンペアー一致 割り込み許可ビットC | 0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可 | R/W |
| b3 | IMIED | インプットキャプチャ/コンペアー一致 割り込み許可ビットD | 0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可 | R/W |
| b4 | OVIE | オーバフロー/アンダフロー割り込み 許可ビット | 0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可 | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

20.8.13 タイマRDカウンタ0 (TRD0)[PWM3モード時]

アドレス 0147h ~ 0146h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定範囲 | R/W |
|----------|---|---------------|-----|
| b15 ~ b0 | カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。 | 0000h ~ FFFFh | R/W |

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、TRD1レジスタは使用しません。

20.8.14 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i = 0 ~ 1)[PWM3モード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | 機能 | R/W |
|----------|------------------------------------|-----|
| b15 ~ b0 | 「表20.16 PWM3モード時のTRDGRjiレジスタの機能」参照 | R/W |

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.16 PWM3モード時のTRDGR*ji*レジスタの機能

| レジスタ | 設定 | レジスタの機能 | PWM出力端子 |
|---------|--------|--|---------|
| TRDGRA0 | - | ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上 | TRDIOA0 |
| TRDGRA1 | - | ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下 | |
| TRDGRB0 | - | ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下 | TRDIOB0 |
| TRDGRB1 | - | ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下 | |
| TRDGRC0 | BFC0=0 | (PWM3モードでは使用しません) | - |
| TRDGRC1 | BFC1=0 | | |
| TRDGRD0 | BFD0=0 | | |
| TRDGRD1 | BFD1=0 | | |
| TRDGRC0 | BFC0=1 | バッファレジスタ。次回のPWM周期を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRC1レジスタ設定値以上 | TRDIOA0 |
| TRDGRC1 | BFC1=1 | バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRC0レジスタ設定値以下 | |
| TRDGRD0 | BFD0=1 | バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下 | TRDIOB0 |
| TRDGRD1 | BFD1=1 | バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRD0レジスタ設定値以下 | |

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1ビットを“0”(ジェネラルレジスタ)にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタに値を書き込み、その後BFC0、BFC1、BFD0、BFD1ビットを“1”(バッファレジスタ)にできます。

20.8.15 タイマRD端子選択レジスタ0 (TRDPSR0)

| | | | | | | | | |
|---------|---------|-------------|-------------|-------------|-------------|-------------|----|-------------|
| アドレス | 0184h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD0SEL0 | TRDIOC0SEL1 | TRDIOC0SEL0 | TRDIOB0SEL1 | TRDIOB0SEL0 | - | TRDIOA0SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|--|-----|
| b0 | TRDIOA0SEL0 | TRDIOA0/TRDCLK端子選択ビット | 0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB0SEL0 | TRDIOB0端子選択ビット | b3 b2 00 : TRDIOB0端子は使用しない 01 : 設定しないでください 10 : P2_2に割り当てる 11 : 設定しないでください | R/W |
| b3 | TRDIOB0SEL1 | | | R/W |
| b4 | TRDIOC0SEL0 | TRDIOC0端子選択ビット | b5 b4 00 : TRDIOC0端子は使用しない 01 : 設定しないでください 10 : P2_1に割り当てる 11 : 設定しないでください | R/W |
| b5 | TRDIOC0SEL1 | | | R/W |
| b6 | TRDIOD0SEL0 | TRDIOD0端子選択ビット | 0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.8.16 タイマRD端子選択レジスタ1 (TRDPSR1)

| | | | | | | | | |
|---------|---------|-------------|----|-------------|----|-------------|----|-------------|
| アドレス | 0185h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | TRDIOD1SEL0 | - | TRDIOC1SEL0 | - | TRDIOB1SEL0 | - | TRDIOA1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------------|--|---------------------------------------|-----|
| b0 | TRDIOA1SEL0 | TRDIOA1端子選択ビット | 0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | TRDIOB1SEL0 | TRDIOB1端子選択ビット | 0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | TRDIOC1SEL0 | TRDIOC1端子選択ビット | 0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる | R/W |
| b5 | - | 予約ビット | “0” にしてください | R/W |
| b6 | TRDIOD1SEL0 | TRDIOD1端子選択ビット | 0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる | R/W |
| b7 | - | 予約ビット | “0” にしてください | R/W |

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.8.17 動作例

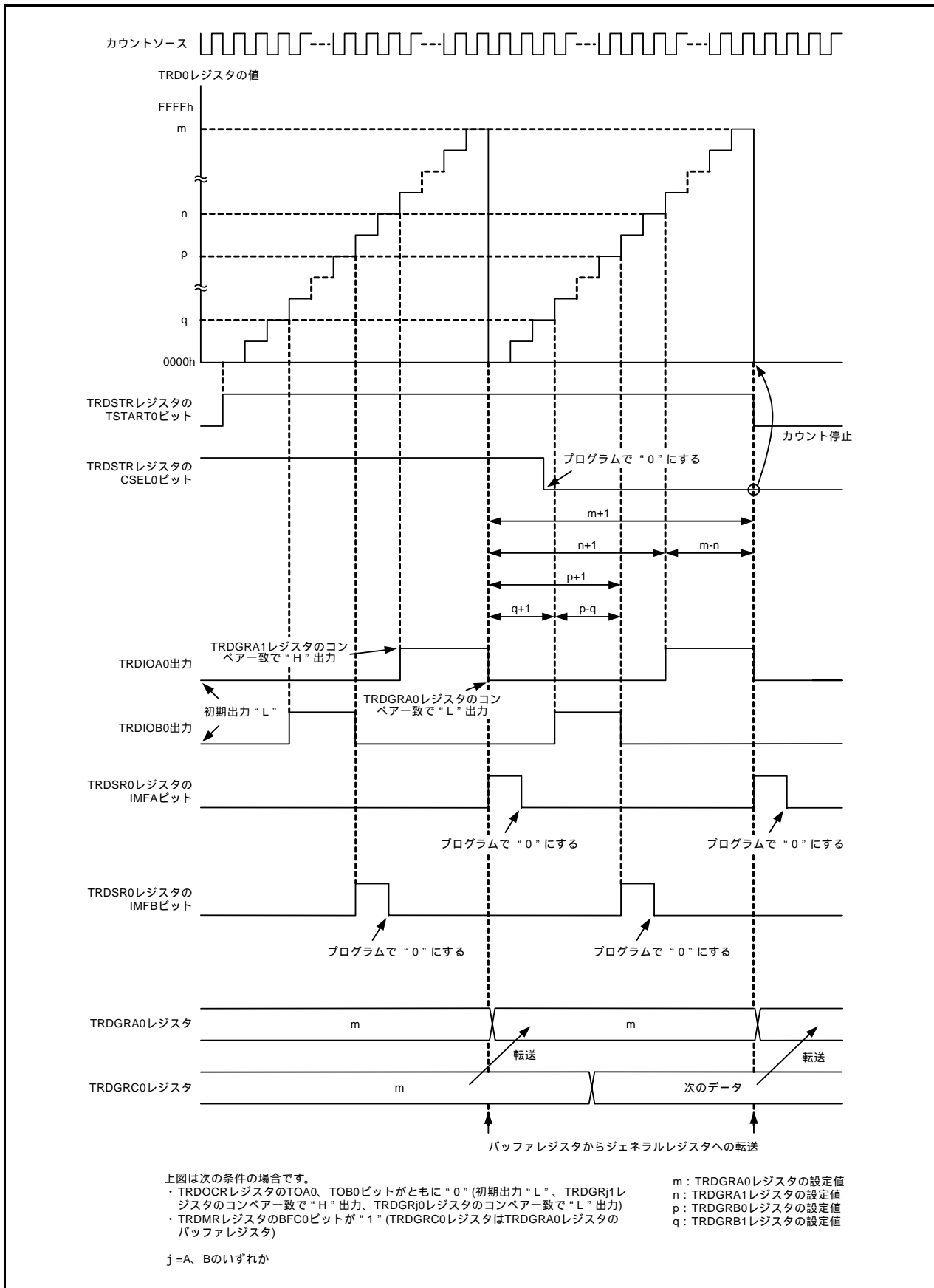


図20.23 PWM3モードの動作例

20.8.18 A/Dトリガ発生

TRDi($i = 0 \sim 1$)レジスタとTRDGRj($j = A, B, C, D$)レジスタのコンペアー一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペアー一致を使用するか選択できます。

20.9 タイマRD割り込み

タイマRDは、タイマRD0とタイマRD1ごとに6つの要因からタイマRD i ($i=0 \sim 1$)割り込み要求を発生します。タイマRD割り込みはタイマRD0とタイマRD1ごとに1つのTRDiIC($i=0 \sim 1$)レジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表20.17にタイマRD割り込み関連レジスタを、図20.24にタイマRD割り込みのブロック図を示します。

表20.17 タイマRD割り込み関連レジスタ

| | タイマRD ステータスレジスタ | タイマRD 割り込み許可レジスタ | タイマRD 割り込み制御レジスタ |
|--------|--------------------|---------------------|---------------------|
| タイマRD0 | TRDSR0 | TRDIER0 | TRD0IC |
| タイマRD1 | TRDSR1 | TRDIER1 | TRD1IC |

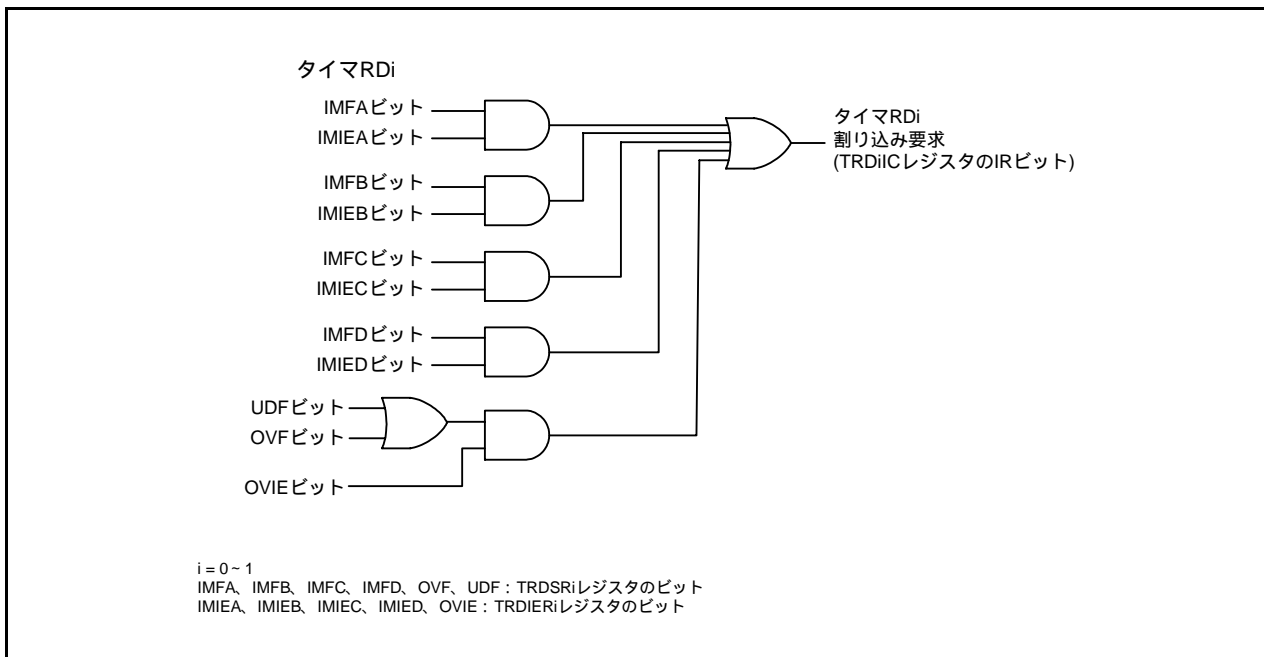


図20.24 タイマRD割り込みのブロック図

タイマRD割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRD割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSR i レジスタのビットが“1”で、それに対応するTRDIER i レジスタのビットが“1”(割り込み許可)の場合、TRDiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRDSR i レジスタのビットと、それに対応するTRDIER i レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRDIER i レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRDSR i レジスタで判定してください。
- TRDSR i レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「モード毎のTRDSR0～TRDSR1レジスタ(20.3.11、20.4.14、20.5.12、20.6.10、20.7.10、20.8.11)」を参照してください。

TRDSR_iレジスタは「モード毎のTRDSR0 ~ TRDSR1レジスタ(20.3.11、20.4.14、20.5.12、20.6.10、20.7.10、20.8.11)」を、TRDIER_iレジスタは「モード毎のTRDIER0 ~ TRDIER1レジスタ(20.3.12、20.4.15、20.5.13、20.6.11、20.7.11、20.8.12)」を参照してください。

TRDiCレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

20.10 タイマRD使用上の注意

20.10.1 TRDSTRレジスタ

- TRDSTRレジスタはMOV命令を使用して書いてください。
- CSELi($i=0 \sim 1$)ビットが“0”(TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止)の場合、TSTARTiビットに“0”(カウント停止)を書いても、カウントは停止せず、TSTARTiビットも変化しません。
したがって、CSELiビットが“0”のとき、TSTARTiビットを変化させずに他のビットを変更したい場合は、TSTARTiビットに“0”を書いてください。
また、プログラムでカウントを停止させる場合は、CSELiビットを“1”にした後で、TSTARTiビットに“0”を書いてください。同時に(1命令で)CSELiビットに“1”、TSTARTiビットに“0”を書いてもカウントは停止できません。
- TRDIOj($j=A, B, C, D$)端子をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表20.18に示します。

表 20.18 カウント停止時のTRDIOj($j=A, B, C, D$)端子出力レベル

| カウント停止方法 | カウント停止時のTRDIOj端子出力 |
|---|--|
| CSELiビットが“1”のときに、TSTARTiビットに“0”を書きカウント停止 | 直前の出力レベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力) |
| CSELiビットが“0”のときに、TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止 | コンペア一致による出力変化後、そのレベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力) |

20.10.2 TRDiレジスタ($i=0 \sim 1$)

- TRDSTRレジスタのTSTARTiビットが“1”(カウント開始)の状態、プログラムでTRDiレジスタに値を書き込む場合は、TRDiレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRDiレジスタが“0000h”になるタイミングと、TRDiレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDiレジスタが“0000h”になります。
この注意事項は、TRDCRiレジスタのCCLR2 ~ CCLR0ビットで次の選択をしている場合に該当します。
 - “001b”(TRDGRAiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
 - “010b”(TRDGRBiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
 - “011b”(同期クリア)
 - “101b”(TRDGRCiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
 - “110b”(TRDGRDiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
- TRDiレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

| | | |
|--------|--------------------|-----------|
| プログラム例 | MOV.W #XXXXh, TRD0 | ; 書き込み |
| | JMP.B L1 | ; JMP.B命令 |
| L1: | MOV.W TRD0, DATA | ; 読み出し |

20.10.3 TRDSR_iレジスタ (i=0 ~ 1)

TRDSR_iレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B  L1          ; JMP.B命令
L1:                MOV.B  TRDSR0,DATA  ; 読み出し

```

20.10.4 TRDCR_iレジスタ (i=0 ~ 1)

TRDCR_iレジスタのTCK2 ~ TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.10.5 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) fOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル + fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) fOCO-Fの1サイクル + fOCO40Mの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

20.10.6 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_{ji}(*i*=0 ~ 1、*j*=A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRD_iレジスタの値をTRDGR_{ji}レジスタに転送します(デジタルフィルタなしの場合)。
- インพุットキャプチャ機能使用時、TRDIORA_i、TRDIORC_iレジスタのIO_{j0} ~ IO_{j1}ビット(*i*=0 ~ 1、*j*=A、B、C、Dのいずれか)で選択したエッジがTRDIO_{ji}端子に入力されると、TRDSTRレジスタのTSTART_iビットが“0”(カウント停止)のときも、TRDSR_iレジスタのIMF_jビットが“1”になります。

20.10.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。
変更手順
 - (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1 ~ CMD0を“01b”(リセット同期PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

20.10.8 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
 - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
- (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$ m $m+1$ m $m-1$ とカウントします。
 m $m+1$ のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1$ m $m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

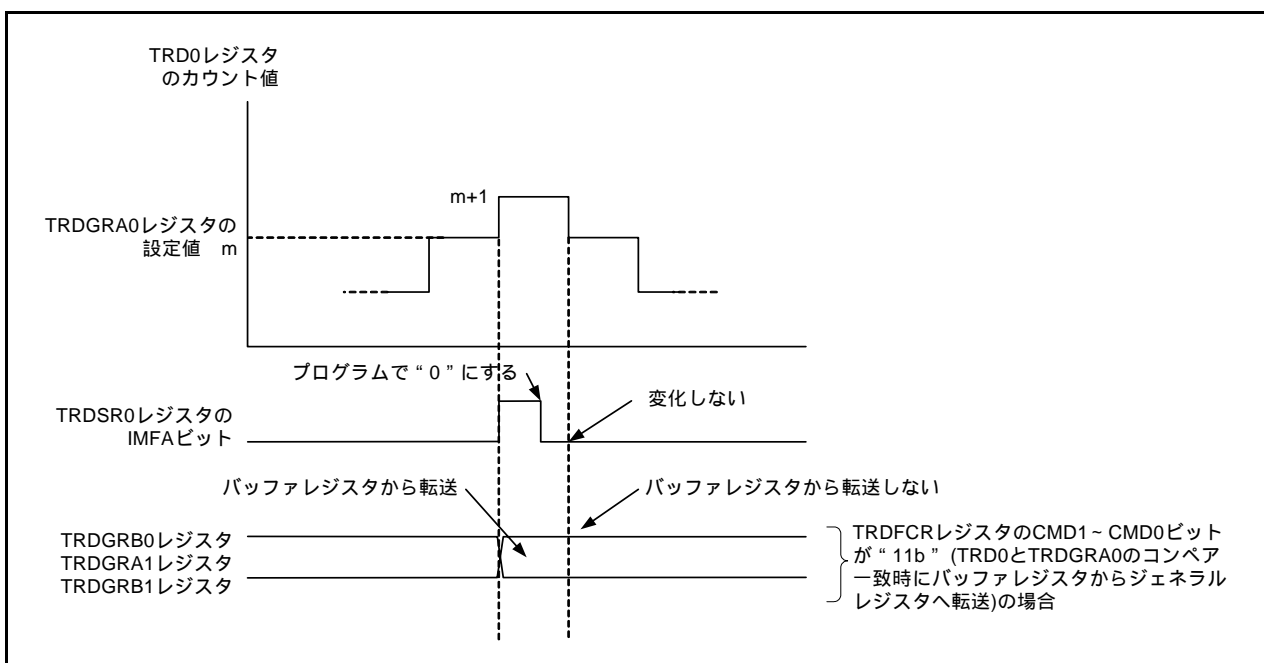


図 20.25 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”（相補PWMモード、TRD1のアンダフローでバッファデータ転送）の場合、バッファレジスタ (TRDGRD0、TRDGRC1、TRDGRD1) の内容がジェネラルレジスタ (TRDGRB0、TRDGRA1、TRDGRB1) に転送されます。
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

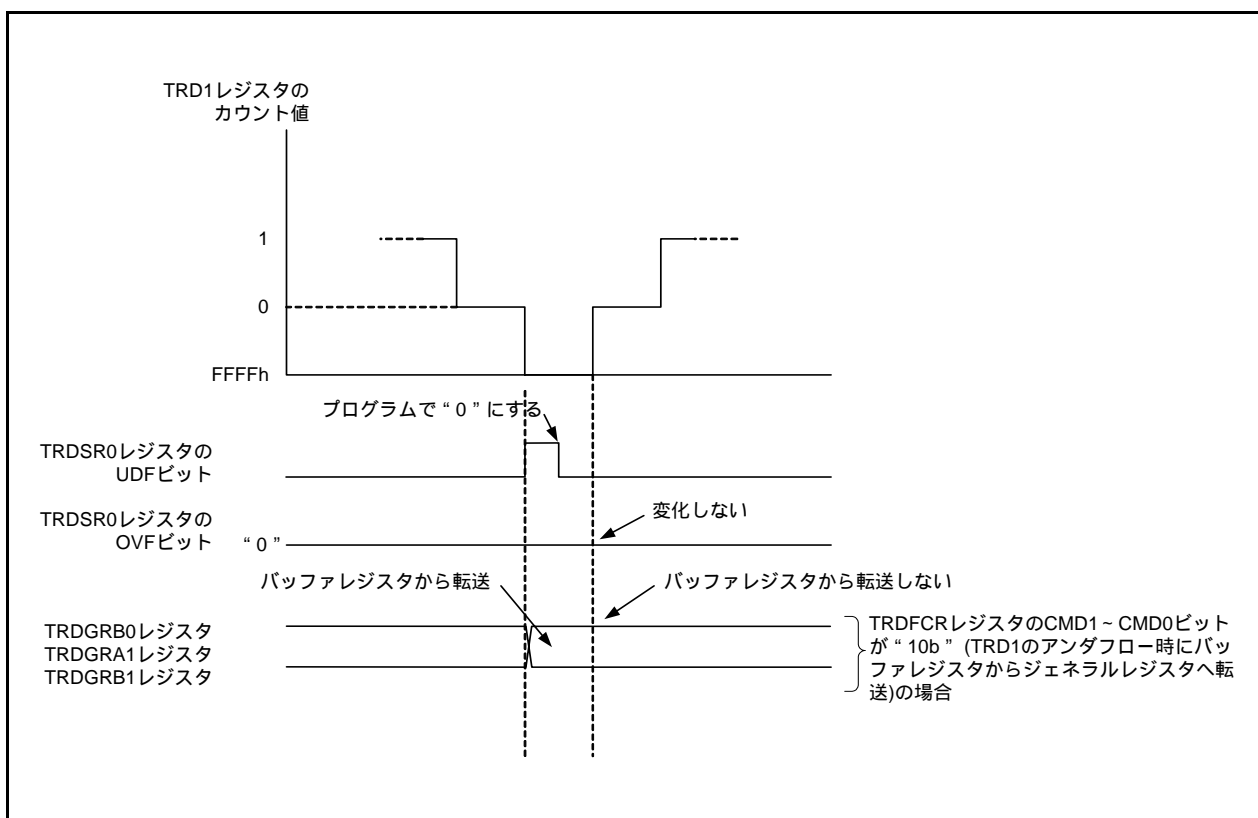


図 20.26 相補PWMモード TRD1がアンダーフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタのCMD1 ~ CMD0ビットで選択してください。ただし、次の場合はCMD1 ~ CMD0ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0レジスタの値の場合

TRD1レジスタのアンダフローで転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1 ~ CMD0ビットで選択したタイミングで転送します。

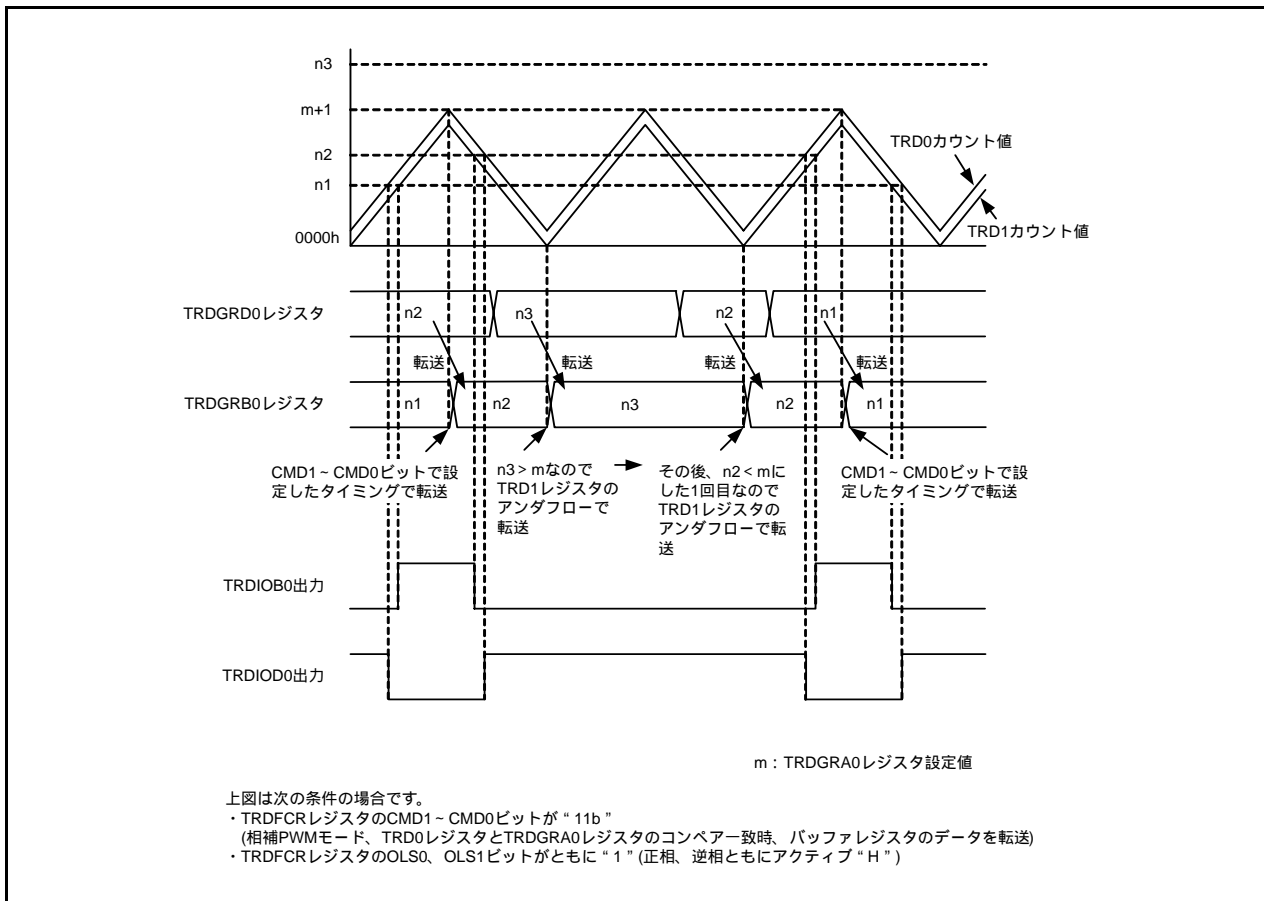


図 20.27 相補PWMモード時のバッファレジスタの値 TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

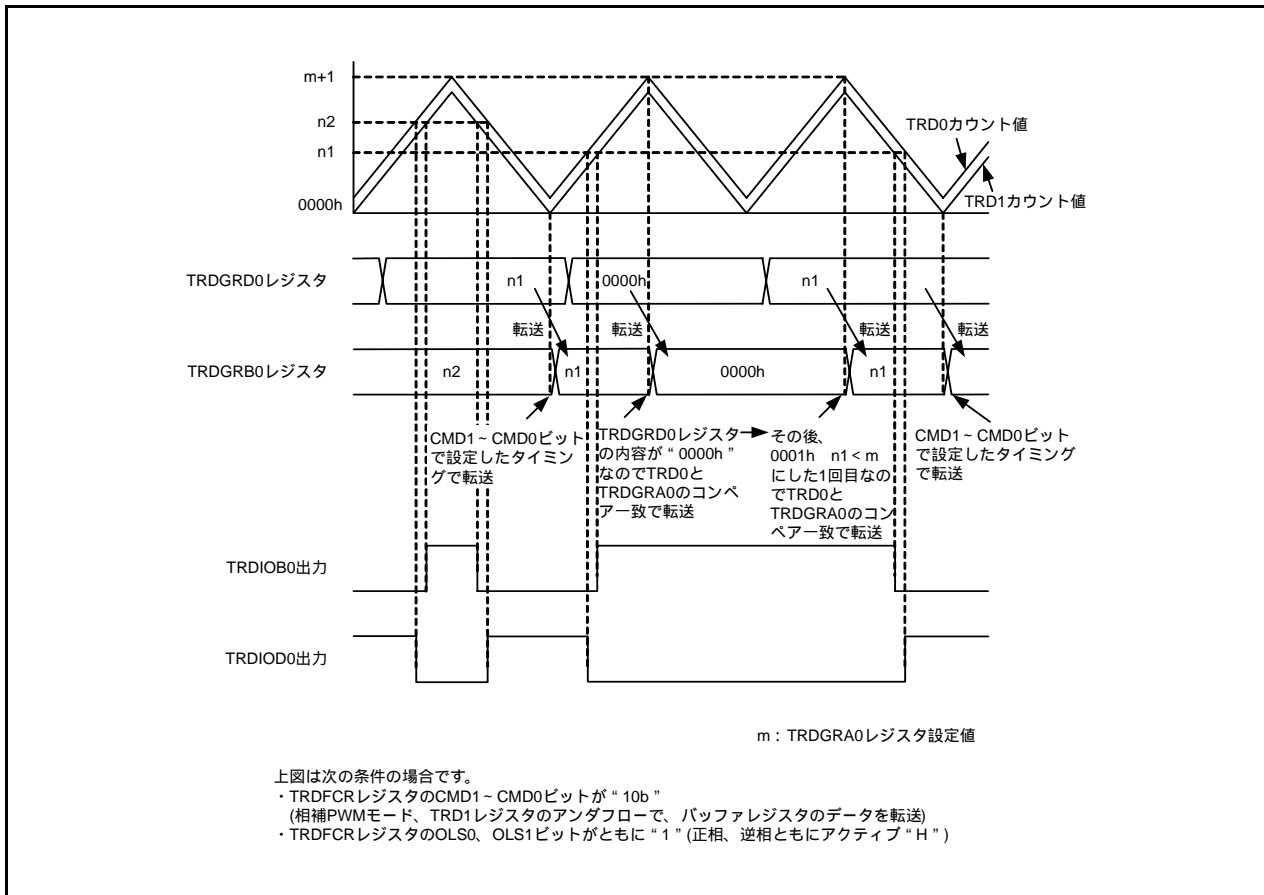


図 20.28 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

20.10.9 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7V～5.5Vの範囲で使用することができます。

これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

21. タイマRE

タイマREは、(4ビットプリスケアラ付き)8ビットカウンタを持つタイマです。

21.1 概要

タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード fC4から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

表 21.1にタイマREの端子構成を示します。

表 21.1 タイマREの端子構成

| 端子名 | 割り当てる端子 | 入出力 | 機能 |
|------|-------------|-----|---------------------------------------|
| TREO | P0_4またはP6_0 | 出力 | モードによって機能が異なります。 詳細は各モードを参照してください。 |

21.2 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図 21.1にリアルタイムクロックモードのブロック図を、表 21.2にリアルタイムクロックモードの仕様を、表 21.3に割り込み要因を、図 21.2に時間表現の定義を、図 21.3にリアルタイムクロックモードの動作例を示します。

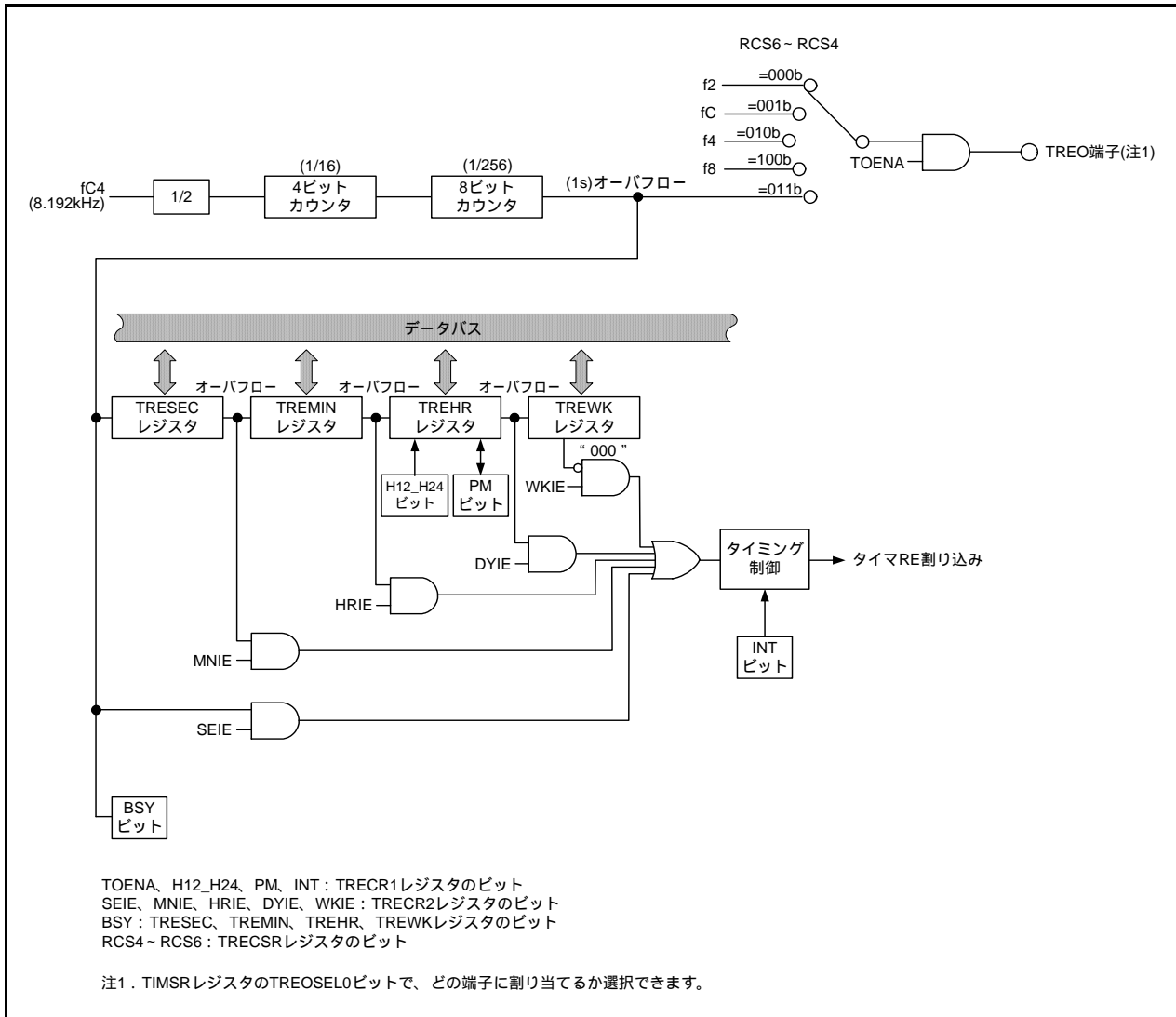


図 21.1 リアルタイムクロックモードのブロック図

表 21.2 リアルタイムクロックモードの仕様

| 項目 | 仕様 |
|---------------|--|
| カウントソース | fC4 |
| カウント動作 | アップカウント |
| カウント開始条件 | TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み |
| 割り込み要求発生タイミング | 次のうち、いずれか1つを選択 <ul style="list-style-type: none"> • 秒データの更新 • 分データの更新 • 時データの更新 • 曜日データの更新 • 曜日データが“000b”(日曜日)になったとき |
| TREO端子機能 | プログラマブル入出力ポート、またはf2、fC、f4、f8、1Hzのいずれかを出力 |
| タイマの読み出し | TRESEC、TREMIN、TREHR、TREWKレジスタを読むと、カウント値が読める。TRESEC、TREMIN、TREHRレジスタの値はBCDコード。 |
| タイマの書き込み | TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMIN、TREHR、TREWKレジスタに書き込める。TRESEC、TREMIN、TREHRレジスタへ書き込む値はBCDコード。 |
| 選択機能 | <ul style="list-style-type: none"> • 12時間モード/24時間モード切り替え機能 • TREO端子選択機能 TIMSRレジスタのTRESSEL0ビットでP0_4またはP6_0を選択 |

21.2.1 タイマRE秒データレジスタ(TRESEC)[リアルタイムクロックモード時]

アドレス 0118h番地

| | | | | | | | | |
|---------|-----|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BSY | SC12 | SC11 | SC10 | SC03 | SC02 | SC01 | SC00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | 設定範囲 | R/W |
|-----|------|--------------|--|-------------------|-----|
| b0 | SC00 | 秒一位カウントビット | 1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。 | 0 ~ 9 (BCDコード) | R/W |
| b1 | SC01 | | | | R/W |
| b2 | SC02 | | | | R/W |
| b3 | SC03 | | | | R/W |
| b4 | SC10 | 秒十位カウントビット | 0から5をカウントして、60秒をカウント | 0 ~ 5 (BCDコード) | R/W |
| b5 | SC11 | | | | R/W |
| b6 | SC12 | | | | R/W |
| b7 | BSY | タイマRE ビジーフラグ | TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります | | R |

21.2.2 タイマRE分データレジスタ(TREMIN)[リアルタイムクロックモード時]

アドレス 0119h番地

| | | | | | | | | |
|---------|-----|------|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BSY | MN12 | MN11 | MN10 | MN03 | MN02 | MN01 | MN00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | 設定範囲 | R/W |
|-----|------|--------------|--|-------------------|-----|
| b0 | MN00 | 分一位カウントビット | 1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。 | 0 ~ 9 (BCDコード) | R/W |
| b1 | MN01 | | | | R/W |
| b2 | MN02 | | | | R/W |
| b3 | MN03 | | | | R/W |
| b4 | MN10 | 分十位カウントビット | 0から5をカウントして、60分をカウント | 0 ~ 5 (BCDコード) | R/W |
| b5 | MN11 | | | | R/W |
| b6 | MN12 | | | | R/W |
| b7 | BSY | タイマRE ビジーフラグ | TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります | | R |

21.2.3 タイマRE時データレジスタ(TREHR)[リアルタイムクロックモード時]

アドレス 011Ah番地

| | | | | | | | | |
|---------|-----|----|------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BSY | - | HR11 | HR10 | HR03 | HR02 | HR01 | HR00 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | 設定範囲 | R/W |
|-----|------|--|--|-------------------|-----|
| b0 | HR00 | 時一位カウントビット | 1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。 | 0 ~ 9 (BCDコード) | R/W |
| b1 | HR01 | | | | R/W |
| b2 | HR02 | | | | R/W |
| b3 | HR03 | | | | R/W |
| b4 | HR10 | 時十位カウントビット | H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。 H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。 | 0 ~ 2 (BCDコード) | R/W |
| b5 | HR11 | | | | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | | - |
| b7 | BSY | タイマRE ビジーフラグ | TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります | | R |

21.2.4 タイマRE曜日データレジスタ(TREWK)[リアルタイムクロックモード時]

アドレス 011Bh番地

| | | | | | | | | |
|---------|-----|----|----|----|----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BSY | - | - | - | - | WK2 | WK1 | WK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--------------|---|--|
| b0 | WK0 | 曜日カウントビット | b2 b1 b0 000:日 001:月 010:火 011:水 100:木 101:金 110:土 111:設定しないでください | R/W |
| b1 | WK1 | | | R/W |
| b2 | WK2 | | | R/W |
| b3 | - | | | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |
| b4 | - | - | | |
| b5 | - | - | | |
| b6 | - | - | | |
| b7 | BSY | タイマRE ビジーフラグ | TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります | R |

21.2.5 タイマRE制御レジスタ1 (TRECRC1)[リアルタイムクロックモード時]

アドレス 011Ch番地

| | | | | | | | | |
|---------|--------|---------|----|--------|-----|-------|-------|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TSTART | H12_H24 | PM | TRERST | INT | TOENA | TCSTF | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--|--|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | TCSTF | タイマREカウントステータスフラグ | 0: カウント停止中 1: カウント中 | R |
| b2 | TOENA | TREO端子出力許可ビット | 0: クロック出力禁止 1: クロック出力許可 | R/W |
| b3 | INT | 割り込み要求タイミングビット | リアルタイムクロックモードでは“1”にしてください | R/W |
| b4 | TRERST | タイマREリセットビット | このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMIN、TREHR、TREWK、TRECRC2レジスタが“00h” • TRECRC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h” | R/W |
| b5 | PM | 午前/午後ビット | H12_H24ビットが“0”(12時間モード)のとき(注1) 0: 午前 1: 午後 H12_H24ビットが“1”(24時間モード)のとき、不定 | R/W |
| b6 | H12_H24 | 動作モード選択ビット | 0: 12時間モード 1: 24時間モード | R/W |
| b7 | TSTART | タイマREカウント開始ビット | 0: カウント停止 1: カウント開始 | R/W |

注1. タイマREがカウント中、自動的に変化します。

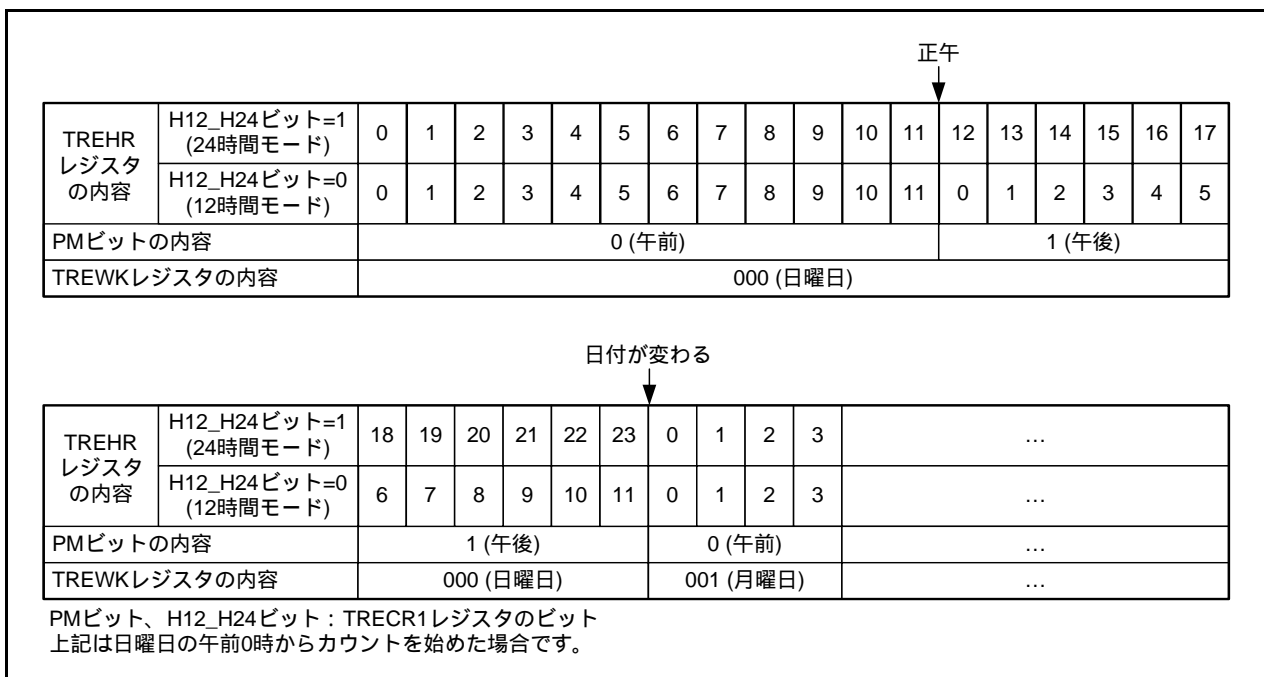


図 21.2 時間表現の定義

21.2.6 タイマRE制御レジスタ2 (TRECRC2)[リアルタイムクロックモード時]

アドレス 011Dh番地

| | | | | | | | | |
|---------|----|----|-------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | COMIE | WKIE | DYIE | HRIE | MNIE | SEIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|------------------------------|-----|
| b0 | SEIE | 秒周期割り込み許可ビット(注1) | 0: 秒周期割り込み禁止 1: 秒周期割り込み許可 | R/W |
| b1 | MNIE | 分周期割り込み許可ビット(注1) | 0: 分周期割り込み禁止 1: 分周期割り込み許可 | R/W |
| b2 | HRIE | 時周期割り込み許可ビット(注1) | 0: 時周期割り込み禁止 1: 時周期割り込み許可 | R/W |
| b3 | DYIE | 日周期割り込み許可ビット(注1) | 0: 日周期割り込み禁止 1: 日周期割り込み許可 | R/W |
| b4 | WKIE | 週周期割り込み許可ビット(注1) | 0: 週周期割り込み禁止 1: 週周期割り込み許可 | R/W |
| b5 | COMIE | コンペア一致割り込み許可ビット | リアルタイムクロックモードでは“0”にしてください | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | - |

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

表 21.3 割り込み要因

| 要因名 | 割り込み要因 | 割り込み許可ビット |
|---------|-----------------------------------|-----------|
| 週周期割り込み | TREWKレジスタの値が“000b”(日曜日)になる(1週間周期) | WKIE |
| 日周期割り込み | TREWKレジスタが更新(1日周期)される | DYIE |
| 時周期割り込み | TREHRレジスタが更新(1時間周期)される | HRIE |
| 分周期割り込み | TREMINレジスタが更新(1分周期)される | MNIE |
| 秒周期割り込み | TRESECレジスタが更新(1秒周期)される | SEIE |

21.2.7 タイマREカウントソース選択レジスタ(TRECSR)[リアルタイムクロックモード時]

アドレス 011Eh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|------|------|------|------|------|------|------|
| シンボル | - | RCS6 | RCS5 | RCS4 | RCS3 | RCS2 | RCS1 | RCS0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | RCS0 | カウントソース選択ビット | リアルタイムクロックモードでは“00b”にしてください | R/W |
| b1 | RCS1 | | | R/W |
| b2 | RCS2 | 4ビットカウンタ選択ビット | リアルタイムクロックモードでは“0”にしてください | R/W |
| b3 | RCS3 | リアルタイムクロックモード選択ビット | リアルタイムクロックモードでは“1”にしてください | R/W |
| b4 | RCS4 | クロック出力選択ビット(注1) | b6 b5 b4 0 0 0 : f2 0 0 1 : fC 0 1 0 : f4 0 1 1 : 1Hz 1 0 0 : f8 上記以外：設定しないでください | R/W |
| b5 | RCS5 | | | R/W |
| b6 | RCS6 | | | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

注1. RCS4～RCS6ビットは、TRECR1レジスタのTOENAビットが*0(クロック出力禁止)のとき、書いてください。

21.2.8 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----------|
| シンボル | - | - | - | - | - | - | - | TREOSEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|----------------------------------|-----|
| b0 | TREOSEL0 | TREO端子選択ビット | 0 : P0_4に割り当てる 1 : P6_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

21.2.9 動作例

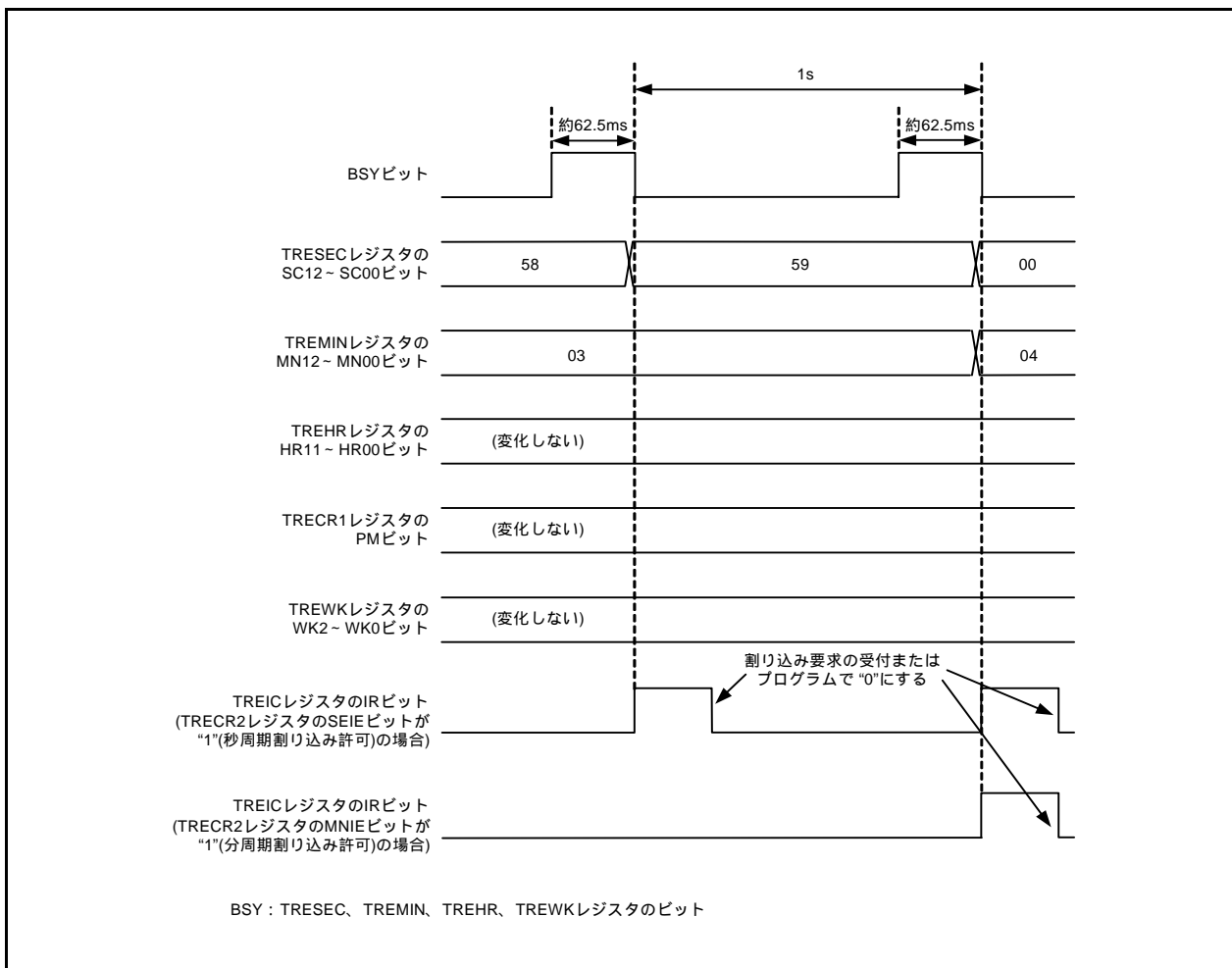


図 21.3 リアルタイムクロックモードの動作例

21.3 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図 21.4 にアウトプットコンペアモードのブロック図を、表 21.4 にアウトプットコンペアモードの仕様を、図 21.5 にアウトプットコンペアモードの動作例を示します。

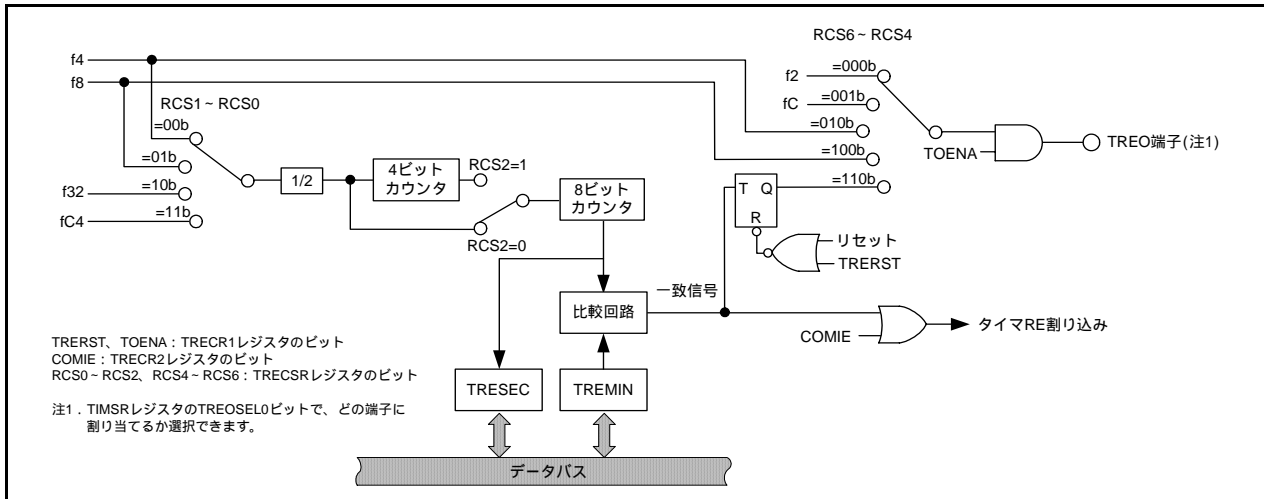


図 21.4 アウトプットコンペアモードのブロック図

表 21.4 アウトプットコンペアモードの仕様

| 項目 | 仕様 |
|---------------|--|
| カウントソース | f4、f8、f32、fC4 |
| カウント動作 | <ul style="list-style-type: none"> アップカウント 8ビットカウンタは、値がTREMINレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。 |
| カウント周期 | <ul style="list-style-type: none"> RCS2=0(4ビットカウンタ使用しない)の場合 $1/f_i \times 2 \times (n + 1)$ RCS2=1(4ビットカウンタ使用する)の場合 $1/f_i \times 32 \times (n + 1)$ f _i : カウントソースの周波数 n : TREMINレジスタの設定値 |
| カウント開始条件 | TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み |
| カウント停止条件 | TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み |
| 割り込み要求発生タイミング | 8ビットカウンタの内容とTREMINレジスタの内容が一致したとき |
| TREO端子機能 | 次のいずれかを選択 <ul style="list-style-type: none"> プログラマブル入出力ポート f2、fC、f4、f8のいずれかを出力 コンペア出力 |
| タイマの読み出し | TRESECレジスタを読むと、8ビットカウンタの値が読める。 TREMINレジスタを読むと、コンペア値が読める。 |
| タイマの書き込み | TRESECレジスタへの書き込みはできない。 TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINレジスタに書き込める。 |
| 選択機能 | <ul style="list-style-type: none"> 4ビットカウンタ使用選択 コンペア出力機能 8ビットカウンタ値とTREMINレジスタの内容が一致することにTREO出力極性を反転。リセット解除後と、TRECR1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。 TREO端子選択機能 TIMSRレジスタのTREOSEL0ビットでP0_4またはP6_0を選択 |

21.3.1 タイマREカウンタデータレジスタ(TRESEC)[アウトプットコンペアモード時]

アドレス 0118h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | R/W |
|---------|--|-----|
| b7 ~ b0 | 8ビットのカウンタデータが読めます。 タイマREのカウンタが停止しても、カウンタ値は保持されます。 コンペア一致で、TRESECレジスタは“00h”になります。 | R |

21.3.2 タイマREコンペアデータレジスタ(TREMIN)[アウトプットコンペアモード時]

アドレス 0119h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | R/W |
|---------|-----------------|-----|
| b7 ~ b0 | 8ビットのコンペアデータを格納 | R/W |

21.3.3 タイマRE制御レジスタ1 (TRECRC1)[アウトプットコンペアモード時]

アドレス 011Ch番地

| | | | | | | | | |
|---------|--------|---------|----|--------|-----|-------|-------|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TSTART | H12_H24 | PM | TRERST | INT | TOENA | TCSTF | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|--|---|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | TCSTF | タイマREカウントステータスフラグ | 0: カウント停止中 1: カウント中 | R |
| b2 | TOENA | TREO端子出力許可ビット | 0: クロック出力禁止 1: クロック出力許可 | R/W |
| b3 | INT | 割り込み要求タイミングビット | アウトプットコンペアモードでは“0”にしてください | R/W |
| b4 | TRERST | タイマREリセットビット | このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMINT、TREHR、TREWK、TRECRC2レジスタが“00h” • TRECRC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h” | R/W |
| b5 | PM | 午前/午後ビット | アウトプットコンペアモードでは“0”にしてください | R/W |
| b6 | H12_H24 | 動作モード選択ビット | | R/W |
| b7 | TSTART | タイマREカウント開始ビット | 0: カウント停止 1: カウント開始 | R/W |

21.3.4 タイマRE制御レジスタ2 (TRECRC2)[アウトプットコンペアモード時]

アドレス 011Dh番地

| | | | | | | | | |
|---------|----|----|-------|------|------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | COMIE | WKIE | DYIE | HRIE | MNIE | SEIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|------------------------------------|-----|
| b0 | SEIE | 秒周期割り込み許可ビット | アウトプットコンペアモードでは“0”にしてください | R/W |
| b1 | MNIE | 分周期割り込み許可ビット | | R/W |
| b2 | HRIE | 時周期割り込み許可ビット | | R/W |
| b3 | DYIE | 日周期割り込み許可ビット | | R/W |
| b4 | WKIE | 週周期割り込み許可ビット | | R/W |
| b5 | COMIE | コンペア一致割り込み許可ビット | 0: コンペア一致割り込み禁止 1: コンペア一致割り込み許可 | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | - |

21.3.5 タイマREカウントソース選択レジスタ(TRECSR)[アウトプットコンペアモード時]

アドレス 011Eh 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|------|------|------|------|------|------|------|
| シンボル | - | RCS6 | RCS5 | RCS4 | RCS3 | RCS2 | RCS1 | RCS0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | RCS0 | カウントソース選択ビット(注1) | b1 b0 00 : f4 01 : f8 10 : f32 11 : fC4 | R/W |
| b1 | RCS1 | | | R/W |
| b2 | RCS2 | 4ビットカウンタ選択ビット(注1) | 0 : 使用しない 1 : 使用する | R/W |
| b3 | RCS3 | リアルタイムクロックモード選択ビット | アウトプットコンペアモードでは“0”にしてください | R/W |
| b4 | RCS4 | クロック出力選択ビット(注2) | b6 b5 b4 000 : f2 001 : fC 010 : f4 100 : f8 110 : コンペア出力 上記以外 : 設定しないでください | R/W |
| b5 | RCS5 | | | R/W |
| b6 | RCS6 | | | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

注1. RCS0 ~ RCS2ビットは、TRECR1レジスタのTCSTFビットが“0”(カウント停止中)のとき、書いてください。

注2. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが“0”(クロック出力禁止)のとき、書いてください。

21.3.6 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----------|
| シンボル | - | - | - | - | - | - | - | TREOSELO |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|----------------------------------|-----|
| b0 | TREOSELO | TREO端子選択ビット | 0 : P0_4に割り当てる 1 : P6_0に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

21.3.7 動作例

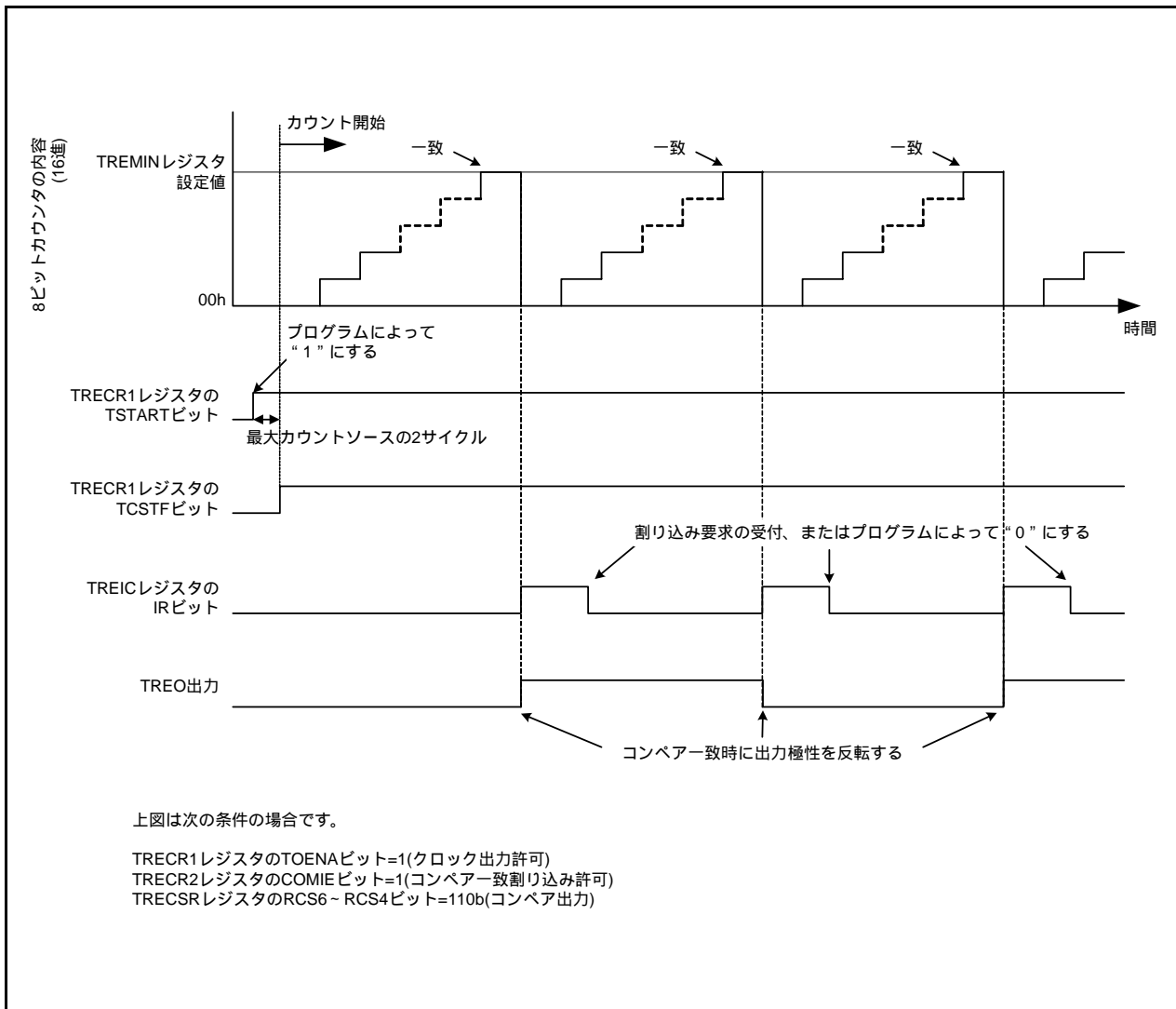


図 21.5 アウトプットコンペアモードの動作例

21.4 タイマRE使用上の注意

21.4.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTREC1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ：TREM_{IN}、TREHR、TREW_K、TREC1、TREC2、TREC_{SR}

21.4.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREM_{IN}、TREHR、TREW_K、TREC2レジスタ
- TREC1レジスタのH12_H24ビット、PMビット、INTビット
- TREC_{SR}レジスタのRCS0～RCS3ビット

タイマREが停止中とは、TREC1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TREC2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図21.6にリアルタイムクロックモード時の設定例を示します。

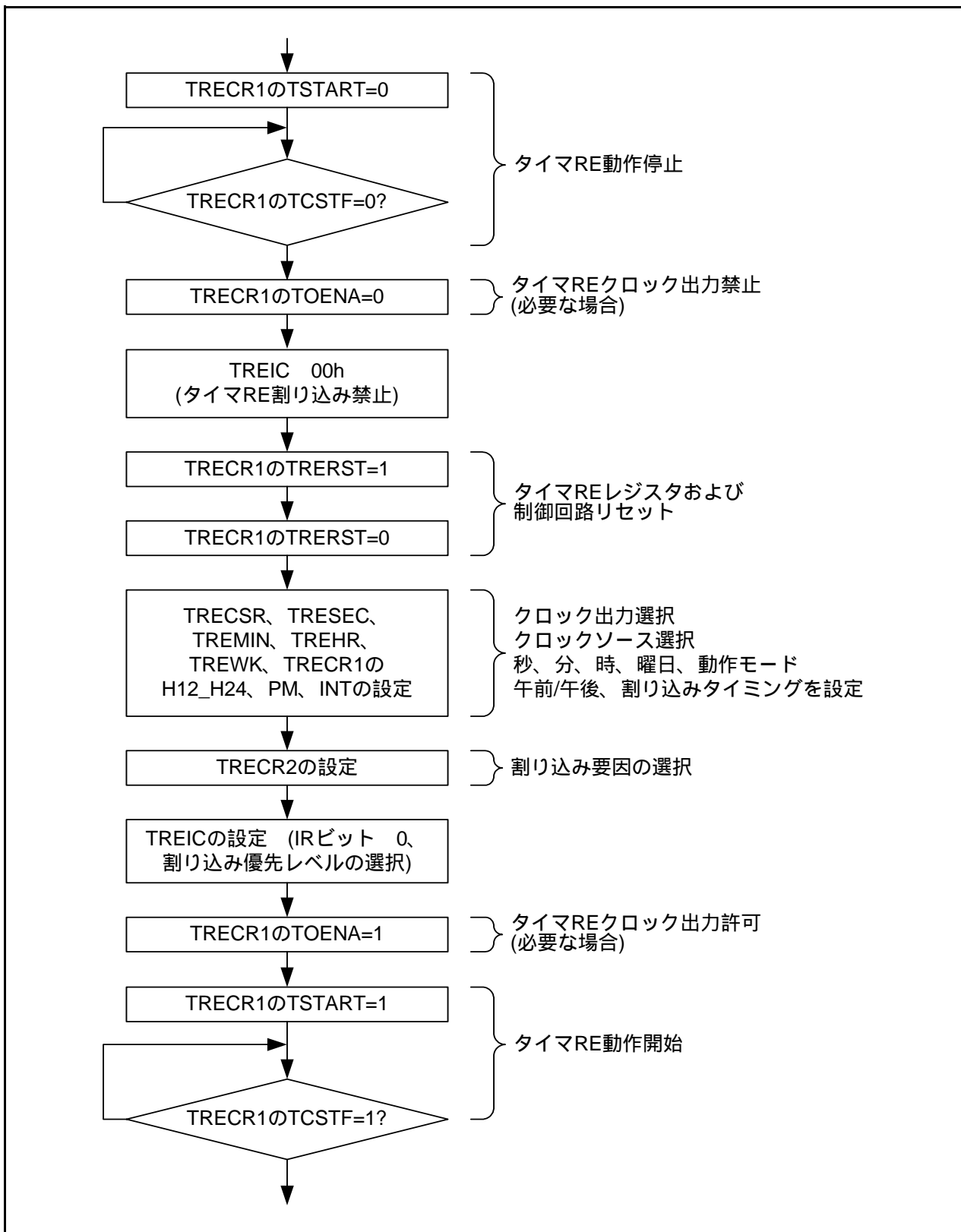


図 21.6 リアルタイムクロックモード時の設定例

21.4.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

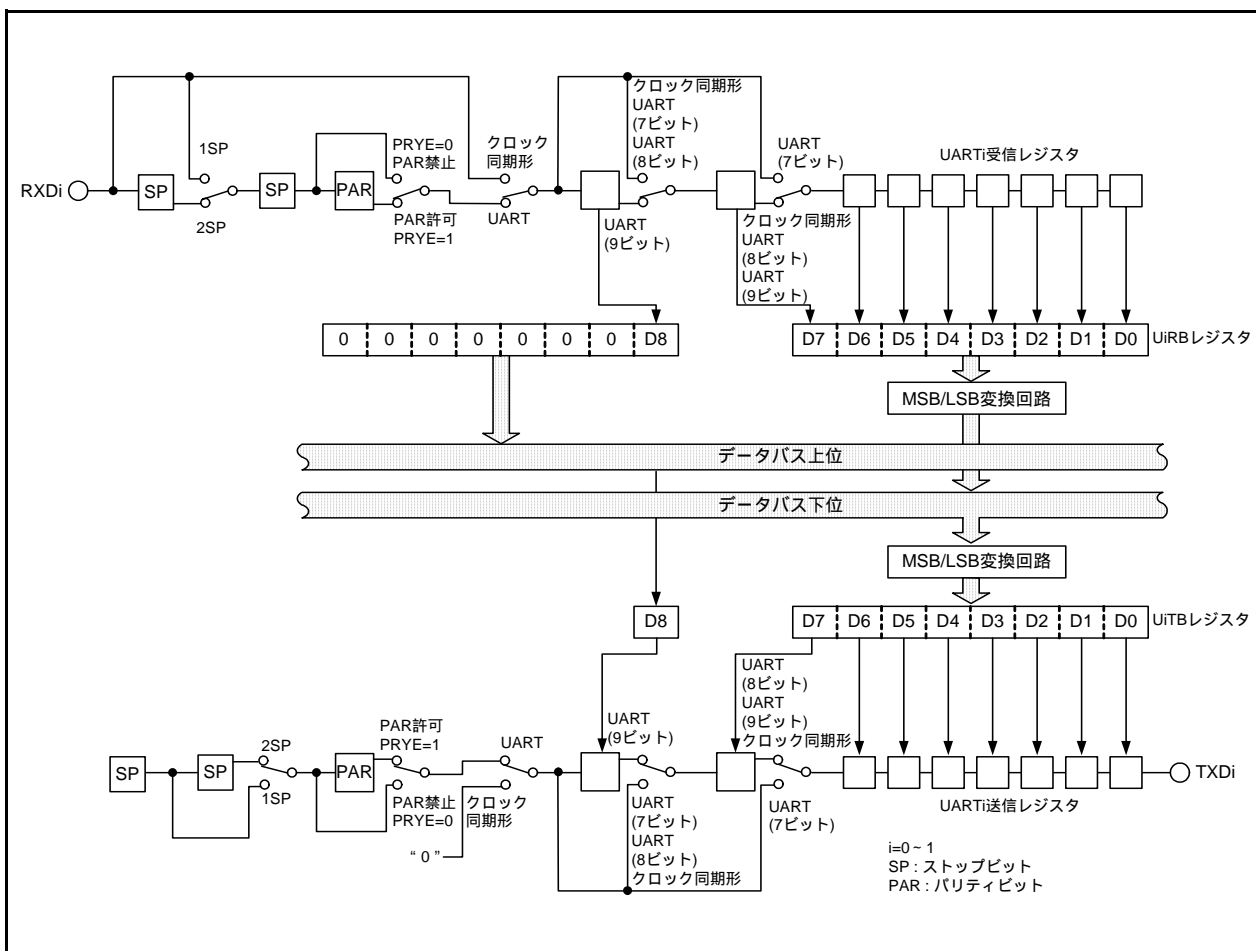


図 22.2 送受信部のブロック図

表 22.1 UARTi (i=0 ~ 1)の端子構成

| 端子名 | 割り当てる端子 | 入出力 | 機能 |
|------|------------------|-----|-----------|
| TXD0 | P1_4 | 出力 | シリアルデータ出力 |
| RXD0 | P1_5 | 入力 | シリアルデータ入力 |
| CLK0 | P1_6 | 入出力 | 転送クロック入出力 |
| TXD1 | P0_1またはP6_3 | 出力 | シリアルデータ出力 |
| RXD1 | P0_2またはP6_4 | 入力 | シリアルデータ入力 |
| CLK1 | P0_3、P6_2またはP6_5 | 入出力 | 転送クロック入出力 |

22.2 レジスタの説明

22.2.1 UARTi送受信モードレジスタ(UiMR)(i=0 ~ 1)

アドレス 00A0h番地(U0MR)、0160h番地(U1MR)

| | | | | | | | | |
|---------|----|------|-----|------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | PRYE | PRY | STPS | CKDIR | SMD2 | SMD1 | SMD0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-----------------|---|-----|
| b0 | SMD0 | シリアルI/Oモード選択ビット | b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください | R/W |
| b1 | SMD1 | | | R/W |
| b2 | SMD2 | | | R/W |
| b3 | CKDIR | 内/外部クロック選択ビット | 0: 内部クロック 1: 外部クロック | R/W |
| b4 | STPS | ストップビット長選択ビット | 0: 1ストップビット 1: 2ストップビット | R/W |
| b5 | PRY | パリティ奇/偶選択ビット | PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ | R/W |
| b6 | PRYE | パリティ許可ビット | 0: パリティ禁止 1: パリティ許可 | R/W |
| b7 | - | 予約ビット | "0" にしてください | R/W |

22.2.2 UARTiビットレートレジスタ(UiBRG)(i=0 ~ 1)

アドレス 00A1h番地(U0BRG)、0161h番地(U1BRG)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | 設定範囲 | R/W |
|---------|---------------------------------|-----------|-----|
| b7 ~ b0 | 設定値をnとすると、UiBRGはカウントソースをn+1分周する | 00h ~ FFh | W |

UiBRGレジスタは、送受信停止中に書いてください。

UiBRGレジスタは、MOV命令を使用して書いてください。

UiC0レジスタのCLK0 ~ CLK1ビットを設定した後、UiBRGレジスタに書いてください。

22.2.3 UARTi送信バッファレジスタ (UiTB)(i=0 ~ 1)

アドレス 00A3h ~ 00A2h番地 (U0TB)、0163h ~ 0162h番地 (U1TB)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | シンボル | 機能 | R/W |
|-----|------|---|-----|
| b0 | - | 送信データ | W |
| b1 | - | | |
| b2 | - | | |
| b3 | - | | |
| b4 | - | | |
| b5 | - | | |
| b6 | - | | |
| b7 | - | | |
| b8 | - | | |
| b9 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | - |
| b10 | - | | |
| b11 | - | | |
| b12 | - | | |
| b13 | - | | |
| b14 | - | | |
| b15 | - | | |

転送データ長が9ビットの場合、UiTBレジスタの上位バイト 下位バイトの順で書いてください。
UiTBレジスタはMOV命令を使用して書いてください。

22.2.4 UARTi送受信制御レジスタ0 (UiC0)(i=0 ~ 1)

アドレス 00A4h番地(U0C0)、0164h番地(U1C0)

| | | | | | | | | |
|---------|-------|-------|-----|----|-------|----|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | UFORM | CKPOL | NCH | - | TXEPT | - | CLK1 | CLK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-------|
| b0 | CLK0 | BRGカウントソース選択ビット(注1) | b1 b0 00: f1を選択 01: f8選択 10: f32を選択 11: fCを選択 | R/W |
| b1 | CLK1 | | | R/W |
| b2 | - | | | 予約ビット |
| b3 | TXEPT | 送信レジスタ空フラグ | 0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了) | R |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | NCH | データ出力選択ビット | 0: TXDi端子はCMOS出力 1: TXDi端子はNチャンネルオープンドレイン出力 | R/W |
| b6 | CKPOL | CLK極性選択ビット | 0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力 | R/W |
| b7 | UFORM | 転送フォーマット選択ビット | 0: LSBファースト 1: MSBファースト | R/W |

注1. BRGカウントソースを変更した場合は、UiBRGレジスタを再設定してください。

22.2.5 UARTi送受信制御レジスタ1 (UiC1)(i=0 ~ 1)

アドレス 00A5h番地(U0C1)、0165h番地(U1C1)

| | | | | | | | | |
|---------|----|----|-------|-------|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | UiRRM | UiIRS | RI | RE | TI | TE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--------------------------------------|-----|
| b0 | TE | 送信許可ビット | 0: 送信禁止 1: 送信許可 | R/W |
| b1 | TI | 送信バッファ空フラグ | 0: UiTBにデータあり 1: UiTBにデータなし | R |
| b2 | RE | 受信許可ビット | 0: 受信禁止 1: 受信許可 | R/W |
| b3 | RI | 受信完了フラグ(注1) | 0: UiRBにデータなし 1: UiRBにデータあり | R |
| b4 | UiIRS | UARTi送信割り込み要因選択ビット | 0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1) | R/W |
| b5 | UiRRM | UARTi連続受信モード許可ビット(注2) | 0: 連続受信モード禁止 1: 連続受信モード許可 | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

注1. RIビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

注2. UARTモード時、UiRRMビットは“0”(連続受信モード禁止)にしてください。

22.2.6 UARTi受信バッファレジスタ (UiRB)(i=0 ~ 1)

アドレス 00A7h ~ 00A6h番地 (U0RB)、0167h ~ 0166h番地 (U1RB)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | SUM | PER | FER | OER | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---|----------------------------------|-----|
| b0 | - | - | 受信データ (D7 ~ D0) | R |
| b1 | - | - | | |
| b2 | - | - | | |
| b3 | - | - | | |
| b4 | - | - | | |
| b5 | - | - | | |
| b6 | - | - | | |
| b7 | - | - | | |
| b8 | - | - | 受信データ (D8) | R |
| b9 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b10 | - | | | |
| b11 | - | | | |
| b12 | OER | オーバランエラーフラグ(注1) | 0: オーバランエラーなし 1: オーバランエラー発生 | R |
| b13 | FER | フレーミングエラーフラグ(注1、2) | 0: フレーミングエラーなし 1: フレーミングエラー発生 | R |
| b14 | PER | パリティエラーフラグ(注1、2) | 0: パリティエラーなし 1: パリティエラー発生 | R |
| b15 | SUM | エラーサムフラグ(注1、2) | 0: エラーなし 1: エラー発生 | R |

注1. SUM、PER、FER、OERビットは、UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

UiMRレジスタのSMD2 ~ SMD0ビットを“000b”にするときは、UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. UiMRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

UiRBレジスタは必ず16ビット単位で読み出してください。

22.2.7 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

| | | | | | | | | |
|---------|----|----|----|----------|----|----------|----|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | CLK0SELO | - | RXD0SELO | - | TXD0SELO |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|------------------------------------|-----|
| b0 | TXD0SELO | TXD0端子選択ビット | 0 : TXD0端子は使用しない 1 : P1_4に割り当てる | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | RXD0SELO | RXD0端子選択ビット | 0 : RXD0端子は使用しない 1 : P1_5に割り当てる | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | CLK0SELO | CLK0端子選択ビット | 0 : CLK0端子は使用しない 1 : P1_6に割り当てる | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b6 | - | | | |
| b7 | - | | | |

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

22.2.8 UART1 端子選択レジスタ(U1SR)

アドレス 0189h 番地

| | | | | | | | | |
|---------|----|----|----------|----------|----------|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | CLK1SEL1 | CLK1SEL0 | RXD1SEL1 | RXD1SEL0 | TXD1SEL1 | TXD1SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|---|-----|
| b0 | TXD1SEL0 | TXD1 端子選択ビット | b1 b0 00 : TXD1 端子は使用しない 01 : P0_1 に割り当てる 10 : P6_3 に割り当てる 11 : 設定しないでください | R/W |
| b1 | TXD1SEL1 | | | R/W |
| b2 | RXD1SEL0 | RXD1 端子選択ビット | b3 b2 00 : RXD1 端子は使用しない 01 : P0_2 に割り当てる 10 : P6_4 に割り当てる 11 : 設定しないでください | R/W |
| b3 | RXD1SEL1 | | | R/W |
| b4 | CLK1SEL0 | CLK1 端子選択ビット | b5 b4 00 : CLK1 端子は使用しない 01 : P0_3 に割り当てる 10 : P6_2 に割り当てる 11 : P6_5 に割り当てる | R/W |
| b5 | CLK1SEL1 | | | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | - |

U1SR レジスタは、UART1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART1 の入出力端子を使用する場合は、U1SR レジスタを設定してください。

UART1 の関連レジスタを設定する前に、U1SR レジスタを設定してください。また、UART1 の動作中はU1SR レジスタの設定値を変更しないでください。

22.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 22.2にクロック同期形シリアルI/Oモードの仕様を、表 22.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 22.2 クロック同期形シリアルI/Oモードの仕様

| 項目 | 仕様 |
|---------------|--|
| 転送データフォーマット | ・転送データ長 8ビット |
| 転送クロック | ・UiMRレジスタのCKDIRビットが“0”(内部クロック) : $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}, f_C$ $n=UiBRG$ レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : CLKi端子からの入力 |
| 送信開始条件 | ・送信開始には、以下の条件が必要です(注1)。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) |
| 受信開始条件 | ・受信開始には、以下の条件が必要です(注1)。 UiC1レジスタのREビットが“1”(受信許可) UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) |
| 割り込み要求発生タイミング | ・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時) |
| エラー検出 | ・オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生 |
| 選択機能 | ・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 UiRBレジスタを読み出す動作により、同時に受信許可状態になる |

i=0 ~ 1

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 22.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

| レジスタ | ビット | 機能 |
|-------|-------------|-------------------------------|
| UiTB | b0 ~ b7 | 送信データを設定してください |
| UiRB | b0 ~ b7 | 受信データが読めます |
| | OER | オーバランエラーフラグ |
| UiBRG | b0 ~ b7 | ビットレートを設定してください |
| UiMR | SMD2 ~ SMD0 | “001b” にしてください |
| | CKDIR | 内部クロック、外部クロックを選択してください |
| UiC0 | CLK1 ~ CLK0 | UiBRGレジスタのカウントソースを選択してください |
| | TXEPT | 送信レジスタ空フラグ |
| | NCH | TXDi端子の出力形式を選択してください |
| | CKPOL | 転送クロックの極性を選択してください |
| | UFORM | LSBファースト、またはMSBファーストを選択してください |
| UiC1 | TE | 送受信を許可する場合、“1” にしてください |
| | TI | 送信バッファ空フラグ |
| | RE | 受信を許可する場合、“1” にしてください |
| | RI | 受信完了フラグ |
| | UiIRS | UARTi送信割り込み要因を選択してください |
| | UiRRM | 連続受信モードを使用する場合、“1” にしてください |

i=0 ~ 1

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 22.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UARTi (i=0 ~ 1)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(NCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 22.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

| 端子名 | 機能 | 選択方法 |
|--------------------------|-----------|---|
| TXD0(P1_4) | シリアルデータ出力 | U0SRレジスタのTXD0SEL0ビット = 1 (受信だけを行うときはTXD0SEL0ビット = 0と設定することで、P1_4をポートとして使用可) |
| RXD0(P1_5) | シリアルデータ入力 | U0SRレジスタのRXD0SEL0ビット = 1 PD1レジスタのPD1_5ビット = 0 (送信だけを行うときはRXD0SEL0ビット = 0と設定することで、P1_5をポートとして使用可) |
| CLK0(P1_6) | 転送クロック出力 | U0SRレジスタのCLK0SEL0ビット = 1 U0MRレジスタのCKDIRビット = 0 |
| | 転送クロック入力 | U0SRレジスタのCLK0SEL0ビット = 1 U0MRレジスタのCKDIRビット = 1 PD1レジスタのPD1_6ビット = 0 |
| TXD1(P0_1またはP6_3) | シリアルデータ出力 | <ul style="list-style-type: none"> •TXD1(P0_1)の場合 U1SRレジスタのTXD1SEL1、TXD1SEL0ビット = 01b(P0_1) •TXD1(P6_3)の場合 U1SRレジスタのTXD1SEL1、TXD1SEL0ビット = 10b(P6_3) •受信だけを行うときはTXD1SEL1、TXD1SEL0ビット = 00bと設定することで、P0_1、P6_3をポートとして使用可 |
| RXD1(P0_2またはP6_4) | シリアルデータ入力 | <ul style="list-style-type: none"> •RXD1(P0_2)の場合 U1SRレジスタのRXD1SEL1、RXD1SEL0ビット = 01b(P0_2) PD0レジスタのPD0_2ビット = 0 •RXD1(P6_4)の場合 U1SRレジスタのRXD1SEL1、RXD1SEL0ビット = 10b(P6_4) PD6レジスタのPD6_4ビット = 0 •送信だけを行うときはRXD1SEL1、RXD1SEL0ビット = 00bと設定することで、P0_2、P6_4をポートとして使用可 |
| CLK1(P0_3またはP6_2またはP6_5) | 転送クロック出力 | <ul style="list-style-type: none"> •CLK1(P0_3)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 01b(P0_3) U1MRレジスタのCKDIRビット = 0 •CLK1(P6_2)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 10b(P6_2) U1MRレジスタのCKDIRビット = 0 •CLK1(P6_5)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 11b(P6_5) U1MRレジスタのCKDIRビット = 0 |
| | 転送クロック入力 | <ul style="list-style-type: none"> •CLK1(P0_3)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 01b(P0_3) U1MRレジスタのCKDIRビット = 1 PD0レジスタのPD0_3ビット = 0 •CLK1(P6_2)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 10b(P6_2) U1MRレジスタのCKDIRビット = 1 PD6レジスタのPD6_2ビット = 0 •CLK1(P6_5)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 11b(P6_5) U1MRレジスタのCKDIRビット = 1 PD6レジスタのPD6_5ビット = 0 |

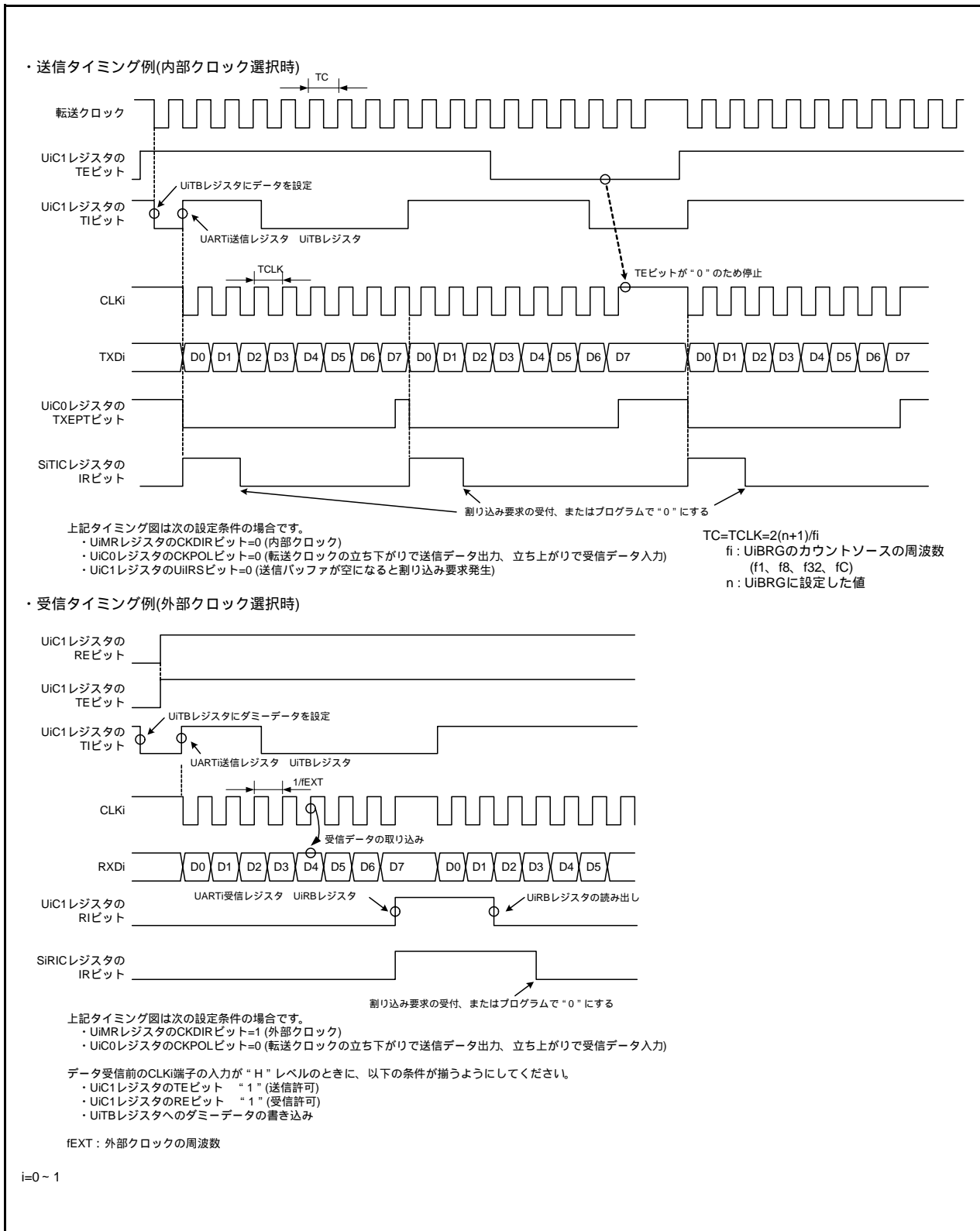


図 22.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

22.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) UiC1レジスタ(i = 0 ~ 1)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2 ~ SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

22.3.2 極性選択機能

図 22.4 に転送クロックの極性を示します。UiC0 レジスタ (i=0 ~ 1) の CKPOL ビットによって転送クロックの極性を選択できます。

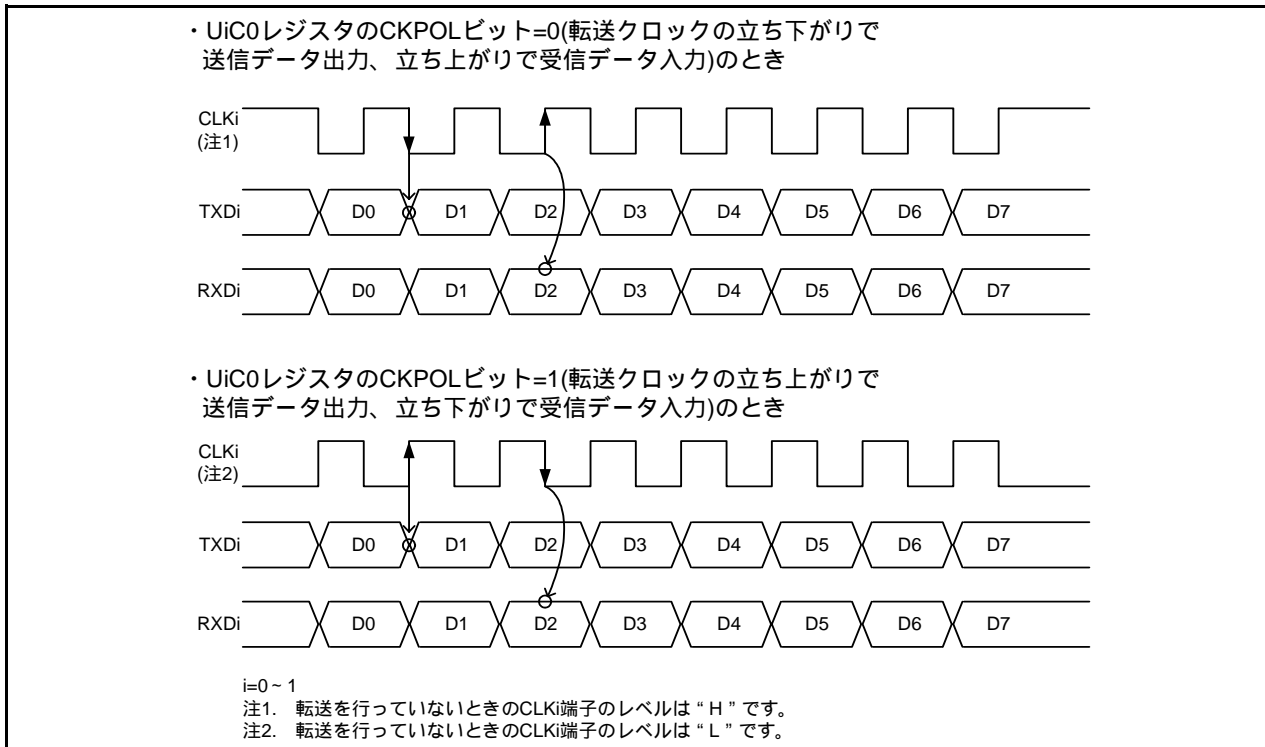


図 22.4 転送クロックの極性

22.3.3 LSBファースト、MSBファースト選択

図 22.5 に転送フォーマットを示します。UiC0 レジスタ (i=0 ~ 1) の UFORM ビットで転送フォーマットを選択できます。

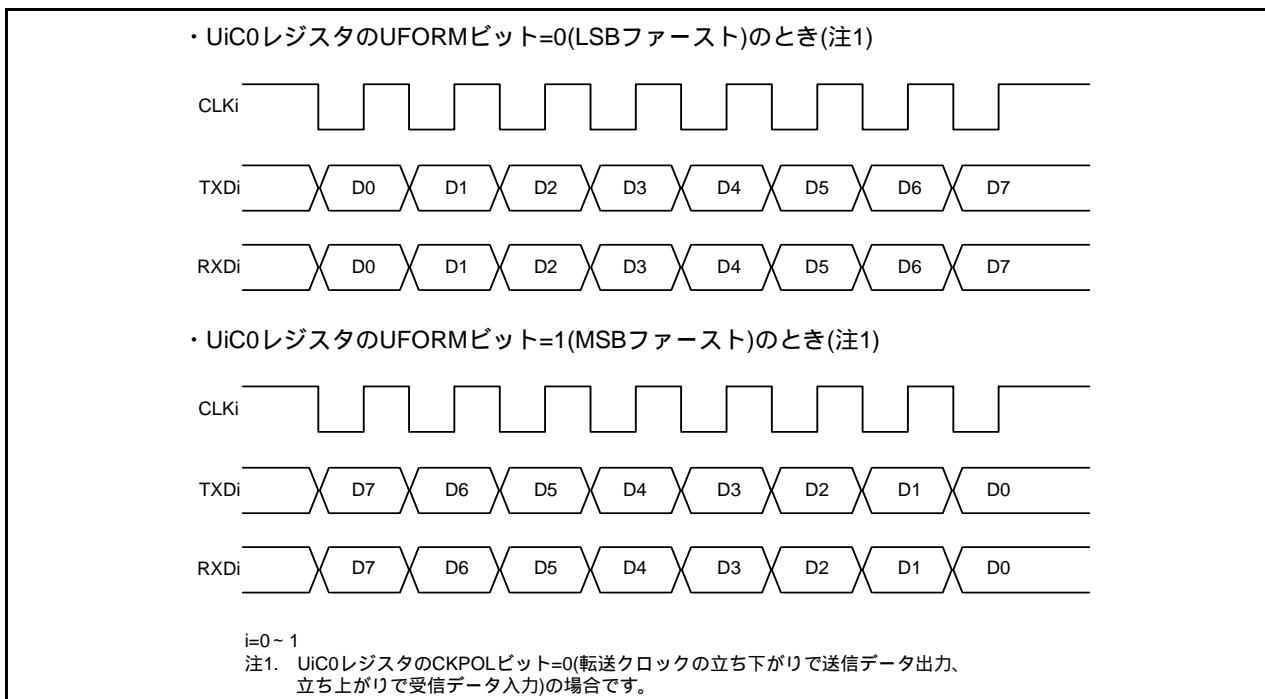


図 22.5 転送フォーマット

22.3.4 連続受信モード

U_iC1レジスタ(i=0 ~ 1)のU_iRRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U_iRBレジスタを読むことでU_iC1レジスタのTIビットが“0”(U_iTBにデータあり)になります。U_iRRMビットが“1”の場合、プログラムでU_iTBレジスタにダミーデータを書かないでください。

22.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表 22.5 にクロック非同期形シリアルI/Oモードの仕様を、表 22.6 にUARTモード時の使用レジスタと設定値を示します。

表 22.5 クロック非同期形シリアルI/Oモードの仕様

| 項目 | 仕様 |
|---------------|---|
| 転送データフォーマット | <ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、無し選択可 ・ストップビット 1ビット、2ビット選択可 |
| 転送クロック | <ul style="list-style-type: none"> ・UiMRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=UiBRG$レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLKi端子からの入力 $n=UiBRG$レジスタの設定値 00h ~ FFh |
| 送信開始条件 | <ul style="list-style-type: none"> ・送信開始には、以下の条件が必要です。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) |
| 受信開始条件 | <ul style="list-style-type: none"> ・受信開始には、以下の条件が必要です。 UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出 |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> ・送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時) |
| エラー検出 | <ul style="list-style-type: none"> ・オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生(注2) ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生(注2) ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる |

i=0 ~ 1

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに“1”になります。

表 22.6 UARTモード時の使用レジスタと設定値

| レジスタ | ビット | 機能 |
|-------|-----------------|--|
| UiTB | b0 ~ b8 | 送信データを設定してください(注1)。 |
| UiRB | b0 ~ b8 | 受信データが読めます(注2)。 |
| | OER、FER、PER、SUM | エラーフラグ |
| UiBRG | b0 ~ b7 | ビットレートを設定してください。 |
| UiMR | SMD2 ~ SMD0 | 転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。 |
| | CKDIR | 内部クロック、外部クロックを選択してください。 |
| | STPS | ストップビットを選択してください。 |
| | PRY、PRYE | パリティの有無、偶数奇数を選択してください。 |
| UiC0 | CLK1 ~ CLK0 | UiBRGレジスタのカウントソースを選択してください。 |
| | TXEPT | 送信レジスタ空フラグ |
| | NCH | TXDi端子の出力形式を選択してください。 |
| | CKPOL | “0”にしてください。 |
| | UFORM | 転送データ長8ビット時、LSBファースト、MSBファーストを選択できません。 転送データ長7ビットまたは9ビット時は“0”にしてください。 |
| UiC1 | TE | 送信を許可する場合、“1”にしてください。 |
| | TI | 送信バッファ空フラグ |
| | RE | 受信を許可する場合、“1”にしてください。 |
| | RI | 受信完了フラグ |
| | UiIRS | UARTi送信割り込み要因を選択してください。 |
| | UiRRM | “0”にしてください。 |

i=0 ~ 1

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表 22.7にUARTモード時の入出力端子の機能を示します。なお、UARTi(i=0 ~ 1)の動作モード選択後、転送開始までは、TXDi 端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 22.7 UARTモード時の入出力端子の機能

| 端子名 | 機能 | 選択方法 |
|--------------------------|---------------|---|
| TXD0(P1_4) | シリアルデータ出力 | U0SRレジスタのTXD0SEL0ビット=1 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、P1_4をポートとして使用可) |
| RXD0(P1_5) | シリアルデータ入力 | U0SRレジスタのRXD0SEL0ビット=1 PD1レジスタのPD1_5ビット=0 (送信だけを行うときはRXD0SEL0ビット=0と設定することで、P1_5をポートとして使用可) |
| CLK0(P1_6) | プログラマブル入出力ポート | U0SRレジスタのCLK0SEL0ビット=0(CLK0端子は使用しない) |
| | 転送クロック入力 | U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0 |
| TXD1(P0_1またはP6_3) | シリアルデータ出力 | <ul style="list-style-type: none"> •TXD1(P0_1)の場合 U1SRレジスタのTXD1SEL1、TXD1SEL0ビット=01b(P0_1) •TXD1(P6_3)の場合 U1SRレジスタのTXD1SEL1、TXD1SEL0ビット=10b(P6_3) •受信だけを行うときはTXD1SEL1、TXD1SEL0ビット=00bと設定することで、P0_1、P6_3をポートとして使用可 |
| RXD1(P0_2またはP6_4) | シリアルデータ入力 | <ul style="list-style-type: none"> •RXD1(P0_2)の場合 U1SRレジスタのRXD1SEL1、RXD1SEL0ビット=01b(P0_2) PD0レジスタのPD0_2ビット=0 •RXD1(P6_4)の場合 U1SRレジスタのRXD1SEL1、RXD1SEL0ビット=10b(P6_4) PD6レジスタのPD6_4ビット=0 •送信だけを行うときはRXD1SEL1、RXD1SEL0ビット=00bと設定することで、P0_2、P6_4をポートとして使用可 |
| CLK1(P0_3またはP6_2またはP6_5) | プログラマブル入出力ポート | U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=00b(CLK1端子は使用しない) |
| | 転送クロック入力 | <ul style="list-style-type: none"> •CLK1(P0_3)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=01b(P0_3) U1MRレジスタのCKDIRビット=1 PD0レジスタのPD0_3ビット=0 •CLK1(P6_2)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=10b(P6_2) U1MRレジスタのCKDIRビット=1 PD6レジスタのPD6_2ビット=0 •CLK1(P6_5)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=11b(P6_5) U1MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0 |

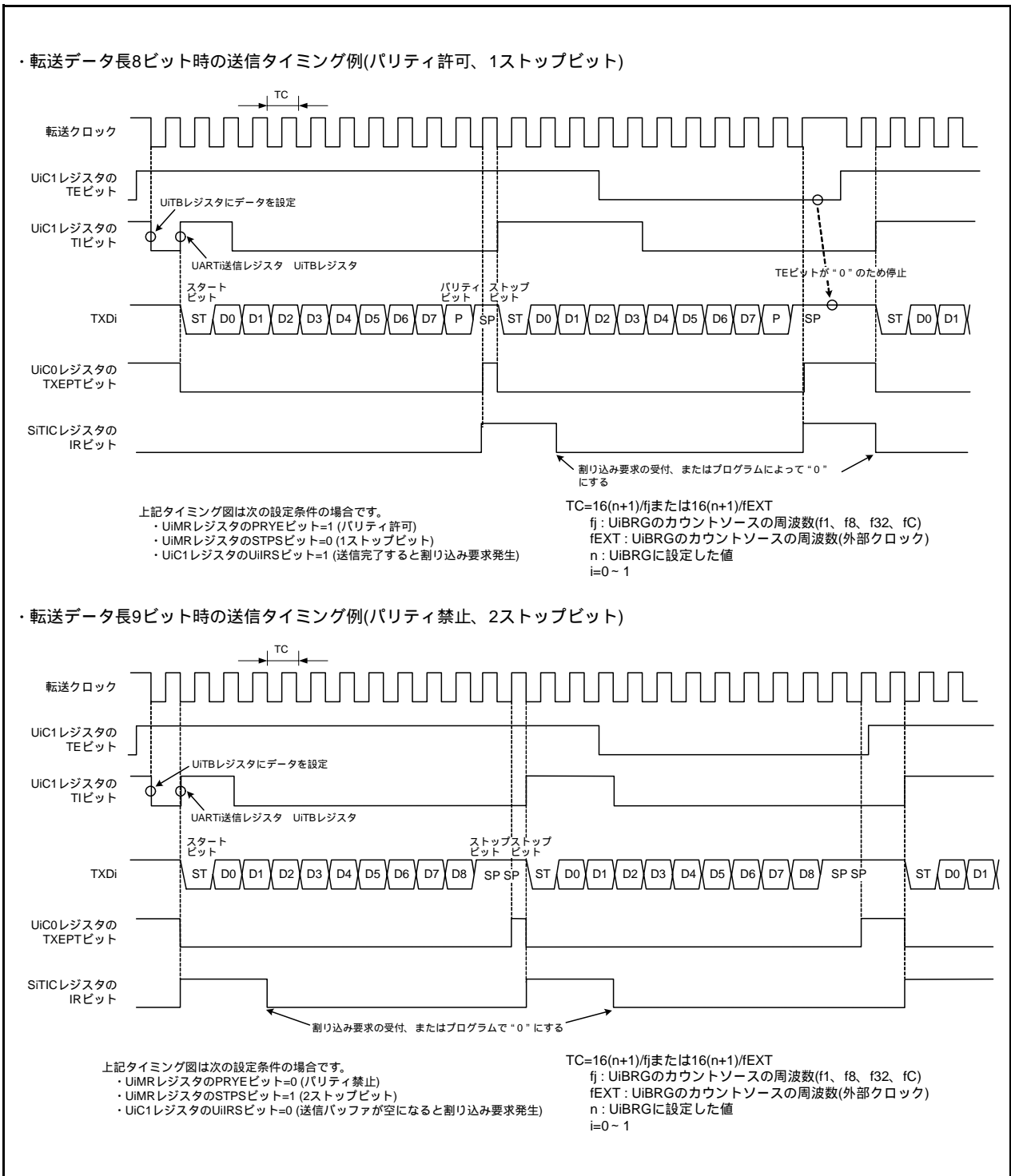


図 22.6 UARTモード時の送信タイミング

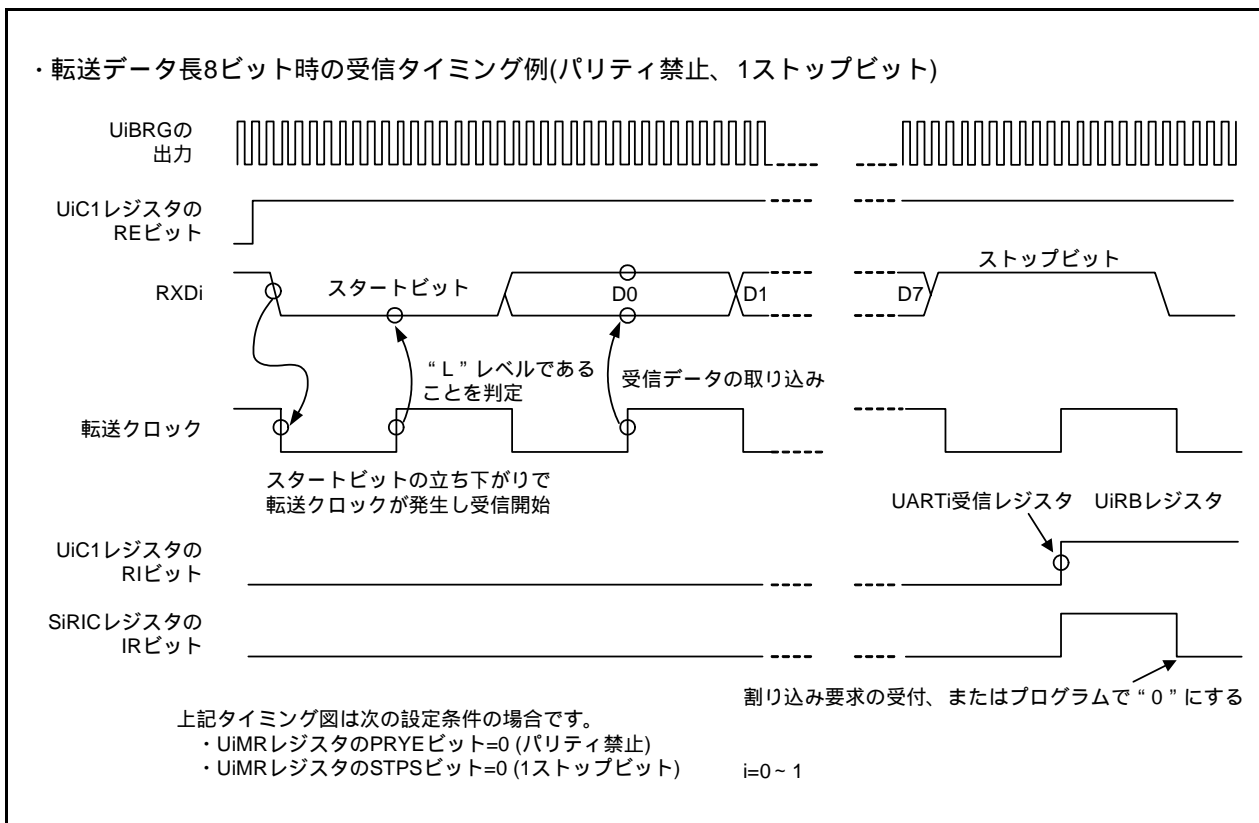


図 22.7 UARTモード時の受信タイミング例

22.4.1 ビットレート

UARTモードではUiBRGレジスタ(i=0 ~ 1)で分周した周波数の16分周がビットレートになります。

| | | |
|--|--|--|
| < UARTモード > | | |
| ・ 内部クロック選択時 | | |
| $\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$ | | |
| f _j : UiBRGレジスタのカウンタソースの周波数(f ₁ 、f ₈ 、f ₃₂ 、f _C) | | |
| ・ 外部クロック選択時 | | |
| $\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$ | | |
| f _{EXT} : UiBRGレジスタのカウンタソースの周波数(外部クロック) | | |
| i=0 ~ 1 | | |

図 22.8 UiBRGレジスタ(i=0 ~ 1)の設定値の算出式

表 22.8 UARTモード時のビットレート設定例(内部クロック選択時)

| ビットレート (bps) | UiBRGのカウンタソース | システムクロック = 20 MHz | | | システムクロック = 18.432 MHz (注1) | | | システムクロック = 8 MHz | | |
|--------------|---------------|-------------------|-----------|----------|----------------------------|-----------|----------|------------------|-----------|----------|
| | | UiBRGの設定値 | 実時間 (bps) | 設定誤差 (%) | UiBRGの設定値 | 実時間 (bps) | 設定誤差 (%) | UiBRGの設定値 | 実時間 (bps) | 設定誤差 (%) |
| 1200 | f8 | 129 (81h) | 1201.92 | 0.16 | 119 (77h) | 1200.00 | 0.00 | 51 (33h) | 1201.92 | 0.16 |
| 2400 | f8 | 64 (40h) | 2403.85 | 0.16 | 59 (3Bh) | 2400.00 | 0.00 | 25 (19h) | 2403.85 | 0.16 |
| 4800 | f8 | 32 (20h) | 4734.85 | - 1.36 | 29 (1Dh) | 4800.00 | 0.00 | 12 (0Ch) | 4807.69 | 0.16 |
| 9600 | f1 | 129 (81h) | 9615.38 | 0.16 | 119 (77h) | 9600.00 | 0.00 | 51 (33h) | 9615.38 | 0.16 |
| 14400 | f1 | 86 (56h) | 14367.82 | - 0.22 | 79 (4Fh) | 14400.00 | 0.00 | 34 (22h) | 14285.71 | - 0.79 |
| 19200 | f1 | 64 (40h) | 19230.77 | 0.16 | 59 (3Bh) | 19200.00 | 0.00 | 25 (19h) | 19230.77 | 0.16 |
| 28800 | f1 | 42 (2Ah) | 29069.77 | 0.94 | 39 (27h) | 28800.00 | 0.00 | 16 (10h) | 29411.76 | 2.12 |
| 38400 | f1 | 32 (20h) | 37878.79 | - 1.36 | 29 (1Dh) | 38400.00 | 0.00 | 12 (0Ch) | 38461.54 | 0.16 |
| 57600 | f1 | 21 (15h) | 56818.18 | - 1.36 | 19 (13h) | 57600.00 | 0.00 | 8 (08h) | 55555.56 | - 3.55 |
| 115200 | f1 | 10 (0Ah) | 113636.36 | - 1.36 | 9 (09h) | 115200.00 | 0.00 | | | |

i=0 ~ 1

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「34. 電気的特性」を参照してください。

22.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) UiC1レジスタ(i = 0 ~ 1)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2 ~ SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

22.5 シリアルインタフェース(UARTi (i=0 ~ 1))使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```

23. シリアルインタフェース(UART2)

シリアルインタフェースはUART0 ~ UART2の3チャンネルで構成しています。本章はUART2について説明します。

23.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

図 23.1にUART2のブロック図を、図 23.2にUART2送受信部のブロック図を示します。表 23.1にUART2の端子構成を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I²Cモード)
- マルチプロセッサ通信機能

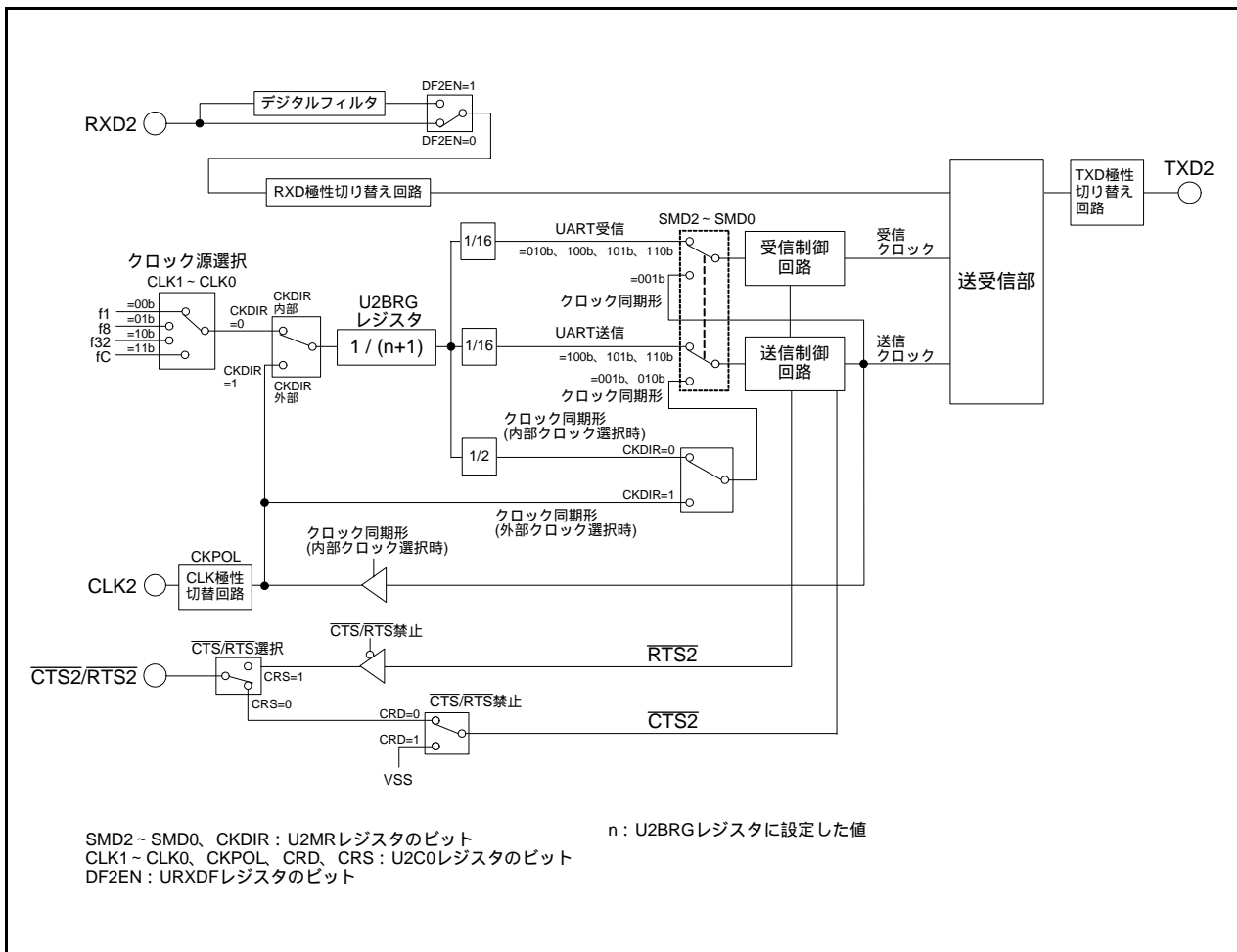


図 23.1 UART2のブロック図

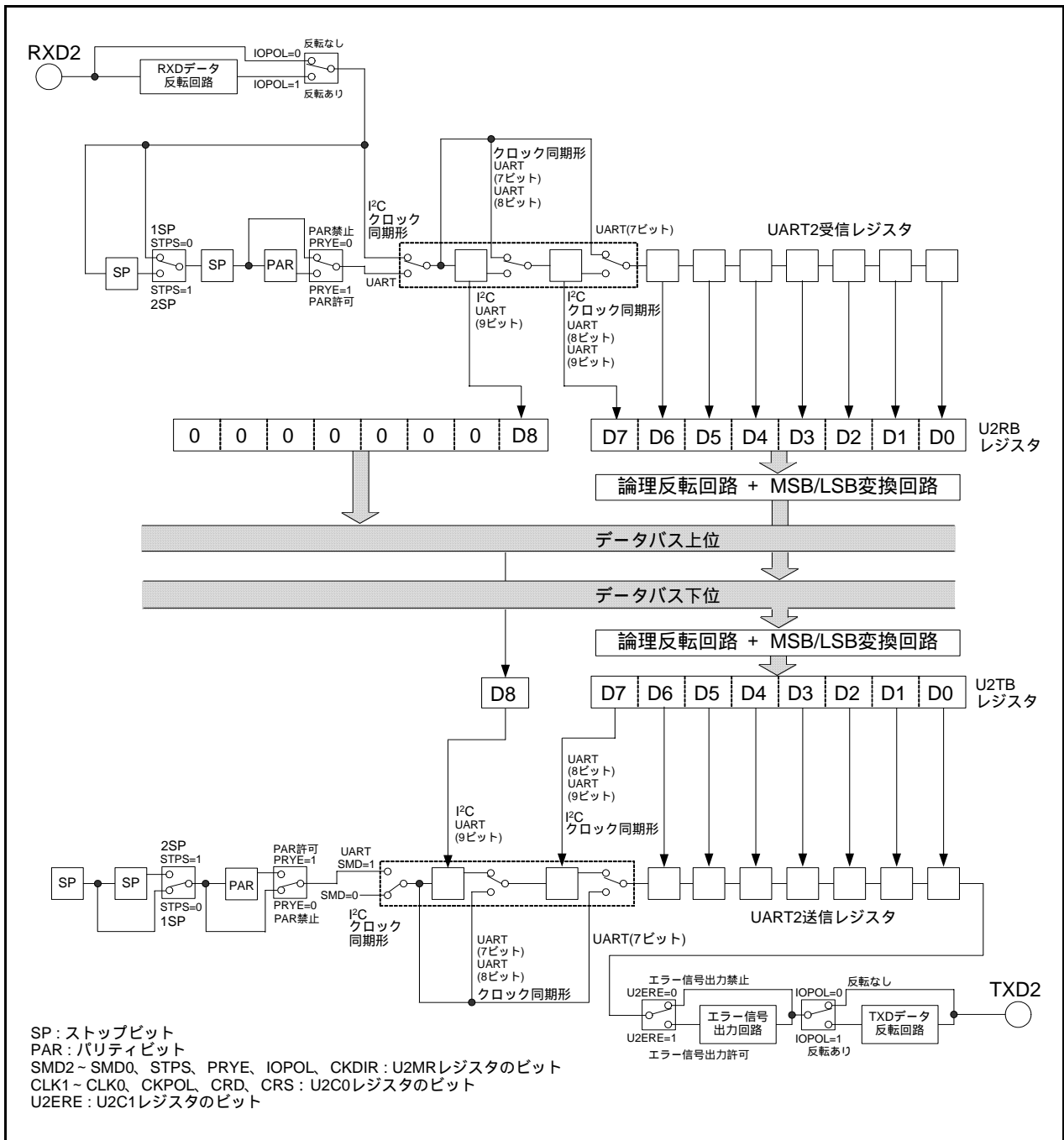


図 23.2 UART2送受信部のブロック図

表 23.1 UART2の端子構成

| 端子名 | 割り当てる端子 | 入出力 | 機能 |
|------|------------------|-----|-----------------------------|
| TXD2 | P3_4、P3_7またはP6_6 | 出力 | シリアルデータ出力 |
| RXD2 | P3_4、P3_7またはP4_5 | 入力 | シリアルデータ入力 |
| CLK2 | P3_5またはP6_5 | 入出力 | 転送クロック入出力 |
| CTS2 | P3_3 | 入力 | 送信制御用入力 |
| RTS2 | P3_3 | 出力 | 受信制御用出力 |
| SCL2 | P3_4、P3_7またはP4_5 | 入出力 | I ² Cモードのクロック入出力 |
| SDA2 | P3_4、P3_7またはP6_6 | 入出力 | I ² Cモードのデータ入出力 |

23.2 レジスタの説明

23.2.1 UART2送受信モードレジスタ(U2MR)

アドレス 00A8h 番地

| | | | | | | | | |
|---------|-------|------|-----|------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | IOPOL | PRYE | PRY | STPS | CKDIR | SMD2 | SMD1 | SMD0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---------------------|---|-----|
| b0 | SMD0 | シリアルI/Oモード選択ビット | b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 010: I ² Cモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください | R/W |
| b1 | SMD1 | | | R/W |
| b2 | SMD2 | | | R/W |
| b3 | CKDIR | 内/外部クロック選択ビット | 0: 内部クロック 1: 外部クロック | R/W |
| b4 | STPS | ストップビット長選択ビット | 0: 1ストップビット 1: 2ストップビット | R/W |
| b5 | PRY | パリティ奇/偶選択ビット | PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ | R/W |
| b6 | PRYE | パリティ許可ビット | 0: パリティ禁止 1: パリティ許可 | R/W |
| b7 | IOPOL | TXD、RXD入出力極性切り替えビット | 0: 反転なし 1: 反転あり | R/W |

23.2.2 UART2ビットレートレジスタ(U2BRG)

アドレス 00A9h 番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | 機能 | 設定範囲 | R/W |
|---------|---------------------------------|-----------|-----|
| b7 ~ b0 | 設定値をnとすると、U2BRGはカウントソースをn+1分周する | 00h ~ FFh | W |

U2BRGレジスタは、送受信停止中に書いてください。

U2BRGレジスタは、MOV命令を使用して書いてください。

U2C0レジスタのCLK1 ~ CLK0ビットを設定した後にU2BRGレジスタに書いてください。

U2BRGレジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

23.2.3 UART2送信バッファレジスタ (U2TB)

アドレス 00ABh ~ 00AAh番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|------|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | MPTB |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | シンボル | 機能 | R/W |
|-----|------|--|-----|
| b0 | - | 送信データ(D7 ~ D0) | W |
| b1 | - | | |
| b2 | - | | |
| b3 | - | | |
| b4 | - | | |
| b5 | - | | |
| b6 | - | | |
| b7 | - | | |
| b8 | MPTB | 送信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 送信データD8 [マルチプロセッサ通信機能を使用する場合] •IDを転送するときは、MPTBビットを“1”にしてください •データを転送するときは、MPTBビットを“0”にしてください | W |
| b9 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | - |
| b10 | - | | |
| b11 | - | | |
| b12 | - | | |
| b13 | - | | |
| b14 | - | | |
| b15 | - | | |

注1. MPTBビットを設定した後、b0 ~ b7を設定してください。

23.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

| | | | | | | | | |
|---------|-------|-------|-----|-----|-------|-----|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | UFORM | CKPOL | NCH | CRD | TXEPT | CRS | CLK1 | CLK0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---------------------------|--|-----|
| b0 | CLK0 | U2BRGカウンタソース選択ビット (注1) | b1 b0 00 : f1を選択 01 : f8選択 10 : f32を選択 11 : fCを選択 | R/W |
| b1 | CLK1 | | | R/W |
| b2 | CRS | CTS/RTS機能選択ビット | CRD=0のとき有効 0 : CTS機能を選択 1 : RTS機能を選択 | R/W |
| b3 | TXEPT | 送信レジスタ空フラグ | 0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了) | R |
| b4 | CRD | CTS/RTS禁止ビット | 0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 | R/W |
| b5 | NCH | データ出力選択ビット | 0 : TXD2/SDA2、SCL2端子はCMOS出力 1 : TXD2/SDA2、SCL2端子はNチャネルオープンドレイン出力 | R/W |
| b6 | CKPOL | CLK極性選択ビット | 0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力 | R/W |
| b7 | UFORM | 転送フォーマット選択ビット(注2) | 0 : LSBファースト 1 : MSBファースト | R/W |

注1. CLK1 ~ CLK0ビットを変更した場合は、U2BRGレジスタを再設定してください。

注2. UFORMビットはU2MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。

SMD2 ~ SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

23.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス 00ADh番地

| | | | | | | | | |
|---------|-------|-------|-------|-------|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | U2ERE | U2LCH | U2RRM | U2IRS | RI | RE | TI | TE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--------------------|--|-----|
| b0 | TE | 送信許可ビット | 0: 送信禁止 1: 送信許可 | R/W |
| b1 | TI | 送信バッファ空フラグ | 0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし | R |
| b2 | RE | 受信許可ビット | 0: 受信禁止 1: 受信許可 | R/W |
| b3 | RI | 受信完了フラグ | 0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり | R |
| b4 | U2IRS | UART2送信割り込み要因選択ビット | 0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1) | R/W |
| b5 | U2RRM | UART2連続受信モード許可ビット | 0: 連続受信モード禁止 1: 連続受信モード許可 | R/W |
| b6 | U2LCH | データ論理選択ビット(注1) | 0: 反転なし 1: 反転あり | R/W |
| b7 | U2ERE | エラー信号出力許可ビット | 0: 出力しない 1: 出力する | R/W |

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

23.2.6 UART2受信バッファレジスタ(U2RB)

アドレス 00AFh ~ 00AEh番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|------|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | SUM | PER | FER | OER | - | - | - | MPRB |
| リセット後の値 | X | X | X | X | X | X | X | X |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---|--|-----|
| b0 | - | - | 受信データ(D7 ~ D0) | R |
| b1 | - | - | | |
| b2 | - | - | | |
| b3 | - | - | | |
| b4 | - | - | | |
| b5 | - | - | | |
| b6 | - | - | | |
| b7 | - | - | | |
| b8 | MPRB | - | 受信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 受信データ(D8) [マルチプロセッサ通信機能を使用する場合] • MPRBビットが“0”のとき、受信したD0 ~ D7 はデータフィールド • MPRBビットが“1”のとき、受信したD0 ~ D7 はIDフィールド | R |
| b9 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b10 | - | | | |
| b11 | - | 予約ビット | “0”にしてください | R/W |
| b12 | OER | オーバランエラーフラグ(注1) | 0: オーバランエラーなし 1: オーバランエラー発生 | R |
| b13 | FER | フレーミングエラーフラグ (注1、2) | 0: フレーミングエラーなし 1: フレーミングエラー発生 | R |
| b14 | PER | パリティエラーフラグ(注1、2) | 0: パリティエラーなし 1: パリティエラー発生 | R |
| b15 | SUM | エラーサムフラグ(注1、2) | 0: エラーなし 1: エラー発生 | R |

注1. U2MRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU2C1レジスタのREビットを0(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U2RBレジスタの下位バイトを読んだとき、“0”になります。

U2MRレジスタのSMD2 ~ SMD0ビットを“000b”にするときは、U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U2MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U2RBレジスタは必ず16ビット単位で読み出してください。

23.2.7 UART2デジタルフィルタ機能選択レジスタ(URXDF)

アドレス 00B0h番地

| | | | | | | | | |
|---------|----|----|----|----|----|-------|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | DF2EN | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--------------------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | DF2EN | RXD2デジタルフィルタ許可ビット (注1) | 0：RXD2デジタルフィルタ禁止 1：RXD2デジタルフィルタ許可 | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. RXD2デジタルフィルタはクロック非同期形シリアルI/O(UART)モードでのみ、使用できます。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“010b”(I²Cモード)のときは、DF2ENビットを“0”(RXD2デジタルフィルタ禁止)にしてください。

23.2.8 UART2特殊モードレジスタ5(U2SMR5)

アドレス 00BBh番地

| | | | | | | | | |
|---------|----|----|----|------|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | MPIE | - | - | - | MP |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | MP | マルチプロセッサ通信許可ビット | 0：マルチプロセッサ通信禁止 1：マルチプロセッサ通信許可(注1) | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | MPIE | マルチプロセッサ通信制御ビット | MPビットが“1”(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが“1”のとき、次の状態になります。 •マルチプロセッサビットが“0”の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが“1”になることを禁止します。 •マルチプロセッサビットが“1”の受信データを受信すると、MPIEビットは“0”になり、マルチプロセッサ通信以外の受信動作になります。 | R/W |
| b5 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b6 | - | | | |
| b7 | - | 予約ビット | “0”にしてください | R/W |

注1. MPビットが“1”(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)では、MPビットを“0”(マルチプロセッサ通信禁止)にしてください。

23.2.9 UART2特殊モードレジスタ4 (U2SMR4)

アドレス 00BCh番地

| | | | | | | | | |
|---------|------|-------|------|------|---------|--------|---------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | SWC9 | SCLHI | ACKC | ACKD | STSPSEL | STPREQ | RSTAREQ | STAREQ |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|---------------------------|---|-----|
| b0 | STAREQ | スタートコンディション生成ビット (注1) | 0: クリア 1: スタート | R/W |
| b1 | RSTAREQ | リスタートコンディション生成ビット (注1) | 0: クリア 1: スタート | R/W |
| b2 | STPREQ | ストップコンディション生成ビット (注1) | 0: クリア 1: スタート | R/W |
| b3 | STSPSEL | SCL、SDA出力選択ビット | 0: スタートコンディション、ストップコン ディション出力しない 1: スタートコンディション、ストップコン ディション出力する | R/W |
| b4 | ACKD | ACKデータビット | 0: ACK 1: NACK | R/W |
| b5 | ACKC | ACKデータ出力許可ビット | 0: シリアルインタフェースデータ出力 1: ACKデータ出力 | R/W |
| b6 | SCLHI | SCL出力停止許可ビット | 0: 禁止 1: 許可 | R/W |
| b7 | SWC9 | SCLウェイトビット3 | 0: SCL "L" ホールド禁止 1: SCL "L" ホールド許可 | R/W |

注1. 各コンディションが生成されたとき、“0”になります。

23.2.10 UART2特殊モードレジスタ3 (U2SMR3)

アドレス 00BDh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|-----|-----|----|------|----|------|----|
| シンボル | DL2 | DL1 | DL0 | - | NODC | - | CKPH | - |
| リセット後の値 | 0 | 0 | 0 | X | 0 | X | 0 | X |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|---|---|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b1 | CKPH | クロック位相設定ビット | 0：クロック遅れなし 1：クロック遅れあり | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b3 | NODC | クロック出力選択ビット | 0：CLK2はCMOS出力 1：CLK2はNチャンネルオープンドレイン出力 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |
| b5 | DL0 | SDA2デジタル遅延値設定ビット (注1、2) | b7 b6 b5 000：遅延なし 001：U2BRG カウントソースの1～2サイクル 010：U2BRG カウントソースの2～3サイクル 011：U2BRG カウントソースの3～4サイクル 100：U2BRG カウントソースの4～5サイクル 101：U2BRG カウントソースの5～6サイクル 110：U2BRG カウントソースの6～7サイクル 111：U2BRG カウントソースの7～8サイクル | R/W |
| b6 | DL1 | | | R/W |
| b7 | DL2 | | | R/W |

注1. DL2～DL0ビットはI²Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b”（遅延なし）にしてください。

注2. 遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

23.2.11 UART2特殊モードレジスタ2 (U2SMR2)

アドレス 00BEh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|------|------|------|----|-----|-----|-------|
| シンボル | - | SDHI | SWC2 | STAC | - | SWC | CSC | IICM2 |
| リセット後の値 | X | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---|--------------------------------------|-----|
| b0 | IICM2 | I ² Cモード選択ビット2 | 「表 23.12 I ² Cモード時の各機能」参照 | R/W |
| b1 | CSC | クロック同期化ビット | 0：禁止 1：許可 | R/W |
| b2 | SWC | SCLウェイト出力ビット | 0：禁止 1：許可 | R/W |
| b3 | - | 予約ビット | “0”にしてください | R/W |
| b4 | STAC | UART2初期化ビット | 0：禁止 1：許可 | R/W |
| b5 | SWC2 | SCLウェイト出力ビット2 | 0：転送クロック 1：“L”出力 | R/W |
| b6 | SDHI | SDA出力禁止ビット | 0：許可 1：禁止(ハイインピーダンス) | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | | - |

23.2.12 UART2特殊モードレジスタ (U2SMR)

アドレス 00BFh番地

| | | | | | | | | |
|---------|----|----|----|----|----|-----|----|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | BBS | - | IICM |
| リセット後の値 | X | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | IICM | I ² Cモード選択ビット | 0: I ² Cモード以外 1: I ² Cモード | R/W |
| b1 | - | 予約ビット | "0" にしてください | R/W |
| b2 | BBS | パスビジーフラグ(注1) | 0: ストップコンディション検出 1: スタートコンディション検出(ビジー) | R/W |
| b3 | - | 予約ビット | "0" にしてください | R/W |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | 何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は不定。 | - | - |

注1. BBSビットはプログラムで"0"を書くと"0"になります("1"を書いても変化しません)。

23.2.13 UART2 端子選択レジスタ0 (U2SR0)

アドレス 018Ah 番地

| | | | | | | | | |
|---------|----|----|----------|----------|----|----------|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | RXD2SEL1 | RXD2SEL0 | - | TXD2SEL2 | TXD2SEL1 | TXD2SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|---|-----|
| b0 | TXD2SEL0 | TXD2/SDA2 端子選択ビット | b2 b1 b0 000 : TXD2/SDA2 端子は使用しない 001 : P3_7 に割り当てる 010 : P3_4 に割り当てる 011 : 設定しないでください 100 : 設定しないでください 101 : P6_6 に割り当てる 110 : 設定しないでください 111 : 設定しないでください | R/W |
| b1 | TXD2SEL1 | | | R/W |
| b2 | TXD2SEL2 | | | R/W |
| | | | | |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | RXD2SEL0 | RXD2/SCL2 端子選択ビット | b5 b4 00 : RXD2/SCL2 端子は使用しない 01 : P3_4 に割り当てる 10 : P3_7 に割り当てる 11 : P4_5 に割り当てる | R/W |
| b5 | RXD2SEL1 | | | R/W |
| b6 | - | 予約ビット | “0” にしてください | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

U2SR0 レジスタは、UART2 の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR0 レジスタを設定してください。

UART2 の関連レジスタを設定する前に、U2SR0 レジスタを設定してください。また、UART2 の動作中は U2SR0 レジスタの設定値を変更しないでください。

23.2.14 UART2 端子選択レジスタ1 (U2SR1)

アドレス 018Bh 番地

| | | | | | | | | |
|---------|----|----|----|----------|----|----|----------|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | CTS2SEL0 | - | - | CLK2SEL1 | CLK2SEL0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|--|--|-----|
| b0 | CLK2SEL0 | CLK2 端子選択ビット | b1 b0 00 : CLK2 端子は使用しない 01 : P3_5に割り当てる 10 : 設定しないでください 11 : P6_5に割り当てる | R/W |
| b1 | CLK2SEL1 | | | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | CTS2SEL0 | CTS2/RTS2 端子選択ビット | 0 : CTS2/RTS2 端子は使用しない 1 : P3_3に割り当てる | R/W |
| b5 | - | 予約ビット | “0” にしてください | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

23.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 23.2にクロック同期形シリアルI/Oモードの仕様を、表 23.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 23.2 クロック同期形シリアルI/Oモードの仕様

| 項目 | 仕様 |
|---------------|--|
| 転送データフォーマット | 転送データ長 8ビット |
| 転送クロック | <ul style="list-style-type: none"> U2MR レジスタのCKDIRビットが“0”(内部クロック) : $f_j/(2(n+1))$ $f_j=f1, f8, f32, fC$ $n=U2BRG$ レジスタの設定値 00h ~ FFh CKDIRビットが“1”(外部クロック) : CLK2端子からの入力 |
| 送信制御、受信制御 | CTS機能、RTS機能、CTS/RTS機能禁止を選択可 |
| 送信開始条件 | 送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> U2C1 レジスタのTEビットが“1”(送信許可) U2C1 レジスタのTIビットが“0”(U2TBレジスタにデータあり) CTS機能を選択している場合、CTS2端子の入力が“L” |
| 受信開始条件 | 受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> U2C1 レジスタのREビットが“1”(受信許可) U2C1 レジスタのTEビットが“1”(送信許可) U2C1 レジスタのTIビットが“0”(U2TBレジスタにデータあり) |
| 割り込み要求発生タイミング | 送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> U2C1 レジスタのU2IRSビットが“0”(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時 受信する場合 UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時) |
| エラー検出 | オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生 |
| 選択機能 | <ul style="list-style-type: none"> CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 |

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態)で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは“1”(割りこみ要求あり)に変化しません。

表 23.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

| レジスタ | ビット | 機能 |
|----------|-------------|--------------------------------|
| U2TB(注1) | b0 ~ b7 | 送信データを設定してください |
| U2RB(注1) | b0 ~ b7 | 受信データが読めます |
| | OER | オーバランエラーフラグ |
| U2BRG | b0 ~ b7 | 転送速度を設定してください |
| U2MR(注1) | SMD2 ~ SMD0 | “001b” にしてください |
| | CKDIR | 内部クロック、外部クロックを選択してください |
| | IOPOL | “0” にしてください |
| U2C0 | CLK1 ~ CLK0 | U2BRGのカウントソースを選択してください |
| | CRS | CTSまたはRTSを使用する場合、どちらかを選択してください |
| | TXEPT | 送信レジスタ空フラグ |
| | CRD | CTSまたはRTS機能の許可、または禁止を選択してください |
| | NCH | TXD2端子の出力形式を選択してください |
| | CKPOL | 転送クロックの極性を選択してください |
| | UFORM | LSBファースト、またはMSBファーストを選択してください |
| U2C1 | TE | 送受信を許可する場合、“1” にしてください |
| | TI | 送信バッファ空フラグ |
| | RE | 受信を許可する場合、“1” にしてください |
| | RI | 受信完了フラグ |
| | U2IRS | UART2送信割り込み要因を選択してください |
| | U2RRM | 連続受信モードを使用する場合、“1” にしてください |
| | U2LCH | データ論理反転を使用する場合、“1” にしてください |
| | U2ERE | “0” にしてください |
| U2SMR | b0 ~ b7 | “0” にしてください |
| U2SMR2 | b0 ~ b7 | “0” にしてください |
| U2SMR3 | b0 ~ b2 | “0” にしてください |
| | NODC | クロック出力形式を選択してください |
| | b4 ~ b7 | “0” にしてください |
| U2SMR4 | b0 ~ b7 | “0” にしてください |
| URXDF | DF2EN | “0” にしてください |
| U2SMR5 | MP | “0” にしてください |

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 23.4にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図 23.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

表 23.4 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

| 端子名 | 機能 | 選択方法 |
|----------------------------|-----------|--|
| TXD2(P3_4、P3_7 またはP6_6) | シリアルデータ出力 | <ul style="list-style-type: none"> •TXD2(P3_4)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=010b(P3_4) •TXD2(P3_7)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=001b(P3_7) •TXD2(P6_6)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=101b(P6_6) •受信だけを行うときはTXD2SEL2 ~ TXD2SEL0ビット=000bと設定することで、P3_4、P3_7、P6_6をポートとして使用可 |
| RXD2(P3_4、P3_7 またはP4_5) | シリアルデータ入力 | <ul style="list-style-type: none"> •RXD2(P3_4)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P3_4) PD3レジスタのPD3_4ビット=0 •RXD2(P3_7)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P3_7) PD3レジスタのPD3_7ビット=0 •RXD2(P4_5)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=11b(P4_5) PD4レジスタのPD4_5ビット=0 •送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P3_4、P3_7、P4_5をポートとして使用可 |
| CLK2(P3_5または P6_5) | 転送クロック出力 | <ul style="list-style-type: none"> •CLK2(P3_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b(P3_5) U2MRレジスタのCKDIRビット=0 •CLK2(P6_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b(P6_5) U2MRレジスタのCKDIRビット=0 |
| | 転送クロック入力 | <ul style="list-style-type: none"> •CLK2(P3_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b(P3_5) U2MRレジスタのCKDIRビット=1 PD3レジスタのPD3_5ビット=0 •CLK2(P6_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b(P6_5) U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0 |
| CTS2/RTS2(P3_3) | CTS入力 | U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0 |
| | RTS出力 | U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1 |
| | 入出力ポート | U2SR1レジスタのCTS2SEL0ビット=0 |

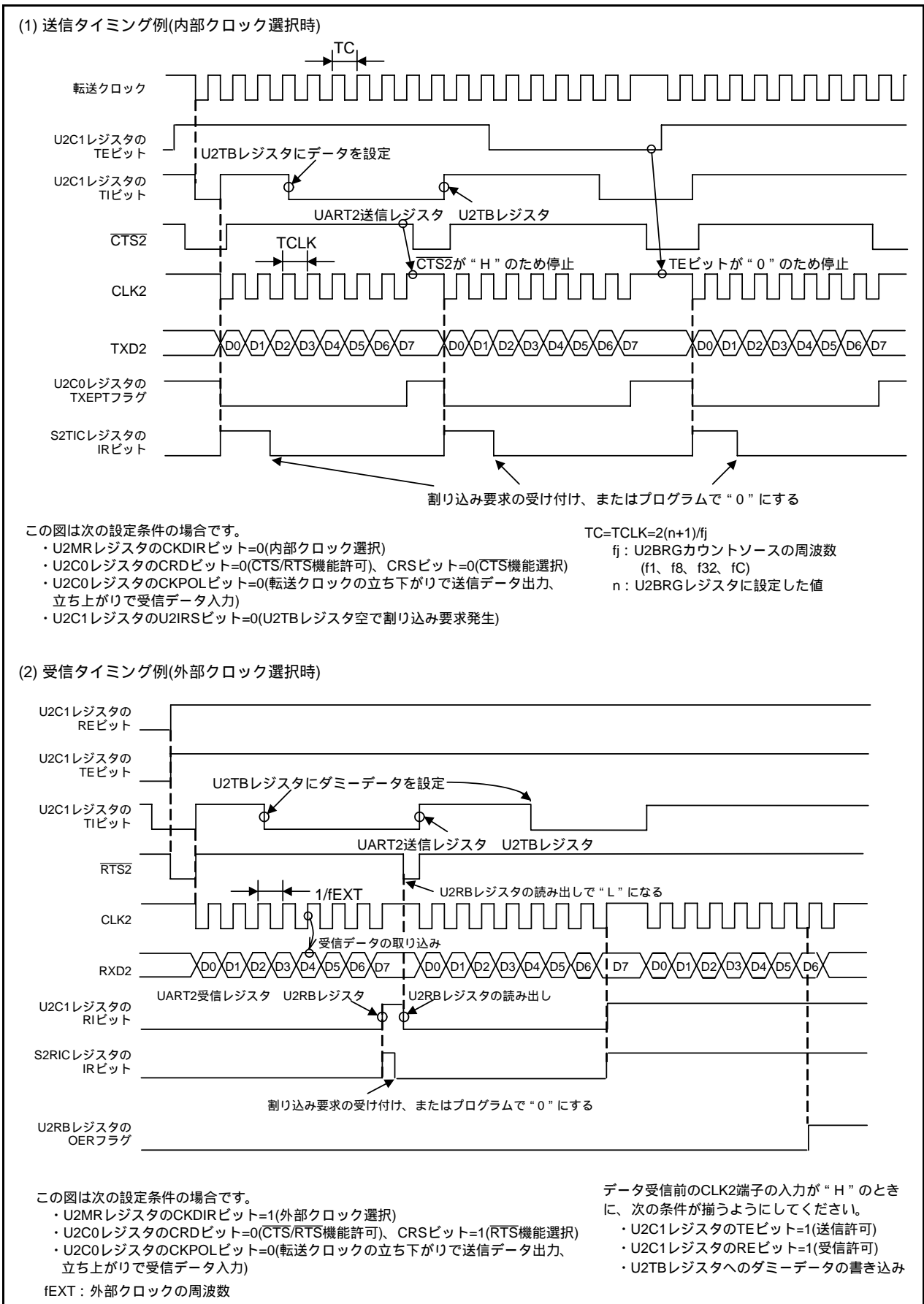


図 23.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

23.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

23.3.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図23.4に転送クロックの極性を示します。

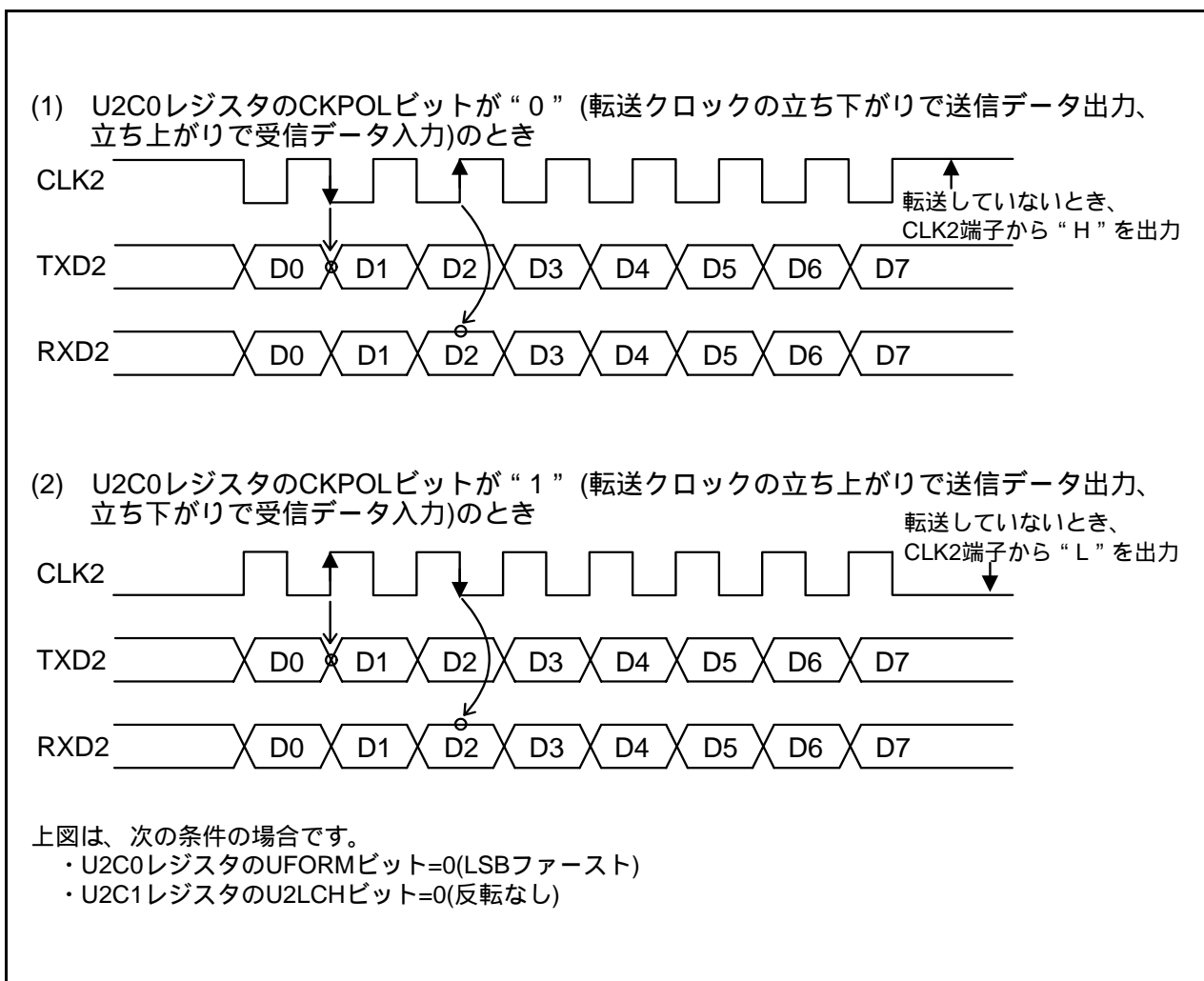


図 23.4 転送クロックの極性

23.3.3 LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図 23.5 に転送フォーマットを示します。

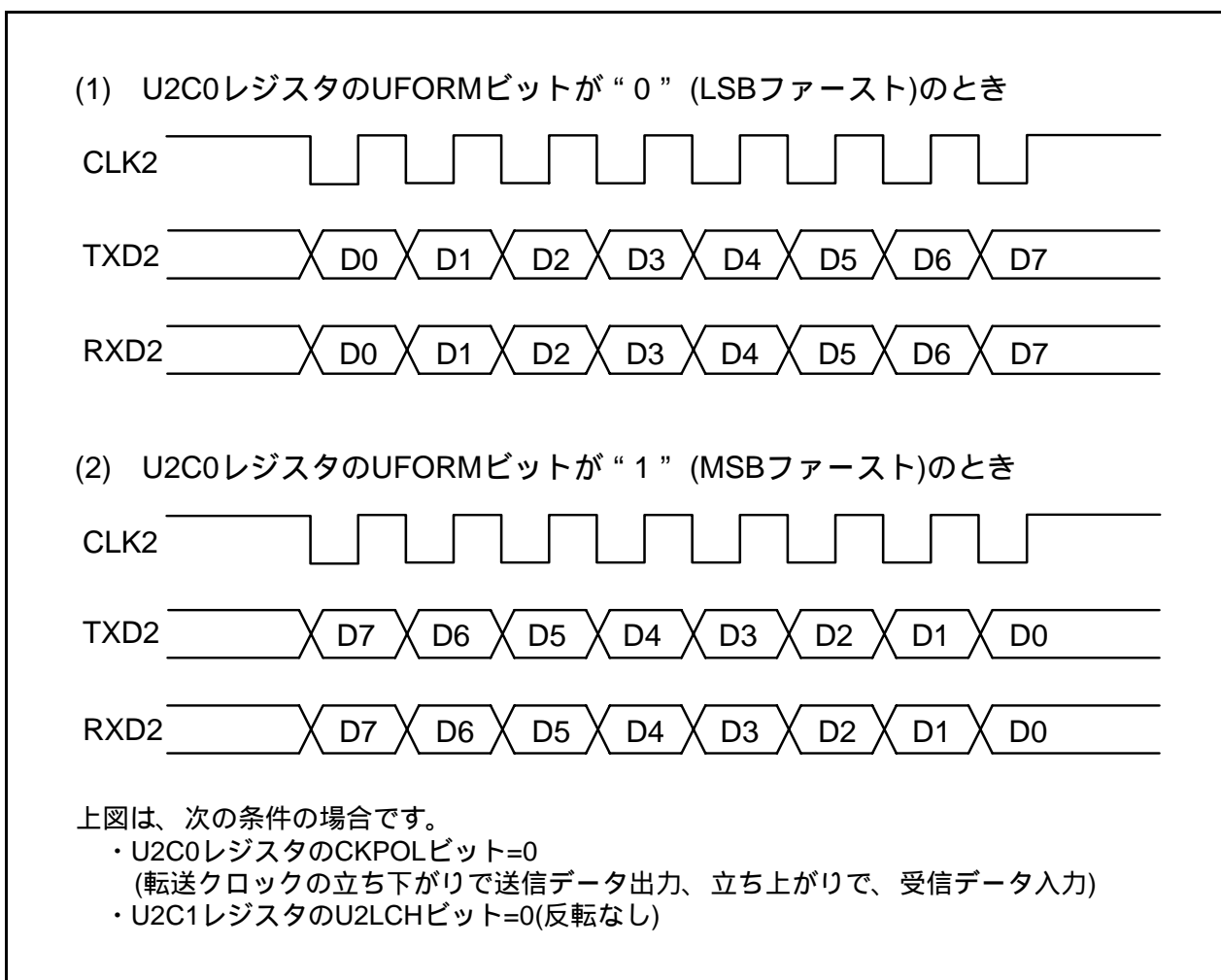


図 23.5 転送フォーマット

23.3.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを“1”(連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になります。U2RRMビットが“1”の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

23.3.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図 23.6にシリアルデータ論理を示します。

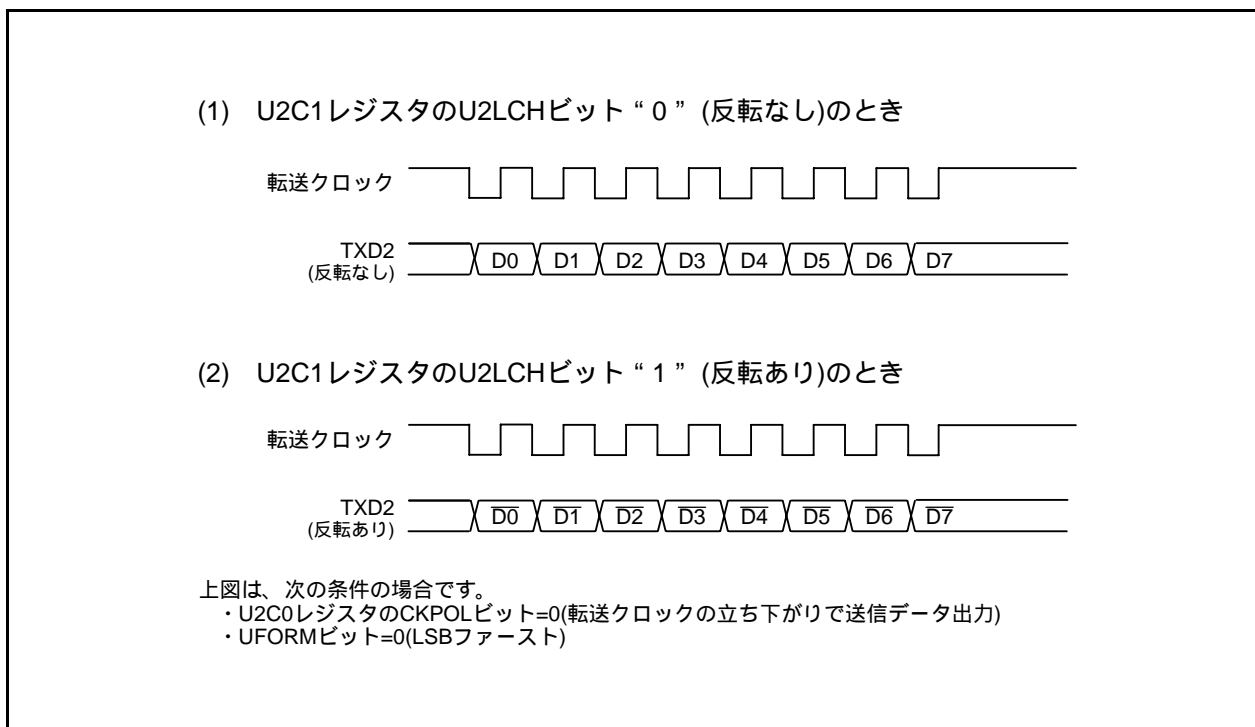


図 23.6 シリアルデータ論理

23.3.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- ・U2C0レジスタのCRDビット=1(CTS/RTS機能禁止) $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- ・CRDビット=0、CRSビット=0(CTS機能選択) $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はCTS機能
- ・CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はRTS機能

23.4 クロック非同期形シリアルI/O(UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表 23.5 にUARTモードの仕様を、表 23.6にUARTモード時の使用レジスタと設定値を示します。

表 23.5 UARTモードの仕様

| 項目 | 仕様 |
|---------------|---|
| 転送データフォーマット | <ul style="list-style-type: none"> •キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可 •スタートビット 1ビット •パリティビット 奇数、偶数、なしを選択可 •ストップビット 1ビット、2ビットを選択可 |
| 転送クロック | <ul style="list-style-type: none"> •U2MRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=U2BRG$レジスタの設定値 00h ~ FFh •CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$レジスタの設定値 00h ~ FFh |
| 送信制御、受信制御 | CTS機能、RTS機能、CTS/RTS機能禁止を選択可 |
| 送信開始条件 | 送信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) •CTS機能を選択している場合、CTS2端子の入力が“L” |
| 受信開始条件 | 受信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのREビットが“1”(受信許可) •スタートビットの検出 |
| 割り込み要求発生タイミング | 送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> •U2C1レジスタのU2IRSビットが“0”(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) •U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> •UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時) |
| エラー検出 | <ul style="list-style-type: none"> •オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる |
| 選択機能 | <ul style="list-style-type: none"> •LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 •シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 •TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 •RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択可 |

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに“1”になります。

表 23.6 UARTモード時の使用レジスタと設定値

| レジスタ | ビット | 機能 |
|--------|-----------------|--|
| U2TB | b0 ~ b8 | 送信データを設定してください(注1) |
| U2RB | b0 ~ b8 | 受信データが読めず(注1、2) |
| | OER、FER、PER、SUM | エラーフラグ |
| U2BRG | b0 ~ b7 | 転送速度を設定してください |
| U2MR | SMD2 ~ SMD0 | 転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。 |
| | CKDIR | 内部クロック、外部クロックを選択してください |
| | STPS | ストップビットを選択してください |
| | PRY、PRYE | パリティの有無、偶数奇数を選択してください |
| | IOPOL | TXD/RXD入出力極性を選択してください |
| | U2C0 | CLK0、CLK1 |
| U2C0 | CRS | CTSまたはRTS機能を使用する場合、どちらかを選択してください |
| | TXEPT | 送信レジスタ空フラグ |
| | CRD | CTS/RTS機能の許可または禁止を選択してください |
| | NCH | TXD2端子の出力形式を選択してください |
| | CKPOL | “0”にしてください |
| | UFORM | 転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。 |
| | U2C1 | TE |
| TI | | 送信バッファ空フラグ |
| RE | | 受信を許可するとき、“1”にしてください |
| RI | | 受信完了フラグ |
| U2IRS | | UART2送信割り込み要因を選択してください |
| U2RRM | | “0”にしてください |
| U2LCH | | データ論理反転を使用する場合、“1”にしてください |
| U2ERE | | “0”にしてください |
| U2SMR | b0 ~ b7 | “0”にしてください |
| U2SMR2 | b0 ~ b7 | “0”にしてください |
| U2SMR3 | b0 ~ b7 | “0”にしてください |
| U2SMR4 | b0 ~ b7 | “0”にしてください |
| URXDF | DF2EN | デジタルフィルタの無効、有効を選択してください |
| U2SMR5 | MP | “0”にしてください |

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7～b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表 23.7にUARTモード時の入出力端子の機能を示します。なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図 23.7にUARTモード時の送信タイミング例を、図 23.8にUARTモード時の受信タイミング例を示します。

表 23.7 UARTモード時の入出力端子の機能

| 端子名 | 機能 | 選択方法 |
|------------------------|-----------|--|
| TXD2(P3_4、P3_7またはP6_6) | シリアルデータ出力 | <ul style="list-style-type: none"> •TXD2(P3_4)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=010b(P3_4) •TXD2(P3_7)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=001b(P3_7) •TXD2(P6_6)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=101b(P6_6) •受信だけを行うときはTXD2SEL2 ~ TXD2SEL0ビット=000bと設定することで、P3_4、P3_7、P6_6をポートとして使用可 |
| RXD2(P3_4、P3_7またはP4_5) | シリアルデータ入力 | <ul style="list-style-type: none"> •RXD2(P3_4)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P3_4) PD3レジスタのPD3_4ビット=0 •RXD2(P3_7)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P3_7) PD3レジスタのPD3_7ビット=0 •RXD2(P4_5)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=11b(P4_5) PD4レジスタのPD4_5ビット=0 •送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P3_4、P3_7、P4_5をポートとして使用可 |
| CLK2(P3_5またはP6_5) | 入出力ポート | U2SR1レジスタのCLK2SEL1 ~ CLK2SEL0ビット=00b |
| | 転送クロック入力 | <ul style="list-style-type: none"> •CLK2(P3_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b(P3_5) U2MRレジスタのCKDIRビット=1 PD3レジスタのPD3_5ビット=0 •CLK2(P6_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b(P6_5) U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0 |
| CTS2/RTS2(P3_3) | CTS入力 | U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0 |
| | RTS出力 | U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1 |
| | 入出力ポート | U2SR1レジスタのCTS2SEL0ビット=0 |

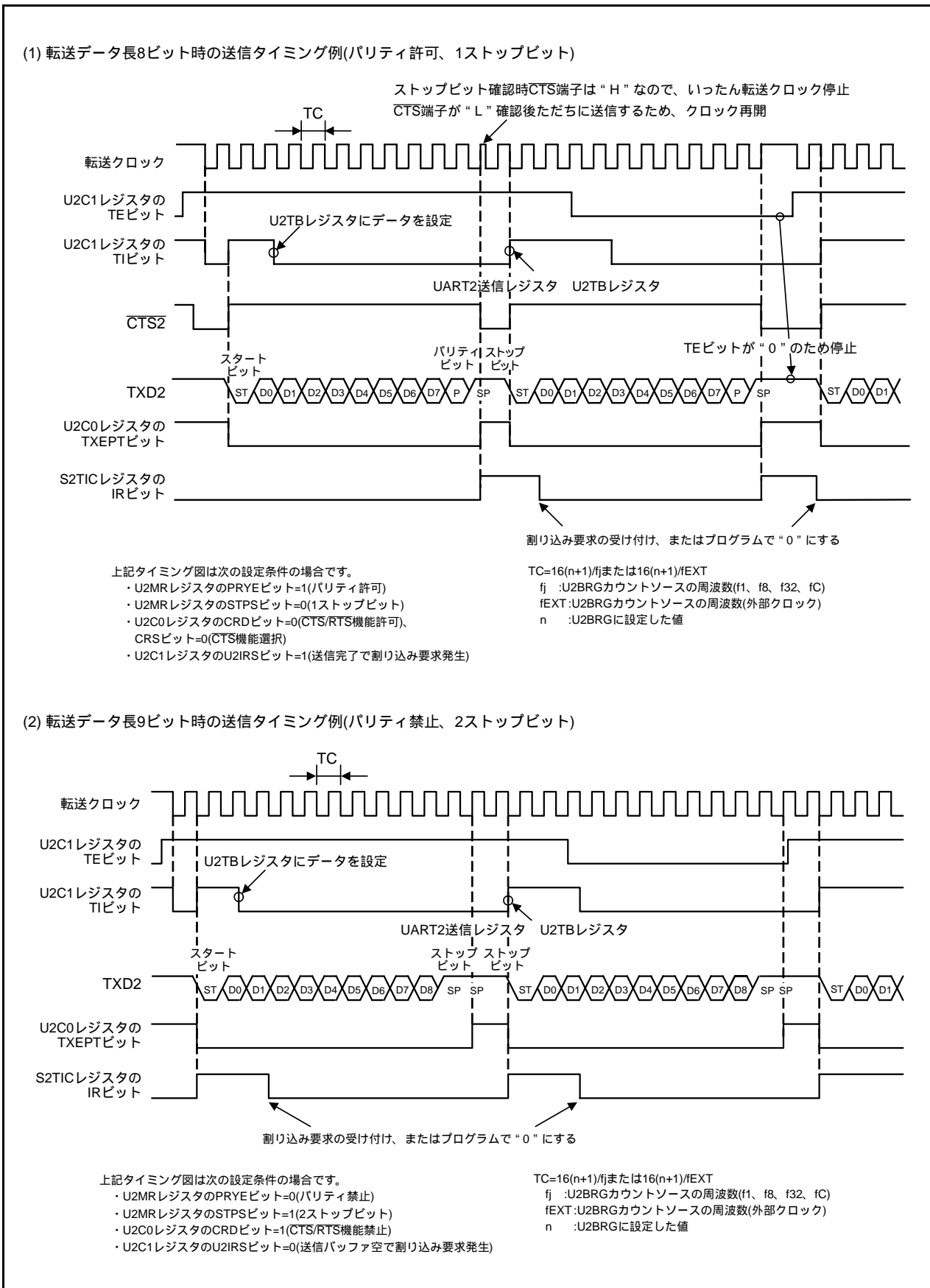


図 23.7 UARTモード時の送信タイミング例

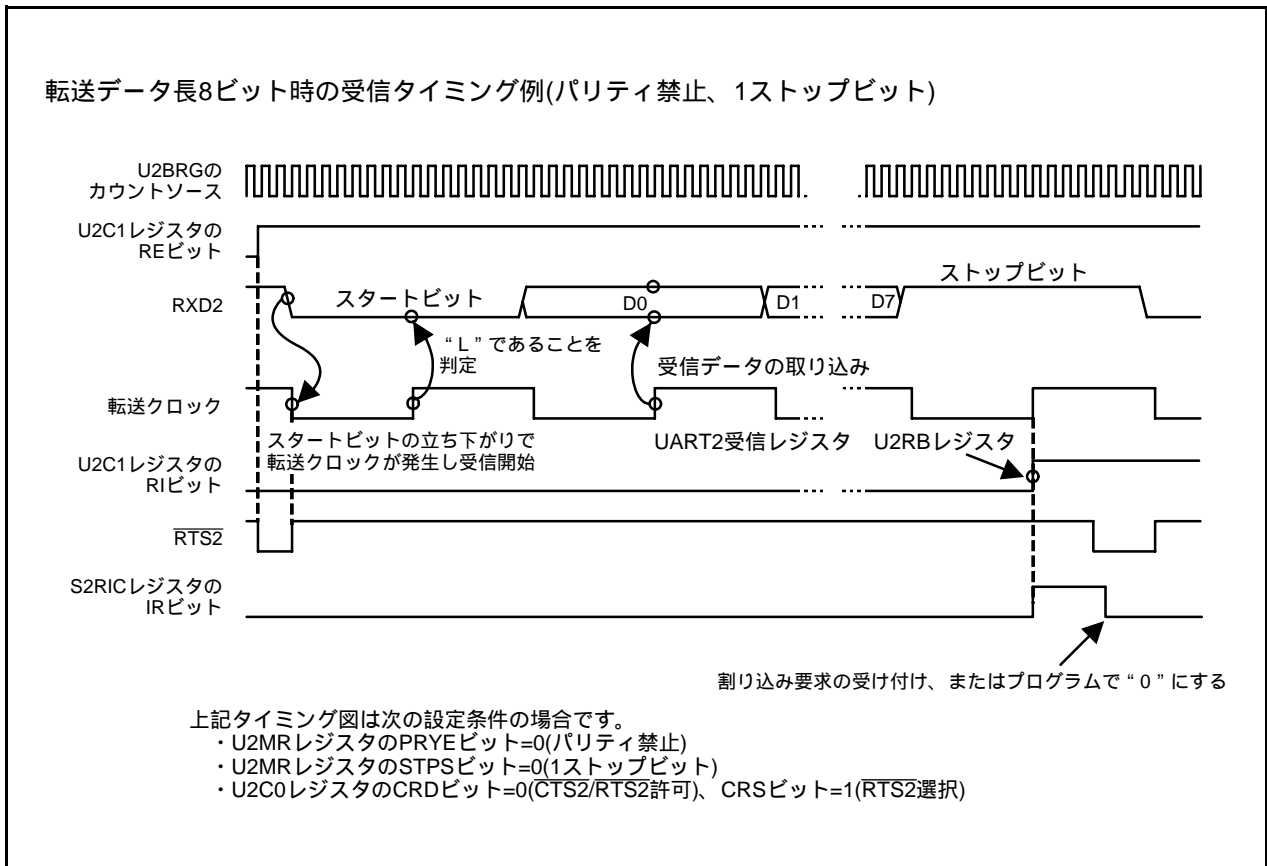


図 23.8 UARTモード時の受信タイミング例

23.4.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。表 23.8 にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

表 23.8 UARTモード時のビットレート設定例(内部クロック選択時)

| ビットレート (bps) | U2BRGのカウンタソース | システムクロック = 20 MHz | | | システムクロック = 18.432 MHz (注1) | | | システムクロック = 8 MHz | | |
|--------------|---------------|-------------------|-----------|----------|----------------------------|-----------|----------|------------------|-----------|----------|
| | | U2BRGの設定値 | 実時間 (bps) | 設定誤差 (%) | U2BRGの設定値 | 実時間 (bps) | 設定誤差 (%) | U2BRGの設定値 | 実時間 (bps) | 設定誤差 (%) |
| 1200 | f8 | 129 (81h) | 1201.92 | 0.16 | 119 (77h) | 1200.00 | 0.00 | 51 (33h) | 1201.92 | 0.16 |
| 2400 | f8 | 64 (40h) | 2403.85 | 0.16 | 59 (3Bh) | 2400.00 | 0.00 | 25 (19h) | 2403.85 | 0.16 |
| 4800 | f8 | 32 (20h) | 4734.85 | - 1.36 | 29 (1Dh) | 4800.00 | 0.00 | 12 (0Ch) | 4807.69 | 0.16 |
| 9600 | f1 | 129 (81h) | 9615.38 | 0.16 | 119 (77h) | 9600.00 | 0.00 | 51 (33h) | 9615.38 | 0.16 |
| 14400 | f1 | 86 (56h) | 14367.82 | - 0.22 | 79 (4Fh) | 14400.00 | 0.00 | 34 (22h) | 14285.71 | - 0.79 |
| 19200 | f1 | 64 (40h) | 19230.77 | 0.16 | 59 (3Bh) | 19200.00 | 0.00 | 25 (19h) | 19230.77 | 0.16 |
| 28800 | f1 | 42 (2Ah) | 29069.77 | 0.94 | 39 (27h) | 28800.00 | 0.00 | 16 (10h) | 29411.76 | 2.12 |
| 38400 | f1 | 32 (20h) | 37878.79 | - 1.36 | 29 (1Dh) | 38400.00 | 0.00 | 12 (0Ch) | 38461.54 | 0.16 |
| 57600 | f1 | 21 (15h) | 56818.18 | - 1.36 | 19 (13h) | 57600.00 | 0.00 | 8 (08h) | 55555.56 | - 3.55 |
| 115200 | f1 | 10 (0Ah) | 113636.36 | - 1.36 | 9 (09h) | 115200.00 | 0.00 | | | |

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。
 システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「34. 電気的特性」を参照してください。

23.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

23.4.3 LSBファースト、MSBファースト選択

図 23.9 に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図 23.9 に転送フォーマットを示します。

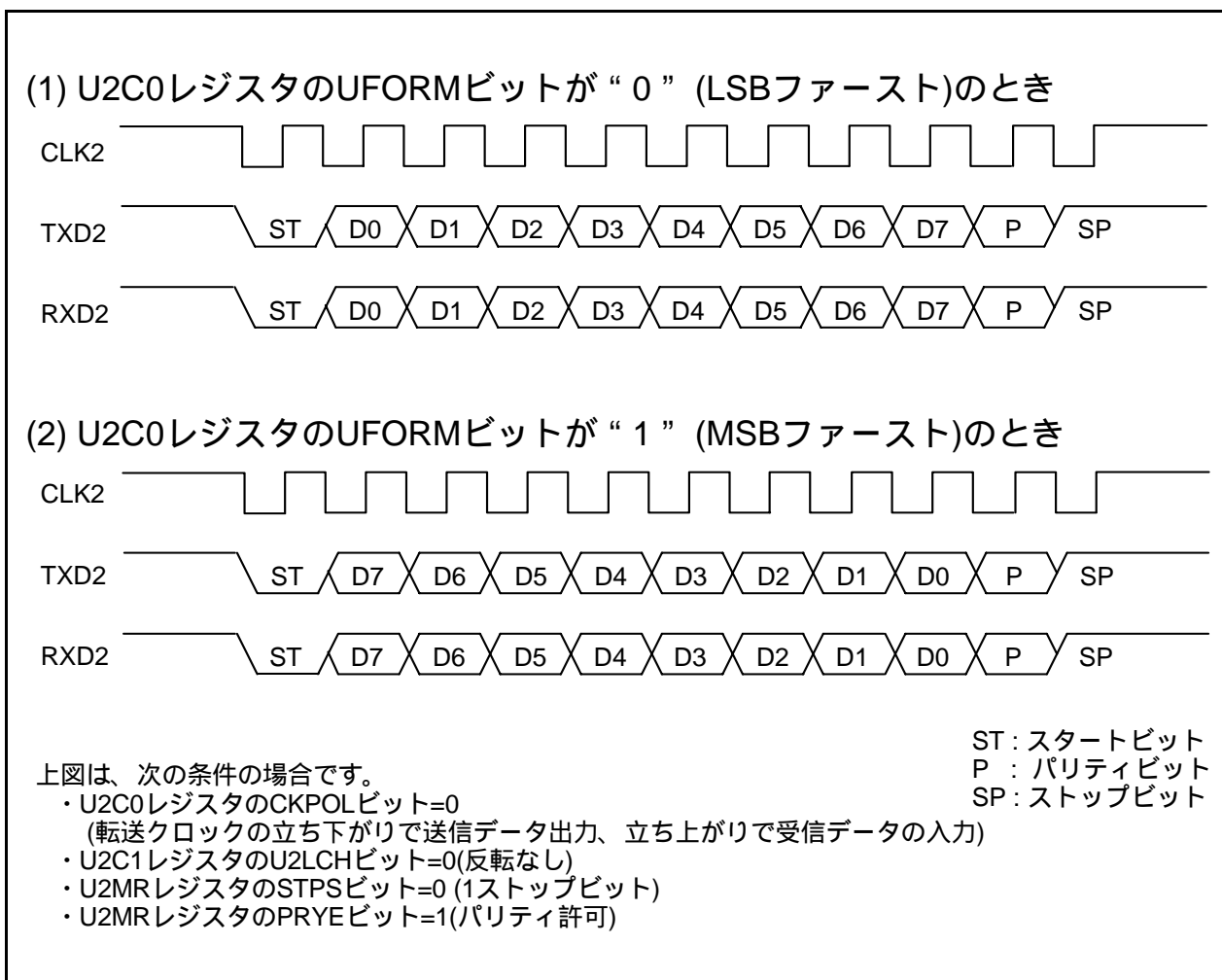


図 23.9 転送フォーマット

23.4.4 シリアルデータ論理切り替え

U2TB レジスタに書いた値の論理を反転して送信します。U2RB レジスタを読むと、受信データの論理を反転した値が読めます。図 23.10 にシリアルデータ論理を示します。

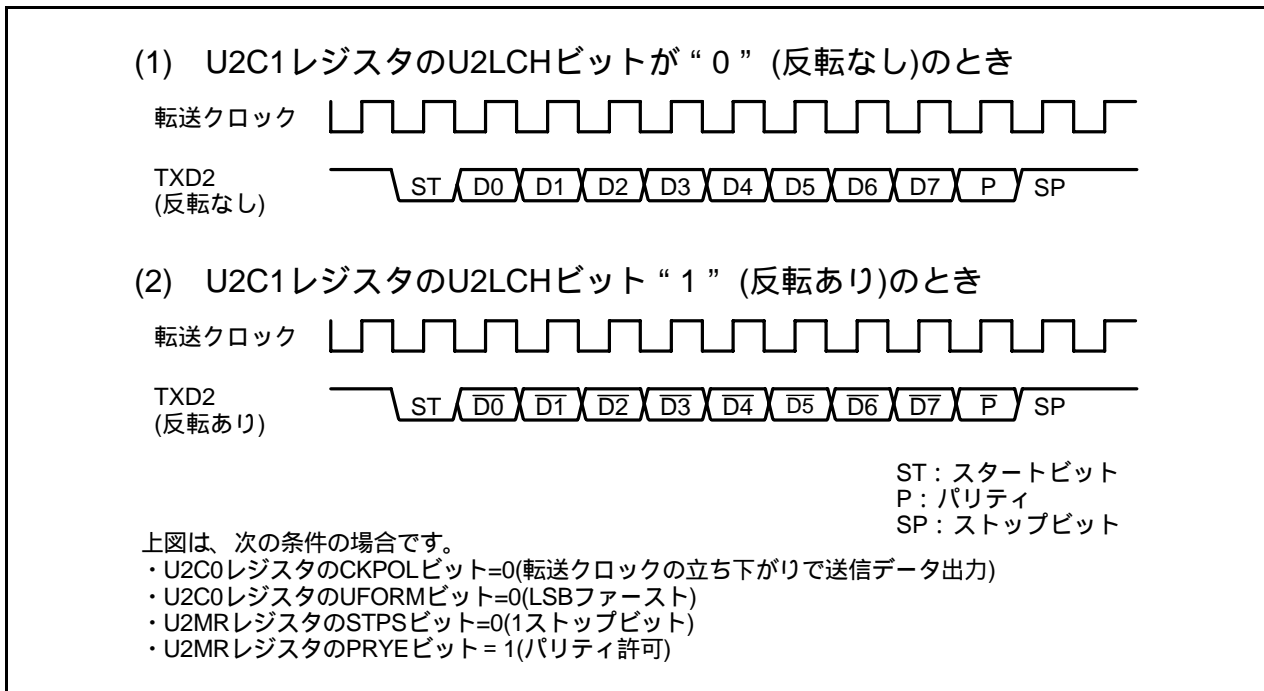


図 23.10 シリアルデータ論理

23.4.5 TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図 23.11 にTXD、RXD入出力極性切り替えを示します。

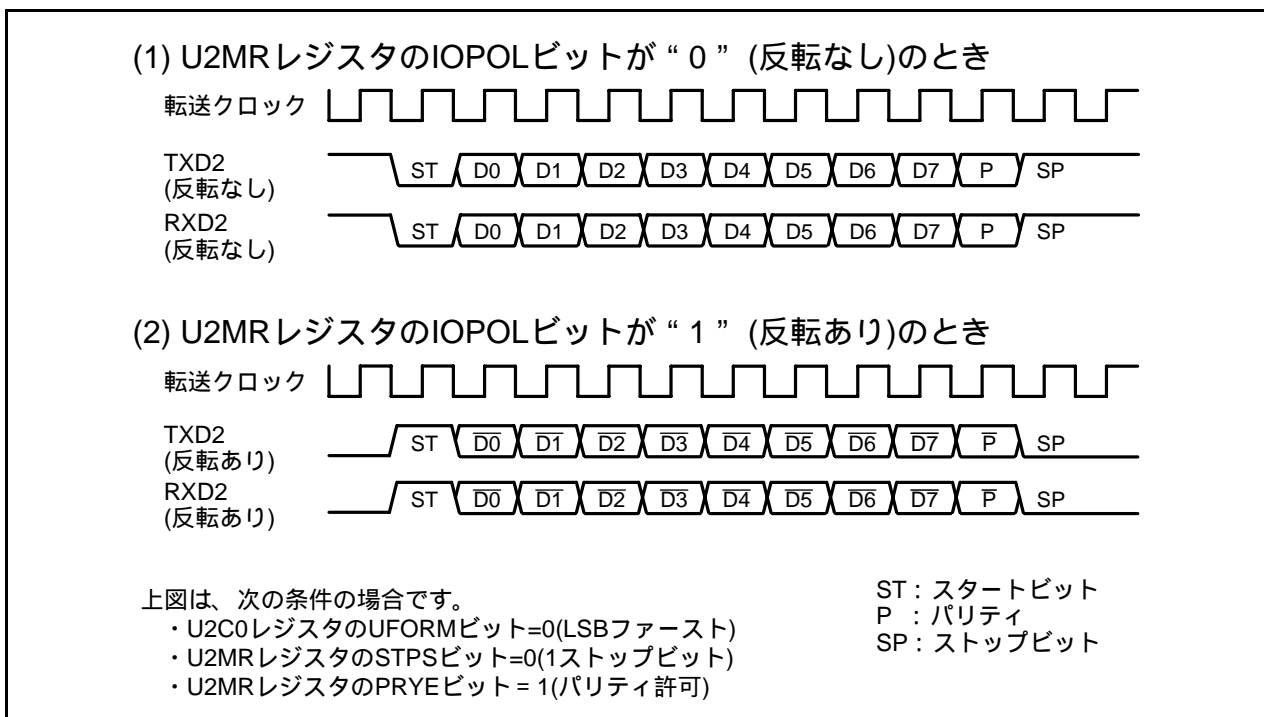


図 23.11 TXD、RXD入出力極性切り替え

23.4.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。

- U2C0レジスタのCRDビット=1($\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 機能禁止) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\text{CTS2}}$ 機能選択) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はCTS機能
- CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はRTS機能

23.4.7 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図 23.12にRXD2デジタルフィルタ回路のブロック図を示します。

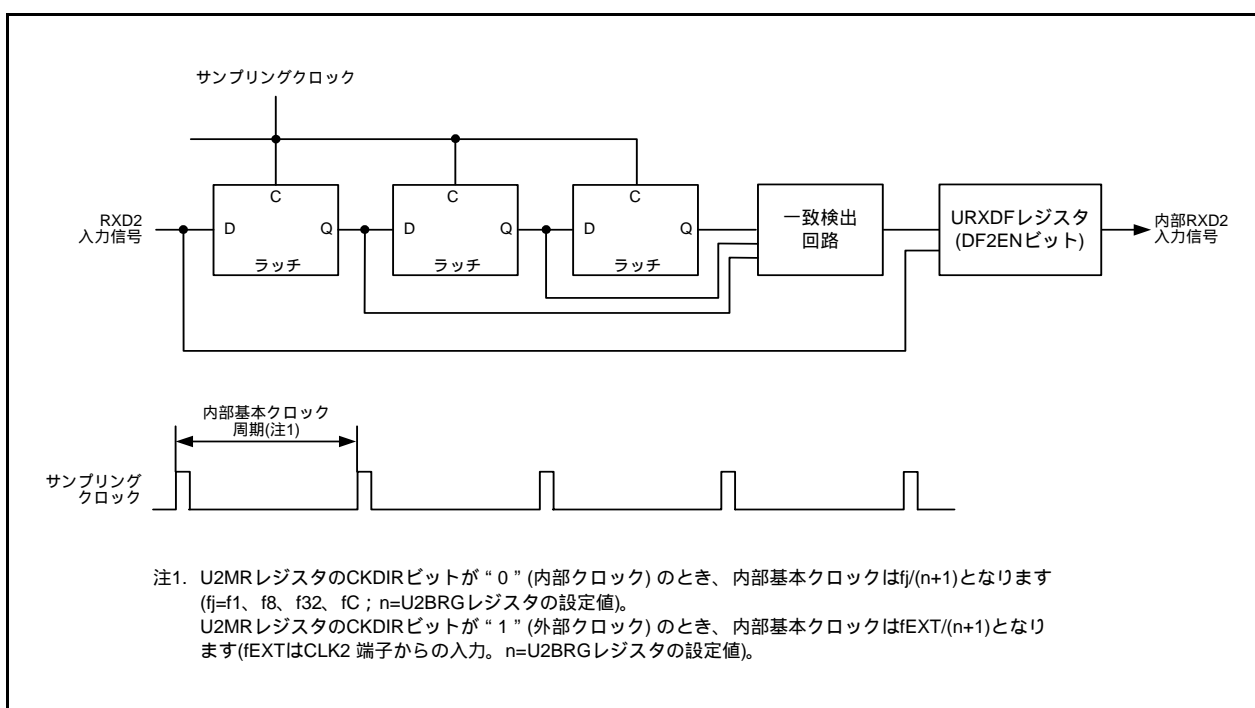


図 23.12 RXD2デジタルフィルタ回路のブロック図

23.5 特殊モード1 (I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表 23.9 にI²Cモードの仕様を、表 23.10 ~ 表 23.11 にI²Cモード時の使用レジスタと設定値を、表 23.12 にI²Cモード時の各機能を、図 23.13 にI²Cモードのブロック図を、図 23.14 にU2RBレジスタへの転送、割り込みのタイミングを示します。

表 23.12 に示すように、SMD2 ~ SMD0ビットを“010b”に、IICMビットを“1”にするとI²Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2が“L”になり安定した後、SDA2出力が変化します。

表 23.9 I²Cモードの仕様

| 項目 | 仕様 |
|---------------|--|
| 転送データフォーマット | 転送データ長 8ビット |
| 転送クロック | <ul style="list-style-type: none"> •マスタ時 U2MRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(2(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=U2BRG$レジスタの設定値 00h ~ FFh •スレーブ時 CKDIRビットが“1”(外部クロック) : SCL2端子からの入力 |
| 送信開始条件 | 送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) |
| 受信開始条件 | 受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> •U2C1レジスタのREビットが“1”(受信許可) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) |
| 割り込み要求発生タイミング | スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出 |
| エラー検出 | オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生 |
| 選択機能 | <ul style="list-style-type: none"> •SDA2デジタル遅延 デジタル遅延なし、またはU2BRGカウントソースの2~8サイクルの遅延を選択可 •クロック位相設定 クロック遅れあり、なしを選択可 |

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

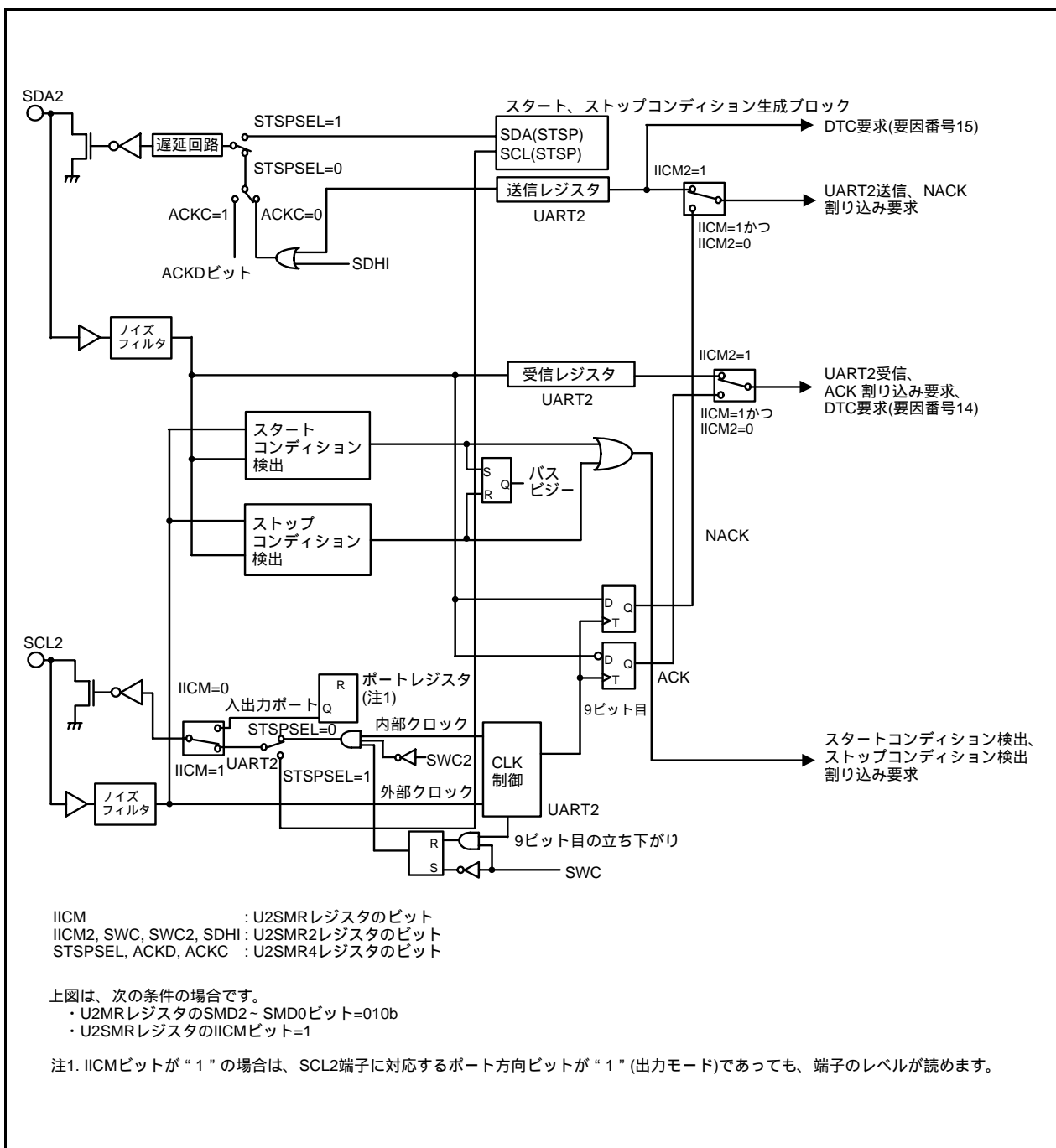


図 23.13 I²Cモードのブロック図

表 23.10 I²Cモード時の使用レジスタと設定値(1)

| レジスタ | ビット | 機能 | |
|----------|-----------------------|--|--|
| | | マスタ時 | スレーブ時 |
| U2TB(注1) | b0 ~ b7 | 送信データを設定してください | 送信データを設定してください |
| U2RB(注1) | b0 ~ b7 | 受信データが読めます | 受信データが読めます |
| | b8 | ACK、NACKが入ります | ACK、NACKが入ります |
| | OER | オーバランエラーフラグ | オーバランエラーフラグ |
| U2BRG | b0 ~ b7 | 転送速度を設定してください | 無効 |
| U2MR(注1) | SMD2 ~ SMD0 | “010b” にしてください | “010b” にしてください |
| | CKDIR | “0” にしてください | “1” にしてください |
| | IOPOL | “0” にしてください | “0” にしてください |
| U2C0 | CLK1 ~ CLK0 | U2BRGのカウントソースを選択してください | 無効 |
| | CRS | CRD=1なので無効 | CRD=1なので無効 |
| | TXEPT | 送信レジスタ空フラグ | 送信レジスタ空フラグ |
| | CRD | “1” にしてください | “1” にしてください |
| | NCH | “1” にしてください | “1” にしてください |
| | CKPOL | “0” にしてください | “0” にしてください |
| | UFORM | “1” にしてください | “1” にしてください |
| U2C1 | TE | 送信を許可する場合、“1” にしてください | 送信を許可する場合、“1” にしてください |
| | TI | 送信バッファ空フラグ | 送信バッファ空フラグ |
| | RE | 受信を許可する場合、“1” にしてください | 受信を許可する場合、“1” にしてください |
| | RI | 受信完了フラグ | 受信完了フラグ |
| | U2IRS | “1” にしてください | “1” にしてください |
| | U2RRM、 U2LCH、U2ERE | “0” にしてください | “0” にしてください |
| | U2SMR | IICM | “1” にしてください |
| BBS | | バスビジーフラグ | バスビジーフラグ |
| b3 ~ b7 | | “0” にしてください | “0” にしてください |
| U2SMR2 | IICM2 | 「表 23.12 I ² Cモード時の各機能」参照 | 「表 23.12 I ² Cモード時の各機能」参照 |
| | CSC | クロック同期化を許可する場合、“1” にしてください | “0” にしてください |
| | SWC | クロックの9ビット目の立ち下がり でSCL2出力を“L”出力固定にする場合、 “1” にしてください | クロックの9ビット目の立ち下がり でSCL2出力を“L”出力固定にする場合、 “1” にしてください |
| | STAC | “0” にしてください | スタートコンディション検出でUART2 を初期化する場合、“1” にしてください |
| | SWC2 | SCL2の出力を強制的に“L”にする場 合、“1” にしてください | SCL2の出力を強制的に“L”にする場 合、“1” にしてください |
| | SDHI | SDA2出力を禁止にする場合、“1” にし てください | SDA2出力を禁止にする場合、“1” にし てください |
| | b7 | “0” にしてください | “0” にしてください |

注1. この表に記載していないビットは、I²Cモード時に書く場合、“0”を書いてください。

表 23.11 I²Cモード時の使用レジスタと設定値(2)

| レジスタ | ビット | 機能 | |
|--------|-------------------|--|---|
| | | マスタ時 | スレーブ時 |
| U2SMR3 | b0、b2、b4、 NODC | “0” にしてください | “0” にしてください |
| | CKPH | 「表 23.12 I ² Cモード時の各機能」参照 | 「表 23.12 I ² Cモード時の各機能」参照 |
| | DL2 ~ DL0 | SDA2のデジタル遅延値を設定してください | SDA2のデジタル遅延値を設定してください |
| U2SMR4 | STAREQ | スタートコンディションを生成する場合、“1” にしてください | “0” にしてください |
| | RSTAREQ | リスタートコンディションを生成する場合、“1” にしてください | “0” にしてください |
| | STPREQ | ストップコンディションを生成する場合、“1” にしてください | “0” にしてください |
| | STSPSEL | 各コンディション出力時に“1” にしてください | “0” にしてください |
| | ACKD | ACK、NACKを選択してください | ACK、NACKを選択してください |
| | ACKC | ACKデータを出力する場合、“1” にしてください | ACKデータを出力する場合、“1” にしてください |
| | SCLHI | ストップコンディション検出時にSCL2出力を停止する場合、“1” にしてください | “0” にしてください |
| | SWC9 | “0” にしてください | クロックの9ビット目の次の立ち下がり でSCL2を“L” ホールドにする場合、 “1” にしてください |
| URXDF | DF2EN | “0” にしてください | “0” にしてください |
| U2SMR5 | MP | “0” にしてください | “0” にしてください |

表 23.12 I²Cモード時の各機能

| 機能 | クロック同期シリアルI/Oモード (SMD2 ~ SMD0=001b、IICM=0) | I ² Cモード(SMD2 ~ SMD0=010b、IICM=1) | | | |
|---|--|--|-----------------------------------|--|--|
| | | IICM2=0(NACK/ACK割り込み) | | IICM2=1(UART送信/UART受信割り込み) | |
| | | CKPH=0 (クロック遅れなし) | CKPH=1 (クロック遅れあり) | CKPH=0 (クロック遅れなし) | CKPH=1 (クロック遅れあり) |
| UART2バス衝突検出 割り込みの要因 (注1、5) | - | スタートコンディション検出、ストップコンディション検出 (「表 23.13 STSPSELビットの機能」参照) | | | |
| UART2送信/NACK2 割り込みの要因 (注1、6) | UART2送信 送信開始、または送信 完了(U2IRSで選択) | アクノリッジ未検出(NACK) 9ビット目のSCL2の立ち上がり | | UART2送信 9ビット目のSCL2 の立ち上がり | UART2送信 9ビット目の次の SCL2の立ち下がり |
| UART2受信/ACK2割 り込みの要因 (注1、6) | UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり) | アクノリッジ検出(ACK) 9ビット目のSCL2の立ち上がり | | UART2受信 9ビット目のSCL2の立ち下がり | |
| UART受信シフト レジスタからU2RB レジスタへのデータ 転送タイミング | CKPOL=0(立ち上がり) CKPOL=1(立ち下がり) | 9ビット目のSCL2の立ち上がり | | 9ビット目のSCL2 の立ち下がり | 9ビット目のSCL2の 立ち下がり、立ち 上がり |
| UART2送信出力遅延 | 遅延なし | 遅延あり | | | |
| TXD2/SDA2端子の機能 | TXD2出力 | SDA2入出力 | | | |
| RXD2/SCL2端子の機能 | RXD2入力 | SCL2入出力 | | | |
| CLK2端子の機能 | CLK2入力または出力 ポート選択 | - (I ² Cモードには使用しない) | | | |
| ノイズフィルター幅 | 15ns | 200ns | | | |
| RXD2、SCL2端子 レベルの読み込み | 対応するポート方向ビット が“0”の場合、可能 | 対応するポート方向ビットの内容に関係なく、可能 | | | |
| TXD2、SDA2出力の 初期値 | CKPOL=0(H) CKPOL=1(L) | I ² Cモード設定前に、ポートレジスタに設定した値(注2) | | | |
| SCL2の初期値、終了値 | - | H | L | H | L |
| DTC要因番号14 (注6) | UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり) | アクノリッジ検出(ACK) | | UART2受信 9ビット目のSCL2の立ち下がり | |
| DTC要因番号15 (注6) | UART2送信 送信開始、または送信完 了(U2IRSビットで選択) | UART2送信 9ビット目のSCL2 の立ち上がり | UART2送信 9ビット目の次の SCL2の立ち下がり | UART2送信 9ビット目のSCL2 の立ち上がり | UART2送信 9ビット目の次の SCL2の立ち下がり |
| 受信データ格納 | 1~8ビット目をU2RB レジスタのビットb0~ b7に格納 | 1~8ビット目をU2RBレジスタの ビットb7~b0に格納 | | 1~7ビット目をU2RBレジスタのビット b6~b0に、8ビット目をU2RBレジスタ のビットb8に格納 | |
| 受信データ読み出し | U2RBレジスタの状態をそのまま読み出す | | | | 1~8ビット目をU2RB レジスタのビットb7 ~b0に格納(注3) |
| | | | | | U2RBレジスタのビット b6~b0はビットb7 ~b1として、ビット b8はビットb0として 読み出す(注4) |

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「11.8 割り込み使用上の注意」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

注2. SDA2出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注3. U2RBレジスタへのデータ転送2回目(9ビット目SCL2立ち上がり時)

注4. U2RBレジスタへのデータ転送1回目(9ビット目SCL2立ち下がり時)

注5. 「図 23.16 STSPSELビットの機能」参照。

注6. 「図 23.14 U2RBレジスタへの転送、割り込みのタイミング」参照。

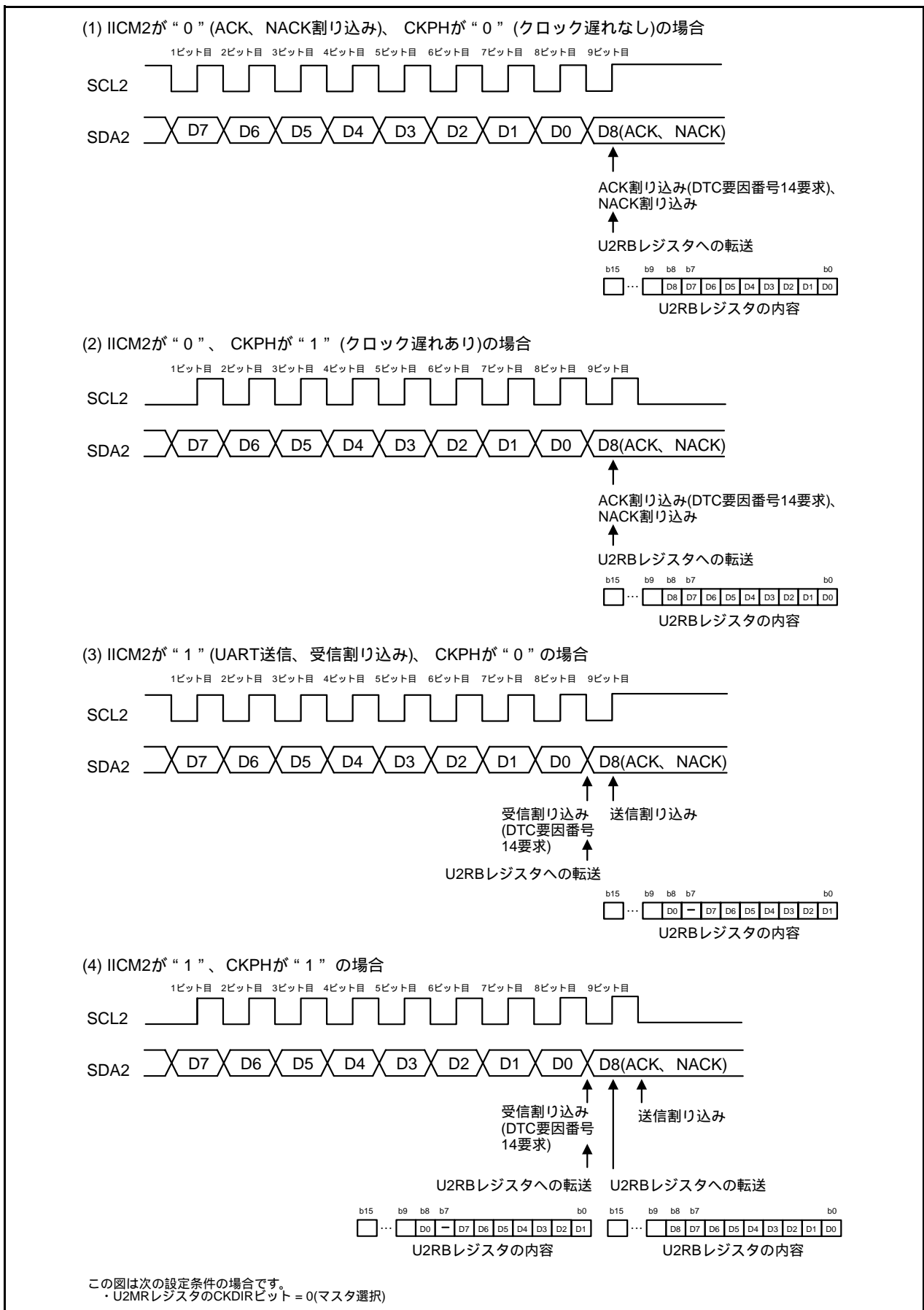


図 23.14 U2RBレジスタへの転送、割り込みのタイミング

23.5.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態、SDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”の状態、SDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

図 23.15にスタートコンディション、ストップコンディションの検出を示します。

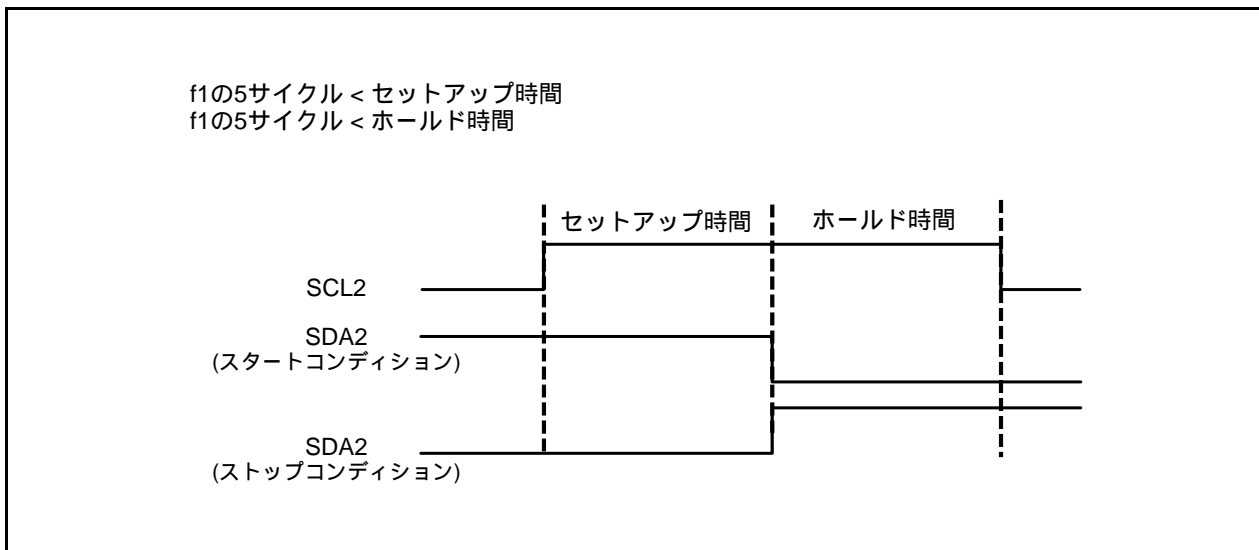


図 23.15 スタートコンディション、ストップコンディションの検出

23.5.2 スタートコンディション、ストップコンディションの出力

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) U2SMR4レジスタのSTSPSELビットを“1”(出力)にする

表 23.13にSTSPSELビットの機能を、図 23.16にSTSPSELビットの機能を示します。

表 23.13 STSPSELビットの機能

| 機能 | STSPSEL=0 | STSPSEL=1 |
|--------------------------------------|---|---|
| SCL2、SDA2端子の出力 | 転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない) | STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力 |
| スタートコンディション、ストップコンディション割り込み要求発生タイミング | スタートコンディション、ストップコンディション検出 | スタートコンディション、ストップコンディション生成終了 |

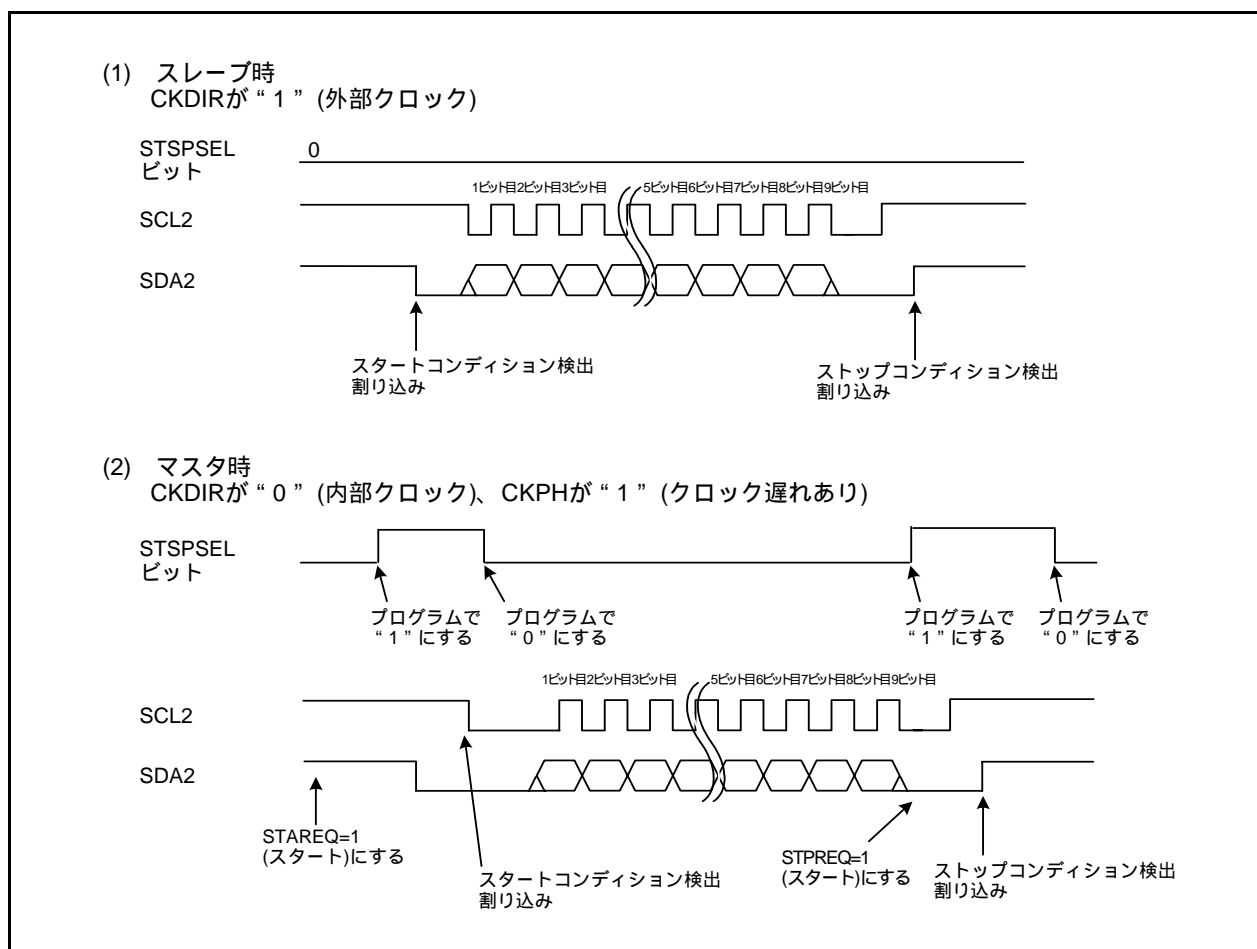


図 23.16 STSPSELビットの機能

23.5.3 転送クロック

「図 23.14 U2RBレジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2レジスタのCSCビットは内部で生成したクロック(内部SCL2)と、SCL2端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCL2が“H”の場合、SCL2端子に立ち下がりエッジがあれば内部SCL2を“L”とし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子が“L”のとき、内部SCL2が“L”から“H”に変化するとカウントを停止し、SCL2端子が“H”になるとカウントを再開します。したがって、UART2の転送クロックは、内部SCL2とSCL2端子の信号の論理積になります。なお、転送クロックは内部SCL2の1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCL2端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCL2出力を停止します(ハイインピーダンス状態)。

U2SMR2レジスタのSWC2ビットを“1”(“L”出力)にすると、送受信中でもSCL2端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCL2端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3レジスタのCKPHビットが“1”のとき、U2SMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCL2端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

23.5.4 SDA出力

U2TBレジスタのビットb7～b0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDA2送信出力の初期値は、ICM=1(I²Cモード)で、U2MRレジスタのSMD2～SMD0ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

U2SMR3レジスタのDL2～DL0ビットによりSDA2の出力を遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。

23.5.5 SDA入力

IICM2ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビットb7～b0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビットb6～b0に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

23.5.6 ACK、NACK

U2SMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でU2SMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“L”ならば発生します。

DTC要求要因にACK2(UART2受信)を選択すると、アクノリッジ検出によってDTC転送を起動できます。

23.5.7 送受信初期化

STACビットを“1”(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がり時でSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

23.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図 23.17にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図 23.18にマルチプロセッサ通信機能のブロック図を、表 23.14にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

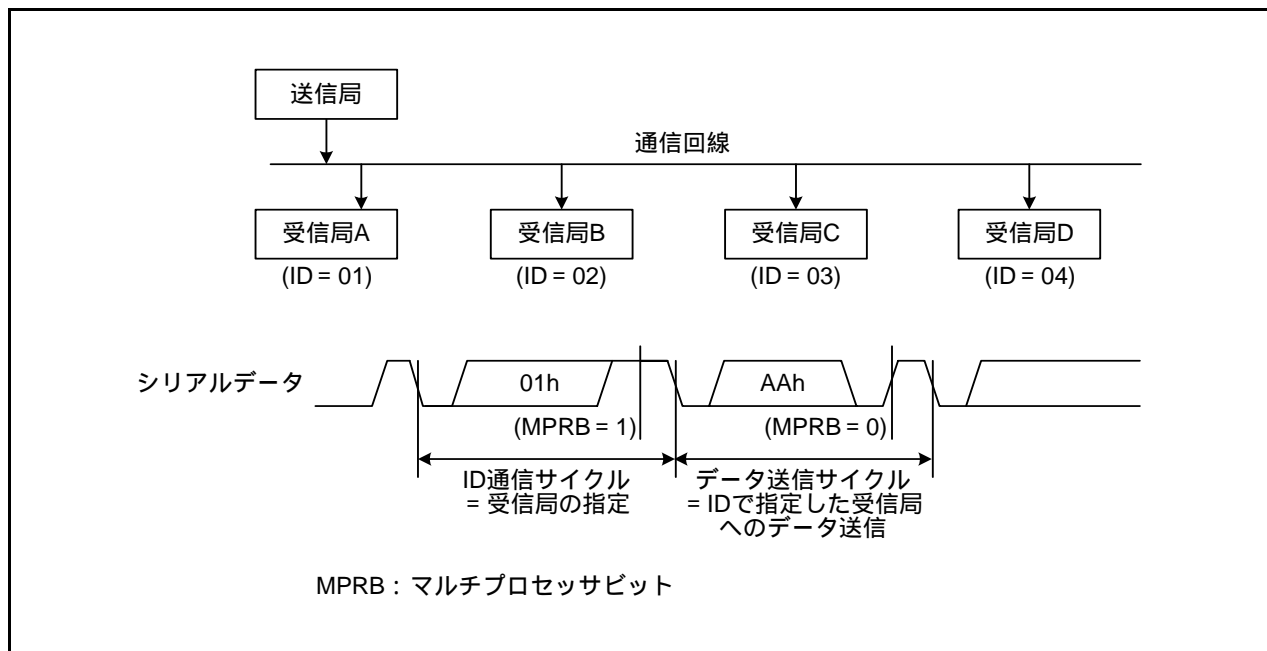


図 23.17 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)

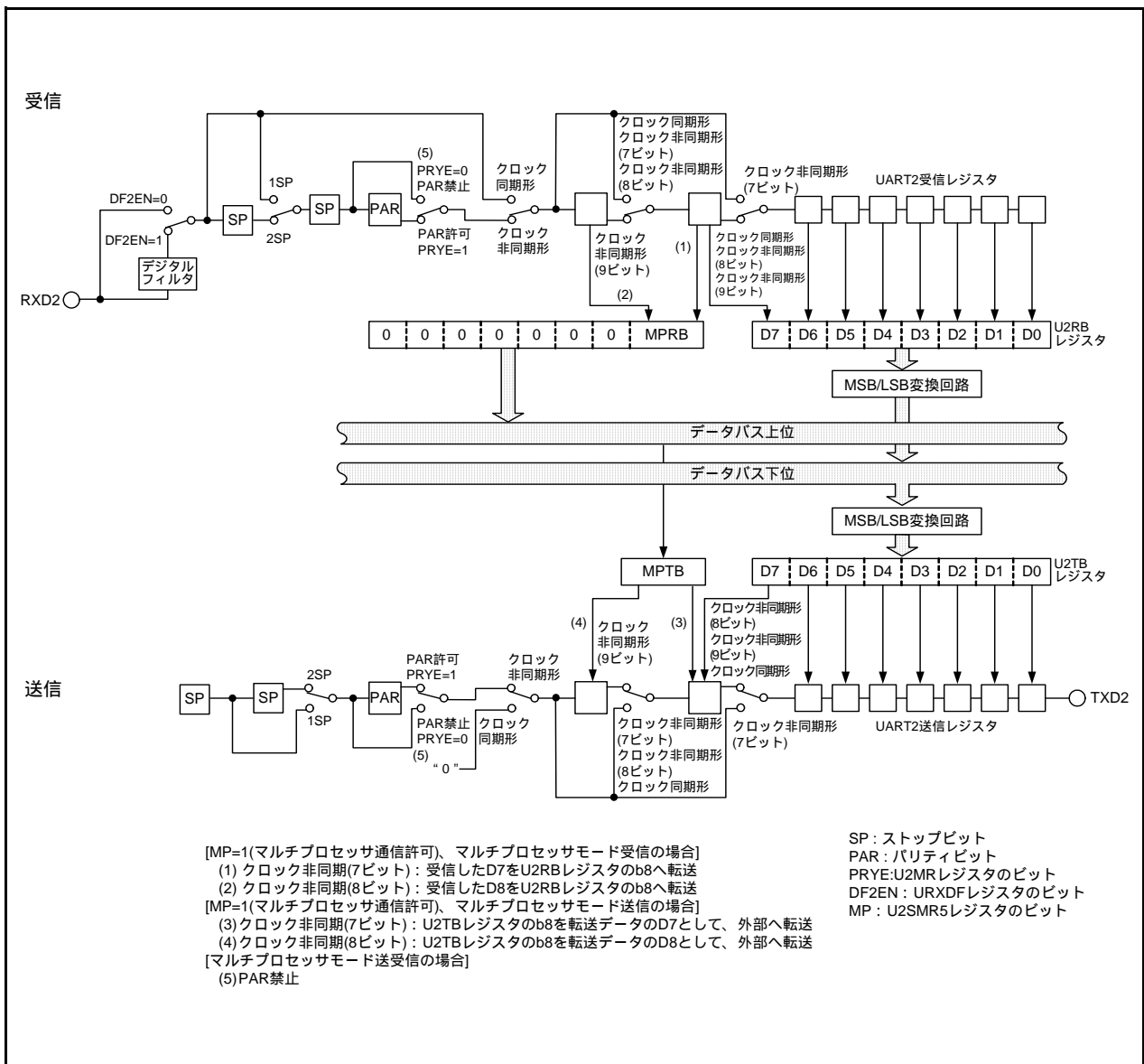


図 23.18 マルチプロセッサ通信機能のブロック図

表 23.14 マルチプロセッサ通信機能時の使用レジスタと設定値

| レジスタ | ビット | 機能 |
|----------|-------------|--|
| U2TB(注1) | b0 ~ b7 | 送信データを設定してください |
| | MPTB | “0” または “1” を設定してください |
| U2RB(注2) | b0 ~ b7 | 受信データが読めます |
| | MPRB | マルチプロセッサビット |
| | OER、FER、SUM | エラーフラグ |
| U2BRG | b0 ~ b7 | 転送速度を設定してください |
| U2MR | SMD2 ~ SMD0 | 転送データが7ビットの場合、“100b” を設定してください 転送データが8ビットの場合、“101b” を設定してください |
| | CKDIR | 内部クロック、外部クロックを選択してください |
| | STPS | ストップビットを選択してください |
| | PRY、PRYE | パリティ検出機能無効 |
| | IOPOL | “0” にしてください |
| | U2C0 | CLK0、CLK1 |
| CRS | | CTSまたはRTS機能無効 |
| TXEPT | | 送信レジスタ空フラグ |
| CRD | | “0” にしてください |
| NCH | | TXD2端子出力形式を選択してください |
| CKPOL | | “0” にしてください |
| UFORM | | “0” にしてください |
| U2C1 | | TE |
| | TI | 送信バッファ空フラグ |
| | RE | 受信を許可するとき、“1” にしてください |
| | RI | 受信完了フラグ |
| | U2IRS | UART2の送信割り込み要因を選択してください |
| | U2LCH | “0” にしてください |
| | U2ERE | “0” にしてください |
| U2SMR | b0 ~ b7 | “0” にしてください |
| U2SMR2 | b0 ~ b7 | “0” にしてください |
| U2SMR3 | b0 ~ b7 | “0” にしてください |
| U2SMR4 | b0 ~ b7 | “0” にしてください |
| U2SMR5 | MP | “1” にしてください |
| | MPIE | “1” にしてください |
| URXDF | DF2EN | デジタルフィルタの有効、無効を選択してください |

注1. IDデータフレームを送信したとき、MPTBビットを“1” にしてください。データフレームを送信したとき、MPTBビットを“0” にしてください。

注2. MPRBビットが“1” の場合、受信したD7 ~ D0はIDフィールドです。MPRBビットが“0” の場合、受信したD7 ~ D0はデータフィールドです。

23.6.1 マルチプロセッサ送信

図 23.19 にマルチプロセッサデータ送信のフローチャートの例を示します。ID 送信サイクルでは、U2TB レジスタのMPBT ビットを “1” にして送信してください。データ送信サイクルでは、U2TB レジスタのMPBT を “0” にして送信してください。その他の動作は調歩同期モード (UART モード) の動作と同じです。

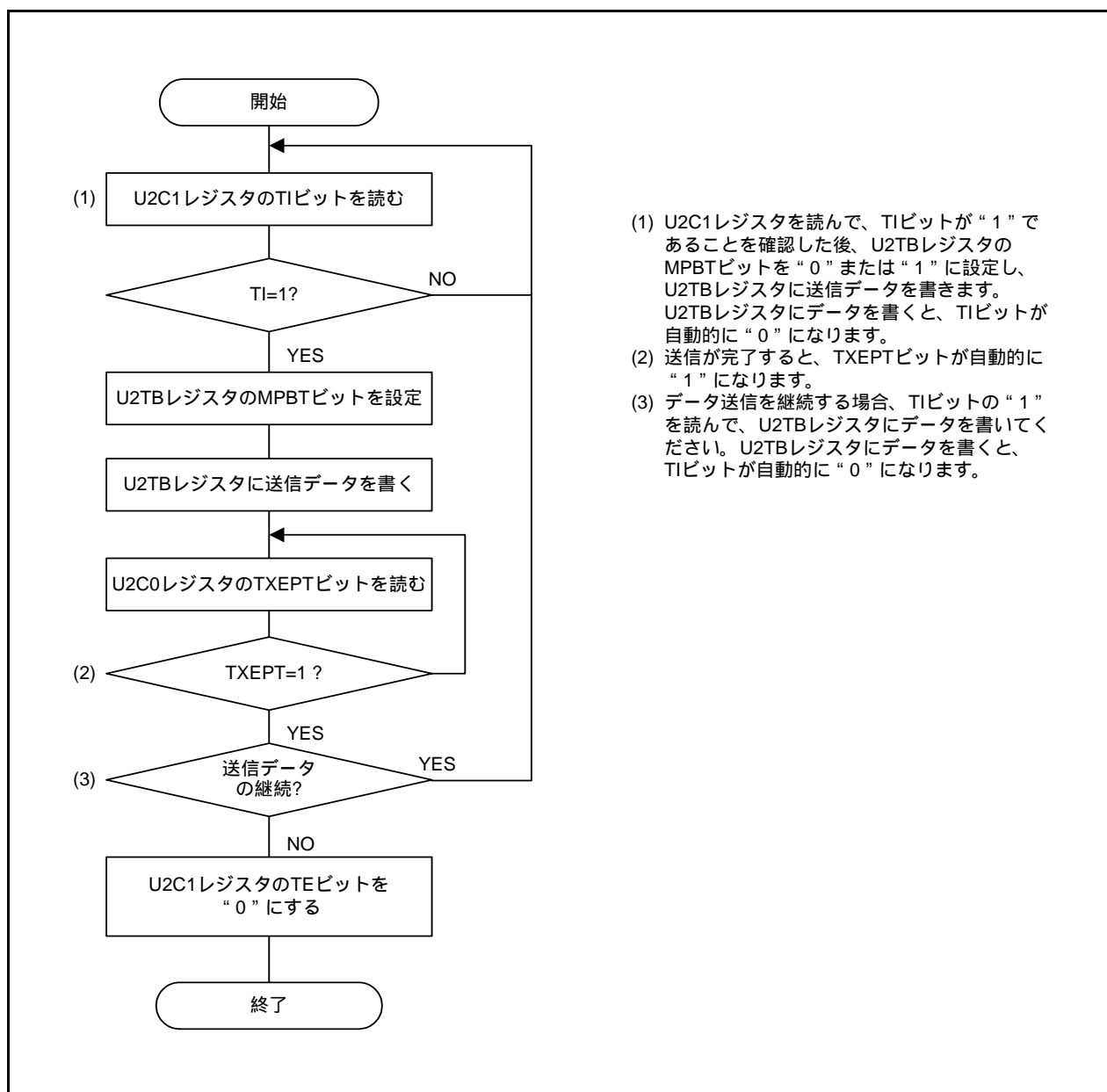


図 23.19 マルチプロセッサデータ送信のフローチャートの例

23.6.2 マルチプロセッサ受信

図 23.20 にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5 レジスタの MPIE ビットを “1” にすると、マルチプロセッサビットが “1” の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが “1” の通信データを、受信データとして U2RB レジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作は調歩同期モード(UARTモード)の動作と同じです。図 23.21 にマルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)を示します。

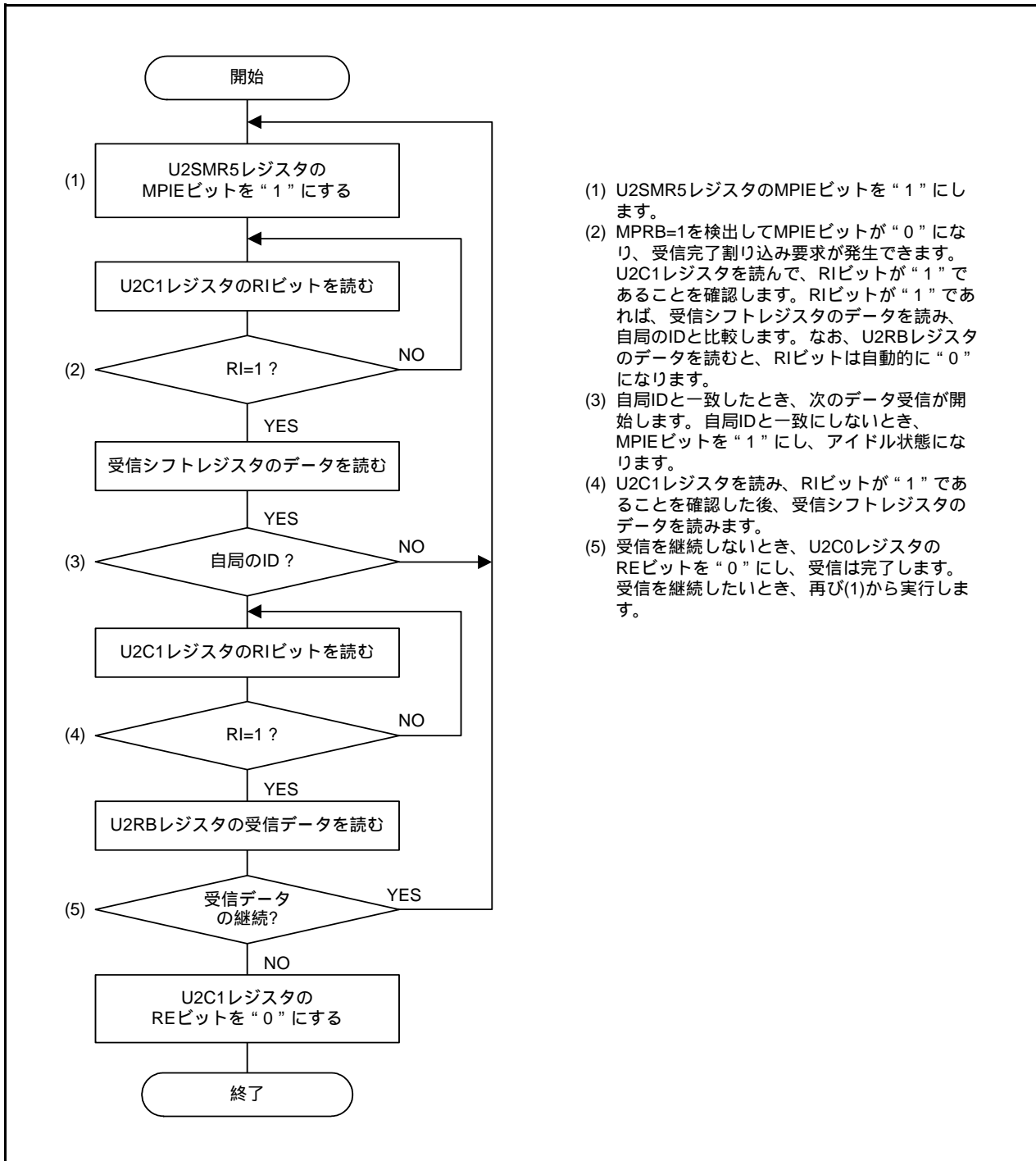


図 23.20 マルチプロセッサデータ受信のフローチャートの例

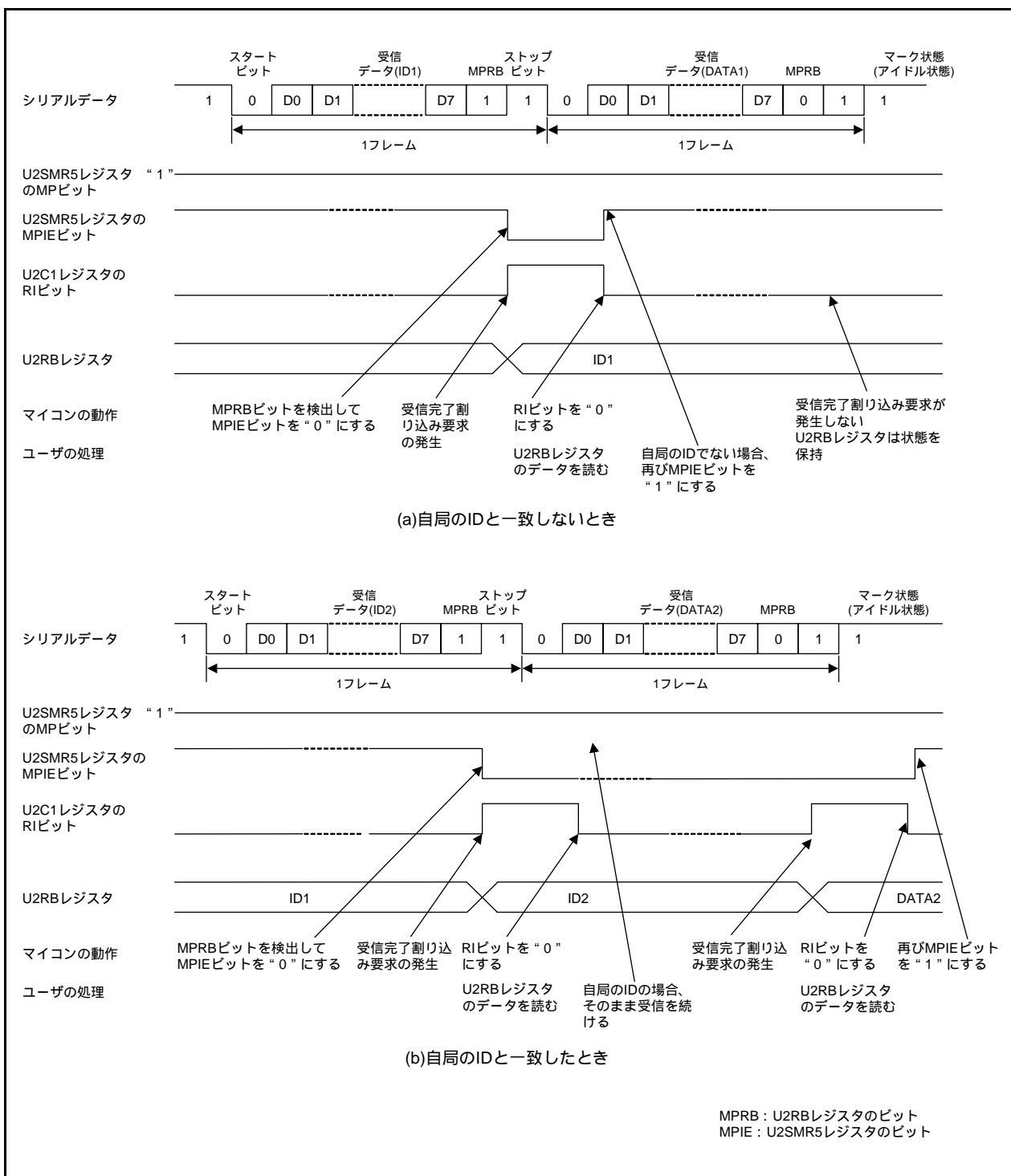


図 23.21 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

23.6.3 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図 23.22 にRXD2デジタルフィルタ回路のブロック図を示します。

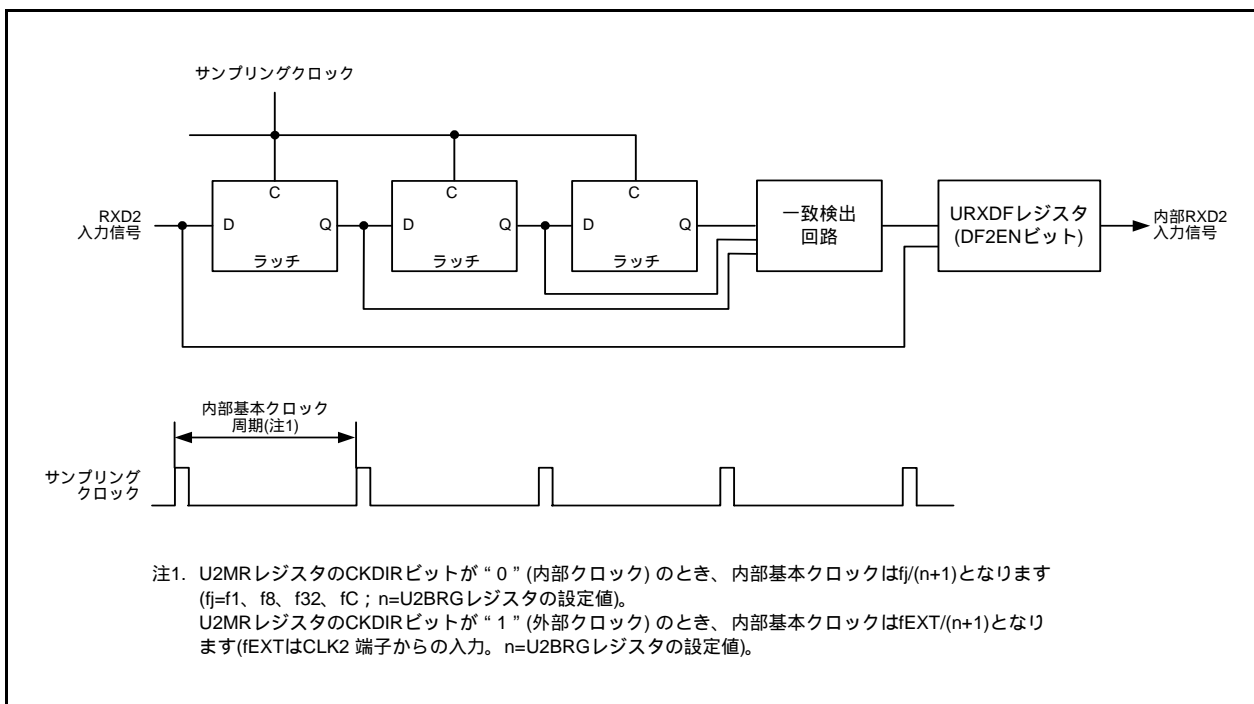


図 23.22 RXD2デジタルフィルタ回路のブロック図

23.7 シリアルインタフェース(UART2)使用上の注意

23.7.1 クロック同期形シリアルI/Oモード

23.7.1.1 送受信

外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTS2端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTS2端子の出力レベルは“H”になります。このため、RTS2端子を送信側のCTS2端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

23.7.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち上がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態です。次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- CTS機能を選択している場合、CTS2端子の入力が“L”

23.7.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックが発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックが発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態です。次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

23.7.2 特殊モード1 (I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

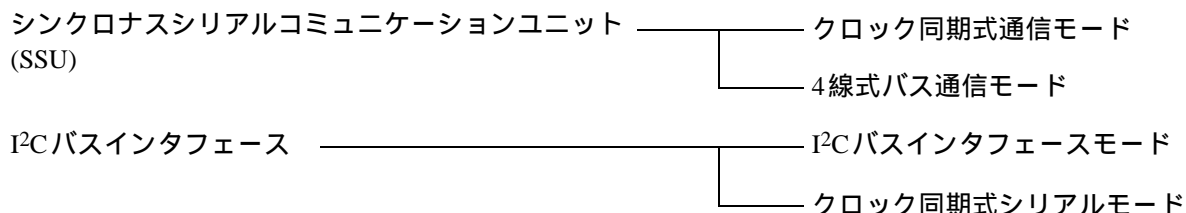
23.7.3 U2BRGレジスタ

U2BRGレジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

24. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、0193h ~ 019Dh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

24.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 24.1 にモード選択に関わるビットを示します。各モードの詳細は「25. シンクロナスシリアルコミュニケーションユニット(SSU)」および「26. I²Cバスインタフェース」を参照してください。

表 24.1 モード選択

| SSUICSR レジスタの IICSELビット | 0198h番地のビット7 (ICCR1レジスタの ICEビット) | 019Dh番地のビット0 (SSMR2レジスタの SSUMSビット、 SARレジスタのFSビット) | 機能名 | モード |
|-------------------------------|--|--|---------------------------------|---------------------|
| 0 | 0 | 0 | シンクロナスシリアル コミュニケーション ユニット | クロック同期式通信 モード |
| 0 | 0 | 1 | | 4線式バス通信モード |
| 1 | 1 | 0 | I²Cバスインタフェース | I²Cバスインタフェース モード |
| 1 | 1 | 1 | | クロック同期式シリアル モード |

25. シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。

25.1 概要

表 25.1にシンクロナスシリアルコミュニケーションユニットの仕様を、図 25.1にシンクロナスシリアルコミュニケーションユニットブロック図を示します。

表 25.1 シンクロナスシリアルコミュニケーションユニットの仕様

| 項目 | 仕様 |
|--------------|---|
| 転送データフォーマット | ・転送データ長 8～16ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能 |
| 動作モード | ・クロック同期式通信モード ・4線式バス通信モード(双方向通信モード含む) |
| マスタ/スレーブデバイス | 選択可能 |
| 入出力端子 | SSCK(入出力)：クロック入出力端子 SSI(入出力)：データ入出力端子 SSO(入出力)：データ入出力端子 SCS(入出力)：チップセレクト入出力端子 |
| 転送クロック | ・SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき外部クロック(SSCK端子から入力) ・SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力) ・クロック極性と位相を選択できる |
| 受信エラーの検出 | ・オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になる |
| マルチマスタエラーの検出 | ・コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態、シリアル通信を開始しようとしたとき、SCS端子入力が“L”であればSSSRレジスタのCEビットが“1”になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。 |
| 割り込み要求 | 5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1) |
| 選択機能 | ・データ転送方向 MSBファーストまたはLSBファーストを選択 ・SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択 ・SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択 |

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

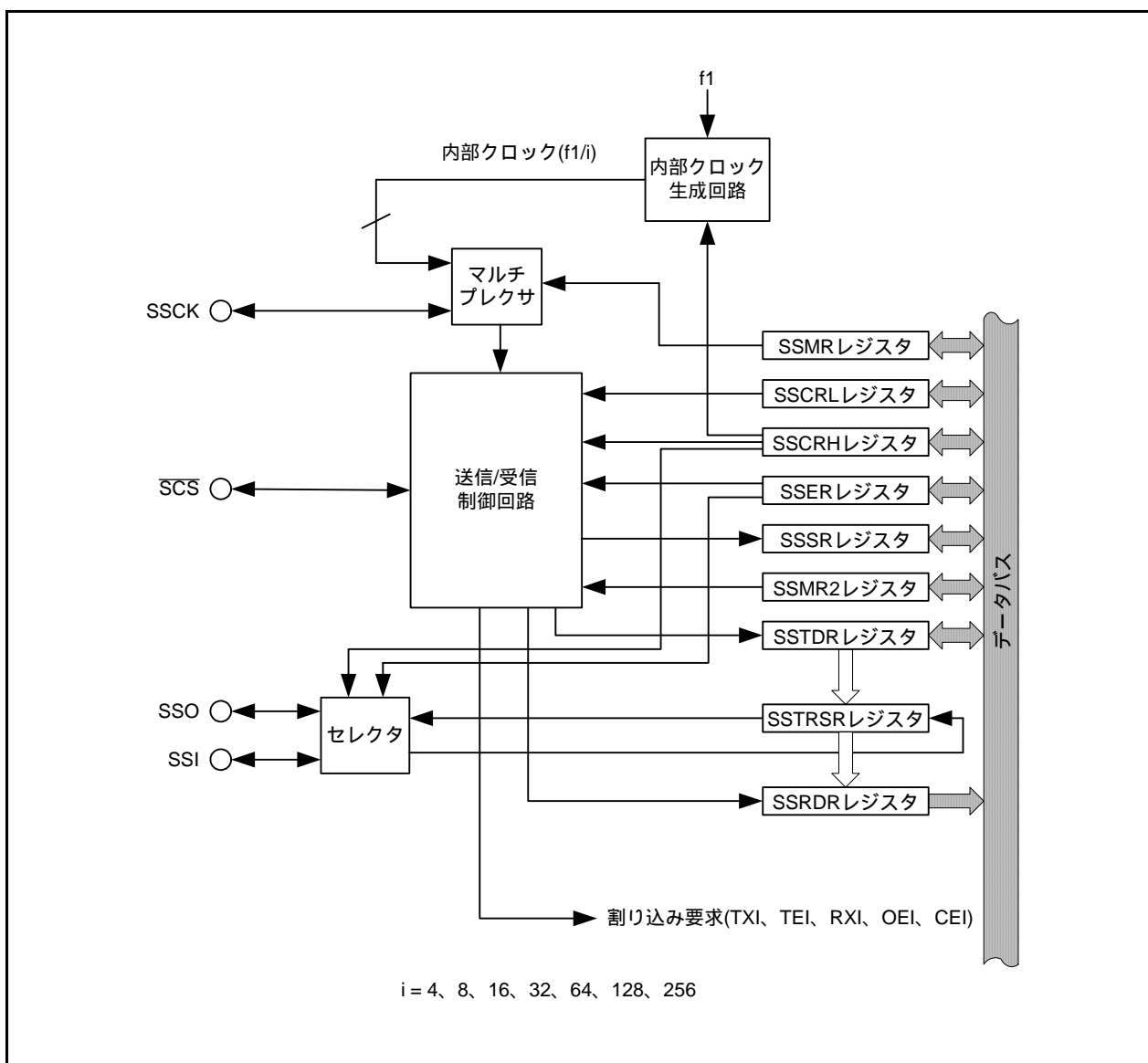


図 25.1 シンクロナスシリアルコミュニケーションユニットブロック図

表 25.2 シンクロナスシリアルコミュニケーションユニットの端子構成

| 端子名 | 割り当てる端子 | 入出力 | 機能 |
|------|---------|-----|------------|
| SSI | P3_4 | 入出力 | データ入出力 |
| SCS | P3_3 | 入出力 | チップセレクト入出力 |
| SSCK | P3_5 | 入出力 | クロック入出力 |
| SSO | P3_7 | 入出力 | データ入出力 |

25.2 レジスタの説明

25.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

| | | | | | | | | |
|---------|---------|----|--------|--------|--------|----|----|----|
| アドレス | 0008h番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | SSU、I ² Cバススタンバイビット | 0：アクティブ 1：スタンバイ(注1) | R/W |
| b4 | MSTTRD | タイマRDスタンバイビット | 0：アクティブ 1：スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0：アクティブ 1：スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR_i(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。

注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

25.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

| | | | | | | | | |
|---------|---------|----|----|----|----|----|----|--------|
| アドレス | 018Ch番地 | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | IICSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|---|-----|
| b0 | IICSEL | SSU/I ² Cバス切り替えビット | 0：SSU機能を選択 1：I ² Cバス機能を選択 | R/W |
| b1 | - | 予約ビット | “0”にしてください | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | - | 予約ビット | “0”にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

25.2.3 SSビットカウンタレジスタ(SSBR)

アドレス 0193h番地

| | | | | | | | | |
|---------|----|----|----|----|-----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | BS3 | BS2 | BS1 | BS0 |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--------------------------------|-----|
| b0 | BS0 | SSUデータ転送長設定ビット(注1) | b3 b2 b1 b0 0 0 0 0 : 16ビット | R/W |
| b1 | BS1 | | 1 0 0 0 : 8ビット | R/W |
| b2 | BS2 | | 1 0 0 1 : 9ビット | R/W |
| b3 | BS3 | | 1 0 1 0 : 10ビット | R/W |
| | | | 1 0 1 1 : 11ビット | |
| | | 1 1 0 0 : 12ビット | | |
| | | 1 1 0 1 : 13ビット | | |
| | | 1 1 1 0 : 14ビット | | |
| | | 1 1 1 1 : 15ビット | | |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。

SSBRレジスタを設定するときは、SSERレジスタのREビットを“0”(受信禁止)、TEビットを“0”(送信禁止)にしてください。

BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

25.2.4 SS送信データレジスタ(SSTDR)

アドレス 0195h～0194h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | 機能 | R/W |
|--------|------|--|-----|
| b15～b0 | - | 送信データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書いておくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。 | R/W |

注1. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。

25.2.5 SS受信データレジスタ(SSRDR)

アドレス 0197h ~ 0196h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | シンボル | 機能 | R/W |
|----------|------|--|-----|
| b15 ~ b0 | - | 受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。 | R |

注1. SSSRレジスタのORERビットが“1”(オーバーランエラー発生)になったとき、SSRDRレジスタはオーバーランエラー発生前の受信データを保持します。オーバーランエラー発生時の受信データは、破棄されます。

注2. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

25.2.6 SS制御レジスタH(SSCRH)

アドレス 0198h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|-------|-----|----|----|------|------|------|
| シンボル | - | RSSTP | MSS | - | - | CKS2 | CKS1 | CKS0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | CKS0 | 転送クロック選択ビット(注1) | b2 b1 b0 0 0 0 : f1/256 | R/W |
| b1 | CKS1 | | 0 0 1 : f1/128 | R/W |
| b2 | CKS2 | | 0 1 0 : f1/64 | R/W |
| | | | 0 1 1 : f1/32 | |
| | | 1 0 0 : f1/16 | | |
| | | 1 0 1 : f1/8 | | |
| | | 1 1 0 : f1/4 | | |
| | | 1 1 1 : 設定しないでください | | |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | - | | | |
| b5 | MSS | マスタ/スレーブデバイス選択ビット(注2) | 0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作 | R/W |
| b6 | RSSTP | 受信シングルストップビット(注3) | 0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了 | R/W |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

注1. MSSビットが“1”(マスタデバイスとして動作)のときに、設定されたクロックが使用されます。

注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。

注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

25.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h番地

| | | | | | | | | |
|---------|----|----|-----|------|----|----|------|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | SOL | SOLP | - | - | SRES | - |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b1 | SRES | SSU制御部リセットビット | このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。SSU内部レジスタ(注1)の値は保持される。 | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b3 | - | | | |
| b4 | SOLP | SOLライトプロテクトビット(注2) | “0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。 | R/W |
| b5 | SOL | シリアルデータ出力値設定ビット | 読んだ場合 0：シリアルデータ出力が“L” 1：シリアルデータ出力が“H” 書いた場合(注2、3) 0：データ出力を“L”にする 1：データ出力を“H”にする | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b7 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |

注1. SSBP、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTD、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。

シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。

SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。

25.2.8 SSモードレジスタ (SSMR)

アドレス 019Ah番地

| | | | | | | | | |
|---------|-----|------|------|----|-----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | MLS | CPOS | CPHS | - | BC3 | BC2 | BC1 | BC0 |
| リセット後の値 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | BC0 | ビットカウンタ3~0 | b3 b2 b1 b0 0000: 残り16ビット | R |
| b1 | BC1 | | 0001: 残り1ビット | R |
| b2 | BC2 | | 0010: 残り2ビット | R |
| b3 | BC3 | | 0011: 残り3ビット | R |
| | | | 0100: 残り4ビット | |
| | | | 0101: 残り5ビット | |
| | | | 0110: 残り6ビット | |
| | | | 0111: 残り7ビット | |
| | | | 1000: 残り8ビット | |
| | | | 1001: 残り9ビット | |
| | | | 1010: 残り10ビット | |
| | | | 1011: 残り11ビット | |
| | | | 1100: 残り12ビット | |
| | | | 1101: 残り13ビット | |
| | | | 1110: 残り14ビット | |
| | | | 1111: 残り15ビット | |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b5 | CPHS | SSCKクロック位相選択ビット(注1) | 0: 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1: 偶数エッジでデータ変化 (奇数エッジでデータ取り込み) | R/W |
| b6 | CPOS | SSCKクロック極性選択ビット(注1) | 0: クロック停止時、“H” 1: クロック停止時、“L” | R/W |
| b7 | MLS | MSBファースト/LSBファースト選択ビット | 0: MSBファーストでデータ転送 1: LSBファーストでデータ転送 | R/W |

注1. CPHS、CPOSビットの設定については「25.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

25.2.9 SS許可レジスタ(SSER)

アドレス 019Bh番地

| | | | | | | | | |
|---------|-----|------|-----|----|----|----|----|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TIE | TEIE | RIE | TE | RE | - | - | CEIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | CEIE | コンフリクトエラー割り込み許可ビット | 0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可 | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | - | | | |
| b3 | RE | 受信許可ビット | 0: 受信禁止 1: 受信許可 | R/W |
| b4 | TE | 送信許可ビット | 0: 送信禁止 1: 送信許可 | R/W |
| b5 | RIE | 受信割り込み許可ビット | 0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可 | R/W |
| b6 | TEIE | 送信終了割り込み許可ビット | 0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可 | R/W |
| b7 | TIE | 送信割り込み許可ビット | 0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可 | R/W |

25.2.10 SSステータスレジスタ (SSSR)

アドレス 019Ch番地

| | | | | | | | | |
|---------|------|------|------|----|----|------|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TDRE | TEND | RDRF | - | - | ORER | - | CE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|---|-----|
| b0 | CE | コンフリクトエラーフラグ(注1) | 0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2) | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | ORER | オーバランエラーフラグ(注1) | 0: オーバランエラーなし 1: オーバランエラー発生(注3) | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | - | | | |
| b5 | RDRF | 受信データレジスタフルフラグ(注1、4) | 0: SSRDR レジスタにデータなし 1: SSRDR レジスタにデータあり | R/W |
| b6 | TEND | 送信終了フラグ(注1、5) | 0: 送信データの最後尾ビットの送信時、TDRE ビットが“0” 1: 送信データの最後尾ビットの送信時、TDRE ビットが“1” | R/W |
| b7 | TDRE | 送信データ空フラグ(注1、5、6) | 0: SSTDR レジスタから SSTRSR レジスタにデータ転送されていない 1: SSTDR レジスタから SSTRSR レジスタにデータ転送された | R/W |

- 注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。
- 注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。「25.5.4 SCS端子制御とアービトレーション」を参照してください。
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中でSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。
- 注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。
ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。
- 注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。
- 注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、0になります。
SSTDRレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。
- 注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

25.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh番地

| | | | | | | | | |
|---------|------|------|------|------|-------|------|------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BIDE | SCKS | CSS1 | CSS0 | SCKOS | SOOS | CSOS | SSUMS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|----------------------------|---|-----|
| b0 | SSUMS | SSUモード選択ビット(注1) | 0: クロック同期式通信モード 1: 4線式バス通信モード | R/W |
| b1 | CSOS | SCS端子オープンドレイン出力選択ビット | 0: CMOS出力 1: Nチャンネルオープンドレイン出力 | R/W |
| b2 | SOOS | シリアルデータオープンドレイン出力選択ビット(注1) | 0: CMOS出力(注5) 1: Nチャンネルオープンドレイン出力 | R/W |
| b3 | SCKOS | SSCK端子オープンドレイン出力選択ビット | 0: CMOS出力 1: Nチャンネルオープンドレイン出力 | R/W |
| b4 | CSS0 | SCS端子選択ビット(注2) | b5 b4 00: ポートとして機能 01: SCS入力端子として機能 10: SCS出力端子として機能(注3) 11: SCS出力端子として機能(注3) | R/W |
| b5 | CSS1 | | | R/W |
| b6 | SCKS | SSCK端子選択ビット | 0: ポートとして機能 1: シリアルクロック端子として機能 | R/W |
| b7 | BIDE | 双方向モード許可ビット(注1、4) | 0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信) | R/W |

- 注1. データ入出力端子の組合せは、「25.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。
- 注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。
- 注3. 転送開始前は、SCS入力端子として機能します。
- 注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。
- 注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

25.3 複数モードに関わる共通事項

25.3.1 転送クロック

転送クロックを7種類の内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0 ~ CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

25.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図 25.2 に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

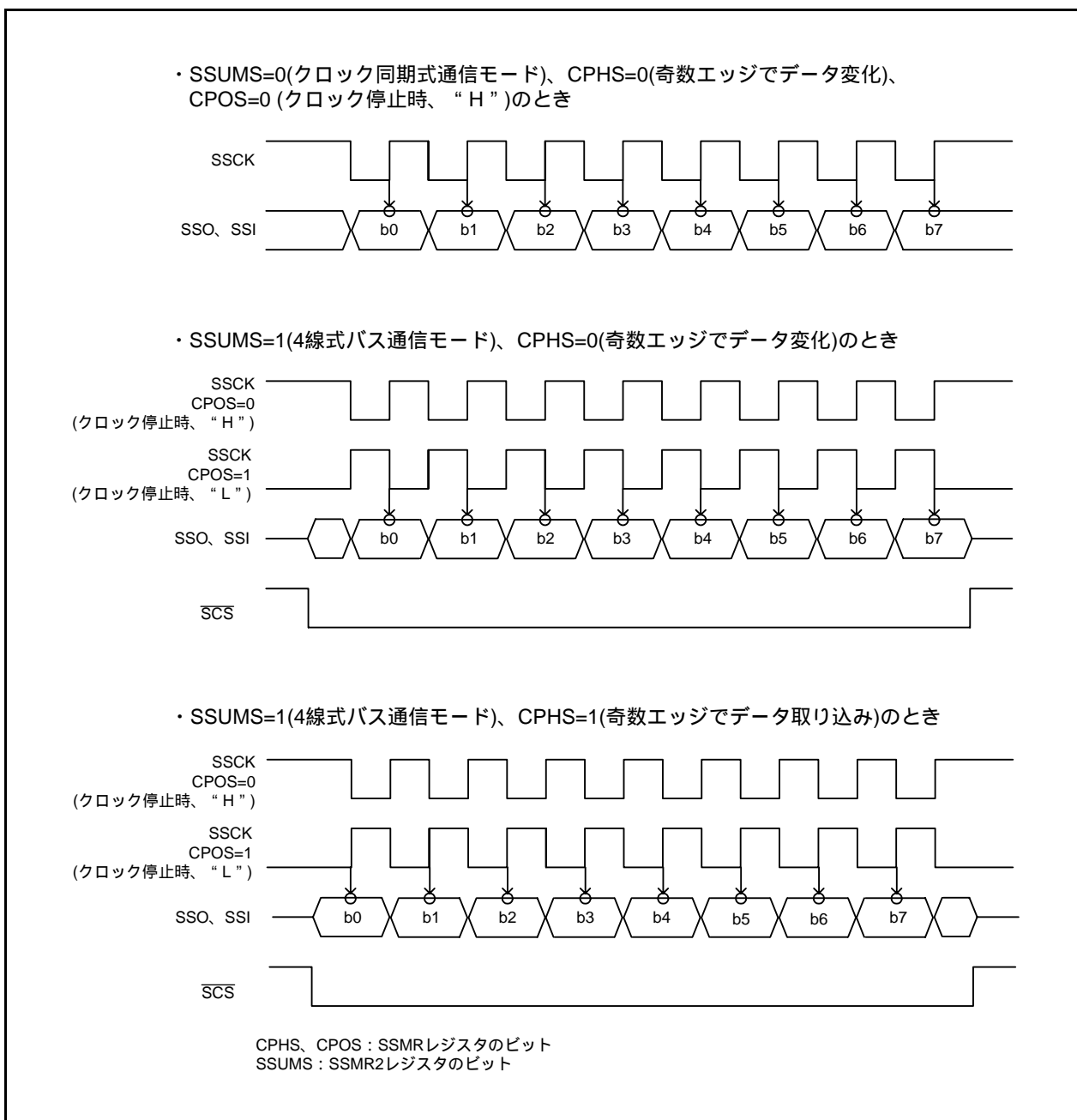


図 25.2 転送クロックの極性、位相および転送データの関係

25.3.2 SSシフトレジスタ(SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

25.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図25.3にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

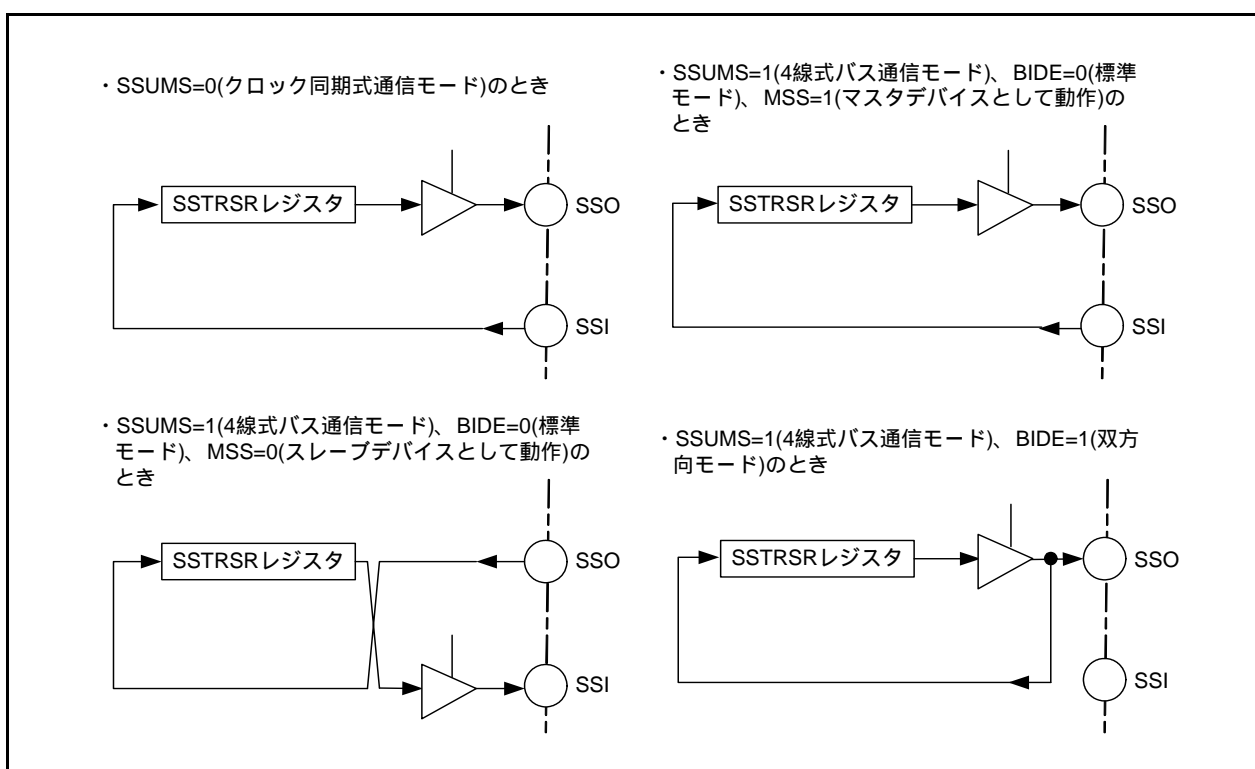


図 25.3 データ入出力端子とSSTRSRレジスタの接続関係

25.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバーランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 25.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 25.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

| 割り込み要求 | 略称 | 発生条件 |
|------------|-----|------------------|
| 送信データエンプティ | TXI | TIE=1 かつ TDRE=1 |
| 送信終了 | TEI | TEIE=1 かつ TEND=1 |
| 受信データフル | RXI | RIE=1 かつ RDRF=1 |
| オーバーランエラー | OEI | RIE=1 かつ ORER=1 |
| コンフリクトエラー | CEI | CEIE=1 かつ CE=1 |

CEIE、RIE、TEIE、TIE : SSERレジスタのビット

ORER、RDRF、TEND、TDRE : SSSRレジスタのビット

表 25.3 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDRE ビットおよびTEND ビットはSSTDR レジスタに送信データを書くことで、RDRF ビットはSSRDR レジスタを読むことで自動的に“0”になります。特にTDRE ビットはSSTDR レジスタに送信データを書いたとき、同時に再度TDRE ビットが“1” (SSTDR レジスタからSSTRSR レジスタにデータ転送された) になり、さらにTDRE ビットを“0” (SSTDR レジスタからSSTRSR レジスタにデータ転送されていない) にすると、余分に1バイト送信する場合があります。

25.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表 25.4に通信モードと入出力端子の関係を示します。

表 25.4 通信モードと入出力端子の関係

| 通信モード | ビットの設定 | | | | | 端子の状態 | | | |
|---------------------|--------|------|-----|----|----|--------|--------|------|----|
| | SSUMS | BIDE | MSS | TE | RE | SSI | SSO | SSCK | |
| クロック同期式通信モード | 0 | 無効 | 0 | 0 | 1 | 入力 | - (注1) | 入力 | |
| | | | | 1 | 0 | - (注1) | 出力 | 入力 | |
| | | | | 1 | 1 | 入力 | 出力 | 入力 | |
| | | | 1 | 0 | 1 | 入力 | - (注1) | 出力 | 出力 |
| | | | | 1 | 0 | - (注1) | 出力 | 出力 | 出力 |
| | | | | 1 | 1 | 入力 | 出力 | 出力 | |
| 4線式バス通信モード | 1 | 0 | 0 | 0 | 1 | - (注1) | 入力 | 入力 | |
| | | | | 1 | 0 | 出力 | - (注1) | 入力 | 入力 |
| | | | | 1 | 1 | 出力 | 入力 | 入力 | |
| | | | 1 | 0 | 1 | 入力 | - (注1) | 出力 | 出力 |
| | | | | 1 | 0 | - (注1) | 出力 | 出力 | 出力 |
| | | | | 1 | 1 | 入力 | 出力 | 出力 | |
| 4線式バス(双方向)通信モード(注2) | 1 | 1 | 0 | 0 | 1 | - (注1) | 入力 | 入力 | |
| | | | | 1 | 0 | - (注1) | 出力 | 入力 | |
| | | | 1 | 0 | 1 | - (注1) | 入力 | 出力 | |
| | | | | 1 | 0 | - (注1) | 出力 | 出力 | |

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

25.4 クロック同期式通信モード

25.4.1 クロック同期式通信モードの初期化

図 25.4 にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

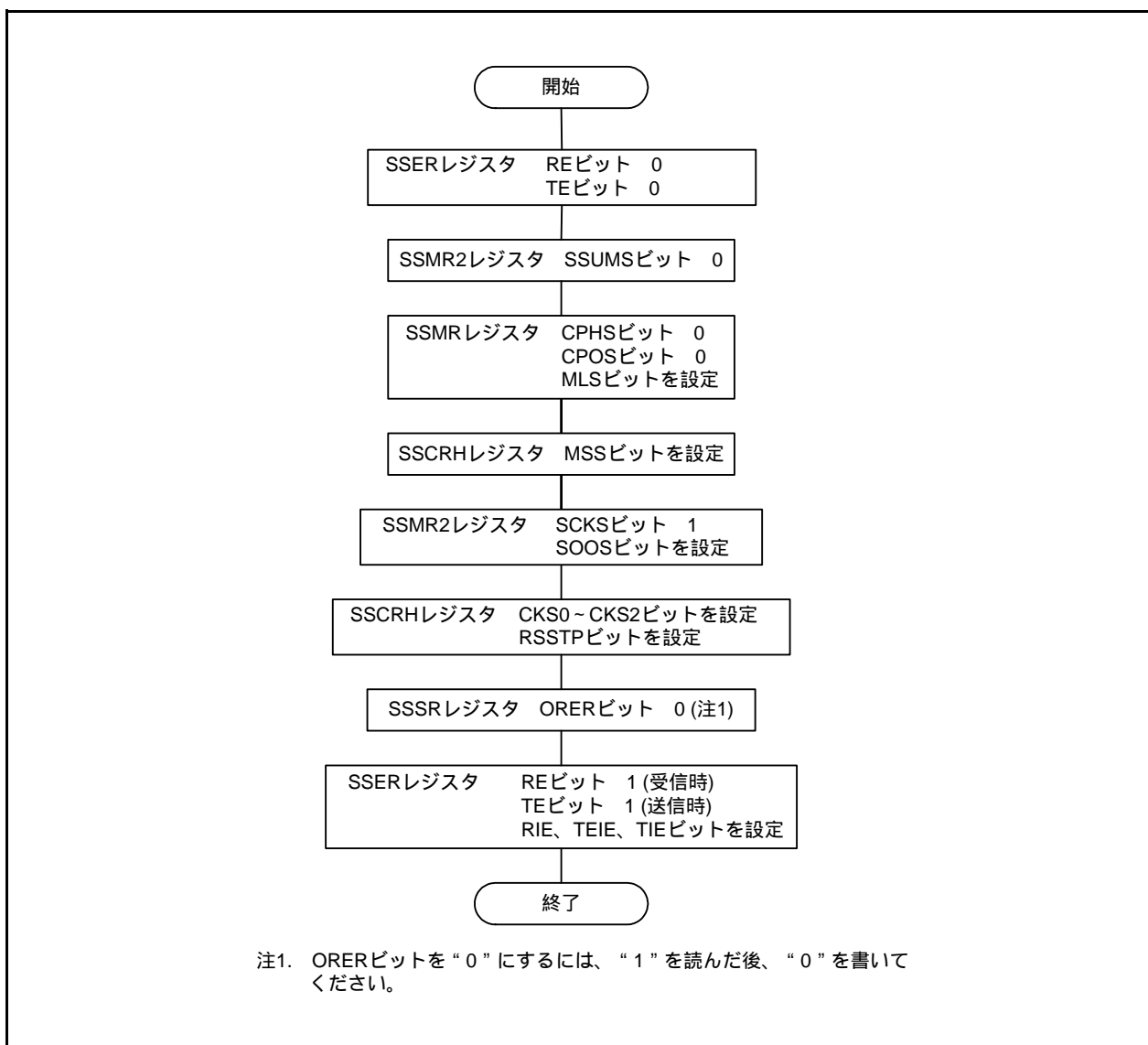


図 25.4 クロック同期式通信モードの初期化

25.4.2 データ送信

図 25.5 にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定されます。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

図 25.6 にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

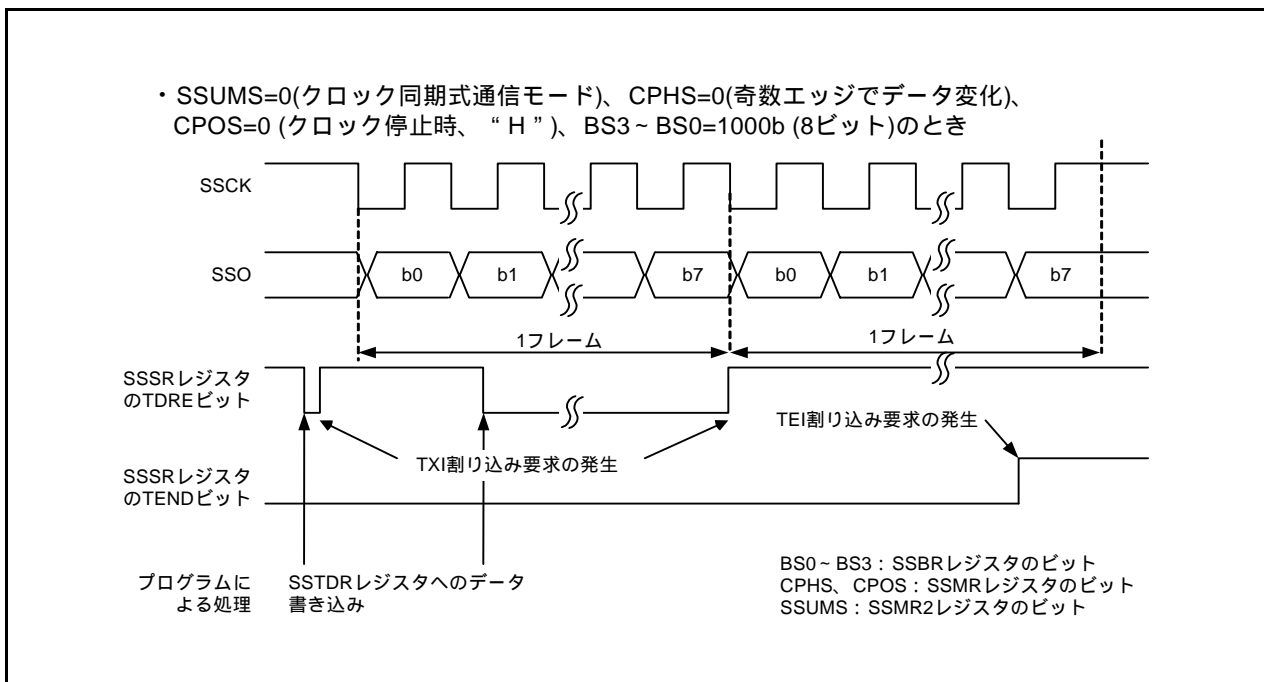


図 25.5 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

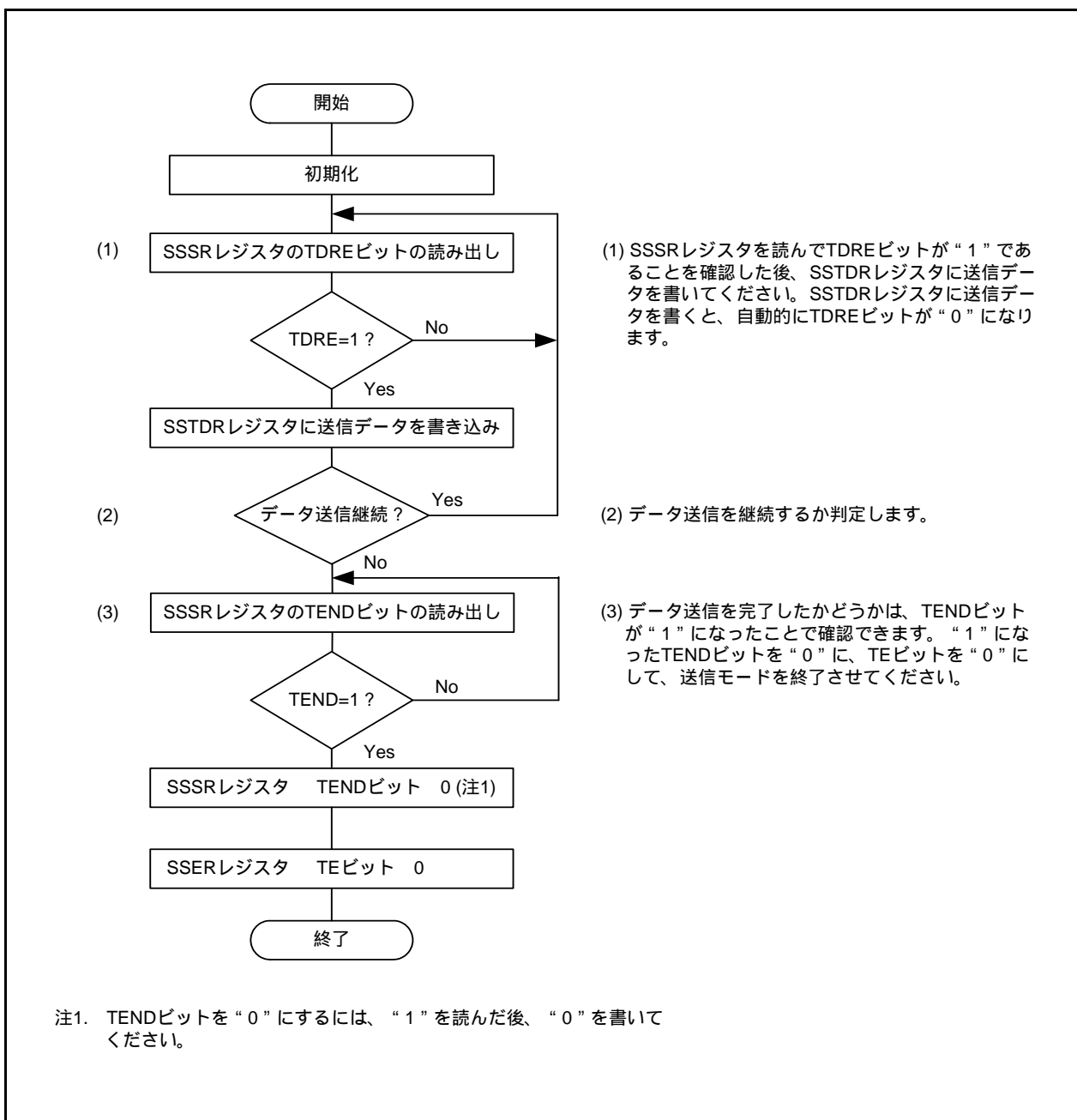


図 25.6 データ送信のフローチャート例(クロック同期式通信モード)

25.4.3 データ受信

図 25.7にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図 25.8にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

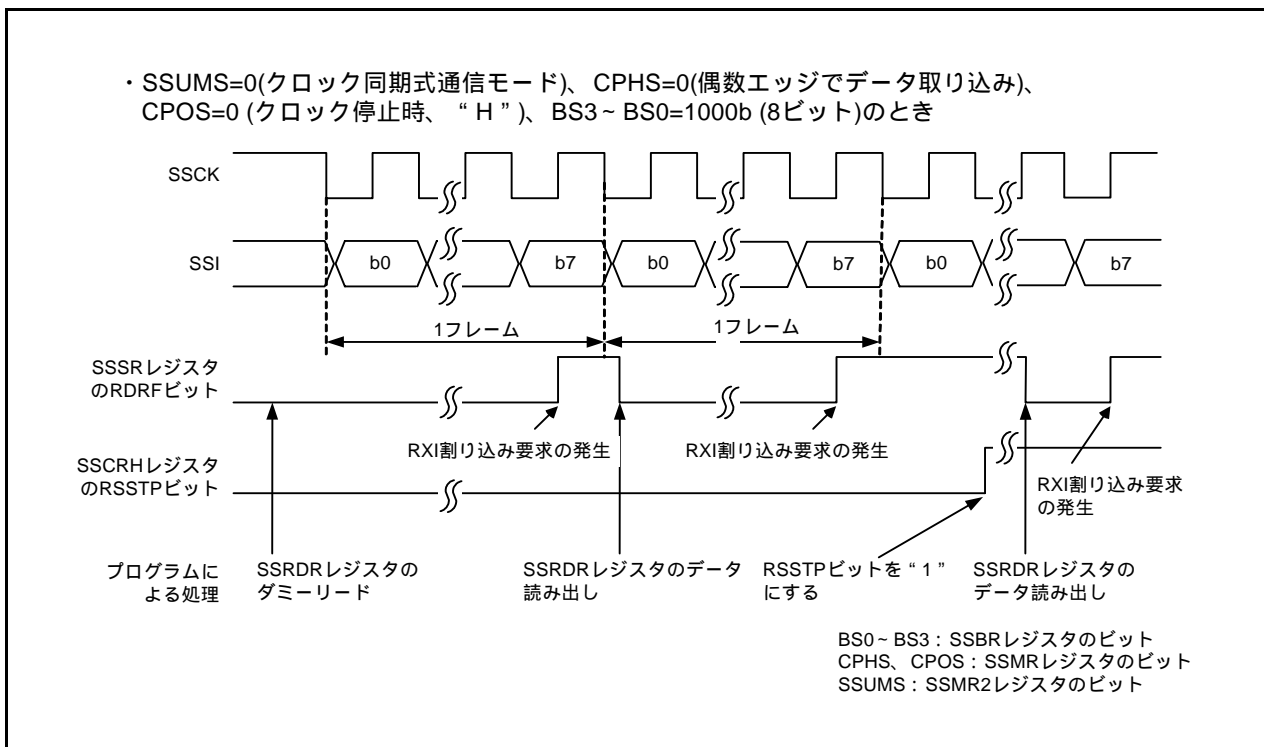


図 25.7 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

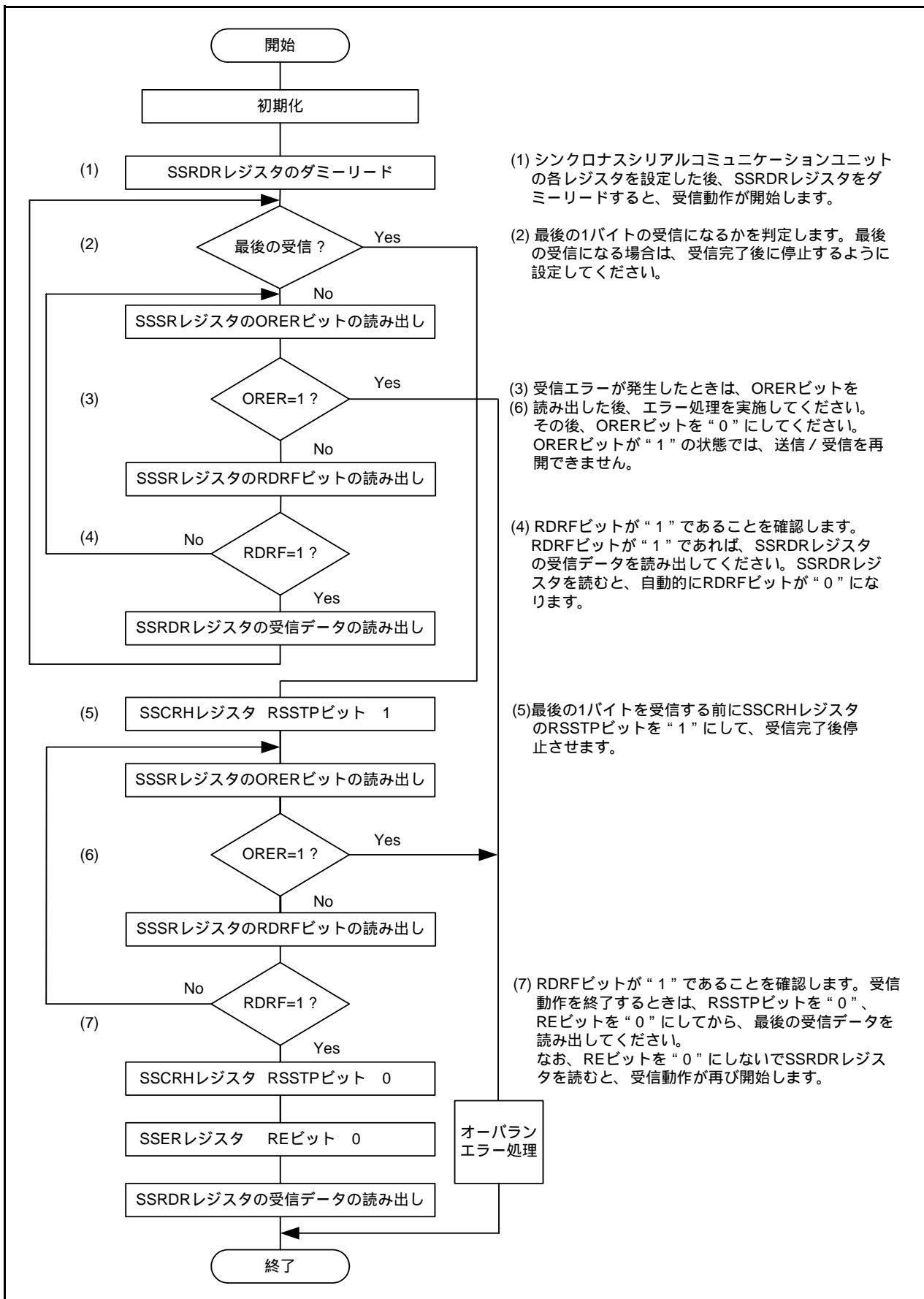


図 25.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

25.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態最終転送クロック(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)が立ち上がった場合、またはORERビットが“1”(オーバーランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”、REビットを“0”にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバーランエラーなし)であることを確認した後、TEおよびREビットを“1”にしてください。

図25.9にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE=RE=1)から送受信モードを解除する場合、SSRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まずREビットを“0”にして、その後、TEビットを“0”にする
- TEビットとREビットを同時に“0”にする

その後、受信モード(TE=0、RE=1)にする場合は、SRESビットに“1”を書いた後、“0”にしてSSU制御部およびSSTRSRレジスタを初期化してから、REビットを“1”にしてください。

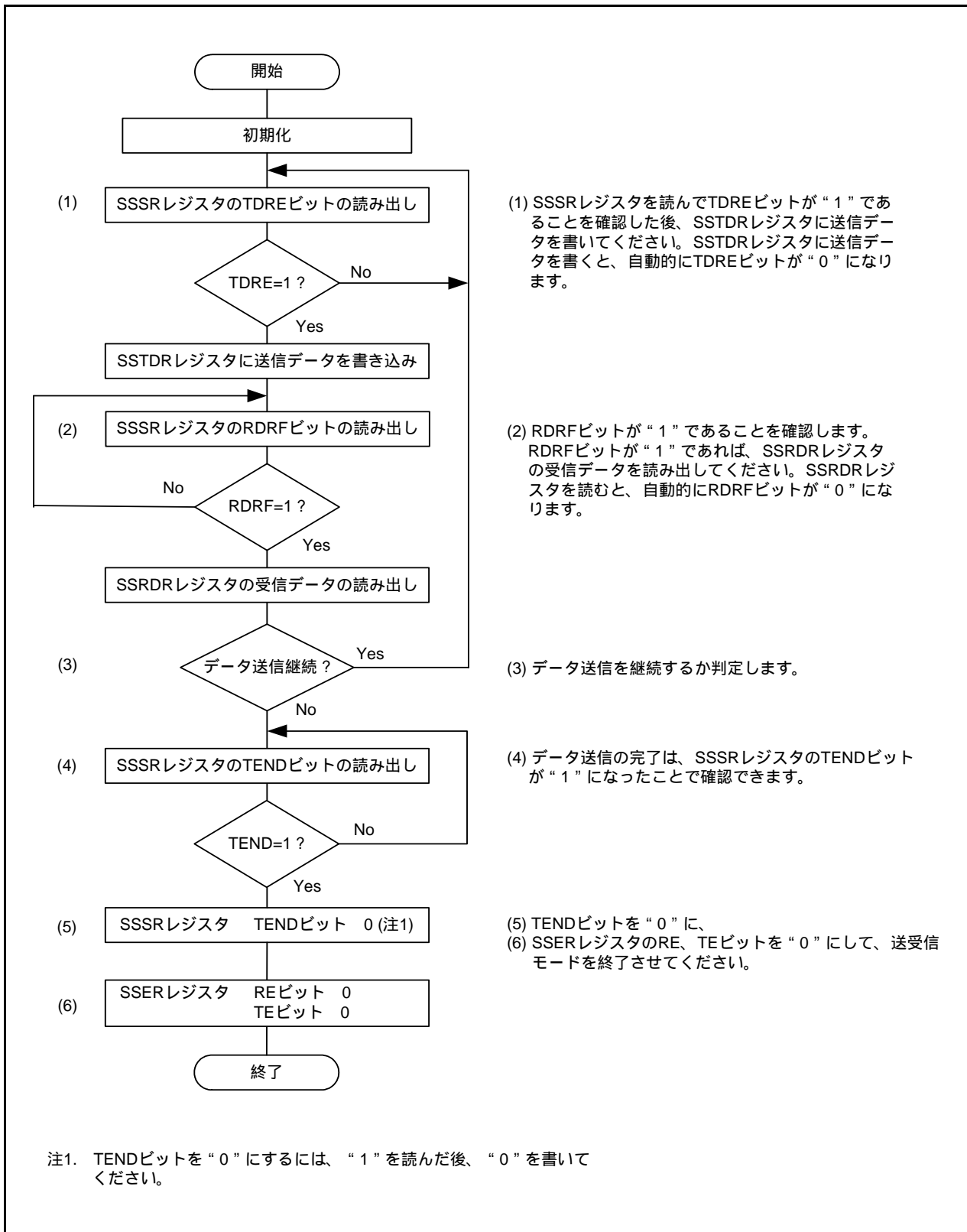


図 25.9 データ送受信のフローチャート例(クロック同期式通信モード)

25.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「25.3.2.1データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことをSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「25.3.1.1転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

25.5.1 4線式バス通信モードの初期化

図 25.10 に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

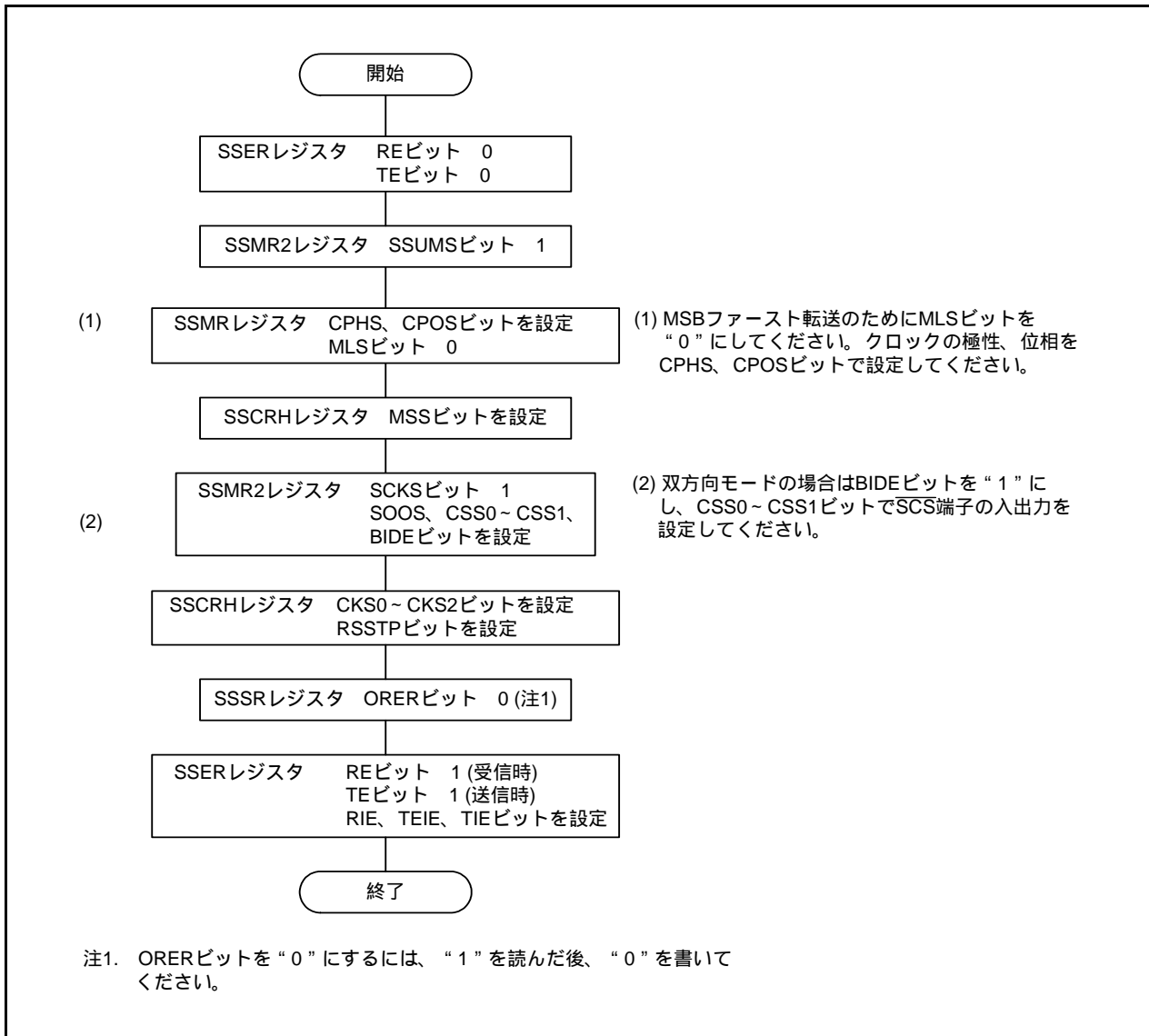


図 25.10 4線式バス通信モードの初期化

25.5.2 データ送信

図 25.11 にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定され、SCS端子は“H”になります。SCS端子が“L”のまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSSTDRレジスタに書いてください。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子が“H”入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図 25.6 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

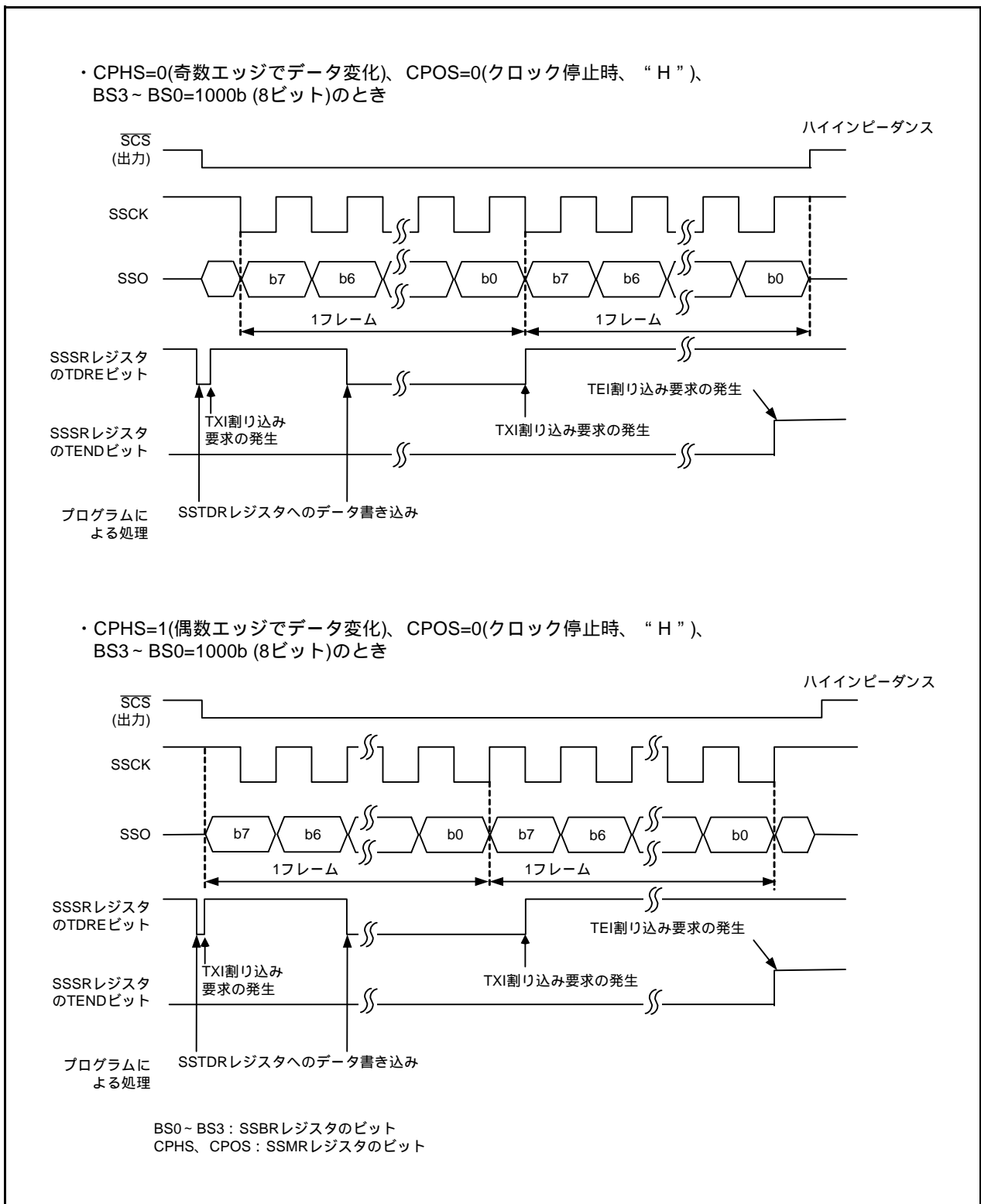


図 25.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

25.5.3 データ受信

図 25.12 にデータ受信時の動作例(4線式バス通信モード、SSU データ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBR レジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS 端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSR レジスタの RDRF ビットが“1”(SSRDR レジスタにデータあり)になり、SSRDR レジスタに受信データが格納されます。このとき、SSER レジスタの RIE ビットが“1”(RXI および OEI 割り込み要求許可)の場合、RXI 割り込み要求を発生します。SSRDR レジスタを読むと、自動的に RDRF ビットは“0”(SSRDR レジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRH レジスタの RSSTP ビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSER レジスタの RE ビットを“0”(受信禁止)に、RSSTP ビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。RE ビットが“1”(受信許可)状態で SSRDR レジスタを読むと、受信クロックを再度出力してしまいます。

RDRF ビットが“1”の状態では8クロック目が立ち上がると、SSSR レジスタの ORER ビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER ビットが“1”の状態では受信できません、受信再開の前には、ORER ビットが“0”であることを確認してください。

RDRF ビット、ORER ビットが“1”になるタイミングは、SSMR レジスタの CPHS ビットの設定により異なります。このタイミングを図 25.12 に示します。CPHS ビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 25.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

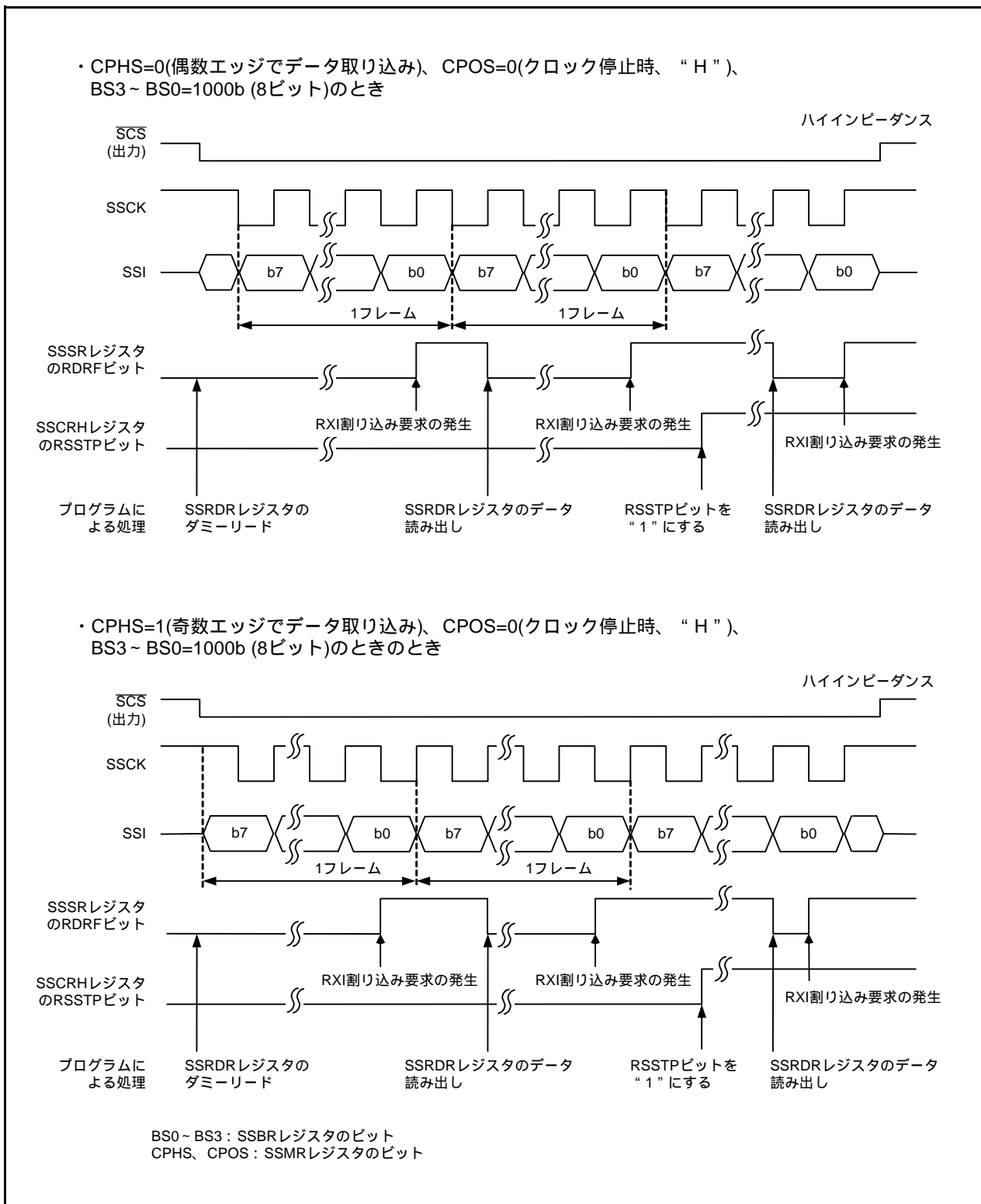


図 25.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

25.5.4 $\overline{\text{SCS}}$ 端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1”(4線式バス通信モード)、CSS1ビットを“1”(SCS出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1”(マスタデバイスとして動作)にしてからシリアル転送を開始する前に、 $\overline{\text{SCS}}$ 端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になり、自動的にMSSビットが“0”(スレーブデバイスとして動作)になります。

図 25.13 にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0”(コンフリクトエラーなし)にしてください。

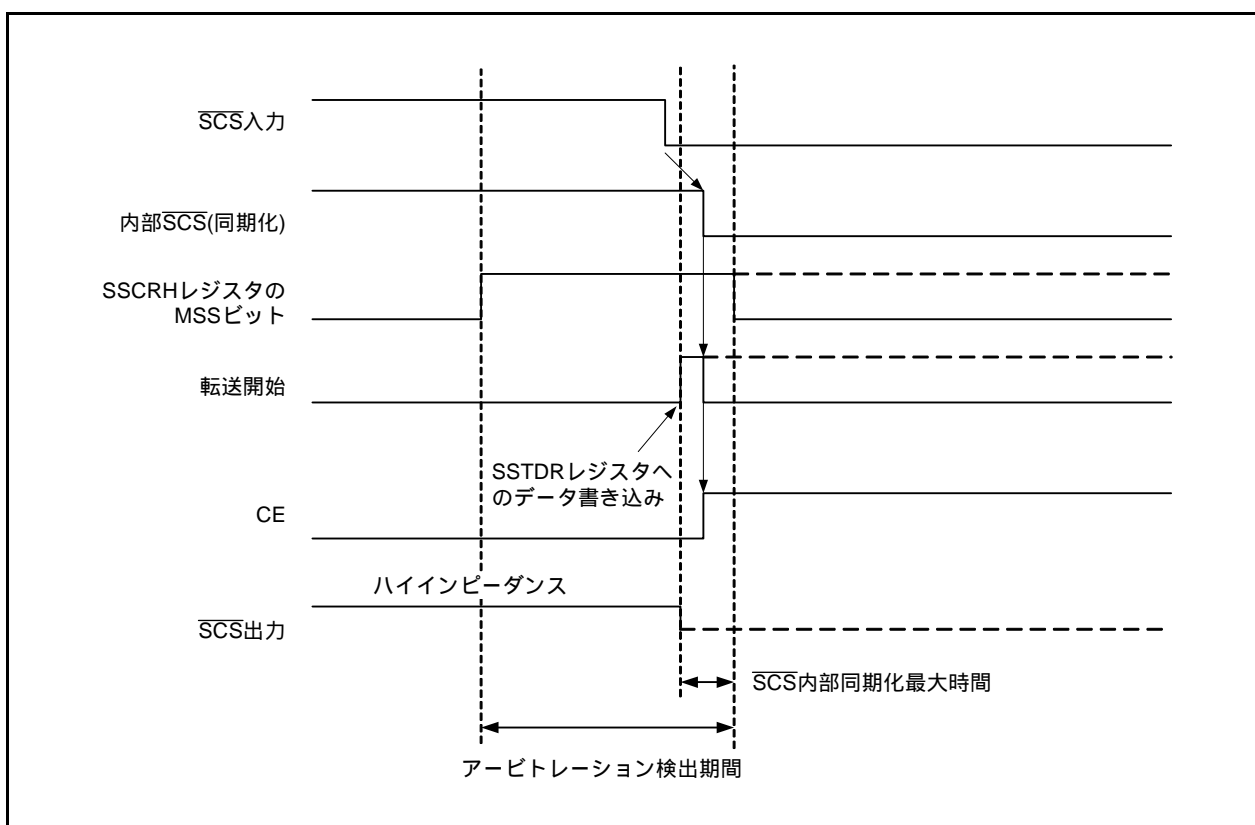


図 25.13 アービトレーションチェックタイミング

25.6 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

26. I²Cバスインタフェース

I²Cバスインタフェースは、フィリップス社I²Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

26.1 概要

表 26.1にI²Cバスインタフェースの仕様、図 26.1にI²Cバスインタフェースブロック図、図 26.2にSCL、SDA端子の外部回路接続例、表 26.2にI²Cバスインタフェースの端子構成を示します。

表 26.1 I²Cバスインタフェースの仕様

| 項目 | 仕様 |
|----------|--|
| 通信フォーマット | <ul style="list-style-type: none"> •I²Cバスフォーマット <ul style="list-style-type: none"> -マスタ/スレーブデバイスの選択可能 -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため) -マスタモードでは開始条件、停止条件の自動生成 -送信時、アクノリッジビットを自動ロード -ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。) -SCL、SDA端子の直接駆動(Nチャネルオープンドレイン出力)が可能 •クロック同期式シリアルフォーマット <ul style="list-style-type: none"> -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため) |
| 入出力端子 | SCL(入出力)：シリアルクロック入出力端子 SDA(入出力)：シリアルデータ入出力端子 |
| 転送クロック | <ul style="list-style-type: none"> •ICCR1レジスタのMSTビットが“0”のとき 外部クロック(SCL端子から入力) •ICCR1レジスタのMSTビットが“1”のとき ICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力) |
| 受信エラーの検出 | <ul style="list-style-type: none"> •オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ALビットが“1”になる |
| 割り込み要因 | <ul style="list-style-type: none"> •I²Cバスフォーマット 6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出 •クロック同期式シリアルフォーマット 4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー |
| 選択機能 | <ul style="list-style-type: none"> •I²Cバスフォーマット <ul style="list-style-type: none"> -受信時、アクノリッジの出力レベルを選択可能 •クロック同期式シリアルフォーマット <ul style="list-style-type: none"> -データ転送方向にMSBファーストまたはLSBファーストを選択可能 •SDAのデジタル遅延 <ul style="list-style-type: none"> -PINSRレジスタのSDADLY0～SDADLY1ビットでSDA端子のデジタル遅延値を選択可能 |

注1. 割り込みベクタテーブルはI²Cバスインタフェースの1つです。

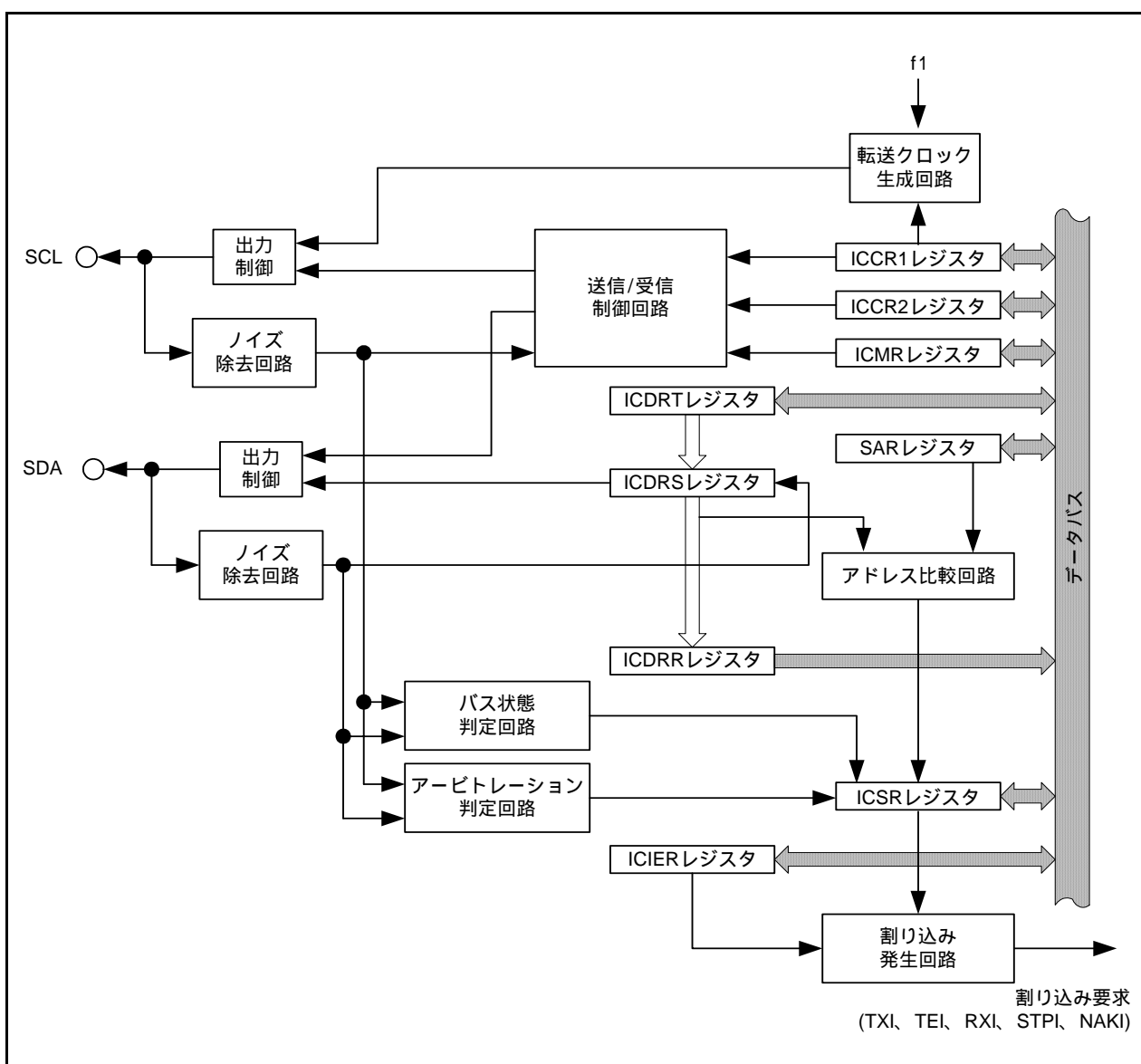


図 26.1 I²Cバスインタフェースブロック図

表 26.2 I²Cバスインタフェースの端子構成

| 端子名 | 割り当てる端子 | 機能 |
|-----|---------|---------|
| SCL | P3_5 | クロック入出力 |
| SDA | P3_7 | データ入出力 |

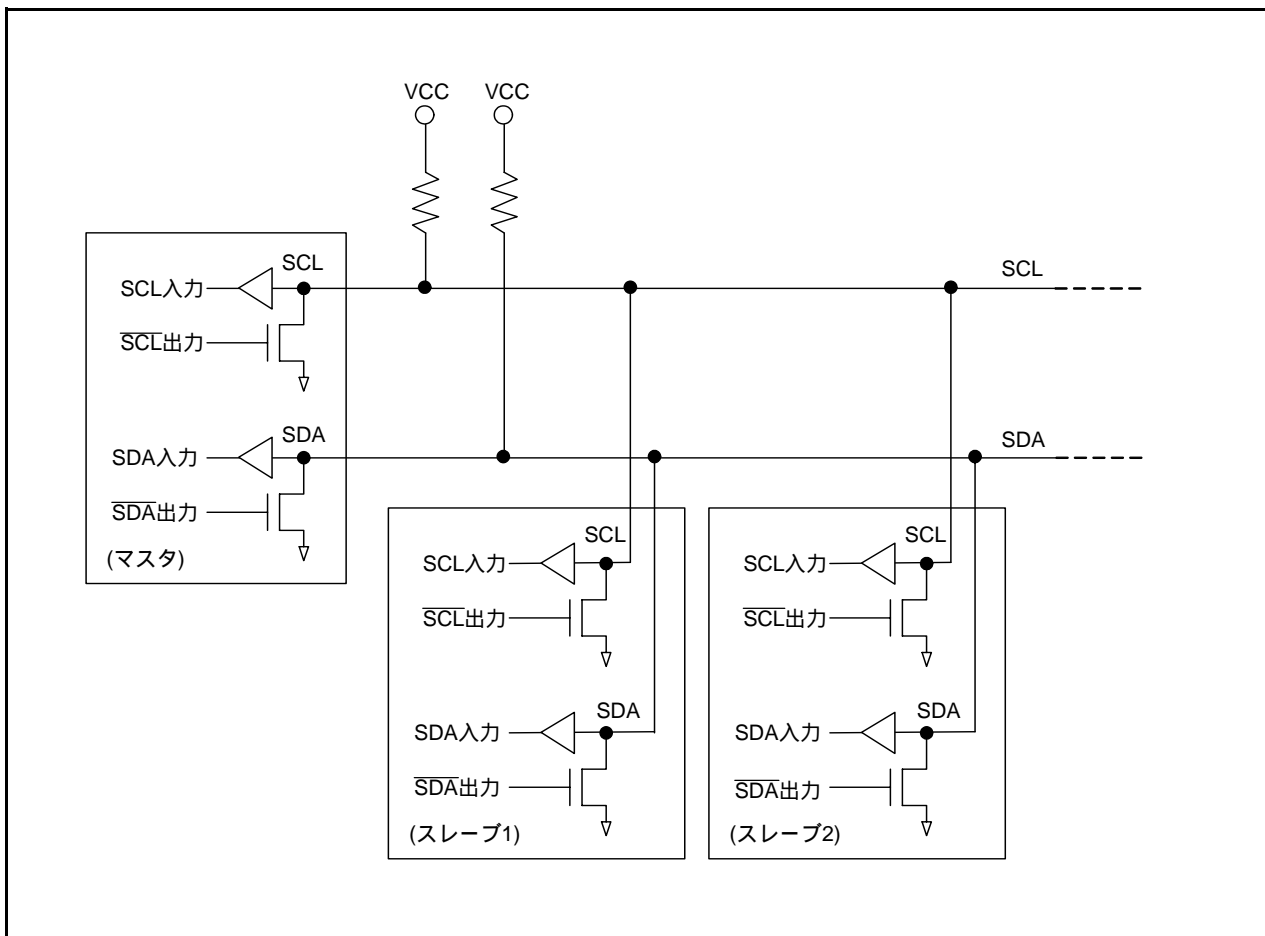


図 26.2 SCL、SDA 端子の外部回路接続例

26.2 レジスタの説明

26.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|--------|--------|--------|----|----|----|
| シンボル | - | - | MSTTRC | MSTTRD | MSTIIC | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--------------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | MSTIIC | SSU、I ² Cバススタンバイビット | 0：アクティブ 1：スタンバイ(注1) | R/W |
| b4 | MSTTRD | タイマRDスタンバイビット | 0：アクティブ 1：スタンバイ(注2、3) | R/W |
| b5 | MSTTRC | タイマRCスタンバイビット | 0：アクティブ 1：スタンバイ(注4) | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | |

- 注1. スタンバイにする前に、SSU、I²C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h ~ 019Dh 番地)へのアクセスは無効になります。
- 注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh 番地)へのアクセスは無効になります。
- 注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR_i(i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。
- 注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h 番地)へのアクセスは無効になります。

26.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|--------|
| シンボル | - | - | - | - | - | - | - | IICSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|---|-----|
| b0 | IICSEL | SSU/I ² Cバス切り替えビット | 0：SSU機能を選択 1：I ² Cバス機能を選択 | R/W |
| b1 | - | 予約ビット | “0”にしてください | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | | - |
| b3 | - | “0”。 | | |
| b4 | - | 予約ビット | “0”にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

26.2.3 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

| | | | | | | | | |
|---------|---------|---------|-----------|----------|---------|----|----|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | SDADLY1 | SDADLY0 | IICTCHALF | IICTCTWI | IOINSEL | - | - | XCSEL |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-----------|--|---|-----|
| b0 | XCSEL | XCIN/XCOUT 端子接続 ビット | 0: XCINをP4_3、XCOUTをP4_4に接続しない 1: XCINをP4_3、XCOUTをP4_4に接続する | R/W |
| b1 | - | 予約ビット | “0” にしてください | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | IOINSEL | I/Oポート入力機能選択 ビット | 0: I/Oポートの入力機能はPDi (i=0~4、6) レジスタに依存 PDiレジスタのPDi _j (j=0~7) ビットが“0” (入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi _j ビットが“1” (出力モード)のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む | R/W |
| b4 | IICTCTWI | I ² C転送レート2倍選択 ビット(注1) | 0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート | R/W |
| b5 | IICTCHALF | I ² C転送レート1/2倍選択 ビット(注1) | 0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート | R/W |
| b6 | SDADLY0 | SDA端子デジタル遅延選択 ビット | b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください | R/W |
| b7 | SDADLY1 | | | R/W |

注1. I²Cバス機能時はIICTCTWI、IICTCHALFビットを共に“1”にしないでください。また、SSU機能時は両方も“0”にしてください。

XCSELビット (XCIN/XCOUT 端子接続ビット)

XCSELビットはXCIN、XCOUTをP4_3、P4_4に接続するためのビットです。“1”にするとXCINをP4_3、XCOUTをP4_4に接続します。XCIN、XCOUTの設定方法は、「9. クロック発生回路」を参照してください。

IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0~4、6) レジスタのPDi_j (j=0~7) ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表 26.3 に IOINSEL ビットによる I/Oポートの読み出し値を示します。IOINSEL ビットで P4_2 を除くすべての I/Oポートの入力機能を変更できます。

表 26.3 IOINSEL ビットによる I/Oポートの読み出し値

| PDiレジスタのPDi _j ビット | “0” (入力モード) | | “1” (出力モード) | |
|------------------------------|-------------|-----|-------------|----------|
| | “0” | “1” | “0” | “1” |
| IOINSELビット | “0” | “1” | “0” | “1” |
| I/Oポート読み出し値 | 端子の入力レベル | | ポートラッチの値 | 端子の入力レベル |

26.2.4 IICバス送信データレジスタ(ICDRT)

アドレス 0194h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | 機能 | R/W |
|---------|--|-----|
| b7 ~ b0 | 送信データを保管。 ICDRSレジスタの空きが検出されると、保管されている送信データがICDRSレジスタへ転送されて、送信が開始します。 ICDRSレジスタからデータを送信中に、ICDRTレジスタに次の送信データを書いておくと、連続して送信できます。 ICMRレジスタのMLSビットが“1(LSBファーストでデータ転送)”の場合、ICDRTレジスタに書いた後、読み出すとMSBとLSBが反転したデータが読み出されます。 | R/W |

26.2.5 IICバス受信データレジスタ(ICDRR)

アドレス 0196h番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| ビット | 機能 | R/W |
|---------|---|-----|
| b7 ~ b0 | 受信データを保管。 ICDRSレジスタが1バイトのデータを受信すると、ICDRRレジスタへ受信データが転送されて、次の受信が可能になります。 | R |

26.2.6 IICバス制御レジスタ1(ICCR1)

アドレス 0198h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|------|-----|-----|------|------|------|------|
| シンボル | ICE | RCVD | MST | TRS | CKS3 | CKS2 | CKS1 | CKS0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|------------------------------------|---|-----|
| b0 | CKS0 | 転送クロック選択ビット3~0(注1) | b3 b2 b1 b0 | R/W |
| b1 | CKS1 | | 0 0 0 0 : f1/28 | R/W |
| b2 | CKS2 | | 0 0 0 1 : f1/40 | R/W |
| b3 | CKS3 | | 0 0 1 0 : f1/48 | R/W |
| | | | 0 0 1 1 : f1/64 | |
| | | | 0 1 0 0 : f1/80 | |
| | | | 0 1 0 1 : f1/100 | |
| | | | 0 1 1 0 : f1/112 | |
| | | 0 1 1 1 : f1/128 | | |
| | | 1 0 0 0 : f1/56 | | |
| | | 1 0 0 1 : f1/80 | | |
| | | 1 0 1 0 : f1/96 | | |
| | | 1 0 1 1 : f1/128 | | |
| | | 1 1 0 0 : f1/160 | | |
| | | 1 1 0 1 : f1/200 | | |
| | | 1 1 1 0 : f1/224 | | |
| | | 1 1 1 1 : f1/256 | | |
| b4 | TRS | 送信/受信選択ビット(注2、3、6) | b5 b4 | R/W |
| b5 | MST | マスタ/スレーブ選択ビット(注5、6) | 0 0 : スレーブ受信モード(注4) | R/W |
| | | | 0 1 : スレーブ送信モード | |
| | | | 1 0 : マスタ受信モード | |
| | | | 1 1 : マスタ送信モード | |
| b6 | RCVD | 受信禁止ビット | TRS=0の状態ではICDRRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止 | R/W |
| b7 | ICE | I ² Cバスインタフェース許可ビット(注7) | 0 : 本モジュールは機能停止状態 (SCL、SDA端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL、SDA端子はバス駆動状態) | R/W |

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表 26.4 ~ 表 26.5 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10T_{cyc}、CKS3=1のとき20T_{cyc}となります。(1T_{cyc}=1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”になります。

注4. I²Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注7. I²Cバスインタフェース動作中に、ICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「26.9 I²Cバスインタフェース使用上の注意」を参照してください。

26.2.7 IICバス制御レジスタ2(ICCR2)

アドレス 0199h番地

| | | | | | | | | |
|---------|------|-----|------|-------|------|----|--------|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | BBSY | SCP | SDAO | SDAOP | SCLO | - | IICRST | - |
| リセット後の値 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b1 | IICRST | I ² Cバス制御部リセットビット (注5) | I ² Cバスの動作中に、通信不具合等によりハンゲアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I ² Cバスの制御部をリセットします。 | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b3 | SCLO | SCLモニタフラグ | 0：SCL端子は“L” 1：SCL端子は“H” | R |
| b4 | SDAOP | SDAOライトプロテクトビット | SDAOビットを書き換えるとき、同時に“0”を書いてください。(注1) 読んだ場合、その値は“1”。 | R/W |
| b5 | SDAO | SDA出力値制御ビット | 読んだ場合 0：SDA端子出力が“L” 1：SDA端子出力が“H” 書いた場合(注1、2) 0：SDA端子出力を“L”に変更する。 1：SDA端子出力をハイインピーダンスに変更する (外部プルアップ抵抗によって、“H”出力)。 | R/W |
| b6 | SCP | 開始/停止条件発行禁止ビット | BBSYビットに書くとき、同時に“0”を書いてください。(注3) 読んだ場合、その値は“1”。“1”書き込みは無効になります。 | R/W |
| b7 | BBSY | バスビジービット(注4、5) | 読んだ場合 0：バスが開放状態(SCL信号が“H”の状態ですDA信号が“L”から“H”に変化) 1：バスが占有状態(SCL信号が“H”の状態ですDA信号が“H”から“L”に変化) 書いた場合(注3) 0：停止条件を発行 1：開始条件を発行 | R/W |

注1. SDAOビットを書き換える場合は、同時にSDAOPビットに“0”をMOV命令を使用して書いてください。

注2. 転送動作中に書かないでください。

注3. マスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットに“0”をMOV命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。

注4. クロック同期シリアルフォーマット時は無効です。

注5. I²Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはIICRSTビットに“1”を書くと、BBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「26.9 I²Cバスインタフェース使用上の注意」を参照してください。

26.2.8 IICバスモードレジスタ(ICMR)

アドレス 019Ah番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|------|----|----|------|-----|-----|-----|
| シンボル | MLS | WAIT | - | - | BCWP | BC2 | BC1 | BC0 |
| リセット後の値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|--|-----|
| b0 | BC0 | ビットカウンタ2~0 | I ² Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1、2) b2 b1 b0 000: 9ビット(注3) 001: 2ビット 010: 3ビット 011: 4ビット 100: 5ビット 101: 6ビット 110: 7ビット 111: 8ビット クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 000: 8ビット 001: 1ビット 010: 2ビット 011: 3ビット 100: 4ビット 101: 5ビット 110: 6ビット 111: 7ビット | R/W |
| b1 | BC1 | | | R/W |
| b2 | BC2 | | | R/W |
| b3 | BCWP | BCライトプロテクトビット | BC0~BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4) 読んだ場合、その値は“1”。 | R/W |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | | - |
| b5 | - | 予約ビット | “0”にしてください | R/W |
| b6 | WAIT | ウェイト挿入ビット(注5) | 0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分“L”を延長) | R/W |
| b7 | MLS | MSBファースト/LSBファースト選択ビット | 0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送 | R/W |

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0~BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に“000b”になります。開始条件検出時、BC2~BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えしないでください。

注5. I²Cバスフォーマットのマスタモード時に、設定値が有効です。I²Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I²Cバスフォーマット時は、“0”にしてください。

26.2.9 IICバス割り込み許可レジスタ (ICIER)

アドレス 019Bh番地

| | | | | | | | | |
|---------|-----|------|-----|-------|------|------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TIE | TEIE | RIE | NAKIE | STIE | ACKE | ACKBR | ACKBT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|------------------|--|-----|
| b0 | ACKBT | 送信アクノリッジ選択ビット | 0: 受信モード時、アクノリッジのタイミングで“0”を送出 1: 受信モード時、アクノリッジのタイミングで“1”を送出 | R/W |
| b1 | ACKBR | 受信アクノリッジビット | 0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1” | R |
| b2 | ACKE | アクノリッジビット判定選択ビット | 0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが“1”の場合、転送中止 | R/W |
| b3 | STIE | 停止条件検出割り込み許可ビット | 0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2) | R/W |
| b4 | NAKIE | NACK受信割り込み許可ビット | 0: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可(注1) | R/W |
| b5 | RIE | 受信割り込み許可ビット | 0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可(注1) | R/W |
| b6 | TEIE | 送信終了割り込み許可ビット | 0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可 | R/W |
| b7 | TIE | 送信割り込み許可ビット | 0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可 | R/W |

注1. オーバーランエラー割り込み要求はクロック同期フォーマット時です。

注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

26.2.10 IICバスステータスレジスタ(ICSR)

アドレス 019Ch番地

| | | | | | | | | |
|---------|------|------|------|-------|------|----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | TDRE | TEND | RDRF | NACKF | STOP | AL | AAS | ADZ |
| リセット後の値 | 0 | 0 | 0 | 0 | X | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|---------------------------------|--|-----|
| b0 | ADZ | ゼネラルコールアドレス認識フラグ(注1、2) | ゼネラルコールアドレス検出したとき、“1”になります | R/W |
| b1 | AAS | スレーブアドレス認識フラグ(注1) | スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります(スレーブアドレス検出、ゼネラルコールアドレス検出) | R/W |
| b2 | AL | アービトレーションロストフラグ/オーバランエラーフラグ(注1) | I ² Cバスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに“1”になります(注3) <ul style="list-style-type: none"> マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”のとき クロック同期フォーマットの場合、オーバランエラーが発生したことを示します。次のときに“1”になります <ul style="list-style-type: none"> RDRFビットが“1”の状態、次のデータの最終ビットを受信したとき | R/W |
| b3 | STOP | 停止条件検出フラグ(注1、7) | フレームの転送の完了後に停止条件を検出したとき、“1”になります | R/W |
| b4 | NACKF | ノーアクノリッジ検出フラグ(注1、4) | 送信時、受信デバイスからアクノリッジがなかったとき、“1”になります | R/W |
| b5 | RDRF | 受信データレジスタフルフラグ(注1、5) | ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。 | R/W |
| b6 | TEND | 送信終了フラグ(注1、6) | I ² Cバスフォーマットの場合、TDREビットが“1”の状態、SCL信号の9クロック目が立ち上がったとき、“1”になります。 クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。 | R/W |
| b7 | TDRE | 送信データ空フラグ(注1、6) | 次のときに“1”になります。 <ul style="list-style-type: none"> ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき 開始条件(再送含む)を発行したとき スレーブ受信モードからスレーブ送信モードに変わったとき | R/W |

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。

注2. I²Cバスフォーマットのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I²CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)のとき有効です。

注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。

注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。

ICDRTレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。

注7. I²Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはICCR2レジスタのICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとSTOPビットが不定になる場合があります。「26.9 I²Cバスインタフェース使用上の注意」を参照してください。

ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

26.2.11 スレーブアドレスレジスタ(SAR)

アドレス 019Dh番地

| | | | | | | | | |
|---------|------|------|------|------|------|------|------|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | SVA6 | SVA5 | SVA4 | SVA3 | SVA2 | SVA1 | SVA0 | FS |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|-------------|--|-----|
| b0 | FS | フォーマット選択ビット | 0: I ² Cバスフォーマット 1: クロック同期式シリアルフォーマット | R/W |
| b1 | SVA0 | スレーブアドレス6~0 | I ² Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I ² Cバスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0~SVA6が一致したとき、スレーブデバイスとして動作します。 | R/W |
| b2 | SVA1 | | | R/W |
| b3 | SVA2 | | | R/W |
| b4 | SVA3 | | | R/W |
| b5 | SVA4 | | | R/W |
| b6 | SVA5 | | | R/W |
| b7 | SVA6 | | | R/W |

26.2.12 IICバスシフトレジスタ(ICDRS)

| | | | | | | | | |
|------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |

| ビット | 機能 | R/W |
|-------|---|-----|
| b7~b0 | データを送受信するシフトレジスタ。 送信時はICRDTレジスタから送信データがICDRSレジスタに転送され、データがSDA端子から送出されます。 受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。 | - |

26.3 複数モードに関わる共通事項

26.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表 26.4～表 26.5 に転送レート例を示します。

表 26.4 転送レート例(1)

| PINSR レジスタ | | ICCR1 レジスタ | | | | 転送 クロック | 転送レート | | | | | | |
|------------|----------|------------|------|------|--------|------------|---------|---------|----------|----------|----------|--------|--------|
| IICTCHALF | IICTCTWI | CKS3 | CKS2 | CKS1 | CKS0 | | f1=5MHz | f1=8MHz | f1=10MHz | f1=16MHz | f1=20MHz | | |
| 0 | 0 | 0 | 0 | 0 | 0 | f1/28 | 179kHz | 286kHz | 357kHz | 571kHz | 714kHz | | |
| | | | | | 1 | f1/40 | 125kHz | 200kHz | 250kHz | 400kHz | 500kHz | | |
| | | | | 1 | 0 | f1/48 | 104kHz | 167kHz | 208kHz | 333kHz | 417kHz | | |
| | | | | | 1 | f1/64 | 78.1kHz | 125kHz | 156kHz | 250kHz | 313kHz | | |
| | | | | 1 | 0 | 0 | f1/80 | 62.5kHz | 100kHz | 125kHz | 200kHz | 250kHz | |
| | | | | | | 1 | f1/100 | 50.0kHz | 80.0kHz | 100kHz | 160kHz | 200kHz | |
| | | | 1 | | 0 | f1/112 | 44.6kHz | 71.4kHz | 89.3kHz | 143kHz | 179kHz | | |
| | | | | | 1 | f1/128 | 39.1kHz | 62.5kHz | 78.1kHz | 125kHz | 156kHz | | |
| | | | 1 | | 0 | 0 | 0 | f1/56 | 89.3kHz | 143kHz | 179kHz | 286kHz | 357kHz |
| | | | | | | | 1 | f1/80 | 62.5kHz | 100kHz | 125kHz | 200kHz | 250kHz |
| | | | | 1 | | 0 | f1/96 | 52.1kHz | 83.3kHz | 104kHz | 167kHz | 208kHz | |
| | | | | | 1 | f1/128 | 39.1kHz | 62.5kHz | 78.1kHz | 125kHz | 156kHz | | |
| | | 1 | | 0 | 0 | f1/160 | 31.3kHz | 50.0kHz | 62.5kHz | 100kHz | 125kHz | | |
| | | | | | 1 | f1/200 | 25.0kHz | 40.0kHz | 50.0kHz | 80.0kHz | 100kHz | | |
| | | | 0 | | f1/224 | 22.3kHz | 35.7kHz | 44.6kHz | 71.4kHz | 89.3kHz | | | |
| | | 1 | 1 | 0 | f1/256 | 19.5kHz | 31.3kHz | 39.1kHz | 62.5kHz | 78.1kHz | | | |
| | | | | 1 | f1/256 | 19.5kHz | 31.3kHz | 39.1kHz | 62.5kHz | 78.1kHz | | | |
| | | | | 1 | f1/256 | 19.5kHz | 31.3kHz | 39.1kHz | 62.5kHz | 78.1kHz | | | |

表 26.5 転送レート例(2)

| PINSR レジスタ | | ICCR1 レジスタ | | | | 転送 クロック | 転送レート | | | | | | |
|------------|----------|------------|------|------|------|------------|---------|---------|----------|----------|----------|--------|--------|
| IICTCHALF | IICTCTWI | CKS3 | CKS2 | CKS1 | CKS0 | | f1=5MHz | f1=8MHz | f1=10MHz | f1=16MHz | f1=20MHz | | |
| 0 | 1 | 0 | 0 | 0 | 0 | f1/28 | 358kHz | 572kHz | 714kHz | 1142kHz | 1428kHz | | |
| | | | | | 1 | f1/40 | 250kHz | 400kHz | 500kHz | 800kHz | 1000kHz | | |
| | | | | 1 | 0 | f1/48 | 208kHz | 334kHz | 416kHz | 666kHz | 834kHz | | |
| | | | | | 1 | f1/64 | 156kHz | 250kHz | 312kHz | 500kHz | 626kHz | | |
| | | | 1 | 0 | 0 | f1/80 | 125kHz | 200kHz | 250kHz | 400kHz | 500kHz | | |
| | | | | | 1 | f1/100 | 100kHz | 160kHz | 200kHz | 320kHz | 400kHz | | |
| | | | | 1 | 0 | f1/112 | 89kHz | 143kHz | 179kHz | 286kHz | 358kHz | | |
| | | | | | 1 | f1/128 | 78kHz | 125kHz | 156kHz | 250kHz | 312kHz | | |
| | | 1 | 0 | 0 | 0 | f1/56 | 179kHz | 286kHz | 358kHz | 572kHz | 714kHz | | |
| | | | | | 1 | f1/80 | 125kHz | 200kHz | 250kHz | 400kHz | 500kHz | | |
| | | | | 1 | 0 | f1/96 | 104kHz | 167kHz | 208kHz | 334kHz | 416kHz | | |
| | | | | | 1 | f1/128 | 78kHz | 125kHz | 156kHz | 250kHz | 312kHz | | |
| | | | 1 | 0 | 0 | f1/160 | 63kHz | 100kHz | 125kHz | 200kHz | 250kHz | | |
| | | | | | 1 | f1/200 | 50kHz | 80kHz | 100kHz | 160kHz | 200kHz | | |
| | | | | 1 | 0 | f1/224 | 45kHz | 71kHz | 89kHz | 143kHz | 179kHz | | |
| | | | | | 1 | f1/256 | 39kHz | 63kHz | 78kHz | 125kHz | 156kHz | | |
| | | 1 | 0 | 0 | 0 | 0 | 0 | f1/28 | 90kHz | 143kHz | 179kHz | 286kHz | 357kHz |
| | | | | | | | 1 | f1/40 | 63kHz | 100kHz | 125kHz | 200kHz | 250kHz |
| | | | | | | 1 | 0 | f1/48 | 52kHz | 84kHz | 104kHz | 167kHz | 209kHz |
| | | | | | | | 1 | f1/64 | 39kHz | 63kHz | 78kHz | 125kHz | 157kHz |
| | | | | | 1 | 0 | 0 | f1/80 | 31kHz | 50kHz | 63kHz | 100kHz | 125kHz |
| | | | | | | | 1 | f1/100 | 25kHz | 40kHz | 50kHz | 80kHz | 100kHz |
| | | | | | | 1 | 0 | f1/112 | 22kHz | 36kHz | 45kHz | 72kHz | 90kHz |
| | | | | | | | 1 | f1/128 | 20kHz | 31kHz | 39kHz | 63kHz | 78kHz |
| 1 | 0 | | | 0 | 0 | f1/56 | 45kHz | 72kHz | 90kHz | 143kHz | 179kHz | | |
| | | | | | 1 | f1/80 | 31kHz | 50kHz | 63kHz | 100kHz | 125kHz | | |
| | | | | 1 | 0 | f1/96 | 26kHz | 42kHz | 52kHz | 84kHz | 104kHz | | |
| | | | | | 1 | f1/128 | 20kHz | 31kHz | 39kHz | 63kHz | 78kHz | | |
| | 1 | | | 0 | 0 | f1/160 | 16kHz | 25kHz | 31kHz | 50kHz | 63kHz | | |
| | | | | | 1 | f1/200 | 13kHz | 20kHz | 25kHz | 40kHz | 50kHz | | |
| | | | | 1 | 0 | f1/224 | 11kHz | 18kHz | 22kHz | 36kHz | 45kHz | | |
| | | | | | 1 | f1/256 | 10kHz | 16kHz | 20kHz | 31kHz | 39kHz | | |

26.3.2 SDA端子デジタル遅延選択

PINSRレジスタのSDADLY0 ~ SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。
 図 26.3にSDA端子のデジタル遅延の動作例を示します。

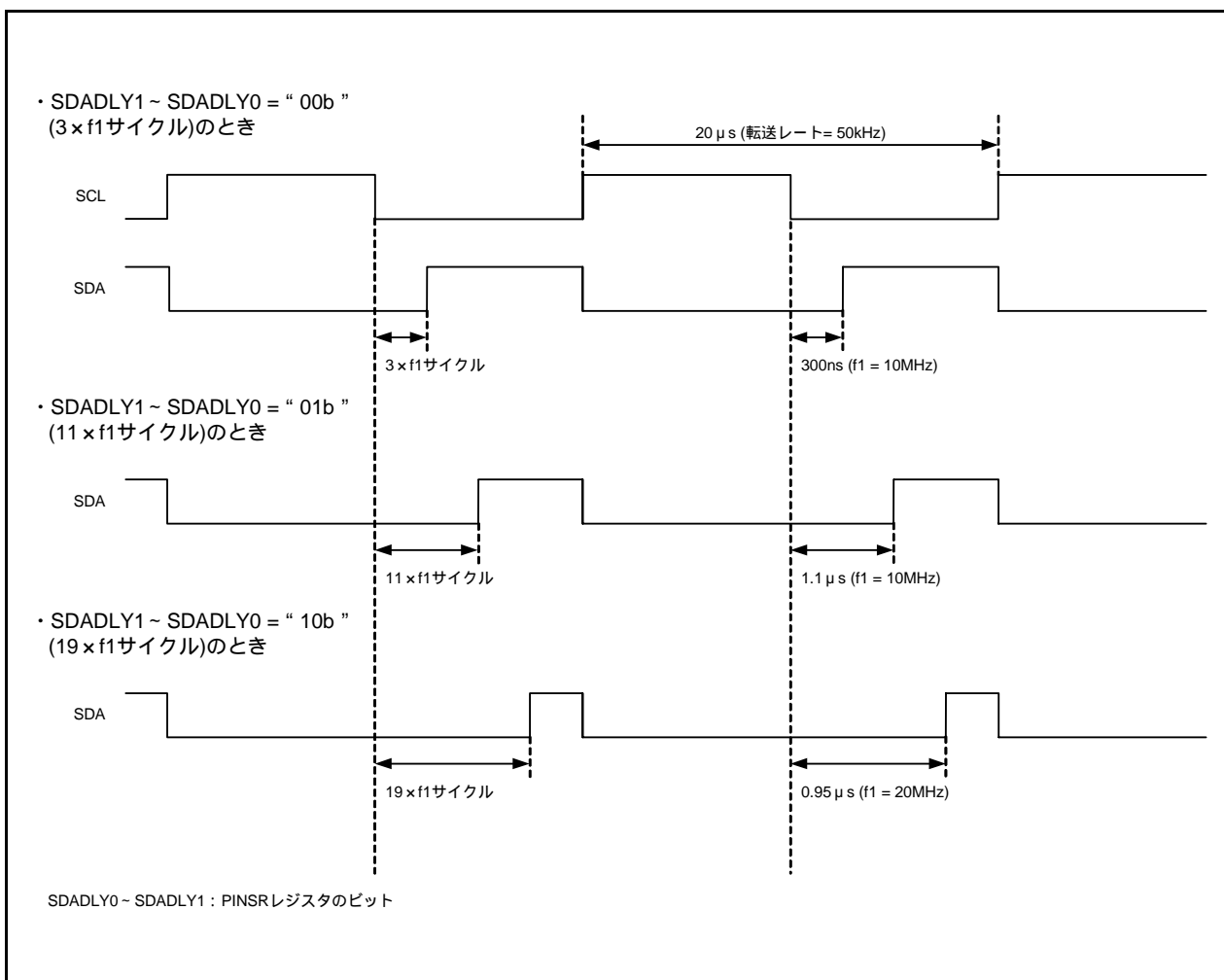


図 26.3 SDA端子のデジタル遅延の動作例

26.3.3 割り込み要求

I²Cバスインタフェースの割り込み要求は、I²Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表 26.6にI²Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI²Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表 26.6 I²Cバスインタフェースの割り込み要求

| 割り込み要求 | | 発生条件 | フォーマット | |
|----------------------------|------|---|--------------------|-------------|
| | | | I ² Cバス | クロック同期式シリアル |
| 送信データエンpty | TXI | TIE=1 かつ TDRE=1 | 有効 | 有効 |
| 送信終了 | TEI | TEIE=1 かつ TEND=1 | 有効 | 有効 |
| 受信データフル | RXI | RIE=1 かつ RDRF=1 | 有効 | 有効 |
| 停止条件検出 | STPI | STIE=1 かつ STOP=1 | 有効 | 無効 |
| NACK 検出 | NAKI | NAKIE=1 かつ AL=1 (または NAKIE=1 かつ NACKF=1) | 有効 | 無効 |
| アービトラクションロスト/ オーバーランエラー | | | 有効 | 有効 |

STIE、NAKIE、RIE、TEIE、TIE : ICIERレジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSRレジスタのビット

表 26.6の発生条件が満たされたとき、I²Cバスインタフェース割り込み要求が発生します。I²Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDREビットおよびTENDビットはICDRTレジスタに送信データを書くことで、RDRFビットはICDRRレジスタを読むことで、自動的に“0”になります。特にTDREビットはICDRTレジスタに送信データを書いたとき“0”になり、ICDRTレジスタからICDRSレジスタにデータ転送されたときにTDREビットが“1”になり、さらにTDREビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIEビットを“1”(停止条件検出割り込み要求許可)にするのは、STOPビットが“0”のときにしてください。

26.4 I²Cバスインタフェースモード26.4.1 I²Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I²Cバスフォーマットで通信します。

図26.4にI²Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

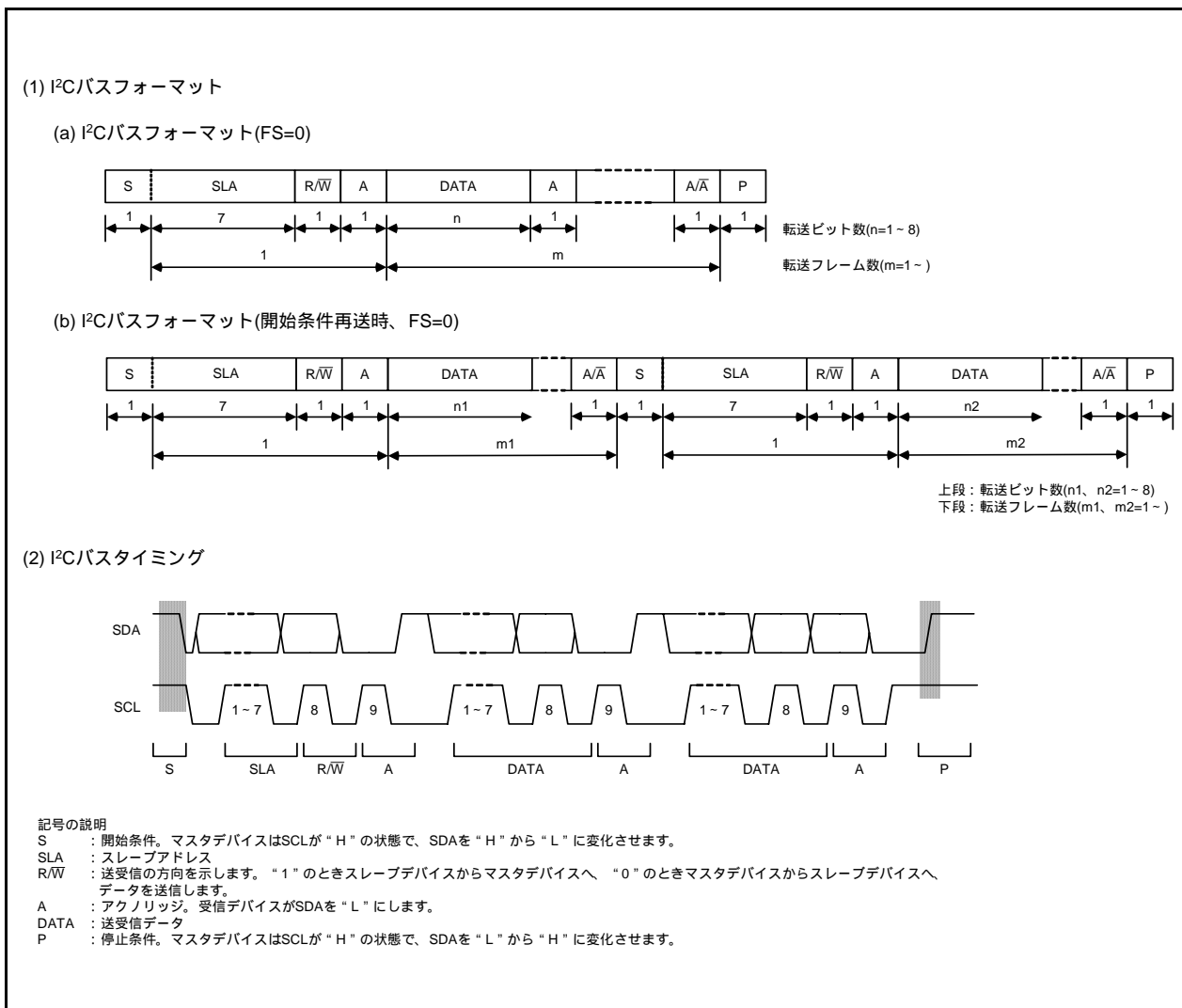


図26.4 I²Cバスフォーマットとバスタイミング

26.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 26.5 ~ 図 26.6 にマスタ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSRレジスタのSTOPビットを初期化するために“0”にしてください。その後、ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0 ~ CKS3ビットなどを設定してください(初期設定)。
- (2) ICCR2レジスタのBBSYビットを読んで、バスが開放状態であることを確認後、ICCR1レジスタのTRS、MSTビットをマスタ送信モードに設定してください。その後、BBSY=1とSCP=0をMOV命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSRレジスタのTDREビットが“1”であることを確認した後、ICDRTレジスタに送信データ(1バイト目はスレーブアドレスとR/Wを示すデータ)を書いてください。このときTDREビットは自動的に“0”になり、ICDRTレジスタからICDRSレジスタにデータが転送されて、再びTDREビットが“1”になります。
- (4) TDREビットが“1”の状態ですべての送信が完了し、送信クロックの9クロック目の立ち上がりでICSRレジスタのTENDビットが“1”になります。ICIERレジスタのACKBRビットを読んで、スレーブデバイスが選択されたことを確認した後、2バイト目のデータをICDRTレジスタに書いてください。ACKBRビットが“1”のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0とSCP=0をMOV命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまではSCLが“L”に固定されます。
- (5) 2バイト目以降の送信データは、TDREビットが“1”になるたびに、ICDRTレジスタにデータを書いてください。
- (6) 送信するバイト数をICDRTレジスタに書いたとき、その後はTDREビットが“1”の状態ですべての送信が完了し、送信クロックの9クロック目の立ち上がりでICSRレジスタのTENDビットが“1”になります。ICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)の状態ですべての送信が完了し、送信クロックの9クロック目の立ち上がりでICSRレジスタのNACKF=1を待ってください。その後、停止条件を発行してTENDビット、あるいはNACKFビットを“0”にしてください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、スレーブ受信モードに戻してください。

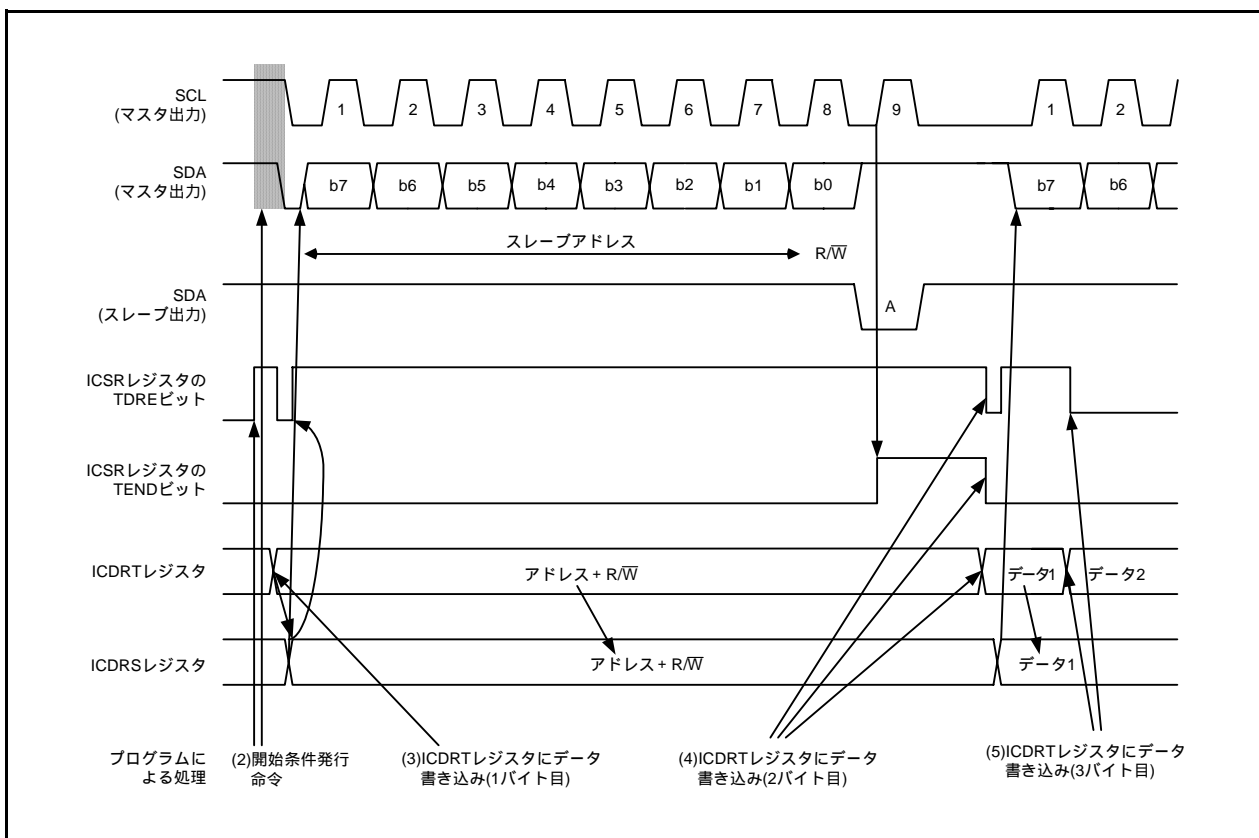


図 26.5 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

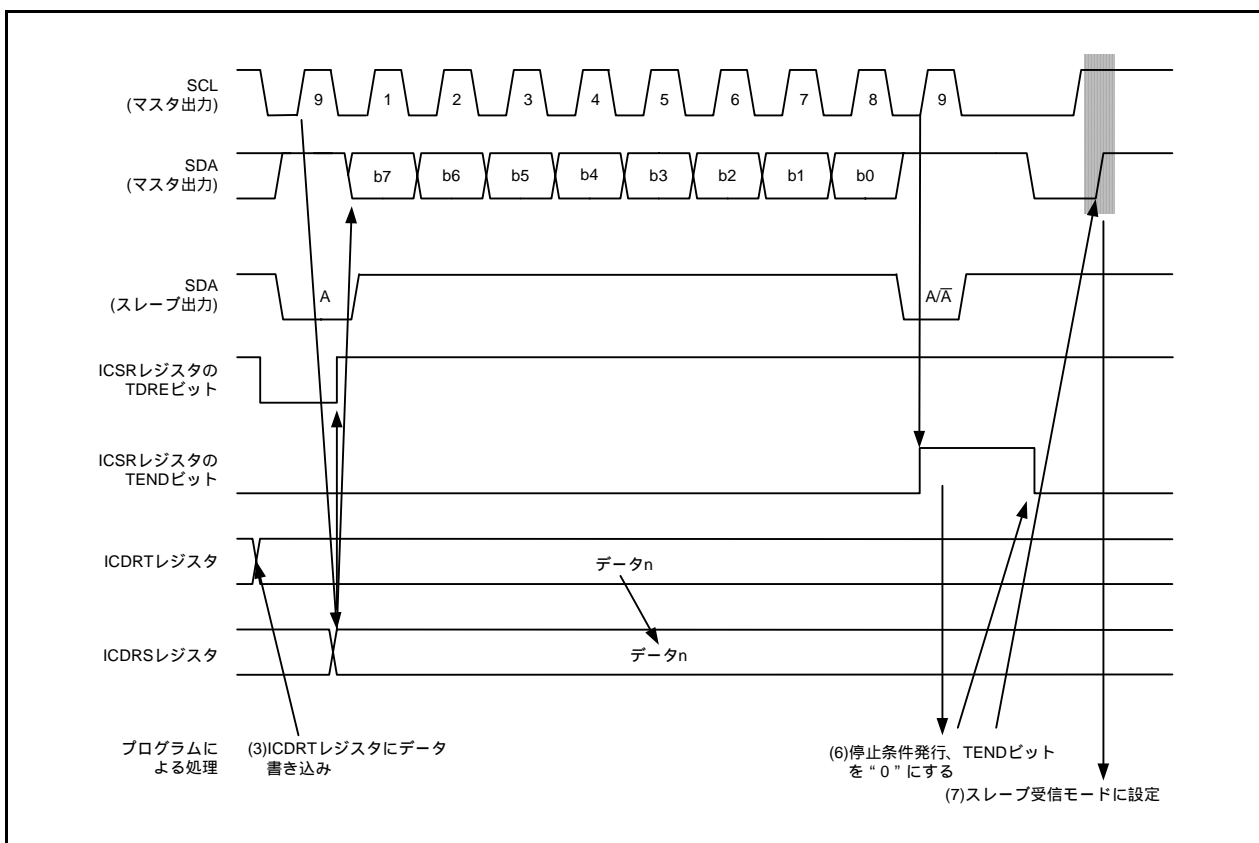


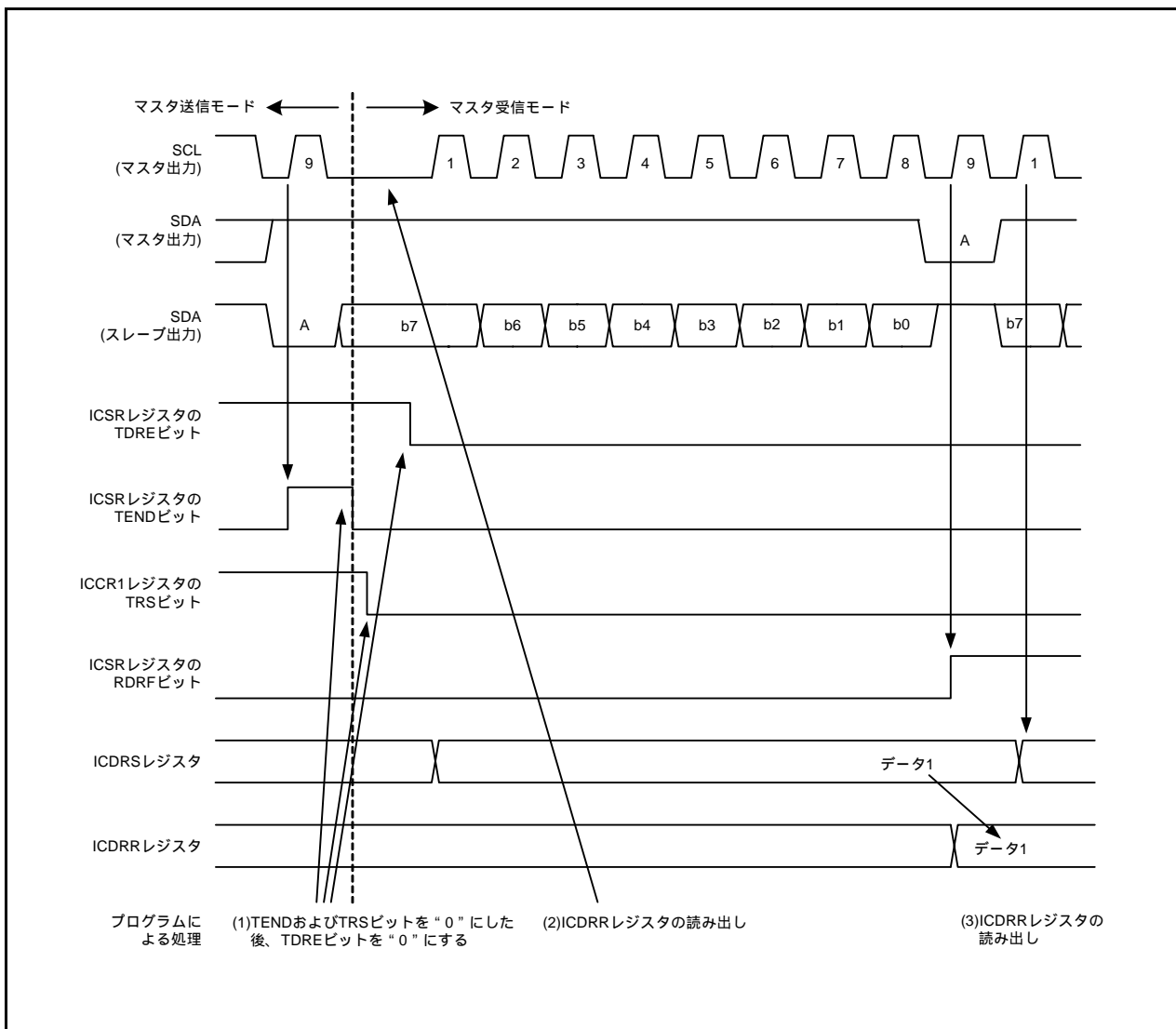
図 26.6 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード)(2)

26.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図 26.7 ~ 図 26.8 にマスタ受信モードの動作タイミング (I²Cバスインタフェースモード) を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
- (2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
- (4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1” (次の受信動作を禁止) にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。なお、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がり重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。「26.9 I²Cバスインタフェース使用上の注意」を参照してください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0” (次の受信動作を継続) にしてください。
- (8) スレーブ受信モードに戻してください。

図 26.7 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

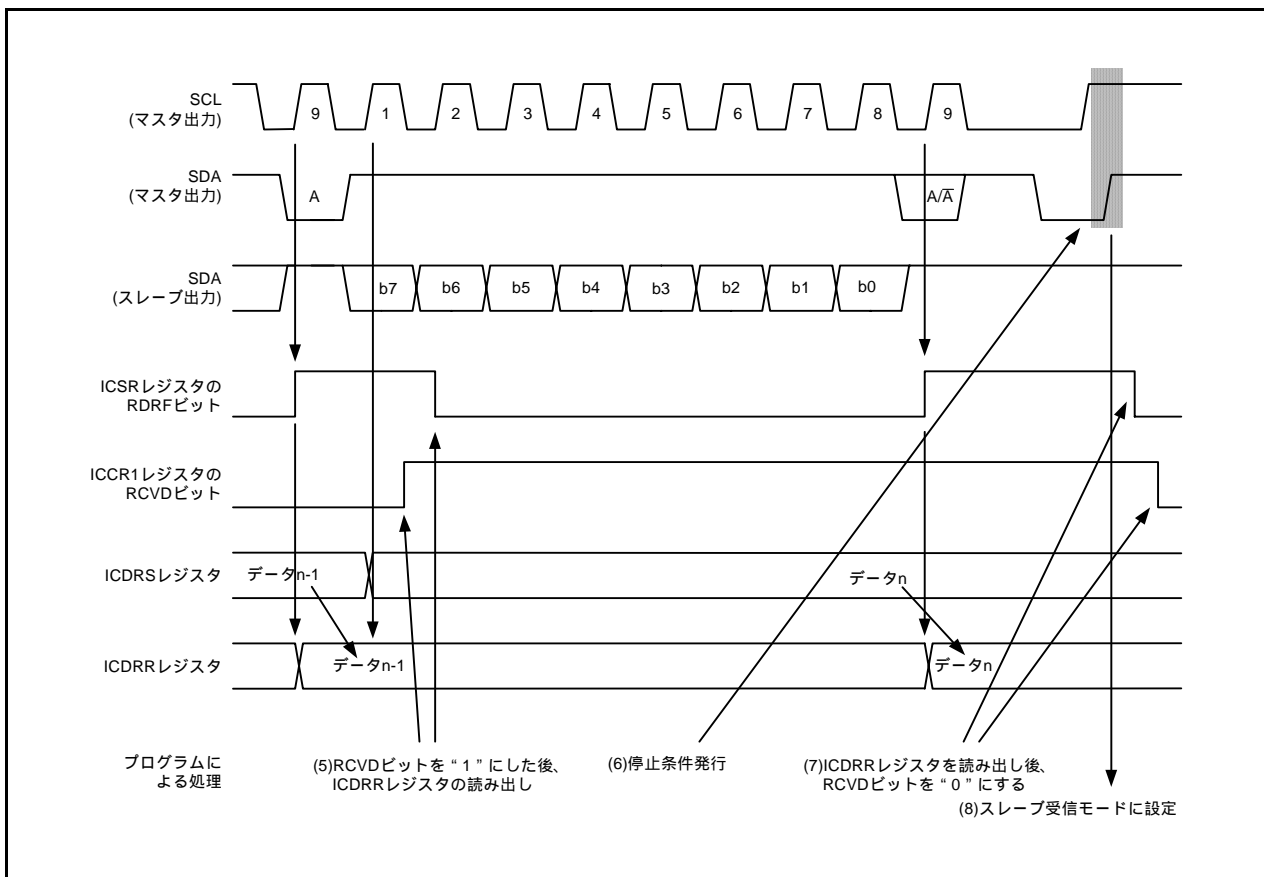


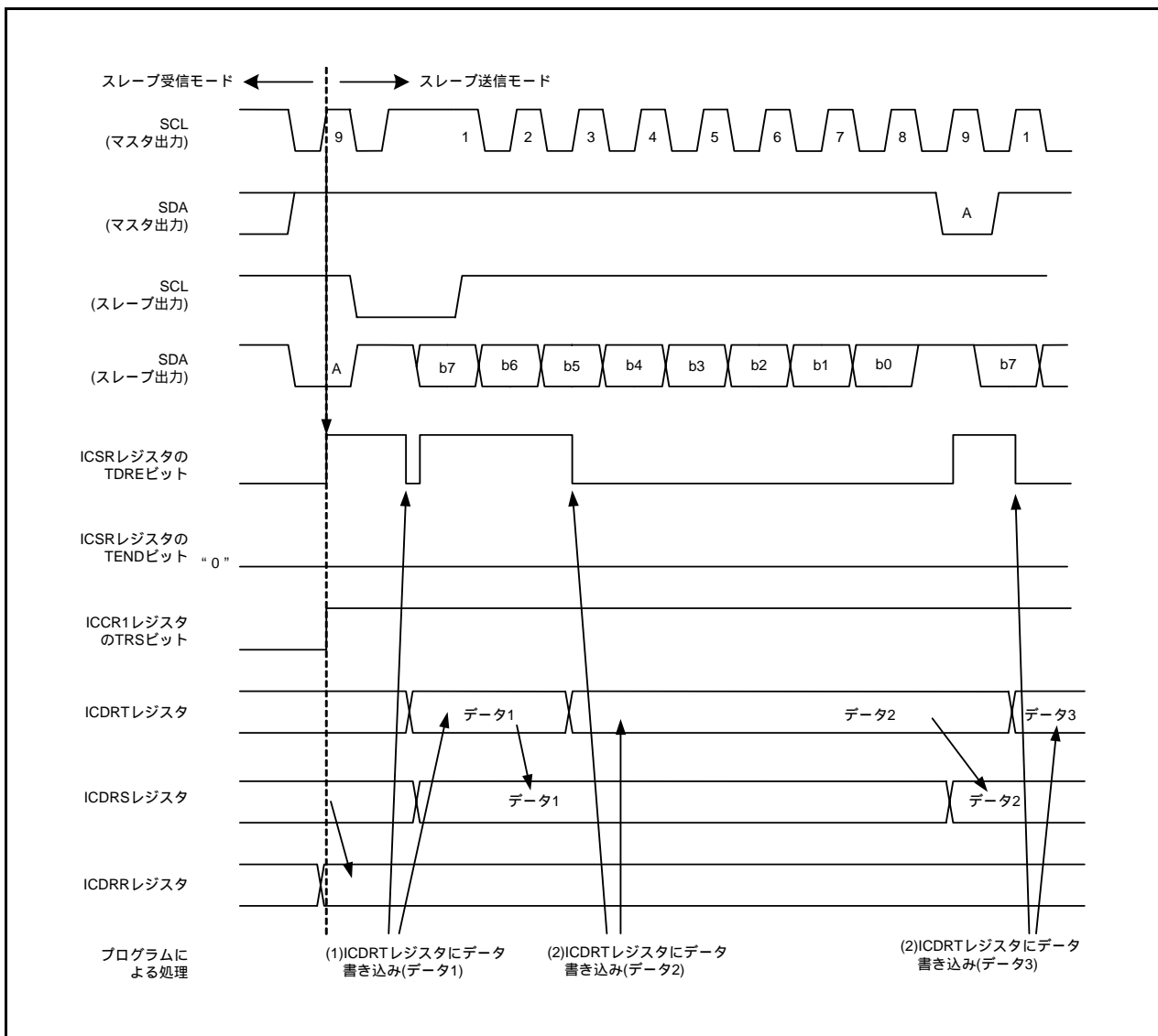
図 26.8 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

26.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 26.9 ~ 図 26.10 にスレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1 レジスタのICE ビットを“1”(転送動作可能状態)にしてください。その後、ICMR レジスタのWAIT、MLS ビット、ICCR1 レジスタのCKS0 ~ CKS3 ビットなどを設定してください(初期設定)。次にICCR1 レジスタのTRS、MST ビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIER レジスタのACKBT ビットで設定したレベルをSDAに出力します。このとき、8ビット目のデータ(R/W)が“1”のとき、TRS ビットおよびICSR レジスタのTDRE ビットが“1”になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが“1”になるたびにICDRT レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRT レジスタに書いた後にTDRE ビットが“1”になったとき、TDRE ビットが“1”の状態でもICSR レジスタのTEND ビットが“1”になるまで待ってください。TEND ビットが“1”になったら、TEND ビットを“0”にしてください。
- (4) 終了処理のためTRS ビットを“0”にし、ICDRT レジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDRE ビットを“0”にしてください。

図 26.9 スレープ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

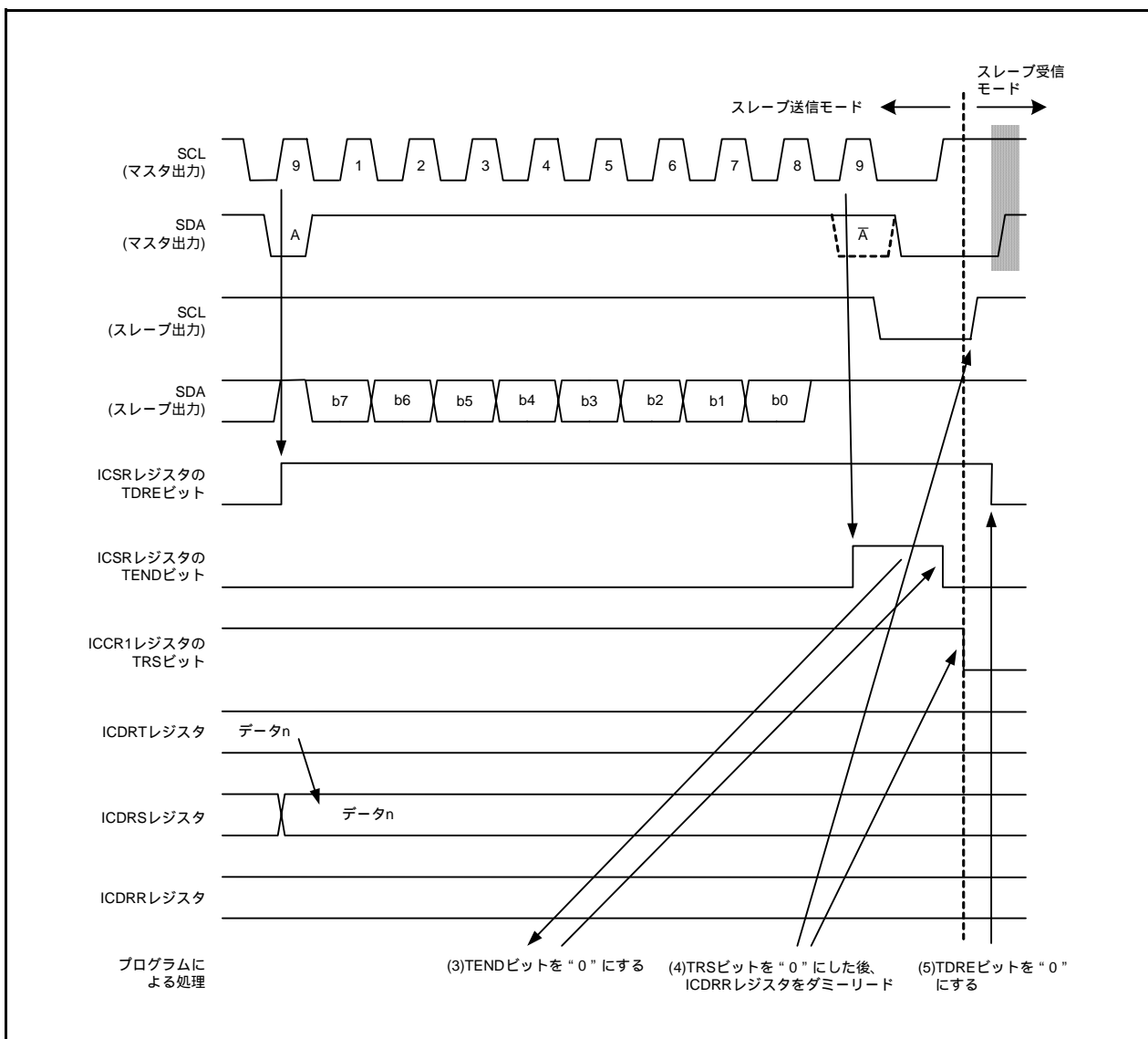


図 26.10 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(2)

26.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 26.11 ~ 図 26.12 にスレーブ受信モードの動作タイミング (I²Cバスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0 ~ CKS3ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。同時にICSRレジスタのRDRFビットが“1”になりますので、ICDRRレジスタをダミーリード(読み出したデータはスレーブアドレス+R/Wを示すので不要)してください。
- (3) RDRFビットが“1”になるたびに、ICDRRレジスタを読んでください。RDRFビットが“1”の状態では8クロック目が立ち下がると、ICDRRレジスタを読むまでSCLが“L”に固定されず。ICDRRレジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されず。
- (4) 最終バイトの読み出しも、同様にICDRRレジスタを読むことで行います。

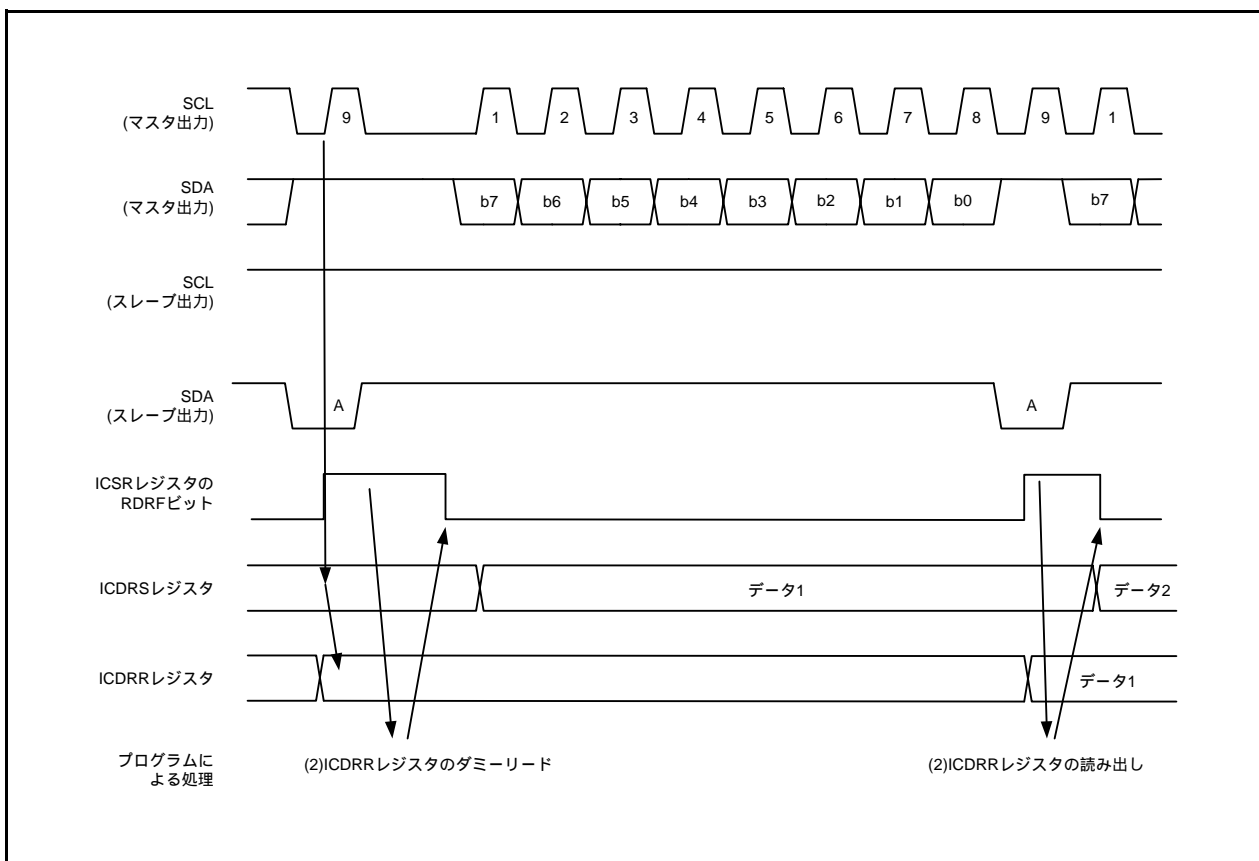


図 26.11 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

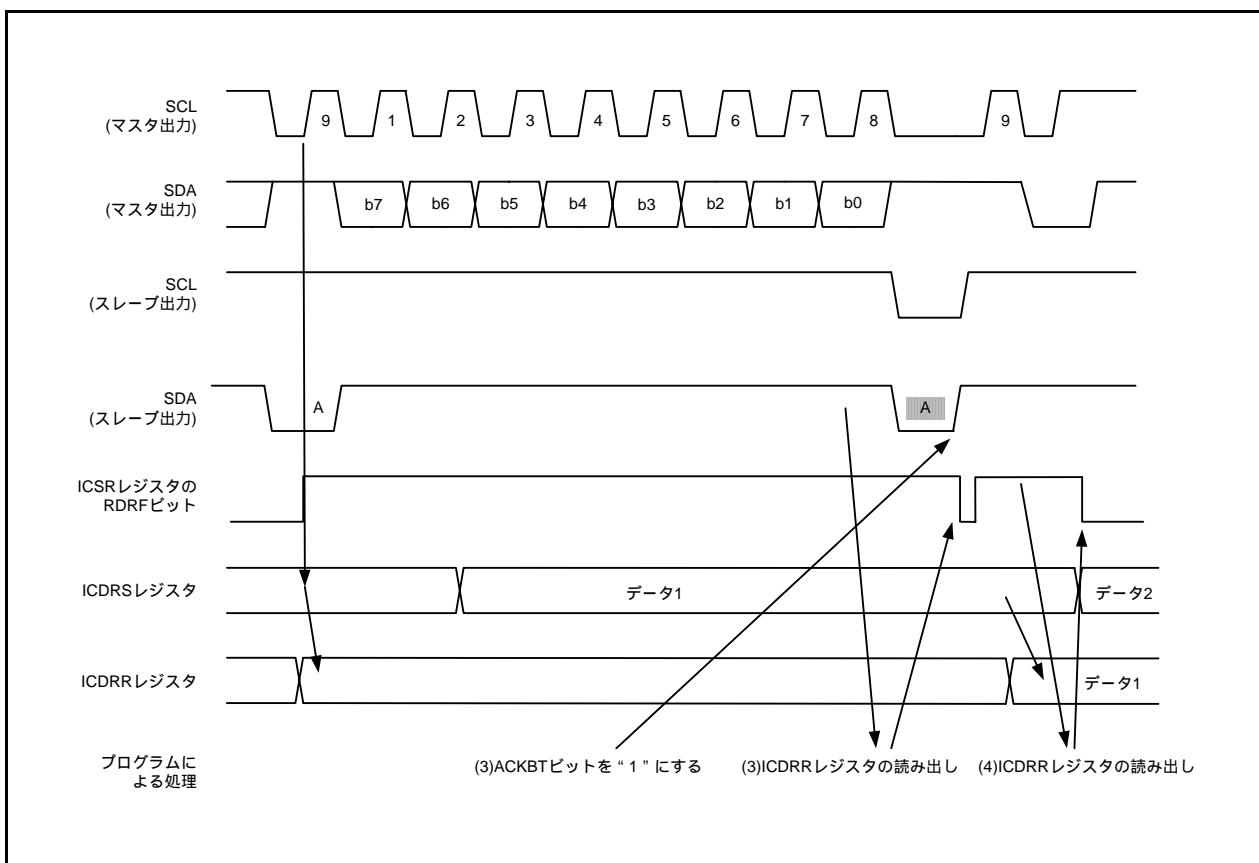


図 26.12 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

26.5 クロック同期式シリアルモード

26.5.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。
図 26.13にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”のときSCLから転送クロック出力となり、MSTビットが“0”のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

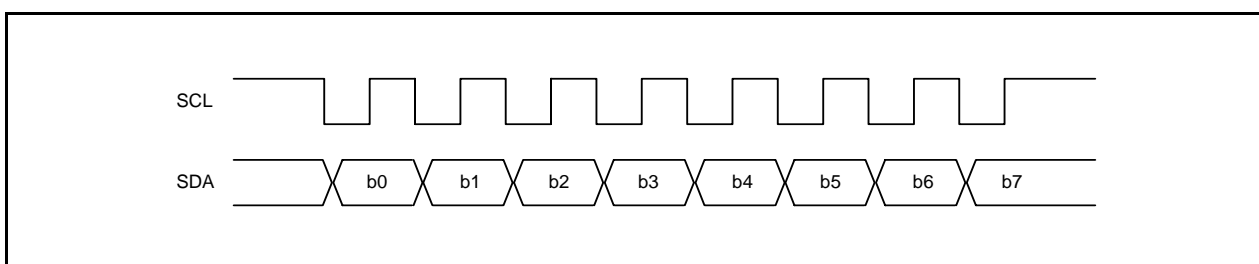


図 26.13 クロック同期式シリアルフォーマットの転送フォーマット

26.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データをSDAから出力します。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。図26.14に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1” (転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) ICCR1レジスタのTRSビットを“1”にして送信モードにしてください。これにより、ICSRレジスタのTDREビットが“1”になります。
- (3) TDREビットが“1”であることを確認した後、ICDRTレジスタに送信データを書いてください。これによりICDRTレジスタからICDRSレジスタにデータが転送され、自動的にTDREビットが“1”になります。TDREビットが“1”になるたびにICDRTレジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDREビットが“1”の状態ではTRSビットを“0”にしてください。

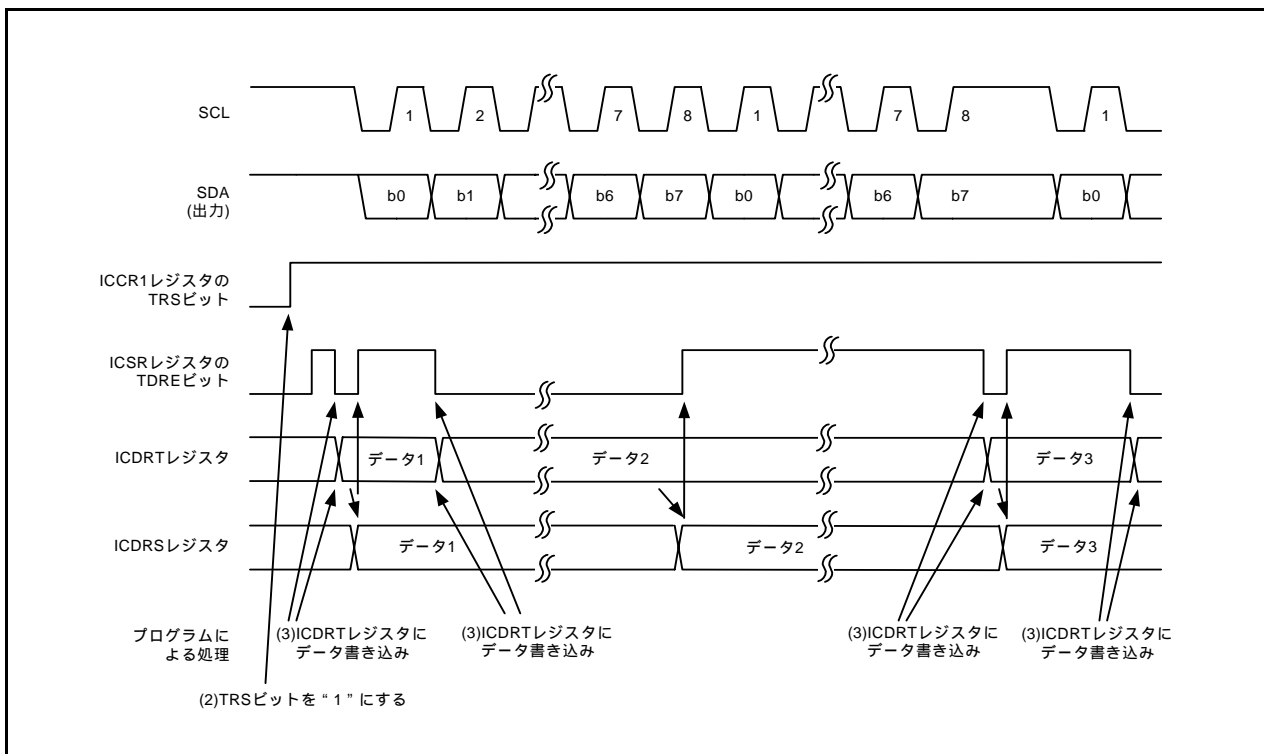


図 26.14 送信モードの動作タイミング(クロック同期式シリアルモード)

26.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。

図 26.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態で8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

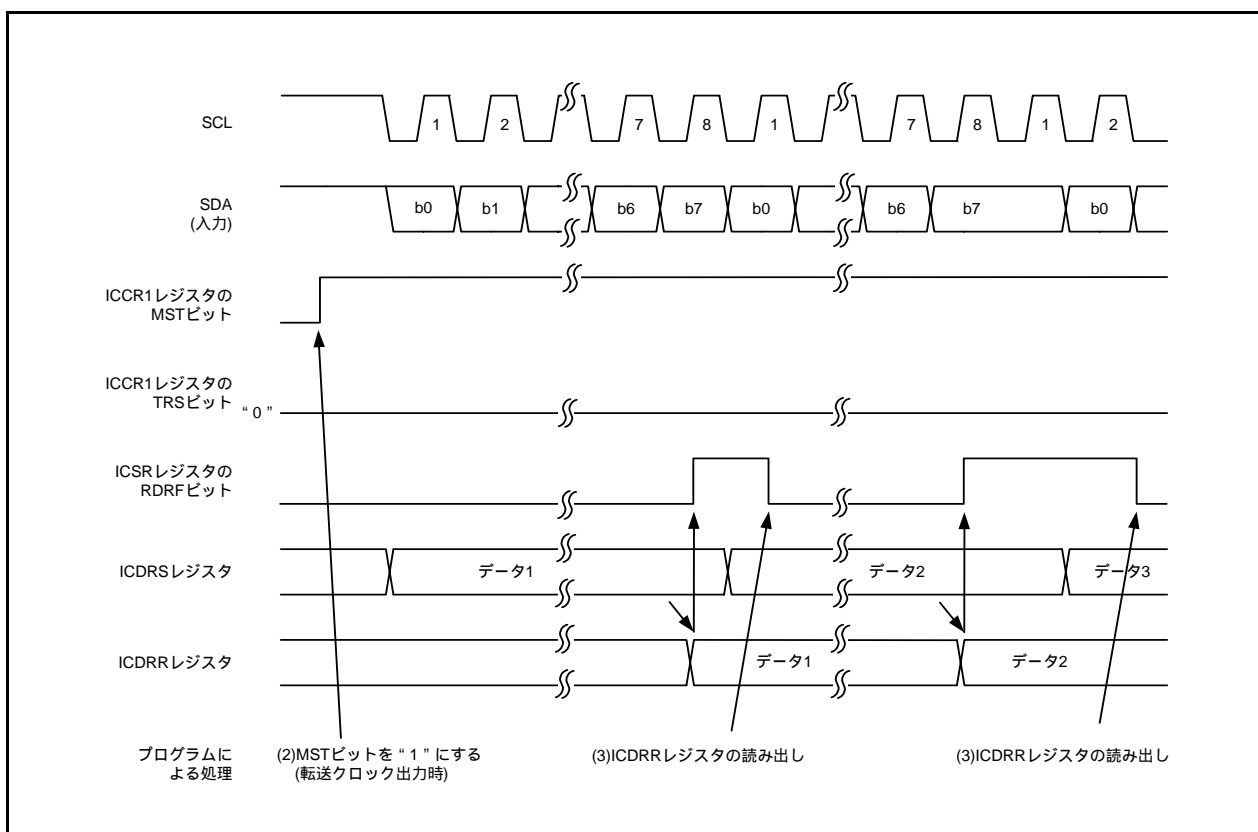


図 26.15 受信モードの動作タイミング(クロック同期式シリアルモード)

26.6 レジスタ設定例

I²Cバスインタフェースを使用する場合のレジスタ設定例を図 26.16 ~ 図 26.19 に示します。

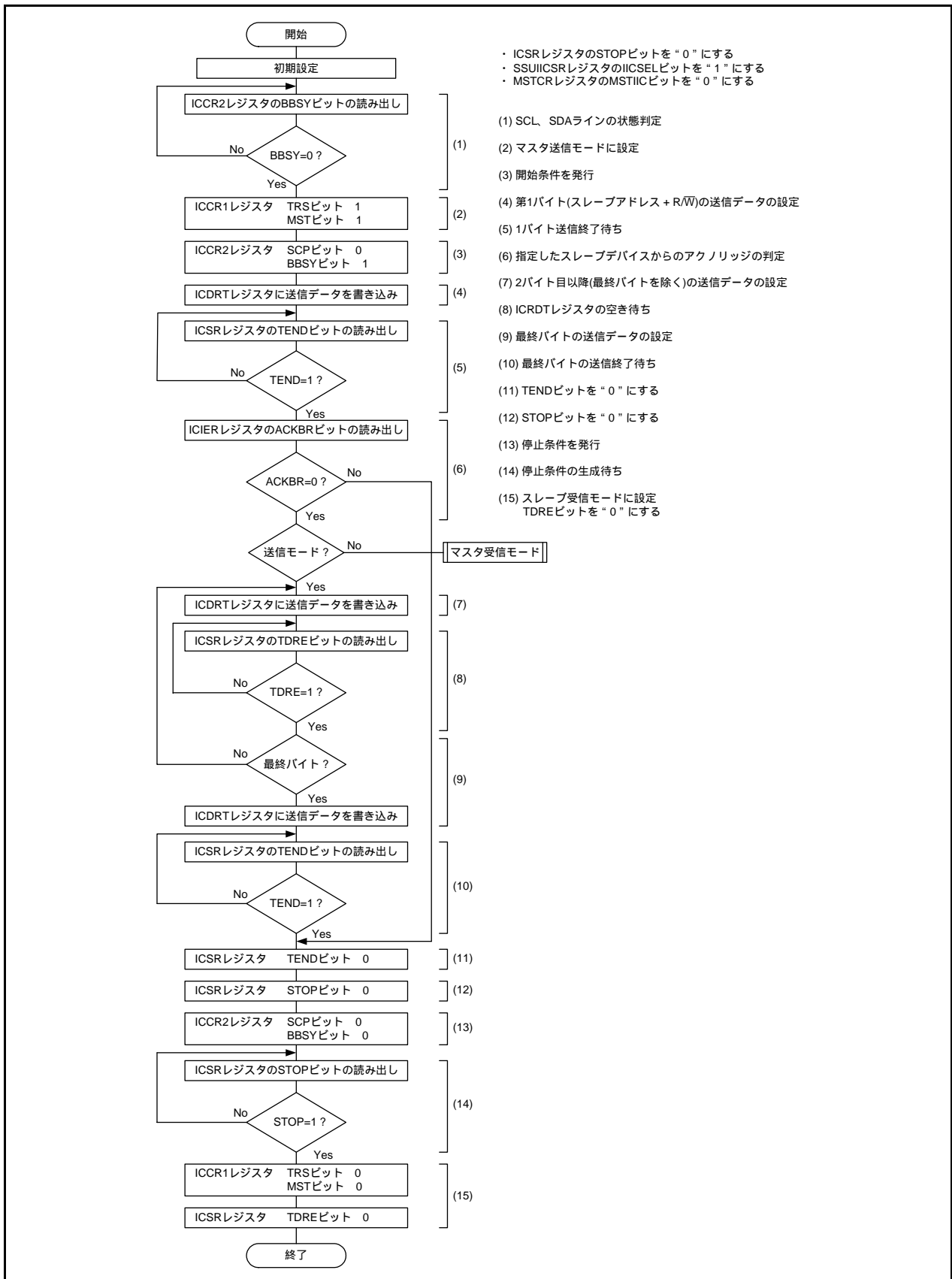


図 26.16 マスタ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

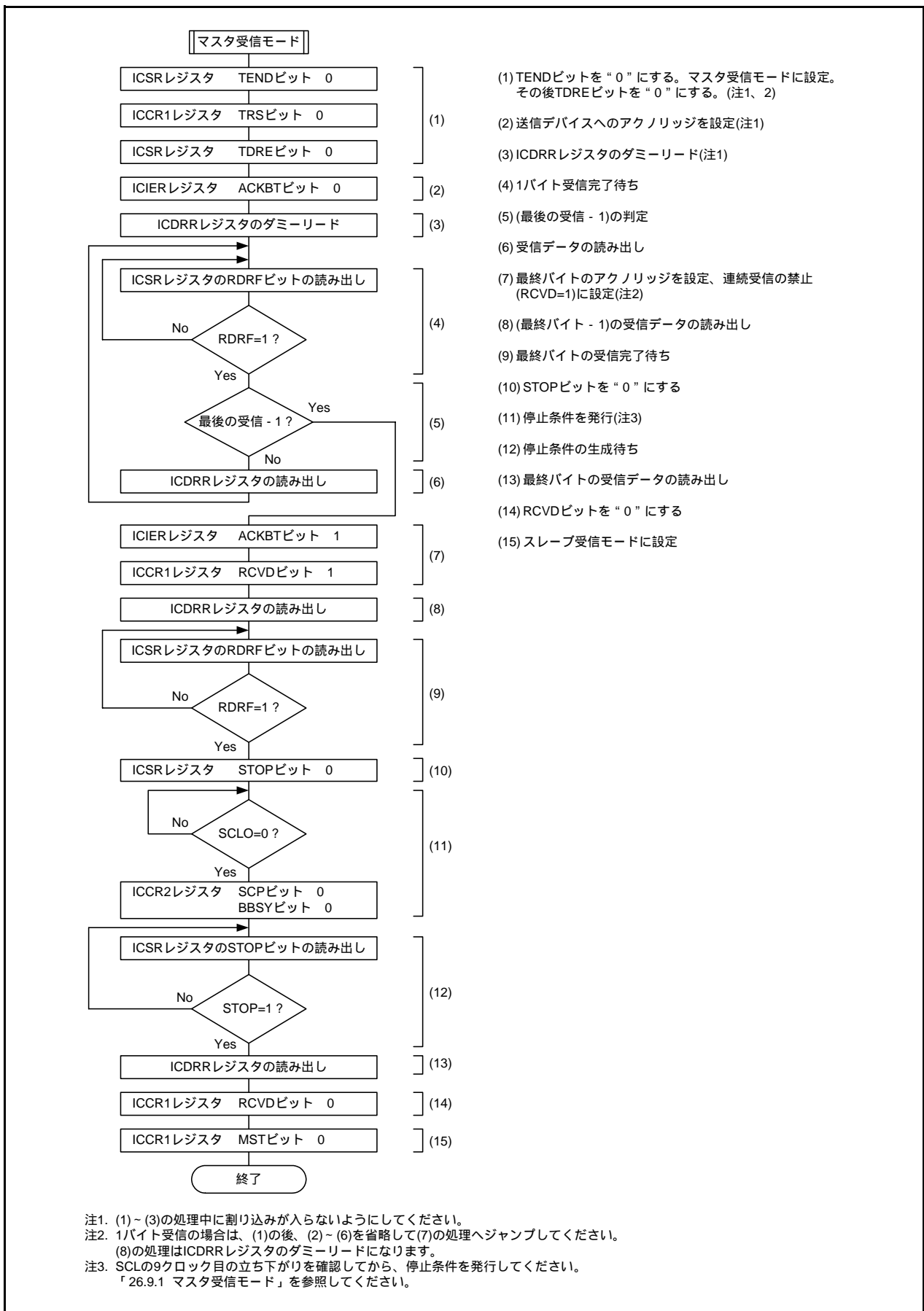


図 26.17 マスタ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

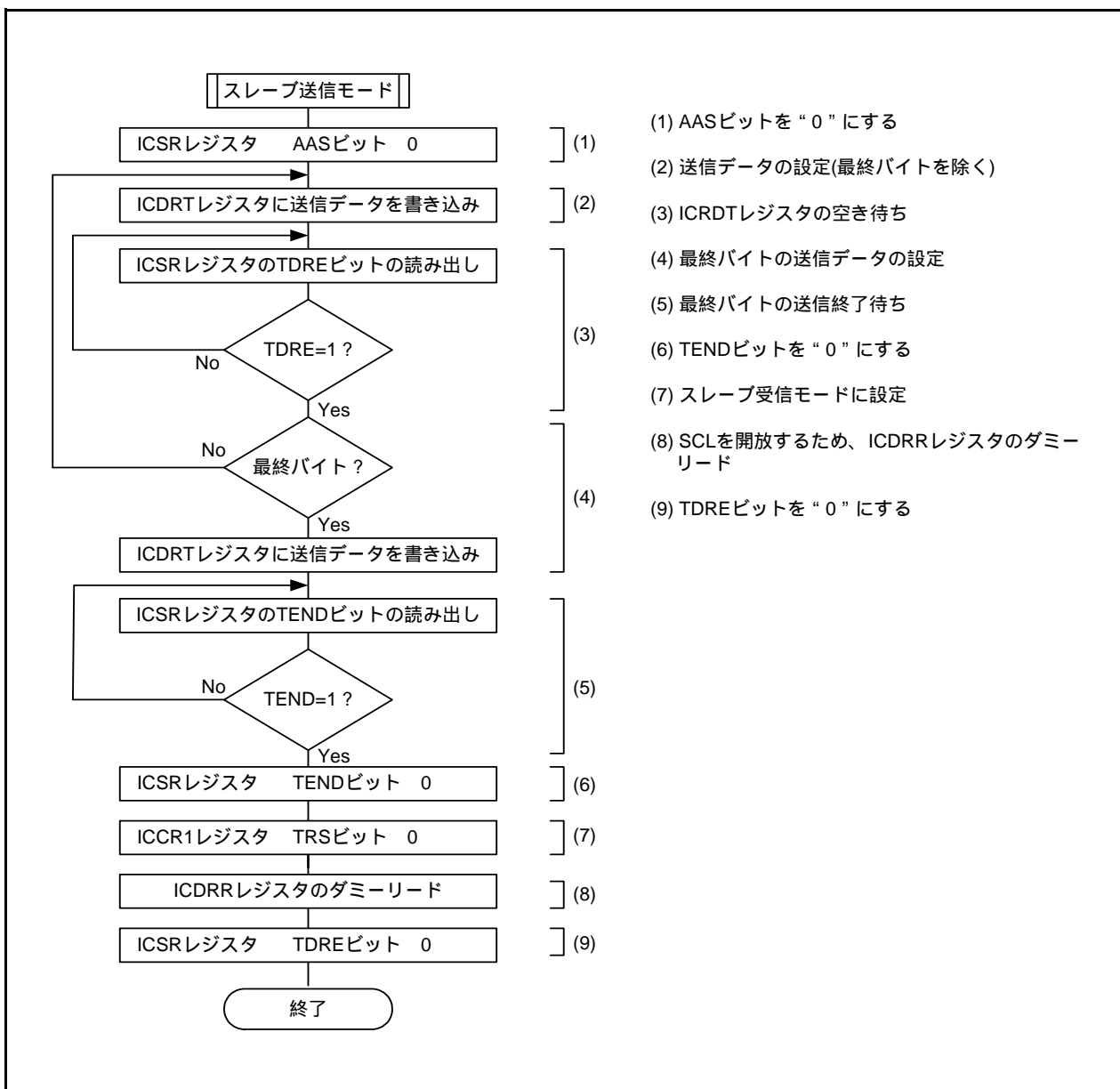


図 26.18 スレーブ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

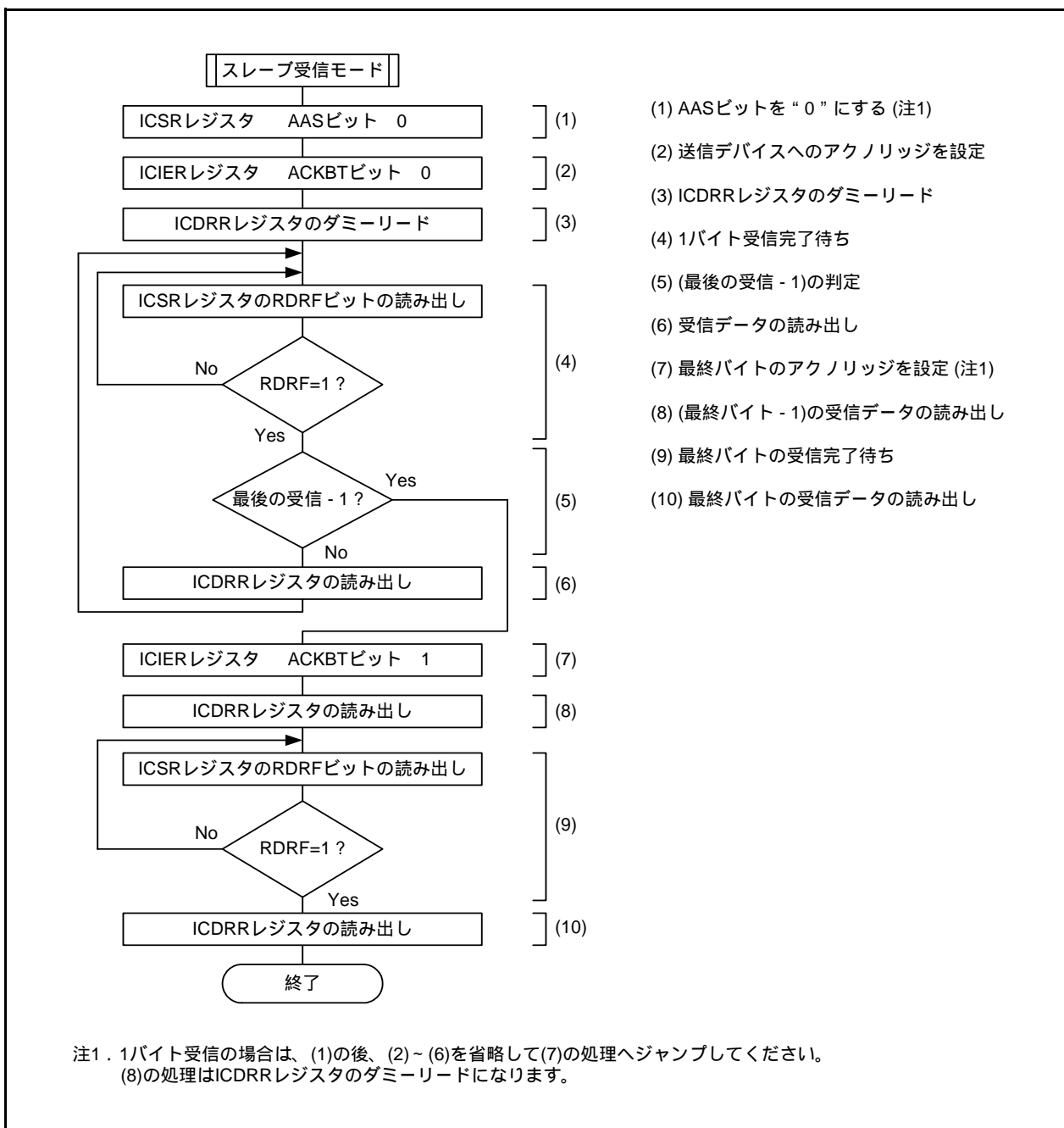


図 26.19 スレーブ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

26.7 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図26.20にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)が f_1 でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

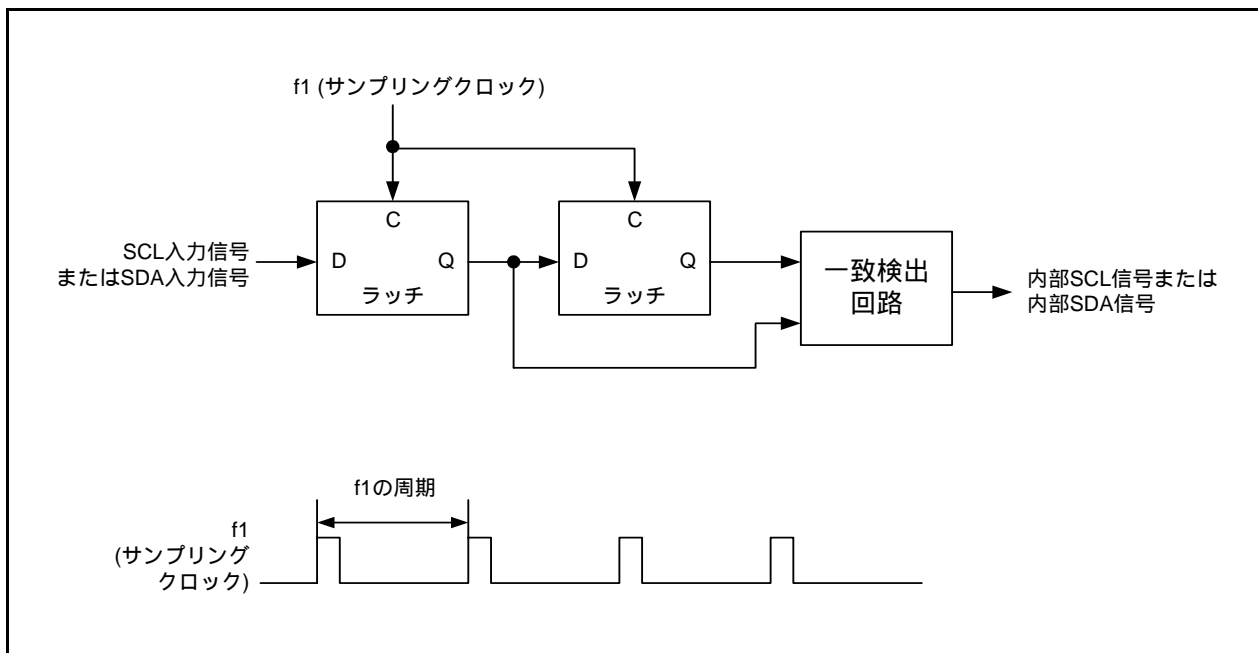


図 26.20 ノイズ除去回路のブロック図

26.8 ビット同期回路

I²Cバスインタフェースをマスターモードに設定時、

- スレーブデバイスによりSCLが“L”に保持された場合
 - SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合
- の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図 26.21 にビット同期回路のタイミングを、表 26.7 にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

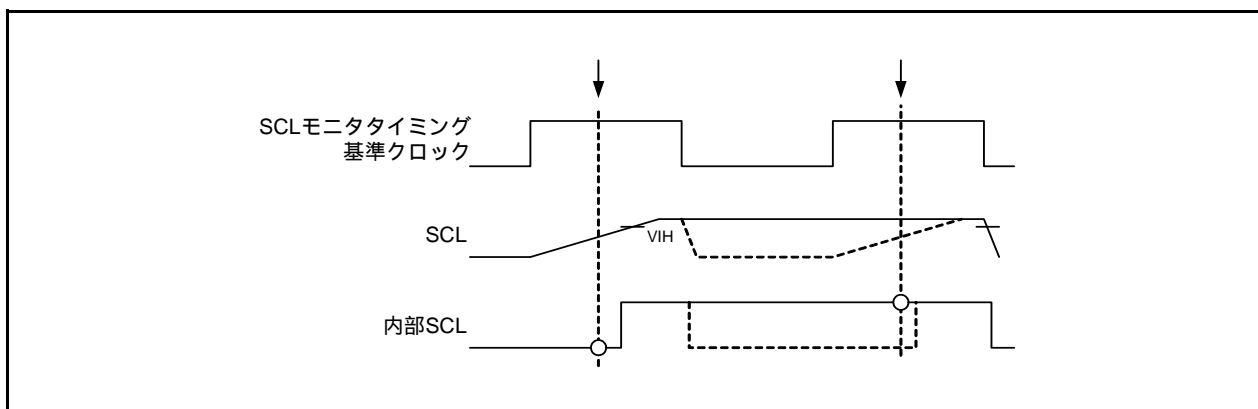


図 26.21 ビット同期回路のタイミング

表 26.7 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

| ICCR1 レジスタ | | SCL をモニタする時間 |
|------------|------|--------------|
| CKS3 | CKS2 | |
| 0 | 0 | 7.5Tcyc |
| | 1 | 19.5Tcyc |
| 1 | 0 | 17.5Tcyc |
| | 1 | 41.5Tcyc |

1Tcyc=1/f1(s)

26.9 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、SSUICSRレジスタのIICSELビットを“1”(I²Cバスインタフェース機能を選択)にしてください。

26.9.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりとなった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

26.9.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

26.9.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I²Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

26.9.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI²Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI²Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

26.9.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります

26.9.2.3 IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRSTビットに“1”を書くと、ICSRレジスタのTDREビットは“1”になります。
- IICRSTビットによるI²Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

27. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

27.1 概要

ハードウェアLINには、以下の特長があります。

図27.1にハードウェアLINのブロック図を示します。

各モードでのWake Up機能はINT1より検出します。

【マスタモード】

- Synch Break発生
- バス衝突検出

【スレーブモード】

- Synch Break検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART0入力制御機能
- バス衝突検出

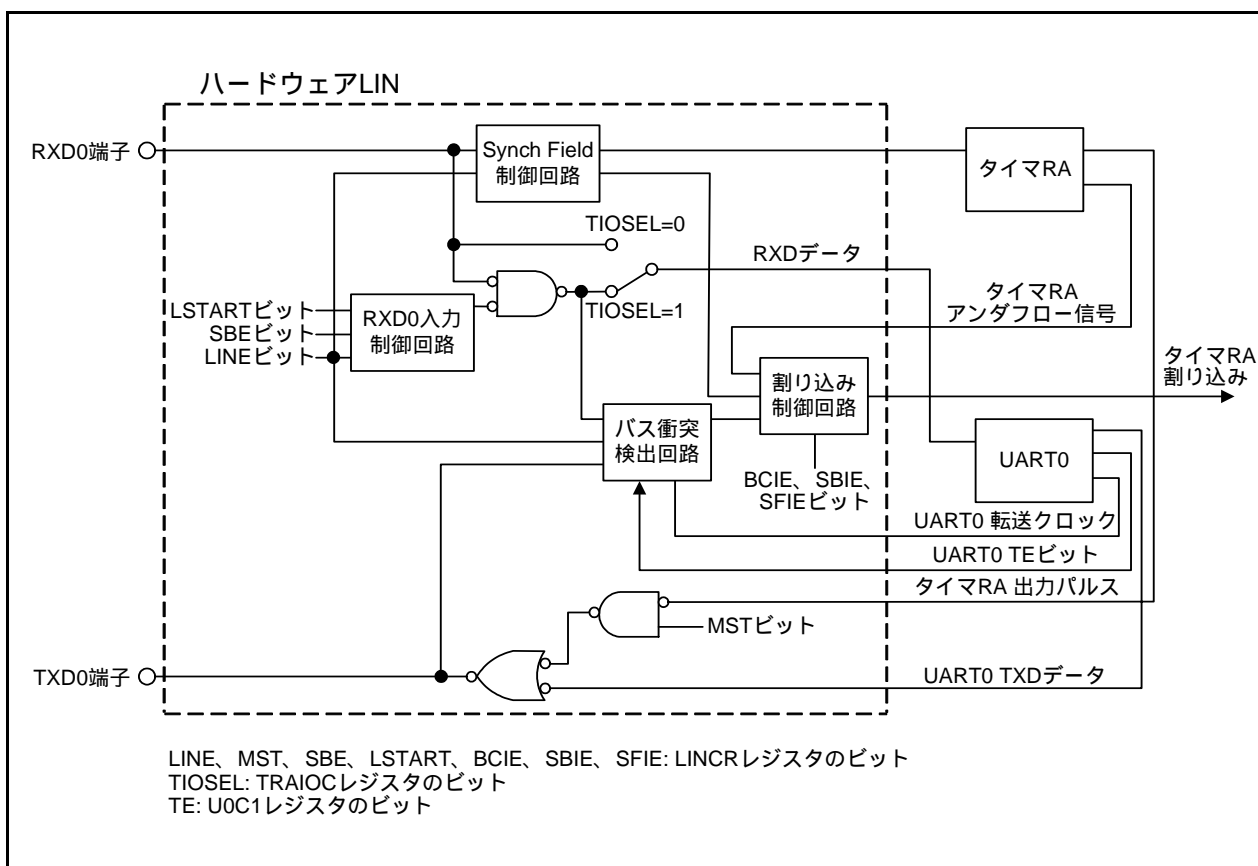


図27.1 ハードウェアLINのブロック図

27.2 入出力端子

表27.1にハードウェアLINの端子構成を示します。

表27.1 ハードウェアLINの端子構成

| 名称 | 端子名 | 割り当てる端子 | 入出力 | 機能 |
|--------------|------|----------|-----|---------------------|
| レシーブデータ入力 | RXD0 | P1_5(注1) | 入力 | ハードウェアLINの受信データ入力端子 |
| トランスミットデータ出力 | TXD0 | P1_4(注2) | 出力 | ハードウェアLINの送信データ出力端子 |

注1. ハードウェアLINを使用するときは、表7.18を参照してください。

注2. ハードウェアLINを使用するときは、U0SRレジスタのTXD0SEL0ビットを“1”にしてください。

27.3 レジスタの説明

ハードウェアLINには以下のレジスタがあります。

- LINコントロールレジスタ2(LINCR2)
- LINコントロールレジスタ(LINCR)
- LINステータスレジスタ(LINST)

27.3.1 LINコントロールレジスタ2(LINCR2)

アドレス 0105h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|-----|
| シンボル | - | - | - | - | - | - | - | BCE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|----------------------------|-----|
| b0 | BCE | Synch Break送信時、バス衝突検出有効ビット | 0: バス衝突検出禁止 1: バス衝突検出有効 | R/W |
| b1 | - | 予約ビット | “0” にしてください | R/W |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

27.3.2 LINコントロールレジスタ(LINCR)

アドレス 0106h 番地

| | | | | | | | | |
|---------|------|-----|-----|--------|-------|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | LINE | MST | SBE | LSTART | RXDSF | BCIE | SBIE | SFIE |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | SFIE | Synch Field計測完了割り込み許可ビット | 0 : Synch Field計測完了割り込み禁止 1 : Synch Field計測完了割り込み許可 | R/W |
| b1 | SBIE | Synch Break検出割り込み許可ビット | 0 : Synch Break検出割り込み禁止 1 : Synch Break検出割り込み許可 | R/W |
| b2 | BCIE | バス衝突検出割り込み許可ビット | 0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可 | R/W |
| b3 | RXDSF | RXD0入力ステータスフラグ | 0 : RXD0入力許可状態 1 : RXD0入力禁止状態 | R |
| b4 | LSTART | Synch Break検出開始ビット(注1) | “1”を書くとタイマRA入力許可、RXD0入力禁止になります。読んだ場合、その値は“0”。 | R/W |
| b5 | SBE | RXD0入力マスク解除タイミングセレクトビット (スレーブモードのみ有効) | 0 : Synch Break検出後に解除 1 : Synch Field計測完了後に解除 | R/W |
| b6 | MST | LIN動作モード設定ビット(注2) | 0 : スレーブモード (Synch Break検出回路動作) 1 : マスタモード (タイマRAの出力をTXD0とORする) | R/W |
| b7 | LINE | LIN動作開始ビット | 0 : LINは動作停止 1 : LINは動作開始(注3) | R/W |

- 注1. LSTARTビット設定後、RXDSFフラグが“1”になる事を確認してからSynch Breakを入力開始してください。
 注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。
 注3. LINEビットを“1”(LINは動作開始)にした直後は、タイマRAおよびUART0への入力は禁止です(図27.3 ヘッダフィールド送信フローチャート例(1)および図27.7 ヘッダフィールド受信フローチャート例(2)を参照してください)。

27.3.3 LINステータスレジスタ(LINST)

アドレス 0107h 番地

| | | | | | | | | |
|---------|----|----|-------|-------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | B2CLR | B1CLR | B0CLR | BCDCT | SBDCT | SFDCT |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | SFDCT | Synch Field計測完了フラグ | “1”のときSynch Field計測完了 | R |
| b1 | SBDCT | Synch Break検出フラグ | “1”のときSynch Break検出、またはSynch Break発生完了 | R |
| b2 | BCDCT | バス衝突検出フラグ | “1”のときバス衝突検出 | R |
| b3 | B0CLR | SFDCTフラグクリアビット | “1”を書くとSFDCTビットを“0”にします。読んだ場合、その値は“0”。 | R/W |
| b4 | B1CLR | SBDCTフラグクリアビット | “1”を書くとSBDCTビットを“0”にします。読んだ場合、その値は“0”。 | R/W |
| b5 | B2CLR | BCDCTフラグクリアビット | “1”を書くとBCDCTビットを“0”にします。読んだ場合、その値は“0”。 | R/W |
| b6 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b7 | - | | | - |

27.4 動作説明

27.4.1 マスタモード

図27.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図27.3～図27.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、“55h”を送信します。
- (4) UART0により、“55h”の送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

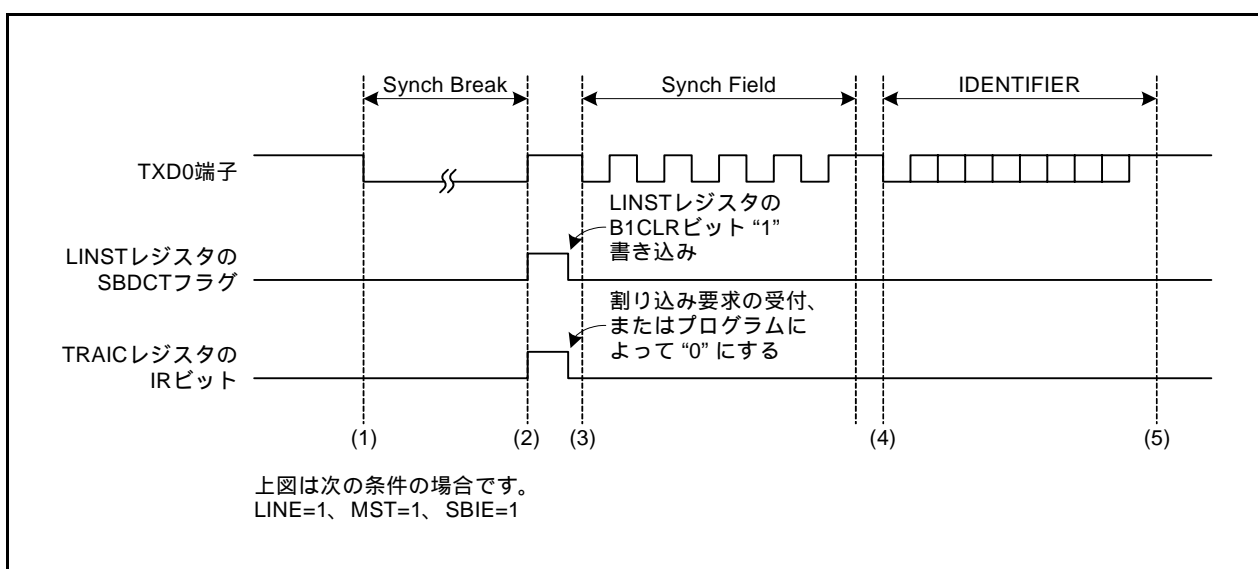


図27.2 ヘッダフィールドの送信時の動作例

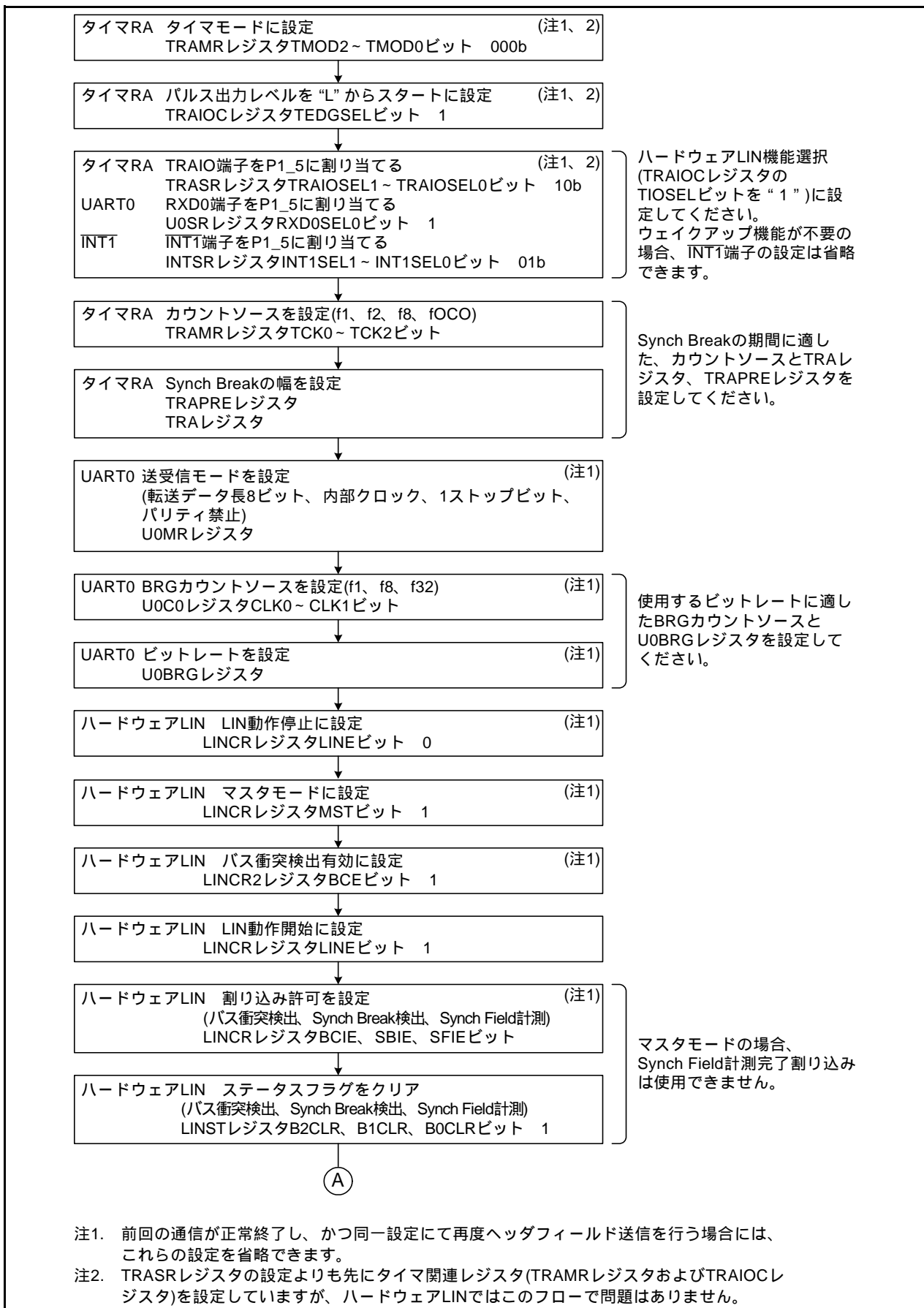


図27.3 ヘッダフィールド送信フローチャート例(1)

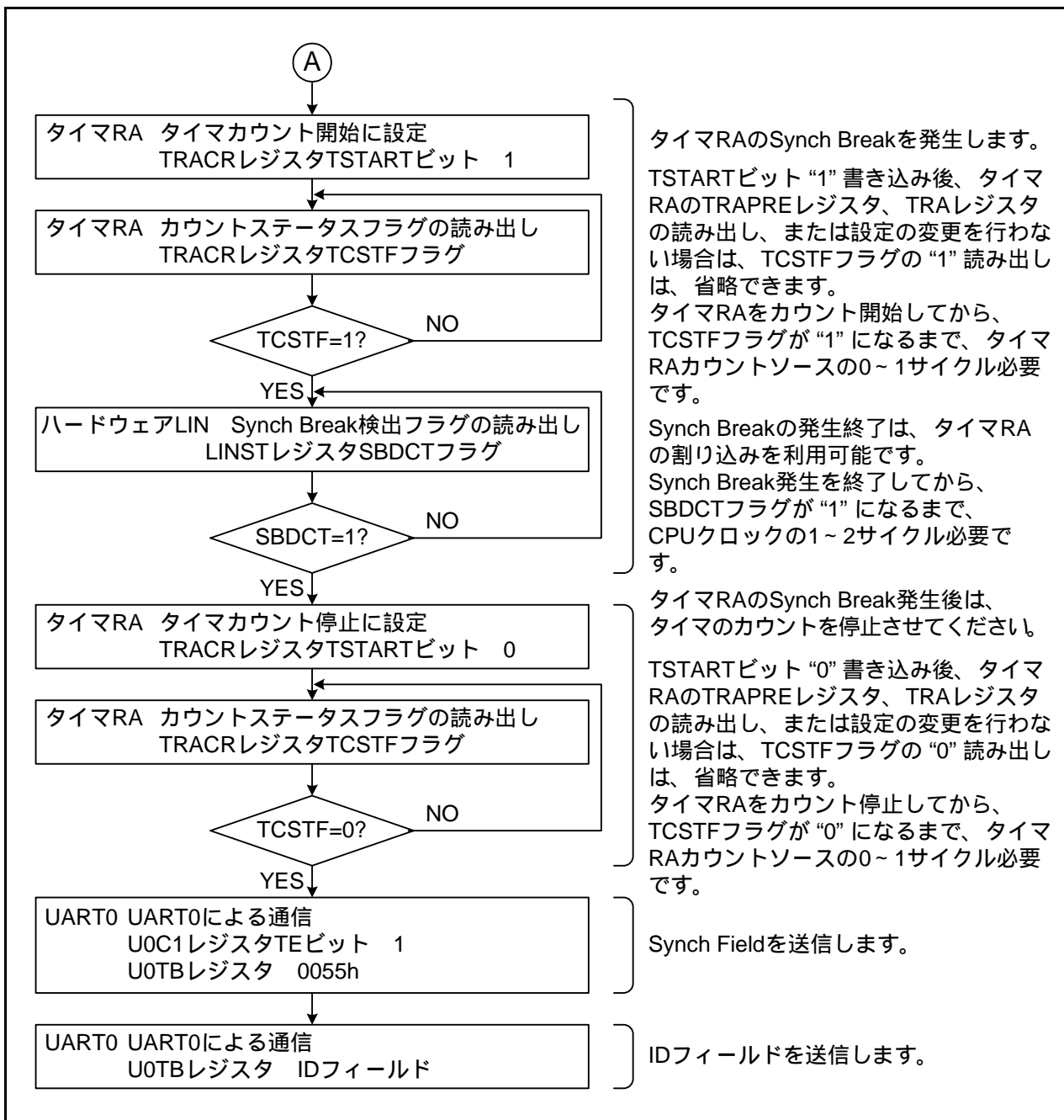


図27.4 ヘッダフィールド送信フローチャート例(2)

27.4.2 スレーブモード

図27.5にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図27.6～図27.8にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCXレジスタのLSTARTビットに“1”を書き込むと、Synch Break検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCXレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。このとき、タイマRAにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCXのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCXレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

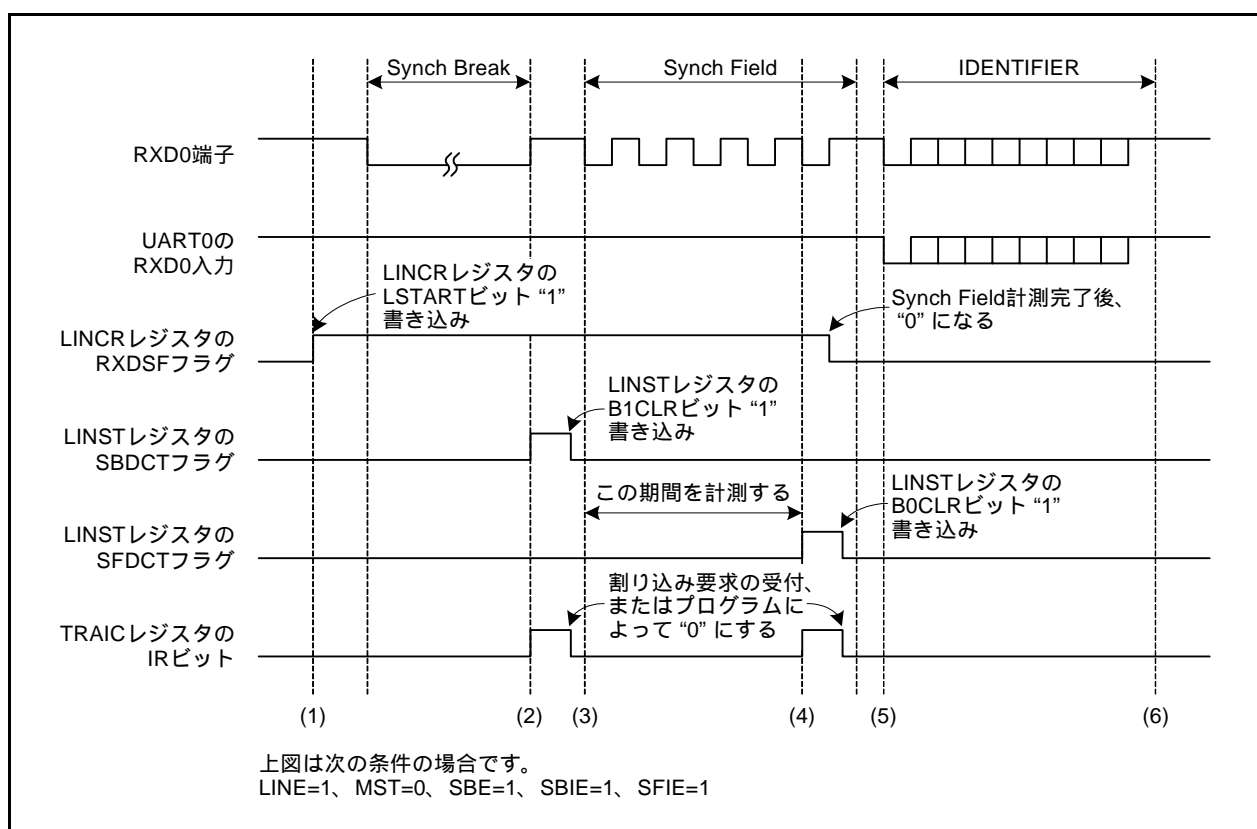


図27.5 ヘッダフィールドの受信時の動作例

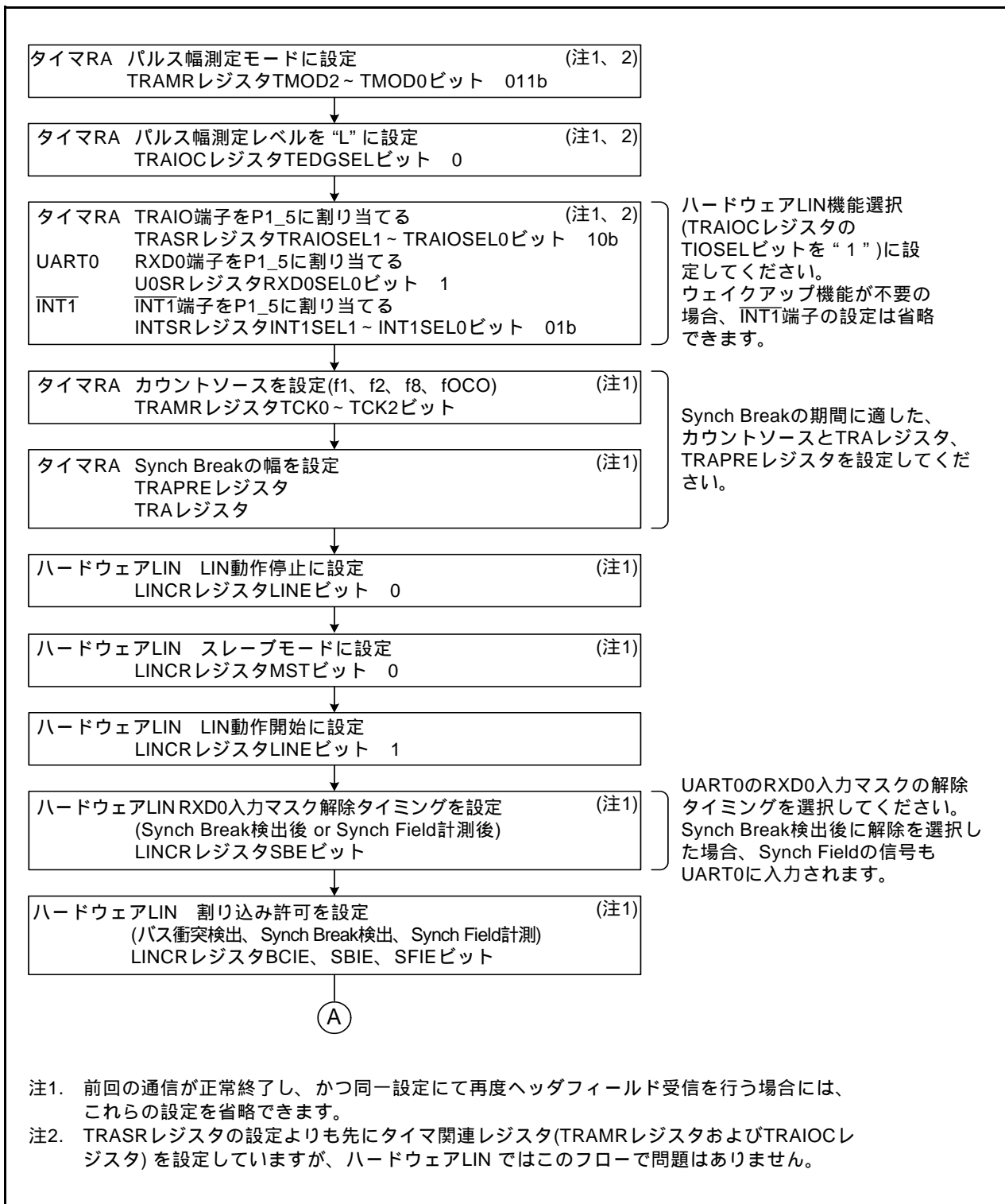


図27.6 ヘッダフィールド受信フローチャート例(1)

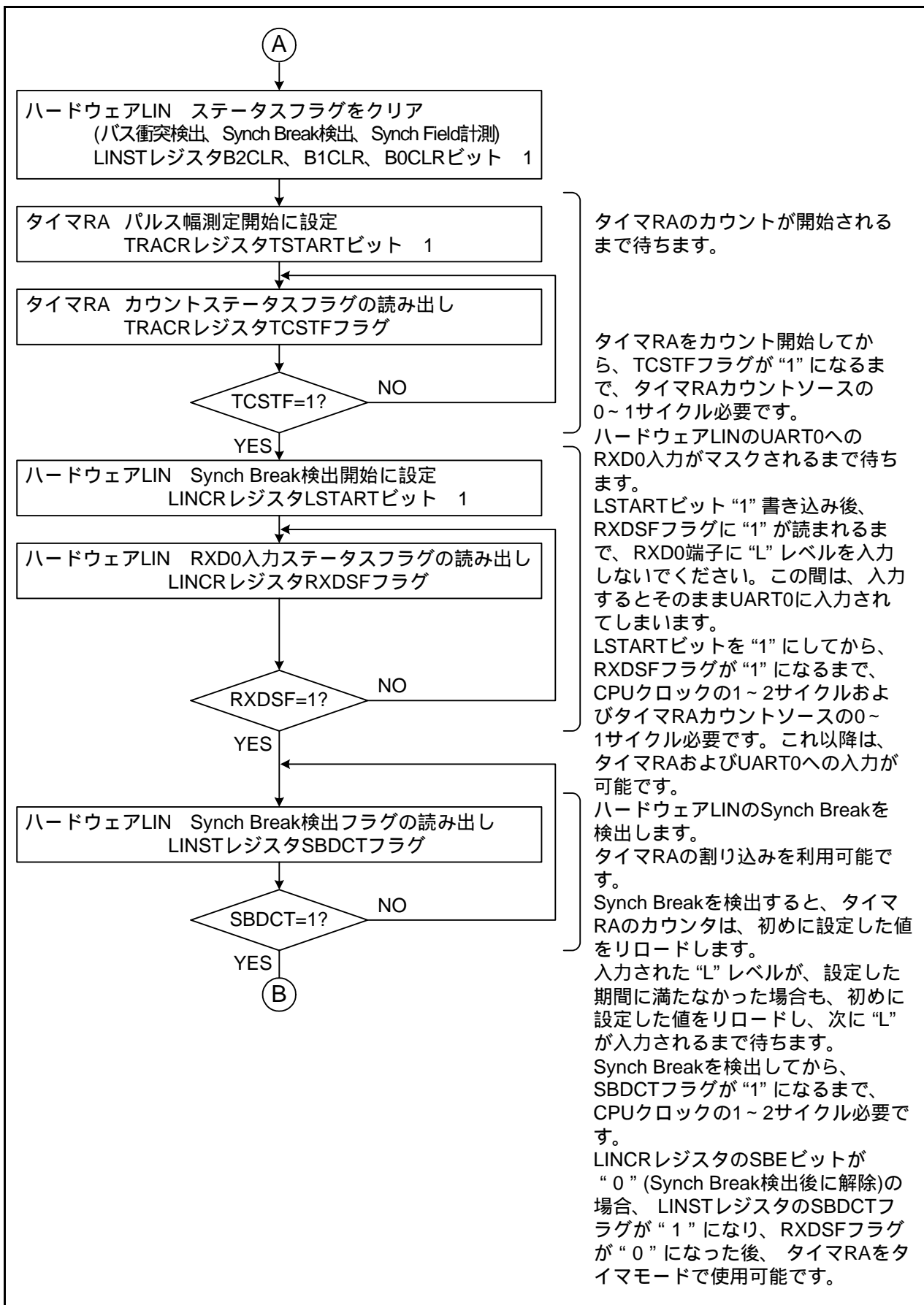


図27.7 ヘッドフィールド受信フローチャート例(2)

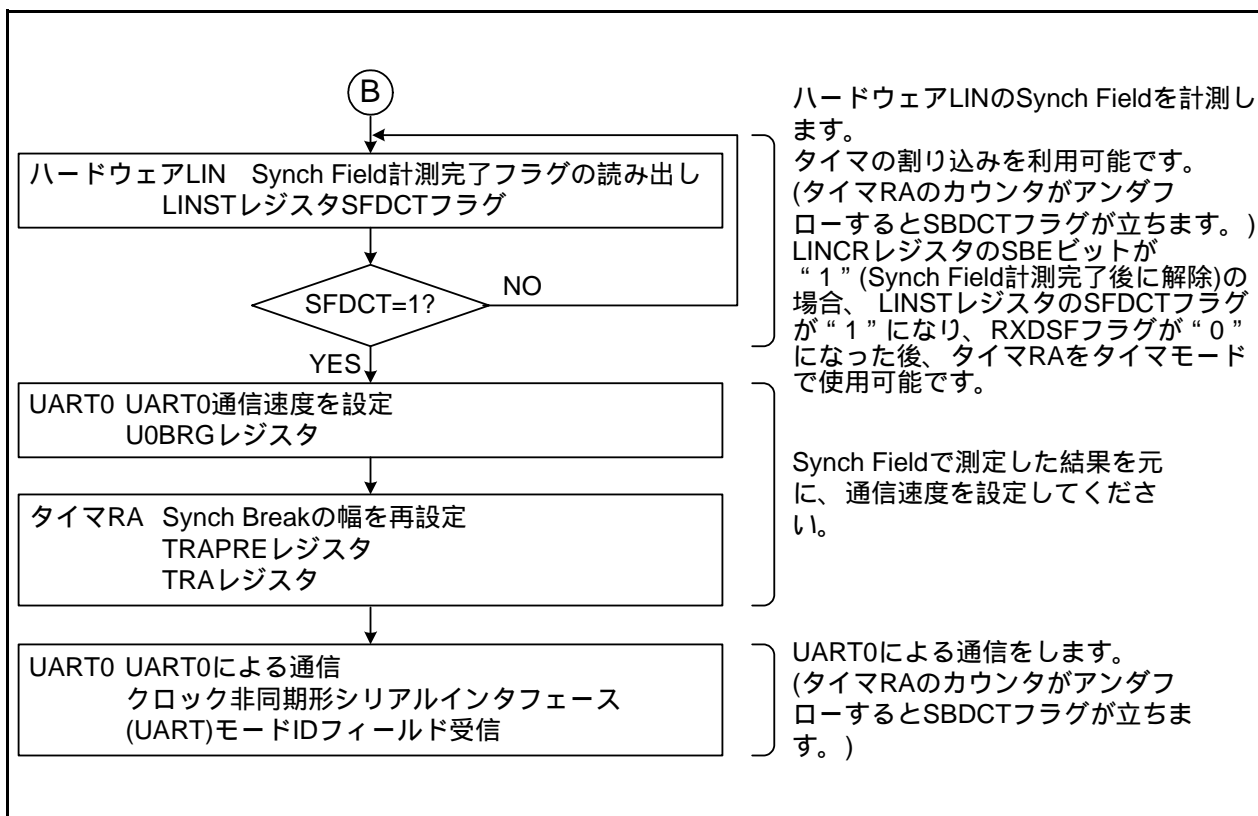


図27.8 ヘッダフィールド受信フローチャート例(3)

27.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINC2レジスタのBCEビットを“1”(バス衝突検出有効)にしてください。

図27.9にバス衝突検出時の動作例を示します。

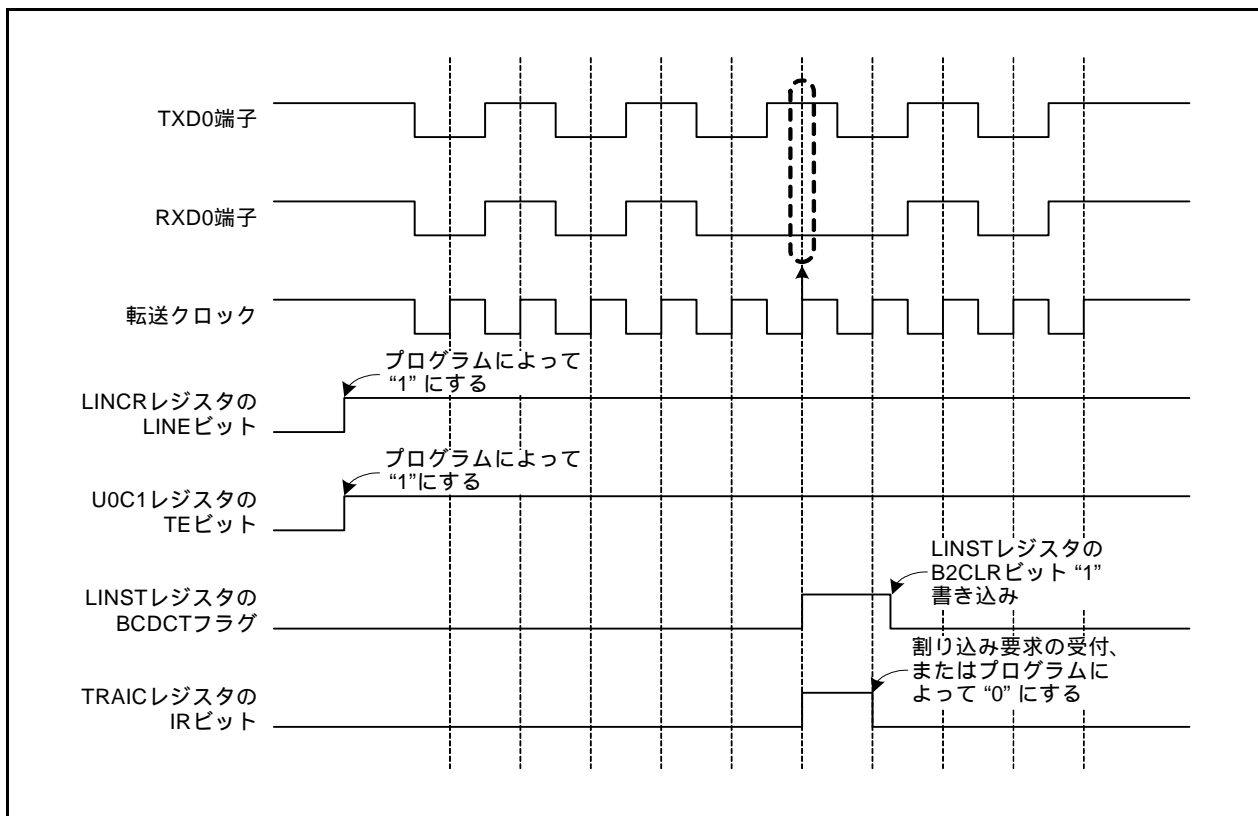


図27.9 バス衝突検出時の動作例

27.4.4 ハードウェアLIN終了処理

図27.10にハードウェアLIN通信終了のフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

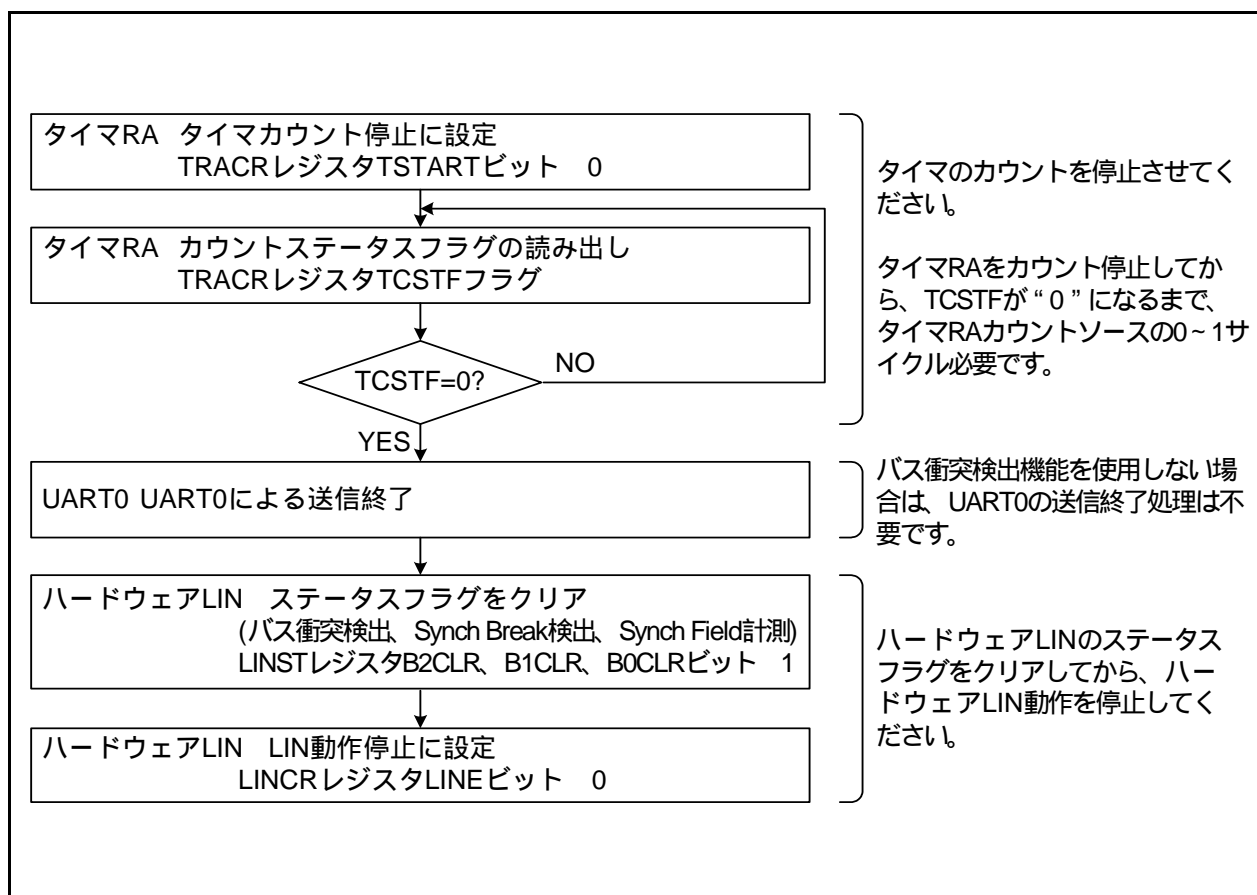


図27.10 ハードウェアLIN通信終了のフローチャート例

27.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表27.2にハードウェアLINの割り込み要求を示します。

表27.2 ハードウェアLINの割り込み要求

| 割り込み要求 | ステータスフラグ | 割り込み要因 |
|-----------------|----------|---|
| Synch Break検出 | SBDCT | タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき |
| Synch Break発生完了 | | タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき |
| Synch Field計測完了 | SFDCT | タイマRAによりSynch Fieldの6ビット目の計測が完了したとき |
| バス衝突検出 | BCDCT | UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき |

27.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

28. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0_0 ~ P0_7、P1_0 ~ P1_3と端子を共用しています。

28.1 概要

表 28.1にA/Dコンバータの性能を、図 28.1にA/Dコンバータのブロック図を示します。

表 28.1 A/Dコンバータの性能

| 項目 | 性能 |
|--------------------------------|---|
| A/D変換方式 | 逐次比較変換方式(容量結合増幅器) |
| アナログ入力電圧(注1) | 0V ~ AVCC |
| 動作クロック AD(注2) | fAD、fADの2分周、fADの4分周、fADの8分周 (fAD=f1またはfOCO-F) |
| 分解能 | 8ビットまたは10ビット選択可能 |
| 絶対精度 | AVCC=Vref=5V、AD=20MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 3LSB AVCC=Vref=3.3V、AD=16MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB AVCC=Vref=3.0V、AD=10MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB AVCC=Vref=2.2V、AD=5MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB |
| 動作モード | 単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード |
| アナログ入力端子 | 12本(AN0 ~ AN11) |
| A/D変換開始条件 | <ul style="list-style-type: none"> ・ソフトウェアトリガ ・タイマRD ・タイマRC ・外部トリガ (「28.3.3 A/D変換開始条件」参照) |
| 1端子あたりの変換速度(注3) (AD=fADのとき) | 最短44 ADサイクル |

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 動作クロック AD「表34.3 A/Dコンバータ特性」を参照してください。

注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短44 ADサイクルになります。

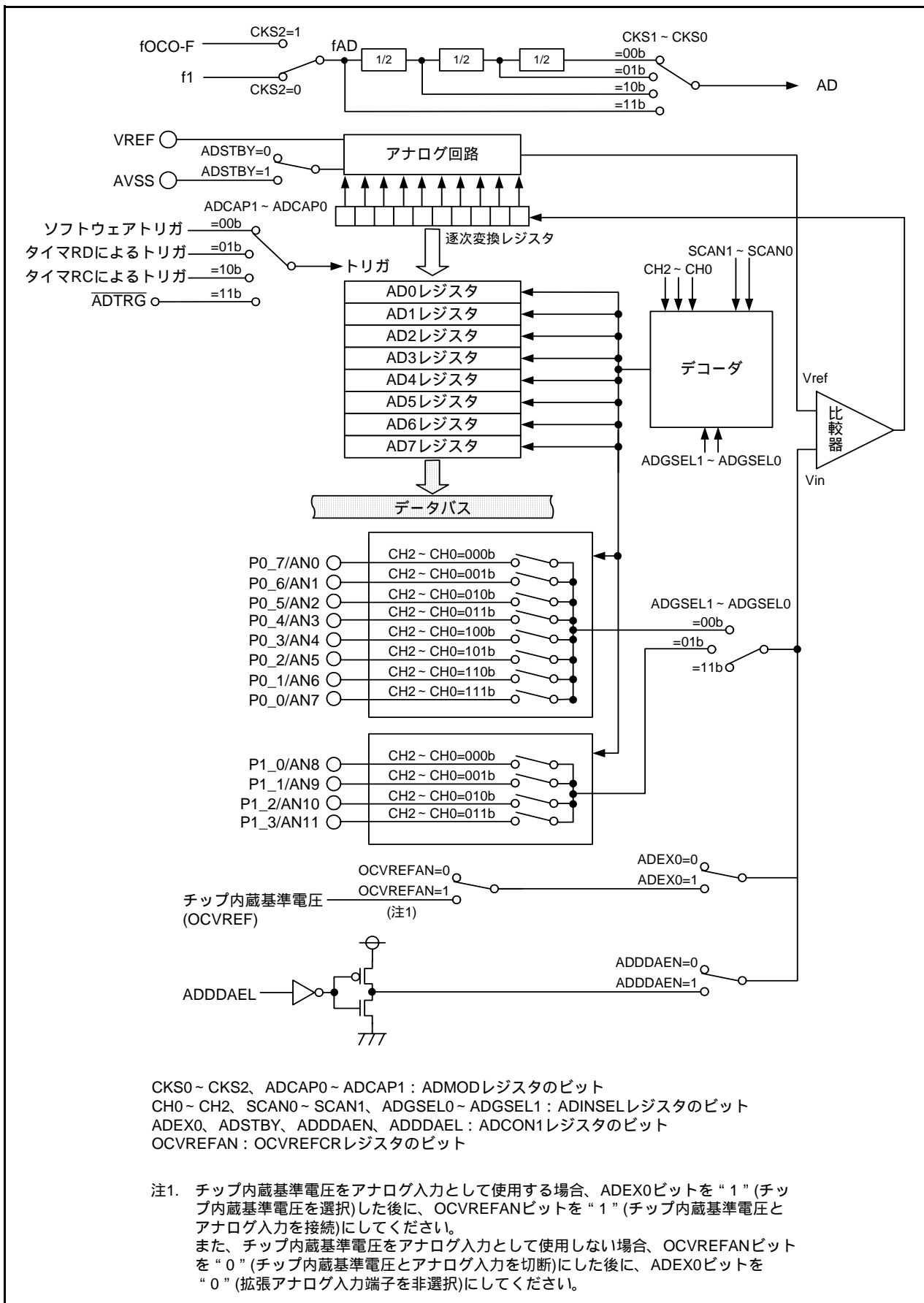


図 28.1 A/Dコンバータのブロック図

28.2 レジスタの説明

28.2.1 チップ内蔵基準電圧制御レジスタ (OCVREFCR)

アドレス 0026h 番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | OCVREFAN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|---------------------------------|--|-----|
| b0 | OCVREFAN | チップ内蔵基準電圧 - アナログ 入力接続ビット(注1) | 0 : チップ内蔵基準電圧とアナログ入力を切断 1 : チップ内蔵基準電圧とアナログ入力を接続 | R/W |
| b1 | - | 予約ビット | "0" にしてください | R/W |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1 レジスタの ADEX0 ビットを "1" (チップ内蔵基準電圧を選択) にした後に、OCVREFAN ビットを "1" (チップ内蔵基準電圧とアナログ入力を接続) にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを "0" (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを "0" (拡張アナログ入力端子を非選択) にしてください。

OCVREFCR レジスタは、PRCR レジスタの PRC3 ビットを "1" (書き込み許可) にした後に書き換えてください。

A/D変換中にOCVREFCRレジスタの内容を書き換えた場合、変換結果は不定になります。

28.2.2 A/Dレジスタ i (AD i)($i = 0 \sim 7$)

アドレス 00C1h ~ 00C0h番地 (AD0)、00C3h ~ 00C2h番地 (AD1)、00C5h ~ 00C4h番地 (AD2)、
00C7h ~ 00C6h番地 (AD3)、00C9h ~ 00C8h番地 (AD4)、00CBh ~ 00CAh番地 (AD5)、
00CDh ~ 00CCh番地 (AD6)、00CFh ~ 00CEh番地 (AD7)

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | X | X | X | X | X | X | X | X |

| | | | | | | | | |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| ビット | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | X | X |

| ビット | 機能 | | R/W |
|-----|--|--|-----|
| | 10ビットモードの場合 (ADCON1レジスタのBITSビット="1") | 8ビットモードの場合 (ADCON1レジスタのBITSビット="0") | |
| b0 | A/D変換結果の下位8ビット | A/D変換結果 | R |
| b1 | | | |
| b2 | | | |
| b3 | | | |
| b4 | | | |
| b5 | | | |
| b6 | | | |
| b7 | | | |
| b8 | A/D変換結果の上位2ビット | 読んだ場合、その値は"0"。 | R |
| b9 | | | |
| b10 | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 | | - |
| b11 | | | |
| b12 | | | |
| b13 | | | |
| b14 | | | |
| b15 | 予約ビット | 読んだ場合、その値は不定。 | R |

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、AD i レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

28.2.3 A/Dモードレジスタ(ADM0D)

アドレス 00D4h番地

| | | | | | | | | |
|---------|--------|--------|-----|-----|-----|------|------|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ADCAP1 | ADCAP0 | MD2 | MD1 | MD0 | CKS2 | CKS1 | CKS0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|----------------|--|-----|
| b0 | CKS0 | 分周選択ビット | b1 b0 00 : fADの8分周 01 : fADの4分周 10 : fADの2分周 11 : fADの1分周(分周なし) | R/W |
| b1 | CKS1 | | | R/W |
| b2 | CKS2 | クロック源選択ビット(注1) | 0 : f1を選択 1 : fOCO-Fを選択 | R/W |
| b3 | MD0 | A/D動作モード選択ビット | b5 b4 b3 000 : 単発モード 001 : 設定しないでください 010 : 繰り返しモード0 011 : 繰り返しモード1 100 : 単掃引モード 101 : 設定しないでください 110 : 繰り返し掃引モード 111 : 設定しないでください | R/W |
| b4 | MD1 | | | R/W |
| b5 | MD2 | | | R/W |
| b6 | ADCAP0 | A/D変換トリガ選択ビット | b7 b6 00 : ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始 01 : タイマRDからの変換トリガによるA/D変換開始 10 : タイマRCからの変換トリガによるA/D変換開始 11 : 外部トリガ(ADTRG)によるA/D変換開始 | R/W |
| b7 | ADCAP1 | | | R/W |

注1. CKS2ビットを変更したときは、ADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADM0Dレジスタの内容を書き換えた場合、変換結果は不定になります。

28.2.4 A/D入力選択レジスタ(ADINSEL)

アドレス 00D5h番地

| | | | | | | | | |
|---------|---------|---------|-------|-------|----|-----|-----|-----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ADGSEL1 | ADGSEL0 | SCAN1 | SCAN0 | - | CH2 | CH1 | CH0 |
| リセット後の値 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|----------------|--|-----|
| b0 | CH0 | アナログ入力端子選択ビット | 「表 28.2 アナログ入力端子選択」参照 | R/W |
| b1 | CH1 | | | R/W |
| b2 | CH2 | | | R/W |
| b3 | - | 予約ビット | “0” にしてください | R/W |
| b4 | SCAN0 | A/D掃引端子数選択ビット | b5 b4 00 : 2端子 01 : 4端子 10 : 6端子 11 : 8端子 | R/W |
| b5 | SCAN1 | | | R/W |
| b6 | ADGSEL0 | A/D入力グループ選択ビット | b7 b6 00 : ポートP0グループを選択 01 : ポートP1グループを選択 10 : 設定しないでください 11 : ポートグループを非選択 | R/W |
| b7 | ADGSEL1 | | | R/W |

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表 28.2 アナログ入力端子選択

| CH2 ~ CH0ビット | ADGSEL1 ~ ADGSEL0ビット=00b | ADGSEL1 ~ ADGSEL0ビット=01b |
|--------------|--------------------------|--------------------------|
| 000b | AN0 | AN8 |
| 001b | AN1 | AN9 |
| 010b | AN2 | AN10 |
| 011b | AN3 | AN11 |
| 100b | AN4 | 設定しないでください |
| 101b | AN5 | |
| 110b | AN6 | |
| 111b | AN7 | |

28.2.5 A/D制御レジスタ0 (ADCON0)

アドレス 00D6h 番地

| | | | | | | | | |
|---------|----|----|----|----|----|----|----|------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | - | - | - | - | - | - | - | ADST |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|----------------------------|-----|
| b0 | ADST | A/D変換開始フラグ | 0 : A/D変換停止 1 : A/D変換開始 | R/W |
| b1 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b2 | - | | | |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

ADSTビット(A/D変換開始フラグ)

【“1”になる条件】A/D変換開始時およびA/D変換中

【“0”になる条件】A/D変換停止時

28.2.6 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h番地

| | | | | | | | | |
|---------|---------|---------|--------|------|----|----|----|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | ADDDAEL | ADDDAEN | ADSTBY | BITS | - | - | - | ADEX0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|------------------------------|--|-----|
| b0 | ADEX0 | 拡張アナログ入力端子選択ビット (注1) | 0: 拡張アナログ入力端子を非選択 1: チップ内蔵基準電圧を選択(注2、6、7) | R/W |
| b1 | - | 予約ビット | "0" にしてください | R/W |
| b2 | - | | | |
| b3 | - | | | |
| b4 | BITS | 8/10ビットモード選択ビット | 0: 8ビットモード 1: 10ビットモード | R/W |
| b5 | ADSTBY | A/Dスタンバイビット(注3) | 0: A/D動作停止(スタンバイ)(注4) 1: A/D動作可能 | R/W |
| b6 | ADDDAEN | A/D断線検出アシスト機能許可ビット (注5、7) | 0: 禁止 1: 許可 | R/W |
| b7 | ADDDAEL | A/D断線検出アシスト方式選択ビット (注5) | 0: 変換前ディスチャージ 1: 変換前プリチャージ | R/W |

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのOCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。

注3. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、ADの1サイクル以上経過した後にA/D変換を開始してください。

注4. スタンバイにする前に、A/D機能を停止してください。ADSTBYビットが“1”(スタンバイ)のとき、A/D関連レジスタ(00C0h ~ 00CFh、00D4h ~ 00D7h番地)へのアクセスは無効になります。

注5. A/D断線検出アシスト機能を許可にするためには、ADDDAENビットを“1”(許可)にした後、ADDDAELビットで変換開始状態を選択してください。

断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。

注6. チップ内蔵基準電圧を使用する場合(ADEX0=1)、ADINSELレジスタのCH2~CH0ビットを“000b”にしてください。

注7. チップ内蔵基準電圧を使用する場合(ADEX0=1)、ADDDAENビットを“0”(A/D断線検出アシスト機能を禁止)にしてください。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。

28.3 複数モードに関わる共通事項

28.3.1 入出力端子

アナログ入力にはAN0 ~ AN11で、P0_0 ~ P0_7、P1_0 ~ P1_3と端子を共用しています。

AN_i (i=0 ~ 11)端子を入力で使用する場合、端子に対応するポート方向ビットを“0”(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

28.3.2 A/D変換サイクル数

図28.2にA/D変換タイミング図を、図28.3にA/D変換サイクル数(AD = fADのとき)を示します。

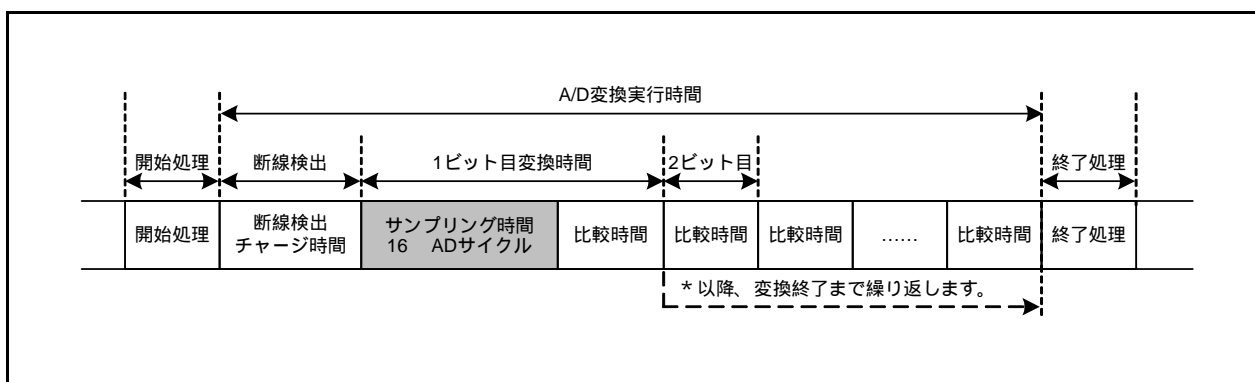


図28.2 A/D変換タイミング図

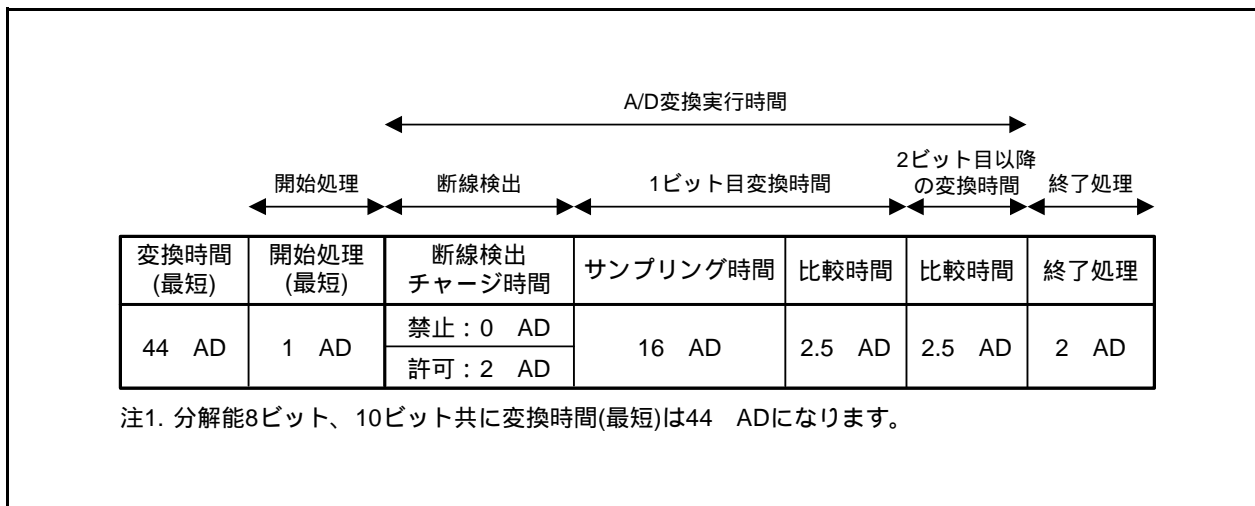


図28.3 A/D変換サイクル数(AD = fADのとき)

表 28.3 に各 A/D 変換項目のサイクル数を示します。A/D 変換時間は次のとおりです。

開始処理時間は AD の選択によって変わります。

ADCON0 レジスタの ADST ビットに “1” (A/D 変換開始) を書くと、開始処理時間経過後に A/D 変換を始めます。A/D 変換を始めるまでに ADST ビットを読むと “0” (A/D 変換停止) を読み出します。

複数端子または複数回 A/D 変換を実行するモードでは、1 端子の A/D 変換実行時間と、次の A/D 変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間に ADST ビットが “0” になると同時に、最後の A/D 変換結果が ADi レジスタに入ります。

- 単発モードの場合
開始処理時間 + A/D 変換実行時間 + 終了処理時間
- 単掃引モードで 2 端子を選択した場合
開始処理時間 + (A/D 変換実行時間 + 実行間処理時間 + A/D 変換実行時間) + 終了処理時間

表 28.3 各 A/D 変換項目のサイクル数

| A/D 変換項目 | | サイクル数 |
|------------|---------------|---------------------------------|
| 開始処理時間 | AD=fAD | fAD の 1 ~ 2 サイクル |
| | AD=fAD の 2 分周 | fAD の 2 ~ 3 サイクル |
| | AD=fAD の 4 分周 | fAD の 3 ~ 4 サイクル |
| | AD=fAD の 8 分周 | fAD の 5 ~ 6 サイクル |
| A/D 変換実行時間 | 断線検出禁止 | AD の 40 サイクル + fAD の 1 ~ 3 サイクル |
| | 断線検出許可 | AD の 42 サイクル + fAD の 1 ~ 3 サイクル |
| 実行間処理時間 | | AD の 1 サイクル |
| 終了処理時間 | | fAD の 2 ~ 3 サイクル |

28.3.3 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRD、タイマRCからのトリガと、外部トリガがあります。

図28.4にA/D変換開始制御部のブロック図を示します。

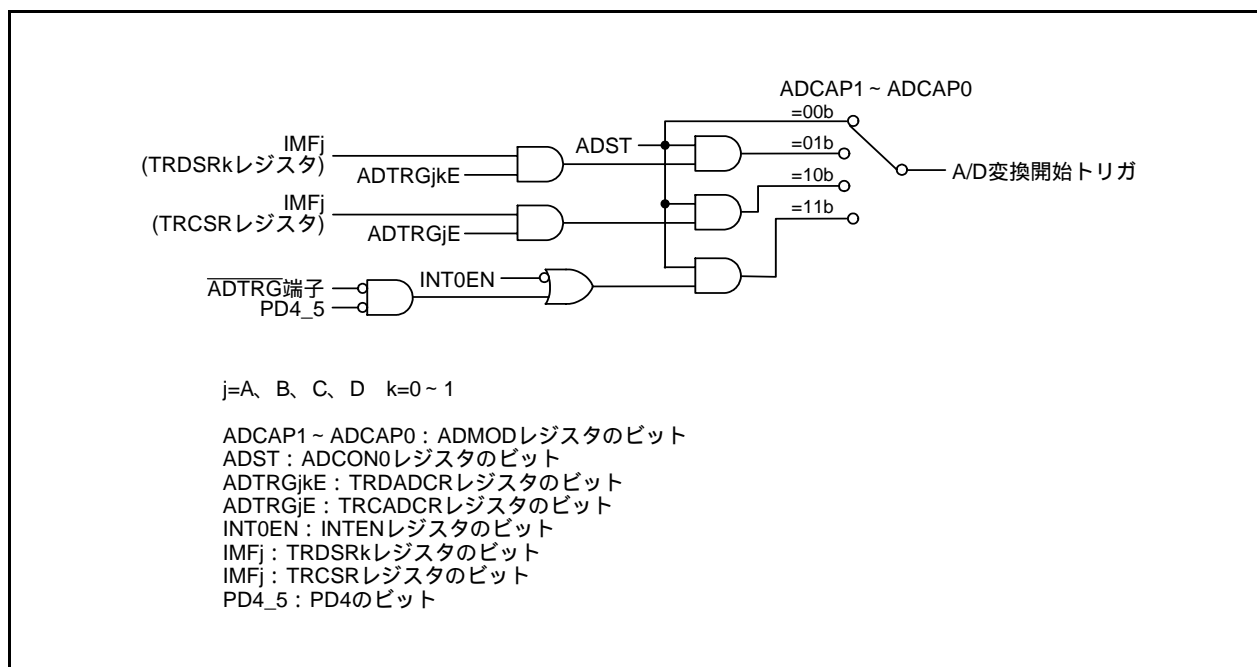


図28.4 A/D変換開始制御部のブロック図

28.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合です。ADCON0レジスタのADSTビットを“1”(A/D変換開始)にするとA/D変換を開始します。

28.3.3.2 タイマRDからのトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“01b”(タイマRD)の場合です。この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“01b”(タイマRD)
- タイマRDをアウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)で使用
- TRDADCRレジスタのADTRGjkEビット($j = A, B, C, D, k=0 \sim 1$)が“1”(TRDGRjkレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、TRDSRkレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。タイマRD、アウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)の詳細は「20. タイマRD」, 「20.4 アウトプットコンペア機能」, 「20.5 PWMモード」, 「20.6 リセット同期PWMモード」, 「20.7 相補PWMモード」, 「20.8 PWM3モード」を参照してください。

28.3.3.3 タイマRCからのトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“10b”(タイマRC)の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“10b”(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j = A、B、C、D)が“1”(TRCGRjレジスタのコンペアー致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、TRCSRレジスタのIMEjビットが“0”から“1”になると、A/D変換を開始します。
タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「19. タイマRC」、「19.5 タイマモード(アウトプットコンペア機能)」、「19.6 PWMモード」、「19.7 PWM2モード」を参照してください。

28.3.3.4 外部トリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“11b”(外部トリガ(ADTRG))の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットを“11b”(外部トリガ(ADTRG))にする。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで選択する。
- ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、ADTRG端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

上記の状態、ADTRG端子の入力を“H”から“L”にするとA/D変換を開始します。

28.3.4 A/D変換結果

A/D変換した結果はAD_iレジスタ($i = 0 \sim 7$)に格納されます。使用するA/D動作モードによって、格納されるAD_iレジスタは違います。AD_iレジスタはリセット後不定です。値は書き込みません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが“1”になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとAD_iレジスタに値を上書きしますので、それまでにAD_iレジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないAD_iレジスタも、不定になる場合があります。

プログラムでADSTビットを“0”にした場合は、すべてのAD_iレジスタの値を使用しないでください。

28.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

28.3.6 チップ内蔵基準電圧 (OCVREF)

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのOCVREFANビットで選択してください。

単発モード、繰り返しモード0でのチップ内蔵基準電圧のA/D変換結果は、AD0レジスタに格納されます。

28.3.7 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図 28.5にAVCC側でのA/D断線検出例(変換前プリチャージを選択)を、図 28.6にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。

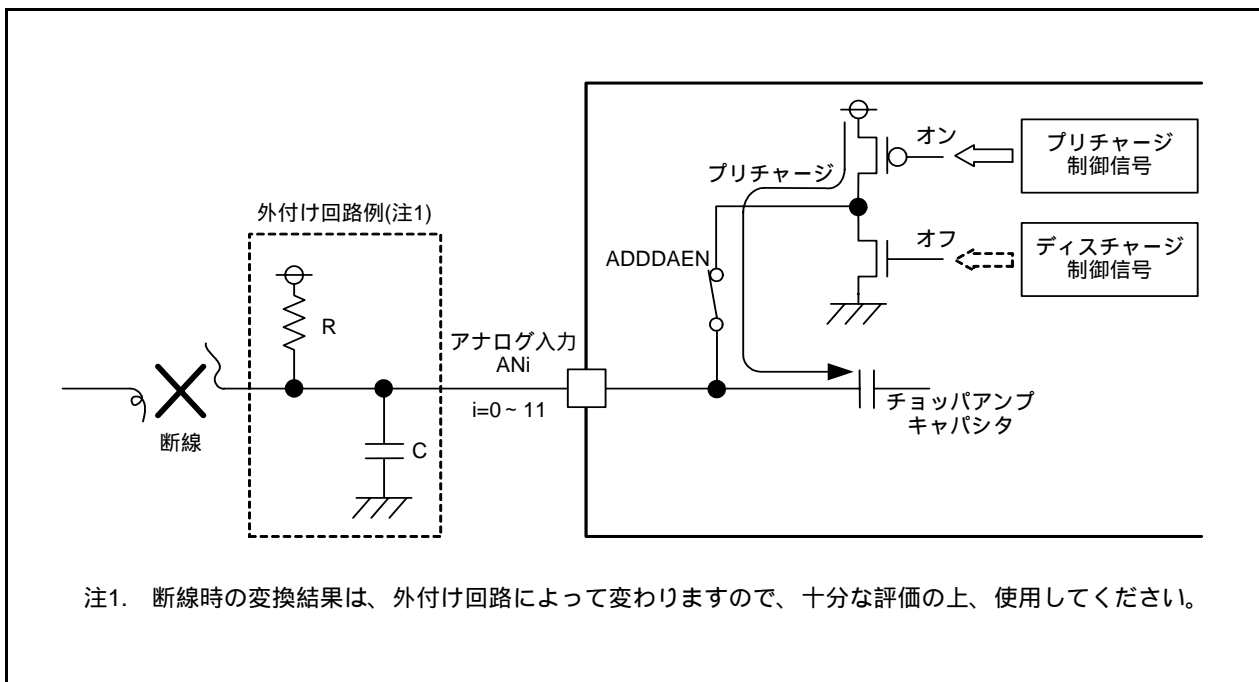


図 28.5 AVCC側でのA/D断線検出例(変換前プリチャージを選択)

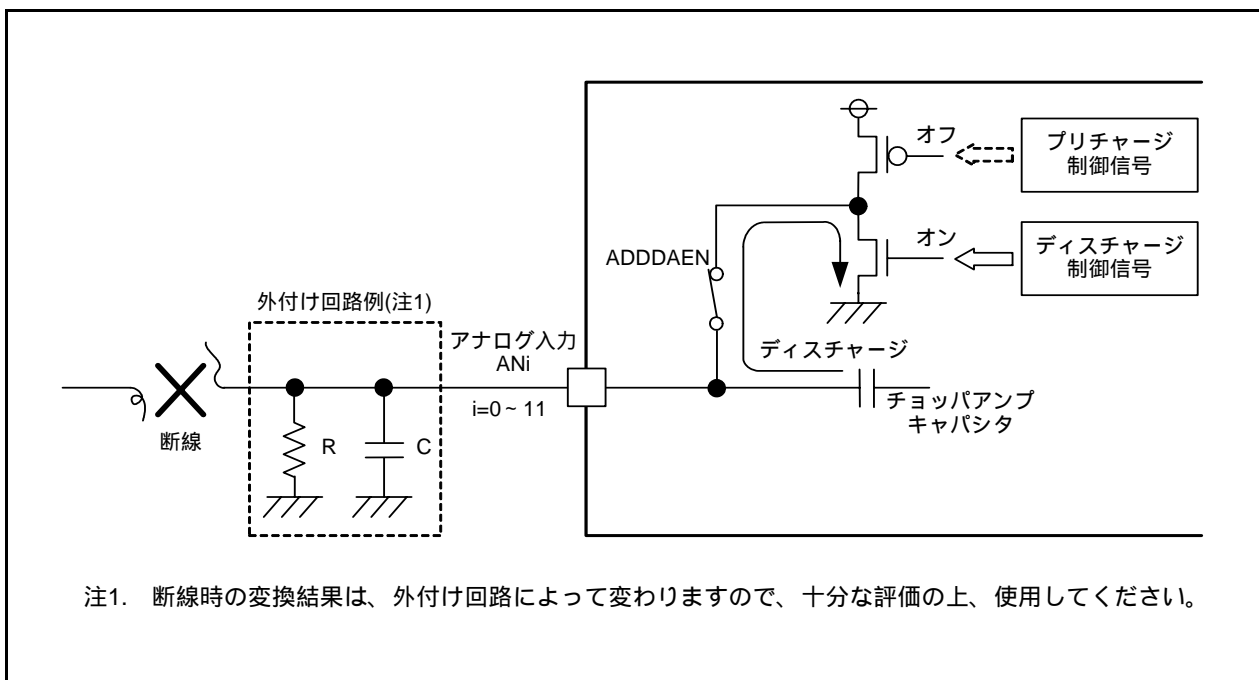


図 28.6 AVSS側でのA/D断線検出例(変換前ディスチャージを選択)

28.4 単発モード

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。
表 28.4に単発モードの仕様を示します。

表 28.4 単発モードの仕様

| 項目 | 仕様 |
|----------------|---|
| 機能 | ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する |
| 分解能 | 8ビットまたは10ビット |
| A/D変換開始条件 | <ul style="list-style-type: none"> •ソフトウェアトリガ •タイマRD •タイマRC •外部トリガ (「28.3.3 A/D変換開始条件」参照) |
| A/D変換停止条件 | <ul style="list-style-type: none"> •A/D変換終了(ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが“0”になる) •ADSTビットを“0”にする |
| 割り込み要求発生タイミング | A/D変換終了時 |
| アナログ入力端子 | AN0 ~ AN11、またはOCVREFから1端子を選択 |
| A/D変換結果の格納レジスタ | AD0レジスタ : AN0、AN8、OCVREF AD1レジスタ : AN1、AN9 AD2レジスタ : AN2、AN10 AD3レジスタ : AN3、AN11 AD4レジスタ : AN4 AD5レジスタ : AN5 AD6レジスタ : AN6 AD7レジスタ : AN7 |
| A/D変換値の読み出し | 選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し |

28.5 繰り返しモード0

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表 28.5 に繰り返しモード0の仕様を示します。

表 28.5 繰り返しモード0の仕様

| 項目 | 仕様 |
|----------------|---|
| 機能 | ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0で選択した端子の入力電圧を繰り返しA/D変換する |
| 分解能 | 8ビットまたは10ビット |
| A/D変換開始条件 | <ul style="list-style-type: none"> •ソフトウェアトリガ •タイマRD •タイマRC •外部トリガ (「28.3.3 A/D変換開始条件」参照) |
| A/D変換停止条件 | ADCON0レジスタのADSTビットを“0”にする |
| 割り込み要求発生タイミング | 発生しない |
| アナログ入力端子 | AN0 ~ AN11、またはOCVREFから1端子を選択 |
| A/D変換結果の格納レジスタ | AD0レジスタ：AN0、AN8、OCVREF AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7 |
| A/D変換値の読み出し | 選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し |

28.6 繰り返しモード1

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表 28.6に繰り返しモード1の仕様を、図 28.7に繰り返しモード1時の動作例を示します。

表 28.6 繰り返しモード1の仕様

| 項目 | 仕様 |
|----------------|---|
| 機能 | ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する |
| 分解能 | 8ビットまたは10ビット |
| A/D変換開始条件 | <ul style="list-style-type: none"> •ソフトウェアトリガ •タイマRD •タイマRC •外部トリガ (「28.3.3 A/D変換開始条件」参照) |
| A/D変換停止条件 | ADCON0レジスタのADSTビットを“0”にする |
| 割り込み要求発生タイミング | AD7レジスタにA/D変換結果が格納されたとき |
| アナログ入力端子 | AN0 ~ AN11、またはOCVREFから1端子を選択 |
| A/D変換結果の格納レジスタ | AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、 AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、 AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、 AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、 AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、 AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、 AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、 AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、 |
| A/D変換値の読み出し | AD0レジスタ ~ AD7レジスタの読み出し |

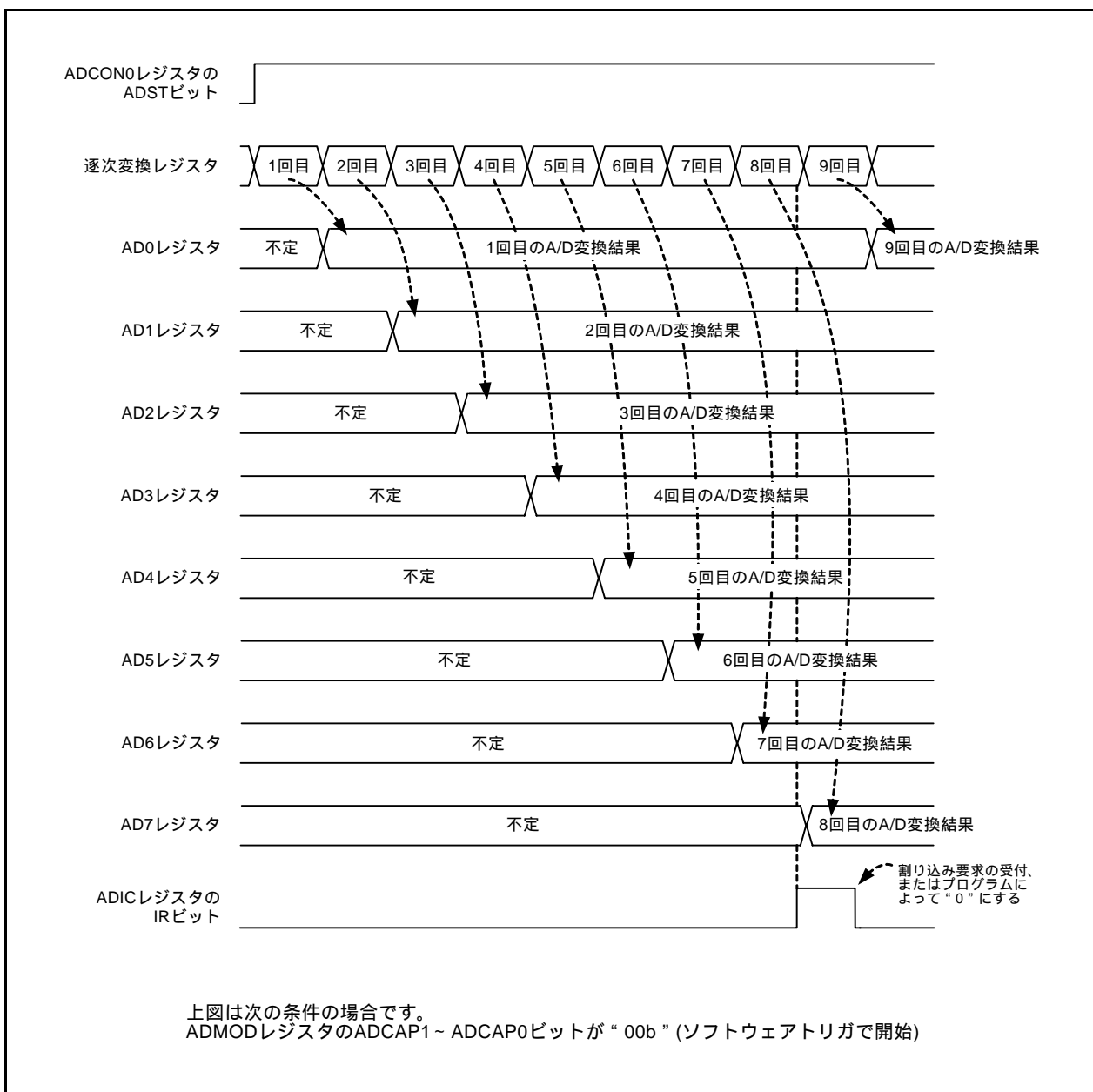


図 28.7 繰り返しモード1時の動作例

28.7 単掃引モード

AN0 ~ AN11から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表 28.7に単掃引モードの仕様を、図 28.8に単掃引モード時の動作例を示します。

表 28.7 単掃引モードの仕様

| 項目 | 仕様 |
|----------------|---|
| 機能 | ADINSELレジスタのADGSEL1 ~ ADGSEL0ビットとSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する |
| 分解能 | 8ビットまたは10ビット |
| A/D変換開始条件 | <ul style="list-style-type: none"> ソフトウェアトリガ タイマRD タイマRC 外部トリガ (「28.3.3 A/D変換開始条件」参照) |
| A/D変換停止条件 | <ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了(ADCON0レジスタのADSTビットが“0”になる) 4端子を選択している場合、選択した4端子のA/D変換終了(ADSTビットが“0”になる) 6端子を選択している場合、選択した6端子のA/D変換終了(ADSTビットが“0”になる) 8端子を選択している場合、選択した8端子のA/D変換終了(ADSTビットが“0”になる) ADSTビットを“0”にする |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了時 4端子を選択している場合、選択した4端子のA/D変換終了時 6端子を選択している場合、選択した6端子のA/D変換終了時 8端子を選択している場合、選択した8端子のA/D変換終了時 |
| アナログ入力端子 | AN0 ~ AN1(2端子)、AN8 ~ AN9(2端子)、 AN0 ~ AN3(4端子)、AN8 ~ AN11(4端子)、 AN0 ~ AN5(6端子)、 AN0 ~ AN7(8端子) (SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択) |
| A/D変換結果の格納レジスタ | AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7 |
| A/D変換値の読み出し | 選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し |

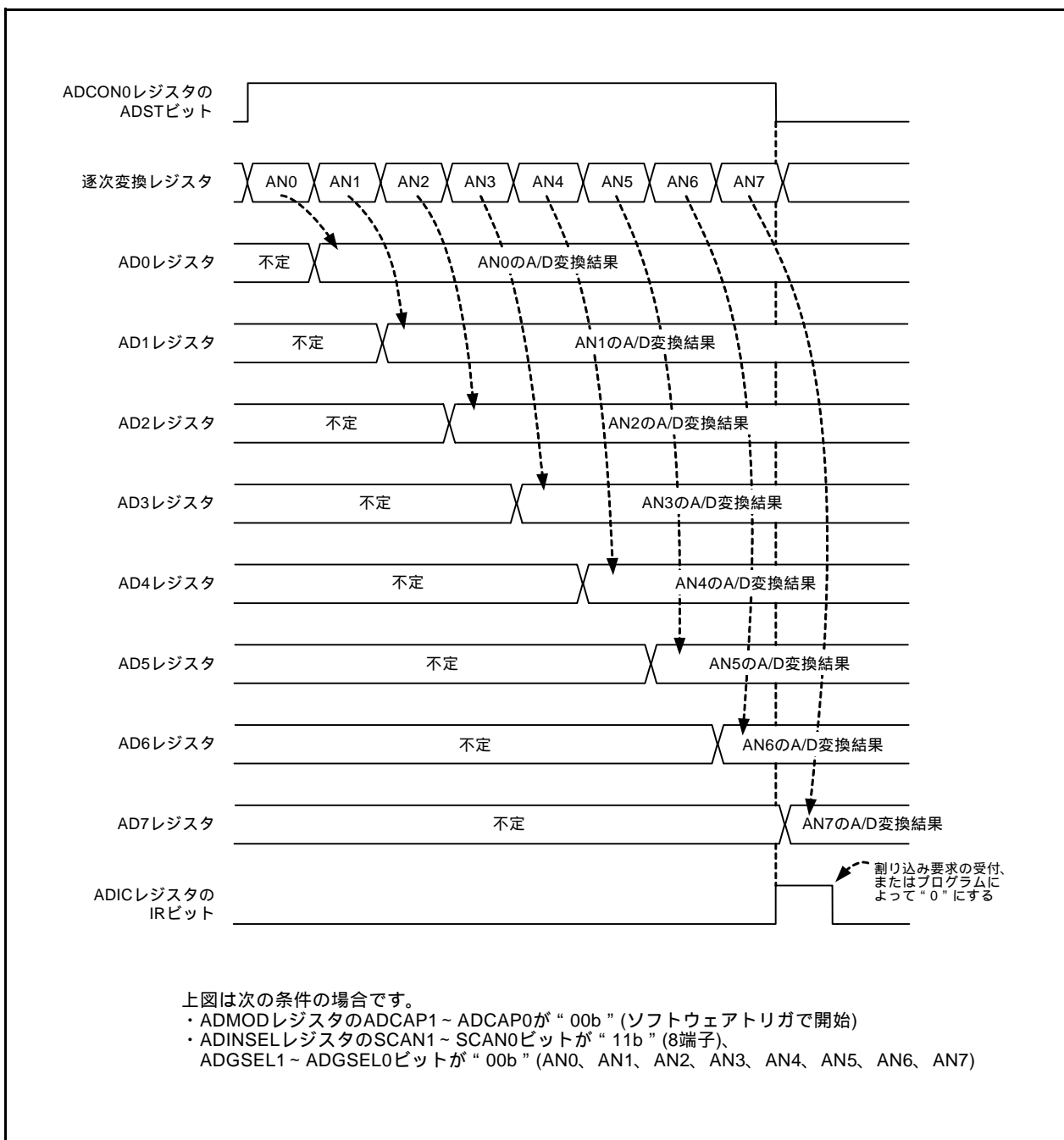


図 28.8 単掃引モード時の動作例

28.8 繰り返し掃引モード

AN0 ~ AN11から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表 28.8に繰り返し掃引モードの仕様を、図 28.9に繰り返し掃引モード時の動作例を示します。

表 28.8 繰り返し掃引モードの仕様

| 項目 | 仕様 |
|----------------|--|
| 機能 | ADINSELレジスタのADGSEL1 ~ ADGSEL0ビットとSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する |
| 分解能 | 8ビットまたは10ビット |
| A/D変換開始条件 | <ul style="list-style-type: none"> •ソフトウェアトリガ •タイマRD •タイマRC •外部トリガ (「28.3.3 A/D変換開始条件」参照) |
| A/D変換停止条件 | ADCON0レジスタのADSTビットを“0”にする |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> •2端子を選択している場合、選択した2端子のA/D変換終了時 •4端子を選択している場合、選択した4端子のA/D変換終了時 •6端子を選択している場合、選択した6端子のA/D変換終了時 •8端子を選択している場合、選択した8端子のA/D変換終了時 |
| アナログ入力端子 | AN0 ~ AN1(2端子)、AN8 ~ AN9(2端子)、 AN0 ~ AN3(4端子)、AN8 ~ AN11(4端子)、 AN0 ~ AN5(6端子)、 AN0 ~ AN7(8端子) (SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択) |
| A/D変換結果の格納レジスタ | AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7 |
| A/D変換値の読み出し | 選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し |

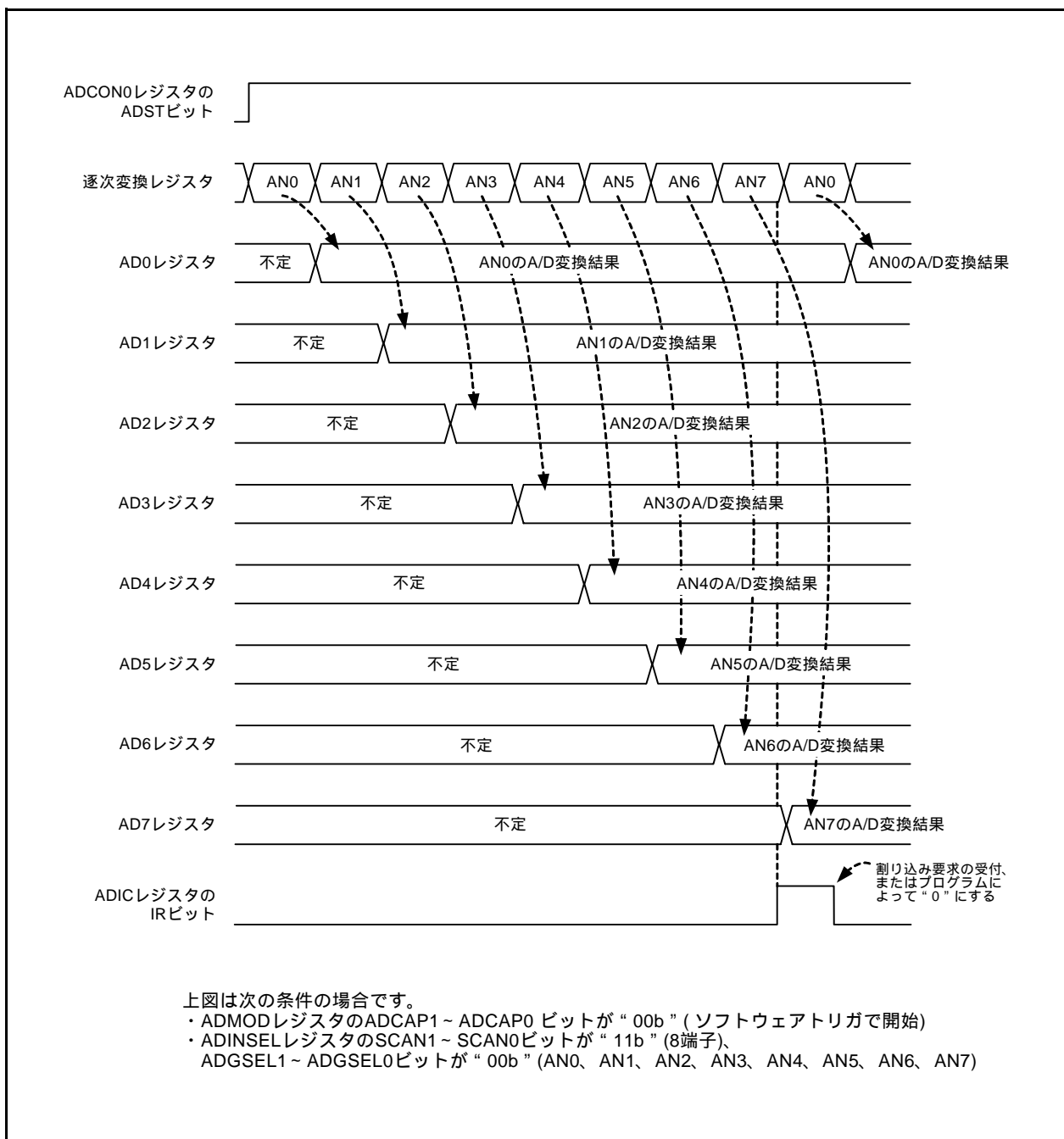


図 28.9 繰り返し掃引モード時の動作例

28.9 A/D変換時のセンサの出力インピーダンス

A/D変換を正しく行うためには、図28.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left(1 - \frac{X}{Y} \right) より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図28.10にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなると、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

AD=20MHzのとき、T=0.8μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.8μs、R=10k、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 4.4 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大4.4k になります。

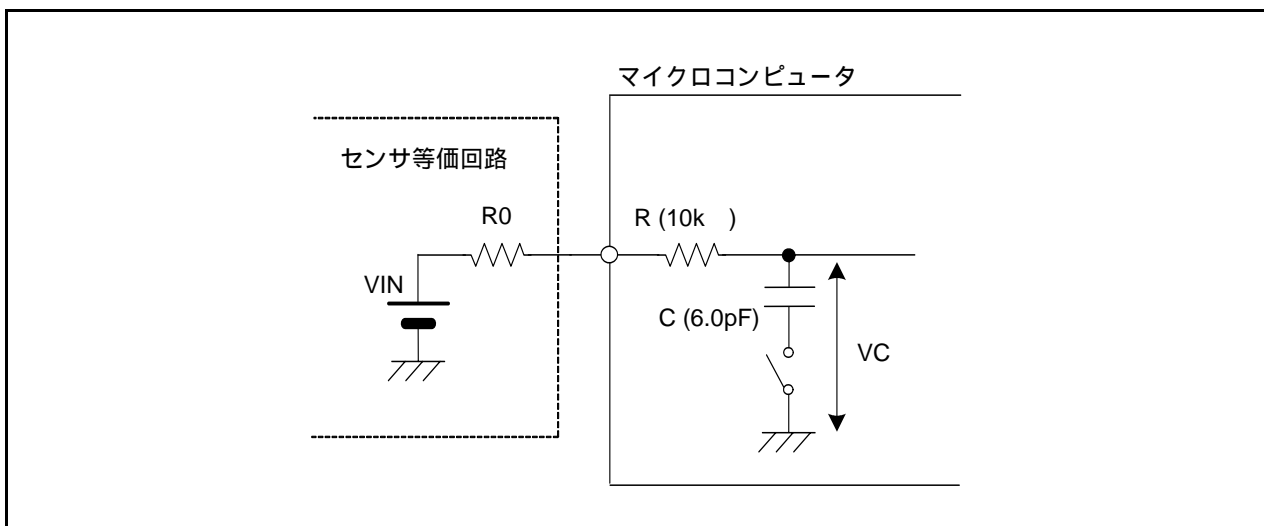


図28.10 アナログ入力端子と外部センサの等価回路例

28.10 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
ADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。
プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

29. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータです。

29.1 概要

D/A変換は、DA_iレジスタ(i=0~1)に値を書くと行われます。変換結果を出力するときDA_{CON}レジスタのDA_{iE}ビットを“1”(出力許可)にしてください。D/A変換を使用する場合、PD0レジスタの対応するPD0_6、PD0_7ビットは“0”(入力モード)に、PUR0レジスタのPU01ビットは“0”(プルアップなし)にしてください。

出力されるアナログ電圧Vは、DA_iレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{ref} \times n / 256 (n=0 \sim 255)$$

V_{ref}: 基準電圧

表29.1にD/Aコンバータの仕様を、図29.1にD/Aコンバータブロック図を、図29.2にD/Aコンバータの等価回路を示します。

表29.1 D/Aコンバータの仕様

| 項目 | 性能 |
|----------|-------------|
| D/A変換方式 | R-2R方式 |
| 分解能 | 8ビット |
| アナログ出力端子 | 2本(DA0、DA1) |

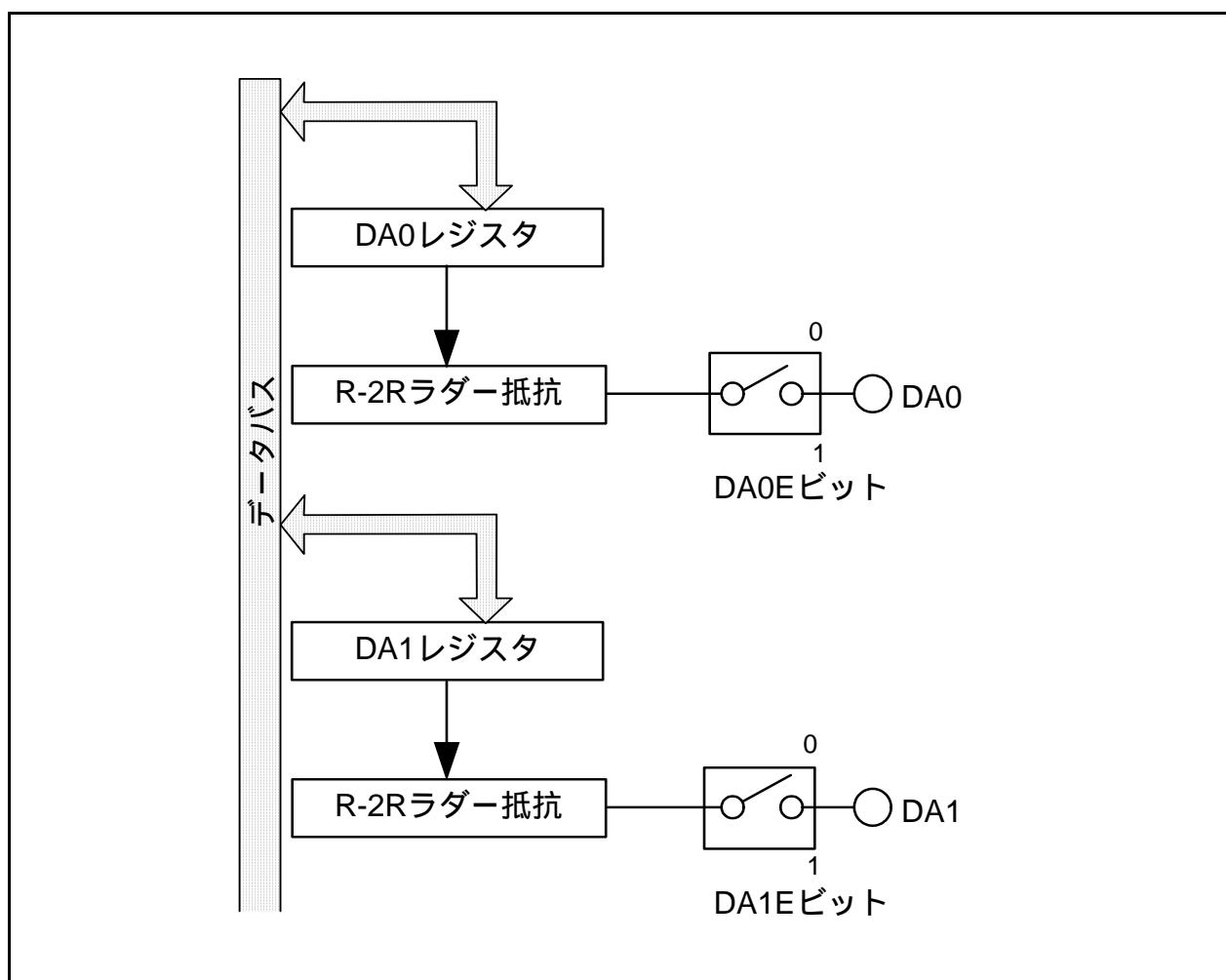


図29.1 D/Aコンバータブロック図

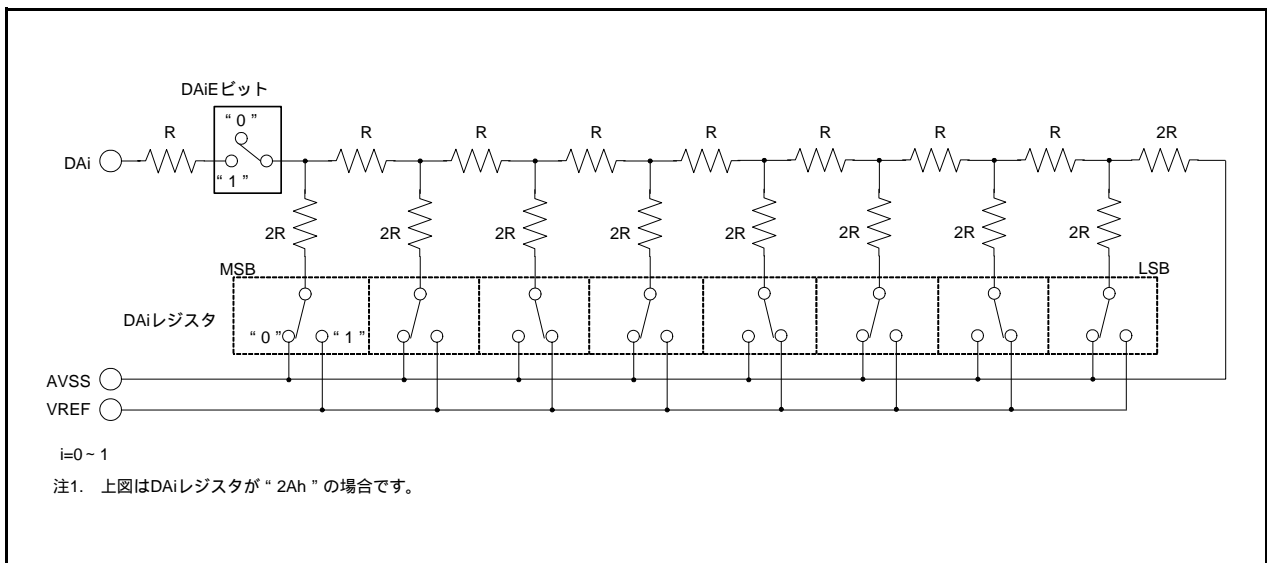


図29.2 D/Aコンバータの等価回路

29.2 レジスタの説明

29.2.1 D/Aiレジスタ (DAi)(i=0 ~ 1)

アドレス 00D8h番地 (DA0)、00D9h番地 (DA1)

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル | - | - | - | - | - | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 機能 | 設定可能値 | R/W |
|---------|-----------|-----------|-----|
| b7 ~ b0 | D/A変換の出力値 | 00h ~ FFh | R/W |

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット (i=0 ~ 1) を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

29.2.2 D/A制御レジスタ (DACON)

アドレス 00DCh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|------|------|
| シンボル | - | - | - | - | - | - | DA1E | DA0E |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|------|--|----------------------|-----|
| b0 | DA0E | D/A0出力許可ビット | 0 : 出力禁止 1 : 出力許可 | R/W |
| b1 | DA1E | D/A1出力許可ビット | 0 : 出力禁止 1 : 出力許可 | R/W |
| b2 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b3 | - | | | |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット (i=0 ~ 1) を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

30. コンパレータA

コンパレータAはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータA1とコンパレータA2の独立した2つのコンパレータです。ただし、コンパレータA1、コンパレータA2は電圧検出回路を電圧監視1、電圧監視2と兼用しています。コンパレータA1、コンパレータA2と電圧監視1、電圧監視2はどちらかを選択して使用できます。

30.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、VCOU_{Ti}(i=1~2)端子から出力もできます。リファレンス入力電圧としてLVREF端子への入力電圧を選択できます。また、コンパレータA1割り込み、コンパレータA2割り込みを使用できます。

表 30.1にコンパレータAの仕様を、図 30.1にコンパレータAのブロック図を、表30.2にコンパレータAの端子構成を示します。

表 30.1 コンパレータAの仕様

| 項目 | | コンパレータA1 | コンパレータA2 |
|--------------|-----------|--|--|
| アナログ入力電圧 | | LVCMP1端子への入力電圧 | LVCMP2端子への入力電圧 |
| リファレンス入力電圧 | | LVREF端子への入力電圧 | |
| 比較対象 | | 上昇または下降してリファレンス入力電圧を通過したか | |
| 比較結果のモニタ | | VW1CレジスタのVW1C3ビット リファレンス入力電圧より高いか低いか | VCA1レジスタのVCA13ビット |
| 割り込み | | コンパレータA1割り込み (ノンマスクابلまたはマスクابلを選択できる) リファレンス入力電圧 > LVCMP1端子への入力電圧、LVCMP1端子への入力電圧 > リファレンス入力電圧の両方、またはどちらかで割り込み要求 | コンパレータA2割り込み (ノンマスクابلまたはマスクابلを選択できる) リファレンス入力電圧 > LVCMP2端子への入力電圧、LVCMP2端子への入力電圧 > リファレンス入力電圧の両方、またはどちらかで割り込み要求 |
| デジタル フィルタ | 有効/無効切り替え | あり | |
| | サンプリング時間 | (fOCO-Sのn分周) × 2 n : 1、2、4、8 | |
| 比較結果の出力 | | LVCOUT1端子から出力(比較結果をそのまま出力するか、反転して出力するか選択できる) | LVCOUT2端子から出力(比較結果をそのまま出力するか、反転して出力するか選択できる) |

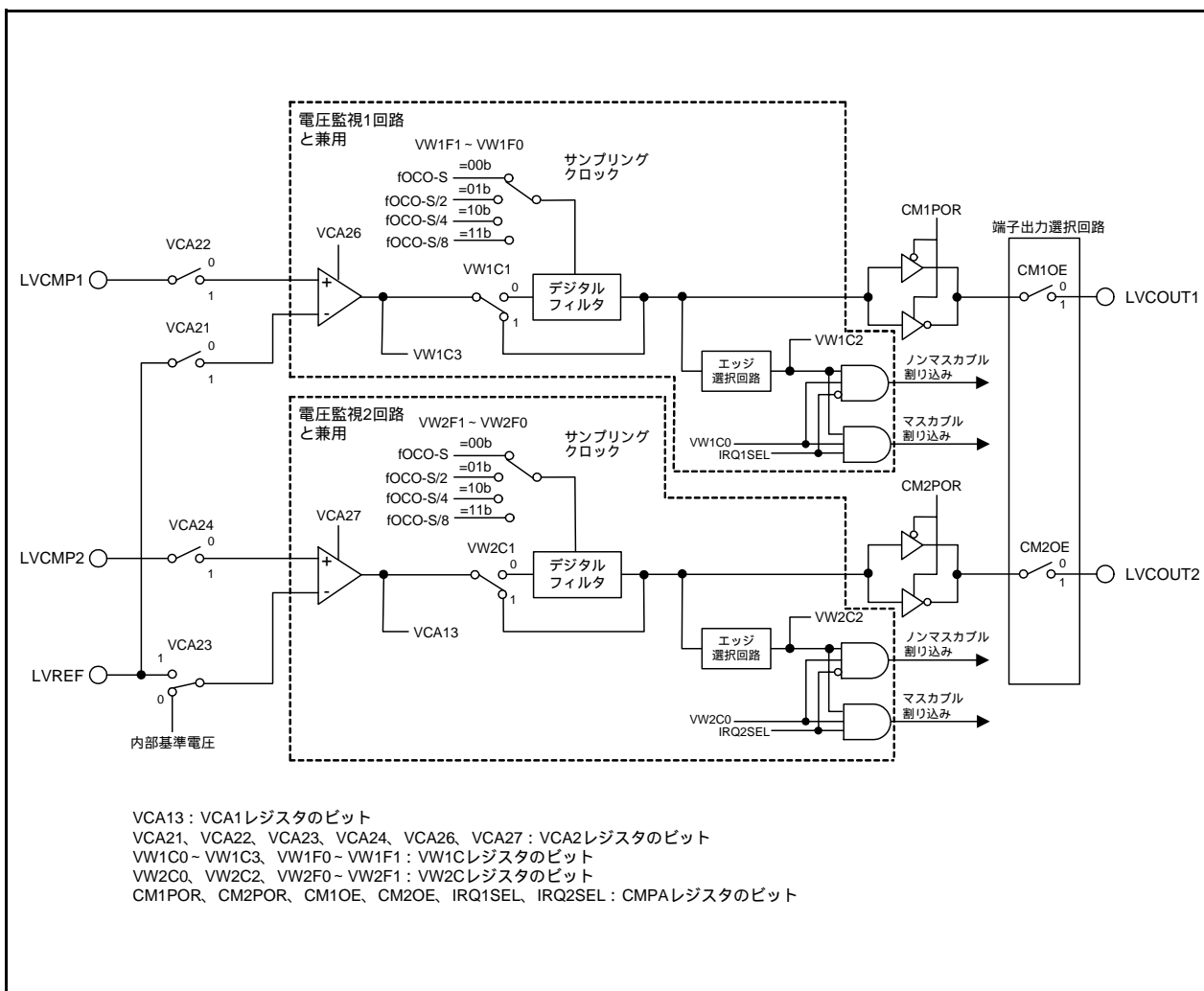


図 30.1 コンパレータAのブロック図

表 30.2 コンパレータAの端子構成

| 端子名 | 入出力 | 機能 |
|---------|-----|-------------------|
| LVCMP1 | 入力 | コンパレータA1用アナログ端子 |
| LVCOUT1 | 出力 | コンパレータA1用比較結果出力端子 |
| LVCMP2 | 入力 | コンパレータA2用アナログ端子 |
| LVCOUT2 | 出力 | コンパレータA2用比較結果出力端子 |
| LVREF | 入力 | コンパレータ用リファレンス電圧端子 |

30.2 レジスタの説明

30.2.1 電圧監視回路/コンパレータA制御レジスタ(CMPA)

アドレス 0030h 番地

| | | | | | | | | |
|---------|---------|----|---------|---------|-------|-------|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | COMPSEL | - | IRQ2SEL | IRQ1SEL | CM2OE | CM1OE | CM2POR | CM1POR |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|---------------------------------|--|-----|
| b0 | CM1POR | LVCOUT1出力極性選択ビット | 0: コンパレータA1の比較結果をそのままLVCOUT1へ出力 1: コンパレータA1の比較結果を反転してLVCOUT1へ出力 | R/W |
| b1 | CM2POR | LVCOUT2出力極性選択ビット | 0: コンパレータA2の比較結果をそのままLVCOUT2へ出力 1: コンパレータA2の比較結果を反転してLVCOUT2へ出力 | R/W |
| b2 | CM1OE | LVCOUT1出力許可ビット | 0: 出力禁止 1: 出力許可 | R/W |
| b3 | CM2OE | LVCOUT2出力許可ビット | 0: 出力禁止 1: 出力許可 | R/W |
| b4 | IRQ1SEL | 電圧監視1/コンパレータA1割り込み種類選択ビット(注1) | 0: ノンマスクブル割り込み 1: マスクブル割り込み | R/W |
| b5 | IRQ2SEL | 電圧監視2/コンパレータA2割り込み種類選択ビット(注2) | 0: ノンマスクブル割り込み 1: マスクブル割り込み | R/W |
| b6 | - | 予約ビット | "0" にしてください | R/W |
| b7 | COMPSEL | 電圧監視/コンパレータA割り込み種類選択有効ビット(注1、2) | 0: IRQ1SEL、IRQ2SELビット無効 1: IRQ1SEL、IRQ2SELビット有効 | R/W |

注1. VW1CレジスタのVW1C0ビットが“1”(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

注2. VW2CレジスタのVW2C0ビットが“1”(許可)のとき、IRQ2SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

30.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス 0031h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|-------|-------|----|
| シンボル | - | - | - | - | - | VCAC2 | VCAC1 | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|------------------|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | VCAC1 | コンパレータA1回路エッジ選択ビット(注1) | 0:片エッジ 1:両エッジ | R/W |
| b2 | VCAC2 | コンパレータA2回路エッジ選択ビット(注2) | 0:片エッジ 1:両エッジ | R/W |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | - | | | |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

30.2.3 電圧検出レジスタ1 (VCA1)

アドレス 0033h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|-------|----|----|----|
| シンボル | - | - | - | - | VCA13 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|----------------------|---|-----|
| b0 | - | 予約ビット | “0”にしてください | R/W |
| b1 | - | | | |
| b2 | - | | | |
| b3 | VCA13 | コンパレータA2信号モニタフラグ(注1) | 0: LVCMP2 <リファレンス電圧 1: LVCMP2 リファレンス電圧、 またはコンパレータA2回路無効 | R |
| b4 | - | 予約ビット | “0”にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | - | | | |

注1. VCA2レジスタのVCA27ビットが“1”(コンパレータA2回路有効)のとき、VCA13ビットは有効です。VCA2レジスタのVCA27ビットが“0”(コンパレータA2回路無効)のとき、VCA13ビットは“1”(VCM2リファレンス電圧)になります。

30.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| リセット後の値 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

上記はOFSレジスタのLVDASビットが“1”の場合

上記はOFSレジスタのLVDASビットが“0”の場合

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|-------------------------|---|-----|
| b0 | VCA20 | 内部電源低消費電力許可ビット(注1) | 0: 低消費電力禁止 1: 低消費電力許可(注2) | R/W |
| b1 | VCA21 | コンパレータA1リファレンス電圧入力選択ビット | 0: 内部基準電圧 1: LVREF端子入力電圧 | R/W |
| b2 | VCA22 | LVCMP1比較電圧外部入力選択ビット | 0: 電源電圧(VCC) 1: LVCMP1端子入力電圧 | R/W |
| b3 | VCA23 | コンパレータA2リファレンス電圧入力選択ビット | 0: 内部基準電圧 1: LVREF端子入力電圧 | R/W |
| b4 | VCA24 | LVCMP2比較電圧外部入力選択ビット | 0: 電源電圧(VCC) (Vdet2_0) 1: LVCMP2端子入力電圧 (Vdet2_EXT) | R/W |
| b5 | VCA25 | 電圧検出0許可ビット(注3) | 0: 電圧検出0回路無効 1: 電圧検出0回路有効 | R/W |
| b6 | VCA26 | 電圧検出1/コンパレータA1許可ビット(注4) | 0: 電圧検出1/コンパレータA1回路無効 1: 電圧検出1/コンパレータA1回路有効 | R/W |
| b7 | VCA27 | 電圧検出2/コンパレータA2許可ビット(注5) | 0: 電圧検出2/コンパレータA2回路無効 1: 電圧検出2/コンパレータA2回路有効 | R/W |

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「33.2.9 VCA20ビットによる内部電源低消費電力操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1/コンパレータA1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1/コンパレータA1回路が動作します。

注5. 電圧検出2/コンパレータA2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2/コンパレータA2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

30.2.5 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h番地

| | | | | | | | | |
|---------|-------|----|-------|-------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | VW1C7 | - | VW1F1 | VW1F0 | VW1C3 | VW1C2 | VW1C1 | VW1C0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|----------------------------------|---|-----|
| b0 | VW1C0 | コンパレータA1割り込み許可ビット (注1) | 0: 禁止 1: 許可 | R/W |
| b1 | VW1C1 | コンパレータA1デジタルフィルタ無効モード選択ビット(注2、6) | 0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効) | R/W |
| b2 | VW1C2 | コンパレータA1割り込みフラグ (注3、4) | [“0”になる条件] “0”を書く [“1”になる条件] 割り込み要求が発生したとき | R/W |
| b3 | VW1C3 | コンパレータA1信号モニタフラグ (注3) | 0: LVCMP1 < リファレンス電圧 1: LVCMP1 リファレンス電圧 またはコンパレータA1回路無効 | R |
| b4 | VW1F0 | サンプリングクロック選択ビット (注6) | b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周 | R/W |
| b5 | VW1F1 | | | R/W |
| b6 | - | 予約ビット | “0”にしてください | R/W |
| b7 | VW1C7 | コンパレータA1割り込み発生条件選択ビット(注5) | 0: LVCMP1がリファレンス電圧以上になるとき 1: LVCMP1がリファレンス電圧以下になるとき | R/W |

- 注1. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(コンパレータA1回路有効)のとき有効になります。VCA26ビットが“0”(コンパレータA1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表 30.3 コンパレータA1割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW1C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
なお、コンパレータA1割り込みをストップモードからの復帰に使用する場合、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(コンパレータA1回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
- 注6. VW1C0ビットが“1”(許可)のとき、VW1C1ビットとVW1F1～VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。

30.2.6 電圧監視2回路制御レジスタ(VW2C)

アドレス 003Ah番地

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | VW2C7 | VW2C6 | VW2F1 | VW2F0 | VW2C3 | VW2C2 | VW2C1 | VW2C0 |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|----------------------------------|---|-----|
| b0 | VW2C0 | コンパレータA2割り込み許可ビット (注1) | 0: 禁止 1: 許可 | R/W |
| b1 | VW2C1 | コンパレータA2デジタルフィルタ無効モード選択ビット(注2、6) | 0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効) | R/W |
| b2 | VW2C2 | コンパレータA2割り込みフラグ (注3、4) | [“0”になる条件] “0”を書く [“1”になる条件] 割り込み要求が発生したとき | R/W |
| b3 | VW2C3 | WDT検出フラグ(注4) | 0: 未検出 1: 検出 | R/W |
| b4 | VW2F0 | サンプリングクロック選択ビット (注6) | b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周 | R/W |
| b5 | VW2F1 | | | R/W |
| b6 | VW2C6 | 予約ビット | “0”にしてください | R/W |
| b7 | VW2C7 | コンパレータA2割り込み発生条件選択ビット(注5) | 0: LVCMP2がリファレンス電圧以上になるとき 1: LVCMP2がリファレンス電圧以下になるとき | R/W |

- 注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(コンパレータA2回路有効)のとき有効になります。VCA27ビットが“0”(コンパレータA2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表 30.4 コンパレータA2割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
なお、コンパレータA2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(コンパレータA2回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。
- 注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

30.3 比較結果のモニタ

30.3.1 コンパレータA1のモニタ

次の設定をした後、td(E-A)(「34. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットでコンパレータA1の比較結果をモニタできます。

- (1) VCA2レジスタのVCA21ビットを“1”(LVREF端子入力電圧)にする
- (2) VCA2レジスタのVCA22ビットを“1”(LVCMP1端子入力電圧)にする
- (3) VCA2レジスタのVCA26ビットを“1”(コンパレータA1回路有効)にする

30.3.2 コンパレータA2のモニタ

次の設定をした後、td(E-A)(「34. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでコンパレータA2の比較結果をモニタできます。

- (1) VCA2レジスタのVCA23ビットを“1”(LVREF端子入力電圧)にする
- (2) VCA2レジスタのVCA24ビットを“1”(LVCMP2端子入力電圧)にする
- (3) VCA2レジスタのVCA27ビットを“1”(コンパレータA2回路有効)にする

30.4 動作説明

コンパレータA1とコンパレータA2はそれぞれ独立して動作できます。

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、LVCOUT_i(*i*=1 ~ 2)端子から出力もできます。リファレンス入力電圧としてLVREF端子への入力電圧を使用できます。また、コンパレータA1割り込み、コンパレータA2割り込みを使用でき、それぞれノンマスクابل割り込みまたはマスクابل割り込みを選択できます。

30.4.1 コンパレータA1

表 30.3にコンパレータA1割り込み関連ビットの設定手順を、図 30.2にコンパレータA1動作例(デジタルフィルタ有効の場合)を、図 30.3にコンパレータA1動作例(デジタルフィルタ無効の場合)を示します。

表 30.3 コンパレータA1割り込み関連ビットの設定手順

| 手順 | デジタルフィルタを使用する場合 | デジタルフィルタを使用しない場合 |
|--------|--|--------------------------------------|
| 1 | CMPAレジスタのCOMPSELビットを“1”(IRQ1SEL、IRQ2SELビット有効)にする | |
| 2 | VCA2レジスタのVCA21ビットを“1”(LVREF端子入力電圧)、VCA22ビットを“1”(LVCMP1端子入力電圧)にする | |
| 3 | VCA2レジスタのVCA26ビットを“1”(コンパレータA1回路有効)にする | |
| 4 | td(E-A)待つ | |
| 5 | CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する | |
| 6 | VW1CレジスタのVW1F0 ~ VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する | VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする |
| 7(注1) | VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする | |
| 8 | VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する | |
| 9 | VW1CレジスタのVW1C2ビットを“0”にする | |
| 10 | CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする | |
| 11 | デジタルフィルタのサンプリングクロック×2サイクル待つ | (待ち時間なし) |
| 12(注2) | VW1CレジスタのVW1C0ビットを“1”(コンパレータA1割り込み許可)にする。 | |

注1. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。

注2. コンパレータA1割り込み禁止の状態でも、コンパレータA1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。

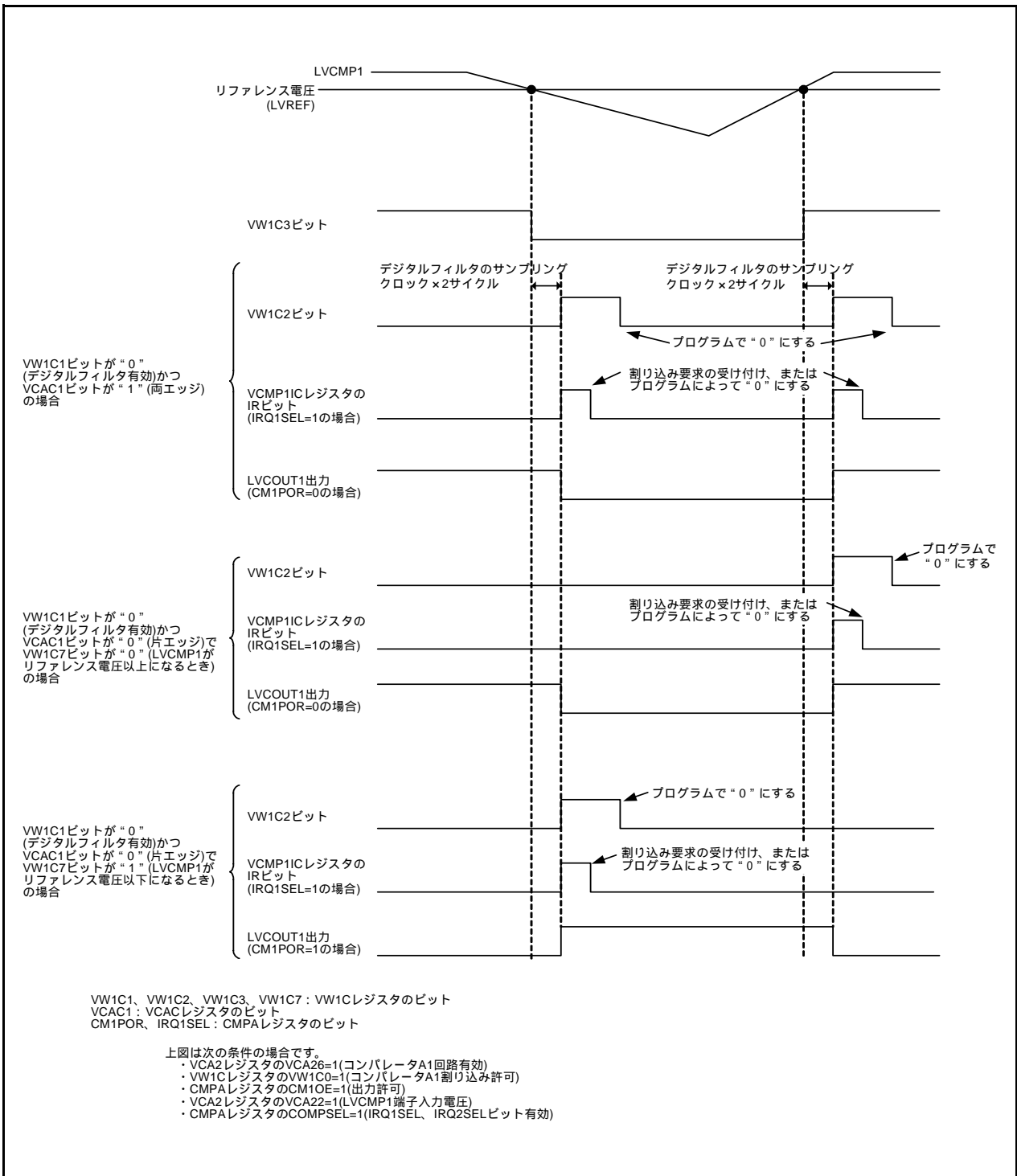


図 30.2 コンパレータA1動作例(デジタルフィルタ有効の場合)

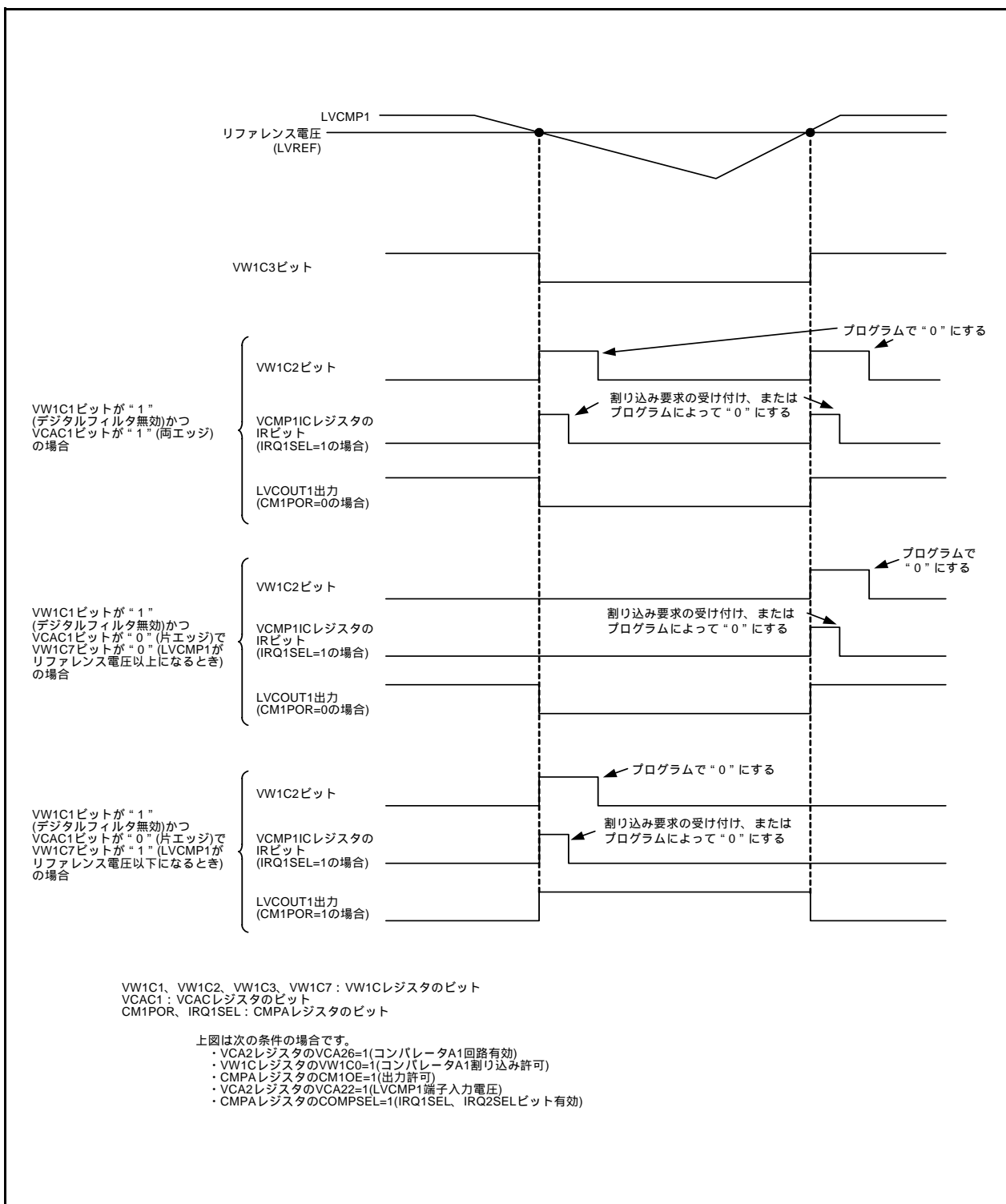


図 30.3 コンパレータA1動作例(デジタルフィルタ無効の場合)

30.4.2 コンパレータA2

表 30.4 にコンパレータ A2 割り込み関連ビットの設定手順を、図 30.4 にコンパレータ A2 動作例(デジタルフィルタ有効の場合)を、図 30.5 にコンパレータ A2 動作例(デジタルフィルタ無効の場合)を示します。

表 30.4 コンパレータA2割り込み関連ビットの設定手順

| 手順 | デジタルフィルタを使用する場合 | デジタルフィルタを使用しない場合 |
|--------|---|--|
| 1 | CMPA レジスタの COMPSEL ビットを “1” (IRQ1SEL、IRQ2SEL ビット有効) にする | |
| 2 | VCA2 レジスタの VCA23 ビットを “1” (LVREF 端子入力電圧)、VCA24 ビットを “1” (LVCMP2 端子入力電圧) にする | |
| 3 | VCA2 レジスタの VCA27 ビットを “1” (コンパレータ A2 回路有効) にする | |
| 4 | td(E-A) 待つ | |
| 5 | CMPA レジスタの IRQ2SEL ビットで割り込みの種類を選択する | |
| 6 | VW2C レジスタの VW2F0 ~ VW2F1 ビットでデジタルフィルタのサンプリングクロックを選択する | VW2C レジスタの VW2C1 ビットを “1” (デジタルフィルタ無効) にする |
| 7(注1) | VW2C レジスタの VW2C1 ビットを “0” (デジタルフィルタ有効) にする | |
| 8 | VCAC レジスタの VCAC2 ビットと、VW2C レジスタの VW2C7 ビットで割り込み要求のタイミングを選択する | |
| 9 | VW2C レジスタの VW2C2 ビットを “0” にする | |
| 10 | CM1 レジスタの CM14 ビットを “0” (低速オンチップオシレータ発振) にする | |
| 11 | デジタルフィルタのサンプリングクロック × 2 サイクル待つ | (待ち時間なし) |
| 12(注2) | VW2C レジスタの VW2C0 ビットを “1” (コンパレータ A2 割り込み許可) にする。 | |

注1. VW2C0 ビットが “0” のとき、手順6と7は同時に(1命令で)実行可能です。

注2. コンパレータ A2 割り込み禁止の状態でも、コンパレータ A2 回路が有効であれば、電圧低下を検出し、VW2C2 ビットは “1” になります。

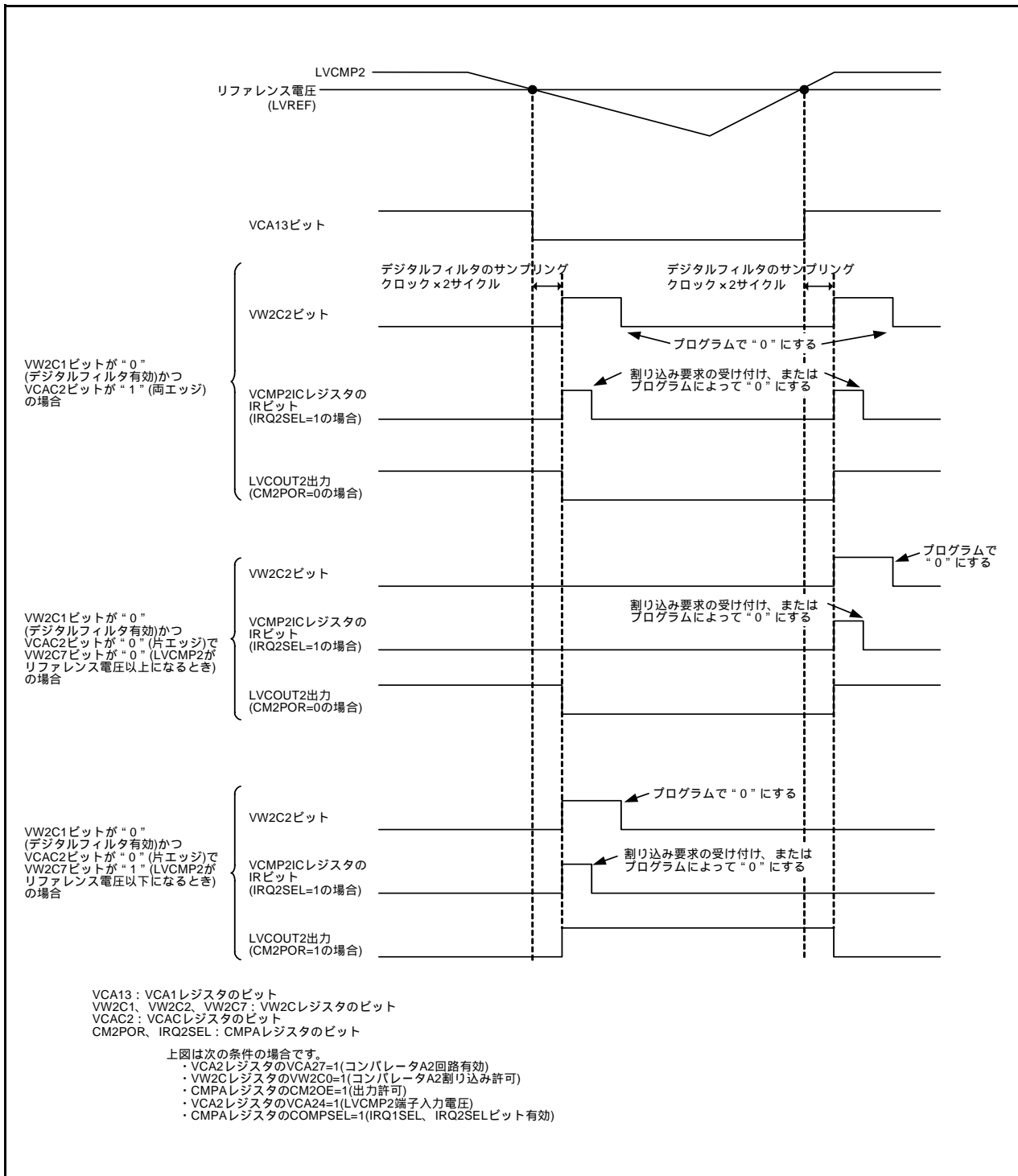


図 30.4 コンパレータA2動作例(デジタルフィルタ有効の場合)

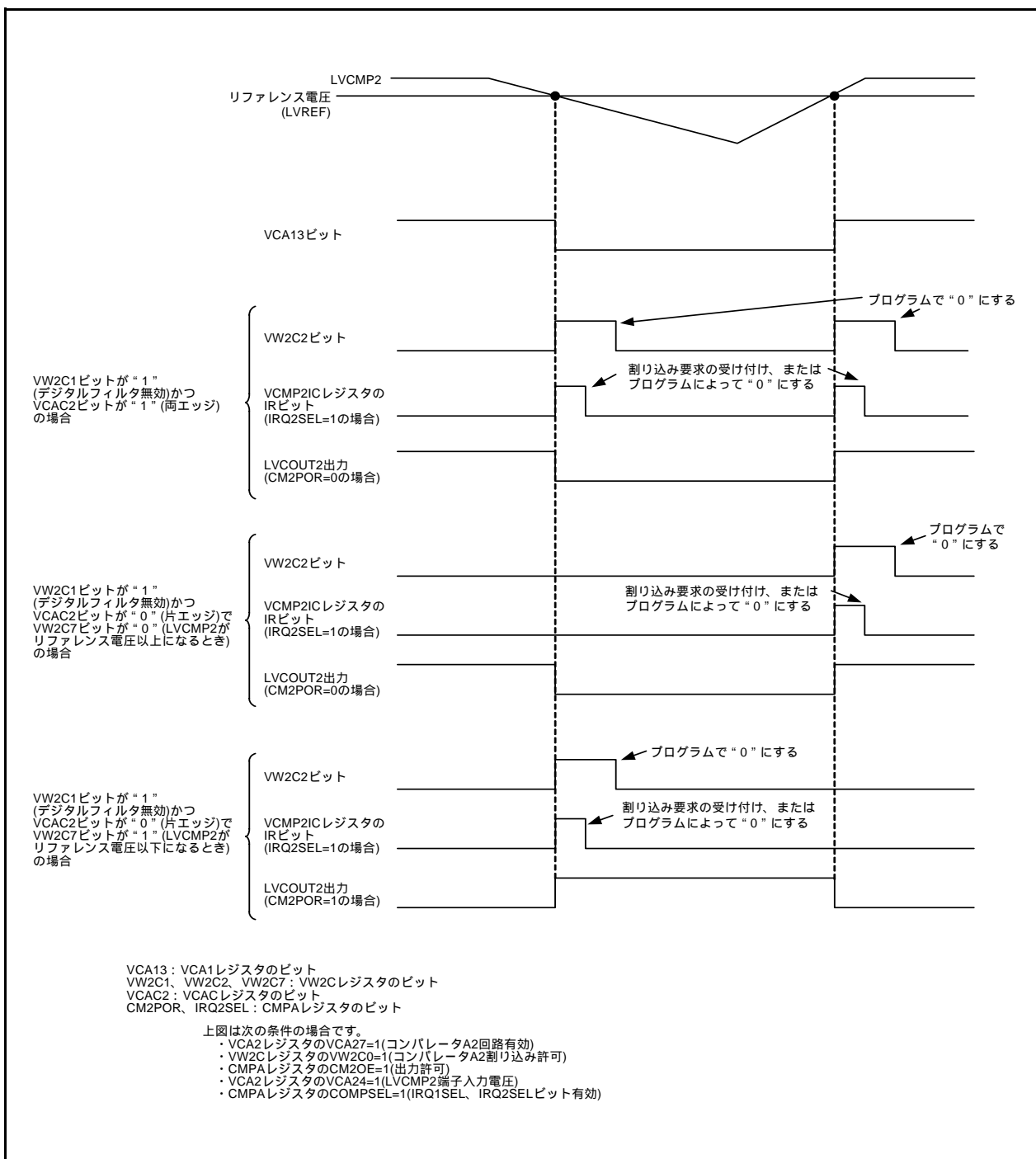


図 30.5 コンパレータA2動作例(デジタルフィルタ無効の場合)

30.5 コンパレータA1、コンパレータA2割り込み

コンパレータA1およびコンパレータA2の2つの割り込み要求が発生します。それぞれの割り込みの種類としてノンマスクابل割り込み、またはマスクابل割り込みが選択できます。

割り込みについては「11. 割り込み」を参照してください。

30.5.1 ノンマスクابل割り込み

CMPAレジスタのCOMPSELビットを“1”(IRQ1SEL、IRQ2SELビット有効)にし、IRQiSEL(i=1~2)ビットを“0”にすると、コンパレータAi割り込みはノンマスクابل割り込みとして機能します。選択した割り込み要求のタイミングが発生したとき、VWiCレジスタのVWiC2ビットが“1”になります。このとき、コンパレータAiのノンマスクابل割り込み要求が発生します。

30.5.2 マスクابل割り込み

CMPAレジスタのCOMPSELビットを“1”(IRQ1SEL、IRQ2SELビット有効)にし、IRQiSEL(i=1~2)ビットを“1”にすると、コンパレータAi割り込みはマスクابل割り込みとして機能します。

コンパレータAi割り込みはVCMPiICレジスタ(IRビット、ILVL0~ILVL2ビット)と、それぞれ1つのベクタを持ちます。選択した割り込み要求のタイミングが発生したとき、VWiCレジスタのVWiC2ビットが“1”になります。このとき、VCMPiICレジスタのIRビットが“1”(割り込み要求あり)になります。

VCMPiICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

31. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

31.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREF_i(*i*=1、3)端子への入力可以使用です。

表31.1にコンパレータBの仕様を、図31.1にコンパレータBのブロック図を、表31.2に入出力端子を示します。

表31.1 コンパレータBの仕様

| 項目 | 仕様 |
|---------------|---|
| アナログ入力電圧 | IVCMP _i 端子への入力電圧 |
| リファレンス入力電圧 | IVREF _i 端子への入力電圧 |
| 比較結果 | INTCMPレジスタのINTICOUTビットの読み出し |
| 割り込み要求発生タイミング | 比較結果が変化したとき |
| 選択機能 | デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択できる |

i=1、3

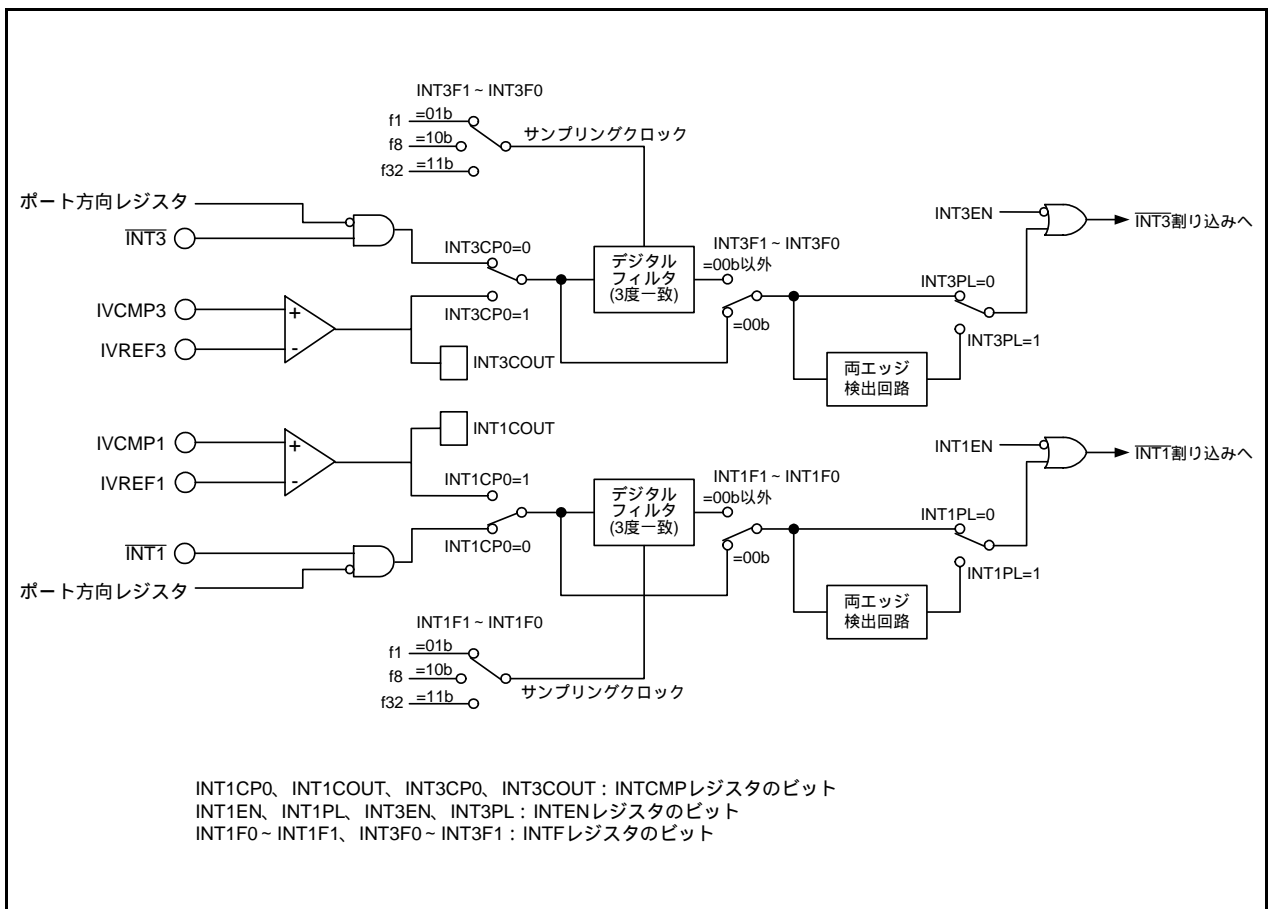


図31.1 コンパレータBのブロック図

表31.2 入出力端子

| 端子名 | 入出力 | 機能 |
|--------|-----|---------------------|
| IVCMP1 | 入力 | コンパレータB1用アナログ端子 |
| IVREF1 | 入力 | コンパレータB1用リファレンス電圧端子 |
| IVCMP3 | 入力 | コンパレータB3用アナログ端子 |
| IVREF3 | 入力 | コンパレータB3用リファレンス電圧端子 |

31.2 レジスタの説明

31.2.1 コンパレータB制御レジスタ0 (INTCMP)

アドレス 01F8h 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----------|----|----|---------|----------|----|----|---------|
| シンボル | INT3COUT | - | - | INT3CP0 | INT1COUT | - | - | INT1CP0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|-----------------|---|-----|
| b0 | INT1CP0 | コンパレータB1動作許可ビット | 0: コンパレータB1動作禁止 1: コンパレータB1動作許可 | R/W |
| b1 | - | 予約ビット | “0” にしてください | R/W |
| b2 | - | | | |
| b3 | INT1COUT | コンパレータB1モニタフラグ | 0: IVCMP1 < IVREF1またはコンパレータB1動作禁止 1: IVCMP1 > IVREF1 | R |
| b4 | INT3CP0 | コンパレータB3動作許可ビット | 0: コンパレータB3動作禁止 1: コンパレータB3動作許可 | R/W |
| b5 | - | 予約ビット | “0” にしてください | R/W |
| b6 | - | | | |
| b7 | INT3COUT | コンパレータB3モニタフラグ | 0: IVCMP3 < IVREF3またはコンパレータB3動作禁止 1: IVCMP3 > IVREF3 | R |

31.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| シンボル | INT3PL | INT3EN | INT2PL | INT2EN | INT1PL | INT1EN | INT0PL | INT0EN |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|---------------------|--------------------|-----|
| b0 | INT0EN | INT0入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b1 | INT0PL | INT0入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |
| b2 | INT1EN | INT1入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b3 | INT1PL | INT1入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |
| b4 | INT2EN | INT2入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b5 | INT2PL | INT2入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |
| b6 | INT3EN | INT3入力許可ビット | 0: 禁止 1: 許可 | R/W |
| b7 | INT3PL | INT3入力極性選択ビット(注1、2) | 0: 片エッジ 1: 両エッジ | R/W |

注1. INTiPL ビット (i=0 ~ 3) を “1” (両エッジ) にする場合、INTiIC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INTEN レジスタを変更すると、INTiIC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

31.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

| | | | | | | | | |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | INT3F1 | INT3F0 | INT2F1 | INT2F0 | INT1F1 | INT1F0 | INT0F1 | INT0F0 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|-----------------|--|-----|
| b0 | INT0F0 | INT0入力フィルタ選択ビット | b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b1 | INT0F1 | | | R/W |
| b2 | INT1F0 | INT1入力フィルタ選択ビット | b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b3 | INT1F1 | | | R/W |
| b4 | INT2F0 | INT2入力フィルタ選択ビット | b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b5 | INT2F1 | | | R/W |
| b6 | INT3F0 | INT3入力フィルタ選択ビット | b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング | R/W |
| b7 | INT3F1 | | | R/W |

31.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。表31.3にコンパレータB関連レジスタの設定手順を示します。

表31.3 コンパレータB関連レジスタの設定手順

| 順番 | レジスタ | ビット | 設定値 |
|----|-----------------------------|---|------------------------------|
| 1 | IVCMPi、IVREFi | 端子の機能選択。「7.5 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。 | |
| 2 | INTF | フィルタ有無、サンプリングクロック選択 | |
| 3 | INTCMP | INTICP0 | 1 (動作許可) |
| 4 | コンパレータ安定時間(最大100 μ s)待ち | | |
| 5 | INTEN | INTIEN | 割り込みを使用する場合：1 (割り込み許可) |
| | | INTIPL | 割り込みを使用する場合：入力極性選択 |
| 6 | INTIIC | ILVL2 ~ ILVL0 | 割り込みを使用する場合：割り込み優先レベル選択 |
| | | IR | 割り込みを使用する場合：0 (割り込み要求なし：初期化) |

i=1、3

図31.2にコンパレータBi(i = 1、3)の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが“0”になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTIENビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「31.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

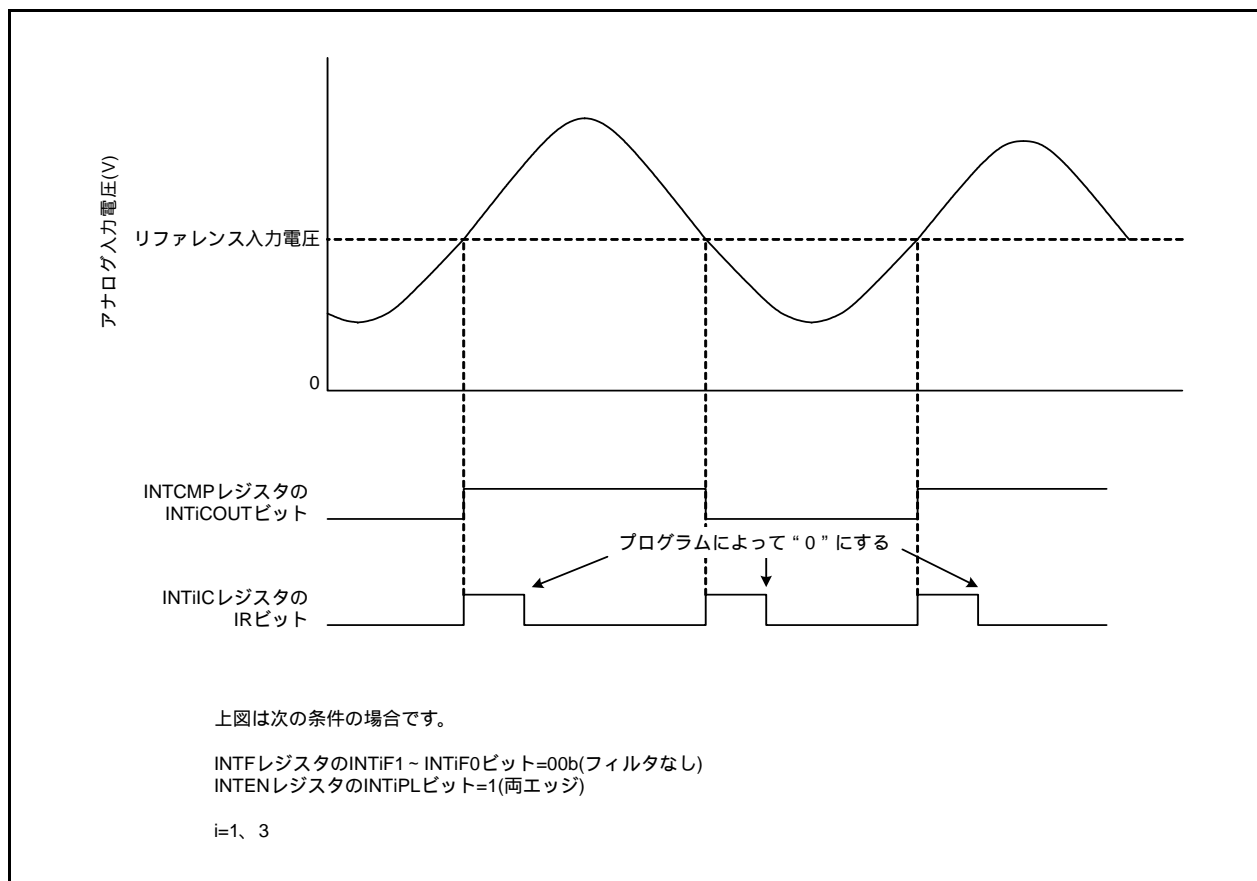


図31.2 コンパレータBi(i = 1、3)の動作例

31.3.1 コンパレータBiデジタルフィルタ (i=1, 3)

コンパレータBiは、 $\overline{\text{INTi}}$ 入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTiF1 ~ INTiF0ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが“1” (割り込み要求あり)になります。

図31.3にコンパレータBiデジタルフィルタの構成を、図31.4にコンパレータBiデジタルフィルタ動作例を示します。

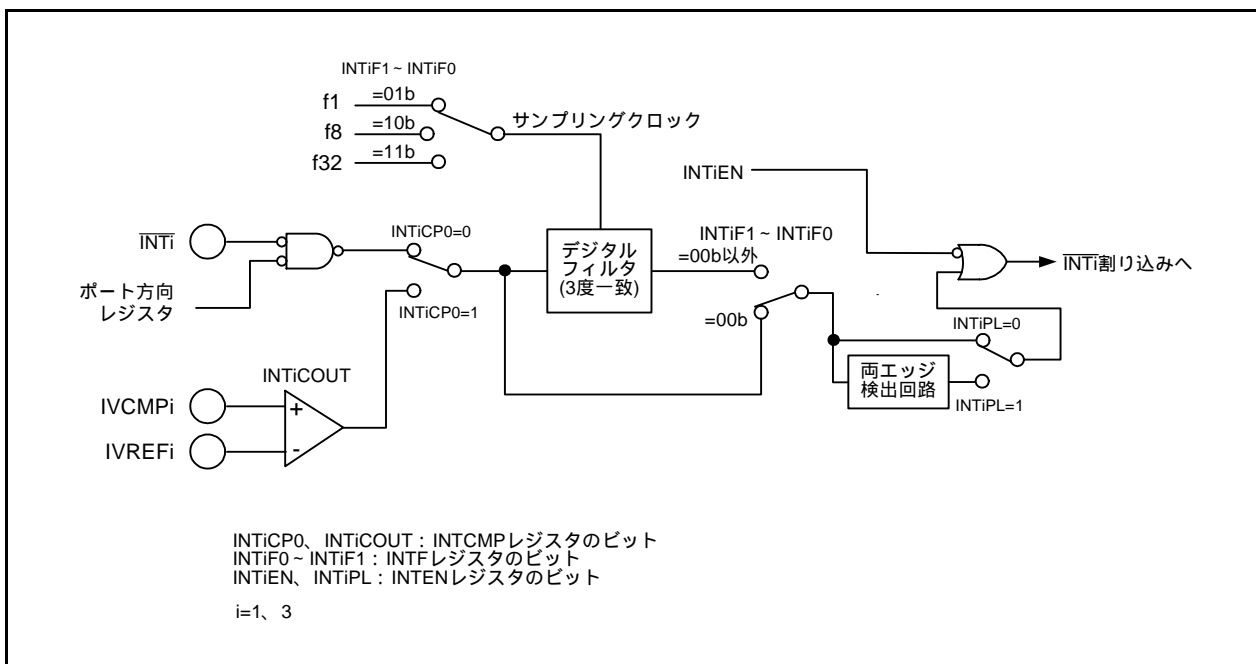


図31.3 コンパレータBiデジタルフィルタの構成

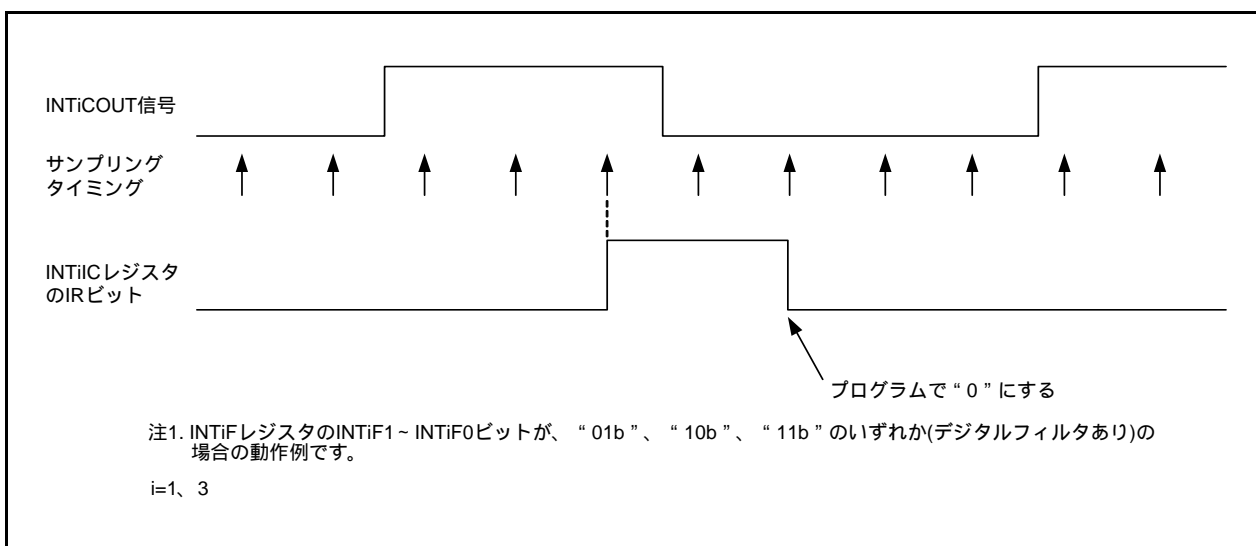


図31.4 コンパレータBiデジタルフィルタ動作例

31.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi(i=1, 3)割り込みはINTi(i=1, 3)入力による割り込みと同一のINTiICレジスタ(IRビット、ILVL0 ~ ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。さらに極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

32. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

32.1 概要

表 32.1 にフラッシュメモリの性能概要を示します(表 32.1 に示す以外の項目は「表 1.1 および表 1.2 R8C/34Mグループの仕様概要」を参照してください)。

表 32.1 フラッシュメモリの性能概要

| 項目 | | 性能 |
|--------------------|---------------------------|--|
| フラッシュメモリの動作モード | | 3モード(CPU書き換え、標準シリアル入出力、パラレル入出力) |
| 消去ブロック分割 | | 図 32.1を参照してください。 |
| プログラム方式 | | バイト単位 |
| イレーズ方式 | | ブロック消去 |
| プログラム、イレーズ制御方式(注1) | | ソフトウェアコマンドによるプログラム、イレーズ制御 |
| 書き換え制御方式 | ブロック0~3 (プログラムROM)(注3) | ロックビットによるブロック単位の書き換えプロテクト制御 |
| | ブロックA、B、C、D (データフラッシュ) | FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御 |
| コマンド数 | | 7コマンド |
| プログラム、イレーズ回数(注2) | ブロック0~3 (プログラムROM)(注3) | 1,000回 |
| | ブロックA、B、C、D (データフラッシュ) | 10,000回 |
| IDコードチェック機能 | | 標準シリアル入出力モード対応 |
| ROMコードプロテクト | | パラレル入出力モード対応 |

注1. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V~5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。
プログラム、イレーズ回数がn回(n=1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図 32.1 R8C/34Mグループのフラッシュメモリのブロック図」を参照してください。

表 32.2 フラッシュメモリ書き換えモードの概要

| フラッシュメモリ書き換えモード | CPU書き換えモード | 標準シリアル入出力モード | パラレル入出力モード |
|-----------------|---|--------------------------------|-------------------------------|
| 機能概要 | CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える | 専用シリアルライターを使用して、ユーザROM領域を書き換える | 専用パラレルライターを使用してユーザROM領域を書き換える |
| 書き換えできる領域 | ユーザROM | ユーザROM | ユーザROM |
| 書き換えプログラム | ユーザプログラム | 標準ブートプログラム | |

32.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 32.1にR8C/34Mグループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM： 主にプログラムを格納するためのフラッシュメモリ

データフラッシュ： 主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

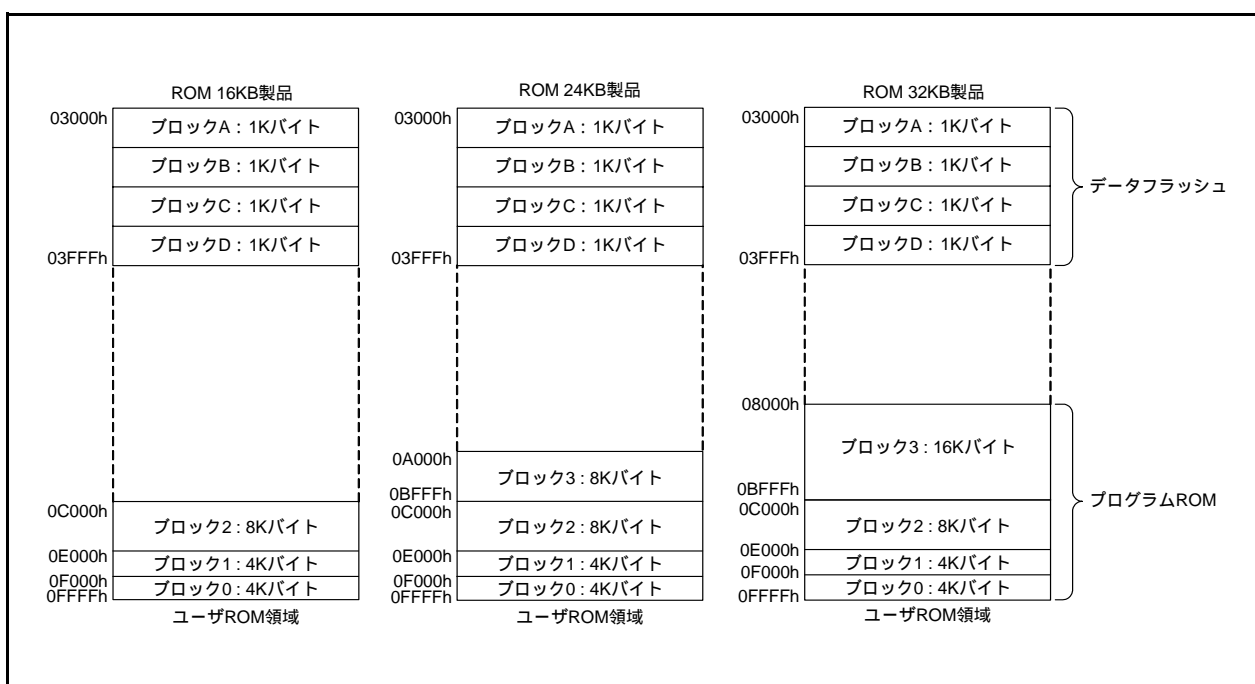


図 32.1 R8C/34Mグループのフラッシュメモリのブロック図

32.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

32.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

32.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「13. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

32.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-------------|-------|--------|--------|--------|-------|----|-------|
| シンボル | CSPROINI | LVDAS | VDSEL1 | VDSEL0 | ROMCP1 | ROMCR | - | WDTON |
| リセット後の値 | ユーザの設定値(注1) | | | | | | | |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|----------|------------------------|---|-----|
| b0 | WDTON | ウォッチドッグタイマ起動選択ビット | 0:リセット後、ウォッチドッグタイマは自動的に起動 1:リセット後、ウォッチドッグタイマは停止状態 | R/W |
| b1 | - | 予約ビット | “1”にしてください | R/W |
| b2 | ROMCR | ROMコードプロテクト解除ビット | 0:ROMコードプロテクト解除 1:ROMCP1ビット有効 | R/W |
| b3 | ROMCP1 | ROMコードプロテクトビット | 0:ROMコードプロテクト有効 1:ROMコードプロテクト解除 | R/W |
| b4 | VDSEL0 | 電圧検出0レベル選択ビット(注2) | b5 b4 00:3.80Vを選択 (Vdet0_3) 01:2.85Vを選択 (Vdet0_2) 10:2.35Vを選択 (Vdet0_1) 11:1.90Vを選択 (Vdet0_0) | R/W |
| b5 | VDSEL1 | | | R/W |
| b6 | LVDAS | 電圧検出0回路起動ビット(注3) | 0:リセット後、電圧監視0リセット有効 1:リセット後、電圧監視0リセット無効 | R/W |
| b7 | CSPROINI | リセット後カウントソース保護モード選択ビット | 0:リセット後、カウントソース保護モード有効 1:リセット後、カウントソース保護モード無効 | R/W |

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷時の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷時の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。

32.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表 32.3にEW0モードとEW1モードの違いを示します。

表 32.3 EW0モードとEW1モードの違い

| 項目 | EW0モード | EW1モード |
|----------------------------------|---|--|
| 動作モード | シングルチップモード | シングルチップモード |
| 書き換え制御プログラムを配置できる領域 | ユーザROM | ユーザROM |
| 書き換え制御プログラムを実行できる領域 | RAM(書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。 | ユーザROMまたはRAM |
| 書き換えられる領域 | ユーザROM | ユーザROM ただし、書き換え制御プログラムがあるブロックを除く |
| ソフトウェアコマンドの制限 | | プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 |
| プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード | リードアレイモード | リードアレイモード |
| プログラム、ブロックイレーズ実行中のCPU、DTCの状態 | 動作 | <ul style="list-style-type: none"> データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCは動作 プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCはホールド状態(入出力ポートはコマンド実行前の状態を保持) |
| フラッシュメモリのステータス検知 | プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む | プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む |
| イレーズサスペンドへの移行条件 | <ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生 | <ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする (データフラッシュ領域を書き換え中) FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクابل割り込み要求が発生 |
| CPUクロック | 最大20MHz | 最大20MHz |

32.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h 番地

| | | | | | | | | |
|---------|------|------|------|------|----|--------|--------|--------|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | FST7 | FST6 | FST5 | FST4 | - | LBDATA | BSYAEI | RDYSTI |
| リセット後の値 | 1 | 0 | 0 | 0 | 0 | X | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|--------|--|--|-----|
| b0 | RDYSTI | フラッシュレディステータス割り込み要求フラグ(注1、4) | 0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり | R/W |
| b1 | BSYAEI | フラッシュアクセスエラー割り込み要求フラグ(注2、4) | 0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり | R/W |
| b2 | LBDATA | LBDATA モニタフラグ | 0: ロック状態 1: 非ロック状態 | R |
| b3 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b4 | FST4 | プログラムエラーフラグ(注3) | 0: プログラムエラーなし 1: プログラムエラーあり | R |
| b5 | FST5 | イレーズエラー/ブランクチェックエラーフラグ(注3) | 0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり | R |
| b6 | FST6 | イレーズサスペンドステータスフラグ | 0: イレーズサスペンド以外 1: イレーズサスペンド中 | R |
| b7 | FST7 | レディ/ピジーステータスフラグ | 0: ピジー 1: レディ | R |

- 注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。読んでから書くまでの間はフラッシュレディステータス要因によるDTC起動を禁止にしてください。このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを“1”(フラッシュレディステータス割り込み許可)にしてください。
- 注2. プログラムでBSYAEIビットを“1”(フラッシュアクセスエラー割り込み要求あり)にできません。BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にしてください。
- 注3. コマンドエラー時にも“1”(エラーあり)になります。
- 注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディに変化するの、次の状態のときです。

- フラッシュメモリのイレーズ/プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブロックブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

- (1) 割り込み処理のプログラムで“0”にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

[“1”になる条件]

- (1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。
または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域をリードする。(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

LBDATAビット(LBDATAモニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが“1”(レディ)になった後で、LBDATAビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが“0”(ビジー)になります。FST7ビットが“1”(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

FST4ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「32.4.12 フルステータスチェック」を参照してください。

FST5ビット(イレーズエラー/ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「32.4.12 フルステータスチェック」を参照してください。

FST6ビット(イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”になります。

FST7ビット(レディ/ビジーステータスフラグ)

FST7ビットが“0”(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7ビットが“1”(レディ)になります。

32.4.2 フラッシュメモリ制御レジスタ0 (FMR0)

アドレス 01B4h 番地

| | | | | | | | | |
|---------|---------|---------|---------|--------|-------|-------|-------|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | RDYSTIE | BSYAEIE | CMDERIE | CMDRST | FMSTP | FMR02 | FMR01 | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|---------|------------------------------|--|-----|
| b0 | - | 予約ビット | “0” にしてください | R/W |
| b1 | FMR01 | CPU書き換えモード選択ビット (注1、4) | 0: CPU書き換えモード無効 1: CPU書き換えモード有効 | R/W |
| b2 | FMR02 | EW1モード選択ビット(注1) | 0: EW0モード 1: EW1モード | R/W |
| b3 | FMSTP | フラッシュメモリ停止ビット(注2) | 0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化) | R/W |
| b4 | CMDRST | イレーズ/ライトシーケンスリセット ビット(注3) | CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。読み出した場合は、“0”が読み出されます。 | R/W |
| b5 | CMDERIE | イレーズ/ライトエラー割り込み許可 ビット | 0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可 | R/W |
| b6 | BSYAEIE | フラッシュアクセスエラー割り込み 許可ビット | 0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可 | R/W |
| b7 | RDYSTIE | フラッシュレディステータス割り込 み許可ビット | 0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可 | R/W |

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
- 注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
- 注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
- 注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「33.2.10 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが“1”のとき(FMSTPビットを“1”から“0”へ変更直後のビジー中(FST7ビットが“0”の期間)も含む)は、同時に低消費電流リードモードにしないでください。

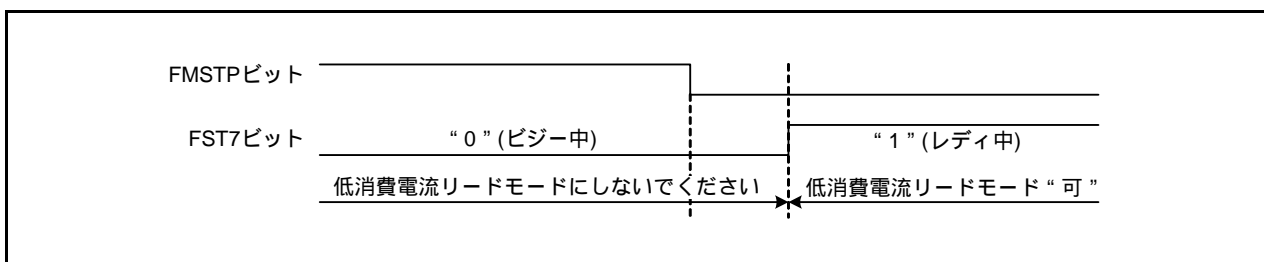


図32.2 低消費電流リードモードへの移行

CMDRSTビット(イレース/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレースコマンドを強制停止させるためのビットです。データフラッシュ領域へのプログラム/イレース中のシーケンスリセットの場合は、プログラムROM領域を読み出すことは可能です。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレースコマンドを強制停止した場合、FSTレジスタのFST7ビットが“1”(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレースコマンドを再度実行し、ブロックイレースが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後で、ブロックイレースコマンドを再度実行してください。

また、イレースサスペンド中にCMDRSTビットを“1”(イレース/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレースをサスペンドしていたブロックに対しても、ブロックイレースを再度実行してください。

CMDRSTビットを“1”(イレース/ライト停止)にしてから、td(CMDRST-READY)後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

CMDERIE ビット(イレース/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレースエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIE ビットを“1”(イレース/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIE ビットを“0”(イレース/ライトエラー割り込み禁止)から“1”(イレース/ライトエラー割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIE ビットを“1”にする。

BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを“0”(フラッシュアクセスエラー割り込み禁止)から“1”(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのBSYAEIビットを読む(ダミーリード)。
- (2) BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIE ビットを“1”(フラッシュアクセスエラー割り込み許可)にする。

RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを“0”(フラッシュレディステータス割り込み禁止)から“1”(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのRDYSTIビットを読む(ダミーリード)。
- (2) RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIE ビットを“1”(フラッシュレディステータス割り込み許可)にする。

32.4.3 フラッシュメモリ制御レジスタ1 (FMR1)

アドレス 01B5h 番地

| | | | | | | | | |
|---------|-------|-------|-------|-------|-------|----|----|----|
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | FMR17 | FMR16 | FMR15 | FMR14 | FMR13 | - | - | - |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|---|-----|
| b0 | - | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | | - |
| b1 | - | | | |
| b2 | - | | | |
| b3 | FMR13 | ロックビット無効選択ビット(注1) | 0: ロックビット有効 1: ロックビット無効 | R/W |
| b4 | FMR14 | データフラッシュブロックA書き換え禁止ビット(注2、3) | 0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない) | R/W |
| b5 | FMR15 | データフラッシュブロックB書き換え禁止ビット(注2、3) | 0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない) | R/W |
| b6 | FMR16 | データフラッシュブロックC書き換え禁止ビット(注2、3) | 0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない) | R/W |
| b7 | FMR17 | データフラッシュブロックD書き換え禁止ビット(注2、3) | 0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない) | R/W |

注1. FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注3. FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にすると“0”になります。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「32.4.10 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

[“0”になる条件]

次の条件が成立した時点で“0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレーズサスペンド移行時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

[“1”になる条件]

プログラムで“1”にしてください。

FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが“0”のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが“0”のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR16ビット(データフラッシュブロックC書き換え禁止ビット)

FMR16ビットが“0”のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR17ビット(データフラッシュブロックD書き換え禁止ビット)

FMR17ビットが“0”のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレースコマンドを受け付けます。

32.4.4 フラッシュメモリ制御レジスタ2 (FMR2)

| | | | | | | | | |
|---------------|-------|----|----|----|----|-------|-------|-------|
| アドレス 01B6h 番地 | | | | | | | | |
| ビット | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| シンボル | FMR27 | - | - | - | - | FMR22 | FMR21 | FMR20 |
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | シンボル | ビット名 | 機能 | R/W |
|-----|-------|--|--|-----|
| b0 | FMR20 | イレーズサスペンド許可ビット (注1) | 0: イレーズサスペンド禁止 1: イレーズサスペンド許可 | R/W |
| b1 | FMR21 | イレーズサスペンドリクエスト ビット(注2) | 0: イレーズリスタート 1: イレーズサスペンドリクエスト | R/W |
| b2 | FMR22 | 割り込み要求サスペンドリクエ スト許可ビット(注1) | 0: 割り込み要求でイレーズサスペンドリクエスト禁止 1: 割り込み要求でイレーズサスペンドリクエスト許可 | R/W |
| b3 | - | 何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。 | - | - |
| b4 | - | 予約ビット | “0” にしてください | R/W |
| b5 | - | | | |
| b6 | - | | | |
| b7 | FMR27 | 低消費電流リードモード許可ビッ ト(注1、3) | 0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可 | R/W |

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
- 注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。
- 注3. 次のいずれかの設定をした後、FMR27ビットを“1”にしてください。
- ・CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定
 - ・CPUクロックをXCINクロックの1分周(分周なし)、2分周、4分周または8分周に設定
- ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

[“0”になる条件]

プログラムで“0”にしてください。

[“1”になる条件]

- ・割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- ・プログラムで“1”にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレースサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレースサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレースサスペンドを使用するときに、“1”にしてください。

FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「33.2.11 低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレース、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

32.4.5 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを“1”(イレーズサスペンド許可)、FMR21ビットを“1”(イレーズサスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが“1”(レディ)になったことを確認し、FST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST6ビットが“0”になったとき、消去終了です)。

FMR2レジスタのFMR21ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが“0”になったことを確認し、FST6ビットが“0”(イレーズサスペンド以外)になったことを確認してください。

32.4.6 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

32.4.7 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます(「表 32.4 サスペンド中に実行できる動作」参照)。

- データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラムROMへの自動書き込みおよび読み出しが実行できます。
- プログラムROMの任意のブロックの自動消去をサスペンドした場合、プログラムROMの別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラムROMの自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスペンドを確認する場合、FST7ビットが“1”(レディ)となったことを確認後、FST6ビットが“1”(イレースサスペンド中)になったことで、サスペンドしたことを確認してください。(FST6ビットが“0”(イレースサスペンド以外)となったときは、消去終了です。)

図 32.3にサスペンド動作に関するタイミングを示します。

表 32.4 サスペンド中に実行できる動作

| | | サスペンド中の動作 | | | | | | | | | | | | | |
|-------------------------------|--------------|---------------------------------------|-------|-----|--|-------|-----|---------------------------------------|-------|-----|--|-------|-----|--|------|
| | | データフラッシュ (サスペンド移行前の イレース実行ブロック) | | | データフラッシュ (サスペンド移行前の イレース未実行ブロック) | | | プログラムROM (サスペンド移行前の イレース実行ブロック) | | | プログラムROM (サスペンド移行前の イレース未実行ブロック) | | | | |
| | | イレース | プログラム | リード | イレース | プログラム | リード | イレース | プログラム | リード | イレース | プログラム | リード | | |
| サスペンド 移行前の イレース 実行領域 | データ フラッシュ | × | × | × | × | | | | | | | | × | | (注5) |
| | プログラム ROM | | | | × | | | × | × | × | × | | | | |

注1. はサスペンド機能を使用することで動作可能、×は動作禁止、 は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレースはブロックイレースを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”(レディ)で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレースサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュをプログラムあるいはブロックイレース動作中に、BGO機能によりプログラムROM領域を読み出すことができます。

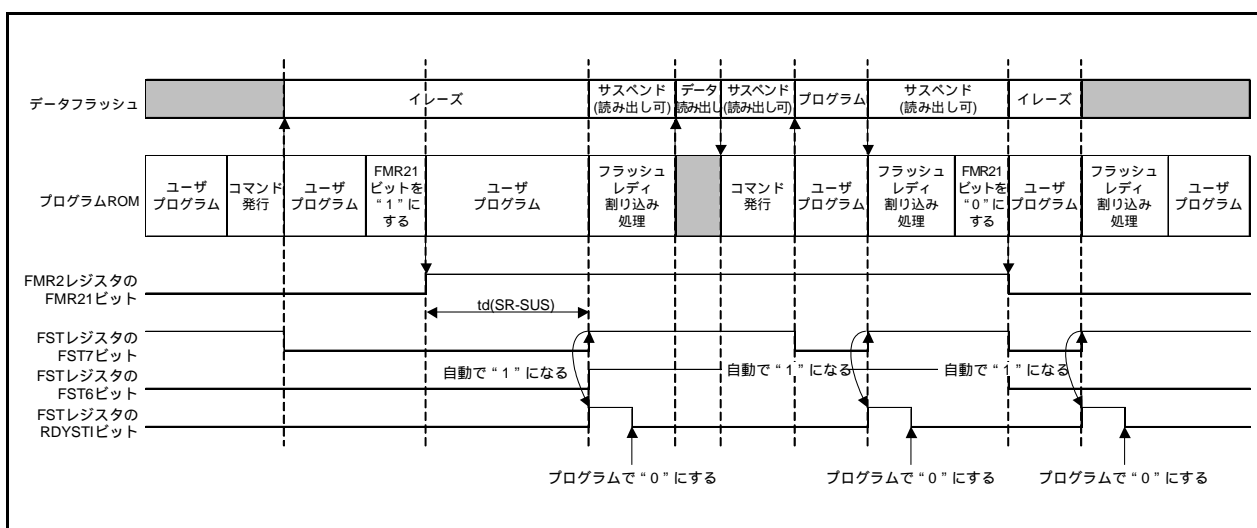


図 32.3 サスペンド動作に関するタイミング

32.4.8 各モードの設定と解除方法

図 32.4にEW0モードの設定と解除方法を、図 32.5にEW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法を示します。

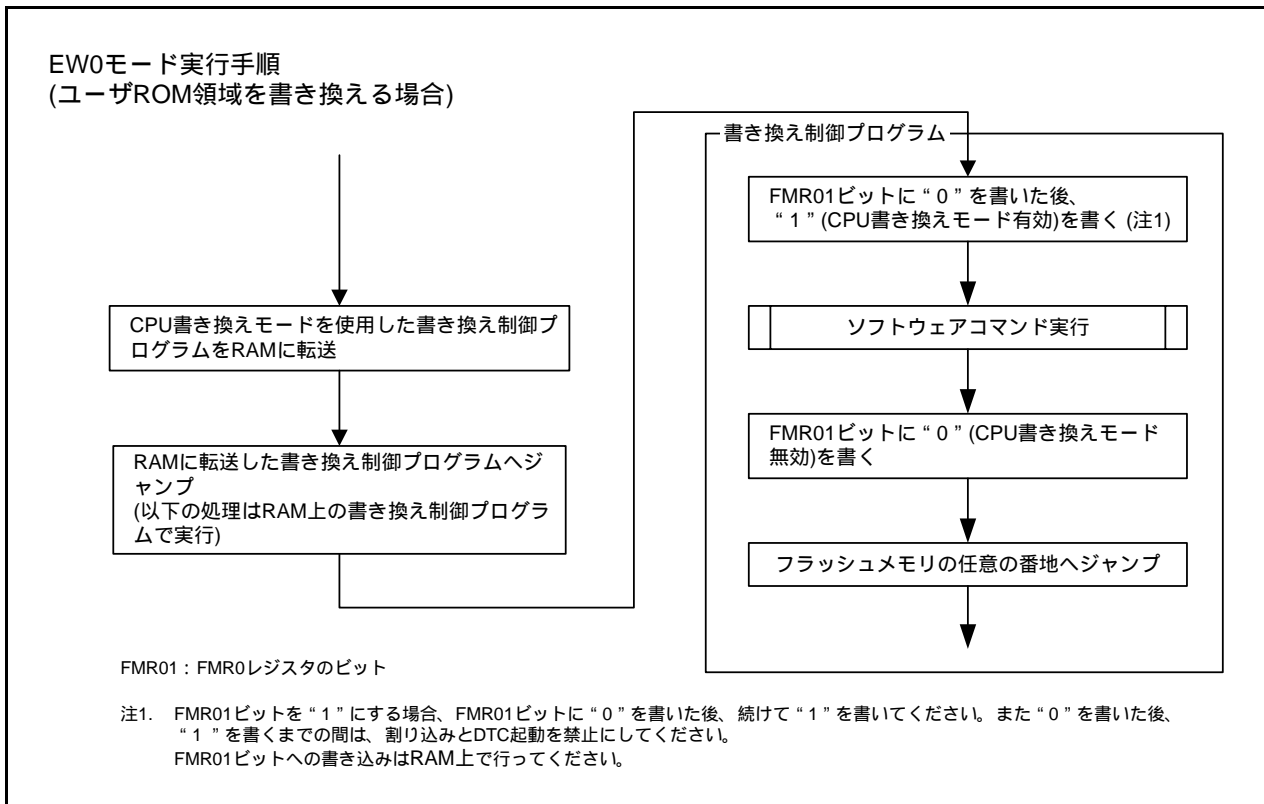


図 32.4 EW0モードの設定と解除方法

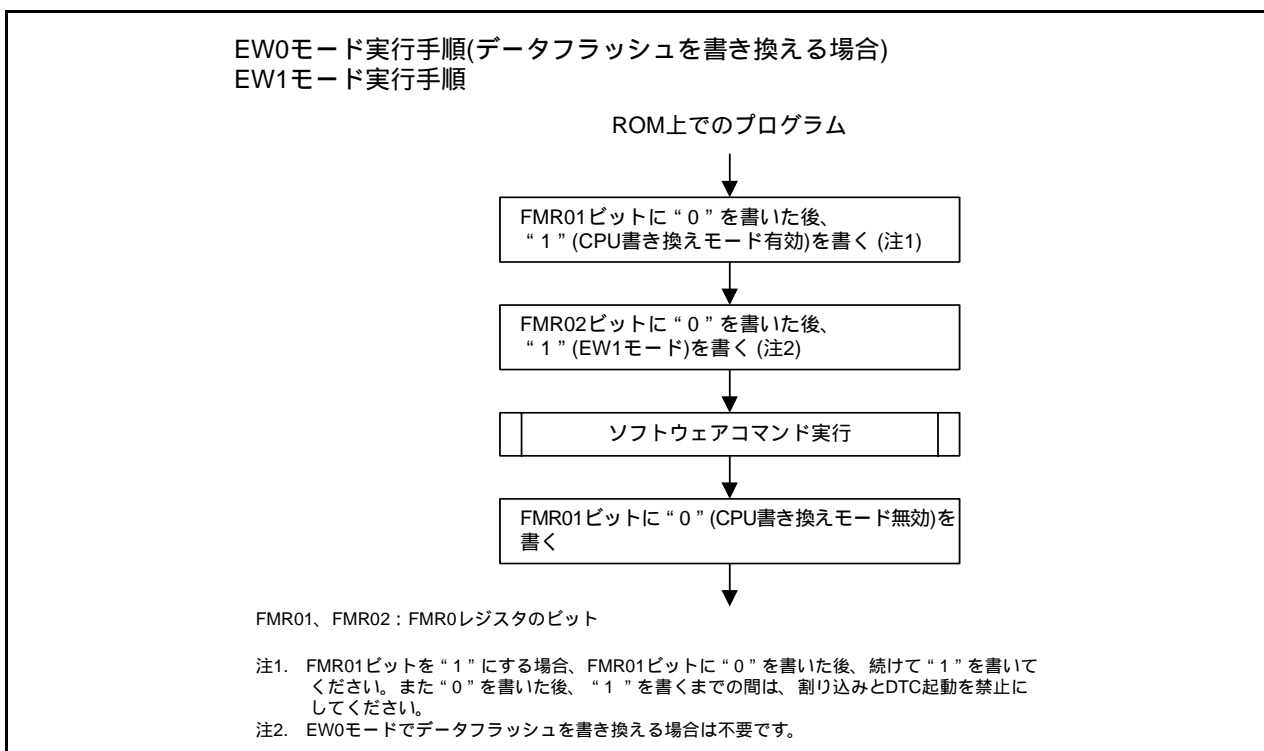


図 32.5 EW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法

32.4.9 BGO (バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図 32.6にBGO機能を示します。

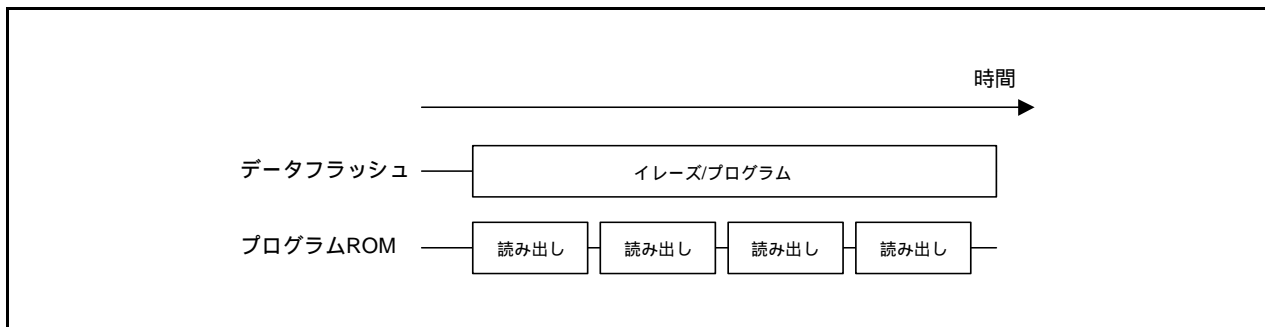


図 32.6 BGO機能

32.4.10 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「32.4.11 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、“0”になります。FMR13ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが“0”(ビジー)から“1”(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

図 32.7にFMR13ビットの動作に関するタイミングを示します。

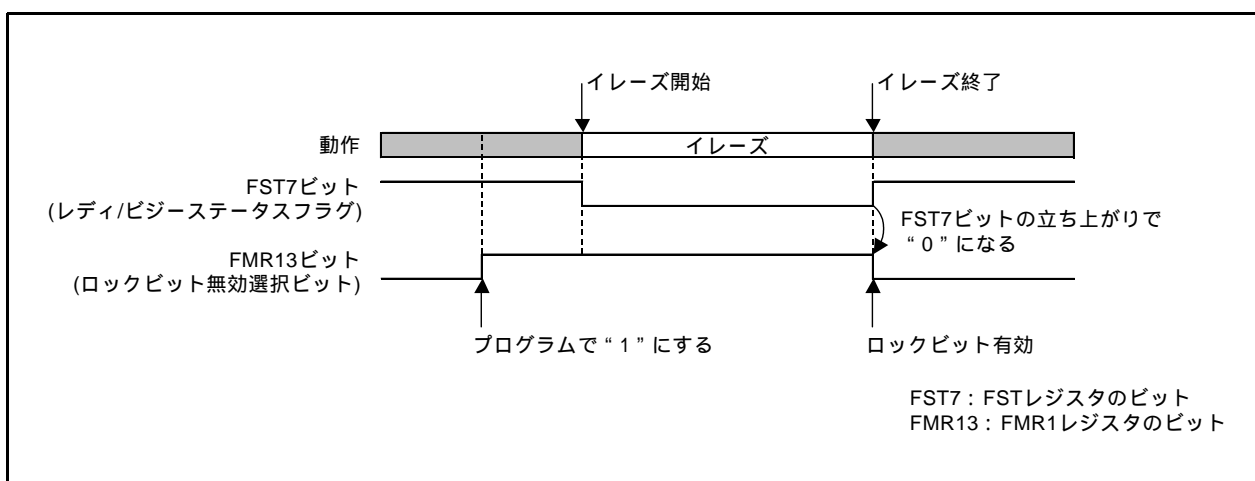


図 32.7 FMR13ビットの動作に関するタイミング

32.4.11 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表 32.5 ソフトウェアコマンド一覧表

| ソフトウェアコマンド | 第1バスサイクル | | | 第2バスサイクル | | |
|----------------|----------|------|-----|----------|------|-----|
| | モード | アドレス | データ | モード | アドレス | データ |
| リードアレイ | ライト | x | FFh | | | |
| クリアステータスレジスタ | ライト | x | 50h | | | |
| プログラム | ライト | WA | 40h | ライト | WA | WD |
| ブロックイレーズ | ライト | x | 20h | ライト | BA | D0h |
| ロックビットプログラム | ライト | BT | 77h | ライト | BT | D0h |
| リードロックビットステータス | ライト | x | 71h | ライト | BT | D0h |
| ブロックブランクチェック | ライト | x | 25h | ライト | BA | D0h |

WA：書き込み番地

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

x：ユーザROM領域内の任意の番地

32.4.11.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

32.4.11.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

32.4.11.3プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます(「32.4.12 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図 32.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図 32.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

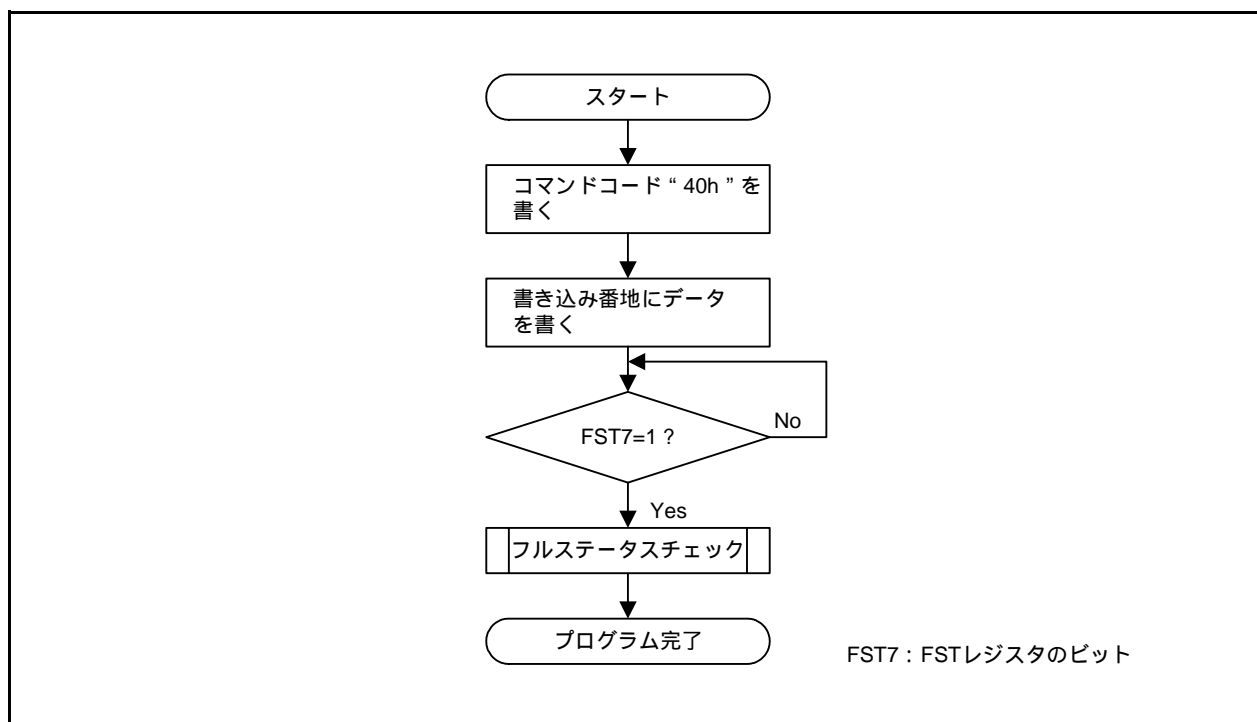


図 32.8 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

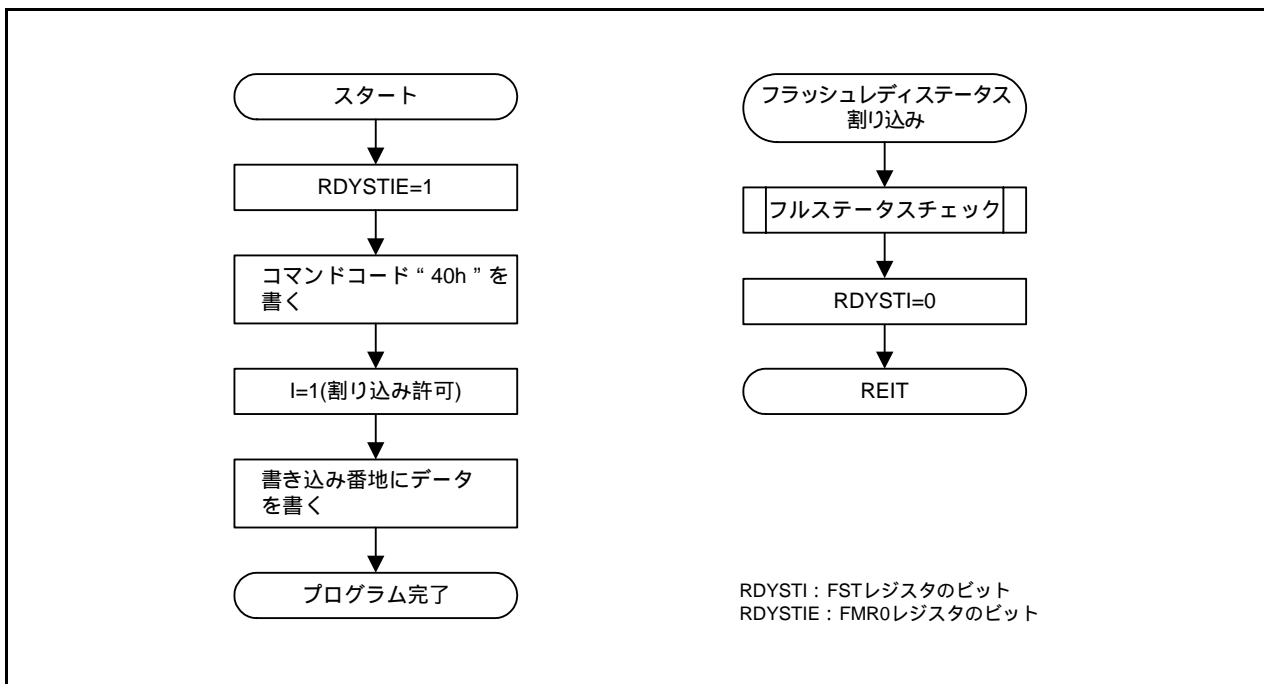


図 32.9 プログラムフローチャート(フラッシュレディステータス割り込み許可)

32.4.11.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます(「32.4.12 フルステータスチェック」参照)。

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図 32.10にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図 32.11にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図 32.12にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を、図 32.13にEW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

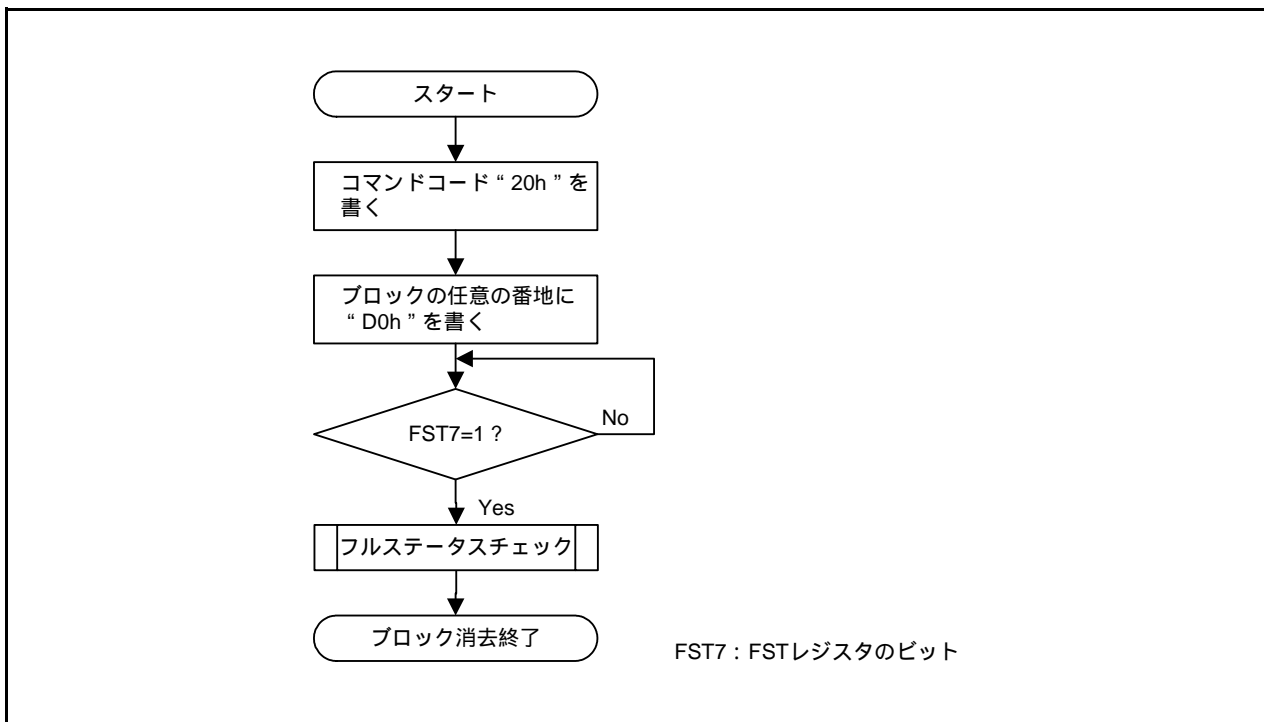


図 32.10 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

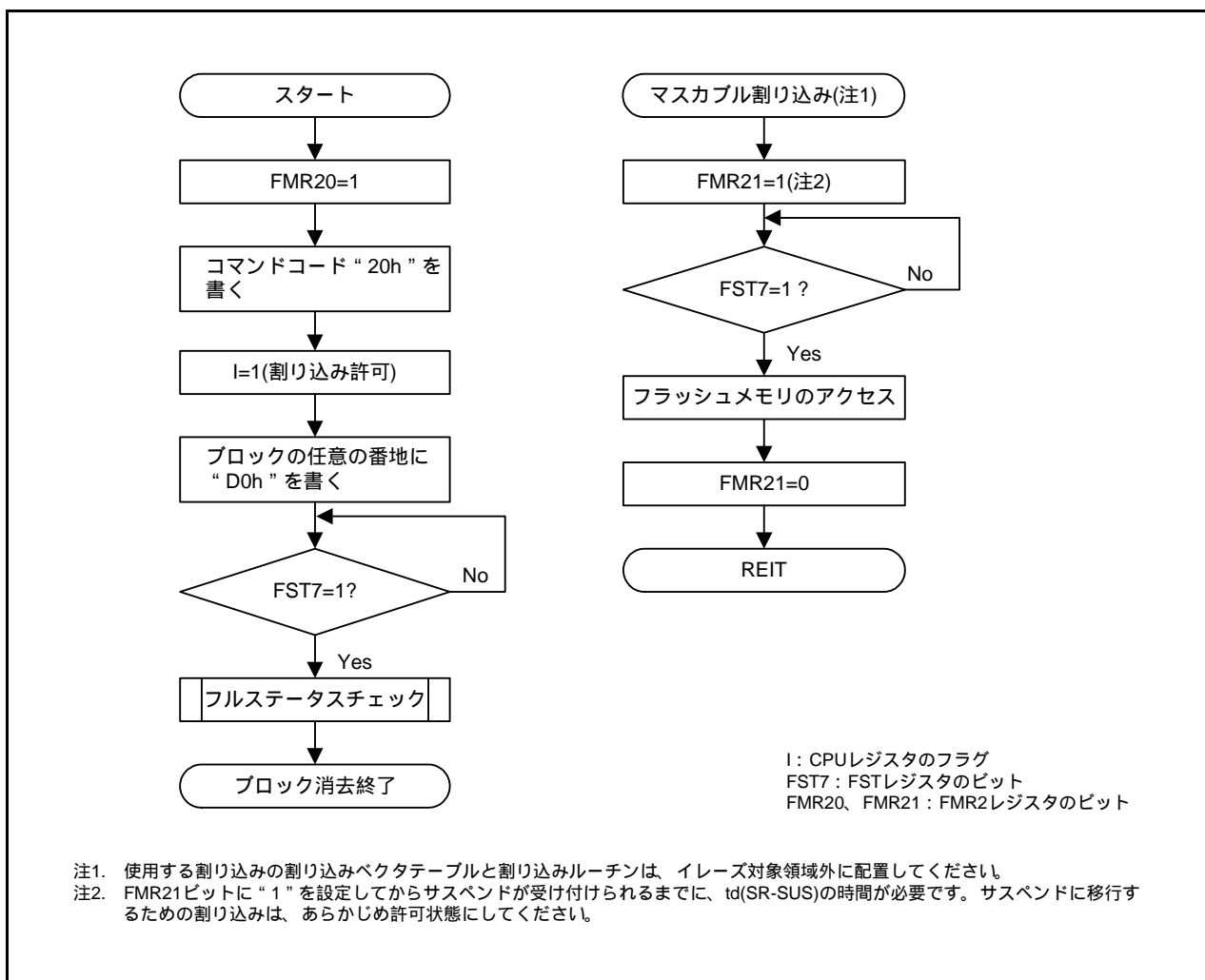


図 32.11 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

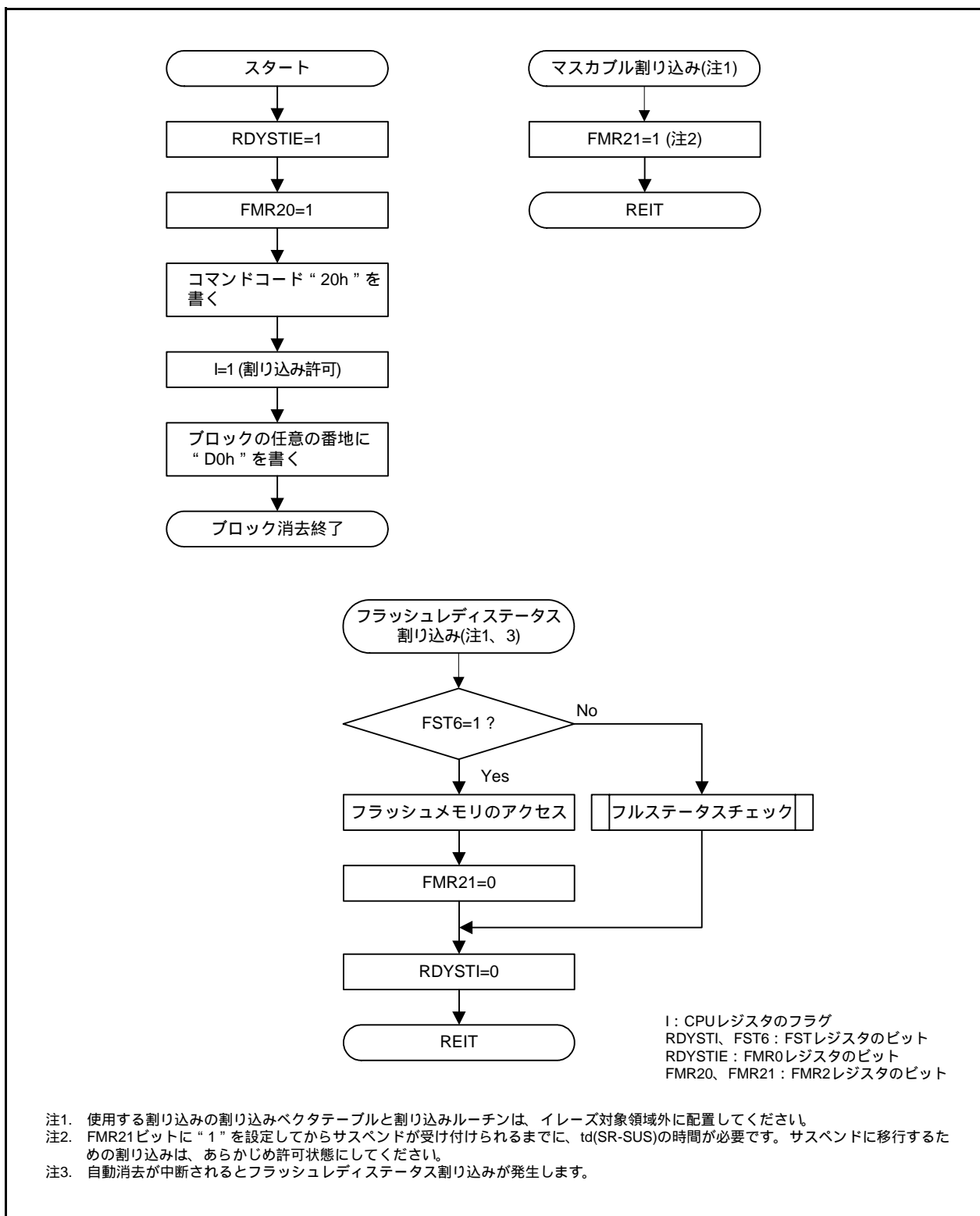


図 32.12 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

FMR22ビットを“1”(割り込み要求でサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(サスペンドリクエスト)にします。EW1モードでユーザROM領域を自動消去中にサスペンドを使用するときに、“1”にしてください。

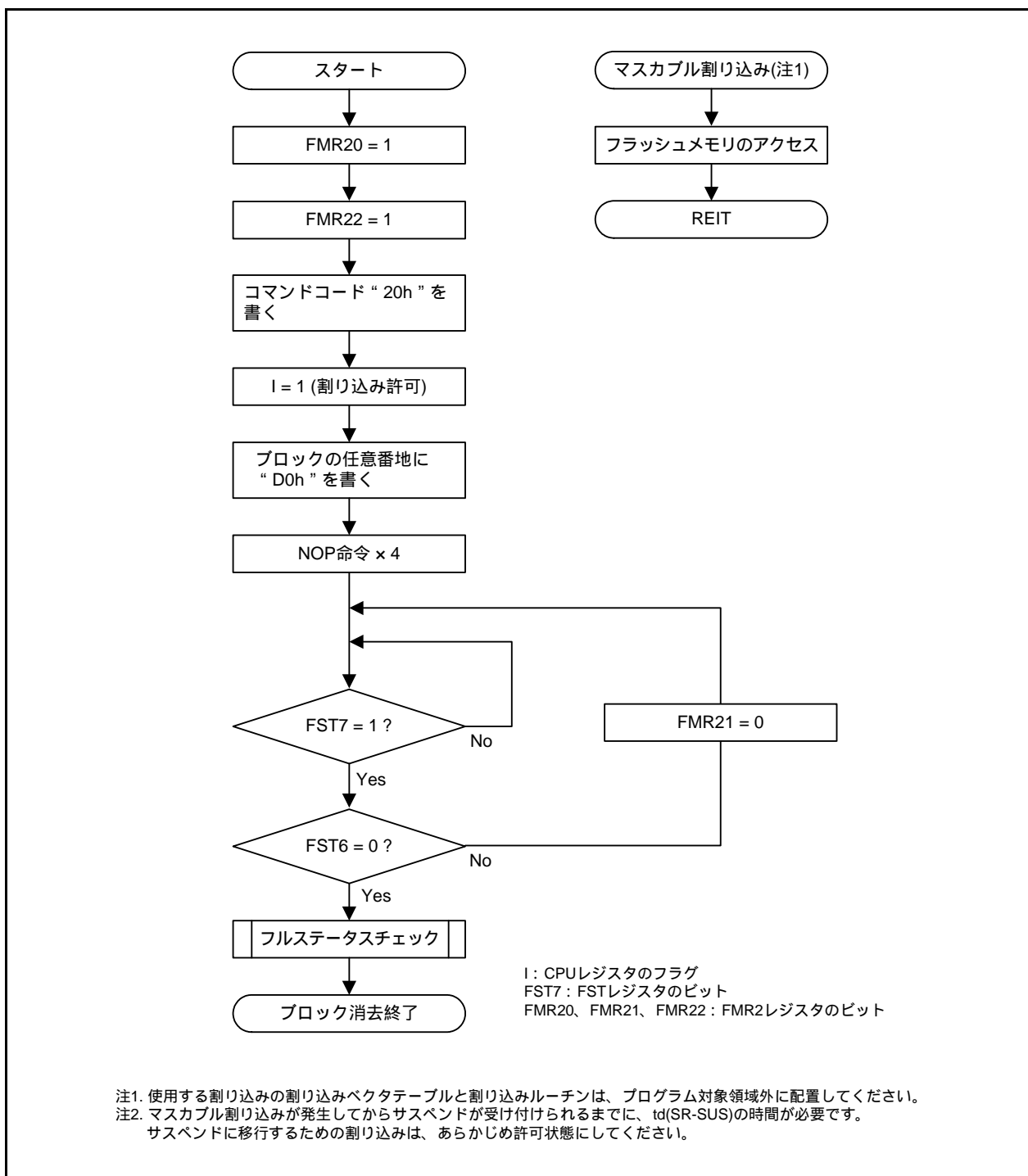


図 32.13 EW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

32.4.11.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地には書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図32.14にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「32.4.10 データ保護機能」を参照してください。

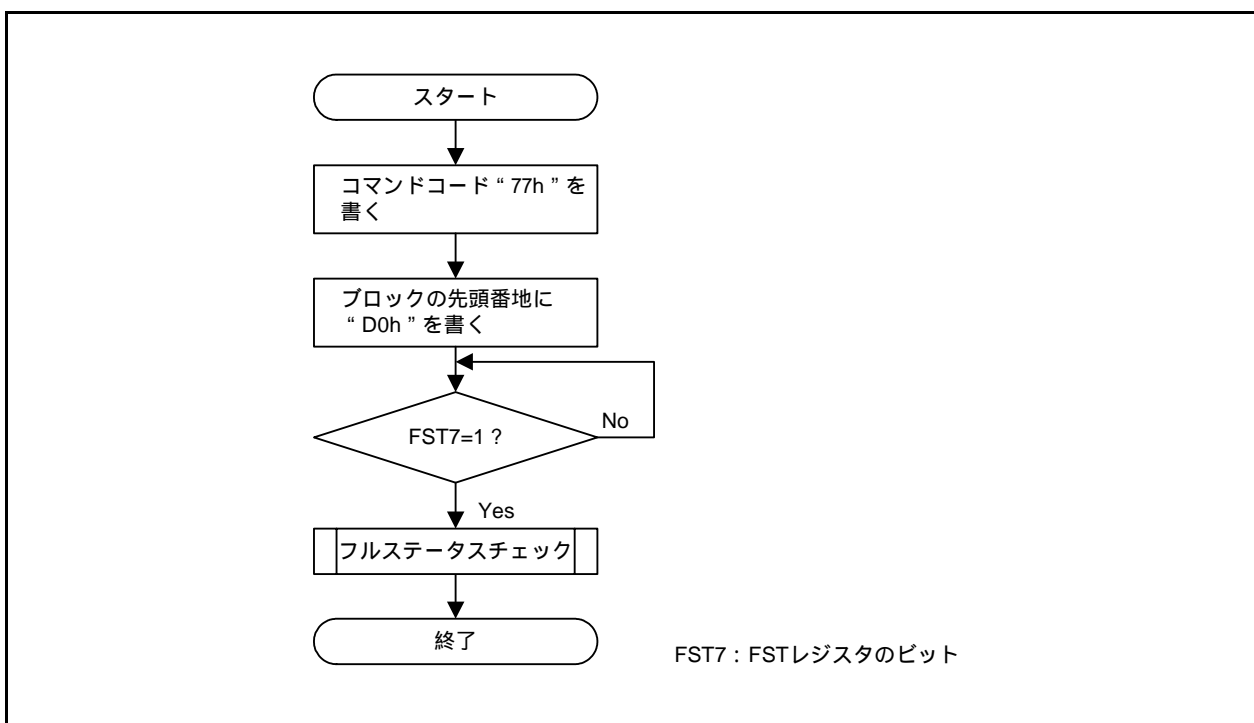


図 32.14 ロックビットプログラムフローチャート

32.4.11.6リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”（レディ）になった後、LBDATAビットを読んでください。

図 32.15 にリードロックビットステータスフローチャートを示します。

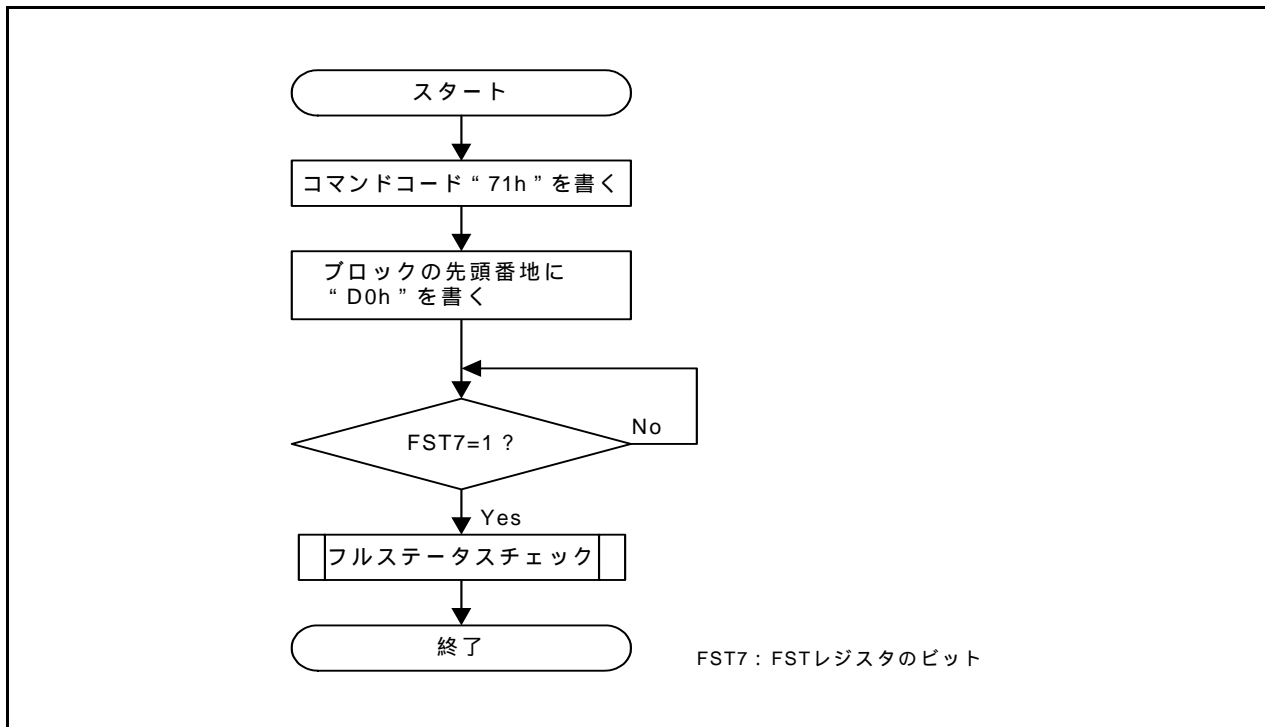


図 32.15 リードロックビットステータスフローチャート

32.4.11.7ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“ FFh ”であることを確認するコマンドです。

第1バスサイクルで“ 25h ”、第2バスサイクルでブロックの任意の番地に“ D0h ”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“ 0 ”、終了後は“ 1 ”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「32.4.12 フルステータスチェック」参照)。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“ 1 ”(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図 32.16にブロックブランクチェックフローチャートを示します。

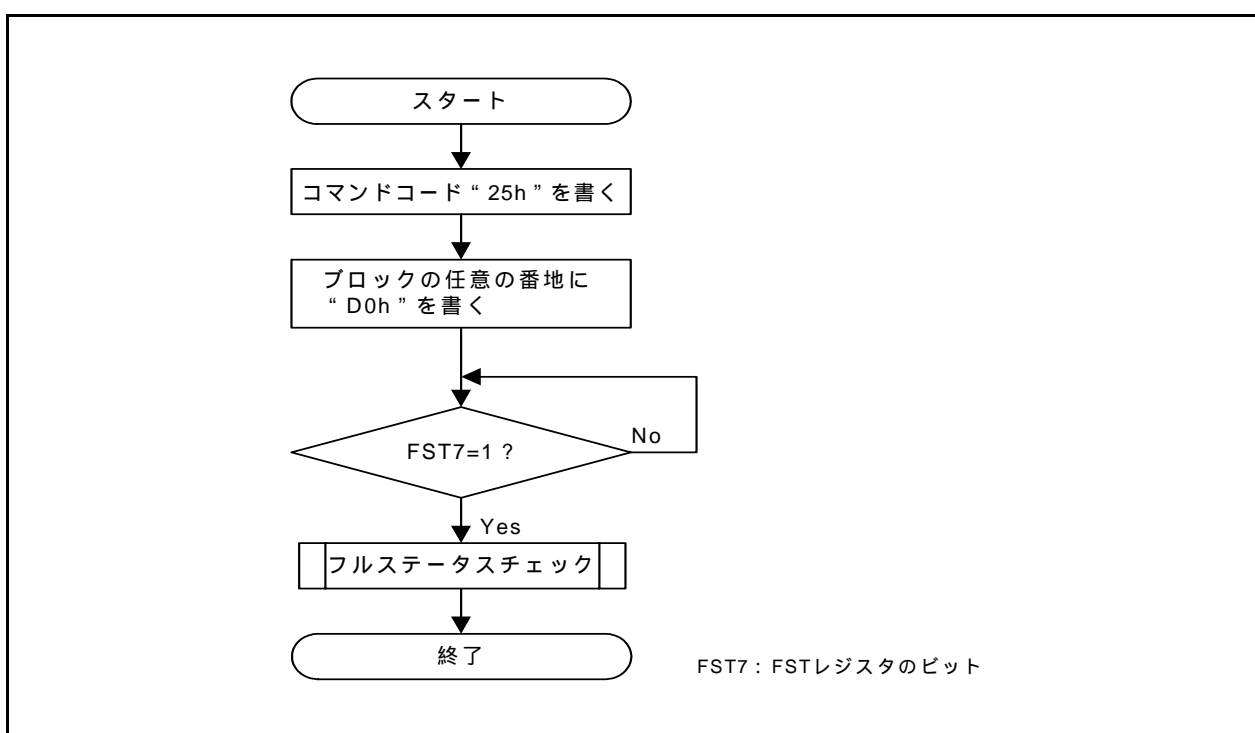


図 32.16 ブロックブランクチェックフローチャート

なお、本コマンドはライター向けを想定したものであり、一般ユーザ向けのコマンドではありません。

32.4.12 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4 ~ FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 32.6にエラーとFSTレジスタの状態を、図 32.17にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 32.6 エラーとFSTレジスタの状態

| FSTレジスタの状態 | | エラー | エラー発生条件 |
|------------|------|----------------|--|
| FST5 | FST4 | | |
| 1 | 1 | コマンドシーケンスエラー | <ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1) ・サスペンド中のイレーズコマンドを実行 ・サスペンド中のブロックへのコマンドを実行 |
| 1 | 0 | イレーズエラー | ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき |
| | | ブランクチェックエラー | ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき |
| 0 | 1 | プログラムエラー | プログラムコマンドを実行し、正しく自動書き込みされなかったとき |
| | | ロックビットプログラムエラー | ロックビットコマンドを実行し、ロックビットが“0”(ロック状態)にならなかったとき |

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

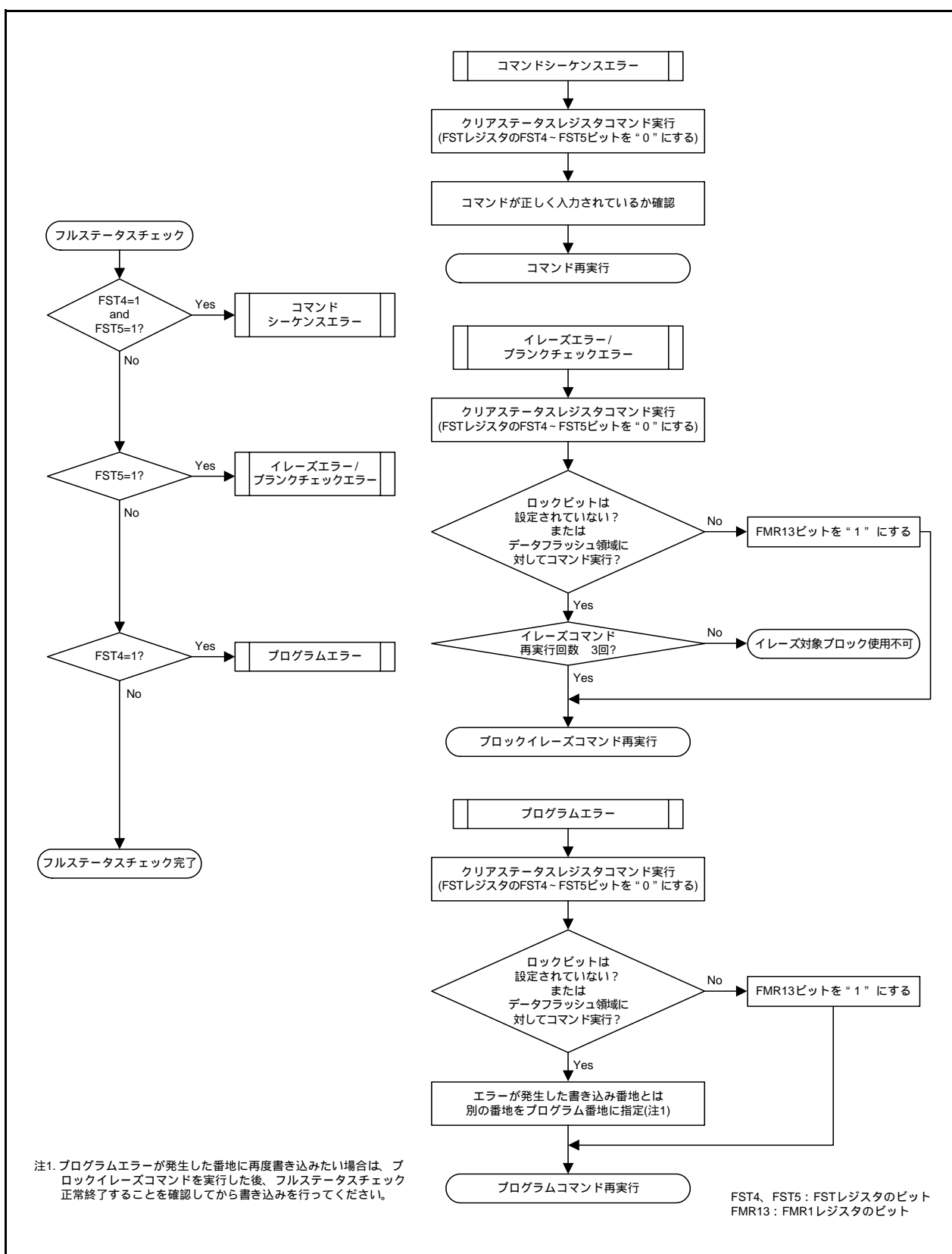


図 32.17 フルステータスチェックフローチャート、各エラー発生時の対処方法

32.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表 32.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図 32.18に標準シリアル入出力モード2を使用する場合の端子処理例を、表 32.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図 32.19に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表 32.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

32.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

表 32.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

| 端子名 | 名称 | 入出力 | 機能 |
|----------------------------------|---------------|-----|---|
| VCC、VSS | 電源入力 | | Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。 |
| RESET | リセット入力 | 入力 | リセット入力端子です。 |
| P4_6/XIN | P4_6入力/クロック入力 | 入力 | XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。 |
| P4_7/XOUT | P4_7入力/クロック出力 | 入出力 | |
| P4_3/XCIN | P4_3入力/クロック入力 | 入力 | XCIN端子とXCOUT端子の間には水晶発振子を接続してください。 |
| P4_4/XCOUT | P4_4入力/クロック出力 | 入出力 | |
| P0_0 ~ P0_7 | 入力ポートP0 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| P1_0 ~ P1_3、 P1_6、P1_7 | 入力ポートP1 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| P2_0 ~ P2_7 | 入力ポートP2 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| P3_0 ~ P3_1、 P3_3 ~ P3_5、P3_7 | 入力ポートP3 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| P4_2/VREF、P4_5 | 入力ポートP4 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| MODE | MODE | 入出力 | “L”を入力してください。 |
| P1_4 | TXD出力 | 出力 | シリアルデータの出力端子です。 |
| P1_5 | RXD入力 | 入力 | シリアルデータの入力端子です。 |

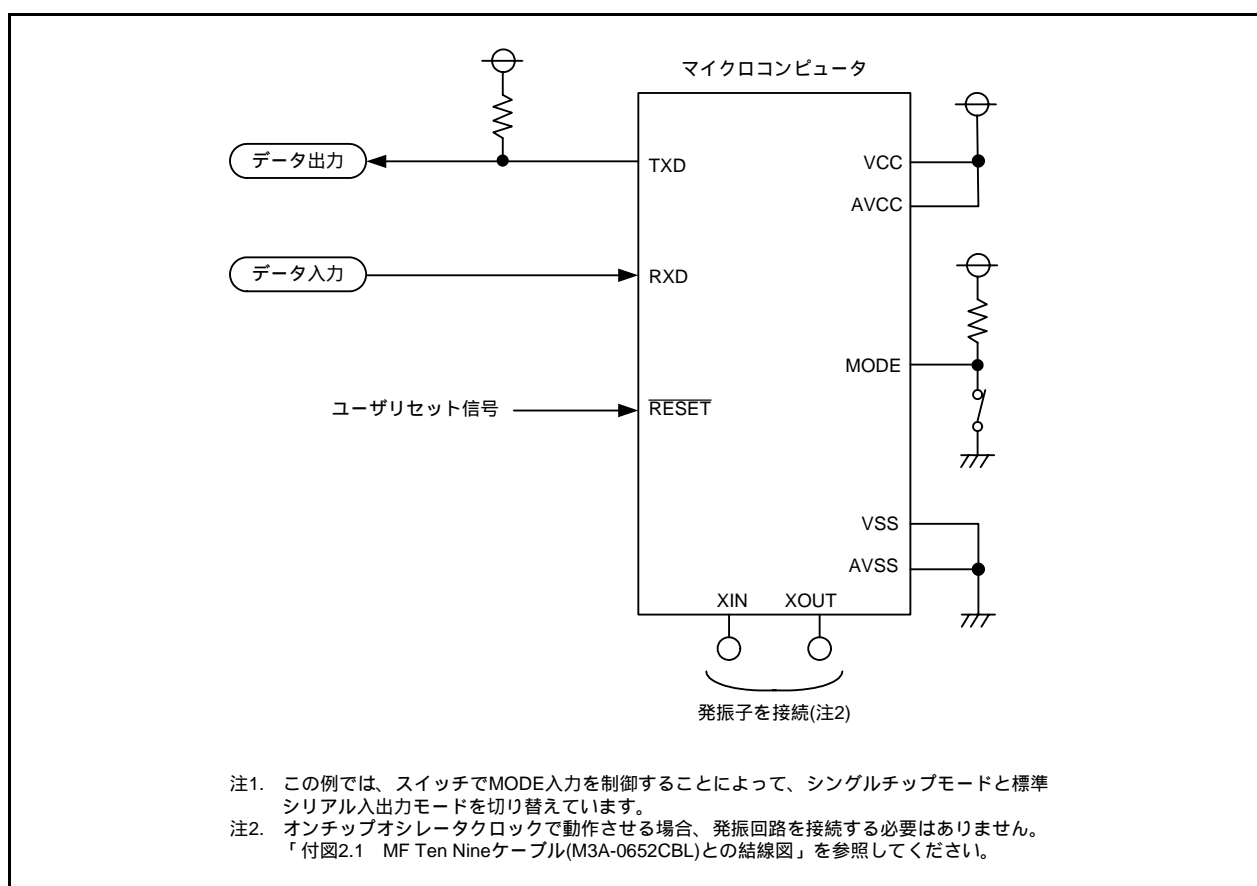
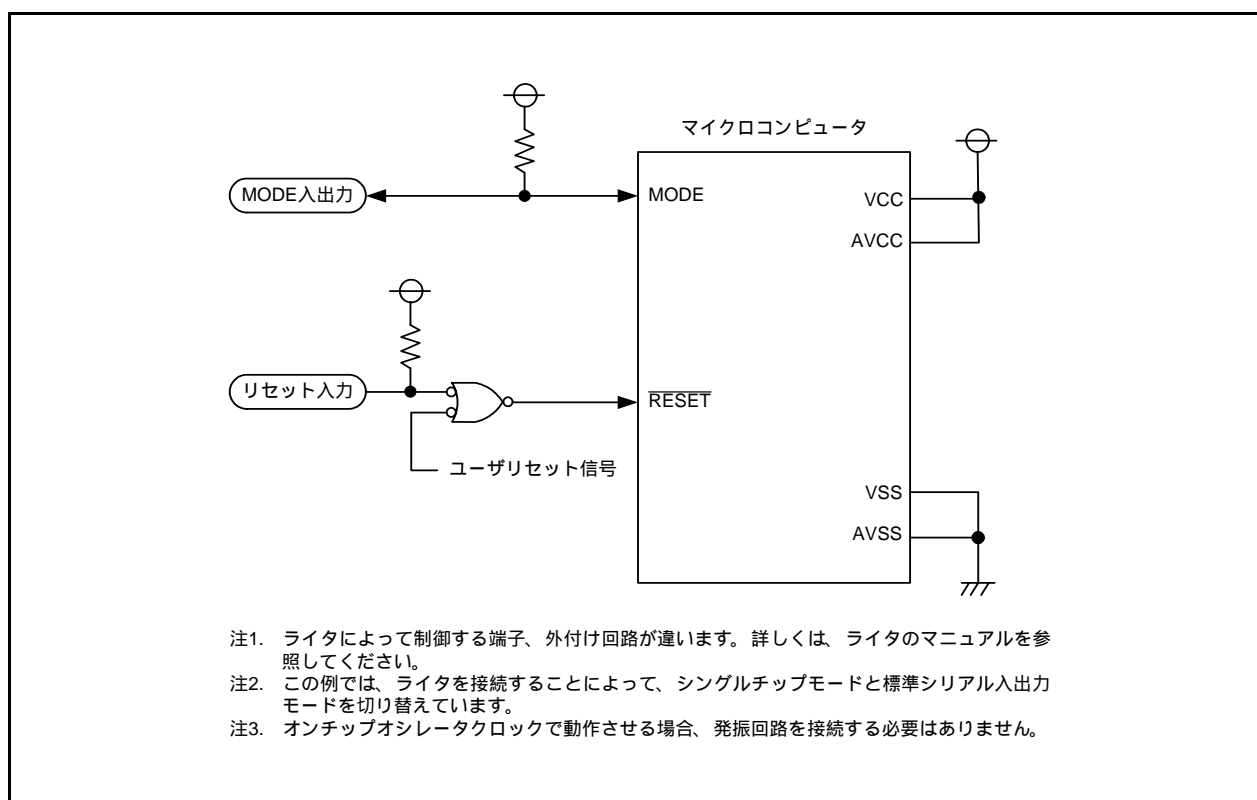


図 32.18 標準シリアル入出力モード2を使用する場合の端子処理例

表 32.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

| 端子名 | 名称 | 入出力 | 機能 |
|--------------------------------------|---------------|-----|--|
| VCC、VSS | 電源入力 | | Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。 |
| RESET | リセット入力 | 入力 | リセット入力端子です。 |
| P4_6/XIN | P4_6入力/クロック入力 | 入力 | 外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。 |
| P4_7/XOUT | P4_7入力/クロック出力 | 入出力 | 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。 |
| P4_3/XCIN | P4_3入力/クロック入力 | 入力 | 外付けの発振子を接続する場合、XCIN端子とXCOUT端子の間には水晶発振子を接続してください。 |
| P4_4/XCOUT | P4_4入力/クロック出力 | 入出力 | 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。 |
| P0_0 ~ P0_7 | 入力ポートP0 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| P1_0 ~ P1_7 | 入力ポートP1 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| P2_0 ~ P2_7 | 入力ポートP2 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| P3_0 ~ P3_1、 P3_3 ~ P3_5、 P3_7 | 入力ポートP3 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| P4_2/VREF、 P4_5 | 入力ポートP4 | 入力 | “H”を入力、“L”を入力、または開放してください。 |
| MODE | MODE | 入出力 | シリアルデータの入出力端子です。フラッシュライタに接続してください。 |



32.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 32.1 に示すユーザROM領域の書き換えができます。

32.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「32.3.2 ROMコードプロテクト機能」参照)。

32.7 フラッシュメモリ使用上の注意

32.7.1 CPU書き換えモード

32.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

32.7.1.2 割り込み

表32.9～表32.11にCPU書き換えモード時の割り込みを示します。

表32.9 CPU書き換えモード時の割り込み(1)

| モード | イレーズ/ ライト対象 | 状態 | マスカブル割り込み |
|-----|----------------|--------------------------------|--|
| EW0 | データ フラッシュ | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1” (割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1” (イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0” (割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0” (イレーズリスタート)にすることで、自動消去を再開することができます。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。 |
| | | 自動書き込み中 | |
| | プログラム ROM | 自動消去中 (サスペンド有効) | ベクタをRAMに配置することで使用できます。 |
| | | 自動消去中 (サスペンド無効) | |
| | | 自動書き込み中 | |
| EW1 | データ フラッシュ | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”にすることで、自動消去を再開することができます。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。 |
| | | 自動書き込み中 | |
| | プログラム ROM | 自動消去中 (サスペンド有効) | td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みが優先され、割り込み要求が待たされず。自動消去、自動書き込みが終了した後、割り込み処理を実行します。 |
| | | 自動書き込み中 | |

FMR21、FMR22 : FMR2レジスタのビット

表32.10 CPU書き換えモード時の割り込み(2)

| モード | イレーズ/ ライト対象 | 状態 | <ul style="list-style-type: none"> ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 (注1) | <ul style="list-style-type: none"> ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1) |
|-----|----------------|---|--|---|
| EW0 | データ フラッシュ | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。 | 割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”にすることで、自動消去を再開することができます。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。 | |
| | | 自動書き込み中 | | |
| | プログラム ROM | 自動消去中 (サスペンド有効) 自動消去中 (サスペンド無効) 自動書き込み中 | 割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。 | 自動消去、自動書き込み中は使用しないでください。 |

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

表32.11 CPU書き換えモード時の割り込み(3)

| モード | イレーズ/ ライト対象 | 状態 | <ul style="list-style-type: none"> ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 (注1) | <ul style="list-style-type: none"> ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1) |
|--------------|----------------|--------------------------------|--|--|
| EW1 | データ フラッシュ | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。 | 割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。 | |
| | | 自動書き込み中 | | |
| プログラム ROM | | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。 | 自動消去、自動書き込み中は使用できません。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | | |
| | | 自動書き込み中 | | |

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

32.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

32.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

32.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

32.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

32.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V ~ 5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

32.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

32.7.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「33. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

33. 消費電力の低減

33.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

33.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

33.2.1 電圧検出回路

電圧監視1およびコンパレータA1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2およびコンパレータA2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

33.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

33.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にしてください。

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビットを“0”にしてください。

33.2.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「9.7 パワーコントロール」を参照してください。

33.2.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロックf1、f2、f4、f8、f32が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

33.2.6 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

タイマRDを使用しない場合、TRDCR_i(*i*=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)、MSTCRレジスタのMSTTRDビットを“1”(スタンバイ)にしてください。

33.2.7 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

33.2.8 クロック同期形シリアルインタフェース

SSUおよびI²Cバスを使用しない場合、MSTCRレジスタのMSTIICビットを“1”(スタンバイ)にしてください。

33.2.9 VCA20ビットによる内部電源低消費操作

VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。VCA20ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

VCA20ビットによる内部電源低消費操作設定手順は、CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合と、WAIT命令を実行してウェイトモードにする場合とで異なります。図33.1にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順を、図33.2にWAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作手順を示します。

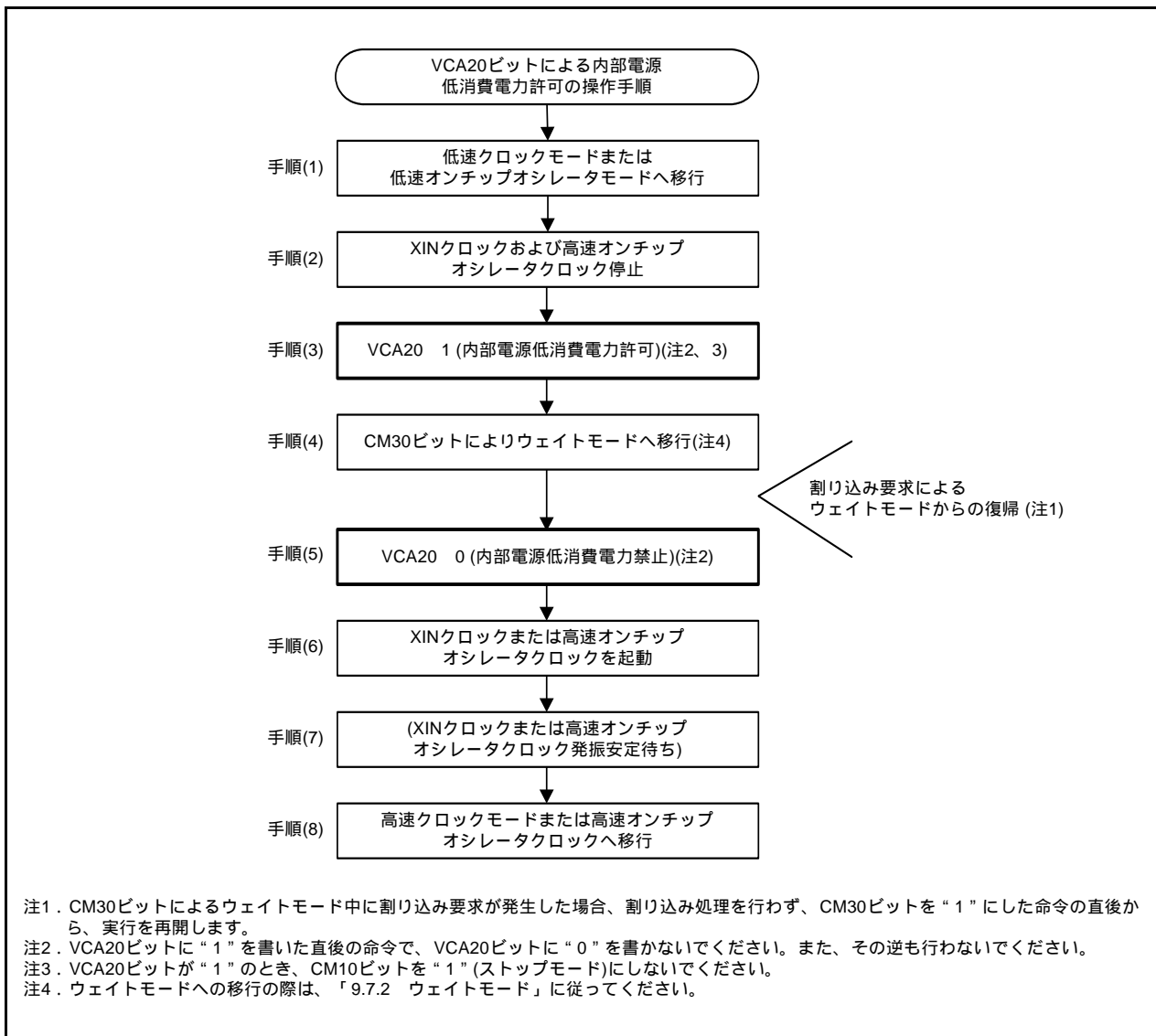


図 33.1 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定手順

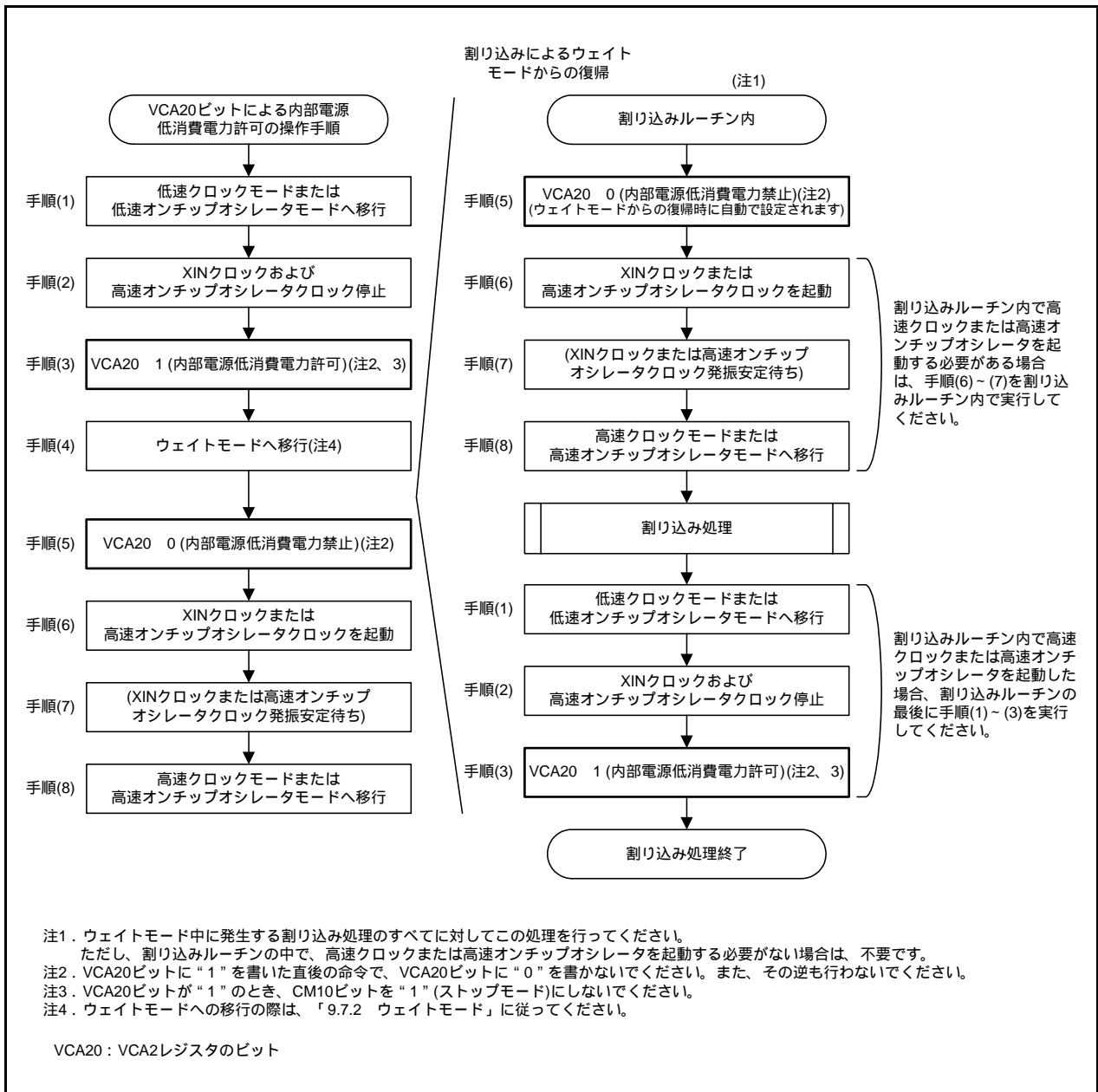


図 33.2 WAIT 命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作手順

33.2.10 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図 33.3にFMSTPビットによる低消費電力操作手順例を示します。

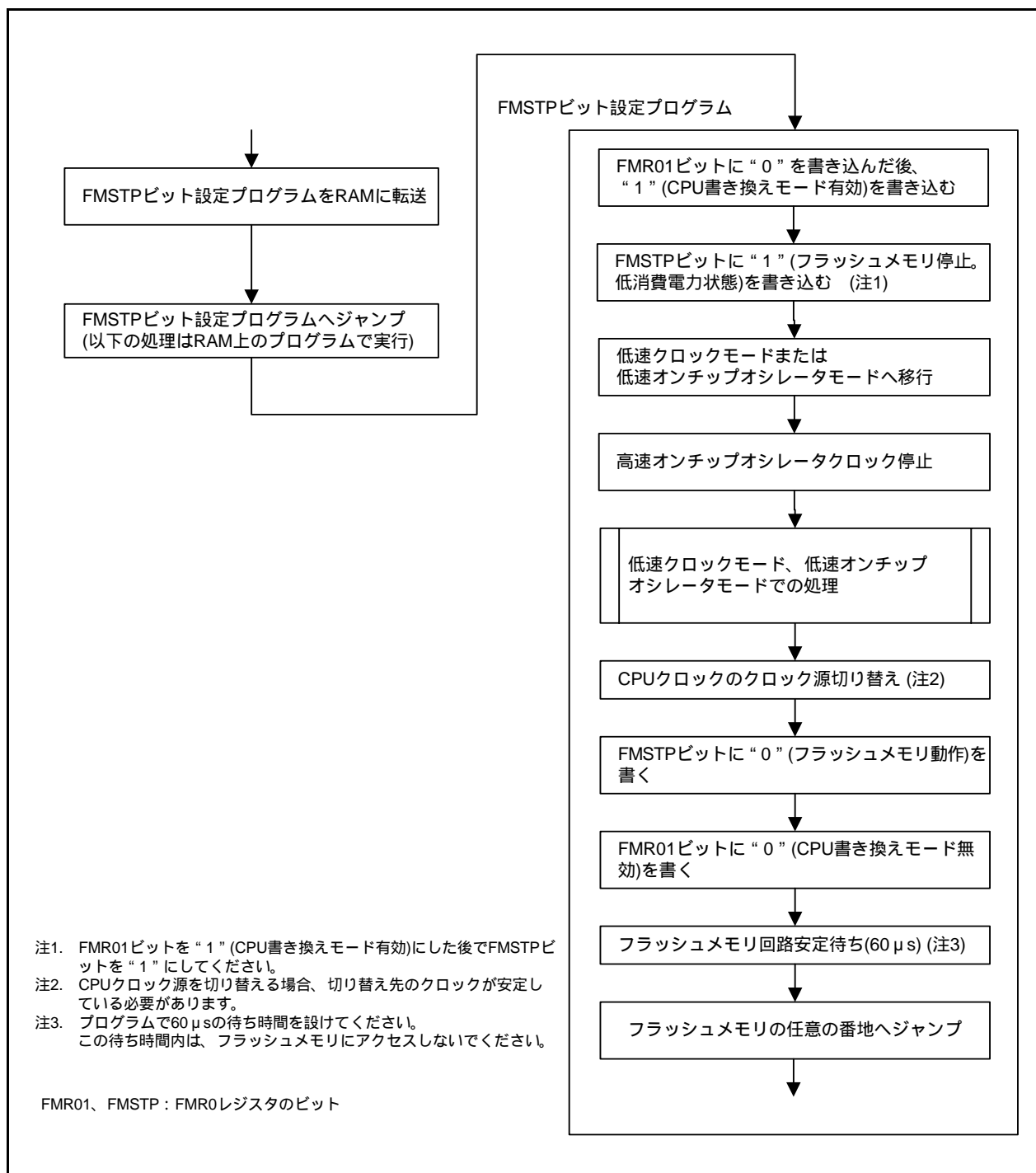


図 33.3 FMSTPビットによる低消費電力操作手順例

33.2.11 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

図 33.4に低消費電流リードモードの操作手順例を示します。

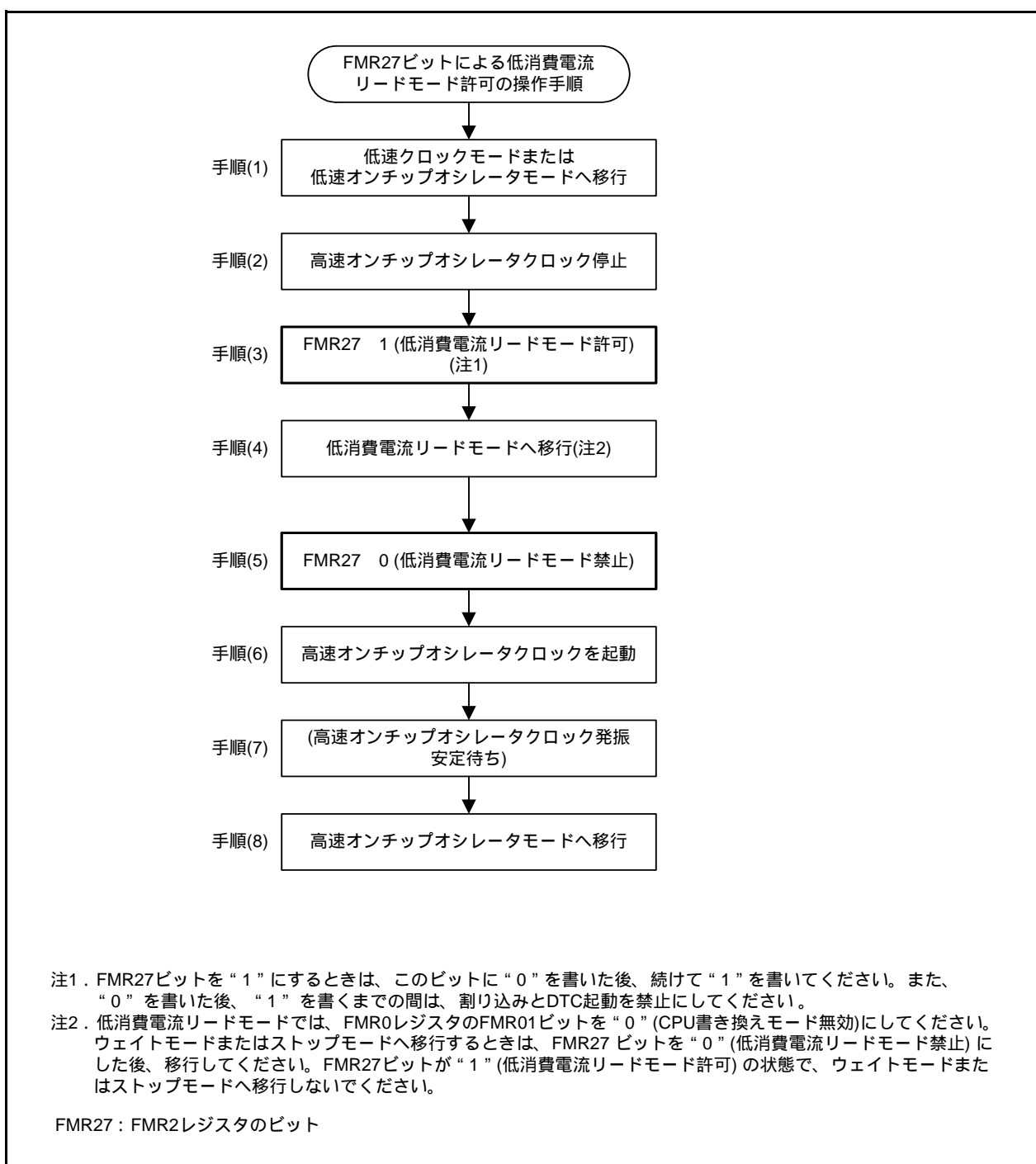


図 33.4 低消費電流リードモードの操作手順例

34. 電気的特性

表34.1 絶対最大定格

| 記号 | 項目 | 測定条件 | 定格値 | 単位 |
|-----------------------------------|--------|-----------------------------|---|----|
| V _{CC} /AV _{CC} | 電源電圧 | | - 0.3 ~ 6.5 | V |
| V _I | 入力電圧 | | - 0.3 ~ V _{CC} + 0.3 | V |
| V _O | 出力電圧 | | - 0.3 ~ V _{CC} + 0.3 | V |
| P _d | 消費電力 | - 40 T _{opr} 85 | 500 | mW |
| T _{opr} | 動作周囲温度 | | - 20 ~ 85(Nバージョン)/ - 40 ~ 85(Dバージョン) | |
| T _{stg} | 保存温度 | | - 65 ~ 150 | |

表34.2 推奨動作条件

| 記号 | 項目 | | 測定条件 | 規格値 | | | 単位 | | |
|-----------------------------------|-------------------------|-------------------------------|----------------------|-------------------------------|-----------------------------|---------------------|---------------------|-----------------|---|
| | | | | 最小 | 標準 | 最大 | | | |
| V _{CC} /AV _{CC} | 電源電圧 | | | 1.8 | | 5.5 | V | | |
| V _{SS} /AV _{SS} | 電源電圧 | | | | 0 | | V | | |
| V _{IH} | “H”入力電圧 | CMOS入力以外 | | | 0.8V _{CC} | | V _{CC} | V | |
| | | CMOS入力 | 入力レベル切り替え機能 (I/Oポート) | 入力レベル選択 : 0.35V _{CC} | 4.0V V _{CC} 5.5V | 0.5V _{CC} | | V _{CC} | V |
| | | | | | 2.7V V _{CC} < 4.0V | 0.55V _{CC} | | V _{CC} | V |
| | | | | | 1.8V V _{CC} < 2.7V | 0.65V _{CC} | | V _{CC} | V |
| | | | | 入力レベル選択 : 0.5V _{CC} | 4.0V V _{CC} 5.5V | 0.65V _{CC} | | V _{CC} | V |
| | | | | | 2.7V V _{CC} < 4.0V | 0.7V _{CC} | | V _{CC} | V |
| | | | | | 1.8V V _{CC} < 2.7V | 0.8V _{CC} | | V _{CC} | V |
| | | | | 入力レベル選択 : 0.7V _{CC} | 4.0V V _{CC} 5.5V | 0.85V _{CC} | | V _{CC} | V |
| | | | | | 2.7V V _{CC} < 4.0V | 0.85V _{CC} | | V _{CC} | V |
| | | | | | 1.8V V _{CC} < 2.7V | 0.85V _{CC} | | V _{CC} | V |
| 外部クロック入力 (XOUT) | | | 1.2 | | V _{CC} | V | | | |
| V _{IL} | “L”入力電圧 | CMOS入力以外 | | | 0 | 0.2V _{CC} | V | | |
| | | CMOS入力 | 入力レベル切り替え機能 (I/Oポート) | 入力レベル選択 : 0.35V _{CC} | 4.0V V _{CC} 5.5V | 0 | 0.2V _{CC} | V | |
| | | | | | 2.7V V _{CC} < 4.0V | 0 | 0.2V _{CC} | V | |
| | | | | | 1.8V V _{CC} < 2.7V | 0 | 0.2V _{CC} | V | |
| | | | | 入力レベル選択 : 0.5V _{CC} | 4.0V V _{CC} 5.5V | 0 | 0.4V _{CC} | V | |
| | | | | | 2.7V V _{CC} < 4.0V | 0 | 0.3V _{CC} | V | |
| | | | | | 1.8V V _{CC} < 2.7V | 0 | 0.2V _{CC} | V | |
| | | | | 入力レベル選択 : 0.7V _{CC} | 4.0V V _{CC} 5.5V | 0 | 0.55V _{CC} | V | |
| | | | | | 2.7V V _{CC} < 4.0V | 0 | 0.45V _{CC} | V | |
| | | | | | 1.8V V _{CC} < 2.7V | 0 | 0.35V _{CC} | V | |
| 外部クロック入力 (XOUT) | | | 0 | | 0.4 | V | | | |
| I _{OH(sum)} | “H”尖頭総出力電流 | 全端子のI _{OH(peak)} の総和 | | | | - 160 | mA | | |
| I _{OH(sum)} | “H”平均総出力電流 | 全端子のI _{OH(avg)} の総和 | | | | - 80 | mA | | |
| I _{OH(peak)} | “H”尖頭出力電流 | 駆動能力Low時 | | | | - 10 | mA | | |
| | | 駆動能力High時 | | | | - 40 | mA | | |
| I _{OH(avg)} | “H”平均出力電流 | 駆動能力Low時 | | | | - 5 | mA | | |
| | | 駆動能力High時 | | | | - 20 | mA | | |
| I _{OL(sum)} | “L”尖頭総出力電流 | 全端子のI _{OL(peak)} の総和 | | | | 160 | mA | | |
| I _{OL(sum)} | “L”平均総出力電流 | 全端子のI _{OL(avg)} の総和 | | | | 80 | mA | | |
| I _{OL(peak)} | “L”尖頭出力電流 | 駆動能力Low時 | | | | 10 | mA | | |
| | | 駆動能力High時 | | | | 40 | mA | | |
| I _{OL(avg)} | “L”平均出力電流 | 駆動能力Low時 | | | | 5 | mA | | |
| | | 駆動能力High時 | | | | 20 | mA | | |
| f(XIN) | XINクロック入力発振周波数 | 2.7V V _{CC} 5.5V | | | | 20 | MHz | | |
| | | 1.8V V _{CC} < 2.7V | | | | 5 | MHz | | |
| f(XCIN) | XCINクロック入力発振周波数 | 1.8V V _{CC} 5.5V | — | 32.768 | | 50 | kHz | | |
| f(OCO40M) | タイマRC、タイマRDのカウントソース(注3) | 2.7V V _{CC} 5.5V | 32 | | | 40 | MHz | | |
| f(OCO-F) | f(OCO-F)周波数 | 2.7V V _{CC} 5.5V | | | | 20 | MHz | | |
| | | 1.8V V _{CC} < 2.7V | | | | 5 | MHz | | |
| | システムクロック周波数 | 2.7V V _{CC} 5.5V | | | | 20 | MHz | | |
| | | 1.8V V _{CC} < 2.7V | | | | 5 | MHz | | |
| f(BCLK) | CPUクロック周波数 | 2.7V V _{CC} 5.5V | | | | 20 | MHz | | |
| | | 1.8V V _{CC} < 2.7V | | | | 5 | MHz | | |

注1. 指定のない場合は、V_{CC} = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. f(OCO40M)はV_{CC} = 2.7V ~ 5.5Vの範囲で、タイマRC、タイマRDのカウントソースとして使用することができます。

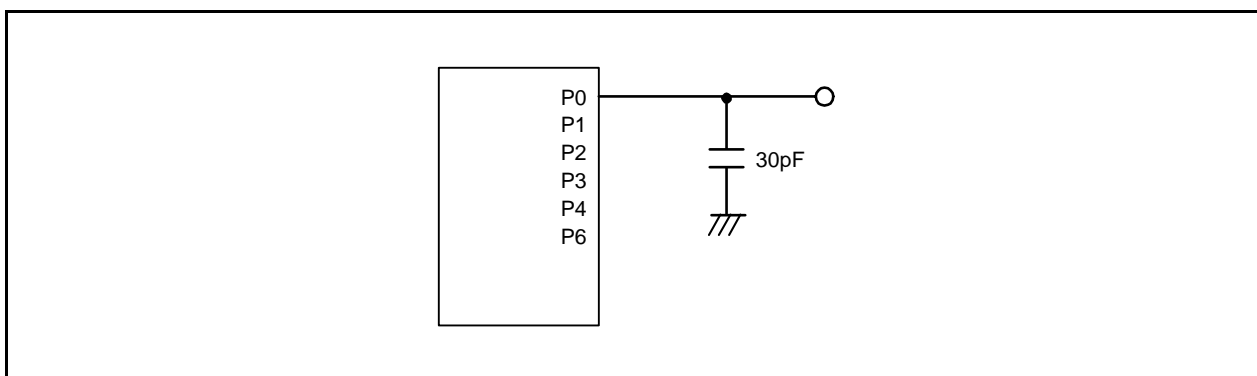


図34.1 ポートP0～P4、P6のタイミング測定回路

表34.3 A/Dコンバータ特性

| 記号 | 項目 | | 測定条件 | 規格値 | | | 単位 |
|--------|--------------|----------|---|------|------|------|-----|
| | | | | 最小 | 標準 | 最大 | |
| | 分解能 | | Vref = AVcc | | | 10 | Bit |
| | 絶対精度 | 10ビットモード | Vref = AVcc = 5.0V AN0 ~ AN7入力 AN8 ~ AN11入力 | | | ± 3 | LSB |
| | | | Vref = AVcc = 3.3V AN0 ~ AN7入力 AN8 ~ AN11入力 | | | ± 5 | LSB |
| | | | Vref = AVcc = 3.0V AN0 ~ AN7入力 AN8 ~ AN11入力 | | | ± 5 | LSB |
| | | | Vref = AVcc = 2.2V AN0 ~ AN7入力 AN8 ~ AN11入力 | | | ± 5 | LSB |
| | | 8ビットモード | Vref = AVcc = 5.0V AN0 ~ AN7入力 AN8 ~ AN11入力 | | | ± 2 | LSB |
| | | | Vref = AVcc = 3.3V AN0 ~ AN7入力 AN8 ~ AN11入力 | | | ± 2 | LSB |
| | | | Vref = AVcc = 3.0V AN0 ~ AN7入力 AN8 ~ AN11入力 | | | ± 2 | LSB |
| | | | Vref = AVcc = 2.2V AN0 ~ AN7入力 AN8 ~ AN11入力 | | | ± 2 | LSB |
| AD | A/D変換クロック | | 4.0V Vref = AVcc 5.5V (注2) | 2 | | 20 | MHz |
| | | | 3.2V Vref = AVcc 5.5V (注2) | 2 | | 16 | MHz |
| | | | 2.7V Vref = AVcc 5.5V (注2) | 2 | | 10 | MHz |
| | | | 2.2V Vref = AVcc 5.5V (注2) | 2 | | 5 | MHz |
| | 許容信号源インピーダンス | | | | 3 | | k |
| tCONV | 変換時間 | 10ビットモード | Vref = AVcc = 5.0V、 AD = 20MHz | 2.2 | | | μs |
| | | 8ビットモード | Vref = AVcc = 5.0V、 AD = 20MHz | 2.2 | | | μs |
| tSAMP | サンプリング時間 | | AD = 20MHz | 0.8 | | | μs |
| Ivref | Vref電流 | | Vcc=5V、 XIN = f1 = AD = 20MHz | | 45 | | μA |
| Vref | 基準電圧 | | | 2.2 | | AVcc | V |
| VIA | アナログ入力電圧(注3) | | | 0 | | Vref | V |
| OCVREF | チップ内蔵基準電圧 | | 2MHz AD 4MHz | 1.19 | 1.34 | 1.49 | V |

注1. 指定のない場合は、Vcc/AVcc = Vref = 2.2V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. ウェイトモード時、ストップモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表34.4 D/Aコンバータ特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|------------|----------|------|-----|----|-----|---------|
| | | | 最小 | 標準 | 最大 | |
| | 分解能 | | | | 8 | Bit |
| | 絶対精度 | | | | 2.5 | LSB |
| t_{su} | 設定時間 | | | | 3 | μs |
| R_O | 出力抵抗 | | | 6 | | k |
| I_{Vref} | 基準電源入力電流 | (注2) | | | 1.5 | mA |

注1. 指定のない場合は、 $V_{CC}/AV_{CC} = V_{ref} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのDAi(i = 0 ~ 1)レジスタの値が“00h”の場合です。

A/Dコンバータのラダー抵抗分は除きます。

表34.5 コンパレータAの電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------------------|------------------|--------------------------------|------|-----|----------------|---------|
| | | | 最小 | 標準 | 最大 | |
| LVREF | 外部基準電圧入力範囲 | | 0 | | V_{CC} | V |
| LVCMP1、 LVCMP2 | 外部比較電圧入力範囲 | | -0.3 | | $V_{CC} + 0.3$ | V |
| — | オフセット | | | 50 | 200 | mV |
| — | コンパレータ出力遅延時間(注2) | 立ち下がり時 $V_i = V_{ref} - 100mV$ | | 3 | | μs |
| | | 立ち下がり時 $V_i = V_{ref} - 1V$ 以下 | | 1.5 | | μs |
| | | 立ち上がり時 $V_i = V_{ref} + 100mV$ | | 2 | | μs |
| | | 立ち上がり時 $V_i = V_{ref} + 1V$ 以上 | | 0.5 | | μs |
| — | コンパレータ動作電流 | $V_{CC} = 5.0V$ | | 0.5 | | μA |

注1. 指定のない場合は、 $V_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. デジタルフィルタ無効時。

表34.6 コンパレータBの電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-----------|---------------------|---------------------------|------|------|----------------|---------|
| | | | 最小 | 標準 | 最大 | |
| V_{ref} | IVREF1、IVREF3入力基準電圧 | | 0 | | $V_{CC} - 1.4$ | V |
| V_i | IVCMP1、IVCMP3入力電圧 | | -0.3 | | $V_{CC} + 0.3$ | V |
| | オフセット | | | 5 | 100 | mV |
| t_d | コンパレータ出力遅延時間(注2) | $V_i = V_{ref} \pm 100mV$ | | 0.1 | | μs |
| ICMP | コンパレータ動作電流 | $V_{CC} = 5.0V$ | | 17.5 | | μA |

注1. 指定のない場合は、 $V_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. デジタルフィルタ無効時。

表34.7 フラッシュメモリ(プログラムROM)の電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------------------------------|-----------------------------|-----------|-----------|-----|-----------------------|----|
| | | | 最小 | 標準 | 最大 | |
| | プログラム、イレーズ回数(注2) | | 1,000(注3) | | | 回 |
| | バイトプログラム時間 | | | 80 | 500 | μs |
| | ブロックイレーズ時間 | | | 0.3 | — | s |
| t _d (SR-SUS) | サスペンドへの遷移時間 | | | | 5+CPUクロック × 3サイクル | ms |
| | イレーズ開始または再開から次のサスペンド要求までの間隔 | | 0 | | | μs |
| | サスペンドからイレーズの再開までの時間 | | | | 30+CPUクロック × 1サイクル | μs |
| t _d (CMDRST-READY) | コマンド強制停止実行から読み出し可能になるまでの時間 | | | | 30+CPUクロック × 1サイクル | μs |
| | 書き込み、消去電圧 | | 2.7 | | 5.5 | V |
| | 読み出し電圧 | | 1.8 | | 5.5 | V |
| | 書き込み、消去時の温度 | | 0 | | 60 | |
| | データ保持時間(注7) | 周囲温度 = 55 | 20 | | | 年 |

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサス エレクトロニクス、ルネサス エレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表34.8 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|------------------|---------------------------------------|-----------|------------|-----|-----------------------|----|
| | | | 最小 | 標準 | 最大 | |
| | プログラム、イレーズ回数(注2) | | 10,000(注3) | | | 回 |
| | バイトプログラム時間 (プログラム/イレーズ回数 1,000回) | | | 160 | 1500 | μs |
| | バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回) | | | 300 | 1500 | μs |
| | ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回) | | | 0.2 | 1 | s |
| | ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回) | | | 0.3 | 1 | s |
| td(SR-SUS) | サスペンドへの遷移時間 | | | | 5+CPUクロック × 3サイクル | ms |
| | イレーズ開始または再開から次のサスペンド要求までの間隔 | | 0 | | | μs |
| | サスペンドからイレーズの再開までの時間 | | | | 30+CPUクロック × 1サイクル | μs |
| td(CMDRST-READY) | コマンド強制停止実行から読み出し可能になるまでの時間 | | | | 30+CPUクロック × 1サイクル | μs |
| | 書き込み、消去電圧 | | 2.7 | | 5.5 | V |
| | 読み出し電圧 | | 1.8 | | 5.5 | V |
| | 書き込み、消去時の温度 | | - 20(注7) | | 85 | |
| | データ保持時間(注8) | 周囲温度 = 55 | 20 | | | 年 |

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサス エレクトロニクス、ルネサス エレクトロニクス販売または特約店にお問い合わせください。

注7. Dバージョンは - 40。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

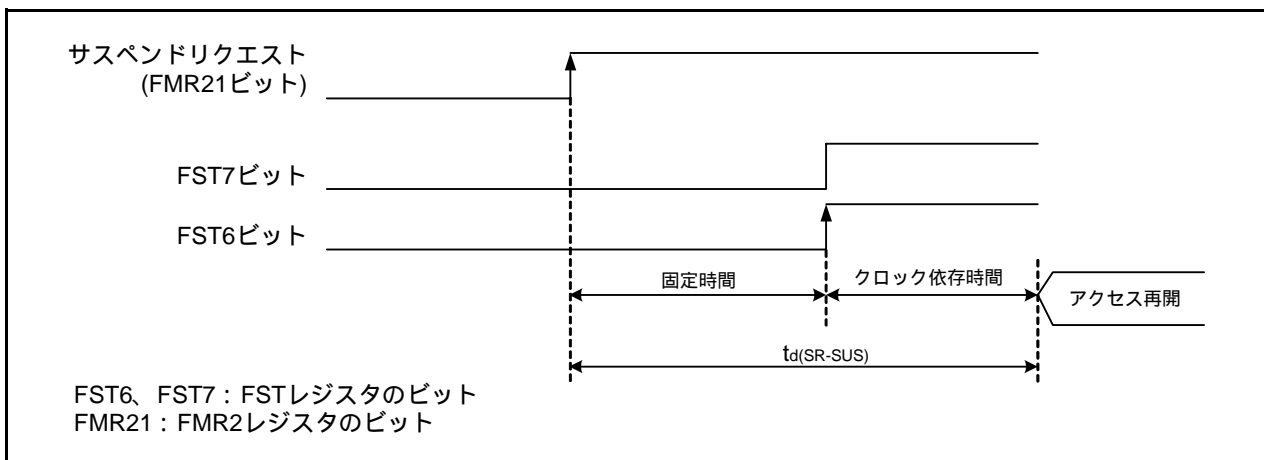


図34.2 サスペンドへの遷移時間

表34.9 電圧検出0回路の電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|------------------------|-------------------------------------|------|------|------|----|
| | | | 最小 | 標準 | 最大 | |
| Vdet0 | 電圧検出レベルVdet0_0 (注2) | | 1.80 | 1.90 | 2.05 | V |
| | 電圧検出レベルVdet0_1 (注2) | | 2.15 | 2.35 | 2.50 | V |
| | 電圧検出レベルVdet0_2 (注2) | | 2.70 | 2.85 | 3.05 | V |
| | 電圧検出レベルVdet0_3 (注2) | | 3.55 | 3.80 | 4.05 | V |
| | 電圧検出0回路反応時間 (注4) | Vcc = 5V (Vdet0_0 - 0.1)V に下げたとき | | 6 | 150 | μs |
| | 電圧検出回路の自己消費電流 | VCA25 = 1、Vcc = 5.0V | | 1.5 | | μA |
| td(E-A) | 電圧検出回路動作開始までの待ち時間 (注3) | | | | 100 | μs |

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表34.10 電圧検出1回路の電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|---------------------------|-------------------------------------|------|------|------|----|
| | | | 最小 | 標準 | 最大 | |
| Vdet1 | 電圧検出レベルVdet1_0 (注2) | Vcc立ち下がり時 | 2.00 | 2.20 | 2.40 | V |
| | 電圧検出レベルVdet1_1 (注2) | Vcc立ち下がり時 | 2.15 | 2.35 | 2.55 | V |
| | 電圧検出レベルVdet1_2 (注2) | Vcc立ち下がり時 | 2.30 | 2.50 | 2.70 | V |
| | 電圧検出レベルVdet1_3 (注2) | Vcc立ち下がり時 | 2.45 | 2.65 | 2.85 | V |
| | 電圧検出レベルVdet1_4 (注2) | Vcc立ち下がり時 | 2.60 | 2.80 | 3.00 | V |
| | 電圧検出レベルVdet1_5 (注2) | Vcc立ち下がり時 | 2.75 | 2.95 | 3.15 | V |
| | 電圧検出レベルVdet1_6 (注2) | Vcc立ち下がり時 | 2.85 | 3.10 | 3.40 | V |
| | 電圧検出レベルVdet1_7 (注2) | Vcc立ち下がり時 | 3.00 | 3.25 | 3.55 | V |
| | 電圧検出レベルVdet1_8 (注2) | Vcc立ち下がり時 | 3.15 | 3.40 | 3.70 | V |
| | 電圧検出レベルVdet1_9 (注2) | Vcc立ち下がり時 | 3.30 | 3.55 | 3.85 | V |
| | 電圧検出レベルVdet1_A (注2) | Vcc立ち下がり時 | 3.45 | 3.70 | 4.00 | V |
| | 電圧検出レベルVdet1_B (注2) | Vcc立ち下がり時 | 3.60 | 3.85 | 4.15 | V |
| | 電圧検出レベルVdet1_C (注2) | Vcc立ち下がり時 | 3.75 | 4.00 | 4.30 | V |
| | 電圧検出レベルVdet1_D (注2) | Vcc立ち下がり時 | 3.90 | 4.15 | 4.45 | V |
| | 電圧検出レベルVdet1_E (注2) | Vcc立ち下がり時 | 4.05 | 4.30 | 4.60 | V |
| | 電圧検出レベルVdet1_F (注2) | Vcc立ち下がり時 | 4.20 | 4.45 | 4.75 | V |
| | 電圧検出1回路のVcc立ち上がり時のヒステリシス幅 | Vdet1_0 ~ Vdet1_5 選択時 | | 0.07 | | V |
| | | Vdet1_6 ~ Vdet1_F 選択時 | | 0.10 | | V |
| | 電圧検出1回路反応時間 (注3) | Vcc = 5V (Vdet1_0 - 0.1)V に下げたとき | | 60 | 150 | μs |
| | 電圧検出回路の自己消費電流 | VCA26 = 1、Vcc = 5.0V | | 1.7 | | μA |
| td(E-A) | 電圧検出回路動作開始までの待ち時間 (注4) | | | | 100 | μs |

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表34.11 電圧検出2回路の電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|---------------------------|---------------------------------|------|------|------|----|
| | | | 最小 | 標準 | 最大 | |
| Vdet2 | 電圧検出レベルVdet2_0 (注2) | Vcc立ち下がり時 | 3.70 | 4.00 | 4.30 | V |
| | 電圧検出レベルVdet2_EXT (注2) | LVCMP2立ち下がり時 | 1.20 | 1.34 | 1.48 | V |
| | 電圧検出2回路のVcc立ち上がり時のヒステリシス幅 | | | 0.10 | | V |
| | 電圧検出2回路反応時間 (注3) | Vcc = 5V (Vdet2_0 - 0.1)Vに下げたとき | | 20 | 150 | μs |
| | 電圧検出回路の自己消費電流 | VCA27 = 1、Vcc = 5.0V | | 1.7 | | μA |
| td(E-A) | 電圧検出回路動作開始までの待ち時間 (注4) | | | | 100 | μs |

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルは検出対象で異なります。VCA2レジスタのVCA24ビットで選択してください。

注3. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表34.12 パワーオンリセット回路(注2)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|------|-----------------|------|-----|----|-------|-------|
| | | | 最小 | 標準 | 最大 | |
| trth | 外部電源Vccの立ち上がり傾き | (注1) | 0 | | 50000 | mV/ms |

注1. 指定のない場合測定条件は、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

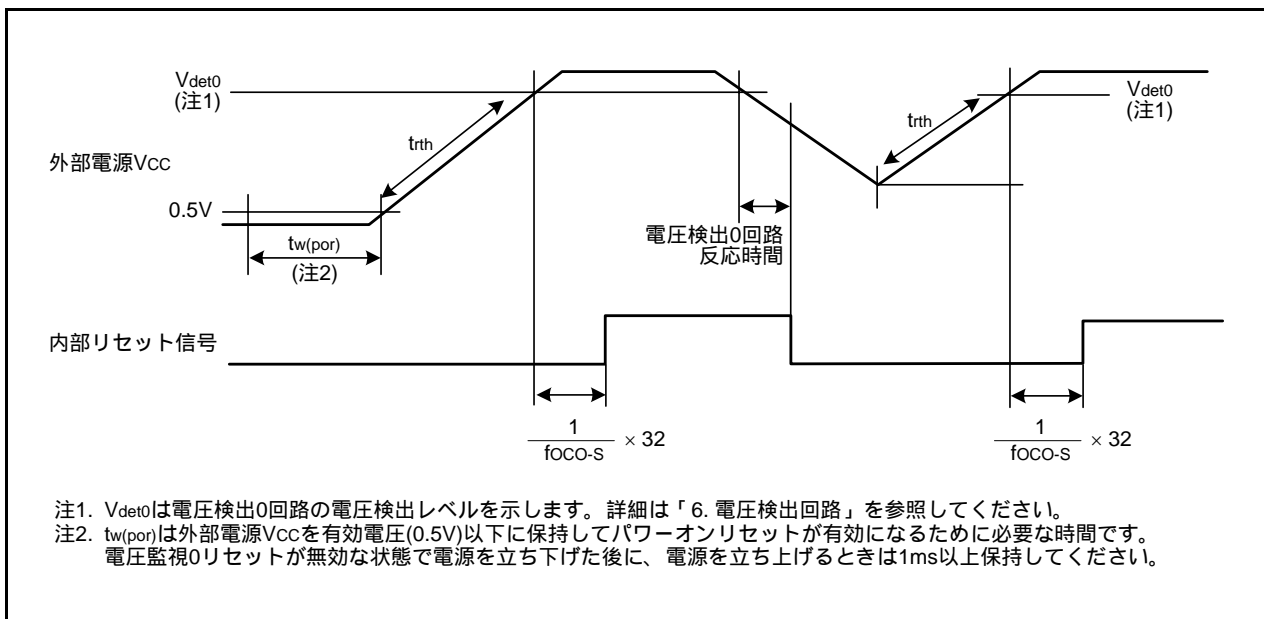


図34.3 パワーオンリセット回路の電気的特性

表34.13 高速オンチップオシレータ発振回路の電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|------------|--|----------------------------------|--------|--------|--------|-----|
| | | | 最小 | 標準 | 最大 | |
| | リセット解除時の高速オンチップオシレータ発振周波数 | Vcc = 1.8V ~ 5.5V -20 Topr 85 | 39.4 | 40 | 40.6 | MHz |
| | | Vcc = 1.8V ~ 5.5V -40 Topr 85 | 39.4 | 40 | 40.6 | MHz |
| | | Vcc = 1.8V ~ 5.5V Topr = 25 | 39.6 | 40 | 40.4 | MHz |
| | FRA4レジスタの補正値をFRA1レジスタに、かつFRA5レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2) | Vcc = 1.8V ~ 5.5V -20 Topr 85 | 36.311 | 36.864 | 37.417 | MHz |
| | | Vcc = 1.8V ~ 5.5V -40 Topr 85 | 36.311 | 36.864 | 37.417 | MHz |
| | | Vcc = 1.8V ~ 5.5V Topr = 25 | 36.495 | 36.864 | 37.233 | MHz |
| | FRA6レジスタの補正値をFRA1レジスタに、かつFRA7レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数 | Vcc = 1.8V ~ 5.5V -20 Topr 85 | 31.52 | 32 | 32.48 | MHz |
| | | Vcc = 1.8V ~ 5.5V -40 Topr 85 | 31.52 | 32 | 32.48 | MHz |
| | | Vcc = 1.8V ~ 5.5V Topr = 25 | 31.68 | 32 | 32.32 | MHz |
| 発振安定時間 | Vcc = 5.0V, Topr = 25 | | 100 | 450 | μs | |
| 発振時の自己消費電流 | Vcc = 5.0V, Topr = 25 | | 500 | | μA | |

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表34.14 低速オンチップオシレータ発振回路の電気的特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|----------|------------------------------|-----------------------|-----|-----|-----|-----|
| | | | 最小 | 標準 | 最大 | |
| fOCO-S | 低速オンチップオシレータ発振周波数 | | 60 | 125 | 250 | kHz |
| | 発振安定時間 | Vcc = 5.0V, Topr = 25 | | 30 | 100 | μs |
| | 発振時の自己消費電流 | Vcc = 5.0V, Topr = 25 | | 2 | | μA |
| fOCO-WDT | ウォッチドッグタイマ用低速オンチップオシレータ発振周波数 | | 60 | 125 | 250 | kHz |
| | 発振安定時間 | Vcc = 5.0V, Topr = 25 | | 30 | 100 | μs |
| | 発振時の自己消費電流 | Vcc = 5.0V, Topr = 25 | | 2 | | μA |

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

表34.15 電源回路のタイミング特性

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|--------------------|------|-----|----|------|----|
| | | | 最小 | 標準 | 最大 | |
| td(P-R) | 電源投入時の内部電源安定時間(注2) | | | | 2000 | μs |

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表34.16 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件(注1)

| 記号 | 項目 | | 測定条件 | 規格値 | | | 単位 |
|--------|----------------------|------|-----------------|----------|----|-------------|--------------|
| | | | | 最小 | 標準 | 最大 | |
| tSUCYC | SSCKクロックサイクル時間 | | | 4 | | | tcyc (注2) |
| tHI | SSCKクロック“H”パルス幅 | | | 0.4 | | 0.6 | tSUCYC |
| tLO | SSCKクロック“L”パルス幅 | | | 0.4 | | 0.6 | tSUCYC |
| tRISE | SSCKクロック立ち上がり時間 | マスタ | | | | 1 | tcyc (注2) |
| | | スレーブ | | | | 1 | μs |
| tFALL | SSCKクロック立ち下がり時間 | マスタ | | | | 1 | tcyc (注2) |
| | | スレーブ | | | | 1 | μs |
| tSU | SSO、SSIデータ入力セットアップ時間 | | | 100 | | | ns |
| tH | SSO、SSIデータ入力ホールド時間 | | | 1 | | | tcyc (注2) |
| tLEAD | SCSセットアップ時間 | スレーブ | | 1tcyc+50 | | | ns |
| tLAG | SCSホールド時間 | スレーブ | | 1tcyc+50 | | | ns |
| tOD | SSO、SSIデータ出力遅延時間 | | | | | 1 | tcyc (注2) |
| tSA | SSIスレーブアクセス時間 | | 2.7V Vcc 5.5V | | | 1.5tcyc+100 | ns |
| | | | 1.8V Vcc < 2.7V | | | 1.5tcyc+200 | ns |
| tOR | SSIスレーブアウト開放時間 | | 2.7V Vcc 5.5V | | | 1.5tcyc+100 | ns |
| | | | 1.8V Vcc < 2.7V | | | 1.5tcyc+200 | ns |

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1 (s)

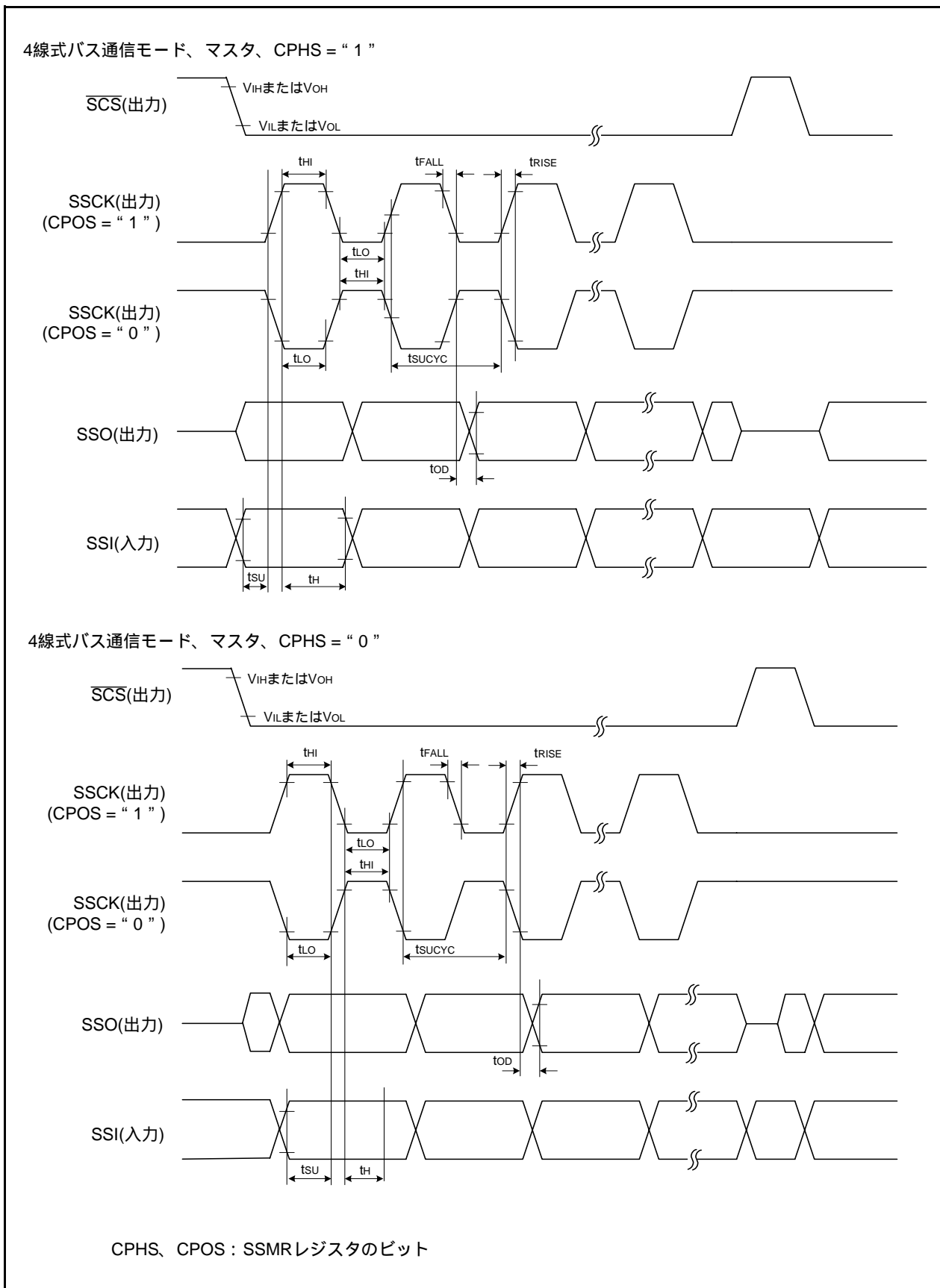


図34.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

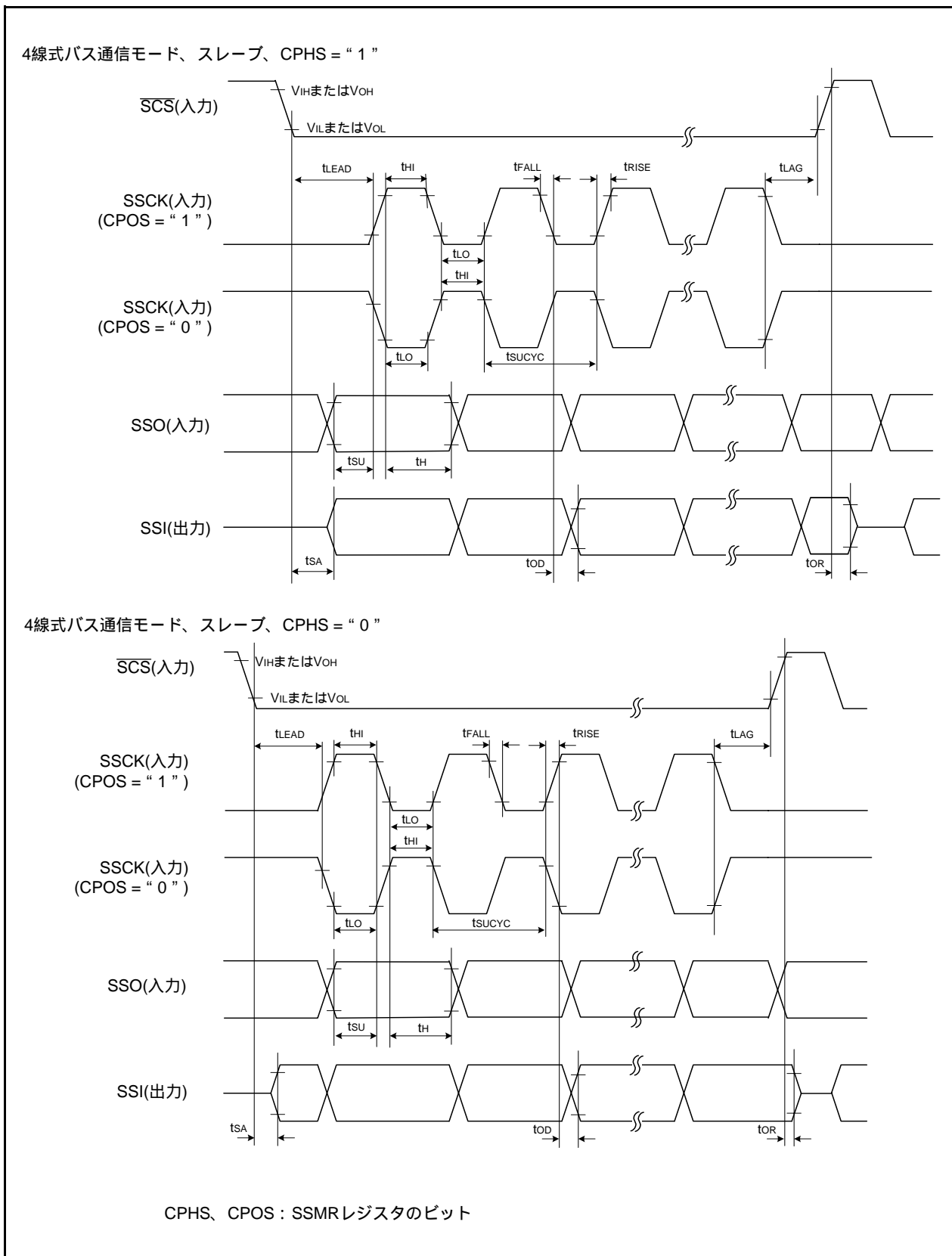


図 34.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

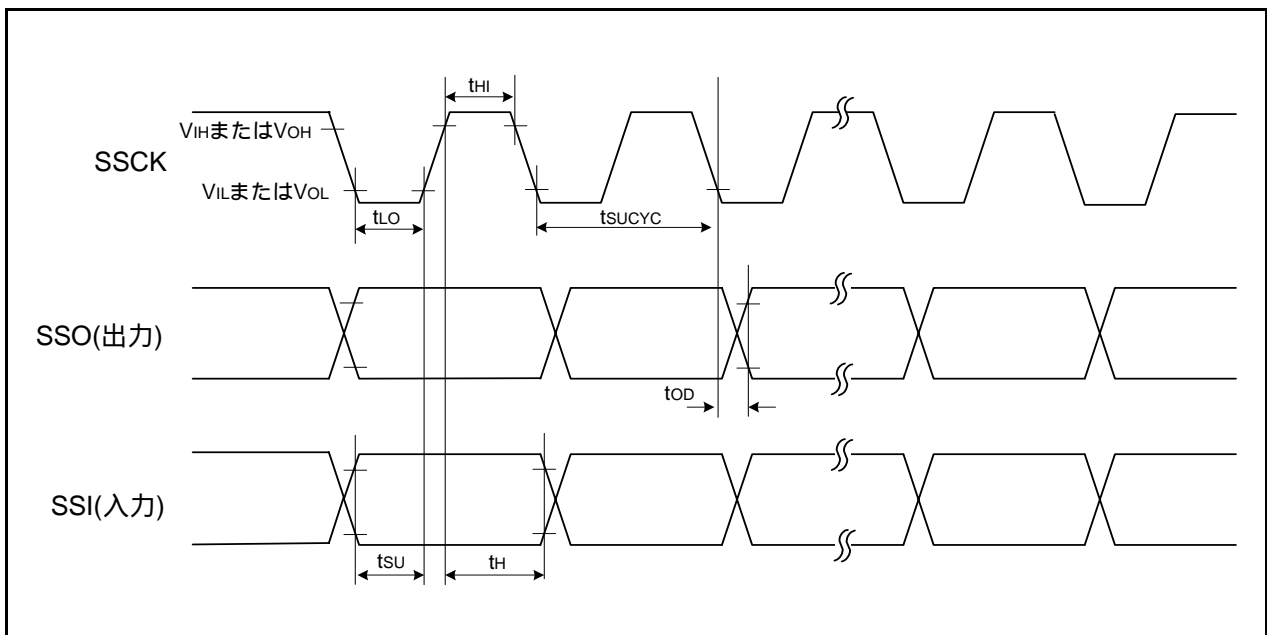


図34.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(クロック同期式通信モード)

表34.17 I²Cバスインタフェースのタイミング必要条件(注1)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------|----------------------|------|------------------|----|-----------|----|
| | | | 最小 | 標準 | 最大 | |
| tSCL | SCL入力サイクル時間 | | 12tcyc + 600(注2) | | | ns |
| tSCLH | SCL入力“H”パルス幅 | | 3tcyc + 300(注2) | | | ns |
| tSCLL | SCL入力“L”パルス幅 | | 5tcyc + 500(注2) | | | ns |
| tsf | SCL、SDA入力立ち下がり時間 | | | | 300 | ns |
| tSP | SCL、SDA入カスパイクパルス除去時間 | | | | 1tcyc(注2) | ns |
| tBUF | SDA入力バスマフリー時間 | | 5tcyc(注2) | | | ns |
| tSTAH | 開始条件入力ホールド時間 | | 3tcyc(注2) | | | ns |
| tSTAS | 再送開始条件入力セットアップ時間 | | 3tcyc(注2) | | | ns |
| tSTOP | 停止条件入力セットアップ時間 | | 3tcyc(注2) | | | ns |
| tSDAS | データ入力セットアップ時間 | | 1tcyc + 40(注2) | | | ns |
| tSDAH | データ入力ホールド時間 | | 10 | | | ns |

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン) です。

注2. 1tcyc = 1/f1 (s)

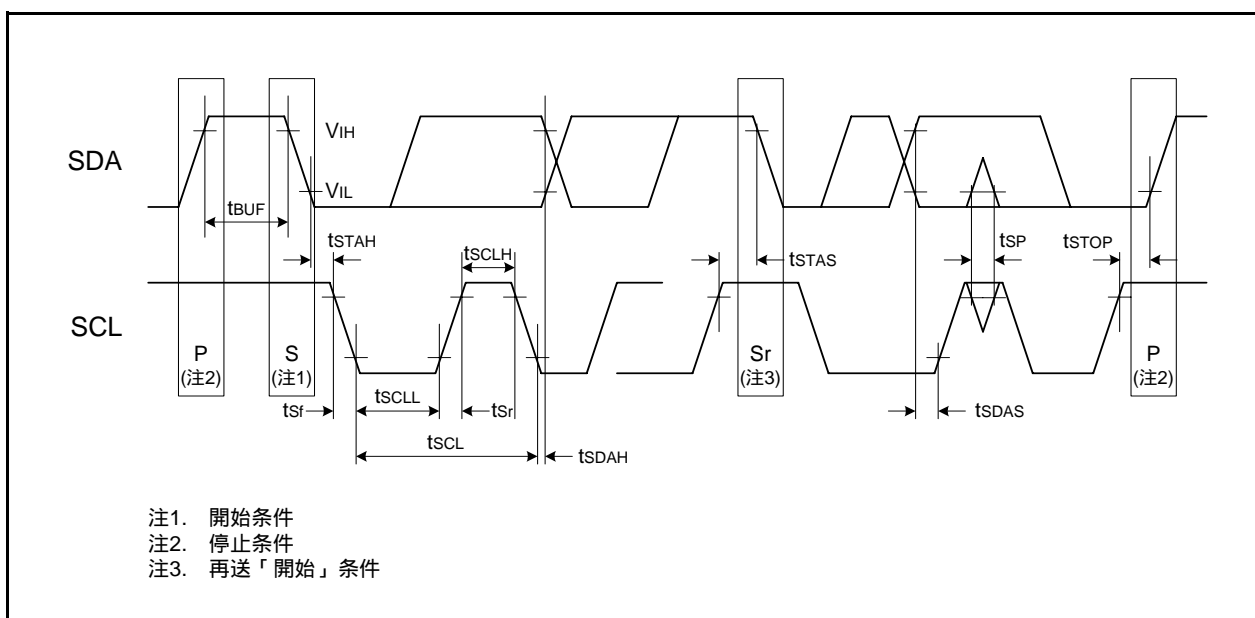
図34.7 I²Cバスインタフェースの入出力タイミング

表34.18 電気的特性(1) [4.2V Vcc 5.5V]

| 記号 | 項目 | | 測定条件 | | 規格値 | | | 単位 |
|---------|---------|--|--------------------|----------------|-----------|-----|-------|----|
| | | | | | 最小 | 標準 | 最大 | |
| VOH | “H”出力電圧 | XOUT以外 | 駆動能力High Vcc = 5V | IoH = - 20mA | Vcc - 2.0 | | Vcc | V |
| | | | 駆動能力Low Vcc = 5V | IoH = - 5mA | Vcc - 2.0 | | Vcc | V |
| | | XOUT | Vcc = 5V | IoH = - 200 μA | 1.0 | | Vcc | V |
| VOL | “L”出力電圧 | XOUT以外 | 駆動能力High Vcc = 5V | IoL = 20mA | | | 2.0 | V |
| | | | 駆動能力Low Vcc = 5V | IoL = 5mA | | | 2.0 | V |
| | | XOUT | Vcc = 5V | IoL = 200 μA | | | 0.5 | V |
| VT+-VT- | ヒステリシス | INT0、INT1、INT2、INT3、INT4、KI0、KI1、KI2、KI3、TRAIO、TRCIOA、TRCIOB、TRCIOC、TRCIOD、TRDIOA0、TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1、TRCTRG、TRCCLK、ADTRG、RXD0、RXD1、RXD2、CLK0、CLK1、CLK2、SSI、SCL、SDA、SSO | Vcc = 5V | | 0.1 | 1.2 | | V |
| | | RESET | Vcc = 5V | | 0.1 | 1.2 | | V |
| IiH | “H”入力電流 | | VI = 5V、Vcc = 5.0V | | | | 5.0 | μA |
| IiL | “L”入力電流 | | VI = 0V、Vcc = 5.0V | | | | - 5.0 | μA |
| RPULLUP | プルアップ抵抗 | | VI = 0V、Vcc = 5.0V | | 25 | 50 | 100 | k |
| RfXIN | 帰還抵抗 | XIN | | | | 0.3 | | M |
| RfXCIN | 帰還抵抗 | XCIN | | | | 8 | | M |
| VRAM | RAM保持電圧 | | ストップモード時 | | 1.8 | | | V |

注1. 指定のない場合は、4.2V Vcc 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 20MHzです。

表34.19 電気的特性(2) [3.3V Vcc 5.5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | |
|-----|---|--|--|--|-----|------|-----|
| | | | 最小 | 標準 | 最大 | | |
| Icc | 電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss | 高速クロックモード | XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし | | 6.5 | 15 | mA |
| | | | XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし | | 5.3 | 12.5 | mA |
| | | | XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし | | 3.6 | | mA |
| | | | XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 | | 3.0 | | mA |
| | | | XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 | | 2.2 | | mA |
| | | | XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 | | 1.5 | | mA |
| | | 高速オンチップオシレータモード | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし | | 7.0 | 15 | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周 | | 3.0 | | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周 MSTIIC = MSTTRD = MSTTRC = "1" | | 1 | | mA |
| | | 低速オンチップオシレータモード | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR27 = "1"、VCA20 = "0" | | 90 | 400 | μA |
| | | | 低速クロックモード | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = "1"、VCA20 = "0" | | 85 | 400 |
| | | ウェイトモード | | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1" | | 4 | 90 |
| | | | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1" | | 3.5 | | μA |
| | | | ストップモード | XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" | | 2.0 | 5.0 |
| | | XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" | | | 5.0 | | μA |

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$)

表34.20 外部クロック入力(XOUT、XCIN)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------|---------------|-----|----|---------|
| | | 最小 | 最大 | |
| $t_c(XOUT)$ | XOUT入力サイクル時間 | 50 | | ns |
| $t_{WH}(XOUT)$ | XOUT入力“H”パルス幅 | 24 | | ns |
| $t_{WL}(XOUT)$ | XOUT入力“L”パルス幅 | 24 | | ns |
| $t_c(XCIN)$ | XCIN入力サイクル時間 | 14 | | μs |
| $t_{WH}(XCIN)$ | XCIN入力“H”パルス幅 | 7 | | μs |
| $t_{WL}(XCIN)$ | XCIN入力“L”パルス幅 | 7 | | μs |

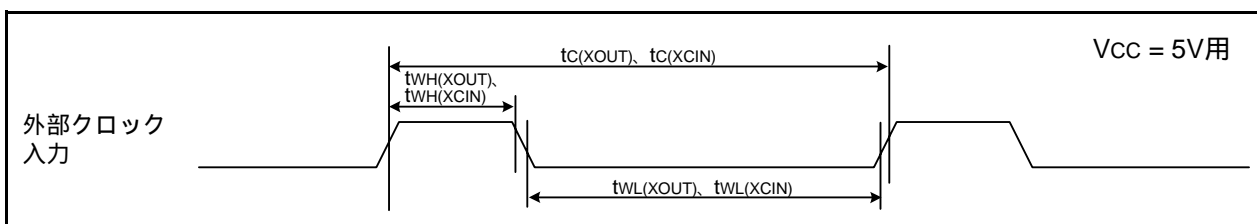


図34.8 $V_{CC} = 5V$ 時の外部クロック入力タイミング

表34.21 TRAI0入力

| 記号 | 項目 | 規格値 | | 単位 |
|-----------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TRAIO)$ | TRAIO入力サイクル時間 | 100 | | ns |
| $t_{WH}(TRAIO)$ | TRAIO入力“H”パルス幅 | 40 | | ns |
| $t_{WL}(TRAIO)$ | TRAIO入力“L”パルス幅 | 40 | | ns |

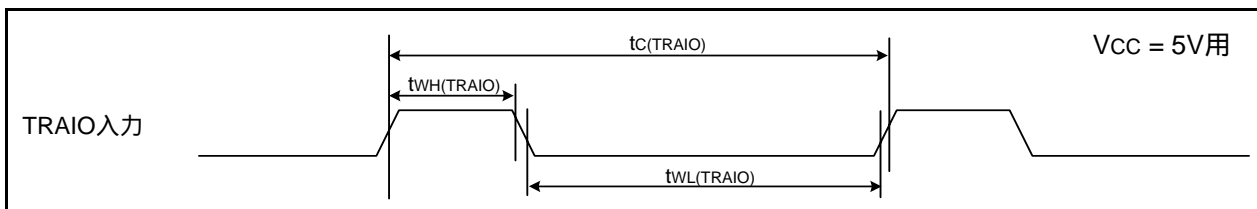


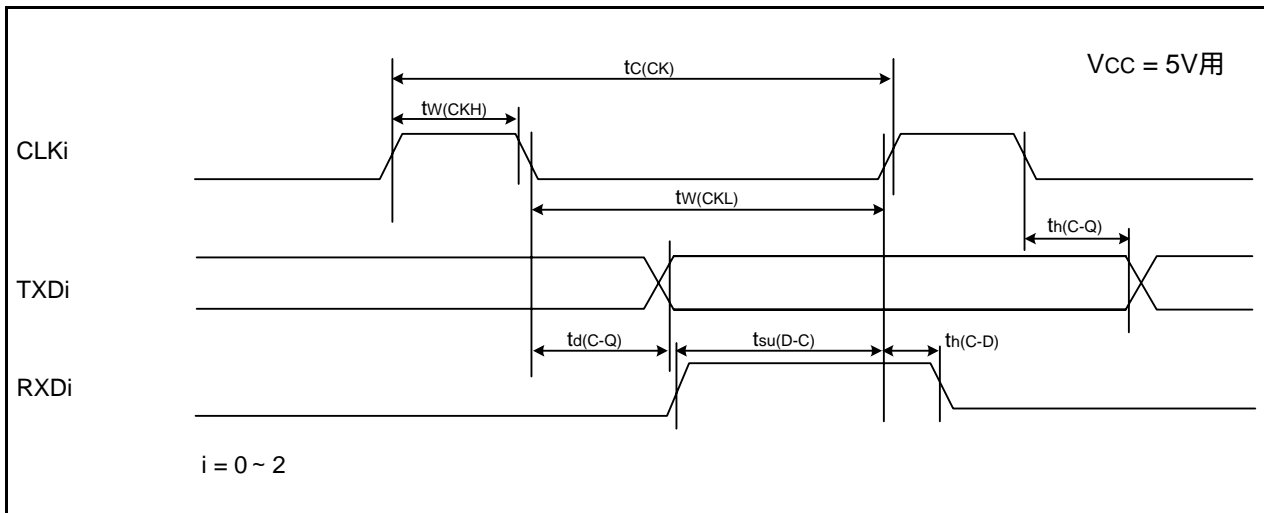
図34.9 $V_{CC} = 5V$ 時のTRAIO入力タイミング

表34.22 シリアルインタフェース

| 記号 | 項目 | 規格値 | | 単位 |
|---------------|----------------|-----------|----|----|
| | | 最小 | 最大 | |
| $t_{c(CK)}$ | CLKi入力サイクル時間 | 外部クロック選択時 | | ns |
| $t_{w(CKH)}$ | CLKi入力“H”パルス幅 | 200 | | |
| $t_{w(CKL)}$ | CLKi入力“L”パルス幅 | 100 | | ns |
| $t_{d(C-Q)}$ | TXDi出力遅延時間 | | 90 | ns |
| $t_{h(C-Q)}$ | TXDiホールド時間 | 0 | | ns |
| $t_{su(D-C)}$ | RXDi入力セットアップ時間 | 10 | | ns |
| $t_{h(C-D)}$ | RXDi入力ホールド時間 | 90 | | ns |
| $t_{d(C-Q)}$ | TXDi出力遅延時間 | 内部クロック選択時 | | ns |
| $t_{su(D-C)}$ | RXDi入力セットアップ時間 | — | 10 | ns |
| $t_{h(C-D)}$ | RXDi入力ホールド時間 | 90 | — | ns |

$i = 0 \sim 2$

注1. 指定のない場合は、 $V_{cc} = 5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン) / $-40 \sim 85$ (Dバージョン)です。

図34.10 $V_{cc} = 5V$ 時のシリアルインタフェースのタイミング表34.23 外部割り込み \overline{INTi} 入力 ($i = 0 \sim 4$)、キー入力割り込み \overline{Kli} ($i = 0 \sim 3$)

| 記号 | 項目 | 規格値 | | 単位 |
|--------------|---|---------|----|----|
| | | 最小 | 最大 | |
| $t_{w(INH)}$ | \overline{INTi} 入力“H”パルス幅、 \overline{Kli} 入力“H”パルス幅 | 250(注1) | | ns |
| $t_{w(INL)}$ | \overline{INTi} 入力“L”パルス幅、 \overline{Kli} 入力“L”パルス幅 | 250(注2) | | ns |

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 $\times 3$)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 $\times 3$)と最小値のいずれか値の大きい方となります。

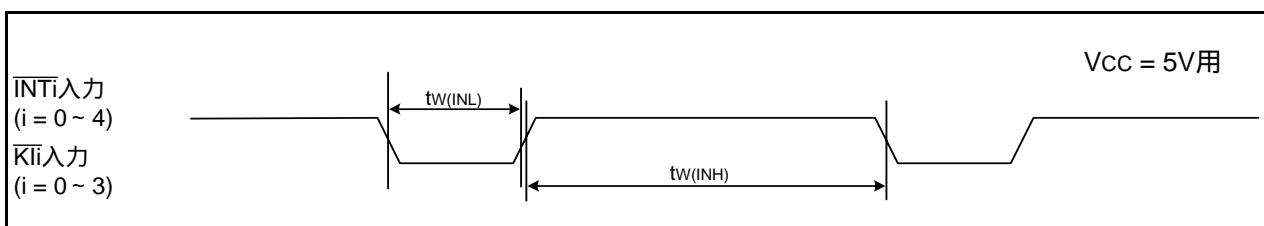
図34.11 $V_{cc} = 5V$ 時の外部割り込み \overline{INTi} およびキー入力割り込み \overline{Kli} 入力タイミング

表34.24 電気的特性(3) [2.7V $V_{CC} < 4.2V$]

| 記号 | 項目 | | 測定条件 | | 規格値 | | | 単位 |
|---------------------|---------|--|---------------------------|----------------------|----------------|-----|----------|---------|
| | | | | | 最小 | 標準 | 最大 | |
| VOH | “H”出力電圧 | XOUT以外 | 駆動能力High | $I_{OH} = -5mA$ | $V_{CC} - 0.5$ | | V_{CC} | V |
| | | | 駆動能力Low | $I_{OH} = -1mA$ | $V_{CC} - 0.5$ | | V_{CC} | V |
| | | XOUT | | $I_{OH} = -200\mu A$ | 1.0 | | V_{CC} | V |
| VOL | “L”出力電圧 | XOUT以外 | 駆動能力High | $I_{OL} = 5mA$ | | | 0.5 | V |
| | | | 駆動能力Low | $I_{OL} = 1mA$ | | | 0.5 | V |
| | | XOUT | | $I_{OL} = 200\mu A$ | | | 0.5 | V |
| VT+-VT- | ヒステリシス | INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRCIOA、 TRCIOB、TRCIOC、 TRCIOD、TRDIOA0、 TRDIOB0、TRDIOC0、 TRDIOD0、TRDIOA1、 TRDIOB1、TRDIOC1、 TRDIOD1、TRCTRG、 TRCCLK、ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、 SSO | $V_{CC} = 3.0V$ | | 0.1 | 0.4 | | V |
| | | RESET | $V_{CC} = 3.0V$ | | 0.1 | 0.5 | | V |
| I _{IH} | “H”入力電流 | | $V_I = 3V, V_{CC} = 3.0V$ | | | | 4.0 | μA |
| I _{IL} | “L”入力電流 | | $V_I = 0V, V_{CC} = 3.0V$ | | | | - 4.0 | μA |
| R _{PULLUP} | プルアップ抵抗 | | $V_I = 0V, V_{CC} = 3.0V$ | | 42 | 84 | 168 | k |
| R _{fXIN} | 帰還抵抗 | XIN | | | | 0.3 | | M |
| R _{fXCIN} | 帰還抵抗 | XCIN | | | | 8 | | M |
| V _{RAM} | RAM保持電圧 | | ストップモード時 | | 1.8 | | | V |

注1. 指定のない場合は、2.7V $V_{CC} < 4.2V$ 、 $T_{op} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)、 $f(XIN) = 10MHz$ です。

表34.25 電気的特性(4) [2.7V Vcc < 3.3V]

(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | |
|-----|---|-----------------|--|----|-----|-----|----|
| | | | 最小 | 標準 | 最大 | | |
| Icc | 電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss | 高速クロックモード | XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし | | 3.5 | 10 | mA |
| | | | XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 | | 1.5 | 7.5 | mA |
| | | 高速オンチップオシレータモード | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし | | 7.0 | 15 | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周 | | 3.0 | | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし | | 4.0 | | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周 | | 1.5 | | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周 MSTIIC = MSTTRD = MSTTRC = "1" | | 1 | | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周 MSTIIC = MSTTRD = MSTTRC = "1" | | 1 | | mA |
| | | 低速オンチップオシレータモード | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR27 = "1", VCA20 = "0" | | 90 | 390 | μA |
| | | 低速クロックモード | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = "1", VCA20 = "0" | | 80 | 400 | μA |
| | | | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = "1", VCA20 = "0" | | 40 | | μA |
| | | ウェイトモード | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" | | 15 | 90 | μA |
| | | | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" | | 4 | 80 | μA |
| | | | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" | | 3.5 | | μA |
| | | ストップモード | XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" | | 2.0 | 5.0 | μA |
| | | | XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" | | 5.0 | | μA |

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$)

表34.26 外部クロック入力(XOUT、XCIN)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------|---------------|-----|----|---------|
| | | 最小 | 最大 | |
| $t_c(XOUT)$ | XOUT入力サイクル時間 | 50 | | ns |
| $t_{WH}(XOUT)$ | XOUT入力“H”パルス幅 | 24 | | ns |
| $t_{WL}(XOUT)$ | XOUT入力“L”パルス幅 | 24 | | ns |
| $t_c(XCIN)$ | XCIN入力サイクル時間 | 14 | | μs |
| $t_{WH}(XCIN)$ | XCIN入力“H”パルス幅 | 7 | | μs |
| $t_{WL}(XCIN)$ | XCIN入力“L”パルス幅 | 7 | | μs |

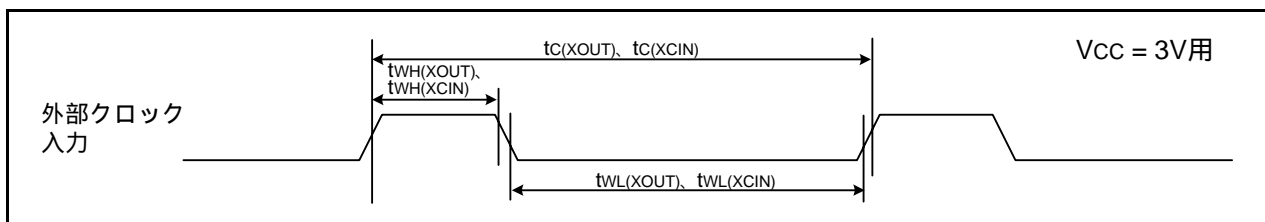


図34.12 $V_{CC} = 3V$ 時の外部クロック入力タイミング

表34.27 TRAI0入力

| 記号 | 項目 | 規格値 | | 単位 |
|-----------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TRAI0)$ | TRAI0入力サイクル時間 | 300 | | ns |
| $t_{WH}(TRAI0)$ | TRAI0入力“H”パルス幅 | 120 | | ns |
| $t_{WL}(TRAI0)$ | TRAI0入力“L”パルス幅 | 120 | | ns |

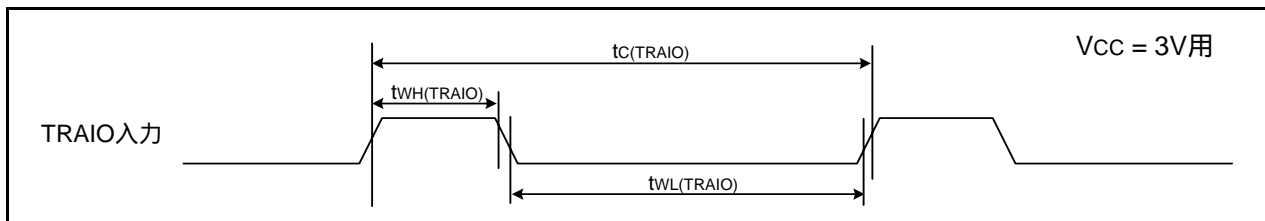


図34.13 $V_{CC} = 3V$ 時のTRAI0入力タイミング

表34.28 シリアルインタフェース

| 記号 | 項目 | 規格値 | | 単位 |
|---------------|----------------|-----------|-----|----|
| | | 最小 | 最大 | |
| $t_{c(CK)}$ | CLKi入力サイクル時間 | 外部クロック選択時 | | ns |
| $t_{w(CKH)}$ | CLKi入力“H”パルス幅 | 300 | | |
| $t_{w(CKL)}$ | CLKi入力“L”パルス幅 | 150 | | ns |
| $t_{d(C-Q)}$ | TXDi出力遅延時間 | | 120 | ns |
| $t_{h(C-Q)}$ | TXDiホールド時間 | 0 | | ns |
| $t_{su(D-C)}$ | RXDi入力セットアップ時間 | 30 | | ns |
| $t_{h(C-D)}$ | RXDi入力ホールド時間 | 90 | | ns |
| $t_{d(C-Q)}$ | TXDi出力遅延時間 | 内部クロック選択時 | | ns |
| $t_{su(D-C)}$ | RXDi入力セットアップ時間 | — | 30 | ns |
| $t_{h(C-D)}$ | RXDi入力ホールド時間 | 120 | — | ns |
| | | 90 | — | ns |

i = 0 ~ 2

注1. 指定のない場合は、Vcc = 3V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

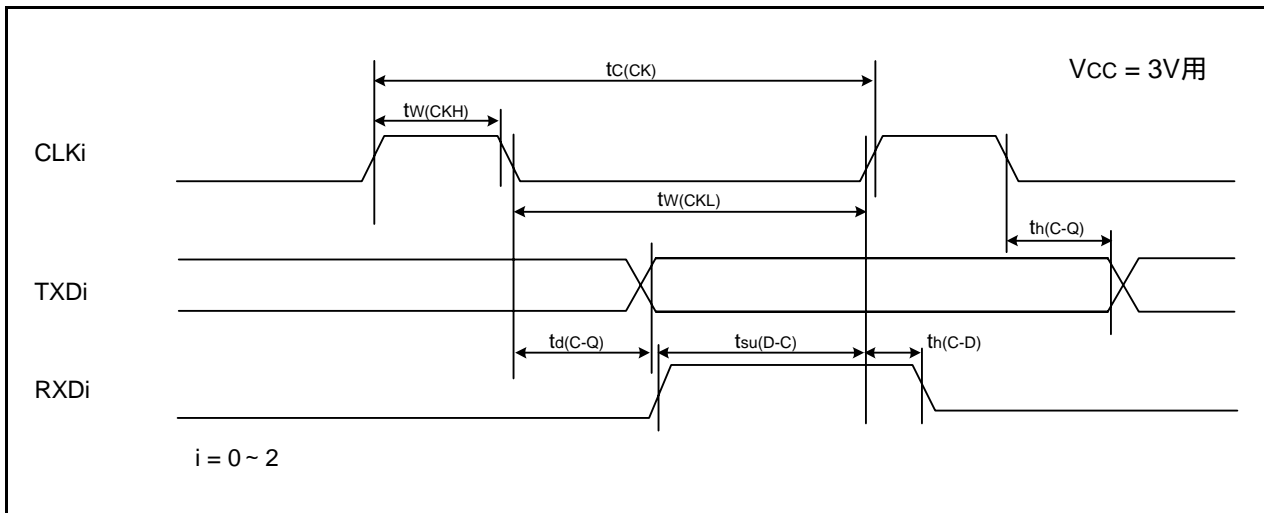


図34.14 Vcc = 3V時のシリアルインタフェースのタイミング

表34.29 外部割り込み \overline{INTi} 入力 (i = 0 ~ 4)、キー入力割り込み \overline{Kli} (i = 0 ~ 3)

| 記号 | 項目 | 規格値 | | 単位 |
|--------------|---|---------|----|----|
| | | 最小 | 最大 | |
| $t_{w(INH)}$ | \overline{INTi} 入力“H”パルス幅、 \overline{Kli} 入力“H”パルス幅 | 380(注1) | | ns |
| $t_{w(INL)}$ | \overline{INTi} 入力“L”パルス幅、 \overline{Kli} 入力“L”パルス幅 | 380(注2) | | ns |

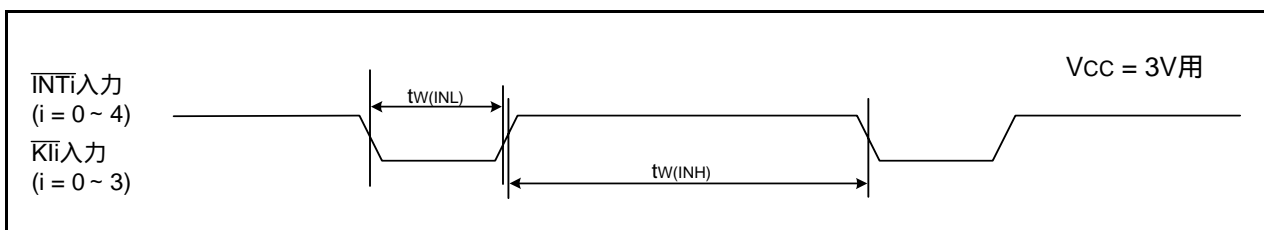
注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。図34.15 Vcc = 3V時の外部割り込み \overline{INTi} およびキー入力割り込み \overline{Kli} 入力タイミング

表34.30 電気的特性(5) [1.8V $V_{cc} < 2.7V$]

| 記号 | 項目 | | 測定条件 | | 規格値 | | | 単位 |
|-------------------------------|---------|--|--------------------------------|----------------------|----------------|------|----------|---------|
| | | | | | 最小 | 標準 | 最大 | |
| VOH | “H”出力電圧 | XOUT以外 | 駆動能力High | $I_{OH} = -2mA$ | $V_{cc} - 0.5$ | | V_{cc} | V |
| | | | 駆動能力Low | $I_{OH} = -1mA$ | $V_{cc} - 0.5$ | | V_{cc} | V |
| | | XOUT | | $I_{OH} = -200\mu A$ | 1.0 | | V_{cc} | V |
| VOL | “L”出力電圧 | XOUT以外 | 駆動能力High | $I_{OL} = 2mA$ | | | 0.5 | V |
| | | | 駆動能力Low | $I_{OL} = 1mA$ | | | 0.5 | V |
| | | XOUT | | $I_{OL} = 200\mu A$ | | | 0.5 | V |
| VT+VT- | ヒステリシス | INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRCIOA、 TRCIOB、TRCIOA、 TRCIOC、TRCIOC、 TRCIOD、TRDIOA0、 TRDIOB0、TRDIOC0、 TRDIOD0、TRDIOA1、 TRDIOB1、TRDIOC1、 TRDIOD1、TRCTRG、 TRCCLK、ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO | $V_{cc} = 2.2V$ | | 0.05 | 0.2 | | V |
| | | RESET | $V_{cc} = 2.2V$ | | 0.05 | 0.20 | | V |
| I _{IH} | “H”入力電流 | | $V_I = 2.2V$ 、 $V_{cc} = 2.2V$ | | | | 4.0 | μA |
| I _{IL} | “L”入力電流 | | $V_I = 0V$ 、 $V_{cc} = 2.2V$ | | | | - 4.0 | μA |
| R _{PULLUP} | プルアップ抵抗 | | $V_I = 0V$ 、 $V_{cc} = 2.2V$ | | 70 | 140 | 300 | k |
| R _{I_{XIN}} | 帰還抵抗 | XIN | | | | 0.3 | | M |
| R _{I_{XCIN}} | 帰還抵抗 | XCIN | | | | 8 | | M |
| V _{RAM} | RAM保持電圧 | | ストップモード時 | | 1.8 | | | V |

注1. 指定のない場合は、1.8V $V_{cc} < 2.7V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)、 $f(XIN) = 5MHz$ です。

表34.31 電気的特性(6) [1.8V Vcc < 2.7V]

(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | |
|-----|---|-----------------|--|----|-----|-----|----|
| | | | 最小 | 標準 | 最大 | | |
| Icc | 電源電流 (Vcc = 1.8V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はVss | 高速クロックモード | XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし | | 2.2 | | mA |
| | | | XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 | | 0.8 | | mA |
| | | 高速オンチップオシレータモード | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし | | 2.5 | 10 | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周 | | 1.7 | | mA |
| | | | XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周 MSTIIC = MSTTRD = MSTTRC = "1" | | 1 | | mA |
| | | 低速オンチップオシレータモード | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR27 = "1"、VCA20 = "0" | | 90 | 300 | μA |
| | | 低速クロックモード | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし FMR27 = "1"、VCA20 = "0" | | 80 | 350 | μA |
| | | | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz 分周なし RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = "1"、VCA20 = "0" | | 40 | | μA |
| | | ウェイトモード | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" | | 15 | 90 | μA |
| | | | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" | | 4 | 80 | μA |
| | | | XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" | | 3.5 | | μA |
| | | ストップモード | XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" | | 2.0 | 5 | μA |
| | | | XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" | | 5.0 | | μA |

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$)

表34.32 外部クロック入力(XOUT、XCIN)

| 記号 | 項目 | 規格値 | | 単位 |
|----------------|---------------|-----|----|---------|
| | | 最小 | 最大 | |
| $t_c(XOUT)$ | XOUT入力サイクル時間 | 200 | | ns |
| $t_{WH}(XOUT)$ | XOUT入力“H”パルス幅 | 90 | | ns |
| $t_{WL}(XOUT)$ | XOUT入力“L”パルス幅 | 90 | | ns |
| $t_c(XCIN)$ | XCIN入力サイクル時間 | 14 | | μs |
| $t_{WH}(XCIN)$ | XCIN入力“H”パルス幅 | 7 | | μs |
| $t_{WL}(XCIN)$ | XCIN入力“L”パルス幅 | 7 | | μs |

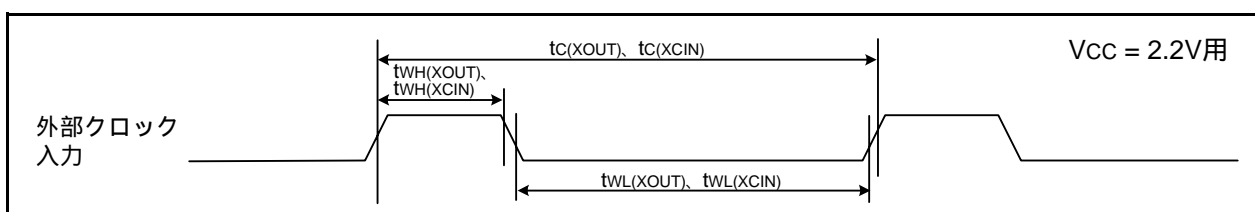


図34.16 VCC = 2.2V時の外部クロック入力タイミング

表34.33 TRAI0入力

| 記号 | 項目 | 規格値 | | 単位 |
|-----------------|----------------|-----|----|----|
| | | 最小 | 最大 | |
| $t_c(TRAIO)$ | TRAIO入力サイクル時間 | 500 | | ns |
| $t_{WH}(TRAIO)$ | TRAIO入力“H”パルス幅 | 200 | | ns |
| $t_{WL}(TRAIO)$ | TRAIO入力“L”パルス幅 | 200 | | ns |

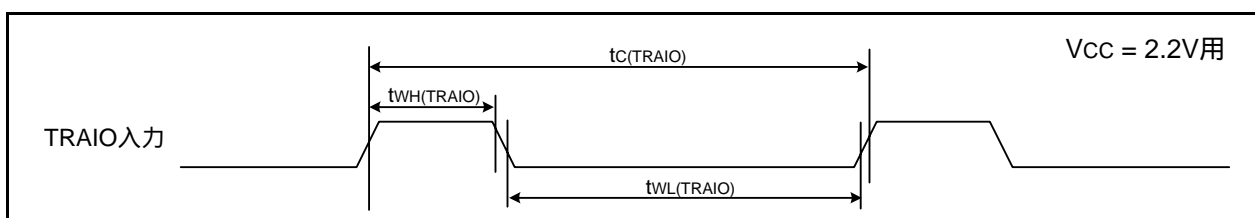


図34.17 VCC = 2.2V時のTRAIO入力タイミング

表34.34 シリアルインタフェース

| 記号 | 項目 | 規格値 | | 単位 |
|---------------|----------------|-----------|-----|----|
| | | 最小 | 最大 | |
| $t_{c(CK)}$ | CLKi入力サイクル時間 | 外部クロック選択時 | | ns |
| $t_{w(CKH)}$ | CLKi入力“H”パルス幅 | 800 | | |
| $t_{w(CKL)}$ | CLKi入力“L”パルス幅 | 400 | | ns |
| $t_{d(C-Q)}$ | TXDi出力遅延時間 | | 200 | ns |
| $t_{h(C-Q)}$ | TXDiホールド時間 | 0 | | ns |
| $t_{su(D-C)}$ | RXDi入力セットアップ時間 | 150 | | ns |
| $t_{h(C-D)}$ | RXDi入力ホールド時間 | 90 | | ns |
| $t_{d(C-Q)}$ | TXDi出力遅延時間 | 内部クロック選択時 | | ns |
| $t_{su(D-C)}$ | RXDi入力セットアップ時間 | — | 200 | ns |
| $t_{h(C-D)}$ | RXDi入力ホールド時間 | 150 | — | ns |
| | | 90 | — | ns |

$i = 0 \sim 2$

注1. 指定のない場合は、 $V_{cc} = 2.2V$ 、 $Topr = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

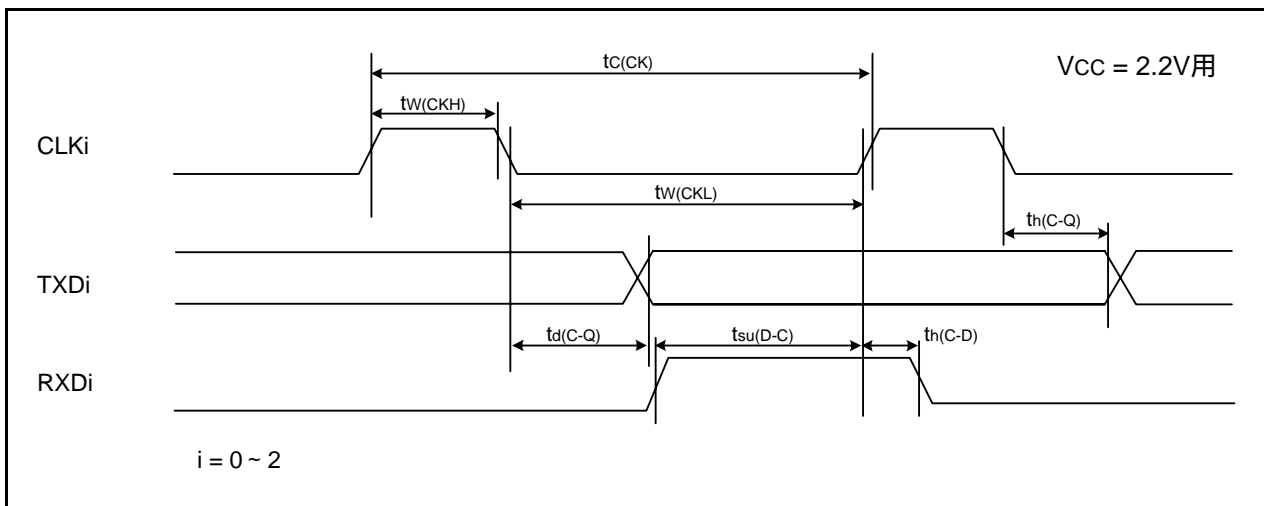


図34.18 $V_{cc} = 2.2V$ 時のシリアルインタフェースのタイミング

表34.35 外部割り込み \overline{INTi} 入力 ($i = 0 \sim 4$)、キー入力割り込み \overline{Kli} ($i = 0 \sim 3$)

| 記号 | 項目 | 規格値 | | 単位 |
|--------------|---|----------|----|----|
| | | 最小 | 最大 | |
| $t_{w(INH)}$ | \overline{INTi} 入力“H”パルス幅、 \overline{Kli} 入力“H”パルス幅 | 1000(注1) | | ns |
| $t_{w(INL)}$ | \overline{INTi} 入力“L”パルス幅、 \overline{Kli} 入力“L”パルス幅 | 1000(注2) | | ns |

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 $\times 3$)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 $\times 3$)と最小値のいずれか値の大きい方となります。

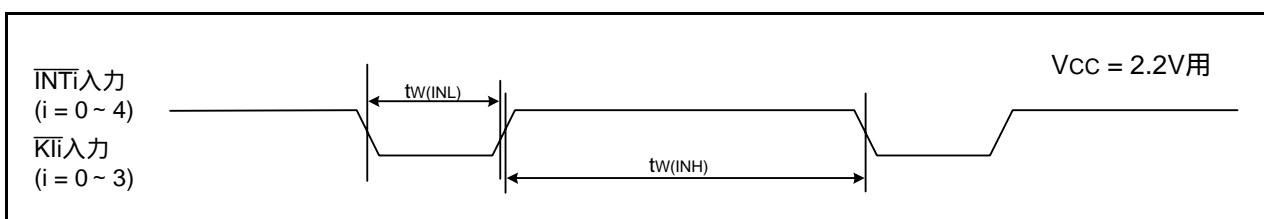


図34.19 $V_{cc} = 2.2V$ 時の外部割り込み \overline{INTi} およびキー入力割り込み \overline{Kli} 入力タイミング

35. 使用上の注意事項

35.1 クロック発生回路使用上の注意

35.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCLR   ; CM1レジスタへの書き込み許可
FSET    I          ; 割り込み許可
BSET    0, CM1     ; ストップモード
JMP.B   LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

35.1.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I          ; 割り込み許可
WAIT    ; ウェイトモード
NOP
NOP
NOP
NOP

```

•CM30ビットを“1”を実行するプログラム例

```

BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCLR   ; CM3レジスタへの書き込み許可
FCLR    I          ; 割り込み禁止
BSET    0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCLR   ; CM3レジスタへの書き込み禁止
FSET    I          ; 割り込み許可

```

35.1.3 VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図 33.1に示す手順に従ってください。

WAIT 命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図 33.2に示す手順に従ってください。

35.1.4 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

35.1.5 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

35.1.6 高速オンチップオシレータモード

システムクロックに高速オンチップオシレータモードを選択している場合、CM3レジスタのCM37～CM36ビットが“00b”(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)の状態ですトップモードに移行しないでください。

35.2 割り込み使用上の注意

35.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

35.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

35.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$) に示す“L”レベル幅、または“H”レベル幅が必要です(詳細は「表 34.23($V_{cc} = 5V$)、表 34.29($V_{cc} = 3V$)、表 34.35($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$)、キー入力割り込み $\overline{\text{KIi}}$ ($i = 0 \sim 3$)」を参照)。

35.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 35.1 に割り込み要因の変更手順例を示します。

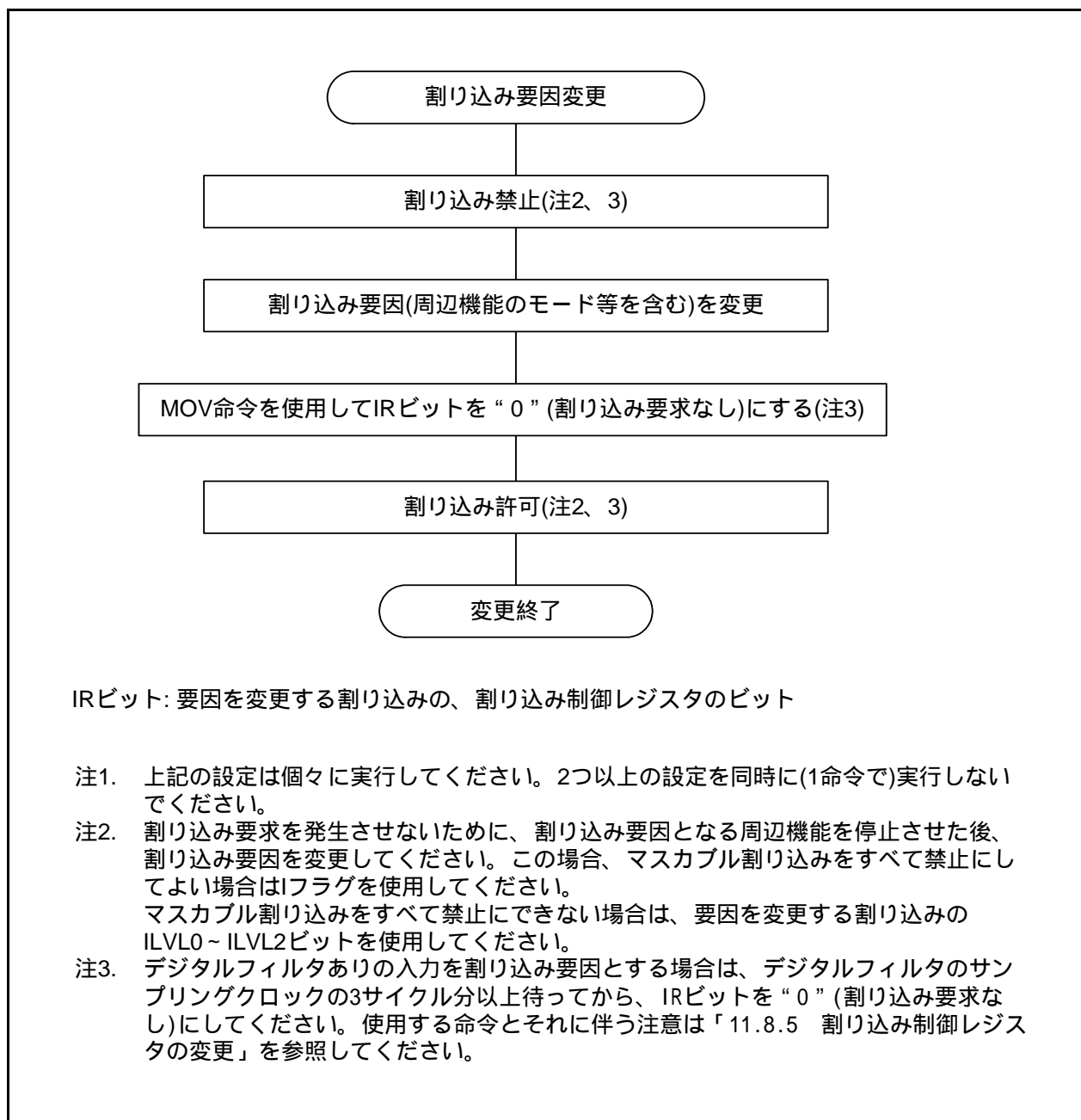


図 35.1 割り込み要因の変更手順例

35.2.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

35.3 IDコード領域使用上の注意

35.3.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy                  ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

35.4 オプション機能選択領域使用上の注意

35.4.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h)    ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

35.5 DTC使用上の注意

35.5.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

35.5.2 DTCENi(i=0 ~ 6)レジスタ

- DTCENi0 ~ DTCENi7 ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

35.5.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I²Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTj(j=0 ~ 23)レジスタが“1”から“0”になる転送
 - リピートモードかつDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I²Cバス送信データエンptyのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

35.5.4 割り込み要求

DTC起動要因がSSU/I²C送信データエンptyまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCTj(j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

35.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“0”になっています。
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRA レジスタに 00h を設定しないでください。

35.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

35.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

35.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

35.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

35.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

35.8 タイマRC使用上の注意

35.8.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペアー致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRC          ; 書き込み
                   JMP.B   L1              ; JMP.B命令
                   L1:   MOV.W  TRC,DATA     ; 読み出し

```

35.8.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRCSR       ; 書き込み
                   JMP.B   L1              ; JMP.B命令
                   L1:   MOV.B  TRCSR,DATA   ; 読み出し

```

35.8.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

35.8.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースを fOCO-F から fOCO40M に変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 2 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “ 0 ” (カウント停止) にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “ 0 ” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M 以外のクロックに変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “ 0 ” (カウント停止) にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “ 0 ” (高速オンチップオシレータ停止) にする

35.8.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。
[デジタルフィルタなしの場合]
タイマ RC の動作クロックの 3 サイクル分以上(「表 19.1 タイマ RC の動作クロック」参照)
[デジタルフィルタありの場合]
デジタルフィルタのサンプリングクロックの 5 サイクル分 + タイマ RC の動作クロックの 3 サイクル分以上(「図 19.5 デジタルフィルタのブロック図」参照)
- TRCIOj (j = A、B、C、D のいずれか) 端子にインプットキャプチャ信号が入力されてから、タイマ RC の動作クロックの 1 ~ 2 サイクル後に TRC レジスタの値を TRCGRj レジスタに転送します(デジタルフィルタなしの場合)。
- インプットキャプチャ機能使用時、TRCIOR0、TRCIOR1 レジスタの IOj0 ~ IOj1 ビット (j=A、B、C、D のいずれか) で選択したエッジが TRCIOj 端子に入力されると、TRCMR レジスタの TSTART ビットが “ 0 ” (カウント停止) のときも、TRCSR レジスタの IMFj ビットが “ 1 ” になります。

35.8.6 PWM2 モード時の TRCMR レジスタ

TRCCR2 レジスタの CSEL ビットが “ 1 ” (TRCGRA レジスタとのコンペア一致でカウント停止) のとき、TRC レジスタと TRCGRA レジスタのコンペア一致が発生するタイミングで、TRCMR レジスタに書かないでください。

35.8.7 カウントソース fOCO40M

カウントソース fOCO40M については、電源電圧 VCC=2.7V ~ 5.5V の範囲で使用することができます。

これ以外の電源電圧では、TRCCR1 レジスタの TCK2 ~ TCK0 ビットを “ 110b ” (fOCO40M をカウントソースに選択) にしないでください。

35.9 タイマRD使用上の注意

35.9.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi($i=0 \sim 1$) ビットが“0” (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止)の場合、TSTARTi ビットに“0” (カウント停止)を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
したがって、CSELi ビットが“0” のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0” を書いてください。
また、プログラムでカウントを停止させる場合は、CSELi ビットを“1” にした後で、TSTARTi ビットに“0” を書いてください。同時に(1命令で)CSELi ビットに“1”、TSTARTi ビットに“0” を書いてもカウントは停止できません。
- TRDIOj($j=A, B, C, D$) 端子をタイマRD 出力で使用している場合の、カウント停止時の出力レベルを表 35.1 に示します。

表 35.1 カウント停止時のTRDIOj($j=A, B, C, D$)端子出力レベル

| カウント停止方法 | カウント停止時のTRDIOj端子出力 |
|---|---|
| CSELi ビットが“1” のときに、TSTARTi ビットに“0” を書きカウント停止 | 直前の出力レベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCR レジスタのOLS0、OLS1 ビットで選択した初期出力レベルを出力) |
| CSELi ビットが“0” のときに、TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止 | コンペアー一致による出力変化後、そのレベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCR レジスタのOLS0、OLS1 ビットで選択した初期出力レベルを出力) |

35.9.2 TRDi レジスタ ($i=0 \sim 1$)

- TRDSTR レジスタのTSTARTi ビットが“1” (カウント開始)の状態、プログラムでTRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h”になるタイミングと重ならないように書いてください。
TRDi レジスタが“0000h”になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h”になります。
この注意事項は、TRDCRi レジスタのCCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
 - “001b” (TRDGRAi レジスタのインプットキャプチャ/コンペアー一致でTRDi レジスタをクリア)
 - “010b” (TRDGRBi レジスタのインプットキャプチャ/コンペアー一致でTRDi レジスタをクリア)
 - “011b” (同期クリア)
 - “101b” (TRDGRCi レジスタのインプットキャプチャ/コンペアー一致でTRDi レジスタをクリア)
 - “110b” (TRDGRDi レジスタのインプットキャプチャ/コンペアー一致でTRDi レジスタをクリア)
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

| | | |
|--------|--------------------|------------|
| プログラム例 | MOV.W #XXXXh, TRD0 | ;書き込み |
| | JMP.B L1 | ; JMP.B 命令 |
| L1: | MOV.W TRD0,DATA | ;読み出し |

35.9.3 TRDSR_iレジスタ (i=0 ~ 1)

TRDSR_iレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B   L1          ; JMP.B命令
L1:                MOV.B  TRDSR0,DATA ; 読み出し
  
```

35.9.4 TRDCR_iレジスタ (i=0 ~ 1)

TRDCR_iレジスタのTCK2 ~ TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

35.9.5 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) fOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル + fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) fOCO-Fの1サイクル + fOCO40Mの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

35.9.6 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_{ji}(*i*=0 ~ 1、*j*=A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRDiレジスタの値をTRDGR_{ji}レジスタに転送します(デジタルフィルタなしの場合)。
- インพุットキャプチャ機能使用時、TRDIORA_i、TRDIORC_iレジスタのIO_{j0} ~ IO_{j1}ビット(*i*=0 ~ 1、*j*=A、B、C、Dのいずれか)で選択したエッジがTRDIO_{ji}端子に入力されると、TRDSTRレジスタのTSTART_iビットが“0”(カウント停止)のときも、TRDSR_iレジスタのIMF_jビットが“1”になります。

35.9.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。
変更手順
 - (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1 ~ CMD0を“01b”(リセット同期PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

35.9.8 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
 - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
- (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$ m $m+1$ m $m-1$ とカウントします。
 m $m+1$ のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1$ m $m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

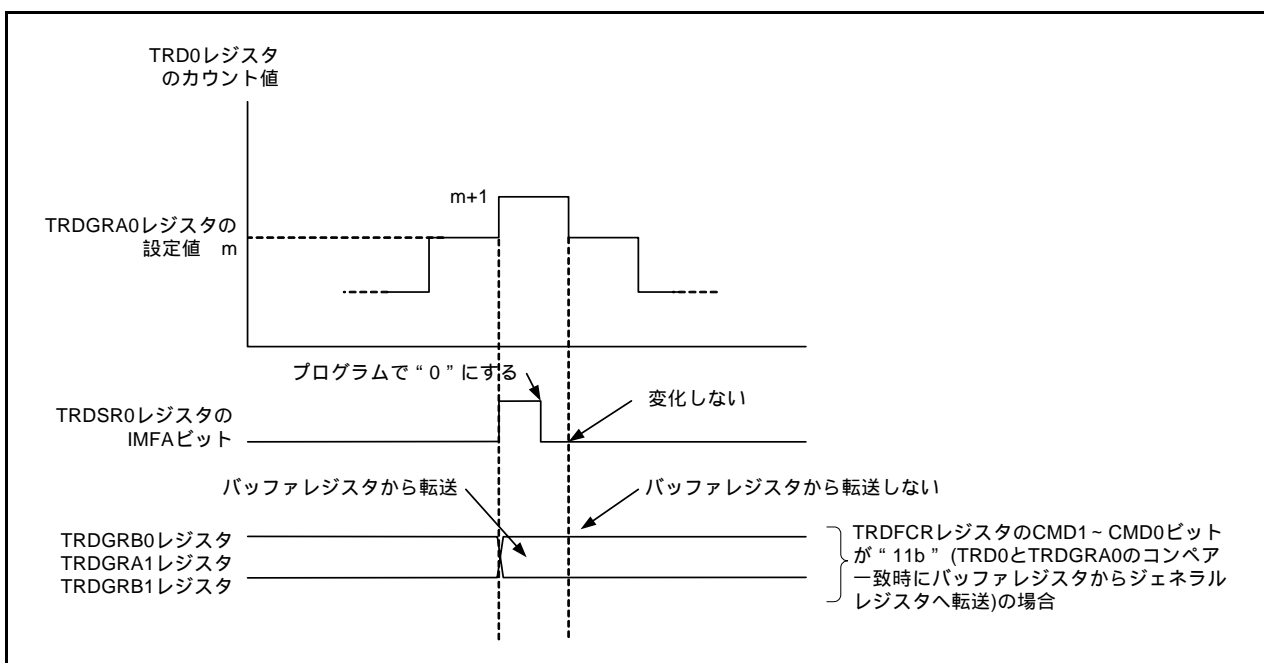


図 35.2 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”（相補PWMモード、TRD1のアンダフローでバッファデータ転送）の場合、バッファレジスタ（TRDGRD0、TRDGRC1、TRDGRD1）の内容がジェネラルレジスタ（TRDGRB0、TRDGRA1、TRDGRB1）に転送されます。
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

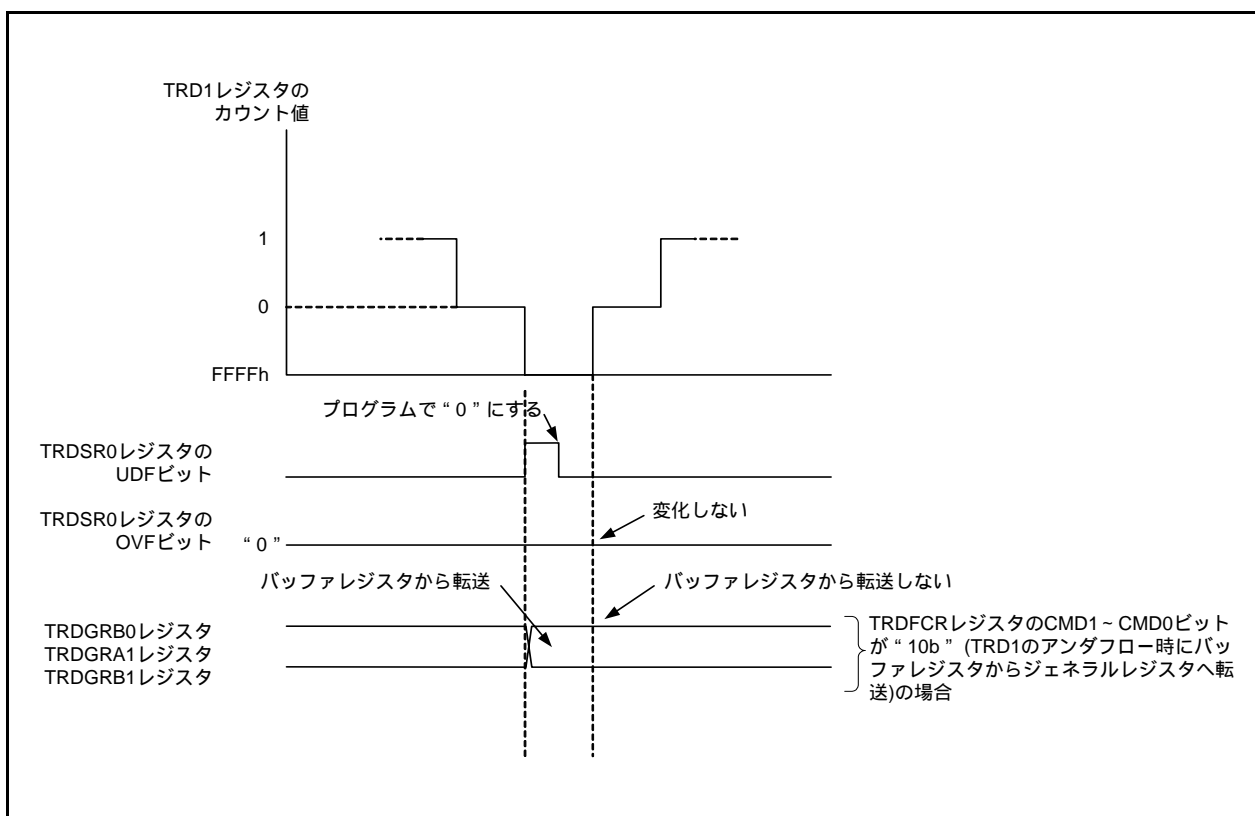


図 35.3 相補PWMモード TRD1がアンダーフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタの CMD1 ~ CMD0 ビットで選択してください。ただし、次の場合は CMD1 ~ CMD0 ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0 レジスタの値の場合

TRD1 レジスタのアンダフローで転送します。

その後、“0001h” 以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目に TRD1 レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降は CMD1 ~ CMD0 ビットで選択したタイミングで転送します。

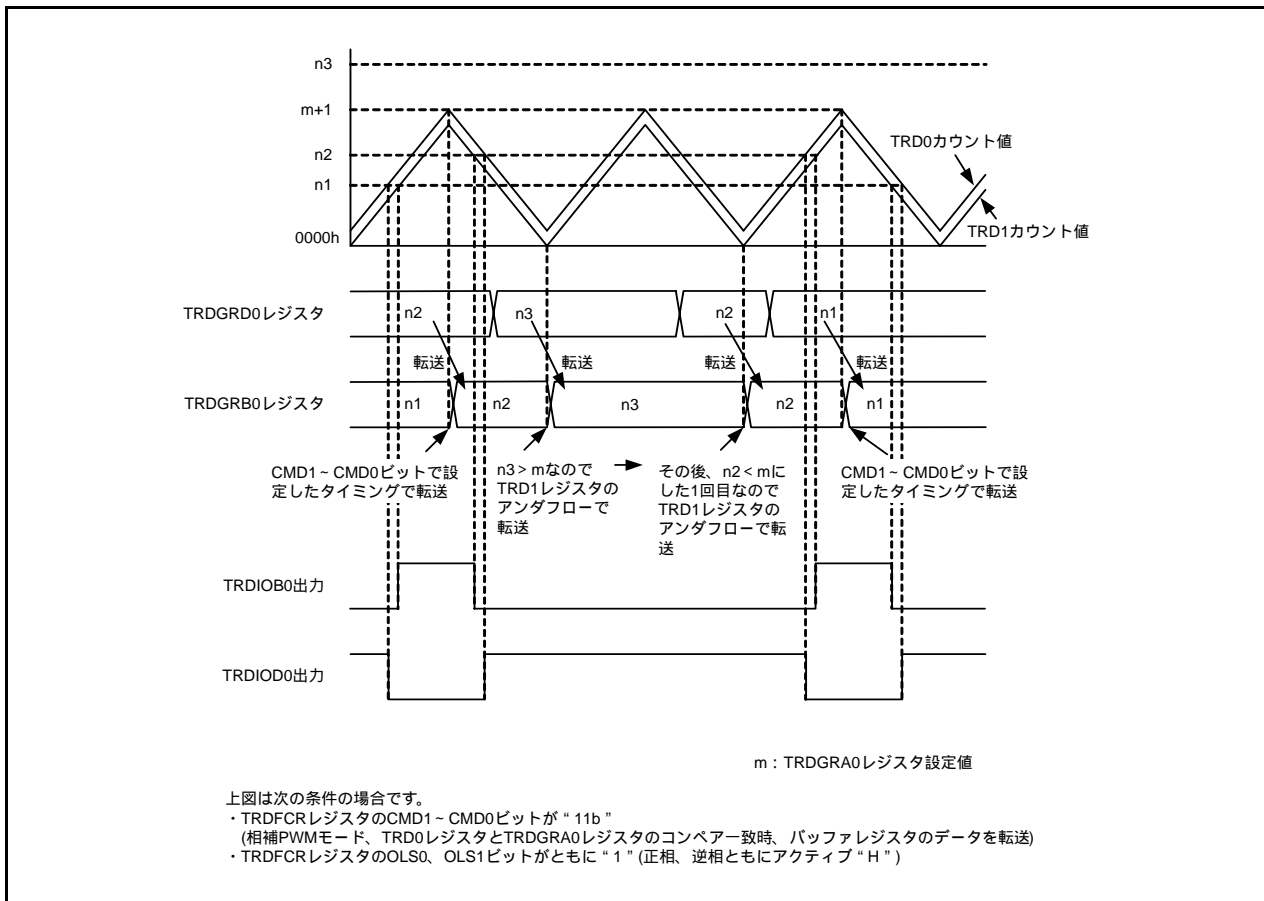


図 35.4 相補PWMモード時のバッファレジスタの値 TRDGRA0 レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

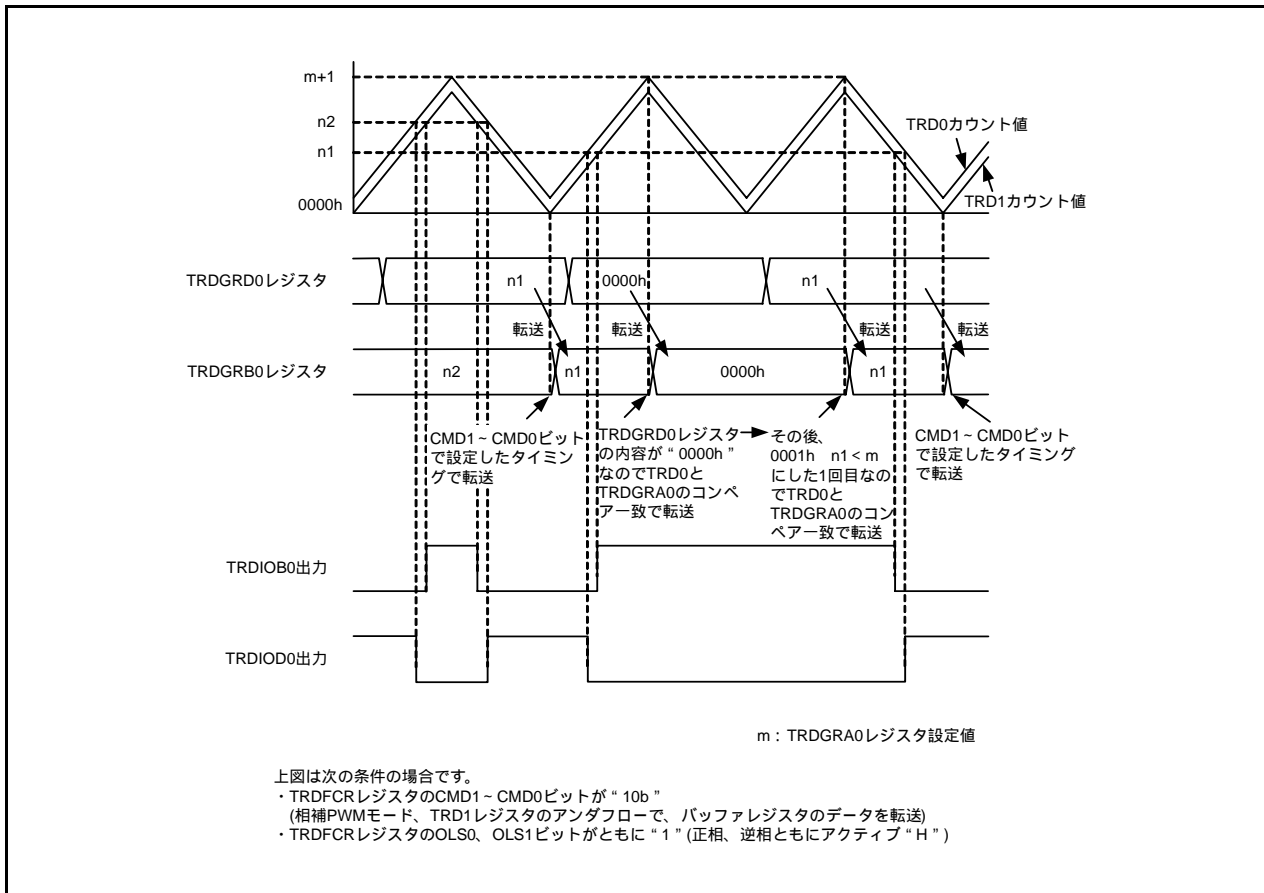


図 35.5 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

35.9.9 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7V～5.5Vの範囲で使用することができます。

これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

35.10 タイマRE使用上の注意

35.10.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ：TREMINT、TREHR、TREWK、TRECRI、TRECRI2、TRECRI3

35.10.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRI2レジスタ
- TRECRIレジスタのH12_H24ビット、PMビット、INTビット
- TRECRI3レジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRI2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図35.6にリアルタイムクロックモード時の設定例を示します。

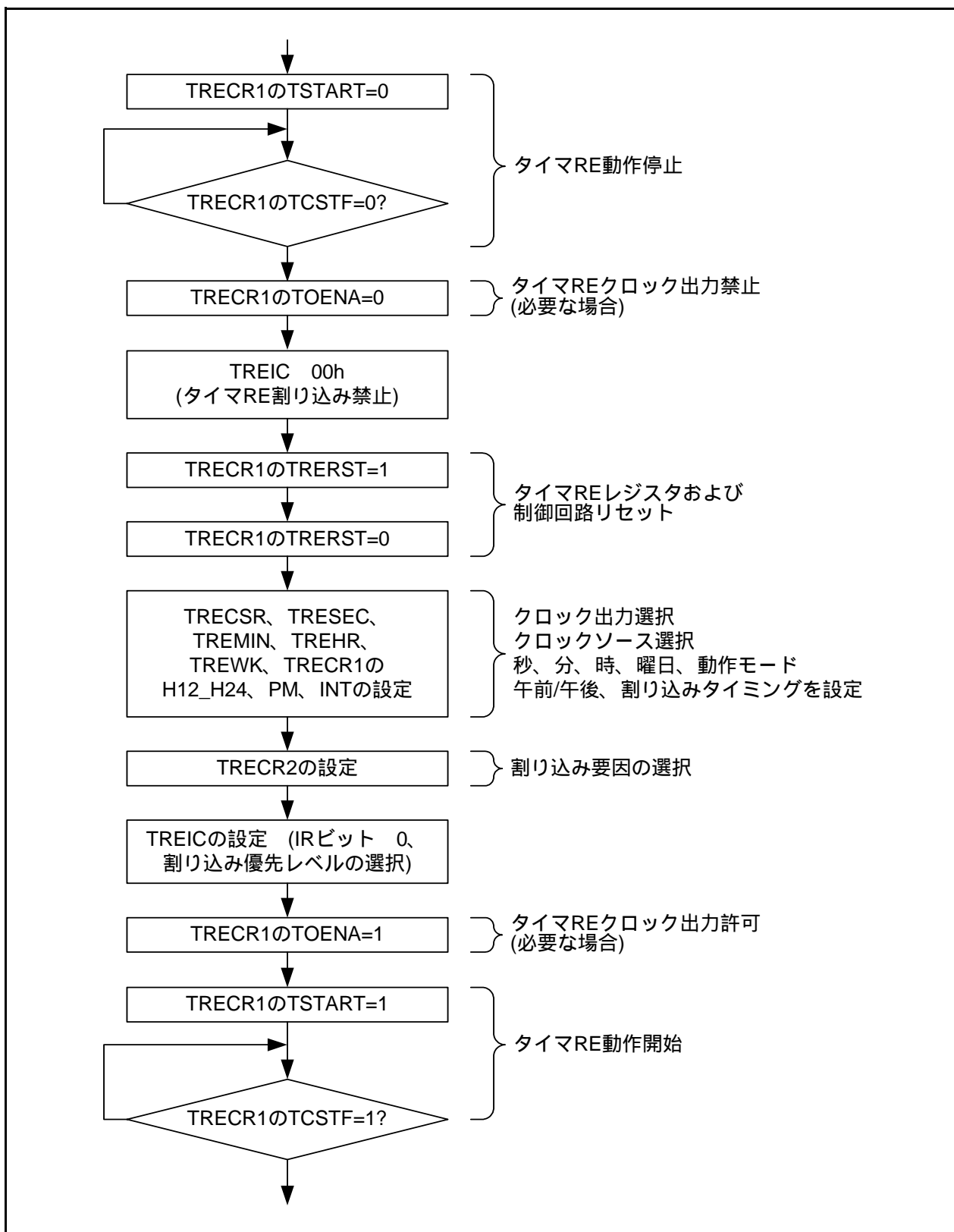


図 35.6 リアルタイムクロックモード時の設定例

35.10.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

35.11 シリアルインタフェース(UART_i (i=0 ~ 1))使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H    ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H    ; U0TBレジスタの下位バイトへの書き込み
```


35.12 シリアルインタフェース(UART2)使用上の注意

35.12.1 クロック同期形シリアルI/Oモード

35.12.1.1送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

35.12.1.2送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち上がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

35.12.1.3受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックが発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックが発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

35.12.2 特殊モード1 (I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

35.12.3 U2BRGレジスタ

U2BRGレジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

35.13 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

35.14 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、SSUICSRレジスタのIICSELビットを“1”(I²Cバスインタフェース機能を選択)にしてください。

35.14.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりとなった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

35.14.1.1対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

35.14.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I²Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

35.14.2.1ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI²Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI²Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

35.14.2.2対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります

35.14.2.3IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRSTビットに“1”を書くと、ICSRレジスタのTDREビットは“1”になります。
- IICRSTビットによるI²Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

35.15 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

35.16 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
ADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。
プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

35.17 フラッシュメモリ使用上の注意

35.17.1 CPU書き換えモード

35.17.1.1使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

35.17.1.2割り込み

表35.2～表35.4にCPU書き換えモード時の割り込みを示します。

表35.2 CPU書き換えモード時の割り込み(1)

| モード | イレーズ/ ライト対象 | 状態 | マスカブル割り込み |
|-----|----------------|--------------------------------|--|
| EW0 | データ フラッシュ | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。 |
| | | 自動書き込み中 | |
| | プログラム ROM | 自動消去中 (サスペンド有効) | ベクタをRAMに配置することで使用できます。 |
| | | 自動消去中 (サスペンド無効) | |
| | | 自動書き込み中 | |
| EW1 | データ フラッシュ | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”にすることで、自動消去を再開することができます。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。 |
| | | 自動書き込み中 | |
| | プログラム ROM | 自動消去中 (サスペンド有効) | td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みが優先され、割り込み要求が待たされず。自動消去、自動書き込みが終了した後、割り込み処理を実行します。 |
| | | 自動書き込み中 | |

FMR21、FMR22 : FMR2レジスタのビット

表35.3 CPU書き換えモード時の割り込み(2)

| モード | イレーズ/ ライト対象 | 状態 | ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 (注1) | ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1) |
|-----|--------------------|--------------------------------|--|---|
| EW0 | データ フラッシュ | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。 | 割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”にすることで、自動消去を再開することができます。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。 | |
| | | 自動書き込み中 | | |
| | プログラム ROM | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。 | 自動消去、自動書き込み中は使用しないでください。 |
| | 自動消去中 (サスペンド無効) | | | |
| | | 自動書き込み中 | | |

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

表35.4 CPU書き換えモード時の割り込み(3)

| モード | イレーズ/ ライト対象 | 状態 | <ul style="list-style-type: none"> ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 (注1) | <ul style="list-style-type: none"> ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1) |
|--------------|----------------|--------------------------------|--|--|
| EW1 | データ フラッシュ | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。 | 割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。 | |
| | | 自動書き込み中 | | |
| プログラム ROM | | 自動消去中 (サスペンド有効) | 割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。 | 自動消去、自動書き込み中は使用できません。 |
| | | 自動消去中 (サスペンド無効またはFMR22=“0”) | | |
| | | 自動書き込み中 | | |

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

35.17.1.3アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

35.17.1.4ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

35.17.1.5プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

35.17.1.6ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

35.17.1.7フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V ~ 5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

35.17.1.8ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

35.17.1.9低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「33. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

35.18 ノイズに関する注意事項

35.18.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

35.18.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

35.19 電源電圧の変動に関する注意

リセット解除後、VCC 端子に入力する電源電圧は、図35.7に示す許容電源リップル電圧 $V_r(vcc)$ および電源リップル立ち下がり勾配 $dV_r(vcc)/dt$ のどちらか一方または両方を満たしてください。

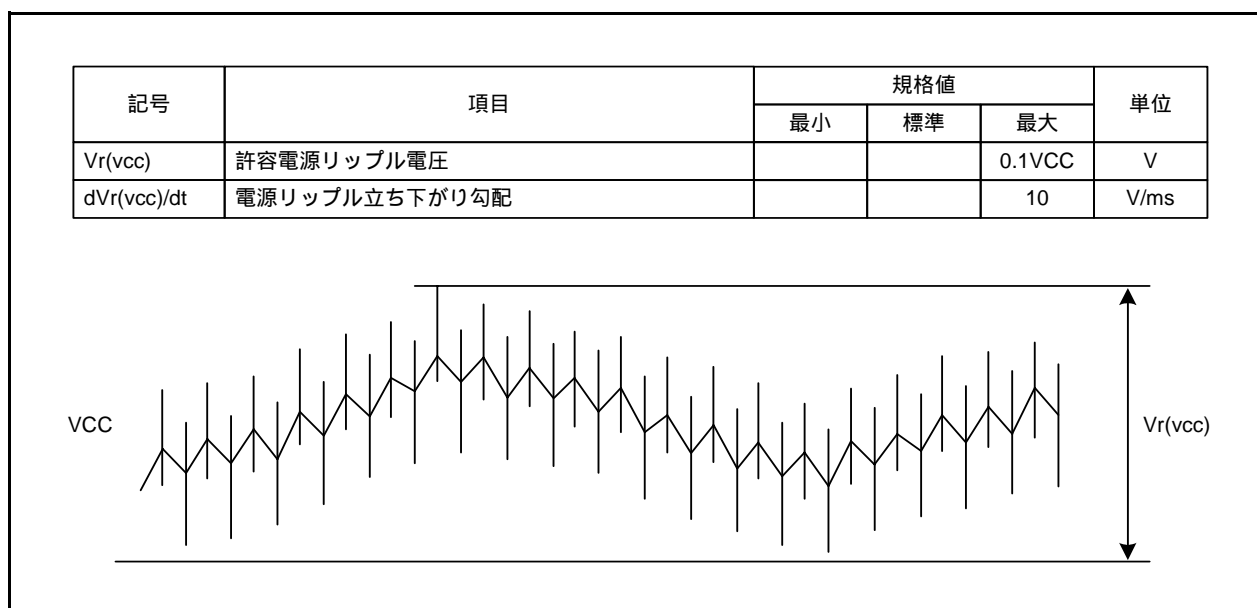


図35.7 電源リップルの定義

36. オンチップデバッグの注意事項

オンチップデバッグを使用してR8C/34Mグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC=1.8V ~ 5.5Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、2.7V以上にしてください。

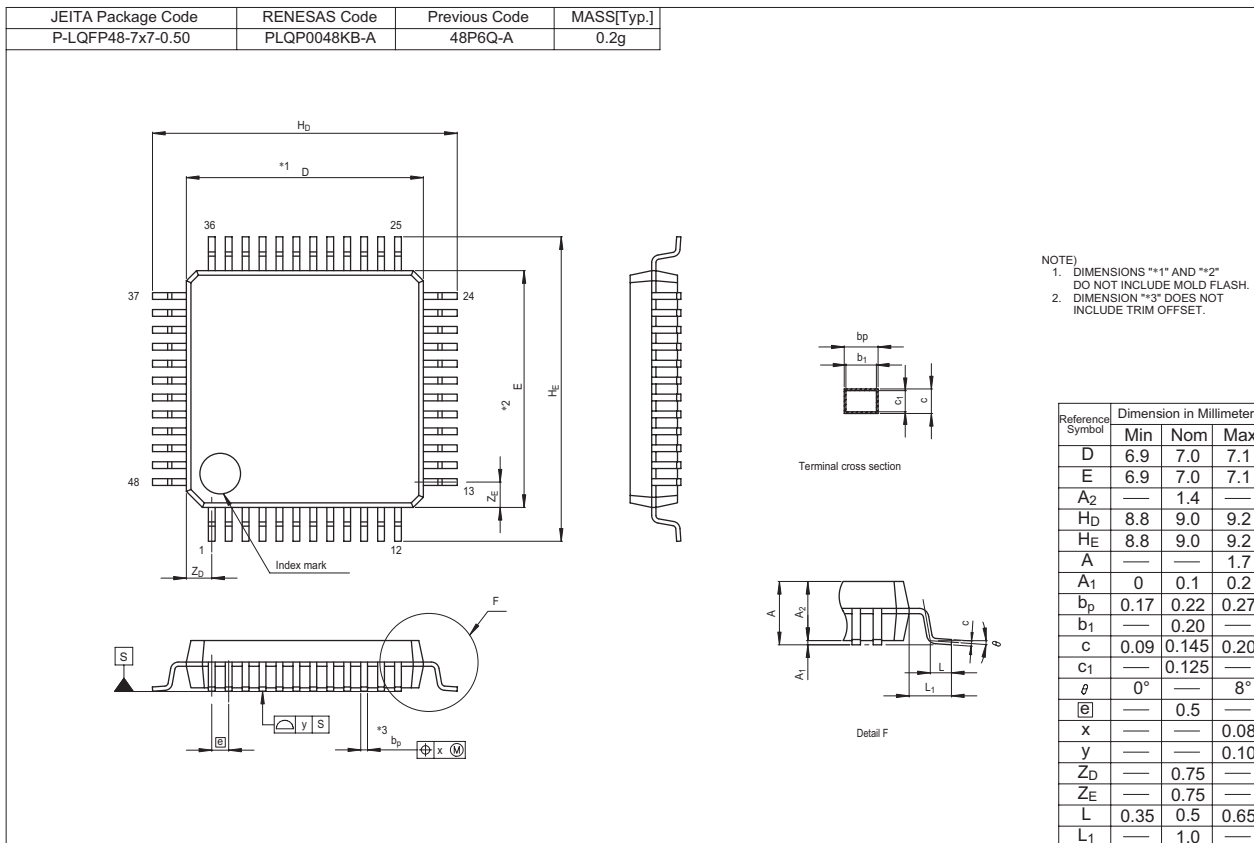
オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

37. エミュレータデバッグの注意事項

エミュレータデバッグの接続や使用方法には、固有の制限事項があります。エミュレータデバッグの詳細は各エミュレータデバッグのマニュアルを参照してください。

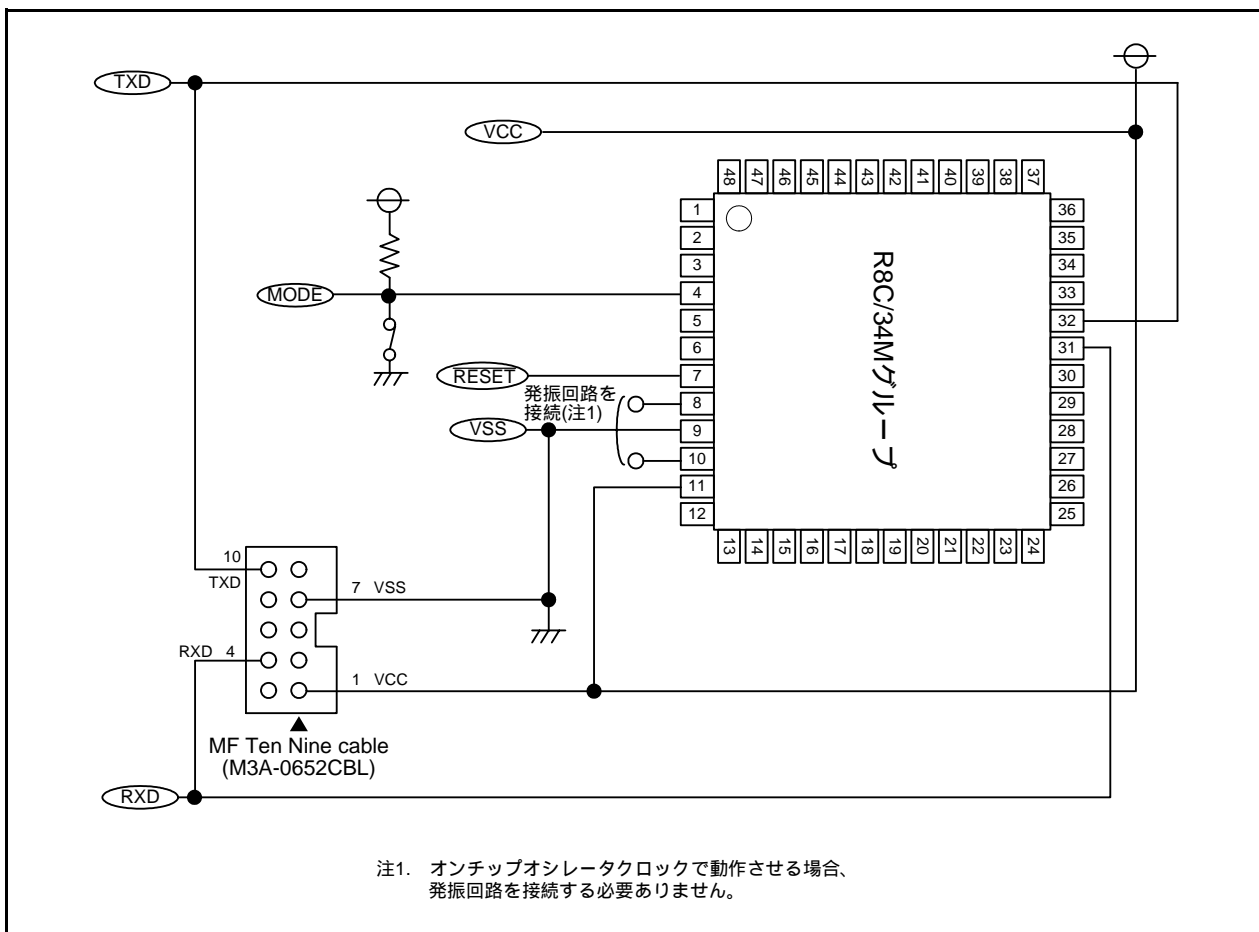
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

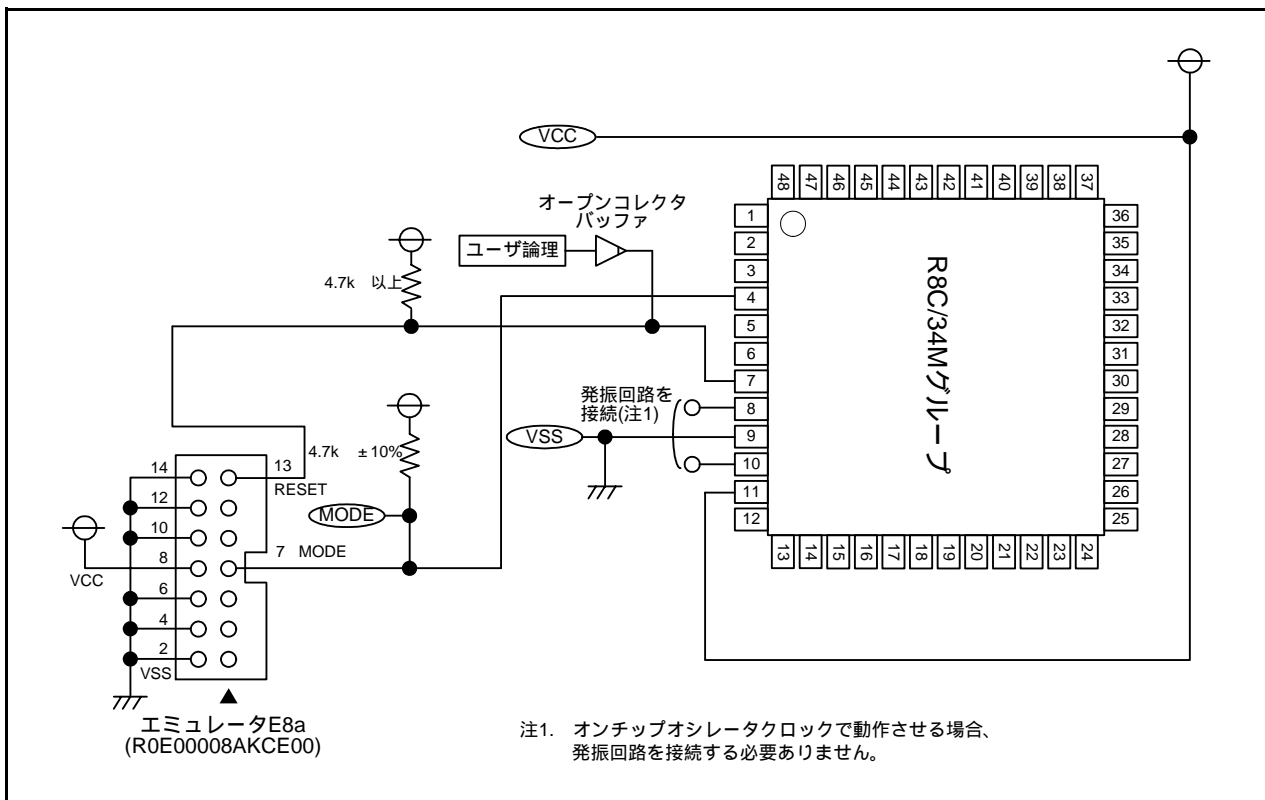


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図 2.1にMF Ten Nineケーブル(M3A-0652CBL)との結線図を、付図 2.2にエミュレータE8a(R0E00008AKCE00)との接続例を示します。



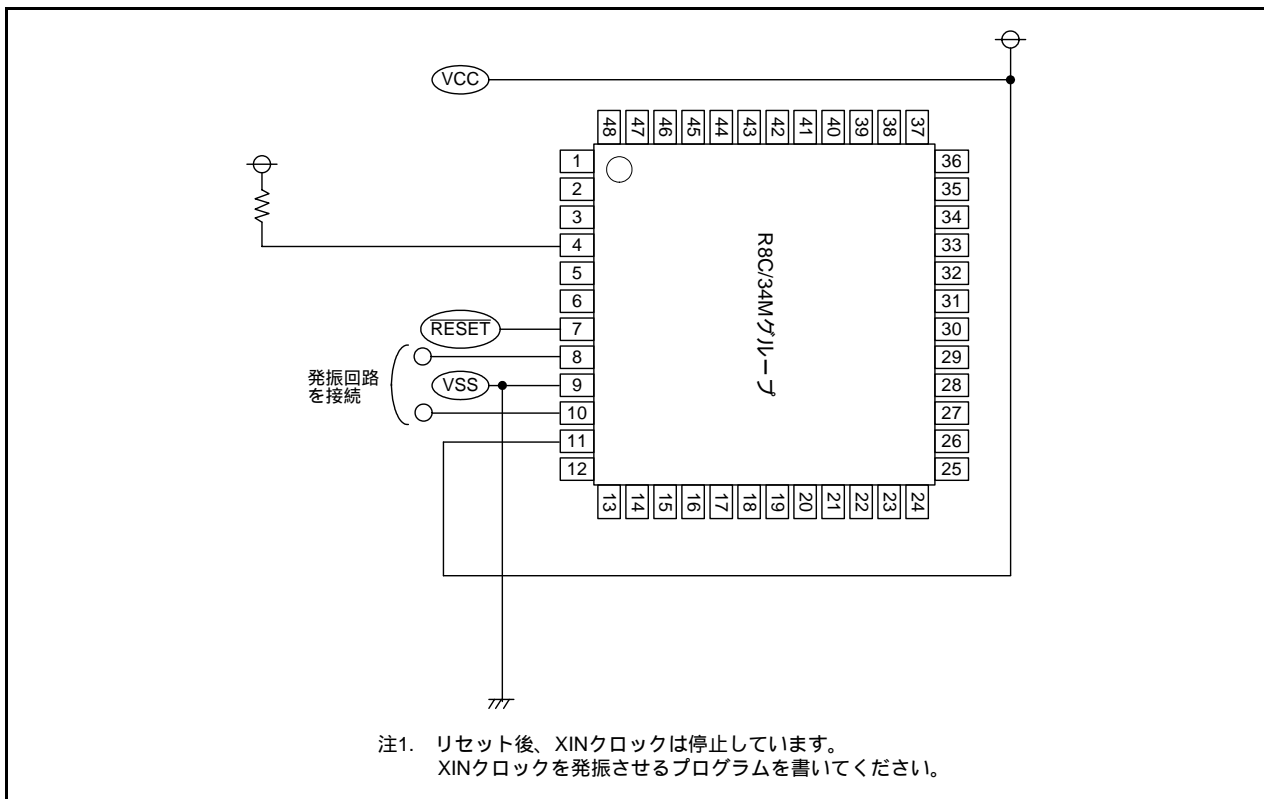
付図 2.1 MF Ten Nineケーブル(M3A-0652CBL)との結線図



付図 2.2 エミュレータ E8a(R0E00008AKCE00) との接続例

付録3. 発振評価回路例

付図 3.1 に発振評価回路例を示します。



付図 3.1 発振評価回路例

索引

【記号 / 数字】

| | |
|----------------------|-----|
| 4線式バス通信モード | 533 |
| 4線式バス通信モードの初期化 | 534 |

【A】

| | |
|-----------------------------|----------|
| A/Dコンバータ | 593, 684 |
| A/D断線検出アシスト機能 | 605 |
| A/D変換開始条件 | 603 |
| A/D変換結果 | 605 |
| A/D変換サイクル数 | 601 |
| A/D変換時のセンサーの出力インピーダンス | 615 |
| A0、A1 | 12 |
| ACK、NACK | 500 |
| ADCON0 | 599 |
| ADCON1 | 600 |
| ADi(i = 0 ~ 7) | 596 |
| ADIC | 155 |
| ADINSEL | 598 |
| ADMOD | 597 |
| AIERi(i=0 ~ 1) | 173 |

【B】

| | |
|-------------------------------|-----|
| BGO (バックグラウンドオペレーション)機能 | 660 |
| Bフラグ | 12 |

【C】

| | |
|------------------------|----------|
| CLK極性選択 | 480 |
| CM0 | 118 |
| CM1 | 119 |
| CM3 | 120 |
| CMPA | 42, 622 |
| CPSRF | 124 |
| CPU | 11 |
| CPU書き換えモード | 646 |
| CPUクロック | 132 |
| CPUクロックと周辺機能クロック | 132 |
| CSPR | 190 |
| CTS/RTS機能 | 482, 490 |
| Cフラグ | 12 |

【D】

| | |
|------------------------|-----|
| D/Aコンバータ | 617 |
| DACON | 619 |
| DAi(i=0 ~ 1) | 619 |
| DRR0 | 89 |
| DRR1 | 90 |
| DTBLSj(j=0 ~ 23) | 198 |
| DTC | 196 |
| DTCCRj(j=0 ~ 23) | 198 |
| DTCCtj(j=0 ~ 23) | 199 |
| DTCENi(i=0 ~ 6) | 200 |
| DTCTL | 201 |
| DTC実行サイクル数 | 213 |
| DTDARj(j=0 ~ 23) | 199 |
| DTRLDj(j=0 ~ 23) | 199 |
| DTSARj(j=0 ~ 23) | 199 |
| Dフラグ | 12 |

【E】

| | |
|--------------|-----|
| EW0モード | 657 |
| EW1モード | 657 |

【F】

| | |
|-----------------------|-----|
| f1、f2、f4、f8、f32 | 132 |
| FB | 12 |
| fC、fC2、fC4、fC32 | 133 |
| FLG | 12 |
| FMR0 | 650 |
| FMR1 | 653 |
| FMR2 | 655 |
| FMRDYIC | 156 |
| fOCO | 132 |
| fOCO128 | 133 |
| fOCO40M | 132 |
| fOCO-F | 132 |
| fOCO-S | 133 |
| fOCO-WDT | 133 |
| FRA0 | 123 |
| FRA1 | 123 |
| FRA2 | 124 |
| FRA3 | 126 |
| FRA4 | 125 |
| FRA5 | 125 |
| FRA6 | 126 |
| FRA7 | 122 |
| FST | 647 |

【I】

| | |
|------------------------------------|----------|
| I/Oポート | 56 |
| I/Oポート以外の端子 | 57 |
| I/Oポートの機能 | 56 |
| I ² Cバスインタフェース | 541 |
| I ² Cバスインタフェースモード | 557 |
| I ² Cバスフォーマット | 557 |
| ICCR1 | 547 |
| ICCR2 | 548 |
| ICDRR | 546 |
| ICDRS | 552 |
| ICDRT | 546 |
| ICIER | 550 |
| ICMR | 549 |
| ICSR | 551 |
| IDコードチェック機能 | 644, 675 |
| IDコード領域 | 179 |
| ILVL2 ~ ILVL0ビット、IPL | 158 |
| INTB | 12 |
| INTCMP | 637 |
| INTEN | 167, 637 |
| INTEN1 | 167 |
| INTF | 168, 638 |
| INTF1 | 168 |
| INTiIC(i=0 ~ 4) | 157 |
| INTi入力フィルタ(i=0 ~ 4) | 169 |
| INTi割り込み(i=0 ~ 4) | 165 |
| INTSR | 85, 166 |
| INT割り込み | 165 |
| IPL | 13 |
| IRビット | 158 |
| ISP | 12 |
| Iフラグ | 13, 158 |

| | | | |
|------------------------------------|---|--|------------------------------|
| 【K】 | | SSER | 518 |
| KIEN | 171 | SSMR | 517 |
| KUPIC | 155 | SSMR2 | 520 |
| | | SSRDR | 515 |
| 【L】 | | SSSR | 519 |
| LINCR | 581 | SSTDR | 514 |
| LINCR2 | 580 | SSTRSR | 523 |
| LINST | 581 | SSUIC/IICIC | 156 |
| LSBファースト、MSBファースト選択 | 453, 481, 488 | SSUICSR | 84, 513, 544 |
| | | SSシフトレジスタ | 523 |
| 【M】 | | Sフラグ | 12 |
| MSTCR | 260, 319, 334, 354, 370, 384, 400, 513, 544 | | |
| | | 【T】 | |
| 【O】 | | TIMSR | 80, 430, 435 |
| OCD | 122 | TRA | 223 |
| OCVREFCR | 595 | TRACR | 221 |
| OFS | 30, 49, 184, 191, 645 | TRAIC | 155 |
| OFS2 | 31, 185, 192 | TRAIIOC | 221, 224, 227, 229, 231, 234 |
| Oフラグ | 13 | TRAMR | 222 |
| | | TRAPRE | 222 |
| 【P】 | | TRASR | 75, 223 |
| P1DRR | 88 | TRBCR | 238 |
| P2DRR | 88 | TRBIC | 155 |
| PC | 12 | TRBIOC | 239, 242, 246, 249, 253 |
| PD _i (i=0 ~ 4, 6) | 73 | TRBMR | 239 |
| PI _i (i=0 ~ 4, 6) | 74 | TRBOCR | 238 |
| PINSR | 86, 128, 545 | TRBPR | 241 |
| PM0 | 29 | TRBPPE | 240 |
| PM1 | 189 | TRBRCSR | 76, 241, 269 |
| PRCR | 149 | TRBSC | 240 |
| PUR0 | 87 | TRC | 265 |
| PUR1 | 87 | TRCADCR | 268 |
| PWM2モード | 298 | TRCCR1 | 262, 285, 294, 300 |
| PWM3モード | 398 | TRCCR2 | 266, 288, 295, 301 |
| PWMモード | 292, 352 | TRCDF | 267, 302 |
| | | TRCGRA | 265 |
| 【R】 | | TRCGRB | 265 |
| R0, R1, R2, R3 | 12 | TRCGRC | 265 |
| RMAD _i (i=0 ~ 1) | 173 | TRCGRC、TRCGRDレジスタの出力端子変更 | 290 |
| ROMコードプロテクト機能 | 645, 678 | TRCGRD | 265 |
| RSTFR | 29 | TRCIC | 156 |
| RXD2デジタルフィルタ選択機能 | 490, 507 | TRCIER | 262 |
| | | TRCIOR0 | 264, 280, 286 |
| 【S】 | | TRCIOR1 | 264, 281, 287 |
| S0RIC | 155 | TRCMR | 261 |
| S0TIC | 155 | TRCOER | 268 |
| S1RIC | 155 | TRCPSR0 | 77, 270 |
| S1TIC | 155 | TRCPSR1 | 78, 271 |
| S2RIC | 155 | TRCSR | 263 |
| S2TIC | 155 | TRD0 | 377, 391, 408 |
| SAR | 552 | TRD0IC | 156 |
| SB | 12 | TRD1 | 392 |
| SCS端子制御とアービトレーション | 539 | TRD1IC | 156 |
| SDA出力 | 499 | TRDADCR | 335, 355, 371, 385, 401 |
| SDA端子デジタル遅延選択 | 555 | TRDCR0 | 375, 406 |
| SDA入力 | 500 | TRDCR _i (i = 0 ~ 1) | 323, 341, 359, 389 |
| SFR | 15 | TRDDFi(i = 0 ~ 1) | 322 |
| SSBR | 514 | TRDECR | 319, 334, 354, 370, 384, 400 |
| SSCRH | 515 | TRDFCR | 321, 338, 357, 373, 387, 403 |
| SSCRL | 516 | TRDGRA _i (i = 0 ~ 1) | 328, 346, 363, 378, 392, 409 |
| | | TRDGRB _i (i = 0 ~ 1) | 328, 346, 363, 378, 392, 409 |
| | | TRDGRC1 | 392 |
| | | TRDGRC _i (i=0 ~ 1)、TRDGRDiレジスタの出力端子変更 ... | 349 |
| | | TRDGRC _i (i = 0 ~ 1) | 328, 346, 363, 378, 409 |
| | | TRDGRDi(i = 0 ~ 1) | 328, 346, 363, 378, 392, 409 |

| | |
|---------------------------|----------------------------------|
| TRDi(i = 0 ~ 1) | 327, 345, 362 |
| TRDIERi(i = 0 ~ 1) | 327, 345, 361, 377, 391, 408 |
| TRDIORAi(i = 0 ~ 1) | 324, 342 |
| TRDIORCi(i = 0 ~ 1) | 325, 343 |
| TRDMR | 320, 337, 356, 372, 386, 402 |
| TRDOCR | 340, 359, 405 |
| TRDOER1 | 339, 358, 374, 388, 404 |
| TRDOER2 | 339, 358, 374, 388, 404 |
| TRDPMR | 321, 337, 357 |
| TRDPOCRi(i = 0 ~ 1) | 361 |
| TRDPSR0 | 79, 329, 347, 364, 379, 394, 411 |
| TRDPSR1 | 79, 329, 347, 364, 379, 394, 411 |
| TRDSRi(i = 0 ~ 1) | 326, 344, 360, 376, 390, 407 |
| TRDSTR | 320, 336, 356, 372, 386, 402 |
| TRECR1 | 428, 434 |
| TRECR2 | 429, 434 |
| TRECSR | 430, 435 |
| TREHR | 427 |
| TREIC | 155 |
| TREMIN | 426, 433 |
| TRESEC | 426, 433 |
| TREWK | 427 |
| TXD、RXD 入出力極性切り替え機能 | 489 |

【U】

| | |
|----------------------|----------|
| U0SR | 81, 446 |
| U1SR | 82, 447 |
| U2BCNIC | 155 |
| U2BRG | 465 |
| U2C0 | 467 |
| U2C1 | 468 |
| U2MR | 465 |
| U2RB | 469 |
| U2SMR | 473 |
| U2SMR2 | 472 |
| U2SMR3 | 472 |
| U2SMR4 | 471 |
| U2SMR5 | 470 |
| U2SR0 | 83, 474 |
| U2SR1 | 84, 475 |
| U2TB | 466 |
| UART | 455, 483 |
| UiBRG(i=0 ~ 1) | 442 |
| UiC0(i=0 ~ 1) | 444 |
| UiC1(i=0 ~ 1) | 444 |
| UiMR(i=0 ~ 1) | 442 |
| UiRB(i=0 ~ 1) | 445 |
| UiTB(i=0 ~ 1) | 443 |
| URXDF | 470 |
| USP | 12 |
| Uフラグ | 13 |

【V】

| | |
|-----------------------------|--------------|
| VCA1 | 43, 623 |
| VCA2 | 44, 127, 624 |
| VCA20 ビットによる内部電源低消費操作 | 685 |
| VCAC | 43, 623 |
| VCC 入力電圧のモニタ | 50 |
| VCMP1IC | 155 |
| VCMP2IC | 155 |
| VD1LS | 45 |
| Vdet0 のモニタ | 50 |
| Vdet1 のモニタ | 50 |

| | |
|------------------|---------|
| Vdet2 のモニタ | 50 |
| VLT0 | 91 |
| VLT1 | 92 |
| VW0C | 46 |
| VW1C | 47, 625 |
| VW2C | 48, 626 |

【W】

| | |
|------------|-----|
| WDTC | 190 |
| WDTR | 189 |
| WDTS | 189 |

【X】

| | |
|-----------------|-----|
| XCIN クロック | 131 |
| XIN クロック | 129 |

【Z】

| | |
|------------|----|
| Zフラグ | 12 |
|------------|----|

【あ】

| | |
|---------------------|----------|
| アウトプットコンペア機能 | 283, 332 |
| アウトプットコンペアモード | 432 |
| アドレス一致割り込み | 172 |
| アドレスレジスタ | 12 |

【い】

| | |
|--------------------|----------|
| イベントカウンタモード | 228 |
| インプットキャプチャ機能 | 278, 317 |

【う】

| | |
|-----------------------|-----|
| ウェイトモード | 136 |
| ウェイトモード、ストップモード | 683 |
| ウォッチドッグタイマ | 187 |
| ウォッチドッグタイマリセット | 36 |

【え】

| | |
|------------------------|-----|
| エミュレータデバuggの注意事項 | 750 |
|------------------------|-----|

【お】

| | |
|-----------------------|-----|
| オーバフローフラグ | 13 |
| オプション機能選択領域 | 183 |
| オンチップオシレータクロック | 130 |
| オンチップデバuggの注意事項 | 749 |

【か】

| | |
|-----------------------|----------|
| 外形寸法図 | 751 |
| 概要 | 1 |
| カウントソース | 272, 311 |
| カウントソース保護モード無効時 | 194 |
| カウントソース保護モード有効時 | 195 |
| カウント中のタイマ書き込み制御 | 225, 243 |
| 各通信モードと端子機能 | 525 |
| 各モードの設定と解除方法 | 659 |

【き】

| | |
|----------------|-----|
| キー入力割り込み | 170 |
|----------------|-----|

| | |
|----------|-----|
| 起動要因 | 202 |
| 機能 | 180 |
| キャリフラグ | 12 |
| 強制イレーズ機能 | 181 |
| 極性選択機能 | 453 |

【く】

| | |
|--------------------------|----------|
| 繰り返し掃引モード | 613 |
| 繰り返しモード0 | 608 |
| 繰り返しモード1 | 609 |
| クロック | 683 |
| クロック同期形シリアルI/Oモード | 448, 476 |
| クロック同期形シリアルインタフェース | 510, 684 |
| クロック同期式シリアルフォーマット | 568 |
| クロック同期式シリアルモード | 568 |
| クロック同期式通信モード | 526 |
| クロック同期式通信モードの初期化 | 526 |
| クロック発生回路 | 115 |
| クロック非同期形シリアルI/O(UART)モード | 455, 483 |

【こ】

| | |
|-------------------------|-----|
| 高速オンチップオシレータクロック | 130 |
| コールドスタート/ウォームスタート判定機能 | 37 |
| コントロールデータの配置とDTCベクタテーブル | 204 |
| コンパレータA | 620 |
| コンパレータA1 | 628 |
| コンパレータA1のモニタ | 627 |
| コンパレータA1、コンパレータA2割り込み | 634 |
| コンパレータA2 | 631 |
| コンパレータA2のモニタ | 627 |
| コンパレータB | 635 |
| コンパレータB1、コンパレータB3割り込み | 641 |
| コンパレータBiデジタルフィルタ(i=1、3) | 640 |

【さ】

| | |
|---------|-----|
| サインフラグ | 12 |
| サスペンド動作 | 658 |

【し】

| | |
|------------------------------|----------|
| システムクロック | 132 |
| 周辺機能クロック | 132 |
| 周辺機能クロックの停止 | 683 |
| 周辺機能への影響 | 57 |
| 周辺機能割り込み | 152 |
| 受信動作 | 570 |
| 仕様概要 | 2 |
| 使用上の注意事項 | 717 |
| 消費電流低減機能 | 605 |
| 消費電力の低減 | 683 |
| 消費電力を小さくするためのポイントと処理方法 | 683 |
| シリアルインタフェース(UART2) | 463 |
| シリアルインタフェース(UARTi(i=0~1)) | 440 |
| シリアルデータ論理切り替え | 482, 489 |
| シリアルライタとオンチップデバッグエミュレータとの接続例 | 752 |
| シンクロナスシリアルコミュニケーションユニット(SSU) | 511 |

【す】

| | |
|----------------------------|-----|
| スタートコンディション、ストップコンディションの検出 | 497 |
| スタートコンディション、ストップコンディションの出力 | 498 |
| スタックポインタ指定フラグ | 13 |
| スタティックベースレジスタ | 12 |
| ストップモード | 140 |
| スレープ受信動作 | 566 |
| スレープ送信動作 | 563 |
| スレープモード | 585 |

【せ】

| | |
|-------|----|
| 製品一覧 | 4 |
| ゼロフラグ | 12 |

【そ】

| | |
|------------|-----|
| 送受信初期化 | 500 |
| 送信動作 | 569 |
| 相補PWMモード | 382 |
| ソフトウェアコマンド | 662 |
| ソフトウェアリセット | 36 |
| ソフトウェア割り込み | 151 |

【た】

| | |
|---|--------------------|
| タイマ | 684 |
| タイマRA | 220 |
| タイマRB | 237 |
| タイマRC | 257 |
| タイマRC割り込み | 306 |
| タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I ² Cバスインタフェース割り込み(複数の割り込み要求要因を持つ割り込み) | 174 |
| タイマRD | 309 |
| タイマRD割り込み | 414 |
| タイマRE | 423 |
| タイマ総論 | 217 |
| タイマモード | 224, 242, 278, 283 |
| 端子機能の説明 | 9 |
| 単掃引モード | 611 |
| 単発モード | 607 |

【ち】

| | |
|-------------------|-----|
| チェイン転送 | 211 |
| チップ内蔵基準電圧(OCVREF) | 605 |
| 中央演算処理装置(CPU) | 11 |

【つ】

| | |
|---------------|--------------------|
| 通信エラー発生時の対処方法 | 452, 461, 480, 488 |
|---------------|--------------------|

【て】

| | |
|------------------|----------|
| 低消費電流リードモード | 688 |
| 低速オンチップオシレータクロック | 130 |
| データ保護機能 | 661 |
| データレジスタ | 12 |
| デジタルフィルタ | 275, 331 |
| デバッグフラグ | 12 |
| 電圧監視0リセット | 35, 51 |

| | | | |
|-----------------------------------|---------------|------------------------------|----------|
| 電圧監視1割り込み | 52 | プログラマブルウェイトワンショット発生モード | 252 |
| 電圧監視2割り込み | 54 | プログラマブル波形発生モード | 245 |
| 電圧検出回路 | 38, 683 | プログラマブルワンショット発生モード | 248 |
| 電気的特性 | 690 | プログラムカウンタ | 12 |
| 電源が安定している場合 | 32 | プロセッサ割り込み優先レベル | 13 |
| 電源投入時 | 32 | ブロック図 | 5 |
| 転送クロック | 499, 521, 553 | プロテクト | 149 |
| 【と】 | | 【ほ】 | |
| 同期動作 | 314 | ポート | 683 |
| 動作タイミング | 212 | ポートの設定 | 93 |
| 特殊モード1(I ² Cモード) | 491 | 【ま】 | |
| 特殊割り込み | 152 | マスカブル割り込み | 634 |
| 特長 | 1 | マスタ受信動作 | 560 |
| 【に】 | | マスタ送信動作 | 558 |
| 入出力端子 | 580, 601 | マスタモード | 582 |
| 【の】 | | マルチプロセッサ受信 | 505 |
| ノイズ除去回路 | 575 | マルチプロセッサ送信 | 504 |
| ノーマルモード | 209 | マルチプロセッサ通信機能 | 501 |
| ノンマスカブル割り込み | 634 | 【み】 | |
| 【は】 | | 未使用端子の処理 | 112 |
| ハードウェアLIN | 579 | 【め】 | |
| ハードウェアLIN終了処理 | 590 | メモリ | 14 |
| ハードウェアリセット | 32 | メモリ配置 | 643 |
| バス衝突検出機能 | 589 | 【も】 | |
| バス制御 | 113 | モード選択 | 510 |
| 発振停止検出機能 | 143 | 【ゆ】 | |
| 発振停止検出機能の使用法 | 144 | ユーザスタックポインタ | 12 |
| 発振評価回路例 | 754 | 【よ】 | |
| バッファ動作 | 273, 312 | 用途 | 1 |
| バッファレジスタからの転送タイミング | 397 | 予約ビット | 13 |
| パラレル入出力モード | 678 | 【り】 | |
| パルス周期測定モード | 233 | リアルタイムクロックモード | 424 |
| パルス出力強制遮断 | 276, 315 | リセット | 27 |
| パルス出力モード | 226 | リセット同期PWMモード | 368 |
| パルス幅測定モード | 230 | リセット要因判別機能 | 37 |
| パワーオンリセット機能 | 34 | リピートモード | 210 |
| パワーコントロール | 134 | 【れ】 | |
| 【ひ】 | | レジスタ設定例 | 571 |
| 比較結果のモニタ | 627 | レジスタ退避 | 161 |
| ビット同期回路 | 576 | レジスタバンク指定フラグ | 12 |
| ビットレート | 460, 487 | 連続受信モード | 454, 481 |
| 標準シリアル入出力モード | 675 | 【わ】 | |
| 標準シリアル入出力モード禁止機能 | 181 | 割り込み | 150 |
| 標準動作モード | 134 | 割り込み応答時間 | 160 |
| ピン配置図 | 6 | 割り込み許可フラグ | 13 |
| 【ふ】 | | 割り込みシーケンス | 159 |
| フラグレジスタ | 12 | | |
| フラッシュメモリ | 642 | | |
| フラッシュメモリ書き換え禁止機能 | 644 | | |
| フラッシュメモリの停止 | 687 | | |
| フルステータスチェック | 673 | | |
| フレームベースレジスタ | 12 | | |

| | |
|------------------------|---------------|
| 割り込みスタックポインタ | 12 |
| 割り込み制御 | 158 |
| 割り込みテーブルレジスタ | 12 |
| 割り込みと割り込みベクタ | 153 |
| 割り込みの分類 | 150 |
| 割り込み優先順位 | 163 |
| 割り込み優先レベル判定回路 | 164 |
| 割り込み要因 | 211 |
| 割り込み要求 | 524, 556, 591 |
| 割り込み要求受付時のIPLの変化 | 160 |
| 割り込みルーチンからの復帰 | 163 |
| ワンショットトリガ選択 | 251 |

改訂記録

R8C/34Mグループ ユーザーズマニュアル ハードウェア編

| Rev. | 発行日 | 改訂内容 | |
|------|------------|-------------|---|
| | | ページ | ポイント |
| 0.10 | 2011.02.15 | - | 初版発行 |
| 1.00 | 2011.06.21 | 全ページ | 「暫定版」、「開発中」削除 |
| | | 86、128、545 | 7.4.16、9.2.15、26.2.3 注1 追記 |
| | | 118、119 | 9.2.1、9.2.2 注5 追記 |
| | | 129 | 9.3 注1 削除、図9.3 変更 |
| | | 140 | 9.7.3.2 変更 |
| | | 145 | 図9.9 タイトル 変更 |
| | | 221 | 17.2.1 注4 変更 |
| | | 308、728 | 19.9.5、35.8.5 「・インプットキャプチャ・・・“1”になります。」追記 |
| | | 418、731 | 20.10.6、35.9.6 「・インプットキャプチャ・・・“1”になります。」追記 |
| | | 465 | 23.2.2 「U2BRGレジスタに・・・場合があります。」追記 |
| | | 509、741 | 23.7.3、35.12.3 追記 |
| | | 602 | 28.3.2 「・・・“0”になり、最後のA/D変換結果が・・・」 「“0”になると同時に、最後のA/D変換結果が・・・」 |
| | | 666～668 | 図32.10～図32.12 タイトル 変更 |
| | | 669 | 「FMR22ビットを・・・“1”にしてください。」、図32.14 追記 |
| | | 676 | 図32.18 注2 変更 |
| | | 691 | 表34.2 「f(XCIN)」変更 |
| | | 698 | 表34.11 「Vdet2」変更 |
| | | 699 | 表34.13 変更 |
| | | 707、711、715 | 表34.20、表34.26、表34.32 「tc(XCIN)、tWH(XCIN)、tWL(XCIN)」変更 |
| | | 708、712、716 | 表34.22、表34.28、表34.34 注1 追記 |
| | | 752 | 付図2.1 「M16C Flash Starter (M3A-0806)」 「MF Ten Nine cable (M3A-0652CBL)」 図タイトル 変更 |

R8C/34Mグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2011年2月15日 Rev.0.10
2011年6月21日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

R8C/34Mグループ