

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/24グループ、R8C/25グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
R8Cファミリ／R8C/2xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/24グループ、R8C/25グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/24グループ、R8C/25グループデータシート	RJJ03B0120
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/24グループ、R8C/25グループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU命令セットの説明	R8C/Tinyシリーズソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス テクノロジホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- | |
|---|
| <p>(1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5 端子、VCC 端子</p> <p>(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 11b
16進数 : EFA0h
10進数 : 1234</p> |
|---|

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

*1

ビット シンボル	ビット名	機能	RW
・・・0	・・・ビット	b1b0 00:・・・ 01:・・・ 10:設定しないでください 11:・・・	RW *2
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		— *3
— (b4-b3)	予約ビット	“0”にしてください	WO *4
・・・5	・・・ビット	動作モードによって機能が異なる	RW
・・・6			RW
・・・7	・・・ビット	0:・・・ 1:・・・	RO

*1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- x : 何も配置されていないビットです。

*2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

*3

- ・予約ビット
予約ビットです。指定された値にしてください。

*4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスベル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のICカード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	4
1.4 製品一覧	5
1.5 ピン接続図	9
1.6 端子の機能説明	11
2. 中央演算処理装置 (CPU)	13
2.1 データレジスタ (R0、R1、R2、R3)	14
2.2 アドレスレジスタ (A0、A1)	14
2.3 フレームベースレジスタ (FB)	14
2.4 割り込みテーブルレジスタ (INTB)	14
2.5 プログラムカウンタ (PC)	14
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	14
2.7 スタティックベースレジスタ (SB)	14
2.8 フラグレジスタ (FLG)	14
2.8.1 キャリフラグ (C)	14
2.8.2 デバッグフラグ (D)	14
2.8.3 ゼロフラグ (Z)	14
2.8.4 サインフラグ (S)	14
2.8.5 レジスタバンク指定フラグ (B)	14
2.8.6 オーバフローフラグ (O)	15
2.8.7 割り込み許可フラグ (I)	15
2.8.8 スタックポインタ指定フラグ (U)	15
2.8.9 プロセッサ割り込み優先レベル (IPL)	15
2.8.10 予約ビット	15
3. メモリ	16
3.1 R8C/24 グループ	16
3.2 R8C/25 グループ	17
4. SFR	18
5. リセット	25
5.1 ハードウェアリセット	28
5.1.1 電源が安定している場合	28
5.1.2 電源投入時	28
5.2 パワーオンリセット機能	30
5.3 電圧監視 0 リセット	31
5.4 電圧監視 1 リセット	31
5.5 電圧監視 2 リセット	31
5.6 ウォッチドッグタイマリセット	32
5.7 ソフトウェアリセット	32
6. 電圧検出回路	33
6.1 VCC 入力電圧のモニタ	40

6.1.1	Vdet0 のモニタ	40
6.1.2	Vdet1 のモニタ	40
6.1.3	Vdet2 のモニタ	40
6.2	電圧監視 0 リセット	41
6.3	電圧監視 1 割り込み、電圧監視 1 リセット	42
6.4	電圧監視 2 割り込み、電圧監視 2 リセット	44
7.	プログラマブル入出力ポート	46
7.1	プログラマブル入出力ポートの機能	46
7.2	周辺機能への影響	47
7.3	プログラマブル入出力ポート以外の端子	47
7.4	ポートの設定	59
7.5	未使用端子の処理	71
8.	プロセッサモード	72
8.1	プロセッサモードの種類	72
9.	バス制御	73
10.	クロック発生回路	74
10.1	XIN クロック	83
10.2	オンチップオシレータクロック	84
10.2.1	低速オンチップオシレータクロック	84
10.2.2	高速オンチップオシレータクロック	84
10.3	XCIN クロック	85
10.4	CPU クロックと周辺機能クロック	86
10.4.1	システムクロック	86
10.4.2	CPU クロック	86
10.4.3	周辺機能クロック (f1、f2、f4、f8、f32)	86
10.4.4	fOCO	86
10.4.5	fOCO40M	86
10.4.6	fOCO-F	86
10.4.7	fOCO-S	87
10.4.8	fOCO128	87
10.4.9	fC4、fC32	87
10.5	パワーコントロール	88
10.5.1	標準動作モード	88
10.5.2	ウェイトモード	90
10.5.3	ストップモード	94
10.6	発振停止検出機能	97
10.6.1	発振停止検出機能の使用方法	97
10.7	クロック発生回路使用上の注意	100
10.7.1	ストップモード	100
10.7.2	ウェイトモード	100
10.7.3	発振停止検出機能	100
10.7.4	発振回路定数	100

11.	プロテクト	101
12.	割り込み	102
12.1	割り込みの概要	102
12.1.1	割り込みの分類	102
12.1.2	ソフトウェア割り込み	103
12.1.3	特殊割り込み	104
12.1.4	周辺機能割り込み	104
12.1.5	割り込みと割り込みベクタ	105
12.1.6	割り込み制御	107
12.2	INT 割り込み	117
12.2.1	INT _i 割り込み (i=0 ~ 3)	117
12.2.2	INT _i 入力フィルタ (i=0 ~ 3)	119
12.3	キー入力割り込み	120
12.4	アドレス一致割り込み	122
12.5	タイマ RD 割り込み、チップセレクト付クロック同期形シリアル I/O 割り込み、I ² C バスインタフェース割り込み (複数の割り込み要求要因を持つ割り込み)	124
12.6	割り込み使用上の注意	126
12.6.1	00000h 番地の読み出し	126
12.6.2	SP の設定	126
12.6.3	外部割り込み、キー入力割り込み	126
12.6.4	割り込み要因の変更	127
12.6.5	割り込み制御レジスタの変更	128
13.	ウォッチドッグタイマ	129
13.1	カウントソース保護モード無効時	132
13.2	カウントソース保護モード有効時	133
14.	タイマ	134
14.1	タイマ RA	136
14.1.1	タイマモード	139
14.1.2	パルス出力モード	141
14.1.3	イベントカウンタモード	143
14.1.4	パルス幅測定モード	145
14.1.5	パルス周期測定モード	148
14.1.6	タイマ RA 使用上の注意	151
14.2	タイマ RB	152
14.2.1	タイマモード	156
14.2.2	プログラマブル波形発生モード	159
14.2.3	プログラマブルワンショット発生モード	162
14.2.4	プログラマブルウェイトワンショット発生モード	166
14.2.5	タイマ RB 使用上の注意	169
14.3	タイマ RD	173
14.3.1	カウントソース	178
14.3.2	バッファ動作	179
14.3.3	同期動作	181
14.3.4	パルス出力強制遮断	182
14.3.5	インプットキャプチャ機能	184
14.3.6	アウトプットコンペア機能	198

14.3.7	PWM モード	214
14.3.8	リセット同期 PWM モード	226
14.3.9	相補 PWM モード	236
14.3.10	PWM3 モード	249
14.3.11	タイマ RD 割り込み	261
14.3.12	タイマ RD 使用上の注意事項	263
14.4	タイマ RE	269
14.4.1	リアルタイムクロックモード	270
14.4.2	アウトプットコンペアモード	278
14.4.3	タイマ RE 使用上の注意事項	283
15.	シリアルインタフェース	286
15.1	クロック同期形シリアル I/O モード	292
15.1.1	極性選択機能	295
15.1.2	LSB ファースト、MSB ファースト選択	295
15.1.3	連続受信モード	296
15.2	クロック非同期形シリアル I/O(UART) モード	297
15.2.1	ビットレート	301
15.3	シリアルインタフェース使用上の注意	302
16.	クロック同期形シリアルインタフェース	303
16.1	モード選択	303
16.2	チップセレクト付クロック同期形シリアル I/O (SSU)	304
16.2.1	転送クロック	313
16.2.2	SS シフトレジスタ (SSTRSR)	315
16.2.3	割り込み要求	316
16.2.4	各通信モードと端子機能	317
16.2.5	クロック同期式通信モード	318
16.2.6	4 線式バス通信モード	325
16.2.7	SCS 端子制御とアービトレーション	331
16.2.8	チップセレクト付クロック同期形シリアル I/O 使用上の注意	332
16.3	I ² C バスインタフェース	333
16.3.1	転送クロック	343
16.3.2	割り込み要求	344
16.3.3	I ² C バスインタフェースモード	345
16.3.4	クロック同期式シリアルモード	356
16.3.5	ノイズ除去回路	359
16.3.6	ビット同期回路	360
16.3.7	レジスタ設定例	361
16.3.8	I ² C バスインタフェース使用上の注意	365
17.	ハードウェア LIN	366
17.1	特長	366
17.2	入出力端子	367
17.3	レジスタ構成	368
17.4	動作説明	370
17.4.1	マスタモード	370
17.4.2	スレーブモード	373
17.4.3	バス衝突検出機能	377

17.4.4	ハードウェア LIN 終了処理	378
17.5	割り込み要求	379
17.6	ハードウェア LIN 使用上の注意	380
18.	A/D コンバータ	381
18.1	単発モード	385
18.2	繰り返しモード	388
18.3	サンプル & ホールド	391
18.4	A/D 変換サイクル数	391
18.5	アナログ入力内部等価回路	392
18.6	A/D 変換時のセンサーの出力インピーダンス	393
18.7	A/D コンバータ使用上の注意	394
19.	フラッシュメモリ	395
19.1	概要	395
19.2	メモリ配置	396
19.3	フラッシュメモリ書き換え禁止機能	398
19.3.1	ID コードチェック機能	398
19.3.2	ROM コードプロテクト機能	399
19.4	CPU 書き換えモード	400
19.4.1	EW0 モード	401
19.4.2	EW1 モード	401
19.4.3	ソフトウェアコマンド	410
19.4.4	ステータスレジスタ	415
19.4.5	フルステータスチェック	416
19.5	標準シリアル入出力モード	418
19.5.1	ID コードチェック機能	418
19.6	パラレル入出力モード	422
19.6.1	ROM コードプロテクト機能	422
19.7	フラッシュメモリ使用上の注意	423
19.7.1	CPU 書き換えモード	423
20.	電気的特性	425
21.	使用上の注意事項	451
21.1	クロック発生回路使用上の注意	451
21.1.1	ストップモード	451
21.1.2	ウェイトモード	451
21.1.3	発振停止検出機能	451
21.1.4	発振回路定数	451
21.2	割り込み使用上の注意	452
21.2.1	00000h 番地の読み出し	452
21.2.2	SP の設定	452
21.2.3	外部割り込み、キー入力割り込み	452
21.2.4	割り込み要因の変更	453
21.2.5	割り込み制御レジスタの変更	454
21.3	タイマ	455
21.3.1	タイマ RA 使用上の注意	455
21.3.2	タイマ RB 使用上の注意	456

21.3.3	タイマ RD 使用上の注意事項	460
21.3.4	タイマ RE 使用上の注意事項	466
21.4	シリアルインタフェース使用上の注意	469
21.5	クロック同期形シリアルインタフェース使用上の注意	470
21.5.1	チップセレクト付クロック同期形シリアル I/O 使用上の注意	470
21.5.2	I ² C バスインタフェース使用上の注意	470
21.6	ハードウェア LIN 使用上の注意	471
21.7	A/D コンバータ使用上の注意	472
21.8	フラッシュメモリ使用上の注意	473
21.8.1	CPU 書き換えモード	473
21.9	ノイズに関する注意事項	475
21.9.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ 挿入	475
21.9.2	ポート制御レジスタのノイズ誤動作対策	475
22.	オンチップデバッグの注意事項	476
付録 1.	外形寸法図	477
付録 2.	シリアルライタとオンチップデバッグエミュレータとの接続例	478
付録 3.	発振評価回路例	479
索引	480

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	72
0005h	プロセッサモードレジスタ1	PM1	72
0006h	システムクロック制御レジスタ0	CM0	76
0007h	システムクロック制御レジスタ1	CM1	77
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	101
000Bh			
000Ch	発振停止検出レジスタ	OCD	78
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	131
000Eh	ウォッチドッグタイムスタートレジスタ	WDTS	131
000Fh	ウォッチドッグタイム制御レジスタ	WDC	130
0010h	アドレス一致割り込みレジスタ0	RMAD0	123
0011h			
0012h			
0013h	アドレス一致割り込み許可レジスタ	AIER	123
0014h	アドレス一致割り込みレジスタ1	RMAD1	123
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	131
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	79
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	79
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	80
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	81
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	80
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	80
002Ch	高速オンチップオシレータ制御レジスタ7	FRA7	80
002Dh			
002Eh			
002Fh			
0030h			
0031h	電圧検出レジスタ1	VCA1	36
0032h	電圧検出レジスタ2	VCA2	36、81
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ	VW1C	38
0037h	電圧監視2回路制御レジスタ	VW2C	39
0038h	電圧監視0回路制御レジスタ	VW0C	37
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	108
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	108
004Ah	タイマRE割り込み制御レジスタ	TREIC	107
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	107
004Eh	A/D変換割り込み制御レジスタ	ADIC	107
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ	SSUIC/IICIC	108
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	107
0052h	UART0受信割り込み制御レジスタ	S0RIC	107
0053h	UART1送信割り込み制御レジスタ	S1TIC	107
0054h	UART1受信割り込み制御レジスタ	S1RIC	107
0055h	INT2割り込み制御レジスタ	INT2IC	109
0056h	タイマRA割り込み制御レジスタ	TRAIC	107
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	107
0059h	INT1割り込み制御レジスタ	INT1IC	109
005Ah	INT3割り込み制御レジスタ	INT3IC	109
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	109
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載ページ
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	289
00A1h	UART0ビットレートレジスタ	U0BRG	288
00A2h	UART0送信バッファレジスタ	U0TB	288
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	290
00A5h	UART0送受信制御レジスタ1	U0C1	291
00A6h	UART0受信バッファレジスタ	U0RB	288
00A7h			
00A8h	UART1送受信モードレジスタ	U1MR	289
00A9h	UART1ビットレートレジスタ	U1BRG	288
00AAh	UART1送信バッファレジスタ	U1TB	288
00ABh			
00ACh	UART1送受信制御レジスタ0	U1C0	290
00ADh	UART1送受信制御レジスタ1	U1C1	291
00AEh	UART1受信バッファレジスタ	U1RB	288
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH / ICCR1	306、336
00B9h	SS制御レジスタL/IICバス制御レジスタ2	SSCRL / ICCR2	307、337
00BAh	SSモードレジスタH/IICバスモードレジスタ	SSMR / ICMR	308、338
00BBh	SS許可レジスタH/IICバス割り込み許可レジスタ	SSER / ICIER	309、339
00BCh	SSステータスレジスタH/IICバスステータスレジスタ	SSSR / ICSR	310、340
00BDh	SSモードレジスタ2/スレープアドレスレジスタ	SSMR2 / SAR	311、341
00BEh	SS送信データレジスタH/IICバス送信データレジスタ	SSTDR / ICDRT	312、341
00BFh	SS受信データレジスタH/IICバス受信データレジスタ	SSRDR / ICDRR	312、341

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ	AD	384
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D制御レジスタ2	ADCON2	384
00D5h			
00D6h	A/D制御レジスタ0	ADCON0	383
00D7h	A/D制御レジスタ1	ADCON1	384
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	56
00E1h	ポートP1レジスタ	P1	56
00E2h	ポートP0方向レジスタ	PD0	56
00E3h	ポートP1方向レジスタ	PD1	56
00E4h	ポートP2レジスタ	P2	56
00E5h	ポートP3レジスタ	P3	56
00E6h	ポートP2方向レジスタ	PD2	56
00E7h	ポートP3方向レジスタ	PD3	56
00E8h	ポートP4レジスタ	P4	56
00E9h			
00EAh	ポートP4方向レジスタ	PD4	56
00EBh			
00ECh	ポートP6レジスタ	P6	56
00EDh			
00EEh	ポートP6方向レジスタ	PD6	56
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポートP2駆動能力制御レジスタ	P2DRR	58
00F5h	UART1機能選択レジスタ	U1SR	291
00F6h			
00F7h			
00F8h	ポートモードレジスタ	PMR	57、291、312、342
00F9h	外部入力許可レジスタ	INTEN	117
00FAh	INT入力フィルタ選択レジスタ	INTF	118
00FBh	キー入力許可レジスタ	KIEN	121
00FCh	プルアップ制御レジスタ0	PUR0	57
00FDh	プルアップ制御レジスタ1	PUR1	57
00FEh			
00FFh			

番地	レジスタ	シンボル	掲載ページ
0100h	タイマRA制御レジスタ	TRACR	137
0101h	タイマRA I/O制御レジスタ	TRAIOC	137、139、142、144、146、149
0102h	タイマRAモードレジスタ	TRAMR	138
0103h	タイマRAプリスケアラレジスタ	TRAPRE	138
0104h	タイマRAレジスタ	TRA	138
0105h			
0106h	LINコントロールレジスタ	LINCR	368
0107h	LINステータスレジスタ	LINST	369
0108h	タイマRB制御レジスタ	TRBCR	153
0109h	タイマRBワンショット制御レジスタ	TRBOCR	153
010Ah	タイマRB I/O制御レジスタ	TRBIOC	154、156、160、163、167
010Bh	タイマRBモードレジスタ	TRBMR	154
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	155
010Dh	タイマRBセカンダリレジスタ	TRBSC	155
010Eh	タイマRBプライマリレジスタ	TRBPR	155
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/ カウンタデータレジスタ	TRESEC	272、279
0119h	タイマRE分データレジスタ/ コンペアデータレジスタ	TREMIN	272、279
011Ah	タイマRE時データレジスタ	TREHR	273
011Bh	タイマRE曜日データレジスタ	TREWK	273
011Ch	タイマRE制御レジスタ1	TRECR1	274、280
011Dh	タイマRE制御レジスタ2	TRECR2	275、280
011Eh	タイマREカウントソース選択レジスタ	TRECSR	276、281
011Fh			
0120h			
0121h			
0122h			
0123h			
0124h			
0125h			
0126h			
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh			
012Eh			
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h	タイマRDスタートレジスタ	TRDSTR	186、200、216、228、238、251
0138h	タイマRDモードレジスタ	TRDMR	186、200、216、228、238、251
0139h	タイマRD PWMモードレジスタ	TRDPMR	187、201、217
013Ah	タイマRD機能制御レジスタ	TRDFCR	188、202、217、229、239、252
013Bh	タイマRDアウトプットマスタ許可レジスタ1	TRDOER1	203、218、230、240、253
013Ch	タイマRDアウトプットマスタ許可レジスタ2	TRDOER2	203、218、230、240、253
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	204、219、254
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	189
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	189
0140h	タイマRD制御レジスタ0	TRDCR0	190、205、219、231、241、255
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	191、206
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	192、207
0143h	タイマRDステータスレジスタ0	TRDSR0	193、208、220、232、242、256
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	194、209、221、233、243、257
0145h	タイマRD PWMモードアウトプットレベル制御レジスタ0	TRDPOCR0	222
0146h	タイマRDカウンタ0	TRD0	194、210、222、233、244、257
0147h			
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	195、210、223、234、244、258
0149h			
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	195、210、223、234、244、258
014Bh			
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	195、210、223、234、258
014Dh			
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	195、210、223、234、244、258
014Fh			
0150h	タイマRD制御レジスタ1	TRDCR1	190、205、219、241
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	191、206
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	192、207
0153h	タイマRDステータスレジスタ1	TRDSR1	193、208、220、232、242、256
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	194、209、221、233、243、257
0155h	タイマRD PWMモードアウトプットレベル制御レジスタ1	TRDPOCR1	222
0156h	タイマRDカウンタ1	TRD1	194、210、222、244
0157h			
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	195、210、223、234、244、258
0159h			
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	195、210、223、234、244、258
015Bh			
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	195、210、223、234、244、258
015Dh			
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	195、210、223、234、244、258
015Fh			

番地	レジスタ	シンボル	掲載ページ
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	406
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	405
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	404
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
FFFFh	オプション機能選択レジスタ	OFS	27、130、399

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/TinyシリーズCPUコアを搭載したシングルチップマイクロコンピュータで、52ピンプラスチックモールドLQFPまたは64ピンプラスチックモールドFLGAに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/25グループはデータフラッシュ(1KB×2ブロック)を内蔵します。

R8C/24グループとR8C/25グループの違いはデータフラッシュの有無だけです。周辺機能は同一です。

1.1 応用

家電、事務機器、オーディオ、民生一般、他

1.2 性能概要

表1.1にR8C/24グループの性能概要を、表1.2にR8C/25グループの性能概要を示します。

表1.1 R8C/24グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最短命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	表1.3を参照してください	
周辺機能	ポート	入出力：41本、入力：3本	
	LED駆動用ポート	入出力：8本	
	タイマ	タイマRA：8ビット×1チャンネル タイマRB：8ビット×1チャンネル(各タイマ：8ビットプリスケアラ付) タイマRD：16ビット×2チャンネル (インプットキャプチャ回路、アウトプットコンペア回路) タイマRE：リアルタイムクロックおよびコンペアマッチ機能付	
	シリアルインタフェース	2チャンネル(UART0、UART1) クロック同期形シリアルI/O、クロック非同期形シリアルI/O	
	クロック同期形シリアルインタフェース	1チャンネル I ² Cバスインタフェース(注1)、チップセレクト付クロック同期形シリアルI/O	
	LINモジュール	ハードウェアLIN：1チャンネル (タイマRA、UART0を使用)	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、12チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能	
	割り込み	内部：11要因、外部：5要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル	
	クロック	クロック発生回路	3回路 <ul style="list-style-type: none"> • XINクロック発振回路(帰還抵抗内蔵) • オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付 • XCINクロック発振回路(32kHz)
			リアルタイムクロック(タイマRE)あり
		発振停止検出機能	XINクロック発振停止検出機能
		電圧検出回路	内蔵
		パワーオンリセット回路	内蔵
電気的特性	電源電圧	VCC=3.0~5.5V (f(XIN)=20MHz) VCC=2.7~5.5V (f(XIN)=10MHz) VCC=2.2~5.5V (f(XIN)=5MHz)	
	消費電流	標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 2.0μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 0.7μA (VCC=3V、ストップモード)	
フラッシュメモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレーズ回数	100回	
動作周囲温度		-20 ~ 85 (Nバージョン)	
		-40 ~ 85 (Dバージョン)(注2)	
		-20 ~ 105 (Yバージョン)(注3)	
パッケージ		52ピンプラスチックモールドLQFP	
		64ピンプラスチックモールドFLGA	

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

注3. Yバージョンについては、ルネサステクノロジ営業窓口へお問い合わせください。

表1.2 R8C/25グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最短命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	表1.4を参照してください	
周辺機能	ポート	入出力：41本、入力：3本	
	LED駆動用ポート	入出力：8本	
	タイマ	タイマRA：8ビット×1チャンネル タイマRB：8ビット×1チャンネル(各タイマ：8ビットプリスケアラ付) タイマRD：16ビット×2チャンネル (インプットキャプチャ回路、アウトプットコンペア回路) タイマRE：リアルタイムクロックおよびコンペアマッチ機能付	
	シリアルインタフェース	2チャンネル(UART0、UART1) クロック同期形シリアルI/O、クロック非同期形シリアルI/O	
	クロック同期形シリアルインタフェース	1チャンネル I ² Cバスインタフェース(注1)、チップセレクト付クロック同期形シリアルI/O	
	LINモジュール	ハードウェアLIN：1チャンネル (タイマRA、UART0を使用)	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、12チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能	
	割り込み	内部：11要因、外部：5要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル	
	クロック	クロック発生回路	3回路 <ul style="list-style-type: none"> • XINクロック発振回路(帰還抵抗内蔵) • オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付 • XCINクロック発振回路(32kHz)
			リアルタイムクロック(タイマRE)あり
		発振停止検出機能	XINクロック発振停止検出機能
		電圧検出回路	内蔵
		パワーオンリセット回路	内蔵
電気的特性	電源電圧	VCC=3.0~5.5V (f(XIN)=20MHz) VCC=2.7~5.5V (f(XIN)=10MHz) VCC=2.2~5.5V (f(XIN)=5MHz)	
	消費電流	標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 2.0μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 0.7μA (VCC=3V、ストップモード)	
フラッシュメモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレース回数	10,000回(データフラッシュ) 1,000回(プログラムROM)	
動作周囲温度		-20 ~ 85 (Nバージョン)	
		-40 ~ 85 (Dバージョン)(注2)	
		-20 ~ 105 (Yバージョン)(注3)	
パッケージ		52ピンプラスチックモールドLQFP	
		64ピンプラスチックモールドFLGA	

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

注3. Yバージョンについては、ルネサステクノロジ営業窓口へお問い合わせください。

1.3 ブロック図

図1.1にブロック図を示します。

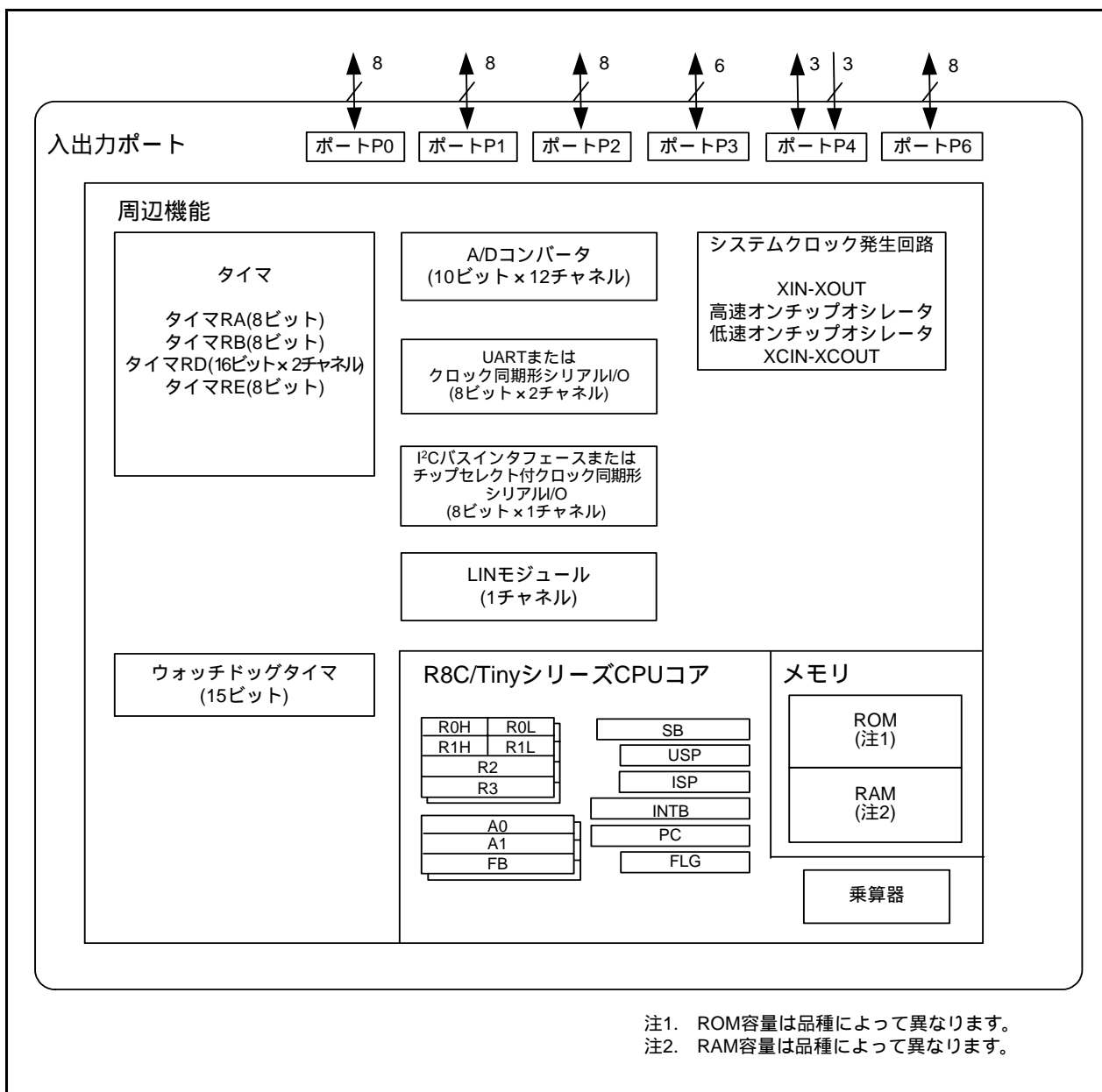


図1.1 ブロック図

1.4 製品一覧

表1.3にR8C/24グループの製品一覧表を、表1.4にR8C/25グループの製品一覧表を示します。

表1.3 R8C/24グループの製品一覧表

2008年2月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F21244SNFP	16Kバイト	1Kバイト	PLQP0052JA-A	Nバージョン ブランク品
R5F21245SNFP	24Kバイト	2Kバイト	PLQP0052JA-A	
R5F21246SNFP	32Kバイト	2Kバイト	PLQP0052JA-A	
R5F21247SNFP	48Kバイト	2.5Kバイト	PLQP0052JA-A	
R5F21248SNFP	64Kバイト	3Kバイト	PLQP0052JA-A	
R5F21244SNLG	16Kバイト	1Kバイト	PTLG0064JA-A	
R5F21246SNLG	32Kバイト	2Kバイト	PTLG0064JA-A	
R5F21244SDFP	16Kバイト	1Kバイト	PLQP0052JA-A	
R5F21245SDFP	24Kバイト	2Kバイト	PLQP0052JA-A	
R5F21246SDFP	32Kバイト	2Kバイト	PLQP0052JA-A	
R5F21247SDFP	48Kバイト	2.5Kバイト	PLQP0052JA-A	
R5F21248SDFP	64Kバイト	3Kバイト	PLQP0052JA-A	
R5F21244SNXXXFP	16Kバイト	1Kバイト	PLQP0052JA-A	Nバージョン 書き込み出荷品 (注1)
R5F21245SNXXXFP	24Kバイト	2Kバイト	PLQP0052JA-A	
R5F21246SNXXXFP	32Kバイト	2Kバイト	PLQP0052JA-A	
R5F21247SNXXXFP	48Kバイト	2.5Kバイト	PLQP0052JA-A	
R5F21248SNXXXFP	64Kバイト	3Kバイト	PLQP0052JA-A	
R5F21244SNXXXLG	16Kバイト	1Kバイト	PTLG0064JA-A	
R5F21246SNXXXLG	32Kバイト	2Kバイト	PTLG0064JA-A	Dバージョン 書き込み出荷品 (注1)
R5F21244SDXXXFP	16Kバイト	1Kバイト	PLQP0052JA-A	
R5F21245SDXXXFP	24Kバイト	2Kバイト	PLQP0052JA-A	
R5F21246SDXXXFP	32Kバイト	2Kバイト	PLQP0052JA-A	
R5F21247SDXXXFP	48Kバイト	2.5Kバイト	PLQP0052JA-A	
R5F21248SDXXXFP	64Kバイト	3Kバイト	PLQP0052JA-A	

注1. ユーザー ROMを書き込んで出荷します。

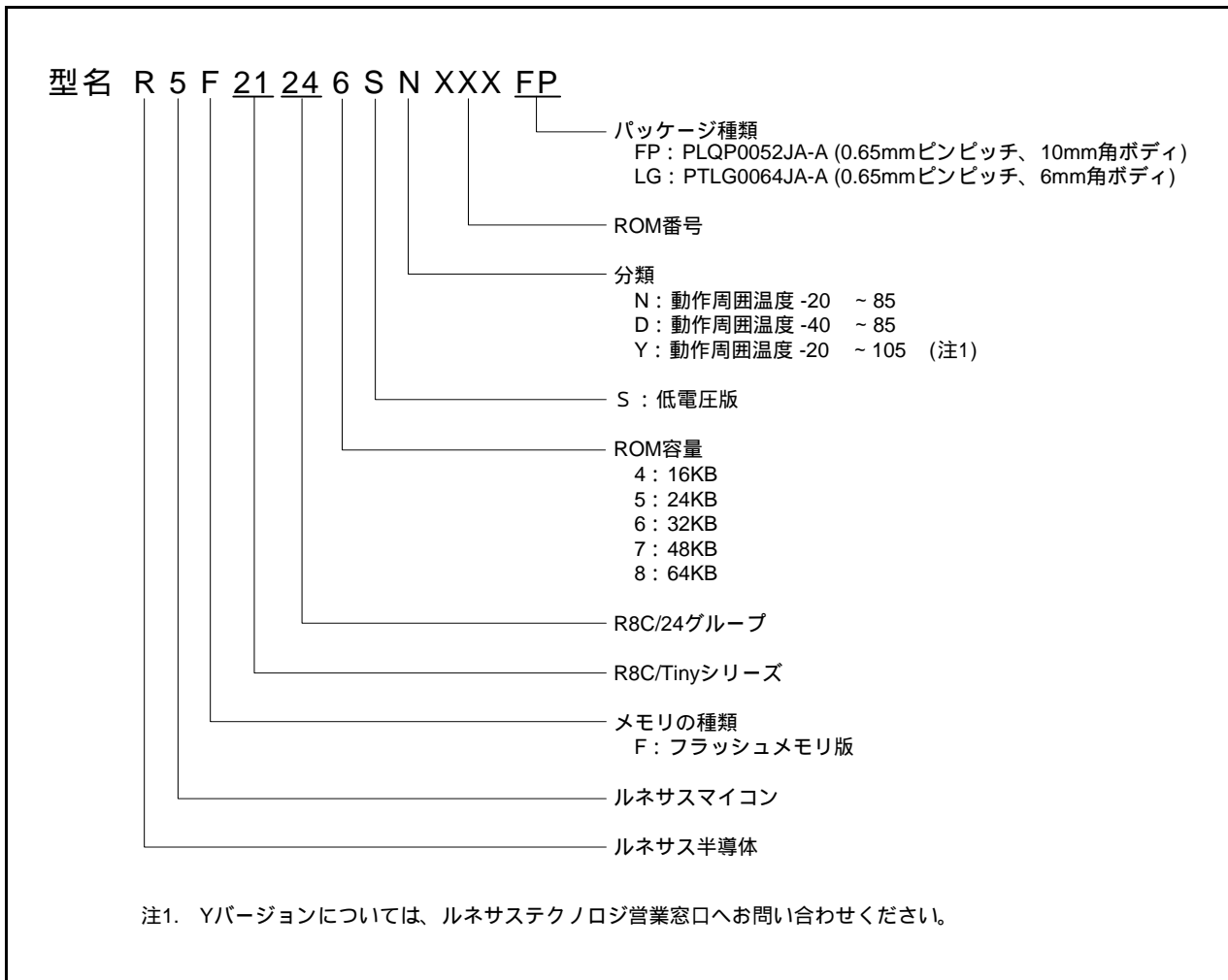


図1.2 型名とメモリサイズ・パッケージ

表1.4 R8C/25グループの製品一覧表

2008年2月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21254SNFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0052JA-A	Nバージョン ブランク品
R5F21255SNFP	24Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21256SNFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21257SNFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0052JA-A	
R5F21258SNFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0052JA-A	
R5F21254SNLG	16Kバイト	1Kバイト×2	1Kバイト	PTLG0064JA-A	
R5F21256SNLG	32Kバイト	1Kバイト×2	2Kバイト	PTLG0064JA-A	Dバージョン ブランク品
R5F21254SDFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0052JA-A	
R5F21255SDFP	24Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21256SDFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21257SDFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0052JA-A	
R5F21258SDFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0052JA-A	
R5F21254SNXXXFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0052JA-A	Nバージョン 書き込み出荷品 (注1)
R5F21255SNXXXFP	24Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21256SNXXXFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21257SNXXXFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0052JA-A	
R5F21258SNXXXFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0052JA-A	
R5F21254SNXXXLG	16Kバイト	1Kバイト×2	1Kバイト	PTLG0064JA-A	
R5F21256SNXXXLG	32Kバイト	1Kバイト×2	2Kバイト	PTLG0064JA-A	Dバージョン 書き込み出荷品 (注1)
R5F21254SDXXXFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0052JA-A	
R5F21255SDXXXFP	24Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21256SDXXXFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21257SDXXXFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0052JA-A	
R5F21258SDXXXFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0052JA-A	

注1. ユーザー ROMを書き込んで出荷します。

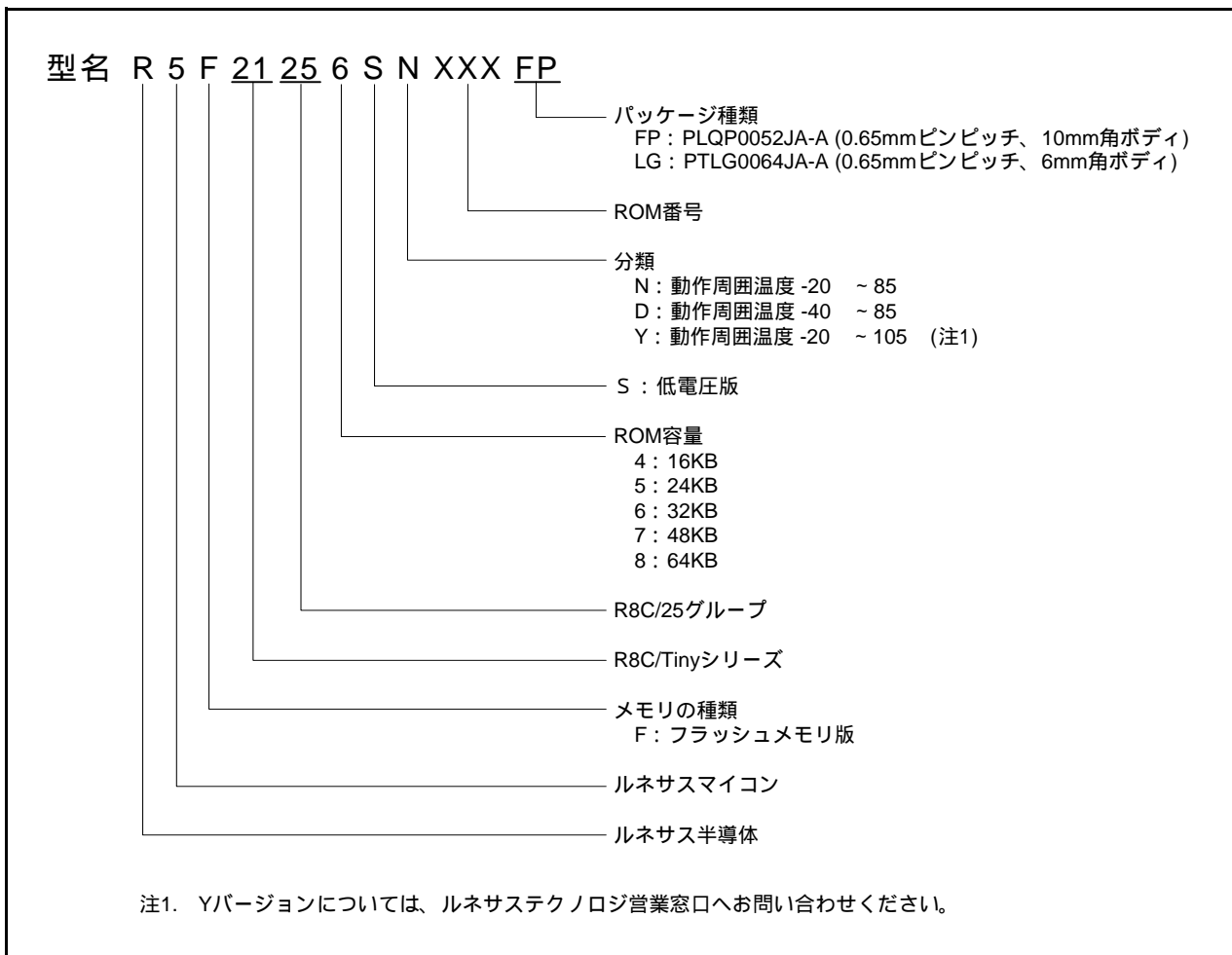


図1.3 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図 1.4 に PLQP0052JA-A パッケージ品のピン接続図(上面図)を示します。図 1.5 に PTLG0064JA-A パッケージ品のピン接続図を示します。

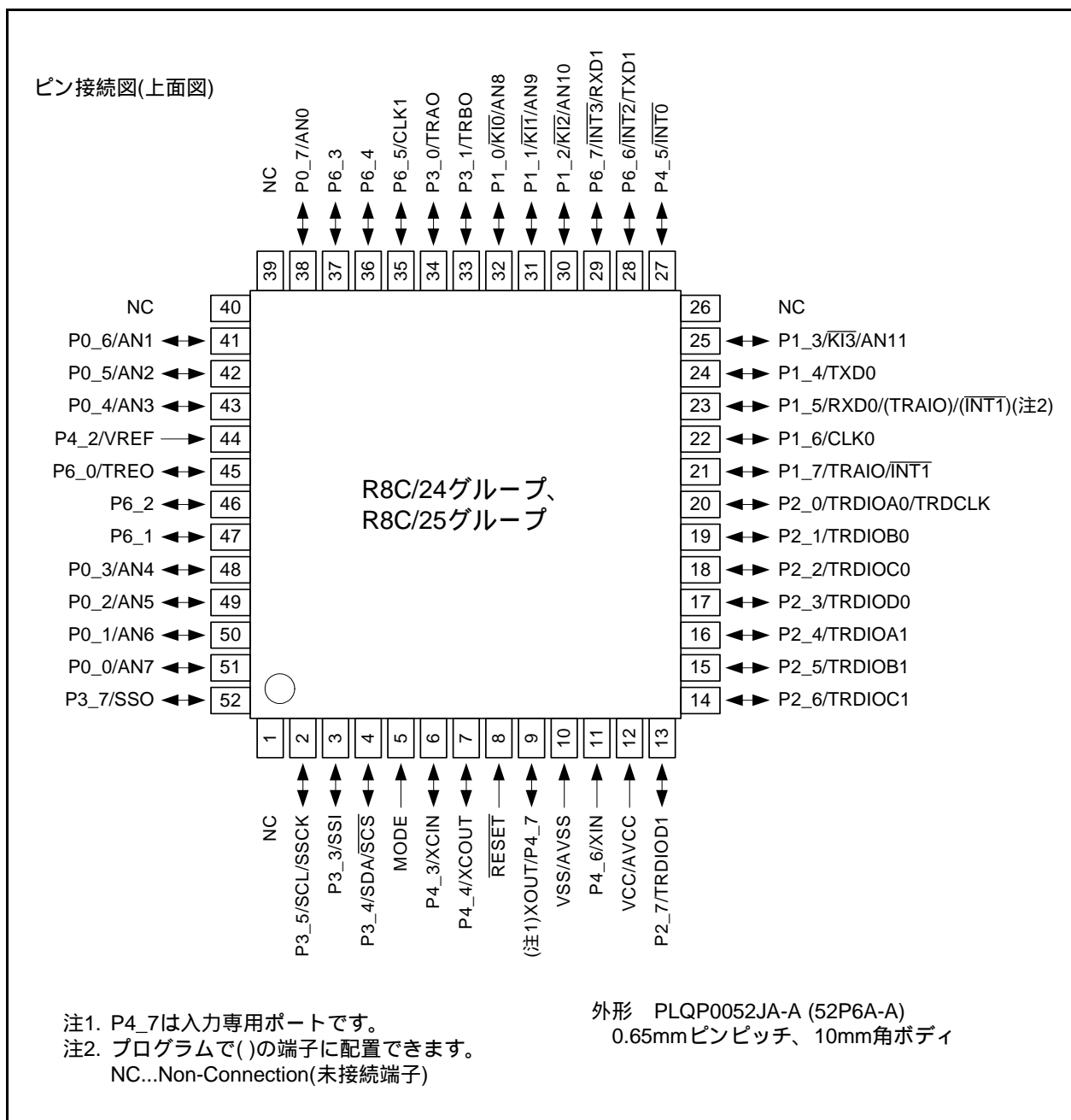


図 1.4 PLQP0052JA-Aパッケージ品のピン接続図(上面図)

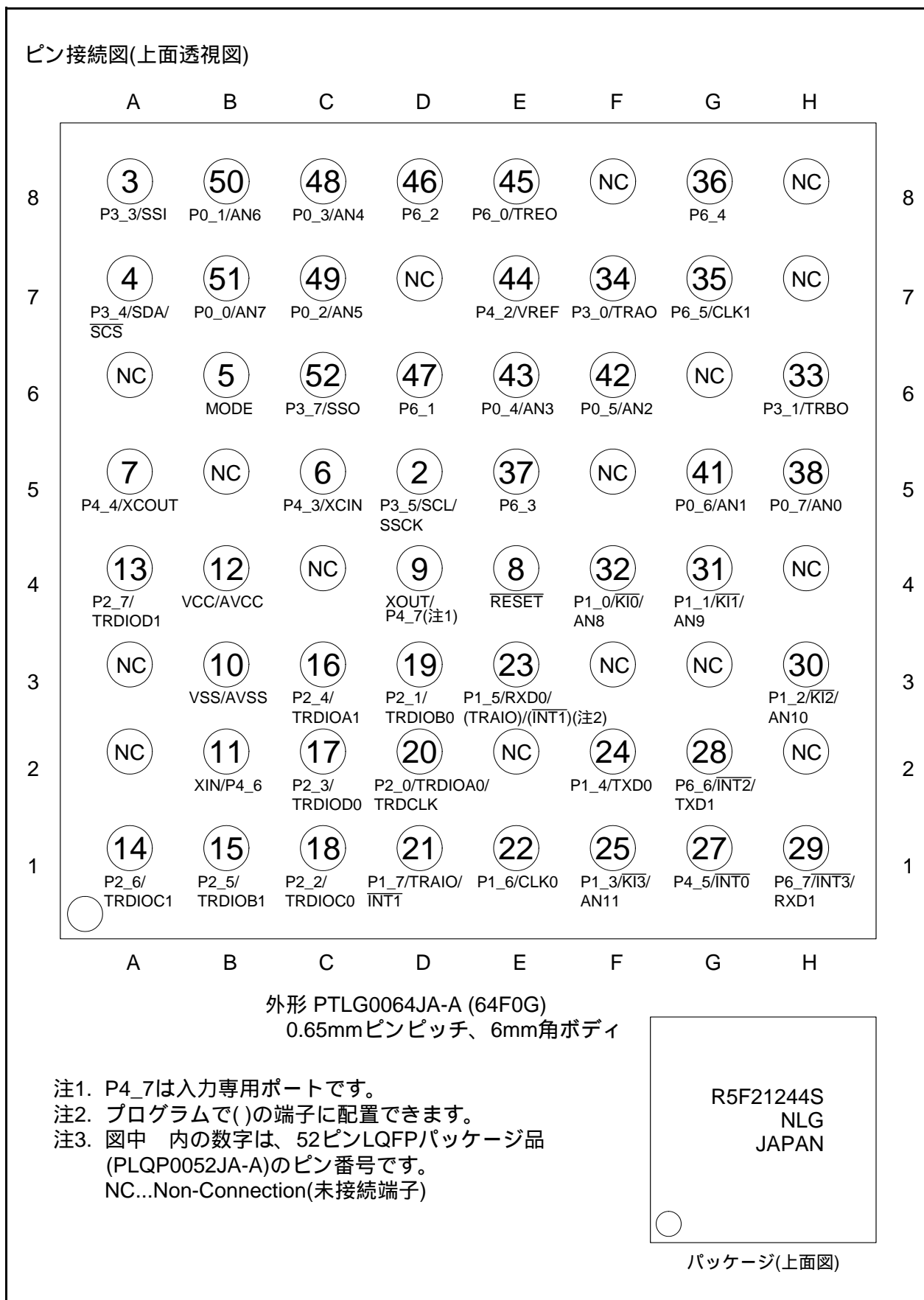


図1.5 PTLG0064JA-Aパッケージ品のピン接続図

1.6 端子の機能説明

表1.5に端子の機能説明を示します。

表1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC VSS	入力	VCCには、2.2V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	入力	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCINクロック出力	XCOUT	出力	
INT割り込み入力	INT0～INT3	入力	INT割り込みの入力です。 INT0はタイマRDの入力です。INT1はタイマRAの入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRD	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1、	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TREO	出力	分周クロック出力です。
シリアルインタフェース	CLK0、CLK1	入出力	転送クロック入出力です。
	RXD0、RXD1	入力	シリアルデータ入力です。
	TXD0、TXD1	出力	シリアルデータ出力です。
I ² Cバスインタフェース	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
チップセレクト付クロック同期形シリアルI/O	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0～AN11	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P0_0～P0_7、 P1_0～P1_7、 P2_0～P2_7、 P3_0、P3_1、 P3_3～P3_5、P3_7、 P4_3～P4_5、 P6_0～P6_7	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。ポートP2_0～P2_7は、LED駆動ポートとして使用できます。
入力ポート	P4_2、P4_6、P4_7	入力	入力専用ポートです。

表1.6 ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアルインタフェース	チップセレクト付クロック同期形シリアルI/O	I ² Cバスインタフェース	A/Dコンバータ
2		P3_5				SSCK	SCL	
3		P3_3				SSI		
4		P3_4				$\overline{\text{SCS}}$	SDA	
5	MODE							
6	XCIN	P4_3						
7	XCOU	P4_4						
8	$\overline{\text{RESET}}$							
9	XOUT	P4_7						
10	VSS/AVSS							
11	XIN	P4_6						
12	VCC/AVCC							
13		P2_7		TRDIOD1				
14		P2_6		TRDIOC1				
15		P2_5		TRDIOB1				
16		P2_4		TRDIOA1				
17		P2_3		TRDIOD0				
18		P2_2		TRDIOC0				
19		P2_1		TRDIOB0				
20		P2_0		TRDIOA0/TRDCLK				
21		P1_7	$\overline{\text{INT1}}$	TRAIO				
22		P1_6			CLK0			
23		P1_5	$\overline{(\text{INT1})}$ (注1)	(TRAIO) (注1)	RXD0			
24		P1_4			TXD0			
25		P1_3	$\overline{\text{KI3}}$					AN11
27		P4_5	$\overline{\text{INT0}}$	$\overline{\text{INT0}}$				
28		P6_6	$\overline{\text{INT2}}$		TXD1			
29		P6_7	$\overline{\text{INT3}}$		RXD1			
30		P1_2	$\overline{\text{KI2}}$					AN10
31		P1_1	$\overline{\text{KI1}}$					AN9
32		P1_0	$\overline{\text{KI0}}$					AN8
33		P3_1		TRBO				
34		P3_0		TRAO				
35		P6_5			CLK1			
36		P6_4						
37		P6_3						
38		P0_7						AN0
41		P0_6						AN1
42		P0_5						AN2
43		P0_4						AN3
44	VREF	P4_2						
45		P6_0		TREO				
46		P6_2						
47		P6_1						
48		P0_3						AN4
49		P0_2						AN5
50		P0_1						AN6
51		P0_0						AN7
52		P3_7				SSO		

注1. プログラムで()の端子に配置できます。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

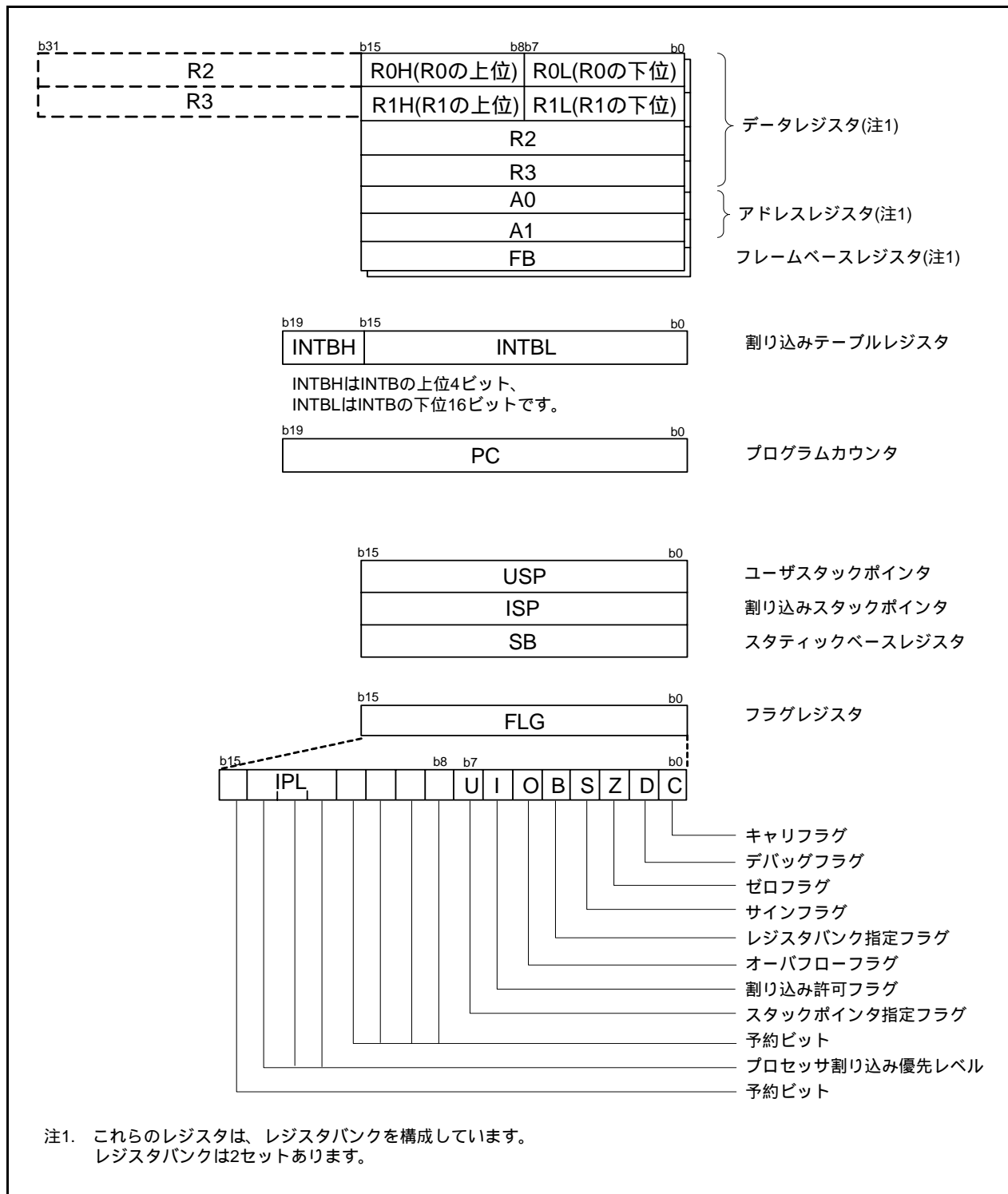


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (C)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (D)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (B)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(O)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(I)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(U)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/24グループ

図3.1にR8C/24グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば2Kバイトの内部RAMは、00400h番地から00BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

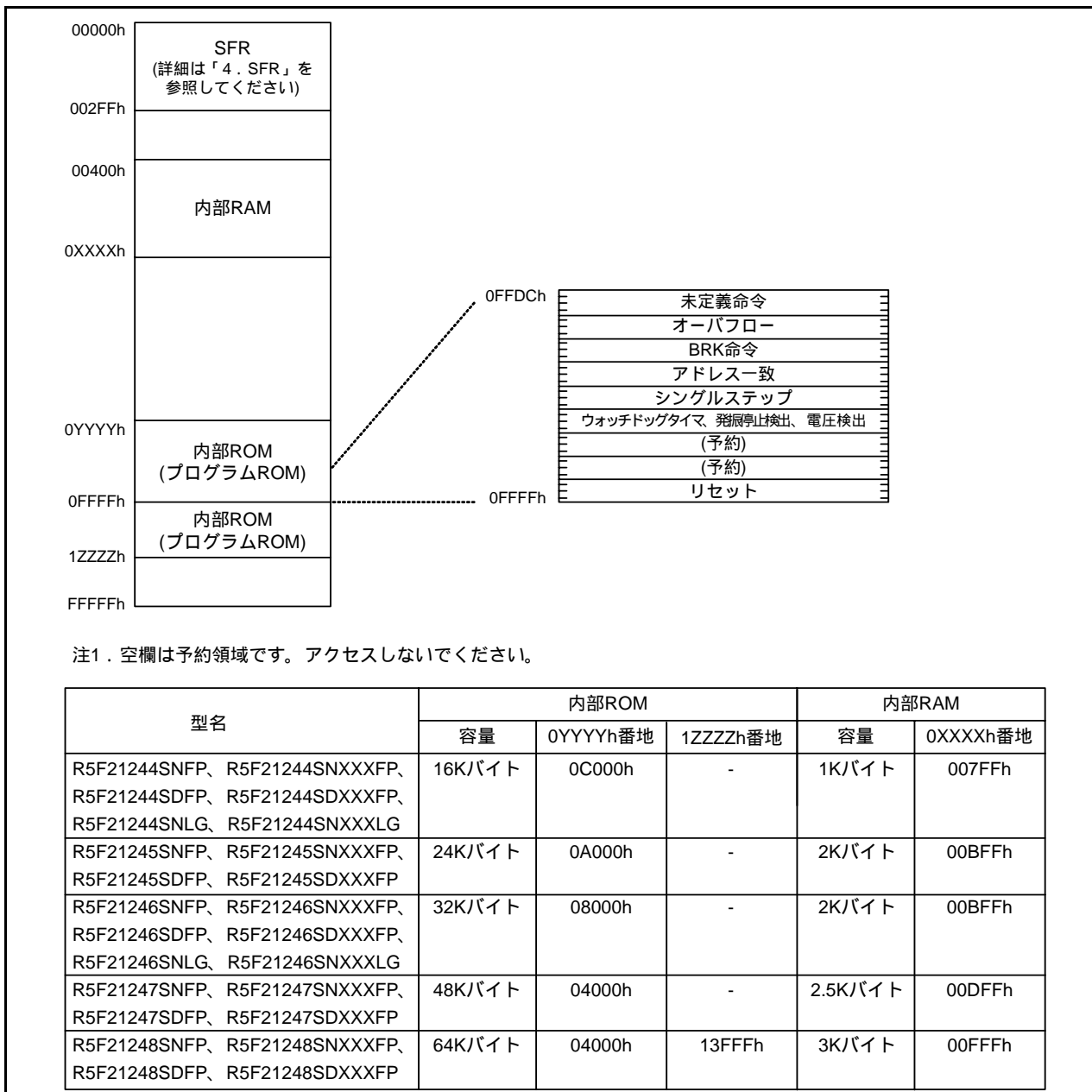


図3.1 R8C/24グループのメモリ配置図

3.2 R8C/25グループ

図3.2にR8C/25グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2Kバイトの内部RAMは、00400h番地から00BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

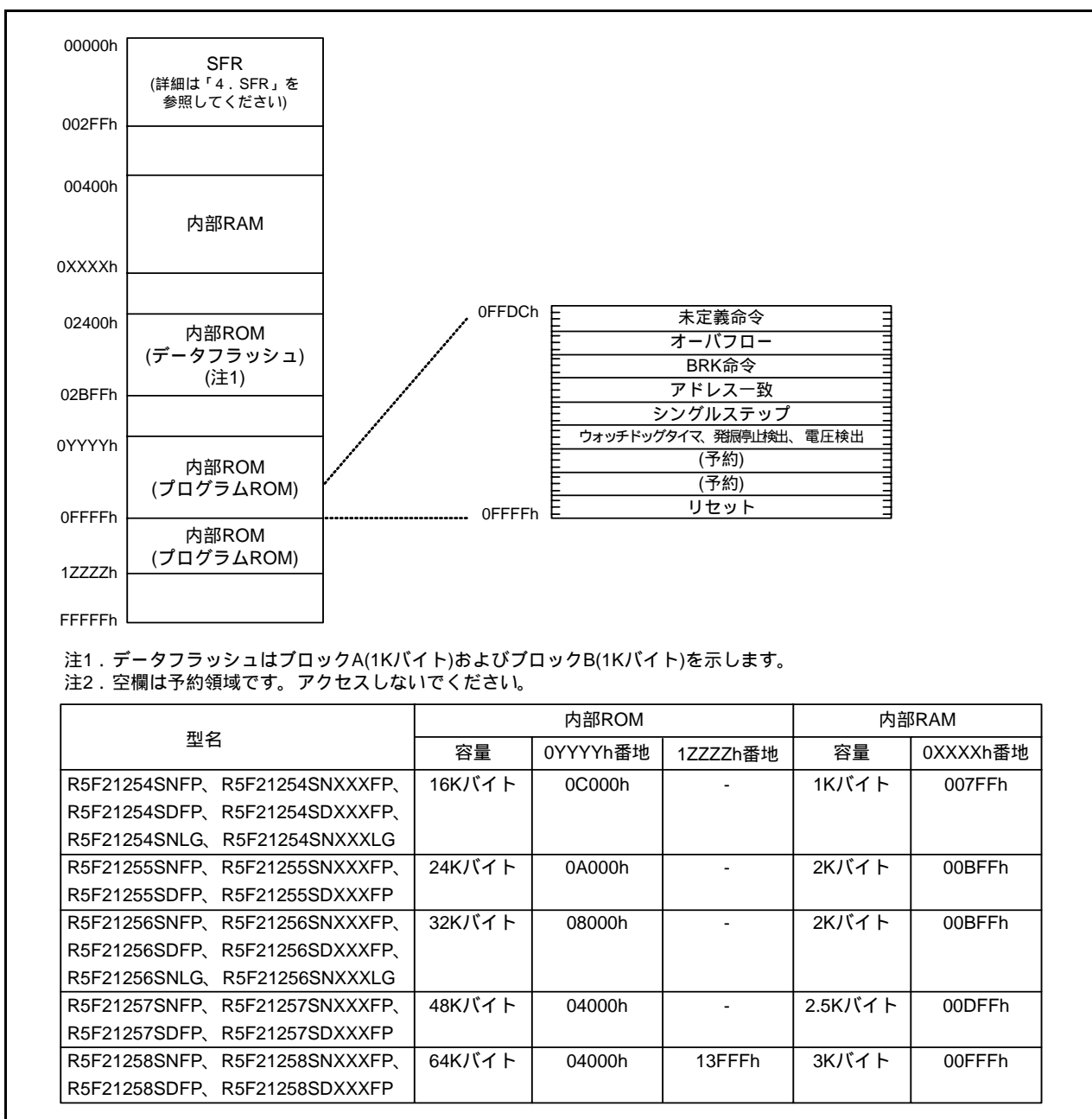


図3.2 R8C/25グループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.7にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	01101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			00h
0013h	アドレス一致割り込み許可レジスタ	AIER	00h
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注6)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch	高速オンチップオシレータ制御レジスタ7	FRA7	出荷時の値
0030h			
0031h	電圧検出レジスタ1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ2 (注2)	VCA2	00h (注3) 00100000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ (注5)	VW1C	00001000b
0037h	電圧監視2回路制御レジスタ (注5)	VW2C	00h
0038h	電圧監視0回路制御レジスタ (注2)	VW0C	0000X000b (注3) 0100X001b (注4)
0039h			
003Ah			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットでは変化しません。

注3. OFSレジスタのLVD0ONビットが“1”でかつハードウェアリセットの場合。

注4. パワーオンリセット、電圧監視0リセット、またはOFSレジスタのLVD0ONビットが“0”でかつハードウェアリセットの場合。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットではb2、b3は変化しません。

注6. OFSレジスタのCSPROINIビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART1送受信モードレジスタ	U1MR	00h
00A9h	UART1ビットレートレジスタ	U1BRG	XXh
00AAh	UART1送信バッファレジスタ	U1TB	XXh
00ABh			XXh
00ACh	UART1送受信制御レジスタ0	U1C0	00001000b
00ADh	UART1送受信制御レジスタ1	U1C1	00000010b
00AEh	UART1受信バッファレジスタ	U1RB	XXh
00AFh			XXh
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
00B9h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	01111101b
00BAh	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00011000b
00BBh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSER/ICIER	00h
00BCh	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h / 0000X000b
00BDh	SSモードレジスタ2/スレーブアドレスレジスタ (注2)	SSMR2/SAR	00h
00BEh	SS送信データレジスタ/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
00BFh	SS受信データレジスタ/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/Dレジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D制御レジスタ2	ADCON2	00h
00D5h			
00D6h	A/D制御レジスタ0	ADCON0	00h
00D7h	A/D制御レジスタ1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h	ポートP2レジスタ	P2	XXh
00E5h	ポートP3レジスタ	P3	XXh
00E6h	ポートP2方向レジスタ	PD2	00h
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h			
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh			
00ECh	ポートP6レジスタ	P6	XXh
00EDh			
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポートP2駆動能力制御レジスタ	P2DRR	00h
00F5h	UART1機能選択レジスタ	U1SR	XXh
00F6h			
00F7h			
00F8h	ポートモードレジスタ	PMR	00h
00F9h	外部入力許可レジスタ	INTEN	00h
00FAh	INT入力フィルタ選択レジスタ	INTF	00h
00FBh	キー入力許可レジスタ	KIEN	00h
00FCh	ブルアップ制御レジスタ0	PUR0	00h
00FDh	ブルアップ制御レジスタ1	PUR1	XX00XX00b
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h			
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	00h
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	00h
011Ah	タイマRE時データレジスタ	TREHR	00h
011Bh	タイマRE曜日データレジスタ	TREWK	00h
011Ch	タイマRE制御レジスタ1	TRECR1	00h
011Dh	タイマRE制御レジスタ2	TRECR2	00h
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h			
0121h			
0122h			
0123h			
0124h			
0125h			
0126h			
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh			
012Eh			
012Fh			
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h	タイマRDスタートレジスタ	TRDSTR	11111100b
0138h	タイマRDモードレジスタ	TRDMR	00001110b
0139h	タイマRD PWMモードレジスタ	TRDPMR	10001000b
013Ah	タイマRD機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマRDアウトプットマスタ許可レジスタ1	TRDOER1	FFh
013Ch	タイマRDアウトプットマスタ許可レジスタ2	TRDOER2	01111111b
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	00h
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマRD制御レジスタ0	TRDCR0	00h
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	10001000b
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	10001000b
0143h	タイマRDステータスレジスタ0	TRDSR0	11100000b
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	11100000b
0145h	タイマRD PWMモードアウトブットレベル制御レジスタ0	TRDPOCR0	11111000b
0146h	タイマRDカウンタ0	TRD0	00h
0147h			00h
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマRD制御レジスタ1	TRDCR1	00h
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	10001000b
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	10001000b
0153h	タイマRDステータスレジスタ1	TRDSR1	11000000b
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	11100000b
0155h	タイマRD PWMモードアウトブットレベル制御レジスタ1	TRDPOCR1	11111000b
0156h	タイマRDカウンタ1	TRD1	00h
0157h			00h
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	FFh
015Fh			FFh
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFFh	オプション機能選択レジスタ	(注2) OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタはプログラムで変更できません。フラッシュライターで書いてください。

X: 不定です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を示します。

表5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)
電圧監視1リセット	VCCの下降(監視電圧: Vdet1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

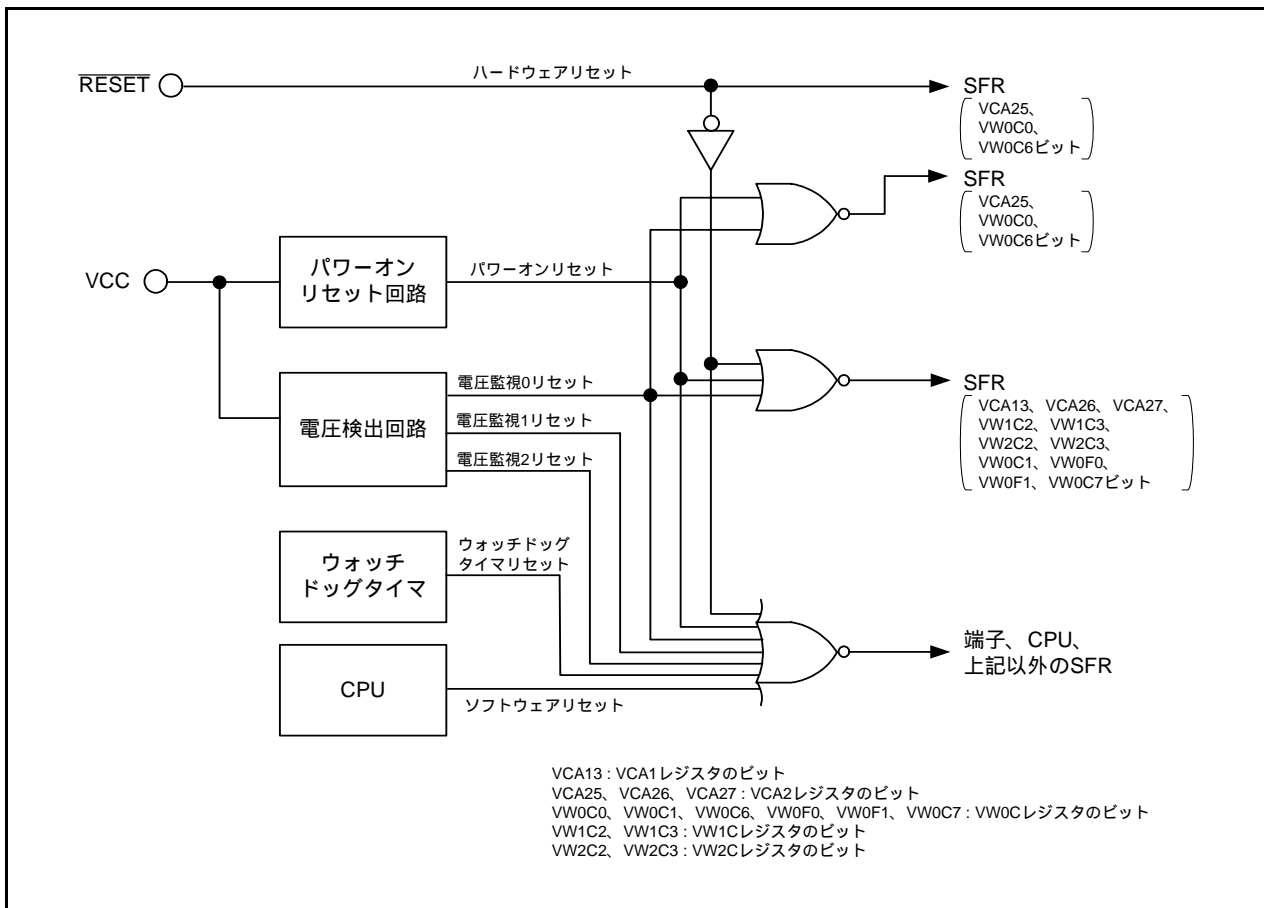


図5.1 リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを、図5.4にOFSレジスタ示します。

表5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0、P1、P2	入力ポート
P3_0、P3_1、P3_3 ~ P3_5、P3_7	入力ポート
P4_2 ~ P4_7	入力ポート
P6	入力ポート

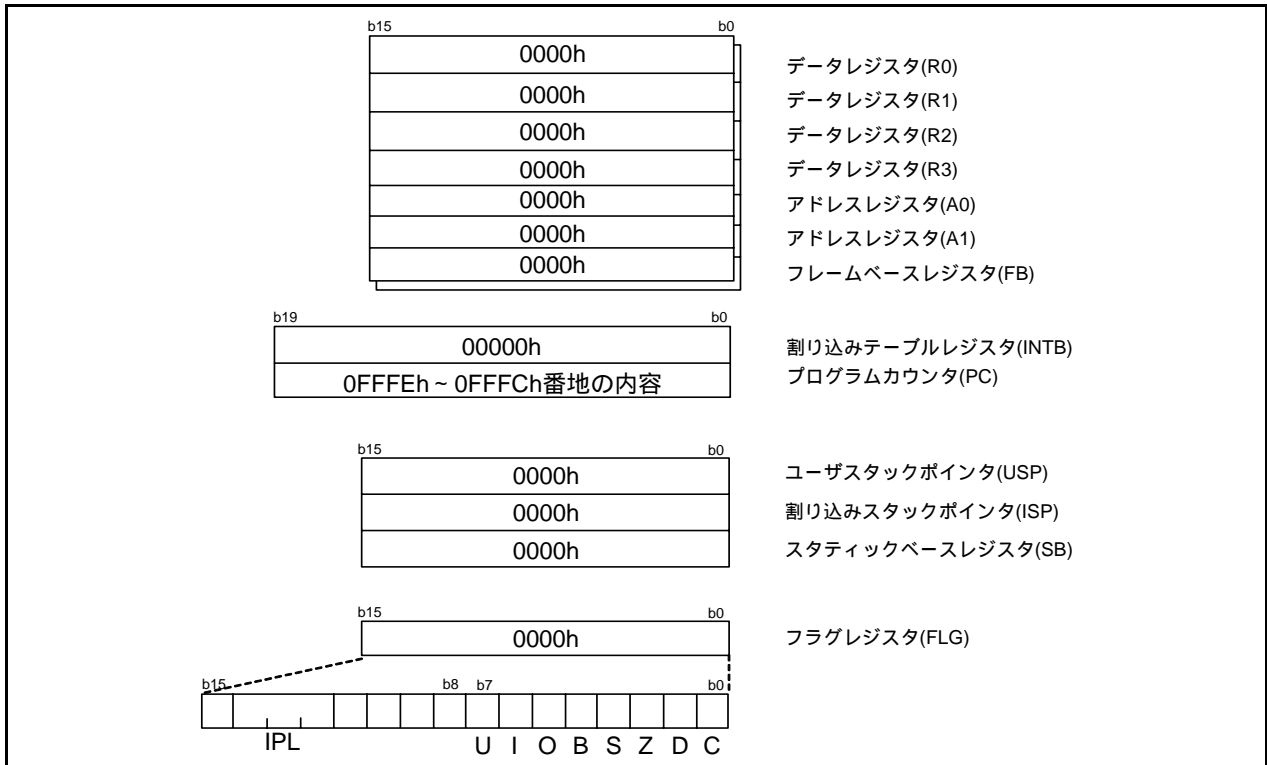


図5.2 リセット後のCPUレジスタの状態

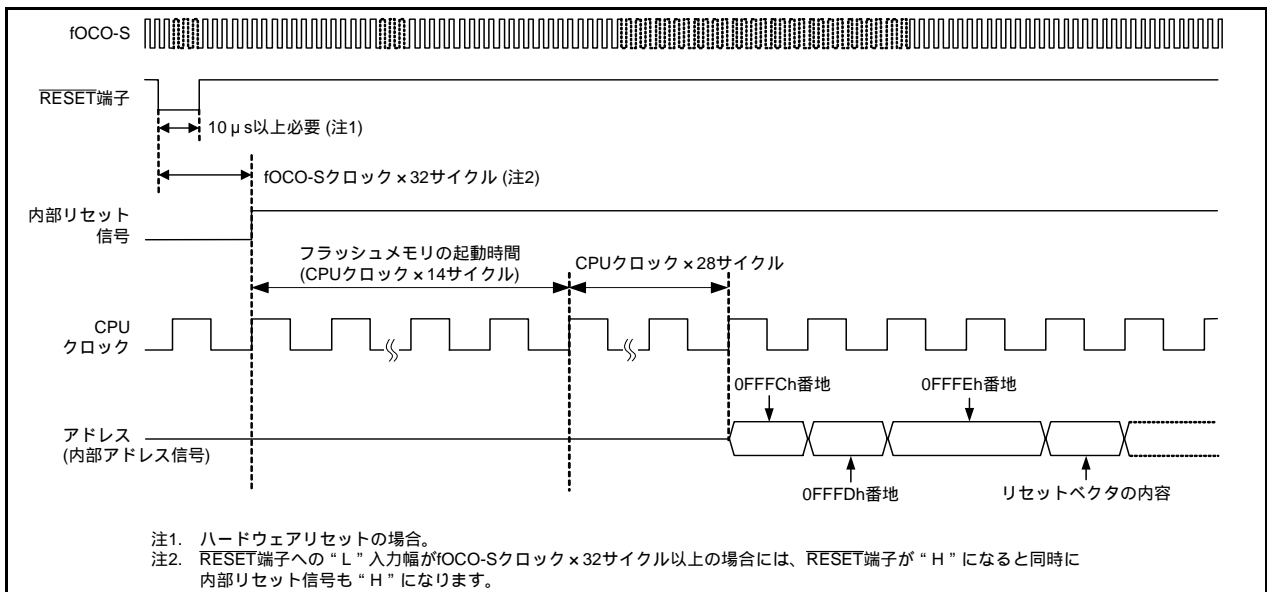


図5.3 リセットシーケンス

オプション機能選択レジスタ(注1)

ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b4)	予約ビット	“1” にしてください。	RW
LVDOON	電圧検出0回路起動 ビット(注2)	0: ハードウェアリセット後、電圧監視0リセット 有効 1: ハードウェアリセット後、電圧監視0リセット 無効	RW
- (b6)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. パワーオンリセットを使用する場合、LVDOONビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図5.4 OFSレジスタ

5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2 RESET端子のレベルが“L”の期間の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.5にハードウェアリセット回路例と動作を、図5.6にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.1.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) 10 μ s以上待つ
- (3) RESET端子に“H”を入力する

5.1.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「20. 電気的特性」参照)
- (4) 10 μ s以上待つ
- (5) RESET端子に“H”を入力する

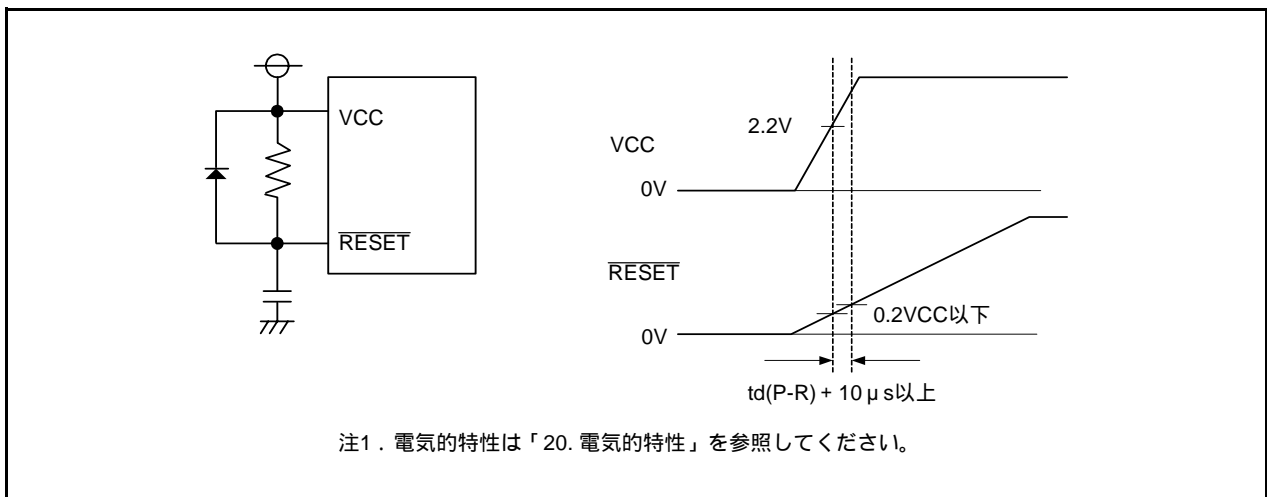


図5.5 ハードウェアリセット回路例と動作

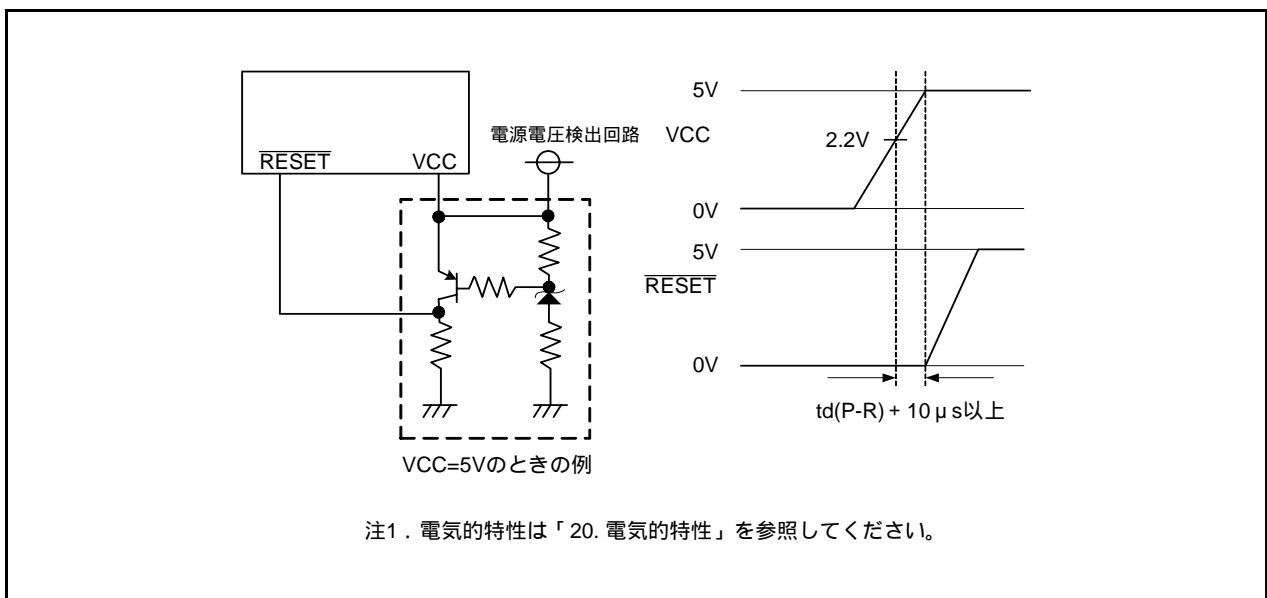


図5.6 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.2 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上がり傾き t_{rth} 以上で立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に $0.8V_{CC}$ 以上になるようにご注意ください。

VCC端子に入力する電圧が V_{det0} 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセット後は電圧監視0リセットが有効になります。

図5.7にパワーオンリセット回路例と動作を示します。

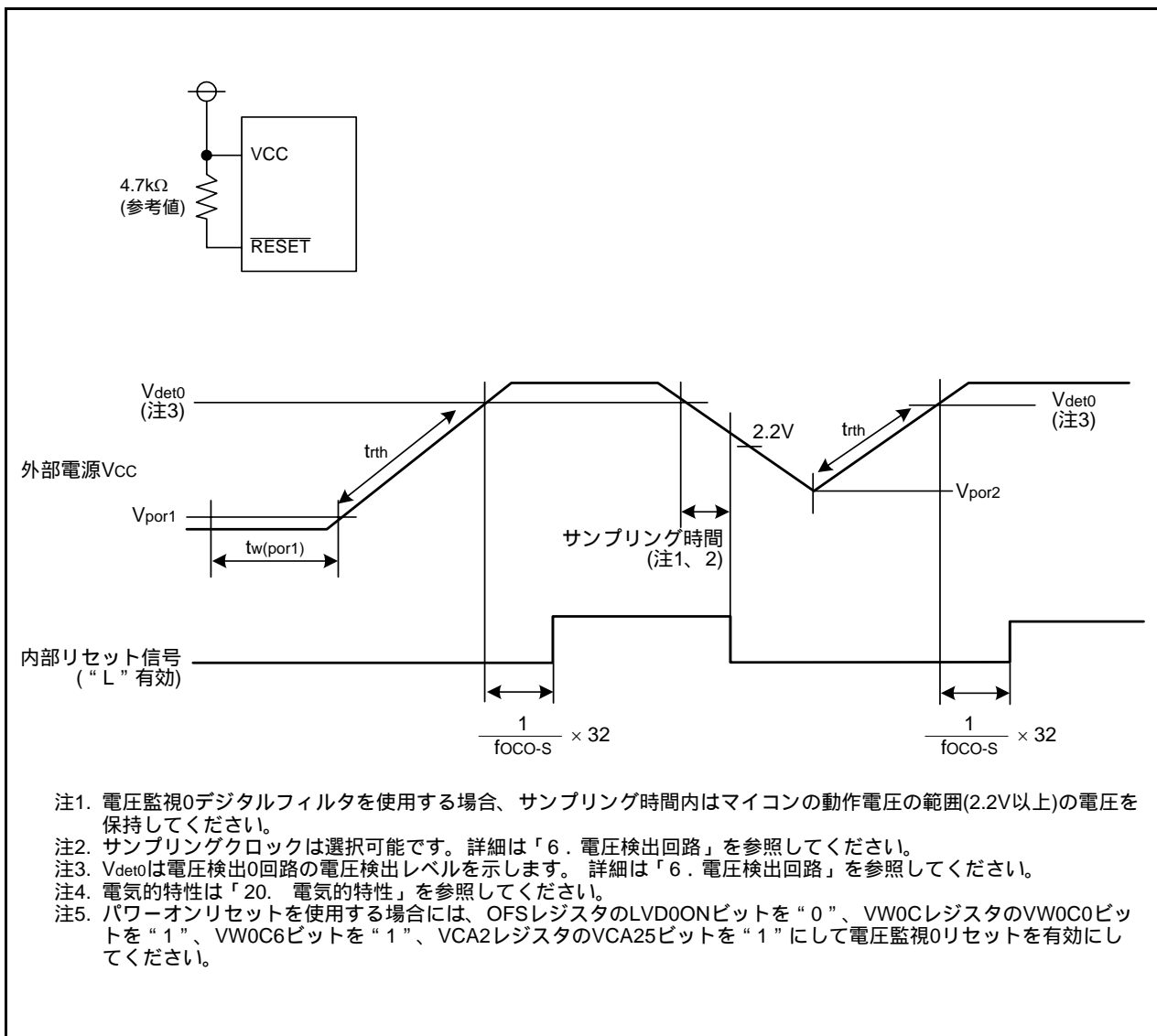


図5.7 パワーオンリセット回路例と動作

5.3 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

OFSレジスタのLVD00Nビットでハードウェアリセット後、電圧監視0リセットの有効/無効を選択できます。LVD00Nビットの設定は、ハードウェアリセットでのみ有効となります。

パワーオンリセットを使用する場合には、OFSレジスタのLVD00Nビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

LVD00Nビットはプログラムでは変更できません。LVD00Nビットを設定する場合は、フラッシュライタでOFFF番地のb5に“0”(ハードウェアリセット後、電圧監視0リセット有効)または“1”(ハードウェアリセット後、電圧監視0リセット無効)を書き込んでください。OFSレジスタの詳細は「図5.4 OFSレジスタ」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

5.4 電圧監視1リセット

マイクロコンピュータに内蔵している電圧検出1回路によるリセットです。電圧検出1回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet1です。

VCC端子に入力する電圧が下降してVdet1以下になると端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視1リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet1以下になると、内部RAMは不定となります。

電圧監視1リセットの詳細は「6. 電圧検出回路」を参照してください。

5.5 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VCC端子に入力する電圧が下降してVdet2以下になると、端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet2以下になると、内部RAMは不定となります。

電圧監視2リセットの詳細は「6. 電圧検出回路」を参照してください。

5.6 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

5.7 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。内部RAMは初期化されません。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。また、電圧監視0リセット、電圧監視1割り込み、電圧監視1リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表6.1に電圧検出回路の仕様を、図6.1～図6.4にブロック図を、図6.5～図6.8に関連レジスタを示します。

表6.1 電圧検出回路の仕様

項目	電圧検出0	電圧検出1	電圧検出2	
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	モニタ	なし	VW1CレジスタのVW1C3ビット	VCA1レジスタのVCA13ビット
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット； VCC > Vdet0でCPU動作再開	電圧監視1リセット Vdet1 > VCCでリセット； 一定時間後にCPU動作再開	電圧監視2リセット Vdet2 > VCCでリセット； 一定時間後にCPU動作再開
	割り込み	なし	電圧監視1割り込み デジタルフィルタ有効時は Vdet1 > VCC、VCC > Vdet1の 両方で割り込み要求； デジタルフィルタ無効時は Vdet1 > VCC、VCC > Vdet1の どちらかで割り込み要求	電圧監視2割り込み デジタルフィルタ有効時は Vdet2 > VCC、VCC > Vdet2の 両方で割り込み要求； デジタルフィルタ無効時は Vdet2 > VCC、VCC > Vdet2の どちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	あり	あり	あり
	サンプリング時間	(fOCO-Sのn分周) × 4 n: 1, 2, 4, 8	(fOCO-Sのn分周) × 4 n: 1, 2, 4, 8	(fOCO-Sのn分周) × 4 n: 1, 2, 4, 8

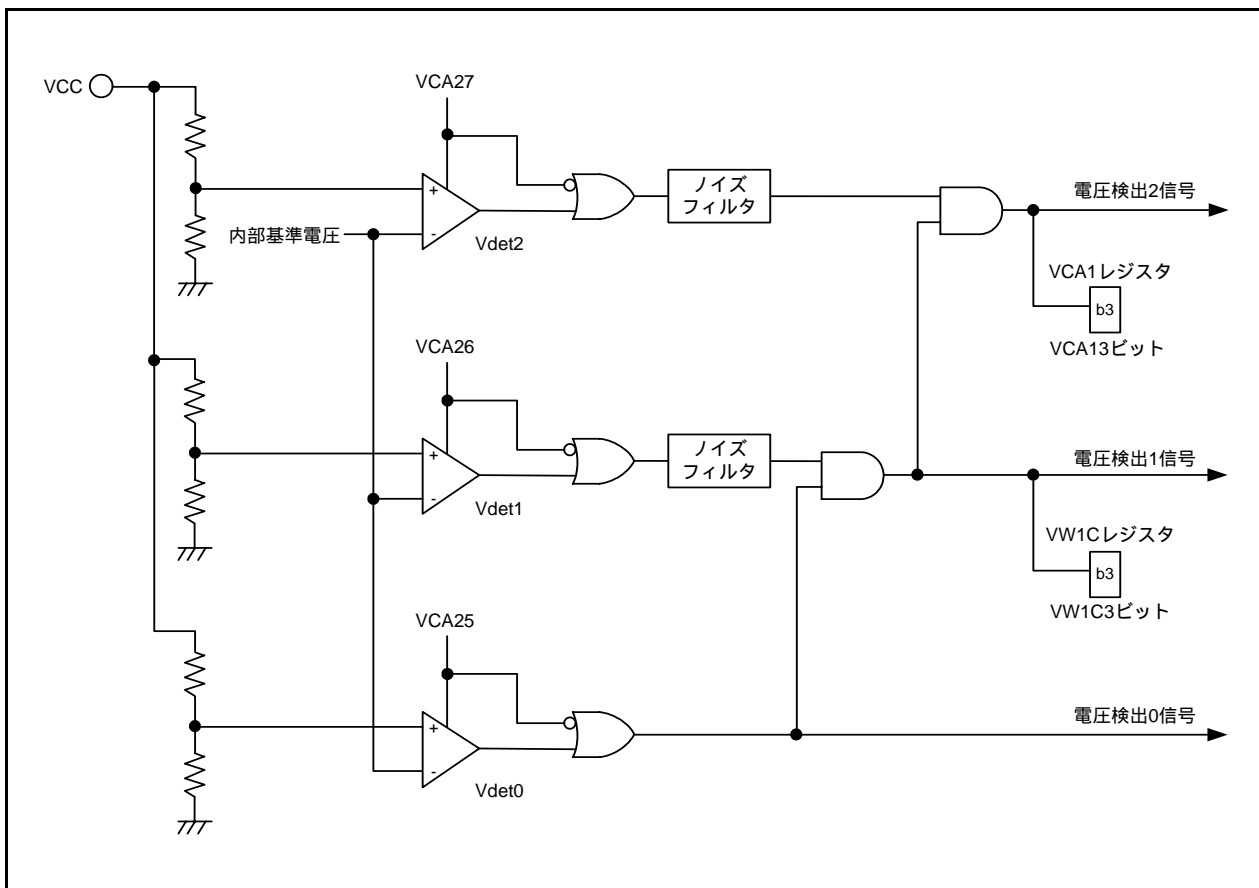


図6.1 電圧検出回路ブロック図

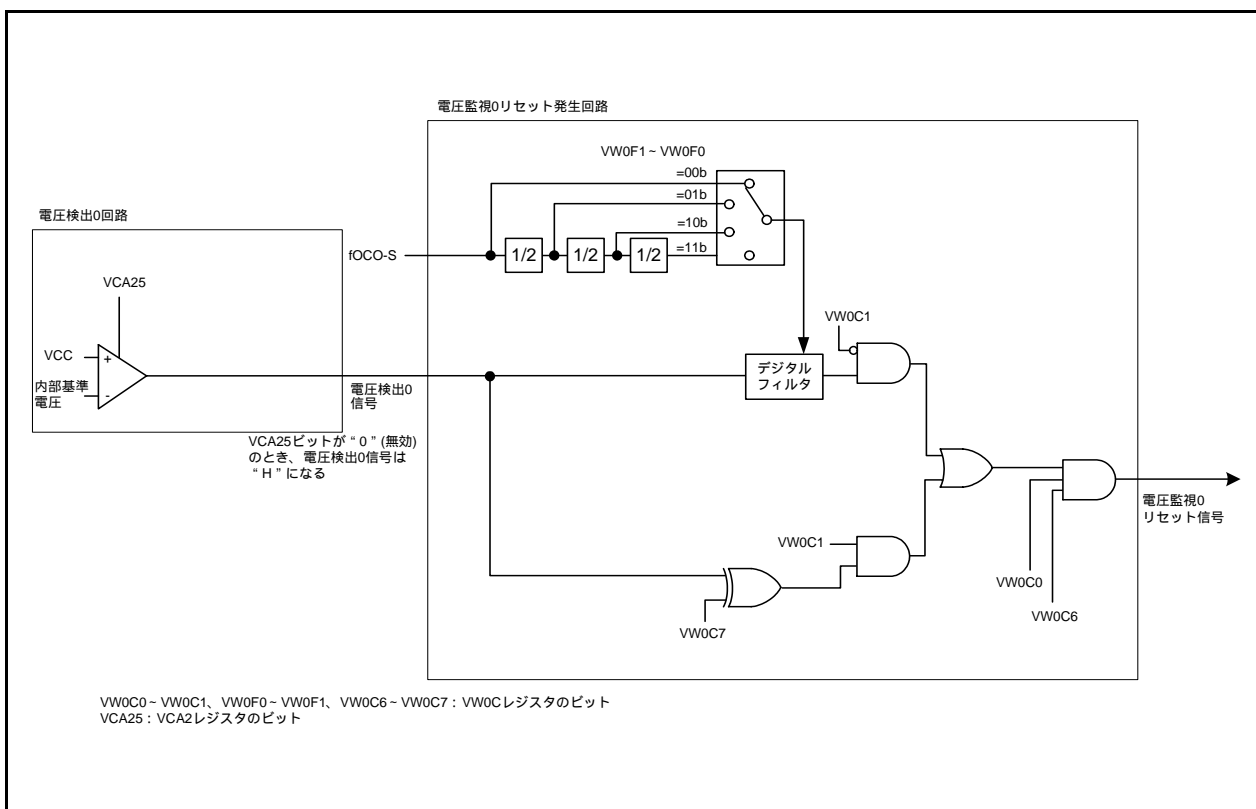


図6.2 電圧監視0リセット発生回路のブロック図

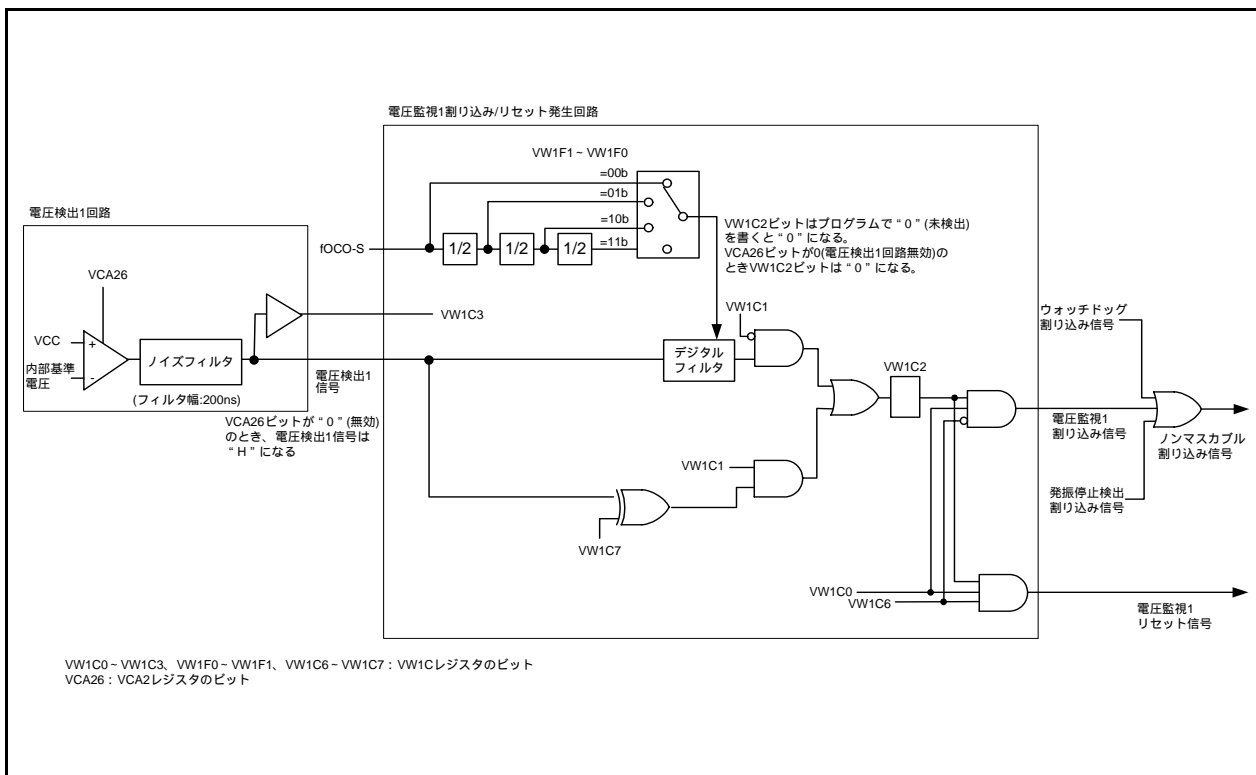


図6.3 電圧監視1割り込み/リセット発生回路のブロック図

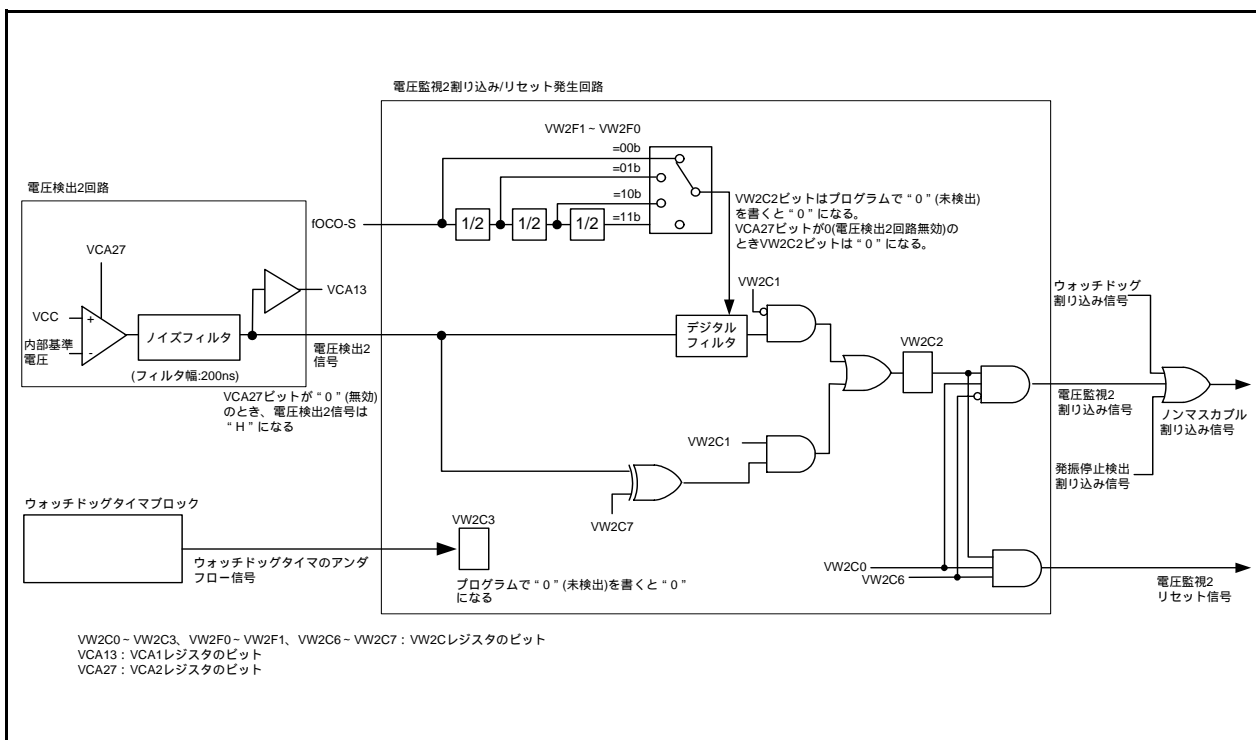


図6.4 電圧監視2割り込み/リセット発生回路のブロック図

電圧検出レジスタ1

シンボル	アドレス	リセット後の値(注2)
VCA1	0031h番地	00001000b

ビットシンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください	RW
VCA13	電圧検出2信号モニタフラグ(注1)	0: VCC < Vdet2 1: VCC > Vdet2、または 電圧検出2回路無効	RO
- (b7-b4)	予約ビット	“0” にしてください	RW

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC > Vdet2)になります。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

電圧検出レジスタ2(注1)

シンボル	アドレス	リセット後の値(注5)
VCA2	0032h番地	OFSレジスタのLVDD0ONビット“1”かつ ハードウェアリセット : 00h パワーオンリセット、電圧監視0リセット、 またはOFSレジスタのLVDD0ONビットが“0” かつハードウェアリセット : 00100000b

ビットシンボル	ビット名	機能	RW
VCA20	内部電源低消費電力許可ビット(注6)	0: 低消費電力禁止 1: 低消費電力許可	RW
- (b4-b1)	予約ビット	“0” にしてください	RW
VCA25	電圧検出0許可ビット(注2)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	RW
VCA26	電圧検出1許可ビット(注3)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	RW
VCA27	電圧検出2許可ビット(注4)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	RW

注1. VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 電圧監視0リセットを使用する場合、VCA25ビットを“1”にしてください。
VCA25ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注3. 電圧監視1割り込み/リセットを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。
VCA26ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注4. 電圧監視2割り込み/リセットを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。
VCA27ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

注6. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図10.9 VCA20ビットによる内部電源低消費操作手順」に従ってください。

図6.5 VCA1、VCA2レジスタ

電圧監視0回路制御レジスタ(注1)

シンボル アドレス リセット後の値(注2)

VW0C 0038h番地 OFSレジスタのLVDOONビットが“1”かつ
ハードウェアリセット : 0000X000b
パワーオンリセット、電圧監視0リセット、
またはOFSレジスタのLVDOONビットが“0”
かつハードウェアリセット : 0100X001b

ビットシンボル	ビット名	機能	RW
VW0C0	電圧監視0リセット許可ビット(注3)	0: 禁止 1: 許可	RW
VW0C1	電圧監視0デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効モード(デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード(デジタルフィルタ回路無効)	RW
VW0C2	予約ビット	“0” にしてください。	RW
- (b3)	予約ビット	読んだ場合、その値は不定。	RO
VW0F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW0F1			RW
VW0C6	電圧監視0回路モード選択ビット	VW0C0ビットが“1”(電圧監視0リセット許可)の場合は、“1”にしてください。	RW
VW0C7	電圧監視0リセット発生条件選択ビット(注4)	VW0C1ビットが“1”(デジタルフィルタ無効モード)の場合は、“1”にしてください。	RW

注1. VW0CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。
 注3. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効。VCA25ビットが“0”(電圧検出0回路無効)のとき、VW0C0ビットを“0”(禁止)にしてください。
 注4. VW0C7ビットはVW0C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。

図6.6 VW0C レジスタ

電圧監視1回路制御レジスタ(注1)

シンボル VW1C	アドレス 0036h番地	リセット後の値(注8) 00001000b	
ビット シンボル	ビット名	機能	RW
VW1C0	電圧監視1割り込み/リセット許可ビット(注6)	0: 禁止 1: 許可	RW
VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	RW
VW1C2	電圧変化検出フラグ(注3、4、8)	0: 未検出 1: Vdet1通過検出	RW
VW1C3	電圧検出1信号モニタフラグ(注3、8)	0: VCC < Vdet1 1: VCC > Vdet1または電圧検出1回路無効	RO
VW1F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW1F1			RW
VW1C6	電圧監視1回路モード選択ビット(注5)	0: 電圧監視1割り込みモード 1: 電圧監視1リセットモード	RW
VW1C7	電圧監視1割り込み/リセット発生条件選択ビット(注7、9)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	RW

注1. VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 電圧監視1割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW1C1ビットに“0”を書き込み後、“1”を書き込んでください。

注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効。

注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注5. VW1C6ビットはVW1C0ビットが“1”(電圧監視1割り込み/リセット許可)のとき有効。

注6. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。

注7. VW1C7ビットはVW1C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。

注8. VW1C2ビットとVW1C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

注9. VW1C6ビットが“1”(電圧監視1リセットモード)のとき、VW1C7ビットは“1”(Vdet1以下になるとき)にしてください(“0”にしないでください)。

図6.7 VW1Cレジスタ

電圧監視2回路制御レジスタ(注1)

シンボル VW2C	アドレス 0037h番地	リセット後の値(注8) 00h	
ビット シンボル	ビット名	機能	RW
VW2C0	電圧監視2割り込み/リセット許可ビット(注6)	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	RW
VW2C2	電圧変化検出フラグ(注3、4、8)	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ(注4、8)	0: 未検出 1: 検出	RW
VW2F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW2F1		RW	
VW2C6	電圧監視2回路モード選択ビット(注5)	0: 電圧監視2割り込みモード 1: 電圧監視2リセットモード	RW
VW2C7	電圧監視2割り込み/リセット発生条件選択ビット(注7、9)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

注1. VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

注2. 電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。

注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。

注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注5. VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効。

注6. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。

注7. VW2C7ビットはVW2C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。

注8. VW2C2ビットとVW2C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

注9. VW2C6ビットが“1”(電圧監視2リセットモード)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。

図6.8 VW2Cレジスタ

6.1 VCC入力電圧のモニタ

6.1.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.1.2 Vdet1のモニタ

VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にしてください。td(E-A)(「20. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットでVdet1をモニタできます。

6.1.3 Vdet2のモニタ

VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にしてください。td(E-A)(「20. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでVdet2をモニタできます。

6.2 電圧監視0リセット

表6.2に電圧監視0リセット関連ビットの設定手順を、図6.9に電圧監視0リセット動作例を示します。
 なお、電圧監視0リセットをストップモードからの復帰に使用する場合は、VW0CレジスタのVW0C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.2 電圧監視0リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA25ビットを“1”(電圧検出0回路有効)にする	
2	td(E-A)待つ	
3	VW0CレジスタのVW0F0～VW0F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW0CレジスタのVW0C7ビットを“1”にする
4(注1)	VW0CレジスタのVW0C1ビットを“0”(デジタルフィルタ有効)にする	VW0CレジスタのVW0C1ビットを“1”(デジタルフィルタ無効)にする
5(注1)	VW0CレジスタのVW0C6ビットを“1”(電圧監視0リセットモード)にする	
6	VW0CレジスタのVW0C2ビットを“0”にする	
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	-
8	デジタルフィルタのサンプリングクロック×4サイクル待つ	-(待ち時間なし)
9	VW0CレジスタのVW0C0ビットを“1”(電圧監視0リセット許可)にする	

注1. VW0C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

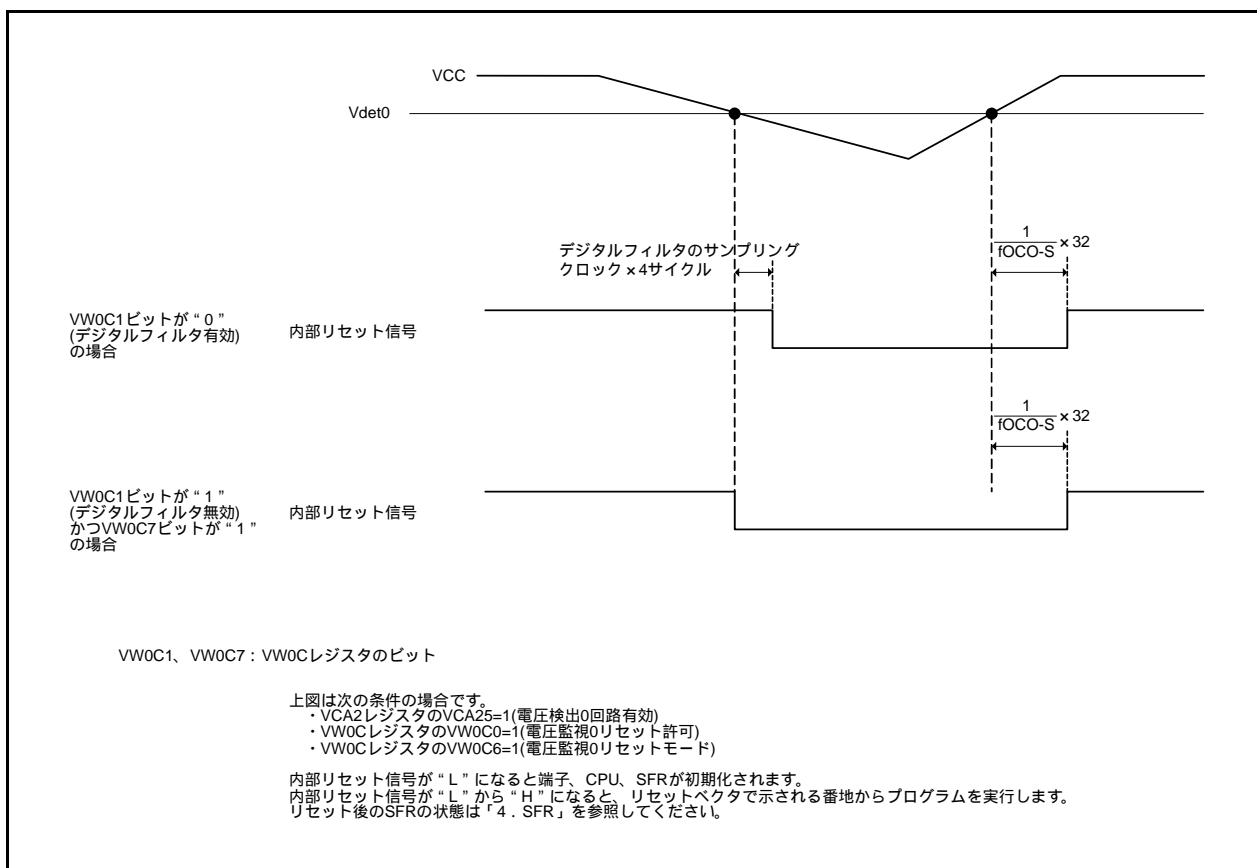


図6.9 電圧監視0リセット動作例

6.3 電圧監視1割り込み、電圧監視1リセット

表 6.3 に電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順を、図 6.10 に電圧監視1割り込み、電圧監視1リセット動作例を示します。

なお、電圧監視1割り込みまたは電圧監視1リセットをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視1割り込み	電圧監視1リセット	電圧監視1割り込み	電圧監視1リセット
1	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする			
2	td(E-A)待つ			
3	VW1CレジスタのVW1F0～VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW1CレジスタのVW1C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
4(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする		VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする	
5(注2)	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込みモード)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込みモード)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする
6	VW1CレジスタのVW1C2ビットを“0”(Vdet1通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		-	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		-(待ち時間なし)	
9	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み/リセット許可)にする。			

注1. 電圧監視1リセットではVW1C7ビットを“1”(Vdet1以下になるとき)にしてください。

注2. VW1C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

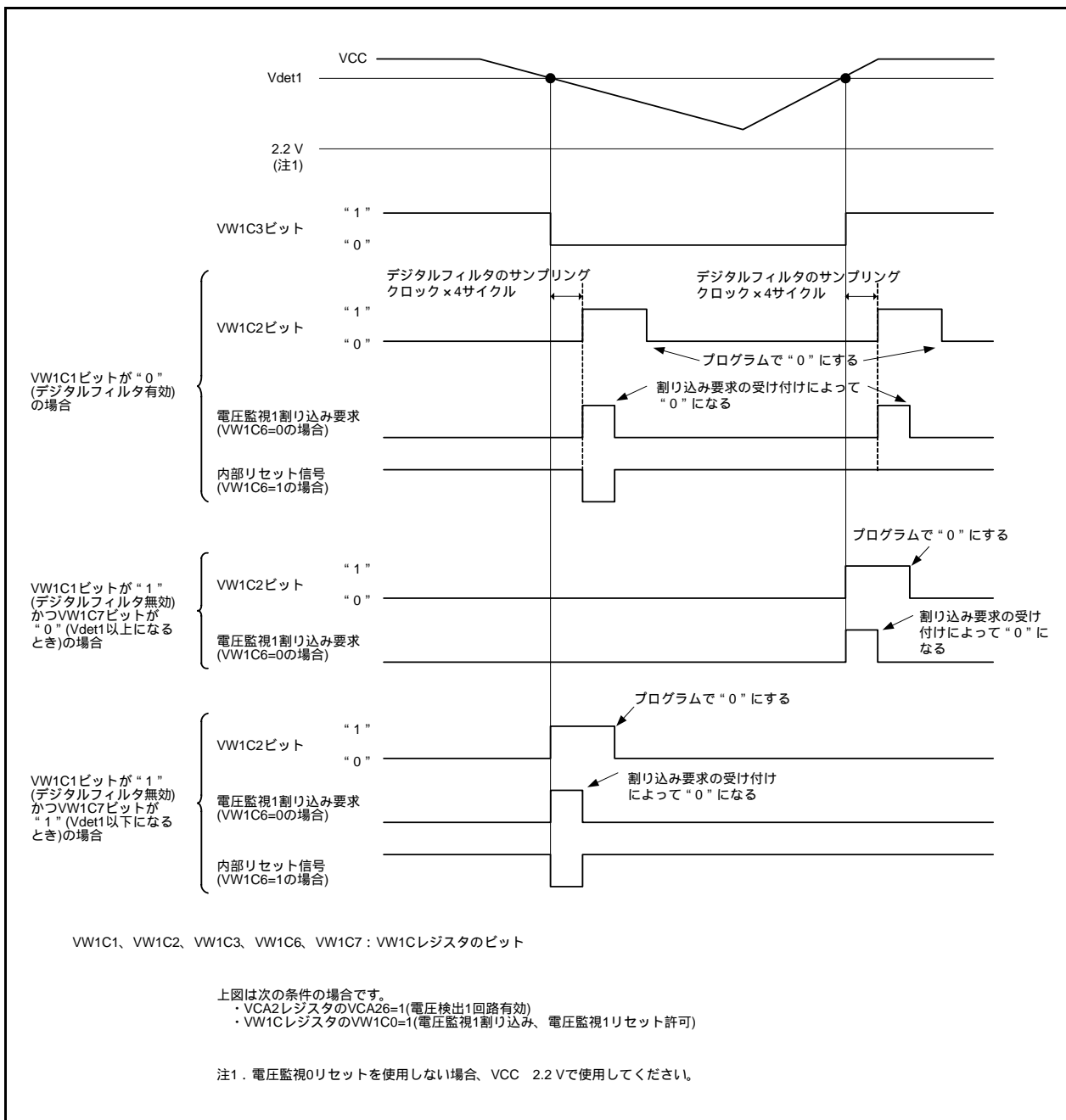


図6.10 電圧監視1割り込み、電圧監視1リセット動作例

6.4 電圧監視2割り込み、電圧監視2リセット

表 6.4 に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を、図 6.11 に電圧監視2割り込み、電圧監視2リセット動作例を示します。

なお、電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.4 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする			
2	td(E-A)待つ			
3	VW2CレジスタのVW2F0～VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
4(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする	
5(注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする
6	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		-	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		-(待ち時間なし)	
9	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする。			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

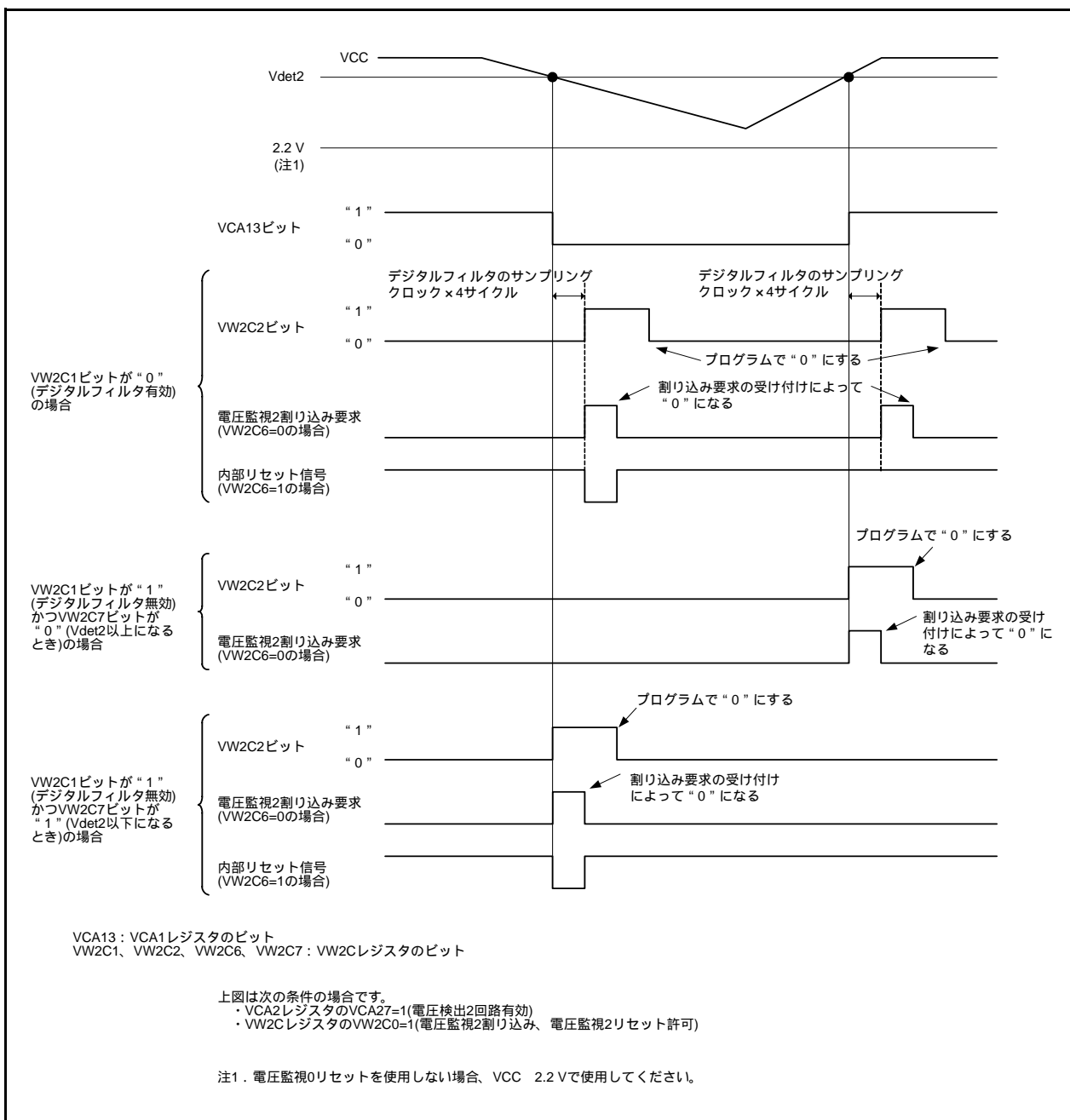


図6.11 電圧監視2割り込み、電圧監視2リセット動作例

7. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0～P2、P3_0、P3_1、P3_3～P3_5、P3_7、P4_3～P4_5、P6の41本あります。また、XINクロック発振回路を使用しない場合、P4_6、P4_7を、また、A/Dコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表7.1にプログラマブル入出力ポートの概要を示します。

表7.1 プログラマブル入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗
P0～P2、P6	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定 (注1)
P3_0、P3_1、P3_3、 P3_4、P3_5、P3_7	入出力	CMOS3ステート	1ビット単位で設定	3ビット単位で設定 (注1)
P4_3	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定 (注1)
P4_4、P4_5	入出力	CMOS3ステート	1ビット単位で設定	2ビット単位で設定 (注1)
P4_2(注2) P4_6、P4_7(注3)	入力	(出力機能なし)	なし	なし

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

注3. XINクロック発振回路を使用しない場合、入力専用ポートとして使用できます。

7.1 プログラマブル入出力ポートの機能

ポートP0～P2、P3_0、P3_1、P3_3～P3_5、P3_7、P4_3～P4_5、P6の入出力はPD_i(i=0～4、6)レジスタのPD_i_j(j=0～7)ビットで制御します。P_iレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.7にプログラマブル入出力ポートの構成を、表7.2にプログラマブル入出力ポートの機能を、図7.9にPD_iレジスタを、図7.10にP_iレジスタを、図7.11にPUR0、PUR1レジスタを、図7.12にPMRレジスタを、図7.13にP2DRRレジスタを示します。

表7.2 プログラマブル入出力ポートの機能

P _i レジスタをアクセス時の動作	PD _i レジスタのPD _i _jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

i=0～4、6、j=0～7

注1. PD3_2ビット、PD3_6ビット、PD4_0～PD4_2ビット、PD4_6ビット、PD4_7ビットには何も配置されていません。

7.2 周辺機能への影響

プログラマブル入出力ポートは、周辺機能の入出力として機能する場合があります(「表1.6 ピン番号別端子名一覧」)参照。

表7.3に周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0~4、6、j=0~7)を示します。周辺機能の設定方法は、各機能説明を参照してください。

表7.3 周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0~4、6、j=0~7)

周辺機能の入出力	端子を共用しているポートのPDi _j ビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

7.3 プログラマブル入出力ポート以外の端子

図7.8に端子の構成を示します。

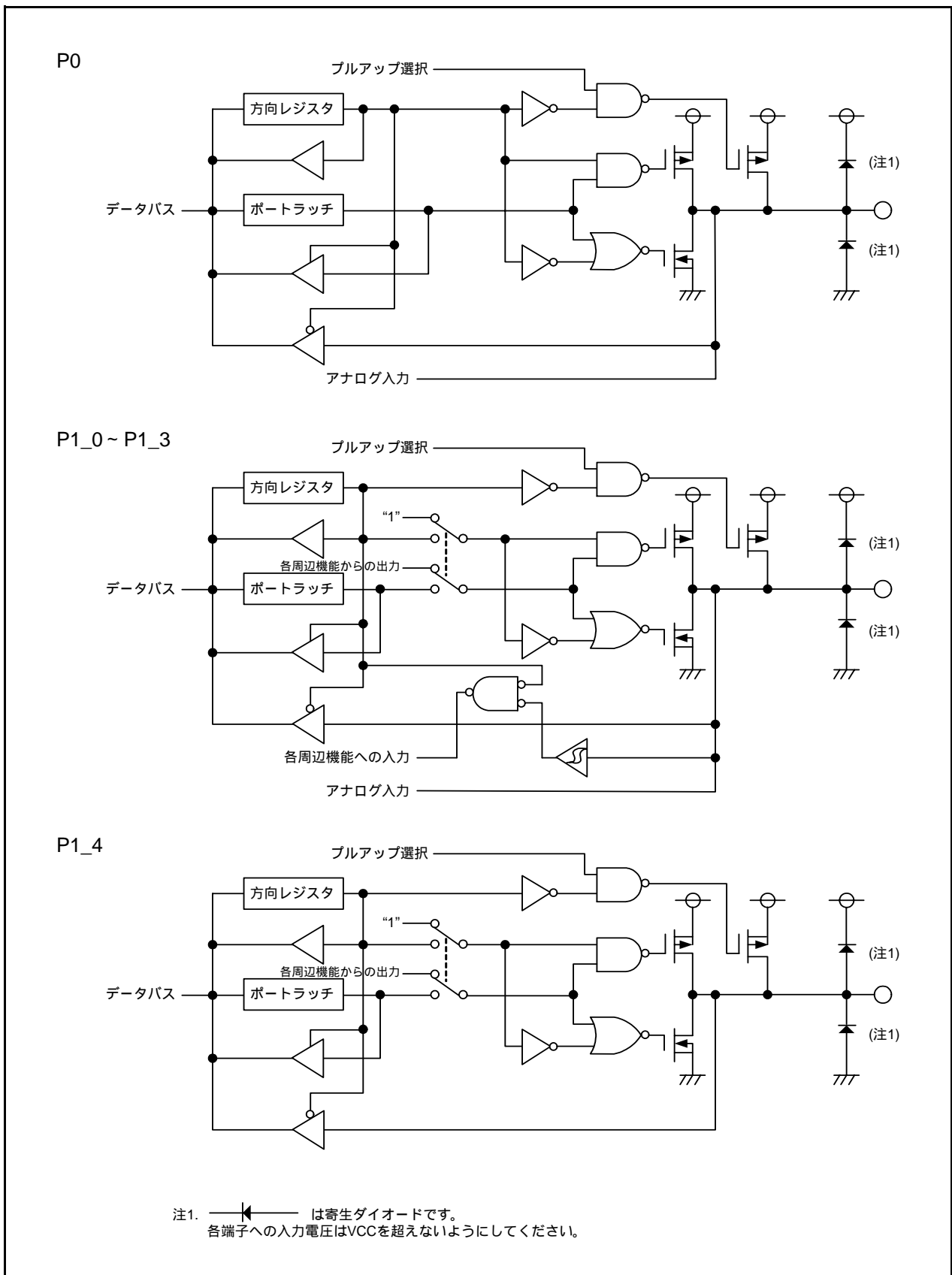


図7.1 プログラマブル入出力ポートの構成 (1)

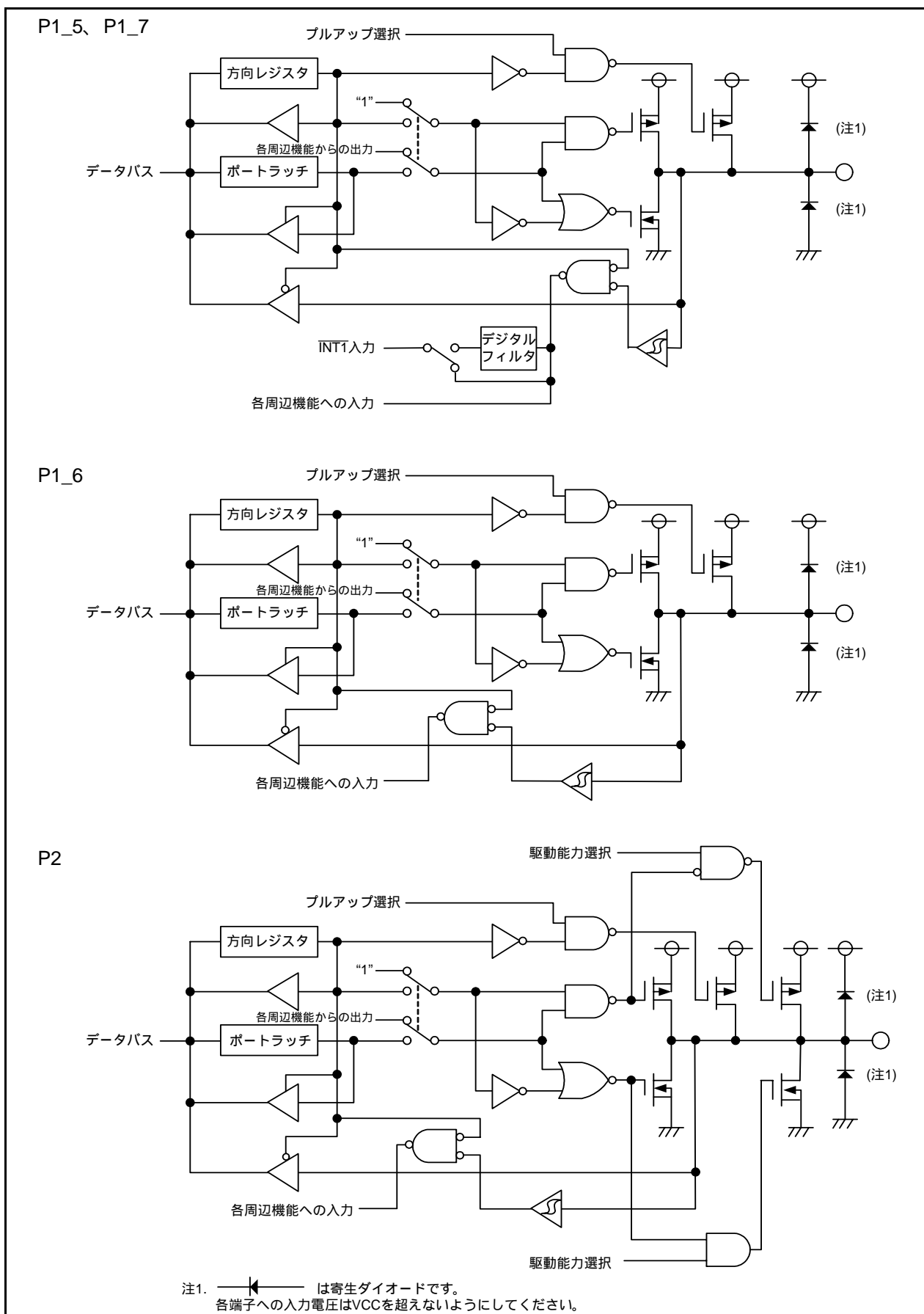


図7.2 プログラマブル入出力ポートの構成(2)

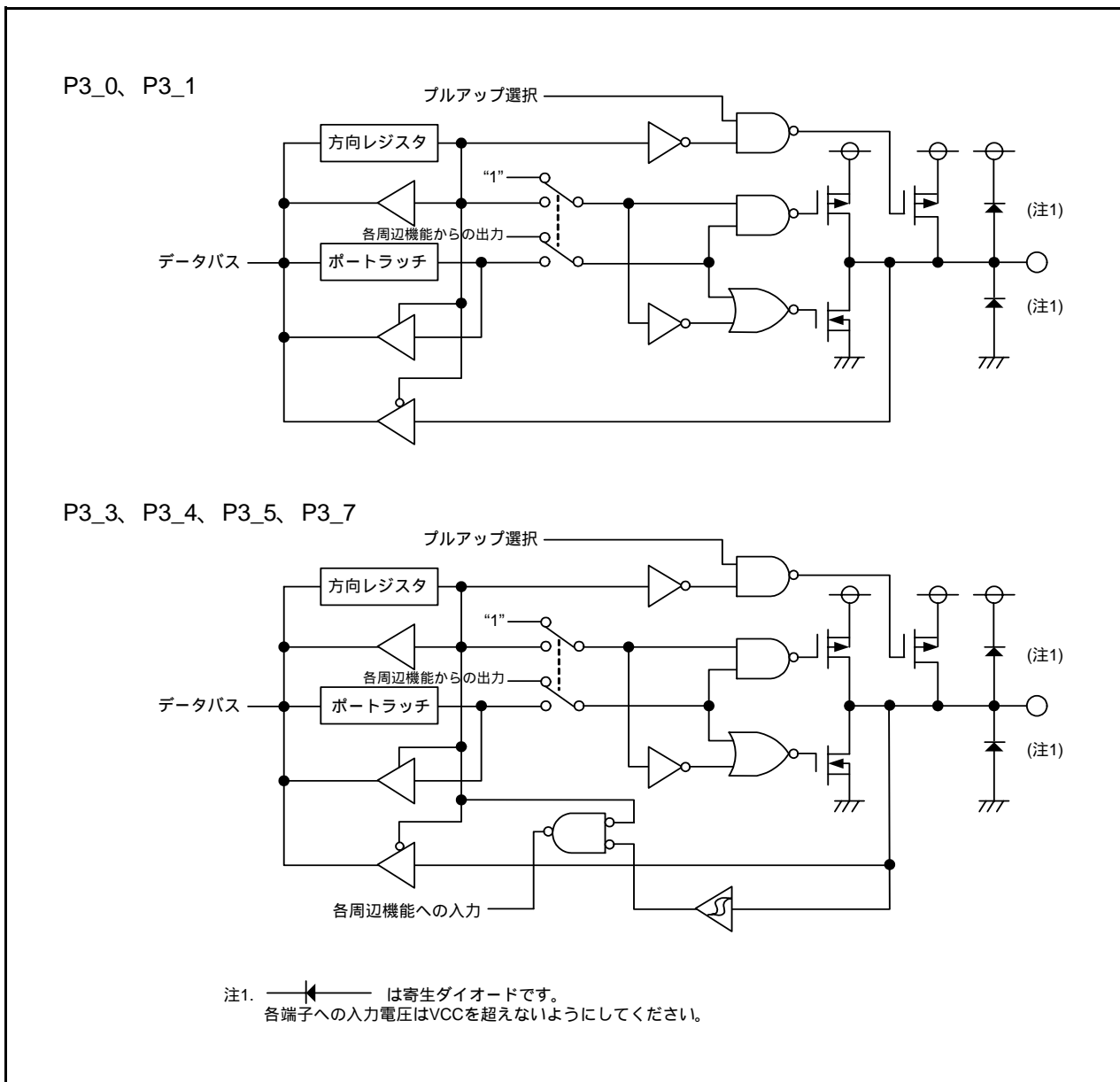


図7.3 プログラマブル入出力ポートの構成(3)

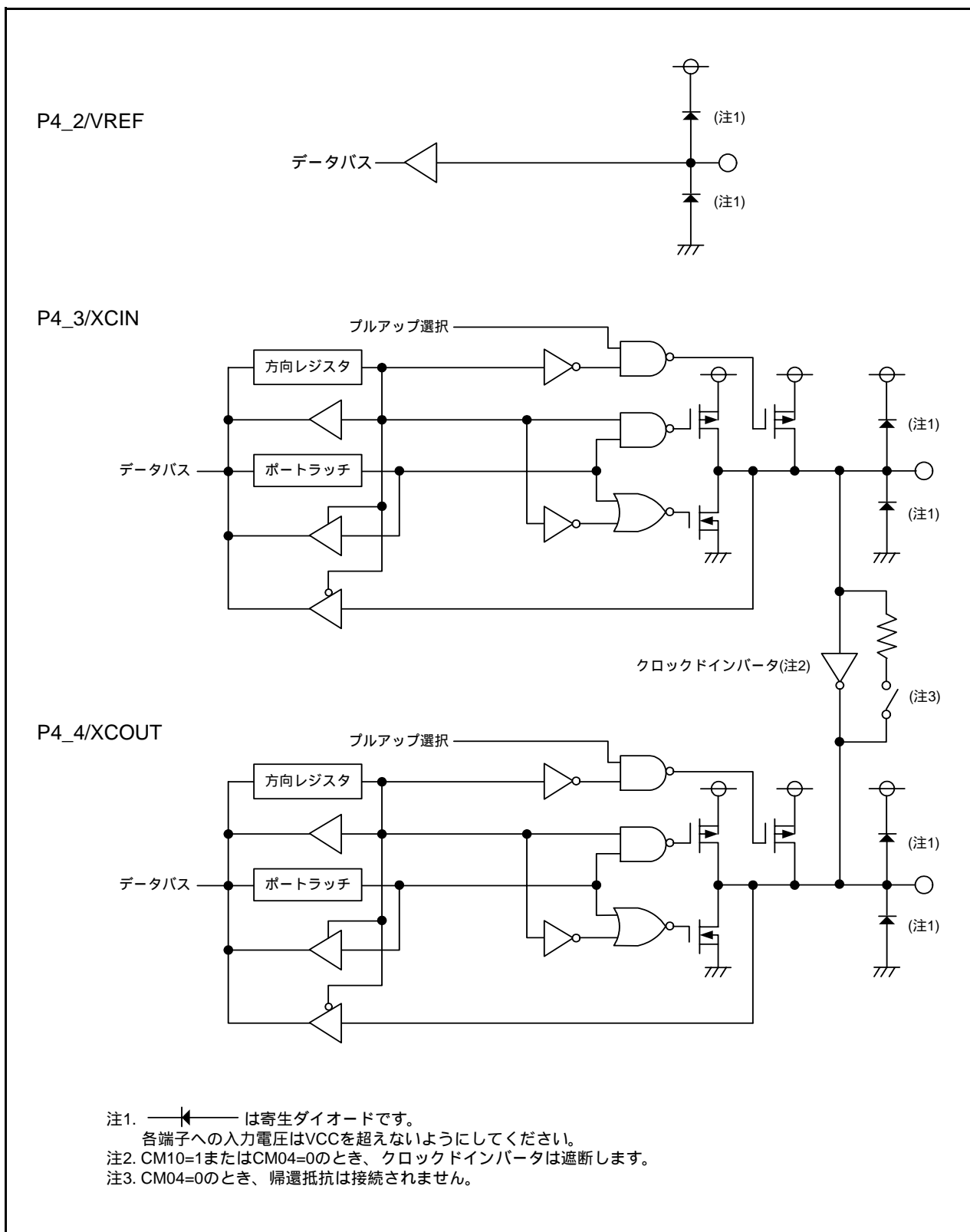


図7.4 プログラマブル入出力ポートの構成(4)

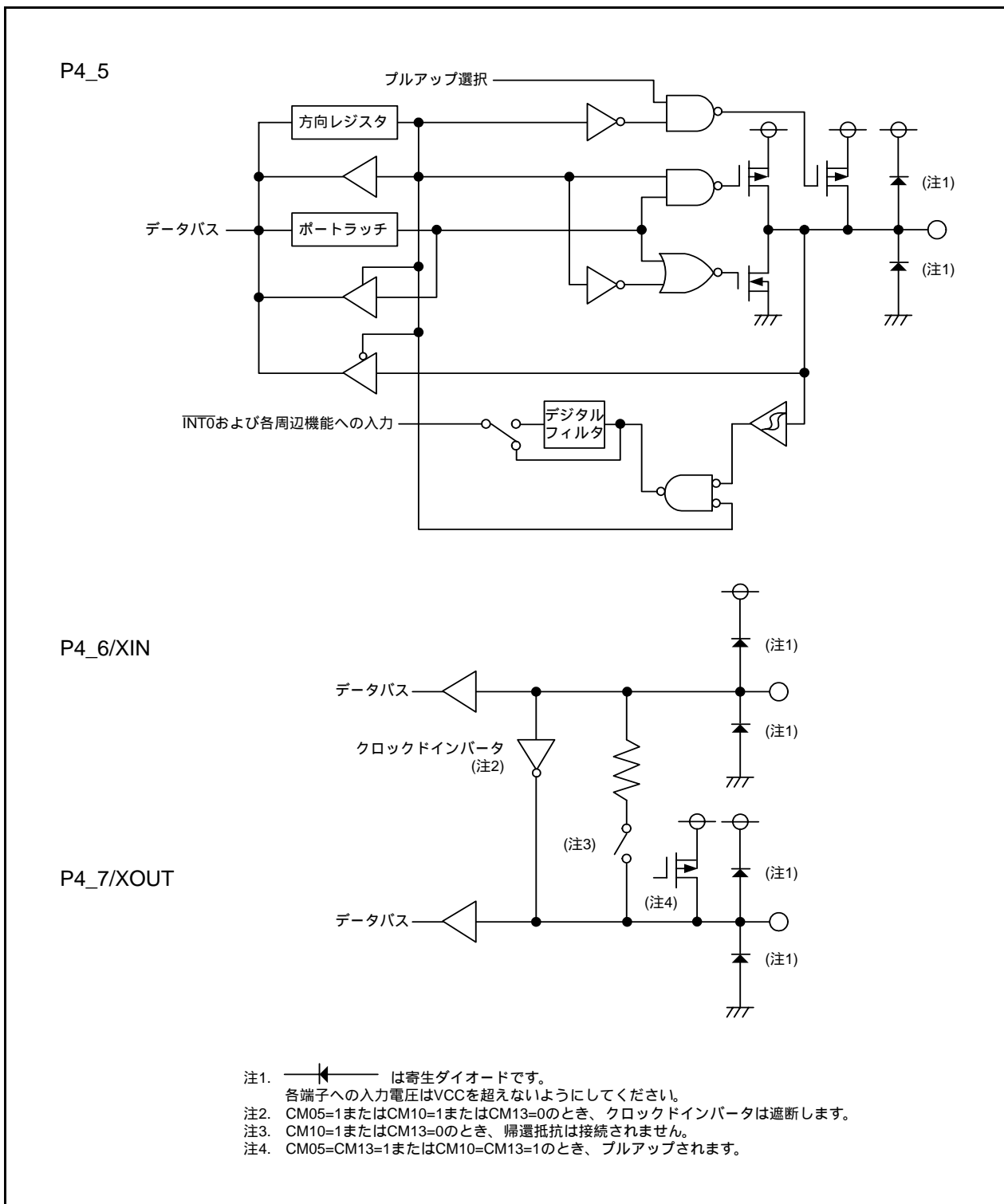
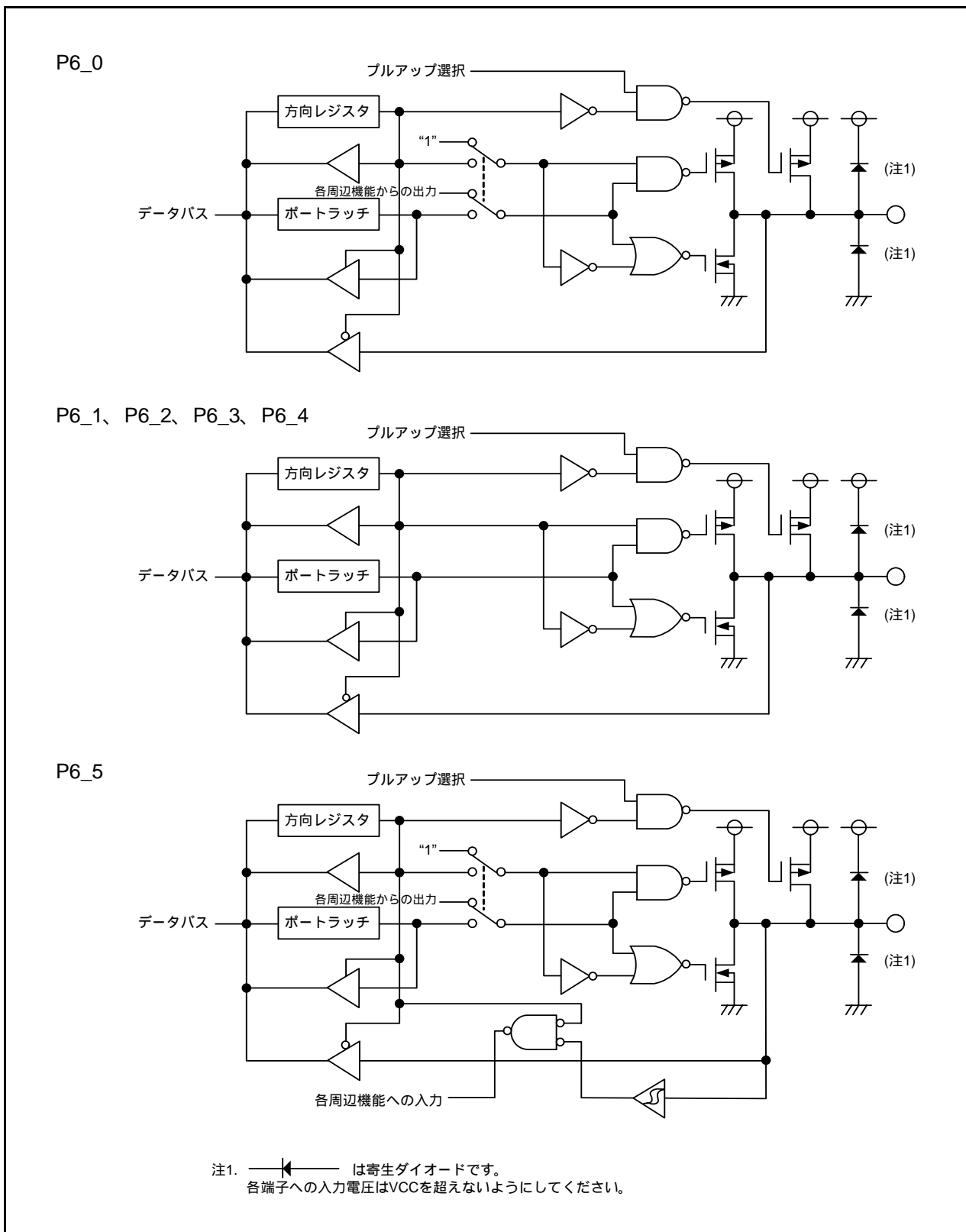


図7.5 プログラマブル入出力ポートの構成 (5)



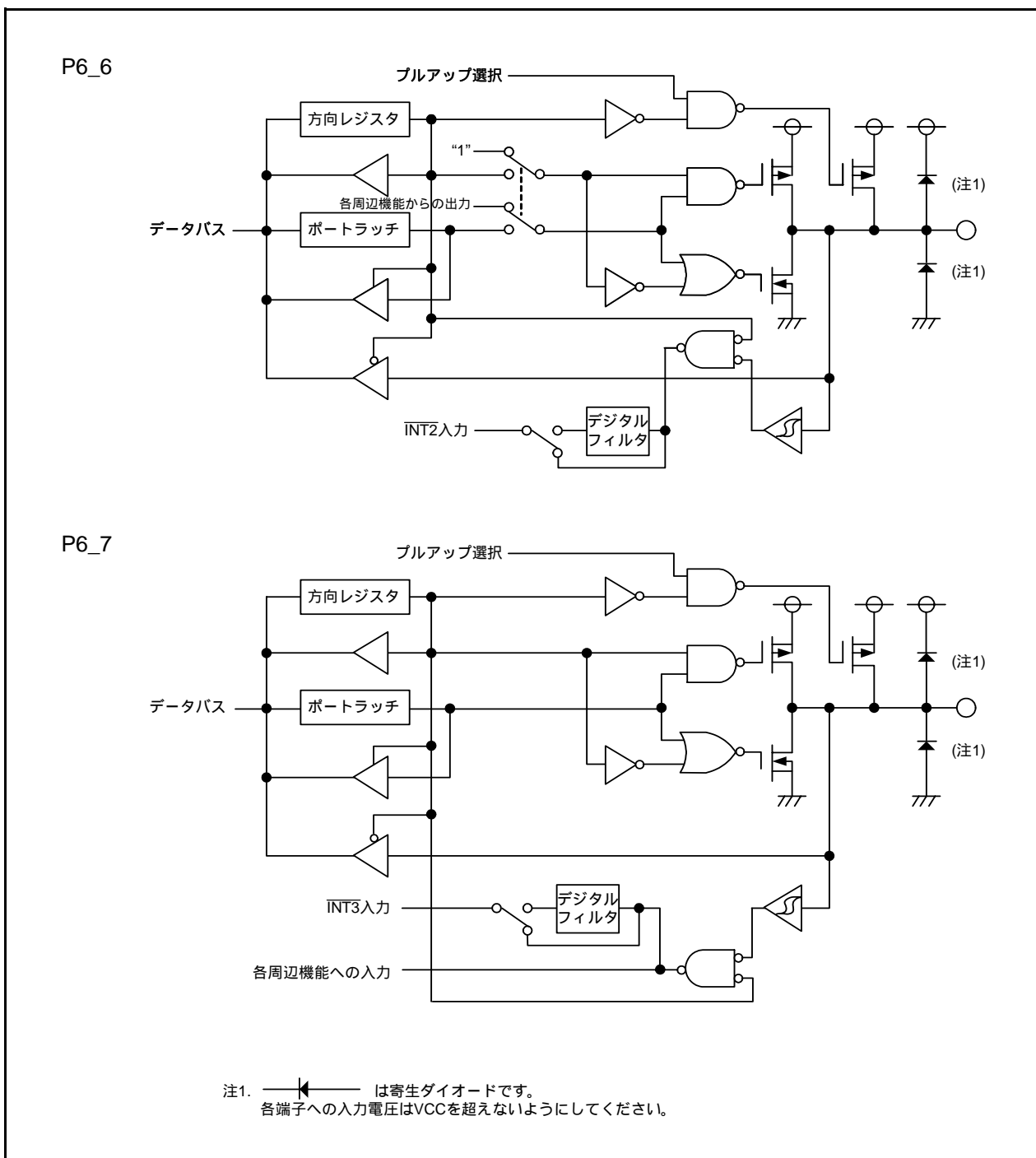


図7.7 プログラマブル入出力ポートの構成(7)

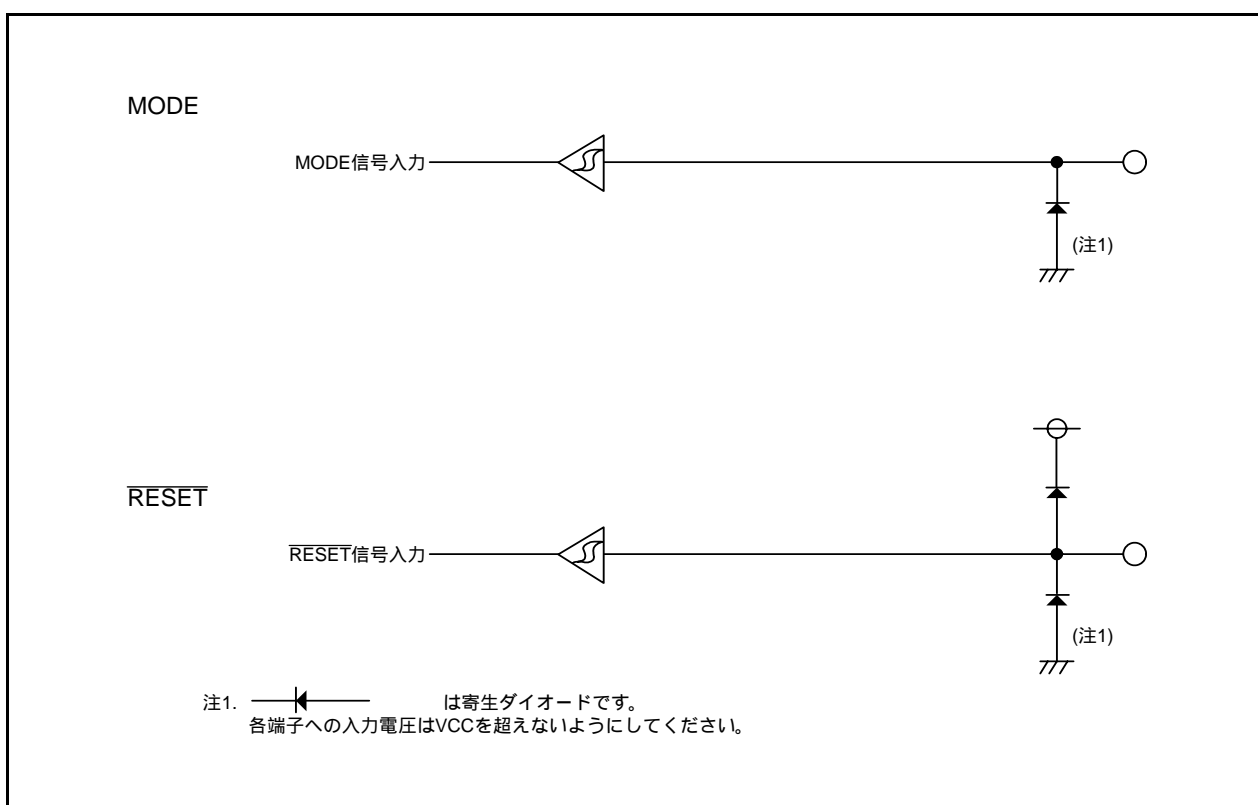


図7.8 端子の構成

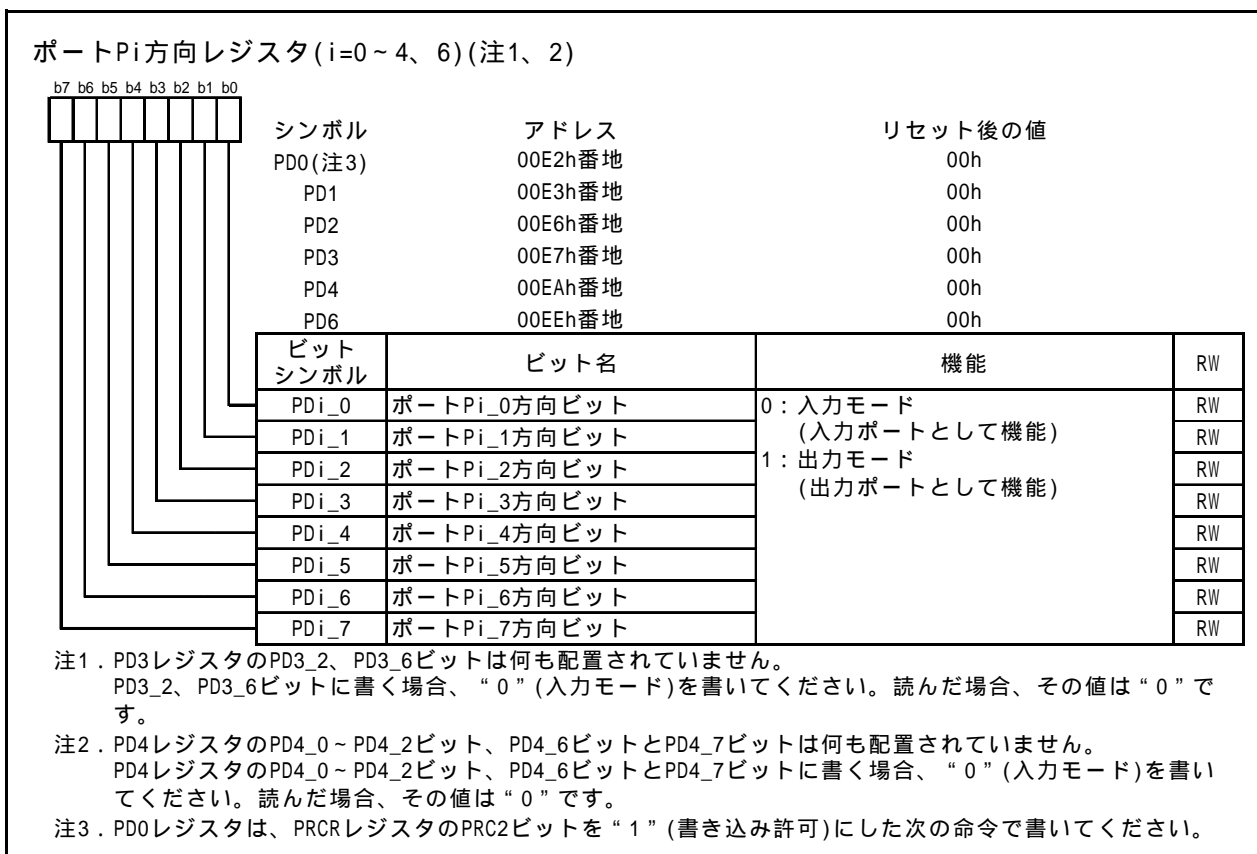


図7.9 PDiレジスタ

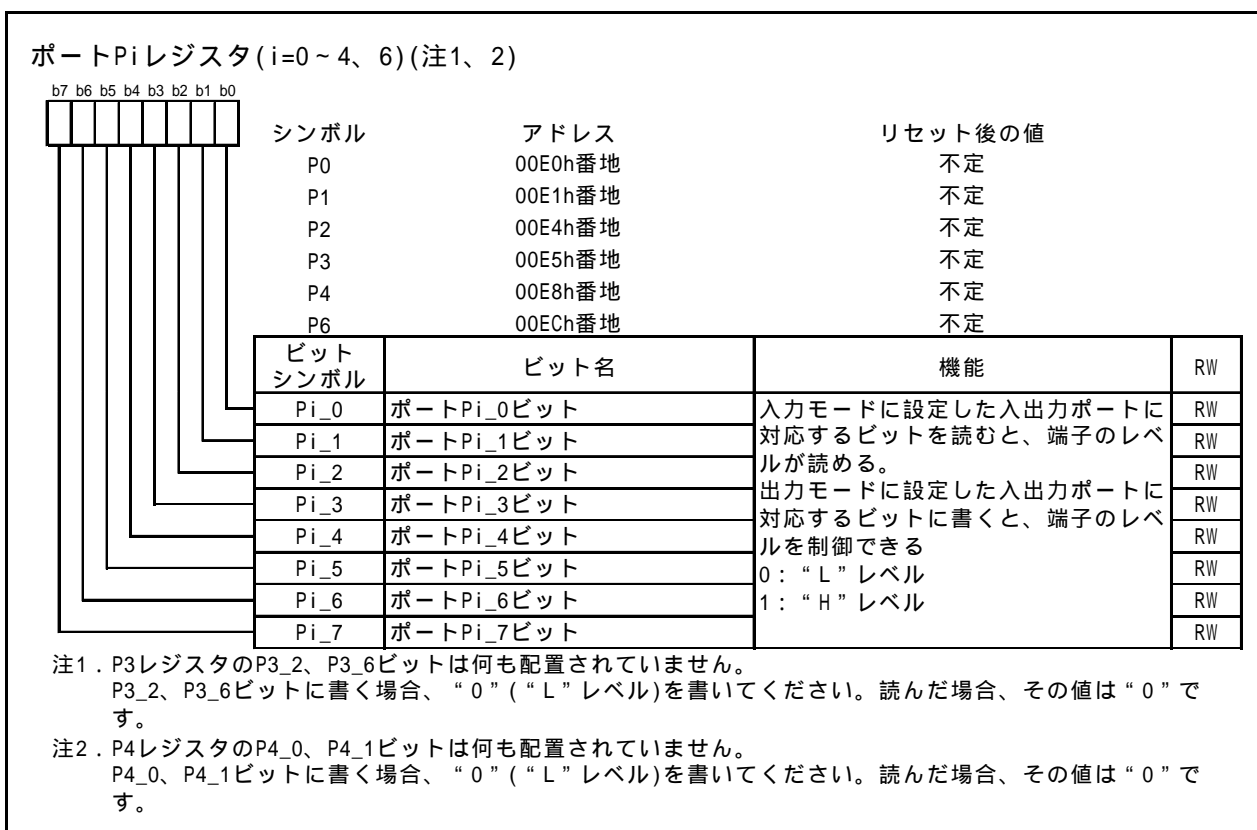


図7.10 Piレジスタ

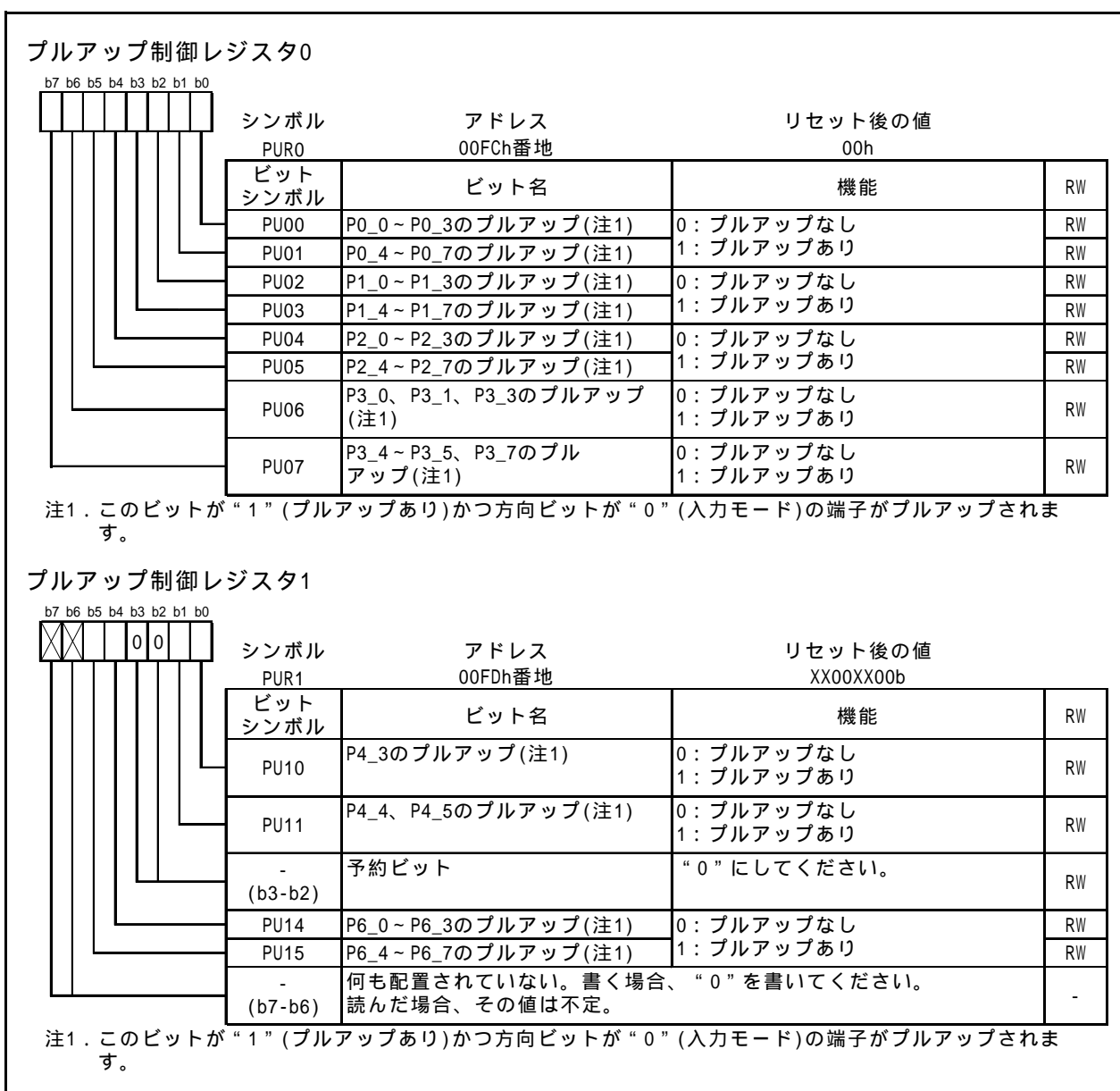


図7.11 PUR0、PUR1レジスタ

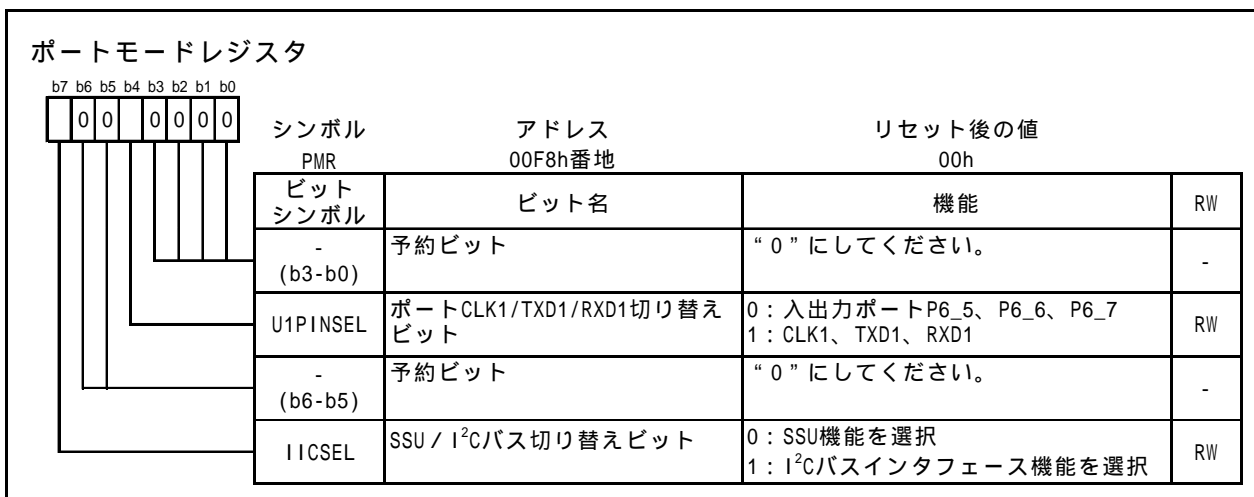


図7.12 PMRレジスタ

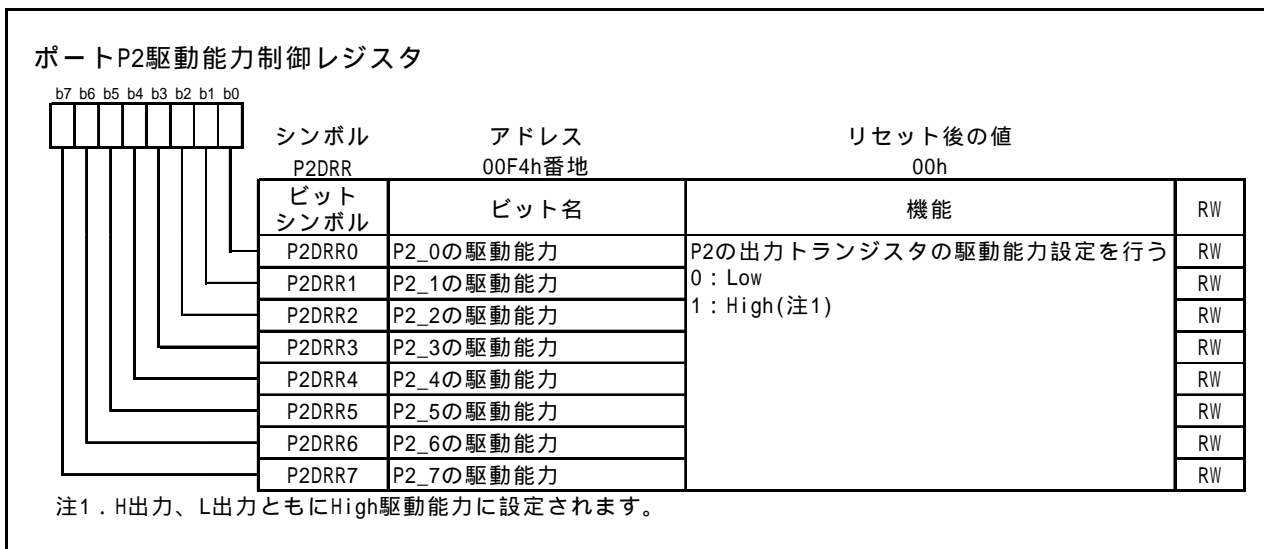


図7.13 P2DRR レジスタ

7.4 ポートの設定

表7.4～表7.47にポートの設定を示します。

表7.4 ポートP0_0/AN7

レジスタ	PD0	ADCON0				機能
ビット	PD0_0	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	1	1	1	0	A/Dコンバータ入力(AN7)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表7.5 ポートP0_1/AN6

レジスタ	PD0	ADCON0				機能
ビット	PD0_1	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	1	1	0	0	A/Dコンバータ入力(AN6)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表7.6 ポートP0_2/AN5

レジスタ	PD0	ADCON0				機能
ビット	PD0_2	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	1	0	1	0	A/Dコンバータ入力(AN5)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表7.7 ポートP0_3/AN4

レジスタ	PD0	ADCON0				機能
ビット	PD0_3	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	1	0	0	0	A/Dコンバータ入力(AN4)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表7.8 ポートP0_4/AN3

レジスタ	PD0	ADCON0				機能
ビット	PD0_4	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	0	1	1	0	A/Dコンバータ入力(AN3)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表7.9 ポートP0_5/AN2

レジスタ	PD0	ADCON0				機能
ビット	PD0_5	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	0	1	0	0	A/Dコンバータ入力(AN2)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表7.10 ポートP0_6/AN1

レジスタ	PD0	ADCON0				機能
ビット	PD0_6	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	0	0	1	0	A/Dコンバータ入力(AN1)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表7.11 ポートP0_7/AN0

レジスタ	PD0	ADCON0				機能
ビット	PD0_7	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	0	0	0	0	A/Dコンバータ入力(AN0)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表7.12 ポートP1_0/KI0/AN8

レジスタ	PD1	KIEN	ADCON0				機能
ビット	PD1_0	KI0EN	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート
	0	1	X	X	X	X	KI0入力
	0	X	1	0	0	1	A/Dコンバータ入力(AN8)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.13 ポートP1_1/KI1/AN9

レジスタ	PD1	KIEN	ADCON0				機能
ビット	PD1_1	KI1EN	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート
	0	1	X	X	X	X	KI1入力
	0	X	1	0	1	1	A/Dコンバータ入力(AN9)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.14 ポートP1_2/KI2/AN10

レジスタ	PD1	KIEN	ADCON0				機能
ビット	PD1_2	KI2EN	CH2	CH1	CH0	ADGSELO	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート
	0	1	X	X	X	X	KI2入力
	0	X	1	1	0	1	A/Dコンバータ入力(AN10)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.15 ポートP1_3/KI3/AN11

レジスタ	PD1	KIEN	ADCON0				機能
ビット	PD1_3	KI3EN	CH2	CH1	CH0	ADGSELO	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート
	0	1	X	X	X	X	KI3入力
	0	X	1	1	1	1	A/Dコンバータ入力(AN11)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.16 ポートP1_4/TXD0

レジスタ	PD1	U0MR			機能	
ビット	PD1_4	SMD2	SMD1	SMD0		
設定値	0	0	0	0	入力ポート(注1)	
	1	0	0	0	出力ポート	
	X	X	0	0	1	TXD0出力(注2)
			1	0	0	
			1	0	1	
			1	1	0	

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. U0C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.17 ポートP1_5/RXD0/(TRAIO)/(INT1)

レジスタ	PD1	TRAIOC		TRAMR			INTEN	機能	
ビット	PD1_5	TIOSEL	TOPCR	TMOD2	TMOD1	TMOD0	INT1EN		
設定値	0	0	X	X	X	X	X	入力ポート(注1)	
		X	1	X	X	X			
		X	X	001b以外					
	1	0	X	X	X	X	X	X	出力ポート
		X	1	X	X	X			
		X	X	001b以外					
	0	X	X	001b以外			X	RXD0入力	
		0		0	0	1			
0	1	X	001b以外			X	TRAIO入力		
0	1	X	001b以外			1	TRAIO/INT1入力		
X	1	0	0	0	0	1	X	TRAIOパルス出力	

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

表7.18 ポートP1_6/CLK0

レジスタ	PD1	UOMR				機能
ビット	PD1_6	SMD2	SMD1	SMD0	CKDIR	
設定値	0	001b以外			X	入力ポート(注1)
		X	X	X	1	
	1	001b以外			X	出力ポート
	0	X	X	X	1	CLK0 (外部クロック)入力
X	0	0	1	0	CLK0 (内部クロック)出力	

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

表7.19 ポートP1_7/TRAIO/INT1

レジスタ	PD1	TRAIOC		TRAMR			INTEN	機能
ビット	PD1_7	TIOSEL	TOPCR	TMOD2	TMOD1	TMOD0	INT1EN	
設定値	0	1	X	X	X	X	X	入力ポート(注1)
		X	1	X	X	X		
		X	X	001b以外				
	1	1	X	X	X	X	X	出力ポート
		X	1	X	X	X		
		X	X	001b以外				
	0	0	X	001b以外			X	TRAIO入力
	0	0	X	001b以外			1	TRAIO/INT1入力
X	0	0	0	0	0	1	X	TRAIOパルス出力

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

表7.20 ポートP2_0/TRDIOA0/TRDCLK

レジスタ	PD2	TRDOER1	TRDFCR				TRDIOA0			機能
ビット	PD2_0	EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0	
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)
	1	1	X	X	X	X	X	X	X	出力ポート(注2)
	0	X	0	0	0	1	1	X	X	タイマモード(インプットキャブチャ機能)
	0	X	X	X	1	1	0	0	0	外部クロック入力(TRDCLK)
	X	0	0	0	0	0	X	X	X	PWM3モード波形出力(注2)
	X	0	0	0	0	0	1	0	0	1
							0	1	X	

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR0ビットを"1"にすると、出力の駆動能力Highとなります。

表7.21 ポートP2_1/TRDIOB0

レジスタ	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIOA0			機能	
ビット	PD2_1	EB0	CMD1	CMD0	PWM3	PWMB0	IOB2	IOB1	IOB0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブチャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力
			1	1							
	X	0	0	1	X	X	X	X	X	X	リセット同期PWMモード波形出力
	X	0	0	0	0	0	X	X	X	X	PWM3モード波形出力(注2)
	X	0	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)
X	0	0	0	1	0	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)(注2)	
							0	1	X		

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR1ビットを"1"にすると、出力の駆動能力Highとなります。

表7.22 ポートP2_2/TRDIOC0

レジスタ	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIOC0			機能	
ビット	PD2_2	EC0	CMD1	CMD0	PWM3	PWMC0	IOC2	IOC1	IOC0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブチャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	X	リセット同期PWMモード波形出力(注2)
	X	0	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)
	X	0	0	0	1	0	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)(注2)
0								1	X		

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR2ビットを"1"にすると、出力の駆動能力Highとなります。

表7.23 ポートP2_3/TRDIOD0

レジスタ	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIORC0			機能	
ビット	PD2_3	ED0	CMD1	CMD0	PWM3	PWMD0	IOD2	IOD1	IOD0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブチャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力(注2)	
	X	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)	
X	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)(注2)	
						0	1				

X: "0" または "1"

注1. PU0レジスタのPU04ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR3ビットを"1"にすると、出力の駆動能力Highとなります。

表7.24 ポートP2_4/TRDIOA1

レジスタ	PD2	TRDOER1	TRDFCR			TRDIOA1			機能	
ビット	PD2_4	EA1	CMD1	CMD0	PWM3	IOA2	IOA1	IOA0		
設定値	0	1	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	1	X	X	タイマモード(インプットキャブチャ機能)	
	X	0	1	0	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1						
	X	0	0	1	X	X	X	X	リセット同期PWMモード波形出力(注2)	
	X	0	0	0	1	0	0	0	1	X
0							1			

X: "0" または "1"

注1. PU0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR4ビットを"1"にすると、出力の駆動能力Highとなります。

表7.25 ポートP2_5/TRDIOB1

レジスタ	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIOA1			機能	
ビット	PD2_5	EB1	CMD1	CMD0	PWM3	PWMB1	IOB2	IOB1	IOB0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブチャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力(注2)	
	X	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)	
X	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)(注2)	
						0	1				

X: "0" または "1"

注1. PU0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR5ビットを"1"にすると、出力の駆動能力Highとなります。

表7.26 ポートP2_6/TRDIOC1

レジスタ	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIORC1			機能	
ビット	PD2_6	EC1	CMD1	CMD0	PWM3	PWMC1	IOC2	IOC1	IOC0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブチャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力(注2)	
	X	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)	
X	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)(注2)	
						0	1				

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR6ビットを"1"にすると、出力の駆動能力Highとなります。

表7.27 ポートP2_7/TRDIOD1

レジスタ	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIORC1			機能	
ビット	PD2_7	ED1	CMD1	CMD0	PWM3	PWMD1	IOD2	IOD1	IOD0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブチャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力(注2)	
	X	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)	
X	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)(注2)	
						0	1				

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR7ビットを"1"にすると、出力の駆動能力Highとなります。

表7.28 ポートP3_0/TRAO

レジスタ	PD3	TRAIOC	機能
ビット	PD3_0	TOENA	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	X	1	TRAO出力

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

表7.29 ポートP3_1/TRBO

レジスタ	PD3	TRBMR		TRBIOC	機能
ビット	PD3_1	TMOD1	TMOD0	TOCNT	
設定値	0	0	0	X	入力ポート(注1)
	1	0	0	X	出力ポート
	X	01b		1	
	X	00b以外		0	TRBO出力

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

表7.30 ポートP3_3/SSI

レジスタ	PD3	チップセレクト付クロック同期形 シリアルI/O(「表16.4 通信モード と入出力端子の関係」参照)		PMR	機能
ビット	PD3_3	SSI出力制御	SSI入力制御	IICSEL	
設定値	0	0	0	0	入力ポート(注1)
		X	X	1	
	1	0	0	0	出力ポート(注2)
		X	X	1	
	X	0	1	0	SSI入力
	X	1	0	0	SSI出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

注2. 出力として機能しているとき、SSMR2レジスタのSOOSビットを“1”にすると、Nチャンネルオープンドレイン出力となります。

表7.31 ポートP3_4/SDA/SCS

レジスタ	PD3	SSMR2		PMR	ICCR1	機能	
ビット	PD3_4	CSS1	CSS0	IICSEL	ICE		
設定値	0	0	0	0	X	入力ポート(注1)	
	0	0	0	X	0		
	1	0	0	0	X		
	1	0	0	X	0	出力ポート(注2)	
	X	0	1	0	X	SCS入力	
	X	1	0	1	0	X	SCS出力(注2)
		1	1				
X	X	X	X	1	1	SDA入出力	

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. 出力として機能しているとき、SSMR2レジスタのCSOSビットを“1”にすると、Nチャンネルオープンドレイン出力となります。

表7.32 ポートP3_5/SCL/SSCK

レジスタ	PD3	チップセレクト付クロック同期形シリアルI/O(「表16.4 通信モードと入出力端子の関係」参照)		PMR	ICCR1	機能
ビット	PD3_5	SSCK出力制御	SSCK入力制御	IICSEL	ICE	
設定値	0	0	0	0	X	入力ポート(注1)
	0	0	0	X	0	
	1	0	0	0	X	出力ポート(注2)
	1	0	0	X	0	
	X	0	1	0	0	SSCK入力
	X	1	0	0	0	SSCK出力(注2)
	X	1	0	1	1	SCL入出力

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. 出力として機能しているとき、SSMR2レジスタのSCKOSビットを“1”にすると、Nチャンネルオープンドレイン出力となります。

表7.33 ポートP3_7/SSO

レジスタ	PD3	チップセレクト付クロック同期形シリアルI/O(「表16.4 通信モードと入出力端子の関係」参照)		SSMR2	PMR	機能
ビット	PD3_7	SSO出力制御	SSO入力制御	SOOS	IICSEL	
設定値	0	0	0	X	0	入力ポート(注1)
	0	X	X	X	1	
	1	0	0	0	0	出力ポート
	1	X	X	0	1	
	X	0	1	0	0	SSO入力
	X	1	0	0	0	SSO出力(CMOS出力)
	X	1	0	1	0	SSO出力(Nチャンネルオープンドレイン出力)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

表7.34 ポートP4_2/VREF

レジスタ	ADCON1	機能
ビット	VCUT	
設定値	0	入力ポート
	1	入力ポート/VREF入力

表7.35 ポートP4_3/XCIN

レジスタ	PD4	CM0	CM1		回路仕様		機能
ビット	PD4_3	CM04	CM10	CM12	発振バッファ	帰還抵抗	
設定値	0	0	X	X	OFF	OFF	入力ポート(注1)
	1	0	X	X	OFF	OFF	出力ポート
	X	1	0	0	ON	ON	XCIN-XCOUT発振(内蔵帰還抵抗有効)
	X	1	0	1	ON	OFF	XCIN-XCOUT発振(内蔵帰還抵抗無効)
	X	1	1	0	OFF	ON	XCIN-XCOUT発振停止
				1	OFF	OFF	
X	1	0	0	ON	ON	外部XCIN入力	
			1	ON	OFF		

X:“0”または“1”

注1. PUR1レジスタのPU10ビットを“1”にすると、プルアップありとなります。

表7.36 ポートP4_4/XCOUT

レジスタ	PD4	CM0	CM1		回路仕様		機能
ビット	PD4_4	CM04	CM10	CM12	発振バッファ	帰還抵抗	
設定値	0	0	X	X	OFF	OFF	入力ポート(注1)
	1	0	X	X	OFF	OFF	出力ポート
	X	1	0	0	ON	ON	XCIN-XCOUT発振(内蔵帰還抵抗有効)
	X	1	0	1	ON	OFF	XCIN-XCOUT発振(内蔵帰還抵抗無効)
	X	1	1	0	OFF	ON	XCIN-XCOUT発振停止
				1	OFF	OFF	
X	1	0	0	ON	ON	外部XCOUT出力(XCINの反転出力) (注2)	
			1	ON	OFF		

X:“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

注2. XCIN-XCOUT発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOSレベルの信号として使用できません。

表7.37 ポートP4_5/INT0

レジスタ	PD4	INTEN	機能
ビット	PD4_5	INT0EN	
設定値	0	X	入力ポート(注1)
	1	X	出力ポート
	0	1	INT0入力

X:“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

表7.38 ポートP4_6/XIN

レジスタ	CM1		CM0	回路仕様		機能
ビット	CM13	CM10	CM05	発振バッファ	帰還抵抗	
設定値	0	X	X	OFF	OFF	入力ポート
	1	0	0	ON	ON	XIN-XOUT発振
	1	0	1	OFF	ON	外部XIN入力
	1	1	0	OFF	OFF	XIN-XOUT発振停止
	1	1	1	OFF	OFF	XIN-XOUT発振停止

X:“0”または“1”

表7.39 ポートP4_7/XOUT

レジスタ	CM1		CM0	回路仕様		機能
	CM13	CM10	CM05	発振バッファ	帰還抵抗	
設定値	0	X	X	OFF	OFF	入力ポート
	1	0	0	ON	ON	XIN-XOUT発振
	1	0	1	OFF	ON	XOUTは“H”プルアップ
	1	1	0	OFF	OFF	XIN-XOUT発振停止
	1	1	1	OFF	OFF	XIN-XOUT発振停止

X:“0”または“1”

表7.40 ポートP6_0/TREO

レジスタ	PD6	TRECR1	機能
ビット	PD6_0	TOENA	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	X	1	TREO出力

X:“0”または“1”

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

表7.41 ポートP6_1

レジスタ	PD6	機能
ビット	PD6_1	
設定値	0	入力ポート(注1)
	1	出力ポート

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

表7.42 ポートP6_2

レジスタ	PD6	機能
ビット	PD6_2	
設定値	0	入力ポート(注1)
	1	出力ポート

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

表7.43 ポートP6_3

レジスタ	PD6	機能
ビット	PD6_3	
設定値	0	入力ポート(注1)
	1	出力ポート

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

表7.44 ポートP6_4

レジスタ	PD6	機能
ビット	PD6_4	
設定値	0	入力ポート(注1)
	1	出力ポート

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

表7.45 ポートP6_5/CLK1

レジスタ	PD6	PMR	U1MR				機能
ビット	PD6_5	U1PINSEL	SMD2	SMD1	SMD0	CKDIR	
設定値	0	X	001b以外			X	入力ポート(注1)
		0	X	X	X	X	
		X	X	X	X	1	
	1	X	001b以外			X	出力ポート
		0	X	X	X		
		X	X	X	X	0	
	0	1	X	X	X	1	CLK1(外部クロック)入力
X	1	0	0	1	0	CLK1(内部クロック)出力	

X:“0”または“1”

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

表7.46 ポートP6_6/INT2/TXD1

レジスタ	PD6	PMR	U1MR			U1C0	INTEN	機能	
ビット	PD6_6	U1PINSEL	SMD2	SMD1	SMD0	NCH	INT2EN		
設定値	0	X	0	0	0	X	X	入力ポート(注1)	
		0	X	X	X				
	1	X	0	0	0	X	X	出力ポート	
		0	X	X	X				
	0	X	X	X	X	X	1	INT2入力	
	X	1	1	0	0	1	0	X	TXD1出力(CMOS出力)
				1	0	0			
				1	0	1			
	X	1	1	1	1	0	1	X	TXD1出力(Nチャンネルオープンドレイン出力)
				0	0	1			
				1	0	0			
				1	0	1			
			1	1	0				

X:“0”または“1”

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

表7.47 ポートP6_7/INT3/RXD1

レジスタ	PD6	PMR	INTEN	機能
ビット	PD6_7	U1PINSEL	INT3EN	
設定値	0	X	X	入力ポート(注1)
	1	X	X	出力ポート
	0	X	1	INT3入力
	0	1	X	RXD1入力

X:“0”または“1”

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

7.5 未使用端子の処理

表7.48に未使用端子の処理例を示します。

表7.48 未使用端子の処理例

端子名	処理内容
ポートP0 ~ P2、P3_0、 P3_1、P3_3 ~ P3_7、 P4_3 ~ P4_5、P6	<ul style="list-style-type: none"> •入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) •出力モードに設定し、端子を開放(注1、2)
ポートP4_6、P4_7	抵抗を介してVCCに接続(プルアップ)(注2)
ポートP4_2/VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注2)
NC	開放またはVCC、VSSに接続

- 注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. パワーオンリセット機能使用時。

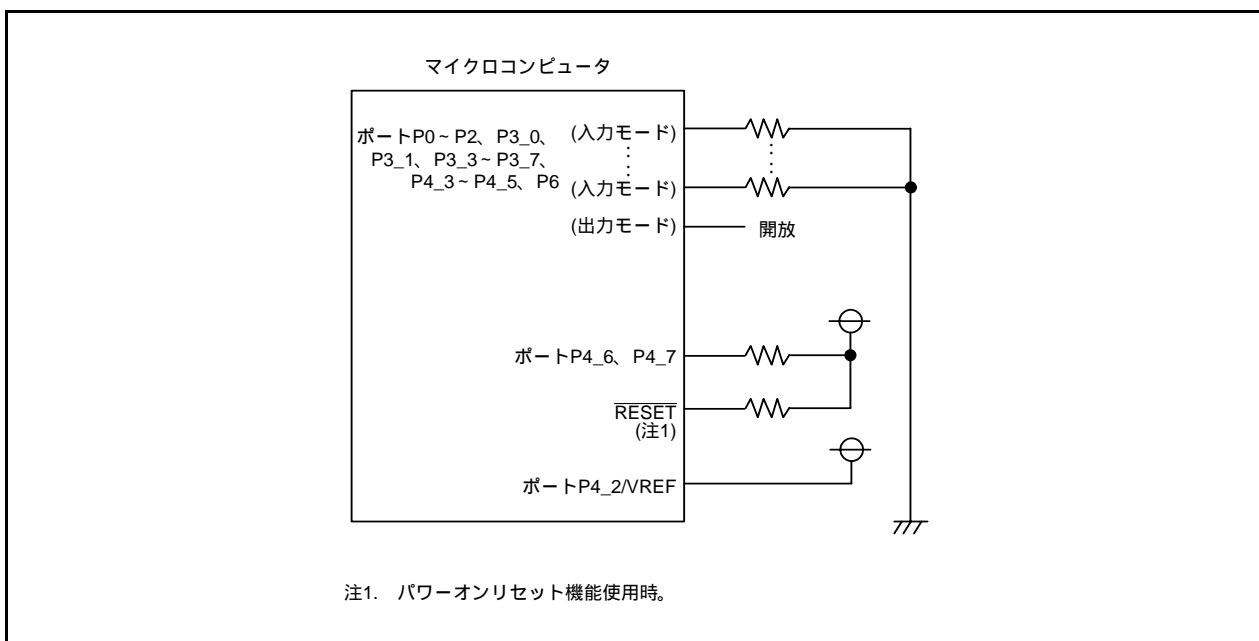


図7.14 未使用端子の処理例

8. プロセッサモード

8.1 プロセッサモードの種類

プロセッサモードはシングルチップモードとなります。

表8.1にプロセッサモードの特長を、図8.1にPM0レジスタを、図8.2にPM1レジスタを示します。

表8.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

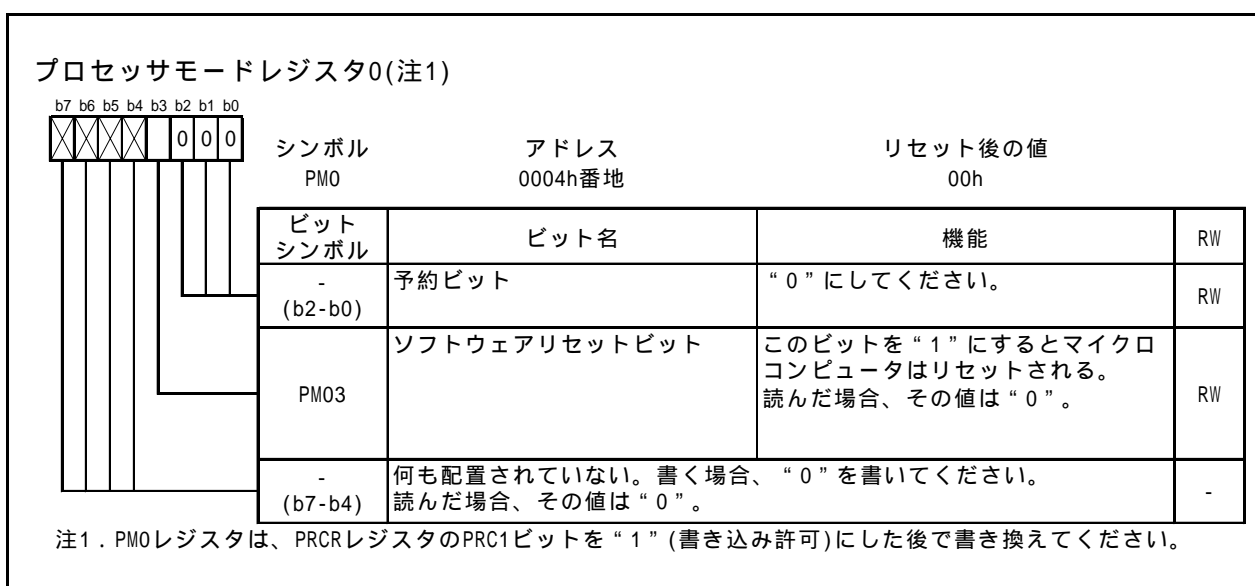


図8.1 PM0レジスタ

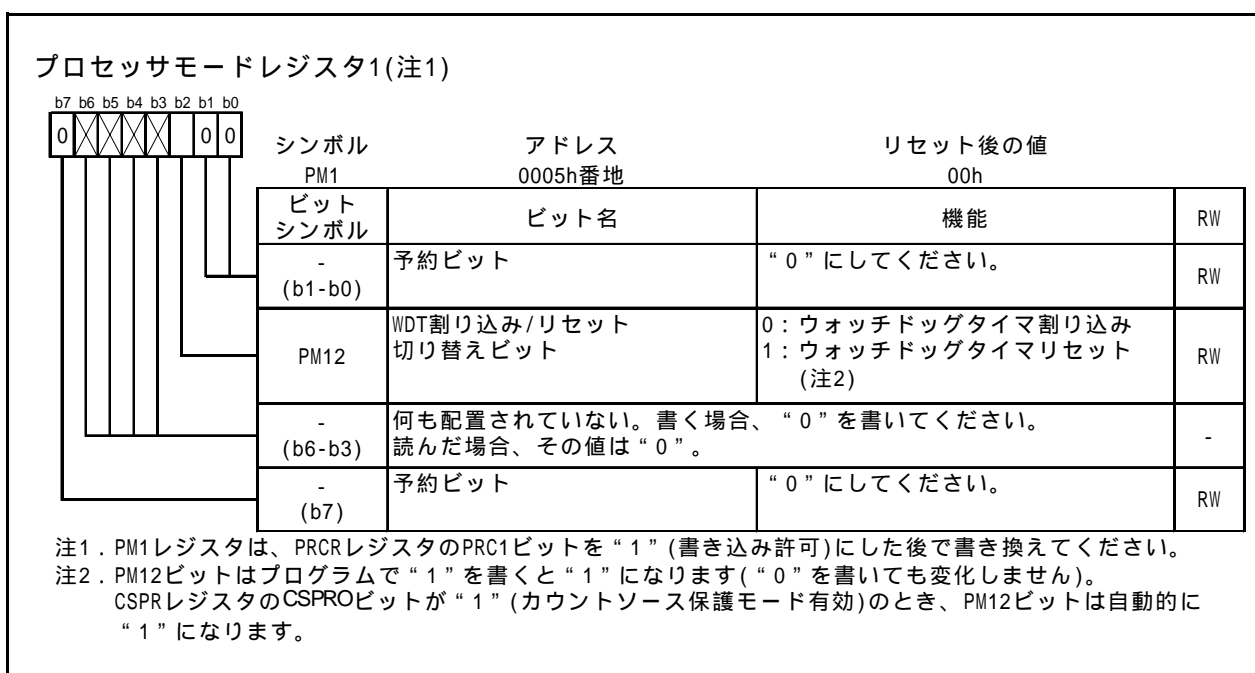


図8.2 PM1レジスタ

9. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。

表9.1にR8C/24グループのアクセス領域に対するバスサイクルを、表9.2にR8C/25グループのアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表9.3にアクセス単位とバスの動作を示します。

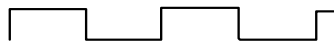
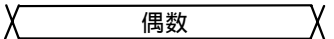
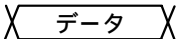
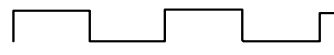


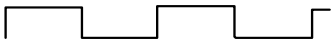
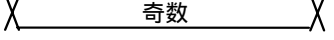
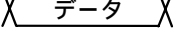
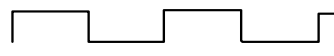



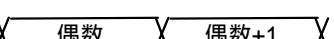
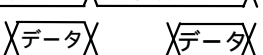

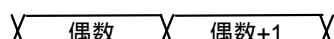
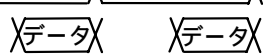
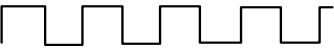


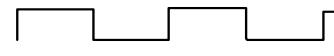


表9.1 R8C/24グループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR	CPUクロックの2サイクル
ROM/RAM	CPUクロックの1サイクル

表9.2 R8C/25グループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表9.3 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM (プログラムROM)、RAM
偶数番地 バイトアクセス	CPU クロック  アドレス  偶数 データ  データ	CPU クロック  アドレス  偶数 データ  データ
奇数番地 バイトアクセス	CPU クロック  アドレス  奇数 データ  データ	CPU クロック  アドレス  奇数 データ  データ
偶数番地 ワードアクセス	CPU クロック  アドレス  偶数 偶数+1 データ  データ データ	CPU クロック  アドレス  偶数 偶数+1 データ  データ データ
奇数番地 ワードアクセス	CPU クロック  アドレス  奇数 奇数+1 データ  データ データ	CPU クロック  アドレス  奇数 奇数+1 データ  データ データ

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

タイマRD：TRDi(i=0、1)、TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表9.3 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

10. クロック発生回路

クロック発生回路として、4つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ

表10.1にクロック発生回路の概略仕様を、図10.1にクロック発生回路を、図10.2～図10.8にクロック関連レジスタを、図10.9にVCA20ビットによる内部電源低消費操作手順を示します。

表10.1 クロック発生回路の概略仕様

項目	XINクロック 発振回路	XCINクロック 発振回路	オンチップオシレータ	
			高速オンチップ オシレータ	低速オンチップ オシレータ
用途	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • タイマRAおよびタイマREのクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源
クロック周波数	0 ~ 20MHz	32.768kHz	約40MHz(注4)	約125kHz
接続できる発振子	<ul style="list-style-type: none"> • セラミック共振子 • 水晶発振子 	• 水晶発振子		
発振子の接続端子	XIN、XOUT(注1)	XCIN、XCOUT(注2)	(注1)	(注1)
発振の開始と停止	あり	あり	あり	あり
リセット後の状態	停止	停止	停止	発振
その他	外部で生成されたクロックを入力可能(注3)	<ul style="list-style-type: none"> • 外部で生成されたクロックを入力可能 • 帰還抵抗Rfを内蔵。(接続/非接続選択可能) 		

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_6、P4_7として使うことができます。

注2. XCINクロック発振回路を使用せず、XIN発振回路または、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_3、P4_4として使うことができます。

注3. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にしてください。

注4. CPUクロック源として使用する場合には、分周器により最大：約20MHzとなります。

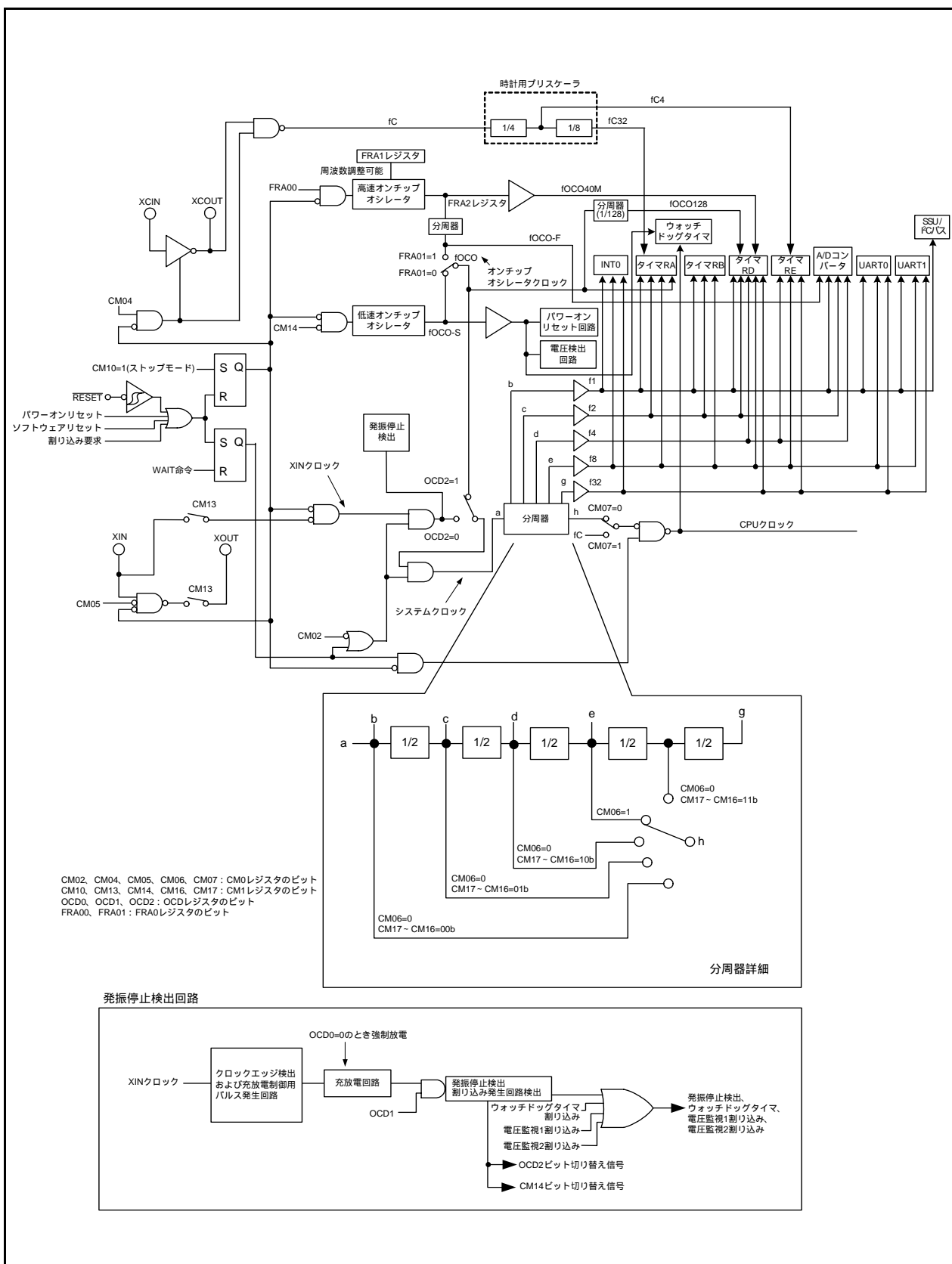


図10.1 クロック発生回路

システムクロック制御レジスタ0(注1)

ビットシンボル	ビット名	機能	RW
(b1-b0)	予約ビット	“0” にしてください。	RW
CM02	WAIT時周辺機能クロック停止ビット	0 : ウェイトモード時、周辺機能クロック停止しない 1 : ウェイトモード時、周辺機能クロック停止する	RW
CM03	XCIN-XCOUT駆動能力選択ビット(注9)	0 : Low 1 : High	RW
CM04	ポート、XCIN-XCOUT切り替えビット(注6)	0 : 入出力ポートP4_3、P4_4 1 : XCIN、XCOUT端子(注7)	RW
CM05	XINクロック(XIN-XOUT)停止ビット(注2、4)	0 : 発振 1 : 停止(注3)	RW
CM06	システムクロック分周比選択ビット0(注5)	0 : CM16、CM17有効 1 : 8分周モード	RW
CM07	CPUクロック選択ビット(注8)	0 : システムクロック 1 : XCINクロック	RW

注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1～OCD0ビットを“00b”にする。

(2)OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注3. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられません。

注4. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4_6、P4_7)の場合のみ、P4_6、P4_7は入力ポートとして使用できます。

注5. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注6. CM04ビットはプログラムで“1”にできますが、“0”にできません。

注7. XCINクロックを使用する場合、CM04ビットを“1”にしてください。また、ポートP4_3、P4_4は入力ポートで、プルアップなしにしてください。

注8. CM04ビットを“1”(XCIN-XCOUT端子)にし、XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。

注9. ストップモードへ移行したとき、CM03ビットは“1”(High)になります。CM03ビットの書き換えは、XCINクロックの発振が安定しているときに行ってください。

 10.2 CM0レジスタ

システムクロック制御レジスタ1(注1)

シンボル	アドレス	リセット後の値
CM1	0007h番地	00100000b

ビットシンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注4、7、8)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	RW
CM12	XCIN-XCOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	RW
CM13	ポートXIN-XOUT切り替え ビット(注7、9)	0 : 入力ポートP4_6、P4_7 1 : XIN-XOUT端子	RW
CM14	低速オンチップオシレータ発振 停止ビット(注5、6、8)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	RW
CM15	XIN-XOUT駆動能力選択 ビット(注2)	0 : LOW 1 : HIGH	RW
CM16	システムクロック分周比 選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

注1. CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. ストップモードへの移行時、CM15ビットは“1”(駆動能力HIGH)になります。

注3. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16~CM17ビットは有効となります。

注4. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注5. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注6. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

注7. CM10ビットが“1”(ストップモード)の場合、CM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。
CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

注8. カウントソース保護モード有効時(「13.2 カウントソース保護モード有効時」参照)は、CM10、CM14ビットへ書いても値は変化しません。

注9. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

図10.3 CM1レジスタ

発振停止検出レジスタ(注1)

ビット シンボル	ビット名	機能	RW
OCD0	発振停止検出有効ビット (注7)	0 : 発振停止検出機能無効(注2) 1 : 発振停止検出機能有効	RW
OCD1	発振停止検出割り込み許可 ビット	0 : 禁止(注2) 1 : 許可	RW
OCD2	システムクロック選択ビット (注4)	0 : XINクロック選択(注7) 1 : オンチップオシレータクロック選択 (注3)	RW
OCD3	クロックモニタビット (注5、6)	0 : XINクロック発振 1 : XINクロック停止	RO
- (b7-b4)	予約ビット	"0" にしてください。	RW

シンボル
OCD

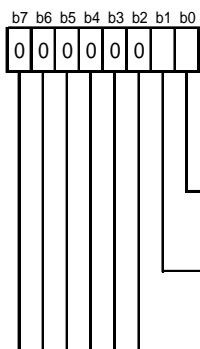
アドレス
000Ch番地

リセット後の値
00000100b

注1. OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。
 注2. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
 注3. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
 注4. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
 注5. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。
 注6. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
 注7. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図10.16 低速オンチップオシレータからXINクロックへの切り替え手順」を参照してください。

図10.4 OCDレジスタ

高速オンチップオシレータ制御レジスタ0(注1)



シンボル	アドレス	リセット後の値	
FRA0	0023h番地	00h	
ビットシンボル	ビット名	機能	RW
FRA00	高速オンチップオシレータ許可ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	RW
FRA01	高速オンチップオシレータ選択ビット(注2)	0 : 低速オンチップオシレータ選択(注3) 1 : 高速オンチップオシレータ選択	RW
- (b7-b2)	予約ビット	"0" にしてください。	RW

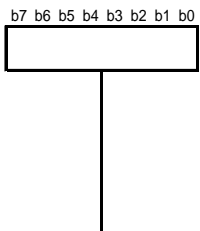
注1 . FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2 . FRA01ビットは次の条件のとき変更してください。

- ・ FRA00=1(高速オンチップオシレータ発振)
- ・ CM1レジスタのCM14=0(低速オンチップオシレータ発振)
- ・ FRA2レジスタのFRA22 ~ FRA20ビットが
 VCC=3.0V ~ 5.5Vの場合は全分周モード設定可能 “000b” ~ “111b”
 VCC=2.7V ~ 5.5Vの場合は4分周以上の分周比 “010b” ~ “111b”(4分周モード以上)
 VCC=2.2V ~ 5.5Vの場合は8分周以上の分周比 “110b” ~ “111b”(8分周モード以上)

注3 . FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

高速オンチップオシレータ制御レジスタ1(注1)



シンボル	アドレス	リセット後の値	
FRA1	0024h番地	出荷時の値	
機能			RW
ビット0~7で高速オンチップオシレータの周波数を調整できます。 高速オンチップオシレータの周波数=40 MHz (FRA1レジスタ=出荷時の値)			RW
FRA1レジスタの値を小さくすると周波数が高くなります。 FRA1レジスタの値を大きくすると周波数が低くなります。(注2)			

注1 . FRA1レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2 . FRA1レジスタの値を変更する場合は、高速オンチップオシレータクロックの周波数が40MHz以下となる値にしてください。

図10.5 FRA0、FRA1レジスタ

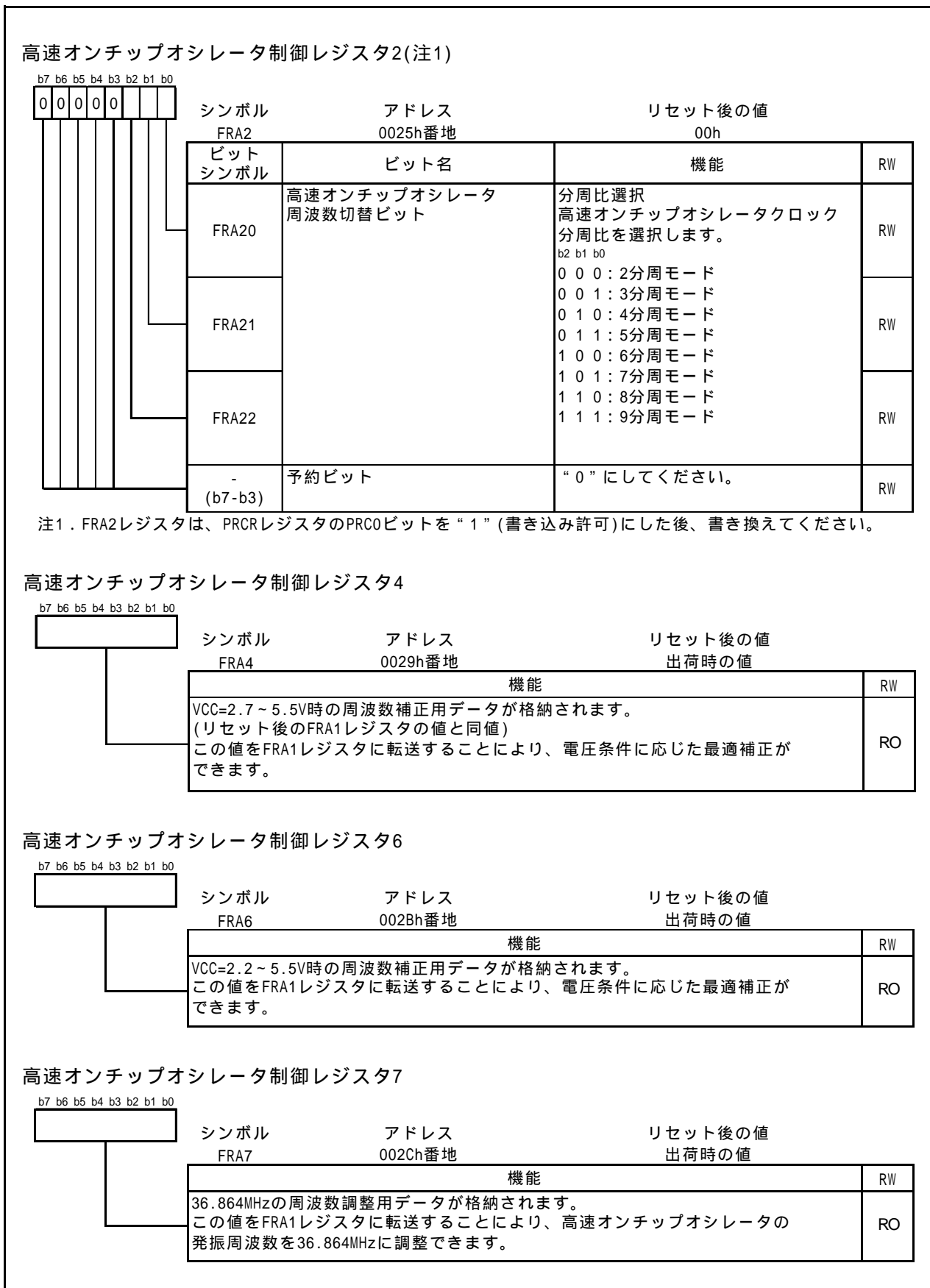


図10.6 FRA2、FRA4、FRA6、FRA7レジスタ

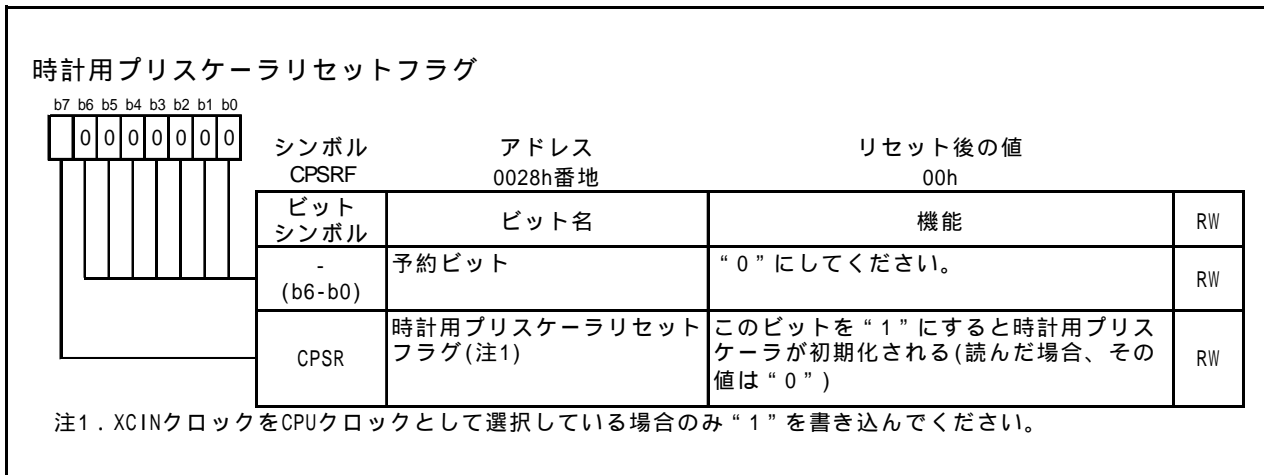


図10.7 CPSRFレジスタ

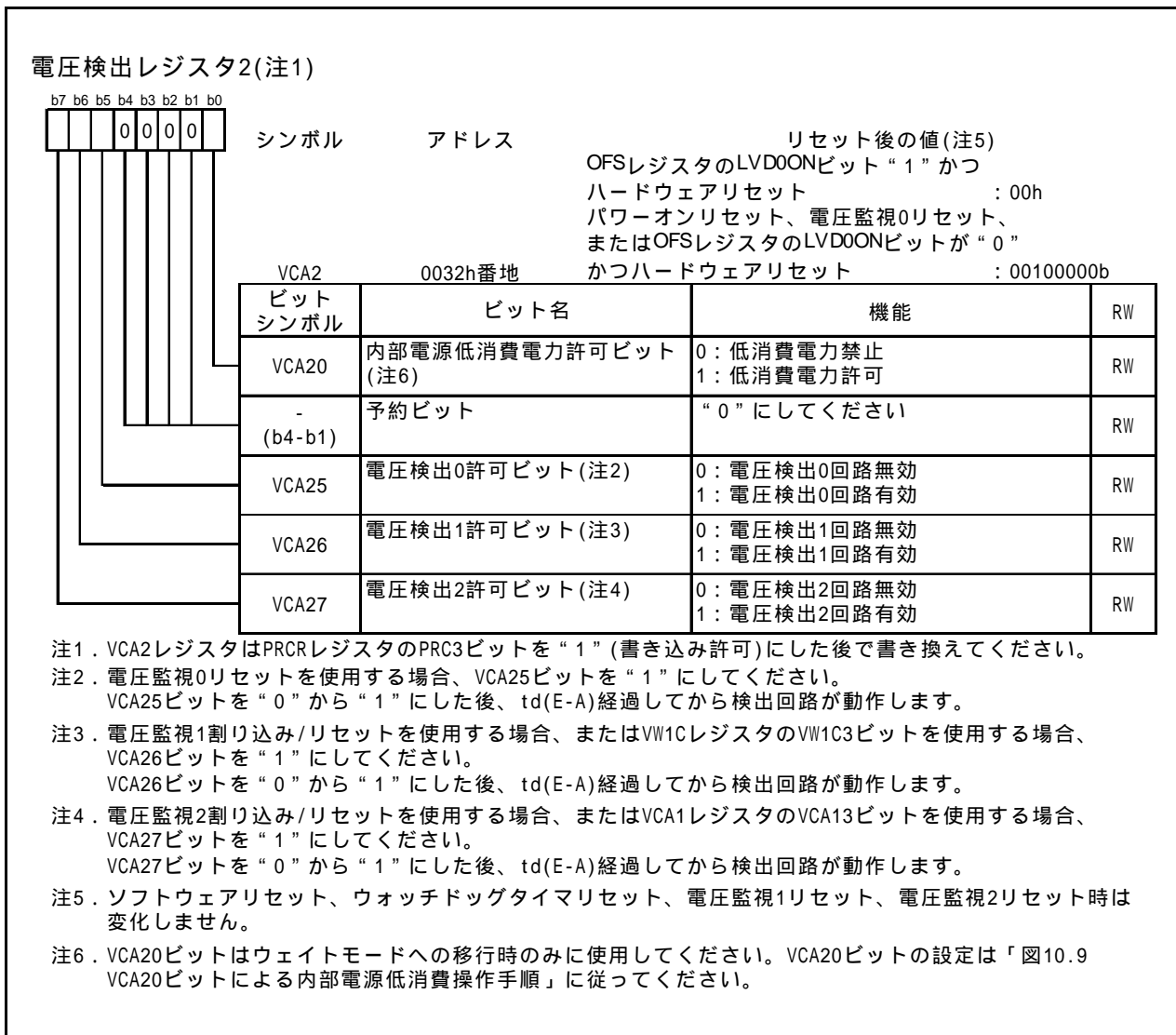


図10.8 VCA2レジスタ

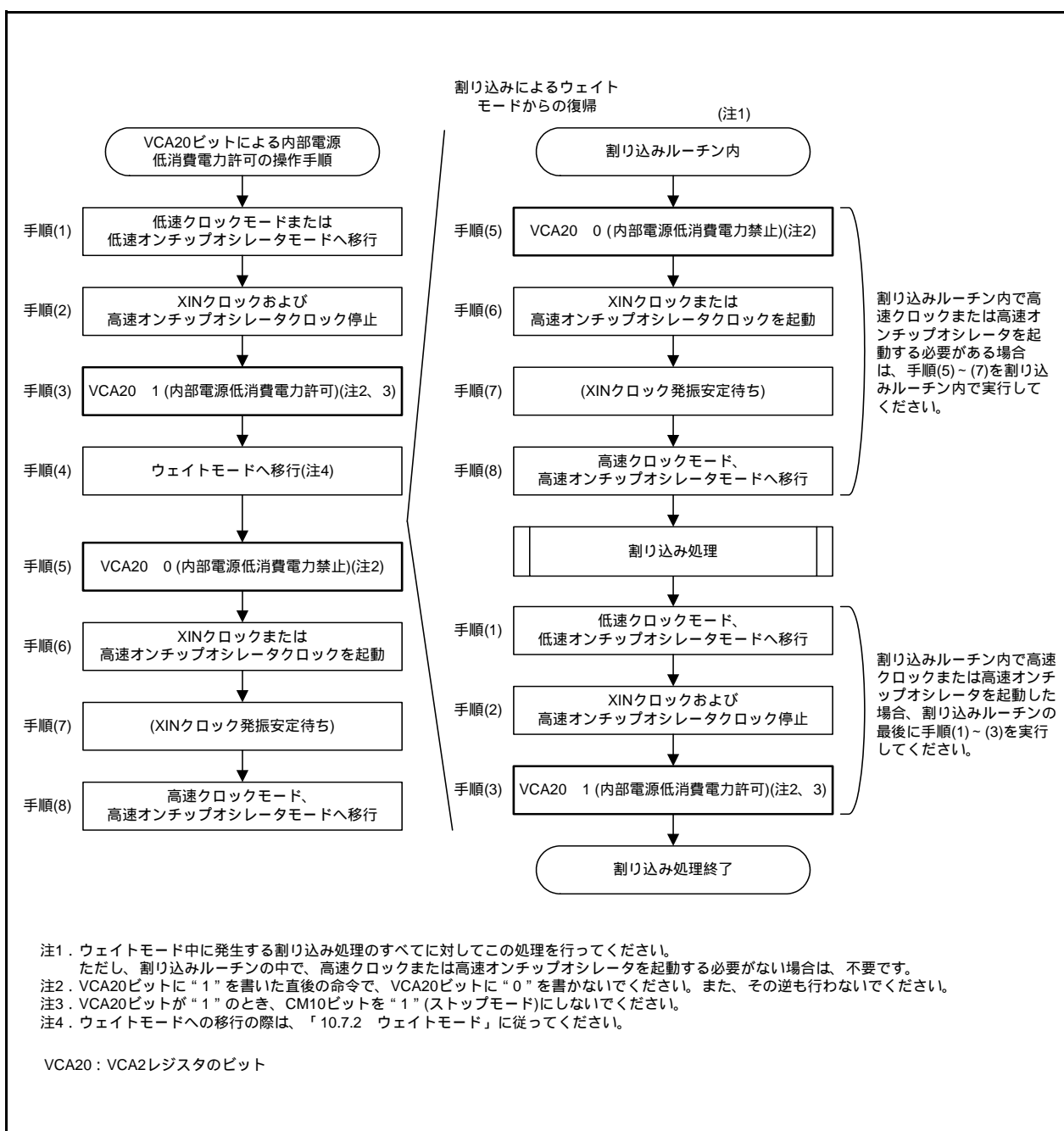


図10.9 VCA20ビットによる内部電源低消費操作手順

クロック発生回路で生成するクロックを説明します。

10.1 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。

図10.10にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしてもXINクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「10.5 パワーコントロール」を参照してください。

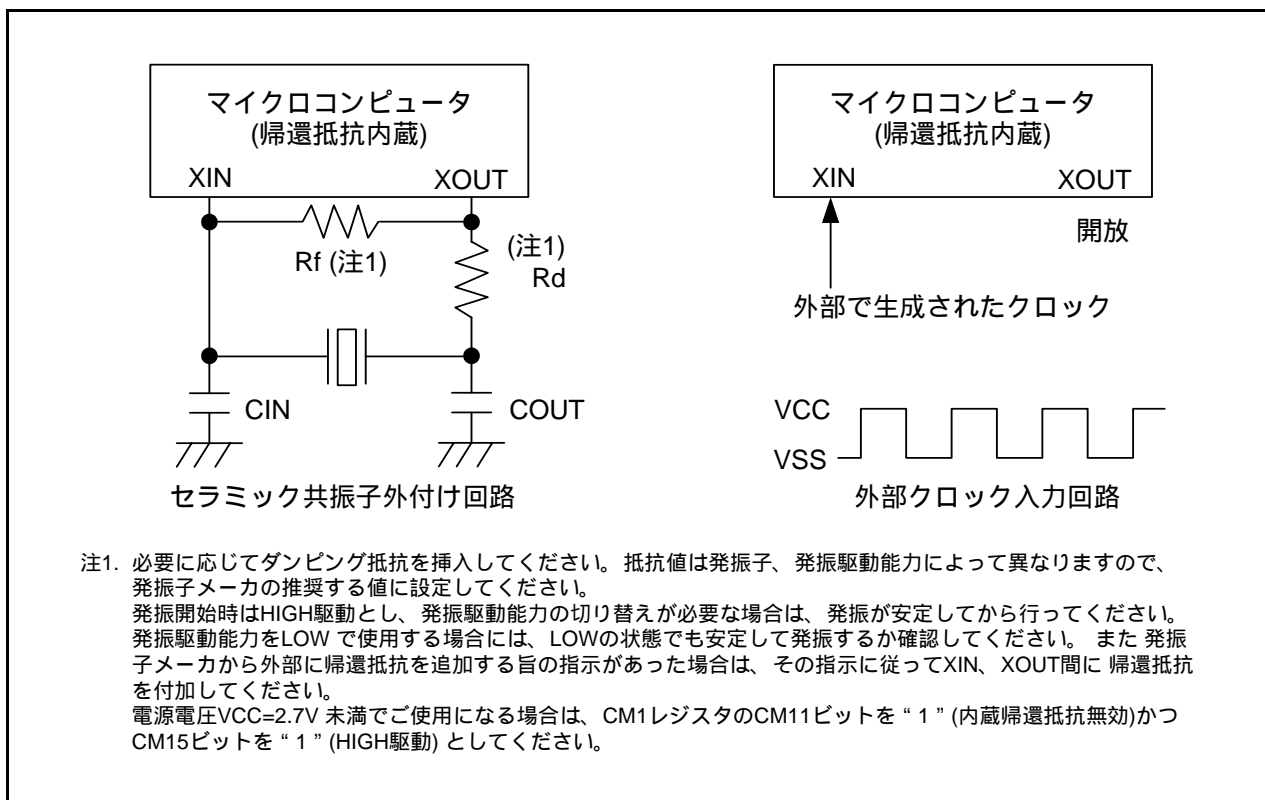


図10.10 XINクロックの接続回路例

10.2 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

10.2.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-Sのクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの8分周がCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

10.2.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-F、fOCO40Mのクロック源になります。

CPUクロック、周辺クロック、fOCO、fOCO-Fのクロック源として使用する場合には、FRA2レジスタのFRA20～FRA22ビットにより、以下のように設定してください。

- VCC=3.0V～5.5Vの場合、全分周モード設定可能 “000b”～“111b”
- VCC=2.7V～5.5Vの場合、4分周以上の分周比 “010b”～“111b”(4分周モード以上)
- VCC=2.2V～5.5Vの場合、8分周以上の分周比 “110b”～“111b”(8分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。FRA1レジスタおよびFRA2レジスタを使って、周波数を調整できます。

FRA4レジスタには、VCC=2.7V～5.5Vの電源電圧範囲に対応した周波数補正用データ(リセット後のFRA1の値と同じ)が格納されており、またFRA6レジスタには、VCC=2.2V～5.5Vの電源電圧範囲に対応した周波数補正用データが格納されています。電圧範囲に応じて補正値を使い分ける場合は、FRA4、FRA6レジスタの補正値をFRA1レジスタに転送して使用してください。

FRA7レジスタには36.864MHzの周波数調整用データが格納されています。高速オンチップオシレータクロックの周波数を36.864MHzにするには、FRA7レジスタの調整値をFRA1レジスタに転送して使用してください。これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます(「表15.7 UARTモード時のビットレート設定例(内部クロック選択時)」を参照)。

FRA1レジスタの各ビットの周波数調整量にはばらつきがありますので、各ビットを変化させて調整してください。高速オンチップオシレータクロックの周波数は、40MHz以下になるように、FRA1レジスタを調整してください。

10.3 XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロックとタイマRAおよびタイマREのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCINクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。

図10.11にXCINクロックの接続回路例を示します。

リセット中およびリセット後、XCINクロックは停止しています。

CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にするとXCINクロックは発振を開始します。XCINクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(XCINクロック)にするとXCINクロックがCPUのクロック源になります。外部で生成されたクロックをXCIN端子へ入力する場合も、CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にしてください。このとき、XCOUT端子は開放してください。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1レジスタのCM12ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「10.5 パワーコントロール」を参照してください。

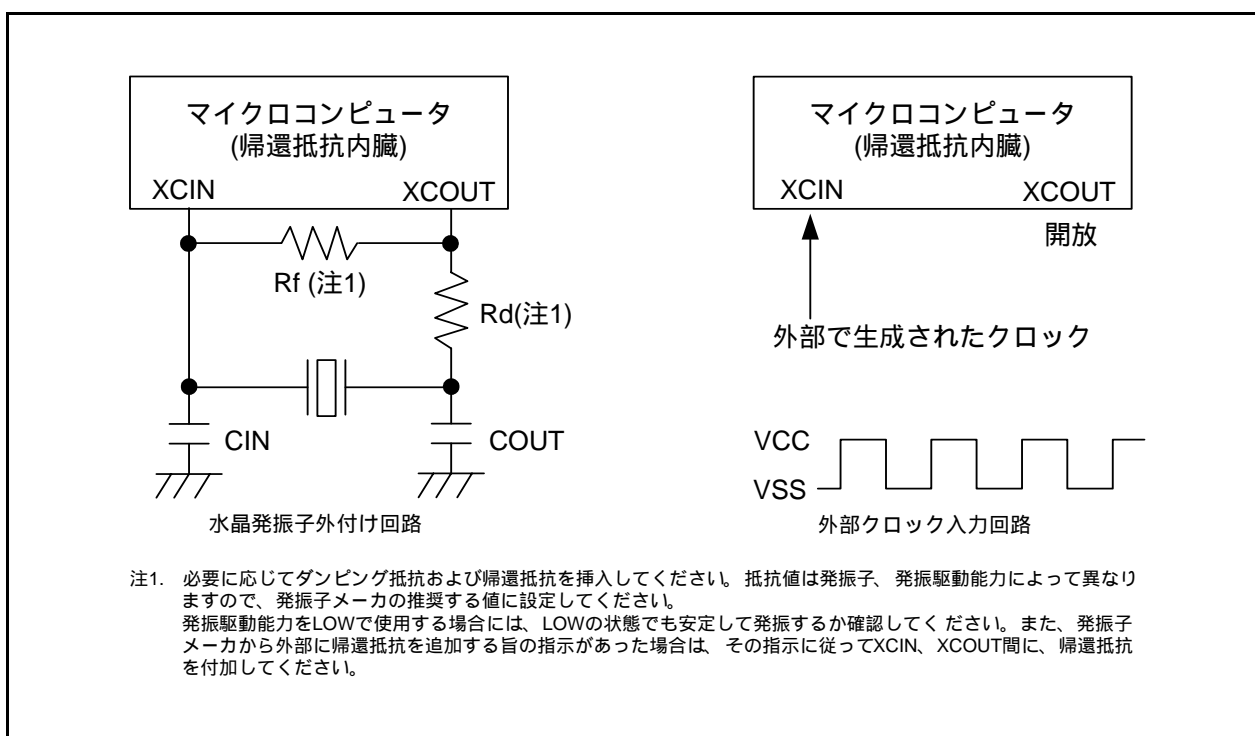


図10.11 XCINクロックの接続回路例

10.4 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させるクロックがあります。(「図10.1 クロック発生回路」参照。)

10.4.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロックまたはオンチップオシレータクロックが選択できます。

10.4.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

CM0レジスタのCM07ビットが“0”(システムクロック)のとき、システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16～CM17ビットで選択できます。

CM0レジスタのCM07ビットが“1”(XCINクロック)のとき、XCINクロックがCPUクロックになります。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの8分周がCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

10.4.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i ($i=1、2、4、8、32$)はシステムクロックを i 分周したクロックです。 f_i はタイマRA、タイマRB、タイマRD、タイマRE、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、 f_i は停止します。

10.4.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRAで使用します。

fOCOはWAIT命令実行時、停止しません。

10.4.5 fOCO40M

タイマRDのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40MはWAIT命令実行時、停止しません。

このクロックは、電源電圧VCC=3.0～5.5Vの範囲で使用することができます。

10.4.6 fOCO-F

A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-FはWAIT命令実行時、停止しません。

10.4.7 fOCO-S

ウォッチドッグタイマと電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-SはWAIT命令実行時、またはウォッチドッグタイマのカウントソース保護モード時、停止しません。

10.4.8 fOCO128

fOCOを128分周したクロックです。

タイマRDの0チャンネルで使用するキャプチャ信号になります。

10.4.9 fC4、fC32

fC4、fC32はタイマRA、タイマREで使します。

なお、fC4、fC32は、XCINクロックの発振が安定しているときに使用してください。

10.5 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

10.5.1 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がXINクロックまたはXCINクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

表10.2 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1レジスタ			CM0レジスタ				FRA0レジスタ	
		OCD2	CM17、 CM16	CM14	CM13	CM07	CM06	CM05	CM04	FRA01	FRA00
高速クロック モード	分周なし	0	00b		1	0	0	0			
	2分周	0	01b		1	0	0	0			
	4分周	0	10b		1	0	0	0			
	8分周	0			1	0	1	0			
	16分周	0	11b		1	0	0	0			
低速クロック モード	分周なし					1			1		
高速オンチップ オシレータ モード	分周なし	1	00b			0	0			1	1
	2分周	1	01b			0	0			1	1
	4分周	1	10b			0	0			1	1
	8分周	1				0	1			1	1
	16分周	1	11b			0	0			1	1
低速オンチップ オシレータ モード	分周なし	1	00b	0		0	0			0	
	2分周	1	01b	0		0	0			0	
	4分周	1	10b	0		0	0			0	
	8分周	1		0		0	1			0	
	16分周	1	11b	0		0	0			0	

：“0”でも“1”でも影響ない

10.5.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。高速オンチップオシレータモード、低速オンチップオシレータモードに遷移するときには、CM06ビットを“1”(8分周モード)にしてください。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRDで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.5.1.2 低速クロックモード

XCINクロックの1分周(分周なし)がCPUクロックとなります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR4レジスタのFMR47ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRDで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

VCA20ビットにより内部電源低消費電力を許可する場合は、「図10.13 VCA20ビットによる内部電源低消費操作手順」に従ってください。

10.5.1.3 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。高速クロックモードに遷移するときにはCM06ビットを“1”(8分周モード)にしてください。FRA00ビットが“1”のとき、fOCO40MをタイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.5.1.4 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。高速クロックモードに遷移するときにはCM06ビットを“1”(8分周モード)にしてください。FRA00ビットが“1”のとき、fOCO40MをタイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR4レジスタのFMR47ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

VCA20ビットにより内部電源低消費電力を許可する場合は、「図10.13 VCA20ビットによる内部電源低消費操作手順」に従ってください。

10.5.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.5.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

10.5.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行してください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

10.5.2.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

10.5.2.4 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
チップセレクト付クロック同期形シリアルI/O割り込み I ² Cバスインタフェース割り込み	すべてのモードで使用可	(使用しないでください)
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードで使用可	(使用しないでください)
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCO、fC32を選択することで使用可
タイマRB割り込み	すべてのモードで使用可	(使用しないでください)
タイマRD割り込み	すべてのモードで使用可	カウントソースにfOCO40Mを選択することで使用可
タイマRE割り込み	すべてのモードで使用可	リアルタイムクロックモードで使用可
INT割り込み	使用可	使用可(INT0～INT3はフィルタなしの場合に、使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)

図10.12にウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびCM0レジスタのCM07ビットの設定に応じて図10.12のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

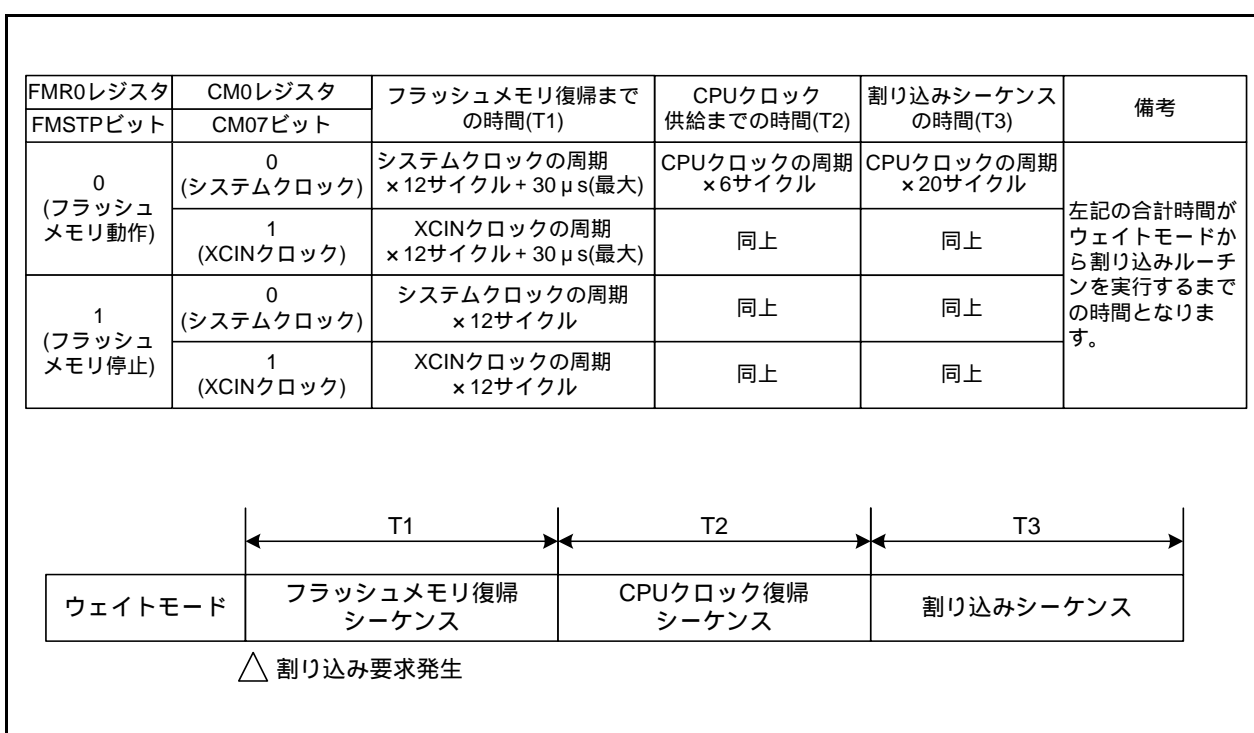


図10.12 ウェイトモードから割り込みルーチンを実行するまでの時間

10.5.2.5 内部電源の消費電力低減

低速クロックモードまたは低速オンチップオシレータモードの場合、内部電源の消費電力を低減できます。図10.13にVCA20ビットによる内部電源低消費操作手順を示します。

VCA20ビットにより内部電源低消費電力を許可する場合は、「図10.13 VCA20ビットによる内部電源低消費操作手順」に従ってください。

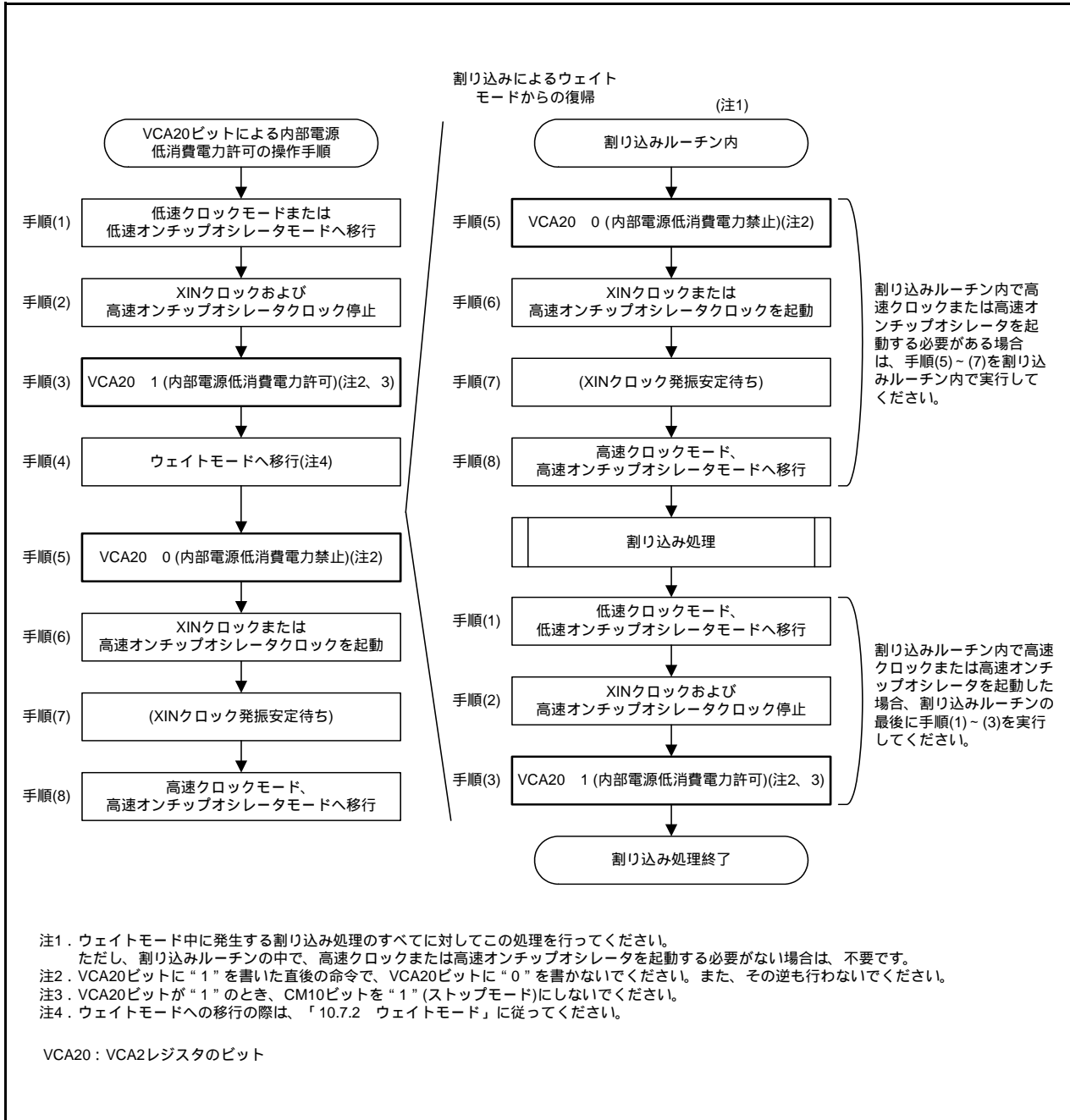


図10.13 VCA20ビットによる内部電源低消費操作手順

10.5.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	
INT0 ~ INT3 割り込み	フィルタなしの場合に使用可
タイマRA割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

10.5.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM10レジスタのCM15ビットは“1”(XINクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、OCD1 ~ OCD0ビットを“00b”にしてからストップモードにしてください。

10.5.3.2 ストップモード時の端子の状態

ストップモードに入る直前の状態を保持。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

10.5.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図10.14にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックがシステムクロックの場合、そのクロックの8分周になります。

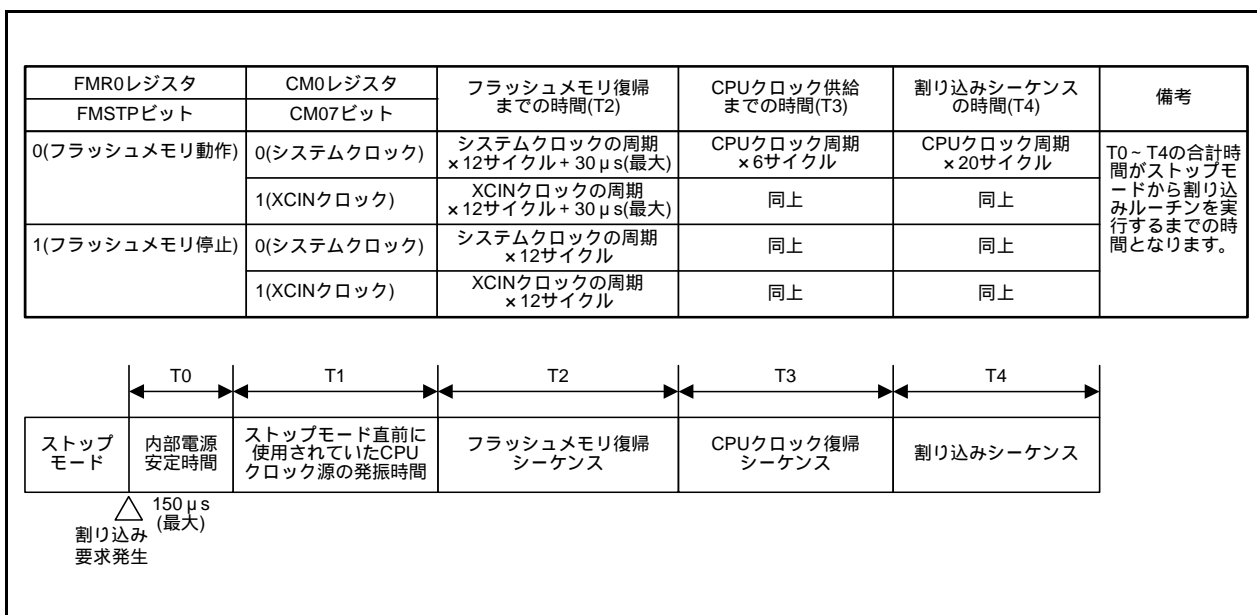


図10.14 ストップモードから割り込みルーチンを実行するまでの時間

図10.15にパワーコントロールモード状態遷移を示します。

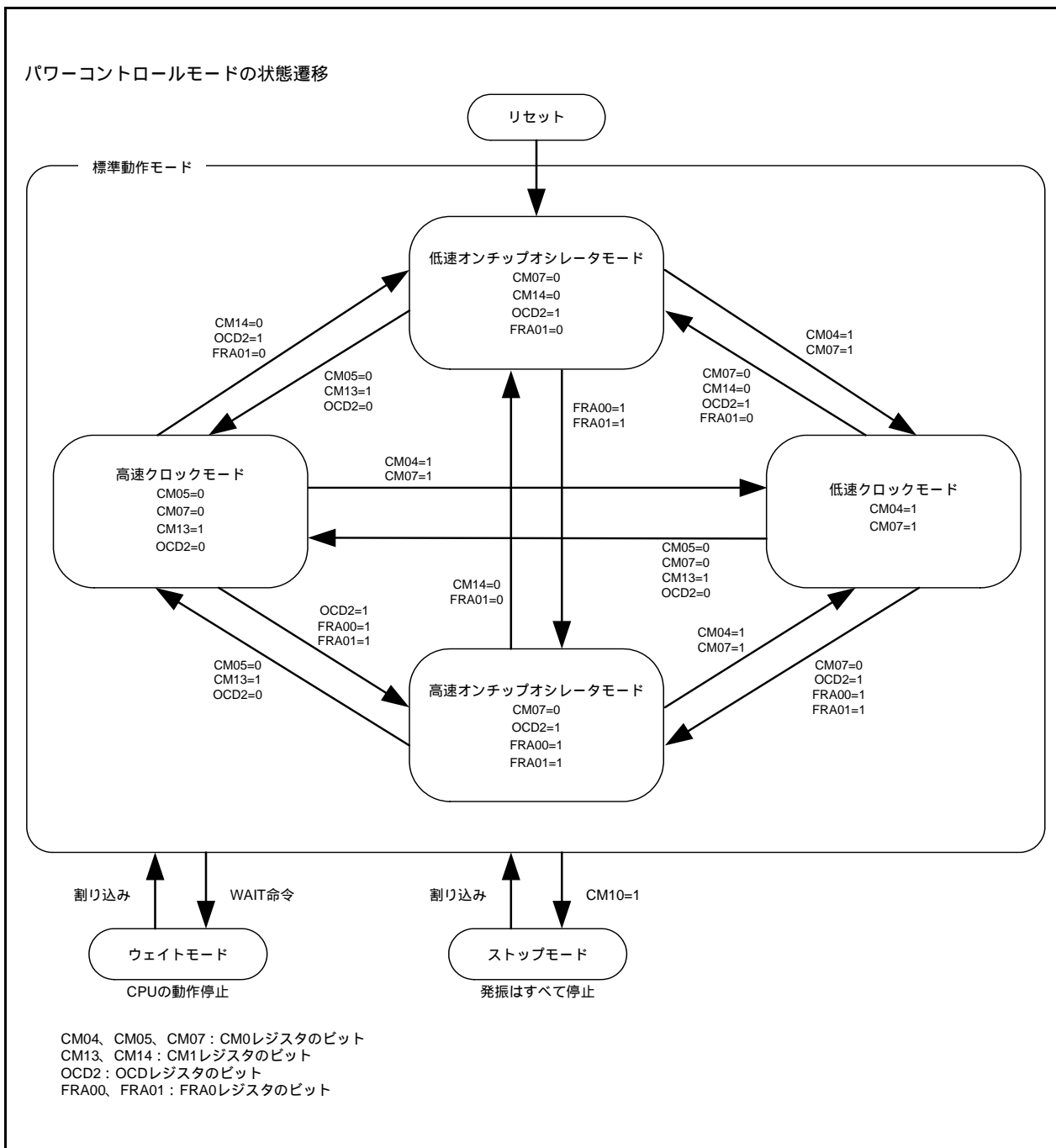


図10.15 パワーコントロールモード状態遷移

10.6 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表10.5に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1(XINクロック停止)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表10.5 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

10.6.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。
表10.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図10.17に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
図10.16に低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表10.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3=1
	(b)OCDレジスタのOCD1 ~ OCD0=11bかつOCD2=1
ウォッチドッグタイマ	VW2CレジスタのVW2C3=1
電圧監視1	VW1CレジスタのVW1C2=1
電圧監視2	VW2CレジスタのVW2C2=1

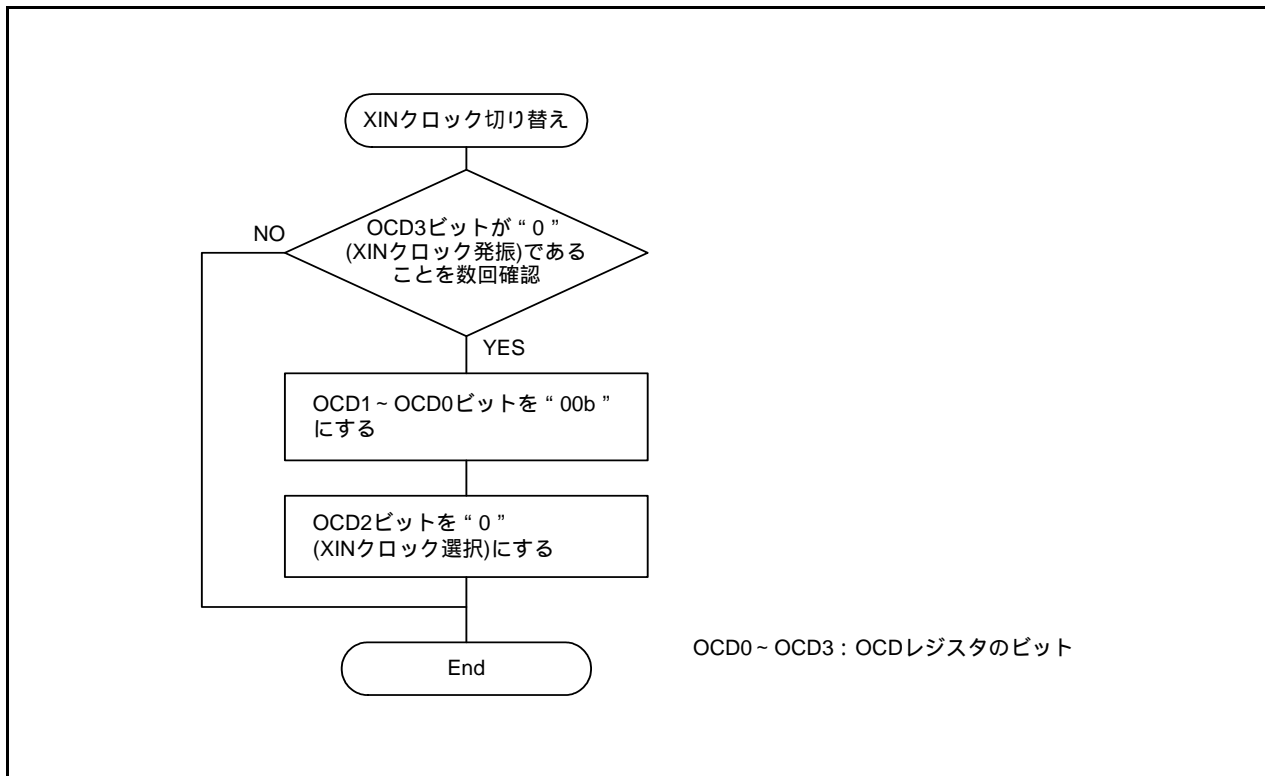


図10.16 低速オンチップオシレータからXINクロックへの切り替え手順

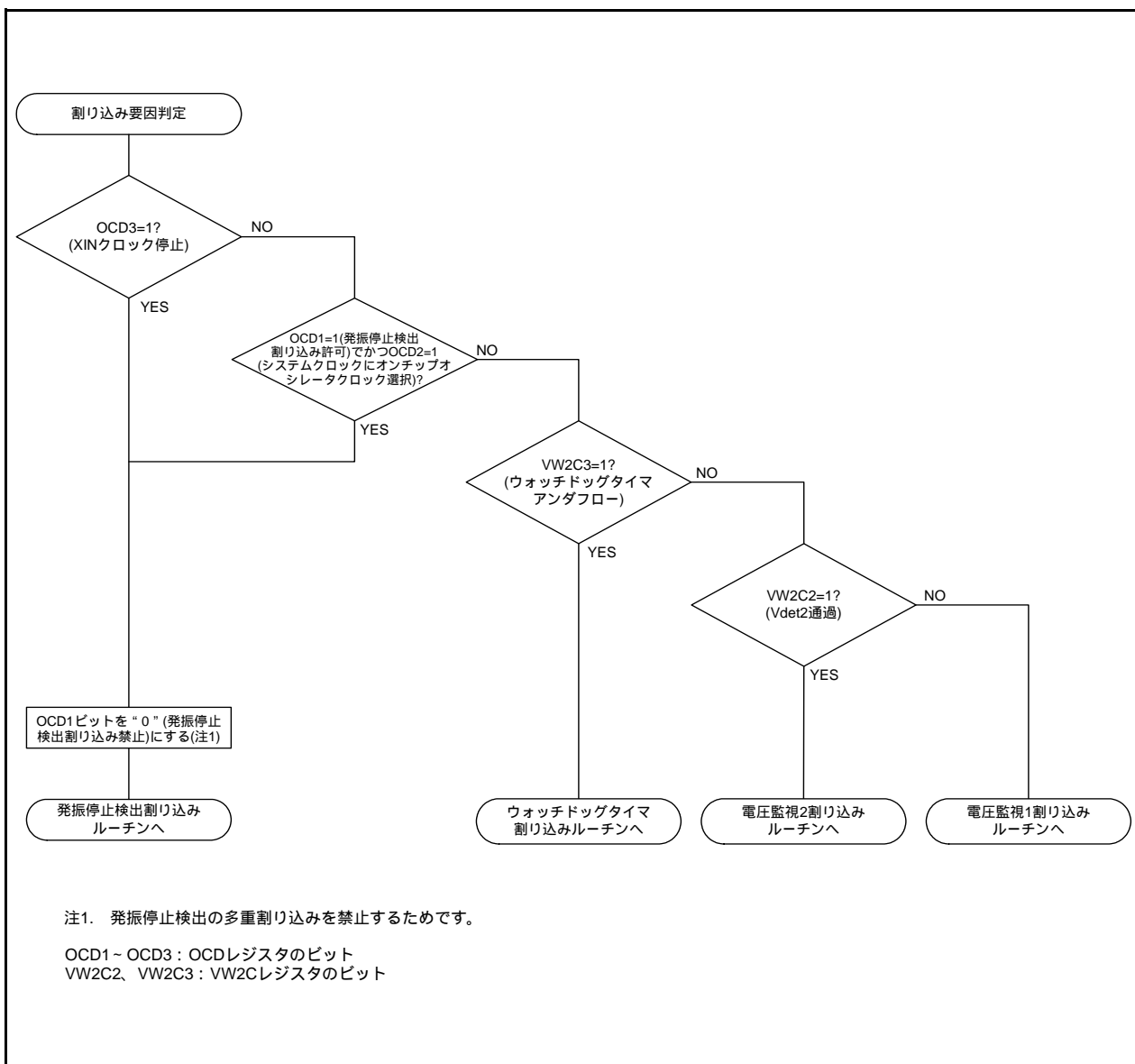


図 10.17 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

10.7 クロック発生回路使用上の注意

10.7.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR     ; プロテクト解除
FSET      I           ; 割り込み許可
BSET      0, CM1      ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

10.7.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I           ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

10.7.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

10.7.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。電源電圧VCC=2.7V未満でご使用になる場合は、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)かつCM15ビットを“1”(HIGH駆動)にし、外部に帰還抵抗を接続することを推奨します。

11. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

図11.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、OCD、FRA0、FRA1、FRA2レジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC2ビットで保護されるレジスタ：PD0レジスタ
- PRC3ビットで保護されるレジスタ：VCA2、VW0C、VW1C、VW2Cレジスタ

プロテクトレジスタ

シンボル PRCR ビット シンボル	アドレス 000Ah番地 ビット名	リセット後の値 00h 機能	RW
PRC0	プロテクトビット0	CM0、CM1、OCD、FRA0、FRA1、FRA2レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC2	プロテクトビット2	PD0レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	RW
PRC3	プロテクトビット3	VCA2、VW0C、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
- (b5-b4)	予約ビット	“0”にしてください。	RW
- (b7-b6)	予約ビット	読んだ場合、その値は“0”。	RO

注1．PRC2ビットは“1”を書いた後、任意の番地に書き込みを実行すると、“0”になります。他のビットは“0”になりませんので、プログラムで“0”にしてください。

図11.1 PRCRレジスタ

12. 割り込み

12.1 割り込みの概要

12.1.1 割り込みの分類

図12.1に割り込みの分類を示します。

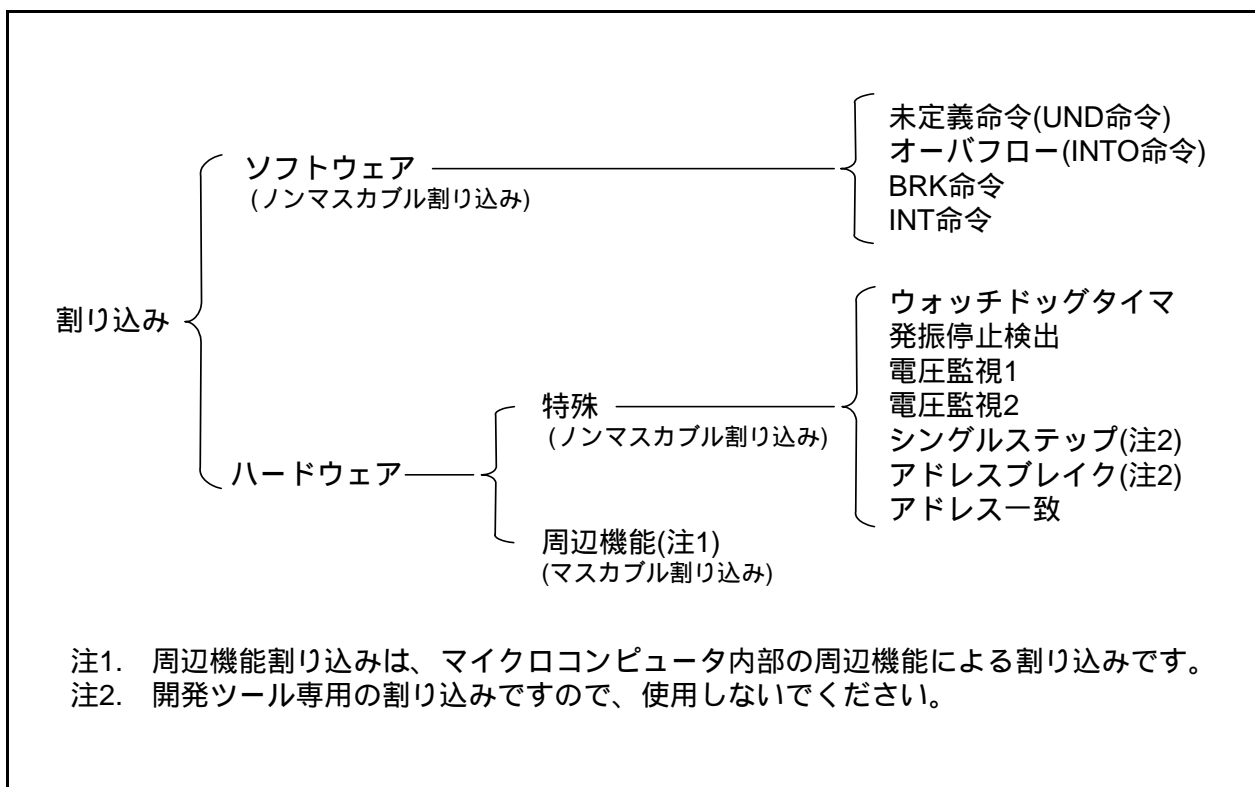


図12.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

12.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

12.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号3～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

12.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「13. ウォッチドッグタイマ」を参照してください。

12.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「10. クロック発生回路」を参照してください。

12.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.4 アドレス一致割り込み」を参照してください。

12.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 12.2 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図12.2に割り込みベクタを示します。

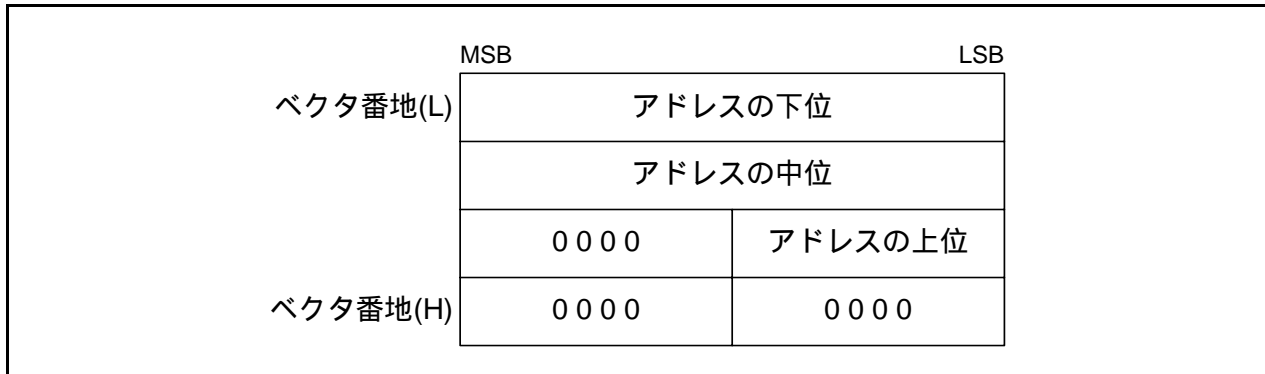


図12.2 割り込みベクタ

12.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表12.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「19.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/Tinyシリーズソフトウェアマニュアル
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE7h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		12.4 アドレス一致割り込み
シングルステップ(注1)	0FFEC h～0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1、電圧監視2	0FFF0h～0FFF3h		13. ウォッチドッグタイマ、 10. クロック発生回路、 6. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCh～0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

12.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。
表12.2に可変ベクタテーブルを示します。

表12.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注3)	+0 ~ +3(0000h ~ 0003h)	0		R8C/Tinyシリーズソフト ウェアマニュアル
(予約)		1 ~ 2		
(予約)		3 ~ 7		
タイマRD (チャンネル0)	+32 ~ +35(0020h ~ 0023h)	8	TRD0IC	14.3 タイマRD
タイマRD (チャンネル1)	+36 ~ +39(0024h ~ 0027h)	9	TRD1IC	
タイマRE	+40 ~ +43(0028h ~ 002Bh)	10	TREIC	14.4 タイマRE
(予約)		11 ~ 12		
キー入力	+52 ~ +55(0034h ~ 0037h)	13	KUPIC	12.3 キー入力割り込み
A/D変換	+56 ~ +59(0038h ~ 003Bh)	14	ADIC	18. A/Dコンバータ
チップセレクト付クロック 同期形シリアルI/O/ I ² Cバスインタフェース (注2)	+60 ~ +63(003Ch ~ 003Fh)	15	SSUIC/ IICIC	16.2 チップセレクト付 クロック同期形シ リアルI/O(SSU)、 16.3 I ² Cバスインタ フェース
(予約)		16		
UART0送信	+68 ~ +71(0044h ~ 0047h)	17	S0TIC	15. シリアルインタ フェース
UART0受信	+72 ~ +75(0048h ~ 004Bh)	18	S0RIC	
UART1送信	+76 ~ +79(004Ch ~ 004Fh)	19	S1TIC	
UART1受信	+80 ~ +83(0050h ~ 0053h)	20	S1RIC	
INT2	+84 ~ +87(0054h ~ 0057h)	21	INT2IC	12.2 INT割り込み
タイマRA	+88 ~ +91(0058h ~ 005Bh)	22	TRAIC	14.1 タイマRA
(予約)		23		
タイマRB	+96 ~ +99(0060h ~ 0063h)	24	TRBIC	14.2 タイマRB
INT1	+100 ~ +103(0064h ~ 0067h)	25	INT1IC	12.2 INT割り込み
INT3	+104 ~ +107(0068h ~ 006Bh)	26	INT3IC	
(予約)		27		
(予約)		28		
INT0	+116 ~ +119(0074h ~ 0077h)	29	INT0IC	12.2 INT割り込み
(予約)		30		
(予約)		31		
ソフトウェア(注3)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. PMRレジスタのIICSELビットで選択できます。

注3. Iフラグによる禁止はできません。

12.1.6 割り込み制御

マスク割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスク割り込みには該当しません。

マスク割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図12.3に割り込み制御レジスタ、図12.4にTRD0IC、TRD1IC、SSUIC/IICICレジスタ、図12.5にINT0IC～INT3ICレジスタを示します。

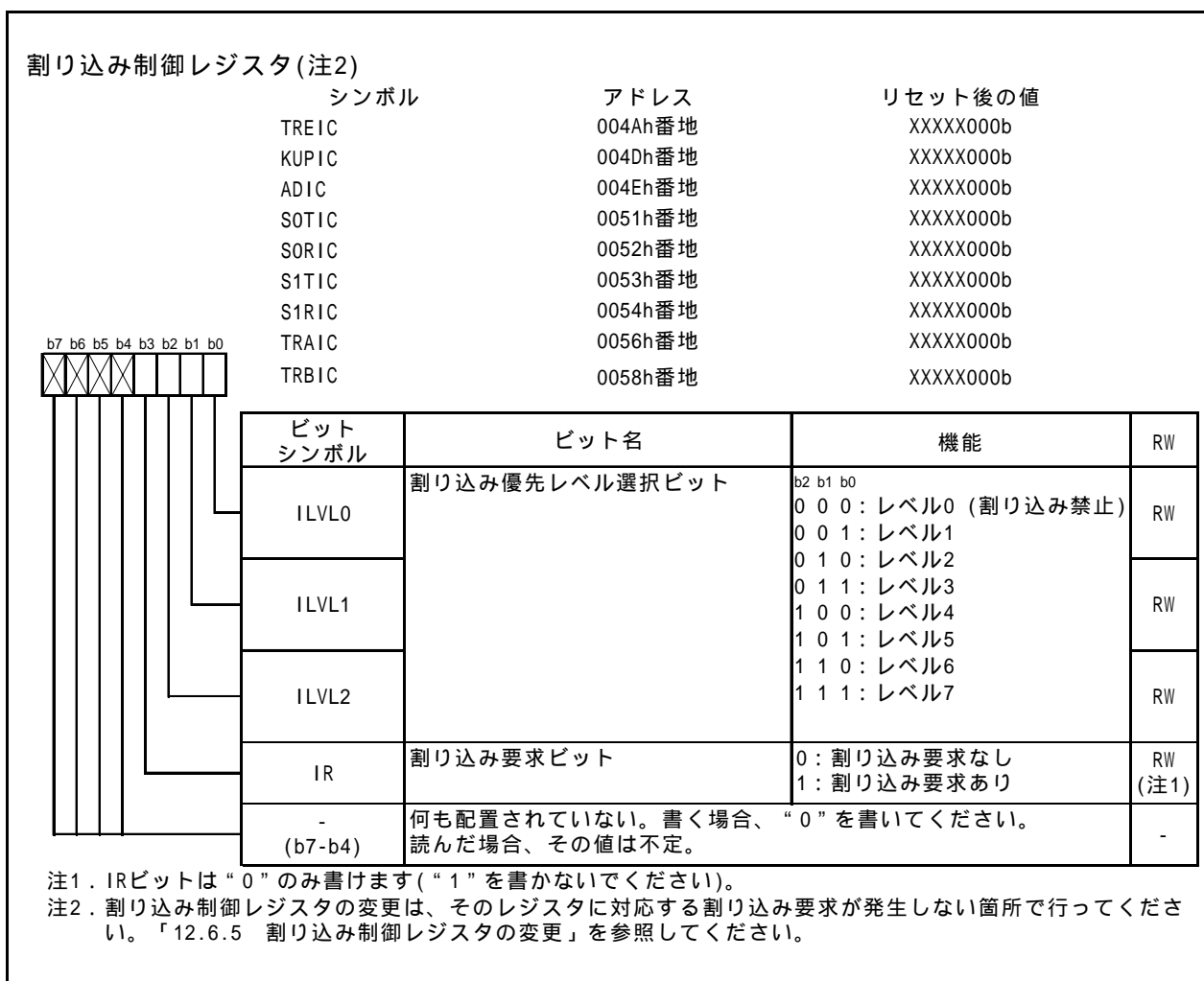


図12.3 割り込み制御レジスタ

割り込み制御レジスタ(注1)

シンボル	アドレス	リセット後の値
TRD0IC	0048h番地	XXXXX000b
TRD1IC	0049h番地	XXXXX000b
SSUIC/IICIC(注2)	004Fh番地	XXXXX000b

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	RW
ILVL1		0 0 1 : レベル1	RW
ILVL2		0 1 0 : レベル2	RW
		0 1 1 : レベル3	
		1 0 0 : レベル4	
		1 0 1 : レベル5	
		1 1 0 : レベル6	
		1 1 1 : レベル7	
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RO
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-

注1. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.6.5 割り込み制御レジスタの変更」を参照してください。

注2. PMRレジスタのIICSELビットで選択できます。

図12.4 TRD0IC、TRD1IC、SSUIC/IICIC レジスタ

INT_i 割り込み制御レジスタ (i=0~3) (注2)

シンボル	アドレス	リセット後の値
INT2IC	0055h番地	XX00X000b
INT1IC	0059h番地	XX00X000b
INT3IC	005Ah番地	XX00X000b
INT0IC	005Dh番地	XX00X000b

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0: レベル0 (割り込み禁止) 0 0 1: レベル1 0 1 0: レベル2 0 1 1: レベル3 1 0 0: レベル4 1 0 1: レベル5 1 1 0: レベル6 1 1 1: レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	RW (注1)
POL	極性切り替えビット(注4)	0: 立ち下がりエッジを選択 1: 立ち上がりエッジを選択(注3)	RW
- (b5)	予約ビット	“0” にしてください。	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.6.5 割り込み制御レジスタの変更」を参照してください。
 注3. INTENレジスタのINT_iPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。
 注4. POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。「12.6.4 割り込み要因の変更」を参照してください。

図 12.5 INT0IC ~ INT3IC レジスタ

12.1.6.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

12.1.6.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRD割り込み、チップセレクト付クロック同期形シリアルI/O割り込み、I²Cバスインタフェース割り込みでは、IRビットの動作が違います。「12.5 タイマRD割り込み、チップセレクト付クロック同期形シリアルI/O割り込み、I²Cバスインタフェース割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

12.1.6.3 ILVL2 ~ ILVL0ビット、IPL

割り込み優先レベルは、ILVL2 ~ ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定を、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2 ~ ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 12.3 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 12.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

12.1.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図12.6に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

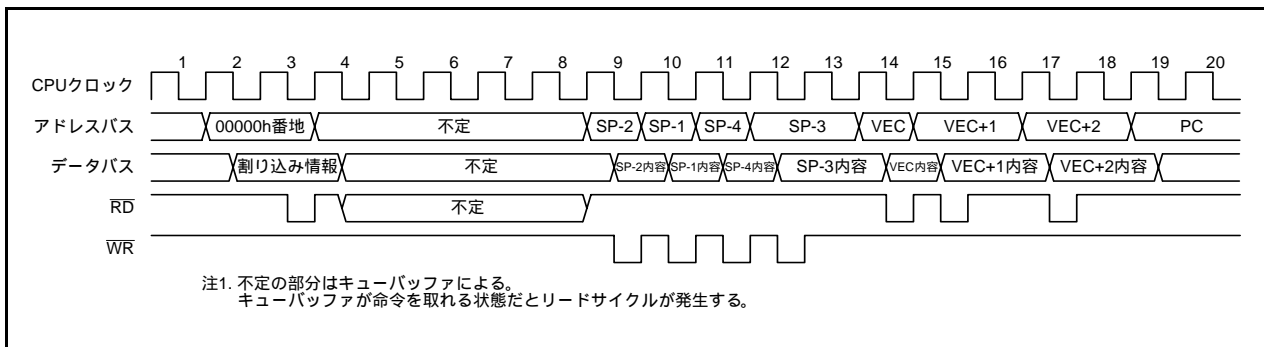


図12.6 割り込みシーケンスの実行時間

注2. タイマRD、チップセレクト付きシリアルI/O、I²Cバスインタフェース割り込みのIRビットの動作は「12.5 タイマRD割り込み、チップセレクト付クロック同期形シリアルI/O割り込み、I²Cバスインタフェース割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

12.1.6.5 割り込み応答時間

図12.7に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.7の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

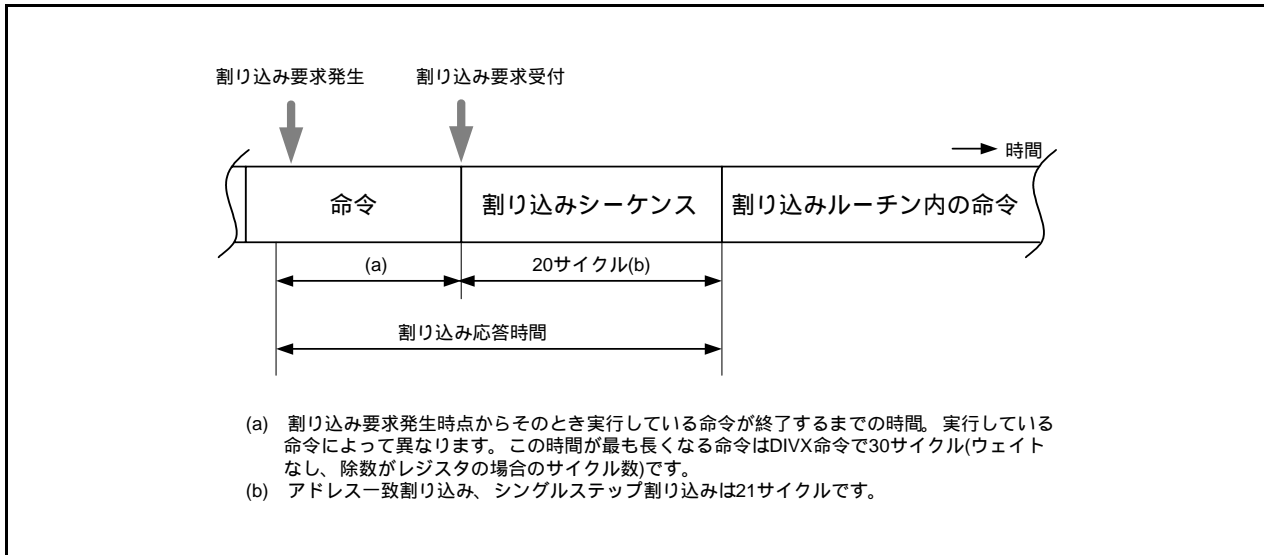


図12.7 割り込み応答時間

12.1.6.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されます。

表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

12.1.6.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図12.8に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

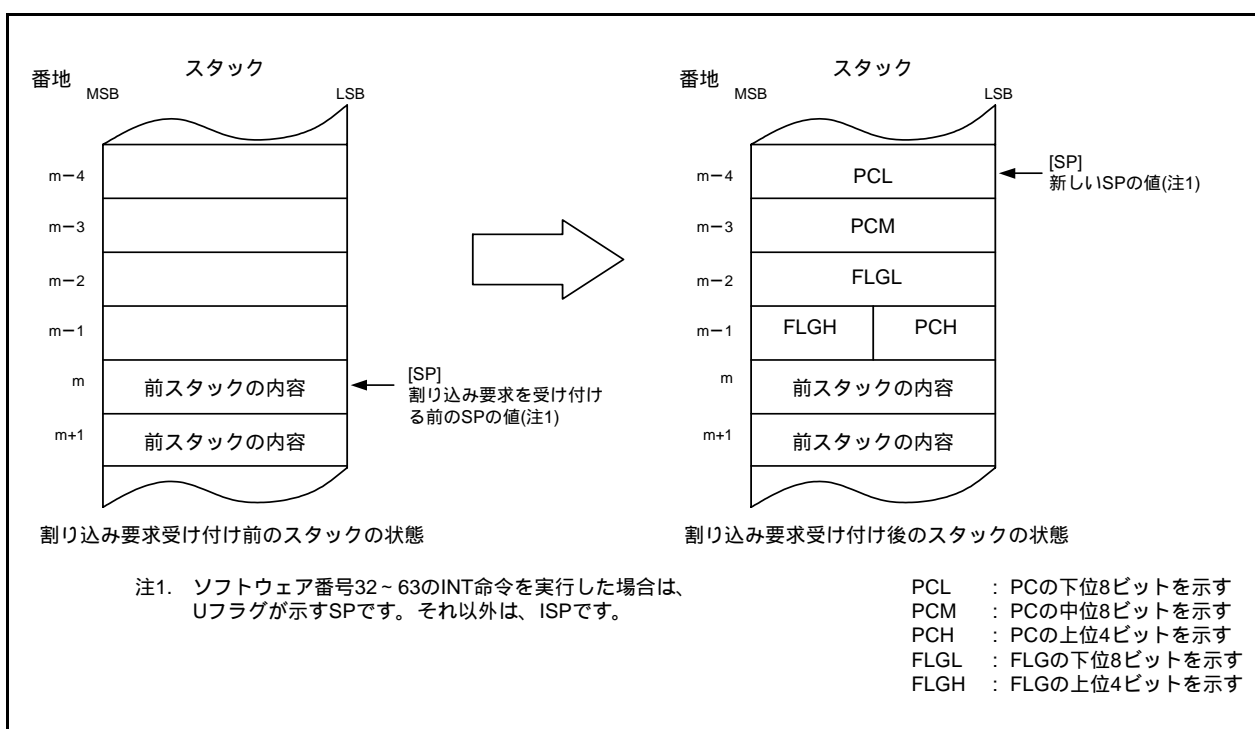


図12.8 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
図12.9にレジスタ退避動作を示します。

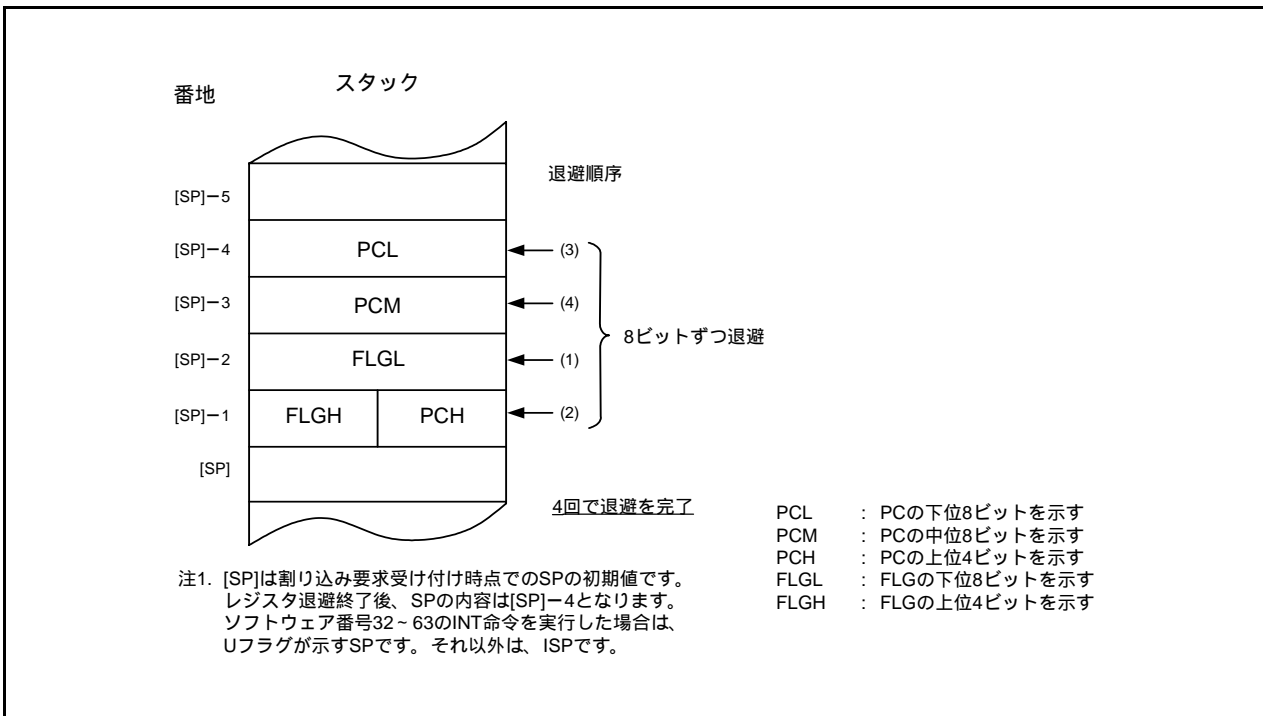


図12.9 レジスタ退避動作

12.1.6.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

12.1.6.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図12.10にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

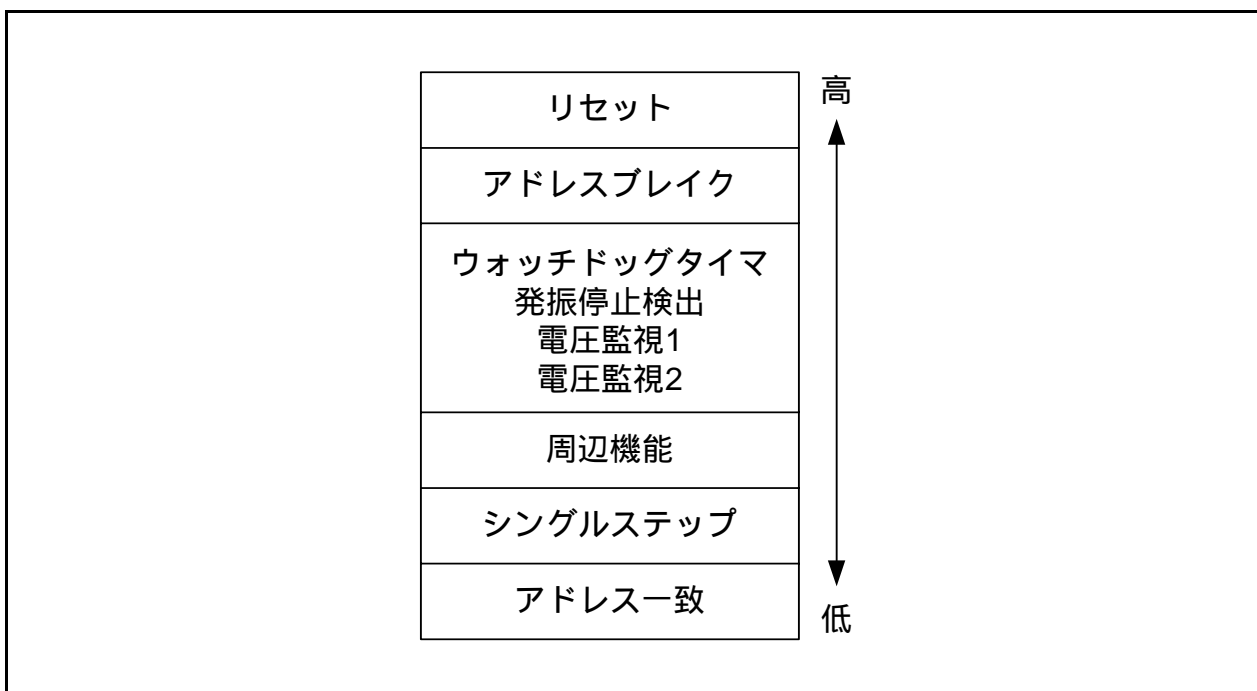


図12.10 ハードウェア割り込みの割り込み優先順位

12.1.6.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図12.11に割り込み優先レベルの判定回路を示します。

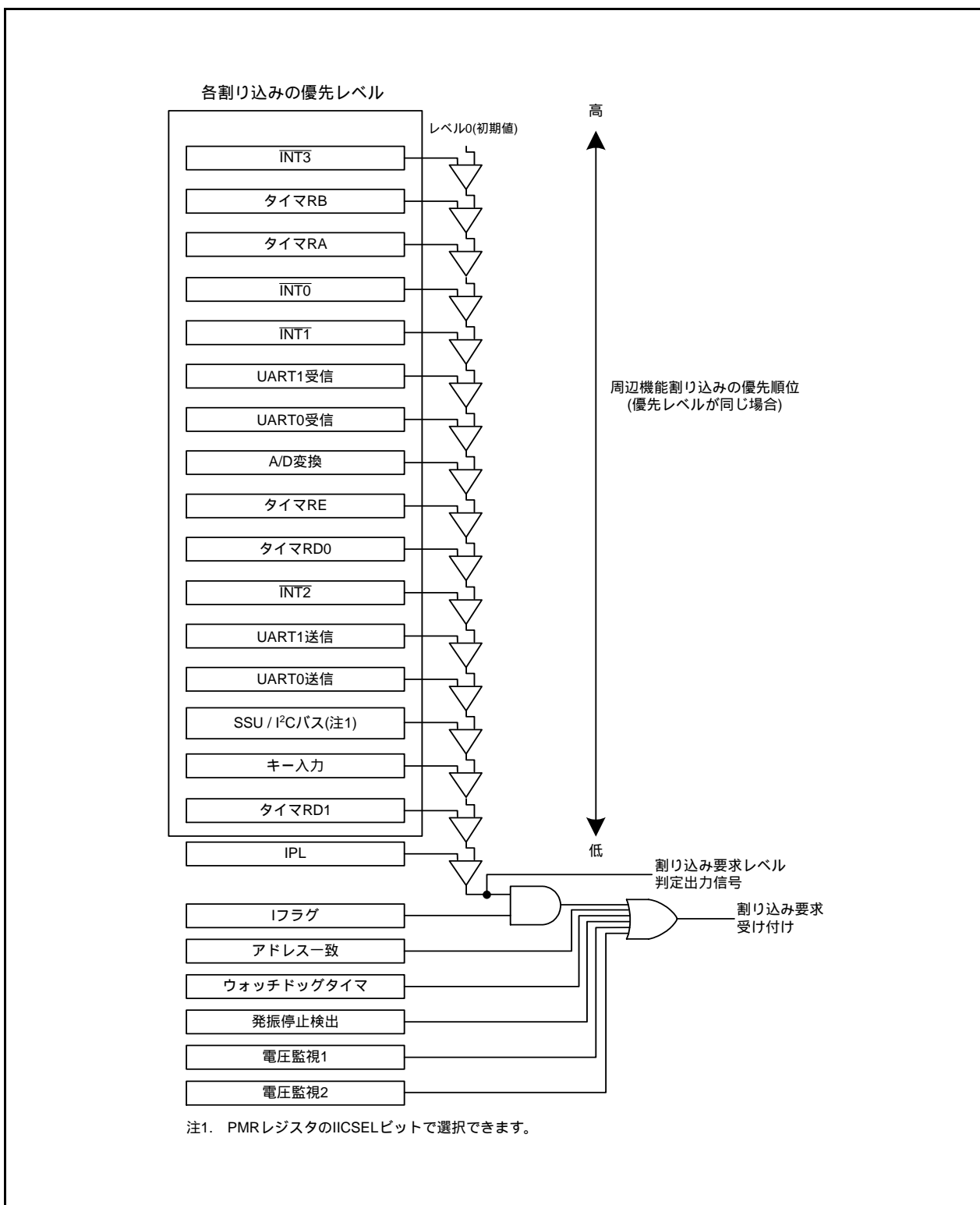


図12.11 割り込み優先レベルの判定回路

12.2 INT割り込み

12.2.1 INT_i割り込み (i=0 ~ 3)

INT_i割り込みはINT_i入力による割り込みです。INT_i割り込みを使用するときはINTENレジスタのINT_iENビット“1”(許可)にしてください。極性をINTENレジスタのINT_iPLビットとINT_iICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。INT₀端子はタイマRDのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。

図12.12にINTENレジスタを、図12.13にINTFレジスタを示します。

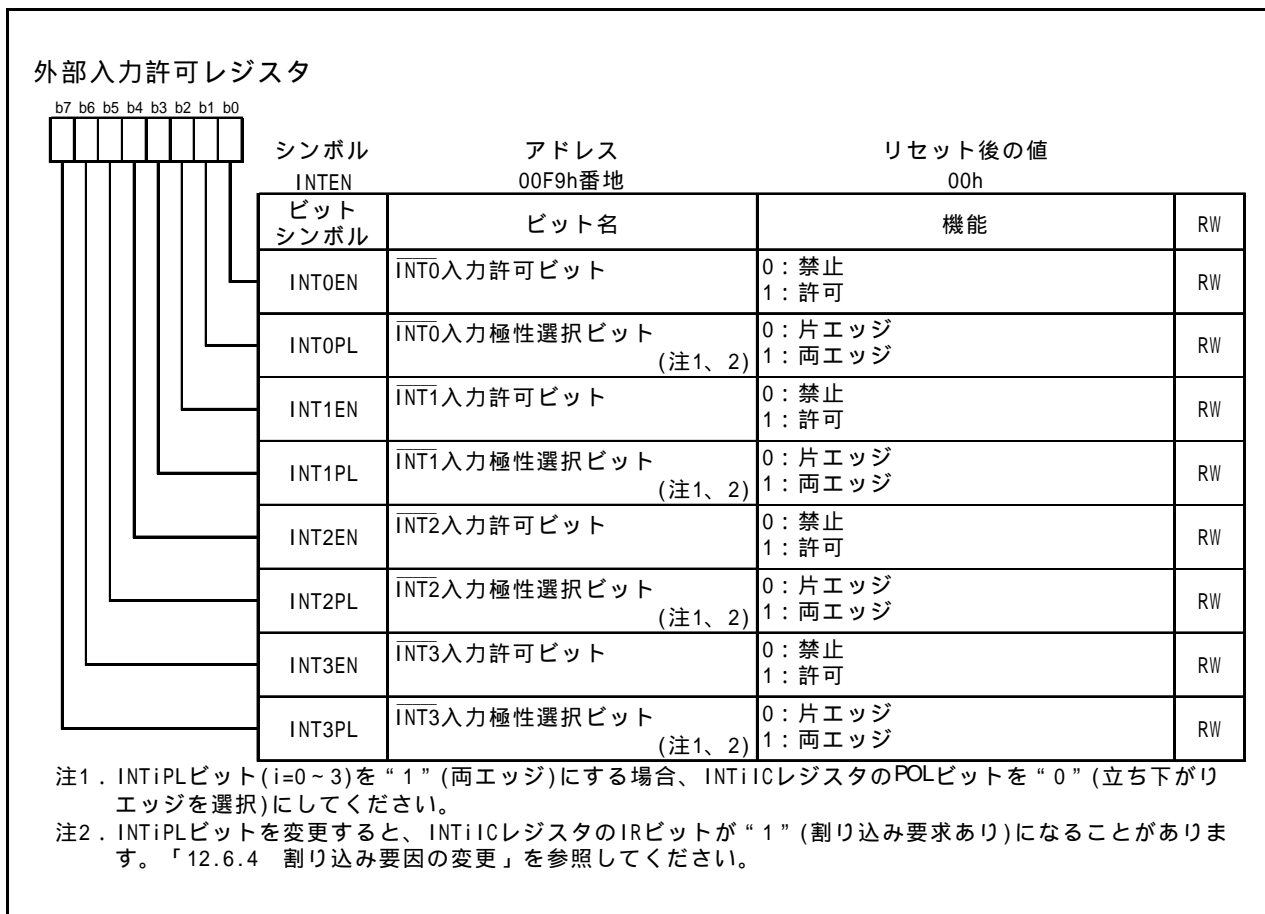


図12.12 INTENレジスタ

INT入力フィルタ選択レジスタ

シンボル	アドレス	リセット後の値	
INTF	00FAh番地	00h	
ビットシンボル	ビット名	機能	RW
INT0F0	INT0入力フィルタ選択ビット	b1 b0 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
INT0F1			RW
INT1F0	INT1入力フィルタ選択ビット	b3 b2 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
INT1F1			RW
INT2F0	INT2入力フィルタ選択ビット	b5 b4 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
INT2F1			RW
INT3F0	INT3入力フィルタ選択ビット	b7 b6 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
INT3F1			RW

図 12.13 INTF レジスタ

12.2.2 $\overline{\text{INTi}}$ 入力フィルタ (i=0 ~ 3)

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックはINTFレジスタのINTiF0 ~ INTiF1 ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが“1” (割り込み要求あり) になります。

図12.14に $\overline{\text{INTi}}$ 入力フィルタの構成を、図12.15に $\overline{\text{INTi}}$ 入力フィルタ動作例を示します。

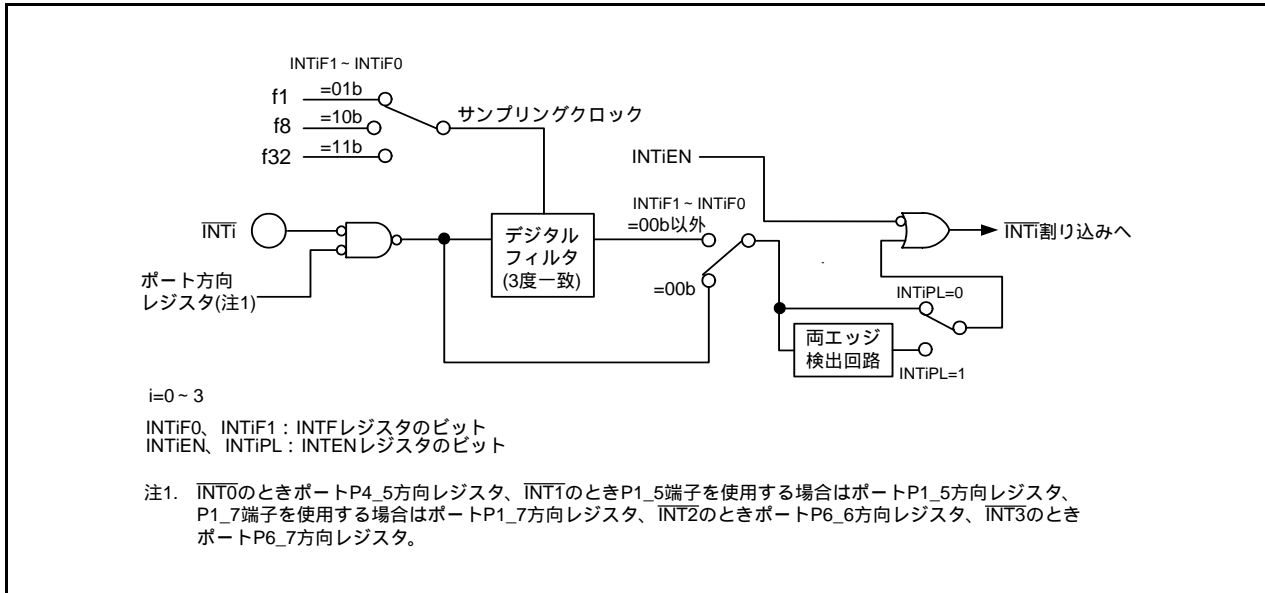


図12.14 $\overline{\text{INTi}}$ 入力フィルタの構成

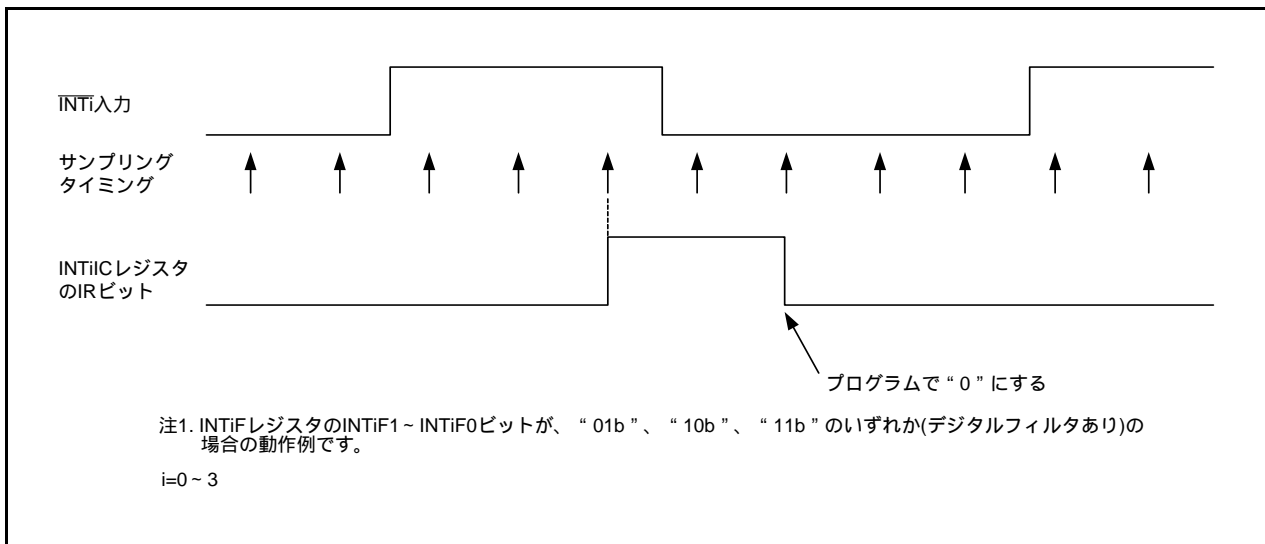


図12.15 $\overline{\text{INTi}}$ 入力フィルタ動作例

12.3 キー入力割り込み

KI0 ~ KI3端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット (i=0 ~ 3) で、端子をKIi入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち下がりエッジ)にしているKIi端子に“L”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしているKIi端子に“H”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。

図12.16にキー入力割り込みのブロック図を示します。

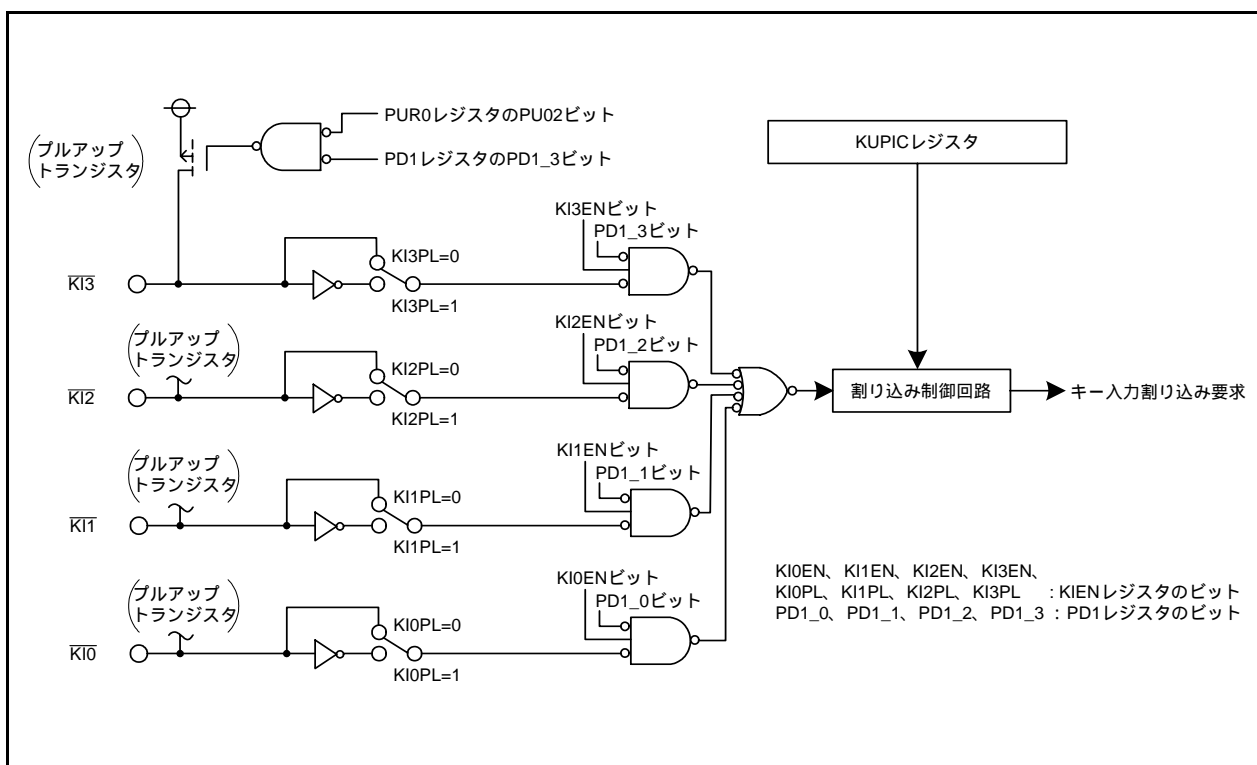


図12.16 キー入力割り込みのブロック図



図12.17 KIENレジスタ

12.4 アドレス一致割り込み

RMADi(i=0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i=0 ~ 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER0レジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.1.6.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表12.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を、図12.18にAIER、RMAD0 ~ RMAD1レジスタを示します。

表12.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタ(i=0 ~ 1)で示される番地の命令	退避されるPCの値(注1)
・オペコードが2バイトの命令(注2) ・オペコードが1バイトの命令(注2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest=A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

注1. 退避されるPCの値:「12.1.6.7 レジスタ退避」参照。

注2. オペコード:「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表12.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

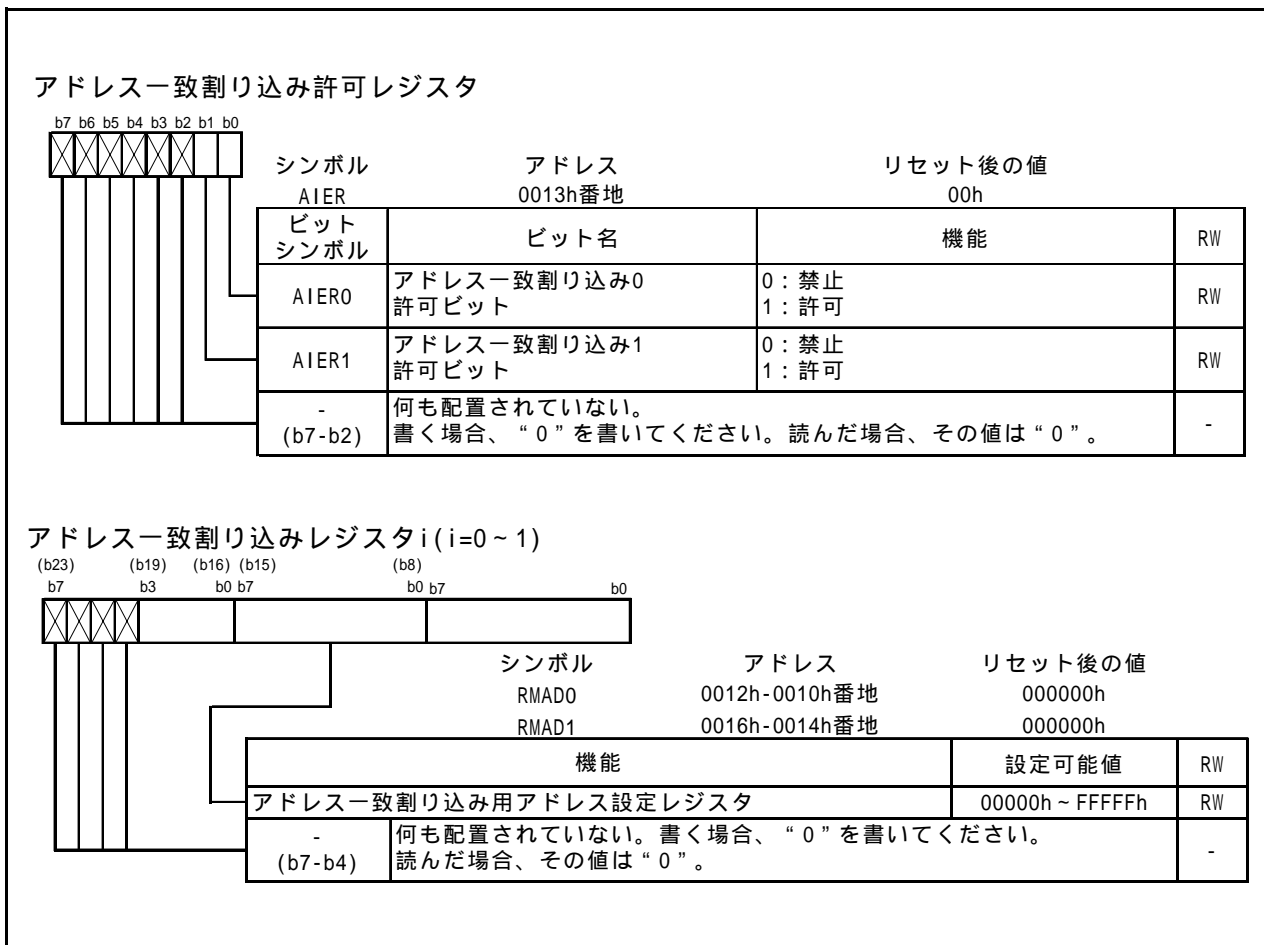


図12.18 AIER、RMAD0 ~ RMAD1レジスタ

12.5 タイマRD割り込み、チップセレクト付クロック同期形シリアルI/O割り込み、I²Cバスインタフェース割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRD(チャンネル0)、タイマRD(チャンネル1)、チップセレクト付クロック同期形シリアルI/O、I²Cバスインタフェースは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表12.8にタイマRD、チップセレクト付クロック同期形シリアルI/O、I²Cバスインタフェース割り込み関連レジスタを、図12.19にタイマRD割り込みのブロック図を示します。

表12.8 タイマRD、チップセレクト付クロック同期形シリアルI/O、I²Cバスインタフェース割り込み関連レジスタ

周辺機能名		割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRD	チャンネル0	TRDSR0	TRDIER0	TRD0IC
	チャンネル1	TRDSR1	TRDIER1	TRD1IC
チップセレクト付クロック同期形シリアルI/O		SSSR	SSER	SSUIC
I ² Cバスインタフェース		ICSR	ICIER	IICIC

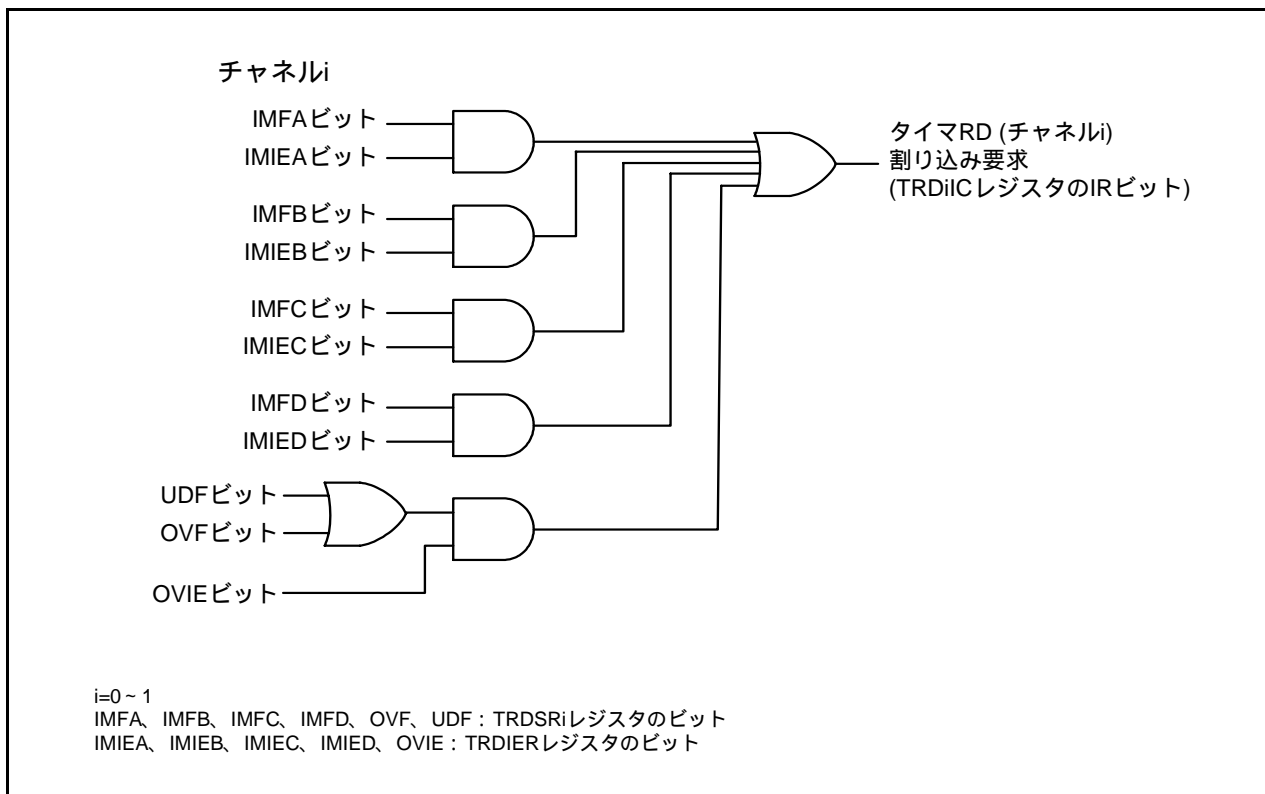


図12.19 タイマRD割り込みのブロック図

タイマRD (チャンネル0)、タイマRD (チャンネル1)、チップセレクト付クロック同期形シリアルI/O、I²Cバスインタフェースの割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。
すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「14.3 タイマRD」,「16.2 チップセレクト付クロック同期形シリアルI/O(SSU)」,「16.3 I²Cバスインタフェース」)を参照してください。

割り込み制御レジスタは「12.1.6 割り込み制御」を参照してください。

12.6 割り込み使用上の注意

12.6.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

12.6.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

12.6.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力($i=0 \sim 3$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表20.21 ($V_{cc}=5V$)、表20.27 ($V_{cc}=3V$)、表20.33 ($V_{cc}=2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力($i=0 \sim 3$)」を参照。

12.6.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図12.20に割り込み要因の変更手順例を示します。

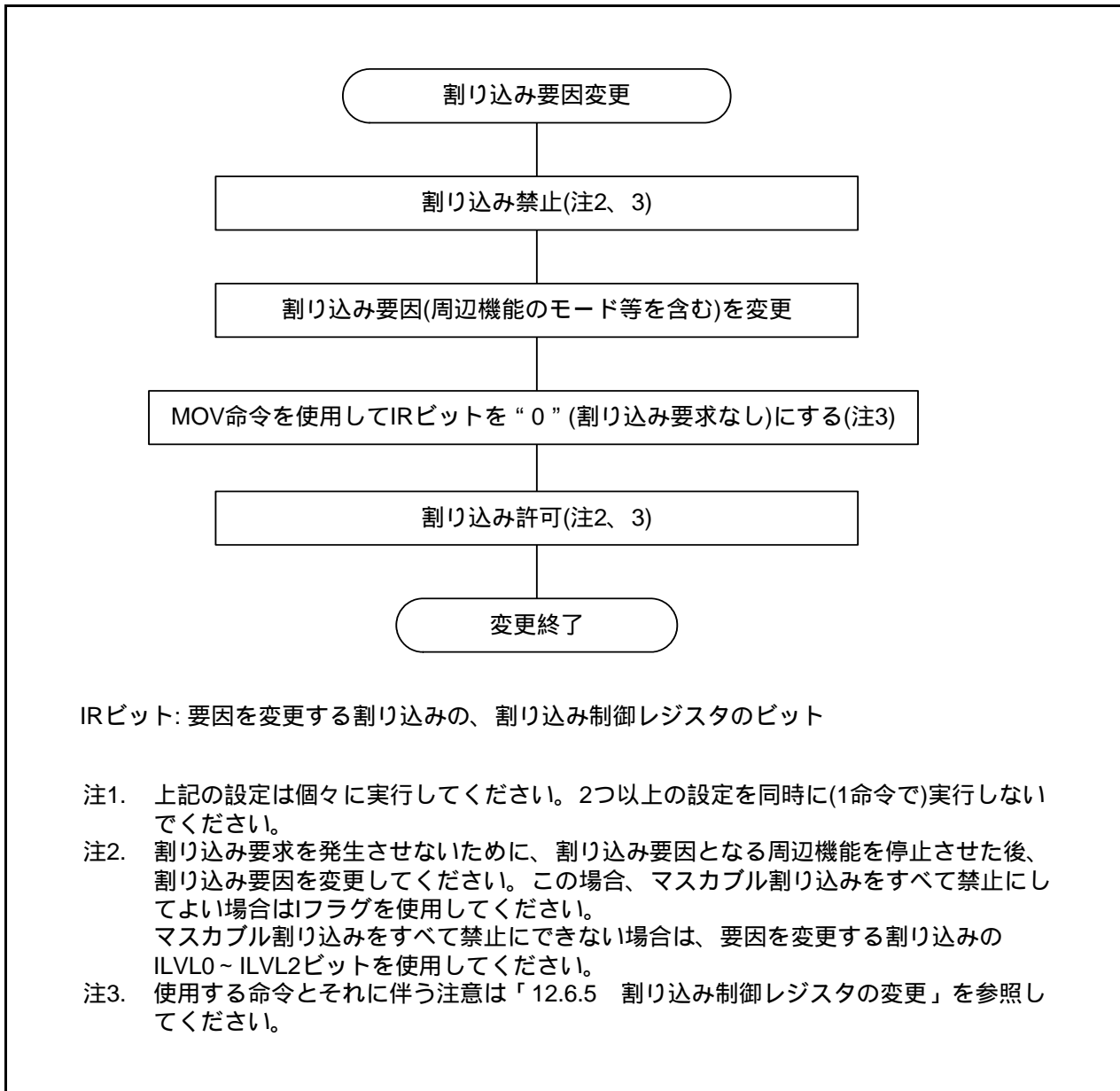


図12.20 割り込み要因の変更手順例

12.6.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  POPC    FLG              ; 割り込み許可
```

13. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表13.1にカウントソース保護モードの有効/無効を示します。

ウォッチドッグタイマリセットの詳細は「5.6 ウォッチドッグタイマリセット」を参照してください。

図13.1にウォッチドッグタイマのブロック図を、図13.2にOFS、WDCレジスタを、図13.3にWDTR、WDTS、CSPRレジスタを示します。

表13.1 カウントソース保護モードの有効/無効

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー 	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット

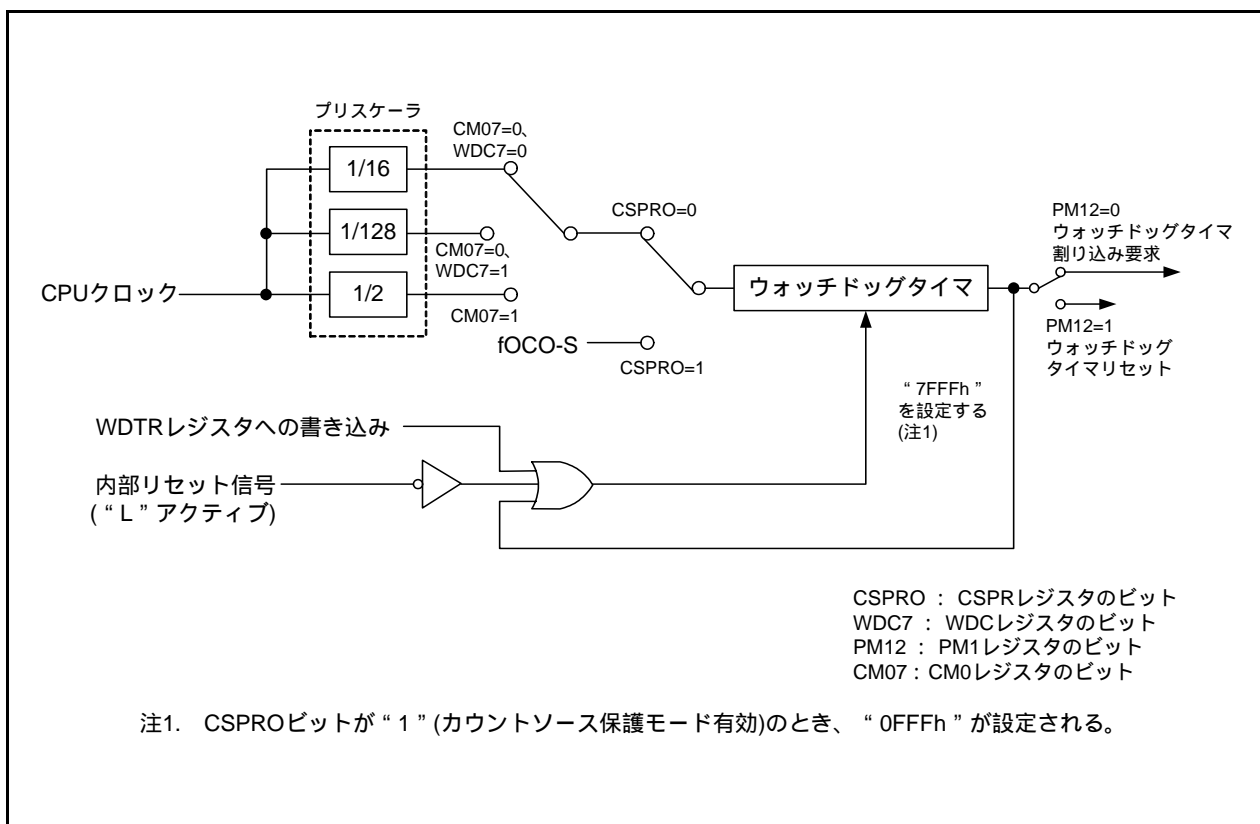


図13.1 ウォッチドッグタイマのブロック図

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFh番地	出荷時の値 FFh(注3)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b4)	予約ビット	“1” にしてください。	RW
LVDOON	電圧検出0回路起動 ビット(注2)	0: ハードウェアリセット後、電圧監視0リセット 有効 1: ハードウェアリセット後、電圧監視0リセット 無効	RW
- (b6)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. パワーオンリセットを使用する場合、LVDOONビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ウォッチドッグタイマ制御レジスタ

シンボル WDC	アドレス 000Fh番地	リセット後の値 00X11111b	
ビット シンボル	ビット名	機能	RW
- (b4-b0)	ウォッチドッグタイマの上位ビット		RO
- (b5)	予約ビット	“0” にしてください。読んだ場合、その値は 不定。	RW
- (b6)	予約ビット	“0” にしてください。	RW
WDC7	プリスケアラ選択 ビット	0: 16分周 1: 128分周	RW

図13.2 OFS、WDCレジスタ

ウォッチドッグタイマリセットレジスタ

b7 ┌───────────┐ │ │ └───────────┘ b0	シンボル WDTR	アドレス 000Dh番地	リセット後の値 不定	
	機能			RW
	“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。(注1) ウォッチドッグタイマの初期値はカウントソース保護モード無効時に“7FFFh”、カウントソース保護モード有効時に“0FFFh”が設定される。(注2)			WO

注1. “00h”の書き込みと、“FFh”の書き込みの間に、割り込みを発生させないでください。

注2. CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、ウォッチドッグタイマに“0FFFh”が設定されます。

ウォッチドッグタイマスタートレジスタ

b7 ┌───────────┐ │ │ └───────────┘ b0	シンボル WDTS	アドレス 000Eh番地	リセット後の値 不定	
	機能			RW
	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。			WO

カウントソース保護モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0 ┌───┴───┐ │ 0 0 0 0 0 0 0 0 │ └───┴───┘	シンボル CSPR	アドレス 001Ch番地	リセット後の値(注1) 00h	
ビット シンボル	ビット名		機能	RW
- (b6-b0)	予約ビット		“0”にしてください。	RW
CSPRO	カウントソース保護モード選択 ビット(注2)		0: カウントソース保護モード無効 1: カウントソース保護モード有効	RW

注1. OFSレジスタのCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。
プログラムでは“0”にできません。

図13.3 WDTR、WDTS、CSPRレジスタ

13.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表13.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表13.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケーラの分周比(n) × ウォッチドッグタイマのカウント値(32768) (注1) CPUクロック n : 16または128 (WDCレジスタのWDC7ビットで選択) 例 : CPUクロックが16MHzで、プリスケーラが16分周する場合、周期は約32.8ms
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> •WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことにより、カウントを開始 •WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケーラがカウントを開始
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> •リセット •WDTRレジスタに“00h”、続いて“FFh”を書く •アンダフロー
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> •PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み •PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.6 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケーラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケーラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

13.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表13.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表13.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 低速オンチップオシレータクロック 例：低速オンチップオシレータクロックが125 kHzの場合、周期は約32.8ms
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFh番地)のWDTONビット(注1)で選択 <ul style="list-style-type: none"> •WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 •WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> •リセット •WDTRレジスタに“00h”、続いて“FFh”を書く •アンダフロー
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.6 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> •CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される <ul style="list-style-type: none"> -ウォッチドッグタイマに0FFFhを設定 -CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振) -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) •カウントソース保護モードでは、次の状態になる <ul style="list-style-type: none"> -CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない) -CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、低速オンチップオシレータは停止しない)

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFh番地のb7に“0”を書き込んでください。

14. タイマ

タイマは、8ビットプリスケアラ付き8ビットタイマを2本と、16ビットタイマを2本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRDです。4ビットカウンタ、8ビットカウンタは、アウトプットコンペアを持ったタイマREです。すべてのタイマは、それぞれ独立して動作します。

表14.1に各タイマの機能比較を示します。

表14.1 各タイマの機能比較

項目	タイマRA	タイマRB	タイマRD	タイマRE	
構成	8ビットプリスケアラ付8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付8ビットタイマ (リロードレジスタ付)	16ビットタイマ×2 (インプットキャプチャ、 アウトプットコンペア付)	4ビットカウンタ 8ビットカウンタ	
カウント	ダウンカウント	ダウンカウント	アップカウント/ダウンカウ ント	アップカウント	
カウントソース	<ul style="list-style-type: none"> •f1 •f2 •f8 •fOCO •fC32 	<ul style="list-style-type: none"> •f1 •f2 •f8 •タイマRAアング ロー 	<ul style="list-style-type: none"> •f1 •f2 •f4 •f8 •f32 •fOCO40M •TRDIOA0 	<ul style="list-style-type: none"> •f4 •f8 •f32 •fC4 	
機能	タイマモード	あり	あり (インプットキャプチャ機能、 アウトプットコンペア機能)	なし	
	パルス出力モード	あり	なし	なし	
	イベントカウンタモード	あり	なし	なし	なし
	パルス幅測定モード	あり	なし	なし	なし
	パルス周期測定モード	あり	なし	なし	なし
	プログラマブル波形発生 モード	なし	あり	なし	なし
	プログラマブルワン ショット発生モード	なし	あり	なし	なし
	プログラマブルウェイト ワンショット発生モード	なし	あり	なし	なし
	インプットキャプチャ	なし	なし	あり	なし
	アウトプットコンペア	なし	なし	あり	あり
	PWMモード	なし	なし	あり	なし
	リセット同期PWMモード	なし	なし	あり	なし
	相補PWMモード	なし	なし	あり	なし
	PWM3モード	なし	なし	あり	なし
リアルタイムクロック モード	なし	なし	なし	あり	
入力端子	TRAIO	INT0	INT0、TRDCLK、 TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1	-	
出力端子	TRAO TRAIO	TRBO	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1	TREO	
関連する割り込み	タイマRA割り込み INT1割り込み	タイマRB割り込み INT0割り込み	コンペア一致/インプット キャプチャ A0 ~ D0割り込み コンペア一致/インプット キャプチャ A1 ~ D1割り込み オーバフロー割り込み アングダフロー割り込み(注1) INT0割り込み	タイマRE割り込み	
タイマ停止	あり	あり	あり	あり	

注1. アングダフロー割り込みは、チャンネル1のみ設定可能です。

14.1 タイマRA

タイマRAは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表14.2～表14.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図14.1にタイマRAのブロック図を、図14.2、図14.3にタイマRA関連のレジスタを示します。タイマRAは、次の5種類のモードを持ちます。

- タイマモード 内部カウントソースをカウントするモード
- パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- イベントカウンタモード 外部パルスを入力するモード
- パルス幅測定モード 外部パルスのパルス幅を測定するモード
- パルス周期測定モード 外部パルスのパルス周期を測定するモード

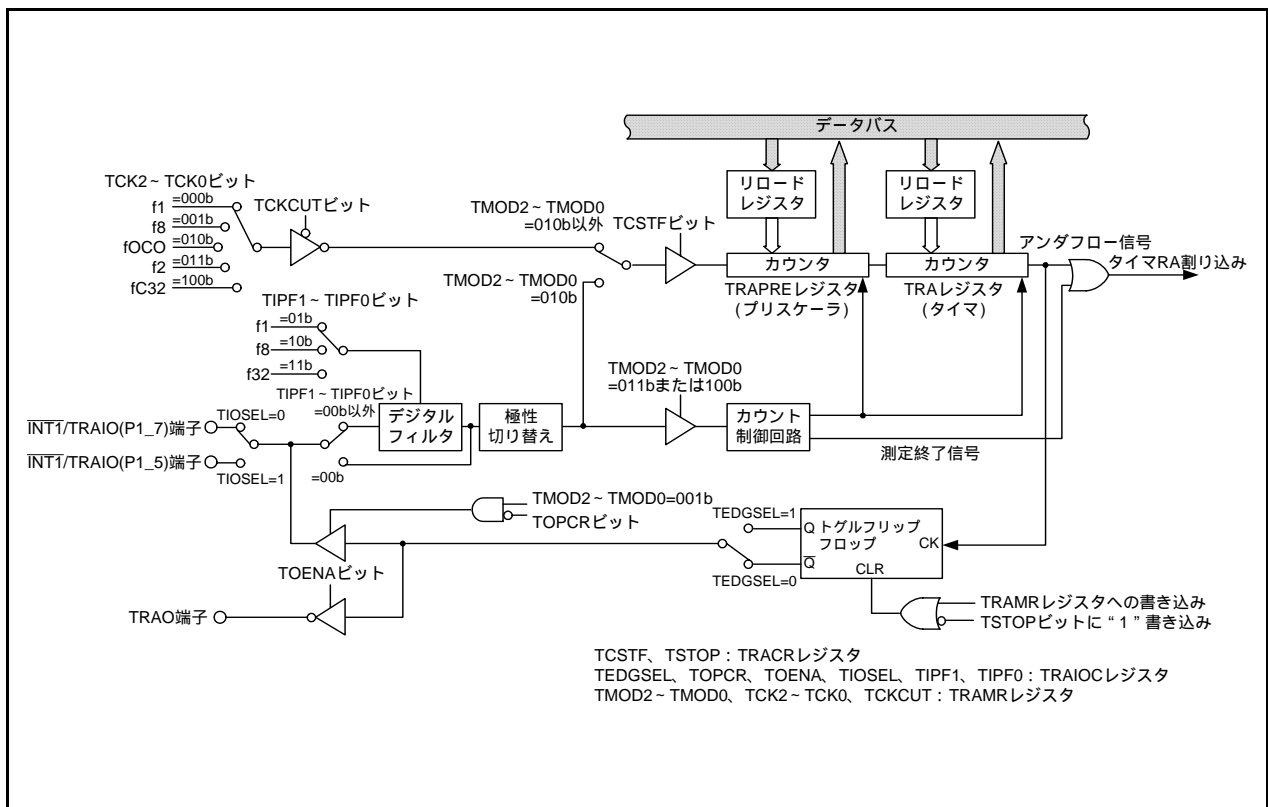


図14.1 タイマRAのブロック図

タイマRA制御レジスタ(注4)			
シンボル	アドレス	リセット後の値	
TRACR	0100h番地	00h	
ビットシンボル	ビット名	機能	RW
TSTART	タイマRAカウント開始ビット(注1)	0: カウント停止 1: カウント開始	RW
TCSTF	タイマRAカウントステータスフラグ(注1)	0: カウント停止 1: カウント中	RO
TSTOP	タイマRAカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	RW
- (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TEDGF	有効エッジ判定フラグ(注3、5)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	RW
TUNDF	タイマRAアンダフローフラグ(注3、5)	0: アンダフローなし 1: アンダフローあり	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 「14.1.6 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

注5. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

タイマRA I/O制御レジスタ			
シンボル	アドレス	リセット後の値	
TRAI0C	0101h番地	00h	
ビットシンボル	ビット名	機能	RW
TEDGSEL	TRAI0極性切り替えビット	動作モードによって機能が異なる。	RW
TOPCR	TRAI0出力制御ビット		RW
TOENA	TRAI0出力許可ビット		RW
TIOSEL	INT1/TRAI0選択ビット		RW
TIPF0	TRAI0入力フィルタ選択ビット		RW
TIPF1			RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

図14.2 TRACR、TRAI0Cレジスタ

タイマRAモードレジスタ(注1)

シンボル	アドレス	リセット後の値
TRAMR	0102h番地	00h
ビットシンボル	ビット名	機能
TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 1 0 1: } 設定しないでください 1 1 0: } 1 1 1: }
TMOD1		
TMOD2		
(b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 0 0 0: f1 0 0 1: f8 0 1 0: fOCO 0 1 1: f2 1 0 0: fC32 1 0 1: } 設定しないでください 1 1 0: } 1 1 1: }
TCK1		
TCK2		
TCKCUT	タイマRAカウントソース遮断ビット	0: カウントソース供給 1: カウントソース遮断

注1. TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに変更してください。

タイマRAプリスケアラレジスタ

シンボル	アドレス	リセット後の値
TRAPRE	0103h番地	FFh(注1)
モード	機能	設定範囲
タイマモード	内部カウントソースをカウント	00h ~ FFh
パルス出力モード	内部カウントソースをカウント	00h ~ FFh
イベントカウンタモード	外部カウントソースをカウント	00h ~ FFh
パルス幅測定モード	内部カウントソースをカウント	00h ~ FFh
パルス周期測定モード	内部カウントソースをカウント	00h ~ FFh

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

タイマRAレジスタ

シンボル	アドレス	リセット後の値
TRA	0104h番地	FFh(注1)
モード	機能	設定範囲
全モード	タイマRAプリスケアラレジスタのアンダフローをカウント	00h ~ FFh

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

図14.3 TRAMR、TRAPRE、TRAレジスタ

14.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.2)。

図14.4にタイマモード時のTRAIOCレジスタを示します。

表14.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRAIO端子機能	プログラマブル入出力ポート、またはINT1割り込み入力
TRAIO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「14.1.1.1 カウント中のタイマ書き込み制御」参照)

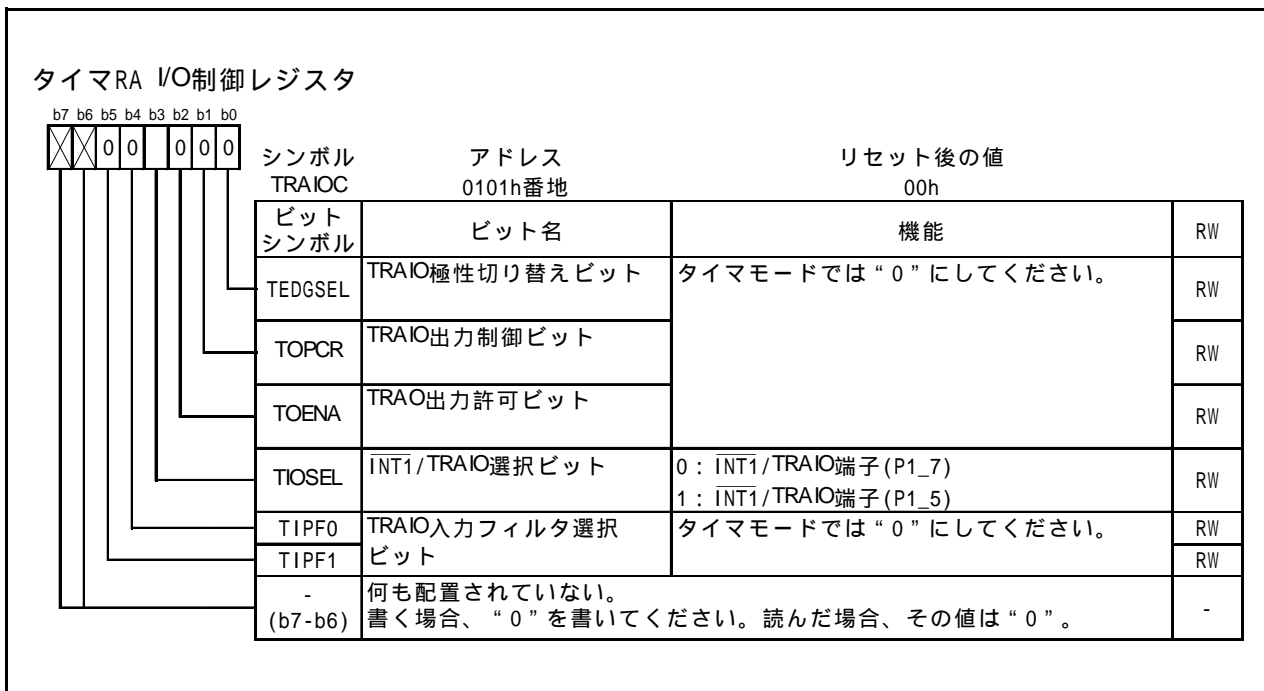


図14.4 タイマモード時のTRAIOCレジスタ

14.1.1.1 カウント中のタイマ書き込み制御

タイマRAはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケアラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、カウント中にプリスケアラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図14.5にタイマRA カウント中にカウント値を書き換えた場合の動作例を示します。

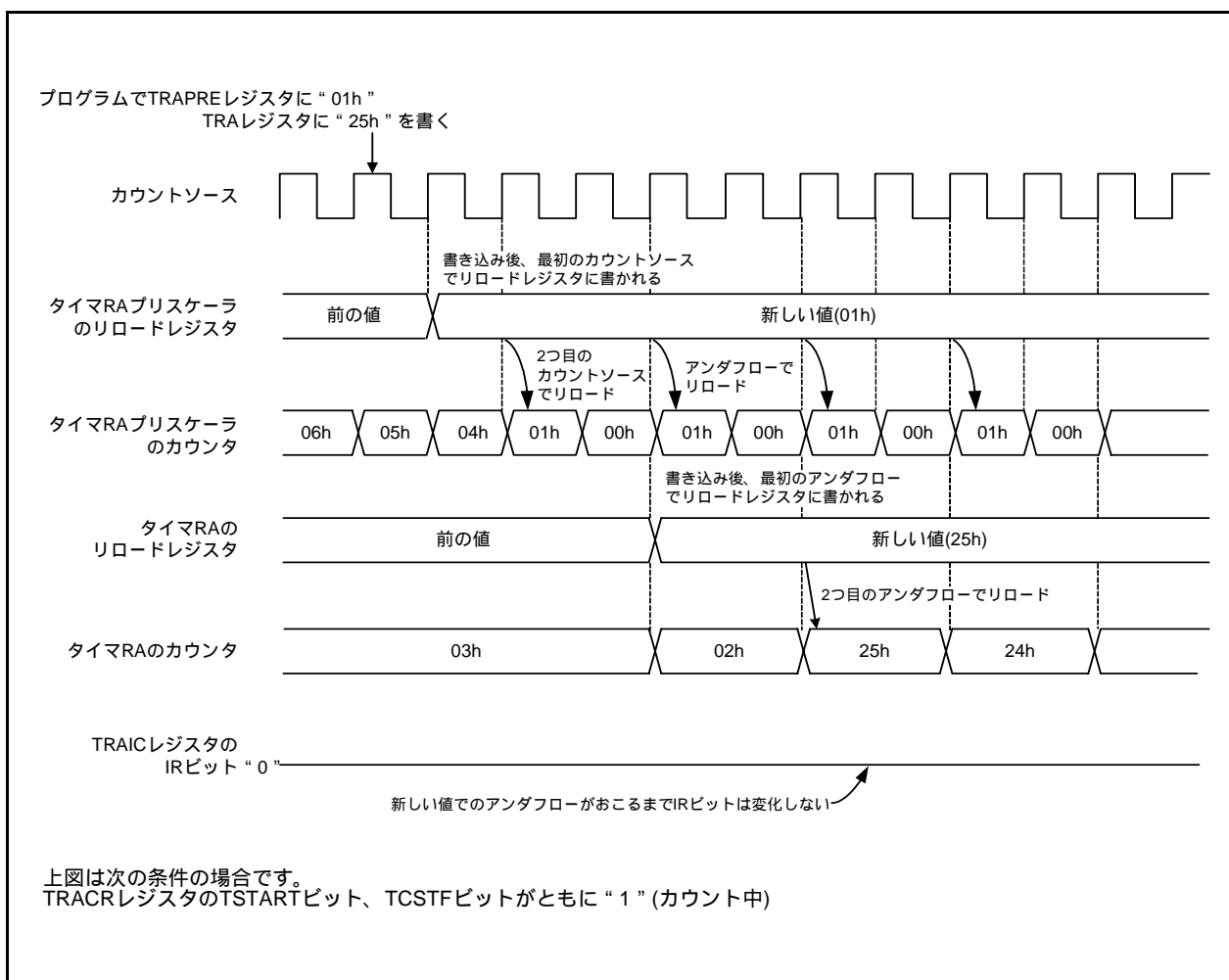


図14.5 タイマRA カウント中にカウント値を書き換えた場合の動作例

14.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表14.3)。

図14.6にパルス出力モード時のTRAIOCレジスタを示します。

表14.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRAI0信号端子機能	パルス出力、またはプログラマブル出力ポート、 $\overline{\text{INT1}}$ 割り込み入力(注1)
TRA0端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる「14.1.1.1 カウント中のタイマ書き込み制御」参照
選択機能	<ul style="list-style-type: none"> ・TRAIO出力極性切り替え機能 TEDGSELビットでパルス出力開始時のレベルを選択(注1) ・TRA0出力機能 TRAIO出力の極性を反転したパルスをTRA0端子から出力(TOENAビットで選択) ・パルス出力停止機能 TOPCRビットでTRAIO端子からのパルス出力を停止 ・INT1/TRAI0端子選択機能 TIOSELビットでP1_7またはP1_5を選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマRA I/O制御レジスタ

シンボル	アドレス	リセット後の値	
TRAI0C	0101h番地	00h	
ビット シンボル	ビット名	機能	RW
TEDGSEL	TRAI0極性切り替えビット	0: "H" から TRAI0出力開始 1: "L" から TRAI0出力開始	RW
TOPCR	TRAI0出力制御ビット	0: TRAI0出力 1: ポートP1_7またはポートP1_5	RW
TOENA	TRAI0出力許可ビット	0: ポートP3_0 1: TRAI0出力 (TRAI0出力の反転をP3_0から出力)	RW
TIOSEL	INT1/TRAI0選択ビット	0: $\overline{\text{INT1}}$ /TRAI0端子 (P1_7) 1: $\overline{\text{INT1}}$ /TRAI0端子 (P1_5)	RW
TIPF0	TRAI0入力フィルタ選択 ビット	パルス出力モードでは "0" にしてください。	RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、"0" を書いてください。読んだ場合、その値は "0"。	-	-

図 14.6 パルス出力モード時のTRAI0Cレジスタ

14.1.3 イベントカウンタモード

INT1/TRAI0端子から入力する外部信号をカウントするモードです(表14.4)。

図14.7にイベントカウンタモード時のTRAI0Cレジスタを示します。

表14.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	TRAI0端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRAI0信号端子機能	カウントソース入力(INT1割り込み入力)
TRAO端子機能	プログラマブル入出力ポート、またはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる「14.1.1.1 カウント中のタイマ書き込み制御」参照
選択機能	<ul style="list-style-type: none"> ・INT1入力極性切り替え機能 TEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TOENAビットで選択)(注1) ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0 ~ TIPF1ビットで選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマRA I/O制御レジスタ

シンボル TRAI0C	アドレス 0101h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TEDGSEL	TRAI0極性切り替えビット	0: TRAI0入力の立ち上がりエッジでカウント また、“L”からTRAI0出力開始 1: TRAI0入力の立ち下がりエッジでカウント また、“H”からTRAI0出力開始	RW
TOPCR	TRAI0出力制御ビット	イベントカウンタモードでは“0”にしてください。	RW
TOENA	TRAI0出力許可ビット	0: ポートP3_0 1: TRAI0出力	RW
TIOSEL	INT1/TRAI0選択ビット	0: INT1/TRAI0端子 (P1_7) 1: INT1/TRAI0端子 (P1_5)	RW
TIPF0	TRAI0入力フィルタ選択 ビット(注1)	b5 b4 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

図14.7 イベントカウンタモード時のTRAI0Cレジスタ

14.1.4 パルス幅測定モード

INT1/TRAI0端子から入力する外部信号のパルス幅を測定するモードです(表14.5)。

図14.8にパルス幅測定モード時のTRAI0Cレジスタを、図14.9にパルス幅測定モード時の動作例を示します。

表14.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f0CO、fC32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマRAのアンダフロー時[タイマRA割り込み] ・TRAI0入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
INT1/TRAI0信号端子機能	測定パルス入力(INT1割り込み入力)
TRAI0端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる「14.1.1.1 カウント中のタイマ書き込み制御」参照
選択機能	<ul style="list-style-type: none"> ・測定レベル選択 TEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 ・測定パルス入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

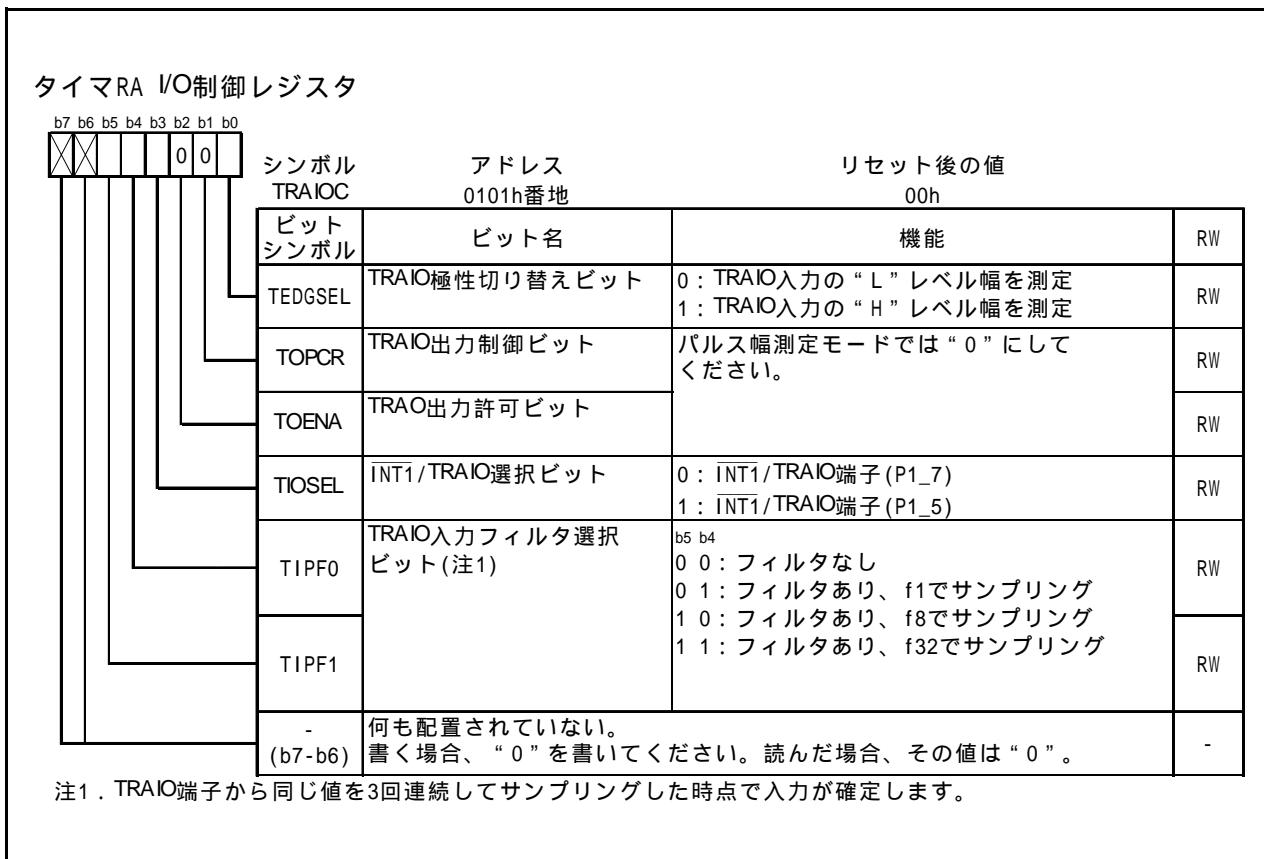


図14.8 パルス幅測定モード時のTRAIOCレジスタ

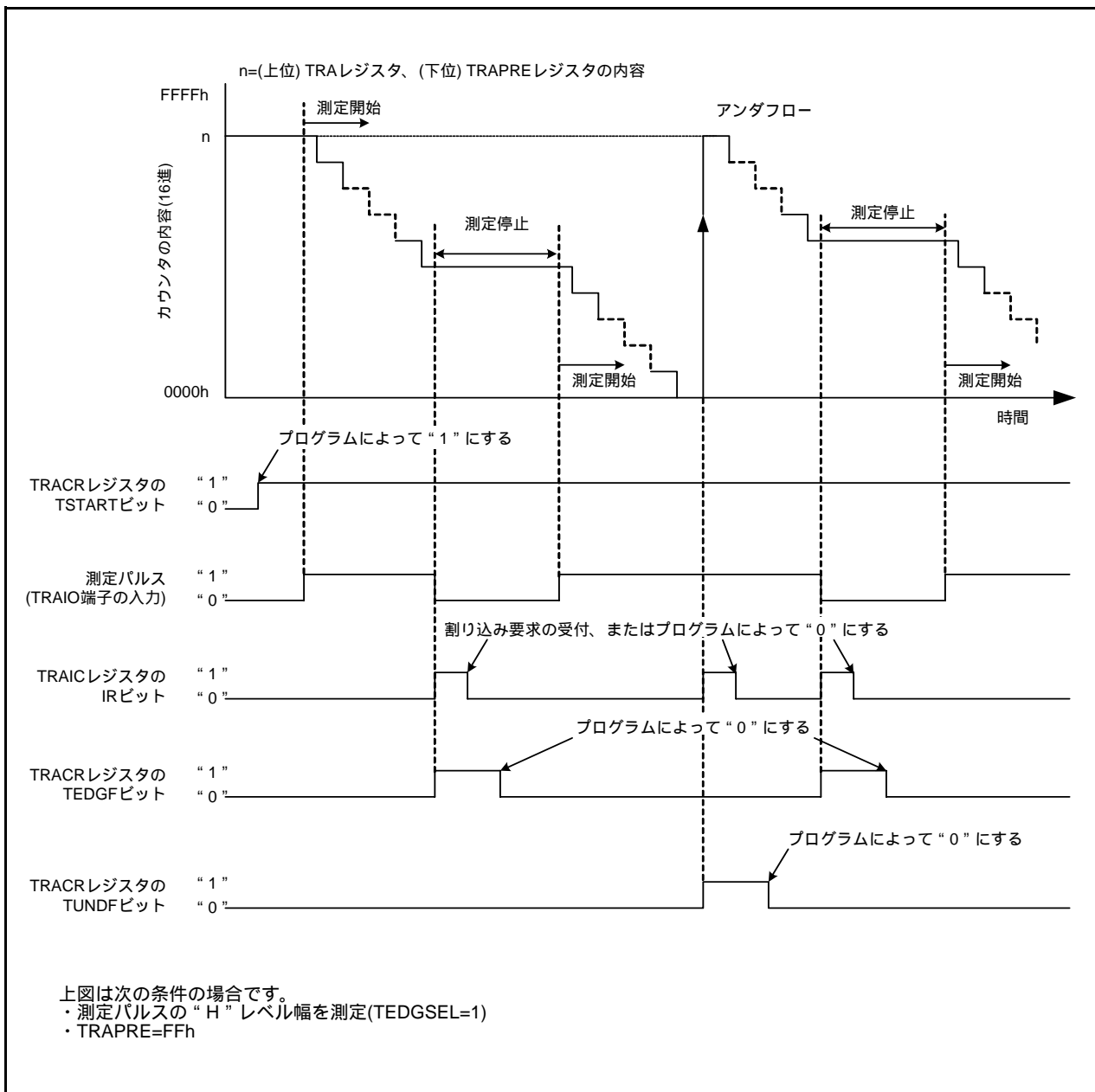


図 14.9 パルス幅測定モード時の動作例

14.1.5 パルス周期測定モード

INT1/TRATIO端子から入力する外部信号のパルス周期を測定するモードです(表14.6)。

図14.10にパルス周期測定モード時のTRATIOレジスタを、図14.11にパルス周期測定モード時の動作例を示します。

表14.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマRAのアンダフロー時、またはリロード時[タイマRA割り込み] ・TRATIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
INT1/TRATIO端子機能	測定パルス入力(注1)(INT1割り込み入力)
TRATIO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる「14.1.1.1 カウント中のタイマ書き込み制御」参照
選択機能	<ul style="list-style-type: none"> ・測定期間選択 TEDGSELビットで入力パルスの測定期間を選択 ・測定パルス入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

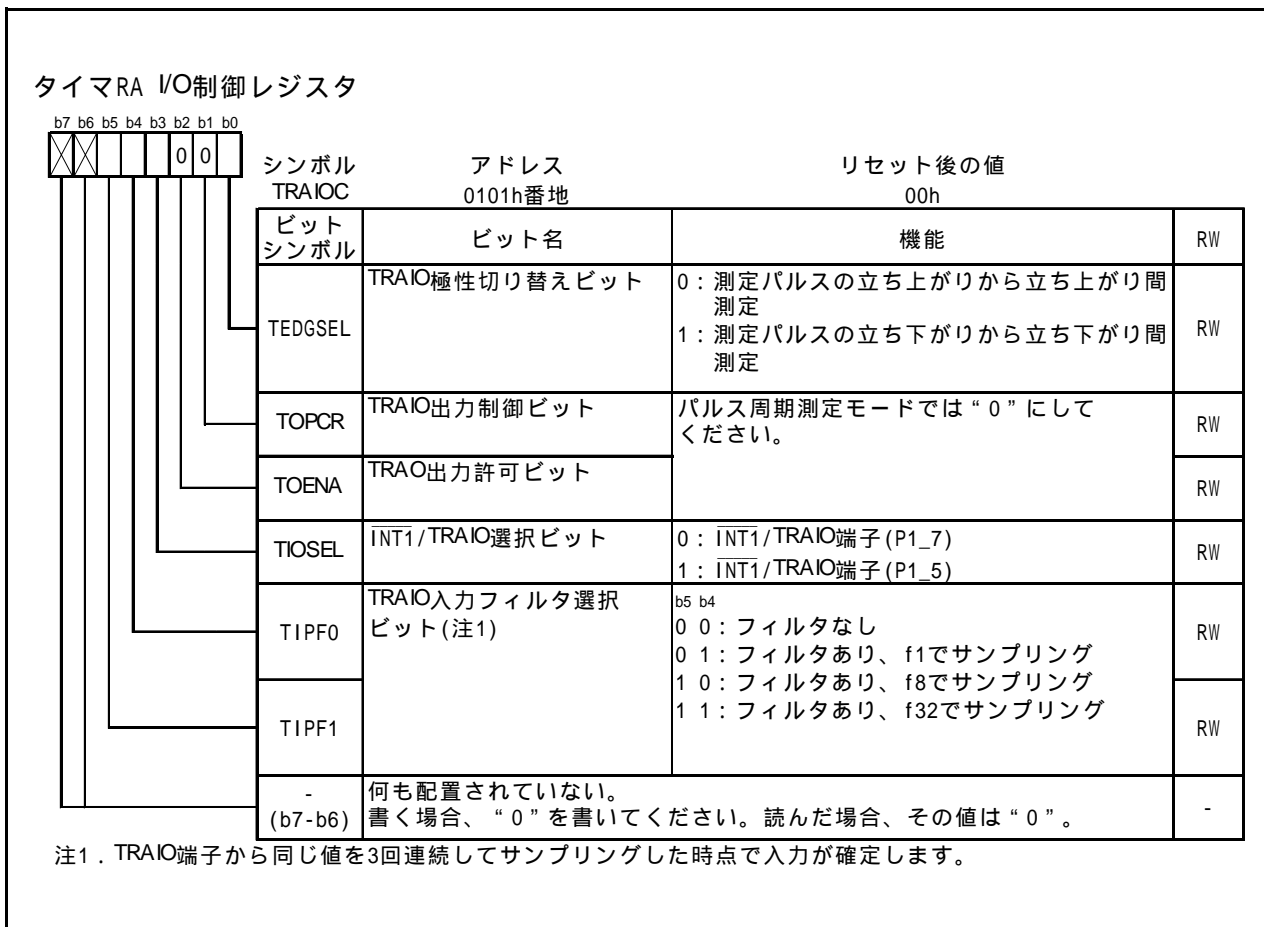


図14.10 パルス周期測定モード時のTRAIOCレジスタ

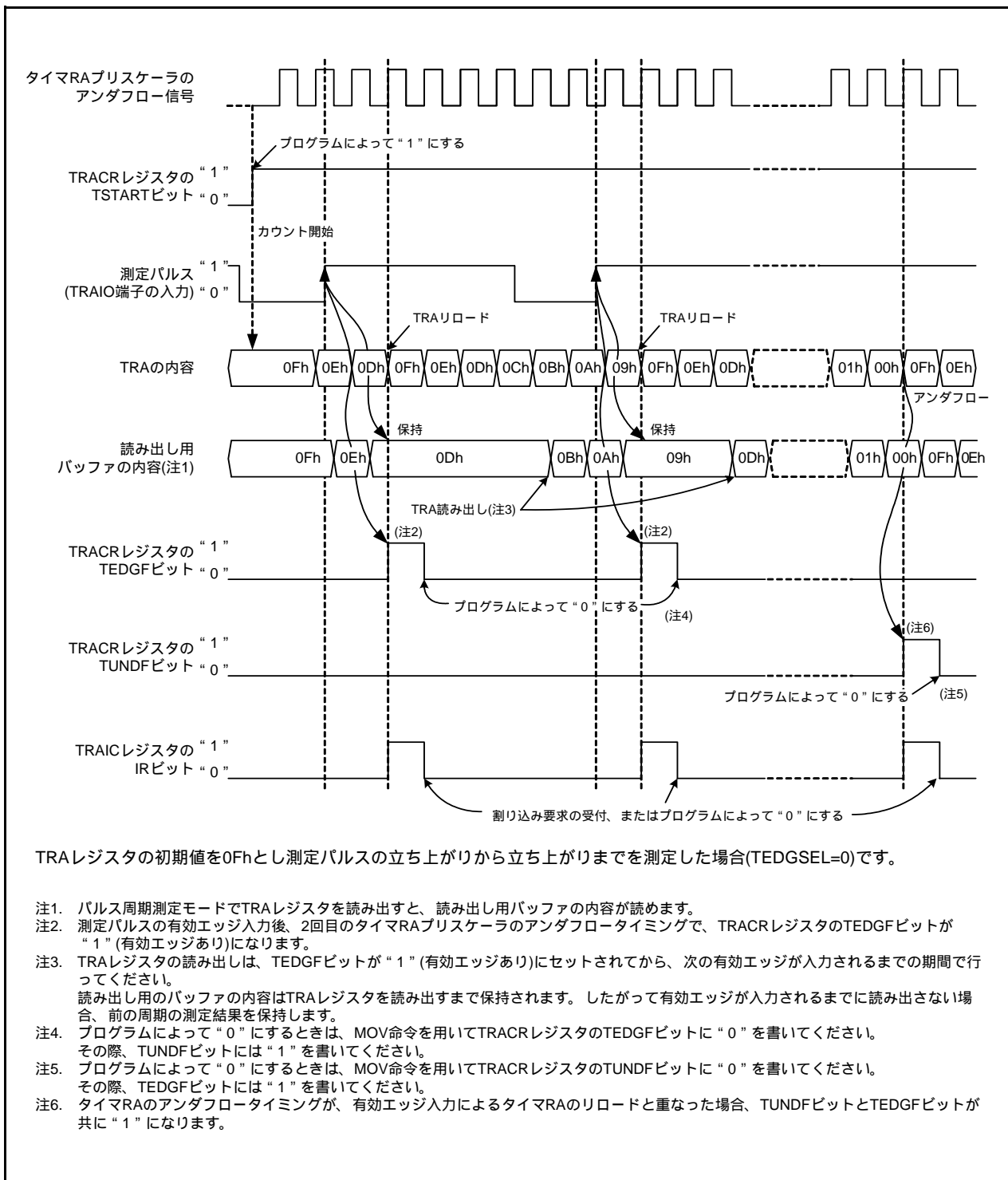


図 14.11 パルス周期測定モード時の動作例

14.1.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

14.2 タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表14.7～表14.10の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図14.12にタイマRBのブロック図を、図14.13～図14.15にTRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPRレジスタを示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード
 - 内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード
 - 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード
 - ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード
 - ディレイドワンショットパルスを出力するモード

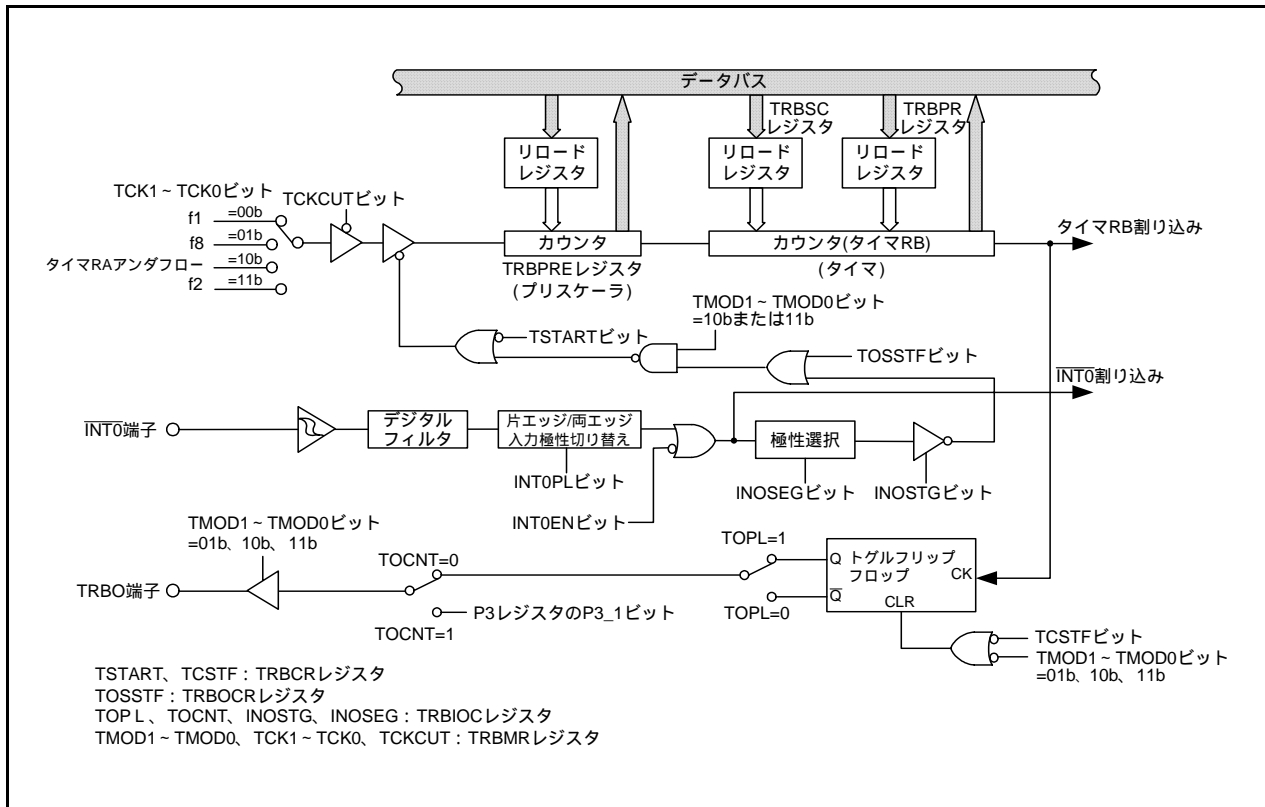
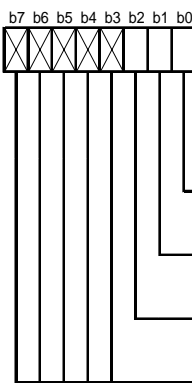


図14.12 タイマRBのブロック図

タイマRB制御レジスタ



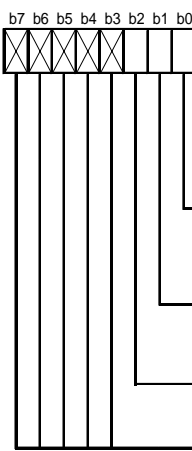
シンボル	アドレス	リセット後の値	
TRBCR	0108h番地	00h	
ビットシンボル	ビット名	機能	RW
TSTART	タイマRBカウント開始ビット(注1)	0: カウント停止 1: カウント開始	RW
TCSTF	タイマRBカウントステータスフラグ(注1)	0: カウント停止 1: カウント中(注3)	RO
TSTOP	タイマRBカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	RW
- (b7-b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 「14.2.5 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

タイマRBワンショット制御レジスタ(注2)



シンボル	アドレス	リセット後の値	
TRBOCR	0109h番地	00h	
ビットシンボル	ビット名	機能	RW
TOSST	タイマRBワンショット開始ビット	“1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	RW
TOSSP	タイマRBワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	RW
TOSSTF	タイマRBワンショットステータスフラグ(注1)	0: ワンショット停止中 1: ワンショット動作中(ウェイト期間含む)	RO
- (b7-b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

注2. TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

図14.13 TRBCR、TRBOCRレジスタ

タイマRB I/O制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRBIOC	010Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる。	RW
TOCNT	タイマRB出力切り替えビット		RW
INOSTG	ワンショットトリガ制御ビット		RW
INOSEG	ワンショットトリガ極性選択ビット		RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

タイマRBモードレジスタ			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRBMR	010Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TMOD0	タイマRB動作モード選択ビット(注1)	b1 b0 0 0: タイマモード 0 1: プログラマブル波形発生モード 1 0: プログラマブルワンショット発生モード 1 1: プログラマブルウェイトワンショット発生モード	RW
TMOD1			RW
- (b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TWRC	タイマRB書き込み制御ビット(注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	RW
TCK0	タイマRBカウントソース選択ビット(注1)	b5 b4 0 0: f1 0 1: f8 1 0: タイマRAのアンダフロー 1 1: f2	RW
TCK1			RW
- (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TCKCUT	タイマRBカウントソース遮断ビット(注1)	0: カウントソース供給 1: カウントソース遮断	RW

注1. TMOD1~TMOD0ビット、TCK1~TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

図14.14 TRBIOC、TRBMRレジスタ

タイマRBプリスケアラレジスタ(注1)

	シンボル TRBPRES	アドレス 010Ch番地	リセット後の値 FFh	
	モード	機能	設定範囲	RW
	タイマモード	内部カウントソース、または タイマRAアンダフローをカウント	00h ~ FFh	RW
	プログラマブル波形 発生モード		00h ~ FFh	RW
	プログラマブル ワンショット発生モード		00h ~ FFh	RW
プログラマブルウェイト ワンショット発生モード		00h ~ FFh	RW	

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRESレジスタは“FFh”になります。

タイマRBセカンダリレジスタ(注3、4)

	シンボル TRBSCS	アドレス 010Dh番地	リセット後の値 FFh	
	モード	機能	設定範囲	RW
	タイマモード	無効	00h ~ FFh	-
	プログラマブル波形 発生モード	タイマRBプリスケアラのアンダフローを カウント(注1)	00h ~ FFh	WO (注2)
	プログラマブル ワンショット発生モード	無効	00h ~ FFh	-
プログラマブルウェイト ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ワンショット幅をカウント)	00h ~ FFh	WO (注2)	

注1. TRBPRSレジスタとTRBSCSレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRSレジスタで読めます。

注3. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCSレジスタは“FFh”になります。

注4. TRBSCSレジスタに書き込むときは、次の手順で書いてください。

(1) TRBSCSレジスタに値を書く

(2) TRBPRSレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

タイマRBプライマリレジスタ(注2)

	シンボル TRBPRS	アドレス 010Eh番地	リセット後の値 FFh	
	モード	機能	設定範囲	RW
	タイマモード	タイマRBプリスケアラのアンダフローを カウント	00h ~ FFh	RW
	プログラマブル波形 発生モード	タイマRBプリスケアラのアンダフローを カウント(注1)	00h ~ FFh	RW
	プログラマブル ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ワンショット幅をカウント)	00h ~ FFh	RW
プログラマブルウェイト ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ウェイト期間をカウント)	00h ~ FFh	RW	

注1. TRBPRSレジスタとTRBSCSレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRSレジスタは“FFh”になります。

図14.15 TRBPRES、TRBSCS、TRBPRSレジスタ

14.2.1 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表14.7)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

図14.16にタイマモード時のTRBIOCレジスタを示します。

表14.7 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n : TRBPRESレジスタの設定値、m : TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。 (「14.2.1.1 カウント中のタイマ書き込み制御」参照)

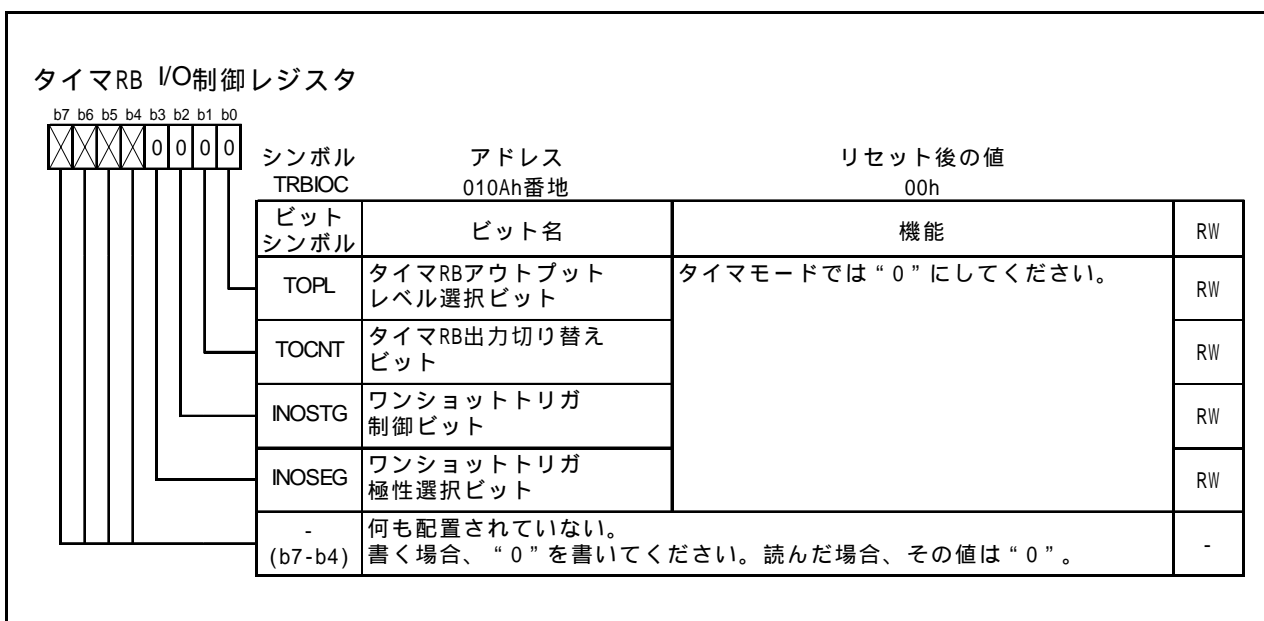


図14.16 タイマモード時のTRBIOCレジスタ

14.2.1.1 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれます。図14.17にタイマRB カウント中にカウント値を書き換えた場合の動作例を示します。

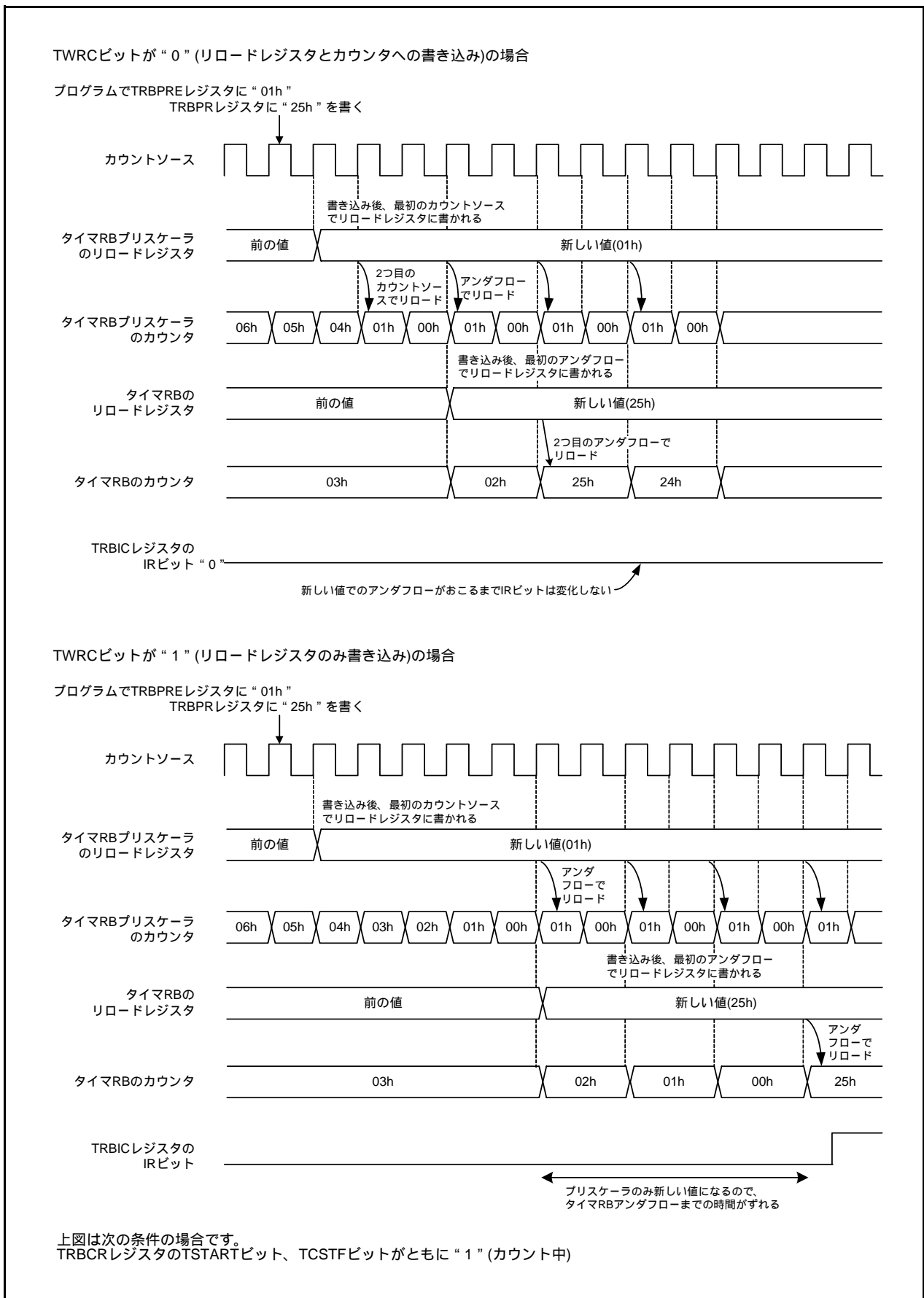


図 14.17 タイマRB カウント中にカウント値を書き換えた場合の動作例

14.2.2 プログラマブル波形発生モード

TRBPRレジスタとTRBSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO端子から出力する信号を反転するモードです(表14.8)。カウント開始時は、TRBPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCRレジスタは使用しません。

図14.18にプログラマブル波形発生モード時のTRBIOCレジスタを、図14.19にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表14.8 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : カウントソースの周波数 n : TRBPREレジスタの設定値、 m : TRBPRレジスタの設定値 p : TRBSCレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO出力の変化と同時に)[タイマRB割り込み]
TRBO端子機能	プログラマブル出力ポート、またはパルス出力
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択 ・TRBO端子出力切り替え機能 TRBIOCレジスタのTOCNTビットでタイマRBパルス出力またはP3_1ラッチ出力を選択(注3)

注1. セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。

注2. 波形の出力は、TRBPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNTビットに書いた値は、次のタイミングで有効になります。

- ・カウント開始時
- ・タイマRB割り込み要求発生時

したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

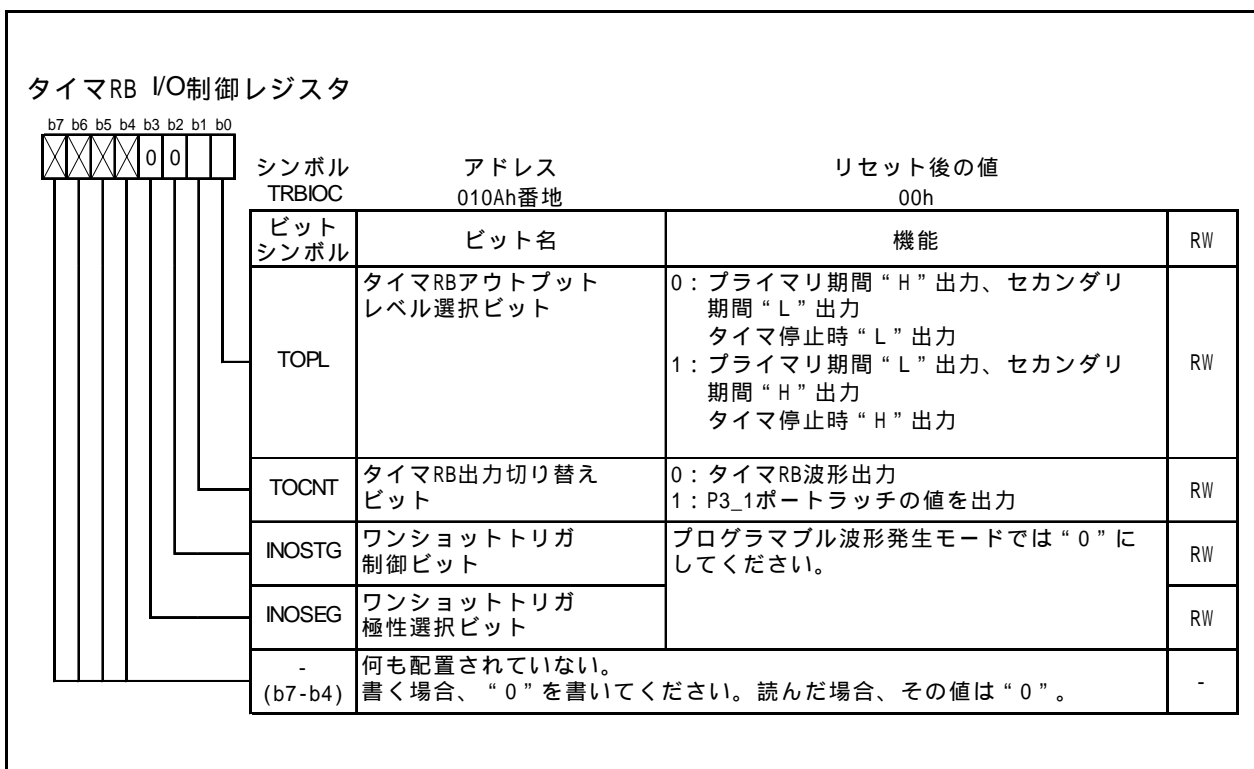


図14.18 プログラマブル波形発生モード時のTRBIOCレジスタ

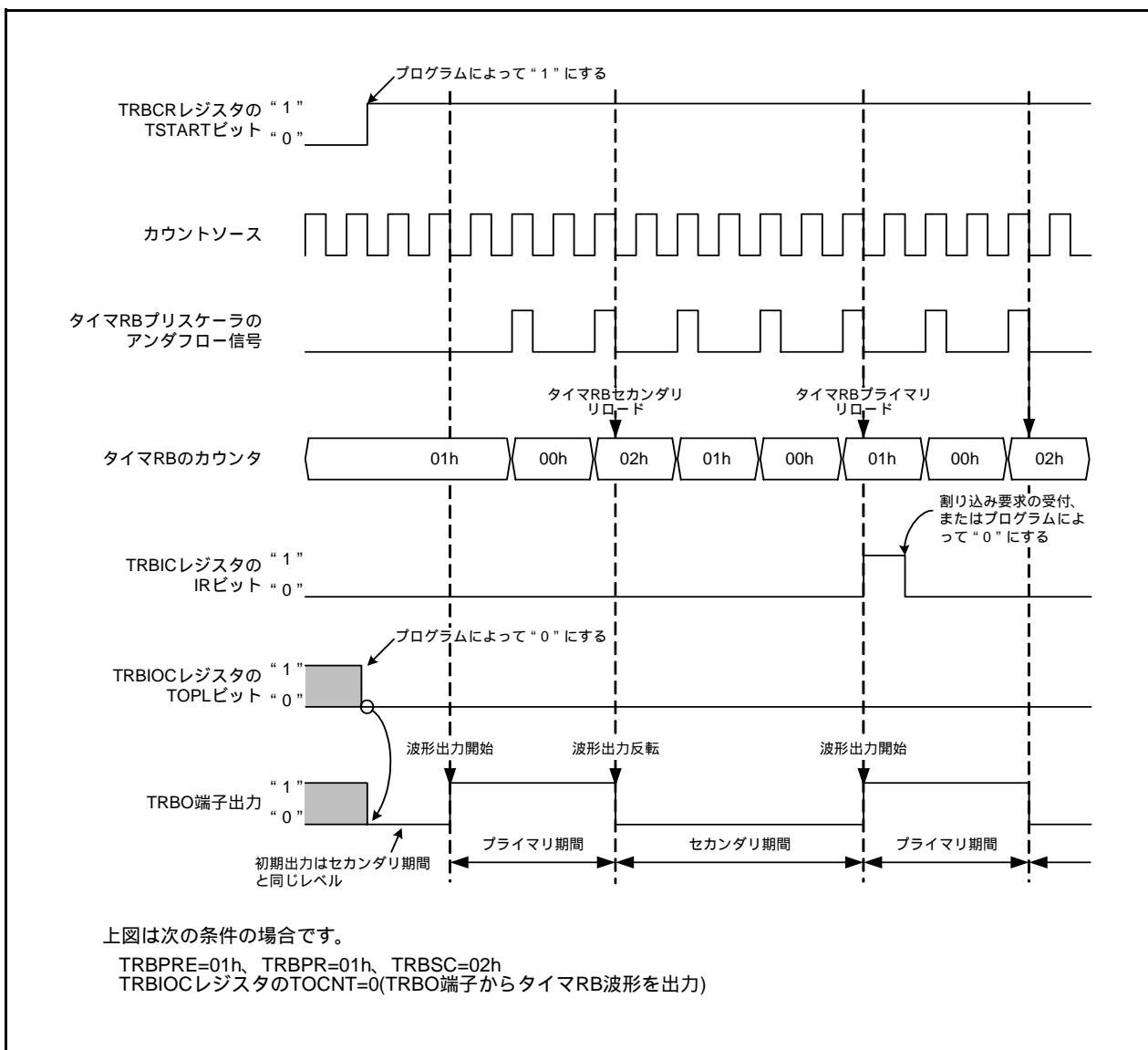


図 14.19 プログラマブル波形発生モード時のタイマRBの動作例

14.2.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ (INT0 端子の入力) により、ワンショットパルスを TRBO 端子から出力するモードです (表14.9)。トリガが発生するとその時点から任意の時間 (TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。

図14.20にプログラマブルワンショット発生モード時のTRBIOCレジスタを、図14.21にプログラマブルワンショット発生モード時の動作例を示します。

表14.9 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・TRBPRレジスタの設定値をダウンカウント ・アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 m : TRBPRレジスタの設定値(注2)
カウント開始条件	<ul style="list-style-type: none"> ・TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生 ・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・INT0端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> ・タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> ・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 ・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「14.2.3.1 ワンショットトリガ選択」参照

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

注2. TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。

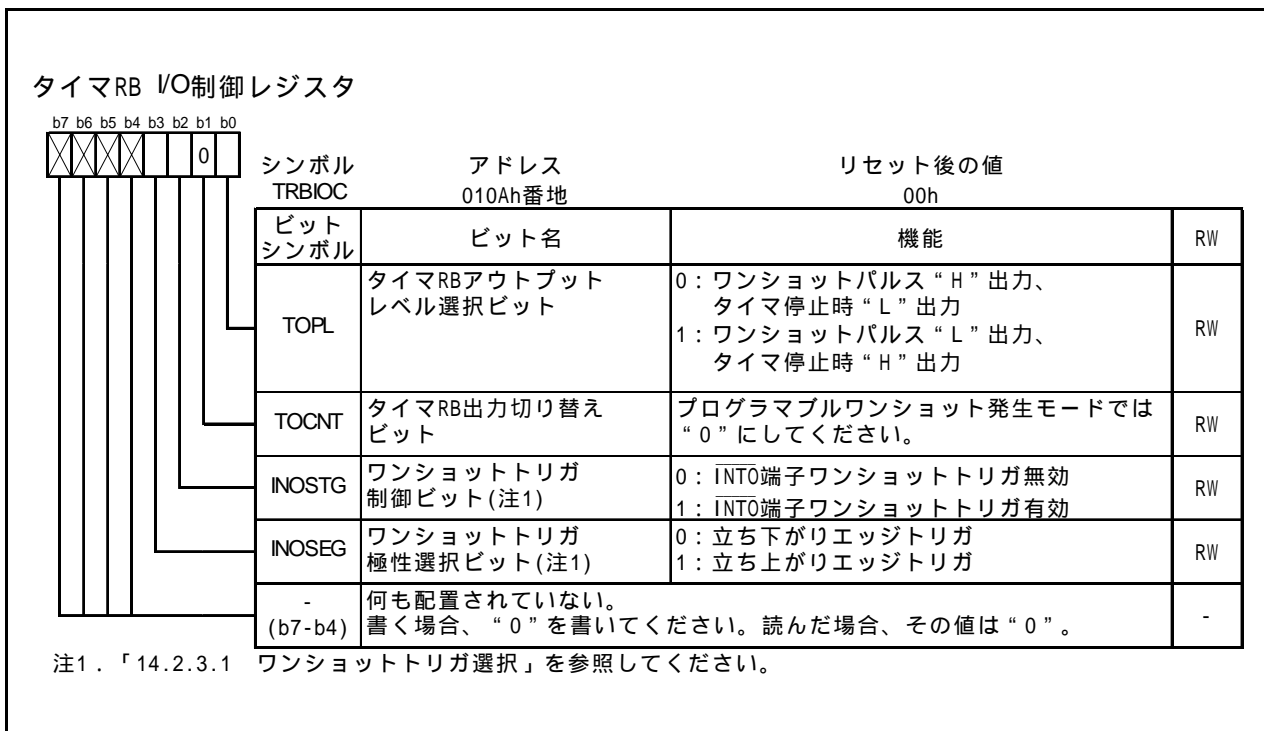


図14.20 プログラマブルワンショット発生モード時のTRBIOCレジスタ

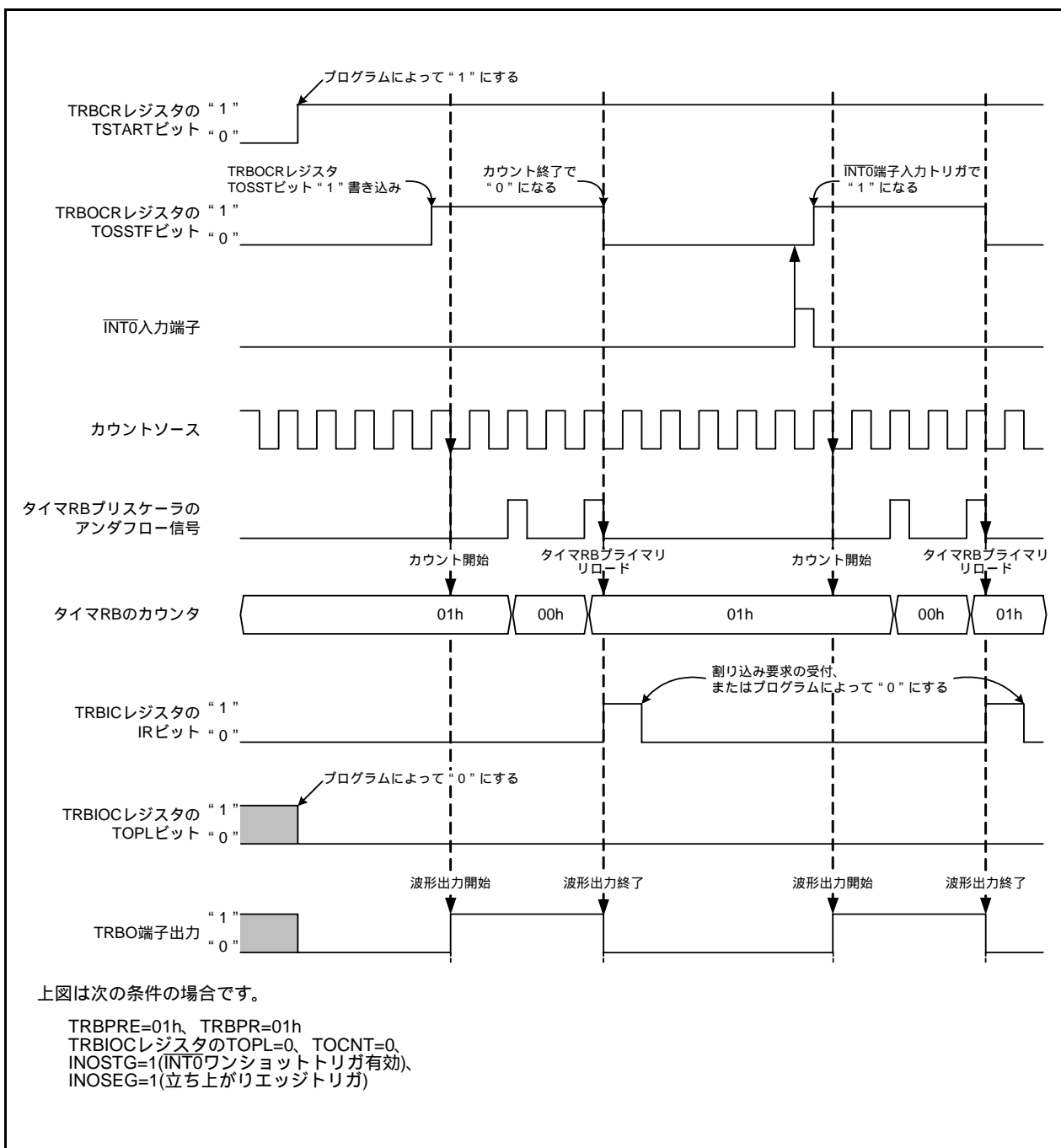


図14.21 プログラマブルワンショット発生モード時の動作例

14.2.3.1 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1~2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT0}}$ 端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4_5ビットを“0”(入力ポート)にする
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“0”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”(INT端子ワンショットトリガ有効)にする

なお、 $\overline{\text{INT0}}$ 端子からのトリガ入力での割り込み要求が発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「12. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットはINT0割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

14.2.4 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ (INT0 端子の入力) から、一定時間後にワンショットパルスを TRBO 端子から出力するモードです (表 14.10)。トリガが発生すると、その時点から任意の時間 (TRBPR レジスタの設定値) 後、一度だけ任意の時間 (TRBSC レジスタの設定値) パルス出力を行います。

図 14.22 にプログラブルウェイトワンショット発生モード時の TRBIOC レジスタを、図 14.23 にプログラブルウェイトワンショット発生モードの動作例を示します。

表 14.10 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマ RA のアンダフロー
カウント動作	<ul style="list-style-type: none"> ・タイマ RB プライマリの設定値をダウンカウント ・タイマ RB プライマリのカウントがアンダフロー時、タイマ RB セカンダリの内容をリロードしてカウントを継続 ・タイマ RB セカンダリのカウントがアンダフロー時、タイマ RB プライマリの内容をリロードしてカウントを終了し、TOSSTF ビットが “0” (ワンショット停止) になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 m : TRBPR レジスタの設定値 (注 2)
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 p : TRBSC レジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> ・TRBCR レジスタの TSTART ビットが “1” (カウント開始) がかつ、次のトリガが発生 ・TRBOCR レジスタの TOSST ビットへの “1” (ワンショット開始) 書き込み ・INT0 端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> ・タイマ RB セカンダリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCR レジスタの TOSSP ビットへの “1” (ワンショット停止) 書き込み ・TRBCR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み ・TRBCR レジスタの TSTOP ビットへの “1” (カウント強制停止) 書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマ RB のアンダフローからカウントソースの 1/2 サイクル後 (TRBO 端子からの波形出力の終了と同時に) [タイマ RB 割り込み]
TRBO 端子機能	パルス出力
INT0 端子機能	<ul style="list-style-type: none"> ・TRBIOC レジスタの INOSTG ビットが “0” (INT0 ワンショットトリガ無効) の場合 プログラブル入出力ポート、または INT0 割り込み入力 ・TRBIOC レジスタの INOSTG ビットが “1” (INT0 ワンショットトリガ有効) の場合 外部トリガ (INT0 割り込み入力)
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる (注 1)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルを TOPL ビットで選択 ・ワンショットトリガ選択機能 「14.2.3.1 ワンショットトリガ選択」参照

注 1. TRBSC レジスタおよび TRBPR レジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

注 2. TRBPRES レジスタと TRBPR レジスタをともに “00h” にしないでください。

タイマRB I/O制御レジスタ

シンボル TRBIOC	アドレス 010Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0: ワンショットパルス“H”出力、 タイマ停止時とウェイト中は“L”出力 1: ワンショットパルス“L”出力、 タイマ停止時とウェイト中は“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	プログラマブルウェイトワンショット発生 モードでは“0”にしてください。	RW
INOSTG	ワンショットトリガ 制御ビット(注1)	0: $\overline{\text{INT0}}$ 端子ワンショットトリガ無効 1: $\overline{\text{INT0}}$ 端子ワンショットトリガ有効	RW
INOSEG	ワンショットトリガ 極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW
- (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 「14.2.3.1 ワンショットトリガ選択」を参照してください。

図14.22 プログラマブルウェイトワンショット発生モード時のTRBIOCレジスタ

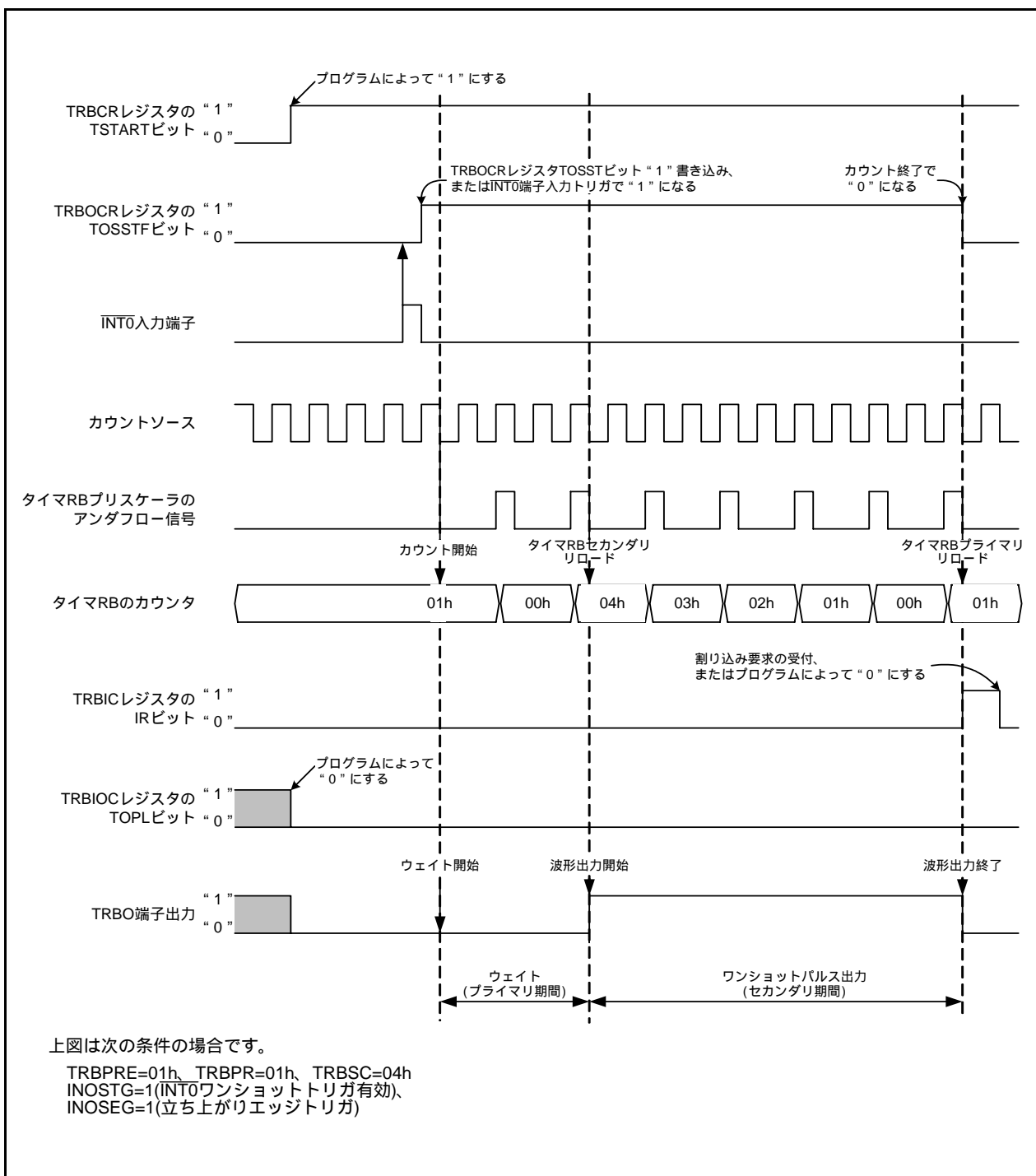


図 14.23 プログラマブルウェイトワンショット発生モードの動作例

14.2.5 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

14.2.5.1 タイマモード

タイマモードでは下記の対策を実施してください。

カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

14.2.5.2 プログラマブル波形発生モード

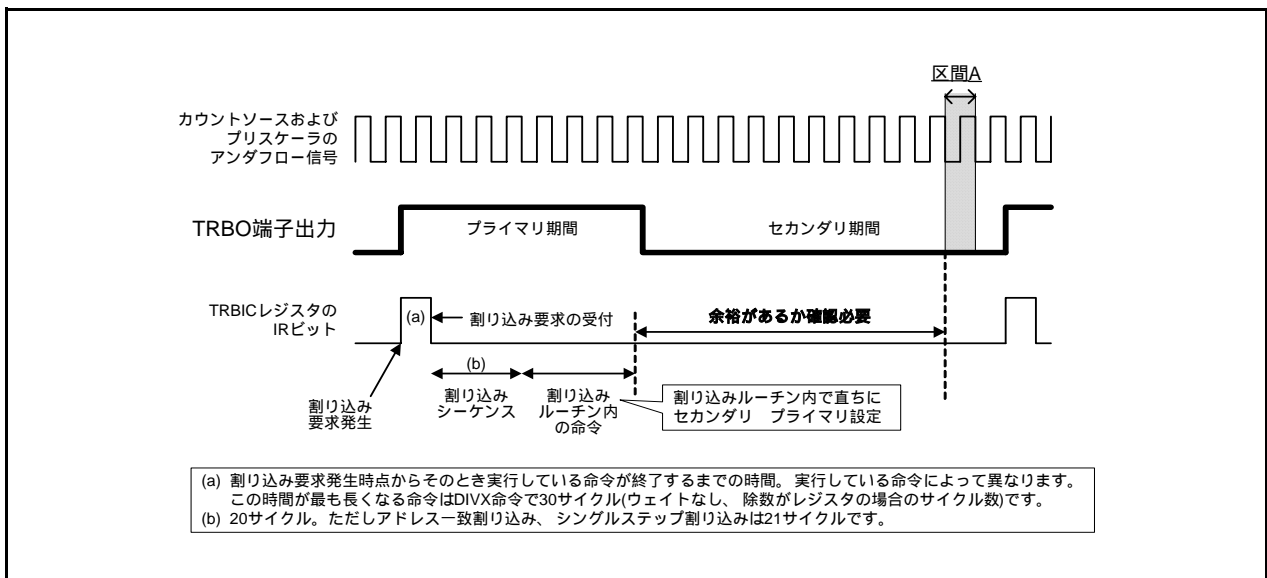
プログラマブル波形発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) カウント中(TCSTFビットが“1”)にTRBSCレジスタ、TRBPRレジスタを変更する場合は、タイマRB割り込み等でTRBO出力周期に対して同期を取り、同一出力周期内で一度だけ行うようにしてください。また、図14.24および図14.25の区間Aで、TRBPRレジスタへの書き込みが発生しないことを確認してください。

対策方法の具体例を下記に示します。

• 対策例(a)

図14.24に示すようにタイマRB割り込みルーチンでTRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。



• 対策例 (b)

図 14.25 に示すように TRBO 端子の出力レベルからプライマリ期間の開始を検出し、プライマリ期間の開始直後に、TRBSC レジスタ、TRBPR レジスタへ書いてください。書き込みは区間 A までは終了させてください。なお、TRBO 端子に対応するポート方向レジスタのビットを “0” (入力モード) に設定し、ポートレジスタのビットの値を読むと、読んだ値は TRBO 端子の出力値になります。

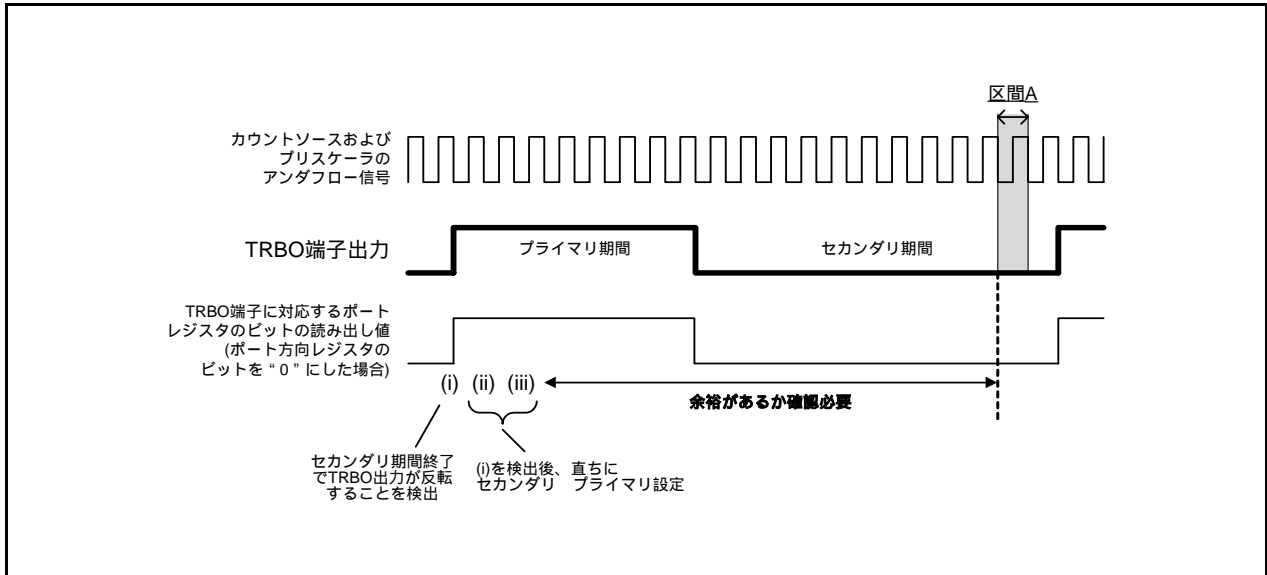


図 14.25 対策例 (b) の TRBO 端子出力値を読む例

- (3) プライマリ期間でタイマカウントを停止させる場合は、TRBCR レジスタの TSTOP ビットを使用してください。この場合、TRBPRES レジスタおよび TRBPR レジスタは初期化され、リセット後の値になります。

14.2.5.3 プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、下記2点の対策を実施してください。

- (1) カウント中 (TCSTF ビットが “1”) に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。
 - TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRES レジスタと TRBPR レジスタをともに “00h” にしないでください。

14.2.5.4 プログラマブルウェイトワンショット発生モード

プログラマブルウェイトワンショット発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。
- (3) TRBSCレジスタ、TRBPRレジスタは以下に示す手順で設定してください。
 - (a) カウント開始条件に「INT0端子ワンショットトリガ」を使用する場合
TRBSCレジスタ TRBPRレジスタの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、INT0端子へ有効トリガを入力してください。
 - (b) カウント開始条件に「TOSSTビットへの“1”書き込み」を使用する場合
TRBSCレジスタ TRBPRレジスタ TOSSTビットの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、TOSSTビットへ書き込んでください。

14.3 タイマRD

タイマRDは、16ビットタイマを2チャンネル(チャンネル0、チャンネル1)持ちます。各チャンネルは4本の入出力端子を持ちます。

タイマRDの動作クロックは、f1またはfOCO40Mです。表14.11にタイマRDの動作クロックを示します。

表14.11 タイマRDの動作クロック

条件	タイマRDの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRDCLK入力 (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M

図14.26にタイマRDのブロック図を示します。タイマRDは5種類のモードを持ちます。

• タイマモード

- インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能
(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、チャンネル0とチャンネル1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、1つのチャンネルの中でこれらの機能とモードを組み合わせる使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、チャンネル0とチャンネル1のカウンタやレジスタを組み合わせる波形を出力します。端子の機能はモードによって決まります。

表14.12～表14.20にタイマRDの端子機能を示します。

表 14.12 TRDIOA0/TRDCLK(P2_0) 端子の機能

レジスタ	TRDOER1	TRDFCR			TRDIORA0		機 能
ビット	EA0	PWM3	STCLK	CMD1, CMD0	IOA3	IOA2 ~ IOA0	
設定値	0	0	0	00b	X	XXXb	PWM3モード波形出力
	0	1	0	00b	1	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	0	00b	X	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
		1	1	XXb	X	000b	外部クロック入力(TRDCLK)(注1)
上記以外							入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)、外部クロック入力(TRDCLK)時はPD2レジスタのPD2_0ビットを“0”(入力モード)にしてください。

表 14.13 TRDIOB0(P2_1)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORA0	機 能
ビット	EB0	PWM3	CMD1, CMD0	PWMB0	IOB2 ~ IOB0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	0	00b	X	XXXb	PWM3モード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外						入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_1ビットを“0”(入力モード)にしてください。

表 14.14 TRDIOC0(P2_2)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC0	機 能
ビット	EC0	PWM3	CMD1, CMD0	PWMC0	IOC2 ~ IOC0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外						入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_2ビットを“0”(入力モード)にしてください。

表 14.15 TRDIOD0(P2_3) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC0	機 能
ビット	ED0	PWM3	CMD1, CMD0	PWMD0	IOD2 ~ IOD0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b、01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外						入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_3ビットを“0”(入力モード)にしてください。

表 14.16 TRDIOA1(P2_4) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDIOA1	機 能
ビット	EA1	PWM3	CMD1, CMD0	IOA2 ~ IOA0	
設定値	0	X	1Xb	XXXb	相補PWMモード波形出力
	0	X	01b	XXXb	リセット同期PWMモード波形出力
	0	1	00b	001b、01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外					入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_4ビットを“0”(入力モード)にしてください。

表 14.17 TRDIOB1(P2_5) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIOA1	機 能
ビット	EB1	PWM3	CMD1, CMD0	PWMB1	IOB2 ~ IOB0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b、01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外						入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_5ビットを“0”(入力モード)にしてください。

表 14.18 TRDIOC1(P2_6) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC1	機 能
ビット	EC1	PWM3	CMD1, CMD0	PWMC1	IOC2 ~ IOC0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b、01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
	上記以外					入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_6ビットを“0”(入力モード)にしてください。

表 14.19 TRDIOD1(P2_7) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC1	機 能
ビット	ED1	PWM3	CMD1, CMD0	PWMD1	IOD2 ~ IOD0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b、01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
	上記以外					入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_7ビットを“0”(入力モード)にしてください。

表 14.20 INT0(P4_5) 端子の機能

レジスタ	TRDOER2	INTEN		PD4	機 能
ビット	PTO	INT0PL	INT0EN	PD4_5	
設定値	1	0	1	0	パルス出力強制遮断信号入力
	上記以外				入出力ポートまたはINT0割り込み入力

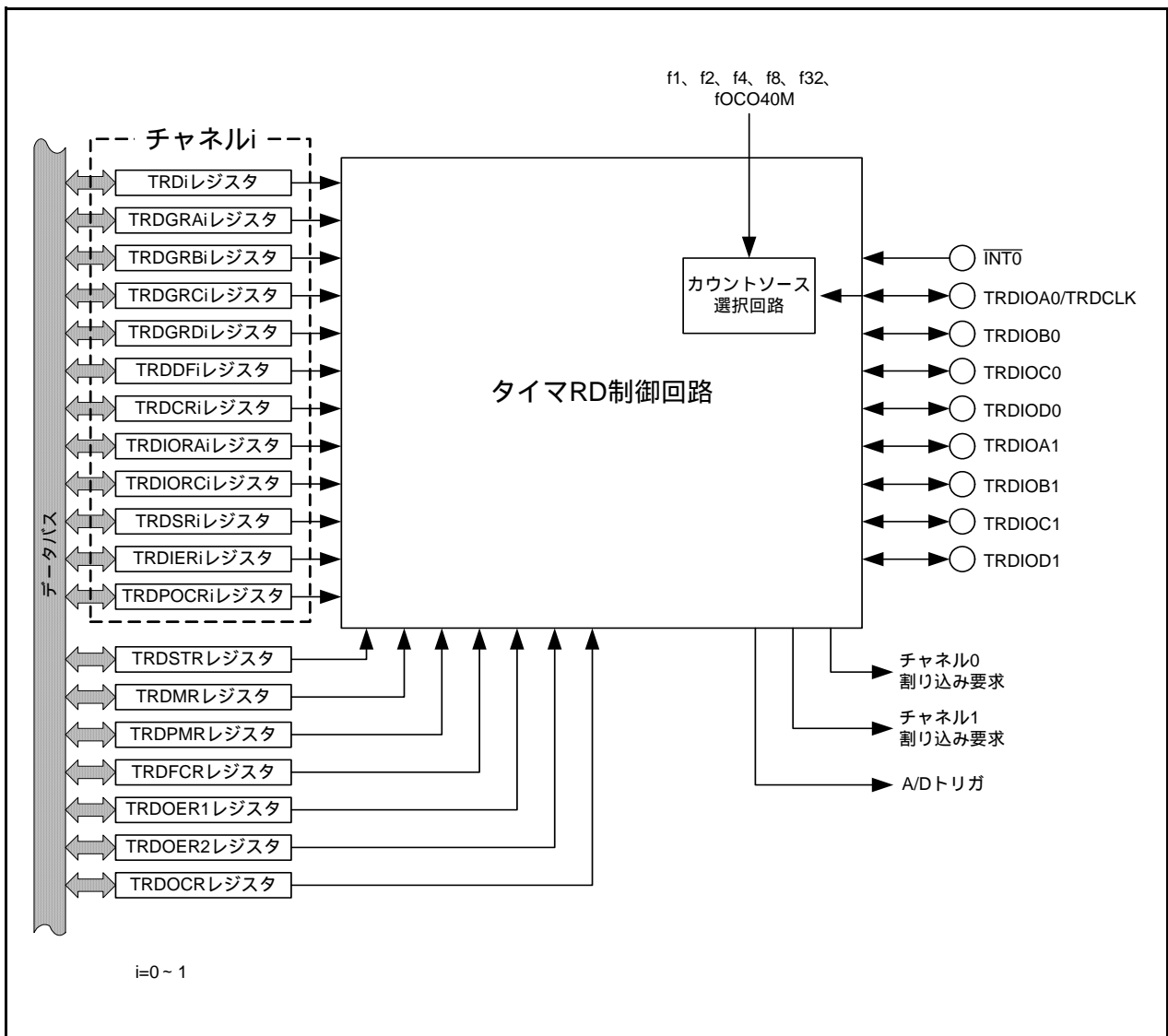


図 14.26 タイマRDのブロック図

14.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3モードでは外部クロックは選択できません。

表14.21 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCRiレジスタのTCK2 ~ TCK0ビットでカウントソース選択
fOCO40M(注1)	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRDCRiレジスタのTCK2 ~ TCK0ビットが“110b”(fOCO40M)
TRDCLK端子に入力された外部信号	TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効) TRDCRiレジスタのTCK2 ~ TCK0ビットが“101b”(カウントソースは外部クロック) TRDCRiレジスタのCKEG1 ~ CKEG0ビットで有効エッジを選択 PD2レジスタのPD2_0ビットが“0”(入力モード)

i=0 ~ 1

注1. カウントソースfOCO40Mは、V_{CC}=3.0 ~ 5.5Vの範囲で使用することができます。

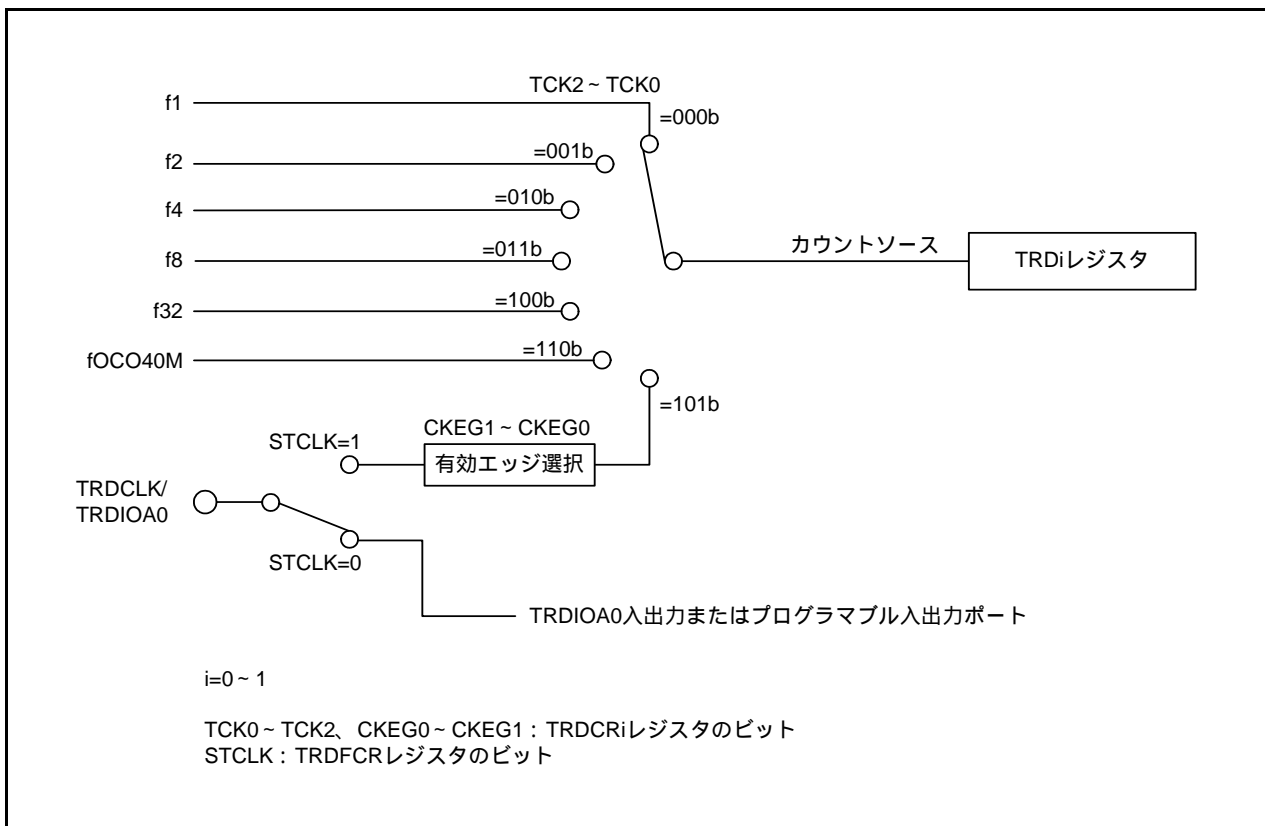


図14.27 カウントソースのブロック図

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック（「表14.11 タイマRDの動作クロック」参照）の3サイクル以上にしてください。

カウントソースにfOCO40Mを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRDCRiレジスタ(i=0 ~ 1)のTCK2 ~ TCK0ビットを“110b”(fOCO40M)にしてください。

14.3.2 バッファ動作

TRDMR レジスタのBFCi(i=0 ~ 1) ビット、BFDi ビットで、TRDGRCi、TRDGRDi レジスタをTRDGRAi、TRDGRBi レジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ：TRDGRCiレジスタ
- TRDGRBiのバッファレジスタ：TRDGRDiレジスタ

バッファ動作は、モードによって違います。表14.22に各モードのバッファ動作を示します。

図14.28にインプットキャプチャ機能のバッファ動作を、図14.29にアウトプットコンペア機能のバッファ動作を示します。

表14.22 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRAi(TRDGRBi) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能 PWMモード	TRDiレジスタと TRDGRAi(TRDGRBi) レジスタの コンペア一致	バッファレジスタの内容を TRDGRAi(TRDGRBi) レジスタに転送
リセット同期PWMモード	TRD0レジスタとTRDGRA0レジ スタのコンペア一致	バッファレジスタの内容を TRDGRAi(TRDGRBi) レジスタに転送
相補PWMモード	<ul style="list-style-type: none"> •TRD0レジスタとTRDGRA0レ ジスタのコンペア一致 •TRD1レジスタアンダフロー 	バッファレジスタの内容を TRDGRB0、TRDGRA1、TRDGRB1 レジスタに転送
PWM3モード	TRD0レジスタとTRDGRA0レジ スタのコンペア一致	バッファレジスタの内容を TRDGRA0、TRDGRB0、TRDGRA1、 TRDGRB1 レジスタに転送

i=0 ~ 1

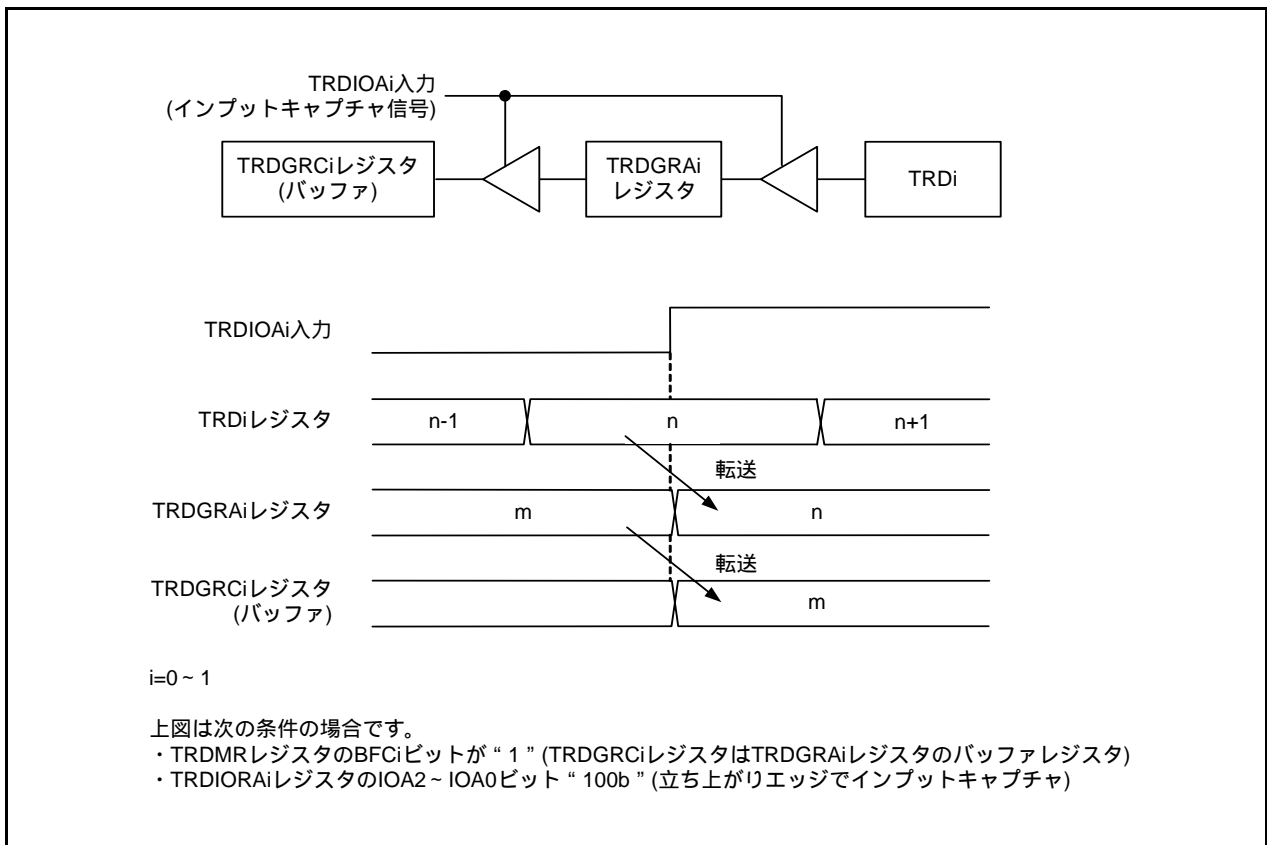


図14.28 インプットキャプチャ機能のバッファ動作

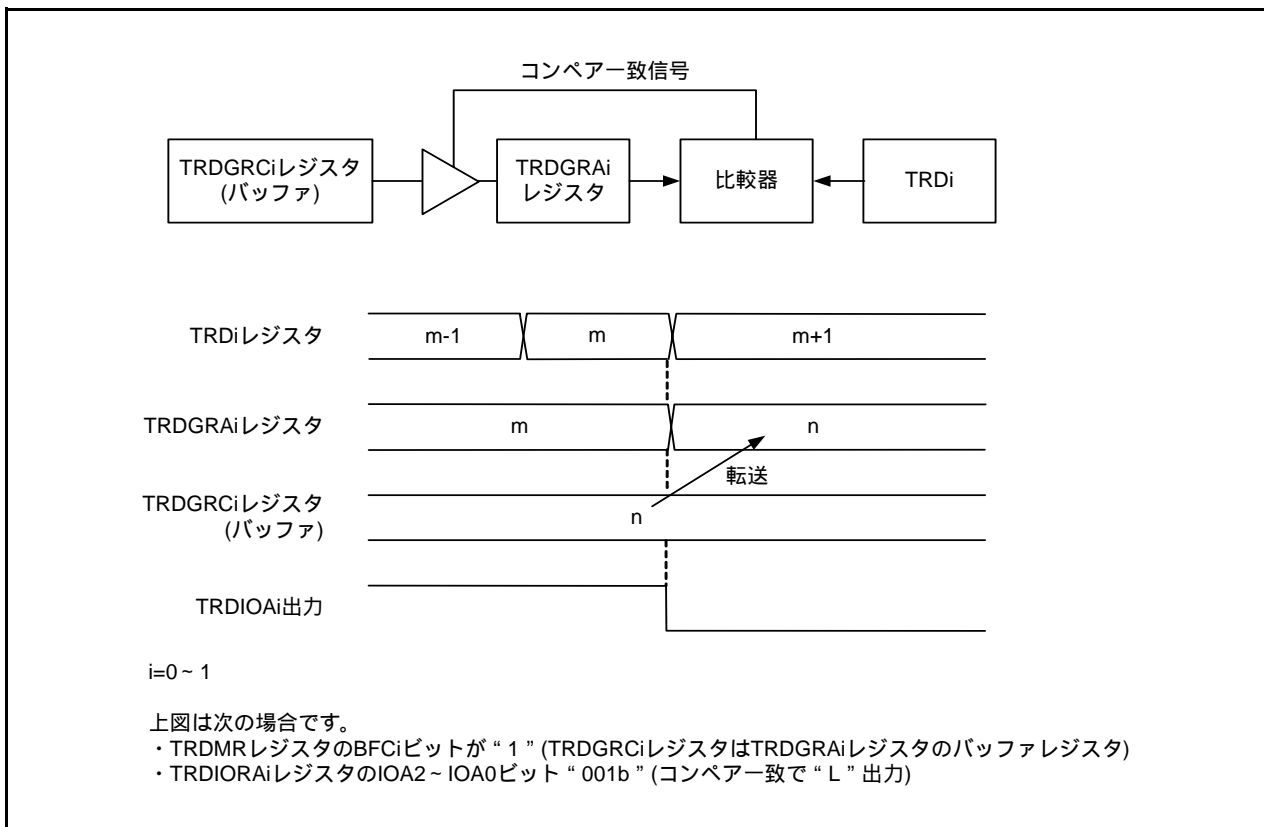


図14.29 アウトプットコンペアー機能のバッファ動作

タイマモード(インプットキャプチャ機能、アウトプットコンペアー機能)では次のようにしてください。

TRDGRCi(i=0~1)レジスタをTRDGRAiレジスタのバッファレジスタに使用する場合

- ・TRDIORCiレジスタのIOC3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- ・TRDIORCiレジスタのIOC2ビットは、TRDIORAiレジスタのIOA2ビットと同じ設定にしてください。

TRDGRDiレジスタをTRDGRBiレジスタのバッファレジスタに使用する場合

- ・TRDIORDiレジスタのIOD3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- ・TRDIORCiレジスタのIOD2ビットは、TRDIORAiレジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDIOCi端子の入力エッジでTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

アウトプットコンペアー機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードでは、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDiレジスタとのコンペアー致でTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

14.3.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット

TRDMRレジスタのSYNCビットが“1”(同期動作)の場合、TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれます。

- 同期クリア

TRDMRレジスタのSYNCビットが“1”で、かつTRDCR0レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD0レジスタはTRD1レジスタが“0000h”になるとき、同時に“0000h”になります。

同様に、TRDMRレジスタのSYNCビットが“1”で、かつTRDCR1レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD1レジスタはTRD0レジスタが“0000h”になるとき、同時に“0000h”になります。

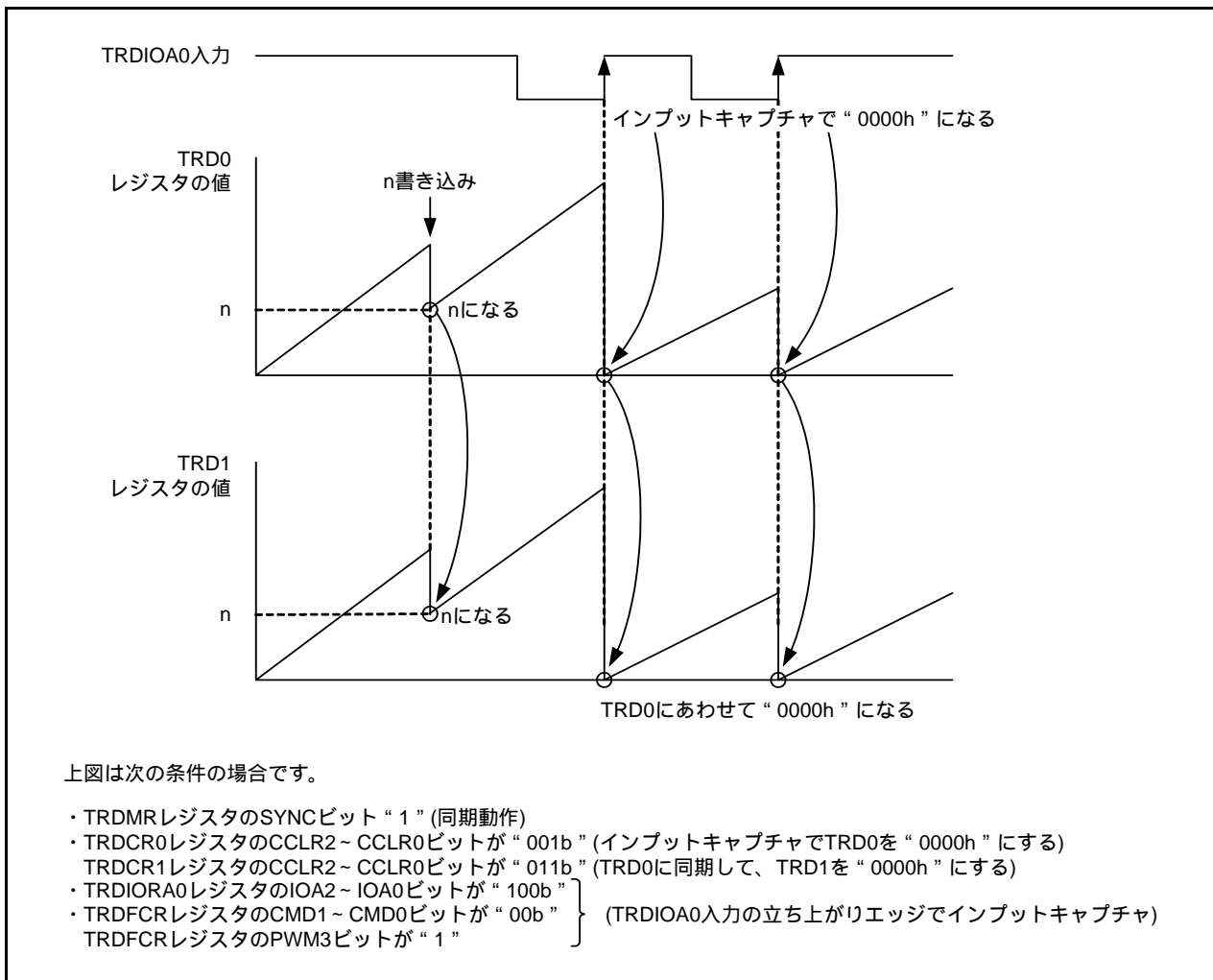


図14.30 同期動作

14.3.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRDIO $_{ji}$ ($i=0 \sim 1$ 、 $j=A, B, C, D$ のいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを“0”(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(タイマRD出力禁止、TRDIO $_{ji}$ 出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRDの動作クロック(「表14.11 タイマRDの動作クロック」参照)の1~2サイクル後にTRDIO $_{ji}$ 出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、“L”出力、または“H”出力)をP2レジスタとPD2レジスタで設定。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- $\overline{\text{INT0}}$ のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで設定。
- TRDOER2レジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変化に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります。

割り込みの詳細は、「12. 割り込み」を参照してください。

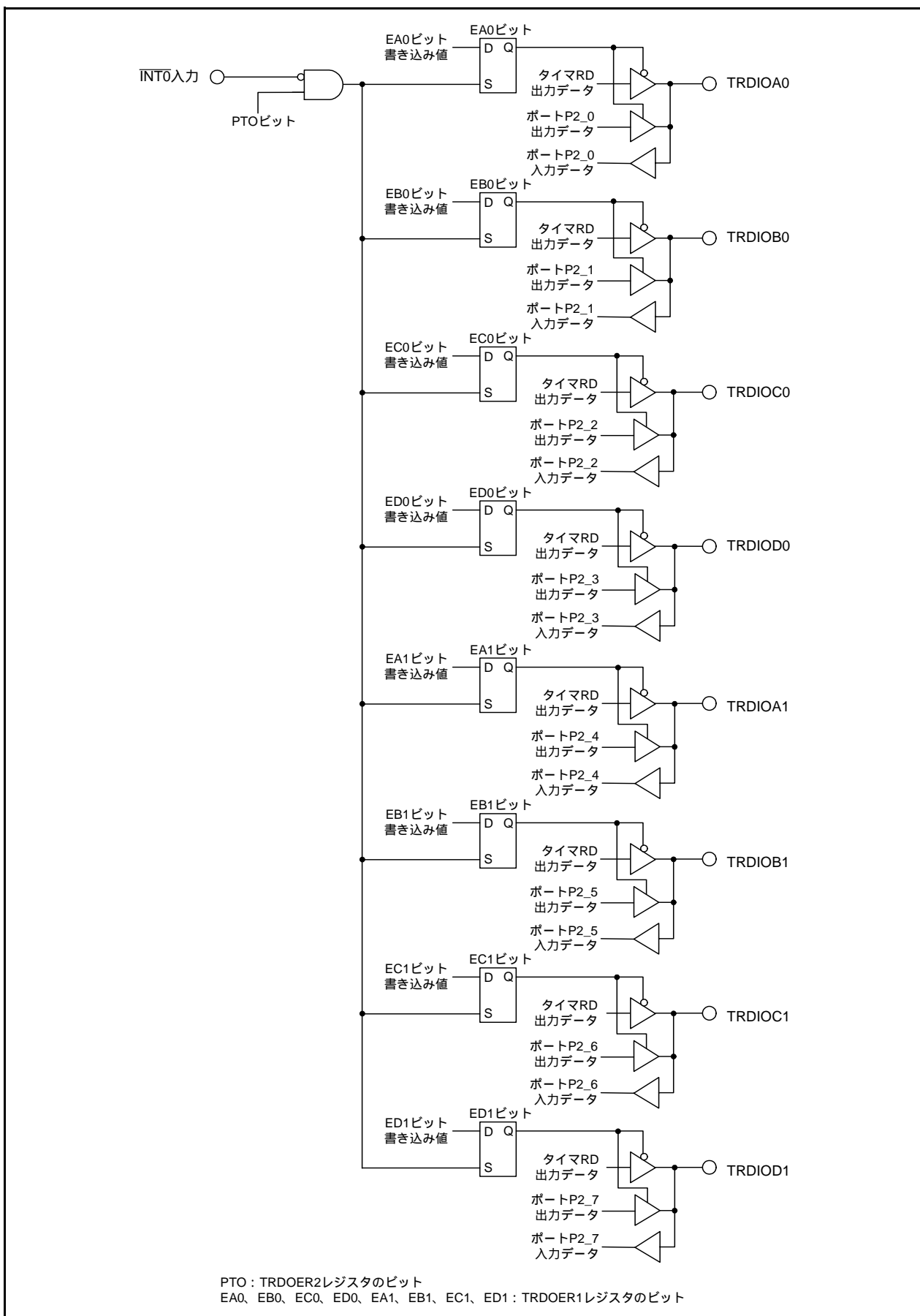


図 14.31 パルス出力強制遮断

14.3.5 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO_{ji}($i=0 \sim 1$, $j=A, B, C, D$ のいずれか)端子の外部信号をトリガにしてTRD_iレジスタ(カウンタ)の内容をTRDGR_{ji}レジスタに転送します(インพุットキャプチャ)。TRDIO_{ji}端子とTRDGR_{ji}レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインพุットキャプチャのトリガ入力として選択できます。

図14.32にインพุットキャプチャ機能のブロック図を、表14.23にインพุットキャプチャ機能の仕様を、図14.33～図14.43にインพุットキャプチャ機能関連レジスタを、図14.44にインพุットキャプチャ機能の動作例を示します。

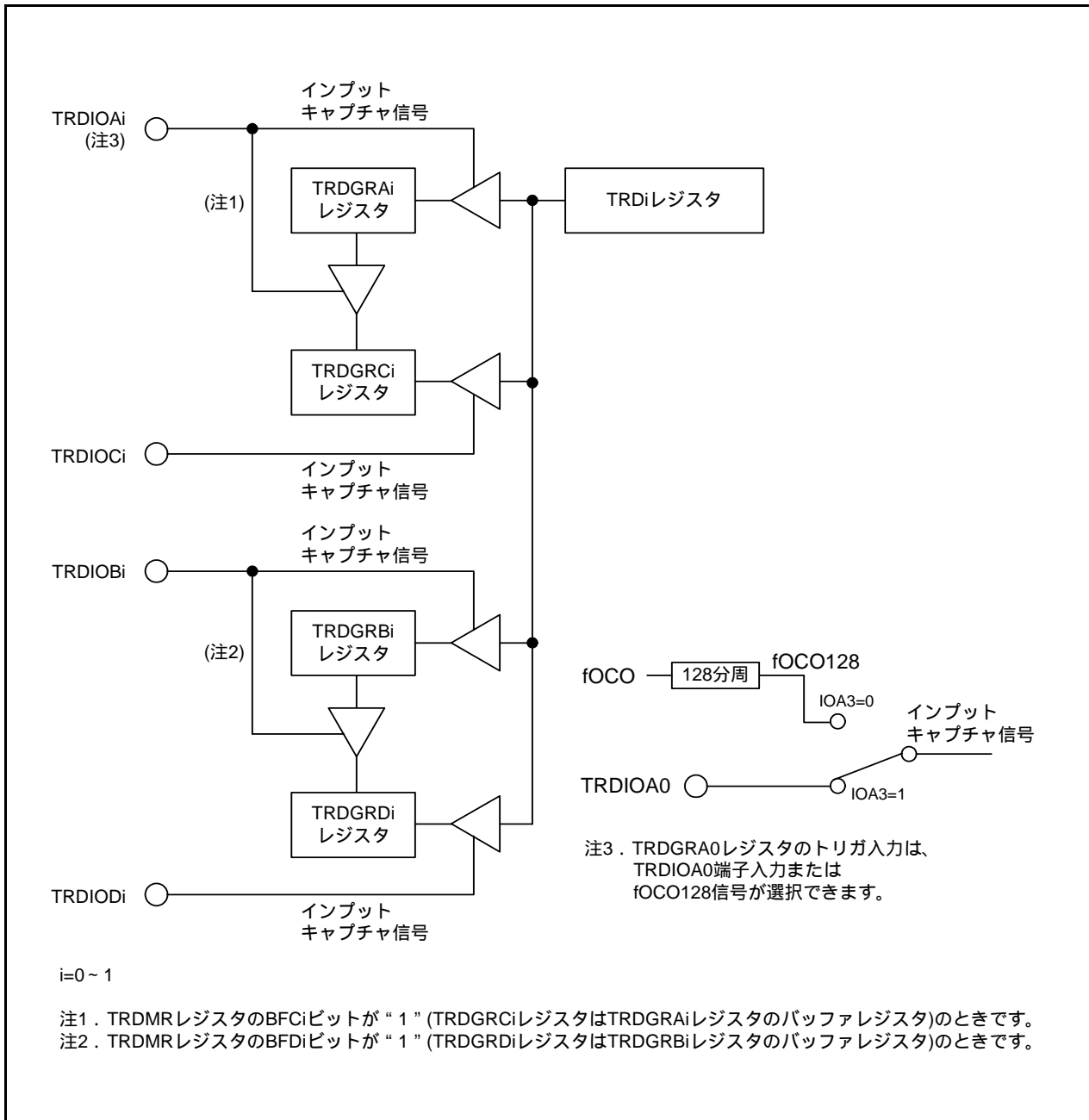


図14.32 インพุットキャプチャ機能のブロック図

表14.23 インットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • インットキャプチャ (TRDIOji入力の有効エッジ、またはfOCO128信号のエッジ) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、インットキャプチャ入力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはインットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • TRDMRレジスタのSYNCビットが“0”(チャンネル0とチャンネル1は独立動作)の場合 TRDiレジスタに書き込める。 • TRDMRレジスタのSYNCビットが“1”(チャンネル0とチャンネル1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> • インットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • インットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • TRDiを“0000h”にするタイミング オーバフロー、またはインットキャプチャ時 • バッファ動作(「14.3.2 バッファ動作」参照) • 同期動作(「14.3.3 同期動作」参照) • デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす • インットキャプチャトリガ選択 TRDGRA0レジスタのインットキャプチャトリガ入力にfOCO128を選択できる

i=0 ~ 1、j=A、B、C、Dのいずれか

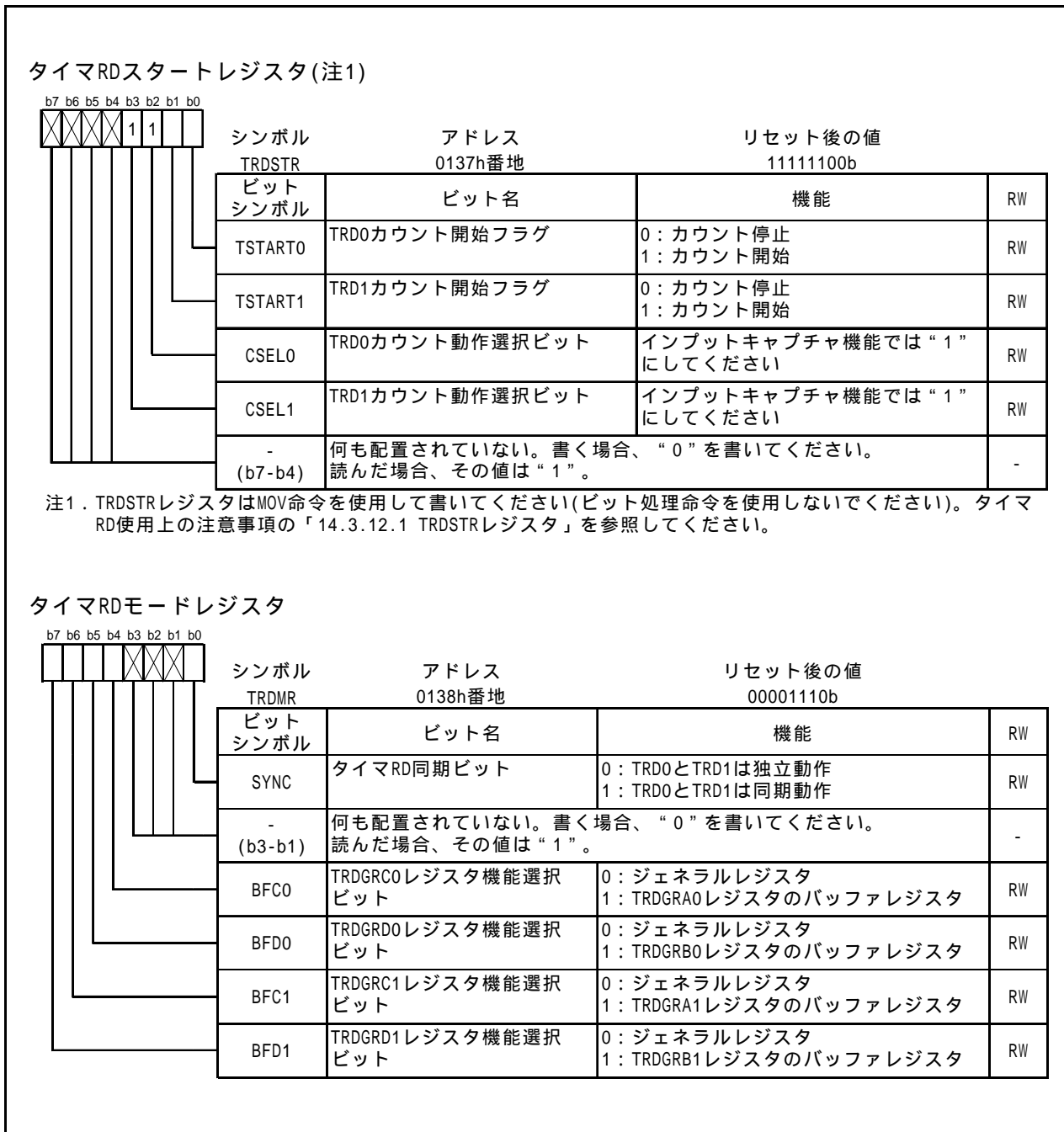


図14.33 インプットキャプチャ機能時のTRDSTR、TRDMRレジスタ

タイマRD PWMモードレジスタ

シンボル TRDPMR	アドレス 0139h番地	リセット後の値 10001000b	
ビット シンボル	ビット名	機能	RW
PWMB0	TRDIOB0 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
PWMC0	TRDIOC0 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
PWMD0	TRDIOD0 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
- (b3)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"1"。		-
PWMB1	TRDIOB1 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
PWMC1	TRDIOC1 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
PWMD1	TRDIOD1 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
- (b7)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"1"。		-

図14.34 インプットキャプチャ機能時のTRDPMRレジスタ

タイマRD機能制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0
1 0 0

シンボル アドレス リセット後の値
TRDFCR 013Ah番地 1000000b

ビット シンボル	ビット名	機能	RW
CMD0	コンビネーションモード選択 ビット (注1)	インプットキャプチャ機能では "00b" (タイマモード・PWMモード・ PWM3モード)にしてください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	インプットキャプチャ機能では無効 です。	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	インプットキャプチャ機能では無効 です。	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	インプットキャプチャ機能では無効 です。	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	インプットキャプチャ機能では無効 です。	RW
STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット (注2)	インプットキャプチャ機能では "1" (PWM3モード以外)にして ください。	RW

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに"0" (カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが"00b" (タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図14.35 インプットキャプチャ機能時のTRDFCRのレジスタ

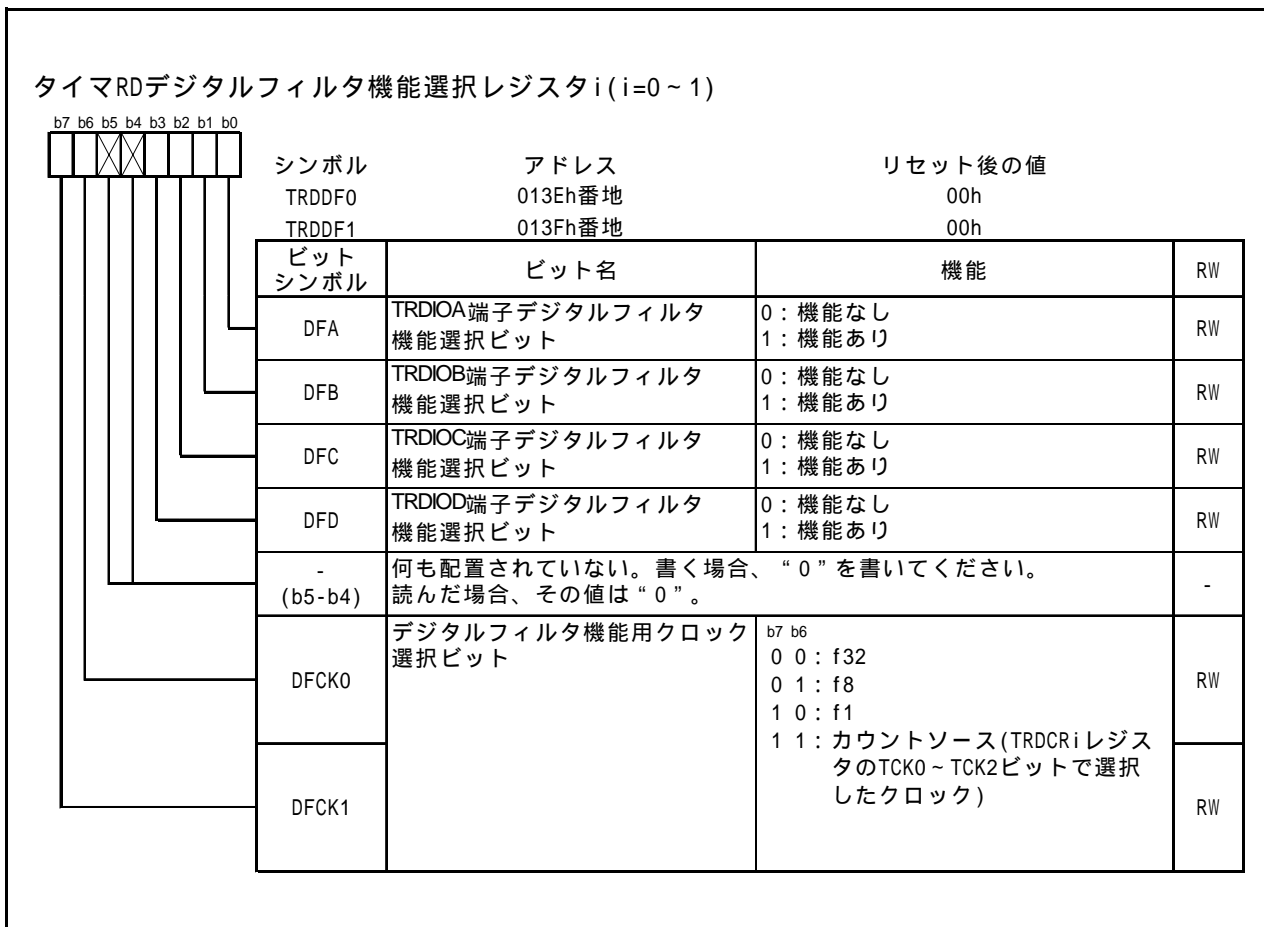


図14.36 インพุットキャプチャ機能時のTRDDF0~TRDDF1レジスタ

タイマRD制御レジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDCR0	0140h番地	00h
TRDCR1	0150h番地	00h

ビットシンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0	RW
		0 0 0 : f1	
		0 0 1 : f2	
TCK1		0 1 0 : f4	RW
		0 1 1 : f8	
TCK2		1 0 0 : f32	RW
		1 0 1 : TRDCLK入力(注1)	
		1 1 0 : fOCO40M	
CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3	RW
		0 0 : 立ち上がりエッジでカウント	
CKEG1		0 1 : 立ち下がりエッジでカウント	RW
		1 0 : 両エッジでカウント	
CCLR0	TRD <i>i</i> カウンタクリア選択ビット	b7 b6 b5	RW
		0 0 0 : クリア禁止(フリーランニング動作)	
		0 0 1 : TRDGRA <i>i</i> のインプットキャプチャでクリア	
CCLR1		0 1 0 : TRDGRB <i>i</i> のインプットキャプチャでクリア	RW
		0 1 1 : 同期クリア(他のチャンネルのカウントと同時にクリア)(注3)	
CCLR2		1 0 0 : 設定しないでください	RW
		1 0 1 : TRDGR <i>Ci</i> のインプットキャプチャでクリア	
		1 1 0 : TRDGRD <i>i</i> のインプットキャプチャでクリア	
		1 1 1 : 設定しないでください	RW

注1 . TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2 . TCK2~TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注3 . TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

図14.37 インプットキャプチャ機能時のTRDCR0~TRDCR1レジスタ

タイマRD I/O制御レジスタAi (i=0~1)

シンボル	アドレス	リセット後の値
TRDIORA0	0141h番地	10001000b
TRDIORA1	0151h番地	10001000b

ビットシンボル	ビット名	機能	RW
IOA0	TRDGRA制御ビット	b1 b0 0 0: 立ち上がりエッジでTRDGRAiへ インプットキャプチャ	RW
		0 1: 立ち下がりエッジでTRDGRAiへ インプットキャプチャ	
IOA1		1 0: 両エッジでTRDGRAiへインプット キャプチャ 1 1: 設定しないでください	RW
IOA2	TRDGRAモード選択ビット(注1)	インプットキャプチャ機能では“1” (インプットキャプチャ)にしてください	RW
IOA3	インプットキャプチャ入力 切替ビット(注3,4)	0: fOCO128信号 1: TRDIOA0端子入力	RW
IOB0	TRDGRB制御ビット	b5 b4 0 0: 立ち上がりエッジでTRDGRBiへ インプットキャプチャ	RW
		0 1: 立ち下がりエッジでTRDGRBiへ インプットキャプチャ	
IOB1		1 0: 両エッジでTRDGRBiへインプット キャプチャ 1 1: 設定しないでください	RW
IOB2	TRDGRBモード選択ビット(注2)	インプットキャプチャ機能では“1” (インプットキャプチャ)にしてください	RW
-(b7)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。	-

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのパッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのパッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDIORA0レジスタのみ有効です。TRDIORA1レジスタは、“1”にしてください。

注4. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

図14.38 インプットキャプチャ機能時のTRDIORA0 ~ TRDIORA1レジスタ

タイマRD I/O制御レジスタCi (i=0~1)

ビット シンボル	ビット名	機能	RW
IOC0	TRDGRC制御ビット	b1 b0 0 0: 立ち上がりエッジでTRDGRCiへ インプットキャプチャ 0 1: 立ち下がりエッジでTRDGRCiへ インプットキャプチャ 1 0: 両エッジでTRDGRCiへインプット キャプチャ 1 1: 設定しないでください	RW
IOC1			RW
IOC2	TRDGRCモード選択ビット(注1)	インプットキャプチャ機能では“1” (インプットキャプチャ)にしてください	RW
IOC3	TRDGRCレジスタ機能選択 ビット	インプットキャプチャ機能では “1”(ジェネラルレジスタまたは バッファレジスタ)にしてください	RW
IOD0	TRDGRD制御ビット	b5 b4 0 0: 立ち上がりエッジでTRDGRDiへ インプットキャプチャ 0 1: 立ち下がりエッジでTRDGRDiへ インプットキャプチャ 1 0: 両エッジでTRDGRDiへインプット キャプチャ 1 1: 設定しないでください	RW
IOD1			RW
IOD2	TRDGRDモード選択ビット(注2)	インプットキャプチャ機能では“1” (インプットキャプチャ)にしてください	RW
IOD3	TRDGRDレジスタ機能選択 ビット	インプットキャプチャ機能では “1”(ジェネラルレジスタまたは バッファレジスタ)にしてください	RW

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

図 14.39 インプットキャプチャ機能時のTRDIORC0 ~ TRDIORC1レジスタ

タイマRDステータスレジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDSR0レジスタ: TRDIORA0レジスタのIOA3ビットが “0”(fOCO128信号)の場合、 fOCO128信号のエッジ TRDIORA0レジスタのIOA3ビットが “1”(TRDIOA0入力)の場合、 TRDIOA0端子の入力エッジ(注3) TRDSR1レジスタ: TRDIOA1端子の入力エッジ(注3)	RW
IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDIOBi端子の入力エッジ(注3)	RW
IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDIOCi端子の入力エッジ(注4)	RW
IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDIODi端子の入力エッジ(注4)	RW
OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	インプットキャプチャ機能では無効です。	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDIORA*i*レジスタのIOj1~IOj0ビット(j=AまたはB)で選択したエッジ。

注4. TRDIORCiレジスタのIOk1~IOk0ビット(k=CまたはD)で選択したエッジ。
TRDMRレジスタのBFkiビットが“1”(TRDGRkiはバッファレジスタ)の場合を含む。

図14.40 インプットキャプチャ機能時のTRDSR0~TRDSR1レジスタ

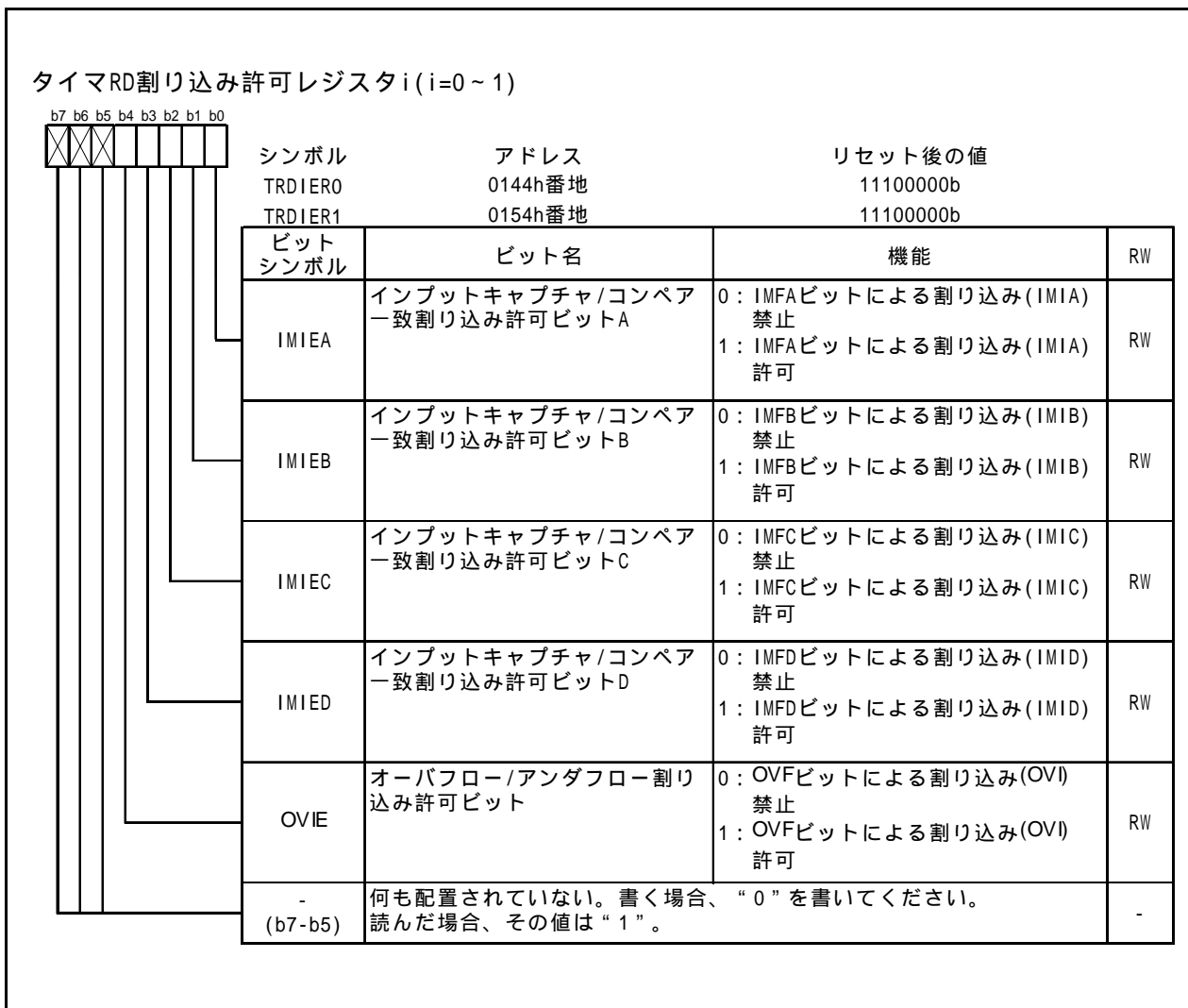


図14.41 インプットキャプチャ機能時のTRDIER0~TRDIER1レジスタ

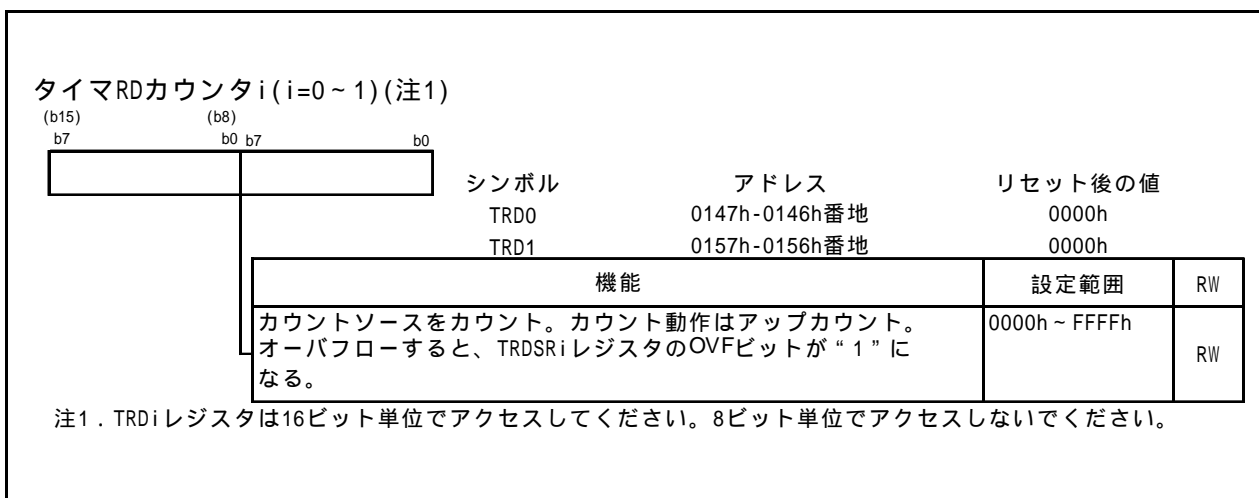


図14.42 インプットキャプチャ機能時のTRD0~TRD1レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di(i=0~1)(注1)

(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TRDGRA0	0149h-0148h番地	FFFFh
		TRDGRB0	014Bh-014Ah番地	FFFFh
		TRDGRC0	014Dh-014Ch番地	FFFFh
		TRDGRD0	014Fh-014Eh番地	FFFFh
		TRDGRA1	0159h-0158h番地	FFFFh
		TRDGRB1	015Bh-015Ah番地	FFFFh
		TRDGRC1	015Dh-015Ch番地	FFFFh
		TRDGRD1	015Fh-015Eh番地	FFFFh
機能				RW
「表14.24 インพุットキャプチャ機能時のTRDGRjiレジスタの機能」参照。				RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図14.43 インพุットキャプチャ機能時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

インพุットキャプチャ機能では、次のレジスタは無効です。
TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表14.24 インพุットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インพุットキャプチャ入力端子
TRDGRAi	-	ジェネラルレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます(「14.3.2 バッファ動作」参照)。	TRDIOAi
TRDGRDi	BFDi=1		TRDIOBi

i=0~1、j=A、B、C、Dのいずれか

BFCi、BFDi : TRDMRレジスタのビット

TRDIOji端子に入力するインพุットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが“0”)の場合、タイマRDの動作クロック(「表14.11 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

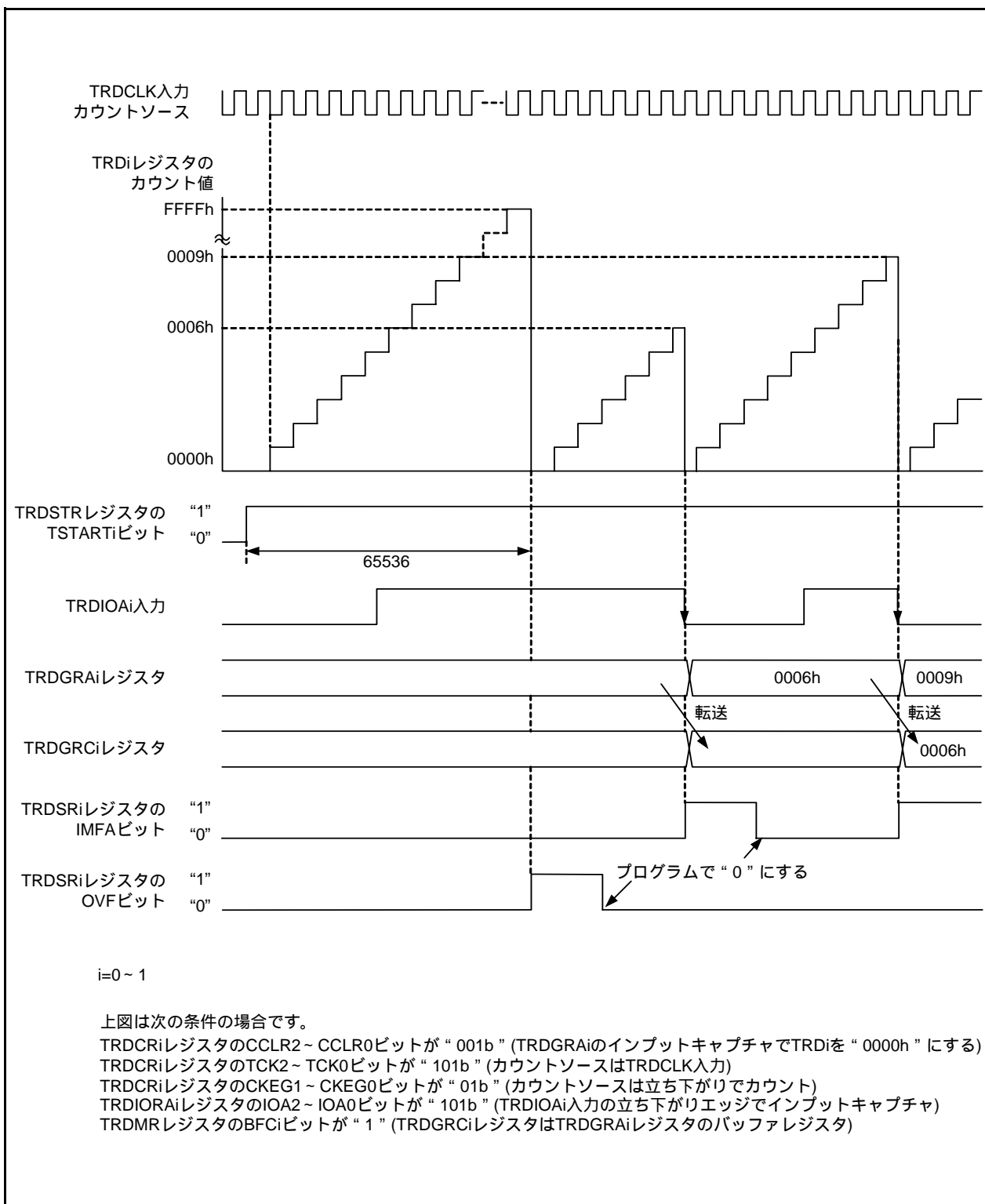


図 14.44 インプットキャプチャ機能の動作例

14.3.5.1 デジタルフィルタ

TRDIOj*i*(*i*=0 ~ 1、*j*=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

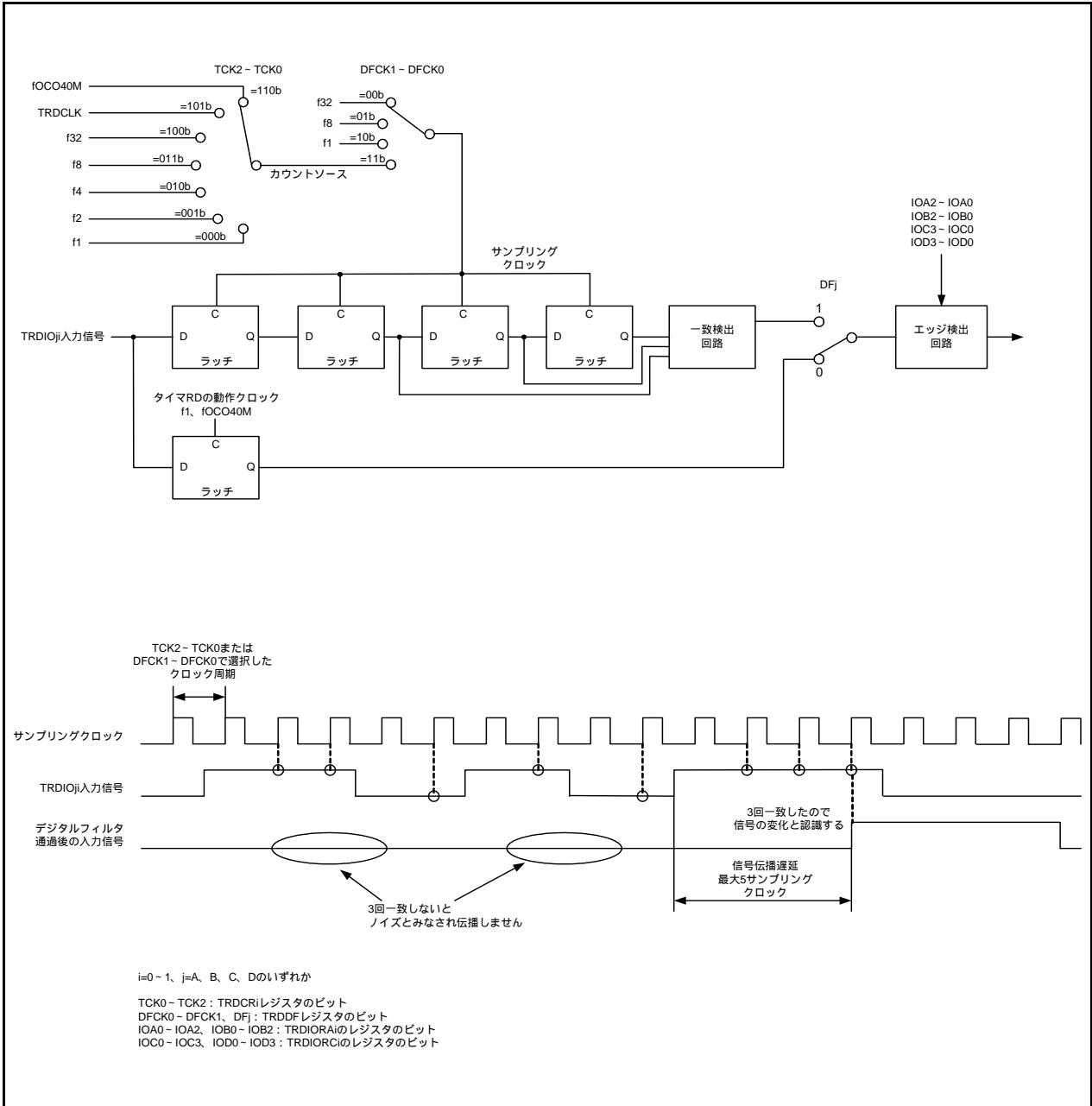


図14.45 デジタルフィルタのブロック図

14.3.6 アウトプットコンペア機能

TRDi(i=0~1)レジスタ(カウンタ)の内容と、TRDGRji(j=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRDIOji端子から任意のレベルを出力します。TRDIOji端子とTRDGRjiレジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図14.46にアウトプットコンペア機能のブロック図を、表14.25にアウトプットコンペア機能の仕様を、図14.47~図14.58にアウトプットコンペア機能関連レジスタを、図14.59にアウトプットコンペア機能の動作例を示します。

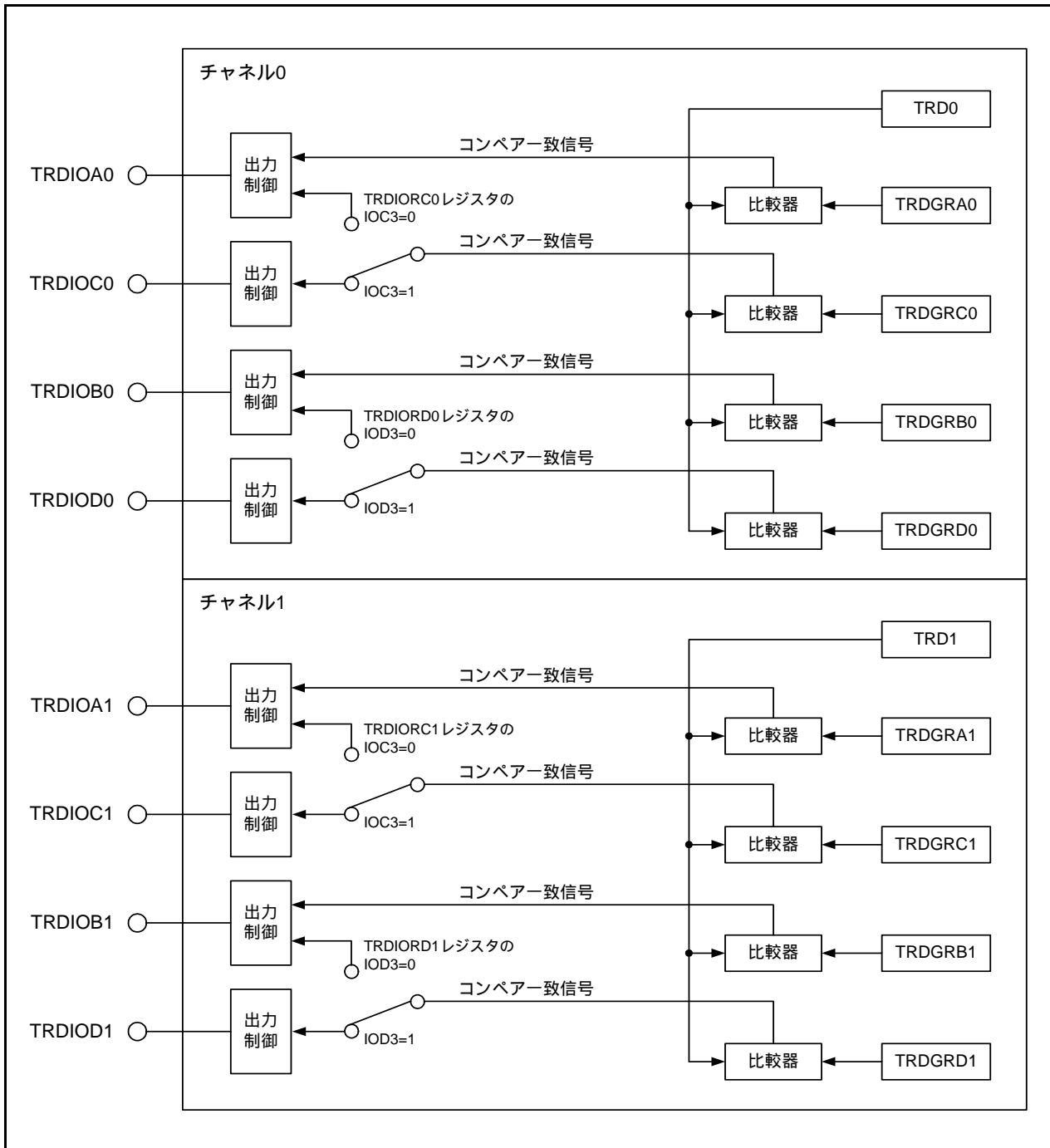


図14.46 アウトプットコンペア機能のブロック図

表14.25 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRDCRiレジスタのCCLR1 ~ CCLR0ビットが“01b”、“10b”(TRDGRjiのコンペア一致でTRDiを“0000h”にする)の場合 カウントソースの周期 $\times (n+1)$ n: TRDGRjiレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • TRDMRレジスタのSYNCビットが“0”(チャンネル0とチャンネル1は独立動作)の場合 TRDiレジスタに書き込める • TRDMRレジスタのSYNCビットが“1”(チャンネル0とチャンネル1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRDiを“0000h”にするタイミング オーバフロー、またはTRDGRAiレジスタのコンペア一致 • バッファ動作(「14.3.2 バッファ動作」参照) • 同期動作(「14.3.3 同期動作」参照) • TRDGRCi、TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用できる • パルス出力強制遮断信号入力(「14.3.4 パルス出力強制遮断」参照) • タイマRDは出力しないことで内部タイマとして使用できる

i=0 ~ 1、j=A、B、C、Dのいずれか



図14.47 アウトプットコンペアー機能時のTRDSTR、TRDMRレジスタ

タイマRD PWMモードレジスタ

シンボル TRDPMR	アドレス 0139h番地	リセット後の値 10001000b	
ビット シンボル	ビット名	機能	RW
PWMB0	TRDIOB0 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
PWMC0	TRDIOC0 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
PWMD0	TRDIOD0 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
- (b3)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"1"。		-
PWMB1	TRDIOB1 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
PWMC1	TRDIOC1 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
PWMD1	TRDIOD1 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
- (b7)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"1"。		-

図14.48 アウトプットコンペア機能時のTRDPMRレジスタ

タイマRD機能制御レジスタ

ビット シンボル	ビット名	機能	RW
CMD0	コンビネーションモード選択 ビット (注1)	アウトプットコンペア機能では “00b”(タイマモード・PWMモード・ PWM3モード)にしてください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	アウトプットコンペア機能では無効 です。	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	アウトプットコンペア機能では無効 です。	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	アウトプットコンペア機能では無効 です。	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	アウトプットコンペア機能では無効 です。	RW
STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット (注2)	アウトプットコンペア機能では “1”(PWM3モード以外)にして ください。	RW

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図14.49 アウトプットコンペア機能時のTRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1

シンボル TRDOER1		アドレス 013Bh番地	リセット後の値 FFh	
ビット シンボル	ビット名	機能	RW	
EA0	TRDIOA0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	RW	
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW	
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW	
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW	
EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	RW	
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW	
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW	
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW	

タイマRDアウトプットマスタ許可レジスタ2

シンボル TRDOER2		アドレス 013Ch番地	リセット後の値 01111111b	
ビット シンボル	ビット名	機能	RW	
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-	
PTO	パルス出力強制遮断信号 入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1” (出力禁止)になる)	RW	

注1. 「14.3.4 パルス出力強制遮断」を参照してください。

図14.50 アウトプットコンペア機能時のTRDOER1～TRDOER2レジスタ

タイマRDアウトプット制御レジスタ(注1、2)

シンボル TRDOCR	アドレス 013Dh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOA0	TRDIOA0出力レベル選択ビット	0: 初期出力“L” 1: 初期出力“H”	RW
TOB0	TRDIOB0出力レベル選択ビット	0: 初期出力“L” 1: 初期出力“H”	RW
TOC0	TRDIOC0初期出力レベル選択ビット	0: “L” 1: “H”	RW
TOD0	TRDIOD0初期出力レベル選択ビット		RW
TOA1	TRDIOA1初期出力レベル選択ビット		RW
TOB1	TRDIOB1初期出力レベル選択ビット		RW
TOC1	TRDIOC1初期出力レベル選択ビット		RW
TOD1	TRDIOD1初期出力レベル選択ビット		RW

注1. TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

注2. 端子の機能が波形出力の場合(表14.12～表14.19参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図14.51 アウトプットコンペア機能時のTRDOCRレジスタ

タイマRD制御レジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDCR0	0140h番地	00h
TRDCR1	0150h番地	00h

ビットシンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW
TCK1		RW	
TCK2		RW	
CKEG0		外部クロックエッジ選択ビット(注2)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください
CKEG1	RW		
CCLR0	TRD <i>i</i> カウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRA <i>i</i> のコンペア一致でクリア 0 1 0 : TRDGRB <i>i</i> のコンペア一致でクリア 0 1 1 : 同期クリア(他のチャンネルのカウンタと同時にクリア)(注3) 1 0 0 : 設定しないでください 1 0 1 : TRDGR <i>Ci</i> のコンペア一致でクリア 1 1 0 : TRDGRD <i>i</i> のコンペア一致でクリア 1 1 1 : 設定しないでください	RW
CCLR1		RW	
CCLR2		RW	

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2. TCK2~TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注3. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

図14.52 アウトプットコンペア機能時のTRDCR0~TRDCR1レジスタ

タイマRD I/O制御レジスタAi (i=0~1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	1	0	0	0	0	0	TRDIORA0	0141h番地	10001000b
								TRDIORA1	0151h番地	10001000b

ビットシンボル	ビット名	機能	RW
IOA0	TRDGRA制御ビット	b1 b0 0 0 : コンペアー一致による端子出力禁止 (TRDIOAi端子はプログラマブル入出力ポート)	RW
		0 1 : TRDGRAiのコンペアー一致で“L”出力 1 0 : TRDGRAiのコンペアー一致で“H”出力 1 1 : TRDGRAiのコンペアー一致でトグル出力	RW
IOA2	TRDGRAモード選択ビット (注1)	アウトプットコンペアー機能では“0”(アウトプットコンペアー)にしてください。	RW
IOA3	インプットキャプチャ入力切替ビット	“1”にしてください。	RW
IOB0	TRDGRB制御ビット	b5 b4 0 0 : コンペアー一致による端子出力禁止 (TRDIOBi端子はプログラマブル入出力ポート)	RW
		0 1 : TRDGRBiのコンペアー一致で“L”出力 1 0 : TRDGRBiのコンペアー一致で“H”出力 1 1 : TRDGRBiのコンペアー一致でトグル出力	RW
IOB2	TRDGRBモード選択ビット (注2)	アウトプットコンペアー機能では“0”(アウトプットコンペアー)にしてください。	RW
-(b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1 . TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのパッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2 . TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのパッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

図 14.53 アウトプットコンペアー機能時のTRDIORA0 ~ TRDIORA1レジスタ

タイマRD I/O制御レジスタCi (i=0~1)

ビットシンボル	ビット名	機能	RW
TRDIORC0	TRDGRC制御ビット	b1 b0 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRCiのコンペア一致で“L”出力 1 0 : TRDGRCiのコンペア一致で“H”出力 1 1 : TRDGRCiのコンペア一致でトグル出力	RW
TRDIORC1	TRDGRC制御ビット	b1 b0 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRCiのコンペア一致で“L”出力 1 0 : TRDGRCiのコンペア一致で“H”出力 1 1 : TRDGRCiのコンペア一致でトグル出力	RW
TRDIORC0	TRDGRCモード選択ビット (注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	RW
TRDIORC1	TRDGRCモード選択ビット (注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	RW
TRDIORC0	TRDGRCレジスタ機能選択ビット	0 : TRDIOA出力レジスタ (「14.3.6.1 TRDGRCi (i=0~1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW
TRDIORC1	TRDGRCレジスタ機能選択ビット	0 : TRDIOA出力レジスタ (「14.3.6.1 TRDGRCi (i=0~1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW
TRDIORC0	TRDGRD制御ビット	b5 b4 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRDiのコンペア一致で“L”出力 1 0 : TRDGRDiのコンペア一致で“H”出力 1 1 : TRDGRDiのコンペア一致でトグル出力	RW
TRDIORC1	TRDGRD制御ビット	b5 b4 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRDiのコンペア一致で“L”出力 1 0 : TRDGRDiのコンペア一致で“H”出力 1 1 : TRDGRDiのコンペア一致でトグル出力	RW
TRDIORC0	TRDGRDモード選択ビット (注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	RW
TRDIORC1	TRDGRDモード選択ビット (注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	RW
TRDIORC0	TRDGRDレジスタ機能選択ビット	0 : TRDIOB出力レジスタ (「14.3.6.1 TRDGRCi (i=0~1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW
TRDIORC1	TRDGRDレジスタ機能選択ビット	0 : TRDIOB出力レジスタ (「14.3.6.1 TRDGRCi (i=0~1)、TRDGRDiレジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIOA*i*レジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIOA*i*レジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

図14.54 アウトプットコンペア機能時のTRDIORC0 ~ TRDIORC1レジスタ

タイマRDステータスレジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/ コンペアー一致フラグA	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき。	RW
IMFB	インプットキャプチャ/ コンペアー一致フラグB	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき。	RW
IMFC	インプットキャプチャ/ コンペアー一致フラグC	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/ コンペアー一致フラグD	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき。 (注3)	RW
OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	アウトプットコンペア機能では無効 です。	RW
- (b7-b6)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF_{ji}ビット(*j*=CまたはD)が“1”(TRDGR_{ji}はバッファレジスタ)の場合を含む。

図14.55 アウトプットコンペア機能時のTRDSR0 ~ TRDSR1 レジスタ

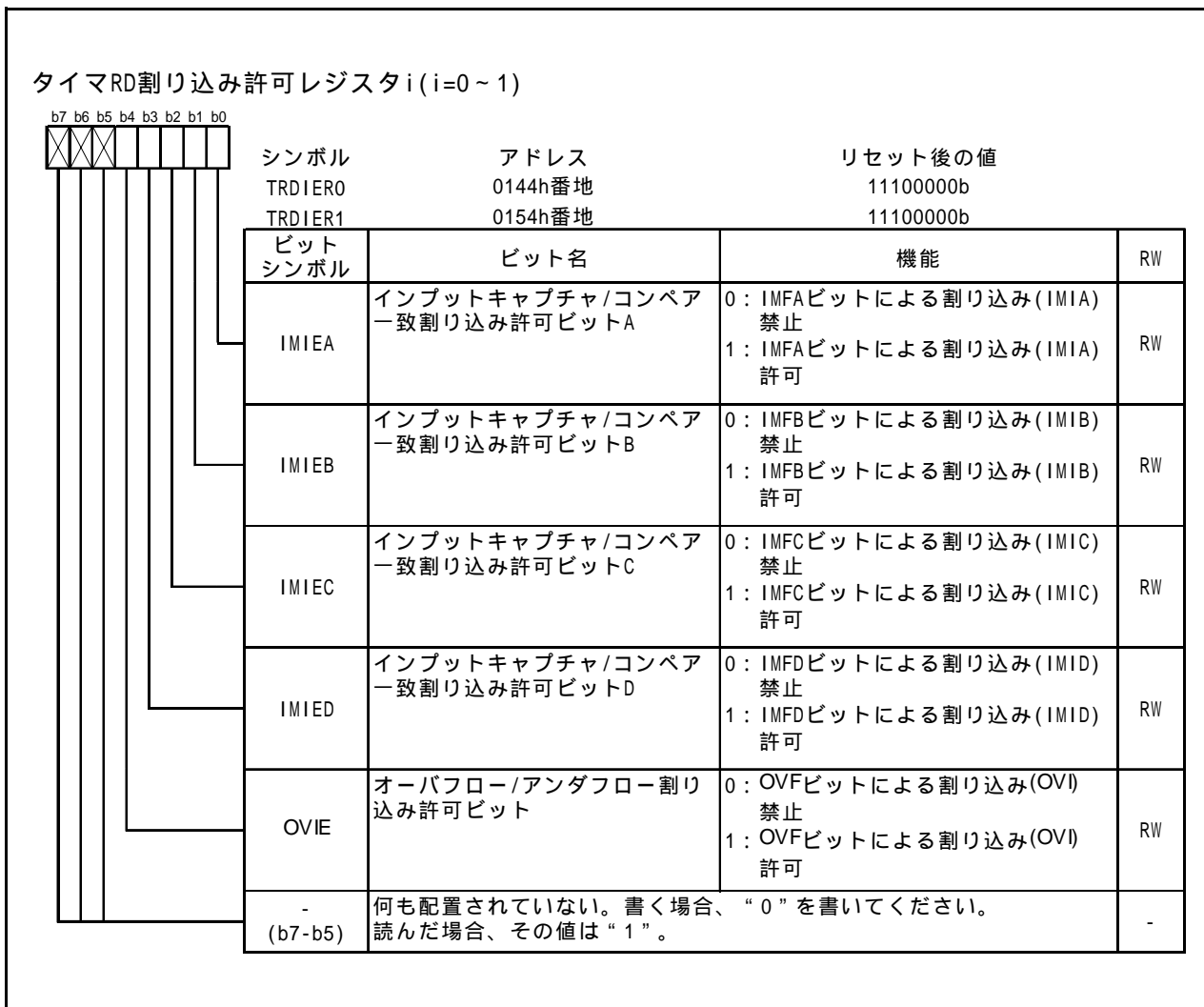


図14.56 アウトプットコンペア機能時のTRDIER0~TRDIER1レジスタ

タイマRDカウンタ i ($i=0 \sim 1$) (注1)		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0 b7			
		TRD0	0147h-0146h番地	0000h
		TRD1	0157h-0156h番地	0000h
機能				設定範囲
カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRDSR i レジスタのOVFビットが“1”になる。				0000h ~ FFFFh
				RW
				RW

注1. TRD i レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 14.57 アウトプットコンペア機能時のTRD0 ~ TRD1レジスタ

タイマRDジェネラルレジスタ A_i 、 B_i 、 C_i 、 D_i ($i=0 \sim 1$) (注1)		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0 b7			
		TRDGRA0	0149h-0148h番地	FFFFh
		TRDGRB0	014Bh-014Ah番地	FFFFh
		TRDGRC0	014Dh-014Ch番地	FFFFh
		TRDGRD0	014Fh-014Eh番地	FFFFh
		TRDGRA1	0159h-0158h番地	FFFFh
		TRDGRB1	015Bh-015Ah番地	FFFFh
		TRDGRC1	015Dh-015Ch番地	FFFFh
		TRDGRD1	015Fh-015Eh番地	FFFFh
機能				RW
「表14.26 アウトプットコンペア機能時のTRDGR j_i レジスタの機能」参照。				RW

注1. TRDGRA i ~ TRDGRD i レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 14.58 アウトプットコンペア機能時のTRDGRA i 、TRDGRB i 、TRDGRC i 、TRDGRD i レジスタ

アウトプットコンペア機能では、次のレジスタは無効です。

TRDDF0、TRDDF1、TRDPOCR0、TRDPOCR1

表 14.26 アウトプットコンペア機能時のTRDGR j_i レジスタの機能

レジスタ	設定		レジスタの機能	アウトプット コンペア出力端子
	BF j_i	IO j_3		
TRDGRA i	-	-	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOA i
TRDGRB i				TRDIOB i
TRDGRC i	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOC i
TRDGRD i				TRDIOD i
TRDGRC i	1	1	バッファレジスタ。次回のコンペア値を書いてください。 (「14.3.2 バッファ動作」参照)	TRDIOA i
TRDGRD i				TRDIOB i
TRDGRC i	0	0	TRDIOA i 出力制御(「14.3.6.1 TRDGRC i ($i=0 \sim 1$)、TRDGRD i レジスタの出力端子変更」参照)	TRDIOA i
TRDGRD i				TRDIOB i

$i=0 \sim 1$ 、 $j=A$ 、 B 、 C 、 D のいずれか

BF j_i : TRDMRレジスタのビット IO j_3 : TRDIORC i レジスタのビット

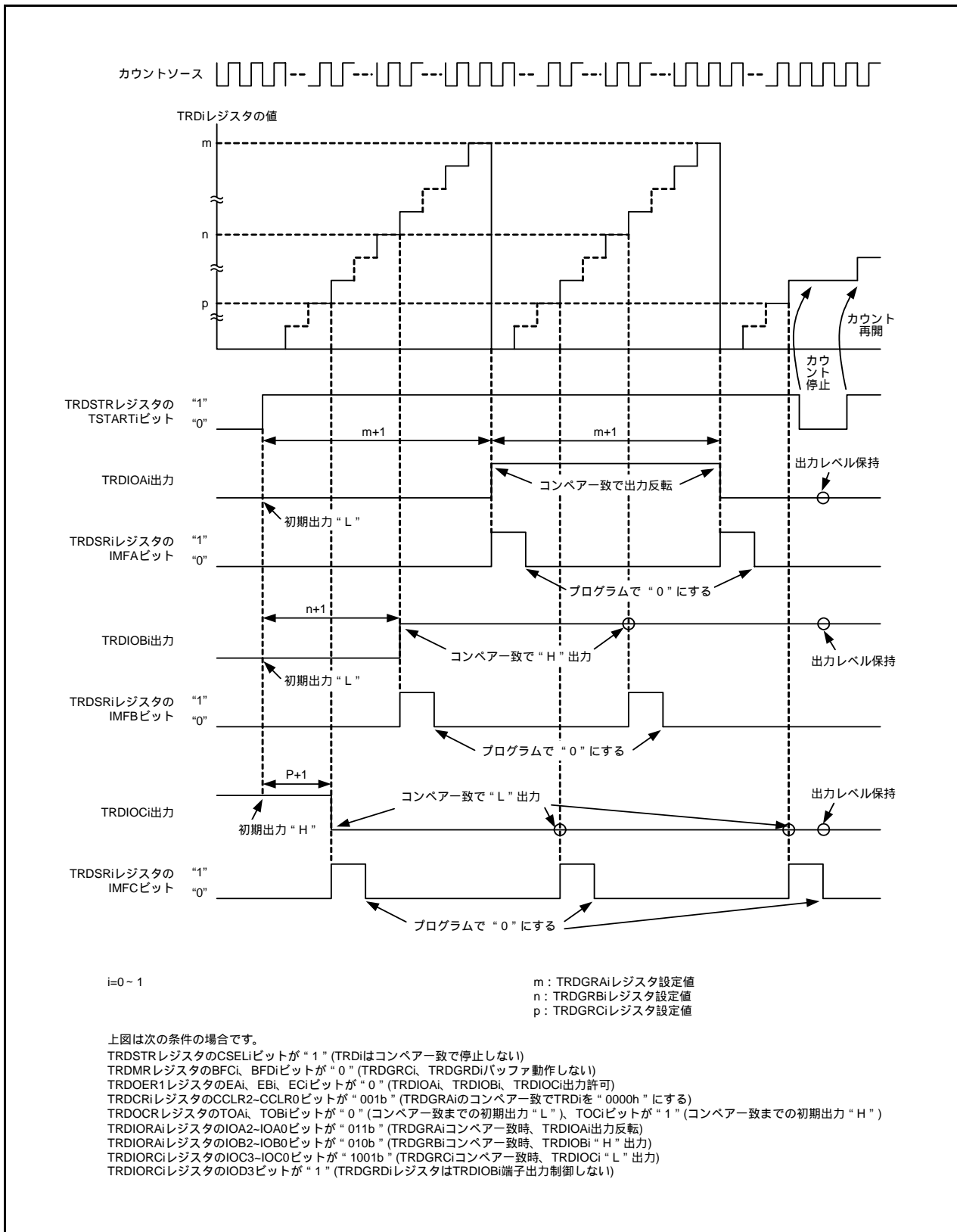


図14.59 アウトプットコンペアー機能の動作例

14.3.6.1 TRDGRCi(i=0 ~ 1)、TRDGRDiレジスタの出力端子変更

TRDGRCiレジスタをTRDIOAi端子の、TRDGRDiレジスタをTRDIOBi端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOAi出力は、TRDGRAiレジスタの値とTRDGRCiレジスタの値の2点で制御
- TRDIOBi出力は、TRDGRBiレジスタの値とTRDGRDiレジスタの値の2点で制御

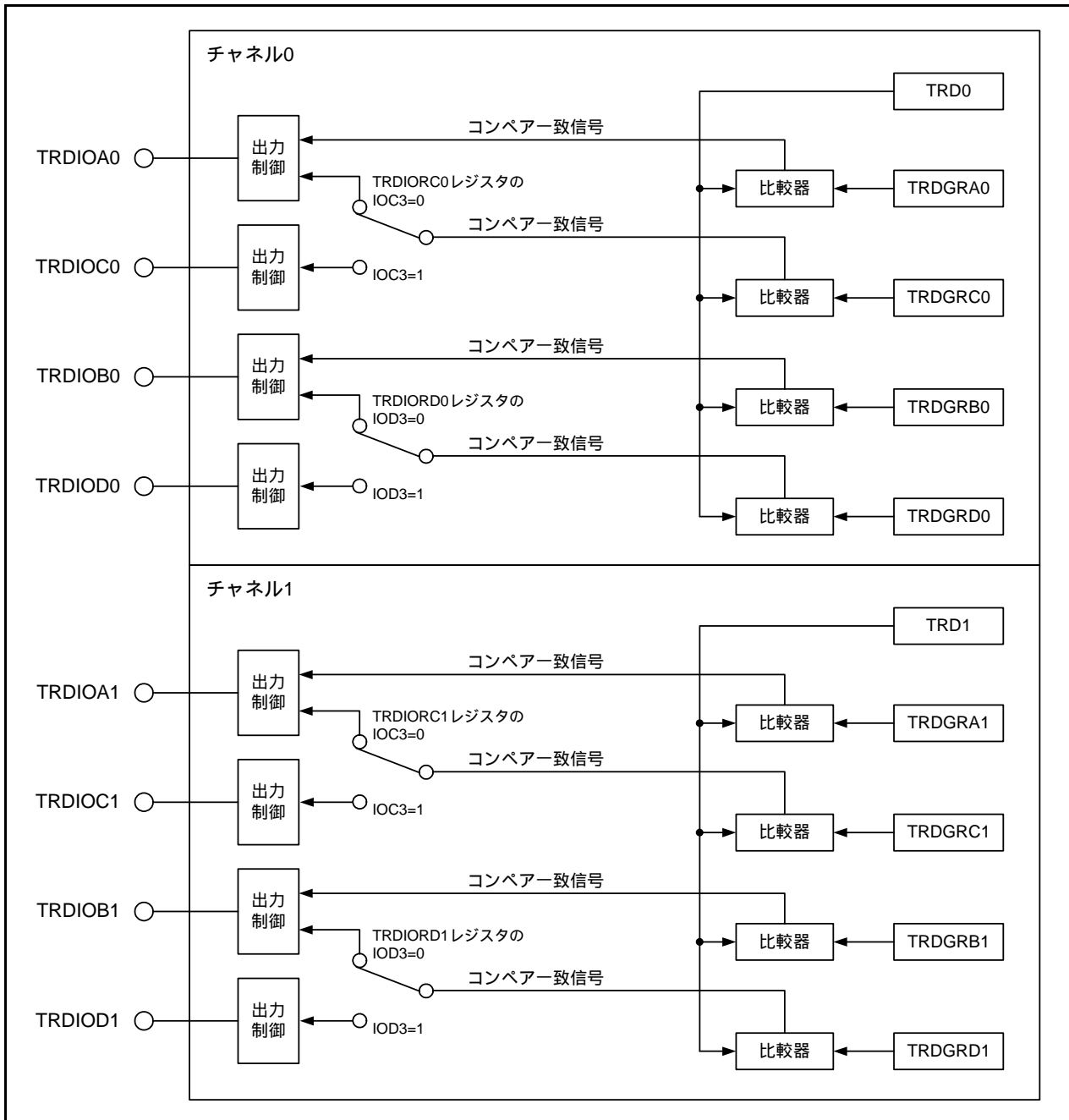


図 14.60 TRDGRCi、TRDGRDiの出力端子変更

TRDGRCi、TRDGRDiレジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORCiレジスタのIOj3(j=CまたはD)ビットで“0”(TRDGRjiレジスタ出力端子変更)を選択。
- TRDMRレジスタのBFjiビットを“0”(ジェネラルレジスタ)にする。
- TRDGRAiレジスタとTRDGRCiレジスタは違う値を設定。また、TRDGRBiレジスタとTRDGRDiレジスタは違う値を設定。

図 14.61 に TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例を示します。

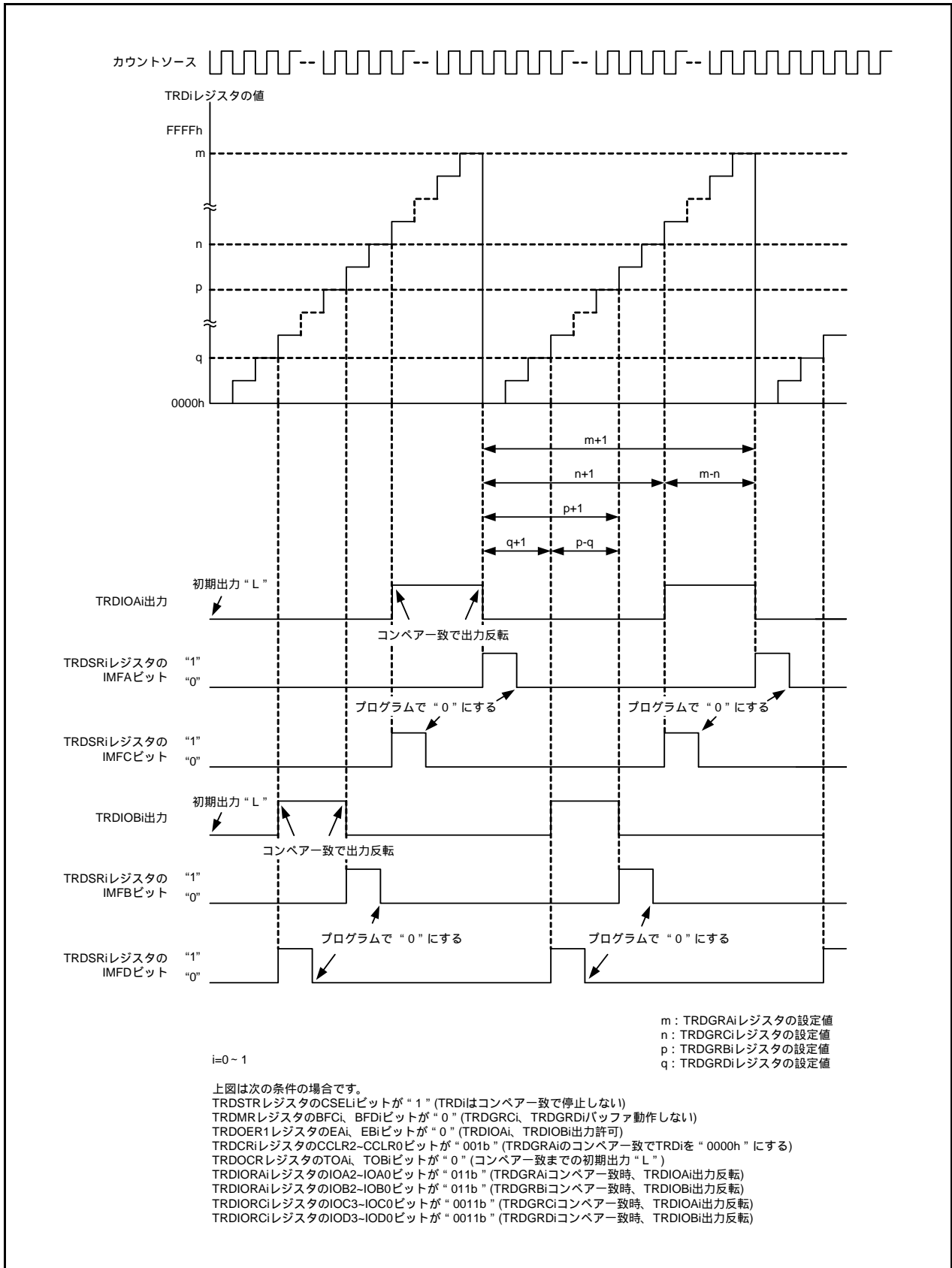


図 14.61 TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例

14.3.7 PWMモード

PWM波形を出力するモードです。1チャンネルで同周期のPWM波形を最大3本出力できます。また、チャンネル0、1を同期させることによって同周期のPWM波形を最大6本出力できます。

TRDIO_{ji}($i=0 \sim 1, j=B, C, D$)端子とTRDGR_{ji}レジスタの組み合わせで機能しますので、端子1本ごとにPWMモードにするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWMモードに使用する場合もTRDGRA_iレジスタを使用しますので、TRDGRA_iレジスタは他のモードに使用できません)。

図14.62にPWMモードのブロック図を、表14.27にPWMモードの仕様を、図14.63～図14.71にPWMモード関連レジスタを、図14.72と図14.73にPWMモードの動作例を示します。

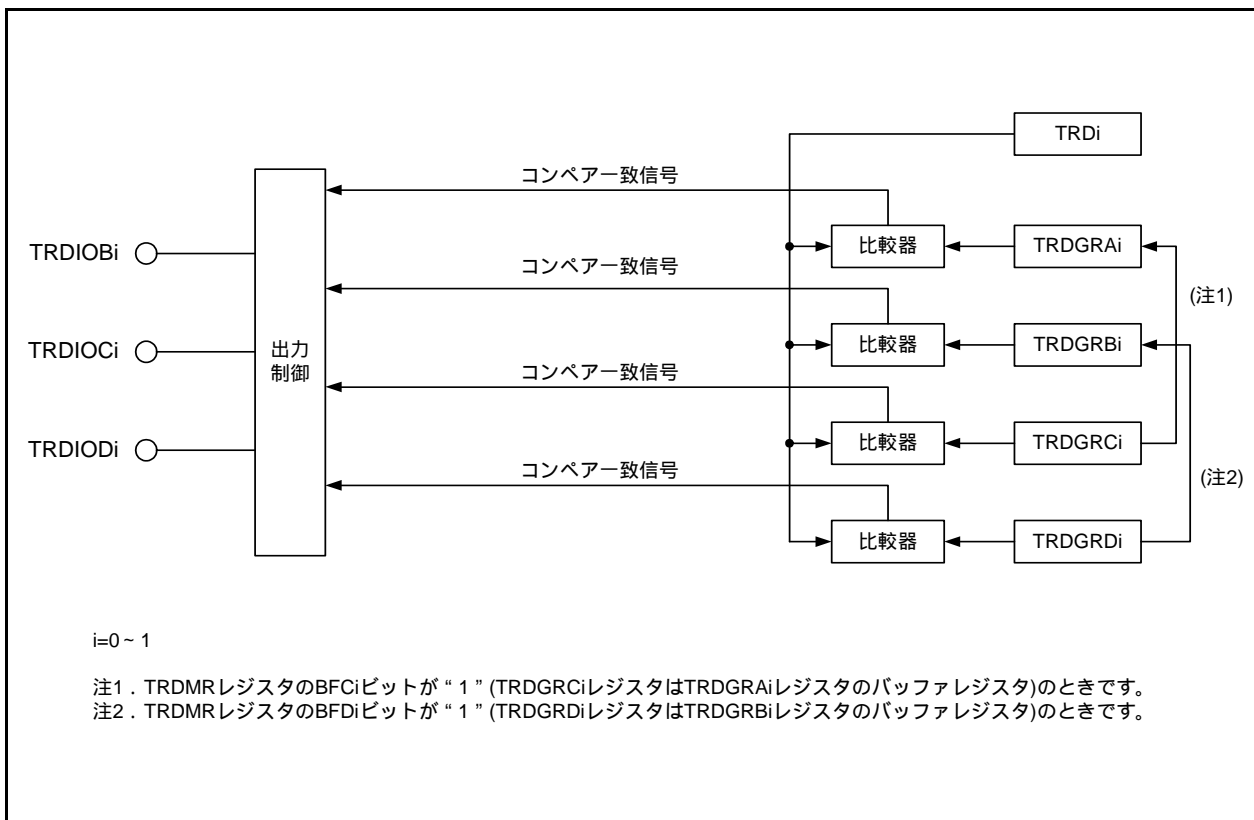
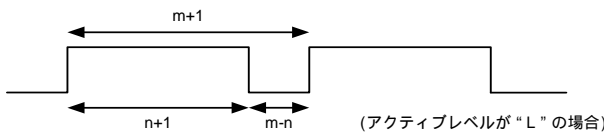


図14.62 PWMモードのブロック図

表 14.27 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	PWM周期: $1/fk \times (m+1)$ アクティブレベル幅: $1/fk \times (m-n)$ アクティブでないレベルの幅: $1/fk \times (n+1)$ fk: カウントソースの周波数 m: TRDGRAiレジスタ設定値 n: TRDGRjiレジスタ設定値  (アクティブレベルが“L”の場合)
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRDiレジスタとTRDGRhiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOA1端子機能	プログラマブル入出力ポート
TRDIOB0、TRDIOC0、 TRDIOD0、TRDIOB1、 TRDIOC1、TRDIOD1端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> • PWM出力端子を1チャンネルにつき1~3本選択 TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • アクティブレベルを1端子ごとに選択 • 初期出力レベルを1端子ごとに選択 • 同期動作(「14.3.3 同期動作」参照) • バッファ動作(「14.3.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「14.3.4 パルス出力強制遮断」参照)

i=0 ~ 1

j=B、C、Dのいずれか

h=A、B、C、Dのいずれか

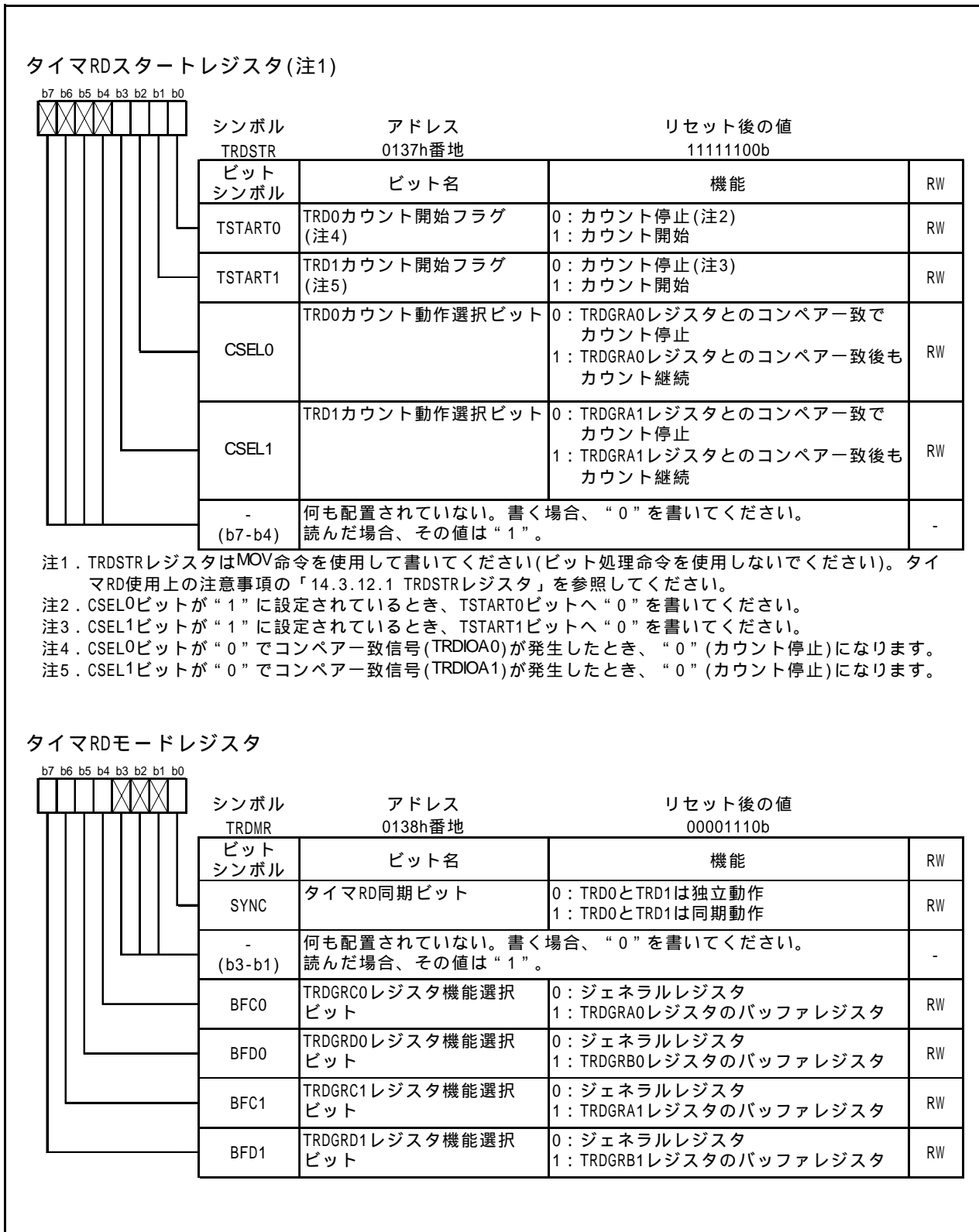


図 14.63 PWMモード時のTRDSTR、TRDMRレジスタ

タイマRD PWMモードレジスタ			
シンボル	アドレス	リセット後の値	
TRDPMR	0139h番地	10001000b	
ビットシンボル	ビット名	機能	RW
PWMB0	TRDIOB0 PWMモード選択ビット	0: タイマモード 1: PWMモード	RW
PWMC0	TRDIOC0 PWMモード選択ビット	0: タイマモード 1: PWMモード	RW
PWMD0	TRDIOD0 PWMモード選択ビット	0: タイマモード 1: PWMモード	RW
- (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
PWMB1	TRDIOB1 PWMモード選択ビット	0: タイマモード 1: PWMモード	RW
PWMC1	TRDIOC1 PWMモード選択ビット	0: タイマモード 1: PWMモード	RW
PWMD1	TRDIOD1 PWMモード選択ビット	0: タイマモード 1: PWMモード	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

タイマRD機能制御レジスタ			
シンボル	アドレス	リセット後の値	
TRDFCR	013Ah番地	10000000b	
ビットシンボル	ビット名	機能	RW
CMD0	コンビネーションモード選択ビット (注1)	PWMモードでは“00b”(タイマモード・PWMモード・PWM3モード)にしてください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	PWMモードでは無効です。	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	PWMモードでは無効です。	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	PWMモードでは無効です。	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	PWMモードでは無効です。	RW
STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット (注2)	PWMモードでは“1”(PWM3モード以外)にしてください。	RW

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図14.64 PWMモード時のTRDPMR、TRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1

ビット シンボル	ビット名	機能	RW
EA0	TRDIOA0出力禁止ビット	PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください。	RW
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW
EA1	TRDIOA1出力禁止ビット	PWMモードでは、“1”(TRDIOA1端子はプログラマブル入出力ポート)にしてください。	RW
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW

タイマRDアウトプットマスタ許可レジスタ2

ビット シンボル	ビット名	機能	RW
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号 入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に “L”を入力すると、TRDOER1レジスタ の全ビットが“1”(出力禁止)になる)	RW

注1. 「14.3.4 パルス出力強制遮断」を参照してください。

図 14.65 PWMモード時のTRDOER1 ~ TRDOER2レジスタ

タイマRDアウトプット制御レジスタ(注1)

シンボル		アドレス	リセット後の値
TRDOCR		013Dh番地	00h
b7 b6 b5 b4 b3 b2 b1 b0	0 0 0 0 0 0 0 0		
ビットシンボル	ビット名	機能	RW
TOA0	TRDIOA0出力レベル選択ビット	PWMモードでは、“0”にしてください。	RW
TOB0	TRDIOB0出力レベル選択ビット(注2)	0: 初期出力はアクティブでないレベル 1: 初期出力はアクティブレベル	RW
TOC0	TRDIOC0初期出力レベル選択ビット(注2)		RW
TOD0	TRDIOD0初期出力レベル選択ビット(注2)		RW
TOA1	TRDIOA1初期出力レベル選択ビット	PWMモードでは、“0”にしてください。	RW
TOB1	TRDIOB1初期出力レベル選択ビット(注2)	0: アクティブでないレベル 1: アクティブレベル	RW
TOC1	TRDIOC1初期出力レベル選択ビット(注2)		RW
TOD1	TRDIOD1初期出力レベル選択ビット(注2)		RW

注1. TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

注2. 端子の機能が波形出力の場合(表14.13～表14.15、表14.17～表14.19参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

タイマRD制御レジスタ*i* (*i*=0～1)

シンボル		アドレス	リセット後の値
TRDCR0		0140h番地	00h
TRDCR1		0150h番地	00h
b7 b6 b5 b4 b3 b2 b1 b0	0 0 1 0 0 0 0 0		
ビットシンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0: f1	RW
TCK1		0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32	RW
TCK2		1 0 1: TRDCLK入力(注1) 1 1 0: fOCO40M 1 1 1: 設定しないでください	RW
CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3 0 0: 立ち上がりエッジでカウント 0 1: 立ち下がりエッジでカウント 1 0: 両エッジでカウント 1 1: 設定しないでください	RW
CKEG1		RW	
CCLR0	TRDiカウンタクリア選択ビット	PWMモードでは“001b”(TRDGRAiとのコンペアー致でTRDiレジスタクリア)にしてください	RW
CCLR1			RW
CCLR2			RW

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

図14.66 PWMモード時のTRDOCR、TRDCR0～TRDCR1レジスタ

タイマRDステータスレジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/ コンペアー一致フラグA	[“0” になる要因] 読んだ後、“0”を書く。(注2) [“1” になる要因] TRDiとTRDGRAiの値が一致したとき。	RW
IMFB	インプットキャプチャ/ コンペアー一致フラグB	[“0” になる要因] 読んだ後、“0”を書く。(注2) [“1” になる要因] TRDiとTRDGRBiの値が一致したとき。	RW
IMFC	インプットキャプチャ/ コンペアー一致フラグC	[“0” になる要因] 読んだ後、“0”を書く。(注2) [“1” になる要因] TRDiとTRDGRCiの値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/ コンペアー一致フラグD	[“0” になる要因] 読んだ後、“0”を書く。(注2) [“1” になる要因] TRDiとTRDGRDiの値が一致したとき。 (注3)	RW
OVF	オーバフローフラグ	[“0” になる要因] 読んだ後、“0”を書く。(注2) [“1” になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	PWMモードでは無効です。	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(*j*=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

図14.67 PWMモード時のTRDSR0 ~ TRDSR1レジスタ

タイマRD割り込み許可レジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDIER0	0144h番地	11100000b
TRDIER1	0154h番地	11100000b

ビットシンボル	ビット名	機能	RW
IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	RW
IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	RW
IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	RW
IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	RW
OVIE	オーバーフロー/アンダフロー割り込み許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	RW
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

図14.68 PWMモード時のTRDIER0~TRDIER1レジスタ

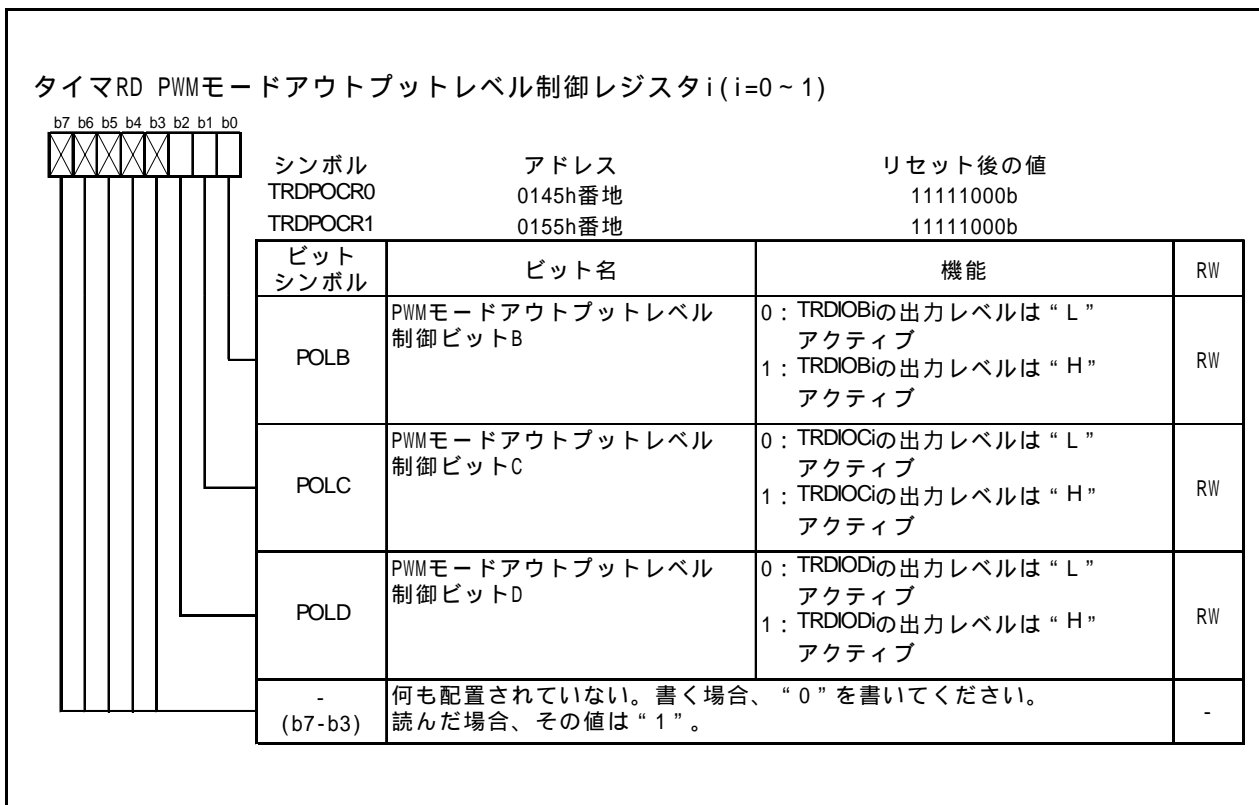


図 14.69 PWMモード時のTRDPOCR0 ~ TRDPOCR1レジスタ

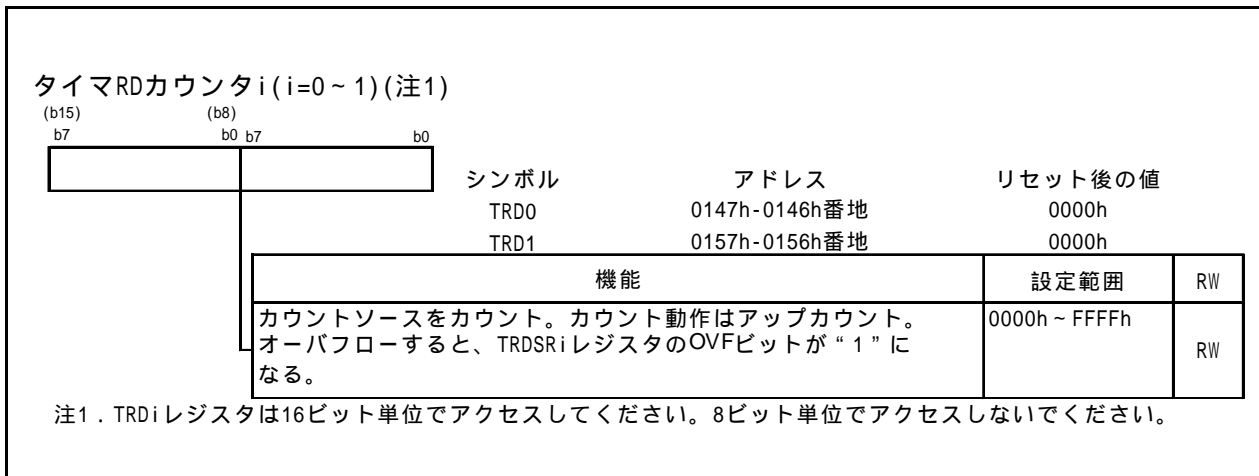


図 14.70 PWMモード時のTRD0 ~ TRD1レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di (i=0~1) (注1)

(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TRDGRA0	0149h-0148h番地	FFFFh
		TRDGRB0	014Bh-014Ah番地	FFFFh
		TRDGRC0	014Dh-014Ch番地	FFFFh
		TRDGRD0	014Fh-014Eh番地	FFFFh
		TRDGRA1	0159h-0158h番地	FFFFh
		TRDGRB1	015Bh-015Ah番地	FFFFh
		TRDGRC1	015Dh-015Ch番地	FFFFh
		TRDGRD1	015Fh-015Eh番地	FFFFh
機能				RW
「表14.28 PWMモード時のTRDGRjiレジスタの機能」参照。				RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図14.71 PWMモード時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

PWMモードでは、次のレジスタは無効です。

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表14.28 PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	-	ジェネラルレジスタ。PWM周期を設定してください。	-
TRDGRBi	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。次回のPWM周期を設定してください (「14.3.2 バッファ動作」参照)。	-
TRDGRDi	BFDi=1	バッファレジスタ。次回のPWM出力の変化点を設定してください (「14.3.2 バッファ動作」参照)。	TRDIOBi

i=0 ~ 1

BFCi、BFDi : TRDMRレジスタのビット

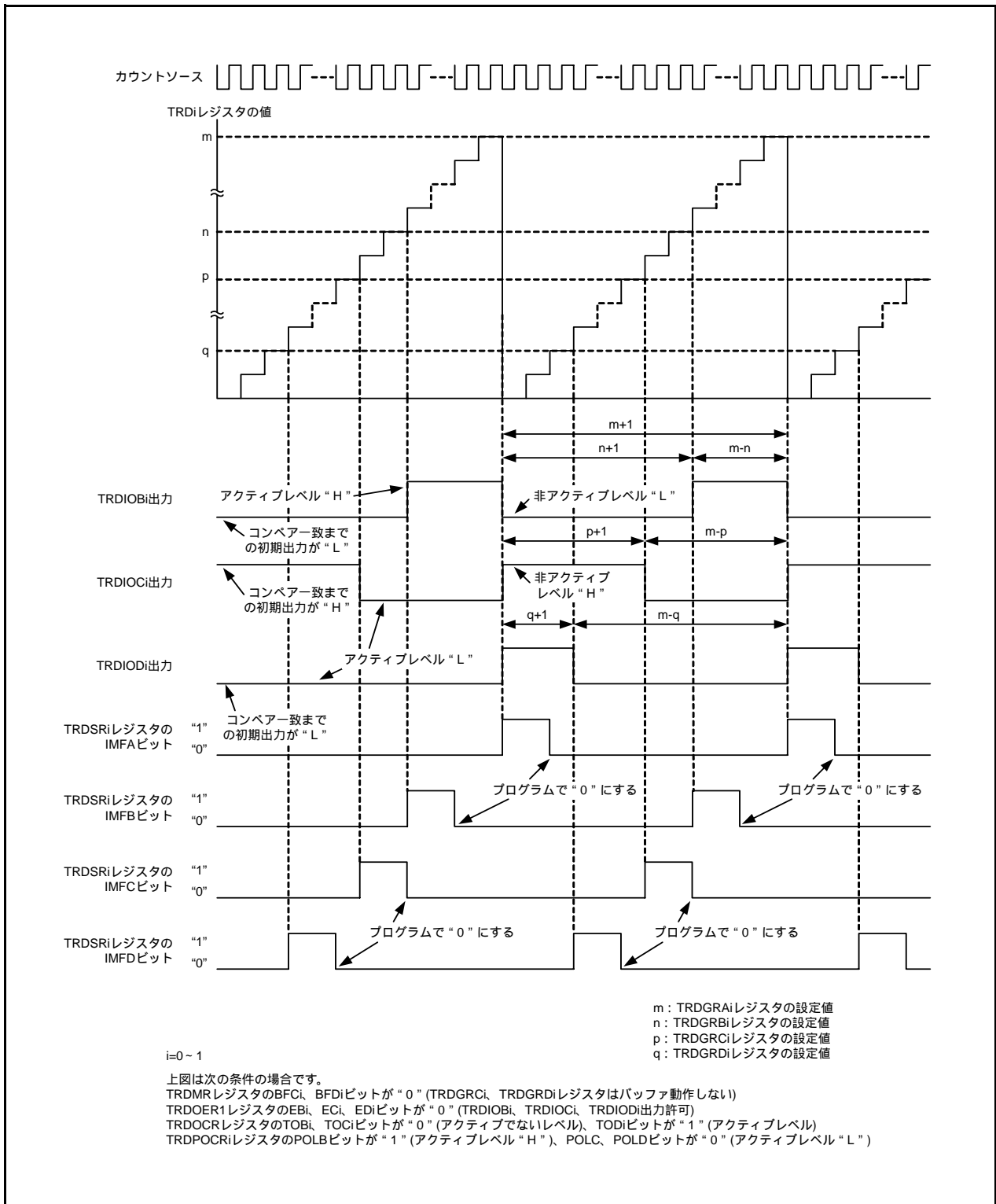


図 14.72 PWMモードの動作例

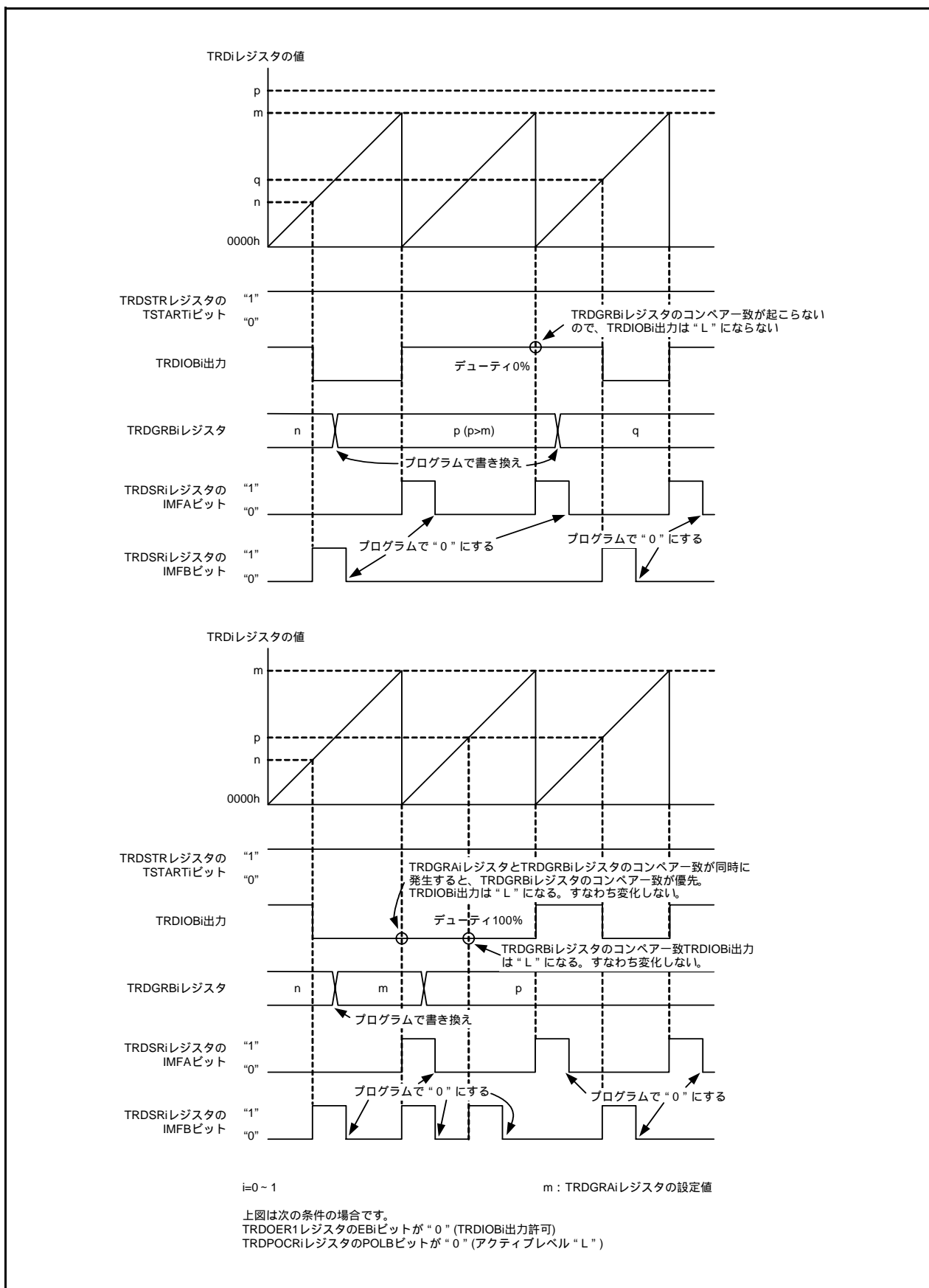


図14.73 PWMモードの動作例(デューティ0%、デューティ100%)

14.3.8 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図14.74にリセット同期PWMモードのブロック図を、表14.29にリセット同期PWMモードの仕様を、図14.75～図14.82にリセット同期PWMモード関連レジスタを、図14.83にリセット同期PWMモードの動作例を示します。

デューティ0%、100%のPWM動作例は「図14.73 PWMモードの動作例(デューティ0%、デューティ100%)」を参照してください。

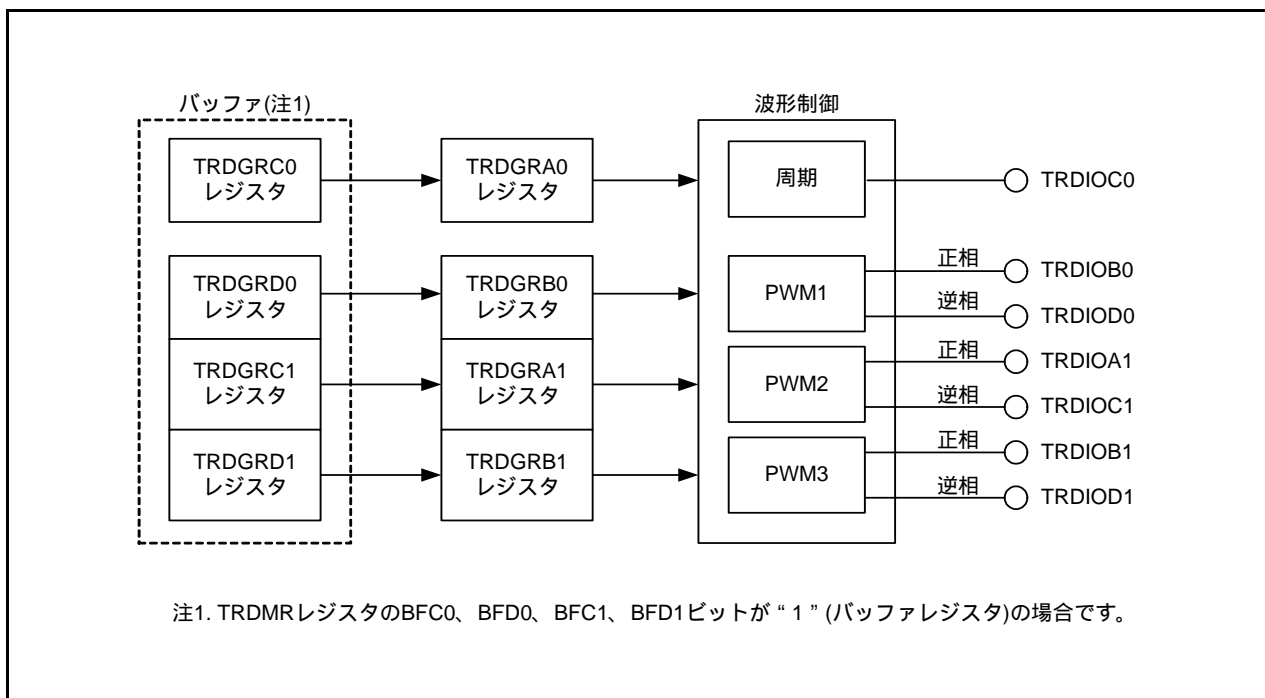


図14.74 リセット同期PWMモードのブロック図

表14.29 リセット同期PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	PWM周期 : $1/f_k \times (m+1)$ 正相のアクティブレベル幅 : $1/f_k \times (m-n)$ 逆相のアクティブレベル幅 : $1/f_k \times (n+1)$ f_k : カウントソースの周波数 m : TRDGRA0レジスタ設定値 n : TRDGRB0レジスタ設定値(PWM出力1)、 TRDGRA1レジスタ設定値(PWM出力2)、 TRDGRB1レジスタ設定値(PWM出力3) (アクティブレベルが“L”の場合)
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致) • TRD0オーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 • パッファ動作(「14.3.2 パッファ動作」参照) • パルス出力強制遮断信号入力(「14.3.4 パルス出力強制遮断」参照)

j=A、B、C、Dのいずれか

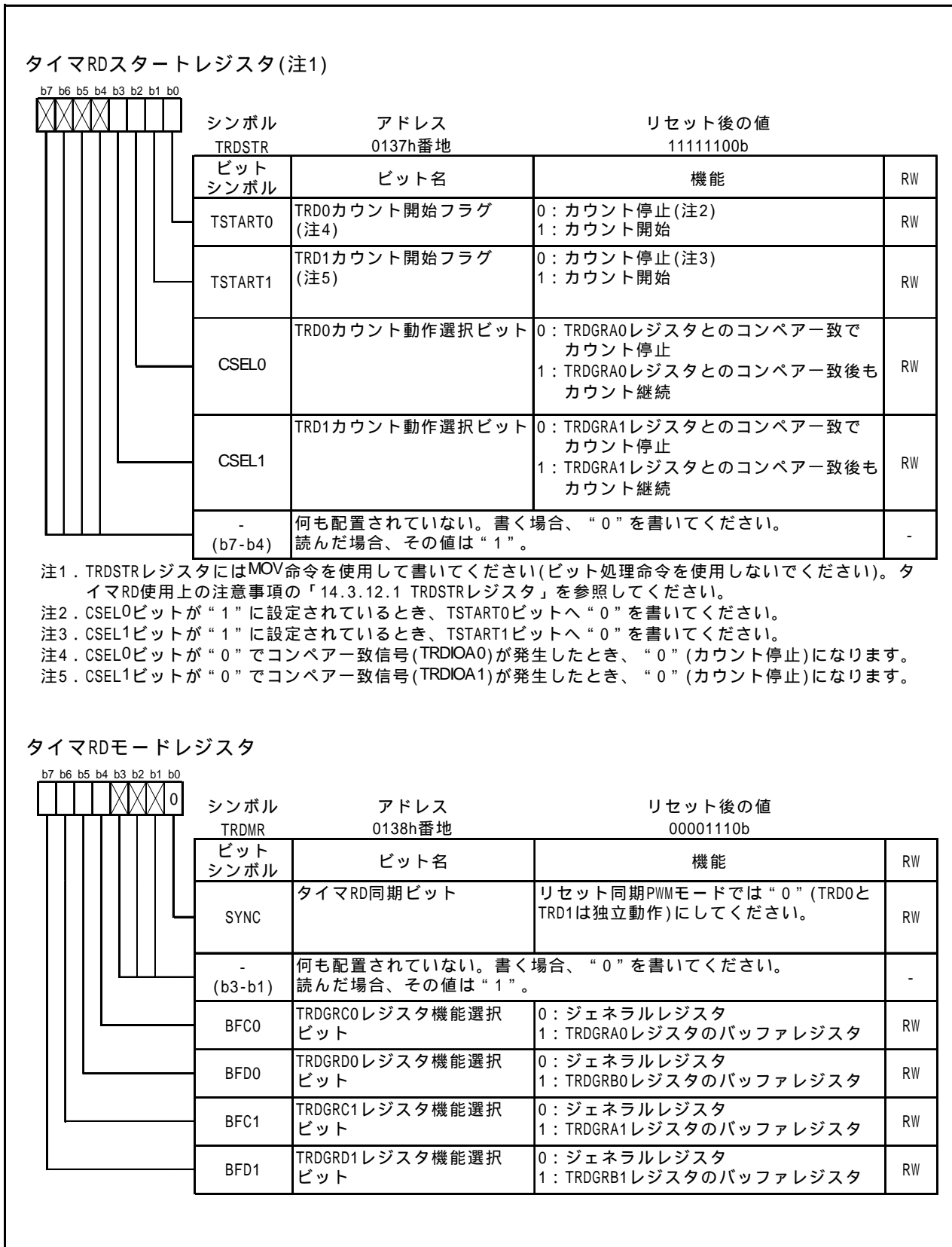


図 14.75 リセット同期PWMモード時のTRDSTR、TRDMRレジスタ

タイマRD機能制御レジスタ

シンボル TRDFCR	アドレス 013Ah番地	リセット後の値 1000000b	
ビット シンボル	ビット名	機能	RW
CMD0	コンビネーションモード選択 ビット(注1、2)	リセット同期PWMモードでは “01b”(リセット同期PWMモード)に してください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	0: 初期出力“H”、 アクティブレベル“L” 1: 初期出力“L”、 アクティブレベル“H”	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	0: 初期出力“H”、 アクティブレベル“L” 1: 初期出力“L”、 アクティブレベル“H”	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	リセット同期PWMモードでは無効 です。	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	リセット同期PWMモードでは無効 です。	RW
STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット (注3)	リセット同期PWMモードでは無効 です。	RW

注1. CMD1～CMD0ビットを“01b”、“10b”、“11b”に設定したとき、TRDPMRレジスタの設定に係わらず、リセット同期PWMモードまたは相補PWMモードになります。

注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注3. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図14.76 リセット同期PWMモード時のTRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1

ビット シンボル	ビット名	機能	RW
EA0	TRDIOA0出力禁止ビット	リセット同期PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください。	RW
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW
EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	RW
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW

タイマRDアウトプットマスタ許可レジスタ2

ビット シンボル	ビット名	機能	RW
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号 入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に “L”を入力すると、TRDOER1レジスタ の全ビットが“1”(出力禁止)になる)	RW

注1. 「14.3.4 パルス出力強制遮断」を参照してください。

図14.77 リセット同期PWMモード時のTRDOER1 ~ TRDOER2レジスタ

タイマRD制御レジスタ0(注3)

シンボル TRDCR0	アドレス 0140h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8	RW
TCK1		1 0 0 : f32 1 0 1 : TRDCLK入力(注1)	RW
TCK2		1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW
CKEG0	外部クロックエッジ選択ビット (注2)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	RW
CKEG1		RW	
CCLR0	TRD0カウンタクリア選択ビット	リセット同期PWMモードでは“001b” (TRDGRA0レジスタとのコンペア一致で TRD0レジスタクリア)にしてください	RW
CCLR1			RW
CCLR2			RW

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2. TCK2~TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注3. リセット同期PWMモードではTRDCR1レジスタは使用しません。

図14.78 リセット同期PWMモード時のTRDCR0レジスタ

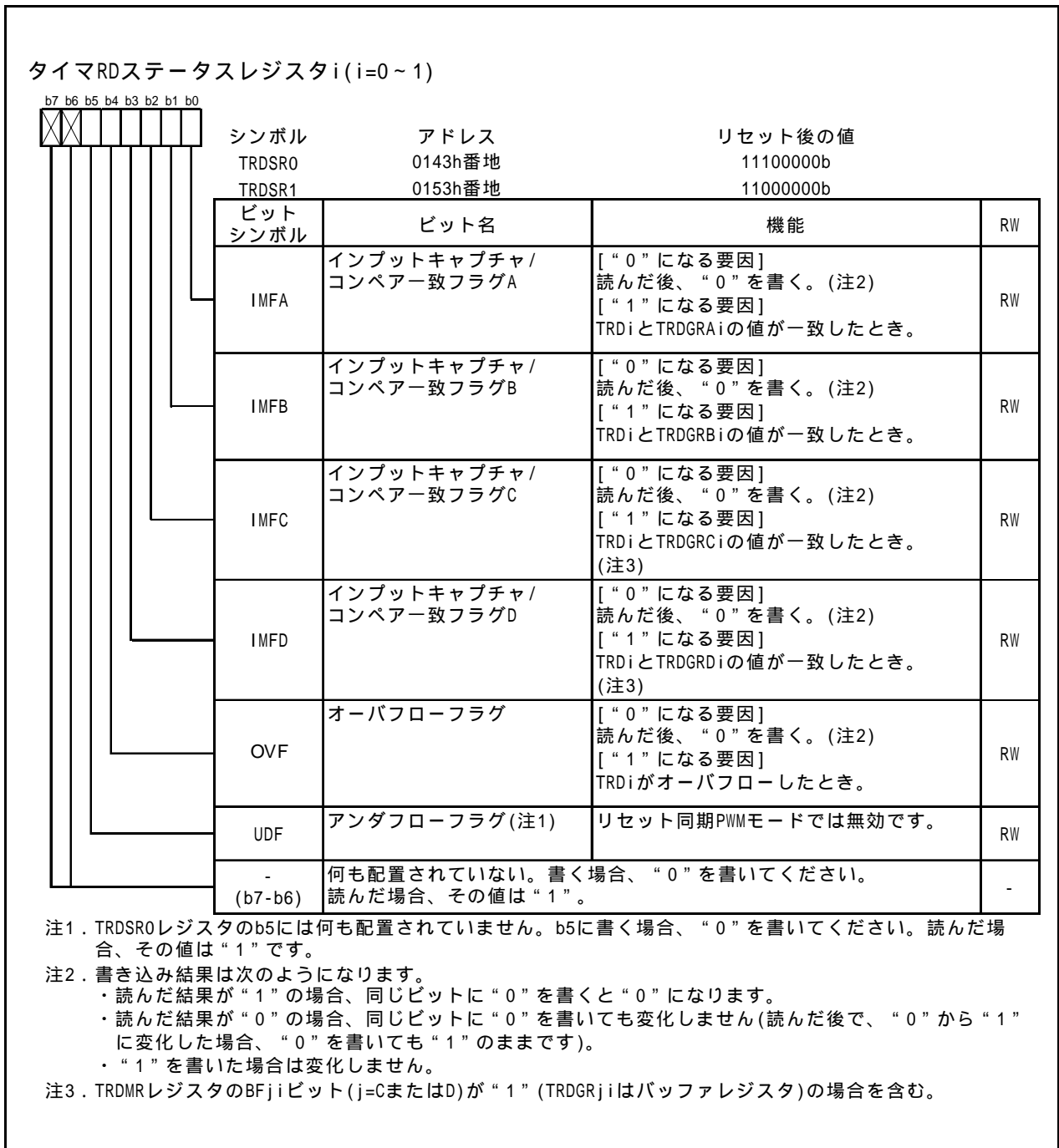


図14.79 リセット同期PWMモード時のTRDSR0～TRDSR1レジスタ

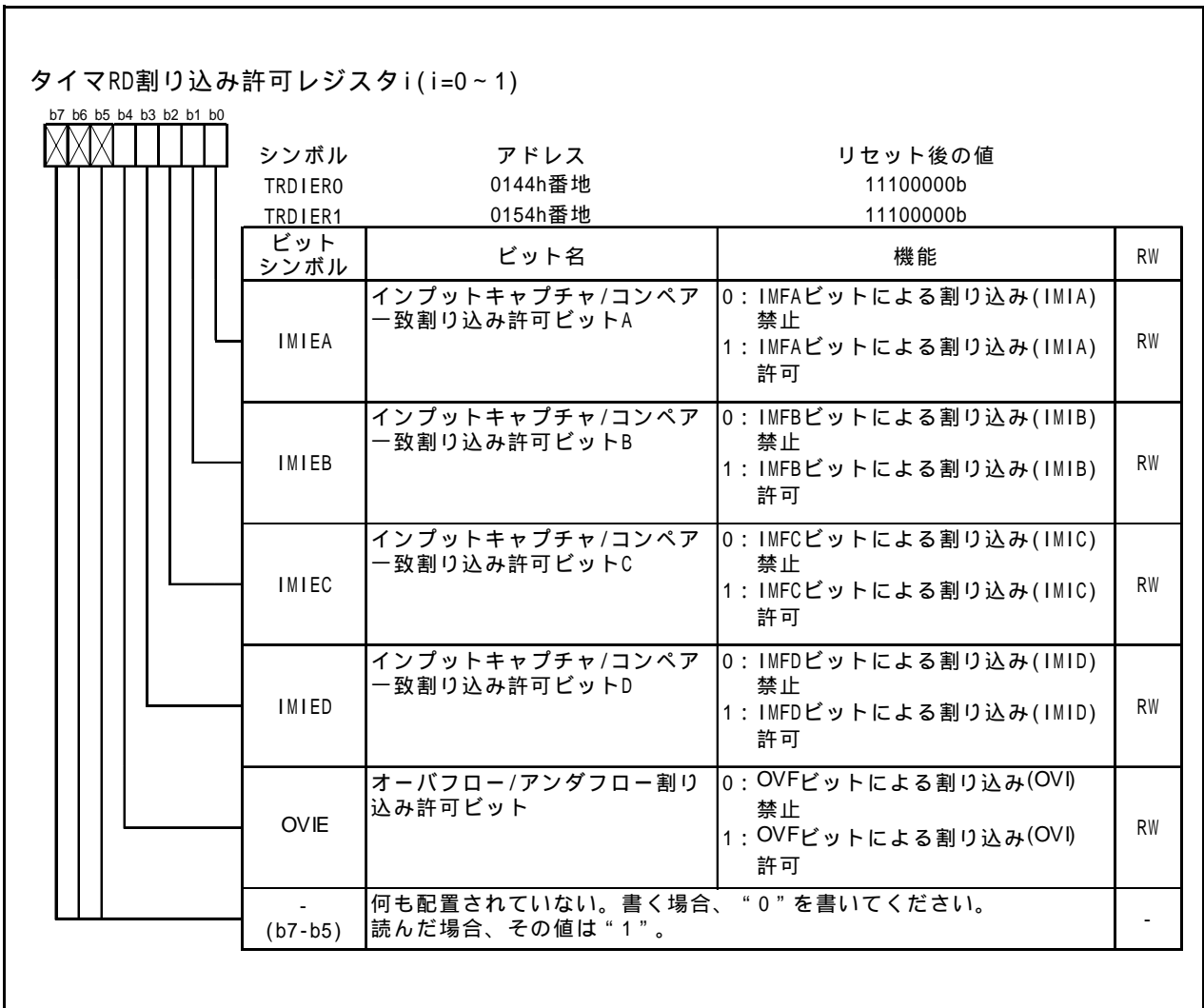


図14.80 リセット同期PWMモード時のTRDIER0 ~ TRDIER1レジスタ

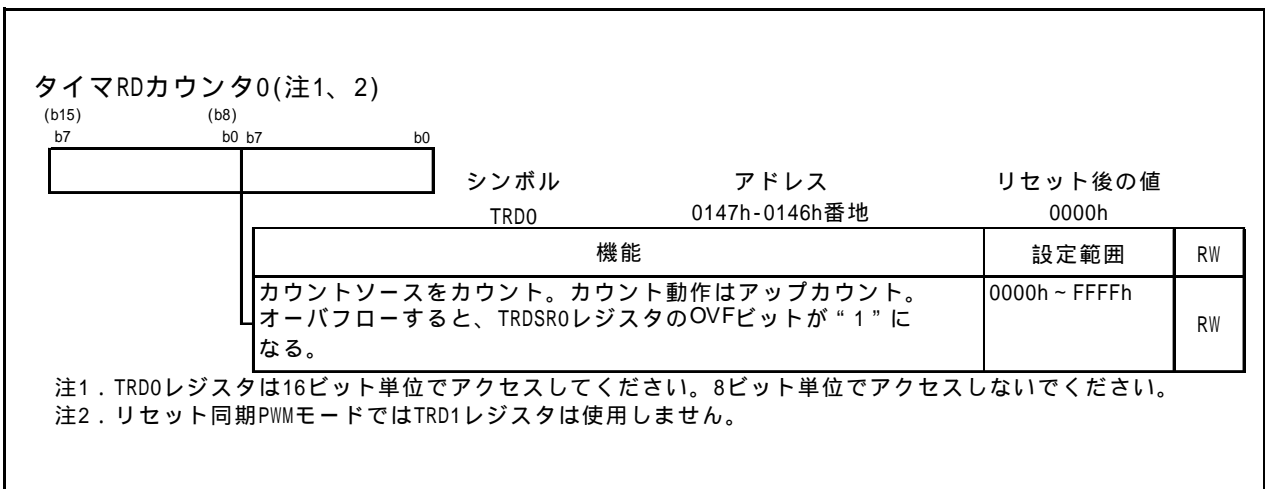


図14.81 リセット同期PWMモード時のTRD0レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di(i=0~1)(注1)

(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TRDGRA0	0149h-0148h番地	FFFFh
		TRDGRB0	014Bh-014Ah番地	FFFFh
		TRDGRC0	014Dh-014Ch番地	FFFFh
		TRDGRD0	014Fh-014Eh番地	FFFFh
		TRDGRA1	0159h-0158h番地	FFFFh
		TRDGRB1	015Bh-015Ah番地	FFFFh
		TRDGRC1	015Dh-015Ch番地	FFFFh
		TRDGRD1	015Fh-015Eh番地	FFFFh
機能				RW
「表14.30 リセット同期PWMモード時のTRDGRjiレジスタの機能」参照。				RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図14.82 リセット同期PWMモード時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表14.30 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRB0	-	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0=0	(リセット同期PWMモードでは使用しません)	-
TRDGRD0	BFD0=0		
TRDGRA1	-	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	-	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1=0	(リセット同期PWMモードでは使用しません)	-
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「14.3.2 バッファ動作」参照)。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「14.3.2 バッファ動作」参照)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「14.3.2 バッファ動作」参照)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「14.3.2 バッファ動作」参照)。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1 : TRDMRレジスタのビット

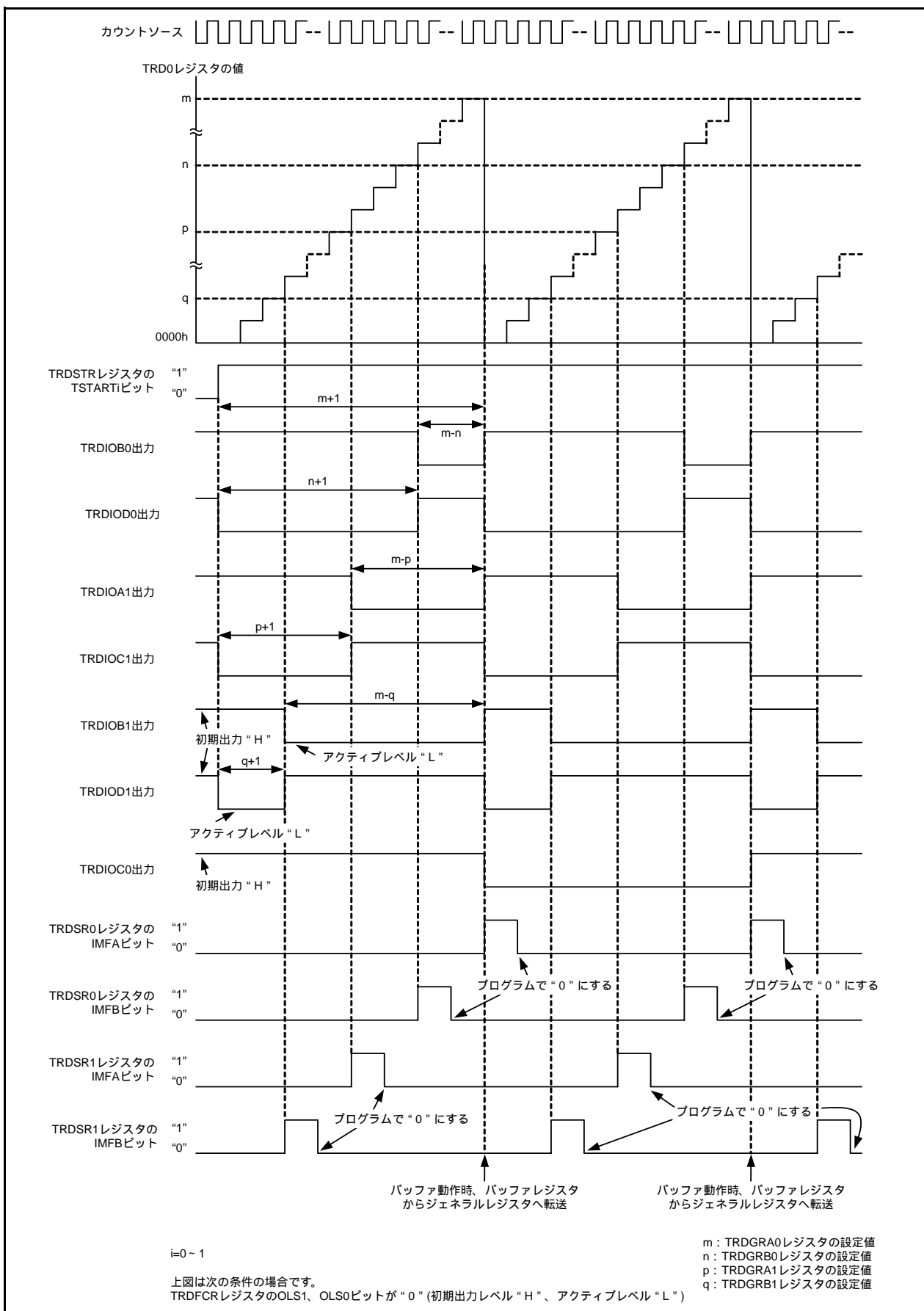


図14.83 リセット同期PWMモードの動作例

14.3.9 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図 14.84 に相補PWMモードのブロック図を、表 14.31 に相補PWMモードの仕様を、図 14.85 ~ 図 14.92 に相補PWMモード関連レジスタを、図 14.93 に相補PWMモードの出力モデルを、図 14.94 に相補PWMモードの動作例を示します。

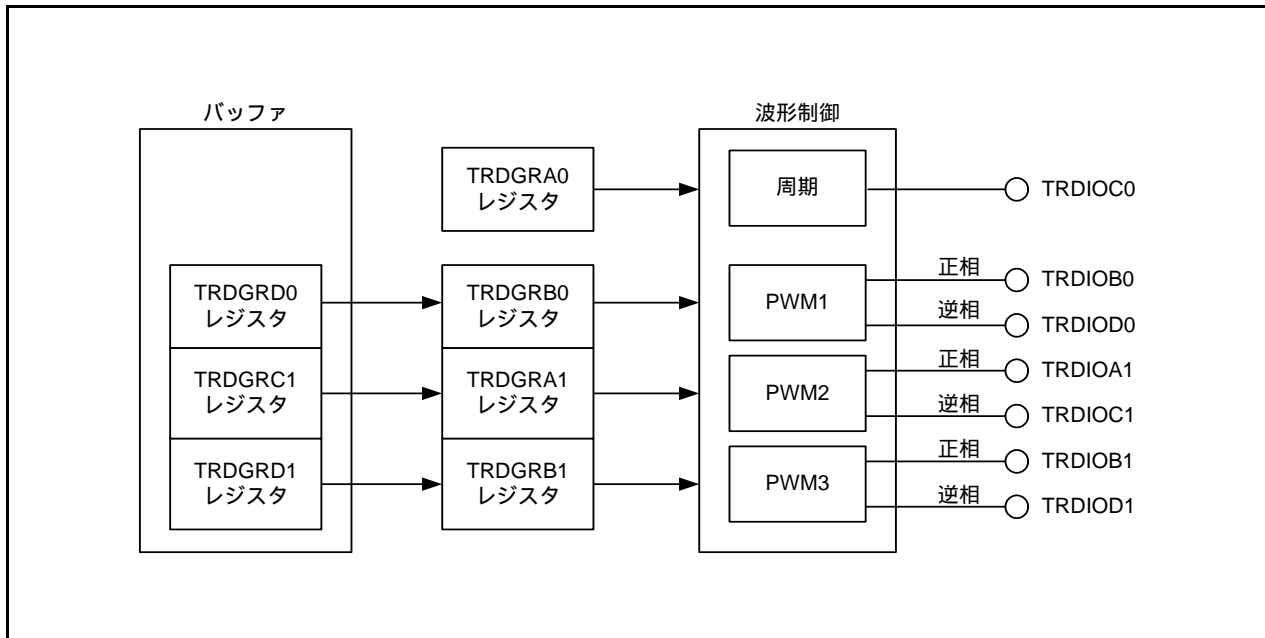


図14.84 相補PWMモードのブロック図

表14.31 相補PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK2～TCK0ビットと、TRDCR1レジスタのTCK2～TCK0ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが“0000h”から“FFFFh”になるとTRD0、TRD1ともアップカウントになる。
PWM波形	PWM周期： $1/fk \times (m+2-p) \times 2$ (注1) 短絡防止時間： p 正相のアクティブレベル幅： $1/fk \times (m-n-p+1) \times 2$ 逆相のアクティブレベル幅： $1/fk \times (n+1-p) \times 2$ fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p：TRD0レジスタ設定値
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットとTSTART1ビットへの“0”(カウント停止)書き込み(PWM出力端子はカウント停止前の出力レベルを保持)
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD1アンダフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力(「14.3.4 パルス出力強制遮断」参照) 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファレジスタからの転送タイミング選択 A/Dトリガ発生

i=0～1、j=A、B、C、Dのいずれか

注1. カウント開始後、PWM周期は固定です。

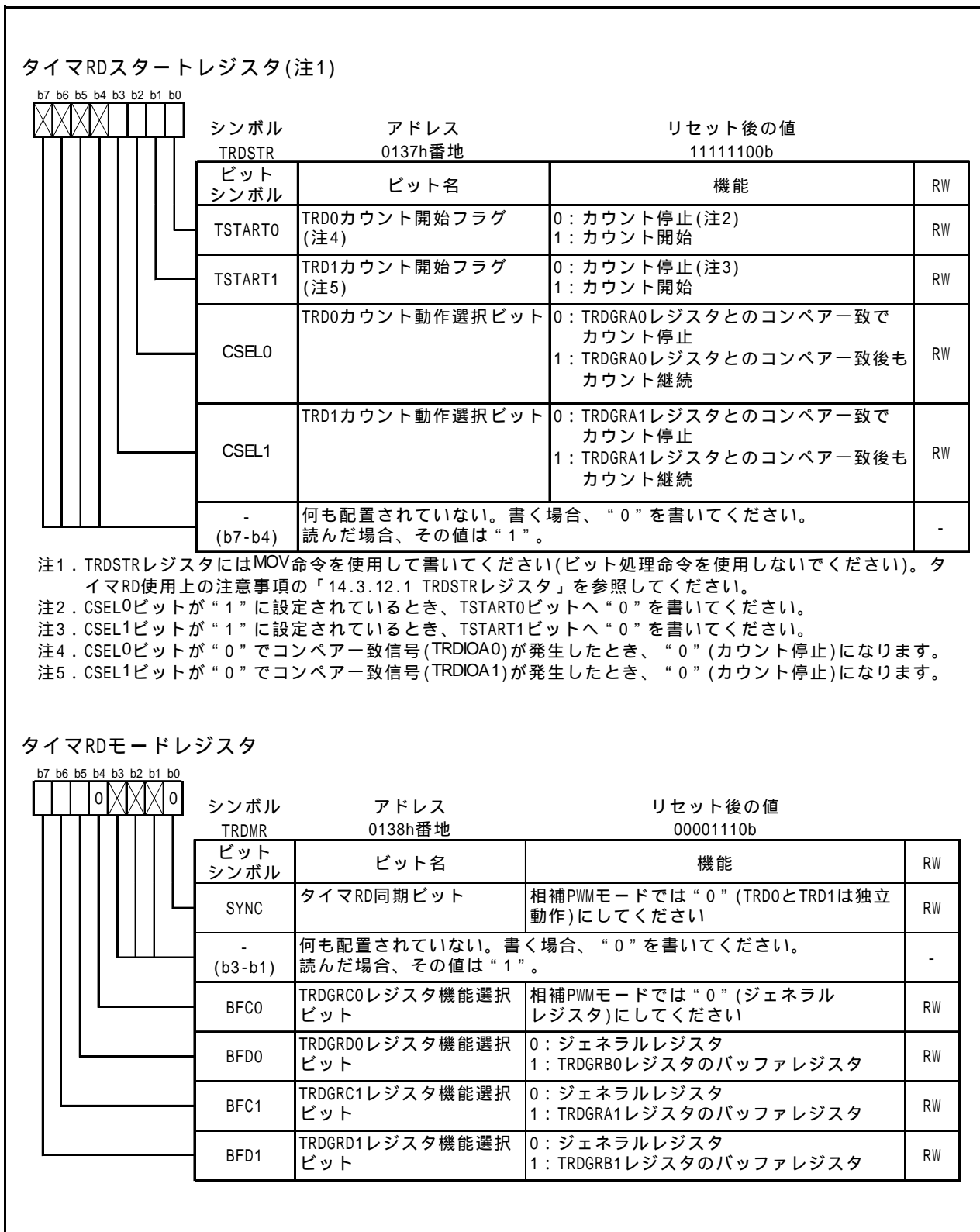


図 14.85 相補PWMモード時のTRDSTR、TRDMRレジスタ

タイマRD機能制御レジスタ

シンボル TRDFCR		アドレス 013Ah番地	リセット後の値 1000000b
ビット シンボル	ビット名	機能	RW
CMD0	コンビネーションモード 選択ビット (注1、2)	b1 b0 1 0: 相補PWMモード (TRD1のアンダ フロー時にバッファレジスタ からジェネラルレジスタへ 転送)	RW
		1 1: 相補PWMモード (TRD0とTRDGRA0 レジスタのコンペアー一致時に バッファレジスタからジェネラル レジスタへ転送) 上記以外: 設定しないでください	RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモード または相補PWMモード時)	0: 初期出力 “H”、 アクティブレベル “L” 1: 初期出力 “L”、 アクティブレベル “H”	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモード または相補PWMモード時)	0: 初期出力 “H”、 アクティブレベル “L” 1: 初期出力 “L”、 アクティブレベル “H”	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	0: A/Dトリガを禁止 1: A/Dトリガを許可(注3)	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	0: TRD0とTRDGRA0レジスタのコンペア 一致時にA/Dトリガ発生 1: TRD1のアンダフロー時にA/Dトリガ 発生	RW
STCLK	外部クロック入力選択 ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット(注4)	相補PWMモードでは無効です	RW

注1. CMD1～CMD0ビットを“10b”、“11b”に設定したとき、TRDPMRレジスタの設定に係わらず、相補PWMモードになります。

注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注3. ADCON0レジスタのADCAPビットを“1”(タイマRDで開始)にしてください。

注4. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図14.86 相補PWMモード時のTRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1

ビット シンボル	ビット名	機能	RW
EA0	TRDIOA0出力禁止ビット	相補PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください。	RW
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW
EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	RW
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW

タイマRDアウトプットマスタ許可レジスタ2

ビット シンボル	ビット名	機能	RW
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号 入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に “L”を入力すると、TRDOER1レジスタ の全ビットが“1”(出力禁止)になる)	RW

注1. 「14.3.4 パルス出力強制遮断」を参照してください。

図14.87 相補PWMモード時のTRDOER1～TRDOER2レジスタ

タイマRD制御レジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDCR0	0140h番地	00h
TRDCR1	0150h番地	00h

ビットシンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット (注2)	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW
TCK1		RW	
TCK2		RW	
CKEG0	外部クロックエッジ選択ビット (注2、3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	RW
CKEG1		RW	
CCLR0	TRD <i>i</i> カウンタクリア選択ビット	相補PWMモードでは“000b”(クリア禁止 (フリーランニング動作))にして ください。	RW
CCLR1			RW
CCLR2			RW

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2. TRDCR0レジスタとTRDCR1レジスタの、TCK0~TCK2ビット、CKEG0~CKEG1ビットの設定は、同じにしてください。
 注3. TCK2~TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

図14.88 相補PWMモード時のTRDCR0~TRDCR1レジスタ

タイマRDステータスレジスタ*i* (*i*=0~1)

ビット シンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/ コンペアー一致フラグA	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき。	RW
IMFB	インプットキャプチャ/ コンペアー一致フラグB	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき。	RW
IMFC	インプットキャプチャ/ コンペアー一致フラグC	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/ コンペアー一致フラグD	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき。 (注3)	RW
OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRD1がアンダフローしたとき。	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF*ji*ビット(*j*=CまたはD)が“1”(TRDGR*ji*はバッファレジスタ)の場合を含む。

図14.89 相補PWMモード時のTRDSR0~TRDSR1レジスタ

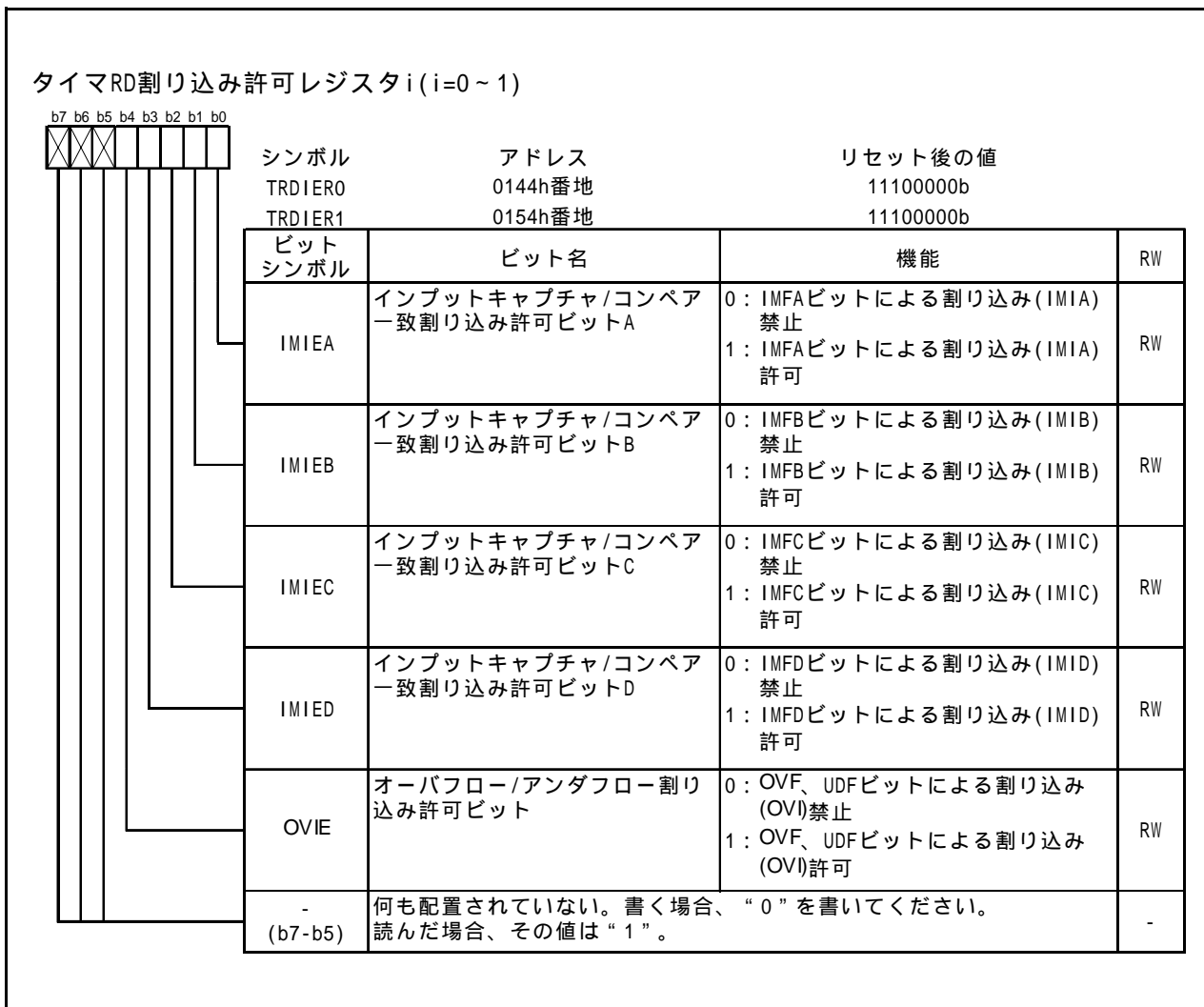


図14.90 相補PWMモード時のTRDIER0 ~ TRDIER1レジスタ

タイマRDカウンタ0(注1)			
(b15)	(b8)		
b7	b0 b7	b0	
		シンボル	アドレス
		TRD0	0147h-0146h番地
			リセット後の値
			0000h
		機能	設定範囲
		短絡防止時間を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたは ダウンカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh
			RW
			RW

注1. TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

タイマRDカウンタ1(注1)			
(b15)	(b8)		
b7	b0 b7	b0	
		シンボル	アドレス
		TRD1	0157h-0156h番地
			リセット後の値
			0000h
		機能	設定範囲
		“0000h”を選択してください。 カウントソースをカウント。カウント動作はアップカウントまたは ダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFビットが“1”になる。	0000h ~ FFFFh
			RW
			RW

注1. TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図14.91 相補PWMモード時のTRD0 ~ TRD1レジスタ

タイマRDジェネラルレジスタAi、Bi、C1、Di(i=0~1)(注1、2)			
(b15)	(b8)		
b7	b0 b7	b0	
		シンボル	アドレス
		TRDGRA0	0149h-0148h番地
		TRDGRB0	014Bh-014Ah番地
		TRDGRD0	014Fh-014Eh番地
		TRDGRA1	0159h-0158h番地
		TRDGRB1	015Bh-015Ah番地
		TRDGRC1	015Dh-015Ch番地
		TRDGRD1	015Fh-015Eh番地
			リセット後の値
			FFFFh
			FFFFh
			FFFFh
			FFFFh
			FFFFh
			FFFFh
			FFFFh
			FFFFh
		機能	RW
		「表14.32 相補PWMモード時のTRDGRjiレジスタの機能」参照。	RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。
注2. 相補PWMモードでは、TRDGRC0レジスタは使用しません。

図14.92 相補PWMモード時のTRDGRAi、TRDGRBi、TRDGRC1、TRDGRDiレジスタ

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 14.32 相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値以上、 FFFFh - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	(TRDIOC0半周期ごとに出 力反転)
TRDGRB0	-	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	-	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	-	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	-	(相補PWMモードでは使用しません。)	-
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (「14.3.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (「14.3.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (「14.3.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。

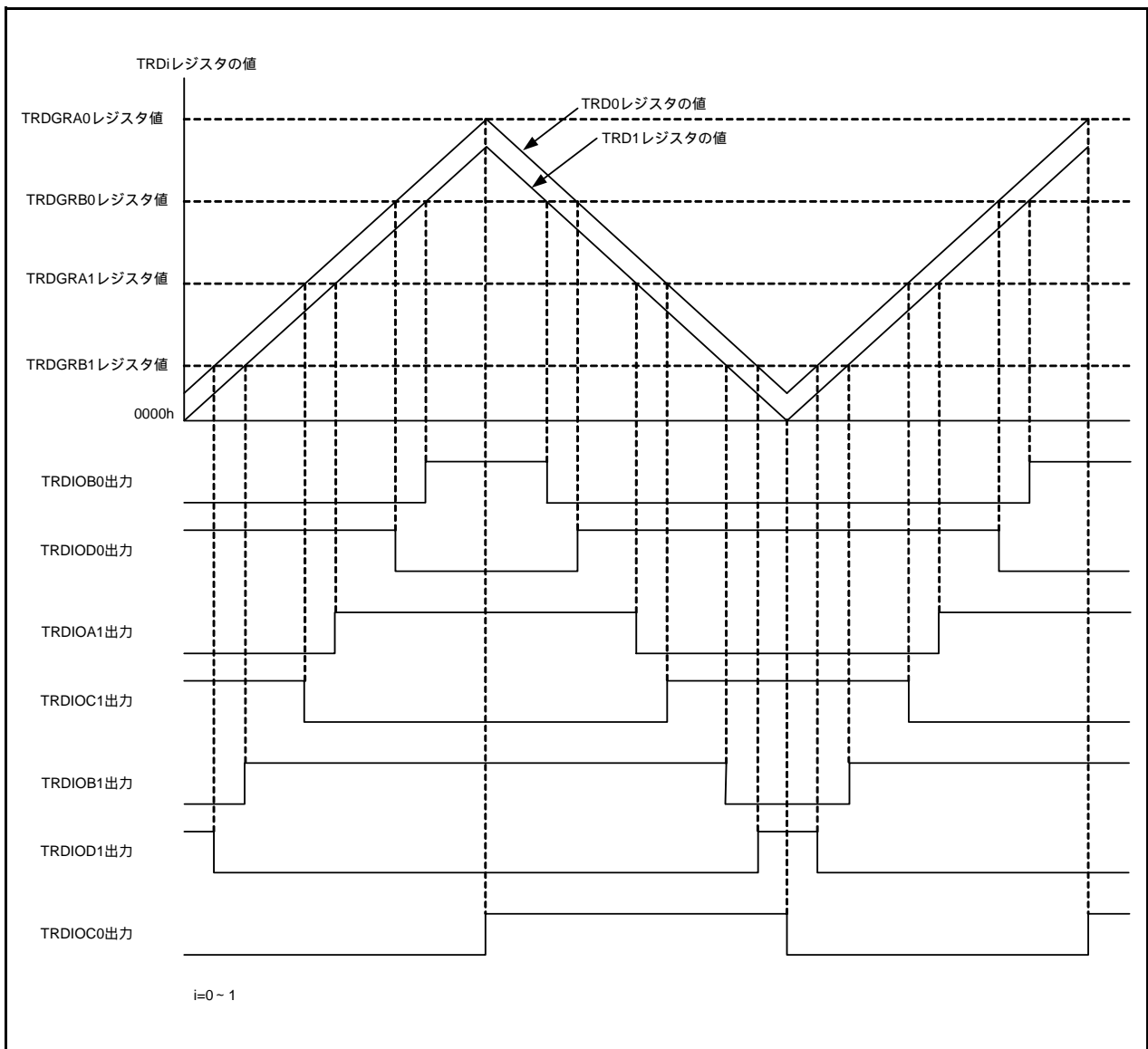


図 14.93 相補PWMモードの出力モデル

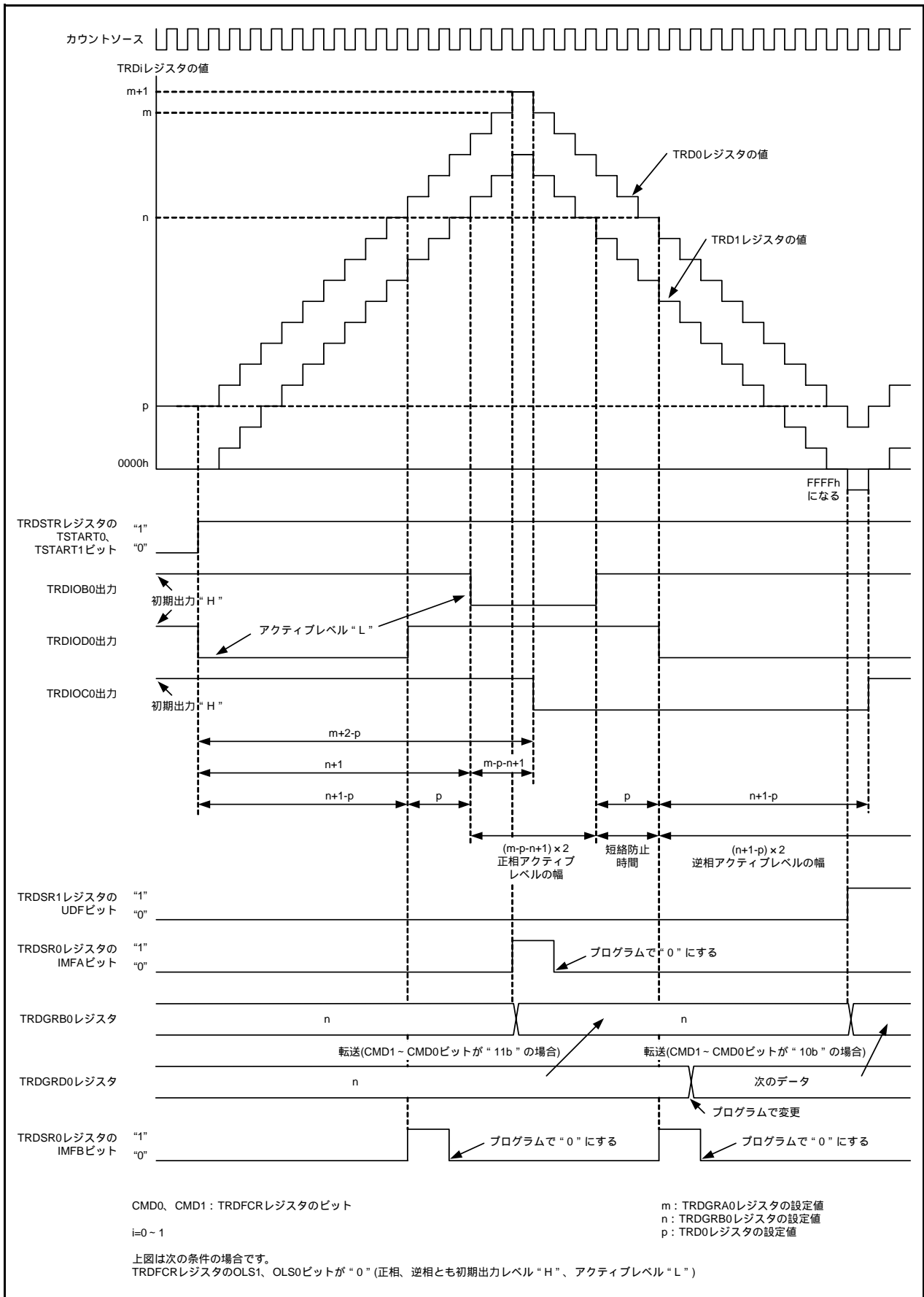


図 14.94 相補PWMモードの動作例

14.3.9.1 バッファレジスタからの転送タイミング

- TRDGRD0、TRDGRC1、TRDGRD1レジスタからTRDGRB0、TRDGRA1、TRDGRB1レジスタへの転送
TRDFCRレジスタのCMD1～CMD0ビットが“10b”の場合、TRD1がアンダフローしたときに転送します。
CMD1～CMD0ビットが“11b”の場合、TRD0とTRDGRA0レジスタがコンペアー一致したときに転送します。

14.3.9.2 A/Dトリガ発生

TRD0とTRDGRA0レジスタのコンペアー一致と、TRD1アンダフローを、A/Dコンバータの変換開始トリガとして使用できます。TRDFCRレジスタのADEG、ADTRGビットで選択してください。
また、ADCON0レジスタのADCAPビットを“1”(タイマRDで開始)にしてください。

14.3.10 PWM3モード

同周期のPWM波形を2本出力します。

図14.95にPWM3モードのブロック図を、表14.33にPWM3モードの仕様を、図14.96～図14.104にPWM3モード関連レジスタを、図14.105にPWM3モードの動作例を示します。

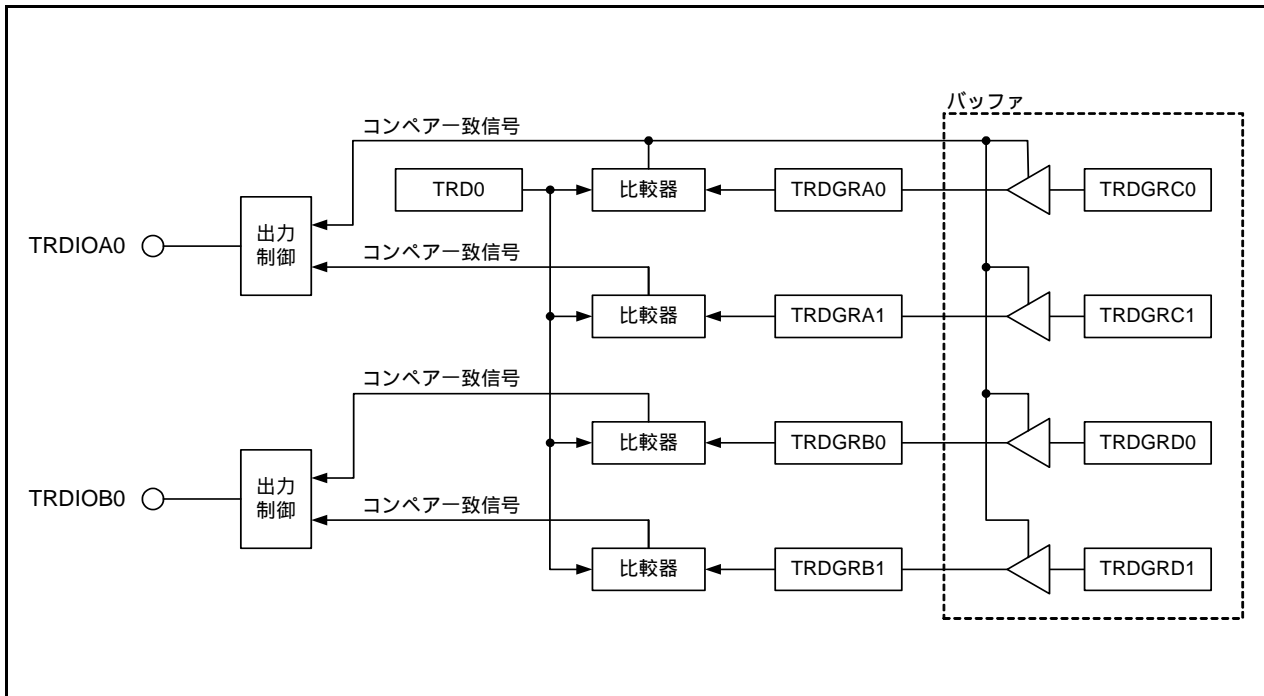
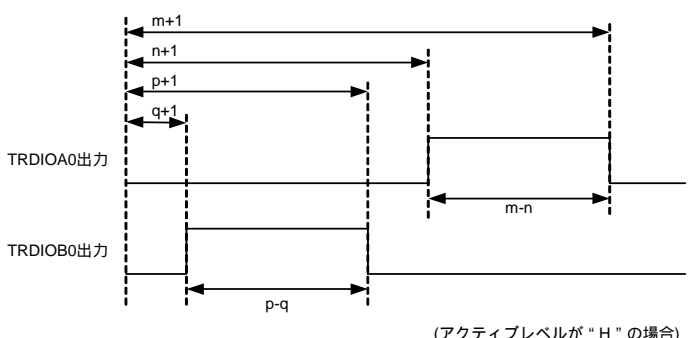


図14.95 PWM3モードのブロック図

表14.33 PWM3モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	<p>PWM周期：$1/f_k \times (m+1)$ TRDIOA0出力のアクティブレベル幅：$1/f_k \times (m-n)$ TRDIOB0出力のアクティブレベル幅：$1/f_k \times (p-q)$ f_k：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRA1レジスタ設定値 p：TRDGRB0レジスタ設定値 q：TRDGRB1レジスタ設定値</p>  <p>(アクティブレベルが“H”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD0オーバフロー
TRDIOA0、TRDIOB0端子機能	PWM出力
TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力(「14.3.4 パルス出力強制遮断」参照) アクティブレベルを端子ごとに選択 バッファ動作(「14.3.2 バッファ動作」参照)

$i=0 \sim 1$ 、 $j=A, B, C, D$ のいずれか

タイマRDスタートレジスタ(注1)

ビット シンボル	ビット名	機能	RW
TSTART0	TRD0カウント開始フラグ (注4)	0: カウント停止(注2) 1: カウント開始	RW
TSTART1	TRD1カウント開始フラグ (注5)	0: カウント停止(注3) 1: カウント開始	RW
CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペアー一致で カウント停止 1: TRDGRA0レジスタとのコンペアー一致後も カウント継続	RW
CSEL1	TRD1カウント動作選択ビット [PWM3モードでは使用しません]	0: TRDGRA1レジスタとのコンペアー一致で カウント停止 1: TRDGRA1レジスタとのコンペアー一致後も カウント継続	RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSTRレジスタにはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「14.3.12.1 TRDSTRレジスタ」を参照してください。

注2. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注3. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注4. CSEL0ビットが“0”でコンペアー一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注5. CSEL1ビットが“0”でコンペアー一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

タイマRDモードレジスタ

ビット シンボル	ビット名	機能	RW
SYNC	タイマRD同期ビット	PWM3モードでは“0”(TRD0とTRD1は独立 動作)にしてください	RW
- (b3-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
BFC0	TRDGRC0レジスタ機能選択 ビット	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	RW
BFD0	TRDGRD0レジスタ機能選択 ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	RW
BFC1	TRDGRC1レジスタ機能選択 ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	RW
BFD1	TRDGRD1レジスタ機能選択 ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	RW

図 14.96 PWM3モード時のTRDSTR、TRDMRレジスタ

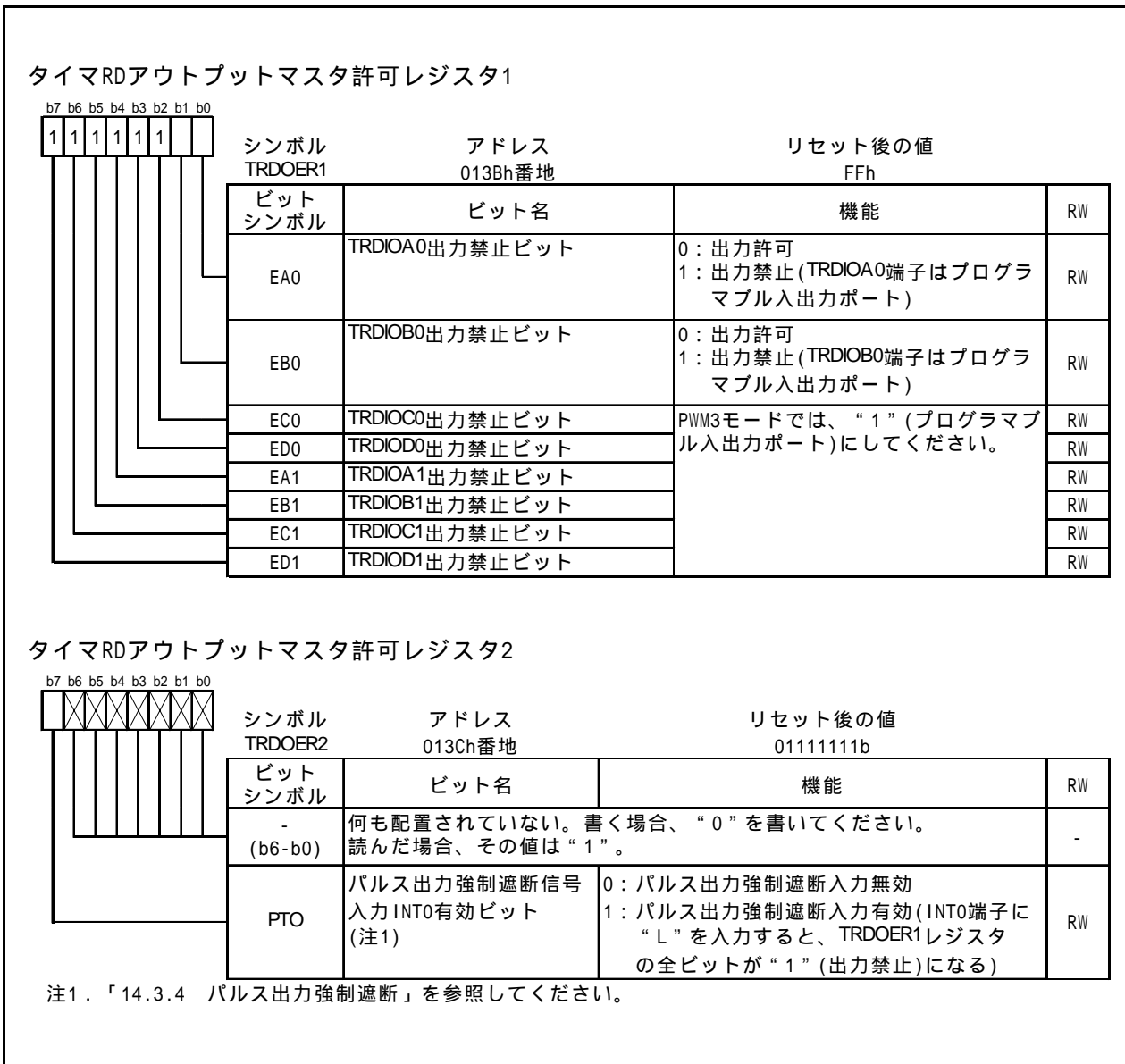


図14.98 PWM3モード時のTRDOER1 ~ TRDOER2レジスタ

タイマRDアウトプット制御レジスタ(注1)

シンボル TRDOCR	アドレス 013Dh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOA0	TRDIOA0出力レベル 選択ビット(注2)	0: アクティブレベル“H” 初期出力“L”、TRDGRA1のコンペアー致で“H” 出力、TRDGRA0のコンペアー致で“L”出力 1: アクティブレベル“L” 初期出力“H”、TRDGRA1のコンペアー致で“L” 出力、TRDGRA0のコンペアー致で“H”出力	RW
TOB0	TRDIOB0出力レベル 選択ビット(注2)	0: アクティブレベル“H” 初期出力“L”、TRDGRB1のコンペアー致で“H” 出力、TRDGRB0のコンペアー致で“L”出力 1: アクティブレベル“L” 初期出力“H”、TRDGRB1のコンペアー致で“L” 出力、TRDGRB0のコンペアー致で“H”出力	RW
TOC0	TRDIOC0初期出力 レベル選択ビット	PWM3モードでは無効です。	RW
TOD0	TRDIOD0初期出力 レベル選択ビット		RW
TOA1	TRDIOA1初期出力 レベル選択ビット		RW
TOB1	TRDIOB1初期出力 レベル選択ビット		RW
TOC1	TRDIOC1初期出力 レベル選択ビット		RW
TOD1	TRDIOD1初期出力 レベル選択ビット		RW

注1. TRDOCRレジスタはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。
 注2. 端子の機能が波形出力の場合(表14.12、表14.13参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図 14.99 PWM3モード時のTRDOCRレジスタ

タイマRD制御レジスタ0(注2)

シンボル TRDCR0	アドレス 0140h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : 設定しないでください 1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW
TCK1			RW
TCK2			RW
CKEG0	外部クロックエッジ選択 ビット(注1)	PWM3モードでは無効です。	RW
CKEG1			RW
CCLR0	TRD0カウンタクリア選択 ビット	PWM3モードでは“001b”(TRDGRA0レジスタ とコンペアー致でTRD0レジスタクリア)に してください。	RW
CCLR1			RW
CCLR2			RW

注1. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. PWM3モードでは、TRDCR1レジスタは使用しません。

図14.100 PWM3モード時のTRDCR0レジスタ

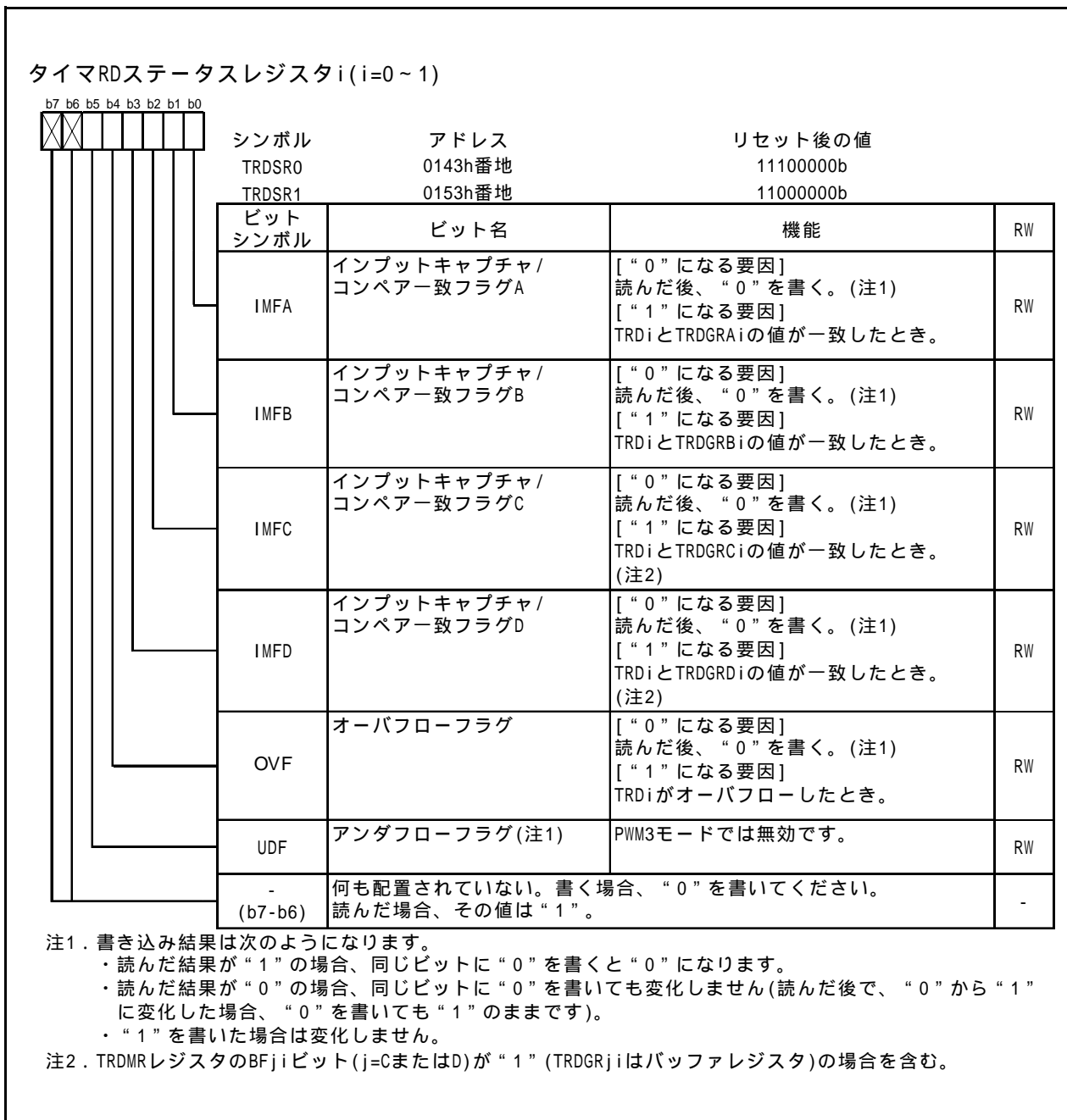


図14.101 PWM3モード時のTRDSR0 ~ TRDSR1レジスタ

タイマRD割り込み許可レジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDIER0	0144h番地	11100000b
TRDIER1	0154h番地	11100000b

ビットシンボル	ビット名	機能	RW
IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	RW
IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	RW
IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	RW
IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	RW
OVIE	オーバフロー/アンダフロー割り込み許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	RW
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

図 14.102 PWM3モード時のTRDIER0 ~ TRDIER1レジスタ

タイマRDカウンタ0(注1、2)

シンボル	アドレス	リセット後の値
TRD0	0147h-0146h番地	0000h

機能	設定範囲	RW
カウントソースをカウント。カウント動作はアップカウント。オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	RW

注1. TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。
注2. PWM3モードでは、TRD1レジスタは使用しません。

図 14.103 PWM3モード時のTRD0レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di (i=0~1)(注1)

(b15)		(b8)		b0		シンボル	アドレス	リセット後の値
b7	b0	b7	b0					
						TRDGRA0	0149h-0148h番地	FFFFh
						TRDGRB0	014Bh-014Ah番地	FFFFh
						TRDGRC0	014Dh-014Ch番地	FFFFh
						TRDGRD0	014Fh-014Eh番地	FFFFh
						TRDGRA1	0159h-0158h番地	FFFFh
						TRDGRB1	015Bh-015Ah番地	FFFFh
						TRDGRC1	015Dh-015Ch番地	FFFFh
						TRDGRD1	015Fh-015Eh番地	FFFFh
機能								RW
「表14.34 PWM3モード時のTRDGRjiレジスタの機能」参照。								RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図14.104 PWM3モード時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表14.34 PWM3モード時のTRDGR*ji*レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0		ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	BFC0=0	(PWM3モードでは使用しません)	-
TRDGRC1	BFC1=0		
TRDGRD0	BFD0=0		
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「14.3.2 バッファ動作」参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「14.3.2 バッファ動作」参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「14.3.2 バッファ動作」参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「14.3.2 バッファ動作」参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1ビットを“0”(ジェネラルレジスタ)にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタに値を書き込み、その後BFC0、BFC1、BFD0、BFD1ビットを“1”(バッファレジスタ)にしても構いません。

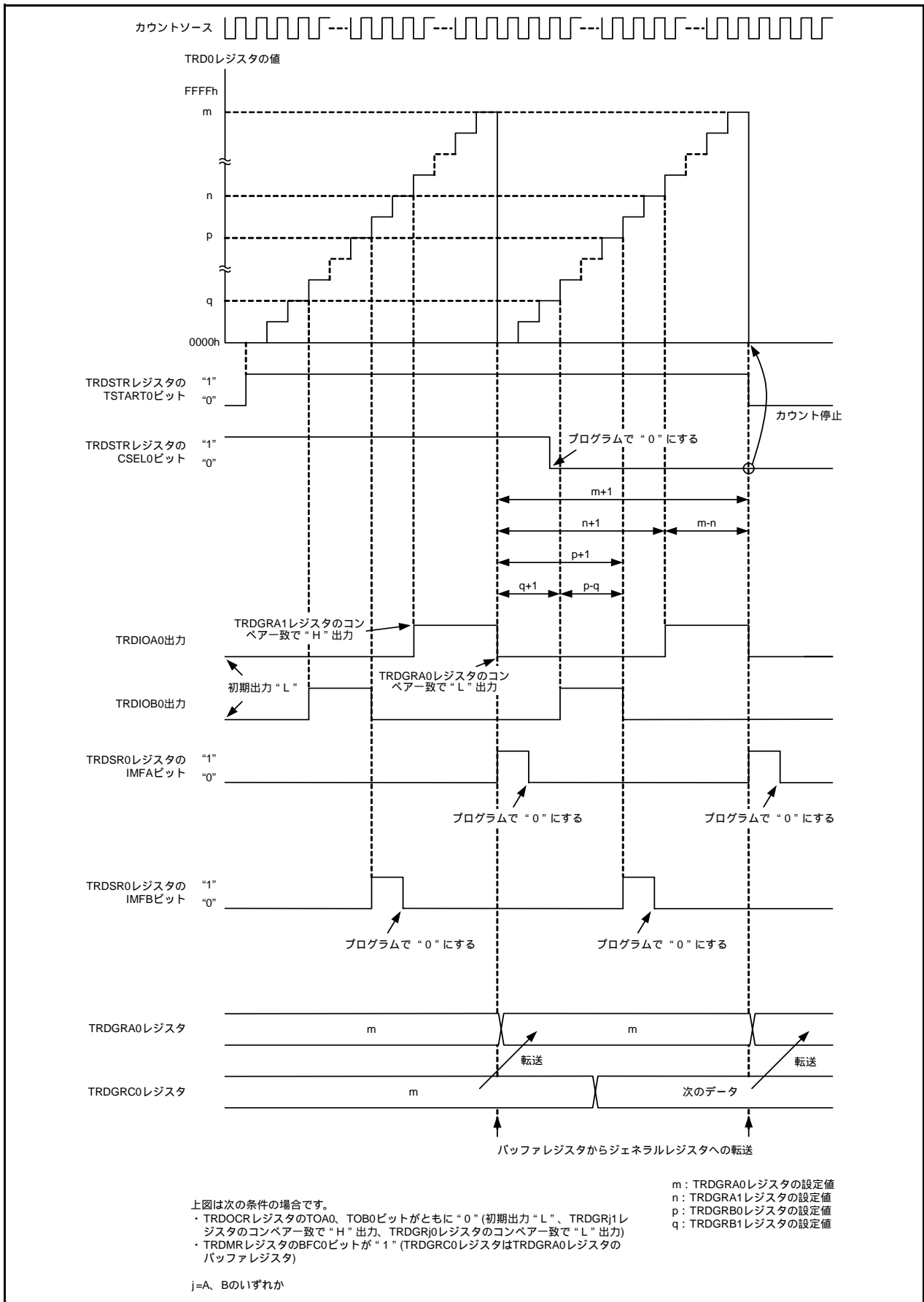


図 14.105 PWM3モードの動作例

14.3.11 タイマRD割り込み

タイマRDは、チャンネル毎に6つの要因からタイマRD割り込み要求を発生します。タイマRD割り込みはチャンネル毎に1つのTRDiIC($i=0 \sim 1$)レジスタ(IRビット、ILVL0 ~ ILVL2ビット)と1つのベクタを持ちます。

表14.35にタイマRD割り込み関連レジスタを、図14.106にタイマRD割り込みのブロック図を示します。

表14.35 タイマRD割り込み関連レジスタ

	タイマRD ステータスレジスタ	タイマRD 割り込み許可レジスタ	タイマRD 割り込み制御レジスタ
チャンネル0	TRDSR0	TRDIER0	TRD0IC
チャンネル1	TRDSR1	TRDIER1	TRD1IC

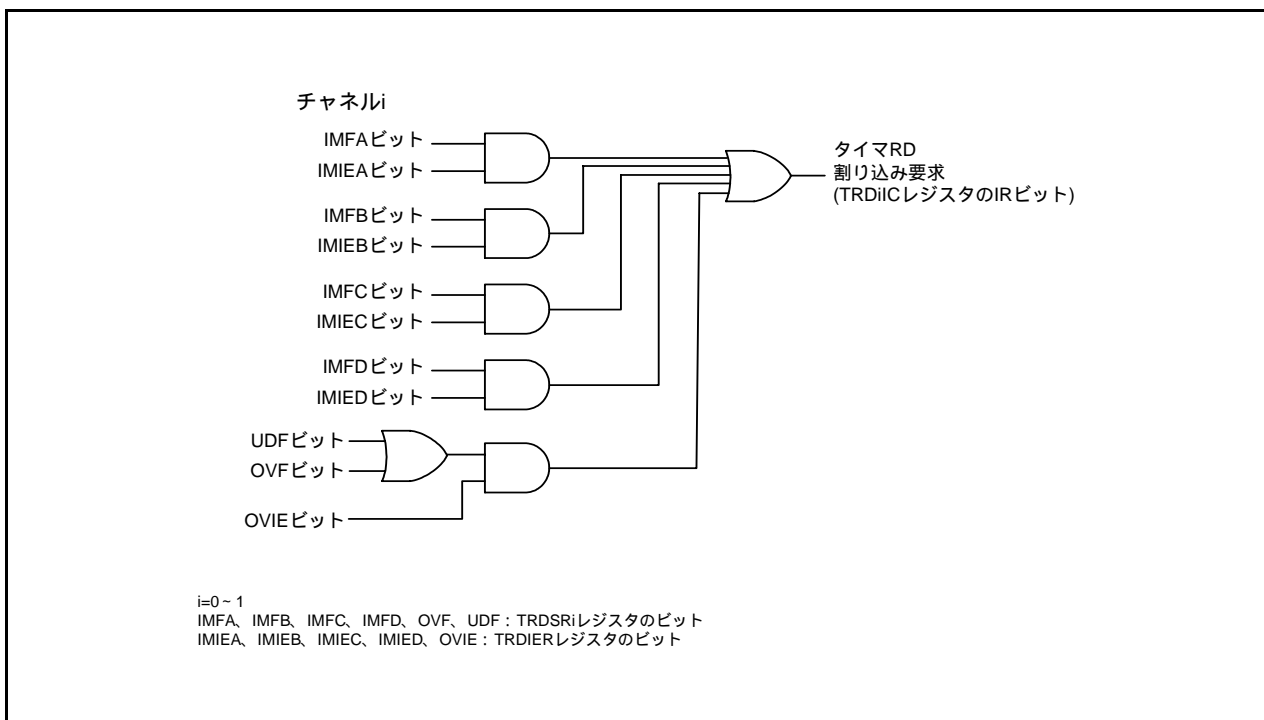


図14.106 タイマRD割り込みのブロック図

タイマRD割り込みが、Iフラグ、IRビット、ILVL0 ~ ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRD割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSR*i*レジスタのビットが“1”で、それに対応するTRDIER*i*レジスタのビットが“1”(割り込み許可)の場合、TRDiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRDSR*i*レジスタのビットと、それに対応するTRDIER*i*レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRDIER*i*レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRDSR*i*レジスタで判定してください。
- TRDSR*i*レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「各モード毎のTRDSR0 ~ TRDSR1レジスタ(図14.40、図14.55、図14.67、図14.79、図14.89、図14.101)」を参照してください。

TRDSR_iレジスタは「各モード毎のTRDSR0 ~ TRDSR1レジスタ(図14.40、図14.55、図14.67、図14.79、図14.89、図14.101)」を、TRDIER_iレジスタは「各モード毎のTRDIER0 ~ TRDIER1レジスタ(図14.41、図14.56、図14.68、図14.80、図14.90、図14.102)」を参照してください。

TRDiCレジスタは「12.1.6 割り込み制御」、割り込みベクタは「12.1.5.2 可変ベクタテーブル」を参照してください。

14.3.12 タイマRD使用上の注意事項

14.3.12.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi(i=0 ~ 1) ビットが“0” (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止)の場合、TSTARTi ビットに“0” (カウント停止)を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
したがって、CSELi ビットが“0”のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0”を書いてください。
また、プログラムでカウントを停止させる場合は、CSELi ビットを“1”にした後で、TSTARTi ビットに“0”を書いてください。同時に(1命令で)CSELi ビットに“1”、TSTARTi ビットに“0”を書いてもカウントは停止できません。
- TRDIOj(j=A, B, C, D) 端子をタイマ RD 出力で使用している場合の、カウント停止時の出力レベルを表14.36に示します。

表14.36 カウント停止時のTRDIOj(j=A, B, C, D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELi ビットが“1”のときに、TSTARTi ビットに“0”を書きカウント停止	直前の出力レベルを保持
CSELi ビットが“0”のときに、TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持

14.3.12.2 TRDi レジスタ (i=0 ~ 1)

- TRDSTR レジスタの TSTARTi ビットが“1” (カウント開始)の状態、プログラムで TRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h”になるタイミングと重ならないように書いてください。
TRDi レジスタが“0000h”になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h”になります。
この注意事項は、TRDCRi レジスタの CCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
 - “001b” (TRDGRAi レジスタとのコンペアー一致で TRDi でクリア)
 - “010b” (TRDGRBi レジスタとのコンペアー一致で TRDi でクリア)
 - “011b” (同期クリア)
 - “101b” (TRDGRCi レジスタとのコンペアー一致で TRDi でクリア)
 - “110b” (TRDGRDi レジスタとのコンペアー一致で TRDi でクリア)
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。
 プログラム例


```

MOV.W #XXXXh, TRD0      ; 書き込み
JMP.B L1                ; JMP.B 命令
L1:  MOV.W TRD0,DATA     ; 読み出し
      
```

14.3.12.3 TRDSR_iレジスタ (i=0~1)

TRDSR_iレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B  L1          ; JMP.B命令
L1:                MOV.B  TRDSR0,DATA  ; 読み出し

```

14.3.12.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

14.3.12.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表14.11 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_{ji}(i=0 ~ 1、j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRD_iレジスタの値をTRDGR_{ji}レジスタに転送します(デジタルフィルタなしの場合)。

14.3.12.6 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

変更手順

- (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
- (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
- (3) CMD1 ~ CMD0を“01b”(リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

14.3.12.7 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
 - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
- (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$ m $m+1$ m $m-1$ とカウントします。
 m $m+1$ のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1$ m $m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

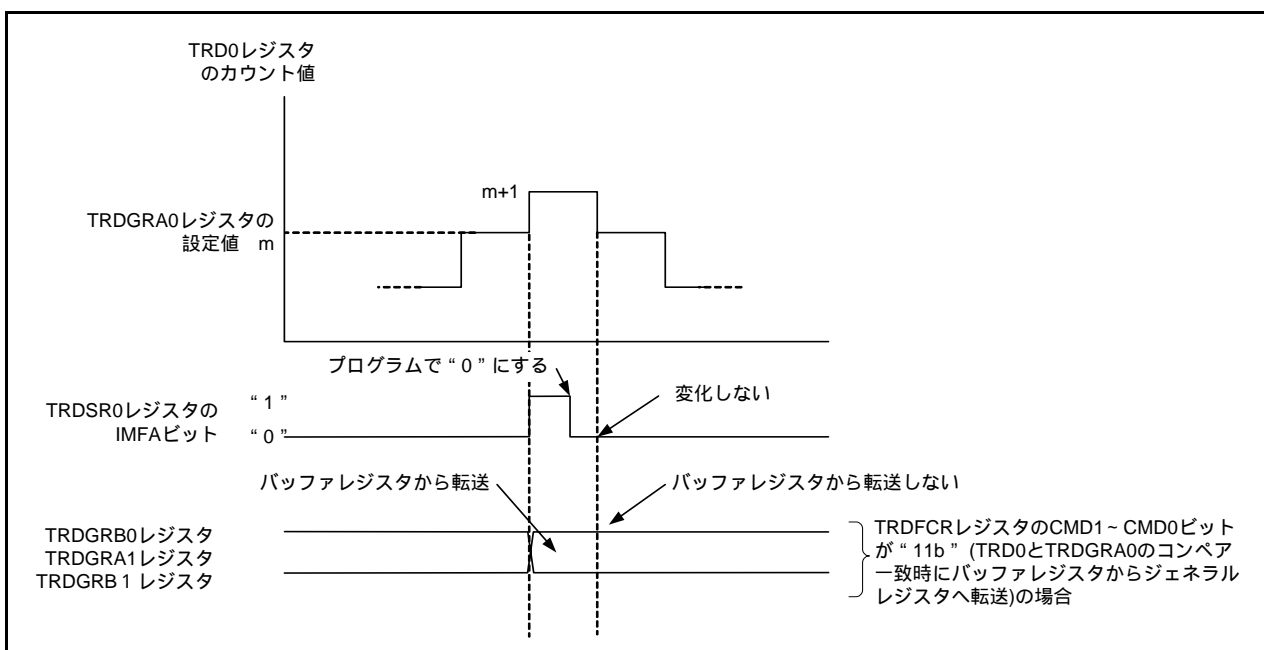


図 14.107 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”（相補PWMモード、TRD1のアンダフローでバッファデータ転送）の場合、バッファレジスタ (TRDGRD0、TRDGRC1、TRDGRD1) の内容がジェネラルレジスタ (TRDGRB0、TRDGRA1、TRDGRB1) に転送されます。
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

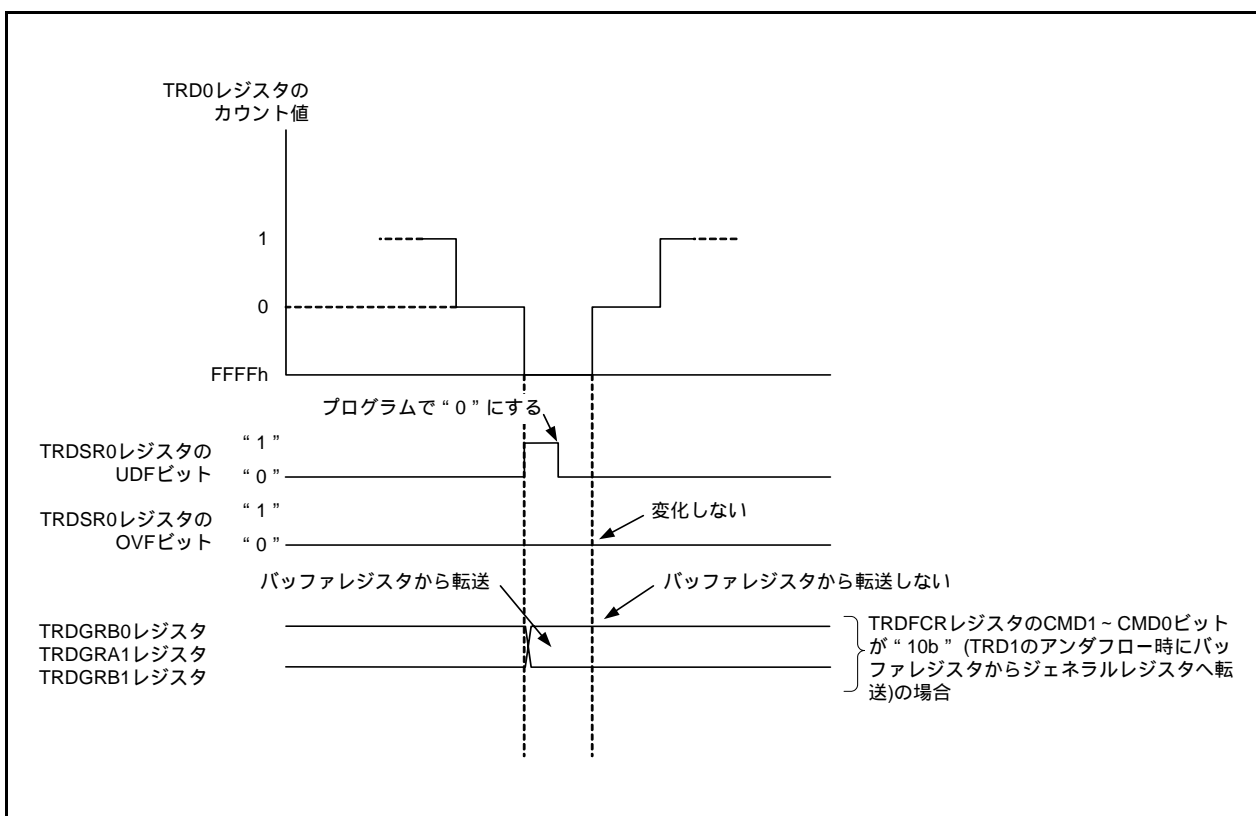


図 14.108 相補PWMモード TRD1がアンダーフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタのCMD1 ~ CMD0ビットで選択してください。ただし、次の場合はCMD1 ~ CMD0ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0レジスタの値の場合

TRD1レジスタのアンダフローで転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1 ~ CMD0ビットで選択したタイミングで転送します。

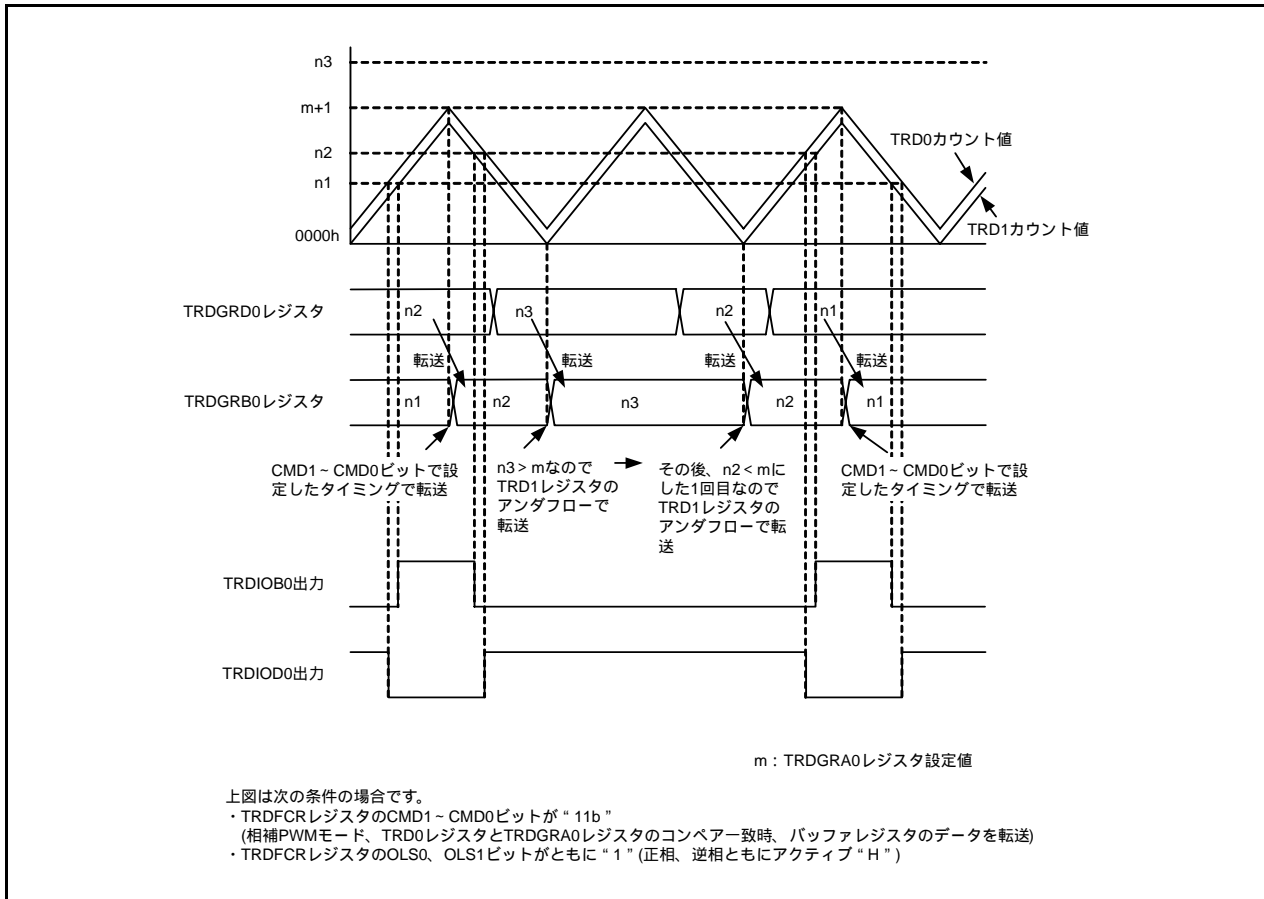


図 14.109 相補PWMモード時のバッファレジスタの値 TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

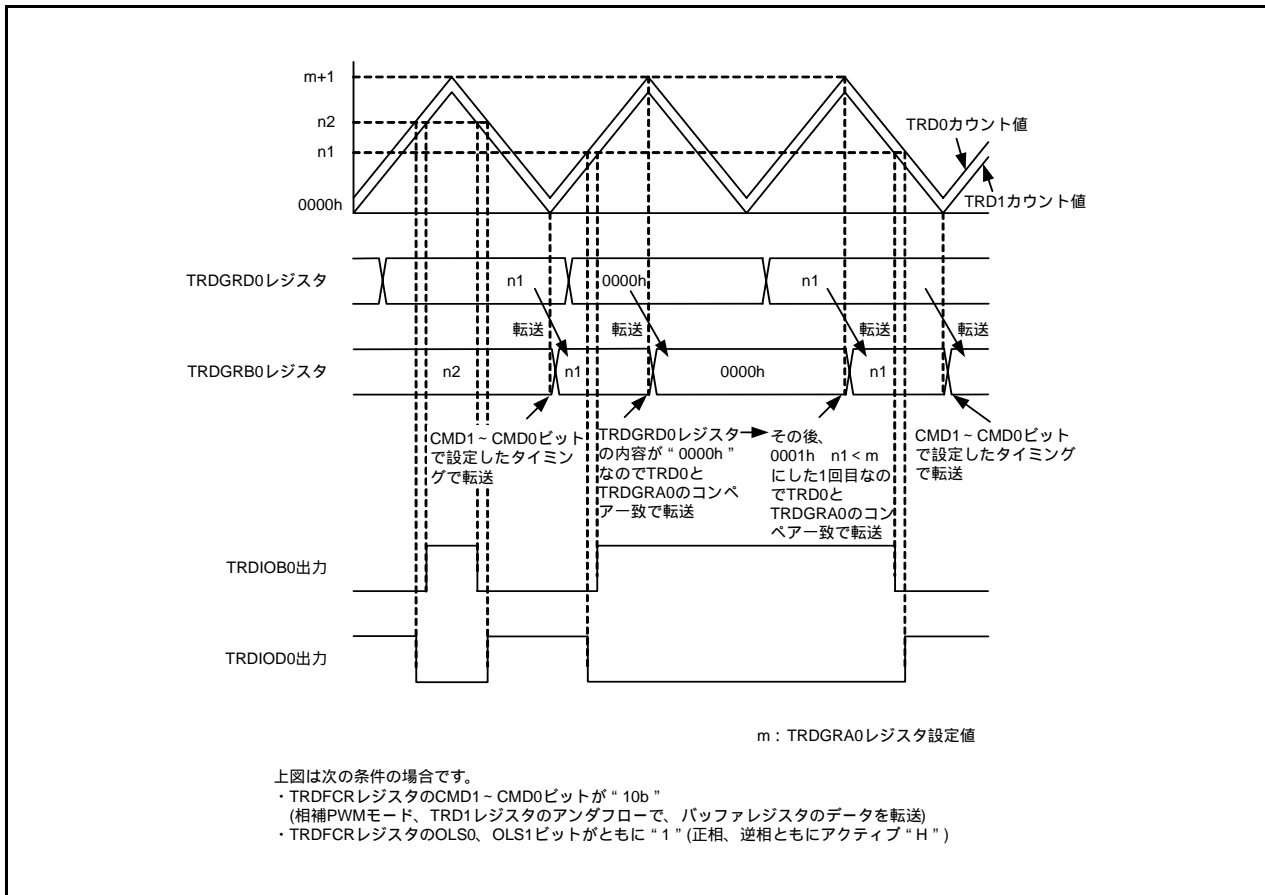


図14.110 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

14.3.12.8 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=3.0～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

14.4 タイマRE

タイマREは、4ビットカウンタと8ビットカウンタを持つタイマです。

タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード f_{C4} から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

14.4.1 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図 14.111 にリアルタイムクロックモードのブロック図を、表 14.37 にリアルタイムクロックモードの仕様を、図 14.112 ~ 図 14.116 と図 14.118 と図 14.119 にリアルタイムクロックモード関連レジスタ、表 14.38 に割り込み要因を、図 14.117 に時間表現の定義を、図 14.120 にリアルタイムクロックモードの動作例を示します。

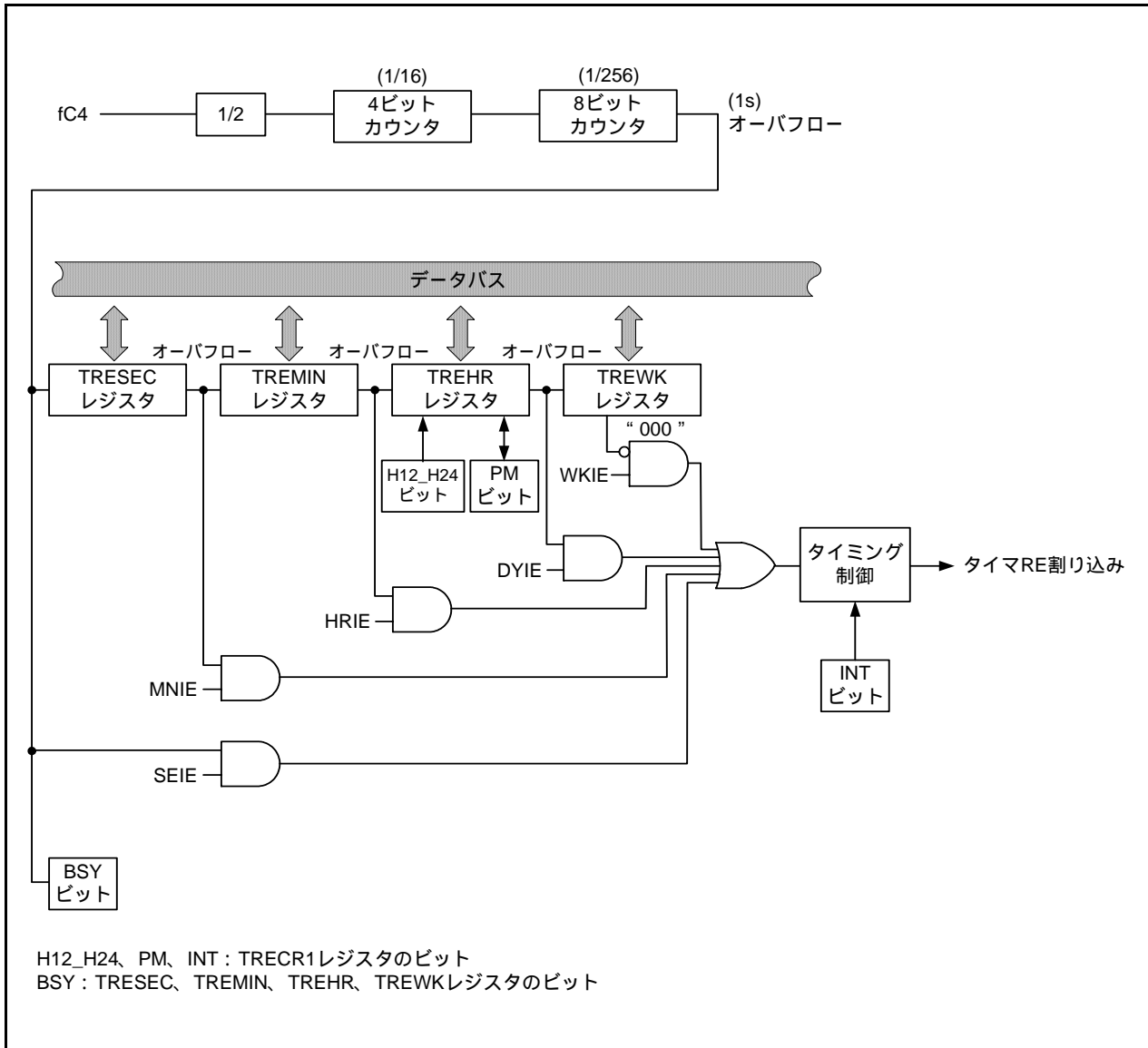


図 14.111 リアルタイムクロックモードのブロック図

表14.37 リアルタイムクロックモードの仕様

項目	仕様
カウントソース	fC4
カウント動作	アップカウント
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 <ul style="list-style-type: none"> • 秒データの更新 • 分データの更新 • 時データの更新 • 曜日データの更新 • 曜日データが“000b”(日曜日)になったとき
TREO端子機能	プログラマブル入出力ポート、またはf2、f4、f8のいずれかを出力
タイマの読み出し	TRESEC、TREMINT、TREHR、TREWKレジスタを読むと、カウント値が読める。TRESEC、TREMINT、TREHRレジスタの値はBCDコード。
タイマの書き込み	TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMINT、TREHR、TREWKレジスタに書き込める。TRESEC、TREMINT、TREHRレジスタへ書き込む値はBCDコード。
選択機能	• 12時間モード/24時間モード切り替え機能

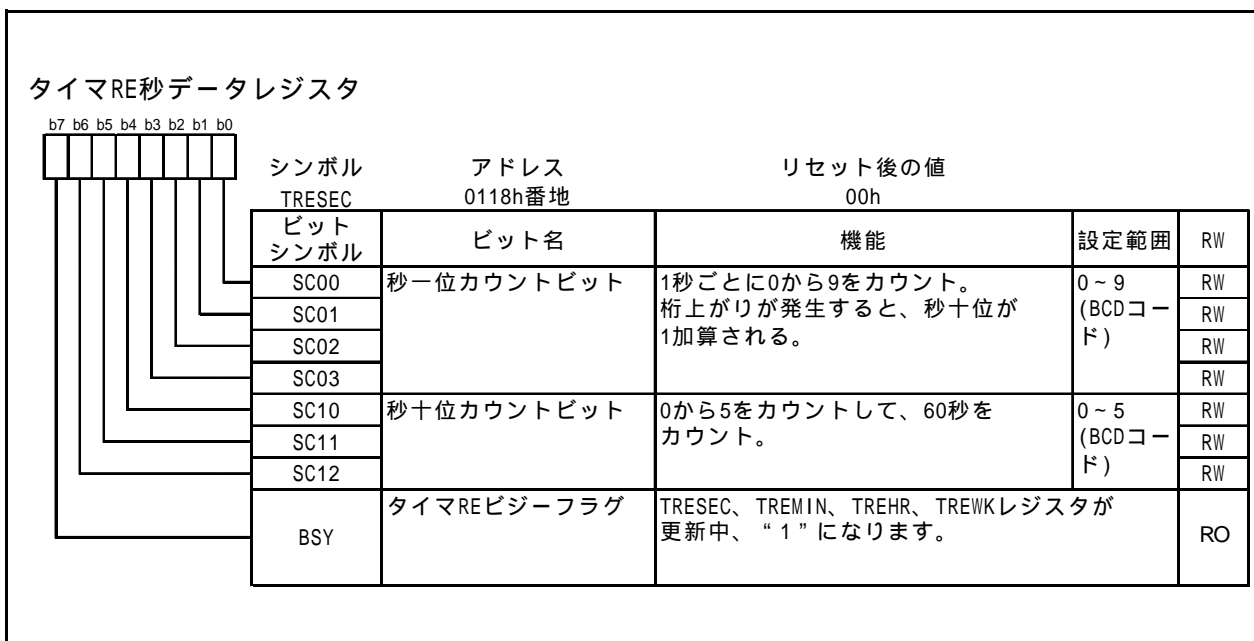


図14.112 リアルタイムクロックモード時のTRESECレジスタ

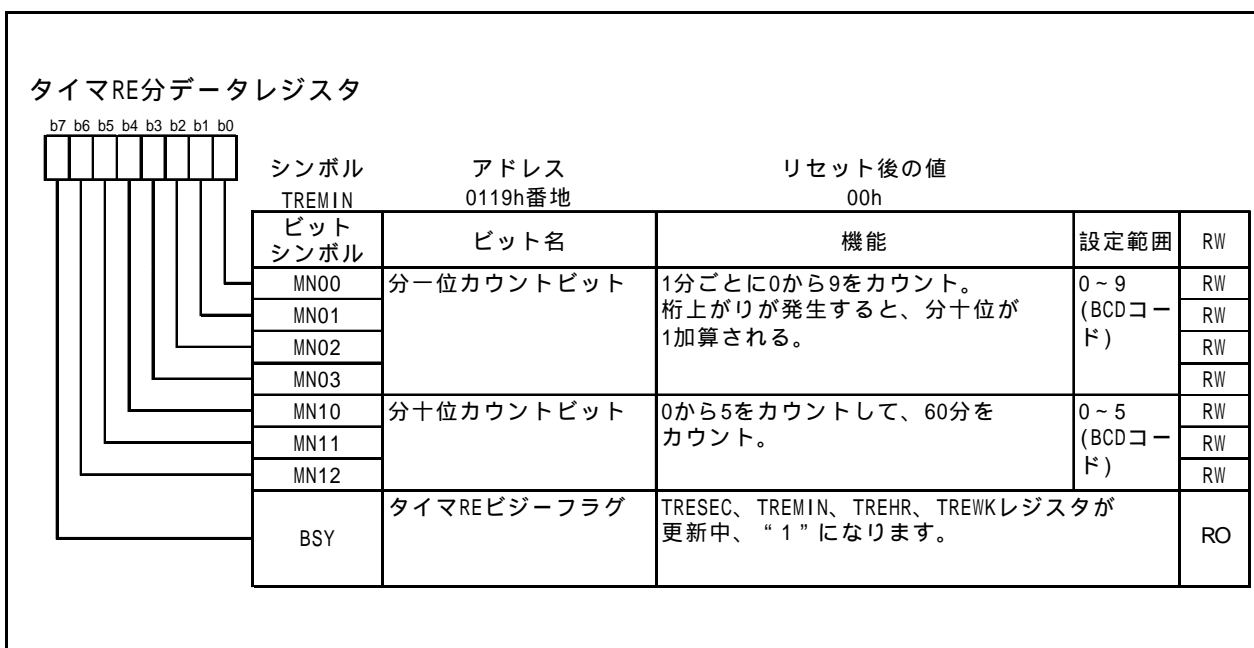


図14.113 リアルタイムクロックモード時のTREMInレジスタ

タイマRE時データレジスタ

シンボル	アドレス	リセット後の値
TREHR	011Ah番地	00h

ビットシンボル	ビット名	機能	設定範囲	RW
HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0~9 (BCDコード)	RW
HR01				RW
HR02				RW
HR03				RW
HR10	時十位カウントビット	H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。	0~2 (BCDコード)	RW
HR11				RW
- (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
BSY	タイマREビジーフラグ	TRESEC、TREMIn、TREHR、TREWkレジスタが更新中、“1”になります。		RO

図14.114 リアルタイムクロックモード時のTREHRレジスタ

タイマRE曜日データレジスタ

シンボル	アドレス	リセット後の値
TREWK	011Bh番地	00h

ビットシンボル	ビット名	機能	RW
WK0	曜日カウントビット	b2 b1 b0 0 0 0 : 日 0 0 1 : 月 0 1 0 : 火 0 1 1 : 水 1 0 0 : 木 1 0 1 : 金 1 1 0 : 土 1 1 1 : 設定しないでください	RW
WK1			RW
WK2			RW
- (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
BSY	タイマREビジーフラグ	TRESEC、TREMIn、TREHR、TREWkレジスタが更新中、“1”になります。	RO

図14.115 リアルタイムクロックモード時のTREWkレジスタ

タイマRE制御レジスタ1

シンボル	アドレス	リセット後の値
TRECR1	011Ch番地	00h

ビットシンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	RO
TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	RW
INT	割り込み要求タイミングビット	リアルタイムクロックモードでは“1”にしてください。	RW
TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 ・ TRESEC、TREMINT、TREHR、TREWK、TRECR2レジスタが“00h” ・ TRECR1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” ・ 8ビットカウンタが“00h”、4ビットカウンタが“0h”	RW
PM	午前/午後ビット	H12_H24ビットが“0” (12時間モード) のとき(注1) 0: 午前 1: 午後 H12_H24ビットが“1” (24時間モード) のとき、不定	RW
H12_H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	RW
TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	RW

注1. タイマREがカウント中、自動的に変化します。

図 14.116 リアルタイムクロックモード時のTRECR1レジスタ

正午

TREHRレジスタの内容	H12_H24ビット=1 (24時間モード)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
	H12_H24ビット=0 (12時間モード)	0	1	2	3	4	5	6	7	8	9	10	11	0	1	2	3	4	5
PMビットの内容	0 (午前)											1 (午後)							
TREWKレジスタの内容	000 (日曜日)																		

日付が変わる

TREHRレジスタの内容	H12_H24ビット=1 (24時間モード)	18	19	20	21	22	23	0	1	2	3	...					
	H12_H24ビット=0 (12時間モード)	6	7	8	9	10	11	0	1	2	3	...					
PMビットの内容	1 (午後)							0 (午前)				...					
TREWKレジスタの内容	000 (日曜日)							001 (月曜日)				...					

PMビット、H12_H24ビット: TRECR1レジスタのビット
上記は日曜日の午前0時からカウントを始めた場合です。

図 14.117 時間表現の定義

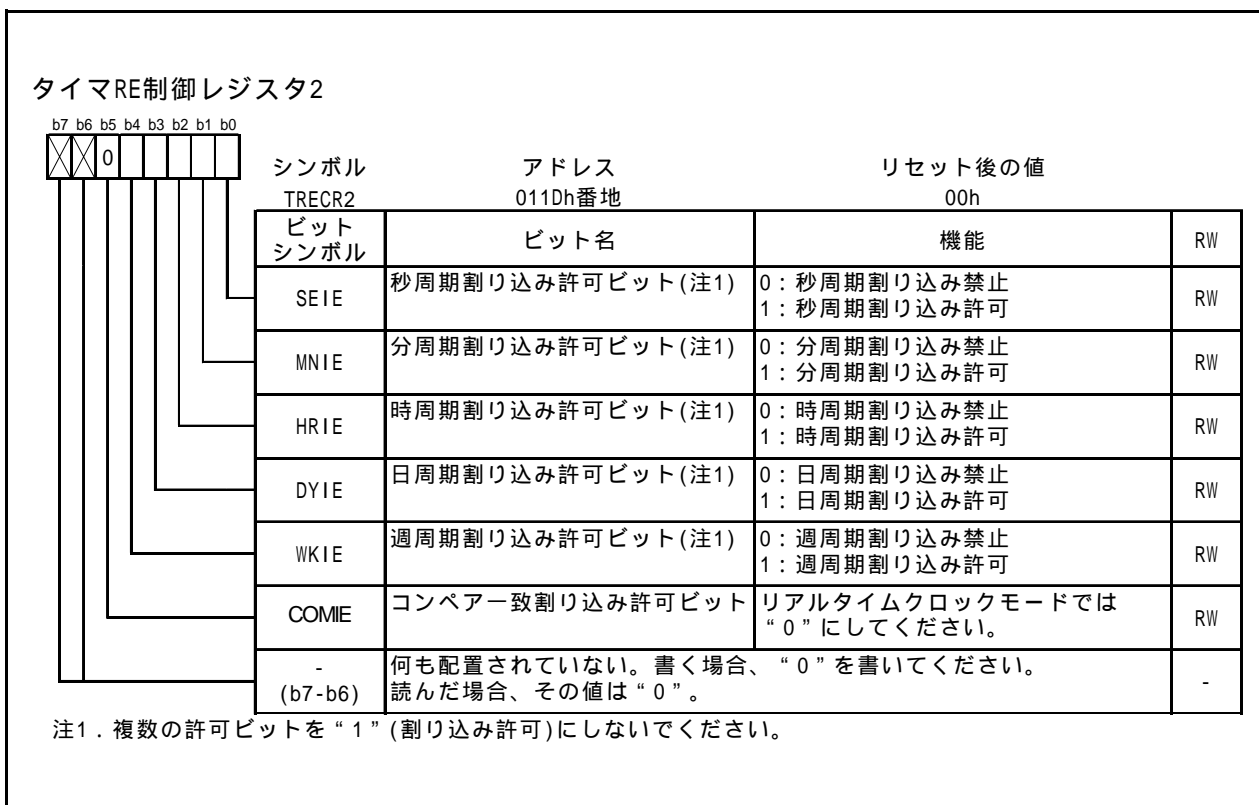


図 14.118 リアルタイムクロックモード時のTRECR2レジスタ

表 14.38 割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	TREWKレジスタの値が"000b"(日曜日)になる(1週間周期)	WKIE
日周期割り込み	TREWKレジスタが更新(1日周期)される	DYIE
時周期割り込み	TREHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TREMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRESECレジスタが更新(1秒周期)される	SEIE

タイマREカウントソース選択レジスタ

シンボル TRECSR	アドレス 011Eh番地	リセット後の値 00001000b	
ビット シンボル	ビット名	機能	RW
RCS0	カウントソース選択ビット	リアルタイムクロックモードでは “00b” にしてください。	RW
RCS1			RW
RCS2	4ビットカウンタ選択ビット	リアルタイムクロックモードでは “0” にしてください。	RW
RCS3	リアルタイムクロックモード選択 ビット	リアルタイムクロックモードでは “1” にしてください。	RW
- (b4)	何も配置されていない。書く場合、 “0” を書いてください。 読んだ場合、その値は“0”。		-
RCS5	クロック出力選択ビット(注1)	b6 b5 0 0 : f2 0 1 : f4 1 0 : f8 1 1 : 設定しないでください	RW
RCS6			RW
- (b7)	何も配置されていない。書く場合、 “0” を書いてください。 読んだ場合、その値は“0”。		-

注1. RCS5 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが“0” (クロック出力禁止)のとき、書いてください。

図14.119 リアルタイムクロックモード時のTRECSRレジスタ

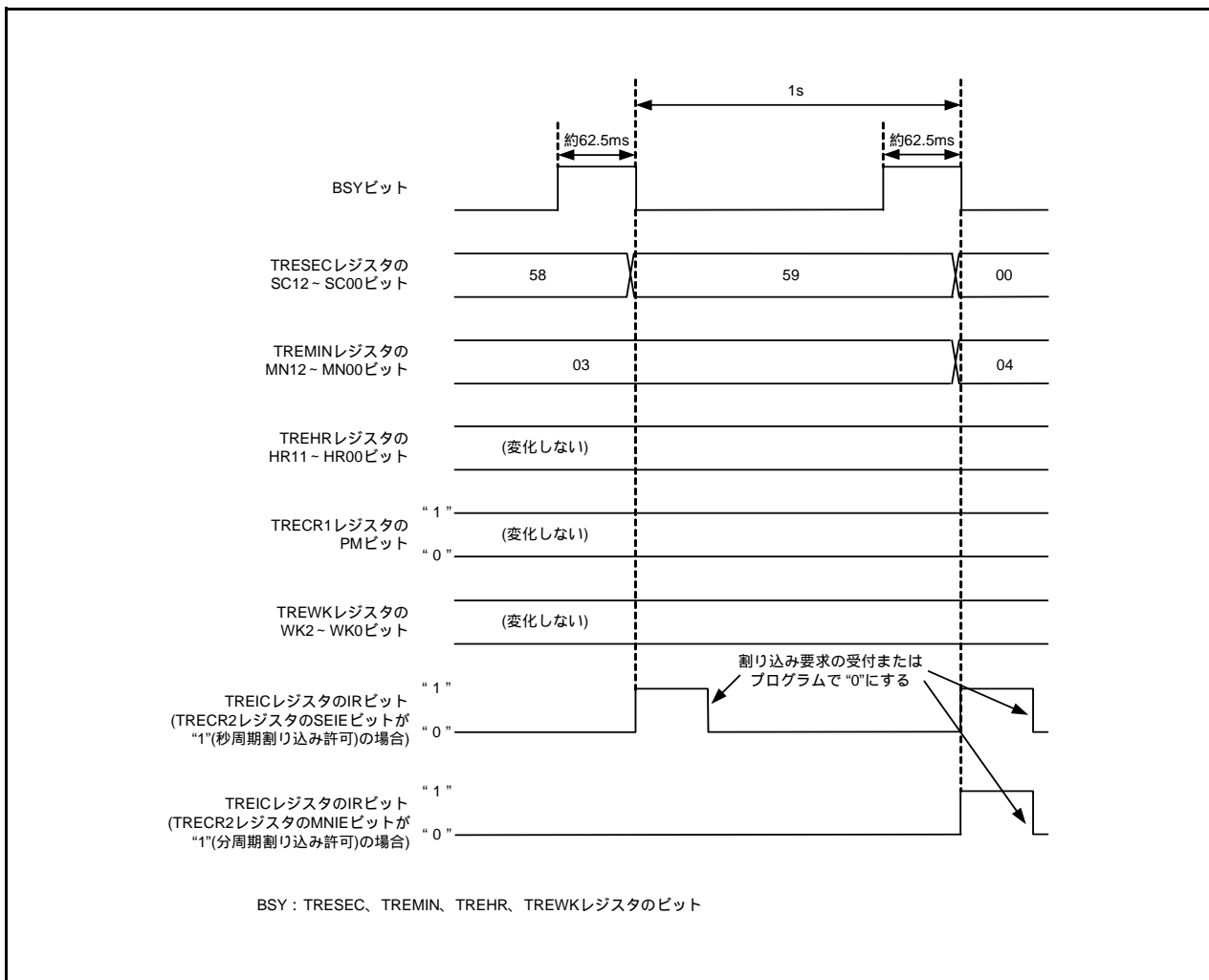


図 14.120 リアルタイムクロックモードの動作例

14.4.2 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図14.121にアウトプットコンペアモードのブロック図を、表14.39にアウトプットコンペアモードの仕様を、図14.122～図14.126にアウトプットコンペアモード関連レジスタを、図14.127にアウトプットコンペアモードの動作例を示します。

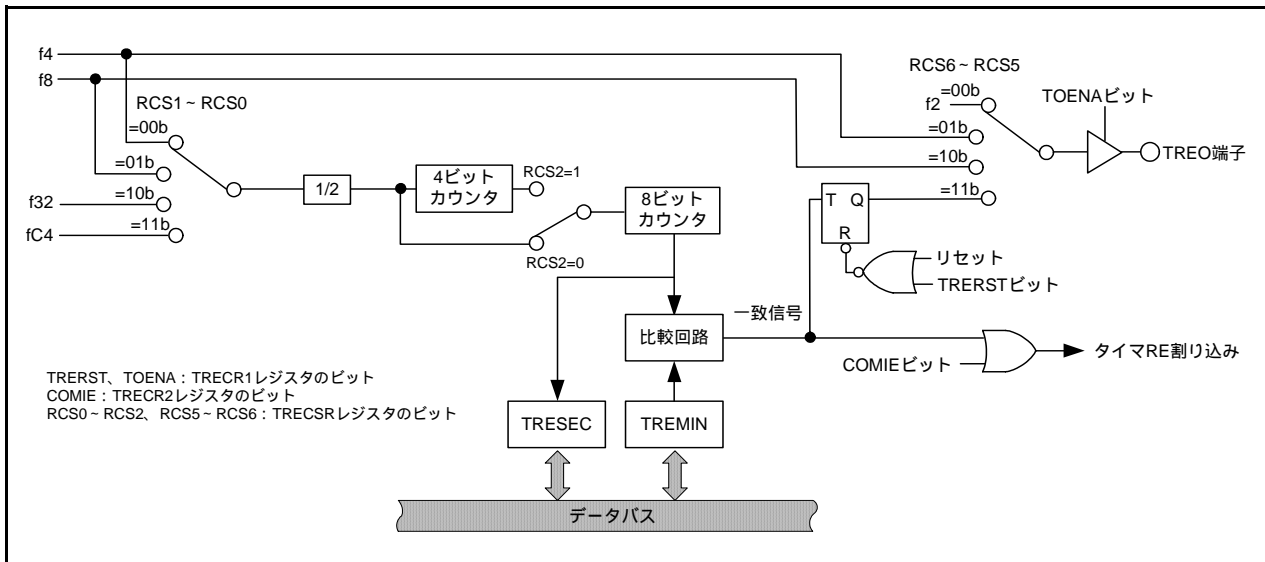


図14.121 アウトプットコンペアモードのブロック図

表14.39 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f4、f8、f32、fC4
カウント動作	<ul style="list-style-type: none"> アップカウント 8ビットカウンタは、値がTREMINレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。
カウント周期	<ul style="list-style-type: none"> RCS2=0(4ビットカウンタ使用しない)の場合 $1/f_i \times 2 \times (n + 1)$ RCS2=1(4ビットカウンタ使用する)の場合 $1/f_i \times 32 \times (n + 1)$ f _i : カウントソースの周波数 n : TREMINレジスタの設定値
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	8ビットカウンタの内容とTREMINレジスタの内容が一致したとき
TREO端子機能	次のいずれかを選択 <ul style="list-style-type: none"> プログラマブル入出力ポート f2、f4、f8のいずれかを出力 コンペア出力
タイマの読み出し	TRESECレジスタを読むと、8ビットカウンタの値が読める。 TREMINレジスタを読むと、コンペア値が読める。
タイマの書き込み	TRESECレジスタへの書き込みはできない。 TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> 4ビットカウンタ使用選択 コンペア出力機能 8ビットカウンタ値とTREMINレジスタの内容が一致するごとにTREO出力極性を反転。リセット解除後と、TRECR1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。



図 14.122 アウトプットコンペアモード時のTRESECレジスタ

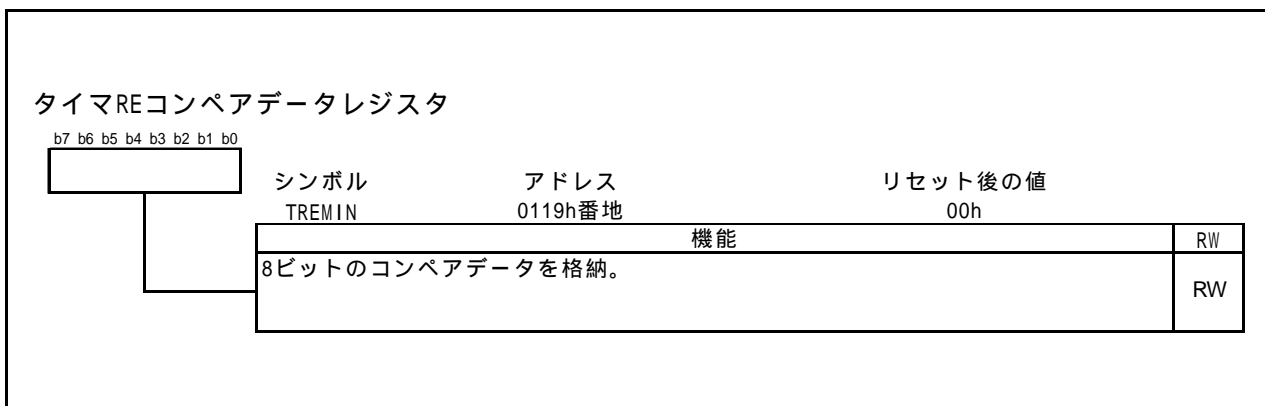


図 14.123 アウトプットコンペアモード時のTREMINレジスタ

タイマRE制御レジスタ1

シンボル	アドレス	リセット後の値
TREC1	011Ch番地	00h

ビットシンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	RO
TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	RW
INT	割り込み要求タイミングビット	アウトプットコンペアモードでは“0”にしてください。	RW
TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 ・ TRESEC、TREMINT、TREHR、TREW、TREC2レジスタが“00h” ・ TREC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” ・ 8ビットカウンタが“00h”、4ビットカウンタが“0h”	RW
PM	午前/午後ビット	アウトプットコンペアモードでは“0”にしてください。	RW
H12_H24	動作モード選択ビット		RW
TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	RW

図14.124 アウトプットコンペアモード時のTREC1レジスタ

タイマRE制御レジスタ2

シンボル	アドレス	リセット後の値
TREC2	011Dh番地	00h

ビットシンボル	ビット名	機能	RW
SEIE	秒周期割り込み許可ビット	アウトプットコンペアモードでは“0”にしてください。	RW
MNIE	分周期割り込み許可ビット		RW
HRIE	時周期割り込み許可ビット		RW
DYIE	日周期割り込み許可ビット		RW
WKIE	週周期割り込み許可ビット		RW
COMIE	コンペア一致割り込み許可ビット	0: コンペア一致割り込み禁止 1: コンペア一致割り込み許可	RW
- (b7-b6)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

図14.125 アウトプットコンペアモード時のTREC2レジスタ

タイマREカウントソース選択レジスタ

シンボル TRECSR	アドレス 011Eh番地	リセット後の値 00001000b	
ビット シンボル	ビット名	機能	RW
RCS0	カウントソース選択ビット	b1 b0 0 0 : f4 0 1 : f8 1 0 : f32 1 1 : fC4	RW
RCS1			RW
RCS2	4ビットカウンタ選択ビット	0 : 使用しない 1 : 使用する	RW
RCS3	リアルタイムクロックモード選択ビット	アウトプットコンペアモードでは “0” にしてください。	RW
- (b4)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は“0”。		-
RCS5	クロック出力選択ビット(注1)	b6 b5 0 0 : f2 0 1 : f4 1 0 : f8 1 1 : コンペア出力	RW
RCS6			RW
- (b7)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は“0”。		-

注1. RCS5 ~ RCS6ビットは、TREC1レジスタのTOENAビットが“0” (クロック出力禁止)のとき、書いてください。

図 14.126 アウトプットコンペアモード時のTRECSRレジスタ

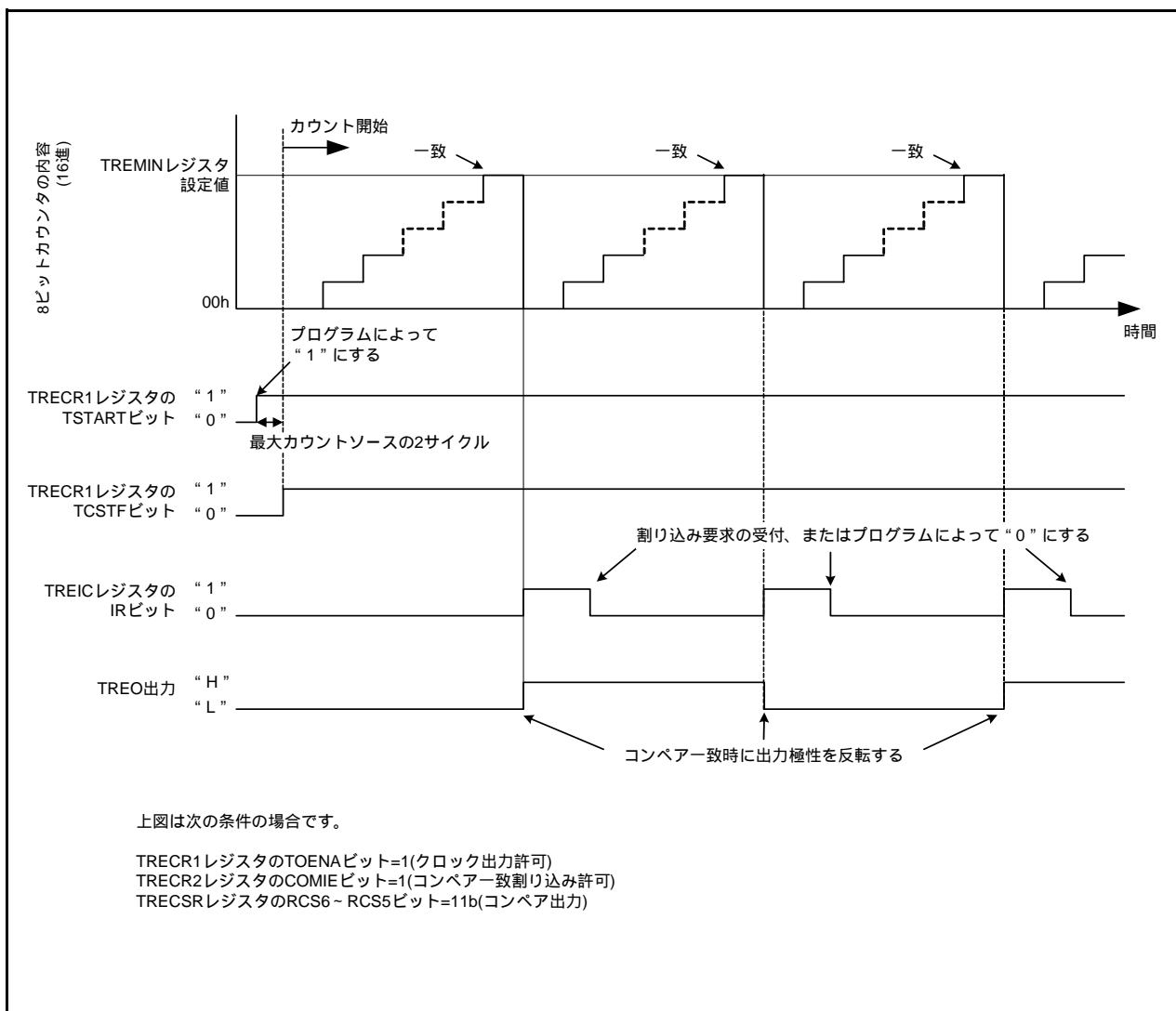


図 14.127 アウトプットコンペアーモードの動作例

14.4.3 タイマRE使用上の注意事項

14.4.3.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1.タイマRE関連レジスタ：TRESEC、TREMINT、TREHR、TREWK、TRECRI、TRECRR、TRECRR2、TRECRR3

14.4.3.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRR2レジスタ
- TRECRIレジスタのH12_H24ビット、PMビット、INTビット
- TRECRR3レジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRR2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図14.128にリアルタイムクロックモード時の設定例を示します。

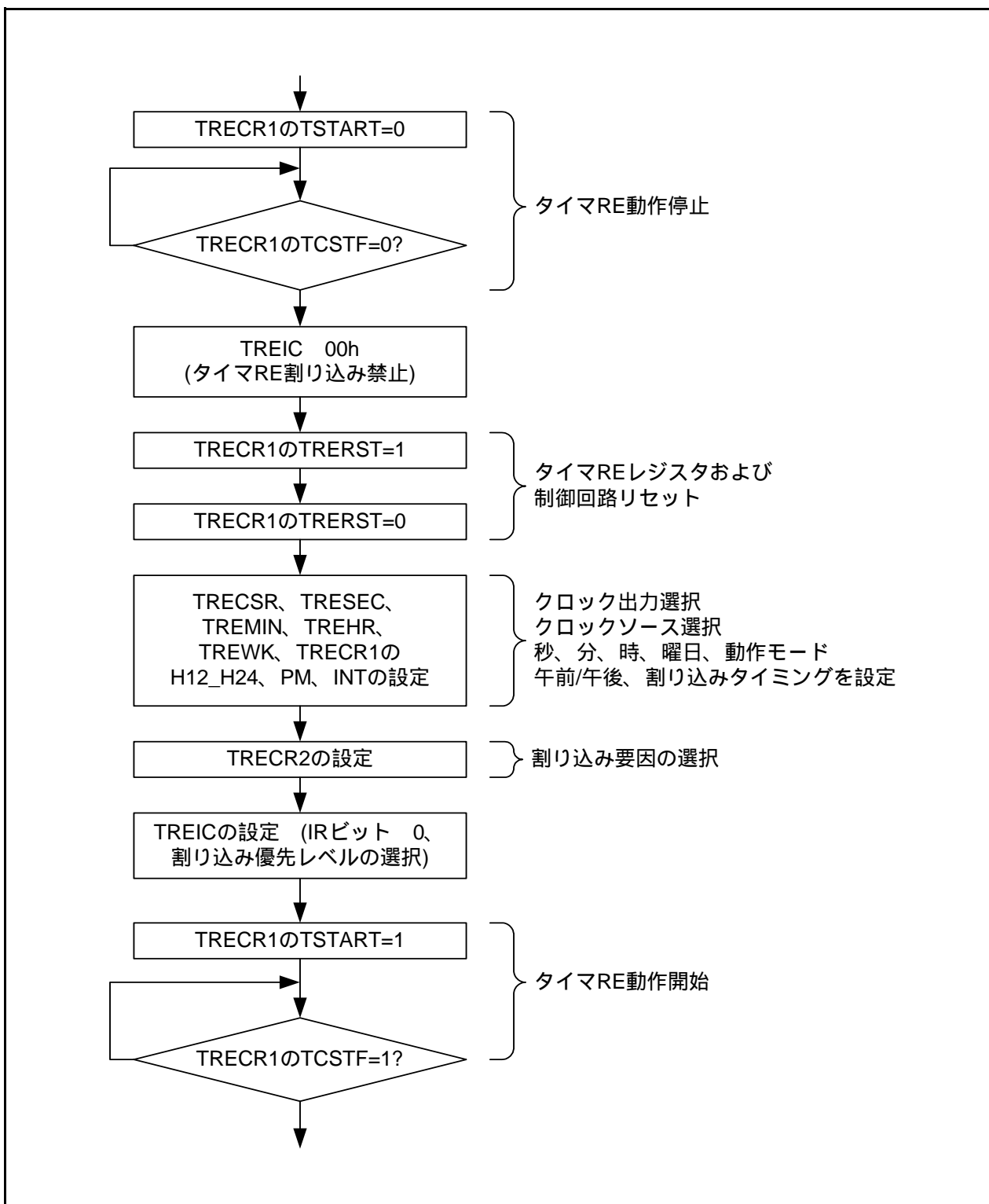


図14.128 リアルタイムクロックモード時の設定例

14.4.3.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMIN、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

15. シリアルインタフェース

シリアルインタフェースはUART0およびUART1の2チャンネルで構成しています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち独立して動作します。

図15.1にUARTi(i=0~1)のブロック図を、図15.2に送受信部のブロック図を示します。

クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図15.3~図15.6にUARTi関連のレジスタを示します。

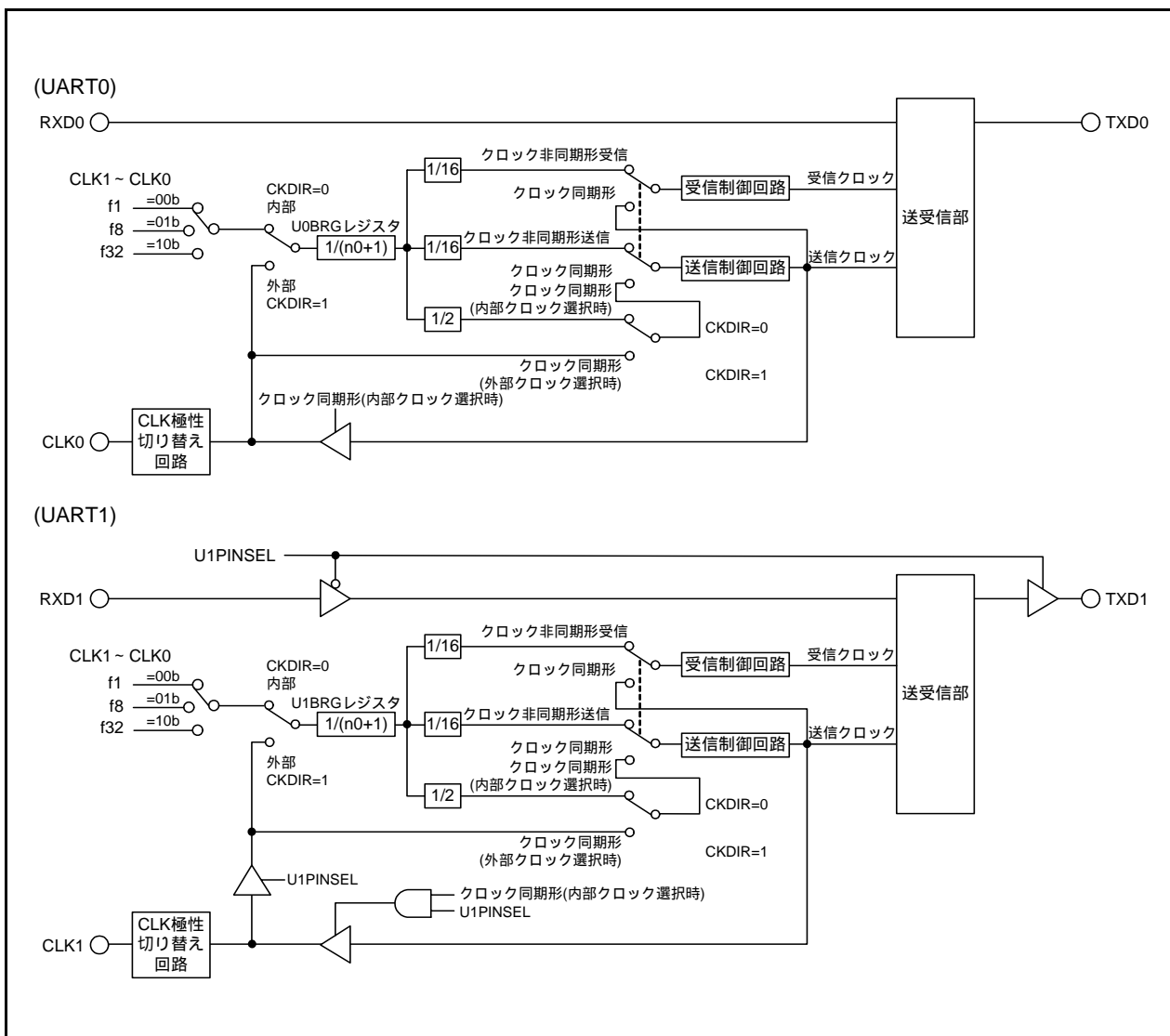


図15.1 UARTi(i=0~1)のブロック図

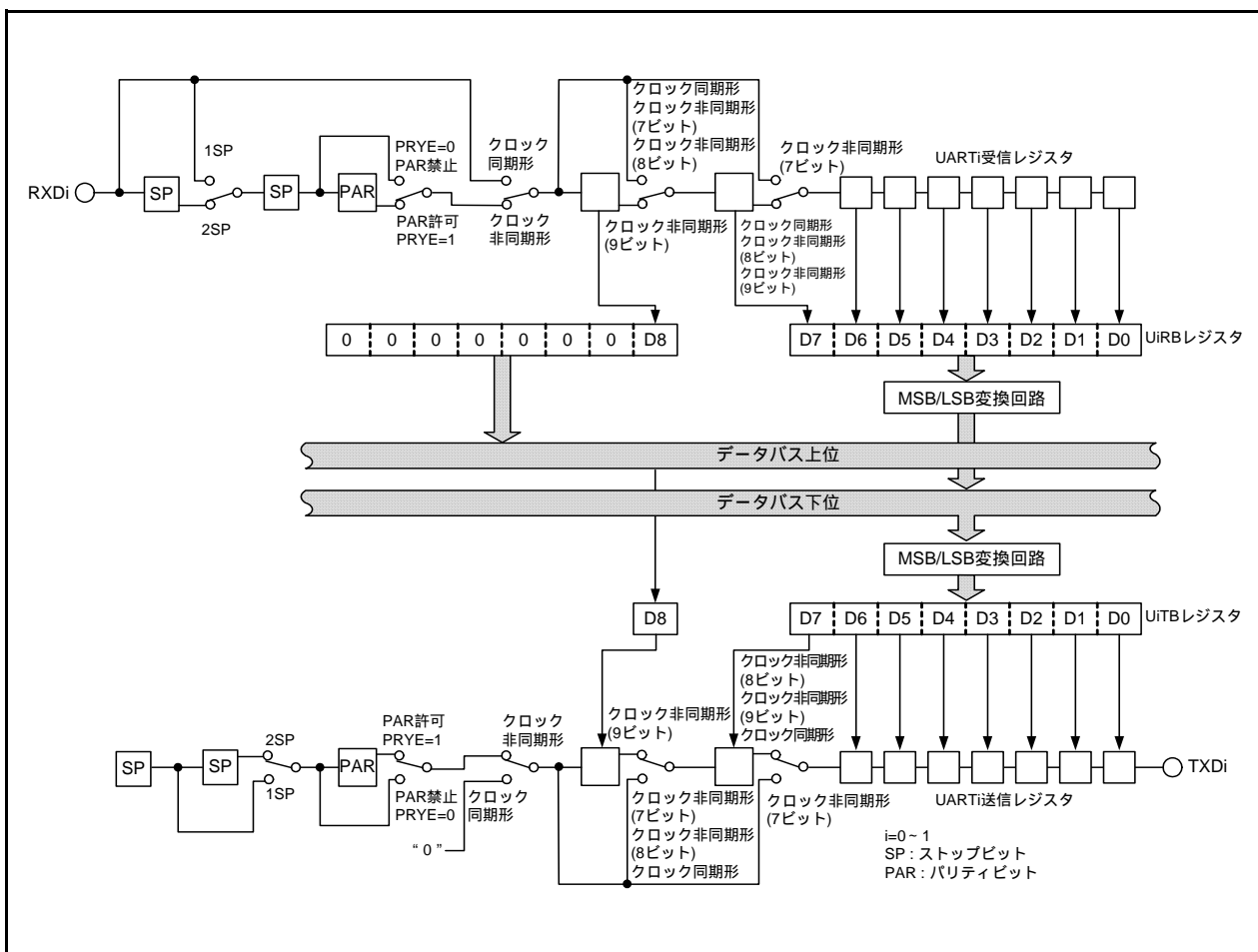


図 15.2 送受信部のブロック図

UARTi送信バッファレジスタ(i=0~1)(注1、2)

シンボル	アドレス	リセット後の値
U0TB	00A3h-00A2h番地	不定
U1TB	00ABh-00AAh番地	不定

機能		RW
(b8-b0)	送信データ	WO
(b15-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-

注1. 転送データ長が9ビットの場合、上位バイト 下位バイトの順で書いてください。
 注2. MOV命令を使用して書いてください

UARTi受信バッファレジスタ(i=0~1)(注1)

シンボル	アドレス	リセット後の値
U0RB	00A7h-00A6h番地	不定
U1RB	00AFh-00AEh番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	-	受信データ(D7~D0)	RO
(b8)	-	受信データ(D8)	RO
(b11-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-	-
OER	オーバランエラーフラグ(注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注2)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注2)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注2)	0: エラーなし 1: エラー発生	RO

注1. U1RBレジスタは必ず16ビット単位で読み出してください。
 注2. SUM、PER、FER、OERビットは、U1MRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU1C1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはU1RBレジスタの上位バイトを読み出したとき、“0”になります。

UARTiビットレートレジスタ(i=0~1)(注1、2、3)

シンボル	アドレス	リセット後の値
U0BRG	00A1h番地	不定
U1BRG	00A9h番地	不定

機能	設定範囲	RW
設定値をnとすると、U1BRGはカウントソースをn+1分周する	00h~FFh	WO

注1. 送受信停止中に書いてください。
 注2. MOV命令を使用して書いてください。
 注3. U1C0レジスタのCLK0~CLK1ビットを設定した後、U1BRGレジスタに書いてください。

図15.3 U0TB ~ U1TB、U0RB ~ U1RB、U0BRG ~ U1BRGレジスタ

UART_i送受信モードレジスタ (i=0~1)

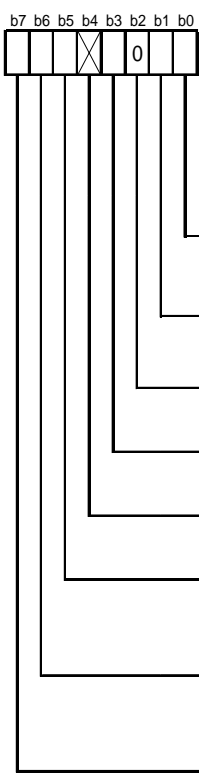
シンボル	アドレス	リセット後の値
U0MR	00A0h番地	00h
U1MR	00A8h番地	00h

ビットシンボル	ビット名	機能	RW
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 0: シリアルインタフェースは無効 0 0 1: クロック同期形シリアルI/Oモード 1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	RW
STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
- (b7)	予約ビット	"0" にしてください。	RW

注1. PD1レジスタのPD1_6ビットを"0" (入力) にしてください。

図 15.4 U0MR ~ U1MR レジスタ

UART_i送受信制御レジスタ0 (i=0~1)



シンボル	アドレス	リセット後の値
U0C0	00A4h番地	00001000b
U1C0	00ACh番地	00001000b

ビットシンボル	ビット名	機能	RW
CLK0	BRGカウントソース 選択ビット(注1)	b1 b0 0 0 : f1を選択 0 1 : f8選択 1 0 : f32を選択 1 1 : 設定しないでください	RW
CLK1			RW
- (b2)	予約ビット	“0” にしてください。	RW
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	RO
- (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-
NCH	データ出力選択ビット	0 : TXDi端子はCMOS出力 1 : TXDi端子はNチャネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	RW

注1 . BRGカウントソースを変更した場合は、UiBRGレジスタを再設定してください。

図 15.5 U0C0 ~ U1C0 レジスタ

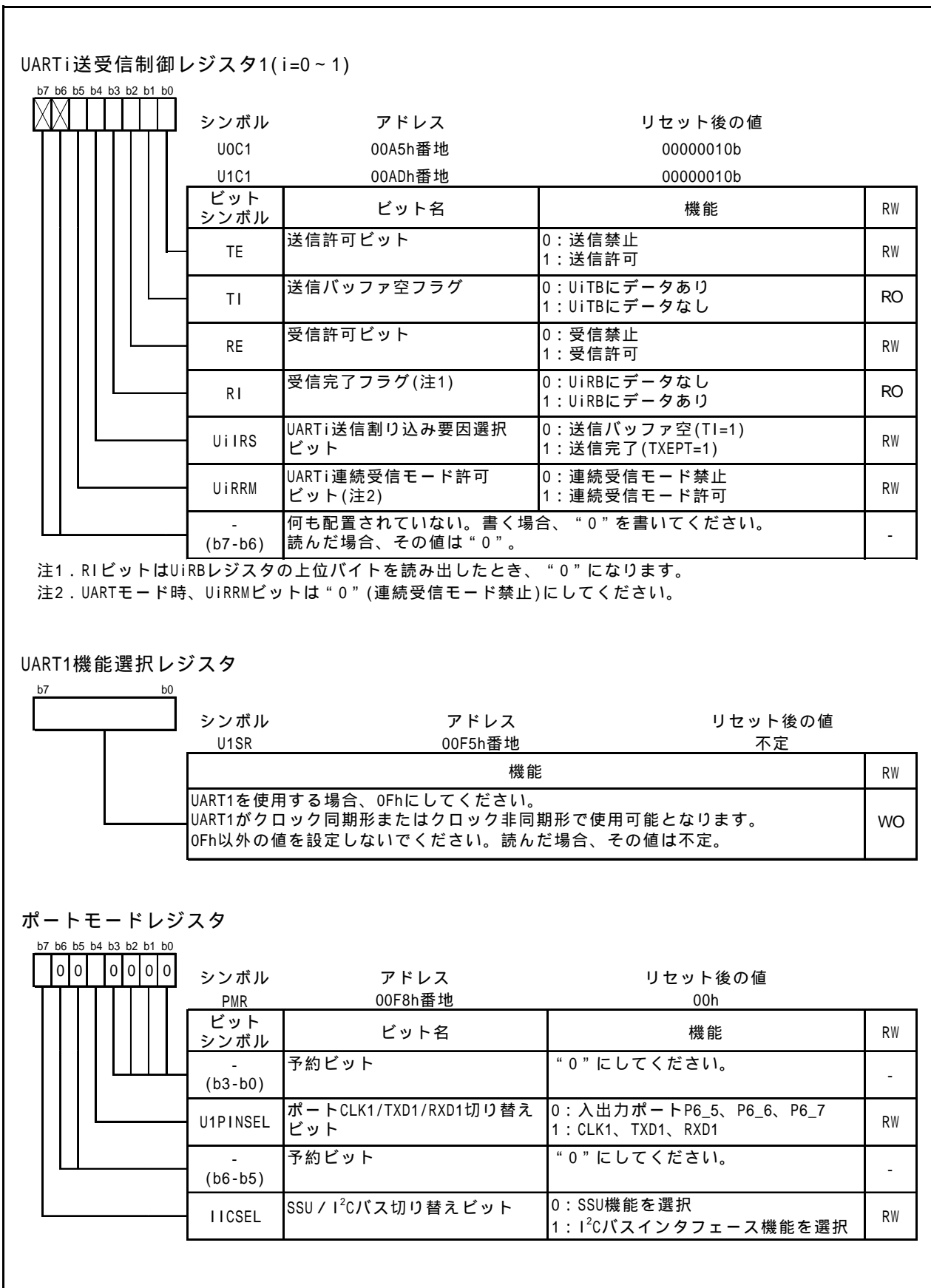


図15.6 U0C1 ~ U1C1、U1SR、PMRレジスタ

15.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表15.1にクロック同期形シリアルI/Oモードの仕様を、表15.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)を示します。

表15.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長 8ビット
転送クロック	・UiMRレジスタのCKDIRビットが“0”(内部クロック) : $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}$ $n=UiBRG$ レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : CLKi端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 UiC1レジスタのREビットが“1”(受信許可) UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 UiRBレジスタを読み出す動作により、同時に受信許可状態になる

i=0 ~ 1

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 15.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください

i=0 ~ 1

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 15.3 にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UARTi (i=0~1) の動作モード選択後、転送開始までは、TXDi 端子は “H” レベルを出力します (NCH ビットが “1” (Nチャンネルオープンドレイン出力) の場合、ハイインピーダンス状態)。

表 15.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TXD1(P6_6)	シリアルデータ出力	PMRレジスタのU1PINSELビット=1 (受信だけを行うときはダミーデータ出力)
RXD1(P6_7)	シリアルデータ入力	PMRレジスタのU1PINSELビット=1 PD6レジスタのPD6_7ビット=0 (送信だけを行うときはP6_7を入力ポートとして使用可)
CLK1(P6_5)	転送クロック出力	PMRレジスタのU1PINSELビット=1 U1MRレジスタのCKDIRビット=0
	転送クロック入力	PMRレジスタのU1PINSELビット=1 PD6レジスタのPD6_5ビット=0 U1MRレジスタのCKDIRビット=1

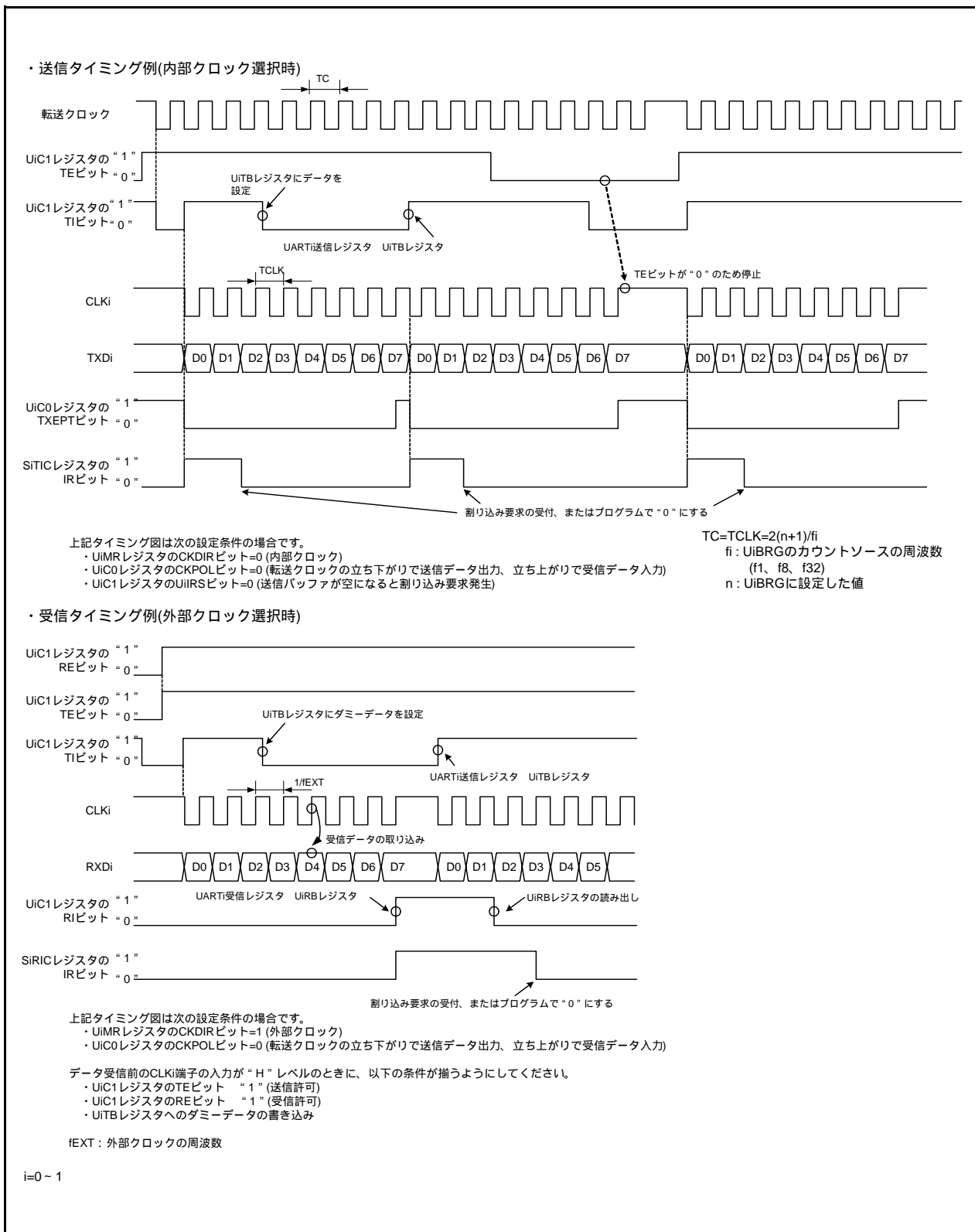


図 15.7 クロック同期形シリアルI/Oモード時の送受信タイミング例

15.1.1 極性選択機能

図15.8に転送クロックの極性を示します。UiC0レジスタ(i=0~1)のCKPOLビットによって転送クロックの極性を選択できます。

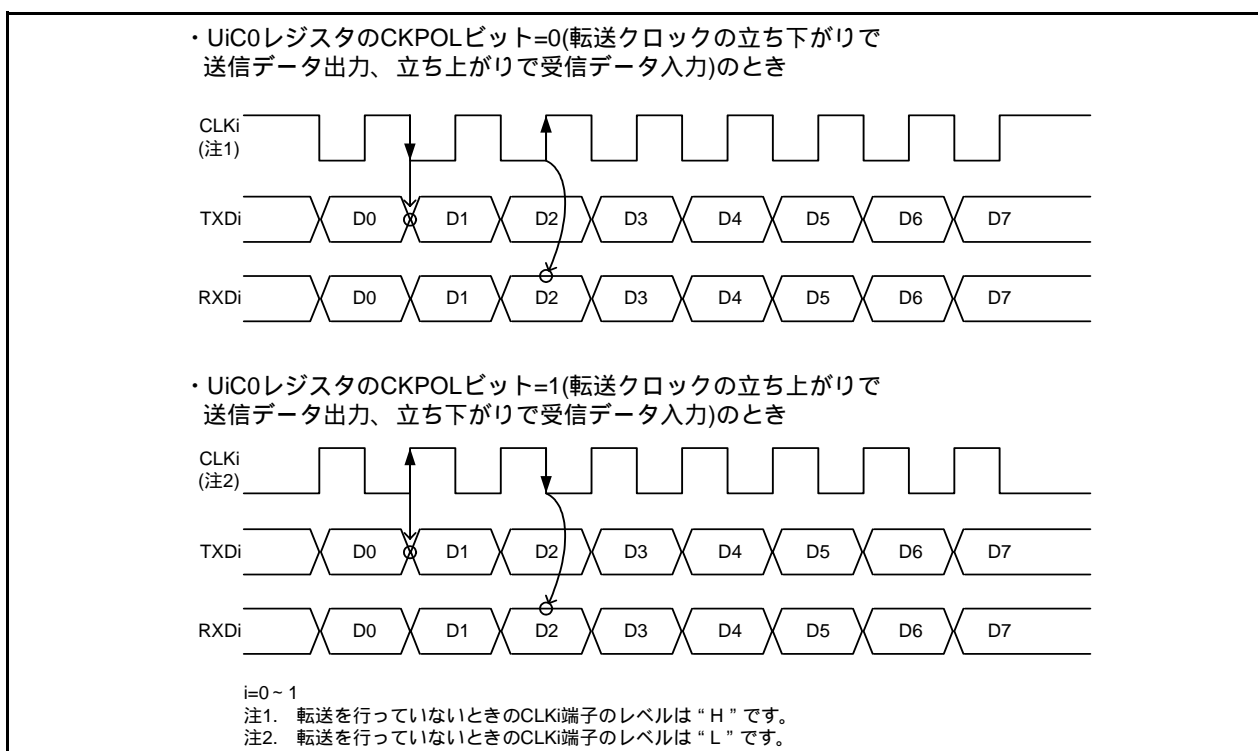


図15.8 転送クロックの極性

15.1.2 LSBファースト、MSBファースト選択

図15.9に転送フォーマットを示します。UiC0レジスタ(i=0~1)のUFORMビットで転送フォーマットを選択できます。

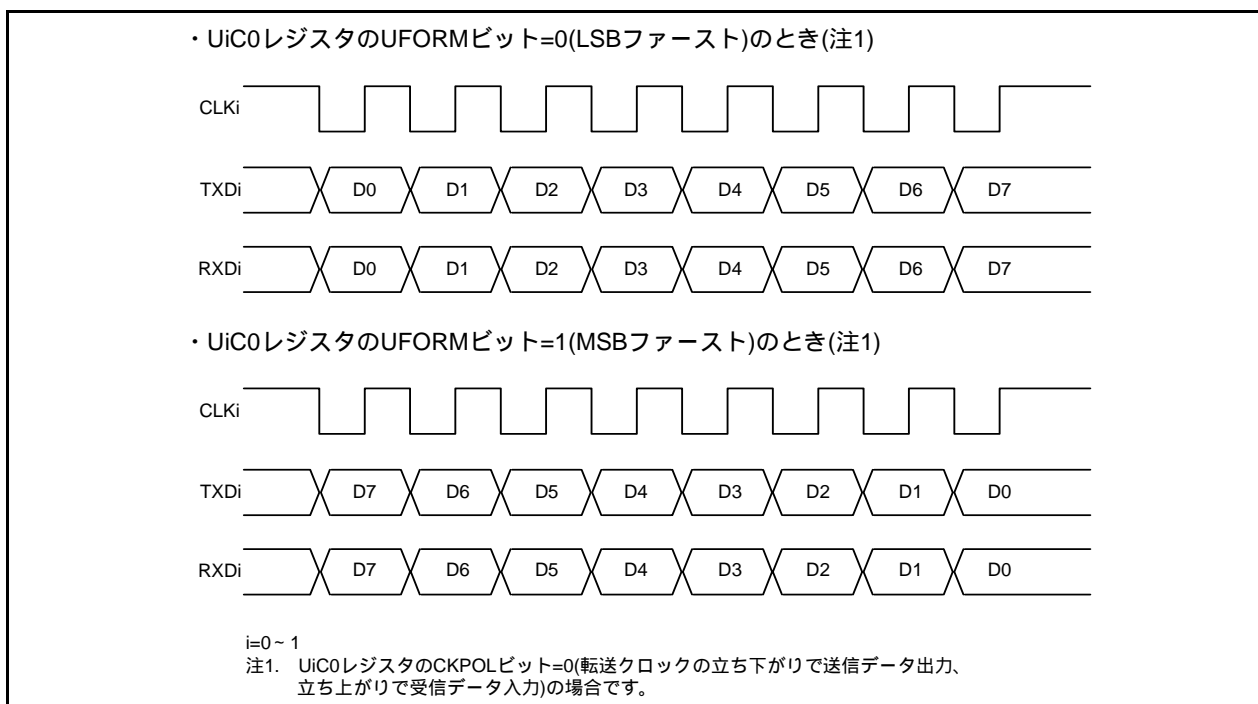


図15.9 転送フォーマット

15.1.3 連続受信モード

UiC1レジスタ(i=0~1)のUiRRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

15.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表15.4にクロック非同期形シリアルI/Oモードの仕様を、表15.5にUARTモード時の使用レジスタと設定値を示します。

表15.4 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、無し選択可 ・ストップビット 1ビット、2ビット 選択可
転送クロック	<ul style="list-style-type: none"> ・UiMRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}$ $n=UiBRG$レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLKi端子からの入力 $n=UiBRG$レジスタの設定値 00h ~ FFh
送信開始条件	<ul style="list-style-type: none"> ・送信開始には、以下の条件が必要です。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	<ul style="list-style-type: none"> ・受信開始には、以下の条件が必要です。 UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバーランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

i=0 ~ 1

注1. オーバーランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 15.5 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0 ~ 8	送信データを設定してください(注1)
UiRB	0 ~ 8	受信データが読めます(注1、2)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できません。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください。
	UiRRM	“0”にしてください。

i=0 ~ 1

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0 ~ 6、転送データ長8ビット：ビット0 ~ 7、転送データ長9ビット：ビット0 ~ 8

注2. 転送データ長7ビットの場合のビット7 ~ 8、転送データ長8ビットの場合のビット8の内容は不定です。

表 15.6にUARTモード時の入出力端子の機能を示します。なお、UARTi(i=0 ~ 1)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(NCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 15.6 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット = 0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0MRレジスタのCKDIRビット = 0
	転送クロック入力	U0MRレジスタのCKDIRビット = 1 PD1レジスタのPD1_6ビット = 0
TXD1(P6_6)	シリアルデータ出力	PMRレジスタのU1PINSELビット = 1 (受信だけを行うときはポートとして使用不可)
RXD1(P6_7)	シリアルデータ入力	PMRレジスタのU1PINSELビット = 1 PD6レジスタのPD6_7ビット = 0 (送信だけを行うときはP6_7を入力ポートとして使用可)
CLK1(P6_5)	プログラマブル入出力ポート	U1MRレジスタのCKDIRビット = 0
	転送クロック入力	PMRレジスタのU1PINSELビット = 1 PD6レジスタのPD6_5ビット = 0 U1MRレジスタのCKDIRビット = 1

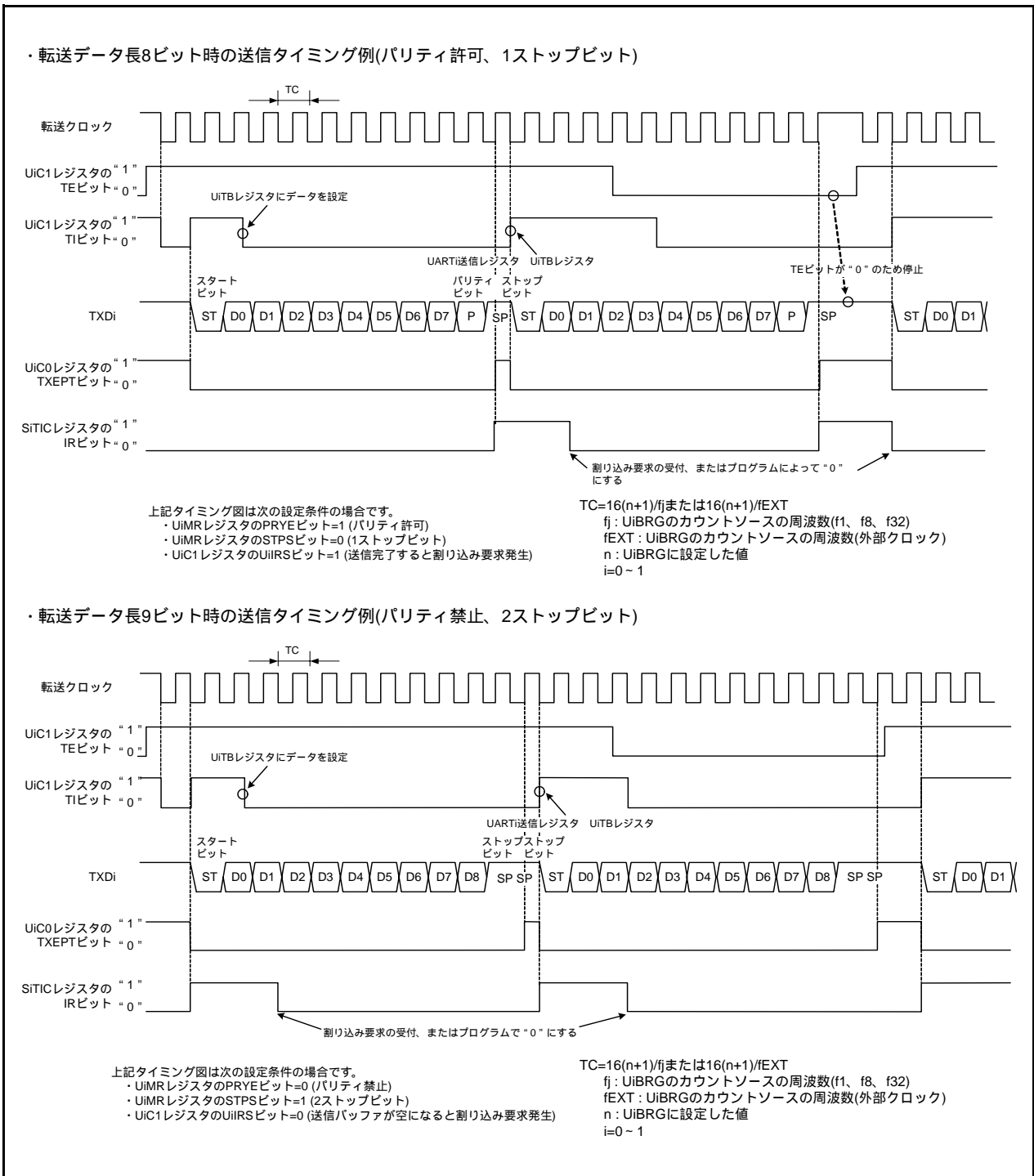


図 15.10 UARTモード時の送信タイミング

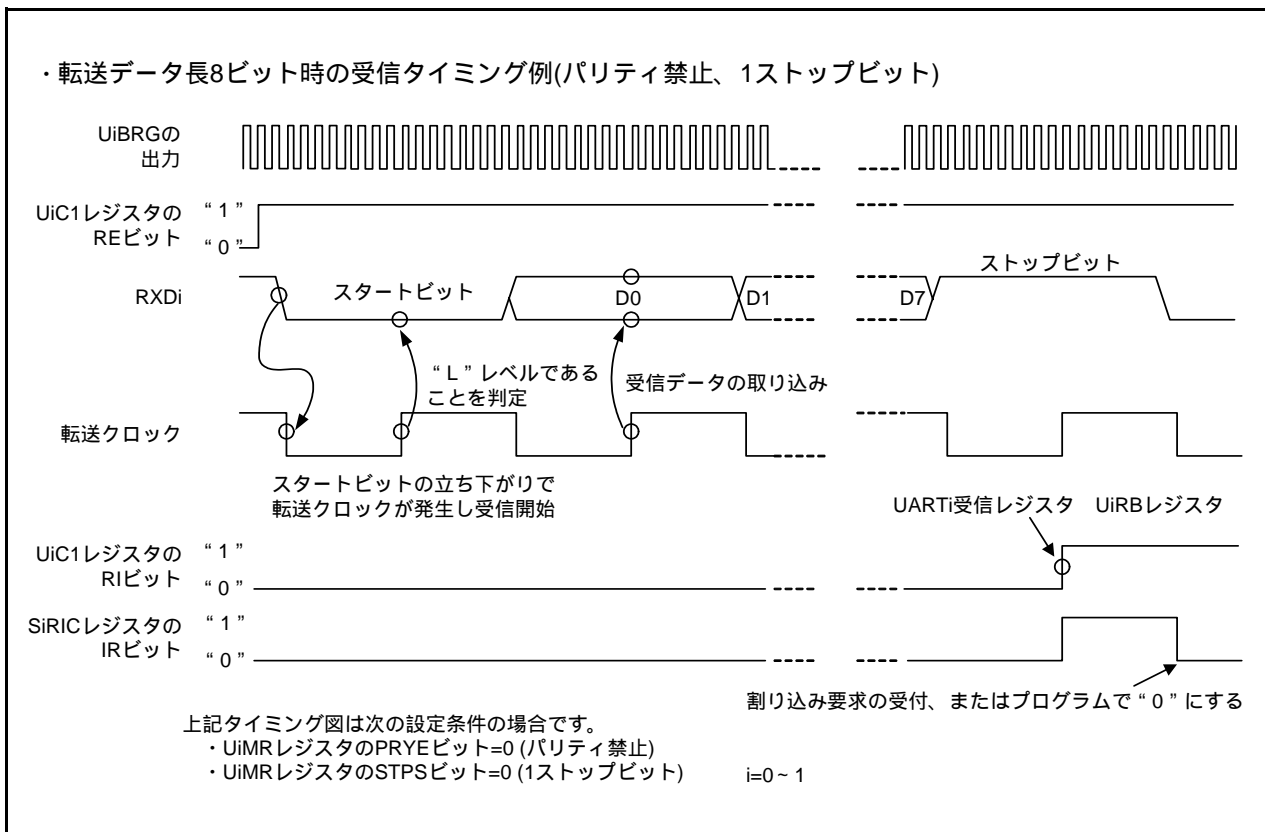


図 15.11 UARTモード時の受信タイミング例

15.2.1 ビットレート

UARTモードではUiBRGレジスタ(i=0 ~ 1)で分周した周波数の16分周がビットレートになります。

< UARTモード >		
・ 内部クロック選択時		
$\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$		
f _j : UiBRGレジスタのカウンタソースの周波数(f ₁ 、f ₈ 、f ₃₂)		
・ 外部クロック選択時		
$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$		
f _{EXT} : UiBRGレジスタのカウンタソースの周波数(外部クロック)		
i=0 ~ 1		

図 15.12 UiBRG レジスタ (i=0 ~ 1) の設定値の算出式

表 15.7 UARTモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	UiBRGの カウンタ ソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz (注1)			システムクロック = 8 MHz		
		UiBRGの 設定値	実時間 (bps)	設定 誤差 (%)	UiBRGの 設定値	実時間 (bps)	設定 誤差 (%)	UiBRGの 設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00			

i=0 ~ 1

注1. 高速オンチップオシレータに対して、FRA7レジスタの調整値をFRA1レジスタに書き込んでください。
システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”
(2分周モード)にした場合です。高速オンチップオシレータの精度は「20. 電気的特性」を参照してください。

15.3 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

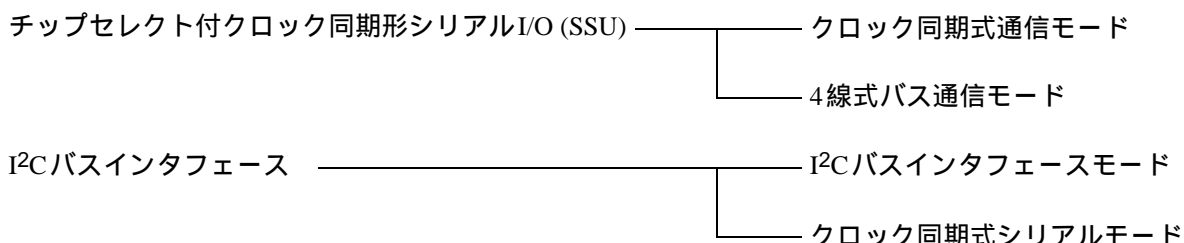
```
MOV.B    #XXH, 00A3H  ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H  ; U0TBレジスタの下位バイトへの書き込み
```

16. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、00B8h ~ 00BFh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタ図を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

16.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 16.1 にモード選択に関わるビットを示します。各モードの詳細は「16.2 チップセレクト付クロック同期形シリアルI/O (SSU)」以降を参照してください。

表 16.1 モード選択

PMRレジスタの IICSELビット	00B8h番地のビット7 (ICCR1レジスタの ICEビット)	00BDh番地のビット0 (SSMR2レジスタの SSUMSビット、 SARレジスタのFSビット)	機能名	モード
0	0	0	チップセレクト付クロック 同期形シリアルI/O	クロック同期式通信 モード
0	0	1		4線式バス通信モード
1	1	0	I ² Cバスインタフェース	I ² Cバスインタフェー スモード
1	1	1		クロック同期式シリ アルモード

16.2 チップセレクト付クロック同期形シリアルI/O(SSU)

チップセレクト付クロック同期形シリアルI/Oは、クロック同期式のシリアルデータ通信が可能です。表16.2にチップセレクト付クロック同期形シリアルI/Oの仕様を、図16.1にチップセレクト付クロック同期形シリアルI/Oブロック図を示します。

図16.2～図16.9にチップセレクト付クロック同期形シリアルI/O関連レジスタを示します。

表16.2 チップセレクト付クロック同期形シリアルI/Oの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> 転送データ長 8ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能
動作モード	<ul style="list-style-type: none"> クロック同期式通信モード 4線式バス通信モード(双方向通信モード含む)
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK (入出力) : クロック入出力端子 SSI (入出力) : データ入出力端子 SSO (入出力) : データ入出力端子 SCS (入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき外部クロック(SSCK端子から入力) SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき内部クロック($f_1/256$, $f_1/128$, $f_1/64$, $f_1/32$, $f_1/16$, $f_1/8$, $f_1/4$から選択できる、SSCK端子から出力) クロック極性と位相を選択できる
受信エラーの検出	<ul style="list-style-type: none"> オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になる
マルチマスタエラーの検出	<ul style="list-style-type: none"> コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態でシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればSSSRレジスタのCEビットが“1”になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	<ul style="list-style-type: none"> データ転送方向 MSBファーストまたはLSBファーストを選択 SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択 SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

注1. 割り込みベクタテーブルはチップセレクト付クロック同期形シリアルI/Oの1つです。

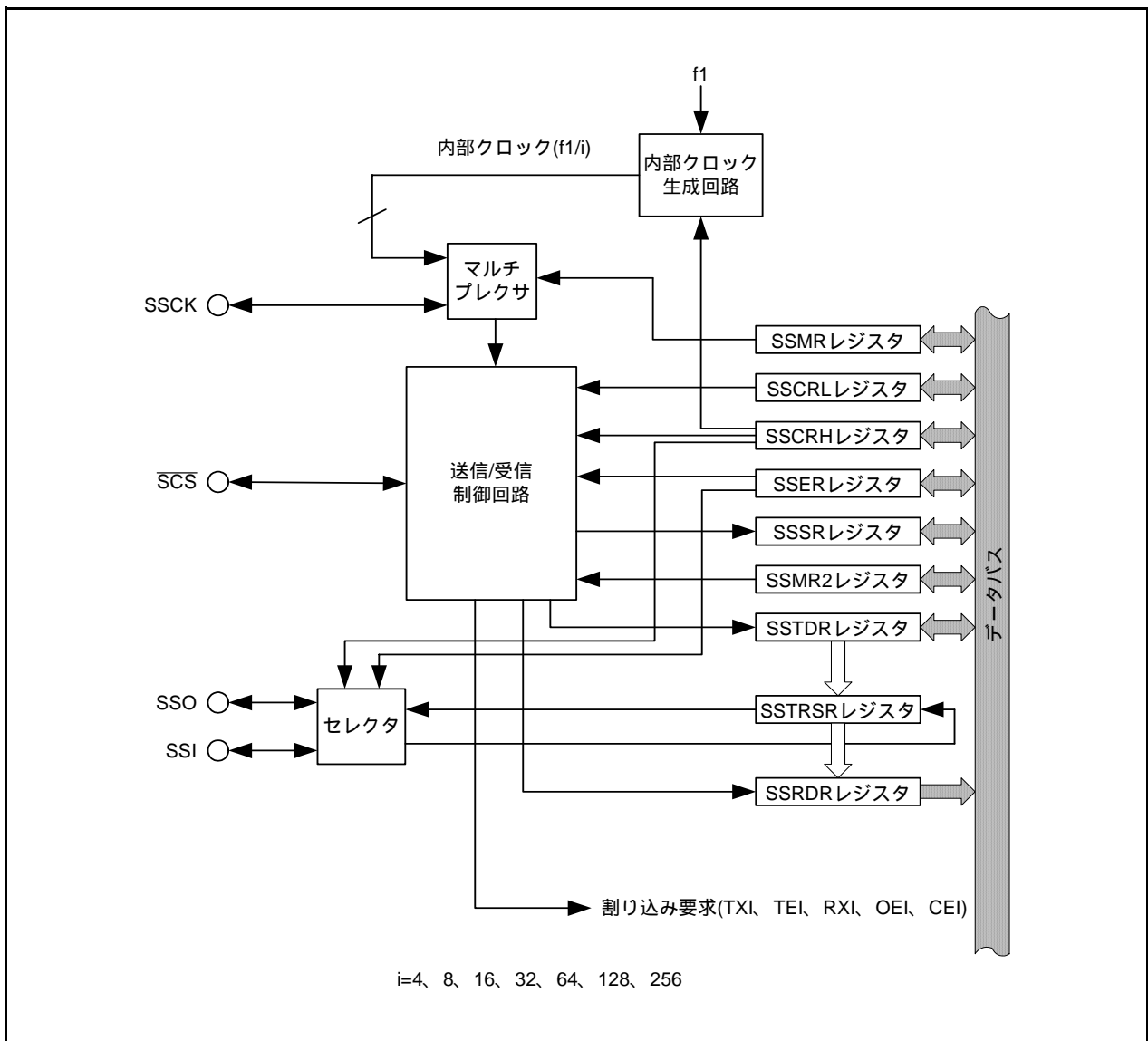


図16.1 チップセレクト付クロック同期形シリアルI/Oブロック図

SS制御レジスタH

シンボル SSCRH	アドレス 00B8h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
CKS0	転送クロックレート選択ビット (注1)	b2 b1 b0 0 0 0 : f1/256 0 0 1 : f1/128 0 1 0 : f1/64 0 1 1 : f1/32 1 0 0 : f1/16 1 0 1 : f1/8 1 1 0 : f1/4 1 1 1 : 設定しないでください	RW
CKS1		RW	
CKS2		RW	
- (b4-b3)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	-
MSS	マスタ/スレーブデバイス選択 ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	RW
RSSTP	レシーブシングルストップビット (注3)	0 : 1バイトのデータ受信後も受信 動作を継続 1 : 1バイトのデータ受信後、受信 動作が終了	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-

注1. 内部クロック選択時に、設定されたクロックが使用されます。

注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。
SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。

注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

図16.2 SSCRHレジスタ

SS制御レジスタL

シンボル SSCRL	アドレス 00B9h番地	リセット後の値 01111101b	
ビット シンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。	-
SRES	チップセレクト付クロック同期形シリアルI/Oコントロール部リセットビット	このビットに“1”を書くと、チップセレクト付クロック同期形シリアルI/Oコントロール部およびSSTRSRレジスタが初期化される。 チップセレクト付クロック同期形シリアルI/O内部レジスタ(注1)の値は保持される。	RW
- (b3-b2)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。	-
SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	RW
SOL	シリアルデータ出力値設定ビット	読んだ場合 0: シリアルデータ出力が“L” 1: シリアルデータ出力が“H” 書いた場合(注2、3) 0: シリアルデータ出力後のデータ出力を“L”にする。 1: シリアルデータ出力後のデータ出力を“H”にする。	RW
- (b6)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。	-
- (b7)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	-

注1. SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTD、SSRDRの各レジスタ。
注2. 送信前または送信後にSOLビットに書くと、シリアルデータ出力後のデータ出力を変更できます。SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。
注3. データ転送中はSOLビットに書かないでください。

図 16.3 SSCRLレジスタ

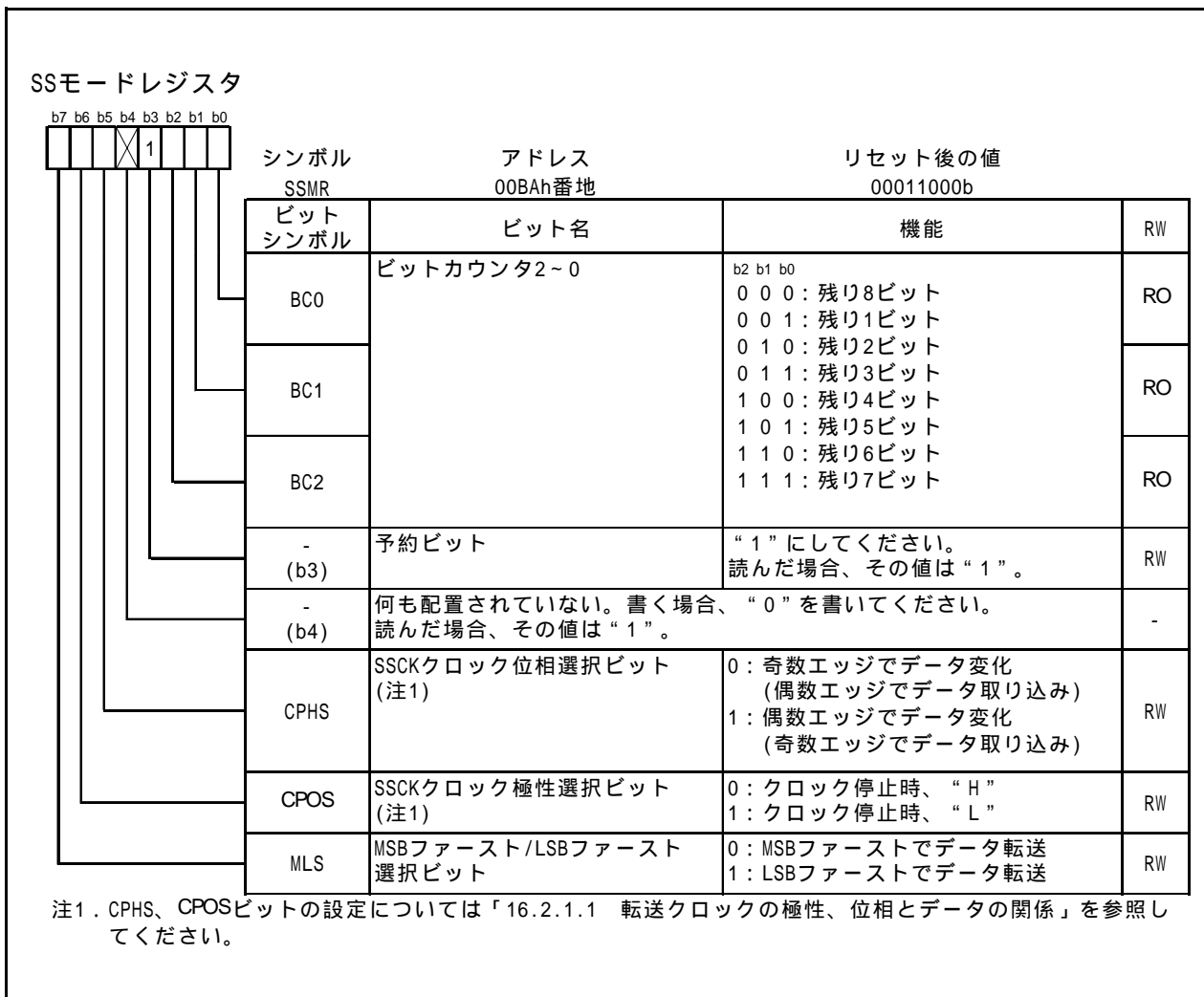


図16.4 SSMR レジスタ

SS許可レジスタ

シンボル SSER	アドレス 00BBh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
CEIE	コンフリクトエラーインタラプトイネーブルビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	RW
- (b2-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-
RE	レシーブイネーブルビット	0: 受信禁止 1: 受信許可	RW
TE	トランスミットイネーブルビット	0: 送信禁止 1: 送信許可	RW
RIE	レシーブインタラプトイネーブルビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可	RW
TEIE	トランスミットエンドインタラプトイネーブルビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	RW
TIE	トランスミットインタラプトイネーブルビット	0: 送信データエンpty割り込み要求禁止 1: 送信データエンpty割り込み要求許可	RW

図 16.5 SSERレジスタ



図16.6 SSSRレジスタ

SSモードレジスタ2

シンボル SSMR2	アドレス 00BDh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
SSUMS	チップセレクト付クロック同期形シリアルI/Oモード選択ビット (注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	RW
CSOS	SCS端子オープンドレイン出力 選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力	RW
SOOS	シリアルデータオープンドレイン 出力選択ビット(注1)	0: CMOS出力(注5) 1: Nチャネルオープンドレイン出力	RW
SCKOS	SSCK端子オープンドレイン出力 選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力	RW
CSS0	SCS端子選択ビット(注2)	b5 b4 0 0: ポートとして機能 0 1: SCS入力端子として機能	RW
CSS1		1 0: SCS出力端子として機能(注3) 1 1: SCS出力端子として機能(注3)	RW
SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	RW
BIDE	双方向モードイネーブルビット (注1、4)	0: 標準モード(データ入力とデータ 出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ 出力を1端子使用して通信)	RW

注1. データ入出力端子の組合せは、「16.2.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注3. 転送開始前は、SCS入力端子として機能します。

注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。

注5. SOOSビットが“0”(CMOS出力)のとき、SS1端子およびSS0端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

図16.7 SSMR2レジスタ

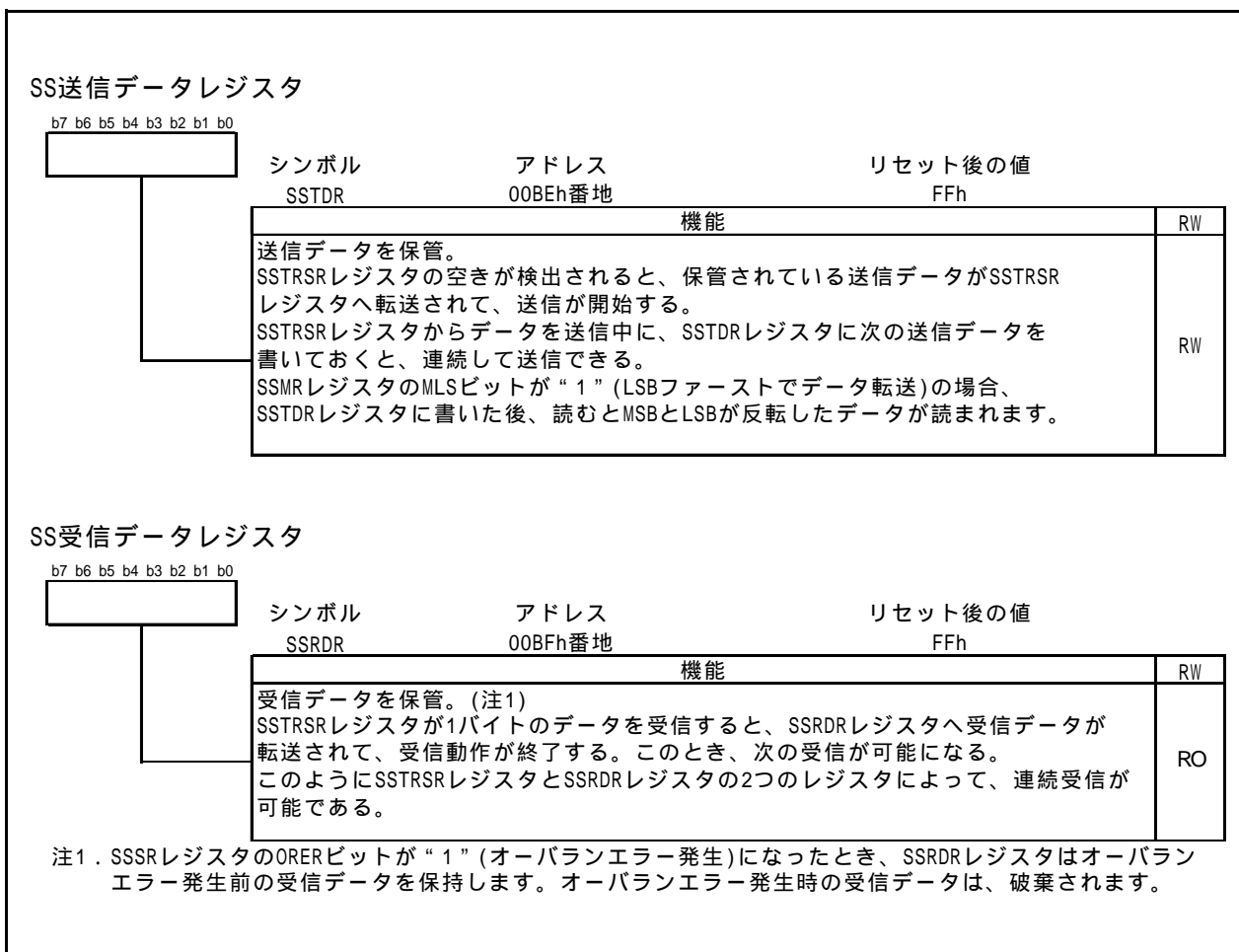


図16.8 SSTDR、SSRDRレジスタ

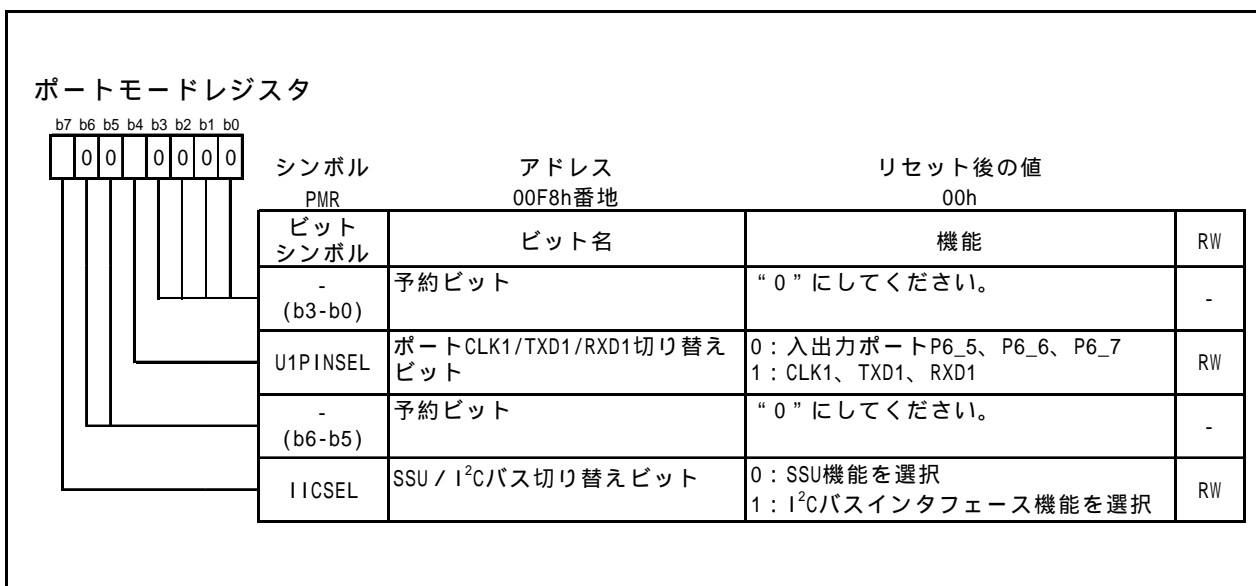


図16.9 PMRレジスタ

16.2.1 転送クロック

転送クロックを7種類の内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) と、外部クロックから選択できます。

チップセレクト付クロック同期形シリアルI/Oを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0～CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

16.2.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図16.10に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

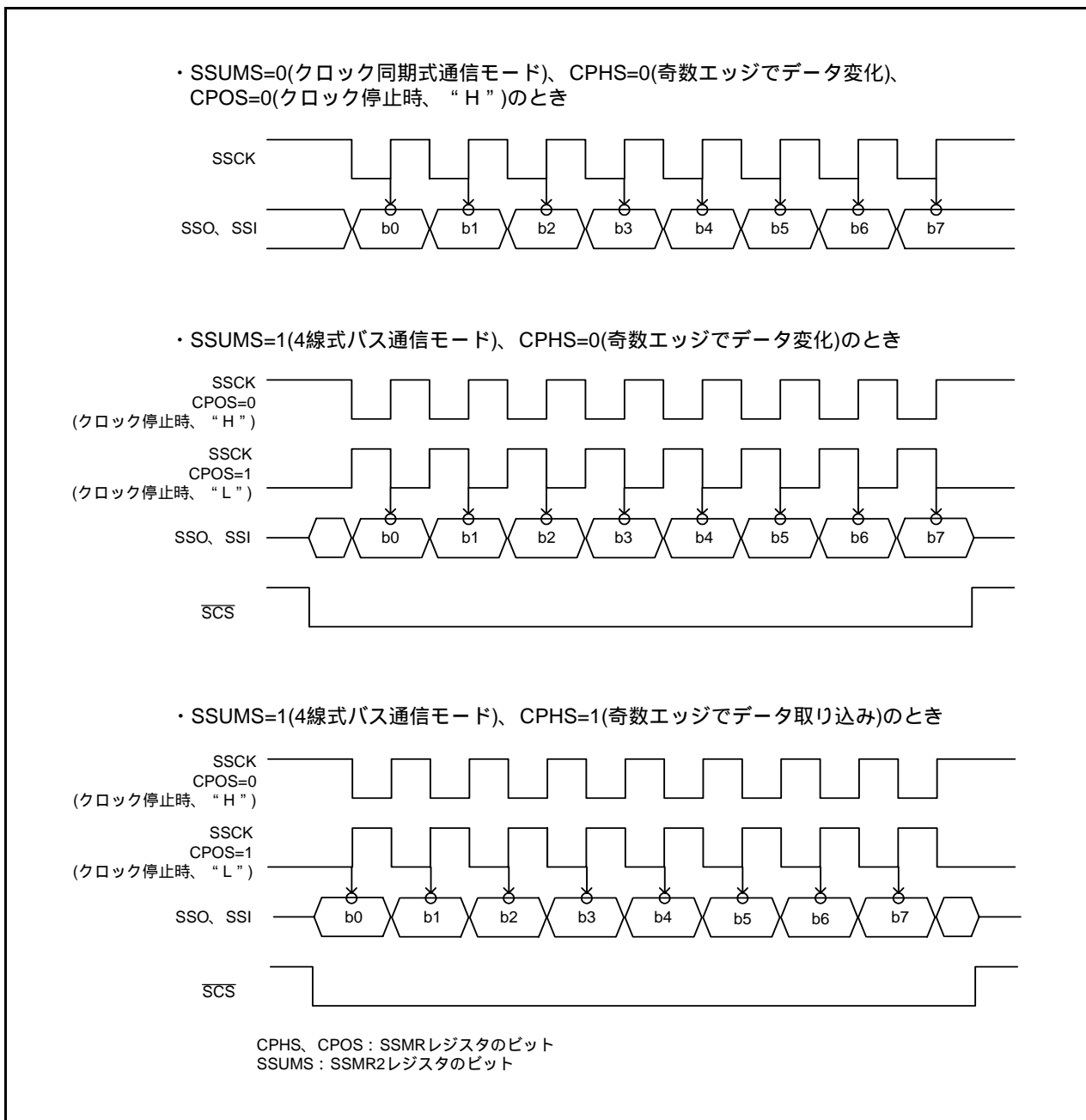


図16.10 転送クロックの極性、位相および転送データの関係

16.2.2 SSシフトレジスタ (SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

16.2.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図16.11にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

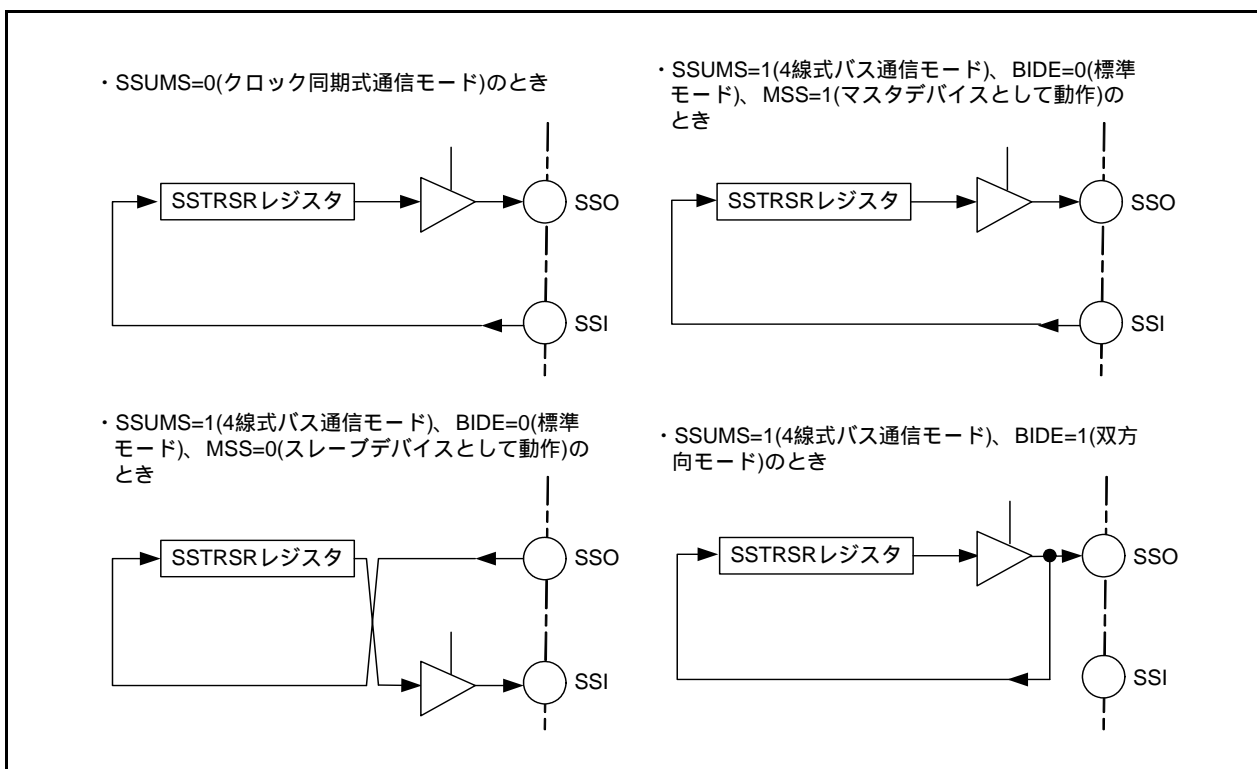


図 16.11 データ入出力端子とSSTRSRレジスタの接続関係

16.2.3 割り込み要求

チップセレクト付クロック同期形シリアルI/Oの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバーランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はチップセレクト付クロック同期形シリアルI/O割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表16.3にチップセレクト付クロック同期形シリアルI/Oの割り込み要求を示します。

表16.3 チップセレクト付クロック同期形シリアルI/Oの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1かつTDRE=1
送信終了	TEI	TEIE=1かつTEND=1
受信データフル	RXI	RIE=1かつRDRF=1
オーバーランエラー	OEI	RIE=1かつORER=1
コンフリクトエラー	CEI	CEIE=1かつCE=1

CEIE、RIE、TEIE、TIE：SSERレジスタのビット

ORER、RDRF、TEND、TDRE：SSSRレジスタのビット

表16.3の発生条件が満たされたとき、チップセレクト付クロック同期形シリアルI/O割り込み要求が発生します。チップセレクト付クロック同期形シリアルI/O割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDREビットおよびTENDビットはSSTDRレジスタに送信データを書くことで、RDRFビットはSSRDRレジスタを読むことで自動的に“0”になります。特にTDREビットはSSTDRレジスタに送信データを書いたとき、同時に再度TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、さらにTDREビットを“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)にすると、余分に1バイト送信する場合があります。

16.2.4 各通信モードと端子機能

チップセレクト付クロック同期形シリアルI/Oは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表16.4に通信モードと入出力端子の関係を示します。

表16.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態			
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK	
クロック同期式通信モード	0	無効	0	0	1	入力	-(注1)	入力	
				1	0	-(注1)	出力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	出力
				1	0	-(注1)	出力	出力	出力
4線式バス通信モード	1	0	0	0	1	-(注1)	入力	入力	
				1	0	出力	-(注1)	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	出力
				1	0	-(注1)	出力	出力	出力
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	-(注1)	入力	入力	
				1	0	-(注1)	出力	入力	
			1	0	1	-(注1)	入力	出力	出力
				1	0	-(注1)	出力	出力	出力

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

16.2.5 クロック同期式通信モード

16.2.5.1 クロック同期式通信モードの初期化

図16.12にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

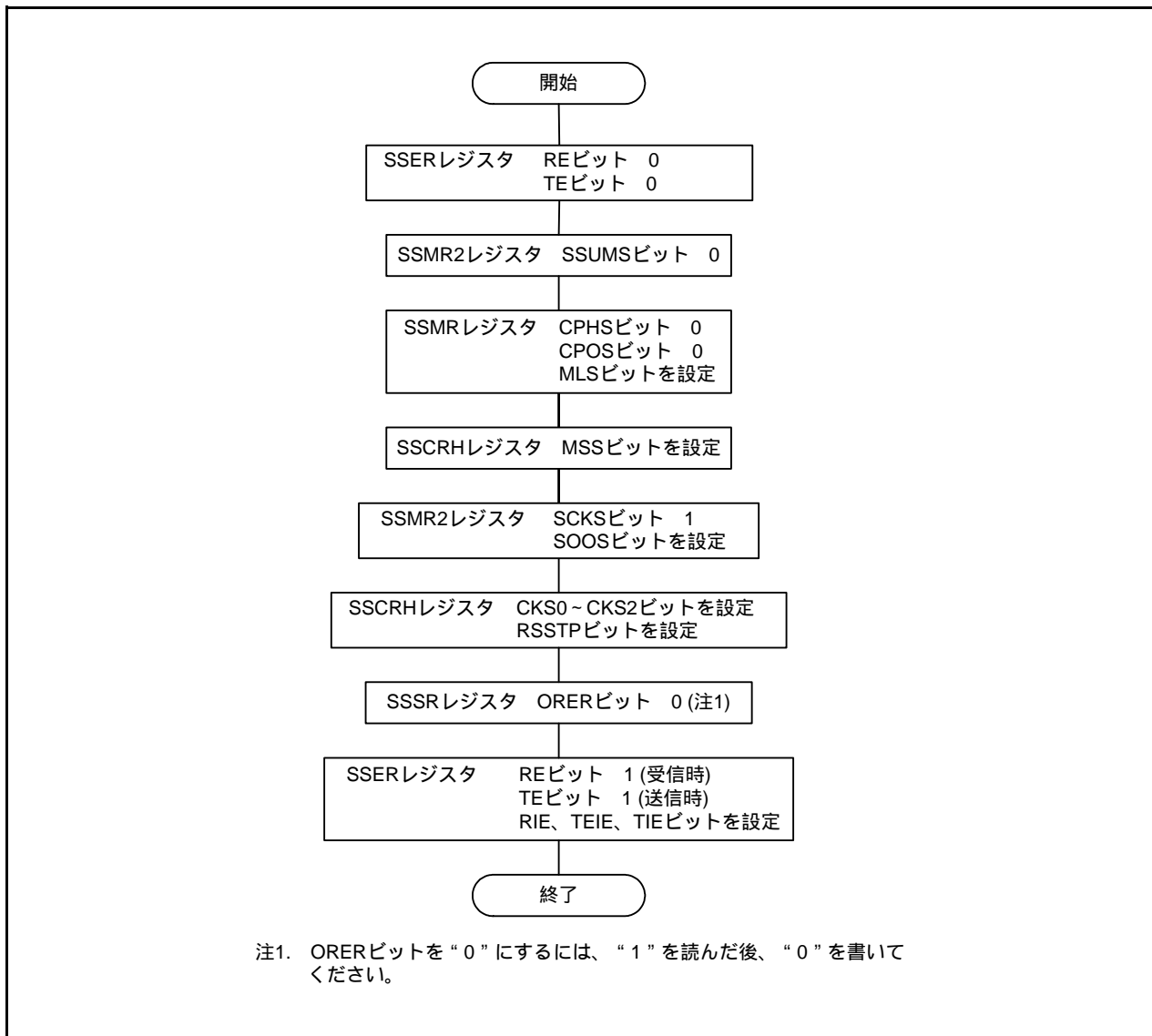


図16.12 クロック同期式通信モードの初期化

16.2.5.2 データ送信

図16.13にデータ送信時の動作例(クロック同期式通信モード)を示します。データ送信時は以下のように動作します。

チップセレクト付クロック同期形シリアルI/Oはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TE ビットを“1”(送信許可)にした後、SSTDR レジスタに送信データを書くと、自動的に TDRE ビットが“0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、送信を開始します。このとき、SSER レジスタの TIE ビットが“1”の場合、TXI 割り込み要求を発生します。

TDRE ビットが“0”の状態でも1フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE ビットが“1”の状態でも8ビット目が送出されると、SSSR レジスタの TEND ビットが“1”(送信データの最後尾ビットの送信時、TDRE ビットが“1”)になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが“1”(送信終了割り込み要求許可)の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は“H”に固定されます。

なお、SSSR レジスタの ORER ビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER ビットが“0”であることを確認してください。

図16.14にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

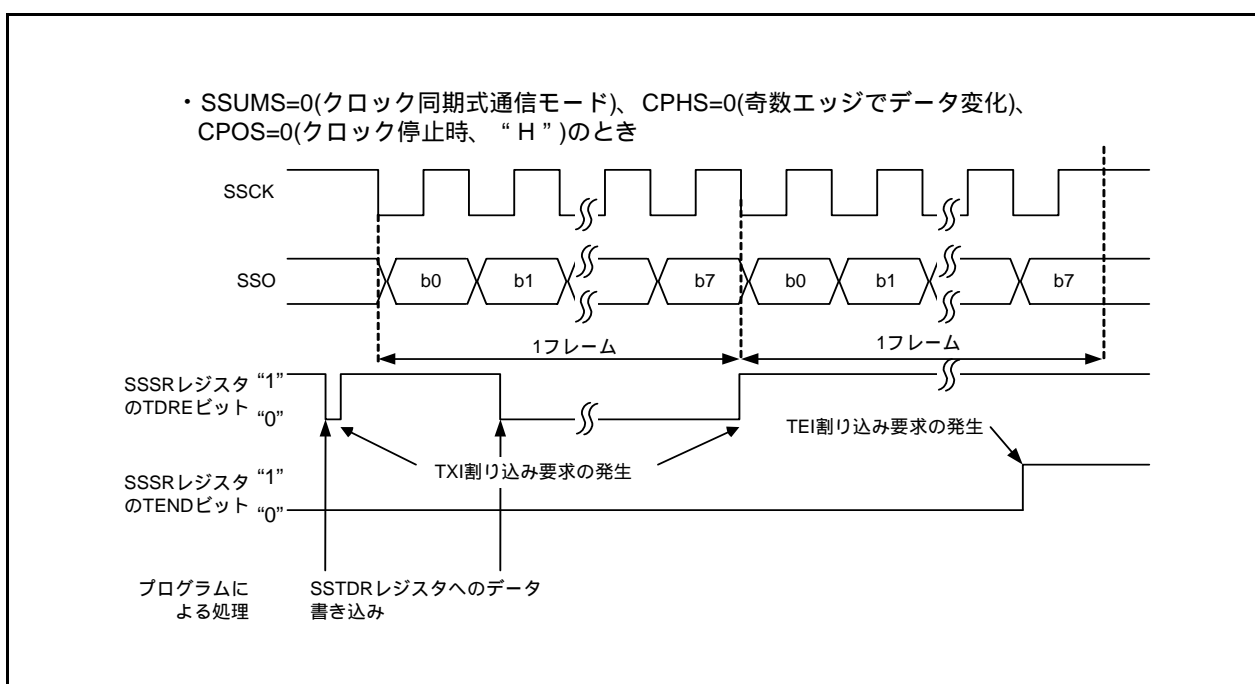


図16.13 データ送信時の動作例(クロック同期式通信モード)

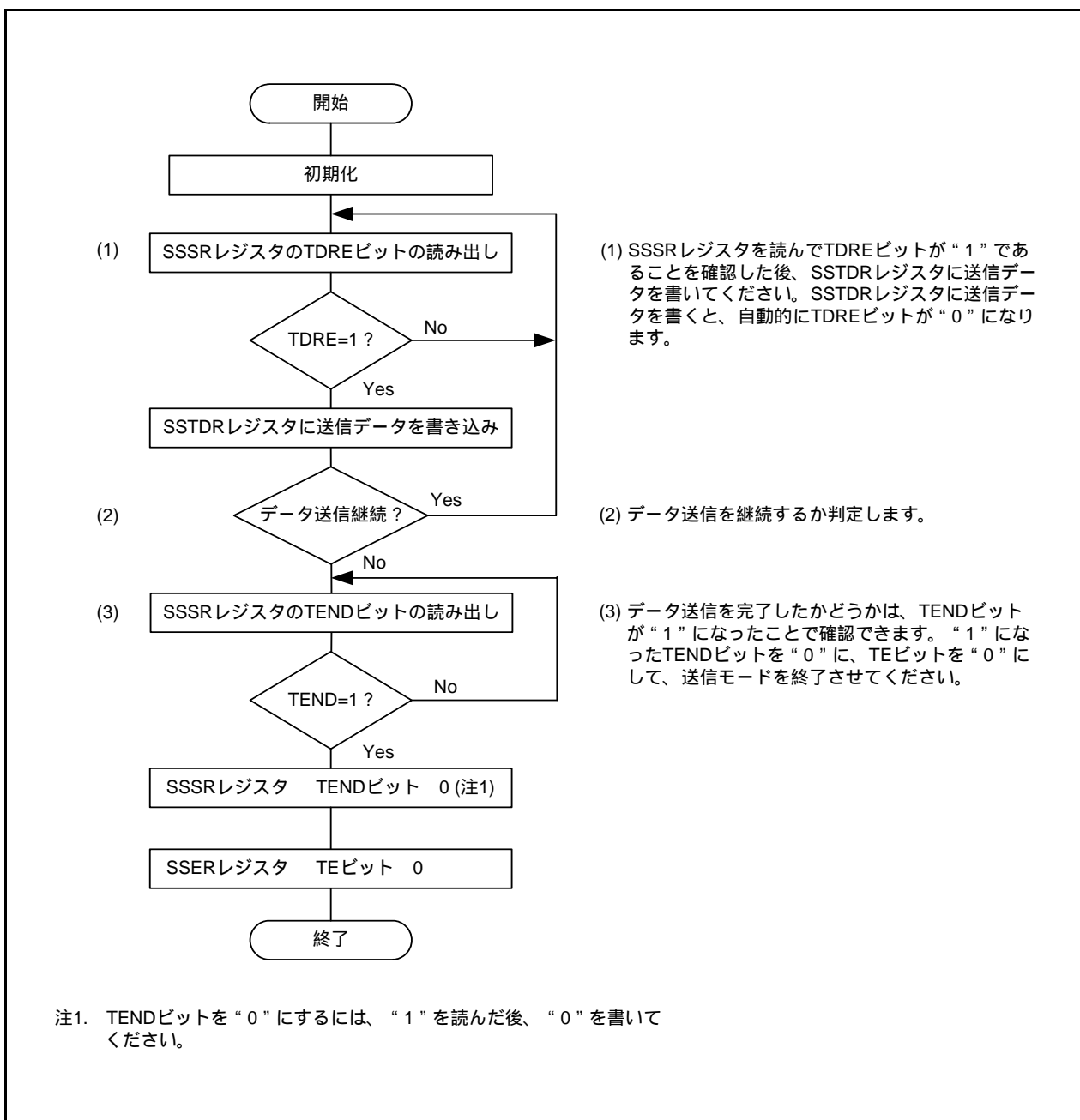


図16.14 データ送信のフローチャート例(クロック同期式通信モード)

16.2.5.3 データ受信

図16.15にデータ受信時の動作例(クロック同期式通信モード)を示します。データ受信時は以下のように動作します。

チップセレクト付クロック同期形シリアルI/Oはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図16.16にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

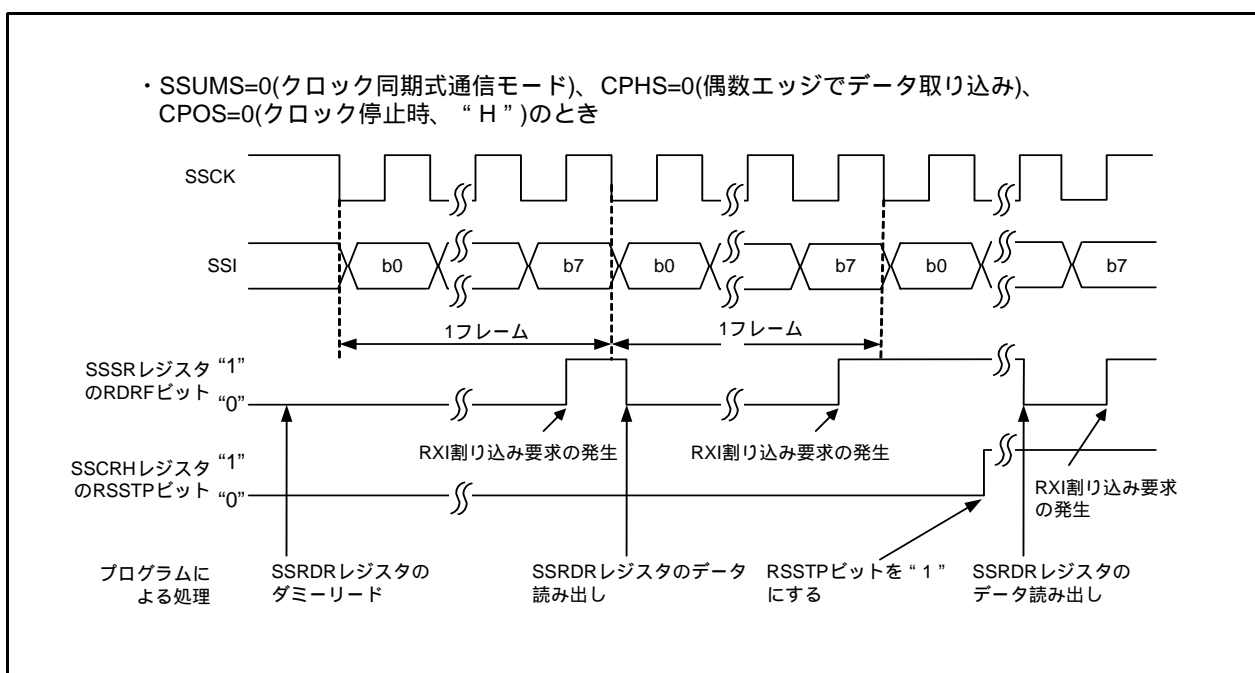


図16.15 データ受信時の動作例(クロック同期式通信モード)

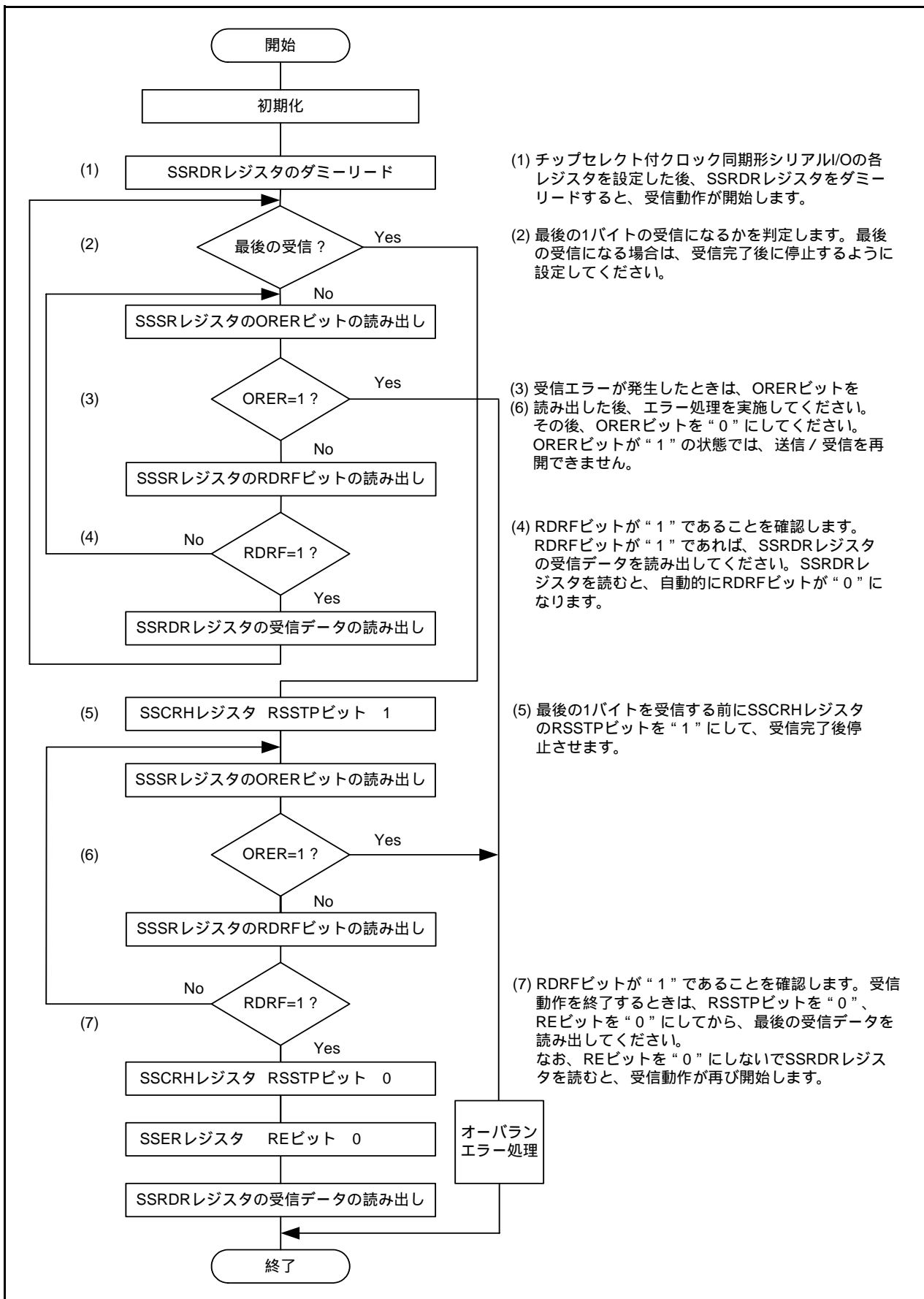


図 16.16 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

16.2.5.4 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態が8クロック目の立ち上がった場合、またはORERビットが“1”(オーバーランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”、REビットを“0”にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバーランエラーなし)であることを確認した後、TEおよびREビットを“1”にしてください。

図16.17にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

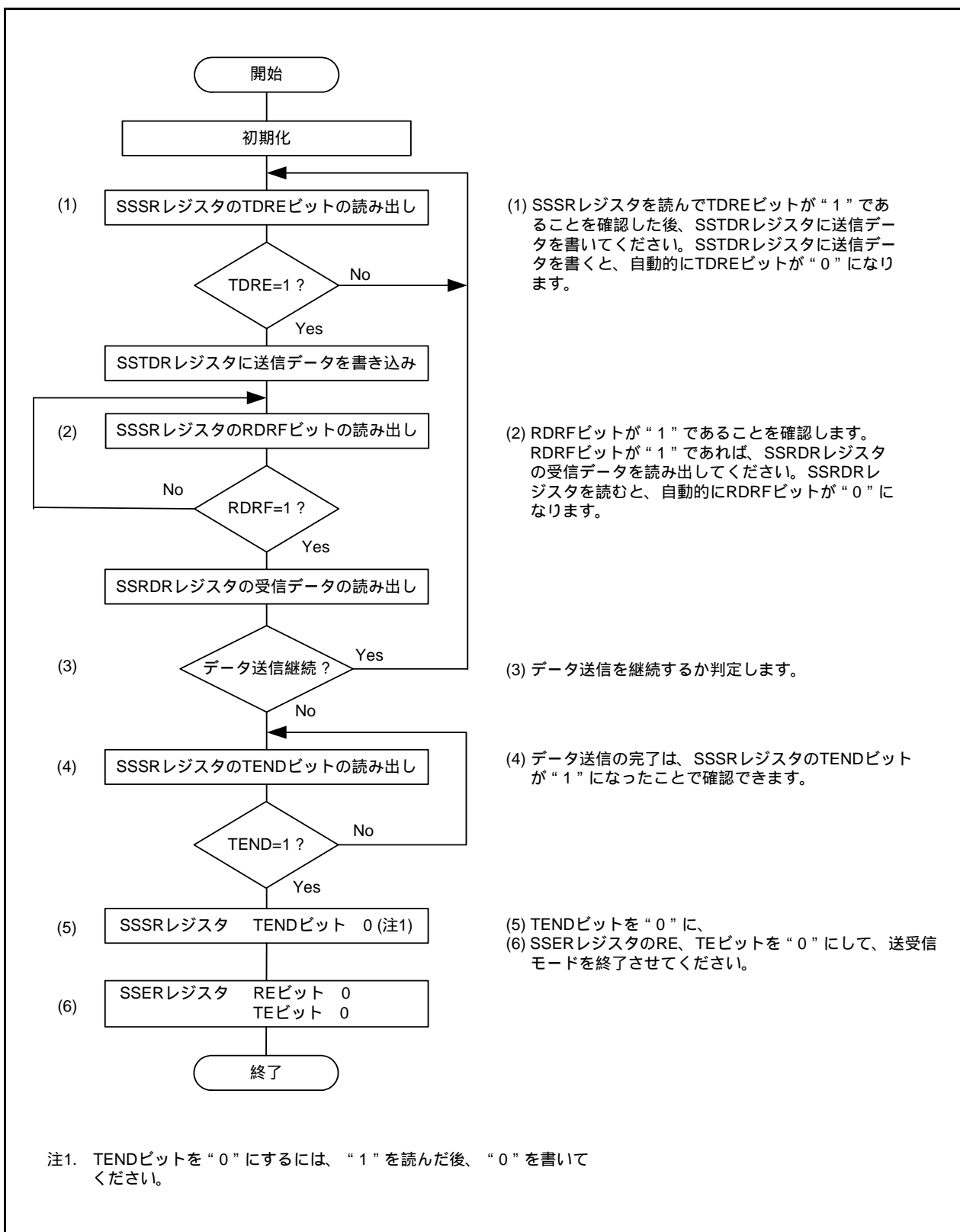


図16.17 データ送受信のフローチャート例(クロック同期式通信モード)

16.2.6 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「16.2.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータの間をSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「16.2.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

16.2.6.1 4線式バス通信モードの初期化

図16.18に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

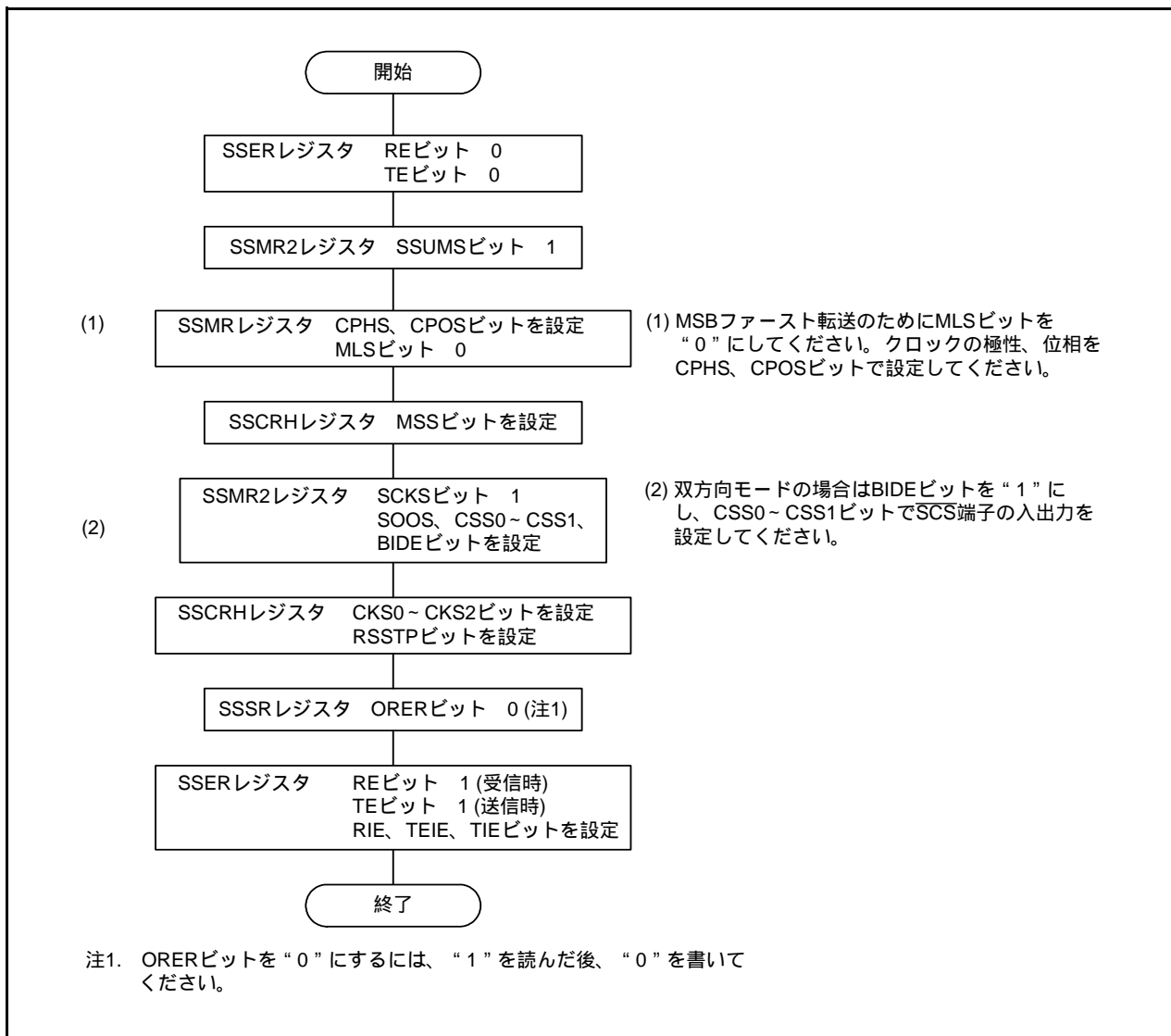


図 16.18 4線式バス通信モードの初期化

16.2.6.2 データ送信

図 16.19 にデータ送信時の動作例 (4 線式バス通信モード) を示します。データ送信時は以下のように動作します。

チップセレクト付クロック同期形シリアルI/Oはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを出力します。

TE ビットを“1” (送信許可) にした後、SSTDR レジスタに送信データを書くと、自動的に TDRE ビットが“0” (SSTDR レジスタから SSTRSR レジスタにデータ転送されていない) になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが“1” (SSTDR レジスタから SSTRSR レジスタにデータ転送された) になり、送信を開始します。このとき、SSER レジスタの TIE ビットが“1” の場合、TXI 割り込み要求を発生します。

TDRE ビットが“0” の状態で 1 フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE が“1” の状態で 8 ビット目が送出されると、SSSR レジスタの TEND ビットが“1” (送信データの最後尾ビットの送信時、TDRE ビットが“1”) になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが“1” (送信終了割り込み要求許可) の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は“H” に固定され、SCS 端子は“H” になります。SCS 端子が“L” のまま連続的に送信する場合、8 ビット目が送出される前に次の送信データを SSTDR レジスタに書いてください。

なお、SSSR レジスタの ORER ビットが“1” (オーバランエラー発生) の状態では、送信できません。送信の前には、ORER ビットが“0” であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時に SCS 端子がハイインピーダンス状態では、SSO 端子がハイインピーダンス状態となり、スレーブデバイス時に SCS 端子が“H” 入力状態では、SSI 端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです (「図 16.14 データ送信のフローチャート例 (クロック同期式通信モード)」参照)。

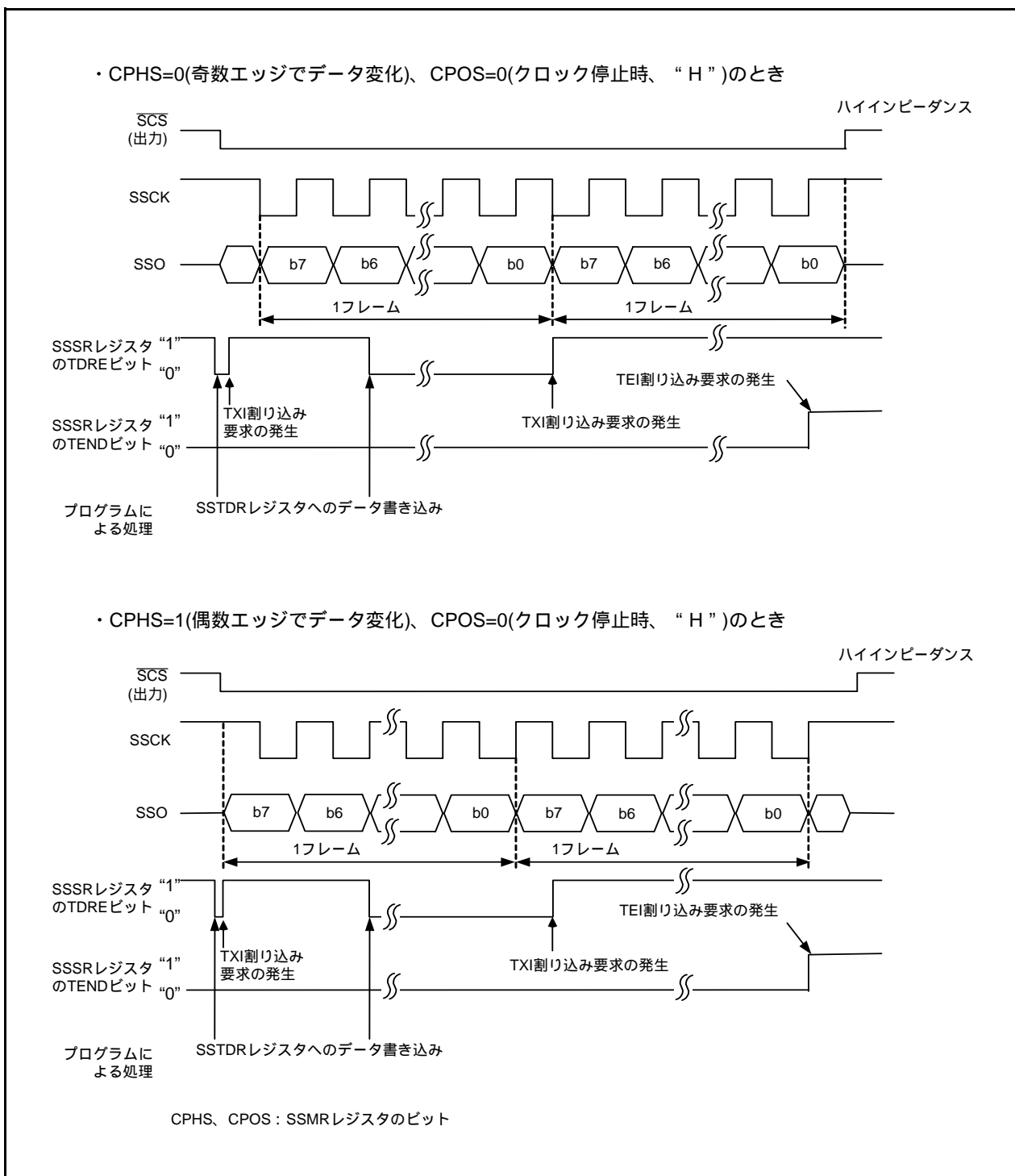


図 16.19 データ送信時の動作例(4線式バス通信モード)

16.2.6.3 データ受信

図 16.20 にデータ受信時の動作例 (4 線式バス通信モード) を示します。データ受信時は以下のように動作します。

チップセレクト付クロック同期形シリアルI/Oはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態で8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません、受信再開の前には、ORERビットが“0”であることを確認してください。

RDRFビット、ORERビットが“1”になるタイミングは、SSMRレジスタのCPHSビットの設定により異なります。このタイミングを図 16.20 に示します。CPHSビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 16.16 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

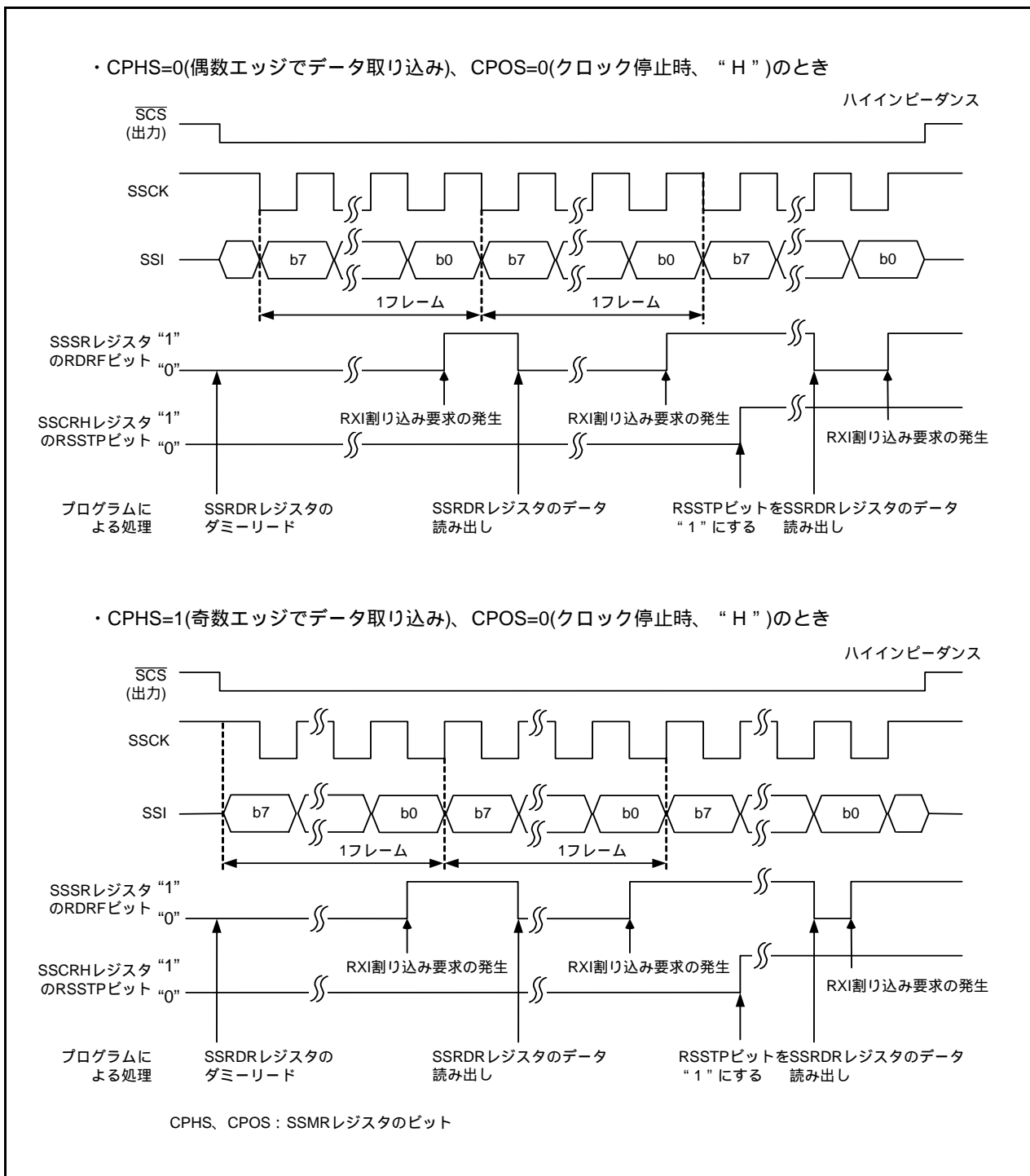


図 16.20 データ受信時の動作例(4線式バス通信モード)

16.2.7 SCS端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1”（4線式バス通信モード）、CSS1ビットを“1”（SCS出力端子として機能）にした場合には、SSCRHレジスタのMSSビットを“1”（マスタデバイスとして動作）にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1”（コンフリクトエラー発生）になり、自動的にMSSビットが“0”（スレーブデバイスとして動作）になります。

図16.21にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0”（コンフリクトエラーなし）にしてください。

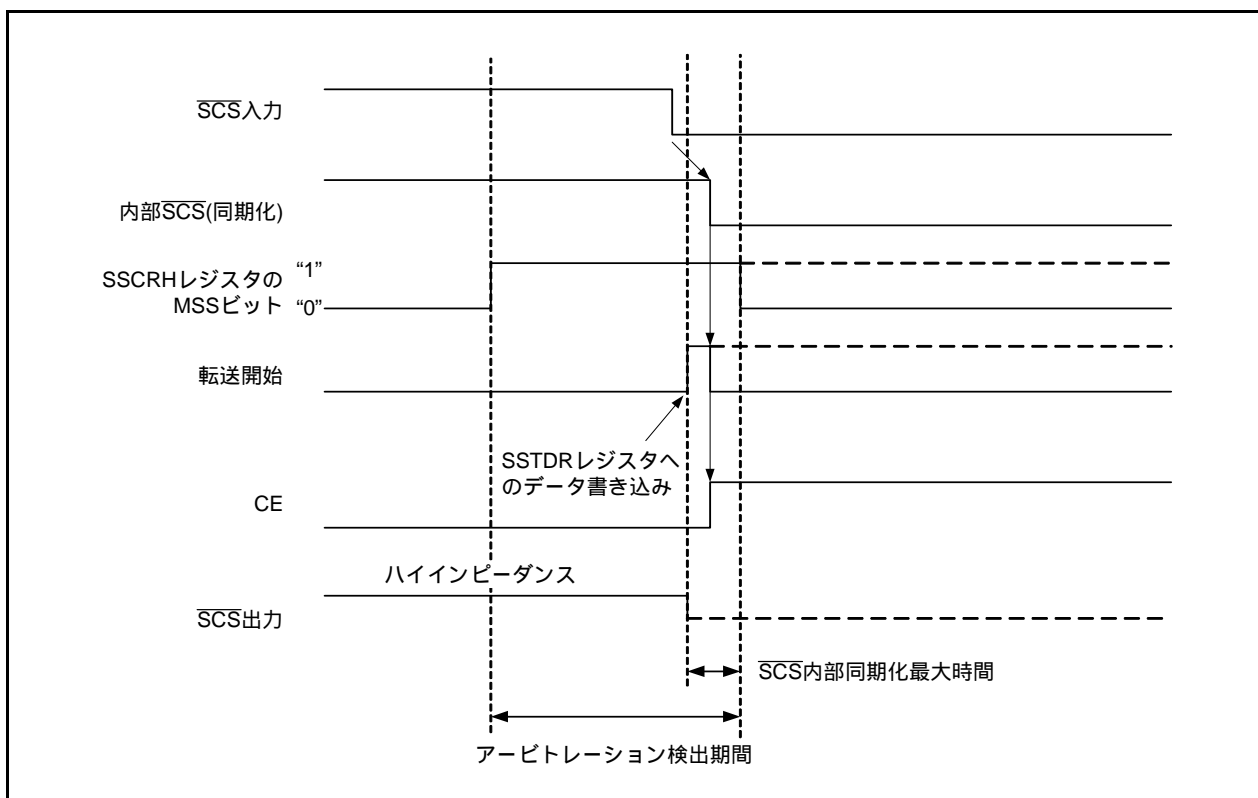


図16.21 アービトレーションチェックタイミング

16.2.8 チップセレクト付クロック同期形シリアルI/O使用上の注意

チップセレクト付クロック同期形シリアルI/Oを使用する場合には、PMRレジスタのIICSELビットを“0”(チップセレクト付クロック同期形シリアルI/O機能を選択)にしてください。

16.3 I²Cバスインタフェース

I²Cバスインタフェースは、フィリップス社I²Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

表 16.5 に I²C バスインタフェースの仕様、図 16.22 に I²C バスインタフェースブロック図、図 16.23 に SCL、SDA 端子の外部回路接続例を示します。

図 16.24 ~ 図 16.30 に I²C バスインタフェース関連レジスタを示します。

I²C bus はオランダ PHILIPS 社の登録商標です。

表 16.5 I²Cバスインタフェースの仕様

項目	仕様
通信フォーマット	<ul style="list-style-type: none"> ・I²Cバスフォーマット <ul style="list-style-type: none"> -マスタ/スレーブデバイスの選択可能 -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため) -マスタモードでは開始条件、停止条件の自動生成 -送信時、アクノリッジビットを自動ロード -ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。) -SCL、SDA端子の直接駆動(Nチャンネルオープンドレイン出力)が可能 ・クロック同期式シリアルフォーマット <ul style="list-style-type: none"> -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)
入出力端子	SCL(入出力) : シリアルクロック入出力端子 SDA(入出力) : シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> ・ICCR1レジスタのMSTビットが“0”のとき 外部クロック(SCL端子から入力) ・ICCR1レジスタのMSTビットが“1”のとき ICCR1レジスタのCKS0 ~ CKS3ビットで選択する内部クロック(SCL端子から出力)
受信エラーの検出	<ul style="list-style-type: none"> ・オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ALビットが“1”になる
割り込み要因	<ul style="list-style-type: none"> ・I²Cバスフォーマット..... 6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出 ・クロック同期式シリアルフォーマット..... 4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー
選択機能	<ul style="list-style-type: none"> ・I²Cバスフォーマット <ul style="list-style-type: none"> -受信時、アクノリッジの出力レベルを選択可能 ・クロック同期式シリアルフォーマット <ul style="list-style-type: none"> -データ転送方向にMSBファーストまたはLSBファーストを選択可能

注1. 割り込みベクタテーブルはI²Cバスインタフェースの1つです。

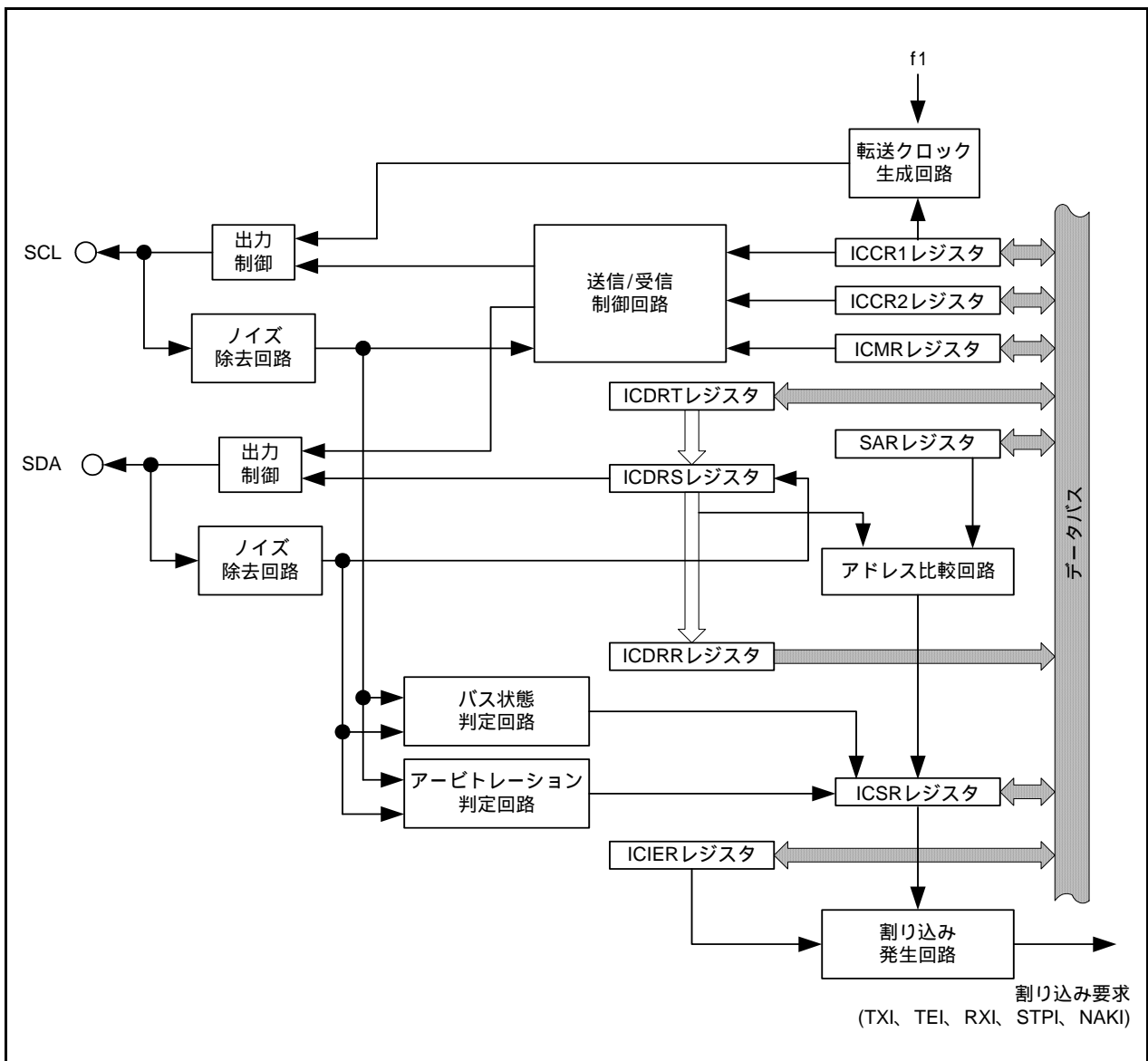


図 16.22 I²Cバスインタフェースブロック図

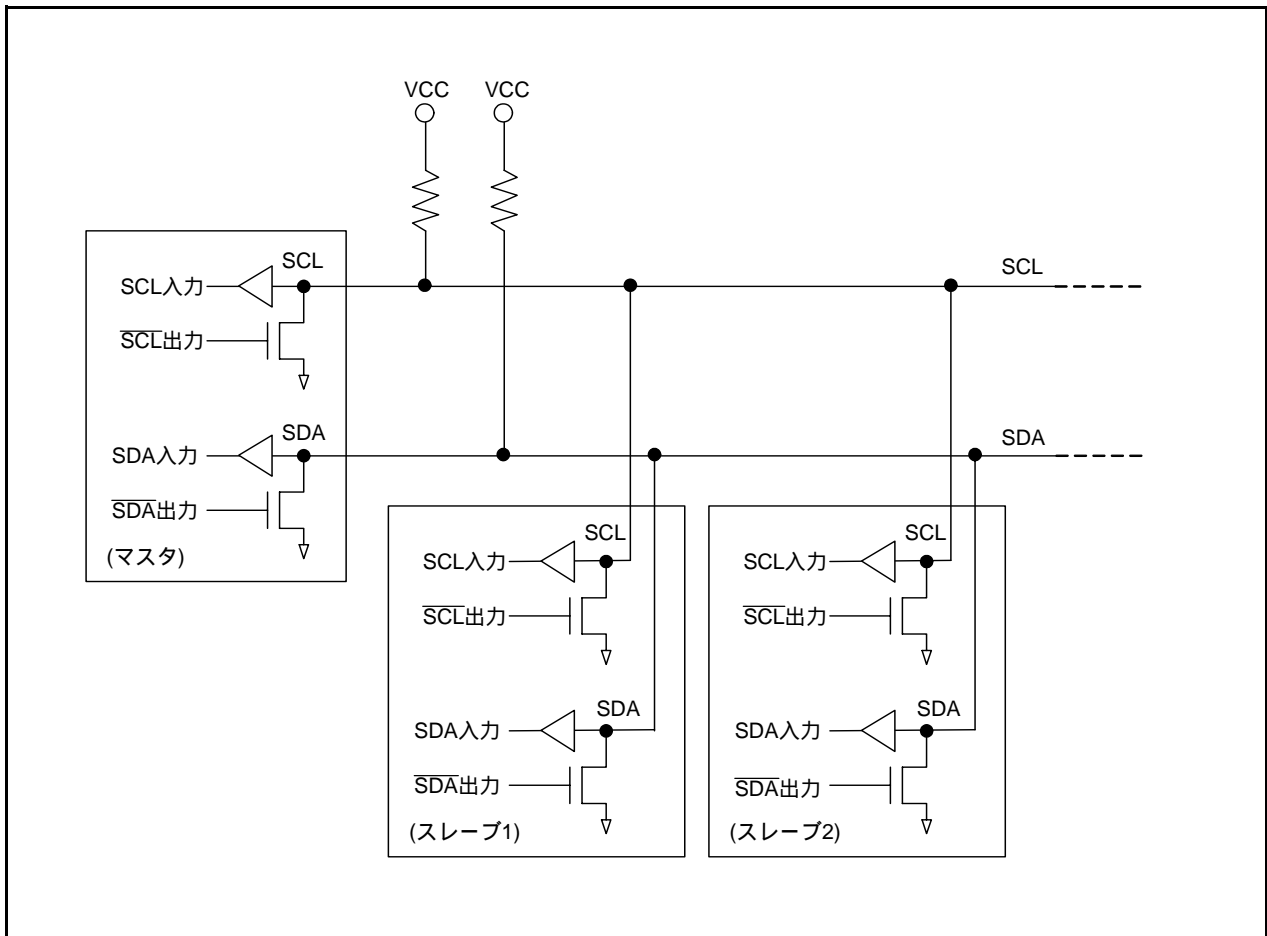


図 16.23 SCL、SDA 端子の外部回路接続例

IICバス制御レジスタ1

シンボル ICCR1	アドレス 00B8h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
CKS0	転送クロック選択ビット3~0 (注1)	b3 b2 b1 b0 0 0 0 0 : f1/28	RW
		0 0 0 1 : f1/40	
		0 0 1 0 : f1/48	
		0 0 1 1 : f1/64	
CKS1		0 1 0 0 : f1/80	RW
		0 1 0 1 : f1/100	
		0 1 1 0 : f1/112	
		0 1 1 1 : f1/128	
CKS2		1 0 0 0 : f1/56	RW
		1 0 0 1 : f1/80	
		1 0 1 0 : f1/96	
		1 0 1 1 : f1/128	
CKS3		1 1 0 0 : f1/160	RW
		1 1 0 1 : f1/200	
		1 1 1 0 : f1/224	
		1 1 1 1 : f1/256	
TRS	送信/受信選択ビット (注2、3、6)	b5 b4 0 0 : スレープ受信モード(注4) 0 1 : スレープ送信モード	RW
MST	マスタ/スレープ選択ビット (注5、6)	1 0 : マスタ受信モード 1 1 : マスタ送信モード	RW
RCVD	受信ディスエーブルビット	TRS=0の状態ではICDRRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	RW
ICE	I ² Cバスインタフェースイネーブルビット	0 : 本モジュールは機能停止状態 (SCL、SDA端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL、SDA端子はバス駆動状態)	RW

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表16.6 転送レート例」を参照してください。スレープモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10T_{cyc}、CKS3=1のとき20T_{cyc}となります。
(1T_{cyc}=1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレープ受信モードで開始条件後の7ビットがSARレジスタに設定したスレープアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”になります。

注4. I²Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレープ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MSTビットが“0”になり、スレープ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

図16.24 ICCR1レジスタ

IICバス制御レジスタ2

シンボル ICCR2	アドレス 00B9h番地	リセット後の値 01111101b	
ビット シンボル	ビット名	機能	RW
- (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
IICRST	I ² Cコントロール部リセット ビット	I ² Cバスインタフェースの動作中に、 通信不具合等によりハングアップした とき、“1”を書くとポートの設定、 レジスタの初期化をせずに、I ² Cバス インタフェースのコントロール部を リセットします。	RW
- (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
SCLO	SCLモニタフラグ	0：SCL端子は“L” 1：SCL端子は“H”	RO
SDAOP	SDAOライトプロテクトビット	SDAOビットを書き換えるとき、同時 に“0”を書いてください。(注1) 読んだ場合、その値は“1”。	RW
SDAO	SDAO出力値制御ビット	読んだ場合 0：SDA端子出力が“L” 1：SDA端子出力が“H” 書いた場合(注1、2) 0：SDA端子出力を“L”に変更する。 1：SDA端子出力をハイインピーダンス に変更する(外部プルアップ抵抗に よって、“H”出力)。	RW
SCP	開始/停止条件発行禁止ビット	BBSYビットにかくとき、同時に“0” をかいてください。(注3) 読んだ場合、その値は“1”。 “1”書き込みは無効になります。	RW
BBSY	バスビジービット(注4)	読んだ場合 0：バスが開放状態(SCL信号が“H”の 状態でSDA信号が“L”から“H”に 変化) 1：バスが占有状態(SCL信号が“H”の 状態でSDA信号が“H”から“L”に 変化) 書いた場合(注3) 0：停止条件を発行 1：開始条件を発行	RW

注1. SDAOビットを書き換える場合は、同時にSDAOPビットに“0”をMOV命令を使用して書いてください。
注2. 転送動作中に書かないでください。
注3. マスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットに“0”をMOV命令を使用して
書いてください。開始条件の再発行時も、同様に実施してください。
注4. クロック同期シリアルフォーマット時は無効です。

図 16.25 ICCR2レジスタ

IICバスモードレジスタ			
シンボル ICMR	アドレス 00BAh番地	リセット後の値 00011000b	
ビット シンボル	ビット名	機能	RW
BC0	ビットカウンタ2~0	I ² Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数) (注1、2) b2 b1 b0 0 0 0: 9ビット(注3) 0 0 1: 2ビット 0 1 0: 3ビット 0 1 1: 4ビット 1 0 0: 5ビット 1 0 1: 6ビット 1 1 0: 7ビット 1 1 1: 8ビット	RW
BC1		クロック同期式シリアルフォーマット (読み出し時は残りの転送ビット数、 書き込み時は常に“000b”を書いて ください。) b2 b1 b0 0 0 0: 8ビット 0 0 1: 1ビット 0 1 0: 2ビット 0 1 1: 3ビット 1 0 0: 4ビット 1 0 1: 5ビット 1 1 0: 6ビット 1 1 1: 7ビット	RW
BC2			RW
BCWP	BCライトプロテクトビット	BC0~BC2ビットを書き換えるとき、 同時に“0”を書いてください。 (注2、4) 読んだ場合、その値は“1”。	RW
- (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
- (b5)	予約ビット	“0”にしてください。	RW
WAIT	ウェイト挿入ビット(注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、 2転送クロック分“L”を延長)	RW
MLS	MSBファースト/LSBファースト 選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	RW

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0~BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に“000b”になります。開始条件検出時、BC2~BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えしないでください。

注5. I²Cバスフォーマットのマスターモード時に、設定値が有効です。I²Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I²Cバスフォーマット時は、“0”にしてください。

図16.26 ICMRレジスタ

IICバス割り込み許可レジスタ

シンボル ICIER	アドレス 00BBh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジの タイミングで“0”を送出 1: 受信モード時、アクノリッジの タイミングで“1”を送出	RW
ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け 取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け 取ったアクノリッジビットが“1”	RO
ACKE	アクノリッジビット判定選択 ビット	0: 受信アクノリッジの内容を無視して 連続的に転送 1: 受信アクノリッジが“1”の場合、 転送中止	RW
STIE	停止条件検出インタラプトイ ネーブルビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2)	RW
NAKIE	NACK受信インタラプトイネー ブルビット	0: NACK受信割り込み要求およびアービ トレーションロスト/オーバーランエラー 割り込み要求禁止 1: NACK受信割り込み要求およびアービ トレーションロスト/オーバーランエラー 割り込み要求許可 (注1)	RW
RIE	レシーブインタラプトイネー ブルビット	0: 受信データフルおよびオーバーラン エラー割り込み要求禁止 1: 受信データフルおよびオーバーラン エラー割り込み要求許可 (注1)	RW
TEIE	トランスミットエンドインタ ラプトイネーブルビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	RW
TIE	トランスミットインタラプト イネーブルビット	0: 送信データエンプティ割り込み要求 禁止 1: 送信データエンプティ割り込み要求 許可	RW

注1. オーバーランエラー割り込み要求はクロック同期フォーマット時です。
注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にして
ください。

図16.27 ICIERレジスタ

IICバスステータスレジスタ(注7)

シンボル ICSR	アドレス 00BCh番地	リセット後の値 0000X000b	
ビット シンボル	ビット名	機能	RW
ADZ	ゼネラルコールアドレス 認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、“1” になります。	RW
AAS	スレーブアドレス認識 フラグ (注1)	スレーブ受信モードで開始条件直後の第1フ レームがSARレジスタのSVA0～SVA6と一致した 場合、“1”になります。(スレーブアドレス 検出、ゼネラルコールアドレス検出)	RW
AL	アービトレーションロス トフラグ/オーバーランエ ラーフラグ(注1)	I ² Cバスフォーマットの場合、マスタモード時 にバス競合負けしたことを示します。次のと きに“1”になります。(注3) ・マスタ送信モード時、SCL信号の立ち上がり で内部SDA信号とSDA端子のレベルが不一致 のとき ・マスタ送信/受信モード時、開始条件検出 時にSDA端子が“H”のとき クロック同期フォーマットの場合、オーバラ ンエラーが発生したことを示します。次のと きに“1”になります。 ・RDRFビットが“1”の状態、次のデータ の最終ビットを受信したとき	RW
STOP	停止条件検出フラグ(注1)	フレームの転送の完了後に停止条件を検出 したとき、“1”になります。	RW
NACKF	ノーアクリッジ検出 フラグ(注1、4)	送信時、受信デバイスからアクリッジが なかったとき、“1”になります。	RW
RDRF	レシーブデータレジスタ フル(注1、5)	ICDRSレジスタからICDRRレジスタに受信 データが転送されたとき、“1”になります。	RW
TEND	トランスミットエンド (注1、6)	I ² Cバスフォーマットの場合、TDREビットが “1”の状態、SCL信号の9クロック目が 立ち上がったとき、“1”になります。 クロック同期フォーマットの場合、送信フ レームの最終ビットを送出したとき、“1”に なります。	RW
TDRE	トランスミットデータ エンプティ (注1、6)	次のときに“1”になります。 ・ICDRTレジスタからICDRSレジスタにデータ 転送されて、ICDRTレジスタが空になった とき ・ICCR1レジスタのTRSビットを“1” (送信モード)にしたとき ・開始条件(再送含む)を発行したとき ・スレーブ受信モードからスレーブ送信 モードが変わったとき	RW

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。
注2. I²Cバスフォーマットのスレーブ受信モードのとき有効。
注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I²CバスインタフェースはSDAをモニタし、
自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたこ
とを示します。
注4. NACKFビットはICIERレジスタのACKEビットが“1”(受信アクリッジが“1”の場合、転送中止)のとき
有効です。
注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。
注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。
注7. ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

図 16.28 ICSR レジスタ

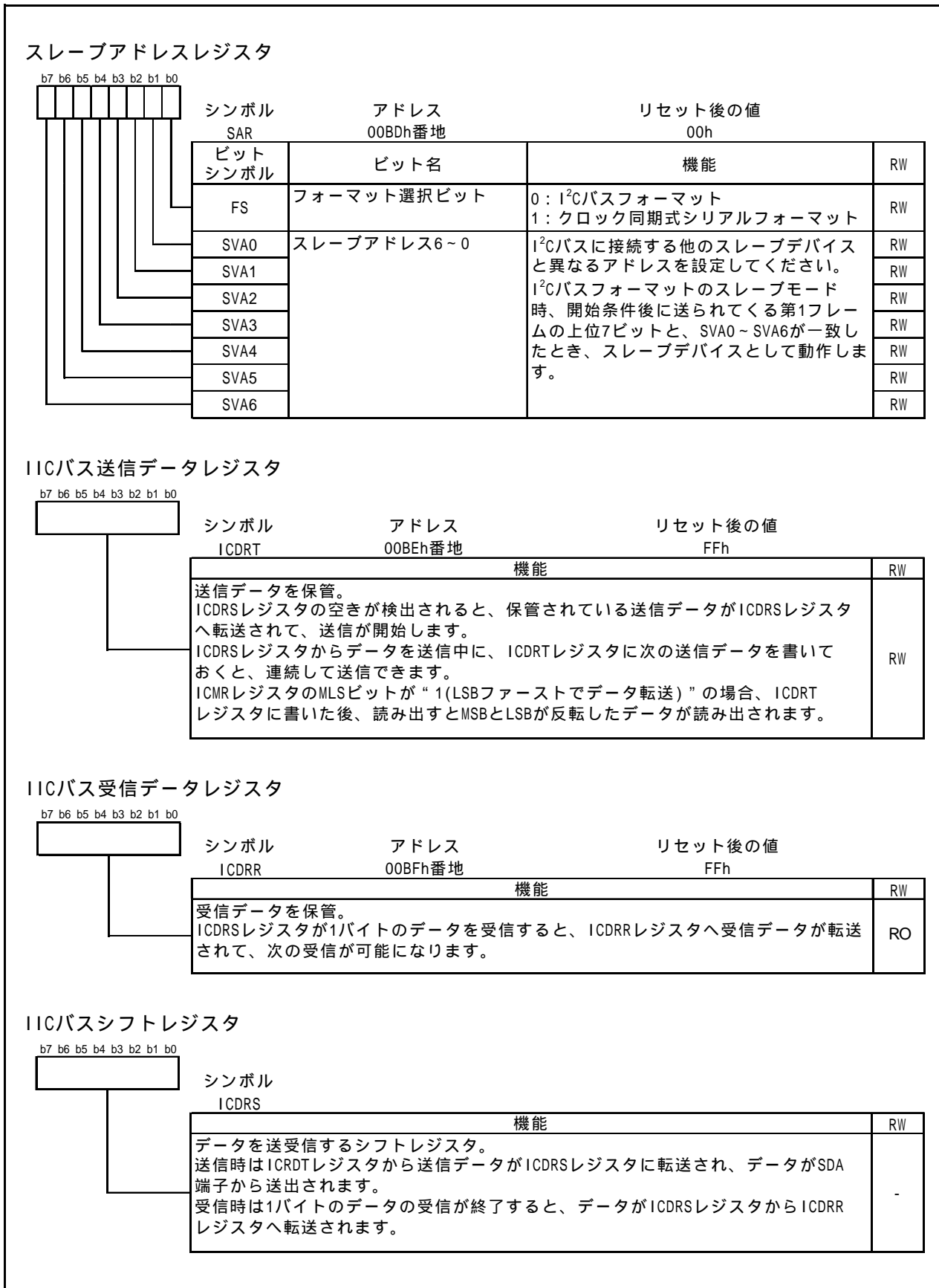


図16.29 SAR、ICDRT、ICDRR、ICDRSレジスタ

ポートモードレジスタ

シンボル PMR	アドレス 00F8h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0” にしてください。	-
U1PINSEL	ポートCLK1/TXD1/RXD1切り替え ビット	0: 入出力ポートP6_5、P6_6、P6_7 1: CLK1、TXD1、RXD1	RW
- (b6-b5)	予約ビット	“0” にしてください。	-
IICSEL	SSU / I ² Cバス切り替えビット	0: SSU機能を選択 1: I ² Cバスインタフェース機能を選択	RW

図 16.30 PMR レジスタ

16.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットで選択された内部クロックになり、SCL端子から出力されます。表16.6に転送レート例を示します。

表16.6 転送レート例

ICCR1レジスタ				転送クロック	転送レート				
CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz
			1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz
		1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz
			1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

16.3.2 割り込み要求

I²Cバスインタフェースの割り込み要求は、I²Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表16.7にI²Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI²Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表16.7 I²Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I ² Cバス	クロック同期式シリアル
送信データエンプティ	TXI	TIE=1かつTDRE=1	有効	有効
送信終了	TEI	TEIE=1かつTEND=1	有効	有効
受信データフル	RXI	RIE=1かつRDRF=1	有効	有効
停止条件検出	STPI	STIE=1かつSTOP=1	有効	無効
NACK検出	NAKI	NAKIE=1かつAL=1 (または NAKIE=1かつNACKF=1)	有効	無効
アービトレーションロスト/ オーバーランエラー			有効	有効

STIE、NAKIE、RIE、TEIE、TIE : ICIERレジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSRレジスタのビット

表16.7の発生条件が満たされたとき、I²Cバスインタフェース割り込み要求が発生します。I²Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDREビットおよびTENDビットはICDRTレジスタに送信データを書くことで、RDRFビットはICDRRレジスタを読むことで、自動的に“0”になります。特にTDREビットはICDRTレジスタに送信データを書いたとき“0”になり、ICDRTレジスタからICDRSレジスタにデータ転送されたときにTDREビットが“1”になり、さらにTDREビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIEビットを“1”(停止条件検出割り込み要求許可)にするのは、STOPビットが“0”のときにしてください。

16.3.3 I²Cバスインタフェースモード

16.3.3.1 I²Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I²Cバスフォーマットで通信します。

図16.31にI²Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

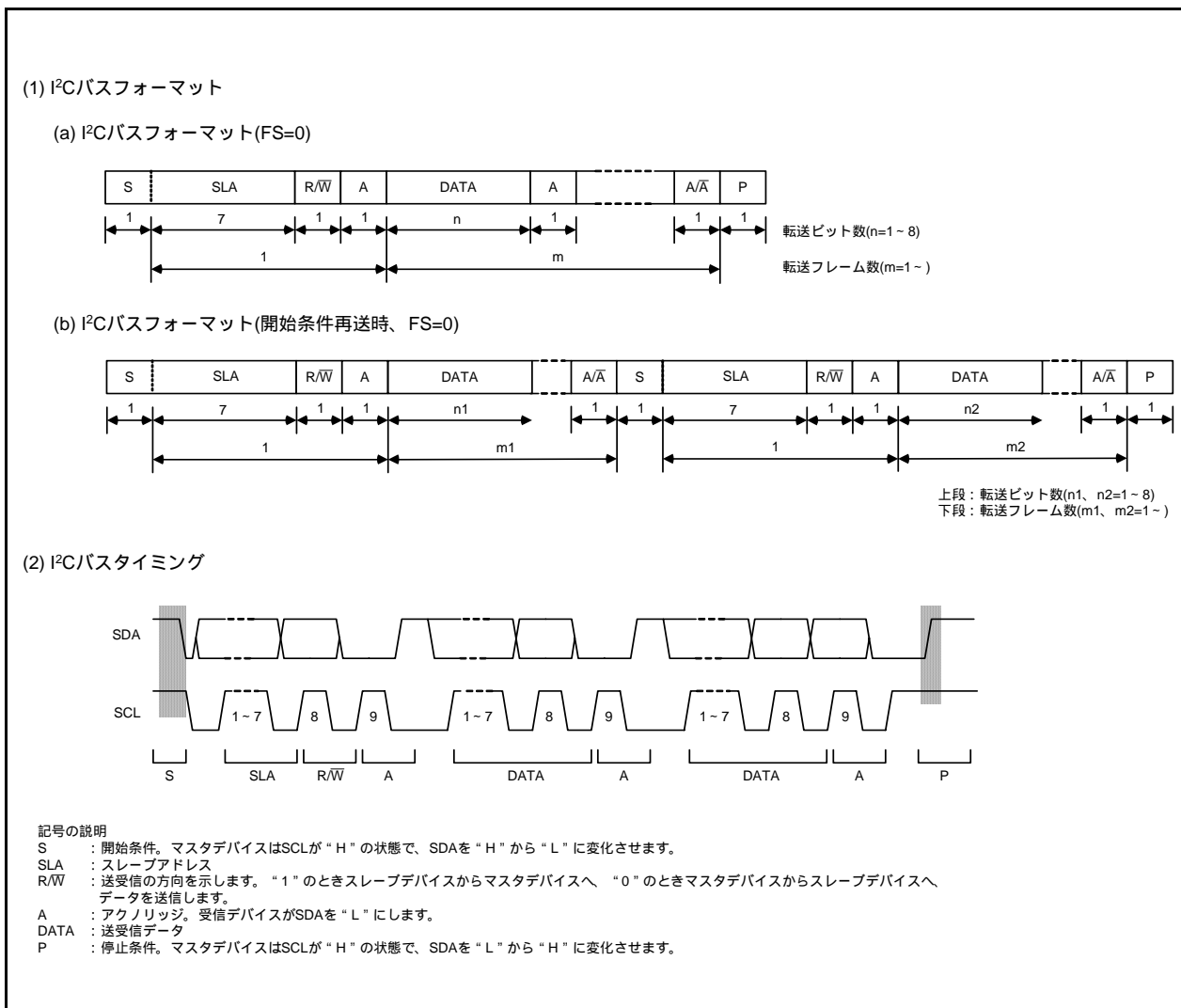


図16.31 I²Cバスフォーマットとバスタイミング

16.3.3.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図16.32、図16.33にマスタ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSRレジスタのSTOPビットを初期化するために“0”にしてください。その後、ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。
- (2) ICCR2レジスタのBBSYビットを読んで、バスが開放状態であることを確認後、ICCR1レジスタのTRS、MSTビットをマスタ送信モードに設定してください。その後、BBSY=1とSCP=0をMOV命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSRレジスタのTDREビットが“1”であることを確認した後、ICDRTレジスタに送信データ(1バイト目はスレーブアドレスとR/Wを示すデータ)を書いてください。このときTDREビットは自動的に“0”になり、ICDRTレジスタからICDRSレジスタにデータが転送されて、再びTDREビットが“1”になります。
- (4) TDREビットが“1”の状態ですべての送信が完了し、送信クロックの9クロック目の立ち上がりでICSRレジスタのTENDビットが“1”になります。ICIERレジスタのACKBRビットを読んで、スレーブデバイスが選択されたことを確認した後、2バイト目のデータをICDRTレジスタに書いてください。ACKBRビットが“1”のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0とSCP=0をMOV命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまではSCLが“L”に固定されます。
- (5) 2バイト目以降の送信データは、TDREビットが“1”になるたびに、ICDRTレジスタにデータを書いてください。
- (6) 送信するバイト数をICDRTレジスタに書いたとき、その後はTDREビットが“1”の状態ですべての送信が完了し、TENDビットが“1”になるまで待ってください。または、ICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)の状態、受信デバイスからのNACK(ICSRレジスタのNACKF=1)を待ってください。その後、停止条件を発行してTENDビット、あるいはNACKFビットを“0”にしてください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、スレーブ受信モードに戻してください。

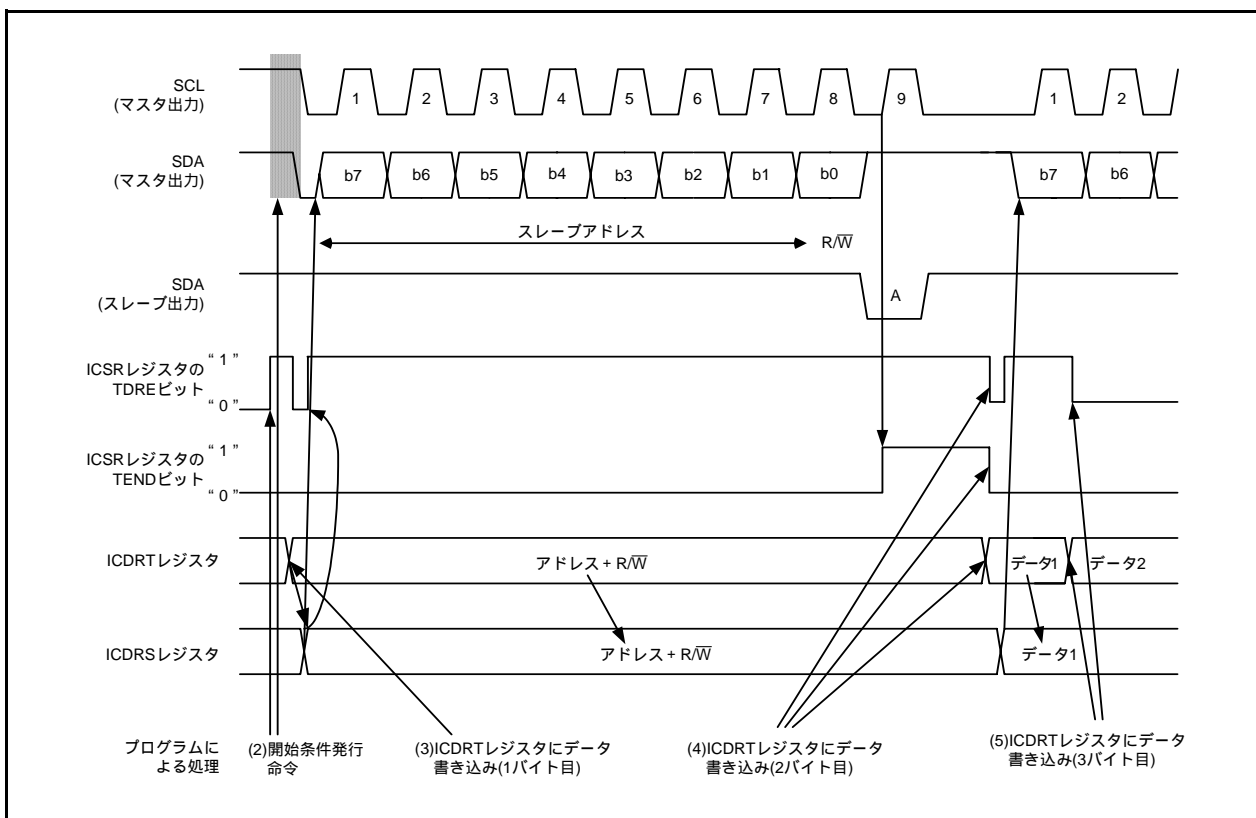


図 16.32 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

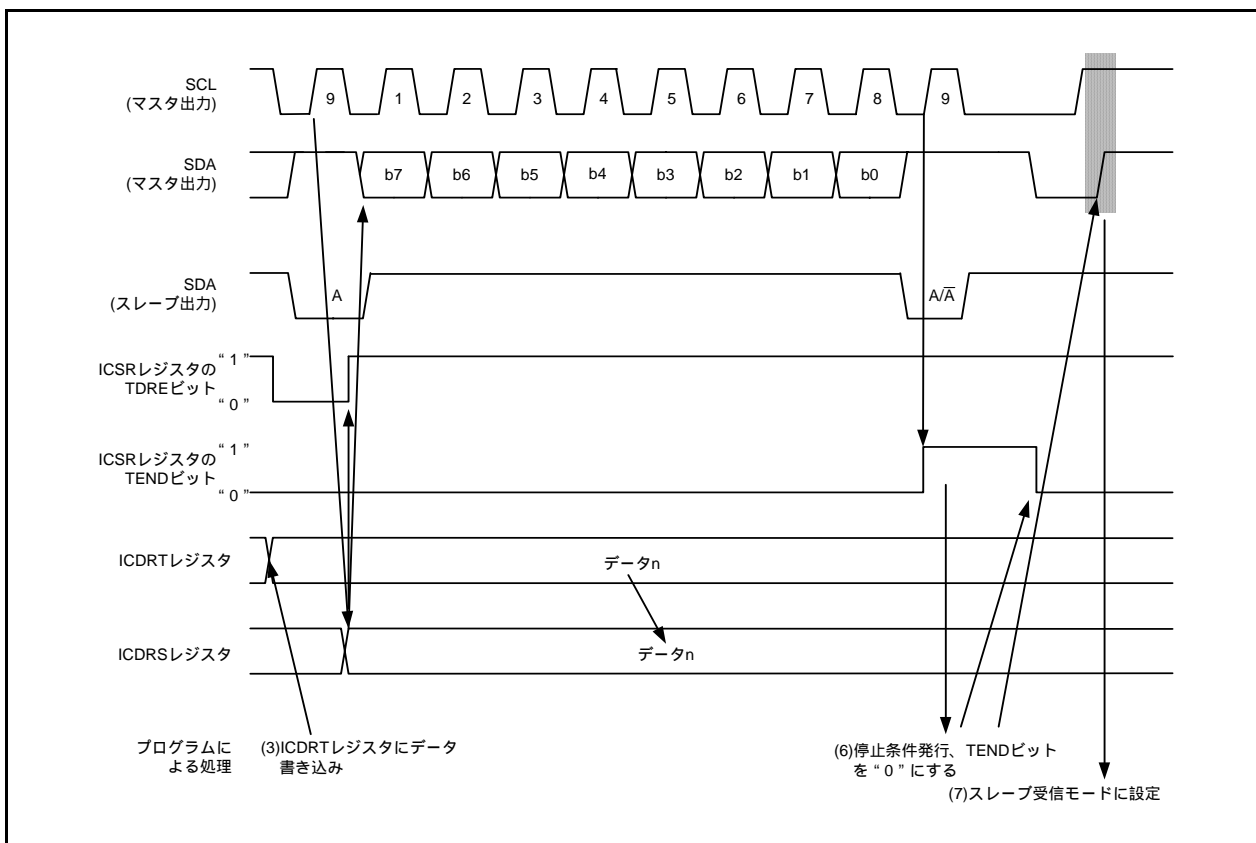


図 16.33 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード)(2)

16.3.3.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図16.34、図16.35にマスタ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
- (2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
- (4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0”(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

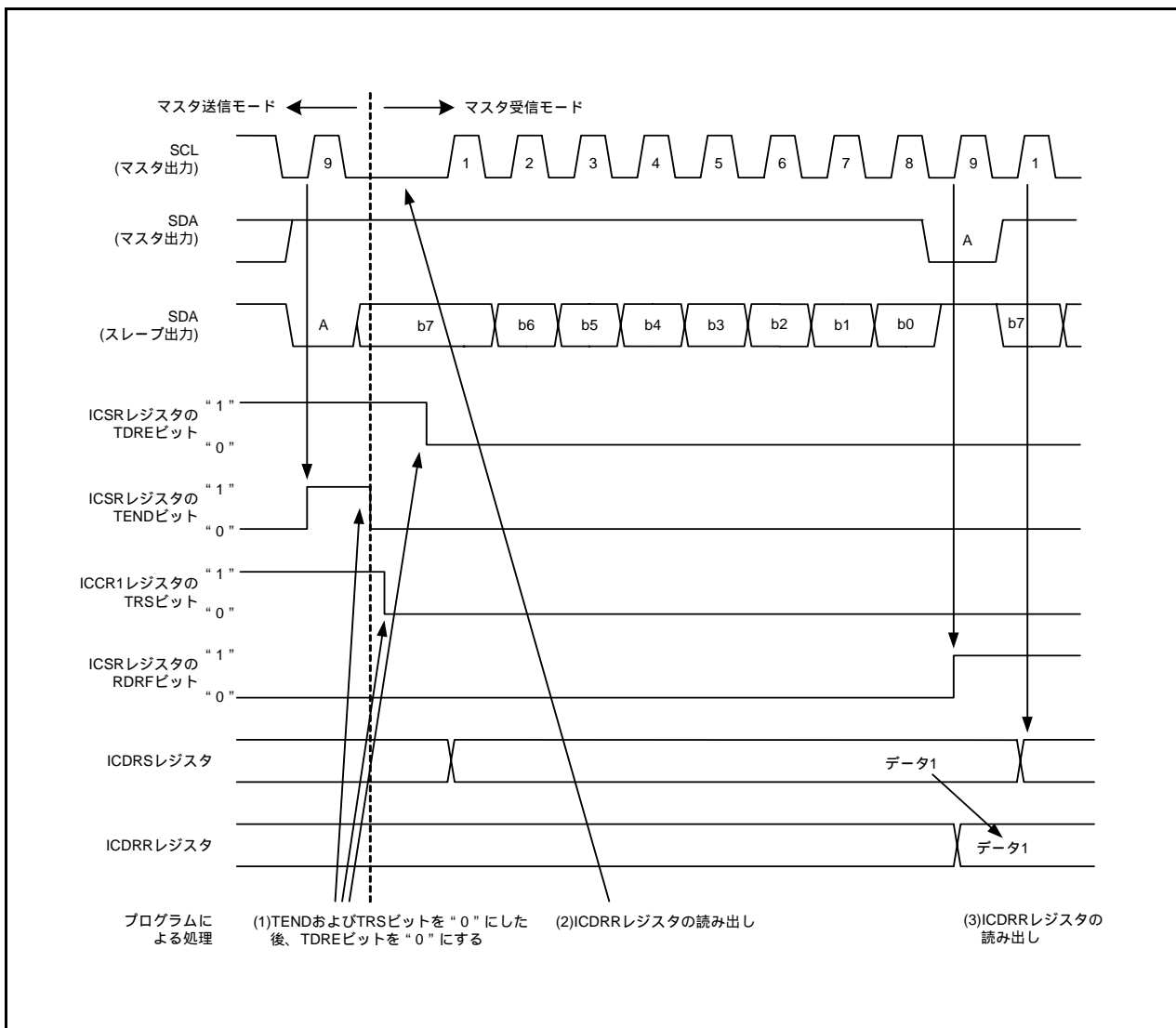


図16.34 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

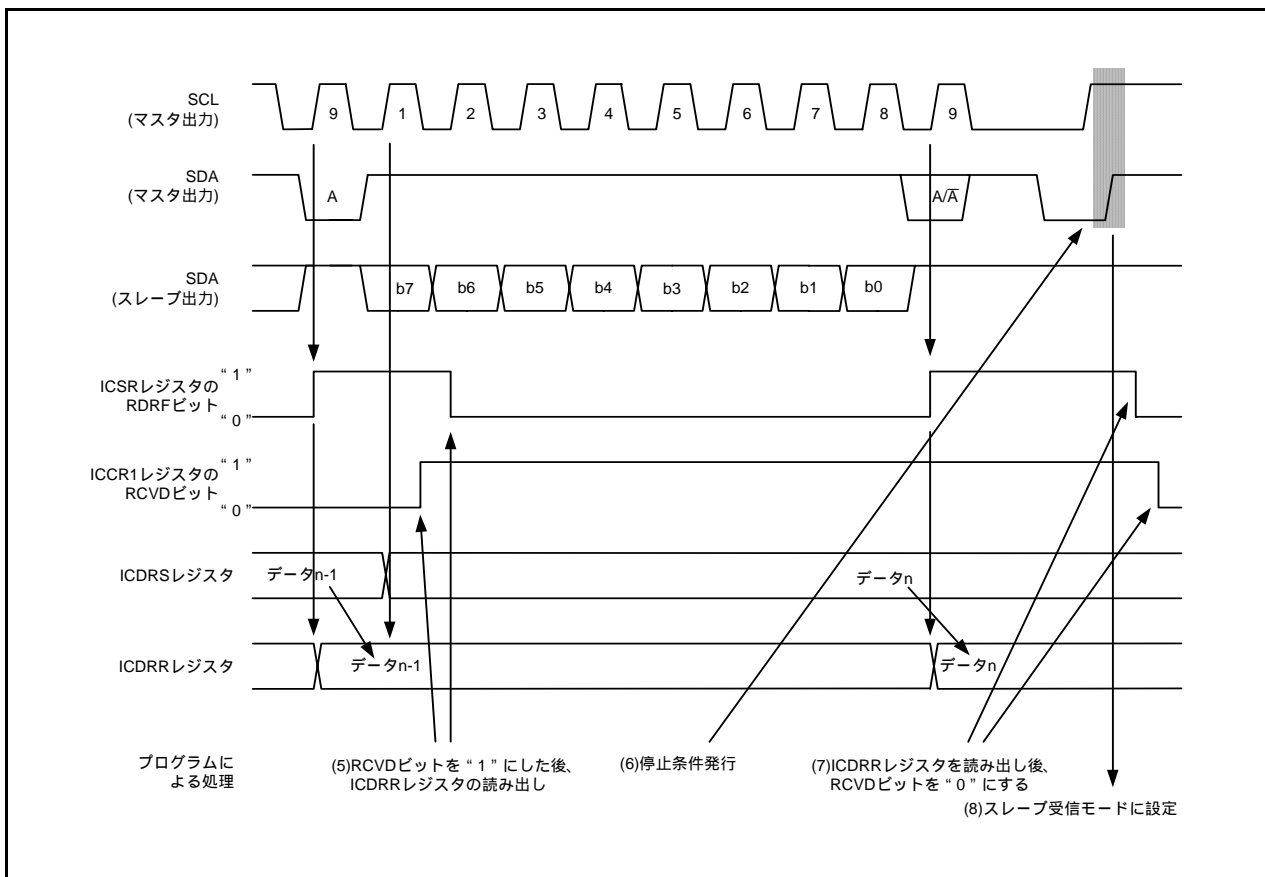


図 16.35 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

16.3.3.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 16.36、図 16.37 にスレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1 レジスタのICE ビットを“1” (転送動作可能状態)にしてください。その後、ICMR レジスタのWAIT、MLS ビット、ICCR1 レジスタのCKS0 ~ CKS3 ビットなどを設定してください(初期設定)。次にICCR1 レジスタのTRS、MST ビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIER レジスタのACKBT ビットで設定したレベルをSDAに出力します。このとき、8ビット目のデータ(R/W)が“1”のとき、TRS ビットおよびICSR レジスタのTDRE ビットが“1”になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが“1”になるたびにICDRT レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRT レジスタに書いた後にTDRE ビットが“1”になったとき、TDRE ビットが“1”の状態でもICSR レジスタのTEND ビットが“1”になるまで待ってください。TEND ビットが“1”になったら、TEND ビットを“0”にしてください。
- (4) 終了処理のためTRS ビットを“0”にし、ICDRT レジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDRE ビットを“0”にしてください。

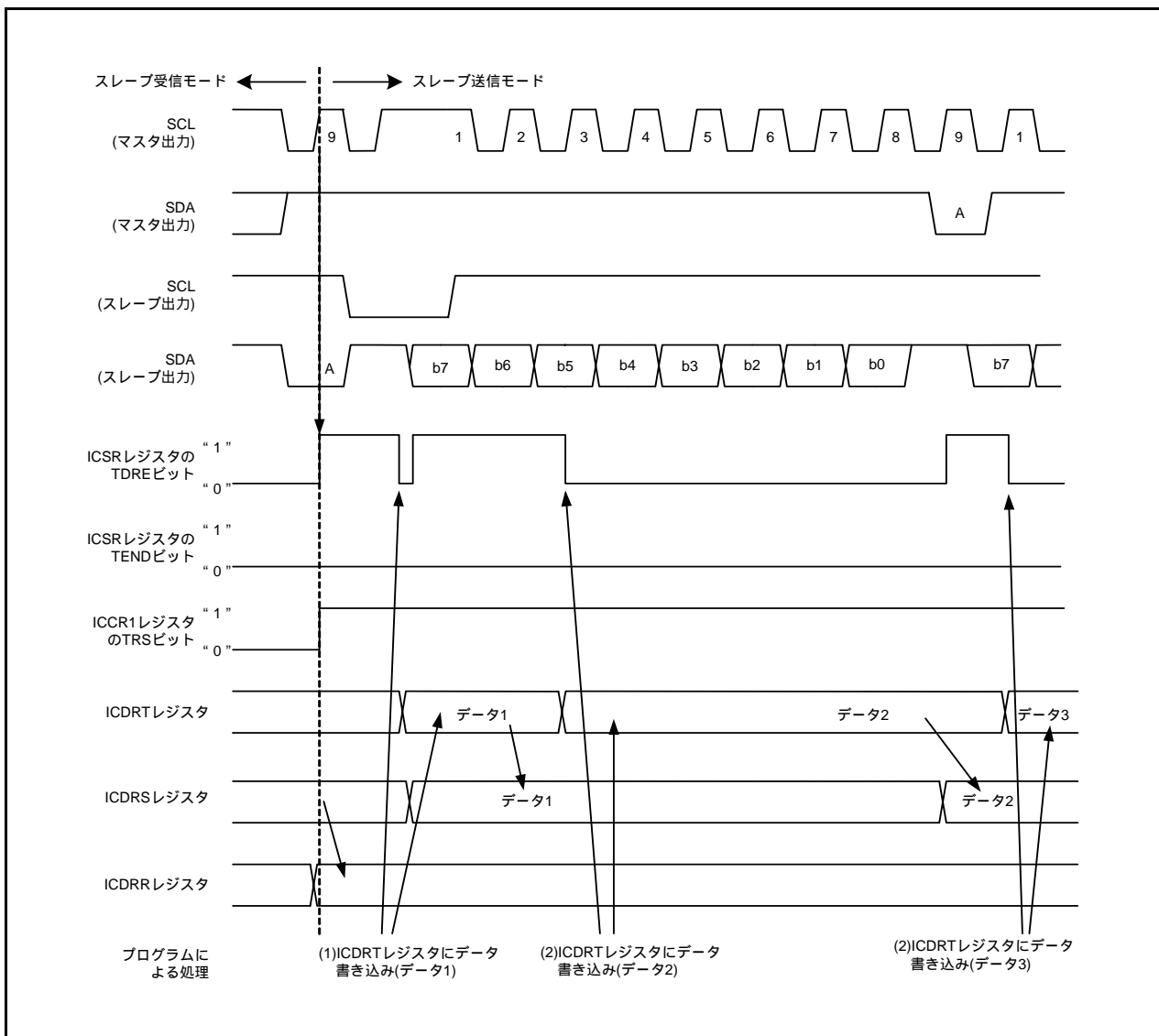


図 16.36 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

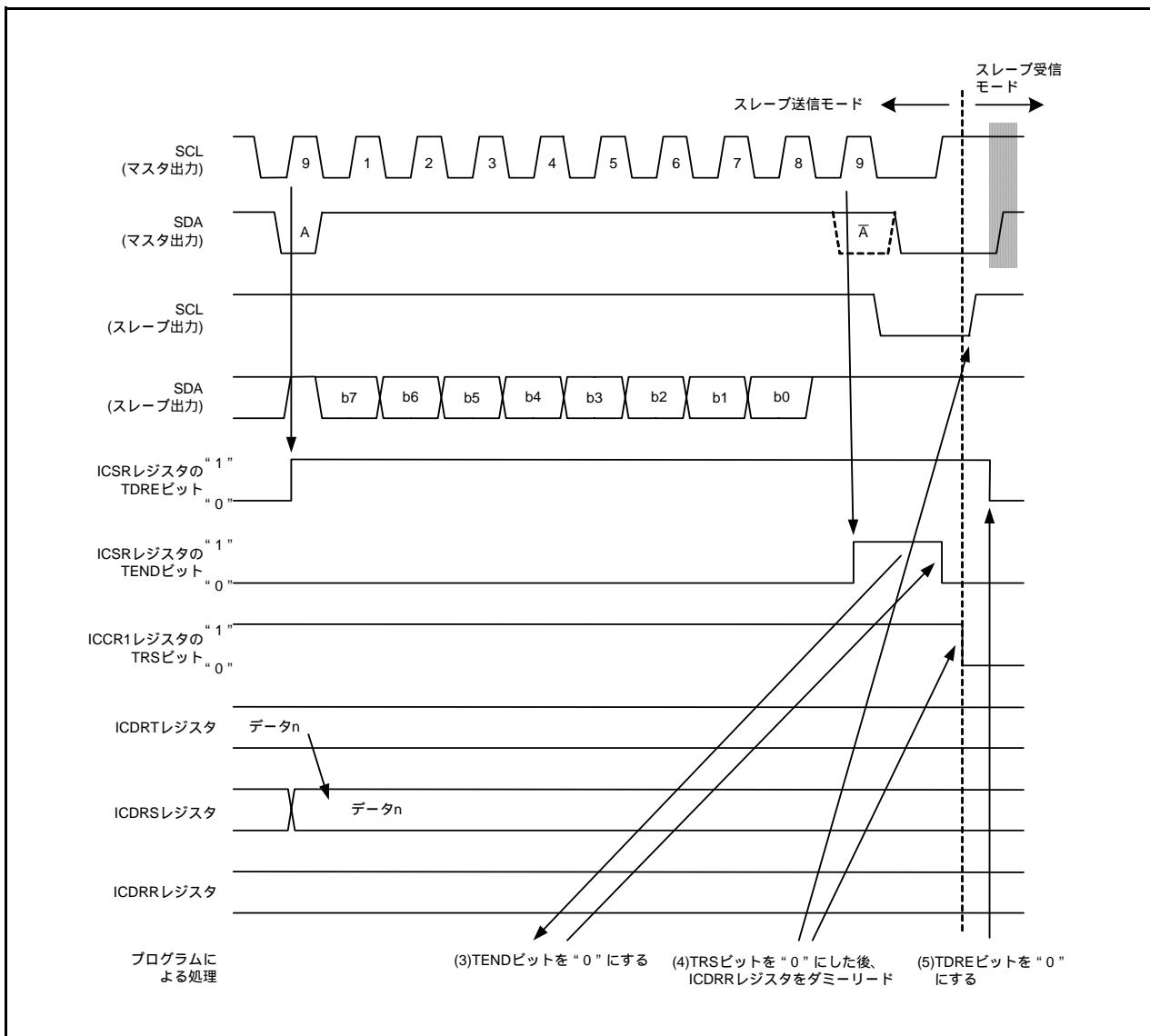


図 16.37 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(2)

16.3.3.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図16.38、図16.39にスレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。同時にICSRレジスタのRDRFビットが“1”になりますので、ICDRRレジスタをダミーリード(読み出したデータはスレーブアドレス+R/Wを示すので不要)してください。
- (3) RDRFビットが“1”になるたびに、ICDRRレジスタを読んでください。RDRFビットが“1”の状態では8クロック目が立ち下がると、ICDRRレジスタを読むまでSCLが“L”に固定されず。ICDRRレジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されず。
- (4) 最終バイトの読み出しも、同様にICDRRレジスタを読むことを行います。

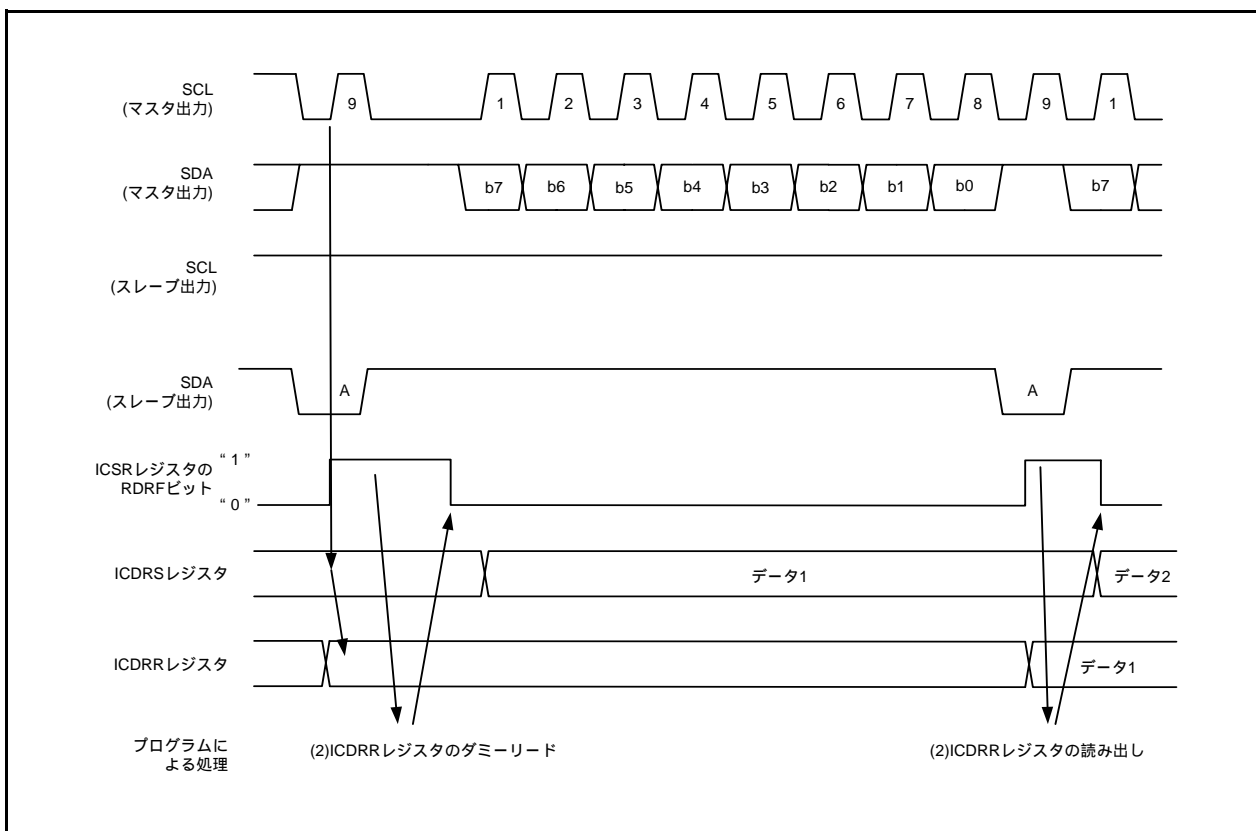


図 16.38 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

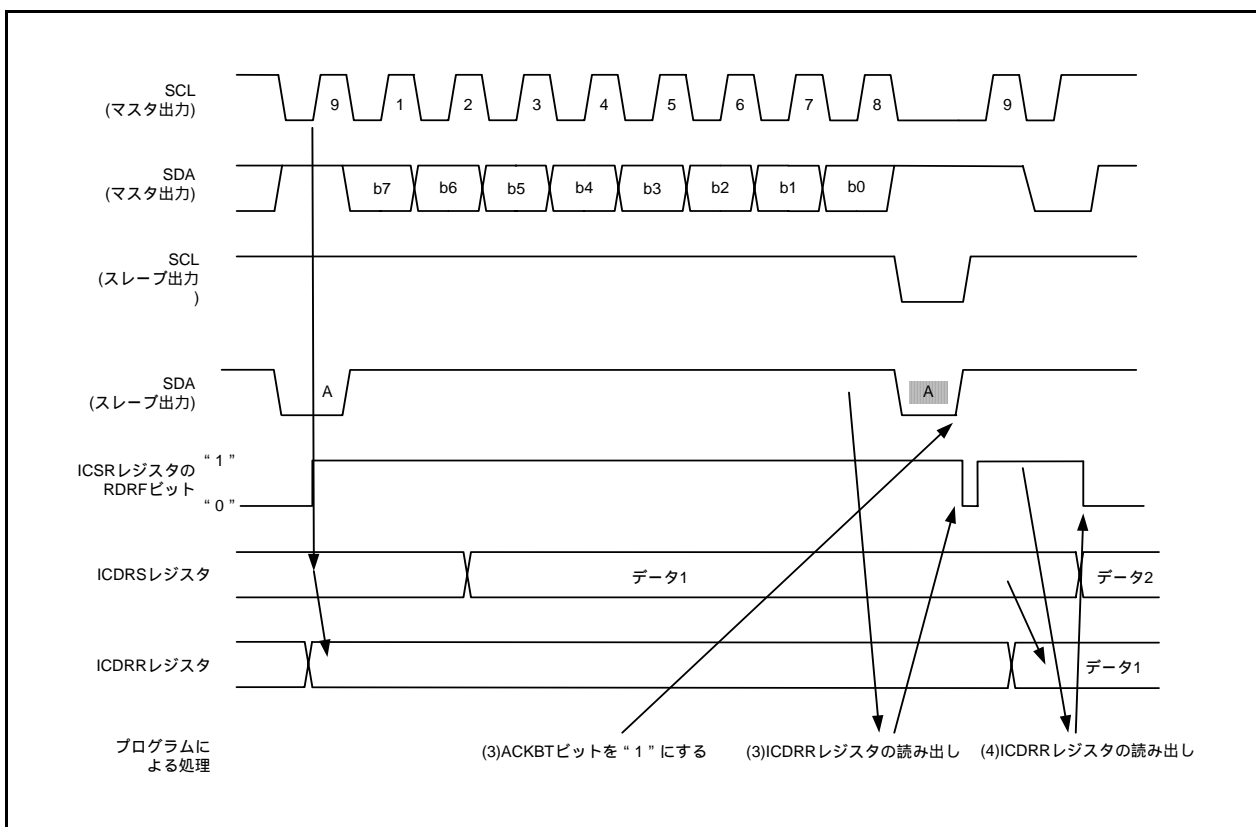


図 16.39 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

16.3.4 クロック同期式シリアルモード

16.3.4.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。
図16.40にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”のときSCLから転送クロック出力となり、MSTビットが“0”のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

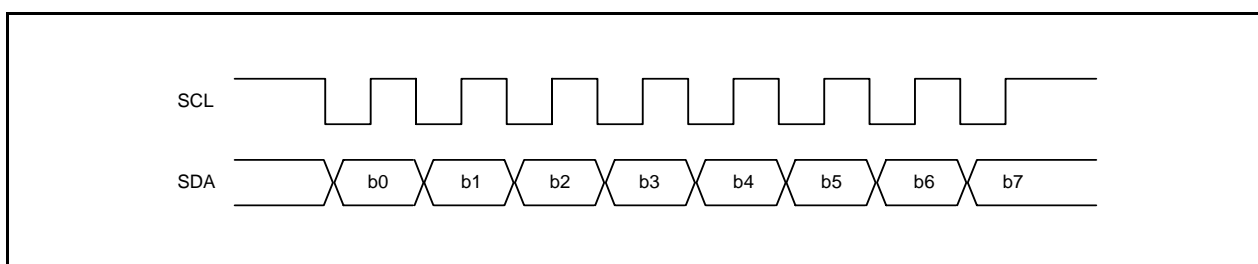


図16.40 クロック同期式シリアルフォーマットの転送フォーマット

16.3.4.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データを SDA から出力します。転送クロックは ICCR1 レジスタの MST ビットが “1” とき出力、MST ビットが “0” とき入力となります。図 16.41 に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICCR1 レジスタの CKS0 ~ CKS3 ビット、MST ビットなどを設定してください(初期設定)。
- (2) ICCR1 レジスタの TRS ビットを “1” にして送信モードにしてください。これにより、ICSR レジスタの TDRE ビットが “1” になります。
- (3) TDRE ビットが “1” であることを確認した後、ICDRT レジスタに送信データを書き込んでください。これにより ICDRT レジスタから ICDRS レジスタにデータが転送され、自動的に TDRE ビットが “1” になります。TDRE ビットが “1” になるたびに ICDRT レジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDRE ビットが “1” の状態で TRS ビットを “0” にしてください。

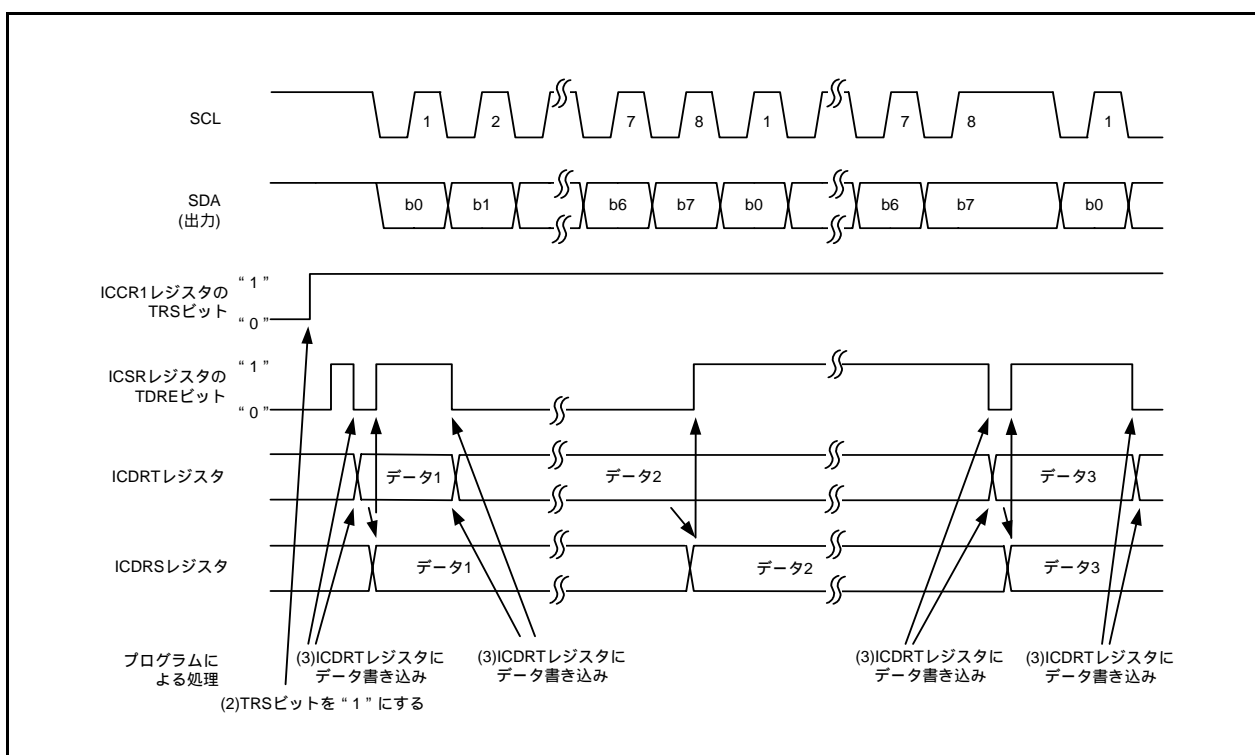


図 16.41 送信モードの動作タイミング(クロック同期式シリアルモード)

16.3.4.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。

図16.42に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態でも8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

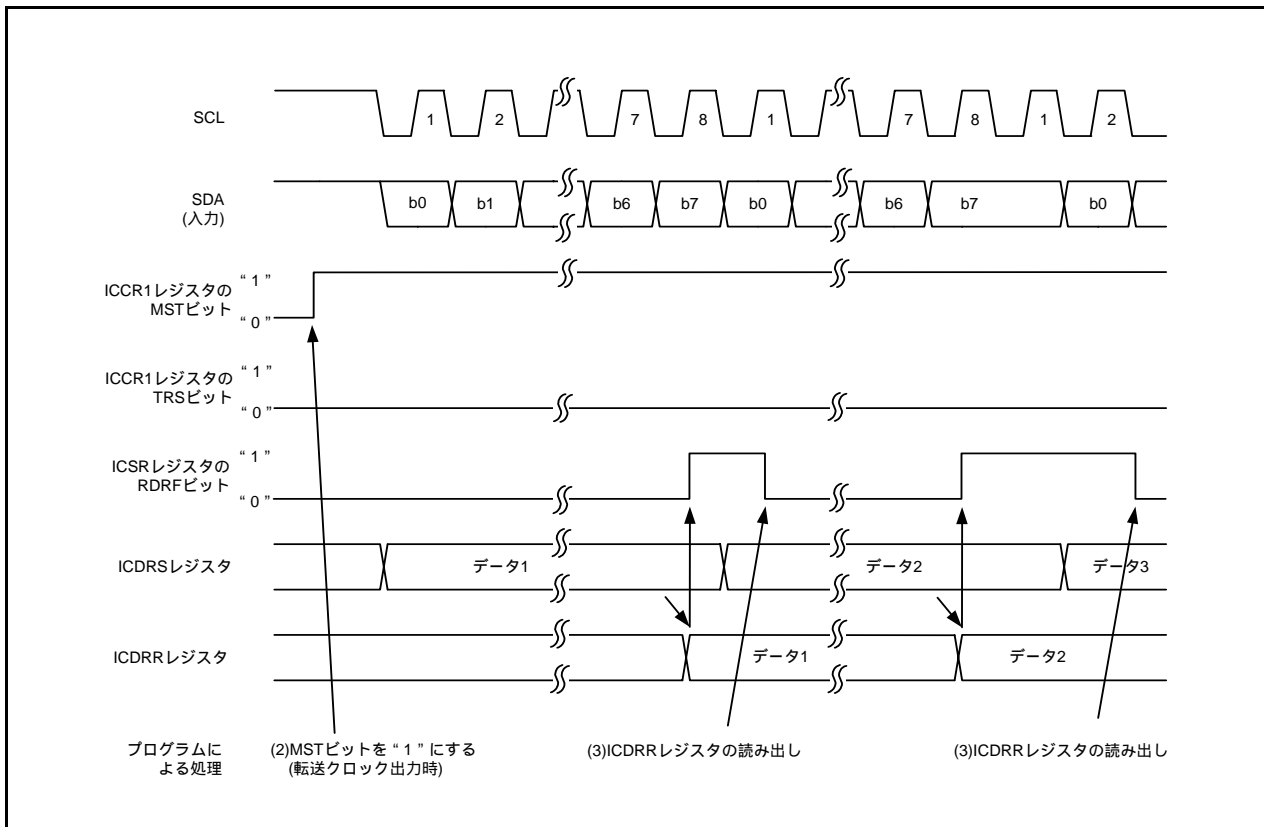


図16.42 受信モードの動作タイミング(クロック同期式シリアルモード)

16.3.5 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図16.43にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)が f_1 でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

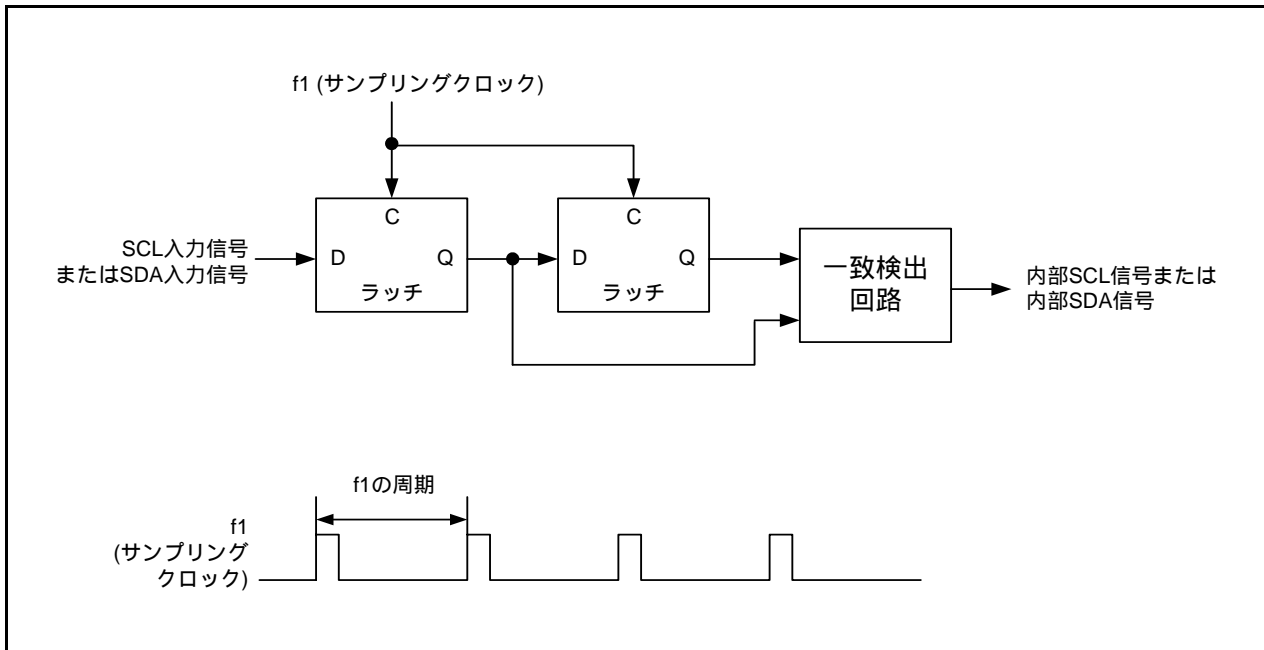


図16.43 ノイズ除去回路のブロック図

16.3.6 ビット同期回路

I²Cバスインタフェースをマスタモードに設定時、

- スレーブデバイスによりSCLが“L”に保持された場合
- SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図16.44にビット同期回路のタイミングを、表16.8にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

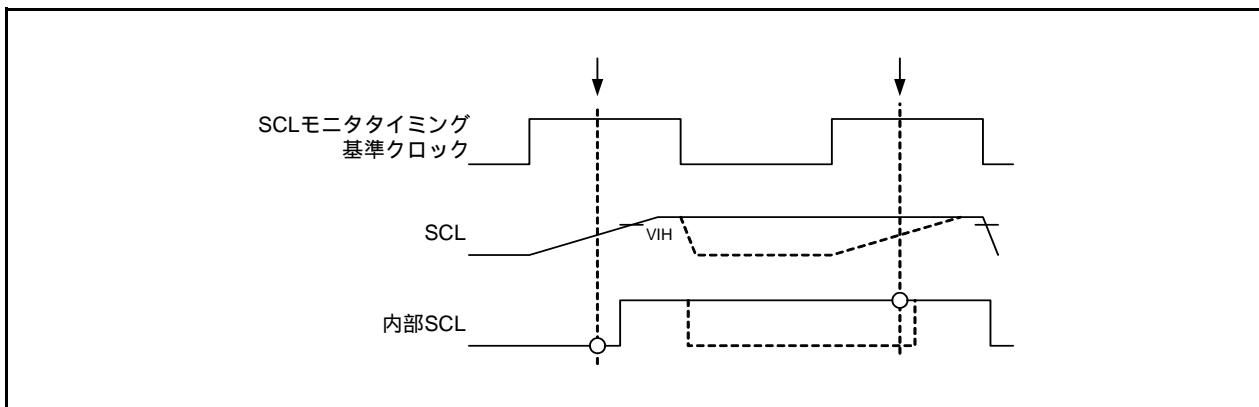


図16.44 ビット同期回路のタイミング

表16.8 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

ICCR1レジスタ		SCLをモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc=1/f1(s)

16.3.7 レジスタ設定例

I²Cバスインタフェースを使用する場合のレジスタ設定例を図16.45～図16.48に示します。

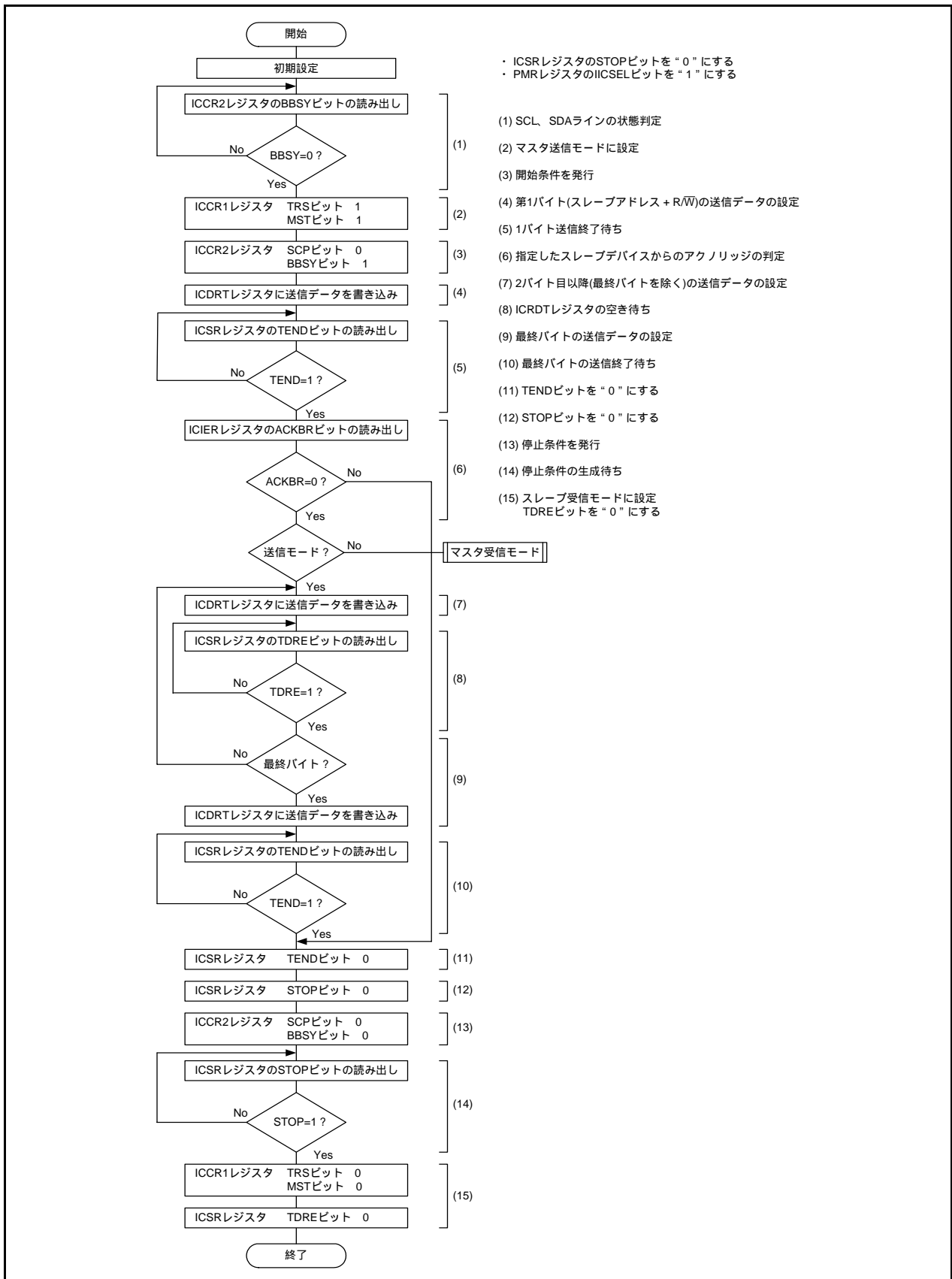


図16.45 マスタ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

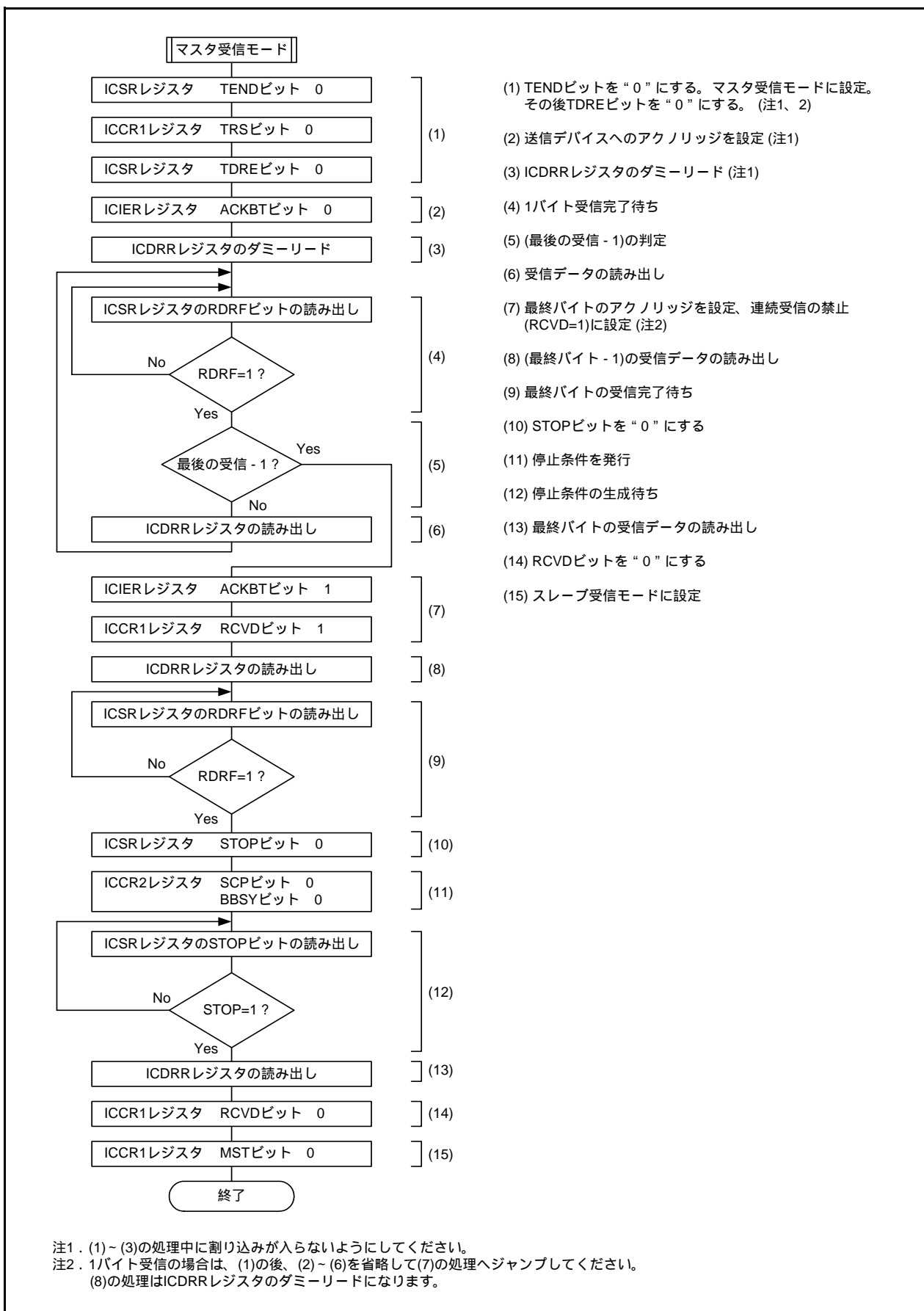


図 16.46 マスタ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

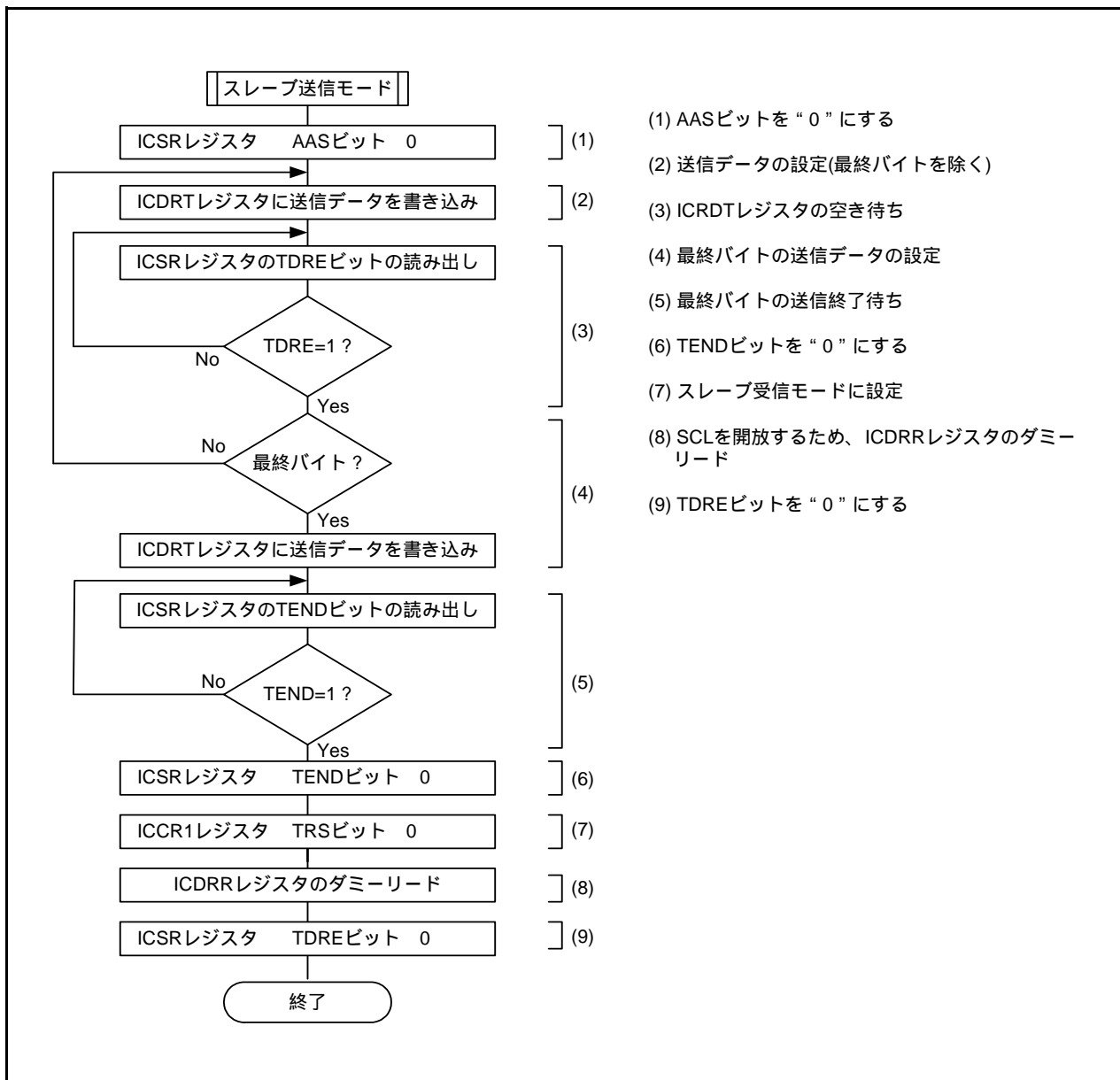


図 16.47 スレーブ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

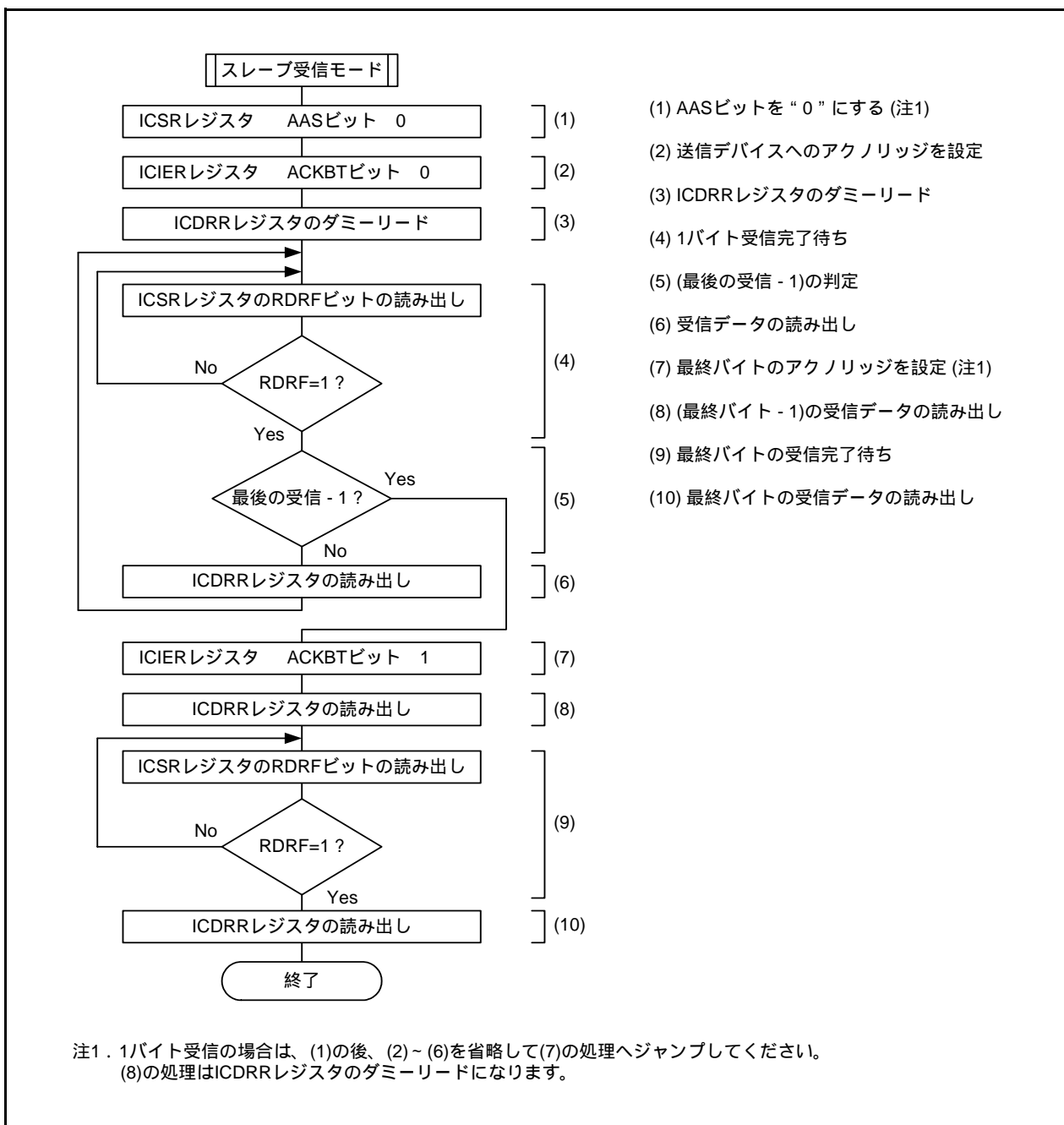


図16.48 スレーブ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

16.3.8 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、PMRレジスタのIICSELビットを“1” (I²Cバスインタフェース機能を選択)にしてください。

16.3.8.1 マルチマスタ

I²Cバスインタフェースをマルチマスタで使用する場合、次の対策を実施してください。

- 転送レートの対策

他のマスタの一番速い転送レートより、1/1.8以上の転送レートを設定してください。例えば、他の一番速いマスタが400kbpsの場合、本マイコンのI²Cバスの転送レートは223kbps (=400/1.8)以上の転送レートにする必要があります。

- ICCR1レジスタのMSTビット、TRSビット設定時の対策

(a) MSTビット、TRSビットの設定にはMOV命令を使用してください。

(b) アービトレーションロストした場合、MSTビット、TRSビットの内容を確認してください。MSTビットが“0”かつTRSビットが“0” (スレーブ受信モード)以外の場合、MSTビットを“0”かつTRSビットを“0”に設定し直してください。

16.3.8.2 マスタ受信モード

I²Cバスインタフェースのマスタ受信モード時には、次の対策のいずれかを実施してください。

(a) マスタ受信モードでICSRレジスタのRDRFビットが“1”の状態では、8クロック目の立ち上がりまでにICDRRレジスタを読んでください。

(b) マスタ受信モードでは、ICCR1レジスタのRCVDビットを“1” (次の受信動作を禁止)にし、1バイトごとの通信で処理を行ってください。

17. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

17.1 特長

ハードウェアLINには、以下の特長があります。

図17.1にハードウェアLINのブロック図を示します。

【マスタモード】

- Synch Break 発生
- バス衝突検出

【スレーブモード】

- Synch Break 検出
- Synch Field 計測
- Synch Break および Synch Field 信号のUART0入力制御機能
- バス衝突検出

注1．Wake Up機能はINT1により検出

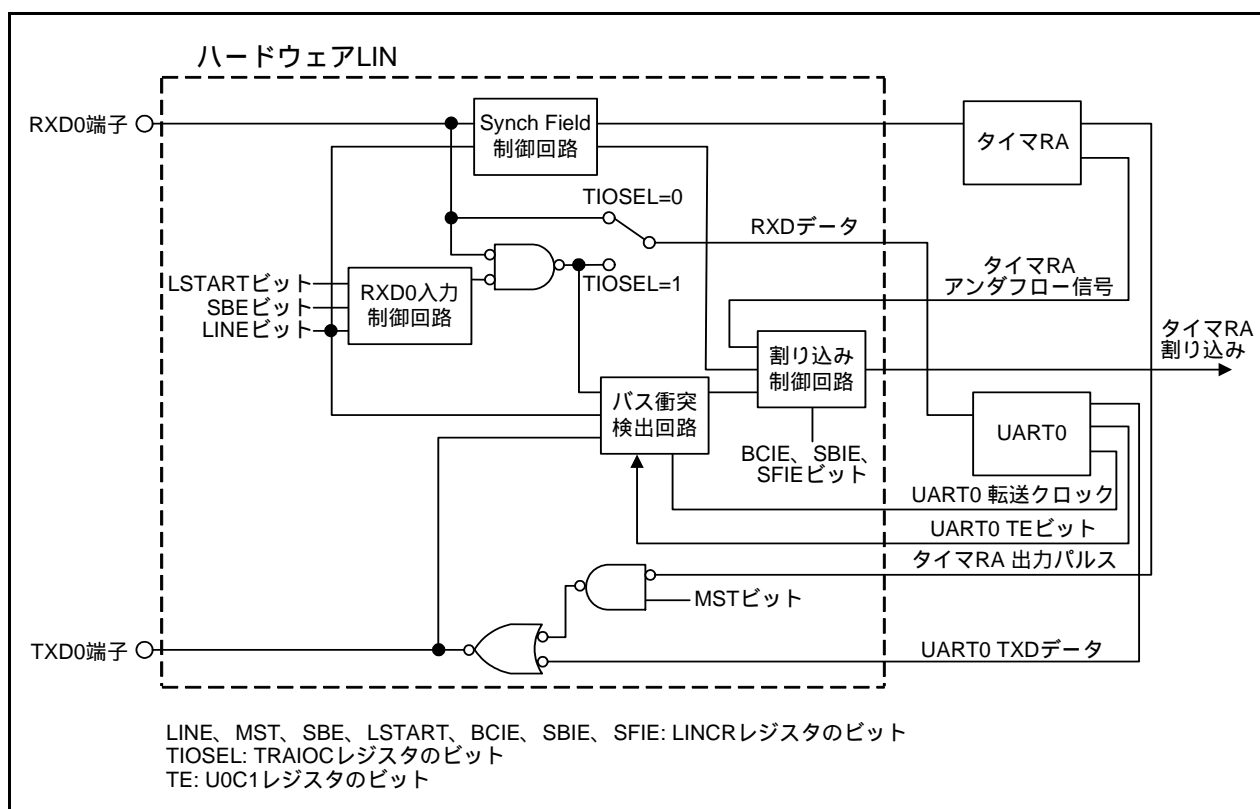


図17.1 ハードウェアLINのブロック図

17.2 入出力端子

表17.1にハードウェアLINの端子構成を示します。

表17.1 端子構成

名称	略称	入出力	機能
レシーブデータ入力	RXD0	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	出力	ハードウェアLINの送信データ出力端子

17.3 レジスタ構成

ハードウェアLINには以下のレジスタがあります。

図17.2、図17.3にレジスタの詳細を示します。

- LINコントロールレジスタ (LINCRC)
- LINステータスレジスタ (LINST)

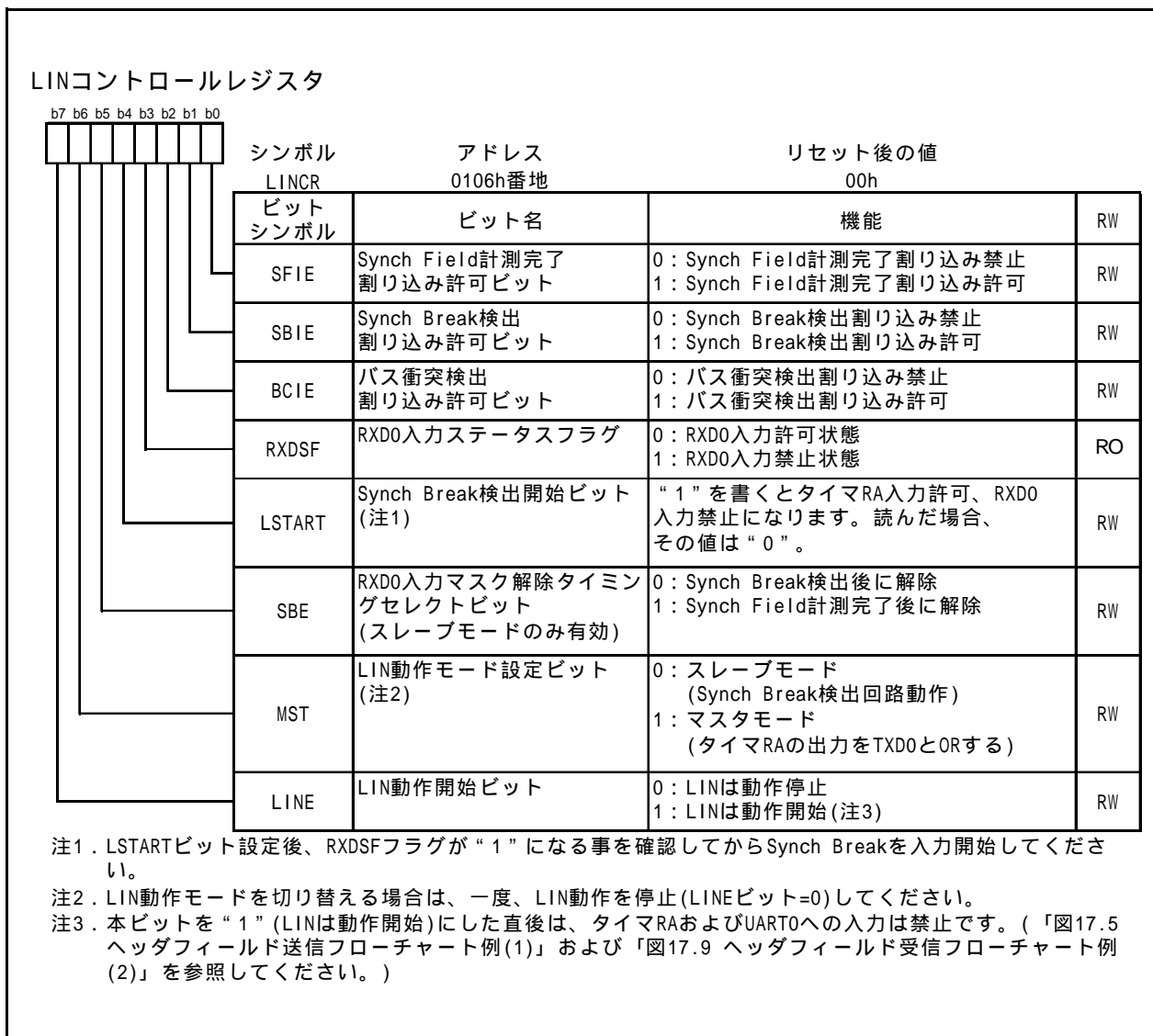


図17.2 LINCRCレジスタ

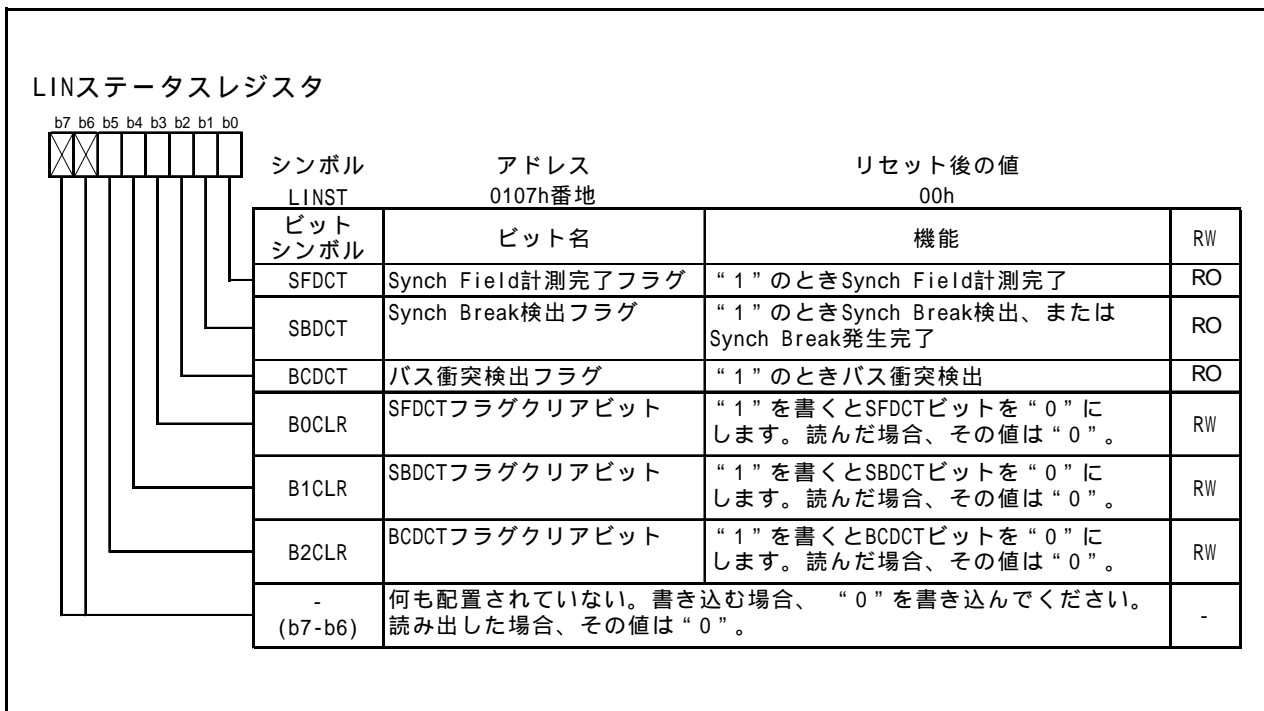


図17.3 LINSTレジスタ

17.4 動作説明

17.4.1 マスタモード

図17.4にマスタモードでの、ヘッダフィールドの送信時の動作例を、図17.5と図17.6にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、55hを送信します。
- (4) UART0により、55hの送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

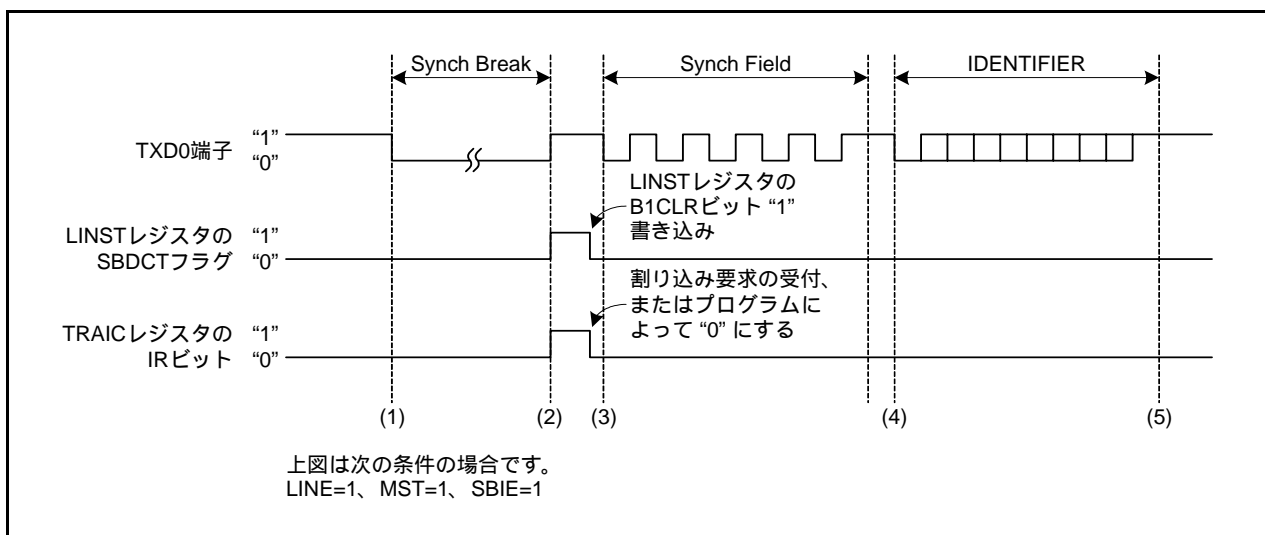


図17.4 ヘッダフィールドの送信時の動作例

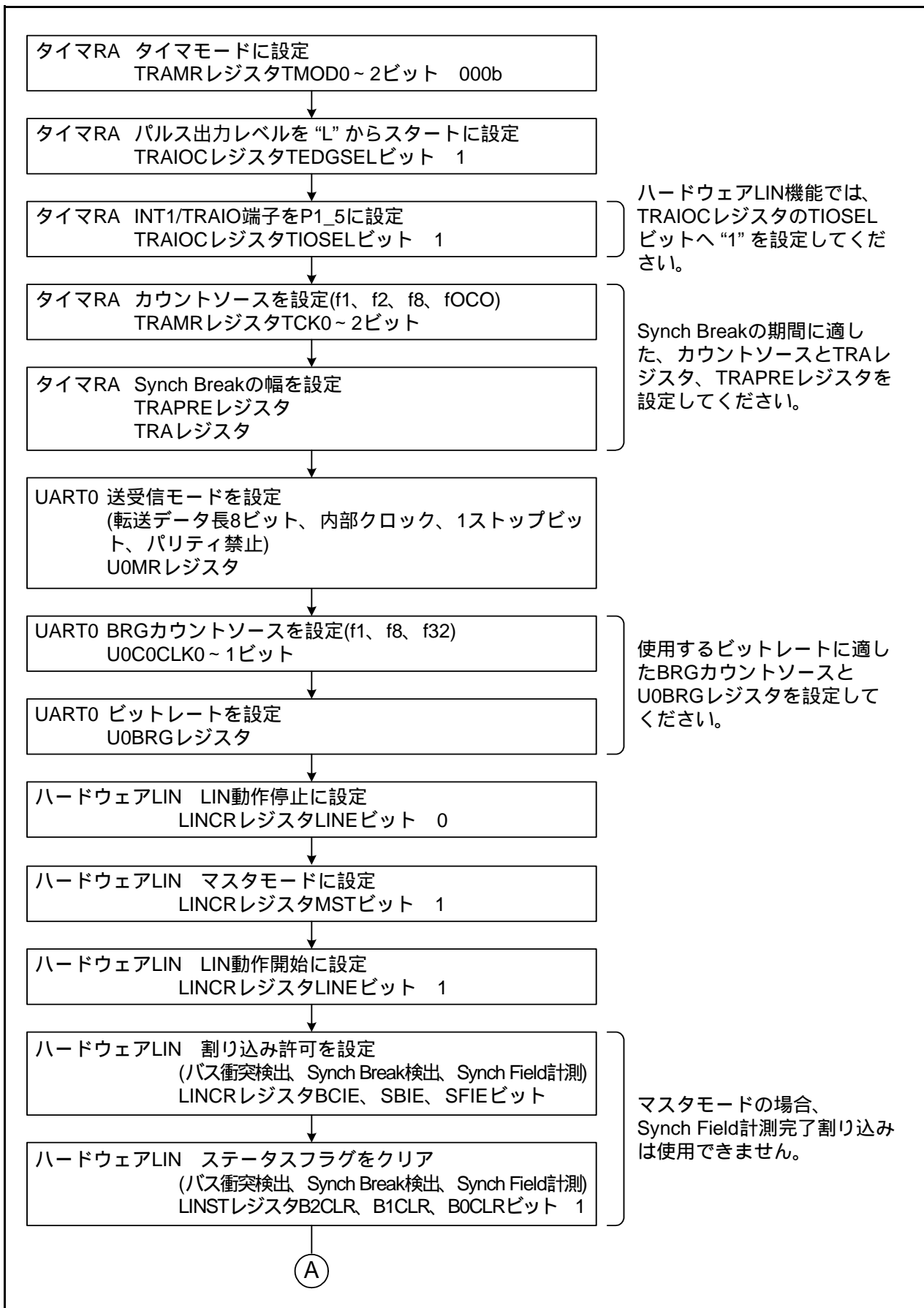


図17.5 ヘッドフィールド送信フローチャート例(1)

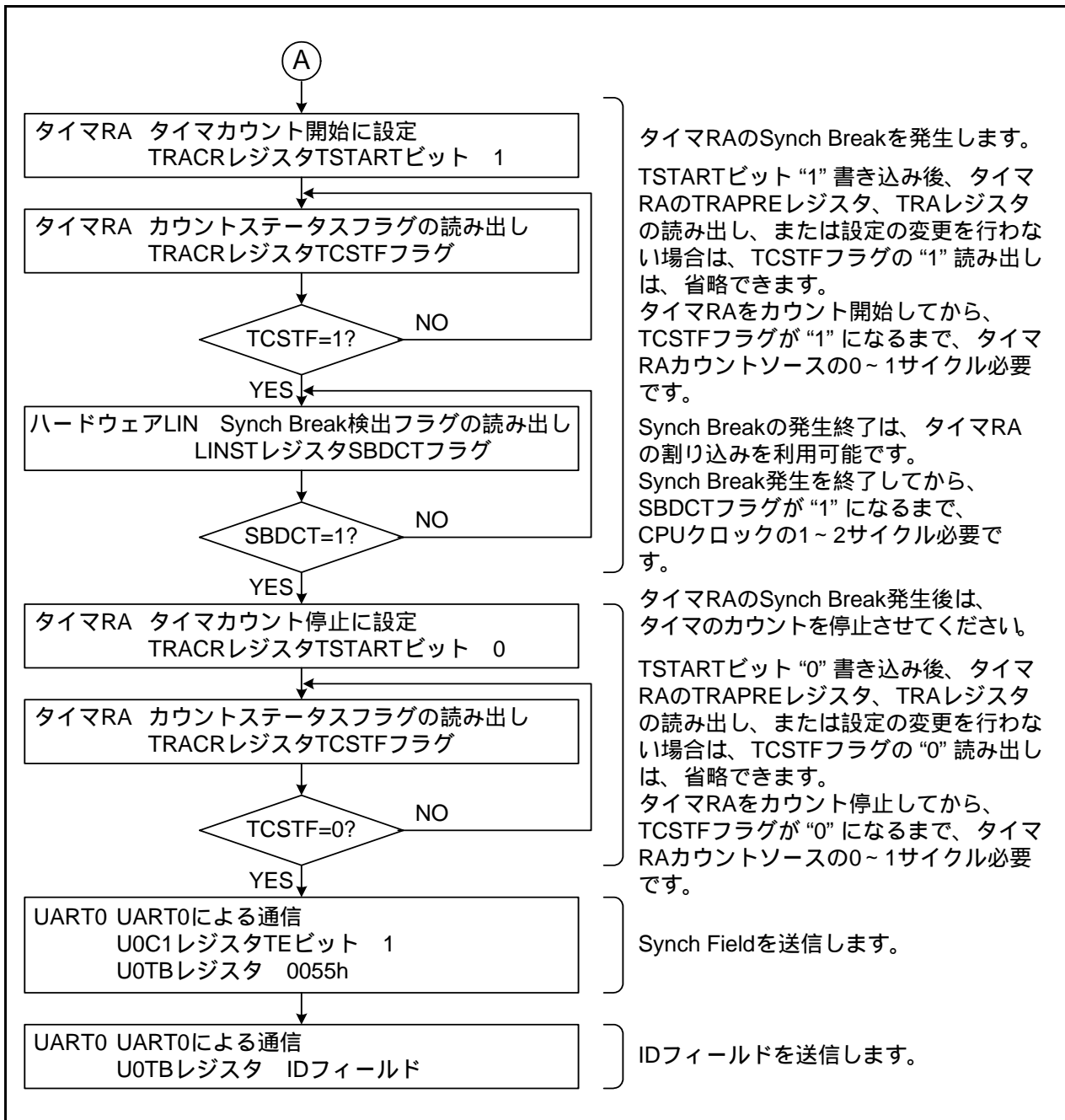


図 17.6 ヘッダフィールド送信フローチャート例(2)

17.4.2 スレーブモード

図17.7にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図17.8～図17.10にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCXレジスタのLSTARTビットに“1”を書き込むと、Synch Break 検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCXレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。この時、タイマRAにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCXのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCXレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

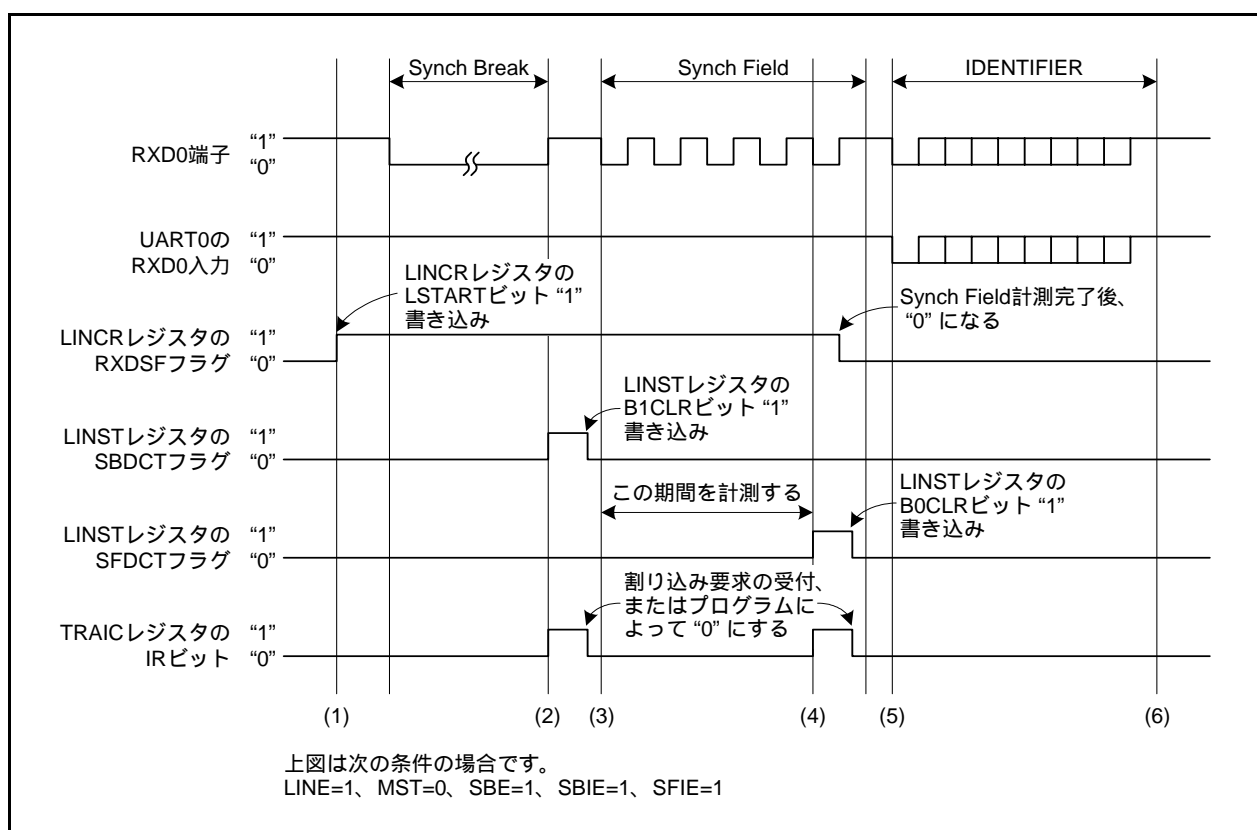


図17.7 ヘッダフィールドの受信時の動作例

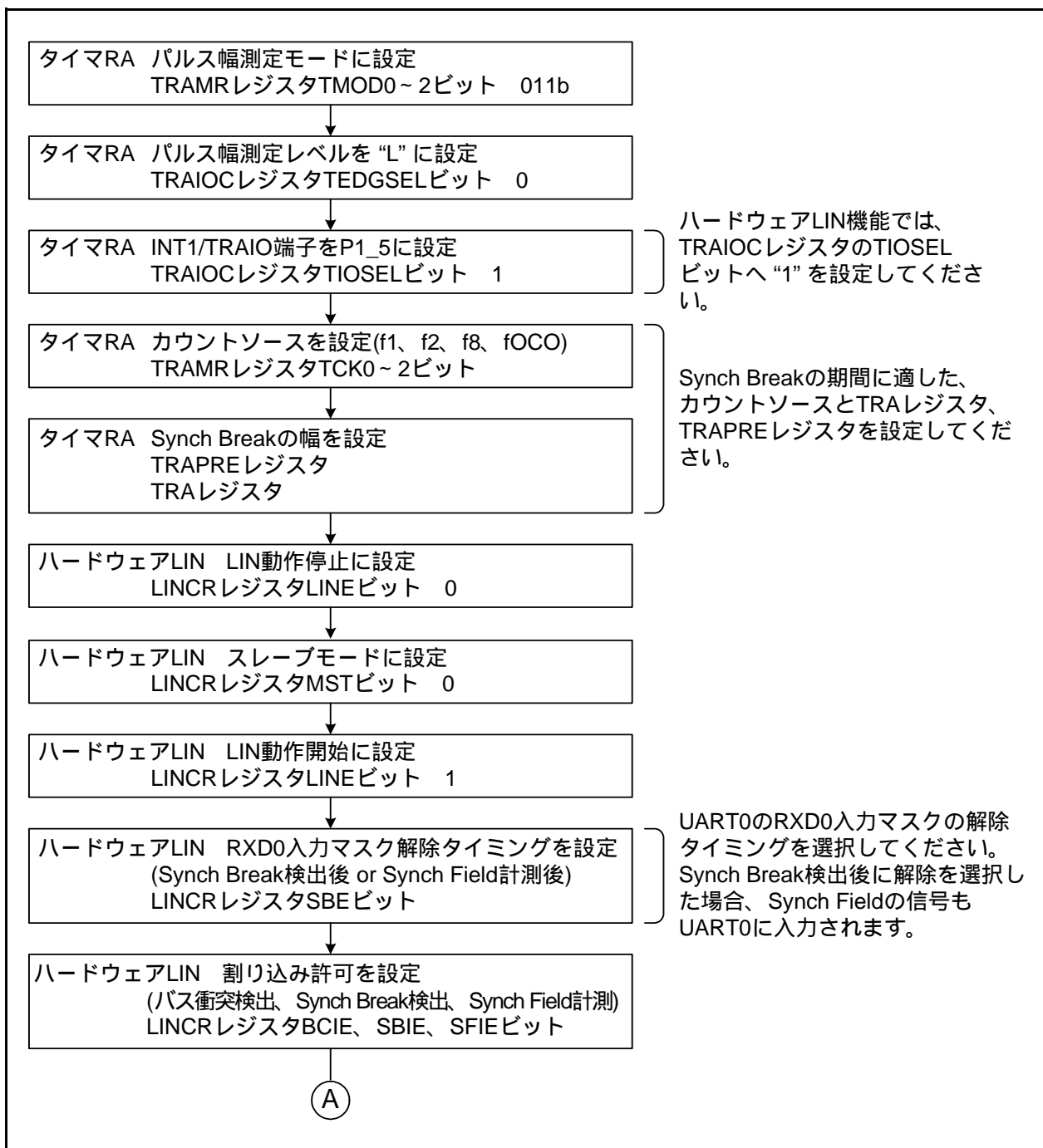


図17.8 ヘッドフィールド受信フローチャート例(1)

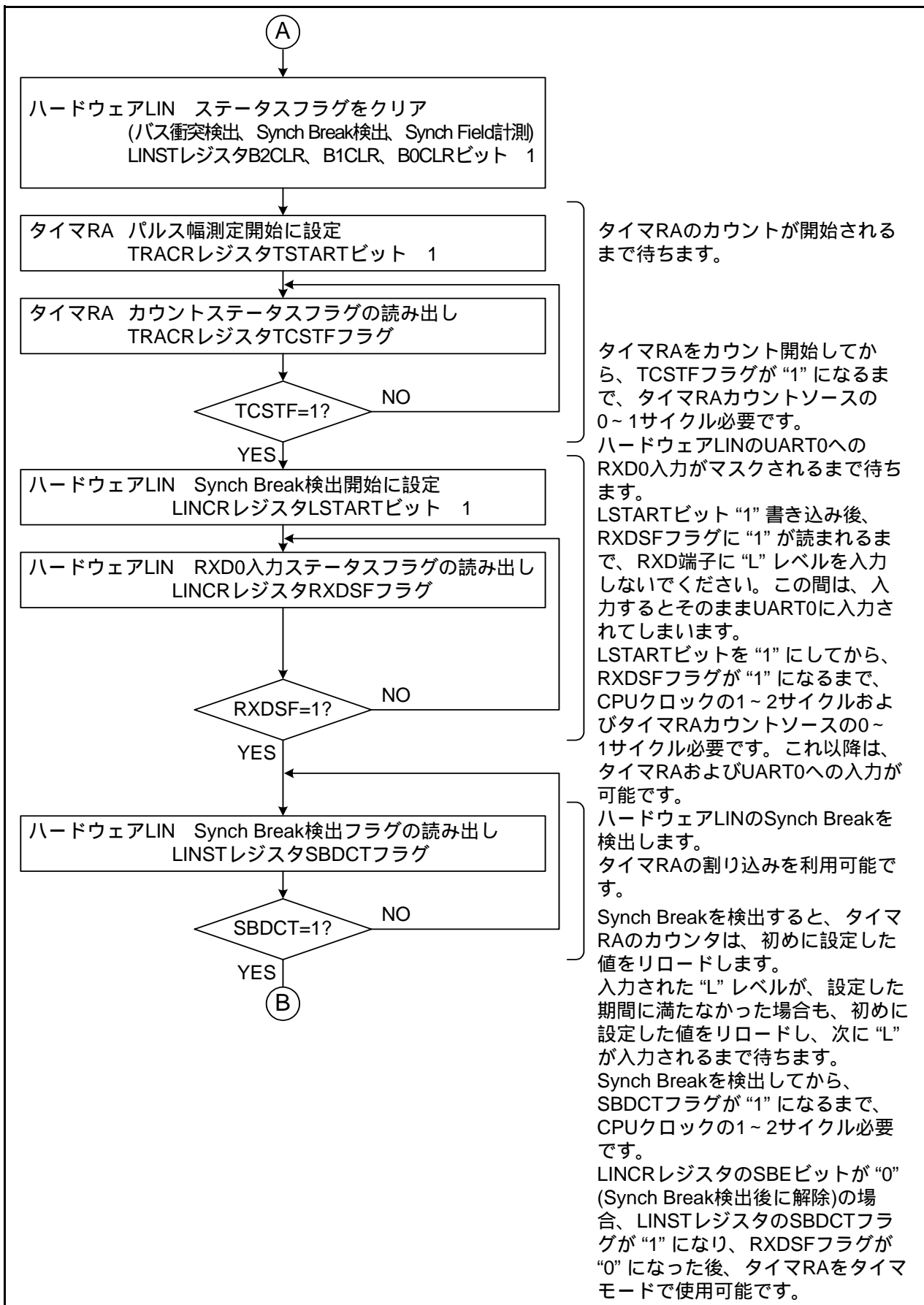


図17.9 ヘッドフィールド受信フローチャート例(2)

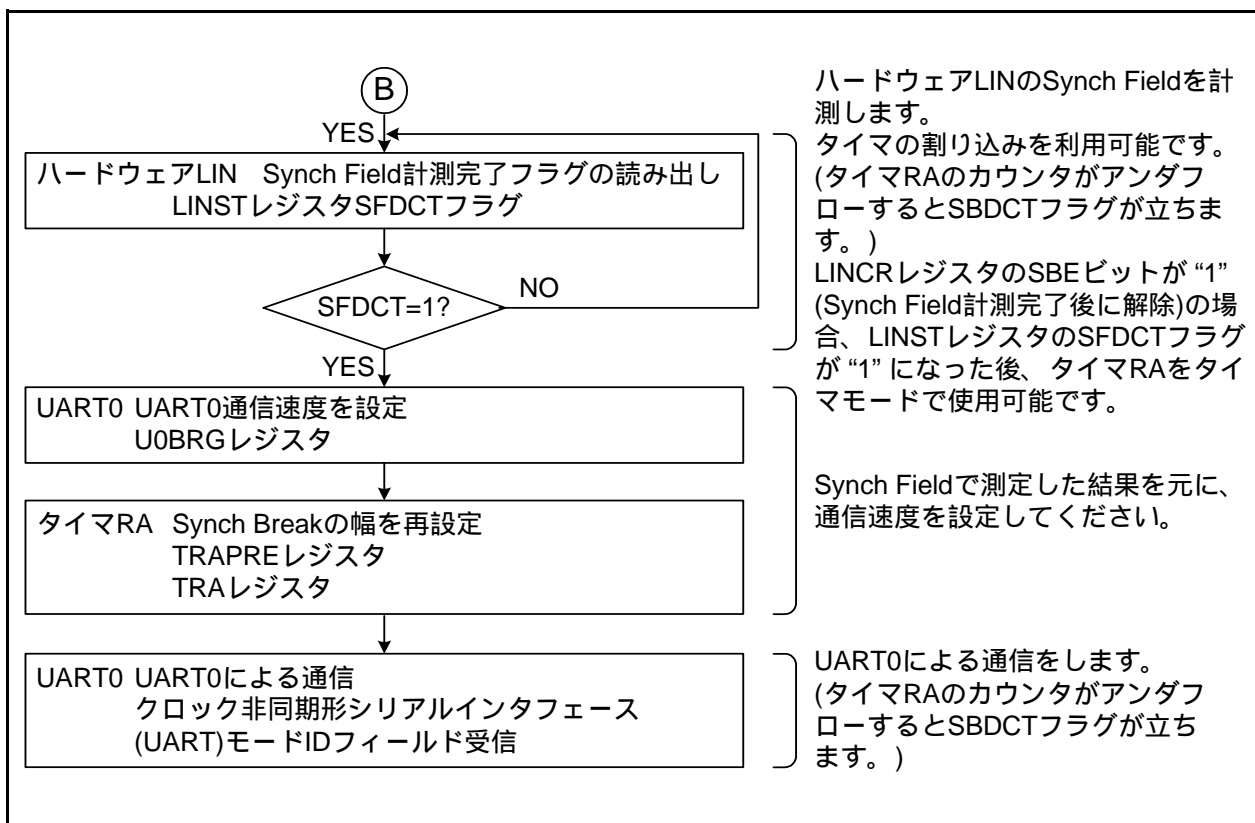


図 17.10 ヘッダフィールド受信フローチャート例(3)

17.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。

図17.11にバス衝突検出時の動作例を示します。

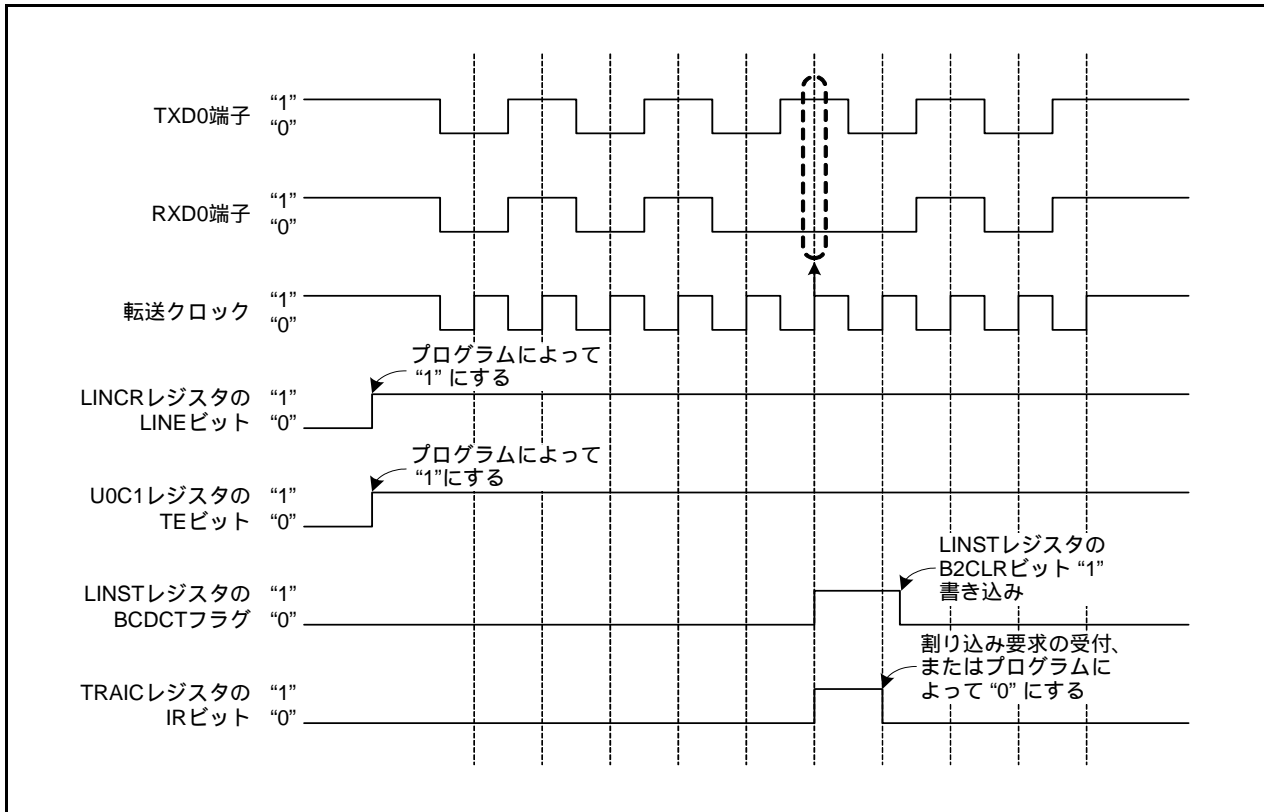


図17.11 バス衝突検出時の動作例

17.4.4 ハードウェアLIN終了処理

図17.12にハードウェアLINの終了処理を行うためのフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

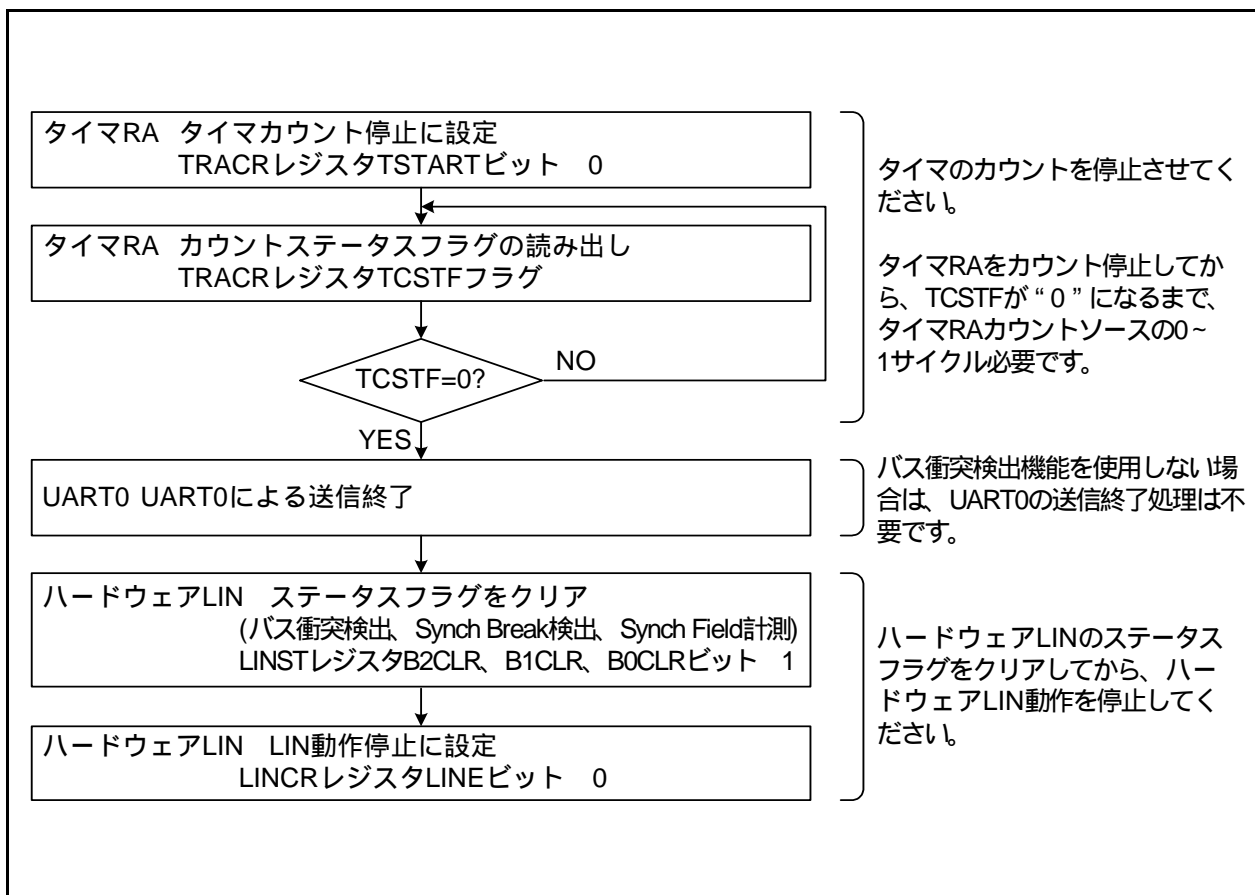


図17.12 ハードウェアLIN通信終了のフローチャート例

17.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表17.2にハードウェアLINの割り込み要求を示します。

表17.2 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

17.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

18. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0_0 ~ P0_7、P1_0 ~ P1_3と端子を共用しています。これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。また、A/Dコンバータを使用しない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にするとVREF端子からラダー抵抗に電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ADレジスタに格納されます

表18.1にA/Dコンバータの性能を、図18.1にA/Dコンバータのブロック図を、図18.2と図18.3にA/Dコンバータ関連のレジスタを示します。

表18.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVCC
動作クロック AD(注2)	4.2V AVCC 5.5Vのとき f1、f2、f4、fOCO-F 2.2V AVCC < 4.2Vのとき f2、f4、fOCO-F
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5V、 AD = 10MHzのとき ・分解能8ビットの場合 ±2LSB ・分解能10ビットの場合 ±3LSB AVCC = Vref = 3.3V、 AD = 10MHzのとき ・分解能8ビットの場合 ±2LSB ・分解能10ビットの場合 ±5LSB AVCC = Vref = 2.2V、 AD = 5MHzのとき ・分解能8ビットの場合 ±2LSB ・分解能10ビットの場合 ±5LSB
動作モード	単発モード、繰り返しモード(注3)
アナログ入力端子	12本(AN0 ~ AN11)
A/D変換開始条件	・ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ・キャプチャ ADSTビットが“1”の状態タイマRD割り込み要求が発生する
1端子あたりの変換速度	・サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、 分解能10ビットの場合59 ADサイクル ・サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、 分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 2.7V AVCC 5.5Vのとき、ADの周波数を10MHz以下にしてください。

2.2V AVCC < 2.7Vのとき、ADの周波数を5MHz以下にしてください。

サンプル&ホールド機能なしのとき、ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき、ADの周波数は1MHz以上にしてください。

注3. 繰り返しモードは8ビットモード時のみ使用可能です。

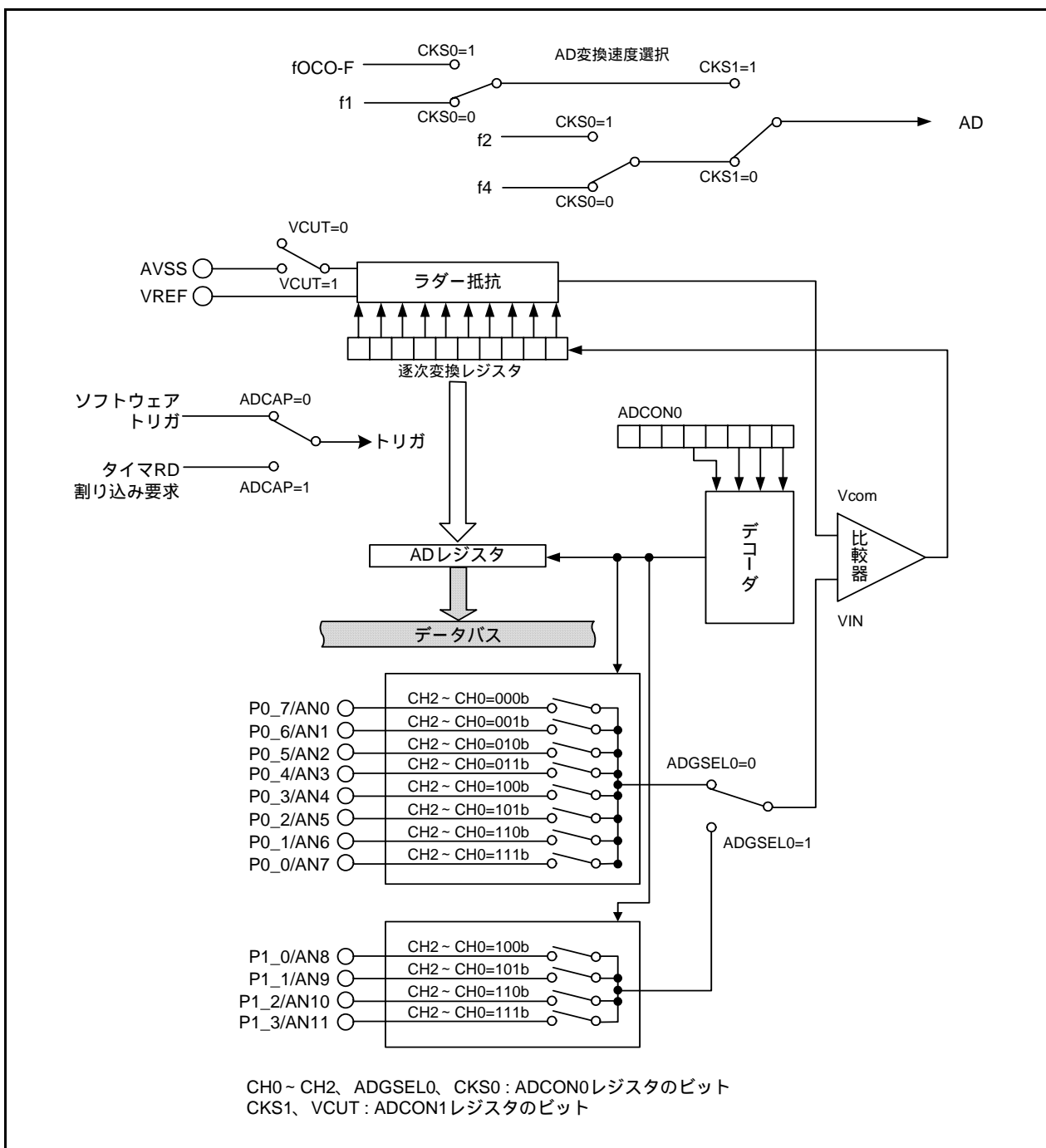


図18.1 A/Dコンバータのブロック図

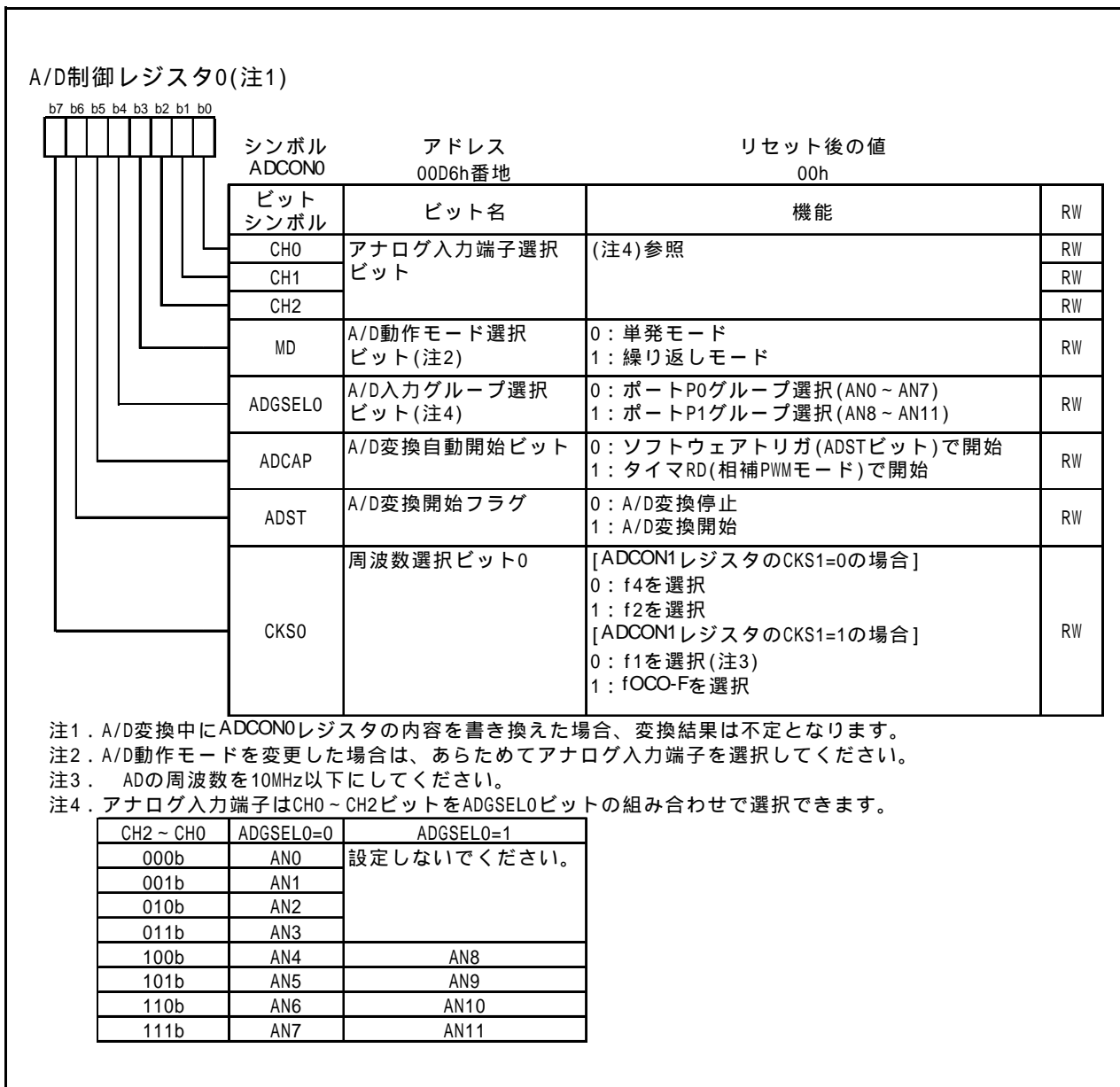


図18.2 ADCON0レジスタ

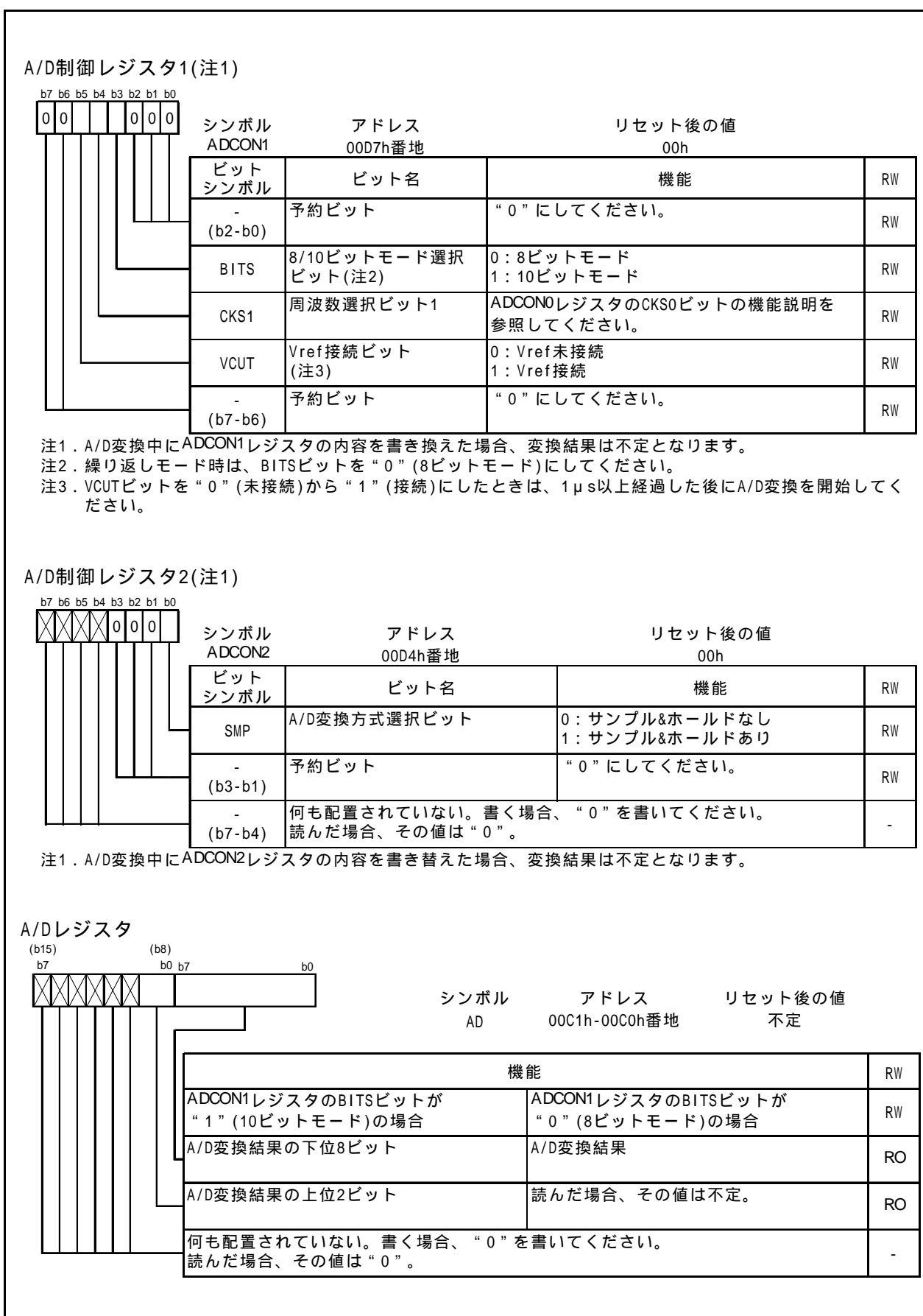


図18.3 ADCON1、ADCON2、ADレジスタ

18.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。

表18.2に単発モードの仕様を、図18.4に単発モード時のADCON0レジスタを、図18.5に単発モード時のADCON1レジスタを示します。

表18.2 単発モードの仕様

項目	仕様
機能	CH2 ~ CH0ビットとADGSEL0ビットで選択した端子の入力電圧を1回A/D変換する
開始条件	<ul style="list-style-type: none"> ・ ADCAPビットが“0”(ソフトウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にする ・ ADCAPビットが“1”(タイマRD(相補PWMモードで開始)の場合 ADSTビットが“1”の状態、TRD0とTRDGRA0レジスタのコンペア一致、TRD1アンダフローが発生する
停止条件	<ul style="list-style-type: none"> ・ A/D変換終了(ADCAPビットが“0”(ソフトウェアトリガ)の場合、ADSTビットが“0”になる) ・ ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN0 ~ AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

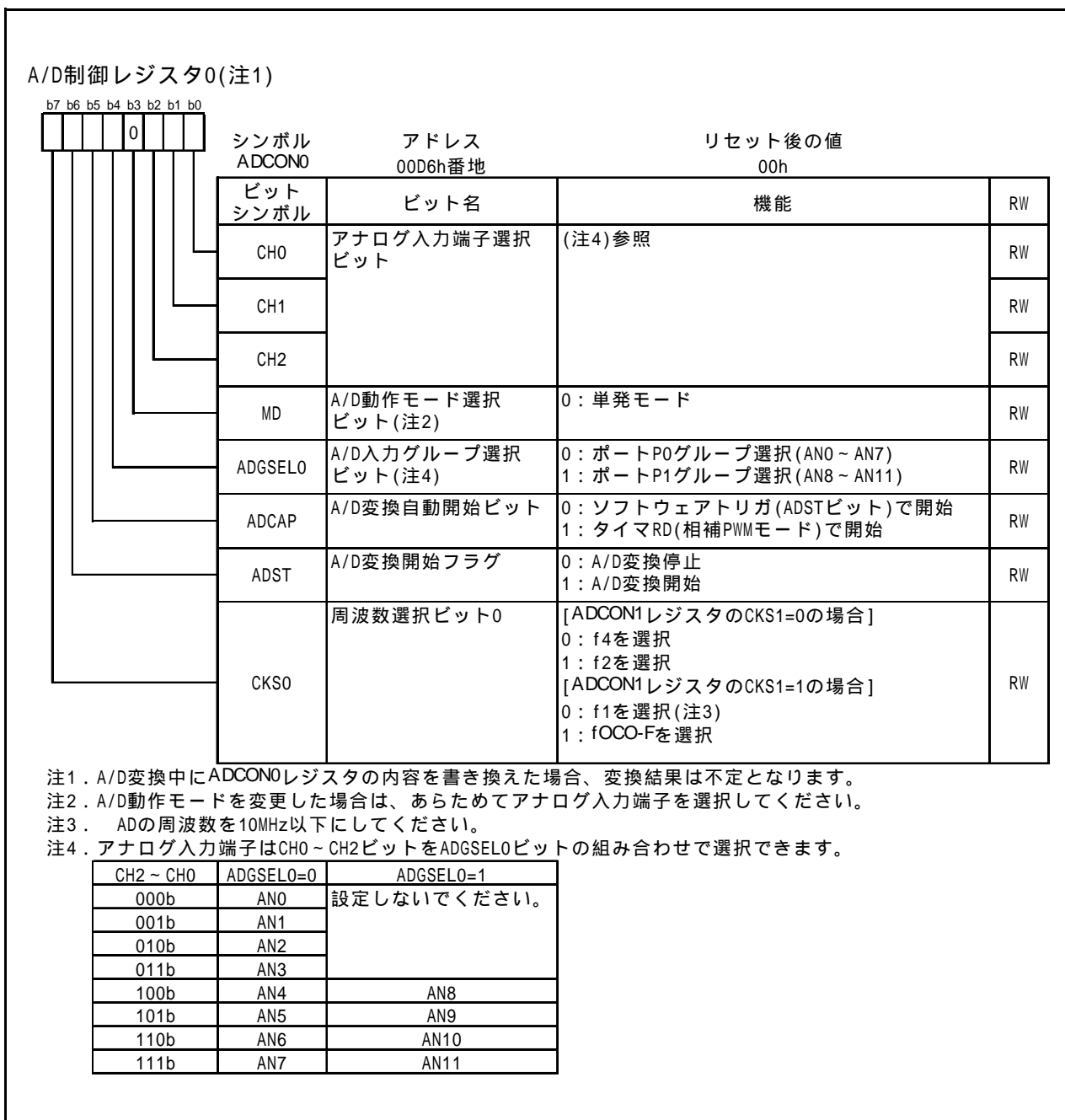


図18.4 単発モード時のADCON0レジスタ

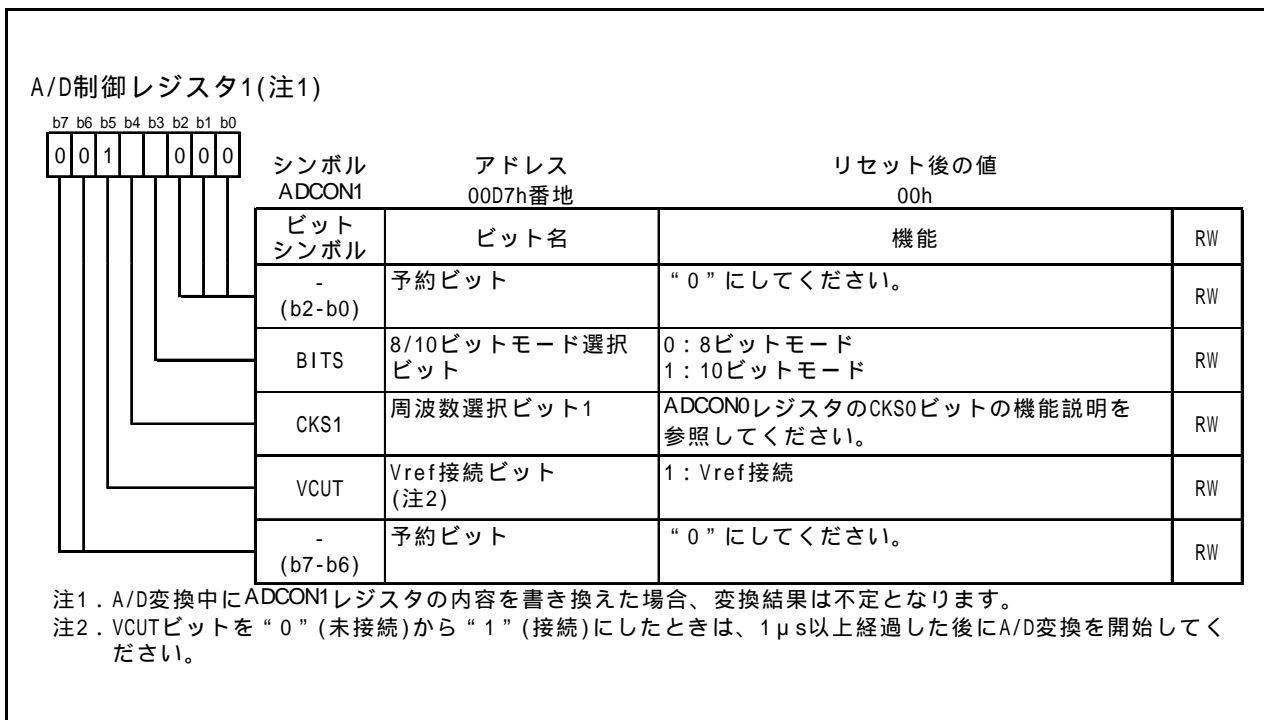


図18.5 単発モード時のADCON1レジスタ

18.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。

表18.3に繰り返しモードの仕様を、図18.6に繰り返しモード時のADCON0レジスタを、図18.7に繰り返しモード時のADCON1レジスタを示します。

表18.3 繰り返しモードの仕様

項目	仕様
機能	CH2 ~ CH0ビットとADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	<ul style="list-style-type: none"> ・ ADCAPビットが“0” (ソフトウェアトリガ)の場合 ADSTビットを“1” (A/D変換開始)にする ・ ADCAPビットが“1” (タイマRD(相補PWMモードで開始)の場合 ADSTビットが“1”の状態、TRD0とTRDGRA0レジスタのコンペア一致、TRD1アンダフローが発生する
停止条件	ADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
入力端子	AN0 ~ AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

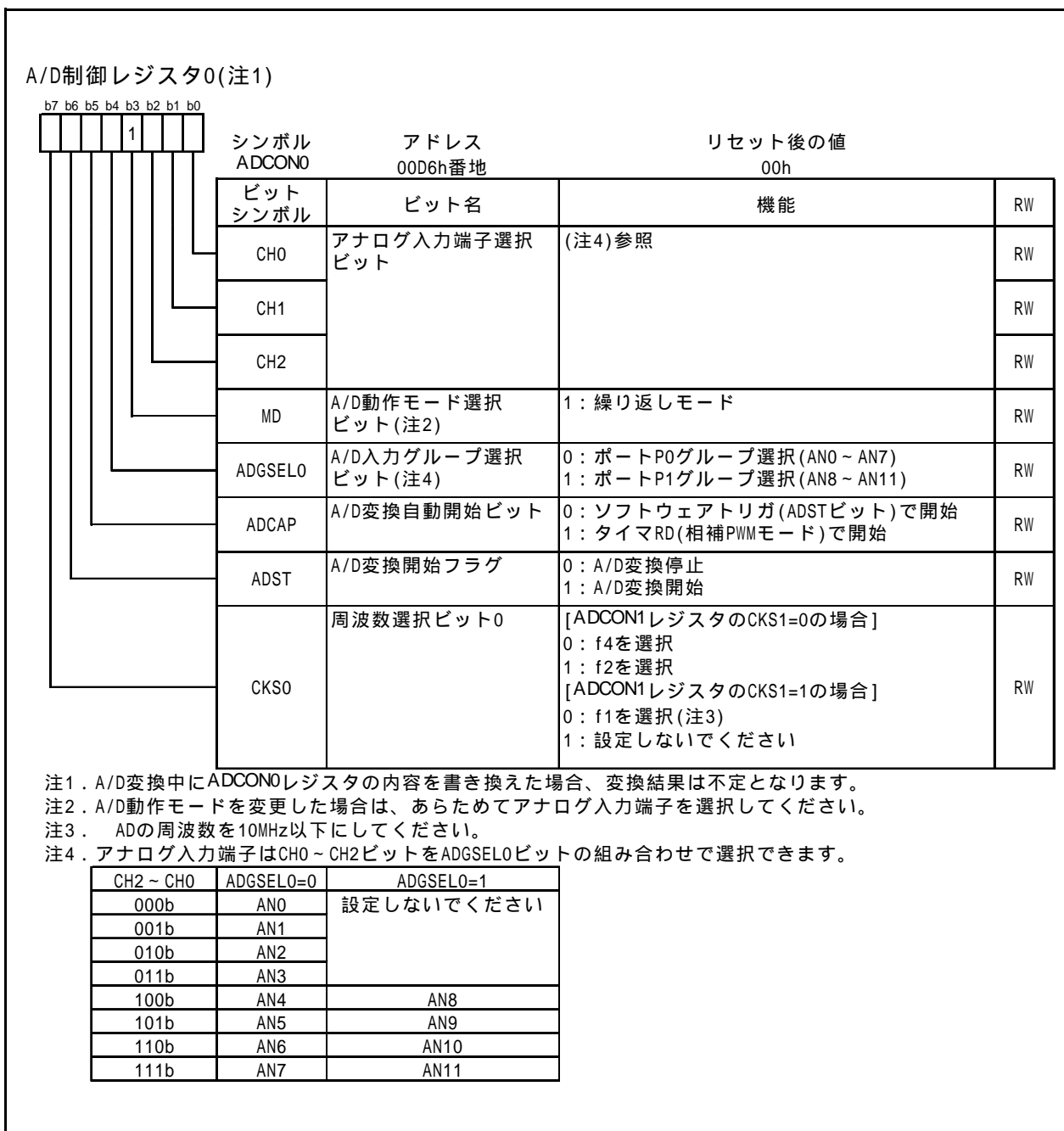


図 18.6 繰り返しモード時のADCON0レジスタ

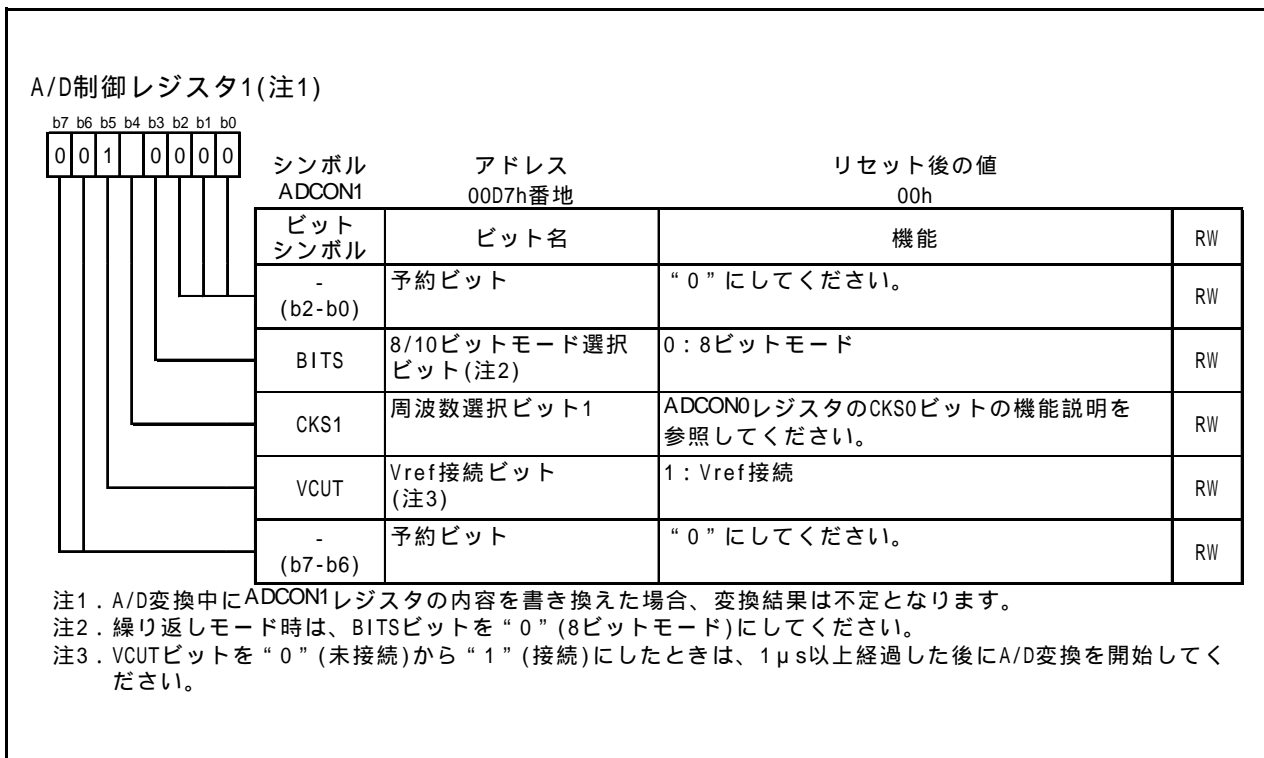


図18.7 繰り返しモード時のADCON1レジスタ

18.3 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上します。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

図18.8にA/D変換タイミング図を示します。

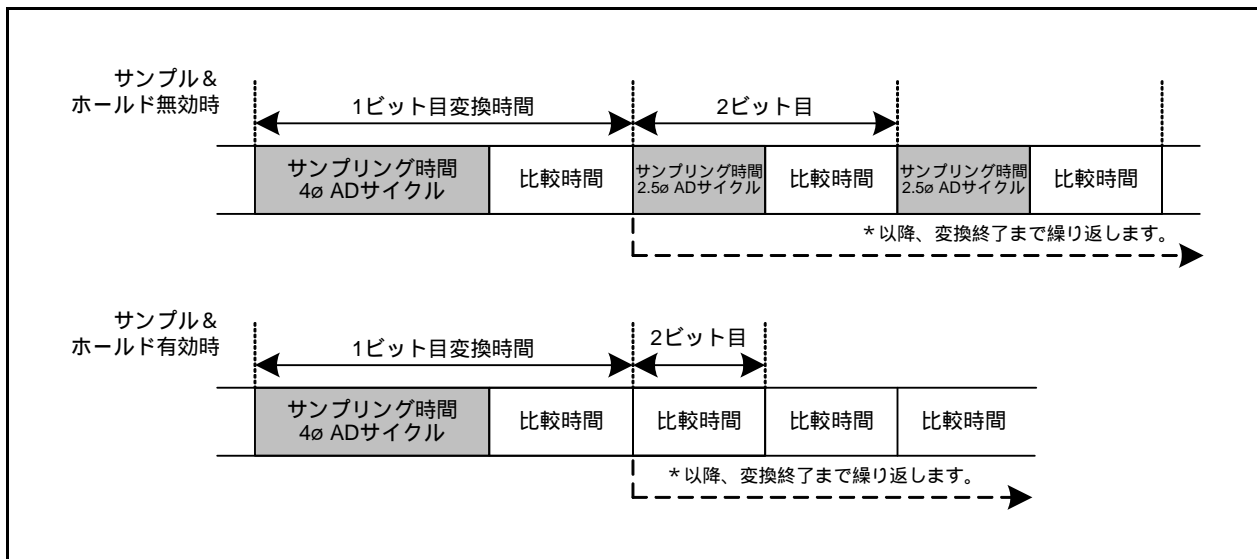


図18.8 A/D変換タイミング図

18.4 A/D変換サイクル数

図18.9にA/D変換サイクル数を示します。

A/D変換モード	変換時間	1ビット目変換時間		2ビット目以降の変換時間		終了処理
		サンプリング時間	比較時間	サンプリング時間	比較時間	
サンプル&ホールドなし 8ビット	49 AD	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD
サンプル&ホールドなし 10ビット	59 AD	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD
サンプル&ホールドあり 8ビット	28 AD	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD
サンプル&ホールドあり 10ビット	33 AD	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD

図18.9 A/D変換サイクル数

18.5 アナログ入力内部等価回路

図18.10にアナログ入力内部等価回路を示します。

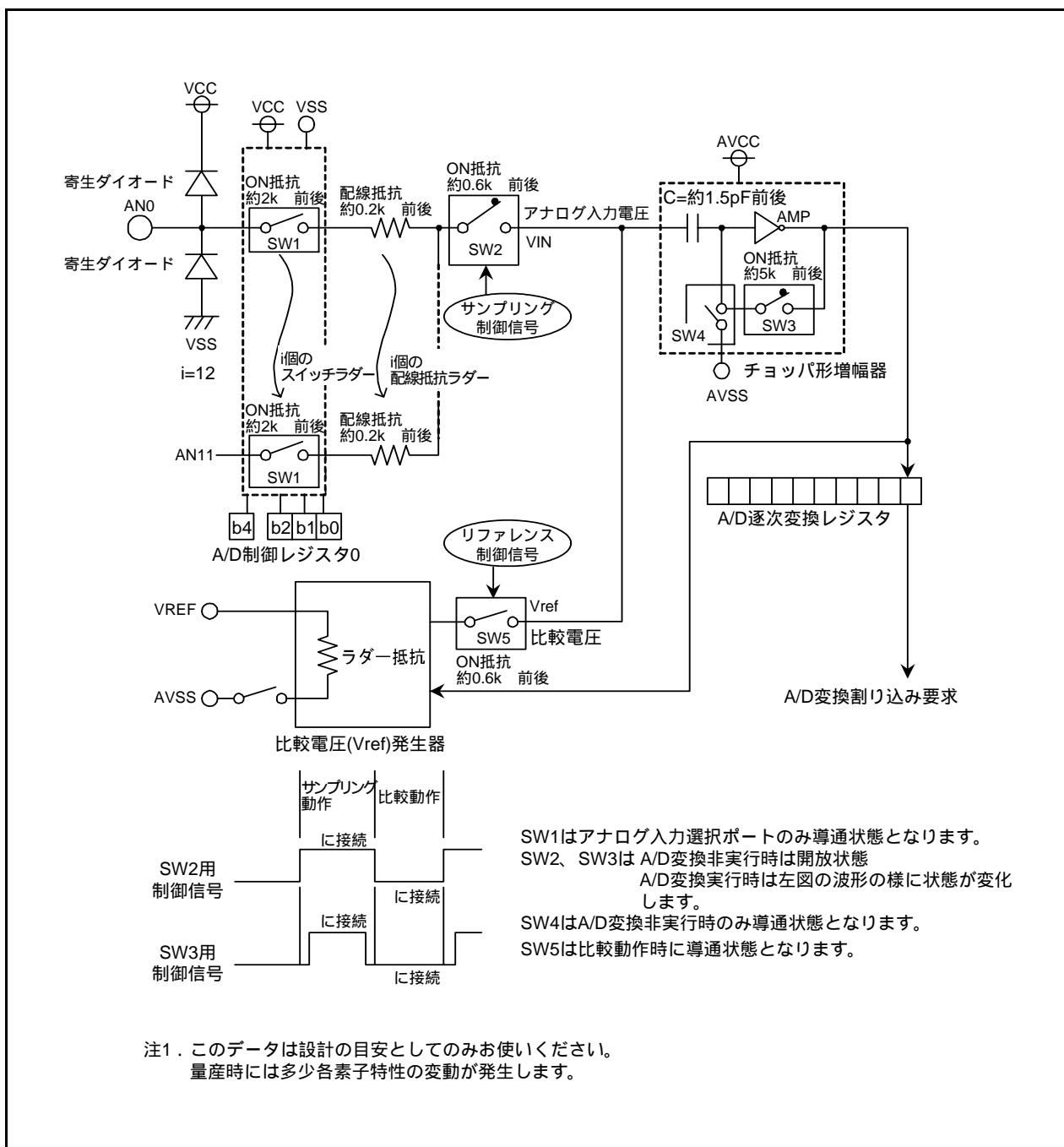


図18.10 アナログ入力内部等価回路

18.6 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図18.11の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC=VIN\left\{1-e^{-\frac{1}{C(R0+R)}t}\right\}$$

$$t=Tのとき、VC=VIN-\frac{X}{Y}VIN=VIN\left(1-\frac{X}{Y}\right)より、$$

$$e^{-\frac{1}{C(R0+R)}T}=\frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T=\ln\frac{X}{Y}$$

$$よって、R0=-\frac{T}{C\cdot\ln\frac{X}{Y}}-R$$

図18.11にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(XIN)=10MHzのとき、サンプル&ホールドなしA/D変換モードではT=0.25μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます

T=0.25μs、R=2.8k、C=6.0pF、X=0.1、Y=1024だから、

$$R0=-\frac{0.25\times 10^{-6}}{6.0\times 10^{-12}\cdot\ln\frac{0.1}{1024}}-2.8\times 10^3\approx 1.7\times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大1.7k になります。

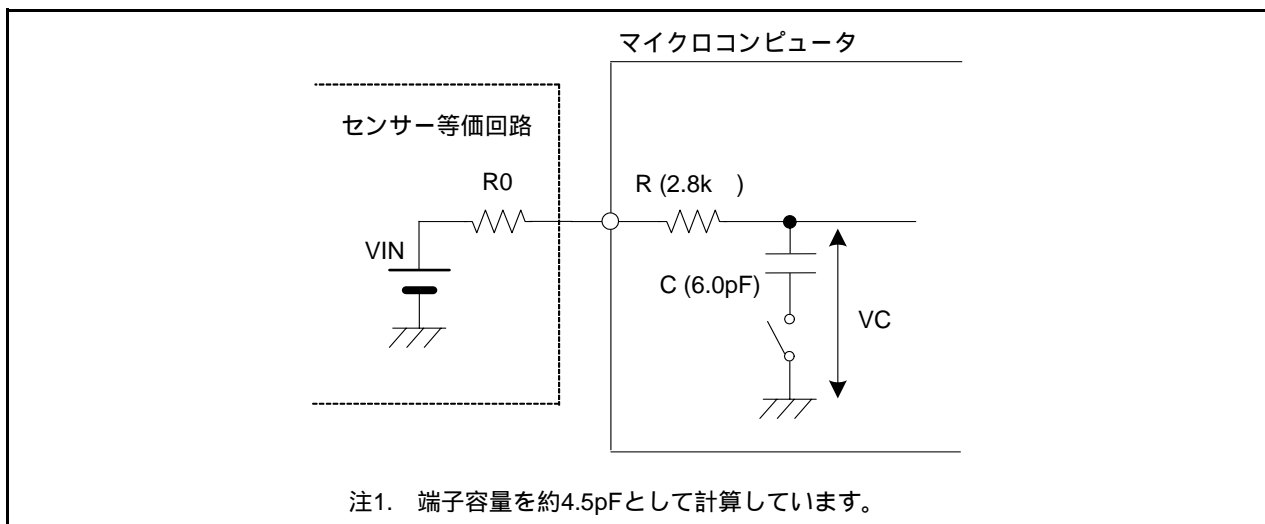


図18.11 アナログ入力端子と外部センサーの等価回路例

18.7 A/Dコンバータ使用上の注意

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
- A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できます)。
- 繰り返しモードで使用する場合
A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
ADにfOCO-Fを選択しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。
- P4_2/VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の状態、ウェイトモードに移行しないでください。

19. フラッシュメモリ

19.1 概要

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで操作できます。

表19.1にフラッシュメモリの性能概要を示します(表19.1に示す以外の項目は「表1.1および表1.2 性能概要」を参照してください)。

表19.1 フラッシュメモリの性能概要

項目	性能
フラッシュメモリの動作モード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力モード)
消去ブロック分割	図19.1、図19.2を参照してください。
プログラム方式	バイト単位
イレーズ方式	ブロック消去
プログラム、イレーズ制御方式(注3)	ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	FMR0レジスタのFMR02ビットによるブロック0、ブロック1に対する書き換え制御 FMR1レジスタのFMR15、FMR16ビットによるブロック0、ブロック1に対する個別の書き換え制御
コマンド数	5コマンド
プログラム、イレーズ回数(注1)	ブロック0、1(プログラムROM) ブロックA、B(データフラッシュ)(注2)
	R8C/24グループ：100回；R8C/25グループ：1,000回 10,000回
IDコードチェック機能	標準シリアル入出力モード対応
ROMコードプロテクト	パラレル入出力モード対応

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注2. R8C/25グループだけが内蔵します。

注3. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

表19.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード：RAM上で書き換え可能 EW1モード：フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ		シリアルライタ	パラレルライタ

19.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図19.1にR8C/24グループのフラッシュメモリのブロック図を、図19.2にR8C/25グループのフラッシュメモリのブロック図を示します。

R8C/25グループのユーザROM領域には、マイコンの動作プログラムを格納する領域(プログラムROM)とは別に、1KバイトのブロックAおよび1KバイトのブロックB(データフラッシュ)があります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブロック0、ブロック1を、CPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在します。

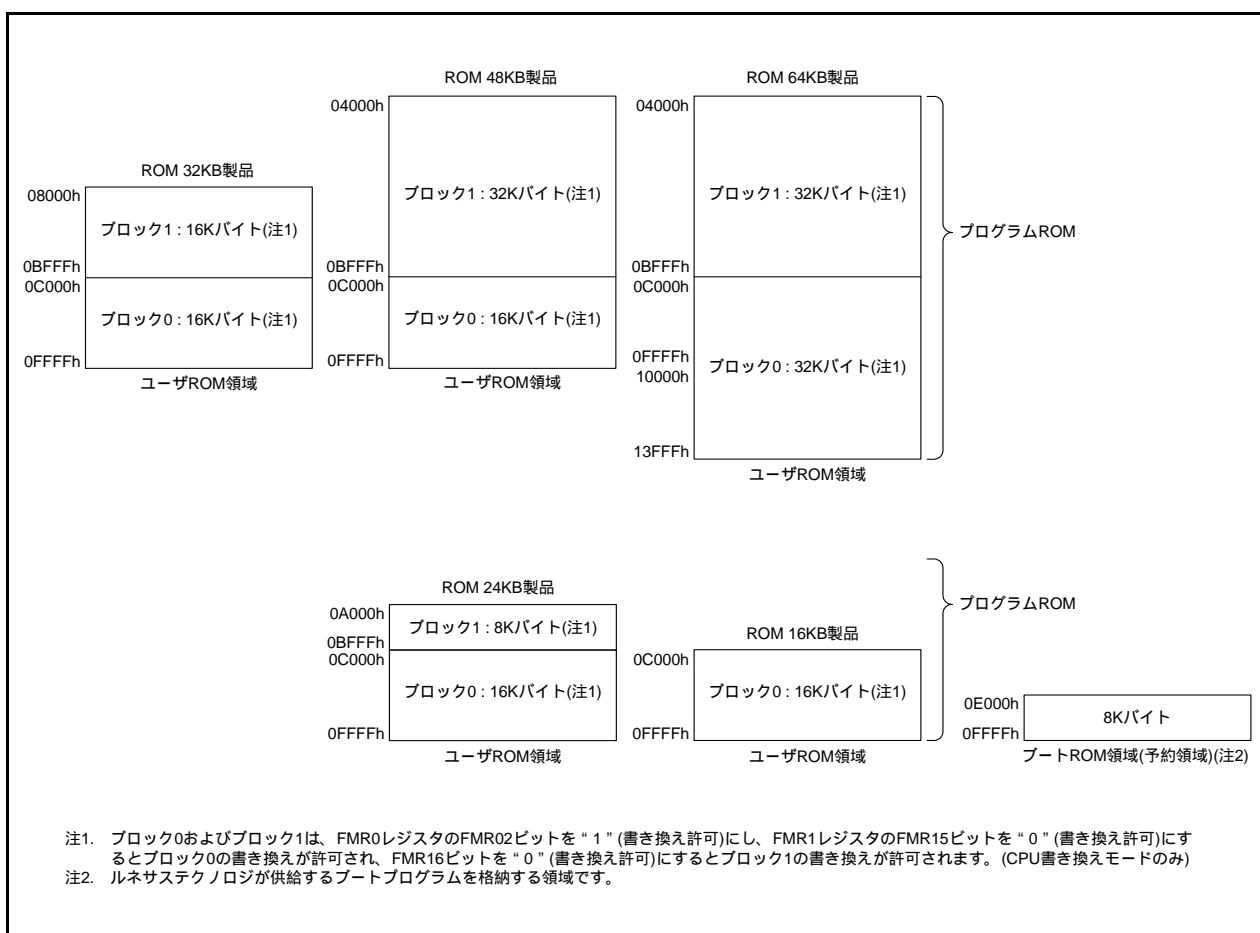


図19.1 R8C/24グループのフラッシュメモリのブロック図

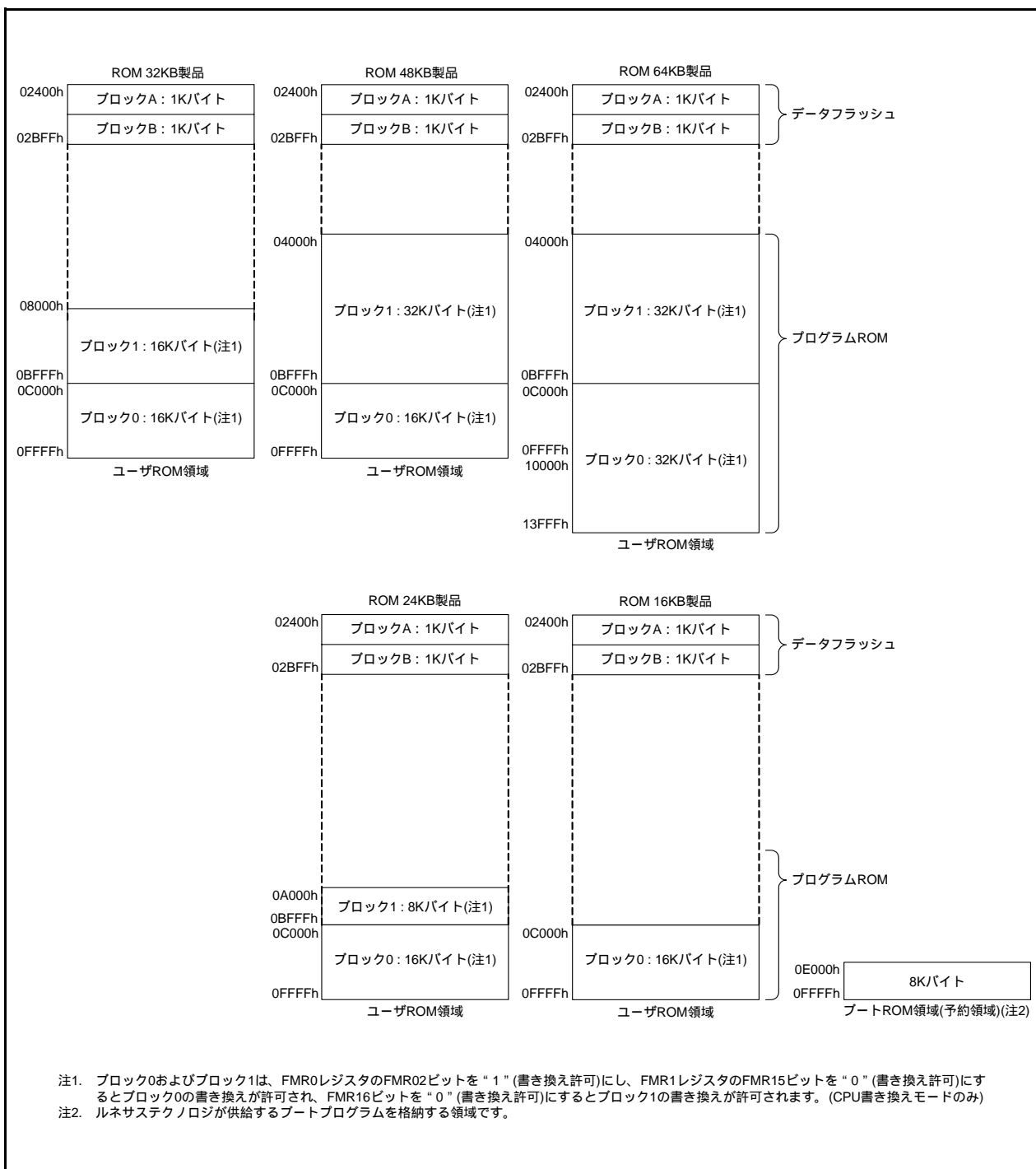


図 19.2 R8C/25グループのフラッシュメモリのブロック図

19.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

19.3.1 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライターから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から00FFDFh、00FFE3h、00FFE7h、00FFE8h、00FFE9h、00FFF3h、00FFF7h、00FFFBh番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

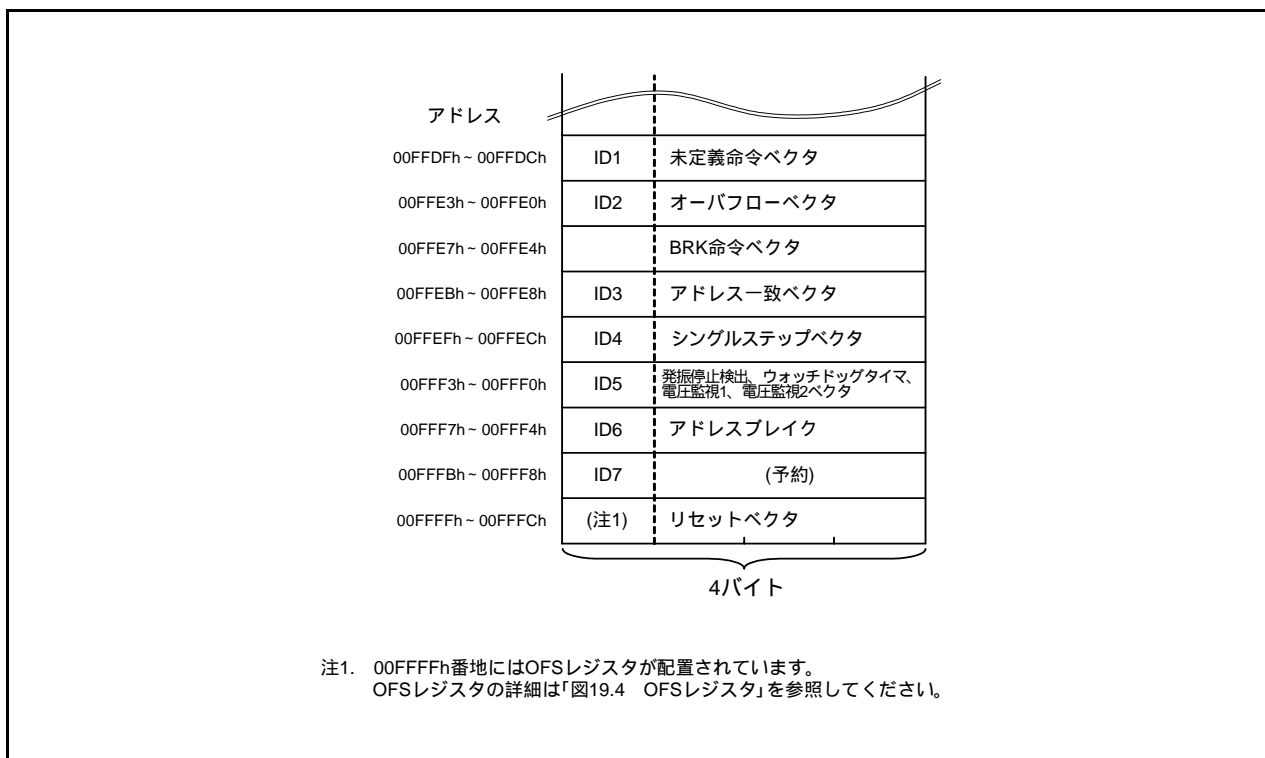


図19.3 IDコードの格納番地

19.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタによって、内蔵フラッシュメモリの内容の読み出し、変更を禁止する機能です。

図19.4にOFSレジスタを示します。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、変更が禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFh番地	出荷時の値 FFh(注3)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b4)	予約ビット	“1” にしてください。	RW
LVD0ON	電圧検出0回路起動 ビット(注2)	0: ハードウェアリセット後、電圧監視0リセット 有効 1: ハードウェアリセット後、電圧監視0リセット 無効	RW
- (b6)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. パワーオンリセットを使用する場合、LVD0ONビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図19.4 OFSレジスタ

19.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードで自動書き込み動作中に割り込み要求が発生した場合に、自動書き込み動作を一時中断して割り込み処理を行うプログラムサスペンド機能を持ちます。プログラムサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表19.3にEW0モードとEW1モードの違いを示します。

表19.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域またはRAM領域
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く(注1)
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
リードステータスレジスタ後のモード	リードステータスレジスタモード	コマンドを実行しないでください。
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスカブル割り込みの割り込み要求が発生
プログラムサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR42ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスカブル割り込みの割り込み要求が発生
CPUクロック	5MHz以下	左記制限なし(使用するクロック周波数)

注1. ブロック0、ブロック1は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

19.4.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(サスペンド許可)、FMR41ビットを“1”(イレーズサスペンドリクエスト)にしてください。そしてtd(SR-SUS)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

自動書き込み中に、プログラムサスペンドに移行する場合は、FMR40ビットを“1”(サスペンド許可)、FMR42ビットを“1”(プログラムサスペンドリクエスト)にしてください。そしてtd(SR-SUS)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR42ビットを“0”(プログラムリスタート)にすると、自動書き込みを再開します。

19.4.2 EW1モード

FMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR11ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタコマンドを実行しないでください。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。ブロックイレーズコマンド実行からtd(SR-SUS)後、割り込み要求が受け付けられます。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

自動書き込み時、プログラムサスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてからプログラムコマンドを実行してください。またプログラムサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。プログラムコマンド実行からtd(SR-SUS)後、割り込み要求が受け付けられます。

割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、自動書き込みが中断されます。割り込み処理終了後、自動書き込みが完了していないとき(FMR00ビットが“0”)は、FMR42ビットを“0”(プログラムリスタート)にして自動書き込みを再開させてください。

図19.5にFMR0レジスタを、図19.6にFMR1レジスタを、図19.7にFMR4レジスタを示します。

19.4.2.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中(サスペンド期間を含む)は“0”、それ以外のときには“1”になります。

19.4.2.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

19.4.2.3 FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けません。

FMR02ビットが“1”(書き換え許可)のとき、ブロック0とブロック1はFMR15、FMR16ビットで書き換えが制御されます。

19.4.2.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- 高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合

図19.11に高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

19.4.2.5 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「19.4.5 フルステータスチェック」を参照してください。

19.4.2.6 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「19.4.5 フルステータスチェック」を参照してください。

19.4.2.7 FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

19.4.2.8 FMR15ビット

FMR02ビットが“1”(書き換え許可)で、FMR15ビットが“0”(書き換え許可)のとき、ブロック0はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

19.4.2.9 FMR16ビット

FMR02ビットが“1”(書き換え許可)で、FMR16ビットが“0”(書き換え許可)のとき、ブロック1はプログラムコマンド、ブロックイレースコマンドを受け付けます。

19.4.2.10 FMR40ビット

FMR40ビットを“1”(許可)にすると、サスペンド機能が許可されます。

19.4.2.11 FMR41ビット

EW0モードでは、プログラムでFMR41ビットを“1”にすると、イレースサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレースサスペンドリクエスト)になり、イレースサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレースリスタート)にしてください。

19.4.2.12 FMR42ビット

EW0モードでは、プログラムでFMR42ビットを“1”にすると、プログラムサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、プログラムサスペンドモードに移行します。

自動書き込み動作を再開するときは、FMR42ビットを“0”(プログラムリスタート)にしてください。

19.4.2.13 FMR43ビット

自動消去を開始すると、FMR43ビットが“1”(イレース実行中)になります。イレースサスペンド中もFMR43ビットは“1”(イレース実行中)のままです。

自動消去が終了すると、FMR43ビットが“0”(イレース未実行)になります。

19.4.2.14 FMR44ビット

自動書き込みを開始すると、FMR44ビットが“1”(プログラム実行中)になります。プログラムサスペンド中もFMR44ビットは“1”(プログラム実行中)のままです。

自動書き込みが終了すると、FMR44ビットが“0”(プログラム未実行)になります。

19.4.2.15 FMR46ビット

自動書き込み実行中および自動消去実行中は、FMR46ビットが“0”(リード禁止)になります。サスペンドモード中は“1”(リード許可)になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

19.4.2.16 FMR47ビット

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR47ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

フラッシュメモリ制御レジスタ0

シンボル FMR0	アドレス 01B7h番地	リセット後の値 00000001b	
ビット シンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー (書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択 ビット(注1)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ブロック0、ブロック1書き 換え許可ビット(注2、6)	0: 書き換え禁止 1: 書き換え許可	RW
FMSTP	フラッシュメモリ停止 ビット(注3、5)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ 初期化)	RW
- (b5-b4)	予約ビット	"0" にしてください。	RW
FMR06	プログラムステータス フラグ(注4)	0: 正常終了 1: エラー終了	RO
FMR07	イレースステータス フラグ(注4)	0: 正常終了 1: エラー終了	RO

注1. "1" にするときは、"0" を書いた後、続けて"1" を書いてください。"0" を書いた後、"1" を書くまでに割り込みが入らないようにしてください。
このビットはリードアレイモードにしてから"0" にしてください。

注2. "1" にするときは、FMR01ビットが"1"の状態、このビットに"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。

注3. このビットは、RAMに転送したプログラムで書いてください。

注4. クリアステータスコマンドを実行すると"0"になります。

注5. FMR01ビットが"1" (CPU書き換えモード有効)のとき有効です。FMR01ビットが"0"のとき、FMSTPビットに"1"を書くとFMSTPビットは"1"になりますが、フラッシュメモリは低消費電力状態にならず、初期化もされません。

注6. FMR01ビットを"0" (CPU書き換えモード無効)にすると、FMR02ビットは"0" (書き換え禁止)になります。

図19.5 FMR0レジスタ

フラッシュメモリ制御レジスタ1

シンボル FMR1	アドレス 01B5h番地	リセット後の値 1000000Xb	
ビット シンボル	ビット名	機能	RW
- (b0)	予約ビット	読んだ場合、その値は不定。	RO
FMR11	EW1モード選択ビット (注1、2)	0: EW0モード 1: EW1モード	RW
- (b4-b2)	予約ビット	“0” にしてください。	RW
FMR15	ブロック0書き換え禁止ビット (注2、3)	0: 書き換え許可 1: 書き換え禁止	RW
FMR16	ブロック1書き換え禁止ビット (注2、3)	0: 書き換え許可 1: 書き換え禁止	RW
- (b7)	予約ビット	“1” にしてください。	RW

注1. “1” にするときは、FMR01ビットが“1” (CPU書き換えモード有効)の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. FMR01ビットを“0” (CPU書き換えモード無効)にすると、“0”になります。

注3. FMR01ビットが“1” (CPU書き換えモード有効)のとき、FMR15およびFMR16ビットに書けます。
“0”にするときは、このビットに“1”を書いた後、続けて“0”を書いてください。
“1”にするときは、このビットに“1”を書いてください。

図19.6 FMR1レジスタ

フラッシュメモリ制御レジスタ4

ビット シンボル	ビット名	機能	RW
FMR40	サスペンド機能 許可ビット(注1)	0: 禁止 1: 許可	RW
FMR41	イレーズサスペンド リクエストビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	RW
FMR42	プログラムサスペンド リクエストビット(注3)	0: プログラムリスタート 1: プログラムサスペンドリクエスト	RW
FMR43	イレーズコマンドフラグ	0: イレーズ未実行 1: イレーズ実行中	RO
FMR44	プログラムコマンド フラグ	0: プログラム未実行 1: プログラム実行中	RO
- (b5)	予約ビット	"0" にしてください。	RO
FMR46	リードステータスフラグ	0: リード禁止 1: リード許可	RO
FMR47	低消費電流リードモード 許可ビット(注1、4、5)	0: 禁止 1: 許可	RW

注1. "1" にするときは、このビットに"0"を書いた後、続けて"1"を書いてください。
"0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。

注2. FMR41ビットはFMR40ビットが"1"(許可)のときのみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ、書き込みが可能となります。(上記期間以外は"0"になります。)

EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。

EW1モードではFMR40ビットが"1"のとき、消去中にマスカブル割り込みが発生すると自動的に"1"になります。プログラムによって"1"を書き込むことはできません。("0"書き込みは可能)

注3. FMR42ビットはFMR40ビットが"1"(許可)のときのみ有効になり、プログラムコマンド発行から自動書き込み終了までの期間のみ、このビットへの書き込みが可能となります。(上記期間以外は"0"になります。)

EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。

EW1モードではFMR40ビットが"1"のとき、自動書き込み中にマスカブル割り込みが発生すると自動的に"1"になります。プログラムによって"1"を書き込むことはできません。("0"書き込みは可能)

注4. 高速クロックモード、高速オンチップオシレータモードでは、FMR47ビットを"0"(禁止)にしてください。

注5. 低消費電流リードモードではFMR0レジスタのFMR01ビットを"0"(CPU書き換えモード無効)にしてください。

図19.7 FMR4レジスタ

図19.8にサスペンド動作に関するタイミングを示します。

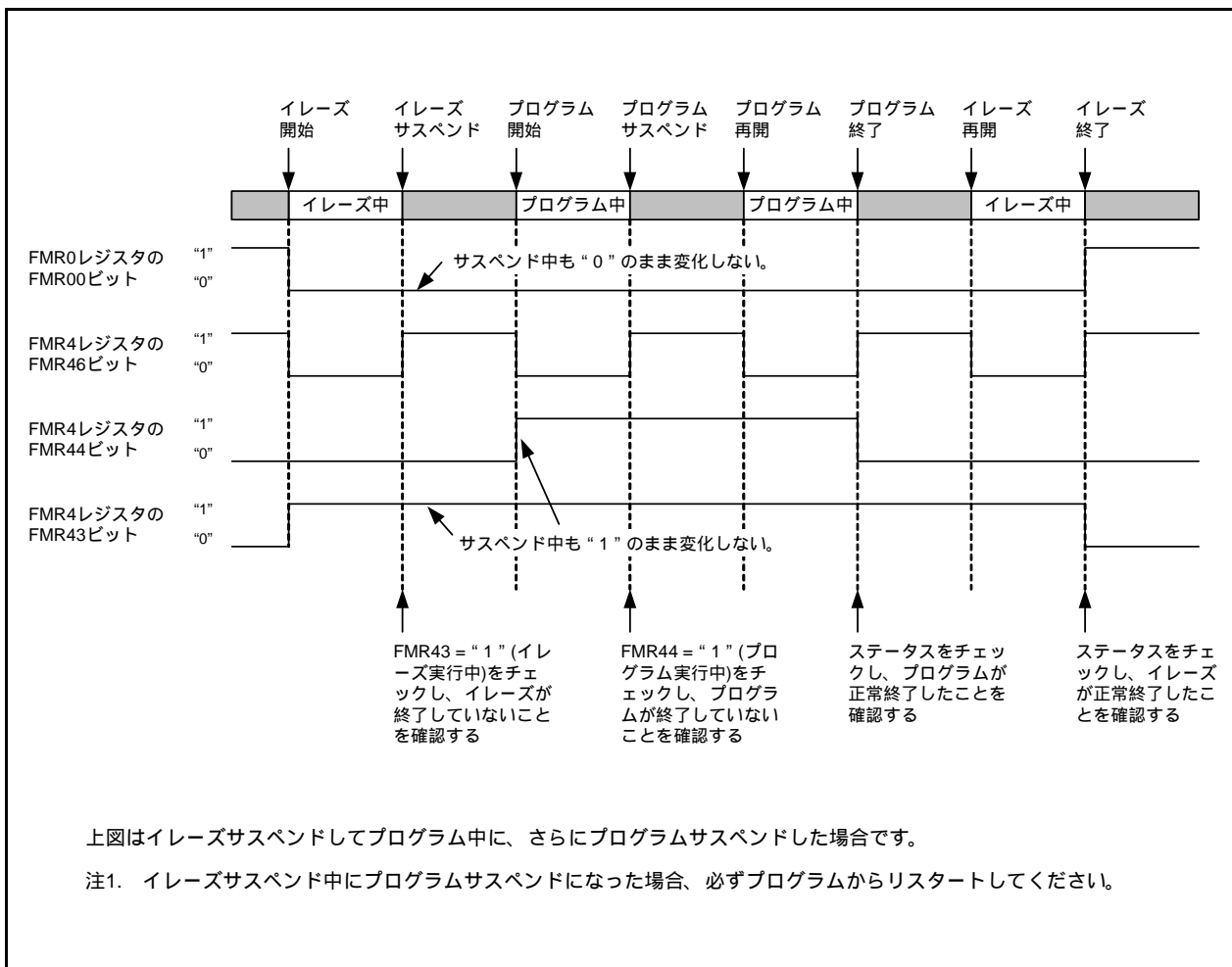


図19.8 サスペンド動作に関するタイミング

図19.9にEW0モードの設定と解除方法を、図19.10にEW1モードの設定と解除方法を示します。

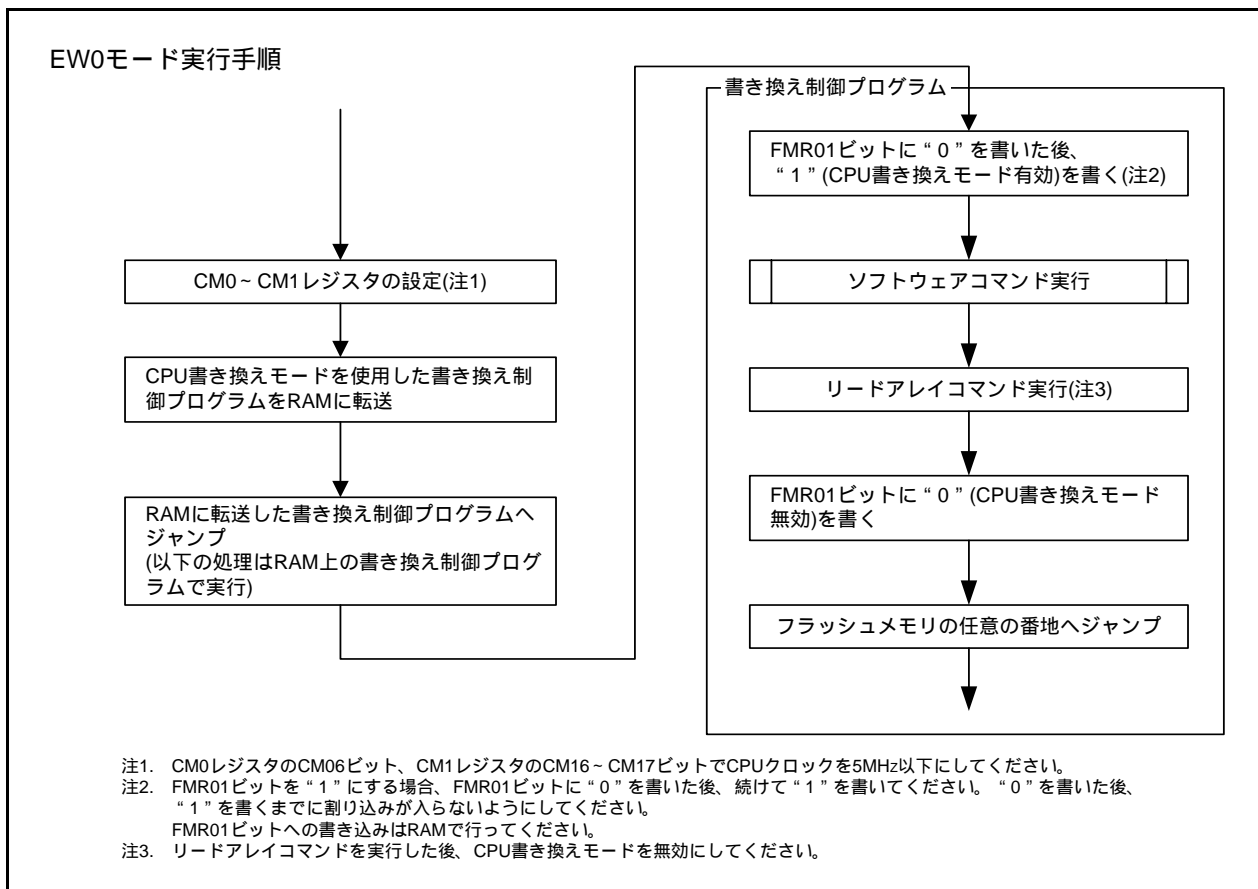


図19.9 EW0モードの設定と解除方法

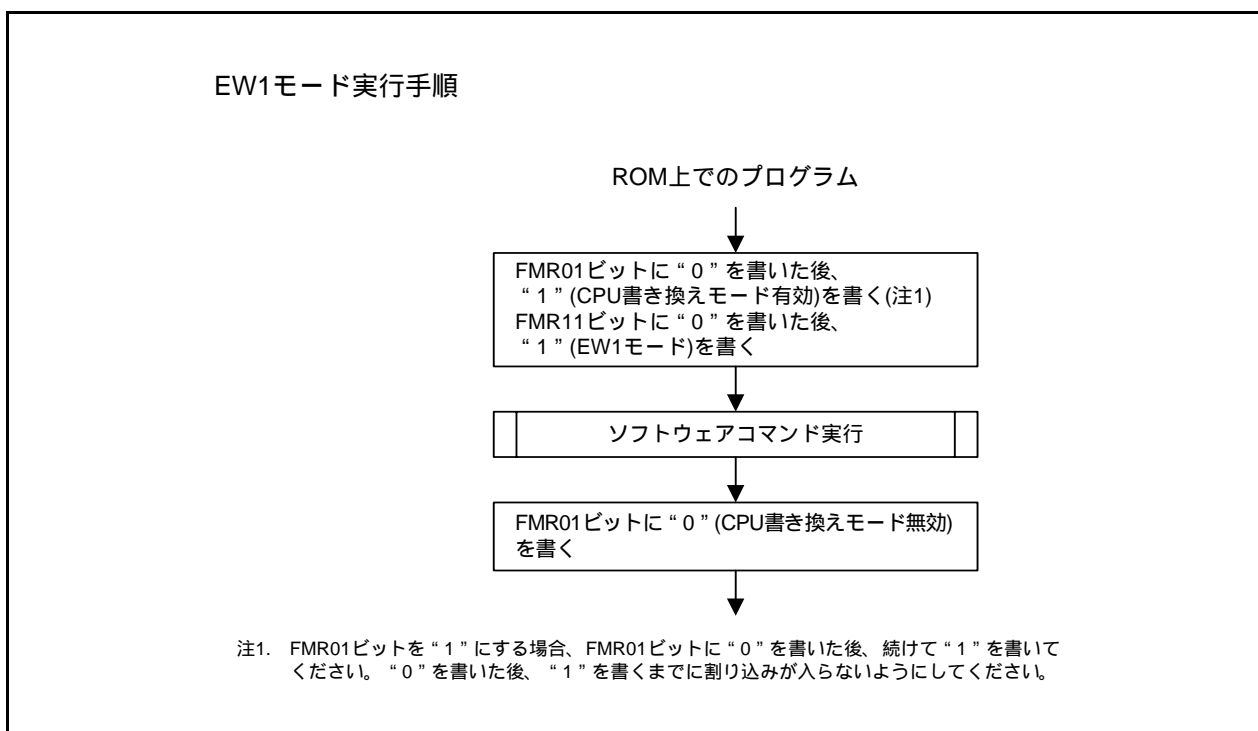


図19.10 EW1モードの設定と解除方法

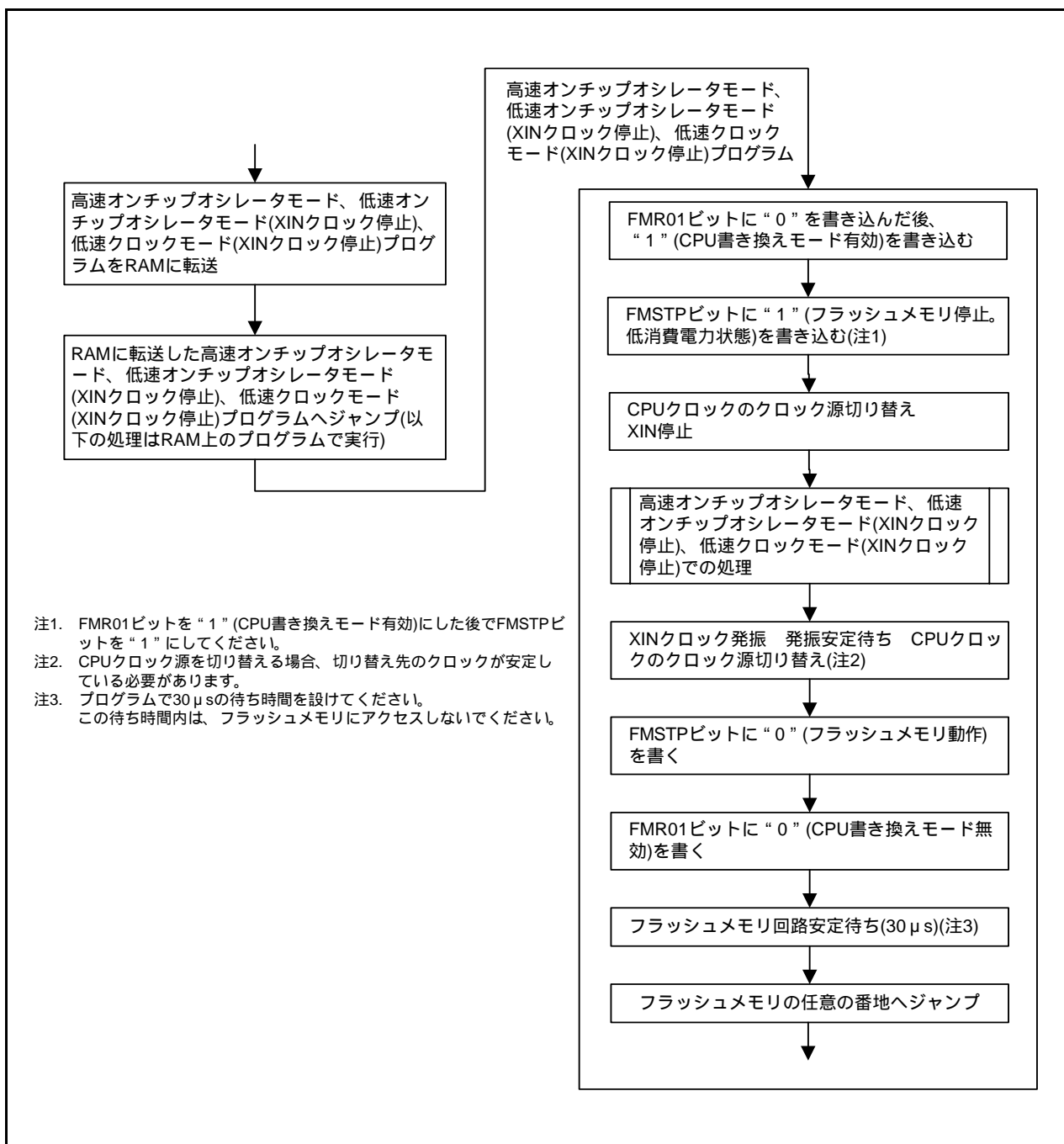


図19.11 高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする処理

19.4.3 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

表19.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D7 ~ D0)	モード	アドレス	データ (D7 ~ D0)
リードアレイ	ライト	x	FFh			
リードステータスレジスタ	ライト	x	70h	リード	x	SRD
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h

SRD : ステータスレジスタデータ(D7 ~ D0)。

WA : 書き込み番地(第1バスサイクルのアドレスは第2バスサイクルのアドレスと同一番地にしてください)。

WD : 書き込みデータ(8ビット)。

BA : ブロックの任意の番地。

x : ユーザROM領域内の任意の番地

19.4.3.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後はリードアレイモードになります。

19.4.3.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「19.4.4 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

リードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

19.4.3.3 クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FMR0レジスタのFMR06 ~ FMR07ビットとステータスレジスタのSR4 ~ SR5が“0”になります。

19.4.3.4 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。サスペンド機能禁止時、FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

サスペンド機能許可時、FMR44ビットは、自動書き込み期間中は“1”、終了後は“0”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「19.4.5 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

図19.12にプログラムフローチャート(サスペンド機能禁止時)を、図19.13にプログラムフローチャート(サスペンド機能許可時)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

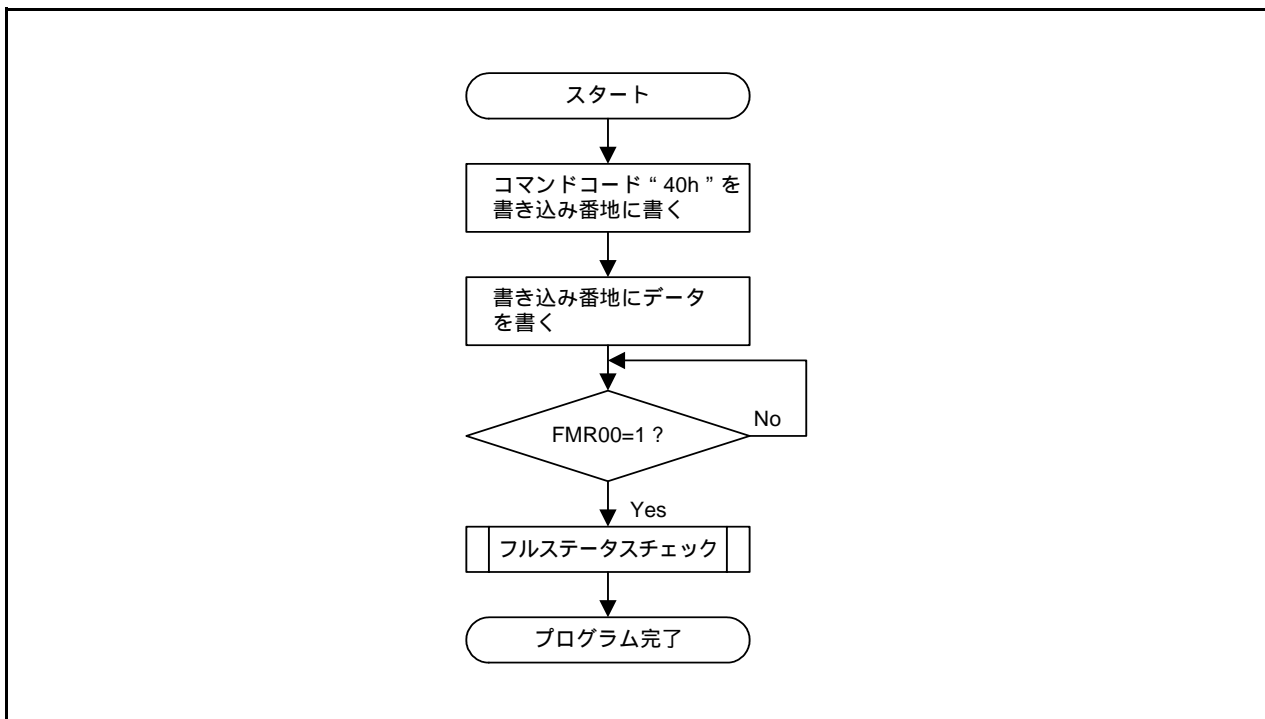


図19.12 プログラムフローチャート(サスペンド機能禁止時)

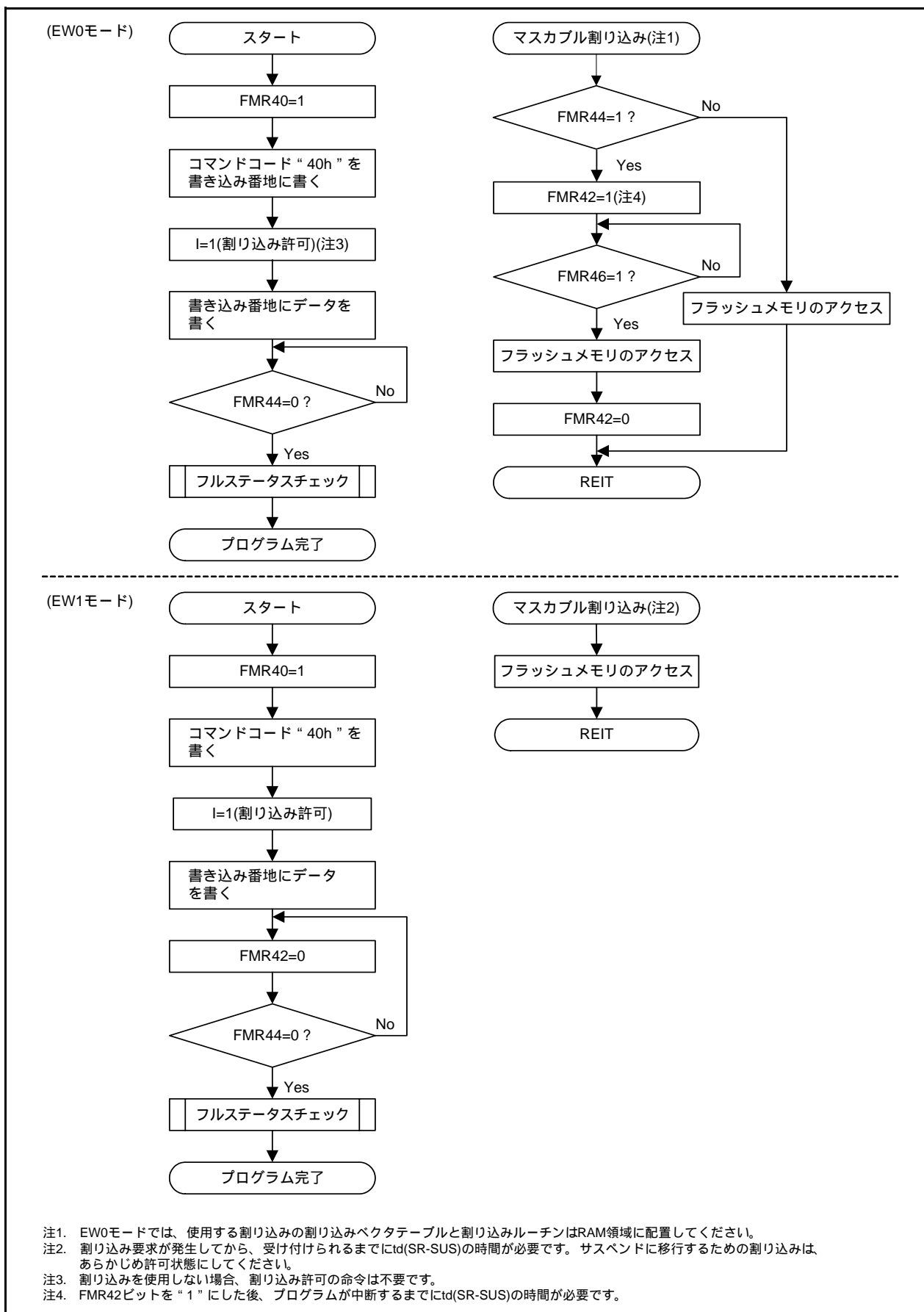


図19.13 プログラムフローチャート(サスペンド機能許可時)

19.4.3.5 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「19.4.5 フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが1(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

プログラムサスペンド中、ブロックイレーズコマンドを使用しないでください。

図19.14にブロックイレーズフローチャート(イレーズサスペンド機能禁止時)を、図19.15にブロックイレーズフローチャート(イレーズサスペンド機能許可時)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

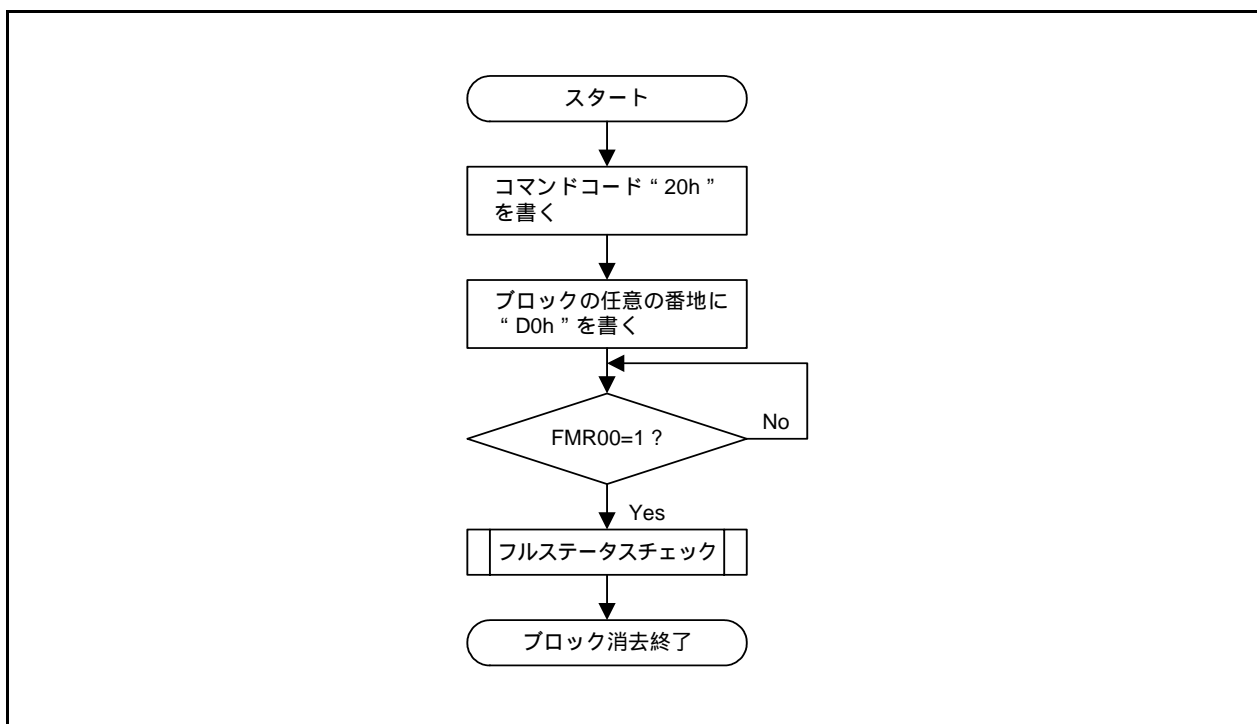


図19.14 ブロックイレーズフローチャート(イレーズサスペンド機能禁止時)

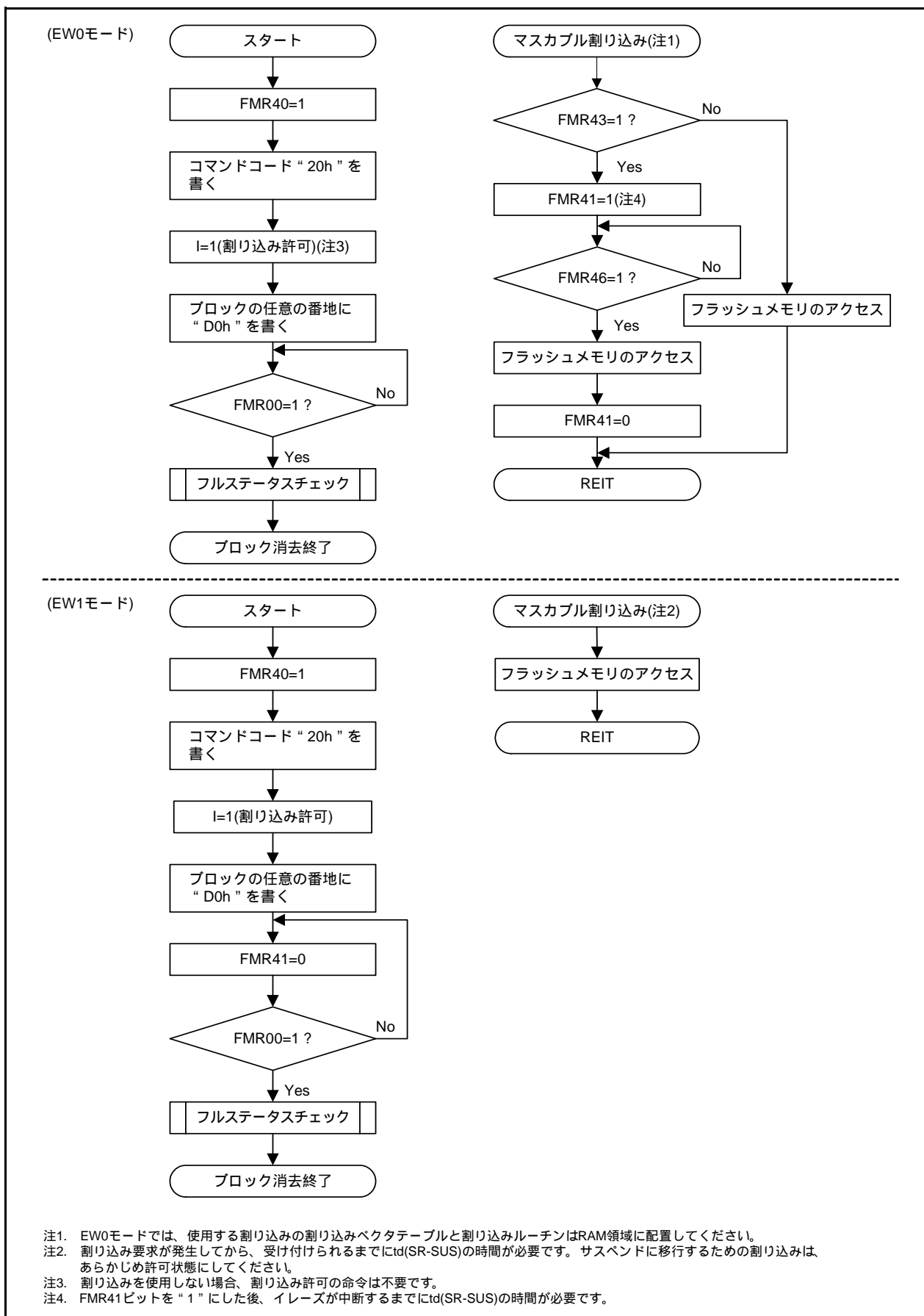


図19.15 ブロックイレーズフローチャート(イレーズサスペンド機能許可時)

19.4.4 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06～FMR07ビットで読めます。

表19.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の番地を読んだとき
- プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の番地を読んだとき

19.4.4.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

19.4.4.2 イレーズステータス(SR5、FMR07ビット)

「19.4.5 フルステータスチェック」を参照してください。

19.4.4.3 プログラムステータス(SR4、FMR06ビット)

「19.4.5 フルステータスチェック」を参照してください。

表19.5 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0(D0)		リザーブ			
SR1(D1)		リザーブ			
SR2(D2)		リザーブ			
SR3(D3)		リザーブ			
SR4(D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5(D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6(D6)		リザーブ			
SR7(D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7：リードステータスコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)～FMR06ビット(SR4)は、クリアステータスコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズコマンドは受け付けられません。

19.4.5 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表19.6にエラーとFMR0レジスタの状態を、図19.16にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表19.6 エラーとFMR0レジスタの状態

FMR0レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1) ・FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15ビットまたはFMR16ビットを用いて書き換え禁止にした状態で、プログラムコマンドまたはブロックイレーズコマンドを実行したとき ・消去コマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、消去しようとしたとき ・消去コマンド入力時に、書き換えを禁止しているブロックの消去を実行しようとしたとき ・書き込みコマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、書き込みしようとしたとき ・書き込みコマンド入力時に、書き換えを禁止しているブロックの書き込みを実行しようとしたとき
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

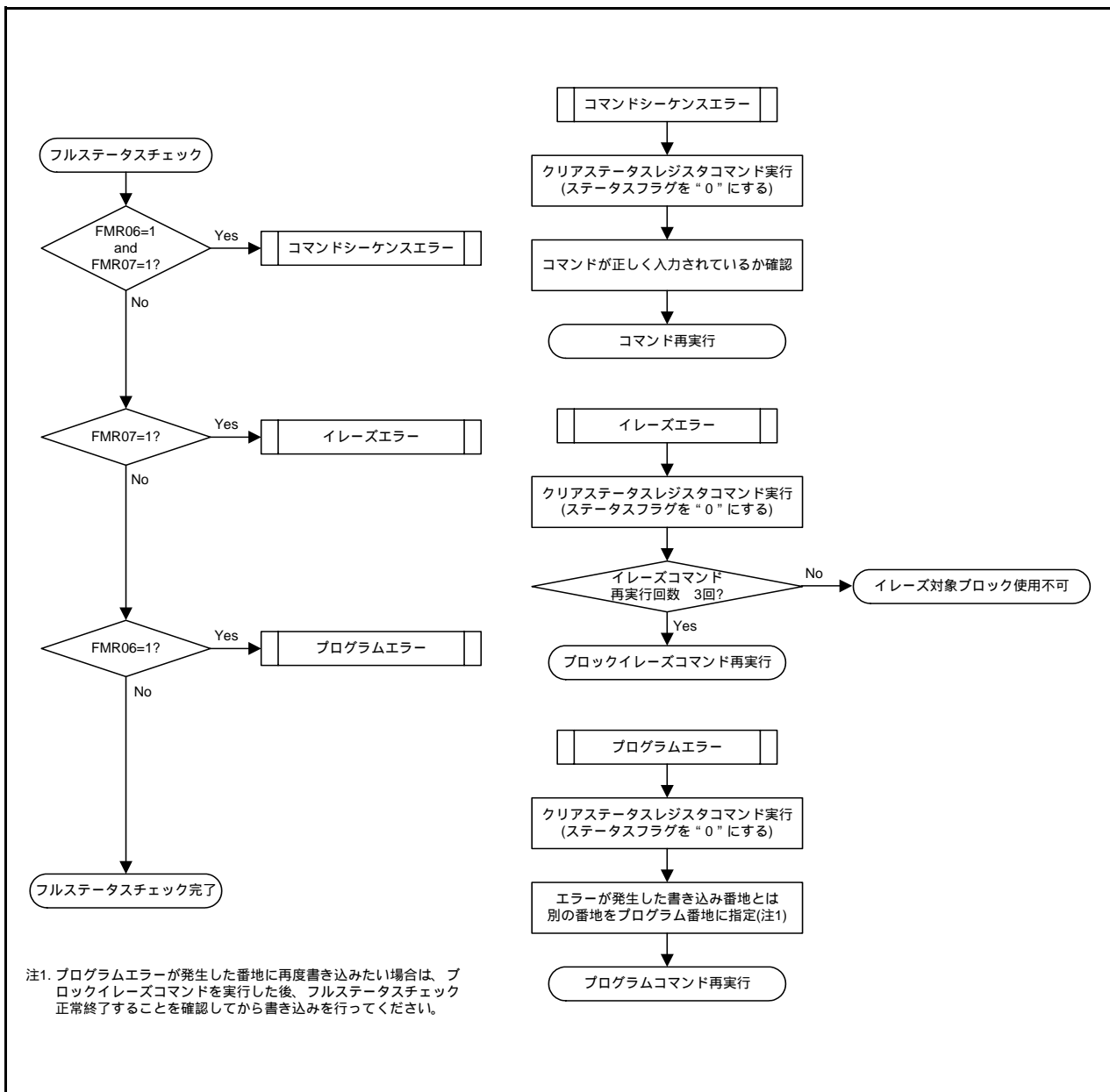


図19.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

19.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表 19.7 に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、表 19.8 に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図 19.17 に標準シリアル入出力モード3時の端子結線図を示します。

なお、表 19.8 に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE 端子に“H”を入力して、ハードウェアリセットしてください。

19.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「19.3 フラッシュメモリ書き換え禁止機能」参照)。

表 19.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P4_3/XCIN	P4_3入力/クロック入力	入力	XCIN端子とXCOUT端子の間には水晶発振子を接続してください。
P4_4/XCOUT	P4_4入力/クロック出力	入出力	
P0_0 ~ P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0 ~ P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0、P3_1、 P3_3 ~ P3_5、P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF、P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P6_0 ~ P6_5	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入力	“L”を入力してください。
P6_6	TXD出力	出力	シリアルデータの出力端子です。
P6_7	RXD入力	入力	シリアルデータの入力端子です。

表 19.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P4_3/XCIN	P4_3入力/クロック入力	入力	外付けの発振子を接続する場合、XCIN端子とXCOUT端子の間には水晶発振子を接続してください。 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_4/XCOUT	P4_4入力/クロック出力	入出力	
P0_0 ~ P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0 ~ P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0、P3_1、 P3_3 ~ P3_5、 P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF、 P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P6_0 ~ P6_7	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

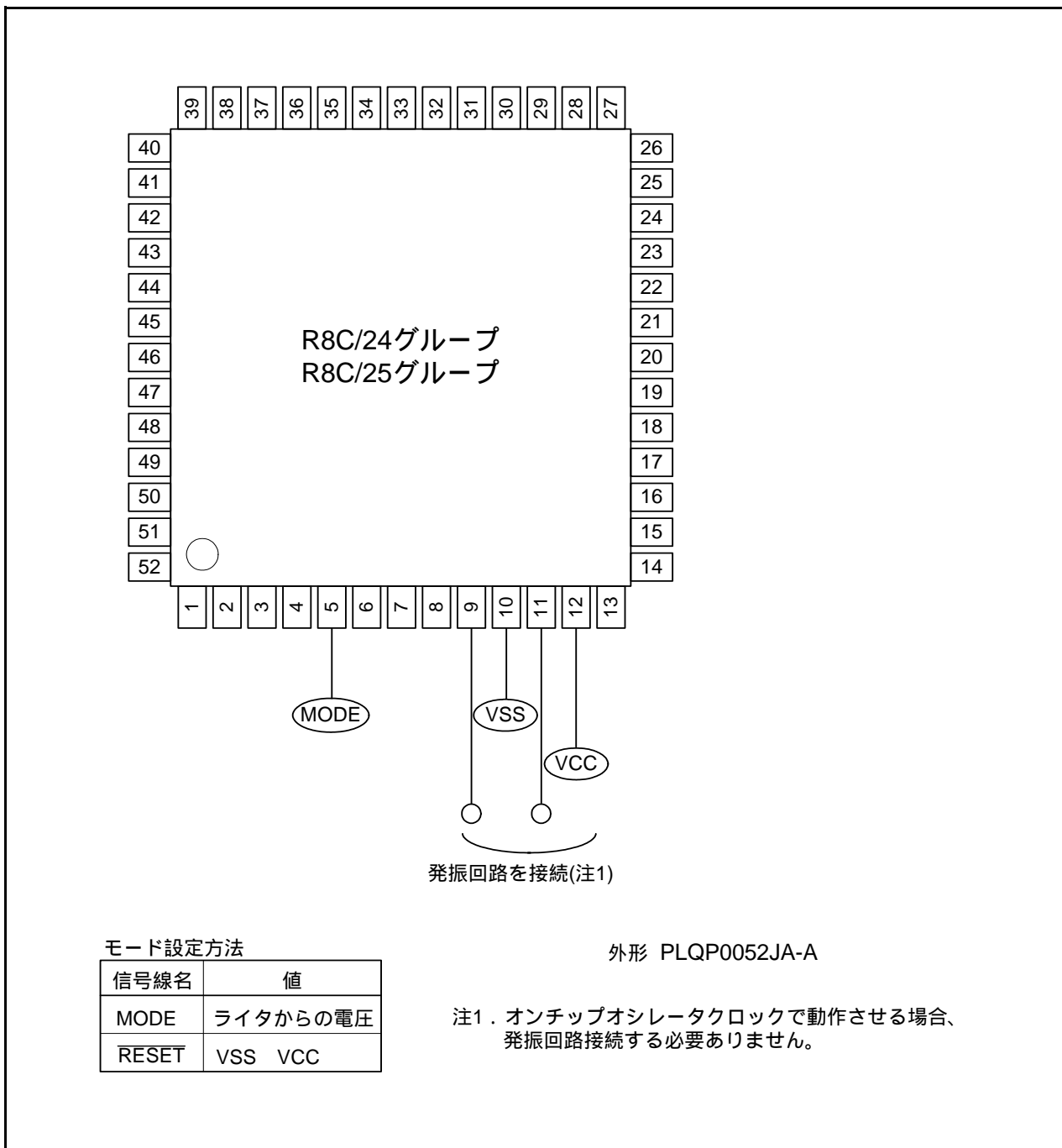


図 19.17 標準シリアル入出力モード3時の端子結線図

19.5.1.1 標準シリアル入出力モード時の端子処理例

図19.18に標準シリアル入出力モード2を使用する場合の端子処理例、図19.19に標準シリアル入出力モード3を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

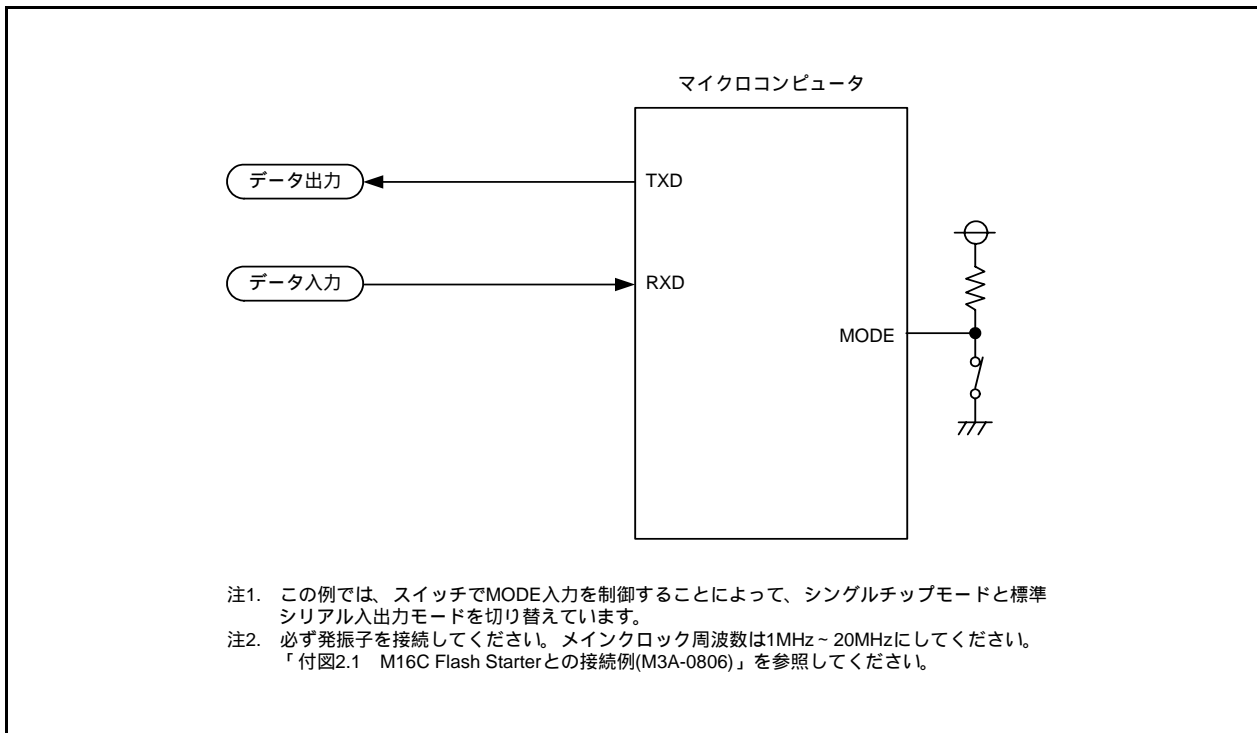


図19.18 標準シリアル入出力モード2を使用する場合の端子処理例

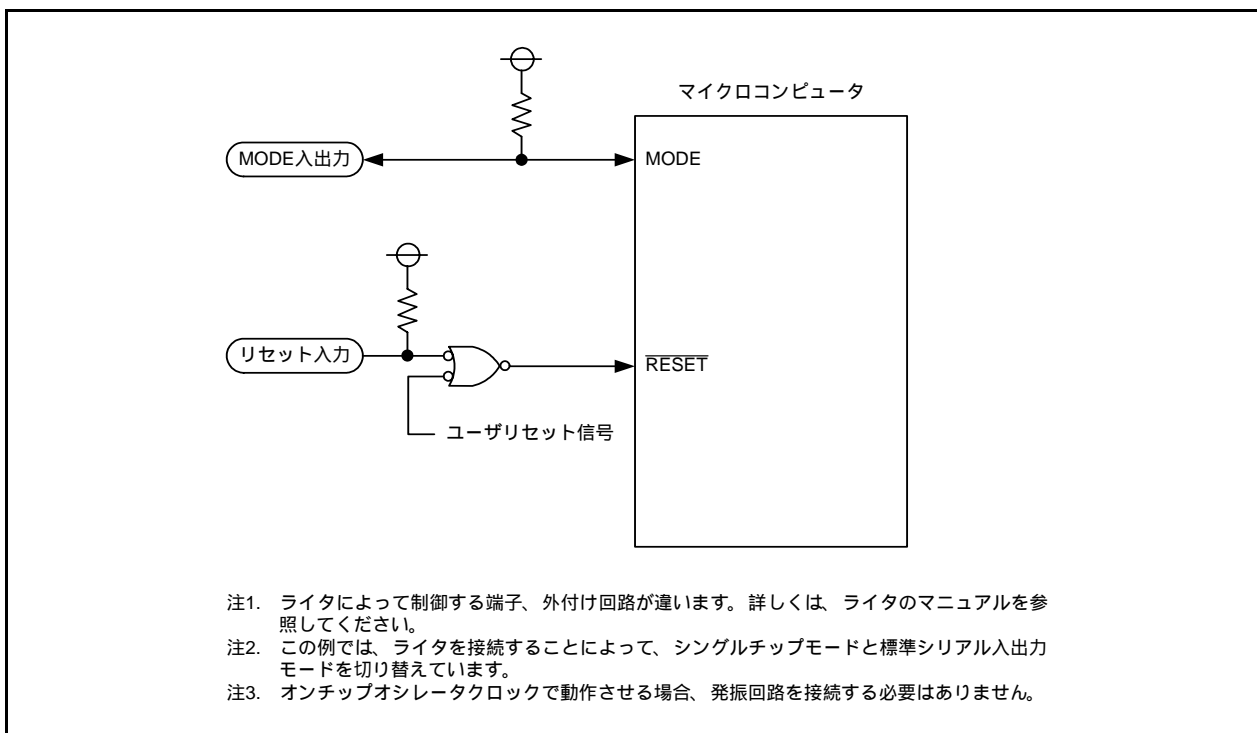


図19.19 標準シリアル入出力モード3を使用する場合の端子処理例

19.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図19.1および図19.2に示すユーザROM領域の書き換えができます。

19.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「19.3 フラッシュメモリ書き換え禁止機能」参照)。

19.7 フラッシュメモリ使用上の注意

19.7.1 CPU書き換えモード

19.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

19.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

19.7.1.3 割り込み

表19.9にEW0モード時の割り込み、表19.10にEW1モード時の割り込みを示します。

表19.9 EW0モード時の割り込み

モード	状態	マスカブル割り込み 要求受付時	ウォッチドッグタイマ、発振停止検出、 電圧監視1割り込み、電圧監視2割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置 することで使用でき ます。	割り込み要求を受け付けると、すぐに自動消去または自動書き 込みは強制停止し、フラッシュメモリをリセットします。一定 時間後にフラッシュメモリが再起動した後、割り込み処理を開 始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制 停止されるために、正常値が読み出せなくなる場合があります ので、フラッシュメモリが再起動した後、再度自動消去を実行 し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割 り込み要求が発生する可能性があります。定期的にウォッチ ドッグタイマを初期化してください。
	自動書き込み		

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用
しないでください。

表19.10 EW1モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視1割り込み、電圧監視2割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを“0”(プログラムリスタート)にすることにより、自動書き込みを再開することができます。	
	自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

19.7.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

19.7.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

19.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

19.7.1.7 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

19.7.1.8 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

20. 電気的特性

電気的特性はNバージョン($T_{opr} = -20 \sim 85$)とDバージョン($T_{opr} = -40 \sim 85$)について示します。Yバージョン($T_{opr} = -20 \sim 105$)の電気的特性についてはルネサステクノロジ営業窓口へお問い合わせください。

表20.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V_{cc}/AV_{cc}	電源電圧		- 0.3 ~ 6.5	V
V_i	入力電圧		- 0.3 ~ $V_{cc} + 0.3$	V
V_o	出力電圧		- 0.3 ~ $V_{cc} + 0.3$	V
P_d	消費電力	$T_{opr} = 25$	500(注1)	mW
T_{opr}	動作周囲温度		- 20 ~ 85(Nバージョン) / - 40 ~ 85(Dバージョン)	
T_{stg}	保存温度		- 65 ~ 150	

注1. PTLG0064JA-Aパッケージ品では、300mWです。

表20.2 推奨動作条件

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V _{CC} /AV _{CC}	電源電圧		2.2		5.5	V		
V _{SS} /AV _{SS}	電源電圧			0		V		
V _{IH}	“H”入力電圧		0.8V _{CC}		V _{CC}	V		
V _{IL}	“L”入力電圧		0		0.2V _{CC}	V		
I _{OH} (sum)	“H”尖頭総出力電流	全端子のI _{OH} (peak)の 総和			- 160	mA		
I _{OH} (sum)	“H”平均総出力電流	全端子のI _{OH} (avg)の 総和			- 80	mA		
I _{OH} (peak)	“H”尖頭出力電流	P2_0 ~ P2_7以外			- 10	mA		
		P2_0 ~ P2_7			- 40	mA		
I _{OH} (avg)	“H”平均出力電流	P2_0 ~ P2_7以外			- 5	mA		
		P2_0 ~ P2_7			- 20	mA		
I _{OL} (sum)	“L”尖頭総出力電流	全端子のI _{OL} (peak)の 総和			160	mA		
I _{OL} (sum)	“L”平均総出力電流	全端子のI _{OL} (avg)の 総和			80	mA		
I _{OL} (peak)	“L”尖頭出力電流	P2_0 ~ P2_7以外			10	mA		
		P2_0 ~ P2_7			40	mA		
I _{OL} (avg)	“L”平均出力電流	P2_0 ~ P2_7以外			5	mA		
		P2_0 ~ P2_7			20	mA		
f(XIN)	XINクロック入力発振周波数	3.0V V _{CC} 5.5V	0		20	MHz		
		2.7V V _{CC} < 3.0V	0		10	MHz		
		2.2V V _{CC} < 2.7V	0		5	MHz		
f(XCIN)	XCINクロック入力発振周波数	2.2V V _{CC} 5.5V	0		70	kHz		
	システムクロック	OCD2 = “0” XINクロック選択時	3.0V V _{CC} 5.5V	0		20	MHz	
			2.7V V _{CC} < 3.0V	0		10	MHz	
			2.2V V _{CC} < 2.7V	0		5	MHz	
		OCD2 = “1” オンチップオシレータ クロック選択時	FRA01 = “0” 低速オンチップオシレータ 選択時			125		kHz
			FRA01 = “1” 高速オンチップオシレータ 選択時 3.0V V _{CC} 5.5V			20		MHz
			FRA01 = “1” 高速オンチップオシレータ 選択時 2.7V V _{CC} 5.5V			10		MHz
			FRA01 = “1” 高速オンチップオシレータ 選択時 2.2V V _{CC} 5.5V			5		MHz

注1. 指定のない場合は、V_{CC} = 2.2V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100msの期間内での平均値です。

表20.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
	分解能	Vref = AVcc			10	Bit	
	絶対精度	10ビットモード	AD = 10MHz、Vref = AVcc = 5.0V			± 3	LSB
		8ビットモード	AD = 10MHz、Vref = AVcc = 5.0V			± 2	LSB
		10ビットモード	AD = 10MHz、Vref = AVcc = 3.3V			± 5	LSB
		8ビットモード	AD = 10MHz、Vref = AVcc = 3.3V			± 2	LSB
		10ビットモード	AD = 5MHz、Vref = AVcc = 2.2V			± 5	LSB
		8ビットモード	AD = 5MHz、Vref = AVcc = 2.2V			± 2	LSB
Rladder	ラダ - 抵抗	Vref = AVcc	10		40	k	
tconv	変換時間	10ビットモード	AD = 10MHz、Vref = AVcc = 5.0V	3.3			μs
		8ビットモード	AD = 10MHz、Vref = AVcc = 5.0V	2.8			μs
Vref	基準電圧		2.2		AVcc	V	
VIA	アナログ入力電圧(注2)		0		AVcc	V	
	A/D動作クロック 周波数	サンプル&ホールドなし	Vref = AVcc = 2.7 ~ 5.5V	0.25		10	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.7 ~ 5.5V	1		10	MHz
		サンプル&ホールドなし	Vref = AVcc = 2.2 ~ 5.5V	0.25		5	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.2 ~ 5.5V	1		5	MHz

注1. 指定のない場合は、AVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

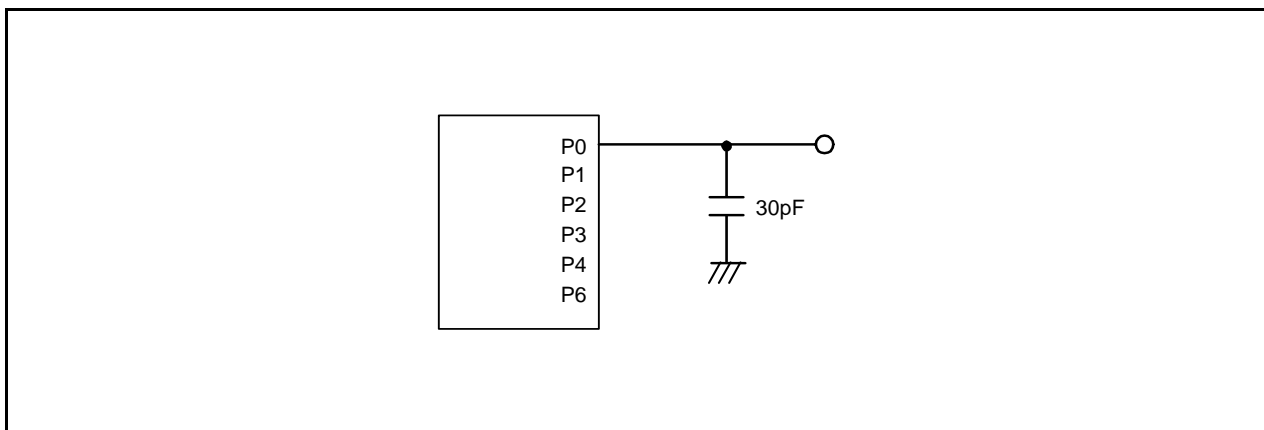


図20.1 ポートP0 ~ P4、P6のタイミング測定回路

表20.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/24グループ	100(注3)			回
		R8C/25グループ	1,000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック ×6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック ×4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表20.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラムROMと同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

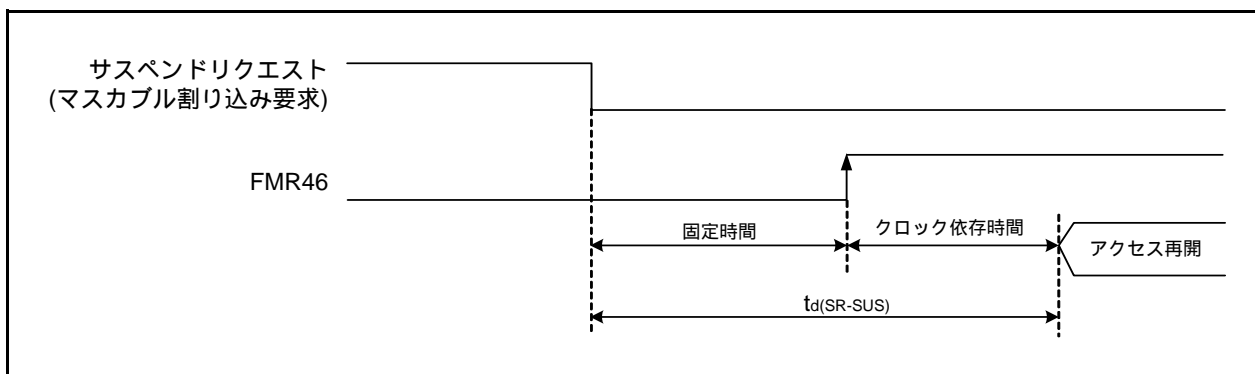


図 20.2 サスペンドへの遷移時間

表 20.6 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベル		2.2	2.3	2.4	V
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		0.9		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				300	μs
Vccmin	マイコンの動作電圧の最小値		2.2			V

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 20.7 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベル		2.7	2.85	3.00	V
	電圧監視1割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 20.8 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベル		3.3	3.6	3.9	V
	電圧監視2割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表20.9 パワーオンリセット回路、電圧監視0リセットの電气的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧 (注4)				0.1	V
V _{por2}	パワーオンリセットまたは電圧監視0リセットが有効になる電圧		0		V _{det0}	V
t _{trh}	外部電源V _{cc} の立ち上がり傾き(注2)		20			mV/msec

注1. 指定のない場合測定条件は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. V_{cc} 1.0 Vで使用する場合、この条件(外部電源V_{cc}立ち上がり傾き)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVDOONビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

注4. t_{w(por1)}は外部電源V_{cc}を有効電圧(V_{por1})以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げる時は - 20 Topr 85 ではt_{w(por1)}を30s以上、- 40 Topr < - 20 ではt_{w(por1)}を3000s以上保持してください。

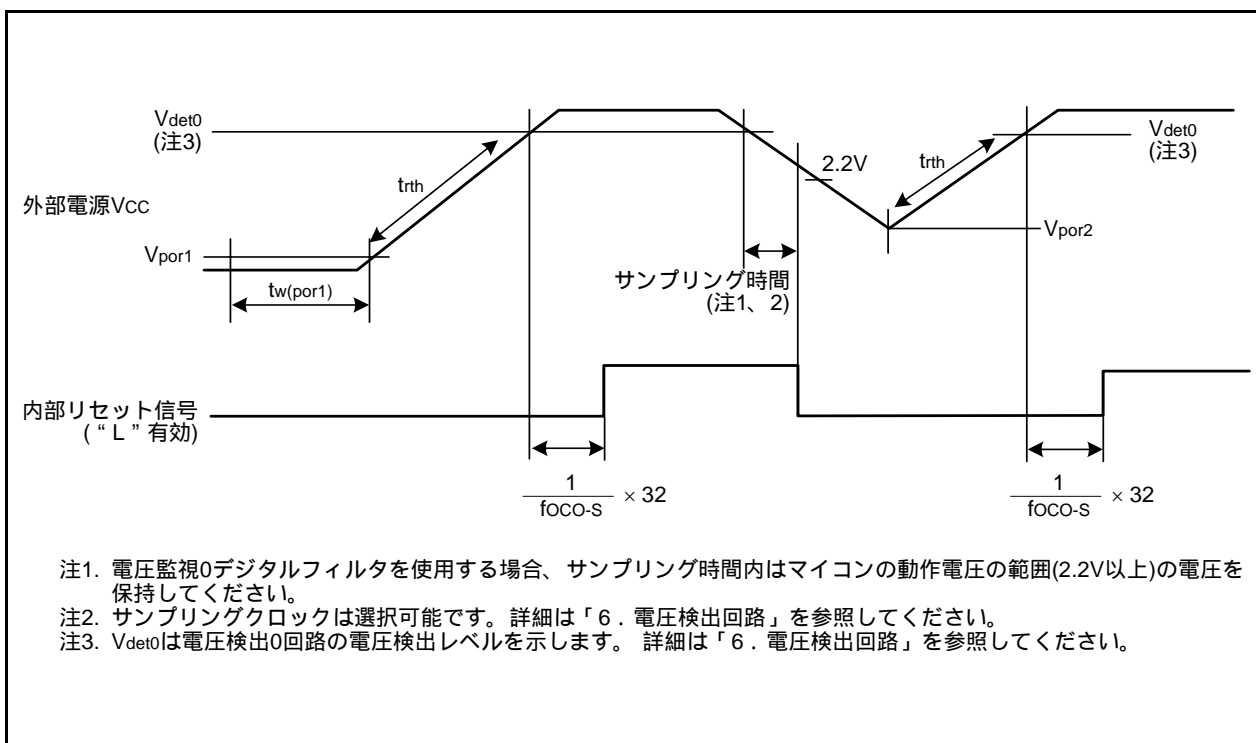


図20.3 パワーオンリセット回路の電气的特性

表20.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO40M	高速オンチップオシレータ発振周波数の温度・電圧依存性	Vcc = 4.75V ~ 5.25V 0 Topr 60 (注2)	39.2	40	40.8	MHz
		Vcc = 4.5V ~ 5.5V - 20 Topr 85	38.8	40	40.8	MHz
		Vcc = 4.5V ~ 5.5V - 40 Topr 85	38.4	40	40.8	MHz
		Vcc = 3.0V ~ 5.5V - 20 Topr 85 (注2)	38.8	40	41.2	MHz
		Vcc = 3.0V ~ 5.5V - 40 Topr 85 (注2)	38.4	40	41.6	MHz
		Vcc = 2.7V ~ 5.5V - 20 Topr 85 (注2)	38	40	42	MHz
		Vcc = 2.7V ~ 5.5V - 40 Topr 85 (注2)	37.6	40	42.4	MHz
		Vcc = 2.2V ~ 5.5V - 20 Topr 85 (注3)	35.2	40	44.8	MHz
		Vcc = 2.2V ~ 5.5V - 40 Topr 85 (注3)	34	40	46	MHz
		FRA7レジスタの補正値をFRA1レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注4)	Vcc = 5.0V、Topr = 25		36.864	
	Vcc = 3.0V ~ 5.5V - 20 Topr 85	- 3%		3%	%	
	リセット解除時のFRA1レジスタの値		08h	F7h		
	高速オンチップオシレータ発振周波数調整単位	FRA1レジスタ(リセット解除時の値)を-1ビットに調整		+ 0.3		MHz
	発振安定時間		10	100	μs	
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		400	μA	

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. FRA1レジスタがリセット解除時の値のときの規格値です。

注3. FRA6レジスタの補正値をFRA1レジスタに書き込んだときの規格値です。

注4. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表20.11 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		30	125	250	kHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		15		μA

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

表20.12 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表20.13 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tcyc+50			ns
tLAG	SCSホールド時間	スレーブ		1tcyc+50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tcyc (注2)
tSA	SSIスレーブアクセス時間		2.7V Vcc 5.5V			1.5tcyc+100	ns
			2.2V Vcc < 2.7V			1.5tcyc+200	ns
tOR	SSIスレーブアウト開放時間		2.7V Vcc 5.5V			1.5tcyc+100	ns
			2.2V Vcc < 2.7V			1.5tcyc+200	ns

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc=1/f1(s)

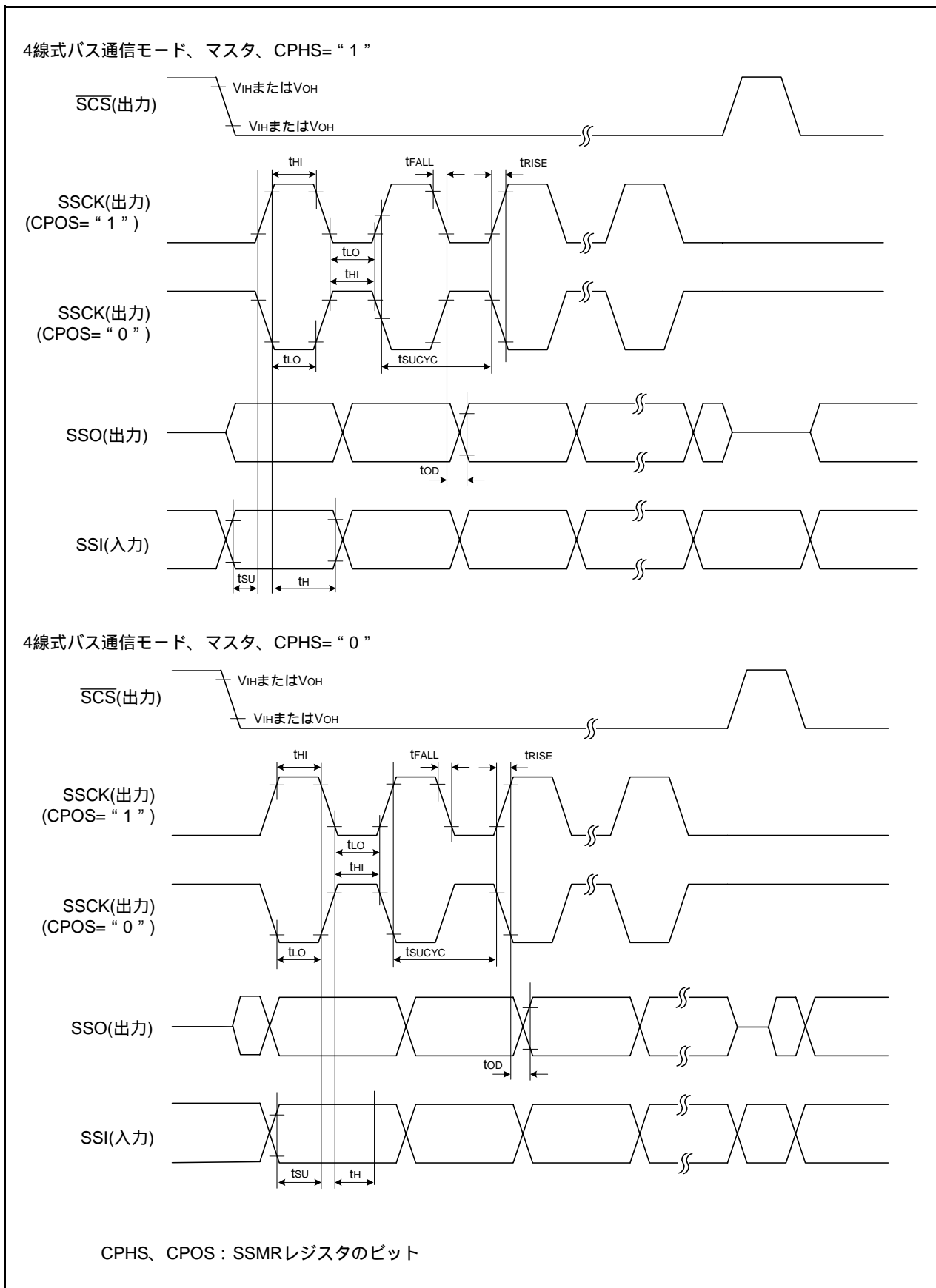


図20.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

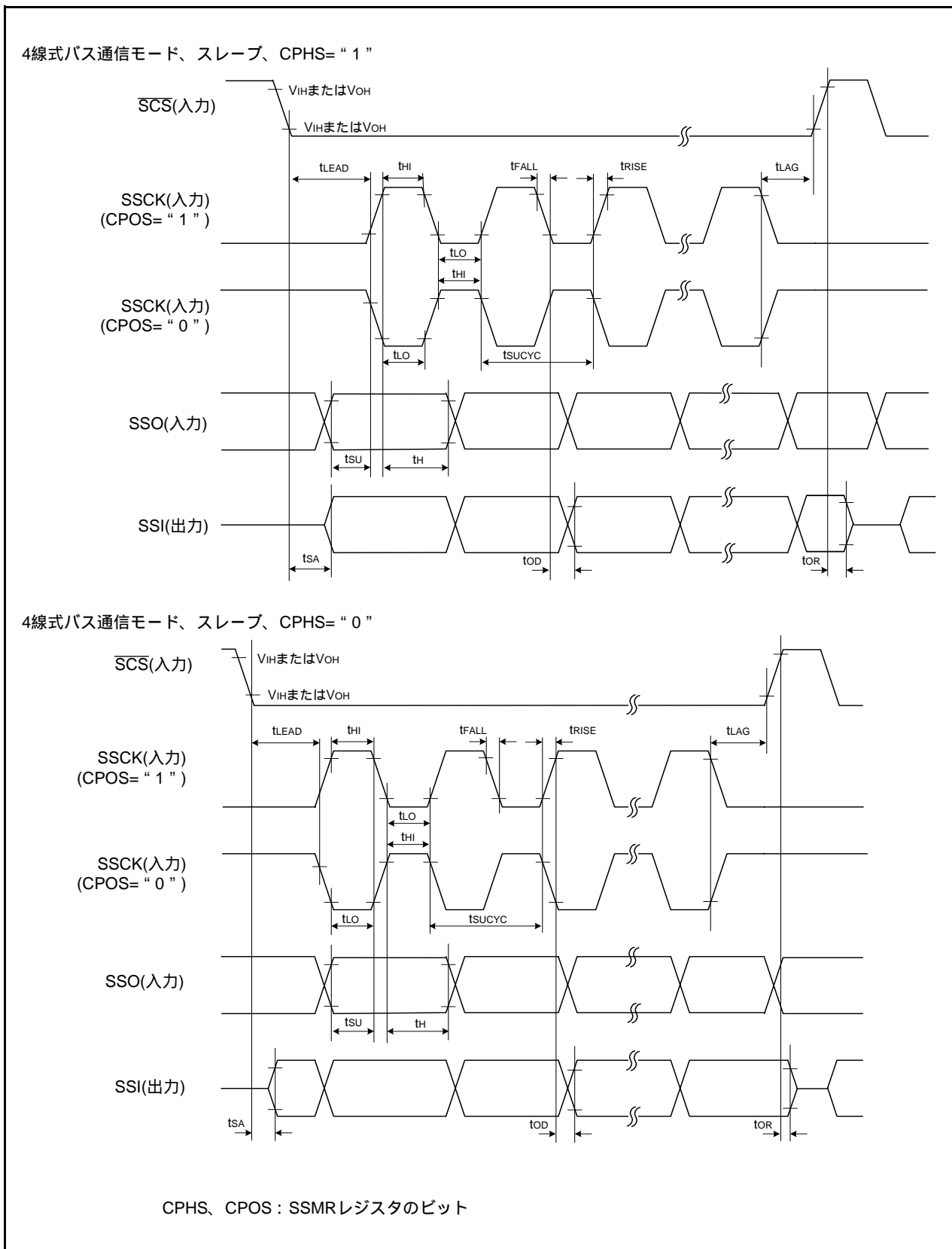


図20.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

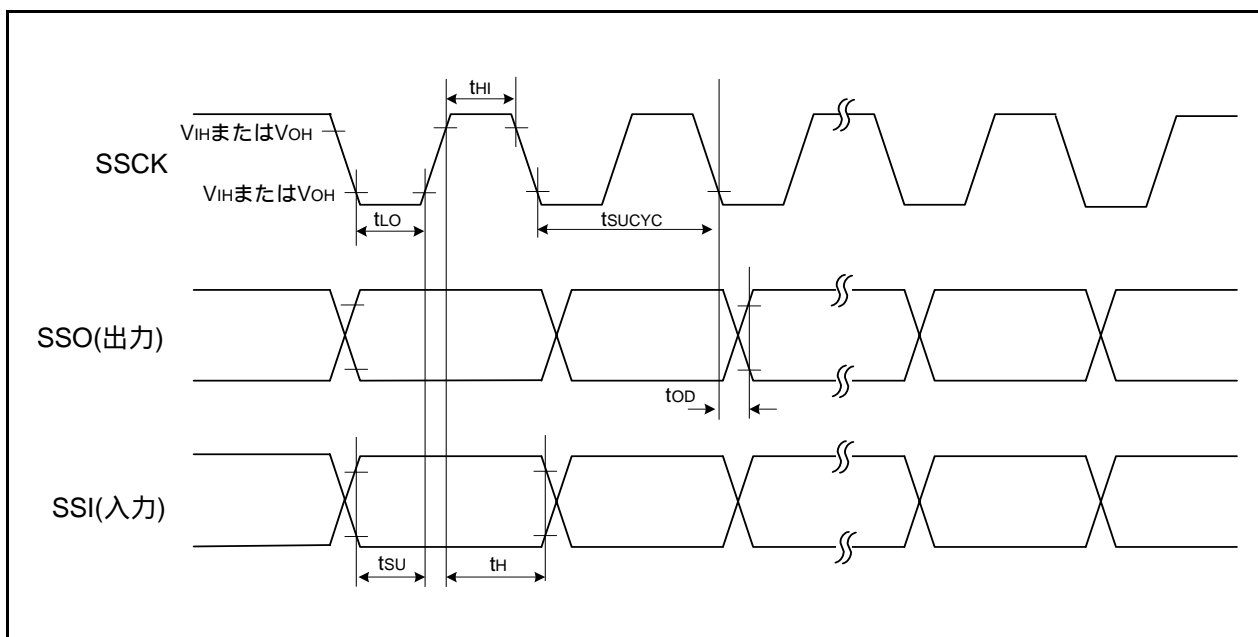


図20.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表20.14 I²Cバスインタフェースのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{SCL}	SCL入力サイクル時間		12tcyc+600(注2)			ns
t _{SCLH}	SCL入力“H”パルス幅		3tcyc+300(注2)			ns
t _{SCLL}	SCL入力“L”パルス幅		5tcyc+500(注2)			ns
t _{sf}	SCL、SDA入力立ち下がり時間				300	ns
t _{SP}	SCL、SDA入カスパイクパルス除去時間				1tcyc(注2)	ns
t _{BUF}	SDA入力バスフリー時間		5tcyc(注2)			ns
t _{STAH}	開始条件入力ホールド時間		3tcyc(注2)			ns
t _{STAS}	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
t _{STOP}	停止条件入力セットアップ時間		3tcyc(注2)			ns
t _{SDAS}	データ入力セットアップ時間		1tcyc+20(注2)			ns
t _{SDAH}	データ入力ホールド時間		0			ns

注1. 指定のない場合は、V_{CC} = 2.2V ~ 5.5V、V_{SS} = 0V、T_{opr} = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f₁(s)

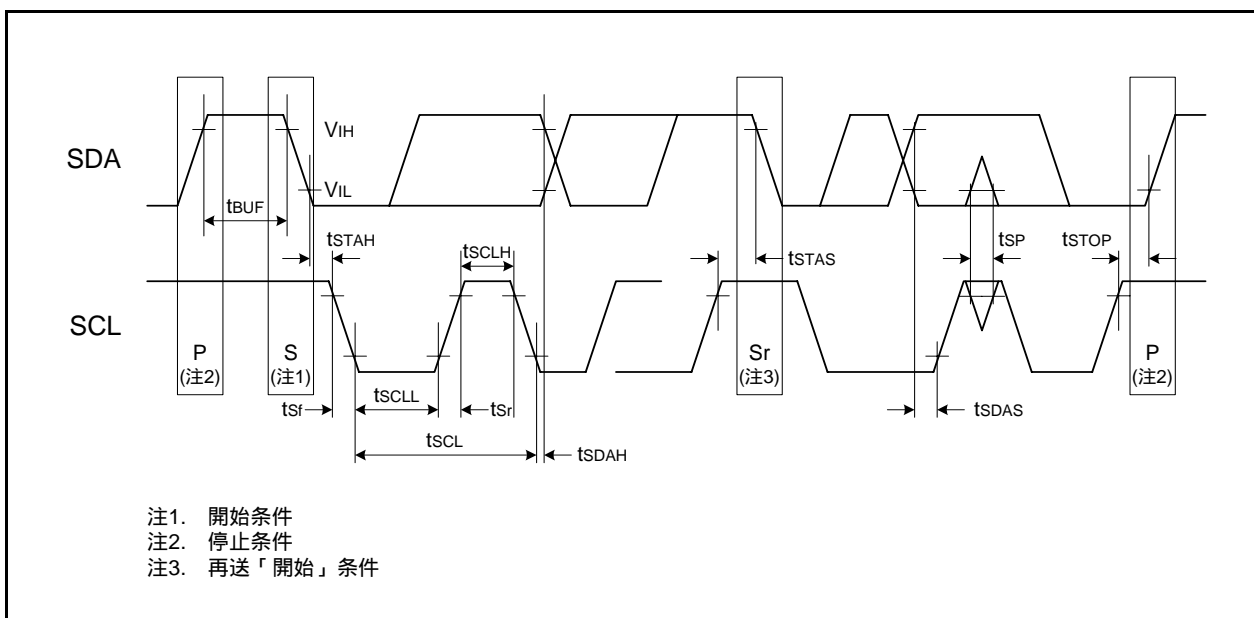
図20.7 I²Cバスインターフェースの入出力タイミング

表20.15 電気的特性(1) [Vcc = 5V]

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT 以外	IoH = - 5mA	Vcc - 2.0		Vcc	V
			IoH = - 200 μA	Vcc - 0.5		Vcc	V
	P2_0 ~ P2_7	駆動能力HIGH	IoH = - 20mA	Vcc - 2.0		Vcc	V
		駆動能力LOW	IoH = - 5mA	Vcc - 2.0		Vcc	V
	XOUT	駆動能力HIGH	IoH = - 1mA	Vcc - 2.0		Vcc	V
		駆動能力LOW	IoH = - 500 μA	Vcc - 2.0		Vcc	V
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT 以外	IoL = 5mA			2.0	V
			IoL = 200 μA			0.45	V
	P2_0 ~ P2_7	駆動能力HIGH	IoL = 20mA			2.0	V
		駆動能力LOW	IoL = 5mA			2.0	V
	XOUT	駆動能力HIGH	IoL = 1mA			2.0	V
		駆動能力LOW	IoL = 500 μA			2.0	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、KI0、KI1、KI2、 KI3、TRAIO、RXD0、 RXD1、CLK0、CLK1、 SSI、SCL、SDA、 SSO		0.1	0.5		V
		RESET		0.1	1.0		V
IiH	“H”入力電流		Vi = 5V、Vcc = 5V			5.0	μA
IiL	“L”入力電流		Vi = 0V、Vcc = 5V			- 5.0	μA
RPULLUP	プルアップ抵抗		Vi = 0V、Vcc = 5V	30	50	167	k
RixIN	帰還抵抗	XIN			1.0		M
RixCIN	帰還抵抗	XCIN			18		M
V _{RAM}	RAM保持電圧		ストップモード時	1.8			V

注1. 指定のない場合は、Vcc = 4.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 20MHzです。

表20.16 電気的特性(2) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		10	17	mA	
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		9	15		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6			
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		5			mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		4			
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.5			mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		10	15	mA	
			XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		4			
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5.5	10		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2.5			
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μA	
			低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = " 1 "		130		300
		XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "			30		μA	

表20.17 電気的特性(3) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	75	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		23	60	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		4.0		μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		2.2		μ A
		A/Dコンバータ 動作時の増量	サンプルホールドなし		2.6		mA
			サンプルホールドあり		1.6		mA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.8	3.0	μ A
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.2		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 5V$]

表20.18 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	50		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	25		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	25		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

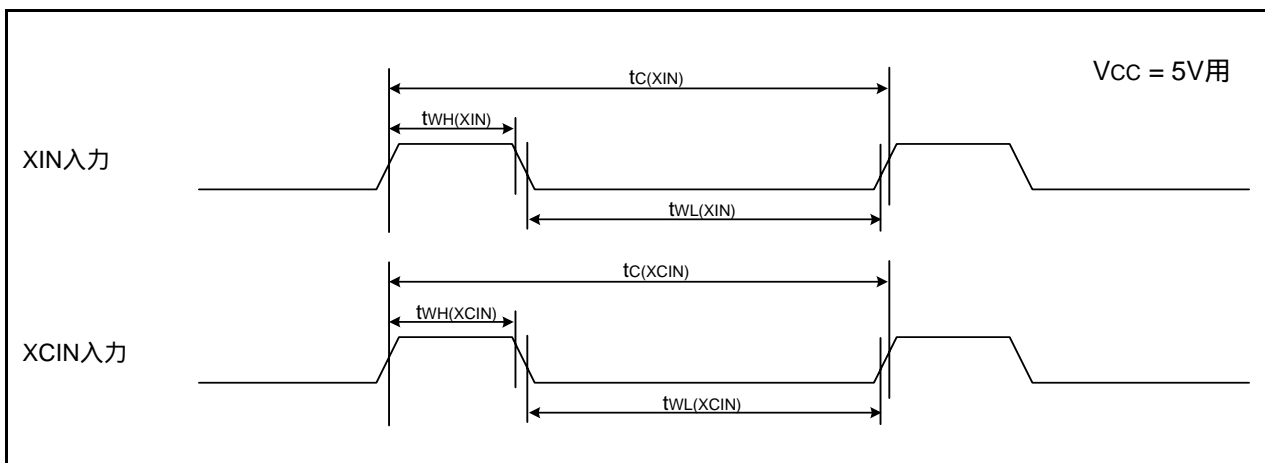


図20.8 $V_{CC} = 5V$ 時のXIN入力、XCIN入力タイミング

表20.19 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAI0)$	TRAI0入力サイクル時間	100		ns
$t_{WH}(TRAI0)$	TRAI0入力“H”パルス幅	40		ns
$t_{WL}(TRAI0)$	TRAI0入力“L”パルス幅	40		ns

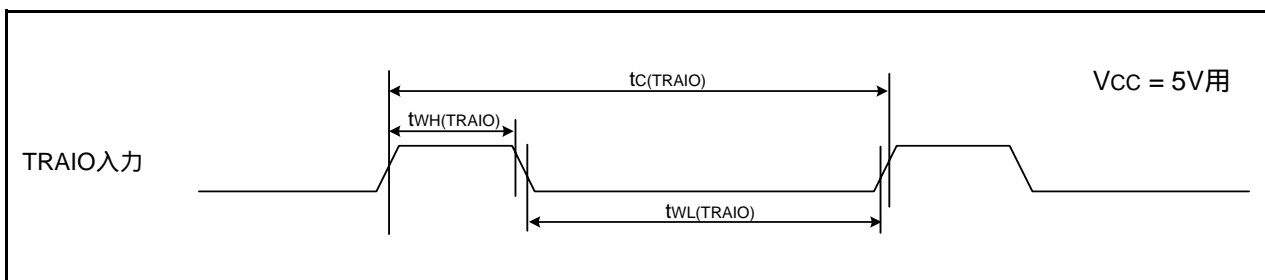


図20.9 $V_{CC} = 5V$ 時のTRAI0入力タイミング

表20.20 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

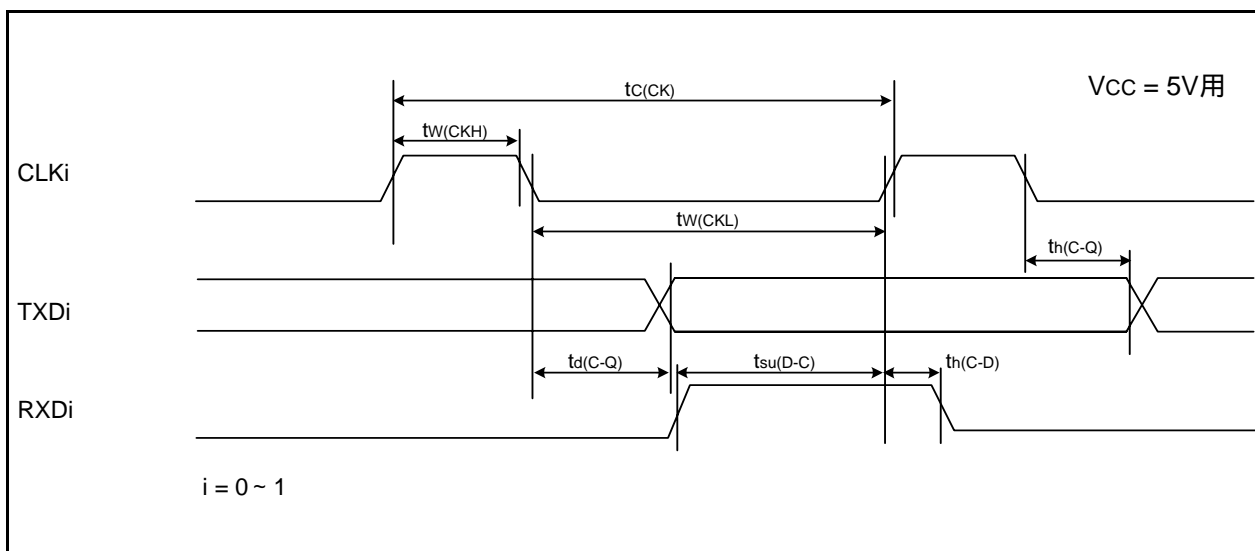


図20.10 Vcc = 5V時のシリアルインタフェースのタイミング

表20.21 外部割り込みINTi入力 (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

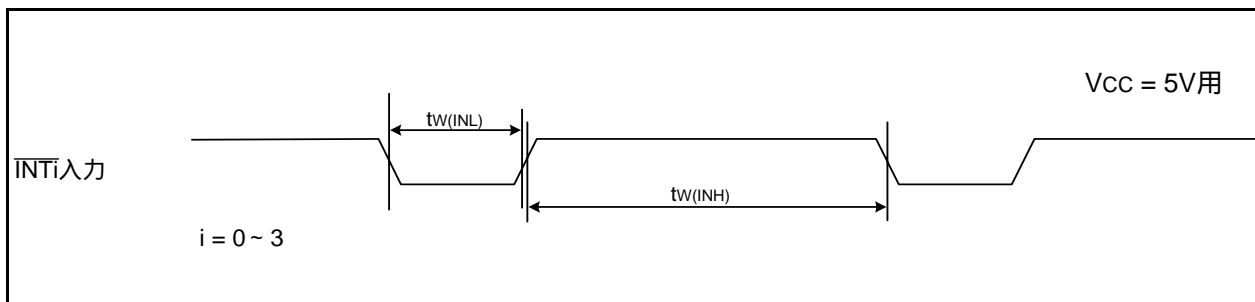


図20.11 Vcc = 5V時の外部割り込みINTi入力タイミング

表20.22 電気的特性(3) [Vcc = 3V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT 以外	I _{OH} = - 1mA		V _{CC} - 0.5		V _{CC}	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OH} = - 5mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力LOW	I _{OH} = - 1mA	V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1mA	V _{CC} - 0.5		V _{CC}	V
駆動能力LOW	I _{OH} = - 50 μA		V _{CC} - 0.5		V _{CC}	V		
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT 以外	I _{OL} = 1mA				0.5	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OL} = 5mA			0.5	V
			駆動能力LOW	I _{OL} = 1mA			0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1mA			0.5	V
駆動能力LOW	I _{OL} = 50 μA				0.5	V		
VT+ - VT-	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRAI0</u> 、 <u>RXD0</u> 、 <u>RXD1</u> 、 <u>CLK0</u> 、 <u>CLK1</u> 、 <u>SSI</u> 、 <u>SCL</u> 、 <u>SDA</u> 、 <u>SSO</u>			0.1	0.3		V
		<u>RESET</u>			0.1	0.4		V
I _{IH}	“H”入力電流		V _I = 3V、V _{CC} = 3V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0V、V _{CC} = 3V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0V、V _{CC} = 3V		66	160	500	k
R _{I_{XIN}}	帰還抵抗	X _{I_N}				3.0		M
R _{I_{XCIN}}	帰還抵抗	X _{C_{I_N}}				18		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、V_{CC} = 2.7V ~ 3.3V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 10MHzです。

表20.23 電気的特性(4) [Vcc = 3V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5	9	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"		130	300	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = "1"		130	300	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = "1"		30		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		25	70	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		23	55	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		3.8		μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		2.0		μA
		A/Dコンバータ 動作時の増量	サンプルホールドなし		0.9		mA
			サンプルホールドあり		0.5		mA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		0.7	3.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		1.1		μA

タイミング必要条件 (指定のない場合は、 $V_{cc} = 3V$ 、 $V_{ss} = 0V$ 、 $T_{opr} = 25$) [$V_{cc} = 3V$]

表20.24 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	100		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	40		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	40		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

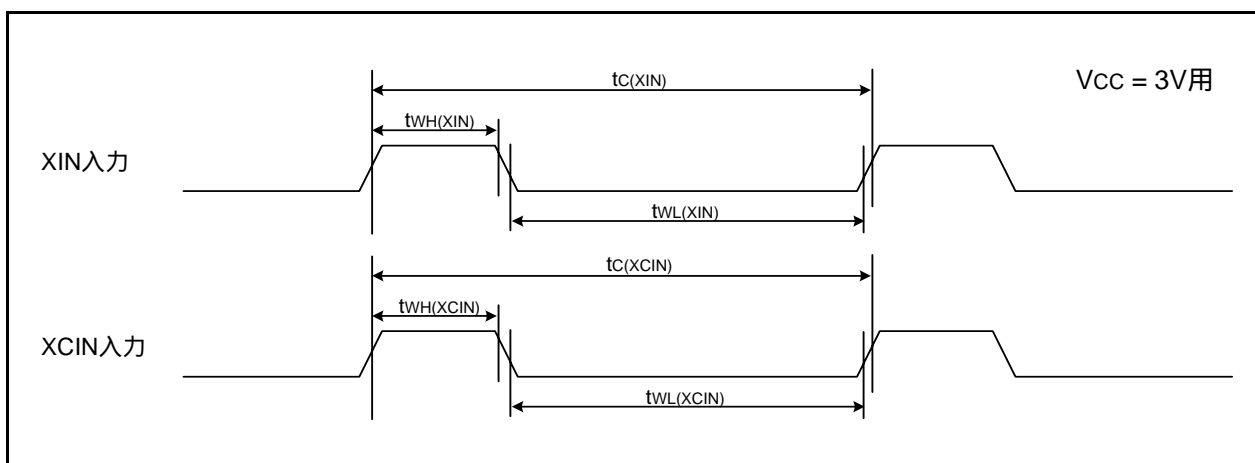


図20.12 $V_{cc} = 3V$ 時のXIN入力、XCIN入力タイミング

表20.25 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAI0)}$	TRAI0入力サイクル時間	300		ns
$t_{WH(TRAI0)}$	TRAI0入力“H”パルス幅	120		ns
$t_{WL(TRAI0)}$	TRAI0入力“L”パルス幅	120		ns

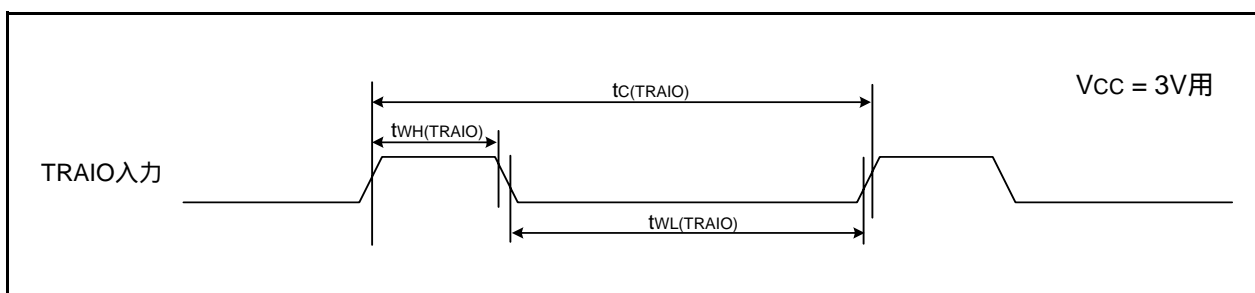


図20.13 $V_{cc} = 3V$ 時のTRAI0入力タイミング

表20.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	300		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	150		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	150		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		80	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	70		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

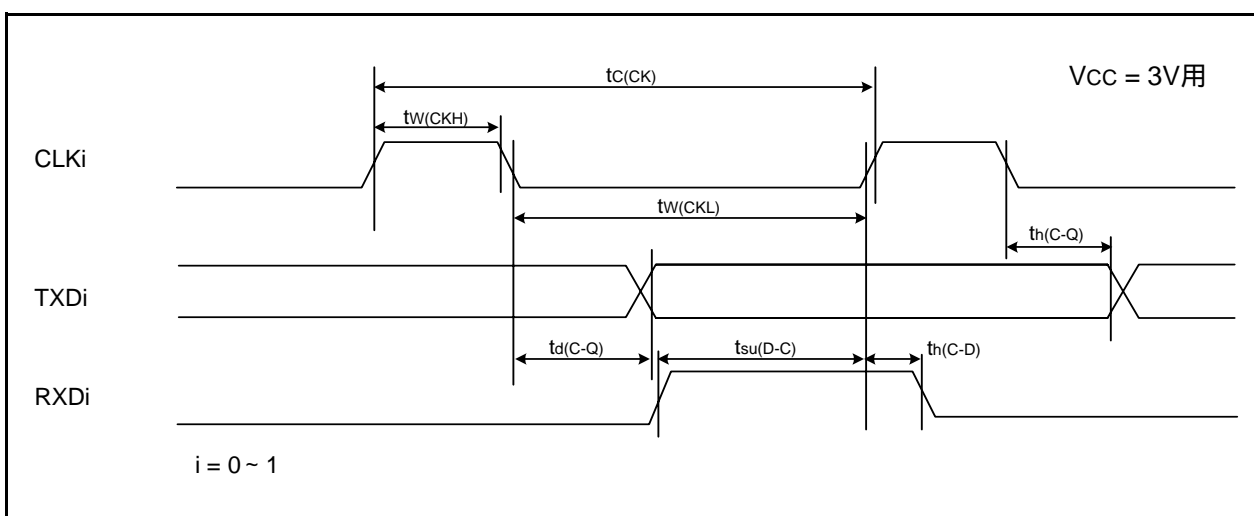


図20.14 Vcc = 3V時のシリアルインタフェースのタイミング

表20.27 外部割り込みINTi入力 (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅	380(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

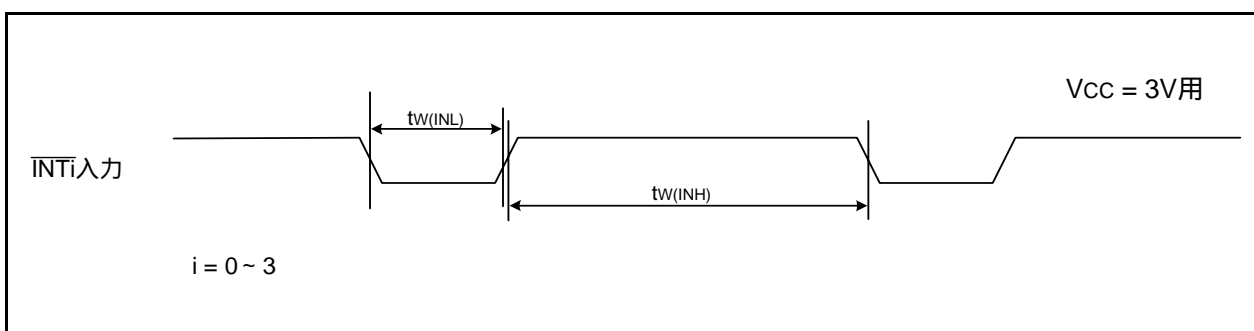


図20.15 Vcc = 3V時の外部割り込みINTi入力タイミング

表20.28 電気的特性(5) [Vcc = 2.2V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT以外	I _{OH} = - 1mA		V _{CC} - 0.5		V _{CC}	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OH} = - 2mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力LOW	I _{OH} = - 1mA	V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1mA	V _{CC} - 0.5		V _{CC}	V
駆動能力LOW	I _{OH} = - 50 μA		V _{CC} - 0.5		V _{CC}	V		
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT以外	I _{OL} = 1mA				0.5	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OL} = 2mA			0.5	V
			駆動能力LOW	I _{OL} = 1mA			0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1mA			0.5	V
駆動能力LOW	I _{OL} = 50 μA				0.5	V		
VT+ - VT-	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRAIO</u> 、 <u>RXD0</u> 、 <u>RXD1</u> 、 <u>CLK0</u> 、 <u>CLK1</u> 、 <u>SSI</u> 、 <u>SCL</u> 、 <u>SDA</u> 、 <u>SSO</u>			0.05	0.3		V
		<u>RESET</u>			0.05	0.15		V
I _{IH}	“H”入力電流		V _I = 2.2V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0V		100	200	600	k
R _{fXIN}	帰還抵抗	XIN				5		M
R _{fXCIN}	帰還抵抗	XCIN				35		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、V_{CC} = 2.2V、T_{opr} = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)、f(XIN) = 5MHzです。

表20.29 電気的特性(6) [Vcc = 2.2V]

(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.2V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		100	230	μ A
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = " 1 "		100	230	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "		25		μ A
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		22	60	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		20	55	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		3.0		μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		1.8		μ A
			A/Dコンバータ動作時の増量	サンプルホールドなし		0.4	
			サンプルホールドあり		0.3		mA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.7	3.0	μ A
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.1		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 2.2V$]

表20.30 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	200		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	90		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	90		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

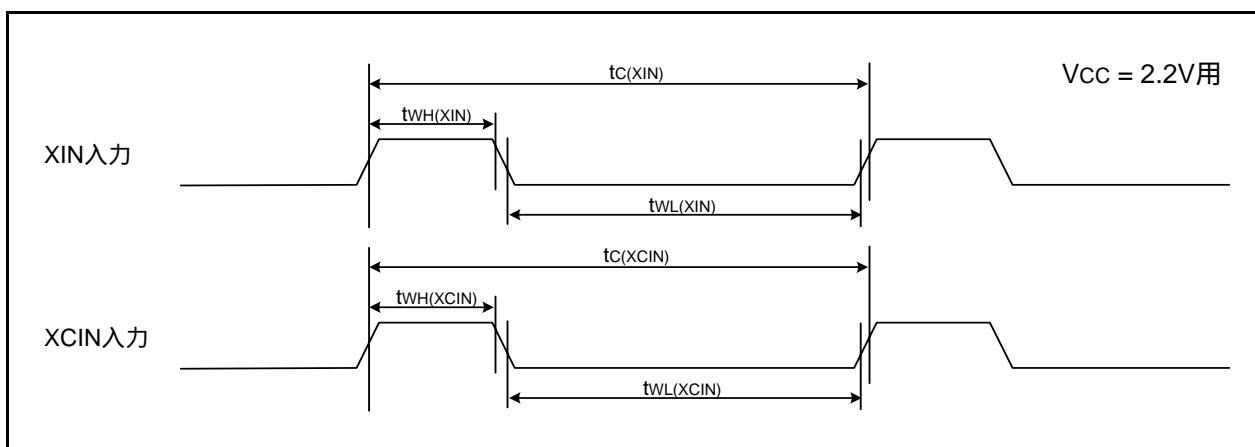


図20.16 $V_{CC} = 2.2V$ 時のXIN入力、XCIN入力タイミング

表20.31 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	500		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	200		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	200		ns

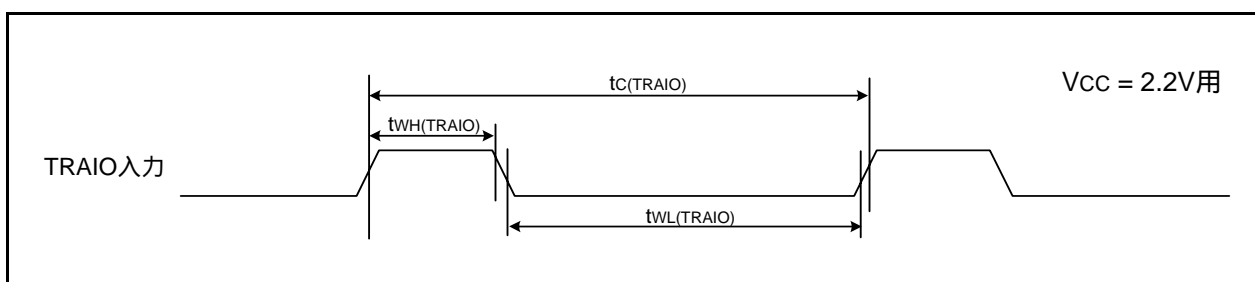


図20.17 $V_{CC} = 2.2V$ 時のTRAIO入力タイミング

表20.32 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	800		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	400		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	400		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		200	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	150		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

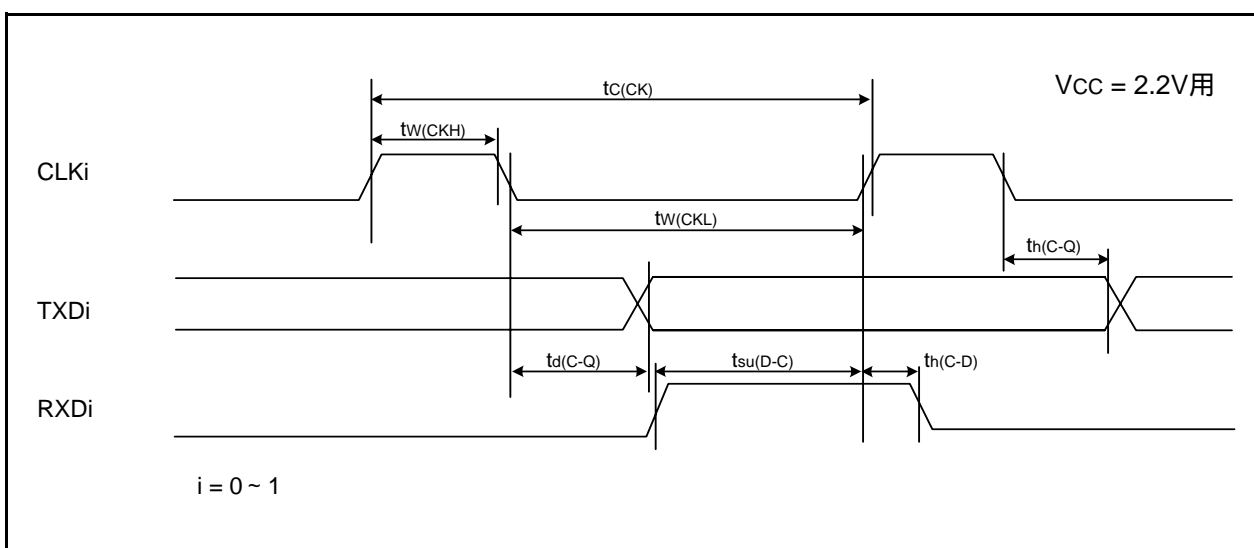


図20.18 Vcc = 2.2V時のシリアルインタフェースのタイミング

表20.33 外部割り込みINTi入力 (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INT}}_i$ 入力“H”パルス幅	1000(注1)		ns
$t_w(\text{INL})$	$\overline{\text{INT}}_i$ 入力“L”パルス幅	1000(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

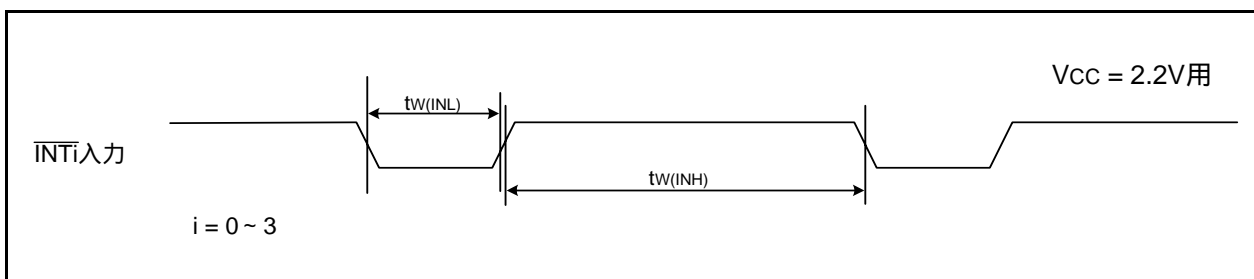


図20.19 Vcc = 2.2V時の外部割り込みINTi入力タイミング

21. 使用上の注意事項

21.1 クロック発生回路使用上の注意

21.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
FSET      I            ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

21.1.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I            ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

21.1.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

21.1.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

電源電圧VCC=2.7V未満でご使用になる場合は、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)かつCM15ビットを“1”(HIGH駆動)にし、外部に帰還抵抗を接続することを推奨します。

21.2 割り込み使用上の注意

21.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

21.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

21.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力($i=0 \sim 3$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表20.21 ($V_{cc}=5V$)、表20.27 ($V_{cc}=3V$)、表20.33 ($V_{cc}=2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力($i=0 \sim 3$)」を参照。

21.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図21.1に割り込み要因の変更手順例を示します。

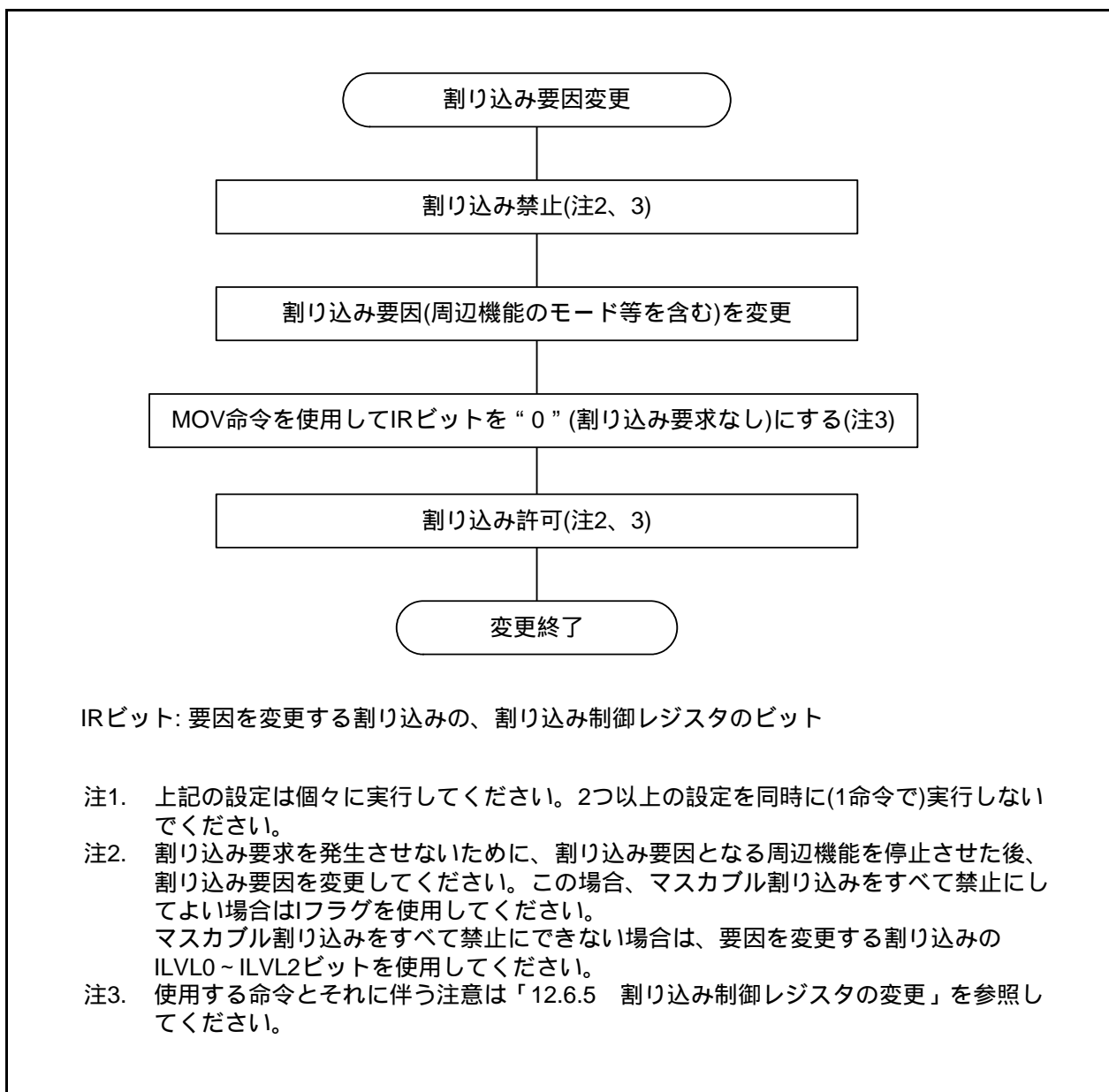


図21.1 割り込み要因の変更手順例

21.2.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

21.3 タイマ

21.3.1 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。

注1.タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

21.3.2 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1.タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いた後にTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いた後にTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

21.3.2.1 タイマモード

タイマモードでは下記の対策を実施してください。

カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

21.3.2.2 プログラマブル波形発生モード

プログラマブル波形発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) カウント中(TCSTFビットが“1”)にTRBSCレジスタ、TRBPRレジスタを変更する場合は、タイマRB割り込み等でTRBO出力周期に対して同期を取り、同一出力周期内で一度だけ行うようにしてください。また、図21.2および図21.3の区間Aで、TRBPRレジスタへの書き込みが発生しないことを確認してください。

対策方法の具体例を下記に示します。

•対策例(a)

図21.2に示すようにタイマRB割り込みルーチンでTRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。

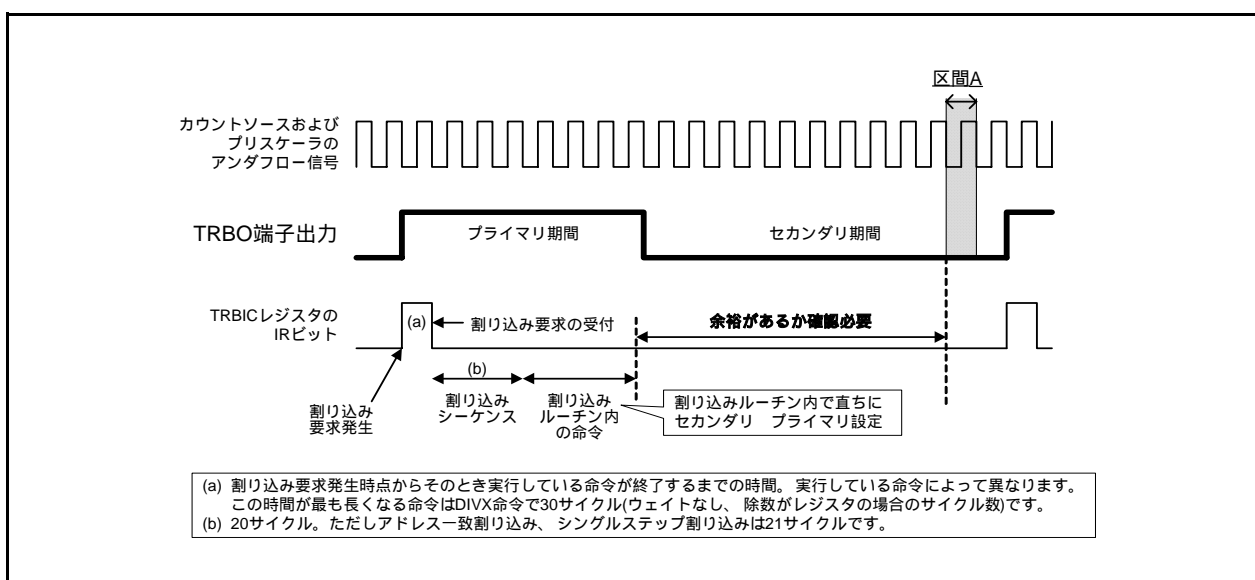


図21.2 対策例(a)のタイマRB割り込みを使用する例

- 対策例 (b)

図21.3に示すようにTRBO端子の出力レベルからプライマリ期間の開始を検出し、プライマリ期間の開始直後に、TRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。なお、TRBO端子に対応するポート方向レジスタのビットを“0”(入力モード)に設定し、ポートレジスタのビットの値を読むと、読んだ値はTRBO端子の出力値になります。

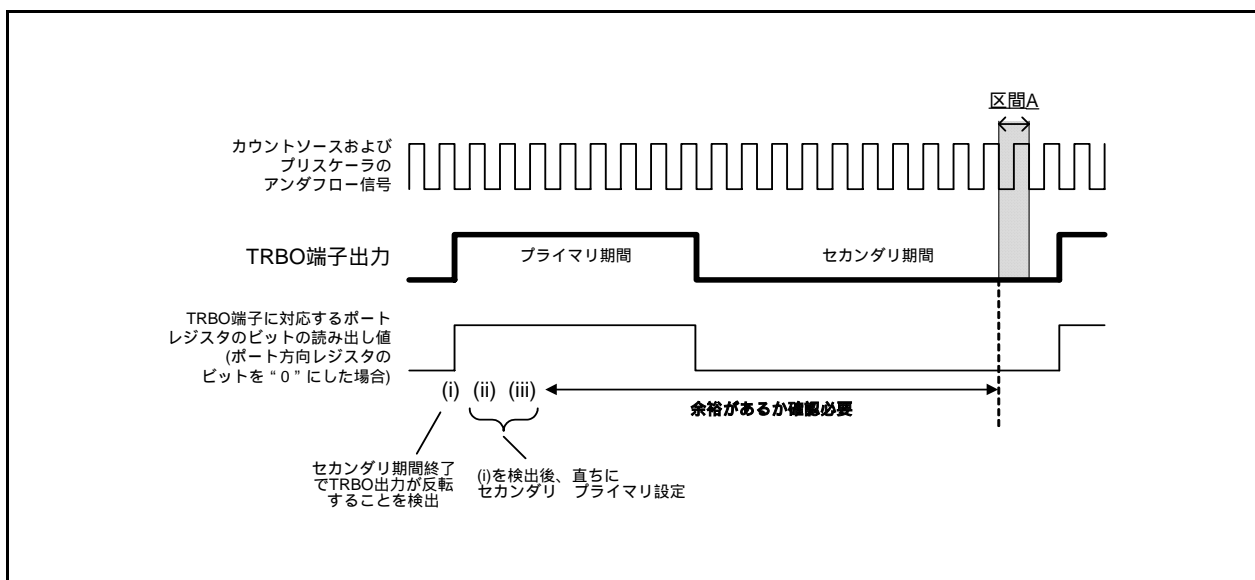


図21.3 対策例(b)のTRBO端子出力値を読む例

- (3) プライマリ期間でタイマカウントを停止させる場合は、TRBCRレジスタのTSTOPビットを使用してください。この場合、TRBPRESレジスタおよびTRBPRレジスタは初期化され、リセット後の値になります。

21.3.2.3 プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、下記2点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。

21.3.2.4 プログラマブルウェイトワンショット発生モード

プログラマブルウェイトワンショット発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。
- (3) TRBSCレジスタ、TRBPRレジスタは以下に示す手順で設定してください。
 - (a) カウント開始条件に「INT0端子ワンショットトリガ」を使用する場合
TRBSCレジスタ TRBPRレジスタの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、INT0端子へ有効トリガを入力してください。
 - (b) カウント開始条件に「TOSSTビットへの“1”書き込み」を使用する場合
TRBSCレジスタ TRBPRレジスタ TOSSTビットの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、TOSSTビットへ書き込んでください。

21.3.3 タイマRD使用上の注意事項

21.3.3.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi(i=0 ~ 1) ビットが“0”(TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止)の場合、TSTARTi ビットに“0”(カウント停止)を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
したがって、CSELi ビットが“0”のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0”を書いてください。
また、プログラムでカウントを停止させる場合は、CSELi ビットを“1”にした後で、TSTARTi ビットに“0”を書いてください。同時に(1命令で)CSELi ビットに“1”、TSTARTi ビットに“0”を書いてもカウントは停止できません。
- TRDIOj(j=A, B, C, D) 端子をタイマ RD 出力で使用している場合の、カウント停止時の出力レベルを表21.1に示します。

表21.1 カウント停止時のTRDIOj(j=A, B, C, D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELi ビットが“1”のときに、TSTARTi ビットに“0”を書きカウント停止	直前の出力レベルを保持
CSELi ビットが“0”のときに、TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持

21.3.3.2 TRDi レジスタ (i=0 ~ 1)

- TRDSTR レジスタの TSTARTi ビットが“1”(カウント開始)の状態、プログラムで TRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h”になるタイミングと重ならないように書いてください。
TRDi レジスタが“0000h”になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h”になります。
この注意事項は、TRDCRi レジスタの CCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
 - “001b”(TRDGRAi レジスタとのコンペアー一致で TRDi でクリア)
 - “010b”(TRDGRBi レジスタとのコンペアー一致で TRDi でクリア)
 - “011b”(同期クリア)
 - “101b”(TRDGRCi レジスタとのコンペアー一致で TRDi でクリア)
 - “110b”(TRDGRDi レジスタとのコンペアー一致で TRDi でクリア)
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。
プログラム例


```

MOV.W #XXXXh, TRD0      ; 書き込み
JMP.B L1                ; JMP.B 命令
L1:  MOV.W TRD0,DATA    ; 読み出し
      
```


21.3.3.3 TRDSR_iレジスタ (i=0~1)

TRDSR_iレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B  L1          ; JMP.B命令
L1:                MOV.B  TRDSR0,DATA  ; 読み出し

```

21.3.3.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0~1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2~TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0~1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2~TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

21.3.3.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表14.11 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_{ji}(i=0~1、j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2~3サイクル後にTRD_iレジスタの値をTRDGR_{ji}レジスタに転送します(デジタルフィルタなしの場合)。

21.3.3.6 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

変更手順

- (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
- (2) TRDFCRレジスタのCMD1~CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
- (3) CMD1~CMD0を“01b”(リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

21.3.3.7 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
 - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
- (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$ m $m+1$ m $m-1$ とカウントします。
 m $m+1$ のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1$ m $m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

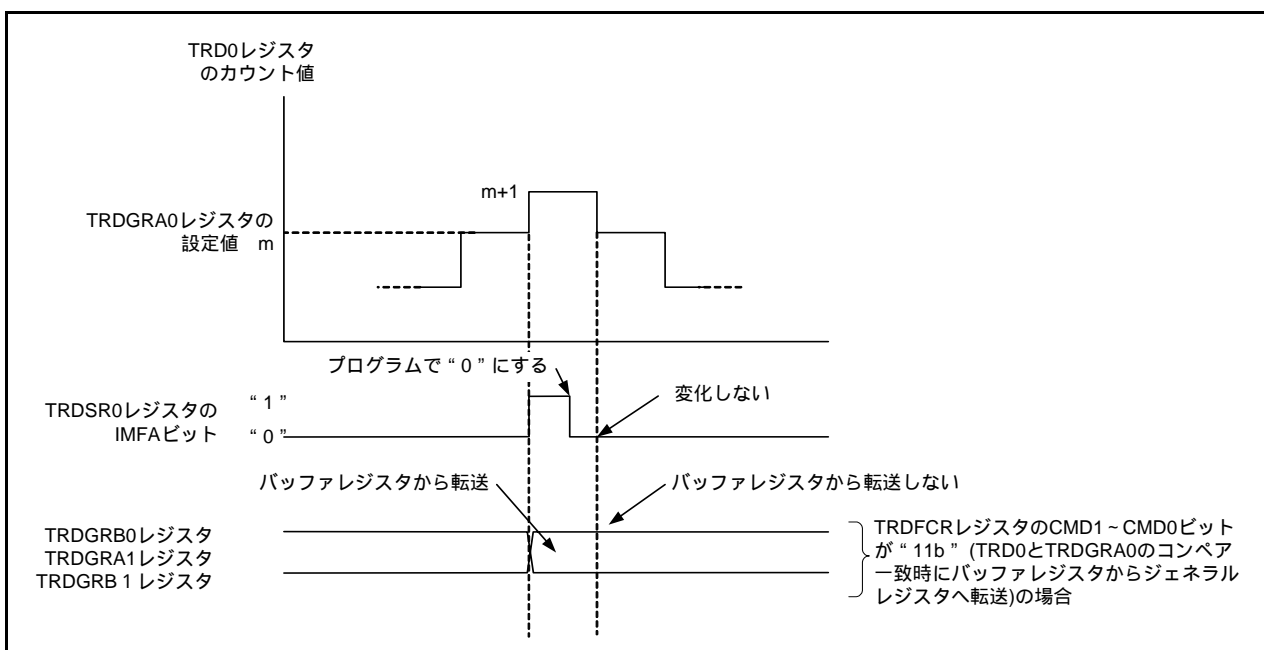


図21.4 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”（相補PWMモード、TRD1のアンダフローでバッファデータ転送）の場合、バッファレジスタ (TRDGRD0、TRDGRC1、TRDGRD1) の内容がジェネラルレジスタ (TRDGRB0、TRDGRA1、TRDGRB1) に転送されます。
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

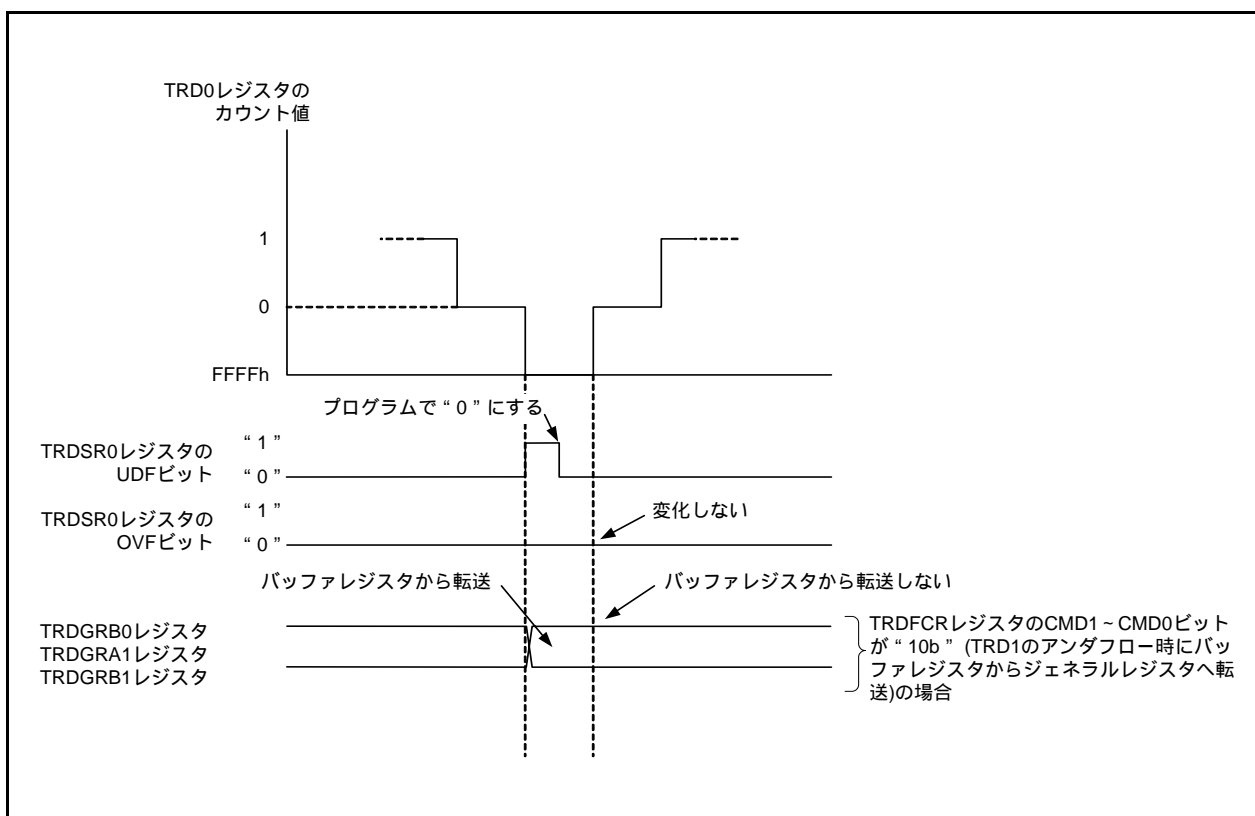


図21.5 相補PWMモード TRD1がアンダフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタのCMD1 ~ CMD0ビットで選択してください。ただし、次の場合はCMD1 ~ CMD0ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0レジスタの値の場合

TRD1レジスタのアンダフローで転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1 ~ CMD0ビットで選択したタイミングで転送します。

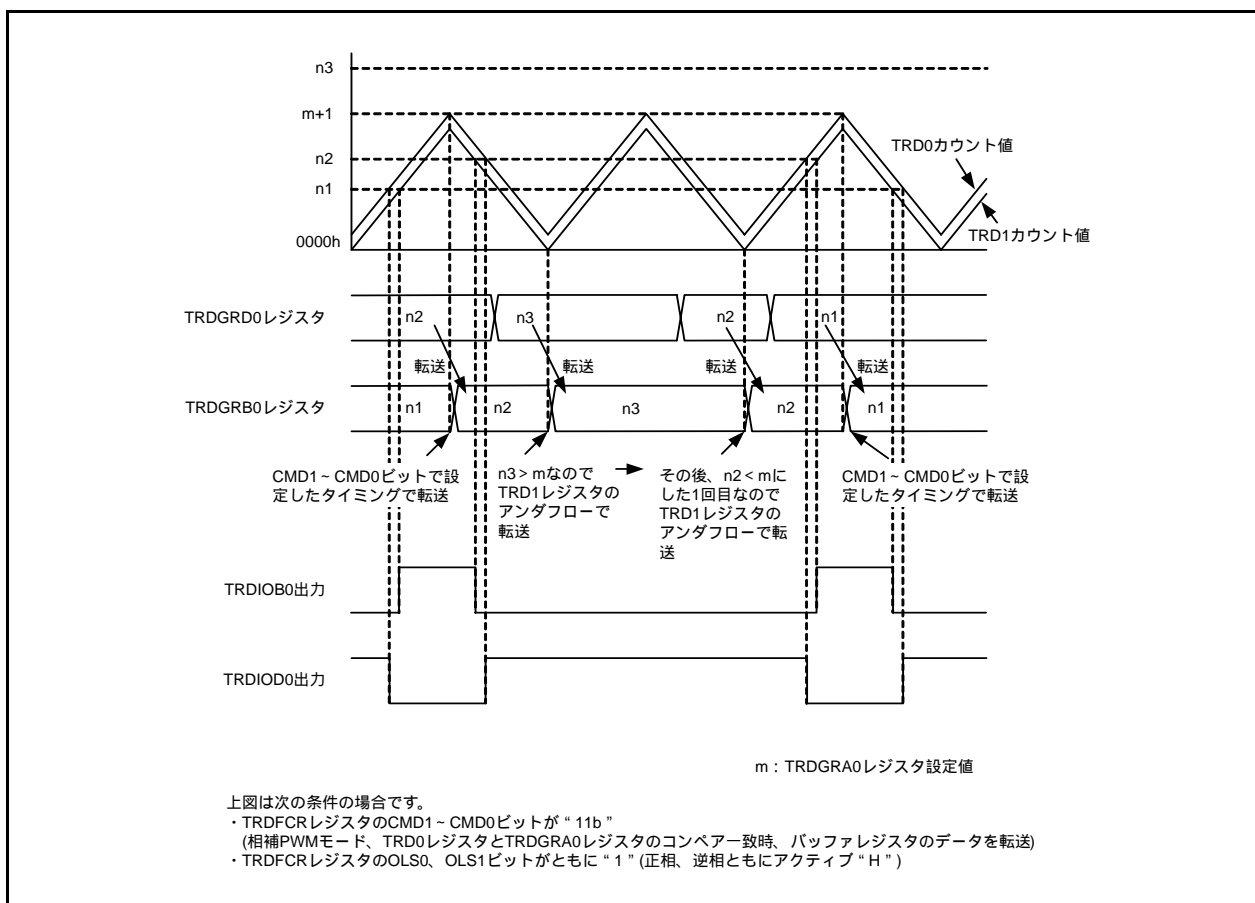


図21.6 相補PWMモード時のバッファレジスタの値 TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

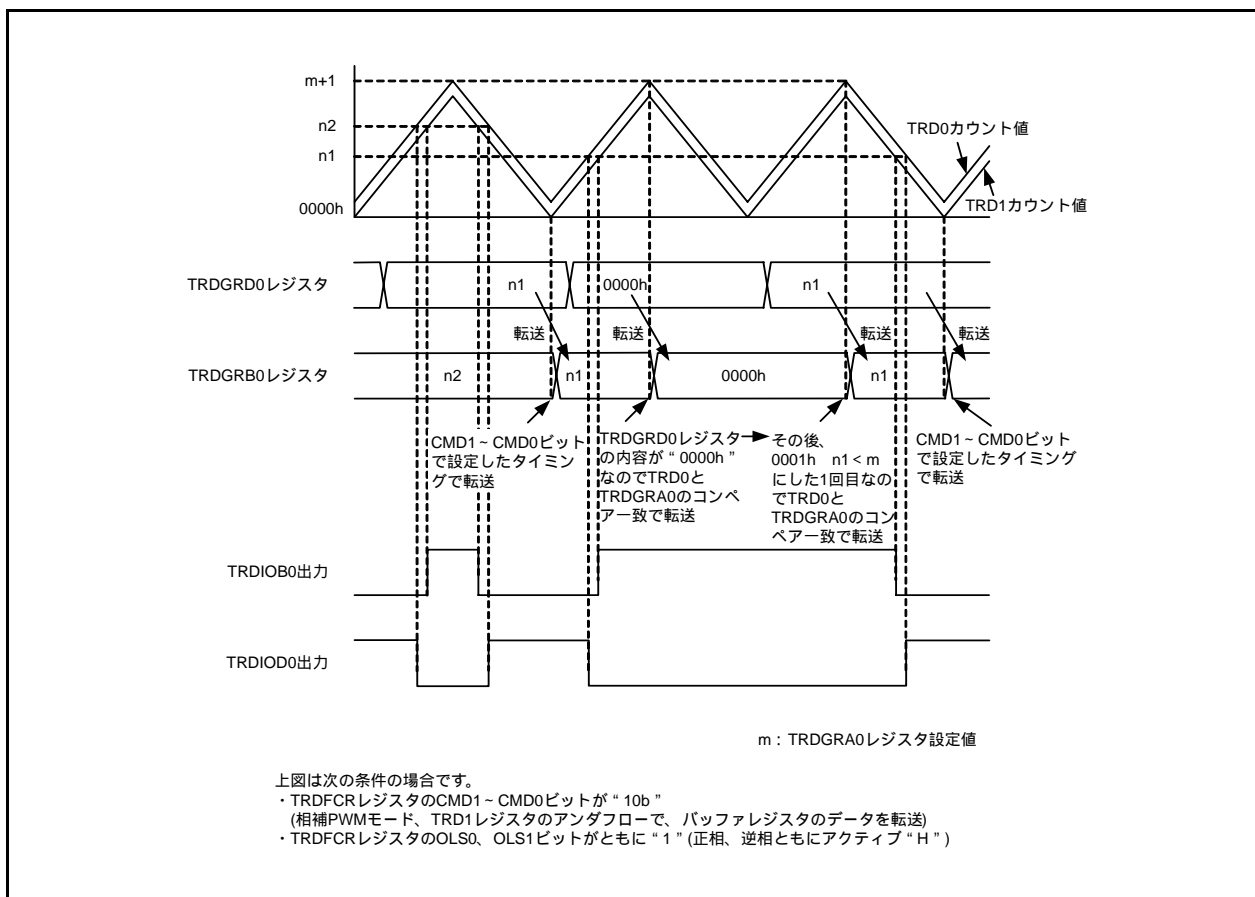


図21.7 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

21.3.3.8 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=3.0～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

21.3.4 タイマRE使用上の注意事項

21.3.4.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1.タイマRE関連レジスタ：TRESEC、TREMINT、TREHR、TREWK、TRECRI、TRECRR、TRECRR2、TRECRR3

21.3.4.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRR2レジスタ
- TRECRIレジスタのH12_H24ビット、PMビット、INTビット
- TRECRR3レジスタのRCS0～RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRR2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図21.8にリアルタイムクロックモード時の設定例を示します。

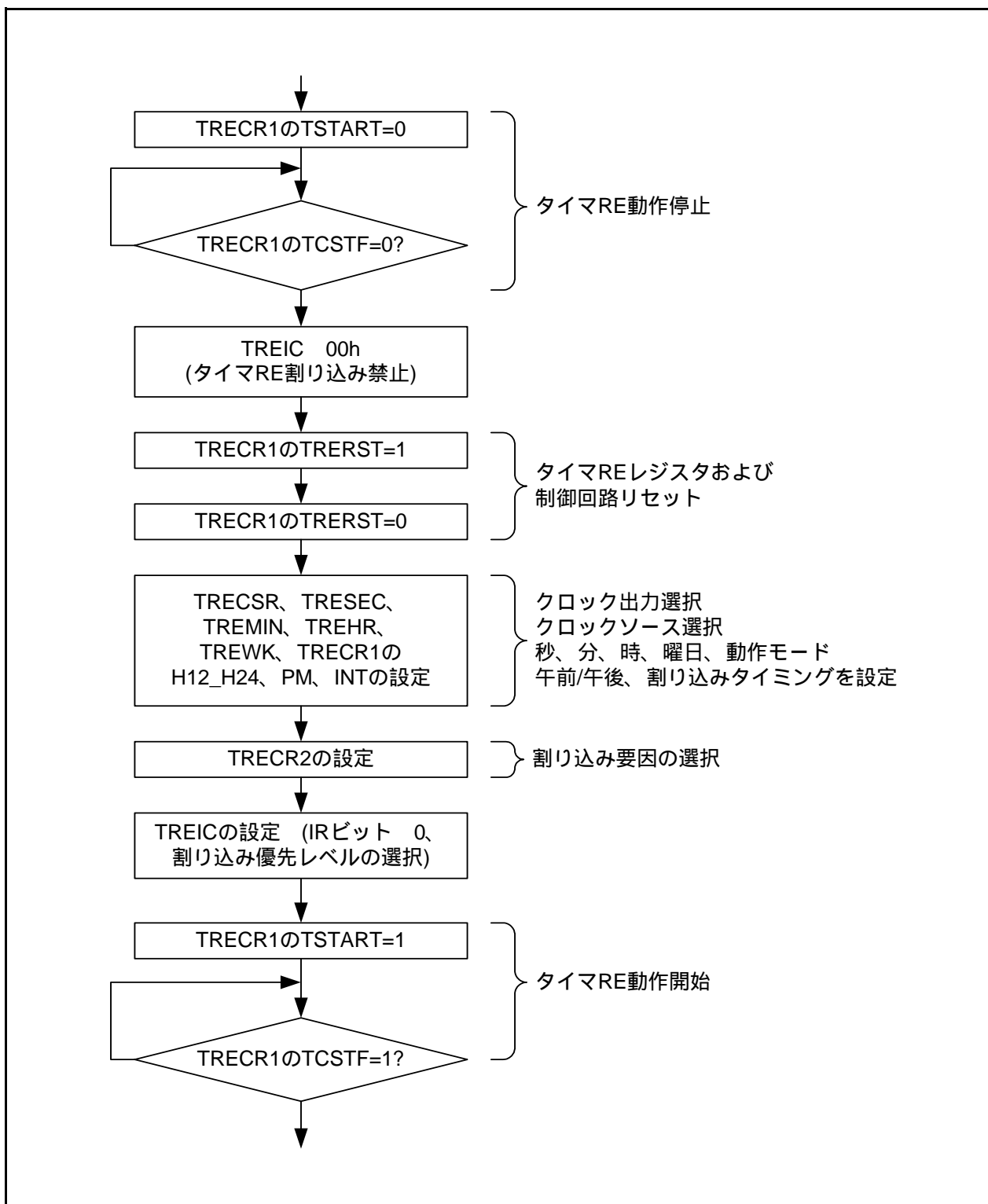


図21.8 リアルタイムクロックモード時の設定例

21.3.4.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

21.4 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```


21.5 クロック同期形シリアルインタフェース使用上の注意

21.5.1 チップセレクト付クロック同期形シリアルI/O使用上の注意

チップセレクト付クロック同期形シリアルI/Oを使用する場合には、PMRレジスタのIICSELビットを“0”(チップセレクト付クロック同期形シリアルI/O機能を選択)にしてください。

21.5.2 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、PMRレジスタのIICSELビットを“1”(I²Cバスインタフェース機能を選択)にしてください。

21.5.2.1 マルチマスタ

I²Cバスインタフェースをマルチマスタで使用する場合、次の対策を実施してください。

- 転送レートの対策

他のマスタの一番速い転送レートより、1/1.8以上の転送レートを設定してください。例えば、他の一番速いマスタが400kbpsの場合、本マイコンのI²Cバスの転送レートは223kbps(=400/1.8)以上の転送レートにする必要があります。

- ICCR1レジスタのMSTビット、TRSビット設定時の対策

(a) MSTビット、TRSビットの設定にはMOV命令を使用してください。

(b) アービトレーションロストした場合、MSTビット、TRSビットの内容を確認してください。MSTビットが“0”かつTRSビットが“0”(スレーブ受信モード)以外の場合、MSTビットを“0”かつTRSビットを“0”に設定し直してください。

21.5.2.2 マスタ受信モード

I²Cバスインタフェースのマスタ受信モード時には、次の対策のいずれかを実施してください。

(a) マスタ受信モードでICSRレジスタのRDRFビットが“1”の状態では、8クロック目の立ち上がりまでにICDRRレジスタを読んでください。

(b) マスタ受信モードでは、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にし、1バイトごとの通信で処理を行ってください。

21.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

21.7 A/Dコンバータ使用上の注意

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
- A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できます)。
- 繰り返しモードで使用する場合
A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
ADにfOCO-Fを選択しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。
- P4_2/VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の状態で、ウェイトモードに移行しないでください。

21.8 フラッシュメモリ使用上の注意

21.8.1 CPU書き換えモード

21.8.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

21.8.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

21.8.1.3 割り込み

表21.2にEW0モード時の割り込み、表21.3にEW1モード時の割り込みを示します。

表21.2 EW0モード時の割り込み

モード	状態	マスカブル割り込み 要求受付時	ウォッチドッグタイマ、発振停止検出、 電圧監視1割り込み、電圧監視2割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置 することで使用でき ます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表21.3 EW1モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視1割り込み、電圧監視2割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用し、定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを“0”(プログラムリスタート)にすることにより、自動書き込みを再開することができます。	
	自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

21.8.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

21.8.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

21.8.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

21.8.1.7 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

21.8.1.8 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

21.9 ノイズに関する注意事項

21.9.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

21.9.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC 内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

22. オンチップデバッグの注意事項

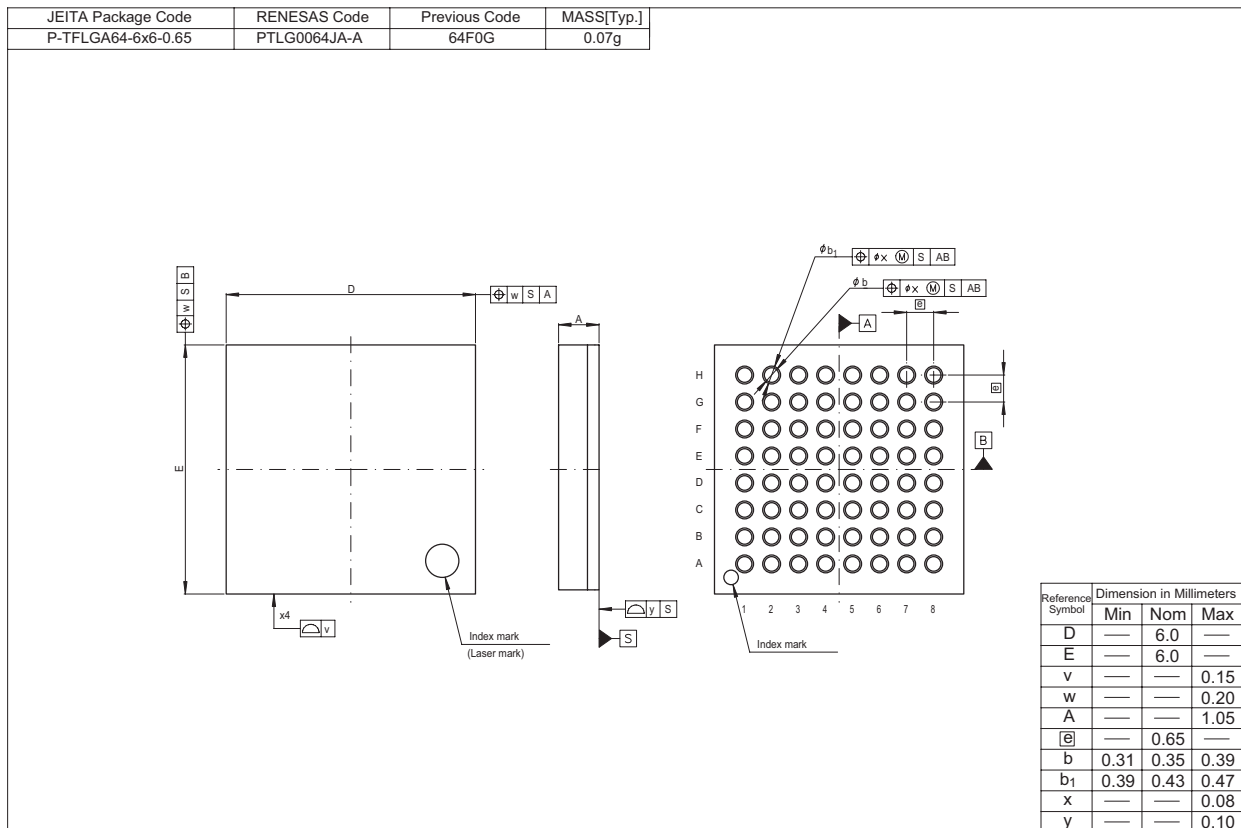
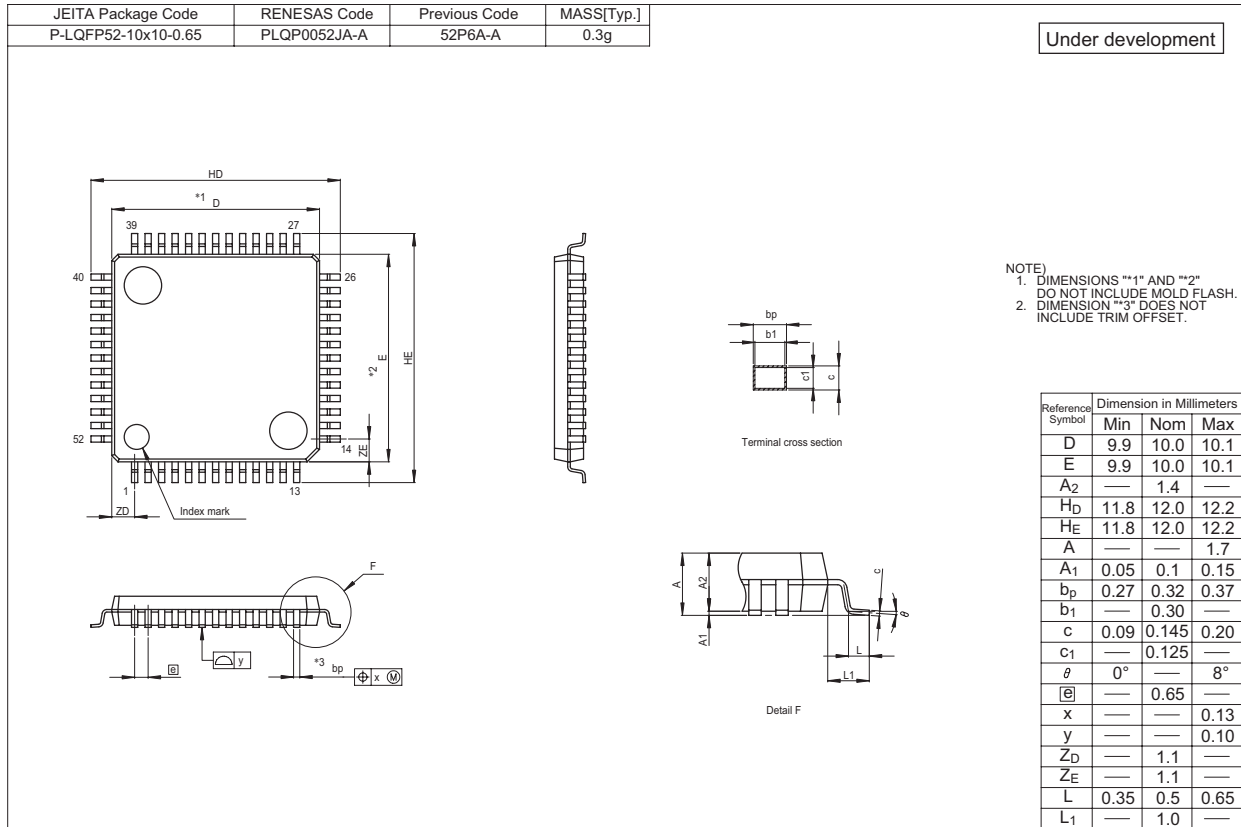
オンチップデバッグを使用してR8C/24、R8C/25グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) UART1関連レジスタを、アクセスしないでください。
- (2) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (3) アドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (4) BRK命令をユーザシステムで使用しないでください。
- (5) 電源電圧VCC=2.7V ~ 5.5Vの条件でデバッグ可能です。2.7V未満ではオンチップデバッグによるデバッグはできません。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

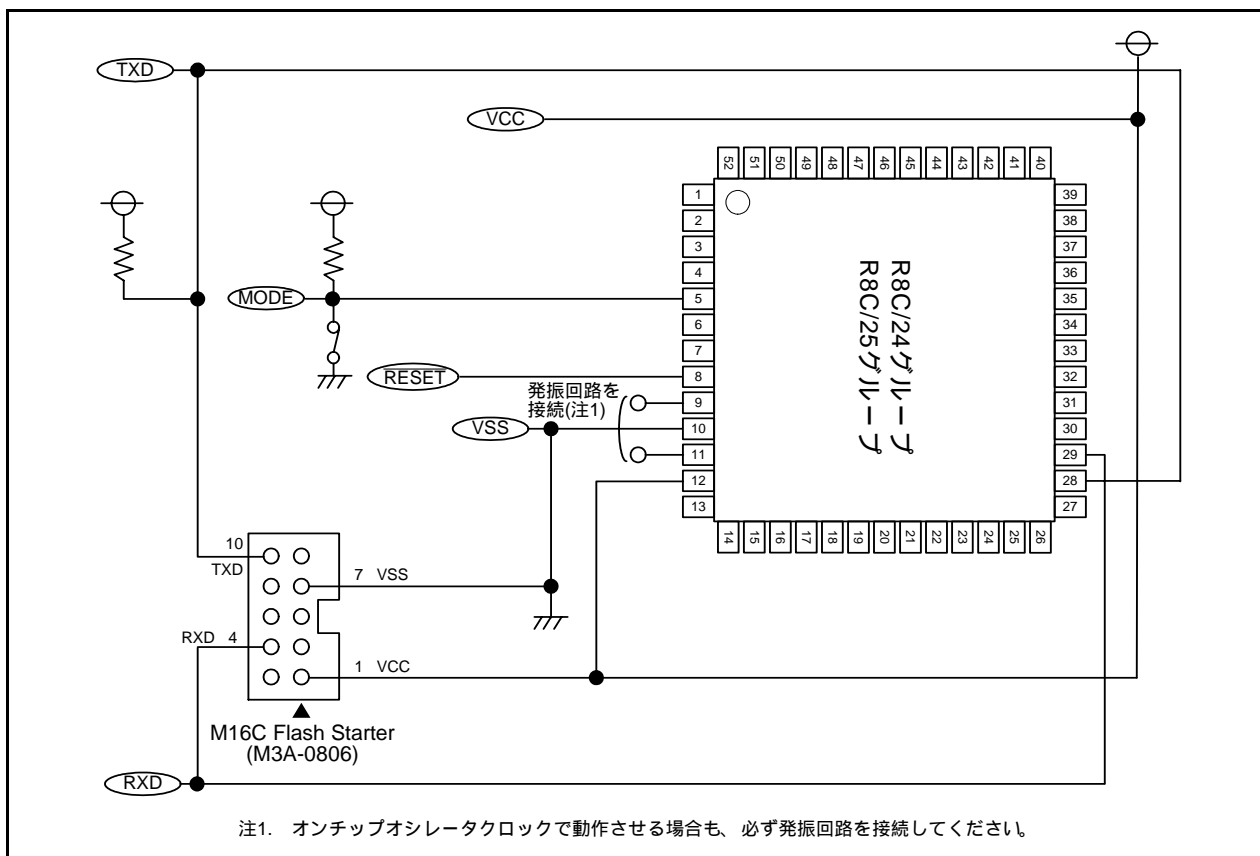
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。

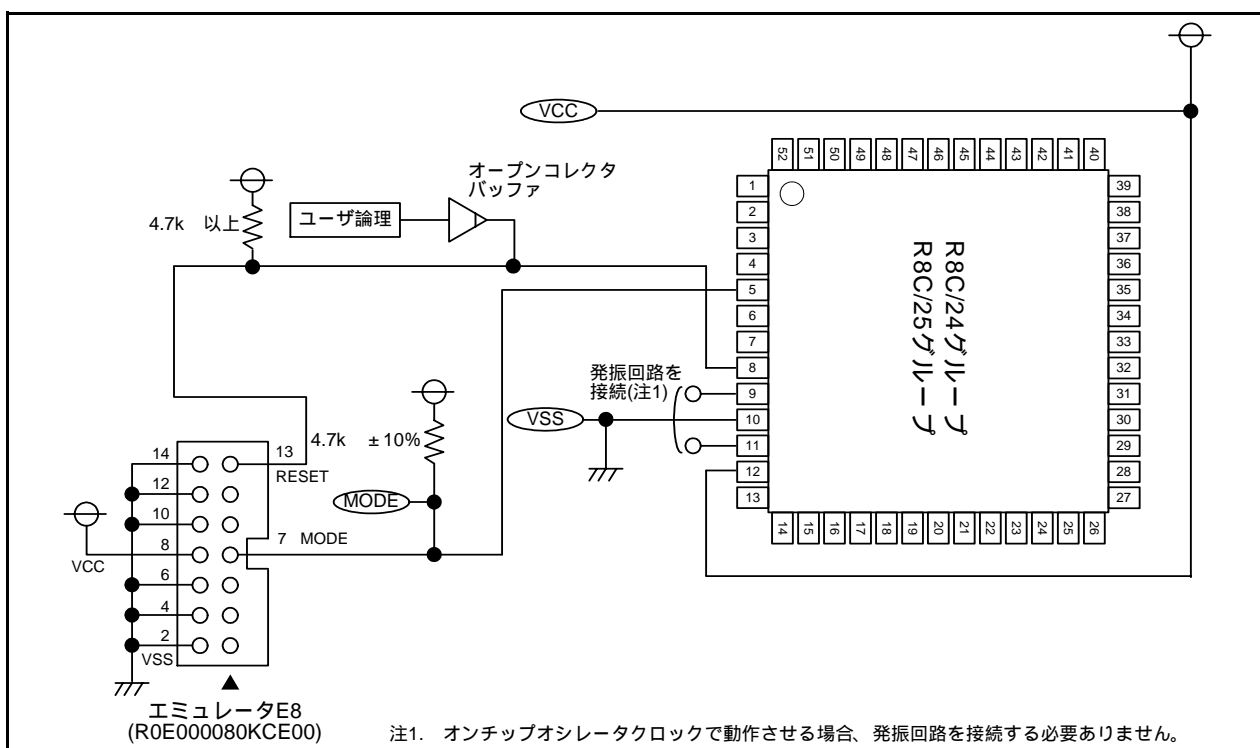


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図2.1にM16C Flash Starterとの接続例(M3A-0806)を、付図2.2にエミュレータE8(R0E000080KCE00)との接続例を示します。



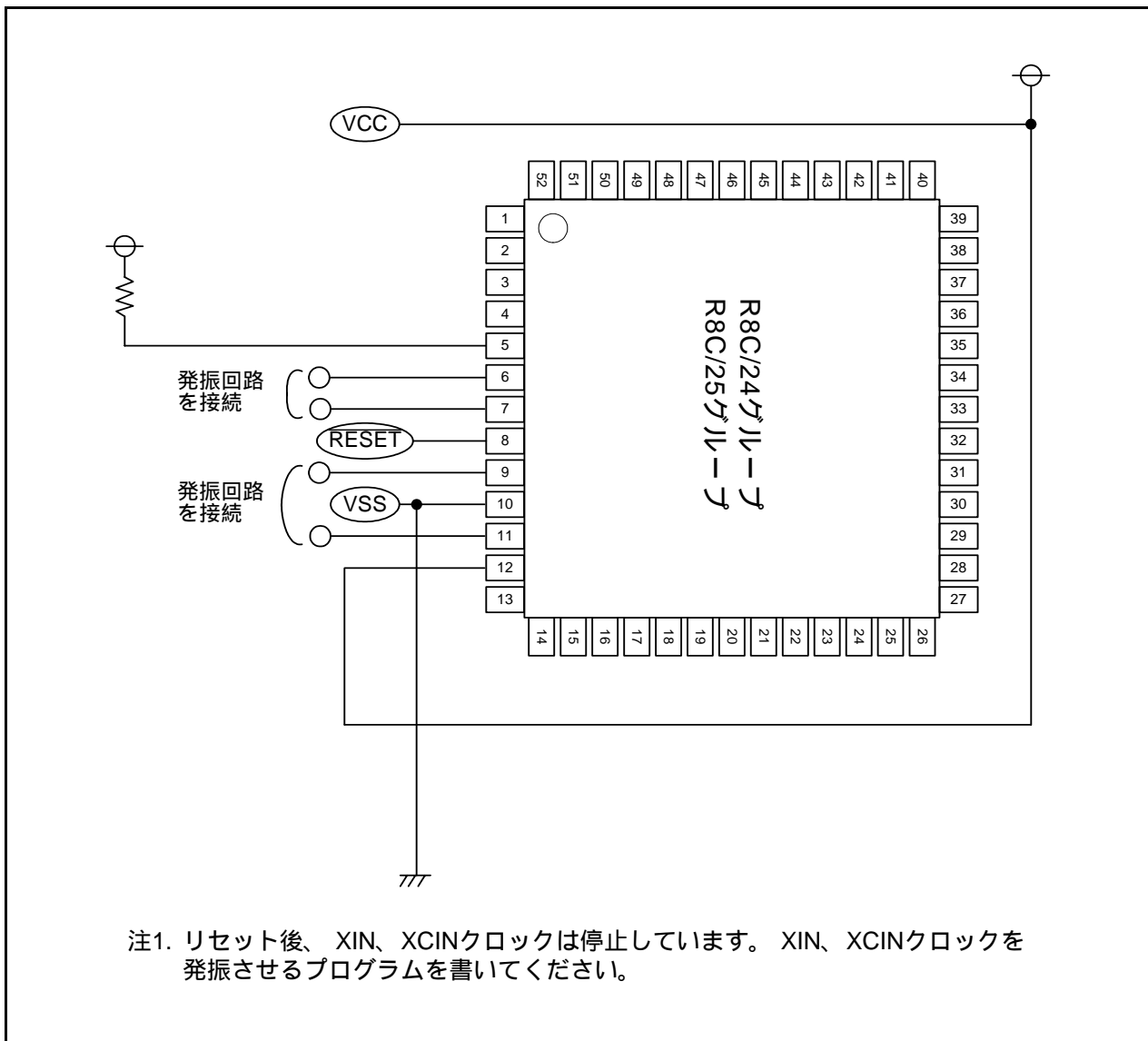
付図2.1 M16C Flash Starterとの接続例(M3A-0806)



付図2.2 エミュレータE8(R0E000080KCE00)との接続例

付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

索引

【記号 / 数字】

4線式バス通信モード 325

【A】

A/Dコンバータ 381
 A0、A1 14
 AD 384
 ADCON0 383
 ADCON1 384
 ADCON2 384
 ADIC 107
 AIER 123

【B】

B 14

【C】

C 14
 CM0 76
 CM1 77
 CPSRF 81
 CPU 13
 CPU書き換えモード 400
 CPUクロック 86
 CPUクロックと周辺機能クロック 86
 CSPR 131

【D】

D 14

【E】

EW0モード 401
 EW1モード 401

【F】

f1、f2、f4、f8、f32 86
 FB 14
 fC4、fC32 87
 FLG 14
 FMR0 404
 FMR1 405
 FMR4 406
 fOCO 86
 fOCO128 87
 fOCO40M 86
 fOCO-F 86
 fOCO-S 87
 FRA0 79
 FRA1 79
 FRA2 80
 FRA4 80
 FRA6 80
 FRA7 80

【I】

I 15
 I²Cバスインタフェース 333
 I²Cバスインタフェースモード 345
 ICCR1 336
 ICCR2 337

ICDRR 341
 ICDRS 341
 ICDRT 341
 ICIEP 339
 ICMR 338
 ICSR 340
 IDコードチェック機能 398
 IICIC 108
 INT0IC 109
 INT1IC 109
 INT2IC 109
 INT3IC 109
 INTB 14
 INTEN 117
 INTF 118
 INTi入力フィルタ (i=0 ~ 3) 119
 INTi割り込み (i=0 ~ 3) 117
 INT割り込み 117
 IPL 15
 ISP 14

【K】

KIEN 121
 KUPIC 107

【L】

LINCR 368
 LINST 369
 LSBファースト、MSBファースト選択 295

【O】

O 15
 OCD 78
 OFS 27, 130, 399

【P】

P2DRR 58
 PC 14
 PDi(0 ~ 4, 6) 56
 Pi(0 ~ 4, 6) 56
 PM0 72
 PM1 72
 PMR 57, 291, 312, 342
 PRCR 101
 PUR0 57
 PUR1 57
 PWM3モード 249
 PWMモード 214

【R】

R0、R1、R2、R3 14
 RMAD0 123
 RMAD1 123
 ROMコードプロテクト機能 399

【S】

S 14
 S0RIC 107
 S0TIC 107
 S1RIC 107
 S1TIC 107

SAR	341
SB	14
SCS端子制御とアービトレーション	331
SFR	18
SSCRH	306
SSCRL	307
SSER	309
SSMR	308
SSMR2	311
SSRDR	312
SSSR	310
SSTDR	312
SSTRSR	315
SSUIC	108
SSシフトレジスタ	315

【T】

TRA	138
TRACR	137
TRAIC	107
TRAIOC	137, 139, 142, 144, 146, 149
TRAMR	138
TRAPRE	138
TRBCR	153
TRBIC	107
TRBIOC	154, 156, 160, 163, 167
TRBMR	154
TRBOCR	153
TRBPR	155
TRBPPE	155
TRBSC	155
TRD0	194, 210, 222, 233, 244, 257
TRD0IC	108
TRD1	194, 210, 222, 244
TRD1IC	108
TRDCR0	190, 205, 219, 231, 241, 255
TRDCR1	190, 205, 219, 241
TRDDF0	189
TRDDF1	189
TRDFCR	188, 202, 217, 229, 239, 252
TRDGR <i>A</i> i(0 ~ 1)	195, 210, 223, 234, 244, 258
TRDGR <i>B</i> i(0 ~ 1)	195, 210, 223, 234, 244, 258
TRDGR <i>C</i> i(0 ~ 1)	195, 210, 223, 234, 244, 258
TRDGR <i>D</i> i(0 ~ 1)	195, 210, 223, 234, 244, 258
TRDIER0	194, 209, 221, 233, 243, 257
TRDIER1	194, 209, 221, 233, 243, 257
TRDIORA0	191, 206
TRDIORA1	191, 206
TRDIORC0	192, 207
TRDIORC1	192, 207
TRDMR	186, 200, 216, 228, 238, 251
TRDOCR	204, 219, 254
TRDOER1	203, 218, 230, 240, 253
TRDOER2	203, 218, 230, 240, 253
TRDPMR	187, 201, 217
TRDPOCR0	222
TRDPOCR1	222
TRDSR0	193, 208, 220, 232, 242, 256
TRDSR1	193, 208, 220, 232, 242, 256
TRDSTR	186, 200, 216, 228, 238, 251
TRECR1	274, 280
TRECR2	275, 280
TRECSR	276, 281
TREHR	273
TREIC	107

TREMIN	272, 279
TRESEC	272, 279
TREWK	273

【U】

U	15
U0BRG	288
U0C0	290
U0C1	291
U0MR	289
U0RB	288
U0TB	288
U1BRG	288
U1C0	290
U1C1	291
U1MR	289
U1RB	288
U1SR	291
U1TB	288
UART	297
USP	14

【V】

VCA1	36
VCA2	36, 81
VCC入力電圧のモニタ	40
Vdet0のモニタ	40
Vdet1のモニタ	40
Vdet2のモニタ	40
VW0C	37
VW1C	38
VW2C	39

【W】

WDC	130
WDTR	131
WDTS	131

【X】

XCINクロック	85
XINクロック	83

【Z】

Z	14
---	----

【あ】

アウトプットコンペア機能	198
アウトプットコンペアモード	278
アドレス一致割り込み	122
アドレスレジスタ	14

【い】

イベントカウンタモード	143
インプットキャプチャ機能	184

【う】

ウェイトモード	90
ウォッチドッグタイマ	129
ウォッチドッグタイマリセット	32

【お】		【そ】	
応用	1	相補PWMモード	236
オーバフローフラグ	15	ソフトウェアコマンド	410
オンチップオシレータクロック	84	ソフトウェアリセット	32
オンチップデバッグの注意事項	476	ソフトウェア割り込み	103
【か】		【た】	
外形寸法図	477	タイマ	134
概要	1	タイマRA	136
カウントソース	178	タイマRB	152
カウントソース保護モード無効時	132	タイマRD	173
カウントソース保護モード有効時	133	タイマRD割り込み	261
各通信モードと端子機能	317	タイマモード	156, 139
【き】		タイマRE	269
キー入力割り込み	120	端子の機能説明	11
キャリフラグ	14	単発モード	385
極性選択機能	295	【ち】	
【く】		チップセレクト付クロック同期形シリアルI/O(SSU)	304
繰り返しモード	388	中央演算処理装置(CPU)	13
クロック同期形シリアルI/Oモード	292	【て】	
クロック同期形シリアルインタフェース	303	低速オンチップオシレータクロック	84
クロック同期式シリアルモード	356	データレジスタ	14
クロック同期式通信モード	318	デバッグフラグ	14
クロック発生回路	74	電圧監視0リセット	31, 41
クロック非同期形シリアルI/O(UART)モード	297	電圧監視1リセット	31
【こ】		電圧監視1割り込み、電圧監視1リセット	42
高速オンチップオシレータクロック	84	電圧監視2リセット	31
【さ】		電圧監視2割り込み、電圧監視2リセット	44
サインフラグ	14	電圧検出回路	33
サンプル&ホールド	391	電気的特性	425
【し】		電源が安定している場合	28
システムクロック	86	電源投入時	28
周辺機能クロック	86	転送クロック	313, 343
周辺機能への影響	47	【と】	
周辺機能割り込み	104	同期動作	181
使用上の注意事項	451	動作説明	370
シリアルインタフェース	286	特殊割り込み	104
シリアルライタとオンチップデバッグエミュレータとの接続例	478	特長	366
【す】		【に】	
スタックポインタ指定フラグ	15	入出力端子	367
スタティックベースレジスタ	14	【の】	
ステータスレジスタ	415	ノイズ除去回路	359
ストップモード	94	【は】	
スレーブモード	373	ハードウェアLIN	366
【せ】		ハードウェアLIN終了処理	378
性能概要	2	ハードウェアリセット	28
製品一覧	5	バス衝突検出機能	377
ゼロフラグ	14	バス制御	73
		発振停止検出機能	97
		発振停止検出機能の使用方法	97
		発振評価回路例	479

バッファ動作	179	【れ】	
パラレル入出力モード	422	レジスタ構成	368
パルス周期測定モード	148	レジスタ設定例	361
パルス出力強制遮断	182	レジスタバンク指定フラグ	14
パルス出力モード	141	連続受信モード	296
パルス幅測定モード	145		
パワーオンリセット機能	30	【わ】	
パワーコントロール	88	割り込み	102
		割り込み許可フラグ	15
【ひ】		割り込みスタックポインタ	14
ビット同期回路	360	割り込み制御	107
ビットレート	301	割り込み制御レジスタ	107, 108
標準シリアル入出力モード	418	割り込みテーブルレジスタ	14
標準動作モード	88	割り込みと割り込みベクタ	105
ピン接続図	9	割り込みの概要	102
		割り込みの分類	102
【ふ】		割り込み要求	316, 344, 379
フラグレジスタ	14		
フラッシュメモリ	395		
フラッシュメモリ書き換え禁止機能	398		
フルステータスチェック	416		
フレームベースレジスタ	14		
プログラマブルウェイトワンショット発生モード	166		
プログラマブル入出力ポート	46		
プログラマブル入出力ポート以外の端子	47		
プログラマブル入出力ポートの機能	46		
プログラマブル波形発生モード	159		
プログラマブルワンショット発生モード	162		
プログラムカウンタ	14		
プロセッサモード	72		
プロセッサモードの種類	72		
プロセッサ割り込み優先レベル	15		
ブロック図	4		
プロテクト	101		
【ま】			
マスタモード	370		
【み】			
未使用端子の処理	71		
【め】			
メモリ	16		
メモリ配置	396		
【ゆ】			
ユーザスタックポインタ	14		
【よ】			
予約ビット	15		
【り】			
リアルタイムクロックモード	270		
リセット	25		
リセット同期PWMモード	226		

改訂記録	R8C/24グループ、R8C/25グループハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2005.07.15	-	初版発行
0.20	2005.12.15	全ページ	<ul style="list-style-type: none"> •(暫定仕様書)の表記を削除 •シンボル名「SSUAIC」「SSUIC₁」「IIC2AIC」「IICIC₁」「TRDMDR」「TRDMR」変更 •端子名「TCLK」「TRDCLK」変更 •ビット名「TPSC0～TPSC2」「TCLK0～TCLK2」変更 •ビット名「TSTOP0、TSTOP1」「CSEL0、CSEL1」変更 •ビット名「TRD0カウント停止ビット」「TRD0カウント動作選択ビット」変更 •ビット名「TRD1カウント停止ビット」「TRD1カウント動作選択ビット」変更
		2	表1.1 R8C/24グループの性能概要 変更
		3	表1.2 R8C/25グループの性能概要 変更
		4	図1.1 ブロック図 「周辺機能」追記、「システムクロック発生」「システムクロック発生器」へ変更
		5	表1.3 R8C/24グループの製品一覧表 (開)表記変更
		6	表1.4 R8C/25グループの製品一覧表 (開)表記変更 ROM容量: データ領域 データフラッシュ プログラム領域 プログラムROM へ変更
		7	図1.4 ピン接続図 「VSS」「VSS/AVSS ₁ 」「VCC」「VCC/AVCC ₁ 」「TCLK」「TRDCLK」へ変更
		8	表1.5 端子の機能説明 アナログ電源入力 行追記、基準電圧入力 行位置変更、「TCLK」「TRDCLK」へ変更
		9	表1.6 ピン番号別端子名一覧 「VSS」「VSS/AVSS ₁ 」「VCC」「VCC/AVCC ₁ 」「TCLK」「TRDCLK」へ変更
		10	図2.1 CPUのレジスタ 「予約領域」「予約ビット」へ変更
		12	2.8.10 予約領域 「予約領域」「予約ビット」へ変更
		13	図3.1 R8C/24グループのメモリ配置図 (プログラム領域) (プログラムROM)
		14	3.2 R8C/25グループ、図3.2 R8C/25グループのメモリ配置図 (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM) へ変更
		15	表4.1 SFR一覧(1) 0012h: X0h 00h 0016h: X0h 00h 0024h: TBD 出荷時の値 0036h: (注2) (注5) 注2、3、4、5 変更

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2005.12.15	21	表4.7 SFR一覧(7) 01B5h: 01000101b 1000000Xb 01B7h: XX000001b 00000001b
		25	5.1.1 電源が安定している場合 (2)「500 μ s」 「670 μ s」へ変更 5.1.2 電源投入時 (4)「500 μ s」 「670 μ s」へ変更
		26	図5.5 ハードウェアリセット回路例と動作 変更 図5.6 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作 変更
		27	5.2 パワーオンリセット機能 「RESET端子にコンデンサを接続する場合、、、ご注意ください。」追記 図5.7 パワーオンリセット回路例と動作 「0.8VCC(1.76V)以上」 「0.8VCC以上」
		28	5.4 電圧監視1リセット 「、、電圧がVdet1以下、、」 「、、電圧が下降してVdet1以下、、」変更
		30 ~ 68	「6. プログラマブル入出力ポート」「7. 電圧検出回路」 「6. 電圧検出回路」「7. プログラマブル入出力ポート」へ章の順番を変更
		33	図6.5 VCA1、VCA2レジスタ VCA2レジスタ変更
		34	図6.6 VW0Cレジスタ 変更
		46	図7.2 プログラマブル入出力ポートの構成(2) 変更
		48	図7.4 プログラマブル入出力ポートの構成(4) 変更
		49	図7.5 プログラマブル入出力ポートの構成(5) 変更
		50	図7.6 プログラマブル入出力ポートの構成(6) 変更
		51	図7.7 プログラマブル入出力ポートの構成(7) 変更
		56 ~ 67	表7.4 ポートP0_0/AN7 ~ 表7.47 ポートP6_7/INT3/RXD1 追加
		68	表7.48 未使用端子の処理例 変更
		70	表9.2 R8C/25グループのアクセス領域に対するバスサイクル 追加 表9.3 アクセス単位とバスの動作 「SFR」 「SFR、データフラッシュ」 「ROM、RAM」 「ROM(プログラムROM)、RAM」 変更
		71	・低速オンチップオシレータ 「(発振停止検出機能)」 「(発振停止検出機能あり)」 変更
		72	図10.1 クロック発生回路 変更
		73	図10.2 CM0レジスタ 変更
		74	図10.3 CM1レジスタ 変更
76	図10.5 FRA0、FRA1、FRA2レジスタ FRA0レジスタ 注2変更		
77	図10.7 VCA2レジスタ 追加		
78	図10.8 XINクロックの接続回路例 注1追記		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2005.12.15	79	10.2.2 高速オンチップオシレータクロック 「CPUクロック、周辺クロック、、、10MHz以下となります。」 「CPUクロック、周辺クロック、、、に設定してください。」へ変更
		80	10.3 XCINクロック 「外部で生成されたクロックを、、、開放してください。」追記 図10.9 XCINクロックの接続回路例 注1変更
		81	10.4.2 CPUクロック 「なお、XCINクロックは、XCINクロック、、、使用してください。」追記 10.4.3 周辺機能クロック (f1、f2、f4、f8、f32、fC4、fC32) 「なお、fC4、fC32は、XCINクロック、、、使用してください。」追記 10.4.5 fOCO40M 「このクロックは、電源電圧VCC = 3.0 ~ 5.5V、、、ができます。」追記
		82	10.4.8 fOCO128 追加
		83	表10.2 クロック関連ビットの設定とモード 変更
		84	10.5.1.2 低速クロックモード 「このモードにおいて、XINクロックおよび高速オンチップ、、、図10.10 にVCA20ビットによる内部電源低消費操作手順を示します。」追記 10.5.1.4 低速オンチップオシレータモード 「このモードにおいて、XINクロックおよび高速オンチップ、、、図10.10 にVCA20ビットによる内部電源低消費操作手順を示します。」追記
		85	図10.10 VCA20ビットによる内部電源低消費操作手順 追加
		86	表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件 変更
		88	図10.11 パワーコントロールモード状態遷移 変更
		89	10.6.1 発振停止検出機能の使用方法 「・XINクロックの周波数が2MHz以下の場合、、、」 「・XINクロックの周波数が2MHz未満の場合、、、」へ変更
		93	10.7.1 ストップモード、ウェイトモード 変更 10.7.2 発振停止検出機能 「XINクロックの周波数が2MHz以下の場合、、、」 「XINクロックの周波数が2MHz未満の場合、、、」へ変更 10.7.3 発振回路定数 追記 10.7.4 fOCO40M 追加
		109	図12.11 割り込み優先レベルの判定回路 注2削除
		116	図12.18 AIER、RMAD0 ~ RMAD1レジスタ 変更
		121	12.6.7 発振停止検出割り込み検出後のウェイトモード移行 追加
		123	図13.2 OFS、WDSレジスタ ウォッチドッグタイマ制御レジスタ 注1 削除
		128	表14.1 各タイマの機能比較 入力端子：タイマRD「TRDCLK」追記
		129	図14.1 タイマRAのブロック図 変更

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2005.12.15	148	図 14.15 パルス周期測定モード時の動作例 変更
		150	図 14.16 タイマRBのブロック図 「周辺データバス」 「データバス」
		166	-アウトプットコンペア機能 「(検出時に端子出力変更可能)」追記
		167 ~ 169	表 14.12 TRDIOA0/TCLK(P2_0)端子の機能 表 14.13 TRDIOB0(P2_1)端子の機能 表 14.14 TRDIOC0(P2_2)端子の機能 表 14.15 TRDIOD0(P2_3)端子の機能 表 14.16 TRDIOA1(P2_4)端子の機能 表 14.17 TRDIOB1(P2_5)端子の機能 表 14.18 TRDIOC1(P2_6)端子の機能 表 14.19 TRDIOD1(P2_7)端子の機能 表 14.20 INT0(P4_5)端子の機能 追記
		170	14.3.1 モード選択 削除
		171	表 14.21 カウントソースの選択 選択方法 変更 注1 追記 14.3.1 カウントソース 「TRDCRiレジスタの、、、」 「TRDCRiレジスタの(i=0 ~ 1)、、、」
		172	図 14.29 インพุットキャプチャ機能のバッファ動作 変更
		173	図 14.30 アウトプットコンペア機能のバッファ動作 変更 14.3.3 バッファ動作 「インพุットキャプチャ機能、、、」 「タイマモード(インพุットキャプチャ機能、、、」 「IOC2 ~ IOC0ビット」 「IOC2ビット」 「IOA2 ~ IOA0ビット」 「IOA2ビット」 「IOD2 ~ IOD0ビット」 「IOD2ビット」 「IOB2 ~ IOB0ビット」 「IOB2ビット」変更 「インพุットキャプチャ機能では、、、“1”になります。」追記
		174	14.3.3 同期動作 「同期動作させる場合、、、選択してください。」削除
		175	14.3.4 パルス出力強制遮断 「P2D」 「P2D ₁ 」 「P4D」 「PD4 ₁ 」 「P4_5」 「PD4_5」変更 「なお、INT0ICレジスタのPOLビット、、、参照してください。」追記
		177	14.3.5 インพุットキャプチャ機能 「なお、TRDGRA0レジスタは、、、選択できます。」追記 図 14.33 インพุットキャプチャ機能のブロック図 変更
		178	表 14.23 インพุットキャプチャ機能の仕様 変更
		179	図 14.34 インพุットキャプチャ機能時のTRDSTR、TRDMRレジスタ 変更
		180	図 14.35 インพุットキャプチャ機能時のTRDPMRレジスタ 変更
		181	図 14.36 インพุットキャプチャ機能時のTRDFCRのレジスタ 変更

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2005.12.15	184	図 14.39 インพุットキャプチャ機能時の TRDIORA0 ~ TRDIORA1 レジスタ 変更
		185	図 14.40 インพุットキャプチャ機能時の TRDIORC0 ~ TRDIORC1 レジスタ 変更
		186	図 14.41 インพุットキャプチャ機能時の TRDSR0 ~ TRDSR1 レジスタ 変更
		188	図 14.25 インพุットキャプチャ入力端子の機能 削除
		190	14.3.5.1 デジタルフィルタ 「TRDDF レジスタ」 「TRDDFi レジスタ」変更
		193	図 14.48 アウトプットコンペア機能時の TRDSTR、TRDMR レジスタ 変更
		194	図 14.49 アウトプットコンペア機能時の TRDPMR レジスタ 変更
		195	図 14.50 アウトプットコンペア機能時の TRDFCR レジスタ 変更
		196	図 14.51 アウトプットコンペア機能時の TRDOER1 ~ TRDOER2 レジスタ 変更
		199	図 14.54 アウトプットコンペア機能時の TRDIORA0 ~ TRDIORA1 レジスタ 変更
		200	図 14.55 アウトプットコンペア機能時の TRDIORC0 ~ TRDIORC1 レジスタ 変更
		201	図 14.56 アウトプットコンペア機能時の TRDSR0 ~ TRDSR1 レジスタ 変更
		209	図 14.64 PWM モード時の TRDSTR、TRDMR レジスタ 変更
		210	図 14.65 PWM モード時の TRDPMR、TRDFCR レジスタ 変更
		211	図 14.66 PWM モード時の TRDOER1 ~ TRDOER2 レジスタ 変更
		213	図 14.68 PWM モード時の TRDSR0 ~ TRDSR1 レジスタ 変更
		221	図 14.76 リセット同期 PWM モード時の TRDSTR、TRDMR レジスタ 変更
		222	図 14.77 リセット同期 PWM モード時の TRDFCR レジスタ 変更
		223	図 14.78 リセット同期 PWM モード時の TRDOER1 ~ TRDOER2 レジスタ 変更
		225	図 14.80 リセット同期 PWM モード時の TRDSR0 ~ TRDSR1 レジスタ 変更
		231	図 14.86 相補 PWM モード時の TRDSTR、TRDMR レジスタ 変更
		232	図 14.87 相補 PWM モード時の TRDFCR レジスタ 変更
		233	図 14.88 相補 PWM モード時の TRDOER1 ~ TRDOER2 レジスタ 変更
		235	図 14.90 相補 PWM モード時の TRDSR0 ~ TRDSR1 レジスタ 変更
242	図 14.96 PWM3 モードのブロック図 変更		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2005.12.15	243	表 14.33 PWM3モードの仕様 「コンペアー一致(TRD0レジスタとTRDGRJ0レジスタの、、、)」 「コンペアー一致(TRDiレジスタとTRDGRJiレジスタの、、、)」変更 「j=A、B、C、Dの、、、」 「i=0~1、j=A、B、C、Dの、、、」変更
		244	図 14.97 PWM3モード時のTRDSTR、TRDMRレジスタ 変更
		245	図 14.98 PWM3モード時のTRDFCRレジスタ 変更
		246	図 14.99 PWM3モード時のTRDPER1 ~ TRDOER2レジスタ 変更
		247	図 14.100 PWM3モード時のTRDOCR、TRDCR0レジスタ TRDCR0レジスタ 注1削除
		248	図 14.101 PWM3モード時のTRDSR0レジスタ 変更
		249	図 14.102 PWM3モード時のTRDIER0レジスタ 変更
		251	表 14.34 PWM3モード時のTRDGRjiレジスタの機能 変更
		252	図 14.105 PWM3モードの動作例 変更
		255	14.3.12.1 TRDSTRレジスタ 追記 表 14.36 カウント停止時のTRDIOji(j=A, B, C, D)端子出力レベル 追記
		256	14.3.12.4 カウントソース切り替え 「カウントクロックソース」 「カウントソース」変更
		260	14.3.12.9 カウントソースfOCO40M 追記
		263	表 14.37 リアルタイムクロックモードの仕様 「TERCR1レジスタ」 「TRECR1レジスタ」変更
		280	図 15.3 U0TB ~ U1TB、U0RB ~ U1RB、U0BRG ~ U1BRGレジスタ U0TB ~ U1TB、U0RB ~ U1RBレジスタ変更、U0BRG ~ U1BRGレジスタ 注3追加
		282	図 15.5 U0C0 ~ U1C0レジスタ リセット後の値「08h」 「00001000b」変更、注1追加
		290	表 15.5 UARTモード時の使用レジスタと設定値 UiBRG: 「 - 」 「0~7」変更
		295	表 16.1 モード選択 変更
		354	図 16.45 マスタ送信モードのレジスタ設定例(クロック同期式シリアル モード) 「・PMRレジスタのIICSELビットを“1”にする」 追記
		373	表 18.1 A/Dコンバータの性能 変更
		374	図 18.1 A/Dコンバータのブロック図 「VSS」 「AVSS」 「Vref」 「Vcom」変更
383 ~ 385	18.4 A/D変換サイクル数 ~ 18.6 注入電流バイパス回路 追加		
386	18.7 A/Dコンバータ使用上の注意 「・P4_2/VREF端子とVSS端子間に、、」 「・P4_2/VREF端子とAVSS端子間に、、」 変更		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2005.12.15	387	表19.1 フラッシュメモリの性能概要 プログラムイレーズ回数:(データ領域) (データフラッシュ) (プログラム領域) (プログラムROM)へ変更 注3 追記
		388	19.2 メモリ配置 「R8C/25 グループの、、領域とは、、ブロックBがあります。」 「R8C/25 グループの、、領域(プログラムROM)とは、、ブロックB(データフラッシュ)があります。」 図19.1 R8C/24グループのフラッシュメモリのブロック図 変更
		389	図19.2 R8C/25グループのフラッシュメモリのブロック図 変更
		394	19.4.2.4 FMSTP ビット 「・高速、、低速オンチップオシレータモード(XIN クロック停止)で、、」へ変更 「・高速、、低速オンチップオシレータモード(XIN クロック停止)、低速クロックモード(XINクロック停止)で、、」へ変更
		395	19.4.2.16 FMR47 ビット 「低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、」追記
		398	図19.7 FMR4レジスタ 注4変更
		401	図19.11 高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする処理 変更
		404	19.4.3.5 ブロックイレーズ 「プログラムサスペンド中、、コマンドは受け付けられません。」追記
		405	図19.14 ブロックイレーズフローチャート(イレーズサスペンド機能使用時) 変更
		408	図19.15 フルステータスチェックフローチャート、各エラー発生時の対処方法 変更
		410	図19.16 標準シリアル入出力モード時の端子結線図 変更
		414	19.7.1.9 フラッシュメモリのプログラム電圧、イレーズ電圧 追記
		415	表20.1 絶対最大定格 「Vcc」 「Vcc/AVcc」変更 表20.2 推奨動作条件 変更
		416	表20.3 A/D コンバータ特性 変更
		417	表20.4 フラッシュメモリ(プログラムROM)の電気的特性 注1~7 追記
		418	表20.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性 注1、3、4変更、注9追記
		419	表20.6 電圧検出0回路の電気的特性、表20.7 電圧検出1回路の電気的特性、表20.8 電圧検出2回路の電気的特性 変更
		420	表20.9 電圧監視0リセットの電気的特性 表タイトル、注2変更

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2005.12.15	421	表20.11 高速オンチップオシレータ発振回路の電気的特性、表20.12 低速オンチップオシレータ発振回路の電気的特性、表20.13 電源回路のタイミング特性 変更
		422	表20.14 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件 変更
		426	表20.15 I ² Cバスインタフェースのタイミング必要条件 (注1)変更
		427	表20.16 電気的特性(1) [Vcc = 5V] 変更
		428	表20.17 電気的特性(2) [Vcc = 5V] 変更
		429	表20.18 XIN入力、XCIN入力 変更
		430	表20.20 シリアルインタフェース 変更
		431	表20.22 電気的特性(3) [Vcc = 3V] 変更
		432	表20.23 電気的特性(4) [Vcc = 3V] 注1削除
		433	表20.24 XIN入力、XCIN入力 変更
		434	表20.26 シリアルインタフェース 変更
		435	表20.28 電気的特性(5) [Vcc = 2.2V] 変更
		436	表20.29 電気的特性(6) [Vcc = 2.2V] 変更
		437	表20.30 XIN入力、XCIN入力、表20.31 TRAI0入力、 $\overline{\text{INT1}}$ 入力 変更
		438	表20.32 シリアルインタフェース、表20.33 外部割り込みINTi入力(i = 0、2、3) 変更
		440	21.1.1 ストップモード、ウェイトモード 変更 21.1.2 発振停止検出機能 「 XINクロックの周波数が2MHz以下の場合、、、」 「 XINクロックの周波数が2MHz未満の場合、、、」へ変更 21.1.3 発振回路定数 追記 21.1.4 fOCO40M 追加
		443	21.2.7 発振停止検出割り込み検出後のウェイトモード移行 追加
		457	21.7 A/Dコンバータ使用上の注意 「・P4_2/VREF端子とVSS端子間に、、」 「・P4_2/VREF端子とAVSS端子間に、、」 変更
		458	21.8.1.9 フラッシュメモリのプログラム電圧、イレーズ電圧
		461	22. オンチップデバッガの注意事項 (1)、(6)追記
		462	付録1. 外形寸法図 TBD 「PLQP0052JA-A (52P6A-A)」追加
		463	付図2.1 M16C Flash Starterとの接続例(M3A-0806) 変更 付図2.2 エミュレータE8(R0E000080KCE00)との接続例 変更
		464	付図3.1 発振評価回路例 変更

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	全ページ	<ul style="list-style-type: none"> •「開発中」の表記を削除 •ビット名「TCLK2 ~ TCLK0」 「TCK2 ~ TCK0」変更
		3	表1.2 R8C/25グループの性能概要 変更
		4	図1.1 ブロック図 「ROM」 「RAM」へ修正、「システムクロック発生器」 「システムクロック発生回路」へ変更
		5	表1.3 R8C/24グループの製品一覧表 一部「(開)」表記削除
		6	表1.4 R8C/25グループの製品一覧表 一部「(開)」表記削除
		9	表1.6 ピン番号別端子名一覧 注1追加
		15	表4.1 SFR一覧(1) 001Ch: 「00h」 「00h、10000000b」へ変更 0029h: 「高速オンチップオシレータ制御レジスタ4、FRA4、出荷時の値」追加 002Bh: 「高速オンチップオシレータ制御レジスタ6、FRA6、出荷時の値」追加 注6追加
		19	表4.5 SFR一覧(5) 0119h: 「タイマRE分データレジスタ/コンペアレジスタ」 「タイマRE分データレジスタ/コンペアデータレジスタ」へ修正 0137h: 「TSDSTR」 「TRDSTR」へ修正 013Ch: 「0111111b」 「01111111b」へ修正
		20	表4.6 SFR一覧(6) 0143h: 「11000000b」 「11100000b」へ変更
		24	図5.4 OFSレジスタ 注2変更
		25	5.1.1 電源が安定している場合 (2)変更 5.1.2 電源投入時 (4)変更
		26	図5.5 ハードウェアリセット回路例と動作 変更 図5.6 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作 変更
		27	図5.7 パワーオンリセット回路例と動作 変更
		28	5.3 電圧監視0リセット 変更
		53	図7.9 PDiレジスタ 注3追加
		54	図7.11 PUR0、PUR1レジスタ PUR1レジスタ リセット後の値変更
		63	表7.31 ポートP3_4/SDA/SCS 変更
		71	表10.1 クロック発生回路の概略仕様 注4変更
		72	図10.1 クロック発生回路 変更
		73	図10.2 CM0レジスタ 注6削除、注9変更
		75	図10.4 OCDレジスタ 変更
		76	図10.5 FRA0、FRA1レジスタ FRA0レジスタ 注2変更
		77	図10.6 FRA2、FRA4、FRA6レジスタ FRA2レジスタ 注2削除、FRA4、FRA6レジスタ追加

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	78	図10.8 VCA2レジスタ 注6変更
		79	図10.9 XINクロックの接続回路例 注1変更
		80	10.2.2 高速オンチップオシレータクロック 変更
		82	10.4.3 周辺機能クロック (f1、f2、f4、f8、f32) 変更
		83	10.4.9 fC4、fC32 追加
		84	表10.2 クロック関連ビットの設定とモード 変更
		85	10.5.1.1 高速クロックモード 「また、FRA00ビットが“1”のとき、、、回路で使用できます。」削除
			10.5.1.2 低速クロックモード 「また、FRA00ビットが“1”のとき、、、回路で使用できます。」追加 「図10.11にVCA20ビットによる、、、を示します。」削除
			10.5.1.4 低速オンチップオシレータモード 「図10.11にVCA20ビットによる、、、を示します。」削除
		86	10.5.2.2 ウェイトモードへの移行 「OCDレジスタのOCD1ビットを、、、消費電流が減少しません。」追加
			10.5.2.3 ウェイトモード時の端子の状態 「入出力ポートは、、、」追加
		87	10.5.2.4 ウェイトモードからの復帰 「図10.12にウェイトモードから割り込み処理、、、WAIT命令実行時のCPUクロックと同じクロックです。」記載ページ変更 表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件 変更
		88	10.5.2.4 ウェイトモードからの復帰 「図10.11にウェイトモードから割り込み処理、、、WAIT命令実行時のCPUクロックと同じクロックです。」記載ページ変更 図10.11 ウェイトモードから割り込み処理を実行するまでの時間 追加
		89	10.5.2.5 内部電源の消費電力低減 追加 図10.12 VCA20ビットによる内部電源低消費操作手順 変更
		90	表10.4 ストップモードからの復帰に使用できる割り込みと使用条件 変更
		91	図10.13 ストップモードからの復帰 追加
		93	10.6.1 発振停止検出機能の使用方法 変更
		94	図10.15 低速オンチップオシレータからXINクロックへの切り替え手順 変更
		95	図10.16 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例 変更
		96	10.7.1 ストップモード、ウェイトモード 変更 10.7.4 fOCO40M 削除
		98	図12.1 割り込みの分類 変更
107	表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値 変更		
110	図12.10 ハードウェア割り込みの割り込み優先順位 変更		
124	12.6.7 発振停止検出割り込み検出後のウェイトモード移行 削除		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	125	図 13.1 ウォッチドッグタイマのブロック図 変更
		126	図 13.2 OFS、WDCレジスタ OFSレジスタ 注2変更
		130	14. タイマ 「各タイマのカウントソースは、、、動作クロックになります。」削除
		132	14.1 タイマRA 「タイマRAのカウントソースは、、、の動作クロックになります。」追加 図 14.1 タイマRAのブロック図 変更
		133	図 14.2 TRACR、TRAIIOCレジスタ 変更
		134	図 14.3 TRAMR、TRAPRE、TRAレジスタ 変更
		135	表 14.2 タイマモードの仕様 変更 図 14.4 タイマモード時のTRAIIOCレジスタ 変更 (図 14.4 タイマモード時のTRACRレジスタ 削除、図 14.5 タイマモード時のTRAIIOC、TRAMRレジスタ TRAMRレジスタ削除)
		136	14.1.1.1 カウント中のタイマ書き込み制御 追加 図 14.5 タイマRA カウント中にカウント値を書き換えた場合の動作例 追加
		137	表 14.3 パルス出力モードの仕様 変更
		138	図 14.6 パルス出力モード時のTRAIIOCレジスタ 変更 (図 14.6 パルス出力モード時のTRACR、TRAIIOCレジスタ TRACRレジスタ削除、図 14.7 パルス出力モード時のTRAMRレジスタ 削除)
		139	表 14.4 イベントカウンタモードの仕様 変更
		140	図 14.7 イベントカウンタモード時のTRAIIOCレジスタ 変更 (図 14.8 イベントカウンタモード時のTRACR、TRAIIOCレジスタ TRACRレジスタ削除、図 14.9 イベントカウンタモード時のTRAMRレジスタ 削除)
		141	表 14.5 パルス幅測定モードの仕様 変更
		142	図 14.8 パルス幅測定モード時のTRAIIOCレジスタ 変更 (図 14.10 パルス幅測定モード時のTRACR、TRAIIOCレジスタ TRACRレジスタ削除、図 14.11 パルス幅測定モード時のTRAMRレジスタ 削除)
		143	図 14.9 パルス幅測定モード時の動作例 変更
		144	表 14.6 パルス周期測定モードの仕様 変更
		145	図 14.10 パルス周期測定モード時のTRAIIOCレジスタ (図 14.13 パルス周期測定モード時のTRACR、TRAIIOCレジスタ TRACRレジスタ削除、図 14.14 パルス周期測定モード時のTRAMRレジスタ 削除)
146	図 14.11 パルス周期測定モード時の動作例 変更		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	148	14.2 タイマRB 「タイマRBのカウントソースは、、、の動作クロックになります。」追加 ・タイマモード「、、(周辺機能クロック、、、)」追加 図14.12 タイマRBのブロック図 変更
		149	図14.13 TRBCR、TRBOCRレジスタ 変更
		150	図14.14 TRBIOC、TRBMRレジスタ 変更
		151	図14.15 TRBPRE、TRBSC、TRBPRレジスタ 変更
		152	表14.7 タイマモードの仕様 変更 図14.16 タイマモード時のTRBIOCレジスタ 変更 (図14.20 タイマモード時のTRBIOC、TRBMRレジスタ TRBMRレジスタ削除)
		153	14.2.1.1 カウント中のタイマ書き込み制御 追加
		154	図14.17 タイマRB カウント中にカウント値を書き換えた場合の動作例 追加
		155	表14.8 プログラマブル波形発生モードの仕様 変更
		156	図14.18 プログラマブル波形発生モード時のTRBIOCレジスタ 変更 (図14.21 プログラマブル波形発生モード時のTRBIOC、TRBMRレジスタ TRBMRレジスタ削除)
		157	図14.19 プログラマブル波形発生モード時のタイマRBの動作例 変更
		158	表14.9 プログラマブルワンショット発生モードの仕様 変更
		159	図14.20 プログラマブルワンショット発生モード時のTRBIOCレジスタ 変更 (図14.23 プログラマブルワンショット発生モード時のTRBIOC、TRBMRレジスタ TRBMRレジスタ削除)
		160	図14.21 プログラマブルワンショット発生モード時の動作例 変更
		161	14.2.3.1 ワンショットトリガ選択 追加
		162	表14.10 プログラマブルウェイトワンショット発生モードの仕様 変更
		163	図14.22 プログラマブルウェイトワンショット発生モード時のTRBIOCレジスタ 変更 (図14.25 プログラマブルウェイトワンショット発生モード時のTRBIOC、TRBMRレジスタ TRBMRレジスタ削除)
		164	図14.23 プログラマブルウェイトワンショット発生モードの動作例 変更
		165	14.2.5 タイマRB使用上の注意 「・、、、TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。、、、」削除 「・カウント中にTRBCRレジスタのTSTOP、、、RBは停止します。 ・TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、、、“1”になるかわかりません。」変更
		167	表14.12 TRDIOA0/TRDCLK(P2_0)端子の機能 変更
		169	表14.20 INT0(P4_5)端子の機能 変更
181	図14.33 インพุットキャプチャ機能時のTRDFCRのレジスタ 注2変更		
195	図14.47 アウトプットコンペア機能時のTRDFCRレジスタ 注2変更		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	210	図 14.62 PWMモード時の TRDPMR、TRDFCR レジスタ TRDFCR レジスタ 注2変更
		220	表 14.29 リセット同期PWMモードの仕様 変更
		222	図 14.74 リセット同期PWMモード時の TRDFCR レジスタ 注1、3変更
		225	図 14.77 リセット同期PWMモード時の TRDSR0 ~ TRDSR1 レジスタ 変更
		227	表 14.30 リセット同期PWMモード時の TRDGRji レジスタの機能 変更
		231	図 14.86 相補PWMモード時の TRDSTR、TRDMR レジスタ TRDMR レジスタ変更
		232	図 14.87 相補PWMモード時の TRDFCR レジスタ 注1、4変更
		238	14.3.9 相補PWMモード 「TRDGRB0、、、(バッファレジスタ)にしても構いません。」追記
		243	表 14.33 PWM3モードの仕様 変更
		244	図 14.94 PWM3モード時の TRDSTR、TRDMR レジスタ TRDMR レジスタ変更
		245	図 14.95 PWM3モード時の TRDFCR レジスタ 注2変更
		251	14.3.10 PWM3モード 「PWM3モードでは、、、レジスタ)にしても構いません。」追記
		256	表 14.34 PWM3モード時の TRDGRji レジスタの機能 変更
		257	14.3.12.6 リセット同期PWMモード (2)変更 14.3.12.7 相補PWMモード • TRDFCR レジスタの CMD1 ~ CMD0 ビットを変更するときは、、、 変更手順：相補PWMモードにする場合、、、(2) 変更 変更手順：相補PWMモードを止める場合 (1)(2)変更 • 動作中に TRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1、、、 「ただし、TRDGRD0、TRDGRC1、TRDGRD1 の書き込みに際しては、、、ビットを “1” (バッファレジスタ) にしても構いません。」追記
		260	14.3.12.8 PWM3モード 削除
		261	14.4 タイマRE 「タイマREのカウントソースは、、、動作クロックになります。」追加
		262	図 14.108 リアルタイムクロックモードのブロック図 変更
		276	図 14.125 リアルタイムクロックモード時の設定例 変更
		284	表 15.1 クロック同期形シリアルI/Oモードの仕様 変更
		285	15.1 クロック同期形シリアルI/Oモード 「表 15.3 に、、、TXD0 端子は、、、」 「表 15.3 に、、、TXDi 端子は、、、」変更
		289	15.2 クロック非同期形シリアルI/O(UART)モード 「表 15.6 に、、、TXD0 端子は、、、」 「表 15.6 に、、、TXDi 端子は、、、」変更
		291	図 15.10 UARTモード時の送信タイミング 「TXD0」 「TXDi」変更
		292	図 15.11 UARTモード時の受信タイミング例 「RXD0」 「RXDi」変更

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	294	表16.1 モード選択 変更
		296	表16.2 チップセレクト付クロック同期形シリアルI/Oの仕様 「 」 「f1」へ変更、注2削除
		300	図16.4 SSMRレジスタ 変更
		304	図16.8 SSTDR、SSRDRレジスタ SSTDRレジスタ 注1削除
		305	16.2.1 転送クロック 「 」 「f1」へ変更
		311	16.2.5.2 データ送信 「スレーブデバイスに設定したときは、、、連続送信が可能です。」削除
		312	図16.14 データ送信のフローチャート例(クロック同期式通信モード) 注2削除
		315	16.2.5.4 データ送受信 「スレーブデバイスに設定したときは、、、連続送信が可能です。」削除
		316	図16.17 データ送受信のフローチャート例(クロック同期式通信モード) 注2削除
		319	16.2.6.2 データ送信 「スレーブデバイスに設定したときは、、、連続送信が可能です。」削除
		359 ~ 370	17. ハードウェアLIN 「Sync Break」 「Synch Break」 「Sync Field」 「Synch Field」変更
		359	図17.1 ハードウェアLINのブロック図 変更
		361	図17.2 LINCR、LINSTレジスタ 変更
		362	図17.3 ヘッダフィールドの送信時の動作例 「RAIC」 「TRAIC」変更
		363	図17.4 ヘッダフィールド送信フローチャート例(1) 変更
		364	図17.5 ヘッダフィールド送信フローチャート例(2) 変更
		365	17.4.2 スレーブモード (5)変更 図17.6 ヘッダフィールドの受信時の動作例 「RAIC」 「TRAIC」変更
		366	図17.7 ヘッダフィールド受信フローチャート例(1) 変更
		367	図17.8 ヘッダフィールド受信フローチャート例(2) 変更
		368	図17.9 ヘッダフィールド受信フローチャート例(3) 変更
		369	図17.10 バス衝突検出時の動作例 「RAIC」 「TRAIC」変更
		370	17.5 割り込み要求 「ハードウェアLINが、、、Sync Break 検出、Sync Field計測完了およびバス衝突検出の計3種類があります。」 「ハードウェアLINが、、、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。」へ変更 表17.2 ハードウェアLINの割り込み要求 変更
		372	表18.1 A/Dコンバータの性能 変更
		382	18.3 サンプル&ホールド 「、、分解能8ビットの場合28 ADサイ、、、33 ADサイクルになり、、A/D変換を行う際は、サンプリング時間、充電をしてください。」削除

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	384	18.6 注入電流バイパス回路 削除 18.7 A/D変換時のセンサーの出力インピーダンス 追加
		390	図19.4 OFSレジスタ 注2変更
		391	表19.3 EW0モードとEW1モードの違い 変更
		393	19.4.2.1 FMR00ビット 「、、、(サスペンド期間を含む)、、、」追加
		395	図19.5 FMR0レジスタ 注6追加
		397	図19.7 FMR4レジスタ 注2、3、4変更 注5追加
		398	図19.8 サスペンド動作に関するタイミング 変更
		401	19.4.3.1 リードアレイ 「また、リセット解除後はリードアレイモードになります。」追加
			19.4.3.2 リードステータスレジスタ 「リードステータスレジスタモードは、次に、、、継続されます。」追加
		402	19.4.3.4 プログラム 「、、、サスペンド機能禁止時、、、」「サスペンド機能許可時、FMR44 ビットは、自動書き込み、、、終了後は“0”になります。」追加 図19.12 プログラムフローチャート(サスペンド機能禁止時) 図タイトル変更
		403	図19.13 プログラムフローチャート(サスペンド機能許可時) 追加
		404	19.4.3.5 ブロックイレーズ 「プログラムサスペンド中、、、は受け付けられません。」 「プログラムサスペンド中、、、を使用しないでください。」へ変更 図19.14 ブロックイレーズフローチャート(イレーズサスペンド機能禁止 時) 図タイトル変更
		405	図19.15 ブロックイレーズフローチャート(イレーズサスペンド機能許可 時) 変更
		406	表19.5 ステータスレジスタ 変更
		409	19.5 標準シリアル入出力モード 変更 表19.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2) 追加
		410	表19.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3) 変更
		411	図19.17 標準シリアル入出力モード3時の端子結線図 タイトル変更
		412	図19.18 標準シリアル入出力モード2を使用する場合の端子処理例 追加 図19.19 標準シリアル入出力モード3を使用する場合の端子処理例 タイ トル変更
		416	表20.2 推奨動作条件 変更
		418	表20.4 フラッシュメモリ(プログラムROM)の電気的特性 変更
419	表20.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の 電気的特性 変更		
420	図20.2 サスペンドへの遷移時間 タイトル変更		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	421	表20.9 電圧監視0リセットの電気的特性、表20.10 パワーオンリセット回路の電気的特性(電圧監視0リセット未使用時)、図20.3 パワーオンリセット回路の電気的特性 変更
		422	表20.11 高速オンチップオシレータ発振回路の電気的特性 変更 表20.12 低速オンチップオシレータ発振回路の電気的特性 変更
		428	表20.17 電気的特性(2) [Vcc = 5V] 変更
		432	表20.23 電気的特性(4) [Vcc = 3V] 変更
		436	表20.29 電気的特性(6) [Vcc = 2.2V] 変更
		440	21.1.1 ストップモード、ウェイトモード 変更 21.1.4 fOCO40M 削除
		443	21.2.7 発振停止検出割り込み検出後のウェイトモード移行 削除
		447	21.3.3.6 リセット同期PWMモード (2)変更
		448	21.3.3.7 相補PWMモード <ul style="list-style-type: none"> • TRDFCR レジスタのCMD1 ~ CMD0ビットを変更するときは、、、 変更手順：相補PWMモードにする場合、 (2) 変更 変更手順：相補PWMモードを止める場合 (1)(2)変更 • 動作中に TRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1、、、 「ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、、、ビットを“1”(バッファレジスタ)にしても構いません。」追記
		451	21.3.3.8 PWM3モード 削除
		453	図21.6 リアルタイムクロックモード時の設定例 変更
		457	21.6 ハードウェアLIN使用上の注意 「Sync Break」 「Synch Break」変更
		462	22. オンチップデバッグの注意事項 (2)変更
		463	付録1. 外形寸法図 「外形寸法図の最新版や、、、「パッケージ」に掲載されています。」追加
1.10	2006.05.31	27	図5.7 パワーオンリセット回路例と動作 変更
		28	5.3 電圧監視0リセット 「パワーオンリセットを使用する場合、...を“0”にしてください。」 「パワーオンリセットを使用する場合には、OFSレジスタのLVD00Nビットを“0”、...を有効にしてください。」 変更
		45 ~ 51	図7.1 プログラマブル入出力ポートの構成(1) ~ 図7.7 プログラマブル入出力ポートの構成(7) 注1追加
		96	10.7.1 ストップモード、ウェイトモード 「...ウェイトモード...」 「...ウェイトモードおよびストップモード...」 変更
		262	図14.108 リアルタイムクロックモードのブロック図 変更
		283	図15.6 U0C1 ~ U1C1、U1SR、PMR レジスタ U0C1 ~ U1C1レジスタ 注2追加
		355	図16.46 マスタ受信モードのレジスタ設定例(I ² Cバスインタフェースモード) 「(1) ... マスタ送信モード...」 「(1) ... マスタ受信モード...」 変更

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2006.05.31	376	表18.2 単発モードの仕様 変更		
		380	図18.6 繰り返しモード時のADCON0レジスタ 変更		
		383	図18.10 アナログ入力内部等価回路 変更		
		384	18.6 A/D変換時のセンサーの出力インピーダンス 「したがって、...最大7.3k ...」 「したがって、...最大1.7k ...」 変更		
		385	18.7 A/Dコンバータ使用上の注意 「・繰り返しモードで使用する場合 CPUクロックは、XINクロックを分周せずに使用してください。」 「・繰り返しモードで使用する場合 CPUクロックには... ADにfOCO-Fを選択しないでください。」 変更		
		415	19.7.1.7 フラッシュメモリの初期化 削除		
		417	図20.1 ポートP0～P4、P6のタイミング測定回路 図タイトル変更		
		421	表20.9 電圧監視0リセットの電気的特性 表20.9 パワーオンリセット回路、電圧監視0リセットの電気的特性 変更 表20.10 パワーオンリセット回路の電気的特性 削除 図20.3 パワーオンリセット回路の電気的特性 変更		
		440	21.1.1 ストップモード、ウェイトモード 「...ウェイトモード...」 「...ウェイトモードおよびストップモード...」 変更		
		458	21.7 A/Dコンバータ使用上の注意 変更		
		460	21.8.1.7 フラッシュメモリの初期化 削除		
		2.00	2006.11.01	全ページ	「PTLG0064JA-A(64F0G)パッケージ品」追加 Yバージョン 追加 書き込み出荷品 追加
				1	1. 概要 「...、または64ピンプラスチックモールドFLGA...」 追記
2、3	表1.1 R8C/24グループの性能概要、表1.2 R8C/25グループの性能概要 パッケージ：64ピンプラスチックモールドFLGA 追加				
9	図1.4 PLQP0052JA-Aパッケージ品のピン接続図 注2変更				
10	図1.5 PTLG0064JA-Aパッケージ品のピン接続図 追加				
18	表4.1 変更				
36	図6.5 注6 「ウェイトモードへの移行時のみに使用してください。」 追加				
38	図6.7 VW1C3 「RW」 「RO」				
61	表7.17 変更				
62	表7.19 変更				
66	表7.33 変更				
67	表7.35、表7.36 変更				
79	図10.5 注2追加				

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.11.01	81	図10.8 注6 「ウェイトモードへの移行時のみに使用してください。」追加
		82	図10.9 変更
		83	10.2.2 「高速オンチップオシレータクロックの周波数は、40MHz以下になるように、FRA1レジスタを調整してください。」追加
		91	図10.11 変更
		92	図10.12 変更
		94	図10.13 変更
		99	10.7.1 変更、10.7.2 追加
		125	12.6.3 「および「表20.18(Vcc = 5V)、、、、INT1入力」を参照。)」削除
		129	図13.2 ウォッチドッグタイマ制御レジスタ：リセット後の値「読んだ場合、その値は不定。」追加
		142	表14.4 TRAO端子機能：仕様「またはパルス出力」追加
		200	図14.49 注2 追加
		215	図14.64 タイマRDアウトプット制御レジスタ 注2 追加
		220	図14.70 変更
		250	図14.97 注2 追加
		260	14.3.12.7 「相補PWMモード時、、、を使用しないでください。」削除
		287	表15.1 注2 変更
		292	表15.4 注1 変更
		294	図15.10 変更
		302	図16.3 注2 変更
		333	図16.26 注3 変更
		340 ~ 345	図16.31、図16.32、図16.33、図16.34、図16.35 変更
		366	図17.4 変更
		370	図17.8 変更
		371	図17.9 変更
		373	17.4.4 追加
		374	表17.2 割り込み要因「8」「6」
		380	表18.2 停止条件 仕様：「ADCAPビットが“0”(ソフトウェアトリガの場合)追加
		391	図19.1 変更
		392	図19.2 変更
		407	図19.13 注3 追加
409	図19.15 注3 追加		
412	図19.16 変更		
420	表20.1 絶対最大定格 注1追加		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.11.01	426	表20.10、表20.11 変更
		432	表20.15 変更
		433	表20.16 変更
		434	表20.17 追加
		435	図20.8 変更 表20.19 「INT1入力」削除
		437	表20.22 変更
		438	表20.23 変更
		439	図20.12 変更 表20.25 「INT1入力」削除
		442	表20.29 変更
		443	図20.16 変更 表20.31 「INT1入力」削除
		445	21.1.1 変更、21.1.2 追加
		467	23 (2)変更、(5)削除
		468	外形寸法図「PTLG0064JA-A(64F0G)」パッケージ図追加
3.00	2008.2.29	-	「RENESAS TECHNICAL UPDATE」反映： TN-16C-A164A/J、TN-16C-A165A/J、TN-16C-A166A/J、 TN-16C-A167A/J
		2、3	表1.1、表1.2 クロック：「リアルタイムクロック(タイマRE)あり」追加
		5、7	表1.3、表1.4 開発中表記を削除
		6、8	図1.2、図1.3 「ROM番号」追加
		13、14	図2.1、2.7 「スタックベースレジスタ」 「スタティックベースレジスタ」
		16、17	図3.1、図3.2 「拡張領域」削除
		18	表4.1 番地「002Ch」追加
		26	図5.3 変更、注2追加
		27、130、 399	図5.4、図13.2、図19.4 「OFSレジスタ」に追記
		28	5.1.1、5.1.2 「1/fOCO-S x 20待つ」 「10μs以上待つ」
		29	図5.5、図5.6 変更
		30	5.2、図5.7 変更
		36	図6.5 「VCA2レジスタ」注6変更
		62	表7.17、表7.19 変更
		66	表7.29、表7.30 変更
		71	表7.48 「またはVCC、VSSに接続」追記
		74	10. クロック発生回路 変更
		75	図10.1 変更、「時計用プリスケラ」追記

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2008.2.29	76	図10.2 注4変更
		80	図10.6 「FRA7レジスタ」追加
		81	図10.8 注6変更
		82	図10.9 追加
		84	10.2.2 変更・追記
		89、93	10.5.1.2、10.5.1.4、10.5.2.5 「VCA20ビットにより、…」追記 図10.13 変更
		91	表10.3 「ウォッチドッグタイマ割り込み」削除
		95	図10.14 変更
		97	10.6.1 「FRA00ビットを、…」追記
		100	10.7.1、10.7.2 変更
		104	12.1.3.1 「ウォッチドッグタイマ割り込み、…」削除
		106	表12.2 「参照先」の変更
		117	12.2.1 変更
		122	表12.6 変更、注2追加
		126	12.6.4 削除
		127	図12.20 注2変更
		135	表14.1 タイマRE「・fC32」削除
		136	図14.1 「TSTART」 「TCSTF」
		140	図14.5 「TRACRレジスタの、… “0”、…」 「TRACRレジスタの、… “1”、…」
		151	14.1.6 変更、追記
		152	14.2 「リロードレジスタとカウンタは、…」削除 図14.12 変更
		158	図14.17 「TRBCRレジスタの、… “0”、…」 「TRBCRレジスタの、… “1”、…」
		162、166	表14.9、表14.10 注2追加
		169～172	14.2.5 変更 14.2.5.1、14.2.5.2、14.2.5.3、14.2.5.4 追記
		193	図14.40 b0「TRDIOA0信号の、…」 「TRDIOA0端子の、…」
		199、215	表14.25、表14.27 「TRDiが“0000h”、…」削除
		200、216	図14.47、図14.63、図14.75、図14.85
228、238	TRDSTRレジスタ「b2」「b3」変更		
211	図14.59 「カウンタクリアの」削除		
213	図14.61 変更		
215	図14.27 変更		
226	図14.74 「同期」 「周期」		

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2008.2.29	227、250	表14.29、表14.33 「TRD0が“0000h”、、、」削除
		251	図14.96 b0「0」削除、TRDSTRレジスタ「b2」「b3」変更
		256	図14.101 「タイマRDステータスレジスタi(i=0~1)(注2)」の注2削除
		263	14.3.12.1、表14.36 「カウンタクリア後、」削除
		276	図14.119 「“00”」「“00b”」
		288	図15.3 UARTiビットレートレジスタ 「、、、U0BRG、、、」「、、、UiBRG、、、」
		289	図15.4 注2削除
		298	表15.5 注2追加
		301	表15.7 変更、注1追加
		302	15.3 「受信エラーは、、、」追記
		306 ~ 312	図16.2、図16.3 注4削除 図16.4、図16.8 「SSRDRレジスタ」注2削除 図16.5、図16.8 「SSTDTRレジスタ」注1削除 図16.6 注2追記、注7変更 図16.7 注5変更
		326	図16.18 変更
		332	16.2.8.1 削除
		336 ~ 341	図16.24 注6変更 図16.25 注5削除 図16.26、注7削除 図16.27 注3削除 図16.28 注7変更 図16.29 注1削除
		365	16.3.8.1、16.3.8.2 変更・追加
		366	図17.1 変更
		371、372	図17.5、図17.6 変更
		375、378	図17.9、図17.12 変更
		377	図17.11 変更
		383、386	図18.2、図18.4、図18.6 注4「ADGSEL0ビット、、、」削除
		389	
		392	図18.10 変更
		394	18.7 変更・追記
		395	表19.2 変更
		400	表19.3 EW1モード「またはRAM領域」追記
		401	19.4.1、19.4.2 「td(SR-ES)」「td(SR-SUS)」
		402	19.4.2.4 「フラッシュメモリ以外の領域」「RAMに転送した」
		403	19.4.2.10 「イレーズ」削除、19.4.2.15 追記と「イレーズ」削除

改訂記録	R8C/24 グループ、R8C/25 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2008.2.29	404	図19.5 注3「フラッシュメモリ以外の領域」 「RAMに転送した」 注4「(CPU書き換えモード)」 「(CPU書き換えモード有効)」
		405	図19.6 b0「読んだ場合、その値は不定。」に変更
		406	図19.7 注5変更
		408	図19.9 「フラッシュメモリ以外の領域」 「RAM」
		409	図19.11 「フラッシュメモリ以外の領域」 「RAM」 「15 μ s」 「30 μ s」 _、 注1変更、注4削除
		411	19.4.3.4 変更
		412、414	図19.13、図19.15 変更・注4追加
		416	表19.6 「FMR00レジスタ」 「FMR0レジスタ」
		418	表19.7 変更
		432	表20.10 変更・注4追加
		478	付図2.1 注2削除、付図2.2 変更
479	付図3.1 注1変更		

R8C/24グループ、R8C/25グループハードウェアマニュアル

発行年月日 2005年7月15日 Rev.0.10
2008年2月29日 Rev.3.00

発行 株式会社 ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2008. Renesas Technology Corp., All rights reserved. Printed in Japan.

R8C/24 グループ、R8C/25 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJ09B0265-0300