

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M32C/87グループ(M32C/87、 M32C/87A、M32C/87B)

ハードウェアマニュアル

ルネサスマイクロコンピュータ

M16Cファミリ / M32C/80シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M32C/87グループ(M32C/87、M32C/87A、M32C/87B)では次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M32C/87グループ (M32C/87、M32C/87A、 M32C/87B) データシート	RJJ03B0080-0151
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	M32C/87グループ (M32C/87、M32C/87A、 M32C/87B) ハードウェアマニュアル	本ハードウェア マニュアル
ソフトウェアマニュアル	CPU命令セットの説明	M32C/80シリーズ ソフトウェアマニュアル	RJJ09B0340-0100
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語による プログラムの作成方法	ルネサス テクノロジホームページに 掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等 に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0レジスタのPM03ビット

P3_5端子、VCC端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数: 11b

16進数: EFA0h

10進数: 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	×		

*1

シンボル
・・・

アドレス
・・・

リセット時
00h

ビット シンボル	ビット名	機能	RW
・・・0	・・・ビット	b1b0 00:・・・ 01:・・・ 10:設定しないでください 11:・・・	RW
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b4-b3)	予約ビット	“0”にしてください	WO
・・・5	・・・ビット	動作モードによって機能が異なる	RW
・・・6			RW
・・・7	・・・ビット	0:・・・ 1:・・・	RO

*1

空白 : 用途に応じて “0” または “1” にしてください。

0 : “0” にしてください。

1 : “1” にしてください。

× : 何も配置されていないビットです。

*2

RW : 読むとビットの状態が読めます。書くと有効データになります。

RO : 読むとビットの状態が読めます。書いた値は無効になります。

WO : 書くと有効データになります。ビットの状態は読めません。

— : 何も配置されていないビットです。

*3

- ・予約ビット
予約ビットです。指定された値にしてください。

*4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は “0” を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のICカード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。
IEBusは、NECエレクトロニクス株式会社の登録商標です。

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	2
1.2 製品一覧	6
1.3 ブロック図	8
1.4 ピン配置図	9
1.5 端子機能の説明	17
2. 中央演算処理装置 (CPU)	21
2.1 基本レジスタ	22
2.1.1 データレジスタ (R0、R1、R2、R3)	22
2.1.2 アドレスレジスタ (A0、A1)	22
2.1.3 スタティックベースレジスタ (SB)	22
2.1.4 フレームベースレジスタ (FB)	22
2.1.5 プログラムカウンタ (PC)	22
2.1.6 割り込みテーブルレジスタ (INTB)	22
2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	22
2.1.8 フラグレジスタ (FLG)	22
2.2 高速割り込みレジスタ	23
2.3 DMAC 関連レジスタ	23
3. メモリ	24
4. SFR	25
5. リセット	43
5.1 ハードウェアリセット 1	43
5.1.1 電源安定時	43
5.1.2 電源投入時	43
5.2 ハードウェアリセット 2 (Vdet3 検出機能)	45
5.3 ソフトウェアリセット	45
5.4 ウォッチドッグタイマリセット	45
5.5 CPU レジスタの状態	46
6. 電圧検出機能	47
6.1 Vdet3 検出機能	51
6.2 Vdet4 検出機能	52
6.2.1 Vdet4 検出割り込み使用時の注意事項	54
6.3 コールドスタート / ウォームスタート判定機能	54
7. プロセッサモード	55
7.1 プロセッサモードの種類	55
7.2 プロセッサモードの設定	55
8. バス	59
8.1 バス設定	59

8.1.1	外部アドレスバスの選択	60
8.1.2	外部データバスの選択	60
8.1.3	セパレートバス、マルチプレクスバスの選択	60
8.2	バス制御	62
8.2.1	アドレスバス、データバス	62
8.2.2	チップセレクト出力	62
8.2.3	リード出力、ライト出力	64
8.2.4	バスタイミング	65
8.2.5	ALE 出力	73
8.2.6	$\overline{\text{RDY}}$ 入力	73
8.2.7	$\overline{\text{HOLD}}$ 入力	74
8.2.8	内部領域をアクセスしたときの外部バスの状態	75
8.2.9	BCLK 出力	75
9.	クロック発生回路	76
9.1	クロック発生回路の種類	76
9.1.1	メインクロック	85
9.1.2	サブクロック	86
9.1.3	オンチップオシレータクロック	87
9.1.4	PLL クロック	89
9.2	CPU クロックと BCLK	90
9.3	周辺機能クロック	90
9.3.1	f1、f8、f32、f2n	90
9.3.2	fAD	90
9.3.3	fC32	90
9.3.4	fCAN	90
9.4	クロック出力機能	91
9.5	パワーコントロール	92
9.5.1	CPU 動作モード	92
9.5.2	ウェイトモード	94
9.5.3	ストップモード	97
9.6	システムクロック保護機能	100
10.	プロテクト	101
11.	割り込み	102
11.1	割り込みの分類	102
11.2	ソフトウェア割り込み	103
11.2.1	未定義命令割り込み	103
11.2.2	オーバフロー割り込み	103
11.2.3	BRK 割り込み	103
11.2.4	BRK2 割り込み	103
11.2.5	INT 命令割り込み	103
11.3	ハードウェア割り込み	104
11.3.1	特殊割り込み	104
11.3.2	周辺機能割り込み	104
11.4	高速割り込み	105
11.5	割り込みと割り込みベクタ	106
11.5.1	固定ベクタテーブル	106

11.5.2	可変ベクタテーブル	106
11.6	割り込み要求の受け付け	109
11.6.1	Iフラグと IPL	109
11.6.2	割り込み制御レジスタと RLVL レジスタ	109
11.6.3	割り込みシーケンス	113
11.6.4	割り込み応答時間	114
11.6.5	割り込み要求受け付け時の IPL の変化	115
11.6.6	レジスタ退避	115
11.6.7	割り込みルーチンからの復帰	116
11.6.8	割り込み優先順位	116
11.6.9	割り込み優先レベル判定回路	116
11.7	$\overline{\text{INT}}$ 割り込み	118
11.8	$\overline{\text{NMI}}$ 割り込み	122
11.9	キー入力割り込み	122
11.10	アドレス一致割り込み	123
11.11	インテリジェント I/O、CAN、UART5、UART6、 $\overline{\text{INT6}}$ ~ $\overline{\text{INT8}}$ 割り込み	124
11.11.1	IIOiE レジスタ	127
11.11.2	IIOiR レジスタ	127
11.11.3	IIOiC レジスタ (CANjIC レジスタ)	127
12.	ウォッチドッグタイマ	130
13.	DMAC	134
13.1	転送サイクル	144
13.1.1	転送元番地と転送先番地の影響	144
13.1.2	DS レジスタの影響	144
13.1.3	ソフトウェアウェイトの影響	144
13.1.4	$\overline{\text{RDY}}$ 信号の影響	144
13.2	DMA の転送時間	145
13.3	チャンネル優先順位と DMA 転送タイミング	145
14.	DMACII	147
14.1	DMACII の設定	147
14.1.1	RLVL レジスタ	147
14.1.2	DMACII インデックス	149
14.1.3	周辺機能の割り込み制御レジスタ	151
14.1.4	周辺機能の割り込みベクタ	151
14.1.5	IIOiE レジスタ (i=0 ~ 11) の IRLT ビット	151
14.2	DMACII の動作	151
14.3	転送データ	151
14.3.1	メモリ間転送	151
14.3.2	即値転送	152
14.3.3	演算転送	152
14.4	転送方式	152
14.4.1	単転送	152
14.4.2	バースト転送	152
14.4.3	複数転送	152
14.5	チェーン転送	153
14.6	転送完了割り込み	153

14.7	実行時間	154
15.	タイマ	155
15.1	タイマ A	157
15.1.1	タイマモード	169
15.1.2	イベントカウンタモード	170
15.1.3	ワンショットタイマモード	175
15.1.4	パルス幅変調モード	177
15.2	タイマ B	180
15.2.1	タイマモード	187
15.2.2	イベントカウンタモード	188
15.2.3	パルス周期測定モード、パルス幅測定モード	189
16.	三相モータ制御用タイマ機能	192
16.1	三角波変調モード	203
16.2	鋸波変調モード	207
16.3	通電防止機能	209
16.3.1	プログラム誤動作による上下同時通電防止機能	209
16.3.2	短絡防止タイマによるアーム短絡防止機能	209
16.3.3	NMI 入力による強制遮断機能	209
17.	シリアルインタフェース	210
17.1	UART0 ~ UART4	211
17.1.1	クロック同期モード	221
17.1.2	クロック非同期モード (UART)	230
17.1.3	特殊モード 1(I2C モード)	238
17.1.4	特殊モード 2	248
17.1.5	特殊モード 3(GCI モード)	253
17.1.6	特殊モード 4(SIM モード)	257
17.1.7	特殊モード 5(IrDA モード) … UART0	263
17.2	UART5、UART6	266
17.2.1	クロック同期モード	272
17.2.2	クロック非同期モード (UART)	280
18.	A/D コンバータ	287
18.1	モードの説明	294
18.1.1	単発モード	295
18.1.2	繰り返しモード	296
18.1.3	単掃引モード	297
18.1.4	繰り返し掃引モード 0	298
18.1.5	繰り返し掃引モード 1	299
18.1.6	マルチポート単掃引モード	301
18.1.7	マルチポート繰り返し掃引モード 0	302
18.2	機能	303
18.2.1	分解能	303
18.2.2	サンプル & ホールド	303
18.2.3	トリガ選択機能	303
18.2.4	DMAC 利用モード	303
18.2.5	拡張アナログ入力端子	303

18.2.6	外部オペアンプ接続モード	304
18.2.7	消費電流低減機能	304
18.3	AD0i レジスタ (i=0 ~ 7) の読み出し	305
18.4	A/D 変換時のセンサの出力インピーダンス	305
19.	D/A コンバータ	307
20.	CRC 演算	310
21.	X/Y 変換	312
22.	インテリジェント I/O	315
22.1	ベースタイマ	330
22.2	時間計測機能 (インプットキャプチャ)	336
22.2.1	プリスケアラ機能	340
22.2.2	ゲート機能	342
22.3	波形生成機能 (アウトプットコンペア)	344
22.3.1	単相波形出力モード (グループ 1、2)	348
22.3.2	反転波形出力モード (グループ 1、2)	350
22.3.3	セット - リセット (SR) 波形出力モード (グループ 1、2)	352
22.3.4	ビットモジュレーション PWM 出力モード (グループ 2)	354
22.3.5	リアルタイムポート出力モード (グループ 2)	356
22.3.6	並列リアルタイムポート出力モード (グループ 2)	358
22.3.7	GiPOj レジスタ値リロードタイミング選択機能 (i=1,2, j=0 ~ 7)	361
22.4	グループ 0、1 通信機能	362
22.4.1	クロック同期モード (グループ 0、1)	373
22.4.2	クロック非同期 (UART) モード (グループ 1)	379
22.4.3	HDLC データ処理モード (グループ 0、1)	383
22.5	グループ 2 通信機能	386
22.5.1	可変長クロック同期モード (グループ 2)	392
23.	CAN モジュール	395
23.1	関連レジスタ	399
23.1.1	CANi 制御レジスタ 0 (CiCTLR0 レジスタ)(i=0,1)	399
23.1.2	CANi 制御レジスタ 1 (CiCTLR1 レジスタ)(i=0,1)	402
23.1.3	CANi スリープ制御レジスタ (CiSLPR レジスタ)(i=0,1)	403
23.1.4	CANi ステータスレジスタ (CiSTR レジスタ)(i=0,1)	404
23.1.5	CANi 拡張 ID レジスタ (CiIDR レジスタ)(i=0,1)	407
23.1.6	CANi コンフィグレーションレジスタ (CiCONR レジスタ)(i=0,1)	408
23.1.7	CANi ボーレートプリスケアラ (CiBRP レジスタ)(i=0,1)	410
23.1.8	CANi タイムスタンプレジスタ (CiTSR レジスタ)(i=0,1)	411
23.1.9	CANi 送信エラーカウントレジスタ (CiTEC レジスタ)(i=0,1)	412
23.1.10	CANi 受信エラーカウントレジスタ (CiREC レジスタ)(i=0,1)	412
23.1.11	CANi スロット割り込みステータスレジスタ (CiSISTR レジスタ)(i=0,1)	413
23.1.12	CANi スロット割り込みマスクレジスタ (CiSIMKR レジスタ)(i=0,1)	415
23.1.13	CANi エラー割り込みマスクレジスタ (CiEIMKR レジスタ)(i=0,1)	416
23.1.14	CANi エラー割り込みステータスレジスタ (CiEISTR レジスタ)(i=0,1)	417
23.1.15	CANi エラー要因レジスタ (CiEFR レジスタ)(i=0,1)	418
23.1.16	CANi モードレジスタ (CiMDR レジスタ)(i=0,1)	420

23.1.17	CANi シングルショット制御レジスタ (CiSSCTLR レジスタ)(i=0,1).....	422
23.1.18	CANi シングルショットステータスレジスタ (CiSSSTR レジスタ)(i=0,1).....	424
23.1.19	CANi グローバルマスクレジスタ、CANi ローカルマスクレジスタ A、B(i=0,1).....	426
23.1.20	CANi メッセージスロットj 制御レジスタ (CiMCTLj レジスタ)(i=0,1)(j=0 ~ 15).....	432
23.1.21	CANi スロットバッファ選択レジスタ (CiSBS レジスタ)(i=0,1).....	436
23.1.22	CANi メッセージスロットバッファ j(i=0,1、j=0,1).....	437
23.1.23	CANi アクセプタンスフィルタサポートレジスタ (CiAFS レジスタ)(i=0,1).....	441
23.2	CAN クロックと CPU クロック	442
23.2.1	CAN クロック	442
23.2.2	CPU クロック	442
23.3	CAN 関連レジスタの設定と動作タイミング	443
23.3.1	CAN モジュール初期化	443
23.3.2	CAN 送信タイミング	444
23.3.3	CAN 受信タイミング	445
23.3.4	CAN バスエラータイミング	446
23.4	CAN 割り込み	447
23.4.1	CAN1 ウェイクアップ割り込み.....	448
23.4.2	CANij 割り込み	448
24.	リアルタイムポート	452
25.	プログラマブル入出力ポート	455
25.1	ポート Pi 方向レジスタ (PDi レジスタ、i=0 ~ 15).....	455
25.2	ポート Pi レジスタ (Pi レジスタ、i=0 ~ 15).....	455
25.3	機能選択レジスタ A(PSj レジスタ、j=0 ~ 9)	455
25.4	機能選択レジスタ B(PSLk レジスタ、k=0 ~ 3、5 ~ 7、9).....	455
25.5	機能選択レジスタ C(PSC、PSC2、PSC3、PSC6 レジスタ)	455
25.6	機能選択レジスタ D(PSD1、PSD2 レジスタ).....	456
25.7	機能選択レジスタ E(PSE1、PSE2 レジスタ).....	456
25.8	プルアップ制御レジスタ 0 ~ 4(PUR0 ~ PUR4 レジスタ).....	456
25.9	ポート制御レジスタ (PCR レジスタ).....	456
25.10	入力機能選択レジスタ (IPS、IPSA、IPSB レジスタ).....	456
25.11	アナログ入力と他の周辺機能入力.....	456
26.	フラッシュメモリ	486
26.1	メモリ配置.....	487
26.1.1	ブートモード.....	488
26.2	フラッシュメモリアクセス禁止機能	488
26.2.1	ROM コードプロテクト機能	488
26.2.2	ID コードチェック機能	488
26.3	CPU 書き換えモード	490
26.3.1	フラッシュメモリ制御レジスタ (FMR0 レジスタ、FMR1 レジスタ)	491
26.3.2	ソフトウェアコマンド.....	497
26.3.3	データ保護機能	502
26.3.4	ステータスレジスタ	502
26.3.5	フルステータスチェック	503
26.4	標準シリアル入出力モード	505
26.4.1	標準シリアル入出力モード時の端子処理例	509
26.5	パラレル入出力モード.....	510

26.5.1	ブート ROM 領域	510
27.	電気的特性	511
28.	使用上の注意事項	542
28.1	電源	542
28.1.1	電源立ち上げ	542
28.1.2	電源リップル	543
28.1.3	ノイズ対策	543
28.2	SFR	544
28.2.1	100 ピン版の注意事項	544
28.2.2	レジスタ設定時の注意事項	544
28.3	プロセッサモード	545
28.4	バス	546
28.4.1	$\overline{\text{HOLD}}$ 入力	546
28.5	クロック発生回路	547
28.5.1	メインクロック	547
28.5.2	サブクロック	547
28.5.3	クロック分周比	547
28.5.4	パワーコントロール	547
28.6	プロテクト	550
28.7	割り込み	551
28.7.1	ISP の設定	551
28.7.2	$\overline{\text{NMI}}$ 割り込み	551
28.7.3	$\overline{\text{INT}}$ 割り込み	551
28.7.4	割り込み制御レジスタの変更	553
28.7.5	IIOiIR レジスタの変更 (i=0 ~ 11)	553
28.7.6	RLVL レジスタの変更	553
28.8	DMAC	554
28.9	タイマ	555
28.9.1	タイマ A、タイマ B 共通	555
28.9.2	タイマ A	555
28.9.3	タイマ B	557
28.10	三相モータ制御用タイマ機能	558
28.11	シリアルインタフェース	559
28.11.1	UiBRG レジスタ (i=0 ~ 6) の変更	559
28.11.2	クロック同期モード	559
28.11.3	UART モード	559
28.11.4	特殊モード 1(I2C モード)	559
28.12	A/D コンバータ	560
28.13	インテリジェント I/O	562
28.13.1	レジスタの設定	562
28.14	CAN	563
28.15	プログラマブル入出力ポート	564
28.16	フラッシュメモリ	565
28.16.1	動作速度	565
28.16.2	使用禁止命令	565
28.16.3	割り込み (EW0 モード)	565
28.16.4	割り込み (EW1 モード)	565

28.16.5	アクセス方法	565
28.16.6	ユーザ ROM 領域の書き換え (EW0 モード).....	565
28.16.7	ユーザ ROM 領域の書き換え (EW1 モード).....	565
28.16.8	ブートモード	566
28.16.9	コマンド、データの書き込み	566
28.16.10	ブロックイレーズ	566
28.16.11	ウェイトモード	566
28.16.12	ストップモード	566
28.16.13	低消費電力モード、オンチップオシレータ低消費電力モード	566
28.17	フラッシュメモリ版とマスク ROM 版の相違点	567
付録 1.	外形寸法図	568
索引	570

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	56
0005h	プロセッサモードレジスタ1	PM1	57
0006h	システムクロック制御レジスタ0	CM0	78、132
0007h	システムクロック制御レジスタ1	CM1	79
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	123
000Ah	プロテクトレジスタ	PRCR	101
000Bh	外部データバス幅制御レジスタ	DS	59
000Ch	メインクロック分周レジスタ	MCD	80
000Dh	発振停止検出レジスタ	CM2	81
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	133
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	50、133
0010h			
0011h	アドレス一致割り込みレジスタ0	RMAD0	123
0012h			
0013h	プロセッサモードレジスタ2	PM2	83
0014h			
0015h	アドレス一致割り込みレジスタ1	RMAD1	123
0016h			
0017h	電圧検出レジスタ2	VCR2	48
0018h			
0019h	アドレス一致割り込みレジスタ2	RMAD2	123
001Ah			
001Bh	電圧検出レジスタ1	VCR1	48
001Ch			
001Dh	アドレス一致割り込みレジスタ3	RMAD3	123
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	PLL制御レジスタ0	PLC0	82
0027h	PLL制御レジスタ1	PLC1	
0028h			
0029h	アドレス一致割り込みレジスタ4	RMAD4	123
002Ah			
002Bh			
002Ch			
002Dh	アドレス一致割り込みレジスタ5	RMAD5	123
002Eh			
002Fh	Vdet4検出割り込みレジスタ	D4INT	49
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h	アドレス一致割り込みレジスタ6	RMAD6	123
003Ah			
003Bh			
003Ch			
003Dh	アドレス一致割り込みレジスタ7	RMAD7	123
003Eh			
003Fh			

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	外部領域ウェイト制御レジスタ0	EWCR0	65
0049h	外部領域ウェイト制御レジスタ1	EWCR1	
004Ah	外部領域ウェイト制御レジスタ2	EWCR2	
004Bh	外部領域ウェイト制御レジスタ3	EWCR3	
004Ch			
004Dh			
004Eh			
004Fh			
0050h			
0051h			
0052h			
0053h			
0054h			
0055h	フラッシュメモリ制御レジスタ1	FMR1	493
0056h			
0057h	フラッシュメモリ制御レジスタ0	FMR0	491
0058h			
0059h			
005Ah			
005Bh			
005Ch			
005Dh			
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h	DMA0割り込み制御レジスタ	DM0IC	110
0069h	タイマB5割り込み制御レジスタ	TB5IC	
006Ah	DMA2割り込み制御レジスタ	DM2IC	
006Bh	UART2受信 / ACK割り込み制御レジスタ	S2RIC	
006Ch	タイマA0割り込み制御レジスタ	TA0IC	
006Dh	UART3受信 / ACK割り込み制御レジスタ	S3RIC	
006Eh	タイマA2割り込み制御レジスタ	TA2IC	
006Fh	UART4受信 / ACK割り込み制御レジスタ	S4RIC	
0070h	タイマA4割り込み制御レジスタ	TA4IC	
0071h	UART0バス衝突検出割り込み制御レジスタ UART3バス衝突検出割り込み制御レジスタ	BCN0IC BCN3IC	
0072h	UART0受信 / ACK割り込み制御レジスタ	S0RIC	
0073h	A/D0変換割り込み制御レジスタ	AD0IC	
0074h	UART1受信 / ACK割り込み制御レジスタ	S1RIC	
0075h	インテリジェントI/O割り込み制御レジスタ0 CAN1割り込み制御レジスタ0	IIO0IC CAN3IC	
0076h	タイマB1割り込み制御レジスタ	TB1IC	
0077h	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	
0078h	タイマB3割り込み制御レジスタ	TB3IC	
0079h	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	
007Ah	INT5割り込み制御レジスタ	INT5IC	111
007Bh	インテリジェントI/O割り込み制御レジスタ6	IIO6IC	110
007Ch	INT3割り込み制御レジスタ	INT3IC	111
007Dh	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	110
007Eh	INT1割り込み制御レジスタ	INT1IC	111
007Fh	インテリジェントI/O割り込み制御レジスタ10 CAN0割り込み制御レジスタ1	IIO10IC CAN1IC	110

番地	レジスタ	シンボル	掲載ページ
0080h			
0081h	インテリジェントI/O割り込み制御レジスタ11 CAN0割り込み制御レジスタ2	IIO11IC CAN2IC	110
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DMA1割り込み制御レジスタ	DM1IC	
0089h	UART2送信 / NACK割り込み制御レジスタ	S2TIC	
008Ah	DMA3割り込み制御レジスタ	DM3IC	
008Bh	UART3送信 / NACK割り込み制御レジスタ	S3TIC	
008Ch	タイマA1割り込み制御レジスタ	TA1IC	
008Dh	UART4送信 / NACK割り込み制御レジスタ	S4TIC	
008Eh	タイマA3割り込み制御レジスタ	TA3IC	
008Fh	UART2バス衝突検出割り込み制御レジスタ	BCN2IC	
0090h	UART0送信 / NACK割り込み制御レジスタ	S0TIC	
0091h	UART1バス衝突検出割り込み制御レジスタ UART4バス衝突検出割り込み制御レジスタ	BCN1IC BCN4IC	110
0092h	UART1送信 / NACK割り込み制御レジスタ	S1TIC	
0093h	キー入力割り込み制御レジスタ	KUPIC	
0094h	タイマB0割り込み制御レジスタ	TB0IC	
0095h	インテリジェントI/O割り込み制御レジスタ1 CAN1割り込み制御レジスタ1	IIO1IC CAN4IC	
0096h	タイマB2割り込み制御レジスタ	TB2IC	
0097h	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	
0098h	タイマB4割り込み制御レジスタ	TB4IC	
0099h	インテリジェントI/O割り込み制御レジスタ5 CAN1割り込み制御レジスタ2	IIO5IC CAN5IC	
009Ah	INT4割り込み制御レジスタ	INT4IC	111
009Bh	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	110
009Ch	INT2割り込み制御レジスタ	INT2IC	111
009Dh	インテリジェントI/O割り込み制御レジスタ9 CAN0割り込み制御レジスタ0	IIO9IC CAN0IC	110
009Eh	INT0割り込み制御レジスタ	INT0IC	111
009Fh	復帰用優先順位レジスタ	RLVL	112、148
00A0h	割り込み要求レジスタ0	IIO0IR	
00A1h	割り込み要求レジスタ1	IIO1IR	
00A2h	割り込み要求レジスタ2	IIO2IR	
00A3h	割り込み要求レジスタ3	IIO3IR	
00A4h	割り込み要求レジスタ4	IIO4IR	
00A5h	割り込み要求レジスタ5	IIO5IR	
00A6h	割り込み要求レジスタ6	IIO6IR	
00A7h	割り込み要求レジスタ7	IIO7IR	
00A8h	割り込み要求レジスタ8	IIO8IR	
00A9h	割り込み要求レジスタ9	IIO9IR	
00AAh	割り込み要求レジスタ10	IIO10IR	
00ABh	割り込み要求レジスタ11	IIO11IR	
00ACh			
00ADh			
00AEh			
00AFh			
00B0h	割り込み許可レジスタ0	IIO0IE	
00B1h	割り込み許可レジスタ1	IIO1IE	
00B2h	割り込み許可レジスタ2	IIO2IE	
00B3h	割り込み許可レジスタ3	IIO3IE	
00B4h	割り込み許可レジスタ4	IIO4IE	
00B5h	割り込み許可レジスタ5	IIO5IE	
00B6h	割り込み許可レジスタ6	IIO6IE	
00B7h	割り込み許可レジスタ7	IIO7IE	
00B8h	割り込み許可レジスタ8	IIO8IE	
00B9h	割り込み許可レジスタ9	IIO9IE	
00BAh	割り込み許可レジスタ10	IIO10IE	
00BBh	割り込み許可レジスタ11	IIO11IE	
00BCh			
~			
00BFh			

番地	レジスタ	シンボル	掲載ページ
00C0h			
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h			
00D5h			
00D6h			
00D7h			
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h			
00E2h			
00E3h			
00E4h			
00E5h			
00E6h			
00E7h			
00E8h	グループ0 S/I/O受信バッファレジスタ	G0RB	372
00E9h	グループ0 送信バッファ(受信データ)レジスタ	G0TB、G0DR	371
00EAh			
00EBh			
00ECh	グループ0 受信入力レジスタ	G0RI	372
00EDh	グループ0 S/I/O通信モードレジスタ	G0MR	365
00EEh	グループ0 送信出力レジスタ	G0TO	372
00EFh	グループ0 S/I/O通信制御レジスタ	G0CR	366
00F0h	グループ0 データ比較レジスタ0	G0CMP0	
00F1h	グループ0 データ比較レジスタ1	G0CMP1	
00F2h	グループ0 データ比較レジスタ2	G0CMP2	
00F3h	グループ0 データ比較レジスタ3	G0CMP3	
00F4h	グループ0 データマスクレジスタ0	G0MSK0	
00F5h	グループ0 データマスクレジスタ1	G0MSK1	
00F6h	通信クロック選択レジスタ	CCS	364
00F7h			
00F8h	グループ0 受信CRCコードレジスタ	G0RCRC	
00F9h			
00FAh	グループ0 送信CRCコードレジスタ	G0TCRC	
00FBh			
00FCh	グループ0 S/I/O拡張モードレジスタ	G0EMR	367
00FDh	グループ0 S/I/O拡張受信制御レジスタ	G0ERC	368
00FEh	グループ0 S/I/O特殊通信割り込み判別レジスタ	G0IRF	369
00FFh	グループ0 S/I/O拡張送信制御レジスタ	G0ETC	367

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載ページ
0100h	グループ1 時間計測レジスタ0	G1TM0	321
0101h	グループ1 波形生成レジスタ0	G1PO0	
0102h	グループ1 時間計測レジスタ1	G1TM1	
0103h	グループ1 波形生成レジスタ1	G1PO1	
0104h	グループ1 時間計測レジスタ2	G1TM2	
0105h	グループ1 波形生成レジスタ2	G1PO2	
0106h	グループ1 時間計測レジスタ3	G1TM3	
0107h	グループ1 波形生成レジスタ3	G1PO3	
0108h	グループ1 時間計測レジスタ4	G1TM4	
0109h	グループ1 波形生成レジスタ4	G1PO4	
010Ah	グループ1 時間計測レジスタ5	G1TM5	322
010Bh	グループ1 波形生成レジスタ5	G1PO5	
010Ch	グループ1 時間計測レジスタ6	G1TM6	
010Dh	グループ1 波形生成レジスタ6	G1PO6	
010Eh	グループ1 時間計測レジスタ7	G1TM7	
010Fh	グループ1 波形生成レジスタ7	G1PO7	
0110h	グループ1 波形生成制御レジスタ0	G1POCR0	
0111h	グループ1 波形生成制御レジスタ1	G1POCR1	
0112h	グループ1 波形生成制御レジスタ2	G1POCR2	
0113h	グループ1 波形生成制御レジスタ3	G1POCR3	
0114h	グループ1 波形生成制御レジスタ4	G1POCR4	
0115h	グループ1 波形生成制御レジスタ5	G1POCR5	321
0116h	グループ1 波形生成制御レジスタ6	G1POCR6	
0117h	グループ1 波形生成制御レジスタ7	G1POCR7	
0118h	グループ1 時間計測制御レジスタ0	G1TMCR0	
0119h	グループ1 時間計測制御レジスタ1	G1TMCR1	
011Ah	グループ1 時間計測制御レジスタ2	G1TMCR2	
011Bh	グループ1 時間計測制御レジスタ3	G1TMCR3	
011Ch	グループ1 時間計測制御レジスタ4	G1TMCR4	
011Dh	グループ1 時間計測制御レジスタ5	G1TMCR5	
011Eh	グループ1 時間計測制御レジスタ6	G1TMCR6	
011Fh	グループ1 時間計測制御レジスタ7	G1TMCR7	320
0120h	グループ1 ベースタイムレジスタ	G1BT	
0121h			
0122h	グループ1 ベースタイム制御レジスタ0	G1BCR0	
0123h	グループ1 ベースタイム制御レジスタ1	G1BCR1	
0124h	グループ1 時間計測プリスケアラレジスタ6	G1TPR6	
0125h	グループ1 時間計測プリスケアラレジスタ7	G1TPR7	
0126h	グループ1 機能許可レジスタ	G1FE	
0127h	グループ1 機能選択レジスタ	G1FS	
0128h	グループ1 S/I/O 受信バッファレジスタ	G1RB	
0129h			
012Ah	グループ1 送信バッファ (受信データ) レジスタ	G1TB、G1DR	318
012Bh			318
012Ch	グループ1 受信入力レジスタ	G1RI	319
012Dh	グループ1 S/I/O 通信モードレジスタ	G1MR	320
012Eh	グループ1 送信出力レジスタ	G1TO	323
012Fh	グループ1 S/I/O 通信制御レジスタ	G1CR	372
0130h	グループ1 データ比較レジスタ0	G1CMP0	371
0131h	グループ1 データ比較レジスタ1	G1CMP1	
0132h	グループ1 データ比較レジスタ2	G1CMP2	
0133h	グループ1 データ比較レジスタ3	G1CMP3	
0134h	グループ1 データマスクレジスタ0	G1MSK0	
0135h	グループ1 データマスクレジスタ1	G1MSK1	
0136h			
0137h			
0138h	グループ1 受信CRCコードレジスタ	G1RCRC	
0139h			
013Ah	グループ1 送信CRCコードレジスタ	G1TCRC	372
013Bh			366
013Ch	グループ1 S/I/O 拡張モードレジスタ	G1EMR	370
013Dh	グループ1 S/I/O 拡張受信制御レジスタ	G1ERC	
013Eh	グループ1 S/I/O 特殊通信割り込み判別レジスタ	G1IRF	
013Fh	グループ1 S/I/O 拡張送信制御レジスタ	G1ETC	

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載ページ
0140h	グループ2 波形生成レジスタ0	G2PO0	327
0141h			
0142h	グループ2 波形生成レジスタ1	G2PO1	
0143h			
0144h	グループ2 波形生成レジスタ2	G2PO2	
0145h			
0146h	グループ2 波形生成レジスタ3	G2PO3	
0147h			
0148h	グループ2 波形生成レジスタ4	G2PO4	
0149h			
014Ah	グループ2 波形生成レジスタ5	G2PO5	326
014Bh			
014Ch	グループ2 波形生成レジスタ6	G2PO6	
014Dh			
014Eh	グループ2 波形生成レジスタ7	G2PO7	
014Fh			
0150h	グループ2 波形生成制御レジスタ0	G2POCR0	
0151h	グループ2 波形生成制御レジスタ1	G2POCR1	
0152h	グループ2 波形生成制御レジスタ2	G2POCR2	
0153h	グループ2 波形生成制御レジスタ3	G2POCR3	
0154h	グループ2 波形生成制御レジスタ4	G2POCR4	
0155h	グループ2 波形生成制御レジスタ5	G2POCR5	
0156h	グループ2 波形生成制御レジスタ6	G2POCR6	
0157h	グループ2 波形生成制御レジスタ7	G2POCR7	
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h	グループ2 ベースタイムレジスタ	G2BT	324
0161h			
0162h	グループ2 ベースタイム制御レジスタ0	G2BCR0	324
0163h	グループ2 ベースタイム制御レジスタ1	G2BCR1	325
0164h	ベースタイムスタートレジスタ	BTSR	329
0165h			
0166h	グループ2 機能許可レジスタ	G2FE	328
0167h	グループ2 RTP出力バッファレジスタ	G2RTP	
0168h			
0169h			
016Ah	グループ2 S/I/O 通信モードレジスタ	G2MR	
016Bh	グループ2 S/I/O 通信制御レジスタ	G2CR	
016Ch	グループ2 S/I/O 送信バッファレジスタ	G2TB	
016Dh			
016Eh	グループ2 S/I/O 受信バッファレジスタ	G2RB	
016Fh			
0170h	グループ2 IEBus アドレスレジスタ	IEAR	387
0171h			
0172h	グループ2 IEBus 制御レジスタ	IECR	
0173h	グループ2 IEBus 送信割り込み要因判別レジスタ	IETIF	
0174h	グループ2 IEBus 受信割り込み要因判別レジスタ	IERIF	
0175h			
0176h			
0177h	入力機能選択レジスタB	IPSB	
0178h	入力機能選択レジスタ	IPS	
0179h	入力機能選択レジスタA	IPSA	
017Ah			
017Bh			
017Ch			
017Dh			
~			
01BFh			

番地	レジスタ	シンボル	掲載ページ
01C0h	UART5送受信モードレジスタ	U5MR	268
01C1h	UART5通信速度レジスタ	U5BRG	269
01C2h	UART5送信バッファレジスタ	U5TB	271
01C3h			
01C4h	UART5送受信制御レジスタ0	U5C0	269
01C5h	UART5送受信制御レジスタ1	U5C1	270
01C6h	UART5受信バッファレジスタ	U5RB	271
01C7h			
01C8h	UART6送受信モードレジスタ	U6MR	268
01C9h	UART6通信速度レジスタ	U6BRG	269
01CAh	UART6送信バッファレジスタ	U6TB	271
01CBh			
01CCh	UART6送受信制御レジスタ0	U6C0	269
01CDh	UART6送受信制御レジスタ1	U6C1	270
01CEh	UART6受信バッファレジスタ	U6RB	271
01CFh			
01D0h	UART5,6送受信制御レジスタ	U56CON	270
01D1h	UART5,6入力端子機能選択レジスタ	U56IS	267
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h	RTP出力バッファレジスタ0	RTP0R	453
01D9h	RTP出力バッファレジスタ1	RTP1R	
01DAh	RTP出力バッファレジスタ2	RTP2R	
01DBh	RTP出力バッファレジスタ3	RTP3R	
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	CAN0メッセージスロットバッファ0標準ID0	C0SLOT0_0	437
01E1h	CAN0メッセージスロットバッファ0標準ID1	C0SLOT0_1	438
01E2h	CAN0メッセージスロットバッファ0拡張ID0	C0SLOT0_2	
01E3h	CAN0メッセージスロットバッファ0拡張ID1	C0SLOT0_3	439
01E4h	CAN0メッセージスロットバッファ0拡張ID2	C0SLOT0_4	
01E5h	CAN0メッセージスロットバッファ0データ長コード	C0SLOT0_5	440
01E6h	CAN0メッセージスロットバッファ0データ0	C0SLOT0_6	
01E7h	CAN0メッセージスロットバッファ0データ1	C0SLOT0_7	
01E8h	CAN0メッセージスロットバッファ0データ2	C0SLOT0_8	
01E9h	CAN0メッセージスロットバッファ0データ3	C0SLOT0_9	
01EAh	CAN0メッセージスロットバッファ0データ4	C0SLOT0_10	
01EBh	CAN0メッセージスロットバッファ0データ5	C0SLOT0_11	
01ECh	CAN0メッセージスロットバッファ0データ6	C0SLOT0_12	
01EDh	CAN0メッセージスロットバッファ0データ7	C0SLOT0_13	
01EEh	CAN0メッセージスロットバッファ0タイムスタンプ上位	C0SLOT0_14	
01EFh	CAN0メッセージスロットバッファ0タイムスタンプ下位	C0SLOT0_15	
01F0h	CAN0メッセージスロットバッファ1標準ID0	C0SLOT1_0	438
01F1h	CAN0メッセージスロットバッファ1標準ID1	C0SLOT1_1	
01F2h	CAN0メッセージスロットバッファ1拡張ID0	C0SLOT1_2	439
01F3h	CAN0メッセージスロットバッファ1拡張ID1	C0SLOT1_3	
01F4h	CAN0メッセージスロットバッファ1拡張ID2	C0SLOT1_4	440
01F5h	CAN0メッセージスロットバッファ1データ長コード	C0SLOT1_5	
01F6h	CAN0メッセージスロットバッファ1データ0	C0SLOT1_6	
01F7h	CAN0メッセージスロットバッファ1データ1	C0SLOT1_7	
01F8h	CAN0メッセージスロットバッファ1データ2	C0SLOT1_8	
01F9h	CAN0メッセージスロットバッファ1データ3	C0SLOT1_9	
01FAh	CAN0メッセージスロットバッファ1データ4	C0SLOT1_10	
01FBh	CAN0メッセージスロットバッファ1データ5	C0SLOT1_11	
01FCh	CAN0メッセージスロットバッファ1データ6	C0SLOT1_12	
01FDh	CAN0メッセージスロットバッファ1データ7	C0SLOT1_13	
01FEh	CAN0メッセージスロットバッファ1タイムスタンプ上位	C0SLOT1_14	432
01FFh	CAN0メッセージスロットバッファ1タイムスタンプ下位	C0SLOT1_15	

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載ページ			
0200h	CAN0制御レジスタ0	C0CTLR0	399			
0201h						
0202h	CAN0ステータスレジスタ	C0STR	404			
0203h						
0204h	CAN0拡張IDレジスタ	C0IDR	407			
0205h						
0206h	CAN0コンフィグレーションレジスタ	C0CONR	408			
0207h						
0208h				CAN0タイムスタンプレジスタ	C0TSR	411
0209h						
020Ah	CAN0送信エラーカウントレジスタ	C0TEC	412			
020Bh	CAN0受信エラーカウントレジスタ	C0REC				
020Ch	CAN0スロット割り込みステータスレジスタ	C0SISTR	413			
020Dh						
020Eh						
020Fh						
0210h	CAN0スロット割り込みマスクレジスタ	C0SIMKR	415			
0211h						
0212h						
0213h						
0214h	CAN0エラー割り込みマスクレジスタ	C0EIMKR	416			
0215h	CAN0エラー割り込みステータスレジスタ	C0EISTR	417			
0216h	CAN0エラー要因レジスタ	C0EFR	418			
0217h	CAN0ポーレートプリスケアラ	C0BRP	410			
0218h						
0219h	CAN0モードレジスタ	C0MDR	420			
021Ah						
021Bh						
021Ch						
021Dh						
021Eh						
021Fh						
0220h	CAN0シングルショット制御レジスタ	C0SSCTLR	422			
0221h						
0222h						
0223h						
0224h	CAN0シングルショットステータスレジスタ	C0SSSTR	424			
0225h						
0226h						
0227h						
0228h	CAN0グローバルマスクレジスタ標準ID0	C0GMR0	426			
0229h	CAN0グローバルマスクレジスタ標準ID1	C0GMR1	427			
022Ah	CAN0グローバルマスクレジスタ拡張ID0	C0GMR2	428			
022Bh	CAN0グローバルマスクレジスタ拡張ID1	C0GMR3	429			
022Ch	CAN0グローバルマスクレジスタ拡張ID2	C0GMR4	430			
022Dh						
022Eh						
022Fh						
0230h	CAN0メッセージスロット0制御レジスタ	C0MCTL0	432			
	CAN0ローカルマスクレジスタA標準ID0	C0LMAR0				
0231h	CAN0メッセージスロット1制御レジスタ	C0MCTL1	432			
	CAN0ローカルマスクレジスタA標準ID1	C0LMAR1				
0232h	CAN0メッセージスロット2制御レジスタ	C0MCTL2	432			
	CAN0ローカルマスクレジスタA拡張ID0	C0LMAR2				
0233h	CAN0メッセージスロット3制御レジスタ	C0MCTL3	432			
	CAN0ローカルマスクレジスタA拡張ID1	C0LMAR3				
0234h	CAN0メッセージスロット4制御レジスタ	C0MCTL4	432			
	CAN0ローカルマスクレジスタA拡張ID2	C0LMAR4				
0235h	CAN0メッセージスロット5制御レジスタ	C0MCTL5	432			
0236h	CAN0メッセージスロット6制御レジスタ	C0MCTL6				
0237h	CAN0メッセージスロット7制御レジスタ	C0MCTL7	432			
0238h	CAN0メッセージスロット8制御レジスタ	C0MCTL8				
	CAN0ローカルマスクレジスタB標準ID0	C0LMBR0	426			
0239h	CAN0メッセージスロット9制御レジスタ	C0MCTL9	432			
	CAN0ローカルマスクレジスタB標準ID1	C0LMBR1				
023Ah	CAN0メッセージスロット10制御レジスタ	C0MCTL10	432			
	CAN0ローカルマスクレジスタB拡張ID0	C0LMBR2				
023Bh	CAN0メッセージスロット11制御レジスタ	C0MCTL11	432			
	CAN0ローカルマスクレジスタB拡張ID1	C0LMBR3				
023Ch	CAN0メッセージスロット12制御レジスタ	C0MCTL12	432			
	CAN0ローカルマスクレジスタB拡張ID2	C0LMBR4				
023Dh	CAN0メッセージスロット13制御レジスタ	C0MCTL13	432			
023Eh	CAN0メッセージスロット14制御レジスタ	C0MCTL14				
023Fh	CAN0メッセージスロット15制御レジスタ	C0MCTL15	432			

番地	レジスタ	シンボル	掲載ページ
0240h	CAN0スロットバッファ選択レジスタ	C0SBS	436
0241h	CAN0制御レジスタ1	C0CTLR1	402
0242h	CAN0スリープ制御レジスタ	C0SLPR	403
0243h			
0244h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	441
0245h			
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h	CAN1スロットバッファ選択レジスタ	C1SBS	436
0251h	CAN1制御レジスタ1	C1CTLR1	402
0252h	CAN1スリープ制御レジスタ	C1SLPR	403
0253h			
0254h	CAN1アクセプタンスフィルタサポートレジスタ	C1AFS	441
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh			
025Fh			
0260h	CAN1メッセージスロットバッファ0標準ID0	C1SLOT0_0	437
0261h	CAN1メッセージスロットバッファ0標準ID1	C1SLOT0_1	
0262h	CAN1メッセージスロットバッファ0拡張ID0	C1SLOT0_2	438
0263h	CAN1メッセージスロットバッファ0拡張ID1	C1SLOT0_3	
0264h	CAN1メッセージスロットバッファ0拡張ID2	C1SLOT0_4	439
0265h	CAN1メッセージスロットバッファ0データ長コード	C1SLOT0_5	
0266h	CAN1メッセージスロットバッファ0データ0	C1SLOT0_6	440
0267h	CAN1メッセージスロットバッファ0データ1	C1SLOT0_7	
0268h	CAN1メッセージスロットバッファ0データ2	C1SLOT0_8	440
0269h	CAN1メッセージスロットバッファ0データ3	C1SLOT0_9	
026Ah	CAN1メッセージスロットバッファ0データ4	C1SLOT0_10	440
026Bh	CAN1メッセージスロットバッファ0データ5	C1SLOT0_11	
026Ch	CAN1メッセージスロットバッファ0データ6	C1SLOT0_12	440
026Dh	CAN1メッセージスロットバッファ0データ7	C1SLOT0_13	
026Eh	CAN1メッセージスロットバッファ0タイムスタンプ上位	C1SLOT0_14	440
026Fh	CAN1メッセージスロットバッファ0タイムスタンプ下位	C1SLOT0_15	
0270h	CAN1メッセージスロットバッファ1標準ID0	C1SLOT1_0	437
0271h	CAN1メッセージスロットバッファ1標準ID1	C1SLOT1_1	
0272h	CAN1メッセージスロットバッファ1拡張ID0	C1SLOT1_2	438
0273h	CAN1メッセージスロットバッファ1拡張ID1	C1SLOT1_3	
0274h	CAN1メッセージスロットバッファ1拡張ID2	C1SLOT1_4	439
0275h	CAN1メッセージスロットバッファ1データ長コード	C1SLOT1_5	
0276h	CAN1メッセージスロットバッファ1データ0	C1SLOT1_6	440
0277h	CAN1メッセージスロットバッファ1データ1	C1SLOT1_7	
0278h	CAN1メッセージスロットバッファ1データ2	C1SLOT1_8	440
0279h	CAN1メッセージスロットバッファ1データ3	C1SLOT1_9	
027Ah	CAN1メッセージスロットバッファ1データ4	C1SLOT1_10	440
027Bh	CAN1メッセージスロットバッファ1データ5	C1SLOT1_11	
027Ch	CAN1メッセージスロットバッファ1データ6	C1SLOT1_12	440
027Dh	CAN1メッセージスロットバッファ1データ7	C1SLOT1_13	
027Eh	CAN1メッセージスロットバッファ1タイムスタンプ上位	C1SLOT1_14	440
027Fh	CAN1メッセージスロットバッファ1タイムスタンプ下位	C1SLOT1_15	

番地	レジスタ	シンボル	掲載ページ
0280h	CAN1制御レジスタ0	C1CTLR0	399
0281h			
0282h	CAN1ステータスレジスタ	C1STR	404
0283h			
0284h	CAN1拡張IDレジスタ	C1IDR	407
0285h			
0286h	CAN1コンフィグレーションレジスタ	C1CONR	408
0287h			
0288h	CAN1タイムスタンプレジスタ	C1TSR	411
0289h			
028Ah	CAN1送信エラーカウントレジスタ	C1TEC	412
028Bh	CAN1受信エラーカウントレジスタ	C1REC	
028Ch	CAN1スロット割り込みステータスレジスタ	C1SISTR	413
028Dh			
028Eh			
028Fh			
0290h	CAN1スロット割り込みマスクレジスタ	C1SIMKR	415
0291h			
0292h			
0293h			
0294h	CAN1エラー割り込みマスクレジスタ	C1EIMKR	416
0295h	CAN1エラー割り込みステータスレジスタ	C1EISTR	417
0296h	CAN1エラー要因レジスタ	C1EFR	418
0297h	CAN1ポーレートプリスケアラ	C1BRP	410
0298h			
0299h	CAN1モードレジスタ	C1MDR	420
029Ah			
029Bh			
029Ch			
029Dh			
029Eh			
029Fh			
02A0h	CAN1シングルショット制御レジスタ	C1SSCTLR	422
02A1h			
02A2h			
02A3h			
02A4h	CAN1シングルショットステータスレジスタ	C1SSSTR	424
02A5h			
02A6h			
02A7h			
02A8h	CAN1グローバルマスクレジスタ標準ID0	C1GMR0	426
02A9h	CAN1グローバルマスクレジスタ標準ID1	C1GMR1	427
02AAh	CAN1グローバルマスクレジスタ拡張ID0	C1GMR2	428
02ABh	CAN1グローバルマスクレジスタ拡張ID1	C1GMR3	429
02ACh	CAN1グローバルマスクレジスタ拡張ID2	C1GMR4	430
02ADh			
02AEh			
02AFh			
02B0h	CAN1メッセージスロット0制御レジスタ	C1MCTL0	432
	CAN1ローカルマスクレジスタA標準ID0	C1LMAR0	
02B1h	CAN1メッセージスロット1制御レジスタ	C1MCTL1	432
	CAN1ローカルマスクレジスタA標準ID1	C1LMAR1	
02B2h	CAN1メッセージスロット2制御レジスタ	C1MCTL2	432
	CAN1ローカルマスクレジスタA標準ID0	C1LMAR2	
02B3h	CAN1メッセージスロット3制御レジスタ	C1MCTL3	432
	CAN1ローカルマスクレジスタA拡張ID1	C1LMAR3	
02B4h	CAN1メッセージスロット4制御レジスタ	C1MCTL4	432
	CAN1ローカルマスクレジスタA拡張ID2	C1LMAR4	
02B5h	CAN1メッセージスロット5制御レジスタ	C1MCTL5	432
02B6h	CAN1メッセージスロット6制御レジスタ	C1MCTL6	
02B7h	CAN1メッセージスロット7制御レジスタ	C1MCTL7	432
02B8h	CAN1メッセージスロット8制御レジスタ	C1MCTL8	
	CAN1ローカルマスクレジスタB標準ID0	C1LMBR0	426
02B9h	CAN1メッセージスロット9制御レジスタ	C1MCTL9	432
	CAN1ローカルマスクレジスタB標準ID1	C1LMBR1	
02BAh	CAN1メッセージスロット10制御レジスタ	C1MCTL10	432
	CAN1ローカルマスクレジスタB拡張ID0	C1LMBR2	
02BBh	CAN1メッセージスロット11制御レジスタ	C1MCTL11	432
	CAN1ローカルマスクレジスタB拡張ID1	C1LMBR3	
02BCh	CAN1メッセージスロット12制御レジスタ	C1MCTL12	432
	CAN1ローカルマスクレジスタB拡張ID2	C1LMBR4	
02BDh	CAN1メッセージスロット13制御レジスタ	C1MCTL13	432
02BEh	CAN1メッセージスロット14制御レジスタ	C1MCTL14	
02BFh	CAN1メッセージスロット15制御レジスタ	C1MCTL15	432

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載 ページ	
02C0h 02C1h	X0 レジスタ、Y0 レジスタ	X0R、Y0R	312	
02C2h 02C3h	X1 レジスタ、Y1 レジスタ	X1R、Y1R		
02C4h 02C5h	X2 レジスタ、Y2 レジスタ	X2R、Y2R		
02C6h 02C7h	X3 レジスタ、Y3 レジスタ	X3R、Y3R		
02C8h 02C9h	X4 レジスタ、Y4 レジスタ	X4R、Y4R		
02CAh 02CBh	X5 レジスタ、Y5 レジスタ	X5R、Y5R		
02CCh 02CDh	X6 レジスタ、Y6 レジスタ	X6R、Y6R		
02CEh 02CFh	X7 レジスタ、Y7 レジスタ	X7R、Y7R		
02D0h 02D1h	X8 レジスタ、Y8 レジスタ	X8R、Y8R		
02D2h 02D3h	X9 レジスタ、Y9 レジスタ	X9R、Y9R		
02D4h 02D5h	X10 レジスタ、Y10 レジスタ	X10R、Y10R		
02D6h 02D7h	X11 レジスタ、Y11 レジスタ	X11R、Y11R		
02D8h 02D9h	X12 レジスタ、Y12 レジスタ	X12R、Y12R		
02DAh 02DBh	X13 レジスタ、Y13 レジスタ	X13R、Y13R		
02DCh 02DDh	X14 レジスタ、Y14 レジスタ	X14R、Y14R		
02DEh 02DFh	X15 レジスタ、Y15 レジスタ	X15R、Y15R		
02E0h	X/Y 制御レジスタ	XYC		312
02E1h				
02E2h				
02E3h				
02E4h	UART1 特殊モードレジスタ4	U1SMR4	216	
02E5h	UART1 特殊モードレジスタ3	U1SMR3	215	
02E6h	UART1 特殊モードレジスタ2	U1SMR2	214	
02E7h	UART1 特殊モードレジスタ	U1SMR	213	
02E8h	UART1 送受信モードレジスタ	U1MR	212	
02E9h	UART1 通信速度レジスタ	U1BRG	218	
02EAh 02EBh	UART1 送信バッファレジスタ	U1TB	220	
02ECh	UART1 送受信制御レジスタ0	U1C0	217	
02EDh	UART1 送受信制御レジスタ1	U1C1	218	
02EEh 02EFh	UART1 受信バッファレジスタ	U1RB	220	
02F0h				
02F1h				
02F2h				
02F3h				
02F4h	UART4 特殊モードレジスタ4	U4SMR4	216	
02F5h	UART4 特殊モードレジスタ3	U4SMR3	215	
02F6h	UART4 特殊モードレジスタ2	U4SMR2	214	
02F7h	UART4 特殊モードレジスタ	U4SMR	213	
02F8h	UART4 送受信モードレジスタ	U4MR	212	
02F9h	UART4 通信速度レジスタ	U4BRG	218	
02FAh 02FBh	UART4 送信バッファレジスタ	U4TB	220	
02FCh	UART4 送受信制御レジスタ0	U4C0	217	
02FDh	UART4 送受信制御レジスタ1	U4C1	218	
02FEh 02FFh	UART4 受信バッファレジスタ	U4RB	220	

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載 ページ	
0300h	タイマB3,B4,B5カウンタ開始レジスタ	TBSR	185	
0301h				
0302h 0303h	タイマA11レジスタ	TA11	201	
0304h 0305h	タイマA21レジスタ	TA21		
0306h 0307h	タイマA41レジスタ	TA41		
0308h	三相PWM制御レジスタ0	INVC0		194
0309h	三相PWM制御レジスタ1	INVC1		195
030Ah	三相出力バッファレジスタ0	IDB0	201	
030Bh	三相出力バッファレジスタ1	IDB1		
030Ch	短絡防止タイマ	DTT	200	
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	199	
030Eh				
030Fh				
0310h 0311h	タイマB3レジスタ	TB3	184	
0312h 0313h	タイマB4レジスタ	TB4		
0314h 0315h	タイマB5レジスタ	TB5		
0316h				
0317h				
0318h				
0319h				
031Ah				
031Bh	タイマB3モードレジスタ	TB3MR	181	
031Ch	タイマB4モードレジスタ	TB4MR	182	
031Dh	タイマB5モードレジスタ	TB5MR	183	
031Eh	外部割り込み要因選択レジスタ1	IFSRA	121	
031Fh	外部割り込み要因選択レジスタ	IFSR	120、219	
0320h				
0321h				
0322h				
0323h				
0324h	UART3 特殊モードレジスタ4	U3SMR4	216	
0325h	UART3 特殊モードレジスタ3	U3SMR3	215	
0326h	UART3 特殊モードレジスタ2	U3SMR2	214	
0327h	UART3 特殊モードレジスタ	U3SMR	213	
0328h	UART3 送受信モードレジスタ	U3MR	212	
0329h	UART3 通信速度レジスタ	U3BRG	218	
032Ah 032Bh	UART3 送信バッファレジスタ	U3TB	220	
032Ch	UART3 送受信制御レジスタ0	U3C0	217	
032Dh	UART3 送受信制御レジスタ1	U3C1	218	
032Eh 032Fh	UART3 受信バッファレジスタ	U3RB	220	
0330h				
0331h				
0332h				
0333h				
0334h	UART2 特殊モードレジスタ4	U2SMR4	216	
0335h	UART2 特殊モードレジスタ3	U2SMR3	215	
0336h	UART2 特殊モードレジスタ2	U2SMR2	214	
0337h	UART2 特殊モードレジスタ	U2SMR	213	
0338h	UART2 送受信モードレジスタ	U2MR	212	
0339h	UART2 通信速度レジスタ	U2BRG	218	
033Ah 033Bh	UART2 送信バッファレジスタ	U2TB	220	
033Ch	UART2 送受信制御レジスタ0	U2C0	217	
033Dh	UART2 送受信制御レジスタ1	U2C1	218	
033Eh 033Fh	UART2 受信バッファレジスタ	U2RB	220	

番地	レジスタ	シンボル	掲載ページ
0340h	カウント開始レジスタ	TABSR	166,185,202
0341h	時計用プリスケアラリセットレジスタ	CPSRF	84
0342h	ワンショット開始レジスタ	ONSF	167
0343h	トリガ選択レジスタ	TRGSR	165、198
0344h	アップダウン選択レジスタ	UDF	164
0345h			
0346h	タイマA0レジスタ	TA0	163
0347h			
0348h	タイマA1レジスタ	TA1	163 201
0349h			
034Ah	タイマA2レジスタ	TA2	163 201
034Bh			
034Ch	タイマA3レジスタ	TA3	163
034Dh			
034Eh	タイマA4レジスタ	TA4	163 201
034Fh			
0350h	タイマB0レジスタ	TB0	184
0351h			
0352h	タイマB1レジスタ	TB1	184
0353h			
0354h	タイマB2レジスタ	TB2	184 200
0355h			
0356h	タイマA0モードレジスタ	TA0MR	
0357h	タイマA1モードレジスタ	TA1MR	159
0358h	タイマA2モードレジスタ	TA2MR	160 161
0359h	タイマA3モードレジスタ	TA3MR	162
035Ah	タイマA4モードレジスタ	TA4MR	
035Bh	タイマB0モードレジスタ	TB0MR	181
035Ch	タイマB1モードレジスタ	TB1MR	182 183
035Dh	タイマB2モードレジスタ	TB2MR	
035Eh	タイマB2特殊モードレジスタ	TB2SC	199
035Fh	カウントソースプリスケアラレジスタ	TCSPR	84、158
0360h			
0361h			
0362h			
0363h			
0364h	UART0特殊モードレジスタ4	U0SMR4	216
0365h	UART0特殊モードレジスタ3	U0SMR3	215
0366h	UART0特殊モードレジスタ2	U0SMR2	214
0367h	UART0特殊モードレジスタ	U0SMR	213
0368h	UART0送受信モードレジスタ	U0MR	212
0369h	UART0通信速度レジスタ	U0BRG	218
036Ah	UART0送信バッファレジスタ	U0TB	220
036Bh			
036Ch	UART0送受信制御レジスタ0	U0C0	217
036Dh	UART0送受信制御レジスタ1	U0C1	218
036Eh	UART0受信バッファレジスタ	U0RB	220
036Fh			
0370h			
0371h			
0372h	IrDA制御レジスタ	IRCON	264
0373h			
0374h			
0375h			
0376h			
0377h			
0378h	DMA0要因選択レジスタ	DM0SL	136
0379h	DMA1要因選択レジスタ	DM1SL	
037Ah	DMA2要因選択レジスタ	DM2SL	
037Bh	DMA3要因選択レジスタ	DM3SL	
037Ch	CRCデータレジスタ	CRCD	310
037Dh			
037Eh	CRCインプットレジスタ	CRCIN	
037Fh			

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載ページ
0380h	A/D0レジスタ0	AD00	
0381h			
0382h	A/D0レジスタ1	AD01	293
0383h			
0384h	A/D0レジスタ2	AD02	
0385h			
0386h	A/D0レジスタ3	AD03	
0387h			
0388h	A/D0レジスタ4	AD04	
0389h			
038Ah	A/D0レジスタ5	AD05	
038Bh			
038Ch	A/D0レジスタ6	AD06	
038Dh			
038Eh	A/D0レジスタ7	AD07	
038Fh			
0390h			
0391h			
0392h	A/D0制御レジスタ4	AD0CON4	293
0393h			
0394h	A/D0制御レジスタ2	AD0CON2	291
0395h	A/D0制御レジスタ3	AD0CON3	292
0396h	A/D0制御レジスタ0	AD0CON0	289
0397h	A/D0制御レジスタ1	AD0CON1	290
0398h	D/Aレジスタ0	DA0	308
0399h			
039Ah	D/Aレジスタ1	DA1	308
039Bh			
039Ch	D/A制御レジスタ	DACON	308
039Dh	D/A制御レジスタ1	DACON1	308
039Eh			
039Fh			
03A0h	機能選択レジスタA8	PS8	466
03A1h	機能選択レジスタA9	PS9	
03A2h			
03A3h	機能選択レジスタB9	PSL9	470
03A4h	機能選択レジスタE2	PSE2	474
03A5h			
03A6h			
03A7h	機能選択レジスタD1	PSD1	473
03A8h	機能選択レジスタD2	PSD2	
03A9h			
03AAh	機能選択レジスタC6	PSC6	472
03ABh	機能選択レジスタE1	PSE1	474
03ACh	機能選択レジスタC2	PSC2	471
03ADh	機能選択レジスタC3	PSC3	472
03AEh			
03AFh	機能選択レジスタC	PSC	471
03B0h	機能選択レジスタA0	PS0	462
03B1h	機能選択レジスタA1	PS1	
03B2h	機能選択レジスタB0	PSL0	467
03B3h	機能選択レジスタB1	PSL1	
03B4h	機能選択レジスタA2	PS2	463
03B5h	機能選択レジスタA3	PS3	
03B6h	機能選択レジスタB2	PSL2	468
03B7h	機能選択レジスタB3	PSL3	
03B8h	機能選択レジスタA4	PS4	464
03B9h	機能選択レジスタA5	PS5	
03BAh			
03BBh	機能選択レジスタB5	PSL5	469
03BCh	機能選択レジスタA6	PS6	465
03BDh	機能選択レジスタA7	PS7	465
03BEh	機能選択レジスタB6	PSL6	469
03BFh	機能選択レジスタB7	PSL7	470

番地	レジスタ	シンボル	掲載 ページ
03C0h	ポートP6レジスタ	P6	461
03C1h	ポートP7レジスタ	P7	
03C2h	ポートP6方向レジスタ	PD6	460
03C3h	ポートP7方向レジスタ	PD7	
03C4h	ポートP8レジスタ	P8	461
03C5h	ポートP9レジスタ	P9	
03C6h	ポートP8方向レジスタ	PD8	460
03C7h	ポートP9方向レジスタ	PD9	
03C8h	ポートP10レジスタ	P10	461
03C9h	ポートP11レジスタ	P11	
03CAh	ポートP10方向レジスタ	PD10	460
03CBh	ポートP11方向レジスタ	PD11	
03CCh	ポートP12レジスタ	P12	461
03CDh	ポートP13レジスタ	P13	
03CEh	ポートP12方向レジスタ	PD12	460
03CFh	ポートP13方向レジスタ	PD13	
03D0h	ポートP14レジスタ	P14	461
03D1h	ポートP15レジスタ	P15	
03D2h	ポートP14方向レジスタ	PD14	460
03D3h	ポートP15方向レジスタ	PD15	
03D4h			
03D5h			
03D6h			
03D7h			
03D8h			
03D9h			
03DAh	ブルアップ制御レジスタ 2	PUR2	476
03DBh	ブルアップ制御レジスタ 3	PUR3	477
03DCh	ブルアップ制御レジスタ 4	PUR4	478
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	461
03E1h	ポートP1レジスタ	P1	
03E2h	ポートP0方向レジスタ	PD0	460
03E3h	ポートP1方向レジスタ	PD1	
03E4h	ポートP2レジスタ	P2	461
03E5h	ポートP3レジスタ	P3	
03E6h	ポートP2方向レジスタ	PD2	460
03E7h	ポートP3方向レジスタ	PD3	
03E8h	ポートP4レジスタ	P4	461
03E9h	ポートP5レジスタ	P5	
03EAh	ポートP4方向レジスタ	PD4	460
03EBh	ポートP5方向レジスタ	PD5	
03ECh			
03EDh			
03EEh			
03EFh			
03F0h	ブルアップ制御レジスタ 0	PUR0	475
03F1h	ブルアップ制御レジスタ 1	PUR1	
03F2h			
03F3h			
03F4h			
03F5h			
03F6h			
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh	ポート制御レジスタ	PCR	479

空欄はすべて予約領域です。使用できません。

M32C/87グループ(M32C/87、M32C/87A、M32C/87B) ルネサスマイクロコンピュータ

1. 概要

1.1 特長

M32C/87グループ(M32C/87、M32C/87A、M32C/87B)は高性能シリコンゲートCMOSプロセスを採用し、M32C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、144ピン版と100ピン版があります。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1.1 用途

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.1.2 仕様概要

表1.1～表1.4に仕様概要を示します。

表1.1 仕様概要(144ピン版)(1)

分類	機能	説明
CPU	中央演算処理装置	M32C/80コア(乗算器:16ビット×16ビット→32ビット、 積和演算命令:16ビット×16ビット+48ビット→48ビット) <ul style="list-style-type: none"> 基本命令数:108 最小命令実行時間:31.3ns (f(CPU)=32MHz/VCC1=4.2~5.5V) 41.7ns (f(CPU)=24MHz/VCC1=3.0~5.5V) 動作モード:シングルチップ、メモリ拡張、マイクロプロセッサモード
メモリ	ROM、RAM、データフラッシュ	「表1.5～表1.7製品一覧表」を参照してください。
電圧検出機能		Vdet3検出機能、Vdet4検出機能、コールドスタート/ウォームスタート判定機能
外部バス 拡張	バス メモリ拡張機能	<ul style="list-style-type: none"> アドレス空間:16Mバイト 外部バスインタフェース:1~7ウェイト挿入可、チップセレクト4出力、3V、5Vインタフェース バス形式:セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、オンチップオシレータ、PLL周波数シンセサイザ 発振停止検出:メインクロック発振停止 周波数分周回路:1,2,3,4,6,8,10,12,14,16分周選択 低消費電力機構:ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数:70 外部割り込み入力:14 (\overline{NMI}、$\overline{INT} \times 9$、キー入力×4) 割り込み優先レベル:7レベル
ウォッチドッグタイマ		15ビット×1(プリスケール付)
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因:43 転送モード:2(単転送、リピート転送)
	DMACII	<ul style="list-style-type: none"> すべての周辺機能割り込み要因で起動 転送方式:2(単転送、バースト転送) 即値転送機能、演算転送機能、チェーン転送機能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード、イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアル インタ フェース	UART0~UART4	クロック同期/非同期兼用×5チャンネル I ² C bus、特殊モード2、GCIモード、SIMモード、IrDAモード(注2)、IEBus(オプション)(注1、3)
	UART5, UART6	クロック同期/非同期兼用×2チャンネル
A/Dコンバータ		分解能10ビット×34チャンネル(シングルチップモード時) 分解能10ビット×18チャンネル(メモリ拡張モード、マイクロプロセッサモード時)サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT(X ¹⁶ +X ¹² +X ⁵ +1)に準拠
X/Y変換回路		16ビット×16ビット

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. UART0にあります。

注3. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.2 仕様概要(144ピン版)(2)

分類	機能	説明
インテリジェントI/O		16ビットタイマ×2 <ul style="list-style-type: none"> •時間計測機能(インプットキャプチャ) ×8チャンネル •波形生成機能(アウトプットコンペア) ×16チャンネル •通信機能: クロック同期モード、クロック非同期モード、HDLCデータ処理モード、IEBusモード(オプション)(注1、2) •二相パルス信号処理(二相エンコーダ入力)×1
ROM修正機能		アドレス一致割り込み×8
CAN		CAN2.0B仕様準拠 M32C/87: 16slot対応×2チャンネル M32C/87A: 16slot対応×1チャンネル M32C/87B: なし
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> •入力専用: 1 •CMOS入出力: 121 プルアップ抵抗選択可能 •Nchオープンドレインポート: 2
フラッシュメモリ		<ul style="list-style-type: none"> •消去、書き込み電圧: 3.3±0.3Vまたは5.0±0.5V •消去、書き込み回数: 100回(全領域) •プログラムセキュリティ: ROMコードプロテクト、IDコードチェック •デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え可能
動作周波数 / 電源電圧		32MHz / VCC1=4.2~5.5V、VCC2=3.0V~VCC1 24MHz / VCC1=3.0~5.5V、VCC2=3.0V~VCC1
消費電流		32mA (32MHz / VCC1=VCC2=5V) 23mA (24MHz / VCC1=VCC2=3.3V) 45μA (約1MHz / VCC1=VCC2=3.3V、オンチップオシレータ低消費電力モード→ ウェイトモード) 0.8μA (VCC1=VCC2=3.3V、ストップモード)
動作周囲温度(°C)		-20~85°C、-40~85°C(オプション)(注2)
パッケージ		144ピンLQFP(PLQP0144KA-A)

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.3 仕様概要(100ピン版)(1)

分類	機能	説明
CPU	中央演算処理装置	M32C/80コア(乗算器：16ビット×16ビット→32ビット、 積和演算命令：16ビット×16ビット+48ビット→48ビット) <ul style="list-style-type: none"> 基本命令数：108 最小命令実行時間：31.3ns (f(CPU)=32MHz/VCC1=4.2~5.5V) 41.7ns (f(CPU)=24MHz/VCC1=3.0~5.5V) 動作モード：シングルチップ、メモリ拡張、マイクロプロセッサモード
メモリ	ROM、RAM、データフラッシュ	「表 1.5~表 1.7 製品一覧表」を参照してください。
電圧検出機能		Vdet3検出機能、Vdet4検出機能、コールドスタート/ウォームスタート判定機能
外部バス 拡張	バス メモリ拡張機能	<ul style="list-style-type: none"> アドレス空間：16Mバイト 外部バスインタフェース：1~7ウェイト挿入可、チップセレクト4出力、3V、5Vインタフェース バス形式：セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、オンチップオシレータ、PLL周波数シンセサイザ 発振停止検出：メインクロック発振停止 周波数分周回路：1,2,3,4,6,8,10,12,14,16分周選択 低消費電力機構：ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：70 外部割り込み入力：11 (NMI、INT×6、キー入力×4) 割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケール付)
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因：43 転送モード：2(単転送、リピート転送)
	DMACII	<ul style="list-style-type: none"> すべての周辺機能割り込み要因で起動 転送方式：2(単転送、バースト転送) 即値転送機能、演算転送機能、チェーン転送機能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード、イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアル インタ フェース	UART0~UART4	クロック同期/非同期兼用×5チャンネル I ² C bus、特殊モード2、GCIモード、SIMモード、IrDAモード(注2)、IEBus(オプション)(注1、3)
	UART5	クロック同期/非同期兼用×1チャンネル
A/Dコンバータ		分解能10ビット×26チャンネル(シングルチップモード時) 分解能10ビット×10チャンネル(メモリ拡張モード、マイクロプロセッサモード時)サンプリング&ホールドあり
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT(X ¹⁶ +X ¹² +X ⁵ +1)に準拠
X/Y変換回路		16ビット×16ビット

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. UART0にあります。

注3. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.4 仕様概要(100ピン版)(2)

分類	機能	説明
インテリジェントI/O		16ビットタイマ×2 <ul style="list-style-type: none"> •時間計測機能(インプットキャプチャ) ×8チャンネル •波形生成機能(アウトプットコンペア) ×10チャンネル •通信機能: クロック同期モード、クロック非同期モード、HDLCデータ処理モード、IEBusモード(オプション)(注1、2) •二相パルス信号処理(二相エンコーダ入力)×1
ROM修正機能		アドレス一致割り込み×8
CAN		CAN2.0B仕様準拠 M32C/87: 16slot対応×2チャンネル M32C/87A: 16slot対応×1チャンネル M32C/87B: なし
I/Oポート	プログラマブル 入出力ポート	<ul style="list-style-type: none"> •入力専用: 1 •CMOS入出力: 85 プルアップ抵抗選択可能 •Nchオープンドレインポート: 2
フラッシュメモリ		<ul style="list-style-type: none"> •消去、書き込み電圧: 3.3±0.3Vまたは5.0±0.5V •消去、書き込み回数: 100回(全領域) •プログラムセキュリティ: ROMコードプロテクト、IDコードチェック •デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え可能
動作周波数 / 電源電圧		32MHz / VCC1=4.2~5.5V、VCC2=3.0V~VCC1 24MHz / VCC1=3.0~5.5V、VCC2=3.0V~VCC1
消費電流		32mA (32MHz / VCC1=VCC2=5V) 23mA (24MHz / VCC1=VCC2=3.3V) 45μA (約1MHz / VCC1=VCC2=3.3V、オンチップオシレータ低消費電力モード→ ウェイトモード) 0.8μA(VCC1=VCC2=3.3V、ストップモード)
動作周囲温度(°C)		-20~85°C、-40~85°C(オプション)(注2)
パッケージ		100ピンLQFP(PLQP0100KB-A)、100ピンQFP(PRQP0100JB-A)

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

1.2 製品一覧

表1.5～表1.7に製品一覧表、図1.1に型名とメモリサイズ・パッケージを示します。

表1.5 製品一覧表(1)(M32C/87:CAN2ch)

2008年7月現在

型名	パッケージ	ROM容量	RAM容量	備考
M3087BFLGP	PLQP0144KA-A (144P6Q-A)	1M+4Kバイト (注1)	48Kバイト	フラッシュメモリ版
M30879FLFP	PRQP0100JB-A (100P6S-A)			
M30879FLGP	PLQP0100KB-A (100P6Q-A)			
M3087BFGP	PLQP0144KA-A (144P6Q-A)	768K+4Kバイト (注1)		
M30879FGP	PLQP0100KB-A (100P6Q-A)			
M30878FJGP	PLQP0144KA-A (144P6Q-A)	512K+4Kバイト (注1)	31Kバイト	
M30876FJGP	PLQP0100KB-A (100P6Q-A)			
M30875FHGP	PLQP0144KA-A (144P6Q-A)	384K+4Kバイト (注1)	24Kバイト	
M30873FHGP	PLQP0100KB-A (100P6Q-A)			
M30878MJ-XXXGP	PLQP0144KA-A (144P6Q-A)	512Kバイト	31Kバイト	マスクROM版
M30876MJ-XXXFP	PRQP0100JB-A (100P6S-A)			
M30876MJ-XXXGP	PLQP0100KB-A (100P6Q-A)			
M30875MH-XXXGP	PLQP0144KA-A (144P6Q-A)	384Kバイト	24Kバイト	
M30873MH-XXXGP	PLQP0100KB-A (100P6Q-A)			

注1. ROM容量の「+4Kバイト」はデータフラッシュの容量です。

表1.6 製品一覧表(2)(M32C/87A:CAN1ch)

2008年7月現在

型名	パッケージ	ROM容量	RAM容量	備考
M3087BFLAGP	PLQP0144KA-A (144P6Q-A)	1M+4Kバイト (注1)	48Kバイト	フラッシュメモリ版
M30879FLAFP	PRQP0100JB-A (100P6S-A)			
M30879FLAGP	PLQP0100KB-A (100P6Q-A)			
M3087BFGAGP	PLQP0144KA-A (144P6Q-A)	768K+4Kバイト (注1)		
M30879FGAGP	PLQP0100KB-A (100P6Q-A)			
M30878FJAGP	PLQP0144KA-A (144P6Q-A)	512K+4Kバイト (注1)	31Kバイト	
M30876FJAGP	PLQP0100KB-A (100P6Q-A)			
M30875FHAGP	PLQP0144KA-A (144P6Q-A)	384K+4Kバイト (注1)	24Kバイト	
M30873FHAGP	PLQP0100KB-A (100P6Q-A)			
M30878MJA-XXXGP	PLQP0144KA-A (144P6Q-A)	512Kバイト	31Kバイト	マスクROM版
M30876MJA-XXXFP	PRQP0100JB-A (100P6S-A)			
M30876MJA-XXXGP	PLQP0100KB-A (100P6Q-A)			
M30875MHA-XXXGP	PLQP0144KA-A (144P6Q-A)	384Kバイト	24Kバイト	
M30873MHA-XXXGP	PLQP0100KB-A (100P6Q-A)			

注1. ROM容量の「+4Kバイト」はデータフラッシュの容量です。

表 1.7 製品一覧表(3)(M32C/87B:CANなし)

2008年7月現在

型名	パッケージ	ROM容量	RAM容量	備考
M3087BFLBGP	PLQP0144KA-A (144P6Q-A)	1M+4Kバイト (注1)	48Kバイト	フラッシュメモリ版
M30879FLBFP	PRQP0100JB-A (100P6S-A)			
M30879FLBGP	PLQP0100KB-A (100P6Q-A)	768K+4Kバイト (注1)	31Kバイト	
M3087BFKBGP	PLQP0144KA-A (144P6Q-A)			
M30879FKBGP	PLQP0100KB-A (100P6Q-A)	512K+4Kバイト (注1)	24Kバイト	
M30878FJBGP	PLQP0144KA-A (144P6Q-A)			
M30876FJBGP	PLQP0100KB-A (100P6Q-A)	384K+4Kバイト (注1)	31Kバイト	マスクROM版
M30875FHBGP	PLQP0144KA-A (144P6Q-A)			
M30873FHBGP	PLQP0100KB-A (100P6Q-A)	512Kバイト	24Kバイト	
M30878MJB-XXXGP	PLQP0144KA-A (144P6Q-A)			
M30876MJB-XXXFP	PRQP0100JB-A (100P6S-A)	384Kバイト	31Kバイト	
M30876MJB-XXXGP	PLQP0100KB-A (100P6Q-A)			
M30875MHB-XXXGP	PLQP0144KA-A (144P6Q-A)			
M30873MHB-XXXGP	PLQP0100KB-A (100P6Q-A)			

注1. ROM容量の「+4Kバイト」はデータフラッシュの容量です。

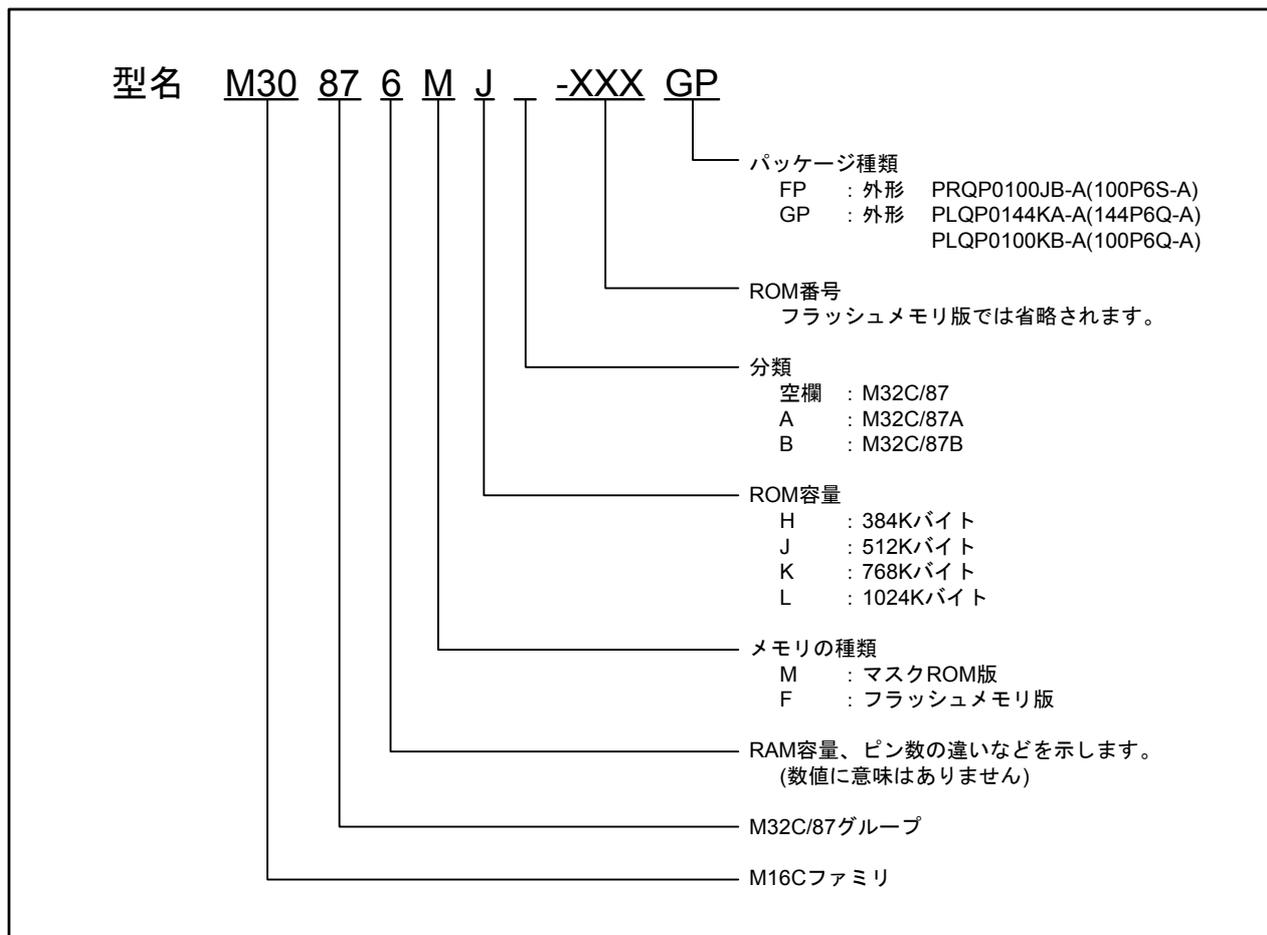


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にM32C/87グループ(M32C/87、M32C/87A、M32C/87B)のブロック図を示します。

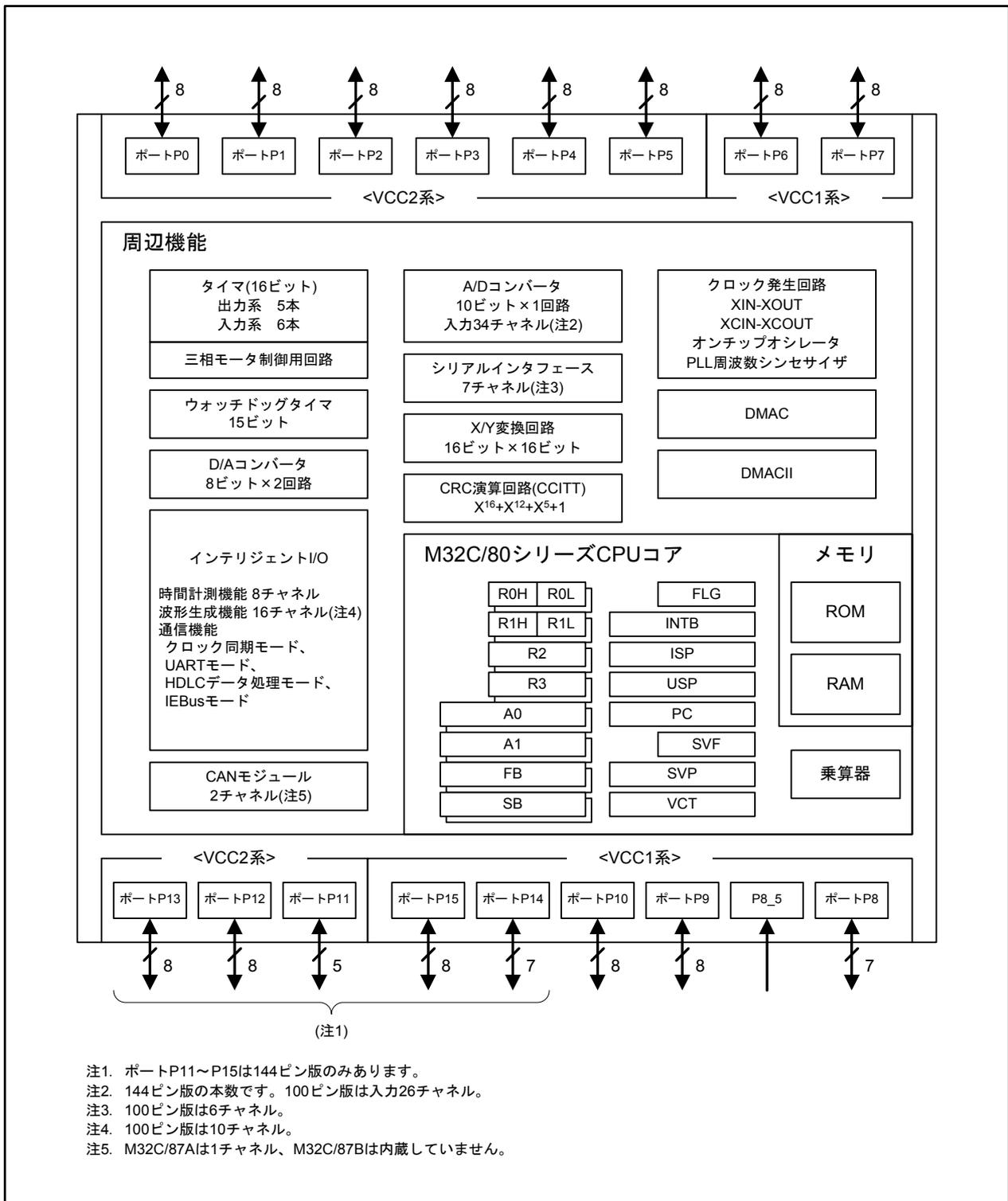


図1.2 M32C/87グループ(M32C/87、M32C/87A、M32C/87B)のブロック図

1.4 ピン配置図

図1.3～図1.5にピン配置図(上面図)を示します。

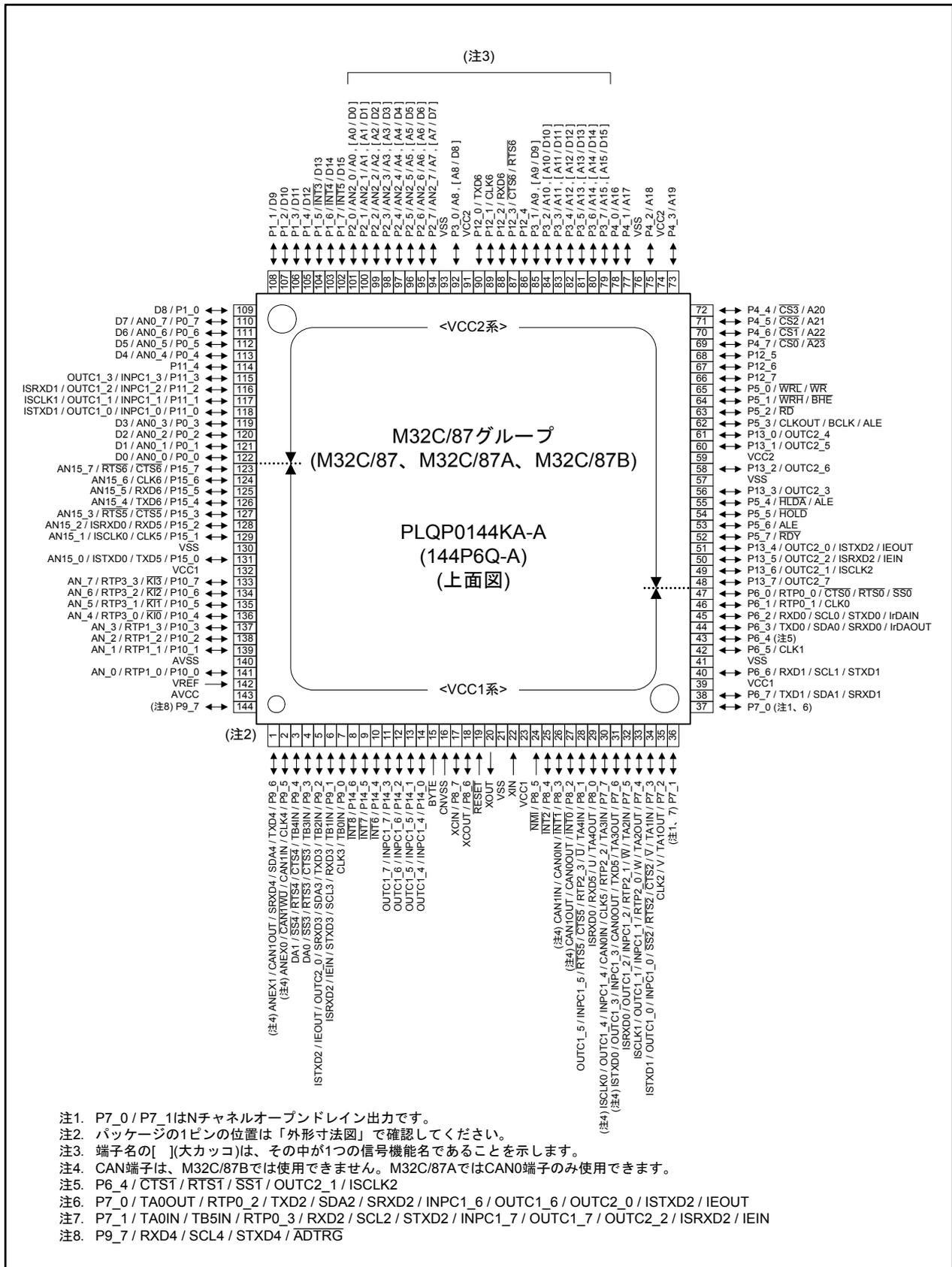


図1.3 144ピン版ピン配置図(上面図)

表 1.8 144ピン版端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART / CAN端子(注1)	インテリジェントI/O端子	アナログ端子	バス制御端子
1		P9_6			TXD4 / SDA4 / SRXD4 / CAN1OUT		ANEX1	
2		P9_5			CLK4 / CAN1IN / CAN1WU		ANEX0	
3		P9_4		TB4IN	CTS4 / RTS4 / SS4		DA1	
4		P9_3		TB3IN	CTS3 / RTS3 / SS3		DA0	
5		P9_2		TB2IN	TXD3 / SDA3 / SRXD3	OUTC2_0 / IEOUT / ISTXD2		
6		P9_1		TB1IN	RXD3 / SCL3 / STXD3	IEIN / ISRXD2		
7		P9_0		TB0IN	CLK3			
8		P14_6	INT8					
9		P14_5	INT7					
10		P14_4	INT6					
11		P14_3				INPC1_7 / OUTC1_7		
12		P14_2				INPC1_6 / OUTC1_6		
13		P14_1				INPC1_5 / OUTC1_5		
14		P14_0				INPC1_4 / OUTC1_4		
15	BYTE							
16	CNVSS							
17	XCIN	P8_7						
18	XCOU	P8_6						
19	RESET							
20	XOUT							
21	VSS							
22	XIN							
23	VCC1							
24		P8_5	NMI					
25		P8_4	INT2					
26		P8_3	INT1		CAN0IN / CAN1IN			
27		P8_2	INT0		CAN0OUT / CAN1OUT			
28		P8_1		TA4IN / \bar{U} / RTP2_3	CTS5 / RTS5	INPC1_5 / OUTC1_5		
29		P8_0		TA4OUT / U	RXD5	ISRXD0		
30		P7_7		TA3IN / RTP2_2	CLK5 / CAN0IN	INPC1_4 / OUTC1_4 / ISCLK0		
31		P7_6		TA3OUT	TXD5 / CAN0OUT	INPC1_3 / OUTC1_3 / ISTXD0		
32		P7_5		TA2IN / \bar{W} / RTP2_1		INPC1_2 / OUTC1_2 / ISRXD1		
33		P7_4		TA2OUT / W / RTP2_0		INPC1_1 / OUTC1_1 / ISCLK1		
34		P7_3		TA1IN / \bar{V}	CTS2 / RTS2 / SS2	INPC1_0 / OUTC1_0 / ISTXD1		
35		P7_2		TA1OUT / V	CLK2			
36		P7_1		TA0IN / TB5IN / RTP0_3	RXD2 / SCL2 / STXD2	INPC1_7 / OUTC1_7 / OUTC2_2 / ISRXD2 / IEIN		
37		P7_0		TA0OUT / RTP0_2	TXD2 / SDA2 / SRXD2	INPC1_6 / OUTC1_6 / OUTC2_0 / ISTXD2 / IEOUT		
38		P6_7			TXD1 / SDA1 / SRXD1			
39	VCC1							
40		P6_6			RXD1 / SCL1 / STXD1			
41	VSS							
42		P6_5			CLK1			
43		P6_4			CTS1 / RTS1 / SS1	OUTC2_1 / ISCLK2		
44		P6_3			TXD0 / SDA0 / SRXD0 / IrDAOUT			
45		P6_2			RXD0 / SCL0 / STXD0 / IrDAIN			
46		P6_1	RTP0_1		CLK0			
47		P6_0	RTP0_0		CTS0 / RTS0 / SS0			
48		P13_7				OUTC2_7		

注1. CAN端子は、M32C/87Bでは使用できません。M32C/87AではCAN0端子のみ使用できます。

表 1.9 144ピン版端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART / CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
49		P13_6				OUTC2_1 / ISCLK2		
50		P13_5				OUTC2_2 / ISRXD2 / IEIN		
51		P13_4				OUTC2_0 / ISTXD2 / IEOUT		
52		P5_7						$\overline{\text{RDY}}$
53		P5_6						ALE
54		P5_5						$\overline{\text{HOLD}}$
55		P5_4						$\overline{\text{HLDA}} / \text{ALE}$
56		P13_3				OUTC2_3		
57	VSS							
58		P13_2				OUTC2_6		
59	VCC2							
60		P13_1				OUTC2_5		
61		P13_0				OUTC2_4		
62	CLKOUT	P5_3						$\overline{\text{BCLK}} / \text{ALE}$
63		P5_2						$\overline{\text{RD}}$
64		P5_1						$\overline{\text{WRH}} / \overline{\text{BHE}}$
65		P5_0						$\overline{\text{WRL}} / \overline{\text{WR}}$
66		P12_7						
67		P12_6						
68		P12_5						
69		P4_7						$\overline{\text{CS0}} / \overline{\text{A23}}$
70		P4_6						$\overline{\text{CS1}} / \overline{\text{A22}}$
71		P4_5						$\overline{\text{CS2}} / \overline{\text{A21}}$
72		P4_4						$\overline{\text{CS3}} / \overline{\text{A20}}$
73		P4_3						A19
74	VCC2							
75		P4_2						A18
76	VSS							
77		P4_1						A17
78		P4_0						A16
79		P3_7						A15, [A15 / D15]
80		P3_6						A14, [A14 / D14]
81		P3_5						A13, [A13 / D13]
82		P3_4						A12, [A12 / D12]
83		P3_3						A11, [A11 / D11]
84		P3_2						A10, [A10 / D10]
85		P3_1						A9, [A9 / D9]
86		P12_4						
87		P12_3				$\overline{\text{CTS6}} / \overline{\text{RTS6}}$		
88		P12_2				RXD6		
89		P12_1				CLK6		
90		P12_0				TXD6		
91	VCC2							
92		P3_0						A8, [A8 / D8]
93	VSS							
94		P2_7					AN2_7	A7, [A7 / D7]
95		P2_6					AN2_6	A6, [A6 / D6]
96		P2_5					AN2_5	A5, [A5 / D5]

表 1.10 144ピン版端子名一覧表(3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART / CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
97		P2_4					AN2_4	A4, [A4 / D4]
98		P2_3					AN2_3	A3, [A3 / D3]
99		P2_2					AN2_2	A2, [A2 / D2]
100		P2_1					AN2_1	A1, [A1 / D1]
101		P2_0					AN2_0	A0, [A0 / D0]
102		P1_7	INT5					D15
103		P1_6	INT4					D14
104		P1_5	INT3					D13
105		P1_4						D12
106		P1_3						D11
107		P1_2						D10
108		P1_1						D9
109		P1_0						D8
110		P0_7					AN0_7	D7
111		P0_6					AN0_6	D6
112		P0_5					AN0_5	D5
113		P0_4					AN0_4	D4
114		P11_4						
115		P11_3				INPC1_3 / OUTC1_3		
116		P11_2				INPC1_2 / OUTC1_2 / ISRXD1		
117		P11_1				INPC1_1 / OUTC1_1 / ISCLK1		
118		P11_0				INPC1_0 / OUTC1_0 / ISTXD1		
119		P0_3					AN0_3	D3
120		P0_2					AN0_2	D2
121		P0_1					AN0_1	D1
122		P0_0					AN0_0	D0
123		P15_7			CTS6 / RTS6		AN15_7	
124		P15_6			CLK6		AN15_6	
125		P15_5			RXD6		AN15_5	
126		P15_4			TXD6		AN15_4	
127		P15_3			CTS5 / RTS5		AN15_3	
128		P15_2			RXD5	ISRXD0	AN15_2	
129		P15_1			CLK5	ISCLK0	AN15_1	
130	VSS							
131		P15_0			TXD5	ISTXD0	AN15_0	
132	VCC1							
133		P10_7	KI3	RTP3_3			AN_7	
134		P10_6	KI2	RTP3_2			AN_6	
135		P10_5	KI1	RTP3_1			AN_5	
136		P10_4	KI0	RTP3_0			AN_4	
137		P10_3		RTP1_3			AN_3	
138		P10_2		RTP1_2			AN_2	
139		P10_1		RTP1_1			AN_1	
140	AVSS							
141		P10_0		RTP1_0			AN_0	
142	VREF							
143	AVCC							
144		P9_7			RXD4 / SCL4 / STXD4		ADTRG	

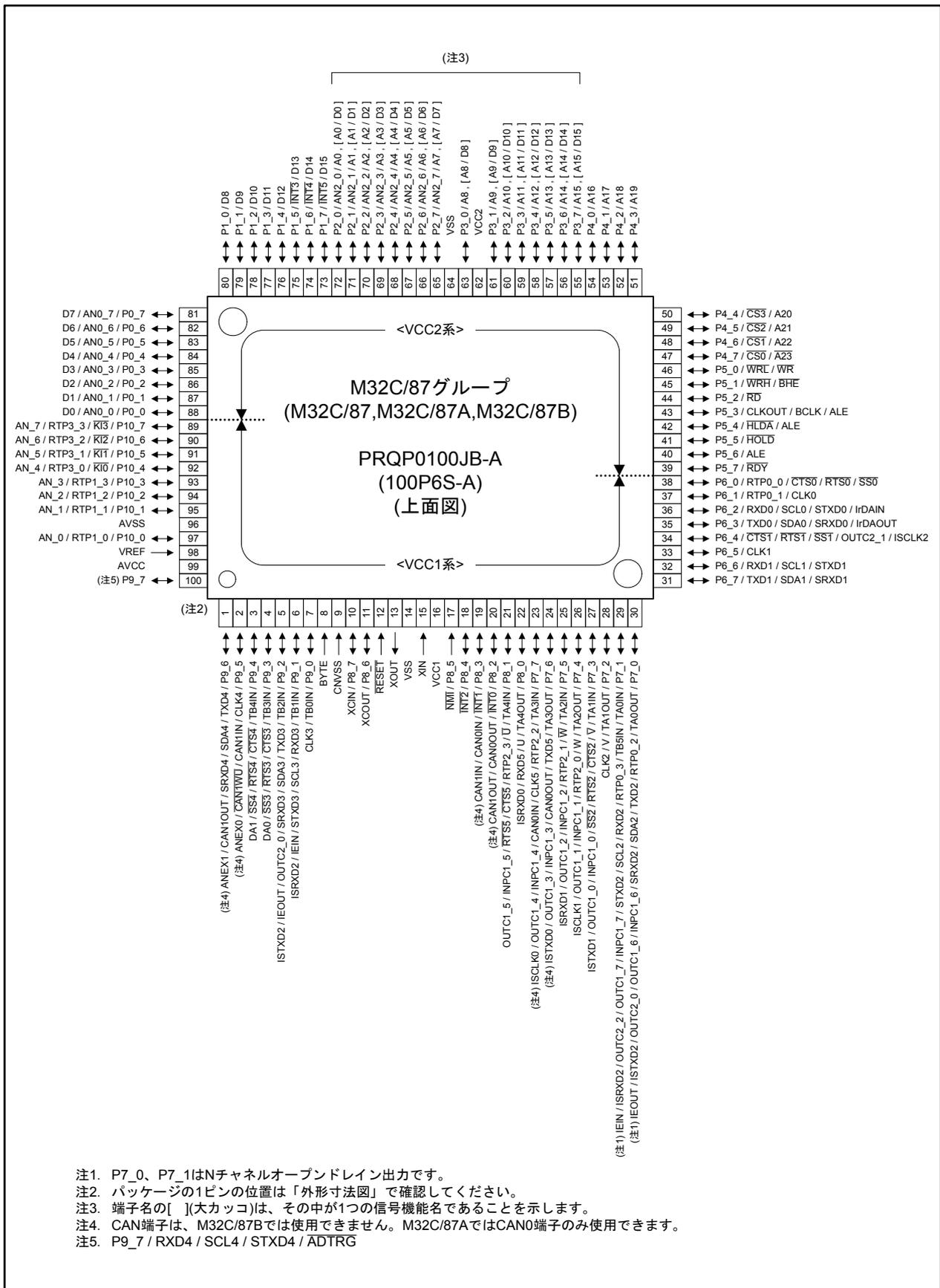


図 1.4 100ピン版ピン配置図(上面図)

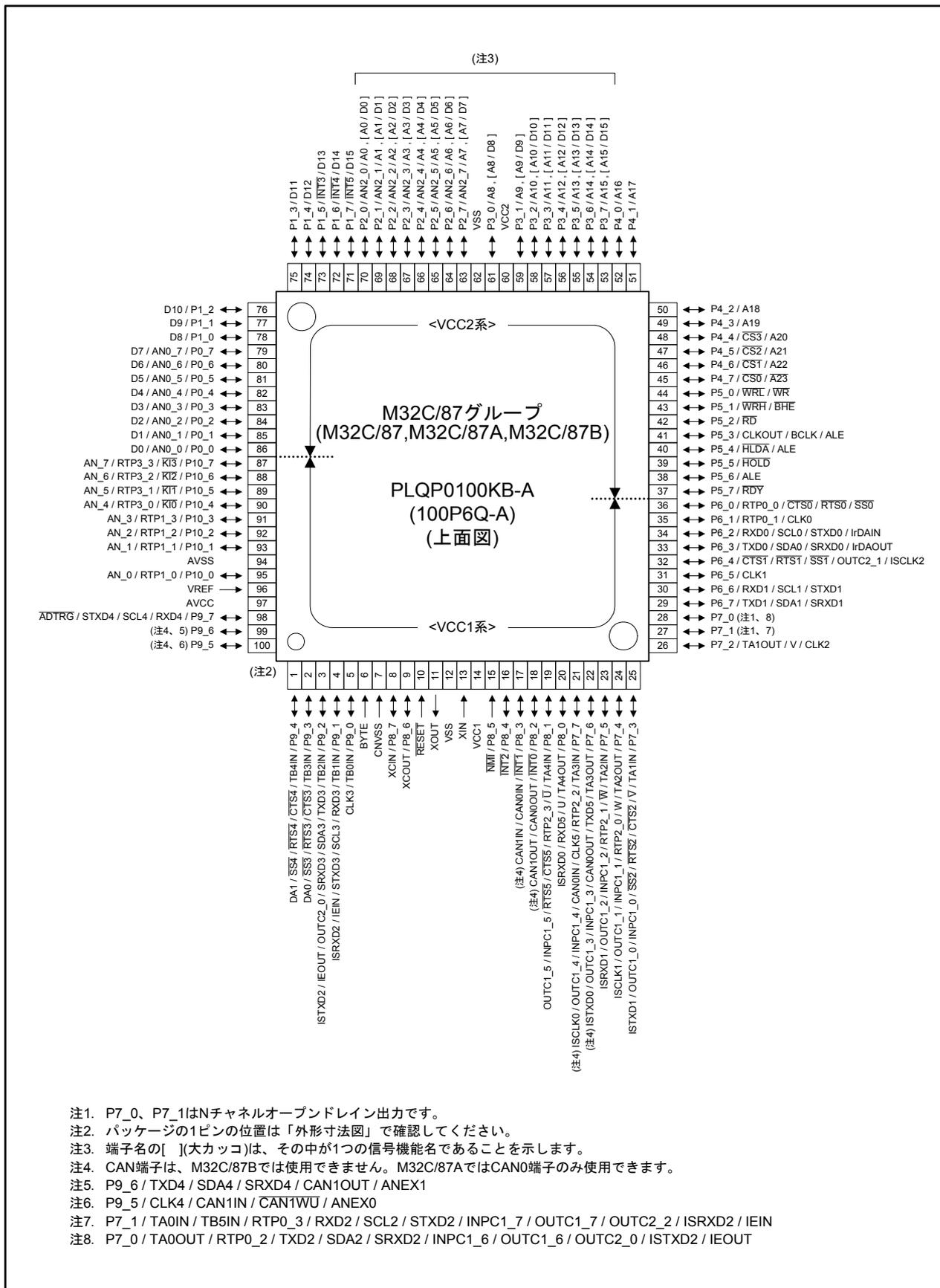


図1.5 100ピン版ピン配置図(上面図)

表 1.11 100ピン版端子名一覧表(1)

パッケージ ピン番号		制御端子	ポート	割り 込み 端子	タイマ端子	UART / CAN 端子(注1)	インテリジェントI/O端子	アナログ 端子	バス制御 端子
FP	GP								
1	99		P9_6			TXD4 / SDA4 / SRXD4 / CAN1OUT		ANEX1	
2	100		P9_5			CLK4 / CAN1IN / CAN1WU		ANEX0	
3	1		P9_4		TB4IN	CTS4 / RTS4 / SS4		DA1	
4	2		P9_3		TB3IN	CTS3 / RTS3 / SS3		DA0	
5	3		P9_2		TB2IN	TXD3 / SDA3 / SRXD3	OUTC2_0 / IEOUT / ISTXD2		
6	4		P9_1		TB1IN	RXD3 / SCL3 / STXD3	IEIN / ISRXD2		
7	5		P9_0		TB0IN	CLK3			
8	6	BYTE							
9	7	CNVSS							
10	8	XCIN	P8_7						
11	9	XCOU	P8_6						
12	10	RESET							
13	11	XOUT							
14	12	VSS							
15	13	XIN							
16	14	VCC1							
17	15		P8_5	NMI					
18	16		P8_4	INT2					
19	17		P8_3	INT1		CAN0IN / CAN1IN			
20	18		P8_2	INT0		CAN0OUT / CAN1OUT			
21	19		P8_1		TA4IN / U / RTP2_3	CTS5 / RTS5	INPC1_5 / OUTC1_5		
22	20		P8_0		TA4OUT / U	RXD5	ISRXD0		
23	21		P7_7		TA3IN / RTP2_2	CLK5 / CAN0IN	INPC1_4 / OUTC1_4 / ISCLK0		
24	22		P7_6		TA3OUT	TXD5 / CAN0OUT	INPC1_3 / OUTC1_3 / ISTXD0		
25	23		P7_5		TA2IN / W / RTP2_1		INPC1_2 / OUTC1_2 / ISRXD1		
26	24		P7_4		TA2OUT / W / RTP2_0		INPC1_1 / OUTC1_1 / ISCLK1		
27	25		P7_3		TA1IN / V	CTS2 / RTS2 / SS2	INPC1_0 / OUTC1_0 / ISTXD1		
28	26		P7_2		TA1OUT / V	CLK2			
29	27		P7_1		TA0IN / TB5IN / RTP0_3	RXD2 / SCL2 / STXD2	INPC1_7 / OUTC1_7 / OUTC2_2 / ISRXD2 / IEIN		
30	28		P7_0		TA0OUT / RTP0_2	TXD2 / SDA2 / SRXD2	INPC1_6 / OUTC1_6 / OUTC2_0 / ISTXD2 / IEOUT		
31	29		P6_7			TXD1 / SDA1 / SRXD1			
32	30		P6_6			RXD1 / SCL1 / STXD1			
33	31		P6_5			CLK1			
34	32		P6_4			CTS1 / RTS1 / SS1	OUTC2_1 / ISCLK2		
35	33		P6_3			TXD0 / SDA0 / SRXD0 / IrDAOUT			
36	34		P6_2			RXD0 / SCL0 / STXD0 / IrDAIN			
37	35		P6_1	RTP0_1		CLK0			
38	36		P6_0	RTP0_0		CTS0 / RTS0 / SS0			
39	37		P5_7						RDY
40	38		P5_6						ALE
41	39		P5_5						HOLD
42	40		P5_4						HLDA / ALE
43	41	CLKOUT	P5_3						BCLK / ALE
44	42		P5_2						RD
45	43		P5_1						WRH / BHE
46	44		P5_0						WRL / WR
47	45		P4_7						CS0 / A23
48	46		P4_6						CS1 / A22

注1. CAN端子は、M32C/87Bでは使用できません。M32C/87AではCAN0端子のみ使用できます。

表 1.12 100ピン版端子名一覧表(2)

パッケージ ピン番号		制御端子	ポート	割り 込み 端子	タイマ端子	UART / CAN 端子	インテリジェントI/O端子	アナログ 端子	バス制御端子
FP	GP								
49	47		P4_5						CS2 / A21
50	48		P4_4						CS3 / A20
51	49		P4_3						A19
52	50		P4_2						A18
53	51		P4_1						A17
54	52		P4_0						A16
55	53		P3_7						A15, [A15 / D15]
56	54		P3_6						A14, [A14 / D14]
57	55		P3_5						A13, [A13 / D13]
58	56		P3_4						A12, [A12 / D12]
59	57		P3_3						A11, [A11 / D11]
60	58		P3_2						A10, [A10 / D10]
61	59		P3_1						A9, [A9 / D9]
62	60	VCC2							
63	61		P3_0						A8, [A8 / D8]
64	62	VSS							
65	63		P2_7					AN2_7	A7, [A7 / D7]
66	64		P2_6					AN2_6	A6, [A6 / D6]
67	65		P2_5					AN2_5	A5, [A5 / D5]
68	66		P2_4					AN2_4	A4, [A4 / D4]
69	67		P2_3					AN2_3	A3, [A3 / D3]
70	68		P2_2					AN2_2	A2, [A2 / D2]
71	69		P2_1					AN2_1	A1, [A1 / D1]
72	70		P2_0					AN2_0	A0, [A0 / D0]
73	71		P1_7	INT5					D15
74	72		P1_6	INT4					D14
75	73		P1_5	INT3					D13
76	74		P1_4						D12
77	75		P1_3						D11
78	76		P1_2						D10
79	77		P1_1						D9
80	78		P1_0						D8
81	79		P0_7					AN0_7	D7
82	80		P0_6					AN0_6	D6
83	81		P0_5					AN0_5	D5
84	82		P0_4					AN0_4	D4
85	83		P0_3					AN0_3	D3
86	84		P0_2					AN0_2	D2
87	85		P0_1					AN0_1	D1
88	86		P0_0					AN0_0	D0
89	87		P10_7	KI3	RTP3_3			AN_7	
90	88		P10_6	KI2	RTP3_2			AN_6	
91	89		P10_5	KI1	RTP3_1			AN_5	
92	90		P10_4	KI0	RTP3_0			AN_4	
93	91		P10_3		RTP1_3			AN_3	
94	92		P10_2		RTP1_2			AN_2	
95	93		P10_1		RTP1_1			AN_1	
96	94	AVSS							
97	95		P10_0		RTP1_0			AN_0	
98	96	VREF							
99	97	AVCC							
100	98		P9_7			RXD4 / SCL4 / STXD4		ADTRG	

1.5 端子機能の説明

表 1.13 端子機能の説明(1)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
電源入力	VCC1, VCC2 VSS	—	—	VCC1、VCC2端子には、3.0～5.5Vを入力してください。 VCCの入力条件はVCC1≥VCC2です。 VSSには、0Vを入力してください。
アナログ 電源入力	AVCC AVSS	—	VCC1	A/DコンバータとD/Aコンバータの電源入力です。AVCCは VCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	$\overline{\text{RESET}}$	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータは リセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。 リセット後、シングルチップモードで動作を開始する場合は “L”を、マイクロプロセッサモード(マスクROM版、 フラッシュメモリ版)またはブートモード(フラッシュメモリ版) で動作を開始する場合は“H”を入力してください。
外部 データバス幅 切り替え入力	BYTE	入力	VCC1	外部領域3のデータバスを切り替えるための端子です。 この端子が“L”の場合16ビット、“H”の場合8ビットになり ます。どちらかに固定してください。シングルチップモードでは、 “L”を入力してください。
バス制御端子	D0～D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたとき、データ (D0～D7)の入出力を行います。
	D8～D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領 域をアクセスしたとき、データ(D8～D15)の入出力を行います。
	A0～A22	出力	VCC2	アドレスA0～A22を出力します。
	$\overline{\text{A23}}$	出力	VCC2	アドレスA23を反転して出力します。
	A0 / D0～A7 / D7	入出力	VCC2	マルチプレクスバスを選択している領域をアクセスしたとき、 アドレス(A0～A7)の出力とデータ(D0～D7)の入出力を時分割 で行います。
	A8 / D8～A15 / D15	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択してい る領域をアクセスしたとき、アドレス(A8～A15)の出力と データ(D8～D15)の入出力を時分割で行います。
	$\overline{\text{CS0}} \sim \overline{\text{CS3}}$	出力	VCC2	チップセレクト出力です。外部デバイスの指定に使用します。
	$\overline{\text{WRL}} / \overline{\text{WR}}$ $\overline{\text{WRH}} / \overline{\text{BHE}}$ $\overline{\text{RD}}$	出力	VCC2	$\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 信号を出力します。 プログラムで $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ または、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ を 切り替えられます。 ■ $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{RD}}$ 選択時 外部データバスが16ビットの場合、 $\overline{\text{WRL}}$ 信号が“L”のとき は偶数番地に、 $\overline{\text{WRH}}$ 信号が“L”のときは奇数番地に書か ます。 $\overline{\text{RD}}$ 信号が“L”のとき読みます。 ■ $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 選択時 $\overline{\text{WR}}$ 信号が“L”のとき書きます。 $\overline{\text{RD}}$ 信号が“L”のとき読み ます。 $\overline{\text{BHE}}$ 信号が“L”のとき奇数番地をアクセスします。 外部データバスが8ビットのとき、このモードを使用し てください。
	ALE	出力	VCC2	マルチプレクスバス選択時、アドレス信号をラッチするための 信号です。
	$\overline{\text{HOLD}}$	入力	VCC2	入力が“L”の期間、マイクロコンピュータはホールド状態に なります。
$\overline{\text{HLDA}}$	出力	VCC2	マイクロコンピュータがホールド状態の期間、“L”を出力 します。	
$\overline{\text{RDY}}$	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスは ウェイト状態になります。	

表 1.14 端子機能の説明(2)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
メイン クロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。 XINとXOUTの間にはセラミック共振子、または水晶発振子を 接続してください。外部で生成したクロックを入力する場合は、 XINからクロックを入力し、XOUTは開放にしてください。
メインクロック 出力	XOUT	出力	VCC1	
サブクロック 入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。 XCINとXCOUTの間には水晶発振子を接続してください。外部 で生成したクロックを入力する場合は、XCINからクロックを 入力し、XCOUTは開放にしてください。
サブクロック 出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	バスクロックを出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み 入力	INT0 \sim INT2	入力	VCC1	INT割り込みの入力です。
	INT3 \sim INT5	入力	VCC2	
NMI割り込み 入力	NMI	入力	VCC1	NMI割り込みの入力です。NMI割り込みを使用しない場合は、 抵抗を介してVCC1に接続してください。
タイマA	TA0OUT \sim TA4OUT	入出力	VCC1	タイマA0 \sim A4の入出力です (ただし、TA0OUT出力はNチャンネルオープンドレイン出力)。
	TA0IN \sim TA4IN	入力	VCC1	タイマA0 \sim A4の入力です。
タイマB	TB0IN \sim TB5IN	入力	VCC1	タイマB0 \sim B5の入力です。
三相モータ 制御用 タイマ出力	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	VCC1	三相モータ制御用タイマの出力です。
シリアル インタ フェース	CTS0 \sim CTS5	入力	VCC1	送信制御用入力です。
	RTS0 \sim RTS5	出力	VCC1	受信制御用出力です。
	CLK0 \sim CLK5	入出力	VCC1	送受信クロック入出力です。
	RXD0 \sim RXD5	入力	VCC1	シリアルデータ入力です。
	TXD0 \sim TXD5	出力	VCC1	シリアルデータ出力です (ただし、TXD2の出力はNチャンネルオープンドレイン出力)。
I ² Cモード	SDA0 \sim SDA4	入出力	VCC1	シリアルデータ入出力です (ただし、SDA2の出力はNチャンネルオープンドレイン出力)。
	SCL0 \sim SCL4	入出力	VCC1	送受信クロック入出力です (ただし、SCL2の出力はNチャンネルオープンドレイン出力)。
シリアル インタ フェース 特殊機能	STXD0 \sim STXD4	出力	VCC1	スレーブモードを選択したときのシリアルデータ出力です (ただし、STXD2の出力はNチャンネルオープンドレイン出力)。
	SRXD0 \sim SRXD4	入力	VCC1	スレーブモードを選択したときのシリアルデータ入力です。
	SS0 \sim SS4	入力	VCC1	シリアルインタフェース特殊機能の制御用入力です。
IrDA	IrDAIN	入力	VCC1	IrDAシリアルデータ入力です。
	IrDAOUT	出力	VCC1	IrDAシリアルデータ出力です。
CAN(注1)	CAN0IN, CAN1IN	入力	VCC1	CAN通信機能の入力です。
	CAN0OUT, CAN1OUT	出力	VCC1	CAN通信機能の出力です。
	CAN1WU	入力	VCC1	CAN1ウェイクアップ用割り込み入力です。

注1. CAN端子は、M32C/87Bでは使用できません。M32C/87AではCAN0端子のみ使用できます。

表 1.15 端子機能の説明(3)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
インテリジェント I/O	INPC1_0~INPC1_3	入力	VCC1 / VCC2(注1)	時間計測機能の入力です。
	INPC1_4~INPC1_7	入力	VCC1	
	OUTC1_0~OUTC1_3	出力	VCC1 / VCC2(注1)	波形生成機能の出力です(ただし、P7_0、P7_1に配置されているOUTC1_6、OUTC1_7、OUTC2_0、OUTC2_2はNチャンネルオープンドレイン出力)。
	OUTC1_4~OUTC1_7	出力	VCC1	
	OUTC2_0~OUTC2_2	出力	VCC1 / VCC2(注1)	
	ISCLK0	入出力	VCC1	インテリジェント I/O 通信機能のクロック入出力です。
	ISCLK1, ISCLK2	入出力	VCC1 / VCC2(注1)	
	ISRXD0	入力	VCC1	インテリジェント I/O 通信機能のデータ入力です。
	ISRXD1, ISRXD2	入力	VCC1 / VCC2(注1)	
	ISTXD0	出力	VCC1	インテリジェント I/O 通信機能のデータ出力です(ただし、P7_0に配置されているISTXD2はNチャンネルオープンドレイン出力)。
	ISTXD1, ISTXD2	出力	VCC1 / VCC2(注1)	
	IEIN	入力	VCC1 / VCC2(注1)	インテリジェント I/O 通信機能のデータ入力です。
	IEOUT	出力	VCC1 / VCC2(注1)	インテリジェント I/O 通信機能のデータ出力です(ただし、P7_0に配置されているIEOUTはNチャンネルオープンドレイン出力)。
基準電圧入力	VREF	入力	—	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN_0~AN_7	入力	VCC1	A/Dコンバータのアナログ入力です。
	AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC2	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/Dコンバータの外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0, DA1	出力	VCC1	D/Aコンバータの出力です。
リアルタイムポート	RTP0_0~RTP0_3 RTP1_0~RTP1_3 RTP2_0~RTP2_3 RTP3_0~RTP3_3	出力	VCC1	リアルタイムポートの出力です(ただし、RTP0_2、RTP0_3はNチャンネルオープンドレイン出力)。
入出力ポート	P0_0~P0_7 P1_0~P1_7 P2_0~P2_7 P3_0~P3_7 P4_0~P4_7 P5_0~P5_7	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4端子ごとにプルアップするかしないかを設定できます。
	P6_0~P6_7 P7_0~P7_7 P9_0~P9_7 P10_0~P10_7	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P7_0、P7_1はNチャンネルオープンドレイン出力)。
	P8_0~P8_4 P8_6, P8_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
入力ポート	P8_5	入力	VCC1	$\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認するための入力専用ポートです。
キー入力割り込み	KI0~KI3	入力	VCC1	キー入力割り込みの入力です。

注1. 100ピン版ではVCC1のみになります。

表 1.16 端子機能の説明(4)(144ピン版のみ)

分類	端子名	入出力	電源系統	機能および説明
INT 割り込み 入力	INT6 ~ INT8	入力	VCC1	INT 割り込みの入力です。
シリアル インタ フェース	CTS6	入力	VCC1 / VCC2	送信制御用入力です。
	RTS6	出力	VCC1 / VCC2	受信制御用出力です。
	CLK6	入出力	VCC1 / VCC2	送受信クロック入出力です。
	RXD6	入力	VCC1 / VCC2	シリアルデータ入力です。
	TXD6	出力	VCC1 / VCC2	シリアルデータ出力です。
インテリ ジェント I/O	OUTC2_3 ~ OUTC2_7	出力	VCC2	波形生成機能の出力です。
A/D コンバータ	AN15_0 ~ AN15_7	入力	VCC1	A/Dコンバータのアナログ入力です。
入出力ポート	P11_0 ~ P11_4 P12_0 ~ P12_7 P13_0 ~ P13_7	入出力	VCC2	P0と同等の機能を持つ入出力ポートです。
	P14_0 ~ P14_6 P15_0 ~ P15_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

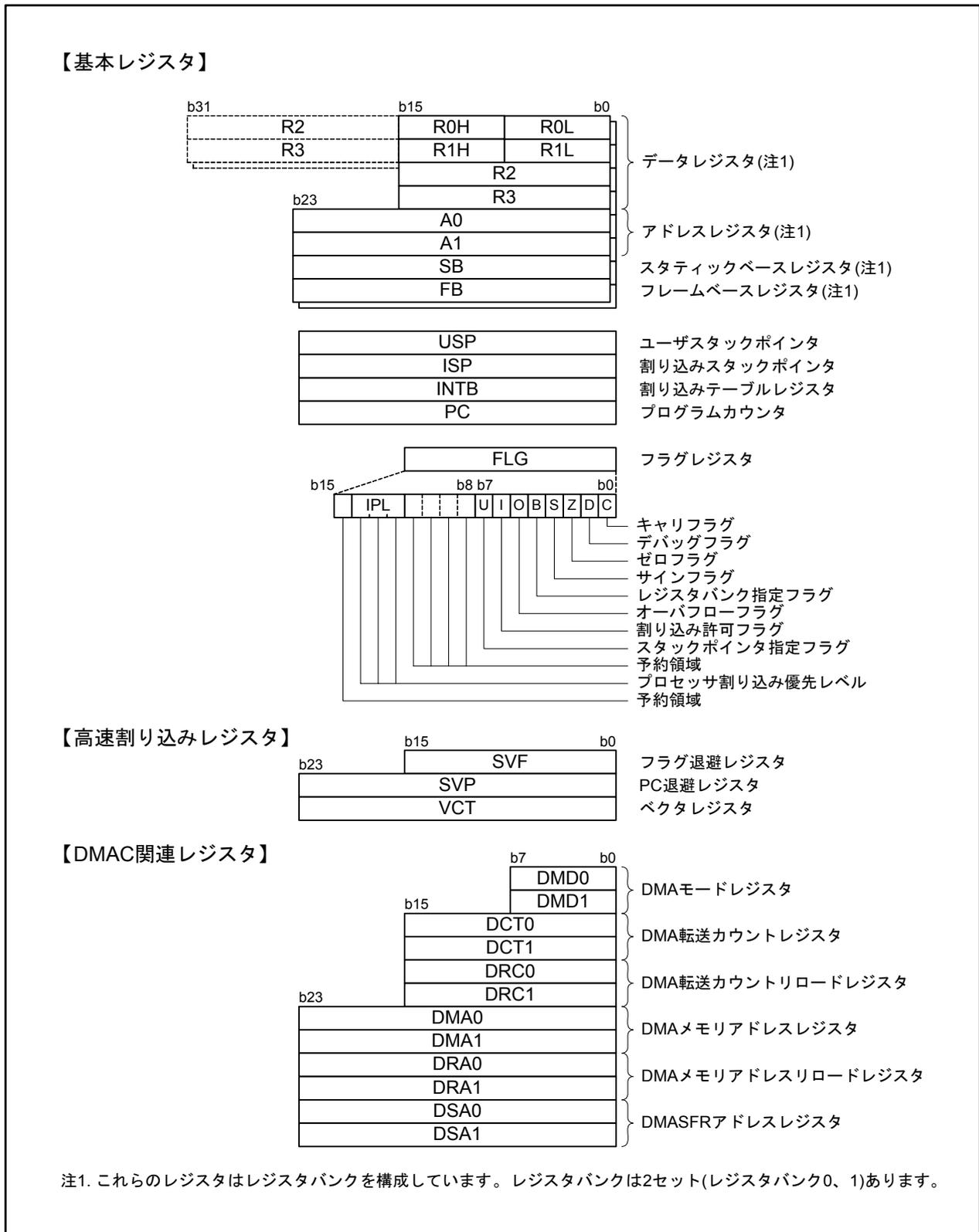


図2.1 中央演算処理装置のレジスタ構成

2.1 基本レジスタ

2.1.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1はR0と同様です。

また、R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ (A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ (SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ (FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ (PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ (INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)はUSPとISPの2種類あり、共に24ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグは「2.1.8 フラグレジスタ (FLG)」を参照してください。

USPとISPは偶数番地に設定してください。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ (FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリフラグ (C)

命令実行後のキャリやボローの有無を示します。

2.1.8.2 デバッグフラグ (D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ (Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.1.8.4 サインフラグ (S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ (B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ (O)

演算の結果がオーバフローしたとき“1”になります。それ以外のとき“0”になります。

2.1.8.7 割り込み許可フラグ (I)

マスクブル割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ (U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0～7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。詳細は、「11.4 高速割り込み」を参照してください。

- ・フラグ退避レジスタ (SVF)
- ・PC退避レジスタ (SVP)
- ・ベクタレジスタ (VCT)

2.3 DMAC関連レジスタ

DMACに関するレジスタは次のとおりです。詳細は、「13.DMAC」を参照してください。

- ・DMAモードレジスタ (DMD0、DMD1)
- ・DMA転送カウンタレジスタ (DCT0、DCT1)
- ・DMA転送カウンタリロードレジスタ (DRC0、DRC1)
- ・DMAメモリアドレスレジスタ (DMA0、DMA1)
- ・DMAメモリアドレスリロードレジスタ (DRA0、DRA1)
- ・DMA SFR アドレスレジスタ (DSA0、DSA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000h番地からFFFFFFh番地までの16Mバイトあります。

内部ROMはFFFFFFh番地から下位方向に配置されています。例えば512Kバイトの内部ROMは、F80000h番地からFFFFFFh番地に配置されています。

固定割り込みベクタはFFFFDCh番地からFFFFFFh番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。詳細は、「11.割り込み」を参照してください。

内部RAMは000400h番地から上位方向に配置されています。例えば48Kバイトの内部RAMは、000400h番地から00C3FFh番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000h番地から0003FFh番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルインタフェース、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00h番地からFFFFDBh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M32C/80シリーズソフトウェアマニュアル」を参照してください。

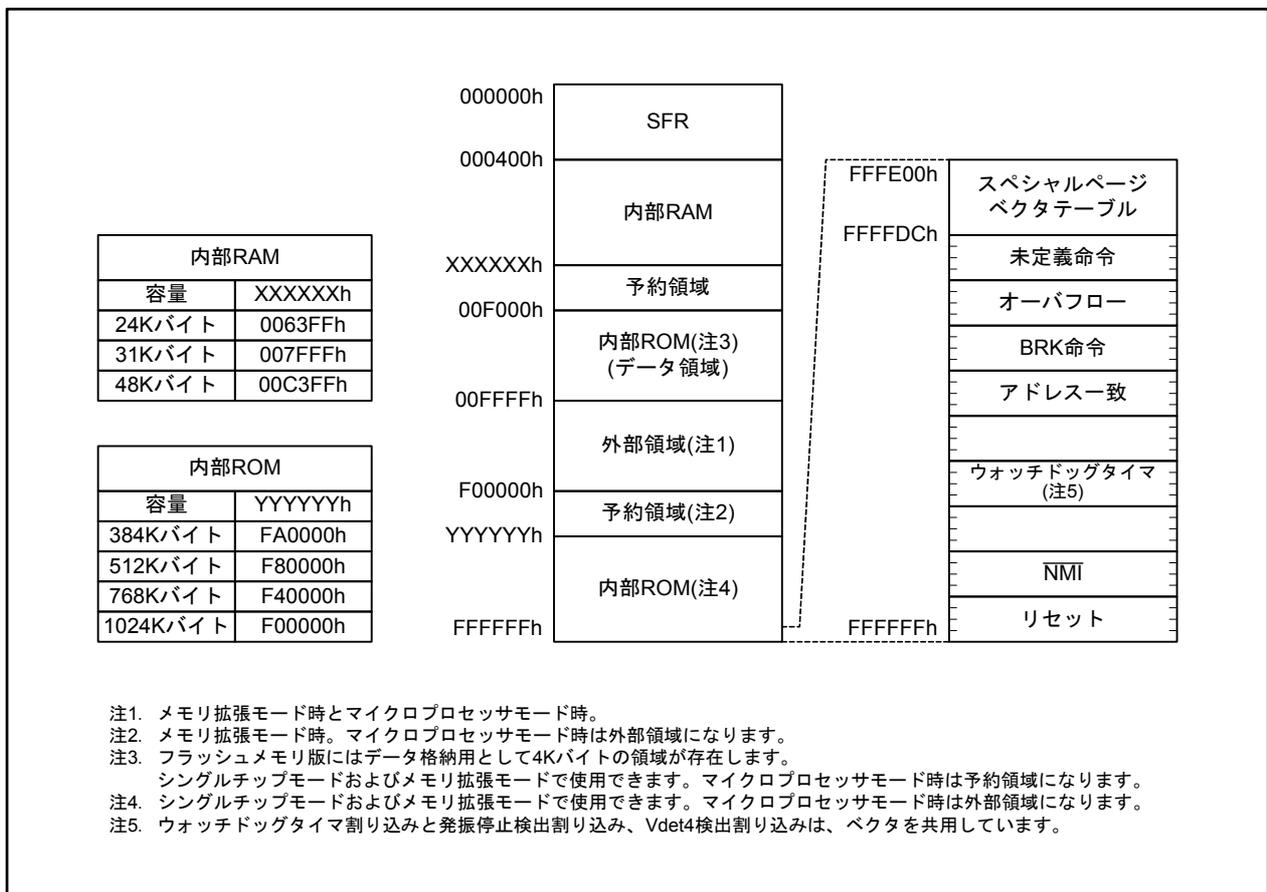


図3.1 メモリ配置図

4. SFR

SFR(Special Function Registers)は、周辺機能の制御レジスタです。表4.1～表4.18にSFR一覧を示します。

表4.1 SFR一覧(1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0(注1)	PM0	1000 0000b(CNVSS端子が“L”) 0000 0011b(CNVSS端子が“H”)
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	0000 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	XXXX 0000b
000Bh	外部データバス幅制御レジスタ	DS	XXXX 1000b(BYTE端子が“L”) XXXX 0000b(BYTE端子が“H”)
000Ch	メインクロック分周レジスタ	MCD	XXX0 1000b
000Dh	発振停止検出レジスタ	CM2	00h
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb
0010h			
0011h	アドレス一致割り込みレジスタ0	RMAD0	000000h
0012h			
0013h	プロセッサモードレジスタ2	PM2	00h
0014h			
0015h	アドレス一致割り込みレジスタ1	RMAD1	000000h
0016h			
0017h	電圧検出レジスタ2	VCR2	00h
0018h			
0019h	アドレス一致割り込みレジスタ2	RMAD2	000000h
001Ah			
001Bh	電圧検出レジスタ1	VCR1	0000 1000b
001Ch			
001Dh	アドレス一致割り込みレジスタ3	RMAD3	000000h
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	PLL制御レジスタ0	PLC0	0001 X010b
0027h	PLL制御レジスタ1	PLC1	000X 0000b
0028h			
0029h	アドレス一致割り込みレジスタ4	RMAD4	000000h
002Ah			
002Bh			
002Ch			
002Dh	アドレス一致割り込みレジスタ5	RMAD5	000000h
002Eh			
002Fh	Vdet4検出割り込みレジスタ	D4INT	XX00 0000b

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. PM0レジスタのPM01～PM00ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

表 4.2 SFR一覧(2)

番地	レジスタ	シンボル	リセット後の値
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h	アドレス一致割り込みレジスタ6	RMAD6	000000h
003Ah			
003Bh			
003Ch			
003Dh	アドレス一致割り込みレジスタ7	RMAD7	000000h
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	外部領域ウェイト制御レジスタ0	EWCR0	X0X0 0011b
0049h	外部領域ウェイト制御レジスタ1	EWCR1	X0X0 0011b
004Ah	外部領域ウェイト制御レジスタ2	EWCR2	X0X0 0011b
004Bh	外部領域ウェイト制御レジスタ3	EWCR3	X0X0 0011b
004Ch			
004Dh			
004Eh			
004Fh			
0050h			
0051h			
0052h			
0053h			
0054h			
0055h	フラッシュメモリ制御レジスタ1	FMR1	0000 0X0Xb
0056h			
0057h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b(フラッシュメモリ版) XXXX XXX0b(マスクROM版)
0058h			
0059h			
005Ah			
005Bh			
005Ch			
005Dh			
005Eh			
005Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.3 SFR一覧(3)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
0069h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
006Ah	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Bh	UART2受信 / ACK割り込み制御レジスタ	S2RIC	XXXX X000b
006Ch	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
006Dh	UART3受信 / ACK割り込み制御レジスタ	S3RIC	XXXX X000b
006Eh	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
006Fh	UART4受信 / ACK割り込み制御レジスタ	S4RIC	XXXX X000b
0070h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
0071h	UART0 / UART3バス衝突検出割り込み制御レジスタ	BCN0IC / BCN3IC	XXXX X000b
0072h	UART0受信 / ACK割り込み制御レジスタ	S0RIC	XXXX X000b
0073h	A/D0変換割り込み制御レジスタ	AD0IC	XXXX X000b
0074h	UART1受信 / ACK割り込み制御レジスタ	S1RIC	XXXX X000b
0075h	インテリジェントI/O割り込み制御レジスタ0 / CAN1割り込み制御レジスタ0	IIO0IC / CAN3IC	XXXX X000b
0076h	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
0077h	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X000b
0078h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
0079h	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X000b
007Ah	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
007Bh	インテリジェントI/O割り込み制御レジスタ6	IIO6IC	XXXX X000b
007Ch	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
007Dh	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	XXXX X000b
007Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
007Fh	インテリジェントI/O割り込み制御レジスタ10 / CAN0割り込み制御レジスタ1	IIO10IC / CAN1IC	XXXX X000b
0080h			
0081h	インテリジェントI/O割り込み制御レジスタ11 / CAN0割り込み制御レジスタ2	IIO11IC / CAN2IC	XXXX X000b
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
0089h	UART2送信 / NACK割り込み制御レジスタ	S2TIC	XXXX X000b
008Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b
008Bh	UART3送信 / NACK割り込み制御レジスタ	S3TIC	XXXX X000b
008Ch	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
008Dh	UART4送信 / NACK割り込み制御レジスタ	S4TIC	XXXX X000b
008Eh	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
008Fh	UART2バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X000b

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4)

番地	レジスタ	シンボル	リセット後の値
0090h	UART0送信 / NACK割り込み制御レジスタ	S0TIC	XXXX X000b
0091h	UART1 / UART4バス衝突検出割り込み制御レジスタ	BCN1IC / BCN4IC	XXXX X000b
0092h	UART1送信 / NACK割り込み制御レジスタ	S1TIC	XXXX X000b
0093h	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
0094h	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
0095h	インテリジェントI/O割り込み制御レジスタ1 / CAN1割り込み制御レジスタ1	IIO1IC / CAN4IC	XXXX X000b
0096h	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
0097h	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000b
0098h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
0099h	インテリジェントI/O割り込み制御レジスタ5 / CAN1割り込み制御レジスタ2	IIO5IC / CAN5IC	XXXX X000b
009Ah	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
009Bh	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	XXXX X000b
009Ch	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
009Dh	インテリジェントI/O割り込み制御レジスタ9 / CAN0割り込み制御レジスタ0	IIO9IC / CAN0IC	XXXX X000b
009Eh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
009Fh	復帰用優先順位レジスタ	RLVL	XXXX 0000b
00A0h	割り込み要求レジスタ0	IIO0IR	0000 000Xb
00A1h	割り込み要求レジスタ1	IIO1IR	0000 000Xb
00A2h	割り込み要求レジスタ2	IIO2IR	0000 000Xb
00A3h	割り込み要求レジスタ3	IIO3IR	0000 000Xb
00A4h	割り込み要求レジスタ4	IIO4IR	0000 000Xb
00A5h	割り込み要求レジスタ5	IIO5IR	0000 000Xb
00A6h	割り込み要求レジスタ6	IIO6IR	0000 000Xb
00A7h	割り込み要求レジスタ7	IIO7IR	0000 000Xb
00A8h	割り込み要求レジスタ8	IIO8IR	0000 000Xb
00A9h	割り込み要求レジスタ9	IIO9IR	0000 000Xb
00AAh	割り込み要求レジスタ10	IIO10IR	0000 000Xb
00ABh	割り込み要求レジスタ11	IIO11IR	0000 000Xb
00ACh			
00ADh			
00AEh			
00AFh			
00B0h	割り込み許可レジスタ0	IIO0IE	00h
00B1h	割り込み許可レジスタ1	IIO1IE	00h
00B2h	割り込み許可レジスタ2	IIO2IE	00h
00B3h	割り込み許可レジスタ3	IIO3IE	00h
00B4h	割り込み許可レジスタ4	IIO4IE	00h
00B5h	割り込み許可レジスタ5	IIO5IE	00h
00B6h	割り込み許可レジスタ6	IIO6IE	00h
00B7h	割り込み許可レジスタ7	IIO7IE	00h
00B8h	割り込み許可レジスタ8	IIO8IE	00h
00B9h	割り込み許可レジスタ9	IIO9IE	00h
00BAh	割り込み許可レジスタ10	IIO10IE	00h
00BBh	割り込み許可レジスタ11	IIO11IE	00h
00BCh			
00BDh			
00BEh			
00BFh			
~			
00DFh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表4.5 SFR一覧(5)

番地	レジスタ	シンボル	リセット後の値
00E0h			
00E1h			
00E2h			
00E3h			
00E4h			
00E5h			
00E6h			
00E7h			
00E8h	グループ0 SI/O受信バッファレジスタ	GORB	XXXX XXXXb
00E9h			XXX0 XXXXb
00EAh	グループ0 送信バッファ/受信データレジスタ	G0TB / G0DR	XXh
00EBh			
00ECh	グループ0 受信入力レジスタ	G0RI	XXh
00EDh	グループ0 SI/O通信モードレジスタ	G0MR	00h
00EEh	グループ0 送信出力レジスタ	G0TO	XXh
00EFh	グループ0 SI/O通信制御レジスタ	G0CR	0000 X011b
00F0h	グループ0 データ比較レジスタ0	G0CMP0	XXh
00F1h	グループ0 データ比較レジスタ1	G0CMP1	XXh
00F2h	グループ0 データ比較レジスタ2	G0CMP2	XXh
00F3h	グループ0 データ比較レジスタ3	G0CMP3	XXh
00F4h	グループ0 データマスクレジスタ0	G0MSK0	XXh
00F5h	グループ0 データマスクレジスタ1	G0MSK1	XXh
00F6h	通信クロック選択レジスタ	CCS	XXXX 0000b
00F7h			
00F8h	グループ0 受信CRCコードレジスタ	G0RCRC	XXXXh
00F9h			
00FAh	グループ0 送信CRCコードレジスタ	G0TCRC	0000h
00FBh			
00FCh	グループ0 SI/O拡張モードレジスタ	G0EMR	00h
00FDh	グループ0 SI/O拡張受信制御レジスタ	G0ERC	00h
00FEh	グループ0 SI/O特殊通信割り込み判別レジスタ	G0IRF	0000 XXXXb
00FFh	グループ0 SI/O拡張送信制御レジスタ	G0ETC	0000 0XXXXb
0100h	グループ1 時間計測 / 波形生成レジスタ0	G1TM0 / G1PO0	XXXXh
0101h			
0102h	グループ1 時間計測 / 波形生成レジスタ1	G1TM1 / G1PO1	XXXXh
0103h			
0104h	グループ1 時間計測 / 波形生成レジスタ2	G1TM2 / G1PO2	XXXXh
0105h			
0106h	グループ1 時間計測 / 波形生成レジスタ3	G1TM3 / G1PO3	XXXXh
0107h			
0108h	グループ1 時間計測 / 波形生成レジスタ4	G1TM4 / G1PO4	XXXXh
0109h			
010Ah	グループ1 時間計測 / 波形生成レジスタ5	G1TM5 / G1PO5	XXXXh
010Bh			
010Ch	グループ1 時間計測 / 波形生成レジスタ6	G1TM6 / G1PO6	XXXXh
010Dh			
010Eh	グループ1 時間計測 / 波形生成レジスタ7	G1TM7 / G1PO7	XXXXh
010Fh			
0110h	グループ1 波形生成制御レジスタ0	G1POCR0	0000 X000b
0111h	グループ1 波形生成制御レジスタ1	G1POCR1	0X00 X000b
0112h	グループ1 波形生成制御レジスタ2	G1POCR2	0X00 X000b
0113h	グループ1 波形生成制御レジスタ3	G1POCR3	0X00 X000b
0114h	グループ1 波形生成制御レジスタ4	G1POCR4	0X00 X000b
0115h	グループ1 波形生成制御レジスタ5	G1POCR5	0X00 X000b
0116h	グループ1 波形生成制御レジスタ6	G1POCR6	0X00 X000b
0117h	グループ1 波形生成制御レジスタ7	G1POCR7	0X00 X000b
0118h	グループ1 時間計測制御レジスタ0	G1TMCR0	00h
0119h	グループ1 時間計測制御レジスタ1	G1TMCR1	00h
011Ah	グループ1 時間計測制御レジスタ2	G1TMCR2	00h
011Bh	グループ1 時間計測制御レジスタ3	G1TMCR3	00h
011Ch	グループ1 時間計測制御レジスタ4	G1TMCR4	00h
011Dh	グループ1 時間計測制御レジスタ5	G1TMCR5	00h
011Eh	グループ1 時間計測制御レジスタ6	G1TMCR6	00h
011Fh	グループ1 時間計測制御レジスタ7	G1TMCR7	00h

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6)

番地	レジスタ	シンボル	リセット後の値
0120h	グループ1 ベースタイマレジスタ	G1BT	XXXXh
0121h			
0122h	グループ1 ベースタイマ制御レジスタ0	G1BCR0	00h
0123h	グループ1 ベースタイマ制御レジスタ1	G1BCR1	X000 000Xb
0124h	グループ1 時間計測プリスケアラレジスタ6	G1TPR6	00h
0125h	グループ1 時間計測プリスケアラレジスタ7	G1TPR7	00h
0126h	グループ1 機能許可レジスタ	G1FE	00h
0127h	グループ1 機能選択レジスタ	G1FS	00h
0128h	グループ1 SI/O受信バッファレジスタ	G1RB	XXXX XXXXb X000 XXXXb
0129h			
012Ah	グループ1 送信バッファ/受信データレジスタ	G1TB / G1DR	XXh
012Bh			
012Ch	グループ1 受信入力レジスタ	G1RI	XXh
012Dh	グループ1 SI/O通信モードレジスタ	G1MR	00h
012Eh	グループ1 送信出力レジスタ	G1TO	XXh
012Fh	グループ1 SI/O通信制御レジスタ	G1CR	0000 X011b
0130h	グループ1 データ比較レジスタ0	G1CMP0	XXh
0131h	グループ1 データ比較レジスタ1	G1CMP1	XXh
0132h	グループ1 データ比較レジスタ2	G1CMP2	XXh
0133h	グループ1 データ比較レジスタ3	G1CMP3	XXh
0134h	グループ1 データマスクレジスタ0	G1MSK0	XXh
0135h	グループ1 データマスクレジスタ1	G1MSK1	XXh
0136h			
0137h			
0138h	グループ1 受信CRCコードレジスタ	G1RCRC	XXXXh
0139h			
013Ah	グループ1 送信CRCコードレジスタ	G1TCRC	0000h
013Bh			
013Ch	グループ1 SI/O拡張モードレジスタ	G1EMR	00h
013Dh	グループ1 SI/O拡張受信制御レジスタ	G1ERC	00h
013Eh	グループ1 SI/O特殊通信割り込み判別レジスタ	G1IRF	0000 XXXXb
013Fh	グループ1 SI/O拡張送信制御レジスタ	G1ETC	0000 0XXXb
0140h	グループ2 波形生成レジスタ0	G2PO0	XXXXh
0141h			
0142h	グループ2 波形生成レジスタ1	G2PO1	XXXXh
0143h			
0144h	グループ2 波形生成レジスタ2	G2PO2	XXXXh
0145h			
0146h	グループ2 波形生成レジスタ3	G2PO3	XXXXh
0147h			
0148h	グループ2 波形生成レジスタ4	G2PO4	XXXXh
0149h			
014Ah	グループ2 波形生成レジスタ5	G2PO5	XXXXh
014Bh			
014Ch	グループ2 波形生成レジスタ6	G2PO6	XXXXh
014Dh			
014Eh	グループ2 波形生成レジスタ7	G2PO7	XXXXh
014Fh			
0150h	グループ2 波形生成制御レジスタ0	G2POCR0	00h
0151h	グループ2 波形生成制御レジスタ1	G2POCR1	00h
0152h	グループ2 波形生成制御レジスタ2	G2POCR2	00h
0153h	グループ2 波形生成制御レジスタ3	G2POCR3	00h
0154h	グループ2 波形生成制御レジスタ4	G2POCR4	00h
0155h	グループ2 波形生成制御レジスタ5	G2POCR5	00h
0156h	グループ2 波形生成制御レジスタ6	G2POCR6	00h
0157h	グループ2 波形生成制御レジスタ7	G2POCR7	00h
0158h			
0159h			
015Ah			
~			
015Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表4.7 SFR一覧(7)

番地	レジスタ	シンボル	リセット後の値
0160h	グループ2 ベースタイマレジスタ	G2BT	XXXXh
0161h			
0162h	グループ2 ベースタイマ制御レジスタ0	G2BCR0	00h
0163h	グループ2 ベースタイマ制御レジスタ1	G2BCR1	00h
0164h	ベースタイマスタートレジスタ	BTSR	XXXX 0000b
0165h			
0166h	グループ2 機能許可レジスタ	G2FE	00h
0167h	グループ2 RTP出力バッファレジスタ	G2RTP	00h
0168h			
0169h			
016Ah	グループ2 SI/O通信モードレジスタ	G2MR	00XX X000b
016Bh	グループ2 SI/O通信制御レジスタ	G2CR	0000 X000b
016Ch	グループ2 SI/O送信バッファレジスタ	G2TB	XXXXh
016Dh			
016Eh	グループ2 SI/O受信バッファレジスタ	G2RB	XXXXh
016Fh			
0170h	グループ2 IEBus アドレスレジスタ	IEAR	XXXXh
0171h			
0172h	グループ2 IEBus 制御レジスタ	IECR	00XX X000b
0173h	グループ2 IEBus 送信割り込み要因判別レジスタ	IETIF	XXX0 0000b
0174h	グループ2 IEBus 受信割り込み要因判別レジスタ	IERIF	XXX0 0000b
0175h			
0176h			
0177h	入力機能選択レジスタB	IPSB	00h
0178h	入力機能選択レジスタ	IPS	00h
0179h	入力機能選択レジスタA	IPSA	00h
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h			
~			
01BFh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表4.8 SFR一覧(8)

番地	レジスタ(注1、2)	シンボル	リセット後の値
01C0h	UART5送受信モードレジスタ	U5MR	00h
01C1h	UART5通信速度レジスタ	U5BRG	XXh
01C2h	UART5送信バッファレジスタ	U5TB	XXXXh
01C3h			
01C4h	UART5送受信制御レジスタ0	U5C0	0000 1000b
01C5h	UART5送受信制御レジスタ1	U5C1	XXXX 0010b
01C6h	UART5受信バッファレジスタ	U5RB	XXXXh
01C7h			
01C8h	UART6送受信モードレジスタ	U6MR	00h
01C9h	UART6通信速度レジスタ	U6BRG	XXh
01CAh	UART6送信バッファレジスタ	U6TB	XXXXh
01CBh			
01CCh	UART6送受信制御レジスタ0	U6C0	0000 1000b
01CDh	UART6送受信制御レジスタ1	U6C1	XXXX 0010b
01CEh	UART6 受信バッファレジスタ	U6RB	XXXXh
01CFh			
01D0h	UART5,6送受信制御レジスタ	U56CON	X000 0000b
01D1h	UART5,6入力端子機能選択レジスタ	U56IS	X000 X000b
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h	RTP出力バッファレジスタ0	RTP0R	XXh
01D9h	RTP出力バッファレジスタ1	RTP1R	XXh
01DAh	RTP出力バッファレジスタ2	RTP2R	XXh
01DBh	RTP出力バッファレジスタ3	RTP3R	XXh
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	CAN0メッセージスロットバッファ0標準ID0	C0SLOT0_0	XXh
01E1h	CAN0メッセージスロットバッファ0標準ID1	C0SLOT0_1	XXh
01E2h	CAN0メッセージスロットバッファ0拡張ID0	C0SLOT0_2	XXh
01E3h	CAN0メッセージスロットバッファ0拡張ID1	C0SLOT0_3	XXh
01E4h	CAN0メッセージスロットバッファ0拡張ID2	C0SLOT0_4	XXh
01E5h	CAN0メッセージスロットバッファ0データ長コード	C0SLOT0_5	XXh
01E6h	CAN0メッセージスロットバッファ0データ0	C0SLOT0_6	XXh
01E7h	CAN0メッセージスロットバッファ0データ1	C0SLOT0_7	XXh
01E8h	CAN0メッセージスロットバッファ0データ2	C0SLOT0_8	XXh
01E9h	CAN0メッセージスロットバッファ0データ3	C0SLOT0_9	XXh
01EAh	CAN0メッセージスロットバッファ0データ4	C0SLOT0_10	XXh
01EBh	CAN0メッセージスロットバッファ0データ5	C0SLOT0_11	XXh
01ECh	CAN0メッセージスロットバッファ0データ6	C0SLOT0_12	XXh
01EDh	CAN0メッセージスロットバッファ0データ7	C0SLOT0_13	XXh
01EEh	CAN0メッセージスロットバッファ0タイムスタンプ上位	C0SLOT0_14	XXh
01EFh	CAN0メッセージスロットバッファ0タイムスタンプ下位	C0SLOT0_15	XXh

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注2. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)にアクセスしてください。

表4.9 SFR一覧(9)

番地	レジスタ(注2、3)	シンボル	リセット後の値
01F0h	CAN0メッセージスロットバッファ1標準ID0	C0SLOT1_0	XXh
01F1h	CAN0メッセージスロットバッファ1標準ID1	C0SLOT1_1	XXh
01F2h	CAN0メッセージスロットバッファ1拡張ID0	C0SLOT1_2	XXh
01F3h	CAN0メッセージスロットバッファ1拡張ID1	C0SLOT1_3	XXh
01F4h	CAN0メッセージスロットバッファ1拡張ID2	C0SLOT1_4	XXh
01F5h	CAN0メッセージスロットバッファ1データ長コード	C0SLOT1_5	XXh
01F6h	CAN0メッセージスロットバッファ1データ0	C0SLOT1_6	XXh
01F7h	CAN0メッセージスロットバッファ1データ1	C0SLOT1_7	XXh
01F8h	CAN0メッセージスロットバッファ1データ2	C0SLOT1_8	XXh
01F9h	CAN0メッセージスロットバッファ1データ3	C0SLOT1_9	XXh
01FAh	CAN0メッセージスロットバッファ1データ4	C0SLOT1_10	XXh
01FBh	CAN0メッセージスロットバッファ1データ5	C0SLOT1_11	XXh
01FCh	CAN0メッセージスロットバッファ1データ6	C0SLOT1_12	XXh
01FDh	CAN0メッセージスロットバッファ1データ7	C0SLOT1_13	XXh
01FEh	CAN0メッセージスロットバッファ1タイムスタンプ上位	C0SLOT1_14	XXh
01FFh	CAN0メッセージスロットバッファ1タイムスタンプ下位	C0SLOT1_15	XXh
0200h	CAN0制御レジスタ0	C0CTRL0	XX01 0X01b(注1)
0201h			XXXX 0000b(注1)
0202h	CAN0ステータスレジスタ	C0STR	0000 0000b(注1)
0203h			X000 0X01b(注1)
0204h	CAN0拡張IDレジスタ	C0IDR	0000h(注1)
0205h			
0206h	CAN0コンフィグレーションレジスタ	C0CONR	0000 XXXXb(注1)
0207h			0000 0000b(注1)
0208h	CAN0タイムスタンプレジスタ	C0TSR	0000h(注1)
0209h			
020Ah	CAN0送信エラーカウントレジスタ	C0TEC	00h(注1)
020Bh	CAN0受信エラーカウントレジスタ	C0REC	00h(注1)
020Ch	CAN0スロット割り込みステータスレジスタ	C0SISTR	0000h(注1)
020Dh			
020Eh			
020Fh			
0210h	CAN0スロット割り込みマスクレジスタ	C0SIMKR	0000h(注1)
0211h			
0212h			
0213h			
0214h	CAN0エラー割り込みマスクレジスタ	C0EIMKR	XXXX X000b(注1)
0215h	CAN0エラー割り込みステータスレジスタ	C0EISTR	XXXX X000b(注1)
0216h	CAN0エラー要因レジスタ	C0EFR	00h(注1)
0217h	CAN0ポーレートプリスケアラ	C0BRP	0000 0001b(注1)
0218h			
0219h	CAN0モードレジスタ	C0MDR	XXXX XX00b(注1)
021Ah			
021Bh			
021Ch			
021Dh			
021Eh			
021Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. リセット後、C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

注2. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注3. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)をアクセスしてください。

表4.10 SFR一覧(10)

番地	レジスタ(注3、4)	シンボル	リセット後の値
0220h	CAN0シングルショット制御レジスタ	C0SSCTLR	0000h(注1、2)
0221h			
0222h			
0223h			
0224h	CAN0シングルショットステータスレジスタ	C0SSSTR	0000h(注1、2)
0225h			
0226h			
0227h			
0228h	CAN0グローバルマスクレジスタ標準ID0	C0GMR0	XXX0 0000b(注1、2)
0229h	CAN0グローバルマスクレジスタ標準ID1	C0GMR1	XX00 0000b(注1、2)
022Ah	CAN0グローバルマスクレジスタ拡張ID0	C0GMR2	XXXX 0000b(注1、2)
022Bh	CAN0グローバルマスクレジスタ拡張ID1	C0GMR3	00h(注1、2)
022Ch	CAN0グローバルマスクレジスタ拡張ID2	C0GMR4	XX00 0000b(注1、2)
022Dh			
022Eh			
022Fh			
0230h	CAN0メッセージスロット0制御レジスタ/ CAN0ローカルマスクレジスタA標準ID0	C0MCTL0 / C0LMAR0	0000 0000b(注1、2) XXX0 0000b(注1、2)
0231h	CAN0メッセージスロット1制御レジスタ/ CAN0ローカルマスクレジスタA標準ID1	C0MCTL1 / C0LMAR1	0000 0000b(注1、2) XX00 0000b(注1、2)
0232h	CAN0メッセージスロット2制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID0	C0MCTL2 / C0LMAR2	0000 0000b(注1、2) XXXX 0000b(注1、2)
0233h	CAN0メッセージスロット3制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID1	C0MCTL3 / C0LMAR3	00h(注1、2) 00h(注1、2)
0234h	CAN0メッセージスロット4制御レジスタ/ CAN0ローカルマスクレジスタA拡張ID2	C0MCTL4 / C0LMAR4	0000 0000b(注1、2) XX00 0000b(注1、2)
0235h	CAN0メッセージスロット5制御レジスタ	C0MCTL5	00h(注1、2)
0236h	CAN0メッセージスロット6制御レジスタ	C0MCTL6	00h(注1、2)
0237h	CAN0メッセージスロット7制御レジスタ	C0MCTL7	00h(注1、2)
0238h	CAN0メッセージスロット8制御レジスタ/ CAN0ローカルマスクレジスタB標準ID0	C0MCTL8 / C0LMBR0	0000 0000b(注1、2) XXX0 0000b(注1、2)
0239h	CAN0メッセージスロット9制御レジスタ/ CAN0ローカルマスクレジスタB標準ID1	C0MCTL9 / C0LMBR1	0000 0000b(注1、2) XX00 0000b(注1、2)
023Ah	CAN0メッセージスロット10制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID0	C0MCTL10 / C0LMBR2	0000 0000b(注1、2) XXXX 0000b(注1、2)
023Bh	CAN0メッセージスロット11制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID1	C0MCTL11 / C0LMBR3	00h(注1、2) 00h(注1、2)
023Ch	CAN0メッセージスロット12制御レジスタ/ CAN0ローカルマスクレジスタB拡張ID2	C0MCTL12 / C0LMBR4	0000 0000b(注1、2) XX00 0000b(注1、2)
023Dh	CAN0メッセージスロット13制御レジスタ	C0MCTL13	00h(注1、2)
023Eh	CAN0メッセージスロット14制御レジスタ	C0MCTL14	00h(注1、2)
023Fh	CAN0メッセージスロット15制御レジスタ	C0MCTL15	00h(注1、2)
0240h	CAN0スロットバッファ選択レジスタ	C0SBS	00h(注2)
0241h	CAN0制御レジスタ1	C0CTLR1	X000 00XXb(注2)
0242h	CAN0スリープ制御レジスタ	C0SLPR	XXXX XXX0b
0243h			
0244h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFS	00h(注2)
0245h			01h(注2)
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 0220h~023Fh番地は、C0CTLR1レジスタのBANKSELビットで機能を切り替えられます。

注2. リセット後、C0SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

注3. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注4. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)にアクセスしてください。

表 4.11 SFR一覧(11)

番地	レジスタ(注2、3)	シンボル	リセット後の値
0250h	CAN1スロットバッファ選択レジスタ	C1SBS	00h(注1)
0251h	CAN1制御レジスタ1	C1CTRL1	X000 00XXb(注1)
0252h	CAN1スリープ制御レジスタ	C1SLPR	XXXX XXX0b
0253h			
0254h	CAN1アクセプタンスフィルタサポートレジスタ	C1AFS	00h(注1)
0255h			01h(注1)
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh			
025Fh			
0260h	CAN1メッセージスロットバッファ0標準ID0	C1SLOT0_0	XXh
0261h	CAN1メッセージスロットバッファ0標準ID1	C1SLOT0_1	XXh
0262h	CAN1メッセージスロットバッファ0拡張ID0	C1SLOT0_2	XXh
0263h	CAN1メッセージスロットバッファ0拡張ID1	C1SLOT0_3	XXh
0264h	CAN1メッセージスロットバッファ0拡張ID2	C1SLOT0_4	XXh
0265h	CAN1メッセージスロットバッファ0データ長コード	C1SLOT0_5	XXh
0266h	CAN1メッセージスロットバッファ0データ0	C1SLOT0_6	XXh
0267h	CAN1メッセージスロットバッファ0データ1	C1SLOT0_7	XXh
0268h	CAN1メッセージスロットバッファ0データ2	C1SLOT0_8	XXh
0269h	CAN1メッセージスロットバッファ0データ3	C1SLOT0_9	XXh
026Ah	CAN1メッセージスロットバッファ0データ4	C1SLOT0_10	XXh
026Bh	CAN1メッセージスロットバッファ0データ5	C1SLOT0_11	XXh
026Ch	CAN1メッセージスロットバッファ0データ6	C1SLOT0_12	XXh
026Dh	CAN1メッセージスロットバッファ0データ7	C1SLOT0_13	XXh
026Eh	CAN1メッセージスロットバッファ0タイムスタンプ上位	C1SLOT0_14	XXh
026Fh	CAN1メッセージスロットバッファ0タイムスタンプ下位	C1SLOT0_15	XXh
0270h	CAN1メッセージスロットバッファ1標準ID0	C1SLOT1_0	XXh
0271h	CAN1メッセージスロットバッファ1標準ID1	C1SLOT1_1	XXh
0272h	CAN1メッセージスロットバッファ1拡張ID0	C1SLOT1_2	XXh
0273h	CAN1メッセージスロットバッファ1拡張ID1	C1SLOT1_3	XXh
0274h	CAN1メッセージスロットバッファ1拡張ID2	C1SLOT1_4	XXh
0275h	CAN1メッセージスロットバッファ1データ長コード	C1SLOT1_5	XXh
0276h	CAN1メッセージスロットバッファ1データ0	C1SLOT1_6	XXh
0277h	CAN1メッセージスロットバッファ1データ1	C1SLOT1_7	XXh
0278h	CAN1メッセージスロットバッファ1データ2	C1SLOT1_8	XXh
0279h	CAN1メッセージスロットバッファ1データ3	C1SLOT1_9	XXh
027Ah	CAN1メッセージスロットバッファ1データ4	C1SLOT1_10	XXh
027Bh	CAN1メッセージスロットバッファ1データ5	C1SLOT1_11	XXh
027Ch	CAN1メッセージスロットバッファ1データ6	C1SLOT1_12	XXh
027Dh	CAN1メッセージスロットバッファ1データ7	C1SLOT1_13	XXh
027Eh	CAN1メッセージスロットバッファ1タイムスタンプ上位	C1SLOT1_14	XXh
027Fh	CAN1メッセージスロットバッファ1タイムスタンプ下位	C1SLOT1_15	XXh
0280h			XX01 0X01b(注1)
0281h	CAN1制御レジスタ0	C1CTRL0	XXXX 0000b(注1)
0282h	CAN1ステータスレジスタ	C1STR	0000 0000b(注1)
0283h			X000 0X01b(注1)
0284h	CAN1拡張IDレジスタ	C1IDR	0000h(注1)
0285h			
0286h	CAN1コンフィグレーションレジスタ	C1CONR	0000 XXXXb(注1)
0287h			0000 0000b(注1)
0288h	CAN1タイムスタンプレジスタ	C1TSR	0000h(注1)
0289h			
028Ah	CAN1送信エラーカウントレジスタ	C1TEC	00h(注1)
028Bh	CAN1受信エラーカウントレジスタ	C1REC	00h(注1)
028Ch	CAN1スロット割り込みステータスレジスタ	C1SISTR	0000h(注1)
028Dh			
028Eh			
028Fh			

X：不定 空欄はすべて予約領域です。アクセスしないでください。

注1. リセット後、C1SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

注2. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注3. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)にアクセスしてください。

表4.12 SFR一覧(12)

番地	レジスタ(注3、4)	シンボル	リセット後の値
0290h	CAN1スロット割り込みマスクレジスタ	C1SIMKR	0000h(注2)
0291h			
0292h			
0293h			
0294h	CAN1エラー割り込みマスクレジスタ	C1EIMKR	XXXX X000b(注2)
0295h	CAN1エラー割り込みステータスレジスタ	C1EISTR	XXXX X000b(注2)
0296h	CAN1エラー要因レジスタ	C1EFR	00h(注2)
0297h	CAN1ボーレートプリスケアラ	C1BRP	0000 0001b(注2)
0298h			
0299h	CAN1モードレジスタ	C1MDR	XXXX XX00b(注2)
029Ah			
029Bh			
029Ch			
029Dh			
029Eh			
029Fh			
02A0h	CAN1シングルショット制御レジスタ	C1SSCTLR	0000h(注1、2)
02A1h			
02A2h			
02A3h			
02A4h	CAN1シングルショットステータスレジスタ	C1SSSTR	0000h(注1、2)
02A5h			
02A6h			
02A7h			
02A8h	CAN1グローバルマスクレジスタ標準ID0	C1GMR0	XXX0 0000b(注1、2)
02A9h	CAN1グローバルマスクレジスタ標準ID1	C1GMR1	XX00 0000b(注1、2)
02AAh	CAN1グローバルマスクレジスタ拡張ID0	C1GMR2	XXXX 0000b(注1、2)
02ABh	CAN1グローバルマスクレジスタ拡張ID1	C1GMR3	00h(注1、2)
02ACh	CAN1グローバルマスクレジスタ拡張ID2	C1GMR4	XX00 0000b(注1、2)
02ADh			
02AEh			
02AFh			
02B0h	CAN1メッセージスロット0制御レジスタ/ CAN1ローカルマスクレジスタA標準ID0	C1MCTL0 / C1LMAR0	0000 0000b(注1、2) XXX0 0000b(注1、2)
02B1h	CAN1メッセージスロット1制御レジスタ/ CAN1ローカルマスクレジスタA標準ID1	C1MCTL1 / C1LMAR1	0000 0000b(注1、2) XX00 0000b(注1、2)
02B2h	CAN1メッセージスロット2制御レジスタ/ CAN1ローカルマスクレジスタA拡張ID0	C1MCTL2 / C1LMAR2	0000 0000b(注1、2) XXXX 0000b(注1、2)
02B3h	CAN1メッセージスロット3制御レジスタ/ CAN1ローカルマスクレジスタA拡張ID1	C1MCTL3 / C1LMAR3	00h(注1、2) 00h(注1、2)
02B4h	CAN1メッセージスロット4制御レジスタ/ CAN1ローカルマスクレジスタA拡張ID2	C1MCTL4 / C1LMAR4	0000 0000b(注1、2) XX00 0000b(注1、2)
02B5h	CAN1メッセージスロット5制御レジスタ	C1MCTL5	00h(注1、2)
02B6h	CAN1メッセージスロット6制御レジスタ	C1MCTL6	00h(注1、2)
02B7h	CAN1メッセージスロット7制御レジスタ	C1MCTL7	00h(注1、2)
02B8h	CAN1メッセージスロット8制御レジスタ/ CAN1ローカルマスクレジスタB標準ID0	C1MCTL8 / C1LMBR0	0000 0000b(注1、2) XXX0 0000b(注1、2)
02B9h	CAN1メッセージスロット9制御レジスタ/ CAN1ローカルマスクレジスタB標準ID1	C1MCTL9 / C1LMBR1	0000 0000b(注1、2) XX00 0000b(注1、2)
02BAh	CAN1メッセージスロット10制御レジスタ/ CAN1ローカルマスクレジスタB拡張ID0	C1MCTL10 / C1LMBR2	0000 0000b(注1、2) XXXX 0000b(注1、2)
02BBh	CAN1メッセージスロット11制御レジスタ/ CAN1ローカルマスクレジスタB拡張ID1	C1MCTL11 / C1LMBR3	00h(注1、2) 00h(注1、2)
02BCh	CAN1メッセージスロット12制御レジスタ/ CAN1ローカルマスクレジスタB拡張ID2	C1MCTL12 / C1LMBR4	0000 0000b(注1、2) XX00 0000b(注1、2)
02BDh	CAN1メッセージスロット13制御レジスタ	C1MCTL13	00h(注1、2)
02BEh	CAN1メッセージスロット14制御レジスタ	C1MCTL14	00h(注1、2)
02BFh	CAN1メッセージスロット15制御レジスタ	C1MCTL15	00h(注1、2)

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 02A0h~02BFh番地は、C1CLR1レジスタのBANKSELビットで機能を切り替えられます。

注2. リセット後、C1SLPRレジスタのSLEEPビットを“1”(スリープモード解除)にし、CANモジュールにクロックを供給した後の値。

注3. CAN関連レジスタ(01E0h~02BFh番地)は、M32C/87Bでは使用できません。M32C/87AではCAN0関連レジスタのみ使用できます。

注4. PM1レジスタのPM13ビットを“1”(SFR領域2ウェイト)にしてから、CAN関連レジスタ(01E0h~02BFh番地)にアクセスしてください。

表4.13 SFR一覧(13)

番地	レジスタ	シンボル	リセット後の値
02C0h 02C1h	X0レジスタ、Y0レジスタ	X0R、Y0R	XXXXh
02C2h 02C3h	X1レジスタ、Y1レジスタ	X1R、Y1R	XXXXh
02C4h 02C5h	X2レジスタ、Y2レジスタ	X2R、Y2R	XXXXh
02C6h 02C7h	X3レジスタ、Y3レジスタ	X3R、Y3R	XXXXh
02C8h 02C9h	X4レジスタ、Y4レジスタ	X4R、Y4R	XXXXh
02CAh 02CBh	X5レジスタ、Y5レジスタ	X5R、Y5R	XXXXh
02CCh 02CDh	X6レジスタ、Y6レジスタ	X6R、Y6R	XXXXh
02CEh 02CFh	X7レジスタ、Y7レジスタ	X7R、Y7R	XXXXh
02D0h 02D1h	X8レジスタ、Y8レジスタ	X8R、Y8R	XXXXh
02D2h 02D3h	X9レジスタ、Y9レジスタ	X9R、Y9R	XXXXh
02D4h 02D5h	X10レジスタ、Y10レジスタ	X10R、Y10R	XXXXh
02D6h 02D7h	X11レジスタ、Y11レジスタ	X11R、Y11R	XXXXh
02D8h 02D9h	X12レジスタ、Y12レジスタ	X12R、Y12R	XXXXh
02DAh 02DBh	X13レジスタ、Y13レジスタ	X13R、Y13R	XXXXh
02DCh 02DDh	X14レジスタ、Y14レジスタ	X14R、Y14R	XXXXh
02DEh 02DFh	X15レジスタ、Y15レジスタ	X15R、Y15R	XXXXh
02E0h	X/Y制御レジスタ	XYC	XXXX XX00b
02E1h			
02E2h			
02E3h			
02E4h	UART1特殊モードレジスタ4	U1SMR4	00h
02E5h	UART1特殊モードレジスタ3	U1SMR3	00h
02E6h	UART1特殊モードレジスタ2	U1SMR2	00h
02E7h	UART1特殊モードレジスタ	U1SMR	00h
02E8h	UART1送受信モードレジスタ	U1MR	00h
02E9h	UART1通信速度レジスタ	U1BRG	XXh
02EAh 02EBh	UART1送信バッファレジスタ	U1TB	XXXXh
02ECh	UART1送受信制御レジスタ0	U1C0	0000 1000b
02EDh	UART1送受信制御レジスタ1	U1C1	0000 0010b
02EEh 02EFh	UART1受信バッファレジスタ	U1RB	XXXXh
02F0h			
02F1h			
02F2h			
02F3h			
02F4h	UART4特殊モードレジスタ4	U4SMR4	00h
02F5h	UART4特殊モードレジスタ3	U4SMR3	00h
02F6h	UART4特殊モードレジスタ2	U4SMR2	00h
02F7h	UART4特殊モードレジスタ	U4SMR	00h
02F8h	UART4送受信モードレジスタ	U4MR	00h
02F9h	UART4通信速度レジスタ	U4BRG	XXh
02FAh 02FBh	UART4送信バッファレジスタ	U4TB	XXXXh
02FCh	UART4送受信制御レジスタ0	U4C0	0000 1000b
02FDh	UART4送受信制御レジスタ1	U4C1	0000 0010b
02FEh 02FFh	UART4受信バッファレジスタ	U4RB	XXXXh

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14)

番地	レジスタ	シンボル	リセット後の値
0300h	タイマB3,B4,B5カウント開始レジスタ	TBSR	000X XXXXb
0301h			
0302h	タイマA11レジスタ	TA11	XXXXh
0303h			
0304h	タイマA21レジスタ	TA21	XXXXh
0305h			
0306h	タイマA41レジスタ	TA41	XXXXh
0307h			
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh			
030Fh			
0310h	タイマB3レジスタ	TB3	XXXXh
0311h			
0312h	タイマB4レジスタ	TB4	XXXXh
0313h			
0314h	タイマB5レジスタ	TB5	XXXXh
0315h			
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
031Eh	外部割り込み要因選択レジスタ1(注1)	IFSRA	00h
031Fh	外部割り込み要因選択レジスタ	IFSR	00h
0320h			
0321h			
0322h			
0323h			
0324h	UART3特殊モードレジスタ4	U3SMR4	00h
0325h	UART3特殊モードレジスタ3	U3SMR3	00h
0326h	UART3特殊モードレジスタ2	U3SMR2	00h
0327h	UART3特殊モードレジスタ	U3SMR	00h
0328h	UART3送受信モードレジスタ	U3MR	00h
0329h	UART3通信速度レジスタ	U3BRG	XXh
032Ah	UART3送信バッファレジスタ	U3TB	XXXXh
032Bh			
032Ch	UART3送受信制御レジスタ0	U3C0	0000 1000b
032Dh	UART3送受信制御レジスタ1	U3C1	0000 0010b
032Eh	UART3受信バッファレジスタ	U3RB	XXXXh
032Fh			
0330h			
0331h			
0332h			
0333h			
0334h	UART2特殊モードレジスタ4	U2SMR4	00h
0335h	UART2特殊モードレジスタ3	U2SMR3	00h
0336h	UART2特殊モードレジスタ2	U2SMR2	00h
0337h	UART2特殊モードレジスタ	U2SMR	00h
0338h	UART2送受信モードレジスタ	U2MR	00h
0339h	UART2通信速度レジスタ	U2BRG	XXh
033Ah	UART2送信バッファレジスタ	U2TB	XXXXh
033Bh			
033Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
033Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
033Eh	UART2受信バッファレジスタ	U2RB	XXXXh
033Fh			

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

注1. 144ピン版のみあります。

表4.15 SFR一覧(15)

番地	レジスタ	シンボル	リセット後の値
0340h	カウント開始レジスタ	TABSR	00h
0341h	時計用プリスケアラリセットレジスタ	CPSRF	0XXX XXXXb
0342h	ワンショット開始レジスタ	ONSF	00h
0343h	トリガ選択レジスタ	TRGSR	00h
0344h	アップダウン選択レジスタ	UDF	00h
0345h			
0346h	タイマA0レジスタ	TA0	XXXXh
0347h			
0348h	タイマA1レジスタ	TA1	XXXXh
0349h			
034Ah	タイマA2レジスタ	TA2	XXXXh
034Bh			
044Ch	タイマA3レジスタ	TA3	XXXXh
034Dh			
034Eh	タイマA4レジスタ	TA4	XXXXh
034Fh			
0350h	タイマB0レジスタ	TB0	XXXXh
0351h			
0352h	タイマB1レジスタ	TB1	XXXXh
0353h			
0354h	タイマB2レジスタ	TB2	XXXXh
0355h			
0356h	タイマA0モードレジスタ	TA0MR	00h
0357h	タイマA1モードレジスタ	TA1MR	00h
0358h	タイマA2モードレジスタ	TA2MR	00h
0359h	タイマA3モードレジスタ	TA3MR	00h
035Ah	タイマA4モードレジスタ	TA4MR	00h
035Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
035Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
035Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
035Eh	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0b
035Fh	カウントソースプリスケアラレジスタ(注1)	TCSPR	0XXX 0000b
0360h			
0361h			
0362h			
0363h			
0364h	UART0特殊モードレジスタ4	U0SMR4	00h
0365h	UART0特殊モードレジスタ3	U0SMR3	00h
0366h	UART0特殊モードレジスタ2	U0SMR2	00h
0367h	UART0特殊モードレジスタ	U0SMR	00h
0368h	UART0送受信モードレジスタ	U0MR	00h
0369h	UART0通信速度レジスタ	U0BRG	XXh
036Ah			
036Bh	UART0送信バッファレジスタ	U0TB	XXXXh
036Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
036Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
036Eh			
036Fh	UART0受信バッファレジスタ	U0RB	XXXXh
0370h			
0371h			
0372h	IrDA制御レジスタ	IRCON	X000 0000b
0373h			
0374h			
0375h			
0376h			
0377h			
0378h	DMA0要因選択レジスタ	DM0SL	0X00 0000b
0379h	DMA1要因選択レジスタ	DM1SL	0X00 0000b
037Ah	DMA2要因選択レジスタ	DM2SL	0X00 0000b
037Bh	DMA3要因選択レジスタ	DM3SL	0X00 0000b
037Ch			
037Dh	CRCデータレジスタ	CRCD	XXXXh
037Eh	CRCインプットレジスタ	CRCIN	XXh
037Fh			

X:不定 空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPRレジスタはソフトウェアリセットまたはウォッチドッグタイマリセットを行っても、リセット前の値が保持されます。

表 4.16 SFR一覧(16)

番地	レジスタ	シンボル	リセット後の値
0380h	A/D0 レジスタ 0	AD00	00XXh
0381h			
0382h	A/D0 レジスタ 1	AD01	00XXh
0383h			
0384h	A/D0 レジスタ 2	AD02	00XXh
0385h			
0386h	A/D0 レジスタ 3	AD03	00XXh
0387h			
0388h	A/D0 レジスタ 4	AD04	00XXh
0389h			
038Ah	A/D0 レジスタ 5	AD05	00XXh
038Bh			
038Ch	A/D0 レジスタ 6	AD06	00XXh
038Dh			
038Eh	A/D0 レジスタ 7	AD07	00XXh
038Fh			
0390h			
0391h			
0392h	A/D0制御レジスタ 4	AD0CON4	XXXX 00XXb
0393h			
0394h	A/D0制御レジスタ 2	AD0CON2	XX0X X000b
0395h	A/D0制御レジスタ 3	AD0CON3	XXXX X000b
0396h	A/D0制御レジスタ 0	AD0CON0	00h
0397h	A/D0制御レジスタ 1	AD0CON1	00h
0398h	D/A レジスタ 0	DA0	XXh
0399h			
039Ah	D/A レジスタ 1	DA1	XXh
039Bh			
039Ch	D/A制御レジスタ	DACON	XXXX XX00b
039Dh	D/A制御レジスタ 1	DACON1	XXXX 0000b
039Eh			
039Fh			

X : 不定
 空欄はすべて予約領域です。アクセスしないでください。

表4.17 SFR一覧(17)

番地	レジスタ	シンボル	リセット後の値
03A0h	機能選択レジスタA8(注1)	PS8	X000 0000b
03A1h	機能選択レジスタA9(注1)	PS9	00h
03A2h			
03A3h	機能選択レジスタB9(注1)	PSL9	XXX0 XX00b
03A4h	機能選択レジスタE2	PSE2	XXXX XX0Xb
03A5h			
03A6h			
03A7h	機能選択レジスタD1	PSD1	00X0 XX00b
03A8h	機能選択レジスタD2	PSD2	XXXX XX0Xb
03A9h			
03AAh	機能選択レジスタC6(注1)	PSC6	XXXX 0X00b
03ABh	機能選択レジスタE1	PSE1	00XX XX00b
03ACh	機能選択レジスタC2	PSC2	XXXX X00Xb
03ADh	機能選択レジスタC3	PSC3	X0XX XXXXb
03AEh			
03AFh	機能選択レジスタC	PSC	00h
03B0h	機能選択レジスタA0	PS0	00h
03B1h	機能選択レジスタA1	PS1	00h
03B2h	機能選択レジスタB0	PSL0	00h
03B3h	機能選択レジスタB1	PSL1	00h
03B4h	機能選択レジスタA2	PS2	00X0 0000b
03B5h	機能選択レジスタA3	PS3	00h
03B6h	機能選択レジスタB2	PSL2	00X0 0000b
03B7h	機能選択レジスタB3	PSL3	00h
03B8h	機能選択レジスタA4	PS4	00h
03B9h	機能選択レジスタA5(注1)	PS5	XXX0 0000b
03BAh			
03BBh	機能選択レジスタB5(注1)	PSL5	XXX0 0000b
03BCh	機能選択レジスタA6(注1)	PS6	00h
03BDh	機能選択レジスタA7(注1)	PS7	00h
03BEh	機能選択レジスタB6(注1)	PSL6	00h
03BFh	機能選択レジスタB7(注1)	PSL7	00h
03C0h	ポートP6レジスタ	P6	XXh
03C1h	ポートP7レジスタ	P7	XXh
03C2h	ポートP6方向レジスタ	PD6	00h
03C3h	ポートP7方向レジスタ	PD7	00h
03C4h	ポートP8レジスタ	P8	XXh
03C5h	ポートP9レジスタ	P9	XXh
03C6h	ポートP8方向レジスタ	PD8	00X0 0000b
03C7h	ポートP9方向レジスタ	PD9	00h
03C8h	ポートP10レジスタ	P10	XXh
03C9h	ポートP11レジスタ(注1)	P11	XXh
03CAh	ポートP10方向レジスタ	PD10	00h
03CBh	ポートP11方向レジスタ(注1、2)	PD11	XXX0 0000b
03CCh	ポートP12レジスタ(注1)	P12	XXh
03CDh	ポートP13レジスタ(注1)	P13	XXh
03CEh	ポートP12方向レジスタ(注1、2)	PD12	00h
03CFh	ポートP13方向レジスタ(注1、2)	PD13	00h

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 100ピン版では使用できません。

注2. 100ピン版では“FFh”にしてください。

表 4.18 SFR 一覧 (18)

番地	レジスタ	シンボル	リセット後の値
03D0h	ポートP14 レジスタ (注1)	P14	XXh
03D1h	ポートP15 レジスタ (注1)	P15	XXh
03D2h	ポートP14 方向レジスタ (注1、2)	PD14	X000 0000b
03D3h	ポートP15 方向レジスタ (注1、2)	PD15	00h
03D4h			
03D5h			
03D6h			
03D7h			
03D8h			
03D9h			
03DAh	プルアップ制御レジスタ 2	PUR2	00h
03DBh	プルアップ制御レジスタ 3	PUR3	00h
03DCh	プルアップ制御レジスタ 4 (注1、3)	PUR4	XXXX 0000b
03DDh			
03DEh			
03DFh			
03E0h	ポートP0 レジスタ	P0	XXh
03E1h	ポートP1 レジスタ	P1	XXh
03E2h	ポートP0 方向レジスタ	PD0	00h
03E3h	ポートP1 方向レジスタ	PD1	00h
03E4h	ポートP2 レジスタ	P2	XXh
03E5h	ポートP3 レジスタ	P3	XXh
03E6h	ポートP2 方向レジスタ	PD2	00h
03E7h	ポートP3 方向レジスタ	PD3	00h
03E8h	ポートP4 レジスタ	P4	XXh
03E9h	ポートP5 レジスタ	P5	XXh
03EAh	ポートP4 方向レジスタ	PD4	00h
03EBh	ポートP5 方向レジスタ	PD5	00h
03ECh			
03EDh			
03EEh			
03EFh			
03F0h	プルアップ制御レジスタ 0	PUR0	00h
03F1h	プルアップ制御レジスタ 1	PUR1	XXXX 0000b
03F2h			
03F3h			
03F4h			
03F5h			
03F6h			
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh	ポート制御レジスタ	PCR	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 100ピン版では使用できません。

注2. 100ピン版では“FFh”にしてください。

注3. 100ピン版では“00h”にしてください。

5. リセット

リセットには、ハードウェアリセット1、ハードウェアリセット2 (Vdet3検出機能)、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット1

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力するとポートや周辺機能入出力が割り当てられている端子は初期化されます(表5.1を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。 $\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。ハードウェアリセット1では、内部RAMとWDCレジスタのWDC5ビットは初期化されません。また、内部RAMへ書き込み中に $\overline{\text{RESET}}$ 端子への入力が“L”になると、書いた値は不定となります。

図5.1にリセット回路の一例を、図5.2にリセットシーケンスを、表5.1に $\overline{\text{RESET}}$ 端子に“L”レベルを入力している期間の端子の状態を示します。

5.1.1 電源安定時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) XIN端子に20サイクル以上のクロックを入力する
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

5.1.2 電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで電源投入時内部電源安定時間 $t_d(\text{P-R})$ 待つ
- (4) XIN端子に20サイクル以上のクロックを入力する
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

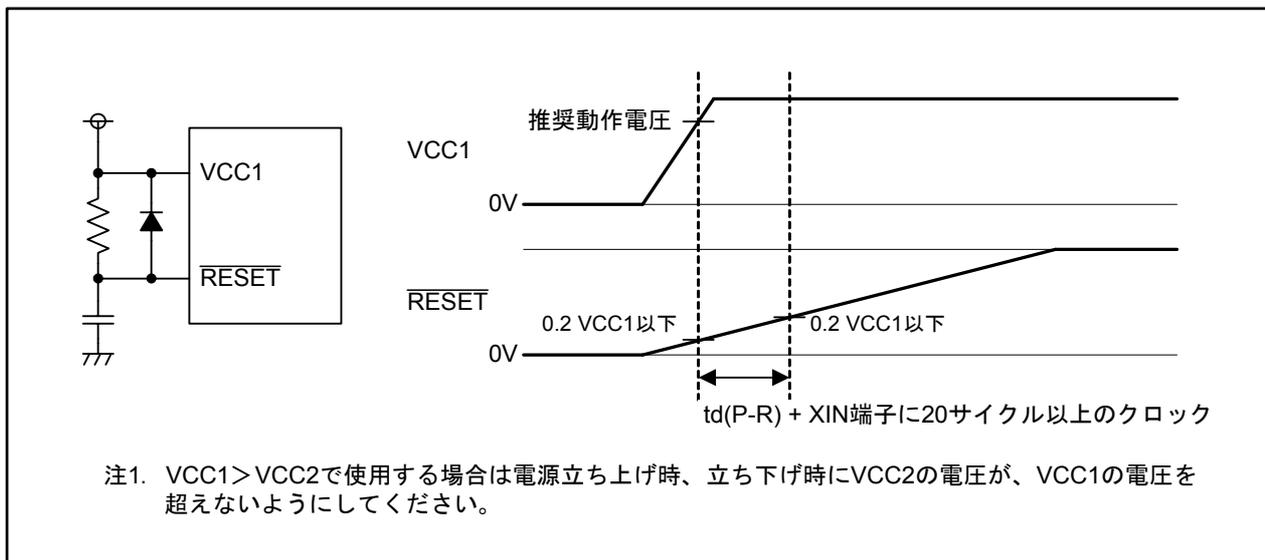


図5.1 リセット回路の一例

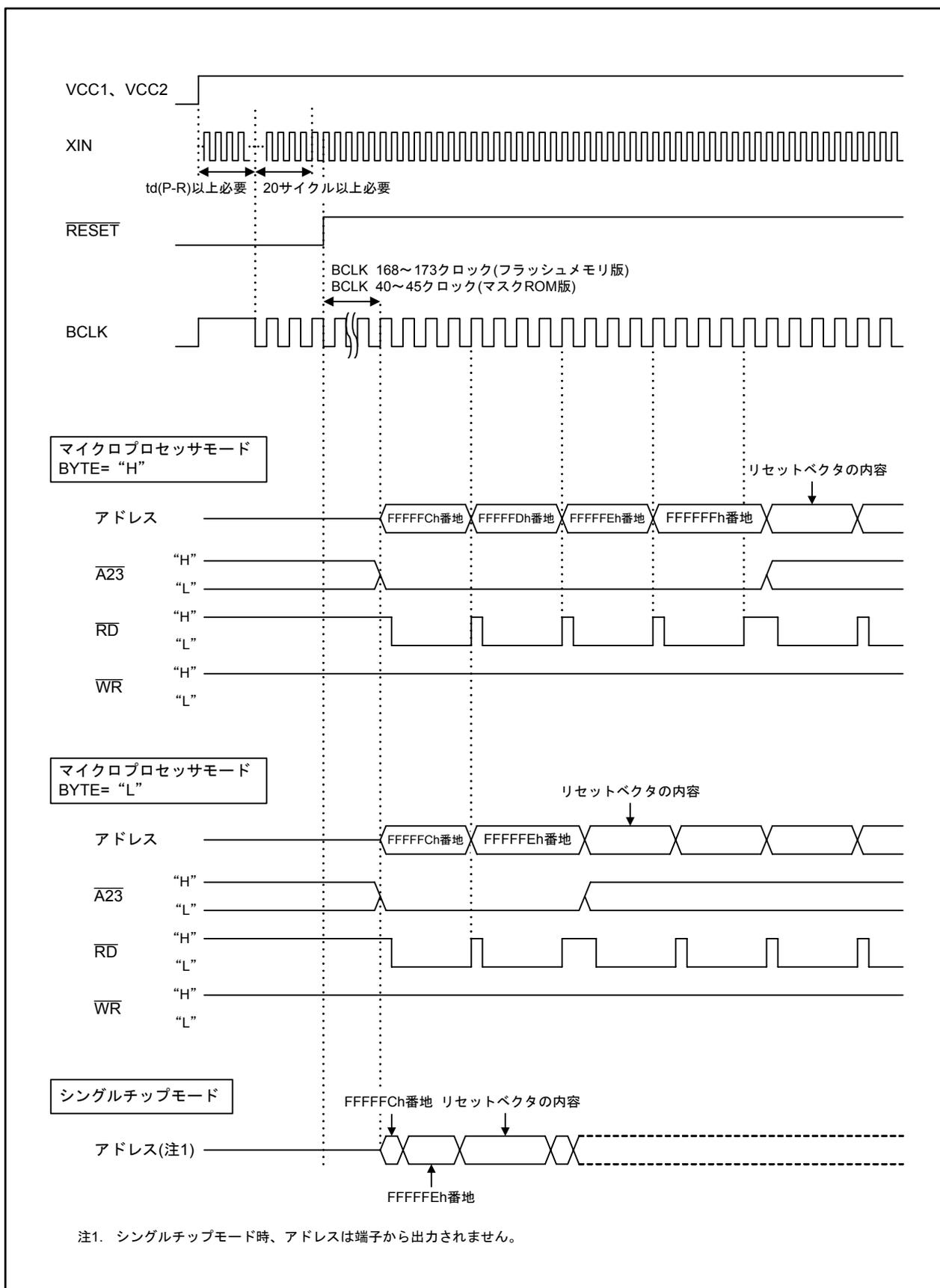


図5.2 リセットシーケンス

表 5.1 $\overline{\text{RESET}}$ 端子に“L”レベルを入力している期間の端子の状態(注2)

端子名	シングルチップモード	マイクロプロセッサモード	
	CNVSS=“L”	CNVSS=“H”(注4)	
		BYTE=“L”	BYTE=“H”
P0	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	
P1	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	入力ポート(ハイインピーダンス)
P2、P3、P4	入力ポート(ハイインピーダンス)	アドレス出力(不定)	
P5_0	入力ポート(ハイインピーダンス)	$\overline{\text{WR}}$ 出力(“H”を出力)(注3)	
P5_1	入力ポート(ハイインピーダンス)	$\overline{\text{BHE}}$ 出力(不定)	
P5_2	入力ポート(ハイインピーダンス)	$\overline{\text{RD}}$ 出力(“H”を出力)(注3)	
P5_3	入力ポート(ハイインピーダンス)	BCLK出力(注3)	
P5_4	入力ポート(ハイインピーダンス)	$\overline{\text{HLDA}}$ 出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存)(注3)	
P5_5	入力ポート(ハイインピーダンス)	$\overline{\text{HOLD}}$ 入力(ハイインピーダンス)	
P5_6	入力ポート(ハイインピーダンス)	“H”を出力(注3)	
P5_7	入力ポート(ハイインピーダンス)	$\overline{\text{RDY}}$ 入力(ハイインピーダンス)	
P6~P15(注1)	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)	

注1. ポートP11~P15は144ピン版のみあります。

注2. 内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。

注3. 電源投入後、内部電源電圧が安定してからの状態です。内部電圧が安定するまで不定です。

注4. フラッシュメモリ版では、 $\overline{\text{EPM}}(\text{P5}_5)=$ “H”の条件が必要です。

5.2 ハードウェアリセット2 (Vdet3検出機能)

Vdet3検出機能によるリセットです。VCC1端子の入力電圧がVdet3(V)以下になるとマイクロコンピュータがリセットされます。リセット後の状態は、ハードウェアリセット1と同じです。詳細は「6.電圧検出機能」を参照してください。

5.3 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にすると、マイクロコンピュータはポートや周辺機能入出力が割り当てられている端子、CPU、SFRを初期化します。その後、CPUはリセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、PM0レジスタのPM01~PM00ビット、WDCレジスタのWDC5ビット、TCSPRレジスタが初期化されません。

また、PM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.4 ウォッチドッグタイマリセット

CM0レジスタのCM06ビットが“1”(リセット)の場合、ウォッチドッグタイマがアンダフローするとポートや周辺機能入出力が割り当てられている端子、CPU、SFRは初期化されます。その後、CPUはリセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、PM0レジスタのPM01~PM00ビット、WDCレジスタのWDC5ビット、TCSPRレジスタが初期化されません。

また、PM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

6. 電圧検出機能

電圧検出機能には、電源電圧の変化を検出してイベントを発生させる Vdet3 検出機能や Vdet4 検出機能、電源が投入された時のリセットかマイコン動作中のリセットかを判断するコールドスタート/ウォームスタート判定機能があります。

電圧検出機能は、VCC1 = 4.2~5.5V 仕様で使用する場合のみ有効です。

図6.1に電圧検出機能のブロック図を、図6.2~図6.4に関連レジスタを示します。

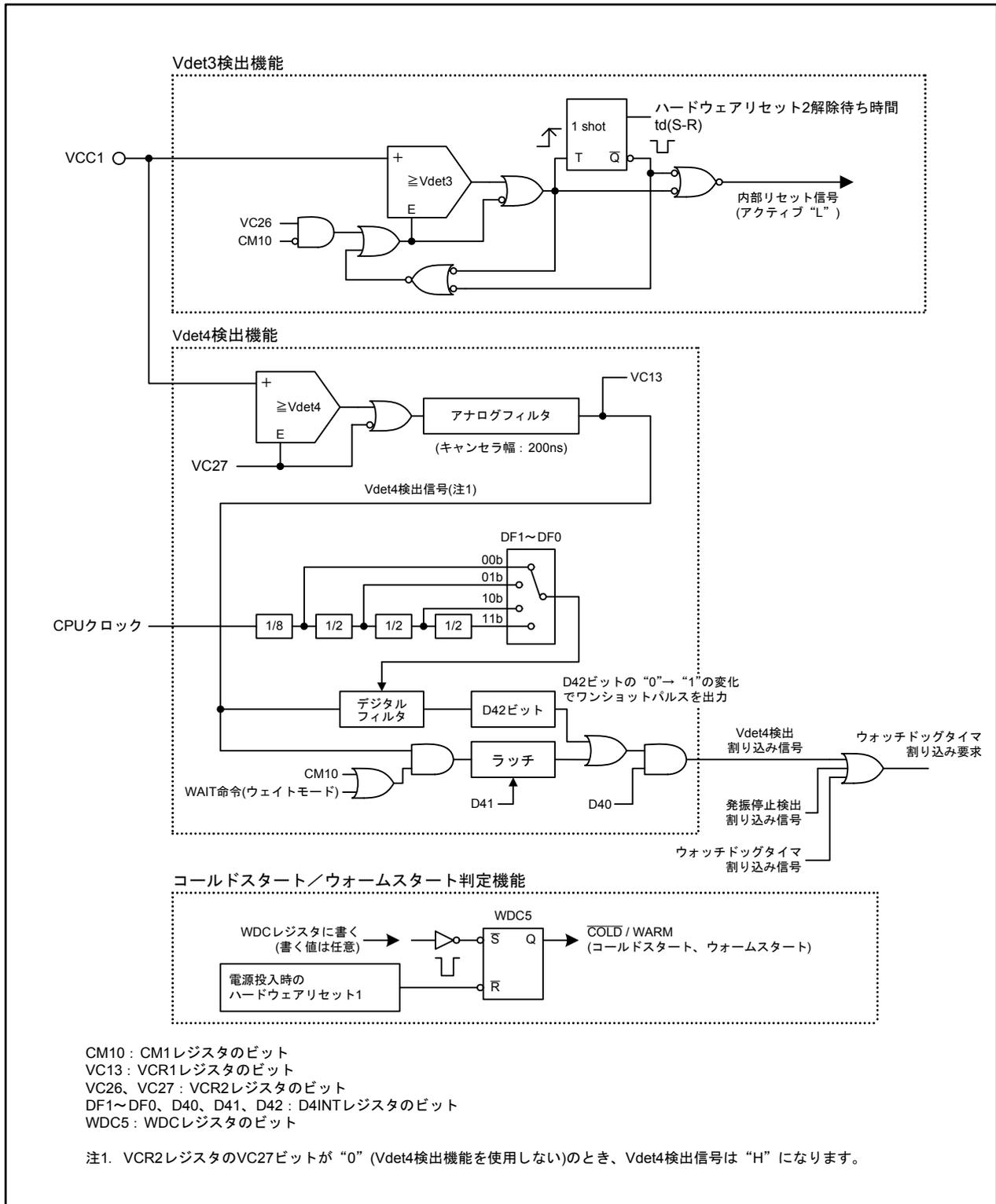


図6.1 電圧検出機能のブロック図

電圧検出レジスタ1

ビットシンボル	ビット名	機能	RW
— (b2-b0)	予約ビット	“0” にしてください	RW
VC13	電圧変化モニタフラグ(注1)	0 : VCC1 < Vdet4 1 : VCC1 ≥ Vdet4	RO
— (b7-b4)	予約ビット	“0” にしてください	RW

注1. VCR2レジスタのVC27ビットが“1”(Vdet4検出機能を使用する)のとき、VC13ビットは有効です。
VC27ビットが“0”(Vdet4検出機能を使用しない)のとき、VC13ビットは“1”になります。

電圧検出レジスタ2 (注1)

ビットシンボル	ビット名	機能	RW
— (b5-b0)	予約ビット	“0” にしてください	RW
VC26	Vdet3検出機能選択ビット (注2、4、5)	0 : Vdet3検出機能を使用しない 1 : Vdet3検出機能を使用する	RW
VC27	Vdet4検出機能選択ビット (注3、4)	0 : Vdet4検出機能を使用しない 1 : Vdet4検出機能を使用する	RW

注1. VCR2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. ハードウェアリセット2(Vdet3検出機能)を使用する場合、VC26ビットを“1”にしてください。
注3. Vdet4検出機能を使用する場合、VC27ビットを“1”にし、D4INTレジスタのD40ビットを“1”(Vdet4検出割り込みを使用する)にしてください。VC27ビットを“1”にすると、VCR1レジスタのVC13ビット、D4INTレジスタのD42ビットの値が有効になります。
注4. VC26ビット、またはVC27ビットを“1”にした後、td(E-A)経過してから検出回路が動作します。
注5. ストップモード時、VC26ビットは無効です(VCC1端子の入力電圧がVdet3より低くなってもリセットされません)。

図6.2 VCR1レジスタ、VCR2レジスタ

Vdet4検出割り込みレジスタ (注1)

ビットシンボル	ビット名	機能	RW
D40	Vdet4検出割り込み許可ビット(注2)	0 : Vdet4検出割り込みを使用しない 1 : Vdet4検出割り込みを使用する	RW
D41	ウェイトモード/ ストップモード解除制御ビット (注3)	0 : Vdet4検出割り込みをウェイトモード/ ストップモードからの復帰に使用しない 1 : Vdet4検出割り込みをウェイトモード/ ストップモードからの復帰に使用する	RW
D42	電圧変化検出フラグ(注4、5)	0 : 未検出 1 : Vdet4通過検出	RW
D43	WDTアンダフロー検出フラグ (注5)	0 : 未検出 1 : 検出	RW
DF0	サンプリングクロック 選択ビット	b5 b4 0 0 : CPUクロックの8分周 0 1 : CPUクロックの16分周 1 0 : CPUクロックの32分周 1 1 : CPUクロックの64分周	RW
DF1			
— (b7-b6)	何も配置されていない。 読んだ場合、その値は不定。		—

注1. D4INTレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. D40ビットを“1”にする場合は次の手順で設定してください。

- (1) VC27ビットを“1”にする
- (2) 検出回路が動作するまでtd(E-A)待つ
- (3) サンプリング時間(表「サンプリング時間」参照)待つ
- (4) D40ビットを“1”にする

注3. Vdet4検出割り込みによりウェイトモードまたはストップモードから復帰した場合、D41ビットに“0”を書いた後、“1”を書いてください。

注4. VCR2レジスタのVC27ビットが“1”(Vdet4検出機能を使用する)のとき有効です。VC27ビットを“0”(Vdet4検出機能を使用しない)にすると、D42ビットは“0”(未検出)になります。

注5. プログラムで“0”にできます。“1”を書いた場合、設定前の値を保持します。

図6.3 D4INTレジスタ

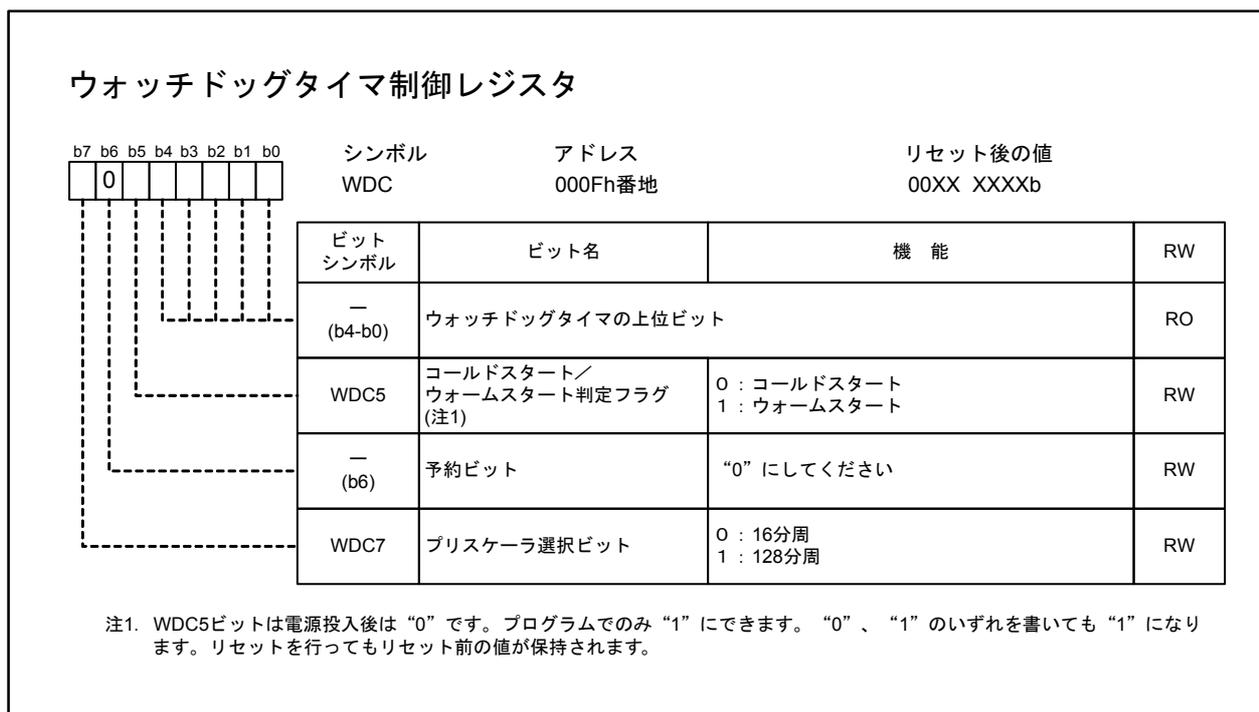


図6.4 WDCレジスタ

6.1 Vdet3検出機能

VCC1端子の入力電圧がVdet3(V)以下になると、ハードウェアリセット2を行います。

VCR2レジスタのVC26ビットを“1”にすると、Vdet3検出機能が使用できます。ハードウェアリセット2が起こると、ポートや周辺機能入出力が割り当てられている端子は初期化されます。次に入力電圧がVdet3r以上になると、td(S-R)経過後にCPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後の状態は、ハードウェアリセット1と同じです。

Vdet3検出機能は、Vdet3s以上で使用してください。入力電圧がVdet3sを下回った場合、ハードウェアリセット1(「5.1.2電源投入時」)を行ってください。ストップモード中、Vdet3検出機能は使用できません。

図6.5にVdet3検出機能の動作例を示します。

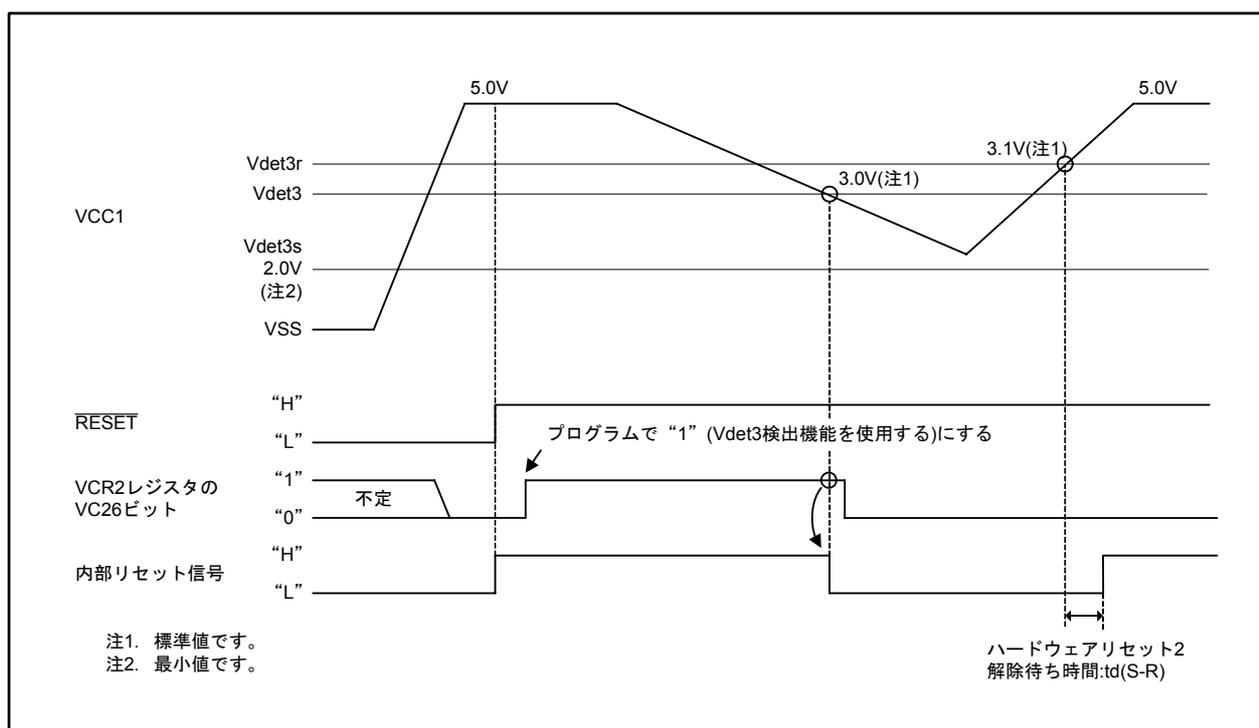


図6.5 Vdet3検出機能の動作例

6.2 Vdet4 検出機能

VCC1端子の入力電圧が降下または上昇してVdet4(V)を通過したとき、Vdet4検出割り込みを起こすことができます。Vdet4検出機能を使用する場合は、VCR2レジスタのVC27ビットを“1”に、D4INTレジスタのD40ビットを“1”にしてください。

D4INTレジスタのD42ビットは入力電圧がVdet4を通過したとき“1”になります。D42ビットが“0”から“1”に変化したとき、Vdet4検出割り込み要求が発生します。D42ビットは割り込みが受け付けられても自動的に“0”になりません。プログラムで“0”にしてください。VCR1レジスタのVC13ビットを読むと、入力電圧が降下してVdet4を通過したのか、上昇して通過したのかを判断することができます。

D4INTレジスタのD41ビットを“1”にすると、Vdet4検出割り込み要求をウェイトモードやストップモードからの復帰に使用できます。D42ビットが“1”であっても、Vdet4検出信号が発生するとウェイトモードやストップモードから復帰します。

Vdet4検出割り込みはウォッチドッグタイマ割り込み、発振停止検出割り込みと割り込みベクタを共有しています。Vdet4検出割り込みとこれらの割り込みを同時に使用する場合、割り込みルーチンでD42ビットを読み、Vdet4検出割り込みが発生したことを確認してください。

表6.1にVdet4検出割り込み要求発生条件を、図6.6にVdet4検出機能の動作例を示します。

VCC1端子に入力する電圧がVdet4を通過したことを検出するサンプリングクロックをD4INTレジスタのDF1～DF0ビットで設定できます。表6.2にサンプリング時間を示します。

表6.1 Vdet4検出割り込み要求発生条件

動作モード	VC27ビット	D40ビット	D41ビット	D42ビット(注1)	VC13ビット(注2)
CPU動作モード(注3)	1	1	—	0→1	0→1 1→0
ウェイトモード、ストップモード(注4)			1	—	0→1

—：0でも1でもよい

注1. 割り込みを発生させる前に、プログラムで“0”にしてください。

注2. VC13ビットの値が変化してからサンプリング時間経過した後、割り込み要求が発生します。詳細は「図6.6 Vdet4検出機能の動作例」を参照してください。

注3. CPU動作モードはメインクロックモード、メインクロックダイレクトモード、PLLモード、低速モード、低消費電力モード、オンチップオシレータモード、オンチップオシレータ低消費電力モードです。(「9.クロック発生回路」参照)

注4. 「6.2.1Vdet4検出割り込み使用時の注意事項」を参照してください。

表6.2 サンプリング時間

CPUクロック (MHz) (注1)	サンプリングクロック (μs)			
	8分周	16分周	32分周	64分周
16	3.0	6.0	12.0	24.0
24	2.0	4.0	8.0	16.0

注1. 電圧検出機能は、CPUクロックが24MHz以下で使用してください。

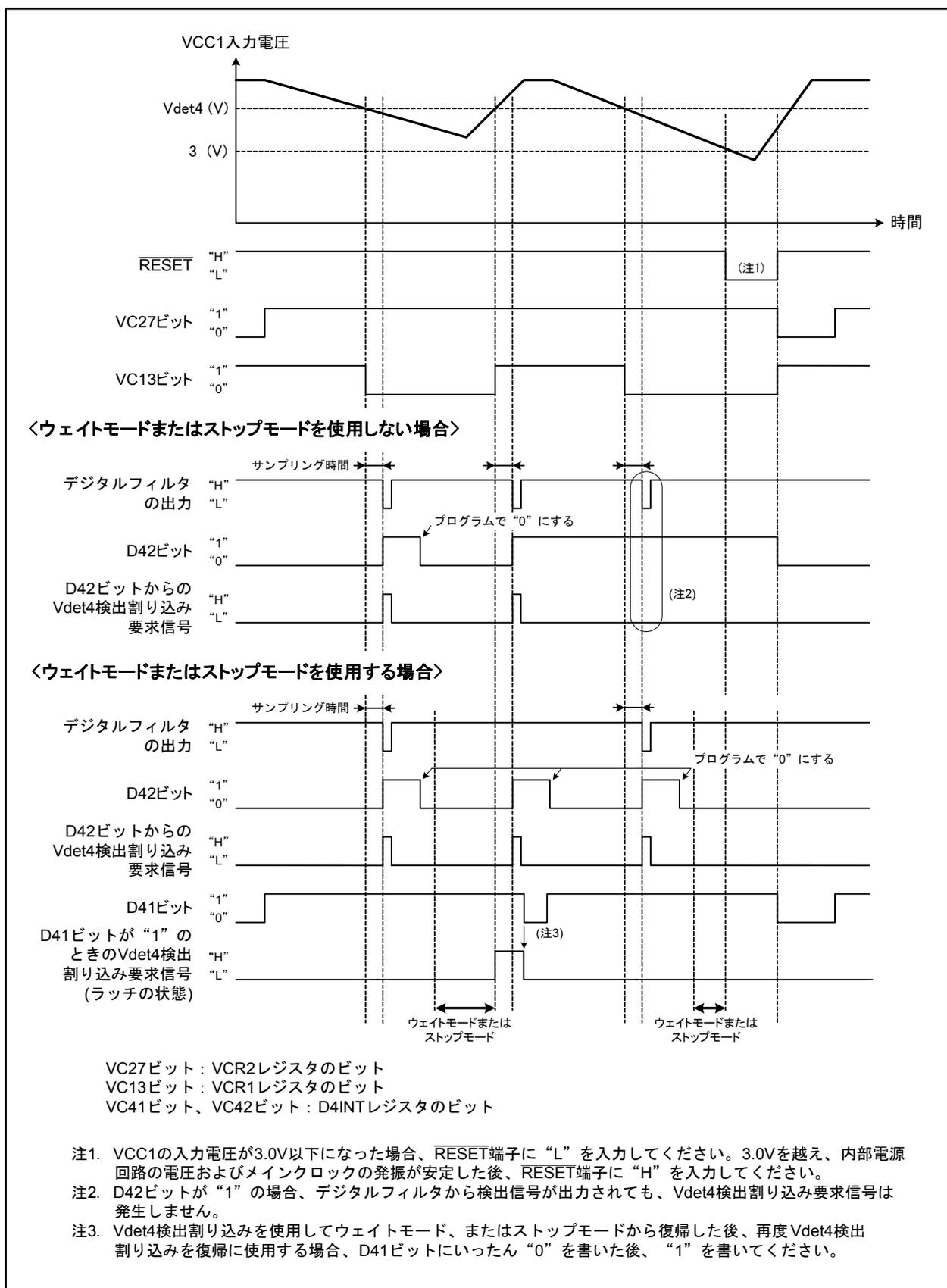


図 6.6 Vdet4 検出機能の動作例

6.2.1 Vdet4 検出割り込み使用時の注意事項

次の4つの条件をすべて満たしているとき、WAIT 命令やCM1 レジスタのCM10ビットを“1” (ストップモード)にする命令を実行すると、すぐにVdet4 検出割り込みが発生し、ウェイトモードやストップモードから復帰します。

- VCR2レジスタのVC27ビットが“1” (Vdet4 検出機能を使用する)
- D4INTレジスタのD40ビットが“1” (Vdet4 検出割り込みを使用する)
- D4INTレジスタのD41ビットが“1” (Vdet4 検出割り込みをウェイトモード/ストップモードからの復帰に使用する)
- VCC1端子に入力する電圧がVdet4以上のとき (VCR1レジスタのVC13ビットが“1”)

VCC1端子に入力する電圧がVdet4を下回ったときウェイトモード/ストップモードに移行し、Vdet4以上になったときウェイトモード/ストップモードから復帰するシステムでは、VC13ビットが“0” (VCC1 < Vdet4)のときに、WAIT 命令を実行するか、CM10ビットを“1”にしてください。

Vdet4 検出割り込みを使用してウェイトモードまたはストップモードから復帰した後、再度Vdet4 検出割り込みを復帰に使用する場合、D41ビットに一旦“0”を書いた後“1”を書いてください。

6.3 コールドスタート/ウォームスタート判定機能

WDCレジスタのWDC5ビットによって、電源が投入されたときのリセット処理(コールドスタート)か、動作中にリセット信号が入力されたときのリセット処理(ウォームスタート)かを判定することができます。WDC5ビットは、電源投入時“0” (コールドスタート)で、WDCレジスタに書く値は任意、“1” (ウォームスタート)になります。ハードウェアリセット1、2、ソフトウェアリセット、ウォッチドッグタイマリセットを行っても“0”になりません。

図6.7にコールドスタート/ウォームスタート判定機能の動作例を示します。

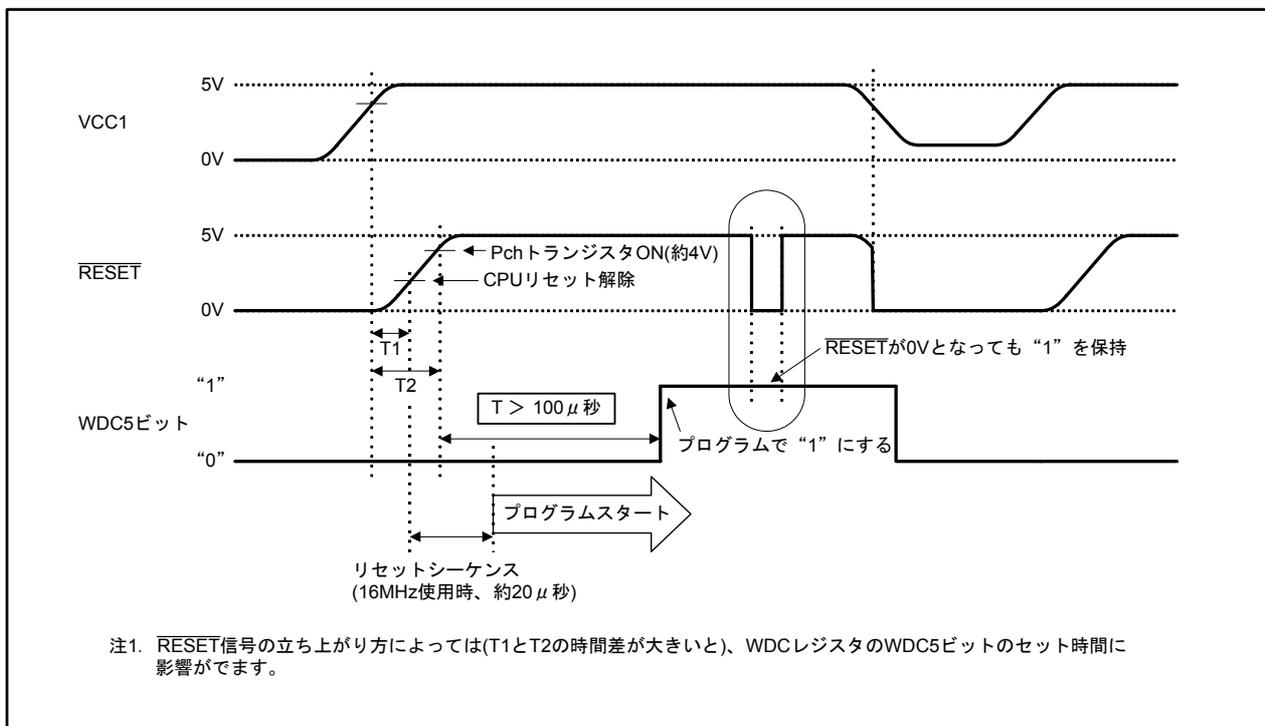


図6.7 コールドスタート/ウォームスタート判定機能の動作例

7. プロセッサモード

7.1 プロセッサモードの種類

プロセッサモードには、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードまたはブートモードがあります。表7.1にプロセッサモードの特長を示します。

表7.1 プロセッサモードの特長

プロセッサモード	アクセス領域	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM(ユーザROM領域)	入出力ポート または周辺機能入出力端子
メモリ拡張モード(注1)	SFR、内部RAM、内部ROM(ユーザROM領域)、外部領域	P0～P5がバス制御端子
マイクロプロセッサモード(注1)	SFR、内部RAM、外部領域	P0～P5がバス制御端子
ブートモード(注2)	SFR、内部RAM、内部ROM(ブートROM領域)	入出力ポート または周辺機能入出力端子

注1. 詳細は「8.バス」を参照してください。

注2. 詳細は「26.フラッシュメモリ」を参照してください。

7.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS 端子、 $\overline{\text{EPM}}(\text{P5}_5)$ 端子、PM0レジスタのPM01～PM00ビットで行います。表7.2にハードウェアリセット後のプロセッサモード、表7.3にPM01～PM00ビットの設定値に対するプロセッサモードを示します。

表7.2 ハードウェアリセット後のプロセッサモード

CNVSS端子の入力	$\overline{\text{EPM}}(\text{P5}_5)$ 端子の入力	メモリの種類	モード
L	—	マスクROM版、 フラッシュメモリ版	シングルチップモード
H	—	マスクROM版	マイクロプロセッサモード
H	H	フラッシュメモリ版	マイクロプロセッサモード
H	L	フラッシュメモリ版	ブートモード

—: “H” でも “L” でもよい

表7.3 PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
00b	シングルチップモード
01b	メモリ拡張モード
11b	マイクロプロセッサモード

PM01～PM00ビットを書き換えると、CNVSS端子の入力レベルにかかわらず、PM01～PM00ビットに対応するモードになります。メモリ拡張モード、マイクロプロセッサモードを使用する場合、PM07、PM05～PM04、PM02ビット、PM1レジスタのPM15～PM14、PM11～PM10ビットを設定した後に、PM01～PM00ビットを設定してください。

CPUが内部ROMのプログラムを実行中、マイクロプロセッサモードへ移行しないでください。また、CPUが外部領域にあるプログラムを実行中、シングルチップモードへ移行しないでください。

ハードウェアリセット後、マイクロプロセッサモードで動作させた場合、PM01～PM00ビットの設定にかかわらず、内部ROMはアクセスできません。

図7.1～図7.2にプロセッサモード関連レジスタ、図7.3に各プロセッサモード時のメモリ配置を示します。

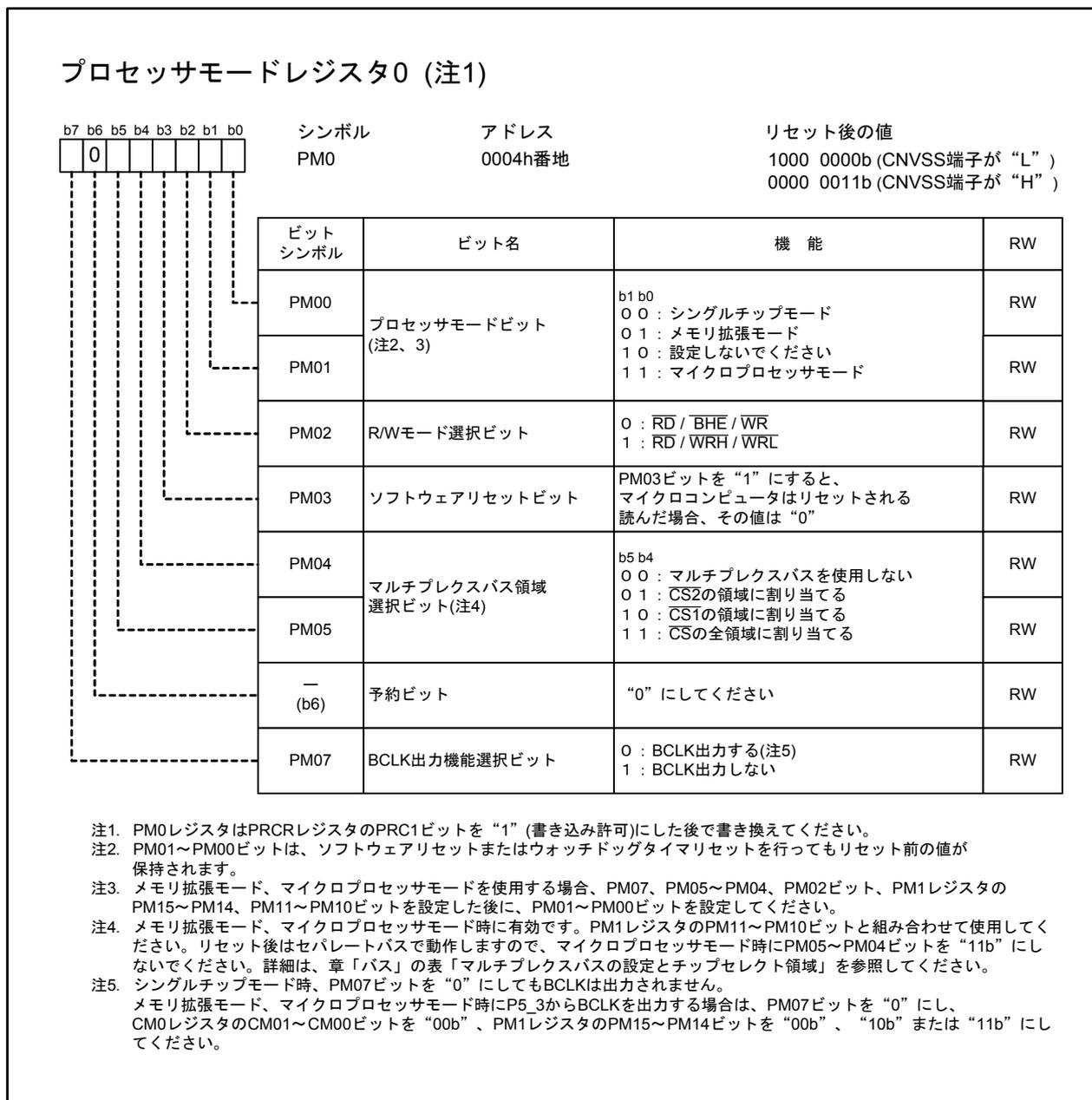


図7.1 PM0レジスタ

プロセッサモードレジスタ1 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0	シンボル PM1	アドレス 0005h番地	リセット後の値 00h
	PM10	外部領域モードビット(注2) b1 b0 0 0 : モード0(P4_4~P4_7はA20~A23) 0 1 : モード1(P4_4はA20、P4_5~P4_7はCS2~CS0) 1 0 : モード2(P4_4,P4_5はA20、A21、P4_6、P4_7はCS1、CS0) 1 1 : モード3(P4_4~P4_7はCS3~CS0)	RW
	PM11		RW
	PM12	内部メモリウェイトビット 0 : ウェイトなし 1 : 1ウェイト	RW
	PM13	SFR領域ウェイトビット 0 : 1ウェイト 1 : 2ウェイト(注3)	RW
	PM14	ALE端子選択ビット(注2) b5 b4 0 0 : ALEなし 0 1 : P5_3(注4) 1 0 : P5_6 1 1 : P5_4	RW
	PM15		RW
	— (b7-b6)	予約ビット "0" にしてください	RW

- 注1. PM1レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. メモリ拡張モード、マイクロプロセッサモード時に有効です。PM15~PM14、PM11~PM10ビットを設定した後に、PM01~PM00ビットを設定してください。
 注3. PM13ビットを“1”にしてから、CAN関連レジスタを設定してください。
 注4. P5_3からALEを出力する場合は、PM15~PM14ビットを“01b”に、CM0レジスタのCM01~CM00ビットを“00b”(入出力ポートP5_3)にしてください。

図7.2 PM1レジスタ

8.1.1 外部アドレスバスの選択

外部に出力するアドレスバスの本数、チップセレクトの本数、チップセレクトの領域は外部領域モードごとに異なります。外部領域モードはPM1レジスタのPM11～PM10ビットで選択できます。

8.1.2 外部データバスの選択

外部データバスは外部領域ごとにDSレジスタで8ビットまたは16ビットを選択できます。リセット後の外部領域3のデータバスはBYTE端子の入力が“L”のときは16ビット、“H”のときは8ビットです。動作中は、BYTE端子の入力レベルを変更しないでください。内部バスは常に16ビットです。

8.1.3 セパレートバス、マルチプレクスバスの選択

バスの形式は、PM0レジスタのPM05～PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。リセット後はセパレートバスで動作します。

8.1.3.1 セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、DSレジスタにより8ビットまたは16ビットを選択できます。DSレジスタのDSiビット(i=0～3)がすべて“0”(8ビットデータバス)のときは、ポートP0はデータバス、ポートP1はプログラマブル入出力ポートとなります。

DSiビットのいずれかが“1”(16ビットデータバス)のときはポートP0、P1はデータバスとなります。ただし、DSiビットが“0”の領域にアクセスしたとき、ポートP1は不定です。

8.1.3.2 マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。DSiビットで8ビットを選択した領域では、D0～D7がA0～A7とマルチプレクスされます。DSiビットで16ビットを選択した領域では、D0～D15がA0～A15とマルチプレクスされます。

PM0レジスタのPM05～PM04ビットを“11b”(CSの全領域に割り当てる)にすると、アドレスはA0～A15までの16ビットしか出力されません。このとき、アクセス領域はチップセレクトごとに64Kバイトになります。詳細は、表8.3プロセッサモードと端子の機能を参照してください。

表8.2にマルチプレクスバスの設定とチップセレクト領域を示します。

表8.2 マルチプレクスバスの設定とチップセレクト領域

PM0レジスタの PM05～PM04ビットに 設定する値	PM1レジスタのPM11～PM10ビットに設定する値			
	“00b” (外部領域モード0)	“01b” (外部領域モード1)	“10b” (外部領域モード2)	“11b” (外部領域モード3)
“00b” (マルチプレクスバスを使用しない)	セパレートバス			
“01b” (CS2の領域に割り当てる)	設定できません	$\overline{CS2}$	設定できません	$\overline{CS2}$
“10b” (CS1の領域に割り当てる)		$\overline{CS1}$	$\overline{CS1}$	$\overline{CS1}$
“11b” (CSの全領域に割り当てる)(注1)		$\overline{CS0}$ $\overline{CS1}$ $\overline{CS2}$	$\overline{CS0}$ $\overline{CS1}$	$\overline{CS0}$ $\overline{CS1}$ $\overline{CS2}$ $\overline{CS3}$

注1. マイクロプロセッサモードではPM0レジスタのPM05～PM04ビットを“11b”(CSの全領域に割り当てる)にしないでください。

表 8.3 プロセッサモードと端子の機能

プロセッサモード	シングルチップモード	メモリ拡張モード マイクロプロセッサモード				メモリ拡張モード		
		“00b” (マルチプレクスバスを 使用しない)		“01b” ($\overline{CS2}$ の領域に割り当てる) “10b” ($\overline{CS1}$ の領域に割り当てる)		“11b” (\overline{CS} の全領域に割り当てる)		
PM0レジスタの PM05～PM04 ビット (注1)								
アクセス領域の データバス幅		全ての 外部領域が 8ビット	いずれかの 外部領域が 16ビット	全ての 外部領域が 8ビット	いずれかの 外部領域が 16ビット	全ての 外部領域が 8ビット	いずれかの 外部領域が 16ビット	
P0_0～P0_7	入出力 ポート	データバス(D0～D7)				入出力ポート		
P1_0～P1_7		入出力 ポート	データバス (D8～D15)	入出力 ポート	データバス (D8～D15)			
P2_0～P2_7		アドレスバス(A0～A7)		アドレスバス/データバス(A0/D0～A7/D7)(注2)				
P3_0～P3_7		アドレスバス(A8～A15)		アドレス バス/ データバス (A8/D8～ A15/D15) (注2)	アドレス バス (A8～A15)	アドレス バス/ データバス (A8/D8～ A15/D15) (注2)		
P4_0～P4_3		アドレスバス(A16～A19)				入出力ポート		
P4_4～P4_6		\overline{CS} またはアドレスバス(A20～A22)(詳細は「8.2バス制御」を参照)(注6)						
P4_7		\overline{CS} またはアドレスバス(A23)(詳細は「8.2バス制御」を参照)(注6)						
P5_0～P5_2		\overline{RD} 、 \overline{WRL} 、 \overline{WRH} または \overline{RD} 、 \overline{BHE} 、 \overline{WR} (詳細は「8.2バス制御」を参照)(注4)						
P5_3		入出力 ポート/ CLKOUT	CLKOUT / BCLK / ALE(注7)					
P5_4		入出力 ポート	\overline{HLDA} / ALE(注3)					
P5_5	\overline{HOLD}							
P5_6	ALE(注3、5)							
P5_7	\overline{RDY}							

注1. リセット後、セパレートバスで動作しますので、マイクロプロセッサモード時、PM05～PM04ビットを“11b”(\overline{CS} の全領域に割り当てる)にしないでください。メモリ拡張モード時、“11b”を選択した場合、アクセス領域はチップセレクトごとに64Kバイトの範囲です。

注2. セパレートバスではアドレスバスになります。

注3. ALE出力端子はPM1レジスタのPM15～PM14ビットで選択してください。

注4. \overline{WRL} 、 \overline{WRH} か \overline{BHE} 、 \overline{WR} かはPM0レジスタのPM02ビットで選択してください。

注5. PM15～PM14ビットを“00b”(ALEなし)にした場合、P5_6から不定値が出力されます。

P5_6は入出力ポートとして使用できません。

注6. \overline{CS} 出力とアドレスバスの選択は、PM1レジスタのPM11～PM10ビットで選択してください。

注7. この機能はCM0レジスタのCM01～CM00ビット、PM1レジスタのPM15～PM14ビットとPM0レジスタのPM07ビットで選択してください。

8.2 バス制御

外部デバイスのアクセスに必要な信号およびバスタイミングについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードがメモリ拡張モード、マイクロプロセッサモードのとき有効です。

8.2.1 アドレスバス、データバス

アドレスバスは、16Mバイトの領域をアクセスするための信号で、A0～A22、 $\overline{A23}$ の24本あります。 $\overline{A23}$ はアドレス最上位ビットの反転出力です。

データバスは、データの入出力信号です。DSレジスタで外部領域ごとにD0～D7の8ビットデータバスと、D0～D15の16ビットデータバスを選択できます。リセット後、BYTE端子に“H”を入力している場合、外部領域3のデータバスは8ビットになります。同様にBYTE端子に“L”を入力している場合、16ビットになります。

また、シングルチップモードからメモリ拡張モードに変更したとき、アドレスバスは外部領域をアクセスするまで不定です。

8.2.2 チップセレクト出力

チップセレクトの出力端子はA20～A22、 $\overline{A23}$ と共用です。PM1レジスタのPM11～PM10ビットでチップセレクトの領域とチップセレクトの出力本数を選択できます。チップセレクト出力は最大4本使用できます。

マイクロプロセッサモードの場合、リセット後、チップセレクトは出力されません。ただし、 $\overline{A23}$ をチップセレクト出力として使用できます。

チップセレクトの出力端子 \overline{CSi} ($i=0\sim 3$)は、対応する外部領域をアクセス中に“L”を出力します。別の外部領域をアクセスすると“H”を出力します。図8.2にアドレスバスとチップセレクト出力例を示します。

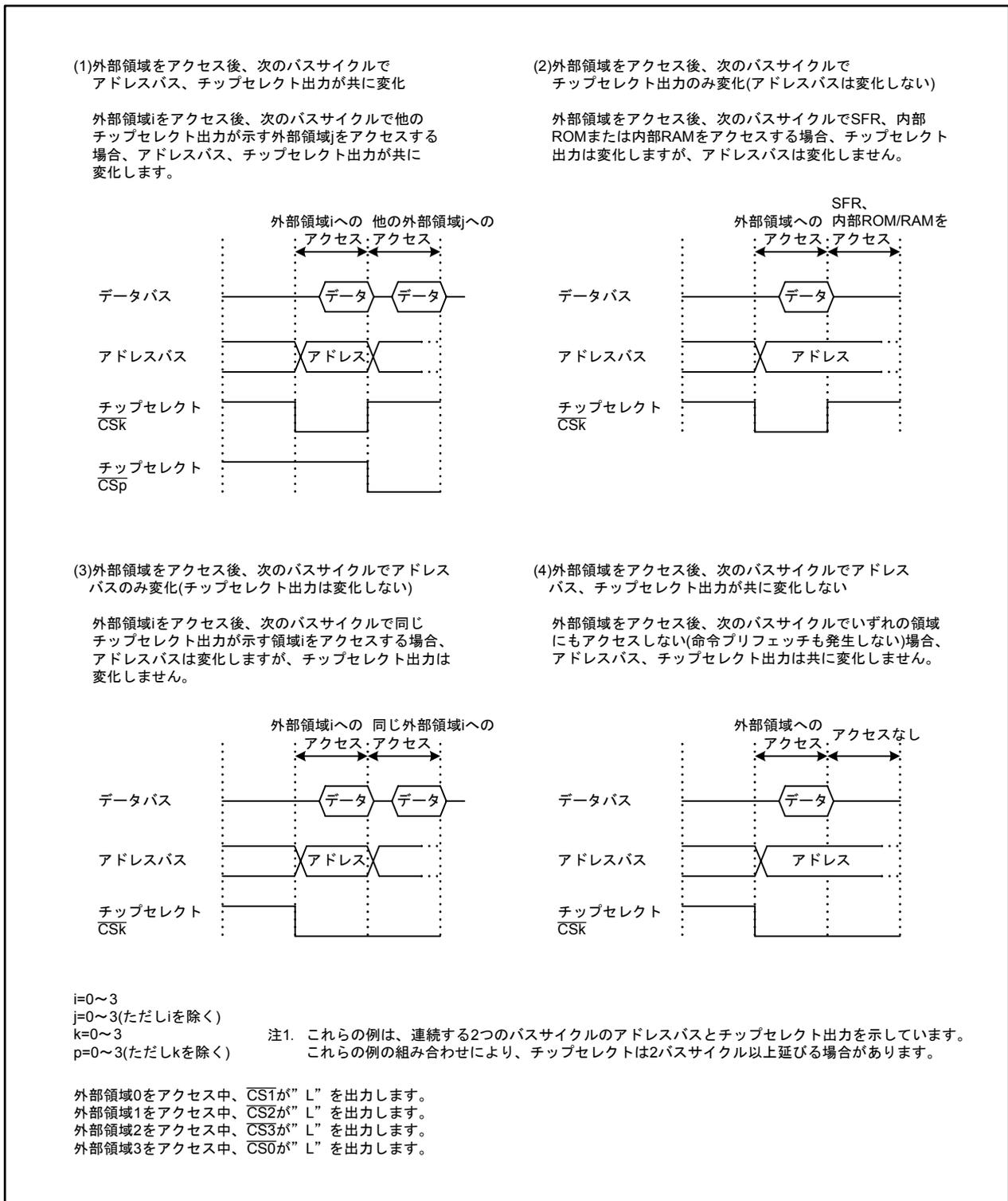


図8.2 アドレスバスとチップセレクト出力例(セパレートバス)

8.2.3 リード出力、ライト出力

データバスが16ビットのとき、リード、ライト出力はPM0レジスタのPM02ビットで、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択できます。DSレジスタのDS3～DS0ビットが“0”（外部領域はすべて8ビットデータバス）のとき、PM02ビットを“0”（ \overline{RD} 、 \overline{WR} 、 \overline{BHE} ）にしてください。DS3～DS0ビットのいずれかが“1”（16ビットデータバス）で、8ビットの領域にアクセスするとき、PM02ビットの値にかかわらず、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせとなります。表8.4に \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 出力を、表8.5に \overline{RD} 、 \overline{WR} 、 \overline{BHE} 出力を示します。

リセット後、リード、ライト出力は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替えるときは、PM02ビットを切り替えてから外部のメモリに書いてください。

表8.4 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 出力

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	A0	外部領域に対するCPUの動作
16ビット	L	H	H	使用しない	データを読む
	H	L	H	使用しない	偶数番地に1バイトデータを書く
	H	H	L	使用しない	奇数番地に1バイトデータを書く
	H	L	L	使用しない	偶数番地、奇数番地の両方にデータを書く
8ビット	H	L(注1)	使用しない	H/L	1バイトのデータを書く
	L	H(注1)	使用しない	H/L	1バイトのデータを読む

注1. \overline{WR} 出力となります。

表8.5 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 出力

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部領域に対するCPUの動作
16ビット	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地から1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地から1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地の両方にデータを書く
	L	H	L	L	偶数番地、奇数番地の両方からデータ読む
8ビット	H	L	使用しない	H/L	1バイトのデータを書く
	L	H	使用しない	H/L	1バイトのデータを読む

8.2.4 バスタイミング

内部ROMと内部RAMはPM1レジスタのPM12ビットで、SFRはPM1レジスタのPM13ビットで、外部領域はEWCRiレジスタ(i=0~3)でソフトウェアウェイトを設定することができます。

内部ROM、内部RAM、SFRの基本バスサイクルはバスクロック(BCLK)の1クロックです。

内部ROMは基本バスサイクルで読むことができます。また、内部RAMは基本バスサイクルで読み書きできます。PM1レジスタのPM12ビットを“1”(1ウェイト)にした場合、バスサイクルはBCLKの2クロックになります。

SFRはBCLKの2クロック(1ウェイトあり)で読み書きできます。PM13ビットを“1”(2ウェイト)にした場合、バスサイクルはBCLKの3クロックになります。

外部領域のバスサイクルは、バスアクセスの開始からリード出力またはライト出力が立ち下がるまでのクロック数(前半の ϕ)と、リード出力またはライト出力が立ち下がってから立ち上がるまでのクロック数(後半の ϕ)で構成されます。

外部領域の最短バスサイクルは、リードサイクル、ライトサイクル共にBCLKの2クロック($1\phi+1\phi$)です。外部領域はEWCRiレジスタ(i=0~3)により、セパレートバス12種類、マルチプレクスバス7種類のバスサイクルを設定できます。例えば、EWCRiレジスタのEWCRi4~EWCRi0ビットを“00011b”(1 $\phi+3\phi$)にした場合、バスサイクルはBCLKの4クロックになります。

図8.3にEWCRiレジスタを、図8.4~図8.8に外部領域のバスタイミングを示します。

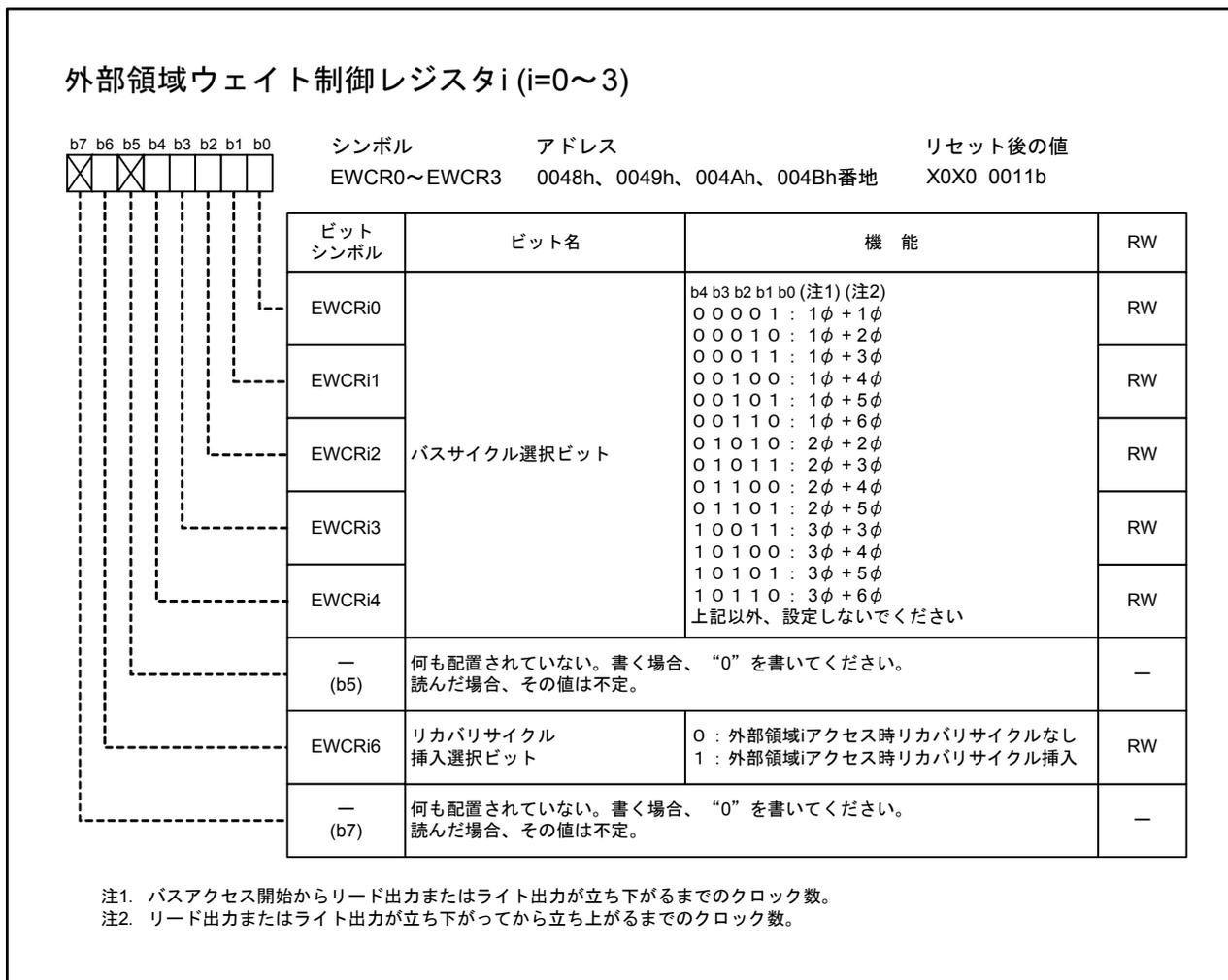


図8.3 EWCR0~EWCR3レジスタ

表 8.6 ソフトウェアウェイトとバスサイクル

領域	外部バス形式	PM1レジスタ		EWCRi(i=0~3) レジスタ	バスサイクル (BCLKの クロック数)	
		PM13ビット (注1)	PM12ビット	EWCRi4~ EWCRi0ビット		
SFR	—	0	—	—	2クロック	
		1			3クロック	
内部ROM 内部RAM	—	—	0	—	1クロック	
			1		2クロック	
外部メモリ	セパレートバス	—	—	00001b	2クロック	
				00010b	3クロック	
				00011b	4クロック	
				00100b	5クロック	
				00101b	6クロック	
				00110b	7クロック	
				01010b	4クロック	
				01011b	5クロック	
				01100b	6クロック	
				10011b	6クロック	
				10100b	7クロック	
				10110b	9クロック	
	マルチプレクスバス	—	—	—	01010b	4クロック
					01011b	5クロック
					01101b	7クロック
					10011b	6クロック
					10100b	7クロック
					10101b	8クロック

注1. PM13ビットを“1”にしてから、CAN関連レジスタにアクセスしてください。

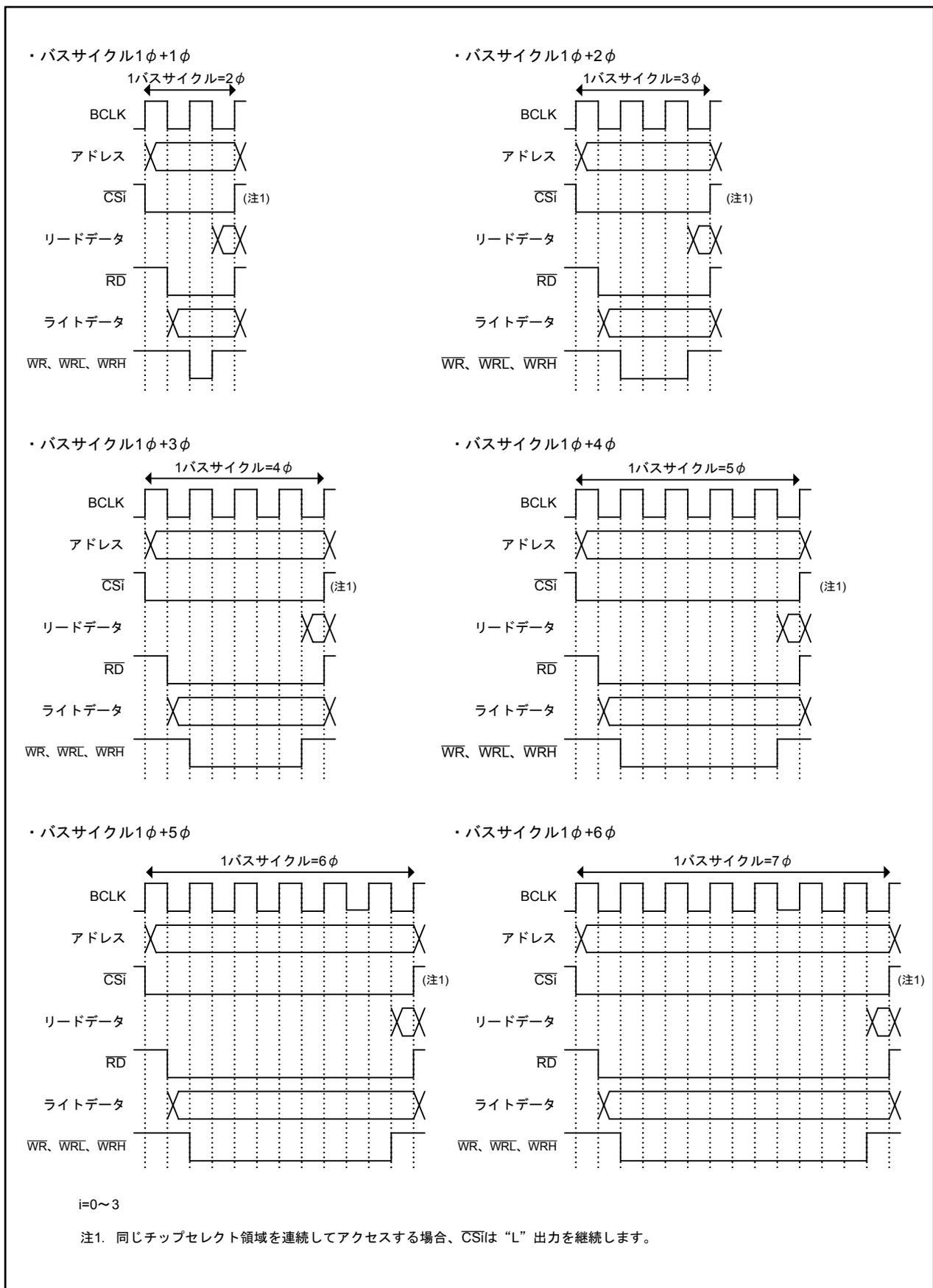


図8.4 セパレートバス選択時のバスサイクル(1)

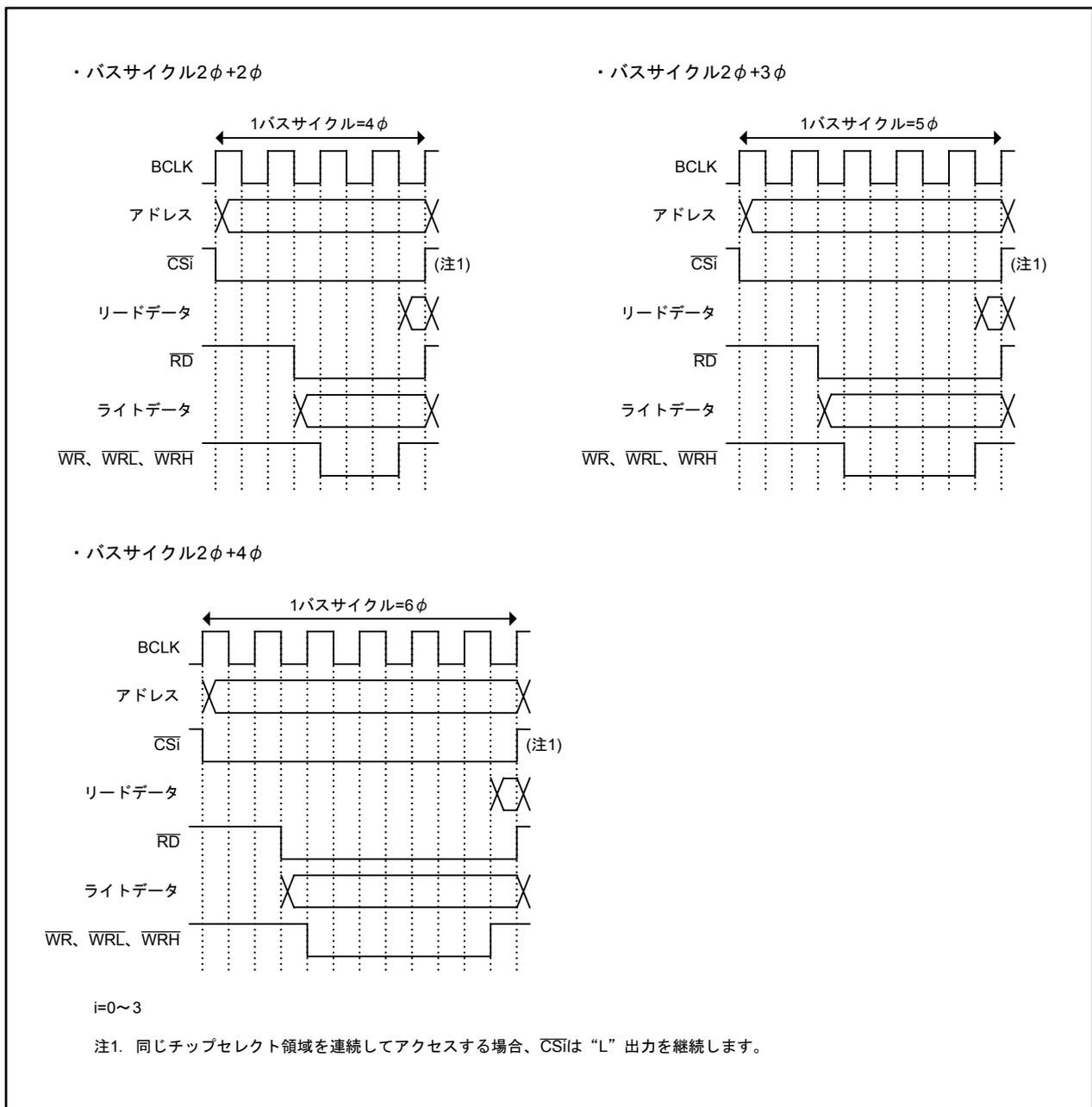


図8.5 セパレートバス選択時のバスサイクル(2)

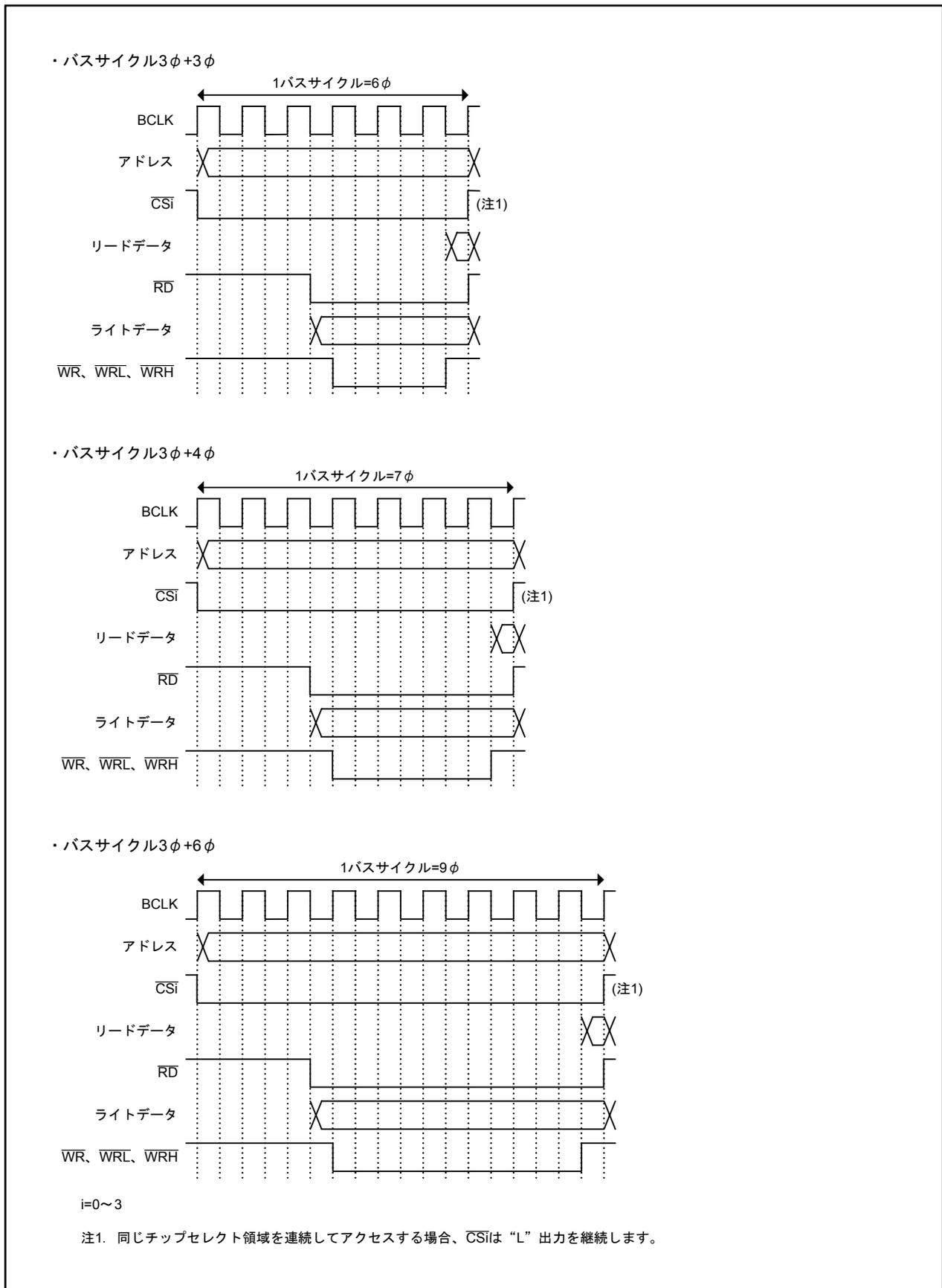


図8.6 セパレートバス選択時のバスサイクル(3)

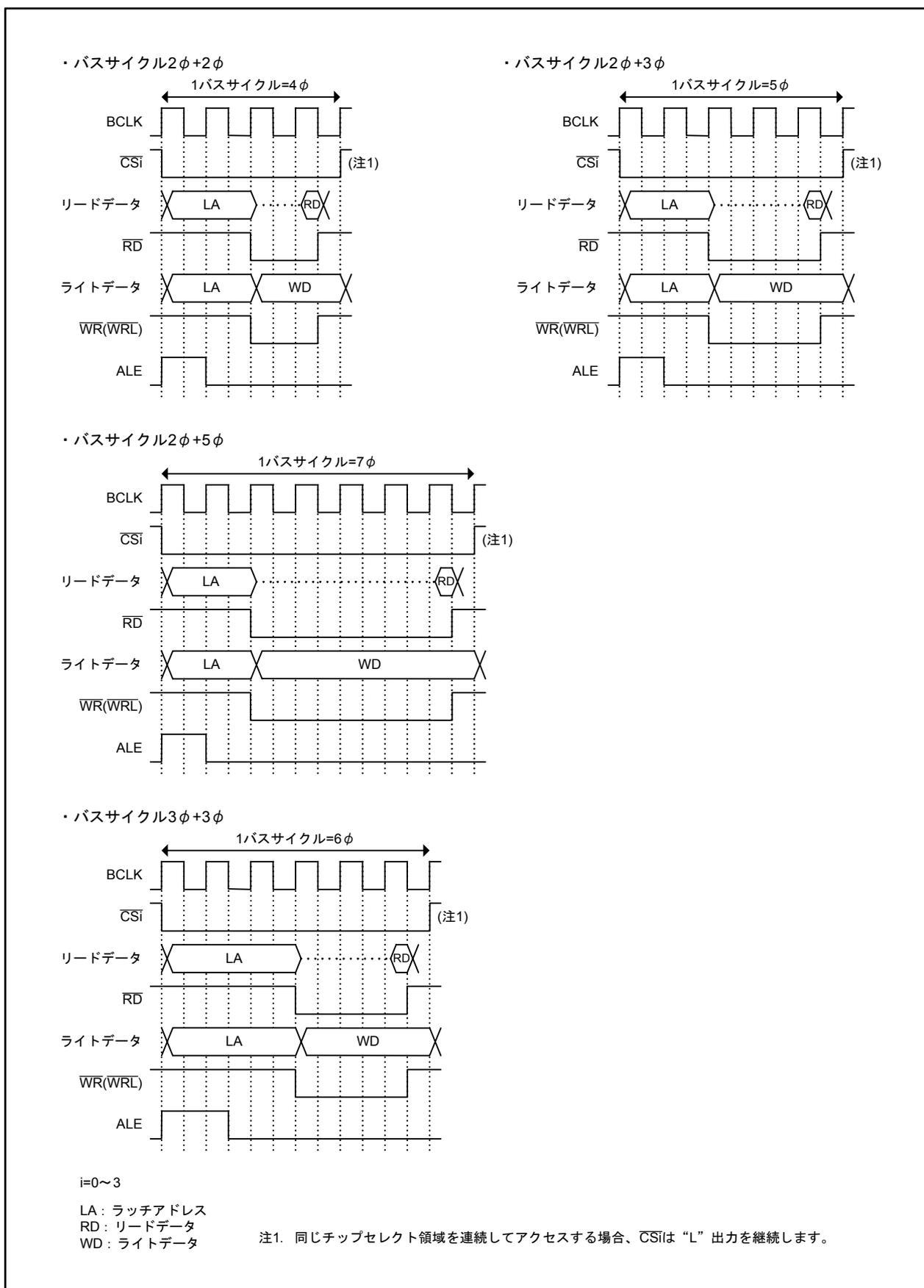


図8.7 マルチプレクスバス選択時のバスサイクル(1)

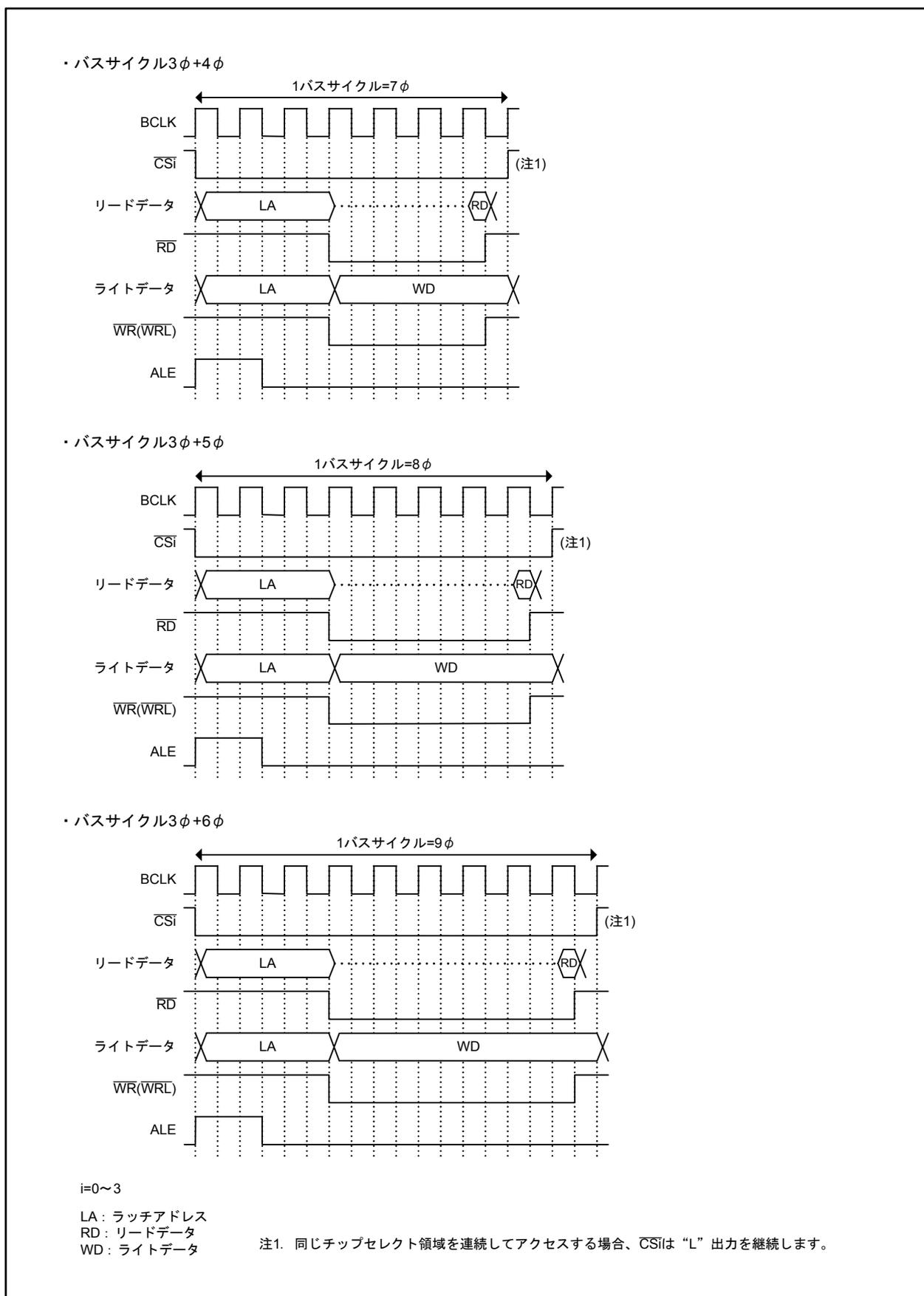


図8.8 マルチプレクスバス選択時のバスサイクル(2)

8.2.4.1 リカバリサイクル挿入時のバスサイクル

リカバリサイクルは、EWCRiレジスタのEWCRi6ビット(i=0~3)によって、選択できます。

リカバリサイクルの間、アドレス出力は保持されますので(セパレートバス時のみ)、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクルの間、ライトデータ出力も保持されますので、データホールド時間を長く要求するデバイスも接続できます。

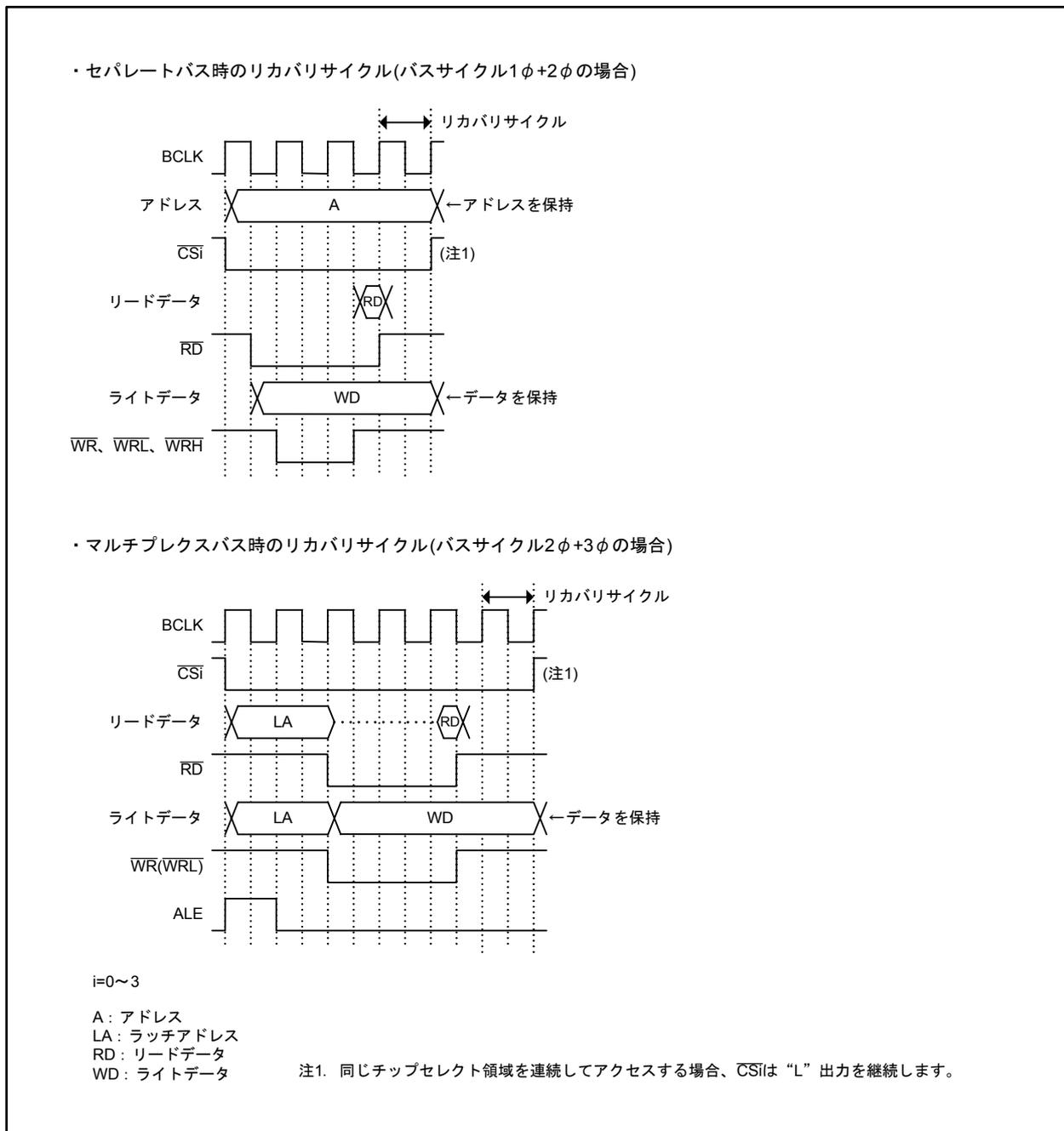


図 8.9 リカバリサイクル

8.2.5 ALE出力

マルチプレクスバスのアドレスをラッチするための信号です。ALE出力の立ち下がりでアドレスをラッチしてください。ALEの出力端子はPM1レジスタのPM15～PM14ビットで選択できます。

ALE信号は内部領域にアクセスしている場合にも出力されます。

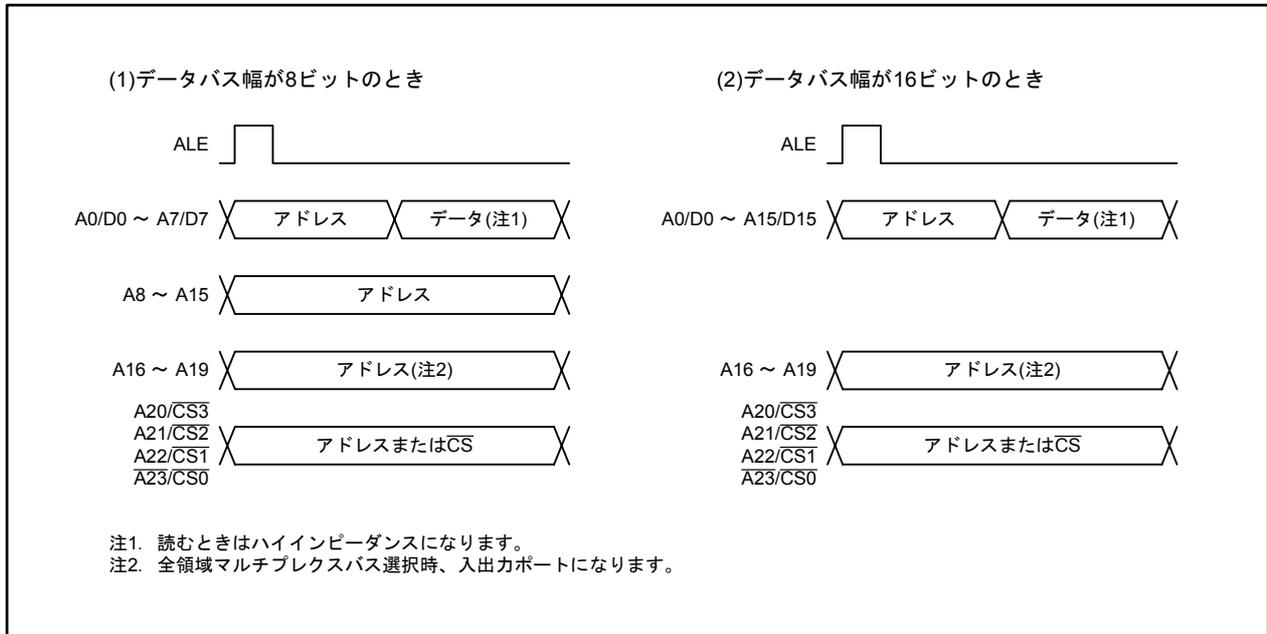


図8.10 ALE出力とアドレスバス、データバス

8.2.6 \overline{RDY} 入力

アクセス速度が遅い外部デバイスをアクセスするときに使用します。バスサイクルの最後のBCLKの立ち下がりで \overline{RDY} 端子に“L”が入力されているとき、バスサイクルにウェイトが挿入されます。その後、BCLKの立ち下がりで \overline{RDY} 端子に“H”が入力されると、残りのバスサイクルを実行します。表8.7に \overline{RDY} 入力によりバスサイクルにウェイトが挿入されたときのマイクロコンピュータの状態、図8.11に \overline{RD} 出力が \overline{RDY} 入力によって延びた例を示します。

表8.7 \overline{RDY} 入力によるウェイト中のマイクロコンピュータの状態

項目	状態
クロック発生回路	動作(発振)
\overline{RD} 、 \overline{WR} 、A0～A22、 $\overline{A23}$ 、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、ALE、HLDA、プログラマブル入出力ポート	\overline{RDY} 入力を受け付けたときの状態を保持
内蔵周辺回路	動作

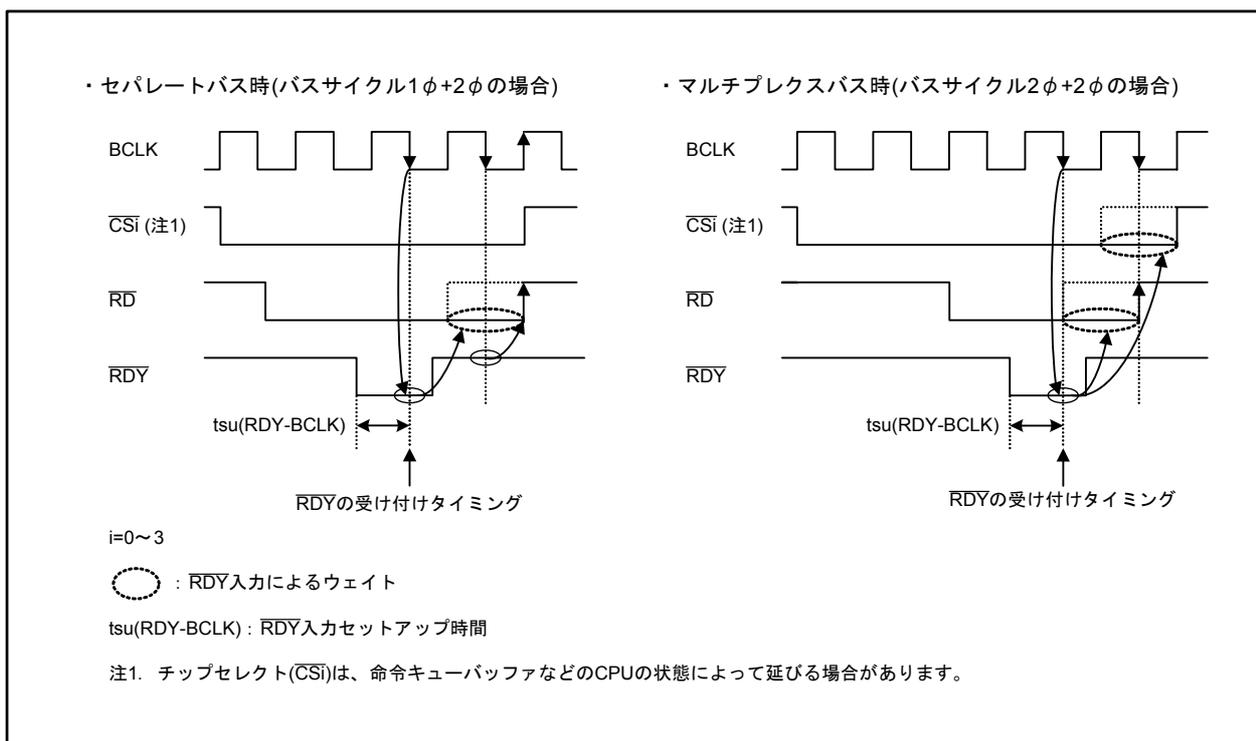


図8.11 RD出力がRDY入力によって延びた例

8.2.7 HOLD入力

バスの使用権をCPUから外部デバイスへ移行するための信号です。HOLD端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。HOLD端子が“L”の期間、ホールド状態を保持し、HLDA端子から“L”を出力します。表8.8にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、HOLD、DMAC、CPUとなります。

表8.8 ホールド状態におけるマイクロコンピュータの状態

項目	状態
クロック発生回路	動作(発振)
CPU	停止
内蔵周辺回路	動作 ただしウォッチドッグタイマは停止(注1)
RD、WR、A0~A22、A23、D0~D15、CS0~CS3、BHE	ハイインピーダンス
HLDA	“L”を出力
ALE	“L”を出力
プログラマブル入出力ポート	HOLD入力を受け付けたときの状態を保持

注1. PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)のとき、ウォッチドッグタイマは停止しません。

8.2.8 内部領域をアクセスしたときの外部バスの状態

表8.9に内部領域をアクセスしたときの外部バスの状態を示します。

表8.9 内部領域をアクセスしたときの外部バスの状態

項目	SFR、内部ROM、内部RAMをアクセスしたときの状態
A0～A22、 $\overline{A23}$	直前にアクセスされた外部領域のアドレスを保持
D0～D15	ハイインピーダンス
\overline{RD} 、 \overline{WR} 、 \overline{WRL} 、 \overline{WRH}	“H” を出力
\overline{BHE}	直前の外部領域またはSFRをアクセスしたときの \overline{BHE} の出力を保持
\overline{CS}	“H” を出力
ALE	ALE出力

8.2.9 BCLK出力

メモリ拡張モード、マイクロプロセッサモード時、バスクロックをBCLK端子から出力することができます。出力する場合は、PM0レジスタのPM07ビットを“0” (BCLK出力する)、CM0レジスタのCM01～CM00ビットを“00b” (入出力ポートP5_3) にしてください。ただし、シングルチップモード時ではBCLKは出力されません。

詳細は、「9.クロック発生回路」を参照してください。

9. クロック発生回路

9.1 クロック発生回路の種類

クロック発生回路として、4つの回路を内蔵します。

- ・メインクロック発振回路
- ・サブクロック発振回路
- ・オンチップオシレータ
- ・PLL周波数シンセサイザ

表9.1にクロック発生回路の概略仕様を示します。また、図9.1にクロック発生回路のブロック図を、図9.2～図9.8にクロック制御関連レジスタを示します

表9.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	オンチップ オシレータ	PLL周波数 シンセサイザ
用途	・CPUクロック源 ・周辺機能クロック源	・CPUクロック源 ・タイマA、Bの カウントソース	・CPUクロック源 ・周辺機能クロック源	・CPUクロック源 ・周辺機能クロック源
クロック周波数	～32MHz	32.768kHz	約1MHz	～32MHz(表9.3参照)
接続できる発振子 または付加回路	・セラミック共振子 ・水晶発振子	水晶発振子	—	—
発振子または付加 回路の接続端子	XIN、XOUT	XCIN、XCOUT	—	—
発振停止、 発振再開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	停止	停止
その他	外部で生成された クロックを入力可能	外部で生成された クロックを入力可能	発振停止検出機能： メインクロック発振 停止時、自動で発振を 開始し、CPUと周辺機 能のクロック源になる	30MHzまたは20MHz時： メインクロックには 10MHzを入力 32MHzまたは21.3MHz時： メインクロックには 8MHzを入力

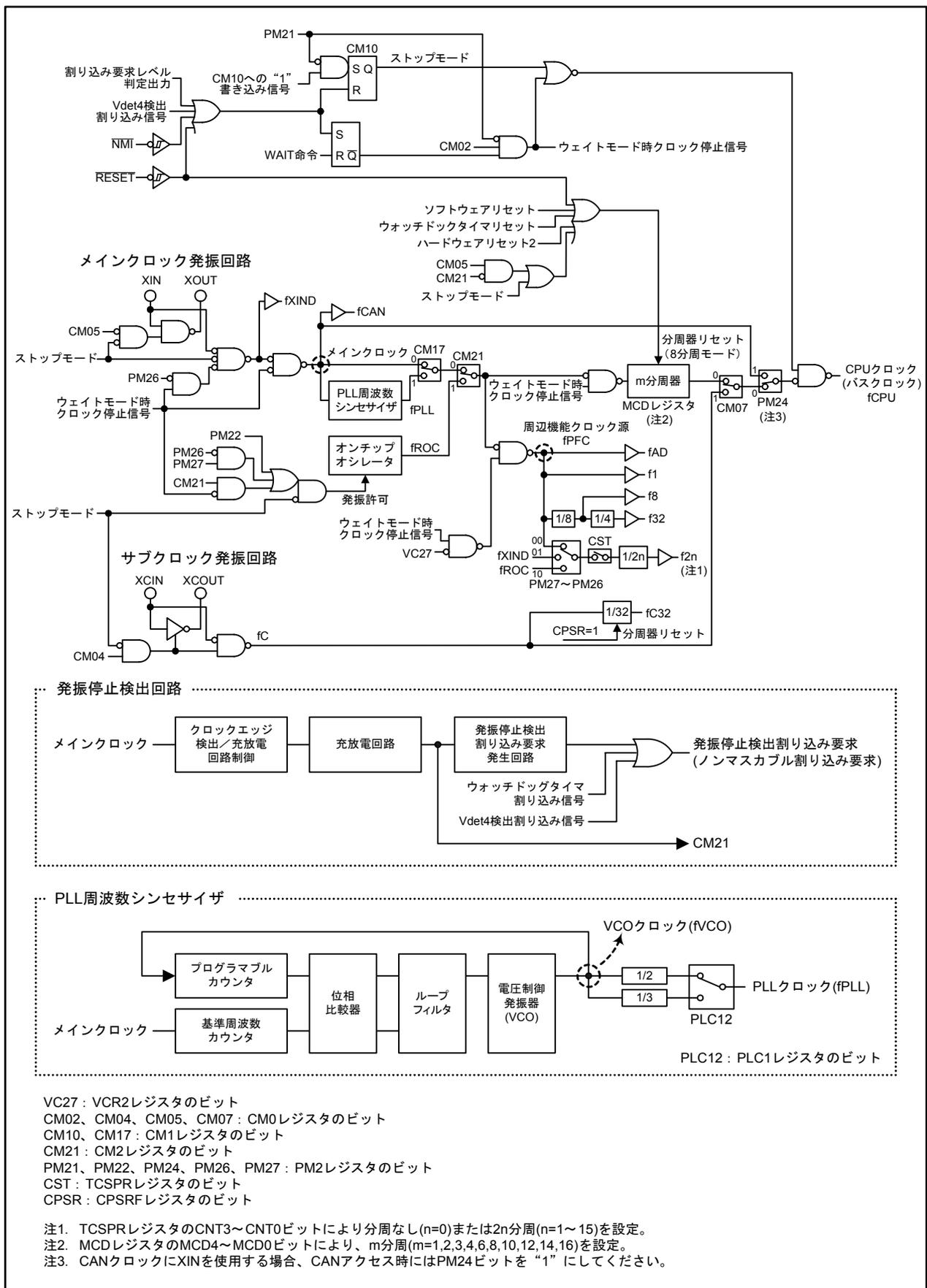


図9.1 クロック発生回路のブロック図

システムクロック制御レジスタ0 (注1)

シンボル	アドレス	リセット後の値
CM0	0006h番地	0000 1000b

ビットシンボル	ビット名	機能	RW
CM00	クロック出力機能選択ビット	b1 b0 0 0 : 入出力ポートP5_3(注2) 0 1 : fCを出力 1 0 : f8を出力 1 1 : f32を出力	RW
CM01			RW
CM02	ウェイトモード時周辺機能クロック停止ビット(注9)	0 : ウェイトモード時、周辺機能クロックは停止しない 1 : ウェイトモード時、周辺機能クロックは停止する(注3)	RW
CM03	XCIN-XCOUT駆動能力選択ビット(注10)	0 : Low 1 : High	RW
CM04	ポートXC切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUT発振機能(注4)	RW
CM05	メインクロック(XIN-XOUT)停止ビット(注5、9)	0 : 発振 1 : 停止(注6)	RW
CM06	ウォッチドッグタイマ機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット(注7)	RW
CM07	CPUクロック選択ビット0(注8、9)	0 : CM21ビットで選択したクロックをMCDレジスタで分周したクロック 1 : サブクロック	RW

- 注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. メモリ拡張モードまたはマイクロプロセッサモードでは、BCLK出力、“L”出力、またはALE出力のいずれかになります。入出力ポートとして使用できません。
- 注3. fC32は停止しません。
- 注4. CM04ビットを“1”にする場合、PD8レジスタのPD8_7~PD8_6ビットを“00b”(ポートP8_6、P8_7は入力モード)で、PUR2レジスタのPU25ビットを“0”(プルアップしない)にしてください。
- 注5. CM05ビットは低消費電力モード、またはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、CM07ビットを“1”にした後、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にした後、PLC0レジスタのPLC07ビットを“0”にして、CM05ビットを“1”にしてください。
- 注6. CM05ビットが“1”の場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。
- 注7. 一度“1”にすると、プログラムでは“0”にできません。
- 注8. CM04ビットを“1”にしサブクロックの発振が安定した後に、CM07ビットを“0”から“1”にしてください。また、CM05ビットを“0”にしメインクロックの発振が安定した後に、CM07ビットを“1”から“0”にしてください。なお、CM07ビットはCM04ビットまたはCM05ビットと同時に書き換えないでください。
- 注9. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。
- 注10. ストップモードへ移行したとき、CM03ビットは“1”になります。

図9.2 CM0レジスタ

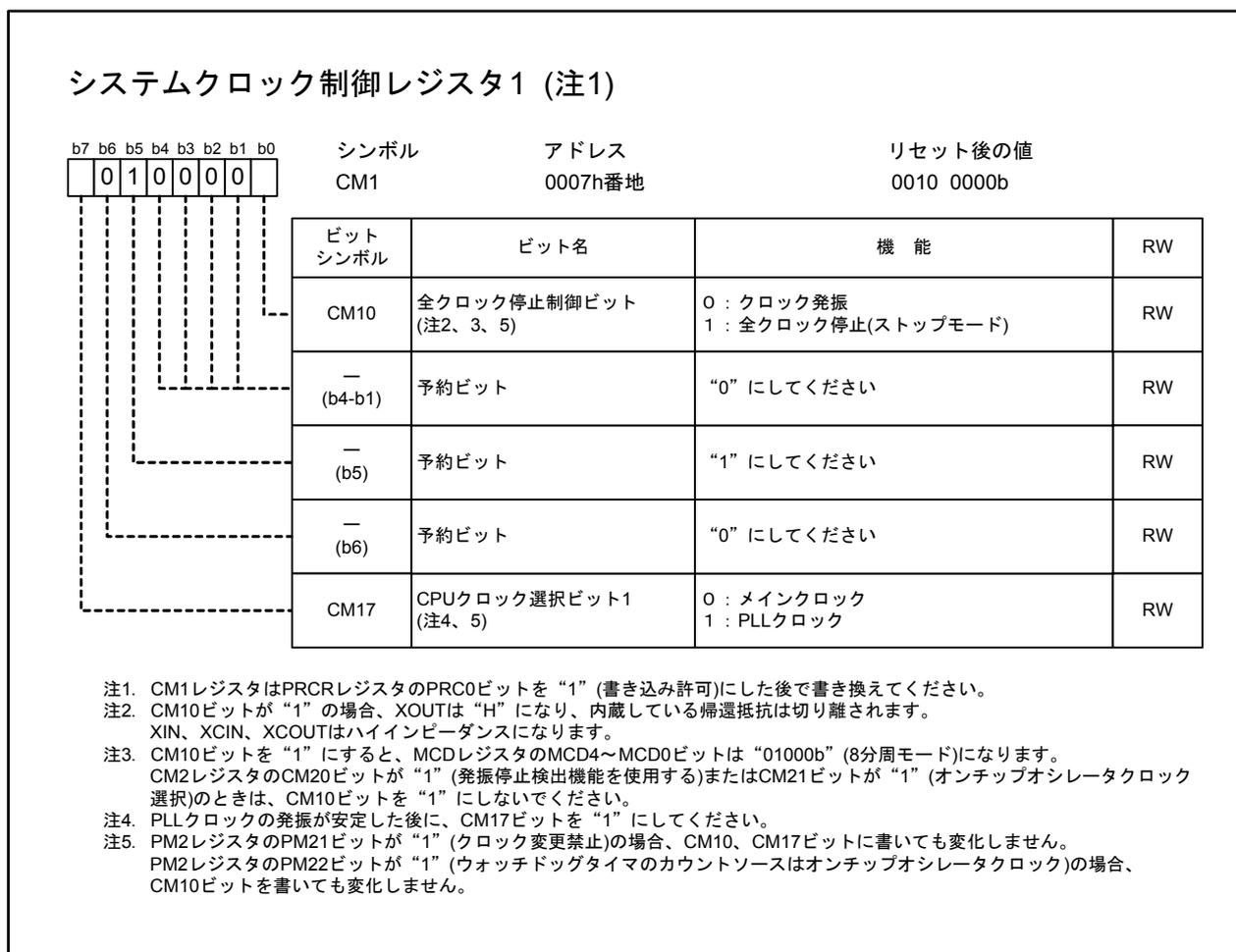


図9.3 CM1レジスタ

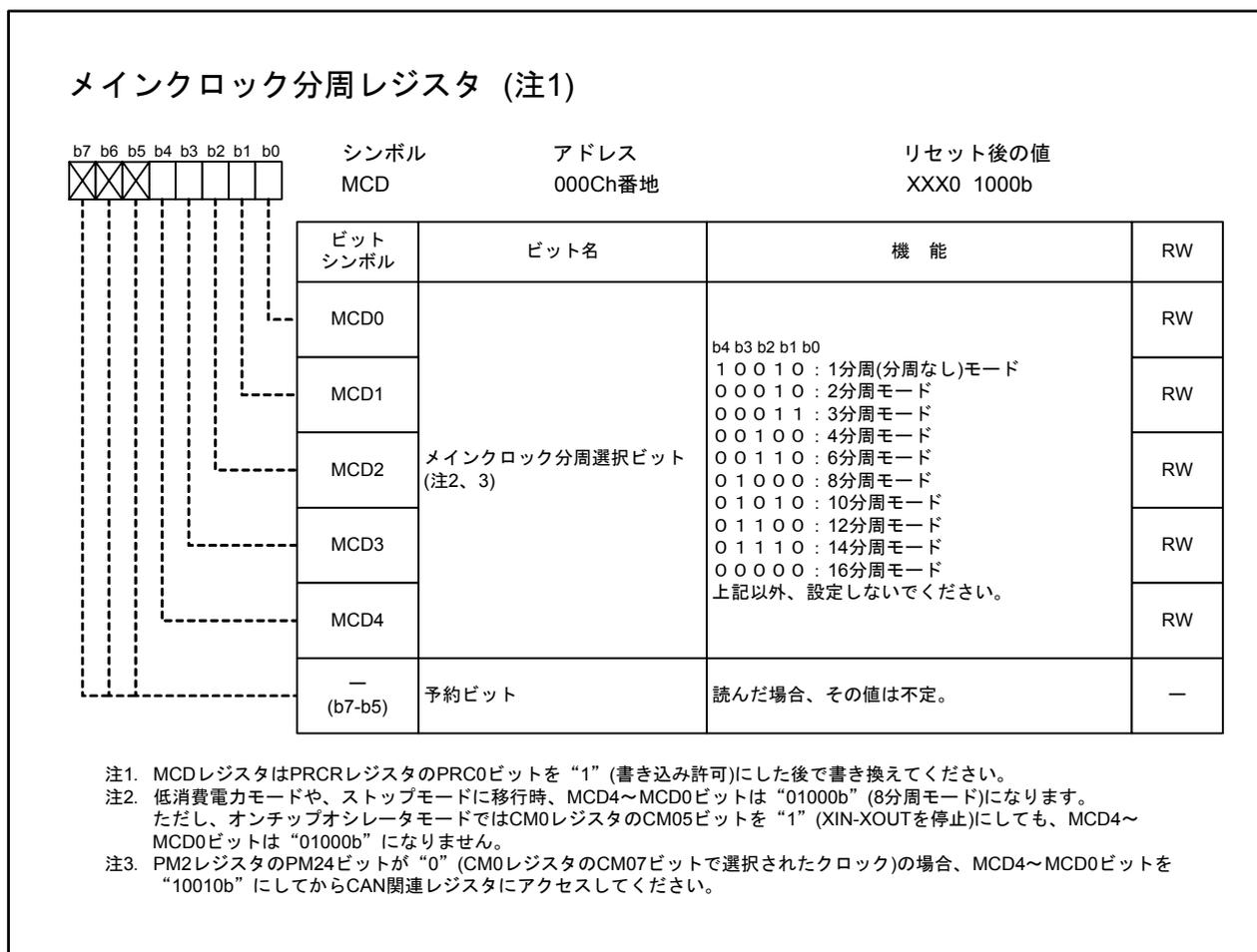


図9.4 MCDレジスタ

発振停止検出レジスタ (注1)

ビットシンボル	ビット名	機能	RW
CM20	発振停止検出許可ビット(注2)	0 : 発振停止検出機能を使用しない 1 : 発振停止検出機能を使用する	RW
CM21	CPUクロック選択ビット2 (注3、4)	0 : CM17ビットで選択されたクロック 1 : オンチップオシレータクロック	RW
CM22	発振停止検出フラグ(注5)	0 : メインクロック停止を未検出 1 : メインクロック停止を検出	RW
CM23	メインクロックモニタフラグ (注6)	0 : メインクロック発振 1 : メインクロック停止	RO
— (b7-b4)	予約ビット	“0” にしてください	RW

- 注1. CM2レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM20ビットに書いても変化しません。
- 注3. CM20ビットが“1”のとき、メインクロック停止が検出されると、CM21ビットは“1”になります。その後、メインクロックが発振を再開しても、CM21ビットは“0”になりません。メインクロックの発振再開後、メインクロックをCPUクロック源にする場合は、プログラムでCM21ビットを“0”にしてください。
- 注4. CM20ビットが“1”で、かつCM23ビットが“1”のとき、CM21ビットを“0”にしないでください。
- 注5. メインクロック停止検出時、CM22ビットが“1”になります。プログラムで“0”にできますが、“1”にできません。メインクロック停止中にプログラムで“0”にすると、メインクロックが発振再開後、メインクロック停止を検出するまで“1”にはなりません。
- 注6. 発振停止検出割り込み発生後、CM23ビットを数回読むことによりメインクロックの状態を判定してください。

図9.5 CM2レジスタ

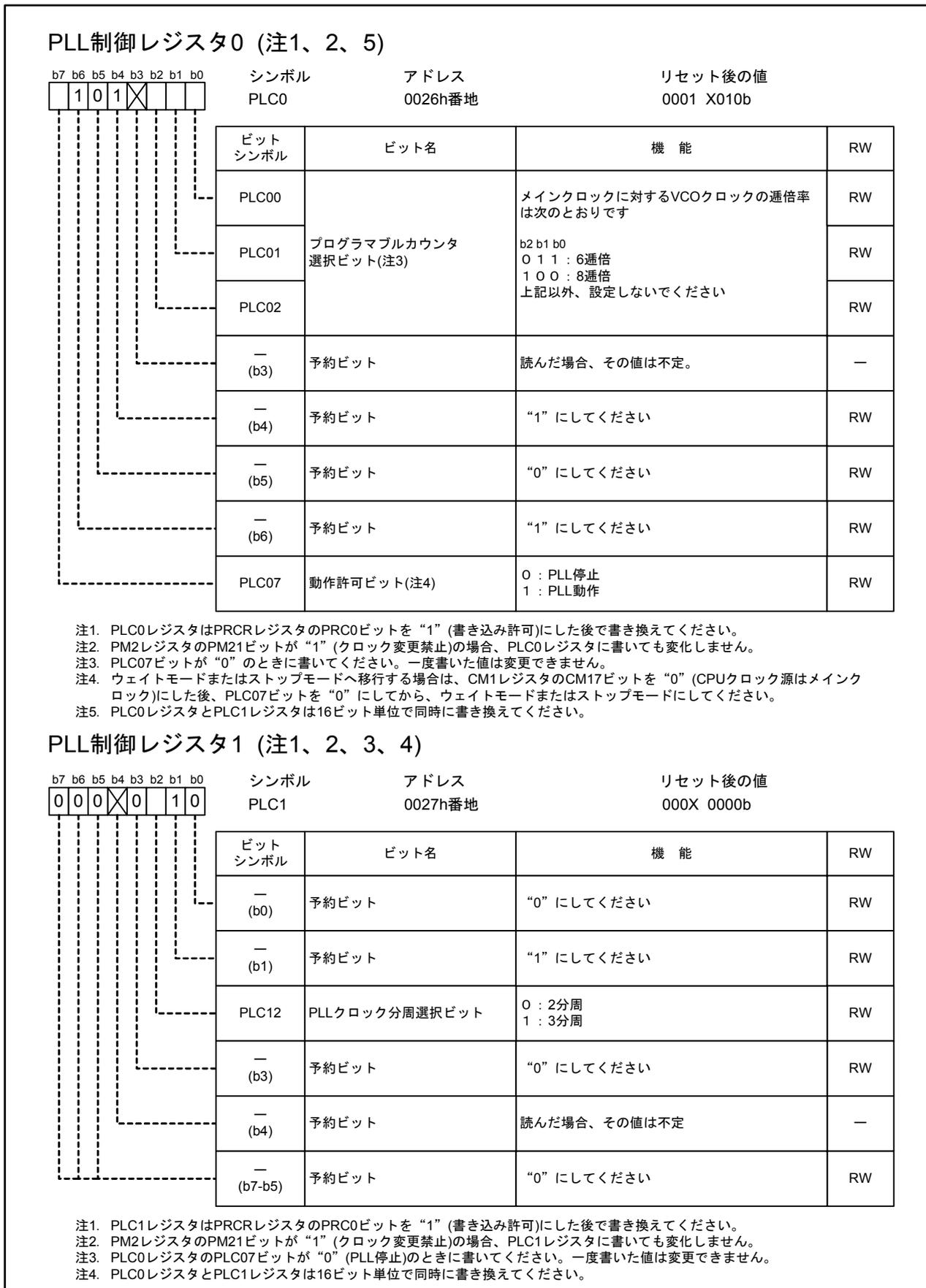


図9.6 PLC0レジスタ、PLC1レジスタ

プロセッサモードレジスタ2 (注1)

ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	“0” にしてください	RW
PM21	システムクロック保護ビット (注2、3)	0 : PRCRレジスタでクロックを保護 1 : クロックの変更禁止	RW
PM22	WDTカウントソース選択ビット (注2、4)	0 : ウォッチドッグタイマのカウントソースは CPUクロック 1 : ウォッチドッグタイマのカウントソースは オンチップオシレータクロック	RW
— (b3)	予約ビット	“0” にしてください	RW
PM24	CPUクロック選択ビット3	0 : CM07ビットで選択されたクロック 1 : メインクロック(注5)	RW
PM25	CANクロック選択ビット	0 : f1 1 : fCAN	RW
PM26	f2nカウントソース選択ビット	b7 b6 0 0 : CM21ビットで選択されたクロック 0 1 : XINクロック(fXIND) 1 0 : オンチップオシレータクロック(fROC) 1 1 : 設定しないでください	RW
PM27			RW

注1. PM2レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 一度“1”にすると、プログラムでは“0”にできません。

注3. PM21ビットを“1”にすると次の状態になります。

- ・ WAIT命令実行時、CPUクロックが停止しない
- ・ 次のビットに書き込んでも変化しない
- CM0レジスタのCM02ビット
- CM0レジスタのCM05ビット(メインクロックは停止しない)
- CM0レジスタのCM07ビット(CPUクロックのクロック源は変化しない)
- CM1レジスタのCM10ビット(ストップモードに移行しない)
- CM1レジスタのCM17ビット(CPUクロックのクロック源は変化しない)
- CM2レジスタのCM20ビット(発振停止検出機能の設定は変化しない)
- PLC0、PLC1レジスタの全ビット(PLL周波数シンセサイザの設定は変化しない)

注4. PM22ビットを“1”にすると次の状態になります。

- ・ オンチップオシレータが発振を開始し、オンチップオシレータクロックがウォッチドッグタイマのカウントソースになる
- ・ CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ・ ウェイトモードまたはホールド状態のとき、ウォッチドッグタイマは停止しない

注5. PM25ビットが“1”(CANクロックはfCAN)の場合、PM24ビットを“1”にしてからCAN関連レジスタにアクセスしてください。

図9.7 PM2レジスタ

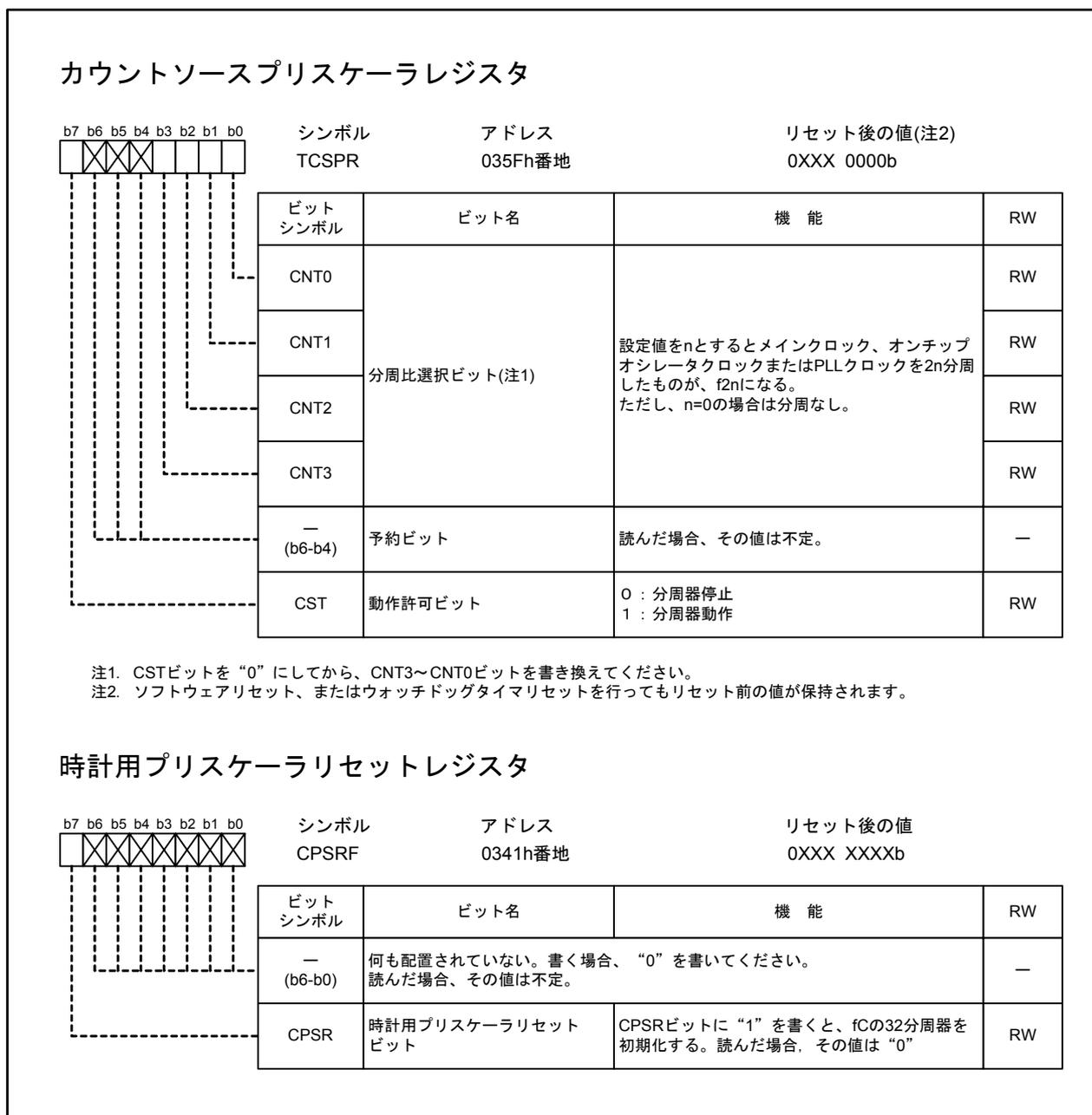


図9.8 TCSPRレジスタ、CPSRFレジスタ

クロック発生回路で生成するクロックを説明します。

9.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックや、周辺機能クロックのクロック源になります。

メインクロック発振回路は、XIN-XOUT端子間に発振子を接続することで発振回路を構成します。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図9.9にメインクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、メインクロックの8分周がCPUクロックになります。

CPUクロック源をサブクロックまたはオンチップオシレータクロックに切り替えた後、CM0レジスタのCM05ビットを“1”（発振停止）にすると、消費電力を低減できます。この場合、XOUT端子は“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしないでください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「9.5 パワーコントロール」を参照してください。

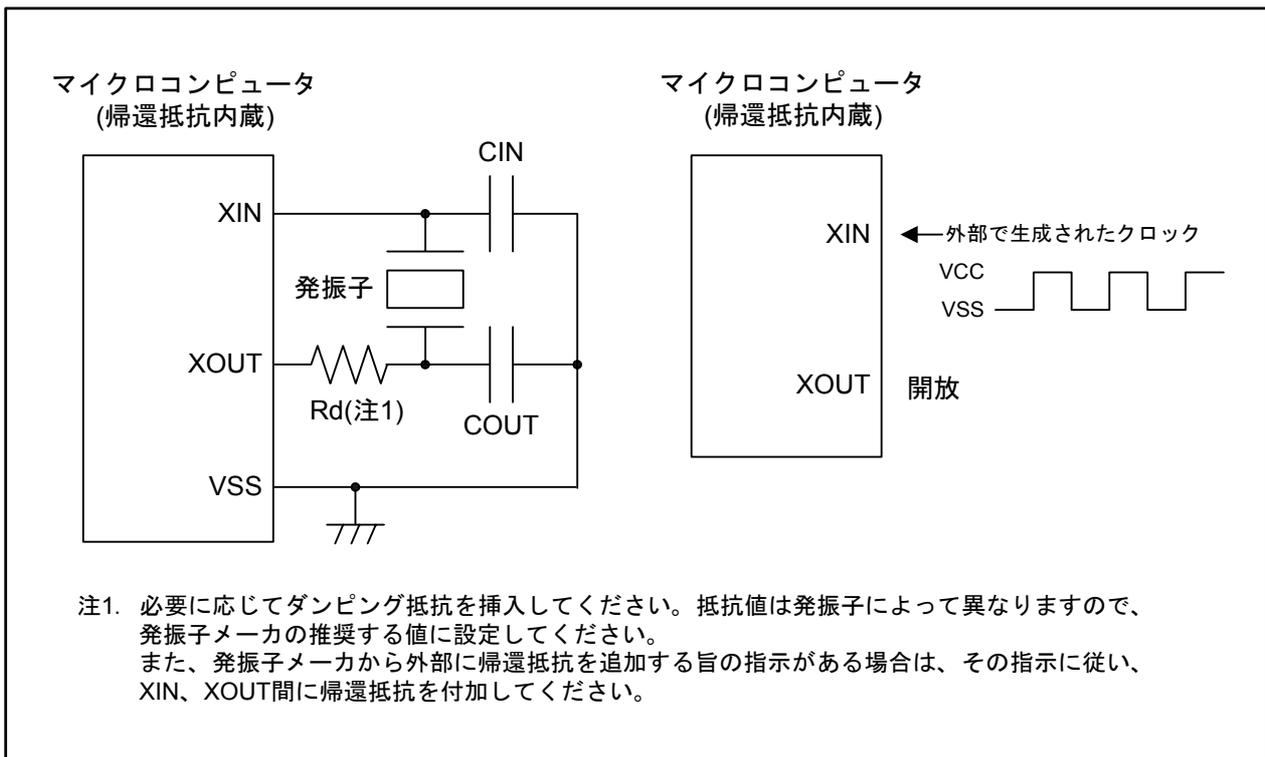


図9.9 メインクロックの接続回路例

9.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウンタソースになります。また、サブクロックと同一周波数のfCをCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図9.10にサブクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。PD8レジスタのPD8_6、PD8_7ビットの両方を“0”(入力モード)にし、PUR2レジスタのPU25ビットを“0”(プルアップしない)にした後、CM0レジスタのCM04ビットを“1”(XCIN-XCOOUT発振機能)にすると、サブクロック発振回路が発振を開始します。外部で生成したクロックをXCIN端子へ入力する場合は、PD8_7ビットを“0”にし、PU25ビットを“0”にした後、CM04ビットを“1”にすると、XCIN端子へ入力されたクロックがサブクロックになります。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「9.5 パワーコントロール」を参照してください。

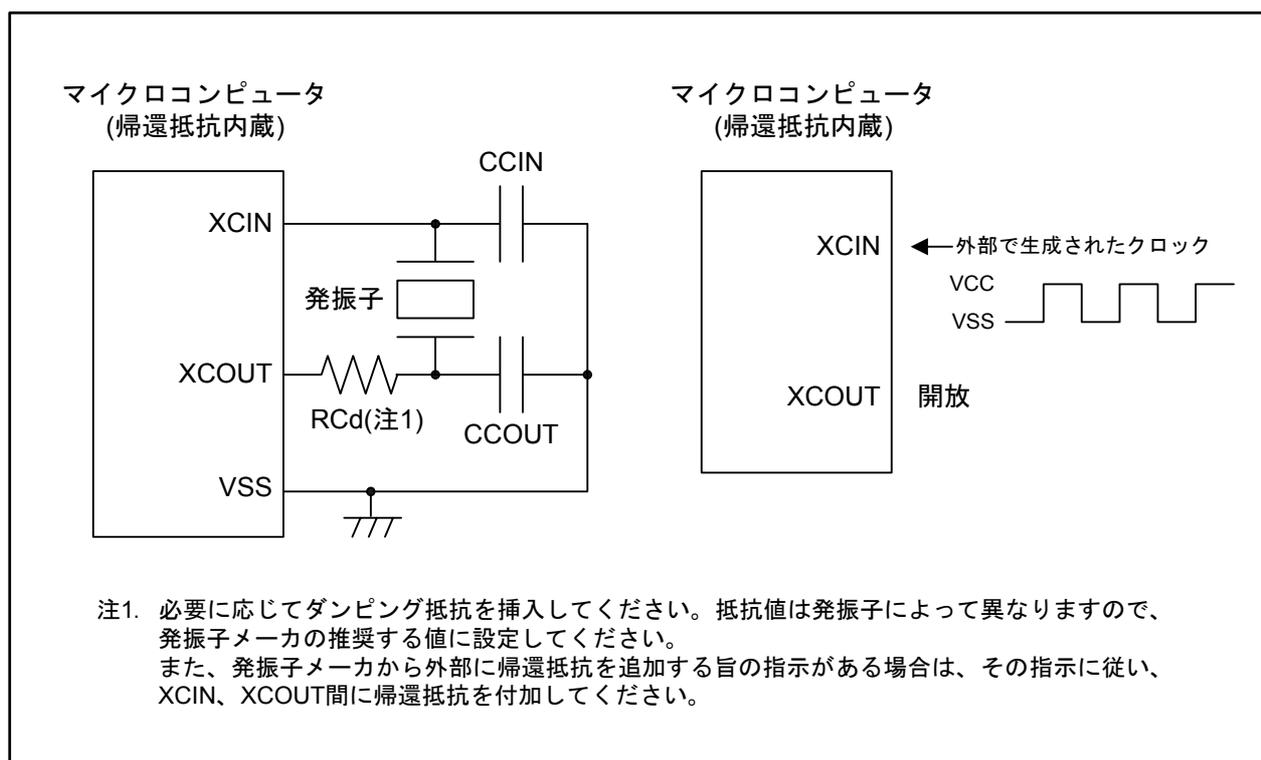


図9.10 サブクロックの接続回路例

9.1.3 オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックや周辺機能クロックのクロック源になります。

リセット後、オンチップオシレータクロックは停止しています。CM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にすると発振を開始し、オンチップオシレータクロックがメインクロックに代わって、CPUクロックや周辺機能クロックのクロック源になります。

表9.2にオンチップオシレータの発振開始条件を示します。

表9.2 オンチップオシレータの発振開始条件

CM2レジスタ	PM2レジスタ		用途
CM21ビット	PM22ビット	PM27～PM26ビット	
1	0	00b	CPUクロック、周辺機能クロックのクロック源
0	1	00b	ウォッチドッグタイマのカウンタソース
0	0	10b	f2nのカウンタソース

9.1.3.1 発振停止検出機能

外部の要因でメインクロックが停止した場合に、自動的にオンチップオシレータが動作を開始し、クロックを供給する機能です。

CM2レジスタのCM20ビットが“1”(発振停止検出機能を使用する)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能クロックのクロック源になります。このとき、CM2レジスタのビットが次のようになります。

- CM21ビット＝“1”(オンチップオシレータクロックがCPUクロックになる)
- CM22ビット＝“1”(メインクロック停止を検出)
- CM23ビット＝“1”(メインクロック停止)

発振停止検出割り込みは、ウォッチドッグタイマ割り込み、Vdet4検出割り込みとベクタを共用しています。発振停止検出割り込みとこれらの割り込みを同時に使用する場合、割り込みルーチンでCM22ビットを読み出し、発振停止検出割り込み要求が発生したことを確認してください。

発振停止検出後、メインクロックの発振が再開した場合は、プログラムでメインクロックをCPUクロックや周辺機能クロックに戻すことができます。図9.11にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。

低速モード時、CM20ビットが“1”で、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックのクロック源はオンチップオシレータクロックになります。周辺機能クロック停止時、発振停止検出機能は使用できません。発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM0レジスタのCM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。

この機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止させる場合、すなわち、ストップモードにする、またはCM0レジスタのCM05ビットを“1”(メインクロック発振停止)にする場合は、CM20ビットを“0”(発振停止検出機能を使用しない)にしてください。

メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

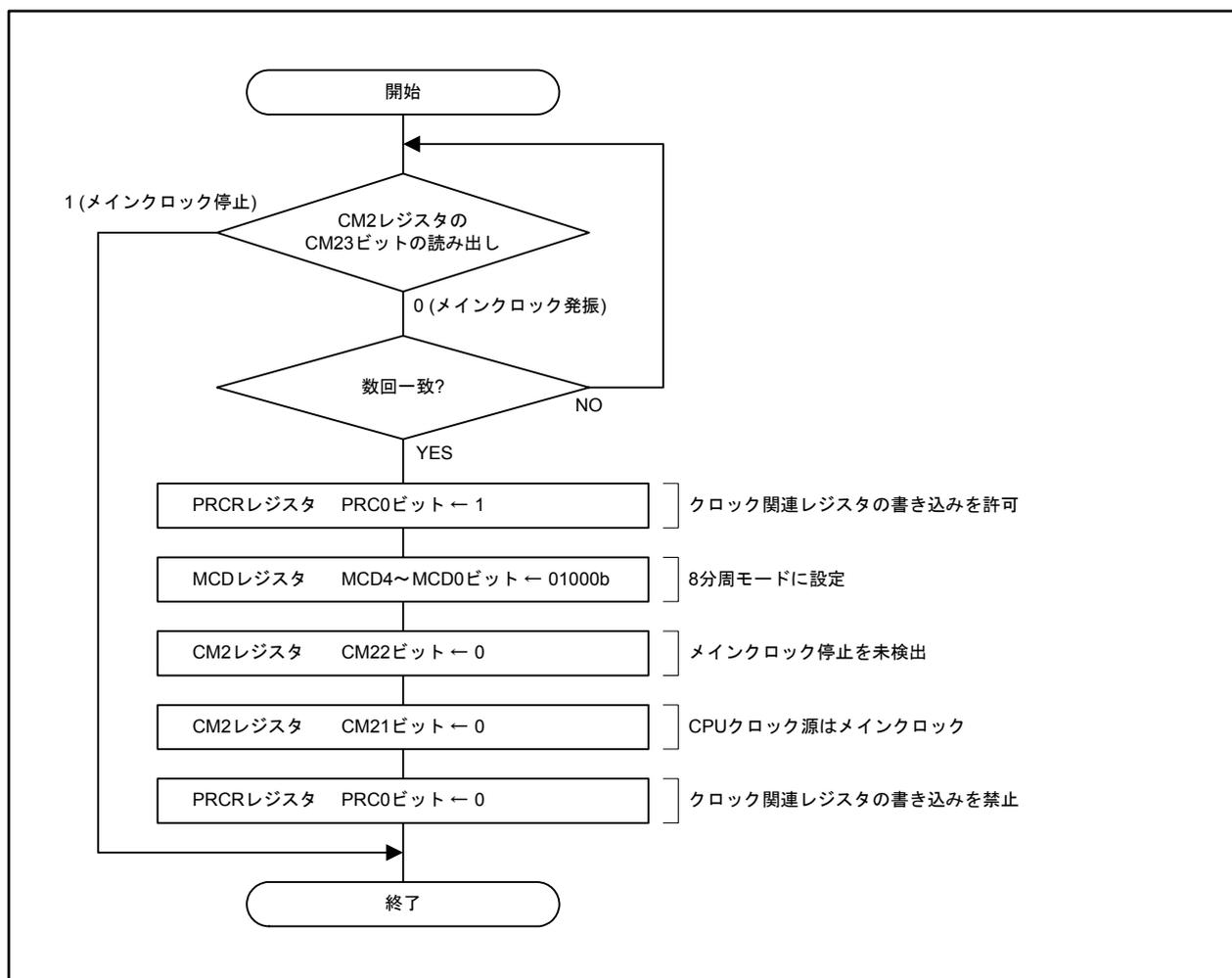


図9.11 オンチップオシレータクロックからメインクロックへの切り替え手順

9.1.4 PLLクロック

PLLクロックは、PLL周波数シンセサイザがメインクロックを基に生成するクロックです。CPUクロックや、周辺機能クロックのクロック源に使用できます。

リセット後、PLL周波数シンセサイザは停止しています。PLC0レジスタのPLC07ビットを“1”(PLL動作)にするとPLL周波数シンセサイザが動作します。PLLクロックが安定するまで、PLL周波数シンセサイザ安定待ち時間(tsu(PLL))が必要です。

PLLクロックは、電圧制御発振器(VCO)から出力されるクロックの2分周または3分周が選択できます。CPUクロックや周辺機能クロックのクロック源として使用する場合、表9.3に示すように各ビットを設定してください。また、図9.12にPLLクロックをCPUクロックにする手順を示します。

ウェイトモードまたはストップモードへ移行する場合は、CM1レジスタのCM17ビットを“0”(CPUクロック源はメインクロック)にした後、PLC07ビットを“0”(PLL停止)にしてから各モードに移行してください。

表9.3 PLLクロック周波数の設定例

通倍率	PLC0レジスタ			PLC1レジスタ	PLLクロック
	PLC02ビット	PLC01ビット	PLC00ビット	PLC12ビット	
2通倍	0	1	1	1	$f_{PLL} = 2 \times f_{XIN}$
3通倍				0	$f_{PLL} = 3 \times f_{XIN}$
8/3通倍	1	0	0	1	$f_{PLL} = 8/3 \times f_{XIN}$
4通倍				0	$f_{PLL} = 4 \times f_{XIN}$

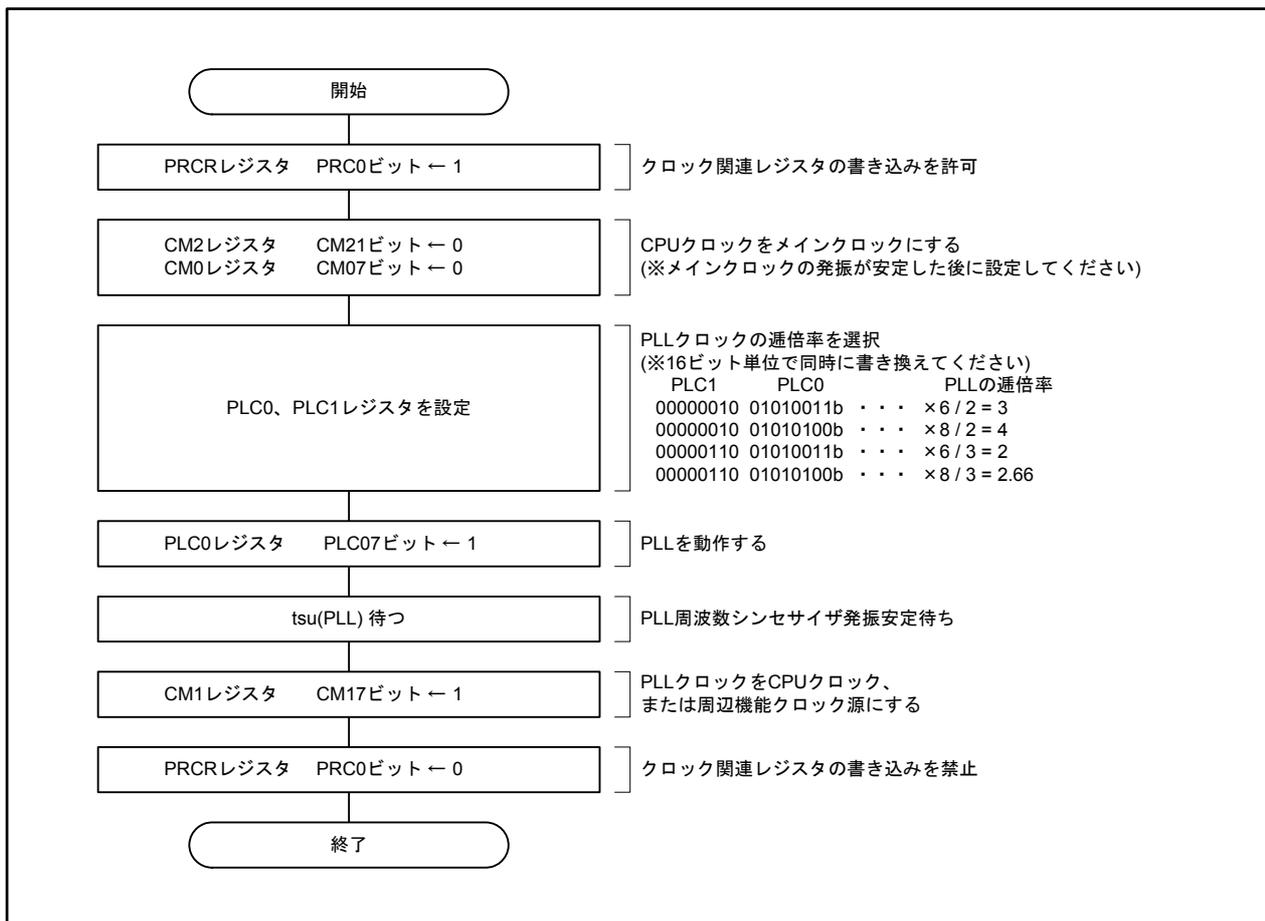


図9.12 PLLクロックをCPUクロックにする手順

9.2 CPUクロックとBCLK

CPUクロックはCPU動作クロックであり、ウォッチドッグタイマのカウントソースです。リセット後、CPUクロックはメインクロックの8分周です。メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをバスクロック(BCLK)として、BCLK端子から出力できます。詳細は「9.4 クロック出力機能」を参照してください。

CPUクロックのクロック源として、メインクロック、サブクロック、オンチップオシレータクロック、または、PLLクロックが選択できます。

CPUクロックのクロック源としてメインクロック、オンチップオシレータクロック、PLLクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、3、4、6、8、10、12、14、16分周したものがCPUクロックになります。分周はMCDレジスタで選択できます。なお、ストップモード、または低消費電力モードに移行すると、MCDレジスタのMCD4～MCD0ビットは“01000b”(8分周モード)になります。次にメインクロックをCPUクロックに切り替えたとき、CPUクロックはメインクロックの8分周になります。詳細は「9.5 パワーコントロール」を参照してください。

9.3 周辺機能クロック

ウォッチドッグタイマを除く周辺機能の動作クロックまたはカウントソースです。

CM17ビットとCM21ビットで選択したクロック(メインクロック、PLLクロック、またはオンチップオシレータクロックのいずれか)が周辺機能クロック源(fPFC)になります。

9.3.1 f1、f8、f32、f2n

f1、f8、f32はfPFCを1、8、32分周したクロックです。

f2nのカウントソースは、PM2レジスタのPM27～PM26ビットにより、fPFC、XINクロック(fXIND)、オンチップオシレータクロック(fROC)から選択できます。また、f2nはTCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にしてウェイトモードに移行した場合、または周辺機能クロック源にメインクロックを使用して、CM05ビットを“1”にした場合、fPFCが停止します。ただし、PM27～PM26が“10b”(f2nのカウントソースにオンチップオシレータクロックを選択)のとき、f2nは停止しません。

f1、f8、f2nは、タイマA、タイマBのカウントソース、シリアルインタフェースの動作クロックに使用します。f1はインテリジェントI/OやCANの動作クロックにも使用します。

f8とf32はCLKOUT端子から出力できます。詳細は「9.4 クロック出力機能」を参照してください。

9.3.2 fAD

A/Dコンバータの動作クロックです。fADはfPFCと同一周波数です。

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にしてウェイトモードに移行した場合、または周辺機能クロック源にメインクロックを使用して、CM05ビットを“1”にした場合、fADは停止します。

9.3.3 fC32

サブクロックの32分周で、タイマA、タイマBのカウントソースに使用します。サブクロックが供給されているとき使用できます。

9.3.4 fCAN

メインクロックと同一周波数で、CANモジュール専用クロックです。

9.4 クロック出力機能

fC、f8、またはf32をCLKOUT端子から出力できます。

また、メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをBCLKとしてBCLK端子から出力できます。

表9.4にシングルチップモード時でのCLKOUT端子の機能を、表9.5にメモリ拡張モードまたはマイクロプロセッサモード時でのCLKOUT端子の機能を示します。

表9.4 シングルチップモード時でのCLKOUT端子の機能

CM0レジスタ(注1) CM01～CM00ビット	P5_3 / CLKOUT端子の機能
00b	入出力ポートP5_3
01b	fCを出力
10b	f8を出力
11b	f32を出力

注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください

表9.5 メモリ拡張モード、マイクロプロセッサモード時でのCLKOUT端子の機能

CM0レジスタ(注1) CM01～CM00ビット	PM1レジスタ(注2) PM15～PM14ビット	PM0レジスタ(注2) PM07ビット	CLKOUT / BCLK / ALE端子の機能
00b	00b	0	BCLKを出力
	10b	1	“L”を出力(P5_3になりません)
	11b		
	01b	—	ALEを出力
01b	—	—	fCを出力
10b	—	—	f8を出力
11b	—	—	f32を出力

— : 0でも1でもよい

注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. PM0、PM1レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

9.5 パワーコントロール

CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

パワーコントロールには、CPU動作モード、ウェイトモード、ストップモードがあります。CPU動作モードには、メインクロックモード、PLLモード、低速モード、低消費電力モード、オンチップオシレータモード、オンチップオシレータ低消費電力モード、メインクロックダイレクトモードがあります。

図9.13にモード遷移図を示します。

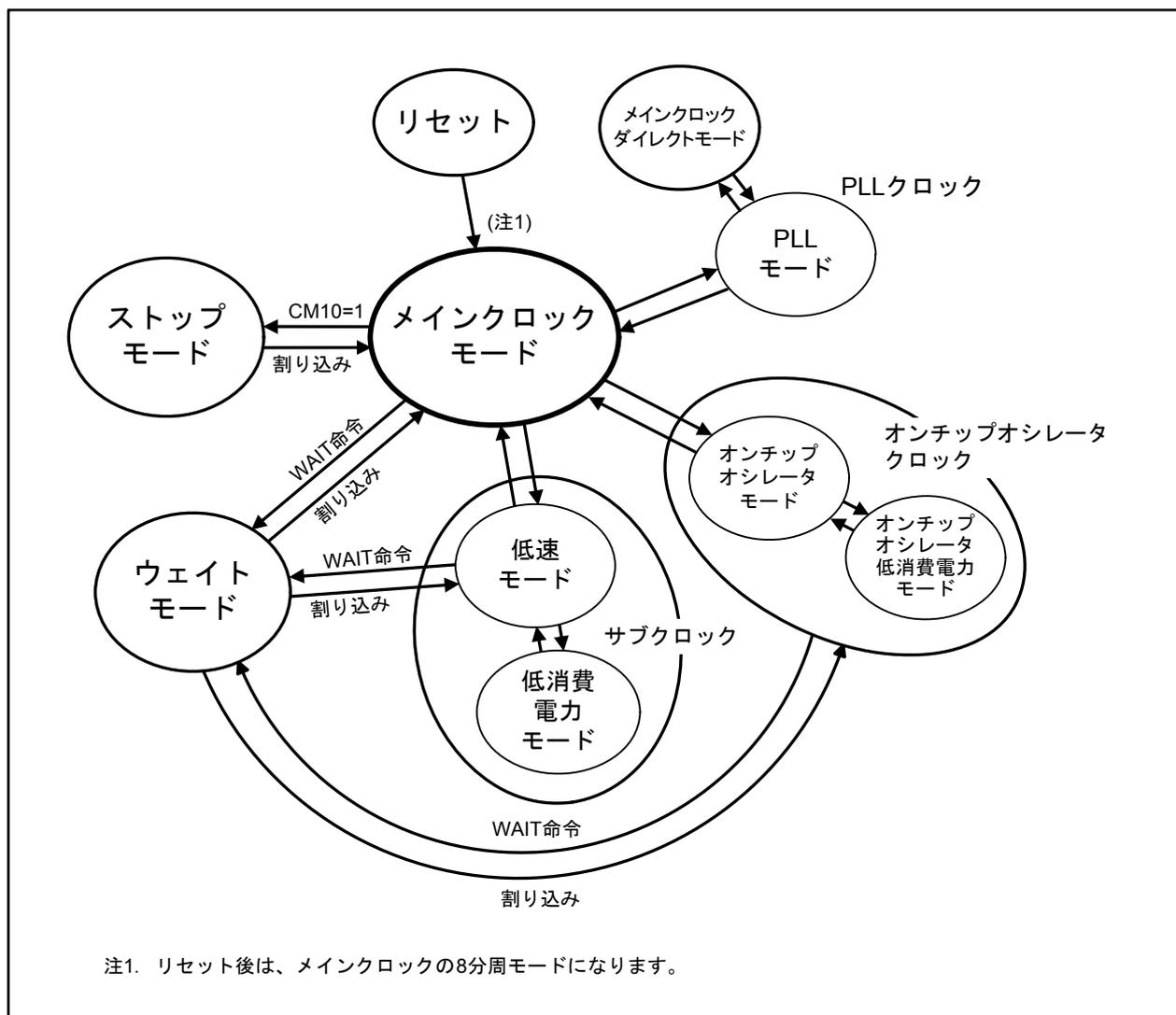


図9.13 モード遷移図

9.5.1 CPU動作モード

CPUクロックとしてメインクロック、サブクロック、オンチップオシレータクロック、PLLクロックが選択できます。CPUクロックを切り替える場合は、切り替え先のクロックが安定してから切り替えてください。サブクロック、オンチップオシレータクロック、PLLクロックを切り替える場合は、一旦メインクロックにしてから別のクロックに切り替えてください。

また、オンチップオシレータクロックからメインクロックに切り替える場合は、オンチップオシレータモードでMCDレジスタのMCD4～MCD0ビットを“01000b”（8分周モード）にしてください。

表9.6にクロック関連ビットの設定と動作モードを示します。

9.5.1.1 メインクロックモード

メインクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。またメインクロックがfPFCになります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.2 PLLモード

PLLクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。またPLLクロックがfPFCになります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.3 低速モード

サブクロックがCPUクロックになります。CM07ビットでCPUクロックをサブクロックに切り替えた後にCM17、CM21ビットを設定することにより、メインクロック、PLLクロック、またはオンチップオシレータクロックがfPFCに使用できます。またこのモードでは、fC32がタイマA、タイマBのカウントソースに使用できます。

低速モードから遷移できるCPU動作モードは、メインクロックモードと低消費電力モードのみです。その他のCPU動作モードに移行する場合は、いったんメインクロックモードにしてからその他のモードに移行してください。

9.5.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックになります。低消費電力モードに移行した後CM21ビットを設定することにより、オンチップオシレータクロックがfPFCに使用できます。また、このモードではfC32がタイマA、タイマBのカウントソースに使用できます。このモードにすると同時にMCDレジスタのMCD4～MCD0ビットは“01000b”(8分周モード)になりますので、次にメインクロックをCPUクロックに切り替えたときは、CPUクロックはメインクロックの8分周になります。ただし、低速モードでオンチップオシレータクロックをfPFCに使用している状態でCM05ビットを“1”にしてメインクロックを停止させると、MCD4～MCD0ビットは“01000b”になりません。CPUクロックをメインクロックに切り替える前にプログラムでMCD4～MCD0ビットを“01000b”に設定してください。

9.5.1.5 オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。またオンチップオシレータクロックがfPFCになります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.6 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。またオンチップオシレータクロックがfPFCになります。サブクロックが供給されている場合、fC32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.7 メインクロックダイレクトモード

メインクロックがCPUクロックになります。PLLクロックがfPFCになります。

PLLモードでCANの動作クロックがfCANの場合、メインクロックダイレクトモードに切り替えてからCAN関連レジスタにアクセスしてください。

表9.6 クロック関連ビットの設定と動作モード

CPUクロック源	動作モード	発振制御				セレクタ		
		CM0レジスタ		PLC0 レジスタ	CM2 レジスタ (注1)	CM1 レジスタ	CM0 レジスタ	PM2 レジスタ
		CM05	CM04	PLC07	CM21	CM17	CM07	PM24
メインクロック	メインクロック モード	0	—	—	0	0	0	0
	メインクロック ダイレクトモード (注2)	0	—	—	0	0	0	1
PLLクロック	PLLモード	0	—	1	0	1	0	0
サブクロック	低速モード	0	1	—	0	0	1	0
	低消費電力モード	1	1	0	0	0	1	0
オンチップ オシレータ クロック	オンチップ オシレータモード	0	—	—	1	0	0	0
	オンチップ オシレータ 低消費電力モード	1	—	0	1	0	0	0

—：0でも1でもよい

注1. CM2レジスタのCM21ビットは発振制御とセレクタを兼ねています。

注2. 詳細は「23.2 CANクロックとCPUクロック」を参照してください。

9.5.2 ウェイトモード

ウェイトモードではCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが“1”（ウォッチドッグタイマのカウントソースはオンチップオシレータクロック）の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

9.5.2.1 周辺機能クロック停止機能

CM0レジスタのCM02ビットが“1”（ウェイトモード時、周辺機能クロックを停止する）の場合、ウェイトモード時にfAD、f1、f8、f32、カウントソースにCM2レジスタのCM21ビットで選択されたクロックを使用したf2nが停止しますので、消費電力が低減できます。fC32とカウントソースにXINクロックまたはオンチップオシレータクロックを選択したf2nは停止しません。

9.5.2.2 ウェイトモードへの移行

CM0レジスタのCM02ビットを“1”にしてウェイトモードへ移行する場合、メインクロックの分周後のCPUクロック周波数が10MHz以下になるようにMCDレジスタのMCD4～MCD0ビットを設定してください。

図9.14にウェイトモードへの移行手順を示します。

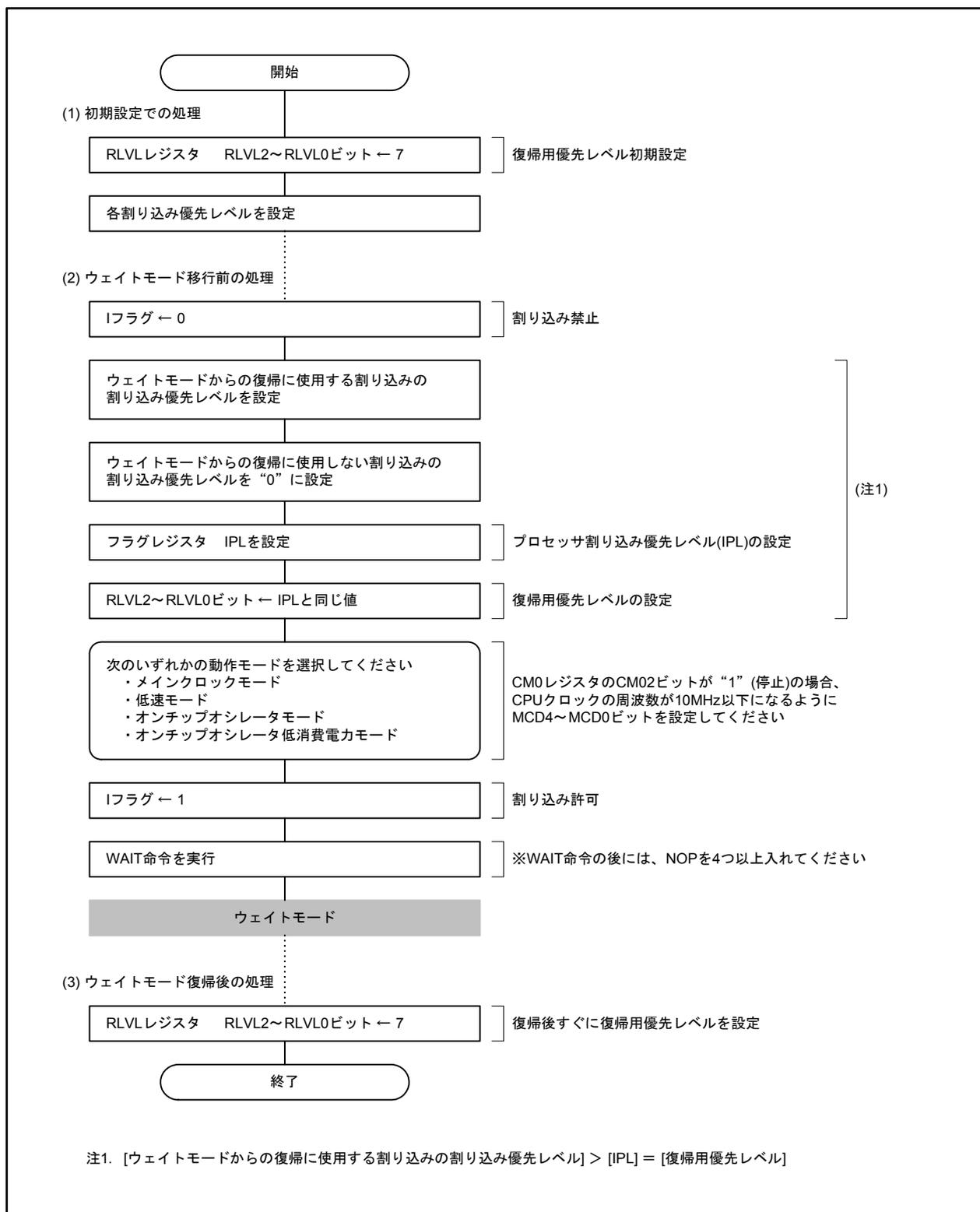


図9.14 ウェイトモードへの移行手順

9.5.2.3 ウェイトモード時の端子の状態

表9.7にウェイトモード時の端子の状態を示します。

表9.7 ウェイトモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス、データバス、 $\overline{CS0} \sim \overline{CS3}$ 、 \overline{BHE}		ウェイトモードに入る直前の状態を保持	/
\overline{RD} 、 \overline{WR} 、 \overline{WRL} 、 \overline{WRH}		“H”	
HLDA、BCLK		“H”	
ALE		“L”	
ポート		ウェイトモードに入る直前の状態を保持	
CLKOUT	fC選択時	クロック出力	
	f8、f32選択時	<ul style="list-style-type: none"> ・CM0レジスタのCM02ビットが“0”(ウェイトモード時、周辺機能クロックは停止しない)の場合：クロック出力 ・CM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックは停止する)の場合：ウェイトモードに入る直前の状態を保持 	

9.5.2.4 ウェイトモードからの復帰

ハードウェアリセット1、2、 \overline{NMI} 割り込み、Vdet4検出割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みを使用しない場合、周辺機能割り込みのILVL2～ILVL0ビットを“000b”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM0レジスタのCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合、すべての周辺機能割り込みがウェイトモードからの復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、周辺機能クロックを使用する周辺機能は停止し、ウェイトモードからの復帰に使用できません。ただし、fC32、外部クロック、カウントソースにXINクロックまたはオンチップオシレータクロックを選択したf2nによって動作する周辺機能の割り込みは、ウェイトモードからの復帰に使用できます。

周辺機能割り込み、または \overline{NMI} 割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表9.8にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.8 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02ビットが“0”の場合	CM02ビットが“1”の場合
NMI割り込み	使用可	使用可
Vdet4検出割り込み	使用可	使用可
シリアルインタフェース 割り込み	内部クロックでも 外部クロックでも使用可	外部クロックまたはf2n(XINクロックまたはオンチップオ シレータクロックを選択)を選択している場合は使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モード、または 単掃引モードで使用可	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモード、またはカウントソースがfC32、 f2n(XINクロックまたはオンチップオシレータクロックを 選択)を選択している場合は使用可
INT割り込み	使用可	使用可
CAN割り込み	使用可	fCANを選択している場合は使用可
インテリジェントI/O 割り込み	使用可	使用しないでください

9.5.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能も停止します。消費電力がもっとも少ないモードです。メインクロックモードからストップモードへ移行してください。

9.5.3.1 ストップモードへの移行

NMI端子が“H”の状態、CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にMCDレジスタのMCD4～MCD0ビットは“01000b”(8分周モード)になります。

図9.15にストップモードへの移行処理を示します。

ストップモードに移行する場合、命令キューにCM1レジスタのCM10ビットを“1”(全クロック停止)にする命令より後の命令が取り込まれてから、プログラムが停止します。ストップモードから復帰したとき、命令キューに取り込まれている命令を実行してから復帰用割り込みルーチンが実行されます。

CM10ビットを“1”にする命令の後には次のようにjmp.b命令を入れてください。

```

例)   fset I           ;Iフラグを“1”にする
      bset 0, cm1     ;全クロック停止 (ストップモード)
      jmp.b LABEL_001 ; jmp.b 命令実行 (jmp.b とラベルの間には命令を
LABEL_001:           ; 入れないですぐ次の命令にジャンプする)
      nop            ; nop(1)
      nop            ; nop(2)
      nop            ; nop(3)
      nop            ; nop(4)
      mov.b #0, prcr ; プロテクト設定
      .
      .
      .

```

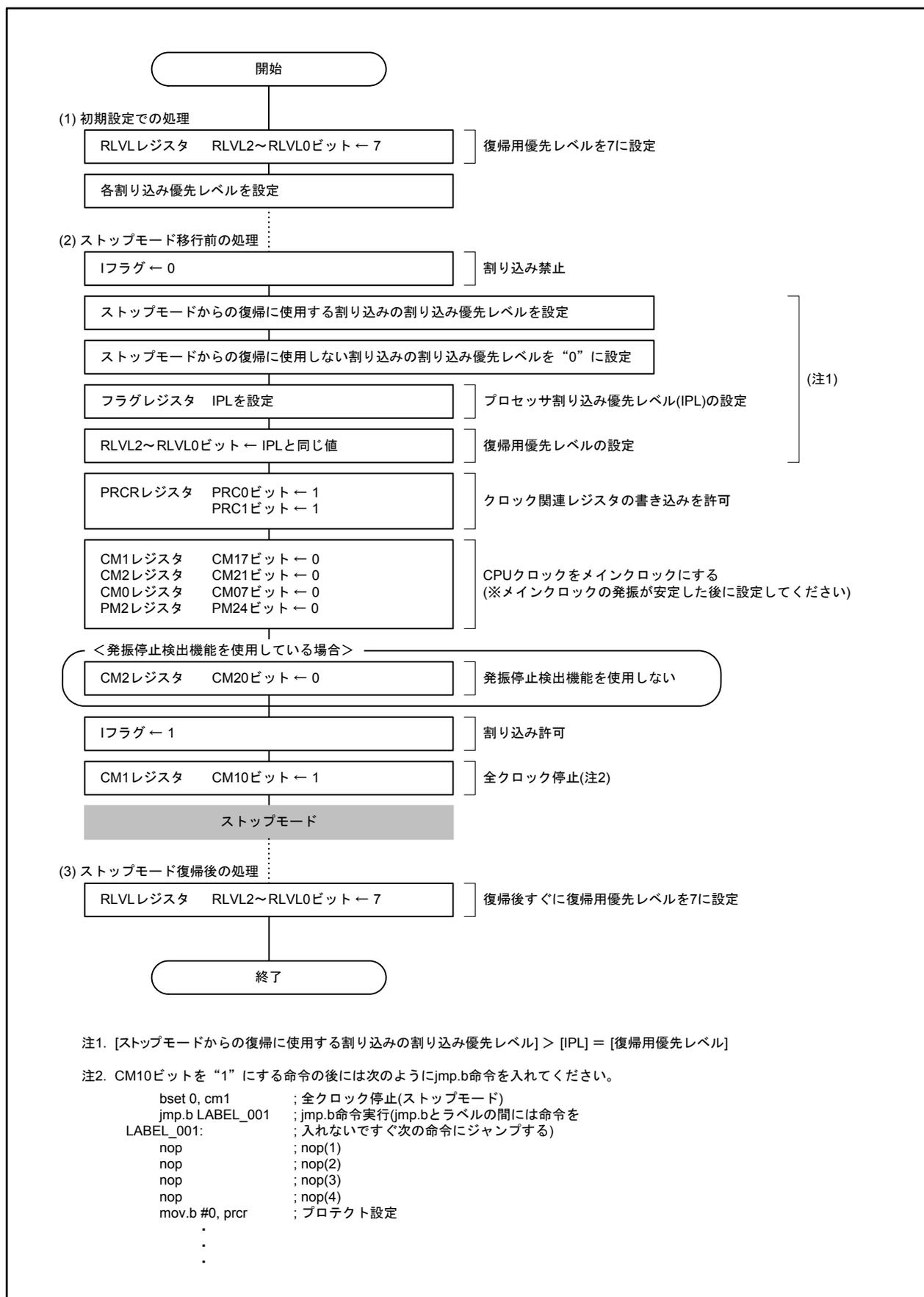


図9.15 ストップモードへの移行処理

9.5.3.2 ストップモード時の端子の状態

表9.9にストップモード時の端子の状態を示します。

表9.9 ストップモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス、データバス、 $\overline{CS0} \sim \overline{CS3}$ 、 BHE		ストップモードに入る直前の状態を保持	/
\overline{RD} 、 \overline{WR} 、 \overline{WRL} 、 \overline{WRH}		“H”	
$HLD\overline{A}$ 、BCLK		“H”	
ALE		“H”	
ポート		ストップモードに入る直前の状態を保持	
CLKOUT	fC選択時	“H”	
	f8、f32選択時	ストップモードに入る直前の状態を保持	
XIN		ハイインピーダンス	
XOUT		“H”	
XCIN、XCOUT		ハイインピーダンス	

9.5.3.3 ストップモードからの復帰

ハードウェアリセット1、 \overline{NMI} 割り込み、 $Vdet4$ 検出割り込み、または周辺機能割り込みによりストップモードから復帰します。ストップモードからの復帰に使用できる周辺機能割り込みは次のとおりです。

- ・キー入力割り込み
- ・ \overline{INT} 割り込み
- ・タイマA、タイマBの割り込み
(イベントカウンタモードで周波数100Hz以下の外部パルスのカウント時)

周辺機能割り込みを使用しないで、ハードウェアリセット1、 \overline{NMI} 割り込み、または $Vdet4$ 検出割り込みで復帰する場合、周辺機能割り込みの $ILVL2 \sim ILVL0$ ビットをすべて“000b”(割り込み禁止)にした後、CM1レジスタのCM10ビットを“1”(全クロック停止)にしてください。

なお、ストップモード時にVCC1端子とVCC2端子に印加する電圧を3.0V以下にする場合、VCC1とVCC2に印加する電圧が推奨電圧条件を満たした後、ハードウェアリセット1により復帰してください。

9.6 システムクロック保護機能

プログラムの暴走でCPUクロックが切り替わらないようにクロックの変更を禁止する機能です。PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM17ビット
- CM2レジスタのCM20ビット
- PLC0、PLC1レジスタの全ビット

また、WAIT命令実行時、CPUクロックは停止しません。

図9.16にシステムクロック保護機能を使用する場合の手順を示します。CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

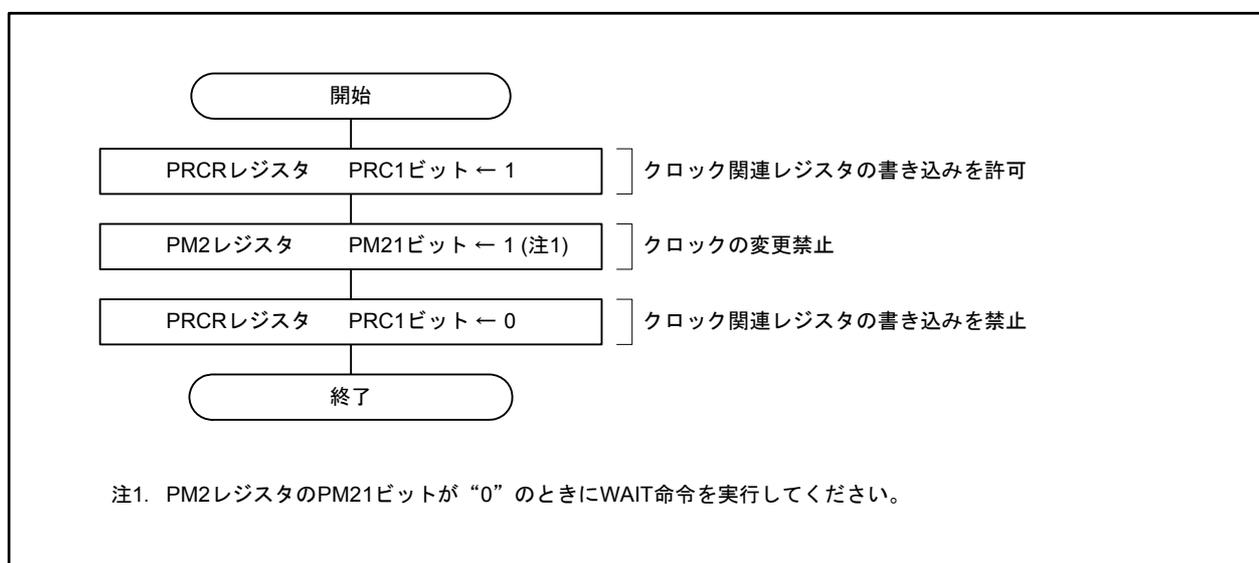


図9.16 システムクロック保護機能を使用する場合の手順

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタを簡単に書き換えられないように保護する機能です。図10.1にPRCRレジスタを示します。

PRC2ビットを“1”（書き込み許可）にした後、SFR領域に書き込みを実行すると“0”（書き込み禁止）になります。PD9レジスタとPS3レジスタは、PRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送、DMACII転送が入らないようにしてください。

PRC0、PRC1、PRC3ビットは“1”を書いた後、SFR領域に書き込みを実行しても“0”になりませんので、プログラムで“0”にしてください。

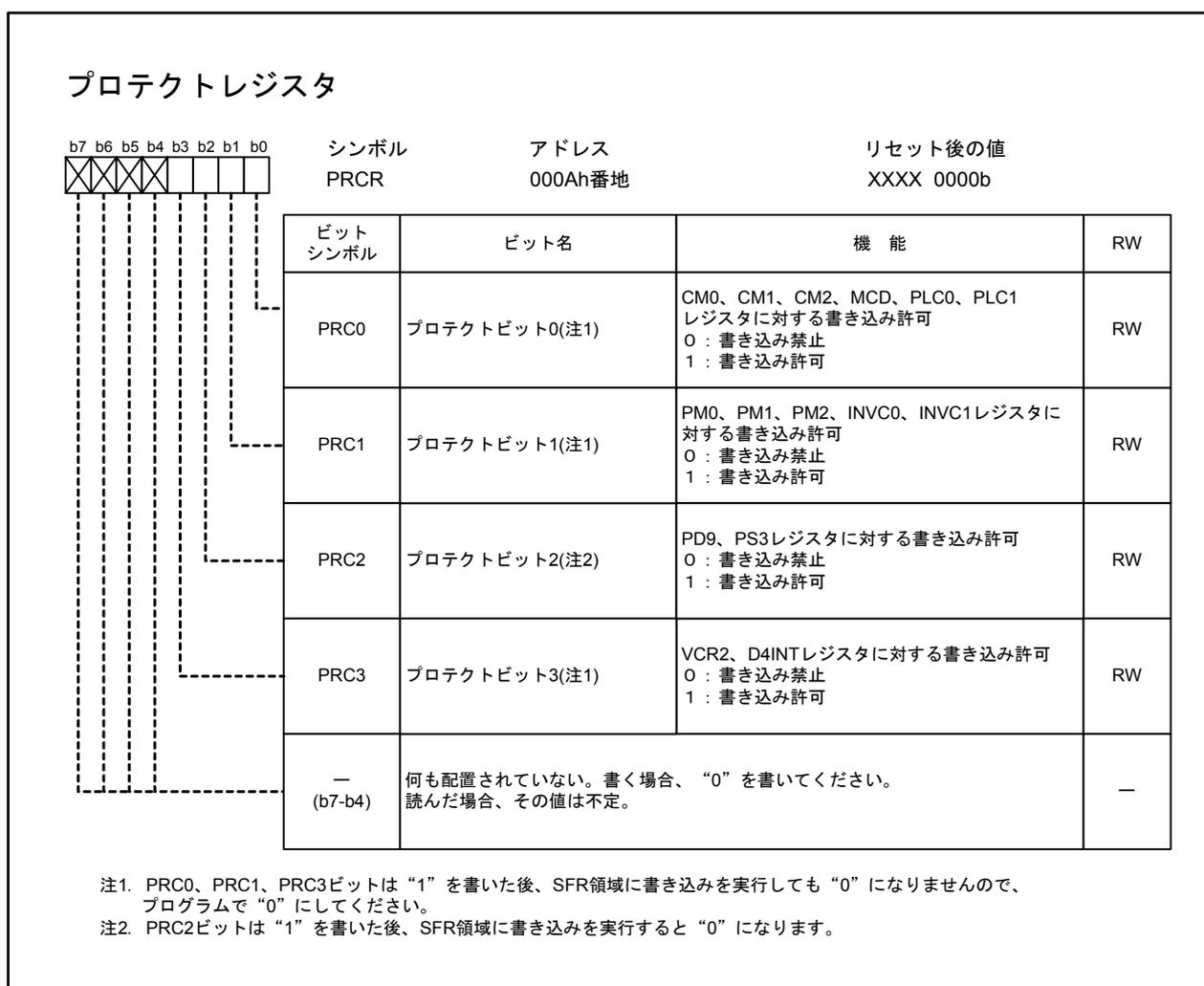


図10.1 PRCRレジスタ

11. 割り込み

11.1 割り込みの分類

図11.1に割り込みの分類を示します。

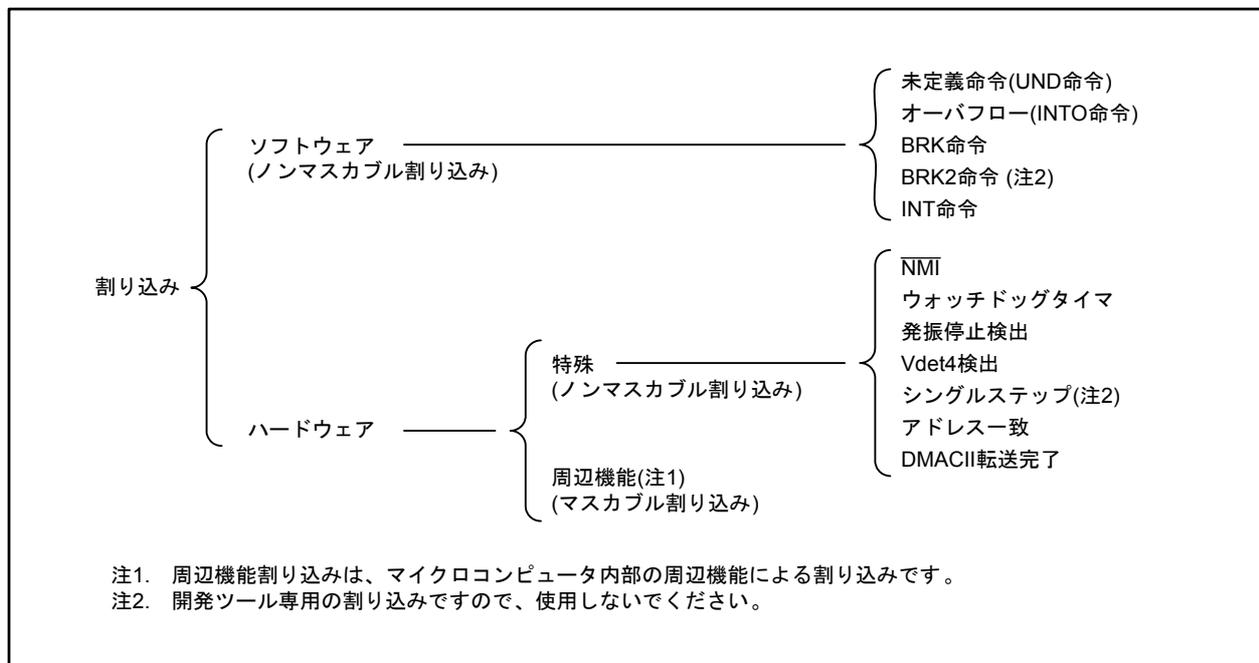


図11.1 割り込みの分類

- マスカブル割り込み

IフラグやIPLによる割り込みの許可、または禁止ができます。また、割り込み優先レベルによる割り込み優先順位の変更ができます。

- ノンマスカブル割り込み

IフラグやIPLの値にかかわらず、割り込みが発生します。

11.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

11.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

11.2.2 オーバフロー割り込み

オーバフロー割り込みはFLGレジスタのOフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、ADDX、CMP、CMPX、DIV、DIVU、DIVX、NEG、RMPA、SBB、SCMPU、SHA、SUB、SUBX

11.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

11.2.4 BRK2割り込み

BRK2割り込みはBRK2命令を実行すると発生します。

開発ツール専用の割り込みですので、使用しないでください。

11.2.5 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号8～54、57は周辺機能割り込みに割り当てられていますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。INT命令を実行すると、FLGレジスタ、PCをスタックに退避し、指定したソフトウェア割り込み番号の可変ベクタをPCに格納します。

退避先のスタックはソフトウェア割り込み番号により異なります。

ソフトウェア割り込み番号0～31ではISP(Uフラグが“0”)に、ソフトウェア割り込み番号32～63ではINT命令実行前に選択されているSP(Uフラグは変化しない)になります。

ただし、周辺機能割り込みでは、割り込み要求受け付け時にFLGレジスタを退避し、Uフラグが“0”(ISPを選択)になります。そのため、ソフトウェア割り込み番号32～54、57では割り込み要因が周辺機能割り込みかINT命令かで使用するSPが異なります。

11.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

11.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みについては、「11.8 $\overline{\text{NMI}}$ 割り込み」を参照してください。

11.3.1.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマについては、「12. ウォッチドッグタイマ」を参照してください。

11.3.1.3 発振停止検出割り込み

発振停止検出機能により、メインクロックの発振停止を検出すると発生する割り込みです。発振停止検出については、「9. クロック発生回路」を参照してください。

11.3.1.4 Vdet4検出割り込み

Vdet4検出機能による割り込みです。Vdet4検出機能については、「6.2 Vdet4検出機能」を参照してください。

11.3.1.5 シングルステップ割り込み

開発ツール専用の割り込みです。使用しないでください。

11.3.1.6 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIERiビット(i=0~7)が“1”(アドレス一致割り込み許可)の場合、RMADiレジスタで示される番地の命令を実行する直前に発生します。

RMADiレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。アドレス一致割り込みについては、「11.10 アドレス一致割り込み」を参照してください。

11.3.1.7 DMACII転送完了割り込み

DMACII機能による転送完了割り込みです。DMACII転送については「14. DMACII」を参照してください。

11.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号8~54、57と同一です。周辺機能割り込みは、マスカブル割り込みです。

周辺機能割り込みの割り込み要因は、表11.2可変ベクタテーブルを参照してください。また、周辺機能については、各機能の説明を参照してください。

11.4 高速割り込み

高速割り込みは、割り込みシーケンスを5サイクルで、復帰を3サイクルで実行できる割り込みです。RLVLレジスタのFSITビットを“1”（割り込み優先レベル7は高速割り込みに使用）にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“111b”（レベル7）にした割り込みが高速割り込みとなります。

高速割り込みに設定できる割り込みは1つだけです。高速割り込みを使用する場合は、複数の割り込みをレベル7にしないでください。また、高速割り込みを使用する場合はRLVLレジスタのDMAIIビットを“0”（割り込み優先レベル7は割り込みに使用）にしてください。

高速割り込みルーチンの先頭番地はVCTレジスタに設定してください。

高速割り込みでは割り込みを受け付けると、FLGレジスタをSVFレジスタへ、PCをSVPレジスタへ退避し、VCTレジスタで示される番地からプログラムを実行します。

復帰する場合はFREIT命令を実行してください。FREIT命令を実行すると、SVFレジスタ、SVPレジスタに退避していた値がFLGレジスタ、PCに復帰します。

高速割り込みはDMA2とDMA3で使用するレジスタを共有しています。そのため、高速割り込みを使用する場合、DMA2とDMA3は使用できません(DMA0とDMA1は使用できます)。

高速割り込みの設定手順を次に示します。

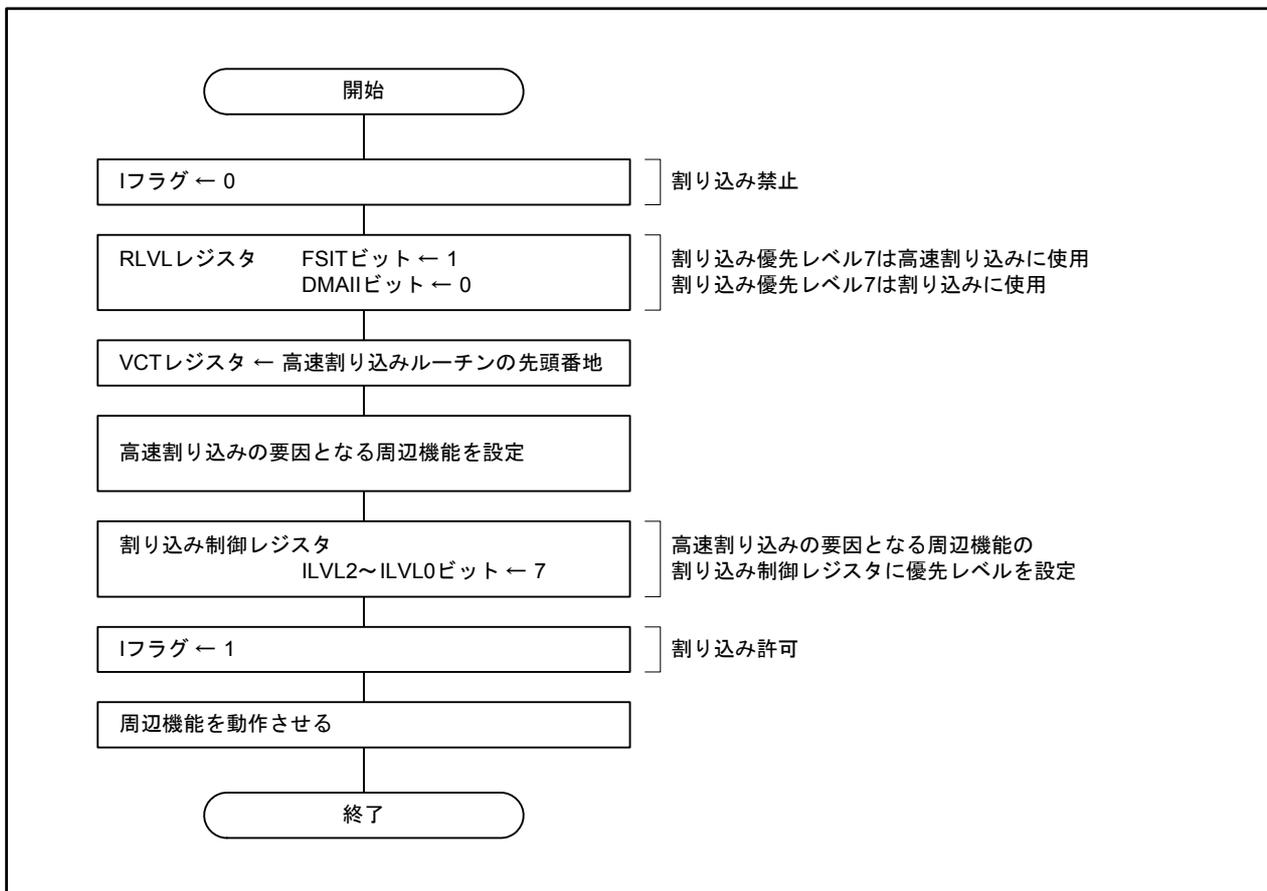


図 11.2 高速割り込みの設定手順

11.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図11.3に割り込みベクタを示します。



図11.3 割り込みベクタ

11.5.1 固定ベクタテーブル

固定ベクタテーブルはFFFFDCh番地からFFFFFh番地に配置されています。表11.1に固定ベクタテーブルを示します。また、固定ベクタテーブルの一部にフラッシュメモリのIDコードチェック機能で使用するIDを割り当てています。詳細は「26.2.2 IDコードチェック機能」を参照してください。

表11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 (番地(L)～番地(H))	備考	参照先
未定義命令	FFFFDCh～FFFFDFh		M32C/80シリーズ ソフトウェアマニュアル
オーバフロー	FFFFE0h～FFFFE3h		
BRK命令	FFFFE4h～FFFFE7h	FFFFE7h番地の内容がFFhの場合は、 可変ベクタテーブル内のソフトウェア 割り込み番号0に格納された番地へ分岐	
アドレス一致	FFFFE8h～FFFFEBh		
—	FFFFECh～FFFFEFh	予約領域	
ウォッチドッグタイマ	FFFFF0h～FFFFF3h	ウォッチドッグタイマ割り込みと 発振停止検出割り込みと Vdet4検出割り込みで共用	ウォッチドッグタイマ、 クロック発生回路、 電圧検出機能
—	FFFFF4h～FFFFF7h	予約領域	
$\overline{\text{NMI}}$	FFFFF8h～FFFFFBh		
リセット	FFFFFCh～FFFFFh		リセット

11.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表11.2に可変ベクタテーブルを示します。

INTBレジスタに設定するベクタの先頭番地は偶数番地にしてください。偶数番地を指定した方が割り込みシーケンスの実行速度が速くなります。

表 11.2 可変ベクタテーブル(1/2)

割り込み要因	ベクタ番地 (番地(L)～番地(H))(注1)	ソフトウェア 割り込み番号	参照先
BRK命令(注2)	+0～+3(0000h～0003h)	0	M32C/80シリーズ ソフトウェアマニュアル
予約領域	+4～+31(0004h～001Fh)	1～7	
DMA0	+32～+35(0020h～0023h)	8	DMAC
DMA1	+36～+39(0024h～0027h)	9	
DMA2	+40～+43(0028h～002Bh)	10	
DMA3	+44～+47(002Ch～002Fh)	11	
タイマA0	+48～+51(0030h～0033h)	12	タイマA
タイマA1	+52～+55(0034h～0037h)	13	
タイマA2	+56～+59(0038h～003Bh)	14	
タイマA3	+60～+63(003Ch～003Fh)	15	
タイマA4	+64～+67(0040h～0043h)	16	
UART0送信、NACK(注3)	+68～+71(0044h～0047h)	17	シリアル インタフェース
UART0受信、ACK(注3)	+72～+75(0048h～004Bh)	18	
UART1送信、NACK(注3)	+76～+79(004Ch～004Fh)	19	
UART1受信、ACK(注3)	+80～+83(0050h～0053h)	20	
タイマB0	+84～+87(0054h～0057h)	21	タイマB
タイマB1	+88～+91(0058h～005Bh)	22	
タイマB2	+92～+95(005Ch～005Fh)	23	
タイマB3	+96～+99(0060h～0063h)	24	
タイマB4	+100～+103(0064h～0067h)	25	
$\overline{\text{INT}}5$	+104～+107(0068h～006Bh)	26	割り込み
$\overline{\text{INT}}4$	+108～+111(006Ch～006Fh)	27	
$\overline{\text{INT}}3$	+112～+115(0070h～0073h)	28	
$\overline{\text{INT}}2$	+116～+119(0074h～0077h)	29	
$\overline{\text{INT}}1$	+120～+123(0078h～007Bh)	30	
$\overline{\text{INT}}0$	+124～+127(007Ch～007Fh)	31	
タイマB5	+128～+131(0080h～0083h)	32	タイマB
UART2送信、NACK(注3)	+132～+135(0084h～0087h)	33	シリアル インタフェース
UART2受信、ACK(注3)	+136～+139(0088h～008Bh)	34	
UART3送信、NACK(注3)	+140～+143(008Ch～008Fh)	35	
UART3受信、ACK(注3)	+144～+147(0090h～0093h)	36	
UART4送信、NACK(注3)	+148～+151(0094h～0097h)	37	
UART4受信、ACK(注3)	+152～+155(0098h～009Bh)	38	

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタート/ストップコンディション検出が割り込み要因になります。

表 11.2 可変ベクタテーブル(2/2)

割り込み要因	ベクタ番地 (番地(L)~番地(H))(注1)	ソフトウェア 割り込み番号	参照先
バス衝突検出、スタートコンディション 検出またはストップコンディション検出 (UART2)(注3)	+156~+159(009Ch~009Fh)	39	シリアル インタフェース
バス衝突検出、スタートコンディション 検出またはストップコンディション検出 (UART3またはUART0)(注4)	+160~+163(00A0h~00A3h)	40	
バス衝突検出、スタートコンディション 検出またはストップコンディション検出 (UART4またはUART1)(注4)	+164~+167(00A4h~00A7h)	41	
A/D0	+168~+171(00A8h~00ABh)	42	A/Dコンバータ
キー入力	+172~+175(00ACh~00AFh)	43	割り込み
インテリジェントI/O割り込み0、 CAN10(注5)、UART5受信	+176~+179(00B0h~00B3h)	44	インテリジェントI/O CAN UART5,6 INT
インテリジェントI/O割り込み1、 CAN11(注5)、UART5送信	+180~+183(00B4h~00B7h)	45	
インテリジェントI/O割り込み2	+184~+187(00B8h~00BBh)	46	
インテリジェントI/O割り込み3	+188~+191(00BCh~00BFh)	47	
インテリジェントI/O割り込み4	+192~+195(00C0h~00C3h)	48	
インテリジェントI/O割り込み5、 CAN12(注5)、CAN1ウェイクアップ	+196~+199(00C4h~00C7h)	49	
インテリジェントI/O割り込み6	+200~+203(00C8h~00CBh)	50	
インテリジェントI/O割り込み7	+204~+207(00CCh~00CFh)	51	
インテリジェントI/O割り込み8	+208~+211(00D0h~00D3h)	52	
インテリジェントI/O割り込み9、 CAN00(注5)、UART6受信、INT6	+212~+215(00D4h~00D7h)	53	
インテリジェントI/O割り込み10、 CAN01(注5)、UART6送信、INT7	+216~+219(00D8h~00DBh)	54	
予約領域	+220~+227(00DCh~00E3h)	55~56	—
インテリジェントI/O割り込み11、 CAN02(注5)、INT8	+228~+231(00E4h~00E7h)	57	インテリジェントI/O CAN、INT
予約領域	+232~+255(00E8h~00FFh)	58~63	—
INT命令(注2)	+0~+3(0000h~0003h) ~ +252~+255(00FCh~00FFh)	0 ~ 63	割り込み

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタート/ストップコンディション検出が割り込み要因になります。

注4. UART0、UART3のどちらの割り込みを使用するかは、IFSRレジスタのIFSR6ビットで、UART1、UART4のどちらの割り込みを使用するかは、IFSR7ビットで選択してください。

注5. CAN割り込み要因は、M32C/87Bでは使用できません。M32C/87AではCAN00、CAN01、CAN02のみ使用できます。

11.6 割り込み要求の受け付け

ソフトウェア割り込みは、対象命令を実行すると割り込みが受け付けられます。ただしINTO命令の場合、Oフラグが“1”の条件が必要です。特殊割り込みは、割り込み要求が発生すると割り込みが受け付けられます。

周辺機能割り込みは次の3つの条件がすべて成立したとき受け付けられます。

- ・Iフラグ = “1”
- ・IRビット = “1”
- ・ILVL2～ILVL0ビット > IPL

Iフラグ、IPL、IRビット、ILVL2～ILVL0ビットはそれぞれ独立しており、互いに影響を与えることはありません。IフラグとIPLはFLGレジスタにあります。IRビットとILVL2～ILVL0ビットは割り込み制御レジスタにあります。

11.6.1 IフラグとIPL

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、すべてのマスカブル割り込みは許可され、“0”（禁止）にすると禁止されます。Iフラグはリセット後“0”になります。

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを示します。要求があった割り込みの優先レベルがIPLより大きい場合、その割り込みは許可されます。

表11.3にIPLの内容による割り込み許可レベルを示します。

表11.3 IPLの内容による割り込み許可レベル

IPL2～IPL0	許可される割り込み優先レベル
0	レベル1以上を許可
1	レベル2以上を許可
2	レベル3以上を許可
3	レベル4以上を許可
4	レベル5以上を許可
5	レベル6以上を許可
6	レベル7以上を許可
7	すべてのマスカブル割り込みを禁止

11.6.2 割り込み制御レジスタとRLVLレジスタ

周辺機能割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。図11.4、図11.5に割り込み制御レジスタを、図11.6にRLVLレジスタを示します。

割り込み制御レジスタ

シンボル	アドレス	リセット後の値
TA0IC~TA4IC	006Ch、008Ch、006Eh、008Eh、0070h番地	XXXX X000b
TB0IC~TB5IC	0094h、0076h、0096h、0078h、0098h、0069h番地	XXXX X000b
S0TIC~S4TIC	0090h、0092h、0089h、008Bh、008Dh番地	XXXX X000b
S0RIC~S4RIC	0072h、0074h、006Bh、006Dh、006Fh番地	XXXX X000b
BCN0IC~BCN4IC	0071h、0091h、008Fh、0071h(注1)、0091h(注2)番地	XXXX X000b
DM0IC~DM3IC	0068h、0088h、006Ah、008Ah番地	XXXX X000b
AD0IC	0073h番地	XXXX X000b
KUPIC	0093h番地	XXXX X000b
IIO0IC~IIO5IC	0075h、0095h、0077h、0097h、0079h、0099h番地	XXXX X000b
IIO6IC~IIO11IC	007Bh、009Bh、007Dh、009Dh、007Fh、0081h番地	XXXX X000b
CAN0IC~CAN2IC	009Dh、007Fh、0081h番地(注3)	XXXX X000b
CAN3IC~CAN5IC	0075h、0095h、0099h番地(注3)	XXXX X000b



ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0(割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
ILVL1		RW	
ILVL2		RW	
IR		割り込み要求ビット(注4) 0 : 割り込み要求なし 1 : 割り込み要求あり	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

- 注1. BCN0ICレジスタとBCN3ICレジスタは番地を共用しています。
- 注2. BCN1ICレジスタとBCN4ICレジスタは番地を共用しています。
- 注3. CAN関連レジスタは、M32C/87Bでは使用できません。M32C/87AではCAN0IC~CAN2ICのみ使用できます。CAN0ICレジスタはIIO9ICレジスタと、CAN1ICレジスタはIIO10ICレジスタと、CAN2ICレジスタはIIO11ICレジスタと番地を共用しています。CAN3ICレジスタはIIO0ICレジスタと、CAN4ICレジスタはIIO1ICレジスタと、CAN5ICレジスタはIIO5ICレジスタと番地を共用しています。
CAN00割り込みはCAN0ICで設定してください。
CAN01割り込みはCAN1ICで設定してください。
CAN02割り込みはCAN2ICで設定してください。
CAN10割り込みはCAN3ICで設定してください。
CAN11割り込みはCAN4ICで設定してください。
CAN12割り込み、CAN1ウェイクアップ割り込みはCAN5ICで設定してください。
- 注4. “0”のみ書けます。“1”は書かないでください。

図 11.4 割り込み制御レジスタ (1)

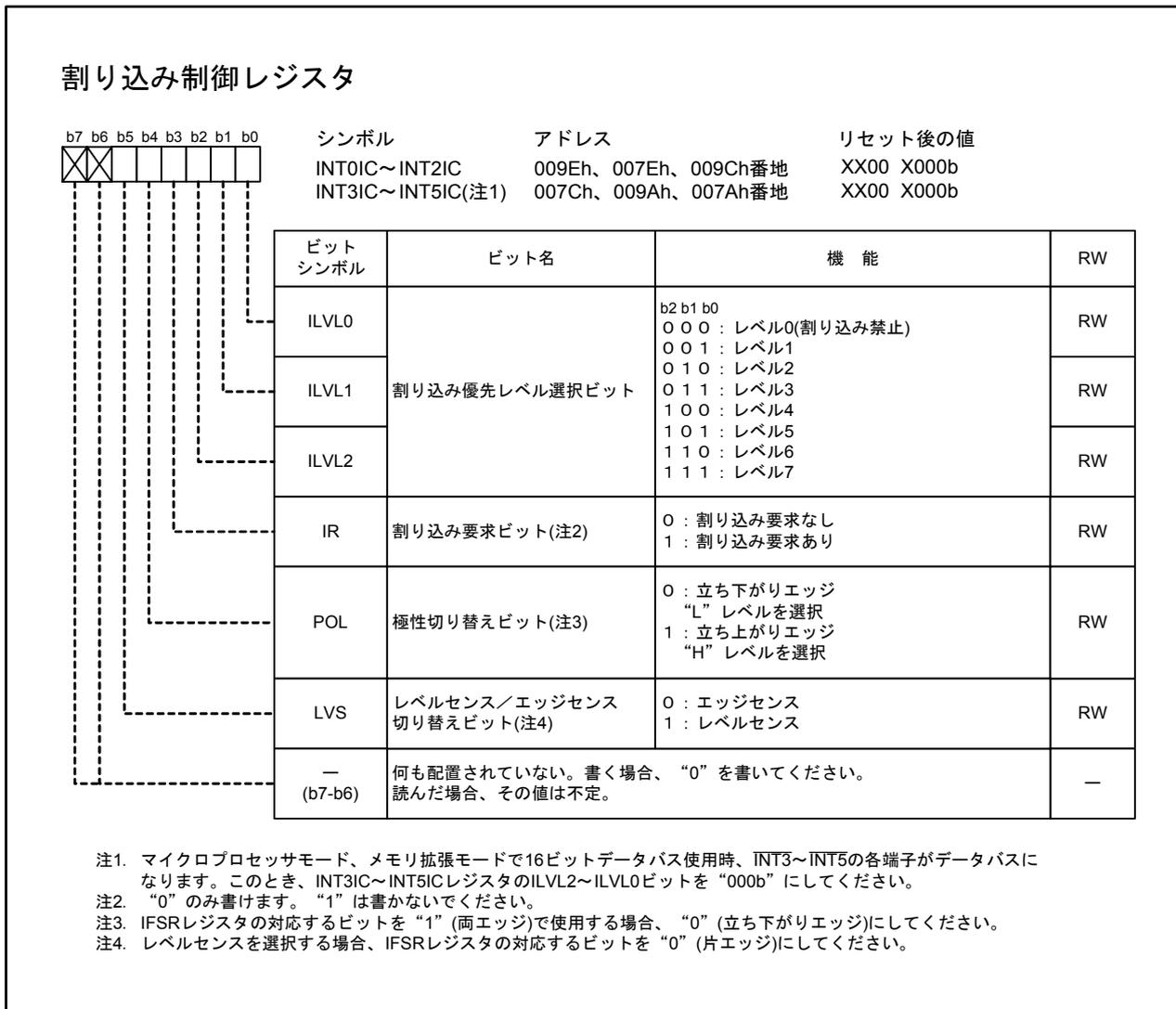


図 11.5 割り込み制御レジスタ (2)

11.6.2.1 ILVL2~ILVL0ビット

ILVL2~ILVL0ビットで割り込み優先レベルを選択します。割り込み優先レベルの値が大きいほど割り込みの優先順位が高くなります。

割り込み要求発生時、割り込み優先レベルはIPLと比較され、割り込みの優先レベルがIPLより大きい場合だけ、その割り込みは許可されます。ILVL2~ILVL0ビットを“000b”(レベル0)にすると、その割り込みは禁止されます。

11.6.2.2 IRビット

IRビットは割り込み要求が発生すると、ハードウェアによって“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、割り込みシーケンスを実行するとハードウェアによってIRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

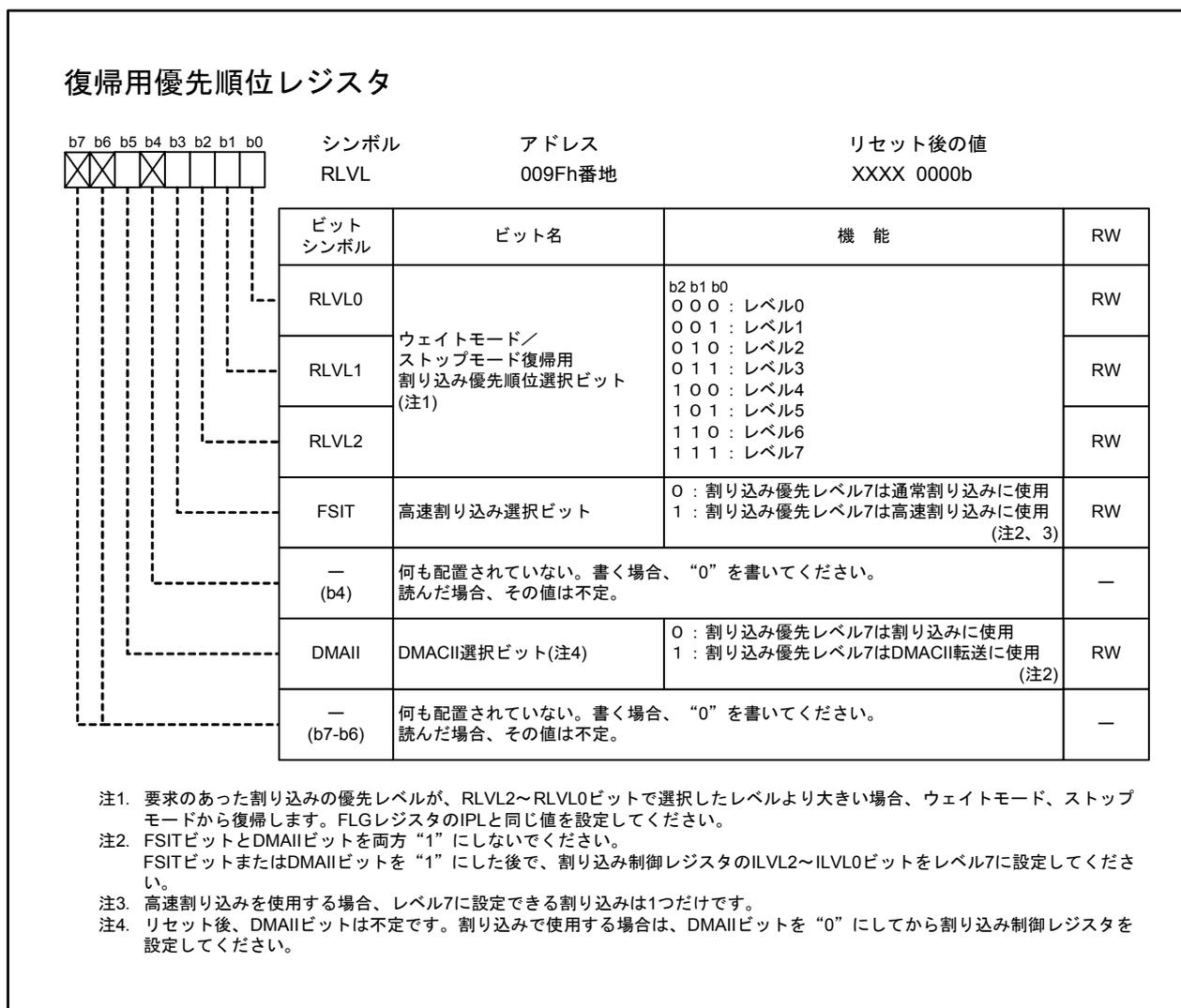


図 11.6 RLVL レジスタ

11.6.2.3 RLVL2～RLVL0ビット

ウェイトモードやストップモードの解除に割り込みを使用する場合は、「9.5.2 ウェイトモード」、
「9.5.3 ストップモード」を参照してください。

11.6.3 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位を判定し、次のサイクルから割り込みシーケンスに移ります。ただし、SCMPU、SIN、SMOVB、SMOVF、SMOVU、SSTR、SOUT、RMPAの各命令では、命令実行中に割り込み要求が発生すると、CPUは命令の実行を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

- (1) 000000h番地(高速割り込みの場合、000002h番地)を読むことで、CPUが割り込み情報(割り込み番号)を獲得する。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になる。
- (2) 割り込みシーケンス直前のFLGレジスタがCPU内部の一時レジスタ(注1)に退避される。
- (3) FLGレジスタの各ビットは次のようになる。
 - Iフラグが“0”(割り込み禁止)
 - Dフラグが“0”(シングルステップ割り込み禁止)
 - Uフラグが“0”(ISPを指定)
- (4) CPU内部の一時レジスタがスタックに退避される。高速割り込みの場合は、SVFレジスタに退避される。
- (5) PCがスタックに退避される。高速割り込みの場合は、SVPレジスタに退避される。
- (6) 受け付けた割り込みの割り込み優先レベルがIPLに設定される。
- (7) 受け付けた割り込みに対応する割り込みベクタがPCに格納される。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

11.6.4 割り込み応答時間

図11.7に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチンの最初の命令を実行するまでの時間を示します。この時間は割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図11.7の(a))と割り込みシーケンスを実行する時間(図11.7の(b))で構成されます。

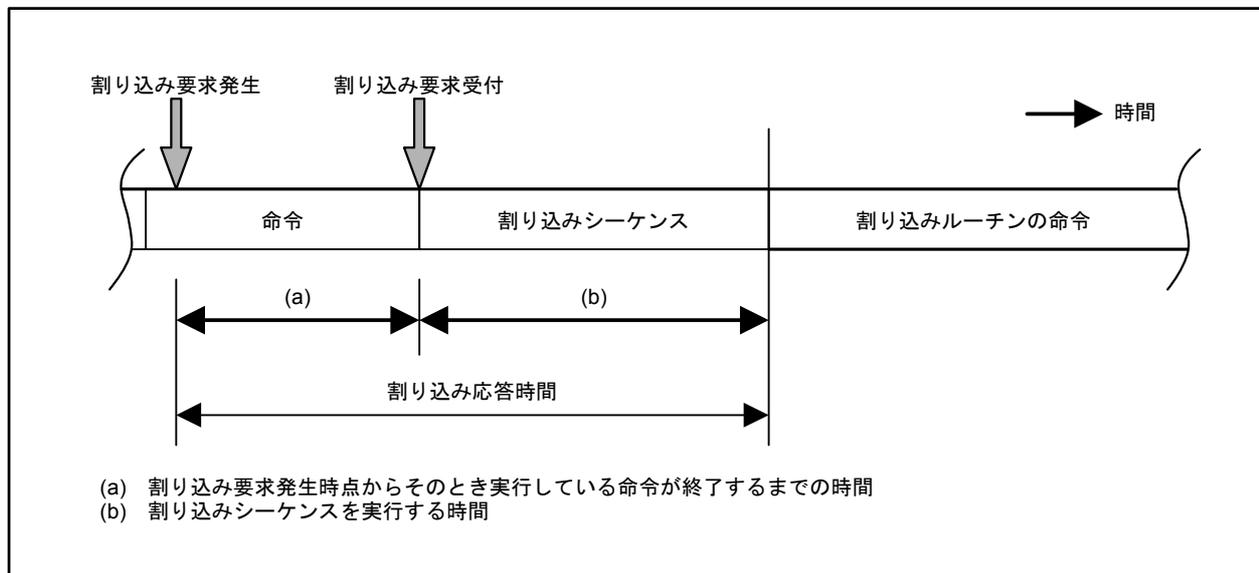


図11.7 割り込み応答時間

- (a)の時間は、実行している命令によって異なります。この時間が最も長くなる命令は、DIV命令、DIVX命令、DIVU命令で最長42サイクルです。
(b)の時間は表11.4のとおりです。

表11.4 割り込みシーケンス実行時間(注1)

割り込み	実行時間 (CPUクロック換算)
周辺機能	14
INT命令	12
NMI ウォッチドッグタイマ 未定義命令 アドレス一致	13
オーバフロー	14
BRK命令(可変ベクタ)	17
BRK命令(固定ベクタ)	19
高速割り込み	5

注1. 割り込みベクタを内部ROMの偶数番地に配置したときの値です。ただし、高速割り込みは除きます。

11.6.5 割り込み要求受け付け時のIPLの変化

周辺機能割り込み要求が受け付けられると、フラグレジスタのIPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込みは、割り込み優先レベルをもちません。これらの割り込み要求が受け付けられたときは、表11.5に示す値がフラグレジスタのIPLに設定されます。

表 11.5 割り込み優先レベルを持たない割り込みとIPLの関係

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 $\overline{\text{NMI}}$ 、発振停止検出、Vdet4検出、DMACII転送完了割り込み	7
ソフトウェア、アドレス一致	変化しない

11.6.6 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。図11.8に割り込み要求受け付け前と後のスタックの状態を示します。その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を1命令で退避できます。

高速割り込みは「11.4 高速割り込み」を参照してください。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

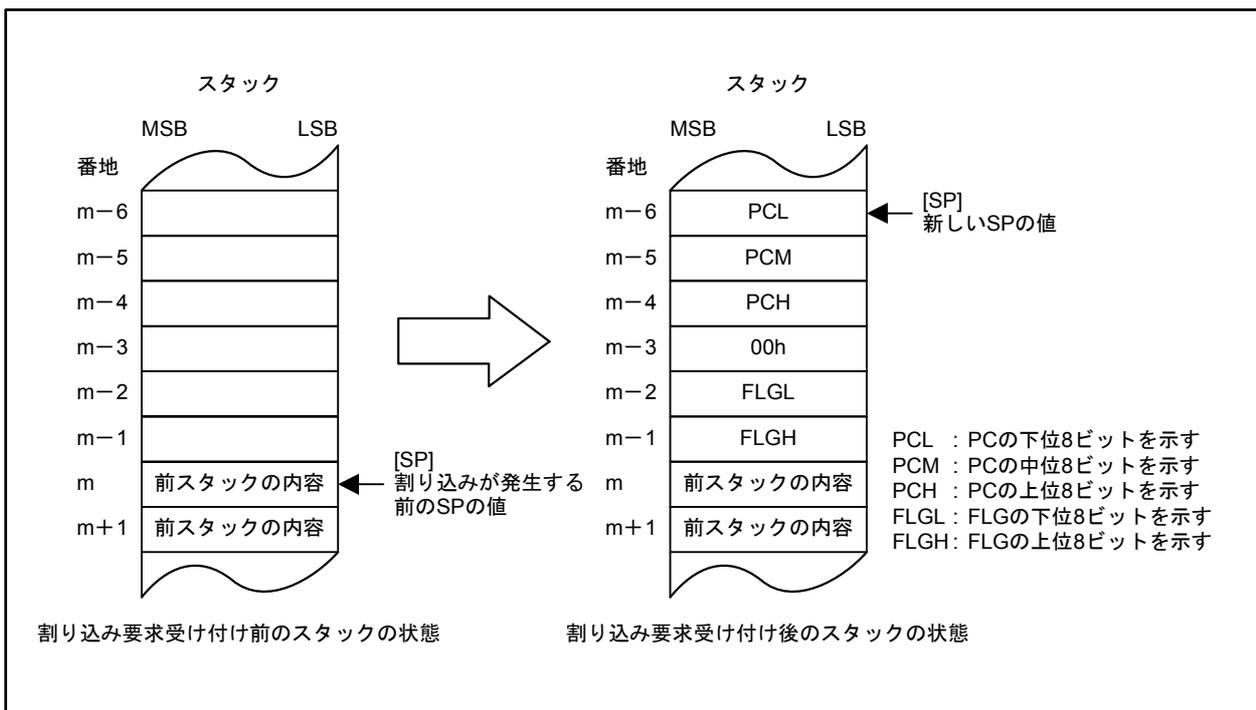


図 11.8 割り込み要求受け付け前と後のスタックの状態

11.6.7 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻り、中断していた処理を続けます。高速割り込みでは、FREIT命令を使用します。詳細は「11.4 高速割り込み」を参照してください。

割り込みルーチンでプログラムによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REITまたはFREIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

11.6.8 割り込み優先順位

サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先順位は、ILVL2～ILVL0ビットによって任意の優先順位を選択できます。

NMI、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図11.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンへ分岐します。



図11.9 ハードウェア割り込みの割り込み優先順位

11.6.9 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、サンプリング時点で2つ以上の割り込み要求が存在した場合、最も優先順位の高い割り込みを選択するための回路です。

図11.10に割り込み優先レベル判定回路を示します。

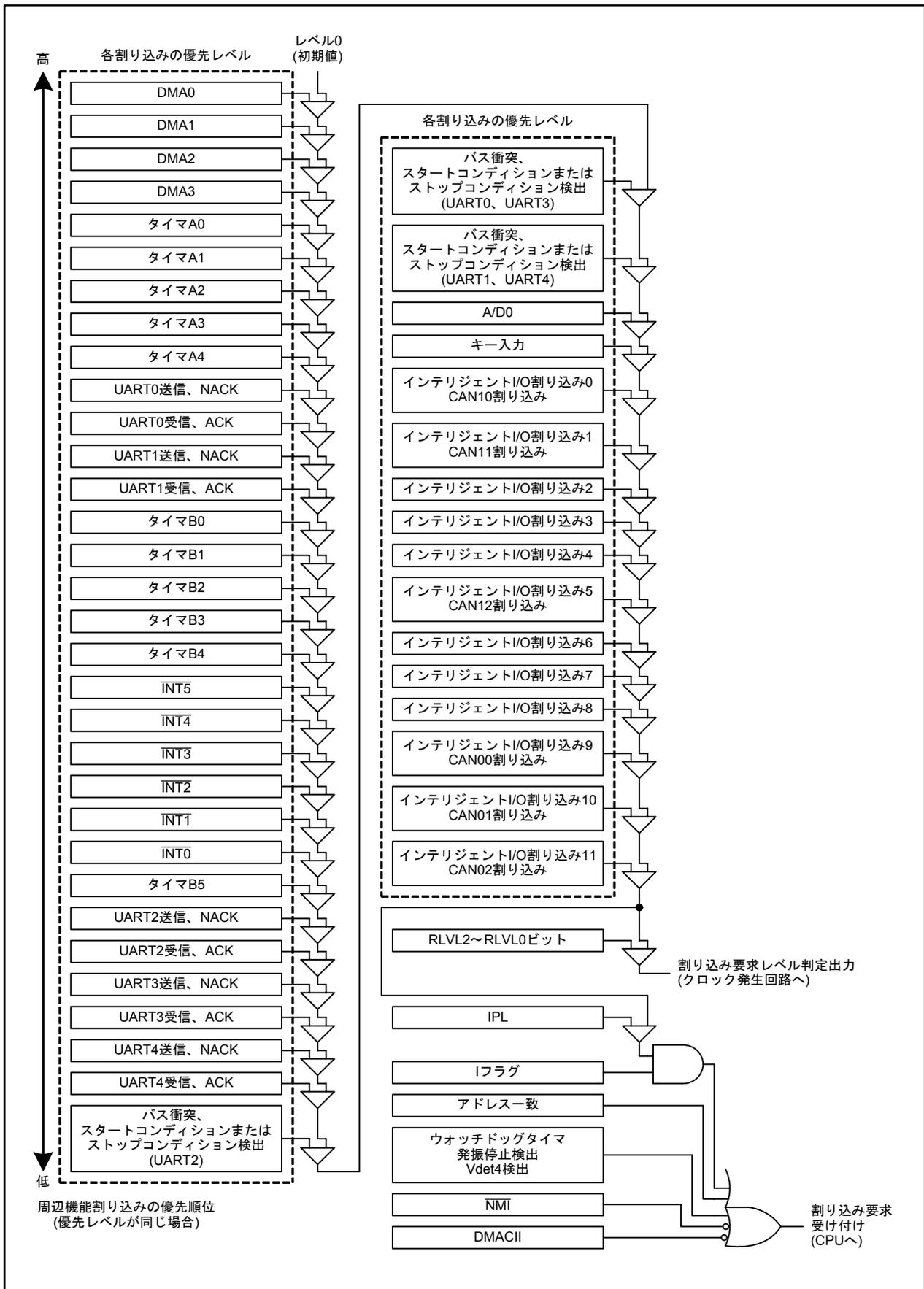


図 11.10 割り込み優先レベル判定回路

11.7 $\overline{\text{INT}}$ 割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT8}}$ 割り込みは外部入力による割り込みです。 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 割り込みは入力信号のエッジで割り込みを発生させるエッジセンスか、レベルで割り込みを発生させるレベルセンスが選択できます。 $\overline{\text{INT6}} \sim \overline{\text{INT8}}$ 割り込みは144ピン版のみあり、エッジセンスで使用します。

$\overline{\text{INT0}} \sim \overline{\text{INT5}}$ のエッジセンスでは、 INTiIC レジスタのLVSビットを“0”(エッジセンス)にし、POLビットとIFSRレジスタのIFSRiビット($i=0 \sim 5$)で、立ち上がりエッジ、立ち下がりエッジ、両エッジが選択できます。IFSRiビットを“1”(両エッジ)にする場合は、対応するPOLビットを“0”(立ち下がりエッジ)にしてください。端子に選択したエッジが入力されるとIRビットが“1”になります。

$\overline{\text{INT0}} \sim \overline{\text{INT5}}$ のレベルセンスでは、LVSビットを“1”(レベルセンス)にし、POLビットで“L”レベル、“H”レベルが選択できます。IFSRiビットは“0”(片エッジ)にしてください。端子に選択したレベルが入力されている間、IRビットは“1”を保持し、割り込み許可ならば繰り返し割り込みが受け付けられます。入力レベルが変化した場合、割り込みが受け付けられるか、またはプログラムで“0”を書くとIRビットは“0”になります。

INTiIC レジスタのILVL2 \sim ILVL0ビットで割り込みの許可または禁止を設定します。

$\overline{\text{INT6}} \sim \overline{\text{INT8}}$ のエッジセンスでは、IFSRレジスタのIFSRjビット($j=10 \sim 12$)で立ち上がりエッジまたは立ち下がりエッジを選択します。割り込みの許可、禁止はIIOkIEレジスタ($k=9 \sim 11$)のINTiEビットと、IIOkICレジスタのILVL2 \sim ILVL0ビットで設定します。

詳細は「11.11 インテリジェントI/O、CAN、UART5、UART6、 $\overline{\text{INT6}} \sim \overline{\text{INT8}}$ 割り込み」を参照してください。

図11.11に $\overline{\text{INTi}}$ 割り込み($i=0 \sim 5$)発生要因の設定手順を、図11.12に $\overline{\text{INTi}}$ 割り込み($i=6 \sim 8$)発生要因の設定手順を、図11.13にIFSRレジスタを、図11.14にIFSRレジスタを示します。

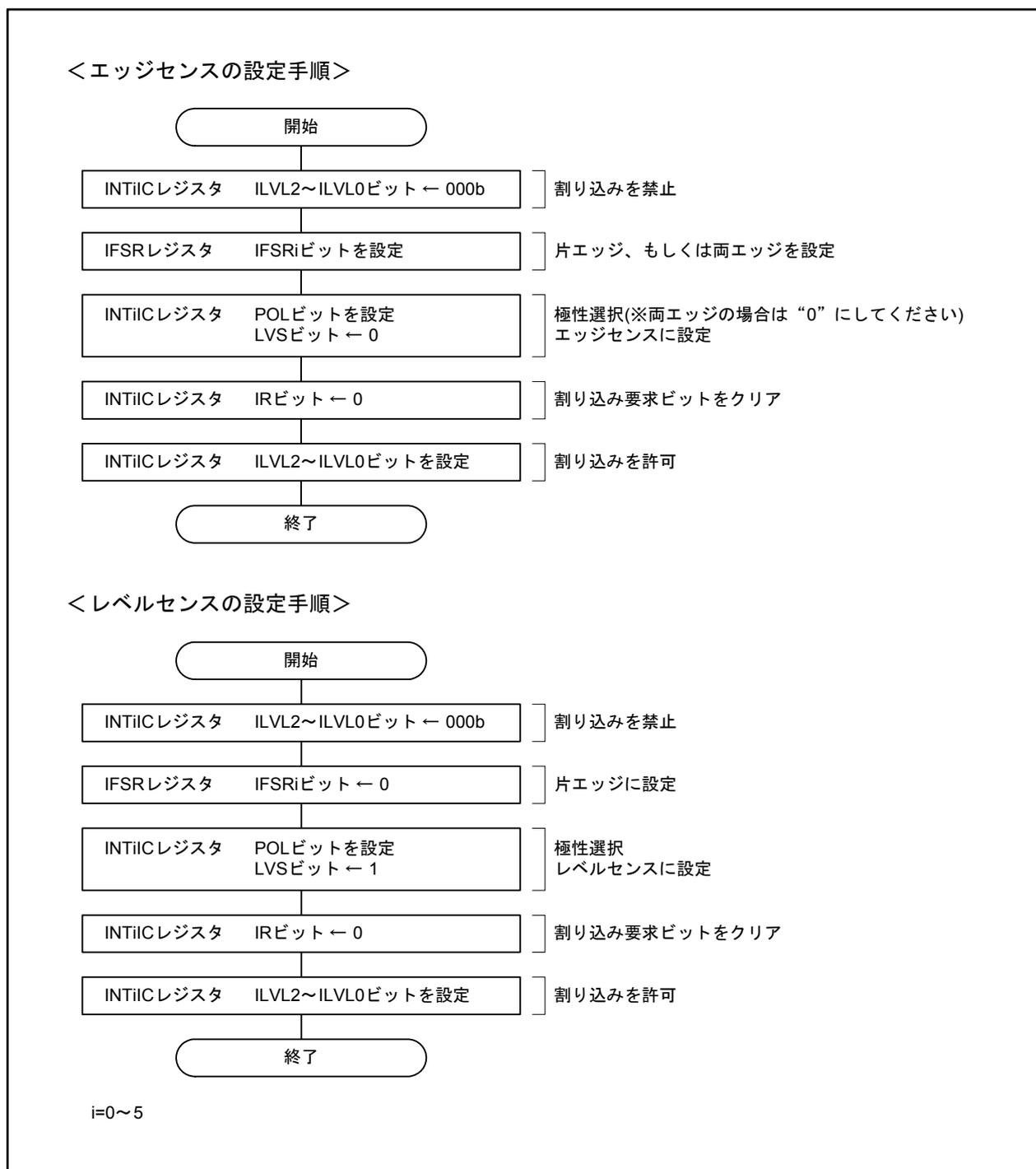


図 11.11 INTi割り込み(i=0~5)発生要因の設定手順

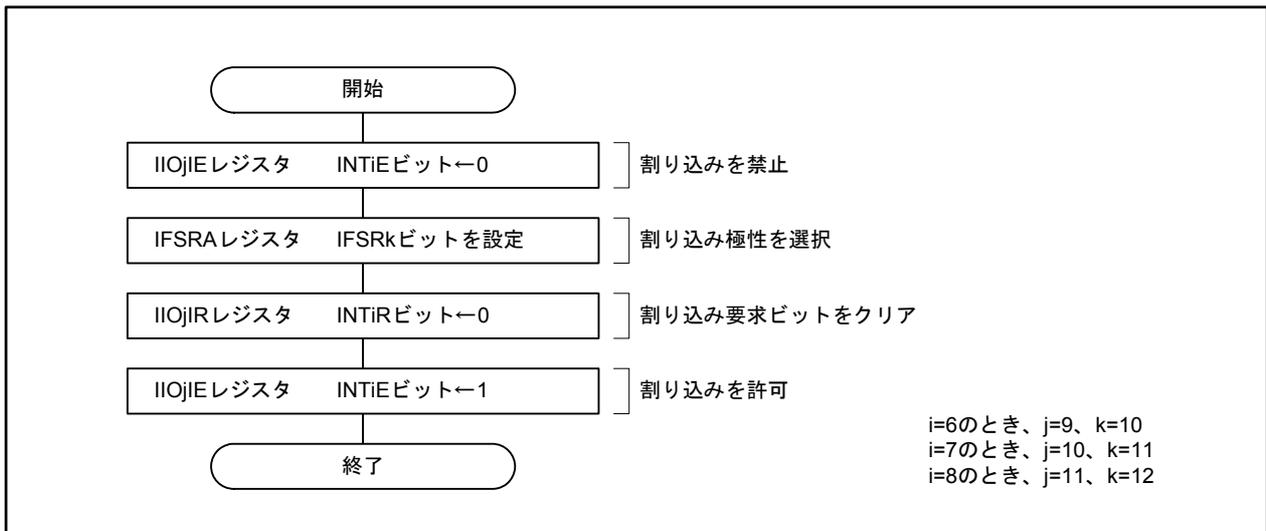


図 11.12 INTi割り込み(i=6～8)発生要因の設定手順

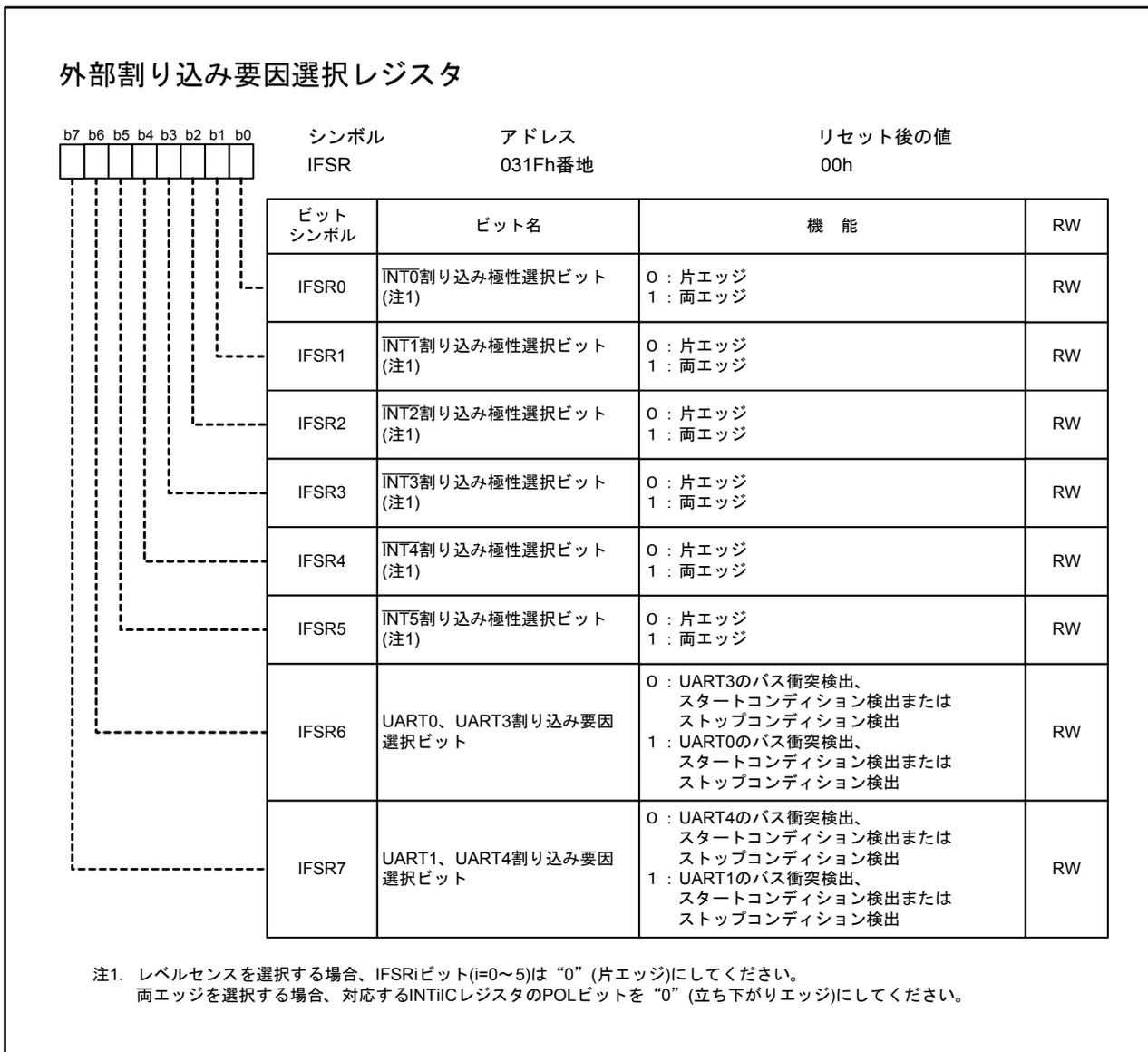


図 11.13 IFSR レジスタ

外部割り込み要因選択レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0			

シンボル

IFSRA

アドレス

031Eh番地

リセット後の値

00h

ビット シンボル	ビット名	機 能	RW
IFSRA10	INT6割り込み極性選択ビット	0 : 立ち下がり片エッジ 1 : 立ち上がり片エッジ	RW
IFSRA11	INT7割り込み極性選択ビット	0 : 立ち下がり片エッジ 1 : 立ち上がり片エッジ	RW
IFSRA12	INT8割り込み極性選択ビット	0 : 立ち下がり片エッジ 1 : 立ち上がり片エッジ	RW
— (b7-b3)	予約ビット	“0” にしてください	RW

注1. IFSRAレジスタは144ピン版のみあります。

図 11.14 IFSRA レジスタ

11.8 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みはノンマスカブル割り込みです。P8_5/ $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。また、 $\overline{\text{NMI}}$ 端子の入力レベルはP8レジスタのP8_5ビットで読めます。 $\overline{\text{NMI}}$ 割り込みを使用しない場合は、 $\overline{\text{NMI}}$ 端子を抵抗を介してVCC1に接続(プルアップ)してください。 $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2クロック+300ns以上にしてください。

11.9 キー入力割り込み

P10_4~P10_7のうち、方向レジスタを入力モードにしている端子のいずれかに立ち下がりエッジが入力されるとKUPICレジスタのIRビットが“1”になります。キー入力割り込みは、ウェイトモードやストップモードを解除する機能としても使用できます。ただし、キー入力割り込みを使用する場合、P10_4~P10_7をA/D入力として使用しないでください。図11.15にキー入力割り込みのブロック図を示します。なお、方向レジスタを入力にしている端子のいずれかに“L”が入力されていると、他の端子に立ち下がりエッジが入力されても、割り込みとして検知されません。

PSCレジスタのPSC_7ビットを“1”(AN_4~AN_7)にすると、ポートやキー入力割り込みの入力バッファが切られます。そのため入力モードでポートレジスタを読んでも端子のレベルは読めません。また $\overline{\text{KI}}$ 端子(i=0~3)に立ち下がりエッジを入力してもKUPICレジスタのIRビットは“1”になりません。

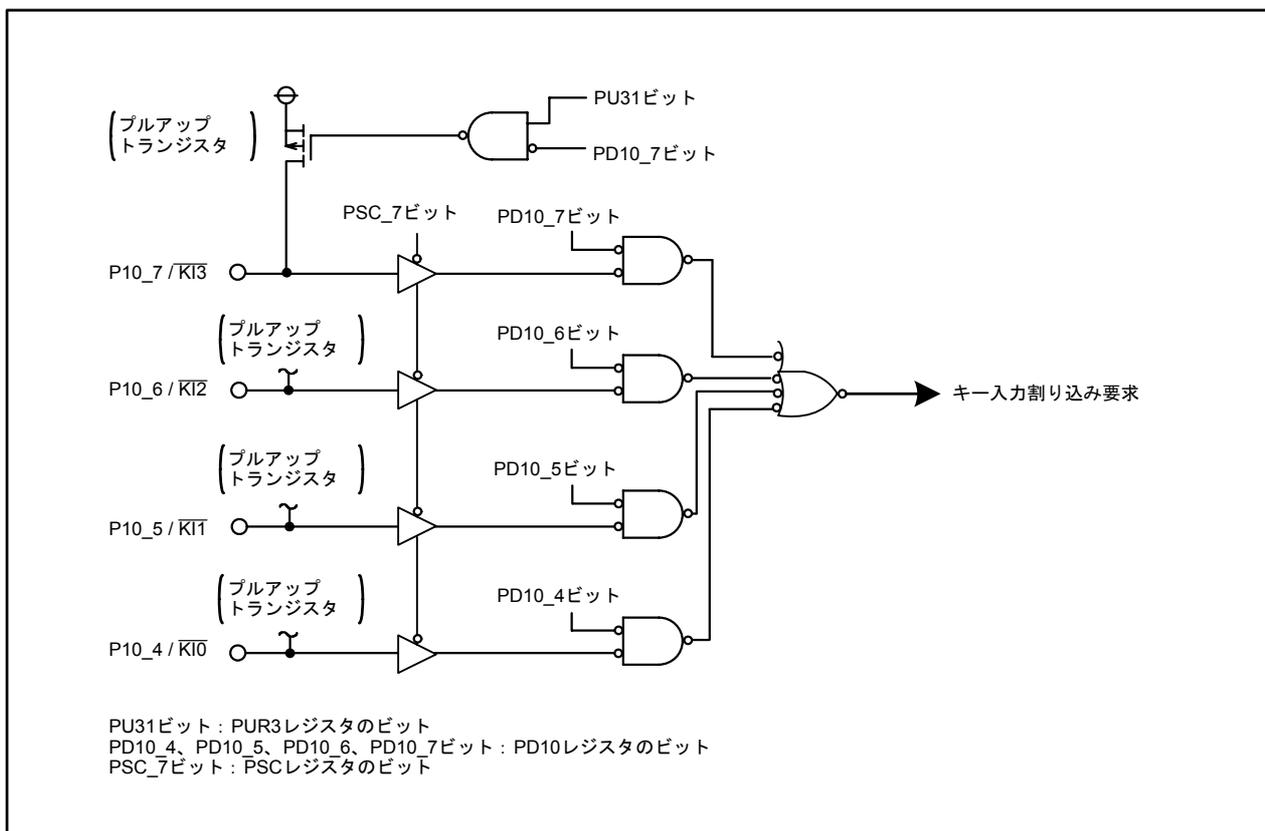


図 11.15 キー入力割り込みのブロック図

11.10 アドレス一致割り込み

アドレス一致割り込みは、ノンマスクابل割り込みです。RMADiレジスタ(i=0~7)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは8カ所に設定でき、割り込みの禁止や許可はAIERレジスタのAIERiビットで選択できます。

図11.16にアドレス一致割り込み関連レジスタを示します。

RMADiレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

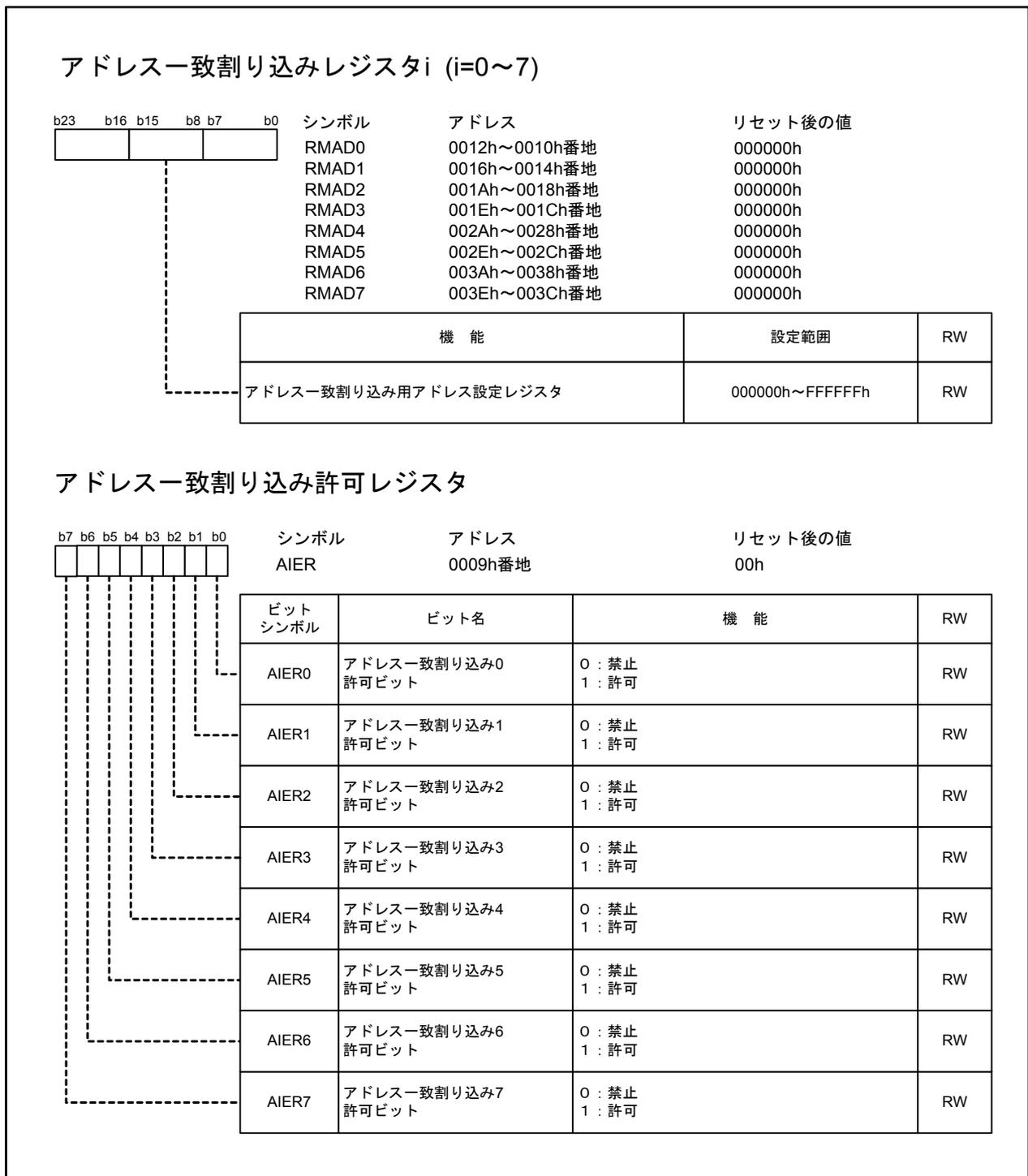


図11.16 RMAD0~RMAD7レジスタ、AIERレジスタ

11.11 インテリジェントI/O、CAN、UART5、UART6、 $\overline{\text{INT6}} \sim \overline{\text{INT8}}$ 割り込み

インテリジェントI/O割り込みは、CAN割り込み、UART5、UART6の送受信割り込み、 $\overline{\text{INT6}} \sim \overline{\text{INT8}}$ 割り込みと共用しています。各周辺機能からの割り込み要因を論理和した信号で割り込みを発生させます。

図11.17にインテリジェントI/O割り込みのブロック図を、図11.18にIIOiIRレジスタ(i=0~11)を、図11.19にIIOiIEレジスタを示します。

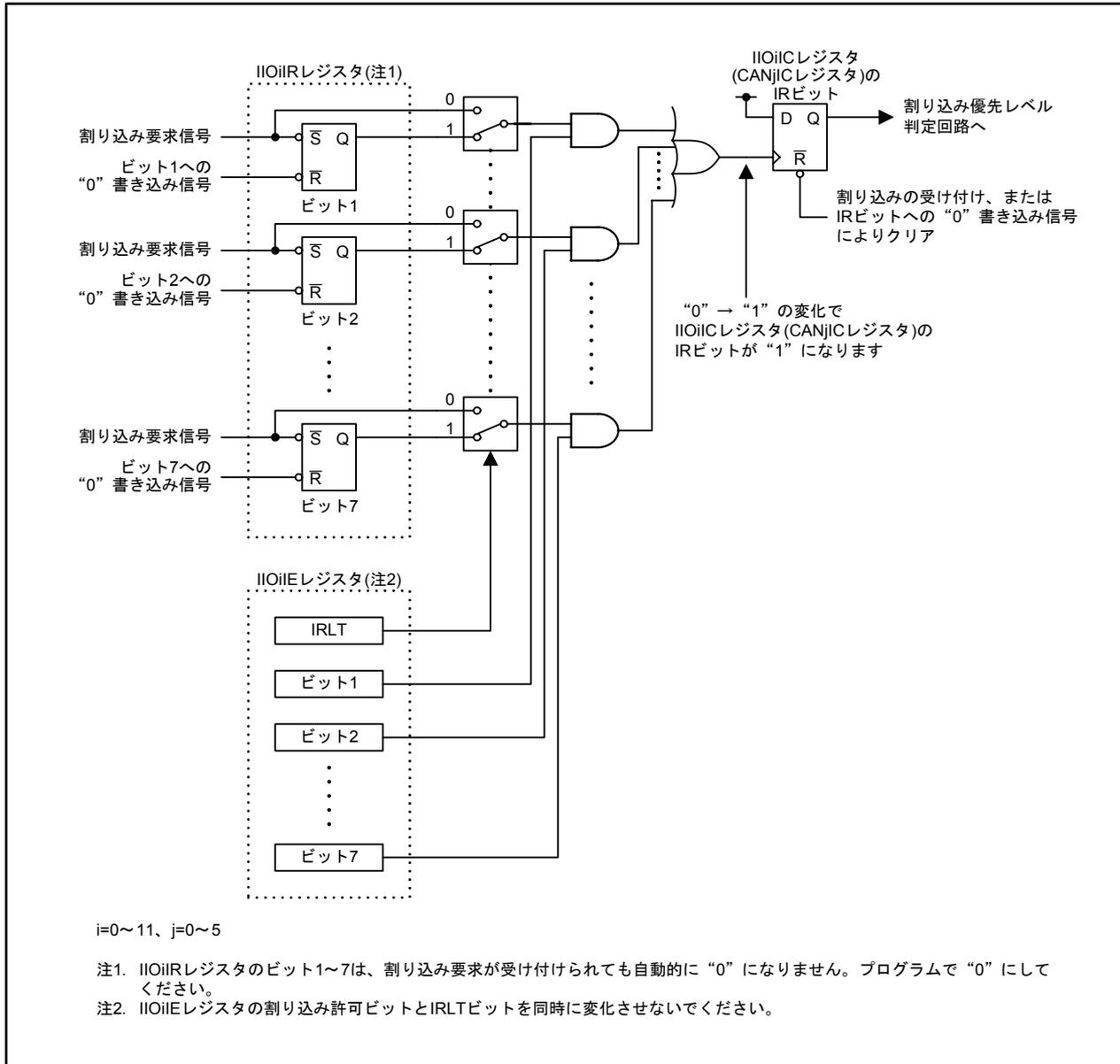


図11.17 インテリジェントI/O割り込みのブロック図

割り込み要求レジスタ

シンボル	アドレス	リセット後の値
IIO0IR~IIO11IR	下記参照	0000 000Xb

ビットシンボル	機能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
(注1)	割り込み要求フラグ1 0 : 割り込み要求なし 1 : 割り込み要求あり(注2)	RW
(注1)	割り込み要求フラグ2 0 : 割り込み要求なし 1 : 割り込み要求あり(注2)	RW
(注1)	割り込み要求フラグ3 0 : 割り込み要求なし 1 : 割り込み要求あり(注2)	RW
(注1)	割り込み要求フラグ4 0 : 割り込み要求なし 1 : 割り込み要求あり(注2)	RW
(注1)	割り込み要求フラグ5 0 : 割り込み要求なし 1 : 割り込み要求あり(注2)	RW
(注1)	割り込み要求フラグ6 0 : 割り込み要求なし 1 : 割り込み要求あり(注2)	RW
(注1)	割り込み要求フラグ7 0 : 割り込み要求なし 1 : 割り込み要求あり(注2)	RW

注1. ビットシンボルは下表を参照してください。
 注2. “0”のみ書けます。“1”を書かないでください。

割り込み要求レジスタのビットシンボル一覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IR	00A0h	CAN10R	U5RR	SIO0RR	G0RIR	—	TM13R / PO13R	—	—
IIO1IR	00A1h	CAN11R	U5TR	SIO0TR	G0TOR	—	TM14R / PO14R	—	—
IIO2IR	00A2h	—	—	SIO1RR	G1RIR	—	TM12R / PO12R	—	—
IIO3IR	00A3h	—	—	SIO1TR	G1TOR	PO27R	TM10R / PO10R	—	—
IIO4IR	00A4h	SRT0R	SRT1R	—	BT1R	—	TM17R / PO17R	—	—
IIO5IR	00A5h	CAN12R	CAN1WUR	—	SIO2RR	—	PO21R	—	—
IIO6IR	00A6h	—	—	—	SIO2TR	—	PO20R	—	—
IIO7IR	00A7h	IE0R	—	—	—	—	PO22R	—	—
IIO8IR	00A8h	IE1R	IE2R	—	BT2R	—	PO23R	TM11R / PO11R	—
IIO9IR	00A9h	CAN00R	INT6R	U6RR	—	—	PO24R	TM15R / PO15R	—
IIO10IR	00AAh	CAN01R	INT7R	U6TR	—	—	PO25R	TM16R / PO16R	—
IIO11IR	00ABh	CAN02R	INT8R	—	—	—	PO26R	—	—

- BTqR : インテリジェントI/Oグループqベースタイマ割り込み要求
- TM1jR : インテリジェントI/Oグループ1時間計測機能割り込み要求
- POqjR : インテリジェントI/Oグループq波形生成機能割り込み要求
- SIOkRR : インテリジェントI/Oグループk受信割り込み要求
- SIOkTR : インテリジェントI/Oグループk送信割り込み要求
- GmTOR : インテリジェントI/OグループmHDLCデータ処理機能割り込み要求(TO:送信出力)
- GmRIR : インテリジェントI/OグループmHDLCデータ処理機能割り込み要求(RI:受信入力)
- SRTmR : インテリジェントI/Oグループm特殊通信機能割り込み要求
- IEkR : インテリジェントI/Oグループ2IEBus通信機能割り込み要求
- CAN0kR : CAN0通信機能割り込み要求
- CAN1kR : CAN1通信機能割り込み要求
- CAN1WUR : CAN1ウェイクアップ割り込み要求
- INTnR : INTn割り込み要求
- UpTR : UARTp送信割り込み要求
- UpRR : UARTp受信割り込み要求
- : 予約ビット。“0”にしてください。

j=0~7
 k=0~2
 m=0,1
 n=6~8
 p=5,6
 q=1,2

図 11.18 IIO0IR ~ IIO11IR レジスタ

割り込み許可レジスタ

ビットシンボル	ビット名	機能	RW
IRLT	割り込み要求選択ビット(注2)	0 : 割り込み要求をDMAC、DMACIIで使用 1 : 割り込み要求を割り込みで使用	RW
(注1)	割り込み許可ビット1	0 : IIOiIRレジスタのビット1の割り込みを禁止 1 : IIOiIRレジスタのビット1の割り込みを許可	RW
(注1)	割り込み許可ビット2	0 : IIOiIRレジスタのビット2の割り込みを禁止 1 : IIOiIRレジスタのビット2の割り込みを許可	RW
(注1)	割り込み許可ビット3	0 : IIOiIRレジスタのビット3の割り込みを禁止 1 : IIOiIRレジスタのビット3の割り込みを許可	RW
(注1)	割り込み許可ビット4	0 : IIOiIRレジスタのビット4の割り込みを禁止 1 : IIOiIRレジスタのビット4の割り込みを許可	RW
(注1)	割り込み許可ビット5	0 : IIOiIRレジスタのビット5の割り込みを禁止 1 : IIOiIRレジスタのビット5の割り込みを許可	RW
(注1)	割り込み許可ビット6	0 : IIOiIRレジスタのビット6の割り込みを禁止 1 : IIOiIRレジスタのビット6の割り込みを許可	RW
(注1)	割り込み許可ビット7	0 : IIOiIRレジスタのビット7の割り込みを禁止 1 : IIOiIRレジスタのビット7の割り込みを許可	RW

注1. ビットシンボルは下表を参照してください。

注2. 割り込み要求を割り込みで使用する場合、IRLTビットを“1”にした後、割り込み許可ビット1~7を“1”にしてください。

割り込み許可レジスタのビットシンボル一覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IE	00B0h	CAN10E	U5RE	SIO0RE	G0RIE	—	TM13E / PO13E	—	IRLT
IIO1IE	00B1h	CAN11E	U5TE	SIO0TE	G0TOE	—	TM14E / PO14E	—	IRLT
IIO2IE	00B2h	—	—	SIO1RE	G1RIE	—	TM12E / PO12E	—	IRLT
IIO3IE	00B3h	—	—	SIO1TE	G1TOE	PO27E	TM10E / PO10E	—	IRLT
IIO4IE	00B4h	SRT0E	SRT1E	—	BT1E	—	TM17E / PO17E	—	IRLT
IIO5IE	00B5h	CAN12E	CAN1WUE	—	SIO2RE	—	PO21E	—	IRLT
IIO6IE	00B6h	—	—	—	SIO2TE	—	PO20E	—	IRLT
IIO7IE	00B7h	IE0E	—	—	—	—	PO22E	—	IRLT
IIO8IE	00B8h	IE1E	IE2E	—	BT2E	—	PO23E	TM11E / PO11E	IRLT
IIO9IE	00B9h	CAN00E	INT6E	U6RE	—	—	PO24E	TM15E / PO15E	IRLT
IIO10IE	00BAh	CAN01E	INT7E	U6TE	—	—	PO25E	TM16E / PO16E	IRLT
IIO11IE	00Bbh	CAN02E	INT8E	—	—	—	PO26E	—	IRLT

BTqE : インテリジェントI/Oグループqベースタイム割り込み許可
 TM1jE : インテリジェントI/Oグループ1時間計測機能割り込み許可
 POqjE : インテリジェントI/Oグループq波形生成機能割り込み許可
 SIOkRE : インテリジェントI/Oグループk受信割り込み許可
 SIOkTE : インテリジェントI/Oグループk送信割り込み許可
 GmTOE : インテリジェントI/OグループmHDLCデータ処理機能割り込み許可(To:送信出力)
 GmRIE : インテリジェントI/OグループmHDLCデータ処理機能割り込み許可(Ri:受信入力)
 SRTmE : インテリジェントI/Oグループm特殊通信機能割り込み許可
 IEkE : インテリジェントI/Oグループ2IEBus通信機能割り込み許可
 CAN0kE : CAN0通信機能割り込み許可
 CAN1kE : CAN1通信機能割り込み許可
 CAN1WUE : CAN1ウェイクアップ割り込み許可
 INTnE : INTn割り込み許可
 UpTE : UARTp送信割り込み許可
 UpRE : UARTp受信割り込み許可
 — : 予約ビット。“0”にしてください。

i=0~11
 j=0~7
 k=0~2
 m=0,1
 n=6~8
 p=5,6
 q=1,2

図 11.19 IIO0IE ~ IIO11IE レジスタ

インテリジェント I/O 割り込みでは、IIOiE レジスタ (i=0～11)、IIOiIR レジスタ、IIOiIC レジスタ (CANjIC レジスタ (j=0～5)) を使用します。

11.11.1 IIOiE レジスタ

- IRLT ビット

各周辺機能からの割り込み要求を割り込みで使用する場合は“1”にしてください。DMA や DMACII の起動要因として使用する場合は“0”にしてください。

- 割り込み許可ビット

IRLT ビットを設定した後、使用する割り込みに対応する各許可ビットを“1” (割り込み許可) にしてください。

11.11.2 IIOiIR レジスタ

- 割り込み要求フラグ

割り込み要求が発生すると“1” (割り込み要求あり) になります。割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチンで AND または BCLR 命令を使って“0”にしてください。要求フラグを“1”のままにしておくと、それ以降に同一レジスタ内で割り込み要求が発生しても IIOiIC レジスタ (CANjIC レジスタ) の IR ビットは“1”になりません (割り込みが起りません)。

また、要求フラグに“0”を書き込み中、対応する割り込み要求が発生すると、要求フラグは“0”にならないことがあります。この場合、読んで“0”になるまで“0”を書いてください。

11.11.3 IIOiIC レジスタ (CANjIC レジスタ)

- IR ビット

IIOiE レジスタで割り込み許可された IIOiIR レジスタの要求フラグがすべて“0”のときに、許可しているいずれかの割り込み要求が発生すると、“1” (割り込み要求あり) になります。割り込みが受け付けられると自動的に“0”になります。

表 11.6 に CAN 割り込み、UART5、UART6 送受信割り込み、 $\overline{\text{INT6}}$ ～ $\overline{\text{INT8}}$ 割り込みで使用するレジスタを示します。また、図 11.20 に複数の割り込み要因による要求ビットのタイミング図を、図 11.21 に割り込みルーチンでの処理例を示します。

表 11.6 CAN 割り込み、UART5、UART6 送受信割り込み、 $\overline{\text{INT6}}$ ～ $\overline{\text{INT8}}$ 割り込みで使用するレジスタ

インテリジェント I/O 割り込みと共用する割り込み			使用するレジスタ (注2)		
CAN 割り込み (注1)	UART 送受信	$\overline{\text{INT}}$ 割り込み			
CAN00	UART6 受信	$\overline{\text{INT6}}$	IIO09IE	IIO09IR	IIO09IC (CAN0IC)
CAN01	UART6 送信	$\overline{\text{INT7}}$	IIO10IE	IIO10IR	IIO10IC (CAN1IC)
CAN02	—	$\overline{\text{INT8}}$	IIO11IE	IIO11IR	IIO11IC (CAN2IC)
CAN10	UART5 受信	—	IIO00IE	IIO00IR	IIO00IC (CAN3IC)
CAN11	UART5 送信	—	IIO01IE	IIO01IR	IIO01IC (CAN4IC)
CAN12 CAN1 ウェイクアップ	—	—	IIO05IE	IIO05IR	IIO05IC (CAN5IC)

注1. M32C/87A では CAN00～CAN02 割り込みのみ使用できます。M32C/87B では CAN 割り込みはありません。

注2. IIO09IC と CAN0IC、IIO10IC と CAN1IC、IIO11IC と CAN2IC、IIO00IC と CAN3IC、IIO01IC と CAN4IC、IIO05IC と CAN5IC は番地を共用しています。

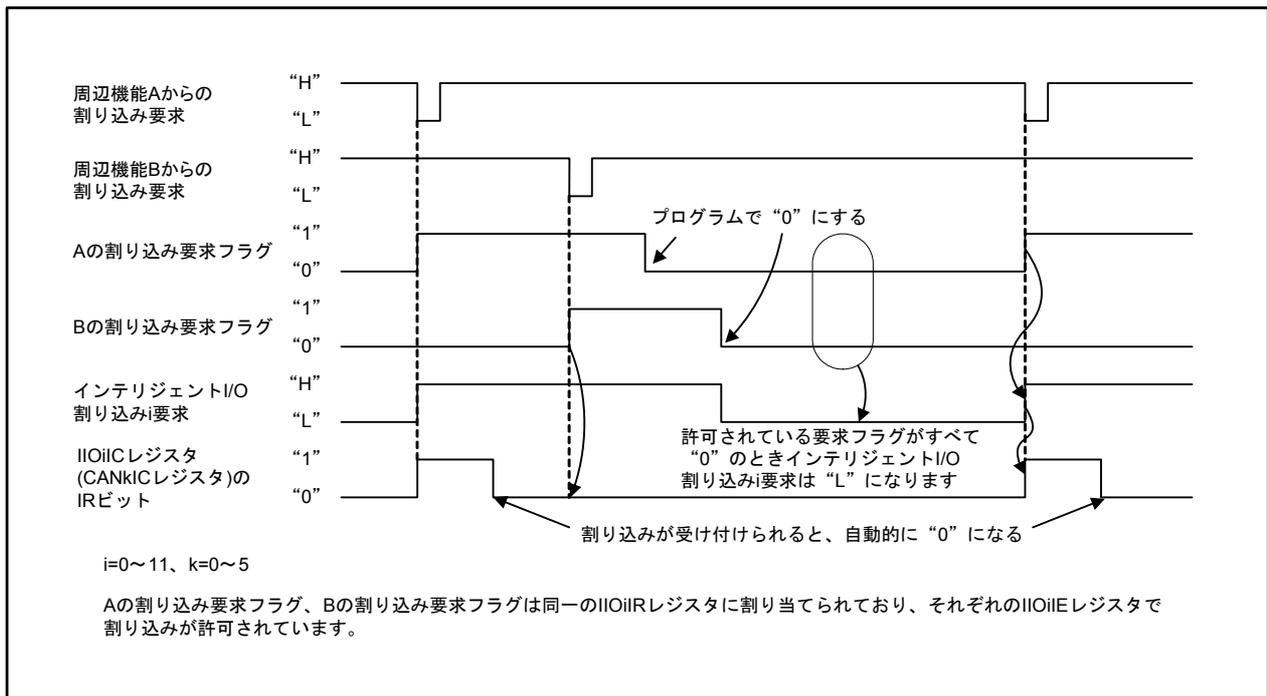
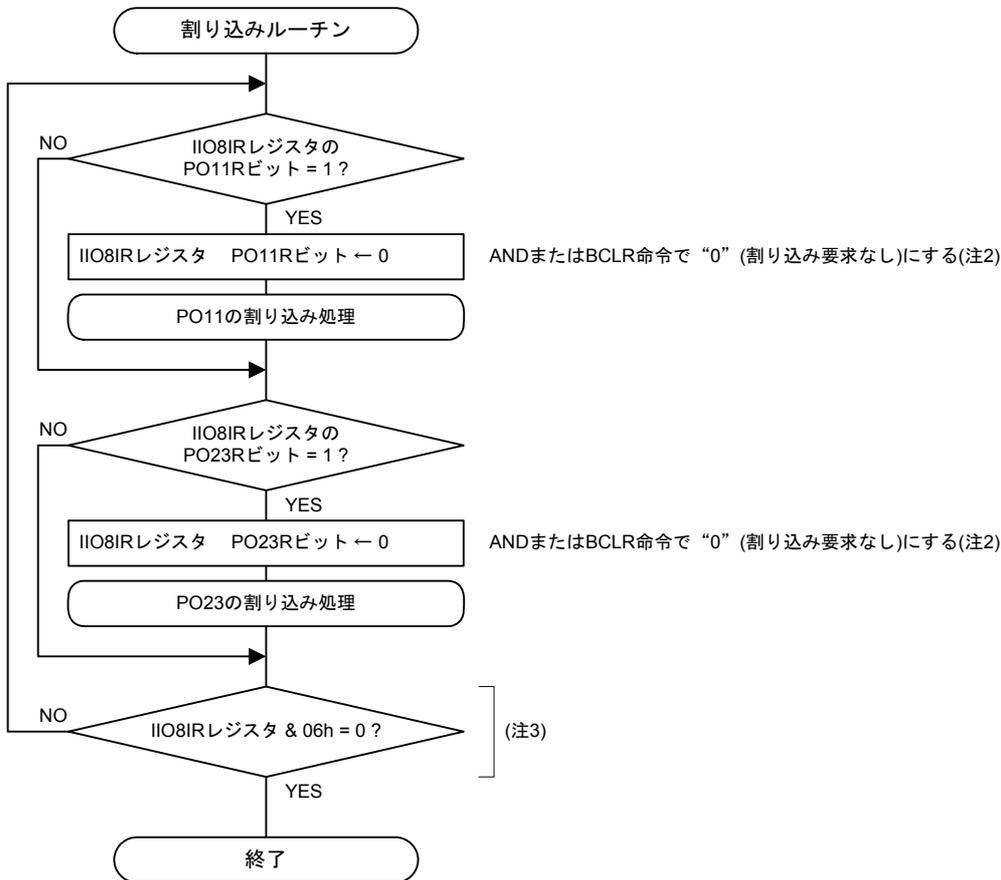
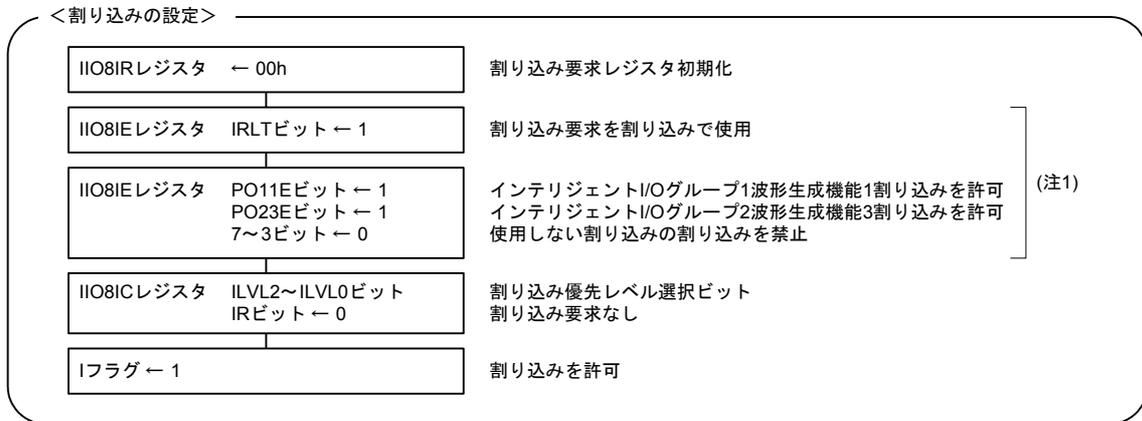


図 11.20 複数の割り込み要因による要求ビットのタイミング図

(例) インテリジェントI/Oグループ1波形生成機能1割り込み、グループ2波形生成機能3割り込みを使用する場合



- 注1. IIOiEレジスタ(i=0~11)のIRLTビットと割り込み許可ビットは同時に設定しないでください。IRLTビットを“1”にした後、割り込み許可ビットを“1”にしてください。
- 注2. 割り込み要求フラグに“0”を書き込み中、対応する割り込み要求が発生すると、要求フラグは“0”にならないことがあります。この場合、読んで“0”になるまで“0”を書いてください。
- 注3. IIOiEレジスタで許可した割り込みの要求フラグがすべて“0”であることを確認してください。いずれかを“1”のままにしておくと、それ以降に同一レジスタ内で割り込み要求が発生してもIIOiCレジスタ(CANKICレジスタ(k=0~5))のIRビットは“1”になりません(割り込みが起りません)。

図 11.21 割り込みルーチンでの処理例

12. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知するために使用します。ウォッチドッグタイマは15ビットのフリーランタイマを持ち、プログラムが暴走してWDTSレジスタへの書き込みが行われなくなると、フリーランタイマのアンダフローが発生し、ウォッチドッグタイマ割り込み、またはマイクロコンピュータのリセットをします。ウォッチドッグタイマを使用する場合は、メインルーチンなどでウォッチドッグタイマのアンダフロー周期より短い周期でWDTSレジスタへの書き込みを行ってください。

表12.1～表12.2にウォッチドッグタイマの仕様を、図12.1にブロック図を、図12.2～図12.3に関連レジスタを示します。

表12.1 ウォッチドッグタイマの仕様(1)

項目	仕様
カウント動作	フリーランタイマによるダウンカウント
カウント開始条件	WDTSレジスタへの書き込み WDTSレジスタに書くと、フリーランタイマは初期化され、7FFFhからダウンカウントする
アンダフロー時の処理	次のいずれかを選択可(CM0レジスタのCM06ビットで選択) ・ウォッチドッグタイマ割り込み(注1) ・マイクロコンピュータのリセット
アンダフロー後の動作	ダウンカウントを継続(ウォッチドッグタイマ割り込み選択時)
ウォッチドッグタイマの読み出し	WDCレジスタの0～4ビットを読むと、フリーランタイマの10～14ビットのカウント値が読める

注1. ウォッチドッグタイマ割り込みは、発振停止検出割り込み、Vdet4検出割り込みとベクタを共用しています。ウォッチドッグタイマ割り込みとこれらの割り込みを同時に使用する場合、割り込みルーチンでD4INTレジスタのD43ビットを読み、ウォッチドッグタイマ割り込みが発生したことを確認してください。

表12.2 ウォッチドッグタイマの仕様(2)

項目	設定値と仕様			
	0	0	0	1
PM2レジスタのPM22ビット(注1)	0	0	0	1
CM0レジスタのCM07ビット	0	0	1	—
WDCレジスタのWDC7ビット	0	1	—	—
動作クロック源	CPUクロック			オンチップ オシレータ
	MCDレジスタで分周したクロック		サブクロック	
プリスケアラ	あり 16分周	あり 128分周	あり 2分周	なし
フリーランタイマのカウントソース	$\frac{1}{f_{CPU}} \times 16$	$\frac{1}{f_{CPU}} \times 128$	$\frac{1}{f_{CPU}} \times 2$	$\frac{1}{f_{ROC}}$
アンダフロー周期(計算式)(注2)	$\frac{1}{f_{CPU}} \times 524288$	$\frac{1}{f_{CPU}} \times 4194304$	$\frac{1}{f_{CPU}} \times 65536$	$\frac{1}{f_{ROC}} \times 32768$
アンダフロー周期(参考値)	約16.4ms fCPU = 32MHz	約131.1ms fCPU = 32MHz	約2s fCPU = 32kHz	約32.8ms fROC = 1MHz
ウェイトモード、ストップモード、 ホールド状態時の動作	停止			動作(注3)

— : 0でも1でもよい

fCPU : CPUクロックの周波数

fROC : オンチップオシレータクロックの周波数

注1. 一度“1”にすると、プログラムでは“0”にできません。

注2. フリーランタイマのカウントソース1周期分の誤差が生じます。

注3. CM1レジスタのCM10ビットへの書き込みが禁止されます。“1”を書いても変化せず、ストップモードに移行しません。ウェイトモードからの復帰にウォッチドッグタイマ割り込みは使用できません。

システムクロック制御レジスタ0 (注1)

ビットシンボル	ビット名	機能	RW
CM00	クロック出力機能選択ビット	b1 b0 0 0 : 入出力ポートP5_3(注2) 0 1 : fCを出力 1 0 : f8を出力 1 1 : f32を出力	RW
CM01			RW
CM02	ウェイトモード時周辺機能クロック停止ビット(注9)	0 : ウェイトモード時、周辺機能クロックは停止しない 1 : ウェイトモード時、周辺機能クロックは停止する(注3)	RW
CM03	XCIN-XCOUト駆動能力選択ビット(注10)	0 : Low 1 : High	RW
CM04	ポートXC切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUト発振機能(注4)	RW
CM05	メインクロック(XIN-XOUT)停止ビット(注5、9)	0 : 発振 1 : 停止(注6)	RW
CM06	ウォッチドッグタイマ機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット(注7)	RW
CM07	CPUクロック選択ビット0(注8、9)	0 : CM21ビットで選択したクロックをMCDレジスタで分周したクロック 1 : サブクロック	RW

- 注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. メモリ拡張モードまたはマイクロプロセッサモードでは、BCLK出力、“L”出力、またはALE出力のいずれかになります。入出力ポートとして使用できません。
- 注3. fC32は停止しません。
- 注4. CM04ビットを“1”にする場合、PD8レジスタのPD8_7~PD8_6ビットを“00b”(ポートP8_6、P8_7は入力モード)で、PUR2レジスタのPU25ビットを“0”(プルアップしない)にしてください。
- 注5. CM05ビットは低消費電力モード、またはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、CM07ビットを“1”にした後、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にした後、PLC0レジスタのPLC07ビットを“0”にして、CM05ビットを“1”にしてください。
- 注6. CM05ビットが“1”の場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。
- 注7. 一度“1”にすると、プログラムでは“0”にできません。
- 注8. CM04ビットを“1”にしサブクロックの発振が安定した後に、CM07ビットを“0”から“1”にしてください。また、CM05ビットを“0”にしメインクロックの発振が安定した後に、CM07ビットを“1”から“0”にしてください。なお、CM07ビットはCM04ビットまたはCM05ビットと同時に書き換えないでください。
- 注9. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。
- 注10. ストップモードへ移行したとき、CM03ビットは“1”になります。

図 12.2 CM0レジスタ

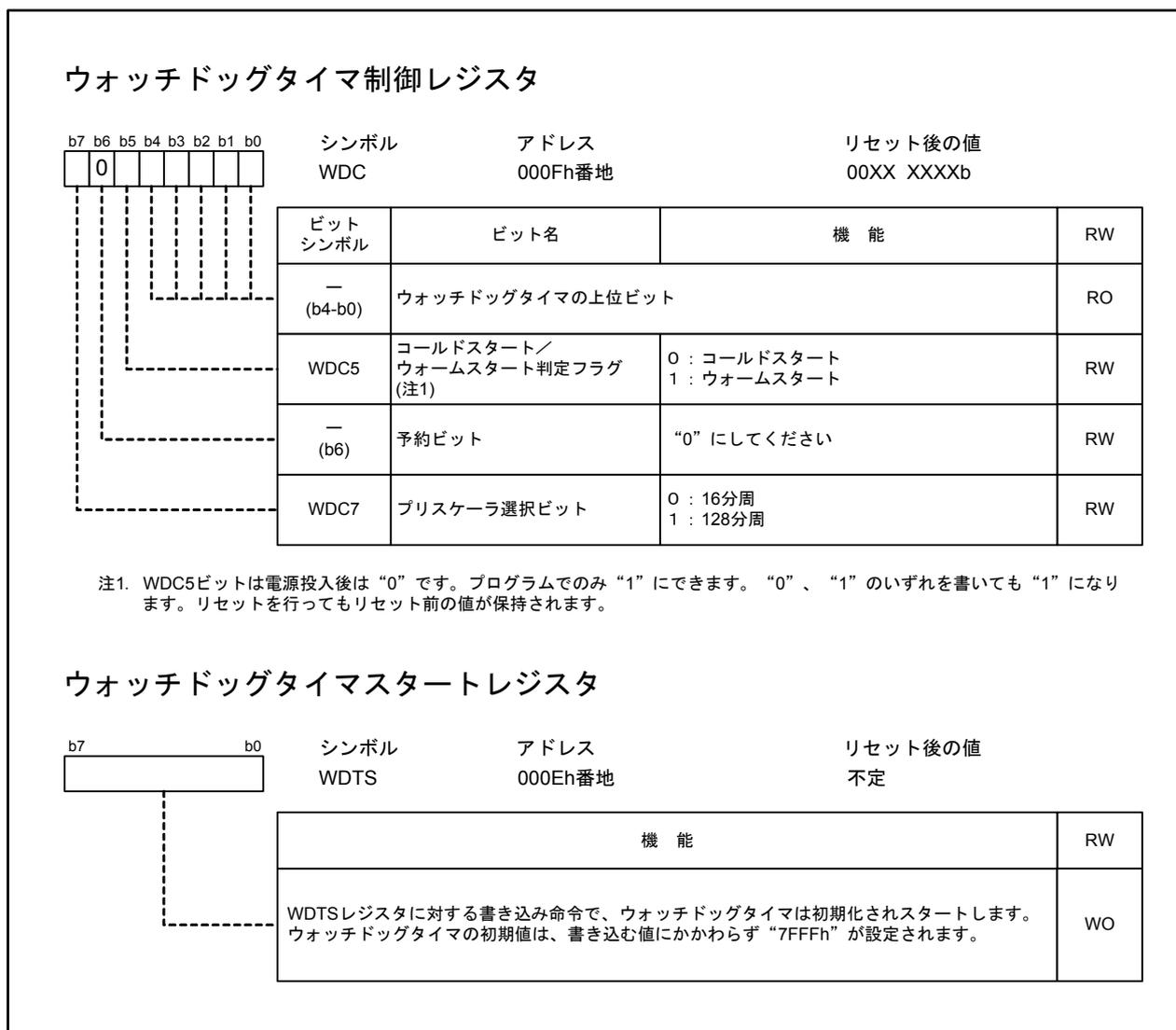


図 12.3 WDC レジスタ、WDTS レジスタ

13. DMAC

DMACはCPUを使わずにデータを転送する機能を持ち、4チャンネルあります。DMACは転送要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地へ転送します。DMACを使用するときは、DMA0とDMA1を優先して使用してください。DMA2とDMA3は高速割り込みと使用するレジスタを共用しています。そのため、DMACを3チャンネル以上使用する場合、高速割り込みは使用できません。

CPUとDMACは同じデータバスを使用しますが、DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、転送要求が発生してからデータ転送を完了するまでの動作を高速に行えます。

図13.1にDMACで使用するレジスタ配置を、表13.1にDMACの仕様を、図13.2～図13.6にDMAC関連レジスタを、図13.7、図13.8にレジスタの設定手順を示します。

図13.1に示すレジスタはCPU内部に配置されているため、書く場合はLDC命令を使用してください。ただし、DCT2、DCT3、DRC2、DRC3、DMA2、DMA3レジスタはFLGレジスタのBフラグを“1”(レジスタバンク1)にしてMOV命令を使用し、R0～R3、A0、A1レジスタに設定してください。DSA2、DSA3レジスタはBフラグを“1”にしてLDC命令を使用し、SB、FBレジスタに設定してください。DRA2、DRA3レジスタはLDC命令を使用し、SVP、VCTレジスタに設定してください。



図13.1 DMACで使用するレジスタ配置

DMA要求としてソフトウェアトリガまたは各周辺機能の割り込み要求があり、DMiSLレジスタ(i=0~3)のDSEL4~DSEL0ビットで選択できます。

ソフトウェアトリガを選択した場合は、DMiSLレジスタのDSRビットを“1”にすることで、DMA転送が行われます。各周辺機能の割り込み要求を選択した場合、割り込み要求が発生することでDMA転送が行われます。ただし、DMACはIフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み要求の受け付けが禁止されている場合でもDMA転送は行われます。また、割り込み要求(DMA要求)が発生すると割り込み制御レジスタのIRビットは“1”になりますが、DMA転送が行われてもIRビットは“0”になりません。

表 13.1 DMACの仕様

項目	仕様	
チャンネル数	4チャンネル(サイクルスチール方式)	
転送空間	・16Mバイトの任意の空間から固定番地(16Mバイト空間) ・固定番地(16Mバイト空間)から16Mバイトの任意の空間	
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)	
DMA要求要因	・ $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 端子への入力の立ち下がリエッジまたは両エッジ ・ $\overline{\text{INT6}} \sim \overline{\text{INT8}}$ 割り込み要求 ・タイマA0~タイマA4割り込み要求 ・タイマB0~タイマB5割り込み要求 ・UART0~UART6送信と受信割り込み要求 ・A/D0割り込み要求 ・インテリジェントI/O割り込み要求 ・CAN割り込み要求(注1) ・ソフトウェアトリガ	
チャンネル優先順位	DMA0 > DMA1 > DMA2 > DMA3(DMA0が最優先)	
転送単位	8ビット、16ビット	
転送番地	固定番地：指定したアドレス 順方向番地：転送単位に応じて加算されるアドレス (転送元と転送先を両方も固定番地、または順方向番地に指定できません)	
転送方式	単転送	DCTiレジスタ(i=0~3)が“0000h”になると転送が終了する
	リピート転送	DCTiレジスタが“0000h”になるとDRCiレジスタの値がDCTiレジスタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング	DCTiレジスタが“0001h”から“0000h”になるとき	
DMA開始	単転送	DCTiレジスタが“0001h”以上の設定で、DMDjレジスタ(j=0,1)のMDi1~MDi0ビットを“01b”(単転送)にした後、DMA要求が発生すると開始する
	リピート転送	DCTiレジスタが“0001h”以上の設定で、MDi1~MDi0ビットを“11b”(リピート転送)にした後、DMA要求が発生すると開始する
DMA停止	単転送	・MDi1~MDi0ビットが“00b”(DMA禁止)のとき停止する ・DMA転送または書き込みによりDCTiレジスタが“0000h”(DMA転送回数0)になったとき停止する
	リピート転送	・MDi1~MDi0ビットが“00b”(DMA禁止)のとき停止する ・DMA転送または書き込みによりDCTiレジスタが“0000h”(DMA転送回数0)になり、かつDRCiレジスタが“0000h”のとき停止する
DCTiレジスタとDMAiレジスタへのリロードのタイミング	リピート転送モードでDCTiレジスタが“0001h”から“0000h”になるとき	
DMA転送時間	SFR、内部RAM間：最短3バスクロック	

注1. M32C/87AではCAN00割り込み要求、CAN01割り込み要求、CAN02割り込み要求のみ使用できます。
M32C/87BではCAN割り込み要求はありません。

DMAi要因選択レジスタ (i=0~3)

ビット シンボル	ビット名	機 能	RW
DSEL0	DMA要求要因選択ビット(注1)	「DMiSLレジスタ(i=0~3)機能一覧表」を参照	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
DSEL4			RW
DSR	ソフトウェアDMA要求ビット (注2)	ソフトウェアトリガ選択時は、 DSRビットを“1”にするとDMA要求が発生する (読んだ場合は“0”)	RW
— (b6)	予約ビット	読んだ場合、その値は不定	—
DRQ	DMA要求ビット(注2、3)	0 : 要求なし 1 : 要求あり	RW

注1. DMD1~DMD0レジスタのMDi1~MDi0ビットが“00b”(DMA禁止)の状態ではDSEL4~DSEL0ビットを変更してください。
また、DSEL4~DSEL0ビットを変更する場合、DRQビットを同時に“1”にしてください。

(例) MOV.B #083h, DMiSL ; タイマA0選択

注2. DSRビットを“1”にする場合、DRQビットを同時に“1”にしてください。

(例) OR.B #0A0h, DMiSL

注3. “0”を書かないでください。

図 13.2 DM0SL ~ DM3SL レジスタ

表 13.2 DMiSL レジスタ (i=0~3)機能一覧表

設定値					DMA 要求要因				
b4	b3	b2	b1	b0	DMA0	DMA1	DMA2	DMA3	
0	0	0	0	0	ソフトウェアトリガ				
0	0	0	0	1	$\overline{\text{INT0}}$ 立ち下がリエッジ	$\overline{\text{INT1}}$ 立ち下がリエッジ	$\overline{\text{INT2}}$ 立ち下がリエッジ	$\overline{\text{INT3}}$ 立ち下がリエッジ(注1)	(注2)
0	0	0	1	0	$\overline{\text{INT0}}$ 両エッジ	$\overline{\text{INT1}}$ 両エッジ	$\overline{\text{INT2}}$ 両エッジ	$\overline{\text{INT3}}$ 両エッジ(注1)	(注2)
0	0	0	1	1	タイマA0割り込み要求				
0	0	1	0	0	タイマA1割り込み要求				
0	0	1	0	1	タイマA2割り込み要求				
0	0	1	1	0	タイマA3割り込み要求				
0	0	1	1	1	タイマA4割り込み要求				
0	1	0	0	0	タイマB0割り込み要求				
0	1	0	0	1	タイマB1割り込み要求				
0	1	0	1	0	タイマB2割り込み要求				
0	1	0	1	1	タイマB3割り込み要求				
0	1	1	0	0	タイマB4割り込み要求				
0	1	1	0	1	タイマB5割り込み要求				
0	1	1	1	0	UART0送信割り込み要求				
0	1	1	1	1	UART0受信またはACK割り込み要求(注3)				
1	0	0	0	0	UART1送信割り込み要求				
1	0	0	0	1	UART1受信またはACK割り込み要求(注3)				
1	0	0	1	0	UART2送信割り込み要求				
1	0	0	1	1	UART2受信またはACK割り込み要求(注3)				
1	0	1	0	0	UART3送信割り込み要求				
1	0	1	0	1	UART3受信またはACK割り込み要求(注3)				
1	0	1	1	0	UART4送信割り込み要求				
1	0	1	1	1	UART4受信またはACK割り込み要求(注3)				
1	1	0	0	0	A/D0割り込み要求				
1	1	0	0	1	インテリジェントI/O 割り込み0要求(注4)	インテリジェントI/O 割り込み7要求	インテリジェントI/O 割り込み2要求	インテリジェントI/O 割り込み9要求(注7)	
1	1	0	1	0	インテリジェントI/O 割り込み1要求(注5)	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求	インテリジェントI/O 割り込み10要求(注8)	
1	1	0	1	1	インテリジェントI/O 割り込み2要求	インテリジェントI/O 割り込み9要求(注7)	インテリジェントI/O 割り込み4要求	インテリジェントI/O 割り込み11要求(注9)	
1	1	1	0	0	インテリジェントI/O 割り込み3要求	インテリジェントI/O 割り込み10要求(注8)	インテリジェントI/O 割り込み5要求(注6)	インテリジェントI/O 割り込み0要求(注4)	
1	1	1	0	1	インテリジェントI/O 割り込み4要求	インテリジェントI/O 割り込み11要求(注9)	インテリジェントI/O 割り込み6要求	インテリジェントI/O 割り込み1要求(注5)	
1	1	1	1	0	インテリジェントI/O 割り込み5要求(注6)	インテリジェントI/O 割り込み0要求(注4)	インテリジェントI/O 割り込み7要求	インテリジェントI/O 割り込み2要求	
1	1	1	1	1	インテリジェントI/O 割り込み6要求	インテリジェントI/O 割り込み1要求(注5)	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求	

注1. メモリ拡張モード、マイクロプロセッサモードで $\overline{\text{INT3}}$ 端子がデータバスとなる場合、DMA3の要求要因に $\overline{\text{INT3}}$ 端子入力は使用できません。

注2. $\overline{\text{INTi}}$ 端子(i=0~3)への入力の立ち下がリエッジと両エッジがDMA要求要因になります。 $\overline{\text{INT}}$ 割り込み(INTiICレジスタのPOLビット、LVSビット、IFSRレジスタ)の影響を受けません。また、 $\overline{\text{INT}}$ 割り込みへ影響を与えません。

注3. UARTk受信(k=0~4)とACKの切り替えは、UkSMRレジスタとUkSMR2レジスタによって行います。ACK割り込みを使用する場合、UkSMRレジスタのIICMビットを“1”(I2Cモード)、UkSMR2レジスタのIICM2ビットを“0”(NACK/ACK割り込み)にしてください。

注4. CAN10割り込み要求、UART5受信割り込み要求と共用です。

注5. CAN11割り込み要求、UART5送信割り込み要求と共用です。

注6. CAN12割り込み要求と共用です。

注7. CAN00割り込み要求、INT6割り込み要求、UART6受信割り込み要求と共用です。

注8. CAN01割り込み要求、 $\overline{\text{INT7}}$ 割り込み要求、UART6送信割り込み要求と共用です。

注9. CAN02割り込み要求、 $\overline{\text{INT8}}$ 割り込み要求と共用です。

DMAi メモリアドレスレジスタ (i=0~3)

b23 b16 b15 b8 b7 b0	シンボル	アドレス	リセット後の値
	DMA0(注2)	(CPU内部レジスタ)	XXXXXXh
	DMA1(注2)	(CPU内部レジスタ)	XXXXXXh
	DMA2(bank1:A0)(注3)	(CPU内部レジスタ)	000000h
	DMA3(bank1:A1)(注4)	(CPU内部レジスタ)	000000h

機能	設定範囲	RW
転送元あるいは転送先の順方向番地を指定(注1)	000000h~FFFFFFh(16Mバイト)	RW

- 注1. DMDjレジスタ(j=0,1)のRWkビット(k=0~3)を“0”(固定番地→順方向番地)とした場合、転送先の番地になります。RWkビットを“1”(順方向番地→固定番地)とした場合、転送元の番地になります。
- 注2. DMA0、DMA1レジスタへの書き込みは、LDC命令を使用してください。
- 注3. DMA2レジスタを設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、A0レジスタに設定してください。
- 注4. DMA3レジスタを設定する場合、Bフラグを“1”にし、A1レジスタに設定してください。

DMAi SFRアドレスレジスタ (i=0~3)

b23 b16 b15 b8 b7 b0	シンボル	アドレス	リセット後の値
	DSA0(注2)	(CPU内部レジスタ)	XXXXXXh
	DSA1(注2)	(CPU内部レジスタ)	XXXXXXh
	DSA2(bank1:SB)(注3)	(CPU内部レジスタ)	000000h
	DSA3(bank1:FB)(注4)	(CPU内部レジスタ)	000000h

機能	設定範囲	RW
転送元あるいは転送先の固定番地を指定(注1)	000000h~FFFFFFh(16Mバイト)	RW

- 注1. DMDjレジスタ(j=0,1)のRWkビット(k=0~3)を“0”(固定番地→順方向番地)とした場合、転送元の番地になります。RWkビットを“1”(順方向番地→固定番地)とした場合、転送先の番地になります。
- 注2. DSA0、DSA1レジスタへの書き込みは、LDC命令を使用してください。
- 注3. DSA2レジスタを設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、SBレジスタに設定してください。SBレジスタへの書き込みは、LDC命令を使用してください。
- 注4. DSA3レジスタを設定する場合、Bフラグを“1”にし、FBレジスタに設定してください。FBレジスタへの書き込みは、LDC命令を使用してください。

図 13.3 DMA0~DMA3レジスタ、DSA0~DSA3レジスタ

DMA_i メモリアドレスリロードレジスタ (i=0~3)(注1)

ビット	シンボル	アドレス	リセット後の値
b23 b16 b15 b8 b7 b0	DRA0	(CPU内部レジスタ)	XXXXXXh
	DRA1	(CPU内部レジスタ)	XXXXXXh
	DRA2(SVP)(注2)	(CPU内部レジスタ)	XXXXXXh
	DRA3(VCT)(注3)	(CPU内部レジスタ)	XXXXXXh

機能	設定範囲	RW
転送元あるいは転送先の順方向番地を指定	000000h~FFFFFFh(16Mバイト)	RW

注1. DRA0~DRA3レジスタへの書き込みは、LDC命令を使用してください。

注2. DRA2レジスタを設定する場合、SVPレジスタに設定してください。

注3. DRA3レジスタを設定する場合、VCTレジスタに設定してください。

DMA_i転送カウントレジスタ (i=0~3)

ビット	シンボル	アドレス	リセット後の値
b15 b8 b7 b0	DCT0(注2)	(CPU内部レジスタ)	XXXXh
	DCT1(注2)	(CPU内部レジスタ)	XXXXh
	DCT2(bank1:R0)(注3)	(CPU内部レジスタ)	0000h
	DCT3(bank1:R1)(注4)	(CPU内部レジスタ)	0000h

機能	設定範囲	RW
転送回数を設定	0000h~FFFFh(注1)	RW

注1. “0000h”を設定した場合、DMA要求が発生してもデータ転送は行いません。

注2. DCT0、DCT1レジスタへの書き込みは、LDC命令を使用してください。

注3. DCT2レジスタに設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、R0レジスタに設定してください。

注4. DCT3レジスタに設定する場合、Bフラグを“1”にし、R1レジスタに設定してください。

DMA_i転送カウントリロードレジスタ (i=0~3)

ビット	シンボル	アドレス	リセット後の値
b15 b8 b7 b0	DRC0(注1)	(CPU内部レジスタ)	XXXXh
	DRC1(注1)	(CPU内部レジスタ)	XXXXh
	DRC2(bank1:R2)(注2)	(CPU内部レジスタ)	0000h
	DRC3(bank1:R3)(注3)	(CPU内部レジスタ)	0000h

機能	設定範囲	RW
転送回数を設定	0000h~FFFFh	RW

注1. DRC0、DRC1レジスタへの書き込みは、LDC命令を使用してください。

注2. DRC2レジスタに設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、R2レジスタに設定してください。

注3. DRC3レジスタに設定する場合、Bフラグを“1”にし、R3レジスタに設定してください。

図 13.4 DRA0~DRA3レジスタ、DCT0~DCT3レジスタ、DRC0~DRC3レジスタ

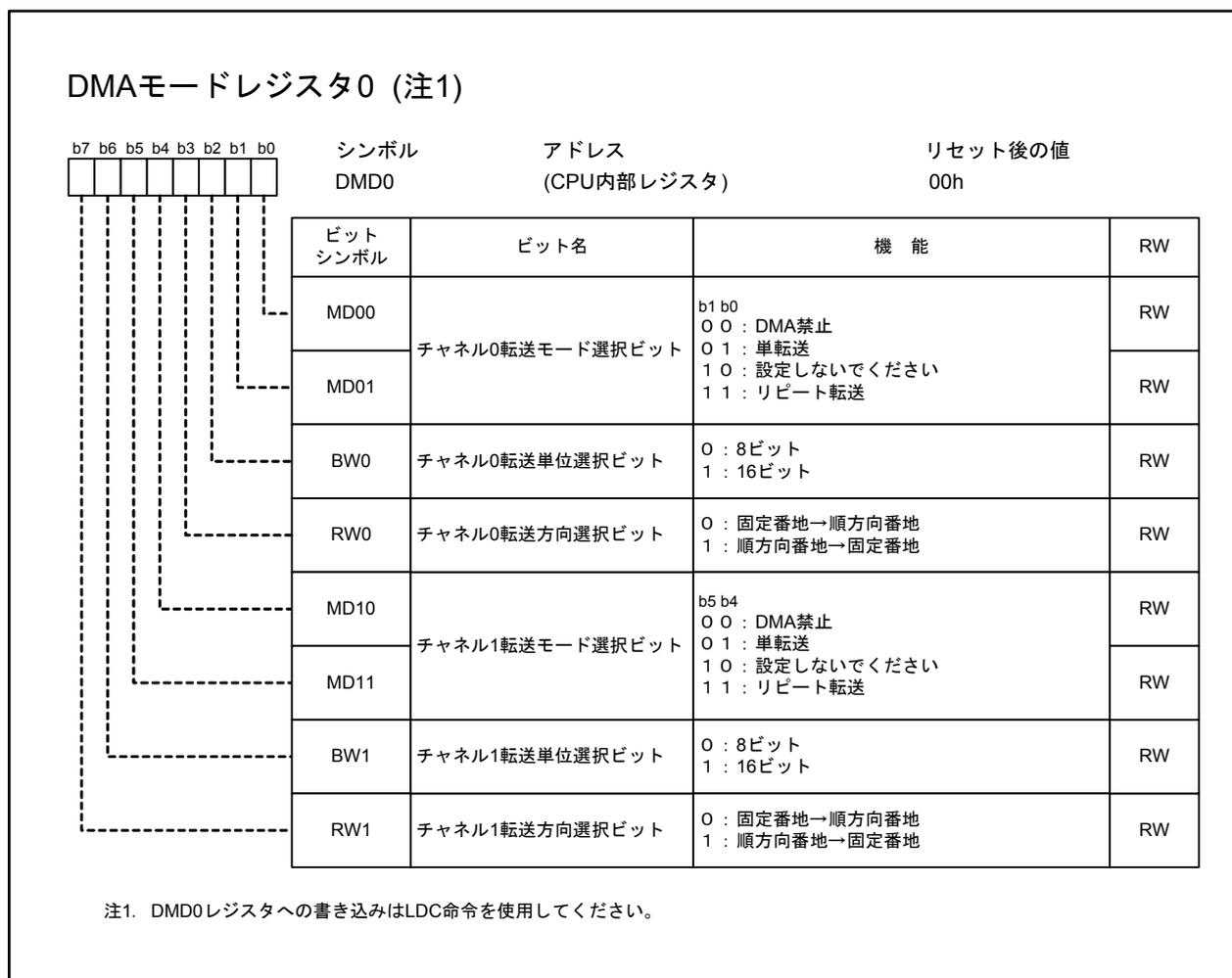


図 13.5 DMD0 レジスタ

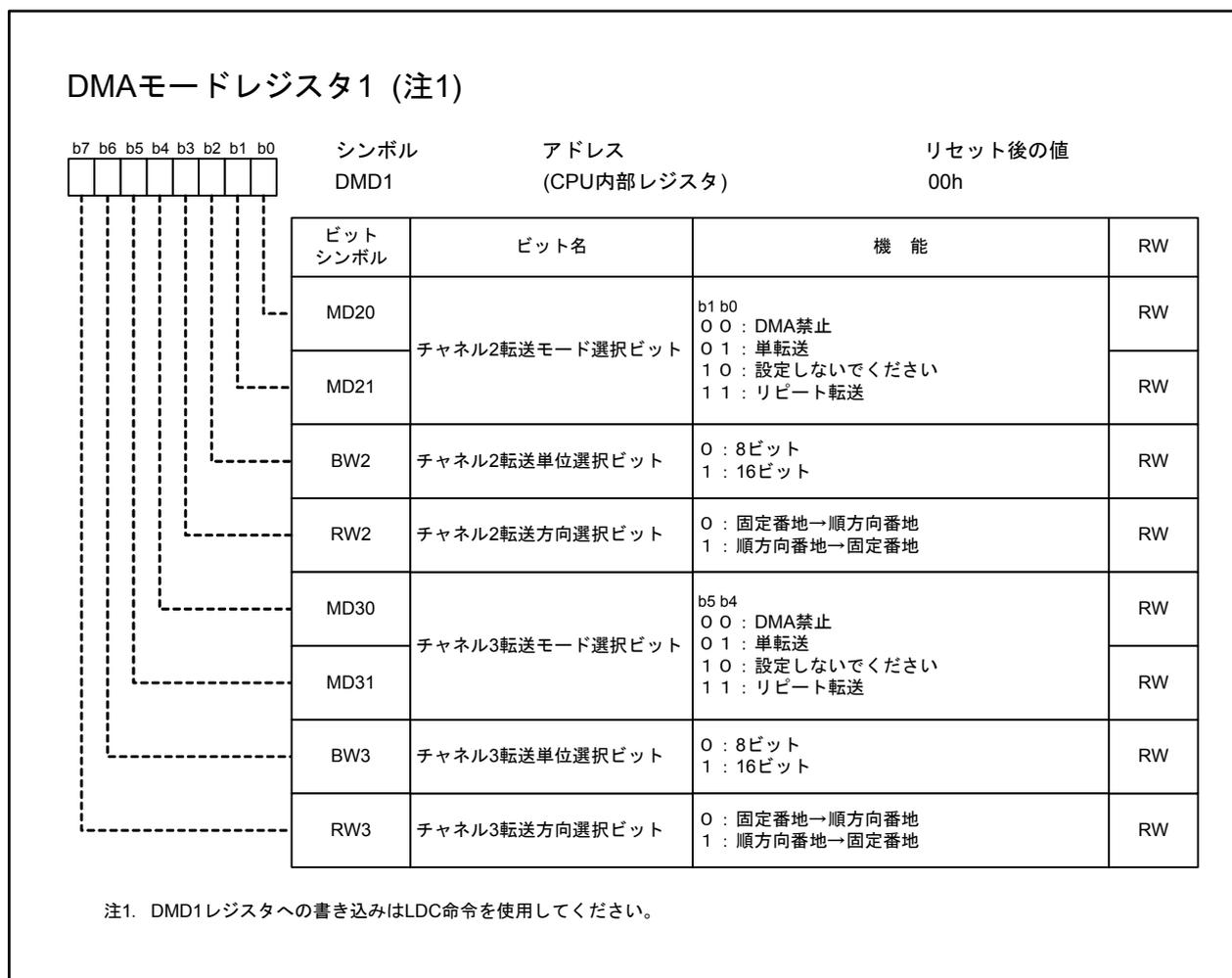


図 13.6 DMD1 レジスタ

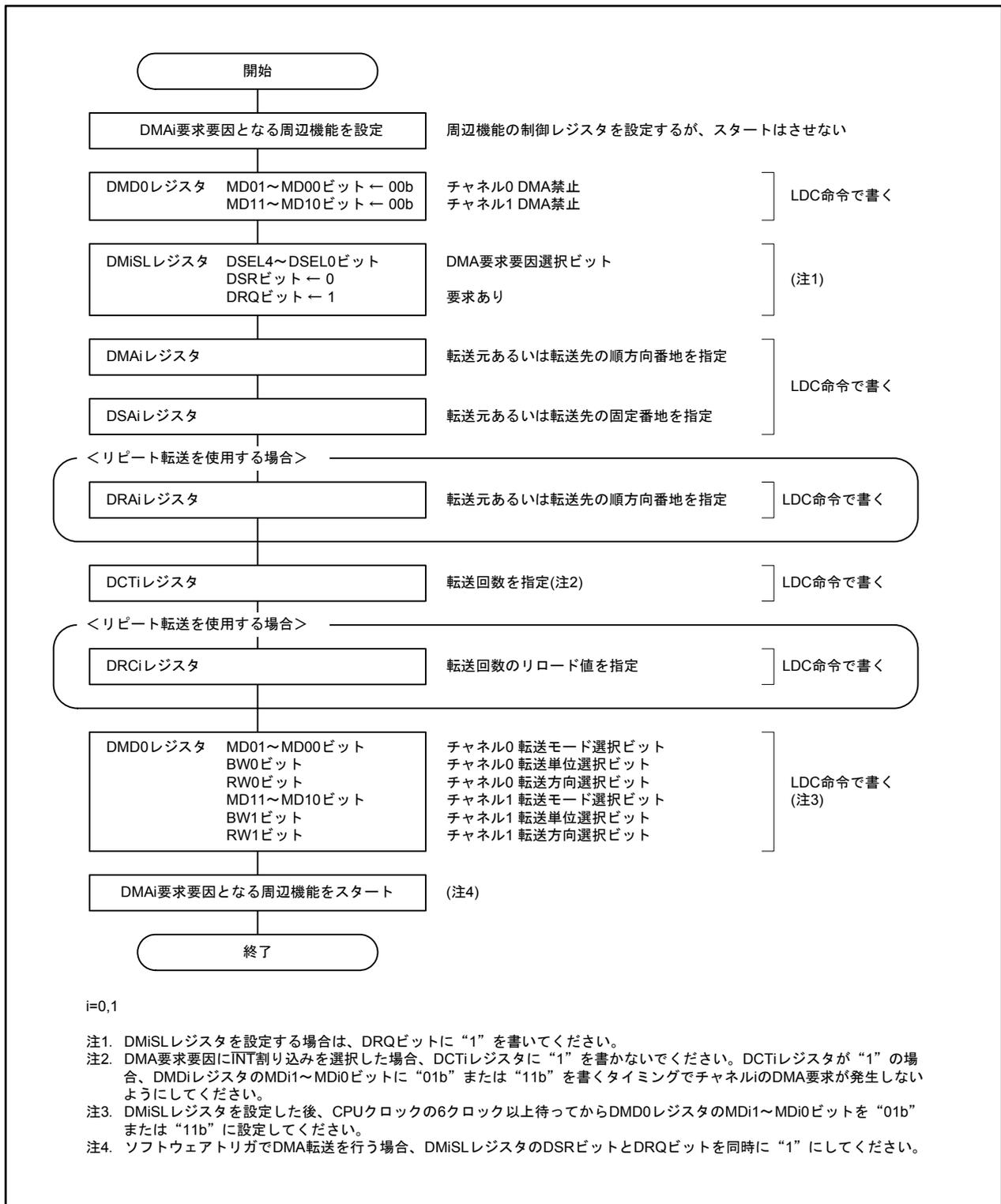


図 13.7 DMA0またはDMA1を使用する場合のレジスタの設定手順

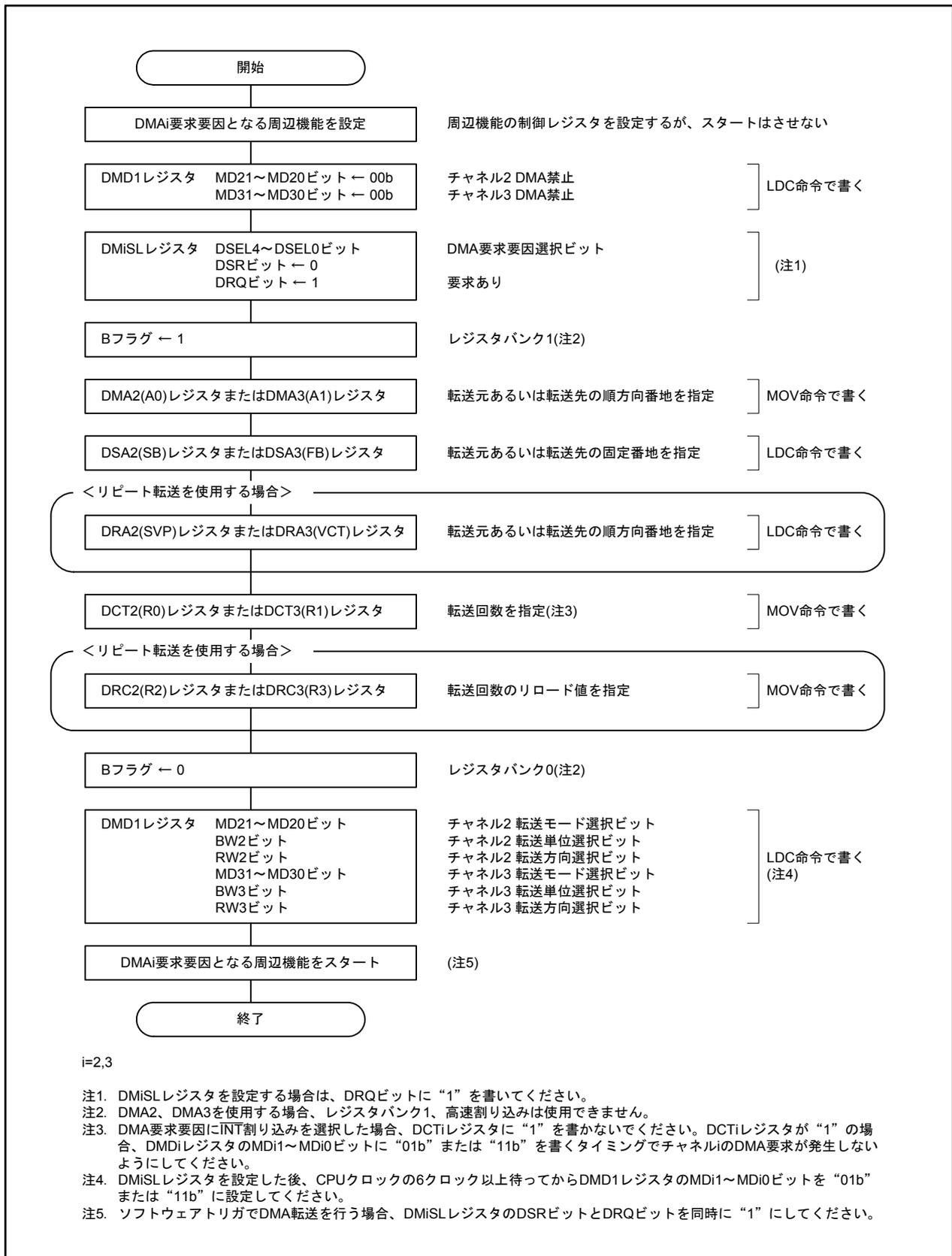


図 13.8 DMA2またはDMA3を使用する場合のレジスタの設定手順

13.1 転送サイクル

転送サイクルは、転送元の読み出し(ソースリード)のバスサイクルと、書き込み(デスティネーションライト)のバスサイクルで構成しています。読み出しと書き込みのバスサイクル数は、転送元番地または転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、DSレジスタの影響も受けます。さらに、ソフトウェアウェイトや $\overline{\text{RDY}}$ 信号の影響により、バスサイクル自体が長くなります。

13.1.1 転送元番地と転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、デスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

13.1.2 DSレジスタの影響

メモリ拡張モードとマイクロプロセッサモード時の外部領域では、転送元と転送先のデータバスにより転送サイクルは変わります。DSレジスタの詳細は、図8.1を参照してください。

- 転送元、転送先のデータバスが8ビット(DSiビットは“0”) で16ビットのデータを転送する場合、8ビットのデータを2回転送します。そのため、データを読むのに2バスサイクル、書くのに2バスサイクル必要とします。
- 転送元のデータバスが8ビット(DSiビットは“0”)、転送先のデータバスが16ビット(DSiビットは“1”) で16ビットのデータを転送する場合、8ビットのデータを2回読み、16ビットのデータとして書きます。そのため、データを読むのに2バスサイクル、書くのに1バスサイクル必要とします。
- 転送元のデータバスが16ビット(DSiビットは“1”)、転送先のデータバスが8ビット(DSiビットは“0”) で16ビットのデータを転送する場合、16ビットのデータを読み、8ビットのデータを2回書きます。そのため、データを読むのに1バスサイクル、書くのに2バスサイクル必要とします。

13.1.3 ソフトウェアウェイトの影響

ソフトウェアウェイトが入るメモリやSFRをアクセスする場合、ソフトウェアウェイトの分だけバスクロック(BCLK)数が増えます。

13.1.4 $\overline{\text{RDY}}$ 信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域では $\overline{\text{RDY}}$ 信号の影響を受けます。詳細は「8.2.6 $\overline{\text{RDY}}$ 信号」を参照してください。

13.2 DMAの転送時間

DMAの転送時間は次のとおり計算できます。(バスクロック換算)

表13.3にソースリードサイクル数とデスティネーションライトサイクル数を、表13.4に係数j、k(バスクロック数)を示します。

$$1 \text{ 転送単位の転送時間} = \text{ソースリードサイクル数} \times j + \text{デスティネーションライトサイクル数} \times k$$

表 13.3 ソースリードサイクル数とデスティネーションライトサイクル数

転送単位	バス幅	アクセス番地	内部領域アクセス時		外部領域アクセス時	
			リード サイクル数	ライト サイクル数	リード サイクル数	ライト サイクル数
8ビット転送 (DMDpレジスタの BWiビット=0)	16ビット	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット	偶数	—	—	1	1
		奇数	—	—	1	1
16ビット転送 (BWiビット=1)	16ビット	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット	偶数	—	—	2	2
		奇数	—	—	2	2

i=0~3、p=0,1

表 13.4 係数j、k(バスクロック数)

内部領域			外部領域
内部ROM または内部RAM	内部ROM または内部RAM	SFR領域	表8.6に示されるBCLKのj,kサイクル(j,k=2~9) リカバリサイクル挿入時は、+1サイクルしてください。
ウェイトなし j=1 k=1	ウェイトあり j=2 k=2	j=2 k=2	

13.3 チャンネル優先順位とDMA転送タイミング

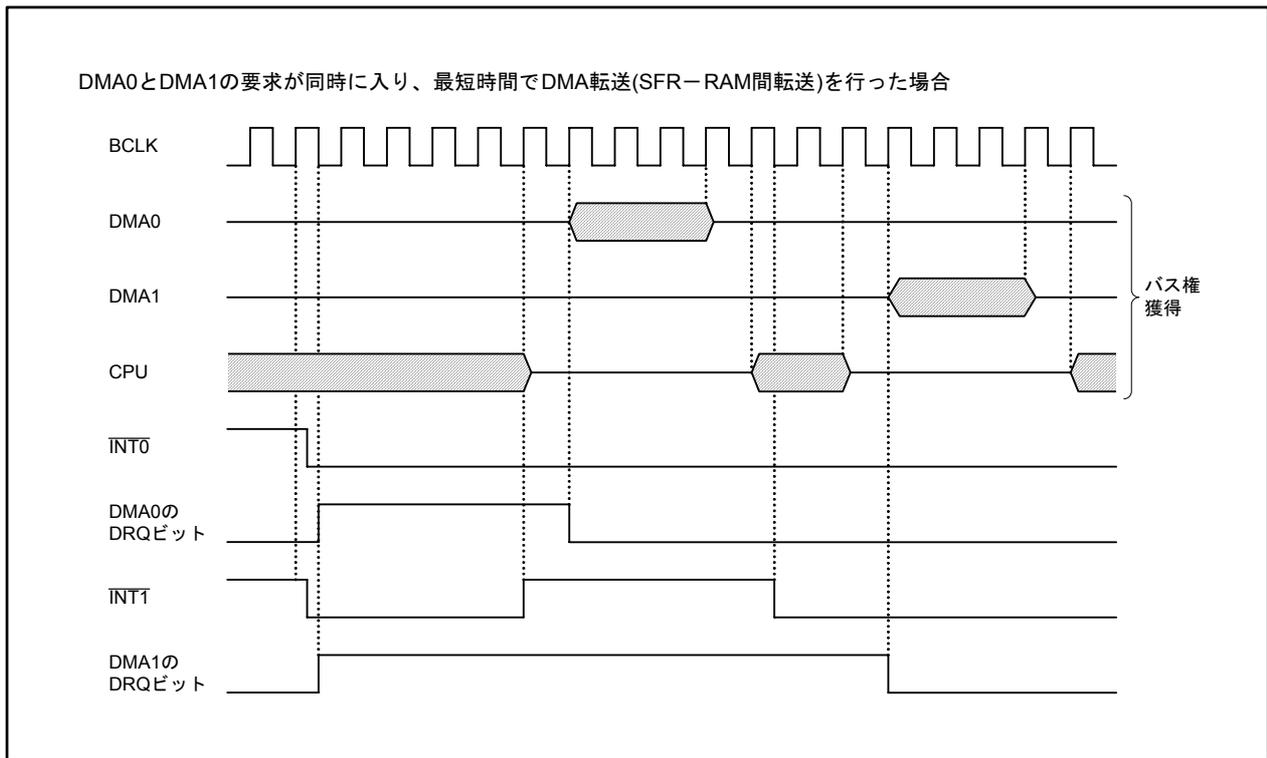
複数のDMA要求が同一サンプリング期間(バスクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)に入った場合、DMiSLレジスタ(i=0~3)のDRQビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1>DMA2>DMA3です。また、同一チャンネルのDMA要求は以下の間隔をあけて使用してください。

$$\text{DMA 要求間隔} \geq (\text{DMA 使用チャンネル数} - 1) \times 5 \text{ バスクロック (BCLK)}$$

次に、DMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図13.9に $\overline{\text{INT}}$ 割り込み要求によるDMA転送例を示します。

図13.9ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス権を返します。

なお、DRQビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図13.9のDMA1のようにバス権を得るまでに複数回DMA要求が発生した場合も、バス権を得るとDRQビットを“0”にして、1転送単位終了後CPUにバス権を返します。

図 13.9 $\overline{\text{INT}}$ 割り込み要求によるDMA転送例

14. DMACII

周辺機能からの割り込み要求により、メモリ間転送、即値転送、2つのデータの加算結果を転送する演算転送を行います。

表14.1にDMACIIの仕様を示します。

表 14.1 DMACIIの仕様

項目	仕様
DMACII 要求要因	割り込み制御レジスタのILVL2～ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求
転送データ	・メモリ→メモリ(メモリ間転送) ・即値→メモリ(即値転送) ・メモリ(または即値)+メモリ→メモリ(演算転送)
転送単位	8ビット、16ビット
転送空間	00000h～0FFFFh番地の64Kバイト空間(注1、2)
転送番地	固定番地：指定したアドレス 順方向番地：転送単位に応じて加算されるアドレス 転送元と転送先で個別に選択可能
転送方式	単転送、バースト転送、複数転送
チェーン転送機能	転送カウンタが“0”になったタイミングで、DMACIIインデックスの参照先を切り替える
転送完了割り込み	転送カウンタが“0”になったタイミングで、割り込み発生

注1. ただし、転送単位が16ビットで転送先番地が0FFFFhのとき、0FFFFh番地と10000h番地に転送します。転送元番地が0FFFFh番地のときも同様です。

注2. 実際の転送可能空間は、内部RAMの容量による制限を受けます。

14.1 DMACIIの設定

DMACIIを使用するための設定は次のとおりです。

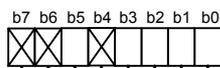
- RLVL レジスタ
- DMACIIインデックス
- DMACIIの要求要因となる周辺機能の割り込み制御レジスタ
- DMACIIの要求要因となる周辺機能の可変ベクタ
- インテリジェントI/O、CAN割り込み、 $\overline{\text{INT}}_j$ 割り込み(j=6～8)、UARTk送信割り込み(k=5,6)またはUARTk受信割り込みを使用する場合、IIOiIEレジスタ(i=0～11)のIRLTビット。IIOiIEレジスタは「11.割り込み」を参照してください。

14.1.1 RLVL レジスタ

DMACIIビットを“1”(DMACII転送)に、FSITビットを“0”(通常割り込み)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求で、DMACIIが起動します。

図14.1にRLVLレジスタを示します。

復帰用優先順位レジスタ



シンボル アドレス リセット後の値
 RLVL 009Fh番地 XXXX 0000b

ビットシンボル	ビット名	機能	RW
RLVL0	ウェイトモード/ ストップモード復帰用 割り込み優先順位選択ビット (注1)	b2 b1 b0 0 0 0 : レベル0 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
RLVL1		RW	
RLVL2		RW	
FSIT	高速割り込み選択ビット	0 : 割り込み優先レベル7は通常割り込みに使用 1 : 割り込み優先レベル7は高速割り込みに使用 (注2、3)	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DMAII	DMACII選択ビット(注4)	0 : 割り込み優先レベル7は割り込みに使用 1 : 割り込み優先レベル7はDMACII転送に使用 (注2)	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

- 注1. 要求のあった割り込みの優先レベルが、RLVL2~RLVL0ビットで選択したレベルより大きい場合、ウェイトモード、ストップモードから復帰します。FLGレジスタのIPLと同じ値を設定してください。
- 注2. FSITビットとDMAIIビットを両方“1”にしないでください。
FSITビットまたはDMAIIビットを“1”にした後で、割り込み制御レジスタのILVL2~ILVL0ビットをレベル7に設定してください。
- 注3. 高速割り込みを使用する場合、レベル7に設定できる割り込みは1つだけです。
- 注4. リセット後、DMAIIビットは不定です。割り込みで使用する場合は、DMAIIビットを“0”にしてから割り込み制御レジスタを設定してください。

図 14.1 RLVL レジスタ

14.1.2 DMACIIインデックス

DMACIIインデックスは8～32バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元番地(または即値データ)、演算対象番地、転送先番地、チェーン転送番地、転送完了割り込み番地のパラメータを格納します。

DMACIIインデックスはRAMに配置してください。

図14.2にDMACIIインデックスを、表14.2にDMACIIインデックスの記述例を示します。



図14.2 DMACIIインデックス

次に、DMACIIインデックスの内容を説明します。これらのデータは使用するDMACIIの転送モードに応じて表14.2に示す順序で設定してください。

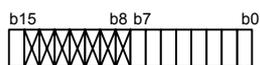
- 転送モード(MOD)
 - 2バイトデータで、転送モードを設定してください。図14.3に転送モードを示します。
- 転送カウンタ(COUNT)
 - 2バイトデータで、転送回数を設定してください。
- 転送元番地(SADR)
 - 2バイトデータで、転送元メモリの番地または即値を設定してください。
- 演算対象番地(OADR)
 - 2バイトデータで、演算対象となるメモリの番地を設定してください。演算転送機能を使用する場合のみ、このデータを設定してください。
- 転送先番地(DADR)
 - 2バイトデータで、転送先メモリの番地を設定してください。
- チェーン転送番地(CADR)
 - 4バイトデータで、次回に行う転送のDMACIIインデックス先頭番地を設定してください。チェーン転送機能を使用する場合のみ、このデータを設定してください。
- 転送完了割り込み番地(IADR)
 - 4バイトデータで、転送完了割り込み処理の飛び先番地を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

なお、これ以降の説明では各パラメータ名は上記()内の略称を使用します。

表 14.2 DMACIIインデックス記述例

転送データ	メモリ間転送/即値転送				演算転送				複数転送																																																		
	不使用	使用	不使用	使用	不使用	使用	不使用	使用																																																			
チェーン転送	不使用	使用	不使用	使用	不使用	使用	不使用	使用	使用できません																																																		
転送完了 割り込み	不使用	不使用	使用	使用	不使用	不使用	使用	使用	使用できません																																																		
DMACII インデックス	<table border="1"> <tr><td>MOD</td></tr> <tr><td>COUNT</td></tr> <tr><td>SADR</td></tr> <tr><td>DADR</td></tr> </table> <p>8バイト</p>	MOD	COUNT	SADR	DADR	<table border="1"> <tr><td>MOD</td></tr> <tr><td>COUNT</td></tr> <tr><td>SADR</td></tr> <tr><td>DADR</td></tr> <tr><td>CADR0</td></tr> <tr><td>CADR1</td></tr> </table> <p>12バイト</p>	MOD	COUNT	SADR	DADR	CADR0	CADR1	<table border="1"> <tr><td>MOD</td></tr> <tr><td>COUNT</td></tr> <tr><td>SADR</td></tr> <tr><td>DADR</td></tr> <tr><td>IADR0</td></tr> <tr><td>IADR1</td></tr> </table> <p>12バイト</p>	MOD	COUNT	SADR	DADR	IADR0	IADR1	<table border="1"> <tr><td>MOD</td></tr> <tr><td>COUNT</td></tr> <tr><td>SADR</td></tr> <tr><td>DADR</td></tr> <tr><td>CADR0</td></tr> <tr><td>CADR1</td></tr> <tr><td>IADR0</td></tr> <tr><td>IADR1</td></tr> </table> <p>16バイト</p>	MOD	COUNT	SADR	DADR	CADR0	CADR1	IADR0	IADR1	<table border="1"> <tr><td>MOD</td></tr> <tr><td>COUNT</td></tr> <tr><td>SADR</td></tr> <tr><td>OADR</td></tr> <tr><td>DADR</td></tr> </table> <p>10バイト</p>	MOD	COUNT	SADR	OADR	DADR	<table border="1"> <tr><td>MOD</td></tr> <tr><td>COUNT</td></tr> <tr><td>SADR</td></tr> <tr><td>OADR</td></tr> <tr><td>DADR</td></tr> <tr><td>CADR0</td></tr> <tr><td>CADR1</td></tr> </table> <p>14バイト</p>	MOD	COUNT	SADR	OADR	DADR	CADR0	CADR1	<table border="1"> <tr><td>MOD</td></tr> <tr><td>COUNT</td></tr> <tr><td>SADR</td></tr> <tr><td>OADR</td></tr> <tr><td>DADR</td></tr> <tr><td>IADR0</td></tr> <tr><td>IADR1</td></tr> </table> <p>14バイト</p>	MOD	COUNT	SADR	OADR	DADR	IADR0	IADR1	<table border="1"> <tr><td>MOD</td></tr> <tr><td>COUNT</td></tr> <tr><td>SADR1</td></tr> <tr><td>DADR1</td></tr> <tr><td colspan="2">...</td></tr> <tr><td>SADRi</td></tr> <tr><td>DADRi</td></tr> </table> <p>18バイト i=1~7 最大32バイト (i=7のとき)</p>	MOD	COUNT	SADR1	DADR1	...		SADRi	DADRi
MOD																																																											
COUNT																																																											
SADR																																																											
DADR																																																											
MOD																																																											
COUNT																																																											
SADR																																																											
DADR																																																											
CADR0																																																											
CADR1																																																											
MOD																																																											
COUNT																																																											
SADR																																																											
DADR																																																											
IADR0																																																											
IADR1																																																											
MOD																																																											
COUNT																																																											
SADR																																																											
DADR																																																											
CADR0																																																											
CADR1																																																											
IADR0																																																											
IADR1																																																											
MOD																																																											
COUNT																																																											
SADR																																																											
OADR																																																											
DADR																																																											
MOD																																																											
COUNT																																																											
SADR																																																											
OADR																																																											
DADR																																																											
CADR0																																																											
CADR1																																																											
MOD																																																											
COUNT																																																											
SADR																																																											
OADR																																																											
DADR																																																											
IADR0																																																											
IADR1																																																											
MOD																																																											
COUNT																																																											
SADR1																																																											
DADR1																																																											
...																																																											
SADRi																																																											
DADRi																																																											

転送モード(MOD) (注1)



ビット シンボル	ビット名	機能 (MULT=0)	機能 (MULT=1)	RW
SIZE	転送単位選択ビット	0 : 8ビット 1 : 16ビット		RW
IMM	転送データ選択ビット	0 : 即値データ 1 : メモリ	"1" にしてください	RW
UPDS	転送元方向選択ビット	0 : 固定番地 1 : 順方向番地		RW
UPDD	転送先方向選択ビット	0 : 固定番地 1 : 順方向番地		RW
OPER/ CNT0(注2)	演算転送機能選択ビット	0 : 演算機能なし 1 : 演算機能あり	b6 b5 b4 0 0 0 : 設定しないで ください	RW
BRST/ CNT1(注2)	バースト転送選択ビット	0 : 単転送 1 : バースト転送	0 0 1 : 1回 0 1 0 : 2回 :	RW
INTE/ CNT2(注2)	転送完了割り込み 選択ビット	0 : 割り込みを使用しない 1 : 割り込みを使用する	1 1 0 : 6回 1 1 1 : 7回	RW
CHAIN	チェーン転送選択ビット	0 : チェーン転送しない 1 : チェーン転送する	"0" にしてください	RW
— (b14-b8)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—
MULT	複数転送選択ビット	0 : 複数転送しない 1 : 複数転送する		RW

注1. RAMに配置してください。
 注2. ビット4~6のビットシンボルはMULTビットが“0”のとき、OPER、BRST、INTEビットに、MULTビットが“1”のとき、CNT2~CNT0ビットになります。

図 14.3 MOD

14.1.3 周辺機能の割り込み制御レジスタ

DMACIIの要求要因に使用する周辺機能割り込みは、割り込み制御レジスタのILVL2～ILVL0ビットを“111b”(レベル7)にしてください。

14.1.4 周辺機能の割り込みベクタ

DMACIIの要求要因となる周辺機能割り込みの割り込みベクタに、DMACIIインデックスの先頭番地を設定してください。

チェーン転送を使用するときは、可変ベクタテーブルをRAMに設定してください。

14.1.5 IIOiE レジスタ (i=0～11)のIRLT ビット

インテリジェントI/O割り込み、CAN割り込み、 \overline{INTj} 割り込み(j=6～8)、UARTk送信割り込み(k=5,6)またはUARTk受信割り込みによりDMACIIを起動する場合、要求要因となる割り込みのIIOiEレジスタのIRLTビットを“0”にしてください。

14.2 DMACIIの動作

RLVLレジスタのDMAIIビットを“1”(DMACII転送)にすると、DMACII機能が選択されます。ILVL2～ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能割り込み要求が、DMACII要求要因になります。これらの周辺機能割り込み要求は、DMACII転送要求となり、周辺機能割り込みは使用できません。

ILVL2～ILVL0ビットが“111b”の割り込み要求が発生すると、IフラグとIPLに関係なくDMACIIが起動します。

14.3 転送データ

DMACIIでは、次のように8ビットまたは16ビット単位でデータを転送します。

- メモリ間転送 : 64Kバイト空間(00000h～0FFFFh番地)の任意のメモリから同空間の任意のメモリに転送します。
 - 即値転送 : 即値データを64Kバイト空間の任意のメモリに転送します。
 - 演算転送 : 2つのデータを加算し、加算結果を64Kバイト空間の任意のメモリに転送します。
- ただし、転送単位が16ビットで転送先番地が0FFFFh番地のとき、0FFFFh番地と10000h番地に転送します。転送元番地が0FFFFh番地のときも同様です。また、実際の転送可能空間は、内部メモリの容量による制限を受けます。内部メモリについては「図3.1メモリ配置図」を参照してください。

14.3.1 メモリ間転送

任意のメモリから任意のメモリへの転送は、次のとおりです。

- 固定番地から固定番地への転送
- 固定番地から順方向番地への転送
- 順方向番地から固定番地への転送
- 順方向番地から順方向番地への転送

順方向番地を選択した場合、転送後、次回の転送のために転送元番地(SADR)または転送先番地(DADR)を加算します。転送単位が8ビットの場合、番地は1加算されます。転送単位が16ビットの場合、番地は2加算されます。番地を加算することで、転送元または転送先番地が0FFFFh番地を超えた場合、転送元または転送先番地は00000h番地に戻って加算されますので、転送元または転送先番地が0FFFFh番地を超えないように注意してください。

14.3.2 即値転送

即値データを任意のメモリに転送します。転送先番地として固定または順方向番地を選択できます。SADRに即値データを格納してください。8ビット即値を転送する場合、SADRの下位1バイトにデータを設定してください(上位バイトは無視されます)。

14.3.3 演算転送

任意のメモリと任意のメモリ、または即値データと任意のメモリを加算した後、任意のメモリに転送します。SADRに演算対象メモリの番地または即値データを設定し、OADRにもう一方の演算対象メモリの番地を設定してください。メモリ+メモリ演算転送の場合、転送元と転送先番地として、固定または順方向番地を選択できます。転送元番地が順方向の場合には、演算対象番地も順方向となります。即値+メモリ演算転送の場合、転送先番地として固定または順方向番地を選択できます。

14.4 転送方式

DMACIIでは単転送とバースト転送、複数転送が行えます。MODのBRSTビットで、単転送またはバースト転送を選択します。MODのMULTビットで複数転送が選択できます。転送回数はCOUNTで設定します。COUNTを“0000h”にしている場合、転送は行いません。

14.4.1 単転送

一度の要求に対して、1転送単位(8ビットまたは16ビット)のデータを1回転送します。転送元番地、または転送先番地として順方向番地を選択した場合、転送後、次の転送のために番地を加算します。

COUNTは、転送ごとにダウンカウントされます。転送完了割り込みを使用する場合、COUNTが“0”になった時点で、転送完了割り込みが発生します。

14.4.2 バースト転送

一度の要求に対して、COUNTで設定された回数分、連続してデータ転送が行われます。COUNTは1転送単位を転送するごとにダウンカウントし、COUNTが“0”になったときバースト転送が終了します。転送完了割り込みを使用する場合、バースト転送終了時、転送完了割り込みが発生します。なお、バースト転送中は、すべての割り込みを受け付けません。

14.4.3 複数転送

複数転送ではメモリ間転送が行えます。

一度の要求に対して複数の転送を行います。転送数はMODのCNT2～CNT0ビットで“001b”(1回)～“111b”(7回)が選択できます。なお、CNT2～CNT0ビットは“000b”にしないでください。

転送数分の転送元番地、転送先番地をMOD、COUNTに続く番地にそれぞれ交互に配置してください。CNT2～CNT0で設定した回数の転送が完了するまですべての割り込みは受け付けられません。複数転送選択時、演算転送、バースト転送、転送完了割り込み、チェーン転送の各機能は使用できません。

14.5 チェーン転送

MODのCHAINビットでチェーン転送が選択できます。

チェーン転送時は次のように動作します。

- (1) DMACII転送要求により、その要因の割り込みベクタで示されるDMACIIインデックスの内容に従って転送します。一度の要求に対して、MODのBRSTビットの内容に従って単転送またはバースト転送を行います。
- (2) COUNTが“0”になったとき、(1)の割り込みベクタがCADR1～CADR0の値に書き換わります。MODのINTEビットが“1”の場合は、同時に転送完了割り込みが発生します。
- (3) 次にDMACII転送要求が発生すると、(2)で書き換えた割り込みベクタが示すDMACIIインデックスの内容に従って転送します。

図14.4にチェーン転送時の可変ベクタとDMACIIインデックスを示します。

チェーン転送を使用する場合、可変ベクタテーブルはRAMに配置してください。

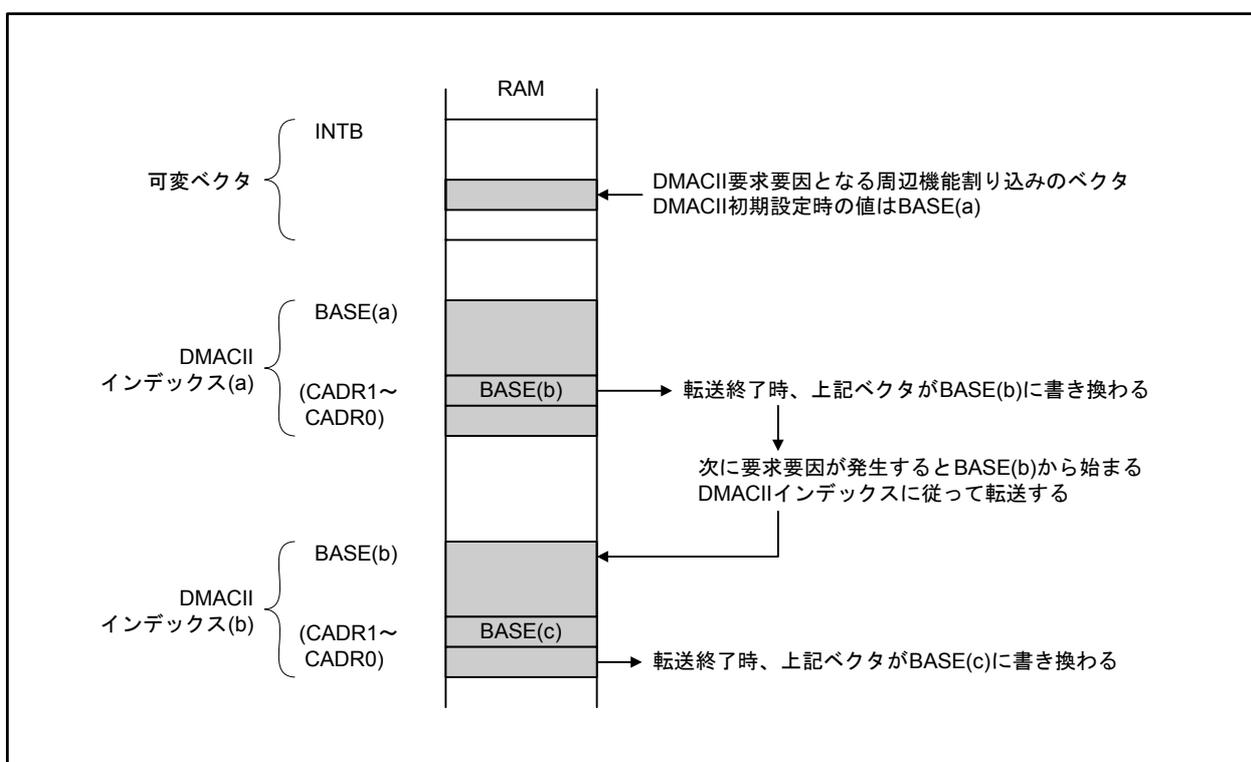


図14.4 チェーン転送時の可変ベクタとDMACIIインデックス

14.6 転送完了割り込み

MODのINTEビットで、転送完了割り込みが選択できます。転送完了割り込みルーチンの先頭番地をIADR1～IADR0に設定してください。転送完了割り込みは、COUNTが“0”になったとき発生します。

14.7 実行時間

DMACIIの実行時間は次のとおりです。

$$\begin{aligned} \text{複数転送以外} : t(\text{バスクロック}) &= 6 + (26 + a + b + c + d) \times m + (4 + e) \times n \\ \text{複数転送} : t(\text{バスクロック}) &= 21 + (11 + b + c) \times k \end{aligned}$$

- a : IMM=0(転送元が即値)の場合 a=0、IMM=1(転送元がメモリ)の場合 a=-1
 b : UPDS=1(転送元番地が順方向番地)の場合 b=0、UPDS=0(転送元番地が固定番地)の場合 b=1
 c : UPDD=1(転送先番地が順方向番地)の場合 c=0、UPDD=0(転送先番地が固定番地)の場合 c=1
 d : OPER=0(演算機能なし)の場合 d=0、OPER=1(演算機能あり)でUPDS=0(転送元が即値か固定番地のメモリ)の場合 d=7、OPER=1(演算機能あり)でUPDS=1(転送元が順方向番地のメモリ)の場合 d=8
 e : CHAIN=0(チェーン転送機能なし)の場合 e=0、CHAIN=1(チェーン転送機能あり)の場合 e=4
 m : BRST=0(単転送)の場合 m=1、BRST=1(バースト転送)の場合 m=転送カウンタで設定された値
 n : COUNTが“1”の場合 n=0、COUNTが“2”以上の場合 n=1
 k : CNT2～CNT0ビットで設定した転送数

上記は概算値であり、CPUの状態、バスウェイトやDMACIIインデックスの配置により実行時間は異なります。

また、転送完了割り込みルーチンの最初の命令は、DMACII実行完了の7バスクロック後に行われます。

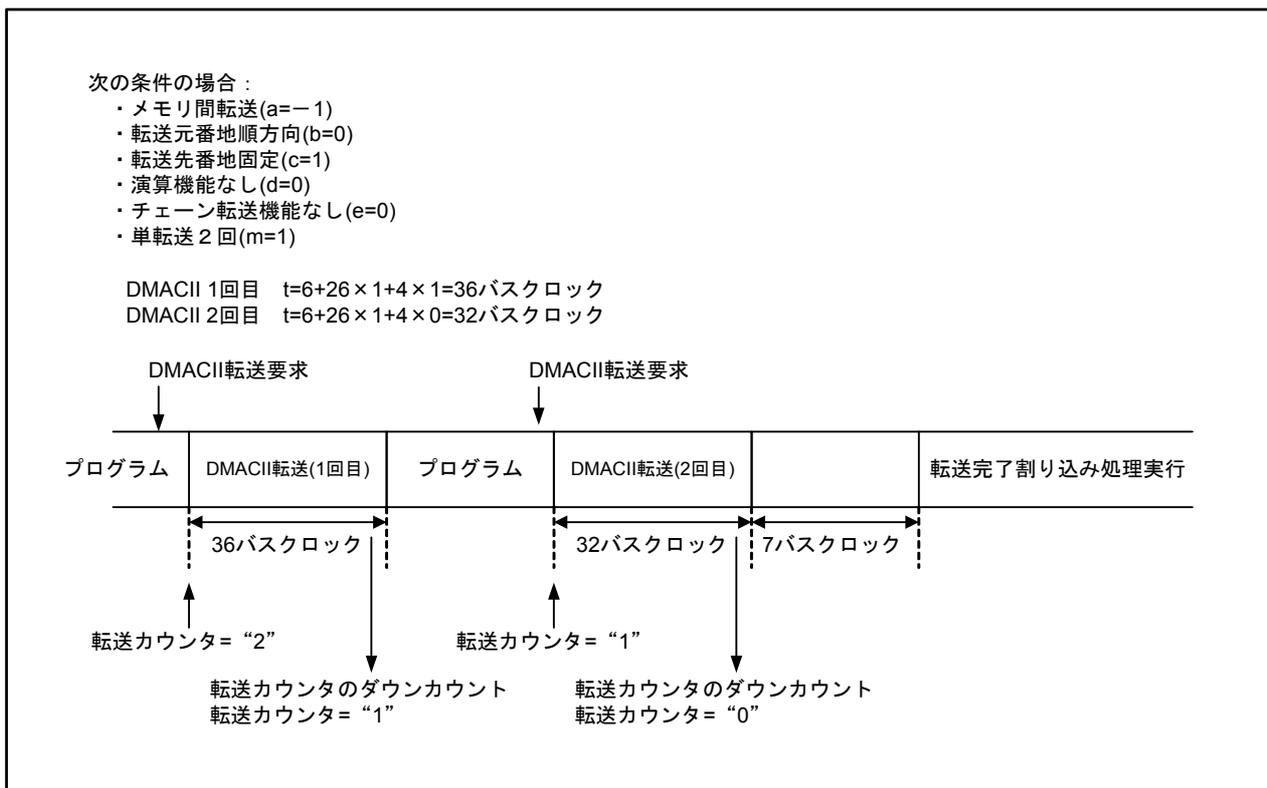


図 14.5 転送時間

なお、DMACII 要求要因になる割り込み要求と、より優先順位の高い割り込み要求(NMI、ウォッチドッグタイマ)が同時に発生した場合、優先順位の高い割り込みがDMACII転送よりも優先して受け付けられ、その割り込みシーケンス終了後にDMACII転送が開始されます。

15. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマはそれぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマの動作クロックになります。

図15.1にタイマAの構成、図15.2にタイマBの構成を示します。

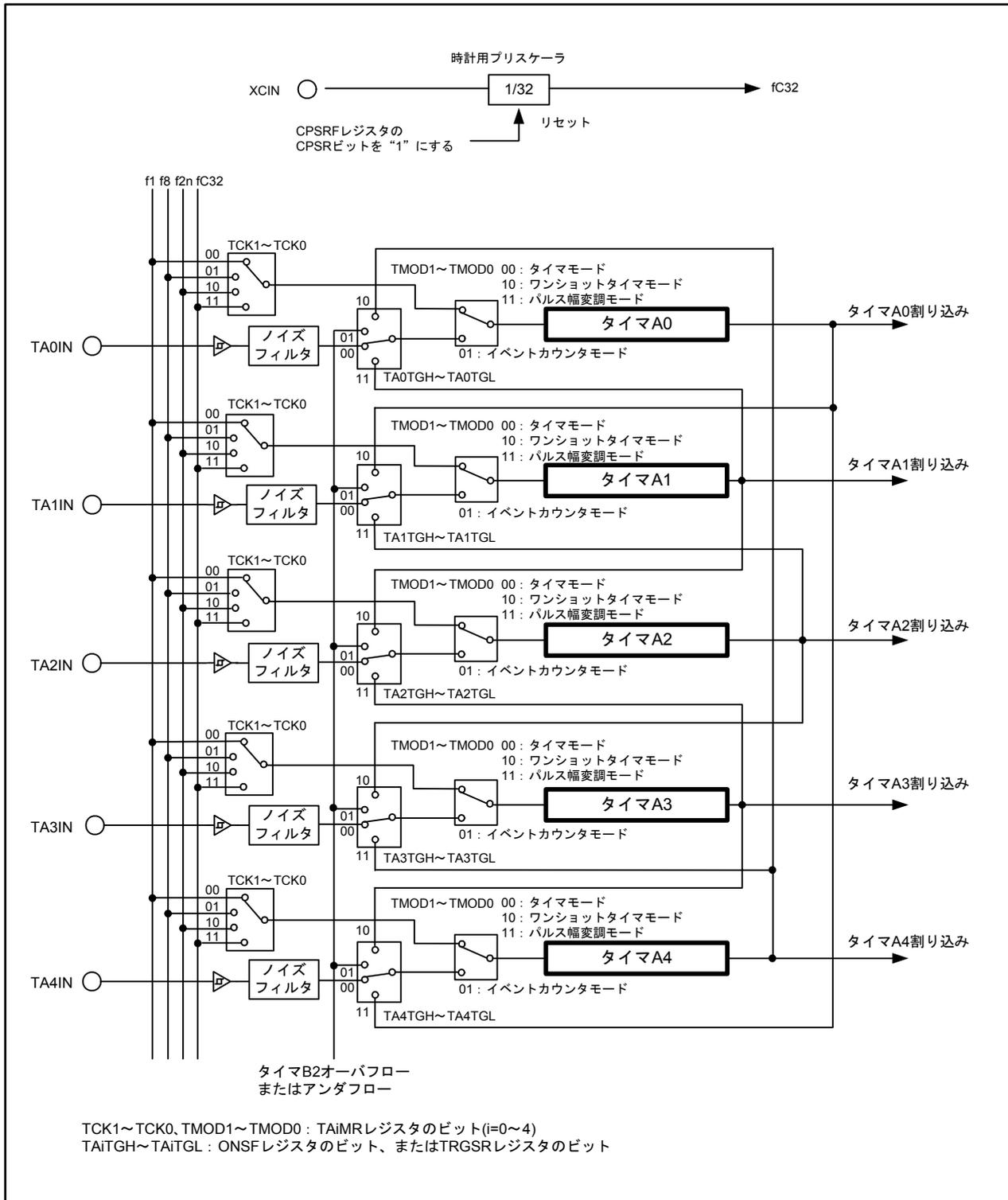


図15.1 タイマAの構成

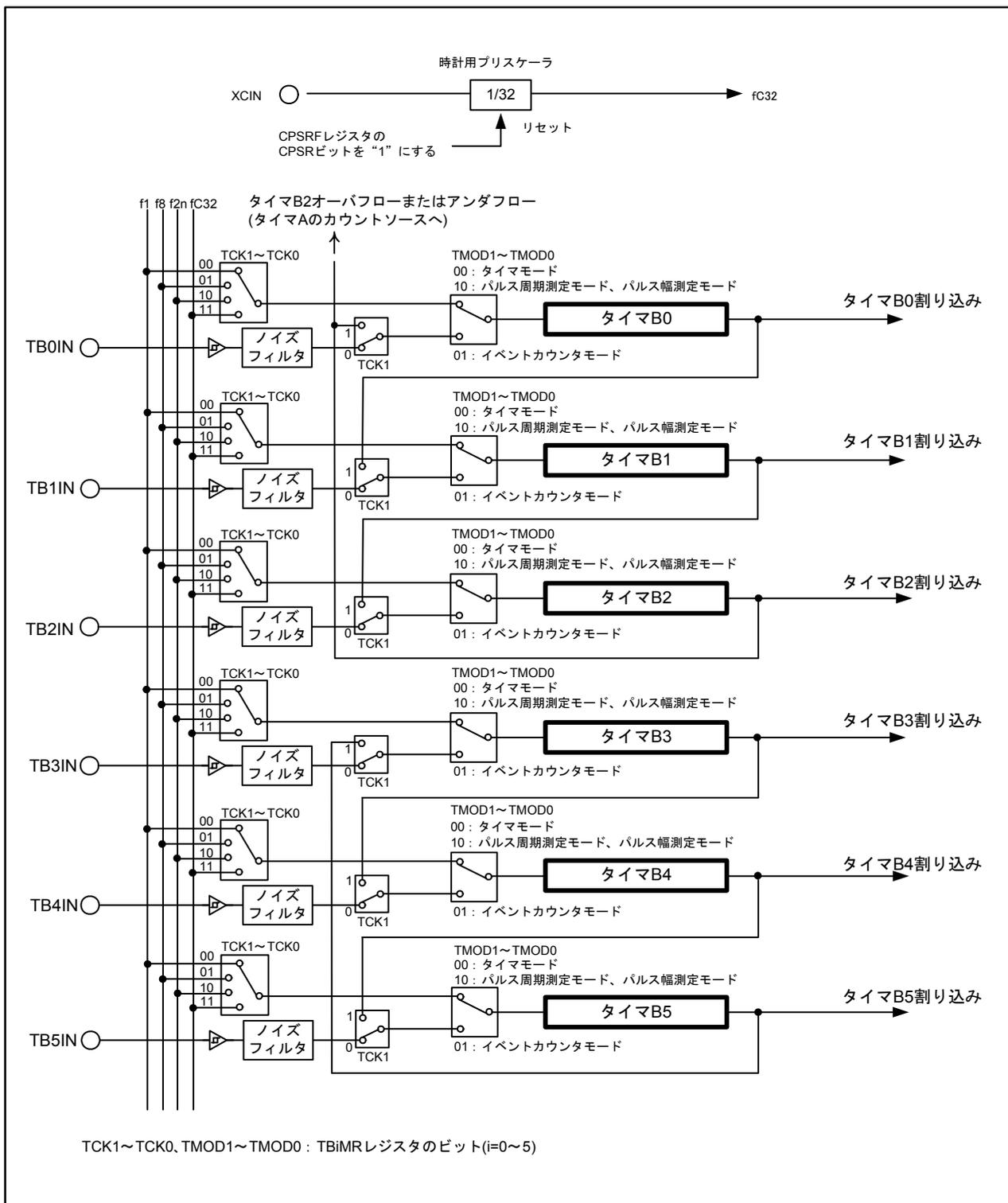


図 15.2 タイマBの構成

15.1 タイマA

タイマAには次の4種類のモードがあり、イベントカウンタモードを除いてタイマA0～A4は同一の機能を持ちます。各モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルス、他のタイマのオーバーフローまたはアンダフローをカウントするモード
- ワンショットタイマモード 1度のトリガに対して、1度だけタイマを動作させるモード
- パルス幅変調モード 任意のパルス幅を連続して出力するモード

図15.3にタイマAのブロック図を、図15.4～図15.13にタイマA関連レジスタを示します。また、表15.1にTAiOUT端子を出力機能で使用する場合の設定、表15.2にTAiIN端子、TAiOUT端子を入力機能で使用する場合の設定を示します。

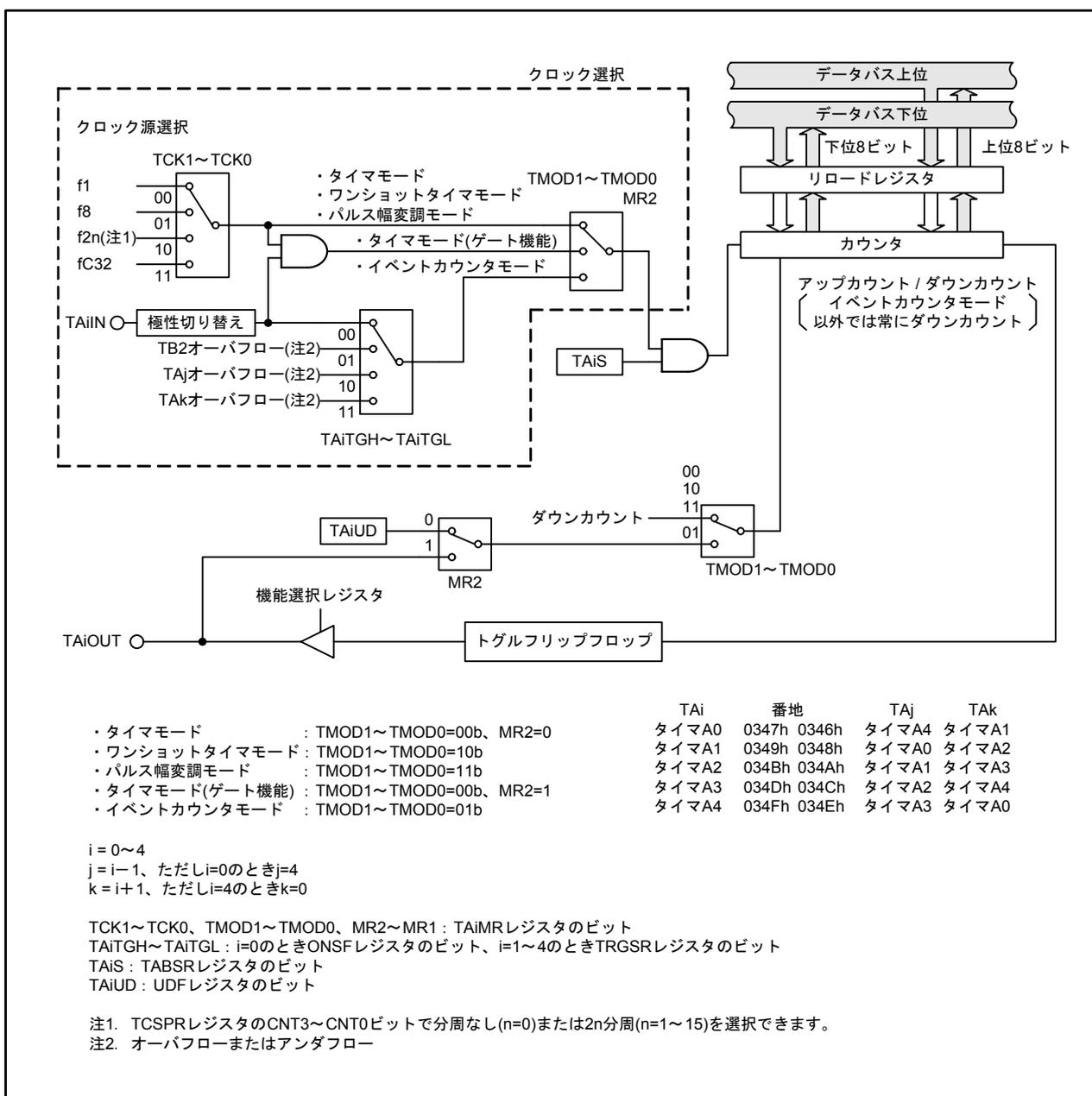


図15.3 タイマAブロック図

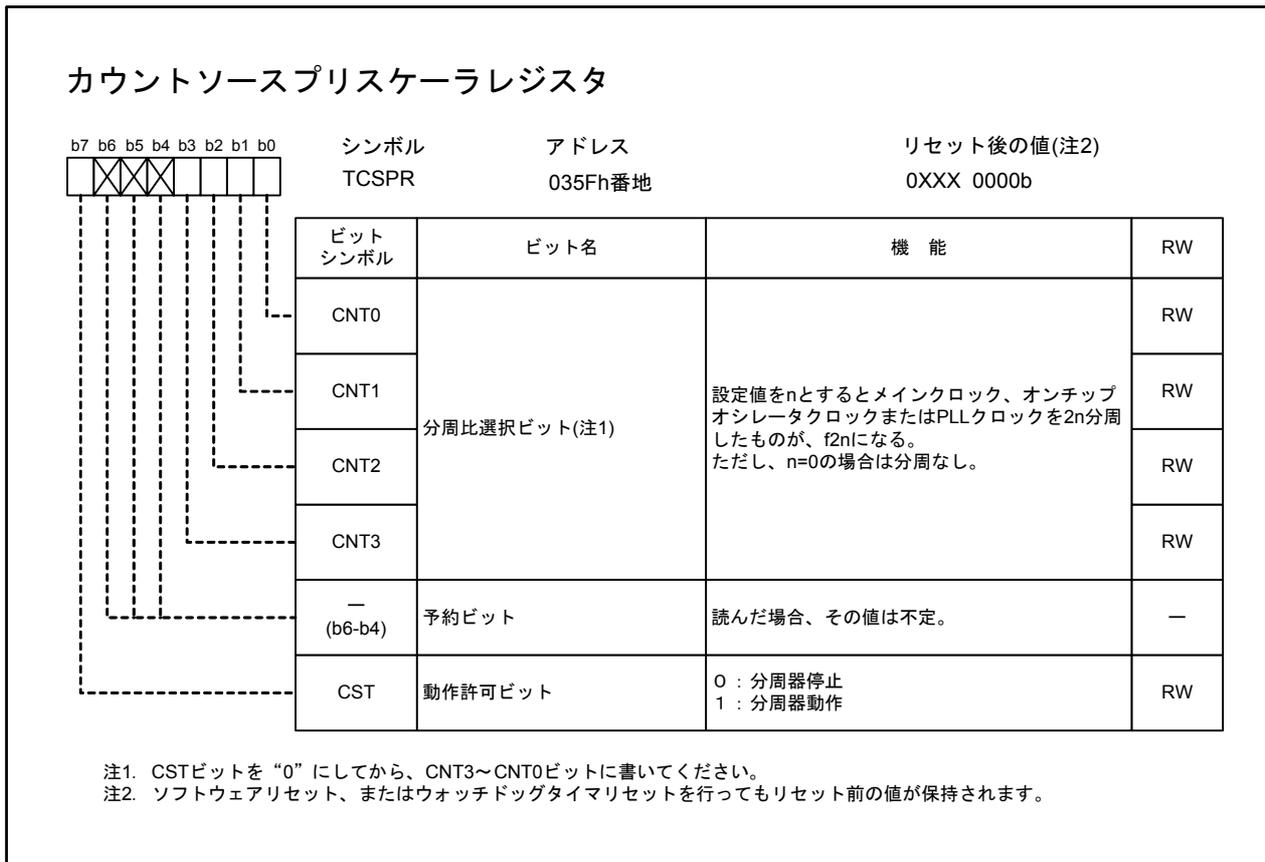


図 15.4 TCSPR レジスタ

タイマAiモードレジスタ (i=0~4)(タイマモード)

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット後の値
 [] [0] [] [] [0] [0] [0] TA0MR~TA4MR 0356h, 0357h, 0358h, 0359h, 035Ah番地 00h

ビット シンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	RW
TMOD1			RW
— (b2)	予約ビット	“0” にしてください	RW
MR1	ゲート機能選択ビット	b4 b3 0 0 : ゲート機能なし(TAiN端子は プログラマブル入出力ポート) 1 0 : T AiN端子に “L” が入力されている期間 カウント 1 1 : T AiN端子に “H” が入力されている期間 カウント	RW
MR2			RW
MR3	タイマモードでは “0” にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n(注1) 1 1 : fC32	RW
TCK1			RW

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。f2nを選択する場合は、TCSPRレジスタのCSTビットを“1”にした後、TCK1~TCK0ビットを“10b”にしてください。

図 15.5 タイマモード時のTA0MR~TA4MRレジスタ

タイマAiモードレジスタ (i=0~4)(イベントカウンタモード)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル アドレス リセット後の値
 TA0MR~TA4MR 0356h, 0357h, 0358h, 0359h, 035Ah番地 00h

ビットシンボル	ビット名	機能 (二相パルス信号処理を使用しない) (二相パルス信号処理を使用する)		RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)		RW
				RW
— (b2)	予約ビット	"0" にしてください		RW
MR1	カウント極性選択ビット(注2)	0 : 外部信号の立ち下がり をカウント 1 : 外部信号の立ち上がり をカウント	"0" にしてください	RW
MR2	アップ/ダウン切り替え要因 選択ビット	0 : UDFレジスタの内容 1 : TAIOUT端子の入力信号 (注3)	"1" にしてください	RW
MR3	イベントカウンタモードでは、"0" にしてください			RW
TCK0	カウント動作タイプ 選択ビット	0 : リロードタイプ 1 : フリーランタイプ		RW
TCK1	二相パルス処理動作 選択ビット(注4、5)	"0" にしてください	0 : 通常処理動作 1 : 4通倍処理動作	RW

- 注1. イベントカウンタモードでは、カウントソースをONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットで選択できます。
- 注2. 外部信号カウント時のみ有効。
- 注3. TAIOUT端子の入力信号が"L"のときはダウンカウント、"H"のときはアップカウントを行います。
- 注4. TCK1ビットはTA3MRレジスタにおいて有効です。
- 注5. 二相パルス信号処理を行う場合、UDFレジスタのTAjPビット(j=2~4)は"1"(二相パルス信号処理機能許可)に、TRGSRレジスタのTAjTGH~TAjTGLビットを"00b"(TAjIN端子の入力)にしてください。

図 15.6 イベントカウンタモード時のTA0MR~TA4MRレジスタ

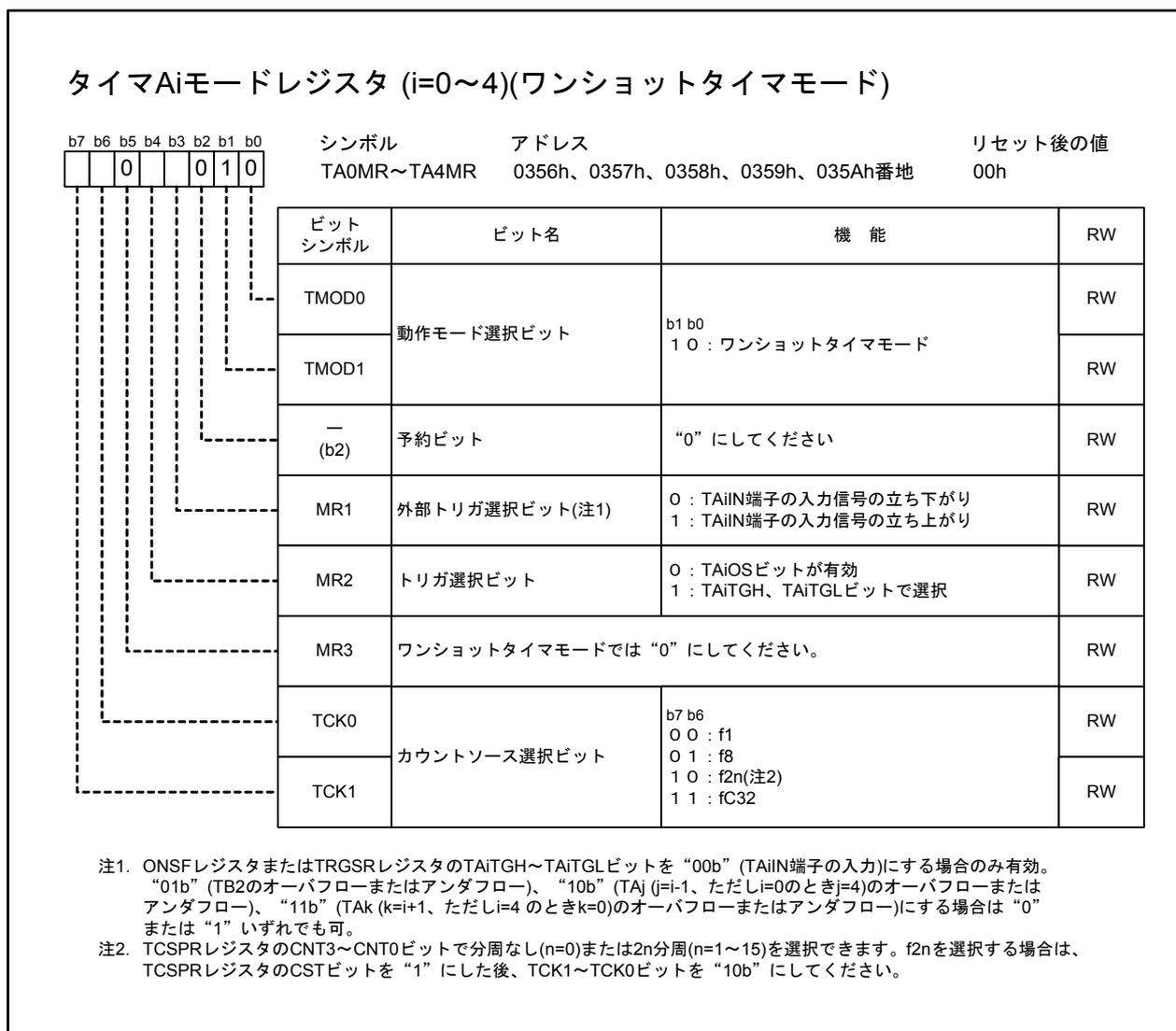


図 15.7 ワンショットタイマモード時のTA0MR~TA4MRレジスタ

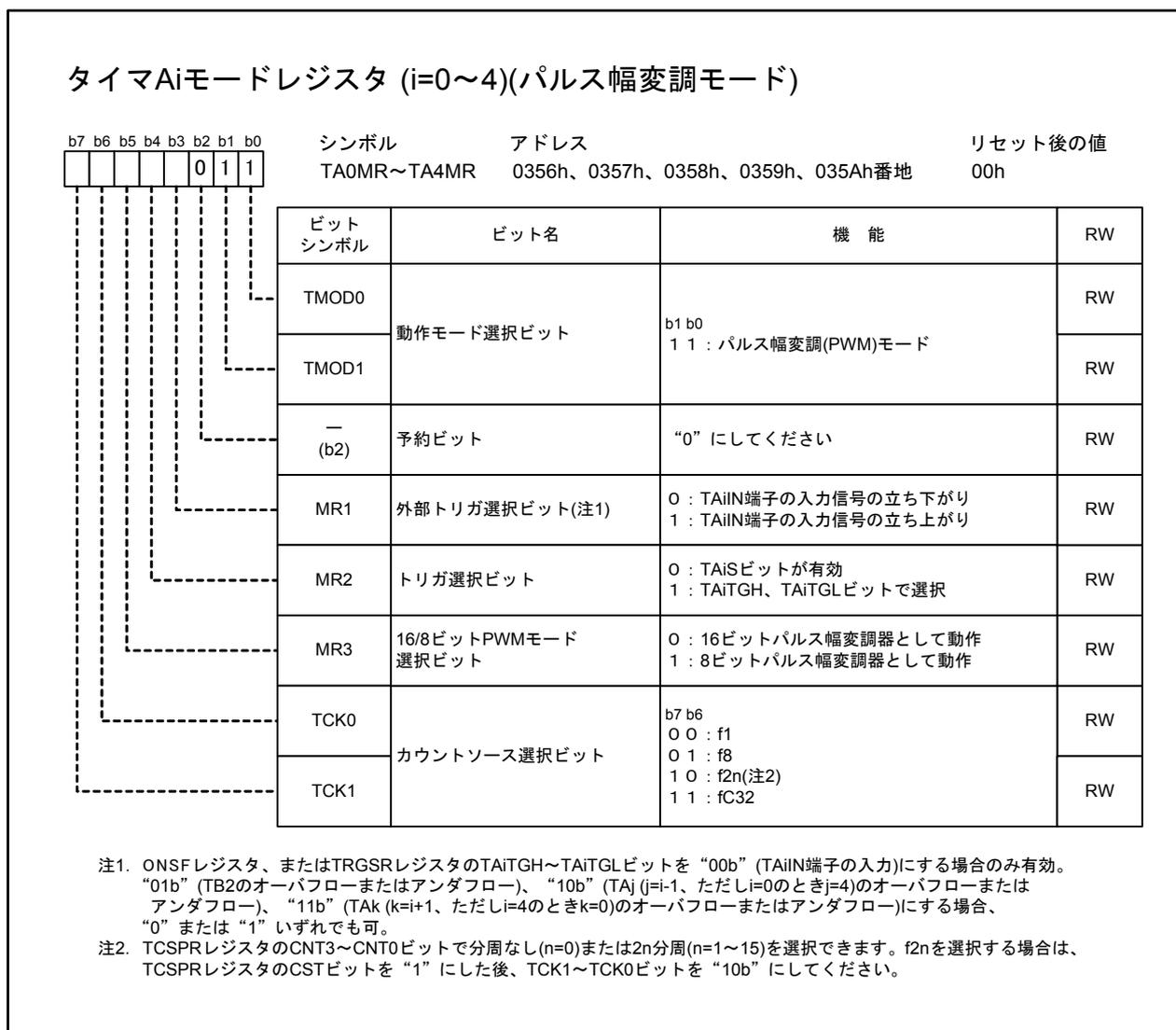
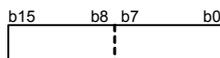


図 15.8 パルス幅変調モード時のTA0MR~TA4MRレジスタ

タイマAiレジスタ (i=0~4)(注1)



シンボル	アドレス	リセット後の値
TA0~TA2	0347h - 0346h, 0349h - 0348h, 034Bh - 034Ah番地	不定
TA3, TA4	034Dh - 034Ch, 034Fh - 034Eh番地	不定

モード	機能	設定範囲	RW
タイマモード	カウントソースの周波数を f_j 、TAiレジスタの設定値を n とすると カウンタ周期： $(n+1)/f_j$	0000h~FFFFh	RW
イベントカウンタモード	設定値を n とすると、カウント回数は、アップカウント時、FFFFh - $n+1$ 回 ダウンカウント時、 $n+1$ 回(注2)	0000h~FFFFh	RW
ワンショットタイマモード	設定値を n とすると、 n 回カウントし、停止する	0000h~FFFFh (注3、4)	WO
パルス幅変調モード (16ビットPWM)	カウントソースの周波数 f_j 、TAiレジスタの設定値を n とすると PWMの周期： $(2^{16}-1)/f_j$ PWMパルスの“H”幅： n/f_j	0000h~FFFEh (注3、5)	WO
パルス幅変調モード (8ビットPWM)	カウントソースの周波数 f_j 、TAiレジスタの上位アドレスの設定値を n 、下位アドレスの設定値を m とすると、 PWMの周期： $(m+1)/f_j \times (2^8-1)$ PWMパルスの“H”幅： $(m+1)/f_j \times n$	00h~FEh(上位アドレス) 00h~FFh(下位アドレス) (注3、6)	WO

f_j : f_1 、 f_8 、 f_{2n} 、 f_{C32}

- 注1. 読む場合、書く場合は16ビット単位で実行してください。
- 注2. 外部からのパルス、他のタイマのオーバフローまたはアンダフローをカウントする。
- 注3. TAiレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。
- 注4. TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。
- 注5. TAiレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また“FFFFh”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“H”のままで、タイマAi割り込み要求も発生しません。
- 注6. TAiレジスタの上位8ビットを“00h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また“FFh”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“H”のままで、タイマAi割り込み要求も発生しません。

図 15.9 TA0~TA4 レジスタ

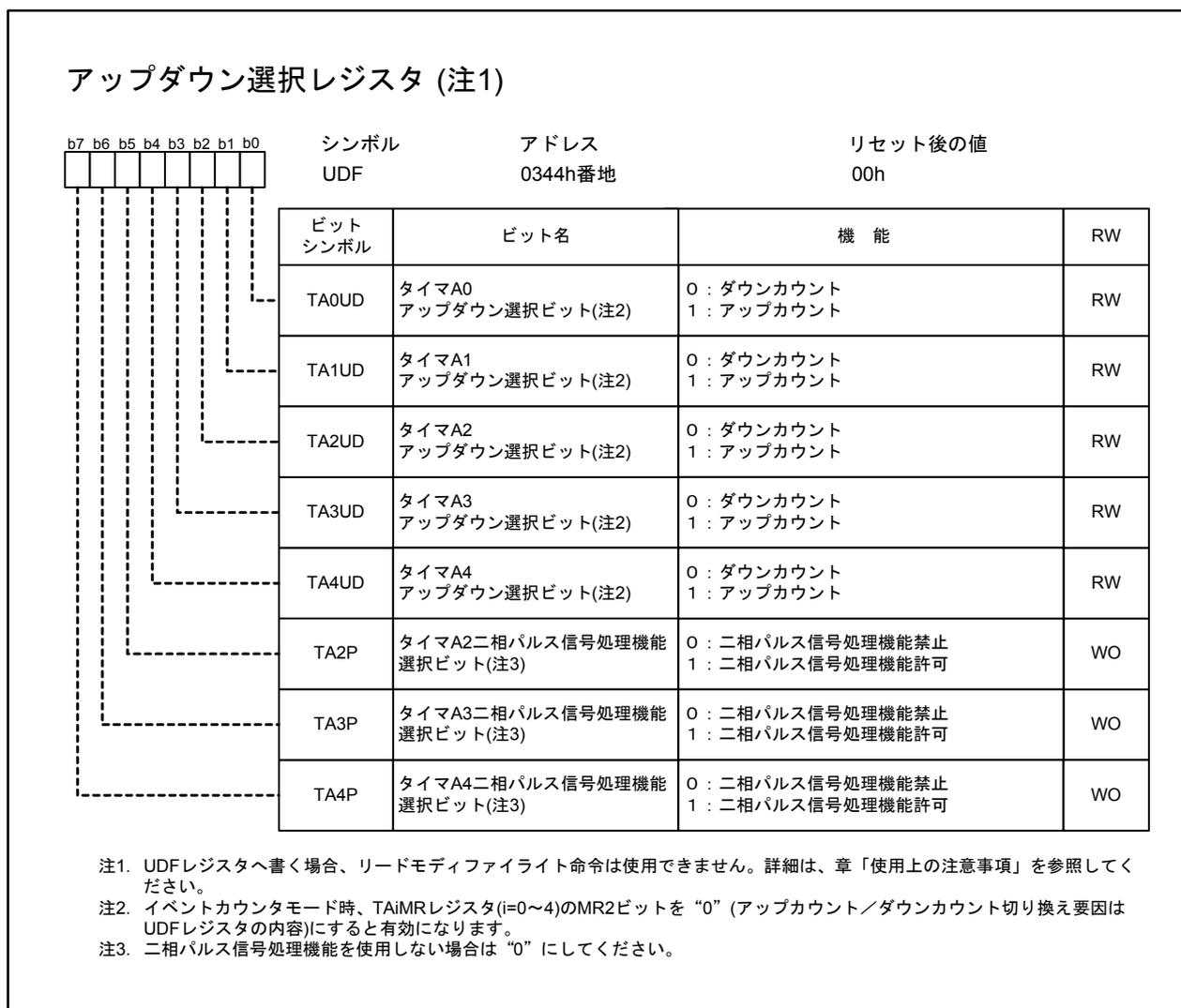


図 15.10 UDF レジスタ

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
TRGSR

アドレス
0343h番地

リセット後の値
00h

ビット シンボル	ビット名	機 能	RW
TA1TGL	タイマA1トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注1) 1 0 : TA0のオーバーフローを選択(注1) 1 1 : TA2のオーバーフローを選択(注1)	RW
			RW
TA2TGL	タイマA2トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注1) 1 0 : TA1のオーバーフローを選択(注1) 1 1 : TA3のオーバーフローを選択(注1)	RW
			RW
TA3TGL	タイマA3トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注1) 1 0 : TA2のオーバーフローを選択(注1) 1 1 : TA4のオーバーフローを選択(注1)	RW
			RW
TA4TGL	タイマA4トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注1) 1 0 : TA3のオーバーフローを選択(注1) 1 1 : TA0のオーバーフローを選択(注1)	RW
			RW

注1. オーバフローまたはアンダフロー

図 15.11 TRGSR レジスタ

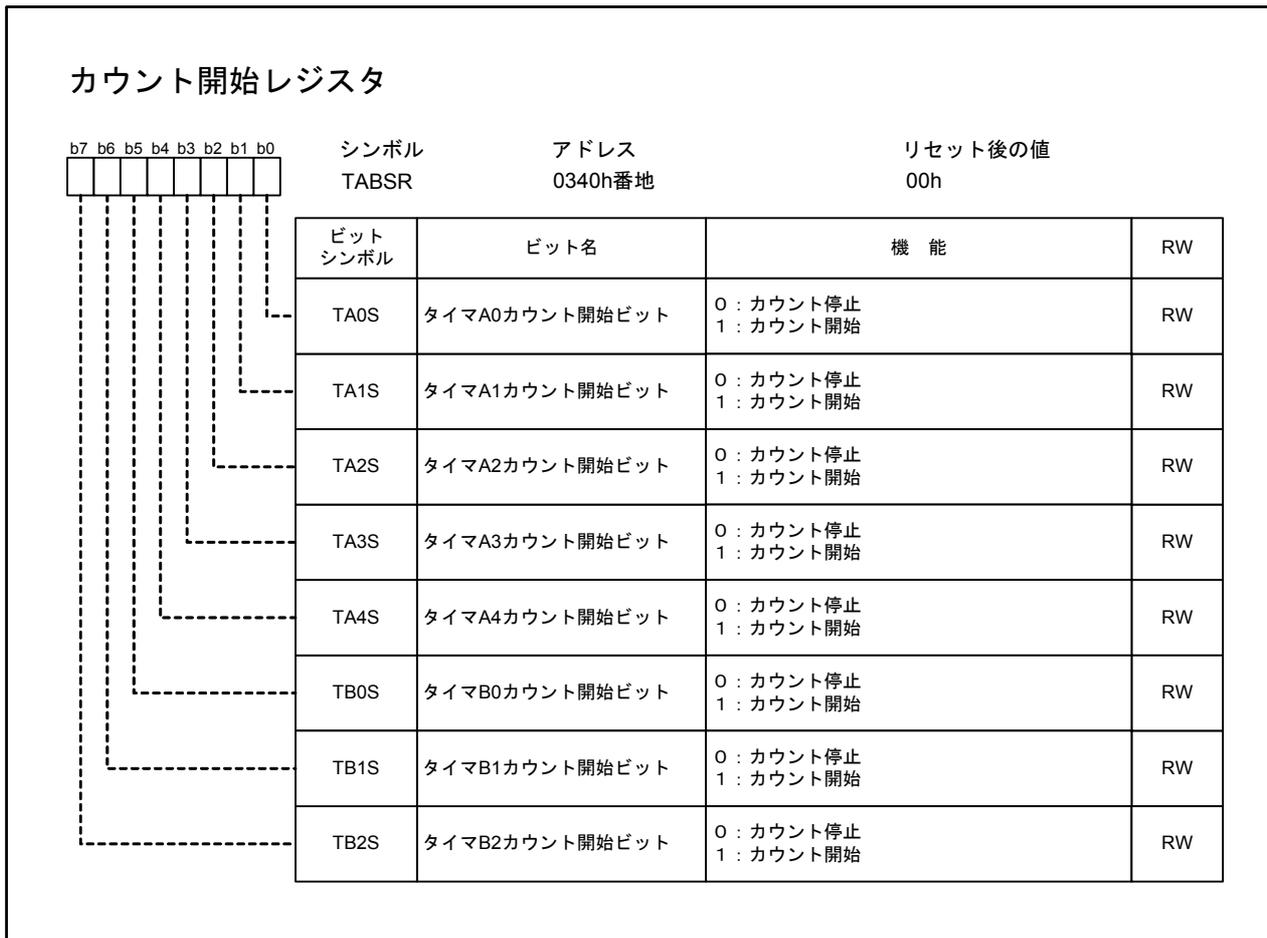


図 15.12 TABSR レジスタ

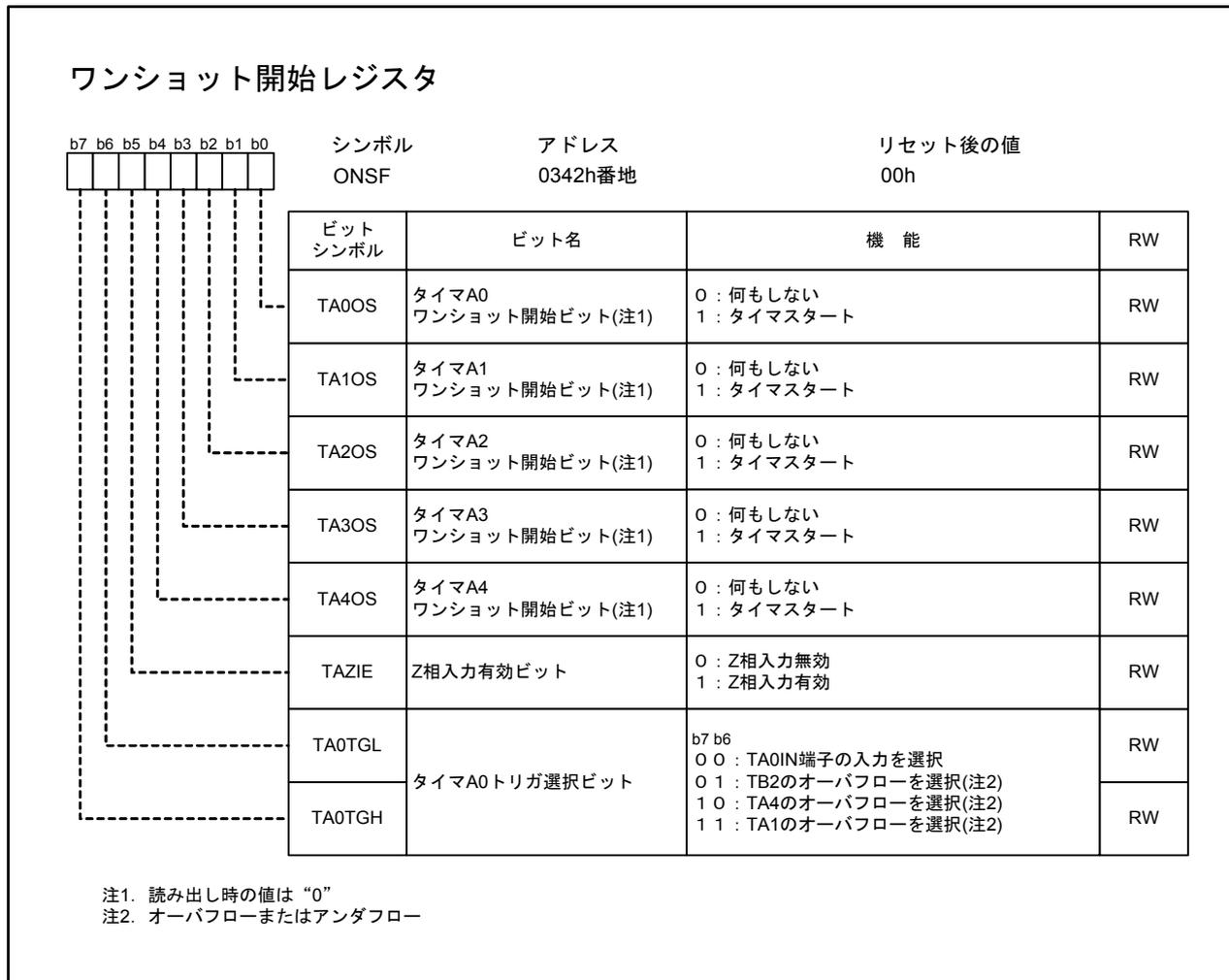


図 15.13 ONSF レジスタ

表 15.1 TAIOUT 端子を出力で使用する場合の設定 (i=0~4)

ポート名	機能	ビットと設定値		
		PSC レジスタ	PSL1、PSL2 レジスタ	PS1、PS2 レジスタ(注1)
P7_0 (注2)	TA0OUT	—	PSL1_0=1	PS1_0=1
P7_2	TA1OUT	—	PSL1_2=1	PS1_2=1
P7_4	TA2OUT	PSC_4=0	PSL1_4=0	PS1_4=1
P7_6	TA3OUT	—	PSL1_6=1	PS1_6=1
P8_0	TA4OUT	—	PSL2_0=0	PS2_0=1

注1. PS1、PS2レジスタは最後に設定してください。

注2. 出力はNチャンネルオープンドレイン出力です。

表 15.2 TAIIN 端子、TAIOUT 端子を入力で使用する場合の設定 (i=0~4)

ポート名	機能	ビットと設定値	
		PD7、PD8 レジスタ	PS1、PS2 レジスタ
P7_0	TA0OUT	PD7_0=0	PS1_0=0
P7_1	TA0IN	PD7_1=0	PS1_1=0
P7_2	TA1OUT	PD7_2=0	PS1_2=0
P7_3	TA1IN	PD7_3=0	PS1_3=0
P7_4	TA2OUT	PD7_4=0	PS1_4=0
P7_5	TA2IN	PD7_5=0	PS1_5=0
P7_6	TA3OUT	PD7_6=0	PS1_6=0
P7_7	TA3IN	PD7_7=0	PS1_7=0
P8_0	TA4OUT	PD8_0=0	PS2_0=0
P8_1	TA4IN	PD8_1=0	PS2_1=0

15.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。

表15.3にタイマモードの仕様を、図15.14にタイマモードの動作図(タイマA)を示します。

表 15.3 タイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ダウンカウント アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
カウンタ周期	$\frac{n+1}{f_j}$ f_j : カウントソースの周波数 f_j n : TAIレジスタ(i=0~4)の設定値(0000h~FFFFh)
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	ゲート機能入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中(注2) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)
選択機能	・ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転 TAISビットが“0”(カウント停止)の期間は“L”出力

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. カウント開始後、カウントソース1クロック以上後に書いてください。

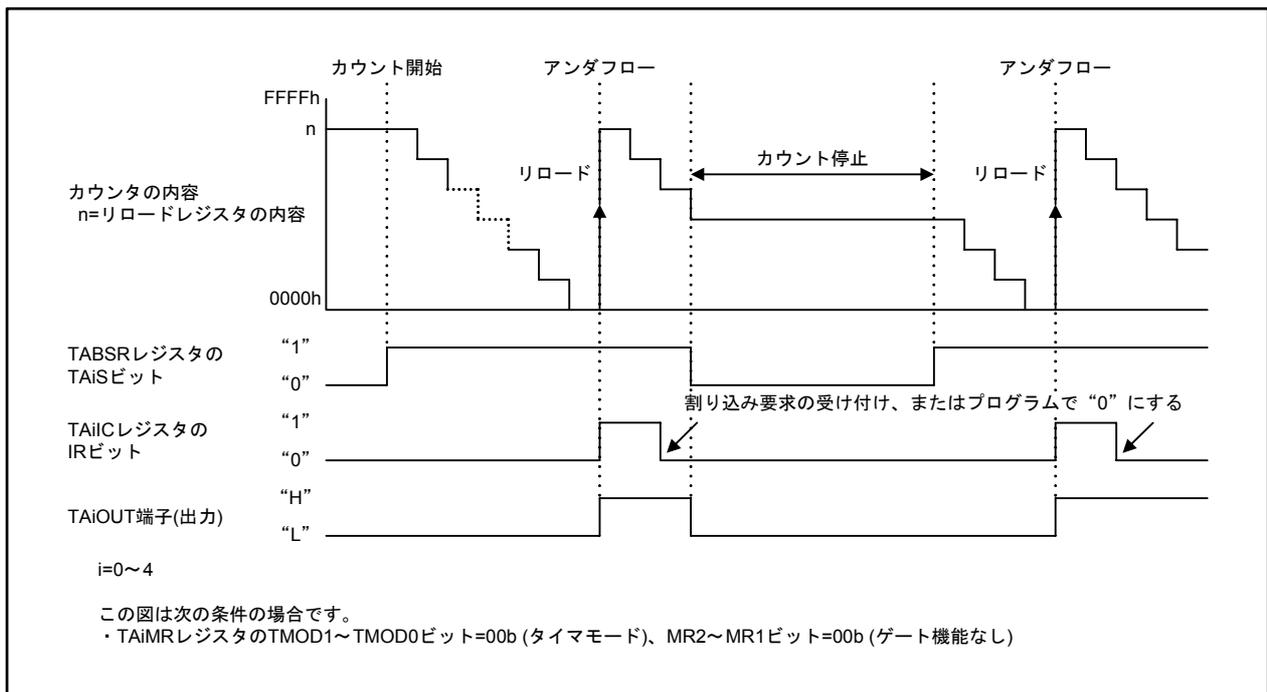


図 15.14 タイマモードの動作図(タイマA)

15.1.2 イベントカウンタモード

外部からのパルス、他のタイマのオーバーフローまたはアンダフローをカウントするモードです。タイマA2、A3、A4は、二相の外部信号をカウントできます。

表15.4にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)を、表15.5にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。また、図15.15に動作図(二相パルス信号処理を使用しない場合)を、図15.16に動作図(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

表 15.4 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> TAiIN端子(i=0~4)に入力された外部信号(プログラムで有効エッジを選択可能) タイマB2のオーバーフローまたはアンダフロー タイマAj(j=i-1、ただしi=0のときj=4)のオーバーフローまたはアンダフロー タイマAk(k=i+1、ただしi=4のときk=0)のオーバーフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> アップカウント/ダウンカウント選択 外部信号またはプログラムで選択可能 リロードタイプ/フリーランタイプ選択 リロードタイプ オーバーフローまたはアンダフロー時、リロードレジスタの内容をリロードしてカウントを継続 フリーランタイプ オーバーフローまたはアンダフロー時、リロードレジスタの内容をリロードせずカウントを継続
カウント回数	<ul style="list-style-type: none"> アップカウント時 FFFFh - n+1回 ダウンカウント時 n+1回 n : TAIレジスタの設定値(0000h~FFFFh)
カウント開始条件	TABSРレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時またはアンダフロー時
TAiIN端子機能	カウントソース入力
TAiOUT端子機能	パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる カウント中(注1) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)
選択機能	<ul style="list-style-type: none"> パルス出力機能 オーバーフローまたはアンダフローするごとにTAiOUT端子の極性が反転 TAISビットが“0”(カウント停止)の期間は“L”出力

注1. カウント開始後、カウントソース1クロック以上後に書いてください。

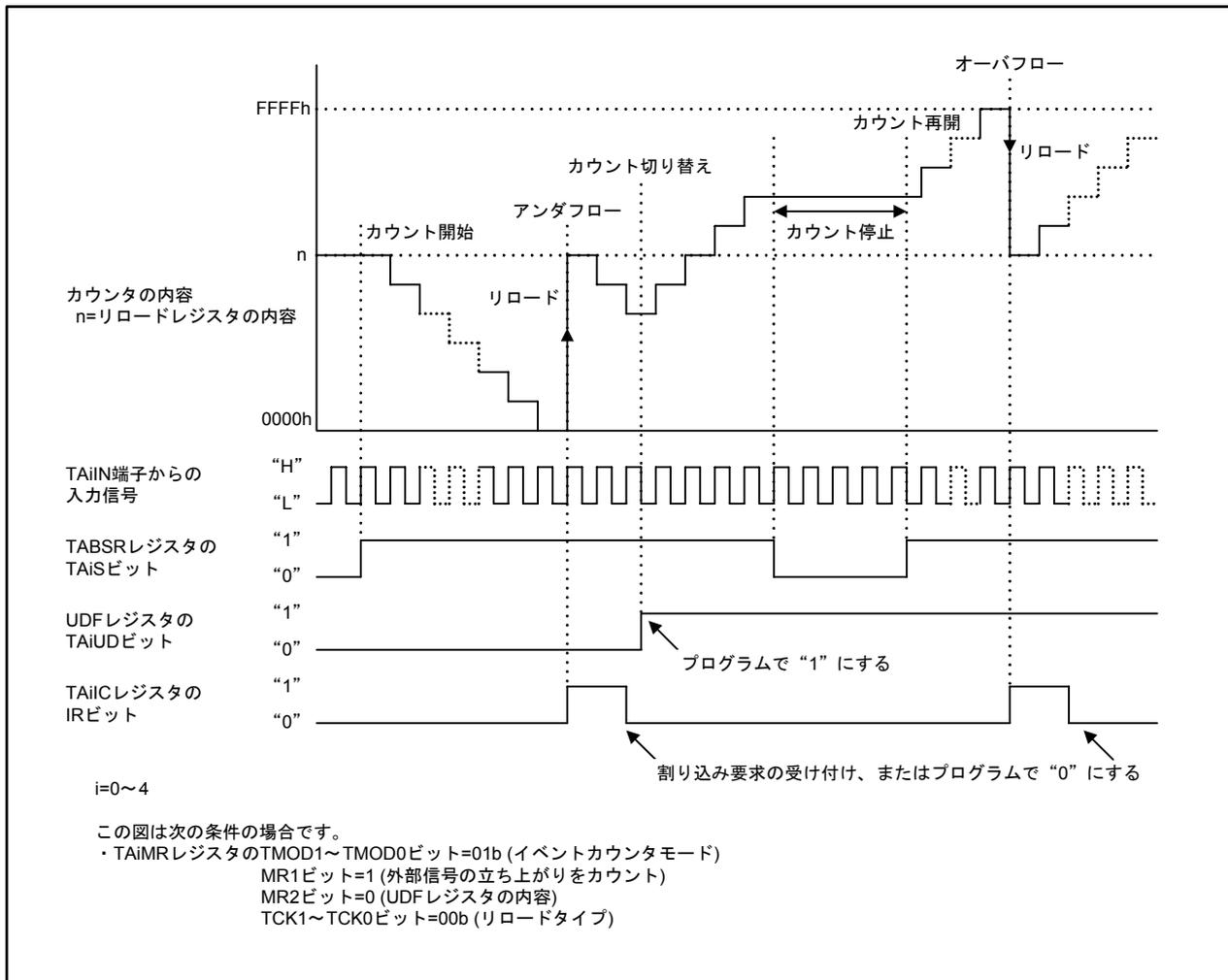


図 15.15 イベントカウンタモードの動作図(二相パルス信号処理を使用しない場合)

表 15.5 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子(i=2~4)に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> ・アップカウント/ダウンカウント選択 二相パルス信号によって切り替え可能 ・リロードタイプ/フリーランタイプ選択 リロードタイプ オーバーフローまたはアンダフロー時、リロードレジスタの内容をリロードして カウントを継続 フリーランタイプ オーバーフローまたはアンダフロー時、リロードレジスタの内容をリロードせず カウントを継続
カウント回数	<ul style="list-style-type: none"> ・アップカウント時 FFFFh - n+1回 ・ダウンカウント時 n+1回 n : TAiレジスタの設定値(0000h~FFFFh)
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生 タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中(注1) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)
選択機能(注2)	<ul style="list-style-type: none"> ・通常処理動作(タイマA2、タイマA3) TAjOUT端子(j=2,3)の入力信号が“H”の期間TAjIN端子の立ち上がりを アップカウントし、立ち下がりをダウンカウントする ・4通倍処理動作(タイマA3、タイマA4) TAkOUT端子(k=3,4)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係の場合、 TAKOUT、TAKIN端子の立ち上がり、立ち下がりをアップカウントし、TAKOUT端子の入力 信号が“H”の期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立 ち上がり、立ち下がりをダウンカウントする ・Z相入力によるカウンタ初期化(タイマA3) Z相入力により、タイマのカウント値を“0”にする

注1. カウント開始後、カウントソース1クロック以上後に書いてください。

注2. タイマA3は選択できます。タイマA2は通常処理動作、タイマA4は4通倍処理動作です。

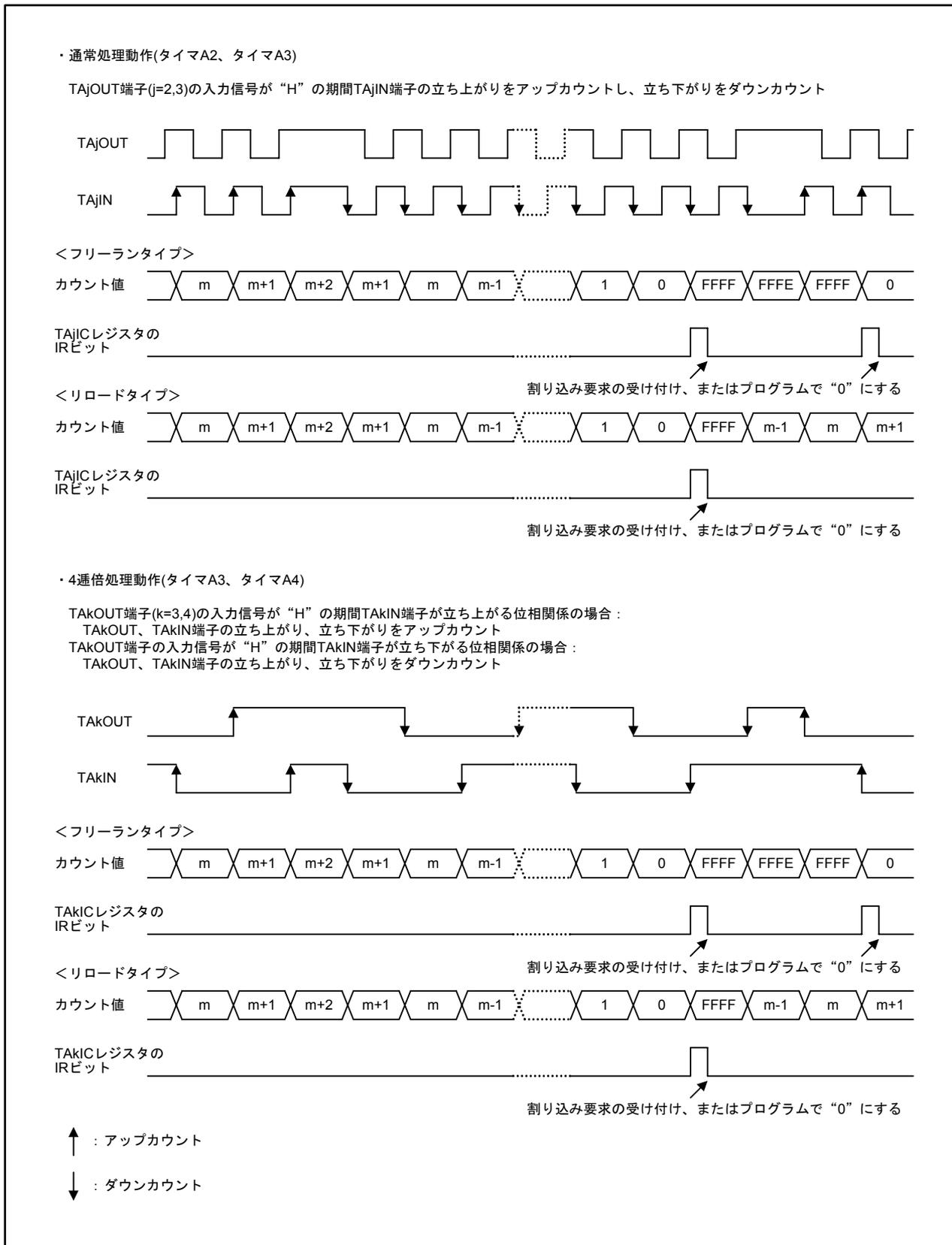


図 15.16 イベントカウンタモードの動作図(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

15.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3で、イベントカウンタモード、二相パルス信号処理、フリーランタイプ、4逓倍処理の全てを選択した場合のみ使用でき、Z相入力は $\overline{\text{INT2}}$ 端子入力となります。

ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。また、Z相入力でカウンタを“0”にするためには、TA3レジスタにあらかじめ“0000h”を書いてください。

Z相入力は、 $\overline{\text{INT2}}$ 入力のエッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期分以上になるように入力してください。図15.17に二相パルス(A相、B相)とZ相の関係を示します。

Z相入力によりカウンタが初期化されるタイミングは、Z相入力を受けた次のカウンタソースタイミングになります。

タイマA3のオーバフローまたはアンダフロータイミングと $\overline{\text{INT2}}$ 入力によるカウンタの初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、本機能使用時はタイマA3の割り込み要求は使用しないでください。

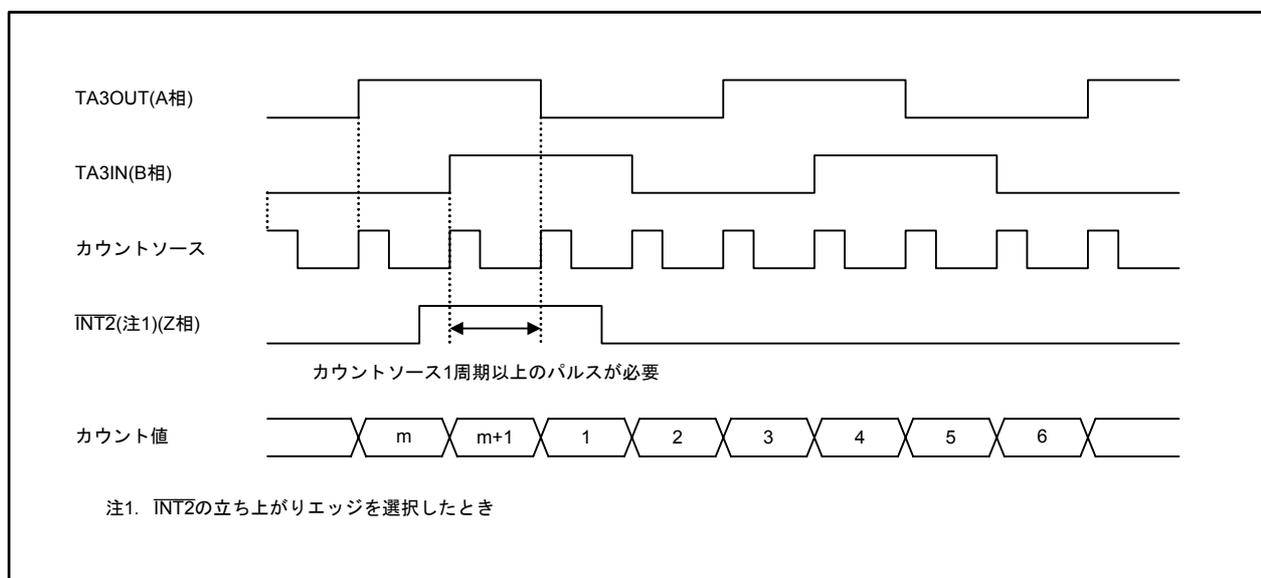


図15.17 二相パルス(A相、B相)とZ相の関係

15.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作させるモードです。トリガが発生するとその時点から任意の期間、タイマが動作します。

表15.6にワンショットタイマモードの仕様を、図15.18にワンショットタイマモードの動作図を示します。

表15.6 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ダウンカウント カウントの値が“0000h”になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
カウント回数	n回 n : TAIレジスタ (i=0~4) の設定値 (0000h~FFFFh) (ただし、“0000h” の場合はカウンタは動作しない)
カウント開始条件	TABSRレジスタのTAISビットが“1”(カウント開始)で、かつ、次のいずれかのトリガが発生したとき ・ONSFレジスタのTAIOSビットを“1”(タイマスタート)にする ・TAiIN端子からの外部トリガ入力 ・タイマB2のオーパフローまたはアンダフロー ・タイマAj (j=i-1、ただしi=0のときj=4)のオーパフローまたはアンダフロー ・タイマAk (k=i+1、ただしi=4のときk=0)のオーパフローまたはアンダフロー
カウント停止条件	・カウントの値が“0000h”になり、リロードした後 ・TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウントの値が“0000h”になるタイミング
TAiIN端子機能	トリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中(注2) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)
選択機能	・パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. カウント開始後、カウントソース1クロック以上後に書いてください。

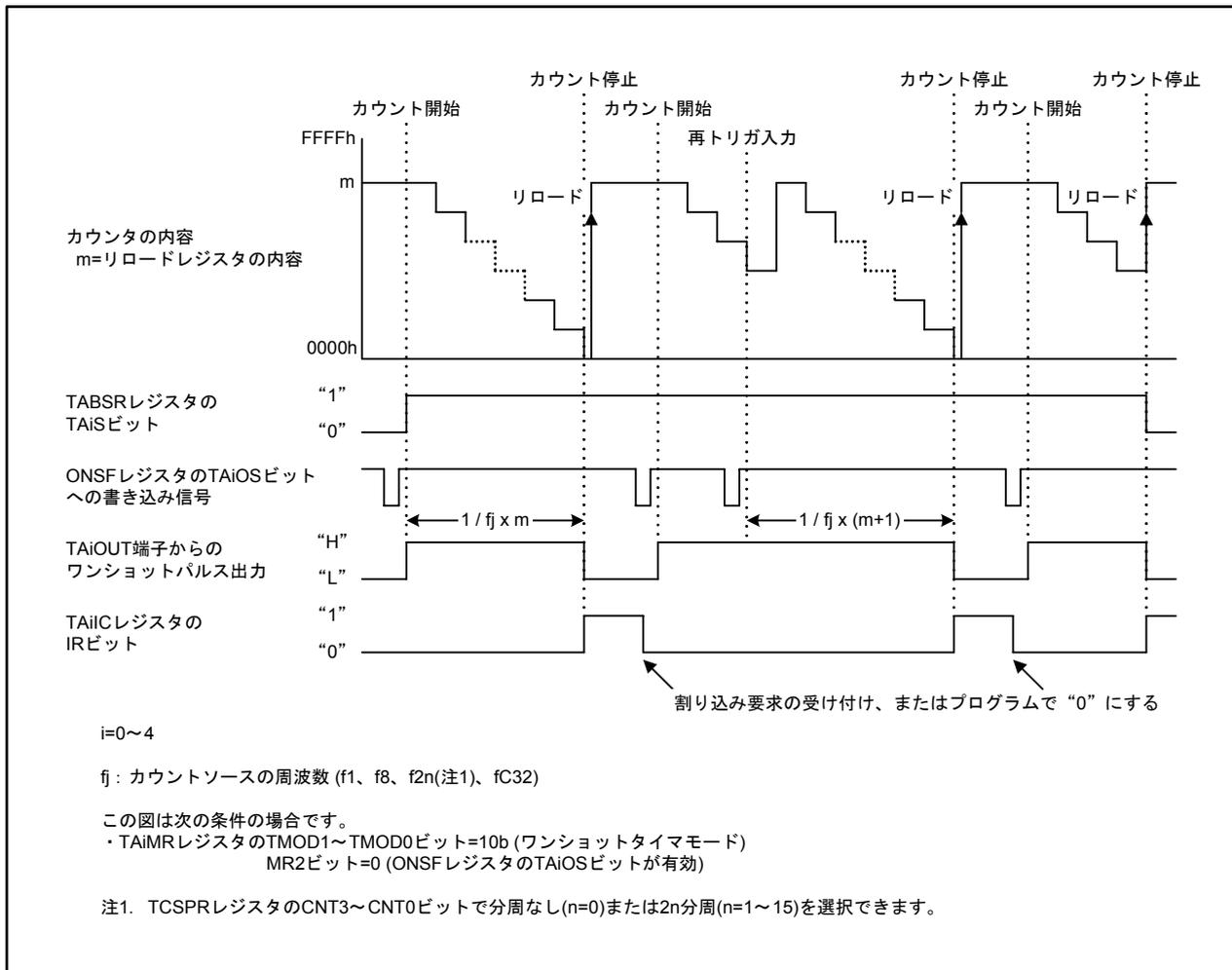


図 15.18 ワンショットタイマモードの動作図

15.1.4 パルス幅変調モード

任意の幅のパルスを連続して出力するモードです。このモードでは、カウンタは、16ビットパルス幅変調器または8ビットパルス幅変調器として動作します。

表 15.7 にパルス幅変調モードの仕様を、図 15.19 に 16ビットパルス幅変調モードの動作図を、図 15.20 に 8ビットパルス幅変調モードの動作図を示します。

表 15.7 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> ・“H”幅 $\frac{n}{f_j}$ f_j: カウントソースの周波数 n: TAIレジスタ (i=0~4)の設定値(0000h~FFFEh) ・周期 $\frac{2^{16}-1}{f_j}$ 固定
8ビットPWM	<ul style="list-style-type: none"> ・“H”幅 $\frac{m+1}{f_j} \times n$ f_j: カウントソースの周波数 n: TAIレジスタの上位番地の設定値(00h~FEh) ・周期 $\frac{m+1}{f_j} \times (2^8-1)$ m: TAIレジスタの下位番地の設定値(00h~FFh)
カウント開始条件	トリガを使用しない場合(TAiMRレジスタのMR2ビットが“0”) TABSRレジスタのTAiSビットを“1”にする トリガを使用する場合(TAiMRレジスタのMR2ビットが“1”) TABSRレジスタのTAiSビットが“1”で、かつ次のいずれかのトリガが発生した時 <ul style="list-style-type: none"> ・TAiIN端子からの外部トリガ入力 ・タイマB2のオーバフローまたはアンダフロー ・タイマAj (j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー ・タイマAk (k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	トリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中(注2) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. カウント開始後、カウントソース1クロック以上後に書いてください。

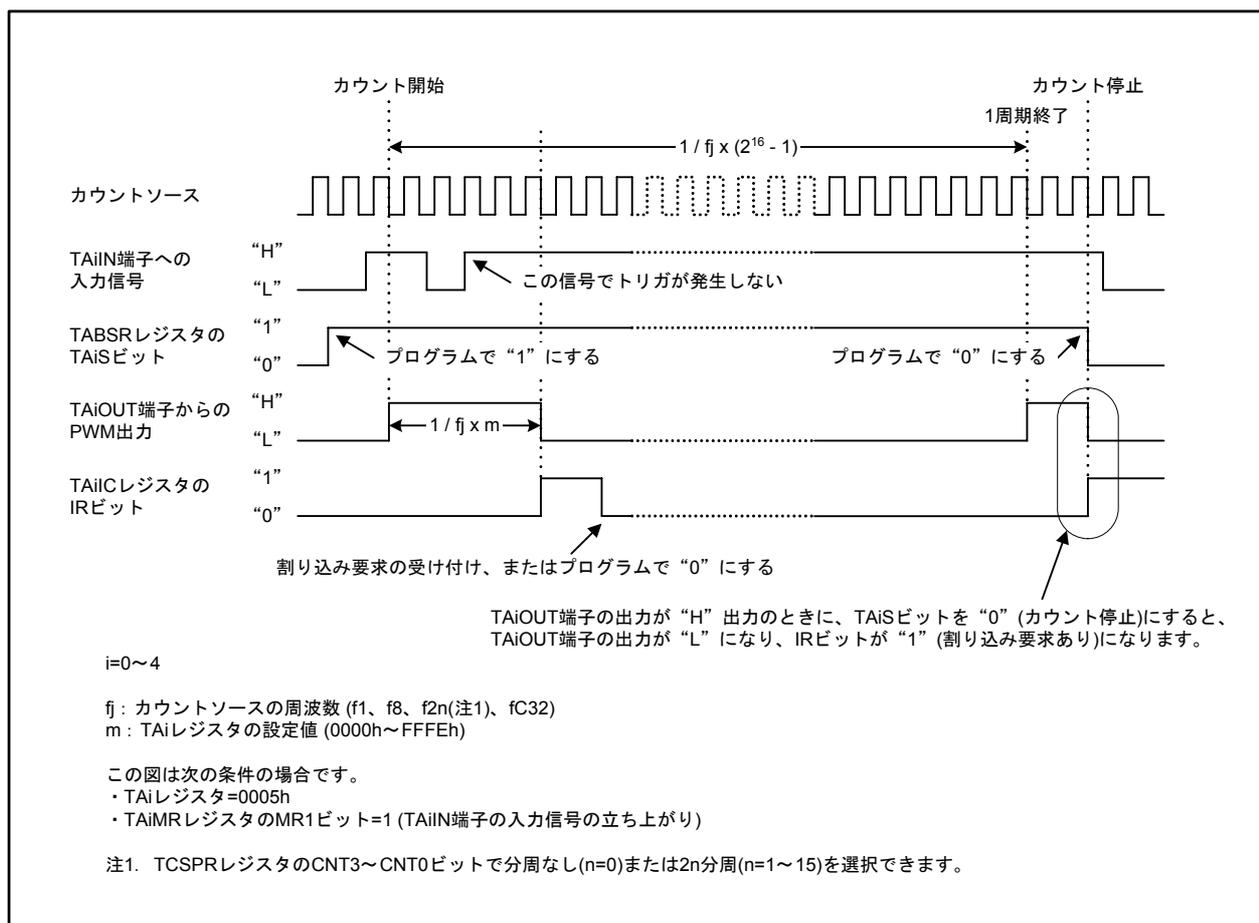


図 15.19 16ビットパルス幅変調モードの動作図

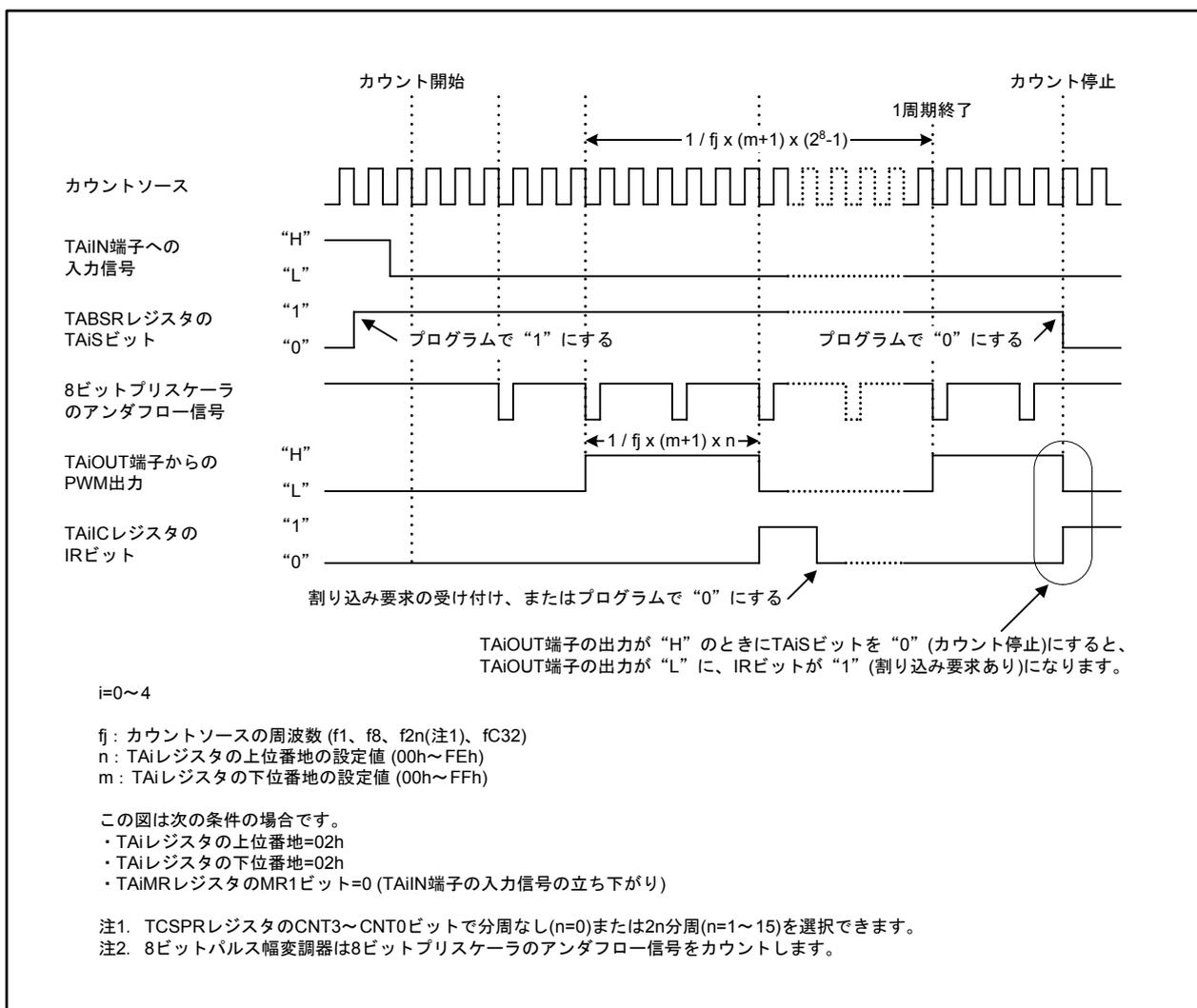


図 15.20 8ビットパルス幅変調モードの動作図

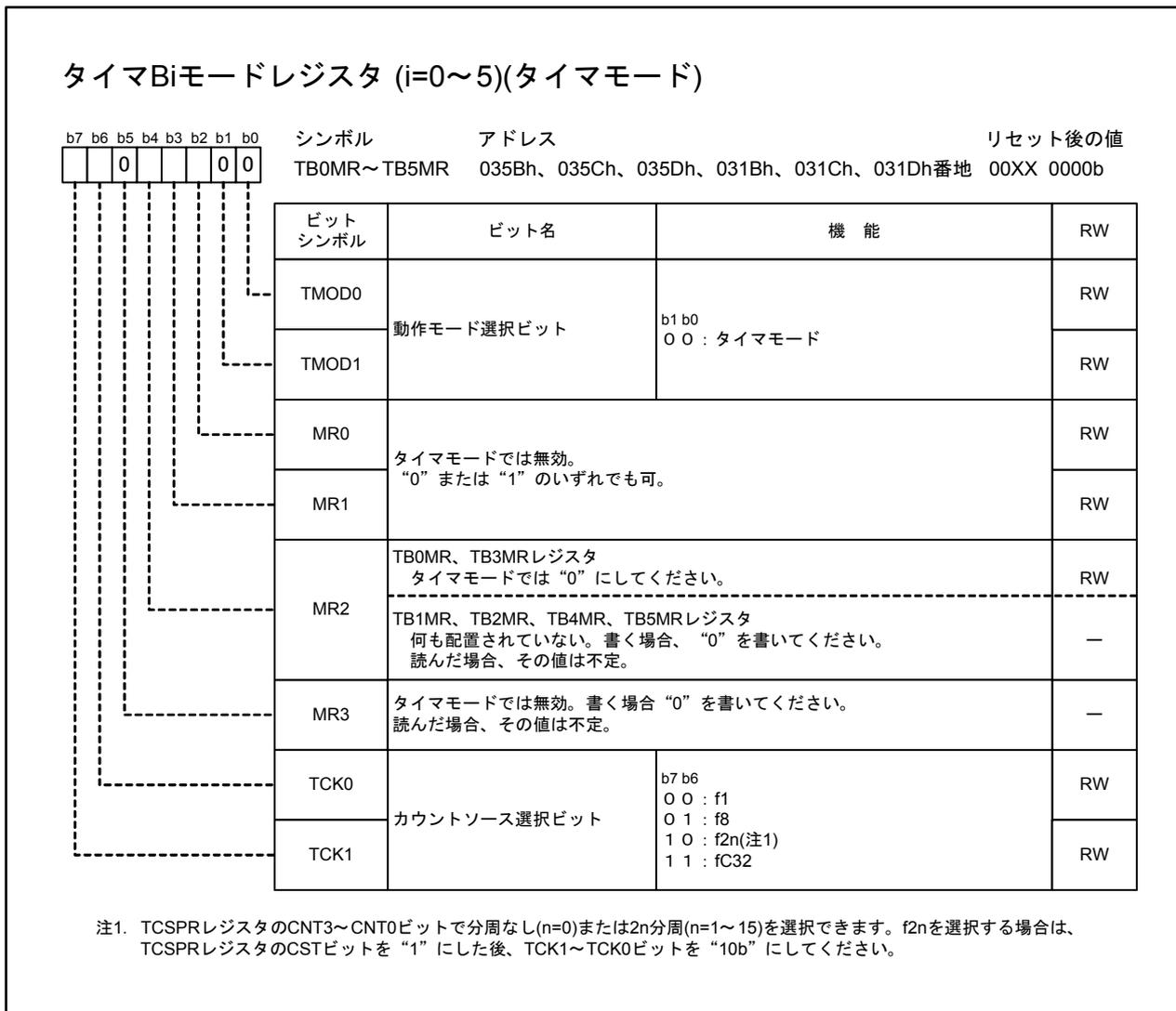


図 15.22 タイマモード時のTB0MR~TB5MRレジスタ

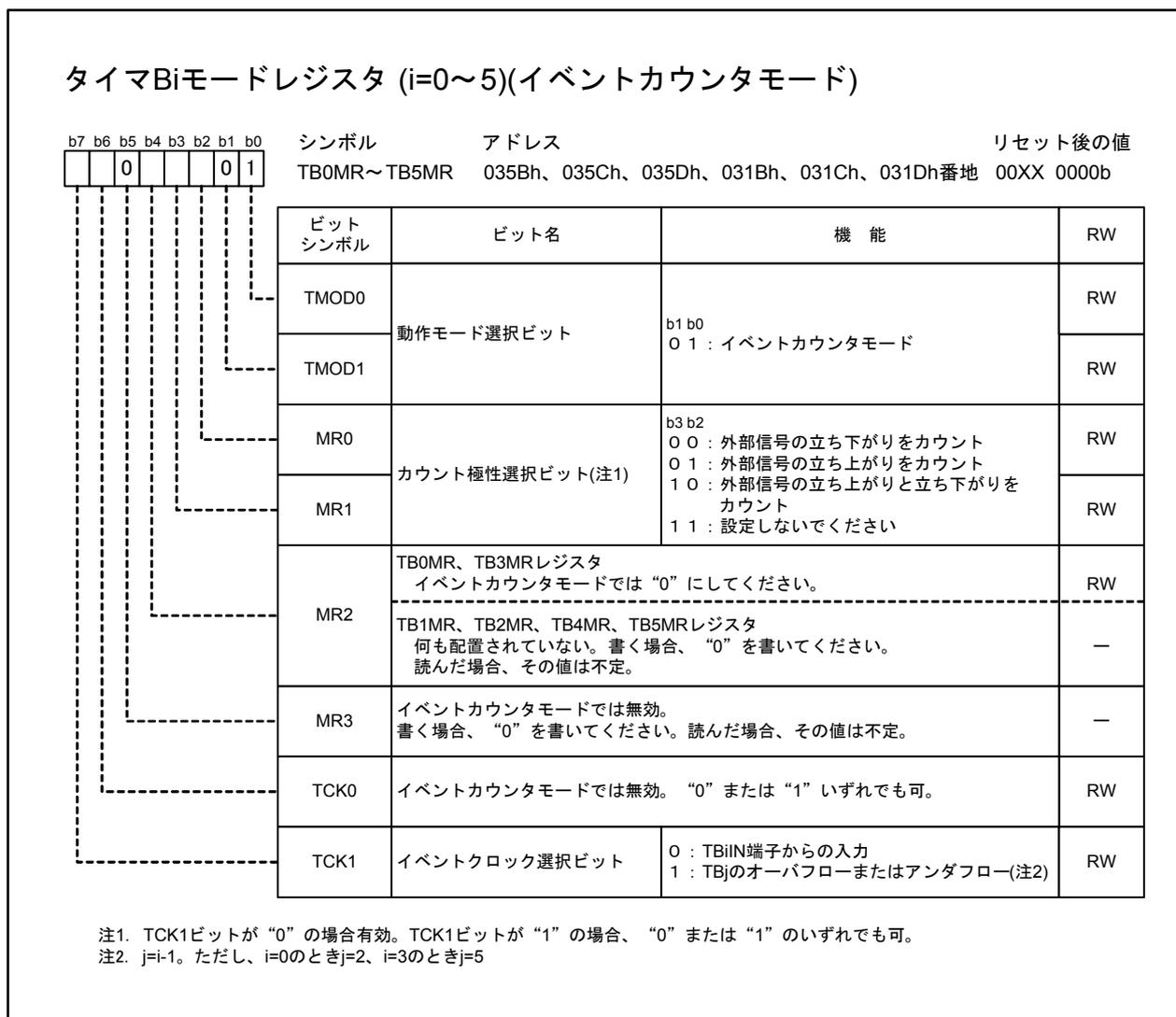


図 15.23 イベントカウンタモード時のTB0MR~TB5MRレジスタ

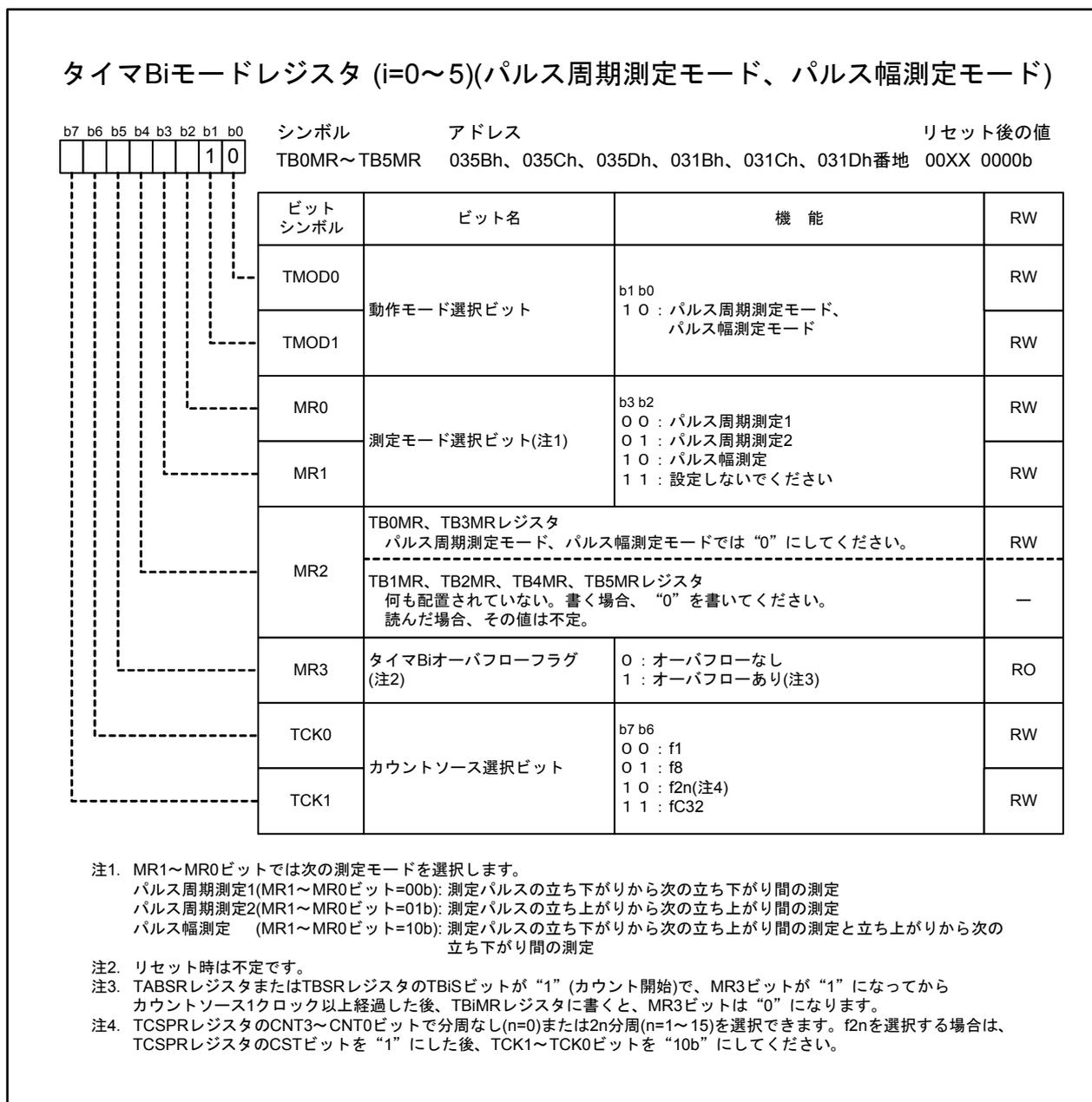


図 15.24 パルス周期測定モード、パルス幅測定モード時のTB0MR~TB5MRレジスタ

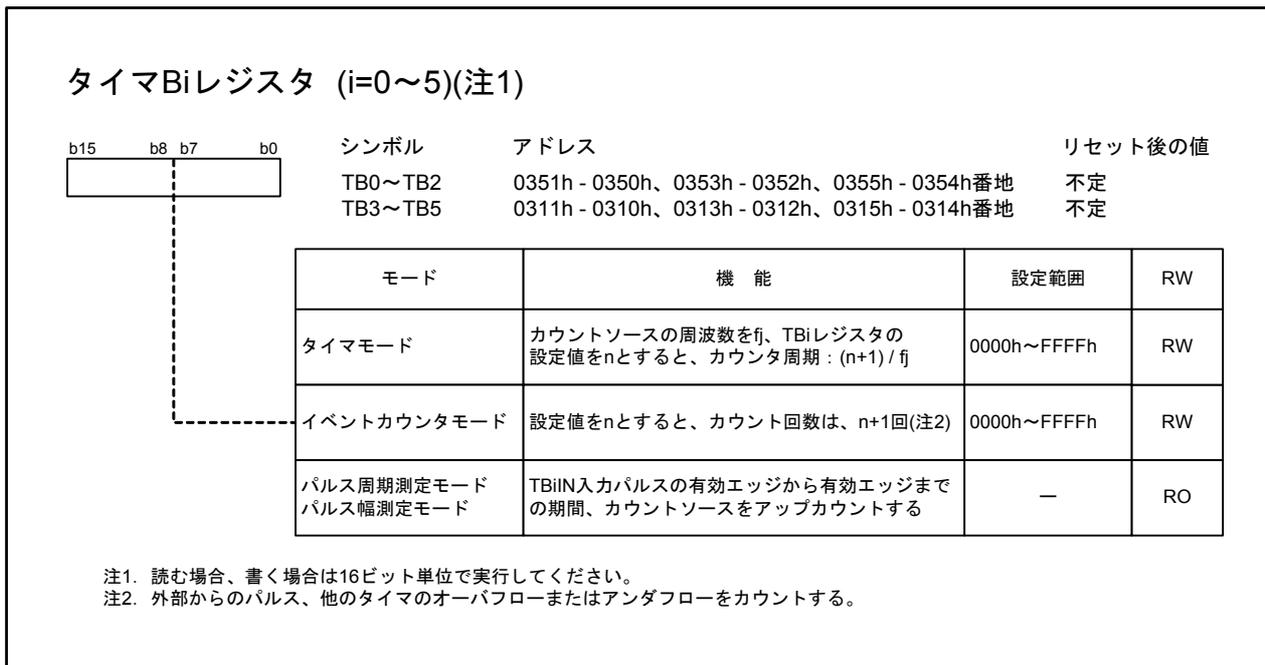


図 15.25 TB0~TB5 レジスタ

カウント開始レジスタ

ビットシンボル	ビット名	機能	RW
TA0S	タイマA0カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA2S	タイマA2カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA3S	タイマA3カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA4S	タイマA4カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB0S	タイマB0カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB1S	タイマB1カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB2S	タイマB2カウント開始ビット	0 : カウント停止 1 : カウント開始	RW

タイマB3、B4、B5カウント開始レジスタ

ビットシンボル	ビット名	機能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
TB3S	タイマB3カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB4S	タイマB4カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB5S	タイマB5カウント開始ビット	0 : カウント停止 1 : カウント開始	RW

図 15.26 TABSRレジスタ、TBSRレジスタ

表 15.8 TBIIN端子(i=0~5)を使用する場合の設定

ポート名	機能	ビットと設定値	
		PD7、PD9レジスタ(注1)	PS1、PS3レジスタ(注1)
P7_1	TB5IN	PD7_1=0	PS1_1=0
P9_0	TB0IN	PD9_0=0	PS3_0=0
P9_1	TB1IN	PD9_1=0	PS3_1=0
P9_2	TB2IN	PD9_2=0	PS3_2=0
P9_3	TB3IN	PD9_3=0	PS3_3=0
P9_4	TB4IN	PD9_4=0	PS3_4=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

15.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。

表15.9にタイマモードの仕様を、図15.27にタイマモードの動作図(タイマB)を示します。

表15.9 タイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ダウンカウント アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
カウンタ周期	$\frac{n+1}{f_j}$ f_j : カウントソースの周波数 n : TBiレジスタ(i=0~5)の設定値(0000h~FFFFh)
カウント開始条件	TABSRまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中 TBiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中(注2) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. カウント開始後、カウントソース1クロック以上後に書いてください。

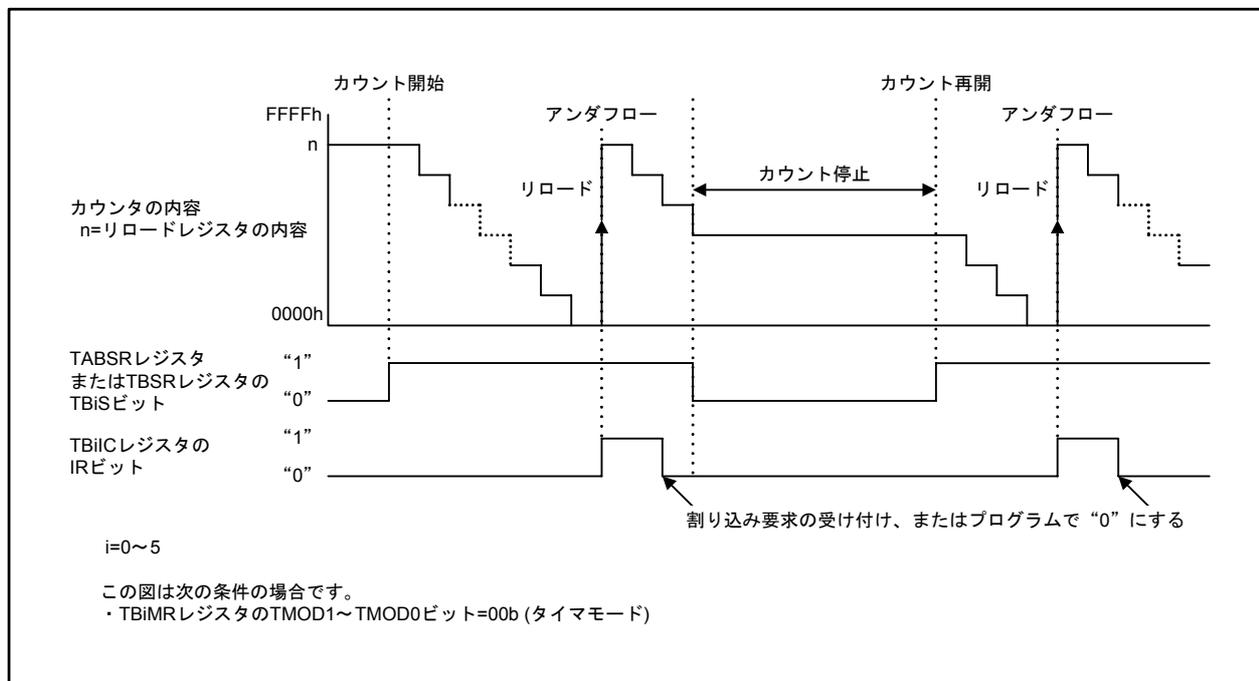


図15.27 タイマモードの動作図(タイマB)

15.2.2 イベントカウンタモード

外部からのパルス、他のタイマのオーバフローまたはアンダフローをカウントするモードです。
表15.10にイベントカウンタモードの仕様を、図15.28にイベントカウンタモードの動作図を示します。

表 15.10 イベントカウンタモードの仕様

項目	仕様
カウントソース	・ TBiIN端子(i=0~5)に入力された外部信号(プログラムで有効エッジを選択可能) ・ タイマBj(j=i-1、ただしi=0のときj=2、i=3のときj=5)のオーバフローまたはアンダフロー
カウント動作	・ ダウンカウント アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
カウント回数	n+1回 n: TBiレジスタの設定値(0000h~FFFFh)
カウント開始条件	TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	・ カウント停止中 TBiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中(注1) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)

注1. カウント開始後、カウントソース1クロック以上後に書いてください。

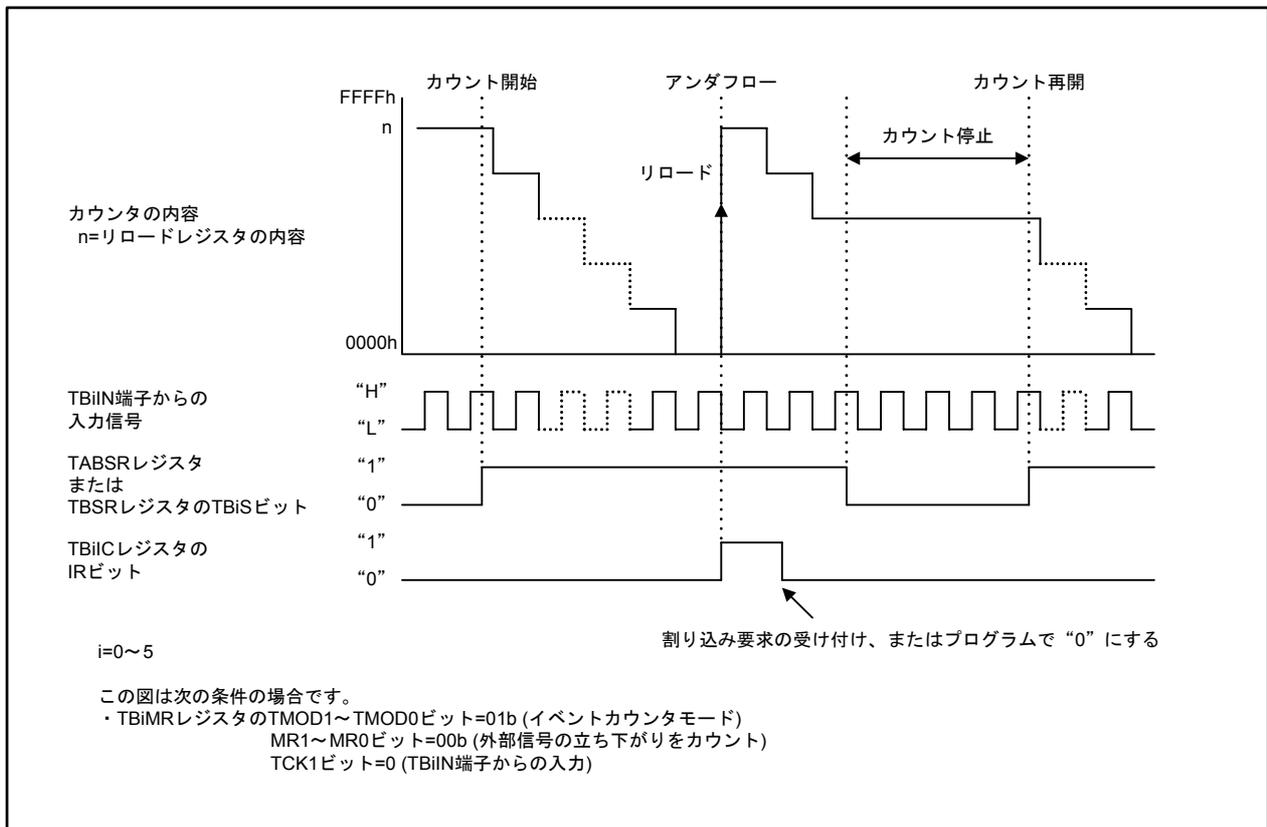


図 15.28 イベントカウンタモードの動作図

15.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。

表 15.11 にパルス周期測定モード、パルス幅測定モードの仕様を、図 15.29 にパルス周期測定モードの動作図を、図 15.30 にパルス幅測定モードの動作図を示します。

表 15.11 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TABSRレジスタまたはTBSRレジスタのTBiSビット(i=0~5)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	・ 測定パルスの有効エッジ入力時(注2) ・ オーバフロー時(注3) 同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になる
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注4)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注3. TABSRレジスタまたはTBSRレジスタのTBiSビットが“1”(カウント開始)で、MR3ビットが“1”になってからカウントソース1クロック以上経過した後、TBiMRレジスタに書くと、MR3ビットは“0”になります。

注4. カウント開始後2回目の有効エッジ入力までは、TBiレジスタからの読み出し値は不定です。

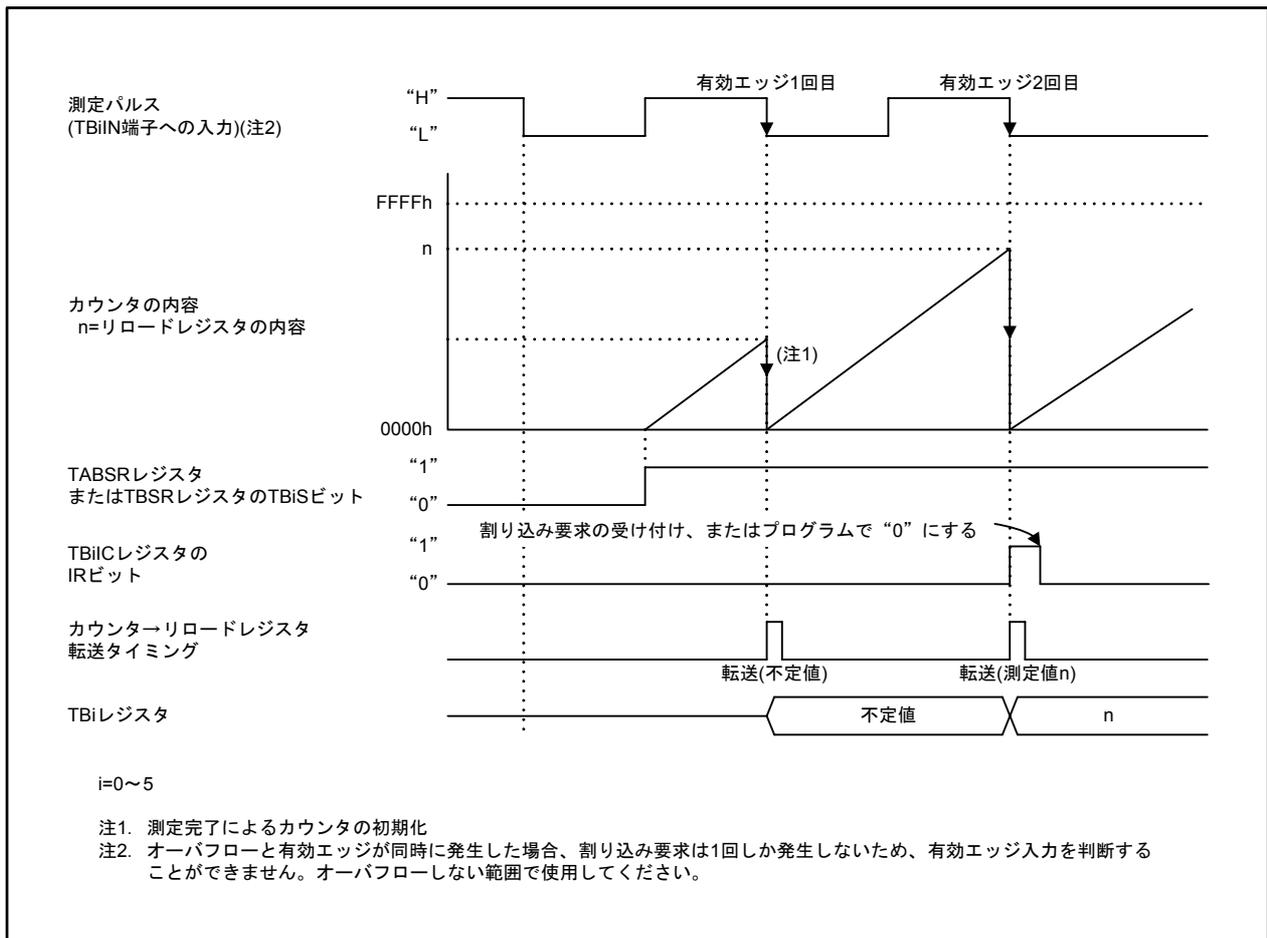


図 15.29 パルス周期測定モードの動作図

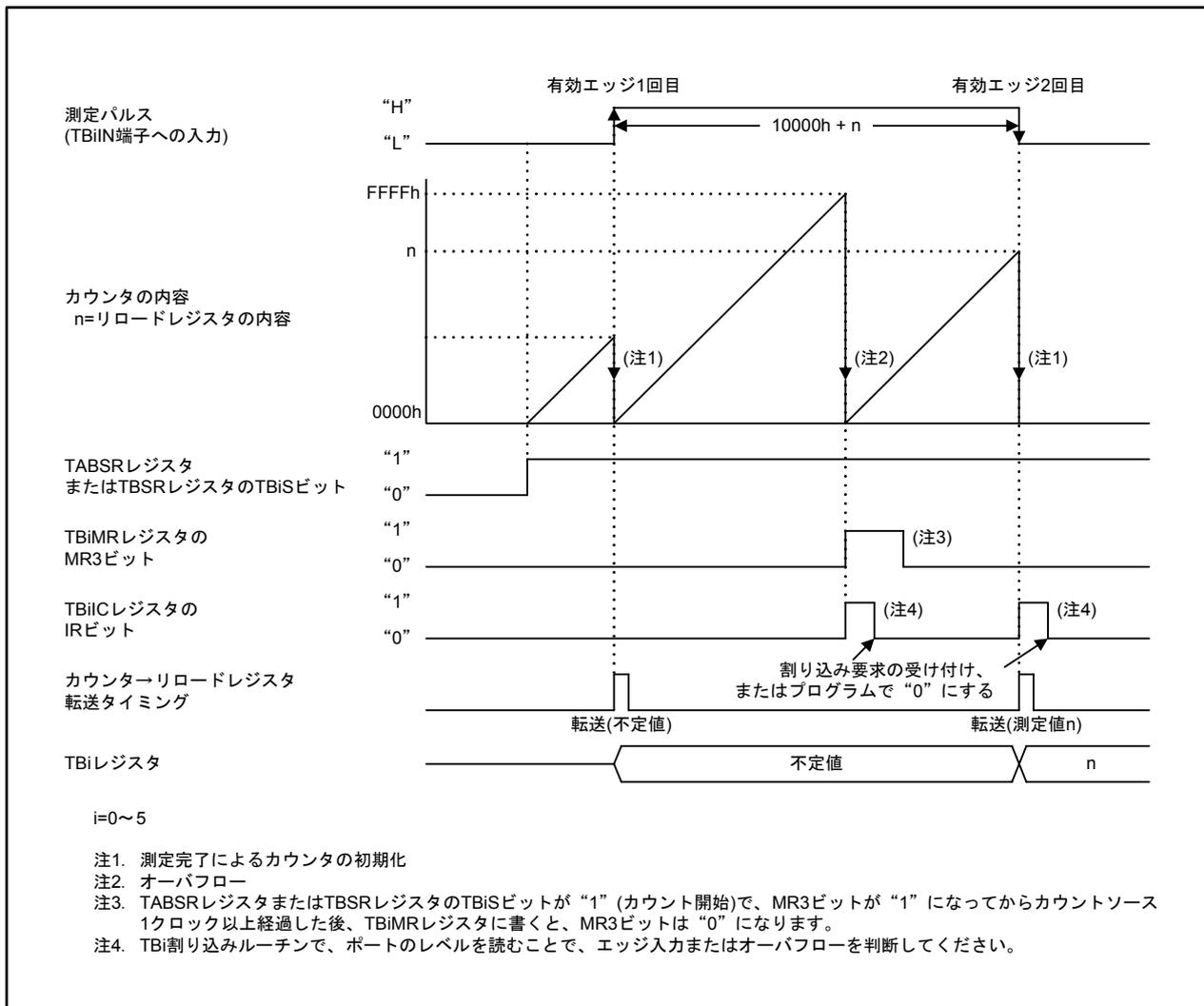


図 15.30 パルス幅測定モードの動作図

16. 三相モータ制御用タイマ機能

タイマB2、A1、A2、A4を使用して、三相全波方式に対応したPWM波形を出力することができます。タイマB2を搬送波制御に、タイマA4、A1、A2をU相、V相、W相のPWM制御に使用します。

表 16.1 に三相モータ制御用タイマ機能の仕様を、表 16.2 に端子の設定を、図 16.1 にブロック図を示します。また、図 16.2～図 16.10に関連レジスタを示します。

表 16.1 三相モータ制御用タイマ機能の仕様

項目	仕様
制御方式	三相全波方式
変調モード	<ul style="list-style-type: none"> ・三角波変調モード ・鋸波変調モード
通電出力論理	アクティブ“H”またはアクティブ“L”選択可能
使用タイマ	<ul style="list-style-type: none"> ・タイマB2（搬送波周期制御：タイマモードで使用） ・タイマA4、A1、A2（U、V、W相のPWM制御：ワンショットタイマモードで使用）
通電防止機能	<ul style="list-style-type: none"> ・プログラム誤動作による上下同時通電防止機能 ・短絡防止タイマによるアーム短絡防止機能 ・NMI入力による強制遮断機能

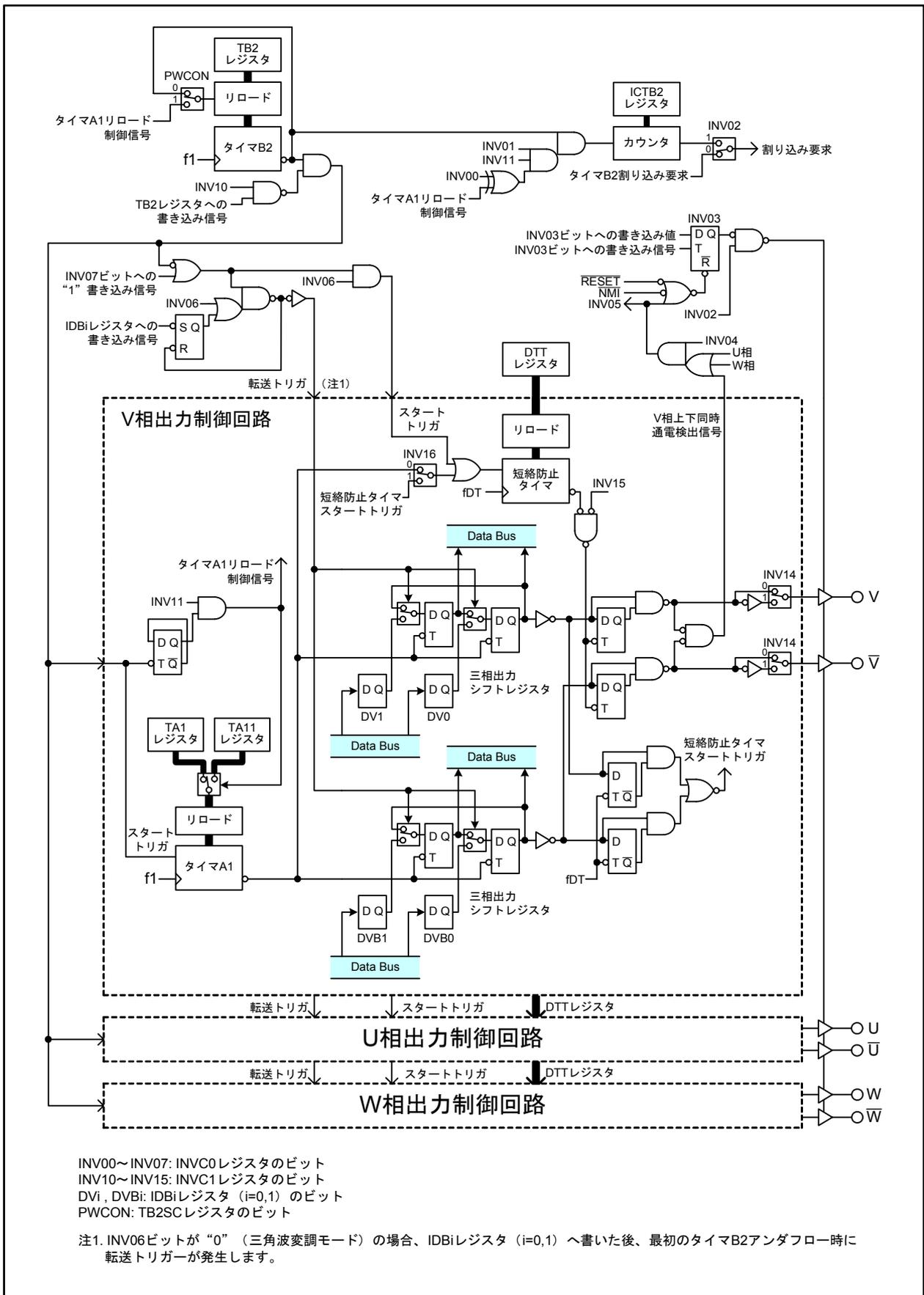


図 16.1 三相モータ制御用タイマ機能のブロック図

三相PWM制御レジスタ1 (注1)

ビット シンボル	ビット名	機 能	RW
INV10	タイマA1、A2、A4 スタートトリガ選択ビット	0 : タイマB2アンダフロー 1 : タイマB2アンダフローと、TB2レジスタへ 書き込み	RW
INV11	タイマA11、A21、A41 制御ビット	0 : タイマA11、A21、A41を使用しない (三相モード0) 1 : タイマA11、A21、A41を使用する (三相モード1)	RW
INV12	短絡防止タイマ カウントソース(fDT)選択ビット	0 : f1 1 : f1の2分周	RW
INV13	搬送状態検出フラグ(注2)	0 : 偶数回目のタイマB2アンダフローが発生 1 : 奇数回目のタイマB2アンダフローが発生	RO
INV14	通電出力制御ビット	0 : アクティブ “L” 1 : アクティブ “H”	RW
INV15	短絡防止時間無効ビット	0 : 短絡防止時間有効 1 : 短絡防止時間無効	RW
INV16	短絡防止時間タイマ トリガ選択ビット	0 : タイマ(A4、A1、A2)のワンショットパルス の立ち下がり(注3) 1 : 三相出力シフトレジスタ(U、V、W相)出力 の立ち上がり	RW
— (b7)	予約ビット	“0” にしてください	RW

- 注1. INVC1レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。またINVC1レジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。
- 注2. INV13ビットは、INV06ビットが“0”(三角波変調モード)かつINV11ビットが“1”のときのみ有効です。
- 注3. 次の条件がすべて当てはまる場合は、INV16ビットを“1”にしてください。
- ・INV15ビットが“0”
 - ・INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にIDBjレジスタのDijビット(i=U、V またはW、j=0~1)とDiBjビットの値が異なる(短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。
- また、上記の条件のいずれかがあてはまらない場合は、INV16ビットを“0”にしてください。

図 16.3 INVC1 レジスタ

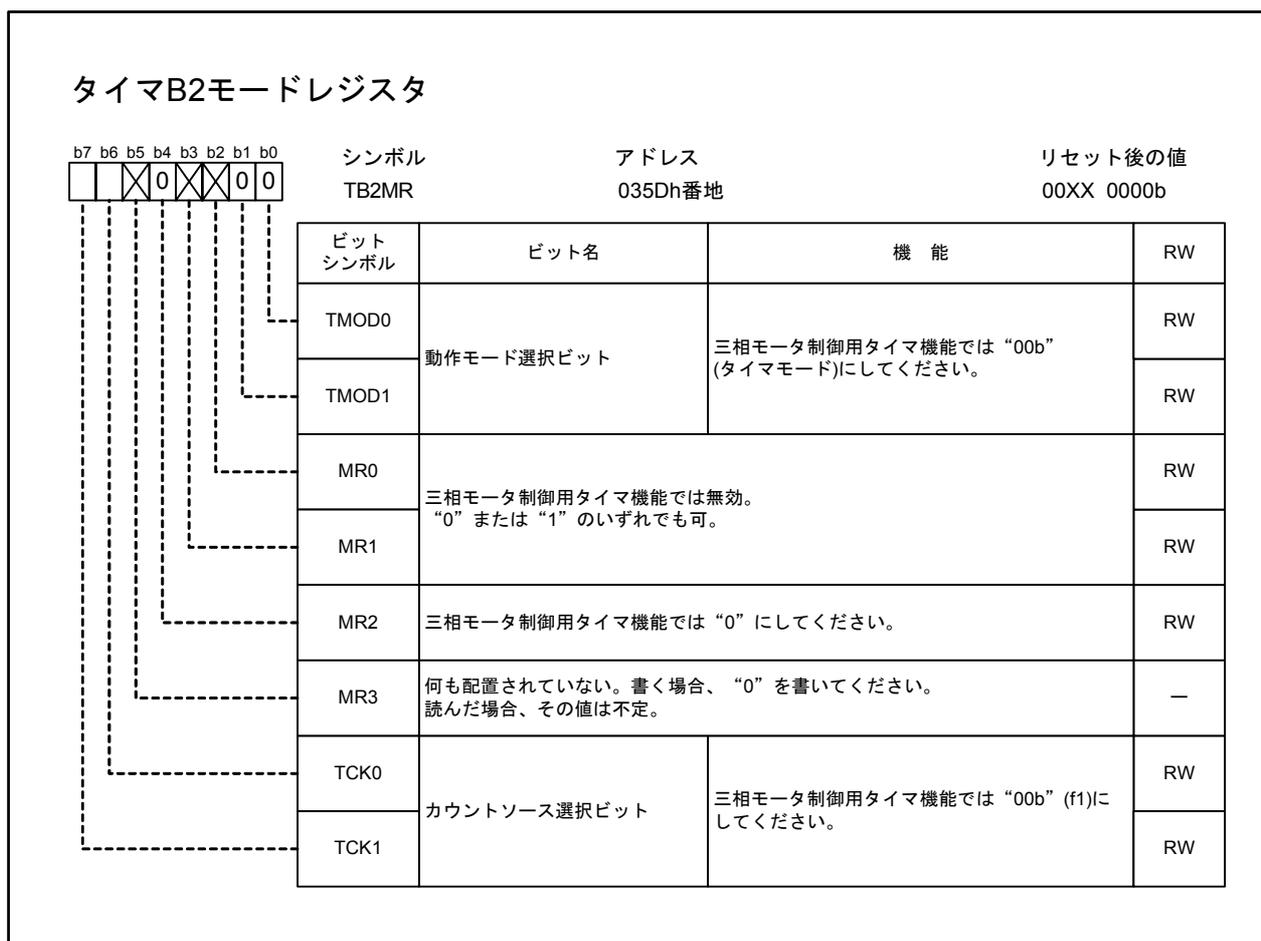


図 16.4 三相モータ制御用タイマ機能時のTB2MRレジスタ

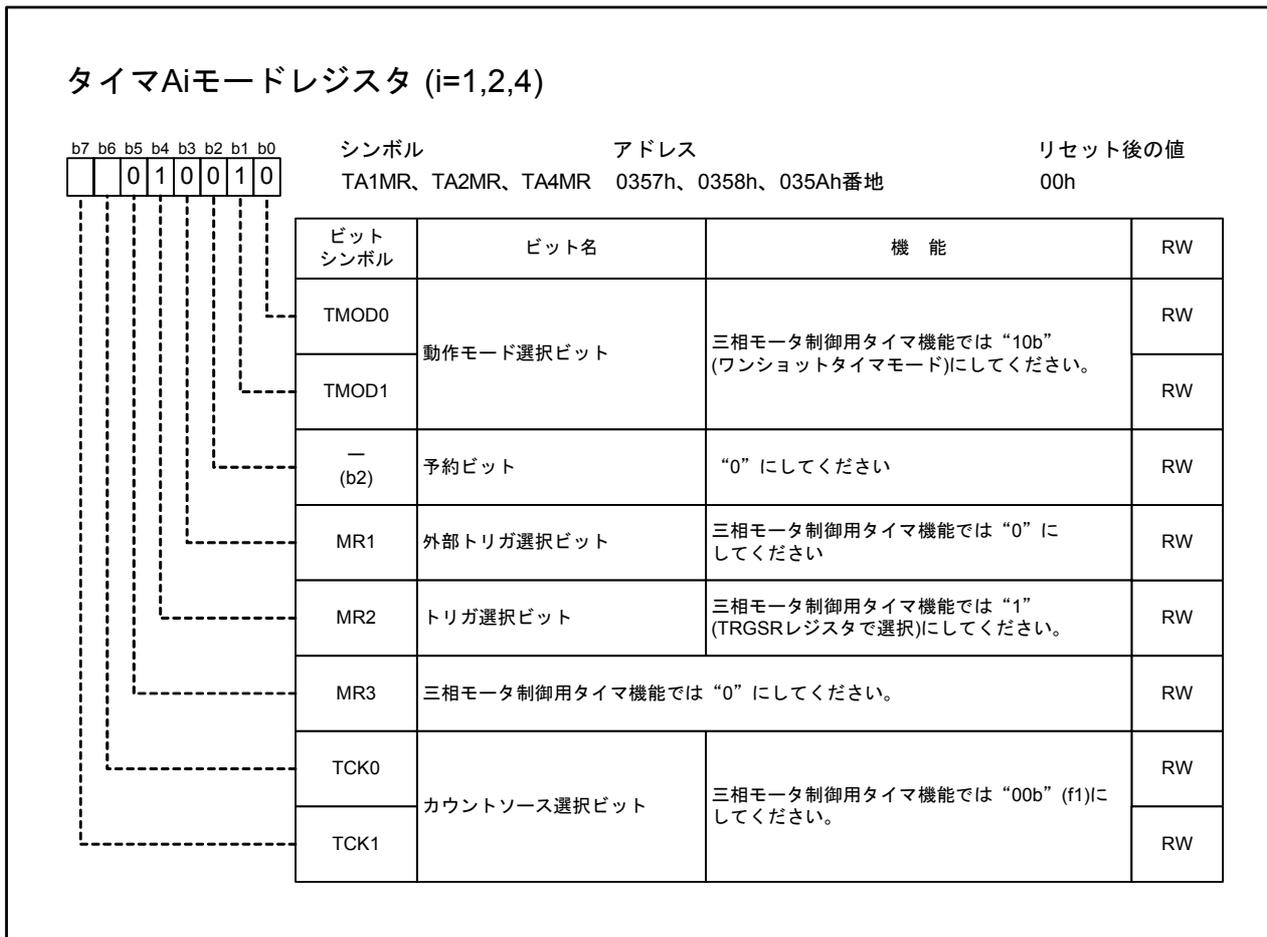


図 16.5 三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ

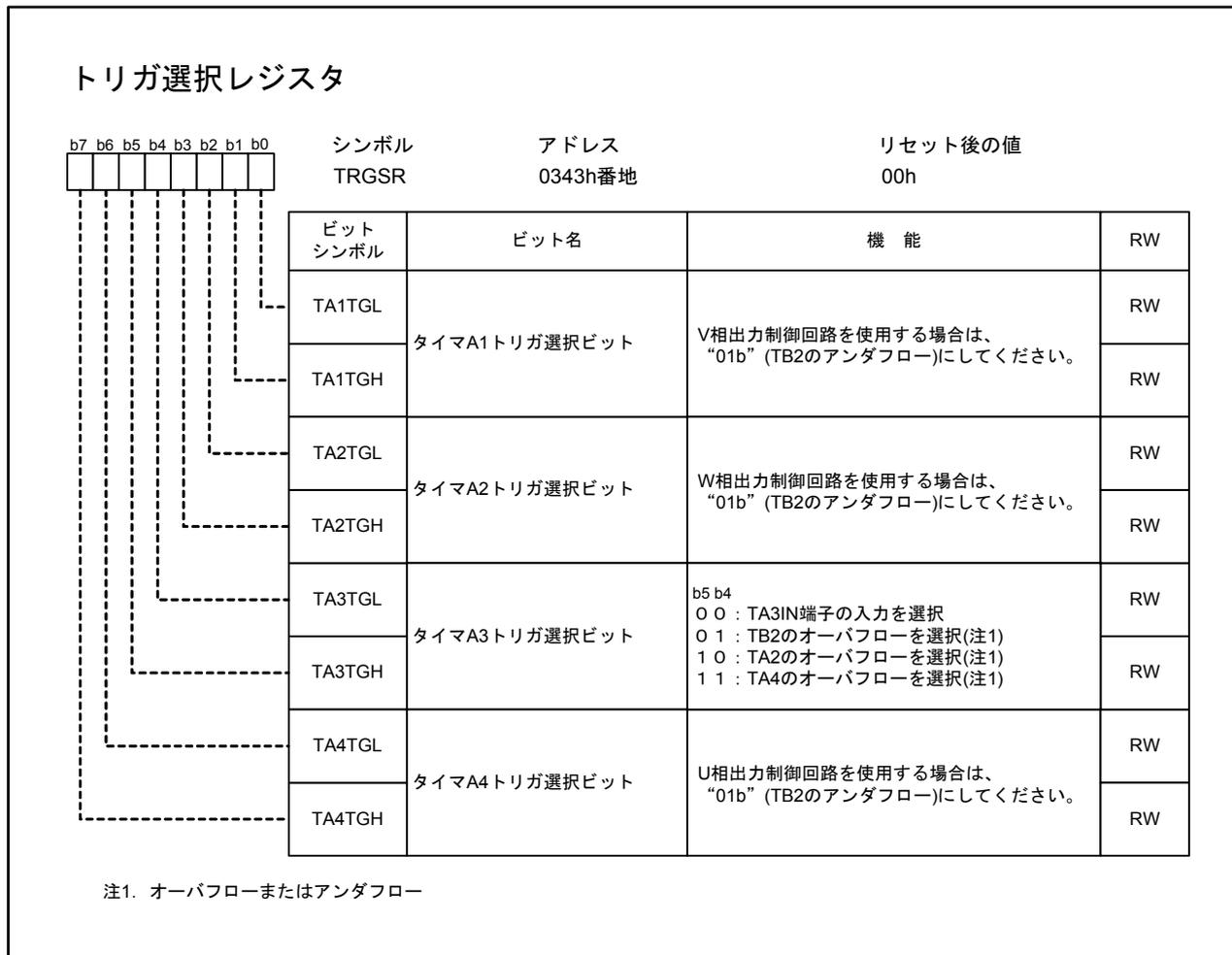


図 16.6 三相モータ制御用タイマ機能時のTRGSRレジスタ

タイマB2特殊モードレジスタ (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0 0 0 0 0 0	TB2SC	035Eh番地	00h

ビットシンボル	ビット名	機能	RW
PWCON	タイマB2リロードタイミング切り替えビット	0 : タイマB2アンダフロー 1 : タイマA1リロード制御信号の立ち上がり時(奇数回目)のタイマB2アンダフロー	RW
— (b7-b1)	予約ビット	“0” にしてください	RW

注1. TB2SCレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

タイマB2割り込み発生頻度設定カウンタ (注1、2)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
X X X X X X X X	ICTB2	030Dh番地	不定

機能	設定範囲	RW
<ul style="list-style-type: none"> INVC0レジスタのINV01ビットが“0”(タイマB2アンダフローでICTB2カウンタのカウントを1進める)の場合、設定値をnとすると、タイマB2がn回アンダフローするごとにタイマB2割り込み要求が発生する。 INV01、INV00ビットが“10b”(タイマA1リロード制御信号の立ち上がり時(奇数回目)のタイマB2アンダフローでICTB2カウンタのカウントを1進める)の場合、設定値をnとすると、最初の割り込み要求は(2n-1)回目のアンダフローで発生し、2回目以降は、タイマB2が2n回アンダフローするごとにタイマB2割り込み要求が発生する。 INV01、INV00ビットが“11b”(タイマA1リロード制御信号の立ち下がり時(偶数回目)のタイマB2アンダフローでICTB2カウンタのカウントを1進める)の場合、設定値がn>1のとき、最初の割り込み要求はタイマB2の(2n-2)回目のアンダフローで発生し、2回目以降はタイマB2が2n回アンダフローするごとにタイマB2割り込み要求が発生する。設定値がn=1のとき、タイマB2が2n回アンダフローするごとにタイマB2割り込み要求が発生する。 	1~15	WO
何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. ICTB2レジスタへ書く場合、リードモディファイライト命令は使用しないでください。詳細は、章「使用上の注意事項」を参照してください。

注2. INVC0レジスタのINV01ビットが“1”の場合は、TABSRLレジスタのTB2Sビットが“0”(タイマB2カウント停止)のときに書いてください。INV01ビットが“0”の場合は、TB2Sビットが“1”(タイマB2カウント開始)でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。

図 16.7 TB2SCレジスタ、ICTB2レジスタ

タイマB2レジスタ (注1)

b15 b8 b7 b0	シンボル TB2	アドレス 0355h - 0354h番地	リセット後の値 不定
--------------------	-------------	-------------------------	---------------

機 能	設定範囲	RW
設定値をnとすると、f1をn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000h~FFFFh	RW

注1. 読む場合、書く場合は16ビット単位で実行してください。

短絡防止タイマ (注1、2、3)

b7 b0	シンボル DTT	アドレス 030Ch番地	リセット後の値 不定
--------------------------	-------------	-----------------	---------------

機 能	設定範囲	RW
上側トランジスタと下側トランジスタが同時に通電しないように、 通電信号がアクティブになるタイミングを遅らせるためのワンショット タイマ。 設定値をnとすると、トリガが入った後カウントソースをn回カウントし て停止する。	01h~FFh	WO

注1. DTTレジスタへ書く場合、リードモディファイライト命令は使用しないでください。詳細は、章「使用上の注意事項」を参照してください。

注2. INVC1レジスタのINV15ビットが“0”（短絡防止時間有効）のとき有効です。INV15ビットが“1”（短絡防止時間無効）のとき短絡防止時間は生成されません。

注3. DTTレジスタのスタートトリガは、INVC1レジスタのINV16ビットで、カウントソースはINVC1レジスタのINV12ビットで選択してください。

図 16.8 三相モータ制御用タイマ機能時のTB2レジスタ、DTTレジスタ

タイマAi、Ai1レジスタ (i=1,2,4)(注1、2、3、4、5)

シンボル	アドレス	リセット後の値
TA1、TA2、TA4	0349h - 0348h、034Bh - 034Ah、034Fh - 034Eh番地	不定
TA11、TA21、TA41	0303h - 0302h、0305h - 0304h、0307h - 0306h番地	不定

機能	設定範囲	RW
設定値をnとすると、スタートトリガ後、f1をn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで各相出力信号が変化する。	0000h~FFFFh	WO

注1. TAI、TAI1レジスタに書く場合、16ビット単位で実行してください。また、リードモディファイライト命令は使用しないでください。詳細は、章「使用上の注意事項」を参照してください。

注2. TAI、TAI1レジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。

注3. INVC1レジスタのINV15ビットが“0”（短絡防止時間有効）の場合、通電出力がアクティブになるタイミングが遅れ、短絡防止タイマが停止するタイミングで変化します。

注4. INVC1レジスタのINV11ビットが“0”（タイマA11、A21、A41を使用しない(三相モード0)）の場合、タイマAiスタートトリガによってTAIレジスタの値がリロードレジスタに転送されます。INV11ビットが“1”（タイマA11、A21、A41を使用する(三相モード1)）の場合、タイマAiスタートトリガによって、まずTAI1レジスタの値が、次のタイマAiスタートトリガ時にTAIレジスタの値がリロードレジスタに転送されます。以降、TAI1レジスタの値とTAIレジスタの値が交互にリロードレジスタに転送されます。

注5. タイマB2アンダフローのタイミングで、TAI、TAI1レジスタへ書かないでください。

三相出力バッファレジスタi (i=0,1)(注1)

シンボル	アドレス	リセット後の値
IDB0、IDB1	030Ah、030Bh番地	XX11 1111b

ビットシンボル	ビット名	機能	RW
DUi	上側(U相)出力バッファi	三相出力シフトレジスタの出力論理を書いてください。ここで書いた値は、各通電信号に以下のとおり反映されます。	RW
DUBi	下側(Ū相)出力バッファi		RW
DVi	上側(V相)出力バッファi	読んだ場合は三相シフトレジスタの値が読める。	RW
DVBi	下側(V̄相)出力バッファi		RW
DWi	上側(W相)出力バッファi	読んだ場合は三相シフトレジスタの値が読める。	RW
DWBi	下側(W̄相)出力バッファi		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. IDB0、IDB1レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ後、IDB0レジスタに書いた値が最初の各相出力信号となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりでIDB1レジスタに書いた値が各相出力信号となります。

図 16.9 TA1、TA2、TA4、TA11、TA21、TA41レジスタ、IDB0、IDB1レジスタ

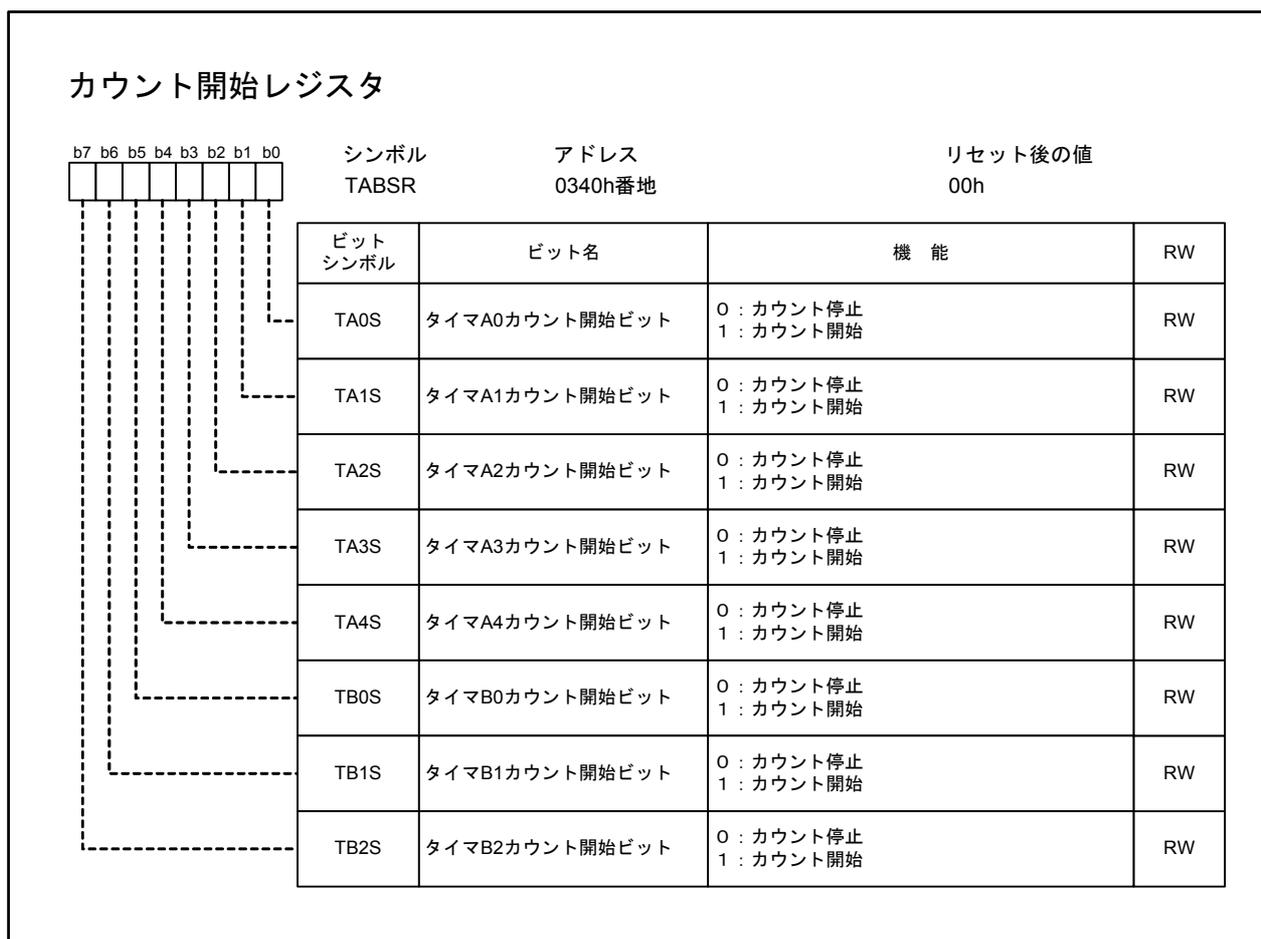


図 16.10 三相モータ制御用タイマ機能時のTABSRレジスタ

表 16.2 三相モータ制御用タイマ機能を使用する場合の端子の設定(注1)

ポート名	機能	ビットと設定値		
		PSCレジスタ	PSL1、PSL2 レジスタ	PS1、PS2 レジスタ(注2)
P7_2	V	PSC_2=1	PSL1_2=0	PS1_2=1
P7_3	\bar{V}	—	PSL1_3=1	PS1_3=1
P7_4	W	—	PSL1_4=1	PS1_4=1
P7_5	\bar{W}	—	PSL1_5=0	PS1_5=1
P8_0	U	—	PSL2_0=1	PS2_0=1
P8_1	\bar{U}	—	PSL2_1=0	PS2_1=1

注1. INVC0レジスタのINV02ビットを“1”(三相モータ制御用タイマ機能を使用する)にした後で、設定してください。

注2. PS1、PS2レジスタは最後に設定してください。

16.1 三角波変調モード

三角波変調モードではタイマB2のアンダフロー周期2回分を搬送波1周期と見なします。

タイマB2のアンダフローをトリガにタイマAi (i=1,2,4)のワンショットパルスを生成し、2つのワンショットパルスをもちいて1周期分のPWM波形を出力します。表16.3に三角波変調モードの仕様と設定を示します。

三角波変調モードには2つの動作モードがあります。

三相モード0では、TAiレジスタを使用します。毎回のTB2アンダフロー割り込みで、ワンショットパルス幅をTAiレジスタに設定します。

三相モード1では、TAi、TAi1レジスタを使用します。2つのワンショットパルス幅をTAi、TAi1レジスタに設定します。ICTB2レジスタの設定値をnとすると、タイマB2のアンダフローn回目ごと、または2n回目ごとに割り込みを発生させ、TAi、TAi1レジスタに値を設定します。

表 16.3 三角波変調モードの仕様と設定

項目	三相モード0	三相モード1		
INV06ビット	0	0		
INV11ビット	0	1		
INV01～INV00ビット	00bまたは01b	00b	10b	11b
PWCONビット	0	0または1		
ICTB2レジスタ	1	n		
搬送波周期	$\frac{2}{f_1} \times (m+1)$	$\frac{2}{f_1} \times (m+1)$		
上側アクティブ出力幅	$\frac{1}{f_1} \times (m+1 - a_{2k-1} + a_{2k})$	$\frac{1}{f_1} \times (m+1 - b_k + a_k)$		
INV13ビット	—	タイマA1リロード制御信号の状態を示す		
タイマB2割り込み発生タイミング	タイマB2のアンダフロー	n回目ごとのタイマB2アンダフロー	2n回目ごとのタイマB2アンダフロー 奇数(2n×j-1)回目のタイマB2アンダフロー 偶数(2n×j)回目のタイマB2アンダフロー	
タイマB2リロードタイミング	タイマB2のアンダフロー	<ul style="list-style-type: none"> タイマB2のアンダフロー (PWCON=0) タイマA1リロード制御信号の立ち上がり時(奇数回目)のタイマB2アンダフロー (PWCON=1) 		
IDBpレジスタ(p=0,1)から三相出力シフトレジスタへの転送タイミング	IDBpへ書いた後、最初の転送トリガに同期して一回のみ転送			
短絡防止タイマスタートタイミング	<ul style="list-style-type: none"> タイマA1、A2、A4のワンショットパルスの立ち下がりに同期 (INV16=0) 三相出力シフトレジスタ出力の立ち上がり(短絡防止タイマスタートトリガ)に同期 (INV16=1) 			

m: TB2レジスタの設定値

a_{2k-1}: 奇数回目のTAiレジスタの設定値

a_{2k}: 偶数回目のTAiレジスタの設定値

b_k: k回目のTAi1レジスタの設定値

a_k: k回目のTAiレジスタの設定値

—: 0でも1でもよい

j: 割り込み回数

図16.11に三角波変調動作例(三相モード0)、図16.12～図16.13に三角波変調動作例(三相モード1)を示します。

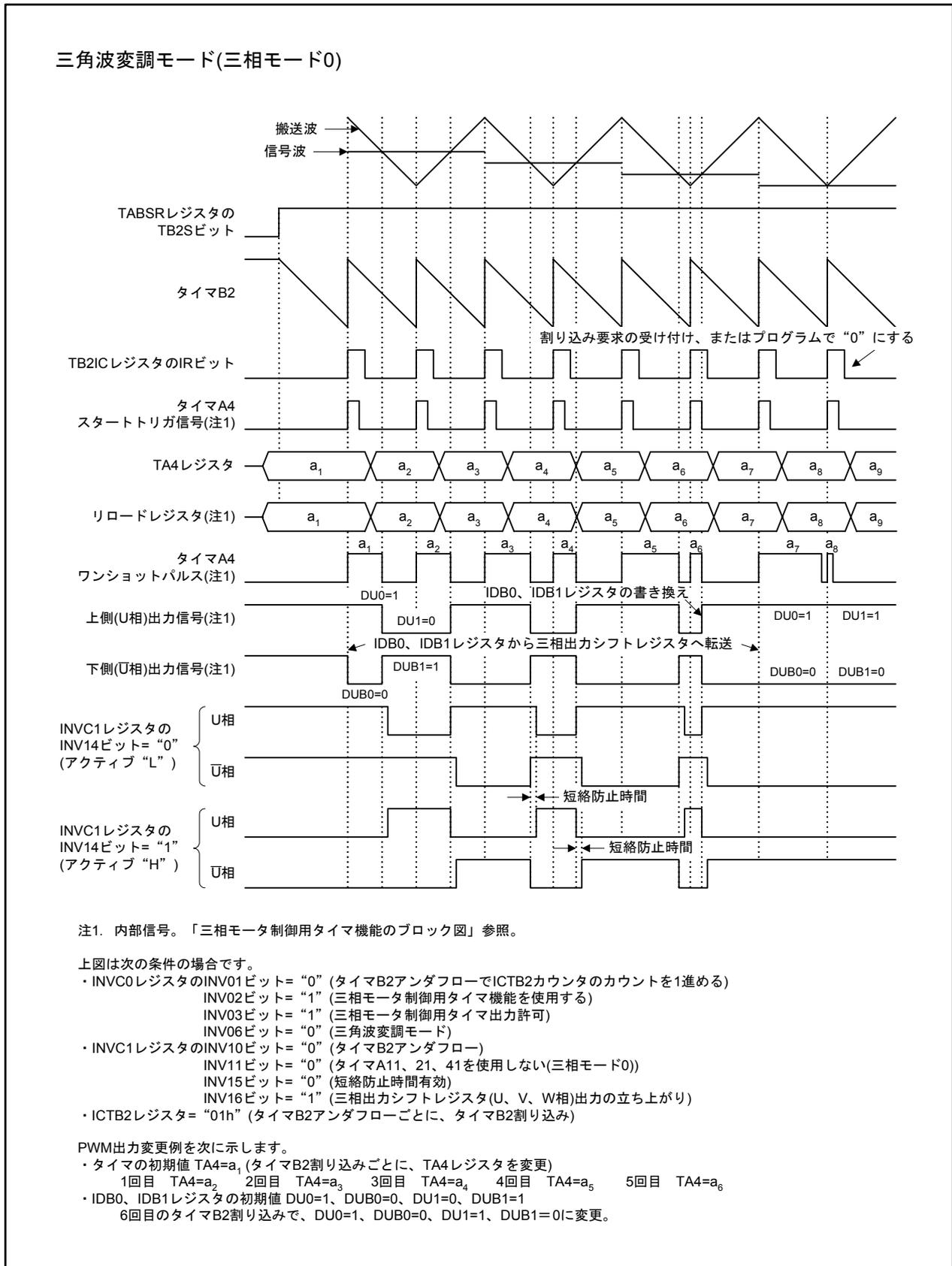


図16.11 三角波変調動作例(三相モード0)

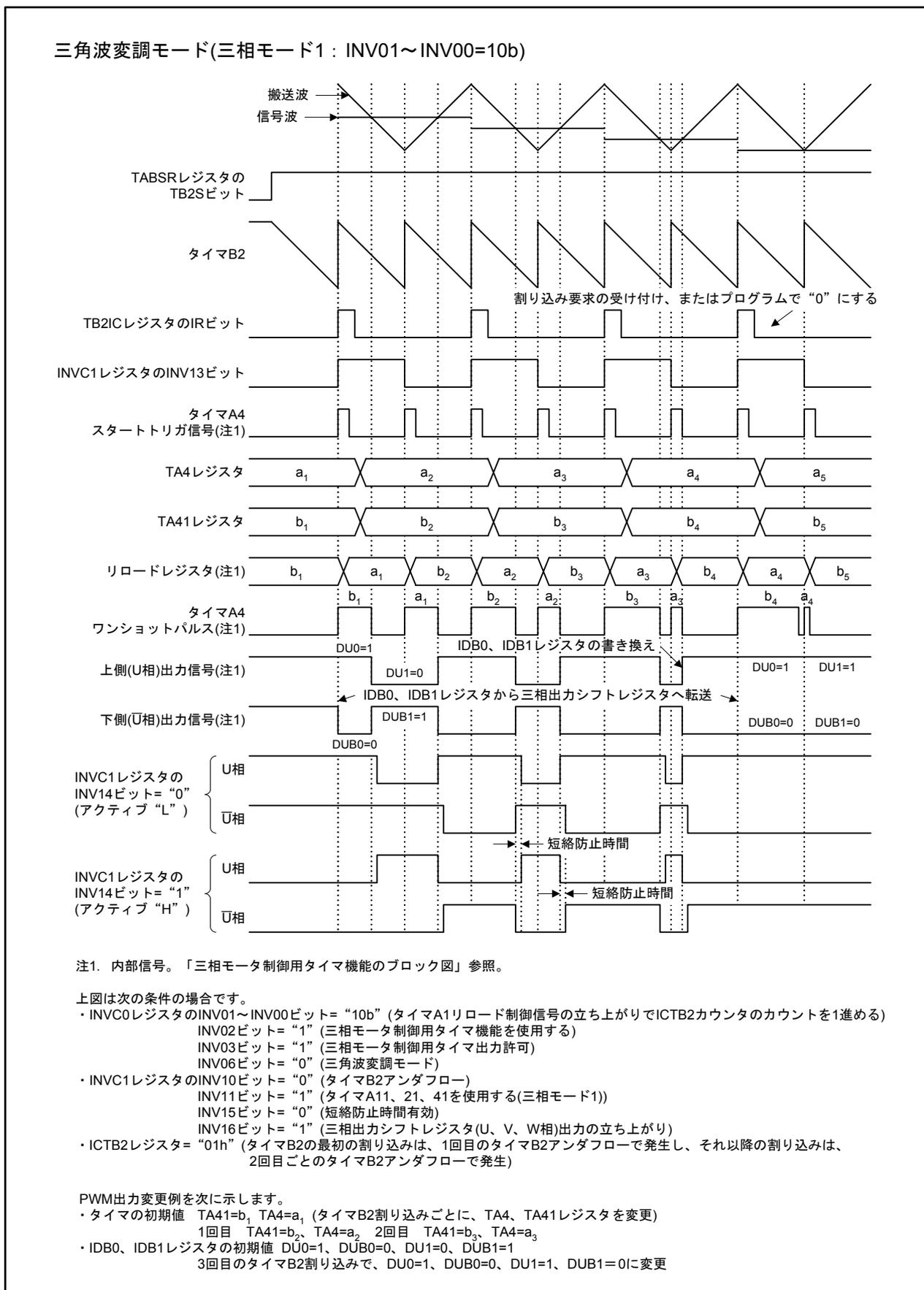


図 16.12 三角波変調動作例(三相モード1)(INV00=0)

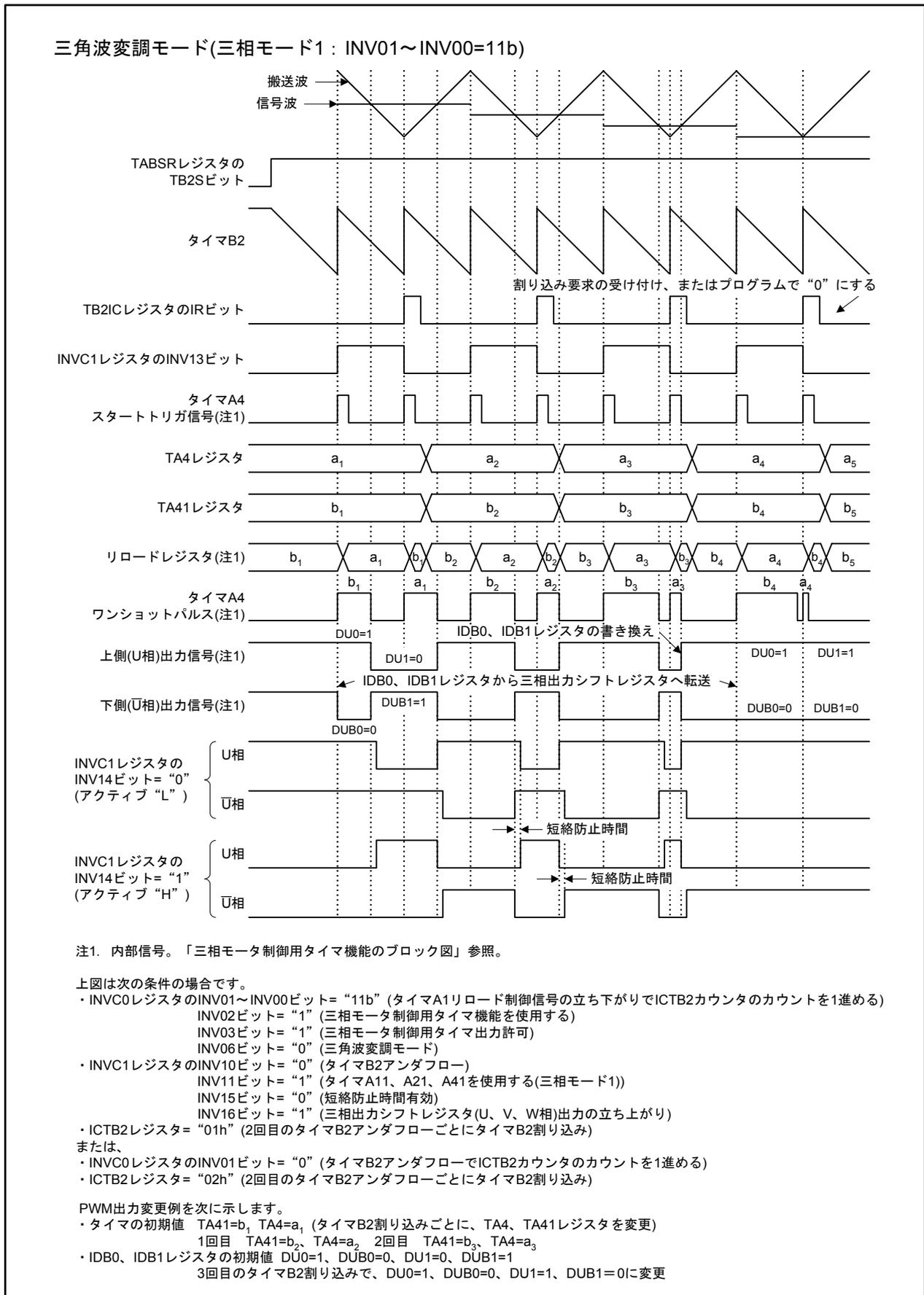


図 16.13 三角波変調動作例(三相モード1)(INV00=1)

16.2 鋸波変調モード

鋸波変調モードではタイマB2のアンダフロー周期1回分を搬送波1周期と見なします。

タイマB2のアンダフローをトリガにタイマAi (i=1,2,4)のワンショットパルスを生成し、このパルスをもちいて1周期分のPWM波形を出力します。表16.4に鋸波変調モードの仕様と設定を示します。

表 16.4 鋸波変調モードの仕様と設定

項目	三相モード0
INV06ビット	1
INV11ビット	0
INV01～INV00ビット	00bまたは01b
PWCONビット	0
ICTB2レジスタ	n
INV16ビット	0
搬送波周期	$\frac{1}{f_1} \times (m+1)$
上側アクティブ出力幅	$\frac{1}{f_1} \times a_k$
タイマB2割り込み発生タイミング	n回目のタイマB2のアンダフロー
タイマB2リロードタイミング	タイマB2のアンダフロー
IDBpレジスタ(p=0,1)から 三相出力レジスタへの転送タイミング	転送トリガごとに転送
短絡防止タイマスタートタイミング	タイマA1、A2、A4のワンショットパルスの 立ち下がり転送トリガに同期

m : TB2レジスタの設定値

a_k : k回目のTAiレジスタの設定値

図16.14に鋸波変調動作例を示します。

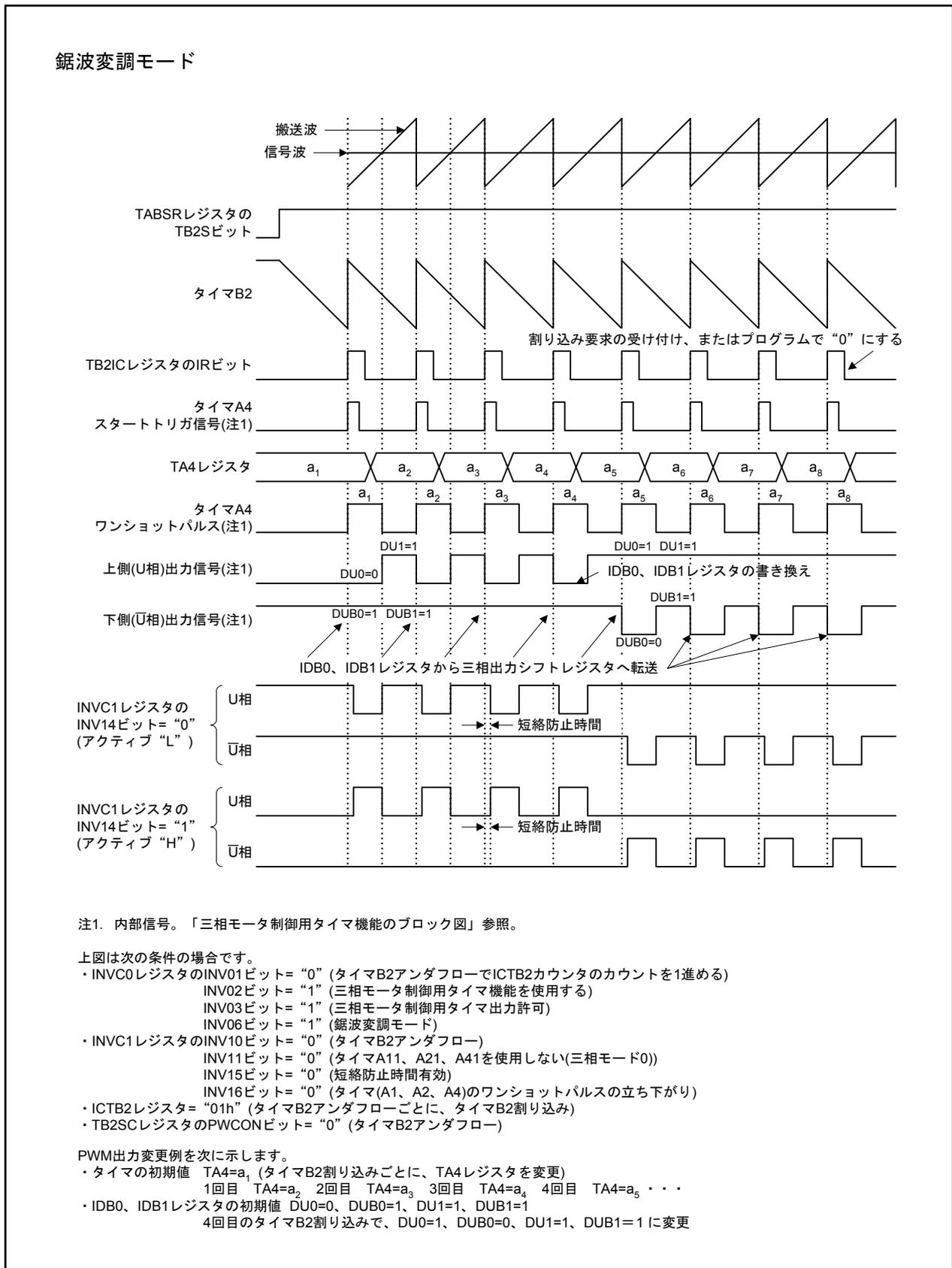


図16.14 鋸波変調動作例

16.3 通電防止機能

16.3.1 プログラム誤動作による上下同時通電防止機能

プログラムの間違いなどでIDB0レジスタやIDB1レジスタの上側出力バッファと下側出力バッファを両方同時に“0”(アクティブ)にすることにより起こる上下同時通電を防止する機能です。

INV0レジスタのINV04ビットが“1”(上下同時通電出力禁止)のとき、上下同時通電防止機能が使用できます。上下同時通電が検出されると、INV05ビットが“1”(検出)、INV03ビットが“0”(三相モータ制御用タイマ出力禁止)になり、ポート出力が強制遮断され、端子はハイインピーダンス状態になります。上下同時通電が検出された場合、三相モータ制御用タイマ機能で使用するレジスタを再設定してください。

16.3.2 短絡防止タイマによるアーム短絡防止機能

外部の上下トランジスタのターンオフ遅延が原因で生じるアーム短絡を防止する機能です。INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のとき、短絡防止タイマが有効になります。INV12ビットで短絡防止タイマのカウントソース(fDT)を選択し、DTTレジスタで短絡防止時間を設定します。短絡防止時間は、次のとおりです。

$$\frac{1}{f1} \times n \quad (\text{INV12}=0)$$

$$\frac{2}{f1} \times n \quad (\text{INV12}=1) \quad n : \text{DTTレジスタの設定値}$$

図16.15に短絡防止タイマの動作例を示します。

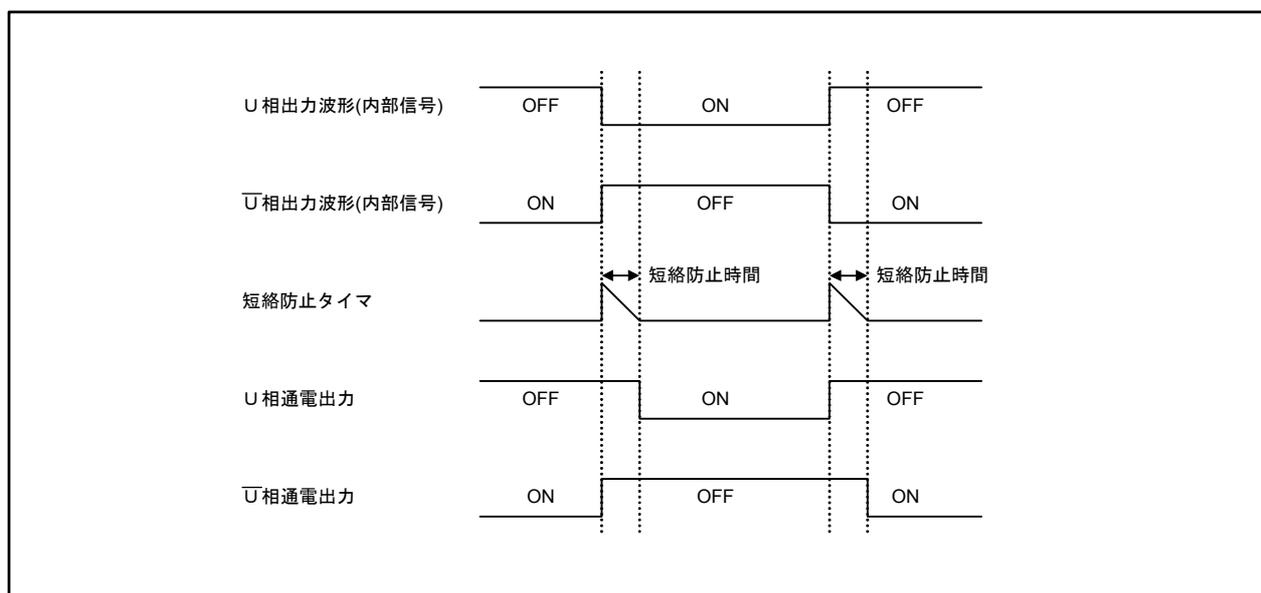


図16.15 短絡防止タイマの動作例

16.3.3 $\overline{\text{NMI}}$ 入力による強制遮断機能

$\overline{\text{NMI}}$ 端子に“L”を入力することで、INV03ビットが“0”(三相モータ制御用タイマ出力禁止)になり、ポート出力が強制遮断され、端子はハイインピーダンス状態になります。

また、このとき $\overline{\text{NMI}}$ 割り込みが発生します。

強制遮断が行われた後、三相モータ制御用タイマ機能を動作させる場合は、 $\overline{\text{NMI}}$ 端子に“H”を入力した状態で三相モータ制御用タイマ機能で使用するレジスタを再設定してください。

$\overline{\text{NMI}}$ 入力による強制遮断機能は、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき使用できます。

17. シリアルインタフェース

注意

シリアルインタフェースは144ピン版を例に説明しています。
100ピン版にUART6はありません。

シリアルインタフェースは7チャンネル(UART0～UART6)あります。
UART_i(i=0～6)は、それぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。
表17.1にUART0～UART6の機能比較を示します。

表 17.1 UART0～UART6の機能比較

モード	UART0	UART1～UART4	UART5、UART6
クロック同期モード	可	可	可
クロック非同期モード (UARTモード)	可	可	可
特殊モード1 (I ² Cモード)	可	可	不可
特殊モード2	可	可	不可
特殊モード3 (クロック分周同期化機能、GCIモード)	可	可	不可
特殊モード4 (SIMモード)	可	可	不可
特殊モード5 (IrDAモード)	可	不可	不可
特殊モード6 (バス衝突検出機能、IEモード)(オプション)(注1)	可	可	不可

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

17.1 UART0~UART4

図17.1にUART0~UART4のブロック図を示します。図17.2~図17.10にUART0~UART4の関連レジスタを示します。レジスタの設定、端子の設定はモードごとの表を参照してください。

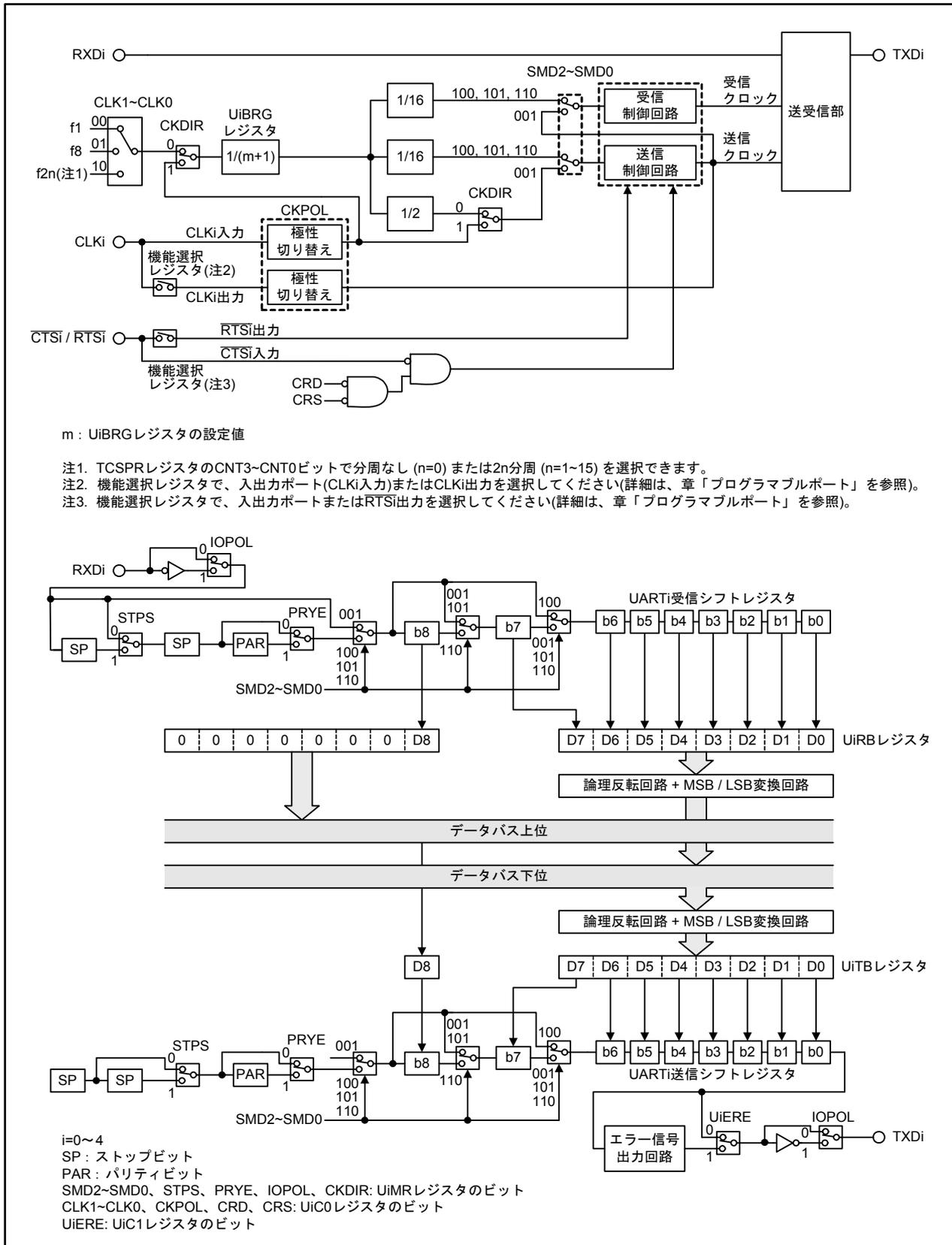


図17.1 UART0~UART4のブロック図

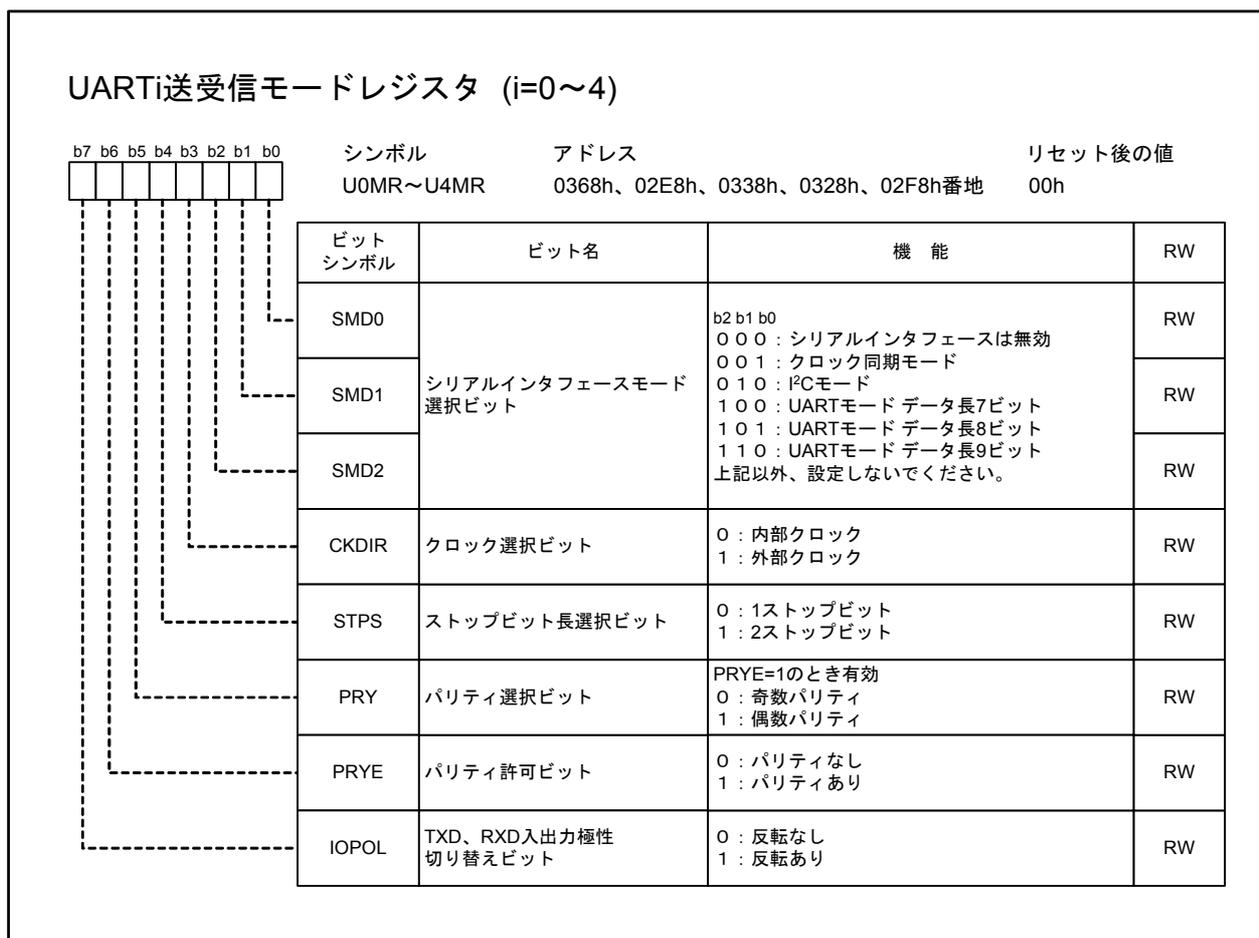
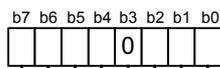


図 17.2 U0MR~U4MR レジスタ

UARTi特殊モードレジスタ (i=0~4)



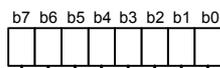
シンボル	アドレス	リセット後の値
U0SMR~U2SMR	0367h、02E7h、0337h番地	00h
U3SMR、U4SMR	0327h、02F7h番地	00h

ビットシンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0 : I ² Cモード以外 1 : I ² Cモード	RW
ABC	アービトレーションロスト検出フラグ制御ビット(注1)	0 : ビットごとに更新 1 : バイトごとに更新	RW
BBS	バスビジーフラグ(注1、2)	0 : ストップコンディション検出(バスフリー) 1 : スタートコンディション検出(バスビジー)	RW
— (b3)	予約ビット	“0” にしてください	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット(注3)	0 : 送受信クロックの立ち上がり 1 : タイマA _j のアンダフロー(j=0,3,4)(注4)	RW
ACSE	送信許可ビット自動クリア機能選択ビット(注3)	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット(注3)	0 : RXDiと無関係 1 : RXDiに同期	RW
SCLKDIV	クロック分周同期化ビット(注5、6)	0 : 外部クロックを分周しない 1 : 外部クロックを2分周する	RW

- 注1. I²Cモードで使用します。
- 注2. BBSビットはプログラムで“0”にできます。“1”を書いた場合、設定前の値を保持します。
- 注3. IEモードで使用します。
- 注4. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号、UART4ではタイマA4のアンダフロー信号。
- 注5. GCIモードで使用します。
- 注6. UiSMR2レジスタのSU1HIMビットの注記を参照してください。

図 17.3 U0SMR~U4SMR レジスタ

UARTi特殊モードレジスタ2 (i=0~4)



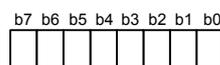
シンボル	アドレス	リセット後の値
U0SMR2~U2SMR2	0366h、02E6h、0336h番地	00h
U3SMR2、U4SMR2	0326h、02F6h番地	00h

ビットシンボル	ビット名	機能	RW
IICM2	I ² Cモード選択ビット2	0 : ACK / NACK割り込みを使用 1 : 送受信割り込みを使用	RW
CSC	クロック同期化ビット(注1)	0 : クロック同期を実施しない 1 : クロック同期を実施する	RW
SWC	SCLウェイト自動挿入ビット(注2)	0 : ウェイトなし / ウェイト解除 1 : 8ビット受信後、SCLi端子を“L”に固定	RW
ALS	SDA出力自動停止ビット(注1)	アービトレーションロスト検出時、 0 : SDAi出力を停止しない 1 : SDAi出力を停止する	RW
STC	UARTi自動初期化ビット(注2)	スタートコンディション検出時、 0 : 回路を初期化しない 1 : 回路を初期化する	RW
SWC2	SCLウェイト出力ビット2(注1)	0 : SCLi端子に送受信クロック出力 1 : SCLi端子を“L”に固定	RW
SDHI	SDA出力停止ビット(注2)	0 : データ出力 1 : 出力停止(ハイインピーダンス)	RW
SU1HIM	外部クロック同期化有効ビット(注3)	0 : 同期化しない 1 : 同期化する	RW

- 注1. I²Cモードでマスタの場合に使用します。
- 注2. I²Cモードでスレーブの場合に使用します。
- 注3. GCIモードで使用します。UiSMRレジスタのSCLKDIVビットとの組み合わせで、外部クロック同期化機能を選択できます。

UiSMRレジスタのSCLKDIVビット	UiSMR2レジスタSU1HIMビット	外部クロック同期化機能選択
0	0	同期化しない
0	1	外部クロックと同周期
1	0または1	外部クロックを2分周した周期

図 17.4 U0SMR2~U4SMR2レジスタ

UART_i特殊モードレジスタ3 (i=0～4)

シンボル	アドレス	リセット後の値
U0SMR3～U2SMR3	0365h、02E5h、0335h番地	00h
U3SMR3、U4SMR3	0325h、02F5h番地	00h

ビットシンボル	ビット名	機能	RW
SSE	SS機能選択ビット(注1)	0 : SS機能を使用しない 1 : SS機能を使用する(注2)	RW
CKPH	クロック位相設定ビット(注1)	0 : クロック遅れなし 1 : クロック遅れあり	RW
DINC	シリアル入力端子設定ビット(注1)	0 : TXDi、RXDiを選択(マスターモード) 1 : STXDi、SRXDiを選択(スレーブモード)	RW
NODC	クロック出力選択ビット	0 : CLKiはCMOS出力 1 : CLKiはNチャンネルオープンドレイン出力	RW
ERR	モードエラーフラグ(注1)	0 : モードエラーなし 1 : モードエラーあり(注3)	RW
DL0	SDAiデジタル遅延値設定ビット(注4、5)	BRGカウントソースを基準にSDAi出力を以下のサイクル数遅延します。 b7 b6 b5 0 0 0 : 遅延なし 0 0 1 : 1～2サイクル 0 1 0 : 2～3サイクル 0 1 1 : 3～4サイクル 1 0 0 : 4～5サイクル 1 0 1 : 5～6サイクル 1 1 0 : 6～7サイクル 1 1 1 : 7～8サイクル	RW
DL1			RW
DL2			RW

注1. 特殊モード2で使用します。

注2. SSEビットが“1”の場合、U_iC0レジスタのCRDビットを“1”(CTS機能禁止)にしてください。

注3. ERRビットはプログラムで“0”にできます。“1”を書いた場合、設定前の値を保持します。

注4. DL2～DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合は、“000b”(遅延なし)にしてください。

注5. 外部クロックを選択した場合、100ns程度さらに遅延します。

図 17.5 U0SMR3～U4SMR3 レジスタ

UART_i特殊モードレジスタ4 (i=0~4)

ビットシンボル	ビット名	機能	RW
STAREQ	スタートコンディション生成ビット(注1、3)	0 : クリア 1 : スタート	RW
RSTAREQ	リスタートコンディション生成ビット(注1、3)	0 : クリア 1 : スタート	RW
STPREQ	ストップコンディション生成ビット(注1、3)	0 : クリア 1 : スタート	RW
STSPSEL	SCL、SDA出力選択ビット(注1)	0 : シリアル入出力回路選択 1 : スタート/ストップコンディション生成回路選択(注4)	RW
ACKD	ACKデータビット(注2)	0 : ACK 1 : NACK	RW
ACKC	ACKデータ出力許可ビット(注2)	0 : シリアルデータ出力 1 : ACKデータ出力	RW
SCLHI	SCL出力停止ビット(注1)	バスフリー時、 0 : SCLi出力を停止しない 1 : SCLi出力を停止する	RW
SWC9	SCLウェイト出力ビット3(注1)	0 : ウェイトなし/ウェイト解除 1 : 9ビット目を受信後、SCLi端子を“L”に固定	RW

注1. I²Cモードでマスタの場合に使用します。

注2. I²Cモードでスレーブの場合に使用します。

注3. 各コンディションが生成されたとき、“0”になります。生成失敗時は“1”のままとなります。

注4. 先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1”(スタート)にした後、“1”(スタート/ストップコンディション生成回路選択)にしてください。

図 17.6 U0SMR4~U4SMR4 レジスタ

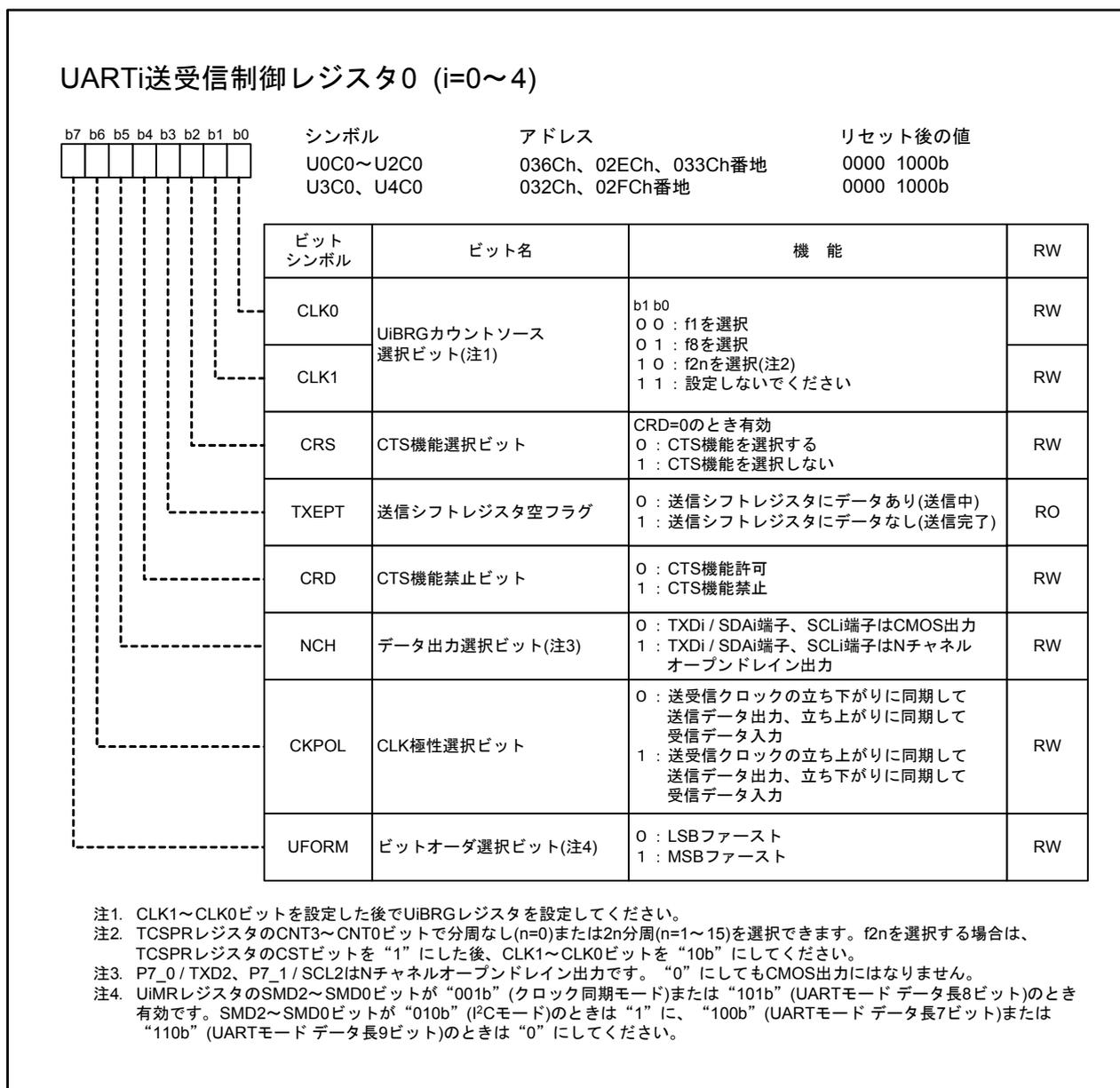


図 17.7 U0C0~U4C0 レジスタ

UARTi通信速度レジスタ (i=0~4)(注1、2)

b7 [] b0	シンボル U0BRG~U2BRG U3BRG、U4BRG	アドレス 0369h、02E9h、0339h番地 0329h、02F9h番地	リセット後の値 不定 不定
機 能		設定範囲	RW
設定値をnとすると、UiBRGはカウントソースをn+1分周する。		00h~FFh	WO

注1. UiBRGレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。
 注2. UiC0レジスタのCLK1~CLK0ビットを設定した後、UiBRGレジスタへ書いてください。

UARTi送受信制御レジスタ1 (i=0~4)

b7 b6 b5 b4 b3 b2 b1 b0 [] [0] [] [] [] [] [] []	シンボル U0C1~U2C1 U3C1、U4C1	アドレス 036Dh、02EDh、033Dh番地 032Dh、02FDh番地	リセット後の値 0000 0010b 0000 0010b
ビットシンボル	ビット名	機 能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	UiTBレジスタ空フラグ	0 : UiTBレジスタにデータあり 1 : UiTBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : UiRBレジスタにデータなし 1 : UiRBレジスタにデータあり	RO
UiIRS	送信割り込み要因選択ビット	0 : UiTBレジスタ空(TI=1) 1 : 送信完了(TXEPT=1)	RW
UiRRM	連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可(注3)	RW
UiLCH	データ論理選択ビット(注1)	0 : 反転なし 1 : 反転あり	RW
SCLKSTPB	特殊モード3 : クロック分周同期化停止ビット	0 : 同期化停止 1 : 同期化開始	RW
UiERE	特殊モード4 : エラー信号出力許可ビット(注2)	0 : 出力しない 1 : 出力する	

注1. UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期モード)、“100b”(UARTモード データ長7ビット)または“101b”(UARTモード データ長8ビット)のとき有効です。SMD2~SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモード データ長9ビット)のときは“0”にしてください。
 注2. SMD2~SMD0ビットを設定した後、UiEREビットを設定してください。
 注3. UiRRMビットを“1”にする場合、UiMRレジスタのCKDIRビットを“1”(外部クロック)にしてください。また、RTS制御は使用しないでください。

図 17.8 U0BRG~U4BRGレジスタ、U0C1~U4C1レジスタ

外部割り込み要因選択レジスタ

ビット シンボル	ビット名	機 能	RW
IFSR0	INT0割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR1	INT1割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR2	INT2割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR3	INT3割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR4	INT4割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR5	INT5割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR6	UART0、UART3割り込み要因 選択ビット	0 : UART3のバス衝突、スタートコンディ ション検出、ストップコンディション検出 1 : UART0のバス衝突、スタートコンディ ション検出、ストップコンディション検出	RW
IFSR7	UART1、UART4割り込み要因 選択ビット	0 : UART4のバス衝突、スタートコンディ ション検出、ストップコンディション検出 1 : UART1のバス衝突、スタートコンディ ション検出、ストップコンディション検出	RW

注1. レベルセンスを選択する場合、IFSRiビット(i=0~5)は“0”(片エッジ)にしてください。
両エッジを選択する場合、対応するINTiCレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

図 17.9 IFSR レジスタ

UART_i送信バッファレジスタ (i=0~4)(注1)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				U0TB~U2TB	036Bh - 036Ah, 02EBh - 02EAh, 033Bh - 033Ah番地	不定
				U3TB, U4TB	032Bh - 032Ah, 02FBh - 02FAh番地	不定

ビットシンボル	機能	RW
— (b7-b0)	送信データ(D7~D0)	WO
— (b8)	送信データ(D8)	WO
— (b15-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—

注1. UiTBレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。

UART_i受信バッファレジスタ (i=0~4)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				U0RB~U2RB	036Fh - 036Eh, 02EFh - 02EEh, 033Fh - 033Eh番地	不定
				U3RB, U4RB	032Fh - 032Eh, 02FFh - 02FEh番地	不定

ビットシンボル	ビット名	機能	RW
— (b7-b0)	—	受信データ(D7~D0)	RO
— (b8)	—	受信データ(D8)	RO
— (b10-b9)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
ABT	アービトラージロスト検出フラグ(注1)	0 : 未検出(勝) 1 : 検出(負)	RW
OER	オーバランエラーフラグ(注2)	0 : オーバランエラーなし 1 : オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注2、3)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	RO
PER	パリティエラーフラグ(注2、3)	0 : パリティエラーなし 1 : パリティエラー発生	RO
SUM	エラーサムフラグ(注2、3)	0 : エラーなし 1 : エラー発生	RO

- 注1. ABTビットは“0”のみ書けます。
- 注2. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、OER、FER、PER、SUMビットは“0”になります。OER、FER、PERビットがすべて“0”になると、SUMビットも“0”になります。また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは“0”になります。
- 注3. SMD2~SMD0ビットが“001b”(クロック同期モード)または“010b”(I²Cモード)のとき、FER、PER、SUMビットは無効です。読んだ場合、その値は不定。

図 17.10 U0TB~U4TBレジスタ、U0RB~U4RBレジスタ

17.1.1 クロック同期モード

全二重のクロック同期シリアル通信を行うモードです。送受信制御としてCTS / RTS機能が選択できます。表17.2にクロック同期モードの仕様を、表17.3に端子の設定を示します。また、図17.11にレジスタの設定手順を、図17.12に内部クロック選択時の送受信動作例を、図17.13に外部クロック選択時の受信動作例を示します。

表17.2 クロック同期モードの仕様

項目	仕様
データフォーマット	データ長 8ビット
送受信クロック	UiMRレジスタ(i=0～4)のCKDIRビットで内部クロックまたは外部クロックを選択
通信速度	CKDIRビットが“0”(内部クロック)のとき $\frac{f_j}{2(m+1)}$ f_j : f1、f8、f2n(注1) m : UiBRGレジスタの設定値(00h～FFh) CKDIRビットが“1”(外部クロック)のとき CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS / RTS機能禁止を選択
送受信開始条件	内部クロック選択時 ・ UiC1レジスタのTEビットが“1”(送信許可) ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・ UiC1レジスタのREビットが“1”(受信許可) ・ CTS機能使用時、CTS _i 端子に“L”を入力 外部クロック選択時(注2) ・ TEビットが“1” ・ TIビットが“0” ・ REビットが“1” ・ RTS機能使用時、UiC1レジスタのRIビットが“0”(UiRBレジスタにデータなし) 上の条件がすべてそろると、RTS _i 端子から“L”を出力する 内部クロック選択時、外部クロック選択時ともに送信のみの場合はREビットの設定は不要
割り込み要求発生タイミング	送信割り込み(UiC1レジスタのUiIRSビットで選択) ・ UiIRSビットが“0”(UiTBレジスタ空) UiTBレジスタからUART _i 送信シフトレジスタにデータ転送時(送信開始時) ・ UiIRSビットが“1”(送信完了) UART _i 送信シフトレジスタからデータ送信完了時 受信割り込み ・ UART _i 受信シフトレジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注3) UiRBレジスタを読む前に次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> ・ CLK極性選択 送受信データの入出力タイミングを選択可 ・ ビットオーダ選択 LSBファーストまたはMSBファーストを選択可 ・ シリアルデータ論理切り替え 送受信データの論理値を反転する機能 ・ 連続受信モード選択 UiRBレジスタを読むことで、受信許可状態になる

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”の場合はCLKi端子が“H”の状態、CKPOLビットが“1”の場合はCLKi端子が“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 17.3 クロック同期モードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ(注2)	PSC、PSC3 レジスタ	PSL0、PSL1、 PSL3レジスタ	PS0、PS1、PS3 レジスタ(注1、2)
P6_0	$\overline{\text{CTS0}}$ 入力	PD6_0=0	—	—	PS0_0=0
	$\overline{\text{RTS0}}$ 出力	—	—	PSL0_0=0	PS0_0=1
P6_1	CLK0入力	PD6_1=0	—	—	PS0_1=0
	CLK0出力	—	—	PSL0_1=0	PS0_1=1
P6_2	RXD0入力	PD6_2=0	—	—	PS0_2=0
P6_3	TXD0出力(注4)	—	—	PSL0_3=0	PS0_3=1
P6_4	$\overline{\text{CTS1}}$ 入力	PD6_4=0	—	—	PS0_4=0
	$\overline{\text{RTS1}}$ 出力	—	—	PSL0_4=0	PS0_4=1
P6_5	CLK1入力	PD6_5=0	—	—	PS0_5=0
	CLK1出力	—	—	PSL0_5=0	PS0_5=1
P6_6	RXD1入力	PD6_6=0	—	—	PS0_6=0
P6_7	TXD1出力(注4)	—	—	PSL0_7=0	PS0_7=1
P7_0(注3)	TXD2出力(注4)	—	PSC_0=0	PSL1_0=0	PS1_0=1
P7_1	RXD2入力	PD7_1=0	—	—	PS1_1=0
P7_2	CLK2入力	PD7_2=0	—	—	PS1_2=0
	CLK2出力	—	PSC_2=0	PSL1_2=0	PS1_2=1
P7_3	$\overline{\text{CTS2}}$ 入力	PD7_3=0	—	—	PS1_3=0
	$\overline{\text{RTS2}}$ 出力	—	PSC_3=0	PSL1_3=0	PS1_3=1
P9_0	CLK3入力	PD9_0=0	—	—	PS3_0=0
	CLK3出力	—	—	PSL3_0=0	PS3_0=1
P9_1	RXD3入力	PD9_1=0	—	—	PS3_1=0
P9_2	TXD3出力(注4)	—	—	PSL3_2=0	PS3_2=1
P9_3	$\overline{\text{CTS3}}$ 入力	PD9_3=0	—	PSL3_3=0	PS3_3=0
	$\overline{\text{RTS3}}$ 出力	—	—	—	PS3_3=1
P9_4	$\overline{\text{CTS4}}$ 入力	PD9_4=0	—	PSL3_4=0	PS3_4=0
	$\overline{\text{RTS4}}$ 出力	—	—	—	PS3_4=1
P9_5	CLK4入力	PD9_5=0	—	PSL3_5=0	PS3_5=0
	CLK4出力	—	—	—	PS3_5=1
P9_6	TXD4出力(注4)	—	PSC3_6=0	—	PS3_6=1
P9_7	RXD4入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3レジスタは最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注3. 出力はNチャンネルオープンドレイン出力です。

注4. UiMRレジスタでUARTiの動作モードを選択し、機能選択レジスタで端子の機能を選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス)。

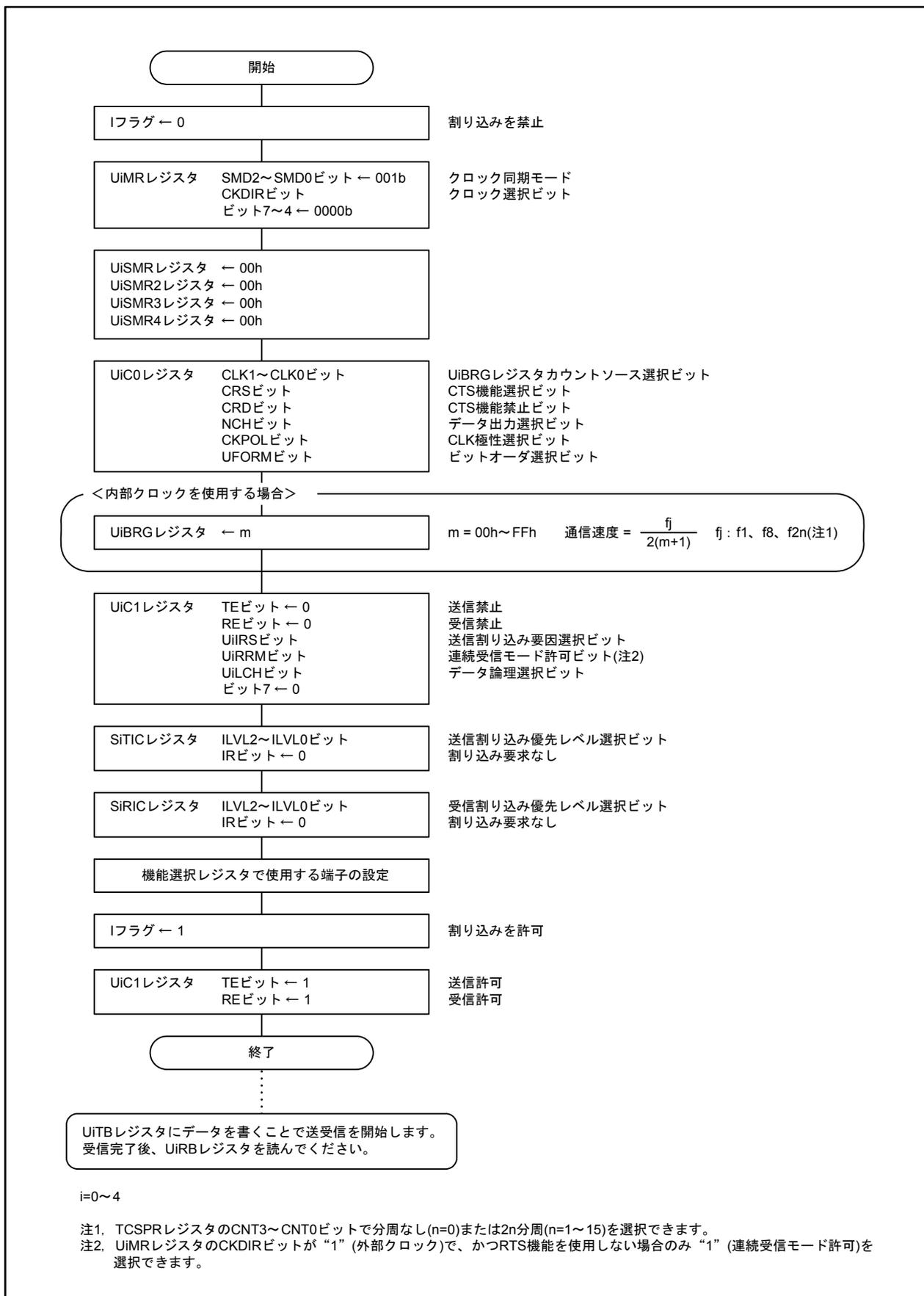


図 17.11 クロック同期モードを使用する場合のレジスタの設定手順

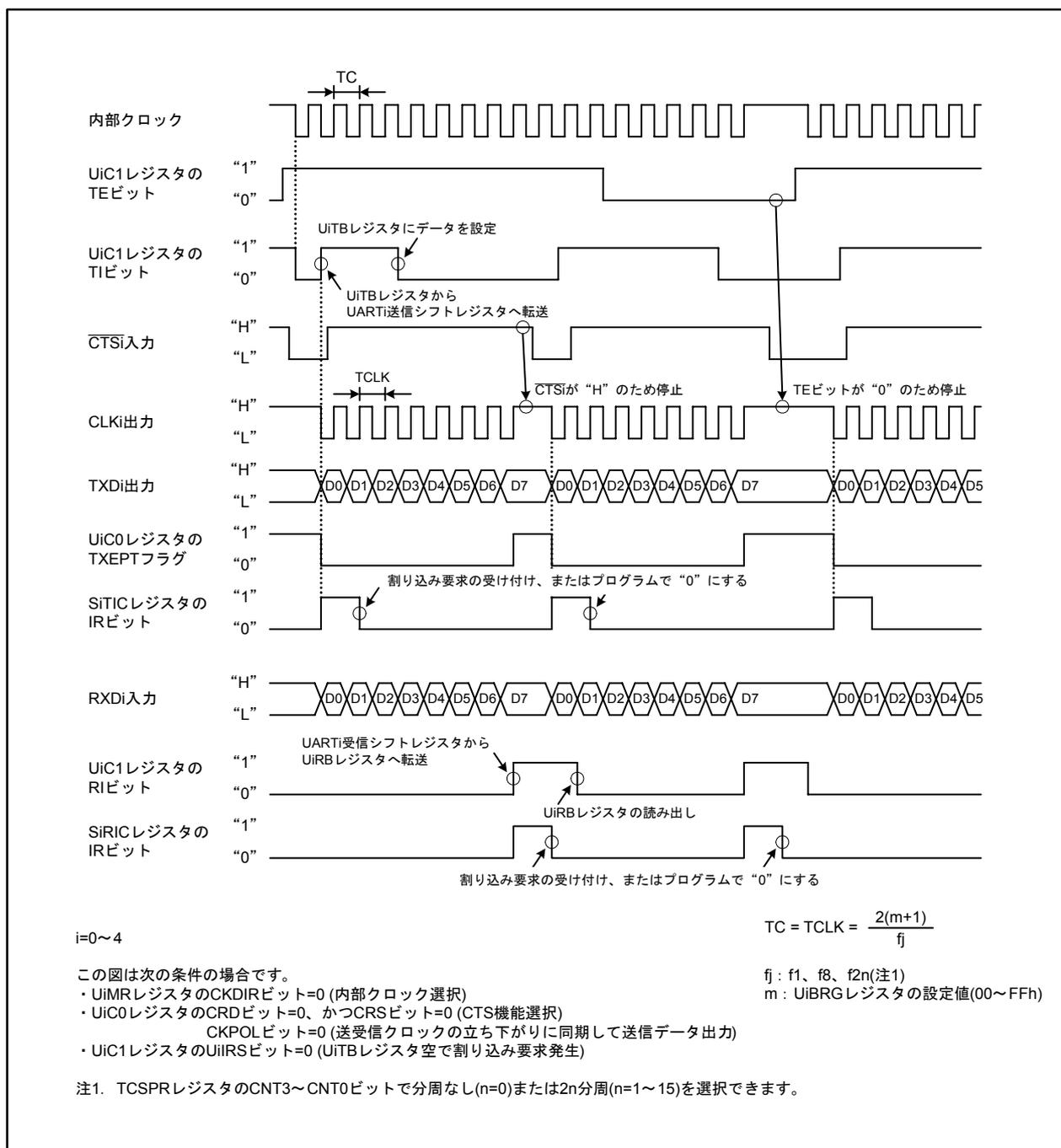


図 17.12 内部クロック選択時の送受信動作例

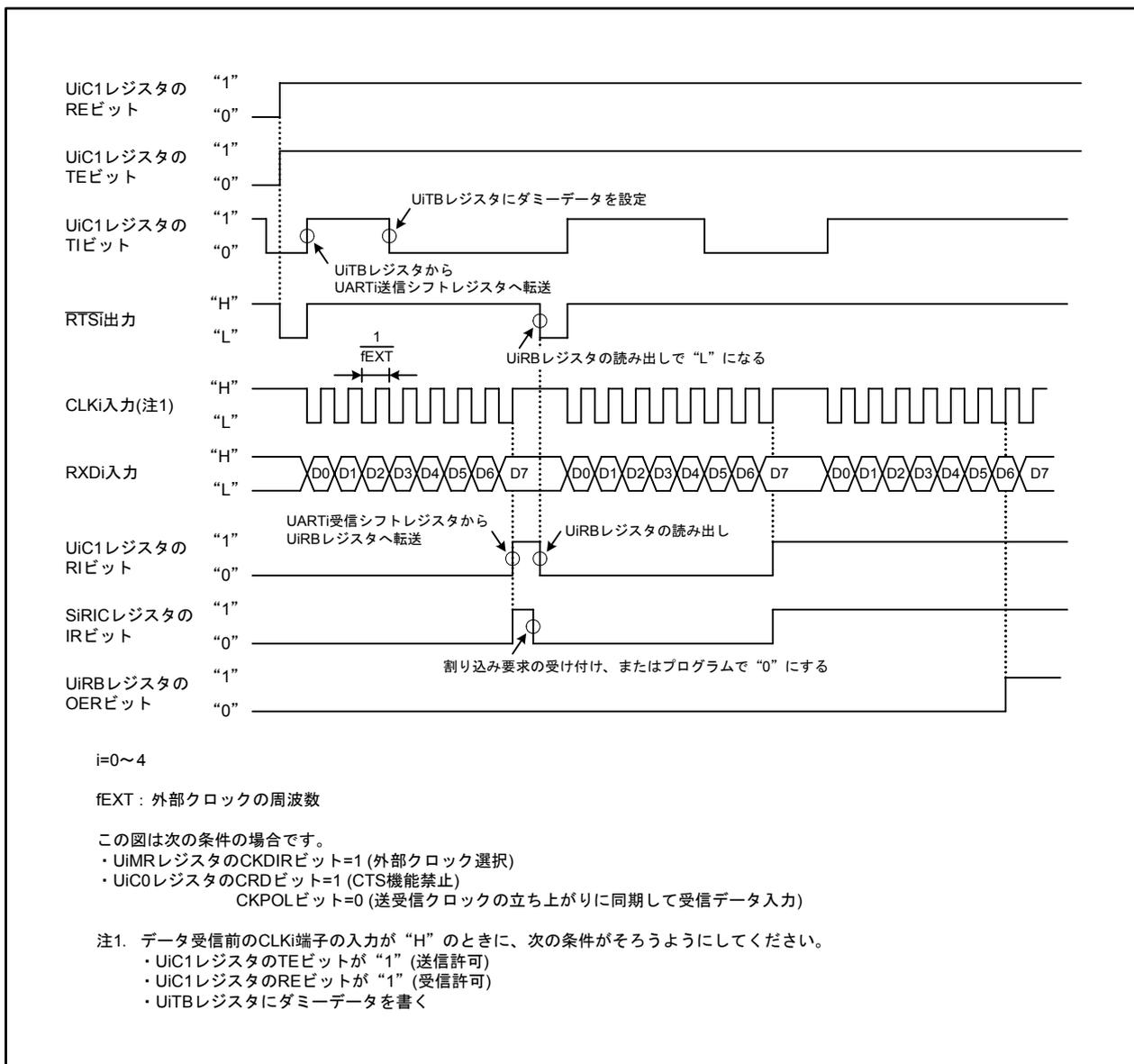


図 17.13 外部クロック選択時の受信動作例

17.1.1.1 CLK極性選択

図17.14に示すように、UIC0レジスタ(i=0～4)のCKPOLビットで送受信クロックの極性を選択できます。

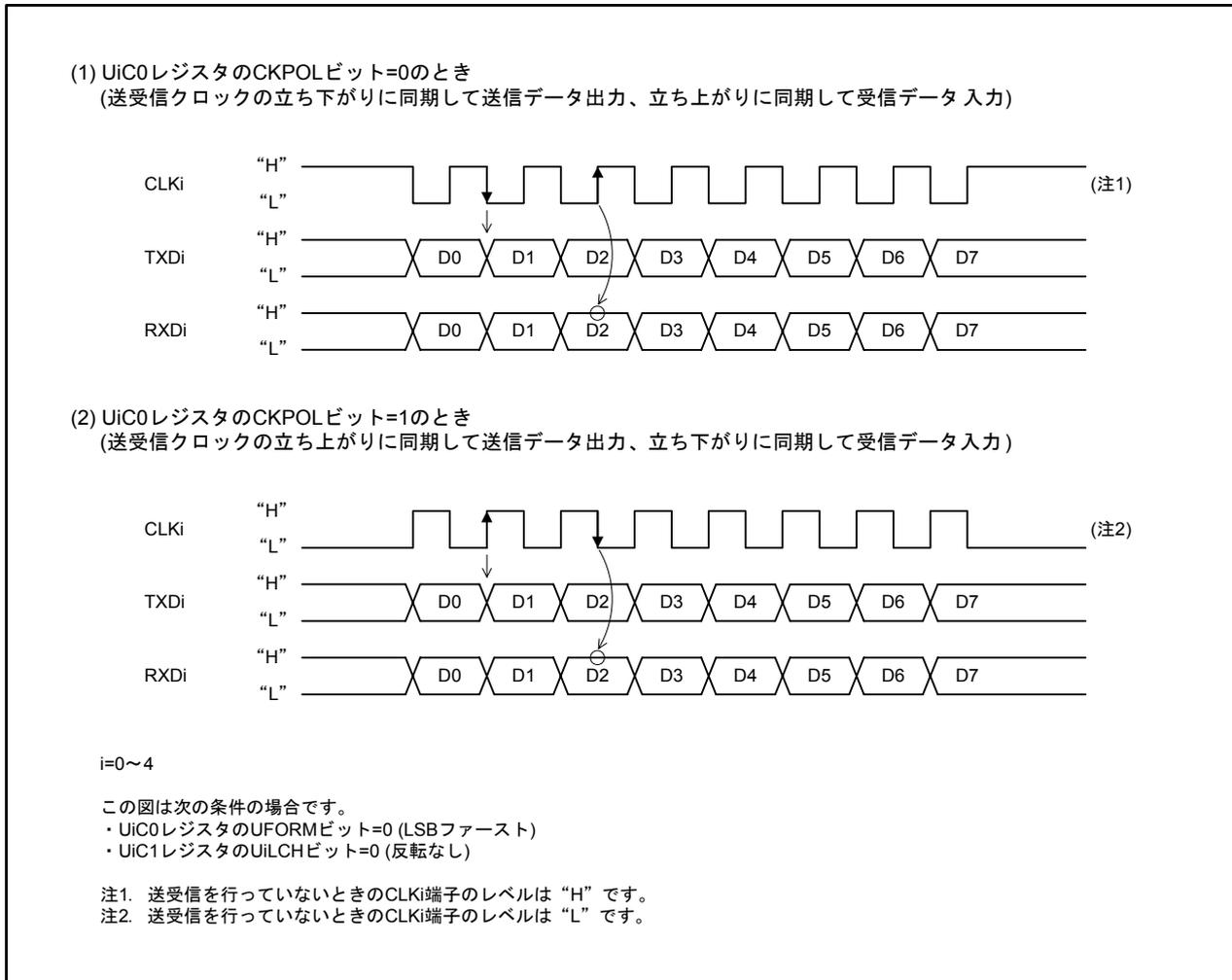


図17.14 送受信クロックの極性

17.1.1.2 ビットオーダ選択

図17.15に示すように、UiC0レジスタ(i=0~4)のUFORMビットでLSBファーストまたはMSBファーストを選択できます。

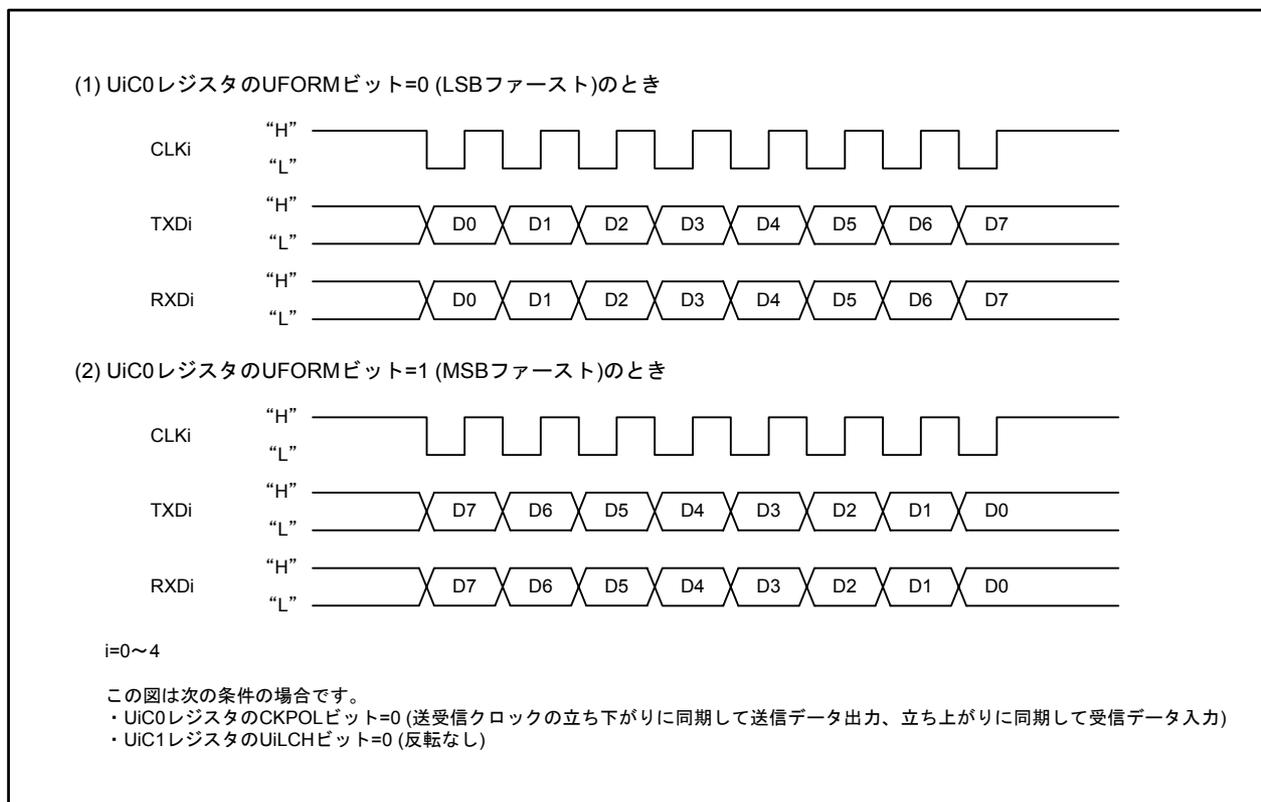


図17.15 ビットオーダ

17.1.1.3 シリアルデータ論理切り替え

UiC1レジスタ(i=0~4)のUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図17.16にシリアルデータ論理切り替えを示します。

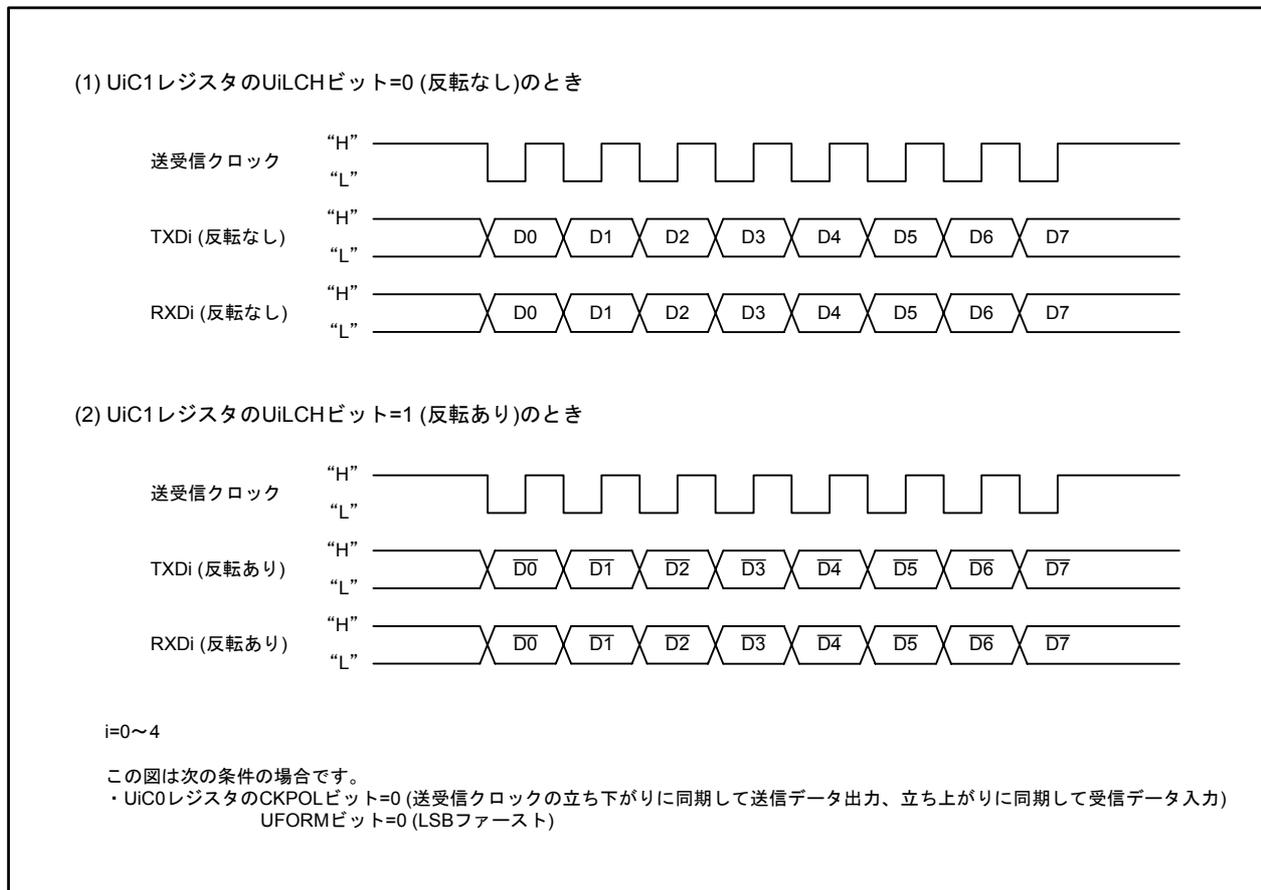


図 17.16 シリアルデータ論理切り替え

17.1.1.4 連続受信モード

連続受信モードは次の条件をすべて満たしている場合に使用できます。

- ・外部クロックを選択(UiMRレジスタ(i=0～4)のCKDIRビットが“1”)
- ・RTS機能を使用しない(機能選択レジスタで $\overline{\text{RTSi}}$ 端子を選択しない)

UiC1レジスタのUiRRMビットを“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”のときは、プログラムでUiTBレジスタにダミーデータを設定しないでください。

17.1.1.5 CTS / RTS機能

・CTS機能

$\overline{\text{CTSi}}$ 端子(i=0～4)への入力信号で送受信制御を行う機能です。CTS機能を使用する場合は、機能選択レジスタで入出力ポートを選択して、UiC0レジスタのCRDビットを“0”(CTS機能許可)、CRSビットを“0”(CTS機能を選択する)にしてください。

CTS機能を選択時、次の条件を満たしたうえで、 $\overline{\text{CTSi}}$ 端子の入力レベルが“L”になると、送受信を開始します。

- ・UiC1レジスタのTEビットが“1”(送信許可)
- ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- ・UiC1レジスタのREビットが“1”(受信許可)
(送信のみの場合は、REビットの設定は不要)

送受信の最中に $\overline{\text{CTSi}}$ 端子の入力レベルを“H”にした場合、次のデータから送受信を停止します。

・RTS機能

送受信準備が整ったことを外部デバイスに通知する機能です。RTS機能を使用する場合は、機能選択レジスタで $\overline{\text{RTSi}}$ 端子を選択してください。

RTS機能選択時、次の条件を満たすと、 $\overline{\text{RTSi}}$ 端子から“L”を出力し、CLKi端子に送受信クロックが入力されると、“H”を出力します。

- ・UiC1レジスタのRIビットが“0”(UiRBレジスタにデータなし)
- ・TEビットが“1”(送信許可)
- ・REビットが“1”(受信許可)
(送信のみの場合は、REビットの設定は不要)
- ・TIビットが“0”(UiTBレジスタにデータあり)

17.1.1.6 通信エラー発生時の対処方法

クロック同期モードで通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1レジスタ(i=0～4)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2～SMD0ビットを“001b”(クロック同期モード)にする。
- (4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

17.1.2 クロック非同期モード(UART)

全二重の調歩同期式シリアル通信を行うモードです。

表17.4にUARTモードの仕様を、表17.5に端子の設定を示します。また、図17.17にレジスタの設定手順を、図17.18に送信動作例を、図17.19に受信動作例を示します。

表17.4 UARTモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> ・データ長 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、なし 選択可 ・ストップビット 1ビット、2ビット 選択可
通信速度	$\frac{f_j}{16(m+1)}$ $f_j : f_1, f_8, f_{2n}(\text{注1}), f_{EXT}$ $m : U_iBRG \text{ レジスタ } (i=0 \sim 4) \text{ の設定値 } (00h \sim FFh)$ $f_{EXT} : U_iMR \text{ レジスタの } CKDIR \text{ ビットが "1" (外部クロック) のときの } CLK_i \text{ 端子からの入力}$
送信制御、受信制御	CTS機能、RTS機能、CTS / RTS機能禁止を選択
送信開始条件	次のすべての条件がそろると送信を開始する <ul style="list-style-type: none"> ・U_iC1レジスタのTEビットが“1”(送信許可) ・U_iC1レジスタのTIビットが“0”(U_iTBレジスタにデータあり) ・CTS機能使用時、CTS_i端子に“L”を入力
受信開始条件	次のすべての条件がそろると受信を開始する <ul style="list-style-type: none"> ・U_iC1レジスタのREビットが“1”(受信許可) ・RTS機能使用時、U_iC1レジスタのRIビットが“0”(U_iRBレジスタにデータなし) 上の条件がすべてそろると、RTS_i端子から“L”を出力する ・スタートビットの検出
割り込み要求発生タイミング	送信割り込み(U _i C1レジスタのU _i IRSビットで選択) <ul style="list-style-type: none"> ・U_iIRSビットが“0”(U_iTBレジスタ空) U_iTBレジスタからU_iART_i送信シフトレジスタにデータ転送時(送信開始時) ・U_iIRSビットが“1”(送信完了) U_iART_i送信シフトレジスタから最終ストップビット出力時(送信完了時) 受信割り込み <ul style="list-style-type: none"> ・U_iART_i受信シフトレジスタからU_iRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注2) U_iRBレジスタを読む前に次のデータの最終ストップビットの1つ前のビットを受信すると発生(2ストップビット選択時は1ストップビット目) ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティありの場合に、受信したデータとパリティビットに含まれる“1”の個数(偶数個 / 奇数個)が設定した個数(偶数個 / 奇数個)と一致しなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 U_iRBレジスタのSUMビットが“1”になる
選択機能	<ul style="list-style-type: none"> ・ビットオーダ選択 LSBファーストまたはMSBファーストを選択可 ・シリアルデータ論理切り替え 送受信データの論理値を反転する機能(スタートビットとストップビットは反転しない) ・TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力のレベルを反転する機能(入出力するデータのレベルがすべて反転する)

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. オーバランエラーが発生した場合、U_iRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 17.5 UARTモードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ(注2)	PSC、PSC3 レジスタ	PSL0、PSL1、 PSL3レジスタ	PS0、PS1、PS3 レジスタ(注1、2)
P6_0	$\overline{\text{CTS0}}$ 入力	PD6_0=0	—	—	PS0_0=0
	$\overline{\text{RTS0}}$ 出力	—	—	PSL0_0=0	PS0_0=1
P6_1	CLK0入力	PD6_1=0	—	—	PS0_1=0
P6_2	RXD0入力	PD6_2=0	—	—	PS0_2=0
P6_3	TXD0出力(注4)	—	—	PSL0_3=0	PS0_3=1
P6_4	$\overline{\text{CTS1}}$ 入力	PD6_4=0	—	—	PS0_4=0
	$\overline{\text{RTS1}}$ 出力	—	—	PSL0_4=0	PS0_4=1
P6_5	CLK1入力	PD6_5=0	—	—	PS0_5=0
P6_6	RXD1入力	PD6_6=0	—	—	PS0_6=0
P6_7	TXD1出力(注4)	—	—	PSL0_7=0	PS0_7=1
P7_0(注3)	TXD2出力(注4)	—	PSC_0=0	PSL1_0=0	PS1_0=1
P7_1	RXD2入力	PD7_1=0	—	—	PS1_1=0
P7_2	CLK2入力	PD7_2=0	—	—	PS1_2=0
P7_3	$\overline{\text{CTS2}}$ 入力	PD7_3=0	—	—	PS1_3=0
	$\overline{\text{RTS2}}$ 出力	—	PSC_3=0	PSL1_3=0	PS1_3=1
P9_0	CLK3入力	PD9_0=0	—	—	PS3_0=0
P9_1	RXD3入力	PD9_1=0	—	—	PS3_1=0
P9_2	TXD3出力(注4)	—	—	PSL3_2=0	PS3_2=1
P9_3	$\overline{\text{CTS3}}$ 入力	PD9_3=0	—	PSL3_3=0	PS3_3=0
	$\overline{\text{RTS3}}$ 出力	—	—	—	PS3_3=1
P9_4	$\overline{\text{CTS4}}$ 入力	PD9_4=0	—	PSL3_4=0	PS3_4=0
	$\overline{\text{RTS4}}$ 出力	—	—	—	PS3_4=1
P9_5	CLK4入力	PD9_5=0	—	PSL3_5=0	PS3_5=0
P9_6	TXD4出力(注4)	—	PSC3_6=0	—	PS3_6=1
P9_7	RXD4入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3レジスタは最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注3. 出力はNチャンネルオープンドレイン出力です。

注4. UiMRレジスタ(i=0~4)でUARTiの動作モードを選択し、機能選択レジスタで端子の機能を選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス)。

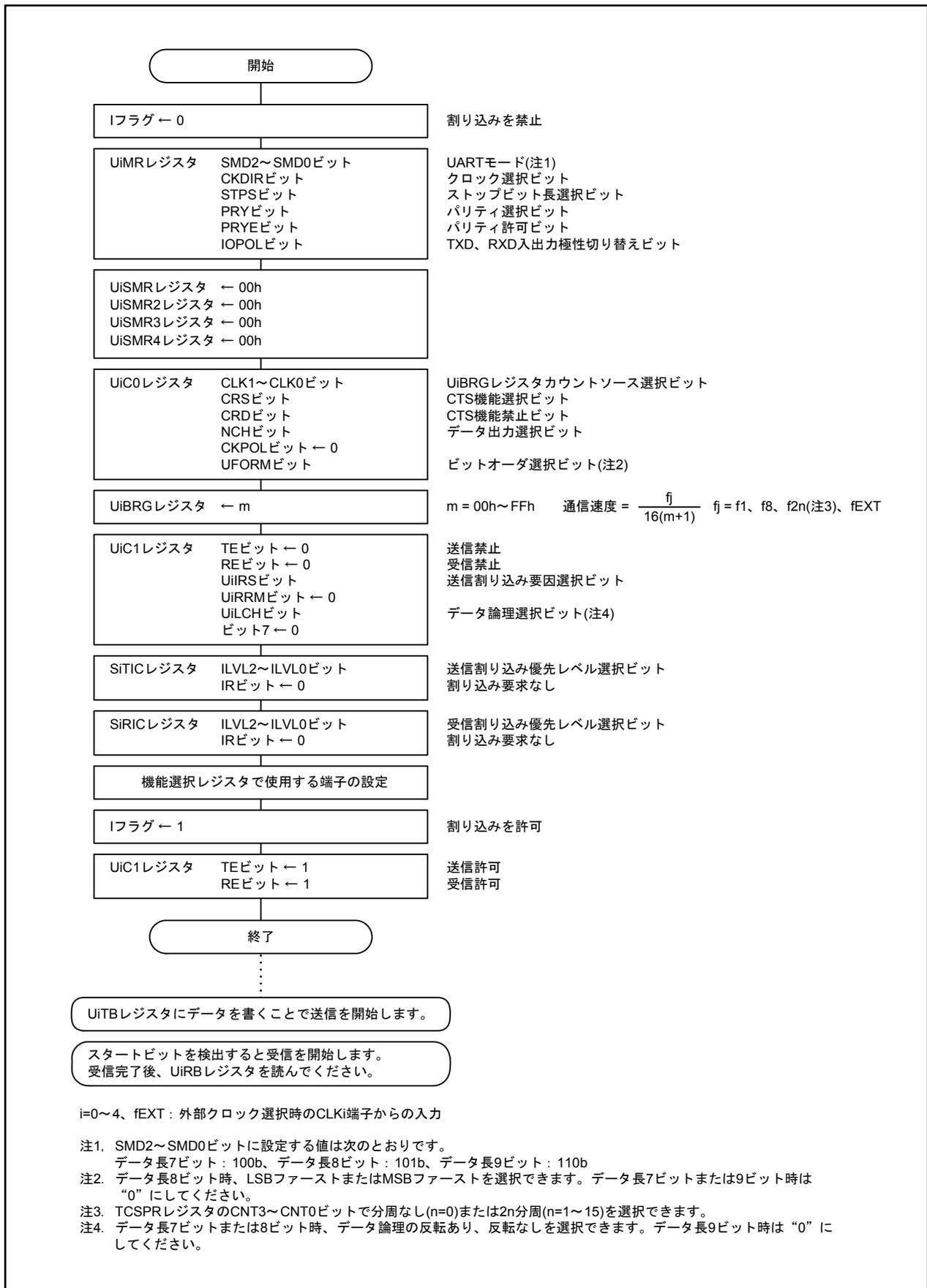
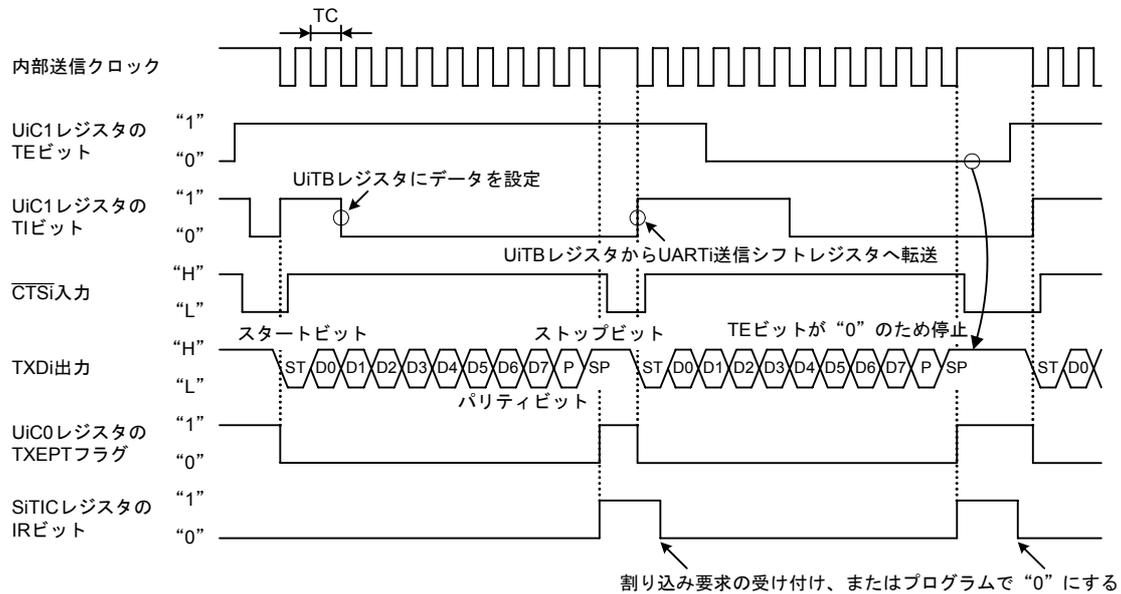
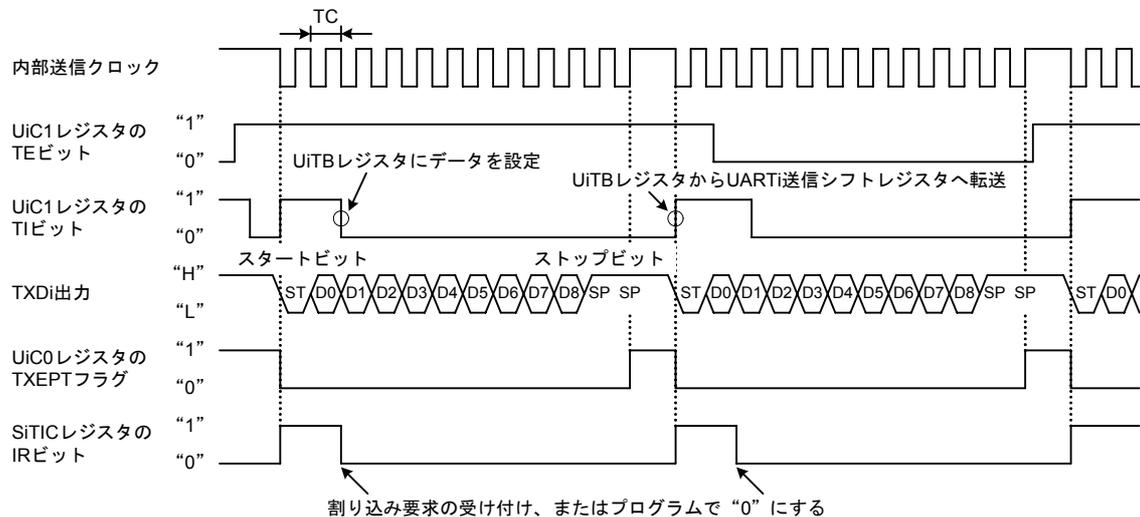


図 17.17 UARTモードを使用する場合のレジスタの設定手順

(1) データ長8ビット時の送信タイミング例(パリティあり、1ストップビット)



(2) データ長9ビット時の送信タイミング例(パリティなし、2ストップビット)



$$TC = \frac{16(m+1)}{f_j}$$

f_j : f1、f8、f2n(注1)、fEXT
 fEXT: 外部クロックのときのCLKi端子からの入力
 m: UiBRGレジスタの設定値(00~FFh)
 i=0~4

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

図 17.18 UARTモードの送信動作例

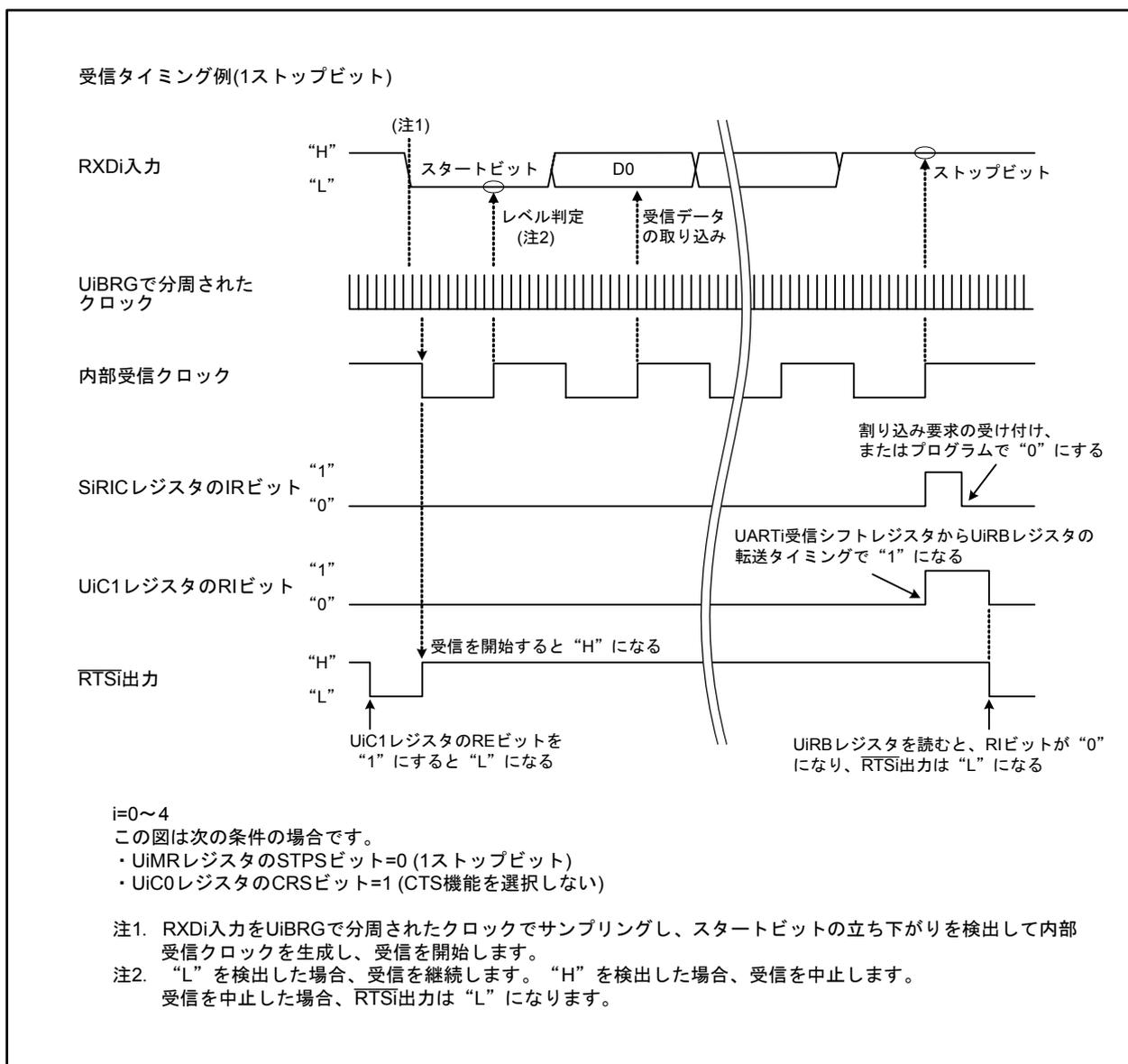


図 17.19 UARTモードの受信動作例

17.1.2.1 通信速度

UARTモードは、UiBRGレジスタ(i=0～4)で分周した周波数の16分周が通信速度になります。表17.6に通信速度の設定例を示します。

$$\text{実際の通信速度} = \frac{\text{UiBRGレジスタのカウンタソース}}{16 \times (\text{UiBRGレジスタの設定値} + 1)}$$

表 17.6 通信速度の設定例

目標の通信速度 (bps)	UiBRGのカウンタソース	周辺機能クロック : 16MHz		周辺機能クロック : 24MHz		周辺機能クロック : 32MHz	
		UiBRGの設定値 : n	実際の通信速度 (bps)	UiBRGの設定値 : n	実際の通信速度 (bps)	UiBRGの設定値 : n	実際の通信速度 (bps)
1200	f8	103(67h)	1202	155(9Bh)	1202	207(CFh)	1202
2400	f8	51(33h)	2404	77(4Dh)	2404	103(67h)	2404
4800	f8	25(19h)	4808	38(26h)	4808	51(33h)	4808
9600	f1	103(67h)	9615	155(9Bh)	9615	207(CFh)	9615
14400	f1	68(44h)	14493	103(67h)	14423	138(8Ah)	14388
19200	f1	51(33h)	19231	77(4Dh)	19231	103(67h)	19231
28800	f1	34(22h)	28571	51(33h)	28846	68(44h)	28986
31250	f1	31(1Fh)	31250	47(2Fh)	31250	63(3Fh)	31250
38400	f1	25(19h)	38462	38(26h)	38462	51(33h)	38462
51200	f1	19(13h)	50000	28(1Ch)	51724	38(26h)	51282

17.1.2.2 ビットオーダー

図17.20に示すように、UiC0レジスタ(i=0～4)のUFORMビットでLSBファーストまたはMSBファーストを選択できます。この機能はデータ長8ビットのときに有効です。

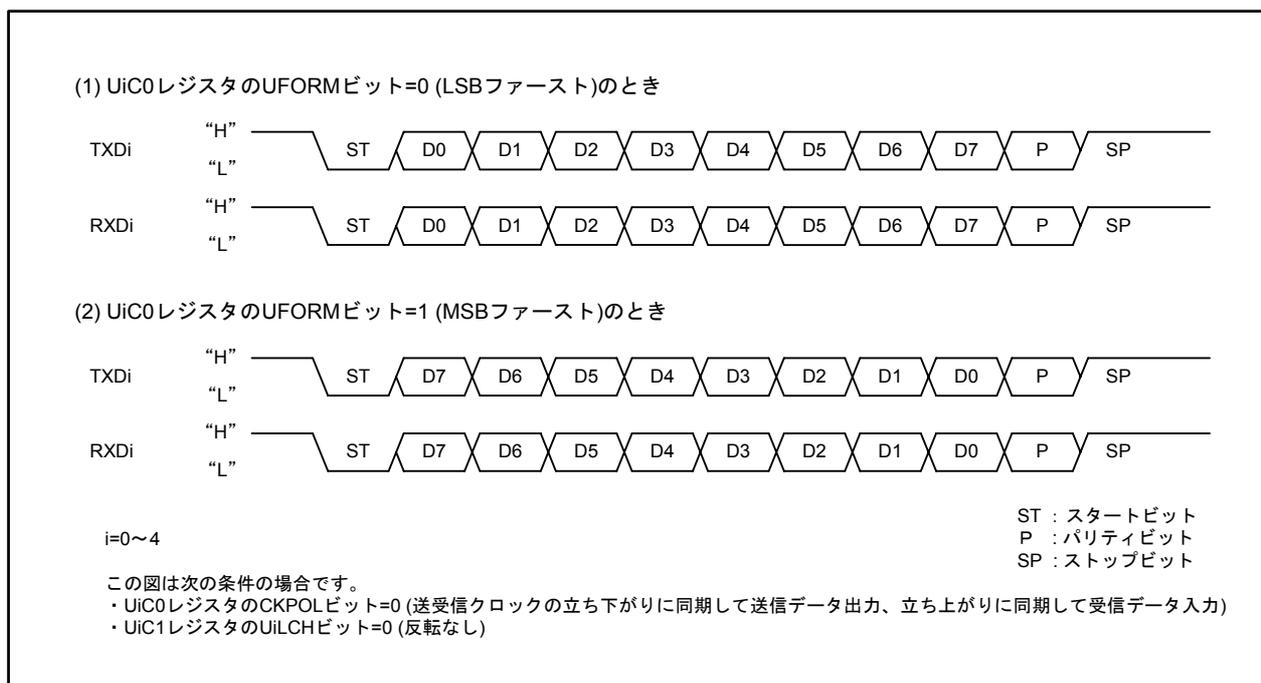


図17.20 ビットオーダー

17.1.2.3 シリアルデータ論理切り替え

UiC1レジスタ(i=0～4)のUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。この機能はデータ長7ビットまたは8ビットのときに有効です。

図17.21にシリアルデータ論理切り替えを示します。

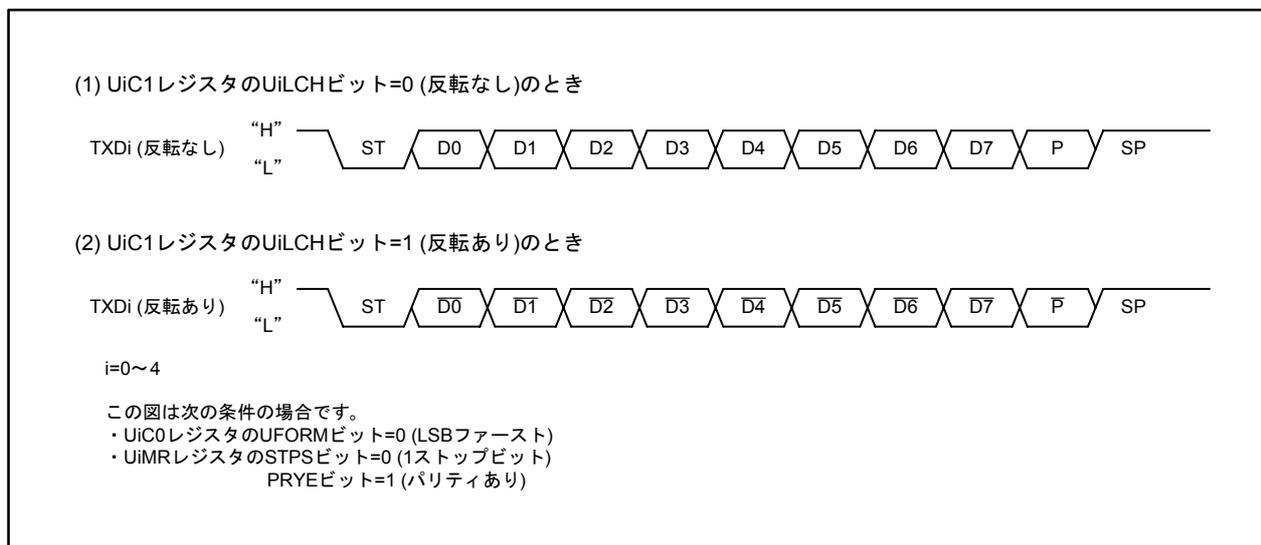


図17.21 シリアルデータ論理切り替え

17.1.2.4 TXD、RXD入出力極性切り替え

TXD端子からの出力レベルとRXD端子への入力レベルを反転する機能です。UiMRレジスタ(i=0～4)のIOPOLビットを“1”(反転あり)にすると、入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図17.22にTXD、RXD入出力極性を示します。

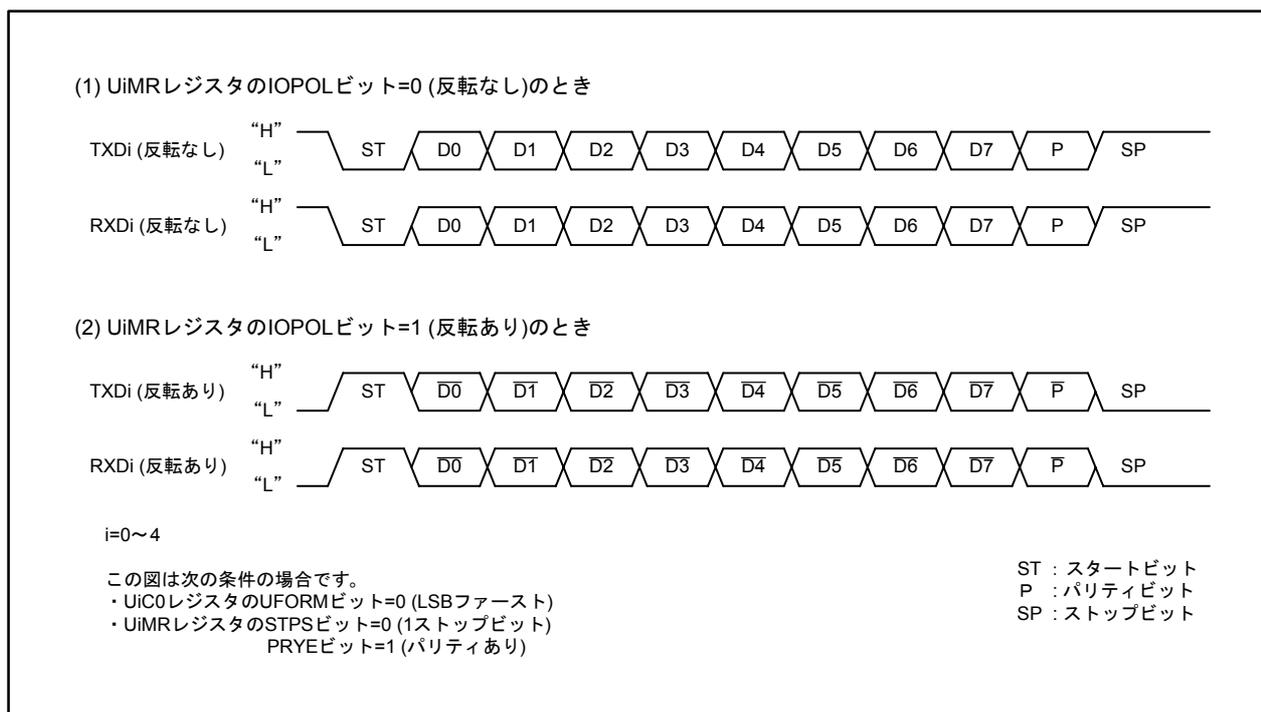


図17.22 TXD、RXD入出力極性

17.1.2.5 CTS / RTS機能

・CTS機能

$\overline{\text{CTS}}_i$ 端子($i=0\sim 4$)への入力信号で送信制御を行う機能です。CTS機能を使用する場合は、機能選択レジスタで入出力ポートを選択して、 UiC0 レジスタのCRDビットを“0”(CTS機能許可)、CRSビットを“0”(CTS機能を選択する)にしてください。

CTS機能を選択時、次の条件を満たしたうえで、 $\overline{\text{CTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。

- ・ UiC1 レジスタのTEビットが“1”(送信許可)
- ・ UiC1 レジスタのTIビットが“0”(UiTB レジスタにデータあり)

送信の最中に $\overline{\text{CTS}}_i$ 端子の入力レベルを“H”にした場合、次のデータから送信を停止します。

・RTS機能

受信準備が整ったことを外部デバイスに通知する機能です。RTS機能を使用する場合は、機能選択レジスタで $\overline{\text{RTS}}_i$ 端子を選択してください。

RTS機能選択時、次の条件を満たすと、 $\overline{\text{RTS}}_i$ 端子から“L”を出力し、スタートビットを検出すると、“H”を出力します。

- ・ UiC1 レジスタのRIビットが“0”(UiRB レジスタにデータなし)
- ・ REビットが“1”(受信許可)

17.1.2.6 通信エラー発生時の対処方法

クロック非同期モードで通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1 レジスタ($i=0\sim 4$)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMR レジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMR レジスタのSMD2～SMD0ビットを“100b”(UARTモードデータ長7ビット)、“101b”(UARTモードデータ長8ビット)、“110b”(UARTモードデータ長9ビット)のいずれかにする。
- (4) UiC1 レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

17.1.3 特殊モード1(I²Cモード)

I²Cモードは、簡易型I²Cインタフェースに対応したモードです。

表17.7にI²Cモードの仕様を、表17.8に使用するレジスタと設定値を、表17.9にI²Cモードの各機能を、表17.10に端子の設定を示します。また、図17.23にブロック図を、図17.24にUiRBレジスタ(i=0～4)への転送、割り込みのタイミングを示します。

表17.7 I²Cモードの仕様

項目	仕様
データフォーマット	データ長 8ビット
通信速度	マスタ時(UiMRレジスタ(i=0～4)のCKDIRビットが“0”(内部クロック)のとき) $\frac{f_j}{2^{m+1}}$ $f_j : f_1, f_8, f_{2n}(\text{注1})$ $m : \text{UiBRGレジスタの設定値}(00h \sim FFh)$ スレーブ時(CKDIRビットが“1”(外部クロック)のとき) SCLi端子からの入力
送信開始条件	次のすべての条件がそろそろと送信を開始する(注2) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	次のすべての条件がそろそろと受信を開始する(注2) <ul style="list-style-type: none"> • TEビットが“1” • TIビットが“0” • UiC1レジスタのREビットが“1”(受信許可)
割り込み要求発生タイミング	<ul style="list-style-type: none"> • スタートコンディション検出 • ストップコンディション検出 • ACK(Acknowledge)検出 • NACK(Not-Acknowledge)検出
エラー検出	オーバランエラー(注3) UiRBレジスタを読む前に次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 • SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。

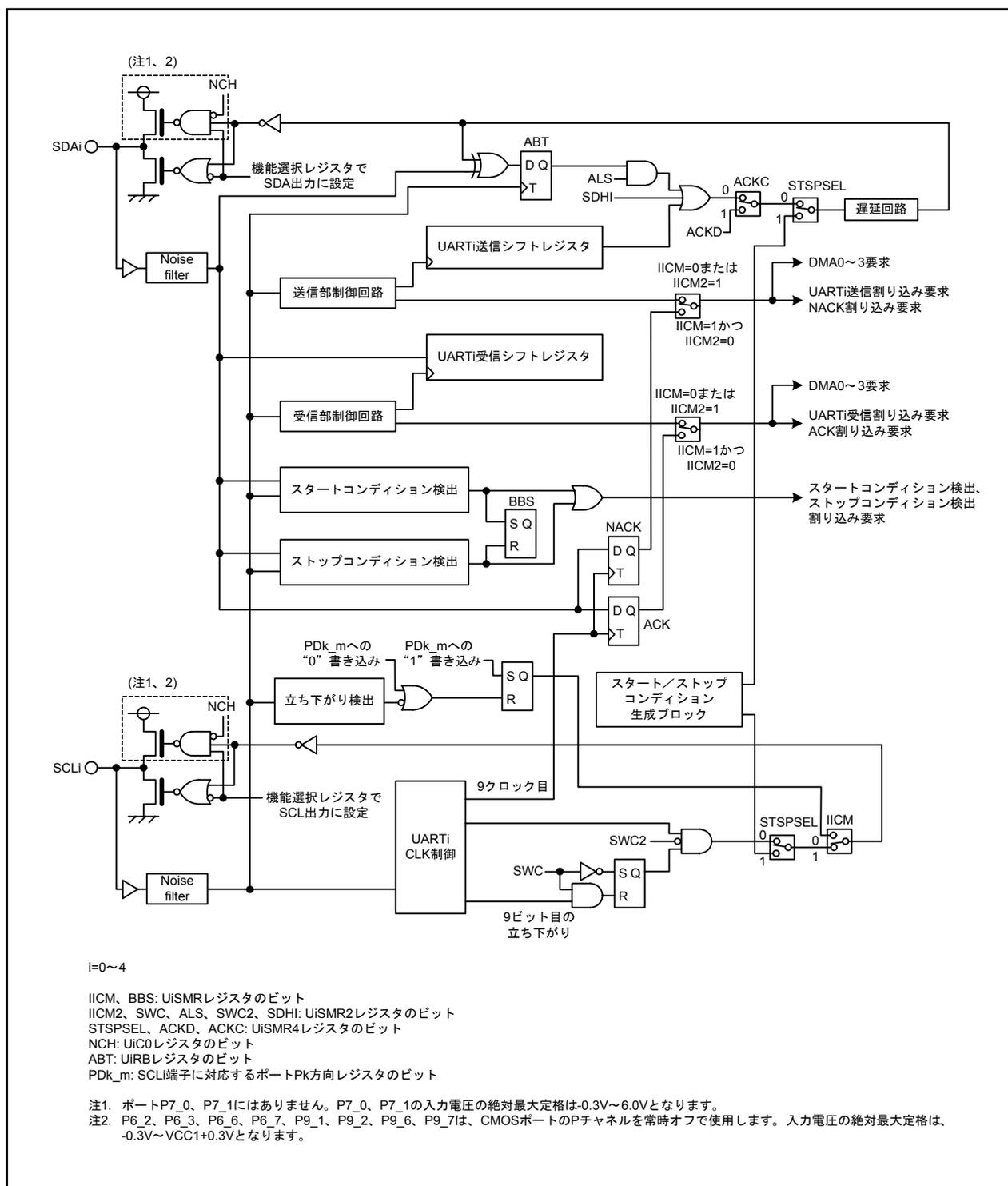


図 17.23 I²Cモードのブロック図

表 17.8 I²Cモードの使用レジスタと設定値

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiMR	SMD2～SMD0	“010b” にしてください	
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	
UiSMR	IICM	“1” にしてください	
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	パスビジーフラグ	
	3～7	“00000b” にしてください	
UiSMR2	IICM2	「表 17.9 I ² Cモードの各機能」参照	
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がりでSCLiを“L”出力固定にする場合、“1” にしてください	
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合、“1” にしてください	“0” にしてください
	STC	“0” にしてください	スタートコンディション検出でUARTiを初期化する場合、“1” にしてください
	SWC2	SCLの出力を強制的に“L”にする場合、“1” にしてください	
	SDHI	SDA出力を禁止する場合、“1” にしてください	
	SU1HIM	“0” にしてください	
UiSMR3	SSE	“0” にしてください	
	CKPH	「表 17.9 I ² Cモードの各機能」参照	
	DINC、NODC、ERR	“0” にしてください	
	DL2～DL0	SDAiのデジタル遅延値を設定してください	
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1” にしてください	“0” にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1” にしてください	
	STPREQ	ストップコンディションを生成する場合、“1” にしてください	
	STSPSEL	各コンディション出力時に“1” にしてください	
	ACKD	ACK、NACKを選択してください	
	ACKC	ACKデータを出力する場合、“1” にしてください	
	SCLHI	ストップコンディション検出時にSCL出力停止を許可する場合、“1” にしてください	“0” にしてください
SWC9	“0” にしてください	クロックの9ビット目の立ち下がりでSCLiを“L”出力固定にする場合、“1” にしてください	
UiC0	CLK1～CLK0	UiBRGのカウンソースを選択してください	無効
	CRS	CRD=1なので無効	
	TXEPT	送信シフトレジスタ空フラグ	
	CRD、NCH	“1” にしてください	
	CKPOL	“0” にしてください	
	UFORM	“1” にしてください	
UiC1	TE	送信を許可する場合、“1” にしてください	
	TI	UiTBレジスタ空フラグ	
	RE	受信を許可する場合、“1” にしてください	
	RI	受信完了フラグ	
	UiLCH、UiERE	“0” にしてください	
UiBRG	0～7	通信速度を設定してください	無効
IFSR	IFSR6、IFSR7	使用するUARTi割り込み要因を選択してください	
UiTB	0～7	送信データを設定してください	
UiRB	0～7	受信データが読めます	
	8	ACK、NACKが入ります	
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	

i=0～4

表 17.9 に示すように、UiMR レジスタの SMD2～SMD0 ビットを“010b”に、UiSMR レジスタの IICM ビットを“1”にすると I²C モードになります。SDAi 送信出力には遅延回路が付加されますので、SCLi が“L”になり安定した後、SDAi 出力が変化します。

表 17.9 I²C モードの各機能

機能	I ² C モード(SMD2～SMD0=010b、IICM=1)			
	IICM2=0 (NACK / ACK 割り込み)		IICM2=1 (UART 送信 / UART 受信 割り込み)	
	CKPH=0	CKPH=1	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 39～41 の要因 (注 1)(図 17.24 参照)	スタートコンディション検出、ストップコンディション検出 (表 17.11 STSPSEL ビットの機能参照)			
割り込み番号 17,19,33,35,37 の 要因(注 1)(図 17.24 参照)	NACKi 9 ビット目の SCLi の立ち上がり		UARTi 送信 9 ビット目の SCLi の立ち上がり	UARTi 送信 9 ビット目の次の SCLi の立ち下がり
割り込み番号 18,20,34,36,38 の 要因(注 1)(図 17.24 参照)	ACKi 9 ビット目の SCLi の立ち上がり		UARTi 受信 9 ビット目の SCLi の立ち下がり	
UART 受信シフトレジスタから UiRB レジスタへのデータ転送 タイミング	9 ビット目の SCLi の立ち上がり		9 ビット目の SCLi の立ち下がり	9 ビット目の SCLi の 立ち下がりと 立ち上がり
UARTi 送信出力遅延	遅延あり			
P6_3,P6_7,P7_0,P9_2,P9_6 端子の機能	SDAi 入出力			
P6_2,P6_6,P7_1,P9_1,P9_7 端子の機能	SCLi 入出力			
ノイズフィルタ幅	200ns			
RXDi,SCLi 端子レベルの読み込み	対応するポート方向ビットの内容に関係なく、可能			
TXDi,SDAi 出力の初期値	I ² C モード設定前に、ポートレジスタに設定した値(注 2)			
SCLi の初期値、終了値	H	L	H	L
DMA 要因(図 17.24 参照)	ACKi		UARTi 受信 9 ビット目の SCLi の立ち下がり	
受信データ格納	1～8 ビット目を UiRB レジスタ のビット 7～0 に格納		1～7 ビット目を UiRB レジスタの ビット 6～0 に、 8 ビット目をビット 8 に格納	1～8 ビット目を UiRB レジスタのビット 7～0 に格納(注 3)
受信データ読み出し	UiRB レジスタの状態をそのまま読み出す			UiRB レジスタのビット 6～0 はビット 7～1 と して、ビット 8 はビット 0 として読み出す(注 4)

i=0～4

注 1. 要因を切り替える場合、次の手順で行ってください。

1. 対応する割り込み番号の割り込みを禁止する
2. 要因を切り替える
3. 対応する割り込み番号の IR ビットを“0”(割り込み要求なし)にする
4. 対応する割り込み番号の ILVL2～ILVL0 を設定する

注 2. SDAi 出力の初期値は、UiMR レジスタの SMD2～SMD0 ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

注 3. UiRB レジスタへのデータ転送 2 回目(9 ビット目の SCLi 立ち上がり時)

注 4. UiRB レジスタへのデータ転送 1 回目(9 ビット目の SCLi 立ち下がり時)

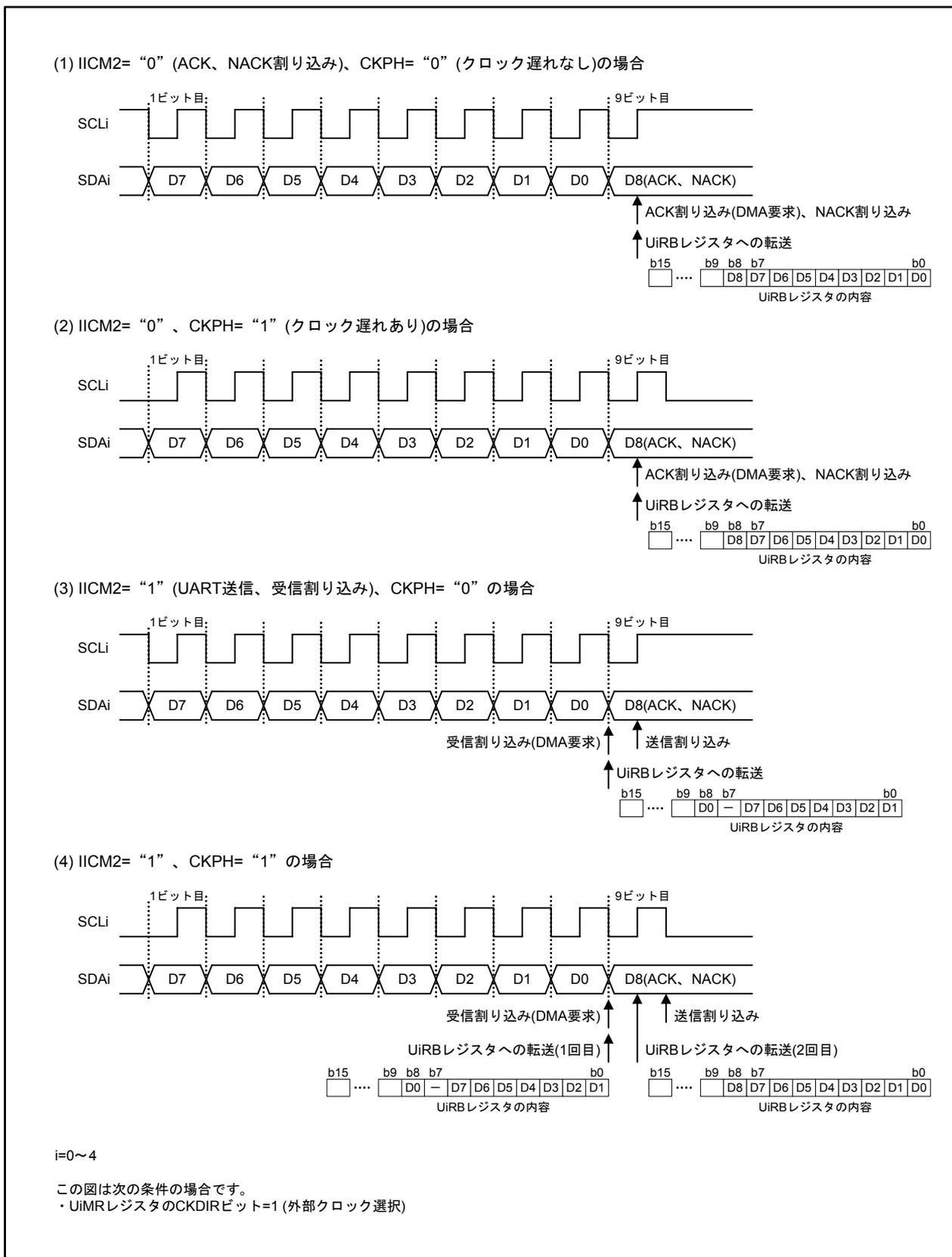


図 17.24 UiRB レジスタへの転送、割り込みのタイミング

表 17.10 I²Cモードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ(注2)	PSC、PSC3 レジスタ	PSL0、PSL1、 PSL3レジスタ	PS0、PS1、PS3 レジスタ(注1、2)
P6_2	SCL0出力	—	—	PSL0_2=0	PS0_2=1
	SCL0入力	PD6_2=0	—	—	PS0_2=0
P6_3	SDA0出力	—	—	PSL0_3=0	PS0_3=1
	SDA0入力	PD6_3=0	—	—	PS0_3=0
P6_6	SCL1出力	—	—	PSL0_6=0	PS0_6=1
	SCL1入力	PD6_6=0	—	—	PS0_6=0
P6_7	SDA1出力	—	—	PSL0_7=0	PS0_7=1
	SDA1入力	PD6_7=0	—	—	PS0_7=0
P7_0(注3)	SDA2出力	—	PSC_0=0	PSL1_0=0	PS1_0=1
	SDA2入力	PD7_0=0	—	—	PS1_0=0
P7_1(注3)	SCL2出力	—	PSC_1=0	PSL1_1=0	PS1_1=1
	SCL2入力	PD7_1=0	—	—	PS1_1=0
P9_1	SCL3出力	—	—	PSL3_1=0	PS3_1=1
	SCL3入力	PD9_1=0	—	—	PS3_1=0
P9_2	SDA3出力	—	—	PSL3_2=0	PS3_2=1
	SDA3入力	PD9_2=0	—	—	PS3_2=0
P9_6	SDA4出力	—	PSC3_6=0	—	PS3_6=1
	SDA4入力	PD9_6=0	—	—	PS3_6=0
P9_7	SCL4出力	—	—	PSL3_7=0	PS3_7=1
	SCL4入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3は最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA、DMACII転送が入らないようにしてください。

注3. 出力はNチャンネルオープンドレイン出力です。

17.1.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディションまたはストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCLi端子(i=0～4)が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかはUiSMRレジスタのBBSビットで判定してください。

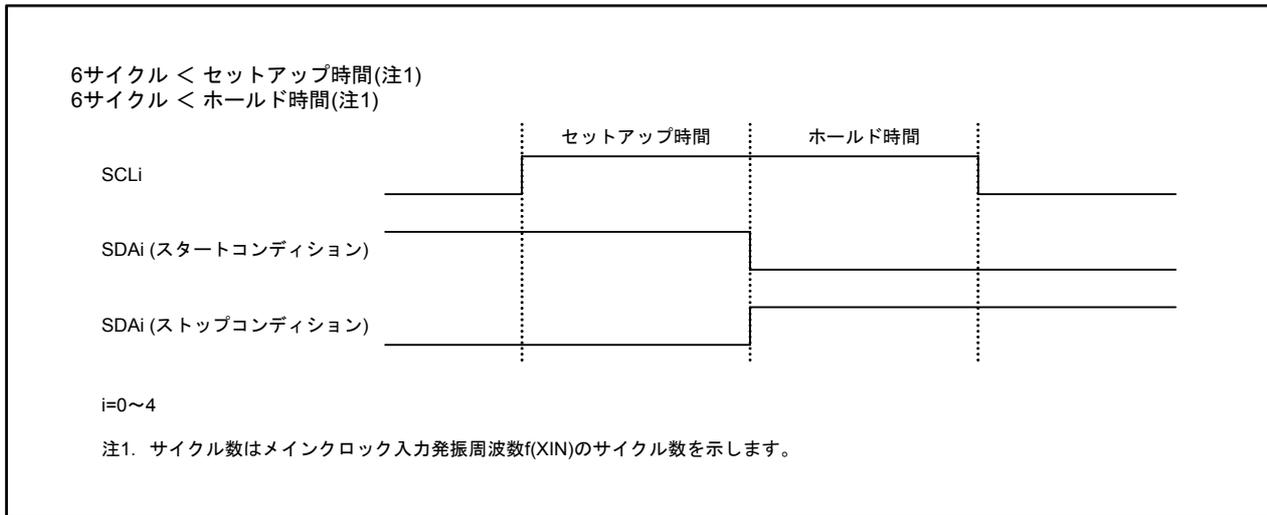


図17.25 スタートコンディション、ストップコンディションの検出

17.1.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ(i=0～4)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) UiSMR4レジスタのSTSPSELビットを“1”(出力)にする

表17.11と図17.26にSTSPSELビットの機能を示します。

表17.11 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	送受信クロック、データを出力。 スタートコンディション、 ストップコンディションの出力はポート を使ったプログラムで実現(ハードウェア による自動生成はしない)	STAREQビット、RSTAREQビット、 STPREQビットに従って、 スタートコンディション、 ストップコンディションを出力
スタートコンディション、 ストップコンディション 割り込み要求発生 タイミング	スタートコンディション、 ストップコンディション検出	スタートコンディション、 ストップコンディション生成終了

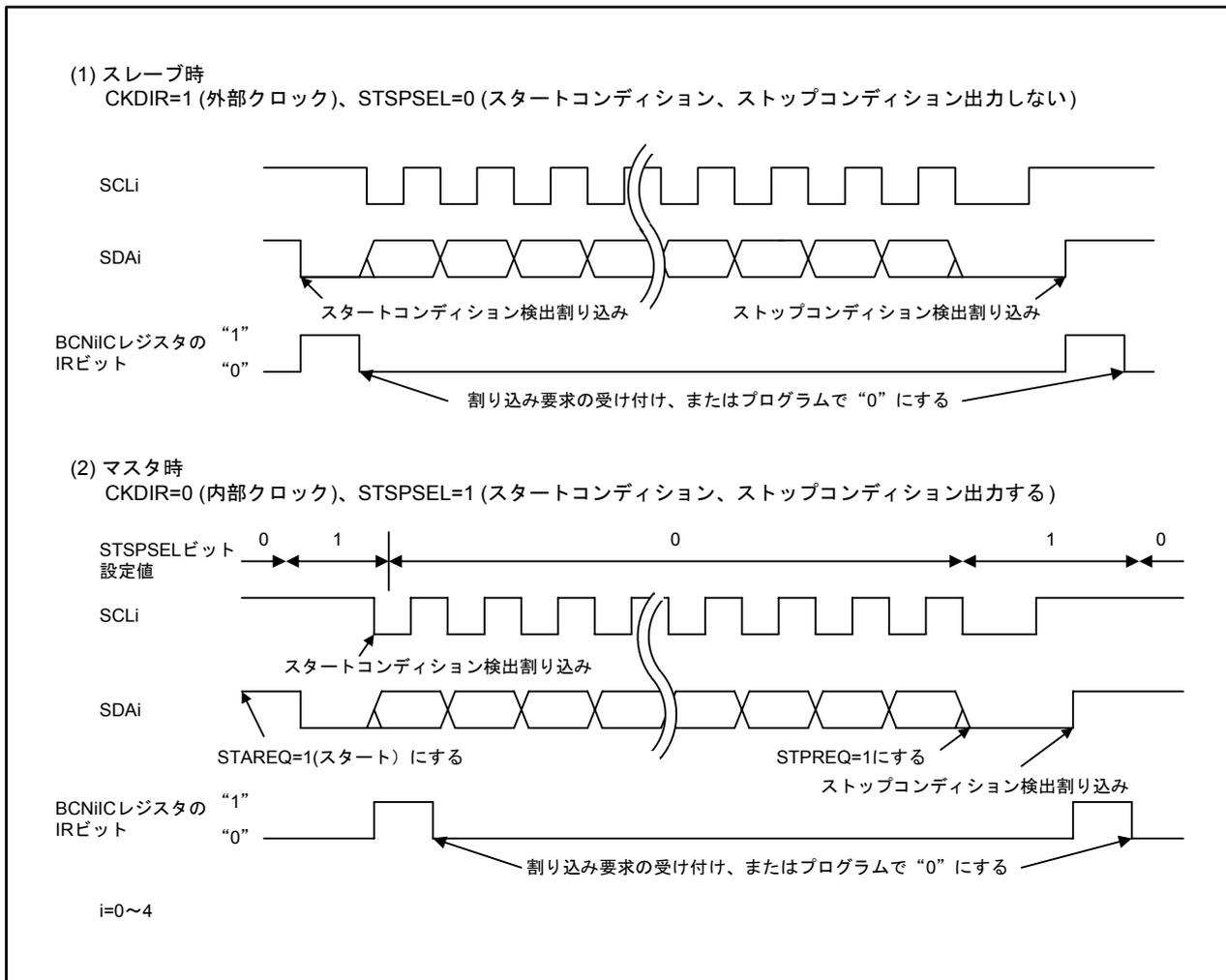


図 17.26 STSPSEL ビットの機能

17.1.3.3 アービトレーション

UiSMRレジスタ(i=0～4)のABCビットでUiRBレジスタのABTビットの更新タイミングを選択します。SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”(検出(負))に、検出しないと“0”(未検出(勝))になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、送受信クロックの9サイクル目の立ち下がりABTビットが“1”になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”にしてから、次の1バイトの転送を開始してください。

UiSMR2レジスタのALSビットが“1”で、ABTビットが“1”(アービトレーションロスト検出)になったとき、同時にSDAi端子がハイインピーダンス状態になります。

17.1.3.4 送受信クロック

図17.24に示すような送受信クロックで送受信を行います。

UiSMR2レジスタ(i=0～4)のCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードして“L”区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの送受信クロックは、内部SCLiとSCLi端子の信号の論理積になります。送受信クロックは、内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまで、同期化されます。CSCビットが“1”の間、送受信クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットにより、送受信クロックの9サイクル目の立ち下がりSCLi端子が“L”出力固定になるか、“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(“L”出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(送受信クロック)にすると、SCLi端子からの“L”出力は解除され、送受信クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

17.1.3.5 SDA出力

UiTBレジスタ(i=0～4)のビット7～0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、UiSMRレジスタのIICMビットが“1”(I²Cモード)、UiMRレジスタのSMD2～SMD0が“000b”(シリアルインタフェースは無効)の状態を設定してください。

UiSMR3レジスタのDL2～DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの送受信クロックの立ち上がりのタイミングで書かないでください。UiRBレジスタのABTビットが“1”(検出)になる場合があります。

17.1.3.6 SDA入力

UiSMR2レジスタ(i=0～4)のIICM2ビットが“0”の場合、受信したデータの1～8ビット目をUiRBレジスタのビット7～0(D7～D0)に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”の場合、受信したデータの1～7ビット目(D7～D1)をUiRBレジスタのビット6～0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”の場合でも、UiSMR3レジスタのCKPHビットが“1”であれば、9ビット目の送受信クロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”の場合と同様のデータが読み出せます。

17.1.3.7 ACK、NACK

UiSMR4レジスタ(i=0～4)のSTSPSELビットが“0”(スタートコンディション、ストップコンディション出力しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は送受信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は送受信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA要求要因にACKを選択すると、アクノリッジ検出によってDMA転送を起動できます。

17.1.3.8 送受信初期化

UiSMR2レジスタ(i=0～4)のSTCビットを“1”(回路を初期化する)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力された送受信クロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信レジスタは初期化され、次に入力された送受信クロックを1ビット目として受信を開始されます。
- UiSMR2レジスタのSWCビットが“1”(SCLウェイト出力許可)になります。これにより、送受信クロックの9ビット目の立ち下がりではSCLi端子が“L”になります。

なお、STCビットを“1”でUARTiの送受信を開始した場合、UiC1レジスタのTIビットは変化しません。また、STCビットを“1”でUARTiの送受信を開始した場合、送受信クロックは外部クロックを選択してください。

17.1.4 特殊モード2

全二重のクロック同期シリアル通信を行うモードです。送受信制御としてSS機能が選択できます。 $\overline{\text{SSi}}$ 端子($i=0\sim 4$)への入力信号により送受信が許可または禁止されます。禁止された場合、出力端子はハイインピーダンスになります。

表17.12に特殊モード2の仕様を、表17.13に端子の設定を、図17.27にレジスタ設定手順を示します。

表17.12 特殊モード2の仕様

項目	仕様
データフォーマット	データ長 8ビット
通信速度	UiMRレジスタのCKDIRビットが“0”(内部クロック)のとき $\frac{f_j}{2^{m+1}}$ f_j : f_1 、 f_8 、 f_{2n} (注1) m : UiBRGレジスタの設定値(00h～FFh) CKDIRビットが“1”(外部クロック)のとき CLKi端子からの入力
送受信制御	SS機能 マスタ対マスタ、スレーブ対スレーブでデータが衝突しないように出力端子をハイインピーダンス状態にする
送受信開始条件	内部クロック選択時(マスタモード) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • UiC1レジスタのREビットが“1”(受信許可) • SS機能使用時、$\overline{\text{SSi}}$端子に“H”を入力 外部クロック選択時(スレーブモード)(注2) <ul style="list-style-type: none"> • TEビットが“1” • TIビットが“0” • REビットが“1” • $\overline{\text{SSi}}$端子に“L”を入力 内部クロック選択時、外部クロック選択時ともに送信のみの場合はREビットの設定は不要
割り込み要求発生タイミング	送信割り込み(UiC1レジスタのUiIRSビットで選択) <ul style="list-style-type: none"> • UiIRSビットが“0”(UiTBレジスタ空) • UiTBレジスタからUARTi送信シフトレジスタにデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了) • UARTi送信シフトレジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> • UARTi受信シフトレジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注3) • UiRBレジスタを読む前に次のデータの7ビット目を受信すると発生 • モードエラー • マスタ時、$\overline{\text{SSi}}$端子に“L”が入力された時に発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 • 送受信データの入出力タイミングを選択可 • ビットオーダ選択 • LSBファーストまたはMSBファーストを選択可 • シリアルデータ論理切り替え • 送受信データの論理値を反転する機能 • TXD、RXD入出力極性切り替え • TXD端子出力とRXD端子入力のレベルを反転する機能(入出力するデータのレベルがすべて反転する) • クロック位相選択 • 送受信クロックの極性と位相の4つの組み合わせを選択可

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または $2n$ 分周($n=1\sim 15$)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”の場合はCLKi端子が“H”の状態、CKPOLビットが“1”の場合はCLKi端子が“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)になりません。

表 17.13 特殊モード2の端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ(注2)	PSC、PSC3 レジスタ	PSL0、PSL1、 PSL3レジスタ	PS0、PS1、PS3 レジスタ(注1、2)
P6_0	$\overline{SS0}$ 入力	PD6_0=0	—	—	PS0_0=0
P6_1	CLK0出力(マスタ)	—	—	PSL0_1=0	PS0_1=1
	CLK0入力(スレーブ)	PD6_1=0	—	—	PS0_1=0
P6_2	RXD0入力(マスタ)	PD6_2=0	—	—	PS0_2=0
	STXD0出力(スレーブ)	—	—	PSL0_2=1	PS0_2=1
P6_3	TXD0出力(マスタ)	—	—	PSL0_3=0	PS0_3=1
	SRXD0入力(スレーブ)	PD6_3=0	—	—	PS0_3=0
P6_4	$\overline{SS1}$ 入力	PD6_4=0	—	—	PS0_4=0
P6_5	CLK1出力(マスタ)	—	—	PSL0_5=0	PS0_5=1
	CLK1入力(スレーブ)	PD6_5=0	—	—	PS0_5=0
P6_6	RXD1入力(マスタ)	PD6_6=0	—	—	PS0_6=0
	STXD1出力(スレーブ)	—	—	PSL0_6=1	PS0_6=1
P6_7	TXD1出力(マスタ)	—	—	PSL0_7=0	PS0_7=1
	SRXD1入力(スレーブ)	PD6_7=0	—	—	PS0_7=0
P7_0(注3)	TXD2出力(マスタ)	—	PSC_0=0	PSL1_0=0	PS1_0=1
	SRXD2入力(スレーブ)	PD7_0=0	—	—	PS1_0=0
P7_1(注3)	RXD2入力(マスタ)	PD7_1=0	—	—	PS1_1=0
	STXD2出力(スレーブ)	—	—	PSL1_1=1	PS1_1=1
P7_2	CLK2出力(マスタ)	—	PSC_2=0	PSL1_2=0	PS1_2=1
	CLK2入力(スレーブ)	PD7_2=0	—	—	PS1_2=0
P7_3	$\overline{SS2}$ 入力	PD7_3=0	—	—	PS1_3=0
P9_0	CLK3出力(マスタ)	—	—	PSL3_0=0	PS3_0=1
	CLK3入力(スレーブ)	PD9_0=0	—	—	PS3_0=0
P9_1	RXD3入力(マスタ)	PD9_1=0	—	—	PS3_1=0
	STXD3出力(スレーブ)	—	—	PSL3_1=1	PS3_1=1
P9_2	TXD3出力(マスタ)	—	—	PSL3_2=0	PS3_2=1
	SRXD3入力(スレーブ)	PD9_2=0	—	—	PS3_2=0
P9_3	$\overline{SS3}$ 入力	PD9_3=0	—	PSL3_3=0	PS3_3=0
P9_4	$\overline{SS4}$ 入力	PD9_4=0	—	PSL3_4=0	PS3_4=0
P9_5	CLK4出力(マスタ)	—	—	—	PS3_5=1
	CLK4入力(スレーブ)	PD9_5=0	—	PSL3_5=0	PS3_5=0
P9_6	TXD4出力(マスタ)	—	PSC3_6=0	—	PS3_6=1
	SRXD4入力(スレーブ)	PD9_6=0	—	PSL3_6=0	PS3_6=0
P9_7	RXD4入力(マスタ)	PD9_7=0	—	—	PS3_7=0
	STXD4出力(スレーブ)	—	—	PSL3_7=1	PS3_7=1

注1. PS0、PS1、PS3レジスタは最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注3. 出力はNチャンネルオープンドレイン出力です。

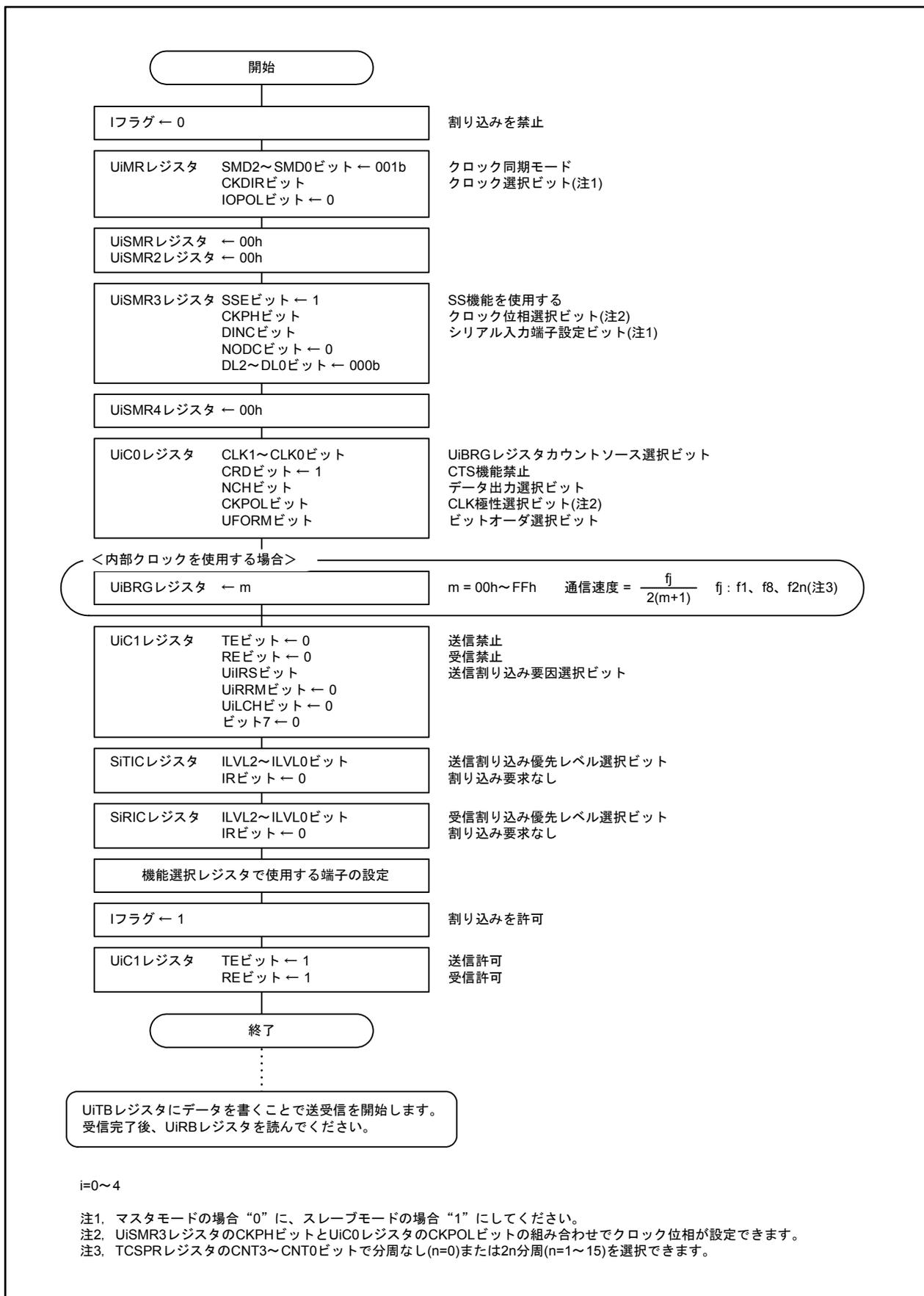


図 17.27 特殊モード2を使用する場合のレジスタの設定手順

17.1.4.1 マスタモード

UiSMR3レジスタ(i=0～4)のDINCビットを“1”にするとマスタモードになります。マスタモードでは次の端子を使用します。

- TXDi : 送信データ出力
- RXDi : 受信データ入力
- CLKi : 送受信クロック出力

UiSMR3レジスタのSSEビットを“1”にするとSS機能が使用できます。 \overline{SSi} 端子に“H”が入力されているとき、送受信を行うことができます。 \overline{SSi} 端子に“L”が入力されると、UiSMR3レジスタのERRビットは“1”(モードエラーあり)になり、CLKi端子、TXDi端子はハイインピーダンスになります。UiC1レジスタのUiIRSビットを“1”(割り込み要因に送信完了を選択)にし、送信完了割り込みルーチンでERRビットを判定してください。モードエラー発生後、送受信を再開する場合、 \overline{SSi} 端子に“H”が入力されている状態で、ERRビットに“0”を書いてください。CLKi端子とTXDi端子が出力になります。

17.1.4.2 スレーブモード

UiSMR3レジスタのDINCビットを“0”にするとスレーブモードになります。スレーブモードでは次の端子を使用します。

- STXDi : 送信データ出力
- SRXDi : 受信データ入力
- CLKi : 送受信クロック入力

UiSMR3レジスタのSSEビットを“1”にするとSS機能が使用できます。 \overline{SSi} 端子に“L”が入力されているとき、クロックの入力が有効になり、送受信を行うことができます。 \overline{SSi} 端子に“H”が入力されているとき、クロックの入力は無視され、STXDi端子はハイインピーダンスになります。

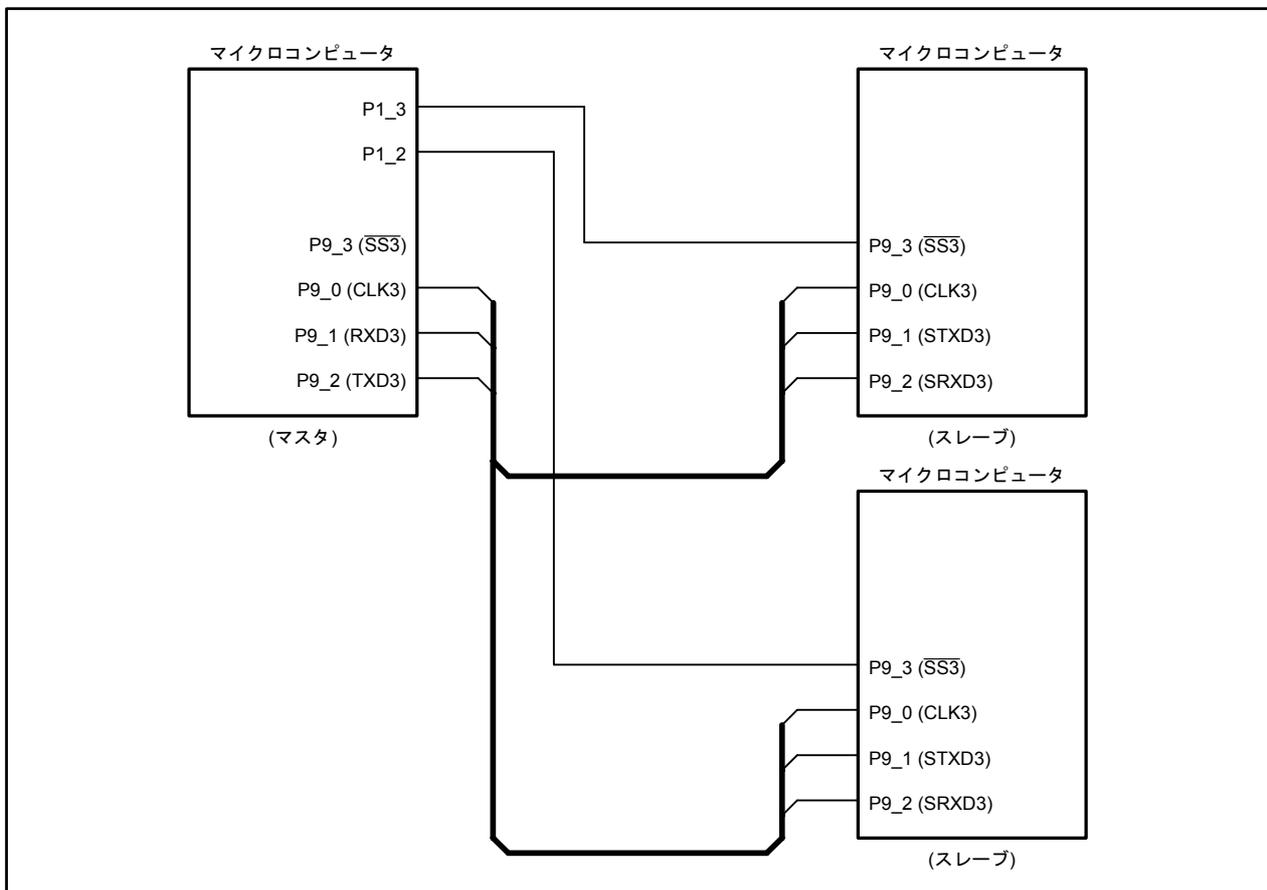


図 17.28 \overline{SSi} 端子を用いたシリアルバスの通信制御例

17.1.4.3 クロック位相設定機能

UiSMR3レジスタ(i=0~4)のCKPHビットと、UiC0レジスタのCKPOLビットによって送受信クロックの極性と位相の4つの組み合わせを選択できます。送受信クロックの極性と位相は、通信を行うマスタとスレーブで同じにしてください。図17.29に特殊モード2の送受信タイミングを示します。

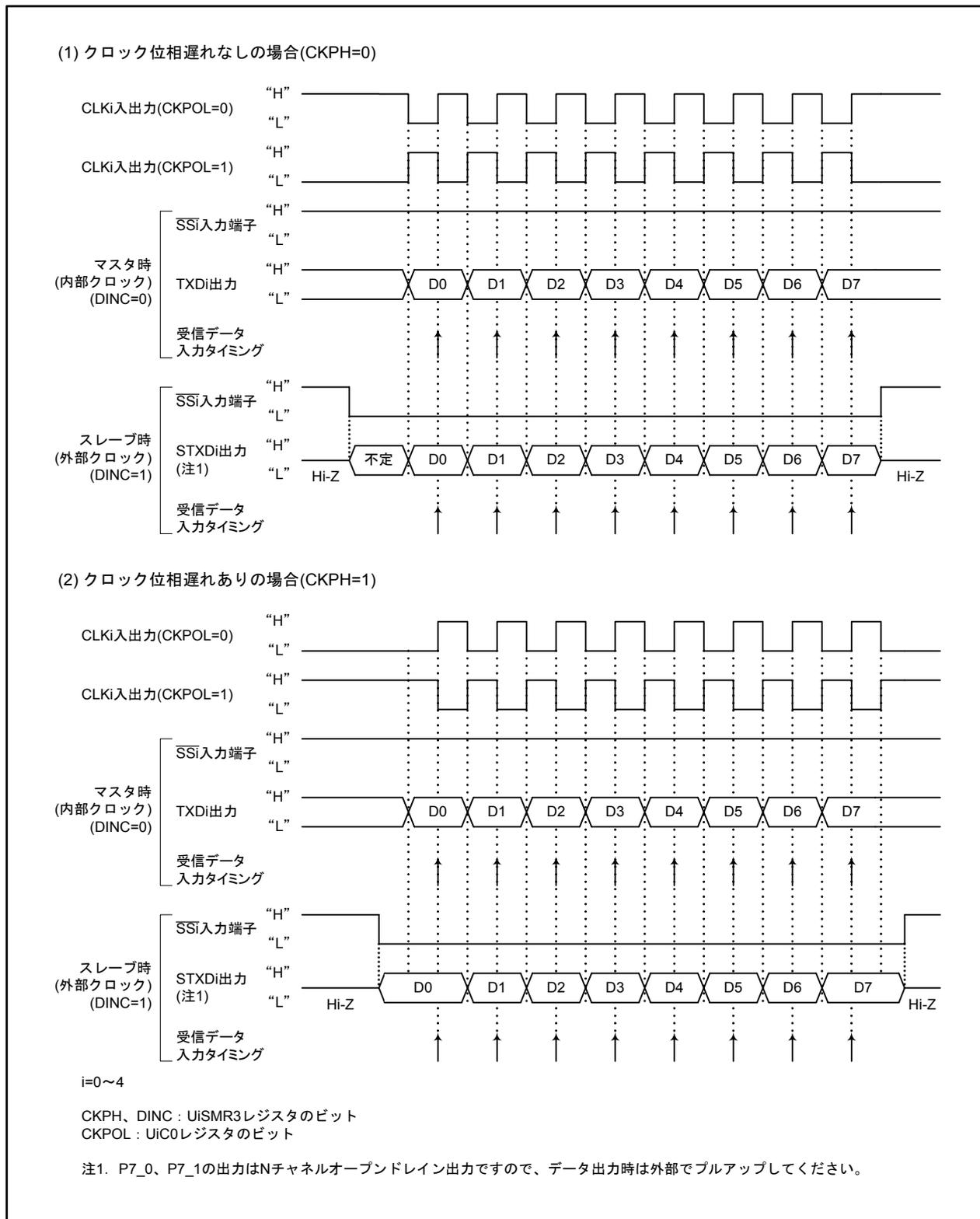


図17.29 特殊モード2の送受信タイミング

17.1.5 特殊モード3(GCIモード)

全二重のクロック同期シリアル通信を行うモードです。 $\overline{\text{CTS}}_i$ 端子($i=0\sim 4$)へトリガが入力されると、連続した外部クロックを基に内部送受信クロックが生成され送受信を開始します。

表17.14にGCIモードの仕様を、表17.15に端子の設定を、図17.30にレジスタの設定手順を示します。

表17.14 GCIモードの仕様

項目	仕様
データフォーマット	データ長 8ビット
送受信クロック	外部クロックを選択 UIMRレジスタ($i=0\sim 4$)のCKDIRビットを“1”(外部クロック) トリガ入力に同期して、外部クロックの分周なしクロックまたは2分周クロックが送受信クロックになる
送受信開始条件	次のすべての条件がそろった後、 $\overline{\text{CTS}}_i$ 端子にトリガ信号が入力されると送受信を開始する ・UIC1レジスタのTEビットが“1”(送信許可) ・UIC1レジスタのTIビットが“0”(UITBレジスタにデータあり) ・UIC1レジスタのREビットが“1”(受信許可) ・UIC1レジスタのSCLKSTPBビットが“0”(クロック分周同期化停止) $\overline{\text{CTS}}_i$ 端子にトリガ信号が入力されるとSCLKSTPBビットが“1”(クロック分周同期化開始)になる
送受信停止条件	UIC1レジスタのSCLKSTPBビットが“0”
割り込み要求発生タイミング	送信割り込み(UIC1レジスタのUiIRSビットで選択) ・UiIRSビットが“0”(UITBレジスタ空) UITBレジスタからUARTi送信シフトレジスタにデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了) UARTi送信シフトレジスタからデータ送信完了時 受信割り込み ・UARTi受信シフトレジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注1) UiRBレジスタを読む前に次のデータの7ビット目を受信すると発生

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 17.15 GCIモードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ(注2)	PSC、PSC3 レジスタ	PSL0、PSL1、 PSL3レジスタ	PS0、PS1、PS3 レジスタ(注1、2)
P6_0	$\overline{\text{CTS0}}$ 入力(注3)	PD6_0=0	—	—	PS0_0=0
P6_1	CLK0入力	PD6_1=0	—	—	PS0_1=0
P6_2	RXD0入力	PD6_2=0	—	—	PS0_2=0
P6_3	TXD0出力	—	—	PSL0_3=0	PS0_3=1
P6_4	$\overline{\text{CTS1}}$ 入力(注3)	PD6_4=0	—	—	PS0_4=0
P6_5	CLK1入力	PD6_5=0	—	—	PS0_5=0
P6_6	RXD1入力	PD6_6=0	—	—	PS0_6=0
P6_7	TXD1出力	—	—	PSL0_7=0	PS0_7=1
P7_0(注4)	TXD2出力	—	PSC_0=0	PSL1_0=0	PS1_0=1
P7_1	RXD2入力	PD7_1=0	—	—	PS1_1=0
P7_2	CLK2入力	PD7_2=0	—	—	PS1_2=0
P7_3	$\overline{\text{CTS2}}$ 入力(注3)	PD7_3=0	—	—	PS1_3=0
P9_0	CLK3入力	PD9_0=0	—	—	PS3_0=0
P9_1	RXD3入力	PD9_1=0	—	—	PS3_1=0
P9_2	TXD3出力	—	—	PSL3_2=0	PS3_2=1
P9_3	$\overline{\text{CTS3}}$ 入力(注3)	PD9_3=0	—	PSL3_3=0	PS3_3=0
P9_4	$\overline{\text{CTS4}}$ 入力(注3)	PD9_4=0	—	PSL3_4=0	PS3_4=0
P9_5	CLK4入力	PD9_5=0	—	PSL3_5=0	PS3_5=0
P9_6	TXD4出力	—	PSC3_6=0	—	PS3_6=1
P9_7	RXD4入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3レジスタは最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注3. $\overline{\text{CTS}}_i$ 入力は、トリガ入力に使用。

注4. 出力はNチャンネルオープンドレイン出力です。

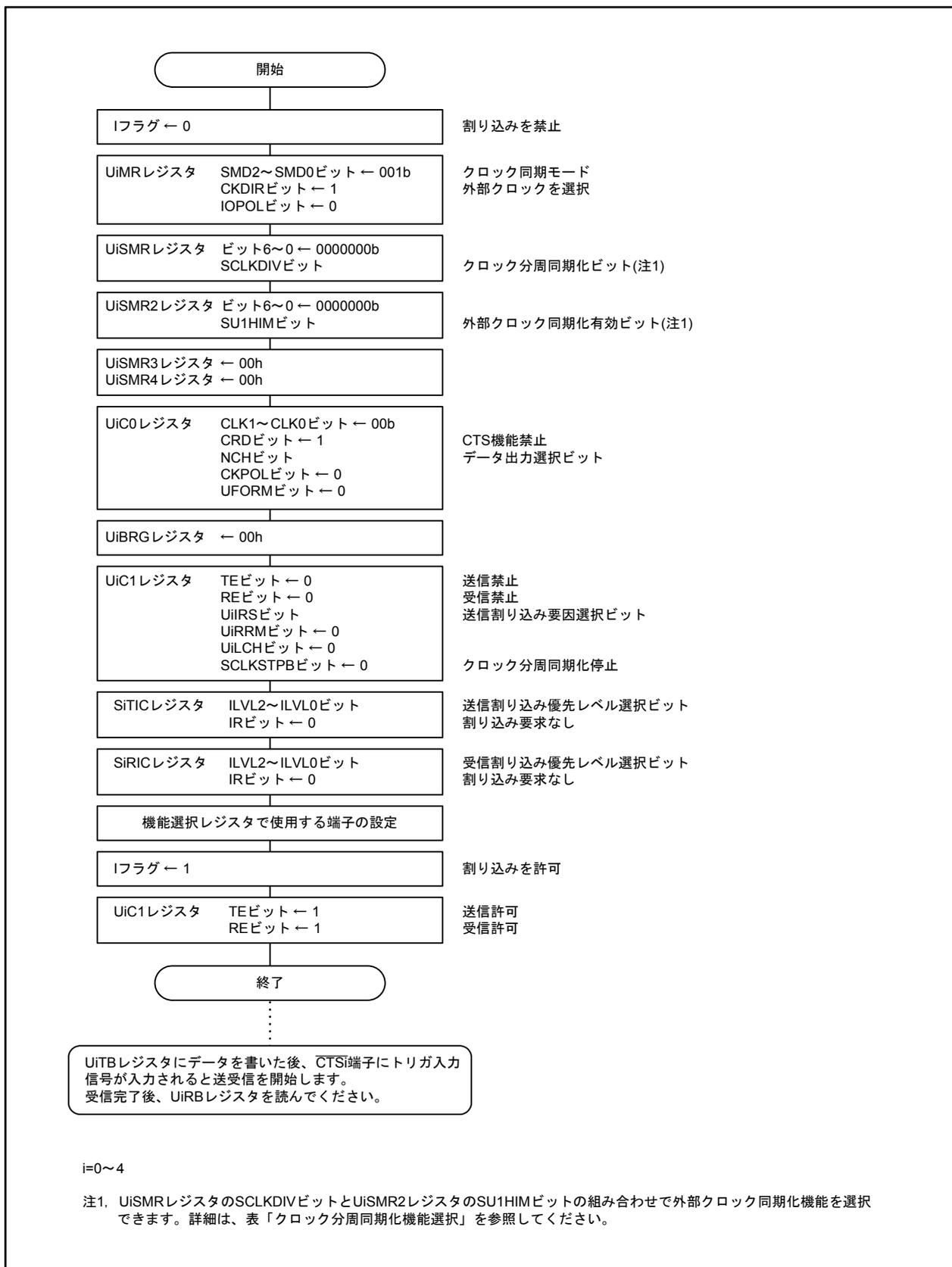


図 17.30 GCIモードを使用する場合のレジスタの設定手順

UiC1レジスタ(i=0~4)のSCLKSTPBビットが“0”の状態、UiSMR2レジスタのSU1HIMビットと、UiSMRレジスタのSCLKDIVビットに表17.16に示す値を設定し、 \overline{CTS}_i 端子にトリガ信号が入力されると、SCLKSTPBビットが“1”になり、送受信を開始します。送受信クロックには、外部クロックまたは外部クロックを2分周したクロックが選択できます。

SCLKSTPBビットを“0”にすると、直ちに送受信を停止します。

図17.31にクロック分周同期化機能使用例を示します。

表 17.16 クロック分周同期化機能選択

UiSMRレジスタのSCLKDIVビット	UiSMR2レジスタのSU1HIMビット	クロック分周同期化機能選択
0	0	同期化しない
0	1	外部クロックと同周期
1	0または1	外部クロックを2分周した周期

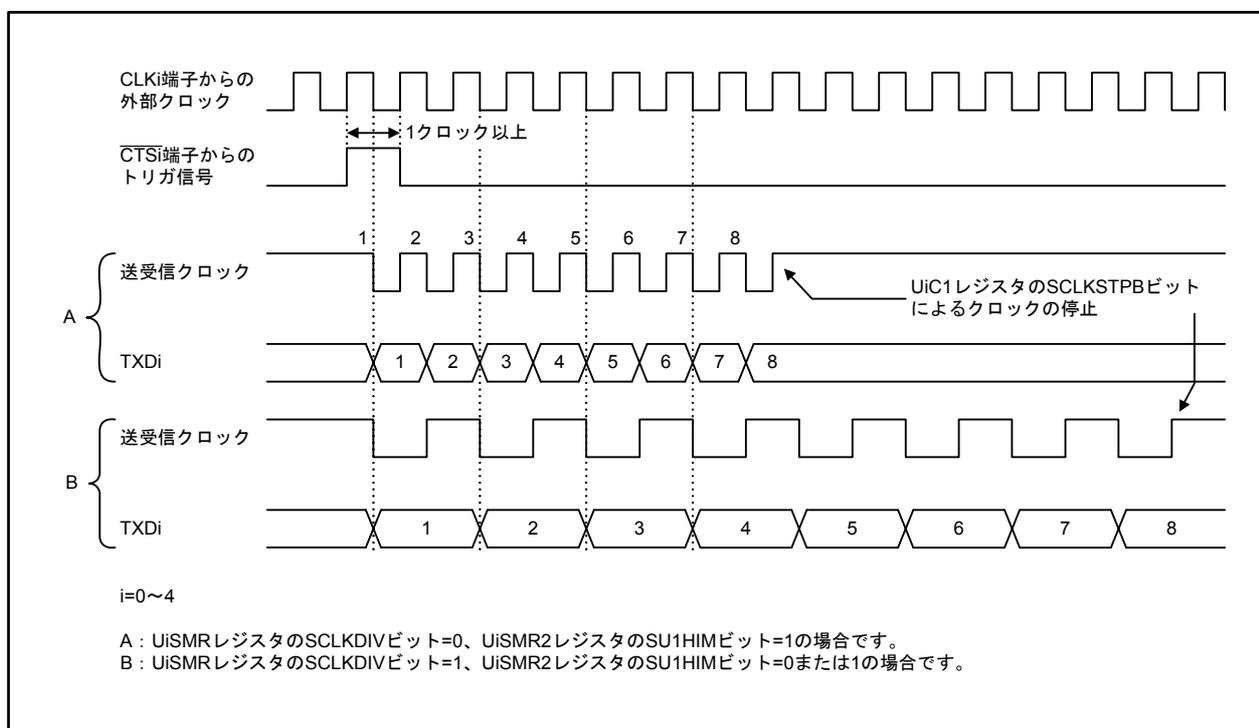


図17.31 クロック分周同期化機能使用例

17.1.6 特殊モード4(SIMモード)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXDi端子(i=0～4)から“L”を出力できます。

表17.17にSIMモードの仕様を、表17.18に端子の設定を、図17.32にレジスタの設定手順を示します。また、図17.33に送受信動作例を、図17.34に接続例を示します。

表 17.17 SIMモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> データ長8ビットUARTモード 1ストップビット ダイレクトフォーマットの場合 パリティ偶数 データ論理反転なし ビットオーダLSBファースト インバースフォーマットの場合 パリティ奇数 データ論理反転あり ビットオーダMSBファースト
通信速度	UiMRレジスタのCKDIRビットを“0”(内部クロック)にする $\frac{f_j}{16(m+1)}$ f _j : f ₁ 、f ₈ 、f _{2n} (注1) m: UiBRGレジスタの設定値(00h～FFh)
送信制御、受信制御	CTS / RTS機能禁止
送信開始条件	次のすべての条件がそろると送信を開始する <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	次のすべての条件がそろると受信を開始する <ul style="list-style-type: none"> UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	送信割り込み <ul style="list-style-type: none"> UiC1レジスタのUiIRSビットを“1”(送信割り込み要因は送信完了)にする UARTi送信シフトレジスタから最終ストップビット出力時(送信完了時) 受信割り込み <ul style="list-style-type: none"> UARTi受信シフトレジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注2) UiRBレジスタを読む前に次のデータのストップビットの1つ前のビットを受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティありの場合に、受信したデータとパリティビットに含まれる“1”の個数(偶数個 / 奇数個)が設定した個数(偶数個 / 奇数個)と一致しなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合、SUMビットが“1”になる

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 17.18 SIMモードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ(注2)	PSC、PSC3 レジスタ	PSL0、PSL1、 PSL3レジスタ	PS0、PS1、PS3 レジスタ(注1、2)
P6_2	RXD0入力	PD6_2=0	—	—	PS0_2=0
P6_3	TXD0出力	—	—	PSL0_3=0	PS0_3=1
P6_6	RXD1入力	PD6_6=0	—	—	PS0_6=0
P6_7	TXD1出力	—	—	PSL0_7=0	PS0_7=1
P7_0(注3)	TXD2出力	—	PSC_0=0	PSL1_0=0	PS1_0=1
P7_1	RXD2入力	PD7_1=0	—	—	PS1_1=0
P9_1	RXD3入力	PD9_1=0	—	—	PS3_1=0
P9_2	TXD3出力	—	—	PSL3_2=0	PS3_2=1
P9_6	TXD4出力	—	PSC3_6=0	—	PS3_6=1
P9_7	RXD4入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3レジスタは最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注3. 出力はNチャンネルオープンドレイン出力です。

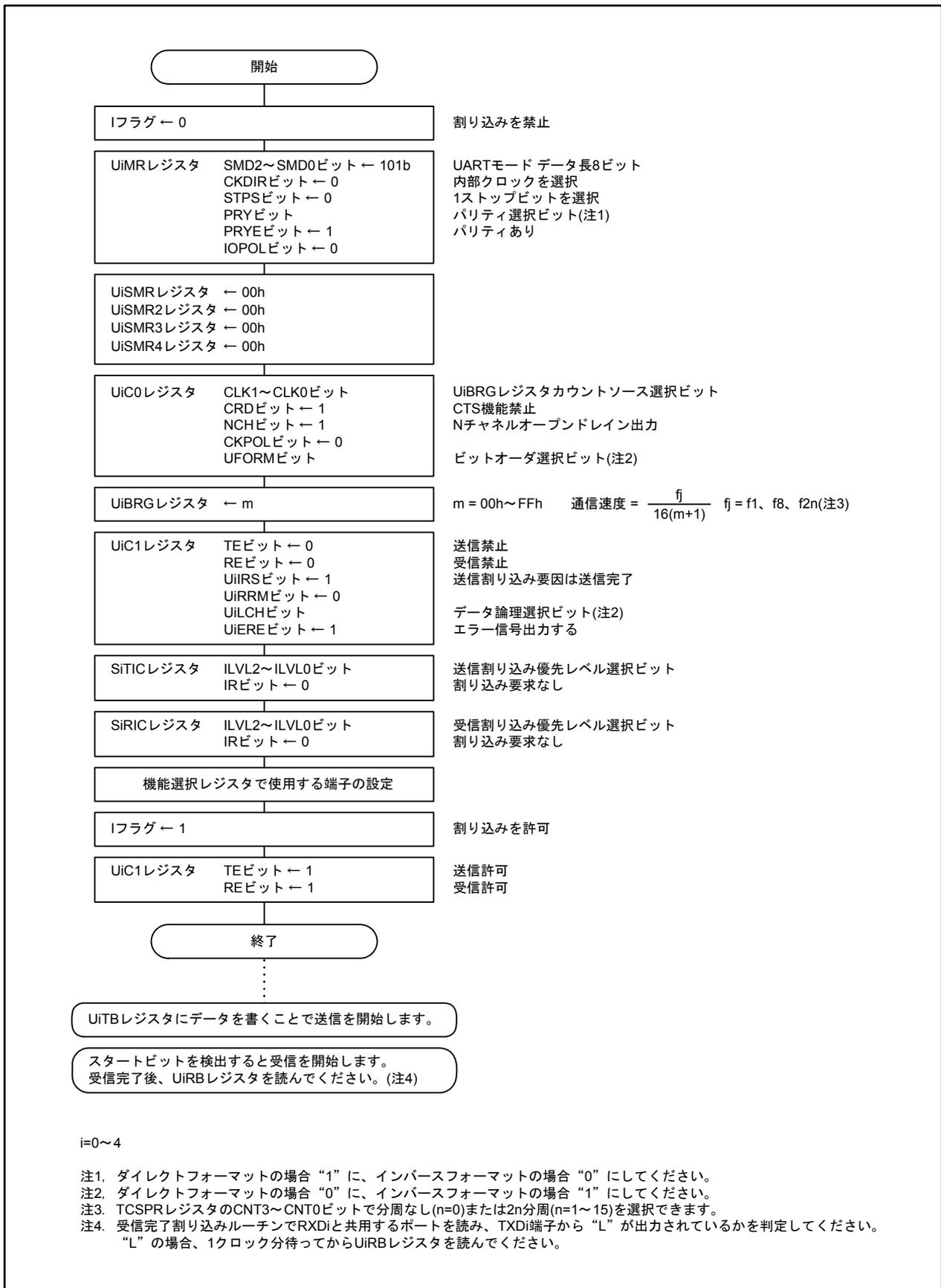


図 17.32 SIMモードを使用する場合のレジスタの設定手順

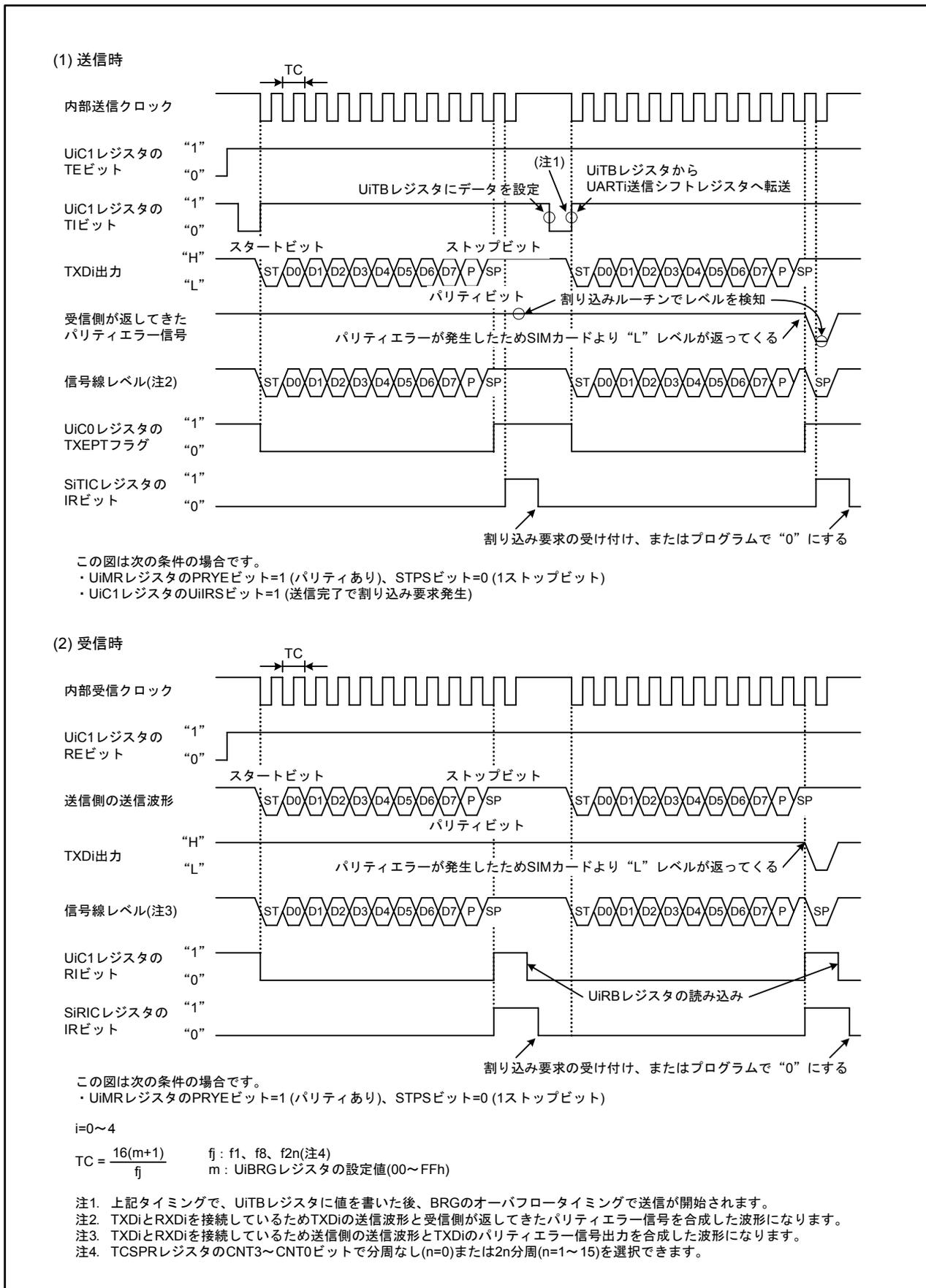


図 17.33 SIMモードの送受信動作例

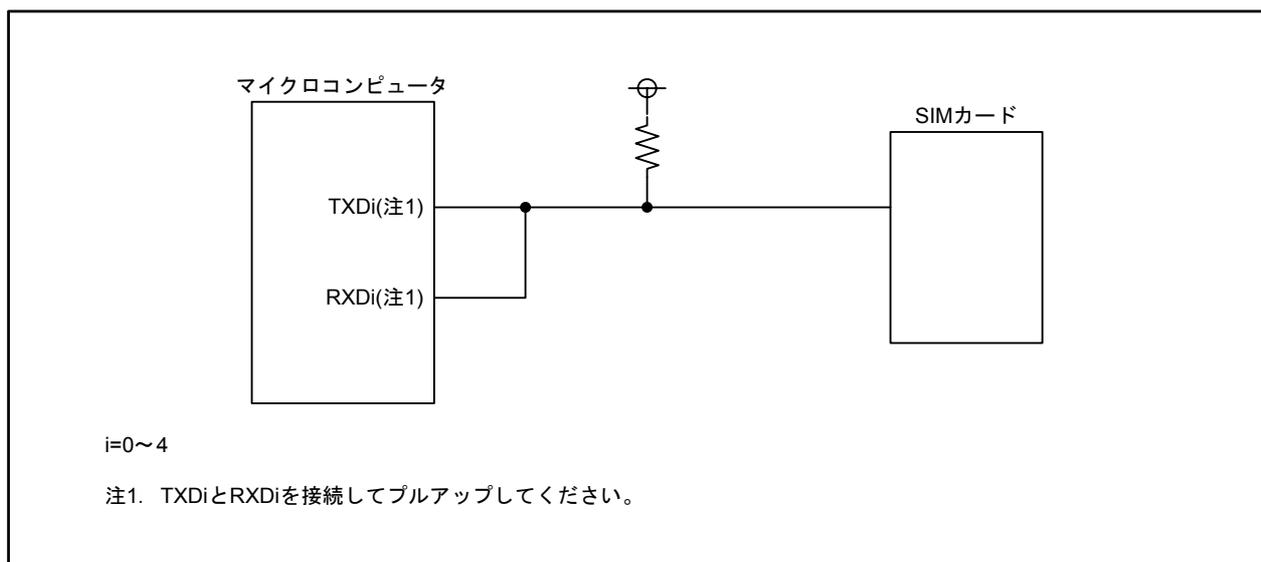


図 17.34 SIM インタフェース接続例

17.1.6.1 パリティエラー信号出力機能

UiC1 レジスタ (i=0~4) の UiERE ビットを “1” (エラー信号出力) にすると、パリティエラー信号を出力できます。パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図 17.35 に示すタイミングで TXDi 出力が “L” になります。ただし、パリティエラー信号出力中に UiRB レジスタを読むと、UiRB レジスタの PER ビットが “0” (パリティエラーなし) になり、同時に TXDi 出力も “H” に戻ります。

送信時、送信完了割り込みルーチンで、RXDi と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

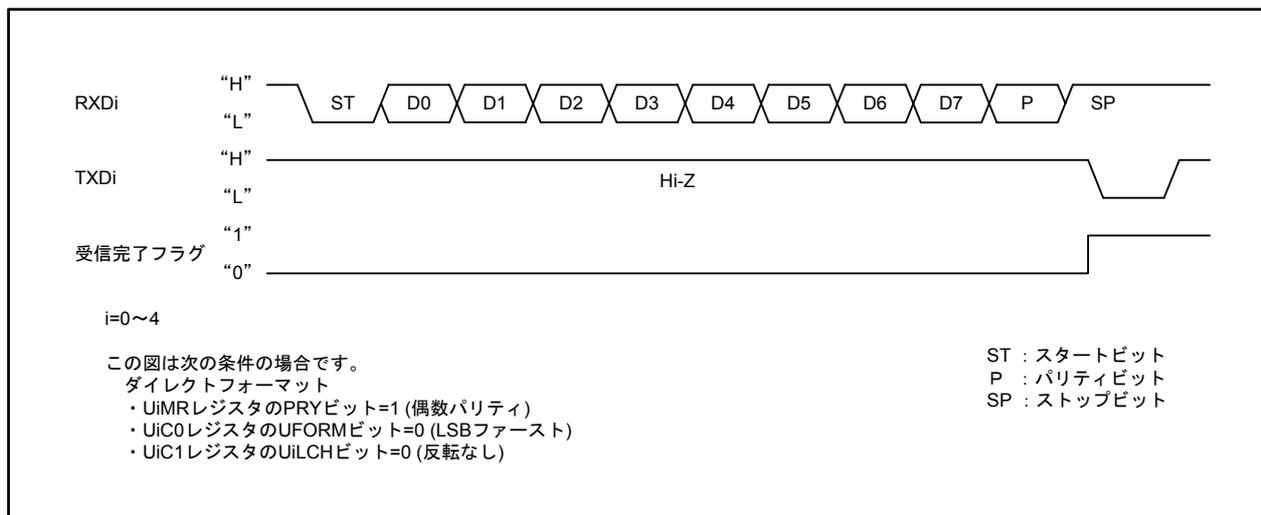


図 17.35 パリティエラー信号出力タイミング

17.1.6.2 フォーマット

17.1.6.2.1 ダイレクトフォーマット

送信時、UiTBレジスタ(i=0～4)に設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にUiRBレジスタに格納します。偶数パリティでパリティエラーを判定します。

ダイレクトフォーマットで送信、受信を行う場合、UiMRレジスタのPRYEビットを“1”(パリティあり)、PRYビットを“1”(偶数パリティ選択)、UiC0レジスタのUFORMビットを“0”(LSBファースト)、UiC1レジスタのUiLCHビットを“0”(反転なし)にしてください。

17.1.6.2.2 インバースフォーマット

送信時、UiTBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にUiRBレジスタに格納します。奇数パリティでパリティエラーを判定します。

インバースフォーマットで送信、受信を行う場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ選択)、UFORMビットを“1”(MSBファースト)、UiLCHビットを“1”(反転あり)にしてください。

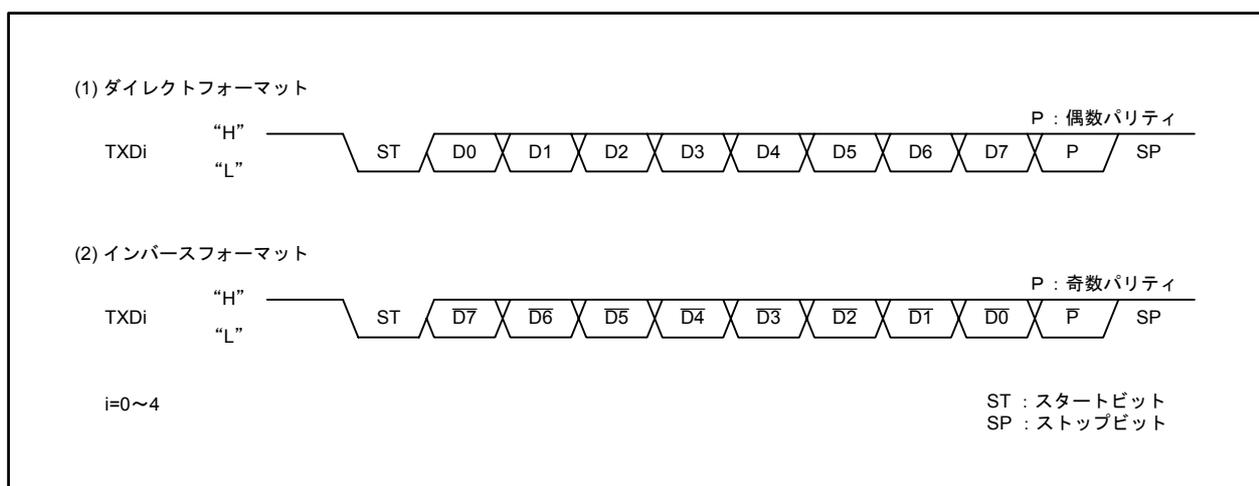


図 17.36 SIMインタフェースフォーマット

17.1.7 特殊モード5(IrDAモード) … UART0

クロック非同期モードの入出力をIrDA規格バージョン1.0の物理層に準拠した形式に変換します。UART0の送信出力をエンコードし、RZI(Return to Zero Inverted)形式で出力します。また、RZI形式の入力をNRZ(None Return to Zero)形式にデコードし、UART0の受信入力にします。クロック非同期モードの詳細は、「17.1.2クロック非同期モード(UART)」を参照してください。

表17.19にIrDAモードの仕様を、図17.37にブロック図を、図17.38に関連レジスタを、図17.39に送受信動作を示します。

表17.19 IrDAモードの仕様

項目	仕様
“0” 値出力パルス幅	・ IRCONレジスタのPLSSELビットが“0”(ビットレートの3/16区間)のとき $\frac{3}{16}$ ビット時間 ・ PLSSELビットが“1”(IRPD0、IRPD1、IRCKで決定)のとき $\frac{1}{f_i}$ 、 $\frac{2}{f_i}$ 、 $\frac{4}{f_i}$ 、 $\frac{8}{f_i}$ より選択 $f_i : f_1、f_8$
“0” 値入力パルス幅	$\frac{3}{f_i}$ 幅より長いパルスを受信
入出力極性	ハイパルスを“0”値とする ローパルスを“0”値とする

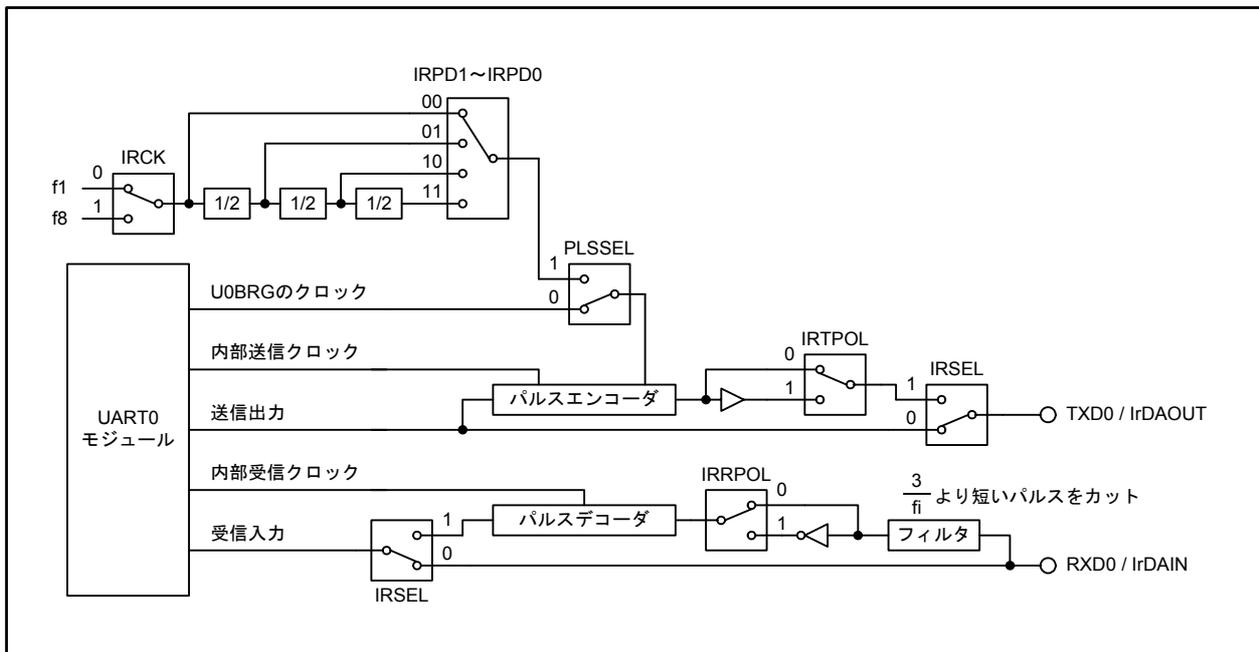


図17.37 IrDAモードのブロック図

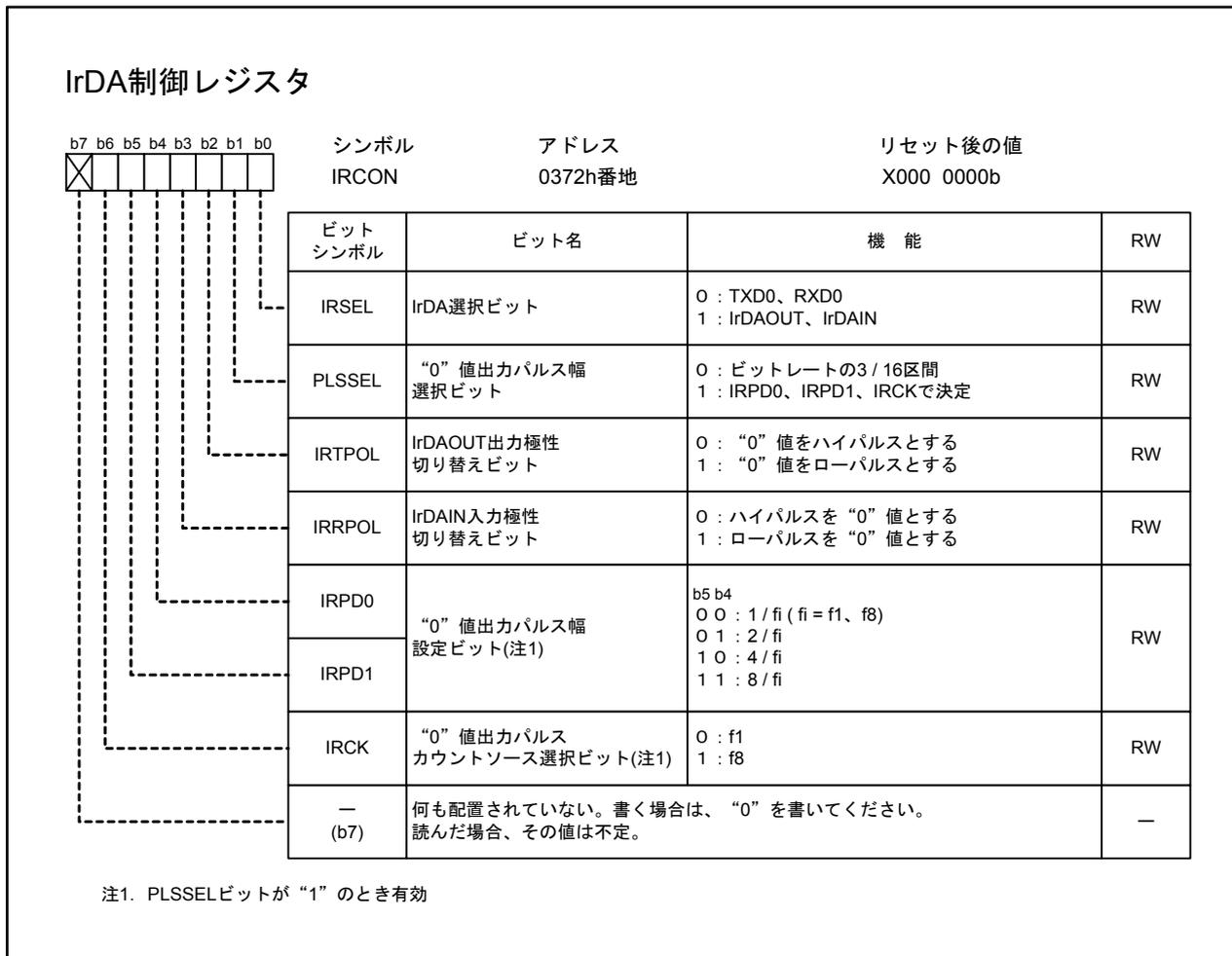


図 17.38 IRCON レジスタ

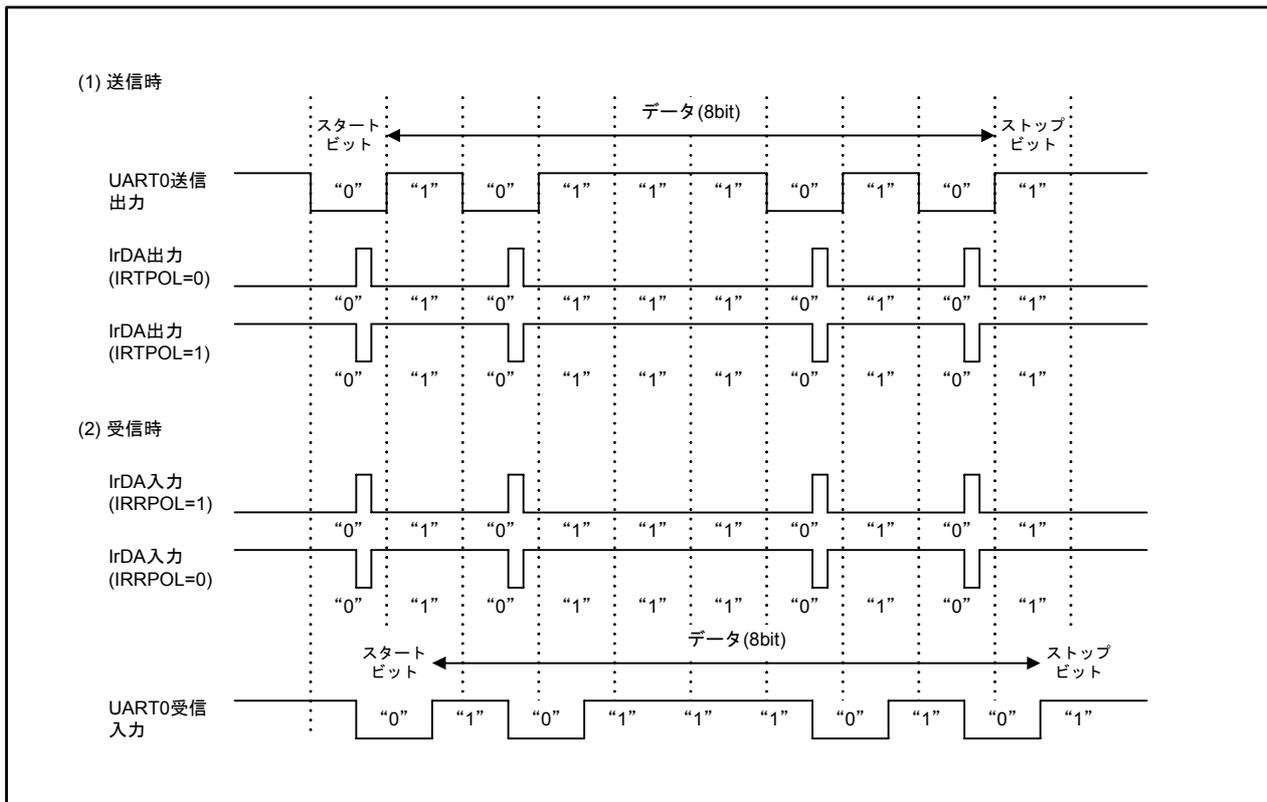


図 17.39 IrDAの送受信動作

17.2 UART5、UART6

図17.40にUART5、UART6のブロック図を示します。図17.41～図17.45にUART5、UART6の関連レジスタを示します。レジスタの設定、端子の設定はモードごとの表を参照してください。UART5、UART6の送受信割り込みについては、「11.11 インテリジェント I/O、CAN、UART5、UART6、 $\overline{INT6}$ ～ $\overline{INT8}$ 割り込み」を参照してください。

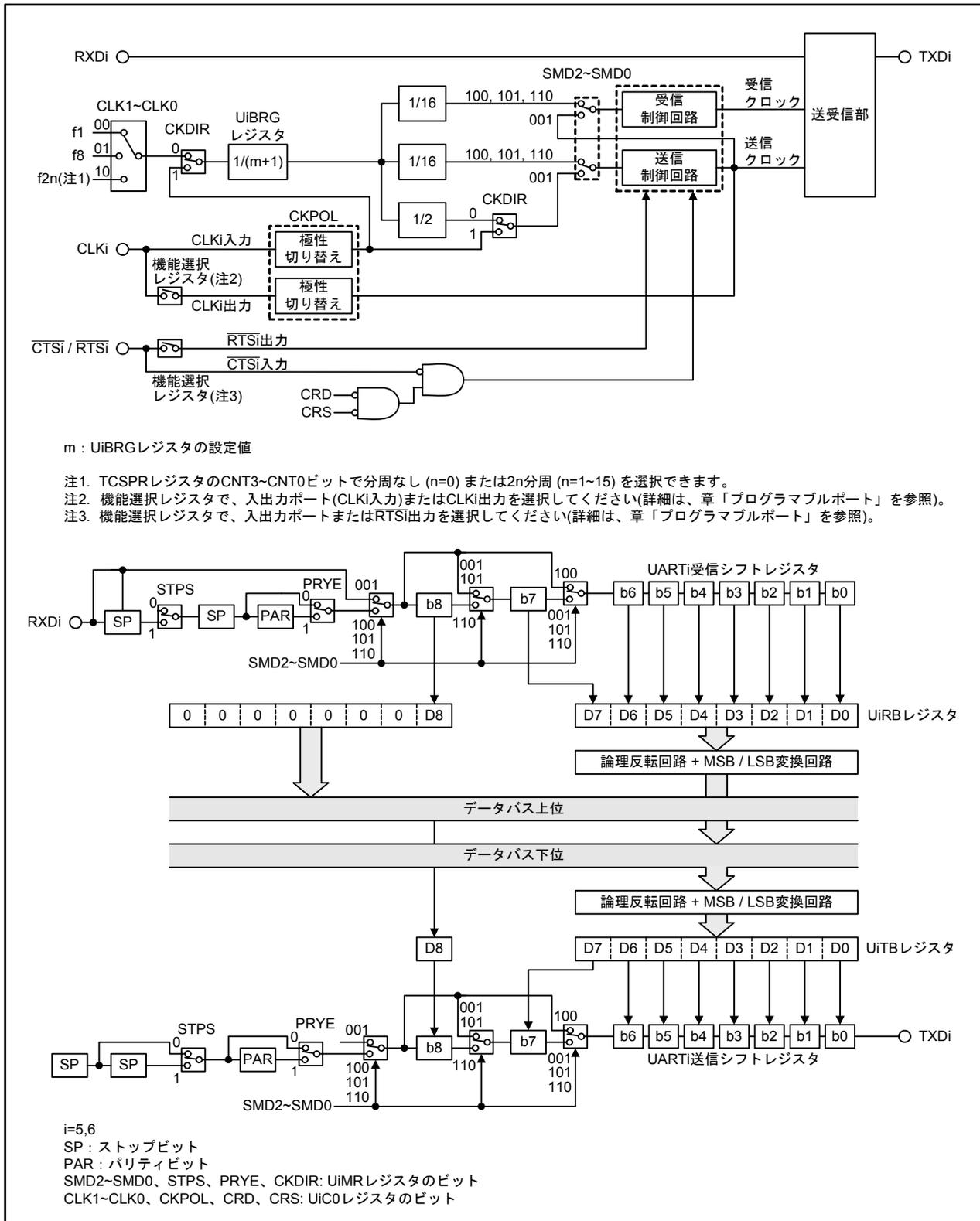


図17.40 UART5、UART6のブロック図

UART5、6入力端子機能選択レジスタ

ビット シンボル	ビット名	機 能	RW
U5CLK	CLK5入力端子選択ビット(注1)	0 : CLK5入力端子はP7_7 1 : CLK5入力端子はP15_1	RW
U5RXD	RXD5入力端子選択ビット(注1)	0 : RXD5入力端子はP8_0 1 : RXD5入力端子はP15_2	RW
U5CTS	$\overline{\text{CTS5}}$ 入力端子選択ビット(注1)	0 : $\overline{\text{CTS5}}$ 入力端子はP8_1 1 : $\overline{\text{CTS5}}$ 入力端子はP15_3	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
U6CLK	CLK6入力端子選択ビット(注2)	0 : CLK6入力端子はP15_6 1 : CLK6入力端子はP12_1	RW
U6RXD	RXD6入力端子選択ビット(注2)	0 : RXD6入力端子はP15_5 1 : RXD6入力端子はP12_2	RW
U6CTS	$\overline{\text{CTS6}}$ 入力端子選択ビット(注2)	0 : $\overline{\text{CTS6}}$ 入力端子はP15_7 1 : $\overline{\text{CTS6}}$ 入力端子はP12_3	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. 100ピン版では“0”にしてください。

注2. 144ピン版のみあります。

図17.41 U56IS レジスタ

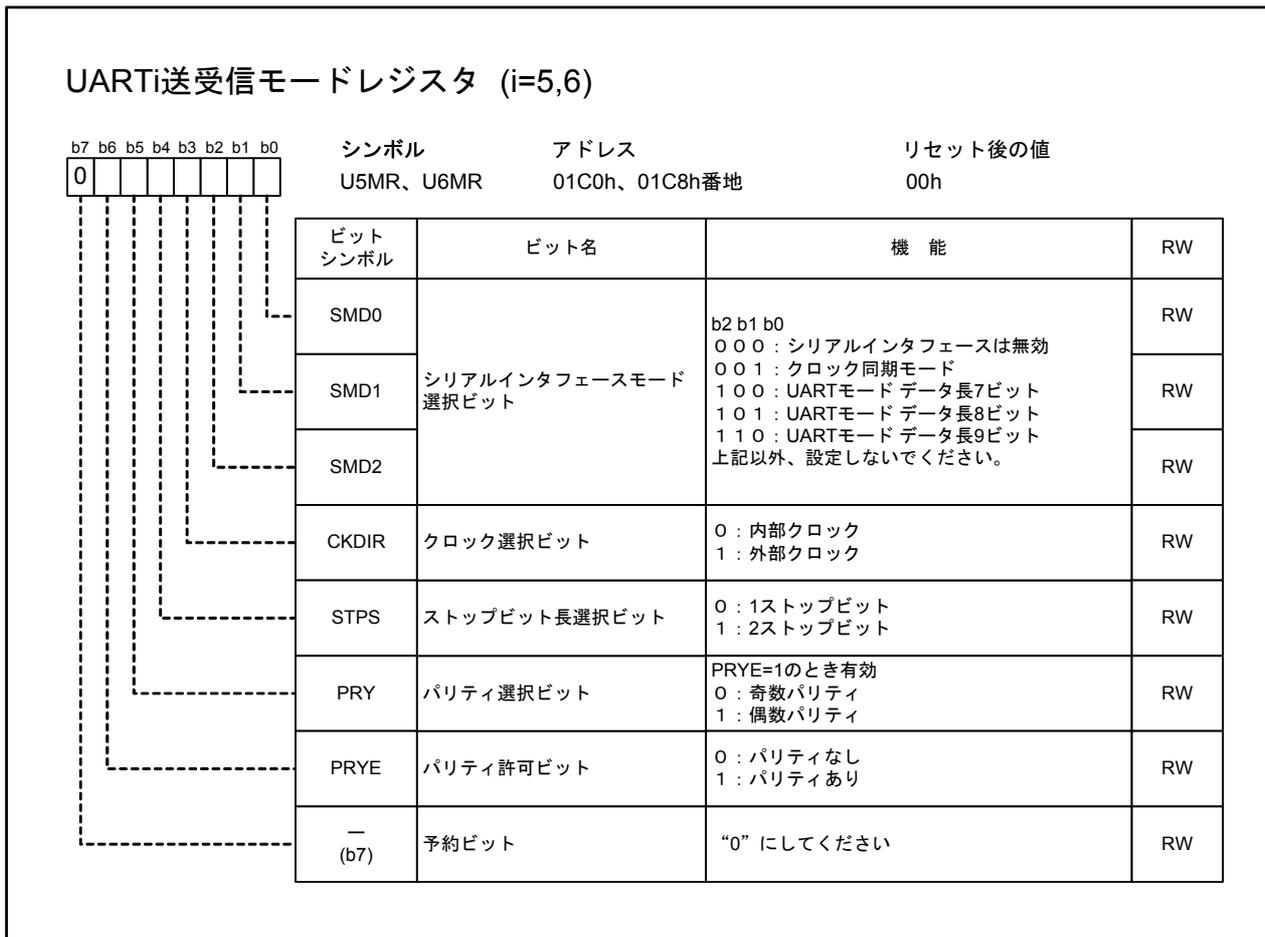


図 17.42 U5MR、U6MR レジスタ

UARTi送受信制御レジスタ0 (i=5,6)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	0	U5C0、U6C0	01C4h、01CCh番地	0000 1000b
ビットシンボル	ビット名		機能				RW			
CLK0	UiBRGカウントソース 選択ビット(注1)		b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f2nを選択(注2) 1 1 : 設定しないでください				RW			
CLK1							RW			
CRS	CTS機能選択ビット		CRD=0のとき有効 0 : CTS機能を選択する 1 : CTS機能を選択しない				RW			
TXEPT	送信シフトレジスタ空フラグ		0 : 送信シフトレジスタにデータあり(送信中) 1 : 送信シフトレジスタにデータなし(送信完了)				RO			
CRD	CTS機能禁止ビット		0 : CTS機能許可 1 : CTS機能禁止				RW			
— (b5)	予約ビット		"0" にしてください				RW			
CKPOL	CLK極性選択ビット		0 : 送受信クロックの立ち下がりに同期して 送信データ出力、立ち上がりに同期して 受信データ入力 1 : 送受信クロックの立ち上がりに同期して 送信データ出力、立ち下がりに同期して 受信データ入力				RW			
UFORM	ビットオーダ選択ビット(注3)		0 : LSBファースト 1 : MSBファースト				RW			

- 注1. CLK1~CLK0ビットを設定した後でUiBRGレジスタを設定してください。
- 注2. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。f2nを選択する場合は、TCSPRレジスタのCSTビットを"1"にした後、CLK1~CLK0ビットを"10b"にしてください。
- 注3. UIMRレジスタのSMD2~SMD0ビットが"001b" (クロック同期モード)または"101b" (UARTモード データ長8ビット)のとき有効です。SMD2~SMD0ビットが"100b" (UARTモード データ長7ビット)または"110b" (UARTモード データ長9ビット)のときは"0"にしてください。

UARTi通信速度レジスタ (i=5,6)(注1、2)

b7	b0	シンボル	アドレス	リセット後の値
0	0	U5BRG、U6BRG	01C1h、01C9h番地	不定
		機能	設定範囲	RW
		設定値をnとすると、UiBRGはカウントソースをn+1分周する。	00h~FFh	WO

- 注1. UiBRGレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。
- 注2. UIC0レジスタのCLK1~CLK0ビットを設定した後、UiBRGレジスタへ書いてください。

図 17.43 U5C0、U6C0レジスタ、U5BRG、U6BRGレジスタ

UART5、6送受信制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル U56CON	アドレス 01D0h番地	リセット後の値 X000 0000b
ビットシンボル	ビット名	機能	RW
U5IRS	UART5送信割り込み要因選択ビット	0 : U5TBレジスタ空(TI=1) 1 : 送信完了(TXEPT=1)	RW
U6IRS	UART6送信割り込み要因選択ビット	0 : U6TBレジスタ空(TI=1) 1 : 送信完了(TXEPT=1)	RW
U5RRM	UART5連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可(注1)	RW
U6RRM	UART6連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可(注1)	RW
— (b6-b4)	予約ビット	“0” にしてください。	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

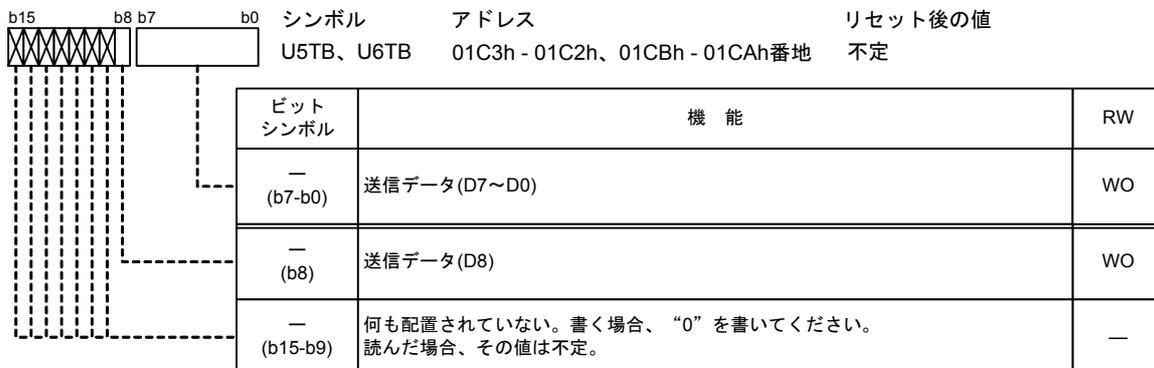
注1. UiRRMビット(i=5,6)を“1”にする場合、UiMRレジスタのCKDIRビットを“1”(外部クロック)にしてください。また、RTS制御は使用しないでください。

UARTi送受信制御レジスタ1 (i=5,6)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル U5C1、U6C1	アドレス 01C5h、01CDh番地	リセット後の値 XXXX 0010b
ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	UiTBレジスタ空フラグ	0 : UiTBレジスタにデータあり 1 : UiTBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : UiRBレジスタにデータなし 1 : UiRBレジスタにデータあり	RO
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

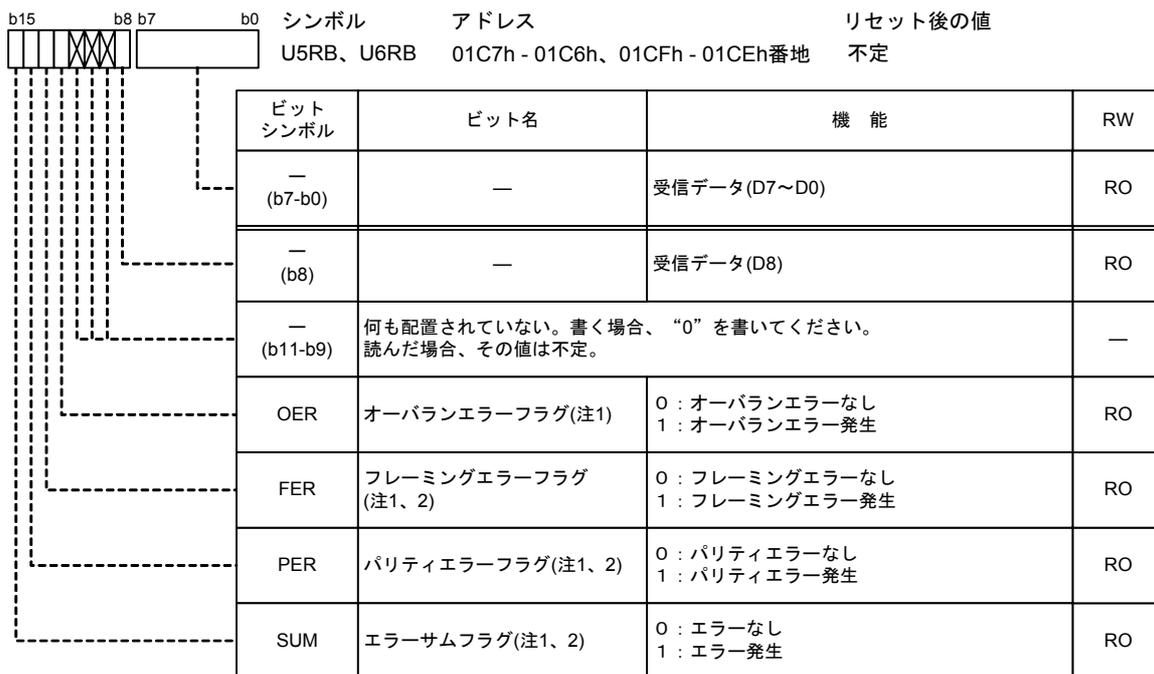
図 17.44 U56CON レジスタ、U5C1、U6C1 レジスタ

UART_i送信バッファレジスタ (i=5,6)(注1)



注1. UiTBレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。

UART_i受信バッファレジスタ (i=5,6)



注1. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUIC1レジスタのREビットを“0”(受信禁止)にしたとき、OER、FER、PER、SUMビットは“0”になります。OER、FER、PERビットがすべて“0”になると、SUMビットも“0”になります。また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは“0”になります。

注2. SMD2~SMD0ビットが“001b”(クロック同期モード)のとき、FER、PER、SUMビットは無効です。読んだ場合、その値は不定。

図 17.45 U5TB、U6TB レジスタ、U5RB、U6RB レジスタ

17.2.1 クロック同期モード

全二重のクロック同期シリアル通信を行うモードです。送受信制御としてCTS / RTS機能が選択できます。

表17.20にクロック同期モードの仕様を、表17.21に端子の設定を示します。また、図17.46にレジスタの設定手順を、図17.47に内部クロック選択時の送受信動作例を、図17.48に外部クロック選択時の受信動作例を示します。

表17.20 クロック同期モードの仕様

項目	仕様
データフォーマット	データ長 8ビット
送受信クロック	UiMRレジスタ(i=5,6)のCKDIRビットで内部クロックまたは外部クロックを選択
通信速度	CKDIRビットが“0”(内部クロック)のとき $\frac{f_j}{2^{m+1}}$ $f_j : f_1, f_8, f_{2n}(\text{注1})$ $m : \text{UiBRGレジスタの設定値}(00h \sim FFh)$ CKDIRビットが“1”(外部クロック)のとき CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS / RTS機能禁止を選択
送受信開始条件	内部クロック選択時 <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • UiC1レジスタのREビットが“1”(受信許可) • CTS機能使用時、CTSi端子に“L”を入力 外部クロック選択時(注2) <ul style="list-style-type: none"> • TEビットが“1” • TIビットが“0” • REビットが“1” • RTS機能使用時、UiC1レジスタのRIビットが“0”(UiRBレジスタにデータなし) 上の条件がすべてそろると、RTSi端子から“L”を出力する 内部クロック選択時、外部クロック選択時ともに送信のみの場合はREビットの設定は不要
割り込み要求発生タイミング	送信割り込み(U56CONレジスタのUiIRSビットで選択) <ul style="list-style-type: none"> • UiIRSビットが“0”(UiTBレジスタ空) UiTBレジスタからUARTi送信シフトレジスタにデータ転送時(送信開始時) <ul style="list-style-type: none"> • UiIRSビットが“1”(送信完了) UARTi送信シフトレジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> • UARTi受信シフトレジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注3) UiRBレジスタを読む前に次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 送受信データの入出力タイミングを選択可 • ビットオーダ選択 LSBファーストまたはMSBファーストを選択可 • 連続受信モード選択 UiRBレジスタを読むことで、受信許可状態になる

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”の場合はCLKi端子が“H”の状態、CKPOLビットが“1”の場合はCLKi端子が“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。IIO0IR、IIO9IRレジスタのU5RR、U6RRビットは“1”(割り込み要求あり)に変化しません。

表 17.21 クロック同期モードの端子の設定

ポート名	機能	ビットと設定値						
		PD7 PD8 PD12 PD15 レジスタ	U56IS レジスタ	PSE1 PSE2 レジスタ	PSD1 PSD2 レジスタ	PSC PSC2 PSC6 レジスタ	PSL1 PSL2 PSL6 PSL9 レジスタ	PS1 PS2 PS6 PS9 レジスタ (注1)
P7_6	TXD5出力(注2)	—	—	PSE1_6=1	PSD1_6=1	PSC_6=0	PSL1_6=0	PS1_6=1
P7_7	CLK5入力	PD7_7=0	U5CLK=0	—	—	—	—	PS1_7=0
	CLK5出力	—	—	PSE1_7=0	PSD1_7=1	—	PSL1_7=1	PS1_7=1
P8_0	RXD5入力	PD8_0=0	U5RXD=0	—	—	—	—	PS2_0=0
P8_1	$\overline{\text{CTS5}}$ 入力	PD8_1=0	U5CTS=0	—	—	—	—	PS2_1=0
	$\overline{\text{RTS5}}$ 出力	—	—	PSE2_1=0	PSD2_1=1	PSC2_1=1	PSL2_1=1	PS2_1=1
P12_0	TXD6出力(注2)	—	—	—	—	PSC6_0=1	PSL6_0=0	PS6_0=1
P12_1	CLK6入力	PD12_1=0	U6CLK=1	—	—	—	—	PS6_1=0
	CLK6出力	—	—	—	—	PSC6_1=1	PSL6_1=0	PS6_1=1
P12_2	RXD6入力	PD12_2=0	U6RXD=1	—	—	—	—	—
P12_3	$\overline{\text{CTS6}}$ 入力	PD12_3=0	U6CTS=1	—	—	—	—	PS6_3=0
	$\overline{\text{RTS6}}$ 出力	—	—	—	—	PSC6_3=1	PSL6_3=0	PS6_3=1
P15_0	TXD5出力(注2)	—	—	—	—	—	PSL9_0=1	PS9_0=1
P15_1	CLK5入力(注3)	PD15_1=0	U5CLK=1	—	—	—	—	PS9_1=0
	CLK5出力	—	—	—	—	—	PSL9_1=1	PS9_1=1
P15_2	RXD5入力(注3)	PD15_2=0	U5RXD=1	—	—	—	—	—
P15_3	$\overline{\text{CTS5}}$ 入力(注3)	PD15_3=0	U5CTS=1	—	—	—	—	PS9_3=0
	$\overline{\text{RTS5}}$ 出力	—	—	—	—	—	—	PS9_3=1
P15_4	TXD6出力(注2)	—	—	—	—	—	PSL9_4=1	PS9_4=1
P15_5	RXD6入力(注3)	PD15_5=0	U6RXD=0	—	—	—	—	—
P15_6	CLK6入力(注3)	PD15_6=0	U6CLK=0	—	—	—	—	PS9_6=0
	CLK6出力	—	—	—	—	—	—	PS9_6=1
P15_7	$\overline{\text{CTS6}}$ 入力(注3)	PD15_7=0	U6CTS=0	—	—	—	—	PS9_7=0
	$\overline{\text{RTS6}}$ 出力	—	—	—	—	—	—	PS9_7=1

注1. PS1、PS2、PS6、PS9レジスタは最後に設定してください。

注2. UiMRレジスタでUARTiの動作モードを選択し、機能選択レジスタで端子の機能を選択後、送信開始までは、TXDi端子は“H”を出力します。

注3. P15_k(k=0~7)で周辺機能入力を使用する場合、IPSBレジスタのIPSB_kビットとIPSレジスタのIPS2ビットを両方“0”にしてください。

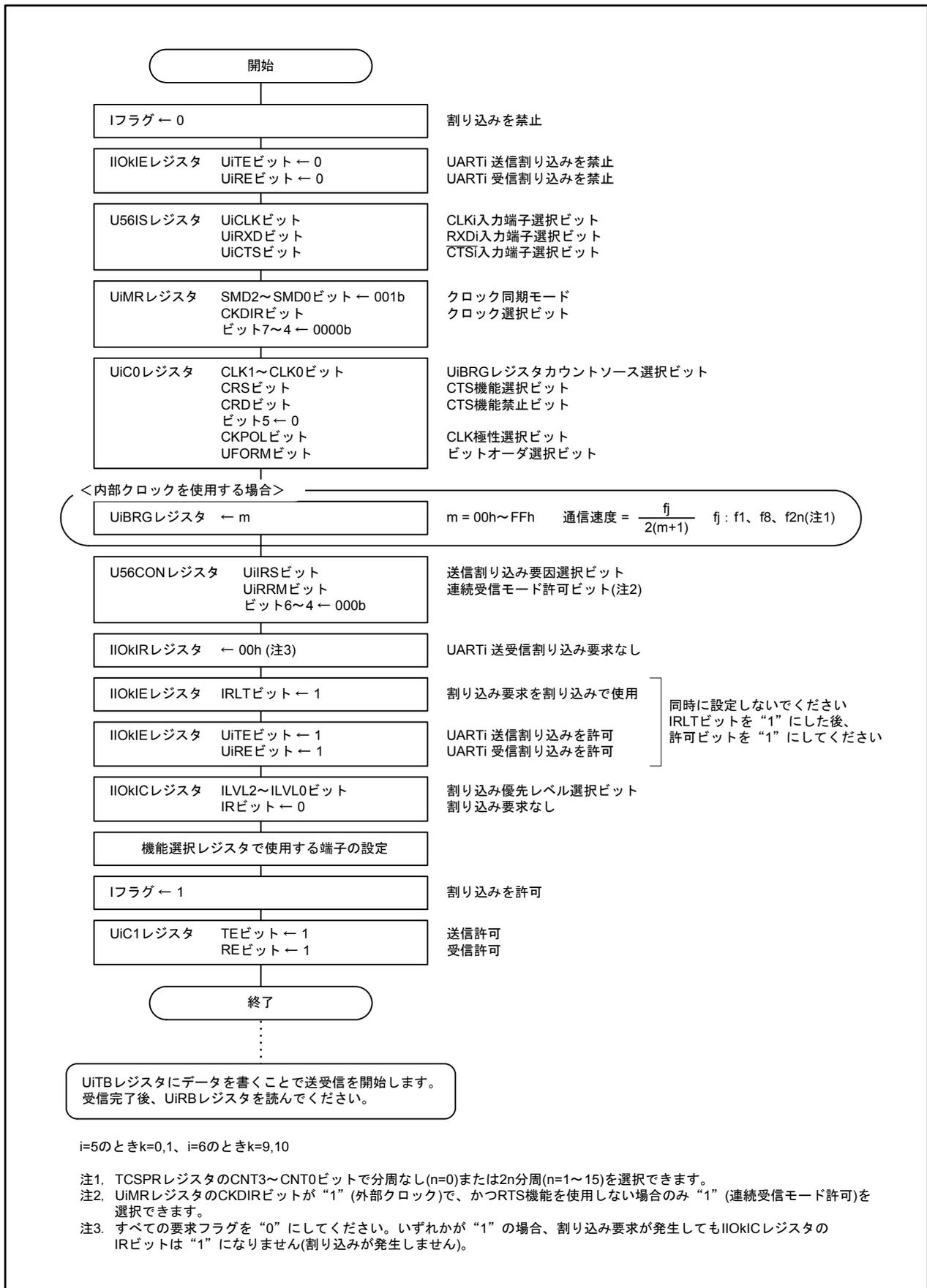


図 17.46 クロック同期モードを使用する場合のレジスタ設定手順

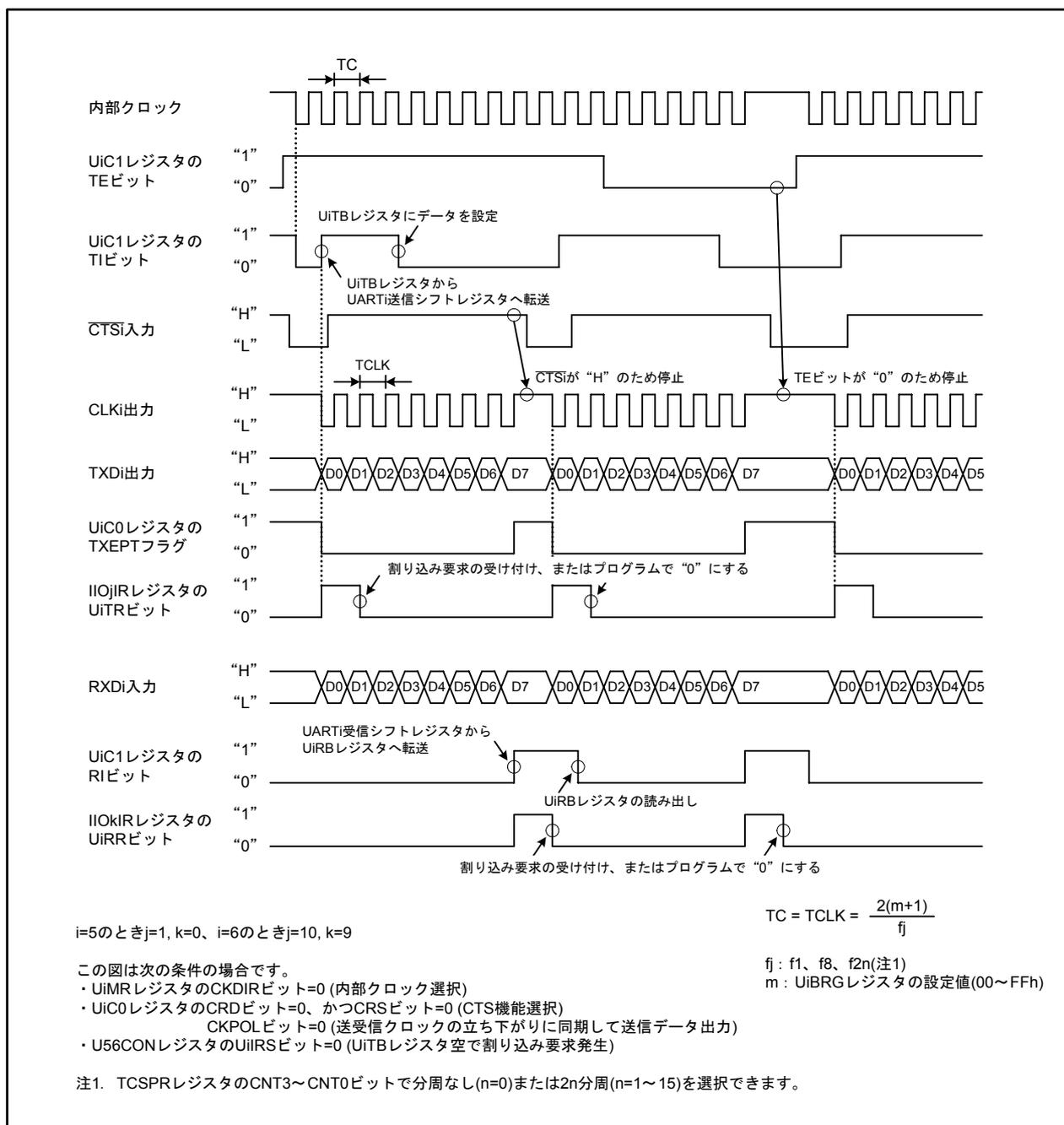


図 17.47 内部クロック選択時の送受信動作例

17.2.1.1 CLK極性選択

図17.49に示すように、UiC0レジスタ(i=5,6)のCKPOLビットで送受信クロックの極性を選択できます。

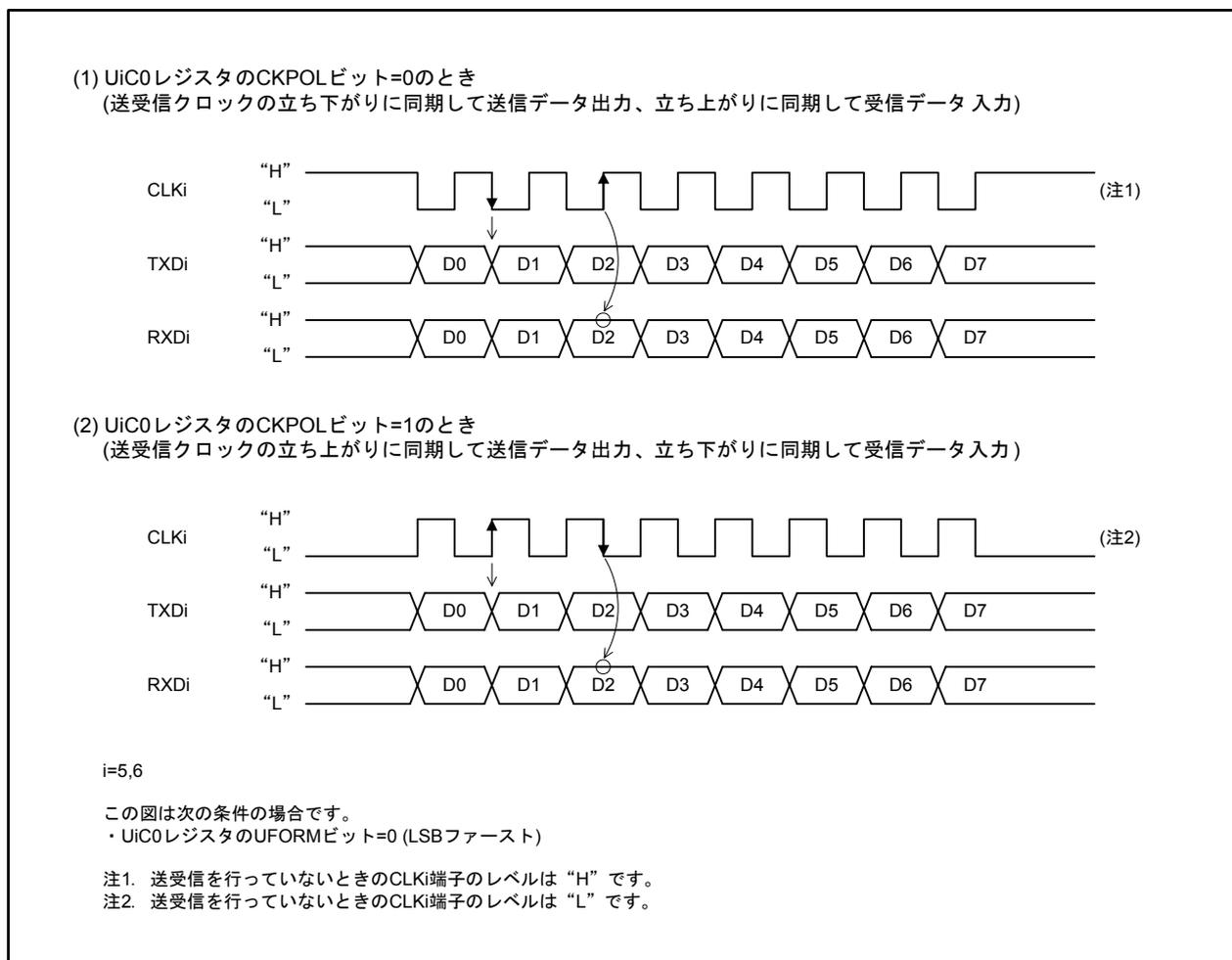


図17.49 送受信クロックの極性

17.2.1.2 ビットオーダ選択

図17.50に示すように、UiC0レジスタ(i=5,6)のUFORMビットでLSBファーストまたはMSBファーストを選択できます。

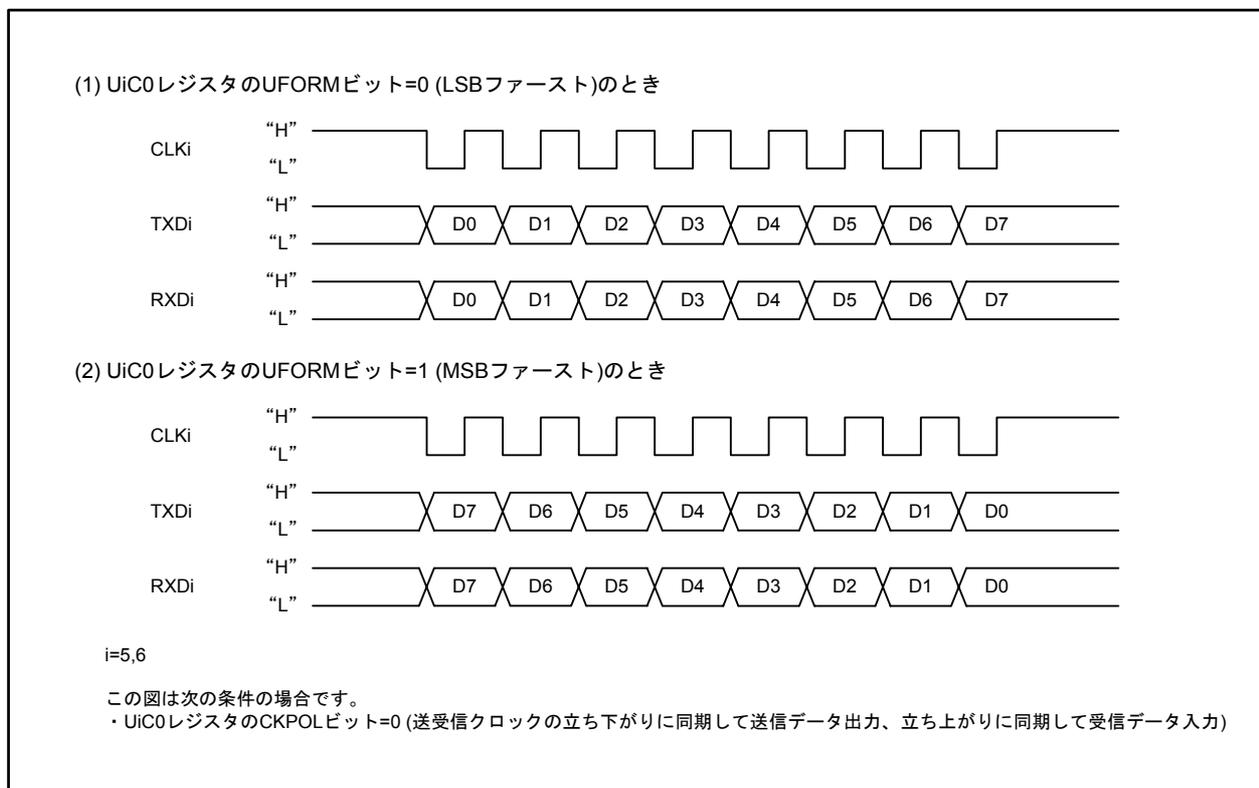


図17.50 ビットオーダ

17.2.1.3 連続受信モード

連続受信モードは次の条件をすべて満たしている場合に使用できます。

- ・外部クロックを選択(UiMRレジスタ(i=5,6)のCKDIRビットが“1”)
- ・RTS機能を使用しない(機能選択レジスタでRTSi端子を選択しない)

U56CONレジスタのUiRRMビットを“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”のときは、プログラムでUiTBレジスタにダミーデータを設定しないでください。

17.2.1.4 CTS / RTS機能

•CTS機能

$\overline{\text{CTS}}_i$ 端子($i=5,6$)への入力信号で送受信制御を行う機能です。CTS機能を使用する場合は、機能選択レジスタで入出力ポートを選択して、 UiC0 レジスタのCRDビットを“0”(CTS機能許可)、CRSビットを“0”(CTS機能を選択する)にしてください。

CTS機能を選択時、次の条件を満たしたうえで、 $\overline{\text{CTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。

- UiC1 レジスタのTEビットが“1”(送信許可)
- UiC1 レジスタのTIビットが“0”(U_iTBレジスタにデータあり)
- UiC1 レジスタのREビットが“1”(受信許可)
(送信のみの場合は、REビットの設定は不要)

送受信の最中に $\overline{\text{CTS}}_i$ 端子の入力レベルを“H”にした場合、次のデータから送受信を停止します。

•RTS機能

送受信準備が整ったことを外部デバイスに通知する機能です。RTS機能を使用する場合は、機能選択レジスタで $\overline{\text{RTS}}_i$ 端子を選択してください。

RTS機能選択時、次の条件を満たすと、 $\overline{\text{RTS}}_i$ 端子から“L”を出力し、CLK_i端子に送受信クロックが入力されると、“H”を出力します。

- UiC1 レジスタのRIビットが“0”(U_iRBレジスタにデータなし)
- TEビットが“1”(送信許可)
- REビットが“1”(受信許可)
(送信のみの場合は、REビットの設定は不要)
- TIビットが“0”(U_iTBレジスタにデータあり)

17.2.1.5 通信エラー発生時の対処方法

クロック同期モードで通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1 レジスタ($i=5,6$)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMR レジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMR レジスタのSMD2～SMD0ビットを“001b”(クロック同期モード)にする。
- (4) UiC1 レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

17.2.2 クロック非同期モード(UART)

全二重の調歩同期式シリアル通信を行うモードです。

表 17.22 に UART モードの仕様を、表 17.23 に端子の設定を示します。また、図 17.51 にレジスタの設定手順を、図 17.52 に送信動作例を、図 17.53 に受信動作例を示します。

表 17.22 UART モードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> ・データ長 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、なし 選択可 ・ストップビット 1ビット、2ビット 選択可
通信速度	$\frac{f_j}{16(m+1)}$ f_j : f1、f8、f2n(注1)、fEXT m : UiBRG レジスタ(i=5,6)の設定値(00h~FFh) fEXT : UIMR レジスタのCKDIR ビットが“1”(外部クロック)のときのCLKi端子からの入力
送信制御、受信制御	CTS 機能、RTS 機能、CTS / RTS 機能禁止を選択
送信開始条件	次のすべての条件がそろると送信を開始する <ul style="list-style-type: none"> ・UiC1 レジスタのTE ビットが“1”(送信許可) ・UiC1 レジスタのTI ビットが“0”(UiTB レジスタにデータあり) ・CTS 機能使用時、CTS_i端子に“L”を入力
受信開始条件	次のすべての条件がそろると受信を開始する <ul style="list-style-type: none"> ・UiC1 レジスタのRE ビットが“1”(受信許可) ・RTS 機能使用時、UiC1 レジスタのRI ビットが“0”(UiRB レジスタにデータなし) 上の条件がすべてそろると、RTS _i 端子から“L”を出力する <ul style="list-style-type: none"> ・スタートビットの検出
割り込み要求発生タイミング	送信割り込み(U56CON レジスタのUiIRS ビットで選択) <ul style="list-style-type: none"> ・UiIRS ビットが“0”(UiTB レジスタ空) UiTB レジスタから UART _i 送信シフトレジスタにデータ転送時(送信開始時) <ul style="list-style-type: none"> ・UiIRS ビットが“1”(送信完了) UART _i 送信シフトレジスタから最終ストップビット出力時(送信完了時) 受信割り込み <ul style="list-style-type: none"> ・UART_i受信シフトレジスタから UiRB レジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注2) UiRB レジスタを読む前に次のデータの最終ストップビットの1つ前のビットを受信すると発生(2ストップビット選択時は1ストップビット目) ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティありの場合に、受信したデータとパリティビットに含まれる“1”の個数(偶数個 / 奇数個)が設定した個数(偶数個 / 奇数個)と一致しなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 UiRB レジスタのSUM ビットが“1”になる
選択機能	<ul style="list-style-type: none"> ・ビットオーダ選択 LSB ファーストまたは MSB ファーストを選択可

注1. TCSPP レジスタのCNT3~CNT0 ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. オーバランエラーが発生した場合、UiRB レジスタは不定になります。IIO0IR、IIO9IR レジスタのU5RR、U6RR ビットは“1”(割り込み要求あり)に変化しません。

表 17.23 UARTモードの端子の設定

ポート名	機能	ビットと設定値						
		PD7 PD8 PD12 PD15 レジスタ	U56IS レジスタ	PSE1 PSE2 レジスタ	PSD1 PSD2 レジスタ	PSC PSC2 PSC6 レジスタ	PSL1 PSL2 PSL6 PSL9 レジスタ	PS1 PS2 PS6 PS9 レジスタ (注1)
P7_6	TXD5出力(注2)	—	—	PSE1_6=1	PSD1_6=1	PSC_6=0	PSL1_6=0	PS1_6=1
P7_7	CLK5入力	PD7_7=0	U5CLK=0	—	—	—	—	PS1_7=0
P8_0	RXD5入力	PD8_0=0	U5RXD=0	—	—	—	—	PS2_0=0
P8_1	$\overline{\text{CTS5}}$ 入力	PD8_1=0	U5CTS=0	—	—	—	—	PS2_1=0
	RTS5出力	—	—	PSE2_1=0	PSD2_1=1	PSC2_1=1	PSL2_1=1	PS2_1=1
P12_0	TXD6出力(注2)	—	—	—	—	PSC6_0=1	PSL6_0=0	PS6_0=1
P12_1	CLK6入力	PD12_1=0	U6CLK=1	—	—	—	—	PS6_1=0
P12_2	RXD6入力	PD12_2=0	U6RXD=1	—	—	—	—	—
P12_3	$\overline{\text{CTS6}}$ 入力	PD12_3=0	U6CTS=1	—	—	—	—	PS6_3=0
	RTS6出力	—	—	—	—	PSC6_3=1	PSL6_3=0	PS6_3=1
P15_0	TXD5出力(注2)	—	—	—	—	—	PSL9_0=1	PS9_0=1
P15_1	CLK5入力(注3)	PD15_1=0	U5CLK=1	—	—	—	—	PS9_1=0
P15_2	RXD5入力(注3)	PD15_2=0	U5RXD=1	—	—	—	—	—
P15_3	$\overline{\text{CTS5}}$ 入力(注3)	PD15_3=0	U5CTS=1	—	—	—	—	PS9_3=0
	RTS5出力	—	—	—	—	—	—	PS9_3=1
P15_4	TXD6出力(注2)	—	—	—	—	—	PSL9_4=1	PS9_4=1
P15_5	RXD6入力(注3)	PD15_5=0	U6RXD=0	—	—	—	—	—
P15_6	CLK6入力(注3)	PD15_6=0	U6CLK=0	—	—	—	—	PS9_6=0
P15_7	$\overline{\text{CTS6}}$ 入力(注3)	PD15_7=0	U6CTS=0	—	—	—	—	PS9_7=0
	RTS6出力	—	—	—	—	—	—	PS9_7=1

注1. PS1、PS2、PS6、PS9レジスタは最後に設定してください。

注2. UiMRレジスタ(i=5,6)でUARTiの動作モードを選択し、機能選択レジスタで端子の機能を選択後、送信開始までは、TXDi端子は“H”を出力します。

注3. P15_k(k=0~7)で周辺機能入力を使用する場合、IPSBレジスタのIPSB_kビットとIPSレジスタのIPS2ビットを両方“0”にしてください。

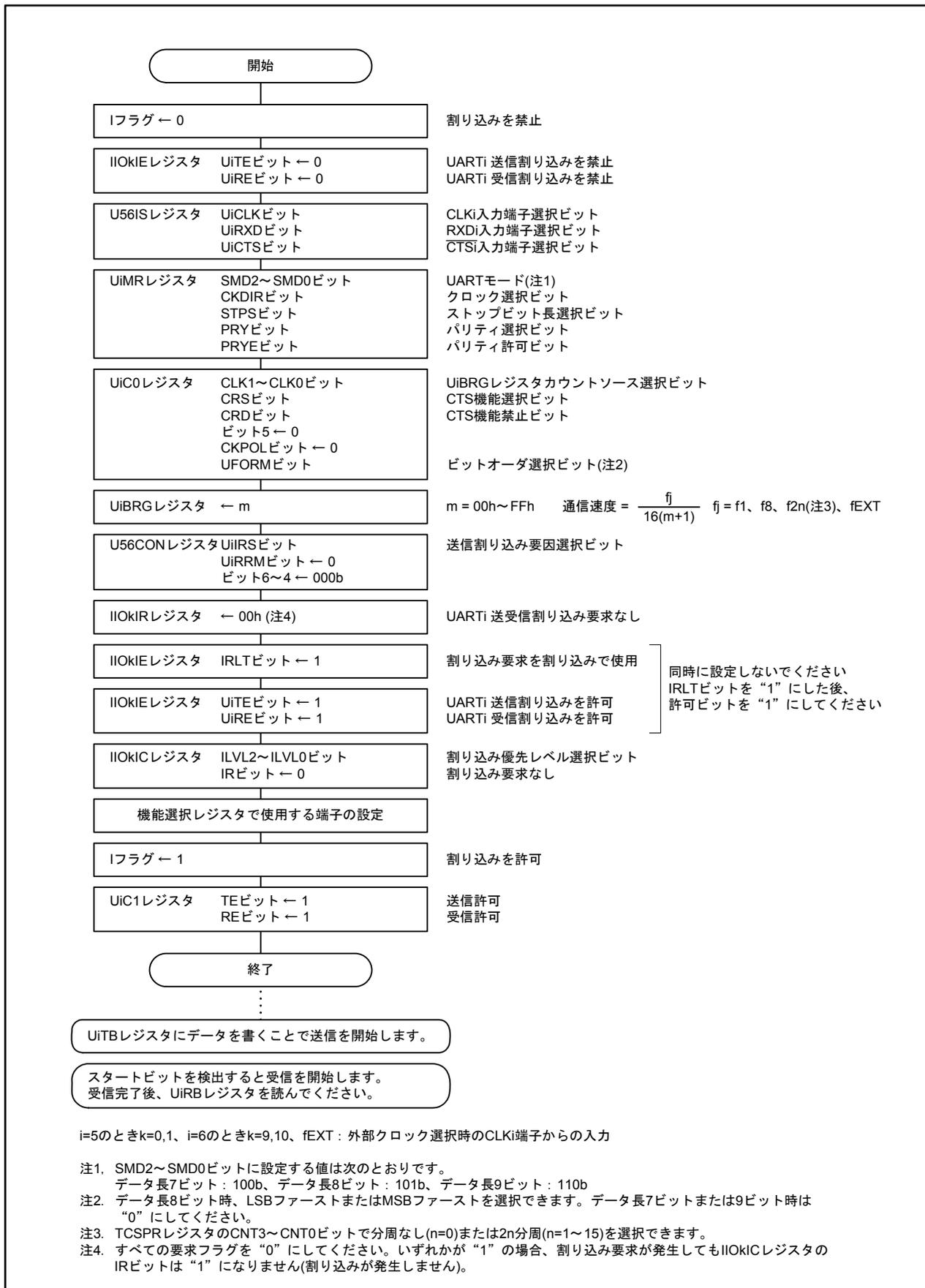
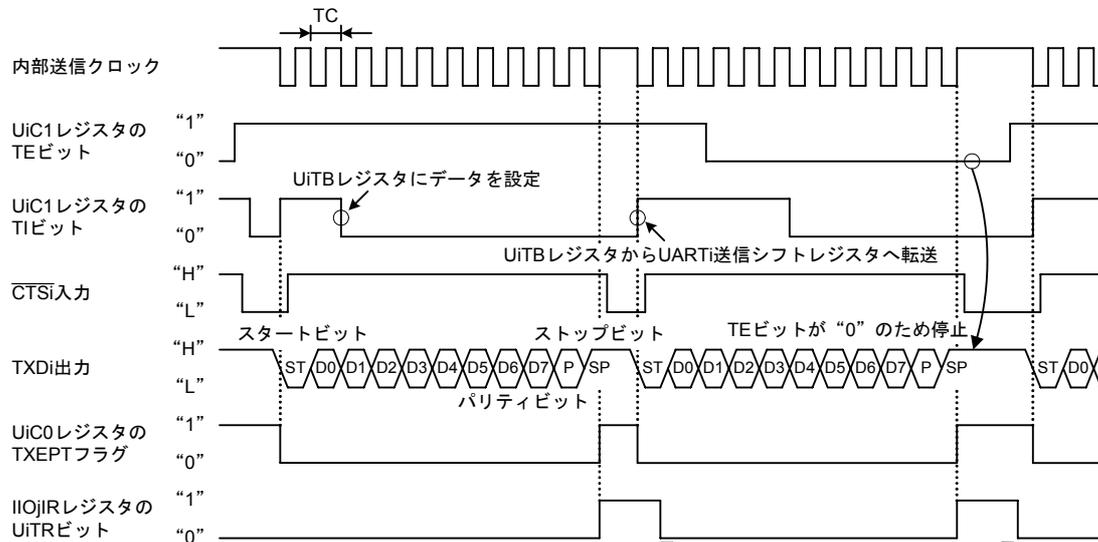


図 17.51 UARTモードを使用する場合のレジスタの設定手順

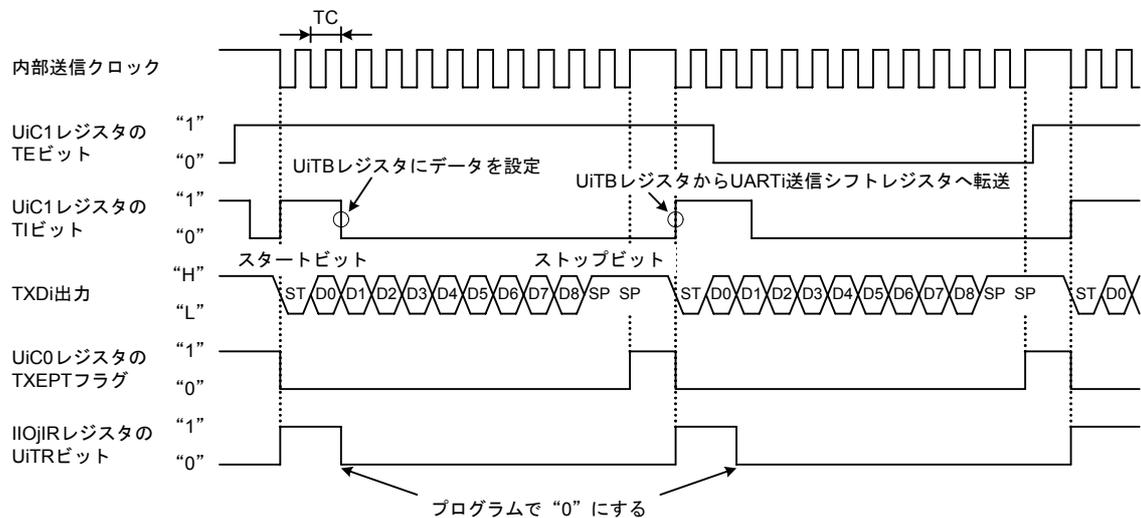
(1) データ長8ビット時の送信タイミング例(パリティあり、1ストップビット)



この図は次の条件の場合です。

- ・ UIMRレジスタのPRYEビット=1 (パリティあり)、STPSビット=0 (1ストップビット)
- ・ UIC0レジスタのCRDビット=0、かつCRSビット=0 (CTS機能選択)
- ・ U56CONレジスタのUiiRSビット=1 (送信完了で割り込み要求発生)

(2) データ長9ビット時の送信タイミング例(パリティなし、2ストップビット)



この図は次の条件の場合です。

- ・ UIMRレジスタのPRYEビット=0 (パリティなし)、STPSビット=1 (2ストップビット)
- ・ UIC0レジスタのCRDビット=1 (CTS機能禁止)
- ・ U56CONレジスタのUiiRSビット=0 (UIC1レジスタ空で割り込み要求発生)

$$TC = \frac{16(m+1)}{f_j}$$

f_j: f₁、f₈、f_{2n}(注1)、fEXT
 fEXT: 外部クロックのときのCLKi端子からの入力
 m: UIC1レジスタの設定値(00~FFh)

i=5のときj=1、i=6のときj=10

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

図 17.52 UARTモードの送信動作例

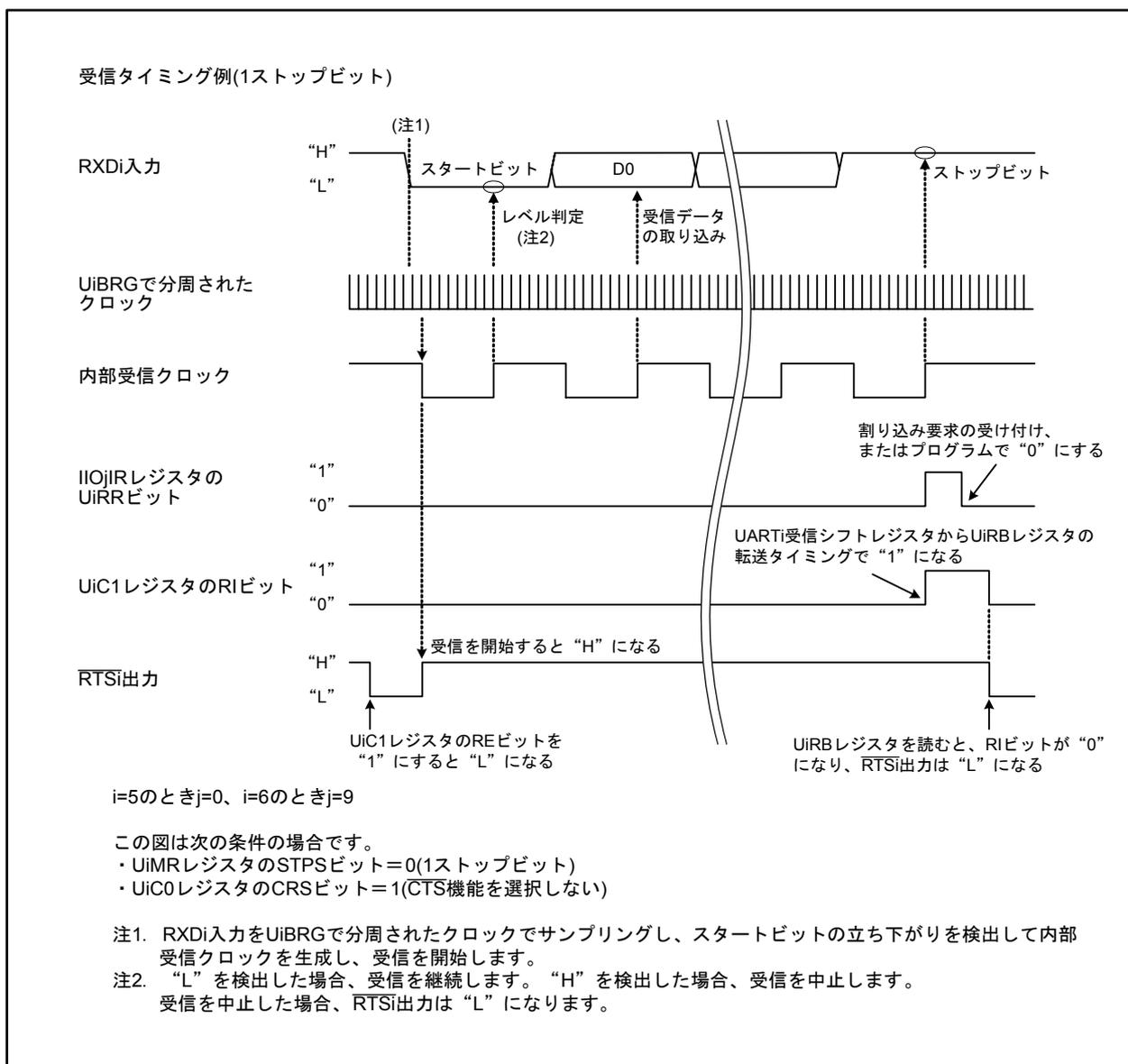


図 17.53 UARTモードの受信動作例

17.2.2.1 通信速度

UART モードは、UiBRG レジスタ (i=5,6) で分周した周波数の 16 分周が通信速度になります。表 17.24 に通信速度の設定例を示します。

$$\text{実際の通信速度} = \frac{\text{UiBRG レジスタのカウンタソース}}{16 \times (\text{UiBRG レジスタの設定値} + 1)}$$

表 17.24 通信速度の設定例

目標の通信速度 (bps)	UiBRG のカウンタソース	周辺機能クロック : 16MHz		周辺機能クロック : 24MHz		周辺機能クロック : 32MHz	
		UiBRG の設定値 : n	実際の通信速度 (bps)	UiBRG の設定値 : n	実際の通信速度 (bps)	UiBRG の設定値 : n	実際の通信速度 (bps)
1200	f8	103(67h)	1202	155(9Bh)	1202	207(CFh)	1202
2400	f8	51(33h)	2404	77(4Dh)	2404	103(67h)	2404
4800	f8	25(19h)	4808	38(26h)	4808	51(33h)	4808
9600	f1	103(67h)	9615	155(9Bh)	9615	207(CFh)	9615
14400	f1	68(44h)	14493	103(67h)	14423	138(8Ah)	14388
19200	f1	51(33h)	19231	77(4Dh)	19231	103(67h)	19231
28800	f1	34(22h)	28571	51(33h)	28846	68(44h)	28986
31250	f1	31(1Fh)	31250	47(2Fh)	31250	63(3Fh)	31250
38400	f1	25(19h)	38462	38(26h)	38462	51(33h)	38462
51200	f1	19(13h)	50000	28(1Ch)	51724	38(26h)	51282

17.2.2.2 ビットオーダ選択

図 17.54 に示すように、UiC0 レジスタ (i=5,6) の UFORM ビットで LSB ファーストまたは MSB ファーストを選択できます。この機能はデータ長 8 ビットのときに有効です。

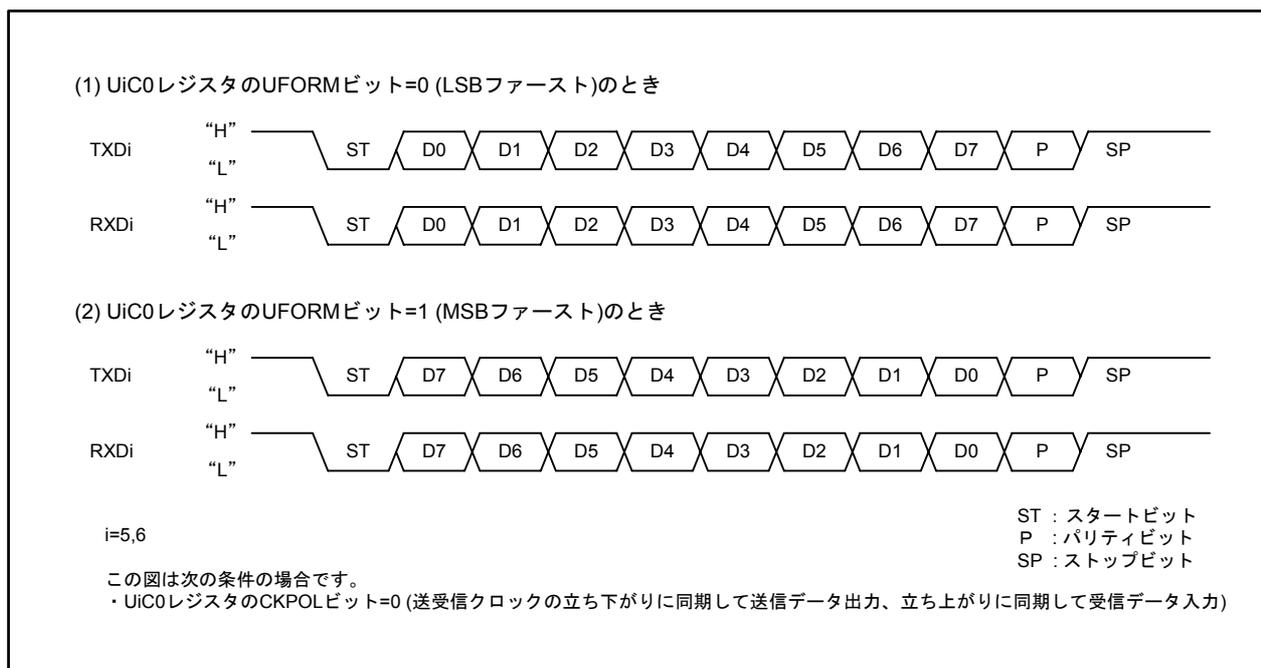


図 17.54 ビットオーダ

17.2.2.3 CTS / RTS 機能

・ CTS 機能

$\overline{\text{CTS}}_i$ 端子 ($i=5,6$) への入力信号で送信制御を行う機能です。CTS機能を使用する場合は、機能選択レジスタで入出力ポートを選択して、UiC0 レジスタのCRD ビットを“0” (CTS機能許可)、CRS ビットを“0” (CTS機能を選択する)にしてください。

CTS機能を選択時、次の条件を満たしたうえで、 $\overline{\text{CTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。

- ・ UiC1 レジスタのTE ビットが“1” (送信許可)
- ・ UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)

送信の最中に $\overline{\text{CTS}}_i$ 端子の入力レベルを“H”にした場合、次のデータから送信を停止します。

・ RTS 機能

受信準備が整ったことを外部デバイスに通知する機能です。RTS機能を使用する場合は、機能選択レジスタで $\overline{\text{RTS}}_i$ 端子を選択してください。

RTS機能選択時、次の条件を満たすと、 $\overline{\text{RTS}}_i$ 端子から“L”を出力し、スタートビットを検出すると、“H”を出力します。

- ・ UiC1 レジスタのRI ビットが“0” (UiRB レジスタにデータなし)
- ・ RE ビットが“1” (受信許可)

17.2.2.4 通信エラー発生時の対処方法

クロック非同期モードで通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1 レジスタ ($i=5,6$) のTE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止)にする。
- (2) UiMR レジスタのSMD2～SMD0 ビットを“000b” (シリアルインタフェースは無効)にする。
- (3) UiMR レジスタのSMD2～SMD0 ビットを“100b” (UARTモードデータ長7ビット)、“101b” (UARTモードデータ長8ビット)、“110b” (UARTモードデータ長9ビット)のいずれかにする。
- (4) UiC1 レジスタのTE ビットを“1” (送信許可)、RE ビットを“1” (受信許可)にする。

18. A/Dコンバータ

注意

A/Dコンバータは144ピン版を例に説明しています。
100ピン版にAN15_0～AN15_7端子はありません。

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

A/D変換した結果は、選択した端子に対応したAD0iレジスタ(i=0～7)に格納されます。ただし、DMAC利用モードを使用する場合はAD00レジスタのみへ格納されます。

表18.1にA/Dコンバータの仕様を、図18.1にブロック図を、図18.2～図18.6に関連レジスタを示します。

表18.1 A/Dコンバータの仕様

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧	0V～AVCC (VCC1)
動作クロックφAD(注1)	<ul style="list-style-type: none"> ・ fAD ・ fADの2分周 ・ fADの3分周 ・ fADの4分周 ・ fADの6分周 ・ fADの8分周
分解能	8ビットまたは10ビット
動作モード	<ul style="list-style-type: none"> ・ 単発モード ・ 繰り返しモード ・ 単掃引モード ・ 繰り返し掃引モード0 ・ 繰り返し掃引モード1 ・ マルチポート単掃引モード ・ マルチポート繰り返し掃引モード0
アナログ入力端子(注2)	144ピン版：34本 AN、AN0、AN2、AN15の各8本、拡張入力(ANEX0、ANEX1) 100ピン版：26本 AN、AN0、AN2の各8本、拡張入力(ANEX0、ANEX1)
A/D変換開始条件	<ul style="list-style-type: none"> ・ ソフトウェアトリガ AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする ・ 外部トリガ(再トリガ可能) ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子へ立ち下がりエッジを入力したとき ・ ハードウェアトリガ(再トリガ可能) ADSTビットを“1”にした後、三相モータ制御用タイマ機能(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生したとき
1端子あたりの変換速度	<ul style="list-style-type: none"> ・ サンプル&ホールドなし 分解能8ビットの場合49φADサイクル、分解能10ビットの場合59φADサイクル ・ サンプル&ホールドあり 分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクル

注1. VCC1 = 4.2～5.5Vのとき、φADの周波数を16MHz以下にしてください。

VCC1 = 3.0～5.5Vのとき、φADの周波数を10MHz以下にしてください。

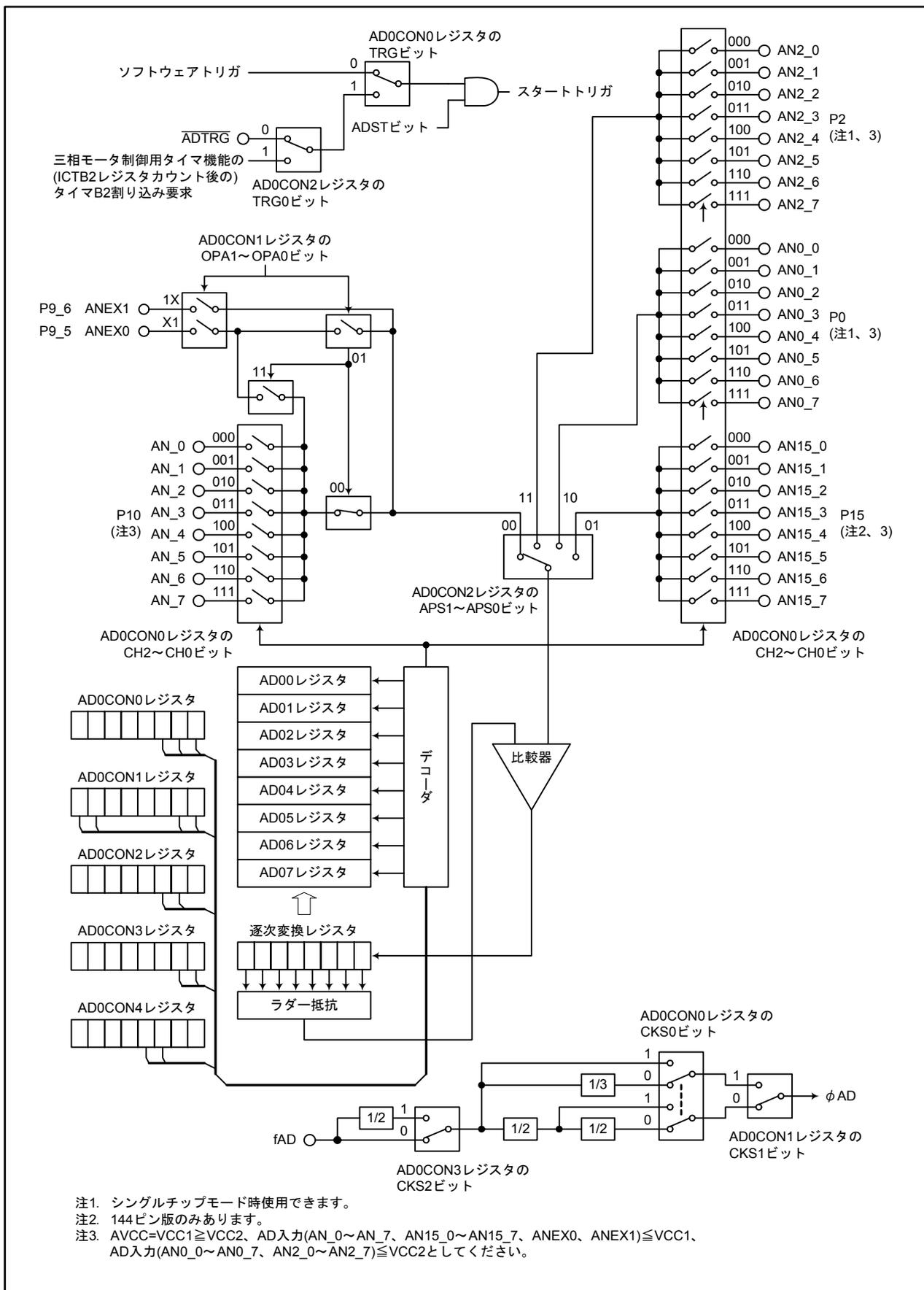
サンプル&ホールドなしのときφADの周波数は250kHz以上にしてください。

サンプル&ホールドありのときφADの周波数は1MHz以上にしてください。

注2. AVCC = VCC1 ≥ VCC2、

AD入力(AN_0～AN_7、AN15_0～AN15_7、ANEX0、ANEX1) ≤ VCC1、

AD入力(AN0_0～AN0_7、AN2_0～AN2_7) ≤ VCC2 としてください。



注1. シングルチップモード時使用できます。
 注2. 144ピン版のみあります。
 注3. AVCC=VCC1≧VCC2、AD入力(AN_0~AN_7、AN15_0~AN15_7、ANEX0、ANEX1)≦VCC1、
 AD入力(AN0_0~AN0_7、AN2_0~AN2_7)≦VCC2としてください。

図 18.1 A/Dコンバータのブロック図

A/D0制御レジスタ0 (注1)

ビットシンボル	ビット名	機能	RW
b7	AD0CON0	0396h番地	リセット後の値 00h
b6	CH0	アナログ入力端子選択ビット (注2、3)	RW
b5	CH1		
b4	CH2		
b3	MD0	A/D動作モード選択ビット0 (注2)	RW
b2	MD1		
b1	TRG	トリガ選択ビット	RW
b0	ADST	A/D変換開始ビット	RW
	CKS0	周波数選択ビット0	RW

- 注1. A/D変換中にAD0CON0レジスタの内容を書き換えた場合、変換結果は不定になります。
- 注2. A/D動作モードを変更した場合には、あらかじめアナログ入力端子の設定をしてください。
- 注3. CH2～CH0ビットは、単発モード、繰り返しモードで有効です。
- 注4. TRGビットを“1”にする場合は、AD0CON2レジスタのTRG0ビットでトリガ要因を選択し、TRGビットを“1”にした後、ADSTビットを“1”にしてください。
- 注5. VCC1=4.2～5.5Vのとき、φADの周波数は16MHz以下にしてください。
VCC1=3.0～5.5Vのとき、φADの周波数は10MHz以下にしてください。
φADはCKS0ビットとAD0CON1レジスタのCKS1ビット、AD0CON3レジスタのCKS2ビットの組み合わせで選択できます。

AD0CON3レジスタのCKS2ビット	AD0CON0レジスタのCKS0ビット	AD0CON1レジスタのCKS1ビット	φAD
0	0	0	fADの4分周
		1	fADの3分周
	1	0	fADの2分周
		1	fAD
1	0	0	fADの8分周
		1	fADの6分周

図 18.2 AD0CON0 レジスタ

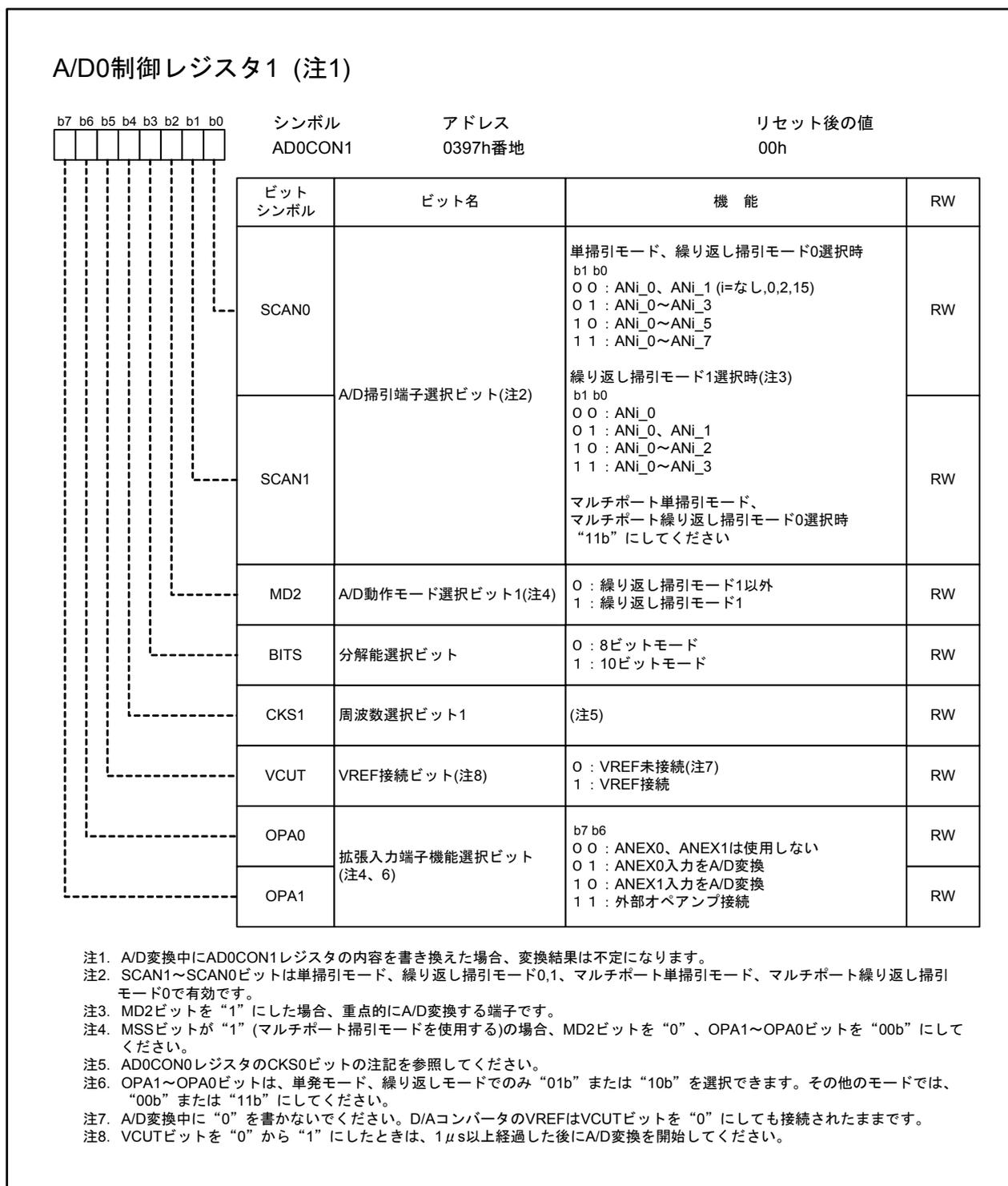


図 18.3 AD0CON1 レジスタ

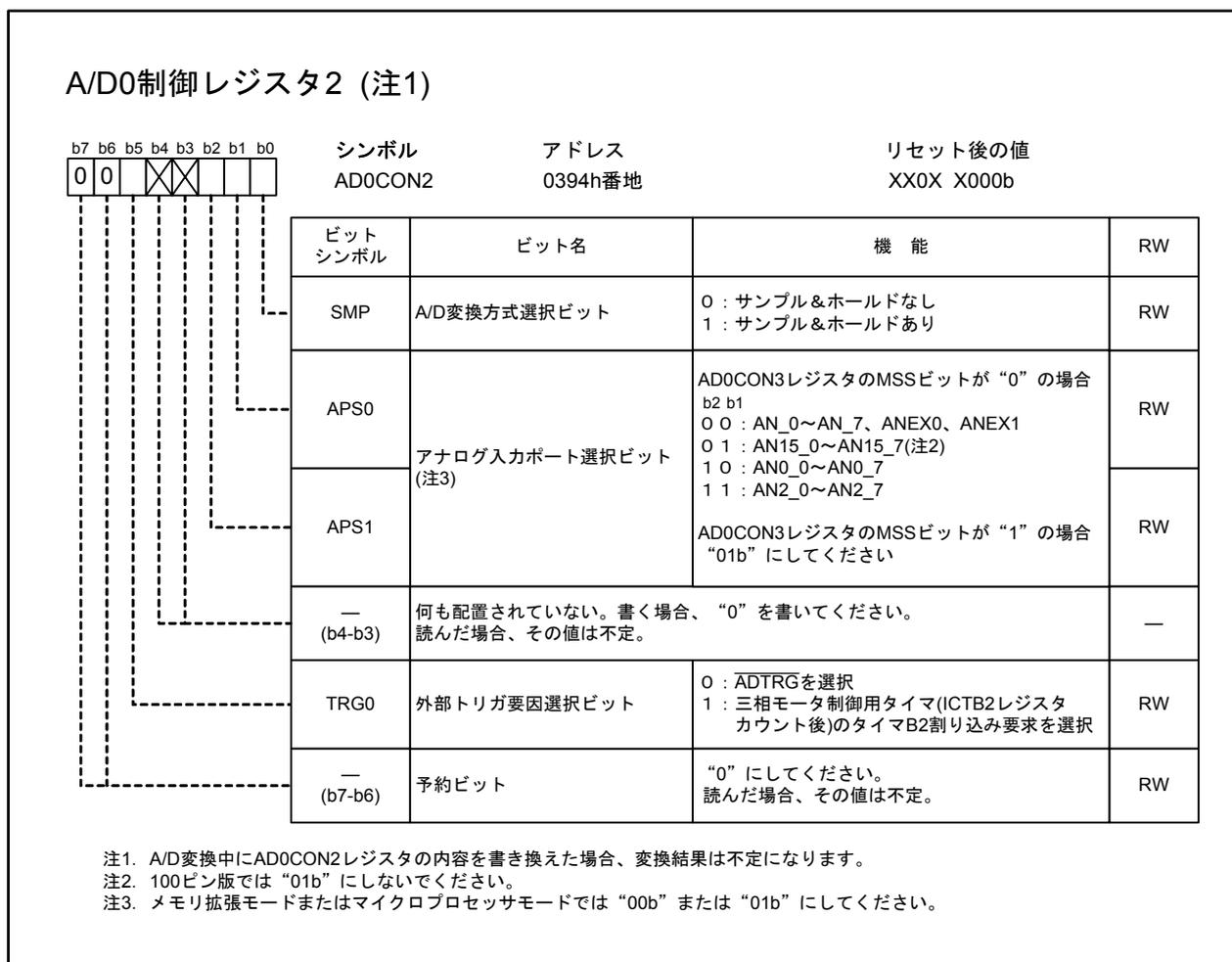


図18.4 AD0CON2レジスタ

A/D0制御レジスタ3 (注1、2)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0 0			
シンボル アドレス リセット後の値 AD0CON3 0395h番地 XXXX X000b			
DUS	DMAC利用モード選択ビット	0 : DMAC利用モードを使用しない 1 : DMAC利用モードを使用する	RW
MSS	マルチポート掃引モード 選択ビット	0 : マルチポート掃引モードを使用しない 1 : マルチポート掃引モードを使用する(注3)	RW
CKS2	周波数選択ビット2	(注4)	RW
MSF0	マルチポート掃引ステータス フラグ(注5)	b4 b3 0 0 : AN ₀ ~AN ₇ 0 1 : AN15 ₀ ~AN15 ₇ 1 0 : AN ₀ ₀ ~AN ₀ ₇ 1 1 : AN2 ₀ ~AN2 ₇	RO
MSF1			RO
— (b7-b5)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。	RW

- 注1. A/D変換中にAD0CON3レジスタの内容を書き換えた場合、変換結果は不定になります。
- 注2. A/D変換中は、正しい値が読み出せない場合があります。停止させてから読み出し、書き込みをしてください。
- 注3. MSSビットを“1”にする場合、次の設定をしてください。
- ・DUSビットを“1”にしてDMACを設定
 - ・AD0CON0レジスタのMD1~MD0ビットを“10b”または“11b”
 - ・AD0CON1レジスタのSCAN1~SCAN0を“11b”、MD2ビットを“0”、OPA1~OPA0ビットを“00b”
 - ・AD0CON2レジスタのAPS1~APS0ビットを“01b”
 - ・AD0CON4レジスタのMPS11~MPS10ビットを“01b”または“10b”または“11b”
- 注4. AD0CON0レジスタのCKS0ビットの注記を参照してください。
- 注5. MSSビットが“1”の場合、有効です。MSSビットが“0”の場合、読んだ値は不定です。

図 18.5 AD0CON3 レジスタ

A/D0制御レジスタ4 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0			0	0

シンボル
AD0CON4アドレス
0392h番地リセット後の値
XXXX 00XXb

ビットシンボル	ビット名	機能	RW
— (b1-b0)	予約ビット	“0”にしてください。 読んだ場合、その値は不定。	RW
MPS10	マルチポート掃引ポート 選択ビット(注2、3)	b3 b2 0 0 : (注4) 0 1 : AN_0~AN_7, AN15_0~AN15_7 1 0 : AN_0~AN_7, AN0_0~AN0_7 1 1 : AN_0~AN_7, AN2_0~AN2_7	RW
MPS11			RW
— (b7-b4)	予約ビット	“0”にしてください。 読んだ場合、その値は不定。	RW

注1. A/D変換中にAD0CON4レジスタの内容を書き換えた場合、変換結果は不定になります。

注2. 100ピン版では“01b”に設定しないでください。

注3. メモリ拡張モード、またはマイクロプロセッサモードでは、“10b”または“11b”に設定しないでください。

注4. AD0CON3レジスタのMSSビットが“0” (マルチポート掃引モードを使用しない)の場合、“00b”にしてください。
MSSビットが“1” (マルチポート掃引モードを使用する)の場合、“00b”以外を設定してください。

A/D0レジスタ*i* (*i*=0~7)(注1、2、3、4)

b15	b8	b7	b0
0	0	0	0

シンボル

アドレス

リセット後の値

AD00

0381h - 0380h番地

00000000 XXXXXXXXb

AD01~AD03

0383h - 0382h, 0385h - 0384h, 0387h - 0386h番地

00000000 XXXXXXXXb

AD04~AD06

0389h - 0388h, 038Bh - 038Ah, 038Dh - 038Ch番地

00000000 XXXXXXXXb

AD07

038Fh - 038Eh番地

00000000 XXXXXXXXb

機能	RW
A/D変換結果の下位8ビット	RO
10ビットモード時：A/D変換結果の上位2ビット 8ビットモード時：読んだ場合、その値は“0”	RO
予約ビット。読んだ場合、その値は“0”。	RO

注1. DMAC利用モード時プログラムで読む場合、読んだ値は不定です。

注2. レジスタを読み出す前に、次のA/D変換結果が格納された場合、その値は不定です。

注3. DMAC利用モード時は、AD00レジスタのみ有効です。その他のレジスタ値は不定です。

注4. DMAC利用モードかつ10ビットモード時は、DMACを16ビット転送にしてください。

図 18.6 AD0CON4 レジスタ、AD00~AD07 レジスタ

他の周辺機能入力と端子を共用している場合、中間電位が端子にかかると貫通電流が流れることがあります。貫通電流を防止するため制御ビットを“1”にし、端子を共用している他の周辺機能入力を端子から切り離してください。表 18.2 にアナログ入力端子を使用する場合の設定を示します。

表 18.2 アナログ入力端子を使用する場合の設定

ポート名	端子	制御ビット			
		IPSBレジスタ	IPSレジスタ	PSCレジスタ	PSL3レジスタ
P9_5	ANEX0	—	—	—	PSL3_5=1
P9_6	ANEX1	—	—	—	PSL3_6=1
P10_4	AN_4	—	—	PSC_7=1	—
P10_5	AN_5	—	—		—
P10_6	AN_6	—	—		—
P10_7	AN_7	—	—		—
P15_0	AN15_0	IPSB_0=1	IPS2=1(注1)	—	—
P15_1	AN15_1	IPSB_1=1		—	—
P15_2	AN15_2	IPSB_2=1		—	—
P15_3	AN15_3	IPSB_3=1		—	—
P15_4	AN15_4	IPSB_4=1		—	—
P15_5	AN15_5	IPSB_5=1		—	—
P15_6	AN15_6	IPSB_6=1		—	—
P15_7	AN15_7	IPSB_7=1		—	—

注1. IPSB_iビット(i=0~7)を“1”にすると、P15_iと端子を共用している周辺機能入力が切り離されます。IPS2ビットを“1”にすると、P15の全端子の周辺機能入力が切り離されます。

18.1 モードの説明

A/Dコンバータには、次の7種類のモードがあります。表 18.3 に各モードを使用する場合の設定を示します。

表 18.3 各モードを使用する場合の設定

モード	AD0CON0レジスタ		AD0CON1レジスタ	AD0CON3レジスタ	
	MD1ビット	MD0ビット	MD2ビット	MSSビット	DUSビット
単発モード	0	0	0	0	—
繰り返しモード	0	1	0	0	—
単掃引モード	1	0	0	0	—
繰り返し掃引モード0	1	1	0	0	—
繰り返し掃引モード1	1	1	1	0	—
マルチポート単掃引モード	1	0	0	1	1
マルチポート繰り返し掃引モード0	1	1	0	1	1

— : 0でも1でもよい

18.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表18.4に単発モードの仕様を示します。

表18.4 単発モードの仕様

項目	仕様
機能	選択した1本の端子の入力電圧を1回A/D変換する
入力端子	ANi_0～ANi_7(i=なし,0,2,15)、ANEX0、ANEX1から1端子を選択 端子は次のレジスタを設定して選択する <ul style="list-style-type: none"> ・AD0CON0レジスタのCH2～CH0ビット ・AD0CON1レジスタのOPA1～OPA0ビット ・AD0CON2レジスタのAPS1～APS0ビット
開始条件	ソフトウェアトリガ選択時(AD0CON0レジスタのTRGビットが“0”) AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時(TRGビットが“1”) AD0CON2レジスタのTRG0ビットで選択する <ul style="list-style-type: none"> ・TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力したとき ・TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ(ICTB2レジスタ カウント後)のタイマB2割り込み要求が発生したとき
停止条件	<ul style="list-style-type: none"> ・A/D変換終了(ソフトウェアトリガ選択時ADSTビットは“0”になる) ・ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生 タイミング	A/D変換終了時
A/D変換値の読み出し	DMAC利用モードを使用しない場合(AD0CON3レジスタのDUSビットが“0”) 選択した端子に対応したAD0jレジスタ(j=0～7)を読み出す DMAC利用モードを使用する場合(DUSビットが“1”) A/D変換終了後、A/D変換結果はAD00レジスタへ格納される DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する (「13.DMAC」を参照し、DMACを設定してください)

18.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表18.5に繰り返しモードの様を示します。

表 18.5 繰り返しモードの仕様

項目	仕様
機能	選択した1本の端子の入力電圧を繰り返しA/D変換する
入力端子	ANi_0～ANi_7(i=なし,0,2,15)、ANEX0、ANEX1から1端子を選択 端子は次のレジスタを設定して選択する <ul style="list-style-type: none"> ・AD0CON0レジスタのCH2～CH0ビット ・AD0CON1レジスタのOPA1～OPA0ビット ・AD0CON2レジスタのAPS1～APS0ビット
開始条件	ソフトウェアトリガ選択時(AD0CON0レジスタのTRGビットが“0”) <ul style="list-style-type: none"> AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時(TRGビットが“1”) <ul style="list-style-type: none"> AD0CON2レジスタのTRG0ビットで選択する <ul style="list-style-type: none"> ・TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力したとき ・TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生したとき
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生 タイミング	DMAC利用モードを使用しない場合(AD0CON3レジスタのDUSビットが“0”) <ul style="list-style-type: none"> 発生しない DMAC利用モードを使用する場合(DUSビットが“1”) <ul style="list-style-type: none"> 各A/D変換終了時
A/D変換値の読み出し	DMAC利用モードを使用しない場合 <ul style="list-style-type: none"> 選択した端子に対応したAD0jレジスタ(j=0～7)を読み出す DMAC利用モードを使用する場合 <ul style="list-style-type: none"> A/D変換終了後、A/D変換結果はAD00レジスタへ格納される DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する(「13.DMAC」を参照し、DMACを設定してください)

18.1.3 単掃引モード

選択した複数の端子の入力電圧を1回ずつA/D変換するモードです。表18.6に単掃引モードの仕様を示します。

表 18.6 単掃引モードの仕様

項目	仕様
機能	選択した複数の端子の入力電圧を1回ずつA/D変換する
入力端子	<ul style="list-style-type: none"> ・ 2端子 (ANi_0 ~ ANi_1) (i=なし, 0, 2, 15) ・ 4端子 (ANi_0 ~ ANi_3) ・ 6端子 (ANi_0 ~ ANi_5) ・ 8端子 (ANi_0 ~ ANi_7) から選択 端子は次のレジスタを設定して選択する <ul style="list-style-type: none"> ・ AD0CON1レジスタのSCAN1 ~ SCAN0ビット ・ AD0CON2レジスタのAPS1 ~ APS0ビット
開始条件	ソフトウェアトリガ選択時 (AD0CON0レジスタのTRGビットが“0”) <ul style="list-style-type: none"> AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時 (TRGビットが“1”) <ul style="list-style-type: none"> AD0CON2レジスタのTRG0ビットで選択する ・ TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力したとき ・ TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ (ICTB2レジスタカウント後)のタイマB2割り込み要求が発生したとき
停止条件	<ul style="list-style-type: none"> ・ 掃引終了 (ソフトウェアトリガ選択時ADSTビットは“0”になる) ・ ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	DMAC利用モードを使用しない場合 (AD0CON3レジスタのDUSビットが“0”) <ul style="list-style-type: none"> 掃引終了時 DMAC利用モードを使用する場合 (DUSビットが“1”) <ul style="list-style-type: none"> 各A/D変換終了時
A/D変換値の読み出し	DMAC利用モードを使用しない場合 <ul style="list-style-type: none"> 選択した端子に対応したAD0jレジスタ (j=0 ~ 7)を読み出す DMAC利用モードを使用する場合 <ul style="list-style-type: none"> A/D変換終了後、A/D変換結果はAD00レジスタへ格納される DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する (「13.DMAC」を参照し、DMACを設定してください)

18.1.4 繰り返し掃引モード0

選択した複数の端子の入力電圧を繰り返しA/D変換するモードです。表18.7に繰り返し掃引モード0の仕様を示します。

表 18.7 繰り返し掃引モード0の仕様

項目	仕様
機能	選択した複数の端子の入力電圧を繰り返しA/D変換する
入力端子	<ul style="list-style-type: none"> ・ 2端子 (ANi_0 ~ ANi_1) ・ 4端子 (ANi_0 ~ ANi_3) ・ 6端子 (ANi_0 ~ ANi_5) ・ 8端子 (ANi_0 ~ ANi_7) (i=なし,0,2,15) から選択 端子は次のレジスタを設定して選択する <ul style="list-style-type: none"> ・ AD0CON1レジスタのSCAN1 ~ SCAN0ビット ・ AD0CON2レジスタのAPS1 ~ APS0ビット
開始条件	ソフトウェアトリガ選択時 (AD0CON0レジスタのTRGビットが“0”) <ul style="list-style-type: none"> AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時 (TRGビットが“1”) <ul style="list-style-type: none"> AD0CON2レジスタのTRG0ビットで選択する ・ TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力したとき ・ TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ (ICTB2レジスタカウンタ後)のタイマB2割り込み要求が発生したとき
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	DMAC利用モードを使用しない場合 (AD0CON3レジスタのDUSビットが“0”) <ul style="list-style-type: none"> 発生しない DMAC利用モードを使用する場合 (DUSビットが“1”) <ul style="list-style-type: none"> 各A/D変換終了時
A/D変換値の読み出し	DMAC利用モードを使用しない場合 <ul style="list-style-type: none"> 選択した端子に対応したAD0jレジスタ (j=0 ~ 7)を読み出す DMAC利用モードを使用する場合 <ul style="list-style-type: none"> A/D変換終了後、A/D変換結果はAD00レジスタへ格納される DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する (「13.DMAC」を参照し、DMACを設定してください)

18.1.5 繰り返し掃引モード1

選択した複数の端子に重点をおいて、8本の端子の入力電圧を繰り返しA/D変換するモードです。表18.8に繰り返し掃引モード1の仕様を示します。

表 18.8 繰り返し掃引モード1の仕様

項目	仕様
機能	選択した1~4本の端子に重点をおいて、計8本の端子の入力電圧を繰り返しA/D変換する
入力端子	ANi_0~ANi_7(8端子)(i=なし,0,2,15)
重点的にA/D変換する端子	<ul style="list-style-type: none"> ・1端子(ANi_0) ・2端子(ANi_0~ANi_1) ・3端子(ANi_0~ANi_2) ・4端子(ANi_0~ANi_3) から選択 端子は次のレジスタを設定して選択する <ul style="list-style-type: none"> ・AD0CON1レジスタのSCAN1~SCAN0ビット ・AD0CON2レジスタのAPS1~APS0ビット
開始条件	ソフトウェアトリガ選択時(AD0CON0レジスタのTRGビットが“0”) <ul style="list-style-type: none"> AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時(TRGビットが“1”) <ul style="list-style-type: none"> AD0CON2レジスタのTRG0ビットで選択する ・TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がリエッジを入力したとき ・TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ(ICTB2レジスタカウンタ後)のタイマB2割り込み要求が発生したとき (外部トリガの再トリガは無効です)
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	DMAC利用モードを使用しない場合(AD0CON3レジスタのDUSビットが“0”) <ul style="list-style-type: none"> 発生しない DMAC利用モードを使用する場合(DUSビットが“1”) <ul style="list-style-type: none"> 各A/D変換終了時
A/D変換値の読み出し	DMAC利用モードを使用しない場合 <ul style="list-style-type: none"> 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出す DMAC利用モードを使用する場合 <ul style="list-style-type: none"> A/D変換終了後、A/D変換結果はAD00レジスタへ格納される DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する (「13.DMAC」を参照し、DMACを設定してください)

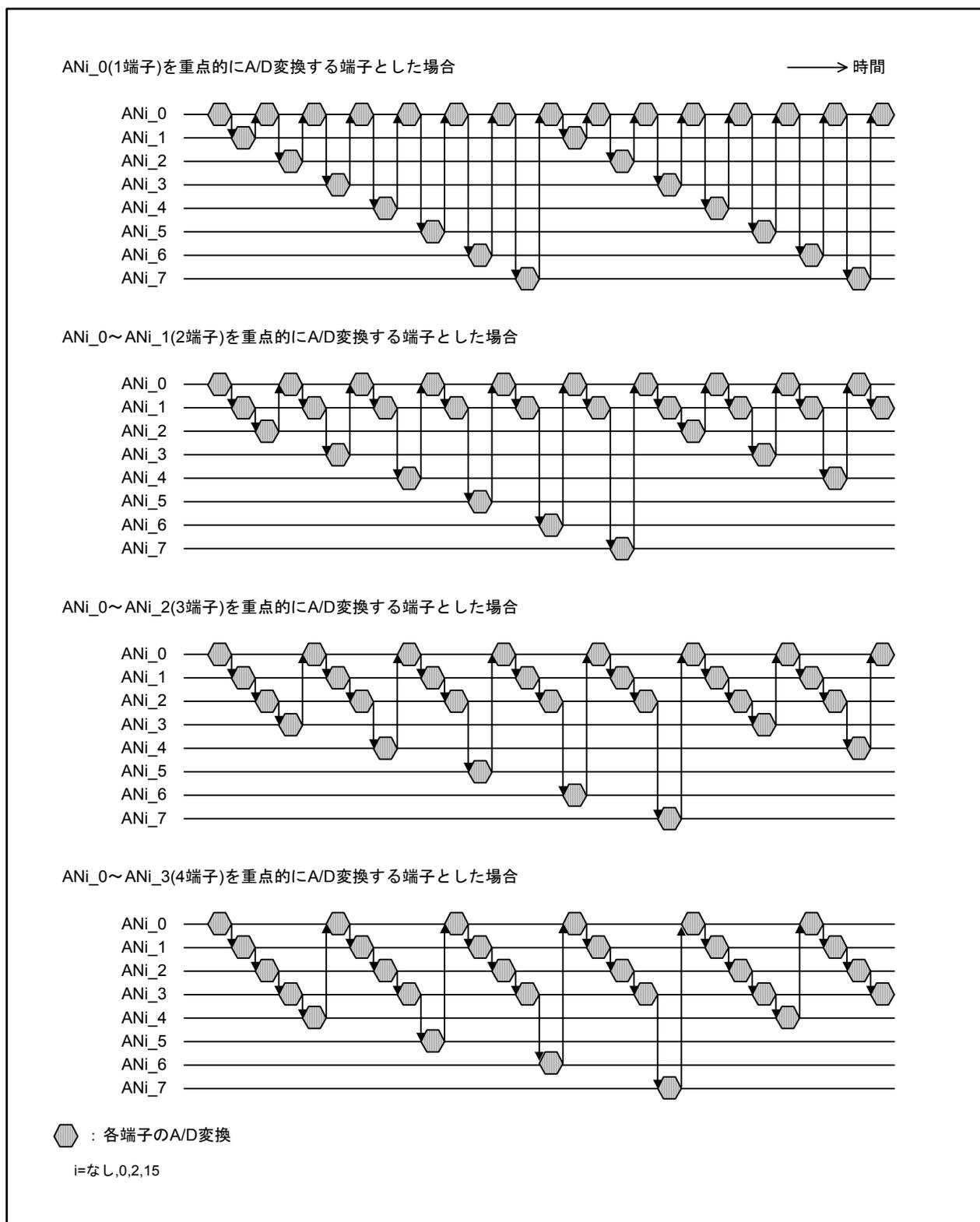


図18.7 繰り返し掃引モード1でA/D変換する端子の遷移図

18.1.6 マルチポート単掃引モード

選択した16本の端子の入力電圧を1回ずつ変換するモードです。

AD0CON3レジスタのDUSビットを“1”(DMAC利用モードを使用する)にしてください。

表18.9にマルチポート単掃引モードの仕様を示します。

表 18.9 マルチポート単掃引モードの仕様

項目	仕様
機能	選択した16本の端子の入力電圧をAN_0~AN_7→ANi_0~ANi_7(i=0,2,15)の順で、1回ずつA/D変換する
入力端子	<ul style="list-style-type: none"> ・ AN_0→AN_1→…→AN_7→AN0_0→AN0_1→…→AN0_7 ・ AN_0→AN_1→…→AN_7→AN2_0→AN2_1→…→AN2_7 ・ AN_0→AN_1→…→AN_7→AN15_0→AN15_1→…→AN15_7 から選択端子は次のレジスタを設定して選択する <ul style="list-style-type: none"> ・ AD0CON4レジスタのMPS11~MPS10ビット
開始条件	<p>ソフトウェアトリガ選択時(AD0CON0レジスタのTRGビットが“0”)</p> <p>AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする</p> <p>外部トリガ、ハードウェアトリガ選択時(TRGビットが“1”)</p> <p>AD0CON2レジスタのTRG0ビットで選択する</p> <ul style="list-style-type: none"> ・ TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力したとき ・ TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生したとき
停止条件	<ul style="list-style-type: none"> ・ 掃引終了(ソフトウェアトリガ選択時ADSTビットは“0”になる) ・ ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	各A/D変換終了時 (AD0CON3レジスタのDUSビットを“1”にしてください)
A/D変換値の読み出し	A/D変換終了後、A/D変換結果は全てAD00レジスタへ格納される DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する (DUSビットを“1”にして「13.DMAC」を参照し、DMACを設定してください)

18.1.7 マルチポート繰り返し掃引モード0

選択した16本の端子の入力電圧を繰り返し変換するモードです。

AD0CON3レジスタのDUSビットを“1”(DMAC利用モードを使用する)にしてください。

表18.10にマルチポート繰り返し掃引モード0の仕様を示します。

表18.10 マルチポート繰り返し掃引モード0の仕様

項目	仕様
機能	選択した16本の端子の入力電圧をAN ₀ ~AN ₇ →AN _i ₀ ~AN _i ₇ (i=0,2,15)の順で、繰り返しA/D変換する
入力端子	<ul style="list-style-type: none"> ・ AN₀→AN₁→…→AN₇→AN₀₀→AN₀₁→…→AN₀₇ ・ AN₀→AN₁→…→AN₇→AN₂₀→AN₂₁→…→AN₂₇ ・ AN₀→AN₁→…→AN₇→AN₁₅₀→AN₁₅₁→…→AN₁₅₇ から選択 端子は次のレジスタを設定して選択する <ul style="list-style-type: none"> ・ AD0CON4レジスタのMPS11~MPS10ビット
開始条件	ソフトウェアトリガ選択時(AD0CON0レジスタのTRGビットが“0”) <ul style="list-style-type: none"> AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時(TRGビットが“1”) <ul style="list-style-type: none"> AD0CON2レジスタのTRG0ビットで選択する <ul style="list-style-type: none"> ・ TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がリエッジを入力したとき ・ TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生したとき
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	各A/D変換終了時 (AD0CON3レジスタのDUSビットを“1”にしてください)
A/D変換値の読み出し	A/D変換終了後、A/D変換結果は全てAD00レジスタへ格納される DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する (DUSビットを“1”にして「13.DMAC」を参照し、DMACを設定してください)

18.2 機能

18.2.1 分解能

AD0CON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度を10ビット)にすると、A/D変換結果がAD0jレジスタ(j=0~7)のビット0~9に格納されます。BITSビットを“0”(変換精度を8ビット)にすると、A/D変換結果がAD0jレジスタのビット0~7に格納されます。

18.2.2 サンプル&ホールド

AD0CON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルになります。サンプル&ホールドは、すべての動作モードで有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

18.2.3 トリガ選択機能

AD0CON0レジスタのTRGビットとAD0CON2レジスタのTRG0ビットの組み合わせにより、A/D変換の開始トリガを選択できます。表18.11にトリガ選択機能の設定値を示します。

表 18.11 トリガ選択機能の設定値

ビットと設定値		トリガ
AD0CON0 レジスタ	AD0CON2 レジスタ	
TRG=0	—	ソフトウェアトリガ AD0CON0レジスタのADSTビットをプログラムで“1”にするとA/D変換を開始
TRG=1 (注1)	TRG0=0	外部トリガ(注2) ADTRG入力信号の立ち下がり
	TRG0=1	ハードウェアトリガ(注2) 三相モータ制御用タイマ(ICTB2カウンタのカウント後)のタイマB2割り込み要求

注1. ADSTビットが“1”(A/D変換開始)の状態、トリガが発生するとA/D変換を開始します。

注2. A/D変換中に外部トリガまたはハードウェアトリガが入力されると、再度A/D変換を開始します(それまで行っていたA/D変換は中断されます)。

18.2.4 DMAC利用モード

全てのモードでDMAC利用モードが使用できます。マルチポート単掃引モードとマルチポート繰り返し掃引モード0の場合は、必ずDMAC利用モードを使用してください。AD0CON3レジスタのDUSビットを“1”(DMAC利用モードを使用する)にすると、A/D変換結果は全てAD00レジスタへ格納されます。DMACを利用することで、AD00レジスタから任意のメモリ領域へ1端子のA/D変換終了ごとにDMA転送が行われます。分解能が8ビットの場合は8ビット転送を、分解能が10ビットの場合は16ビット転送を設定してください。DMACの使用方法については、「13.DMAC」を参照してください。また、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0でDMAC利用モードを使用する場合、外部トリガまたはハードウェアトリガの再トリガを行わないでください。

18.2.5 拡張アナログ入力端子

単発モードと繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。AD0CON1レジスタのOPA1~OPA0ビットで選択してください。ANEX0入力のA/D変換結果はAD00レジスタへ、ANEX1入力のA/D変換結果はAD01レジスタへ格納されます。ただし、AD0CON3レジスタのDUSビットが“1”(DMAC利用モードを使用する)の場合、AD00レジスタへ格納されます。

AD0CON2レジスタのAPS1~APS0ビットは“00b”(AN_0~AN_7、ANEX0、ANEX1)、AD0CON3レジスタのMSSビットは“0”(マルチポート掃引モードを使用しない)にしてください。

18.2.6 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

AD0CON1レジスタのOPA1～OPA0ビットが“11b”(外部オペアンプ接続)のとき、AN_0～AN_7の入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。

A/D変換は、ANEX1入力に対して行われ、A/D変換結果は対応するAD0jレジスタ(j=0～7)に格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子を直結しないでください。

AD0CON2レジスタのAPS1～APS0ビットは“00b”(AN_0～AN_7、ANEX0、ANEX1)にしてください。

図18.8に外部オペアンプ接続モードの接続例を示します。

表 18.12 拡張アナログの入力端子設定

AD0CON1レジスタ		ANEX0の機能	ANEX1の機能
OPA1	OPA0		
0	0	使用しない	使用しない
0	1	P9_5 / アナログ入力	使用しない
1	0	使用しない	P9_6 / アナログ入力
1	1	外部オペアンプへの出力	外部オペアンプからの入力

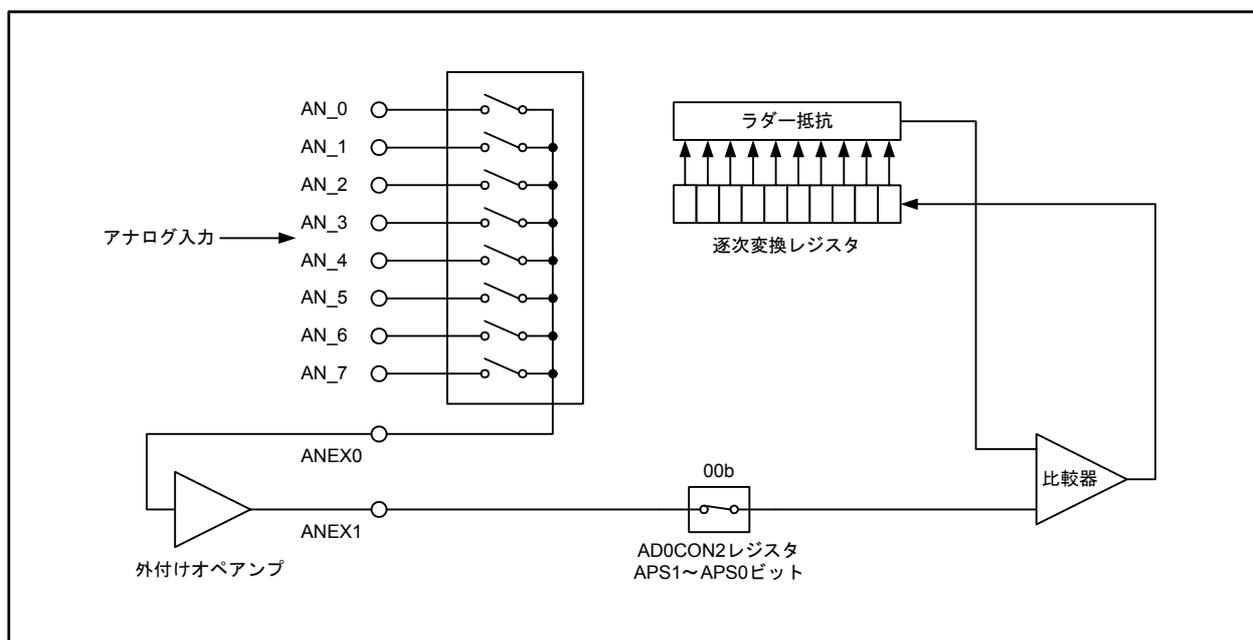


図 18.8 外部オペアンプ接続モードの接続例

18.2.7 消費電流低減機能

A/Dコンバータを使用しないとき、AD0CON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1”(VREF接続)にした後で、AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。

なお、A/D変換中にVCUTビットを“0”(VREF未接続)にしないでください。

また、D/AコンバータのVREFはVCUTビットを“0”にしても接続されたままです。

18.3 AD0iレジスタ (i=0~7)の読み出し

命令を使ってAD0iレジスタを読み出す場合、次の手順で行ってください。

- 単発モードまたは単掃引モードの場合
A/D変換が完了したことを確認してから、対象となるAD0iレジスタを読んでください。A/D変換が完了するとAD0ICレジスタのIRビットが“1”になります。
- 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1の場合
次のようにCPUクロックを設定した後、AD0iレジスタを読んでください。
 - (1) PM2レジスタのPM24ビットを“0”(CPUクロックはCM07ビットで選択したクロック)
 - (2) CM0レジスタのCM07ビットを“0”(CPUクロックはCM21ビットで選択したクロックをMCDレジスタで分周したクロック)
 - (3) MCDレジスタを“12h”(分周なし)

18.4 A/D変換時のセンサの出力インピーダンス

A/D変換を正しく行うためには、図18.9の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサの等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$\text{内部コンデンサの電位 } VC \text{ は } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=T \text{ のとき、 } VC = VIN - \frac{X}{Y}VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、 } R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図18.9にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が1LSBとなると、時間TでコンデンサCの端子間電圧VCが0からVIN-(1/1024)VINになるインピーダンスR0を求めます。(1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を1LSBにおさえることを意味します。ただし、実際の誤差は1LSBに絶対精度が加わった値です。

φAD=10MHzの時、サンプル&ホールド付きA/D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

$$T = 0.3\mu\text{s}, R = 2.0\text{k}\Omega, C = 9.0\text{pF}, X = 1, Y = 1024 \quad \text{だから、}$$

$$R0 = -\frac{0.3 \times 10^{-6}}{9.0 \times 10^{-12} \cdot \ln \frac{1}{1024}} - 2.0 \times 10^3 \approx 2.8 \times 10^3 \Omega$$

したがって、A/Dコンバータの精度(誤差)を1LSB以下にするセンサ回路の出力インピーダンスR0は最大2.8kΩになります。

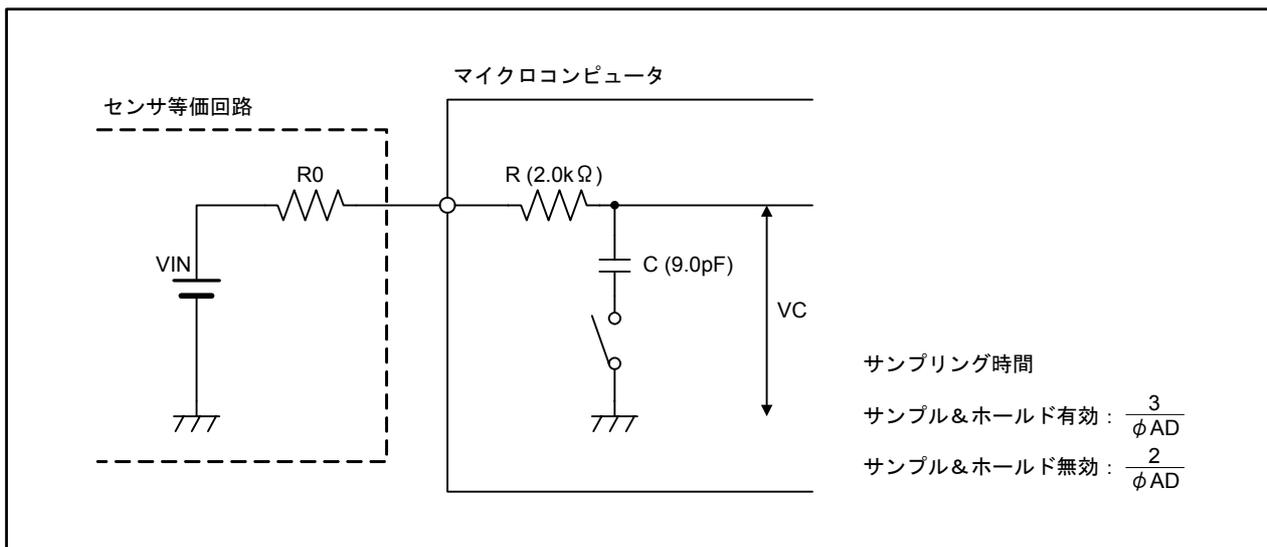


図 18.9 アナログ入力端子と外部センサの等価回路例

19. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータが2回路あります。

D/A変換は、DACON1レジスタのDAI1～DAI0ビット(i=0,1)が“00b”の場合、DAiレジスタに値を書いたとき行われます。DAI1～DAI0ビットが“01b”、“10b”、“11b”の場合、選択したタイマがアンダフローしたときにDAiレジスタの値がDAiバッファに転送され、D/A変換されます。リセット後、DAiバッファの値は“00h”です。

変換結果を出力するかどうかはDACONレジスタのDAiEビットで選択してください。DAiEビットを“1”(出力許可)にすると対応するポートのプルアップは禁止されます。

D/Aコンバータを使用しないときは、DAiレジスタ、DACON1レジスタを“00h”に、DAiEビットを“0”(出力禁止)にしてください。

出力されるアナログ電圧(V)は、DAiレジスタに設定した値nで決まります。

$$V = \frac{VREF \times n}{256} \quad n: 0 \sim 255$$

VREF: 基準電圧(D/AコンバータのVREFは、AD0CON1レジスタのVCUTビットを“0”にしても接続されたままです。)

表19.1にD/Aコンバータの仕様を、図19.1にブロック図を、表19.2にDA0、DA1端子を使用する場合の設定を、図19.2に関連レジスタを、図19.3に等価回路を示します。

表19.1 D/Aコンバータの仕様

項目	仕様
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

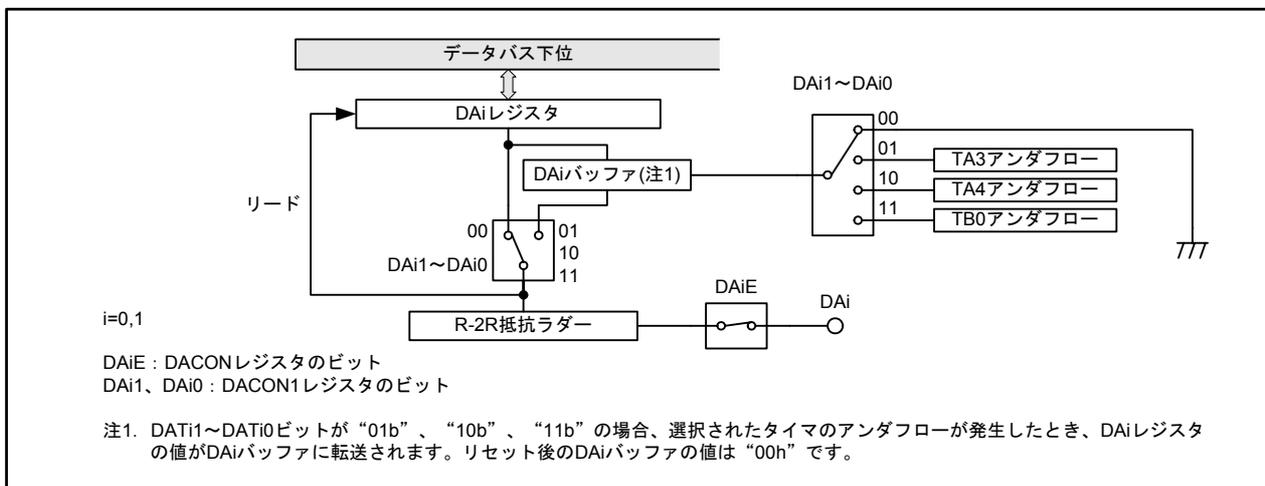


図19.1 D/Aコンバータのブロック図

表19.2 DA0、DA1端子を使用する場合の設定

ポート名	機能	ビットと設定値		
		PD9レジスタ(注2)	PSL3レジスタ	PS3レジスタ(注1、2)
P9_3	DA0出力	PD9_3=0	PSL3_3=1	PS3_3=0
P9_4	DA1出力	PD9_4=0	PSL3_4=1	PS3_4=0

注1. PS3レジスタは最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に割り込みやDMA転送、DMACII転送が入らないようにしてください。

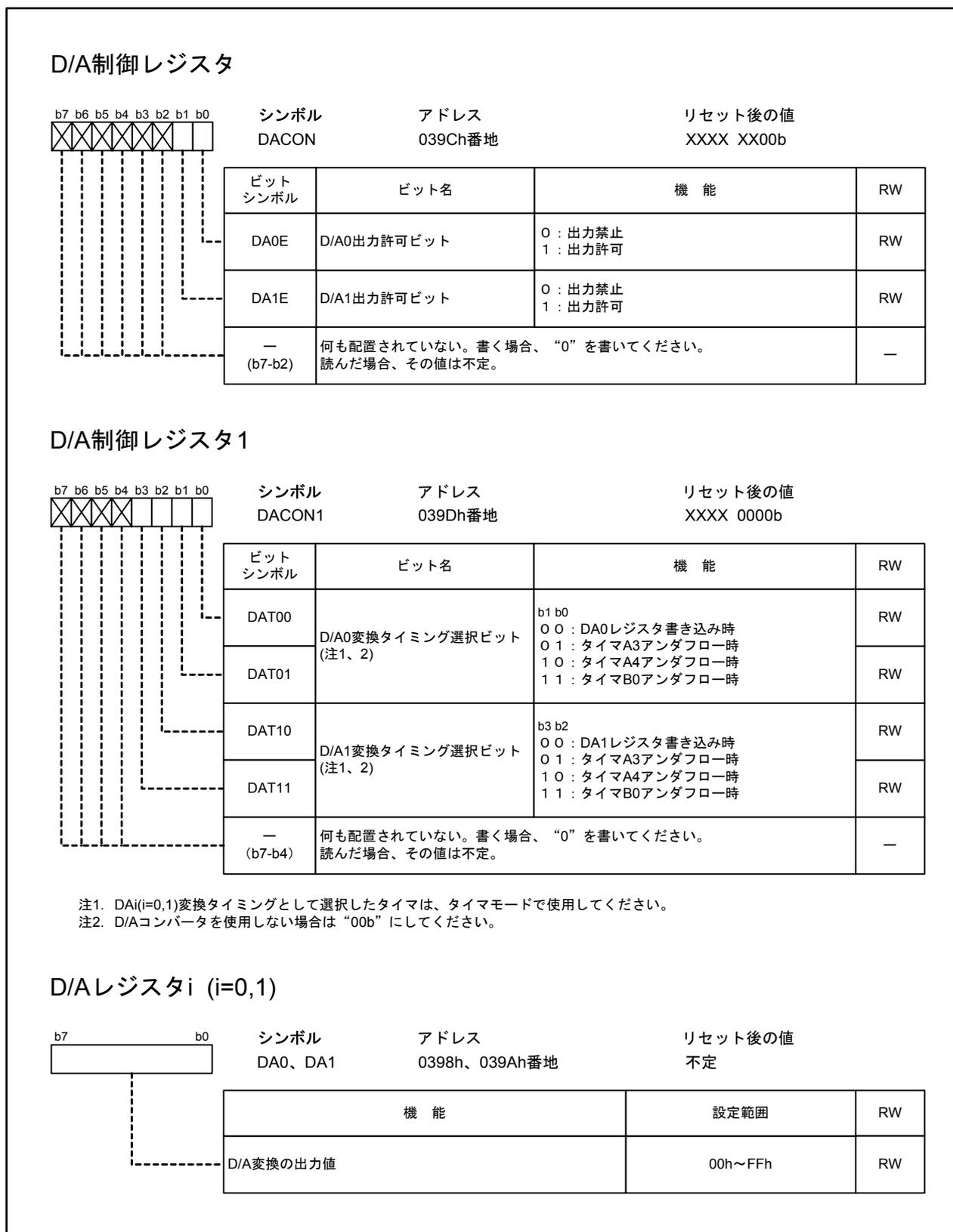


図 19.2 DACON レジスタ、DACON1 レジスタ、DA0、DA1 レジスタ

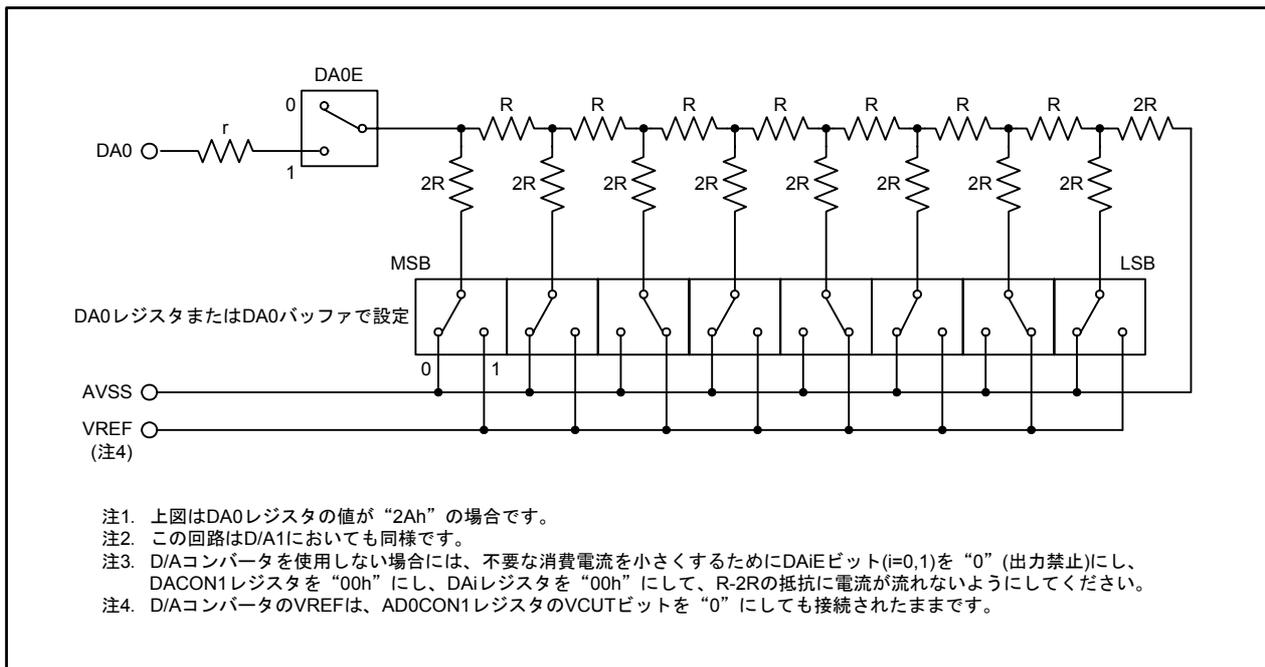


図19.3 D/Aコンバータの等価回路

20. CRC 演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに格納されます。1バイトのデータに対するCRCコードの生成は2バスクロックで終了します。

図20.1にCRCのブロック図、図20.2にCRCの関連レジスタを示します。また、図20.3にCRC演算例を示します。

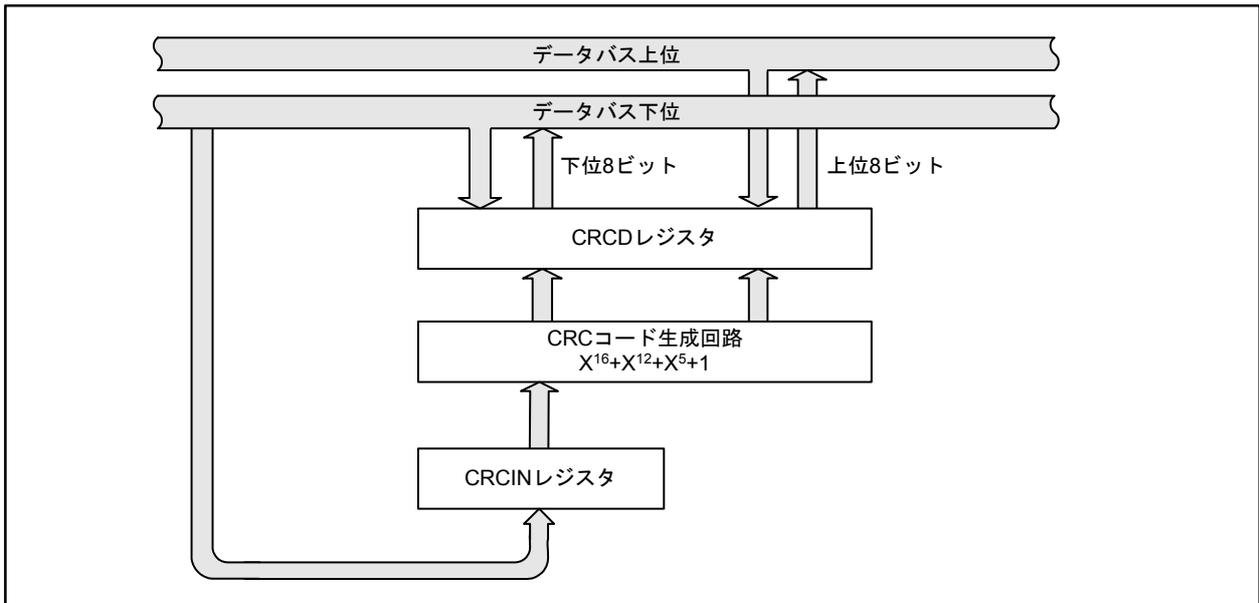


図20.1 CRCブロック図

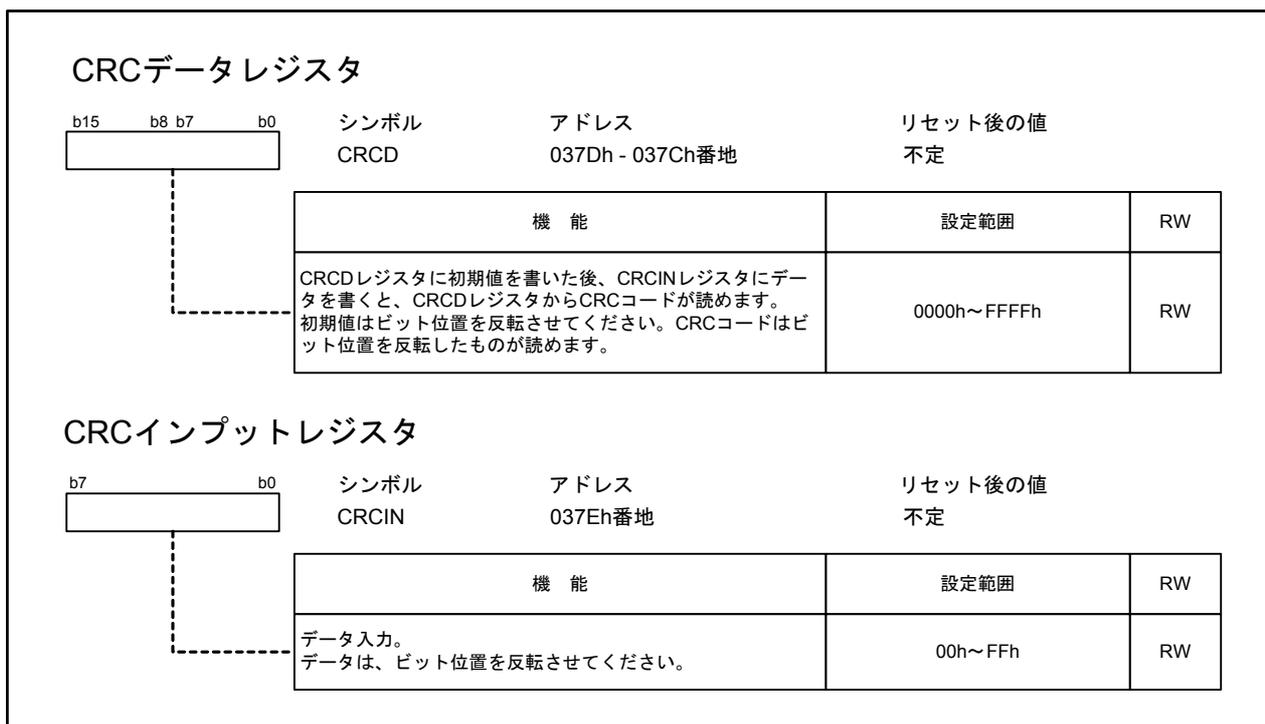


図20.2 CRCDレジスタ、CRCINレジスタ

“80C4h”のCRCコードを生成する場合の設定手順とCRC演算

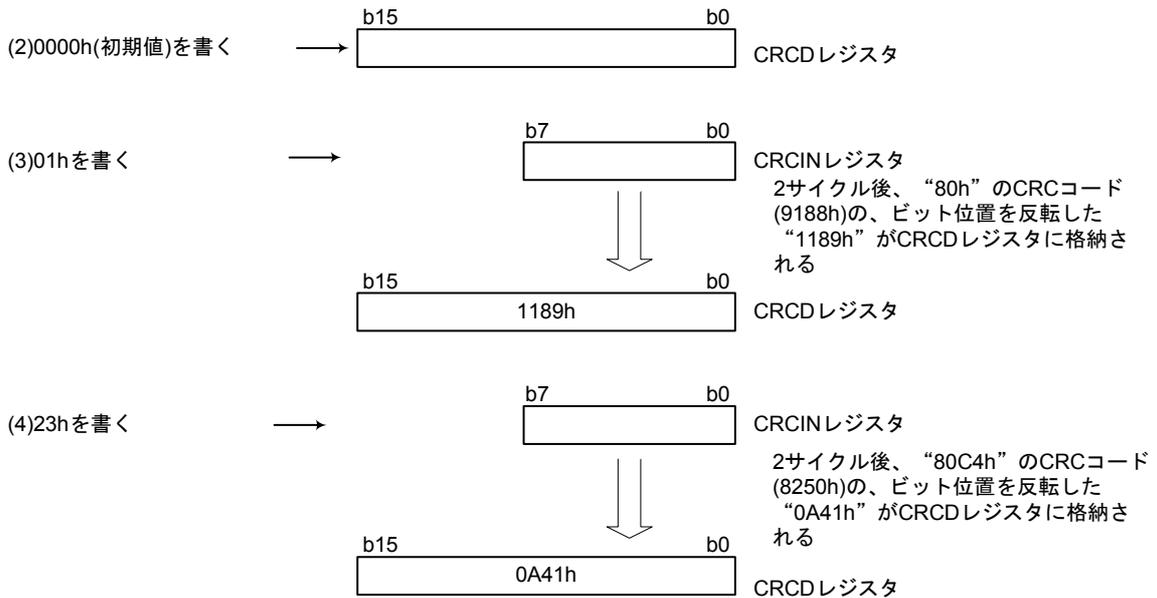
○ M32CのCRC演算

CRCコード：CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余
 生成多項式： $X^{16}+X^{12}+X^5+1(1\ 0001\ 0000\ 0010\ 0001b)$

○ 設定手順

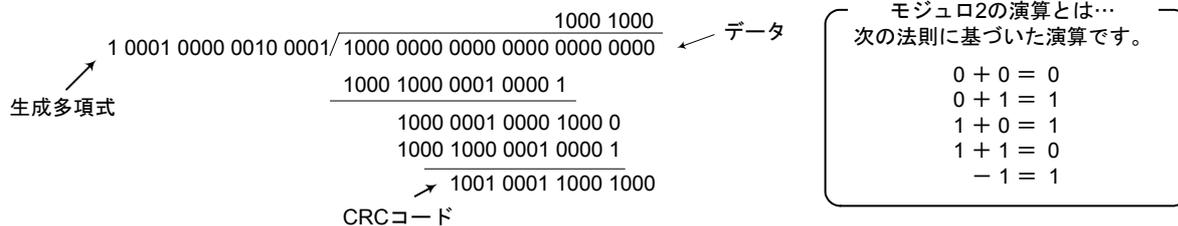
(1) プログラムで“80C4h”のビット位置をバイト単位で反転させる

“80h” → “01h”、“C4h” → “23h”



○ CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値“01h(00000001b)”はビット位置を反転され“10000000b”になる。これに16桁追加した“1000 0000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000h”を加算した値をモジュロ2除算する。



剰余“1001 0001 1000 1000b(9188h)”のビット位置を反転した“0001 0001 1000 1001b(1189h)”がCRCDレジスタから読める。
 続けて上記(4)を行う場合、CRCINレジスタに書いた値“23h(00100011b)”はビット位置を反転され“11000100b”になる。これに16桁追加した“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余“1001 0001 1000 1000b”を加算した値をモジュロ2除算する。
 剰余のビット位置を反転した“0000 1010 0100 0001b(0A41h)”がCRCDレジスタから読める。

図 20.3 CRC 演算例

21. X/Y変換

X/Y変換は16×16ビットのマトリクスデータの90度回転を行います。また、16ビットデータのビット配置の上位と下位を反転させることができます。図21.1にXYCレジスタを示します。

XiRレジスタ(i=0～15)とYjRレジスタ(j=0～15)は16ビットレジスタです。

XiRレジスタとYjRレジスタは同一アドレスに配置されており、XiRレジスタは書き込み専用、YjRレジスタは読み出し専用です。XiRレジスタとYjRレジスタは偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

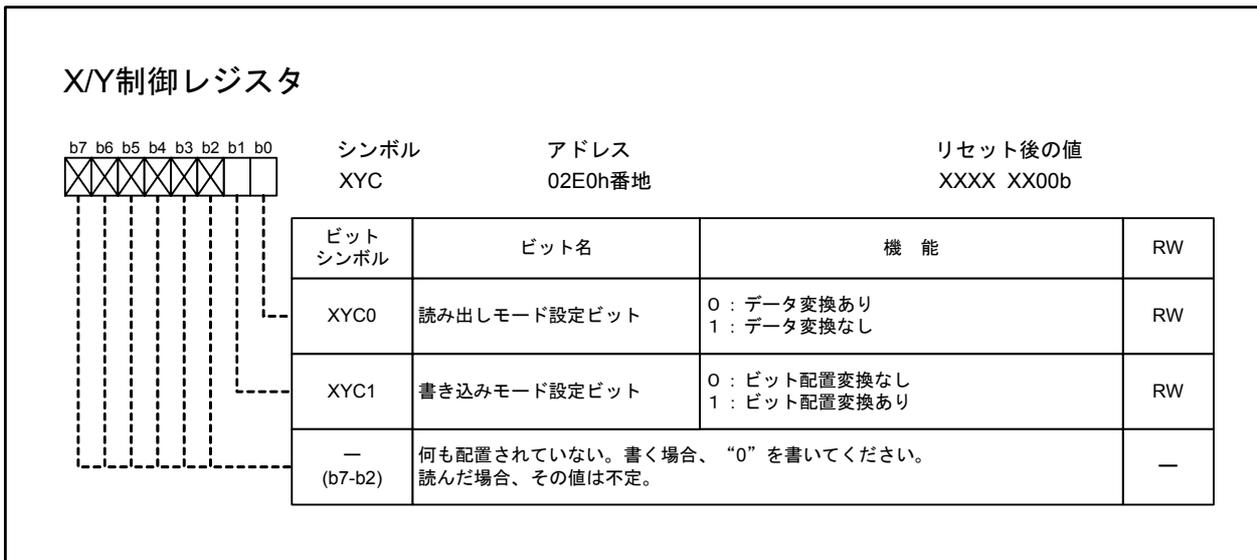


図21.1 XYCレジスタ

YjRレジスタの読み出し方法は、XYCレジスタのXYC0ビットで選択できます。

XYC0ビットが“0”（データ変換あり）でYjRレジスタを読むと、X0R～X15Rレジスタのビットjを同時に読めます。

例えば、Y0Rレジスタを読むと、ビット0でX0Rレジスタのビット0、ビット1でX1Rレジスタのビット0、・・・、ビット14でX14Rレジスタのビット0、ビット15でX15Rレジスタのビット0が読めます。同様にY15Rレジスタを読むと、ビット0でX0Rレジスタのビット15、ビット1でX1Rレジスタのビット15、・・・、ビット14でX14Rレジスタのビット15、ビット15でX15Rレジスタのビット15が読めます。

図21.2にXYC0ビットが“0”の場合の変換テーブルを、図21.3にX/Y変換例を示します。

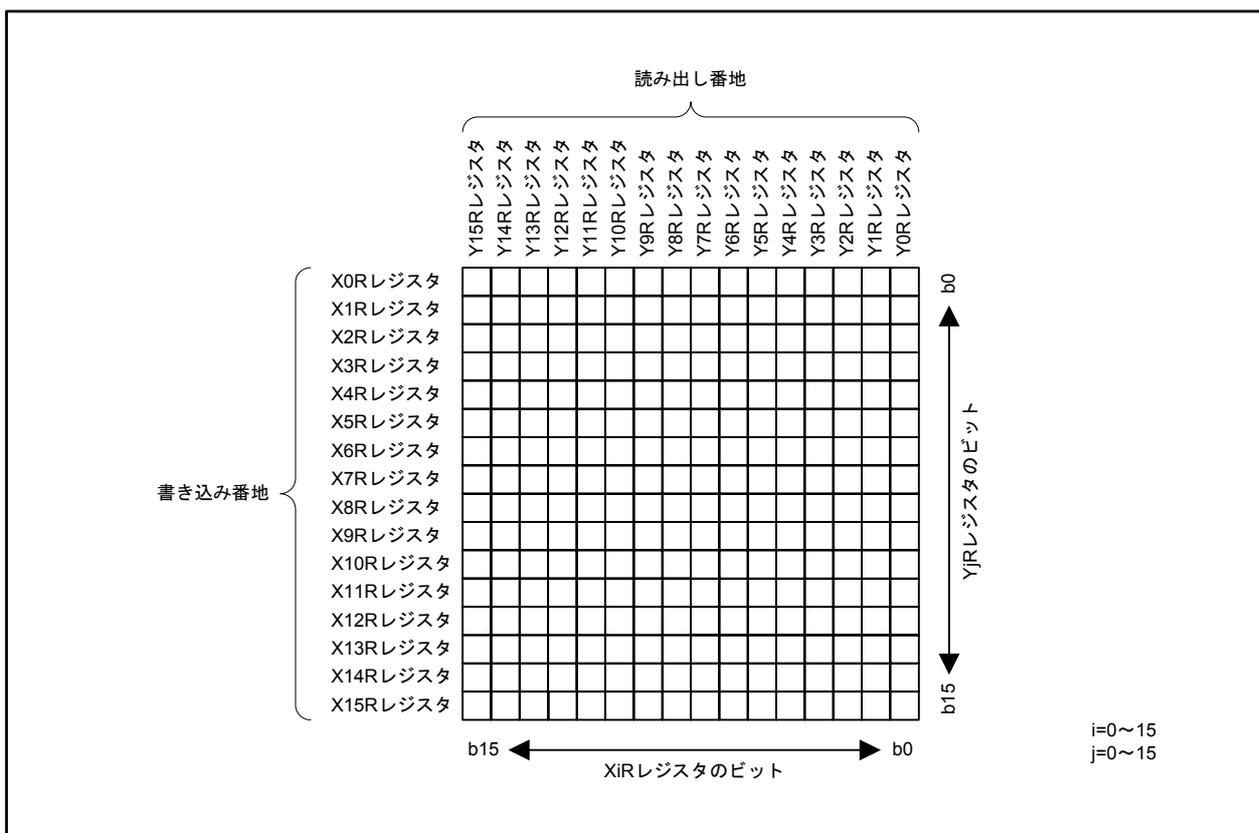


図21.2 XYC0ビットが“0”の場合の変換テーブル

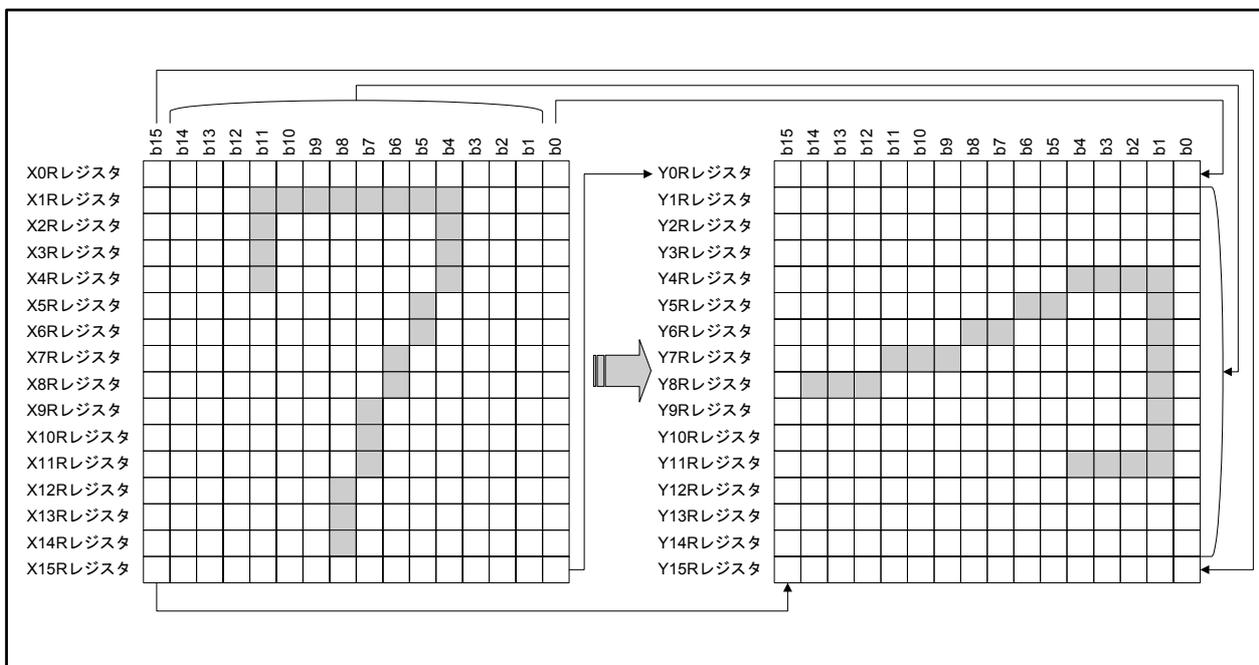


図21.3 X/Y変換例

XYCレジスタのXYC0ビットを“1”（データ変換なし）にしてYjRレジスタを読むと、XiRレジスタに書かれた値をそのまま読めます。図21.4にXYC0ビットが“1”の場合の変換テーブルを示します。

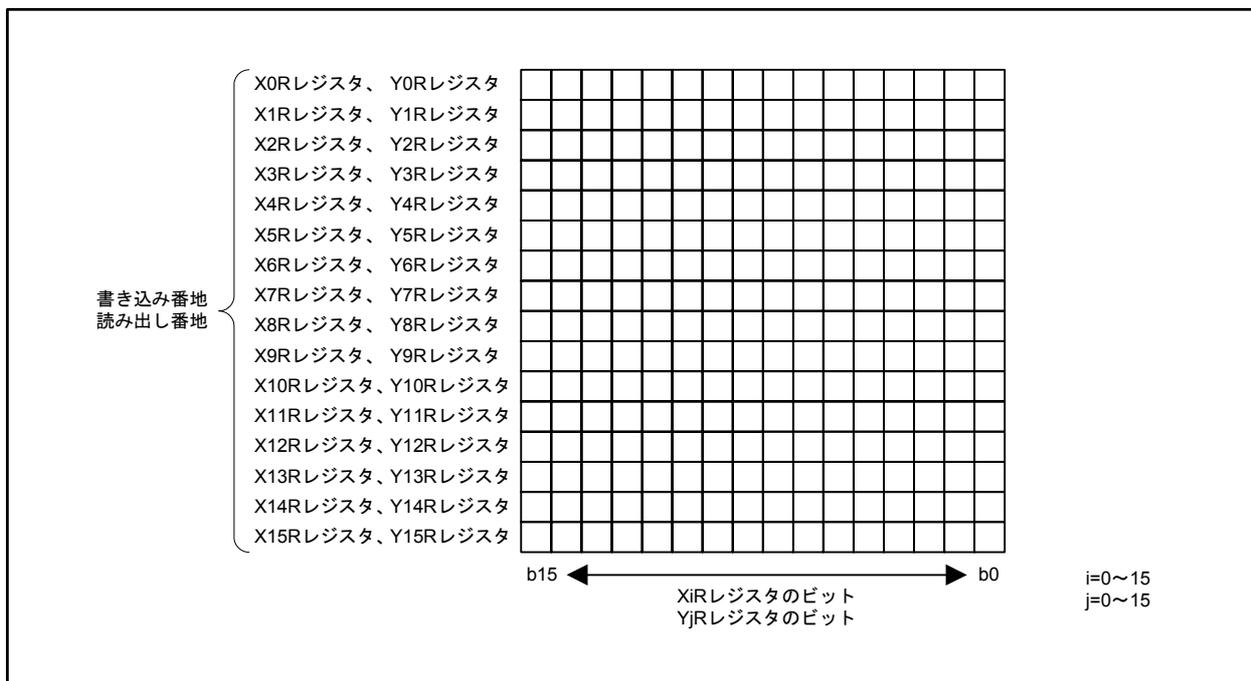


図21.4 XYC0ビットが“1”の場合の変換テーブル

XiRレジスタに書く値のビット配置は、XYCレジスタのXYC1ビットで選択できます。

XYC1ビットを“0”（ビット配置変換なし）にしてXiRレジスタに書くと、ビット配列はそのまま書かれます。

XYC1ビットを“1”（ビット配置変換あり）にしてXiRレジスタに書くと、ビット配列の各ビット位置を反転して書きます。図21.5にXYC1ビットが“1”の場合の変換を示します。

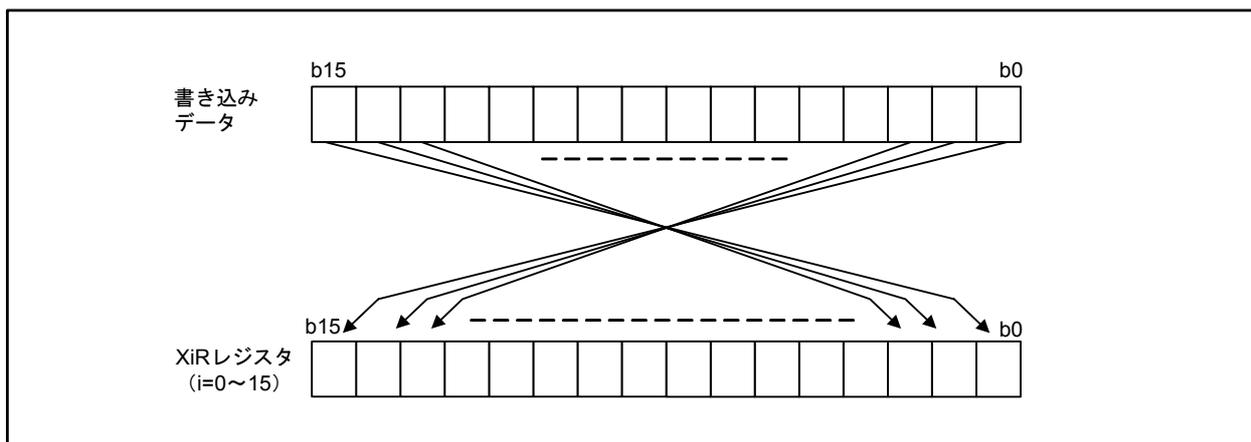


図21.5 XYC1ビットが“1”の場合の変換

22. インテリジェントI/O

インテリジェントI/Oは、時間計測(インプットキャプチャ)、波形生成(アウトプットコンペア)、クロック同期シリアル通信、クロック非同期シリアル通信(UART)、HDLCデータ処理などを実現できる高機能入出力ポートです。

インテリジェントI/Oには3つのグループがあります。時間計測機能と波形生成機能は、チャンネルごとに機能を選択できます。

表22.1にインテリジェントI/Oの機能とチャンネルを示します。

表22.1 インテリジェントI/Oの機能とチャンネル

機能	グループ0	グループ1(注1)	グループ2	
ベースタイマ	-	1本	1本	
二相パルス処理モード		○	-	
時間計測機能	-	8チャンネル	-	
プリスケアラ機能		2チャンネル		
ゲート機能		2チャンネル		
波形生成機能	-	8チャンネル	8チャンネル(注2)	
単相波形出力モード		○	○	
反転波形出力モード		○	○	
セット-リセット(SR)波形出力モード		○	○	
ビットモジュレーションPWM出力モード		-		○
リアルタイムポート出力モード				○
並列リアルタイムポート出力モード				○
通信機能	1チャンネル	1チャンネル	1チャンネル	
データ長	8ビット	8ビット	可変長	
クロック同期モード	○	○	○	
クロック非同期モード(UARTモード)	-	○	-	
HDLCデータ処理モード	○	○	-	
IEBusモード(オプション)(注3)	-	-	○	

○：あり、-：なし

注1. 時間計測機能と波形生成機能は合わせて8チャンネル使用できます。

注2. 144ピン版のチャンネル数です。100ピン版は3チャンネルです。

注3. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

図22.1にグループ1の時間計測機能と波形生成機能のブロック図を、図22.2にグループ2の波形生成機能のブロック図を、図22.3～図22.14にインテリジェントI/Oのベースタイマ、時間計測機能、波形生成機能関連レジスタを示します。(通信機能のブロック図は図22.36～図22.37、図22.55を、関連レジスタは図22.38～図22.46、図22.56～図22.60を参照してください。)

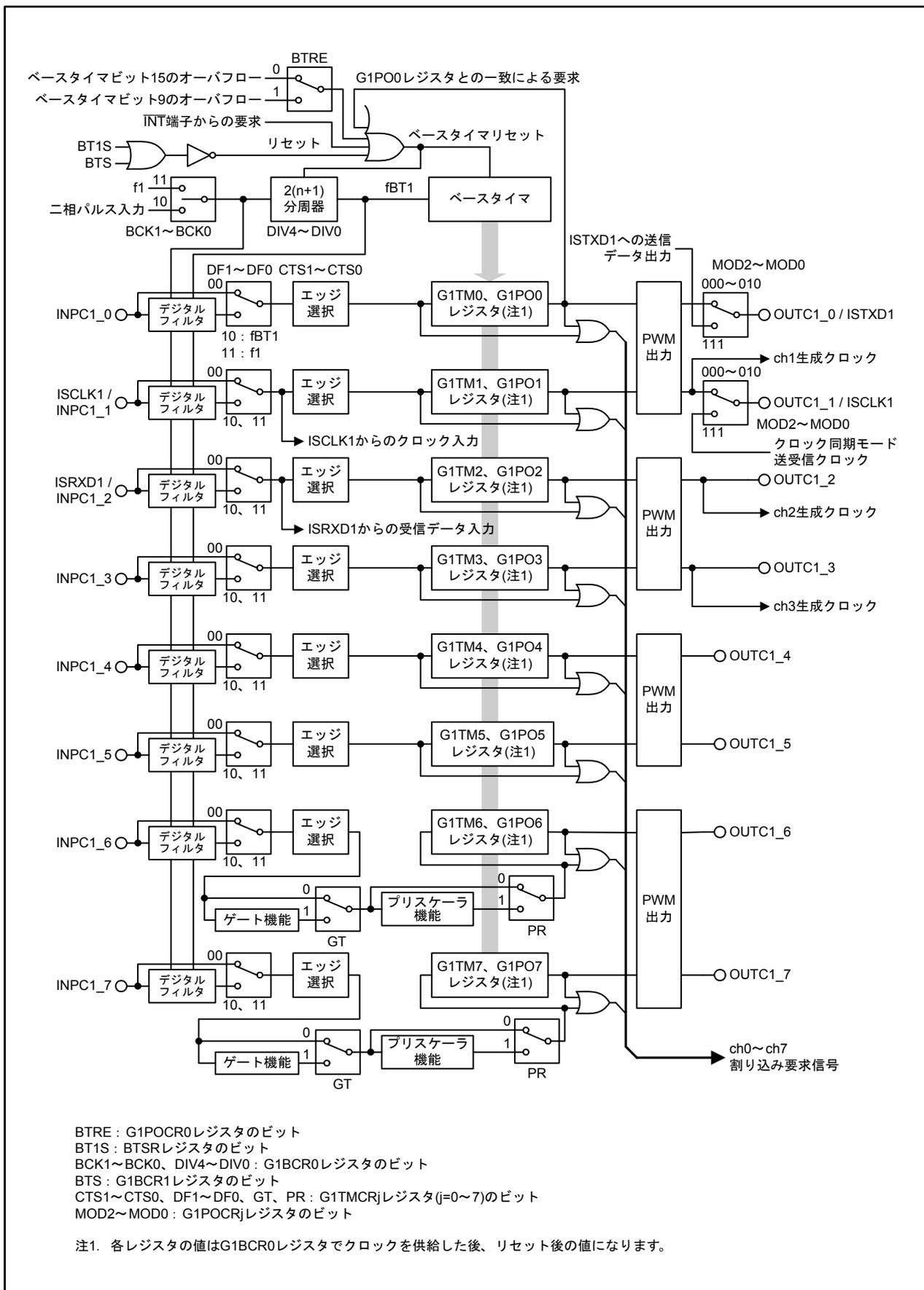


図22.1 グループ1の時間計測機能と波形生成機能のブロック図

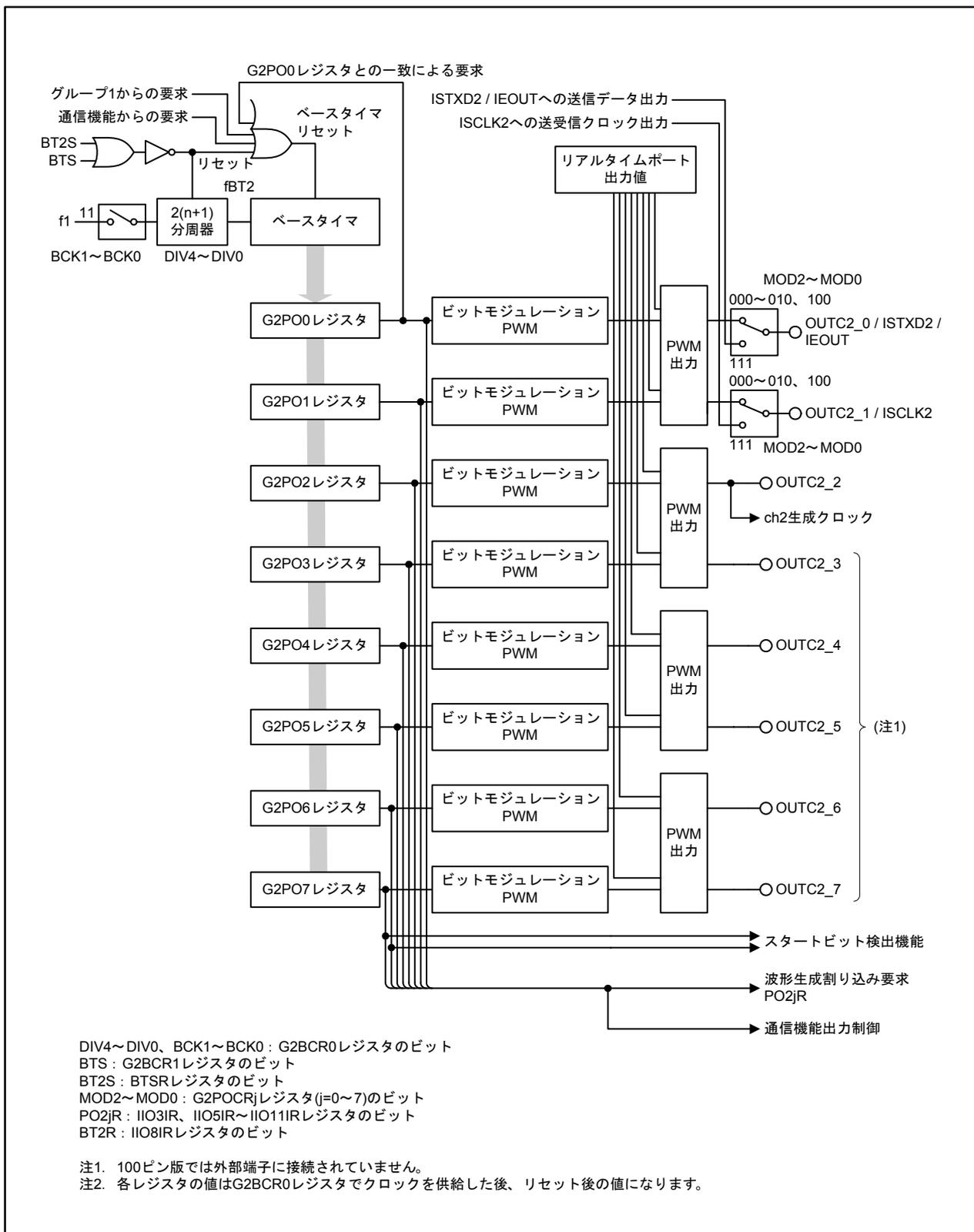


図22.2 グループ2の波形生成機能のブロック図

グループ1 ベースタイマレジスタ(注1)

b15 b8 b7 b0	シンボル G1BT	アドレス 0121h - 0120h番地	リセット後の値 不定
機 能		設定範囲	RW
ベースタイマカウント中 読むと、ベースタイマ値が読める。(注2) 書くと、ベースタイマは書いた値からカウントする。 ベースタイマリセット中 読んだ値は不定。値は書けない。		0000h~FFFFh	RW

注1. ベースタイマは、G1BCR0レジスタのBCK1~BCK0ビットでカウントソースを選択すると動作します。ただし、BTSRレジスタのBT1SビットとG1BCR1レジスタのBTSビットを両方“0”にすると、ベースタイマはリセット状態になり“0000h”のままカウントしません。BT1SビットまたはBTSビットのどちらかを“1”にするとカウントを開始します。

注2. G1BTレジスタには、fBT1の半周期遅れでベースタイマの値が反映されます。

グループ1 ベースタイマ制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0	シンボル G1BCR0	アドレス 0122h番地	リセット後の値 00h
ビット シンボル	ビット名	機 能	RW
BCK0	カウントソース選択ビット	b1 b0 0 0 : クロック停止 0 1 : 設定しないでください 1 0 : 二相パルス入力(注1) 1 1 : f1	RW
BCK1			RW
DIV0	カウントソース分周比 選択ビット	設定値をn(n=0~31)とすると、カウントソースを 2(n+1)分周する。 ただし、n=31のとき分周なし。 b6 b5 b4 b3 b2 (n=0) 0 0 0 0 0 : 2分周 (n=1) 0 0 0 0 1 : 4分周 (n=2) 0 0 0 1 0 : 6分周 ⋮ (n=30) 1 1 1 1 0 : 62分周 (n=31) 1 1 1 1 1 : 分周なし	RW
DIV1			RW
DIV2			RW
DIV3			RW
DIV4			RW
IT	ベースタイマ割り込み要求 発生タイミング選択ビット	0 : ビット15が“1”から“0”になる タイミング 1 : ビット14が“1”から“0”になる タイミング	RW

注1. BCK1~BCK0ビットを“10b”(二相パルス入力)にする場合、G1BCR1レジスタのUD1~UD0ビットを“10b”(二相パルス信号処理モード)にしてください。

図 22.3 G1BTレジスタ、G1BCR0レジスタ

グループ1 ベースタイマ制御レジスタ1

ビット シンボル	ビット名	機能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
RST1	ベースタイマリセット 要因選択ビット1	0 : G1PO0レジスタとの一致でリセットしない 1 : G1PO0レジスタとの一致でリセットする (注1)	RW
RST2	ベースタイマリセット 要因選択ビット2	0 : INT0端子またはINT1端子への“L”入力 でリセットしない 1 : INT0端子またはINT1端子への“L”入力 でリセットする(注2)	RW
— (b3)	予約ビット	“0”にしてください	RW
BTS	ベースタイマスタートビット (注3)	0 : ベースタイマリセット 1 : ベースタイマカウント開始	RW
UD0	アップダウン制御ビット	b6 b5 0 0 : アップカウントモード 0 1 : アップダウンカウントモード 1 0 : 二相パルス信号処理モード(注4) 1 1 : 設定しないでください	RW
UD1			RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

- 注1. ベースタイマ値とG1PO0レジスタの値が一致した後、fBT1の2クロック目にベースタイマリセットをします。
- 注2. IPSAレジスタのIPSA_0ビットでINT0端子かINT1端子かを選択できます。
- 注3. 複数グループのベースタイマを同時にカウント開始させる場合は、BTSRレジスタを使用してください。
このとき、BTSビットは“0”にしてください。
- 注4. 二相パルス信号処理モードでは、RST1ビットが“1”でベースタイマ値とG1PO0レジスタの値が一致した後、
2クロック目がダウンカウントの場合、ベースタイマリセットされません。

図22.4 G1BCR1レジスタ

グループ1 時間計測制御レジスタ*i* (*i*=0~7)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	G1TMCR0~G1TMCR3	0118h、0119h、011Ah、011Bh番地	00h
	G1TMCR4~G1TMCR7	011Ch、011Dh、011Eh、011Fh番地	00h

ビットシンボル	ビット名	機能	RW
CTS0	時間計測トリガ選択ビット	b1 b0 0 0 : 時間計測しない 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 両エッジ	RW
CTS1			RW
DF0	デジタルフィルタ選択ビット	b3 b2 0 0 : デジタルフィルタなし 0 1 : 設定しないでください 1 0 : デジタルフィルタあり (サンプリングクロックはfBT1) 1 1 : デジタルフィルタあり (サンプリングクロックはf1)	RW
DF1			RW
GT	ゲート機能選択ビット(注1)	0 : ゲート機能を使用しない 1 : ゲート機能を使用する	RW
GOC	ゲート機能解除選択ビット(注1、2)	0 : ベースタイマとG1POkレジスタ(k=4,5)の一致により、ゲートを解除しない 1 : ベースタイマとG1POkレジスタの一致により、ゲートを解除する	RW
GSC	ゲート機能解除ビット(注1、2)	GSCビットに“1”を書くと、ゲート解除される	RW
PR	プリスケアラ機能選択ビット(注1)	0 : 使用しない 1 : 使用する	RW

注1. ゲート機能およびプリスケアラ機能は、G1TMCR6レジスタとG1TMCR7レジスタにあります。
G1TMCR0~G1TMCR5レジスタのビット4~7は、すべて“0”にしてください。
注2. GOC、GSCビットは、GTビットが“1”のときのみ有効です。

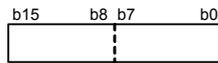
グループ1 時間計測プリスケアラレジスタ*i* (*i*=6,7)

b7 b0	シンボル	アドレス	リセット後の値
	G1TPR6、G1TPR7	0124h、0125h番地	00h

機能	設定範囲	RW
設定値を <i>n</i> とすると、トリガ入力を <i>n</i> +1カウントするごとに時間計測を行う(注1)	00h~FFh	RW

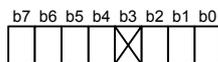
注1. G1TMCR*i*レジスタ(*i*=6,7)のPRビットを“0”(プリスケアラ機能を使用しない)から“1”(プリスケアラ機能を使用する)にした後、1回目はトリガ入力の*n*カウント目で時間計測を行う場合があります。

図 22.5 G1TMCR0~G1TMCR7レジスタ、G1TPR6、G1TPR7レジスタ

グループ1 時間計測レジスタ*i* (*i*=0~7)

シンボル	アドレス	リセット後の値
G1TM0、G1TM1	0101h - 0100h、0103h - 0102h番地	不定
G1TM2、G1TM3	0105h - 0104h、0107h - 0106h番地	不定
G1TM4、G1TM5	0109h - 0108h、010Bh - 010Ah番地	不定
G1TM6、G1TM7	010Dh - 010Ch、010Fh - 010Eh番地	不定

機能	設定範囲	RW
時間計測タイミングごとにベースタイム値が格納される。	—	RO

グループ1 波形生成制御レジスタ*i* (*i*=0~7)

シンボル	アドレス	リセット後の値
G1POCR0	0110h番地	0000 X000b
G1POCR1~G1POCR3	0111h、0112h、0113h番地	0X00 X000b
G1POCR4~G1POCR7	0114h、0115h、0116h、0117h番地	0X00 X000b

ビットシンボル	ビット名	機能	RW
MOD0	動作モード選択ビット	b2 b1 b0 0 0 0 : 単相波形出力モード 0 0 1 : SR 波形出力モード(注1) 0 1 0 : 反転波形出力モード 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください(注2) 1 1 1 : 通信機能の出力を使用(注3)	RW
MOD1		RW	
MOD2		RW	
— (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
IVL	出力レベル設定ビット(注5)	0 : “L” を出力 1 : “H” を出力	RW
RLD	G1POiレジスタ値リロード タイミング選択ビット	0 : 書き込み時にリロード 1 : ベースタイムリセット時にリロード	RW
BTRE	ベースタイムリセット タイミング選択ビット(注4)	0 : ベースタイムビット15オーバーフローで リセットする 1 : ベースタイムビット9オーバーフローで リセットする(注6)	RW
INV	反転出力機能選択ビット(注5)	0 : 出力反転しない 1 : 出力反転する	RW

- 注1. SR波形出力モードは偶数チャンネルのみ有効です。SR波形出力モードが選択された場合、対応する奇数チャンネル(偶数チャンネルの次のチャンネル)の設定は無効です。波形は偶数チャンネルより出力されます。奇数チャンネルからSR波形は出力されません。
- 注2. グループ1でUART受信を行う場合、G1POCR2レジスタは“0000 0110b”にしてください。
- 注3. ISTXD1を使用するときG1POCR0レジスタのMOD2~MOD0ビットを“111b”にしてください。
また、ISCLK1を出力に使用するときG1POCR1レジスタのMOD2~MOD0ビットを“111b”にしてください。
G1POCR2~G1POCR7レジスタのMOD2~MOD0ビットを“111b”にしないでください。
- 注4. G1POCR0レジスタのみあります。G1POCR1~G1POCR7レジスタのビット6は“0”にしてください。
- 注5. 波形出力中にIVLビット、INVビットを書く、直ちに設定値が反映されます。
- 注6. BTREビットを“1”にする場合、G1BCR0レジスタのBCK1~BCK0ビットを“11b”(f1)、G1BCR1レジスタのUD1~UD0ビットを“00b”(アップカウントモード)にしてください。

図22.6 G1TM0~G1TM7レジスタ、G1POCR0~G1POCR7レジスタ

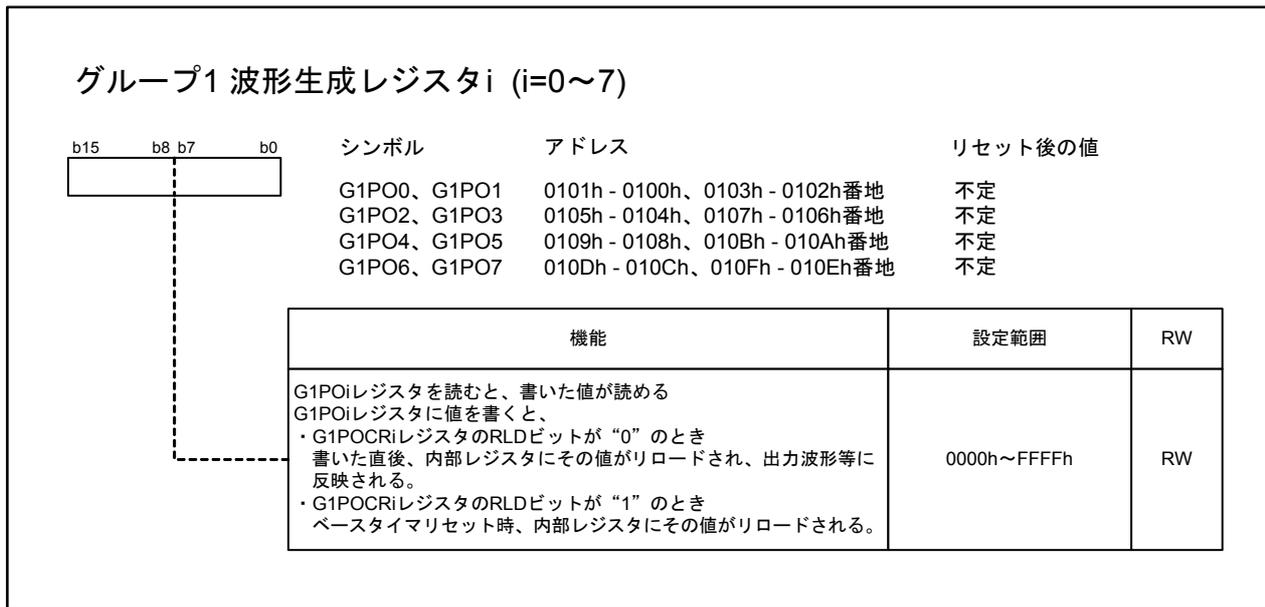


図22.7 G1PO0~G1PO7レジスタ

グループ1 機能選択レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル G1FS	アドレス 0127h番地	リセット後の値 00h
ビット シンボル	ビット名		機 能	RW						
FSC0	チャンネル0時間計測、 波形生成機能選択ビット		0 : 波形生成機能を選択 1 : 時間計測機能を選択	RW						
FSC1	チャンネル1時間計測、 波形生成機能選択ビット			RW						
FSC2	チャンネル2時間計測、 波形生成機能選択ビット			RW						
FSC3	チャンネル3時間計測、 波形生成機能選択ビット			RW						
FSC4	チャンネル4時間計測、 波形生成機能選択ビット			RW						
FSC5	チャンネル5時間計測、 波形生成機能選択ビット			RW						
FSC6	チャンネル6時間計測、 波形生成機能選択ビット			RW						
FSC7	チャンネル7時間計測、 波形生成機能選択ビット			RW						

グループ1 機能許可レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル G1FE	アドレス 0126h番地	リセット後の値 00h
ビット シンボル	ビット名		機 能	RW						
IFE0	チャンネル0機能許可ビット		0 : チャンネルiの機能を停止 1 : チャンネルiの機能を動作 (i=0~7)	RW						
IFE1	チャンネル1機能許可ビット			RW						
IFE2	チャンネル2機能許可ビット			RW						
IFE3	チャンネル3機能許可ビット			RW						
IFE4	チャンネル4機能許可ビット			RW						
IFE5	チャンネル5機能許可ビット			RW						
IFE6	チャンネル6機能許可ビット			RW						
IFE7	チャンネル7機能許可ビット			RW						

図22.8 G1FSレジスタ、G1FEレジスタ

グループ2 ベースタイマレジスタ (注1)

b15 b8 b7 b0	シンボル G2BT	アドレス 0161h - 0160h番地	リセット後の値 不定
機 能		設定範囲	RW
ベースタイマカウント中 読むと、ベースタイマ値が読める。(注2) 書くと、ベースタイマは書いた値からカウントする。 ベースタイマリセット中 読んだ値は不定。値は書けない。		0000h~FFFFh	RW

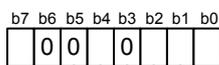
注1. ベースタイマは、G2BCR0レジスタのBCK1~BCK0ビットでカウントソースを選択すると動作します。ただし、BTSRレジスタのBT2SビットとG2BCR1レジスタのBTSビットを両方“0”にすると、ベースタイマはリセット状態になり“0000h”のままカウントしません。BT2SビットまたはBTSビットのどちらかを“1”にするとカウントを開始します。
 注2. G2BTレジスタには、fBT2の半周期遅れでベースタイマの値が反映されます。

グループ2 ベースタイマ制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0	シンボル G2BCR0	アドレス 0162h番地	リセット後の値 00h
ビット シンボル	ビット名	機 能	RW
BCK0	カウントソース選択ビット	b1 b0 0 0 : クロック停止 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : f1	RW
BCK1			RW
DIV0	カウントソース分周比 選択ビット	設定値をn(n=0~31)とすると、カウントソースを2(n+1)分周する。 ただし、n=31のとき分周なし。 b6 b5 b4 b3 b2 (n=0) 0 0 0 0 0 : 2分周 (n=1) 0 0 0 0 1 : 4分周 (n=2) 0 0 0 1 0 : 6分周 ⋮ (n=30) 1 1 1 1 0 : 62分周 (n=31) 1 1 1 1 1 : 分周なし	RW
DIV1			RW
DIV2			RW
DIV3			RW
DIV4			RW
IT	ベースタイマ割り込み要求 発生タイミング選択ビット	0 : ビット15が“1”から“0”になる タイミング 1 : ビット14が“1”から“0”になる タイミング	RW

図 22.9 G2BTレジスタ、G2BCR0レジスタ

グループ2 ベースタイマ制御レジスタ1



シンボル
G2BCR1
アドレス
0163h番地

リセット後の値
00h

ビットシンボル	ビット名	機能	RW
RST0	ベースタイマリセット要因選択ビット0	0 : グループ1のベースタイマリセットに同期してリセットしない 1 : グループ1のベースタイマリセットに同期してリセットする	RW
RST1	ベースタイマリセット要因選択ビット1	0 : G2PO0レジスタとの一致でリセットしない 1 : G2PO0レジスタとの一致でリセットする(注1)	RW
RST2	ベースタイマリセット要因選択ビット2	0 : 通信機能からのリセット要求でリセットしない 1 : 通信機能からのリセット要求でリセットする	RW
— (b3)	予約ビット	“0” にしてください	RW
BTS	ベースタイマスタートビット(注3)	0 : ベースタイマリセット 1 : ベースタイマカウント開始	RW
— (b6-b5)	予約ビット	“0” にしてください	RW
PRP	並列リアルタイムポート機能選択ビット(注2)	0 : リアルタイムポート出力モード 1 : 並列リアルタイムポート出力モード	RW

注1. ベースタイマ値とG2PO0レジスタの値が一致した後、fBT2の2クロック目にベースタイマリセットします。
 注2. G2POCRiレジスタのRTPビットが“1”(リアルタイムポートを使用する)のとき有効です。
 注3. 複数グループのベースタイマを同時にカウント開始させる場合は、BTSRレジスタを使用してください。このとき、BTSビットは“0”にしてください。

図22.10 G2BCR1レジスタ

グループ2 波形生成制御レジスタ*i* (*i*=0~7)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	G2POCR0~G2POCR3	0150h、0151h、0152h、0153h番地	00h
	G2POCR4~G2POCR7	0154h、0155h、0156h、0157h番地	00h

ビットシンボル	ビット名	機能	RW
MOD0	動作モード選択ビット(注3)	b2 b1 b0 0 0 0 : 単相波形出力モード 0 0 1 : SR 波形出力モード(注1) 0 1 0 : 反転波形出力モード 0 1 1 : 設定しないでください 1 0 0 : ビットモジュレーションPWM出力モード 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 通信機能の出力を使用(注2)	RW
MOD1			RW
MOD2			RW
PRT	並列リアルタイムポート出力トリガ選択ビット(注4)	0 : ベースタイムとG2PO0~G2PO7レジスタの一致をトリガにしない 1 : ベースタイムとG2PO0~G2PO7レジスタの一致をトリガにする	RW
IVL	出力レベル設定ビット(注6)	0 : “L” を出力 1 : “H” を出力	RW
RLD	G2PO <i>i</i> レジスタ値リロードタイミング選択ビット	0 : 書き込み時にリロード 1 : ベースタイムリセット時にリロード	RW
RTP	リアルタイムポート機能選択ビット(注3、4)	0 : 使用しない 1 : 使用する (リアルタイムポート出力モードまたは並列リアルタイムポート出力モード)	RW
INV	反転出力機能選択ビット(注5、6)	0 : 出力反転しない 1 : 出力反転する	RW

- 注1. SR波形出力モードは偶数チャンネルのみ有効です。SR波形出力モードが選択された場合、対応する奇数チャンネル(偶数チャンネルの次のチャンネル)の設定は無効です。波形は偶数チャンネルより出力され、奇数チャンネルからSR波形は出力されません。
- 注2. ISTXD2またはIEOUTを出力に使用するときG2POCR0レジスタのMOD2~MOD0ビットを“111b”にしてください。また、ISCLK2を出力に使用するときG2POCR1レジスタのMOD2~MOD0ビットを“111b”にしてください。G2POCR2~G2POCR7レジスタのMOD2~MOD0ビットを“111b”にしないでください。
- 注3. RTPビットが“1”の場合、MOD2~MOD0ビットを“000b”にしてください。
- 注4. リアルタイムポート出力と並列リアルタイムポート出力を同時に使用することはできません。並列リアルタイムポート出力を使用する場合、使用するチャンネルのRTPビットを“1”、PRTビットを“1”にしてください。また、G2BCR1レジスタのPRPビットを“1”にしてください。
- 注5. RTPビットが“1”の場合、INVビットの設定は無効になります。
- 注6. 波形出力中にIVLビット、INVビットを書くと、直ちに設定値が反映されます。

図22.11 G2POCR0~G2POCR7レジスタ

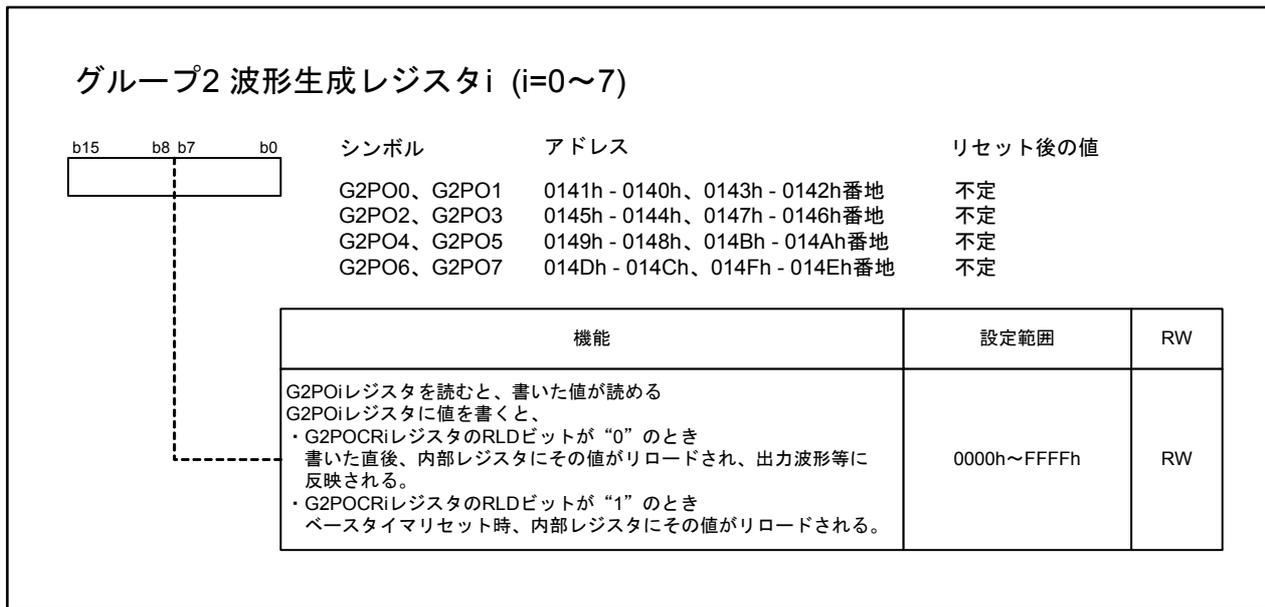


図 22.12 G2PO0~G2PO7レジスタ

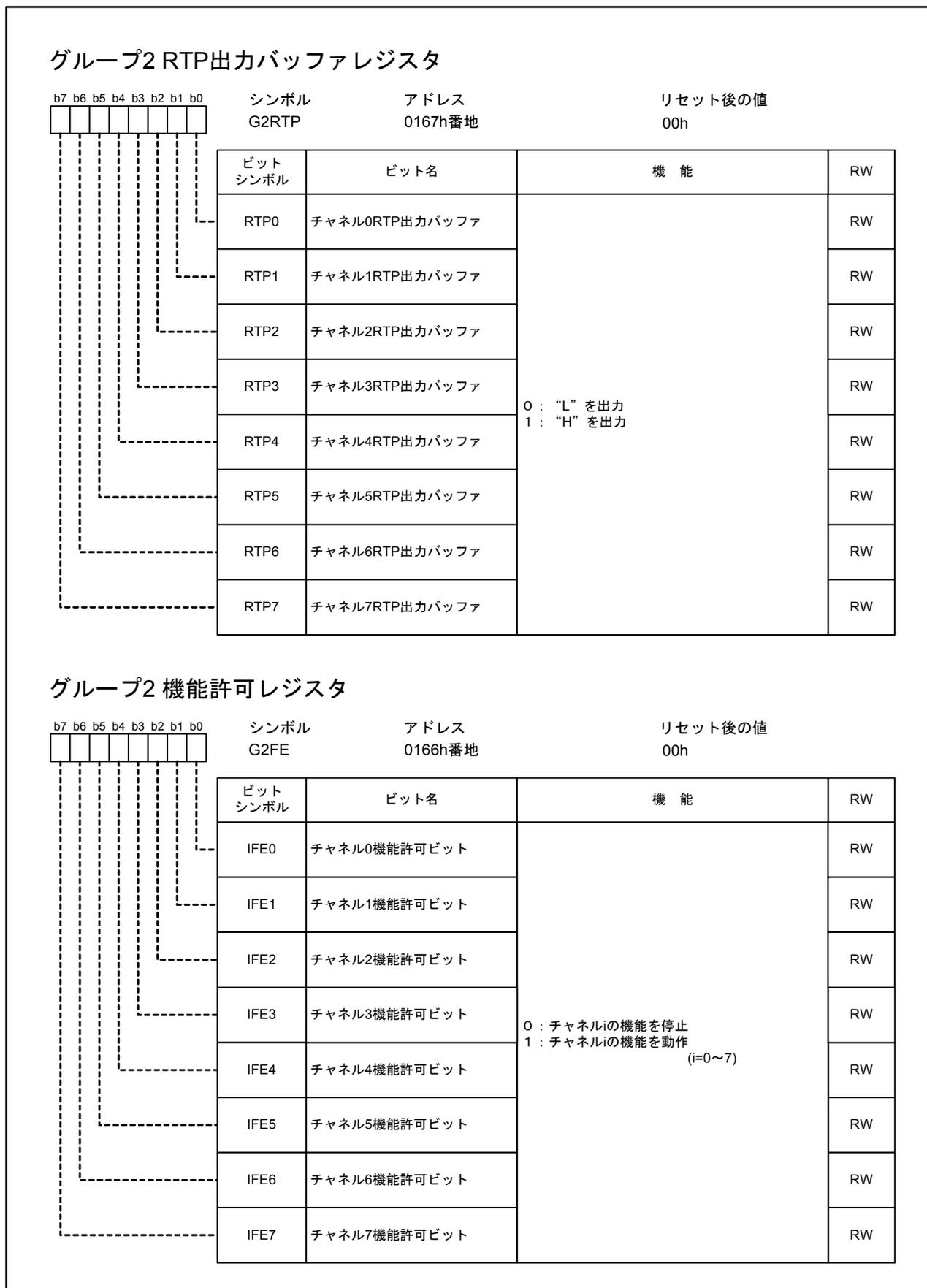


図22.13 G2FEレジスタ、G2RTPレジスタ

ベースタイマスタートレジスタ(注1、2、3)

ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	“0” にしてください	RW
BT1S	グループ1ベースタイマ スタートビット	0 : ベースタイマリセット 1 : ベースタイマカウント開始	RW
BT2S	グループ2ベースタイマ スタートビット	0 : ベースタイマリセット 1 : ベースタイマカウント開始	RW
— (b3)	予約ビット	“0” にしてください	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. インテリジェントI/Oを使用する場合、初期設定時に次の設定をしてください。

- (1) G2BCR0レジスタを設定し、グループ2ベースタイマにクロックを供給する。
- (2) BTiSビット(i=1,2)をすべて“0”(ベースタイマリセット)にする。
- (3) その他のインテリジェントI/O関連レジスタを設定する。

なお、BTiSビットは、グループ1、2のベースタイマを同時にカウント開始させるためのビットです。各ベースタイマを別々にカウント開始させる場合は、BTiSビットを“0”にしてGiBCR1レジスタのBTSビットを使用してください。

注2. グループ1、2のベースタイマのカウントを同時に開始させる場合、次のようにしてください。

ベースタイマを別々に開始させる場合には必要ありません。

- ・ GiBCR0レジスタのBCK1~BCK0ビットとDIV4~DIV0ビットは、同じ値にしてください。
- ・ BCK1~BCK0ビットまたはDIV4~DIV0ビットを変更した後、次の手順で2度ベースタイマをカウント開始してください。
 - (1) BTiSビットを“1”(ベースタイマカウント開始)にする。
 - (2) fBTiの1クロック後以降に、BTiSビットを“0”(ベースタイマカウント停止)にする。
 - (3) さらにfBTiの1クロック後以降に、BTiSビットを“1”(ベースタイマカウント開始)にする。

注3. BTSRレジスタは、G2BCR0レジスタの設定を行った後、有効になります。

図22.14 BTSRレジスタ

22.1 ベースタイマ

ベースタイマは16ビットのフリーランタイマで、グループ1、2にあります。

グループ1、2の各レジスタは、GiBCR0レジスタ(i=1,2)で選択したベースタイマクロック(fBT)で初期化や書き込みが行われます。BTSRレジスタはグループ2のベースタイマクロックで初期化や書き込みが行われます。G2BCR0レジスタでベースタイマクロックを供給し、BTSRレジスタを初期化してください。不定のままだと、グループ1のベースタイマがカウントを開始する場合があります。

表22.2、表22.3にベースタイマの仕様を、図22.15にブロック図を、図22.16にアップカウントモードの動作例を、図22.17にアップダウンカウントモードの動作例を、図22.18に二相パルス信号処理モードの動作例を示します。

表22.2 ベースタイマの仕様(グループ1)

項目	仕様
カウントソース(fBT1)	<ul style="list-style-type: none"> ・ f1の2(n+1)分周 ・ 二相パルス入力の2(n+1)分周 n : G1BCR0レジスタのDIV4～DIV0ビットの設定値(0～31) ただし、n=31の場合、分周しない
カウント動作	<ul style="list-style-type: none"> ・ アップカウント ・ アップダウンカウント ・ 二相パルス処理
カウント開始条件	グループ1、2のベースタイマを別々にカウント開始させる場合 <ul style="list-style-type: none"> ・ G1BCR1レジスタのBTSビットを“1”(ベースタイマカウント開始)にする グループ1、2のベースタイマを同時にカウント開始させる場合 <ul style="list-style-type: none"> ・ BTSRレジスタのBT2S～BT1Sビットを“11b”(ベースタイマカウント開始)にする
カウント停止条件	次のすべての条件がそろってカウントを停止する <ul style="list-style-type: none"> ・ BTSRレジスタのBT1Sビットが“0”(ベースタイマリセット) ・ G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)
ベースタイマリセット条件	<ul style="list-style-type: none"> ・ ベースタイマ値とG1PO0レジスタの値が一致(注1) ・ ベースタイマのビット15のオーバーフロー時 ・ ベースタイマのビット9のオーバーフロー時 ・ INT0端子またはINT1端子に“L”を入力
ベースタイマリセット時の値	“0000h”
割り込み要求発生タイミング	ベースタイマのビット9、ビット14またはビット15が“1”から“0”になるタイミングで発生 割り込み要求が発生すると、IIO4IRレジスタのBT1Rビットが“1”(割り込み要求あり)になる
ベースタイマの読み出し	<ul style="list-style-type: none"> ・ ベースタイマのカウント中にG1BTレジスタを読むとカウント値が読める ・ ベースタイマリセット中にG1BTレジスタを読むと不定値が読める
ベースタイマへの書き込み	<ul style="list-style-type: none"> ・ ベースタイマのカウント中に書くと、書いた値からカウントされる ・ ベースタイマリセット中は書けない
選択機能	アップダウンカウントモード <ul style="list-style-type: none"> ・ BTSビットを“1”にするとベースタイマはアップカウントを開始し、“FFFFh”になるとダウンカウントする。 ・ G1BCR1レジスタのRST1ビットが“1”(G1PO0レジスタとの一致でベースタイマリセットする)の場合、G1PO0レジスタの値と一致した後、3クロック目からダウンカウントする。次に、“0000h”になると再びアップカウントする。 二相パルス処理モード <ul style="list-style-type: none"> ・ P8_0、P8_1またはP7_6、P7_7からの二相パルスをカウントする。 ・ 入力端子の切り替えはIPSAレジスタのIPSA_0ビットで行う。

注1. G1BCR1レジスタのRST2～RST1ビットが“01b”(ベースタイマとG1PO0レジスタの一致でベースタイマリセットする)の場合、G1PO0レジスタに設定する値は0001h～FFFDhにしてください。

表22.3 ベースタイマの仕様(グループ2)

項目	仕様
カウントソース (fBT2)	<ul style="list-style-type: none"> ・ f1の2(n+1)分周 ・ n: G2BCR0レジスタのDIV4~DIV0ビットの設定値(0~31) ・ ただし、n=31の場合、分周しない
カウント動作	アップカウント
カウント開始条件	グループ1、2のベースタイマを別々にカウント開始させる場合 <ul style="list-style-type: none"> ・ G2BCR1レジスタのBTSビットを“1”(ベースタイマカウント開始)にする グループ1、2のベースタイマを同時にカウント開始させる場合 <ul style="list-style-type: none"> ・ B TSRレジスタのBT2S~BT1Sビットを“11b”(ベースタイマカウント開始)にする
カウント停止条件	次のすべての条件がそろるとカウントを停止する <ul style="list-style-type: none"> ・ B TSRレジスタのBT2Sビットが“0”(ベースタイマリセット) ・ G2BCR1レジスタのBTSビットが“0”(ベースタイマリセット)
ベースタイマリセット条件	<ul style="list-style-type: none"> ・ ベースタイマ値とG2PO0レジスタの値が一致(注1) ・ ベースタイマのビット15のオーバーフロー時 ・ グループ1のベースタイマリセットに同期 ・ 通信機能からのリセット要求
ベースタイマリセット時の値	“0000h”
割り込み要求発生タイミング	ベースタイマのビット14またはビット15が“1”から“0”になるタイミングで発生 割り込み要求が発生すると、IIO8IRレジスタのBT2Rビットが“1”(割り込み要求あり)になる
ベースタイマの読み出し	<ul style="list-style-type: none"> ・ ベースタイマのカウント中にG2BTレジスタを読むとカウント値が読める ・ ベースタイマリセット中にG2BTレジスタを読むと不定値が読める
ベースタイマへの書き込み	<ul style="list-style-type: none"> ・ ベースタイマのカウント中に書くと、書いた値からカウントされる ・ ベースタイマリセット中は書けない

注1. G2BCR1レジスタのRST2~RST1ビットが“01b”(ベースタイマとG2PO0レジスタの一致でベースタイマリセットする)の場合、G2PO0レジスタに設定する値は0001h~FFFDhにしてください。

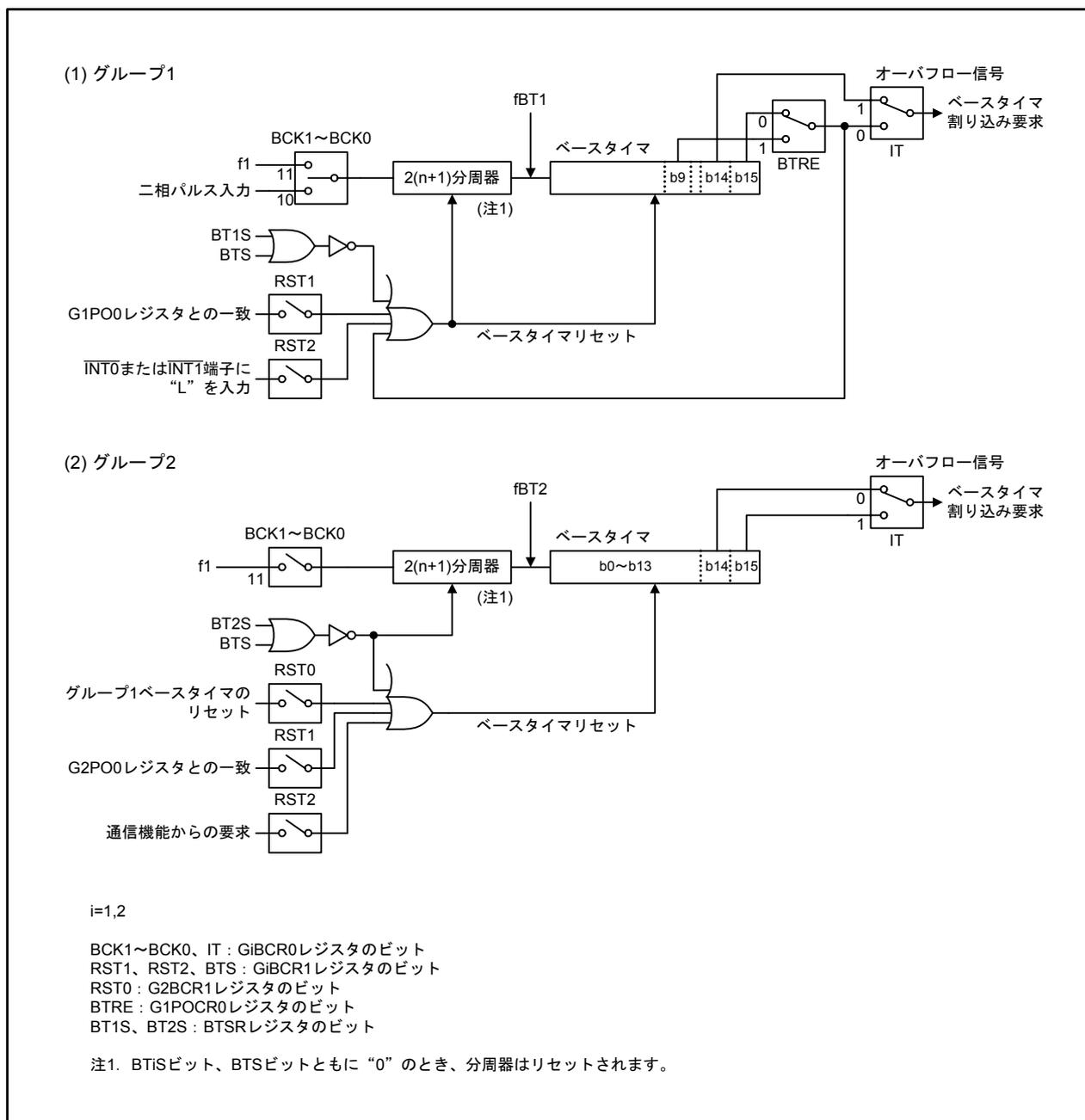


図22.15 ベースタイマのブロック図

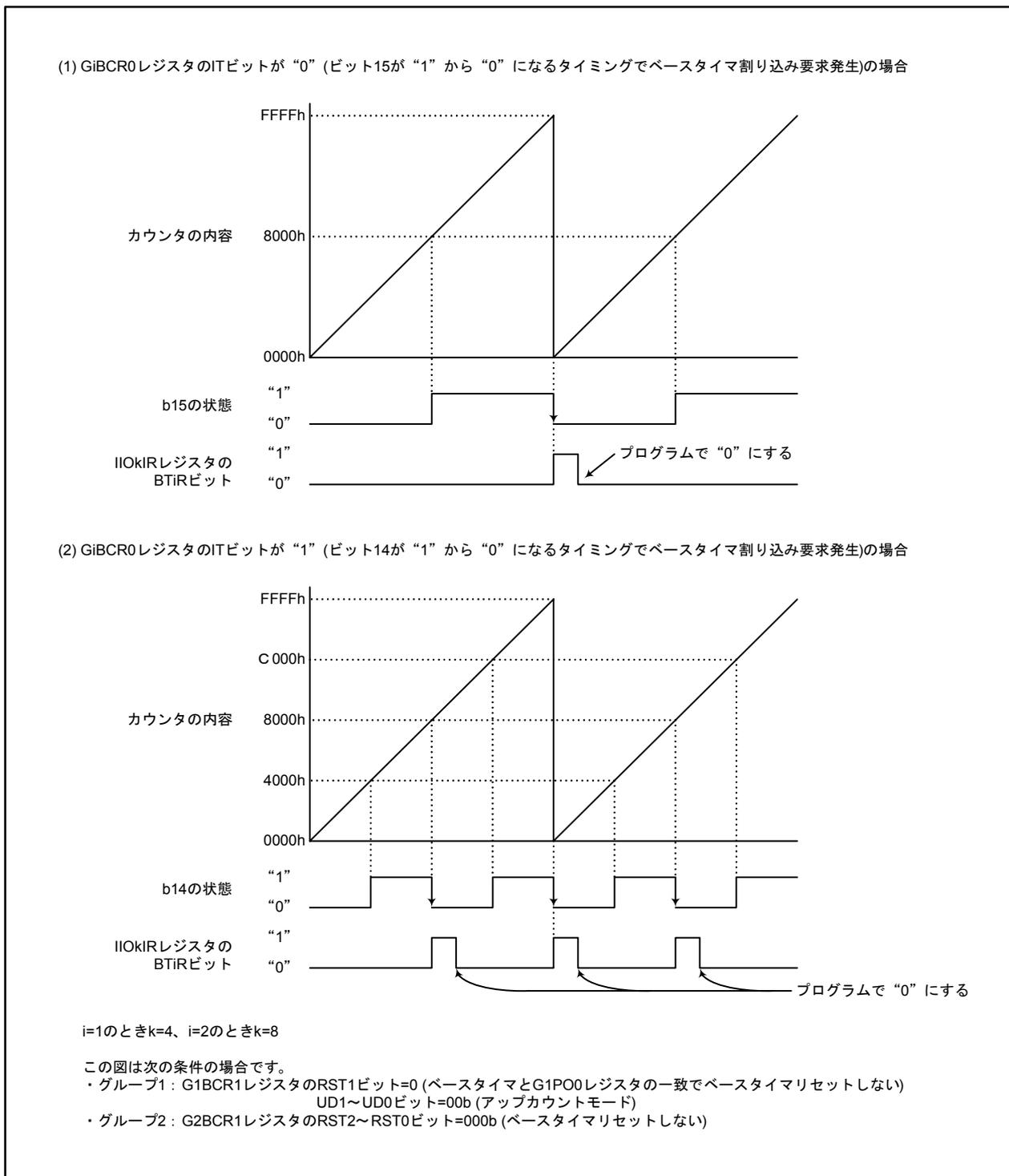


図22.16 ベースタイマのアップカウントモードの動作例(グループ1、2)

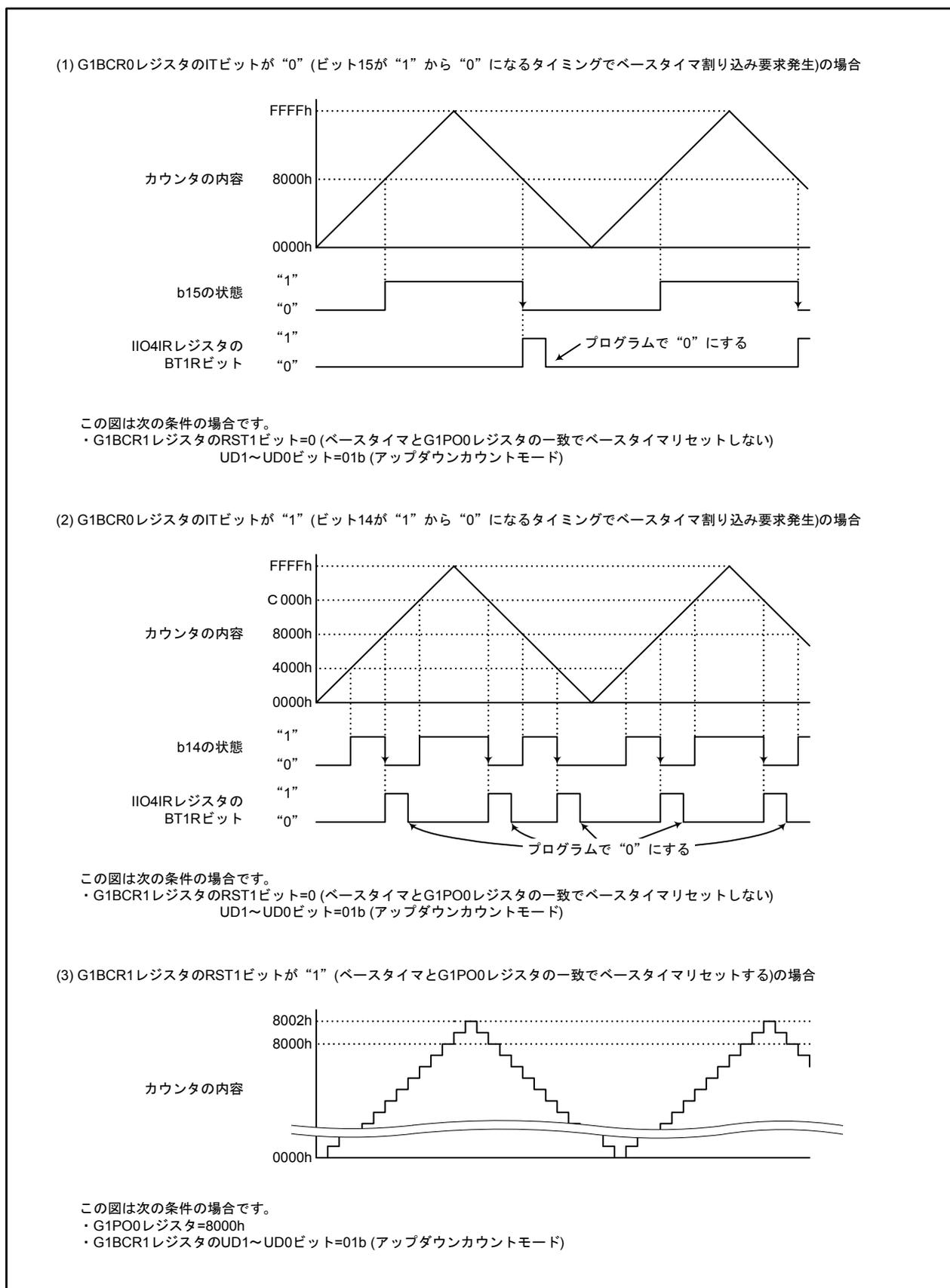


図22.17 ベースタイマのアップダウンカウントモードの動作例(グループ1)

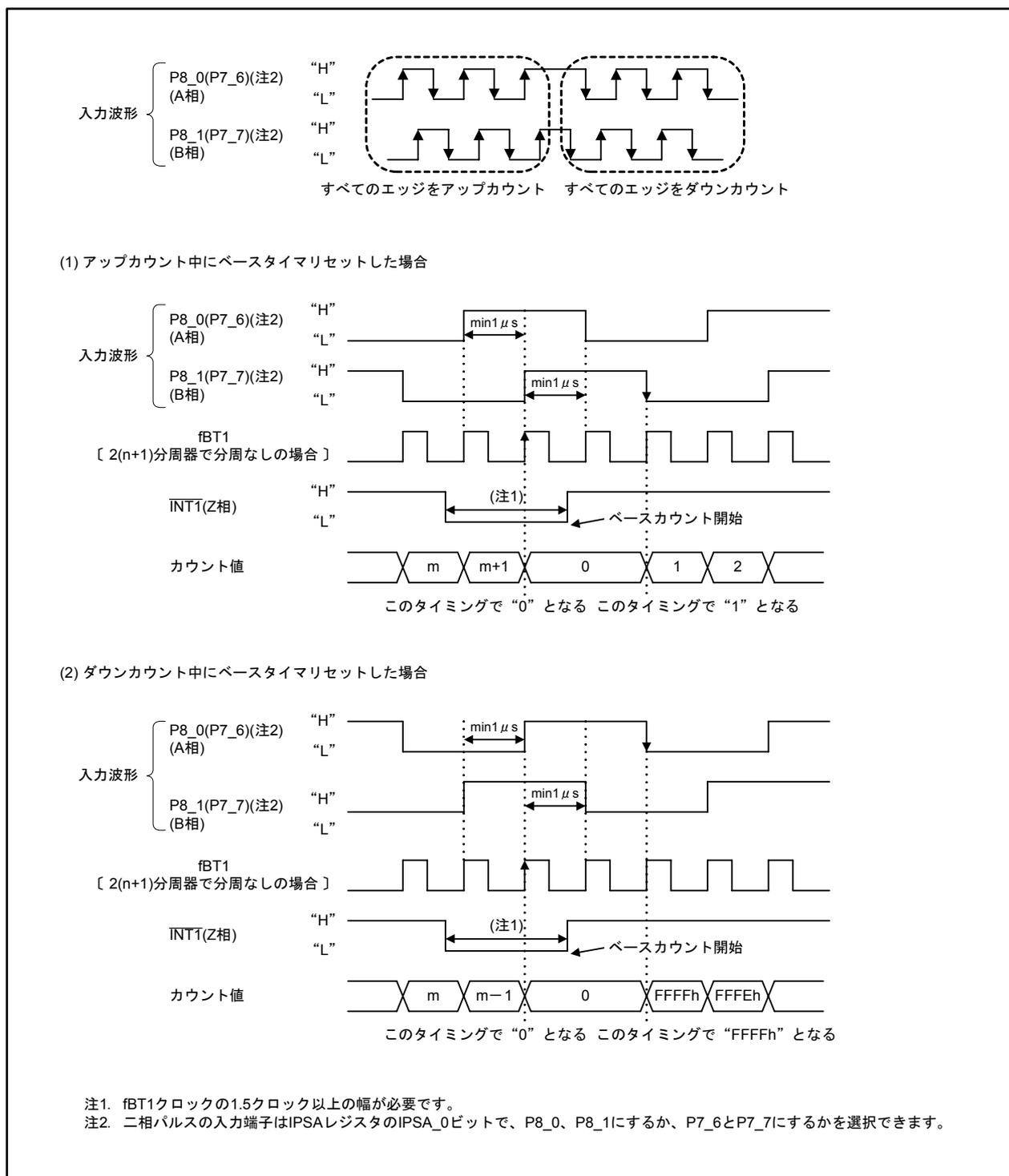


図22.18 ベースタイマの二相パルス信号処理モードの動作例(グループ1)

22.2 時間計測機能(インプットキャプチャ)

外部トリガ入力により、ベースタイマの値をGITMiレジスタ(i=0~7)に格納します。時間計測機能はグループ1にあります。

表22.4に時間計測機能の仕様を、表22.5に端子の設定を、図22.19にレジスタの設定手順を、図22.20に動作例を示します。

表22.4 時間計測機能の仕様

項目	仕様
計測チャンネル	グループ1：チャンネル0~7
INPC1_i端子(i=0~7)	トリガ入力
トリガ入力極性選択	立ち上がりエッジ、立ち下がりエッジ、または両エッジ
計測開始条件	次のすべての条件がそろると計測を開始する <ul style="list-style-type: none"> ・ベースタイマのカウントを開始させる ・G1FSレジスタのFSCiビットが“1”(時間計測機能を選択) ・G1FEレジスタのIFEiビットを“1”(チャンネルiの機能を動作)
計測停止条件	次のいずれかの条件で停止する <ul style="list-style-type: none"> ・G1FEレジスタのIFEiビットを“0”(チャンネルiのみ停止) ・ベースタイマを停止させる(すべてのチャンネルが停止)
時間計測タイミング	プリスケアラ機能なし：有効エッジ入力時 プリスケアラ機能あり(チャンネル6、7)：m+1回目の有効エッジ入力時 m：G1TPRjレジスタ(j=6,7)の設定値
割り込み要求発生タイミング	時間計測タイミング時 割り込み要求が発生すると、IIOkIRレジスタ(k=0~4、8~10)のTM1iRビットが“1”(割り込み要求あり)になる(図11.18参照)
選択機能	<ul style="list-style-type: none"> ・デジタルフィルタ機能 トリガ入力レベルをf1またはfBT1クロックでサンプリングし、3回一致したレベルを通過させる ・プリスケアラ機能(チャンネル6、7) トリガ入力をカウントし、G1TPRjレジスタ値+1回目のトリガ入力ごとに時間計測する ・ゲート機能(チャンネル6、7) 最初のトリガ入力による時間計測以降、トリガ入力を受け付けけない 次のいずれかの条件で、トリガ入力を1回受け付ける <ul style="list-style-type: none"> ・ベースタイマ値とG1POpレジスタ(p=4,5)の値が一致 ・G1TMCRjレジスタのGSCビットを“1”にする

表22.5 時間計測機能を使用する場合の端子の設定

端子	機能	ビットと設定値		
		IPSレジスタ	PD7、PD8、PD11、PD14 レジスタ	PS1、PS2、PS5、PS8 レジスタ
P7_0	INPC1_6	IPS1=0	PD7_0=0	PS1_0=0
P7_1	INPC1_7		PD7_1=0	PS1_1=0
P7_3	INPC1_0		PD7_3=0	PS1_3=0
P7_4	INPC1_1		PD7_4=0	PS1_4=0
P7_5	INPC1_2		PD7_5=0	PS1_5=0
P7_6	INPC1_3		PD7_6=0	PS1_6=0
P7_7	INPC1_4		PD7_7=0	PS1_7=0
P8_1	INPC1_5		PD8_1=0	PS2_1=0
P11_0	INPC1_0 (注1)	IPS1=1	PD11_0=0	PS5_0=0
P11_1	INPC1_1 (注1)		PD11_1=0	PS5_1=0
P11_2	INPC1_2 (注1)		PD11_2=0	PS5_2=0
P11_3	INPC1_3 (注1)		PD11_3=0	PS5_3=0
P14_0	INPC1_4 (注1)		PD14_0=0	PS8_0=0
P14_1	INPC1_5 (注1)		PD14_1=0	PS8_1=0
P14_2	INPC1_6 (注1)		PD14_2=0	PS8_2=0
P14_3	INPC1_7 (注1)		PD14_3=0	PS8_3=0

注1. 144ピン版のみあります。

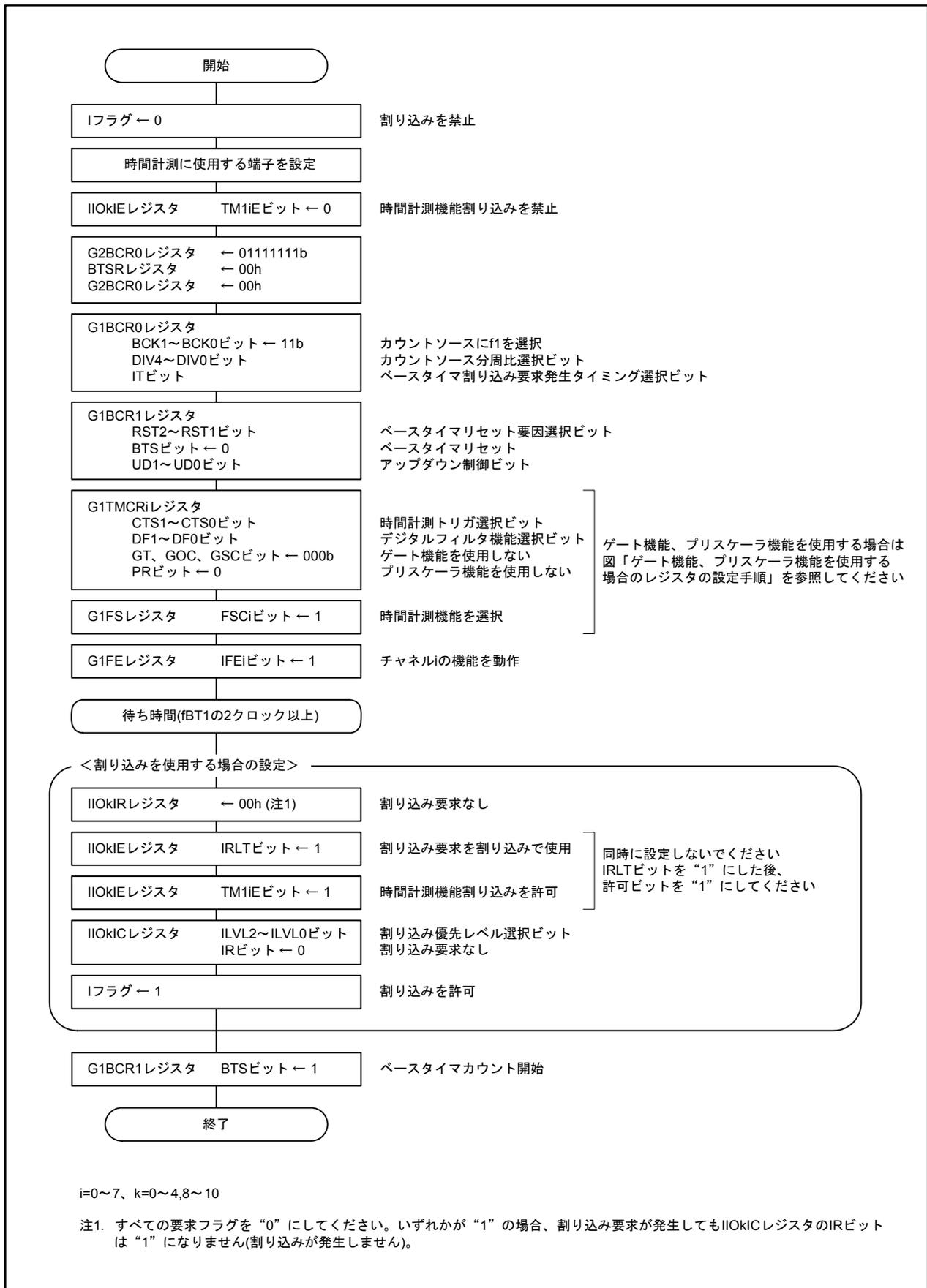


図22.19 時間計測機能を使用する場合のレジスタの設定手順

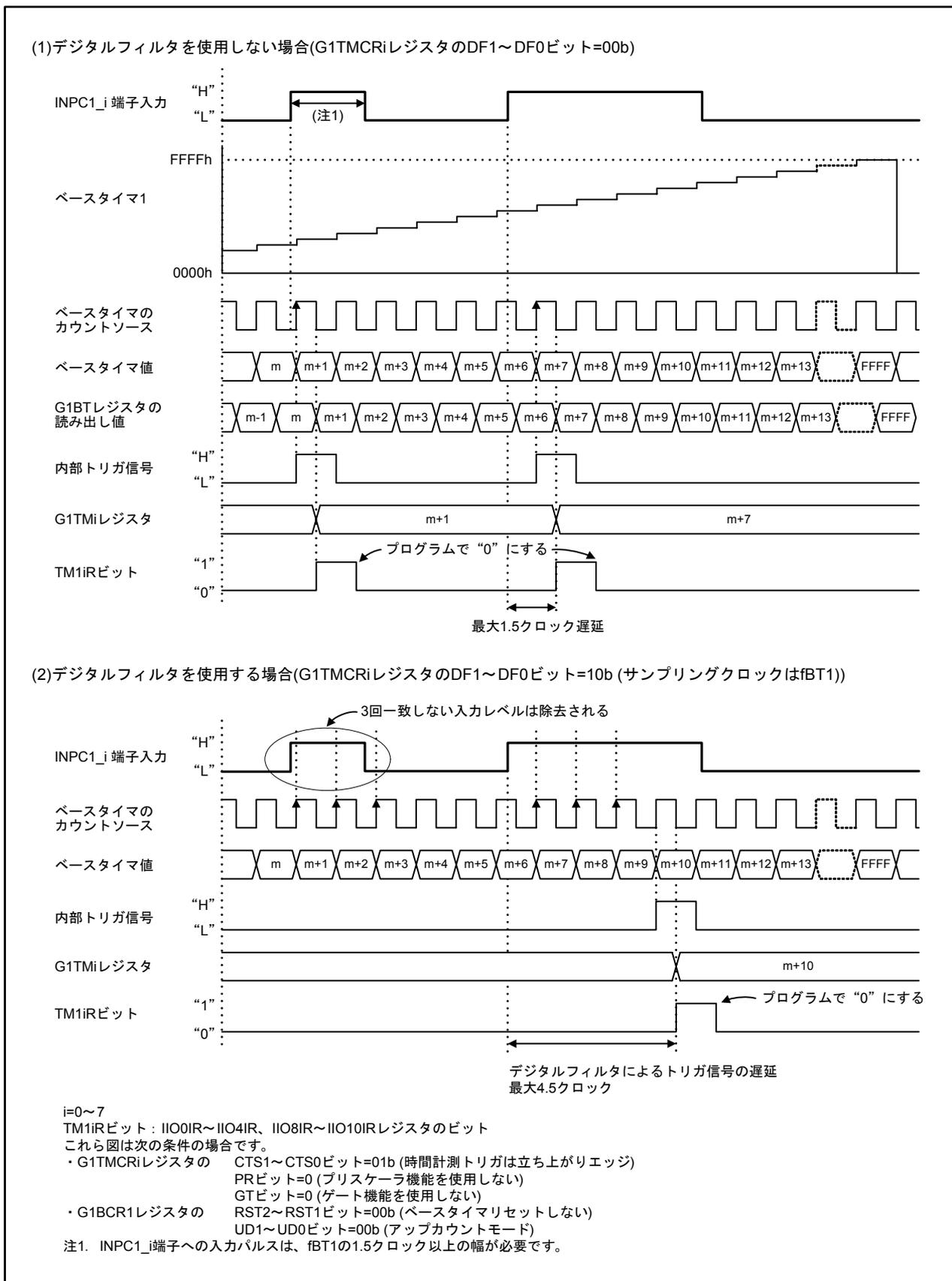


図22.20 時間計測機能の動作例

22.2.1 プリスケーラ機能

G1TPR_jレジスタの設定値+1回目のトリガ入力ごとに時間計測する機能です。プリスケーラ機能はグループ1のチャンネル6、チャンネル7で使用できます。

図22.21にプリスケーラ機能を使用する場合のレジスタの設定手順を、図22.22に動作例を示します。

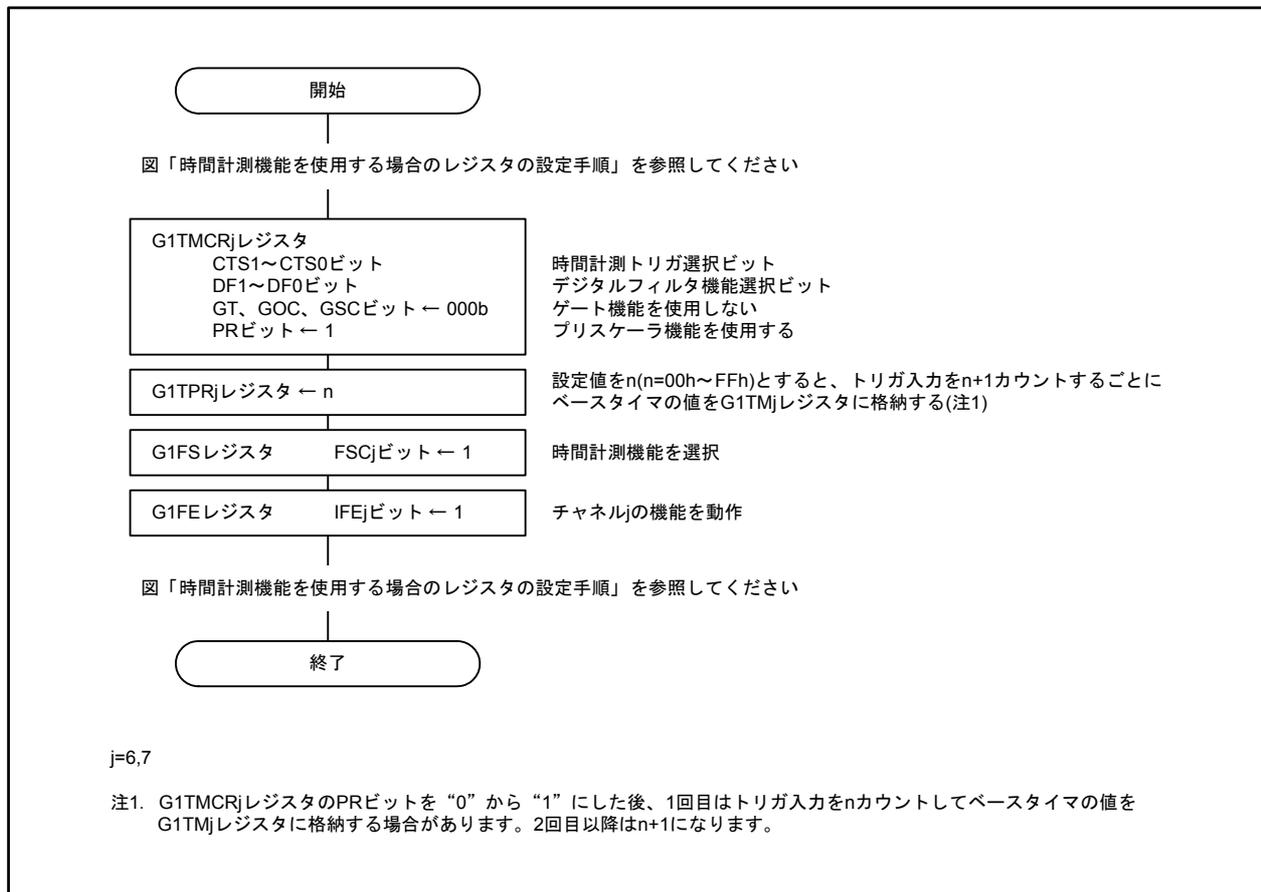


図22.21 プリスケーラ機能を使用する場合のレジスタの設定手順

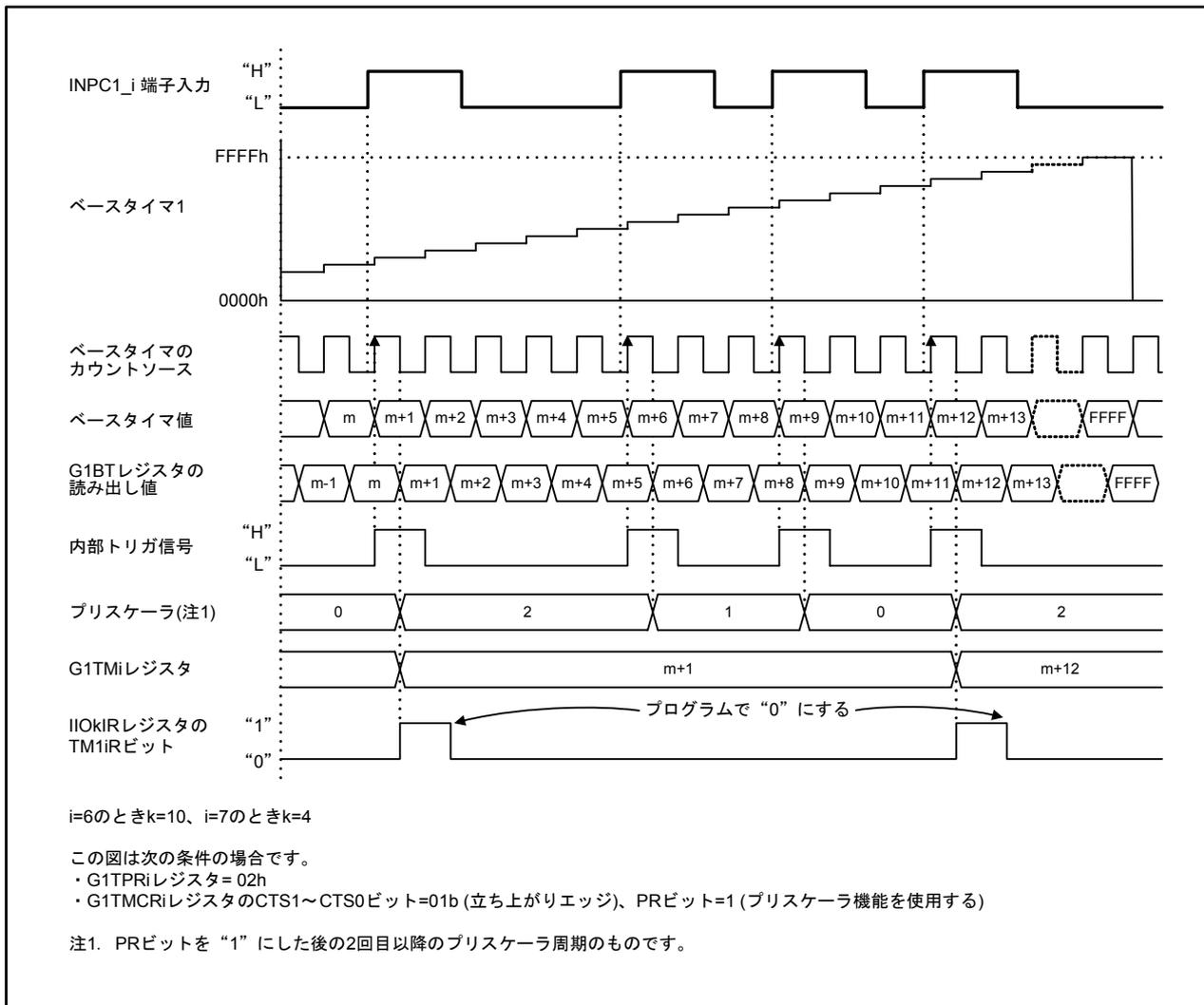


図22.22 プリスケアラ機能を使用する場合の動作例

22.2.2 ゲート機能

一定期間トリガ入力を受け付けなくにする機能です。最初のトリガ入力による時間計測以降、トリガ入力を受け付けません。その後、次のいずれかの条件がそろうごとに、トリガ入力を1回受け付けます。

- ・ ベースタイム値とG1POkレジスタ(k=4,5)の値が一致(波形生成機能を使用する)

チャンネル6のゲート機能解除には、G1PO4レジスタを使用する

チャンネル7のゲート機能解除には、G1PO5レジスタを使用する

- ・ G1TMCRjレジスタ(j=6,7)のGSCビットを“1”にする

ゲート機能はグループ1のチャンネル6、チャンネル7で使用できます。

図22.23にゲート機能を使用する場合のレジスタの設定手順を、図22.24に動作例を示します。

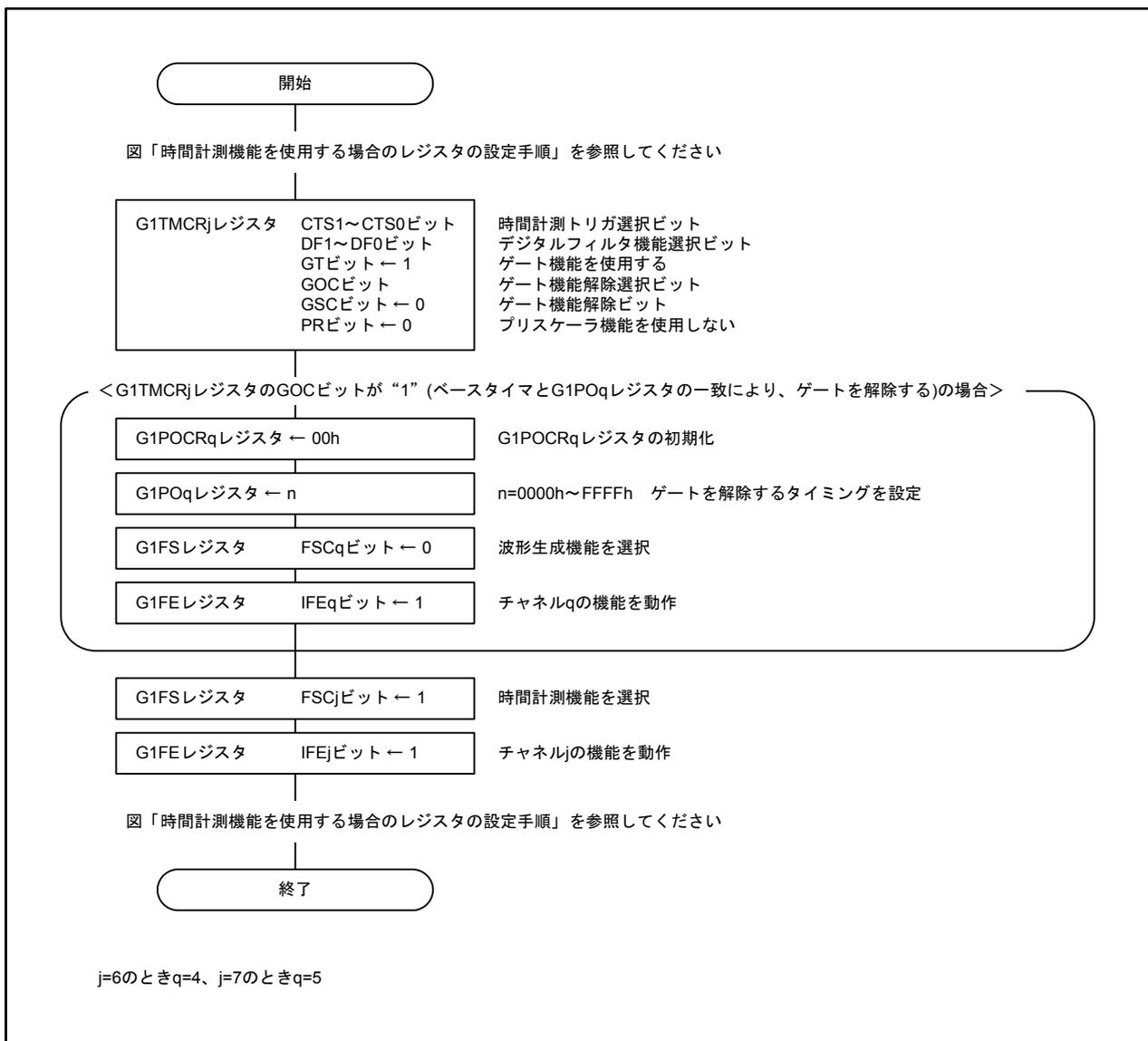


図22.23 ゲート機能を使用する場合のレジスタの設定手順

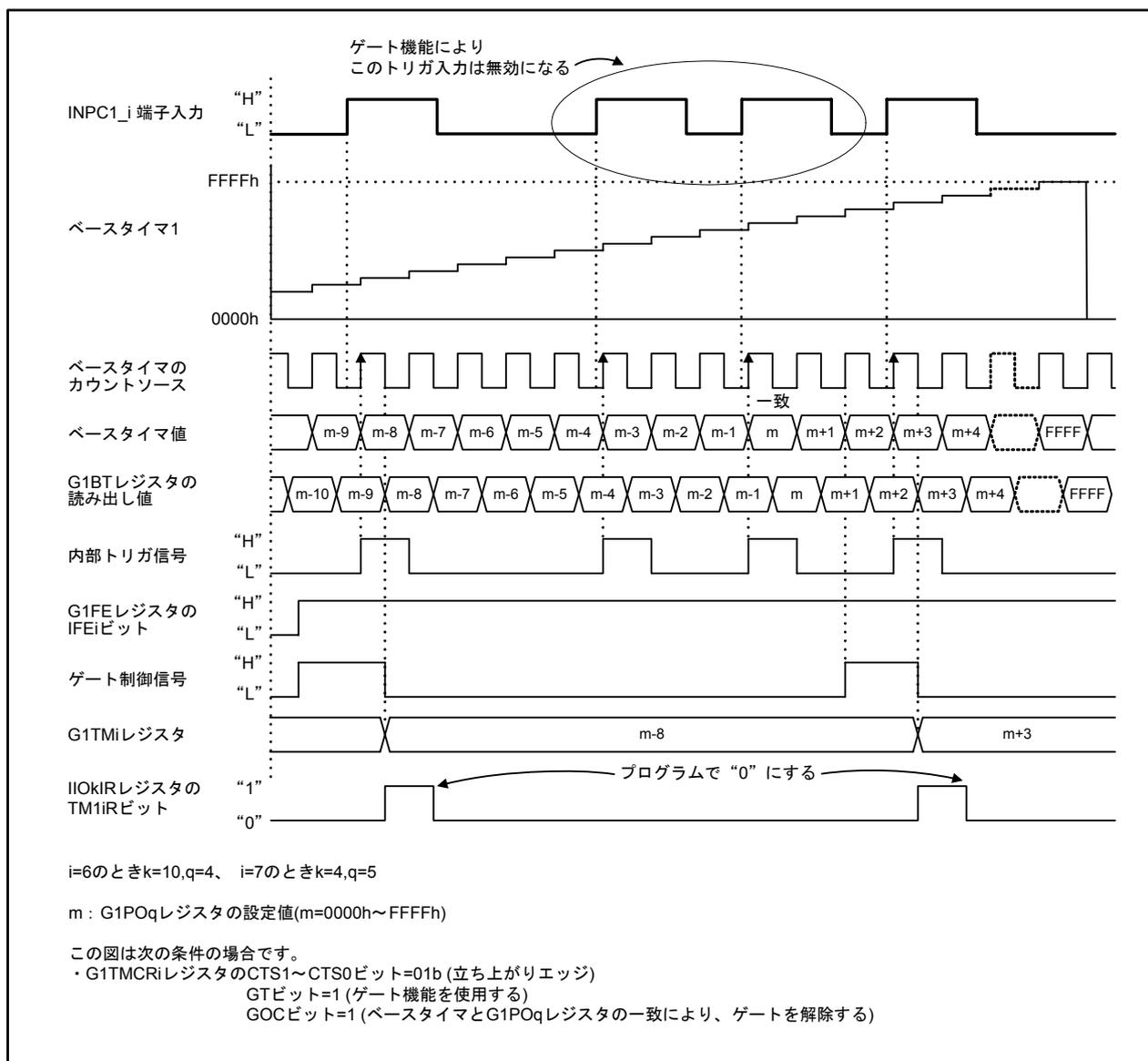


図22.24 ゲート機能を使用する場合の動作例

22.3 波形生成機能(アウトプットコンペア)

ベースタイム値とGiPOjレジスタ(i=1,2、j=0~7)値の一致信号を使用してパルスを出力します。波形生成機能はグループ1とグループ2にあります。

波形生成機能には、次の6つのモードがあります。

- 単相波形出力モード(グループ1、2)
- 反転波形出力モード(グループ1、2)
- セット-リセット(SR)波形出力モード(グループ1、2)
- ビットモジュレーションPWM出力モード(グループ2)
- リアルタイムポート出力モード(グループ2)
- 並列リアルタイムポート出力モード(グループ2)

表22.6に波形生成機能を使用する場合の端子の設定を、図22.25、図22.26に波形生成機能を使用する場合の設定手順を示します。

表 22.6 波形生成機能を使用する場合の端子の設定

端子	機能	ビットと設定値				
		PSE1レジスタ	PSD1レジスタ	PSC、PSC2 レジスタ	PSL0～PSL3、 PSL5、PSL7 レジスタ	PS0～PS3、 PS5、PS7、 PS8レジスタ (注1、4)
P6_4	OUTC2_1	—	—	—	PSL0_4=1	PS0_4=1
P7_0 (注3)	OUTC1_6	PSE1_0=0	PSD1_0=1	PSC_0=1	PSL1_0=0	PS1_0=1
P7_0 (注3)	OUTC2_0	—	PSD1_0=0	PSC_0=1	PSL1_0=0	PS1_0=1
P7_1 (注3)	OUTC1_7	PSE1_1=0	PSD1_1=1	PSC_1=1	PSL1_1=0	PS1_1=1
P7_1 (注3)	OUTC2_2	—	PSD1_1=0	PSC_1=1	PSL1_1=0	PS1_1=1
P7_3	OUTC1_0	—	—	PSC_3=1	PSL1_3=0	PS1_3=1
P7_4	OUTC1_1	—	PSD1_4=0	PSC_4=1	PSL1_4=0	PS1_4=1
P7_5	OUTC1_2	—	—	PSC_5=0	PSL1_5=1	PS1_5=1
P7_6	OUTC1_3	PSE1_6=0	PSD1_6=1	PSC_6=0	PSL1_6=0	PS1_6=1
P7_7	OUTC1_4	—	PSD1_7=0	—	PSL1_7=1	PS1_7=1
P8_1	OUTC1_5	—	PSD2_1=0	PSC2_1=1	PSL2_1=1	PS2_1=1
P9_2	OUTC2_0	—	—	—	PSL3_2=1	PS3_2=1
P11_0	OUTC1_0 (注2)	—	—	—	PSL5_0=0	PS5_0=1
P11_1	OUTC1_1 (注2)	—	—	—	PSL5_1=0	PS5_1=1
P11_2	OUTC1_2 (注2)	—	—	—	PSL5_2=0	PS5_2=1
P11_3	OUTC1_3 (注2)	—	—	—	PSL5_3=0	PS5_3=1
P13_0	OUTC2_4 (注2)	—	—	—	PSL7_0=0	PS7_0=1
P13_1	OUTC2_5 (注2)	—	—	—	PSL7_1=0	PS7_1=1
P13_2	OUTC2_6 (注2)	—	—	—	PSL7_2=0	PS7_2=1
P13_3	OUTC2_3 (注2)	—	—	—	PSL7_3=0	PS7_3=1
P13_4	OUTC2_0 (注2)	—	—	—	PSL7_4=0	PS7_4=1
P13_5	OUTC2_2 (注2)	—	—	—	PSL7_5=0	PS7_5=1
P13_6	OUTC2_1 (注2)	—	—	—	PSL7_6=0	PS7_6=1
P13_7	OUTC2_7 (注2)	—	—	—	PSL7_7=0	PS7_7=1
P14_0	OUTC1_4 (注2)	—	—	—	—	PS8_0=1
P14_1	OUTC1_5 (注2)	—	—	—	—	PS8_1=1
P14_2	OUTC1_6 (注2)	—	—	—	—	PS8_2=1
P14_3	OUTC1_7 (注2)	—	—	—	—	PS8_3=1

注1. PS0～PS3、PS5、PS7、PS8レジスタは最後に設定してください。

注2. 144ピン版のみあります。

注3. 出力はNチャンネルオープンドレイン出力です。

注4. PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPS3レジスタを書き換える命令の間に割り込みやDMA転送、DMACII転送が入らないようにしてください。

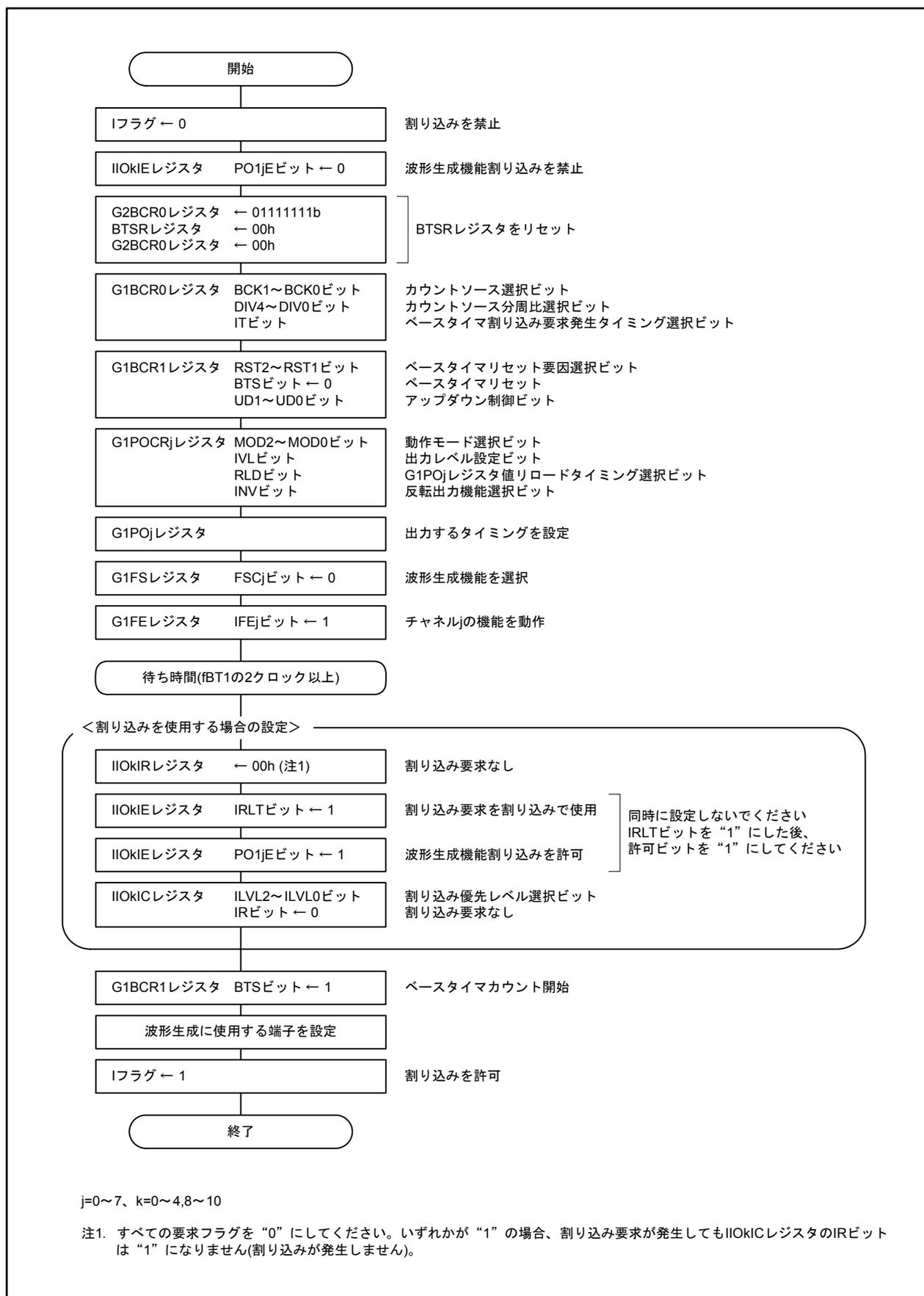


図22.25 波形生成機能を使用する場合のレジスタの設定手順(グループ1)

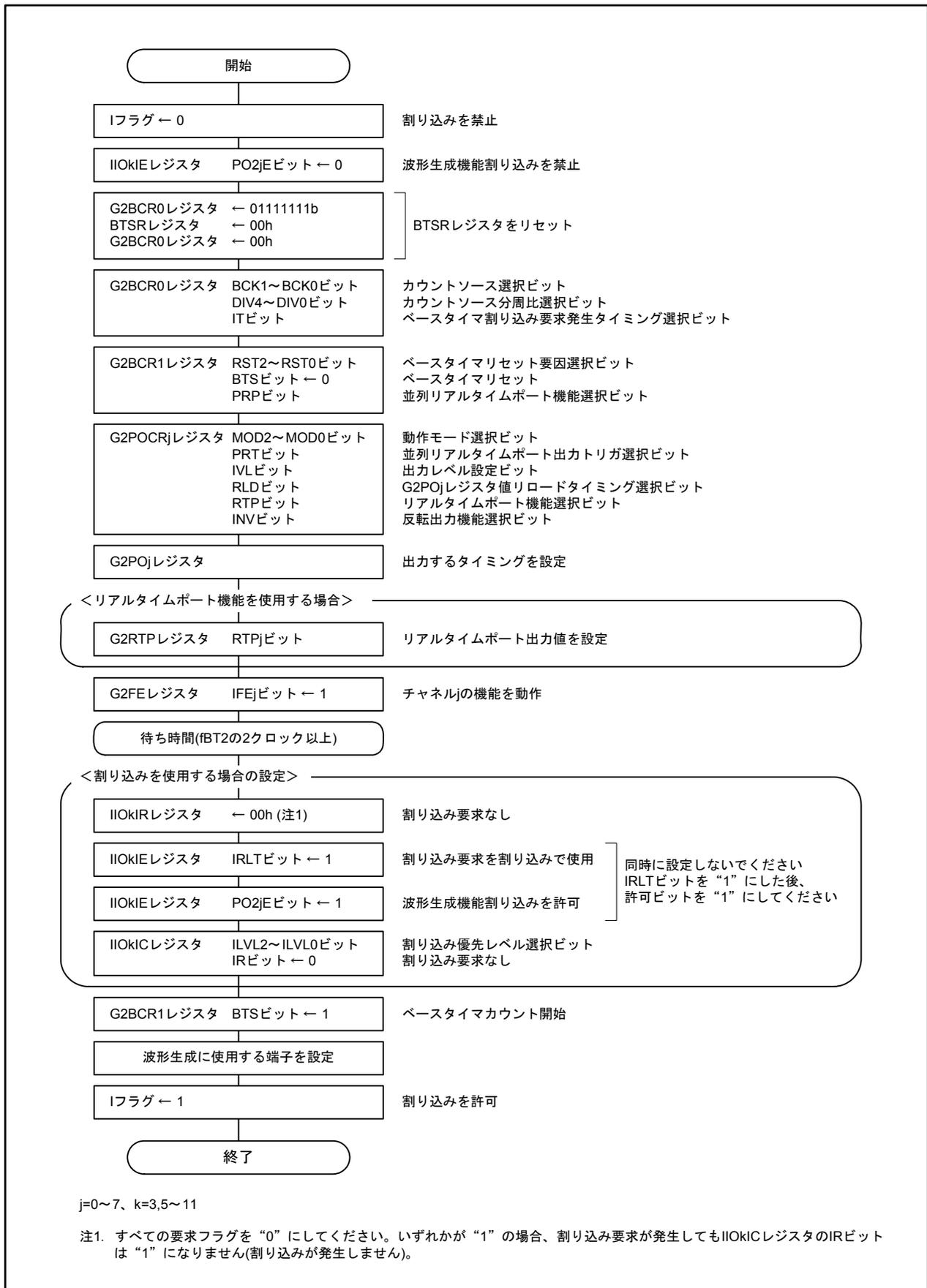


図22.26 波形生成機能を使用する場合のレジスタの設定手順(グループ2)

22.3.1 単相波形出力モード(グループ1、2)

ベースタイマ値とGiPOjレジスタ(i=1,2、j=0~7)の値が一致すると、OUTCi_j端子の出力レベルは“H”になり、ベースタイマリセットで“L”になります。

表22.7に単相波形出力モードの仕様を、図22.27に動作例を示します。

表22.7 単相波形出力モードの仕様

項目	仕様
波形生成チャンネル	グループ1：チャンネル0~7、グループ2：チャンネル0~7
OUTCi_j端子	パルス出力
出力波形(注1)	<p>ベースタイマリセットしない場合</p> <ul style="list-style-type: none"> ・ GiPOCRjレジスタのINVビットが“0”(出力反転しない) ・ G1BCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード) <p>周期：$\frac{65536}{fBTi}$</p> <p>“L”幅：$\frac{m}{fBTi}$</p> <p>“H”幅：$\frac{65536-m}{fBTi}$ m：GiPOjレジスタの設定値(0000h~FFFFh)</p> <p>ベースタイマとGiPO0レジスタの一致でベースタイマリセットする場合</p> <ul style="list-style-type: none"> ・ GiPOCRjレジスタのINVビットが“0”(出力反転しない) ・ G1BCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード) <p>周期：$\frac{p+2}{fBTi}$</p> <p>“L”幅：$\frac{m}{fBTi}$ m：GiPOjレジスタの設定値(0000h~FFFFh)</p> <p>“H”幅：$\frac{p+2-m}{fBTi}$ p：GiPO0レジスタの設定値(0001h~FFFDh) m ≥ p+2の場合、出力レベルは“L”固定</p>
波形出力開始条件	GiBCR1レジスタのBTSビットを“1”かつGiFEレジスタのIFEjビットを“1”にする
波形出力停止条件	BTSビットを“0”またはIFEjビットを“0”にする
割り込み要求発生タイミング	ベースタイマ値とGiPOjレジスタの値が一致した後、2クロック目に割り込み要求発生 割り込み要求が発生すると、IIOkIRレジスタ(k=0~11)のPOjRビットが“1”(割り込み要求あり)になる(図11.18参照)
選択機能	<ul style="list-style-type: none"> ・ 初期値設定機能 波形出力開始時の出力レベルを設定(GiPOCRjレジスタのIVLビットで選択) ・ 反転出力機能 波形出力レベルを反転して出力(GiPOCRjレジスタのINVビットで選択)

注1. GiPOCRjレジスタのINVビットが“1”(出力反転する)の場合、“L”幅と“H”幅は逆になります。

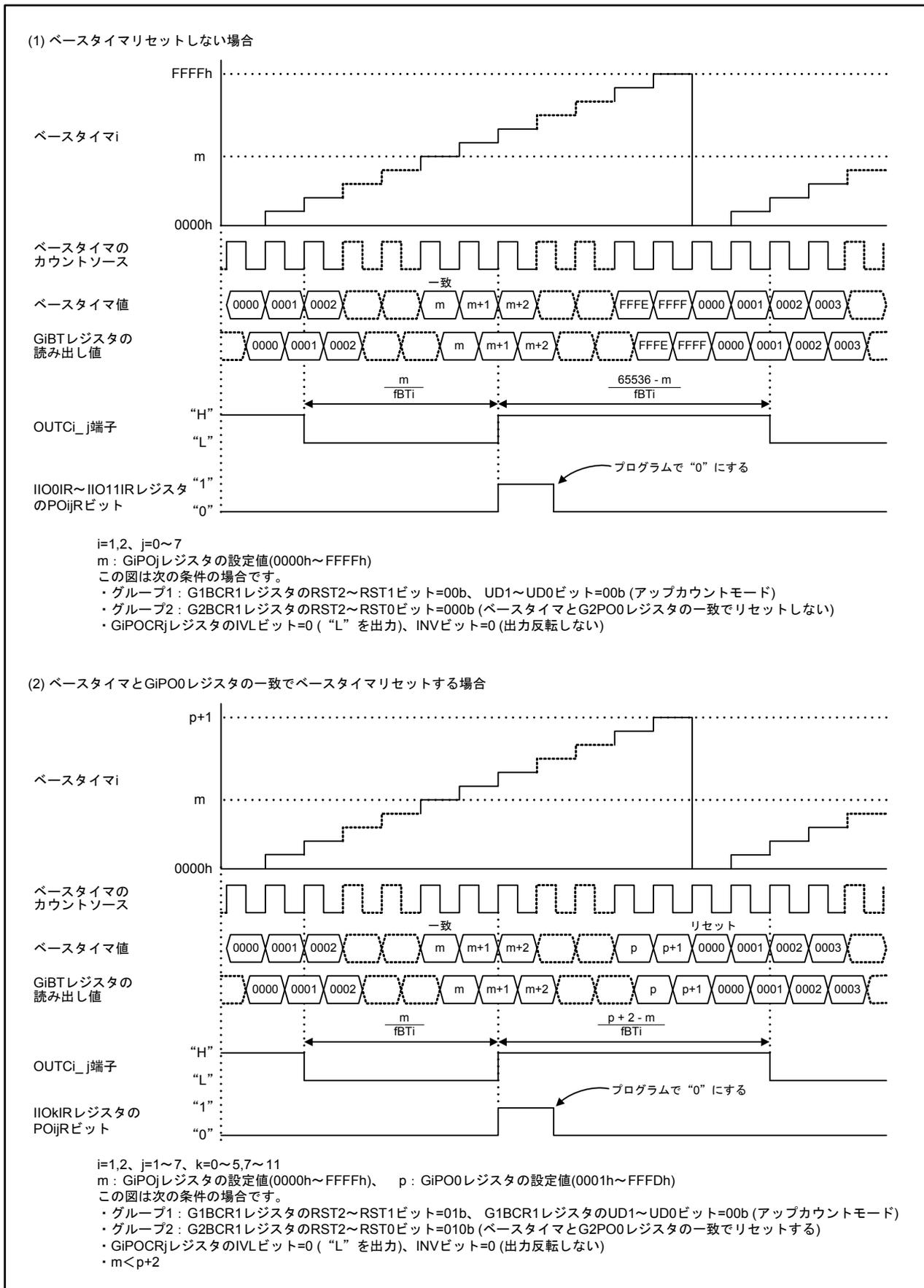


図22.27 単相波形出力モードの動作例

22.3.2 反転波形出力モード(グループ1、2)

ベースタイム値とGiPOjレジスタ(i=1,2、j=0~7)の値が一致するごとに、OUTCi_j端子の出力レベルを反転します。

表22.8に反転波形出力モードの仕様を、図22.28に動作例を示します。

表22.8 反転波形出力モードの仕様

項目	仕様
波形生成チャンネル	グループ1：チャンネル0~7、グループ2：チャンネル0~7
OUTCi_j端子	パルス出力
出力波形	<p>ベースタイムリセットしない場合</p> <ul style="list-style-type: none"> ・G1BCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード) <p>周期 $: \frac{65536 \times 2}{f_{BTi}}$</p> <p>“H”幅、“L”幅 $: \frac{65536}{f_{BTi}}$</p> <p>ベースタイムとGiPO0レジスタの一致でベースタイムリセットする場合</p> <ul style="list-style-type: none"> ・G1BCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード) <p>周期 $: \frac{2(p+2)}{f_{BTi}}$</p> <p>“H”幅、“L”幅 $: \frac{p+2}{f_{BTi}}$ p : GiPO0レジスタの設定値(0001h~FFFDh)</p> <p>ただし、GiPOqレジスタ(q=1~7)の設定値(0000h~FFFFh) \geq p+2の場合、出力レベルは反転しません</p>
波形出力開始条件	GiBCR1レジスタのBTSビットを“1”かつGiFEレジスタのIFEjビットを“1”にする
波形出力停止条件	BTSビットを“0”またはIFEjビットを“0”にする
割り込み要求発生タイミング	ベースタイム値とGiPOjレジスタの値が一致した後、2クロック目に割り込み要求発生 割り込み要求が発生すると、IIOkIRレジスタ(k=0~11)のPOijRビットが“1”(割り込み要求あり)になる(図11.18参照)
選択機能	<ul style="list-style-type: none"> ・初期値設定機能 波形出力開始時の出力レベルを設定(GiPOCRjレジスタのIVLビットで選択) ・反転出力機能 波形出力レベルを反転して出力(GiPOCRjレジスタのINVビットで選択)

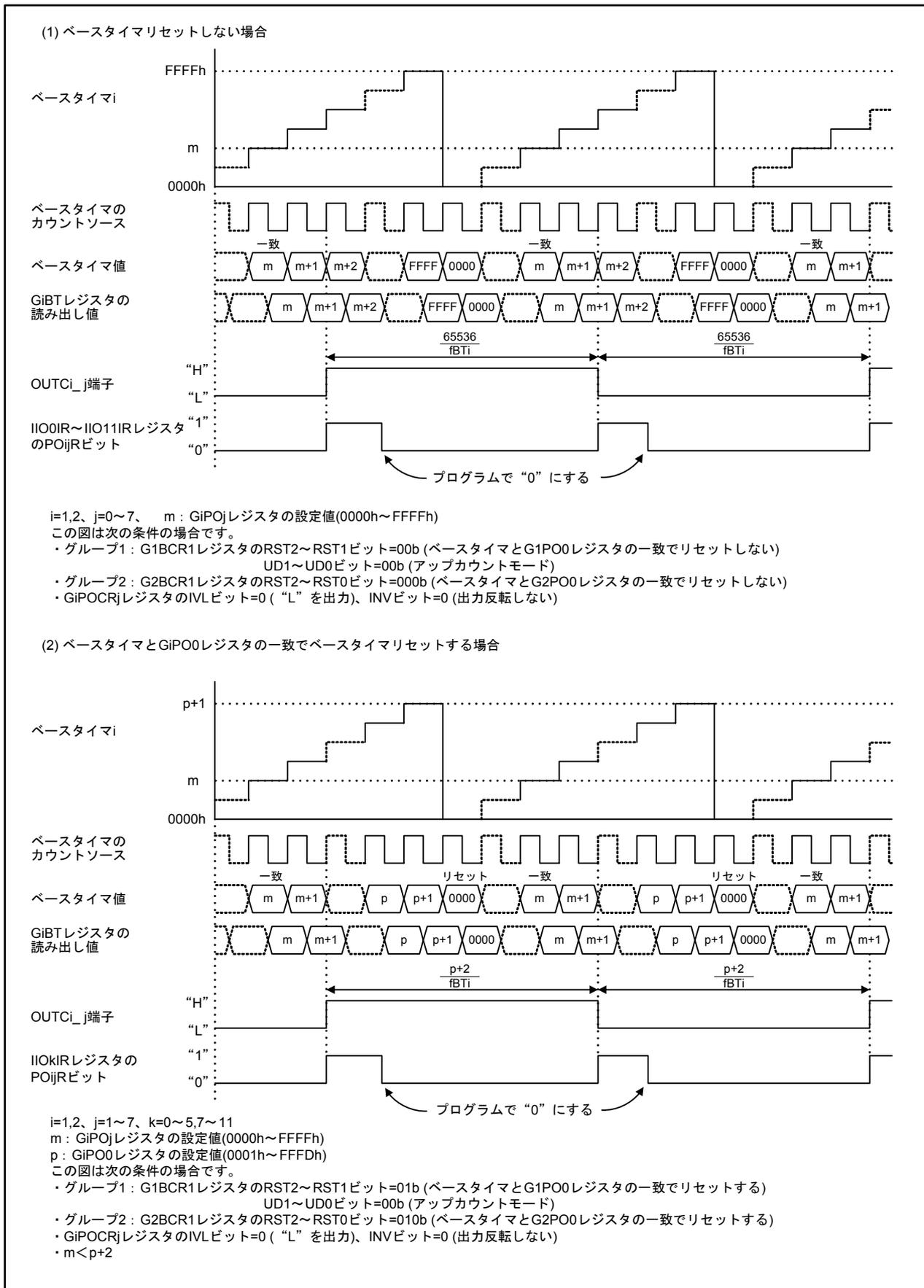


図22.28 反転波形出力モードの動作例

22.3.3 セット-リセット(SR)波形出力モード(グループ1、2)

ベースタイマ値とGiPOjレジスタ(i=1,2、j=0,2,4,6)の値が一致すると、OUTCi_j端子の出力レベルが“H”になります。ベースタイマ値とGiPOkレジスタ(k=j+1)の値が一致、またはベースタイマリセットで“L”になります。

表22.9にSR波形出力モードの仕様を、図22.29に動作例を示します。

表22.9 SR波形出力モードの仕様

項目	仕様
波形生成チャンネル(注1)	グループ1：0,2,4,6チャンネル、グループ2：0,2,4,6チャンネル
OUTCi _j 端子	パルス出力
出力波形(注1、2)	<p>ベースタイマリセットしない場合</p> <ul style="list-style-type: none"> GiPOCRjレジスタのINVビットが“0”(出力反転しない) G1BCR1レジスタのUD1～UD0ビットが“00b”(アップカウントモード) <p>(1) m < nの場合</p> <p>“H”幅：$\frac{n-m}{f_{BTi}}$ “L”幅：$\frac{65536-n+m}{f_{BTi}}$</p> <p>(2) m ≥ nの場合</p> <p>“H”幅：$\frac{65536-m}{f_{BTi}}$ “L”幅：$\frac{m}{f_{BTi}}$</p> <p>m：GiPOjレジスタの設定値(0000h～FFFFh) n：GiPOkレジスタの設定値(0000h～FFFFh)</p> <p>ベースタイマとGiPO0レジスタとの一致でベースタイマリセットする場合(注1)</p> <ul style="list-style-type: none"> GiPOCRjレジスタのINVビットが“0”(出力反転しない) G1BCR1レジスタのUD1～UD0ビットが“00b”(アップカウントモード) <p>(1) m < n < p + 2の場合</p> <p>“H”幅：$\frac{n-m}{f_{BTi}}$ “L”幅：$\frac{p+2-n+m}{f_{BTi}}$</p> <p>(2) m < p + 2 ≤ nの場合</p> <p>“H”幅：$\frac{p+2-m}{f_{BTi}}$ “L”幅：$\frac{m}{f_{BTi}}$</p> <p>(3) m ≥ p + 2の場合、出力レベルは“L”固定</p> <p>m：GiPOqレジスタ(q=2,4,6)の設定値(0000h～FFFFh) n：GiPOkレジスタの設定値(0000h～FFFFh) p：GiPO0レジスタの設定値(0001h～FFFDh)</p>
波形出力開始条件	GiBCR1レジスタのBTSビットを“1”かつGiFEレジスタのIFEjビットを“1”にする
波形出力停止条件	BTSビットを“0”またはIFEjビットを“0”にする
割り込み要求発生タイミング	ベースタイマ値とGiPOkレジスタの値が一致した後、2クロック目に割り込み要求発生 割り込み要求が発生するとIIO0iR～IIO11iRレジスタのPOi0R～POi7Rビットが“1”(割り込み要求あり)になる(図11.18参照)
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定(GiPOCRjレジスタのIVLビットで選択) 反転出力機能 波形出力レベルを反転して出力(GiPOCRjレジスタのINVビットで選択)

注1. GiPO0レジスタでベースタイマをリセットする場合、チャンネル0によるSR波形生成機能は使用できません。

注2. GiPOCRjレジスタのINVビットが“1”(出力反転する)の場合、“L”幅と“H”幅は逆になります。

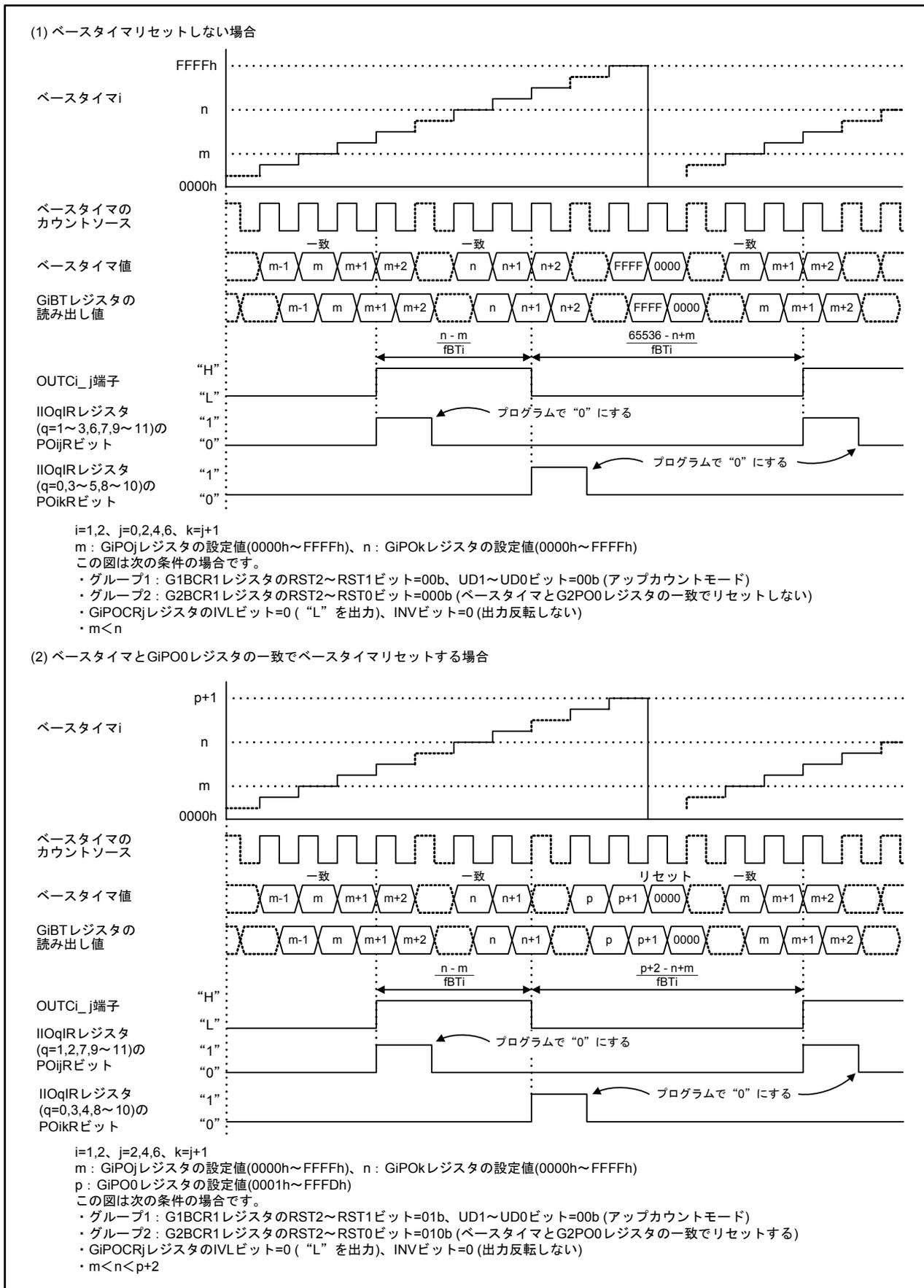


図22.29 SR波形出力モードの動作例

22.3.4 ビットモジュレーションPWM出力モード(グループ2)

ビットモジュレーションPWM出力モードでは、6ビットPWMの周期で16ビットPWMのデューティ比を実現することができます。6ビットPWMで指定した1024個のパルスを1セットとして繰り返し出力します。G2POiレジスタ(i=0~7)の上位6ビットで基本“L”幅を設定し、下位10ビットで1クロック分“L”幅を延ばしたパルス(モジュレーションパルス)の個数を設定します。

表22.10にビットモジュレーションPWM出力モードの仕様を、表22.11にモジュレーションパルス数と発生位置の関係を、図22.30に動作例を示します。

表22.10 ビットモジュレーションPWM出力モードの仕様

項目	仕様
波形生成チャンネル	グループ2：チャンネル0~7(注1)
OUTC2_i端子	パルス出力
出力波形(注2、3)	PWM周期： $\frac{64}{f_{BT2}} (= t)$ 繰り返し周期： $\frac{65536}{f_{BT2}} (= \frac{64}{f_{BT2}} \times 1024)$ “L”幅： $\frac{n+1}{f_{BT2}}$ (m個のパルス)、 $\frac{n}{f_{BT2}}$ (1024 - m個のパルス) 平均“L”幅： $\frac{1}{f_{BT2}} \times (n + \frac{m}{1024})$ n：G2POiレジスタの上位6ビットの設定値(00h~3Fh) m：G2POiレジスタの下位10ビットの設定値(000h~3FFh)
波形出力開始条件	G2BCR1レジスタのBTSビットを“1”かつG2FEレジスタのIFEiビットを“1”にする
波形出力停止条件	BTSビットを“0”またはIFEiビットを“0”にする
割り込み要求発生タイミング	ベースタイム値とG2POiレジスタの値が一致した後、2クロック目に割り込み要求発生 割り込み要求が発生すると、IIOkIRレジスタ(k=3,5~11)のPO2iRビットが“1” (割り込み要求あり)になる(図11.18参照)
選択機能	<ul style="list-style-type: none"> ・初期値設定機能 波形出力開始時の出力レベルを設定(G2POCRiレジスタのIVLビットで選択) ・反転出力機能 波形出力レベルを反転して出力(G2POCRiレジスタのINVビットで選択)

注1. 144ピン版のチャンネルです。100ピン版はチャンネル0~2です。

注2. ビットモジュレーションPWMモードを使用する場合は、G2BCR1レジスタのRST2~RST0ビットを“000b”にしてください。

注3. G2POCRiレジスタのINVビットが“1”(出力反転する)の場合、“L”幅と“H”幅は逆になります。

表22.11 モジュレーションパルス数と発生位置の関係

G2POiレジスタの下位10ビット	パルス数	発生位置
00 0000 0000b	0	なし
00 0000 0001b	1	512t
00 0000 0010b	2	256t、768t
00 0000 0100b	4	128t、384t、640t、896t
00 0000 1000b	8	64t、192t、320t、448t、576t、704t、832t、960t
...
10 0000 0000b	512	1t、3t、5t、7t、...、1019t、1021t、1023t

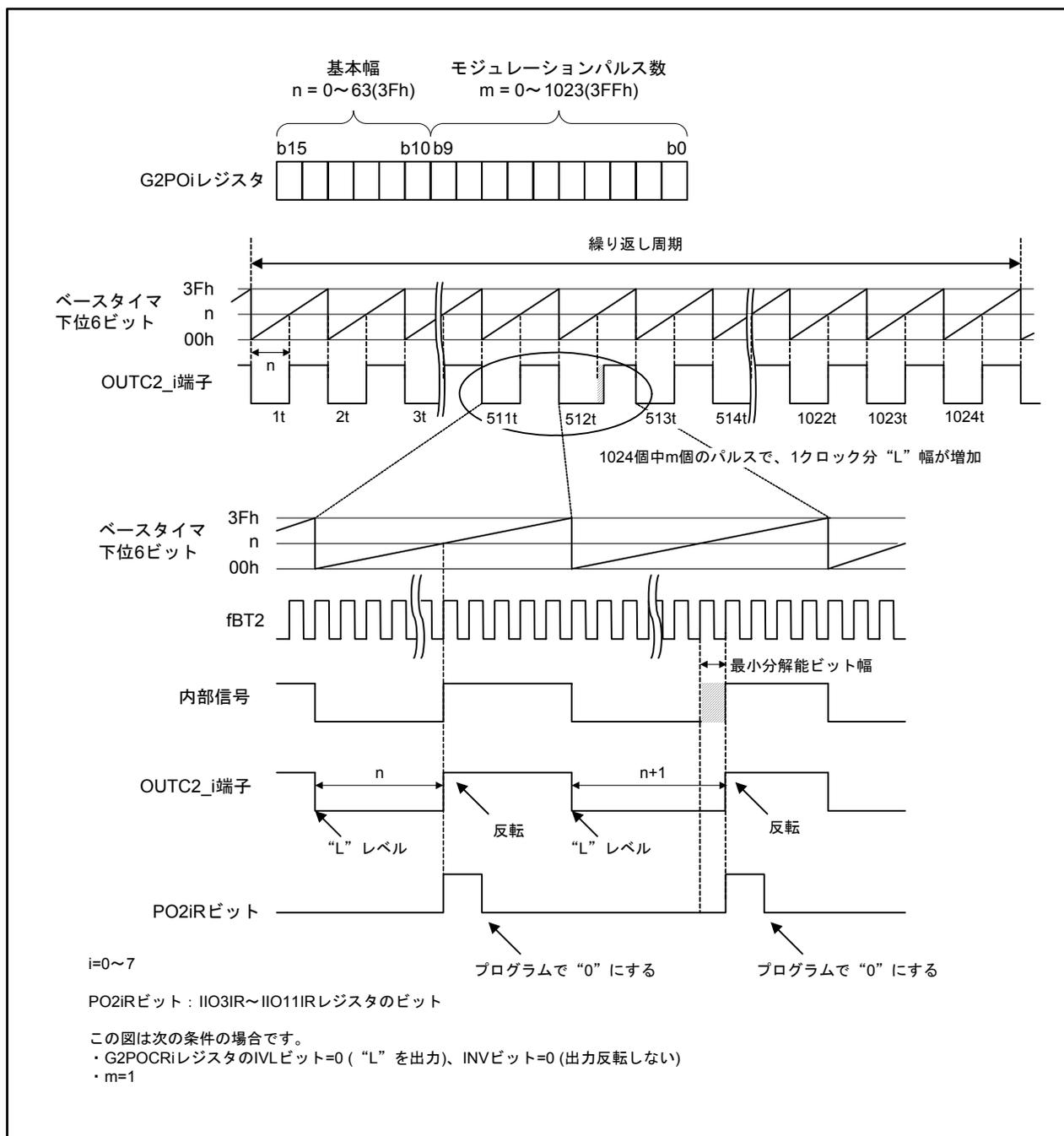


図22.30 ビットモジュレーションPWM出力モードの動作例

22.3.5 リアルタイムポート出力モード(グループ2)

G2POiレジスタ(i=0~7)の値とベースタイム値が一致すると、G2RTPレジスタのRTPiビットの値がOUTC2_i端子から出力されます。

リアルタイムポート出力モードを使用する場合、使用するチャンネルのG2POCRiレジスタのRTPビットを“1”、PRTビットを“0”にしてください。また、G2BCR1レジスタのPRPビットを“0”にしてください。

表22.12にリアルタイムポート出力モードの仕様を、図22.31にブロック図を、図22.32に動作例を示します。

表22.12 リアルタイムポート出力モードの仕様

項目	仕様
波形生成チャンネル	グループ2：チャンネル0~7(注1)
OUTC2_i端子	リアルタイムポート出力
波形出力開始条件	G2BCR1レジスタのBTSビットを“1”かつG2FEレジスタのIFEiビットを“1”にする
波形出力停止条件	BTSビットを“0”またはIFEiビットを“0”にする
割り込み要求発生タイミング	ベースタイム値とG2POiレジスタの値が一致した後、2クロック目に割り込み要求発生 割り込み要求が発生すると、IIOkIRレジスタ(k=3,5~11)のPO2iRビットが“1” (割り込み要求あり)になる(図11.18参照)
選択機能	・初期値設定機能 波形出力開始時の出力レベルを設定(G2POCRjレジスタのIVLビットで選択)

注1. 144ピン版のチャンネルです。100ピン版はチャンネル0~2です。

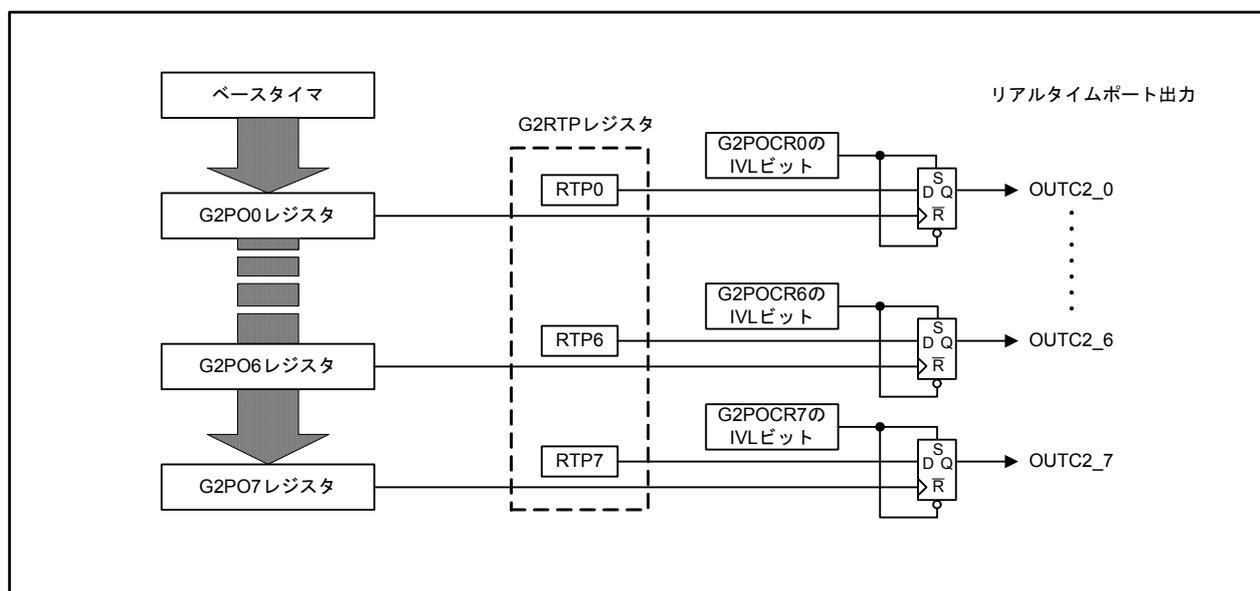


図22.31 リアルタイムポート出力機能のブロック図

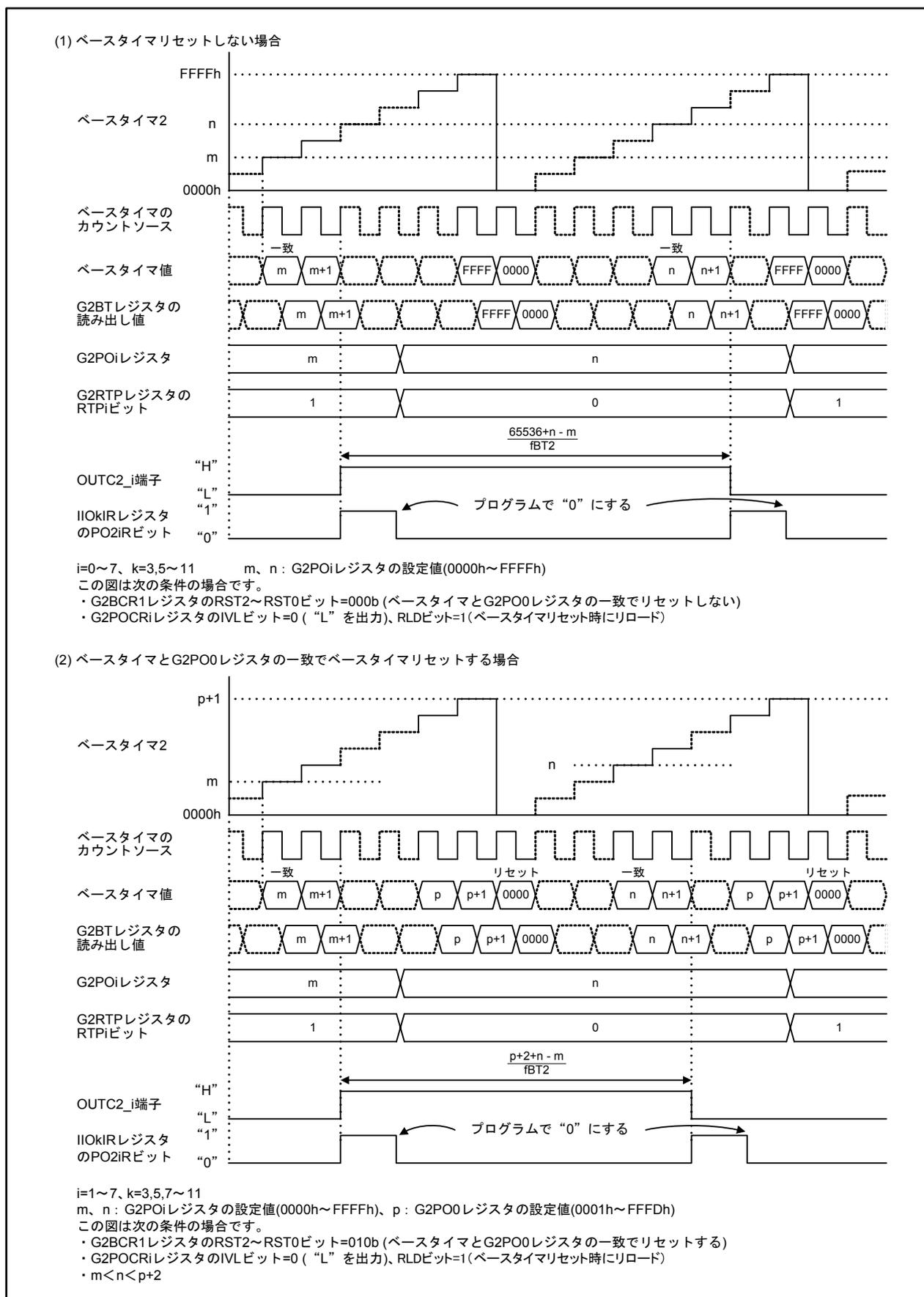


図 22.32 リアルタイムポート出力モードの動作例

22.3.6 並列リアルタイムポート出力モード(グループ2)

G2POCRiレジスタ(i=0~7)のRTPビットを“1”に設定しているすべてのチャンネルが並列リアルタイムポート出力モードになります。並列リアルタイムポート出力モードのいずれかのG2POiレジスタの値とベースタイム値が一致すると、すべてのチャンネルからG2RTPレジスタで設定した値がOUTC2_i端子から出力されます。リアルタイムポート出力と並列リアルタイムポート出力を同時に使用することはできません。

並列リアルタイムポート出力モードを使用する場合、使用するチャンネルのG2POCRiレジスタのRTPビットを“1”、PRTビットを“1”にしてください。また、G2BCR1レジスタのPRPビットを“1”にしてください。

表22.13に並列リアルタイムポート出力モードの仕様を、図22.33にブロック図を、図22.34に動作例を示します。

表22.13 並列リアルタイムポート出力モードの仕様

項目	仕様
波形生成チャンネル	グループ2：チャンネル0~7(注1)
OUTC2_i端子	リアルタイムポート出力
波形出力開始条件	G2BCR1レジスタのBTSビットを“1”かつG2FEレジスタのIFEiビットを“1”にする
波形出力停止条件	BTSビットを“0”またはIFEiビットを“0”にする
割り込み要求発生タイミング	ベースタイム値とG2POiレジスタの値が一致した後、2クロック目に割り込み要求発生 割り込み要求が発生すると、IIOkIRレジスタ(k=3,5~11)のPO2iRビットが“1”(割り込み要求あり)になる(図11.18参照)
選択機能	・初期値設定機能 波形出力開始時の出力レベルを設定(G2POCRiレジスタのIVLビットで選択)

注1. 144ピン版のチャンネルです。100ピン版はチャンネル0~2です。

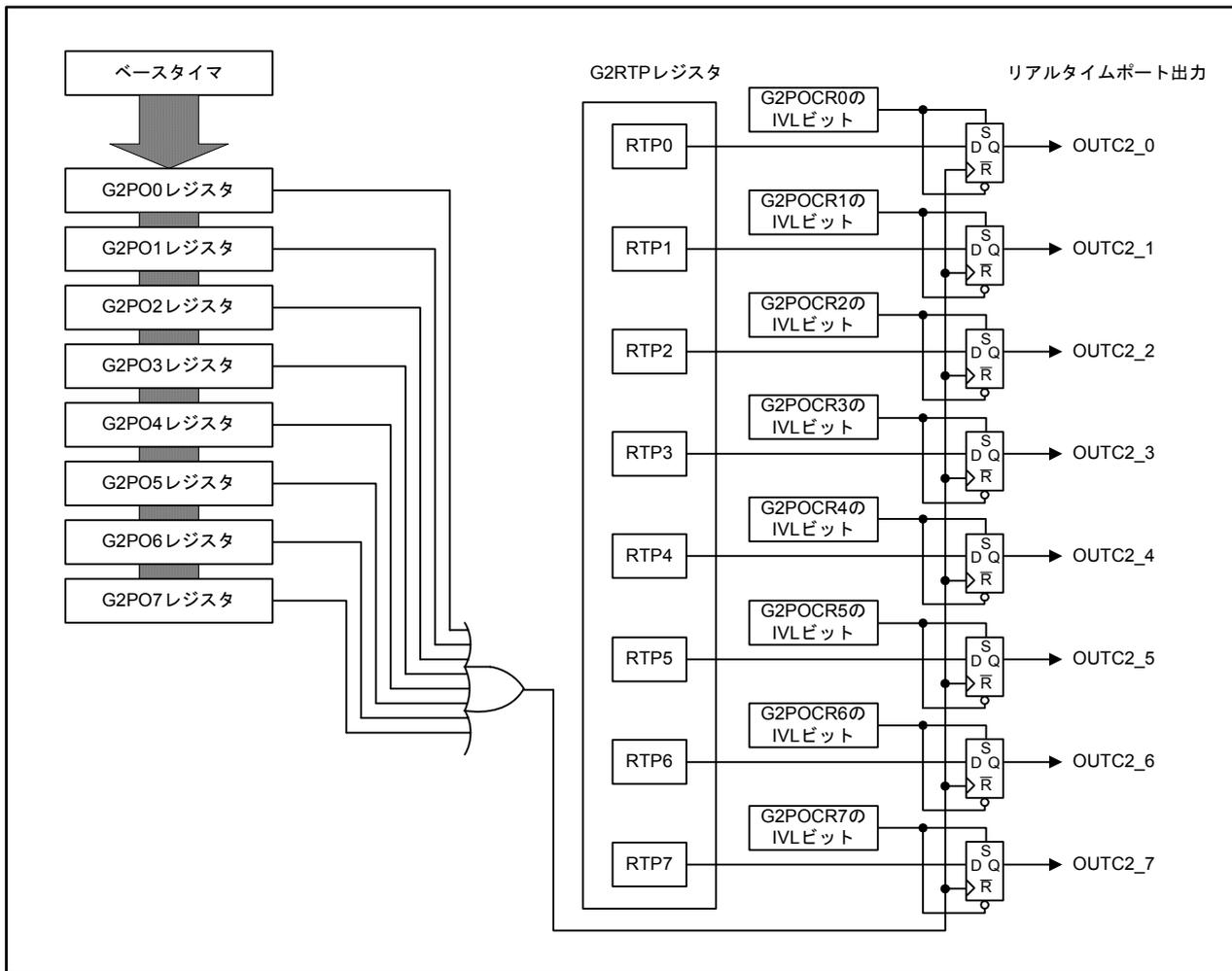


図22.33 並列リアルタイムポート出力機能のブロック図

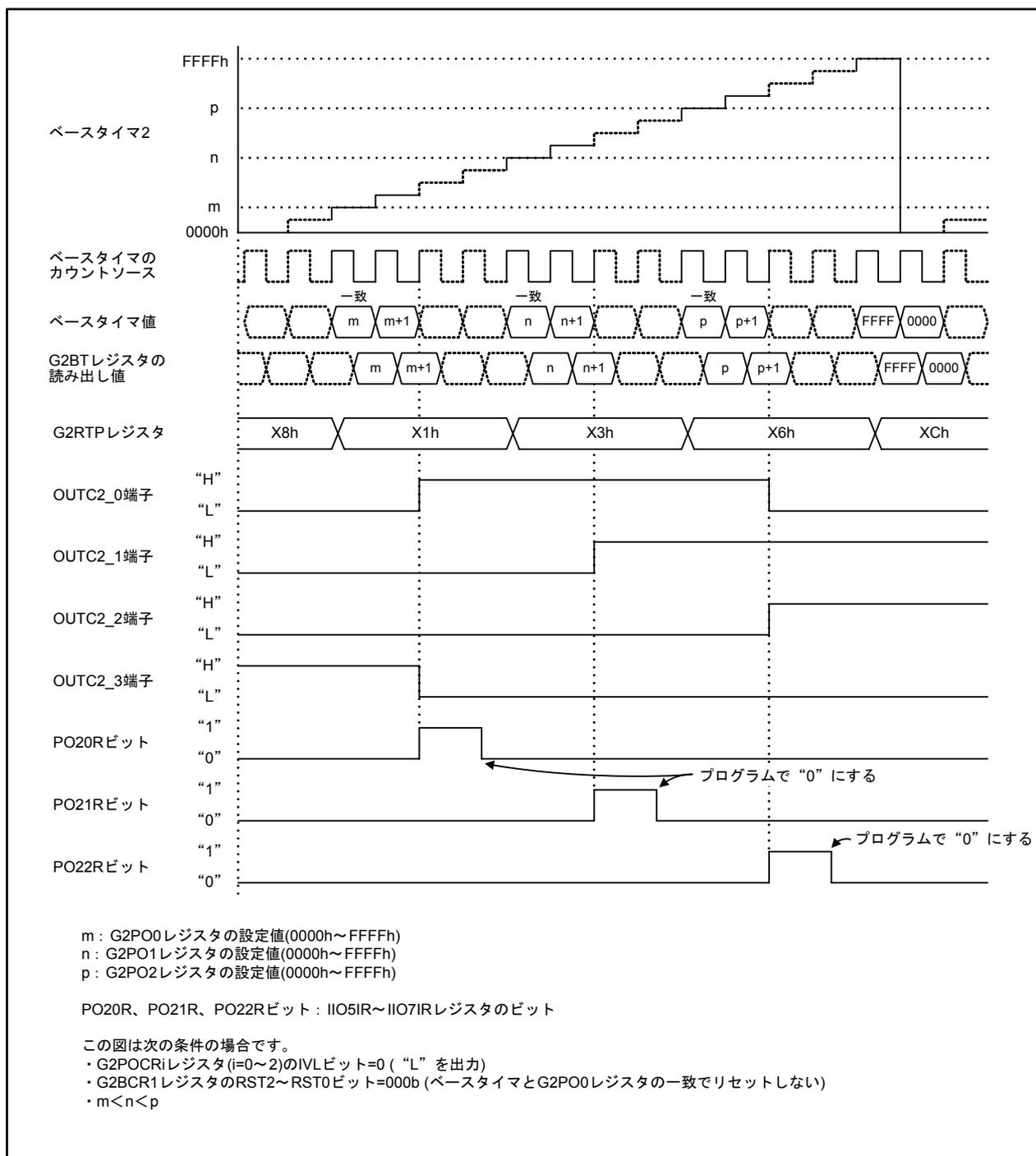


図22.34 並列リアルタイムポート出力モードの動作例

22.3.7 GiPOjレジスタ値リロードタイミング選択機能(i=1,2、j=0~7)

GiPOCRjレジスタのRLDビットで、GiPOjレジスタの値が内部レジスタに書き込み時にリロードされるか、ベースタイマリセット時にリロードされるかを選択できます。図22.35に動作例を示します。

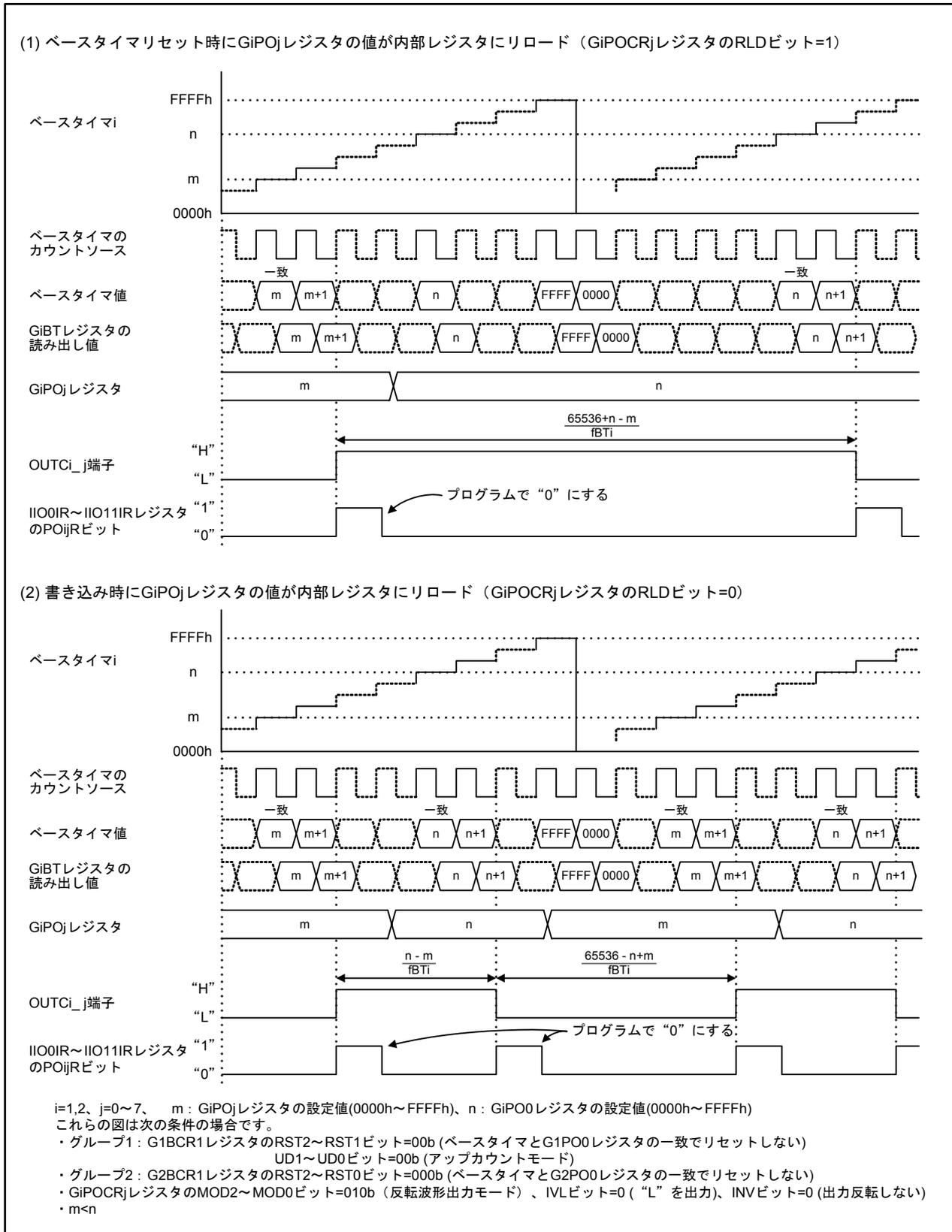


図22.35 GiPOjレジスタ値リロードタイミング選択機能の動作例

22.4 グループ0、1通信機能

グループ0には、クロック同期モードまたは、HDLCデータ処理モードがあります。グループ1には、クロック同期モード、クロック非同期モード(UARTモード)または、HDLCデータ処理モードがあります。

図22.36にグループ0の通信機能のブロック図を、図22.37にグループ1の通信機能のブロック図を、図22.38～図22.46に関連レジスタを示します。

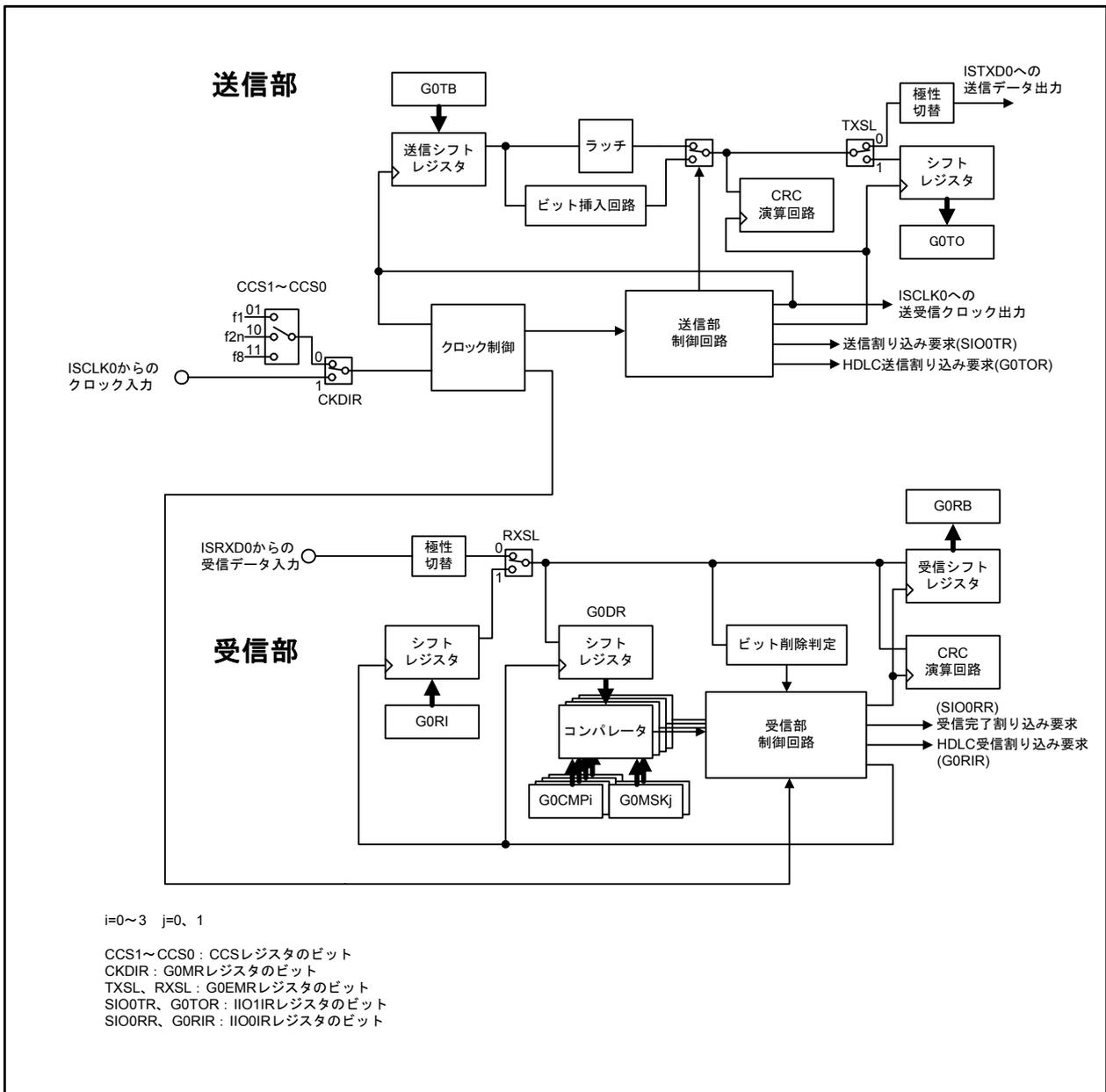


図22.36 グループ0の通信機能のブロック図

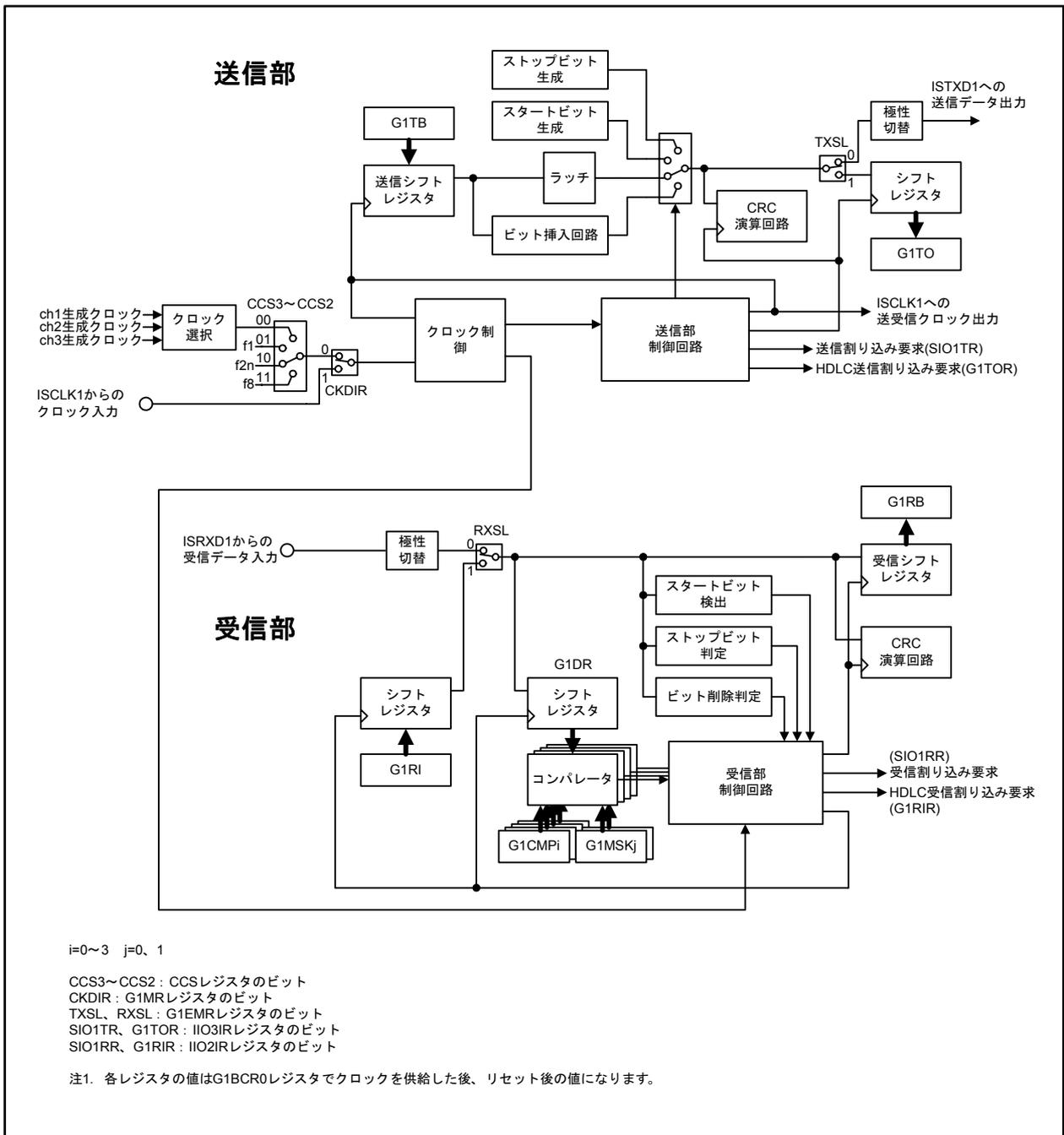


図 22.37 グループ 1 の通信機能のブロック図

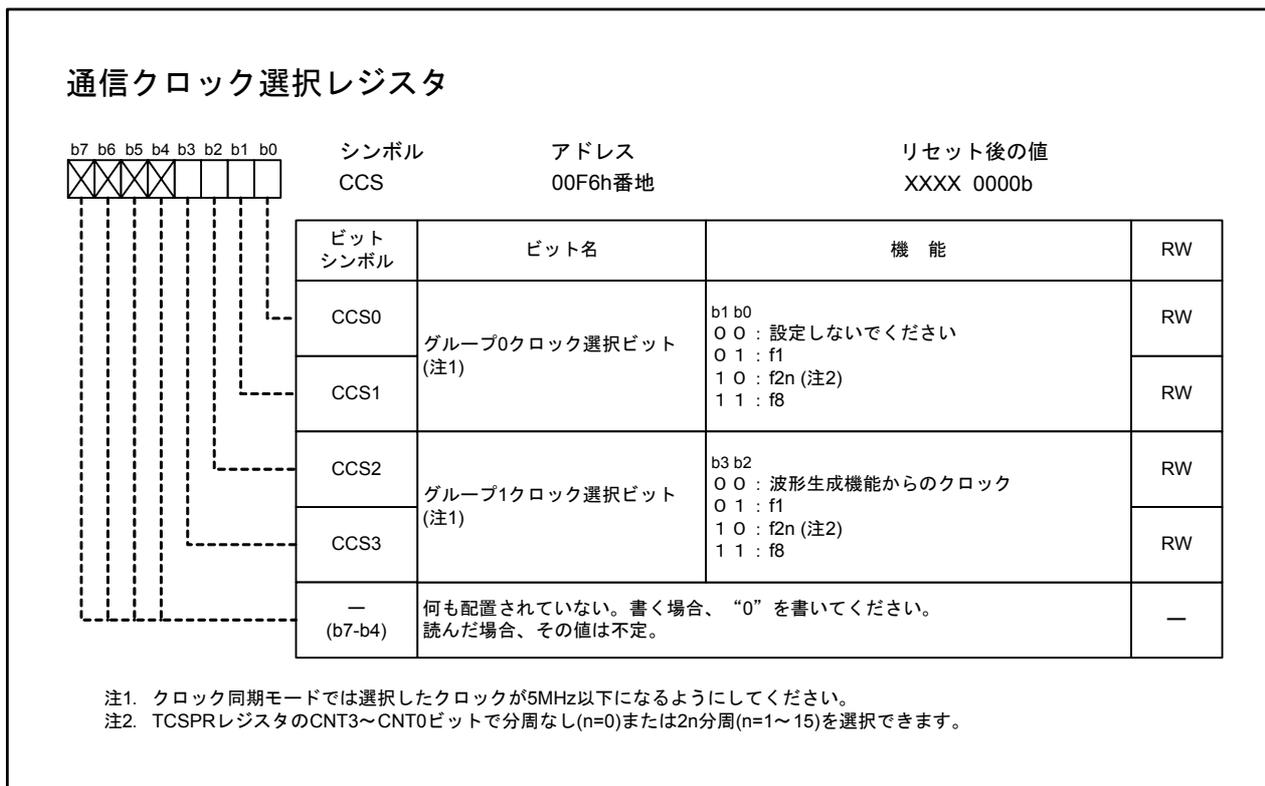


図22.38 CCSレジスタ

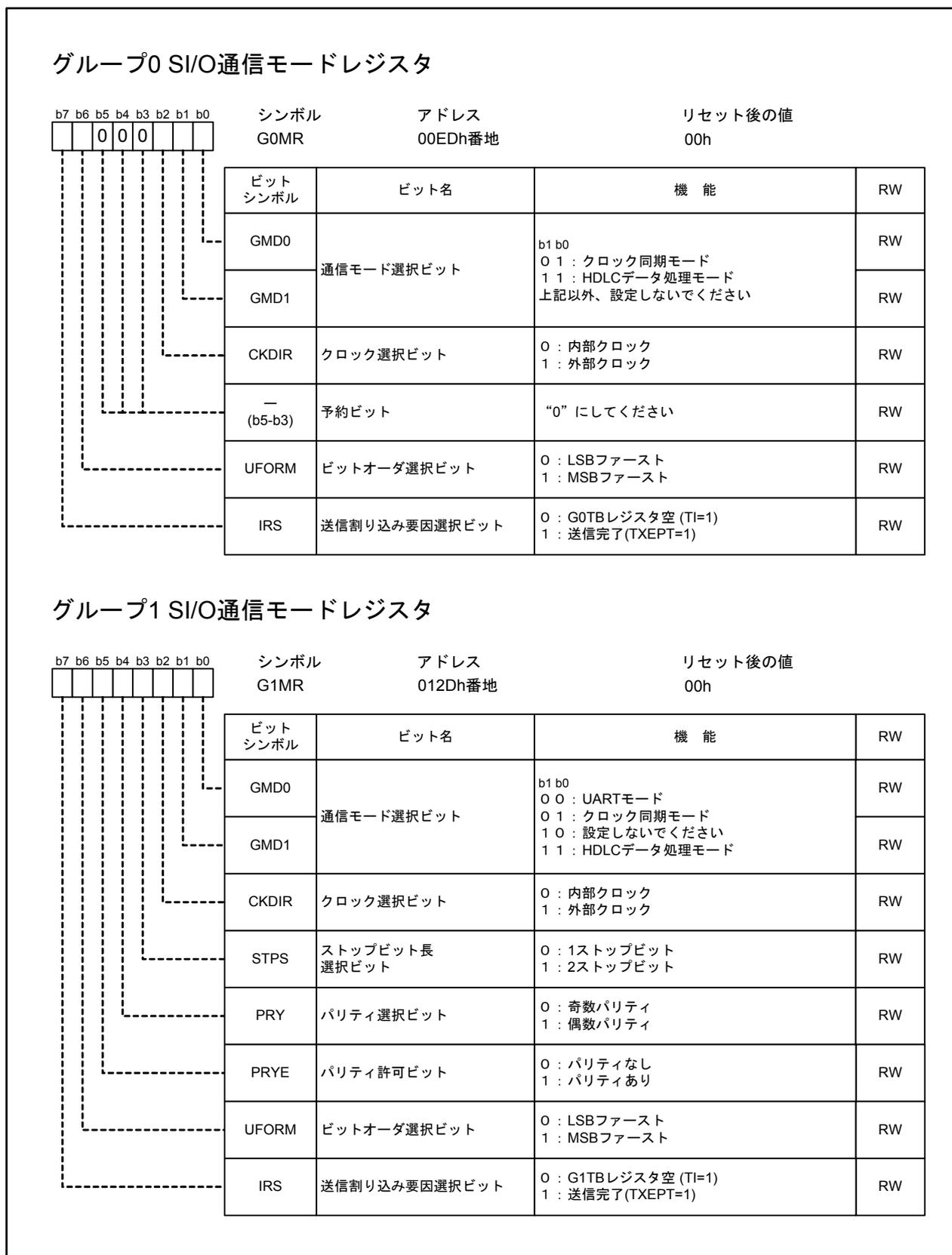


図 22.39 G0MR、G1MRレジスタ

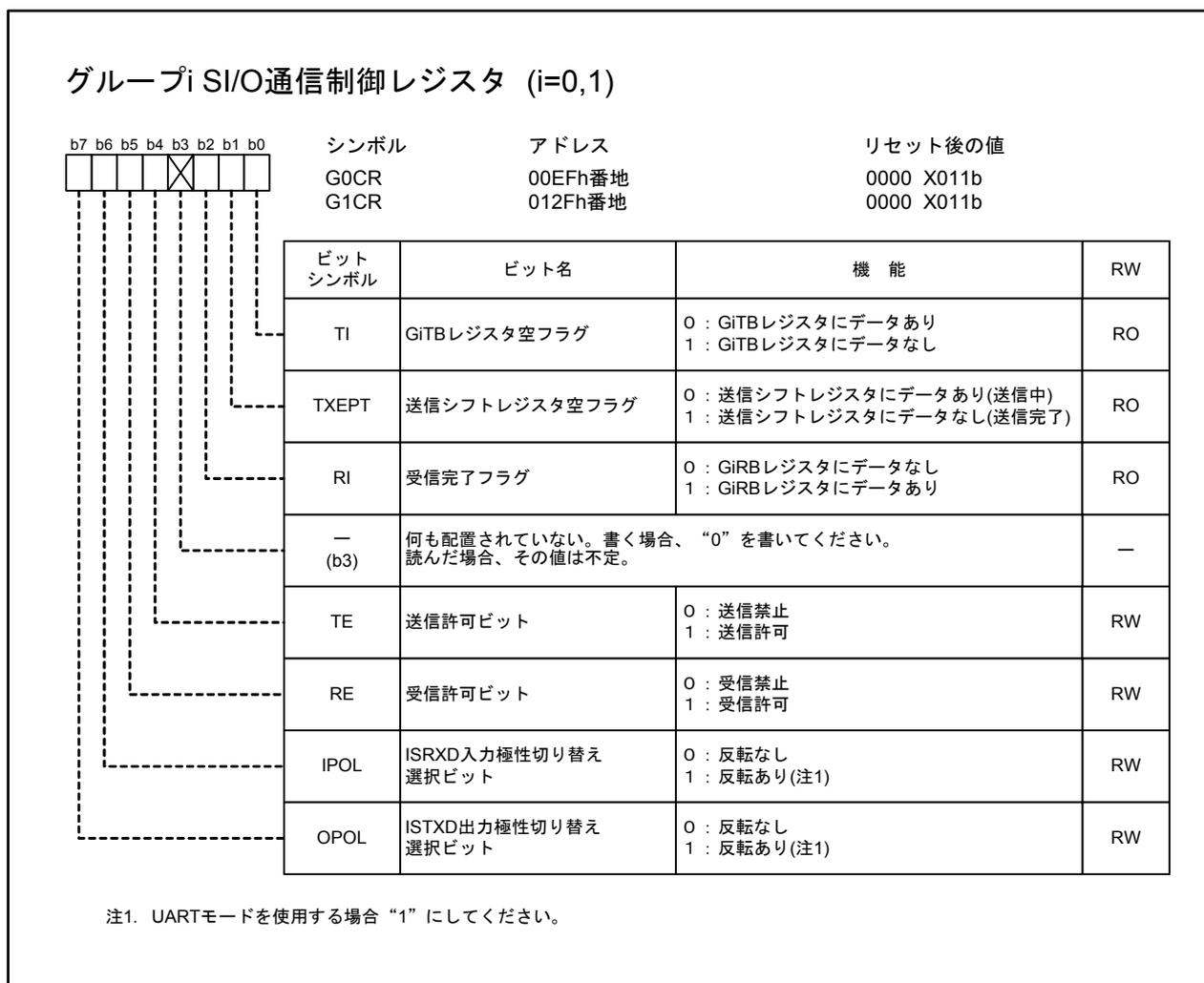


図22.40 G0CR、G1CRレジスタ

グループ*i* SI/O拡張モードレジスタ (*i*=0, 1)(注1)

シンボル	アドレス	リセット後の値
G0EMR	00FCh番地	00h
G1EMR	013Ch番地	00h

ビットシンボル	ビット名	機能	RW
— (b0)	予約ビット	“0” にしてください	RW
CRCV	CRC初期値選択ビット	0 : “0000h” を設定 1 : “FFFFh” を設定	RW
ACRC	CRC初期化ビット	0 : 初期化しない 1 : 初期化する(注2)	RW
— (b3)	予約ビット	“0” にしてください	RW
RXSL	受信元選択ビット	0 : ISRXD0端子 1 : GiRIレジスタ	RW
TXSL	送信先選択ビット	0 : ISTXD0端子 1 : GiTOレジスタ	RW
CRC0	CRC生成多項式選択ビット	b7 b6 0 0 : X^8+X^4+X+1 0 1 : 設定しないでください 1 0 : $X^{16}+X^{15}+X^2+1$ 1 1 : $X^{16}+X^{12}+X^5+1$	RW
CRC1			RW

注1. HDLCデータ処理モード以外では“00h”にしてください。
 注2. GiDRレジスタとGiCMP3レジスタが一致するタイミングで初期化します。

グループ*i* SI/O拡張送信制御レジスタ (*i*=0, 1)(注1)

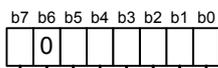
シンボル	アドレス	リセット後の値
G0ETC	00FFh番地	0000 0XXXb
G1ETC	013Fh番地	0000 0XXXb

ビットシンボル	ビット名	機能	RW
— (b3-b0)	予約ビット	“0” にしてください	RW
TCRCE	送信CRC許可ビット	0 : 使用しない 1 : 使用する	RW
— (b6-b5)	予約ビット	“0” にしてください	RW
TBSF1	送信ビットスタッフィング “0” 挿入選択ビット	0 : “0” を挿入しない 1 : “0” を挿入する	RW

注1. HDLCデータ処理モード以外では“00h”にしてください。

図22.41 G0EMR、G1EMRレジスタ、G0ETC、G1ETCレジスタ

グループ*i* SI/O拡張受信制御レジスタ (*i*=0, 1)(注1)



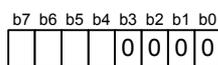
シンボル	アドレス	リセット後の値
G0ERC	00FDh番地	00h
G1ERC	013Dh番地	00h

ビットシンボル	ビット名	機能	RW
CMP0E	データ比較機能0選択ビット	0 : GiDRレジスタ(受信データレジスタ)をGiCMP0レジスタと比較しない 1 : GiDRレジスタ(受信データレジスタ)をGiCMP0レジスタと比較する	RW
CMP1E	データ比較機能1選択ビット	0 : GiDRレジスタ(受信データレジスタ)をGiCMP1レジスタと比較しない 1 : GiDRレジスタ(受信データレジスタ)をGiCMP1レジスタと比較する	RW
CMP2E	データ比較機能2選択ビット	0 : GiDRレジスタ(受信データレジスタ)をGiCMP2レジスタと比較しない 1 : GiDRレジスタ(受信データレジスタ)をGiCMP2レジスタと比較する	RW
CMP3E	データ比較機能3選択ビット	0 : GiDRレジスタ(受信データレジスタ)をGiCMP3レジスタと比較しない 1 : GiDRレジスタ(受信データレジスタ)をGiCMP3レジスタと比較する(注2)	RW
RCRCE	受信CRC許可ビット	0 : 使用しない 1 : 使用する	RW
RSHTE	受信シフト動作許可ビット	0 : 受信シフト動作許可しない 1 : 受信シフト動作許可する	RW
— (b6)	予約ビット	“0” にしてください	RW
RBSF1	受信ビットスタッフィング “0” 削除選択ビット	0 : “0” を削除しない 1 : “0” を削除する	RW

注1. HDLCデータ処理で使用するレジスタです。クロック同期モードでは“0010 0000b”に、UARTモードでは“00h”にしてください。

注2. GiEMRレジスタのACRCビットを“1”(CRC初期化する)にする場合は、CMP3Eビットを“1”にしてください。

図 22.42 G0ERC、G1ERC レジスタ

グループ*i* SI/O特殊通信割り込み判別レジスタ ($i=0, 1$)(注1、2)

シンボル	アドレス	リセット後の値
G0IRF	00FEh番地	0000 XXXXb
G1IRF	013Eh番地	0000 XXXXb

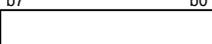
ビットシンボル	ビット名	機能	RW
— (b3-b0)	予約ビット	“0” にしてください	RW
IRF0	割り込み要因判別フラグ0	0 : GiDRレジスタ(受信データレジスタ)とGiCMP0レジスタが不一致 1 : GiDRレジスタ(受信データレジスタ)とGiCMP0レジスタが一致	RW
IRF1	割り込み要因判別フラグ1	0 : GiDRレジスタ(受信データレジスタ)とGiCMP1レジスタが不一致 1 : GiDRレジスタ(受信データレジスタ)とGiCMP1レジスタが一致	RW
IRF2	割り込み要因判別フラグ2	0 : GiDRレジスタ(受信データレジスタ)とGiCMP2レジスタが不一致 1 : GiDRレジスタ(受信データレジスタ)とGiCMP2レジスタが一致	RW
IRF3	割り込み要因判別フラグ3	0 : GiDRレジスタ(受信データレジスタ)とGiCMP3レジスタが不一致 1 : GiDRレジスタ(受信データレジスタ)とGiCMP3レジスタが一致	RW

注1. HDLCデータ処理モード以外では“00b”にしてください。

注2. IRF3～IRF0ビットが“1”のとき、IIO4IRレジスタのSRTIRビットが“1”になります。

図22.43 G0IRF、G1IRFレジスタ

グループ*i* データ比較レジスタ*j* ($i=0,1, j=0\sim 3$) (注1)

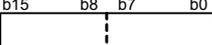
b7	b0	シンボル	アドレス	リセット後の値
		G0CMP0~G0CMP3	00F0h、00F1h、00F2h、00F3h番地	不定
		G1CMP0~G1CMP3	0130h、0131h、0132h、0133h番地	不定
機能				
比較データ				
				設定範囲
				RW
				00h~FFh
				RW

注1. GiCMP0レジスタを使用する場合GIMSK0レジスタを設定してください。GiCMP1レジスタを使用する場合GIMSK1レジスタを設定してください。

グループ*i* データマスクレジスタ*j* ($i=0,1, j=0,1$)

b7	b0	シンボル	アドレス	リセット後の値
		G0MSK0、G0MSK1	00F4h、00F5h番地	不定
		G1MSK0、G1MSK1	0134h、0135h番地	不定
機能				
受信データ用マスクデータ 比較しないビットに“1”を書いてください。				
				設定範囲
				RW
				00h~FFh
				RW

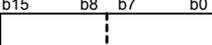
グループ*i* 送信CRCコードレジスタ ($i=0,1$)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				G0TCRC、G1TCRC	00FBh-00FAh、013Bh-013Ah番地	0000h
				機能		
送信CRC演算結果(注1、2)						RO

注1. 演算結果はGiCRレジスタのTEビットを“0”(送信禁止)にしたとき初期化されます。初期値はGiEMRレジスタのCRCVビットで選択できます。

注2. GiETCレジスタのTCRCEビットが“1”(使用する)の場合、送信データが1ビット送信されるごとに、送信CRC演算が行われます。

グループ*i* 受信CRCコードレジスタ ($i=0,1$)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				G0RCRC、G1RCRC	00F9h-00F8h、0139h-0138h番地	不定
				機能		
受信CRC演算結果(注1、2、3)						RO

注1. 演算結果はGiERCレジスタのRCRCEビットを“0”(使用しない)にしたとき初期化されます。また、GiEMRレジスタのACRCビットが“1”(初期化する)の場合は、GiCMP*j*レジスタ($j=0\sim 3$)と一致したとき初期化されます。

注2. 受信開始前にGiEMRレジスタのCRCVビットで選択した初期値に初期化されます。

注3. GiERCレジスタのRCRCEビットが“1”(使用する)の場合、受信データが1ビット受信するごとに、受信CRC演算が行われます。

図22.44 G0CMP0~G0CMP3、G1CMP0~G1CMP3レジスタ、G0MSK0、G0MSK1レジスタ、G1MSK0、G1MSK1レジスタ、G0TCRC、G1TCRCレジスタ、G0RCRC、G1RCRCレジスタ



図22.45 G0TB、G1TBレジスタ、G0DR、G1DRレジスタ

グループ*i* SI/O受信バッファレジスタ (i=0,1)

b15	b8 b7	b0	シンボル	アドレス	リセット後の値
			G0RB G1RB	00E9h - 00E8h番地 0129h - 0128h番地	XXX0 XXXX XXXX XXXXb X000 XXXX XXXX XXXXb

ビットシンボル	ビット名	機能	RW
— (b7-b0)	—	受信データ	RW
— (b11-b8)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
OER	オーバランエラーフラグ(注2)	0 : オーバランエラーなし 1 : オーバランエラーあり	RO
FER	フレーミングエラーフラグ(注1、2)	0 : フレーミングエラーなし 1 : フレーミングエラーあり	RO
PER	パリティエラーフラグ(注1、2)	0 : パリティエラーなし 1 : パリティエラーあり	RO
— (b15)	何も配置されていない。読んだ場合、その値は不定。		—

注1. G0RBレジスタの場合は、何も配置されていません。読んだ場合、その値は不定。

注2. 各エラーフラグは受信完了ごとに、受信シフトレジスタからG1RBレジスタへのデータ転送と同時に更新されます。

グループ*i* 受信入力レジスタ (i=0,1)

b7	b0	シンボル	アドレス	リセット後の値
		G0RI、G1RI	00ECh、012Ch番地	不定

機能	設定範囲	RW
受信データ生成回路へ入力するデータを設定してください	00h~FFh	WO

グループ*i* 送信出力レジスタ (i=0,1)

b7	b0	シンボル	アドレス	リセット後の値
		G0TO、G1TO	00EEh、012Eh番地	不定

機能	RW
送信データ生成回路から出力されたデータが読める	RO

図22.46 G0RB、G1RBレジスタ、G0RI、G1RIレジスタ、G0TO、G1TOレジスタ

22.4.1 クロック同期モード(グループ0、1)

全二重のクロック同期シリアル通信を行うモードです。グループ0の送受信クロックには、f8、f2n、外部クロックが選択できます。グループ1の送受信クロックには、f8、f2n、チャンネル3で生成したクロック、外部クロックが選択できます。

表22.14にグループ0、1のクロック同期モードの仕様を、表22.15～表22.16にクロック設定を、表22.17に端子の設定を、図22.47～図22.49にレジスタの設定手順を、図22.50に送受信動作例を示します。

表22.14 グループ0、1のクロック同期モードの仕様

項目	仕様
データフォーマット	データ長 8ビット
送受信クロック	表22.15～表22.16参照
送受信開始条件	送受信クロックを選択し、GiMRレジスタ(i=0,1)、GiERCレジスタを設定し、その後、送受信クロックの1クロック以上待ってから次のすべての条件がそろると送受信を開始する <ul style="list-style-type: none"> ・ GiCRレジスタのTEビットが“1”(送信許可) ・ GiCRレジスタのTIビットが“0”(GiTBレジスタにデータあり) ・ GiCRレジスタのREビットが“1”(受信許可) 送信のみの場合はREビットの設定は不要
割り込み要求発生タイミング	送信割り込み(GiMRレジスタのIRSビットで選択) <ul style="list-style-type: none"> ・ IRSビットが“0”(GiTBレジスタ空) ・ IRSビットが“1”(送信完了) 送信シフトレジスタからデータ転送時(送信開始時) 送信シフトレジスタからデータ送信完了時 送信割り込み要求が発生すると、IIO1IR、IIO3IRレジスタのSIOiTRビットが“1”(割り込み要求あり)になる(図11.18参照) 受信割り込み <ul style="list-style-type: none"> ・ 受信シフトレジスタからGiRBレジスタへデータ転送時(受信完了時) 受信割り込み要求が発生すると、IIO0IR、IIO2IRレジスタのSIOiRRビットが“1”(割り込み要求あり)になる(図11.18参照)
エラー検出	・ オーバランエラー GiRBレジスタを読む前に次のデータの7ビット目を受信すると発生する。 オーバランエラー発生後、GiRBレジスタは不定になる。OERビットは受信完了ごとに、受信シフトレジスタからGiRBレジスタへのデータ転送と同時に更新される。
選択機能	・ ビットオーダ選択 LSBファーストまたはMSBファーストを選択可 ・ ISTXDi、ISRXD _i 入出力極性切り替え ISTXDi端子出力とISRXD _i 端子入力レベルを反転する機能

表22.15 グループ0のクロック設定

送受信クロック	G0MRレジスタ	CCSレジスタ
	CKDIRビット	CCS1～CCS0ビット
f8	0	11b
f2n(注1)	0	10b
ISCLK0からの入力	1	—

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

表22.16 グループ1のクロック設定

送受信クロック(注3)	G1MRレジスタ	CCSレジスタ
	CKDIRビット	CCS3~CCS2ビット
$\frac{f_{BT1}}{2(n+2)}$ (注1)	0	00b
f8	0	11b
f2n(注2)	0	10b
ISCLK1からの入力	1	—

n : G1PO0レジスタの設定値(0001h~FFFDh)

注1. 送受信クロックはチャンネル3の反転波形出力モードで生成します。G1PO0レジスタの値とベースタイム値の一致でベースタイムリセットする機能を用いて、通信速度を設定します。

注2. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注3. 送受信クロックはfBT1の6分周、またはそれよりも遅くしてください。また、「27. 電気的特性」の表27.21または表27.42「インテリジェントI/O通信機能(グループ0、1)」を満たしてください。

表22.17 グループ0、1のクロック同期モードの端子の設定

ポート名	機能	G1POCR0 G1POCR1 レジスタ (注2)	ビットと設定値					
			IPS レジスタ	PD7 PD8 PD11 PD15 レジスタ	PSD1 レジスタ	PSC レジスタ	PSL1 PSL5 PSL9 レジスタ	PS1 PS2 PS5 PS9 レジスタ(注1)
P7_3	ISTXD1出力(注3)	G1POCR0	—	—	—	PSC_3=1	PSL1_3=0	PS1_3=1
P7_4	ISCLK1入力	—	IPS1=0	PD7_4=0	—	—	—	PS1_4=0
	ISCLK1出力	G1POCR1	—	—	PSD1_4=0	PSC_4=1	PSL1_4=0	PS1_4=1
P7_5	ISRXD1入力	—	IPS1=0	PD7_5=0	—	—	—	PS1_5=0
P7_6	ISTXD0出力(注3)	—	—	—	PSD1_6=0	PSC_6=0	PSL1_6=0	PS1_6=1
P7_7	ISCLK0入力	—	IPS0=0	PD7_7=0	—	—	—	PS1_7=0
	ISCLK0出力	—	—	—	—	—	PSL1_7=0	PS1_7=1
P8_0	ISRXD0入力	—	IPS0=0	PD8_0=0	—	—	—	PS2_0=0
P11_0	ISTXD1出力(注3)	G1POCR0	—	—	—	—	PSL5_0=0	PS5_0=1
P11_1	ISCLK1入力	—	IPS1=1	PD11_1=0	—	—	—	PS5_1=0
	ISCLK1出力	G1POCR1	—	—	—	—	PSL5_1=0	PS5_1=1
P11_2	ISRXD1入力	—	IPS1=1	PD11_2=0	—	—	—	PS5_2=0
P15_0	ISTXD0出力(注3)	—	—	—	—	—	PSL9_0=0	PS9_0=1
P15_1	ISCLK0入力	—	IPS0=1	PD15_1=0	—	—	—	PS9_1=0
	ISCLK0出力	—	—	—	—	—	PSL9_1=0	PS9_1=1
P15_2	ISRXD0入力	—	IPS0=1	PD15_2=0	—	—	—	—

注1. PS1、PS2、PS5、PS9レジスタは最後に設定してください。

注2. 該当レジスタのMOD2~MOD0ビットを“111b”(通信機能の出力を使用)にしてください。

注3. GiMRレジスタで動作モードを選択し、機能選択レジスタで端子の機能を選択後、送信開始までは、GiCRレジスタのOPOLビットが“0”(ISTXD出力極性反転なし)の場合、ISTXD_i端子は“H”を、OPOLビットが“1”(ISTXD出力極性反転あり)の場合、ISTXD_i端子は“L”を出力します。

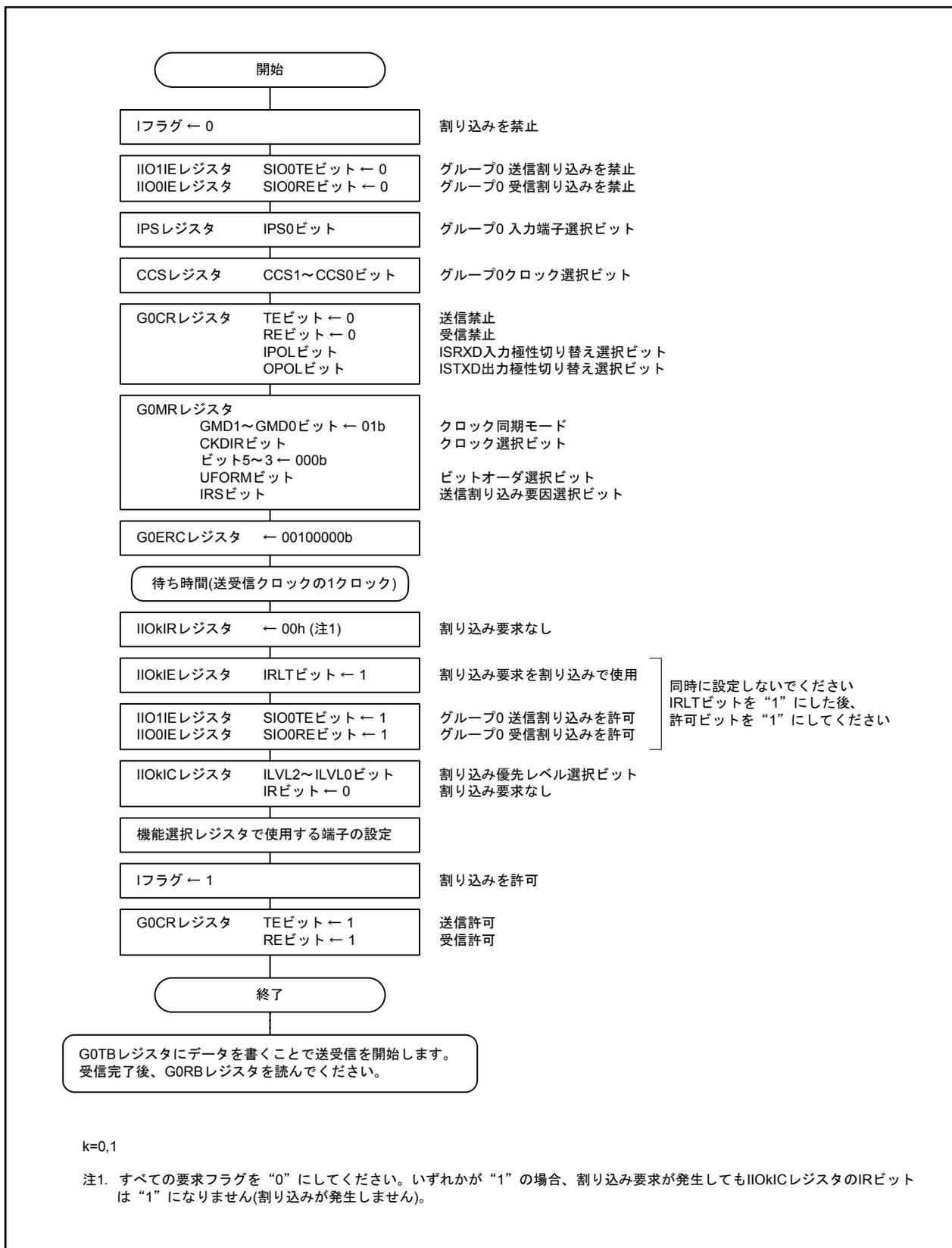


図22.47 グループ0クロック同期モードのレジスタの設定手順

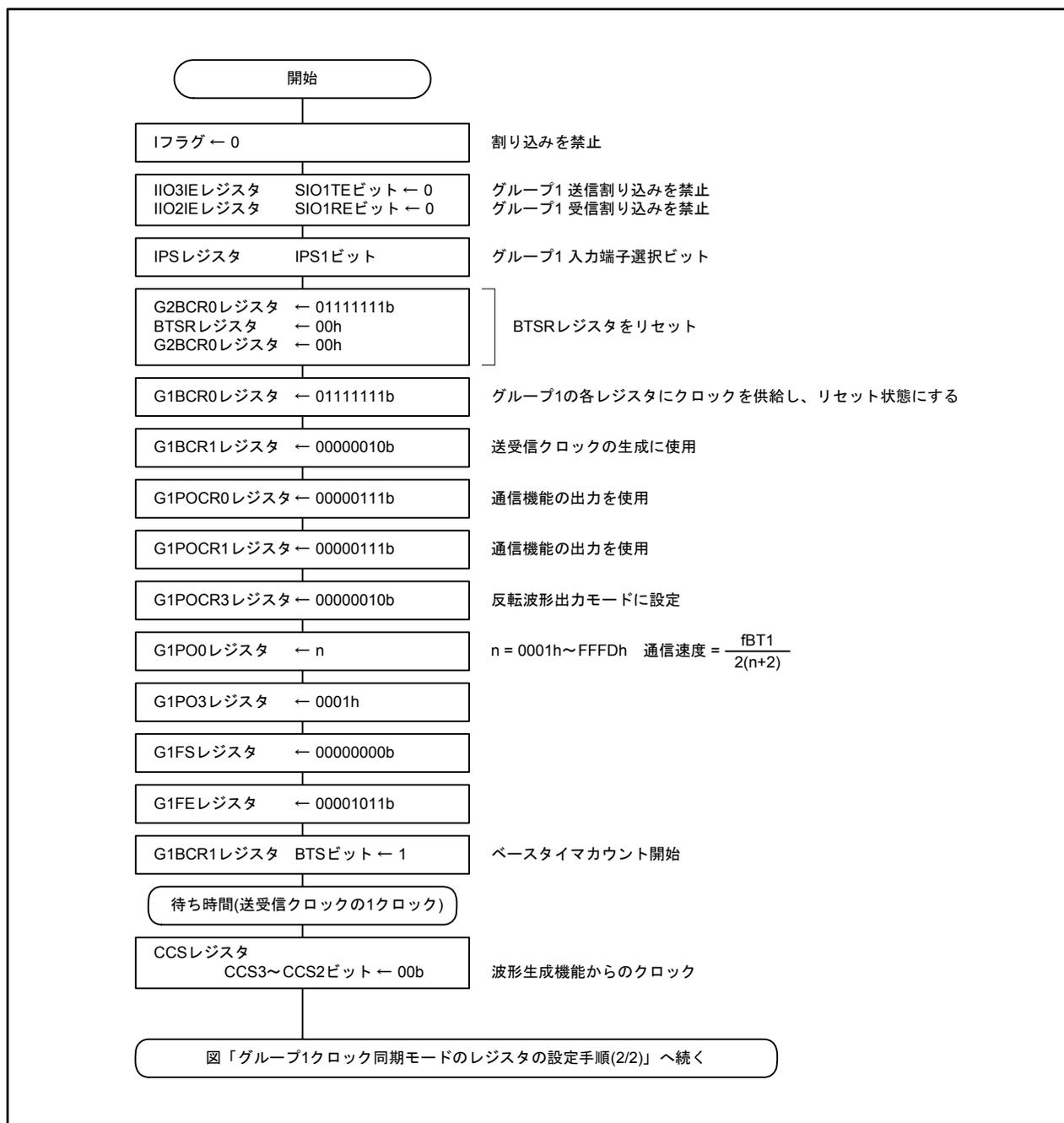


図22.48 グループ1クロック同期モードのレジスタの設定手順(1/2)

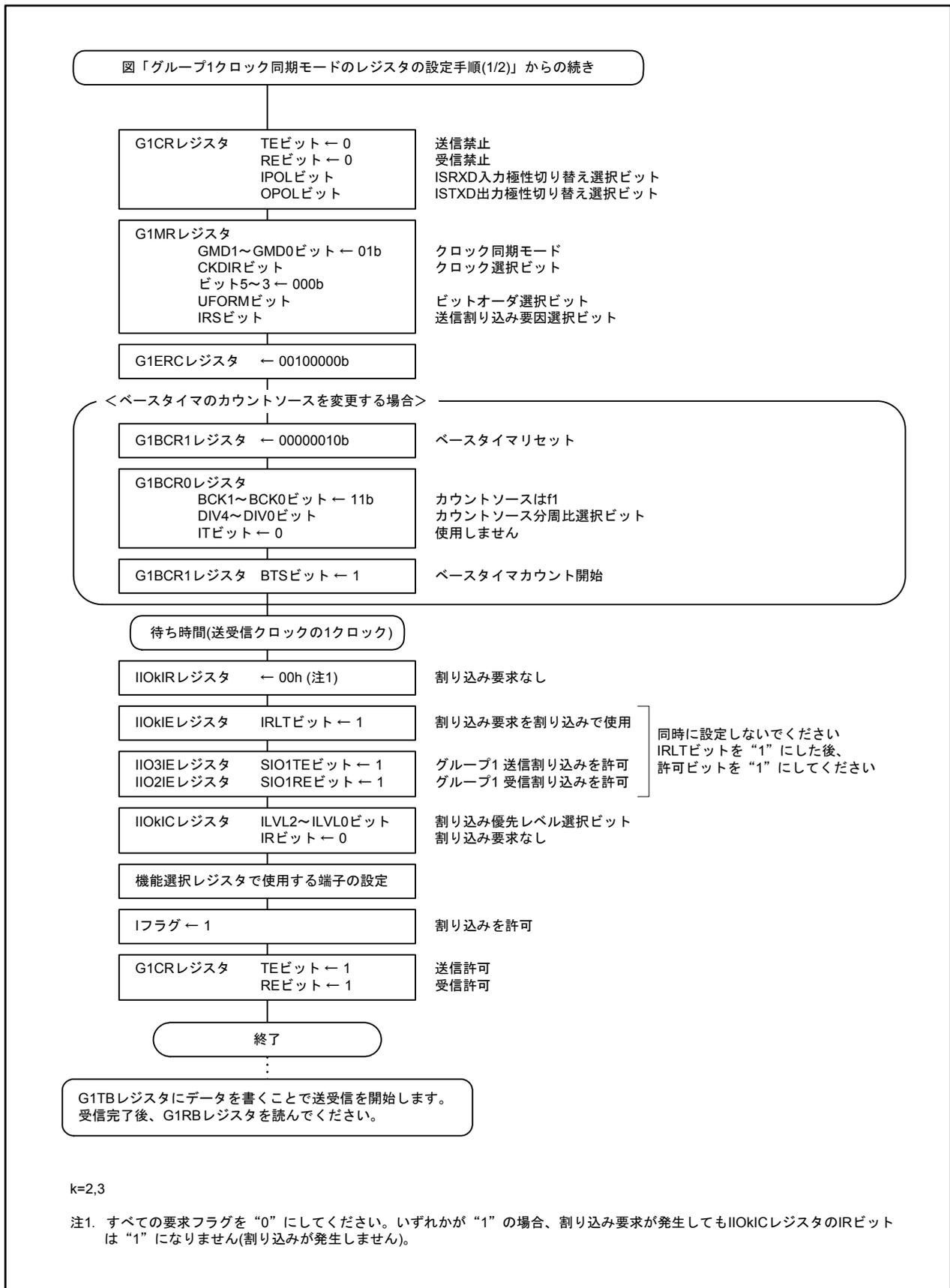
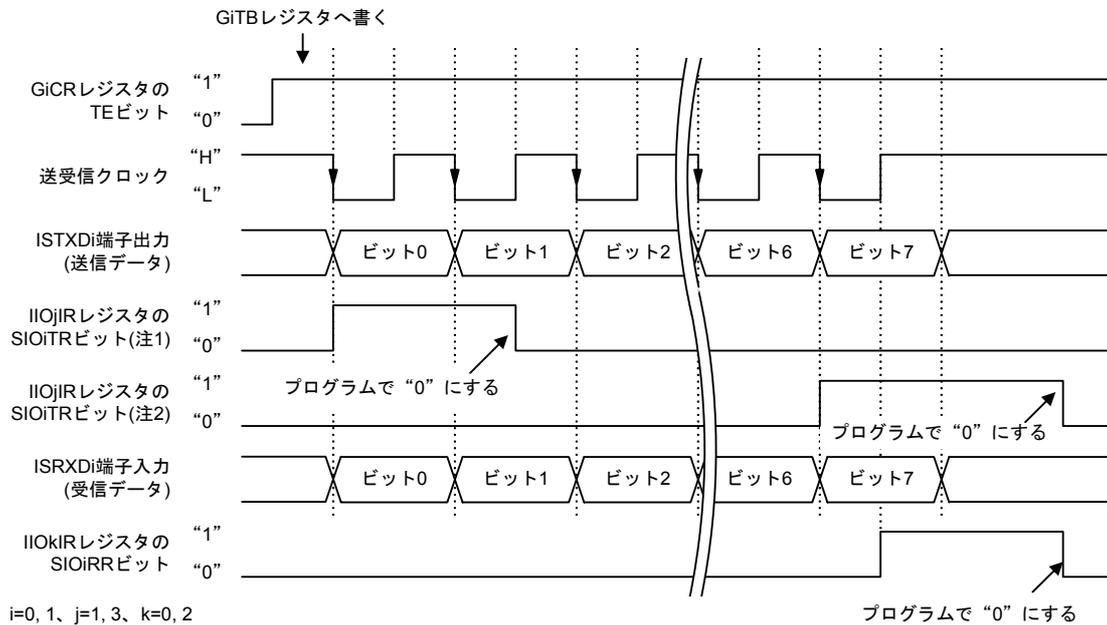


図22.49 グループ1クロック同期モードのレジスタの設定手順(2/2)

(1) 送受信クロックがf8、f2nまたは外部クロックの場合(グループ0、グループ1)



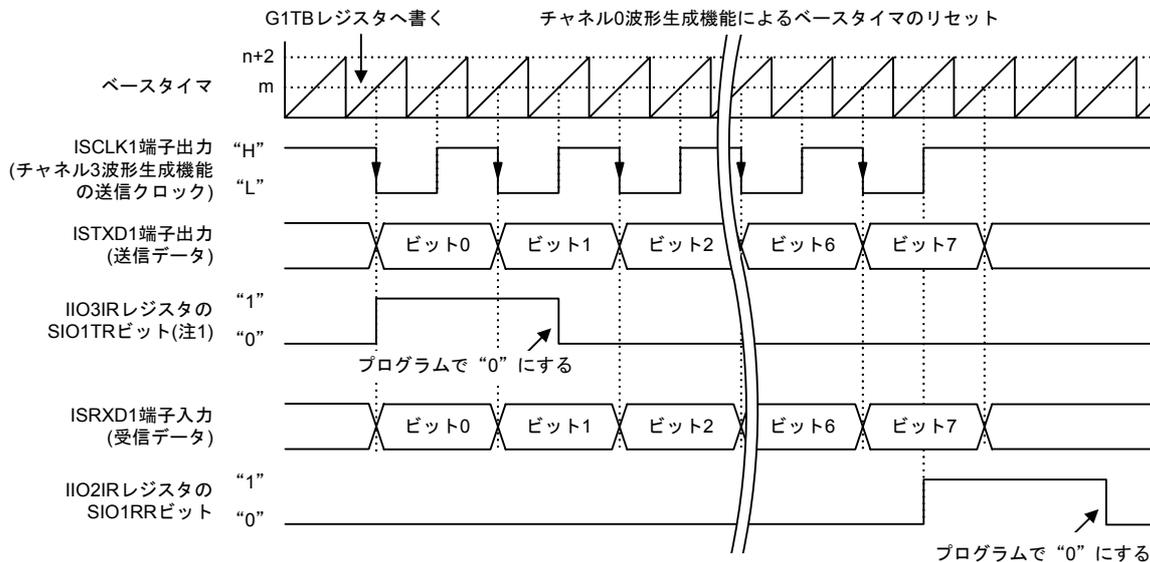
この図は次の条件の場合です。

- ・ CCSレジスタのCCS1~CCS0ビットまたはCCS3~CCS2ビットが“10b”または“11b”
- ・ GiMRレジスタのUFORMビット=0 (LSBファースト)
- ・ GiCRレジスタのIPOLビットとOPOLビット=0 (反転なし)

注1. GiMRレジスタのIRSビットが“0” (GiTBレジスタ空)の場合です。

注2. GiMRレジスタのIRSビットが“1” (送信完了)の場合です。

(2) 送受信クロックをチャンネル3の反転波形出力モードで生成した場合(グループ1)



この図は次の条件の場合です。

- ・ G1MRレジスタのCKDIRビット=0 (内部クロック)、UFORMビット=0 (LSBファースト)
- ・ CCSレジスタのCCS3~CCS2ビット=00b (波形生成機能からのクロック)
- ・ G1CRレジスタのIPOLビットとOPOLビット=0 (反転なし)

注1. G1MRレジスタのIRSビットが“0” (G1TBレジスタ空)の場合です。

図22.50 グループ0,1のクロック同期モードの送受信動作例

22.4.2 クロック非同期(UART)モード(グループ1)

表22.18にグループ1のUARTモードの仕様を、表22.19に端子の設定を、図22.51～図22.52にレジスタの設定手順を、図22.53に送信動作例を、図22.54に受信動作例示します。

表22.18 グループ1のUARTモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> ・データ長 8ビット ・スタートビット 1ビット ・パリティビット 奇数、偶数、なし 選択可 ・ストップビット 1ビット、2ビット 選択可
通信速度	$\frac{f_{BT1}}{2(n+2)}$ n : G1PO0レジスタの設定値(0006h～FFFDh) <ul style="list-style-type: none"> ・ G1MRレジスタのCKDIRビットが“0”(内部クロック) ・ CCSレジスタのCCS3～CCS2ビットが“00b”(波形生成機能からのクロック) 内部送信クロックはチャンネル3の反転波形出力モードで生成 内部受信クロックはチャンネル2のインプットキャプチャと反転波形生成出力の同時実行で生成
送信開始条件	波形生成機能関連レジスタ、G1MRレジスタを設定し、その後、内部送信クロックの1クロック以上待ってから次のすべての条件がそろると送信を開始する <ul style="list-style-type: none"> ・ G1CRレジスタのTEビットが“1”(送信許可) ・ G1CRレジスタのTIビットが“0”(G1TBレジスタにデータあり)
受信開始条件	波形生成機能関連レジスタ、G1MRレジスタを設定し、その後、内部受信クロックの1クロック以上待ってから次のすべての条件がそろると受信を開始する <ul style="list-style-type: none"> ・ G1CRレジスタのREビットが“1”(受信許可) ・ スタートビット(“L”レベル)の検出
割り込み要求発生タイミング	送信割り込み(G1MRレジスタのIRSビットで選択) <ul style="list-style-type: none"> ・ IRSビットが“0”(GITBレジスタ空) G1TBレジスタから送信シフトレジスタにデータ転送時(送信開始時) ・ IRSビットが“1”(送信完了) 送信シフトレジスタから最終ストップビット出力時(送信完了時) 送信割り込み要求が発生すると、IIO3IRレジスタのSIO1TRビットが“1”(割り込み要求あり)になる(図11.18参照) 受信割り込み <ul style="list-style-type: none"> ・ 受信シフトレジスタからG1RBレジスタへデータ転送時(受信完了時) 受信割り込み要求が発生すると、IIO2IRレジスタのSIO1RRビットが“1”(割り込み要求あり)になる(図11.18参照)
エラー検出	<ul style="list-style-type: none"> ・ オーバランエラー G1RBレジスタを読む前に次のデータの最終ストップビットの1つ前のビットを受信すると発生する。オーバランエラー発生後、G1RBレジスタは不定になる。 ・ フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・ パリティエラー パリティありの場合に、受信したデータとパリティビットに含まれる“1”の個数(偶数個 / 奇数個)が設定した個数(偶数個 / 奇数個)と一致しなかったときに発生 各エラーフラグは受信完了ごとに、受信シフトレジスタからG1RBレジスタへのデータ転送と同時に更新される
選択機能	<ul style="list-style-type: none"> ・ ビットオーダ選択 LSBファーストまたはMSBファーストを選択可

表22.19 グループ1のUARTモードの端子の設定

ポート名	機能	G1POCR0 レジスタ (注2)	ビットと設定値				
			IPS レジスタ	PD7 PD11 レジスタ	PSC レジスタ	PSL1 PSL5 レジスタ	PS1 PS5 レジスタ (注1)
P7_3	ISTXD1出力	G1POCR0	—	—	PSC_3=1	PSL1_3=0	PS1_3=1
P7_5	ISRXD1入力	—	IPS1=0	PD7_5=0	—	—	PS1_5=0
P11_0	ISTXD1出力	G1POCR0	—	—	—	PSL5_0=0	PS5_0=1
P11_2	ISRXD1入力	—	IPS1=1	PD11_2=0	—	—	PS5_2=0

注1. PS1、PS5レジスタは最後に設定してください。

注2. 該当レジスタのMOD2～MOD0ビットを“111b”(通信機能の出力を使用)にしてください。

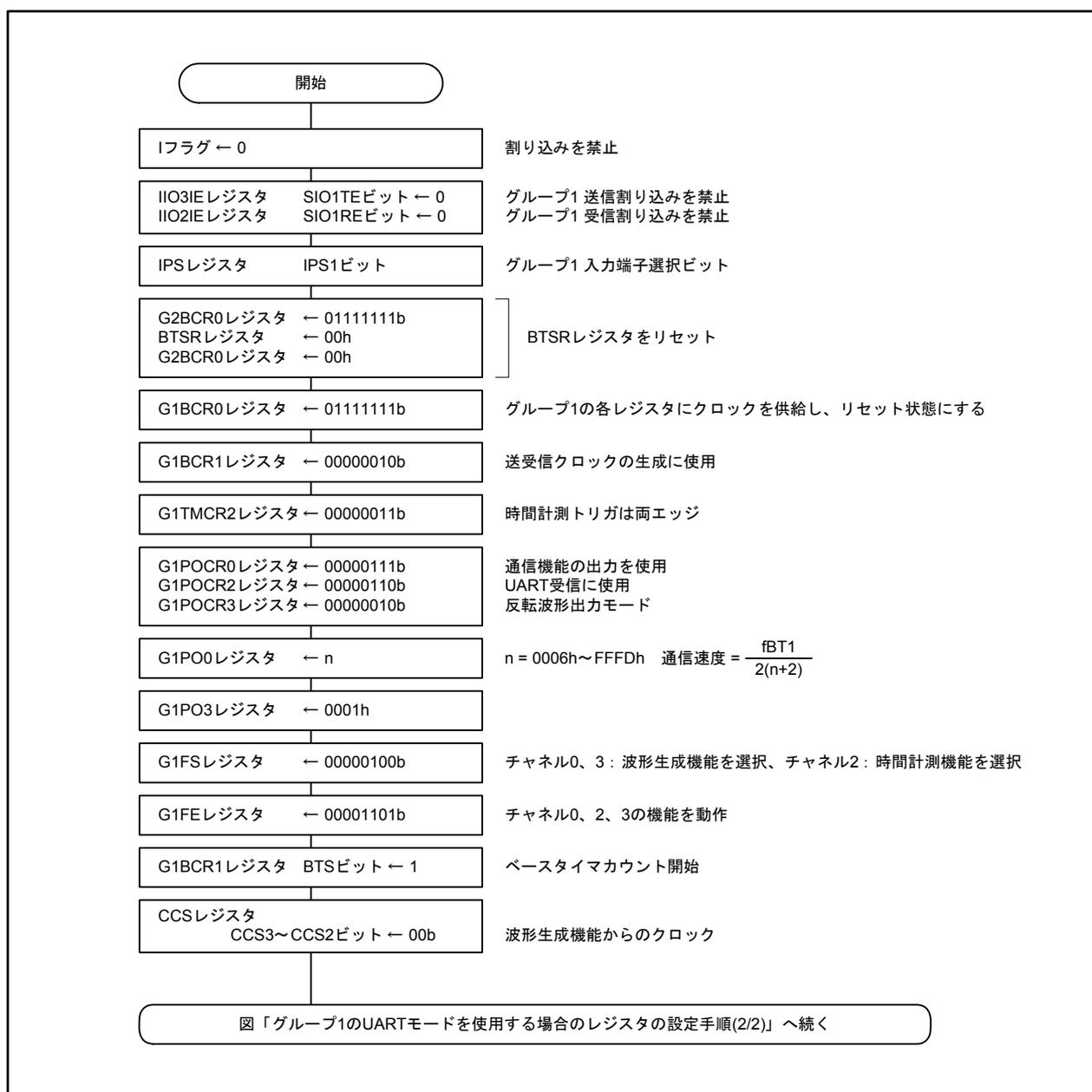


図22.51 グループ1のUARTモードを使用する場合のレジスタの設定手順(1/2)

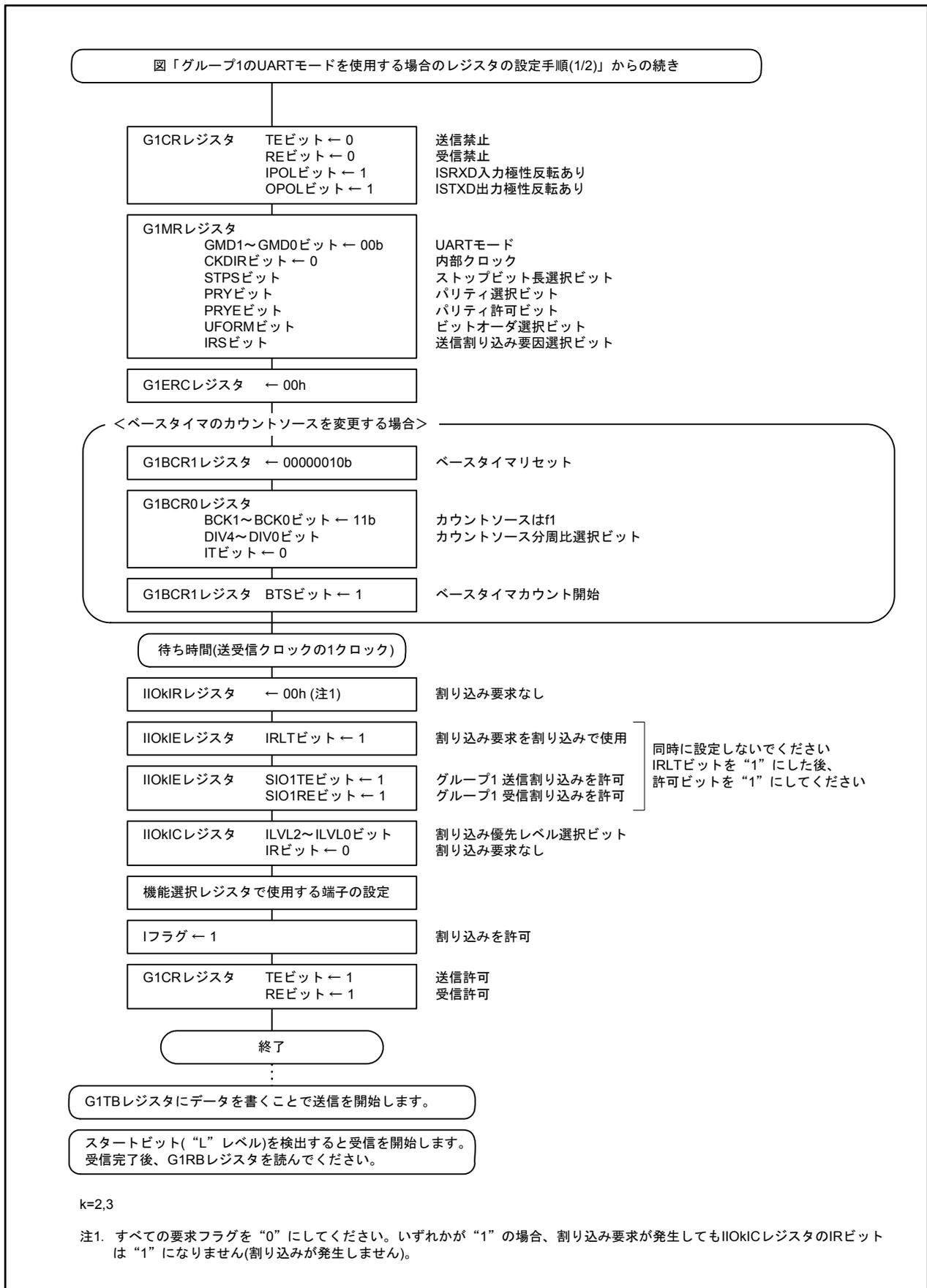


図22.52 グループ1のUARTモードを使用する場合のレジスタの設定手順(2/2)

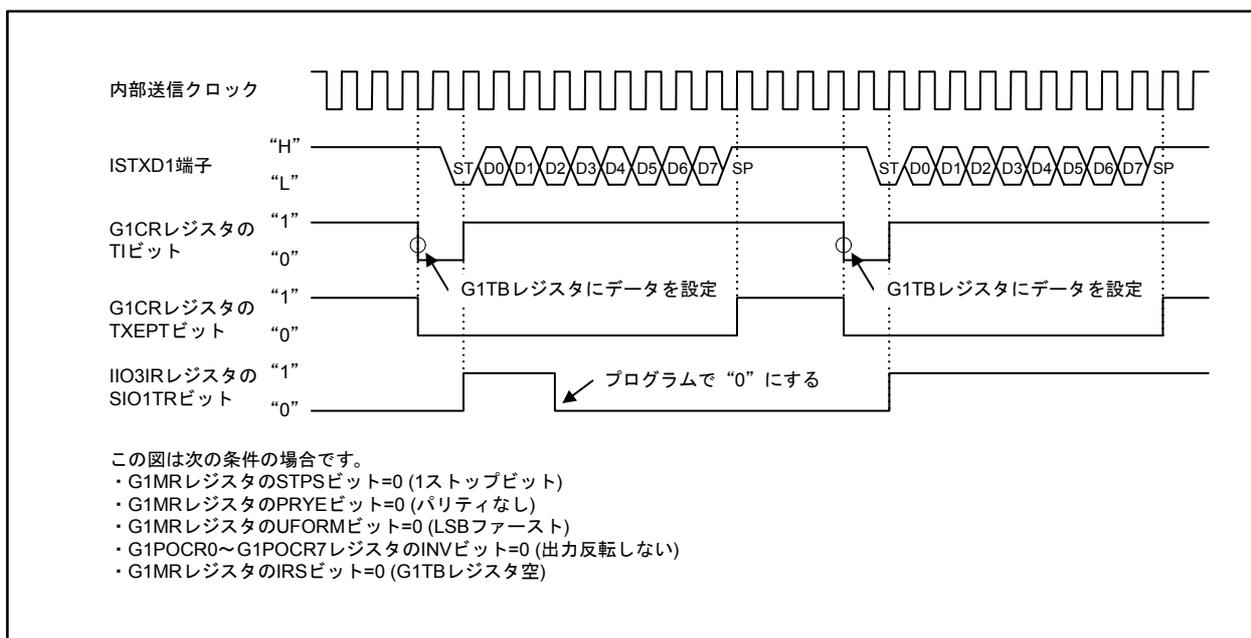


図 22.53 グループ1のUARTモードの送信動作例

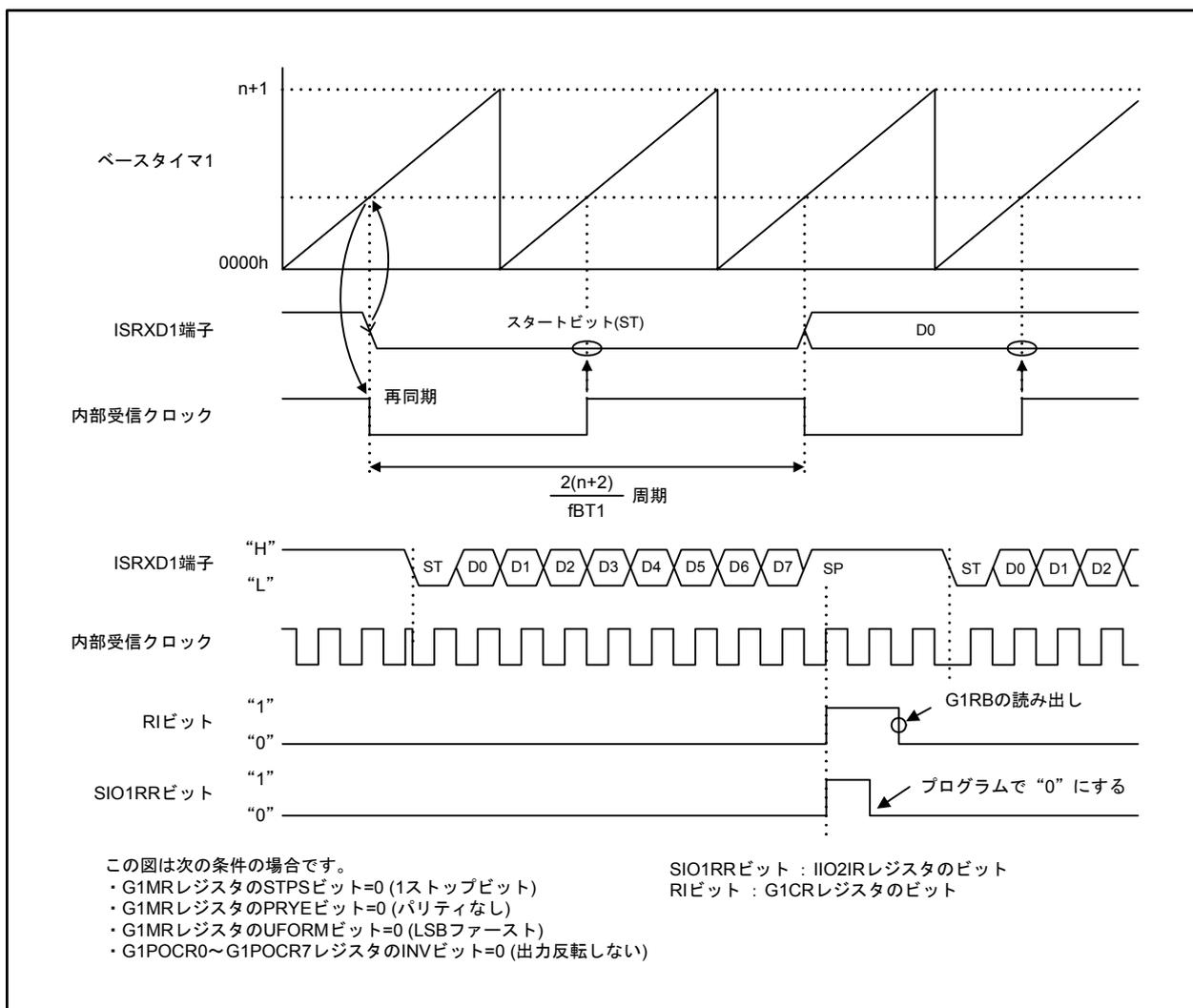


図 22.54 グループ1のUARTモードの受信動作例

22.4.3 HDLCデータ処理モード(グループ0、1)

HDLCデータ処理に必要なビットスタッフィング、フラグ検出、アボート検出、CRC処理を行うモードです。NRZI形式の入出力を行うことはできません(端子は使用しません)。グループ0の転送クロックには、f1、f8、f2nが選択できます。グループ1の転送クロックには、f1、f8、f2n、チャンネル0,1で生成したクロックが選択できます。

HDLCフレームデータを生成する場合、GiTBレジスタ(i=0,1)に元のデータを書いてください。変換処理後のデータがGiTOレジスタに格納されます。GiTOレジスタにデータがある場合、変換は停止します。GiTOレジスタを読み出すと引き続き変換が開始します。GiTBレジスタにデータがなくてもHDLCデータ処理は実行します。CRC値は1ビット変換するごとに演算されます。

元データを生成する場合、GiRIレジスタにHDLCフレームデータを書いてください。GiRIレジスタに書いたデータがシフトレジスタに転送されます。シフトレジスタとGiCMP3レジスタの値("7Eh")が一致するとHDLCデータ処理を開始します。変換処理後のデータはGiRBレジスタに格納されます。

表22.20～表22.21にHDLCデータ処理モードの仕様を、表22.22～表22.23にクロック設定を、表22.24に使用レジスタと設定値を示します。

表22.20 HDLCデータ処理モードの仕様(1/2)

項目	仕様
入力データフォーマット	8ビット固定、ビットアライメントは任意
出力データフォーマット	8ビット固定
転送クロック	表22.22、表22.23参照
入出力方法	元データからHDLCフレームデータ生成時 GiTBレジスタ(i=0,1)に設定した値をHDLCデータ処理して、GiTOレジスタへ転送 HDLCフレームデータから元データ生成時 GiRIレジスタに設定した値をHDLCデータ処理して、GiRBレジスタへ転送
ビットスタッフィング	HDLCフレームデータ生成時：5つの連続する“1”の後、“0”を挿入する 元データ生成時：5つの連続する“1”の後、“0”を削除する
フラグ検出	GiCMP3レジスタにフラグシーケンス“7Eh”を設定する。GiDRレジスタとGiCMP3レジスタの一致で特殊通信機能割り込みが発生する(IIO4IRレジスタのSRTiRビットが“1”になる)。
アボート検出	GiCMPjレジスタ(j=0,1)にアボートシーケンス“FEh”を、GiMSKjレジスタにマスクデータ“01h”を設定する。GiDRレジスタとGiCMPjレジスタを比較し、GiMSKjレジスタでマスクされていないビットが全て一致すると、特殊通信機能割り込みが発生する(IIO4IRレジスタのSRTiRビットが“1”になる)。
CRC	CRC1～CRC0ビット=“11b”(X ¹⁶ +X ¹² +X ⁵ +1) CRCVビット=“1”(FFFFhを設定) ・HDLCフレームデータ生成時：GiCRCレジスタにCRC演算結果が格納される GiETCレジスタのTCRCEビットが“1”(送信CRC使用する) 初期化：GiCRレジスタのTEビットを“0”(送信禁止)にすると初期化される ・元データ生成時：GiRCRCレジスタにCRC演算結果が格納される GiERCレジスタのRCRCEビットが“1”(受信CRC使用する) 初期化：フラグシーケンス“7Eh”比較時、GiCMP3レジスタとの一致信号で初期化される(GiEMRレジスタのACRCビット=1(CRC初期化する))
データ処理開始条件	次のすべての条件がそろるとHDLCフレームデータ生成を開始する ・GiCRレジスタのTEビットが“1”(送信許可) ・GiTBレジスタへのデータの書き込み 次のすべての条件がそろると元データ生成を開始する ・GiCRレジスタのREビットが“1”(受信許可) ・GiRIレジスタへのデータの書き込み

表22.21 HDLCデータ処理モードの仕様(2/2)

項目	仕様
割り込み要求発生タイミング	HDLCフレームデータ生成時 <ul style="list-style-type: none"> ・ GiMRレジスタのIRSビットで選択 <ul style="list-style-type: none"> － IRSビットが“0”(GiTBレジスタ空) GiTBレジスタから送信シフトレジスタへデータ転送時(送信開始) － IRSビットが“1”(送信完了) 送信シフトレジスタからGiTOレジスタへデータ送信完了時 上のいずれかの条件で、IIO1IR、IIO3IRレジスタのGiTORビットが“1”(割り込み要求あり)になる(図11.18参照) ・ HDLCデータ処理された送信データが、GiTOレジスタの送信シフトレジスタから送信バッファへ転送された時、GiTORビットが“1”になる 元データ生成時 <ul style="list-style-type: none"> ・ GiRIレジスタからGiRBレジスタへデータ転送時(受信完了時) IIO0IR、IIO2IRレジスタのGiRIRビットが“1”(割り込み要求あり)になる ・ 受信データが、GiRIレジスタの受信バッファから受信レジスタへ転送された時 GiRIRビットが“1”になる ・ GiTBレジスタとGiCMPjレジスタ(j=0~3)の比較時 IIO4IRレジスタのSRTIRビットが“1”(割り込み要求あり)になる

表22.22 グループ0のクロック設定

転送クロック(注1)	CCSレジスタ	
	CCS0ビット	CCS1ビット
f1	1	0
f8	1	1
f2n(注2)	0	1

注1. 受信側はG0ERCレジスタのRSSTEビットが“1”(受信シフト動作許可)のとき転送クロック発生。

注2. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

表22.23 グループ1のクロック設定

転送クロック(注1)	CCSレジスタ	
	CCS2ビット	CCS3ビット
$\frac{f_{BT1}}{n+2}$ (注2)	0	0
f1	1	0
f8	1	1
f2n(注3)	0	1

n : G1PO0レジスタの設定値(0001h~FFFDh)

注1. 受信側はG1ERCレジスタのRSSTEビットが“1”(受信シフト動作許可)のとき転送クロック発生。

注2. 転送クロックはチャンネル1の単相波形出力モードで生成します。

注3. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

表22.24 HDLCデータ処理モードの使用レジスタと設定値

レジスタ	ビット	機能
CCS	CCS1~CCS0	転送クロックを選択してください
	CCS3~CCS2	転送クロックを選択してください
G1BCR0(注1)	BCK1~BCK0	カウントソースを選択してください
	DIV4~DIV0	カウントソースの分周比を選択してください
	IT	ベースタイム割り込み選択
G1BCR1(注1)	—	“0001 0010b” にしてください
G1POCR0(注1)	—	“0000 0000b” にしてください
G1POCR1(注1)	—	“0000 0000b” にしてください
G1PO0(注1)	—	転送速度を設定してください
G1PO1(注1)	—	転送クロックの立ち上がりタイミングを設定してください 立ち下がりタイミング(転送クロックの“H”幅)は固定 G1PO1レジスタの設定値 ≤ G1PO0レジスタの設定値としてください
G1FS(注1)	FSC1~FSC0	“00b” にしてください
G1FE(注1)	IFE1~IFE0	“11b” にしてください
GiMR	GMD1~GMD0	“11b” にしてください
	CKDIR	“0” にしてください
	UFORM	“0” にしてください
	IRS	送信割り込み要因を選択してください
GiCR	TE	送信(元データからHDLCフレームデータを生成)を許可する場合、“1” にしてください
	TXEPT	送信シフトレジスタ空フラグ
	TI	GiTBレジスタ空フラグ
	RE	受信(HDLCフレームデータから元データを生成)を許可する場合、“1” にしてください
	RI	受信完了フラグ
GiEMR	—	“1111 0110b” にしてください
GiETC	TCRCE	“1” (元データからHDLCフレームデータを生成時、CRC演算を行う)にしてください
	TBSF1	“1” (HDLCフレームデータ生成時“0”を挿入する)にしてください
GiERC	CMP2E~CMP0E	GiDRレジスタとGiCMPjレジスタを比較する、しないを選択
	CMP3E	“1” にしてください
	RRCCE	“1” (HDLCフレームデータから元データを生成時、CRC演算を行う)にしてください
	RSSTE	元データ生成時、“1” にしてください
	RBSF1	“1” (元データ生成時“0”を削除する)にしてください
GiIRF	IRF3~IRF0	割り込み要因を選択してください
GiCMP0、 GiCMP1	—	アポートに使用する場合は、“FEh” を書いてください
GiCMP2	—	比較データを設定してください
GiCMP3	—	“7Eh” を書いてください
GiMSK0、 GiMSK1	—	アポートに使用する場合は、“01h” を書いてください
GiTCRC	—	元データからHDLCフレームデータ生成時に演算されたCRCコードが読める
GiRCRC	—	HDLCフレームデータから元データ生成時に演算されたCRCコードが読める
GiTB	—	HDLCフレームデータ生成時に使用します 元データを書いてください
GiTO	—	HDLCフレームデータ生成時に使用します 生成されたHDLCフレームデータが読めます
GiRI	—	元データ生成時に使用します HDLCフレームデータを書いてください
GiRB	—	元データ生成時に使用します 生成された元データが読めます

i=0,1

注1. CCSレジスタのCCS3~CCS2ビットで“00b”(波形生成機能からのクロック)を選択した場合に設定が必要です。

22.5 グループ2通信機能

インテリジェントI/Oグループ2では、可変長クロック同期シリアル通信を行います。

図22.55にグループ2の通信機能のブロック図を、図22.56～図22.60に関連レジスタを示します。

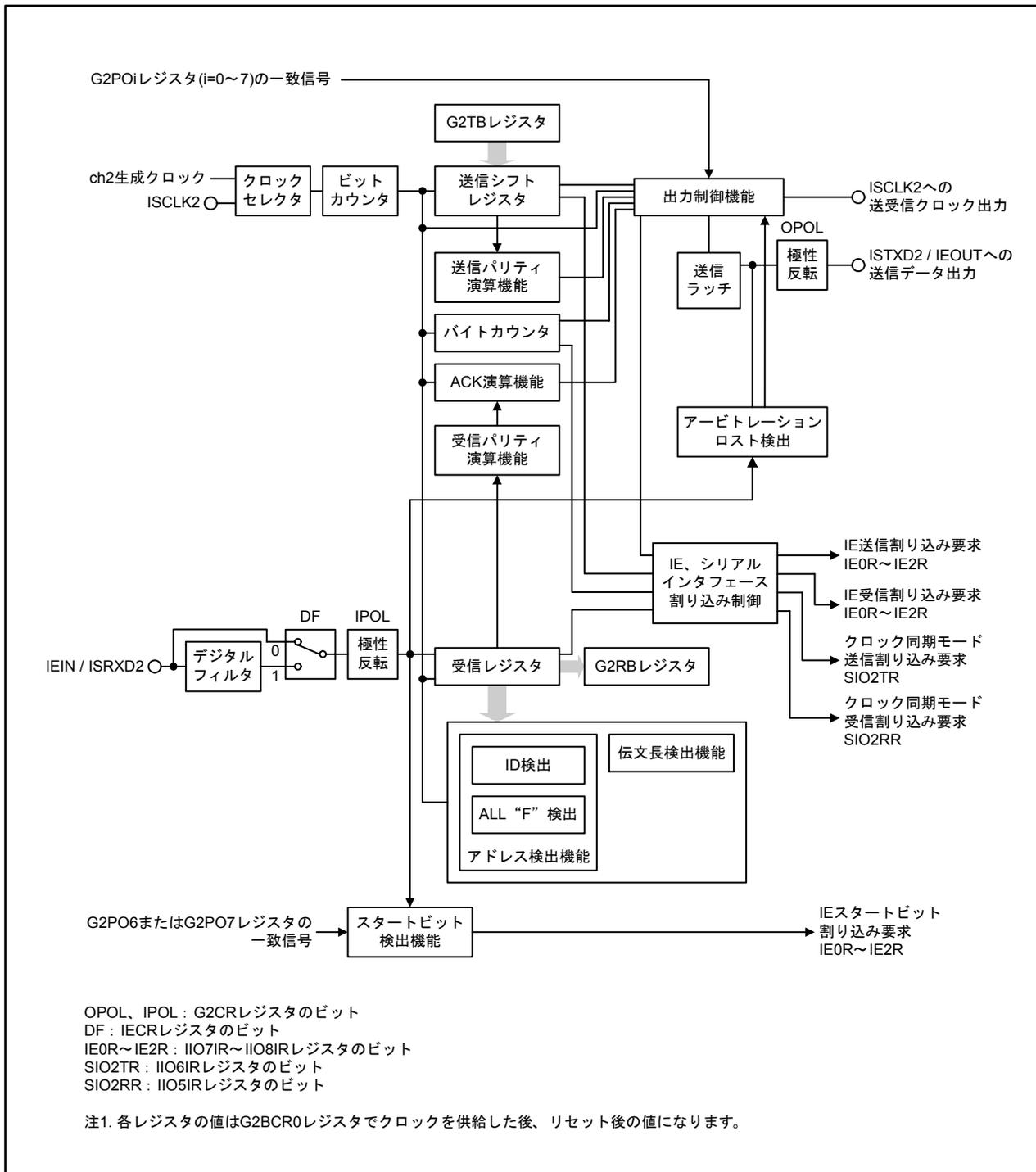


図22.55 グループ2の通信機能のブロック図

グループ2 SI/O送信バッファレジスタ

ビットシンボル	ビット名	機能	RW
— (b7-b0)	送信バッファ	送信データ	WO
SZ0	データ長選択ビット	b10 b9 b8 0 0 0 : 8ビット長	RW
SZ1		0 0 1 : 1ビット長	RW
SZ2		0 1 0 : 2ビット長 0 1 1 : 3ビット長 1 0 0 : 4ビット長 1 0 1 : 5ビット長 1 1 0 : 6ビット長 1 1 1 : 7ビット長	RW
— (b12-b11)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
A	ACK機能選択ビット	0 : ACKビットを付加しない 1 : 最終送信ビットの後にACKビットを付加	RW
PC	パリティ演算継続ビット	0 : この送信データの後にパリティビットを付加 1 : 次回の送信データにパリティを繰り越す(注1)	RW
P	パリティ機能選択ビット	0 : パリティなし 1 : パリティあり(偶数パリティのみ)	RW

注1. Pビットを“0”にした後、PCビットを“1”にしてください。

グループ2 SI/O受信バッファレジスタ

ビットシンボル	ビット名	機能	RW
— (b7-b0)	受信バッファ	受信データ	RO
— (b11-b8)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
OER	オーバランエラーフラグ(注1)	0 : オーバランエラーなし 1 : オーバランエラーあり	RO
— (b15-b13)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. G2MRレジスタのGMD1~GMD0ビットを“00b”(通信回路リセット)、またはG2CRレジスタのREビットを“0”(受信禁止)にするとOERビットは“0”になります。

図22.56 G2TBレジスタ、G2RBレジスタ

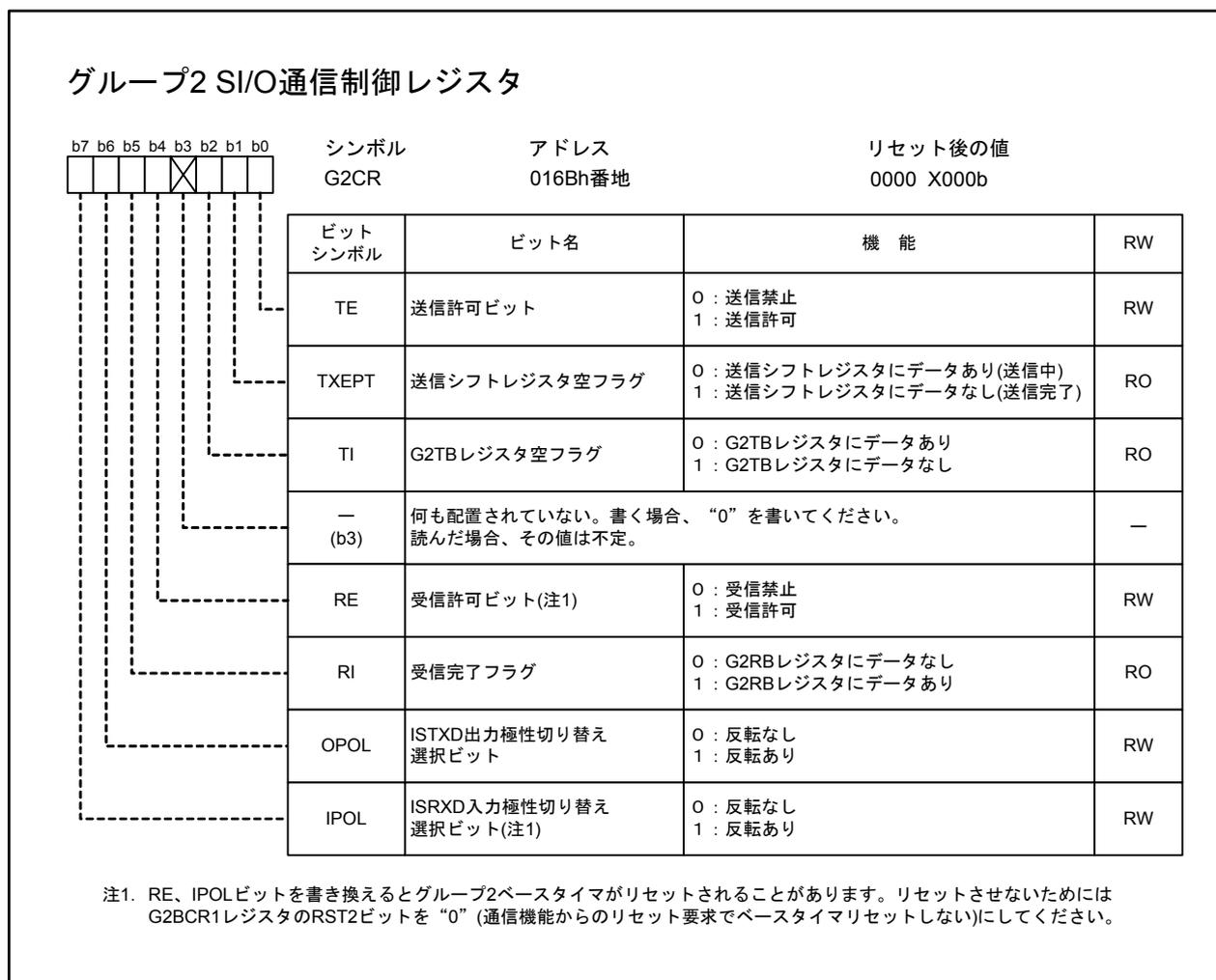
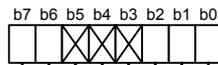


図22.58 G2CR レジスタ

グループ2 IEBus制御レジスタ



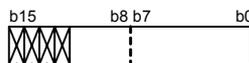
シンボル アドレス リセット後の値
IECR 0172h番地 00XX X000b

ビットシンボル	ビット名	機能	RW
IEB	IEBus許可ビット(注1)	0 : IEBusを使用しない(注2) 1 : IEBusを使用する	RW
IETS	IEBus送信開始要求ビット	0 : 送信終了 1 : 送信開始	RW
IEBBS	IEBusバスビジーフラグ	0 : アイドル状態 1 : ビジー状態(スタートコンディション検出)	RO
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DF	デジタルフィルタ選択ビット	0 : デジタルフィルタなし 1 : デジタルフィルタあり	RW
IEM	IEBusモード選択ビット	0 : モード1 1 : モード2	RW

注1. IEBビットはfBT2停止中に書き換えてください。

注2. IEBビットを“0”にしたときは、fBT2の1クロック以上“0”を保持してください。また“1”にする場合、G2BCR0レジスタのBCK1~BCK0ビットを“00b”(クロック停止)にしてください。

グループ2 IEBusアドレスレジスタ



シンボル アドレス リセット後の値
IEAR 0171h - 0170h番地 不定

機能	RW
アドレスデータ	RW
アドレスデータ	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

図 22.59 IECR レジスタ、IEAR レジスタ

グループ2 IEBus送信割り込み要因判別レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	IETIF	0173h番地	XXX0 0000b
ビットシンボル	ビット名	機能	RW
IETNF	正常終了フラグ(注1)	0 : エラー終了 1 : 正常終了	RW
IEACK	ACKエラーフラグ(注1)	0 : エラーなし 1 : エラーあり	RW
IETMB	最大転送バイトエラーフラグ(注1)	0 : エラーなし 1 : エラーあり	RW
IETT	タイミングエラーフラグ(注1)	0 : エラーなし 1 : エラーあり	RW
IEABL	アービトレーションロストフラグ(注1)	0 : エラーなし 1 : エラーあり	RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. “0”のみ書けます。IECRレジスタのIEBビットを“0”(IEBusを使用しない)にすると、IETNF、IEACK、IETMB、IETT、IEABLビットは“0”になります。

グループ2 IEBus受信割り込み要因判別レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	IERIF	0174h番地	XXX0 0000b
ビットシンボル	ビット名	機能	RW
IERNF	正常終了フラグ(注1)	0 : エラー終了 1 : 正常終了	RW
IEPAR	パリティエラーフラグ(注1)	0 : エラーなし 1 : エラーあり	RW
IERMB	最大転送バイトエラーフラグ(注1)	0 : エラーなし 1 : エラーあり	RW
IERT	タイミングエラーフラグ(注1)	0 : エラーなし 1 : エラーあり	RW
IERETC	他要因受信完了フラグ(注1)	0 : エラーなし 1 : エラーあり	RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. “0”のみ書けます。IECRレジスタのIEBビットを“0”(IEBusを使用しない)にすると、IERNF、IEPAR、IERMB、IERT、IERETCビットは“0”になります。

図22.60 IETIFレジスタ、IERIFレジスタ

22.5.1 可変長クロック同期モード(グループ2)

全二重のクロック同期シリアル通信を行うモードです。1～8ビットのデータ長が選択できます。連続して送受信を行うことで9ビット長以上のデータも通信できます。

表22.25にグループ2の可変長クロック同期モードの仕様を、表22.26に使用レジスタと設定値を、表22.27に端子の設定を、図22.61に送受信動作例を示します。

表22.25 グループ2の可変長クロック同期モードの仕様

項目	仕様
データフォーマット	データ長 可変
送受信クロック(注1)	G2MRレジスタのCKDIRビットが“0”(内部クロック)のとき $\frac{f_{BT2}}{2(n+2)}$ n : G2PO0レジスタの設定値(0001h~FFFDh) 通信速度をG2PO0レジスタで設定し、チャンネル2波形生成機能の反転波形出力モードで生成 CKDIRビットが“1”(外部クロック選択)のとき ISCLK2端子から入力
送信開始条件	次のすべての条件がそろると送信を開始する <ul style="list-style-type: none"> ・ G2CRレジスタのTEビットが“1”(送信許可) ・ G2TBレジスタへのデータ書き込み
受信開始条件	次のすべての条件がそろると受信を開始する <ul style="list-style-type: none"> ・ TEビットが“1” ・ G2TBレジスタへのデータ書き込み ・ G2CRレジスタのREビットが“1”(受信許可)
割り込み要求発生タイミング	送信割り込み(G2MRレジスタのIRSビットで選択) <ul style="list-style-type: none"> ・ IRSビットが“0”(G2TBレジスタ空) G2TBレジスタから送信シフトレジスタにデータ転送時(送信開始時) ・ IRSビットが“1”(送信完了) 送信シフトレジスタからデータ送信完了時 送信割り込み要求が発生すると、IIO6IRレジスタのSIO2TRビットが“1”(割り込み要求あり)になる(図11.18参照) 受信割り込み <ul style="list-style-type: none"> ・ 受信シフトレジスタからG2RBレジスタへデータ転送時(受信完了時) 受信割り込み要求が発生すると、IIO5IRレジスタのSIO2RRビットが“1”(割り込み要求あり)になる(図11.18参照)
エラー検出	オーバランエラー G2RBレジスタを読む前に次のデータ受信(データ長jビット、j=1～8)を開始し、jビット目のデータを受信すると発生する。オーバランエラー発生後、G2RBレジスタは不定になる。
選択機能	<ul style="list-style-type: none"> ・ ビットオーダ選択(8ビットモード時のみ選択可) LSBファーストまたはMSBファーストを選択可 8ビットモード以外はLSBファーストで設定してください ・ ISTXD2、ISRXD2入出力極性切り替え ISTXD2端子出力とISRXD2端子入力のレベルを反転する機能

注1. 内部クロック選択時、送受信クロックはfBT2の6分周、またはそれよりも遅くし、外部クロック選択時、送受信クロックはfBT2の20分周、またはそれよりも遅くしてください。また、「27. 電気的特性」の表27.22または表27.43「インテリジェントI/O通信機能(グループ2)」を満たしてください。

表22.26 グループ2の可変長クロック同期モードの使用レジスタと設定値

レジスタ	ビット	機能
G2BCR0	BCK1~BCK0	“11b” にしてください
	DIV4~DIV0	カウントソースの分周比を選択してください
	IT	“0” にしてください
G2BCR1	—	“0001 0010b” にしてください
G2POCR0	—	“0000 0111b” にしてください
G2POCR1	—	“0000 0111b” にしてください
G2POCR2	—	“0000 0010b” にしてください
G2PO0	—	波形生成用の比較値を設定する $\frac{f_{BT2}}{2 \times (\text{設定値} + 2)}$ が送受信クロック周波数になる
G2PO2	—	G2PO0レジスタの設定値より小さい値を設定してください
G2FE	IFE2~IFE0	“111b” にしてください
G2MR	GMD1~GMD0	“01b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	送信割り込み要因を選択してください
G2CR	TE	送受信を許可する場合、“1” にしてください
	TXEPT	送信シフトレジスタ空フラグ
	TI	G2TBレジスタ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	OPOL	ISTXD2出力極性切り替え(通常は“0” にしてください)
	IPOL	ISRXD2入力極性切り替え(通常は“0” にしてください)
G2TB	—	データ長、送信データを書いてください
G2RB	—	受信データとエラーフラグが格納される

表22.27 グループ2の可変長クロック同期モードの端子の設定

ポート名	機能	G2POCR0、G2POCR1レジスタ(注4)	ビットと設定値					
			IPSレジスタ	PD6、PD7、PD9、PD13レジスタ(注2)	PSD1レジスタ	PSCレジスタ	PSL0、PSL1、PSL3、PSL7、レジスタ	PS0、PS1、PS3、PS7レジスタ(注2、3)
P6_4	ISCLK2入力	—	IPS6=0	PD6_4=0	—	—	—	PS0_4=0
	ISCLK2出力	G2POCR1	—	—	—	—	PSL0_4=1	PS0_4=1
P7_0(注1)	ISTXD2出力	G2POCR0	—	—	PSD1_0=0	PSC_0=1	PSL1_0=0	PS1_0=1
P7_1(注1)	ISRXD2入力	—	IPS5~IPS4=00b	PD7_1=0	—	—	—	PS1_1=0
P9_1	ISRXD2入力	—	IPS5~IPS4=01b	PD9_1=0	—	—	—	PS3_1=0
P9_2	ISTXD2出力	G2POCR0	—	—	—	—	PSL3_2=1	PS3_2=1
P13_4	ISTXD2出力	G2POCR0	—	—	—	—	PSL7_4=0	PS7_4=1
P13_5	ISRXD2入力	—	IPS5~IPS4=10b	PD13_5=0	—	—	—	PS7_5=0
P13_6	ISCLK2入力	—	IPS6=1	PD13_6=0	—	—	—	PS7_6=0
	ISCLK2出力	G2POCR1	—	—	—	—	PSL7_6=0	PS7_6=1

- 注1. P7_0、P7_1はNチャンネルオープンドレイン出力。
- 注2. PD9、PS3レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。
- 注3. PS0、PS1、PS3、PS7レジスタは最後に設定してください。
- 注4. 該当レジスタのMOD2~MOD0ビットを“111b”(通信機能の出力を使用)にしてください。

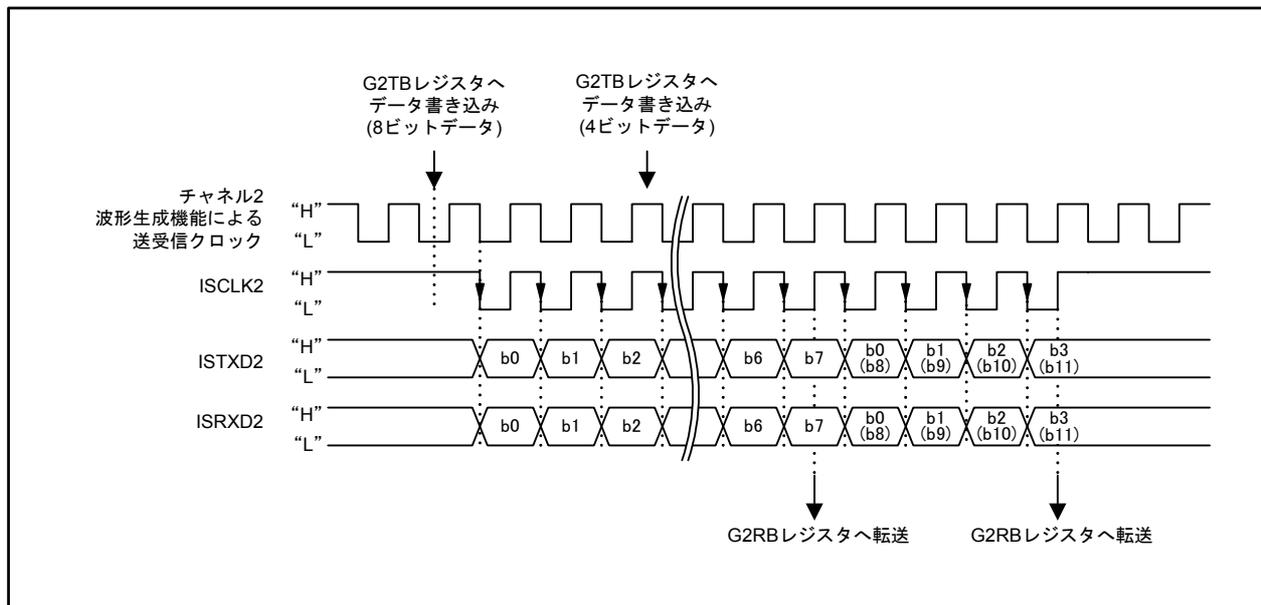


図22.61 グループ2の可変長クロック同期モードの送受信動作例

23. CANモジュール

注意

M32C/87Aでは、CAN0のみ使用できます。
M32C/87Bでは、CANモジュールは使用できません。

CAN(Controller Area Network)2.0B仕様準拠のFull CANモジュールを2チャンネル(CAN0、CAN1)内蔵しています。表23.1にCAN0、CAN1の仕様を示します。

表23.1 CAN0、CAN1の仕様

項目	仕様
プロトコル	CAN2.0B仕様準拠
メッセージスロット	16本
アクセプタンスフィルタ	グローバルマスク：1本(メッセージスロット0～13に対応) ローカルマスク：2本(それぞれメッセージスロット14、15に対応)
転送速度(注1)	$\text{転送速度} = \frac{1}{\text{CANビットタイム}} \quad \dots \text{Max 1 Mbps}$ $\text{CANビットタイム} = \text{Tq周期} \times 1\text{ビット分のTq数}$ $\text{Tq周期} = \frac{\text{BRP} + 1}{\text{CANクロック}}$ $1\text{ビット分のTq数} = \text{SS} + \text{PTS} + \text{PBS1} + \text{PBS2}$ <p>Tq : Time quantum BRP : C0BRP、C1BRPレジスタの設定値 1～255 SS : Synchronization Segment 1Tq PTS : Propagation Time Segment 1～8Tq PBS1 : Phase Buffer Segment 1 2～8Tq PBS2 : Phase Buffer Segment 2 2～8Tq</p>
リモートフレーム自動応答機能	リモートフレームを受信したメッセージスロットが自動的にデータフレームの送信を行う機能
タイムスタンプ機能	16ビットカウンタによるタイムスタンプ機能 カウントソースはCANバスビットクロックの1、2、3、4分周を選択可能 $\text{CANバスビットクロック} = \frac{1}{\text{CANビットタイム}}$
BasicCANモード	メッセージスロット14、15を使用してBasicCAN機能を実現
送信アボート機能	送信要求を取り消す機能
ループバック機能	CANモジュールが送信したフレームを同CANモジュールが受信する機能
エラーアクティブ強制復帰機能	エラーカウンタをリセットすることにより、強制的にエラーアクティブ状態に遷移させる機能
シングルショット送信機能	アービトレーションロストや送信エラー発生により送信に失敗しても再送信しない機能
自己診断機能	CANモジュール内部で通信を行い、通信モジュールを診断する機能

注1. 発振最大許容誤差1.58%を満たす発振子をご使用ください。

図23.1にCAN0、CAN1のCANモジュールブロック図、図23.2にCANiメッセージスロットバッファ(i=0,1)とCANiメッセージスロット(以下、メッセージスロットと称す)j(j=0~15)を示します。また、表23.2にCANモジュールの端子の設定を示します。

メッセージスロットは、CPUから直接アクセスできません。アクセスする場合は、使用するメッセージスロットjをCANiメッセージスロットバッファ0または1に割り当て、この番地を通してアクセスします。CiSBSレジスタで、CANiメッセージスロットバッファ0、1に割り当てるメッセージスロットjを選択できます。メッセージスロットバッファとメッセージスロットは、図23.2に示す16バイトで構成されています。

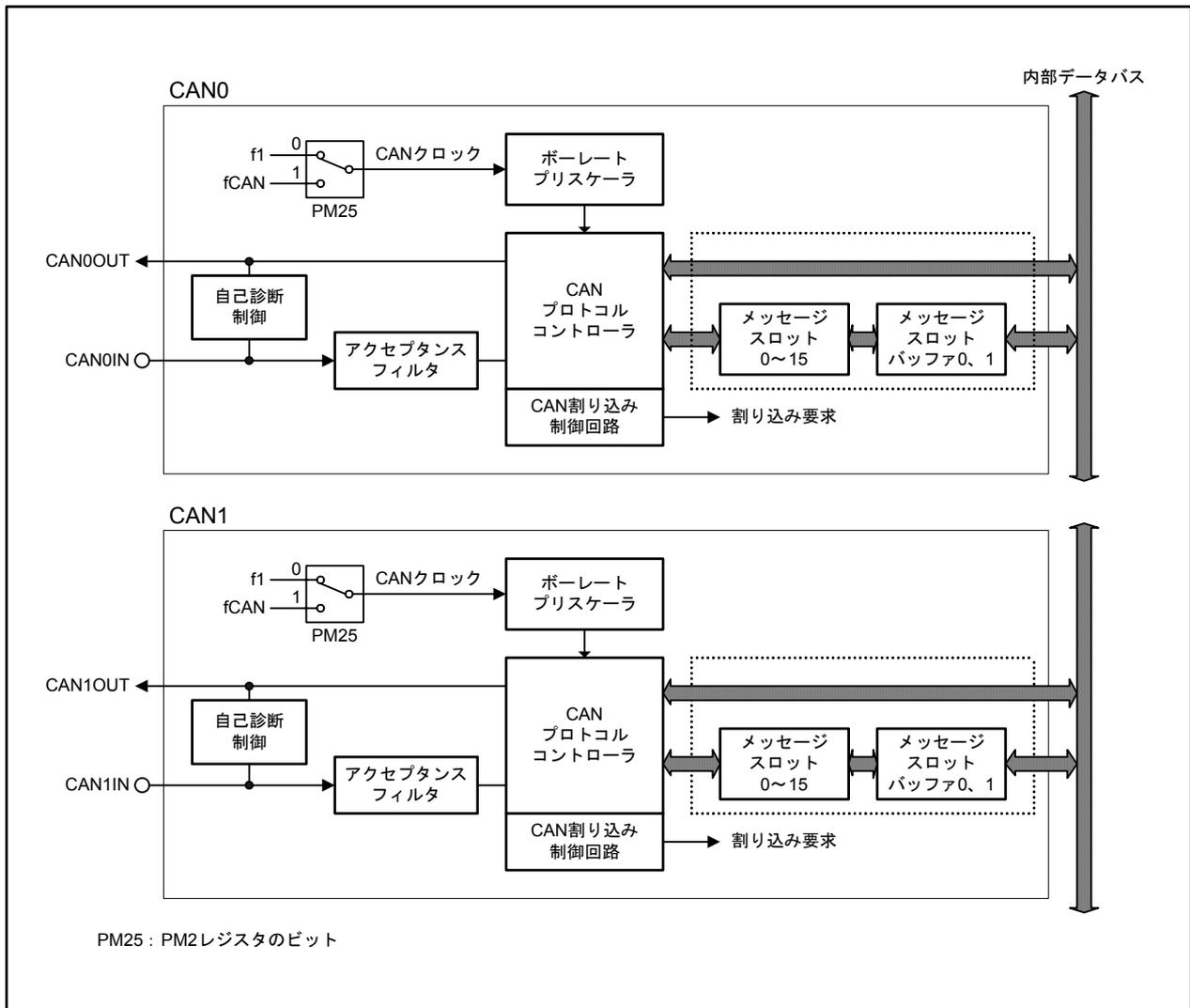


図23.1 CAN0、CAN1のCANモジュールブロック図

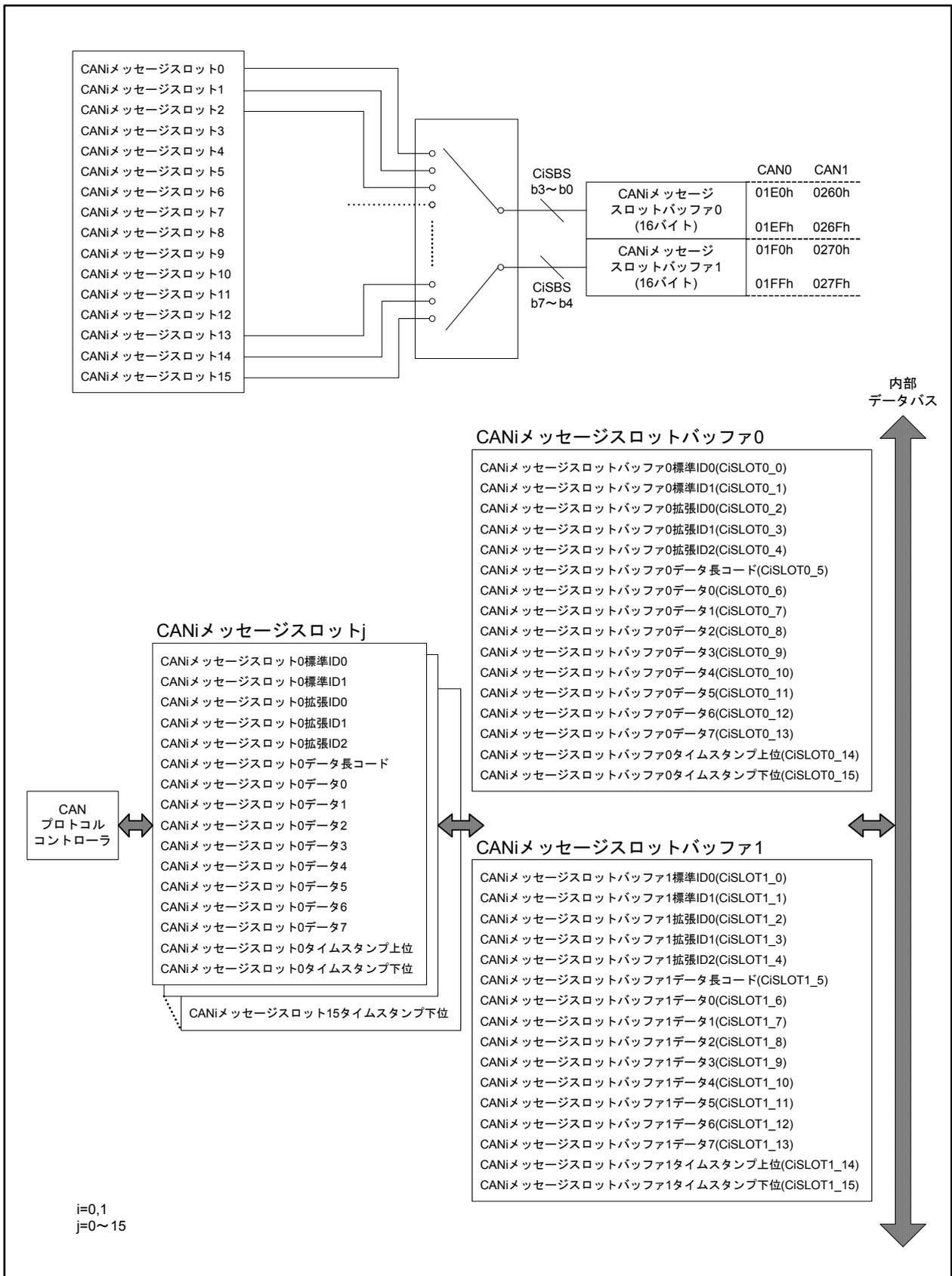


図 23.2 CAN0、CAN1メッセージスロットバッファとメッセージスロット

表 23.2 CANモジュールの端子の設定(注1)

ポート名	機能	ビットと設定値				
		PD7~PD9 レジスタ(注2)	PSC、PSC2、 PSC3レジスタ	PSL1~PSL3 レジスタ	PS1~PS3 レジスタ(注2)	IPS、IPSA レジスタ
P7_6	CAN0OUT	—	PSC_6=1	PSL1_6=0	PS1_6=1	—
P7_7	CAN0IN	PD7_7=0	—	—	PS1_7=0	IPS3=0
P8_2	CAN0OUT	—	PSC2_2=0	PSL2_2=1	PS2_2=1	—
	CAN1OUT	—	PSC2_2=1	PSL2_2=1	PS2_2=1	—
P8_3	CAN0IN	PD8_3=0	—	—	—	IPS3=1
	CAN1IN	PD8_3=0	—	—	—	IPSA_3=1
P9_5	CAN1IN / $\overline{\text{CAN1WU}}$	PD9_5=0	—	PSL3_5=0	PS3_5=0	IPSA_3=0
P9_6	CAN1OUT	—	PSC3_6=1	—	PS3_6=1	—

注1. 左のレジスタから順に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

23.1 関連レジスタ

図23.3～図23.19、図23.21～図23.27、図23.30～図23.35にCAN関連レジスタを示します。

CAN関連レジスタにアクセスする場合、「23.2 CANクロックとCPUクロック」を参照してください。

23.1.1 CAN_i制御レジスタ0 (CiCTRL0レジスタ)(i=0,1)

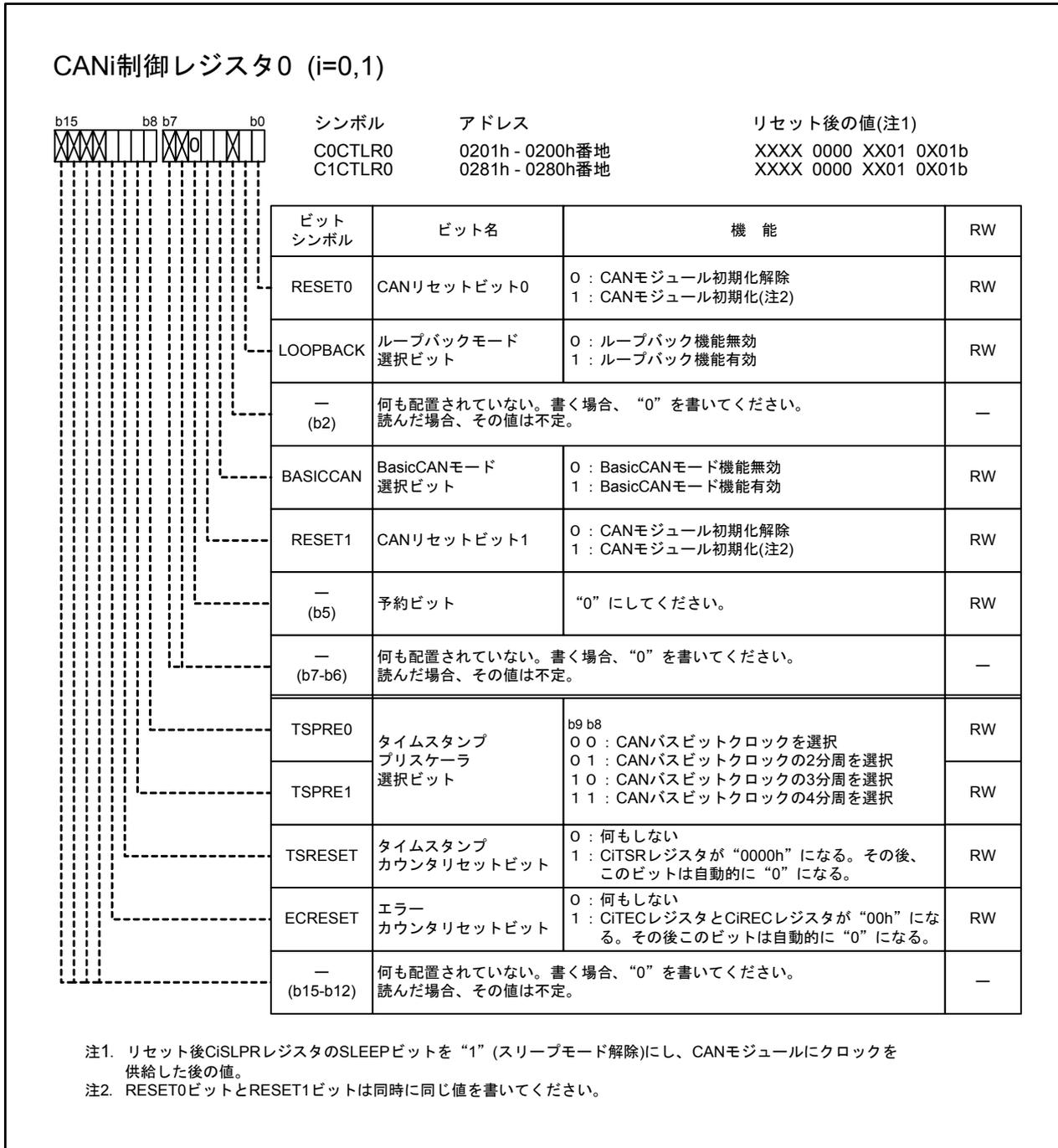


図23.3 C0CTRL0レジスタ、C1CTRL0レジスタ

23.1.1.1 RESET0ビット、RESET1ビット

RESET0、RESET1ビットを両方とも“1”にすると、CAN通信中かどうかに関係なく、即座にCANモジュールが初期化されます。

RESET0、RESET1ビットを“1”にしCANモジュールの初期化が完了すると、CiTSRレジスタは“0000h”に、CiTECレジスタ、CiRECレジスタは“00h”に、CiSTRレジスタのSTATE_ERRPASビット、STATE_BUSOFFビットは“0”になります。

RESET0、RESET1ビットを両方とも“1”から“0”にすると、CiTSRレジスタがカウントを開始し、11ビット連続したレセンプビットを検出した後に、CAN通信可能となります。

注1. RESET0、RESET1ビットは、同時に同じ値を書いてください。

注2. RESET0、RESET1ビットを“1”にした後、CiSTRレジスタのSTATE_RESETビットが“1”(CANモジュールリセット)になることを確認してください。

注3. RESET0、RESET1ビットを“1”にすると、その直後からCANiOUT端子(i=0,1)出力は“H”になります。このため、CANフレーム送信中にRESET0、RESET1ビットを“1”にすると、CANバスエラー発生の原因になることがあります。

注4. CAN通信を行うために、PS1、PS2、PS3、PSL1、PSL2、PSL3、PSC、PSC2、PSC3、IPS、IPSA、PD7、PD8、PD9レジスタを設定してください。これらは、STATE_RESETビットが“1”(CANモジュールリセット)のとき設定してください。

23.1.1.2 LOOPBACKビット

LOOPBACKビットが“1”(ループバック機能有効)で、かつ、送信したフレームに対しIDとフレームフォーマットが一致する受信メッセージスロットがある場合、送信したフレームが受信メッセージスロットへ格納されます。

注1. 送信フレームに対するACKは返しません。

注2. LOOPBACKビットはSTATE_RESETビットが“1”(CANモジュールリセット)のときに変更してください。

23.1.1.3 BASICCANビット

BASICCANビットを“1”にすると、メッセージスロット14、15がBasicCANモードで動作します。

BasicCANモードでは、メッセージスロット14、15をダブルバッファとして使用し、アクセプタンズフィルタリングによってIDが一致した受信フレームをメッセージスロット14、15へ交互に格納します。また、データフレーム、リモートフレームの両方のフレームタイプを受信できます。

次にBasicCANモードへの移行手順を示します。

- (1) BASICCANビットを“1”にする。
- (2) メッセージスロット14、15のIDに同じ値を設定する。
- (3) CiLMAR0～CiLMAR4レジスタとCiLMBR0～CiLMBR4レジスタに同じ値を設定する。
- (4) CiIDRレジスタのIDE14ビットとIDE15ビットに同じ値を設定する。
- (5) CiMCTL14とCiMCTL15レジスタをデータフレーム受信に設定する。

注1. BASICCANビットはSTATE_RESETビットが“1”(CANモジュールリセット)のときに、変更してください。

注2. RESET0、RESET1ビットを“0”にした後、最初にメッセージスロット14がアクティブになります。

注3. メッセージスロット0～13は、BasicCANモード選択の影響を受けません。

23.1.1.4 TSPRE0、TSPRE1ビット

タイムスタンプカウンタのカウンタソースを選択します。

注1. TSPRE 0、TSPRE1 ビットは、STATE_RESET ビットが“1” (CANモジュールリセット) のときに変更してください。

23.1.1.5 TSRESETビット

TSRESET ビットを“1”にすると、CiTSRレジスタが“0000h”になります。TSRESET ビットは、CiTSRレジスタが“0000h”になった後“0”になります。

23.1.1.6 ECRESETビット

ECRESET ビットを“1”にすると、CiTECレジスタ、CiRECレジスタが“00h”になり、強制的にエラーアクティブ状態になります。

ECRESET ビットは、エラーアクティブ状態になった後“0”になります。

注1. エラーアクティブ状態になった後は、CANバス上に11ビットの連続したレセシブビットを検出した後に、CAN通信可能となります。

注2. ECRESETビットを“1”にする場合は、CANがバスオフ、またはバスアイドル中に設定してください。(CAN送受信中にECRESETビットに“1”を書かないでください。)

23.1.2 CANi制御レジスタ1 (CiCTRL1レジスタ)(i=0,1)

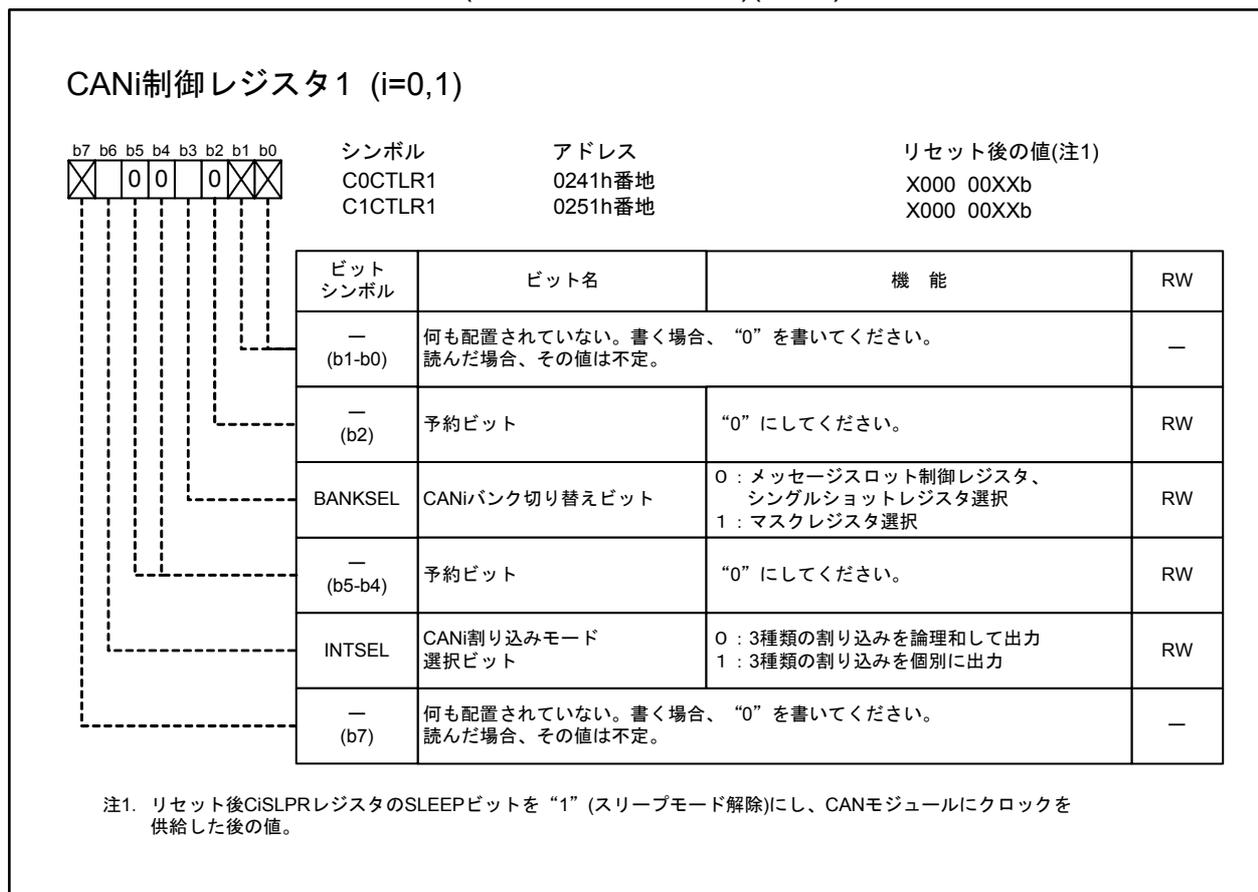


図23.4 C0CTRL1レジスタ、C1CTRL1レジスタ

23.1.2.1 BANKSELビット

C0CTRL1レジスタのBANKSELビットにより、0220h番地から023Fh番地に割り付けられるレジスタを切り替えます。また、C1CTRL1レジスタのBANKSELビットにより、02A0h番地から02BFh番地に割り付けられるレジスタを切り替えます。BANKSELビットが“0”のとき、CiSSCTRLレジスタ、CiSSSTRレジスタ、CiMCTL0～CiMCTL15レジスタをアクセスできます。BANKSELビットが“1”のとき、CiGMR0～CiGMR4レジスタ、CiLMAR0～CiLMAR4レジスタ、CiLMBR0～CiLMBR4レジスタをアクセスできます。

23.1.2.2 INTSELビット

INTSELビットにより、3種類の割り込み(CANi受信割り込み、CANi送信割り込み、CANiエラー割り込み)を論理和して出力するか、個別に出力するかを選択できます。

詳細は「23.4 CAN割り込み」を参照してください。

注1. INTSELビットはSTATE_RESETビットが“1”(CANモジュールリセット)のときに設定してください。

23.1.3 CANiスリープ制御レジスタ (CiSLPR レジスタ)(i=0,1)

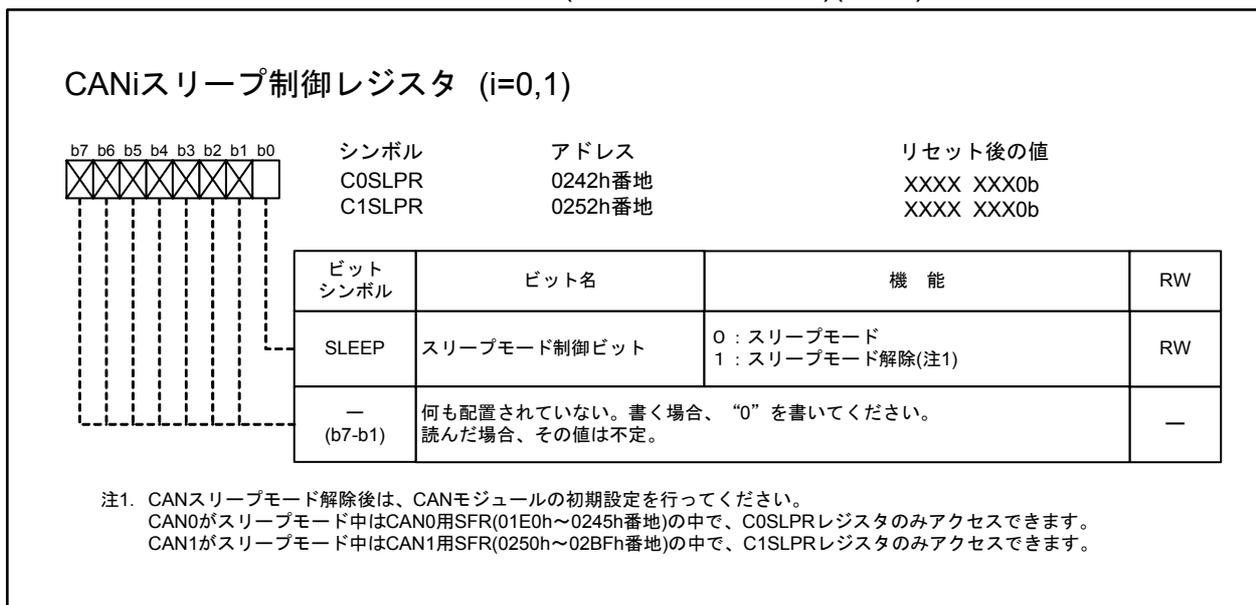


図23.5 C0SLPRレジスタ、C1SLPRレジスタ

23.1.3.1 SLEEPビット

SLEEP ビットを“0”にするとCANに供給されるクロックが停止し、スリープモードへ移行します。
SLEEP ビットを“1”にするとCANにクロックが供給され、スリープモードが解除されます。

注1. スリープモードへはCiSTR レジスタのSTATE_RESET ビットが“1”(CANモジュールリセット)になった後に移行させてください。

23.1.4 CANiステータスレジスタ (CiSTR レジスタ)(i=0,1)

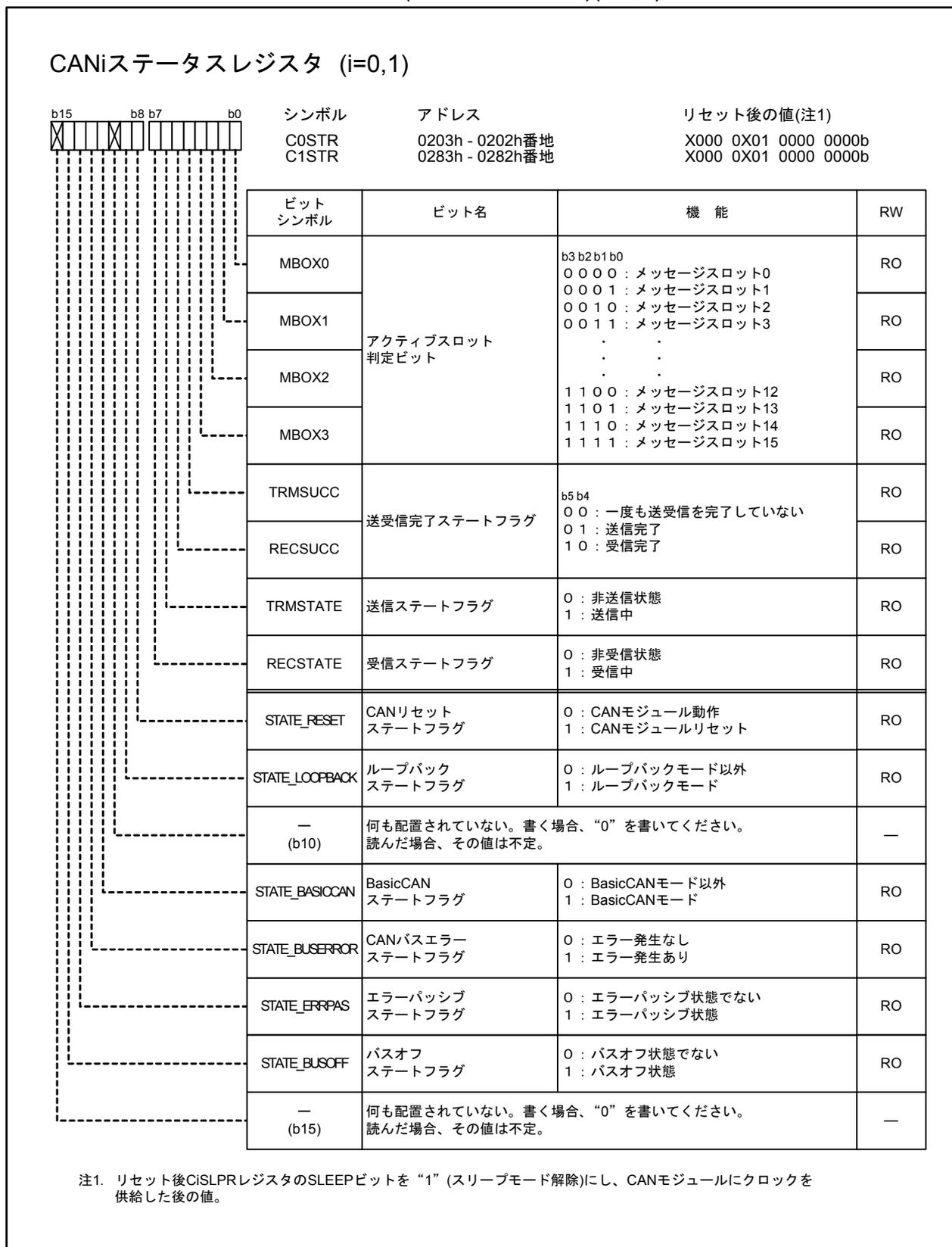


図23.6 C0STRレジスタ、C1STRレジスタ

23.1.4.1 MBOX3～MBOX0 ビット

送信完了時または受信データ格納完了時に、該当するスロット番号が格納されます。

23.1.4.2 TRMSUCC ビット

正常に送信を完了したとき “1” になります。

正常に受信を完了したとき “0” になります。

23.1.4.3 RECSUCC ビット

正常に受信を完了したとき “1” になります(受信メッセージがメッセージスロットに格納されるか、されないかは関係ありません)。ただし、ループバックモードを使用して送信したメッセージを受信したときは、TRMSUCC ビットが “1” に、RECSUCC ビットが “0” になります。

正常に送信を完了したとき “0” になります。

23.1.4.4 TRMSTATE ビット

送信ノードとして動作中のとき “1” になります。

バスアイドル状態になったとき、または受信ノードとして動作を始めたとき “0” になります。

23.1.4.5 RECSTATE ビット

受信ノードとして動作中のとき “1” になります。

バスアイドル状態になったとき、または送信ノードとして動作を始めたとき “0” になります。

23.1.4.6 STATE_RESET ビット

CiCTRL0 レジスタの RESET0、RESET1 ビットを両方とも “1” (CAN モジュール初期化)にした後、CAN モジュールの初期化が完了すると STATE_RESET ビットは “1” になります。

RESET0 ビットと RESET1 ビットを両方とも “0” (CAN モジュール初期化解除)にすると、STATE_RESET ビットも “0” になります。

23.1.4.7 STATE_LOOPBACK ビット

ループバックモードで動作しているとき、“1” になります。

CiCTRL0 レジスタの LOOPBACK ビットを “1” (ループバック機能有効)にすると STATE_LOOPBACK ビットは “1” になります。

LOOPBACK ビットを “0” (ループバック機能無効)にすると STATE_LOOPBACK ビットは “0” になります。

23.1.4.8 STATE_BASICCAN ビット

BasicCAN モードで動作しているとき “1” になります。BasicCAN モードについては「23.1.1.3 BASICCAN ビット」を参照してください。

CiCTRL0 レジスタの BASICCAN ビットを “0” (BasicCAN モード機能無効)にすると STATE_BASICCAN ビットは “0” になります。

BASICCAN ビットを “1” (BasicCAN モード機能有効)にし、CiMCTL14、CiMCTL15 レジスタをデータフレーム受信に設定すると STATE_BASICCAN ビットは “1” になります。

23.1.4.9 STATE_BUSERRORビット

CANバスエラーを検出したとき“1”になります。

正常に送受信が完了したときSTATE_BUSERRORビットは“0”になります。受信メッセージがメッセージスロットに格納されるか、されないかは関係ありません。

注1. STATE_BUSERRORビットが“1”のときRESET0、RESET1ビットを両方とも“1”(CANモジュール初期化)にしても、STATE_BUSERRORビットは変化しません。

23.1.4.10 STATE_ERRPASビット

CiTECレジスタの値、またはCiRECレジスタの値が127を超えてエラーパッシブ状態になった場合に“1”になります。

エラーパッシブ状態から他のエラー状態に変化したとき“0”になります。

また、RESET0、RESET1ビットを両方とも“1”(CANモジュール初期化)にすると、STATE_ERRPASビットは“0”になります。

23.1.4.11 STATE_BUSOFFビット

CiTECレジスタの値が255を超えてバスオフ状態になったとき、“1”になります。

バスオフ状態からエラーアクティブ状態に復帰したとき“0”になります。

また、RESET0、RESET1ビットを両方とも“1”(CANモジュール初期化)にすると、STATE_BUSOFFビットは“0”になります。

23.1.5 CANi拡張IDレジスタ (CiIDRレジスタ)(i=0,1)

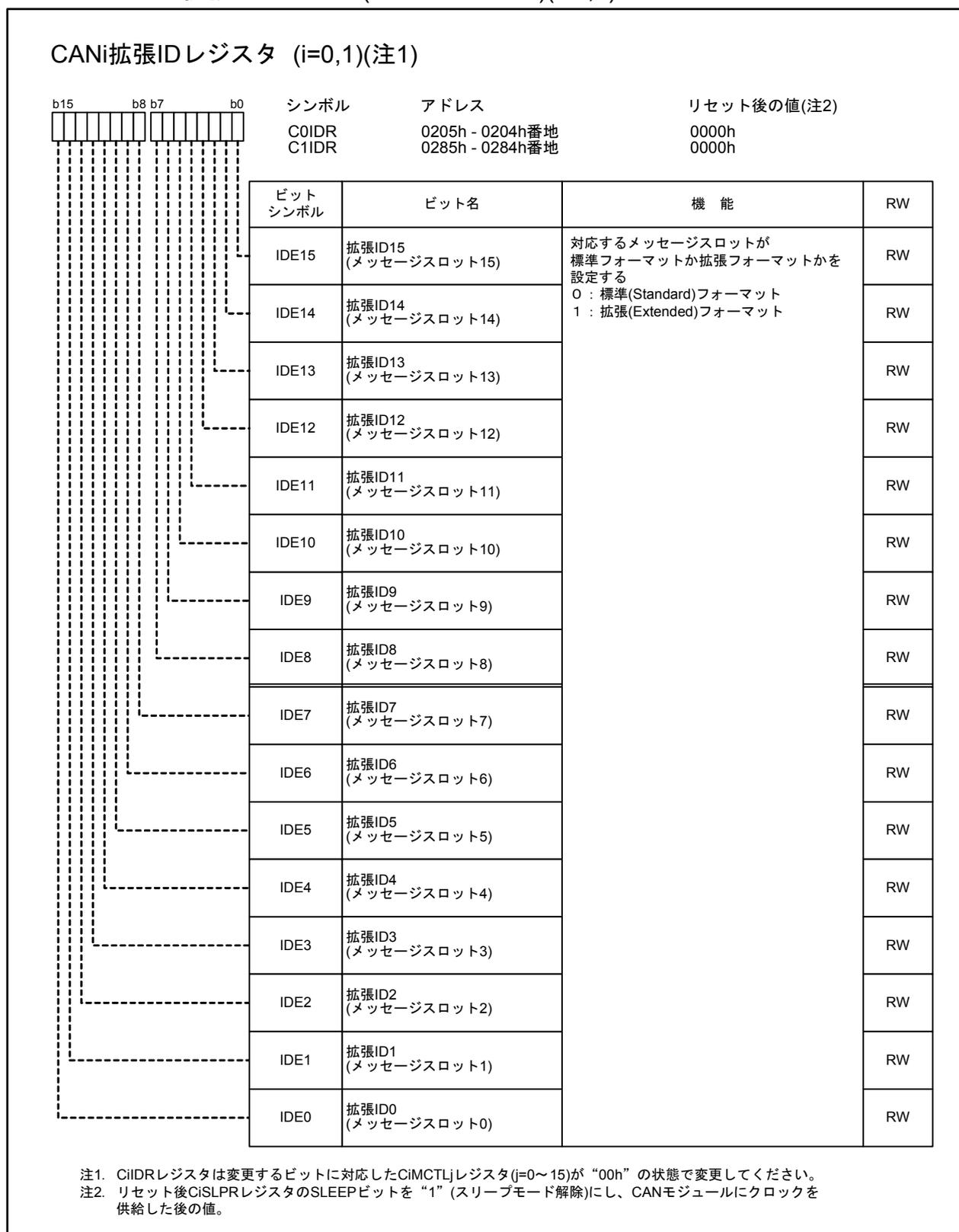


図23.7 C0IDRレジスタ、C1IDRレジスタ

各ビットに対応したメッセージスロットで取り扱うフレームのフォーマットを選択します。

“0”にした場合、標準(Standard)フォーマットが選択されます。

“1”にした場合、拡張(Extended)フォーマットが選択されます。

23.1.6 CANiコンフィグレーションレジスタ (CiCONR レジスタ)(i=0,1)

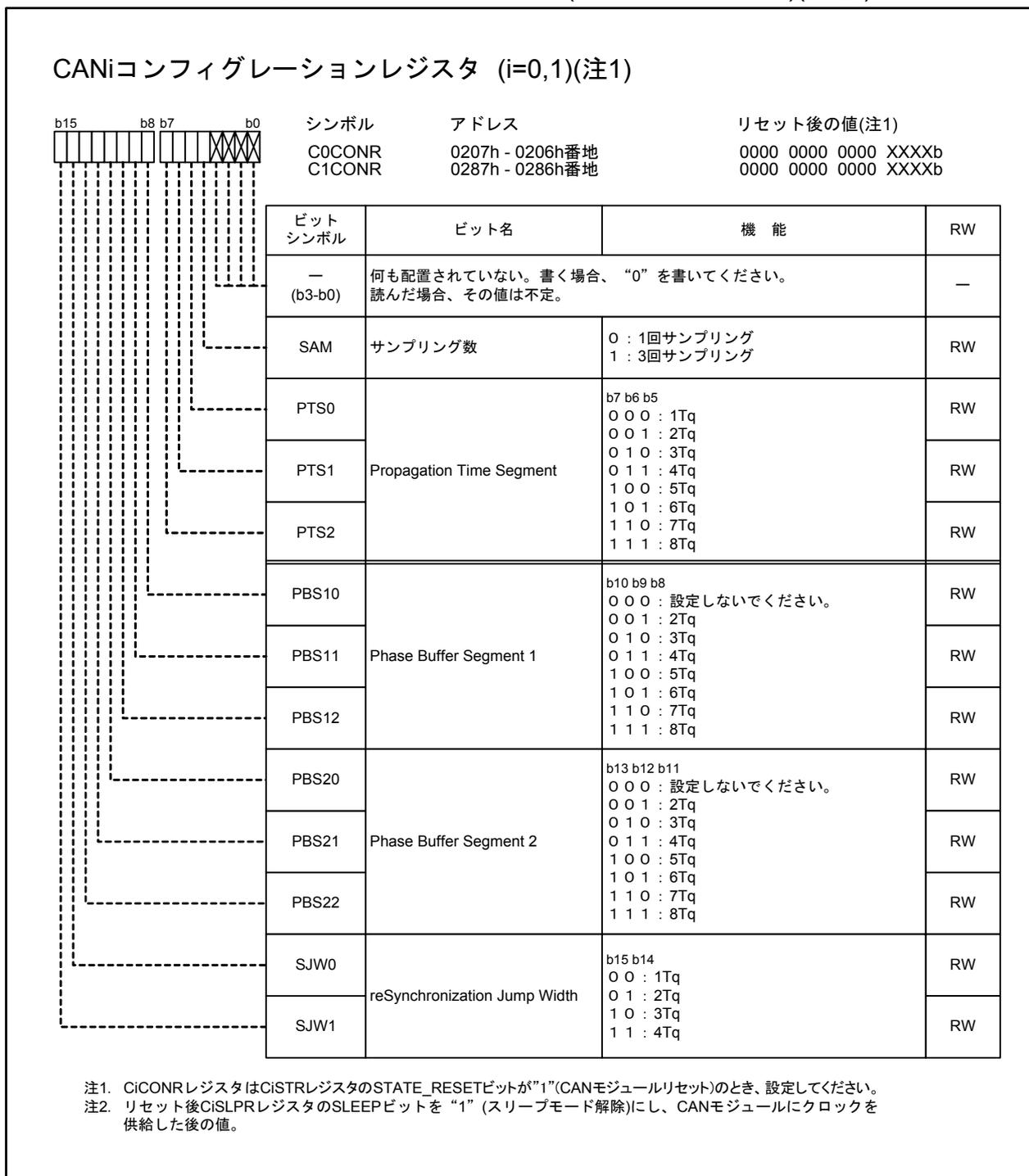


図23.8 C0CONRレジスタ、C1CONRレジスタ

23.1.6.1 SAMビット

1ビットあたりのサンプリング数を設定します。SAMビットが“0”の場合、PBS1の最後でサンプリングした値をそのビット値とみなします。SAMビットが“1”の場合、PBS1の最後、1Tq前、2Tq前の計3ポイントでサンプリングし、2回以上同じだった値をビットの値とみなします。

23.1.6.2 PTS2～PTS0ビット

PTSのTq数を選択します。

23.1.6.3 PBS12～PBS10ビット

PBS1のTq数を選択します。PBS12～PBS10ビットは“001b”以上にしてください。

23.1.6.4 PBS22～PBS20ビット

PBS2のTq数を選択します。PBS22～PBS20ビットは“001b”以上にしてください。

23.1.6.5 SJW1～SJW0ビット

SJWのTq数を選択します。

表23.3 CANクロック：30MHz時のビットタイミング設定例

転送速度	BRP設定値	Tq周期(ns)	1ビットのTq数	PTS+PBS1	PBS2	サンプルポイント
1Mbps	1	66.7	15	12	2	87%
	1	66.7	15	11	3	80%
	1	66.7	15	10	4	73%
	2	100	10	7	2	80%
	2	100	10	6	3	70%
	2	100	10	5	4	60%
500Kbps	2	100	20	16	3	85%
	2	100	20	15	4	80%
	2	100	20	14	5	75%
	3	133.3	15	12	2	87%
	3	133.3	15	11	3	80%
	3	133.3	15	10	4	73%
	4	166.7	12	9	2	83%
	4	166.7	12	8	3	75%
	4	166.7	12	7	4	67%
	5	200	10	7	2	80%
	5	200	10	6	3	70%
	5	200	10	5	4	60%

23.1.7 CAN_iボーレートプリスケアラ (CiBRPレジスタ)(i=0,1)

図23.9 C0BRPレジスタ、C1BRPレジスタ

CANビットタイムのT_q周期を設定するレジスタです。

$$T_q \text{ 周期} = \frac{\text{BRP} + 1}{\text{CANクロック}}$$

T_q : Time quantum

BRP : CiBRP レジスタの設定値(1~255)

CANビットタイム = 1ビット分のT_q数 × T_q周期

$$\text{転送速度} = \frac{1}{\text{CANビットタイム}}$$

1ビット分のT_q数 = SS + PTS + PBS1 + PBS2

SS、PTS、PBS1、PBS2は次のとおりです。

- (1)シンクロナイゼーションセグメント(SS : Synchronization Segment)
ビットの立ち下がりエッジをモニタして同期をあわせるセグメントです。
- (2)プロパゲーションタイムセグメント(PTS : Propagation Time Segment)
CANネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延はCANバス上の遅延、入力コンパレータ遅延および出力ドライバ遅延の総和の2倍になります。
- (3)フェーズバッファセグメント1(PBS1 : Phase Buffer Segment 1)
周波数の誤差によるフェーズエラーを補償するセグメントです。ビットの立ち下がりエッジが期待値より遅い場合、PBS1は最大SJW設定値分だけ長くなります。
- (4)フェーズバッファセグメント2(PBS2 : Phase Buffer Segment 2)
PBS1と同様の機能を持つセグメントです。ビットの立ち下がりエッジが期待値より早い場合、PBS2は最大SJW設定値分だけ短くなります。

- ・リシンクロナイゼーションジャンプ幅(SJW : reSynchronization Jump Width)
位相誤差を補正するためにフェーズバッファセグメントを延長または短縮する長さです。

図23.10にビットタイミング図を示します。



図23.10 ビットタイミング図

23.1.8 CANiタイムスタンプレジスタ (CiTSRレジスタ)(i=0,1)



図23.11 C0TSRレジスタ、C1TSRレジスタ

16ビットのカウンタです。カウントソースには、CANバスビットクロックの1、2、3、4分周のいずれかをCiCTRL0レジスタのTSPRE0、TSPRE1ビットで選択できます。

送信完了時、または受信完了時にCiTSRレジスタの値が自動的にメッセージスロットへ格納されます。

ループバックモード時、メッセージが格納されるデータフレーム受信、またはリモートフレーム受信メッセージスロットが存在する場合は、受信完了時に対応したメッセージスロットへCiTSRレジスタの値が格納されます(送信完了時、CiTSRレジスタの値は格納されません)。

CiTSRレジスタは、CiCTRL0レジスタのRESET0、RESET1ビットを“0”にするとアップカウントを開始します。

CiTSRレジスタは次のとき“0000h”になります。

- ・CiTSRレジスタが“FFFFh”になった次のカウントタイミング
- ・RESET0、RESET1ビットにプログラムで“1”(CANモジュール初期化)を書いたとき
- ・CiCTRL0レジスタのTSRESETビットにプログラムで“1”(CiTSRレジスタ初期化)を書いたとき

$$\text{CANバスビットクロック} = \frac{1}{\text{CANビットタイム}}$$

23.1.9 CANi送信エラーカウントレジスタ (CiTEC レジスタ)(i=0,1)



図23.12 C0TECレジスタ、C1TECレジスタ

エラーアクティブ状態とエラーパッシブ状態のとき、送信エラーカウント値が格納されます。正常送信時ダウンカウントし、送信エラー発生時にアップカウントします。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰すると“00h”になります。

23.1.10 CANi受信エラーカウントレジスタ (CiREC レジスタ)(i=0,1)



図23.13 C0RECレジスタ、C1RECレジスタ

エラーアクティブ状態とエラーパッシブ状態のとき、受信エラーカウント値が格納されます。正常受信時ダウンカウントし、受信エラー発生時にアップカウントします。

ただし、CiREC ≥ 128 の状態(エラーパッシブ状態)で正常に受信完了した場合、CiRECレジスタは127になります。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰すると“00h”になります。

23.1.11 CANiスロット割り込みステータスレジスタ (CiSISTR レジスタ)(i=0,1)

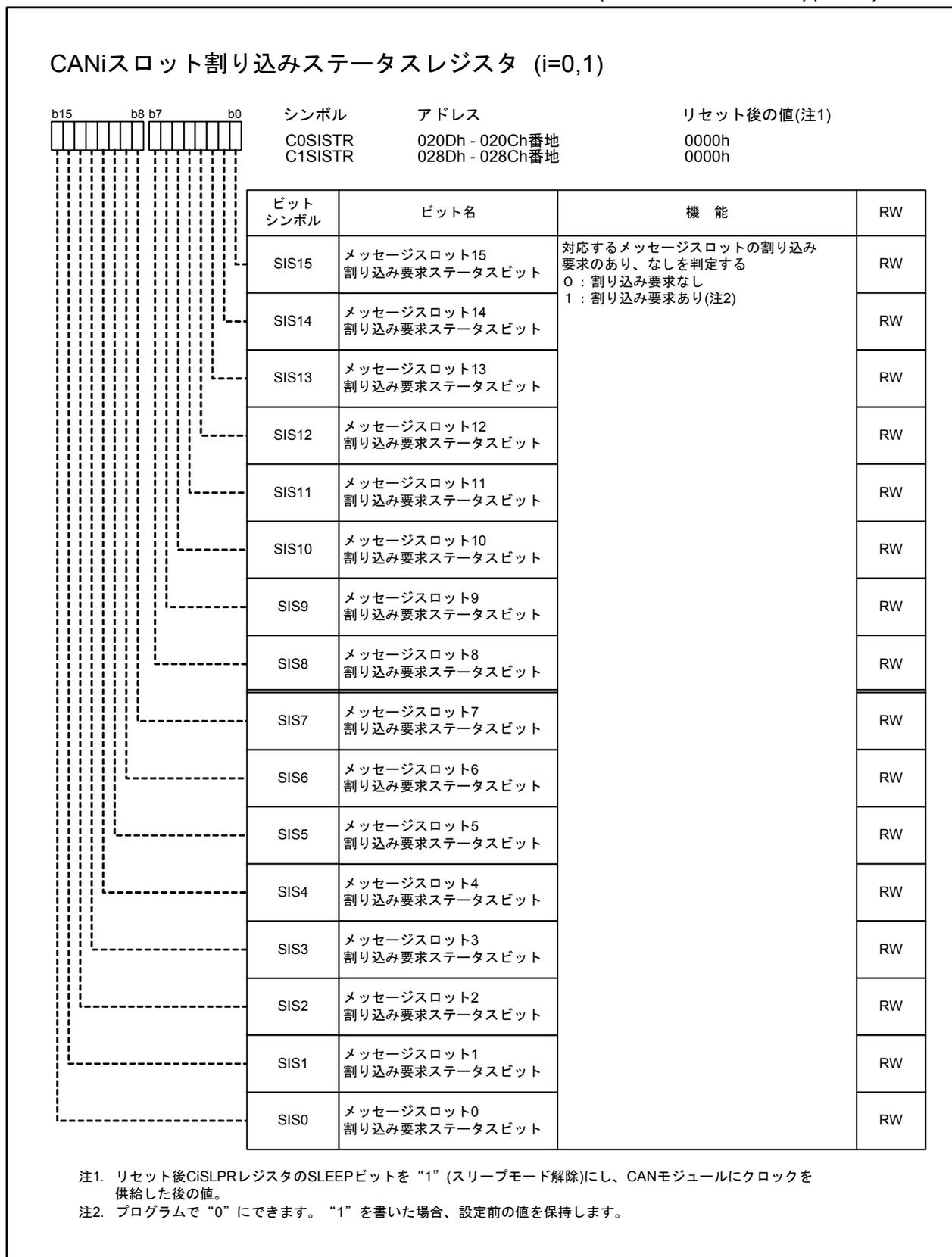


図23.14 C0SISTRレジスタ、C1SISTRレジスタ

CAN 割り込みを使用する場合、CiSISTR レジスタを使用すると、どのメッセージスロットから割り込み要求があったかを知ることができます。SISj ビット (j = 0 ~ 15) は割り込みが受け付けられても自動的に “0” (割り込み要求なし) になりませんので、プログラムで “0” にしてください。

SISj ビットを “0” にする場合、mov 命令を使用してください。このとき、“0” にするビットに “0” を、変化させたくないビットに “1” を書いてください。

(例) CAN0 の SIS0 ビットを “0” にする場合

```
mov.w #07FFFh, COSISTR
```

詳細は「23.4 CAN 割り込み」を参照してください。

23.1.11.1 送信に設定しているメッセージスロット

送信が完了し、CiTSR レジスタをメッセージスロット j へ格納し終わったとき、SISj ビットは “1” (割り込み要求あり) になります。

23.1.11.2 受信に設定しているメッセージスロット

受信が完了し、受信メッセージをメッセージスロット j へ格納し終わったとき、SISj ビットは “1” になります。

注1. CiMCTL0 ~ CiMCTL15 レジスタの RSPLOCK ビットを “0” (リモートフレームに対する自動応答許可) にしている場合は、リモートフレーム受信完了後、データフレーム送信完了後ともに、SISj ビットが “1” になります。

注2. リモートフレーム送信メッセージスロットでは、リモートフレーム送信完了後、データフレーム受信完了後ともに SISj ビットが “1” になります。

注3. 割り込み要求により SISj ビットが “1” になるタイミングと、プログラムで SISj ビットへ “0” を書くタイミングが重なった場合、SISj ビットは “1” になります。

注4. CiSIMKR レジスタの SIMj ビットが “0” (割り込み要求マスク) でも “1” (割り込み要求許可) でも、送信完了また受信完了により SISj ビットは “1” になります。

23.1.12 CANiスロット割り込みマスクレジスタ (CiSIMKR レジスタ)(i=0,1)

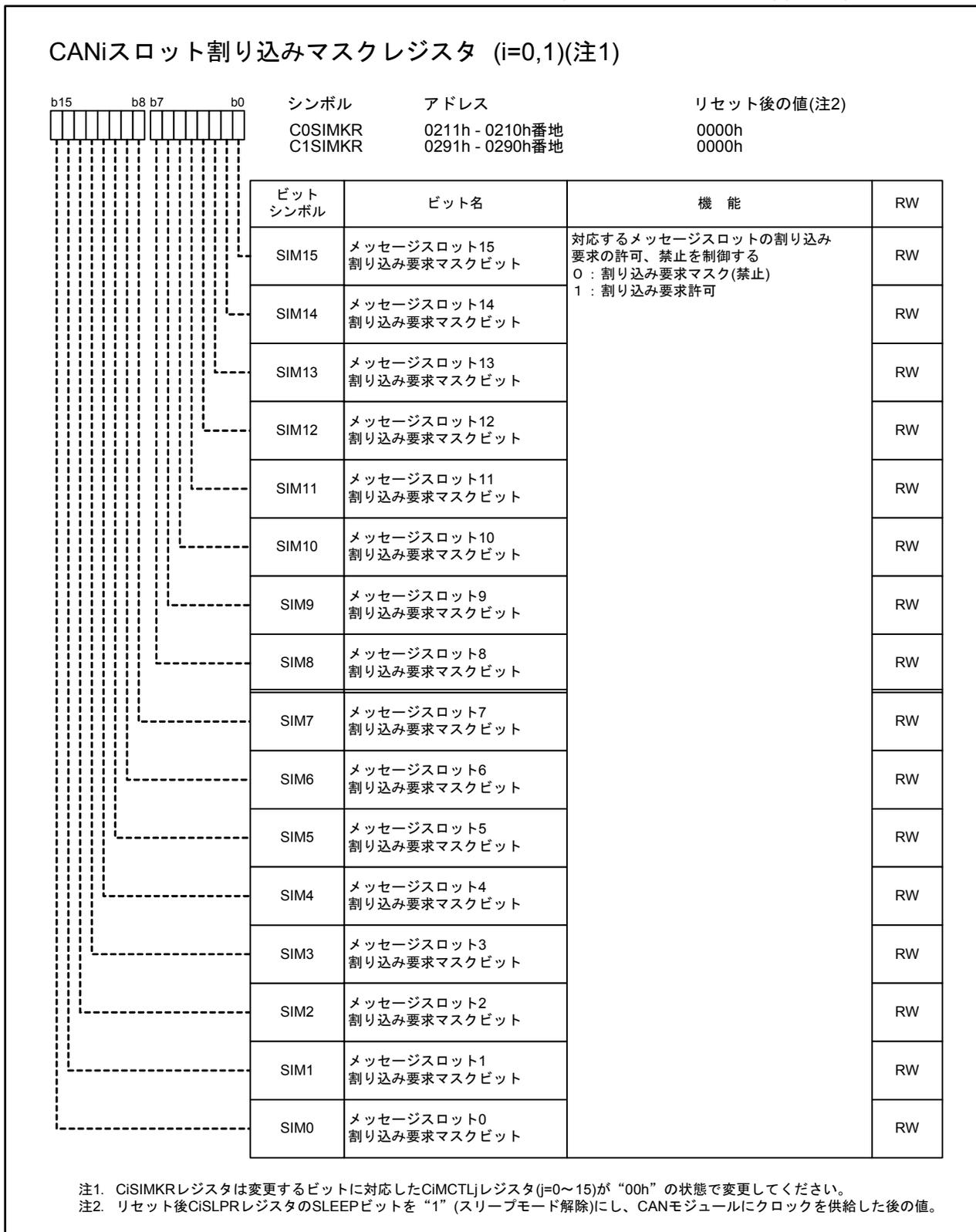


図23.15 C0SIMKRレジスタ、C1SIMKRレジスタ

対応するメッセージスロットの送信完了、または受信完了による割り込み要求の許可、禁止を制御するレジスタです。SIMjビット(j=0~15)を“1”にした場合、対応するメッセージスロットの送信完了、または受信完了による割り込み要求が許可されます。詳細は「23.4 CAN割り込み」を参照してください。

23.1.13 CANiエラー割り込みマスクレジスタ (CiEIMKR レジスタ)(i=0,1)

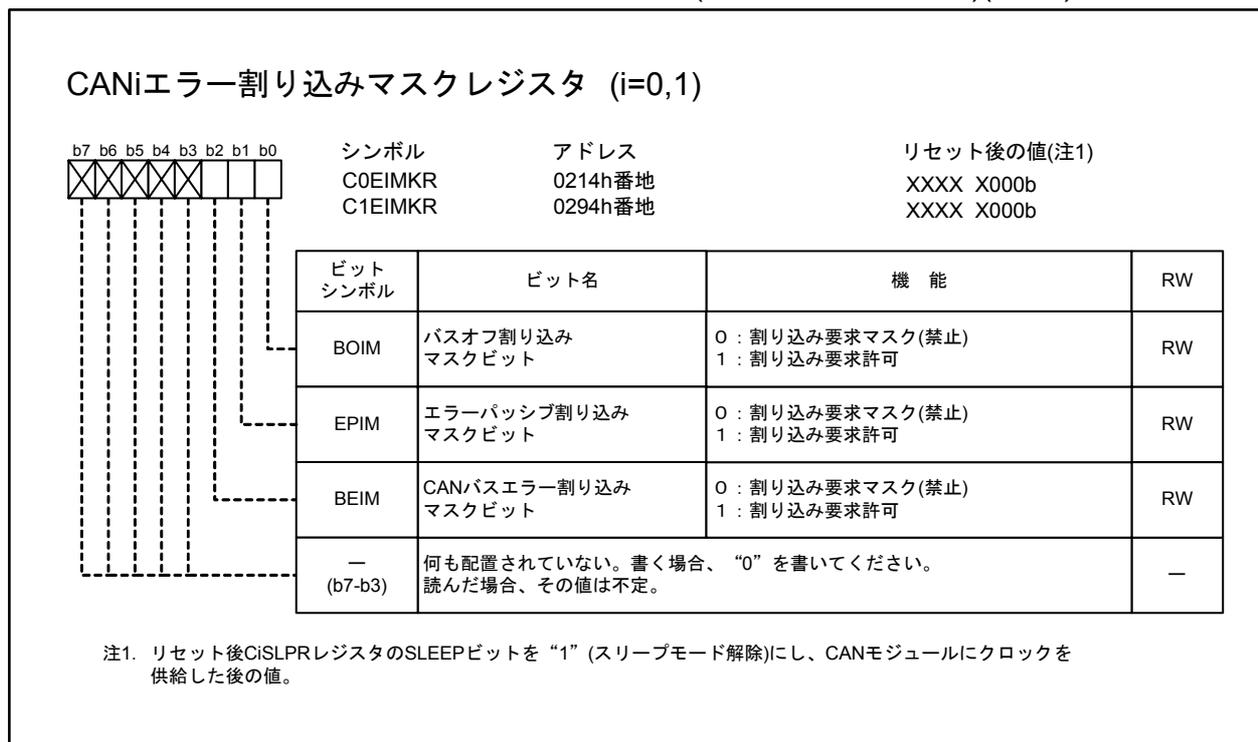


図 23.16 C0EIMKR レジスタ、C1EIMKR レジスタ

詳細は「23.4 CAN割り込み」を参照してください。

23.1.13.1 BOIMビット

CANの状態がバスオフ状態に遷移したときの割り込み要求の許可、禁止を制御するビットです。BOIMビットを“1”にすると、バスオフ割り込み要求が許可されます。

23.1.13.2 EPIMビット

CANの状態がエラーパッシブ状態に遷移したときの割り込み要求の許可、禁止を制御するビットです。EPIMビットを“1”にすると、エラーパッシブ割り込み要求が許可されます。

23.1.13.3 BEIMビット

CANバスエラーの発生による割り込み要求の許可、禁止を制御するビットです。BEIMビットを“1”にすると、CANバスエラー割り込み要求が許可されます。

23.1.14 CANiエラー割り込みステータスレジスタ (CiEISTR レジスタ)(i=0,1)

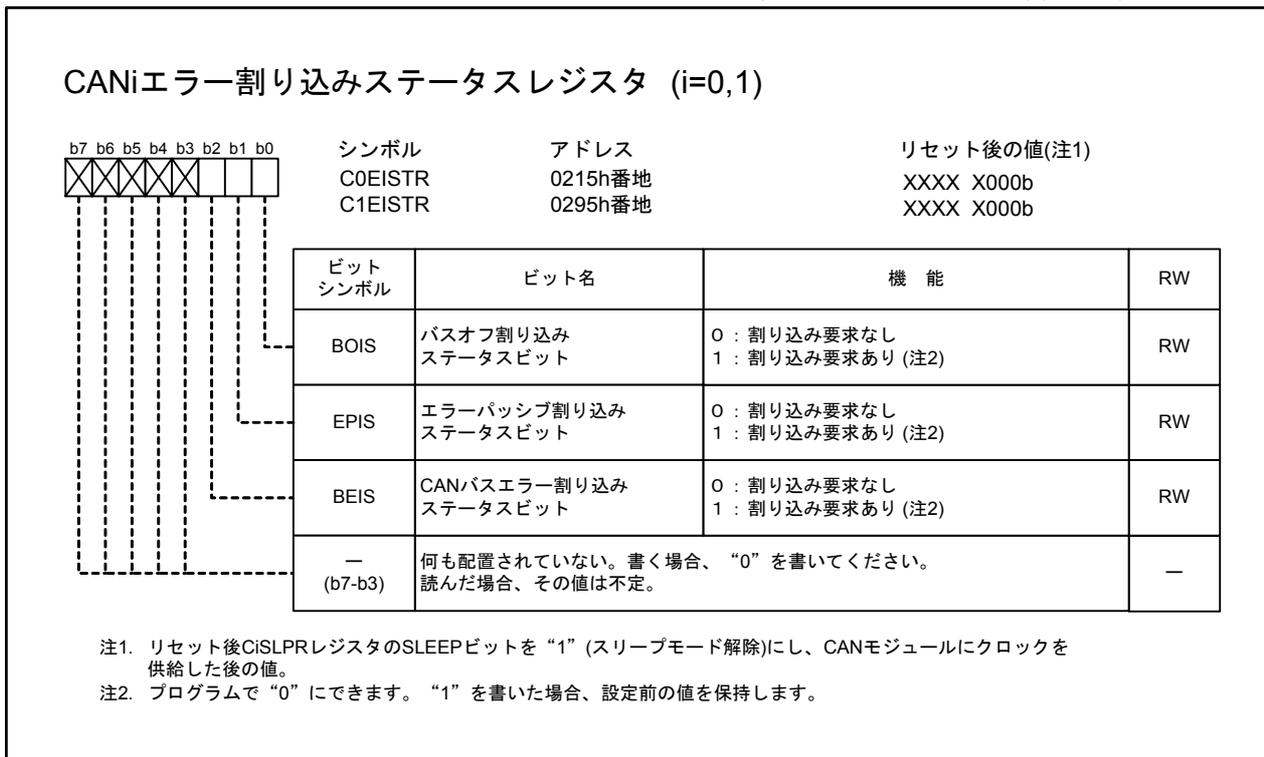


図23.17 C0EISTRレジスタ、C1EISTRレジスタ

CAN割り込みでCiEISTRレジスタを使用すると、エラー割り込み要因が確認できます。

BOISビット、EPISビット、BEISビットは割り込みが受け付けられても自動的に“0”(割り込み要求なし)になりませんので、プログラムで“0”にしてください。

CiEISTRレジスタの各ビットを“0”にする場合、mov命令を使用してください。このとき、“0”にするビットに“0”を、変化させたくないビットに“1”を書いてください。

(例)CAN0のBOISビットを“0”にする場合

```
mov.b #006h, C0EISTR
```

詳細は「23.4 CAN割り込み」を参照してください。

23.1.14.1 BOISビット

CANモジュールがバスオフ状態となった場合、BOISビットが“1”になります。

注1.CiEIMKRレジスタのBOIMビットが“0”(割り込み要求マスク)でも“1”(割り込み要求許可)でも、バスオフ状態になると、BOISビットは“1”になります。

23.1.14.2 EPISビット

CANモジュールがエラーパッシブ状態となった場合、EPISビットが“1”になります。

注1.CiEIMKRレジスタのEPIMビットが“0”(割り込み要求マスク)でも“1”(割り込み要求許可)でも、エラーパッシブ状態になると、EPISビットは“1”になります。

23.1.14.3 BEISビット

CANバスエラーが検出された場合、BEISビットが“1”になります。

注1.CiEIMKRレジスタのBEIMビットが“0”(割り込み要求マスク)でも“1”(割り込み要求許可)でも、CANバスエラーを検出すると、BEISビットは“1”になります。

23.1.15 CANiエラー要因レジスタ (CiEFR レジスタ) (i=0,1)

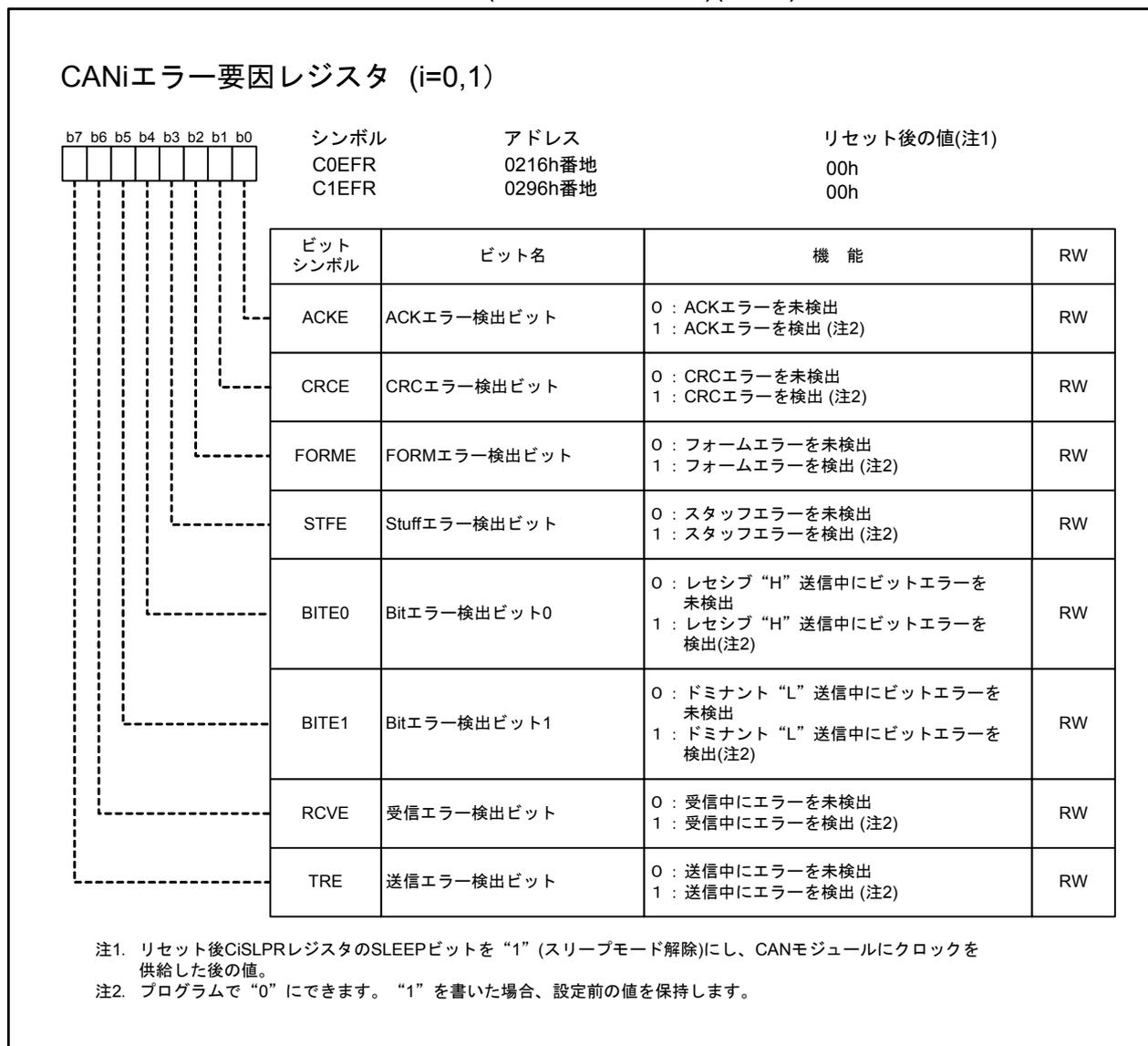


図23.18 C0EFRレジスタ、C1EFRレジスタ

CANバスエラーが発生した場合、エラー要因を判別するためのレジスタです。CiEFRレジスタをプログラムで読み出した後、“0”にしてください。

CiEFRレジスタの各ビットを“0”にする場合、mov命令を使用してください。このとき、“0”にするビットに“0”を、変化させたくないビットに“1”を書いてください。

(例) CAN0のACKEビットを“0”にする場合

```
mov.b #0FEh, C0EFR
```

23.1.15.1 ACKEビット

ACKエラーを検出すると、“1”になります。

23.1.15.2 CRCEビット

CRCエラーを検出すると、“1”になります。

23.1.15.3 FORMEビット

フォームエラーを検出すると、“1”になります。

23.1.15.4 STFEビット

スタッフエラーを検出すると、“1”になります。

23.1.15.5 BITE0ビット

レセシブ“H”を送信中にビットエラーを検出すると、“1”になります。

23.1.15.6 BITE1ビット

ドミナント“L”を送信中にビットエラーを検出すると、“1”になります。

23.1.15.7 RCVEビット

受信中にCANバスエラーを検出すると、“1”になります。

23.1.15.8 TREビット

送信中にCANバスエラーを検出すると、“1”になります。

23.1.16 CANiモードレジスタ (CiMDRレジスタ)(i=0,1)

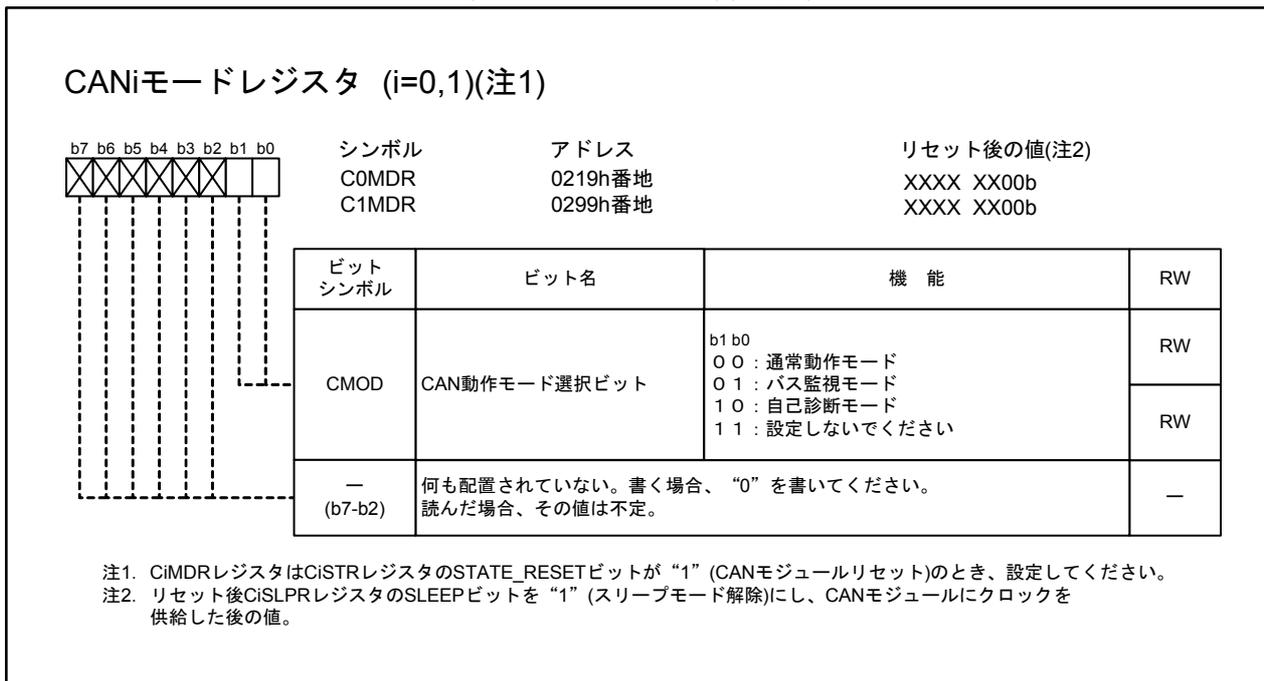


図23.19 C0MDRレジスタ、C1MDRレジスタ

23.1.16.1 CMODビット

CANの動作モードを選択します。

- ・通常動作モード：通常の送受信を行うことができます。
- ・バス監視モード(注1)：受信動作のみを行うモードです。バス監視モードではCANiOUT端子出力は“H”固定となり、ACKを返すこともエラーフレームを返すこともしません。
- ・自己診断モード：CANモジュール内部で、CANiOUT-CANiIN端子を接続します。ループバックモードと組み合わせることでCAN単体で通信できます。自己診断モードは、送信中もCANiOUT端子出力が“H”固定となります。図23.20に自己診断モード(イメージ図)を示します。

注1. バス監視モード時は、送信要求は出さないでください。

バス監視モードは、ACKビットがドミナント“L”でもレセシブ“H”でも、ドミナント“L”を受信したとみなします。したがって、EOFまで正常に受信できた場合、ACKビットがレセシブ“H”でも正常受信できたものと判定されます。

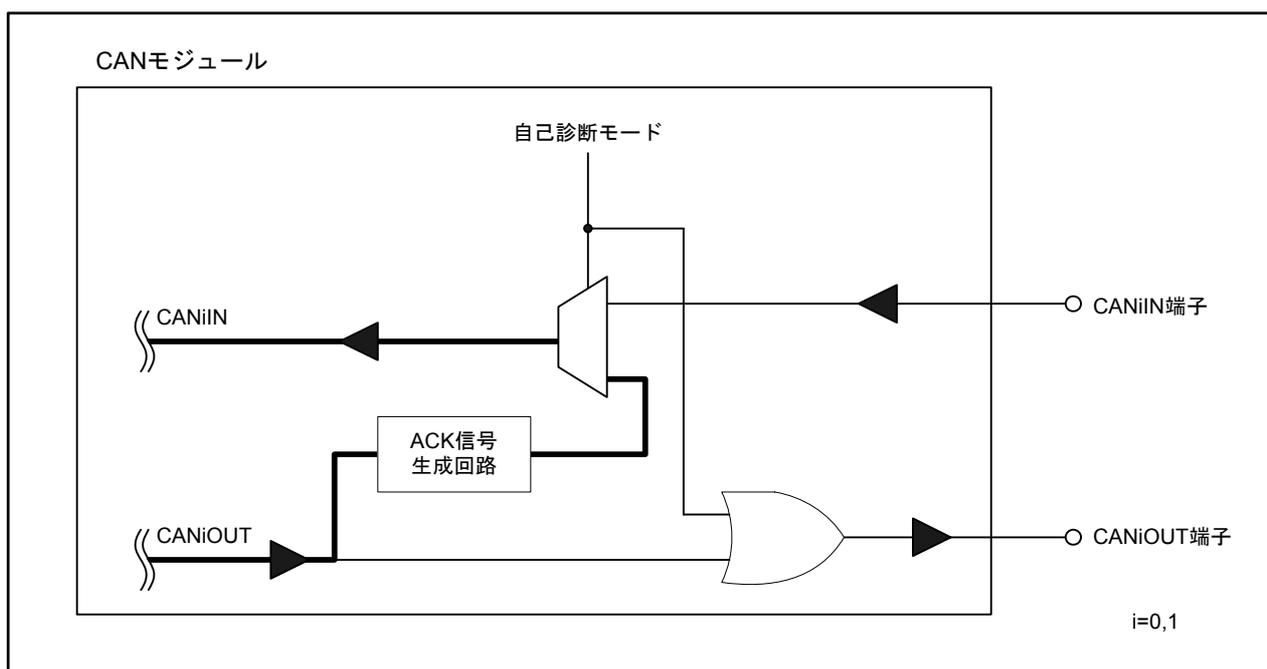


図23.20 自己診断モード

23.1.17 CANiシングルショット制御レジスタ (CiSSCTLR レジスタ)(i=0,1)

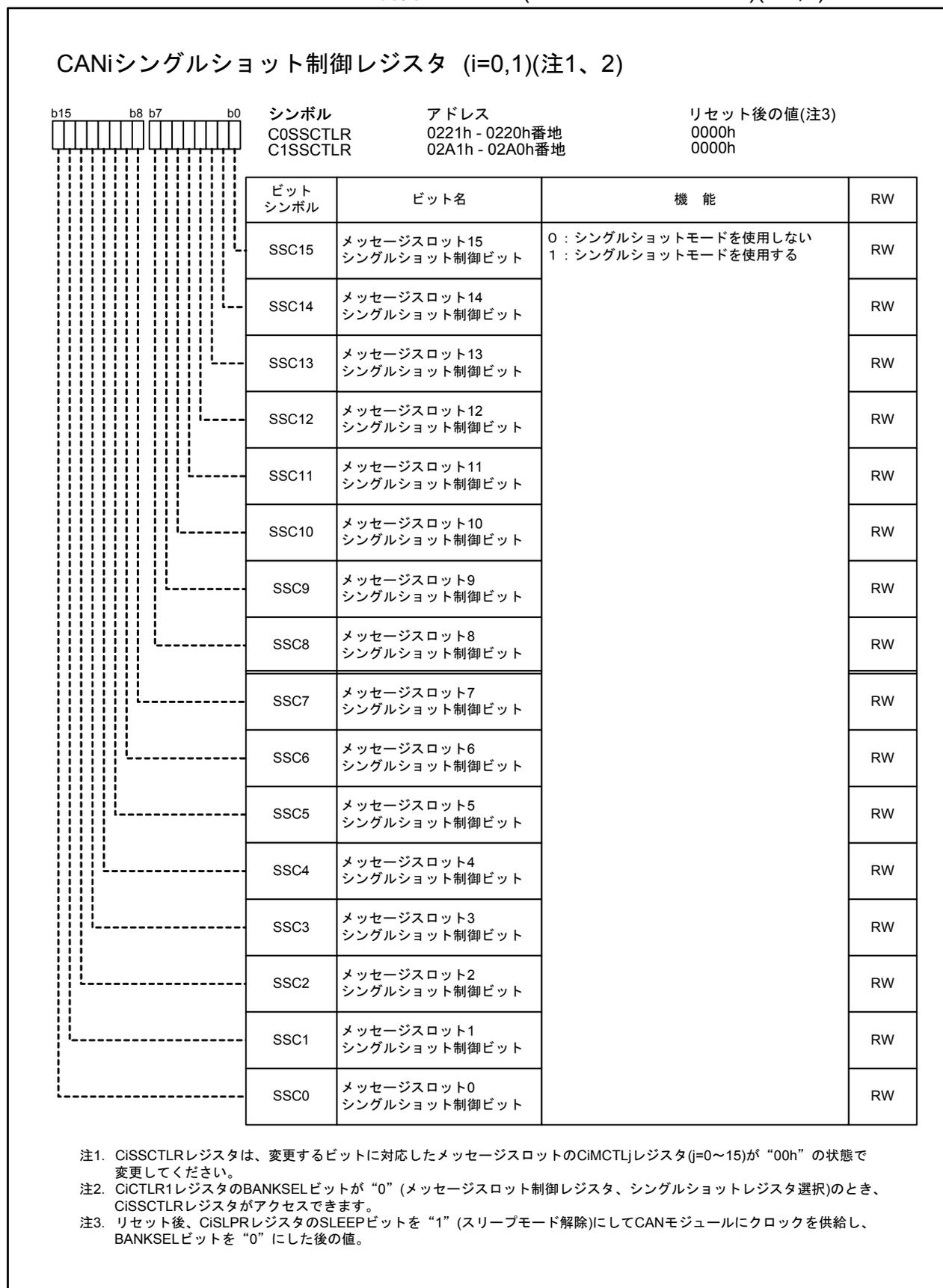


図23.21 C0SSCTLRレジスタ、C1SSCTLRレジスタ

CANの仕様では、アービトレーションロストや送信エラーによって送信に失敗した場合、送信が成功するまで繰り返し送信をおこないます。CiSSCTLRレジスタのSSCjビット(i=0~15)が“0”の場合、再送信を行います。SSCjビットが“1”の場合、送信に失敗しても再送信を行いません。

23.1.18 CANiシングルショットステータスレジスタ (CiSSSTR レジスタ)(i=0,1)

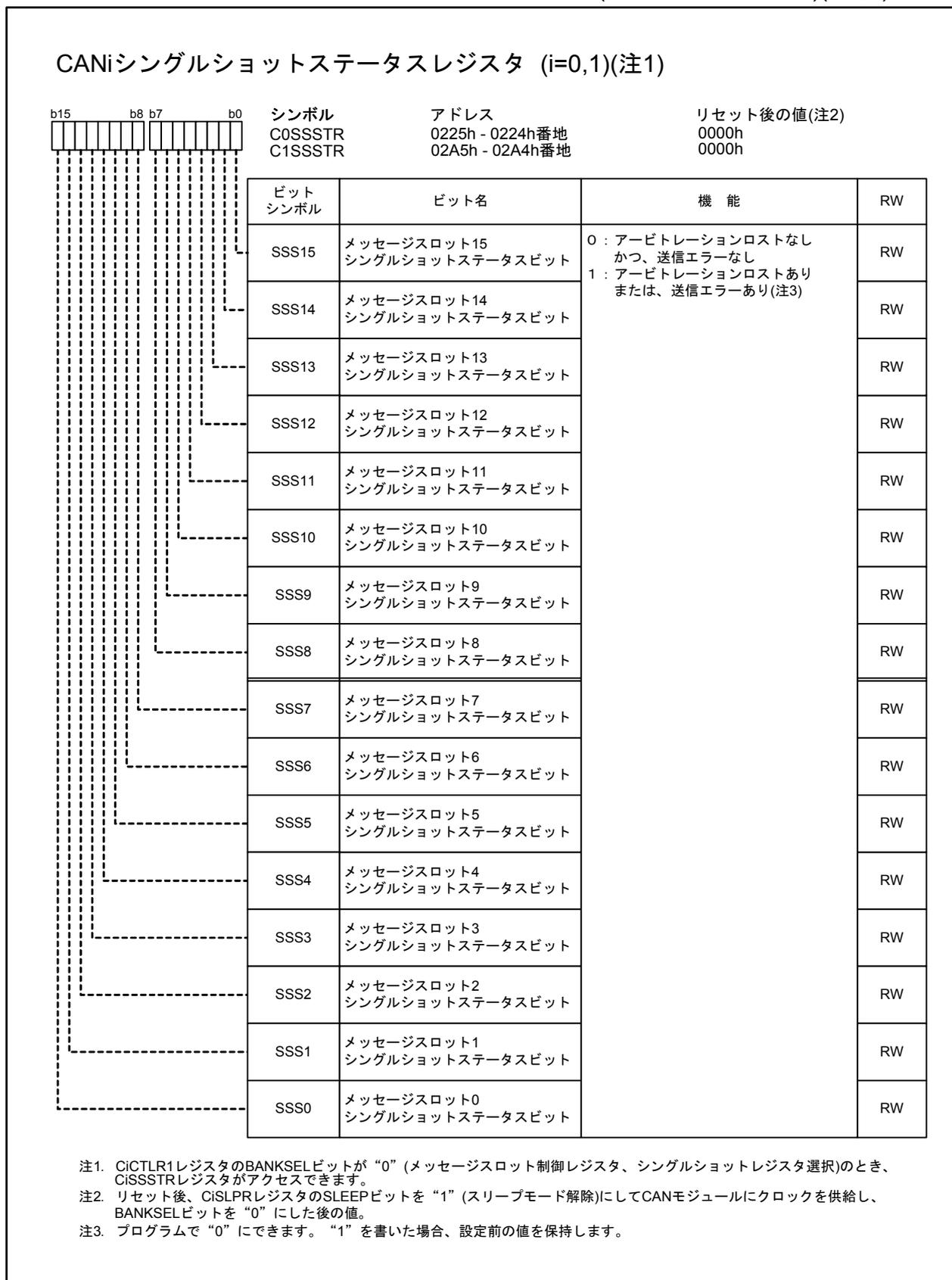


図23.22 C0SSSTRレジスタ、C1SSSTRレジスタ

アービトレーションロストまたは送信エラーによって送信が失敗した場合は、メッセージロットに対応したビットが“1”になります。CiSSSTRレジスタをプログラムで読み出した後、“0”にしてください。

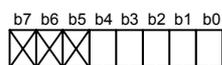
SSS_jビット(j=0～15)を“0”にする場合、mov命令を使用してください。このとき、“0”にするビットに“0”を、変化させたくないビットに“1”を書いてください。

(例)CAN0のSSS0ビットを“0”にする場合

```
mov.w #07FFFh, COSSSTR
```

23.1.19 CANiグローバルマスクレジスタ、CANiローカルマスクレジスタA、B(i=0,1)

CANiグローバルマスクレジスタ標準ID0 (i=0,1)(注1)
 CANiローカルマスクレジスタA標準ID0 (注1)
 CANiローカルマスクレジスタB標準ID0 (注1)



シンボル	アドレス	リセット後の値(注2)
C0GMR0、C1GMR0	0228h、02A8h番地	XXX0 0000b
C0LMAR0、C1LMAR0	0230h、02B0h番地(注3)	XXX0 0000b
C0LMBR0、C1LMBR0	0238h、02B8h番地(注4)	XXX0 0000b

ビットシンボル	ビット名	機能	RW
SID6M	標準ID6	0 : IDチェックなし 1 : IDチェックあり	RW
SID7M	標準ID7		RW
SID8M	標準ID8		RW
SID9M	標準ID9		RW
SID10M	標準ID10		RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

- 注1. CiCTLR1レジスタのBANKSELビットが“1”(マスクレジスタ選択)のとき、CiGMR0、CiLMAR0、CiLMBR0レジスタが、アクセスできます。
- 注2. リセット後、CiSLPRレジスタのSLEEPビットを“1”(スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“1”にした後の値。
- 注3. C0LMAR0レジスタはC0MCTL0レジスタと、C1LMAR0レジスタはC1MCTL0レジスタと番地を共用しています。
- 注4. C0LMBR0レジスタはC0MCTL8レジスタと、C1LMBR0レジスタはC1MCTL8レジスタと番地を共用しています。

図23.23 C0GMR0、C1GMR0、C0LMAR0、C1LMAR0、C0LMBR0、C1LMBR0レジスタ

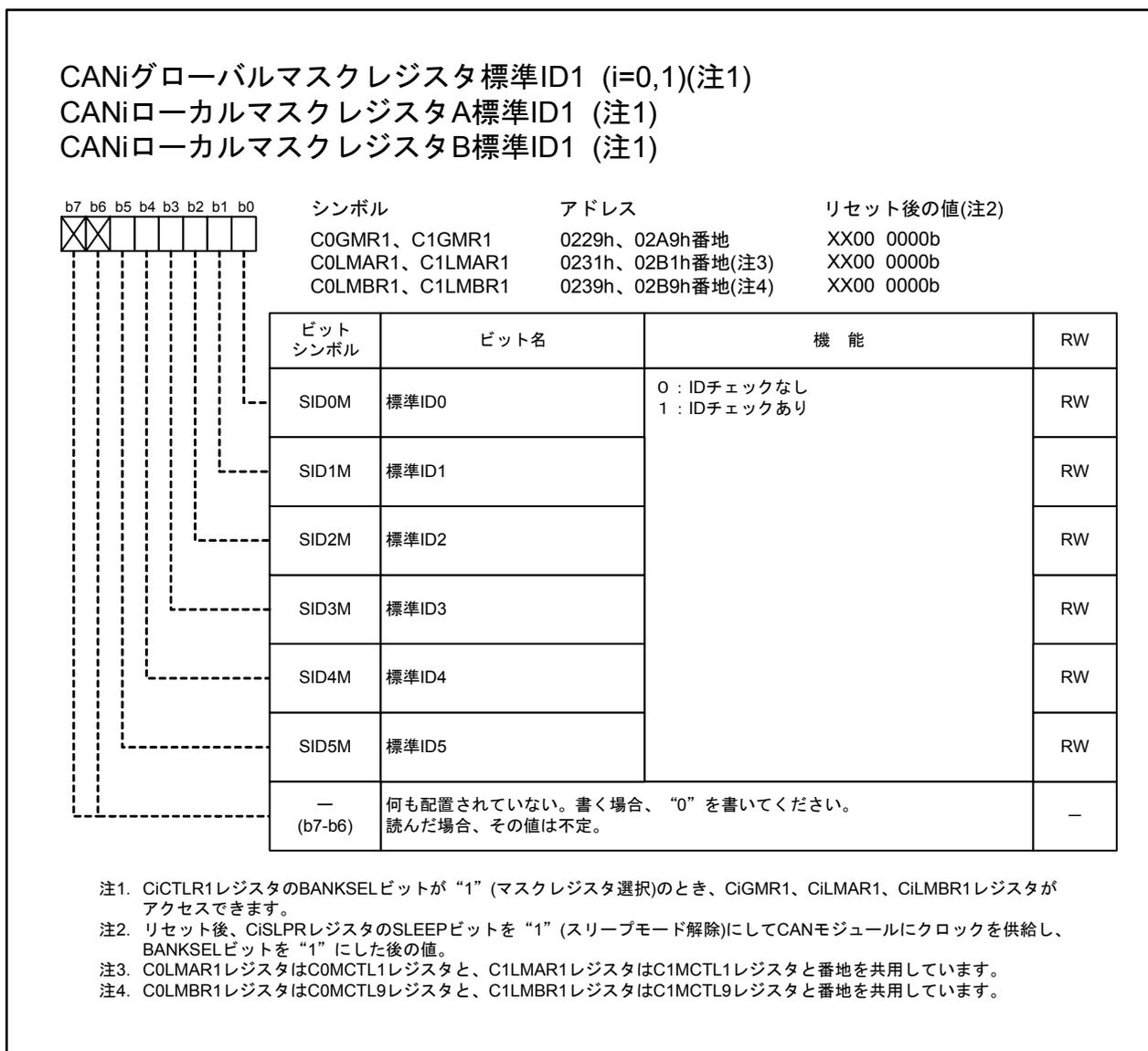


図23.24 C0GMR1、C1GMR1、C0LMAR1、C1LMAR1、C0LMBR1、C1LMBR1レジスタ

CANiグローバルマスクレジスタ拡張ID0 (i=0,1)(注1)

CANiローカルマスクレジスタA拡張ID0 (注1)

CANiローカルマスクレジスタB拡張ID0 (注1)

シンボル	アドレス	リセット後の値(注2)
C0GMR2、C1GMR2	022Ah、02AAh番地	XXXX 0000b
C0LMAR2、C1LMAR2	0232h、02B2h番地(注3)	XXXX 0000b
C0LMBR2、C1LMBR2	023Ah、02BAh番地(注4)	XXXX 0000b



ビットシンボル	ビット名	機能	RW
EID14M	拡張ID14	0 : IDチェックなし 1 : IDチェックあり	RW
EID15M	拡張ID15		RW
EID16M	拡張ID16		RW
EID17M	拡張ID17		RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

- 注1. CiCTLR1レジスタのBANKSELビットが“1”(マスクレジスタ選択)のとき、CiGMR2、CiLMAR2、CiLMBR2レジスタがアクセスできます。
- 注2. リセット後、CiSLPRレジスタのSLEEPビットを“1”(スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“1”にした後の値。
- 注3. C0LMAR2レジスタはC0MCTL2レジスタと、C1LMAR2レジスタはC1MCTL2レジスタと番地を共用しています。
- 注4. C0LMBR2レジスタはC0MCTL10レジスタと、C1LMBR2レジスタはC1MCTL10レジスタと番地を共用しています。

図23.25 C0GMR2、C1GMR2、C0LMAR2、C1LMAR2、C0LMBR2、C1LMBR2レジスタ

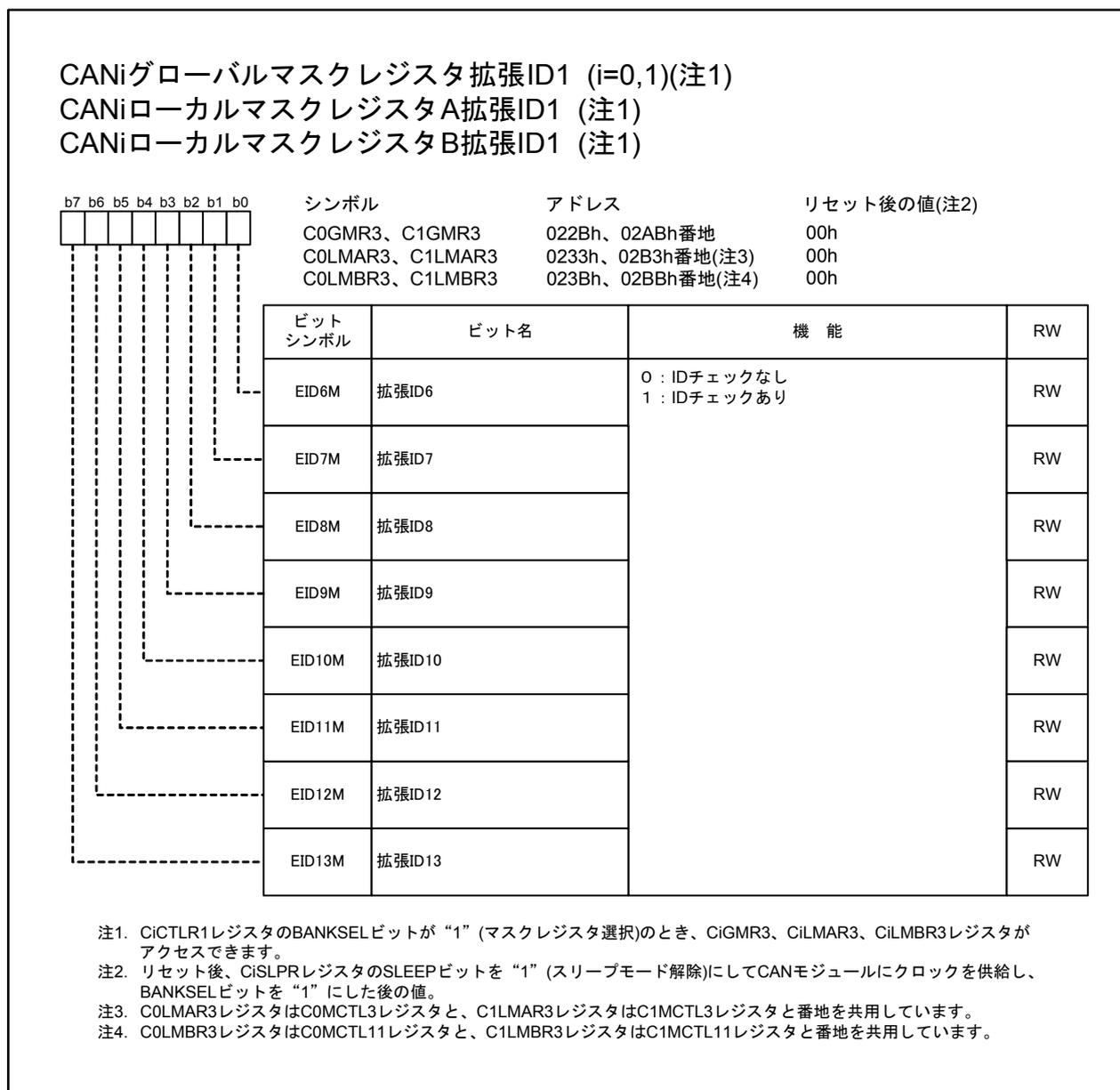
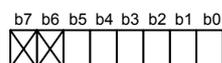


図 23.26 C0GMR3、C1GMR3、C0LMAR3、C1LMAR3、C0LMBR3、C1LMBR3 レジスタ

CANiグローバルマスクレジスタ拡張ID2 (i=0, 1)(注1)

CANiローカルマスクレジスタA拡張ID2 (注1)

CANiローカルマスクレジスタB拡張ID2 (注1)



シンボル	アドレス	リセット後の値(注2)
C0GMR4、C1GMR4	022Ch、02ACh番地	XX00 0000b
C0LMAR4、C1LMAR4	0234h、02B4h番地(注3)	XX00 0000b
C0LMBR4、C1LMBR4	023Ch、02BCh番地(注4)	XX00 0000b

ビットシンボル	ビット名	機能	RW
EID0M	拡張ID0	0 : IDチェックなし 1 : IDチェックあり	RW
EID1M	拡張ID1		RW
EID2M	拡張ID2		RW
EID3M	拡張ID3		RW
EID4M	拡張ID4		RW
EID5M	拡張ID5		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

- 注1. CiCTLR1レジスタのBANKSELビットが“1”(マスクレジスタ選択)のとき、CiGMR4、CiLMAR4、CiLMBR4レジスタがアクセスできます。
- 注2. リセット後、CiSLPRレジスタのSLEEPビットを“1”(スリープモード解除)にしてCANモジュールにクロックを供給し、BANKSELビットを“1”にした後の値。
- 注3. C0LMAR4レジスタはC0MCTL4レジスタと、C1LMAR4レジスタはC1MCTL4レジスタと番地を共用しています。
- 注4. C0LMBR4レジスタはC0MCTL12レジスタと、C1LMBR4レジスタはC1MCTL12レジスタと番地を共用しています。

図23.27 C0GMR4、C1GMR4、C0LMAR4、C1LMAR4、C0LMBR4、C1LMBR4レジスタ

CiGMRk、CiLMARk、CiLMBRkレジスタ ($i=0,1, k=0\sim 4$) は、アクセプタンスフィルタリングに使用するレジスタです。

ユーザが任意のメッセージを選択受信できます。

CiGMRkレジスタでメッセージスロット0～13、CiLMARkレジスタでメッセージスロット14、CiLMBRkレジスタでメッセージスロット15のIDチェックをするかしないかを選択できます。

各マスクレジスタのビットを“0”にした場合、そのビットに対応するCAN i メッセージスロット j 標準ID0～1($j=0\sim 15$)とCAN i メッセージスロット j 拡張ID0～2の中の各ビット(IDビット)は、アクセプタンスフィルタリング時にマスクされます。(対応するIDビットはIDが一致したものとみなされます。)

各マスクレジスタのビットを“1”にした場合、そのビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロット j に設定されたIDと一致した場合、受信データが格納されます。

注1. CiGMRkレジスタは、メッセージスロット0～13のどのメッセージスロットにも受信要求がない状態に変更してください。

注2. CiLMARkレジスタは、メッセージスロット14に受信要求がない状態に変更してください。

注3. CiLMBRkレジスタは、メッセージスロット15に受信要求がない状態に変更してください。

注4. 受信メッセージのIDが2つ以上のメッセージスロットで格納可能であった場合、スロット番号が小さい方に格納されます。

図23.28に各マスクレジスタとメッセージスロットの対応を、図23.29にアクセプタンス機能を示します。

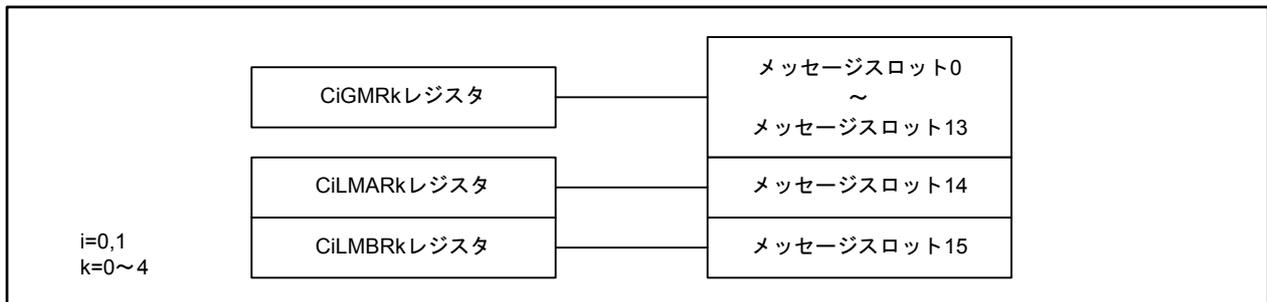


図23.28 各マスクレジスタとメッセージスロットの対応

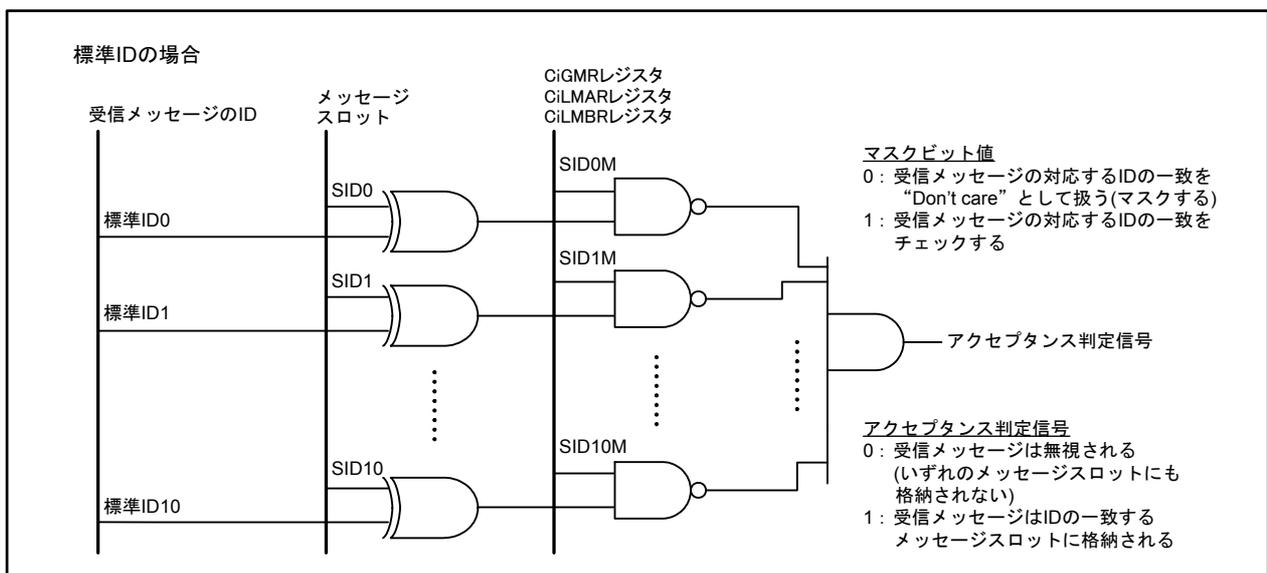


図23.29 アクセプタンス機能

23.1.20 CANiメッセージロットj制御レジスタ (CiMCTLjレジスタ)(i=0,1)(j=0~15)

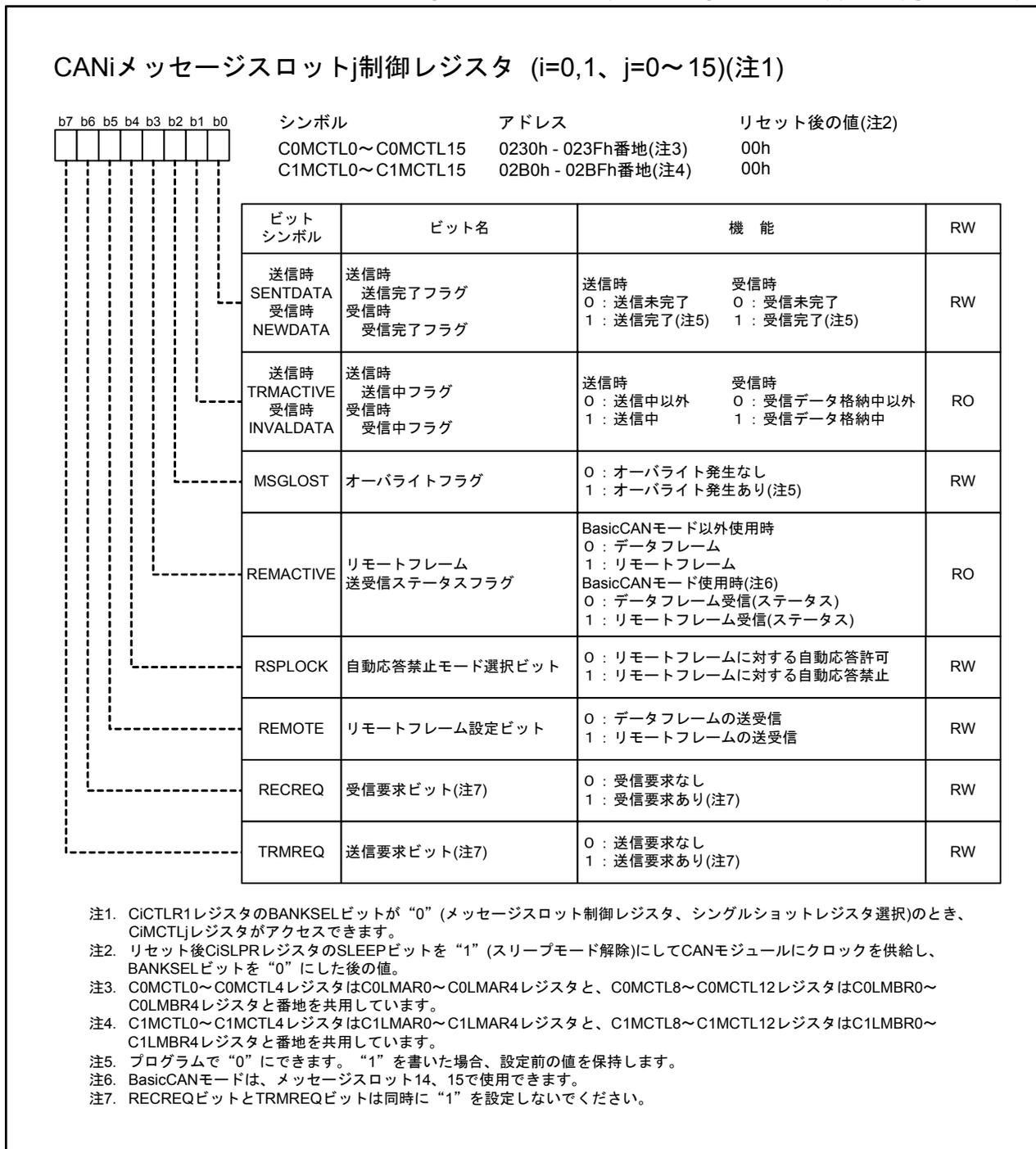


図 23.30 C0MCTL0~C0MCTL15、C1MCTL0~C1MCTL15レジスタ

表 23.4 CiMCTLjレジスタ (i=0,1, j=0~15)の設定と送受信モード

CiMCTLjレジスタの設定						送受信モード
TRMREQ ビット	RECREQ ビット	REMOTE ビット	RSPLOCK ビット	MSGLOST ビット	SENTDATA NEWDATA ビット	
0	0	0	0	0	0	送受信しない
0	1	0	0	0	0	データフレーム受信
0	1	1	1	0	0	リモートフレーム受信
0	1	1	0	0	0	リモートフレーム受信後、 データフレーム送信
1	0	0	0	0	0	データフレーム送信
1	0	1	0	0	0	リモートフレーム送信後、 データフレーム受信

23.1.20.1 SENTDATA、NEWDATAビット

CANメッセージの送受信が完了したことを示します。SENTDATA、NEWDATAビットはプログラムで“0”（送信未完了または受信未完了）にし、送受信を開始してください。自動的に“0”にはなりません。また、TRMACTIVE、INVALIDDATAビットが“1”（送信中、または受信データ格納中）のときは、SENTDATA、NEWDATAビットを“0”にできません。

SENTDATA : 送信に設定しているメッセージスロットでは送信が完了したとき、SENTDATAビットが“1”（送信完了）になります。

NEWDATA : 受信に設定しているメッセージスロットではメッセージスロットj(j=0~15)へ格納すべきメッセージを正常に受信したとき、NEWDATAビットが“1”（受信完了）になります。

注1. 受信データをメッセージスロットjから読む場合は、NEWDATAビットを“0”にしてから読んでください。読んだ直後にNEWDATAビットが“1”になっている場合は、読み出し中に新しい受信データが格納され、読み出し値に不定値が含まれていることを示します。その場合は読み出したデータを破棄し、NEWDATAビットを“0”にした後、再度読んでください。

注2. リモートフレーム送受信の場合、リモートフレームの送受信完了時には、SENTDATA、NEWDATAビットは変化せずその後のデータフレーム送受信完了時に“1”になります。

23.1.20.2 TRMACTIVE、INVALIDDATAビット

メッセージスロットjへCANプロトコルコントローラがアクセス中であることを示します。アクセス中は“1”になり、アクセスしていないときは“0”になります。

TRMACTIVE : メッセージスロットが送信を開始したとき、TRMACTIVEビットが“1”（送信中）になります。TRMACTIVEビットは、アービトラージに負けたとき、またはCANバスエラーが発生したとき、または送信完了したときに“0”（送信中以外）になります。

INVALIDDATA : メッセージスロットがメッセージを受信完了後、受信メッセージをメッセージスロットjへ格納中にINVALIDDATAビットは“1”（受信データ格納中）になり、メッセージが完全に格納された後、“0”（受信データ格納中以外）になります。INVALIDDATAビットが“1”の間にメッセージスロットjから読んだ値は不定です。

23.1.20.3 MSGLOST ビット

表 23.4 に示す送受信モードのうち、「データフレーム受信」、または「リモートフレーム送信後、データフレーム受信」を選択した場合に有効なビットです。NEWDATA ビットが“1” (受信完了) の状態で、新たな受信によりメッセージスロット j が上書きされた場合に“1” (オーバーライト発生あり) になります。

MSGLOST ビットをプログラムで読み出した後、“0” (オーバーライト発生なし) にしてください。

23.1.20.4 REMACTIVE ビット

STATE_BASICCAN ビットが“0” (BasicCAN モード以外のモードで動作中) で、メッセージスロット j をリモートフレーム送受信として設定した場合、REMACTIVE ビットは“1” (リモートフレーム) になります。その後、リモートフレームの送信または受信が完了すると“0” (データフレーム) になります。

STATE_BASICCAN ビットが“1” (BasicCAN モードで動作中) で、CiMCTL14 ~ CiMCTL15 レジスタのREMACTIVE ビットが“0” の場合、メッセージスロットに格納されているメッセージがデータフレームであることを示します。REMACTIVE ビットが“1” の場合は、メッセージスロットに格納されているメッセージがリモートフレームであることを示します。

23.1.20.5 RSPLOCK ビット

表 23.4 に示す送受信モードのうち、「リモートフレーム受信」を選択した場合に有効なビットで、リモートフレーム受信後の処理を選択します。

RSPLOCK ビットを“0” (リモートフレームに対する自動応答許可) にすると、リモートフレーム受信後、自動的に送信スロットに切り替わり、メッセージスロットに設定されているメッセージをデータフレームとして自動送信を行います。

RSPLOCK ビットを“1” (リモートフレームに対する自動応答禁止) にすると、リモートフレーム受信後、自動送信は行いません。

リモートフレーム受信以外の送受信モードを選択した場合は、“0” にしてください。

23.1.20.6 REMOTE ビット

表 23.4 に示す送受信モードを選択するビットです。データフレーム送受信を行う場合“0”に、リモートフレーム送受信を行う場合“1”にしてください。

リモートフレーム送受信を行うと、次のように動作します。

- リモートフレーム送信
メッセージスロット j に設定されているメッセージをリモートフレームとして送信します。送信終了後は自動的にデータフレーム受信メッセージスロットに切り替わります。
ただし、リモートフレームの送信が完了する前にデータフレームを受信した場合は、そのデータフレームをメッセージスロット j へ格納し、リモートフレームの送信は行いません。
- リモートフレーム受信
リモートフレームを受信します。受信後の処理は RSPLOCK ビットで選択します。

23.1.20.7 RECREQビット

表23.4に示す送受信モードを選択するビットです。

RECREQビットを“1”(受信要求あり)にすると、データフレームまたはリモートフレームの受信を行うスロットとなります。RECREQビットが“1”のときでも、REMOTEビットが“1”(リモートフレームの送受信)、RSPLOCKビットが“0”(リモートフレームに対する自動応答許可)の場合、リモートフレーム受信後、自動的にデータフレームを送信します。

データフレームまたはリモートフレーム送信を行う場合、RECREQビットを“0”(受信要求なし)にしてください。

同一メッセージスロットに対して、TRMREQビットとRECREQビットの両方を“1”に設定しないでください。

23.1.20.8 TRMREQビット

表23.4に示す送受信モードを選択するビットです。

TRMREQビットを“1”(送信要求あり)にすると、データフレームまたはリモートフレームの送信を行います。TRMREQビットが“1”のときでも、REMOTEビットが“1”(リモートフレームの送受信)の場合、リモートフレーム送信後、自動的にデータフレームの受信スロットとなります。

データフレームまたはリモートフレームの受信を行う場合、TRMREQビットを“0”(送信要求なし)にしてください。

同一メッセージスロットに対して、TRMREQビットとRECREQビットの両方を“1”に設定しないでください。

- 注1. 複数のスロットにデータフレームまたはリモートフレームの送信要求がある場合、スロット番号の一番小さいスロットが送信を行います。
- 注2. シングルショットモード設定時、アービトレーションロスや送信エラーによって送信に失敗した場合、CiMCTLjレジスタは“00h”にクリアされます。

23.1.21 CANiスロットバッファ選択レジスタ (CiSBSレジスタ)(i=0,1)

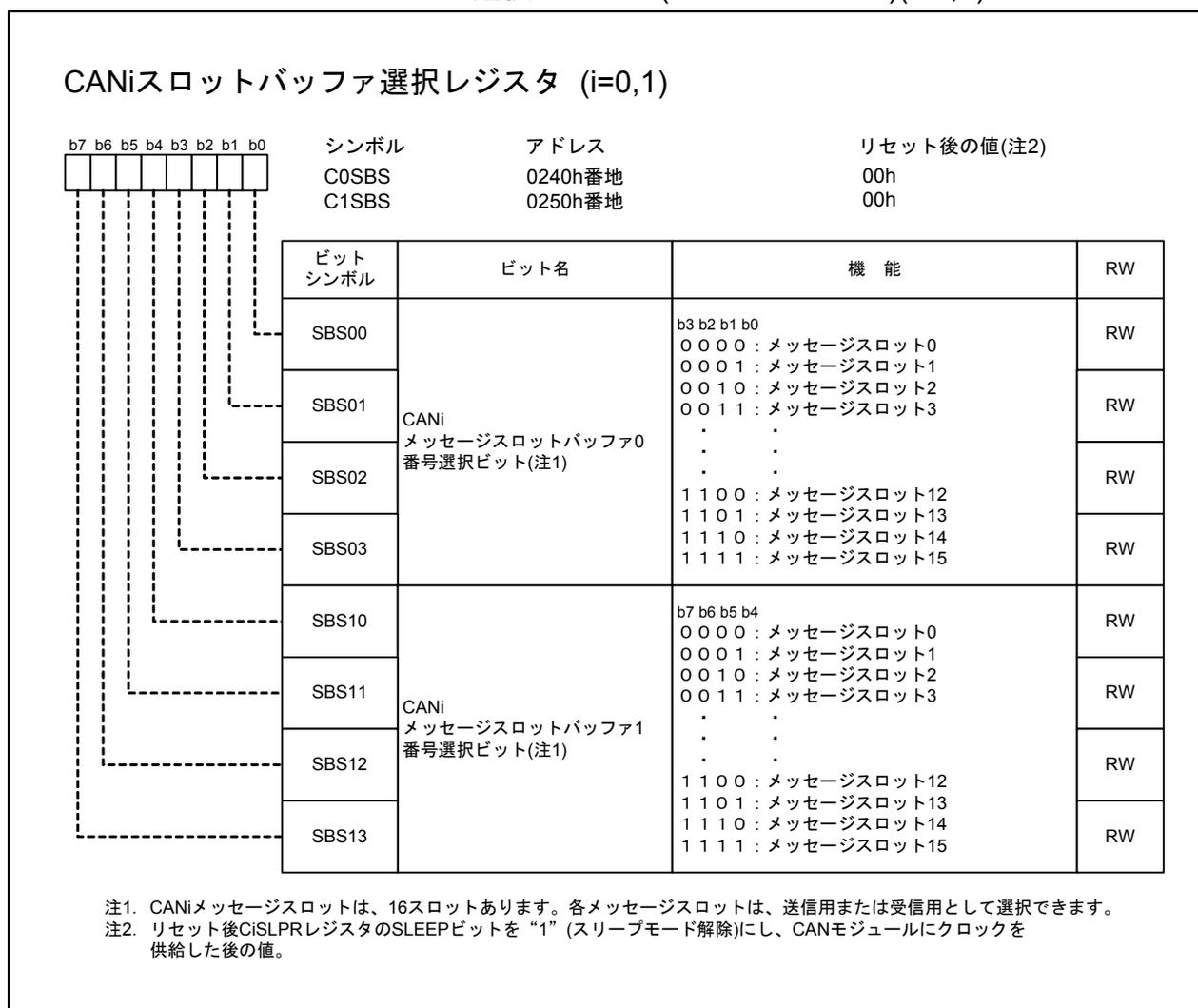


図23.31 C0SBSレジスタ、C1SBSレジスタ

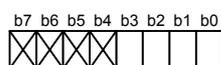
23.1.21.1 SBS03～SBS00ビット

SBS03～SBS00ビットで選択した番号をjとすると、メッセージスロットjがCANiメッセージスロットバッファ0に割り当てられ、この番地(CAN0 : 01E0h～01EFh、CAN1 : 0260h～026Fh)を通してメッセージスロットjにアクセスできます。

23.1.21.2 SBS13～SBS10ビット

SBS13～SBS10ビットで選択した番号をjとすると、メッセージスロットjがCANiメッセージスロットバッファ1に割り当てられ、この番地(CAN0 : 01F0h～01FFh、CAN1 : 0270h～027Fh)を通してメッセージスロットjにアクセスできます。

CANiメッセージスロットバッファj拡張ID0 (i=0,1、j=0,1)(注1、2)



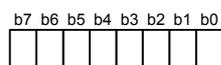
シンボル	アドレス	リセット後の値
C0SLOT0_2、C0SLOT1_2	01E2h、01F2h番地	不定
C1SLOT0_2、C1SLOT1_2	0262h、0272h番地	不定

ビットシンボル	ビット名	機能	RW
EID14	拡張ID14	メッセージスロットk (k=0~15)拡張ID14の読み出し、または書き込み	RW
EID15	拡張ID15	メッセージスロットk拡張ID15の読み出し、または書き込み	RW
EID16	拡張ID16	メッセージスロットk拡張ID16の読み出し、または書き込み	RW
EID17	拡張ID17	メッセージスロットk拡張ID17の読み出し、または書き込み	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. 標準IDフォーマット受信設定の場合、受信データ格納時のEIDビットは不定。

注2. CiSLOTj_2レジスタを通してアクセスするメッセージスロットkは、CiSBSレジスタで選択してください。

CANiメッセージスロットバッファj拡張ID1 (i=0,1、j=0,1)(注1、2)



シンボル	アドレス	リセット後の値
C0SLOT0_3、C0SLOT1_3	01E3h、01F3h番地	不定
C1SLOT0_3、C1SLOT1_3	0263h、0273h番地	不定

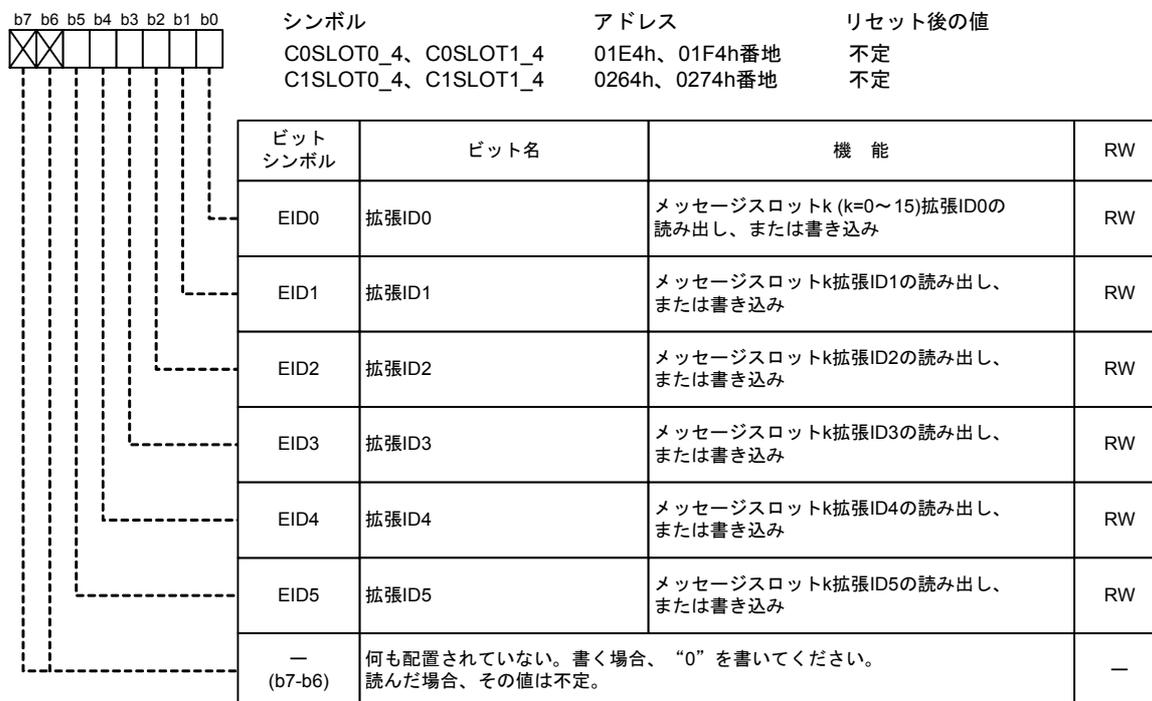
ビットシンボル	ビット名	機能	RW
EID6	拡張ID6	メッセージスロットk (k=0~15)拡張ID6の読み出し、または書き込み	RW
EID7	拡張ID7	メッセージスロットk拡張ID7の読み出し、または書き込み	RW
EID8	拡張ID8	メッセージスロットk拡張ID8の読み出し、または書き込み	RW
EID9	拡張ID9	メッセージスロットk拡張ID9の読み出し、または書き込み	RW
EID10	拡張ID10	メッセージスロットk拡張ID10の読み出し、または書き込み	RW
EID11	拡張ID11	メッセージスロットk拡張ID11の読み出し、または書き込み	RW
EID12	拡張ID12	メッセージスロットk拡張ID12の読み出し、または書き込み	RW
EID13	拡張ID13	メッセージスロットk拡張ID13の読み出し、または書き込み	RW

注1. 標準IDフォーマット受信設定の場合、受信データ格納時のEIDビットは不定。

注2. CiSLOTj_3レジスタを通してアクセスするメッセージスロットkは、CiSBSレジスタで選択してください。

図23.33 C0SLOT0_2、C0SLOT1_2、C1SLOT0_2、C1SLOT1_2レジスタ、
C0SLOT0_3、C0SLOT1_3、C1SLOT0_3、C1SLOT1_3レジスタ

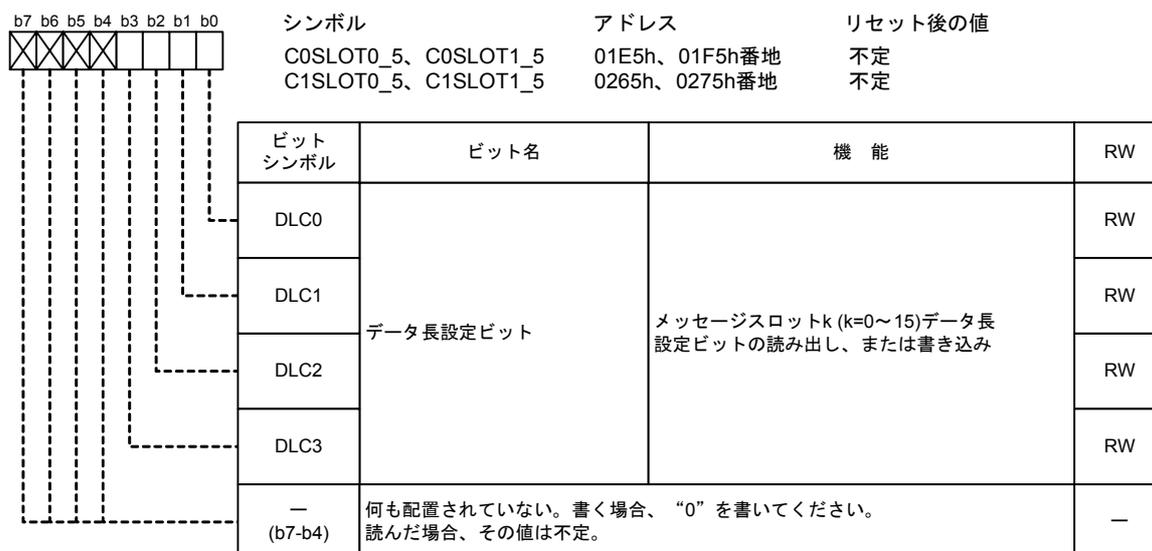
CANiメッセージスロットバッファj拡張ID2 (i=0,1、j=0,1)(注1、2)



注1. 標準IDフォーマット受信設定の場合、受信データ格納時のEIDビットは不定。

注2. CiSLOTj_4レジスタを通してアクセスするメッセージスロットkは、CiSBSレジスタで選択してください。

CANiメッセージスロットバッファjデータ長コード (i=0,1、j=0,1)(注1)



注1. CiSLOTj_5レジスタを通してアクセスするメッセージスロットkは、CiSBSレジスタで選択してください。

図 23.34 C0SLOT0_4、C0SLOT1_4、C1SLOT0_4、C1SLOT1_4レジスタ、
C0SLOT0_5、C0SLOT1_5、C1SLOT0_5、C1SLOT1_5レジスタ

CANiメッセージロットバッファj データm (i=0,1、j=0,1、m=0~7)(注1、2)

シンボル	アドレス	リセット後の値
C0SLOT0_6~C0SLOT0_13	01E6h - 01EDh番地	不定
C0SLOT1_6~C0SLOT1_13	01F6h - 01FDh番地	不定
C1SLOT0_6~C1SLOT0_13	0266h - 026Dh番地	不定
C1SLOT1_6~C1SLOT1_13	0276h - 027Dh番地	不定

機 能	設定範囲	RW
メッセージロットkデータm (k=0~15)の読み出し、または書き込み	00h~FFh	RW

注1. CiSLOTj_6~CiSLOTj_13レジスタを通してアクセスするメッセージロットkデータmは、CiSBSレジスタで選択してください。
 注2. データフレーム受信の場合、受信したデータ長を超えるデータは不定。

CANiメッセージロットバッファj タイムスタンプ上位 (i=0,1、j=0,1)(注1)

シンボル	アドレス	リセット後の値
C0SLOT0_14、C0SLOT1_14	01EEh、01FEh番地	不定
C1SLOT0_14、C1SLOT1_14	026Eh、027Eh番地	不定

機 能	設定範囲	RW
メッセージロットkタイムスタンプ上位(k=0~15)の読み出し、または書き込み	00h~FFh	RW

注1. CiSLOTj_14レジスタを通してアクセスするメッセージロットkタイムスタンプ上位は、CiSBSレジスタで選択してください。

CANiメッセージロットバッファj タイムスタンプ下位 (i=0,1、j=0,1)(注1)

シンボル	アドレス	リセット後の値
C0SLOT0_15、C0SLOT1_15	01EFh、01FFh番地	不定
C1SLOT0_15、C1SLOT1_15	026Fh、027Fh番地	不定

機 能	設定範囲	RW
メッセージロットkタイムスタンプ下位(k=0~15)の読み出し、または書き込み	00h~FFh	RW

注1. CiSLOTj_15レジスタを通してアクセスするメッセージロットkタイムスタンプ下位は、CiSBSレジスタで選択してください。

図 23.35 C0SLOT0_6~C0SLOT0_13、C0SLOT1_6~C0SLOT1_13、
 C1SLOT0_6~C1SLOT0_13、C1SLOT1_6~C1SLOT1_13レジスタ、
 C0SLOT0_14、C0SLOT1_14、C1SLOT0_14、C1SLOT1_14レジスタ、
 C0SLOT0_15、C0SLOT1_15、C1SLOT0_15、C1SLOT1_15レジスタ

CANiメッセージロットバッファを読むと、CiSBSレジスタで選択したメッセージロットが読めます。また、メッセージロットバッファにメッセージを書くと、CiSBSレジスタで選択されたメッセージロットにメッセージが書けます。

メッセージロットk(k=0~15)への書き込みは、対応するCiMCTLkレジスタが“00h”の状態で行ってください。

23.2 CANクロックとCPUクロック

23.2.1 CANクロック

CANクロックはCANモジュールの動作クロックです。PM2レジスタのPM25ビットが“0”の場合、CANクロックとしてf1が選択されます。PM25ビットが“1”の場合、fCANが選択されます。

PM25ビットの設定はCiSLPRレジスタ(i=0,1)のSLEEPビットが“0”(スリープモード)の時に行ってください。

23.2.2 CPUクロック

CPUクロックを次のとおりに設定してから、CAN関連レジスタをアクセスしてください。

- PM25ビットが“0”(f1)の場合

- (1) PM24ビットを“0”(CPUクロックはCM07ビットで選択されたクロック)にする
- (2) CM2レジスタのCM21ビットを“0”(CPUクロックはCM17ビットで選択されたクロック)にする
- (3) MCDレジスタのMCD4～MCD0ビットを“10010b”(分周なし)にする
- (4) PM1レジスタのPM13ビットを“1”(2ウェイト)にする

- PM25ビットが“1”(fCAN)の場合

- (1) PM24ビットを“1”(CPUクロックはCM07ビットで選択されたクロック)にする
- (2) PM13ビットを“1”(2ウェイト)にする
- (3) クロック切り替え待ち時間待つ(注1)

PM24ビットが“1”の場合、ウェイトモードやストップモードへ移行しないでください。

注1. 待ち時間はPM24ビット切り替え前と後のCPUクロックで異なります。

- ・高い周波数：PM24ビット切り替え前と後で高いほうの周波数
- ・低い周波数：PM24ビット切り替え前と後で低いほうの周波数

$$\text{待ち時間} \geq \frac{2 \times \text{高い周波数}}{\text{低い周波数}} \text{ サイクル}$$

23.3 CAN関連レジスタの設定と動作タイミング

23.3.1 CANモジュール初期化

図23.37にCANモジュール初期化時の動作例を示します。

- (1) CiCTRL0レジスタ(i=0,1)のRESET0、RESET1ビットを“1”(CANモジュール初期化)にした後、CiSTRレジスタのSTATE_RESETビットが“1”(CANモジュールリセット)になると、CANモジュールの初期設定が行える状態になります。
- (2) 必要なCAN関連レジスタを設定してください。
- (3) RESET0、RESET1ビットを“0”(CANモジュール初期化解除)にした後、STATE_RESETビットが“0”(CANモジュール動作)になると、CAN通信が行える状態になります。

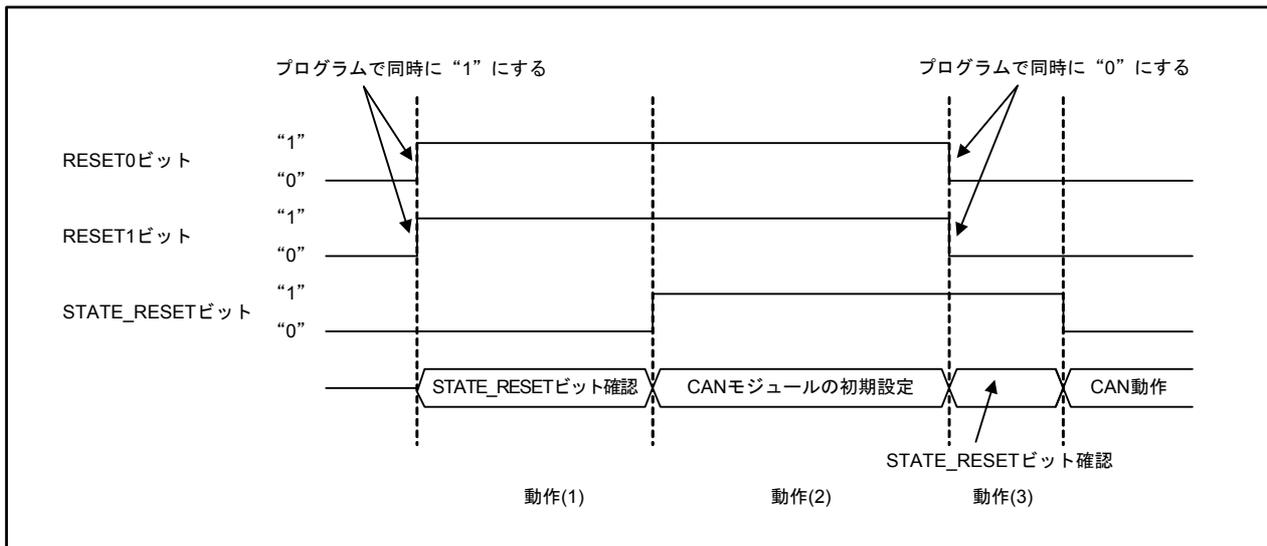


図23.37 CANモジュール初期化時の動作例

23.3.2 CAN送信タイミング

図23.38にCANの送信時の動作例を示します。

- (1) バスアイドル時にCiMCTLj(i=0,1、j=0~15)レジスタのTRMREQビットを“1”(送信要求あり)にするとTRMACTIVEビットが“1”(送信中)に、CiSTRレジスタのTRMSTATEビットが“1”(送信中)になりCAN送信を開始します。
- (2) CAN送信終了後、CiMCTLjレジスタのSENTDATAビットが“1”(送信完了)、CiSTRレジスタのTRMSUCCビットが“1”(送信完了)、CiSISTRレジスタのSISjビットが“1”(割り込み要求あり)になります。

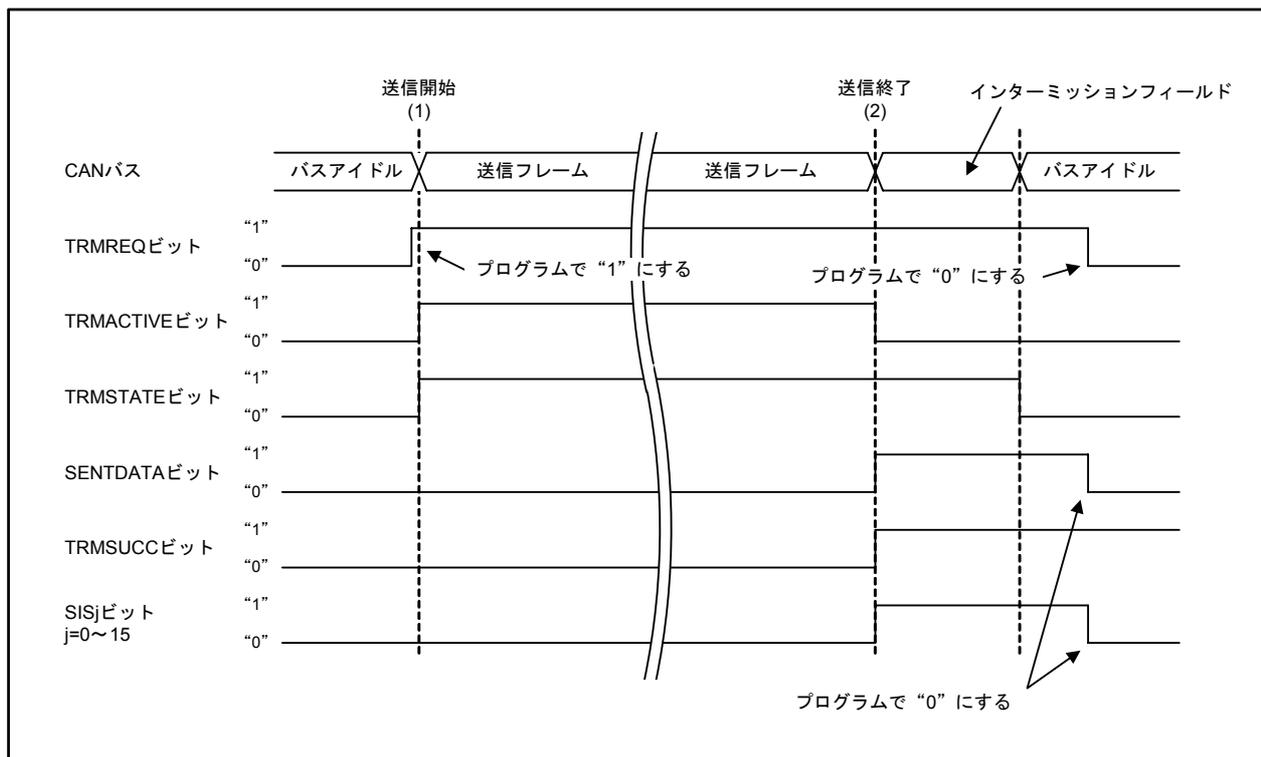


図23.38 CANデータフレーム送信時の動作例

23.3.3 CAN受信タイミング

図23.39にCANの受信時の動作例を示します。

- (1) CiMCTLjレジスタ(i=0,1、j=0~15)のRECREQビットを“1”(受信要求あり)にすると受信待ち状態になります。
- (2) CAN受信を開始すると、CiSTRレジスタのRECSTATEビットが“1”(受信中)になります。
- (3) CAN受信終了後、CiSTRレジスタのRECSUCCビットが“1”(受信完了)、その後CiMCTLjレジスタのNEWDATAビットが“1”(受信完了)、INVALIDDATAビットが“1”(受信データ格納中)になります。
- (4) メッセージスロットに書き込み終了後、INVALIDDATAビットが“0”(受信データ格納中以外)になり、SISjビットが“1”(割り込み要求あり)になります。

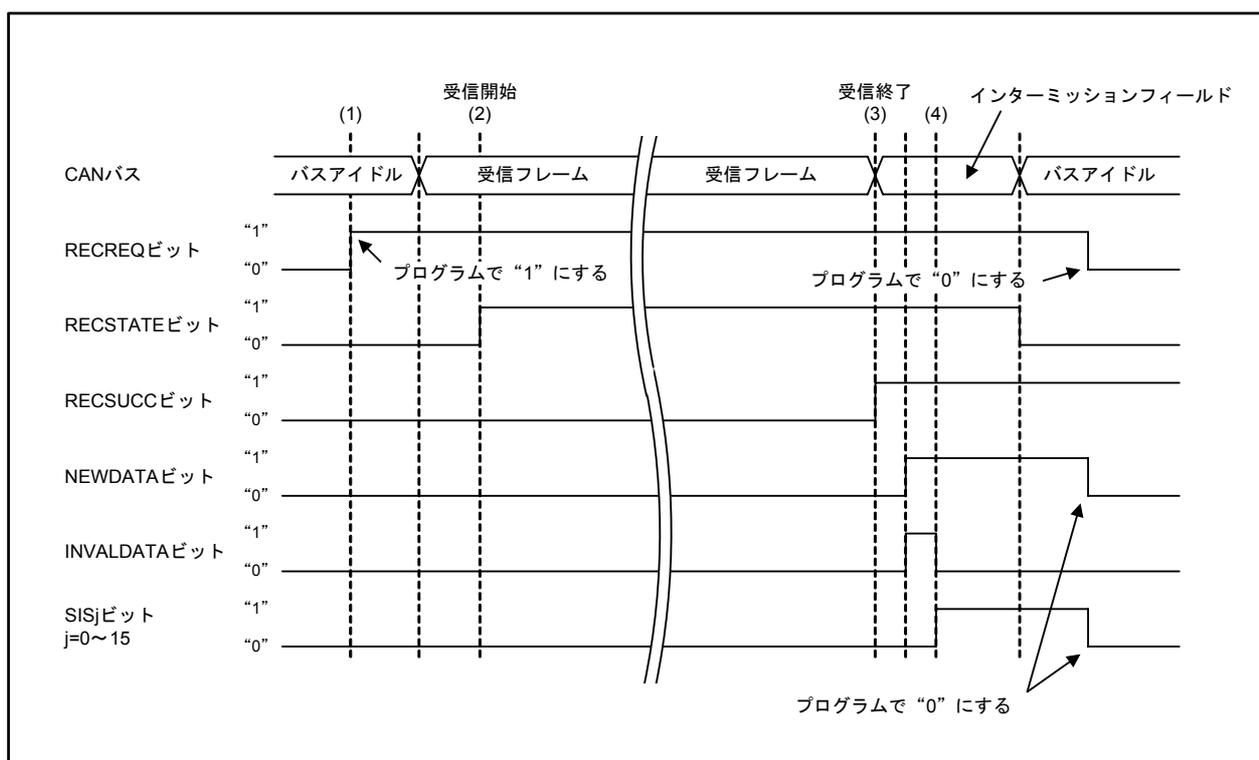


図23.39 CANデータフレーム受信時の動作例

23.3.4 CANバスエラータイミング

図23.40にCANバスエラー発生時の動作例を示します。

- (1) CANバスエラーを検出するとCiSTRレジスタのSTATE_BUSERRORビットが“1”(エラー発生あり)、CiEISTRレジスタのBEISビットが“1”(割り込み要求あり)になり、エラーフレーム送信を開始します。

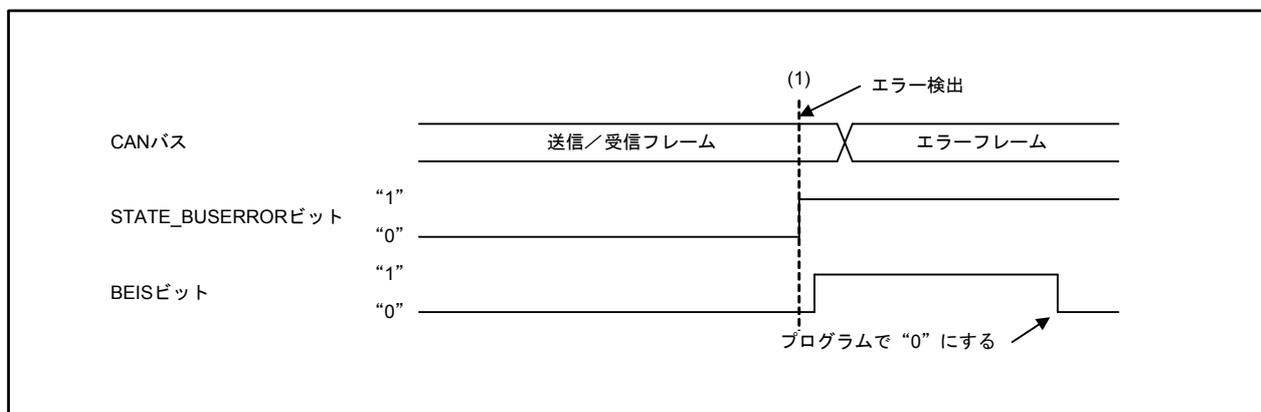


図23.40 CANバスエラー発生時の動作例

23.4 CAN割り込み

CAN割り込みには、CAN1 ウェイクアップ割り込み、CAN ij 割り込み ($i=0,1$, $j=0\sim 2$) があります。CAN1 ウェイクアップ割り込みとCAN ij 割り込みは、インテリジェントI/O割り込みと共用しています。割り込みの詳細は「11. 割り込み」を参照してください。図23.41にCAN1 ウェイクアップ割り込みとCAN ij 割り込みのブロック図を示します。

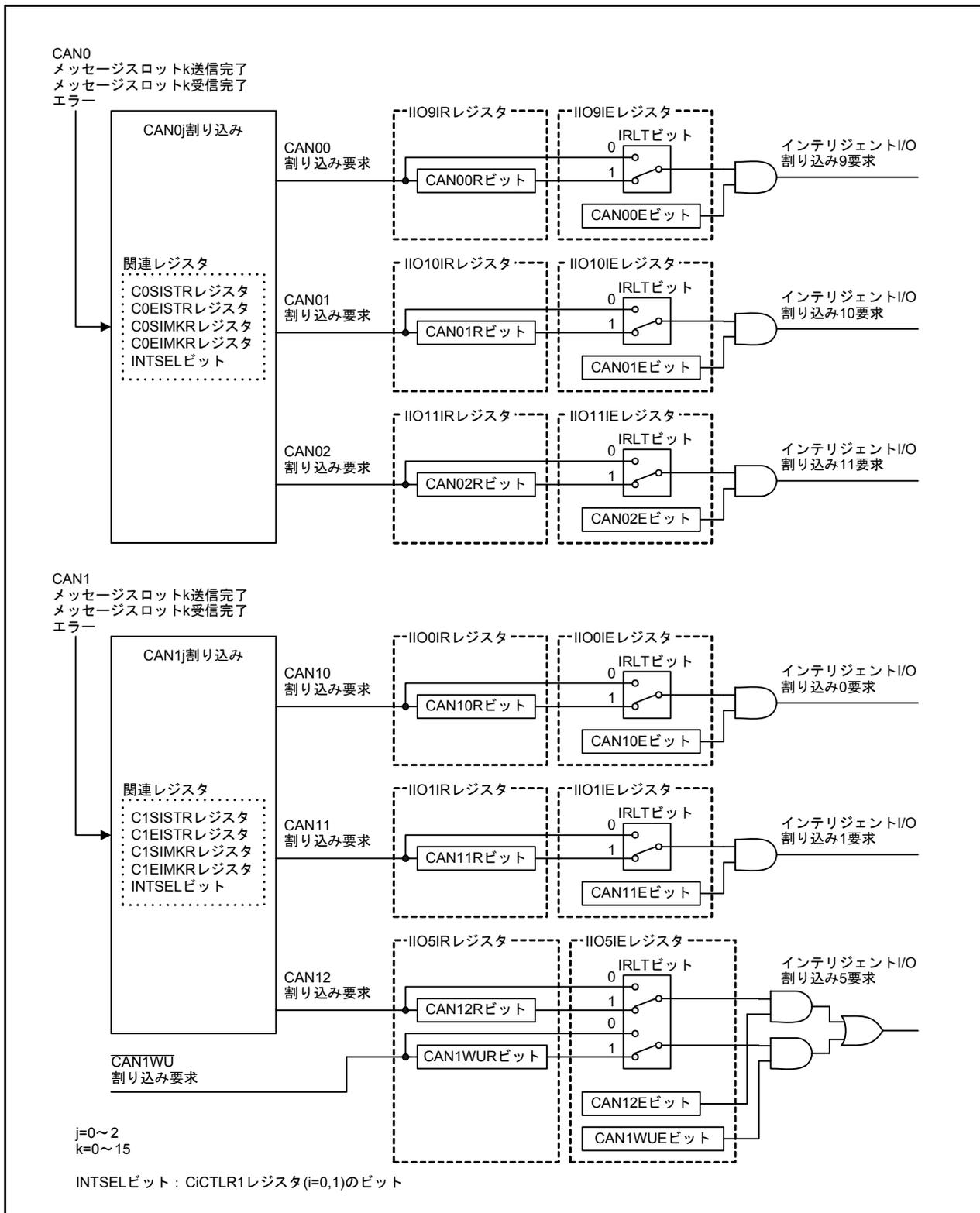


図23.41 CAN1ウェイクアップ割り込みとCAN ij 割り込みのブロック図

23.4.1 CAN1ウェイクアップ割り込み

C1SLPRレジスタのSLEEPビットの値に関係なく、 $\overline{\text{CAN1WU}}$ 端子に立ち下がりエッジが入力されたときに、インテリジェントI/OのIIO5IRレジスタのCAN1WURビットが“1”(割り込み要求あり)になります。

P7_7(CAN0IN)をCAN0の入力ポートとして使用するときは、端子を共用しているTA3INのイベントカウンタモードを使用することによりCAN0ウェイクアップ割り込みを実現できます。

P8_3(CAN0IN / CAN1IN)をCAN0、CAN1の入力ポートとして使用するときは、端子を共用している $\overline{\text{INT1}}$ を使用することによりCAN0、CAN1のウェイクアップ割り込みを実現できます。

23.4.2 CANij割り込み

CANij割り込み要因は、次の5つです。

- ・CANiメッセージスロットk送信完了(k=0~15)
- ・CANiメッセージスロットk受信完了
- ・CANiバスエラー検出
- ・CANiエラーパッシブ遷移
- ・CANiバスオフ遷移

CiCTLR1レジスタのINTSELビットが“0”の場合、5つの要因の論理和をCANij割り込み要求とします。INTSELビットが“1”の場合、CANiメッセージスロットk送信完了、CANiメッセージスロットk受信完了、CANiエラー(バスエラー検出、エラーパッシブ遷移、バスオフ遷移)の3種類を割り込み要求とします。

23.4.2.1 INTSELビットが“0”(CAN割り込み要因を論理和して出力する)の場合

INTSELビットが“0”(CAN割り込み要因を論理和して出力する)の場合、いずれかのCANij割り込み要因により、すべてのCANij割り込み要求が発生します。

表23.5に割り込み要因と割り込みレジスタの対応を、図23.42にCANij割り込みブロック図を示します。

CANij割り込み要因が発生すると、割り込みステータスビット(CiSISTRレジスタまたはCiEISTRレジスタの各ビット)が“1”(割り込み要求あり)になります。このとき、割り込みマスクビット(CiSIMKRレジスタまたはCiEIMKRレジスタの各ビット)が“1”(割り込み要求許可)の場合、IIO_nIRレジスタ(i=0のときn=9,10,11、i=1のときn=0,1,5)のCANijRビットがすべて“1”(割り込み要求あり)になります。

注1. CiSISTRレジスタとCiEISTRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。割り込みが許可されたこれらの割り込みステータスビットが“1”である状態では、次のCANij割り込み要求が発生してもCANijRビットは“1”(割り込み要求あり)になりません。

表 23.5 割り込み要因と割り込みレジスタの対応(INTSELビットが“0”の場合)

CANij割り込み要因	CANij割り込み		インテリジェントI/O割り込み
	割り込みステータスビット 0: 割り込み要求なし 1: 割り込み要求あり	割り込みマスクビット 0: 割り込み要求マスク(禁止) 1: 割り込み要求許可	インテリジェントI/O割り込み要求 0: 割り込み要求なし 1: 割り込み要求あり
CANiメッセージスロットk 受信完了	CiSISTRレジスタの SISkビット	CiSIMKRレジスタの SIMkビット	i=0のとき、 IIO9IR、IIO10IR、IIO11IRレジスタ のCAN0jRビット
CANiメッセージスロットk 送信完了			
CANiバスエラー検出	CiEISTRレジスタの BEISビット	CiEIMKRレジスタの BEIMビット	i=1のとき、 IIO0IR、IIO1IR、IIO5IRレジスタ のCAN1jRビット
CANiエラーパッシブ遷移	CiEISTRレジスタの EPISビット	CiEIMKRレジスタの EPIMビット	
CANiバスオフ遷移	CiEISTRレジスタの BOISビット	CiEIMKRレジスタの BOIMビット	

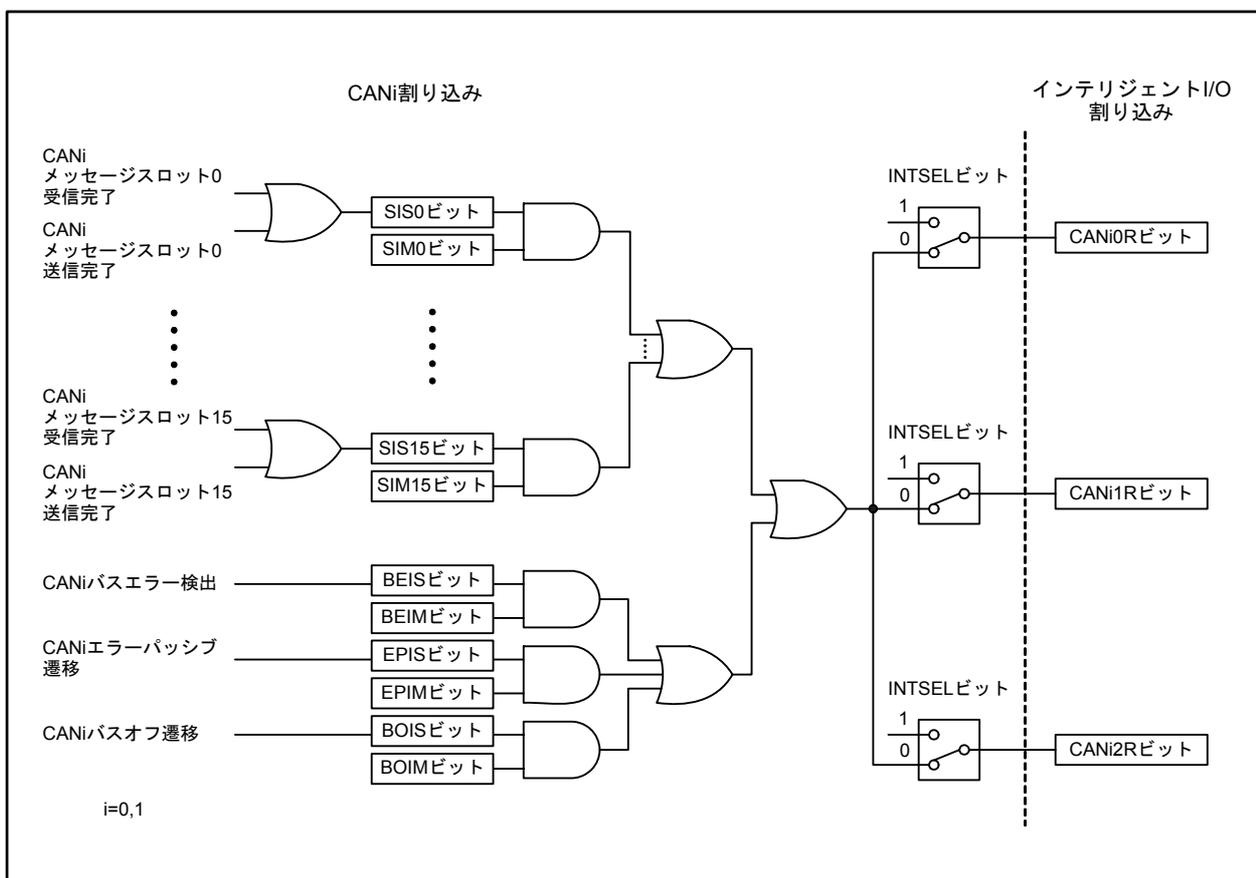


図 23.42 CANij割り込みブロック図(INTSELビットが“0”の場合)

23.4.2.2 INTSELビットが“1”(CAN割り込み要因別に出力する)の場合

INTSELビットが“1”(CAN割り込み要因別に出力する)の場合、CAN_ij割り込み要因により、次のいずれかのCAN_ij割り込み要求が発生します。

- CAN_iメッセージスロットk送信完了によって、CAN_i0割り込み要求が発生
- CAN_iメッセージスロットk受信完了によって、CAN_i1割り込み要求が発生
- CAN_iエラー(バスエラー検出、エラーパッシブ遷移、バスオフ遷移)によって、CAN_i2割り込み要求が発生

表23.6に割り込み要因と割り込みレジスタの対応を、図23.43にCAN_ij割り込みブロック図を示します。

CAN_ij割り込み要求が発生すると、割り込みステータスビット(CiSISTRレジスタまたはCiEISTRレジスタの各ビット)が“1”(割り込み要求あり)になります。このとき、割り込みマスクビット(CiSIMKRレジスタまたはCiEIMKRレジスタの各ビット)が“1”(割り込み要求許可)の場合、インテリジェントI/O割り込み要求が“1”(割り込み要求あり)になります。

注1. CiSISTRレジスタのSIS_kビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。ただし、SIS_kビットが“1”のままでも次のCAN_i送受信完了割り込み要求が発生すると、IIOnIRレジスタ(i=0のときn=9,10、i=1のときn=0,1)のCAN_i0Rビット、CAN_i1Rビットが“1”(割り込み要求あり)になります。

注2. CiEISTRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。割り込みが許可されたこれらの割り込みステータスビットが“1”である状態では、次のCAN_iエラー(バスエラー検出、エラーパッシブ遷移、バスオフ遷移)割り込み要求が発生してもCAN_i2Rビットは“1”(割り込み要求あり)になりません。

表23.6 割り込み要因と割り込みレジスタの対応(INTSELビットが“1”の場合)

CAN _i j割り込み要因	CAN _i j割り込み		インテリジェントI/O割り込み
	割り込みステータスビット 0: 割り込み要求なし 1: 割り込み要求あり	割り込みマスクビット 0: 割り込み要求マスク(禁止) 1: 割り込み要求許可	インテリジェントI/O割り込み要求 0: 割り込み要求なし 1: 割り込み要求あり
CAN _i メッセージスロットk受信完了	CiSISTRレジスタのSIS _k ビット	CiSIMKRレジスタのSIM _k ビット	i=0のとき、 II09IRレジスタのCAN00Rビット i=1のとき、 II00IRレジスタのCAN10Rビット
CAN _i メッセージスロットk送信完了			i=0のとき、 II010IRレジスタのCAN01Rビット i=1のとき、 II011RレジスタのCAN11Rビット
CAN _i バスエラー検出	CiEISTRレジスタのBEISビット	CiEIMKRレジスタのBEIMビット	i=0のとき、 II011RレジスタのCAN02Rビット i=1のとき、 II05IRレジスタのCAN12Rビット
CAN _i エラーパッシブ遷移	CiEISTRレジスタのEPISビット	CiEIMKRレジスタのEPIMビット	
CAN _i バスオフ遷移	CiEISTRレジスタのBOISビット	CiEIMKRレジスタのBOIMビット	

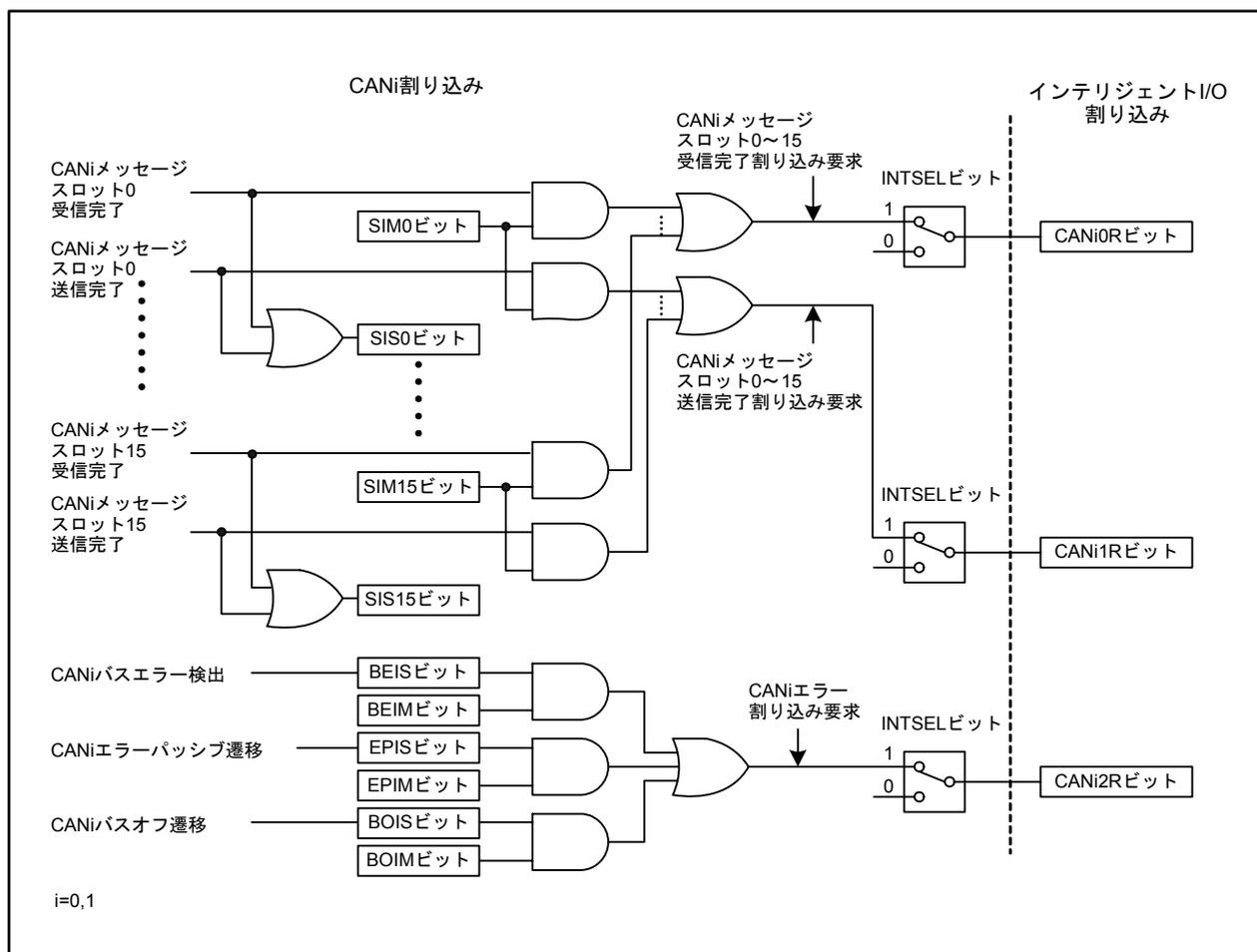


図23.43 CANij割り込みブロック図(INTSELビットが“1”の場合)

24. リアルタイムポート

リアルタイムポート出力選択時は、タイマA、タイマBのアンダフローごとに、RTPiRレジスタ(i=0~3)の値がRTPi_0~RTPi_3端子に出力されます。RTPi_0~RTPi_3端子の出力は、タイマA、タイマBの最初のアンダフローが発生するまで不定です。リアルタイムポートの不定出力が問題となる場合は、タイマA、タイマBの最初のアンダフロー発生までは、機能選択レジスタAで入出力ポートを選択し、最初のアンダフロー発生後に、機能選択レジスタA~Eで該当するポートをリアルタイムポート出力にしてください。

リアルタイムポート出力に対応したタイマA、タイマBは、タイマモードに設定してください。

図24.1にリアルタイムポートのブロック図を、図24.2に関連レジスタを、図24.3にリアルタイムポートの出力動作タイミング図を、表24.1に端子の設定を示します。

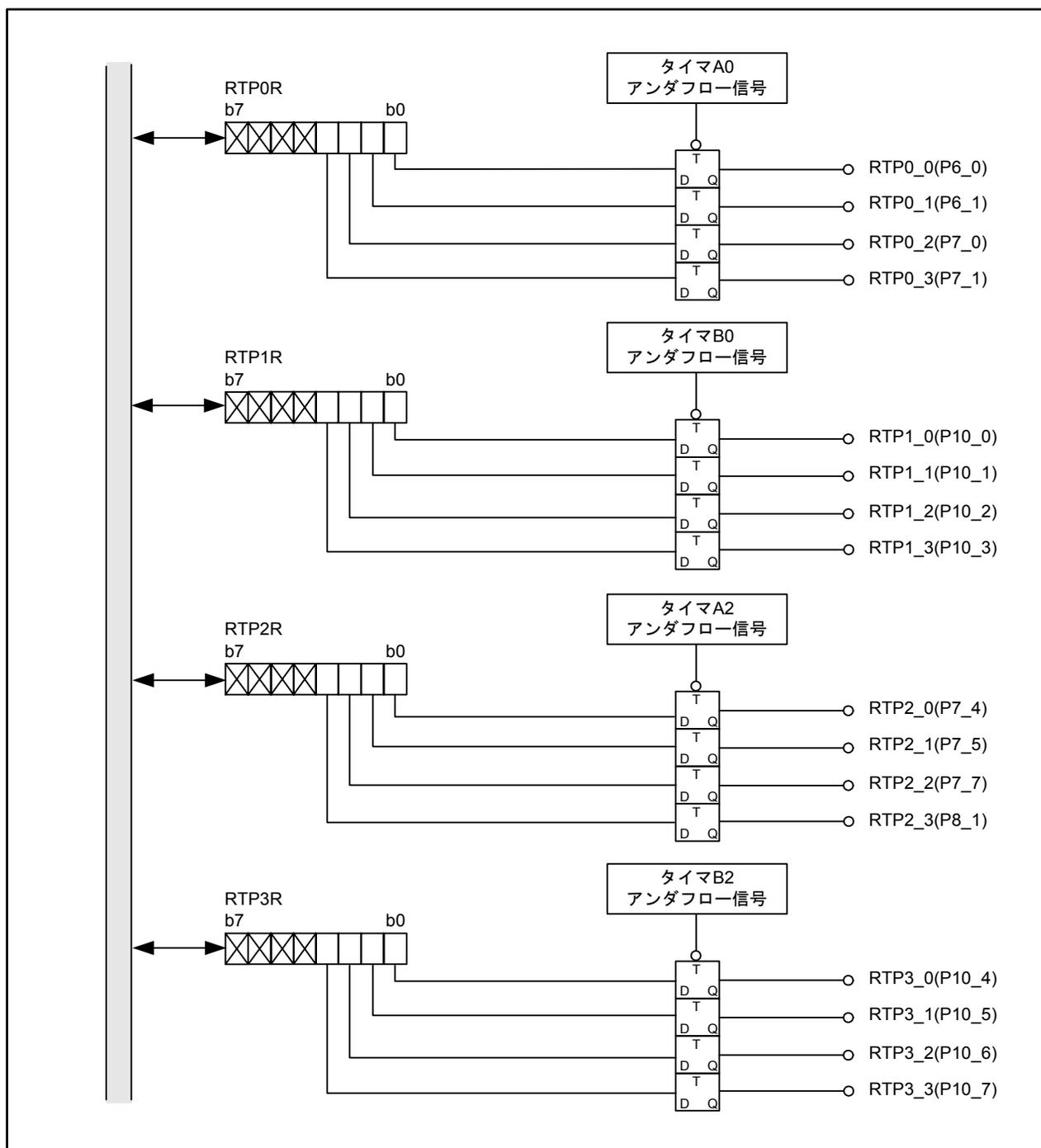


図24.1 リアルタイムポートのブロック図

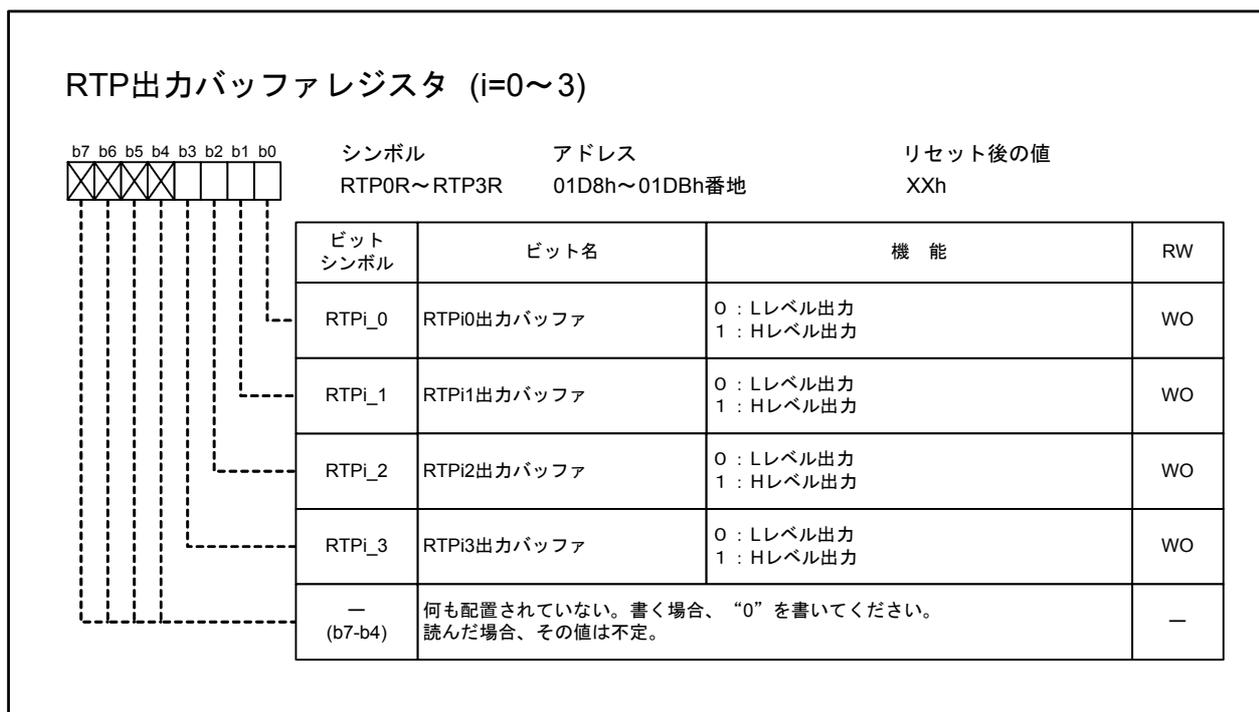


図24.2 RTP0R~RTP3Rレジスタ

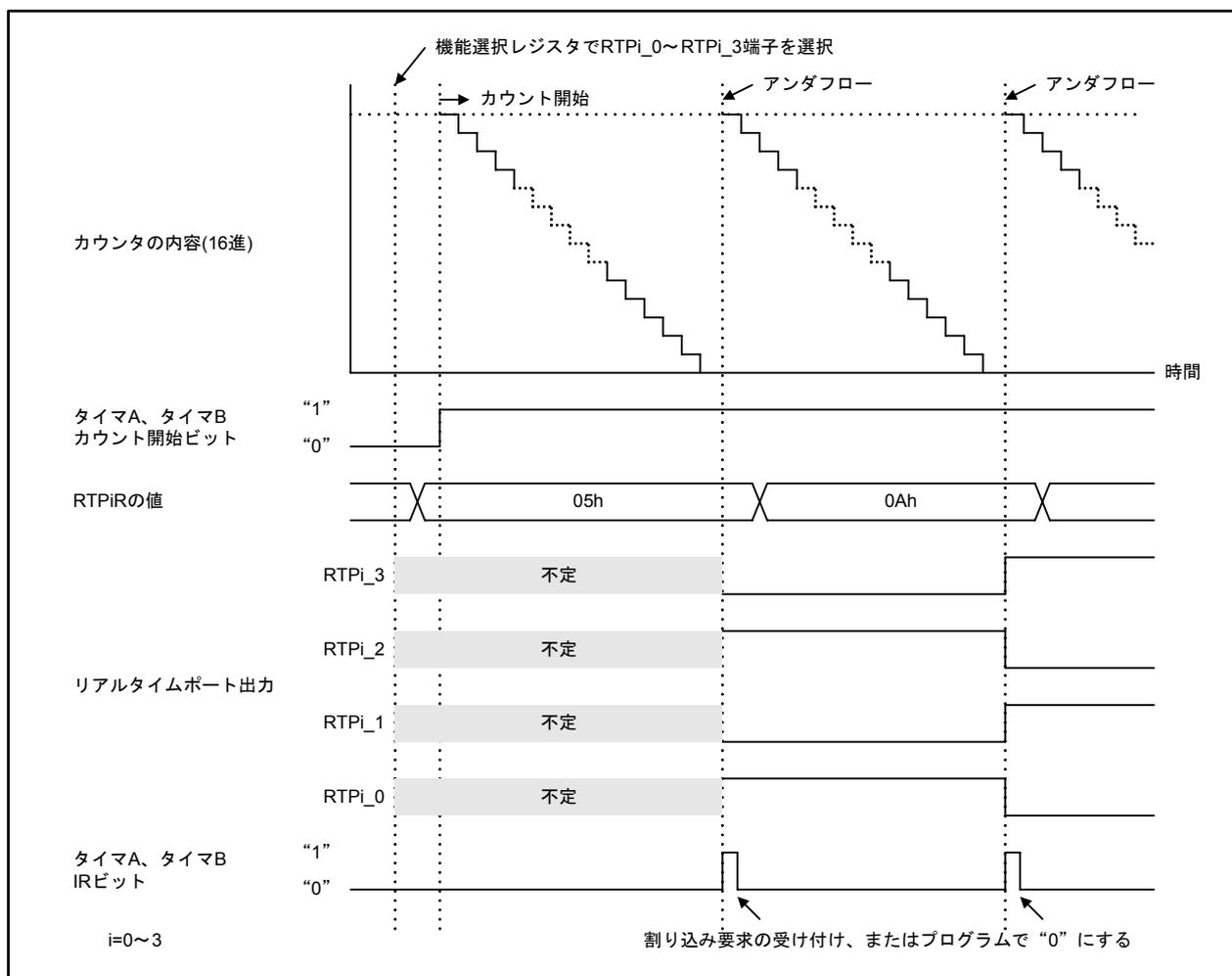


図24.3 リアルタイムポートの出力動作タイミング図

表24.1 リアルタイムポートの出力端子の設定

ポート名	機能	ビットと設定値				
		PSE1、PSE2 レジスタ	PSD1、PSD2 レジスタ	PSC、PSC2 レジスタ	PSL0、 PSL1、PSL2 レジスタ	PS0、PS1、 PS2、PS4 レジスタ(注1)
P6_0	RTP0_0	—	—	—	PSL0_0=1	PS0_0=1
P6_1	RTP0_1	—	—	—	PSL0_1=1	PS0_1=1
P7_0(注2)	RTP0_2	PSE1_0=1	PSD1_0=1	PSC_0=1	PSL1_0=0	PS1_0=1
P7_1(注2)	RTP0_3	PSE1_1=1	PSD1_1=1	PSC_1=1	PSL1_1=0	PS1_1=1
P7_4	RTP2_0	—	PSD1_4=1	PSC_4=1	PSL1_4=0	PS1_4=1
P7_5	RTP2_1	—	—	PSC_5=1	PSL1_5=1	PS1_5=1
P7_7	RTP2_2	PSE1_7=1	PSD1_7=1	—	PSL1_7=1	PS1_7=1
P8_1	RTP2_3	PSE2_1=1	PSD2_1=1	PSC2_1=1	PSL2_1=1	PS2_1=1
P10_0	RTP1_0	—	—	—	—	PS4_0=1
P10_1	RTP1_1	—	—	—	—	PS4_1=1
P10_2	RTP1_2	—	—	—	—	PS4_2=1
P10_3	RTP1_3	—	—	—	—	PS4_3=1
P10_4	RTP3_0	—	—	—	—	PS4_4=1
P10_5	RTP3_1	—	—	—	—	PS4_5=1
P10_6	RTP3_2	—	—	—	—	PS4_6=1
P10_7	RTP3_3	—	—	—	—	PS4_7=1

注1. PS0、PS1、PS2、PS4は最後に設定してください。

注2. 出力はNチャンネルオープンドレイン出力です。

25. プログラマブル入出力ポート

プログラマブル入出力ポートは、100ピン版ではP0～P10(P8_5は除く)の87本、144ピン版ではP0～P15(P8_5は除く)の123本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとにプルアップするか、しないかを設定できます。P8_5は入力専用でプルアップできません。P8_5は $\overline{\text{NMI}}$ と端子を共用していますので、 $\overline{\text{NMI}}$ 入力レベルをP8レジスタのP8_5ビットから読めます。

図25.1～図25.4にプログラマブル入出力ポートの構成を示します。

各端子は、プログラマブル入出力ポートと周辺機能の入出力、またはバス制御端子として機能します。周辺機能の入出力端子として使用する場合の設定方法は各周辺機能の章を参照してください。バス制御端子として使用する場合は、「8. バス」を参照してください。

次にプログラマブル入出力ポート関連レジスタを示します。

25.1 ポートPi方向レジスタ(PDiレジスタ、i=0～15)

図25.5にPDiレジスタを示します。

プログラマブル入出力ポートを入力に使用するか、出力に使用するか、選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、 $\overline{\text{A23}}$ 、D0～D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{WRL}}/\overline{\text{WR}}$ 、 $\overline{\text{WRH}}/\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 、BCLK/ALE/CLKOUT、 $\overline{\text{HLDA}}/\overline{\text{ALE}}$ 、 $\overline{\text{HOLD}}$ 、ALE、 $\overline{\text{RDY}}$)のPDiレジスタへは書けません。なお、P8_5に対応する方向レジスタのビットはありません。

25.2 ポートPiレジスタ(Piレジスタ、i=0～15)

図25.6にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの書き込みと読み出しによって行います。Piレジスタは出力データを保持するポートラッチと端子の状態を読む回路で構成されています。Piレジスタの各ビットはポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、 $\overline{\text{A23}}$ 、D0～D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{WRL}}/\overline{\text{WR}}$ 、 $\overline{\text{WRH}}/\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 、BCLK/ALE/CLKOUT、 $\overline{\text{HLDA}}/\overline{\text{ALE}}$ 、 $\overline{\text{HOLD}}$ 、ALE、 $\overline{\text{RDY}}$)のPiレジスタへは書けません。また、Piレジスタで端子の状態も読めません。

25.3 機能選択レジスタA(PSjレジスタ、j=0～9)

図25.7～図25.11にPSjレジスタを示します。

入出力ポートと周辺機能出力が端子を共用している場合、入出力ポートと周辺機能出力のどちらを使用するかを選択するためのレジスタです(ただしDA0、DA1を除く)。1本の端子に周辺機能出力が複数割り付けられている場合、PSL0～PSL3、PSL5～PSL7、PSL9レジスタ、PSC、PSC2、PSC3、PSC6レジスタ、PSD1、PSD2レジスタ、PSE1、PSE2レジスタでどの機能を使用するかを選択してください。表25.3～表25.13に機能選択レジスタの設定により選択されるポートの周辺機能を示します。

25.4 機能選択レジスタB(PSLkレジスタ、k=0～3、5～7、9)

図25.12～図25.15にPSLkレジスタを示します。

PSLkレジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。PSL3レジスタのPSL3_3～PSL3_6ビットは「25.11 アナログ入力と他の周辺機能入力」を参照してください。

25.5 機能選択レジスタC(PSC、PSC2、PSC3、PSC6レジスタ)

図25.16、図25.17にPSC、PSC2、PSC3、PSC6レジスタを示します。

PSC、PSC2、PSC3、PSC6レジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

PSCレジスタのPSC_7ビットは「25.11 アナログ入力と他の周辺機能入力」を参照してください。

25.6 機能選択レジスタD(PSD1、PSD2レジスタ)

図25.18にPSD1、PSD2レジスタを示します。

PSD1、PSD2レジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

25.7 機能選択レジスタE(PSE1、PSE2レジスタ)

図25.19にPSE1、PSE2レジスタを示します。

PSE1、PSE2レジスタは端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

25.8 プルアップ制御レジスタ0～4(PUR0～PUR4レジスタ)

図25.20～図25.23にPUR0～PUR4レジスタを示します。

PUR0～PUR4レジスタによって、4端子ごとにプルアップするかしないかを設定できます。PUR0～PUR4レジスタのビットを“1”(プルアップする)、方向レジスタを“0”(入力モード)に設定したポートはプルアップされます。

メモリ拡張モード、マイクロプロセッサモード時、バスとして動作しているP0～P5のPUR0～PUR1レジスタのビットは“0”(プルアップしない)にしてください。なお、メモリ拡張モード、マイクロプロセッサモード時、P0、P1、P4_0～P4_3を入力ポートとして使用する場合、これらのポートはプルアップできます。

25.9 ポート制御レジスタ(PCRレジスタ)

図25.24にPCRレジスタを示します。

ポートP1の出力形式をCMOSとするかNチャンネルオープンドレインとするかを選択するレジスタです。PCR0ビットを“1”(Nチャンネルオープンドレイン出力)にした場合、CMOSポートのPチャンネルが常時OFFになるのでNチャンネルオープンドレインになります。ただし、ポートP1は完全なオープンドレインにはなりません。したがって、入力電圧の絶対最大定格は“ $-0.3V \sim VCC2 + 0.3V$ ”となります。

メモリ拡張モードやマイクロプロセッサモードでポートP1をデータバスに使用する場合は、PCR0ビットを“0”(CMOS出力)にしてください。メモリ拡張モードやマイクロプロセッサモードでポートP1をポートとして使用する場合は、PCR0ビットで出力形式を選択できます。

25.10 入力機能選択レジスタ(IPS、IPSA、IPSBレジスタ)

図25.24～図25.25にIPS、IPSA、IPSBレジスタを示します。

IPS、IPSAレジスタでインテリジェントI/OやCANの入力端子を選択します。IPSレジスタのIPS2ビットとIPSBレジスタは「25.11 アナログ入力と他の周辺機能入力」を参照してください。

25.11 アナログ入力と他の周辺機能入力

PSL3レジスタのPSL3_3～PSL3_6ビット、PSCレジスタのPSC_7ビット、IPSレジスタのIPS2ビット、IPSBレジスタは、アナログ入出力を他の周辺機能から切り離すためのビットです。他の周辺機能入力と端子を共用している場合、中間電位が端子にかかると貫通電流が流れることがあります。

アナログ入出力(DA0、DA1、ANEX0、ANEX1、AN_4～AN_7、AN15_0～AN15_7)を使用する場合、貫通電流を防止するため、対応するビットを“1”(アナログ入出力)にして、端子を共用している他の周辺機能入力を端子から切り離してください。

P9_3～P9_6ではPSL3_3～PSL3_6ビットを、P15_0～P15_7ではIPS2ビットまたはIPSBレジスタの対応するビットを、それぞれ“1”にすると、ポート以外の周辺機能入力バッファが切られます。P10_4～P10_7(AN_4～AN_7/ $\overline{KI0} \sim \overline{KI3}$)では、PSC_7ビットを“1”にすると、ポートを含む周辺機能入力バッファが切られるので、ポートの読み出し値は不定になります。また、 $\overline{KI0} \sim \overline{KI3}$ 端子の入力レベルが変化しても、KUPICレジスタのIRビットは“1”(割り込み要求あり)になりません。

アナログ入出力を使用しない場合は、対応するビットを“0”(アナログ入出力以外)にしてください。

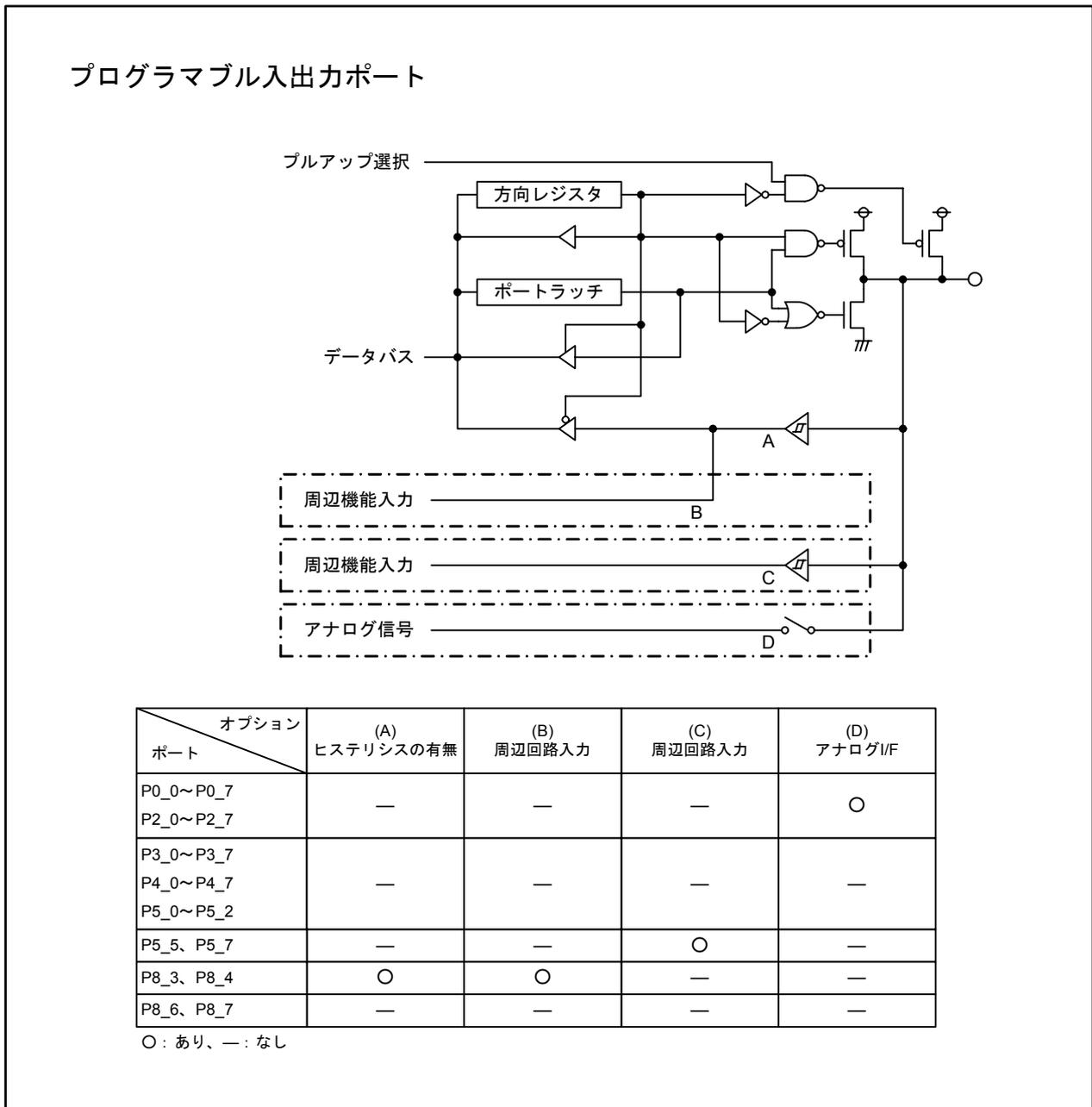
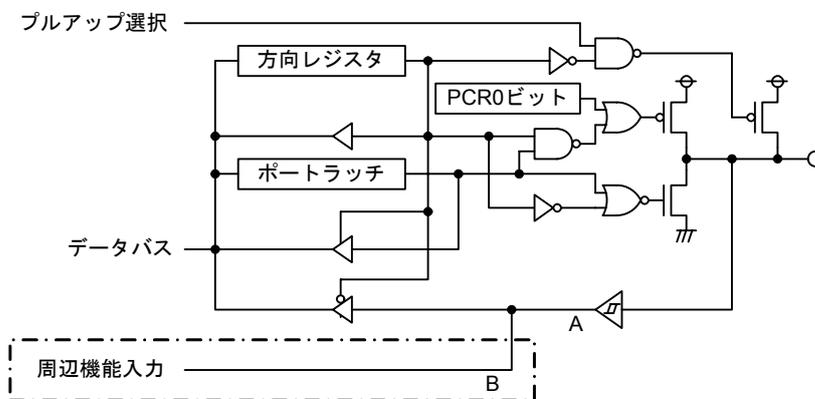


図25.1 プログラマブル入出力ポートの構成(1)

ポート制御レジスタ付きプログラマブル入出力ポート

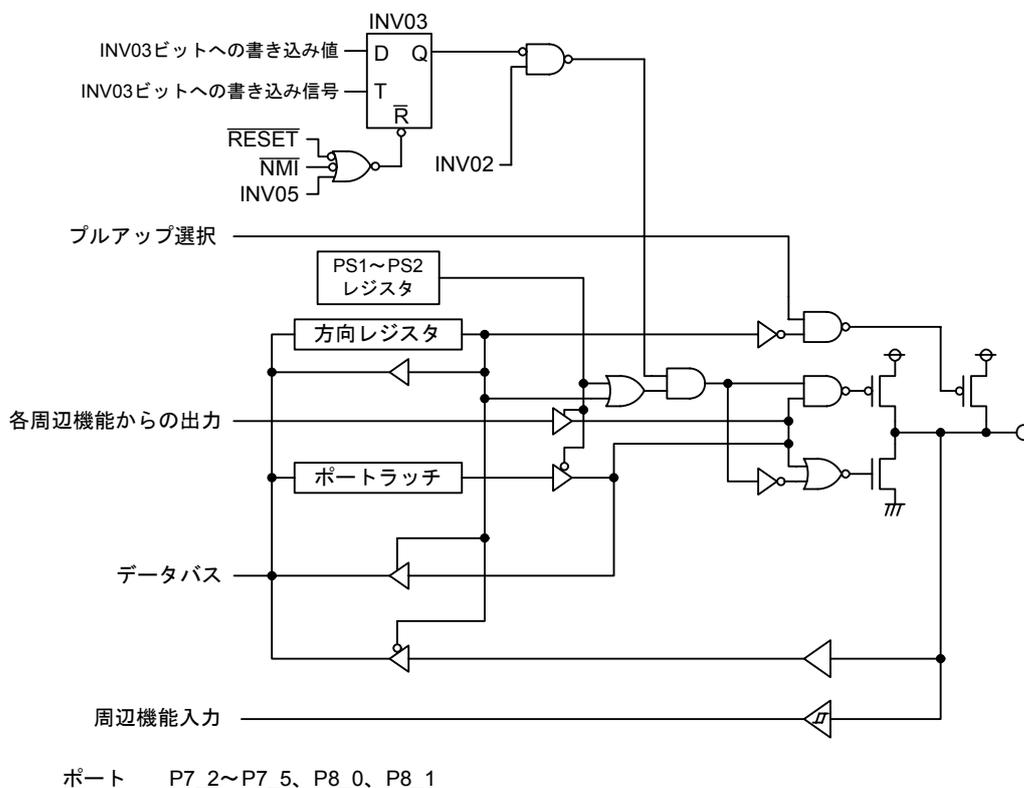


PCR0ビット: PCRレジスタのビット

ポート \ オプション	(A) ヒステリシスの有無	(B) 周辺回路入力
P1_0~P1_4	—	—
P1_5~P1_7	○	○

○: あり、—: なし

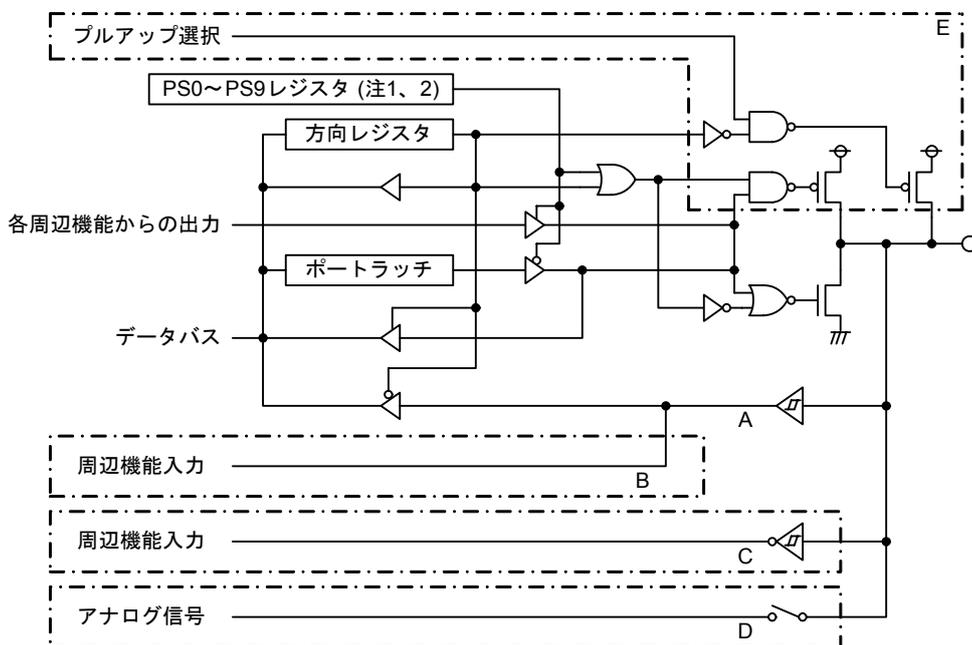
機能選択レジスタ付きプログラマブル入出力ポート



ポート P7_2~P7_5、P8_0、P8_1

図25.2 プログラマブル入出力ポートの構成(2)

機能選択レジスタ付きプログラマブル入出力ポート



オプション ポート	(A) ヒステリシスの有無	(B) 周辺回路入力	(C) 周辺回路入力	(D) アナログI/F	(E) 回路
P5_3(注1)	—	—	—	—	○
P5_4、P5_6(注2)	—	—	—	—	○
P6_0~P6_7	—	—	○	—	○
P7_0、P7_1(注3)	—	—	○	—	—
P7_6、P7_7	—	—	○	—	○
P8_2	○	○	—	—	○
P9_0~P9_2	—	—	○	—	○
P9_3~P9_6	—	—	○	○	○
P9_7	—	—	○	—	○
P10_0~P10_3	—	—	—	○	○
P10_4~P10_7	○	○	—	○	○
P11_0~P11_3	—	—	○	—	○
P11_4、P12_0	—	—	—	—	○
P12_1~P12_3	—	—	○	—	○
P12_4~P12_7	—	—	—	—	○
P13_0~P13_4	—	—	—	—	○
P13_5、P13_6	—	—	○	—	○
P13_7	—	—	—	—	○
P14_0~P14_3	—	—	○	—	○
P14_4~P14_6	○	○	—	—	○
P15_0	—	—	—	○	○
P15_1~P15_3	—	—	○	○	○
P15_4	—	—	—	○	○
P15_5~P15_7	—	—	○	○	○

(注4)

○：あり、—：なし
 注1. P5_3では、PM0レジスタのPM07ビット、PM1レジスタのPM15~PM14ビット、CM0レジスタのCM01~CM00ビットによりクロックまたはALE出力を選択してください。
 注2. P5_4、P5_6では、PM15~PM14ビットによりALE出力を選択してください。
 注3. P7_0、P7_1はNチャンネルオープンドレイン出力です。
 注4. 144ピン版のみあります。

図25.3 プログラマブル入出力ポートの構成(3)

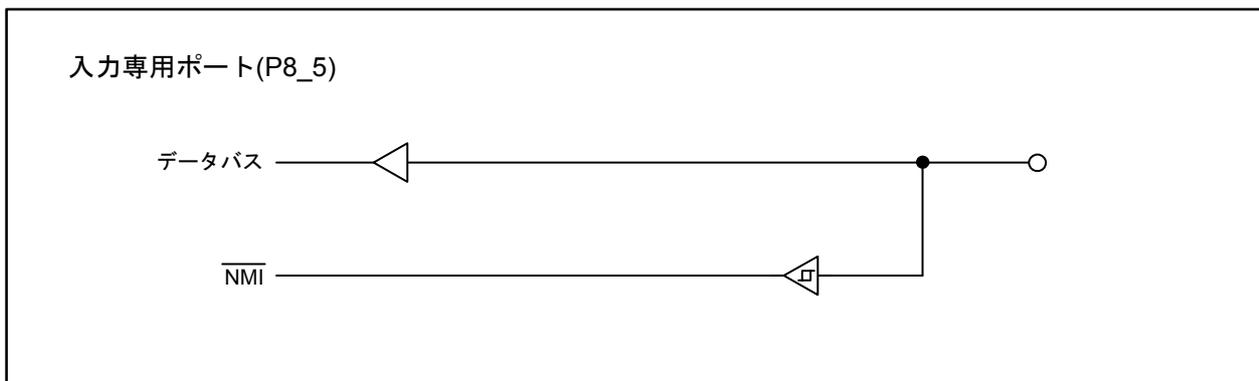


図25.4 プログラマブル入出力ポートの構成(4)

ポートPi方向レジスタ (i=0~15)(注2)

シンボル	アドレス	リセット後の値
PD0~PD3	03E2h、03E3h、03E6h、03E7h番地	00h
PD4~PD7	03EAh、03EBh、03C2h、03C3h番地	00h
PD8	03C6h番地(注4)	00X0 0000b
PD9~PD10	03C7h(注1)、03CAh番地	00h
PD11	03CBh番地(注3、4)	XX00 0000b
PD12~PD13	03CEh、03CFh番地(注3)	00h
PD14	03D2h番地(注3、4)	X000 0000b
PD15	03D3h番地(注3)	00h

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_1	ポートPi_1方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_2	ポートPi_2方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_3	ポートPi_3方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_4	ポートPi_4方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_5	ポートPi_5方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_6	ポートPi_6方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_7	ポートPi_7方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW

注1. PD9レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。PRC2ビットを“1”にする命令とPD9レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A22、A23、D0~D15、CS0~CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE/CLKOUT、HLDA/ALE、HOLD、ALE、RDY)になっている端子の方向レジスタへは書きません。

注3. 100ピン版ではPD11~PD15レジスタを“FFh”にしてください。

注4. PD8レジスタのPD8_5ビット、PD11レジスタのPD11_5~PD11_7ビット、PD14レジスタのPD14_7ビットには何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図25.5 PD0~PD15レジスタ

ポートPiレジスタ (i=0~15)(注1、2)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								P0~P5	03E0h、03E1h、03E4h、03E5h、03E8h、03E9h番地	不定
								P6~P10	03C0h、03C1h(注3)、03C4h(注4)、03C5h、03C8h番地	不定
								P11~P15	03C9h(注5)、03CCh、03CDh、03D0h(注5)、03D1h番地	不定

ビットシンボル	ビット名	機能	RW
Pi_0	ポートPi_0ビット	入力モード (ポート方向レジスタのPDI_jビット(j=0~7)が“0”) 読むと端子のレベルが読める 書くとポートラッチに書き込む	RW
Pi_1	ポートPi_1ビット		RW
Pi_2	ポートPi_2ビット	出力モード (ポート方向レジスタのPDI_jビットが“1”) 読むとポートラッチの値が読める 書くとポートラッチに書き込む ポートラッチの値が端子から出力される	RW
Pi_3	ポートPi_3ビット		RW
Pi_4	ポートPi_4ビット	0 : “L” レベル 1 : “H” レベル	RW
Pi_5	ポートPi_5ビット		RW
Pi_6	ポートPi_6ビット		RW
Pi_7	ポートPi_7ビット		RW

- 注1. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子 (A0~A22、A23、D0~D15、CS0~CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE/CLKOUT、HLDA/ALE、HOLD、ALE、RDY) になっている端子のポートレジスタへは書けません。
- 注2. P11~P15レジスタは144ピン版のみあります。
- 注3. P7_0、P7_1はNチャネルオープンドレイン出力のため“1”を設定すると端子の状態はハイインピーダンスとなります。
- 注4. P8_5レジスタは読み出しのみ。
- 注5. P11レジスタのP11_5~P11_7ビット、P14レジスタのP14_7ビットには何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図 25.6 P0~P15レジスタ

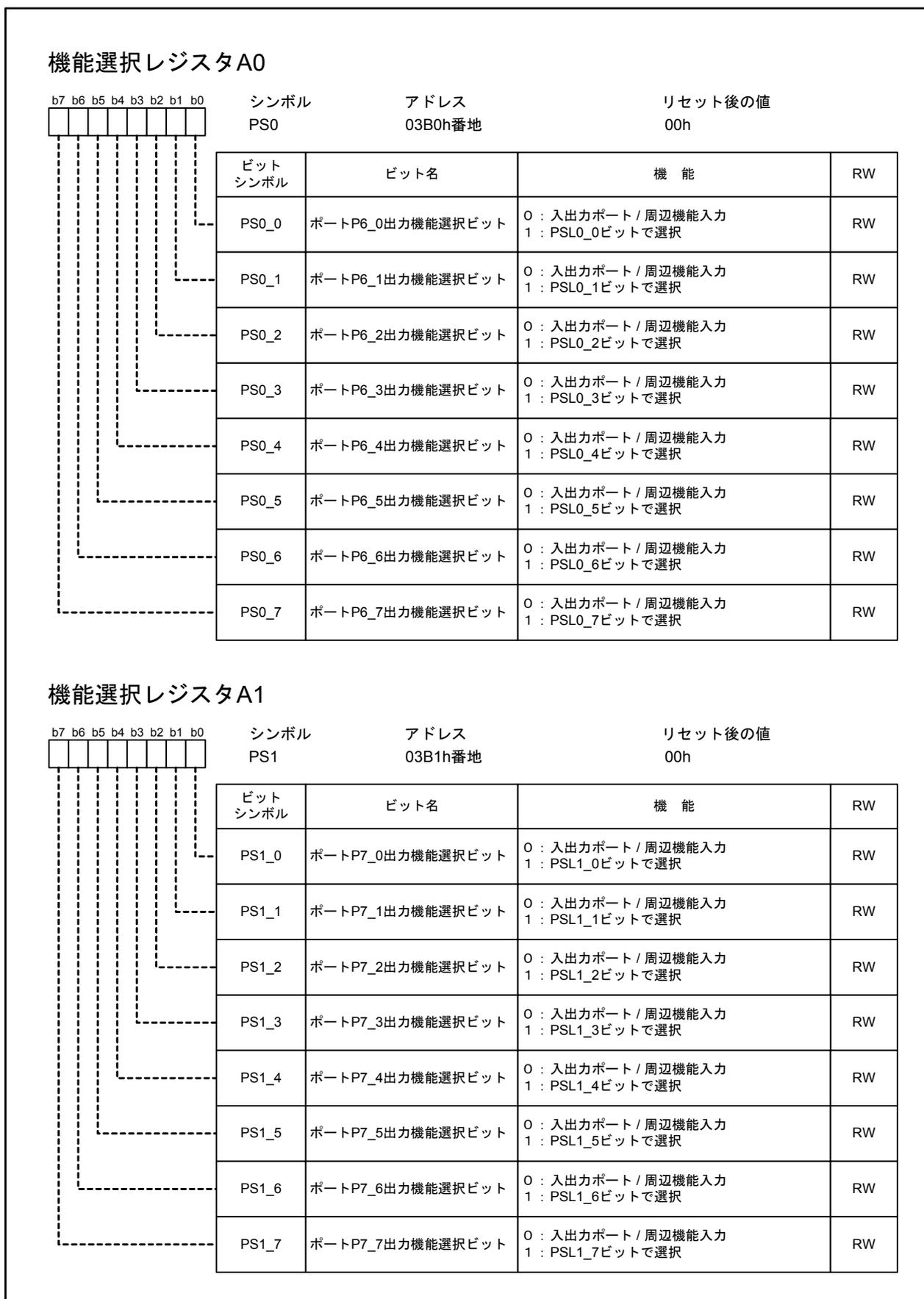
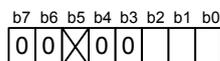


図25.7 PS0レジスタ、PS1レジスタ

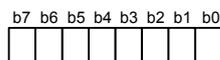
機能選択レジスタA2



シンボル PS2
 アドレス 03B4h番地
 リセット後の値 00X0 0000b

ビットシンボル	ビット名	機能	RW
PS2_0	ポートP8_0出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : PSL2_0ビットで選択	RW
PS2_1	ポートP8_1出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : PSL2_1ビットで選択	RW
PS2_2	ポートP8_2出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : PSL2_2ビットで選択	RW
— (b4-b3)	予約ビット	“0” にしてください。	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b7-b6)	予約ビット	“0” にしてください。	RW

機能選択レジスタA3 (注1)



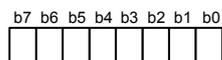
シンボル PS3
 アドレス 03B5h番地
 リセット後の値 00h

ビットシンボル	ビット名	機能	RW
PS3_0	ポートP9_0出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : PSL3_0ビットで選択	RW
PS3_1	ポートP9_1出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : PSL3_1ビットで選択	RW
PS3_2	ポートP9_2出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : PSL3_2ビットで選択	RW
PS3_3	ポートP9_3出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : RTS3	RW
PS3_4	ポートP9_4出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : RTS4	RW
PS3_5	ポートP9_5出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : CLK4出力	RW
PS3_6	ポートP9_6出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : PSC3_6ビットで選択	RW
PS3_7	ポートP9_7出力機能選択ビット	0 : 入力ポート / 周辺機能入力 1 : PSL3_7ビットで選択	RW

注1. PS3レジスタはPRCRレジスタのPRC2ビットを“1” (書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

図 25.8 PS2レジスタ、PS3レジスタ

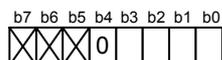
機能選択レジスタA4



シンボル PS4 アドレス 03B8h番地 リセット後の値 00h

ビットシンボル	ビット名	機能	RW
PS4_0	ポートP10_0出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTP1_0	RW
PS4_1	ポートP10_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTP1_1	RW
PS4_2	ポートP10_2出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTP1_2	RW
PS4_3	ポートP10_3出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTP1_3	RW
PS4_4	ポートP10_4出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTP3_0	RW
PS4_5	ポートP10_5出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTP3_1	RW
PS4_6	ポートP10_6出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTP3_2	RW
PS4_7	ポートP10_7出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTP3_3	RW

機能選択レジスタA5 (注1)



シンボル PS5 アドレス 03B9h番地 リセット後の値 XXX0 0000b

ビットシンボル	ビット名	機能	RW
PS5_0	ポートP11_0出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL5_0ビットで選択	RW
PS5_1	ポートP11_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL5_1ビットで選択	RW
PS5_2	ポートP11_2出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL5_2ビットで選択	RW
PS5_3	ポートP11_3出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL5_3ビットで選択	RW
— (b4)	予約ビット	“0” にしてください。	RW
— (b7-b5)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		—

注1. PS5レジスタは144ピン版のみあります。

図 25.9 PS4 レジスタ、PS5 レジスタ

機能選択レジスタA6 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0				PS6	03BCh番地	00h
ビットシンボル	ビット名	機能	RW							
PS6_0	ポートP12_0出力機能選択ビット	0 : 入出力ポート 1 : PSL6_0ビットで選択	RW							
PS6_1	ポートP12_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL6_1ビットで選択	RW							
— (b2)	予約ビット	“0” にしてください。	RW							
PS6_3	ポートP12_3出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL6_3ビットで選択	RW							
— (b7-b4)	予約ビット	“0” にしてください。	RW							

注1. PS6レジスタは144ピン版のみあります。

機能選択レジスタA7 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								PS7	03BDh番地	00h
ビットシンボル	ビット名	機能	RW							
PS7_0	ポートP13_0出力機能選択ビット	0 : 入出力ポート 1 : PSL7_0ビットで選択	RW							
PS7_1	ポートP13_1出力機能選択ビット	0 : 入出力ポート 1 : PSL7_1ビットで選択	RW							
PS7_2	ポートP13_2出力機能選択ビット	0 : 入出力ポート 1 : PSL7_2ビットで選択	RW							
PS7_3	ポートP13_3出力機能選択ビット	0 : 入出力ポート 1 : PSL7_3ビットで選択	RW							
PS7_4	ポートP13_4出力機能選択ビット	0 : 入出力ポート 1 : PSL7_4ビットで選択	RW							
PS7_5	ポートP13_5出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL7_5ビットで選択	RW							
PS7_6	ポートP13_6出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL7_6ビットで選択	RW							
PS7_7	ポートP13_7出力機能選択ビット	0 : 入出力ポート 1 : PSL7_7ビットで選択	RW							

注1. PS7レジスタは144ピン版のみあります。

図25.10 PS6レジスタ、PS7レジスタ

機能選択レジスタA8 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0					PS8	03A0h番地	X000 0000b
ビットシンボル	ビット名	機能	RW							
PS8_0	ポートP14_0出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : OUTC1_4	RW							
PS8_1	ポートP14_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : OUTC1_5	RW							
PS8_2	ポートP14_2出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : OUTC1_6	RW							
PS8_3	ポートP14_3出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : OUTC1_7	RW							
— (b6-b4)	予約ビット	“0” にしてください。	RW							
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—							

注1. PS8レジスタは144ピン版のみあります。

機能選択レジスタA9 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
		0	0					PS9	03A1h番地	00h
ビットシンボル	ビット名	機能	RW							
PS9_0	ポートP15_0出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL9_0ビットで選択	RW							
PS9_1	ポートP15_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL9_1ビットで選択	RW							
— (b2)	予約ビット	“0” にしてください。	RW							
PS9_3	ポートP15_3出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTS5	RW							
PS9_4	ポートP15_4出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL9_4ビットで選択	RW							
— (b5)	予約ビット	“0” にしてください。	RW							
PS9_6	ポートP15_6出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : CLK6出力	RW							
PS9_7	ポートP15_7出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTS6	RW							

注1. PS9レジスタは144ピン版のみあります。

図 25.11 PS8レジスタ、PS9レジスタ

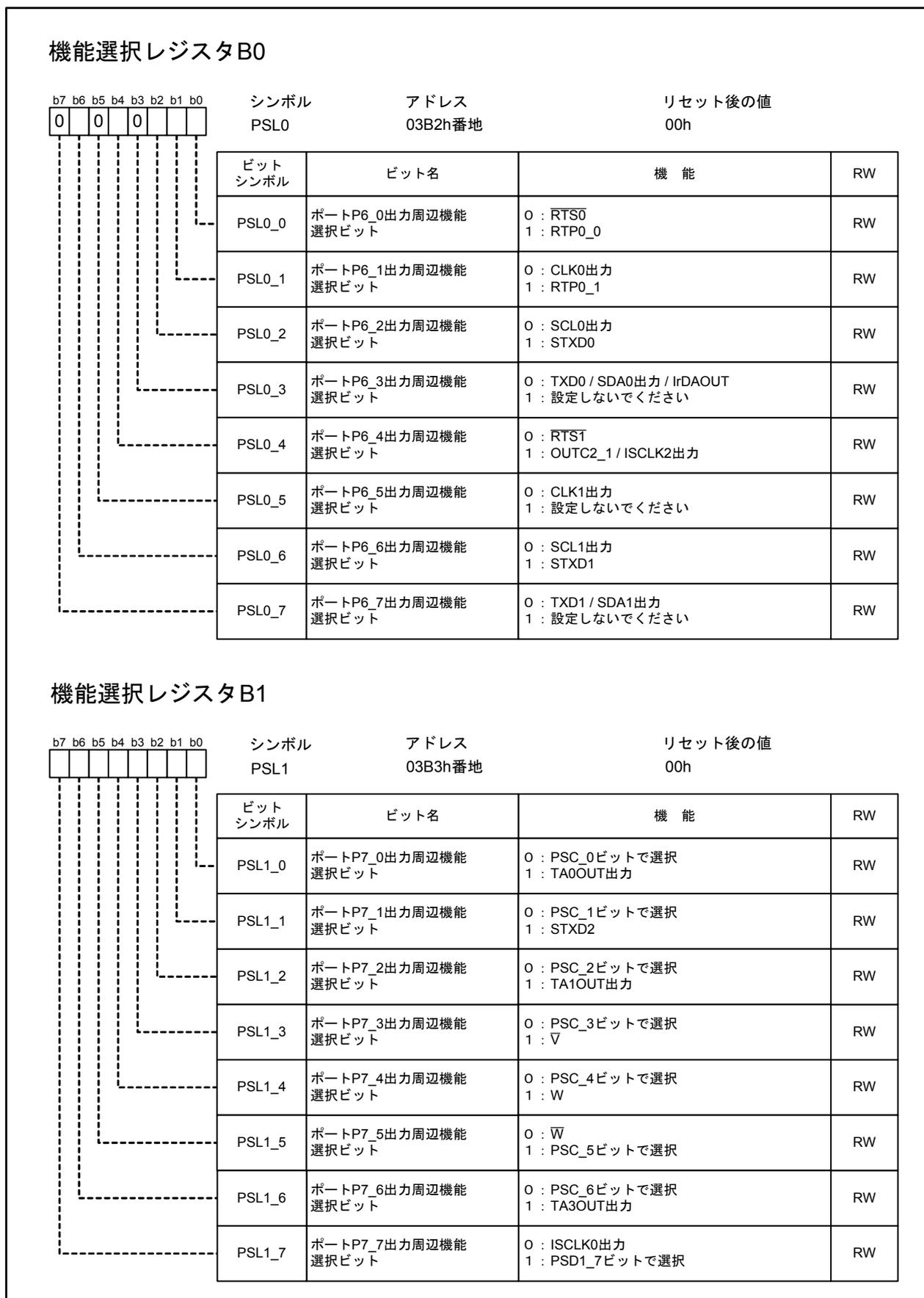
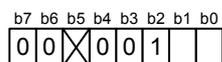


図25.12 PSL0レジスタ、PSL1レジスタ

機能選択レジスタB2



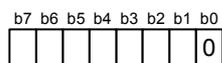
シンボル
PSL2

アドレス
03B6h番地

リセット後の値
00X0 0000b

ビットシンボル	ビット名	機能	RW
PSL2_0	ポートP8_0出力周辺機能選択ビット	0 : TA4OUT出力 1 : U	RW
PSL2_1	ポートP8_1出力周辺機能選択ビット	0 : U 1 : PSC2_1ビットで選択	RW
PSL2_2	ポートP8_2出力周辺機能選択ビット	0 : 設定しないでください 1 : PSC2_2ビットで選択	RW
— (b4-b3)	予約ビット	“0” にしてください	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b7-b6)	予約ビット	“0” にしてください。	RW

機能選択レジスタB3



シンボル
PSL3

アドレス
03B7h番地

リセット後の値
00h

ビットシンボル	ビット名	機能	RW
PSL3_0	ポートP9_0出力周辺機能選択ビット	0 : CLK3出力 1 : 設定しないでください	RW
PSL3_1	ポートP9_1出力周辺機能選択ビット	0 : SCL3出力 1 : STXD3	RW
PSL3_2	ポートP9_2出力周辺機能選択ビット	0 : TXD3 / SDA3出力 1 : OUTC2_0 / ISTXD2 / IEOUT	RW
PSL3_3	ポートP9_3入出力周辺機能選択ビット(注1)	0 : 周辺機能入力を使用する場合 1 : DA0を使用する場合	RW
PSL3_4	ポートP9_4入出力周辺機能選択ビット(注1)	0 : 周辺機能入力を使用する場合 1 : DA1を使用する場合	RW
PSL3_5	ポートP9_5入力周辺機能選択ビット(注1)	0 : ANEX0以外の周辺機能入力を使用する場合 1 : ANEX0を使用する場合	RW
PSL3_6	ポートP9_6入力周辺機能選択ビット(注1)	0 : ANEX1以外の周辺機能入力を使用する場合 1 : ANEX1を使用する場合	RW
PSL3_7	ポートP9_7出力周辺機能選択ビット	0 : SCL4出力 1 : STXD4	RW

注1. PSL3_iビット(i=3~6)を“0”にしてDA0、DA1、ANEX0、ANEX1を使用すると、電源電流が増加する場合があります。

図25.13 PSL2レジスタ、PSL3レジスタ

機能選択レジスタB5 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
×	×	×	0	0	0	0	0	PSL5	03BBh番地	XXX0 0000b
ビットシンボル	ビット名	機能	RW							
PSL5_0	ポートP11_0出力周辺機能選択ビット	0 : OUTC1_0 / ISTXD1 1 : 設定しないでください	RW							
PSL5_1	ポートP11_1出力周辺機能選択ビット	0 : OUTC1_1 / ISCLK1出力 1 : 設定しないでください	RW							
PSL5_2	ポートP11_2出力周辺機能選択ビット	0 : OUTC1_2 1 : 設定しないでください	RW							
PSL5_3	ポートP11_3出力周辺機能選択ビット	0 : OUTC1_3 1 : 設定しないでください	RW							
— (b4)	予約ビット	“0” にしてください。	RW							
— (b7-b5)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		—							

注1. PSL5レジスタは144ピン版のみあります。

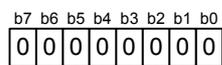
機能選択レジスタB6 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	0	PSL6	03BEh番地	00h
ビットシンボル	ビット名	機能	RW							
PSL6_0	ポートP12_0出力周辺機能選択ビット	0 : PSC6_0ビットで選択 1 : 設定しないでください	RW							
PSL6_1	ポートP12_1出力周辺機能選択ビット	0 : PSC6_1ビットで選択 1 : 設定しないでください	RW							
— (b2)	予約ビット	“0” にしてください。	RW							
PSL6_3	ポートP12_3出力周辺機能選択ビット	0 : PSC6_3ビットで選択 1 : 設定しないでください	RW							
— (b7-b4)	予約ビット	“0” にしてください。	RW							

注1. PSL6レジスタは144ピン版のみあります。

図 25.14 PSL5レジスタ、PSL6レジスタ

機能選択レジスタB7 (注1)

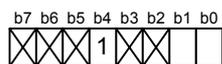


シンボル アドレス リセット後の値
 PSL7 03BFh番地 00h

ビットシンボル	ビット名	機能	RW
PSL7_0	ポートP13_0出力周辺機能選択ビット	0 : OUTC2_4 1 : 設定しないでください	RW
PSL7_1	ポートP13_1出力周辺機能選択ビット	0 : OUTC2_5 1 : 設定しないでください	RW
PSL7_2	ポートP13_2出力周辺機能選択ビット	0 : OUTC2_6 1 : 設定しないでください	RW
PSL7_3	ポートP13_3出力周辺機能選択ビット	0 : OUTC2_3 1 : 設定しないでください	RW
PSL7_4	ポートP13_4出力周辺機能選択ビット	0 : OUTC2_0 / ISTXD2 / IEOUT 1 : 設定しないでください	RW
PSL7_5	ポートP13_5出力周辺機能選択ビット	0 : OUTC2_2 1 : 設定しないでください	RW
PSL7_6	ポートP13_6出力周辺機能選択ビット	0 : OUTC2_1 / ISCLK2出力 1 : 設定しないでください	RW
PSL7_7	ポートP13_7出力周辺機能選択ビット	0 : OUTC2_7 1 : 設定しないでください	RW

注1. PSL7レジスタは144ピン版のみあります。

機能選択レジスタB9 (注1)



シンボル アドレス リセット後の値
 PSL9 03A3h番地 XXX0 XX00b

ビットシンボル	ビット名	機能	RW
PSL9_0	ポートP15_0出力周辺機能選択ビット	0 : ISTXD0 1 : TXD5	RW
PSL9_1	ポートP15_1出力周辺機能選択ビット	0 : ISCLK0出力 1 : CLK5出力	RW
— (b3-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PSL9_4	ポートP15_4出力周辺機能選択ビット	0 : 設定しないでください 1 : TXD6	RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. PSL9レジスタは144ピン版のみあります。

図25.15 PSL7レジスタ、PSL9レジスタ

機能選択レジスタC

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	PSC	03AFh番地	00h
ビットシンボル	ビット名		機能	RW						
PSC_0	ポートP7_0出力周辺機能選択ビット		0 : TXD2 / SDA2出力 1 : PSD1_0ビットで選択	RW						
PSC_1	ポートP7_1出力周辺機能選択ビット		0 : SCL2出力 1 : PSD1_1ビットで選択	RW						
PSC_2	ポートP7_2出力周辺機能選択ビット		0 : CLK2出力 1 : V	RW						
PSC_3	ポートP7_3出力周辺機能選択ビット		0 : $\overline{RTS2}$ 1 : OUTC1_0 / ISTXD1	RW						
PSC_4	ポートP7_4出力周辺機能選択ビット		0 : TA2OUT出力 1 : PSD1_4ビットで選択	RW						
PSC_5	ポートP7_5出力周辺機能選択ビット		0 : OUTC1_2 1 : RTP2_1	RW						
PSC_6	ポートP7_6出力周辺機能選択ビット		0 : PSD1_6ビットで選択 1 : CAN0OUT(注1)	RW						
PSC_7	ポートP10_4~P10_7入力周辺機能選択ビット		0 : P10_4~P10_7またはKI0~KI3 1 : AN_4~AN_7(注2)	RW						

注1. M32C/87Bでは“0”にしてください。
 注2. PSC_7ビットを変更する際は、KUPICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にしてください。
 PSC_7ビットを“0”にしてAN_4~AN_7を使用すると、電源電流が増加する場合があります。

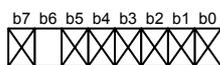
機能選択レジスタC2

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	PSC2	03ACh番地	XXXX X00Xb
ビットシンボル	ビット名		機能	RW						
— (b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			—						
PSC2_1	ポートP8_1出力周辺機能選択ビット		0 : 設定しないでください 1 : PSD2_1ビットで選択	RW						
PSC2_2	ポートP8_2出力周辺機能選択ビット		0 : CAN0OUT 1 : CAN1OUT(注1)	RW						
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			—						

注1. M32C/87Aでは“0”にしてください。
 M32C/87Bでは、PSC2_2ビットは設定しないでください。書く場合、“0”を書いてください。

図25.16 PSCレジスタ、PSC2レジスタ

機能選択レジスタC3

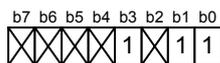


シンボル アドレス リセット後の値
 PSC3 03ADh番地 X0XX XXXXb

ビットシンボル	ビット名	機能	RW
— (b5-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PSC3_6	ポートP9_6出力周辺機能選択ビット	0 : TXD4 / SDA4出力 1 : CAN1OUT(注1)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. M32C/87A、M32C/87Bでは、“0”にしてください。

機能選択レジスタC6 (注1)



シンボル アドレス リセット後の値
 PSC6 03AAh番地 XXXX 0X00b

ビットシンボル	ビット名	機能	RW
PSC6_0	ポートP12_0出力周辺機能選択ビット	0 : 設定しないでください 1 : TXD6	RW
PSC6_1	ポートP12_1出力周辺機能選択ビット	0 : 設定しないでください 1 : CLK6出力	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PSC6_3	ポートP12_3出力周辺機能選択ビット	0 : 設定しないでください 1 : RTS6	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. PSC6レジスタは144ピン版のみあります。

図25.17 PSC3レジスタ、PSC6レジスタ

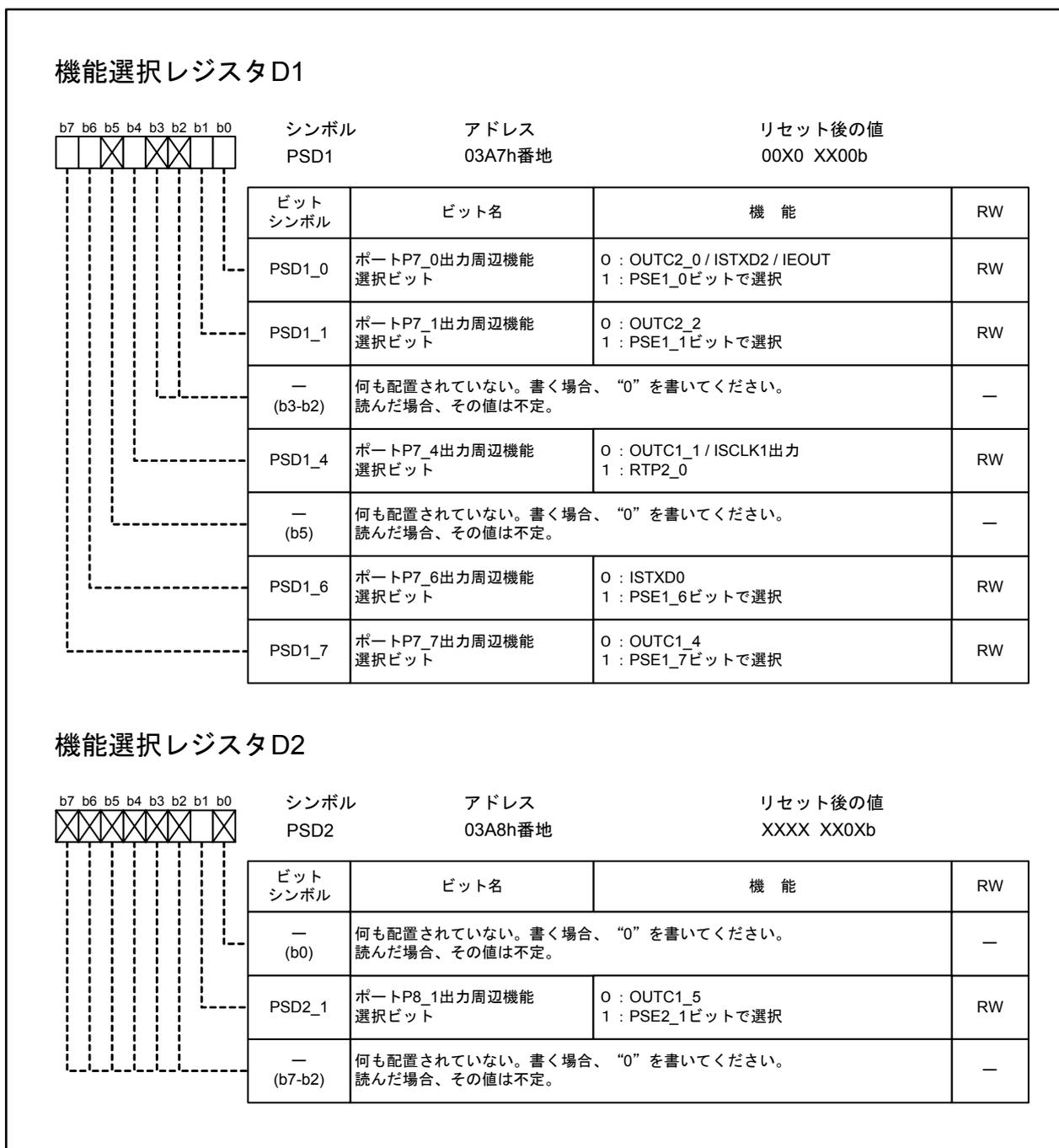


図25.18 PSD1レジスタ、PSD2レジスタ

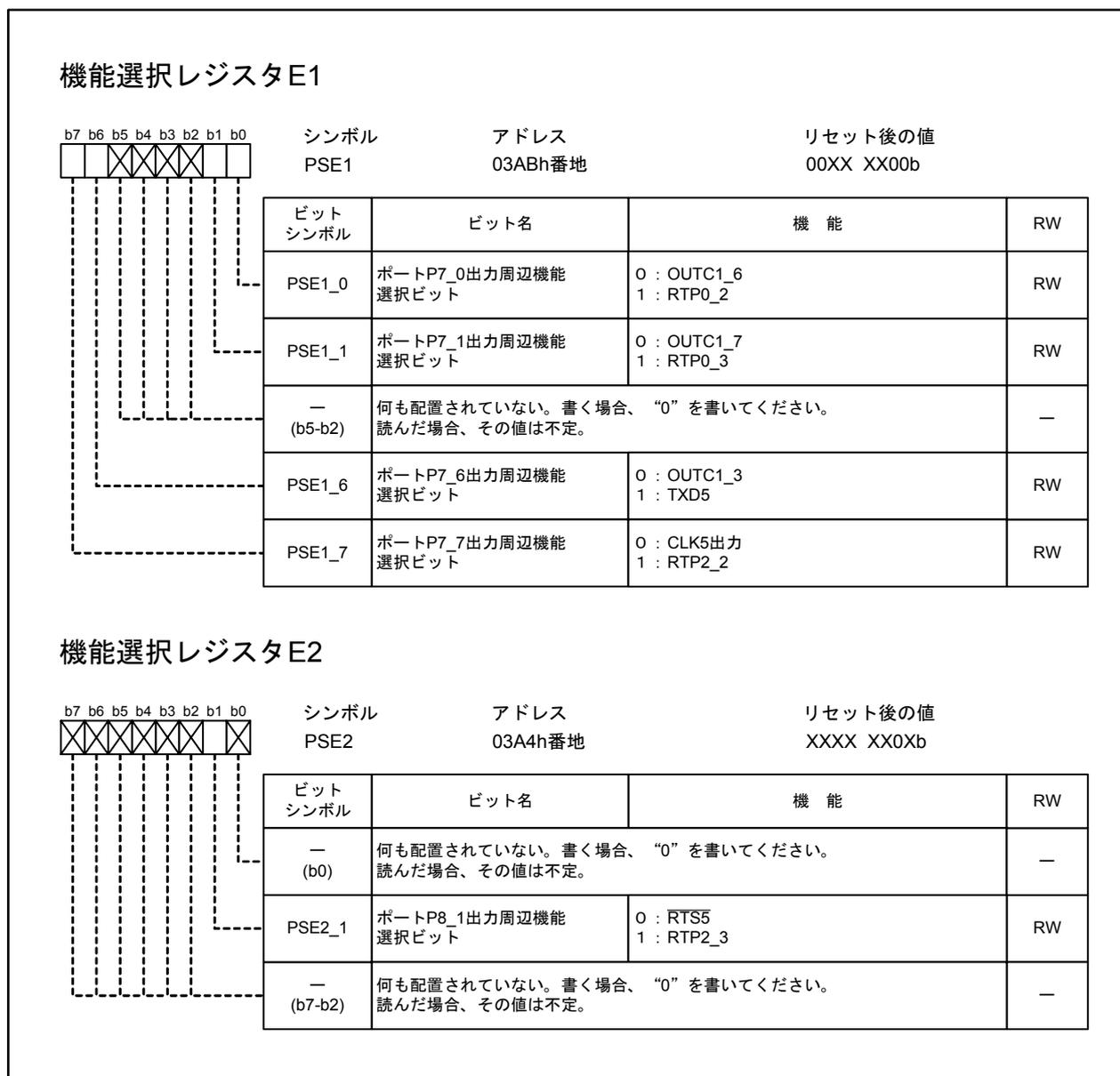


図 25.19 PSE1レジスタ、PSE2レジスタ

プルアップ制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR0	アドレス 03F0h番地	リセット後の値 00h	
	ビット シンボル	ビット名	機 能	RW
	PU00	P0_0~P0_3のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW
	PU01	P0_4~P0_7のプルアップ		RW
	PU02	P1_0~P1_3のプルアップ		RW
	PU03	P1_4~P1_7のプルアップ		RW
	PU04	P2_0~P2_3のプルアップ		RW
	PU05	P2_4~P2_7のプルアップ		RW
	PU06	P3_0~P3_3のプルアップ		RW
	PU07	P3_4~P3_7のプルアップ		RW

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0~P5はバス制御端子として動作しますので、PUR0レジスタの各ビットを“0”にしてください。ただし入出力ポートとして使用する場合は、プルアップするかしないかを選択できます。

プルアップ制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR1	アドレス 03F1h番地	リセット後の値 XXXX 0000b	
	ビット シンボル	ビット名	機 能	RW
	PU10	P4_0~P4_3のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW
	PU11	P4_4~P4_7のプルアップ		RW
	PU12	P5_0~P5_3のプルアップ		RW
	PU13	P5_4~P5_7のプルアップ		RW
	— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0~P5はバス制御端子として動作しますので、PUR1レジスタの各ビットを“0”にしてください。ただし入出力ポートとして使用する場合は、プルアップするかしないかを選択できます。

図 25.20 PUR0 レジスタ、PUR1 レジスタ

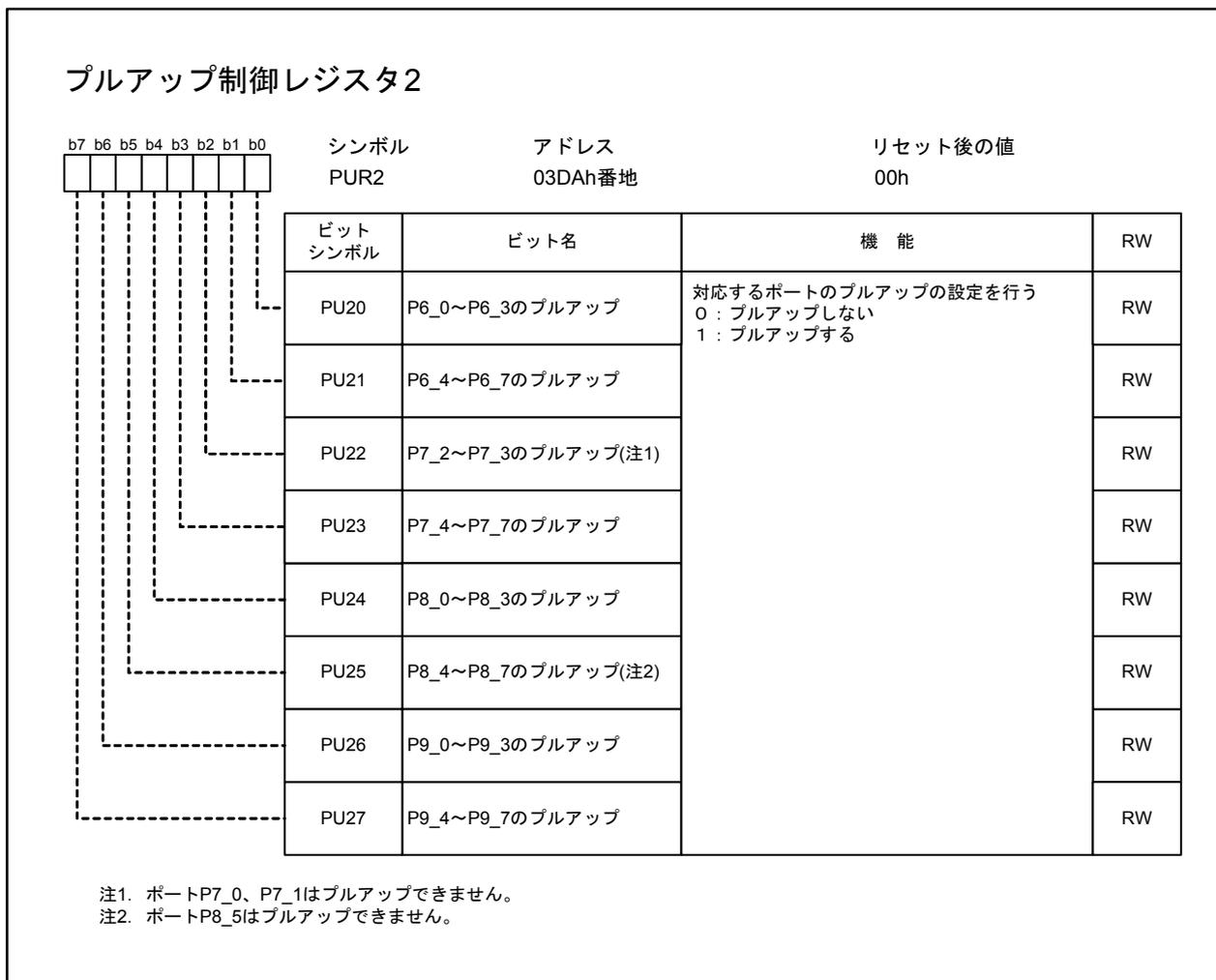


図25.21 PUR2レジスタ

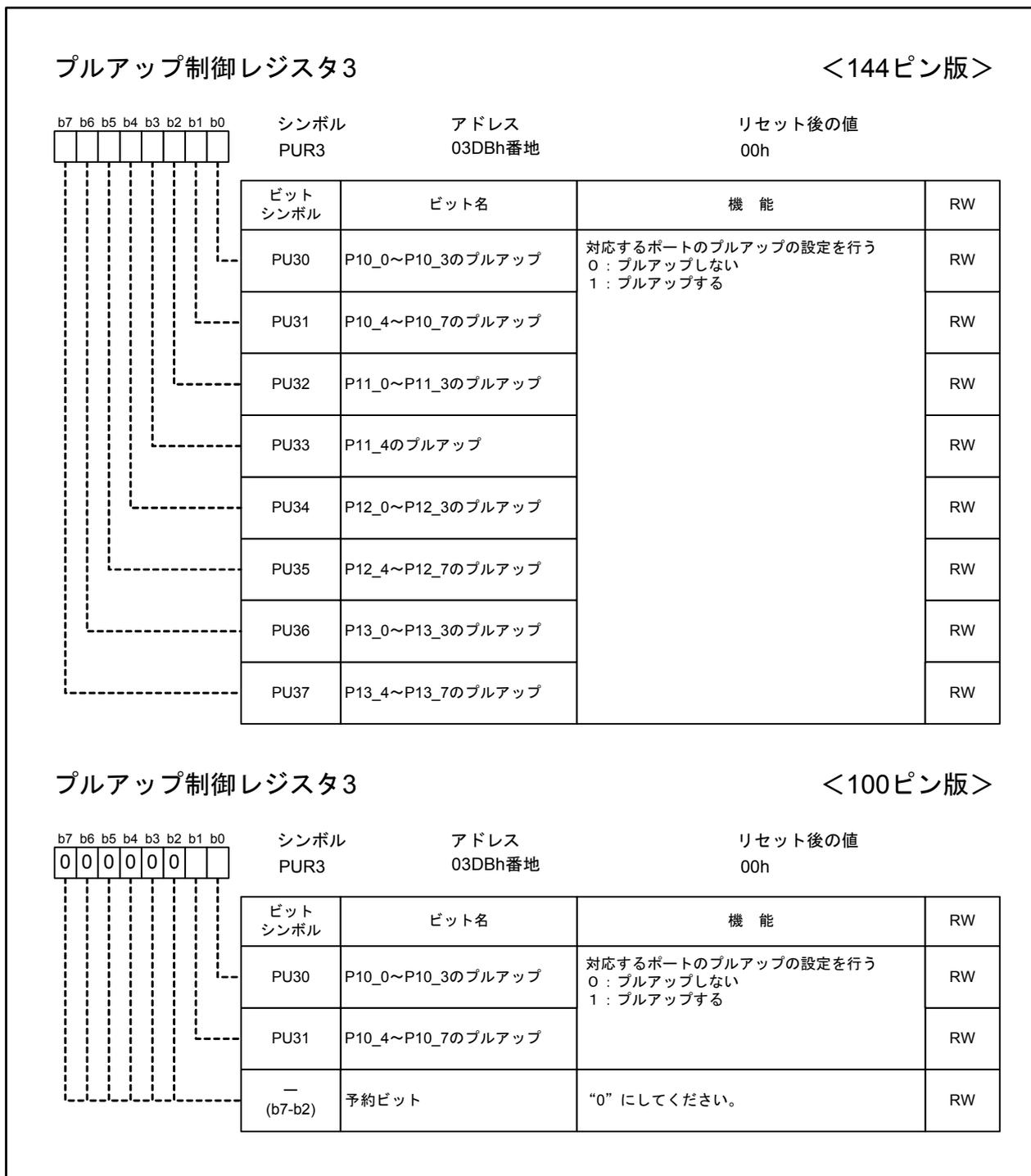


図 25.22 PUR3 レジスタ

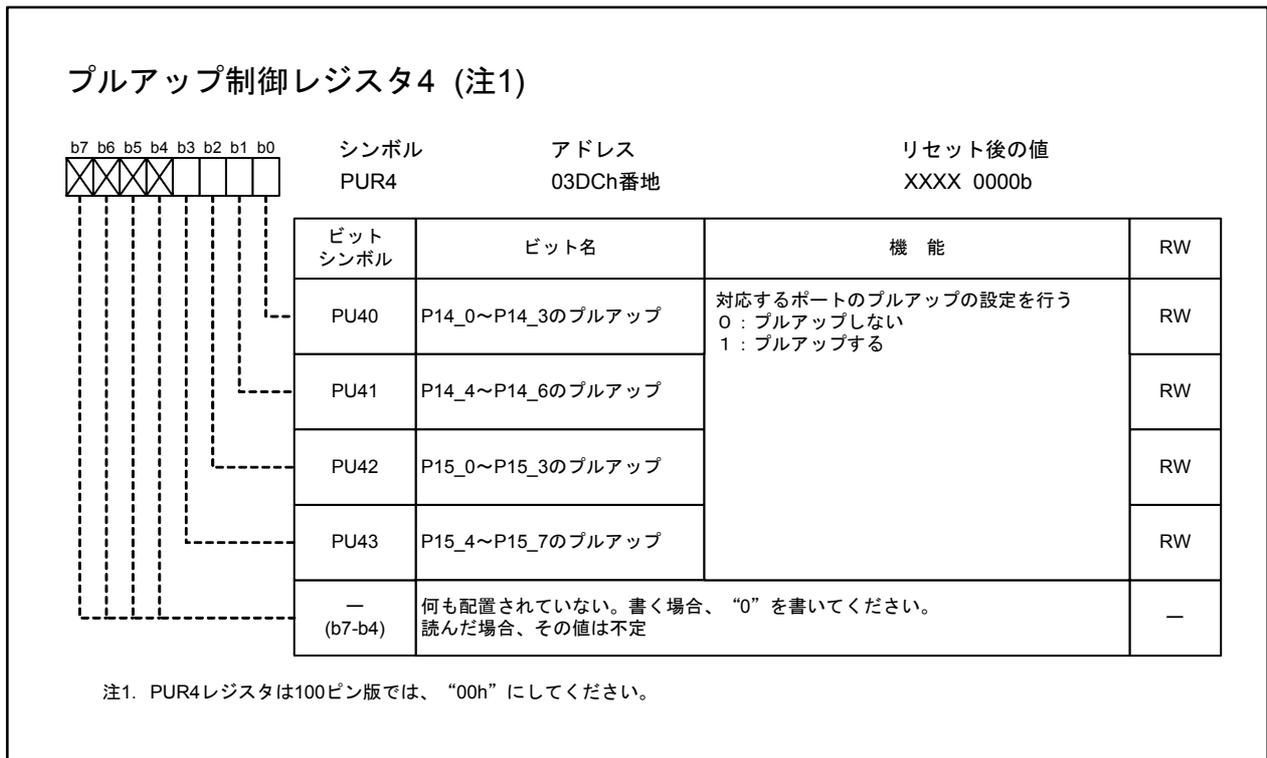
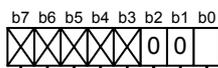


図25.23 PUR4レジスタ

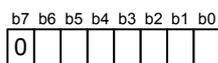
ポート制御レジスタ



ビットシンボル	ビット名	機能	RW
PCR	アドレス	リセット後の値	
	03FFh番地	XXXX X000b	
PCR0	ポートP1制御ビット(注1)	0 : CMOS出力 1 : Nチャネルオープンドレイン出力(注2)	RW
— (b2-b1)	予約ビット	“0” にしてください。	RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

- 注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP1はデータバスとして動作しますので、PCR0ビットを“0”にしてください。ただし設定により入出力ポートとして使用する場合は、CMOS出力かNチャネルオープンドレイン出力かを選択できます。
- 注2. 本機能は、CMOSポートのPチャネルを常時オフするものであり、ポートP1を完全にオープンドレインにする機能ではありません。したがって、入力電圧の絶対最大定格は-0.3V~VCC2+0.3Vとなります。

入力機能選択レジスタ



ビットシンボル	ビット名	機能	RW
IPS	アドレス	リセット後の値	
	0178h番地	00h	
IPS0	グループ0 入力端子選択ビット0	ISCLK0、ISRXD0の各機能を次のポートに割り当てる 0 : P7_7、P8_0 1 : P15_1、P15_2	RW
IPS1	グループ1 入力端子選択ビット1	INPC1_0、INPC1_1/ISCLK1、INPC1_2/ISRXD1、INPC1_3、INPC1_4、INPC1_5、INPC1_6、INPC1_7の各機能を次のポートに割り当てる 0 : P7_3、P7_4、P7_5、P7_6、P7_7、P8_1、P7_0、P7_1 1 : P11_0、P11_1、P11_2、P11_3、P14_0、P14_1、P14_2、P14_3	RW
IPS2	ポートP15入力周辺機能選択ビット(注1)	0 : AN15以外 1 : AN15	RW
IPS3	CAN0IN機能端子選択ビット	0 : P7_7 1 : P8_3	RW
IPS4	ISRXD2 / IEIN機能端子 選択ビット	b5 b4 0 0 : P7_1 0 1 : P9_1 1 0 : P13_5 1 1 : 設定しないでください	RW
IPS5			
IPS6	ISCLK2機能端子選択ビット	0 : P6_4 1 : P13_6	RW
— (b7)	予約ビット	“0” にしてください。	RW

- 注1. IPS2ビットを“0”にしてAN15_0~AN15_7を使用すると、電源電流が増加する場合があります。

図25.24 PCRレジスタ、IPSレジスタ

入力機能選択レジスタA

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	0	IPSA	0179h番地	00h
ビット シンボル	ビット名		機能	RW						
IPSA_0	インテリジェントI/O二相パルス 入力端子切り替えビット		0 : P8_0、P8_1、INT1 1 : P7_6、P7_7、INT0	RW						
— (b2-b1)	予約ビット		“0” にしてください	RW						
IPSA_3	CAN1IN機能端子選択ビット		0 : P9_5 1 : P8_3(注1)	RW						
— (b7-b4)	予約ビット		“0” にしてください	RW						

注1. M32C/87A、M32C/87BではIPSA_3ビットは設定しないでください。書く場合、“0”を書いてください。

入力機能選択レジスタB (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								IPSB	0177h番地	00h
ビット シンボル	ビット名		機能	RW						
IPSB_0	P15_0入力周辺機能選択ビット		0 : AN15_0以外(注2) 1 : AN15_0	RW						
IPSB_1	P15_1入力周辺機能選択ビット		0 : AN15_1以外(注2) 1 : AN15_1	RW						
IPSB_2	P15_2入力周辺機能選択ビット		0 : AN15_2以外(注2) 1 : AN15_2	RW						
IPSB_3	P15_3入力周辺機能選択ビット		0 : AN15_3以外(注2) 1 : AN15_3	RW						
IPSB_4	P15_4入力周辺機能選択ビット		0 : AN15_4以外(注2) 1 : AN15_4	RW						
IPSB_5	P15_5入力周辺機能選択ビット		0 : AN15_5以外(注2) 1 : AN15_5	RW						
IPSB_6	P15_6入力周辺機能選択ビット		0 : AN15_6以外(注2) 1 : AN15_6	RW						
IPSB_7	P15_7入力周辺機能選択ビット		0 : AN15_7以外(注2) 1 : AN15_7	RW						

注1. IPSBレジスタはIPSレジスタのIPS2ビットが“0”(AN15以外)のとき有効です。
 注2. IPSB_0~IPSB_7ビットを“0”にしてAN15_0~AN15_7を使用すると、電源電流が増加する場合があります。

図25.25 IPSA レジスタ、IPSB レジスタ

表 25.1 シングルチップモードの未使用端子の処理例

端子名	処理内容
ポートP0~P15 (P8_5は除く)(注1)	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT (注2)	開放
NMI (P8_5)	抵抗を介してVCC1に接続(プルアップ)
VREF	VSSに接続

注1. ポートP11~P15は144ピン版のみあります。
 注2. XIN端子に外部クロックを入力している場合。

表 25.2 メモリ拡張モード、マイクロプロセッサモードの未使用端子の処理例

端子名	処理内容
ポートP1、P6~P15 (P8_5は除く)(注1)	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放
BHE、ALE、HLDA、XOUT(注2)、BCLK	開放
HOLD、RDY	抵抗を介してVCC2に接続(プルアップ)
NMI (P8_5)	抵抗を介してVCC1に接続(プルアップ)
VREF	VSSに接続

注1. ポートP11~P15は144ピン版のみあります。
 注2. XIN端子に外部クロックを入力している場合。

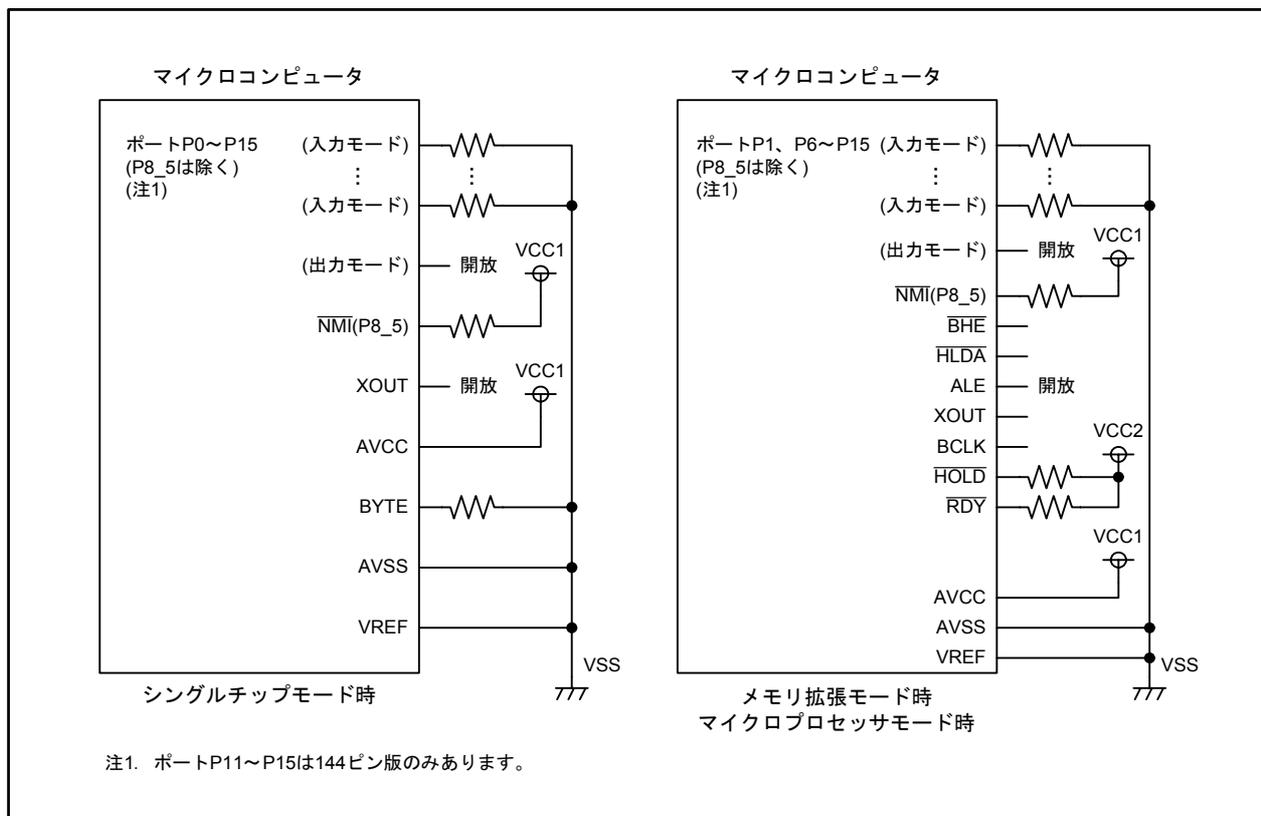


図 25.26 未使用端子の処理例

表 25.3 ポートP6周辺機能出力制御

	PS0レジスタ	PSL0レジスタ
ビット0	0: P6_0 / $\overline{\text{CTS0}}$ / $\overline{\text{SS0}}$ 1: PSL0_0ビットで選択	0: $\overline{\text{RTS0}}$ 1: RTP0_0
ビット1	0: P6_1 / CLK0入力 1: PSL0_1ビットで選択	0: CLK0出力 1: RTP0_1
ビット2	0: P6_2 / RXD0 / SCL0入力 / IrDAIN 1: PSL0_2ビットで選択	0: SCL0出力 1: STXD0
ビット3	0: P6_3 / SRXD0 / SDA0入力 1: PSL0_3ビットで選択	0: TXD0 / SDA0出力 / IrDAOUT 1: 設定しないでください
ビット4	0: P6_4 / $\overline{\text{CTS1}}$ / $\overline{\text{SS1}}$ / ISCLK2入力 1: PSL0_4ビットで選択	0: $\overline{\text{RTS1}}$ 1: OUTC2_1 / ISCLK2出力
ビット5	0: P6_5 / CLK1入力 1: PSL0_5ビットで選択	0: CLK1出力 1: 設定しないでください
ビット6	0: P6_6 / RXD1 / SCL1入力 1: PSL0_6ビットで選択	0: SCL1出力 1: STXD1
ビット7	0: P6_7 / SRXD1 / SDA1入力 1: PSL0_7ビットで選択	0: TXD1 / SDA1出力 1: 設定しないでください

表 25.4 ポートP7周辺機能出力制御

	PS1レジスタ	PSL1レジスタ	PSCレジスタ	PSD1レジスタ	PSE1レジスタ
ビット0	0: P7_0 / TA0OUT入力 / SRXD2 / INPC1_6 / SDA2入力 1: PSL1_0ビットで選択	0: PSC_0ビットで選択 1: TA0OUT出力	0: TXD2 / SDA2出力 1: PSD1_0ビットで選択	0: OUTC2_0 / ISTXD2 / IEOUT 1: PSE1_0ビットで選択	0: OUTC1_6 1: RTP0_2
ビット1	0: P7_1 / TA0IN / TB5IN / RXD2 / SCL2入力 / INPC1_7 / ISRXD2 / IEIN 1: PSL1_1ビットで選択	0: PSC_1ビットで選択 1: STXD2	0: SCL2出力 1: PSD1_1ビットで選択	0: OUTC2_2 1: PSE1_1ビットで選択	0: OUTC1_7 1: RTP0_3
ビット2	0: P7_2 / TA1OUT入力 / CLK2入力 1: PSL1_2ビットで選択	0: PSC_2ビットで選択 1: TA1OUT出力	0: CLK2出力 1: V	“0” にしてください	“0” にしてください
ビット3	0: P7_3 / TA1IN / $\overline{\text{CTS2}}$ / $\overline{\text{SS2}}$ / INPC1_0 1: PSL1_3ビットで選択	0: PSC_3ビットで選択 1: $\overline{\text{V}}$	0: $\overline{\text{RTS2}}$ 1: OUTC1_0 / ISTXD1	“0” にしてください	“0” にしてください
ビット4	0: P7_4 / TA2OUT入力 / INPC1_1 / ISCLK1入力 1: PSL1_4ビットで選択	0: PSC_4ビットで選択 1: W	0: TA2OUT出力 1: PSD1_4ビットで選択	0: OUTC1_1 / ISCLK1出力 1: RTP2_0	“0” にしてください
ビット5	0: P7_5 / TA2IN / INPC1_2 / ISRXD1 1: PSL1_5ビットで選択	0: $\overline{\text{W}}$ 1: PSC_5ビットで選択	0: OUTC1_2 1: RTP2_1	“0” にしてください	“0” にしてください
ビット6	0: P7_6 / TA3OUT入力 / INPC1_3 1: PSL1_6ビットで選択	0: PSC_6ビットで選択 1: TA3OUT出力	0: PSD1_6ビットで選択 1: CAN0OUT(注1)	0: ISTXD0 1: PSE1_6ビットで選択	0: OUTC1_3 1: TXD5
ビット7	0: P7_7 / TA3IN / CAN0IN / CLK5入力 / INPC1_4 / ISCLK0入力 1: PSL1_7ビットで選択	0: ISCLK0出力 1: PSD1_7ビットで選択	—	0: OUTC1_4 1: PSE1_7ビットで選択	0: CLK5出力 1: RTP2_2

注1. M32C/87Bでは“0”にしてください。

表 25.5 ポートP8周辺機能出力制御

	PS2レジスタ	PSL2レジスタ	PSC2レジスタ	PSD2レジスタ	PSE2レジスタ
ビット0	0: P8_0 / TA4OUT入力 / RXD5 / ISRXD0 1: PSL2_0ビットで選択	0: TA4OUT出力 1: U	“0” にしてください	“0” にしてください	“0” にしてください
ビット1	0: P8_1 / TA4IN / CTS5 / INPC1_5 1: PSL2_1ビットで選択	0: \bar{U} 1: PSC2_1ビットで選択	0: 設定しないでください 1: PSD2_1ビットで選択	0: OUTC1_5 1: PSE2_1ビットで選択	0: $\overline{RTS5}$ 1: RTP2_3
ビット2	0: P8_2 / $\overline{INT0}$ 1: PSL2_2ビットで選択	0: 設定しないでください 1: PSC2_2ビットで選択	0: CAN0OUT 1: CAN1OUT(注1)	“0” にしてください	“0” にしてください
ビット3~7	“00000b” にしてください				

注1. M32C/87Aでは、“0” に設定してください。M32C/87Bでは、PSC2レジスタのビット2は設定しないでください。書く場合は、“0” を書いてください。

表 25.6 ポートP9周辺機能出力制御

	PS3レジスタ	PSL3レジスタ	PSC3レジスタ
ビット0	0: P9_0 / TB0IN / CLK3入力 1: PSL3_0ビットで選択	0: CLK3出力 1: 設定しないでください	“0” にしてください
ビット1	0: P9_1 / TB1IN / RXD3 / SCL3入力 ISRXD2 / IEIN 1: PSL3_1ビットで選択	0: SCL3出力 1: STXD3	“0” にしてください
ビット2	0: P9_2 / TB2IN / SRXD3 / SDA3入力 1: PSL3_2ビットで選択	0: TXD3 / SDA3出力 1: OUTC2_0 / ISTXD2 / IEOUT	“0” にしてください
ビット3	0: P9_3 / TB3IN / CTS3 / SS3 / DA0 1: RTS3	0: 周辺機能入力を使用する場合 1: DA0を使用する場合	“0” にしてください
ビット4	0: P9_4 / TB4IN / CTS4 / SS4 / DA1 1: $\overline{RTS4}$	0: 周辺機能入力を使用する場合 1: DA1を使用する場合	“0” にしてください
ビット5	0: P9_5 / ANEX0 / CLK4入力 / CAN1IN / CAN1WU 1: CLK4出力	0: ANEX0以外の周辺機能入力を使用する場合 1: ANEX0を使用する場合	“0” にしてください
ビット6	0: P9_6 / SRXD4 / ANEX1 / SDA4入力 1: PSC3_6ビットで選択	0: ANEX1以外の周辺機能入力を使用する場合 1: ANEX1を使用する場合	0: TXD4 / SDA4出力 1: CAN1OUT(注1)
ビット7	0: P9_7 / RXD4 / \overline{ADTRG} / SCL4入力 1: PSL3_7ビットで選択	0: SCL4出力 1: STXD4	“0” にしてください

注1. M32C/87A、M32C/87Bでは“0” にしてください。

表 25.7 ポートP10周辺機能出力制御(1)

	PS4レジスタ
ビット0	0: P10_0 / AN_0 1: RTP1_0
ビット1	0: P10_1 / AN_1 1: RTP1_1
ビット2	0: P10_2 / AN_2 1: RTP1_2
ビット3	0: P10_3 / AN_3 1: RTP1_3
ビット4	0: P10_4 / AN_4 / $\overline{KI0}$ 1: RTP3_0
ビット5	0: P10_5 / AN_5 / $\overline{KI1}$ 1: RTP3_1
ビット6	0: P10_6 / AN_6 / $\overline{KI2}$ 1: RTP3_2
ビット7	0: P10_7 / AN_7 / $\overline{KI3}$ 1: RTP3_3

表 25.8 ポートP10周辺機能出力制御(2)

	PSCレジスタ
ビット7	0: P10_4 ~ P10_7 または $\overline{KI0}$ ~ $\overline{KI3}$ 1: AN_4 ~ AN_7

表 25.9 ポートP11周辺機能出力制御

	PS5レジスタ	PSL5レジスタ
ビット0	0: P11_0 / INPC1_0 1: PSL5_0ビットで選択	0: OUTC1_0 / ISTXD1 1: 設定しないでください
ビット1	0: P11_1 / INPC1_1 / ISCLK1入力 1: PSL5_1ビットで選択	0: OUTC1_1 / ISCLK1出力 1: 設定しないでください
ビット2	0: P11_2 / INPC1_2 / ISRXD1 1: PSL5_2ビットで選択	0: OUTC1_2 1: 設定しないでください
ビット3	0: P11_3 / INPC1_3 1: PSL5_3ビットで選択	0: OUTC1_3 1: 設定しないでください
ビット4~7	"0000b" にしてください	

表 25.10 ポートP12周辺機能出力制御

	PS6レジスタ	PSL6レジスタ	PSC6レジスタ
ビット0	0: P12_0 1: PSL6_0ビットで選択	0: PSC6_0ビットで選択 1: 設定しないでください	0: 設定しないでください 1: TXD6
ビット1	0: P12_1 / CLK6入力 1: PSL6_1ビットで選択	0: PSC6_1ビットで選択 1: 設定しないでください	0: 設定しないでください 1: CLK6出力
ビット2	"0" にしてください		
ビット3	0: P12_3 / $\overline{CTS6}$ 1: PSL6_3ビットで選択	0: PSC6_3ビットで選択 1: 設定しないでください	0: 設定しないでください 1: RTS6
ビット4~7	"0000b" にしてください		

表25.11 ポートP13周辺機能出力制御

	PS7レジスタ	PSL7レジスタ
ビット0	0: P13_0 1: PSL7_0ビットで選択	0: OUTC2_4 1: 設定しないでください
ビット1	0: P13_1 1: PSL7_1ビットで選択	0: OUTC2_5 1: 設定しないでください
ビット2	0: P13_2 1: PSL7_2ビットで選択	0: OUTC2_6 1: 設定しないでください
ビット3	0: P13_3 1: PSL7_3ビットで選択	0: OUTC2_3 1: 設定しないでください
ビット4	0: P13_4 1: PSL7_4ビットで選択	0: OUTC2_0 / ISTXD2 / IEOUT 1: 設定しないでください
ビット5	0: P13_5 / ISRXD2 / IEIN 1: PSL7_5ビットで選択	0: OUTC2_2 1: 設定しないでください
ビット6	0: P13_6 / ISCLK2入力 1: PSL7_6ビットで選択	0: OUTC2_1 / ISCLK2出力 1: 設定しないでください
ビット7	0: P13_7 1: PSL7_7ビットで選択	0: OUTC2_7 1: 設定しないでください

表25.12 ポートP14周辺機能出力制御

	PS8レジスタ
ビット0	0: P14_0 / INPC1_4 1: OUTC1_4
ビット1	0: P14_1 / INPC1_5 1: OUTC1_5
ビット2	0: P14_2 / INPC1_6 1: OUTC1_6
ビット3	0: P14_3 / INPC1_7 1: OUTC1_7
ビット4~7	“0000b” にしてください

表25.13 ポートP15周辺機能出力制御

	PS9レジスタ	PSL9レジスタ
ビット0	0: P15_0 / AN15_0 1: PSL9_0ビットで選択	0: ISTXD0 1: TXD5
ビット1	0: P15_1 / AN15_1 / ISCLK0入力 / CLK5入力 1: PSL9_1ビットで選択	0: ISCLK0出力 1: CLK5出力
ビット2	“0” にしてください	
ビット3	0: P15_3 / AN15_3 / CTS5 1: RTS5	“0” にしてください
ビット4	0: P15_4 / AN15_4 1: PSL9_4ビットで選択	0: 設定しないでください 1: TXD6
ビット5	“0” にしてください	
ビット6	0: P15_6 / AN15_6 / CLK6入力 1: CLK6出力	“0” にしてください
ビット7	0: P15_7 / AN15_7 / CTS6 1: RTS6	“0” にしてください

26. フラッシュメモリ

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリの消去、書き込みができます。

フラッシュメモリにはユーザROM領域とブートROM領域があり、ブートROM領域には標準シリアル入出力モードの書き換え制御プログラムが格納されています。

表26.1にフラッシュメモリの仕様を(表26.1に示す以外の項目は表1.1～表1.4を参照してください)、表26.2にフラッシュメモリ書き換えモードの概要を示します。

表26.1 フラッシュメモリの仕様

項目	仕様
フラッシュメモリ書き換えモード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去単位	ブロック単位(図26.1参照)
書き込み単位	16ビット単位、8ビット単位(注1)
消去、書き込み制御方式	ソフトウェアコマンドによる消去、書き込み
プロテクト方式	ロックビットによるブロック単位のプロテクト
コマンド数	7コマンド
消去、書き込み回数	100回(注2)
フラッシュメモリアクセス禁止機能	ROMコードプロテクト機能(パラレル入出力モード) IDコードチェック機能(標準シリアル入出力モード)

注1. パラレル入出力モードのみ8ビット(バイト)単位でプログラムできます。

注2. 消去、書き込み回数の定義

消去、書き込み回数はブロックごとの消去回数です。例えば、ブロックAに書き込みを行わず消去を行っても、ブロックAの消去、書き込み回数1回と数えます。

表26.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： 書き換え制御プログラムをフラッシュメモリ以外の領域に配置し実行する EW1モード： 書き換え制御プログラムをフラッシュメモリ上に配置し実行する	専用シリアルライターを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： UART1のクロック同期モード 標準シリアル入出力モード2： UART1のクロック非同期モード	専用パラレルライターを使用して、ブートROM領域、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域
動作モード	シングルチップモード メモリ拡張モード(EW0モード) ブートモード(EW0モード)	ブートモード	パラレル入出力モード
ROMライター	—	シリアルライター	パラレルライター

26.1 メモリ配置

図26.1にフラッシュメモリの配置図を示します。ユーザROM領域には、プログラムを格納する領域とは別に、データを格納するためのブロックAがあります。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとに消去や書き込みを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モードでのみ書き換えられます。

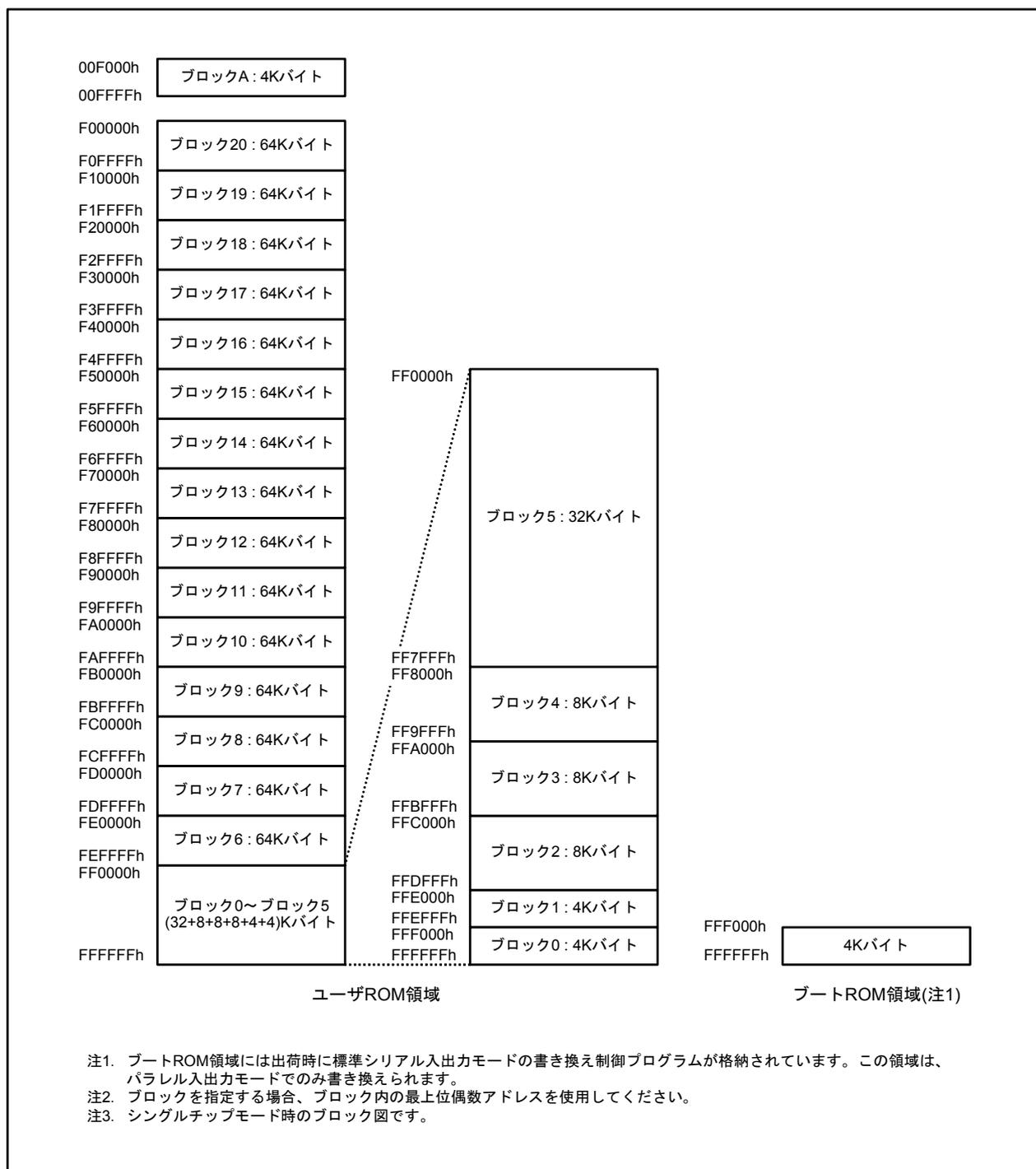


図26.1 フラッシュメモリの配置図

26.1.1 ブートモード

次の手順を行うとブートモードになりブートROM領域のプログラムを実行します。

- (1) P6_5に“L”を入力(プルダウン)、またはP6_7に“H”を入力(プルアップ)する
- (2) $\overline{\text{EPM}}$ (P5_5)に“L”を入力(プルダウン)し、 $\overline{\text{CE}}$ (P5_0)に“H”を入力(プルアップ)する
- (3) CNVSS端子に“H”を入力
- (4) ハードウェアリセットする

ブートROM領域からユーザROM領域に切り替える場合、フラッシュメモリ以外の領域のプログラムで、FMR0レジスタのFMR05ビットを“1”(ユーザROM領域アクセス)にしてください。

ブートROM領域には、出荷時、標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域にユーザ独自の書き換え制御プログラムを置くと、システムに応じたユーザROM領域の書き換えができます。

26.2 フラッシュメモリアクセス禁止機能

フラッシュメモリの読み出し、書き込みを禁止するため、パラレル入出力モードにはROMコードプロテクト機能、標準シリアル入出力モードにはIDコードチェック機能があります。

26.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。ROMCP番地に値を設定することで、ROMコードプロテクト機能を使用できます。ROMCP番地はユーザROM領域に存在します。図26.2にROMCP番地を示します。

26.2.2 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイト(注1)が“FFFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFFFFDh、0FFFFFFE3h、0FFFFFFEBh、0FFFFFFEFh、0FFFFFFF3h、0FFFFFFF7h、0FFFFFFFBhに割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。

注1. 出荷時の値は“FFFFFFFFh”です。

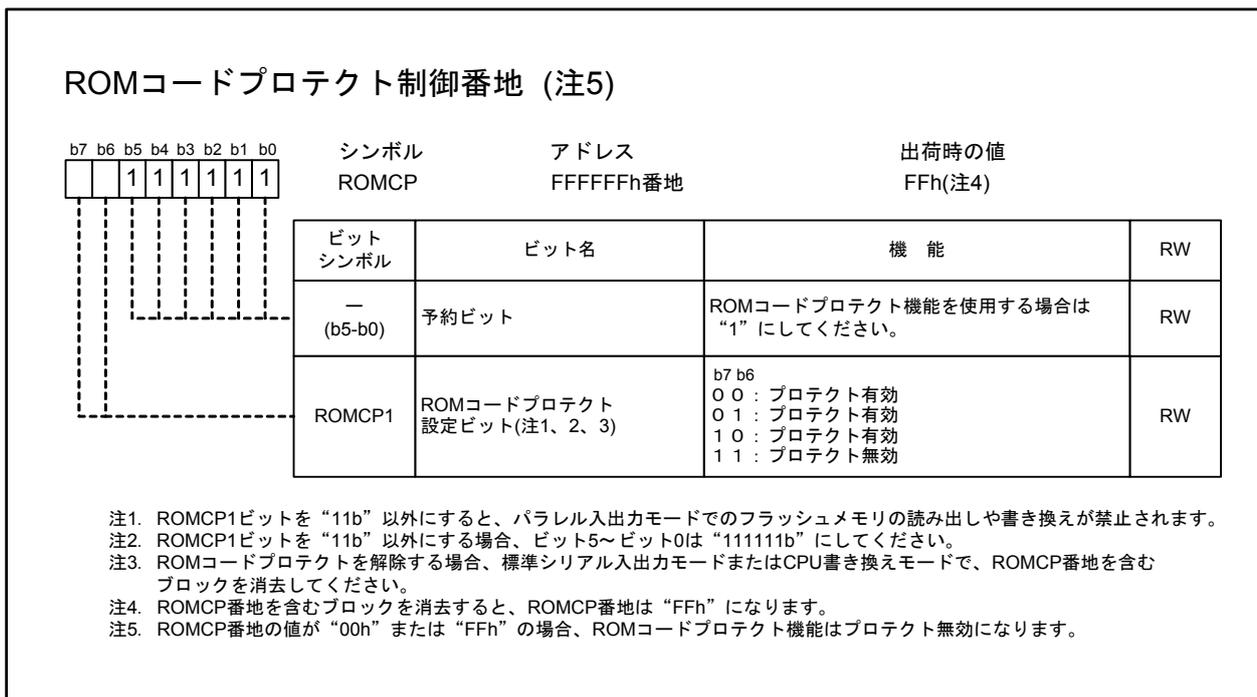


図26.2 ROMCP番地

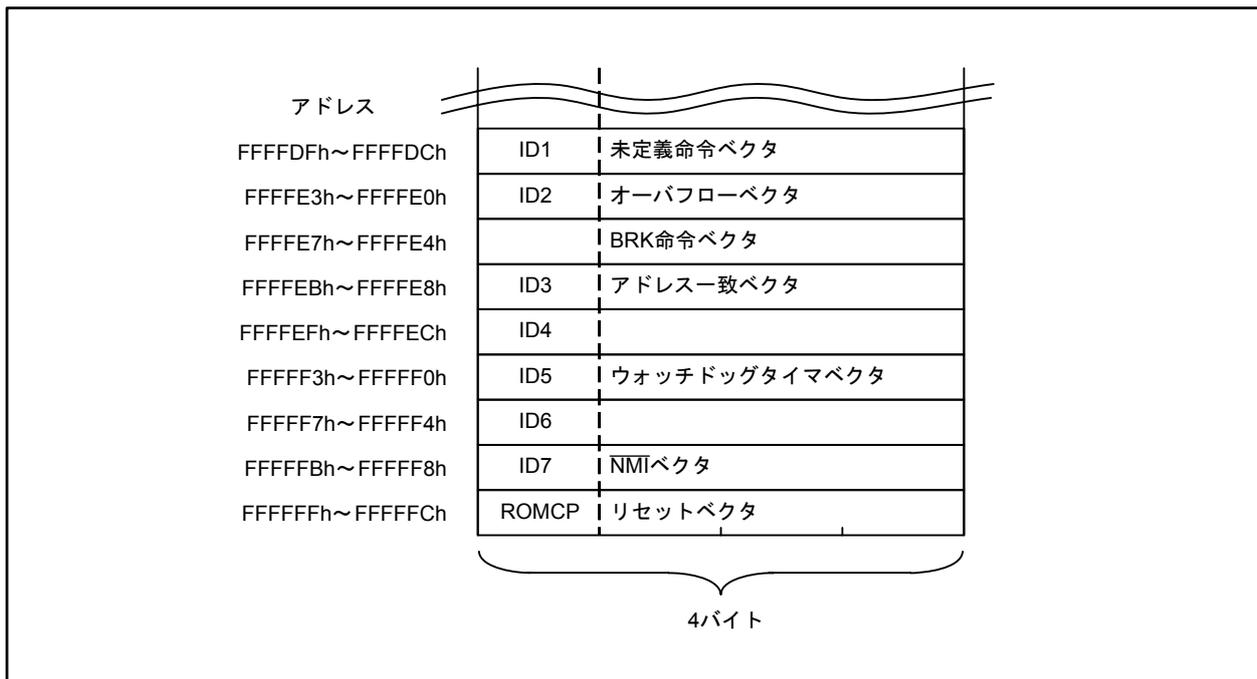


図26.3 IDコードの格納番地

26.3 CPU書き換えモード

マイクロコンピュータを基板に実装した状態で、CPUがソフトウェアコマンドを実行し、ユーザROM領域を書き換えることができます。CPU書き換えモードでは、図26.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。CPU書き換えモードには、EW0モードとEW1モードがあります。

表26.3にEW0モードとEW1モードの仕様を、図26.4、図26.5に関連レジスタを、図26.6にEW0モードの設定と解除方法を、図26.7にEW1モードの設定と解除方法を、図26.8に低消費電力モード前後の処理を示します。

表26.3 EW0モードとEW1モードの仕様

項目	EW0モード	EW1モード
動作	書き換え制御プログラムをフラッシュメモリ以外の領域に配置、実行することで、ユーザROM領域を書き換える	書き換え制御プログラムをユーザROM領域の任意のブロックに配置、実行し、異なるブロックの消去、書き込みを行う
プロセッサモード	<ul style="list-style-type: none"> ・シングルチップモード ・メモリ拡張モード ・ブートモード 	シングルチップモード
書き換え制御プログラムを格納する領域	ユーザROM領域(シングルチップモード、メモリ拡張モード) ブートROM領域(ブートモード)	ユーザROM領域
ソフトウェアコマンド	全てのコマンドが使用可能	リードステータスレジスタコマンドを除くコマンドが使用可能
消去または書き込み後のフラッシュメモリの状態	リードステータスレジスタモード	リードアレイモード
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> ・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む 	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
消去または書き込み中のCPUの状態(注1)	動作	ホールド状態(停止) (入出力ポートはコマンド実行前の状態を保持)
消去または書き込み中の周辺機能割り込み要求、DMA要求、DMACII要求	受け付ける(注2)	受け付けない (消去または書き込み完了後、受け付ける)

注1. EW0モード、EW1モードともに、NMI割り込み、ウォッチドッグタイマ割り込みが発生すると、消去または書き込み処理を中断し、割り込み処理を受け付けます。

注2. 周辺機能割り込みについては、割り込みルーチンと可変ベクタテーブルをフラッシュメモリ以外の領域に配置してください。

26.3.1 フラッシュメモリ制御レジスタ (FMR0 レジスタ、FMR1 レジスタ)

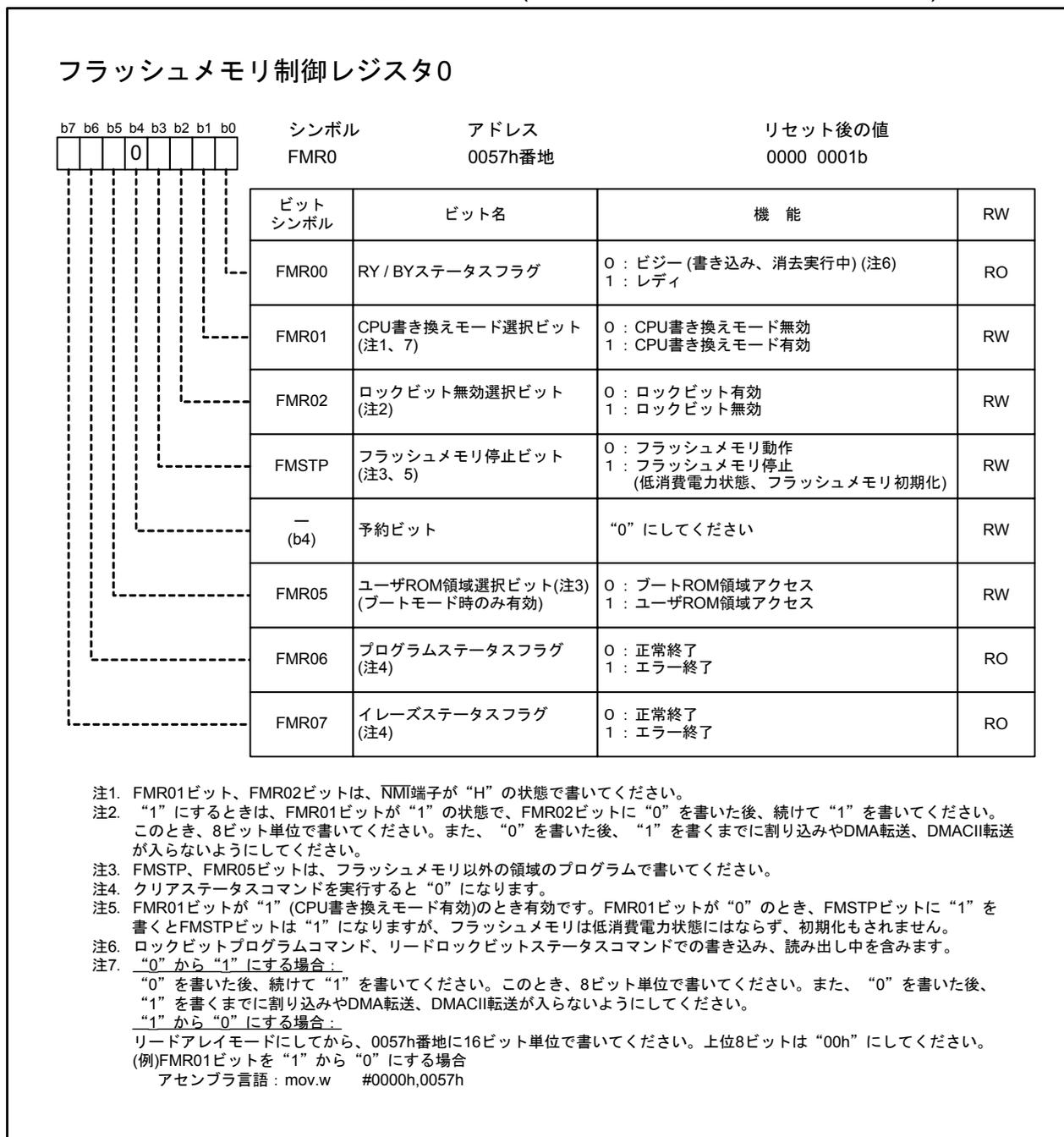


図 26.4 FMR0 レジスタ

26.3.1.1 FMR00 ビット

フラッシュメモリの動作状況を示すビットです。プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド、リードロックビットステータスコマンド実行中は“0”、それ以外のときは“1”になります。

26.3.1.2 FMR01 ビット

FMR01 ビットを“1”(CPU書き換えモード有効)にすると、コマンドの受け付けが可能になります。なお、ブートモード時はFMR05ビットも“1”(ユーザROM領域アクセス)にしてください。

26.3.1.3 FMR02ビット

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「26.3.3 データ保護機能」参照)。“0”(ロックビット有効)にすると、ロックビットが有効になります。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態で消去した場合には、ロックビットデータは“0”(ロック状態)から“1”(非ロック状態)になります。

26.3.1.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで“1”にしてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- 低消費電力モードまたはオンチップオシレータ低消費電力モードでさらに消費電力を低減させる場合

図26.8のフローチャートに従って操作してください。

なお、ウェイトモードまたはストップモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続します。FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)の状態にウェイトモード、またはストップモードに移行してください。

26.3.1.5 FMR05ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1”(ユーザROMアクセス)にしてください。

26.3.1.6 FMR06ビット

書き込みの状況を示す読み出し専用ビットです。書き込みエラーが発生すると“1”、それ以外の場合は“0”となります。詳細は「26.3.5 フルステータスチェック」を参照してください。

26.3.1.7 FMR07ビット

消去の状況を示す読み出し専用ビットです。消去エラーが発生すると“1”、それ以外の場合は“0”となります。詳細は「26.3.5 フルステータスチェック」を参照してください。

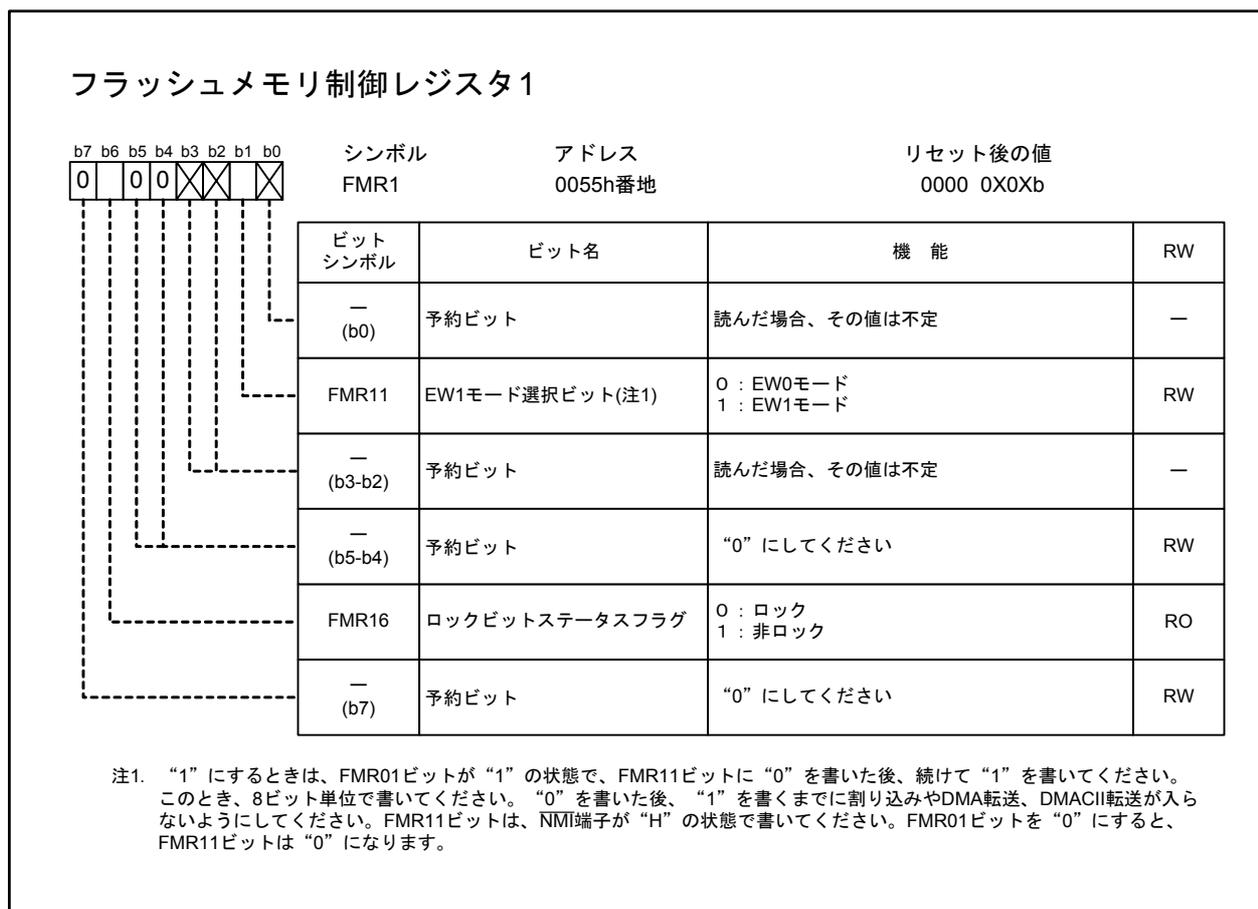


図26.5 FMR1レジスタ

26.3.1.8 FMR11ビット

FMR11ビットが“0” (EW0モード)の場合、EW0モードになります。

FMR11ビットが“1” (EW1モード)の場合、EW1モードになります。

26.3.1.9 FMR16ビット

リードロックビットステータスコマンド実行結果を示す読み出し専用ビットです。ブロックがロック状態の場合“0”、非ロック状態の場合“1”になります。

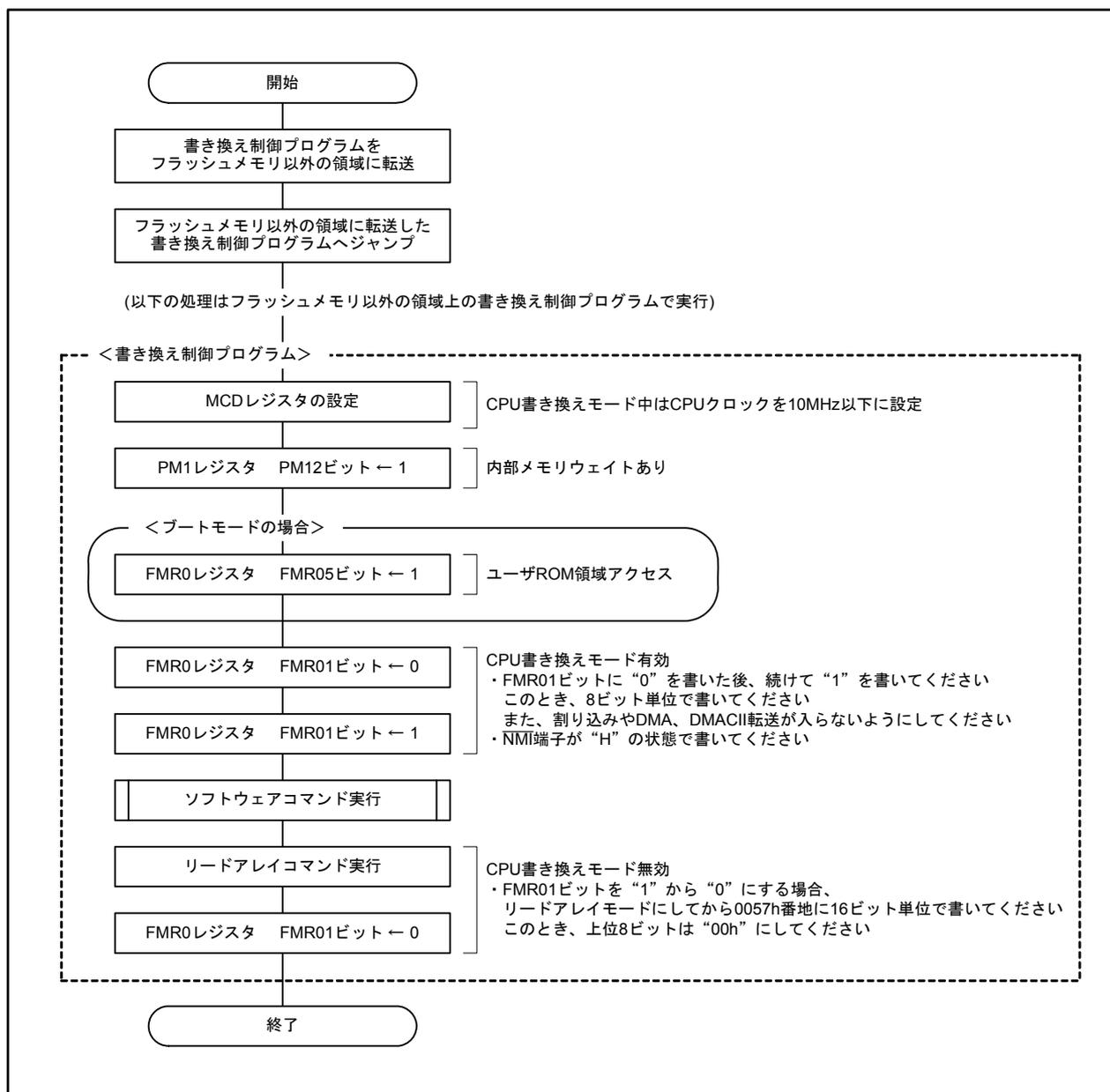


図 26.6 EW0モードの設定と解除方法

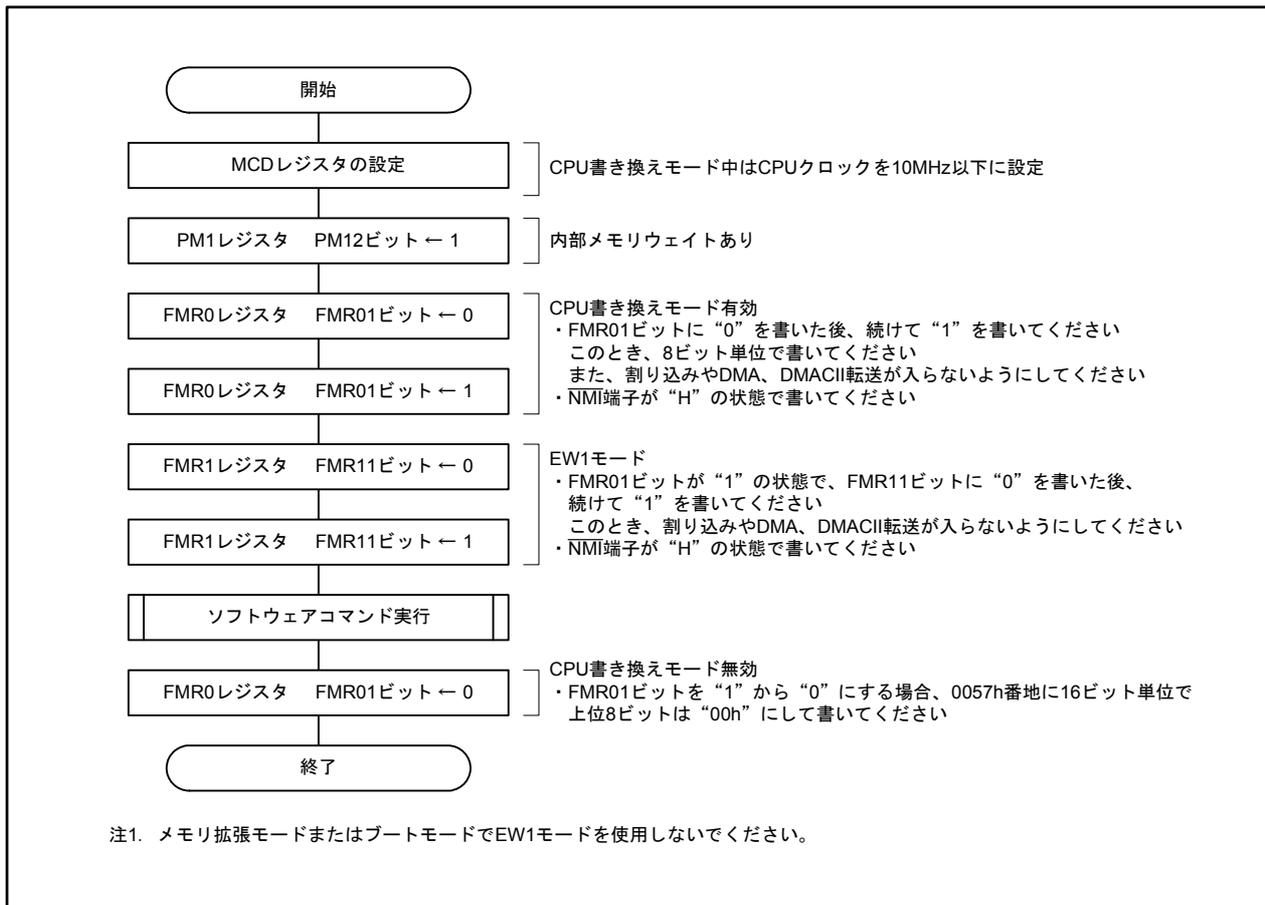


図 26.7 EW1モードの設定と解除方法

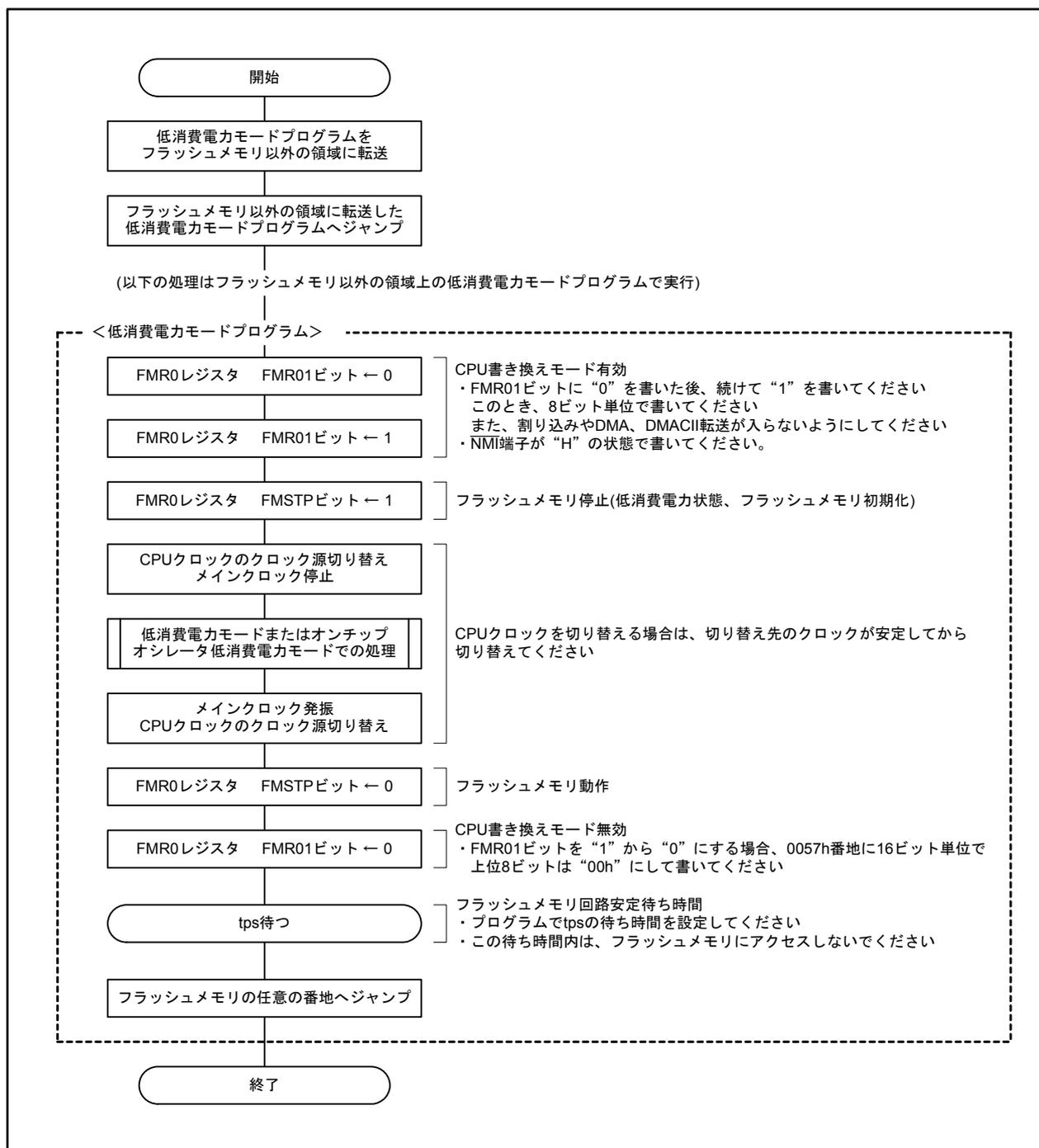


図26.8 低消費電力モード前後の処理

26.3.2 ソフトウェアコマンド

コマンド、データを読む場合、書く場合は16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表26.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	×	xxFFh			
リードステータスレジスタ	ライト	×	xx70h	リード	×	SRD
クリアステータスレジスタ	ライト	×	xx50h			
プログラム	ライト	WA	xx40h	ライト	WA	WD
ブロックイレース	ライト	×	xx20h	ライト	BA	xxD0h
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h
リードロックビットステータス	ライト	×	xx71h	ライト	BA	xxD0h

SRD : ステータスレジスタデータ (b7～b0)

WA : 書き込み番地(第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください)

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位偶数番地

×

xx : コマンドコード上位8ビット(無視されます)

26.3.2.1 リードアレイコマンド

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

26.3.2.2 リードステータスレジスタコマンド

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70h”を書くと、第2バスサイクル以降、ステータスレジスタが読めます(「26.3.4 ステータスレジスタ」参照)。なお、ステータスレジスタを読むときはユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

26.3.2.3 クリアステータスレジスタコマンド

ステータスレジスタをクリアするコマンドです。第1バスサイクルで“xx50h”を書くと、FMR0レジスタのFMR07～FMR06ビットは“00b”、ステータスレジスタのSR5～SR4ビットは“00b”になります。

26.3.2.4 プログラムコマンド

16ビット単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと、書き込み(書き込みと検証)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

書き込み終了後、FMR0レジスタのFMR06ビットで書き込みの結果を知ることができます(「26.3.5 フルステータスチェック」参照)。

ブロック消去を行わずに同一番地にプログラムコマンドを2回以上実行しないでください。図26.9にプログラムコマンドのフローチャートを示します。

なお、各ブロックはロックビットにより、書き込みを禁止できます(「26.3.3 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、書き込み開始とともにリードステータスレジスタモードとなります。

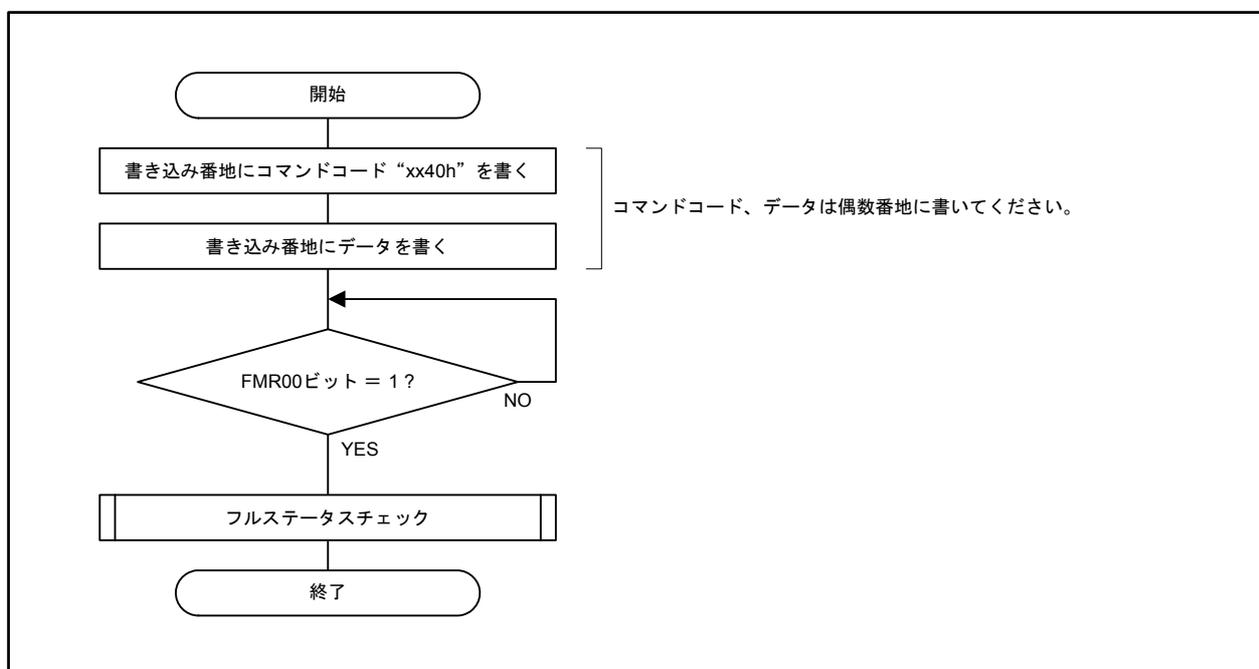


図26.9 プログラムコマンドのフローチャート

26.3.2.5 ブロックイレーズコマンド

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位偶数番地を書く
と指定されたブロックに対し、消去(消去と検証)を開始します。

消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

消去終了後、FMR0レジスタのFMR07ビットで、消去の結果を知ることができます(「26.3.5 フル
ステータスチェック」参照)。

図26.10にブロックイレーズコマンドのフローチャートを示します。

なお、各ブロックはロックビットにより、消去を禁止できます(「26.3.3 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを
実行しないでください。

EW0モードでは、消去開始とともにリードステータスレジスタモードとなります。

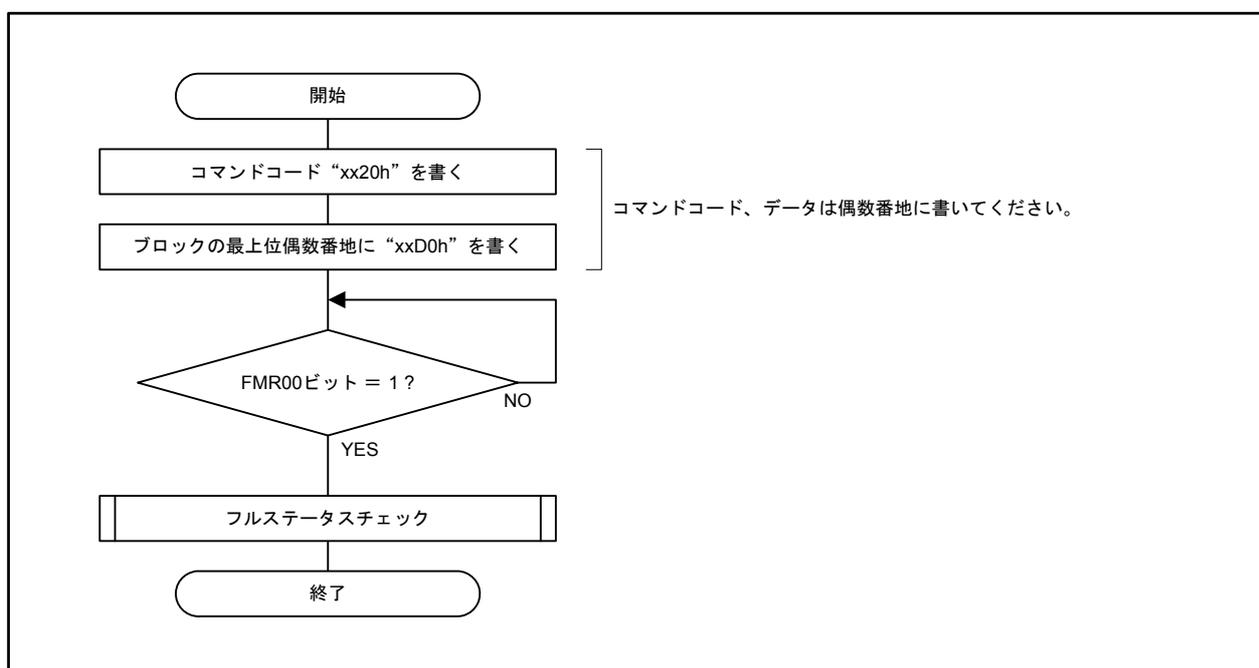


図26.10 ブロックイレーズコマンドのフローチャート

26.3.2.6 ロックビットプログラムコマンド

任意のブロックのロックビットを“0”（ロック状態）にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位偶数番地を書く
と指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値
は、第2バスサイクルで指定するブロックの最上位偶数番地と同一にしてください。

図26.11にロックビットプログラムコマンドのフローチャートを示します。ロックビットの状態
(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

ロックビットの機能、ロックビットを“1”（非ロック状態）にする方法については、「26.3.3 データ
保護機能」を参照してください。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを
実行しないでください。

EW0モードでは、書き込み開始とともにリードステータスレジスタモードとなります。

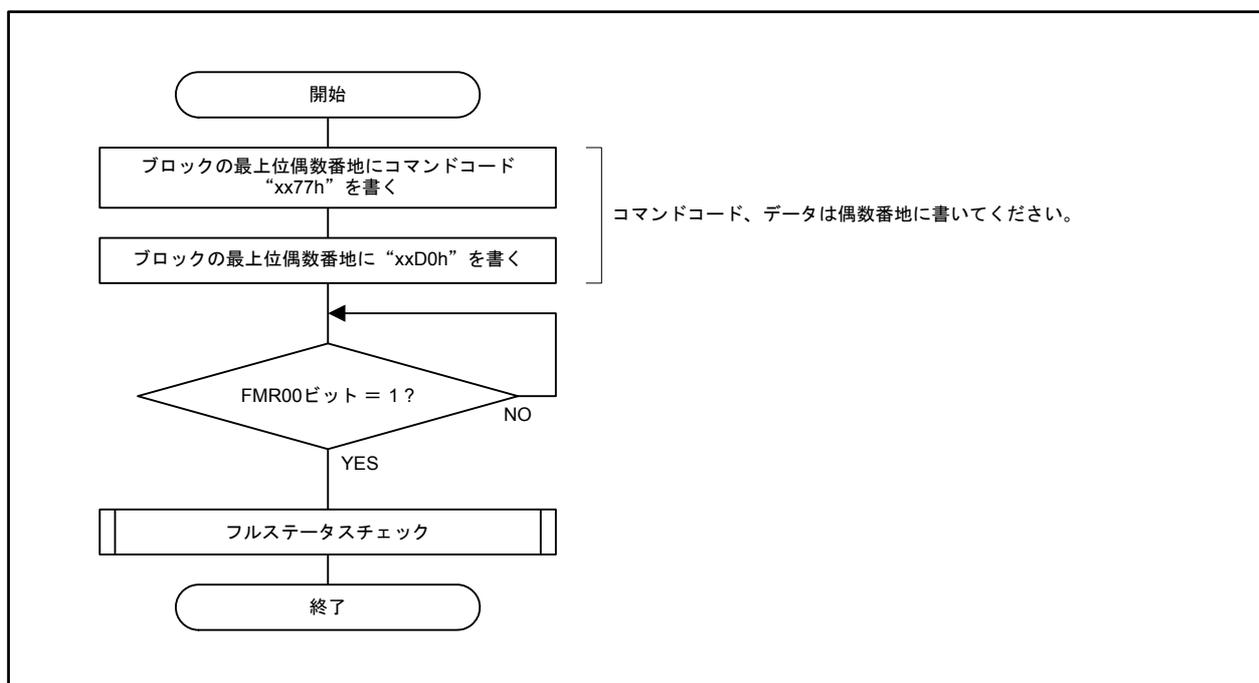


図26.11 ロックビットプログラムコマンドのフローチャート

26.3.2.7 リードロックビットステータスコマンド

任意のブロックのロックビットの状態(ロックビットデータ)を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位偶数番地に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。

図26.12にリードロックビットステータスコマンドのフローチャートを示します。

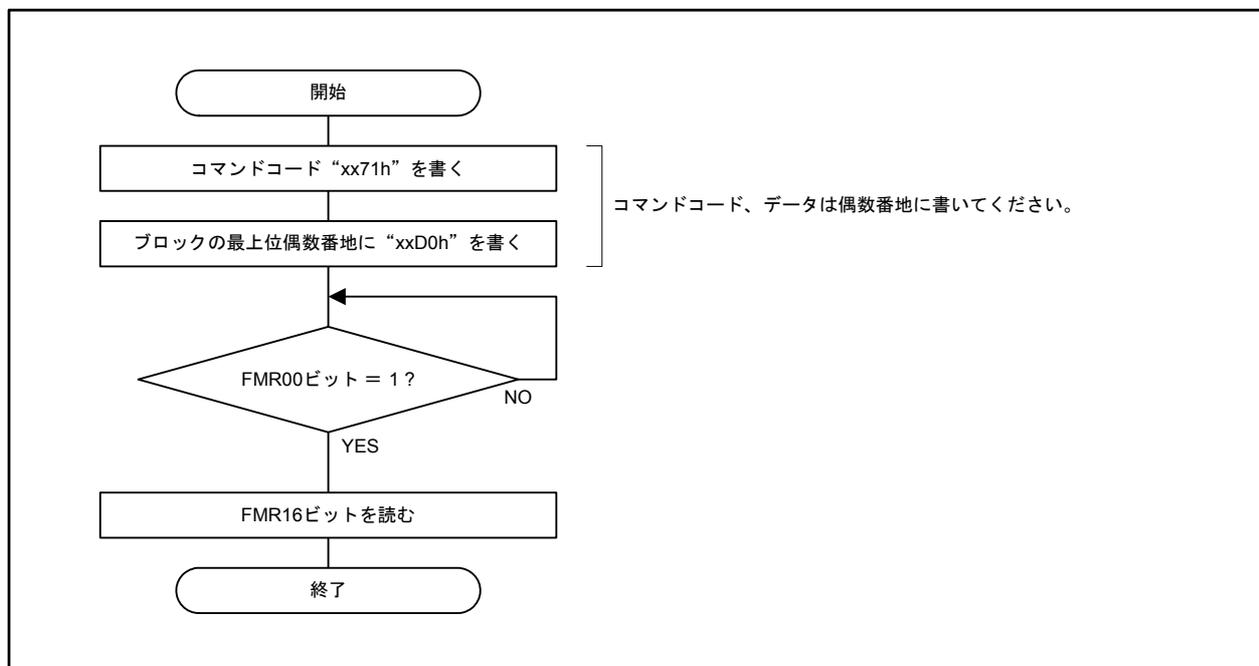


図26.12 リードロックビットステータスコマンドのフローチャート

26.3.3 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットにより、ブロックごとに消去、書き込みを禁止(ロック)でき、誤ってデータを消したり、書いたりすることを防げます。ロックビットによるブロックの状態を次に示します。

FMR0レジスタのFMR02ビットが“0”(ロックビット有効)の場合

- ロックビットデータが“0”のとき：ロック状態(そのブロックは消去、書き込みできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックは消去、書き込みできる)

FMR0レジスタのFMR02ビットが“1”(ロックビット無効)の場合

- ロックビットデータの値にかかわらず、非ロック状態(そのブロックは消去、書き込みできる)

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットデータにかかわらず、対象となるブロックが消去されます。消去終了後、そのブロックのロックビットのデータは“1”になります。

26.3.4 ステータスレジスタ

EW0モードで、次のコマンドを実行した後、フラッシュメモリを読むとステータスレジスタが読めます。

- リードステータスレジスタコマンド
- プログラムコマンド
- ブロックイレーズコマンド
- ロックビットプログラムコマンド

ステータスレジスタには、フラッシュメモリの動作状態や、消去、書き込みの結果が格納されます。また、ステータスレジスタの値は、FMR0レジスタのFMR00、FMR06、FMR07ビットにも反映されます。

26.3.4.1 シーケンサステータス(SR7ビット、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド、リードロックビットステータスコマンド実行中は“0”、それ以外の場合は“1”になります。

26.3.4.2 イレーズステータス(SR5ビット、FMR07ビット)

「26.3.5 フルスステータスチェック」を参照してください。

26.3.4.3 プログラムステータス(SR4ビット、FMR06ビット)

「26.3.5 フルスステータスチェック」を参照してください。

表 26.5 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0(b0)	—	予約ビット	—	—	—
SR1(b1)	—	予約ビット	—	—	—
SR2(b2)	—	予約ビット	—	—	—
SR3(b3)	—	予約ビット	—	—	—
SR4(b4)	FMR06(注1)	プログラムステータス	正常終了	エラー終了	0
SR5(b5)	FMR07(注1)	イレーズステータス	正常終了	エラー終了	0
SR6(b6)	—	予約ビット	—	—	—
SR7(b7)	FMR00	シーケンサステータス	ビジー	レディ	1

b7～b0：フラッシュメモリの偶数番地を16ビット単位で読んだときの低位8ビットを示します。

注1. FMR07ビット(SR5ビット)とFMR06ビット(SR4ビット)は、クリアステータスレジスタコマンドを実行すると“0”になります。FMR07ビット(SR5ビット)またはFMR06ビット(SR4ビット)が“1”の場合、プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド、リードロックビットステータスコマンドは受け付けられません。

26.3.5 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、FMR06～FMR07ビットのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 26.6 にエラーと FMR0 レジスタの状態を、図 26.13 にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表 26.6 エラーと FMR0 レジスタの状態

FMR0レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07ビット (SR5ビット)	FMR06ビット (SR4ビット)		
1	1	コマンド シーケンサエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ロックビットプログラムコマンド、ブロックイレーズコマンドの第2バスサイクルに“xxD0h”または“xxFFh”以外のデータを書いたとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) ・ロックされていないブロックにブロックイレーズコマンドを実行し、正しく消去されなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・ロックされたブロックにプログラムコマンドを実行したとき(注2) ・ロックされていないブロックにプログラムコマンドを実行し、正しく書き込みがされなかったとき ・ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

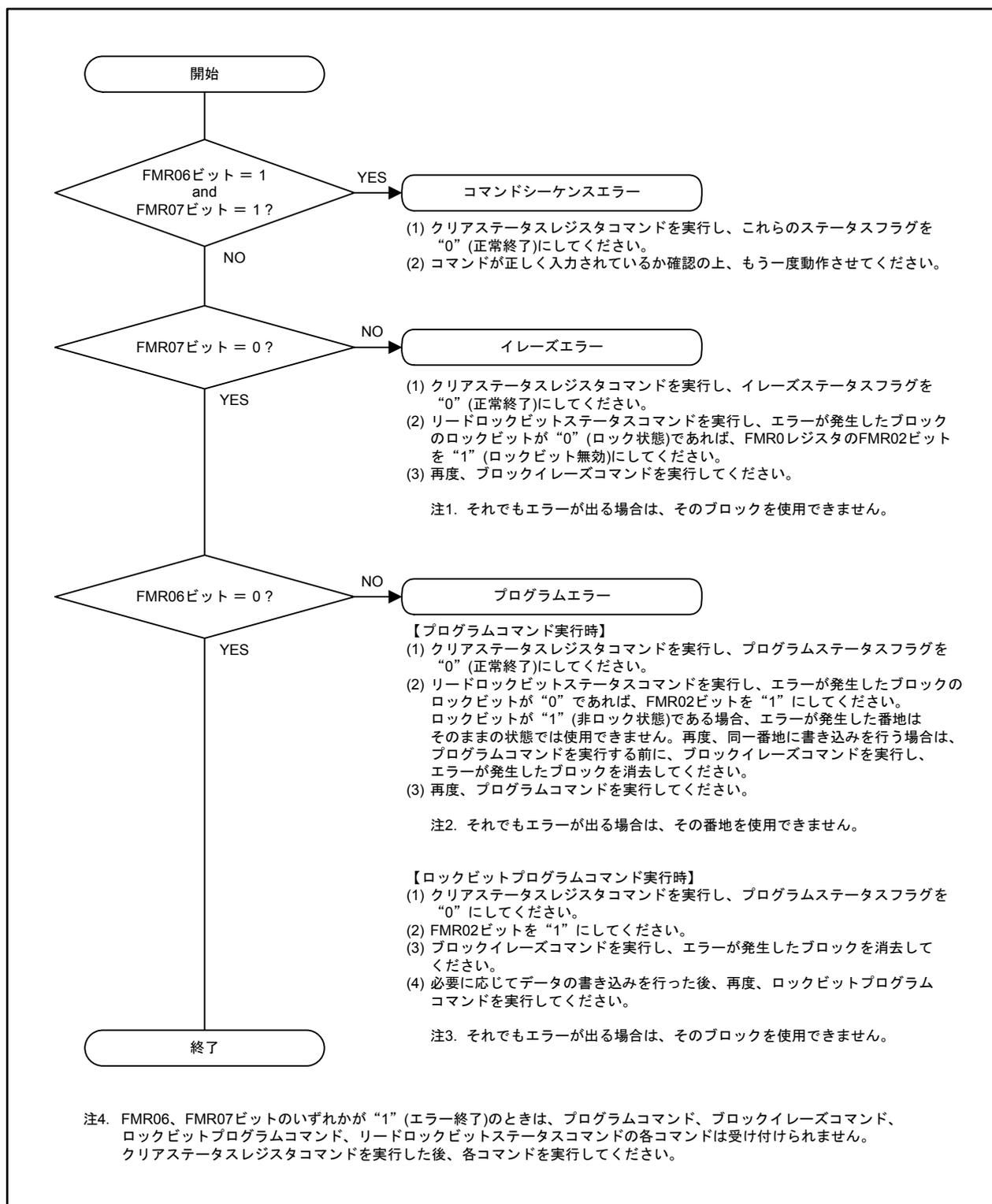


図 26.13 フルステータスチェックフローチャートと各エラー発生時の対処方法

26.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M32C/87グループ(M32C/87、M32C/87A、M32C/87B)に対応したシリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表26.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図26.14～図26.16に標準シリアル入出力モード時の端子結線図を示します。

表26.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	電源系統	機能および説明
VCC VSS	電源入力	入力	—	VCC1端子には消去、書き込みの保証電圧を、VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCC1	“H”を入力してください。
RESET	リセット入力	入力	VCC1	リセット入力端子です。
XIN	クロック入力	入力	VCC1	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。
XOUT	クロック出力	出力	VCC1	外部で生成したクロックを入力するときは、XIN端子から入力し、XOUT端子は開放してください。
BYTE	BYTE入力	入力	VCC1	“H”または“L”を入力してください。
AVCC、AVSS	アナログ電源入力	入力	—	AVCCはVCC1に接続してください。AVSSはVSSに接続してください。
VREF	基準電圧入力	入力	—	A/Dコンバータの基準電圧入力端子です。
P0_0～P0_7	入力ポートP0	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P1_0～P1_7	入力ポートP1	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P2_0～P2_7	入力ポートP2	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P3_0～P3_7	入力ポートP3	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P4_0～P4_7	入力ポートP4	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P5_0	CE入力	入力	VCC2	“H”を入力してください。
P5_5	EPM入力	入力	VCC2	“L”を入力してください。
P5_1～P5_4 P5_6、P5_7	入力ポートP5	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P6_0～P6_3	入力ポートP6	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P6_4	BUSY出力	出力	VCC1	標準シリアル入出力モード1：BUSY信号の出力端子です。 標準シリアル入出力モード2：プログラム動作チェック用モニタ
P6_5	SCLK入力	入力	VCC1	標準シリアル入出力モード1：シリアルクロックの入力端子です。 プルアップしてください。 標準シリアル入出力モード2：“L”を入力してください。
P6_6	データ入力 RXD	入力	VCC1	シリアルデータの入力端子です。
P6_7	データ出力 TXD	出力	VCC1	シリアルデータの出力端子です。 標準シリアル入出力モード1を使用する場合はプルアップしてください。
P7_0～P7_7	入力ポートP7	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_0～P8_4 P8_6、P8_7	入力ポートP8	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_5	NMI入力	入力	VCC1	“H”を入力してください。
P9_0～P9_7	入力ポートP9	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P10_0～P10_7	入力ポートP10	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P11_0～P11_4	入力ポートP11	入力	VCC2	“H”を入力、“L”を入力、または開放してください(注1)。
P12_0～P12_7	入力ポートP12	入力	VCC2	“H”を入力、“L”を入力、または開放してください(注1)。
P13_0～P13_7	入力ポートP13	入力	VCC2	“H”を入力、“L”を入力、または開放してください(注1)。
P14_0～P14_6	入力ポートP14	入力	VCC1	“H”を入力、“L”を入力、または開放してください(注1)。
P15_0～P15_7	入力ポートP15	入力	VCC1	“H”を入力、“L”を入力、または開放してください(注1)。

注1. 144ピン版のみあります。

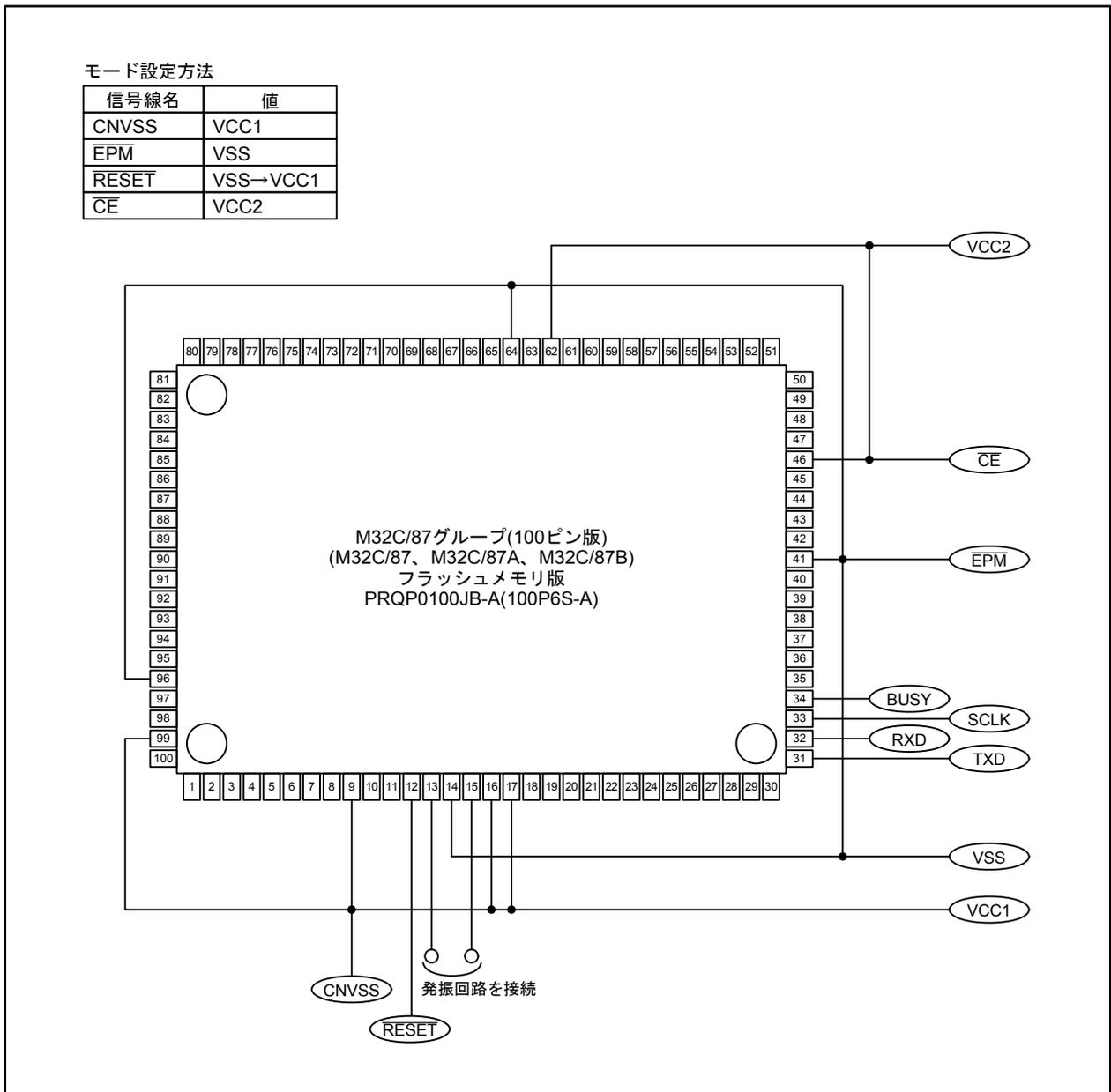


図26.14 標準シリアル入出力モード時の端子結線図(1)

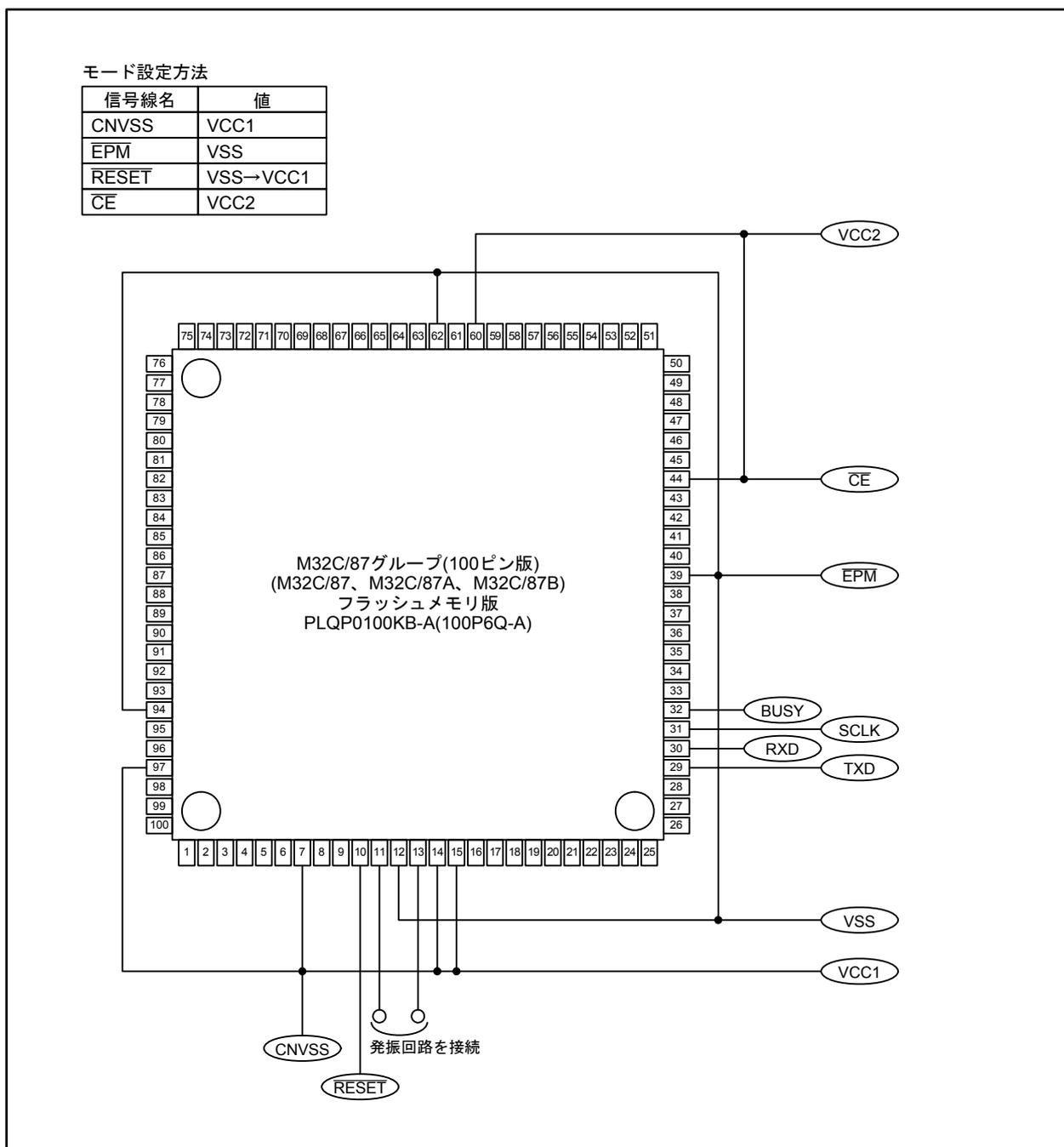


図 26.15 標準シリアル入出力モード時の端子結線図(2)

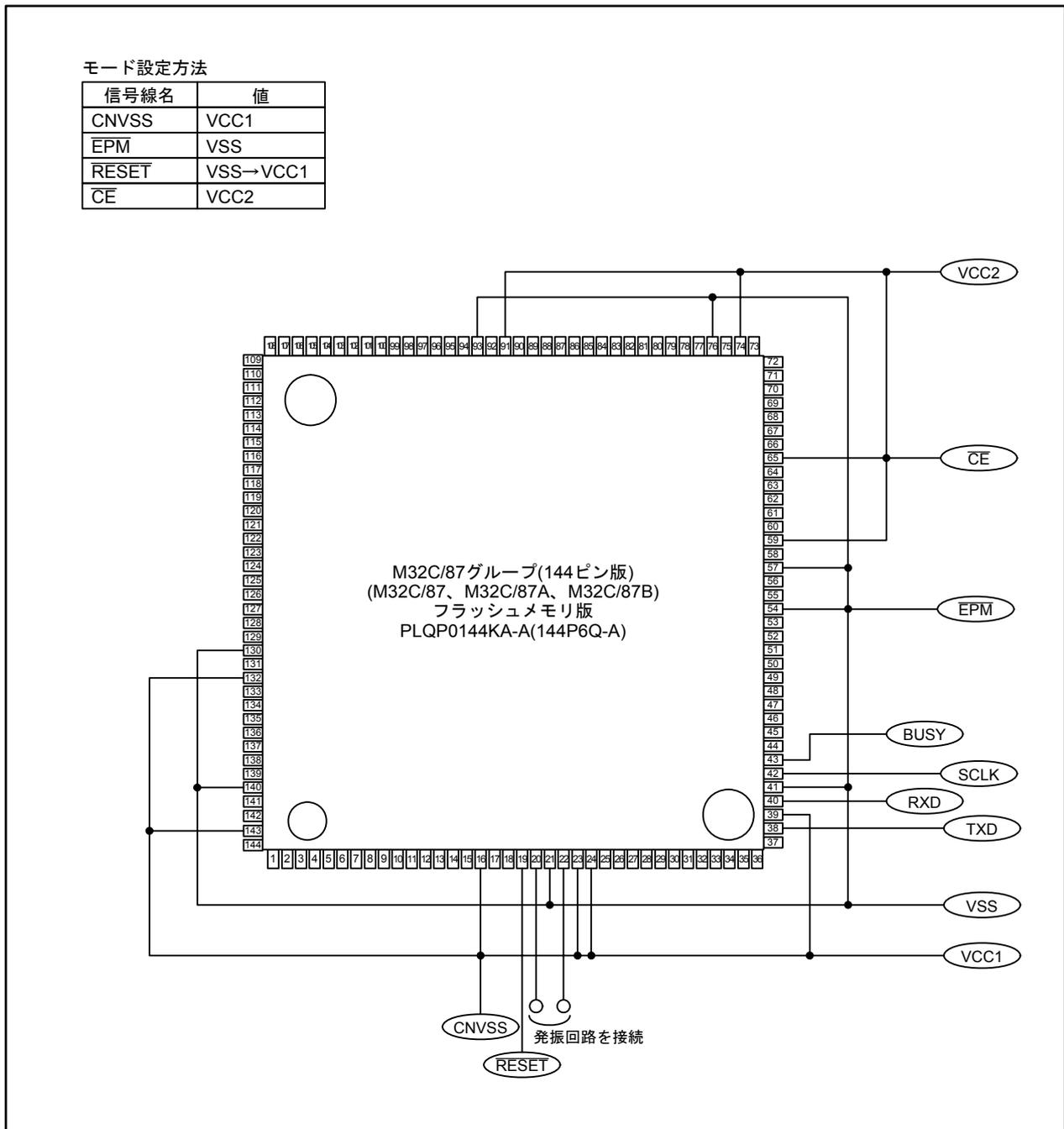


図 26.16 標準シリアル入出力モード時の端子結線図 (3)

26.4.1 標準シリアル入出力モード時の端子処理例

図26.17に標準シリアル入出力モード1を使用する場合の端子処理例、図26.18に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

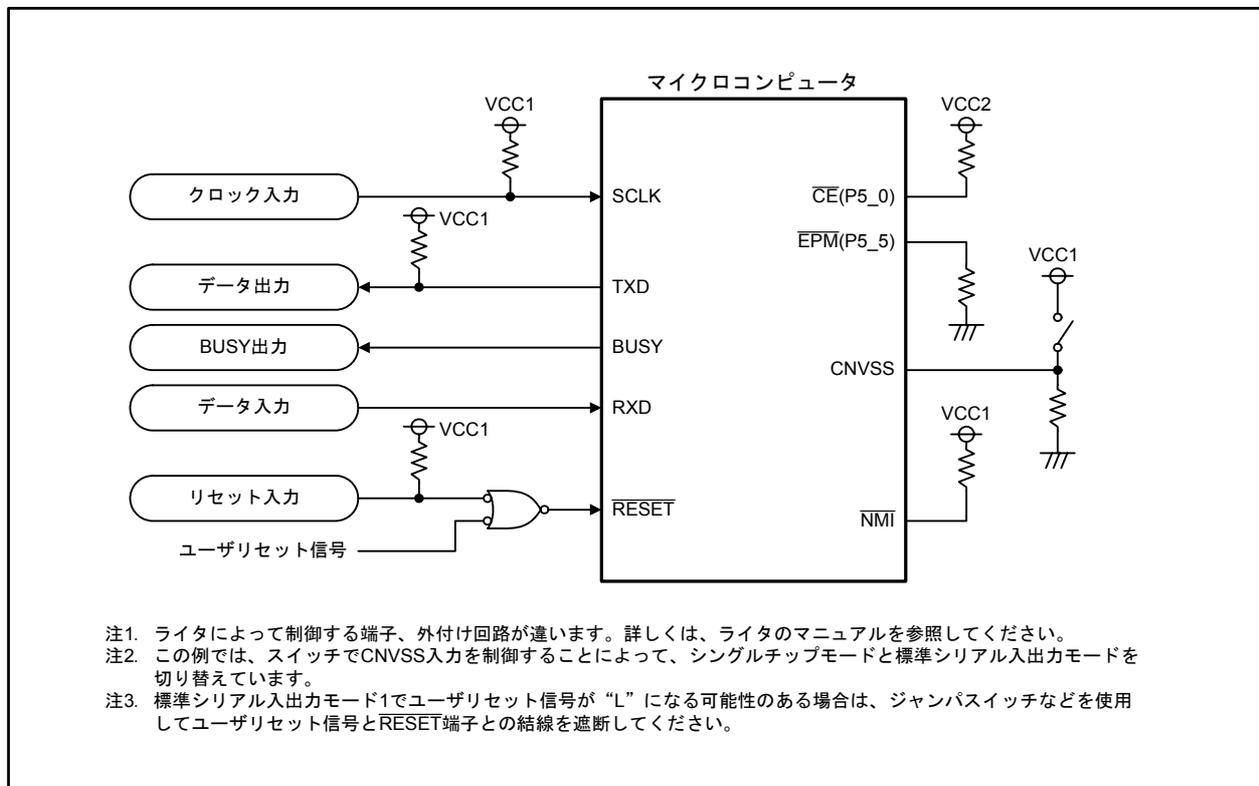


図26.17 標準シリアル入出力モード1の端子処理例

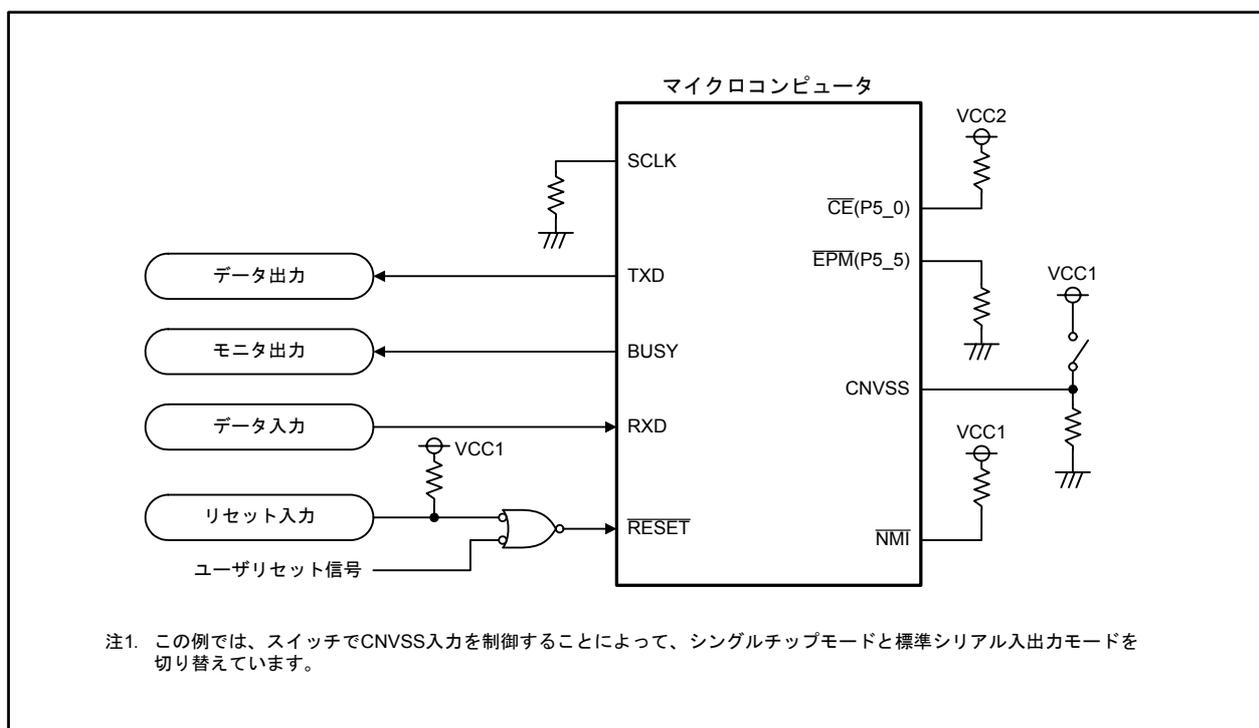


図26.18 標準シリアル入出力モード2の端子処理例

26.5 パラレル入出力モード

パラレル入出力モードでは、M32C/87グループ(M32C/87、M32C/87A、M32C/87B)に対応したパラレルライターを使用して、ユーザROM領域とブートROM領域を書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

26.5.1 ブートROM領域

ブートROM領域のイレーズブロックは1ブロック(4Kバイト)のみです。ブートROM領域には、ルネサスからの出荷時に標準シリアル入出力モードの書き換え制御プログラムが書かれます。したがって、シリアルライターを使用される場合には、ブートROM領域を書き換えないでください。

ブートROM領域は、パラレル入出力モードでは、FFF000h～FFFFFFh番地に配置されています。ブートROM領域を書き換える必要がある場合、この範囲のみ書き換えてください(FFF000h～FFFFFFh番地以外へはアクセスしないでください)。

27. 電気的特性

表27.1 絶対最大定格

記号	項目		条件	定格値	単位
VCC1, VCC2	電源電圧		VCC1=AVCC	-0.3~6.0	V
VCC2	電源電圧		—	-0.3~VCC1+0.1	V
AVCC	アナログ電源電圧		VCC1=AVCC	-0.3~6.0	V
VI	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1), VREF, XIN		-0.3~VCC1+0.3	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)		-0.3~VCC2+0.3	V
		P7_0, P7_1		-0.3~6.0	V
VO	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注1), XOUT		-0.3~VCC1+0.3	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注1)		-0.3~VCC2+0.3	V
		P7_0, P7_1		-0.3~6.0	V
Pd	消費電力		-40°C ≤ Topr ≤ 85°C	500	mW
Topr	動作周囲温度	マイコン動作時		-20~85 / -40~85(注2)	°C
		フラッシュ書き込み消去時		0~60	°C
Tstg	保存温度			-65~150	°C

注1. ポートP11~P15は144ピン版のみあります。

注2. -40~85°Cをご使用になる場合は、弊社営業窓口までお問い合わせください。

表27.2 推奨動作条件(1) (指定のない場合は、VCC1=VCC2=3.0V~5.5V, Topr= -20~85℃)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC1, VCC2	電源電圧(VCC1 ≥ VCC2)	3.0	5.0	5.5	V	
AVCC	アナログ電源電圧		VCC1		V	
VSS	電源電圧		0		V	
AVSS	アナログ電源電圧		0		V	
VIH	“H” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注4)	0.8VCC2		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7(注3), P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注4), XIN, RESET, CNVSS, BYTE	0.8VCC1		VCC1	
		P7_0, P7_1	0.8VCC1		6.0	
		P0_0~P0_7, P1_0~P1_7(シングルチップモード時)	0.8VCC2		VCC2	
		P0_0~P0_7, P1_0~P1_7 (メモリ拡張、マイクロプロセッサモード時)	0.5VCC2		VCC2	
VIL	“L” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注4)	0		0.2VCC2	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7(注3), P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注4), XIN, RESET, CNVSS, BYTE	0		0.2VCC1	
		P0_0~P0_7, P1_0~P1_7(シングルチップモード時)	0		0.2VCC2	
		P0_0~P0_7, P1_0~P1_7 (メモリ拡張、マイクロプロセッサモード時)	0		0.16VCC2	
IOH(peak)	“H” 尖頭出力 電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			-10.0	mA
IOH(avg)	“H” 平均出力 電流(注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			-5.0	mA
IOL(peak)	“L” 尖頭出力 電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			10.0	mA
IOL(avg)	“L” 平均出力 電流(注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			5.0	mA

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P8_6, P8_7, P9, P10, P11, P14, P15のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4, P12, P13のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, P11のIOH(peak)の合計は-40mA以下、ポートP8_6, P8_7, P9, P10, P14, P15のIOH(peak)の合計は-40mA以下、ポートP3, P4, P5, P12, P13のIOH(peak)の合計は-40mA以下、ポートP6, P7, P8_0~P8_4のIOH(peak)の合計は-40mA以下にしてください。

注3. P8_7のVIH、VILはP8_7をプログラマブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注4. ポートP11~P15は144ピン版のみあります。

表 27.2 推奨動作条件(2) (指定のない場合は、VCC1=VCC2=3.0~5.5V, Topr=-20~85°C)

記号	項目		規格値			単位
			最小	標準	最大	
f(CPU)	CPU動作周波数 バスクロック (f(BCLK)) と同一	VCC1=4.2~5.5V	0		32	MHz
		VCC1=3.0~5.5V	0		24	
f(XIN)	メインクロック入力発振周波数	VCC1=4.2~5.5V	0		32	MHz
		VCC1=3.0~5.5V	0		24	
f(XCIN)	サブクロック発振周波数			32.768	50	kHz
f(Ring)	オンチップオシレータ発振周波数			1		MHz
f(VCO)	VCOクロック発振周波数(PLL周波数シンセサイザ)		20		80	MHz
f(PLL)	PLLクロック発振周波数	VCC1=4.2~5.5V	10		32	MHz
		VCC1=3.0~5.5V	10		24	
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	VCC1=5.0V			5	ms
		VCC1=3.3V			10	

VCC1=VCC2=5V

表 27.3 電気的特性 (1)

(指定のない場合は、VCC1=VCC2=4.2V ~ 5.5V, VSS=0V, Topr= -20 ~ 85°C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H” 出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7 (注1)	IOH=-5mA	VCC2-2.0		VCC2	V
		P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P14_0 ~ P14_6, P15_0 ~ P15_7 (注1)	IOH=-5mA	VCC1-2.0		VCC1	
	XOUT	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7 (注1)	IOH=-200μA	VCC2-0.3		VCC2	V
		P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P14_0 ~ P14_6, P15_0 ~ P15_7 (注1)	IOH=-200μA	VCC1-0.3		VCC1	
	XCOULT	駆動能力 High	無負荷時		2.5		V
	XCOULT	駆動能力 Low	無負荷時		1.6		V
VOL	“L” 出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0 ~ P14_6, P15_0 ~ P15_7 (注1)	IOL=5mA			2.0	V
		P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0 ~ P14_6, P15_0 ~ P15_7 (注1)	IOL=200μA			0.45	V
	XOUT	IOL=1mA			2.0	V	
	XCOULT	駆動能力 High	無負荷時		0		V
		駆動能力 Low	無負荷時		0		V
	VT+ - VT-	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT8, ADTRG, CTS0 ~ CTS6, CLK0 ~ CLK6, TA0OUT ~ TA4OUT, NMI, KI0 ~ KI3, RXD0 ~ RXD6, SCL0 ~ SCL4, SDA0 ~ SDA4, INPC1_0 ~ INPC1_7, ISCLK0 ~ ISCLK2, ISRXD0 ~ ISRXD2, IEIN, CAN0IN, CAN1IN, CAN1WU		0.2		1.0
RESET				0.2		1.8	V
IIH	“H” 入力電流	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0 ~ P14_6, P15_0 ~ P15_7 (注1), XIN, RESET, CNVSS, BYTE	VI=5V			5.0	μA
IIIL	“L” 入力電流	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7, P14_0 ~ P14_6, P15_0 ~ P15_7 (注1), XIN, RESET, CNVSS, BYTE	VI=0V			-5.0	μA

注1. ポート P11 ~ P15 は 144 ピン版のみあります。

VCC1=VCC2=5V

表 27.3 電気的特性(2)

(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C, f(CPU)=32MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1)	VI=0V	30	50	167	kΩ
RfXIN	帰還抵抗	XIN			1.5		MΩ
RfXCIN	帰還抵抗	XCIN			10		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V

注1. ポートP11~P15は144ピン版のみあります。

表 27.3 電気的特性(3) (指定のない場合は、VCC1=VCC2=5.0V, VSS=0V, Topr=25°C)

記号	項目	測定条件(注1)		規格値			単位
				最小	標準	最大	
ICC	電源電流	フラッシュメモリ版	f(CPU)=32MHz		32	45	mA
			f(CPU)=16MHz		19		mA
			f(CPU)=8MHz		12		mA
			f(CPU)=f(Ring) オンチップオシレータ低消費電力モード		2.6		mA
			f(CPU)=32kHz 低消費電力モード、フラッシュメモリ動作		430		μA
			f(CPU)=32kHz 低消費電力モード、フラッシュメモリ停止(注2)		30		μA
			ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後		50		μA
			ストップモード(クロック停止時)		0.8	5	μA
			ストップモード(クロック停止時) Topr=85°C			50	μA
		マスクROM版	f(CPU)=32MHz		32	45	mA
			f(CPU)=16MHz		19		mA
			f(CPU)=8MHz		12		mA
			f(CPU)=f(Ring) オンチップオシレータ低消費電力モード		1		mA
			f(CPU)=32kHz 低消費電力モード		30		μA
			ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後		50		μA
			ストップモード(クロック停止時)		0.8	5	μA
			ストップモード(クロック停止時) Topr=85°C			50	μA

注1. シングルチップモードで出力端子は開放、その他の端子はVSSに接続してください。

注2. FMROレジスタのFMSTPビットを“1”(フラッシュメモリ停止)にし、RAM上でプログラムを実行したときの値です。

VCC1=VCC2=5V

表27.4 A/D変換特性(指定のない場合は、VCC1=VCC2=AVCC=VREF=4.2V~5.5V, VSS=AVSS=0V, Topr=-20~85°C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	VREF=VCC1			10	Bits
INL	積分非直線性誤差	VREF=VCC1=VCC2=5V AN_0~AN_7、AN0_0~AN0_7、 AN2_0~AN2_7、 AN15_0~AN15_7、 ANEX0、ANEX1 外部オペアンプ接続モード			±3	LSB
					±7	LSB
DNL	微分非直線性誤差				±1	LSB
—	オフセット誤差				±3	LSB
—	ゲイン誤差				±3	LSB
RLADDER	ラダー抵抗	VREF=VCC1	8		40	kΩ
tCONV	変換時間(10bit)(注1、2)		2.06			μs
tCONV	変換時間(8bit)(注1、2)		1.75			μs
tSAMP	サンプリング時間(注1)		0.188			μs
VREF	基準電圧		2		VCC1	V
VIA	アナログ入力電圧		0		VREF	V

注1. φADが16MHzのときの値です。f(XIN)が16MHzを超える場合は分周し、φADを16MHz以下にしてください。

注2. サンプル&ホールド機能あり。

表27.5 D/A変換特性(指定のない場合は、VCC1=VCC2=VREF=4.2V~5.5V, VSS=AVSS=0V, Topr=-20~85°C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ(i=0, 1)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IVREFは流れます。

表27.6 フラッシュメモリの電気的特性
(指定のない場合は、VCC1=4.5V~5.5V, 3.0V~3.6V, Topr=0~60°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	消去、書き込み回数(注1)		100			回
—	書き込み時間(16ビット)(VCC1=5.0V, Topr=25°C)			25	300	μs
—	ロックビットプログラム時間			25	300	μs
—	ブロック消去時間 (VCC1=5.0V, Topr=25°C)	4Kバイトブロック		0.3	4	s
		8Kバイトブロック		0.3	4	s
		32Kバイトブロック		0.5	4	s
		64Kバイトブロック		0.8	4	s
tps	フラッシュメモリ回路安定待ち時間				15	μs
—	データ保持時間(Topr=-40~85°C)		10			年

注1. 消去、書き込み回数の定義

消去、書き込み回数はブロックごとの消去回数です。消去、書き込み回数がn回(n=100)の場合、ブロックごとに、それぞれn回ずつ消去することができます。例えば、ブロックAについて、それぞれ異なる番地に16ビット単位で書き込みを2,048回に分けて行った後に、そのブロックを消去した場合も、消去、書き込み回数は1回と数えます。ただし、消去1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

VCC1=VCC2=5V

表 27.7 電圧検出回路の電気的特性 (指定のない場合はVCC1=VCC2=3.0~5.5V, VSS=0V, Topr=25°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet4	Vdet4検出電圧	VCC1=3.0V~5.5V	3.3	3.8	4.4	V
Vdet3	Vdet3検出電圧			3.0		V
Vdet3s	ハードウェアリセット2保持電圧				2.0	V
Vdet3r	ハードウェアリセット2解除電圧			3.1		V

注1. Vdet4 > Vdet3になります。
 注2. Vdet3r > Vdet3は保証されません。

表 27.8 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	VCC1=3.0V~5.5V			2	ms
td(S-R)	ハードウェアリセット2解除待ち時間	VCC1=Vdet3r~5.5V		6(注1)	20	ms
td(E-A)	Vdet3、Vdet4検出回路動作開始時間	VCC1=3.0V~5.5V			20	μs

注1. VCC1=5V時の標準値

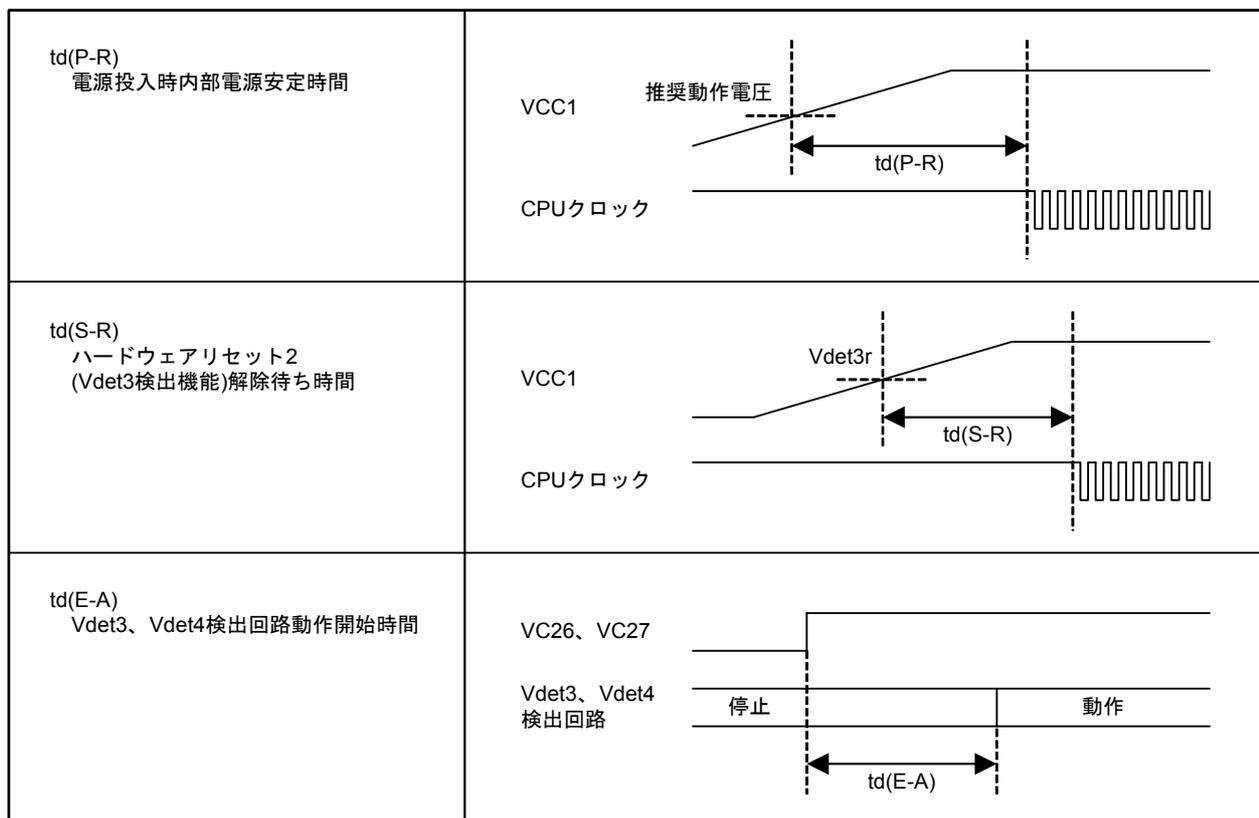


図 27.1 電源回路のタイミング

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85℃)

表 27.9 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	31.25		ns
tw(H)	外部クロック入力“H”パルス幅	13.75		ns
tw(L)	外部クロック入力“L”パルス幅	13.75		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表 27.10 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

i=0~4

表 27.11 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

i=0~4

表 27.12 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

表 27.13 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85℃)

表 27.14 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

i=0~4

表 27.15 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	800		ns
tsu(TAIN-TAOUT)	TAiOUT入力セットアップ時間	200		ns
tsu(TAOUT-TAIN)	TAiIN入力セットアップ時間	200		ns

i=0~4

表 27.16 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

i=0~5

表 27.17 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

表 27.18 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85℃)

表 27.19 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	$\overline{\text{ADTRG}}$ 入力サイクル時間(トリガ可能最小)	1000		ns
tw(ADL)	$\overline{\text{ADTRG}}$ 入力“L”パルス幅	125		ns

表 27.20 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi 入力サイクル時間	200		ns
tw(CKH)	CLKi 入力“H”パルス幅	100		ns
tw(CKL)	CLKi 入力“L”パルス幅	100		ns
td(C-Q)	TXDi 出力遅延時間		80	ns
th(C-Q)	TXDi 出力ホールド時間	0		ns
tsu(D-C)	RXDi 入力セットアップ時間	70		ns
th(C-D)	RXDi 入力ホールド時間	90		ns

i=0~6

表 27.21 インテリジェントI/O通信機能(グループ0、1)

記号	項目	規格値		単位
		最小	最大	
tc(CK)	ISCLKi 入力サイクル時間	600		ns
tw(CKH)	ISCLKi 入力“H”パルス幅	300		ns
tw(CKL)	ISCLKi 入力“L”パルス幅	300		ns
td(C-Q)	ISTXDi 出力遅延時間		100	ns
th(C-Q)	ISTXDi 出力ホールド時間	0		ns
tsu(D-C)	ISRXDi 入力セットアップ時間	100		ns
th(C-D)	ISRXDi 入力ホールド時間	100		ns

i=0,1

表 27.22 インテリジェントI/O通信機能(グループ2)

記号	項目	規格値		単位
		最小	最大	
tc(CK)	ISCLK2 入力サイクル時間	600		ns
tw(CKH)	ISCLK2 入力“H”パルス幅	300		ns
tw(CKL)	ISCLK2 入力“L”パルス幅	300		ns
td(C-Q)	ISTXD2 出力遅延時間		180	ns
th(C-Q)	ISTXD2 出力ホールド時間	0		ns
tsu(D-C)	ISRXD2 入力セットアップ時間	150		ns
th(C-D)	ISRXD2 入力ホールド時間	100		ns

表 27.23 外部割り込み $\overline{\text{INTi}}$ 入力(エッジセンス)

記号	項目	規格値		単位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 入力“H”パルス幅	250		ns
tw(INL)	$\overline{\text{INTi}}$ 入力“L”パルス幅	250		ns

i=0~8(注1)

注1. $\overline{\text{INT6}} \sim \overline{\text{INT8}}$ は144ピン版のみあります。

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C)

表27.24 メモリ拡張モードおよびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間(RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間(AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間(RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間(AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	26		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	26		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 入力セットアップ時間	30		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウェイトを入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$tac1(\text{RD-DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) + 1)$$

$$tac1(\text{AD-DB}) = \frac{10^9 \times n}{f(\text{BCLK})} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a + b)$$

$$tac2(\text{RD-DB}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

$$tac2(\text{AD-DB}) = \frac{10^9 \times p}{f(\text{BCLK}) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} p=\{(a + b - 1) \times 2\} + 1)$$

VCC1=VCC2=5V

スイッチング特性(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr= -20~85°C)

表 27.25 メモリ拡張モードおよびマイクロプロセッサモード(外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 27.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注3)		0		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注3)		0		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間(WR基準)			(注2)	ns
th(WR-DB)	データ出力保持時間(WR基準)(注3)			(注1)	ns
tw(WR)	WR出力幅			(注2)	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=b)$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=(b \times 2) - 1)$$

注3. リカバリサイクル挿入時はtc時間延長されます。

VCC1=VCC2=5V

スイッチング特性(指定のない場合は、VCC1=VCC2=4.2V~5.5V, VSS=0V, Topr=-20~85°C)

表27.26 メモリ拡張モードおよびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図27.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			18	ns
th(BCLK-RD)	RD信号出力保持時間		-5		ns
td(BCLK-WR)	WR信号出力遅延時間			18	ns
th(BCLK-WR)	WR信号出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間(BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間(アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間(アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD-ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE-AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注5. リカバリサイクル挿入時はtc時間延長されます。

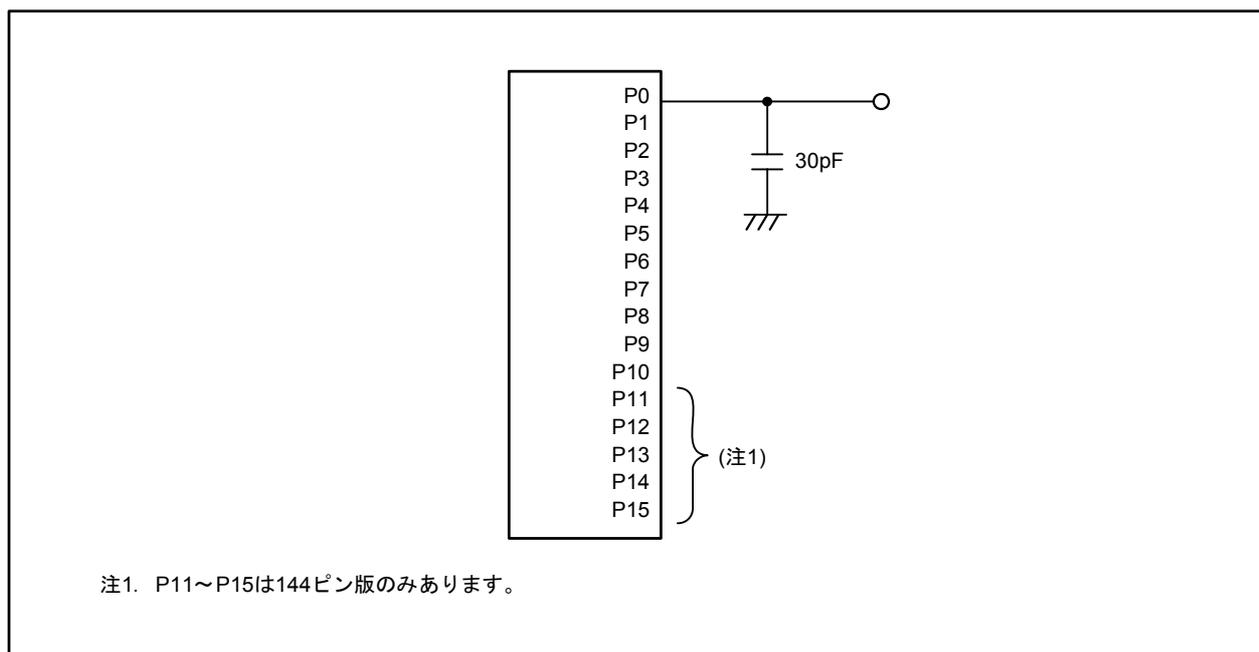


図27.2 ポートP0～P15の測定回路

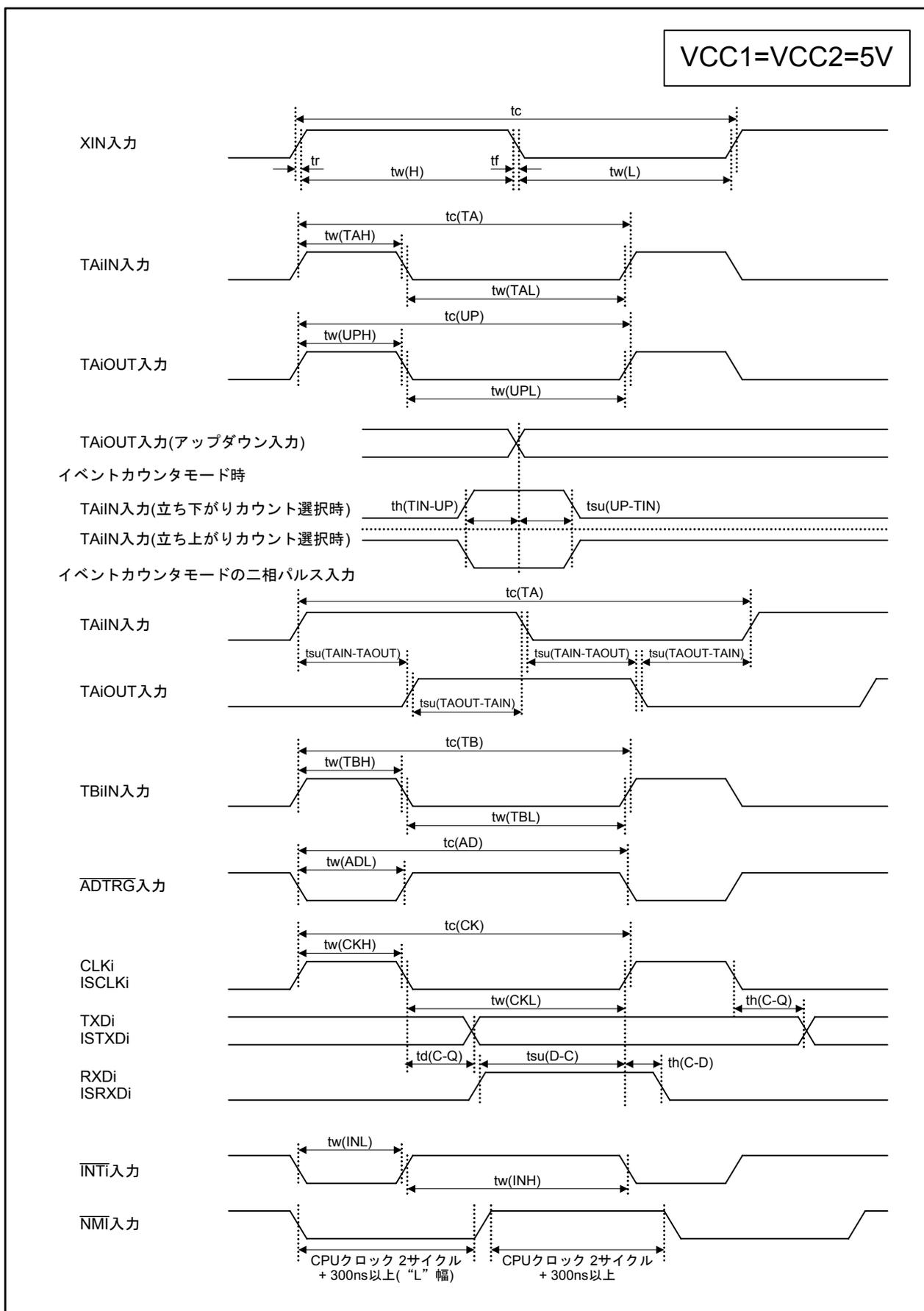


図 27.3 VCC1=VCC2=5V時のタイミング図(1)

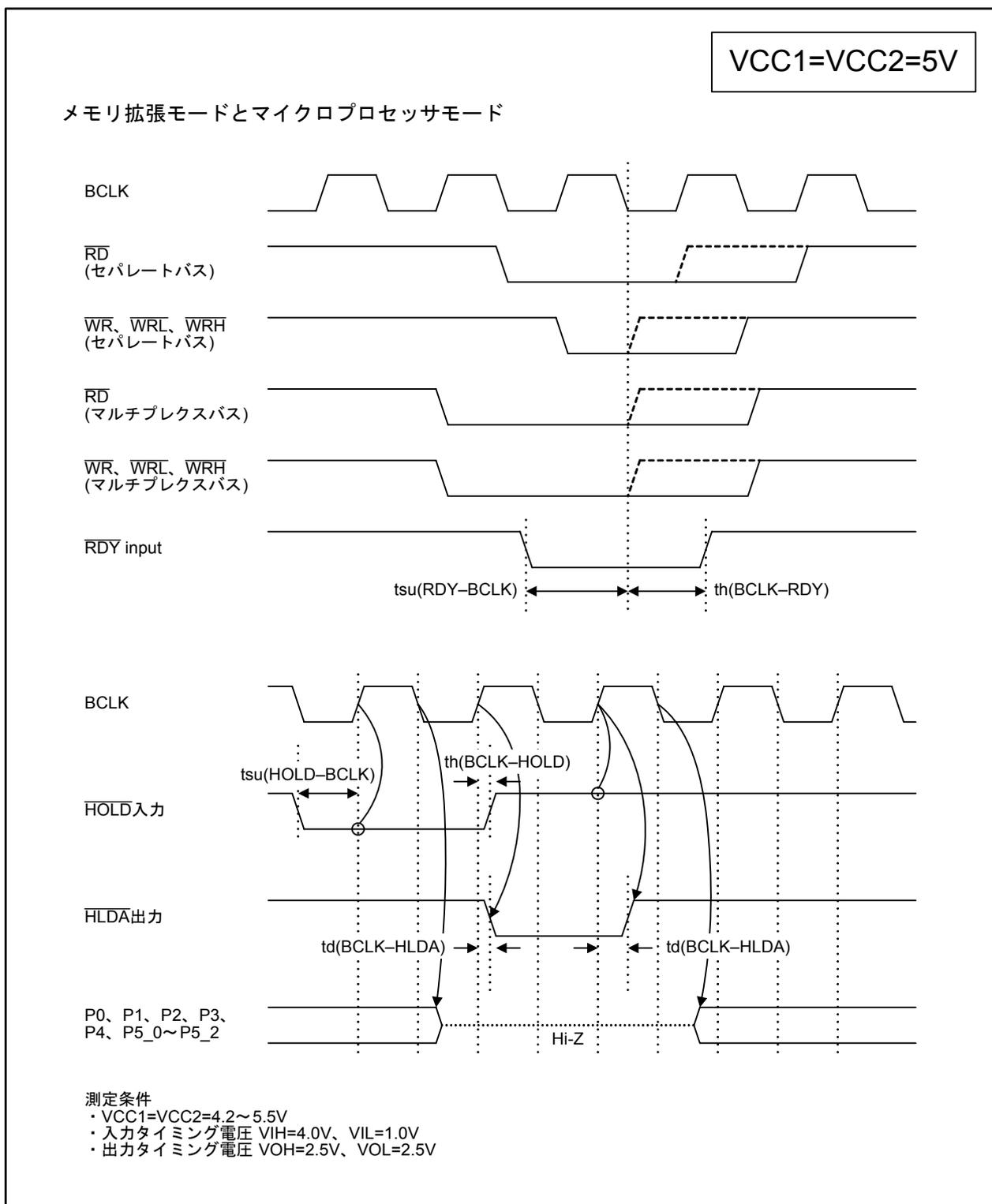


図27.4 VCC1=VCC2=5V時のタイミング図(2)

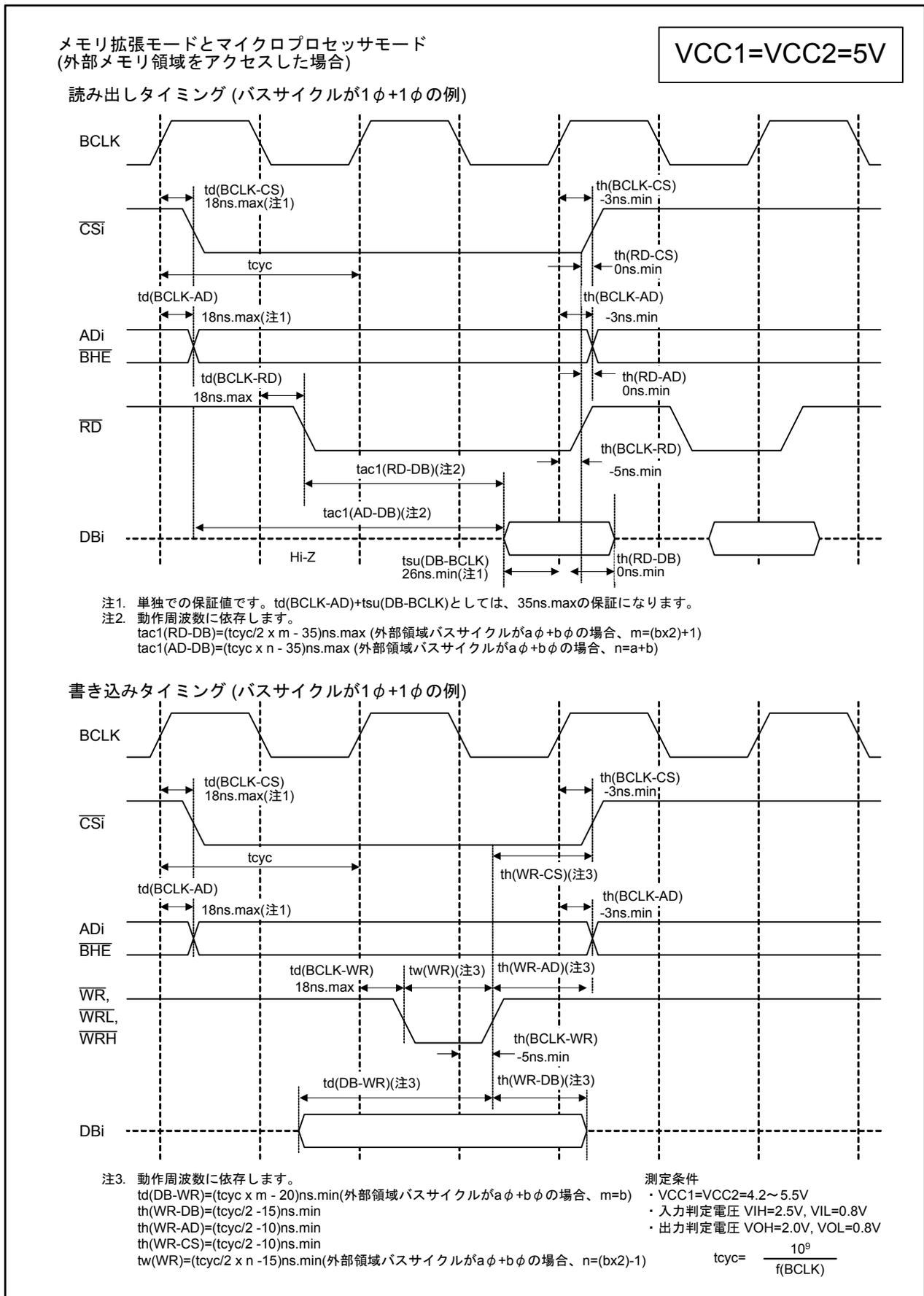


図 27.5 VCC1=VCC2=5V時のタイミング図(3)

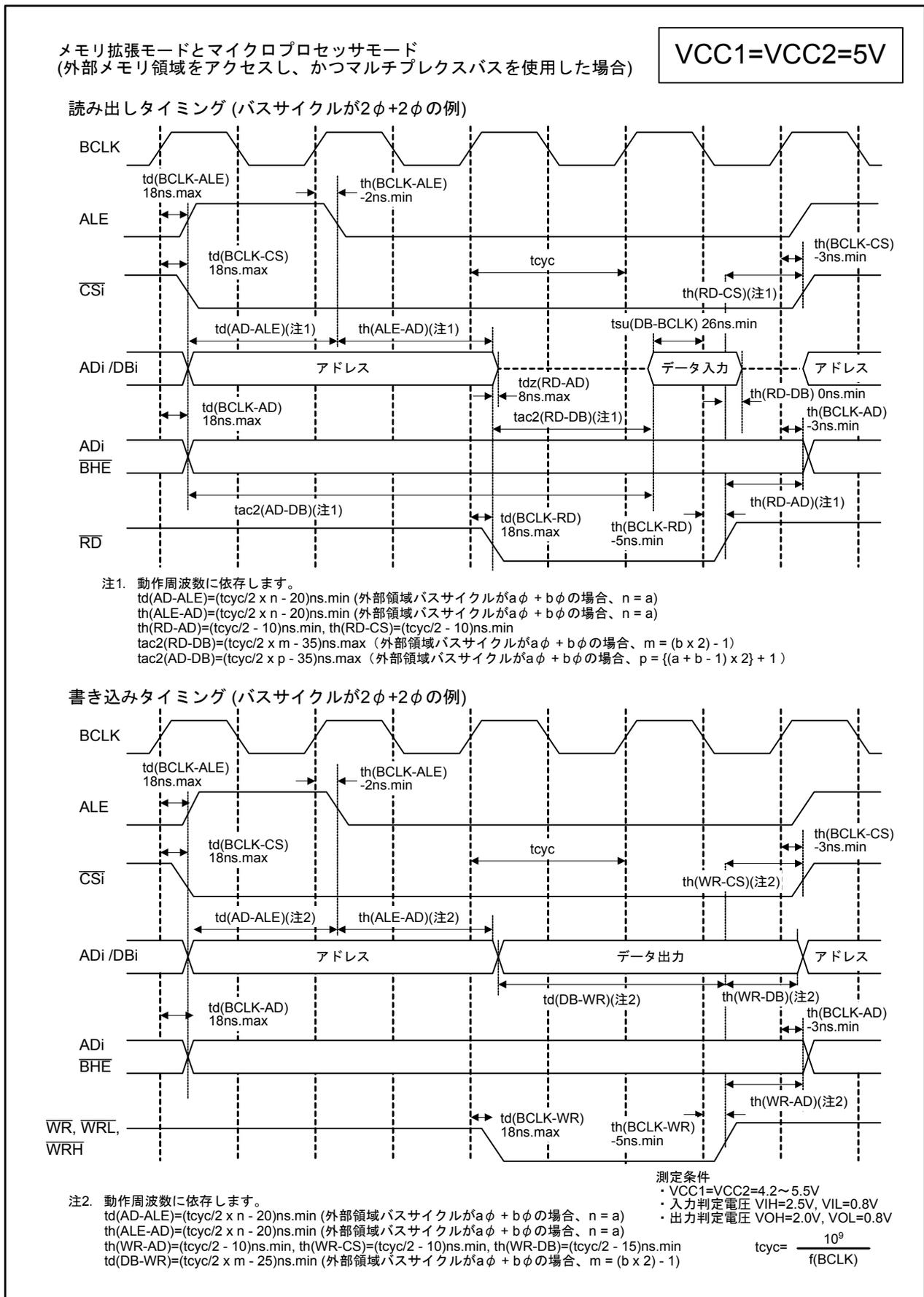


図27.6 VCC1=VCC2=5V時のタイミング図(4)

VCC1=VCC2=3.3V

表 27.27 電気的特性(1)

(指定のない場合は、VCC1=VCC2=3.0V～3.6V, VSS=0V, Topr= -20～85℃, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H” 出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7(注1)	IOH=-1mA	VCC2-0.6		VCC2	V
		P6_0～P6_7, P7_2～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0～P14_6, P15_0～P15_7(注1)	IOH=-1mA	VCC1-0.6		VCC1	
	XOUT	IOH=-0.1mA	2.7		VCC1	V	
	XCOULT	駆動能力High	無負荷時		2.5		V
		駆動能力Low	無負荷時		1.6		V
VOL	“L” 出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～ P13_7, P14_0～P14_6, P15_0～P15_7(注1)	IOL=1mA			0.5	V
		XOUT	IOL=0.1mA			0.5	V
	XCOULT	駆動能力High	無負荷時		0		V
		駆動能力Low	無負荷時		0		V
VT+ - VT-	ヒステリシス	HOLD, RDY, TA0IN～TA4IN, TB0IN～TB5IN, INT0～INT8, ADTRG, CTS0～CTS6, CLK0～CLK6, TA0OUT～TA4OUT, NMI, KI0～KI3, RXD0～RXD6, SCL0～SCL4, SDA0～SDA4, INPC1_0～INPC1_7, ISCLK0～ISCLK2, ISRXD0～ISRXD2, IEIN, CAN0IN, CAN1IN, CAN1WU		0.2		1.0	V
		RESET		0.2		1.8	V
IIH	“H” 入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=3V			4.0	μA
IIL	“L” 入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=0V			-4.0	μA
RPULLUP	プルアップ抵抗	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_2～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～ P13_7, P14_0～P14_6, P15_0～P15_7(注1)	VI=0V	40	90	500	kΩ
RfXIN	帰還抵抗	XIN			3.0		MΩ
RfXCIN	帰還抵抗	XCIN			20.0		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V

注1. ポートP11～P15は144ピン版のみあります。

VCC1=VCC2=3.3V

表27.27 電気的特性(2) (指定のない場合は、VCC1=VCC2=3.3V, VSS=0V, Topr=25°C)

記号	項目	測定条件(注1)	規格値			単位	
			最小	標準	最大		
ICC	電源電流	フラッシュメモリ版	f(CPU)=24MHz		23	33	mA
			f(CPU)=16MHz		17		mA
			f(CPU)=8MHz		11		mA
			f(CPU)=f(Ring) オンチップオシレータ低消費電力モード		2.6		mA
			f(CPU)=32kHz 低消費電力モード、フラッシュメモリ動作		430		μA
			f(CPU)=32kHz 低消費電力モード、フラッシュメモリ停止(注2)		30		μA
			ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後		45		μA
			ストップモード(クロック停止時)		0.8	5	μA
			ストップモード(クロック停止時) Topr=85°C			50	μA
			マスクROM版	f(CPU)=24MHz		23	33
		f(CPU)=16MHz			17		mA
		f(CPU)=8MHz			11		mA
		f(CPU)=f(Ring) オンチップオシレータ低消費電力モード			1		mA
		f(CPU)=32kHz 低消費電力モード			30		μA
	ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードから ウェイトモードへ移行後			45		μA	
	ストップモード(クロック停止時)		0.8	5	μA		
	ストップモード(クロック停止時) Topr=85°C			50	μA		

注1. シングルチップモードで出力端子は開放、その他の端子はVSSに接続してください。

注2. FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にし、RAM上でプログラムを実行したときの値です。

VCC1=VCC2=3.3V

表 27.28 A/D変換特性 (指定のない場合は、VCC1=VCC2=AVCC=VREF=3.0V~3.6V, VSS=AVSS=0V, Topr=-20~85°C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	VREF=VCC1			10	Bits
INL	積分非直線性誤差(8bit)	VREF=VCC1=VCC2=3.3V			±2	LSB
DNL	微分非直線性誤差(8bit)				±1	LSB
—	オフセット誤差(8bit)				±2	LSB
—	ゲイン誤差(8bit)				±2	LSB
RLADDER	ラダー抵抗	VREF=VCC1	8		40	kΩ
tCONV	変換時間(8bit)(注1、2)		4.9			μs
VREF	基準電圧		3		VCC1	V
VIA	アナログ入力電圧		0		VREF	V

注1. φADが10MHzのときの値です。φADを10MHz以下にしてください。f(CPU)=(φAD)が24MHzの場合は3分周し、φADを8MHzにして使用してください。このとき、AD変換時間は6.1μsになります。

注2. サンプル&ホールド機能なし。

表 27.29 D/A変換特性 (指定のない場合は、VCC1=VCC2=VREF=3.0V~3.6V, VSS=AVSS=0V, Topr=-20~85°C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.0	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ(i=0, 1)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。AD0CON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IVREFは流れます。

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表 27.30 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	41		ns
tw(H)	外部クロック入力“H”パルス幅	18		ns
tw(L)	外部クロック入力“L”パルス幅	18		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表 27.31 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

i=0~4

表 27.32 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

i=0~4

表 27.33 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

表 27.34 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0~4

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表 27.35 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

i=0~4

表 27.36 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	2		μs
tsu(TAIN-TAOUT)	TAiOUT入力セットアップ時間	500		ns
tsu(TAOUT-TAIN)	TAiIN入力セットアップ時間	500		ns

i=0~4

表 27.37 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

i=0~5

表 27.38 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

表 27.39 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

i=0~5

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表 27.40 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	$\overline{\text{ADTRG}}$ 入力サイクル時間(トリガ可能最小)	1000		ns
tw(ADL)	$\overline{\text{ADTRG}}$ 入力“L”パルス幅	125		ns

表 27.41 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi入力サイクル時間	200		ns
tw(CKH)	CLKi入力“H”パルス幅	100		ns
tw(CKL)	CLKi入力“L”パルス幅	100		ns
td(C-Q)	TXDi出力遅延時間		80	ns
th(C-Q)	TXDi出力ホールド時間	0		ns
tsu(D-C)	RXDi入力セットアップ時間	70		ns
th(C-D)	RXDi入力ホールド時間	90		ns

i=0~6

表 27.42 インテリジェントI/O通信機能(グループ0、1)

記号	項目	規格値		単位
		最小	最大	
tc(CK)	ISCLKi入力サイクル時間	600		ns
tw(CKH)	ISCLKi入力“H”パルス幅	300		ns
tw(CKL)	ISCLKi入力“L”パルス幅	300		ns
td(C-Q)	ISTXDi出力遅延時間		100	ns
th(C-Q)	ISTXDi出力ホールド時間	0		ns
tsu(D-C)	ISRXDi入力セットアップ時間	100		ns
th(C-D)	ISRXDi入力ホールド時間	100		ns

i=0,1

表 27.43 インテリジェントI/O通信機能(グループ2)

記号	項目	規格値		単位
		最小	最大	
tc(CK)	ISCLK2入力サイクル時間	600		ns
tw(CKH)	ISCLK2入力“H”パルス幅	300		ns
tw(CKL)	ISCLK2入力“L”パルス幅	300		ns
td(C-Q)	ISTXD2出力遅延時間		180	ns
th(C-Q)	ISTXD2出力ホールド時間	0		ns
tsu(D-C)	ISRXD2入力セットアップ時間	150		ns
th(C-D)	ISRXD2入力ホールド時間	100		ns

表 27.44 外部割り込み $\overline{\text{INTi}}$ 入力(エッジセンス)

記号	項目	規格値		単位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 入力“H”パルス幅	250		ns
tw(INL)	$\overline{\text{INTi}}$ 入力“L”パルス幅	250		ns

i=0~8(注1)

注1. $\overline{\text{INT6}}\sim\overline{\text{INT8}}$ は144ピン版のみあります。

VCC1=VCC2=3.3V

タイミング必要条件(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85℃)

表 27.45 メモリ拡張モードおよびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間(RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間(AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間(RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間(AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	30		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	60		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウェイトを入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$tac1(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) + 1)$$

$$tac1(AD-DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a + b)$$

$$tac2(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

$$tac2(AD-DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} p=\{(a + b - 1) \times 2\} + 1)$$

VCC1=VCC2=3.3V

スイッチング特性(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr= -20~85°C)

表 27.46 メモリ拡張モードおよびマイクロプロセッサモード(外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 27.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注3)		0		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注3)		0		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間(WR基準)			(注2)	ns
th(WR-DB)	データ出力保持時間(WR基準)(注3)			(注1)	ns
tw(WR)	WR出力幅			(注2)	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=b)$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=(b \times 2) - 1)$$

注3. リカバリサイクル挿入時はtc時間延長されます。

VCC1=VCC2=3.3V

スイッチング特性(指定のない場合は、VCC1=VCC2=3.0V~3.6V, VSS=0V, Topr=-20~85°C)

表27.47 メモリ拡張モードおよびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図27.2参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間(BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間(アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間(アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

$$th(RD-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD-ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE-AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注5. リカバリサイクル挿入時はtc時間延長されます。

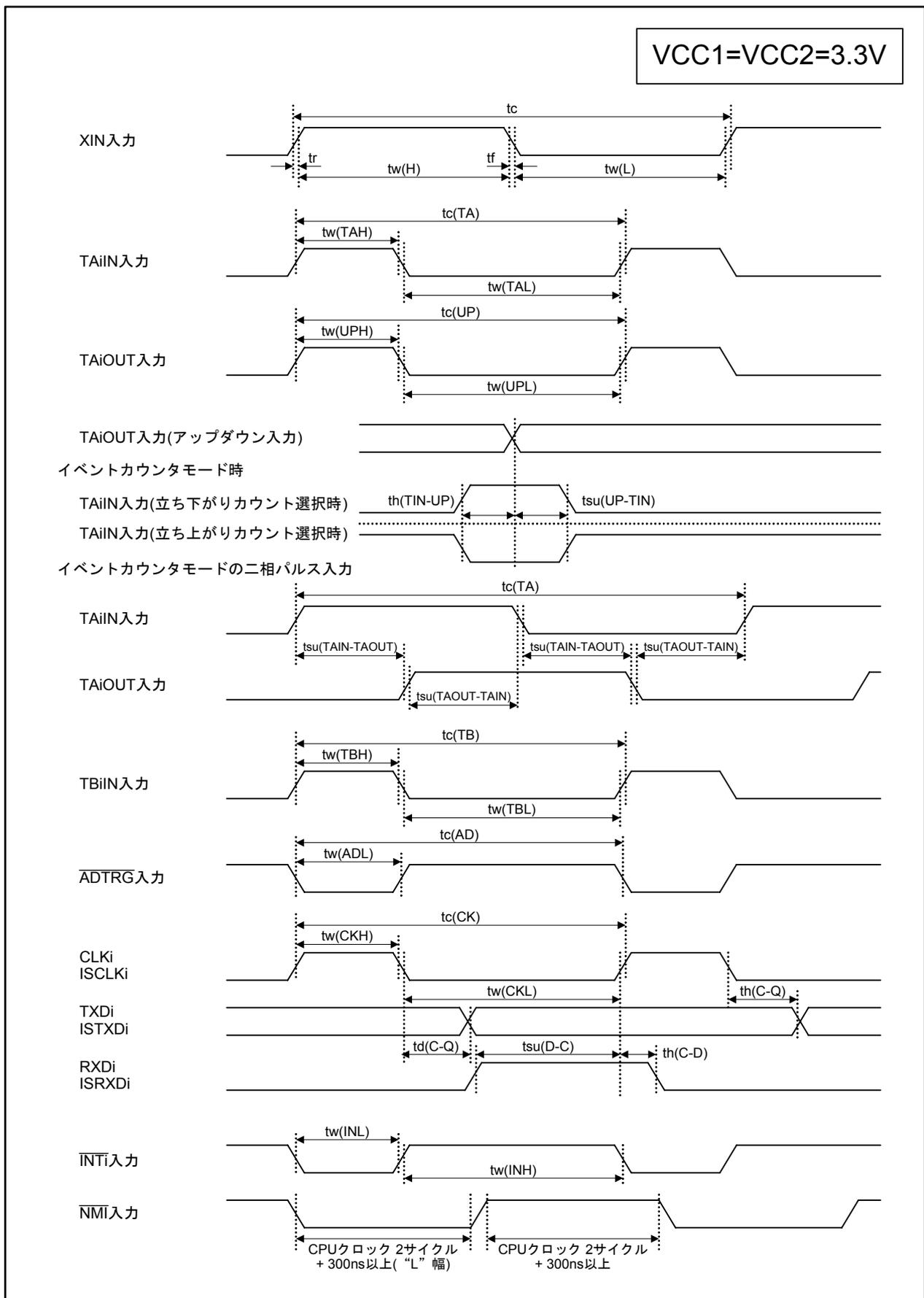


図 27.7 VCC1=VCC2=3.3V時のタイミング図(1)

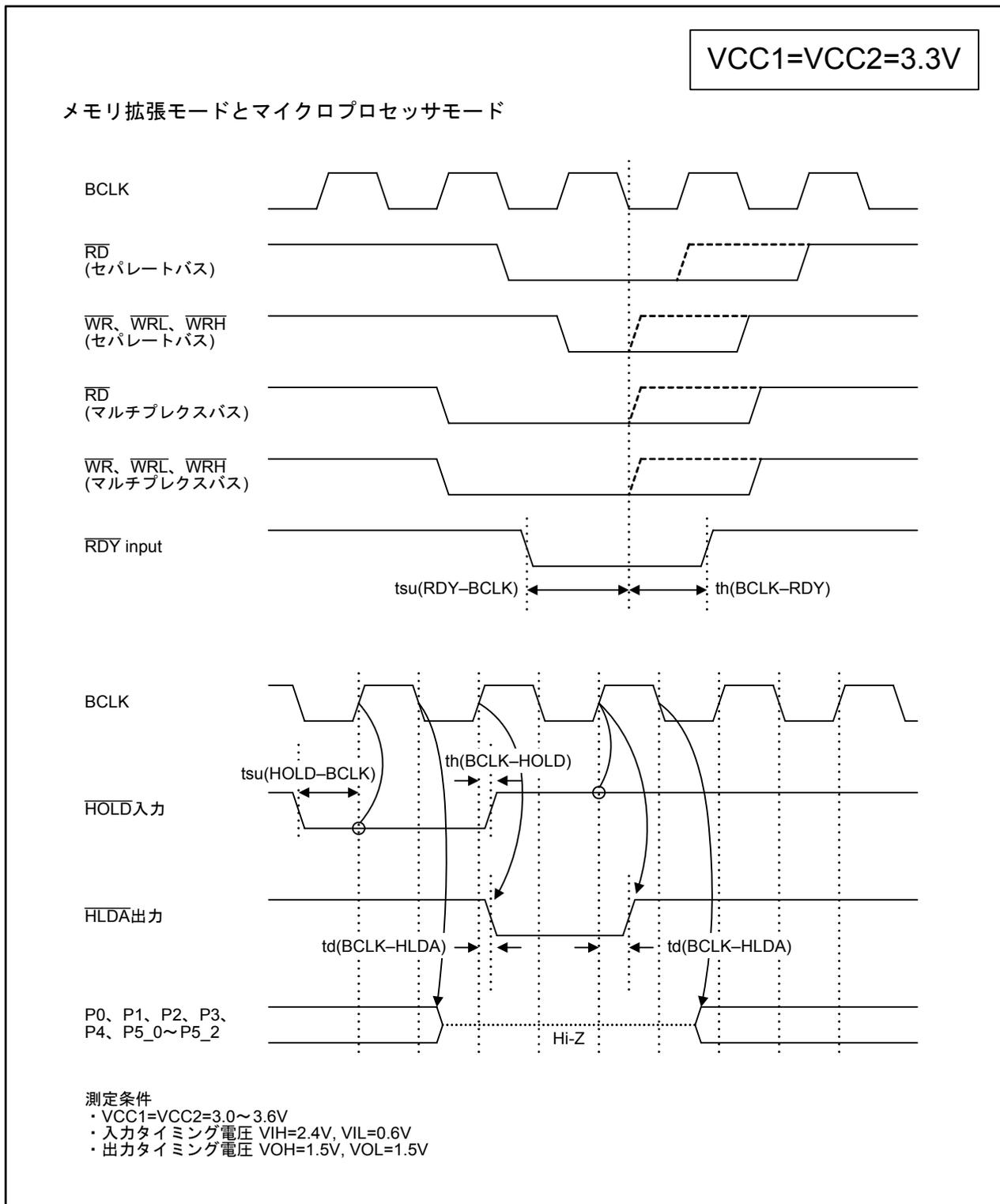


図 27.8 VCC1=VCC2=3.3V時のタイミング図(2)

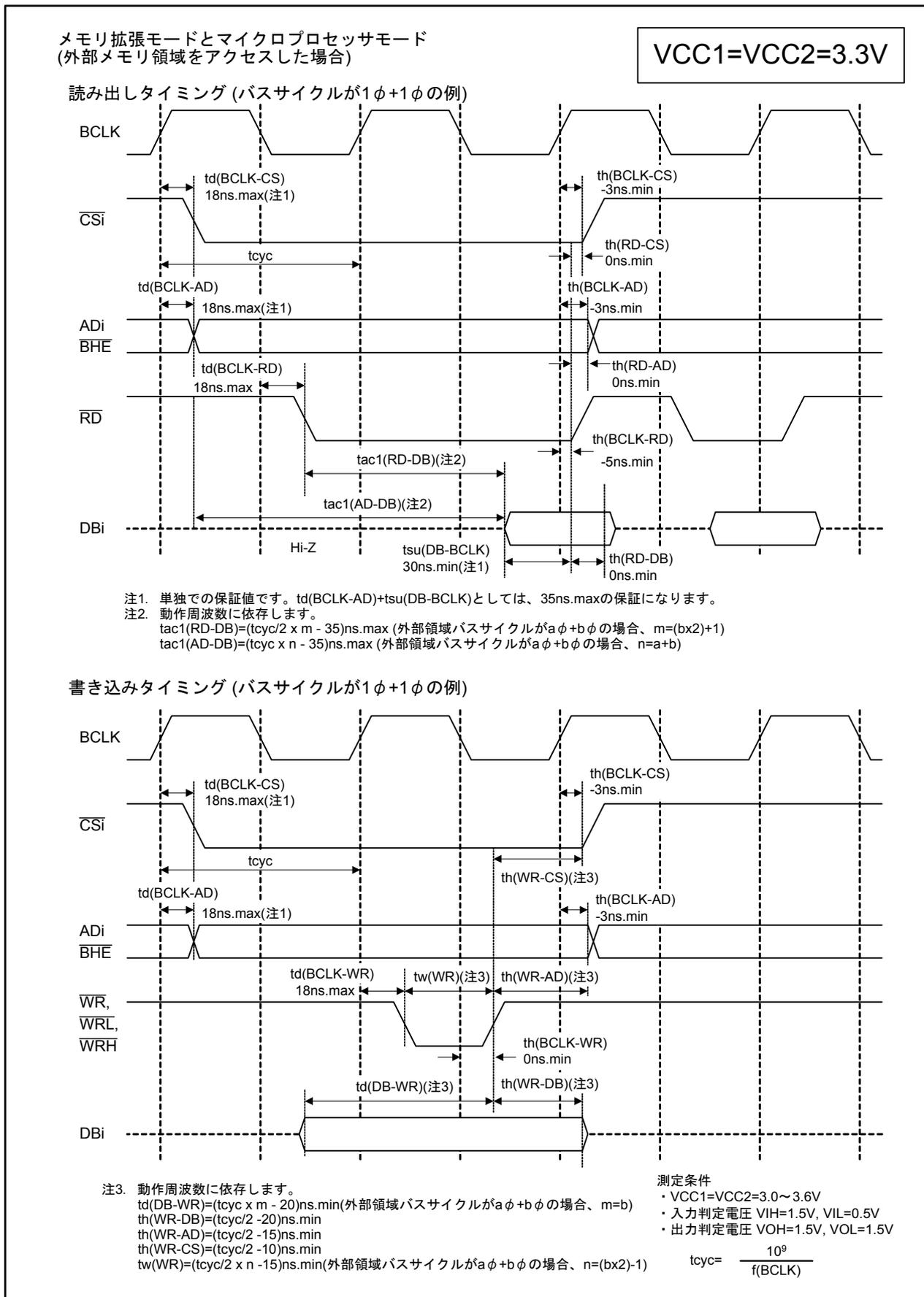


図 27.9 VCC1=VCC2=3.3V時のタイミング図(3)

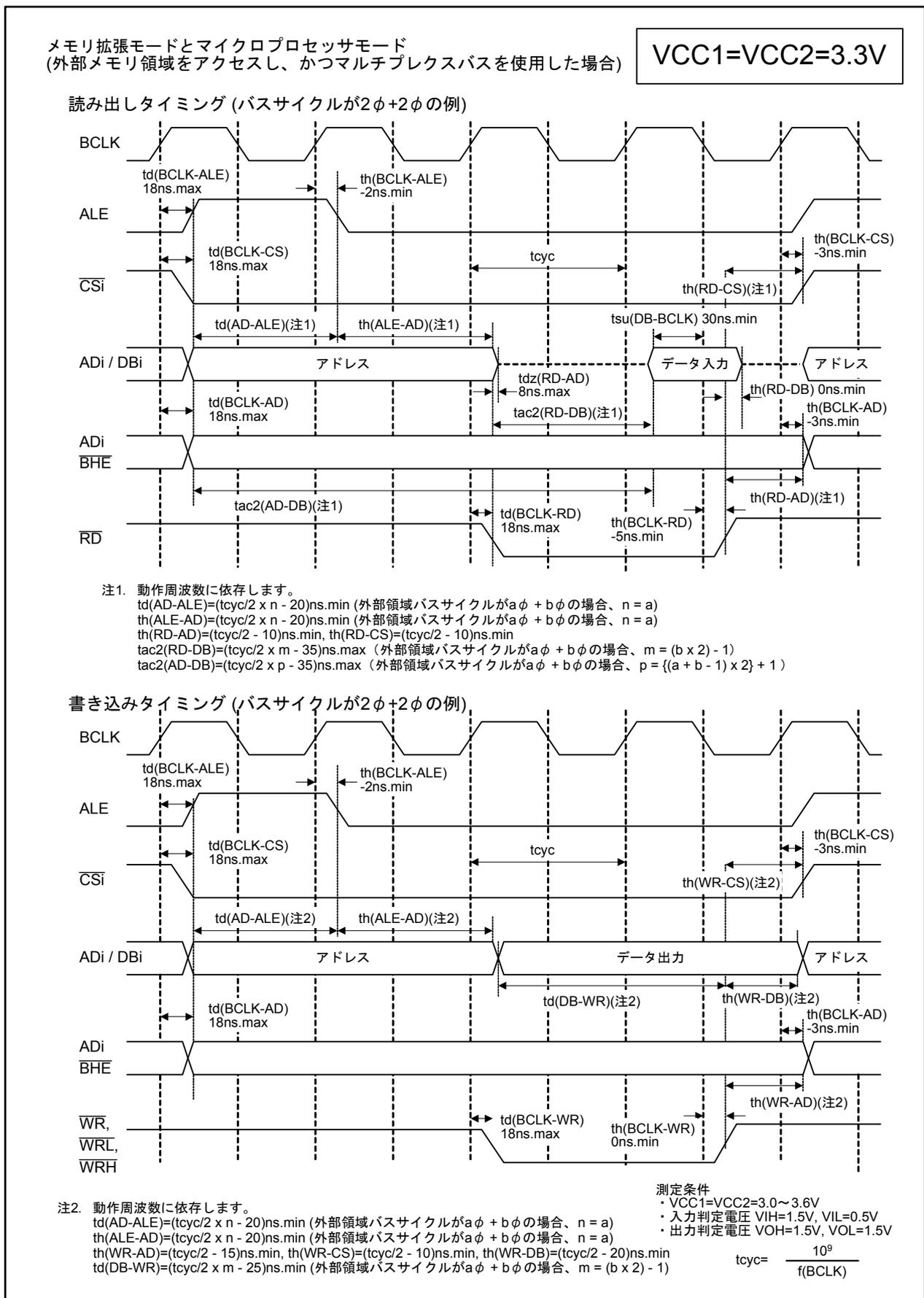


図 27.10 VCC1=VCC2=3.3V時のタイミング図(4)

28. 使用上の注意事項

28.1 電源

28.1.1 電源立ち上げ

電源投入時、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

(テクニカルアップデート番号：TN-M16C-116-0311)

表28.1 電源電圧立ち上がり勾配

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源電圧立ち上がり勾配(電圧範囲0V~2.0V)	0.05			V/ms

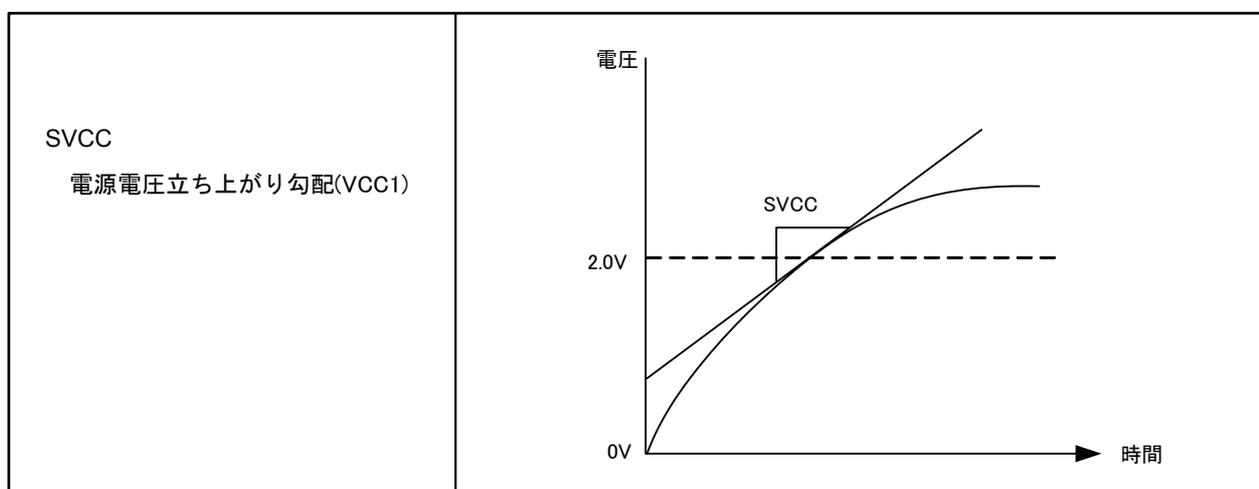


図28.1 SVCCのタイミング図

28.1.2 電源リップル

表28.2の規格を満たすように電源電圧を安定させてください。

表28.2 電源リップル

記号	項目	規格値			単位
		最小	標準	最大	
f(ripple)	電源リップル許容周波数(VCC1)			10	kHz
Vp-p(ripple)	電源リップル許容振幅電圧	(VCC1=5V時)		0.5	V
		(VCC1=3.3V時)		0.3	V
VCC ($ \Delta V/\Delta T $)	電源リップル 立ち上がり/立ち下がり勾配	(VCC1=5V時)		0.3	V/ms
		(VCC1=3.3V時)		0.3	V/ms

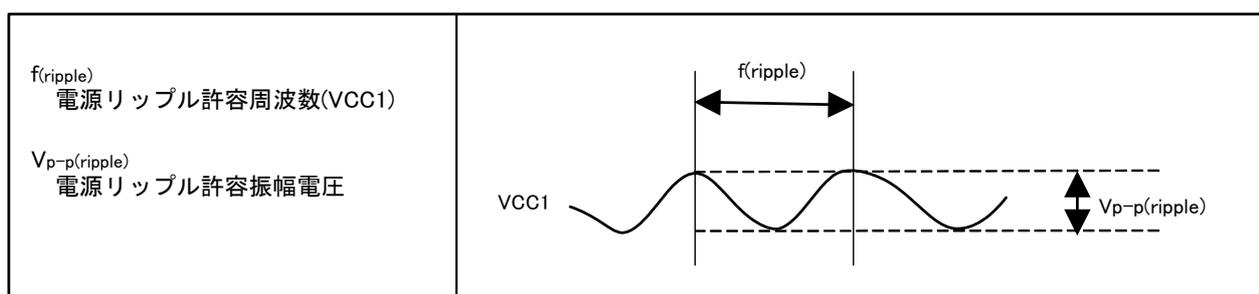


図28.2 電源変動のタイミング図

28.1.3 ノイズ対策

ノイズ対策として、VCC端子とVSS端子間にバイパスコンデンサ(0.1 μ F以上)を最短距離でかつ、比較的太い配線を使って接続してください。

28.2 SFR

28.2.1 100ピン版の注意事項

100ピン版では、03CBh、03CEh、03CFh、03D2h、03D3h番地の領域は、リセット後“FFh”にしてください。03DCh番地の領域は、リセット後“00h”にしてください。

28.2.2 レジスタ設定時の注意事項

表28.3に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタに値を設定する場合、リードモディファイライト命令は使用できません。リードモディファイライト命令は、対象アドレスの値を読み、その値を変更して書き戻す命令です。表28.4にリードモディファイライト命令を示します。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表28.3 書き込みのみ可能なビットを含むレジスタ

レジスタ名	番地	レジスタ名	番地
WDTSレジスタ	000Eh	TA41レジスタ	0307h – 0306h
G0TBレジスタ	00EAh	DTTレジスタ	030Ch
G0RIレジスタ	00ECh	ICTB2レジスタ	030Dh
G1TBレジスタ	012Ah	U3BRGレジスタ	0329h
G1RIレジスタ	012Ch	U3TBレジスタ	032Bh – 032Ah
G2TBレジスタ	016Dh – 016Ch	U2BRGレジスタ	0339h
U5BRGレジスタ	01C1h	U2TBレジスタ	033Bh – 033Ah
U5TBレジスタ	01C3h – 01C2h	UDFレジスタ	0344h
U6BRGレジスタ	01C9h	TA0レジスタ(注1)	0347h – 0346h
U6TBレジスタ	01CBh – 01CAh	TA1レジスタ(注1)	0349h – 0348h
U1BRGレジスタ	02E9h	TA2レジスタ(注1)	034Bh – 034Ah
U1TBレジスタ	02EBh – 02EAh	TA3レジスタ(注1)	034Dh – 034Ch
U4BRGレジスタ	02F9h	TA4レジスタ(注1)	034Fh – 034Eh
U4TBレジスタ	02FBh – 02FAh	U0BRGレジスタ	0369h
TA11レジスタ	0303h – 0302h	U0TBレジスタ	036Bh – 036Ah
TA21レジスタ	0305h – 0304h		

注1. ワンショットタイマモード時とパルス幅変調モード時のみ

表28.4 リードモディファイライト命令

機能	ニーモニック
転送	MOVDir
ビット処理	BCLR、BMCnd、BNOT、BSET、BTSTC、BTSTS
シフト	ROLC、RORC、ROT、SHA、SHANC、SHL、SHLNC
算術	ABS、ADC、ADCF、ADD、ADDX、DADC、DADD、DEC、DSBB、DSUB、EXTS、INC、MUL、MULEX、MULU、NEG、SBB、SUB、SUBX
論理	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

28.3 プロセッサモード

- アドレスバス、データバス、チップセレクトやリードなどのバス制御端子と共用しているポートは、シングルチップモードに移行してから、ポートレジスタおよび方向レジスタを設定してください。
(テクニカルアップデート番号：TN-M16C-49-0003)
- PM0レジスタのPM01～PM00ビットを書き換えると、CNVSS端子の入力レベルにかかわらず、PM01～PM00ビットに対応するモードになります。PM01～PM00ビットを“01b”（メモリ拡張モード）または、“11b”（マイクロプロセッサモード）に書き換える場合、PM07～PM02ビットと同時に書き換えしないでください。PM07、PM05～PM04、PM02ビット、PM1レジスタのPM15～PM14、PM11～PM10ビットを設定した後に、PM01～PM00ビットを設定してください。
- マイクロプロセッサモードで起動する場合、内部ROMは読めません。

28.4 バス

28.4.1 $\overline{\text{HOLD}}$ 入力

シングルチップモードからメモリ拡張モード、またはマイクロプロセッサモードに変更し、かつ $\overline{\text{HOLD}}$ 入力を使用する場合、PD4レジスタのPD4_0～PD4_7ビットとPD5レジスタのPD5_0～PD5_2ビットをすべて“0”(入力モード)にした後、PM01～PM00ビットを“01b”(メモリ拡張モード)、または“11b”(マイクロプロセッサモード)にしてください。

(テクニカルアップデート番号：TN-M16C-59-0007)

28.5 クロック発生回路

28.5.1 メインクロック

- CPUを24MHz以上の周波数で動作させる場合、メインクロック(XIN-XOUT)に接続する発振子、またはXIN端子に入力するクロックは24MHz以下にし、PLL周波数シンセサイザで逡倍してください。24MHz以上の発振子を接続したり、XIN端子への入力クロックを24MHz以上にするよりも、EMC(電磁環境適合性)が向上します。
- XIN端子に外部で生成したクロックを入力して、CPUクロックにメインクロックを選択している場合、外部で生成したクロックを停止させないでください。
(テクニカルアップデート番号：TN-M16C-109-0309)
- XIN端子への入力クロックをCPUクロックに使用している場合、CM0レジスタのCM05ビットを“1”(停止)にしないでください。

28.5.2 サブクロック

28.5.2.1 サブクロック発振時

サブクロックを発振させる場合、CM0レジスタのCM07ビットを“0”(サブクロック以外のクロック)、かつCM03ビットを“1”(XCIN-XCOUT駆動能力High)にした後、CM0レジスタのCM04ビットを“1”(サブクロック発振)にしてください。サブクロックの発振が安定した後、CM03ビットを“0”(XCIN-XCOUT駆動能力Low)にしてください。

上記の設定を行った後、CPUクロック、またはタイマA、タイマBのカウントソースにサブクロックを設定してください。

(テクニカルアップデート番号：TN-16C-119A/JA)

28.5.2.2 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングを駆動能力Highでのみ確認している場合、駆動能力Lowのマッチングも確認してください。

発振回路定数のマッチングに関しては発振子メーカーにお問い合わせください。

28.5.3 クロック分周比

MCDレジスタのMCD4～MCD0ビットを変更する場合、PM1レジスタのPM12ビットを“0”(内部メモリウェイトなし)にしてください。

28.5.4 パワーコントロール

CPUクロックのクロック源をメインクロックまたはサブクロック、PLLクロックに切り替えるときは、各クロックの発振が安定してから切り替えてください。

28.5.4.1 ウェイトモード

- CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にしてウェイトモードへ移行する場合、CPUクロックが10MHz以下になるようにMCD4～MCD0ビットを設定してください。
- ウェイトモードに移行する場合、命令キューにWAIT命令より後の命令が取り込まれて、プログラムが停止します。WAIT命令の後にはNOPを最低4つ入れてください。
- ウェイトモードに移行する場合、 $\overline{\text{NMI}}$ 端子が“H”の状態 WAIT命令を実行してください。

28.5.4.2 ストップモード

- $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、ストップモードへ移行しません。ストップモードに移行する場合、 $\overline{\text{NMI}}$ 端子に“H”を入力してください。
- ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまで $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、以下の手順でCM1レジスタのCM10ビットを“1”(全クロック停止)にしてください。
(テクニカルアップデート番号：TN-16C-127A/JA)

- (1) $\overline{\text{NMI}}$ 割り込みでストップモードから復帰する
- (2) ダミー割り込みを発生させる
- (3) CM10ビットを“1”にする

```
例)   int    #63           ;ダミー割り込み
      bset   CM1           ;全クロック停止
```

```
/*ダミー割り込み処理*/
dummy
reit
```

- ストップモードに移行する場合、命令キューにCM1レジスタのCM10ビットを“1”(全クロック停止)にする命令より後の命令が取り込まれてから、プログラムが停止します。ストップモードから復帰したとき、命令キューに取り込まれている命令を実行してから復帰用割り込みルーチンが実行されます。
CM10ビットを“1”にする命令の後には次のようにJMP.B命令を入れてください。
(テクニカルアップデート番号：TN-16C-124A/JA)

```
      fset   I             ;Iフラグを“1”にする
      bset  0, cm1        ;全クロック停止(ストップモード)
      jmp.b LABEL_001    ;jmp.b命令実行(jmp.bとラベルの間には命令を
LABEL_001:              ;入れないですぐ次の命令にジャンプする)
      nop                    ;nop(1)
      nop                    ;nop(2)
      nop                    ;nop(3)
      nop                    ;nop(4)
      mov.b #0, prcr      ;プロテクト設定
      .
      .
      .
```

28.5.4.3 消費電力を小さくするためのポイント

システム設計やプログラムを作成するときに参考にしてください。

端子処理：

- フローティング状態の入力端子には貫通電流が流れることがあります。未使用端子は入力モードに設定し、端子ごとに抵抗を介してVSSに接続（プルダウン）するか、または出力モードに設定し、端子を開放してください。

A/Dコンバータ：

- A/D変換を行わない場合、AD0CON1レジスタのVCUTビットを“0”（VREF未接続）にしてください。なお、A/D変換を行う場合、VCUTビットを“1”（VREF接続）にしてから1 μ s以上経過した後、A/D変換を開始させてください。

D/Aコンバータ：

- D/A変換を行わない場合、DACONレジスタのDAiEビット(i = 0,1)を“0”（出力禁止）にし、DAiレジスタ、DACON1レジスタを“00h”にしてください。

周辺機能の停止：

- メインクロックモード、オンチップオシレータモード、オンチップオシレータ低消費電力モードからウェイトモードへ移行する時、CM0レジスタのCM02ビットで周辺機能クロック源(fPFC)を停止することにより、消費電力を低減させることができます。ただし、fC32は停止しません。
- 低速モード時にはCM02ビットを“1”（ウェイトモード時、周辺機能クロック停止する）にしてウェイトモードに移行しないでください。
(テクニカルアップデート番号：TN-M16C-69-0103)

28.6 プロテクト

PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした後、SFR領域に書き込みを実行すると“0”(書き込み禁止)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送、DMACII転送が入らないようにしてください。

28.7 割り込み

28.7.1 ISPの設定

リセット後、ISPは“000000h”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには偶数番地を設定してください。偶数を設定した方が割り込みシーケンスの実行速度が速くなります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でISPを設定してください。 $\overline{\text{NMI}}$ 割り込みは、リセット後、1命令を実行した直後から受け付けられます。

28.7.2 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。 $\overline{\text{NMI}}$ 割り込みを使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVCC1に接続してください。
- $\overline{\text{NMI}}$ 端子は、P8レジスタのP8_5ビットを読むことで、端子に入力されている電圧のレベルが読めます。P8_5ビットは、 $\overline{\text{NMI}}$ 割り込みが発生した後、端子のレベルを判定する場合のみ読んでください。

28.7.3 $\overline{\text{INT}}$ 割り込み

- エッジセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT8}}$ 端子に入力する信号には、CPUクロックに関係なく250ns以上の“L”幅、または“H”幅が必要です。
- レベルセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロックの1クロック+200ns以上の“L”幅、または“H”幅が必要です。(例：CPUクロックが30MHz、分周なしの場合は、234ns以上必要です。)
- $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子の極性を切り替えるときにINTiICレジスタ(i=0~5)のIRビットが“1”(割り込み要求あり)になることがあります。切り替えた後、IRビットを“0”(割り込み要求なし)にしてください。図28.3に $\overline{\text{INTi}}$ 割り込み(i=0~5)発生要因の設定手順を示します。

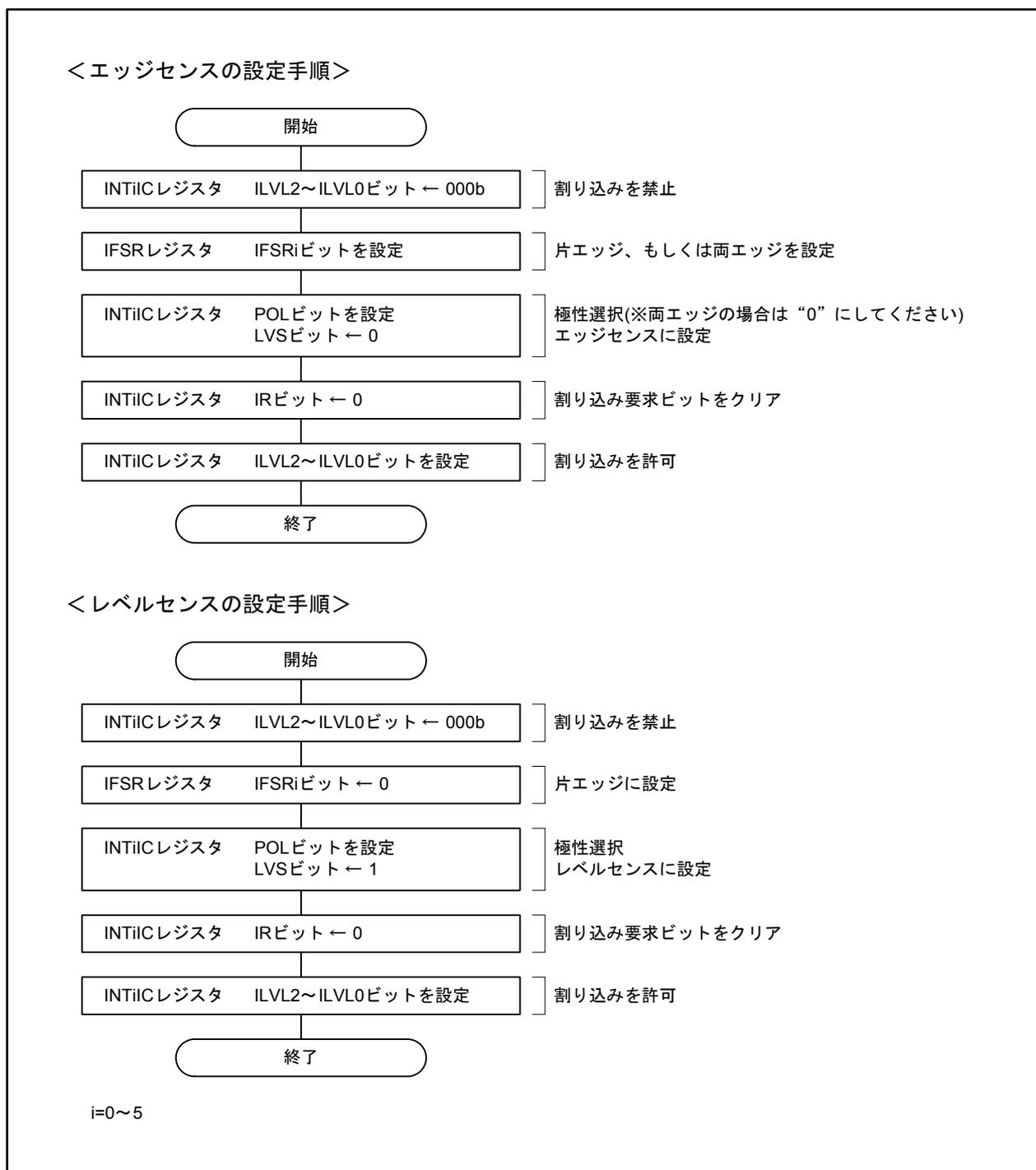


図 28.3 INTi割り込み(i=0~5)発生要因の設定手順

- $\overline{\text{INT}}_6 \sim \overline{\text{INT}}_8$ 端子の極性を切り替えるときに、 IIOjIR レジスタ ($j=9 \sim 11$) の対応するビットが“1” (割り込み要求あり) になることがあります。切り替えた後、これらのビットを“0” (割り込み要求なし) にしてください。図28.4に $\overline{\text{INT}}_i$ 割り込み ($i=6 \sim 8$) 発生要因の設定手順を示します。

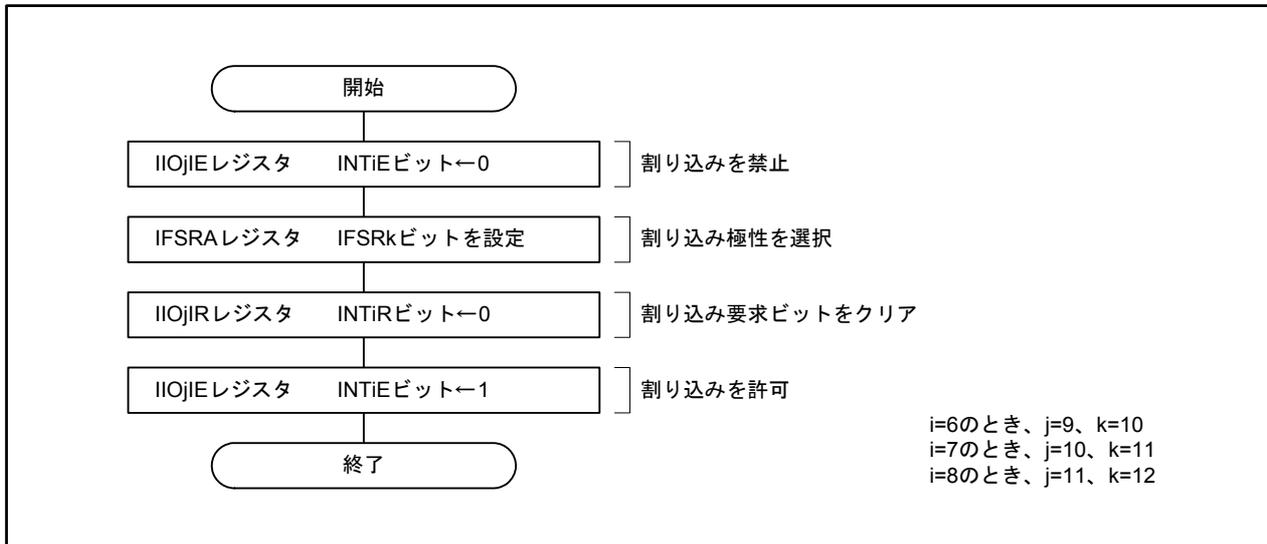


図28.4 $\overline{\text{INT}}_i$ 割り込み ($i=6 \sim 8$) 発生要因の設定手順

28.7.4 割り込み制御レジスタの変更

割り込みが禁止状態で割り込み制御レジスタを変更するときには、次のようにしてください。

- **IRビットの変更**：IRビットを“0” (割り込み要求なし) にするとき、使用する命令によってはIRビットが“0”にならないことがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。(テクニカルアップデート番号：TN-M16C-85-0202)

MOV

- **IRビット以外のビット変更**：命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1” (割り込み要求あり) にならずに割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

AND、OR、BCLR、BSET

28.7.5 IIOiIRレジスタの変更 ($i=0 \sim 11$)

- 割り込み要求フラグ

割り込み要求が発生すると“1” (割り込み要求あり) になります。割り込みが受け付けられても自動的に“0” (割り込み要求なし) にならないので、割り込みルーチンでANDまたはBCLR命令を使って“0”にしてください。要求フラグを“1”のままにしておくと、それ以降に同一レジスタ内で割り込み要求が発生してもIIOiICレジスタ (CANjICレジスタ ($j=0 \sim 5$)) のIRビットは“1”になりません (割り込みが起りません)。

また、要求フラグに“0”を書き込み中、対応する割り込み要求が発生すると、要求フラグは“0”にならないことがあります。この場合、読んで“0”になるまで“0”を書いてください。

28.7.6 RLVLレジスタの変更

リセット後、DMAIIビットは不定です。割り込みで使用する場合は、DMAIIビットを“0” (割り込み優先レベル7は割り込みに使用) にしてから割り込み制御レジスタを設定してください。

28.8 DMAC

- DMAC関連レジスタを設定する場合は、設定するチャンネルのMDi1～MDi0ビット(i=0～3)が“00b”(DMA禁止)の状態を設定し、最後にMDi1～MDi0ビットで“01b”(単転送)または“11b”(リピート転送)を選択してください。これによって、そのチャンネルのDMA要求が受付可能となります。
- DMiSLレジスタを設定する場合は、DRQビットに“1”(要求あり)を書いてください。
M32C/80シリーズでは、DMA要求が発生した場合、そのチャンネルが受け付けられない状態(注1)であればDMA転送は実行せず、そのDRQビットは“0”になります。

注1. MDi1～MDi0ビットが“00b”、またはDCTiレジスタが“0000h”(転送回数0)

- ソフトウェアトリガでDMA転送を行う場合、DMiSLレジスタのDSRビットとDRQビットを、同時に“1”にしてください。

例) OR.B #0A0h, DMiSL ; DSRビットとDRQビットを同時に“1”にする

- チャンネルiのDCTiレジスタが“1”(転送回数1)の場合、チャンネルiに対応するDMDjレジスタ(j=0,1)のMDi1～MDi0ビットに“01b”(単転送)または“11b”(リピート転送)を書くタイミングで、チャンネルiのDMA要求が発生しないようにしてください。
(テクニカルアップデート番号: TN-M16C-88-0207)
- DMA関連レジスタ設定後に、DMA要求要因となる周辺機能を設定してください。
DMA要求要因に $\overline{\text{INT}}$ 割り込みを選択した場合、DCTiレジスタに“1”を書かないでください。
- DMiSLレジスタ(i=0～3)を設定した後、CPUクロックの6クロック以上待つてDMAを許可(注2)してください。

注2. DMA許可とは、DMDjレジスタ(j=0, 1)のMDi1～MDi0ビットを“00b”(DMA禁止)から、“01b”(単転送)、または“11b”(リピート転送)に設定することを表します。

28.9 タイマ

28.9.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSРレジスタまたはTBSRレジスタの、TAiS(i=0~4)ビットまたはTBjS(j=0~5)ビットを“1”(カウント開始)にしてください。

次のレジスタ、ビットは、TAiSビットまたはTBjSビットが“0”(カウント停止)の状態、変更してください。

- TAiMR、TBjMRレジスタ
- UDFレジスタ
- ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット
- TRGSRレジスタ

28.9.2 タイマA

28.9.2.1 タイマA(タイマモード)

- リセット後、TABSРレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.9.2.2 タイマA(イベントカウンタモード)

- リセット後、TABSРレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.9.2.3 タイマA(ワンショットタイマモード)

- リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- カウント中にTABSRレジスタを“0”(カウント停止)にすると次のようになります。
 - カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - TAiOUT端子は“L”を出力します。
 - CPUクロックの1クロック後、TAiCレジスタのIRビットが“1”(割り込み要求あり)になります。
- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1クロック分の遅延が生じます。
- 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
 - リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したときしたがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。
- カウント中にトリガが発生した場合は、カウンタは1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガが発生させる場合は、前回のトリガの発生からタイマのカウントソースの1クロック以上経過した後に、再トリガを発生させてください。
- タイマAワンショットタイマモードでカウント開始条件に外部トリガ入力を選択している場合、タイマAのカウント値が“0000h”になる前の300nsの間に外部トリガを再入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。
(テクニカルアップデート番号：TN-16C-125A/JA)

28.9.2.4 タイマA(パルス幅変調モード)

- リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したときしたがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。
- PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。
 - カウンタはカウントを停止します。
 - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

28.9.3 タイマB

28.9.3.1 タイマB(タイマモード、イベントカウンタモード)

- リセット後、TBiS ビット(i=0~5)は“0”(カウント停止)です。動作モードを選択し、TBi レジスタに値を設定した後、TBiS ビットを“1”(カウント開始)にしてください。
TB2S~TB0S ビットはTABS R レジスタのビット7~5、TB5S~TB3S ビットはTBS R レジスタのビット7~5です。
- カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.9.3.2 タイマB(パルス周期測定/パルス幅測定モード)

- MR3 ビットを“0”(オーバフローなし)にするには、TBiS ビットが“1”(カウント開始)の状態
で、MR3 ビットが“1”(オーバフローあり)になった後、カウントソース1クロック以上待つて
からTBiMR レジスタに書いてください。
(テクニカルアップデート番号：TN-M16C-75-0108)
- オーバフローだけの検出にはTBiIC レジスタのIR ビットを使用してください。MR3 ビットは、割
り込みルーチンで割り込み要因を判断するときだけ使用してください。
- カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。
また、このとき、タイマBi割り込み要求は発生しません。
- カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力さ
れるまでに、MR3 ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。
- カウント開始後にTBiMR レジスタのMR1~MR0 ビットを変更すると、IR ビットが“1”(割り込
み要求あり)になることがあります。MR1~MR0 ビットに以前と同じ値を書き込んだ場合は、IR
ビットは変化しません。
- パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプ
ログラムで判断してください。
- パルス周期測定モードでは、オーバフローと有効エッジが同時に発生した場合、割り込み要求は
1回しか発生しないため、有効エッジ入力を判断することができません。オーバフローしない範
囲で使用してください。
- パルス幅測定モードでは、TBi 割り込みルーチンで、ポートのレベルを読むことで、エッジ入力
またはオーバフローを判断してください。

28.10 三相モータ制御用タイマ機能

- タイマB2のアンダフローのタイミングで、TAi、TAi1レジスタ(i=1,2,4)へ書かないでください。書く可能性がある場合は、タイマB2レジスタの値を読み、タイマB2のアンダフローまでに時間が十分あることを確認して、すぐにTAi、TAi1レジスタへ書いてください。
(テクニカルアップデート番号：TN-M16C-86-0204)

28.11 シリアルインタフェース

28.11.1 UiBRGレジスタ(i=0~6)の変更

UiBRGレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。また、CLK1~CLK0ビットを変更した場合は、UiBRGレジスタも設定し直してください。

28.11.2 クロック同期モード

28.11.2.1 外部クロック選択

外部クロックを選択している場合、UiC0レジスタ(i=0~6)のCKPOLビットが“0”(送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

送信のみの場合はREビットの設定は不要

28.11.2.2 受信

- クロック同期モードでは送信制御回路で送受信クロックを制御します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子からはダミーデータが外部に出力されます。
- 連続してデータを受信した場合、UiC1レジスタ(i=0~6)のRIビットが“1”(UiRBレジスタにデータあり)で次の受信データの7ビット目を受信するとオーバーランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、UiRBレジスタは不定になります。オーバーランエラーが発生したときはSmRICレジスタ(m=0~4)のIRビット、またはHIO0IRレジスタ、HIO9IRレジスタのU5RR、U6RRビットは“1”に変化しません。
- 外部クロックを選択し、かつRTS制御を使用しない場合のみ、連続受信モード(UiRRMビットが“1”)が使用できます。他の条件で連続受信を行う場合は、UiRRMビットを“0”(連続受信モード禁止)にし、各受信完了ごとにUiTBレジスタにダミーデータを書いてください。

28.11.3 UARTモード

UmC1レジスタ(m=0~4)のUmEREビットは、UmMRレジスタを設定した後に書いてください。

28.11.4 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UmSMR4レジスタ(m=0~4)のSTSPSELビットを“0”にした後、送受信クロックの半クロック以上待ってから、各コンディション生成ビット(STAREQビット、RSTAREQビット、STPREQビット)を“0”から“1”にしてください。

(テクニカルアップデート番号：TN-16C-130A/JA)

28.12 A/Dコンバータ

- AD0CON0レジスタ(ADSTビットを除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタ、AD0CON4レジスタを設定した後、ADSTビットを“1”(A/D変換開始)にしてください。
- AD0CON1レジスタのVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
A/D変換を使用しないときは、消費電流を低減させるためにVCUTビットを“1”から“0”にしてください。
- ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i_j(i=なし, 0, 2, 15, j=0~7))とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。図28.5に各端子の処理例を示します。

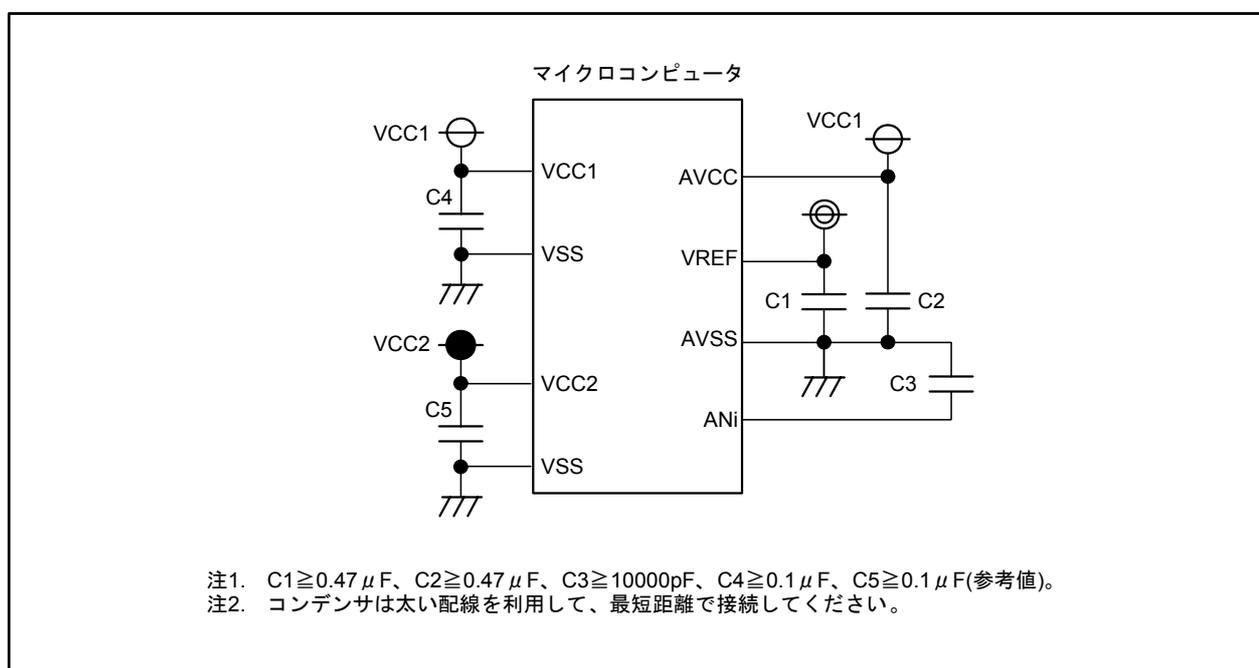


図28.5 各端子の処理例

- アナログ入力端子として使用する端子のポート方向ビットは“0”(入力モード)にしてください。
ADTRG端子を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。
- キー入力割り込みを使用する場合、P10_4~P10_7(AN_4~AN_7)はアナログ入力端子として使用しないでください。
- ϕ ADは、VCC1=4.2V~5.5Vのとき16MHz以下に、VCC1=3.0V~5.5Vのときに10MHz以下にしてください。サンプル&ホールド機能なしの場合、 ϕ ADの周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、 ϕ ADの周波数は1MHz以上にしてください。
- A/D動作モードを変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたはAD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。
- AN_0~AN_7、AN15_0~AN15_7、ANEX0、ANEX1端子に入力する電圧はVCC1以下にしてください。また、AN0_0~AN0_7、AN2_0~AN2_7端子に入力する電圧はVCC2以下にしてください。

- A/D変換動作中に、プログラムでAD0CON0レジスタのADSTビットを“0” (A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのAD0iレジスタの値を使用しないでください。
- DMAC利用モードでは、外部トリガは使用できません。また、AD00レジスタは命令で読まないでください。
- 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0”にしてA/D変換を中止する場合、ADSTビットを“0”にする前に割り込みを禁止にしてください。
(テクニカルアップデート番号：TN-16C-132A/JA)

28.13 インテリジェントI/O

28.13.1 レジスタの設定

- 次に示す各レジスタに書いた値は、GiBCR0レジスタ(i=1,2)のBCK1～BCK0ビットで設定したカウントソース(fBTi)に同期して反映されます。これらのレジスタの設定は、BCK1～BCK0ビットを設定した後で行ってください。

グループ1:

G1BT、G1BCR1、G1TMCR0～G1TMCR7、G1TPR6、G1TPR7、G1TM0～G1TM7、
G1POCR0～G1POCR7、G1PO0～G1PO7、G1FS、G1FE

グループ2:

G2BT、G2BCR1、G2POCR0～G2POCR7、G2PO0～G2PO7、G2FS、G2RTP、BTSR

- インテリジェントI/Oの時間計測機能、波形生成機能で、割り込みを使用する場合、まず、各機能の設定を行い、GiFEレジスタ(i=1,2)のIFEnビット(n=0～7)を“1”にした後、fBTiの2クロック以上待ってから、インテリジェントI/O割り込みの設定をしてください。(各機能を使用する場合のレジスタの設定手順を参照してください。)

- 次に示す各レジスタに書いた値は、通信(送受信)クロックに同期して反映されます。通信(送受信)クロックを設定した後、通信クロック1クロック分以上の時間待ってから、これらのレジスタを設定してください。

グループ0、1:

GjMR(j=0,1)、GjCR、GjEMR、GjETC、GjERC、GjIRF、GjTB(GjDR)、GjCMP0～GjCMP3、
GjMSK0～GjMSK1、GjTCRC、GjRCRC、GjRB、GjRI、GjTO

グループ2:

G2TB、G2RB、G2MR、G2CR、IECR、IEAR、IETIF、IERIF

- 波形出力中にGiPOCRmレジスタ(m=0～7)のIVLビット、INVビットを書くと、直ちに設定値が反映されます。

28.14 CAN

リモートフレーム送信アボート、リモートフレーム受信キャンセルを行う場合、図28.6 リモートフレーム送信アボート時の処理フロー、図28.7 リモートフレーム受信キャンセル時の処理フローに従って処理を行ってください。(テクニカルアップデート番号：TN-16C-126A/JA)

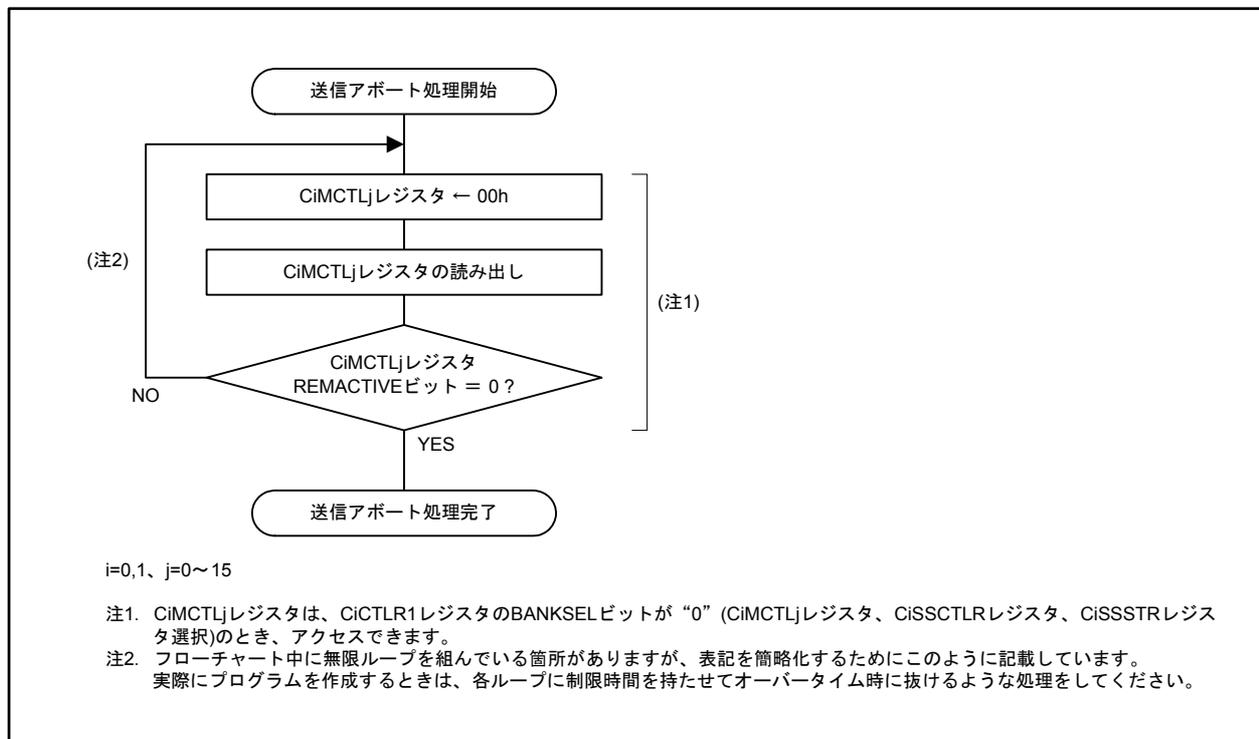


図28.6 リモートフレーム送信アボート時の処理フロー

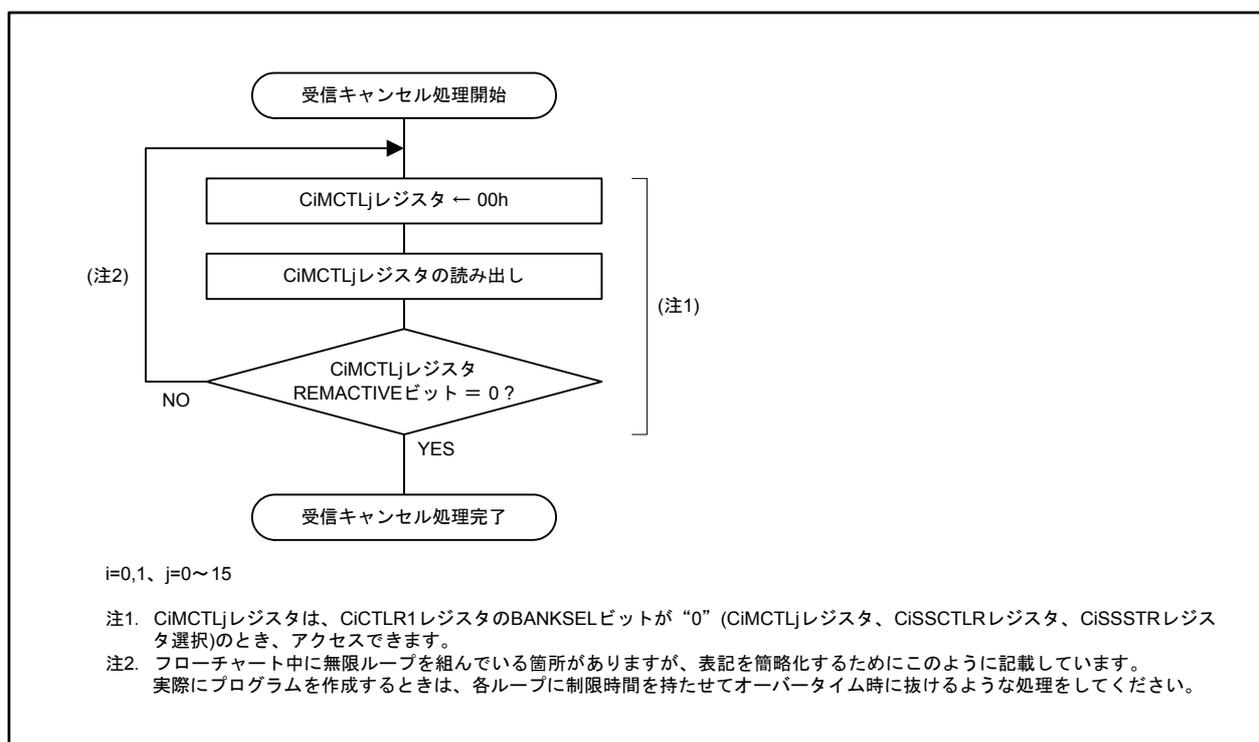


図28.7 リモートフレーム受信キャンセル時の処理フロー

28.15 プログラマブル入出力ポート

- P7_2～P7_5、P8_0、P8_1端子には三相PWM出力の強制遮断機能があるため、これらの端子を出力機能(ポート出力、タイマ出力、三相PWM出力、シリアルインタフェース出力、インテリジェントI/O出力、RTP出力)に設定している場合、三相モータ制御用タイマ機能や $\overline{\text{NMI}}$ 端子の影響を受けません。表28.5にINVC0レジスタの設定値、 $\overline{\text{NMI}}$ 端子入力レベルと、出力端子の状態の関係を示します。

表28.5 INVC0レジスタの設定値、 $\overline{\text{NMI}}$ 端子入力レベルと、出力端子の状態の関係

INVC0レジスタの設定値		$\overline{\text{NMI}}$ 端子 入力レベル	P7_2～P7_5、P8_0、P8_1端子の状態 (出力に設定している場合)
INV02ビット	INV03ビット		
0 (三相モータ制御用 タイマ機能を使用しない)	—	—	PS1、PSL1、PSC、PS2、PSL2レジスタで 選択した機能の出力
1 (三相モータ制御用 タイマ機能を使用する)	0 (三相モータ制御用 タイマ出力禁止)	—	ハイインピーダンス
	1 (三相モータ制御用 タイマ出力許可)(注1)	H	PS1、PSL1、PSC、PS2、PSL2レジスタで 選択した機能の出力
		L (強制遮断)	ハイインピーダンス

注1. $\overline{\text{NMI}}$ 端子に“L”入力後、“0”になります。

- $\overline{\text{RESET}}$ 端子のレベルが“L”の間、内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。
- 周辺機能入力とプログラマブル入出力ポートを持つ端子では、各入力の入力しきい値電圧が異なります。そのため、入力電圧が“H”レベルから“L”レベルまたは“L”レベルから“H”レベルに変化する過程で、周辺機能入力のレベル判定結果とポートレジスタを読んだ結果が異なることがあります。
(テクニカルアップデート番号：TN-M16C-102-0308)

28.16 フラッシュメモリ

28.16.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、MCDレジスタのMCD4～MCD0ビットでCPUクロックを10MHz以下にし、かつ、PM1レジスタのPM12ビットは“1”(内部メモリウェイトあり)にして、CPU書き換えモードに移行してください。

28.16.2 使用禁止命令

次の命令はフラッシュメモリをアクセスするため、EW0モードでは使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

28.16.3 割り込み(EW0モード)

- 周辺機能割り込みは、割り込みルーチンと可変ベクタテーブルをRAM領域に配置することで使用できます。
- $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込み、Vdet4検出割り込み、発振停止検出割り込みは、割り込み要求発生時、強制的にFMR0レジスタ、FMR1レジスタを初期化し、消去または書き込みを途中終了します。その後、CPUはフラッシュメモリを読むことができ、割り込みを実行します。
- アドレス一致割り込みは使用できません。

28.16.4 割り込み(EW1モード)

- 消去または書き込み中に、周辺機能割り込みやウォッチドッグタイマ割り込み(PM2レジスタのPM22ビットが“0”の場合)要求が発生すると、消去または書き込み終了後に受け付けられません。
- $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込み(PM22ビットが“1”の場合)、Vdet4検出割り込み、発振停止検出割り込みは、割り込み要求発生時、強制的にFMR0レジスタ、FMR1レジスタを初期化し、消去または書き込みを途中終了します。その後、CPUはフラッシュメモリを読むことができ、割り込みを実行します。

28.16.5 アクセス方法

FMR0レジスタのFMR01ビット、FMR02ビット、FMR1レジスタのFMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。このとき、8ビット単位で書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みやDMA転送、DMACII転送が入らないようにしてください。また、 $\overline{\text{NMI}}$ 端子に“H”を入力した状態で行ってください。

FMR01ビットを“1”から“0”にする場合、リードアレイモードにしてから、0057h番地に16ビット単位で書いてください。上位8ビットは“00h”にしてください。

28.16.6 ユーザROM領域の書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックの書き換え中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードを使用してください。

28.16.7 ユーザROM領域の書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

28.16.8 ブートモード

ブートモードで電源を立ち上げる場合、内部電源が安定するまで、入出力端子の状態はハイインピーダンスとならない場合があります。電源を立ち上げる場合、次の手順で行ってください。

- (1) $\overline{\text{RESET}}$ 端子に “L”、CNVSS 端子に “L” を入力
- (2) VCC1 端子が 3.0V 以上になってから $t_d(\text{P-R})$ 以上待つ(内部電源安定待ち時間)
- (3) P6_5 に “L” を入力(プルダウン)、または P6_7 に “H” を入力(プルアップ)する
- (4) $\overline{\text{EPM}}(\text{P5}_5)$ に “L” を入力(プルダウン)し、 $\overline{\text{CE}}(\text{P5}_0)$ に “H” を入力(プルアップ)する
- (5) CNVSS 端子に “H” を入力
- (6) $\overline{\text{RESET}}$ 端子に “H” を入力(リセット解除)

28.16.9 コマンド、データの書き込み

コマンドコード、データはユーザー ROM 領域内の偶数番地に書いてください。

28.16.10 ブロックイレーズ

$\overline{\text{NMI}}$ 割り込み、ハードウェアリセット、電源電圧の低下などで消去が途中終了した場合、消去していたブロックのロックビットが “0” (ロック状態)になることがあります。再度このブロックを消去する場合、FMR02 ビットを “1” (ロックビット無効)にし、ブロックイレーズコマンドを実行してください。

28.16.11 ウェイトモード

ウェイトモードに移行する場合は、FMR0 レジスタの FMR01 ビットを “0” (CPU 書き換えモード無効)にした後、WAIT 命令を実行してください。

28.16.12 ストップモード

ストップモードに移行する場合は、次のようにしてください。

- FMR01 ビットを “0” (CPU 書き換えモード無効)にし、CM1 レジスタの CM10 ビットを “1” (ストップモード)にする
- CM10 ビットを “1” にする命令の次に JMP.B 命令を実行する
プログラム例

```
BSET    0, CM1    ;ストップモード
JMP.B   L1
```

L1 :

ストップモード復帰後のプログラム

28.16.13 低消費電力モード、オンチップオシレータ低消費電力モード

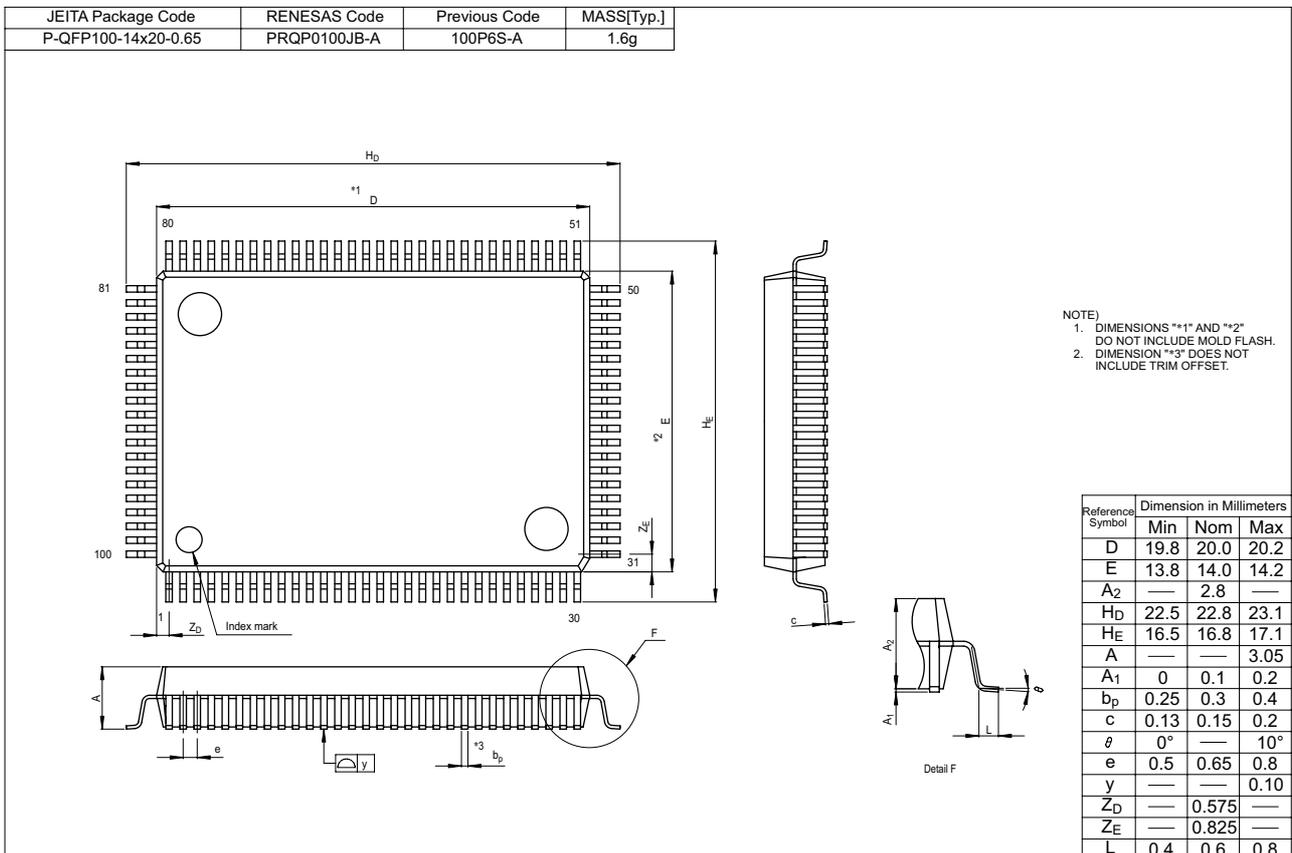
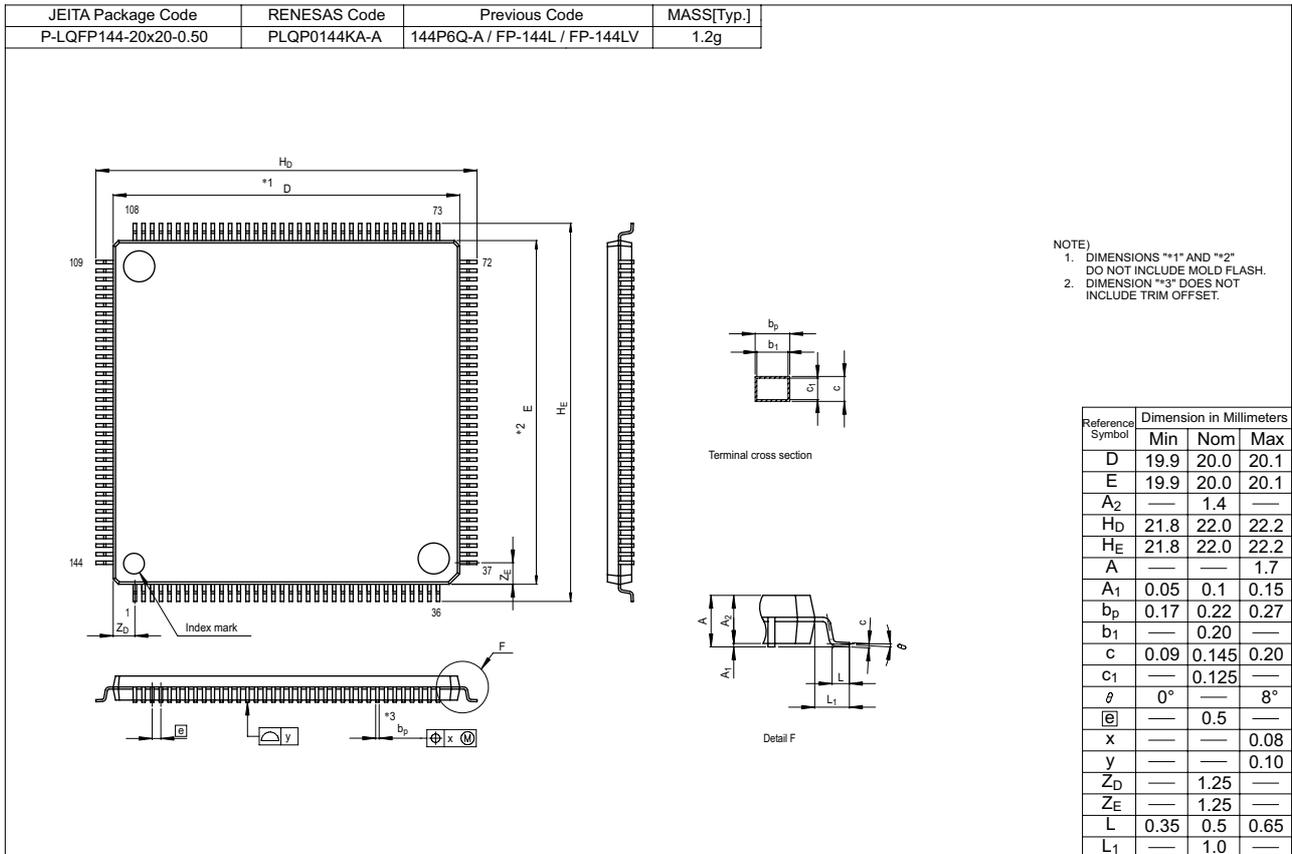
CM0 レジスタの CM05 ビットが “1” (メインクロック停止)のときは、次のコマンドを実行しないでください。

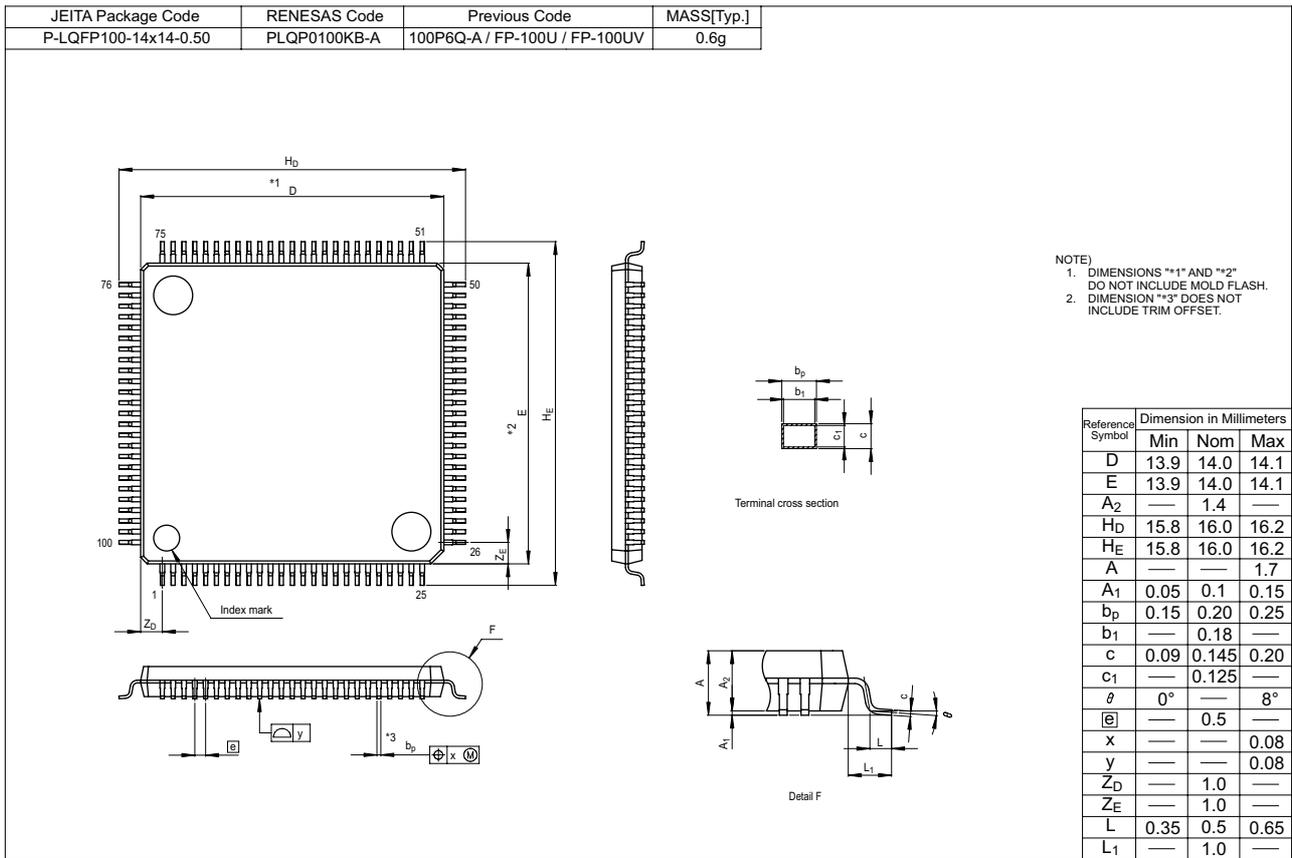
- プログラムコマンド
- ブロックイレーズコマンド
- ロックビットプログラムコマンド
- リードロックビットステータスコマンド

28.17 フラッシュメモリ版とマスクROM版の相違点

フラッシュメモリ版とマスクROM版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

付録1. 外形寸法図





索引

【A】	
AD00 ~ AD07	293
AD0CON0	289
AD0CON1	290
AD0CON2	291
AD0CON3	292
AD0CON4	293
AIER	123
【B】	
BTSR	329
【C】	
C0AFS	441
C0BRP	410
C0CONR	408
C0CTRL0	399
C0CTRL1	402
C0EFR	418
C0EIMKR	416
C0EISTR	417
C0GMR0	426
C0GMR1	427
C0GMR2	428
C0GMR3	429
C0GMR4	430
C0IDR	407
C0LMAR0	426
C0LMAR1	427
C0LMAR2	428
C0LMAR3	429
C0LMAR4	430
C0LMBR0	426
C0LMBR1	427
C0LMBR2	428
C0LMBR3	429
C0LMBR4	430
C0MCTL0 ~ C0MCTL15	432
C0MDR	420
C0REC	412
C0SBS	436
C0SIMKR	415
C0SISTR	413
C0SLOT0_0	437
C0SLOT0_1	437
C0SLOT0_14	440
C0SLOT0_15	440
C0SLOT0_2	438
C0SLOT0_3	438
C0SLOT0_4	439
C0SLOT0_5	439
C0SLOT0_6 ~ C0SLOT0_13	440
C0SLOT1_0	437
C0SLOT1_1	437
C0SLOT1_14	440
C0SLOT1_15	440
C0SLOT1_2	438
C0SLOT1_3	438
C0SLOT1_4	439
C0SLOT1_5	439
C0SLOT1_6 ~ C0SLOT1_13	440
C0SLPR	403
C0SSCTLR	422
C0SSSTR	424
C0STR	404
C0TEC	412
C0TSR	411
C1AFS	441
C1BRP	410
C1CONR	408
C1CTRL0	399
C1CTRL1	402
C1EFR	418
C1EIMKR	416
C1EISTR	417
C1GMR0	426
C1GMR1	427
C1GMR2	428
C1GMR3	429
C1GMR4	430
C1IDR	407
C1LMAR0	426
C1LMAR1	427
C1LMAR2	428
C1LMAR3	429
C1LMAR4	430
C1LMBR0	426
C1LMBR1	427
C1LMBR2	428
C1LMBR3	429
C1LMBR4	430
C1MCTL0 ~ C1MCTL15	432
C1MDR	420
C1REC	412
C1SBS	436
C1SIMKR	415
C1SISTR	413
C1SLOT0_0	437
C1SLOT0_1	437
C1SLOT0_14	440
C1SLOT0_15	440
C1SLOT0_2	438
C1SLOT0_3	438
C1SLOT0_4	439
C1SLOT0_5	439
C1SLOT0_6 ~ C1SLOT0_13	440
C1SLOT1_0	437
C1SLOT1_1	437
C1SLOT1_14	440
C1SLOT1_15	440
C1SLOT1_2	438
C1SLOT1_3	438
C1SLOT1_4	439
C1SLOT1_5	439
C1SLOT1_6 ~ C1SLOT1_13	440
C1SLPR	403
C1SSCTLR	422
C1SSSTR	424
C1STR	404
C1TEC	412
C1TSR	411
CCS	364
CM0	78, 132
CM1	79
CM2	81
CPSRF	84
CRCD	310
CRCIN	310

【D】		G2TB	387
D4INT	49	【I】	
DA0、DA1	308	ICTB2	199
DACON	308	IDB0、IDB1	201
DACON1	308	IEAR	390
DCT0~DCT3	139	IECR	390
DM0SL~DM3SL	136	IERIF	391
DMA0~DMA3	138	IETIF	391
DMD0	140	IFSR	120, 219
DMD1	141	IFSR	121
DRA0~DRA3	139	IIO0IE~IIO11IE	126
DRC0~DRC3	139	IIO0IR~IIO11IR	125
DS	59	INVC0	194
DSA0~DSA3	138	INVC1	195
DTT	200	IPS	479
		IPSA	480
【E】		IPSB	480
EWCR0~EWCR3	65	IRCON	264
		【M】	
【F】		MCD	80
FMR0	491	【O】	
FMR1	493	ONSF	167
		【P】	
【G】		P0~P15	461
G0CMP0~G0CMP3	370	PCR	479
G0CR、G1CR	366	PD0~PD15	460
G0DR、G1DR	371	PLC0	82
G0EMR、G1EMR	367	PLC1	82
G0ERC、G1ERC	368	PM0	56
G0ETC、G1ETC	367	PM1	57
G0IRF、G1IRF	369	PM2	83
G0MR、G1MR	365	PRCR	101
G0MSK0、G0MSK1	370	PS0	462
G0RB、G1RB	372	PS1	462
G0RCRC、G1RCRC	370	PS2	463
G0RI、G1RI	372	PS3	463
G0TB、G1TB	371	PS4	464
G0TCRC、G1TCRC	370	PS5	464
G0TO、G1TO	372	PS6	465
G1BCR0	318	PS7	465
G1BCR1	319	PS8	466
G1BT	318	PS9	466
G1CMP0~G1CMP3	370	PSC	471
G1FE	323	PSC2	471
G1FS	323	PSC3	472
G1MSK0、G1MSK1	370	PSC6	472
G1PO0~G1PO7	322	PSD1	473
G1POCR0~G1POCR7	321	PSD2	473
G1TM0~G1TM7	321	PSE1	474
G1TMCR0~G1TMCR7	320	PSE2	474
G1TPR6、G1TPR7	320	PSL0	467
G2BCR0	324	PSL1	467
G2BCR1	325	PSL2	468
G2BT	324	PSL3	468
G2CR	389	PSL5	469
G2FE	328	PSL6	469
G2MR	388	PSL7	470
G2PO0~G2PO7	327	PSL9	470
G2POCR0~G2POCR7	326	PUR0	475
G2RB	387		
G2RTP	328		

PUR1	475
PUR2	476
PUR3	477
PUR4	478

【R】

RLVL	112, 148
RMAD0~RMAD7	123
ROMCP	489
RTP0R~RTP3R	453

【T】

TA0MR~TA4MR	159, 160, 161, 162
TA0~TA4	163
TA1MR、TA2MR、TA4MR	197
TA1、TA2、TA4、TA11、TA21、TA41	201
TABSR	166, 185, 202
TB0MR~TB5MR	181, 182, 183
TB0~TB5	184
TB2	200
TB2MR	196
TB2SC	199
TBSR	185
TCSPR	84, 158
TRGSR	165, 198

【U】

U0BRG~U4BRG	218
U0C0~U4C0	217
U0C1~U4C1	218
U0MR~U4MR	212
U0RB~U4RB	220
U0SMR2~U4SMR2	214
U0SMR3~U4SMR3	215
U0SMR4~U4SMR4	216
U0SMR~U4SMR	213
U0TB~U4TB	220
U56CON	270
U56IS	267
U5BRG、U6BRG	269
U5C0、U6C0	269
U5C1、U6C1	270
U5MR、U6MR	268
U5RB、U6RB	271
U5TB、U6TB	271
UDF	164

【V】

VCR1	48
VCR2	48

【W】

WDC	50, 133
WDS	133

【X】

X0R~X15R	312
XYC	312

【Y】

Y0R~Y15R	312
----------------	-----

割り込み制御レジスタ(1)	110
---------------------	-----

割り込み制御レジスタ(2)	111
---------------------	-----

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2004.06.25	—	初版発行
1.00	2005.07.07	—	・端子、レジスタ表記の統一、M32C/87A,M32C/87B を追加
			概要
		2,3	・表 1.1、表 1.2 性能概要 表を修正
		4	・図 1.1 ブロック図 図を修正
		5	・表 1.3 製品一覧表 表を修正
		6	・図 1.2 型名とメモリサイズ・パッケージ 図を修正
		7	・図 1.3、図 1.4、図 1.5 ピン接続図 注記を追加
		8	・表 1.4 ピン端子名一覧表 注記を追加
		13	・表 1.5 ピン端子名一覧表 注記を追加
		17	・表 1.6 端子の機能説明 注記を追加
			メモリ
		23	・図 1.3 メモリ配置図 図を修正
			SFR
		24	・PM0レジスタ 注1を追加
			・PLC0レジスタ リセット後の値を修正
		27	・RLVL、IIO0IR～IIO11IRレジスタ リセット後の値を修正
		30	・G1BCR1、G1RBレジスタ リセット後の値を修正
		32	・U56CONレジスタ レジスタ名を修正
		33～38	・レジスタ欄 注記を追加
		39	・IDB0、IDB1レジスタ リセット後の値を修正
		41	・TCSPRレジスタ 注1を追加
		42	・DM0SL～DM3SLレジスタ リセット後の値を修正
		43	・PSC、PS2レジスタ リセット後の値を修正
		44	・PCRレジスタ リセット後の値を修正
			リセット
		47	・文章の構成を変更
			電圧検出回路
		52	・文章の構成を変更
			・図6.1 電圧検出回路ブロック図 図の一部を変更
		53	・図6.2 WDCレジスタ 注3を追加 VCR1レジスタ 注1を削除
			・図6.3 VCR2レジスタ 注2を削除、注5を追加
		55	・図6.4 D4INTレジスタ 機能の変更
		56	・表6.1 電圧低下検出割り込み要求発生条件 表の一部を変更
			・表6.2 サンプリング時間 表を変更
		57	・図6.5 電圧低下検出割り込み発生回路ブロック図 図の一部を修正
		58	・6.2 コールドスタート/ウォームスタート判定機能 節を追加

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			プロセッサモード
		62	・ 図7.2 PM1レジスタ 注3を削除
		63	・ 図7.3 各プロセッサモード時のメモリ配置図 図の一部を修正
			クロック発生回路
		84	・ 図9.3 MCDレジスタ 機能を変更、注4を追加
		86	・ 図9.5 TCSPRレジスタ 機能を変更、注2を追加
		87	・ 図9.6 PLC0、PLC1レジスタ 機能を変更
		88	・ 図9.7 PM2レジスタ 機能を変更
		89	・ 図9.8 メインクロックの接続例 図の一部を修正
		90	・ 図9.9 サブクロックの接続例 図の一部を修正
		91	・ 表9.2 オンチップオシレータの発振開始条件 表を追加
		94	・ 表9.4 CPUクロック源と設定ビット 表の一部を修正、注1を追加
		95	・ 9.3.4 fCAN 項を追加 ・ 表9.6 メモリ拡張モードとマイクロプロセッサモードでのCLKOUT端子の機能 注4を削除
		97	・ 9.5.2 ウェイトモード 構成を変更
		99	・ 9.5.3 ストップモード 構成を変更
		101	・ 図9.12 ストップモード、ウェイトモードの状態遷移図 図を修正
		102	・ 図9.13 状態遷移図 図の一部を修正
			割り込み
		110	・ 表11.2 可変ベクタテーブル 注記を追加
		112	・ 図11.3 割り込み制御レジスタ(1) 注記を追加
		114	・ 図11.5 RLVLレジスタ 注3を変更、注4を追加、リセット後の値を修正
		117	・ 11.6.6 レジスタ退避 文章の一部を変更
		122	・ 図11.12 キー入力割り込みのブロック図 図の一部を修正
		125	・ 文章の注記を追加
			ウォッチドッグタイマ
		129	・ 図12.2 WDCレジスタ 注3を追加
			DMAC
		133	・ 表13.1 DMAC仕様 DMA転送サイクル数を修正、注2を追加
		134	・ 図13.2 DM0SL～DM3SLレジスタ 機能を修正、リセット後の値を修正
			DMACII
		144	・ 図14.1 RLVLレジスタ 注3を変更、注4を追加、リセット後の値を修正
		150	・ 図14.5 転送時間 図の一部を修正
			タイマ
		151,152	・ 図15.1、図15.2 タイマの構成 図を一部修正
		157	・ 図15.7 TCSPRレジスタ 機能を修正、注2を追加

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			タイマ
		175	・図 15.21 イベントカウンタモード時の TB0MR～TB5MR レジスタ 機能の修正
		182 184	三相モータ制御用タイマ機能 ・図 16.4 IDB0、IDB1 レジスタ 機能の修正、リセット後の値を修正 ・図 16.6 タイマ Ai、Ai-1 レジスタ 注7を削除
			シリアルI/O
		190	・図 17.1、図 17.2 UART0～4、UART5,6 ブロック図 図を一部修正
		196	・図 17.7 U0C0～U6C0 レジスタ 注3を追加
		197	・図 17.8 U0C1～U4C1 レジスタ 注1を追加
		208	・表 17.4 クロック同期形シリアルI/Oモード時の端子の設定(1) 表の一部を修正
		209	・表 17.7、表 17.8、表 17.9 クロック同期形シリアルI/Oモード時の端子の設定(4)、(5)、(6) 表を修正
		216	・表 17.13、表 17.14 UARTモード時の端子の設定(1)、(2) 表の一部を修正
		217	・表 17.17、表 17.18 UARTモード時の端子の設定(5)、(6) 表の一部を修正
		218	・図 17.20 UARTモード時の送信動作例 図を修正
		219	・17.2.1 転送速度 項を追加
		226	・表 17.22 I ² Cモード時の端子の設定(1) 表の一部を修正
		227	・表 17.23 I ² Cモード時の端子の設定(2) 表の一部を修正
		233	・表 17.29、表 17.30 特殊モード2時の端子の設定(2)、(3) 表の一部を修正
		237	・表 17.31 GCIモードの仕様 表の一部を修正
		239	・表 17.33、表 17.34、表 17.35 GCIモード時の端子の設定(1)、(2)、(3) 表の一部を修正
		242	・表 17.38、表 17.39、表 17.40 IEモード時の端子の設定(1)、(2)、(3) 表の一部を修正
		243	・IFSR レジスタのビット設定の誤記を修正
		247	・表 17.43、表 17.44 SIMモード時の端子の設定(1)、(2) 表の一部を修正
		248	・図 17.35 SIMインタフェース動作例 図を修正
			A/Dコンバータ
		256	・表 18.1 A/Dコンバータの仕様 注2、3を変更
		258	・図 18.2 AD0CON0 レジスタ 図を修正
		259	・図 18.3 AD0CON1 レジスタ 図を修正
		262	・図 18.6 A/D0 レジスタ i 図を修正
		266～265	・表 18.2～表 18.8 各モードの仕様 表を修正
		269	・18.2.8 A/D変換時のセンサーの出カインピーダンス 項を追加
			インテリジェントI/O
		279,280	・図 22.1、図 22.2 インテリジェントI/Oグループ0,1 ブロック図 図を修正
		283～287	・図 22.5、図 22.6、図 22.8、図 22.9 G1BCR1、G2BCR1、G1TPR6～G1TPR7、G1POCR0～G1POCR7 レジスタ 図を修正

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			インテリジェントI/O
		292,294	・表22.2、表22.3 ベースタイマの仕様、ベースタイマ関連レジスタの設定 表の構成を変更
		293	・図22.14 ベースタイマのブロック図 図の一部を変更
		304	・表22.8 波形生成機能関連レジスタの設定 表の構成を変更
		305	・表22.9 単相波形出力モードの仕様 表の一部を修正
		319~325	・図22.31、図22.32、図22.33 G0MR、G1MR、G0EMR、G1EMR、G1ETC、 G0ERC、G1ERC、G1IRFレジスタ 図の一部を修正
		328	・表22.16 グループ0,1のクロック同期形シリアルI/Oモード 表の一部を修正
		329	・表22.18 グループ1のクロック設定 表の一部を修正 ・表22.19 グループ0,1のクロック同期形シリアルI/Oモード時の 使用レジスタと設定値 誤記を修正
		330	・表22.20、表22.21、表22.23 グループ0,1のクロック同期形シリアルI/Oモード時の 端子の設定(1)、(2)、(4) 表を修正
		332	・表22.24 グループ1のUARTモード仕様 表を修正
		333	・表22.25 グループ1のクロック設定 表を修正 ・表22.26 グループ1のUARTモード時の使用レジスタと設定値 表を修正
		334	・図22.41、図22.42 グループ1のUARTモード時の送信動作例、受信動作例 表を修正
		335	・22.4.3 HDLCデータ処理モード(グループ0,1) 文章を追加
		343	・表22.34 グループ2の可変長クロック同期形シリアルI/Oモード時の使用レジスタと 設定値 誤記を修正
			CAN
		349	・注意事項を追加
			プログラマブル入出力ポート
		416	・図25.15 PSC、PSC2レジスタ 注記を追加
		417	・図25.16 PSC3、PSC6レジスタ 注記を追加
		423	・図25.22 IPSA、IPSBレジスタ 注記を追加
		425~428	・表25.4、表25.9、表25.10 表を修正
			フラッシュメモリ版
		432	・26.2.1 ROMコードプロテクト機能 文章を変更
		433	・図26.2 ROMCPレジスタ 図を変更
		436	・図26.4 FMR0、FMR1レジスタ 図の一部を修正
		440	・26.3.4.5 アクセス方法 文章を追加
		452	・表26.7 端子の機能説明 表の誤記を修正
			電气的特性
		459	新規追加

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
		488 491 496 499 503 504	<p>使用上の注意事項</p> <ul style="list-style-type: none"> ・ 28.1 リセット 新規追加 ・ 28.4 クロック発生回路 構成を変更 ・ 28.6.3 $\overline{\text{INT}}$ 割り込み 文章の一部を削除 ・ 28.8 タイマ 文章の構成を変更 ・ 28.9.3 特殊モード1(I²Cモード) 新規追加 ・ 図28.4 各端子の処理例 図の変更
1.50	2007.10.20	全ページ	<p>本マニュアル全体</p> <ul style="list-style-type: none"> ・ 文章表現と書式を統一 ・ 数の表記変更(例 : 00₂→00_b、FF₁₆→FF_h) ・ 端子名の表記変更(例 : RTP00→RTP0_0、A15(/D15)→A15, [A15 / D15]) ・ 各章の端子設定の表を設定順に並べ替え <p>・ [用語変更]</p> <p>シリアルI/O → シリアルインタフェース クロック同期形シリアルI/Oモード → クロック同期モード クロック非同期形シリアルI/Oモード → クロック非同期モード 電圧検出回路 → 電圧検出機能 電圧低下検出割り込み → Vdet4 検出割り込み 電圧低下検出リセット → Vdet3 検出機能 ピン接続図 → ピン配置図</p> <p>・ [注記変更]</p> <p>「PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。」 → 「・・・に割り込みやDMA転送、DMACII転送が入らないようにしてください。」</p>
			表紙
		—	・「ルネサス16/32ビットシングルチップマイクロコンピュータ」 →「ルネサスマイクロコンピュータ」に修正
		—	安全設計に関するお願い 削除 本資料ご利用に際しての留意事項 一部変更
		—	製品ご使用上の注意事項 新規追加
		—	このマニュアルの使い方 全面改訂 「目的と対象者」「数や記号の表記」「略語及び敬称の説明」を追加
		1	<p>概要</p> <ul style="list-style-type: none"> ・ ヘッダ部「SINGLE-CHIP 16/32-BIT CMOS MICROCOMPUTER」 →「ルネサスマイクロコンピュータ」に修正 ・ 「1.1 特長」を追加、「1.1 応用」を「1.1.1 用途」に変更

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			概要
		2	・「1.2 性能概要」→「1.1.2 仕様概要」に変更
		2～5	・表 1.1～表 1.4 構成、説明欄の記述、注記、値を一部変更、削除 「リアルタイムポート」項目を削除、「ROM修正機能」項目を追加
		6～7	・図の順番を入れ替え、製品一覧表を一部変更、注1を追加
		9、13、14	・ピン配置図 VCC、VSSの矢印削除、注記を一部変更
		17～20	・表 1.13～表 1.16 文章を一部変更、注1を追加
			メモリ
		24	・文章を一部変更
			SFR
		32～36	・表 4.8～表 4.12 注記に「PM1レジスタのPM13ビットを“1”にしてからCAN関連レジスタをアクセスしてください。」を追加
		41	・レジスタを追記 03BBhにPSL5レジスタ、03BFhにPSL7レジスタ
			・[レジスタ名変更]
		25	002Fh 電圧低下検出割り込みレジスタ → Vdet4検出割り込みレジスタ
		32	01C1h UART5転送速度レジスタ → UART5通信速度レジスタ 01C9h UART6転送速度レジスタ → UART6通信速度レジスタ 01D0h UART5,6送受信制御レジスタ2 → UART5,6送受信制御レジスタ
		38	01DBh～01D8h パルス出力データレジスタ → RTP出力バッファレジスタ 0303～0302h タイマA1-1レジスタ → タイマA11レジスタ 0305～0304h タイマA2-1レジスタ → タイマA21レジスタ 0307～0306h タイマA4-1レジスタ → タイマA41レジスタ
		39	0340h カウント開始フラグ → カウント開始レジスタ 0341h 時計用プリスケアラリセットフラグ→時計用プリスケアラリセットレジスタ 0342h ワンショット開始フラグ → ワンショット開始レジスタ 0344h アップダウンフラグ → アップダウン選択レジスタ
			・[リセット後の値変更]
		25	000Fh WDC 000X XXXX ₂ → 00XX XXXX _b
		25	002Fh D4INT 00 ₁₆ → XX00 0000 _b
		27	007Bh IIO6IC XX00 X000 ₂ → XXXX X000 _b
		29	00EFh G0CR XX00 X011 ₂ → 0000 X011 _b
		29	00FEh G0IRF 00 ₁₆ → 0000 XXXX _b
		30	013Eh G1IRF 00 ₁₆ → 0000 XXXX _b
		32	01C7h～01C6h U5RB XXXX XXXX XXXX 0XXX ₂ → XXXX _h
		32	01CFh～01CEh U6RB XXXX XXXX XXXX 0XXX ₂ → XXXX _h
		40	038Fh～0382h AD07～AD01 XXXX ₁₆ → 00XX _h

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
		43～46 45 —	リセット <ul style="list-style-type: none"> ・文章、図を一部変更 ・表5.1 表タイトルと構成を変更、注4を追加 ・図「電圧低下検出リセットの動作例」を章「電圧検出機能」へ移動
		48～50 47 51 52 53 54	電圧検出機能 全面改訂(構成と文章を変更) <ul style="list-style-type: none"> ・[用語変更] リセット領域 → Vdet3 電圧低下 → Vdet4 ・レジスタ図の順番入れ替え、ビット名、機能欄の記述、注記を一部変更 ・図6.1 ブロック図変更(電圧検出回路、電圧低下検出割り込み発生回路、コールドスタート/ウォームスタート判定機能のブロック図を統合) ・6.1 Vdet3検出機能、図6.5 Vdet3検出機能の動作例 節と図を新規追加 ・6.2 Vdet4検出機能 節を新規追加、表6.2 32MHzを24MHzに変更して注1を追加 ・図6.6 図を変更 ・6.2.1、6.3 文章を一部変更、図6.7 図を一部変更
		55 56～57 58	プロセッサモード <ul style="list-style-type: none"> ・[用語変更] 空間 → 領域 ・ブートモードを追加、7.2 文章を一部変更、表7.2 構成を変更、注記を削除 ・図7.1～図7.2 注記を一部変更 ・図7.3 各プロセッサモード時のメモリ配置 図と注記を一部変更
		59～75 60 61 63 64 65 66 67～74 73 74	バス <ul style="list-style-type: none"> ・[用語変更] 信号 → 入力、出力 読み出し → リード 書き込み → ライト ・文章を一部変更 ・表8.2 新規追加 ・表8.3 構成と注記を一部変更 ・図8.2 図を一部変更 ・表8.4、表8.5 構成と文章を一部変更 ・図8.3 ビットシンボルの誤記修正と注記を一部変更 ・表8.6 文章を一部変更、注1を追加 ・図8.4～図8.11 図を一部変更 ・表8.7 注1を削除、文章を一部変更 ・表8.8 CPUの状態を追加、注1を追加

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			クロック発生回路
			・ [用語変更] 通常動作モード → CPU動作モード
		82～84	・ レジスタ図の順番入れ替え
		76	・ 表9.1 文章を一部変更
		77	・ 図9.1 図全体を変更
		78～84	・ 図9.2～図9.8 ビット名、機能欄の記述、注記を一部変更
		85～100	・ 文章を一部変更
		88	・ 図9.11 フローを一部変更
		89	・ 表9.3 構成を一部変更、図9.12 フローを一部変更
		91	・ 表9.4 構成を一部変更、表9.5 ビットの設定値を一部変更、注3を削除
		92	・ 図9.13 新規追加(低消費電力モードからウェイトモードへの移行を禁止)
		93	・ 高速モードと中速モードを合わせてメインクロックモードに変更
		93	・ メインクロックダイレクトモード 追加
		94	・ 表「CPUクロック源と設定ビット」の構成を一部変更して表9.6へ移動、注記追加
		94～95	・ 9.5.2.2 構成変更 処理をフロー化し、図9.14として新規追加
		97	・ 表9.8 CAN割り込みの使用条件を一部変更
		97～98	・ 9.5.3.1 構成変更 プログラム例追加、処理をフロー化し、図9.15として新規追加
		—	・ 状態遷移図を削除
		100	・ 9.6 構成変更 処理をフロー化し、図9.16として新規追加
			プロテクト
		101	・ 「任意の番地」を「SFR領域」に変更
			割り込み
		102～123	・ 文章を一部変更
		105	・ 図11.2 高速割り込みの設定手順 追加
		107	・ 表11.2 可変ベクタテーブル(1/2) 予約領域のベクタ番地を修正
		108	・ 表11.2 可変ベクタテーブル(2/2) UART5,6、INT、CAN1ウェイクアップ割り込みと予約領域を追加
		112	・ 図11.6 注記を一部変更
		114	・ 表11.4 表全体を変更
		115	・ 表11.5 DMACII転送完了割り込みを追加、リセットを削除
		116	・ 図11.9 図全体を変更
		119～120	・ 図11.11、図11.12 新規追加
		122	・ 図11.15 図を一部変更
		124～129	・ 11.11 全体の構成と文章を変更、図11.17 図を一部変更
		125～126	・ 図11.18 ビット名を変更、図11.19 ビット名を変更、注2を追加
		127～129	・ 表11.6、図11.20、図11.21 新規追加
			ウォッチドッグタイマ 全面改訂
		130～133	・ 全体の構成と文章を変更、レジスタ図の順番入れ替え

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			ウォッチドッグタイマ 全面改訂
		130	・表 12.1、表 12.2 新規追加
		131	・図 12.1 図を一部変更
		132	・図 12.2 注記を一部変更
		—	・「カウントソース保護モード」 節削除
			DMAC
			・ [用語変更] メモリ番地 → 順方向番地
		134～145	・ 文章を一部変更
		135	・ 表 13.1 文章を一部変更、注1を削除
		137	・ 表 13.2 注3に一部追加
		138～141	・ レジスタ図の順番入れ替え、注記を一部変更
		142～143	・ 図 13.7、図 13.8 フロー追加
		—	・ 図「ソースリードについての転送サイクル例」削除
		145	・ 表 13.3 タイトルと構成を一部変更
		146	・ 図 13.9 タイトルと図を一部変更
			DMACII
			・ [用語変更] 可変番地 → 順方向番地
		147～154	・ 文章を一部変更
		147	・ 表 14.1 構成と文章を一部変更
		148	・ 図 14.1 注記を一部変更
		153、154	・ 図 14.4、図 14.5 図を一部変更
			タイマ
			・ [各モード共通] 仕様の表 構成、文章、注記を一部変更 動作図 新規追加または一部変更 レジスタ図 各モード時の TA0MR～TA4MR レジスタ図を節の最初へまとめて移動
		157～189	・ 文章を一部変更、レジスタ図の順番入れ替え
		158～167	・ 図 15.4～図 15.13 レジスタ名、ビット名、機能欄の記述、注記を一部変更
		168	・ 表 15.1～表 15.2 構成を一部変更 注1を追加
		170	・ 15.1.2 イベントカウンタモード 構成と文章を変更
		—	・ 図「カウンタ初期化タイミング」削除
		178～179	・ 図 15.19、図 15.20 タイトルと図を一部変更
		185	・ 図 15.26 レジスタ名とビット名を一部変更
		190～191	・ 図 15.29、図 15.30 タイトルと図を一部変更

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
		192～209 194～202 194	<p>三相モータ制御用タイマ機能 全面改訂</p> <ul style="list-style-type: none"> ・ [用語変更] 正逆相同時アクティブ出力 → 上下同時通電出力 ・ 構成、文章、表、図を変更と追加 ・ レジスタ図の順番入れ替え、 図 16.2～図 16.10 レジスタ名、ビット名、機能欄の記述、注記を一部変更 ・ 図 16.2 INV01～INV00ビット 機能欄の記述をまとめてビット名を変更
		210～286 212～220 229、237 235、285 241 264 266～286 267～271 269	<p>シリアル 全面改訂</p> <ul style="list-style-type: none"> ・ UART0～4とUART5,6に分割 ・ 特殊モード2から連続受信モードを削除 ・ 「IEBusモード」を削除して、特殊モード4をSIMモードに、 特殊モード5をIrDAモードに、特殊モード6をIEモードに変更 ・ [用語変更] 送信バッファ → UiTBレジスタ 送信レジスタ → 送信シフトレジスタ 転送データ長 → データ長 転送速度 → 通信速度 転送クロック → 送受信クロック、内部送信クロック、内部受信クロック 転送フォーマット → ビットオーダ 実ビットレート、ビットレート → 実際の通信速度、目標の通信速度 ・ [各モード共通の修正] 仕様の表 構成と文章を変更 ブロック図 一部変更 端子設定の表 一部変更、注記を追加 レジスタと設定値の表 フロー化 動作例の図 一部変更 ・ 文章を一部変更 ・ レジスタ図の順番入れ替え、 図 17.2～図 17.10 レジスタ名、ビット名、機能欄の記述、注記を一部変更 ・ 「CTS / RTS機能」、「通信エラー発生時の対処方法」 追加 ・ 通信速度の式を追加、表 17.6、表 17.24 値を一部変更 ・ 表 17.9 構成と文章を一部変更 ・ 図 17.38 IRCONレジスタ ビット名と機能欄を一部変更 ・ UART5,6を節として追加 ・ 図 17.41～図 17.45 レジスタ名、ビット名、機能欄の記述、注記を一部変更 ・ 図 17.43 U5C0、U6C0レジスタ b5を予約ビットに変更

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
		287～305 287 288 289～293 294 295～302 300 305 305～306	<p>A/Dコンバータ</p> <ul style="list-style-type: none"> ・ [用語変更] メモリ空間 → メモリ領域 ・ 文章を一部変更 ・ 表 18.1 構成、文章、注記を一部変更 ・ 図 18.1 図を一部変更 ・ 図 18.2～図 18.6 ビット名、機能欄の記述、注記を一部変更 ・ 表 18.2、表 18.3 新規追加 ・ 表 18.4～表 18.10 構成と文章を一部変更 ・ 図 18.7 新規追加 ・ 18.3 AD0i レジスタ (i=0～7) の読み出し 新規追加 ・ 数値を一部変更
		307 307 309	<p>D/Aコンバータ</p> <ul style="list-style-type: none"> ・ 文章を一部変更 ・ 図 19.1 端子設定の表と順番を入れ替えて注1を追加、表 19.2 注1を追加 ・ 図 19.3 図と注記を一部変更
		310	<p>CRC演算</p> <ul style="list-style-type: none"> ・ 文章を一部変更
		315～394	<p>インテリジェントI/O 全面改訂</p> <ul style="list-style-type: none"> ・ [用語変更] モジュール付加小区間数 → モジュールーションパルス数 送信バッファ → GiTBレジスタ 送信レジスタ → 送信シフトレジスタ 転送フォーマット → ビットオーダ 転送データ長、キャラクタビット、転送ビット長 → データ長 転送速度 → 通信速度 転送クロック → 送受信クロック、通信速度 内部転送クロック → 内部送信クロック、内部受信クロック 送信データ処理時 → HDLCフレームデータ生成時 受信データ処理時 → 元データ生成時 ・ [各機能とモード共通の修正] 仕様の表 構成、文章、注記、数式を一部変更 ブロック図 一部変更、通信機能を分割(新規図作成)して移動 端子設定の表 一部変更、列の順番入れ替え レジスタ設定手順の表 フロー化 動作例の図 一部変更 ・ 文章を一部変更、レジスタ図の順番入れ替え

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			インテリジェントI/O 全面改訂
		318～329	・ 図22.3～図22.14 ビット名、機能欄の記述、注記を一部変更
		340～343	・ 項「プリスケラ機能」、項「ゲート機能」、設定手順のフロー 新規追加
		345	・ 表22.6 PSL5、PSL7レジスタと注記を追加
		355	・ 表22.11 構成とタイトルを一部変更
		356、358	・ 表22.12、表22.13 選択機能から反転出力機能を削除
		361	・ GiPOjレジスタ値リロードタイミグ選択機能(i=1,2、j=0～7)を追加
		364～372	・ 図22.38～図22.46 ビット名、機能欄の記述、注記を一部変更
		367	・ 図22.41 SMODE、BSINT、SOF、ABTE、TBSF0ビットを削除
		368	・ 図22.42 RBSF0ビットを削除
		369	・ 図22.43 BSERRビットを削除
		374	・ 表22.16 注記を一部変更、表22.17 PSL5レジスタと注記を追加
		380	・ 表22.19 PSL5レジスタと注記を追加、表「グループ1のクロック設定」を削除
		387～391	・ 図22.56～図22.60 ビット名、機能欄の記述、注記を一部変更
		394	・ 表22.27 PSL7レジスタと注3を追加
		—	・ 項「IEBusモード」を削除
			CANモジュール
		395～450	・ 文章を一部変更
		395	・ 表23.1 構成と文章を一部変更
		398	・ 表23.2 注1を追加
		399	・ 図23.3 注記を一部変更
		404	・ 図23.6 TRMSUCC、RECSUCC、STATE_RESETビット 機能欄の記述を一部変更
		408	・ 図23.8 注1を追加
		410	・ 図23.9 注1を追加
		411	・ 図23.10 新規追加
		424	・ 図23.22 機能欄の記述を一部変更
		431	・ 図23.28、図23.29 図を一部変更
		432	・ 図23.30 機能欄の記述と注記を一部変更
		433	・ 表23.4 構成を一部変更
		433	・ 23.1.20.2 TRMACTIVE、INVALIDDATAビット 文章を一部変更
		436	・ 23.1.21.1～23.1.21.2 文章を一部変更
		442	・ 23.2 CANクロックとCPUクロック 節タイトルと構成を変更、表と図を削除
		443	・ 23.3 CAN関連レジスタの設定と動作タイミグ 節タイトルを変更
		444～446	・ 図23.38～図23.40 図を一部変更
		447～451	・ 23.4 構成を変更、図23.42 一部変更、図23.41、図23.43、表23.5、表23.6を追加
			リアルタイムポート
		452	・ 文章を一部変更、仕様の表を削除
		452、453	・ 図24.1、図24.3 図を一部変更
		453	・ 図24.2 RTP0R～RTP3Rレジスタ レジスタ名とビット名を一部変更
		454	・ 表24.1 注1を追加、表「レジスタと設定値」を削除

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			プログラマブル入出力ポート
		455～456	・ 文章を一部変更
		457～459	・ 図25.1～図25.3 図を一部変更
		460、461	・ 図25.5、図25.6 機能欄の記述と注記を一部変更
		462～474	・ 図25.7～図25.19 ビット名と機能欄の記述を一部変更
		469	・ 図25.14 PSL5レジスタ 追加
		470	・ 図25.15 PSL7レジスタ 追加
		479	・ 図25.24 機能欄の記述を一部変更
		481	・ 表25.1～表25.2 AVCC、AVSSを削除、図25.26 図を一部変更
		482～485	・ 表25.3～表25.13 表を一部変更
			フラッシュメモリ
			・ [用語変更] プログラム → 書き込み イレーズ → 消去
		486～510	・ 文章を一部変更
		486	・ 表26.1、表26.2 構成、文章、注記を一部変更
		487	・ 図26.1 タイトルと注記を一部変更
		489	・ 図26.2 ROMCP番地 ビット名、機能欄の記述、注記を一部変更
		489	・ 図26.3 図を一部変更
		490	・ 表26.3 構成、タイトル、文章、注記を一部変更
		493	・ 図26.5 FMR1レジスタ リセット後の値を変更
		494～504	・ 図26.6～図26.13 フローと文章を一部変更
		—	・ 項「CPU書き換えモードの注意事項」を「28.使用上の注意事項」へ移動
		501、504	・ 図26.12、図26.13 フローを一部変更
		503	・ 表26.5 D0～D7をb7～b0に変更、表26.6 文章を一部変更
		505	・ 表26.7 構成と文章を一部変更
		—	・ 項「IDコードチェック機能」削除
		509	・ 図26.17～図26.18 図を一部変更
		—	・ 項「ROMコードプロテクト機能」削除
			電氣的特性
			・ [用語変更] 低電圧リセット → ハードウェアリセット2 低電圧検出回路 → Vdet3、Vdet4検出回路
		511	・ 表27.1 Pd(消費電力) 条件欄の記述を一部変更
		513～516	・ 表27.2～表27.5 f(BCLK)をf(CPU)に変更
		513	・ 表27.2 f(CPU) 項目欄の記述を一部追加、f(VCO)を追加
		514、529	・ 表27.3、表27.27 XCOUT、ヒステリシス 項目欄の記述を一部変更と追加
		515、530	・ 表27.3、表27.27 電氣的特性 構成と規格値を変更、測定条件と注記を追加
		516	・ 表27.6 項目欄の記述と注記を一部変更

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
			電气的特性
		517	・表 27.7、表 27.8 項目欄の記述と規格値を一部変更と追加
		518、532	・表 27.9、表 27.30 項目欄の記述を一部変更
		519、533	・表 27.15、表 27.36 新規追加
		520	・表 27.20 規格値変更、表 27.21～表 27.22 新規、表 27.23 タイトルと注記を追加
		521	・表 27.24 をタイミング必要条件の最初から最後へ移動
		522～523	・表 27.25 注3を追加、表 27.26 注5を追加
		525～528	・図 27.3～図 27.6 図の順番入れ替え、測定条件を一部修正
		529～531	・表 27.27～表 27.29 f(BCLK)をf(CPU)に変更
		534	・表 27.41 規格値変更、表 27.42～表 27.43 新規、表 27.44 タイトルと注記を追加
		535	・表 27.45 をタイミング必要条件の最初から最後へ移動
		536～537	・表 27.46 注3を追加、表 27.47 注5を追加
		538～541	・図 27.7～図 27.10 図の順番入れ替え
			使用上の注意事項
			・ [追加項目]
		543	28.1.2 電源リップル
		545	28.3 プロセッサモード
		558	28.10 三相モータ制御用タイマ機能
		563	28.14 CAN
		542～567	・ 文章を一部変更
		542	・ 「28.1 リセット」を「28.1 電源」に変更、項タイトル追加、図 28.1 図を一部変更
		543	・ 28.1.3 ノイズ対策 「ノイズに関する注意事項」をタイトル変更して移動
		544	・ 表 28.4 新規追加
		—	・ 項「外部バス」削除
		547～549	・ 28.5 クロック発生回路 構成を変更
		552～553	・ 図 28.3、図 28.4 新規追加
		559	・ 28.11 シリアルインタフェース 構成を変更
		562	・ 28.13 インテリジェント I/O 構成を変更
		565～566	・ 28.16 フラッシュメモリ 構成を変更
1.51	2008.07.01		本マニュアル全般
			・ 「“1” を設定した場合」 → 「“1” を書いた場合」
			・ フロー図 「初期設定開始」、「初期設定終了」 → 「開始」、「終了」に統一
			・ P5_5($\overline{\text{EPM}}$) → $\overline{\text{EPM}}(\text{P5}_5)$ 、P5_0($\overline{\text{CE}}$) → $\overline{\text{CE}}(\text{P5}_0)$
			・ PM04、PM05 → PM05～04
			概要
		19	・ AN0_0～AN0_7、AN2_0～AN2_7の電源系統を「VCC1」から「VCC2」に修正
			SFR
		42	・ 03FFh ポート制御レジスタ 「XXXX XXX0b」 → 「XXXX X000b」

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.51	2008.07.01		電圧検出
		53	・図6.6 注1「内部VDC」 → 「内部電源回路」
		77	クロック発生回路
		87	・図9.1 「チャージポンプ」 → 「ループフィルタ」
		89	・表9.2 用途 「ストップモードに移行しても停止しない」 削除
		89	・9.1.4 PLLクロック 「CPUクロックや～停止させる前に」 → 「ウェイトモードまたは～移行する場合は」 「(PLL停止)にしてください。」 → 「(PLL停止)にしてから～移行してください。」
		93	・9.5.1.3 低速モード 追記 「CM07ビットで～設定することにより」、 「低速モードから～移行してください。」
		93	・9.5.1.4 低消費電力モード 追記 「低消費電力モード～設定することにより」、 「ただし、低速モードで～に設定してください。」
		94	・表9.6 サブクロックCM21ビット、CM17ビット「—」 → 「0」、 オンチップオシレータモードCM17ビット「—」 → 「0」
		98	・図9.15 注1「ウェイトモード」 → 「ストップモード」
		100	・9.6 「CPUクロック～機能です。」 → 「プログラムの暴走で～機能です。」
			割り込み
		106	・11.5.1 「フラッシュメモリの固定ベクタ～参照してください。」 → 「また、固定～」 ・表11.1 ウォッチドッグタイマ 参照先 「リセット」 → 「電圧検出機能」
			ウォッチドッグタイマ
130	・表12.2 WDCレジスタのWDC7ビット「1」 → 「0」、 「0」 → 「1」		
	DMAC		
135	・表13.1 DMA停止の仕様 箇条書き、「に停止する」に統一		
	三相モータ制御用タイマ機能		
197	・図16.5 動作モード選択ビット機能欄 「“01b”」 → 「“10b”」		
199	・図16.7 ICTB2レジスタ機能欄 INV01、INV00ビットが“11b”の場合 「設定値をnとすると～が発生する。」 → 「設定値がn>1のとき～が発生する。」		
	シリアルインタフェース		
238	・表17.7 注3「また～変化しません。」 削除		
239	・図17.23 「IICM2=1」 → 「IICM=0またはIICM2=1」		
	A/Dコンバータ		
288	・図18.1 「比較器」 - 「ラダー抵抗」間の線を変更、「AD0CON0～AD0CON4レジスタ」の線種変更、黒丸削除		
	インテリジェントI/O		
346	・図22.25 一部変更「G1BCR1レジスタ BTSビット←1」を移動		

改訂記録	M32C/87 グループ (M32C/87、M32C/87A、M32C/87B) ハードウェアマニュアル
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.51	2008.07.01		インテリジェントI/O
		347	・ 図22.26 一部変更「G2BCR1レジスタ BTSビット←1」を移動
		379、380	・ 表22.18、図22.51 「0001~FFFDh」 → 「0006h~FFFDh」
		379、381	・ 表22.18、図22.52 スタートビットに「(“L”レベル)」を追記
			プログラマブル入出力ポート
	457~459	・ 図25.1~図25.3 「プルアップ選択」と「周辺機能入力」間の線、黒丸、一部削除	
	475	・ 図25.20 PUR1レジスタ 「RW」 → 「—」	
		フラッシュメモリ	
	491	・ 図26.4 注1「FMR01ビット」 → 「FMR01、FMR02ビット」、「また、〜。」削除	
	495	・ 図26.7 EW1モード 「FMR01ビットが“0”」 → 「FMR01ビットが“1”」	
	507	・ 図26.15 「7」と「97」間の配線追記	
		使用上の注意事項	
	544	・ 表28.4 算術ニーモニック「EXTZ」削除	
	547	・ 28.5.1 メインクロック 「(外部クロック)を使用」 → 「を接続したり、XIN端子への〜を24MHz以上に」 「CPUクロックに外部クロック入力を」 → 「XIN端子への〜CPUクロックに」	

M32C/87グループ(M32C/87、M32C/87A、M32C/87B)
ハードウェアマニュアル

発行年月日 2004年6月25日 Rev.0.20
2008年7月1日 Rev.1.51

発行 株式会社 ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町2-6-2

M32C/87 グループ (M32C/87、 M32C/87A、 M32C/87B) ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0175-0151