

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# M16C/64グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ  
M16Cファミリ / M16C/60シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M16C/64グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジー ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M16C/64グループデータシート	RJJ03B0210
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	M16C/64グループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU命令セットの説明	M16C/60、M16C/20、M16C/Tinyシリーズソフトウェアマニュアル	RJJ09B0136
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス テクノロジー ホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

## 2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0レジスタのPM03ビット  
P3\_5端子、VCC端子

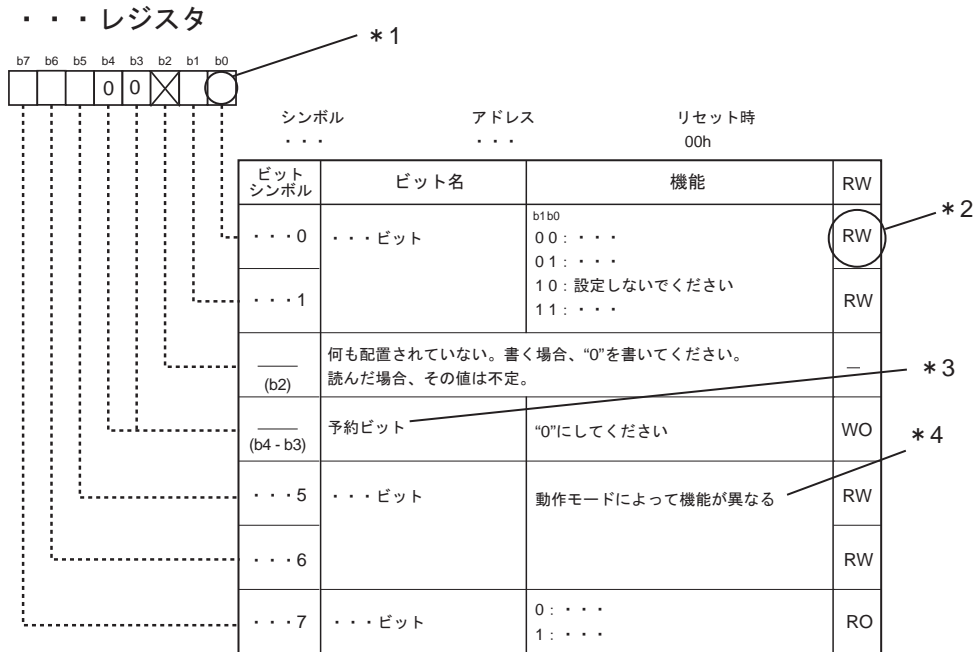
(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数 :11b  
16進数 :EFA0h  
10進数 :1234

### 3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。



**\*1**

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- × : 何も配置されていないビットです。

**\*2**

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

**\*3**

- 予約ビット  
予約ビットです。指定された値にしてください。

**\*4**

- 何も配置されていない  
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- 設定しないでください  
設定した場合の動作は保証されません。
- 動作モードによって機能が異なる  
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。



#### 4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment Bus	NECエレクトロニクス社提唱の通信方式
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格のICカード
UART	Universal Asynchronous Receiver / Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。  
IEBusは、NECエレクトロニクス株式会社の登録商標です。

# 目次

## 番地別ページ早見表

B-1

1.	概要.....	1
1.1	特長.....	1
1.1.1	用途.....	1
1.2	仕様概要.....	2
1.3	製品一覧.....	4
1.4	ブロック図.....	6
1.5	ピン接続図.....	7
1.6	端子機能の説明.....	11
2.	中央演算処理装置.....	14
2.1	データレジスタ (R0、R1、R2、R3).....	14
2.2	アドレスレジスタ (A0、A1).....	14
2.3	フレームベースレジスタ (FB).....	15
2.4	割り込みテーブルレジスタ (INTB).....	15
2.5	プログラムカウンタ (PC).....	15
2.6	ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP).....	15
2.7	スタティックベースレジスタ (SB).....	15
2.8	フラグレジスタ (FLG).....	15
2.8.1	キャリフラグ (Cフラグ).....	15
2.8.2	デバッグフラグ (Dフラグ).....	15
2.8.3	ゼロフラグ (Zフラグ).....	15
2.8.4	サインフラグ (Sフラグ).....	15
2.8.5	レジスタバンク指定フラグ (Bフラグ).....	15
2.8.6	オーバフローフラグ (Oフラグ).....	15
2.8.7	割り込み許可フラグ (Iフラグ).....	15
2.8.8	スタックポインタ指定フラグ (Uフラグ).....	16
2.8.9	プロセッサ割り込み優先レベル (IPL).....	16
2.8.10	予約領域.....	16
3.	メモリ.....	17
4.	SFR.....	18
5.	リセット.....	32
5.1	ハードウェアリセット1.....	32
5.1.1	電源が安定している場合.....	32
5.1.2	電源投入時.....	32
5.2	ハードウェアリセット2.....	35
5.3	ソフトウェアリセット.....	35
5.4	ウォッチドッグタイマリセット.....	35
5.5	発振停止検出リセット.....	35

5.6	内部領域の状態.....	36
6.	電圧検出回路.....	37
6.1	ハードウェアリセット2.....	41
6.2	電圧低下検出割り込み.....	43
6.3	ストップモードの制約.....	45
6.4	ウェイトモードの制約.....	45
6.5	コールドスタート/ウォームスタート判定機能.....	46
7.	プロセッサモード.....	48
7.1	プロセッサモードの種類.....	48
7.2	プロセッサモードの設定.....	49
7.3	内部メモリ.....	53
8.	バス.....	55
8.1	バス形式.....	55
8.1.1	セパレートバス.....	55
8.1.2	マルチプレクスバス.....	55
8.2	バス制御.....	56
8.2.1	アドレスバス.....	56
8.2.2	データバス.....	56
8.2.3	チップセレクト信号.....	56
8.2.4	リード信号、ライト信号.....	59
8.2.5	ALE 信号.....	59
8.2.6	$\overline{\text{RDY}}$ 信号.....	60
8.2.7	$\overline{\text{HOLD}}$ 信号.....	61
8.2.8	BCLK出力.....	61
8.2.9	内部領域をアクセスしたときの外部バスの状態.....	63
8.2.10	ソフトウェアウェイト.....	63
9.	メモリ空間拡張機能.....	68
9.1	1Mバイトモード.....	68
9.2	4Mバイトモード.....	68
9.2.1	04000h~3FFFFh番地、C0000h~FFFFFFh番地.....	68
9.2.2	40000h~BFFFFh番地.....	68
10.	クロック発生回路.....	76
10.1	クロック発生回路の種類.....	76
10.1.1	メインクロック.....	83
10.1.2	サブクロック.....	84
10.1.3	125kHzオンチップオシレータクロック (fOCO-S).....	85
10.1.4	PLLクロック.....	85
10.2	CPUクロックと周辺機能クロック.....	88

10.2.1	CPUクロックとBCLK.....	88
10.2.2	周辺機能クロック (f1、fC32).....	89
10.3	クロック出力機能.....	89
10.4	パワーコントロール.....	90
10.4.1	通常動作モード.....	90
10.4.2	ウェイトモード.....	92
10.4.3	ストップモード.....	94
10.5	システムクロック保護機能.....	97
10.6	発振停止、再発振検出機能.....	98
10.6.1	CM27ビットが“0”(リセット)の場合の動作.....	98
10.6.2	CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作.....	98
10.6.3	発振停止、再発振検出機能使用方法.....	99
11.	プロテクト.....	100
12.	割り込み.....	101
12.1	割り込みの分類.....	101
12.2	ソフトウェア割り込み.....	102
12.2.1	未定義命令割り込み.....	102
12.2.2	オーバフロー割り込み.....	102
12.2.3	BRK割り込み.....	102
12.2.4	INT命令割り込み.....	102
12.3	ハードウェア割り込み.....	103
12.3.1	特殊割り込み.....	103
12.3.2	周辺機能割り込み.....	103
12.4	割り込みと割り込みベクタ.....	104
12.4.1	固定ベクタテーブル.....	104
12.4.2	可変ベクタテーブル.....	105
12.5	割り込み制御.....	107
12.5.1	Iフラグ.....	109
12.5.2	IRビット.....	109
12.5.3	ILVL2~ILVL0ビット、IPL.....	109
12.5.4	割り込みシーケンス.....	110
12.5.5	割り込み応答時間.....	111
12.5.6	割り込み要求受付時のIPLの変化.....	111
12.5.7	レジスタ退避.....	112
12.5.8	割り込みルーチンからの復帰.....	113
12.5.9	割り込み優先順位.....	113
12.5.10	割り込み優先レベル判定回路.....	113
12.6	$\overline{\text{INT}}$ 割り込み.....	115
12.7	$\overline{\text{NMI}}$ 割り込み.....	117
12.8	キー入力割り込み.....	117

12.9	アドレス一致割り込み.....	118
13.	ウォッチドッグタイマ.....	120
13.1	カウントソース保護モード無効時.....	123
13.2	カウントソース保護モード有効時.....	124
14.	DMAC.....	125
14.1	転送サイクル.....	132
14.1.1	転送元番地、転送先番地の影響.....	132
14.1.2	BYTE端子の影響.....	132
14.1.3	ソフトウェアウェイトの影響.....	132
14.1.4	RDY信号の影響.....	132
14.2	DMAC転送サイクル数.....	134
14.3	DMA許可.....	135
14.4	DMA要求.....	135
14.5	チャンネルの優先順位とDMA転送タイミング.....	136
15.	タイマ.....	137
15.1	タイマA.....	140
15.1.1	タイマモード.....	146
15.1.2	イベントカウンタモード.....	147
15.1.3	ワンショットタイマモード.....	152
15.1.4	PWMモード(パルス幅変調モード).....	154
15.2	タイマB.....	157
15.2.1	タイマモード.....	161
15.2.2	イベントカウンタモード.....	162
15.2.3	パルス周期測定モード、パルス幅測定モード.....	163
16.	三相モータ制御用タイマ機能.....	165
17.	シリアルインタフェース.....	175
17.1	UARTi (i=0~2、5~7).....	175
17.1.1	クロック同期形シリアルI/Oモード.....	186
17.1.2	クロック非同期形シリアルI/O(UART)モード.....	194
17.1.3	特殊モード1(I <sup>2</sup> Cモード).....	202
17.1.4	特殊モード2.....	212
17.1.5	特殊モード3(IEモード).....	216
17.1.6	特殊モード4(SIMモード)(UART2).....	218
17.2	SI/O3、SI/O4.....	223
17.2.1	SI/Oi動作タイミング.....	227
17.2.2	CLK極性選択.....	227
17.2.3	SOUTi初期値設定機能.....	228
17.2.4	送信後のSOUTi状態選択.....	229

18.	A/Dコンバータ	230
18.1	モードの説明	234
18.1.1	単発モード	234
18.1.2	繰り返しモード	236
18.1.3	単掃引モード	238
18.1.4	繰り返し掃引モード0	240
18.1.5	繰り返し掃引モード1	242
18.2	変換速度	244
18.3	拡張アナログ入力端子	244
18.4	消費電流低減機能	244
18.5	外部センサ	245
19.	D/Aコンバータ	246
19.1	概要	246
20.	CRC演算	248
21.	プログラマブル入出力ポート	250
21.1	ポートPi方向レジスタ (PDiレジスタ i=0~10)	250
21.2	ポートPiレジスタ (Piレジスタ i=0~10)	250
21.3	プルアップ制御レジスタ0~プルアップ制御レジスタ2(PUR0~PUR2レジスタ)	250
21.4	ポート制御レジスタ (PCRレジスタ)	250
22.	フラッシュメモリ版	263
22.1	メモリ配置	264
22.1.1	ブートモード	265
22.1.2	ユーザブート機能	265
22.2	フラッシュメモリ書き換え禁止機能	267
22.2.1	ROMコードプロテクト機能	267
22.2.2	IDコードチェック機能	267
22.2.3	強制イレース機能	268
22.2.4	標準シリアル入出力モード禁止機能	268
22.3	CPU書き換えモード	270
22.3.1	EW0モード	271
22.3.2	EW1モード	271
22.3.3	フラッシュメモリ制御レジスタ (FMR0、FMR1、FMR2、FMR6レジスタ)	271
22.3.4	CPU書き換えモードの注意事項	283
22.3.5	ソフトウェアコマンド	285
22.3.6	データ保護機能	291
22.3.7	ステータスレジスタ	291
22.3.8	フルステータスチェック	293
22.4	標準シリアル入出力モード	295
22.4.1	IDコードチェック機能	295

22.4.2	標準シリアル入出力モード時の端子処理例 .....	299
22.5	パラレル入出力モード .....	301
22.5.1	ROMコードプロテクト機能 .....	301
23.	電気的特性 .....	302
23.1	電気的特性 .....	302
24.	使用上の注意事項 .....	343
24.1	SFR .....	343
24.1.1	レジスタ設定時の注意事項 .....	343
24.2	リセット .....	344
24.2.1	VCC1 .....	344
24.2.2	CNVSS .....	344
24.3	外部バス .....	345
24.4	PLL周波数シンセサイザ使用時 .....	346
24.5	パワーコントロール .....	347
24.6	プロテクト .....	349
24.7	割り込み .....	350
24.7.1	00000h番地の読み出し .....	350
24.7.2	SPの設定 .....	350
24.7.3	$\overline{\text{NMI}}$ 割り込み .....	350
24.7.4	割り込み要因の変更 .....	351
24.7.5	$\overline{\text{INT}}$ 割り込み .....	351
24.7.6	割り込み制御レジスタの変更 .....	352
24.7.7	ウォッチドッグタイマ割り込み .....	353
24.8	DMAC .....	354
24.8.1	DMiCONレジスタのDMAEビットへの書き込み(i=0~3) .....	354
24.8.2	DMAC優先順位に関する注意事項 .....	354
24.9	タイマ .....	355
24.9.1	タイマA .....	355
24.9.2	タイマB .....	359
24.10	シリアルインタフェース .....	362
24.10.1	クロック同期形シリアルI/Oモード .....	362
24.10.2	クロック非同期型シリアルI/O(UART)モード .....	364
24.10.3	特殊モード(I <sup>2</sup> Cモード) .....	364
24.10.4	特殊モード4(SIMモード) .....	364
24.10.5	SI/O3、SI/O4 .....	365
24.11	A/Dコンバータ .....	366
24.11.1	繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1 .....	367
24.12	プログラマブル入出力ポート .....	368
24.13	フラッシュメモリ版 .....	369
24.13.1	フラッシュメモリ書き換え禁止機能 .....	369

24.13.2	ストップモード .....	369
24.13.3	ウェイトモード .....	369
24.13.4	低消費電力モード、オンチップオシレータ低消費電力モード .....	369
24.13.5	コマンド、データの書き込み .....	369
24.13.6	プログラムコマンド .....	369
24.13.7	ロックビットプログラムコマンド .....	369
24.13.8	動作速度 .....	370
24.13.9	使用禁止命令 .....	370
24.13.10	割り込み .....	370
24.13.11	アクセス方法 .....	370
24.13.12	書き換え .....	370
24.13.13	DMA転送 .....	371
24.13.14	プログラム、イレーズ回数と実行時間について .....	371
24.13.15	ブートモード使用時の注意事項 .....	372
24.14	ノイズに関する注意事項 .....	373
付録1. 外形寸法図 .....		374
付録2. M16C/62PとM16C/64との相違点 .....		375
付録3. ライタ .....		378



# 番地別ページ早見表

掲載ページは最初に出てくるページです。複数回出てくるものは索引を参照してください。

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	50
0005h	プロセッサモードレジスタ1	PM1	51
0006h	システムクロック制御レジスタ0	CM0	78
0007h	システムクロック制御レジスタ1	CM1	79
0008h	チップセレクト制御レジスタ	CSR	57
0009h			
000Ah	プロテクトレジスタ	PRCR	100
000Bh	データバンクレジスタ	DBR	69
000Ch	発振停止検出レジスタ	CM2	80
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	52
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	81
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	159
0016h			
0017h			
0018h	リセット要因判別フラグ	RSTFR	47
0019h	電圧検出2回路フラグレジスタ	VCR1	38
001Ah	電圧検出回路動作許可レジスタ	VCR2	38
001Bh	チップセレクト拡張制御レジスタ	CSE	64
001Ch	PLL制御レジスタ0	PLC0	82
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	81
001Fh	電圧低下検出割り込みレジスタ	D4INT	39
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	40
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			

番地	レジスタ	シンボル	掲載ページ
0042h	INT7割り込み制御レジスタ	INT7IC	108
0043h	INT6割り込み制御レジスタ	INT6IC	108
0044h	INT3割り込み制御レジスタ	INT3IC	108
0045h	タイマB5割り込み制御レジスタ	TB5IC	107
0046h	タイマB4割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	107
0047h	タイマB3割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	107
0048h	SI/O4割り込み制御レジスタ、INT5割り込み制御レジスタ	S4IC、INT5IC	108
0049h	SI/O3割り込み制御レジスタ、INT4割り込み制御レジスタ	S3IC、INT4IC	108
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	107
004Bh	DMA0割り込み制御レジスタ	DM0IC	107
004Ch	DMA1割り込み制御レジスタ	DM1IC	107
004Dh	キー入力割り込み制御レジスタ	KUPIC	107
004Eh	A/D変換割り込み制御レジスタ	ADIC	107
004Fh	UART2送信割り込み制御レジスタ	S2TIC	107
0050h	UART2受信割り込み制御レジスタ	S2RIC	107
0051h	UART0送信割り込み制御レジスタ	S0TIC	107
0052h	UART0受信割り込み制御レジスタ	S0RIC	107
0053h	UART1送信割り込み制御レジスタ	S1TIC	107
0054h	UART1受信割り込み制御レジスタ	S1RIC	107
0055h	タイマA0割り込み制御レジスタ	TA0IC	107
0056h	タイマA1割り込み制御レジスタ	TA1IC	107
0057h	タイマA2割り込み制御レジスタ	TA2IC	107
0058h	タイマA3割り込み制御レジスタ	TA3IC	107
0059h	タイマA4割り込み制御レジスタ	TA4IC	107
005Ah	タイマB0割り込み制御レジスタ	TB0IC	107
005Bh	タイマB1割り込み制御レジスタ	TB1IC	107
005Ch	タイマB2割り込み制御レジスタ	TB2IC	107
005Dh	INT0割り込み制御レジスタ	INT0IC	108
005Eh	INT1割り込み制御レジスタ	INT1IC	108
005Fh	INT2割り込み制御レジスタ	INT2IC	108
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	107
006Ah	DMA3割り込み制御レジスタ	DM3IC	107
006Bh	UART5バス衝突検出割り込み制御レジスタ	U5BCNIC	107
006Ch	UART5送信割り込み制御レジスタ	S5TIC	107
006Dh	UART5受信割り込み制御レジスタ	S5RIC	107
006Eh	UART6バス衝突検出割り込み制御レジスタ	U6BCNIC	107
006Fh	UART6送信割り込み制御レジスタ	S6TIC	107
0070h	UART6受信割り込み制御レジスタ	S6RIC	107
0071h	UART7バス衝突検出割り込み制御レジスタ	U7BCNIC	107
0072h	UART7送信割り込み制御レジスタ	S7TIC	107
0073h	UART7受信割り込み制御レジスタ	S7RIC	107
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
D080h ~ D17Fh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0180h	DMA0 ソースポインタ	SAR0	131
0181h			
0182h			
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	131
0185h			
0186h			
0187h			
0188h	DMA0 転送カウンタ	TCR0	131
0189h			
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	130
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	131
0191h			
0192h			
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	131
0195h			
0196h			
0197h			
0198h	DMA1 転送カウンタ	TCR1	131
0199h			
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	130
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	131
01A1h			
01A2h			
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	131
01A5h			
01A6h			
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	131
01A9h			
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	130
01ADh			
01AEh			
01AFh			
01B0h	DMA3 ソースポインタ	SAR3	131
01B1h			
01B2h			
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	131
01B5h			
01B6h			
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	131
01B9h			
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	130
01BDh			
01BEh			
01BFh			
01C0h			
01C1h			
01C2h			

番地	レジスタ	シンボル	掲載ページ
01C3h			
01C4h			
01C5h			
01C6h			
01C7h			
01C8h	タイマB カウントソース選択レジスタ0	TBCS0	160
01C9h	タイマB カウントソース選択レジスタ1	TBCS1	160
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマA カウントソース選択レジスタ0	TACS0	144
01D1h	タイマA カウントソース選択レジスタ1	TACS1	144
01D2h	タイマA カウントソース選択レジスタ2	TACS2	145
01D3h			
01D4h			
01D5h	タイマA 波形出力機能選択レジスタ	TAPOFS	145
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h	タイマB カウントソース選択レジスタ2	TBCS2	160
01E9h	タイマB カウントソース選択レジスタ3	TBCS3	160
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0205h	割り込み要因選択レジスタ3	IFSR3A	116
0206h	割り込み要因選択レジスタ2	IFSR2A	116
0207h	割り込み要因選択レジスタ	IFSR	115
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	119
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	119
0210h	アドレス一致割り込みレジスタ0	RMAD0	119
0211h			
0212h			
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	119
0215h			
0216h			
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	119
0219h			
021Ah			
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	119
021Dh			
021Eh			
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	272
0221h	フラッシュメモリ制御レジスタ1	FMR1	273
0222h	フラッシュメモリ制御レジスタ2	FMR2	274
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	275
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			
0244h	UART0特殊モードレジスタ4	U0SMR4	185
0245h	UART0特殊モードレジスタ3	U0SMR3	184
0246h	UART0特殊モードレジスタ2	U0SMR2	184
0247h	UART0特殊モードレジスタ	U0SMR	183
0248h	UART0送受信モードレジスタ	U0MR	180
0249h	UART0ビットレートレジスタ	U0BRG	180

番地	レジスタ	シンボル	掲載ページ
024Ah	UART0送信バッファレジスタ	U0TB	179
024Bh			
024Ch	UART0送受信制御レジスタ0	U0C0	181
024Dh	UART0送受信制御レジスタ1	U0C1	182
024Eh	UART0受信バッファレジスタ	U0RB	179
024Fh			
0250h	UART送受信制御レジスタ2	UCON	183
0251h			
0252h			
0253h			
0254h	UART1特殊モードレジスタ4	U1SMR4	185
0255h	UART1特殊モードレジスタ3	U1SMR3	184
0256h	UART1特殊モードレジスタ2	U1SMR2	184
0257h	UART1特殊モードレジスタ	U1SMR	183
0258h	UART1送受信モードレジスタ	U1MR	180
0259h	UART1ビットレートレジスタ	U1BRG	180
025Ah	UART1送信バッファレジスタ	U1TB	179
025Bh			
025Ch	UART1送受信制御レジスタ0	U1C0	181
025Dh	UART1送受信制御レジスタ1	U1C1	182
025Eh	UART1受信バッファレジスタ	U1RB	179
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	185
0265h	UART2特殊モードレジスタ3	U2SMR3	184
0266h	UART2特殊モードレジスタ2	U2SMR2	184
0267h	UART2特殊モードレジスタ	U2SMR	183
0268h	UART2送受信モードレジスタ	U2MR	180
0269h	UART2ビットレートレジスタ	U2BRG	180
026Ah	UART2送信バッファレジスタ	U2TB	179
026Bh			
026Ch	UART2送受信制御レジスタ0	U2C0	181
026Dh	UART2送受信制御レジスタ1	U2C1	182
026Eh	UART2受信バッファレジスタ	U2RB	179
026Fh			
0270h	SI/O3送受信レジスタ	S3TRR	224
0271h			
0272h	SI/O3制御レジスタ	S3C	224
0273h	SI/O3ビットレートレジスタ	S3BRG	224
0274h	SI/O4送受信レジスタ	S4TRR	224
0275h			
0276h	SI/O4制御レジスタ	S4C	224
0277h	SI/O4ビットレートレジスタ	S4BRG	224
0278h	SI/O34制御レジスタ2	S34C2	225
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5特殊モードレジスタ4	U5SMR4	185
0285h	UART5特殊モードレジスタ3	U5SMR3	184
0286h	UART5特殊モードレジスタ2	U5SMR2	184
0287h	UART5特殊モードレジスタ	U5SMR	183
0288h	UART5送受信モードレジスタ	U5MR	180
0289h	UART5ビットレートレジスタ	U5BRG	180

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
028Ah	UART5送信バッファレジスタ	U5TB	179
028Bh			
028Ch	UART5送受信制御レジスタ0	U5C0	181
028Dh	UART5送受信制御レジスタ1	U5C1	182
028Eh	UART5受信バッファレジスタ	U5RB	179
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h	UART6特殊モードレジスタ4	U6SMR4	185
0295h	UART6特殊モードレジスタ3	U6SMR3	184
0296h	UART6特殊モードレジスタ2	U6SMR2	184
0297h	UART6特殊モードレジスタ	U6SMR	183
0298h	UART6送受信モードレジスタ	U6MR	180
0299h	UART6ビットレートレジスタ	U6BRG	180
029Ah	UART6送信バッファレジスタ	U6TB	179
029Bh			
029Ch	UART6送受信制御レジスタ0	U6C0	181
029Dh	UART6送受信制御レジスタ1	U6C1	182
029Eh	UART6受信バッファレジスタ	U6RB	179
029Fh			
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7特殊モードレジスタ4	U7SMR4	185
02A5h	UART7特殊モードレジスタ3	U7SMR3	184
02A6h	UART7特殊モードレジスタ2	U7SMR2	184
02A7h	UART7特殊モードレジスタ	U7SMR	183
02A8h	UART7送受信モードレジスタ	U7MR	180
02A9h	UART7ビットレートレジスタ	U7BRG	180
02AAh	UART7送信バッファレジスタ	U7TB	179
02ABh			
02ACh	UART7送受信制御レジスタ0	U7C0	181
02ADh	UART7送受信制御レジスタ1	U7C1	182
02AEh	UART7受信バッファレジスタ	U7RB	179
02AFh			
02B0h			
~			
02FFh			
0300h	タイマB3,4,5カウント開始フラグ	TBSR	159
0301h			
0302h	タイマA1-1レジスタ	TA11	170
0303h			
0304h	タイマA2-1レジスタ	TA21	170
0305h			
0306h	タイマA4-1レジスタ	TA41	170
0307h			
0308h	三相PWM制御レジスタ0	INVC0	167
0309h	三相PWM制御レジスタ1	INVC1	168
030Ah	三相出力バッファレジスタ0	IDB0	169
030Bh	三相出力バッファレジスタ1	IDB1	169
030Ch	短絡防止タイマ	DTT	169
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	169
030Eh			
030Fh			
0310h	タイマB3レジスタ	TB3	158
0311h			
0312h	タイマB4レジスタ	TB4	158
0313h			
0314h	タイマB5レジスタ	TB5	158
0315h			
0316h			
0317h			
0318h			
0319h			

番地	レジスタ	シンボル	掲載ページ
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	158
031Ch	タイマB4モードレジスタ	TB4MR	158
031Dh	タイマB5モードレジスタ	TB5MR	158
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	142
0321h			
0322h	ワンショット開始フラグ	ONSF	143
0323h	トリガ選択レジスタ	TRGSR	171
0324h	アップダウンフラグ	UDF	142
0325h			
0326h	タイマA0レジスタ	TA0	141
0327h			
0328h	タイマA1レジスタ	TA1	141
0329h			
032Ah	タイマA2レジスタ	TA2	141
032Bh			
032Ch	タイマA3レジスタ	TA3	141
032Dh			
032Eh	タイマA4レジスタ	TA4	141
032Fh			
0330h	タイマB0レジスタ	TB0	158
0331h			
0332h	タイマB1レジスタ	TB1	158
0333h			
0334h	タイマB2レジスタ	TB2	158
0335h			
0336h	タイマA0モードレジスタ	TA0MR	141
0337h	タイマA1モードレジスタ	TA1MR	141
0338h	タイマA2モードレジスタ	TA2MR	141
0339h	タイマA3モードレジスタ	TA3MR	141
033Ah	タイマA4モードレジスタ	TA4MR	141
033Bh	タイマB0モードレジスタ	TB0MR	158
033Ch	タイマB1モードレジスタ	TB1MR	158
033Dh	タイマB2モードレジスタ	TB2MR	158
033Eh	タイマB2特殊モードレジスタ	TB2SC	170
033Fh			
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
035Ch			
035Dh			
035Eh			
035Fh			
0360h	ブルアップ制御レジスタ0	PUR0	258
0361h	ブルアップ制御レジスタ1	PUR1	258
0362h	ブルアップ制御レジスタ2	PUR2	259
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	259
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	122
037Dh	ウォッチドッグタイマリセットレジスタ	WDTR	121
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	121
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	121
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2要因選択レジスタ	DM2SL	127
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	127
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	127
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	127
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			

番地	レジスタ	シンボル	掲載ページ
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	248
03BDh			
03BEh	CRCインプットレジスタ	CRCIN	248
03BFh			
03C0h	A/Dレジスタ0	AD0	233
03C1h			
03C2h	A/Dレジスタ1	AD1	233
03C3h			
03C4h	A/Dレジスタ2	AD2	233
03C5h			
03C6h	A/Dレジスタ3	AD3	233
03C7h			
03C8h	A/Dレジスタ4	AD4	233
03C9h			
03CAh	A/Dレジスタ5	AD5	233
03CBh			
03CCh	A/Dレジスタ6	AD6	233
03CDh			
03CEh	A/Dレジスタ7	AD7	233
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	233
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	232
03D7h	A/D制御レジスタ1	ADCON1	232
03D8h	D/A0レジスタ	DA0	247
03D9h			
03DAh	D/A1レジスタ	DA1	247
03DBh			
03DCh	D/A制御レジスタ	DACON	247
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	257
03E1h	ポートP1レジスタ	P1	257
03E2h	ポートP0方向レジスタ	PD0	256
03E3h	ポートP1方向レジスタ	PD1	256

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
03E4h	ポートP2レジスタ	P2	257
03E5h	ポートP3レジスタ	P3	257
03E6h	ポートP2方向レジスタ	PD2	256
03E7h	ポートP3方向レジスタ	PD3	256
03E8h	ポートP4レジスタ	P4	257
03E9h	ポートP5レジスタ	P5	257
03EAh	ポートP4方向レジスタ	PD4	256
03EBh	ポートP5方向レジスタ	PD5	256
03ECh	ポートP6レジスタ	P6	257
03EDh	ポートP7レジスタ	P7	257
03EEh	ポートP6方向レジスタ	PD6	256
03EFh	ポートP7方向レジスタ	PD7	256
03F0h	ポートP8レジスタ	P8	257
03F1h	ポートP9レジスタ	P9	257
03F2h	ポートP8方向レジスタ	PD8	256
03F3h	ポートP9方向レジスタ	PD9	256
03F4h	ポートP10レジスタ	P10	257
03F5h			
03F6h	ポートP10方向レジスタ	PD10	256
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
D000h ~ D7FFh			

FFFFh	オプション機能選択番地	OFS1	122
-------	-------------	------	-----

空欄は予約領域です。アクセスしないでください。

## M16C/64グループ

ルネサスマイクロコンピュータ

---

### 1. 概要

#### 1.1 特長

M16C/64グループは、M16C/60シリーズCPUコアを搭載したフラッシュメモリ内蔵マイクロコンピュータです。M16C/60シリーズCPUコアは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間(4Mバイトに拡張可能)と、命令を高速に実行する能力を備え、更に、乗算器があるため高速な演算処理が可能です。

また、消費電力が小さい上、動作モードによるパワーコントロールが可能であり、ノイズ対策機構により不要輻射ノイズは小さく、ノイズ耐量は大きく設計されています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

##### 1.1.1 用途

オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、他

## 1.2 仕様概要

表 1.1～1.2に仕様概要を示します。

表 1.1 仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	M16C/60コア (乗算器: 16ビット×16ビット→32ビット、 積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> <li>基本命令数: 91</li> <li>最小命令実行時間: 40.0ns (f(BCLK)=25MHz、VCC1=VCC2=2.7～5.5V)</li> <li>動作モード: シングルチップ、メモリ拡張、マイクロプロセッサ</li> </ul>
メモリ	ROM、RAM、 データフラッシュ	「表 1.3 製品一覧表」を参照してください
電圧検出	電圧検出回路	電圧低下検出
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>4回路 メインクロック、サブクロック、オンチップオシレータ (125kHz)、PLL周波数シンセサイザ</li> <li>発振停止検出: メインクロック発振停止、再発振検出機能</li> <li>周波数分周回路: 1, 2, 4, 8, 16分周選択</li> <li>低消費電力機構: ウェイトモード、ストップモード</li> </ul>
外部バス拡張	バス メモリ拡張機能	<ul style="list-style-type: none"> <li>アドレス空間: 1Mバイト</li> <li>外部バスインタフェース: 0～3ウェイト挿入可、チップセレクト4出力、メモリ空間拡張機能(4Mバイトまで拡張可)</li> <li>バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)、アドレスバス本数切り替え可(12本/16本/20本)</li> </ul>
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> <li>CMOS入出力: 85プルアップ抵抗設定可</li> <li>Nchオープンドレインポート: 3</li> </ul>
割り込み		割り込みベクタ数: 70 外部割り込み入力: 13 (NMI、INT×8、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(プリスケラ付) リセットスタート機能選択可
DMA	DMAC	<ul style="list-style-type: none"> <li>4チャンネル、サイクルスチール方式</li> <li>起動要因数: 43</li> <li>転送モード: 2 (単転送、リピート転送)</li> </ul>
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御(タイマA1、タイマA2、タイマA4、タイマB2使用) 短絡防止タイマ内蔵
シリアルインタフェース	UART0～UART2、 UART5～UART7	クロック同期/非同期兼用×6チャンネル I <sup>2</sup> C-bus、IEBus (注1)、特殊モード2 SIM (UART2)
	SI/O3、SI/O4	クロック同期専用×2チャンネル

注1. IEBusはNECエレクトロニクス株式会社の登録商標です。



表 1.2 仕様概要(2)

分類	機能	説明
A/Dコンバータ		分解能10ビット×26チャンネル サンプル&ホールドあり 変換時間1.72μs
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT ( $X^{16} + X^{12} + X^5 + 1$ )に準拠
フラッシュメモリ		<ul style="list-style-type: none"> <li>• プログラム、イレーズ電圧: 2.7V~5.5V</li> <li>• プログラム、イレーズ回数: 100回</li> <li>• プログラムセキュリティ: ROMコードプロテクト、IDコードチェック</li> </ul>
デバッグ機能		オンチップデバッグ、オンボードフラッシュ書き換え機能 アドレス一致×4
動作周波数/電源電圧		25MHz/VCC1=VCC2=2.7~5.5V
消費電流		20mA (25MHz/VCC1=VCC2=3V) 3.0μA (VCC1=VCC2=3V、ストップモード)
動作周囲温度		-20°C~85°C、-40°C~85°C
パッケージ		100ピンQFP: PRQP0100JD-B(旧パッケージコード: 100P6F-A) 100ピンLQFP: PLQP0100KB-A(旧パッケージコード: 100P6Q-A)

### 1.3 製品一覧

表 1.3に製品一覧表、図 1.1に型名とメモリサイズ・パッケージ、図 1.2にフラッシュメモリ版のマーキング図(上面図)を示します。

表 1.3 製品一覧表

型名	ROM容量			RAM容量	パッケージ	備考	
	プログラムROM1	プログラムROM2	データフラッシュ				
R5F36406NFA (開)	128Kバイト	16Kバイト	4Kバイト ×2ブロック	12Kバイト	PRQP0100JD-B	動作周囲温度 -20℃～85℃	
R5F36406NFB (開)					PLQP0100KB-A		
R5F3640DNFA (開)	256Kバイト	16Kバイト	4Kバイト ×2ブロック	16Kバイト	PRQP0100JD-B		
R5F3640DNFB (開)					PLQP0100KB-A		
R5F3640MNFA (開)	512Kバイト	16Kバイト	4Kバイト ×2ブロック	31Kバイト	PRQP0100JD-B		
R5F3640MNFB (開)					PLQP0100KB-A		
R5F36406DFA (開)	128Kバイト	16Kバイト	4Kバイト ×2ブロック	12Kバイト	PRQP0100JD-B		動作周囲温度 -40℃～85℃
R5F36406DFB (開)					PLQP0100KB-A		
R5F3640DDFA (開)	256Kバイト	16Kバイト	4Kバイト ×2ブロック	16Kバイト	PRQP0100JD-B		
R5F3640DDFB (開)					PLQP0100KB-A		
R5F3640MDFA (開)	512Kバイト	16Kバイト	4Kバイト ×2ブロック	31Kバイト	PRQP0100JD-B		
R5F3640MDFB (開)					PLQP0100KB-A		

(開) : 開発中

注1. 各パッケージの旧パッケージコードは以下の通りです。

PRQP0100JD-B : 100P6F-A、PLQP0100KB-A : 100P6Q-A

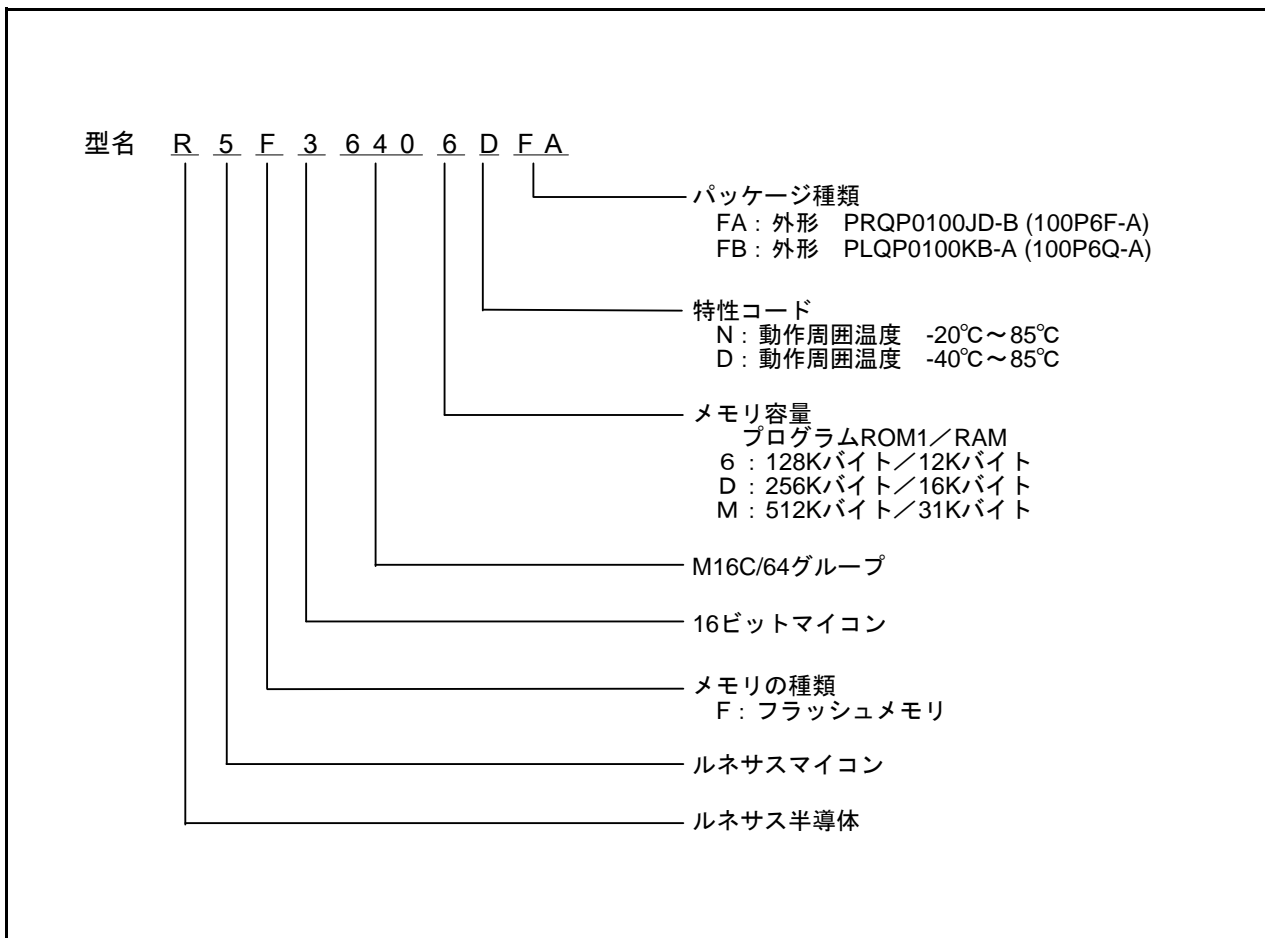


図 1.1 型名とメモリサイズ・パッケージ

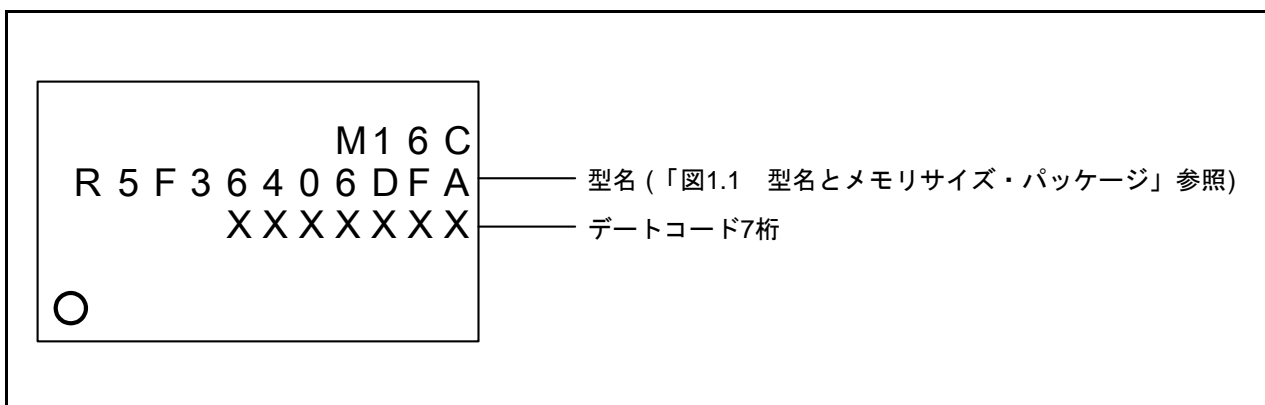


図 1.2 フラッシュメモリ版のマーキング図(上面図)

### 1.4 ブロック図

図 1.3にブロック図を示します。

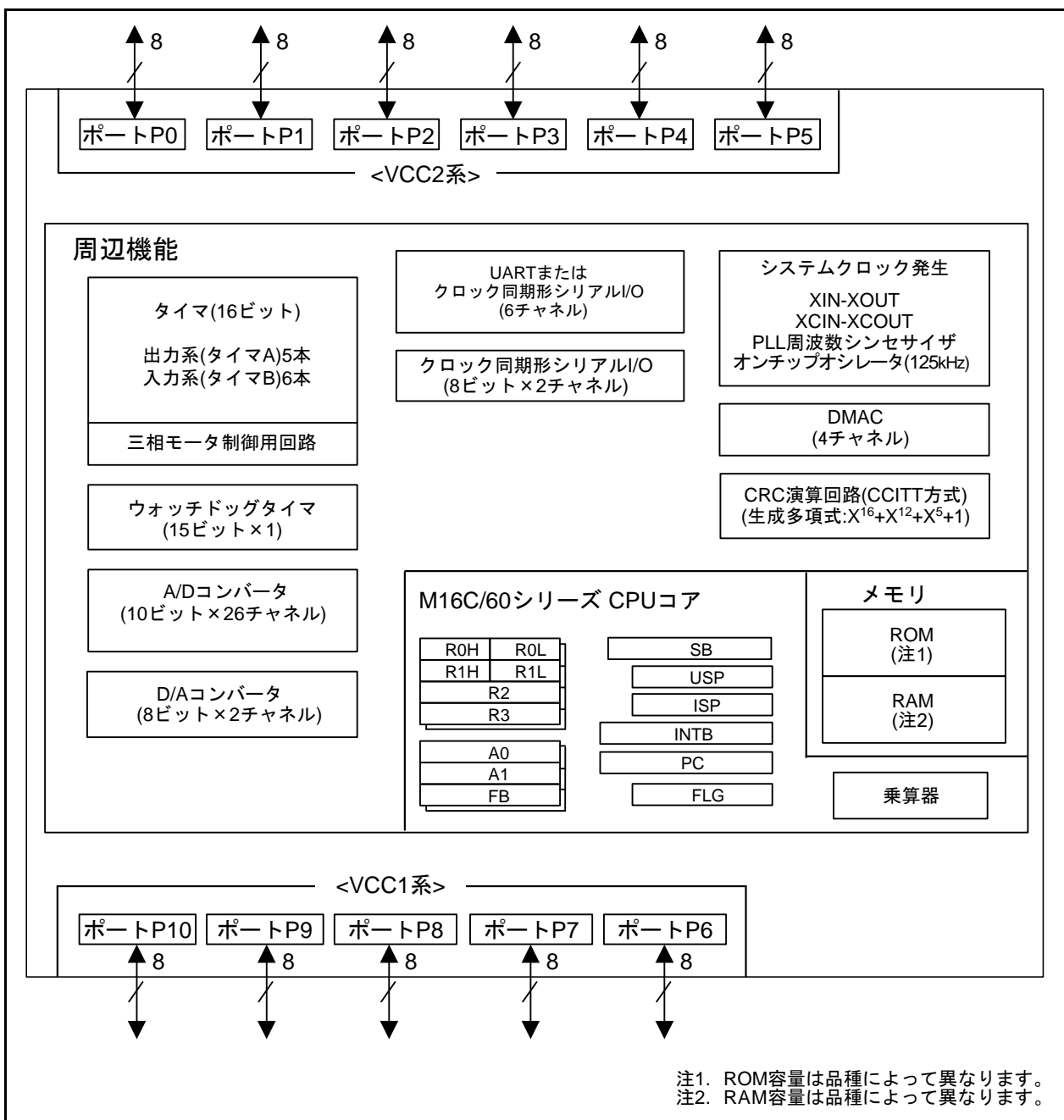


図 1.3 ブロック図

注1. ROM容量は品種によって異なります。  
 注2. RAM容量は品種によって異なります。

1.5 ピン接続図

図 1.4～1.5にピン接続図(上面図)、表 1.4～1.5に100ピン版端子名一覧表を示します。

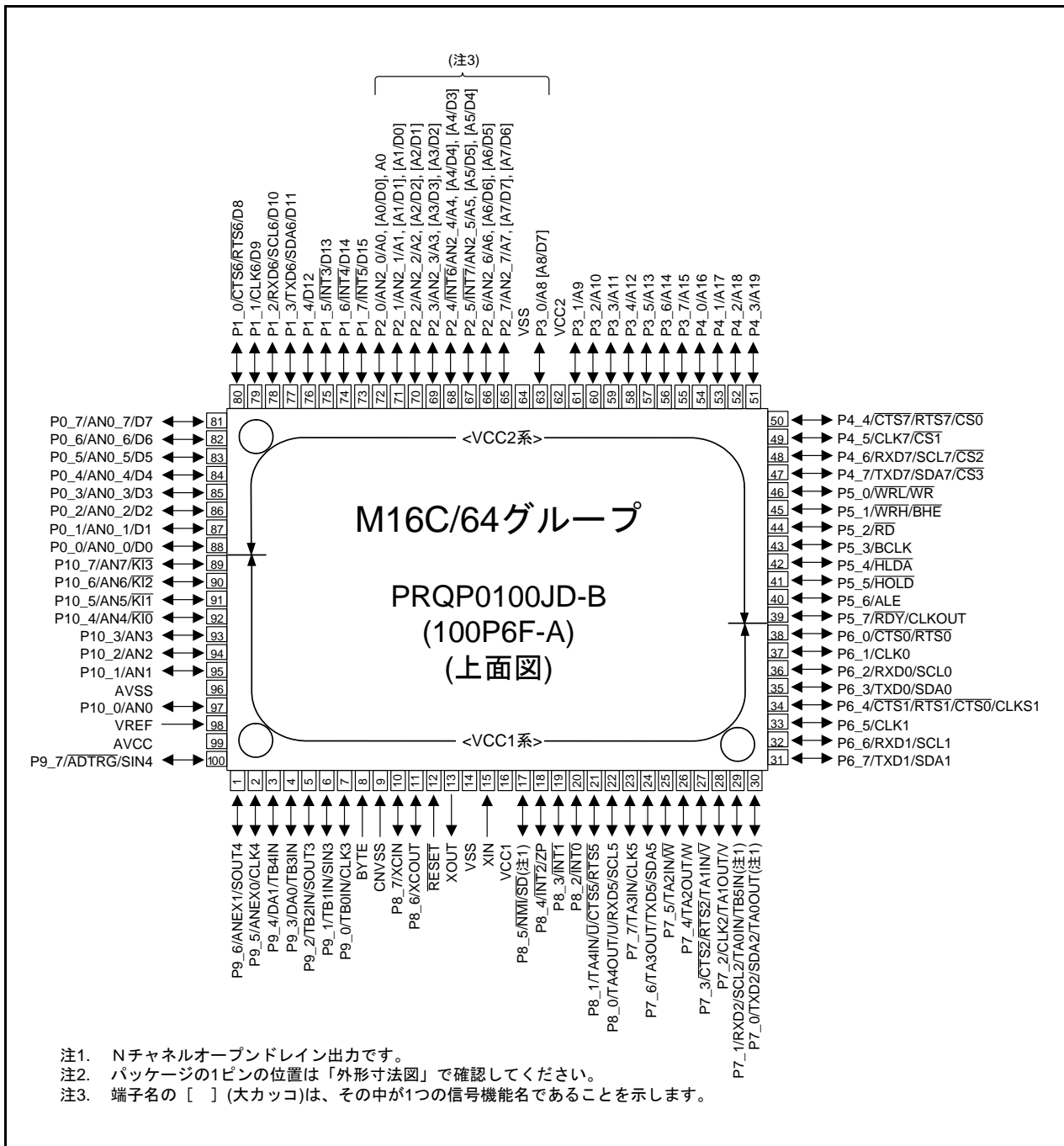


図 1.4 ピン配置図(上面図)

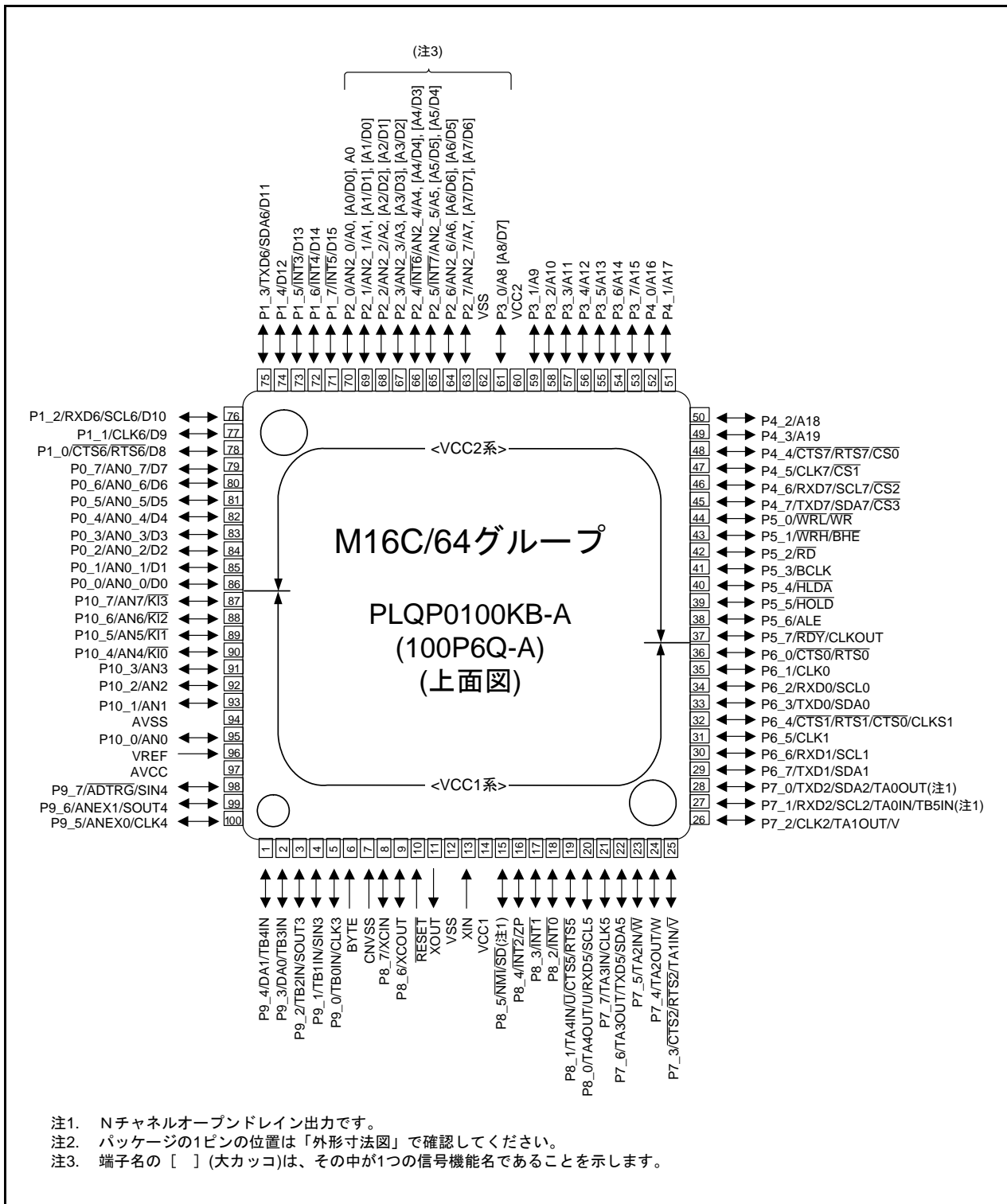


図 1.5 ピン配置図(上面図)

表 1.4 100ピン版端子名一覧表(1)

Pin No.		制御端子	ポート	周辺機能の入出力端子				バス制御端子
FA	FB			割り込み	タイマ	UART	A/Dコンバータ D/Aコンバータ	
1	99		P9_6			SOUT4	ANEX1	
2	100		P9_5			CLK4	ANEX0	
3	1		P9_4		TB4IN		DA1	
4	2		P9_3		TB3IN		DA0	
5	3		P9_2		TB2IN	SOUT3		
6	4		P9_1		TB1IN	SIN3		
7	5		P9_0		TB0IN	CLK3		
8	6	BYTE						
9	7	CNVSS						
10	8	XCIN	P8_7					
11	9	XCOU	P8_6					
12	10	RESET						
13	11	XOUT						
14	12	VSS						
15	13	XIN						
16	14	VCC1						
17	15		P8_5	NMI	SD			
18	16		P8_4	INT2	ZP			
19	17		P8_3	INT1				
20	18		P8_2	INT0				
21	19		P8_1		TA4IN/U	CTS5/RTS5		
22	20		P8_0		TA4OUT/U	RXD5/SCL5		
23	21		P7_7		TA3IN	CLK5		
24	22		P7_6		TA3OUT	TXD5/SDA5		
25	23		P7_5		TA2IN/W			
26	24		P7_4		TA2OUT/W			
27	25		P7_3		TA1IN/V	CTS2/RTS2		
28	26		P7_2		TA1OUT/V	CLK2		
29	27		P7_1		TA0IN/TB5IN	RXD2/SCL2		
30	28		P7_0		TA0OUT	TXD2/SDA2		
31	29		P6_7			TXD1/SDA1		
32	30		P6_6			RXD1/SCL1		
33	31		P6_5			CLK1		
34	32		P6_4			CTS1/RTS1/CTS0/CLKS1		
35	33		P6_3			TXD0/SDA0		
36	34		P6_2			RXD0/SCL0		
37	35		P6_1			CLK0		
38	36		P6_0			CTS0/RTS0		
39	37		P5_7					RDY/CLKOUT
40	38		P5_6					ALE
41	39		P5_5					HOLD
42	40		P5_4					HLDA
43	41		P5_3					BCLK
44	42		P5_2					RD
45	43		P5_1					WRH/BHE
46	44		P5_0					WRL/WR
47	45		P4_7			TXD7/SDA7		CS3
48	46		P4_6			RXD7/SCL7		CS2
49	47		P4_5			CLK7		CS1
50	48		P4_4			CTS7/RTS7		CS0

表 1.5 100ピン版端子名一覧表(2)

Pin No.		制御端子	ポート	周辺機能の入出力端子				バス制御端子
FA	FB			割り込み	タイマ	UART	A/Dコンバータ D/Aコンバータ	
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8, [A8/D7]
64	62	VSS						
65	63		P2_7				AN2_7	A7, [A7/D7], [A7/D6]
66	64		P2_6				AN2_6	A6, [A6/D6], [A6/D5]
67	65		P2_5	INT7			AN2_5	A5, [A5/D5], [A5/D4]
68	66		P2_4	INT6			AN2_4	A4, [A4/D4], [A4/D3]
69	67		P2_3				AN2_3	A3, [A3/D3], [A3/D2]
70	68		P2_2				AN2_2	A2, [A2/D2], [A2/D1]
71	69		P2_1				AN2_1	A1, [A1/D1], [A1/D0]
72	70		P2_0				AN2_0	A0, [A0/D0], A0
73	71		P1_7	INT5				D15
74	72		P1_6	INT4				D14
75	73		P1_5	INT3				D13
76	74		P1_4					D12
77	75		P1_3			TXD6/SDA6		D11
78	76		P1_2			RXD6/SCL6		D10
79	77		P1_1			CLK6		D9
80	78		P1_0			CTS6/RTS6		D8
81	79		P0_7				AN0_7	D7
82	80		P0_6				AN0_6	D6
83	81		P0_5				AN0_5	D5
84	82		P0_4				AN0_4	D4
85	83		P0_3				AN0_3	D3
86	84		P0_2				AN0_2	D2
87	85		P0_1				AN0_1	D1
88	86		P0_0				AN0_0	D0
89	87		P10_7	KI3			AN7	
90	88		P10_6	KI2			AN6	
91	89		P10_5	KI1			AN5	
92	90		P10_4	KI0			AN4	
93	91		P10_3				AN3	
94	92		P10_2				AN2	
95	93		P10_1				AN1	
96	94	AVSS						
97	95		P10_0				AN0	
98	96	VREF						
99	97	AVCC						
100	98		P9_7			SIN4	ADTRG	



## 1.6 端子機能の説明

表 1.6 端子機能の説明(1)

分類	端子名	入出力	電源系統	機能
電源入力	VCC1, VCC2, VSS	入力	—	VCC1、VCC2端子には、2.7V～5.5Vを入力してください。VCCの入力条件はVCC1=VCC2です。VSSには、0Vを入力してください。(注1)
アナログ電源入力	AVCC AVSS	入力	VCC1	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合、抵抗を介してVSSに接続してください。マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス幅切り替え入力	BYTE	入力	VCC1	外部領域のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、VSSに接続してください。
バス制御端子	D0～D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力を行います。
	D8～D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力を行います。
	A0～A19	出力	VCC2	アドレスA0～A19を出力します。
	A0/D0～ A7/D7	入出力	VCC2	外部データバスが8ビットでマルチプレクスバスを選択している領域をアクセスしたとき、データ(D0～D7)の入出力と、アドレス(A0～A7)の出力を時分割で行います。
	A1/D0～ A8/D7	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたとき、データ(D0～D7)の入出力と、アドレス(A1～A8)の出力を時分割で行います。
	CS0～CS3	出力	VCC2	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	VCC2	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、WR、BHEを切り替えられます。 ・WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のとき偶数番地に書きます。WRH信号が“L”のとき奇数番地に書きます。RD信号が“L”のとき読み出します。 ・WR、BHE、RD選択時 WR信号が“L”のとき書きます。RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのとき、このモードを使用してください。
	ALE	出力	VCC2	アドレスをラッチするための信号です。
	HOLD	入力	VCC2	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
	HLDA	出力	VCC2	ホールド状態の期間、“L”を出力します。
RDY	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。	

注1. この説明以降、特に指定のない限り、文中にVCCと記述されている場合は、VCC1を示します。

表 1.7 端子機能の説明(2)

分類	端子名	入出力	電源系統	機能
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	BCLK信号を出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f1、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0～INT2	入力	VCC1	INT割り込みの入力です。
	INT3～INT7	入力	VCC2	
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み入力	KI0～KI3	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT～TA4OUT	入出力	VCC1	タイマA0～A4の入出力です(ただし、TA0OUTの出力はNチャンネルオープンドレイン)。
	TA0IN～TA4IN	入力	VCC1	タイマA0～A4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN～TB5IN	入力	VCC1	タイマB0～B5の入力です。
三相モータ制御用タイマ	U, $\bar{U}$ , V, $\bar{V}$ , W, $\bar{W}$	出力	VCC1	三相モータ制御用タイマの出力です。
	SD	入力	VCC1	三相モータ制御用タイマの入力です。
シリアルインタフェース UART0～UART2, UART5～UART7	CTS0～CTS2, CTS5	入力	VCC1	送信制御用入力です。
	CTS6, CTS7	入力	VCC2	
	RTS0～RTS2, RTS5	出力	VCC1	受信制御用出力です。
	RTS6, RTS7	出力	VCC2	
	CLK0～CLK2, CLK5	入出力	VCC1	転送クロック入出力です。
	CLK6, CLK7	入出力	VCC2	
	RXD0～RXD2, RXD5	入力	VCC1	シリアルデータ入力です。
	RXD6, RXD7	入力	VCC2	
	TXD0～TXD2, TXD5	出力	VCC1	シリアルデータ出力です。(注2)
	TXD6, TXD7	出力	VCC2	
CLKS1	出力	VCC1	転送クロック複数端子出力機能の出力です。	
シリアルインタフェース SI/O3, SI/O4	CLK3, CLK4	入出力	VCC1	転送クロック入出力です。
	SIN3, SIN4	入力	VCC1	シリアルデータ入力です。
	SOUT3, SOUT4	出力	VCC1	シリアルデータ出力です。
I <sup>2</sup> Cモード	SDA0～SDA2, SDA5	入出力	VCC1	シリアルデータ入出力です。(注2)
	SDA6, SDA7	入出力	VCC2	
	SCL0～SCL2, SCL5	入出力	VCC1	転送クロック入出力です。(注2)
	SCL6, SCL7	入出力	VCC2	

注1. 発振特性は発振子メーカーにお問い合わせください。

注2. TXD2、SDA2、SCL2の出力はNチャンネルオープンドレインです。TXDi (i=0, 1, 5～7)、SDAi、SCLiの出力はCMOS出力で、プログラムでNチャンネルオープンドレイン出力に変更できます。

表 1.8 端子機能の説明(3)

分類	端子名	入出力	電源系統	機能
基準電圧入力	VREF	入力	VCC1	A/DコンバータとD/Aコンバータの基準電圧入力です。VCC1に接続してください。
A/Dコンバータ	AN0～AN7	入力	VCC1	A/Dコンバータのアナログ入力です。
	AN0_0～AN0_7 AN2_0～AN2_7	入力	VCC2	
	ADTRG	入力	VCC1	A/D外部トリガ入力です。
	ANEX0、ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0,DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート	P0_0～P0_7 P1_0～P1_7 P2_0～P2_7 P3_0～P3_7 P4_0～P4_7 P5_0～P5_7	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。
	P6_0～P6_7 P7_0～P7_7 P8_0～P8_7 P9_0～P9_7 P10_0～P10_7	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです。ただし、P7_0, P7_1, P8_5の出力はNチャネルオープンドレイン出力。プルアップはありません。P8_5は、 $\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認できます。

## 2. 中央演算処理装置

図 2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

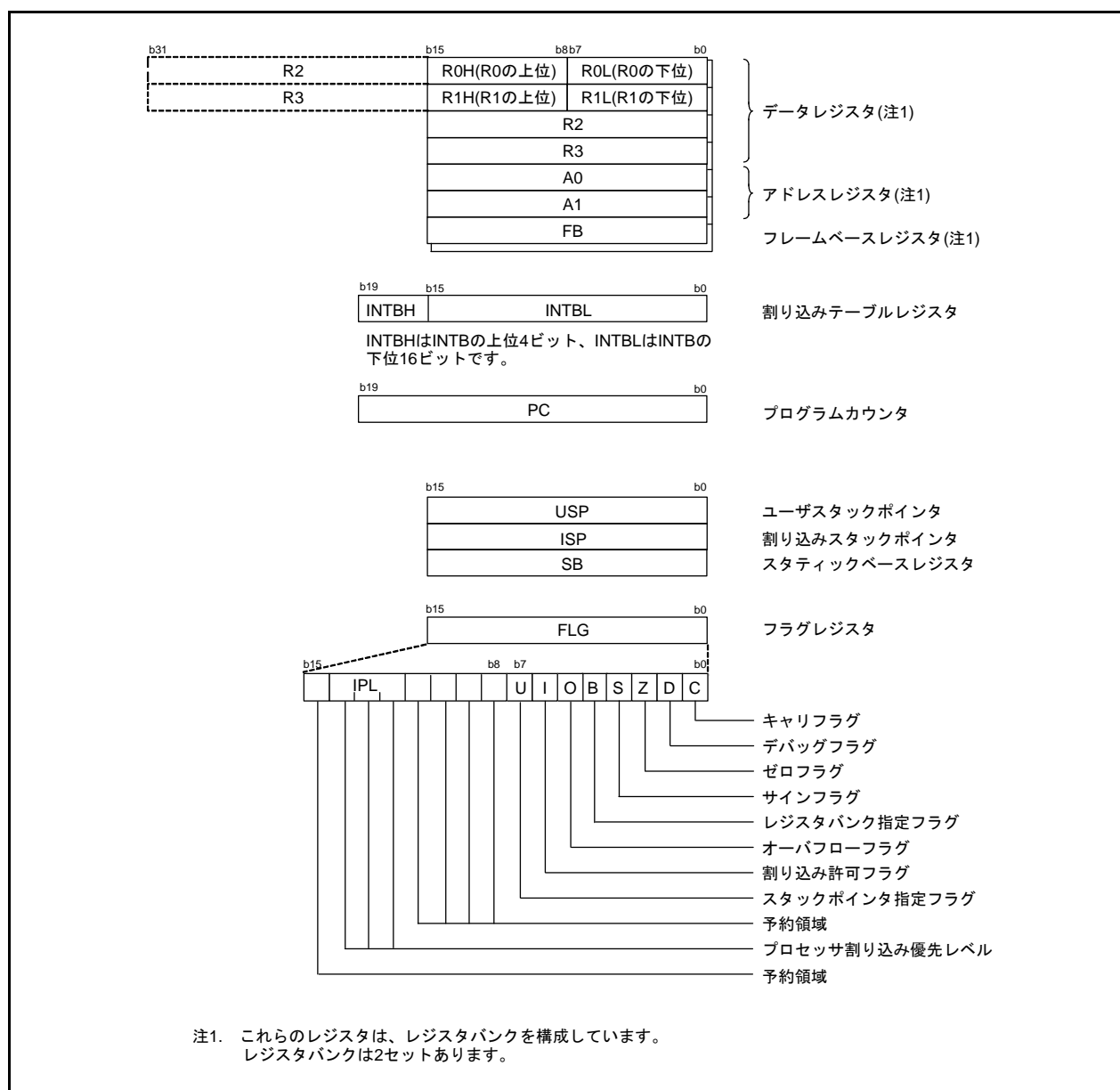


図 2.1 CPUのレジスタ

### 2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

### 2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

### 2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

### 2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

### 2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

### 2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPはFLGのUフラグで切り替えられます。

### 2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

### 2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

#### 2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

#### 2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

#### 2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

#### 2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

#### 2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

#### 2.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

#### 2.8.7 割り込み許可フラグ (Iフラグ)

マスカブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

### 3. メモリ

図 3.1にメモリ配置を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。

内部ROMはフラッシュメモリです。プログラムROM1はFFFFFFh番地から下位方向に配置されます。例えば64KバイトのプログラムROM1は、F0000h番地からFFFFFFh番地に配置されます。また、0E000h番地から0FFFFh番地には8Kバイトのデータフラッシュがあります。この領域は主にデータ格納用ですが、プログラムを格納することもできます。10000h番地から13FFFh番地はプログラムROM2です。プログラムROM2のうち13FF0h番地から13FFFh番地はユーザブートコード領域です。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば10Kバイトの内部RAMは、00400h番地から02BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から003FFh番地と、0D000hから0D7FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFD7h番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20、M16C/Tinyシリーズソフトウェアマニュアル」を参照してください。

メモリ拡張モードまたはマイクロプロセッサモードでは、一部の領域は予約領域となり使用できません。

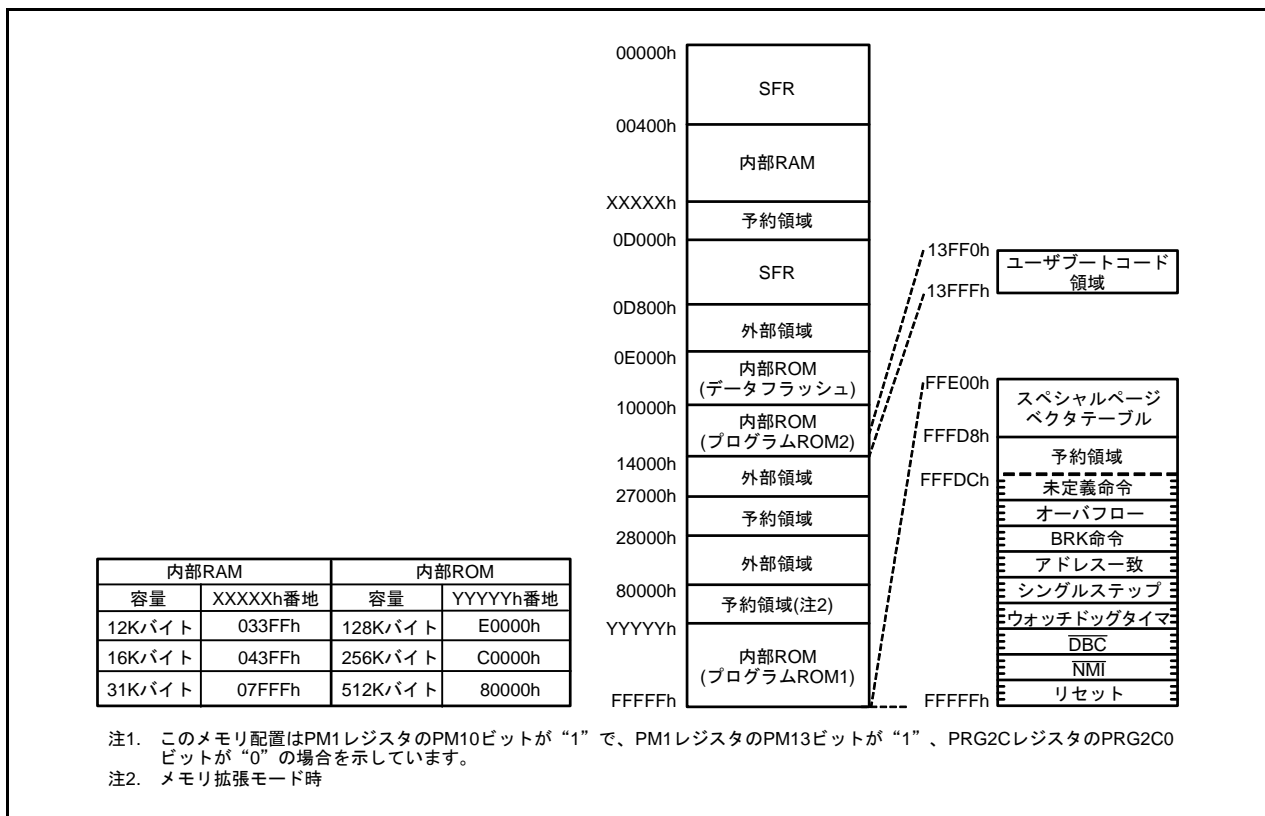


図 3.1 メモリ配置

## 4. SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。表 4.1～4.13にSFR一覧を示します。

表 4.1 SFR一覧(1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	0000000b (CNVSS端子が“L”) 00000011b (CNVSS端子が“H”) (注2)
0005h	プロセッサモードレジスタ1	PM1	00001000b
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	チップセレクト制御レジスタ	CSR	00000001b
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	データバンクレジスタ	DBR	00h
000Ch	発振停止検出レジスタ	CM2	0X000010b (注3)
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	XXXXXX00b
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	00000011b
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXXXb
0016h			
0017h			
0018h	リセット要因判別フラグ	RSTFR	0XXXXXXXXb (注4)
0019h	電圧検出2回路フラグレジスタ	VCR1	00001000b (注2)
001Ah	電圧検出回路動作許可レジスタ	VCR2	000X0000b (ハードウェアリセット1) 001X0000b (ハードウェアリセット2) (注2)
001Bh	チップセレクト拡張制御レジスタ	CSE	00h
001Ch	PLL制御レジスタ0	PLC0	0X01X010b
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XX000X01b
001Fh	電圧低下検出割り込みレジスタ	D4INT	00h
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	10001X10b (ハードウェアリセット1) 11001X11b (ハードウェアリセット2) (注2)
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. 次のレジスタまたはビットは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。  
PM0のレジスタのPM00、PM01ビット、VCR1レジスタ、VCR2レジスタ、VW0Cレジスタ。

注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

注4. RSTFRレジスタのCWRビットは、ハードウェアリセット2時“0”になります。その他のリセットでは変化しません。



表 4.2 SFR一覧(2) (注1)

番地	レジスタ	シンボル	リセット後の値
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h	INT7割り込み制御レジスタ	INT7IC	XX00X000b
0043h	INT6割り込み制御レジスタ	INT6IC	XX00X000b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00X000b
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXXX000b
0046h	タイマB4割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	XXXXX000b
0047h	タイマB3割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	XXXXX000b
0048h	SI/O4割り込み制御レジスタ、INT5割り込み制御レジスタ	S4IC、INT5IC	XX00X000b
0049h	SI/O3割り込み制御レジスタ、INT4割り込み制御レジスタ	S3IC、INT4IC	XX00X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXXX000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXXX000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXXX000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXXX000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXXX000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXXX000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXXX000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXXX000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00X000b

X：不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.3 SFR一覧(3) (注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXXX000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXXX000b
006Bh	UART5バス衝突検出割り込み制御レジスタ	U5BCNIC	XXXXX000b
006Ch	UART5送信割り込み制御レジスタ	S5TIC	XXXXX000b
006Dh	UART5受信割り込み制御レジスタ	S5RIC	XXXXX000b
006Eh	UART6バス衝突検出割り込み制御レジスタ	U6BCNIC	XXXXX000b
006Fh	UART6送信割り込み制御レジスタ	S6TIC	XXXXX000b
0070h	UART6受信割り込み制御レジスタ	S6RIC	XXXXX000b
0071h	UART7バス衝突検出割り込み制御レジスタ	U7BCNIC	XXXXX000b
0072h	UART7送信割り込み制御レジスタ	S7TIC	XXXXX000b
0073h	UART7受信割り込み制御レジスタ	S7RIC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh~015Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.4 SFR一覧(4) (注1)

番地	レジスタ	シンボル	リセット後の値
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0187h			
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	00000X00b
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0197h			
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	00000X00b
019Dh			
019Eh			
019Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.5 SFR一覧(5) (注1)

番地	レジスタ	シンボル	リセット後の値
01A0h 01A1h 01A2h 01A3h	DMA2ソースポインタ	SAR2	XXh XXh 0Xh
01A4h 01A5h 01A6h 01A7h	DMA2ディスティネーションポインタ	DAR2	XXh XXh 0Xh
01A8h 01A9h 01AAh 01ABh	DMA2転送カウンタ	TCR2	XXh XXh
01ACh 01ADh 01AEh 01AFh	DMA2制御レジスタ	DM2CON	00000X00b
01B0h 01B1h 01B2h 01B3h	DMA3ソースポインタ	SAR3	XXh XXh 0Xh
01B4h 01B5h 01B6h 01B7h	DMA3ディスティネーションポインタ	DAR3	XXh XXh 0Xh
01B8h 01B9h 01BAh 01BBh	DMA3転送カウンタ	TCR3	XXh XXh
01BCh 01BDh 01BEh 01BFh 01C0h 01C1h 01C2h 01C3h 01C4h 01C5h 01C6h 01C7h	DMA3制御レジスタ	DM3CON	00000X00b
01C8h 01C9h 01CAh 01CBh 01CCh 01CDh 01CEh 01CFh	タイマBカウントソース選択レジスタ0 タイマBカウントソース選択レジスタ1	TBCS0 TBCS1	00h X0h
01D0h 01D1h 01D2h 01D3h 01D4h 01D5h 01D6h 01D7h 01D8h 01D9h 01DAh 01DBh 01DCh 01DDh 01DEh 01DFh	タイマAカウントソース選択レジスタ0 タイマAカウントソース選択レジスタ1 タイマAカウントソース選択レジスタ2 タイマA波形出力機能選択レジスタ	TACS0 TACS1 TACS2 TAPOFS	00h 00h X0h XXX00000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.6 SFR一覧(6) (注1)

番地	レジスタ	シンボル	リセット後の値
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXXXX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXXXX00b
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.7 SFR一覧(7) (注1)

番地	レジスタ	シンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000001b (ユーザブートモード以外) 00100001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX0000b
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0XX00b
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			
0244h	UART0 特殊モードレジスタ4	U0SMR4	00h
0245h	UART0 特殊モードレジスタ3	U0SMR3	000X0X0Xb
0246h	UART0 特殊モードレジスタ2	U0SMR2	X0000000b
0247h	UART0 特殊モードレジスタ	U0SMR	X0000000b
0248h	UART0 送受信モードレジスタ	U0MR	00h
0249h	UART0 ビットレートレジスタ	U0BRG	XXh
024Ah	UART0 送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0 送受信制御レジスタ0	U0C0	00001000b
024Dh	UART0 送受信制御レジスタ1	U0C1	00XX0010b
024Eh	UART0 受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h	UART 送受信制御レジスタ2	UCON	X0000000b
0251h			
0252h			
0253h			
0254h	UART1 特殊モードレジスタ4	U1SMR4	00h
0255h	UART1 特殊モードレジスタ3	U1SMR3	000X0X0Xb
0256h	UART1 特殊モードレジスタ2	U1SMR2	X0000000b
0257h	UART1 特殊モードレジスタ	U1SMR	X0000000b
0258h	UART1 送受信モードレジスタ	U1MR	00h
0259h	UART1 ビットレートレジスタ	U1BRG	XXh
025Ah	UART1 送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1 送受信制御レジスタ0	U1C0	00001000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.8 SFR一覧(8) (注1)

番地	レジスタ	シンボル	リセット後の値
025Dh	UART1送受信制御レジスタ1	U1C1	00XX0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X0000000b
0267h	UART2特殊モードレジスタ	U2SMR	X0000000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2送受信制御レジスタ0	U2C0	00001000b
026Dh	UART2送受信制御レジスタ1	U2C1	00000010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh
0270h	SI/O3送受信レジスタ	S3TRR	XXh
0271h			
0272h	SI/O3制御レジスタ	S3C	01000000b
0273h	SI/O3ビットレートレジスタ	S3BRG	XXh
0274h	SI/O4送受信レジスタ	S4TRR	XXh
0275h			
0276h	SI/O4制御レジスタ	S4C	01000000b
0277h	SI/O4ビットレートレジスタ	S4BRG	XXh
0278h	SI/O34制御レジスタ2	S34C2	00XX0X0b
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5特殊モードレジスタ4	U5SMR4	00h
0285h	UART5特殊モードレジスタ3	U5SMR3	000X0X0Xb
0286h	UART5特殊モードレジスタ2	U5SMR2	X0000000b
0287h	UART5特殊モードレジスタ	U5SMR	X0000000b
0288h	UART5送受信モードレジスタ	U5MR	00h
0289h	UART5ビットレートレジスタ	U5BRG	XXh
028Ah	UART5送信バッファレジスタ	U5TB	XXh
028Bh			XXh
028Ch	UART5送受信制御レジスタ0	U5C0	00001000b
028Dh	UART5送受信制御レジスタ1	U5C1	00000010b
028Eh	UART5受信バッファレジスタ	U5RB	XXh
028Fh			XXh
0290h			
0291h			
0292h			
0293h			
0294h	UART6特殊モードレジスタ4	U6SMR4	00h
0295h	UART6特殊モードレジスタ3	U6SMR3	000X0X0Xb
0296h	UART6特殊モードレジスタ2	U6SMR2	X0000000b
0297h	UART6特殊モードレジスタ	U6SMR	X0000000b
0298h	UART6送受信モードレジスタ	U6MR	00h
0299h	UART6ビットレートレジスタ	U6BRG	XXh
029Ah	UART6送信バッファレジスタ	U6TB	XXh
029Bh			XXh
029Ch	UART6送受信制御レジスタ0	U6C0	00001000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.9 SFR一覧(9) (注1)

番地	レジスタ	シンボル	リセット後の値
029Dh	UART6送受信制御レジスタ1	U6C1	00000010b
029Eh	UART6受信バッファレジスタ	U6RB	XXh
029Fh			XXh
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7特殊モードレジスタ4	U7SMR4	00h
02A5h	UART7特殊モードレジスタ3	U7SMR3	000X0X0Xb
02A6h	UART7特殊モードレジスタ2	U7SMR2	X0000000b
02A7h	UART7特殊モードレジスタ	U7SMR	X0000000b
02A8h	UART7送受信モードレジスタ	U7MR	00h
02A9h	UART7ビットレートレジスタ	U7BRG	XXh
02AAh	UART7送信バッファレジスタ	U7TB	XXh
02ABh			XXh
02ACh	UART7送受信制御レジスタ0	U7C0	00001000b
02ADh	UART7送受信制御レジスタ1	U7C1	00000010b
02AEh	UART7受信バッファレジスタ	U7RB	XXh
02AFh			XXh
02B0h			
02B1h			
02B2h			
02B3h			
02B4h			
02B5h			
02B6h			
02B7h			
02B8h			
02B9h			
02BAh			
02BBh			
02BCh			
02BDh			
02BEh			
02BFh			
02C0h			
02C1h			
02C2h			
02C3h			
02C4h			
02C5h			
02C6h			
02C7h			
02C8h			
02C9h			
02CAh			
02CBh			
02CCh			
02CDh			
02CEh			
02CFh			
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。



表 4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
02DDh			
02DEh			
02DFh			
02E0h			
02E1h			
02E2h			
02E3h			
02E4h			
02E5h			
02E6h			
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh			
02FFh			
0300h	タイマB3,4,5カウント開始フラグ	TBSR	000XXXXXb
0301h			
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX111111b
030Bh	三相出力バッファレジスタ1	IDB1	XX111111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh			
030Fh			
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX0000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
031Dh	タイマB5モードレジスタ	TB5MR	00XX0000b
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	00h
0321h			
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0325h			
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h
033Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
033Eh	タイマB2特殊モードレジスタ	TB2SC	XXXXXX00b
033Fh			
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
035Dh			
035Eh			
035Fh			
0360h	ブルアップ制御レジスタ0	PUR0	00h
0361h	ブルアップ制御レジスタ1	PUR1	00000000b (注2) 00000010b
0362h	ブルアップ制御レジスタ2	PUR2	00h
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	00000XX0b
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注3)
037Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXb
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセット1またはハードウェアリセット2では次のようになります。

- CNVSS端子に“L”を入力している場合、“00000000b”

- CNVSS端子に“H”を入力している場合、“00000010b”

ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。

- PM0レジスタのPM01～PM00ビットが“00b”(シングルチップモード)の場合、“00000000b”

- PM0レジスタのPM01～PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合、“00000010b”

注3. OFS1番地のCSPROINIビットが“0”の場合は“10000000b”になります。

表 4.13 SFR一覧(13) (注1)

番地	レジスタ	シンボル	リセット後の値
0390h	DMA2要因選択レジスタ	DM2SL	00h
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	00h
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			
03C0h	A/Dレジスタ0	AD0	XXXXXXXXb 000000XXb
03C1h			
03C2h	A/Dレジスタ1	AD1	XXXXXXXXb 000000XXb
03C3h			
03C4h	A/Dレジスタ2	AD2	XXXXXXXXb 000000XXb
03C5h			
03C6h	A/Dレジスタ3	AD3	XXXXXXXXb 000000XXb
03C7h			
03C8h	A/Dレジスタ4	AD4	XXXXXXXXb 000000XXb
03C9h			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.14 SFR一覧(14) (注1)

番地	レジスタ	シンボル	リセット後の値
03CAh 03CBh	A/Dレジスタ5	AD5	XXXXXXXXb 000000XXb
03CCh 03CDh	A/Dレジスタ6	AD6	XXXXXXXXb 000000XXb
03CEh 03CFh	A/Dレジスタ7	AD7	XXXXXXXXb 000000XXb
03D0h			
03D1h			
03D2h			
03D3h			
03D4h 03D5h	A/D制御レジスタ2	ADCON2	0000X00Xb
03D6h	A/D制御レジスタ0	ADCON0	000000XXb
03D7h	A/D制御レジスタ1	ADCON1	0000X000b
03D8h 03D9h	D/A0レジスタ	DA0	00h
03DAh 03DBh	D/A1レジスタ	DA1	00h
03DCh 03DDh	D/A制御レジスタ	DACON	00h
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
D000h~ D7FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

## 5. リセット

リセットには、ハードウェアリセット1、ハードウェアリセット2、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセットがあります。

### 5.1 ハードウェアリセット1

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表 5.1  $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態」を参照)。

$\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、125kHzオンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

図 5.1にリセット回路の例、図 5.2にリセットシーケンス、表 5.1に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を示します。

#### 5.1.1 電源が安定している場合

- (1)  $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2)  $1/f_{\text{OCO-S}} \times 20$ 待つ
- (3)  $\overline{\text{RESET}}$ 端子に“H”を入力する

#### 5.1.2 電源投入時

- (1)  $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4)  $1/f_{\text{OCO-S}} \times 20$ 待つ
- (5)  $\overline{\text{RESET}}$ 端子に“H”を入力する

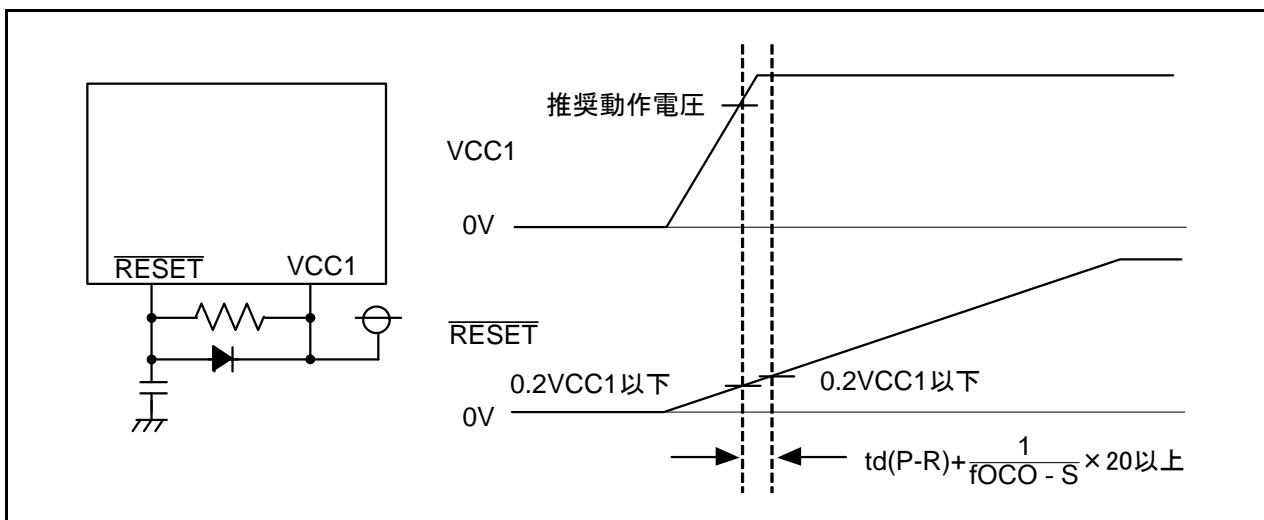


図 5.1 リセット回路の例

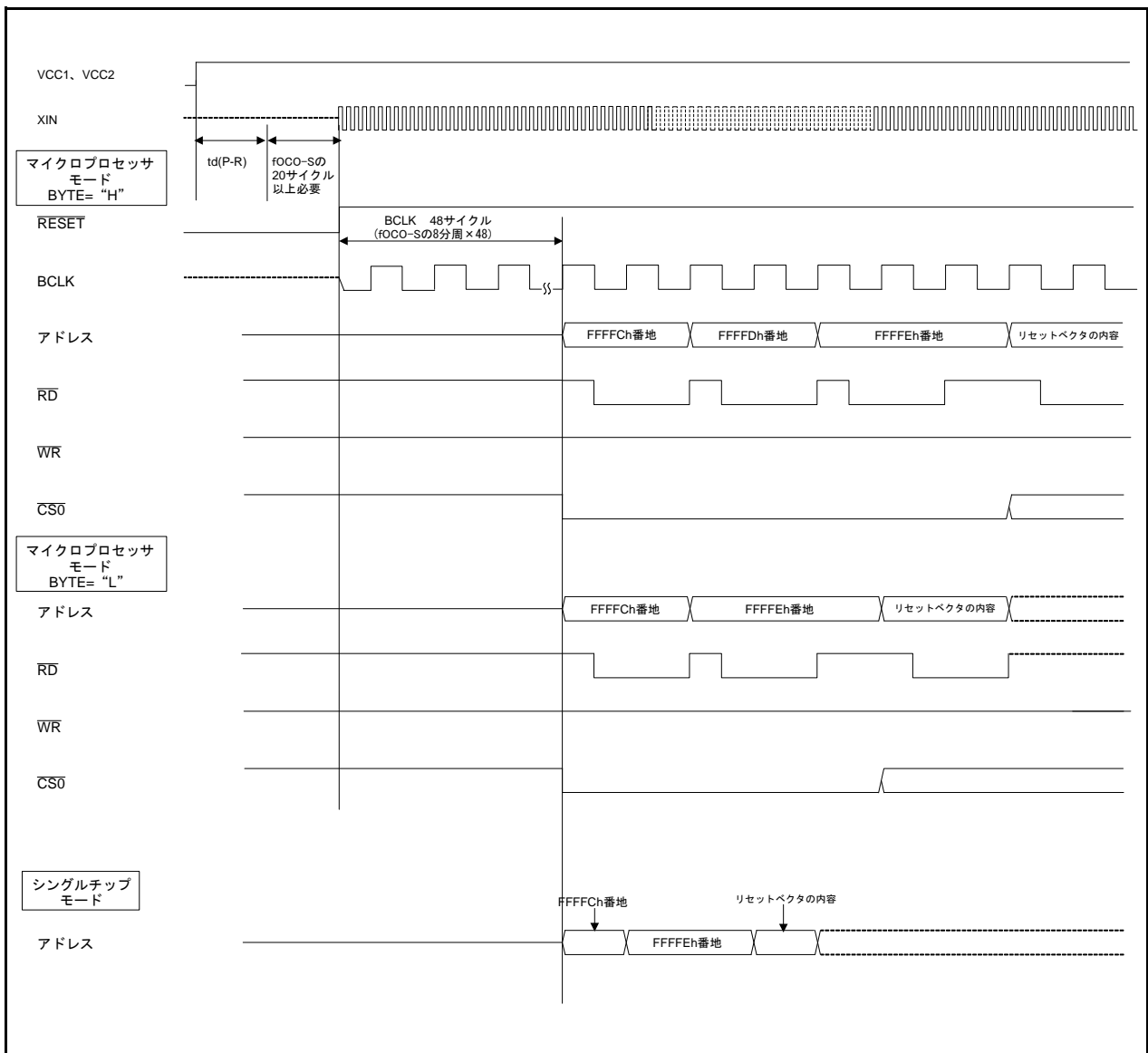


図 5.2 リセットシーケンス

表 5.1  $\overline{\text{RESET}}$  端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVSS = VSS	CNVSS = VCC1 (注1)	
		BYTE = VSS	BYTE = VCC1
P0	入力ポート	データ入力	データ入力
P1	入力ポート	データ入力	入力ポート
P2, P3, P4_0~ P4_3	入力ポート	アドレス出力(不定)	アドレス出力(不定)
P4_4	入力ポート	$\overline{\text{CS0}}$ 出力(“H”を出力)	$\overline{\text{CS0}}$ 出力(“H”を出力)
P4_5~P4_7	入力ポート	入力ポート(プルアップあり)	入力ポート(プルアップあり)
P5_0	入力ポート	$\overline{\text{WR}}$ 出力(“H”を出力)	$\overline{\text{WR}}$ 出力(“H”を出力)
P5_1	入力ポート	$\overline{\text{BHE}}$ 出力(不定)	$\overline{\text{BHE}}$ 出力(不定)
P5_2	入力ポート	$\overline{\text{RD}}$ 出力(“H”を出力)	$\overline{\text{RD}}$ 出力(“H”を出力)
P5_3	入力ポート	BCLK出力	BCLK出力
P5_4	入力ポート	HLDA出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存)	HLDA出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存)
P5_5	入力ポート	$\overline{\text{HOLD}}$ 入力(注2)	$\overline{\text{HOLD}}$ 入力(注2)
P5_6	入力ポート	ALE出力(“L”を出力)	ALE出力(“L”を出力)
P5_7	入力ポート	RDY入力	RDY入力
P6, P7, P8, P9, P10	入力ポート	入力ポート	入力ポート

注1. CNVSS=VCC1時は、電源投入後、内部電源電圧が安定してからの状態です。  
内部電源電圧が安定するまでは不定です。

注2. “H”を入力してください。



## 5.2 ハードウェアリセット2

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC1端子に入力する電圧を監視します。監視する電圧はVdet0です。

VCC1端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC1端子に入力する電圧がVdet0以上になると、125kHzオンチップオシレータクロックのカウントを開始します。125kHzオンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.2参照)に移ります。リセット後のCPUクロックには、125kHzオンチップオシレータクロックの8分周クロックが自動的に選択されます。

ハードウェアリセット2後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC1端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧検出0回路の詳細は「6. 電圧検出回路」を参照してください。

## 5.3 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、125kHzオンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

## 5.4 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、125kHzオンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

## 5.5 発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。詳細は「10.6 発振停止、再発振検出機能」を参照してください。

発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

## 5.6 内部領域の状態

図 5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

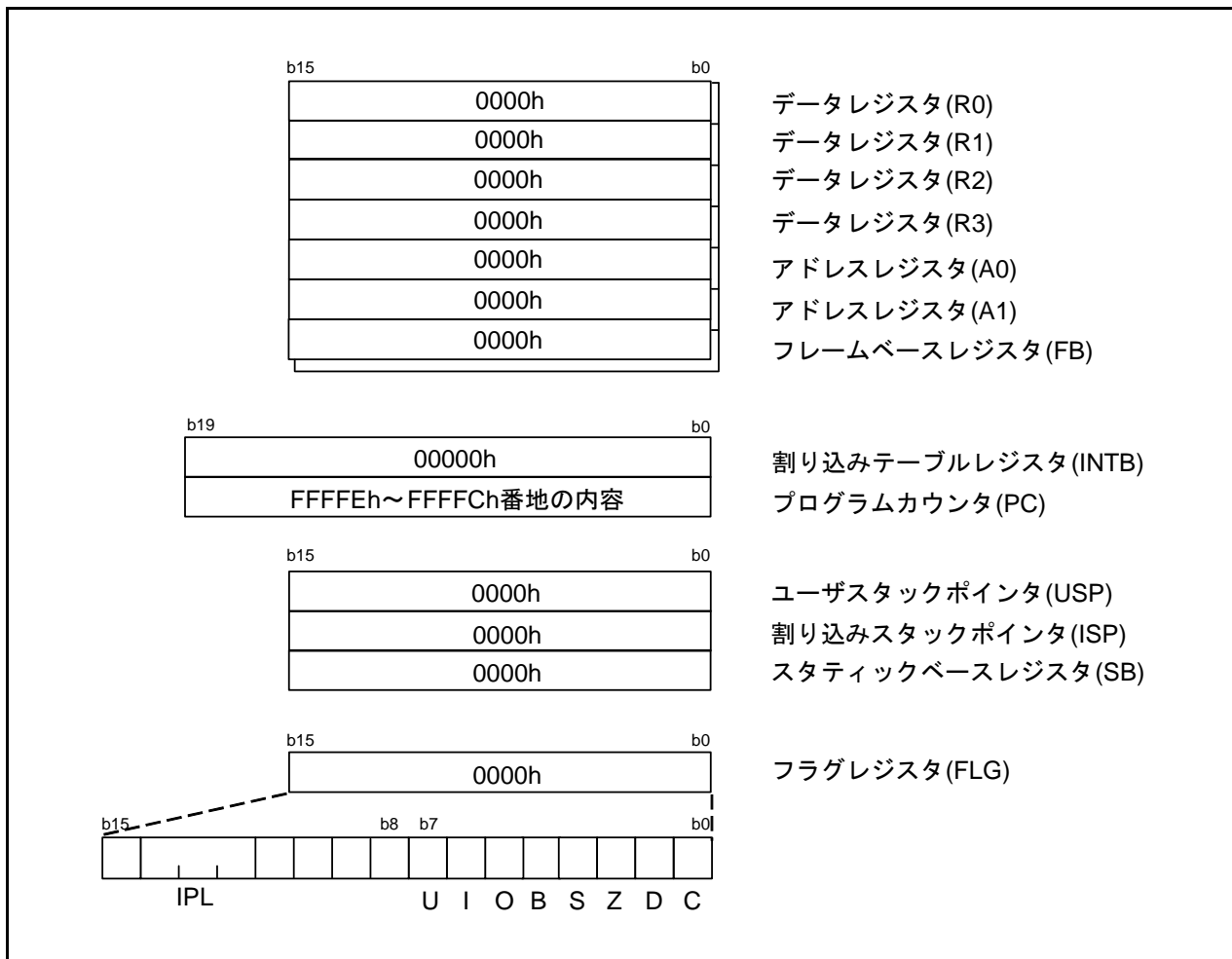


図 5.3 リセット後のCPUレジスタの状態

## 6. 電圧検出回路

電圧検出回路には、電圧検出0回路と電圧低下検出回路があります。

電圧検出0回路はVCC1端子の入力電圧を監視し、Vdet0以下になるとマイクロコンピュータをリセットします。

電圧低下検出回路はVCC1端子の入力電圧を監視し、Vdet2を通過すると電圧低下検出信号を生成します。生成された信号は、電圧低下検出割り込みに使用されます。Vdet2以上かVdet2未満かは、VCR1レジスタのVC13ビットにより検出できます。

電圧検出回路は、VCC1=5Vのとき使用できます。

図 6.1 に電圧検出回路ブロック図、図 6.2 に VCR1、VCR2 レジスタ、図 6.3 に D4INT レジスタに図 6.4 に VW0C レジスタを示します。

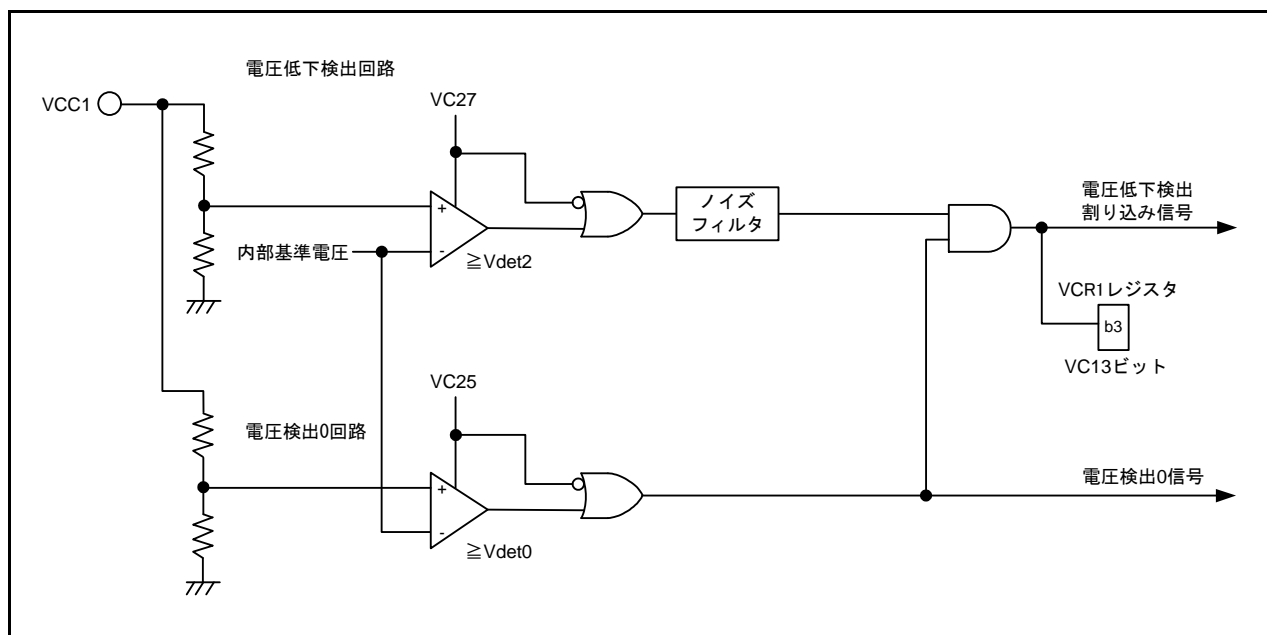


図 6.1 電圧検出回路ブロック図

## 電圧検出2回路フラグレジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値 (注2)
0	0	0	0	0	0	0	0	VCR1	0019h番地	00001000b
ビット シンボル	ビット名		機能		RW					
— (b2-b0)	予約ビット		“0” にしてください		RW					
VC13	電圧低下モニタフラグ(注1)		0: VCC1 < Vdet2 1: VCC1 ≥ Vdet2		RO					
— (b7-b4)	予約ビット		“0” にしてください		RW					

- 注1. VCR2レジスタのVC27ビットが“1” (電圧低下検出回路有効)のとき、VC13ビットは有効です。  
VCR2レジスタのVC27ビットが“0” (電圧低下検出回路無効)のとき、VC13ビットは“1” (VCC1 ≥ Vdet2)になります。
- 注2. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

## 電圧検出回路動作許可レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値 (注4)
0	0	0	0	0	0	0	0	VCR2	001Ah番地	000X0000b (ハードウェアリセット1) 001X0000b (ハードウェアリセット2)
ビット シンボル	ビット名		機能		RW					
— (b3-b0)	予約ビット		“0” にしてください。		RW					
— (b4)	何も配置されていない。書く場合は、“0” を書いてください。 読んだ場合、その値は不定。				—					
VC25	電圧検出0許可ビット (注2、5)		0: 電圧検出0回路無効 1: 電圧検出0回路有効		RW					
— (b6)	予約ビット		“0” にしてください。		RW					
VC27	電圧低下監視ビット (注3、5)		0: 電圧低下検出回路無効 1: 電圧低下検出回路有効		RW					

- 注1. このレジスタはPRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。
- 注2. ハードウェアリセット2を使用する場合、VC25ビットを“1” (電圧検出0回路有効)にしてください。
- 注3. VCR1レジスタのVC13ビット、D4INTレジスタのD42ビットを使用する場合、またはD40ビットを“1” (電圧低下検出割り込み許可)にする場合、VC27ビットを“1” (電圧低下検出回路有効)にしてください。
- 注4. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。
- 注5. VC25ビットまたはVC27ビットを“1”にした後、td(E-A)経過してから検出回路が動作します。

図 6.2 VCR1、VCR2 レジスタ

## 電圧低下検出割り込みレジスタ(注1)

ビットシンボル	ビット名	機能	RW
D40	電圧低下検出割り込み許可ビット(注5)	0: 禁止 1: 許可	RW
D41	STOP解除制御ビット(注4、6)	0: 無効(電圧低下検出割り込みをストップモードからの復帰に使用しない) 1: 有効(電圧低下検出割り込みをストップモードからの復帰に使用する)	RW
D42	電圧変化検出フラグ(注2)	0: 未検出 1: Vdet2通過検出	RW (注3)
D43	WDTオーバフロー検出フラグ	0: 未検出 1: 検出	RW (注3)
DF0	サンプリングクロック選択ビット	b5 b4 0 0: D4INTクロックの8分周 0 1: D4INTクロックの16分周 1 0: D4INTクロックの32分周 1 1: D4INTクロックの64分周	RW
DF1		RW	
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

- 注1. このレジスタはPRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。
- 注2. VCR2レジスタのVC27ビットが“1” (電圧低下検出回路有効)のとき有効。VC27ビットを“0” (電圧低下検出回路無効)にすると、D42ビットは“0” (未検出)になります。
- 注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。
- 注4. 電圧低下検出割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、D41ビットに“0”を書き込み後、“1”を書き込んでください。
- 注5. D40ビットは、VCR2レジスタのVC27ビットが“1”のとき有効です。  
D40ビットを“1”にする場合は次の手順で設定してください。
- (1) VC27ビットを“1”にする
  - (2) 検出回路が動作するまでtd(E-A)待つ
  - (3) サンプリング時間(「表6.3 サンプリング時間」参照)待つ
  - (4) D40ビットを“1”にする
- 注6. CM0レジスタのCM02ビットが“1” (ウェイトモード時、周辺機能クロックf1を停止する)の場合は、ウェイトモード解除制御にも使用します。

図 6.3 D4INT レジスタ

## 電圧監視0回路制御レジスタ(注1)

ビット シンボル	ビット名	機 能	RW
VW0C0	ハードウェアリセット2許可 ビット(注3)	0: 禁止 1: 許可	RW
VW0C1	電圧監視0デジタルフィルタ 無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	RW
— (b2)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。	RW
— (b3)	予約ビット	読んだ場合、その値は不定。	RO
VW0F0	サンプリングクロック選択 ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周	RW
VW0F1		1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	
— (b7-b6)	予約ビット	“1” にしてください。	RW

- 注1. VW0CレジスタはPRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。  
 注2. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。  
 注3. VW0C0ビットはVCR2レジスタのVC25ビットが“1” (電圧検出0回路有効)のとき有効。VC25ビットが“0” (電圧検出0回路無効)のとき、VW0C0ビットを“0” (禁止)にしてください。

図 6.4 VW0C レジスタ

## 6.1 ハードウェアリセット2

図 6.5にハードウェアリセット2発生回路のブロック図を示します。表 6.1にハードウェアリセット2関連ビットの設定手順を、図 6.6にハードウェアリセット2動作例を示します。

なお、ハードウェアリセット2をストップモードからの復帰に使用する場合は、VW0CレジスタのVW0C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.1 ハードウェアリセット2関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	PM2レジスタのPM25ビットを“1”(D4INTクロック供給許可)にする	
2	VCR2レジスタのVC25ビットを“1”(電圧検出0回路有効)にする	
3	td(E-A)待つ	
4	VW0CレジスタのVW0F0～VW0F1ビットでデジタルフィルタのサンプリングクロックを選択する。また、VW0C1ビットを“0”(デジタルフィルタ有効)に、ビット6、7を“1”にする	VW0CレジスタのVW0C1ビットを“1”(デジタルフィルタ無効)に、ビット6、7を“1”にする
5	VW0Cレジスタのビット2を“0”にする(手順3の後改めてビット2を“0”にする)	
6	CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)にする	—
7	デジタルフィルタのサンプリングクロック×4サイクル待つ	—(待ち時間なし)
8	VW0CレジスタのVW0C0ビットを“1”(ハードウェアリセット2許可)にする	

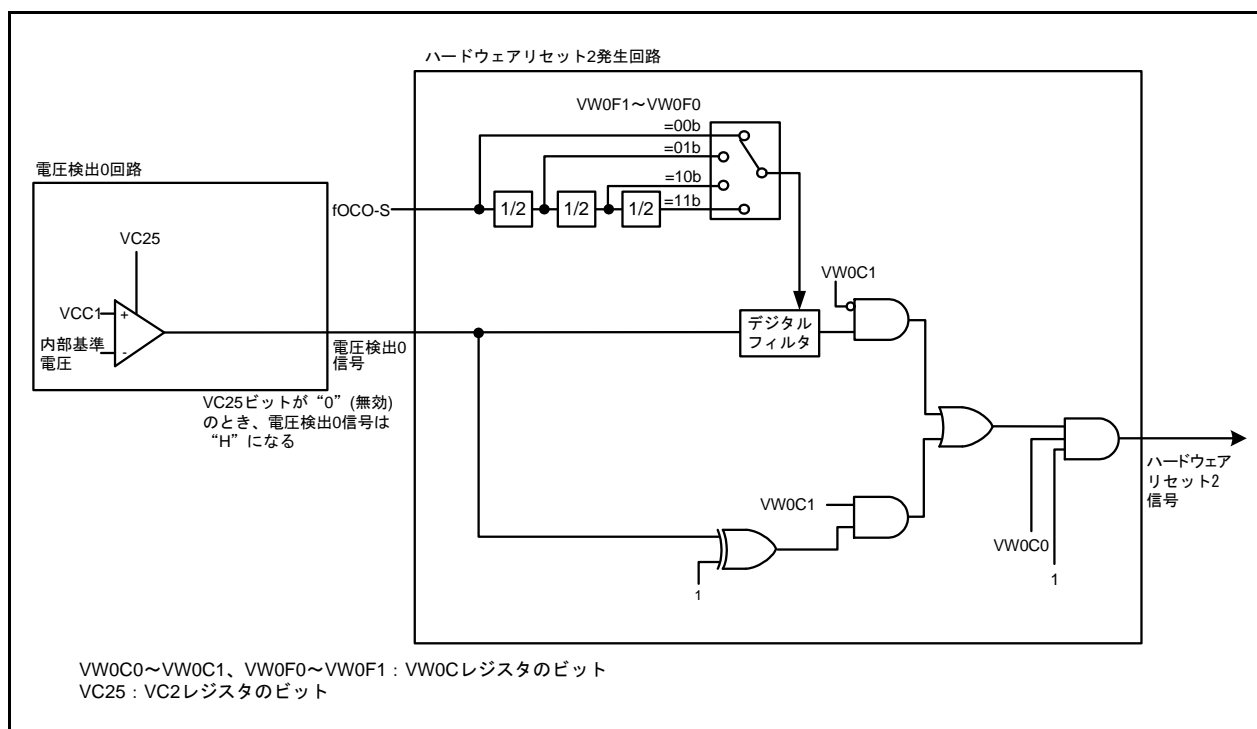


図 6.5 ハードウェアリセット2発生回路のブロック図

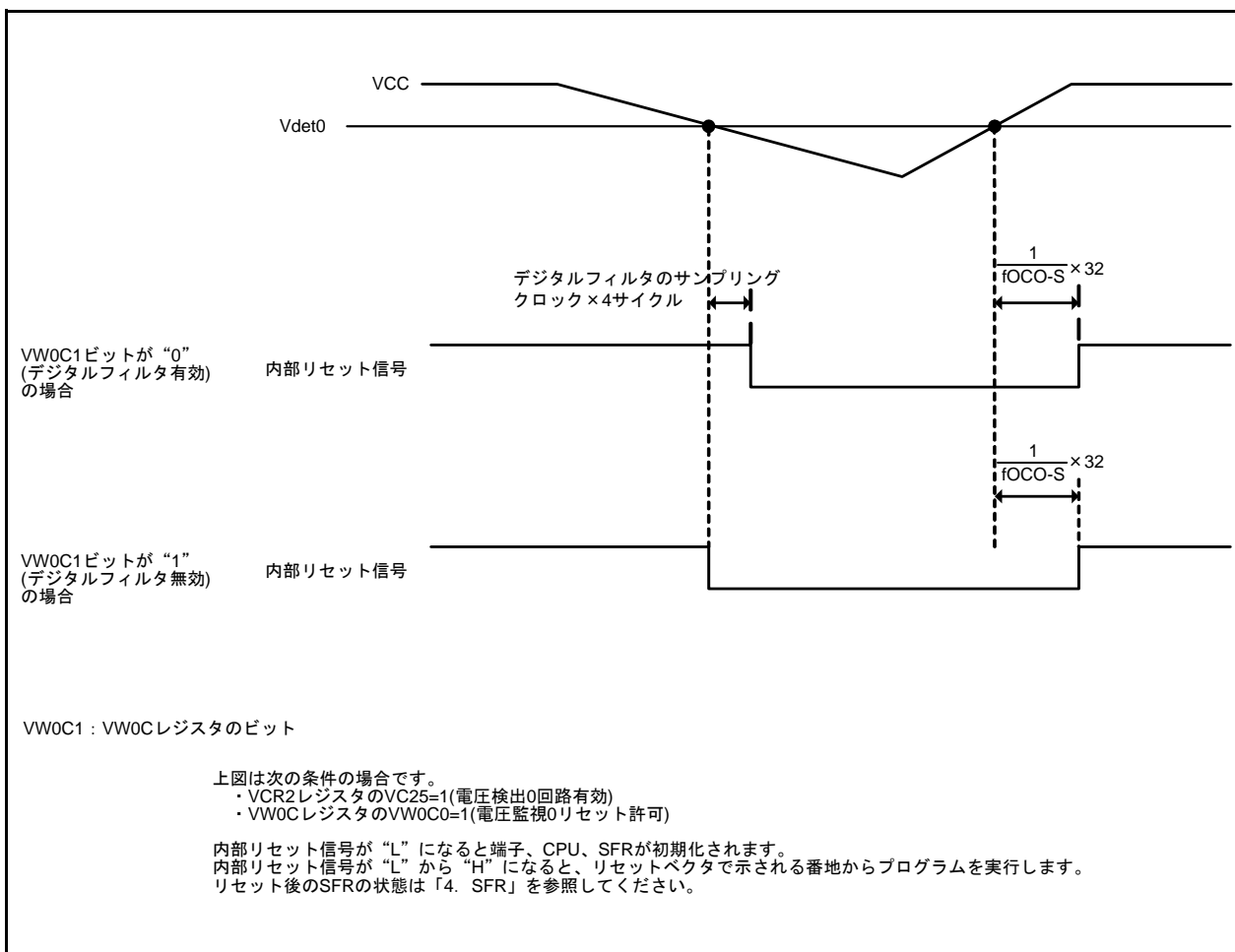


図 6.6 ハードウェアリセット2動作例



## 6.2 電圧低下検出割り込み

D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)の場合、VCC1端子に入力する電圧が上昇してVdet2以上になったとき、または降下してVdet2以下になったとき、電圧低下検出割り込み要求が発生します。電圧低下検出割り込みは、ウォッチドッグタイマ割り込み、発振停止、再発振検出割り込みと割り込みベクタを共用しています。

電圧低下検出割り込みをストップモードからの復帰に使用する場合、D4INTレジスタのD41ビットを“1”(有効)にしてください。

D4INTレジスタのD42ビットはVCC1端子に入力する電圧が上昇または降下してVdet2を通過したことを検出したとき“1”になります。D42ビットが“0”から“1”に変化すると、電圧低下検出割り込み要求が発生します。D42ビットはプログラムで“0”にしてください。ただし、D41ビットが“1”でかつストップモードの場合、VCC1端子に入力する電圧が上昇してVdet2を通過したことを検出すると、D42ビットの状態にかかわらず、電圧低下検出割り込み要求が発生し、ストップモードから復帰します。

表 6.2に電圧低下検出割り込み要求発生条件を示します。

VCC1端子に入力する電圧がVdet2を通過したことを検出するサンプリングクロックをD4INTレジスタのDF1～DF0ビットで設定できます。表 6.3にサンプリング時間を示します。

図 6.7に電圧低下検出割り込み発生回路ブロック図、図 6.8に電圧低下検出割り込み発生回路の動作例に示します。

表 6.2 電圧低下検出割り込み要求発生条件

動作モード	VC27ビット	D40ビット	D41ビット	D42ビット	CM02ビット	VC13ビット
通常動作モード (注1)	1	1	—	0→1	—	0→1 (注3)
				—		1→0 (注3)
ウェイトモード (注2)			—	0→1	0	0→1 (注3)
				—	1	1→0 (注3)
ストップモード (注2)			1	—	0	0→1
				1	—	0

—：“0”または“1”

注1. ウェイトモード、ストップモード以外の状態を通常動作モードとします(「10. クロック発生回路」参照)。

注2. 「6.3 ストップモードの制約」、「6.4 ウェイトモードの制約」参照してください。

注3. VC13ビットの値が変化してからサンプリング時間経過した後、割り込み要求が発生します。

注4. 詳細は「図 6.8 電圧低下検出割り込み発生回路の動作例」を参照してください。

表 6.3 サンプリング時間

CPUクロック (D4INTクロック) (MHz)	サンプリングクロック(μs)			
	DF1～DF0=00 (CPUクロックの8分周)	DF1～DF0=01 (CPUクロックの16分周)	DF1～DF0=10 (CPUクロックの32分周)	DF1～DF0=11 (CPUクロックの64分周)
16	3.0	6.0	12.0	24.0

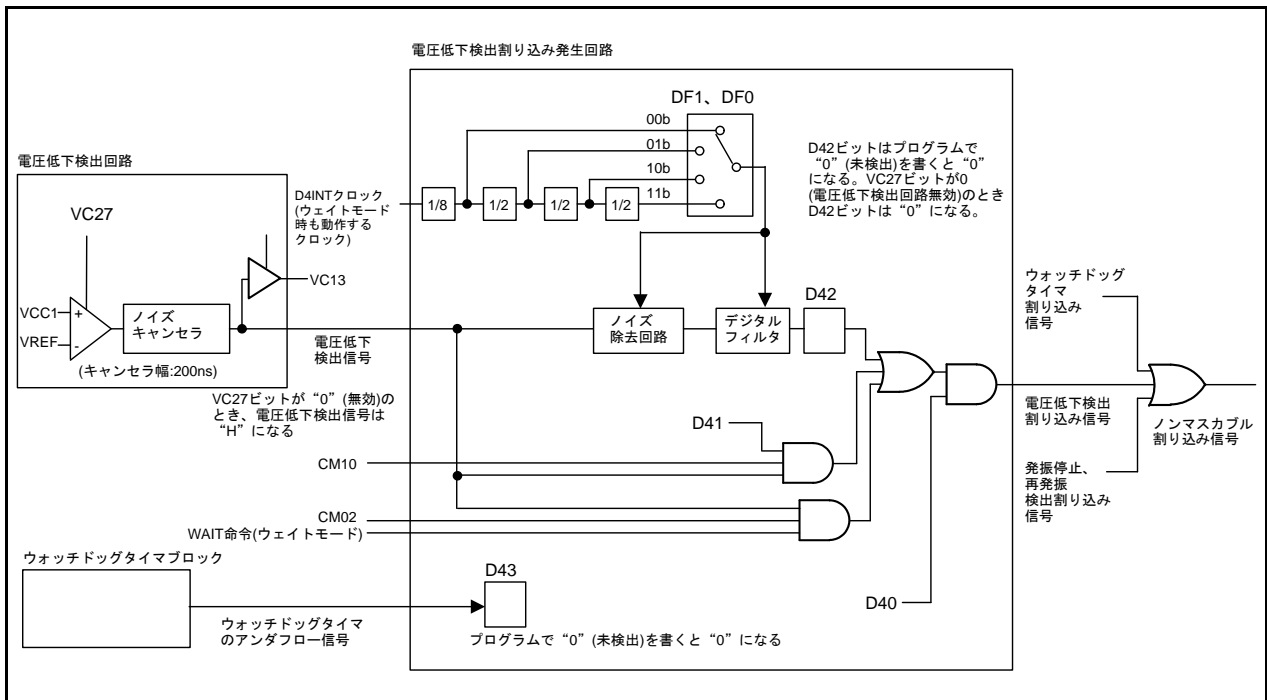


図 6.7 電圧低下検出割り込み発生回路ブロック図

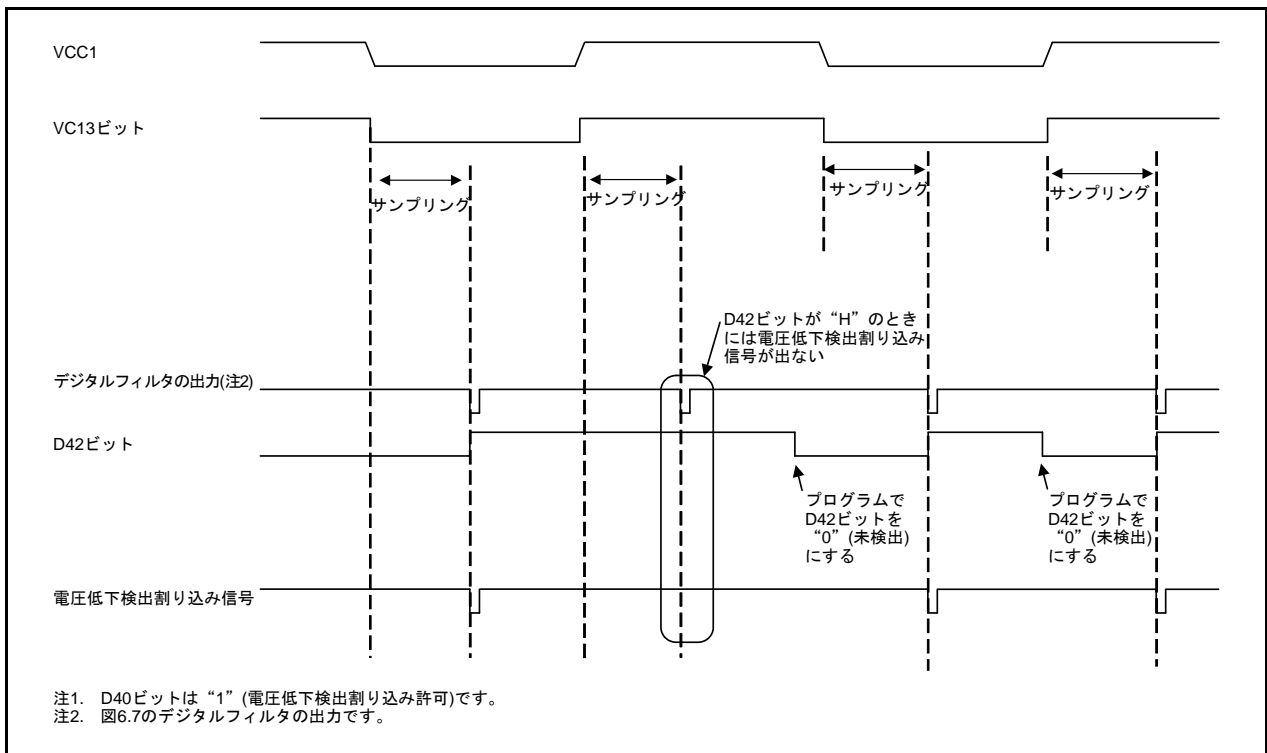


図 6.8 電圧低下検出割り込み発生回路の動作例

### 6.3 ストップモードの制約

次の4つの条件をすべて満たしているとき、CM1レジスタのCM10ビットを“1”(ストップモード)にすると、すぐに電圧低下検出割り込みが発生し、ストップモードから復帰します。

- VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)
- D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)
- D41ビットが“1”(ストップモードからの復帰に電圧低下検出割り込みを使用する)
- VCC1端子に入力する電圧がVdet2以上のとき(VCR1レジスタのVC13ビットが“1”)

VCC1端子に入力する電圧がVdet2以下になったときストップモードに移行し、Vdet2以上になったときストップモードから復帰するシステムでは、VC13ビットが“0”(VCC1 < Vdet2)のとき、CM10ビットを“1”にしてください。

### 6.4 ウェイトモードの制約

次の5つの条件をすべて満たしているとき、WAIT命令を実行すると、すぐに電圧低下検出割り込みが発生し、ウェイトモードから復帰します。

- CM0レジスタのCM02ビットが“1”(周辺機能クロックを停止する)
- VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)
- D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)
- D41ビットが“1”(ウェイトモードからの復帰に電圧低下検出割り込みを使用する)
- VCC1端子に入力する電圧がVdet2以上のとき(VCR1レジスタのVC13ビットが“1”)

VCC1端子に入力する電圧がVdet2以下になったときウェイトモードに移行し、Vdet2以上になったときウェイトモードから復帰するシステムでは、VC13ビットが“0”(VCC1 < Vdet2)のとき、WAIT命令を実行してください。

## 6.5 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセット信号が入力されたときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”です。また、ハードウェアリセット2でも“0”になります。CWRビットはプログラムで“1”を書くと“1”になりハードウェアリセット1、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセットでは変化しません。

コールドスタート/ウォームスタート判定機能はハードウェアリセット2を使用します。

「表 6.1 ハードウェアリセット2関連ビットの設定手順」に従ってハードウェアリセット2関連ビットを設定してください。

図 6.9にコールドスタート/ウォームスタート判定機能の動作例を示します。図 6.10にRSTFRレジスタを示します。

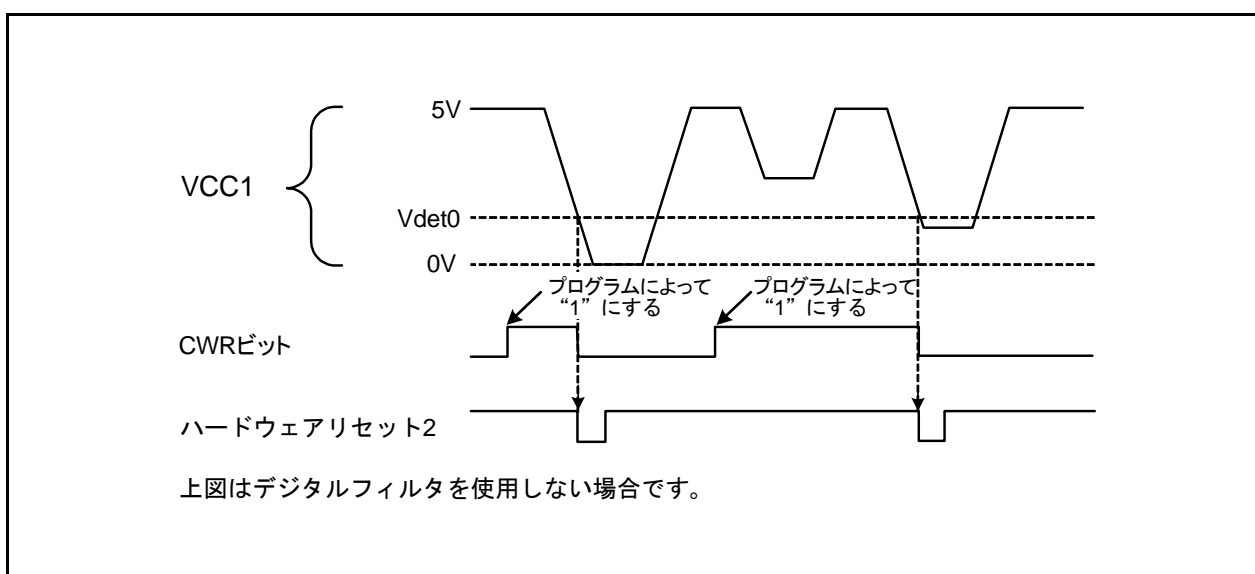


図 6.9 コールドスタート/ウォームスタート判定機能の動作例

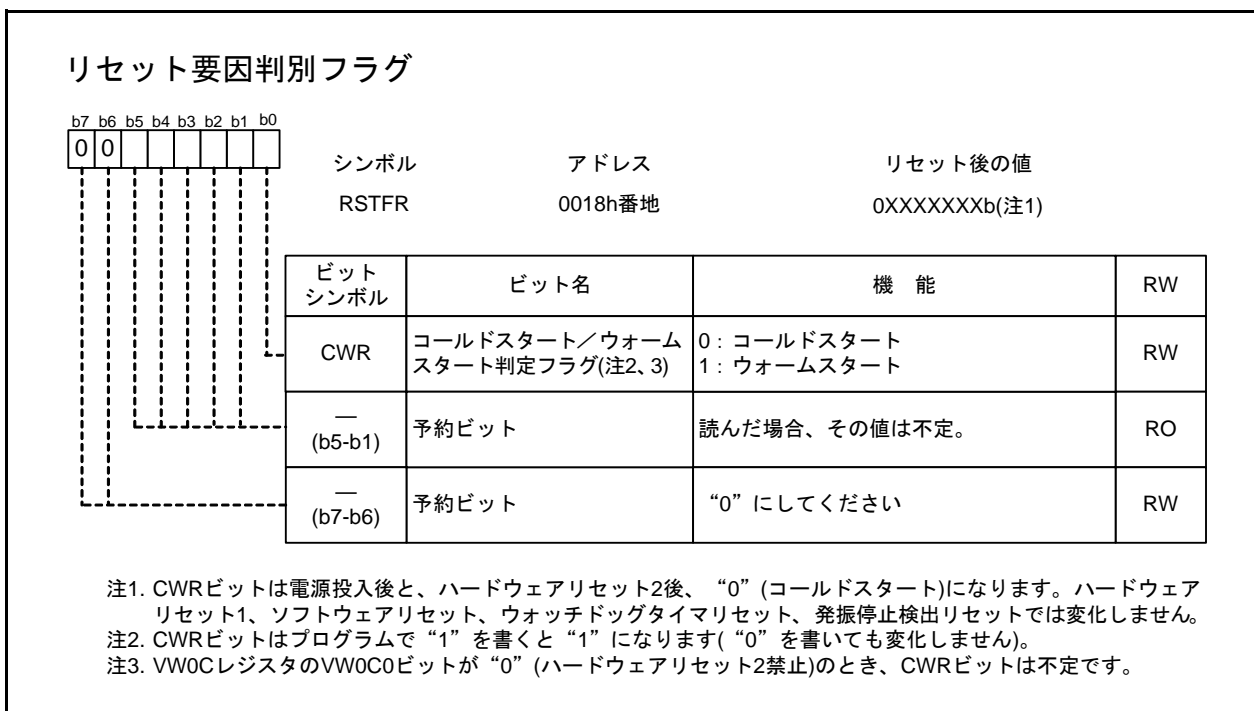


図 6.10 RSTFR レジスタ

## 7. プロセッサモード

### 7.1 プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードを選択できます。表 7.1 にプロセッサモードの特長を示します。

表 7.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子
メモリ拡張モード	SFR、内部RAM、内部ROM、外部領域(注1)	一部の端子がバス制御端子(注1)
マイクロプロセッサモード	SFR、内部RAM、外部領域(注1)	一部の端子がバス制御端子(注1)

注1. 詳細は、「8. バス」を参照してください。

## 7.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS端子、PM0レジスタのPM01～PM00ビットで行います。表7.2にハードウェアリセット後のプロセッサモード、表7.3にPM01～PM00ビットの設定値に対するプロセッサモードを示します。

表 7.2 ハードウェアリセット後のプロセッサモード

CNVSS端子の入力レベル	プロセッサモード
VSS	シングルチップモード
VCC1 (注1、2)	マイクロプロセッサモード

注1. CNVSS端子にVCC1を入力し、ハードウェアリセット(ハードウェアリセット1またはハードウェアリセット2)した場合、PM01～PM00ビットにかかわらず、内部ROMはアクセスできません。

注2. マルチプレクスバスを $\overline{CS}$ の全空間に割り当てることはできません。

表 7.3 PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
00b	シングルチップモード
01b	メモリ拡張モード
10b	設定しないでください
11b	マイクロプロセッサモード

PM01～PM00ビットを書き換えると、CNVSS端子の入力レベルにかかわらず、PM01～PM00ビットに対応するモードになります。PM01～PM00ビットを“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)に書き換える場合、PM07～PM02ビットと同時に書き換えないでください。また、内部ROMでのマイクロプロセッサモードへの移行、内部ROMと重なる領域でのマイクロプロセッサモードからの移行は行わないでください。

CNVSS端子にVCC1を入力し、ハードウェアリセット(ハードウェアリセット1またはハードウェアリセット2)した場合、PM01～PM00ビットにかかわらず、内部ROMはアクセスできません。

図7.1～7.3にプロセッサモード関連レジスタを示します。

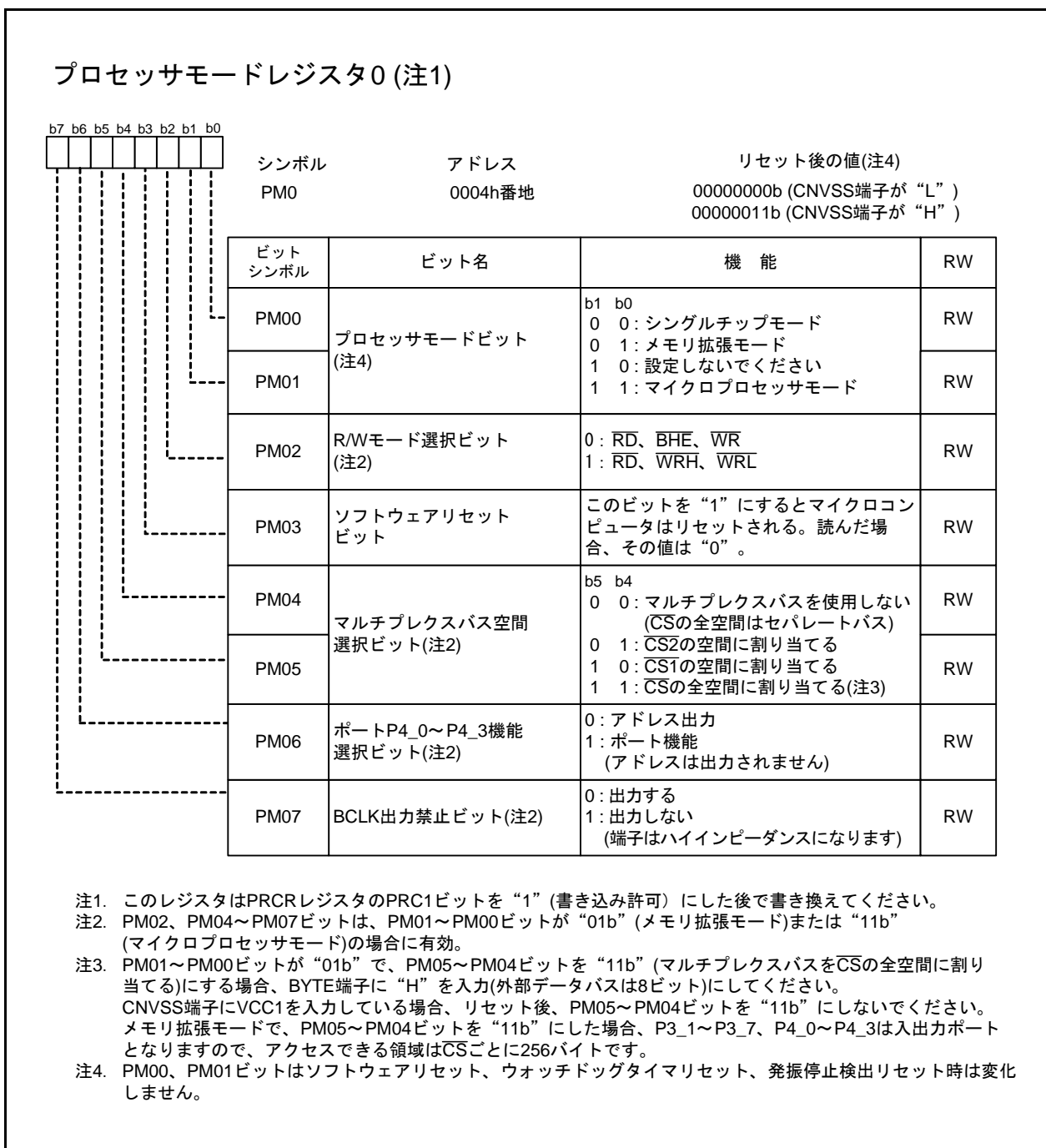


図 7.1 PM0 レジスタ



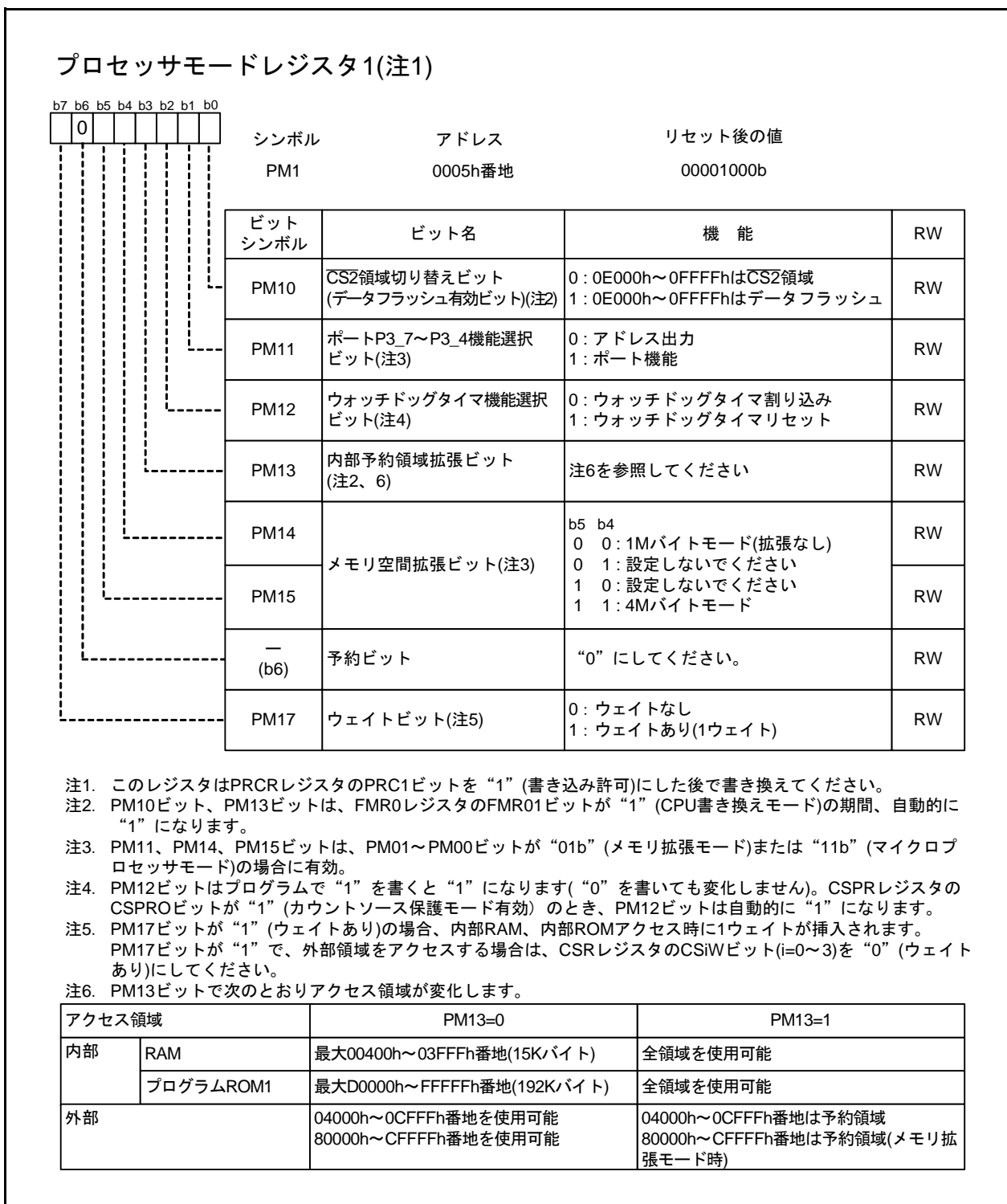


図 7.2 PM1 レジスタ

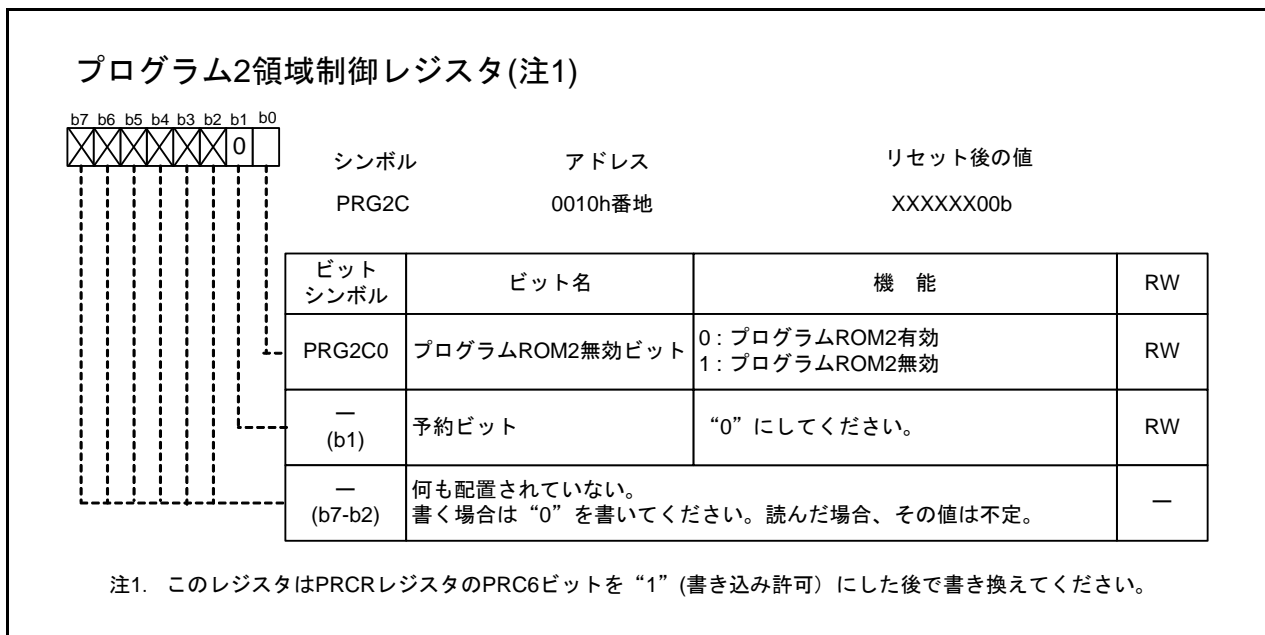


図 7.3 PRG2C レジスタ

### 7.3 内部メモリ

内部RAMはすべてのプロセッサモードで使用できます。内部RAMはPM1レジスタのPM13ビットで使用できる範囲が変わります。

内部ROMはシングルチップモードとメモリ拡張モードで使用できます。内部ROMにはデータフラッシュ、プログラムROM2、プログラムROM1があります。

データフラッシュにはブロックA (0E000h～0EFFFh番地)、ブロックB (0F000h～0FFFFh番地)があります。PM1レジスタのPM10ビットでデータフラッシュを選択すると、ブロックA、ブロックB両方が使用できます。表7.4にデータフラッシュ (0E000h～0FFFFh番地)を示します。

表 7.4 データフラッシュ (0E000h～0FFFFh番地)

PM1レジスタのPM10ビット		0	1
プロセッサモード	シングルチップモード	予約	データフラッシュ
	メモリ拡張モード	外部領域	データフラッシュ
	マイクロプロセッサモード	外部領域	予約領域

プログラムROM2はPRG2CレジスタのPRG2C0ビットで選択してください。表7.5プログラムROM2 (10000h～13FFFh番地)を示します。

シングルチップモードまたはメモリ拡張モードで、プログラムROM2を使用する場合は、最後の16バイト (13FF0h～13FFFh番地)を使用しないでください。この16バイトはユーザブートコード領域です (「22.1.2 ユーザブート機能」参照)。

表 7.5 プログラムROM2 (10000h～13FFFh番地)

PRG2CレジスタのPRG2C0ビット		0	1
プロセッサモード	シングルチップモード	プログラムROM2	外部領域
	メモリ拡張モード	プログラムROM2	外部領域
	マイクロプロセッサモード	予約領域	外部領域

プログラムROM1はPM1レジスタのPM13ビットで使用できる範囲が変わります。図7.4にシングルチップモード時のメモリ配置を示します。

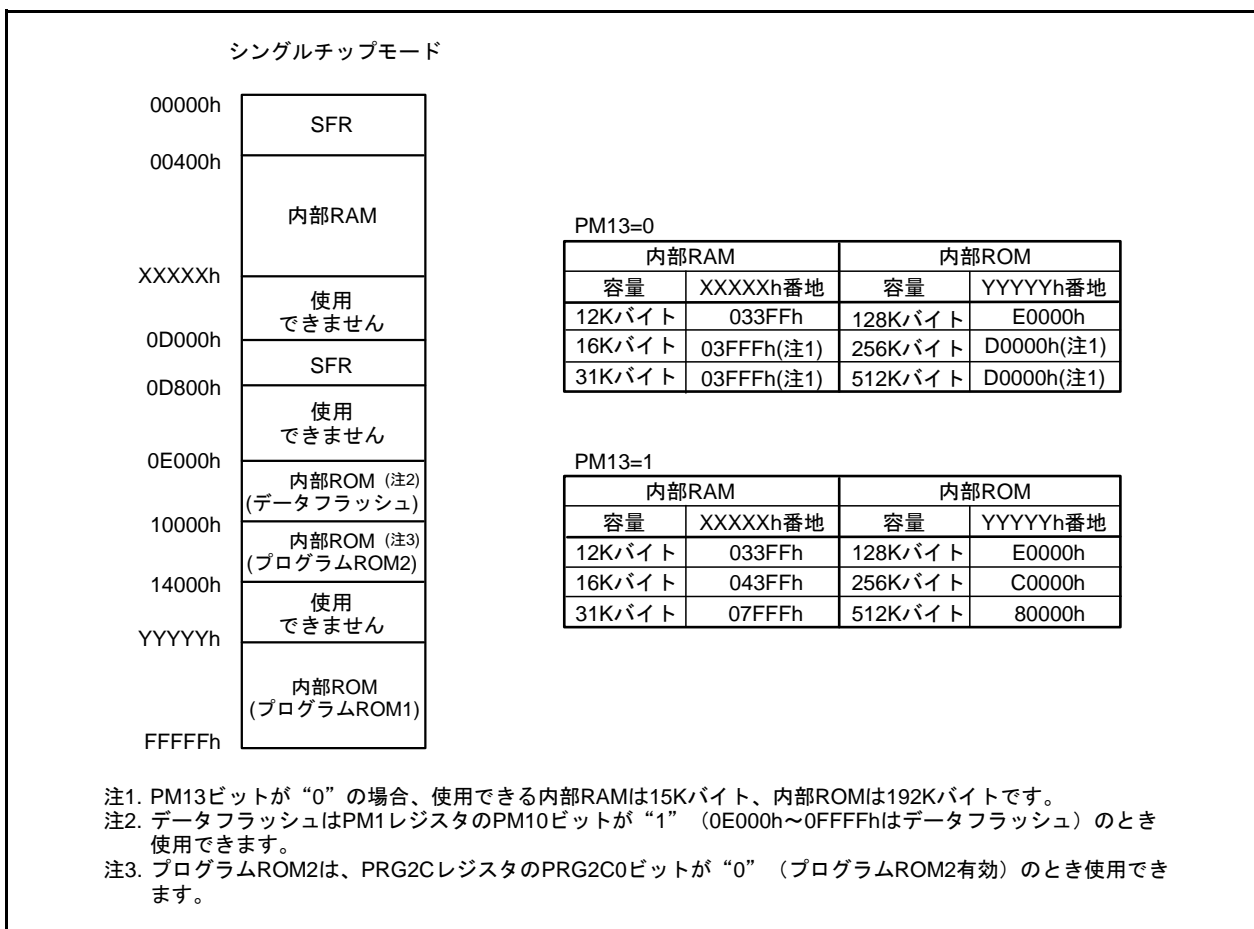


図 7.4 シングルチップモード時のメモリ配置

## 8. バス

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子が外部デバイスとのデータ入出力を行うバス制御端子となります。バス制御端子にはA0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 $\overline{RD}$ 、 $\overline{WRL}/\overline{WR}$ 、 $\overline{WRH}/\overline{BHE}$ 、 $\overline{ALE}$ 、 $\overline{RDY}$ 、 $\overline{HOLD}$ 、 $\overline{HLDA}$ 、BCLKがあります。

### 8.1 バス形式

バスの形式は、PM0レジスタのPM05～PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。表 8.1にセパレートバスとマルチプレクスバスの相違を示します。

#### 8.1.1 セパレートバス

データとアドレスを分離するバスの形式です。

#### 8.1.2 マルチプレクスバス

データとアドレスをマルチプレクスするバスの形式です。

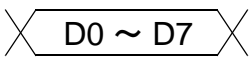
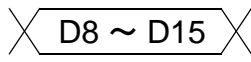
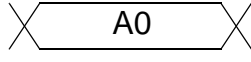

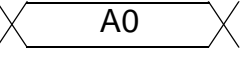
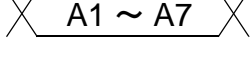
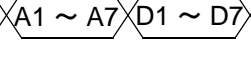
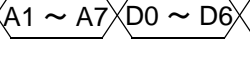
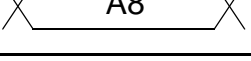
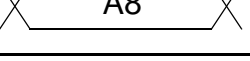
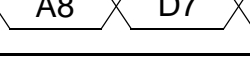
##### 8.1.2.1 BYTE 端子に“H”を入力している(データバス幅8ビット)場合

D0～D7がA0～A7とマルチプレクスされます。

##### 8.1.2.2 BYTE 端子に“L”を入力している(データバス幅16ビット)場合

D0～D7がA1～A8とマルチプレクスされます。D8～D15はマルチプレクスされません。D8～D15は使用しないでください。マルチプレクスバスに接続した外部デバイスは、マイクロコンピュータの偶数番地のみに配置されます。奇数番地にはアクセスできません。

表 8.1 セパレートバスとマルチプレクスバスの相違

端子名 (注1)	セパレートバス	マルチプレクスバス	
		BYTE = H	BYTE = L
P0_0～P0_7/D0～D7		(注2)	(注2)
P1_0～P1_7/D8～D15		入出力ポート P1_0～P1_7	(注2)
P2_0/A0 (/D0)			
P2_1～P2_7/A1～A7 (/D1～D7/D0～D6)			
P3_0/A8 (/D7)			

注1. 上記以外のバス制御信号は「表 8.6 プロセッサモードと端子の機能表」を参照してください。

注2. PM05～PM04の設定、アクセスする領域によって異なります。詳細は「表 8.6 プロセッサモードと端子の機能表」を参照してください。

## 8.2 バス制御

外部デバイスのアクセスに必要な信号とソフトウェアウェイトについて説明します。

### 8.2.1 アドレスバス

アドレスバスはA0～A19の20本あります。アドレスバス幅はPM0レジスタのPM06ビットとPM1レジスタのPM11ビットによって12ビット、16ビット、20ビットから選択できます。表 8.2にPM06ビット、PM11ビットの設定値とアドレスバス幅を示します。

表 8.2 PM06ビット、PM11ビットの設定値とアドレスバス幅

設定値(注1)	端子の機能	アドレスバス幅
PM11=1	P3_4～P3_7	12ビット
PM06=1	P4_0～P4_3	
PM11=0	A12～A15	16ビット
PM06=1	P4_0～P4_3	
PM11=0	A12～A15	20ビット
PM06=0	A16～A19	

注1. この表で示す値以外を設定しないでください。

なお、シングルチップモードからメモリ拡張モードに変更した場合、アドレスバスは外部領域をアクセスするまで不定です。

### 8.2.2 データバス

BYTE端子に“H”を入力している(データバス幅が8ビット)場合、D0～D7の8本がデータバスに、BYTE端子に“L”を入力している(データバス幅が16ビット)場合、D0～D15の16本がデータバスになります。

BYTE端子の入力レベルは変更しないでください。

### 8.2.3 チップセレクト信号

チップセレクト信号(以下、 $\overline{CS}$ と称す)は $\overline{CS}_i(i=0\sim 3)$ 端子から出力されます。CSRレジスタの $\overline{CS}_i$ ビットによって、端子の機能を入出力ポートにするか $\overline{CS}$ にするかを選択できます。図 8.1にCSRレジスタを示します。

1Mバイトモードでは $\overline{CS}_i$ 端子から出力される $\overline{CS}_i$ 信号によって外部領域を最大4つに分割できます。4Mバイトモードでは $\overline{CS}_i$ 端子から $\overline{CS}_i$ 信号またはバンク番号が出力されます。詳細は「9. メモリ空間拡張機能」を参照してください。

図 8.2に1Mバイトモードでのアドレスバスと $\overline{CS}_i$ 信号の出力例(セパレートバス、ウェイトなし)を示します。

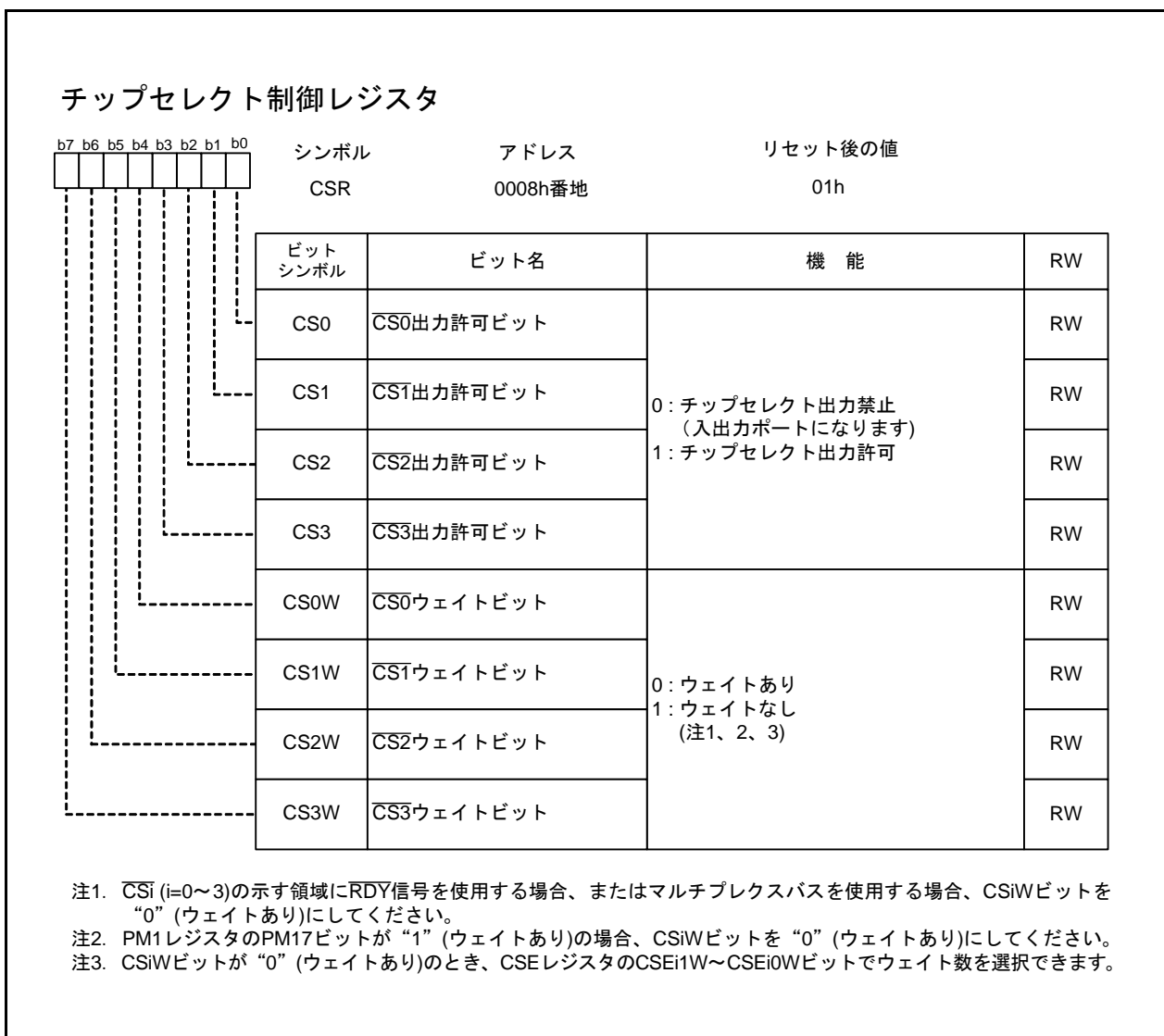


図 8.1 CSR レジスタ

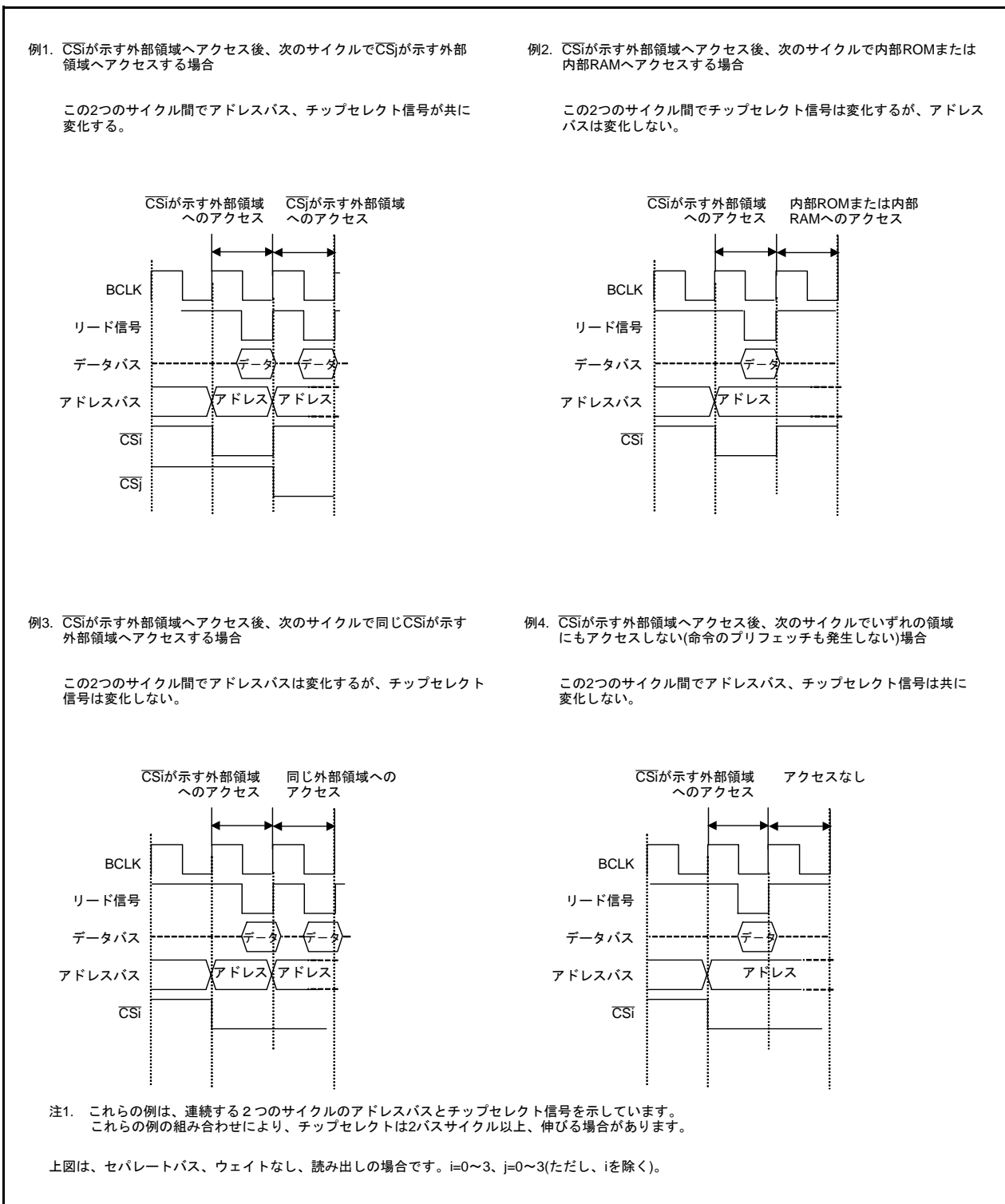


図 8.2 1Mバイトモードでのアドレスバスと $\overline{CSi}$ 信号の出力例



### 8.2.4 リード信号、ライト信号

データバス幅が16ビットの場合、リード信号、ライト信号はPM0レジスタのPM02ビットによって、 $\overline{RD}$ 、 $\overline{BHE}$ 、 $\overline{WR}$ の組み合わせ、または $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ の組み合わせを選択できます。データバス幅が8ビットの場合、 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ の組み合わせにしてください。表 8.3に $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ 信号の動作、表 8.4に $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ 信号の動作を示します。

表 8.3  $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ 信号の動作

データバス	$\overline{RD}$	$\overline{WRL}$	$\overline{WRH}$	外部データバスの状態
16ビット (BYTE端子に “L”を入力)	L	H	H	データを読む
	H	L	H	偶数番地に1バイトデータを書く
	H	H	L	奇数番地に1バイトデータを書く
	H	L	L	偶数番地、奇数番地ともにデータを書く

表 8.4  $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ 信号の動作

データバス	$\overline{RD}$	$\overline{WR}$	$\overline{BHE}$	A0	外部データバスの状態
16ビット (BYTE端子に “L”を入力)	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地の1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地の1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地ともにデータを書く
	L	H	L	L	偶数番地、奇数番地ともにデータを読む
8ビット (BYTE端子に “H”を入力)	H	L	-(注1)	HまたはL	1バイトのデータを書く
	L	H	-(注1)	HまたはL	1バイトのデータを読む

注1. 使用しないでください。

### 8.2.5 ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでもアドレスをラッチしてください。

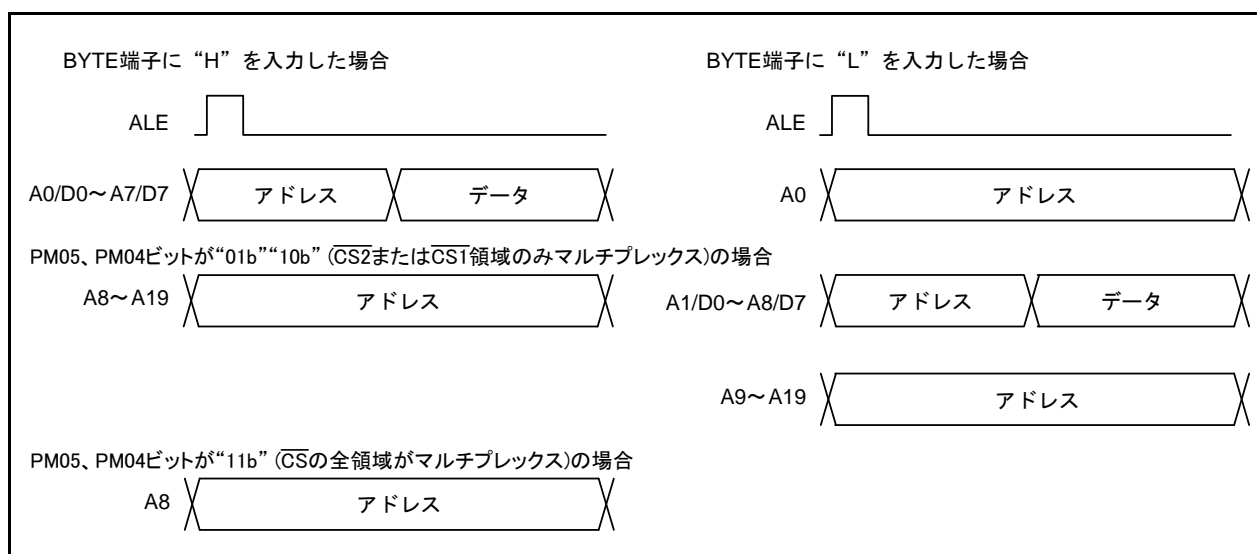


図 8.3 ALE信号とアドレスバス、データバス

### 8.2.6 $\overline{\text{RDY}}$ 信号

アクセス速度が遅い外部デバイスをアクセスするための信号です。バスサイクルの最後のBCLKの立ち下がり時に $\overline{\text{RDY}}$ 端子へ“L”が入力されている場合、バスサイクルにウェイトが挿入されます。 $\overline{\text{RDY}}$ 信号によるウェイト中、次の信号は $\overline{\text{RDY}}$ 信号を受け付けたときの状態を保持します。

A0～A19、D0～D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、ALE、 $\overline{\text{HLDA}}$

その後、BCLKの立ち下がり時に $\overline{\text{RDY}}$ 端子へ“H”が入力されていると、残りのバスサイクルを実行します。図8.4に $\overline{\text{RDY}}$ 信号によってリードサイクルにウェイトが挿入された例を示します。

$\overline{\text{RDY}}$ 信号を使用する場合、CSRレジスタの対応するビット(CS3W～CS0Wビット)を“0”(ウェイトあり)にしてください。 $\overline{\text{RDY}}$ 信号を使用しない場合、 $\overline{\text{RDY}}$ 端子をプルアップしてください。

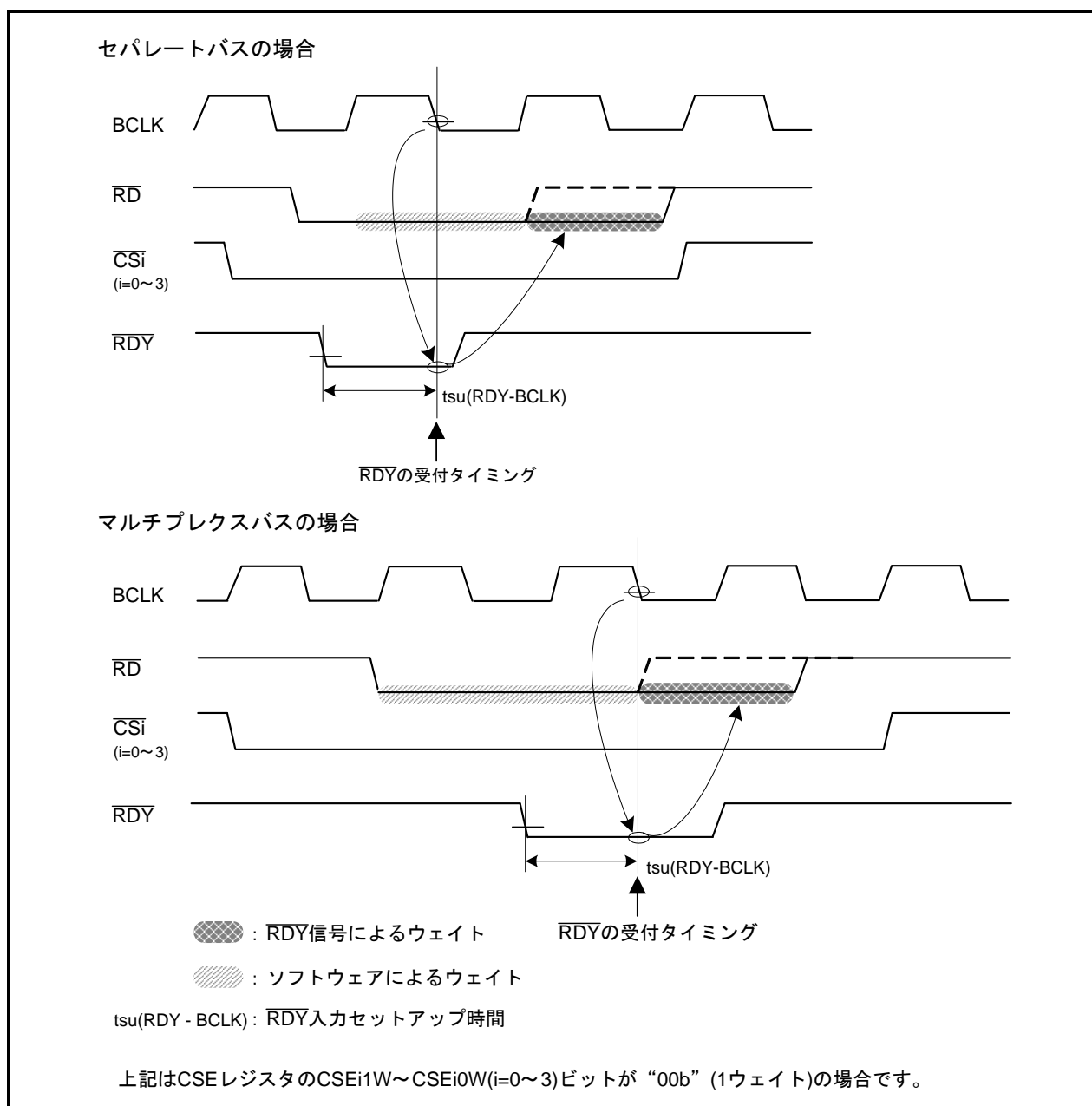


図 8.4  $\overline{\text{RDY}}$ 信号によってリードサイクルにウェイトが挿入された例

### 8.2.7 $\overline{\text{HOLD}}$ 信号

バスの使用権をCPUやDMACから外部回路へ移行するための信号です。 $\overline{\text{HOLD}}$ 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。 $\overline{\text{HOLD}}$ 端子が“L”の期間、ホールド状態を保持し、 $\overline{\text{HLDA}}$ 端子からホールド状態の間、“L”を出力します。表 8.5にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{\text{HOLD}}$ 、DMAC、CPUとなります。ただし、CPUが奇数番地をワード単位でアクセスしている場合、2回に分けられたアクセスの間、DMACはバス使用権を得ることはできません。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

図 8.5 バス使用優先順位

表 8.5 ホールド状態におけるマイクロコンピュータの状態

項目		状態
BCLK		出力
A0～A19、D0～D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$		ハイインピーダンス
入出力ポート	P0、P1、P3、P4(注1)	ハイインピーダンス
	P6～P10	$\overline{\text{HOLD}}$ 信号を受け付けたときの状態を保持
$\overline{\text{HLDA}}$		“L”を出力
内部周辺機能		動作(ただしウォッチドッグタイマは停止)(注2)
ALE		不定

注1. 入出力ポートを選択した場合です。

注2. CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、ウォッチドッグタイマは停止しません。

### 8.2.8 BCLK出力

PM0レジスタのPM07ビットを“0”(出力する)にすると、CPUクロックと同一周波数のクロックがBCLKとしてBCLK端子から出力されます。詳細は「10.2 CPUクロックと周辺機能クロック」を参照してください。

表 8.6 プロセッサモードと端子の機能表

プロセッサモード	メモリ拡張モードまたはマイクロプロセッサモード				メモリ拡張モード
PM05～PM04 ビット	00b(セパレートバス)		01b( $\overline{CS2}$ 領域はマルチプレクスバス それ以外はセパレートバス) 10b( $\overline{CS1}$ 領域はマルチプレクスバス それ以外はセパレートバス)		11b( $\overline{CS}$ の全空間が マルチプレクス バス) (注1)
データバス幅 BYTE 端子	8ビット “H”	16ビット “L”	8ビット “H”	16ビット “L”	8ビット “H”
P0_0～P0_7	D0～D7	D0～D7	D0～D7(注6)	D0～D7(注6)	入出力ポート
P1_0～P1_7	入出力ポート	D8～D15	入出力ポート	D8～D15(注6)	入出力ポート
P2_0	A0	A0	A0/D0(注4)	A0	A0/D0
P2_1～P2_7	A1～A7	A1～A7	A1～A7/D1～D7 (注4)	A1～A7/D0～D6 (注4)	A1～A7/D1～D7
P3_0	A8	A8	A8	A8/D7(注4)	A8
P3_1～P3_3	A9～A11				入出力ポート
P3_4～P3_7	PM11=0	A12～A15			入出力ポート
	PM11=1	入出力ポート			
P4_0～P4_3	PM06=0	A16～A19			入出力ポート
	PM06=1	入出力ポート			
P4_4	CS0=0	入出力ポート			
	CS0=1	$\overline{CS0}$			
P4_5	CS1=0	入出力ポート			
	CS1=1	$\overline{CS1}$			
P4_6	CS2=0	入出力ポート			
	CS2=1	$\overline{CS2}$			
P4_7	CS3=0	入出力ポート			
	CS3=1	$\overline{CS3}$			
P5_0	PM02=0	WR			
	PM02=1	-(注5)	WRL	-(注5)	WRL
P5_1	PM02=0	$\overline{BHE}$			
	PM02=1	-(注5)	WRH	-(注5)	WRH
P5_2	$\overline{RD}$				
P5_3	BCLK				
P5_4	HLDA				
P5_5	HOLD				
P5_6	ALE				
P5_7	$\overline{RDY}$				

入出力ポート：入出力ポートまたは周辺機能入出力端子として機能する

- 注1. PM01～PM00ビットが“01b”(メモリ拡張モード)で、PM05～PM04ビットを“11b”(マルチプレクスバスを $\overline{CS}$ の全空間に割り当てる)にする場合、BYTE端子に“H”を入力(外部データバスは8ビット)してください。
- 注2. CNVSS端子にVCC1を入力している場合、リセット後、PM05～PM04ビットを“11b”にしないでください。
- 注3. メモリ拡張モードで、PM05～PM04ビットを“11b”にした場合、P3\_1～P3\_7、P4\_0～P4\_3は入出力ポートとなりますので、アクセスできる領域は $\overline{CS}$ ごとに256バイトです。
- 注4. セパレートバスではアドレスバスになります。
- 注5. データバス幅8ビットの場合、PM02ビットは“0”(RD、BHE、WR)にしてください。
- 注6. マルチプレクスバスを使用する領域をアクセスする場合、書き込み時は不定値を出力します。

### 8.2.9 内部領域をアクセスしたときの外部バスの状態

表 8.7に内部領域をアクセスしたときの外部バスの状態を示します。

表 8.7 内部領域をアクセスしたときの外部バスの状態

項目	SFRをアクセスしたときの状態	内部ROM、RAMをアクセスしたときの状態
A0～A19	アドレスを出力	直前にアクセスされた外部領域またはSFRのアドレスを保持
D0～D15	リード時	ハイインピーダンス
	ライト時	不定
$\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$	$\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ を出力	“H”を出力
$\overline{BHE}$	$\overline{BHE}$ を出力	直前にアクセスされた外部領域またはSFRの状態を保持
$\overline{CS0}$ ～ $\overline{CS3}$	“H”を出力	“H”を出力
ALE	“L”を出力	“L”を出力

### 8.2.10 ソフトウェアウェイト

ソフトウェアウェイト関連ビットのうち、PM1レジスタのPM17ビットは、内部メモリと外部領域の両方に影響を与えます。

SFR領域はPM2レジスタのPM20ビットによってBCLKの2サイクル、またはBCLKの3サイクルでアクセスされます。内部ROMのうち、データフラッシュはPM17ビットとFMR1レジスタのFMR17ビットの両方の影響を受けます。

外部領域は、PM17ビットの他、CSi (i=0～3) ごとにCSRレジスタのCSiWビット、CSEレジスタのCSEi1W～CSEi0Wビットによって、ソフトウェアウェイトを挿入できます。なお、 $\overline{RDY}$ 信号を使用する場合、CSiWビットの該当するビットを“0” (ウェイトあり) にしてください。

表 8.8にソフトウェアウェイト関連ビットとバスサイクル (SFR、内部メモリ)、図 8.6にソフトウェアウェイト関連ビットとバスサイクル (SFR、内部メモリ)、表 8.9にソフトウェアウェイト関連ビットとバスサイクル (外部領域)、図 8.7～8.8にソフトウェアウェイトを使用した場合のバスタイミング例を示します。

表 8.8 ソフトウェアウェイト関連ビットとバスサイクル (SFR、内部メモリ)

領域	ソフトウェアウェイト関連ビットの設定			ソフトウェアウェイト	バスサイクル
	PM2レジスタ PM20ビット (注1)	FMR1レジスタ FMR17ビット	PM1レジスタ PM17ビット		
SFR	1	—	—	1ウェイト	BCLKの2サイクル(注3)
	0	—	—	2ウェイト	BCLKの3サイクル
内部RAM	—	—	0	なし	BCLKの1サイクル(注3)
			1	1ウェイト	BCLKの2サイクル
内部ROM	プログラムROM1 プログラムROM2	—	0	なし	BCLKの1サイクル(注3)
			1	1ウェイト	BCLKの2サイクル
	データフラッシュ (注2)	—	0	1ウェイト	BCLKの2サイクル(注3)
			1	0	なし
			1	1ウェイト	BCLKの2サイクル

—: “0”でも“1”でも影響ない

注1. PM20ビットは、PLC0レジスタのPLC07ビットが“1”(PLL動作)のとき有効。

注2.  $2.7V \leq VCC1 \leq 3.0V$ かつ $f(BCLK) \geq 16MHz$ の場合、または $3.0V < VCC1 \leq 5.5V$ かつ $f(BCLK) \geq 20MHz$ の場合は、データフラッシュを読み出す際に1ウェイト必要です。PM17ビットまたはFMR17ビットで1ウェイトにしてください。

注3. リセット後の状態

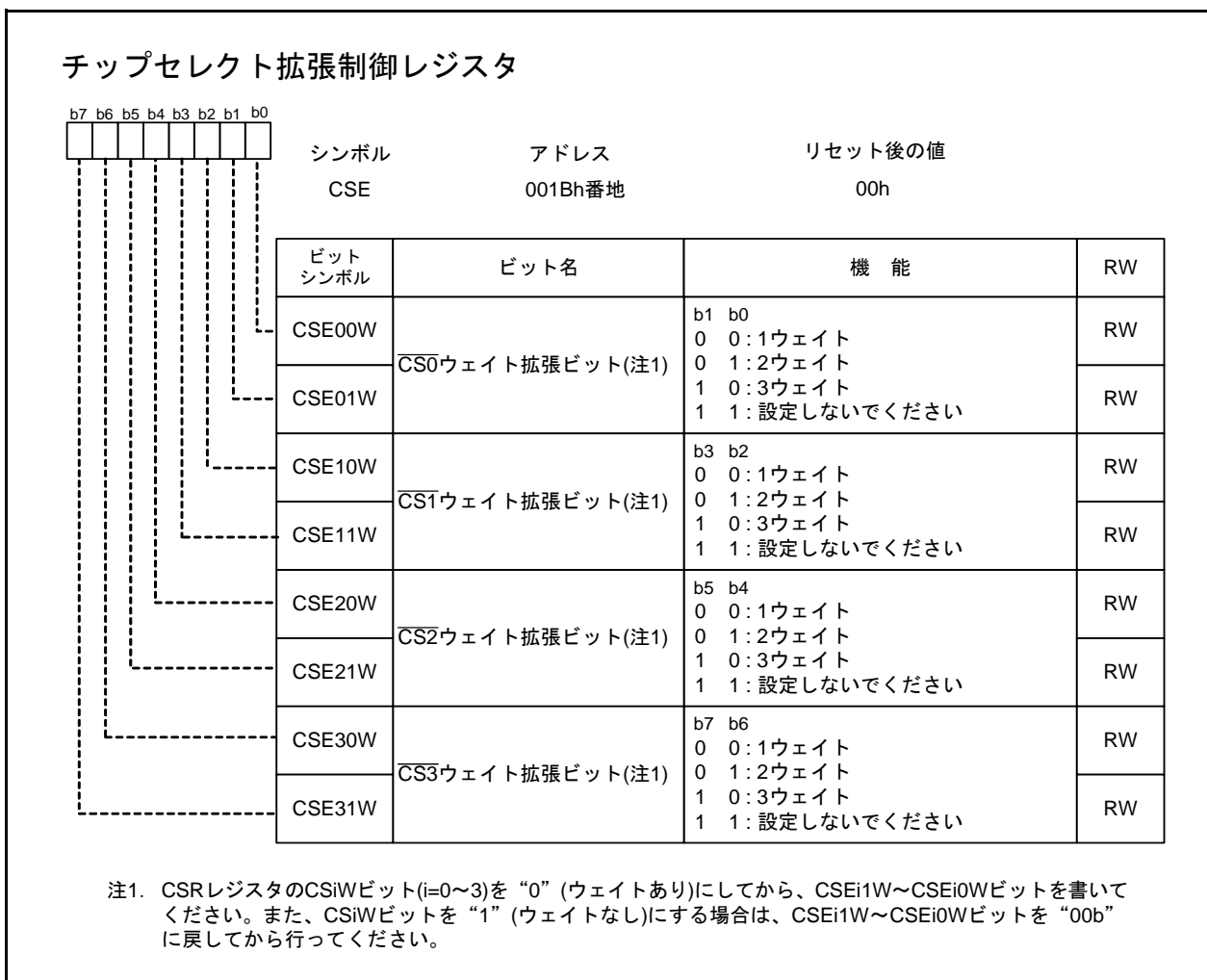


図 8.6 CSE レジスタ

表 8.9 ソフトウェアウェイト関連ビットとバスサイクル(外部領域)

領域	バス形式	ソフトウェアウェイト関連ビットの設定			ソフトウェアウェイト	バスサイクル
		PM1レジスタ PM17ビット	CSRレジスタ CSIWビット(注1)	CSEレジスタ CSEi1W~CSEi0W ビット		
外部領域	セパレート バス	0	1	00b	なし	BCLKの1サイクル (リード) BCLKの2サイクル (ライト)
		—	0	00b	1ウェイト	BCLKの2サイクル(注4)
		—	0	01b	2ウェイト	BCLKの3サイクル
		—	0	10b	3ウェイト	BCLKの4サイクル
		1	0(注3)	00b	1ウェイト	BCLKの2サイクル
	マルチ プレクスバス	—	0(注2)	00b	1ウェイト	BCLKの3サイクル
		—	0(注2)	01b	2ウェイト	BCLKの3サイクル
		—	0(注2)	10b	3ウェイト	BCLKの4サイクル
		—	0(注2)	00b	1ウェイト	BCLKの3サイクル
		1	0(注2、3)	00b	1ウェイト	BCLKの3サイクル

i=0~3

— : "0"でも"1"でも影響ない

- 注1.  $\overline{RDY}$ 信号を使用する場合CSIWビットを“0”(ウェイトあり)にしてください。
- 注2. マルチプレクスバスでアクセスする場合は、CSIWビットを“0”(ウェイトあり)にしてください。
- 注3. PM17ビットが“1”で外部領域をアクセスする場合は、CSIWビットを“0”(ウェイトあり)にしてください。
- 注4. リセット後、PM17ビットは“0”(ウェイトなし)、CS0W~CS3Wビットはすべて“0”(ウェイトあり)、CSEレジスタは“00h”(CS0~CS3は1ウェイト)ですので、外部領域はすべて1ウェイトになります。

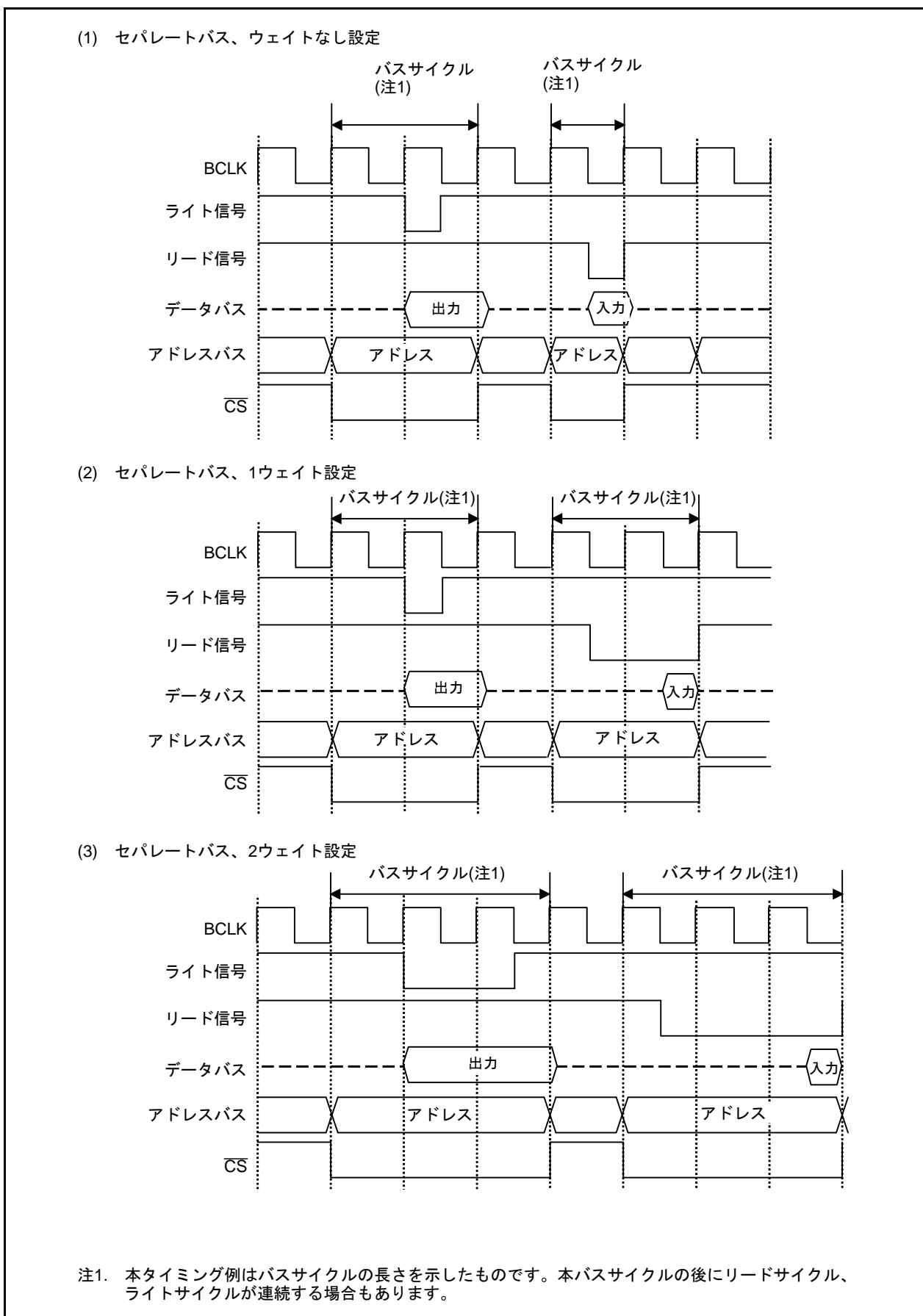


図 8.7 ソフトウェアウェイトを使用した場合のバスタイミング例(1)



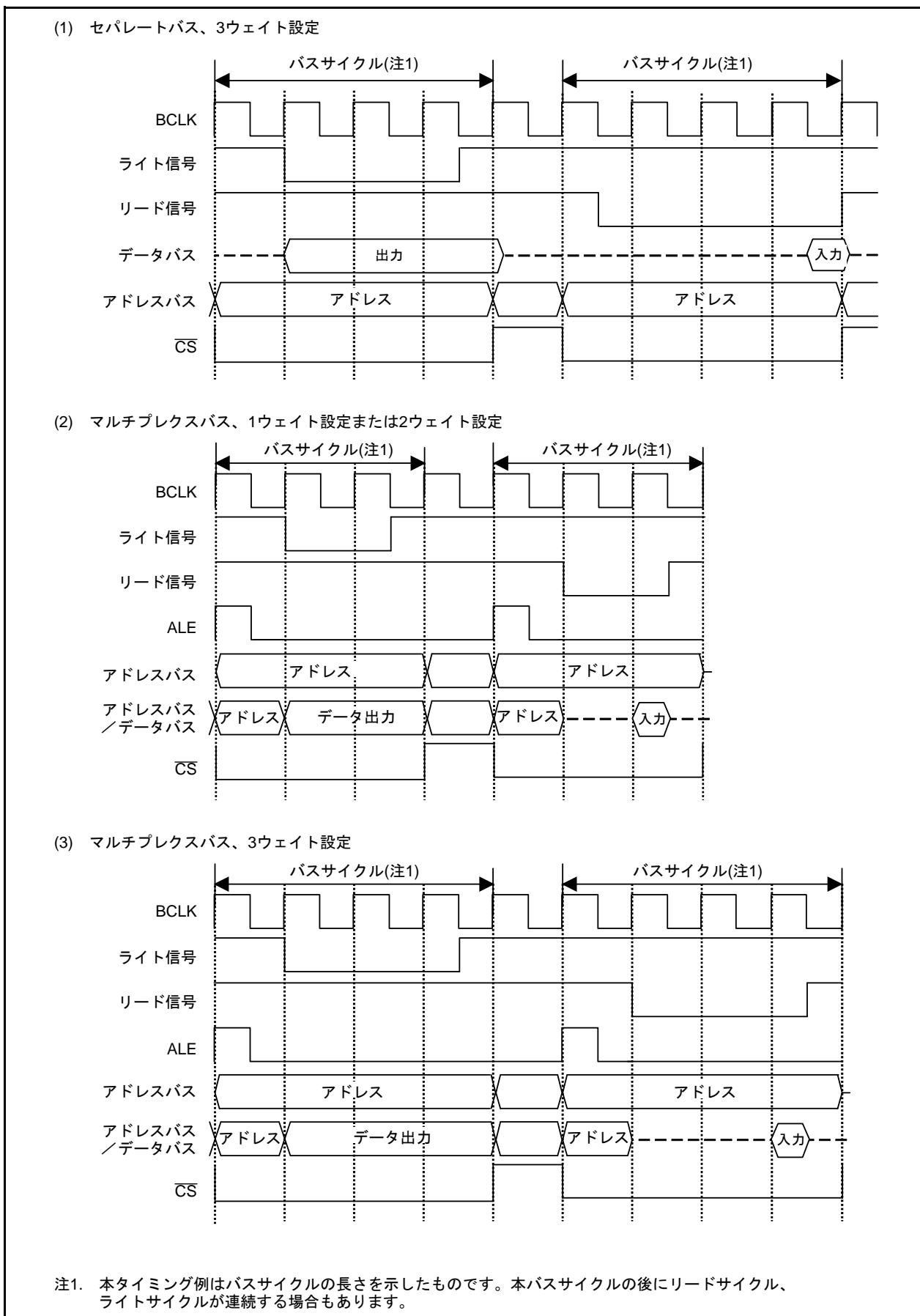


図 8.8 ソフトウェアウェイトを使用した場合のバスタイミング例(2)

## 9. メモリ空間拡張機能

メモリ空間拡張機能について説明します。

メモリ拡張モードまたはマイクロプロセッサモードのときに、メモリ空間拡張機能によってアクセス空間を拡張できます。表 9.1 にメモリ空間拡張機能の設定方法、メモリ空間を示します。

表 9.1 メモリ空間拡張機能の設定方法、メモリ空間

メモリ空間拡張機能	設定方法 (PM15 ~ PM14)	メモリ空間
1Mバイトモード	00b	1Mバイト (拡張なし)
4Mバイトモード	11b	4Mバイト

### 9.1 1Mバイトモード

メモリ空間が1Mバイトのモードです。1Mバイトモードでは、 $\overline{CSi}(i=0\sim 3)$ 信号によってアクセスできる外部領域(以下 $\overline{CSi}$ 領域と称す)を指定します。図 9.2 ~ 9.3 に1Mバイトモード時のメモリ配置、 $\overline{CS}$ 領域を示します。

### 9.2 4Mバイトモード

メモリ空間が4Mバイトのモードです。図 9.1 にDBRレジスタを示します。DBRレジスタのBSR2 ~ BSR0ビットでデータをアクセスする場合のバンク番号を選択できます。OFSビットを“1”(オフセットあり)にすると、アクセスする番地に40000h番地分のオフセットを追加できます。

4Mバイトモードでは、アクセスする領域によって、 $\overline{CSi}(i=0\sim 3)$ 端子の機能が異なります。

#### 9.2.1 04000h ~ 3FFFFh 番地、C0000h ~ FFFFFh 番地

- $\overline{CSi}$ 端子から $\overline{CSi}$ 信号を出力(1Mバイトモードと同じ動作。ただし、 $\overline{CSi}$ 領域は3FFFFh番地まで)

#### 9.2.2 40000h ~ BFFFFh 番地

- $\overline{CS0}$ 端子は“L”を出力
- $\overline{CS1} \sim \overline{CS3}$ 端子は、BSR2 ~ BSR0ビットに設定した値(バンク番号)を出力

図 9.4 ~ 9.5 に4Mバイトモード時のメモリ配置、 $\overline{CS}$ 領域を示します。

なお、バンク0 ~ 6はデータ専用の領域です。プログラムはバンク7または $\overline{CSi}$ 領域に配置してください。

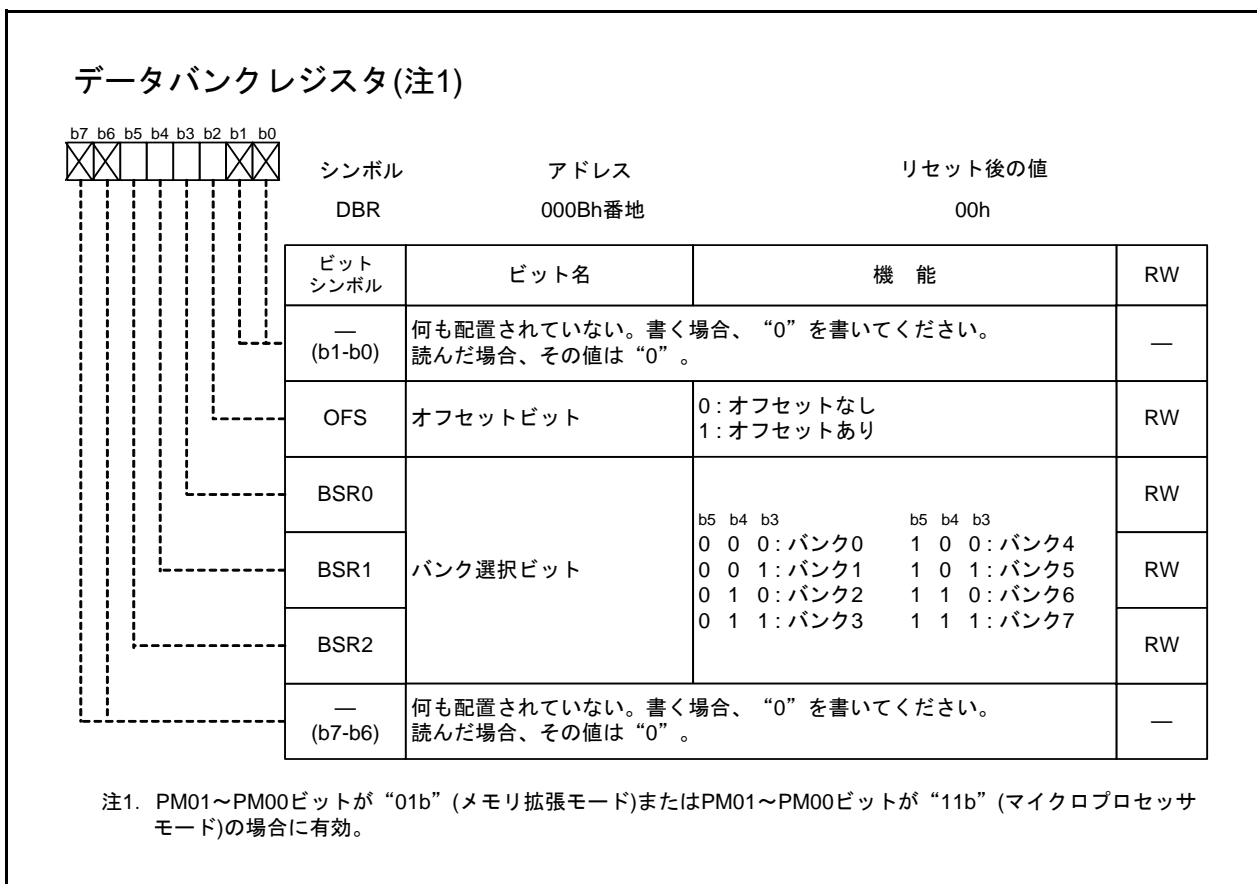


図 9.1 DBR レジスタ

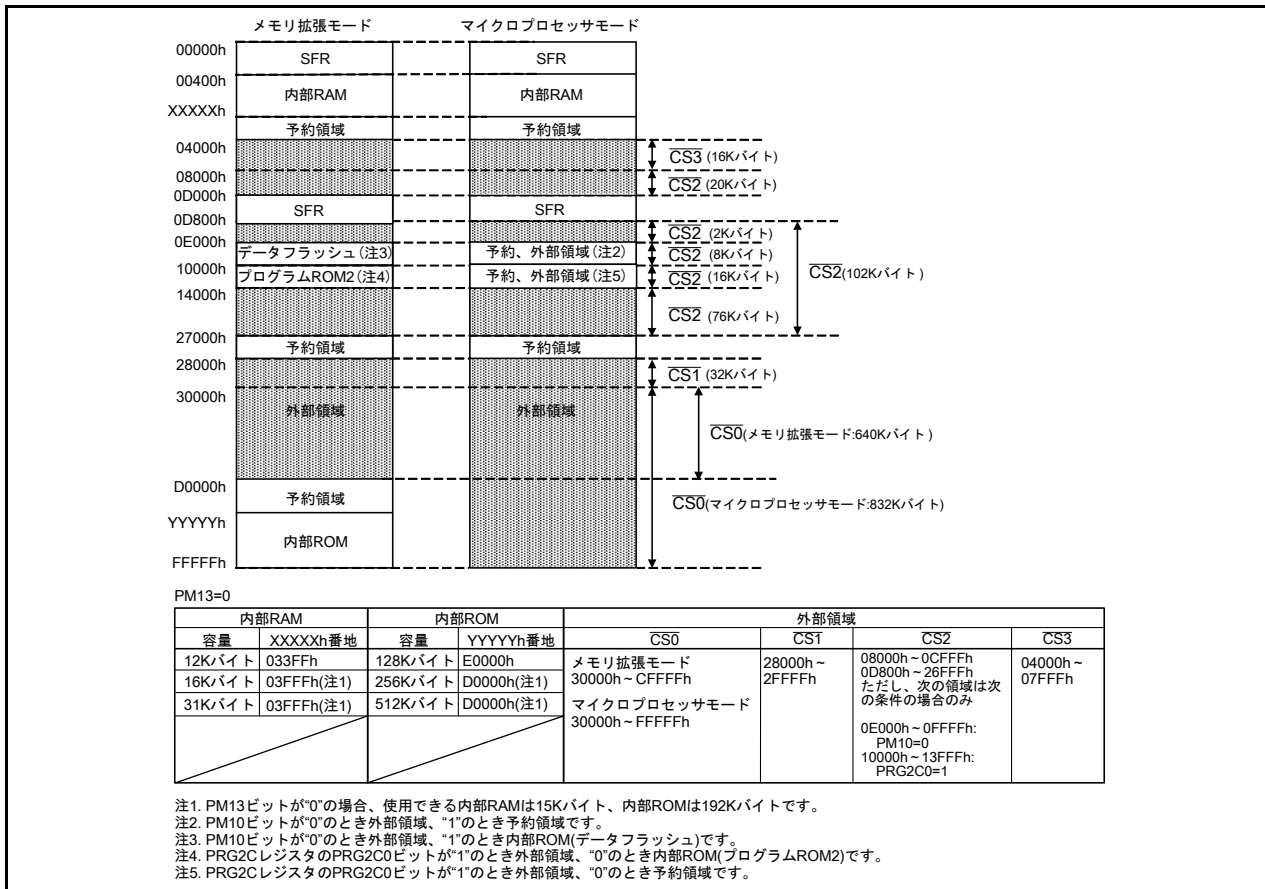


図 9.2 1Mバイトモード時のメモリ配置、CS領域 (PM13=0)

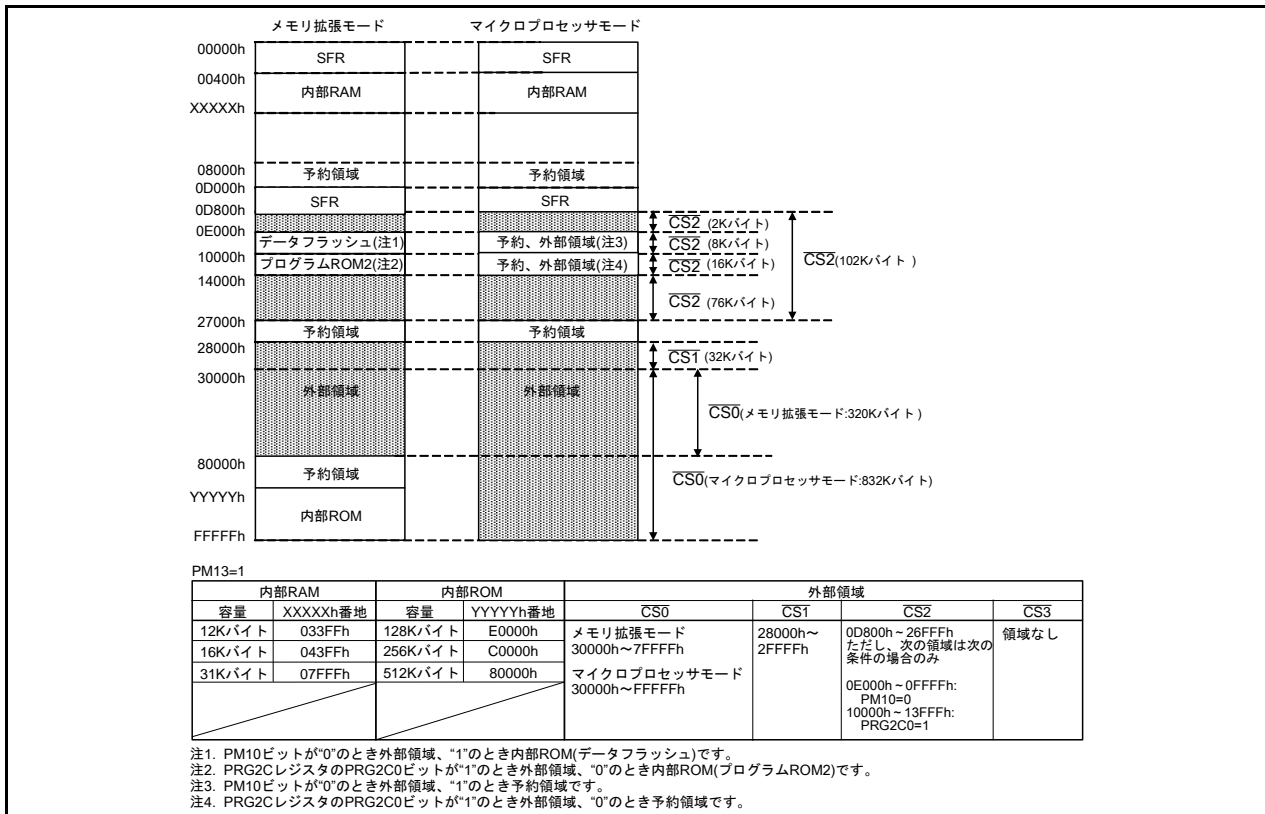


図 9.3 1Mバイトモード時のメモリ配置、CS領域 (PM13=1)

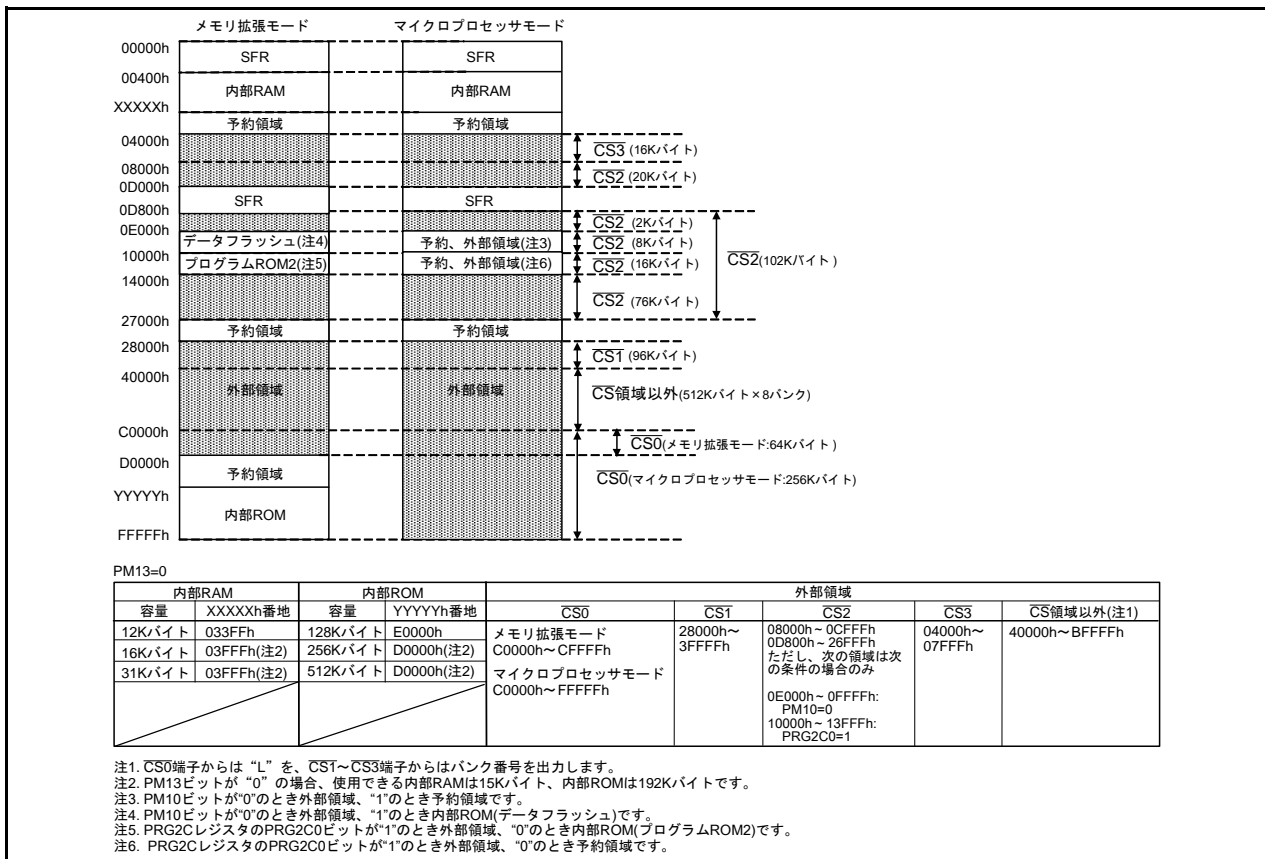


図 9.4 4Mバイトモード時のメモリ配置、CS領域 (PM13=0)

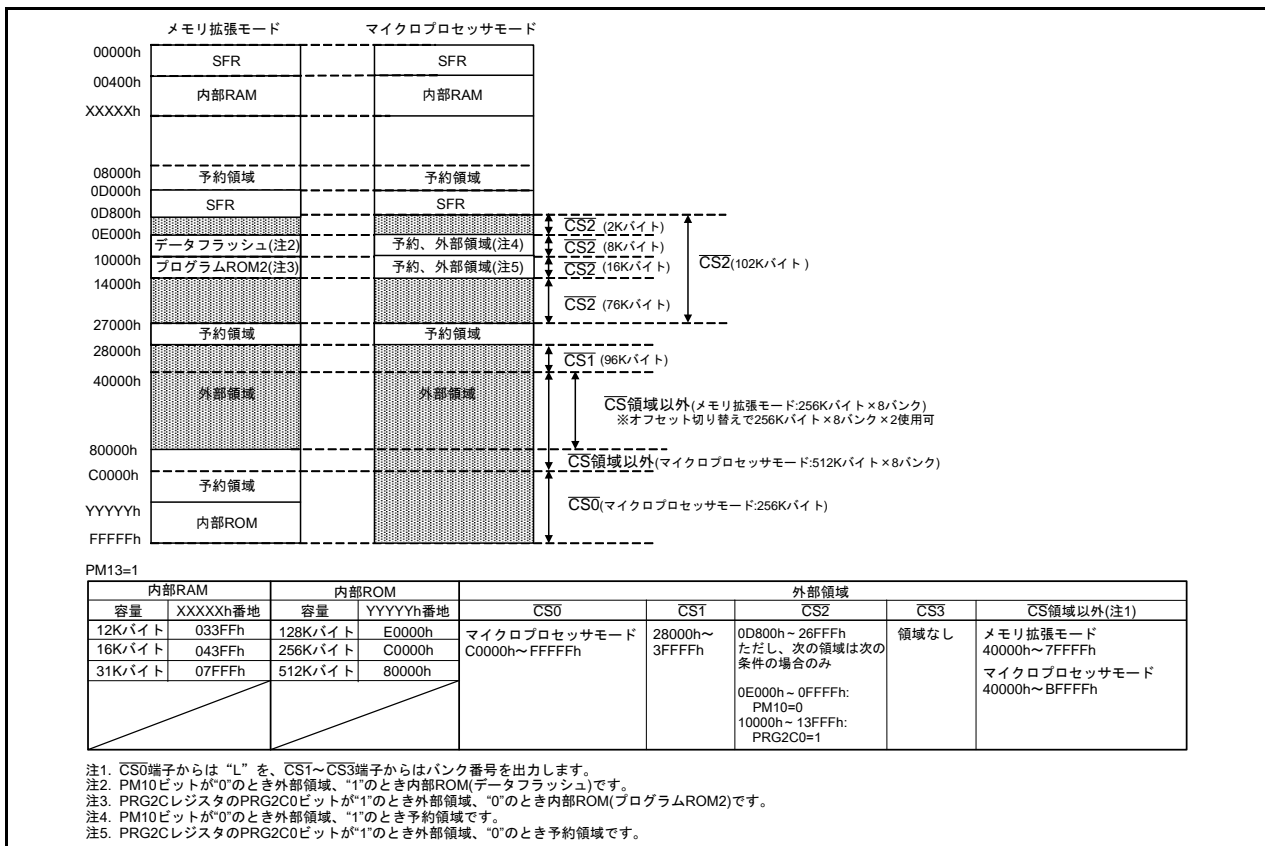


図 9.5 4Mバイトモード時のメモリ配置、CS領域 (PM13=1)

図 9.6に4Mバイトモード時の外部メモリ接続例を示します。この例では、4MバイトROMの $\overline{CS}$ 端子をマイクロコンピュータの $\overline{CS0}$ 端子と接続します。4MバイトROMアドレス入力AD21端子、AD20端子、AD19端子はマイクロコンピュータの $\overline{CS3}$ 端子、 $\overline{CS2}$ 端子、 $\overline{CS1}$ 端子とそれぞれ接続します。アドレス入力AD18端子はマイクロコンピュータのA19端子と接続します。図 9.7～9.9に図 9.6の接続例における4MバイトROMとマイクロコンピュータのアドレスの関係を示します。

マイクロプロセッサモード、またはPM1レジスタのPM13ビットが“0”でメモリ拡張モードの場合、512Kバイトごとにバンクがあります。DBRレジスタのOFSビットを“1”（オフセットあり）にすることで、40000h番地のオフセットが付きバンク境界部分のデータであっても、連続してアクセスできます。

PM13ビットが“1”でメモリ拡張モードの場合、512KバイトのバンクをOFSビットで切り替えることによって256Kバイトごとにアクセスできます。

SRAMは、チップセレクト信号S2が“H”で、 $\overline{S1}$ が“L”であることがアクセス条件ですので、S2には $\overline{CS0}$ を $\overline{S1}$ には $\overline{CS2}$ をそれぞれ接続できます。もし、両極性のチップセレクト信号入力端子( $\overline{S1}$ 、S2)を持たない場合は、外部で $\overline{CS0}$ 、 $\overline{CS2}$ をデコードしてください。

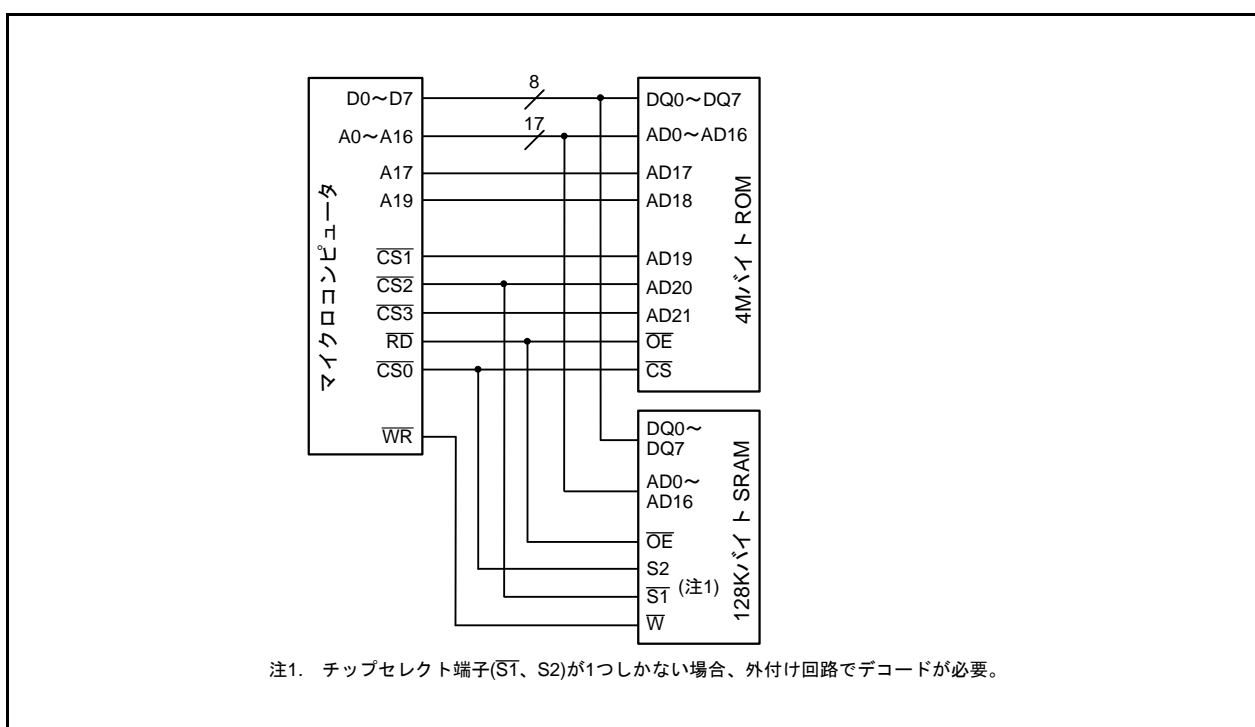


図 9.6 4Mバイトモード時の外部メモリ接続例



図 9.7 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(1)

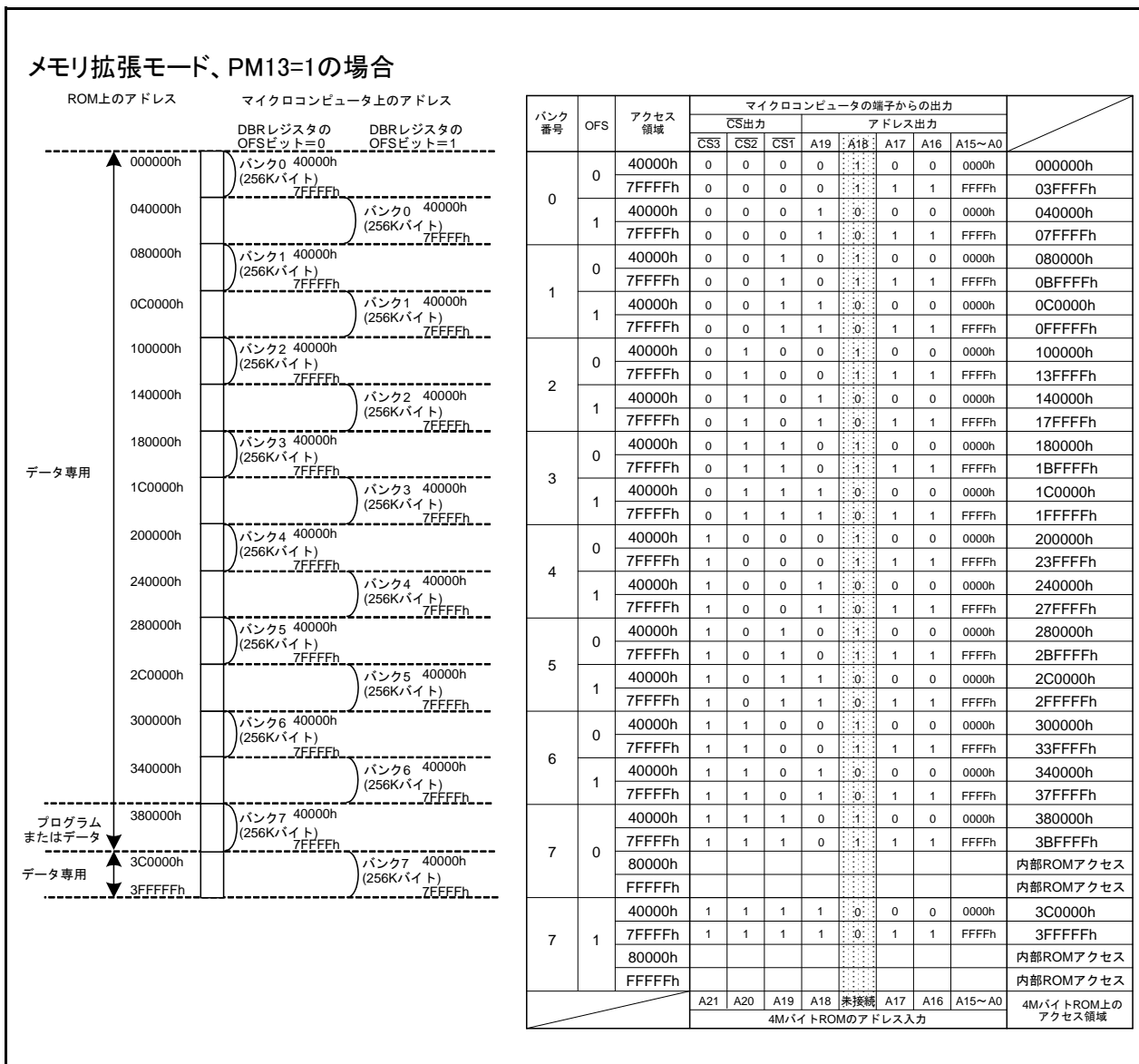


図 9.8 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(2)



マイクロプロセッサモードの場合

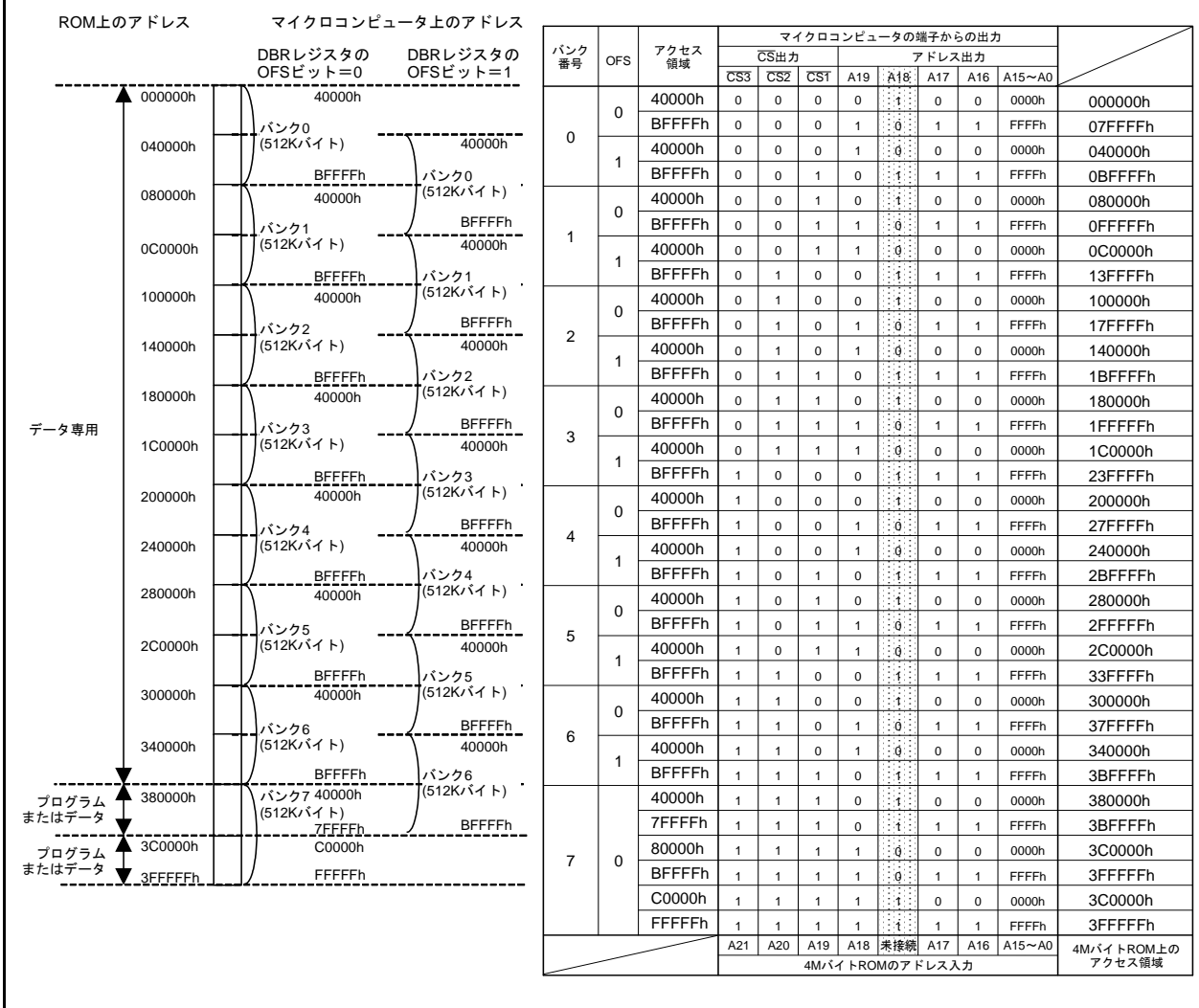


図 9.9 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(3)

## 10. クロック発生回路

### 10.1 クロック発生回路の種類

クロック発生回路として、4つの回路を内蔵します。

- メインクロック発振回路
- サブクロック発振回路
- 125kHzオンチップオシレータ
- PLL周波数シンセサイザ

表 10.1にクロック発生回路の概略仕様を示します。また、図 10.1にシステムクロック発生回路のブロック図、図 10.2～10.6にクロック関連レジスタを示します。

表 10.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	125kHz オンチップオシレー タ	PLL周波数 シンセサイザ
用途	CPUのクロック源 周辺機能のクロック源	CPUのクロック源 タイマA、Bのク ロック源	CPUのクロック源 周辺機能のクロック源 メインクロック発振 停止時のCPU、周辺 機能のクロック源	CPUのクロック源 周辺機能のクロック源
クロック周波数	0～20MHz	32.768kHz	125kHz	10～25MHz
接続できる発振 子	セラミック共振子 水晶発振子	水晶発振子	—	—(注1)
発振子の接続端 子	XIN、XOUT	XCIN、XCOUT	—	—(注1)
発振停止、再開 機能	あり	あり	あり	あり
リセット後の状 態	発振	停止	発振	停止
その他	外部で生成されたクロックを入力可能		—	—(注1)

注1. PLL周波数シンセサイザは基準クロック源としてメインクロック発振回路を使用します。  
したがって、これらの項目はメインクロック発振回路に準じます。

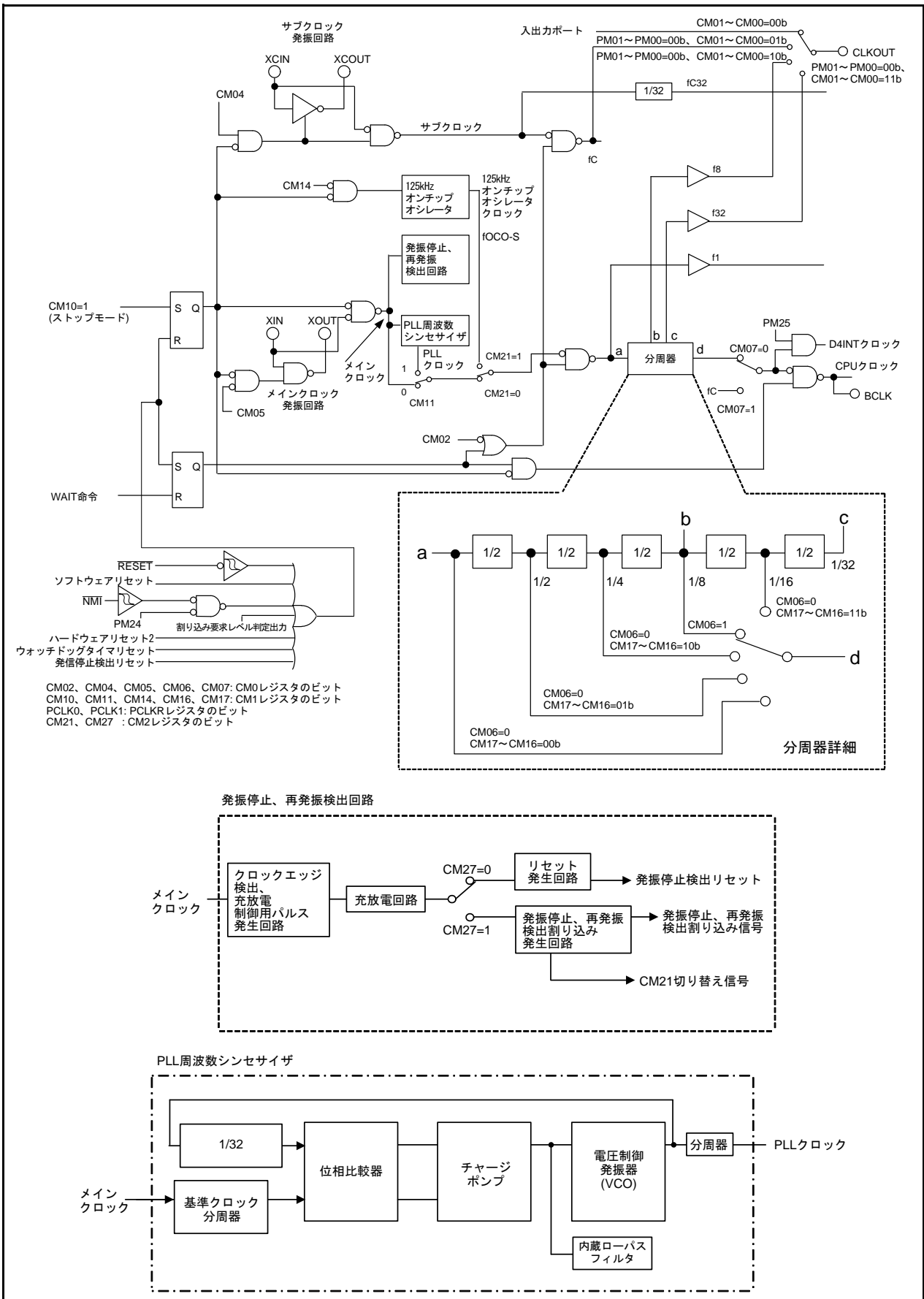


図 10.1 システムクロック発生回路

## システムクロック制御レジスタ0 (注1)

ビット シンボル	ビット名	機能	RW
CM00	クロック出力機能選択ビット (シングルチップモード時のみ有効)	b1 b0 0 0: 入出力ポートP5_7 0 1: fCを出力 1 0: f8を出力 1 1: f32を出力	RW
CM01			
CM02	ウェイトモード時周辺機能 クロック停止ビット(注10)	0: ウェイトモード時、周辺機能クロックf1 停止しない 1: ウェイトモード時、周辺機能クロックf1 停止する(注8)	RW
CM03	XCIN-XCOUT駆動能力選択ビット (注2)	0: Low 1: High	RW
CM04	ポートXC切り替えビット (注2)	0: 入出力ポートP8_6、P8_7 1: XCIN-XCOUT発振機能(注9)	RW
CM05	メインクロック停止ビット (注3、4、10、12、13)	0: 発振 1: 停止(注5)	RW
CM06	メインクロック分周比選択 ビット0(注7、13、14)	0: CM16、CM17ビット有効 1: 8分周モード	RW
CM07	システムクロック選択 ビット(注6、10、11、12)	0: メインクロック、PLLクロック または125kHzオンチップオシレータクロック 1: サブクロック	RW

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。
- 注2. CM04ビットが“0”（入出力ポート）の間、またはストップモードへ移行したとき、CM03ビットは“1”（HIGH）になります。
- 注3. このビットは低消費電力モード、または125kHzオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、次のようにしてください。
- (1) サブクロックが安定して発振している状態で、CM07ビットを“1”（サブクロック選択）にする、またはCM2レジスタのCM21ビットを“1”（125kHzオンチップオシレータ選択）にする
  - (2) CM2レジスタのCM20ビットを“0”（発振停止、再発振検出機能無効）にする
  - (3) CM05ビットを“1”（停止）にする
- 注4. 外部クロック入力時は、“0”（発振）にしてください。
- 注5. CM05ビットが“1”の場合、XOUT端子は“H”になります。また、内蔵している帰還抵抗は接続したままであるので、XIN端子は帰還抵抗を介して、XOUT(“H”)にプルアップされた状態となります。
- 注6. CM04ビットを“1”（XCIN-XCOUT発振機能）にし、サブクロックの発振が安定した後に、CM07ビットを“0”から“1”（サブクロック）にしてください。
- 注7. ストップモードへの移行時、CM06ビットは“1”（8分周モード）になります。
- 注8. タイマA、タイマBへのクロック源であるfC32、fOCO-Sは停止しません。
- 注9. サブクロックを使用する場合、このビットを“1”にしてください。また、ポートP8\_6、P8\_7は入力ポートで、プルアップなしにしてください。
- 注10. PM2レジスタのPM21ビットが“1”（クロック変更禁止）の場合、CM02、CM05、CM07ビットに書いても値は変化しません。
- 注11. PM21ビットを“1”にする場合、CM07ビットを“0”（メインクロック）にした後で、PM21ビットを“1”にしてください。
- 注12. CPUクロックのクロック源をメインクロックにする場合、次のようにしてください。
- (1) CM05ビットを“0”（発振）にする。
  - (2) メインクロック発振安定時間を待つ。
  - (3) CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0”にする。
- 注13. CM07ビットが“1”（サブクロック）、かつCM05ビットが“1”（メインクロックを停止）のとき、CM06ビットが“1”（8分周モード）、CM15ビットが“1”（駆動能力HIGH）に固定されます。
- 注14. 125kHzオンチップオシレータモードから高速、中速モードに戻すときは、CM06ビットを“1”、CM15ビットを“1”にしてください。

図 10.2 CM0 レジスタ



図 10.3 CM1 レジスタ

## 発振停止検出レジスタ (注1)

ビットシンボル	ビット名	機能	RW
CM20	発振停止、再発振検出許可ビット(注7、9、10、11)	0: 発振停止、再発振検出機能無効 1: 発振停止、再発振検出機能有効	RW
CM21	システムクロック選択ビット2(注2、3、6、8、11、12)	0: メインクロックまたはPLLクロック 1: 125kHzオンチップオシレータクロック	RW
CM22	発振停止、再発振検出フラグ(注4)	0: メインクロック停止、再発振を未検出 1: メインクロック停止、再発振を検出	RW
CM23	XINモニタフラグ(注5)	0: メインクロック発振 1: メインクロック停止	RO
— (b5-b4)	予約ビット	“0”にしてください	RW
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CM27	発振停止、再発振検出時の動作選択ビット(注11)	0: 発振停止検出リセット 1: 発振停止、再発振検出割り込み	RW

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. CM20ビットが“1”(発振停止、再発振検出機能有効)、CM27ビットが“1”(発振停止、再発振検出割り込み)、CPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは“1”(125 KHz オンチップオシレータクロック)になります。
- 注3. CM20ビットが“1”で、かつCM23ビットが“1”(メインクロック停止)のとき、CM21ビットを“0”にしないでください。
- 注4. メインクロック停止検出時とメインクロック再発振検出時“1”になります。このビットが“0”から“1”に変化すると発振停止、再発振検出割り込み要求が発生します。割り込みルーチンで発振停止、再発振検出割り込みと、ウォッチドッグタイマ割り込みの要因判別のために使用してください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません。また、発振停止、再発振検出割り込み要求が受け付けられても、“0”になりません)。CM22ビットが“1”のとき、発振停止または再発振を検出しても、発振停止、再発振検出割り込みは発生しません。
- 注5. 発振停止、再発振検出割り込みルーチンで、CM23ビットを数回読むことによりメインクロックの状態を判定してください。
- 注6. CM0レジスタのCM07ビットが“0”のとき有効。
- 注7. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM20ビットに書いても値は変化しません。
- 注8. CM20ビットが“1”(発振停止、再発振検出機能有効)、CM27ビットが“1”(発振停止、再発振検出割り込み)、CM11ビットが“1”(CPUクロック源はPLLクロック)の場合、メインクロック停止を検出してもCM21ビットは変化しません。この条件でCM22ビットが“0”ならばメインクロック停止検出時に発振停止、再発振検出割り込み要求が発生しますので、割り込みルーチン内でCM21ビットを“1”(125 KHzオンチップオシレータクロック)にしてください。
- 注9. ストップモードへ移行する場合、CM20ビットを“0”(無効)にしてください。ストップモードからの復帰後、改めてCM20ビットを“1”(有効)にしてください。
- 注10. CM0レジスタのCM05ビットを“1”(メインクロック停止)にする前にCM2レジスタのCM20ビットを“0”(無効)にしてください。
- 注11. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
- 注12. CM21ビットが“0”(メインクロックまたはPLLクロック)、CM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。

図 10.4 CM2 レジスタ

## 周辺クロック選択レジスタ(注1)

ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 0 0 シンボル PCLKR アドレス 0012h番地 リセット後の値 00000011b			
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、短絡防止 タイマのクロック源)	0 : f2TIMAB 1 : f1TIMAB	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、 UART5~UART7、SI/O3、 SI/O4のクロック源)	0 : f2SIO 1 : f1SIO	RW
— (b7-b2)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

## プロセッサモードレジスタ2(注1)

ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0 X X X X 0 X X X シンボル PM2 アドレス 001Eh番地 リセット後の値 XX000X01b			
PM20	PLL動作時のSFRアクセスの ウェイト指定(注2)	0 : 2ウェイト 1 : 1ウェイト	RW
PM21	システムクロック保護ビット (注3、4)	0 : PRCRレジスタでクロックを保護 1 : クロックの変更禁止	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください	RW
PM24	NMI割り込み許可ビット (注3)	0 : NMI割り込み禁止 1 : NMI割り込み許可	RW
PM25	D4INTクロック/fC 供給許可ビット (注5)	0 : 供給禁止 1 : 供給許可	RW
(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注2. PLC07ビットが“1”（PLL動作）のとき、PM20ビットは有効になります。PM20ビットはPLC07ビットが“0”（PLL停止）のときに変更してください。

注3. 一度“1”にすると、プログラムでは“0”にできません。

注4. PM21ビットを“1”にすると次のビットに書き込んでも値は変化しません。

CM0レジスタのCM02ビット

CM0レジスタのCM05ビット（メインクロックは停止しない）

CM0レジスタのCM07ビット（CPUクロックのクロック源は変化しない）

CM1レジスタのCM10ビット（ストップモードに移行しない）

CM1レジスタのCM11ビット（CPUクロックのクロック源は変化しない）

CM2レジスタのCM20ビット（発振停止、再発振検出機能の設定は変化しない）

PLC0レジスタの全ビット（PLL周波数シンセサイザの設定は変化しない）

なお、PM21ビットが“1”のときは、WAIT命令を実行しないでください。

注5. 電圧低下検出割り込みを使用するときはPM25ビットを“1”（供給許可）にしてください。

図 10.5 PCLKR、PM2レジスタ

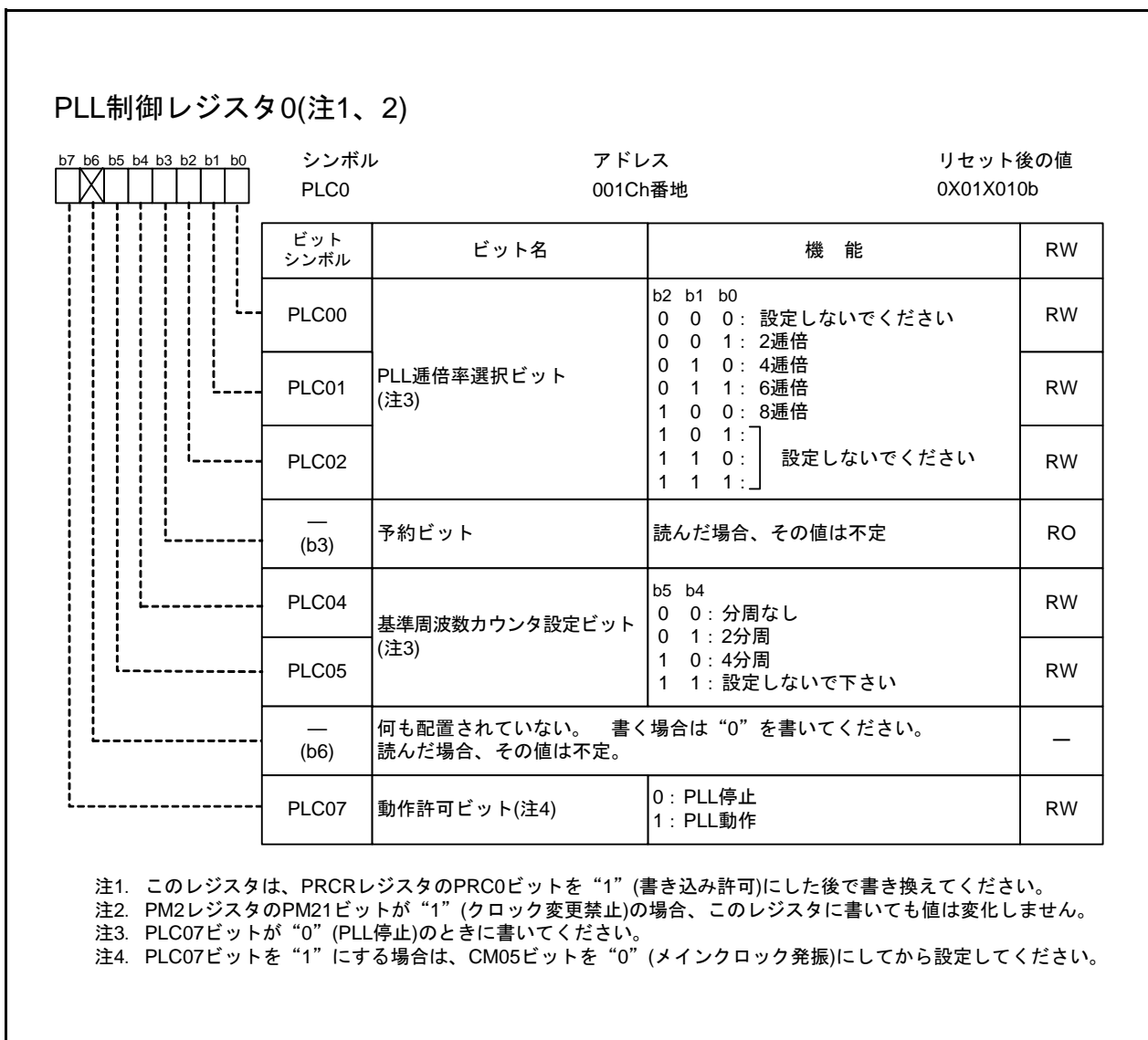


図 10.6 PLC0レジスタ



クロック発生回路で生成するクロックを説明します。

### 10.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図10.7にメインクロックの接続回路例を示します。

CPUクロックのクロック源をサブクロックまたは125kHzオンチップオシレータクロックに切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「10.4 パワーコントロール」を参照してください。

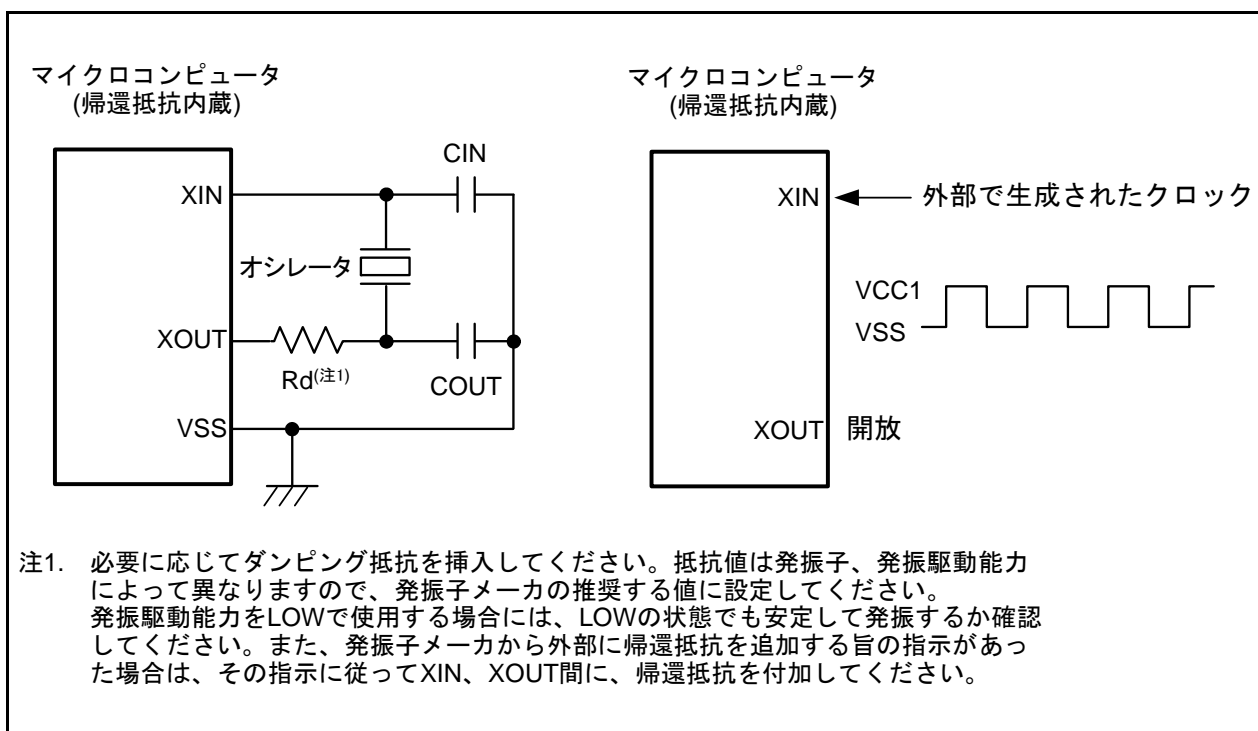


図 10.7 メインクロックの接続回路例

### 10.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウンタソースのクロック源になります。また、サブクロックと同一周波数のfCをCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路では、外部で生成されたクロックをXCIN端子へ入力することもできます。図10.8にサブクロックの接続回路例を示します。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「10.4 パワーコントロール」を参照してください。

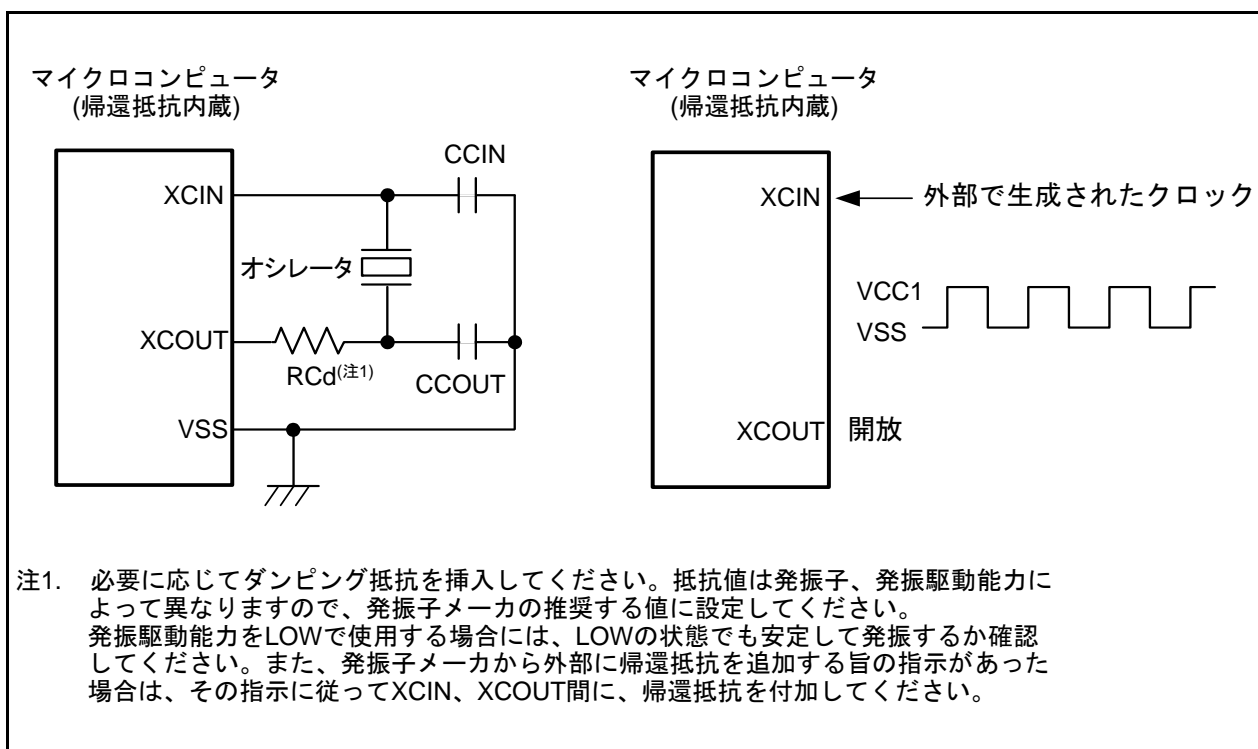


図 10.8 サブクロックの接続回路例

### 10.1.3 125kHzオンチップオシレータクロック (fOCO-S)

125kHzオンチップオシレータが供給する約125kHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、CSPRレジスタのCSPROビットが“1”（カウントソース保護モード有効）の場合、ウォッチドッグタイマのカウントソースになります（「13.2 カウントソース保護モード有効時」参照）。

リセット後、125kHzオンチップオシレータの8分周がCPUクロックになります。CM1レジスタのCM14ビットを“0”（125kHzオンチップオシレータ停止）にすると停止します。また、CM2レジスタのCM20ビットが“1”（発振停止、再発振検出機能有効）、かつCM27ビットが“1”（発振停止、再発振検出割り込み）の場合、メインクロックが停止したときに、自動的に125kHzオンチップオシレータが動作を開始し、クロックを供給します。

### 10.1.4 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、PLL周波数シンセサイザは停止しています。PLC07ビットを“1”（PLL動作）にするとPLL周波数シンセサイザが動作します。PLLクロックをCPUクロックのクロック源にする場合は、PLLクロックが安定するまで、tsu(PLL)待ってCM1レジスタのCM11ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行する場合は、CM11ビットを“0”（CPUクロック源はメインクロック）にしてください。さらにストップモードはPLC0レジスタのPLC07ビットを“0”（PLL停止）にしてから、ストップモードに移行してください。図10.10にPLLクロックをCPUのクロック源にする手順を示します。

メインクロックをPLC0レジスタのPLC05～PLC04ビットで選択した値で分周し、PLC02～PLC00ビットで選択した値で通倍したものがPLLクロックになります。分周後のクロック周波数が2MHz～5MHzになるようにPLC05～PLC04ビットを設定してください。図10.9メインクロックとPLLクロックの関係を示します。

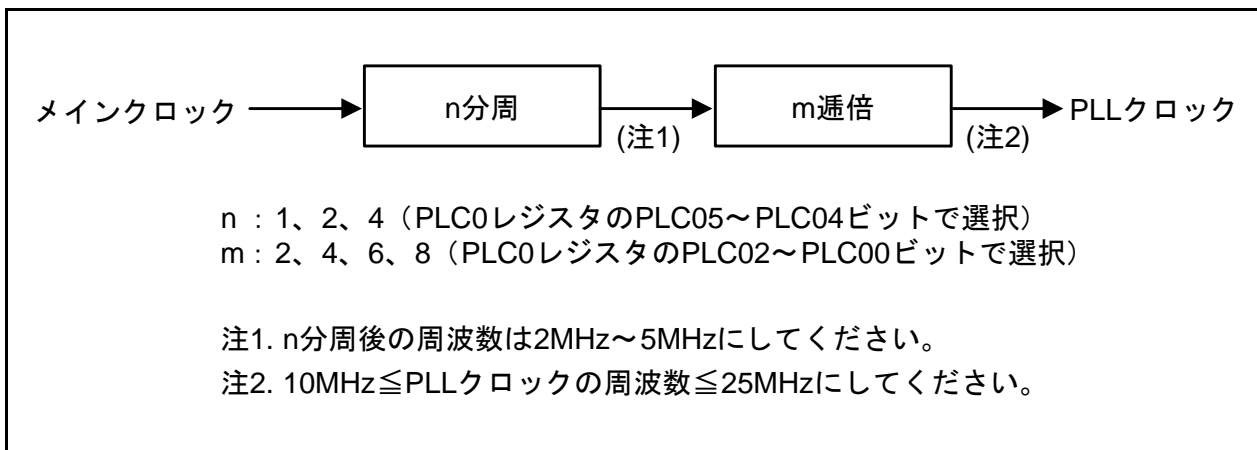


図 10.9 メインクロックとPLLクロックの関係

表 10.2にPLLクロックの周波数設定例を示します。

表 10.2 PLLクロックの周波数設定例

メインクロック	設定値		PLLクロック
	PLC05～PLC04ビット	PLC02～PLC00ビット	
10MHz	01b(2分周)	010b(4逓倍)	20MHz
5MHz	00b(分周なし)	010b(4逓倍)	
12MHz	10b(4分周)	100b(8逓倍)	24MHz
6MHz	01b(2分周)	100b(8逓倍)	

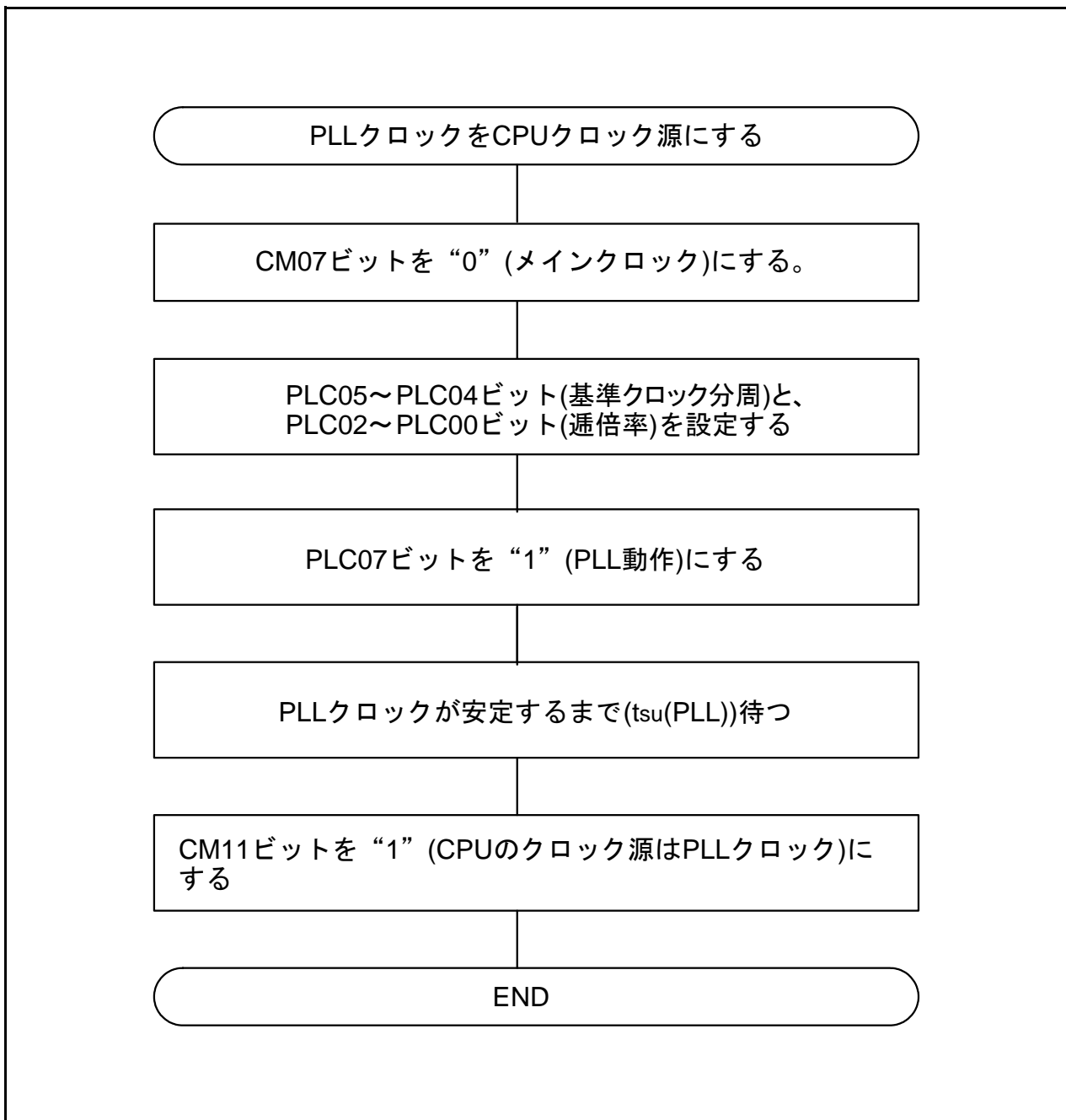


図 10.10 PLLクロックをCPUのクロック源にする手順

## 10.2 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

### 10.2.1 CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、サブクロック、125kHzオンチップオシレータクロック、またはPLLクロックが選択できます。

CPUクロックのクロック源としてメインクロック、PLLクロック、または125kHzオンチップオシレータクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

リセット後、125kHzオンチップオシレータクロックの8分周がCPUクロックになります。

メモリ拡張モード時、マイクロプロセッサモード時、PM0レジスタのPM07ビットを“0”(出力する)にすると、BCLK端子からCPUクロックと同一周波数のBCLK信号を出力できます。

なお、ストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

## 10.2.2 周辺機能クロック (f1、fC32)

周辺機能の動作クロックです。

f1はメインクロック、PLLクロック、または125kHzオンチップオシレータクロックをクロック源とするクロックです。タイマA、タイマB、UART0～UART2、UART5～UART7、SI/O3、SI/O4、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックf1を停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、f1は停止します。

fC32はサブクロックをクロック源とし、タイマA、タイマBで使用します。fC32はサブクロックが供給されているときに使用できます。

この他に、fOCO-SもタイマA、タイマBで使用します。fOCO-SはCM1レジスタのCM14ビットが“0”(125kHzオンチップオシレータ発振)のとき使用できます。

図 10.11 に周辺機能クロックを示します。

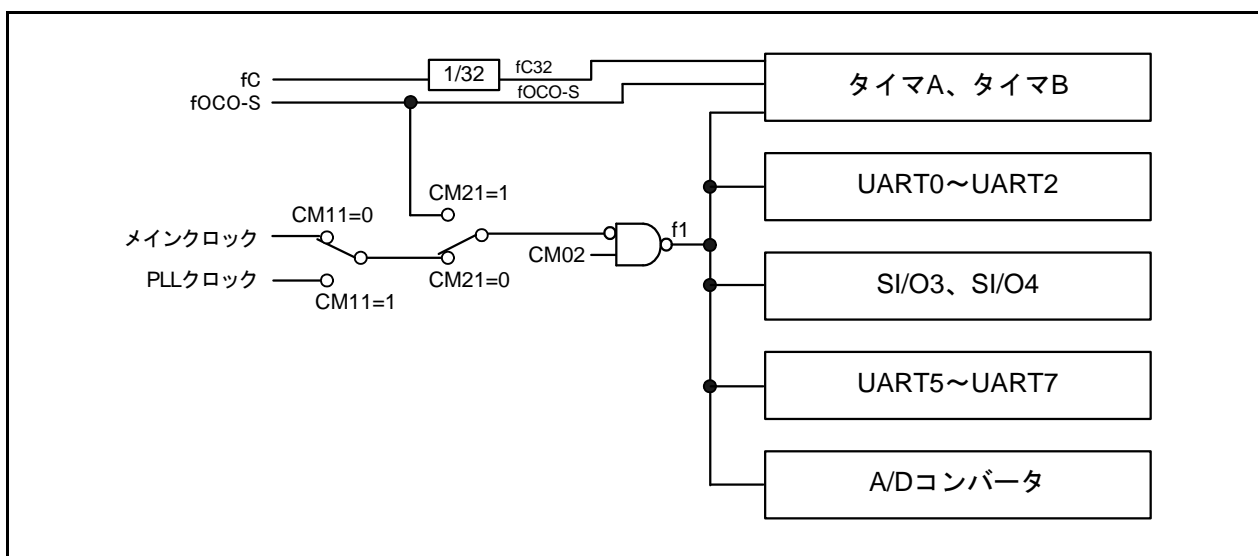


図 10.11 周辺機能クロック

## 10.3 クロック出力機能

シングルチップモード時、CLKOUT端子からf8、f32、またはfCを出力できます。CM0レジスタのCM01～CM00ビットで選択してください。

## 10.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

### 10.4.1 通常動作モード

通常動作モードには、さらに7つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロック、PLLクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

CPUクロックのクロック源を125kHzオンチップオシレータからメインクロックに切り替える場合は、125kHzオンチップオシレータモードで8分周(CM0レジスタのCM06ビット=1)にした後、中速モード(8分周)に切り替えてください。

#### 10.4.1.1 高速モード

メインクロックの1分周がCPUクロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

#### 10.4.1.2 PLL動作モード

PLLクロックがCPUクロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。また、fOCO-Sが発振している場合fOCO-SをタイマA、タイマBのカウントソースに使用できます。PLL動作モードへは高速モードまたは中速モードから移行できます。ウェイトまたはストップモードへ移行するときは、高速モードまたは中速モードに移行してください。

#### 10.4.1.3 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。また、fOCO-Sが発振している場合fOCO-SをタイマA、タイマBのカウントソースに使用できます。

#### 10.4.1.4 低速モード

サブクロックがCPUクロックとなります。周辺機能クロックのクロック源は、CM21ビットが“0”(メインクロックまたはPLLクロック)の場合はメインクロック、CM21ビットが“1”(125kHzオンチップオシレータクロック)の場合は125kHzオンチップオシレータクロックです。

fC32がタイマA、タイマBのカウントソースに使用できます。

#### 10.4.1.5 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックとなります。fC32がタイマA、タイマBのカウントソースに使用できます。また、fOCO-Sが発振している場合fOCO-SをタイマA、タイマBのカウントソースに使用できます。

このモードにすると同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。



### 10.4.1.6 125kHzオンチップオシレータモード

125kHzオンチップオシレータクロックの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、125kHzオンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。高速、中速モードに戻すときにはCM06ビットを“1”(8分周モード)にしてください。

### 10.4.1.7 125kHzオンチップオシレータ低消費電力モード

125kHzオンチップオシレータモードにした後、メインクロックを停止させた状態です。125kHzオンチップオシレータモードと同様にCPUクロックを選択できます。125kHzオンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

表 10.3 クロック関連ビットの設定とモード

モード		CM2レジスタ	CM1レジスタ				CM0レジスタ			
		CM21	CM11	CM14	CM17、CM16	CM07	CM06	CM05	CM04	
PLL動作 モード	分周なし	0	1	-	00b	0	0	0	-	
	2分周	0	1	-	01b	0	0	0	-	
	4分周	0	1	-	10b	0	0	0	-	
	8分周	0	1	-	-	0	1	0	-	
	16分周	0	1	-	11b	0	0	0	-	
高速モード		0	0	-	00b	0	0	0	-	
中速 モード	2分周	0	0	-	01b	0	0	0	-	
	4分周	0	0	-	10b	0	0	0	-	
	8分周	0	0	-	-	0	1	0	-	
	16分周	0	0	-	11b	0	0	0	-	
低速モード		-	0	-	-	1	-	0	1	
低消費電力モード		0	0	-	-	1	1(注1)	1(注1)	1	
125kHz オンチップ オシレータ モード	分周なし	1	0	0	00b	0	0	0	-	
	2分周	1	0	0	01b	0	0	0	-	
	4分周	1	0	0	10b	0	0	0	-	
	8分周	1	0	0	-	0	1	0	-	
	16分周	1	0	0	11b	0	0	0	-	
125kHzオンチップオシ レータ 低消費電力モード		1	0	0	(注2)	0	(注2)	1	-	

—：“0”または“1”

注1. 低速モードでCM05ビットを“1”(メインクロック停止)にすると低消費電力モードになり、同時に、CM06ビットは“1”(8分周モード)になります。

注2. 125kHzオンチップオシレータモードと同様に分周値を選択できます。

## 10.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、CSPRレジスタのCSPROビットが“1”(カウントソースは保護モード有効)の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、125kHzオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

### 10.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックf1を停止する)の場合、ウェイトモード時にf1が停止しますので、消費電力が低減できます。タイマA、タイマBへのクロック源であるfC32、fOCO-Sは停止しません。

### 10.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にしてからウェイトモードにしてください。PLC07ビットを“0”(PLL停止)にすると、消費電力が低減できます。

### 10.4.2.3 ウェイトモード時の端子の状態

表 10.4にウェイトモード時の端子の状態を示します。

表 10.4 ウェイトモード時の端子の状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0～A19、D0～D15、 CS0～CS3、BHE		ウェイトモードに入る直前の状態を保持	バス制御端子にはなりません
RD、WR、WRL、WRH		“H”	
HLDA、BCLK		“H”	
ALE		“L”	
入出力ポート		ウェイトモードに入る直前の状態を保持	ウェイトモードに入る直前の状態を保持
CLKOUT	fC選択時	CLKOUT端子にはなりません	停止しません
	f8、f32選択時		CM02ビットが“0”のとき停止しません CM02ビットが“1”のときウェイトモードに入る直前の状態を保持

#### 10.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$  割り込み、電圧低下検出割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセット、 $\overline{\text{NMI}}$  割り込み、または電圧低下検出割り込みで復帰する場合、周辺機能割り込みの ILVL2～ILVL0 ビットを“000b” (割り込み禁止) にした後、WAIT 命令を実行してください。

周辺機能割り込みは CM02 ビットの影響を受けます。CM02 ビットが“0” (ウェイトモード時、周辺機能クロックを停止しない) の場合は、周辺機能割り込みをウェイトモードからの復帰に使用できます。CM02 ビットが“1” (ウェイトモード時、周辺機能クロックを停止する) の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能割り込みをウェイトモードからの復帰に使用できません。

表 10.5 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件

リセット、割り込み	CM02=0の場合	CM02=1の場合
NMI 割り込み	使用可	使用可
シリアルインタフェース 割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードまたは単掃引モードで使用可	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモードまたはカ ウントソースがfC32、fOCO-Sのと き使用可
INT 割り込み	使用可	使用可
電圧低下検出割り込み	使用可	使用可
ハードウェアリセット1	使用可	
ハードウェアリセット2	使用可 (「6.1 ハードウェアリセット2」参照)	
ウォッチドッグタイマ リセット	カウントソース保護モード有効 (CSPRO=1) のとき使用可	

表 10.5 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT 命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL2～ILVL0 ビットに割り込み優先レベルを設定する。  
また、ウェイトモードからの復帰に使用しない周辺機能割り込みの ILVL2～ILVL0 ビットをすべて“000b” (割り込み禁止) にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。  
周辺機能割り込みで復帰する場合、割り込み要求が発生して CPU クロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときの CPU クロックは、WAIT 命令実行時の CPU クロックと同じクロックです。

### 10.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC1端子とVCC2端子に印加する電圧がVRAM以上のとき、内部RAMは保持されま  
す。VCC1端子とVCC2端子に印加する電圧を2.7V以下にする場合、 $VCC1 = VCC2 \geq VRAM$ にしてください。

また、外部信号によって動作する周辺機能は動作します。表 10.6 にストップモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

表 10.6 ストップモードからの復帰に使用できるリセット、割り込みと使用条件

リセット、割り込み	条件
NMI割り込み	使用可
キー入力割り込み	使用可
INT割り込み	使用可
タイマA割り込み タイマB割り込み	イベントカウンタモードで外部パルスをカウント時、使用可
シリアルインタフェース割り込み	外部クロック選択時、使用可
電圧低下検出割り込み	使用可(「6.2 電圧低下検出割り込み」参照)
ハードウェアリセット1	使用可
ハードウェアリセット2	デジタルフィルタ無効 (VW0C=1) のとき使用可

#### 10.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてからストップモードにしてください。

また、CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にした後、PLC07ビットを“0”(PLL停止)にしてからストップモードにしてください。

#### 10.4.3.2 ストップモード時の端子の状態

表 10.7 にストップモード時の端子の状態を示します。

表 10.7 ストップモード時の端子の状態

端子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、BHE	ストップモードに入る直前の状態を保持	バス制御端子にはなりません
RD、WR、 $\overline{WRL}$ 、WRH	“H”	
HLDA、BCLK	“H”	
ALE	不定	
入出力ポート	ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	CLKOUT端子にはなりません	“H”

### 10.4.3.3 ストップモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、電圧低下検出割り込み、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または電圧低下検出割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”（割り込み禁止）にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。  
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”（割り込み禁止）にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。  
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、電圧低下検出割り込み、または $\overline{\text{NMI}}$ 割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックにしたがって、次のようになります。

ストップモード移行前のCPUクロックがサブクロックの場合

: サブクロック

ストップモード移行前のCPUクロック源がメインクロックの場合

: メインクロックの8分周

ストップモード移行前のCPUクロック源が125kHzオンチップオシレータクロックの場合

: 125kHzオンチップオシレータクロックの8分周

図 10.12にパワーコントロール遷移を示します。

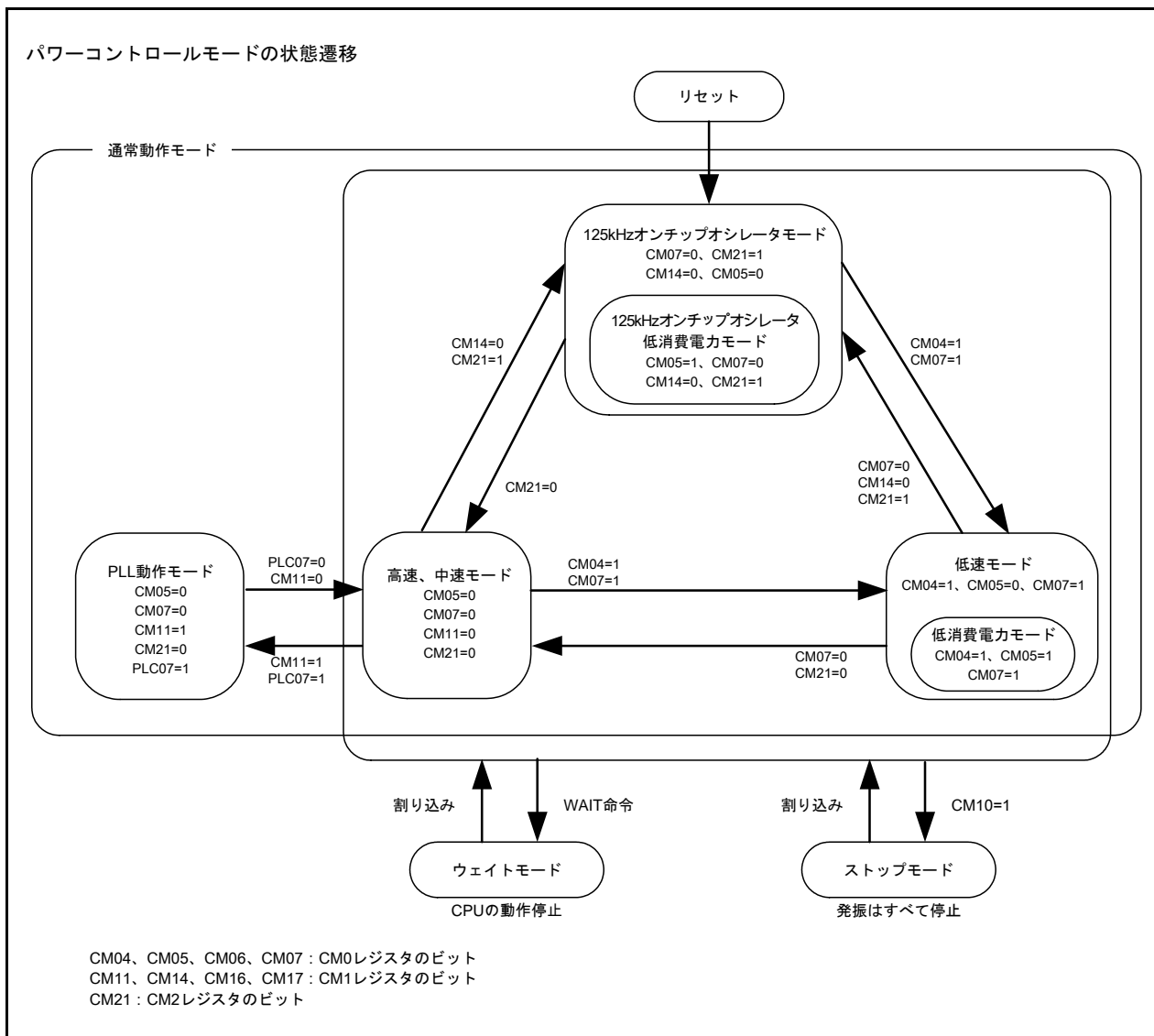


図 10.12 パワーコントロール遷移

## 10.5 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、プログラム暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM11ビット
- CM2レジスタのCM20ビット
- PLC0レジスタの全ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
- (3) PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする

PM21ビットが“1”のとき、WAIT命令を実行しないでください。

## 10.6 発振停止、再発振検出機能

発振停止、再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止、再発振検出時にはリセットまたは発振停止、再発振検出割り込みが発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

発振停止、再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

表 10.8に発振停止、再発振検出機能の仕様を示します。

表 10.8 発振停止、再発振検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2\text{MHz}$
発振停止、再発振検出機能有効条件	CM20ビットを“1”(有効)にする
発振停止、再発振検出時の動作	<ul style="list-style-type: none"> <li>•リセット発生 (CM27ビット=0)</li> <li>•発振停止、再発振検出割り込み発生 (CM27ビット=1)</li> </ul>

### 10.6.1 CM27ビットが“0”(リセット)の場合の動作

CM20ビットが“1”(発振停止、再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します(発振停止検出リセット。「4. SFR」、「5. リセット」参照)。

この状態はハードウェアリセット1またはハードウェアリセット2によって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

### 10.6.2 CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作

メインクロックがCPUクロック源でCM20ビットが“1”(発振停止、再発振検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

- 発振停止、再発振検出割り込み要求が発生する
- CM14ビット=0(125kHzオンチップオシレータ発振)
- CM21ビット=1(125kHzオンチップオシレータクロックがCPUクロック、周辺機能クロックのクロック源)
- CM22ビット=1(メインクロック停止を検出)
- CM23ビット=1(メインクロック停止)

PLLクロックがCPUクロック源でCM20ビットが“1”の場合、メインクロックが停止すると次の状態になります。CM21ビットは変化しませんので、割り込みルーチン内で“1”(125kHzオンチップオシレータクロック)にしてください。

- 発振停止、再発振検出割り込み要求が発生する
- CM14ビット=0(125kHzオンチップオシレータ発振)
- CM22ビット=1(メインクロック停止を検出)
- CM23ビット=1(メインクロック停止)
- CM21ビットは変化しない

CM20ビットが“1”の場合、メインクロックが停止した状態から再発振すると、次の状態になります。

- 発振停止、再発振検出割り込み要求が発生する
- CM14ビット=0(125kHzオンチップオシレータ発振)
- CM22ビット=1(メインクロック再発振を検出)
- CM23ビット=0(メインクロック発振)
- CM21ビットは変化しない



### 10.6.3 発振停止、再発振検出機能使用方法

- 発振停止、再発振検出割り込みは、ウォッチドッグタイマ割り込み、電圧低下検出割り込みとベクタを共用しています。発振停止、再発振検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、割り込みルーチンでCM22ビットを読み、どちらの割り込み要因による割り込み要求かを判定してください。CM22ビットは割り込み判定後、プログラムで“0”（未検出）にしてください。
- 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図 10.13に125kHzオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- 発振停止、再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止、再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止、再発振検出割り込みが許可されます。
- 低速モード時、CM20ビットが“1”で、メインクロックが停止すると、発振停止、再発振検出割り込み要求が発生します。同時に125kHzオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックのクロック源は125kHzオンチップオシレータになります。
- 発振停止、再発振検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”（ウェイトモード時周辺機能クロックを停止しない）にしてください。
- 発振停止、再発振検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、CM20ビットを“0”（発振停止、再発振検出機能無効）にしてください。
- メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

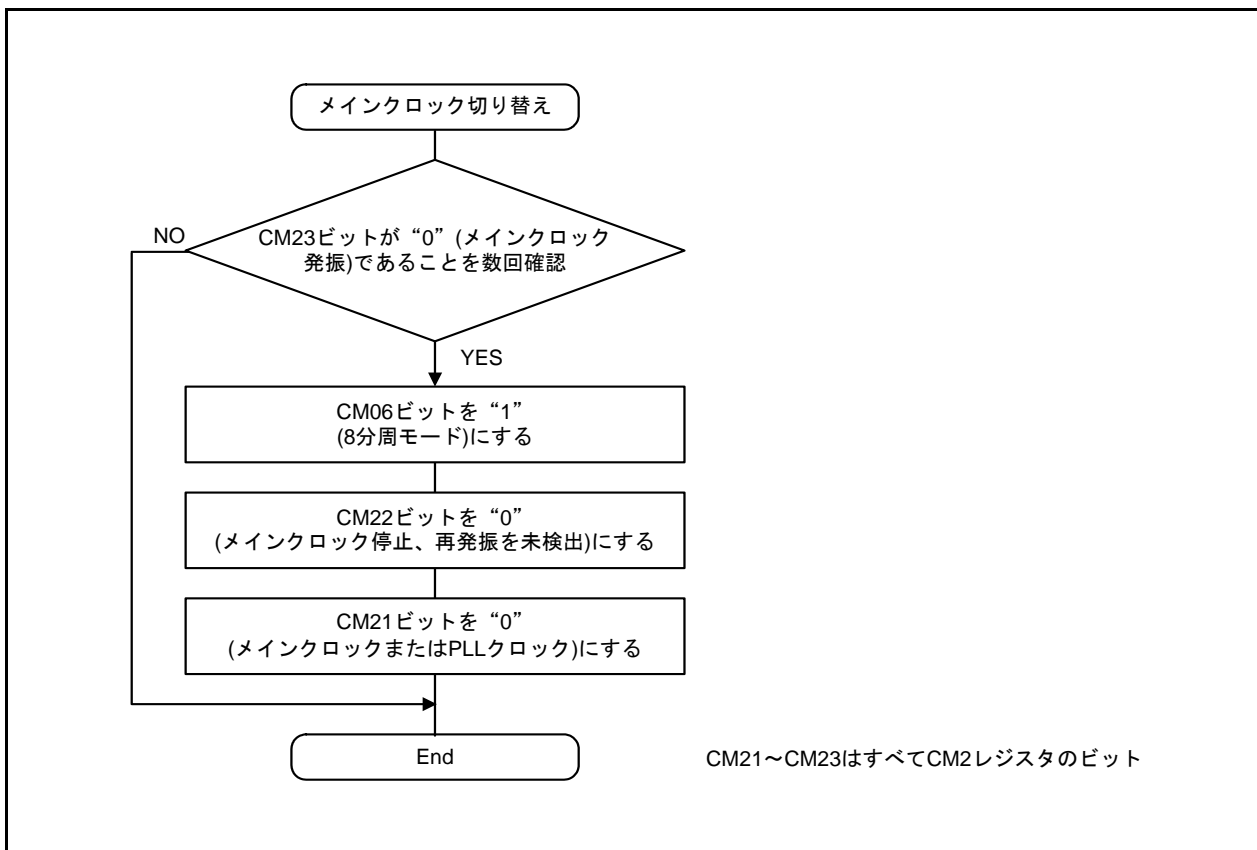


図 10.13 125kHzオンチップオシレータクロックからメインクロックへの切り替え手順

## 11. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図 11.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- PRC0 ビットで保護されるレジスタ : CM0、CM1、CM2、PLC0、PCLKRレジスタ
- PRC1 ビットで保護されるレジスタ : PM0、PM1、PM2、TB2SC、INVC0、INVC1レジスタ
- PRC2 ビットで保護されるレジスタ : PD9、S3C、S4Cレジスタ
- PRC3 ビットで保護されるレジスタ : VCR2、D4INT、VW0Cレジスタ
- PRC6 ビットで保護されるレジスタ : PRG2Cレジスタ

PRC2 ビットを“1”（書き込み許可状態）にした後、任意のSFRに書き込みを実行すると“0”（書き込み禁止状態）になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1、PRC3、PRC6ビットは任意のSFRに書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

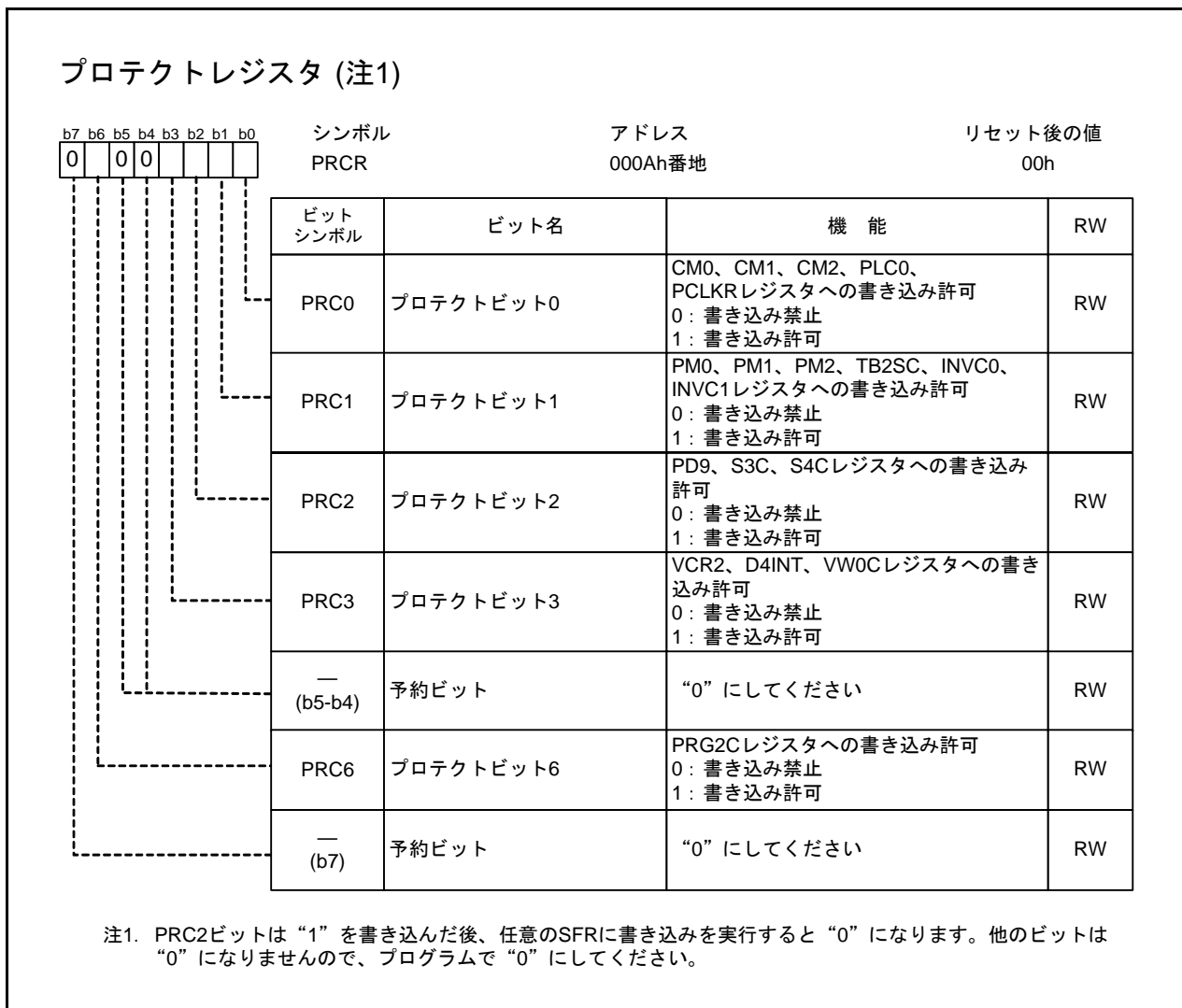


図 11.1 PRCRレジスタ

## 12. 割り込み

### 12.1 割り込みの分類

図 12.1に割り込みの分類を示します。

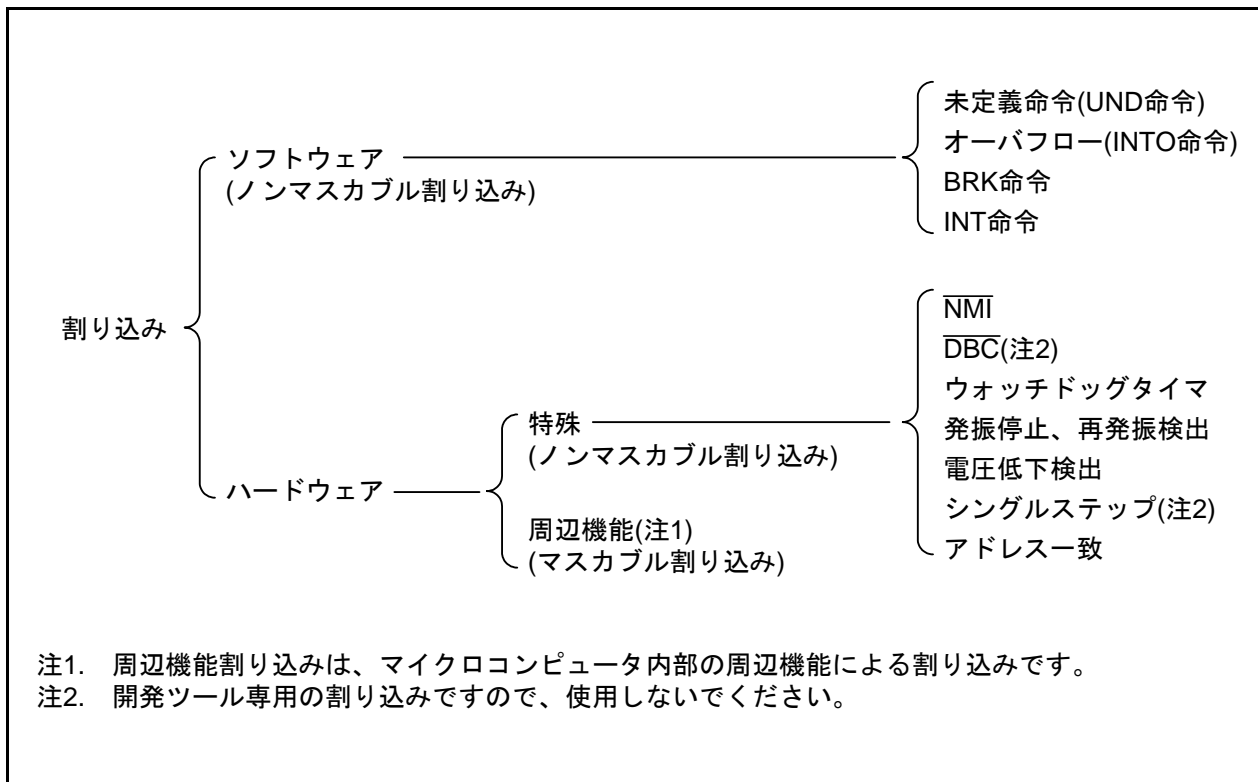


図 12.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

## 12.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

### 12.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

### 12.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが“1”（演算の結果がオーバフロー）の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

### 12.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

### 12.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号2～31、41～51は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”（ISPを選択）にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

## 12.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

### 12.3.1 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

#### 12.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は「12.7 NMI割り込み」を参照してください。

#### 12.3.1.2 $\overline{\text{DBC}}$ 割り込み

開発ツール専用の割り込みですので、使用しないでください。

#### 12.3.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

#### 12.3.1.4 発振停止、再発振検出割り込み

発振停止、再発振検出機能による割り込みです。発振停止、再発振検出機能の詳細は「10. クロック発生回路」を参照してください。

#### 12.3.1.5 電圧低下検出割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

#### 12.3.1.6 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

#### 12.3.1.7 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”（アドレス一致割り込み許可）の場合、対応するRMAD0～RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.9 アドレス一致割り込み」を参照してください。

### 12.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表 12.2～12.3 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

## 12.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図 12.2 に割り込みベクタを示します。

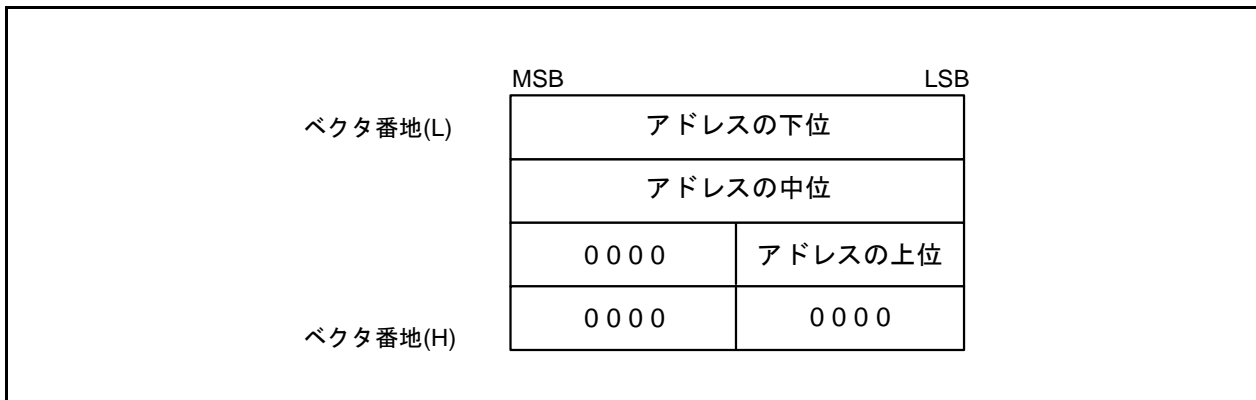


図 12.2 割り込みベクタ

### 12.4.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh番地からFFFFFh番地に配置されています。表 12.1 に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「22.2 フラッシュメモリ書き換え禁止機能」を参照してください。

表 12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	参照先
未定義命令 (UND 命令)	FFFDCh～FFFDfH	M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル
オーバフロー (INTO 命令)	FFFE0h～FFFE3h	
BRK 命令(注2)	FFFE4h～FFFE7h	
アドレス一致	FFFE8h～FFFEbH	12.9 アドレス一致割り込み
シングルステップ(注1)	FFFECh～FFFEfH	—
ウォッチドッグタイマ、 発振停止、再発振検出、 電圧低下検出	FFFF0h～FFFF3h	13. ウォッチドッグタイマ、 10. クロック発生回路、 6. 電圧検出回路
DBC(注1)	FFFF4h～FFFF7h	—
NMI	FFFF8h～FFFFbH	12.7 NMI 割り込み
リセット	FFFFCh～FFFFFh	5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFE6h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行。

### 12.4.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表 12.2 ~ 12.3に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表 12.2 可変ベクタテーブル(1)

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注5)	+0~+3(0000h~0003h)	0	M16C/60、M16C/20、M16C/ Tinyシリーズソフトウェアマ ニュアル
—(予約)		1	
INT7	+8~+11(0008h~000Bh)	2	12.6 INT割り込み
INT6	+12~+15(000Ch~000Fh)	3	
INT3	+16~+19(0010h~0013h)	4	
タイマB5	+20~+23(0014h~0017h)	5	15. タイマ
タイマB4、UART1バス衝突検出(注4、6)	+24~+27(0018h~001Bh)	6	15. タイマ
タイマB3、UART0バス衝突検出(注4、6)	+28~+31(001Ch~001Fh)	7	17. シリアルインタフェース
SI/O4、INT5(注2)	+32~+35(0020h~0023h)	8	12.6 INT割り込み
SI/O3、INT4(注2)	+36~+39(0024h~0027h)	9	17. シリアルインタフェース
UART2バス衝突検出(注6)	+40~+43(0028h~002Bh)	10	17. シリアルインタフェース
DMA0	+44~+47(002Ch~002Fh)	11	14. DMAC
DMA1	+48~+51(0030h~0033h)	12	
キー入力割り込み	+52~+55(0034h~0037h)	13	12.8 キー入力割り込み
A/Dコンバータ	+56~+59(0038h~003Bh)	14	18. A/Dコンバータ
UART2送信、NACK2(注3)	+60~+63(003Ch~003Fh)	15	17. シリアルインタフェース
UART2受信、ACK2(注3)	+64~+67(0040h~0043h)	16	
UART0送信、NACK0(注3)	+68~+71(0044h~0047h)	17	
UART0受信、ACK0(注3)	+72~+75(0048h~004Bh)	18	
UART1送信、NACK1(注3)	+76~+79(004Ch~004Fh)	19	
UART1受信、ACK1(注3)	+80~+83(0050h~0053h)	20	
タイマA0	+84~+87(0054h~0057h)	21	
タイマA1	+88~+91(0058h~005Bh)	22	15. タイマ
タイマA2	+92~+95(005Ch~005Fh)	23	
タイマA3	+96~+99(0060h~0063h)	24	
タイマA4	+100~+103(0064h~0067h)	25	
タイマB0	+104~+107(0068h~006Bh)	26	
タイマB1	+108~+111(006Ch~006Fh)	27	
タイマB2	+112~+115(0070h~0073h)	28	

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSRレジスタのIFSR6、7ビットで選択してください。

注3. I<sup>2</sup>Cモード時にNACK、ACKが割り込み要因になります。

注4. IFSR2AレジスタのIFSR26、27ビットで選択してください。

注5. Iフラグによる禁止はできません。

注6. バス衝突検出：IEモード時はバス衝突検出が割り込み要因になります。

I<sup>2</sup>Cモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

表 12.3 可変ベクタテーブル(2)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	参照先
INT0	+116～+119(0074h～0077h)	29	12.6 INT割り込み
INT1	+120～+123(0078h～007Bh)	30	
INT2	+124～+127(007Ch～007Fh)	31	
INT命令割り込み(注3)	+128～+131(0080h～0083h) ～ +160～+163(00A0h～00A3h)	32 ～ 40	M16C/60、M16C/20、M16C/ Tinyシリーズソフトウェアマ ニュアル
DMA2	+164～+167(00A4h～00A7h)	41	14. DMAC
DMA3	+168～+171(00A8h～00ABh)	42	
UART5バス衝突検出(注4)	+172～+175(00ACh～00AFh)	43	17. シリアルインタフェース
UART5送信、NACK5(注2)	+176～+179(00B0h～00B3h)	44	
UART5受信、ACK5(注2)	+180～+183(00B4h～00B7h)	45	
UART6バス衝突検出(注4)	+184～+187(00B8h～00BBh)	46	
UART6送信、NACK6(注2)	+188～+191(00BCh～00BFh)	47	
UART6受信、ACK6(注2)	+192～+195(00C0h～00C3h)	48	
UART7バス衝突検出(注4)	+196～+199(00C4h～00C7h)	49	
UART7送信、NACK7(注2)	+200～+203(00C8h～00CBh)	50	
UART7受信、ACK7(注2)	+204～+207(00CCh～00CFh)	51	
INT命令割り込み	+208～211(00D0～00D3h)～+ 252～255(00FCh～00FFh)	52～63	

注1. INTBレジスタが示す番地からの相対番地です。

注2. I2Cモード時にNACK、ACKが割り込み要因になります。

注3. Iフラグによる禁止はできません。

注4. バス衝突検出：IEモード時はバス衝突検出が割り込み要因になります。

I2Cモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。



## 12.5 割り込み制御

マスクブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図 12.3～12.4に割り込み制御レジスタを示します。

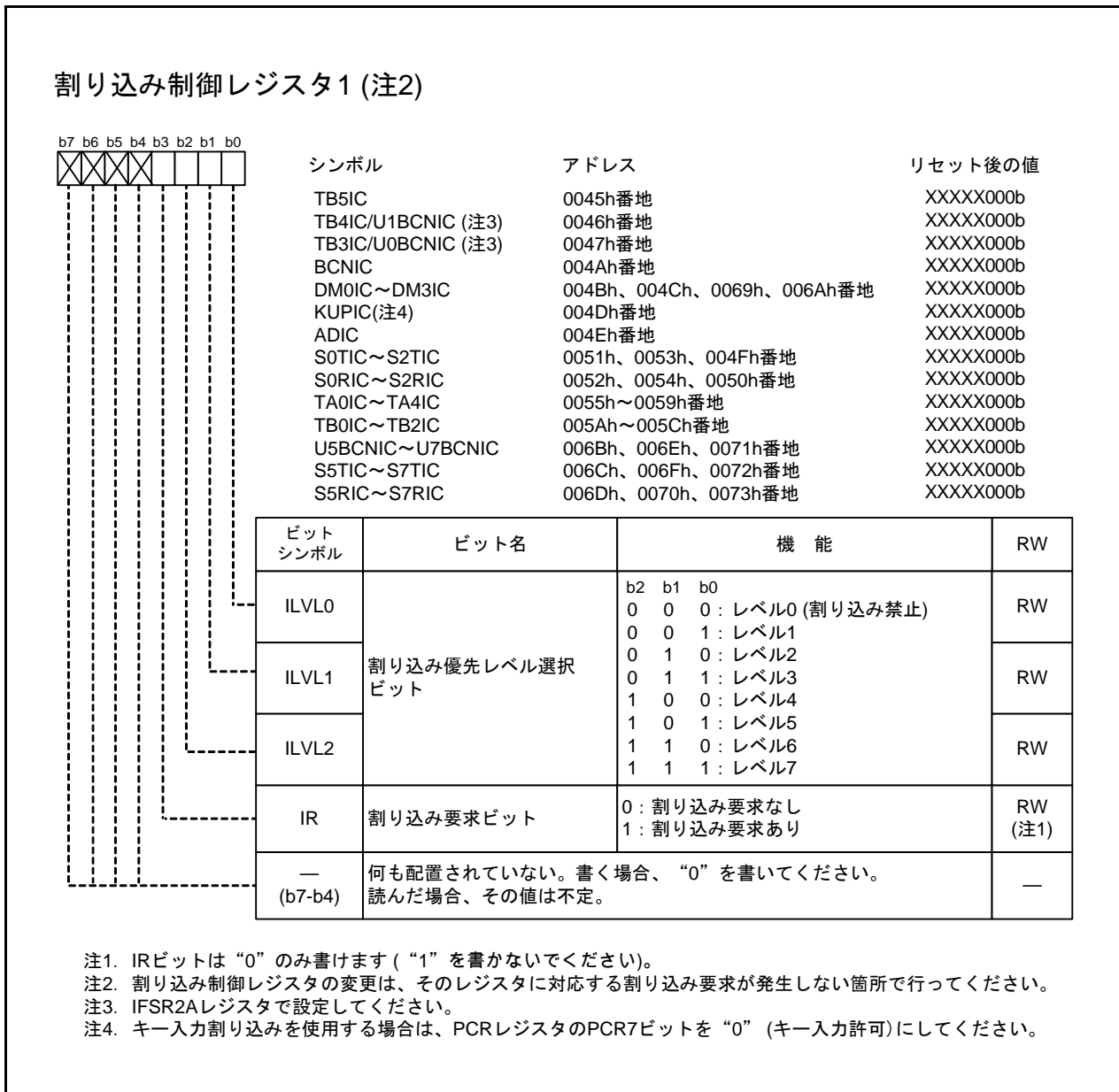


図 12.3 割り込み制御レジスタ (1)

## 割り込み制御レジスタ2 (注2)

シンボル	アドレス	リセット後の値
INT7IC (注6、7)	0042h番地	XX00X000b
INT6IC (注6、7)	0043h番地	XX00X000b
INT3IC (注4)	0044h番地	XX00X000b
S4IC/INT5IC (注4)	0048h番地	XX00X000b
S3IC/INT4IC (注4)	0049h番地	XX00X000b
INT0IC~INT2IC	005Dh~005Fh番地	XX00X000b

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	RW
ILVL1		0 0 1 : レベル1	RW
ILVL2		0 1 0 : レベル2	
		0 1 1 : レベル3	RW
IR	割り込み要求ビット	1 0 0 : レベル4	RW (注1)
		1 0 1 : レベル5	
POL	極性切り替えビット (注3、5)	1 1 0 : レベル6	RW
		1 1 1 : レベル7	
— (b5)	予約ビット	“0” にしてください。	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

- 注1. IRビットは“0”のみ書けます(“1”を書かないでください)。  
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。  
 注3. IFSRレジスタのIFSRiビット(i=0~5)が“1”(両エッジ)の場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。同様にIFSR3AレジスタのIFSR30、IFSR31ビットが“1”(両エッジ)の場合、INT6IC、INT7ICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。  
 注4. BYTE端子が“L”でメモリ拡張モード、マイクロプロセッサモード時は、INT5IC~INT3ICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にしてください。  
 注5. IFSRレジスタのIFSR6ビットが“0”(SI/O3選択)時はS3ICレジスタの、IFSR7ビットが“0”(SI/O4選択)時はS4ICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。  
 注6. メモリ拡張モード、マイクロプロセッサモード時は、INT6IC、INT7ICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にしてください。  
 注7. INT6割り込みを使用する場合は、PCRレジスタのPCR5ビットを“0”(INT6入力許可)にしてください。INT7割り込みを使用する場合は、PCRレジスタのPCR6ビットを“0”(INT7入力許可)にしてください。

図 12.4 割り込み制御レジスタ (2)

### 12.5.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、マスカブル割り込みは許可され、“0”（禁止）にするとすべてのマスカブル割り込みは禁止されます。

### 12.5.2 IRビット

IRビットは割り込み要求が発生すると、“1”（割り込み要求あり）になります。割り込み要求が受け付けられた後、IRビットは“0”（割り込み要求なし）になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

### 12.5.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表 12.4に割り込み優先レベルの設定、表 12.5にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 12.4 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い ↓ 高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 12.5 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

### 12.5.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図12.5に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。  
Iフラグは“0”(割り込み禁止)  
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)  
Uフラグは“0”(ISPを指定)  
ただし、ソフトウェア割り込み番号32～63のINT命令を実行した場合、Uフラグ変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

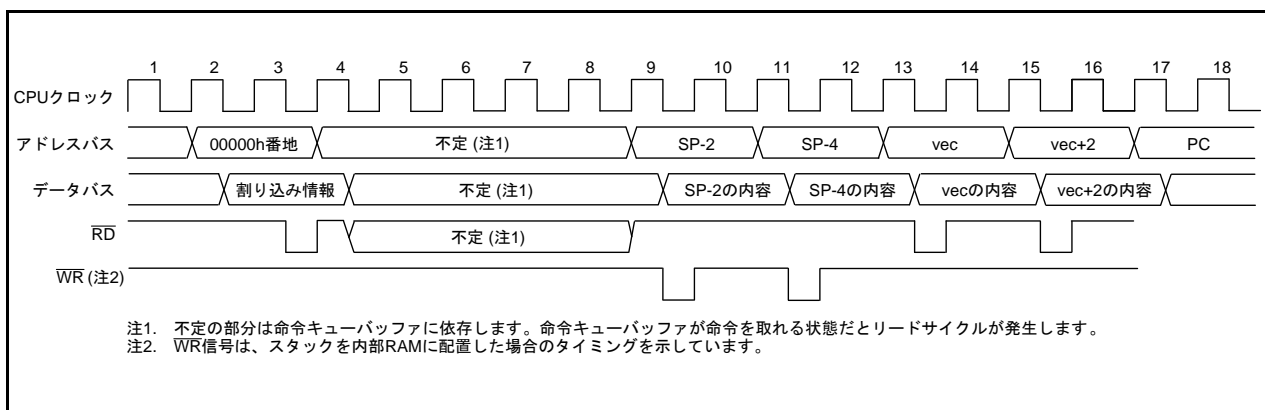


図 12.5 割り込みシーケンスの実行時間

### 12.5.5 割り込み応答時間

図 12.6 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図 12.6の(a))と割り込みシーケンスを実行する時間(図 12.6の(b))で構成されます。

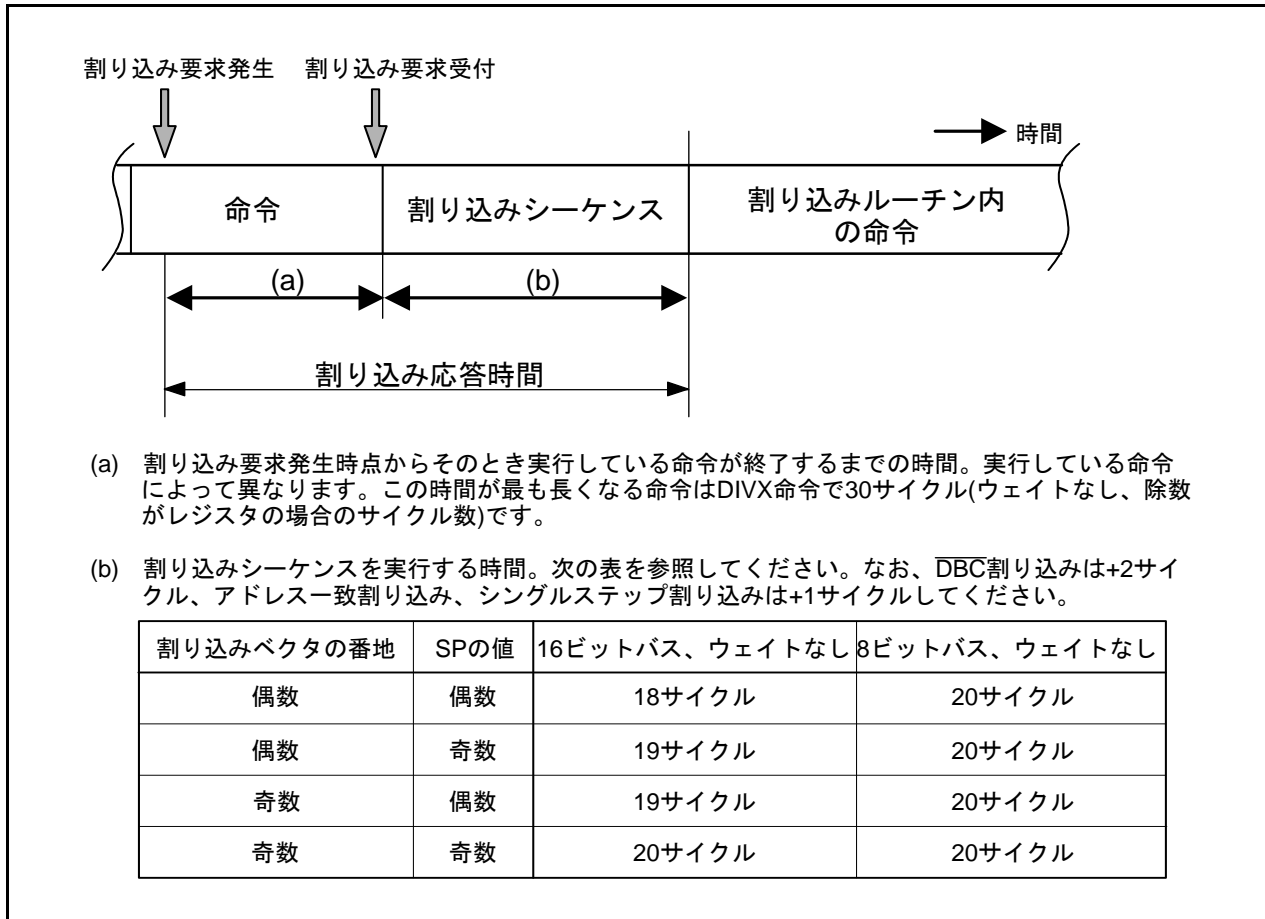


図 12.6 割り込み応答時間

### 12.5.6 割り込み要求受付時のIPLの変化

マスクブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込みの割り込み要求が受け付けられると表 12.6 に示す値が IPL に設定されます。表 12.6 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 12.6 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 $\overline{NMI}$ 、発振停止、再発振検出、電圧低下検出	7
ソフトウェア、アドレス一致、 $\overline{DBC}$ 、シングルステップ	変化しない

### 12.5.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図12.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

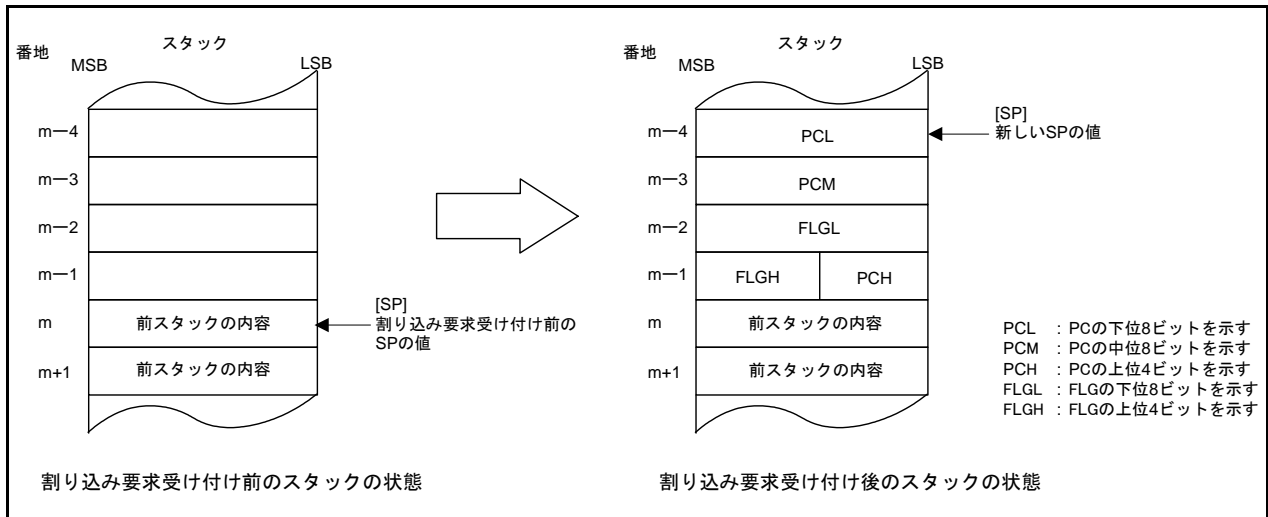


図 12.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図12.8にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

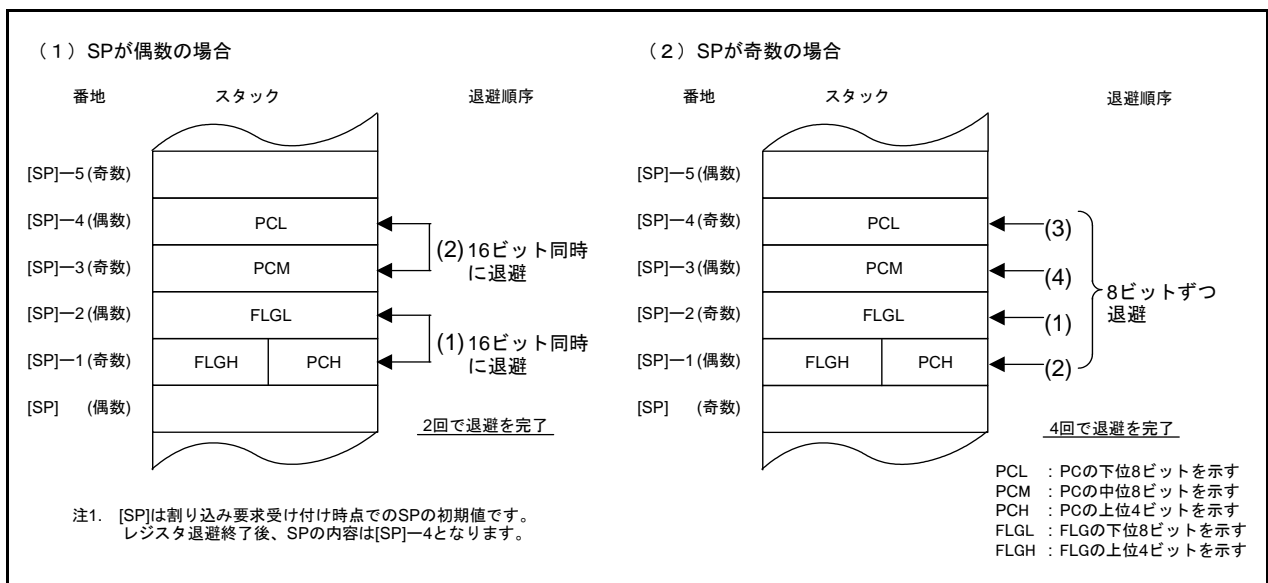


図 12.8 レジスタ退避動作

### 12.5.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

### 12.5.9 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスクブル割り込み(周辺機能割り込み)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図 12.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

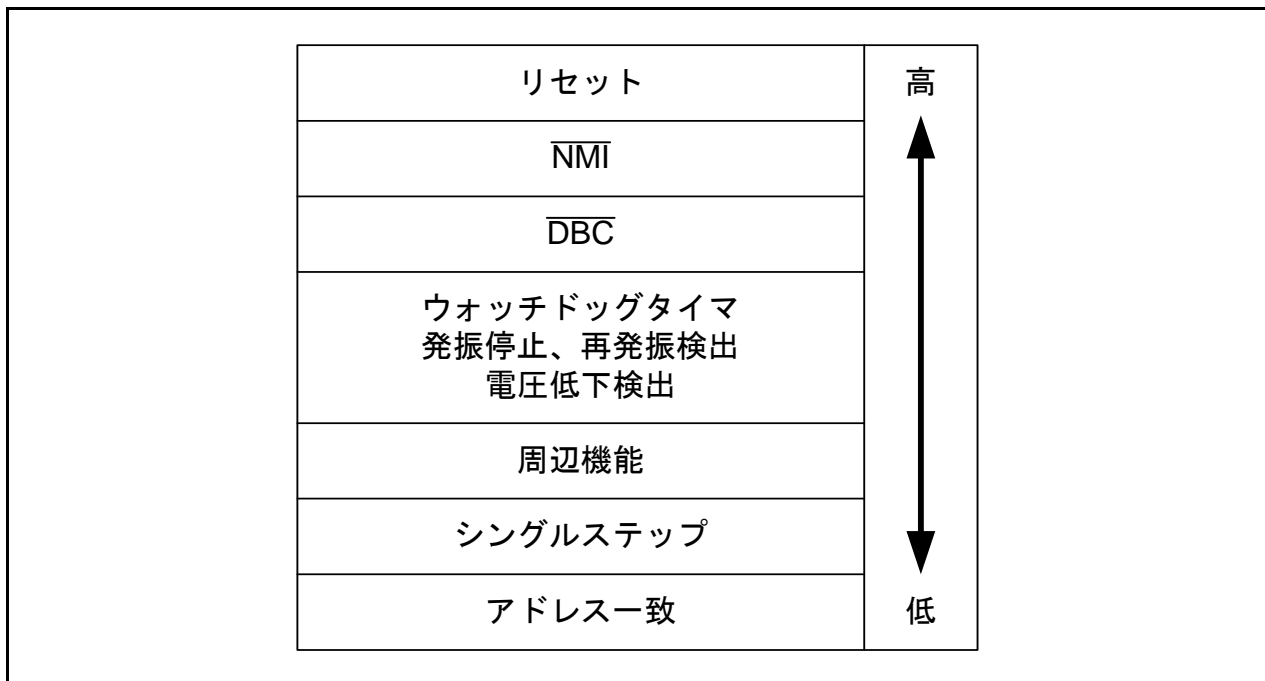


図 12.9 ハードウェア割り込みの割り込み優先順位

### 12.5.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図 12.10に割り込み優先レベル判定回路を示します。

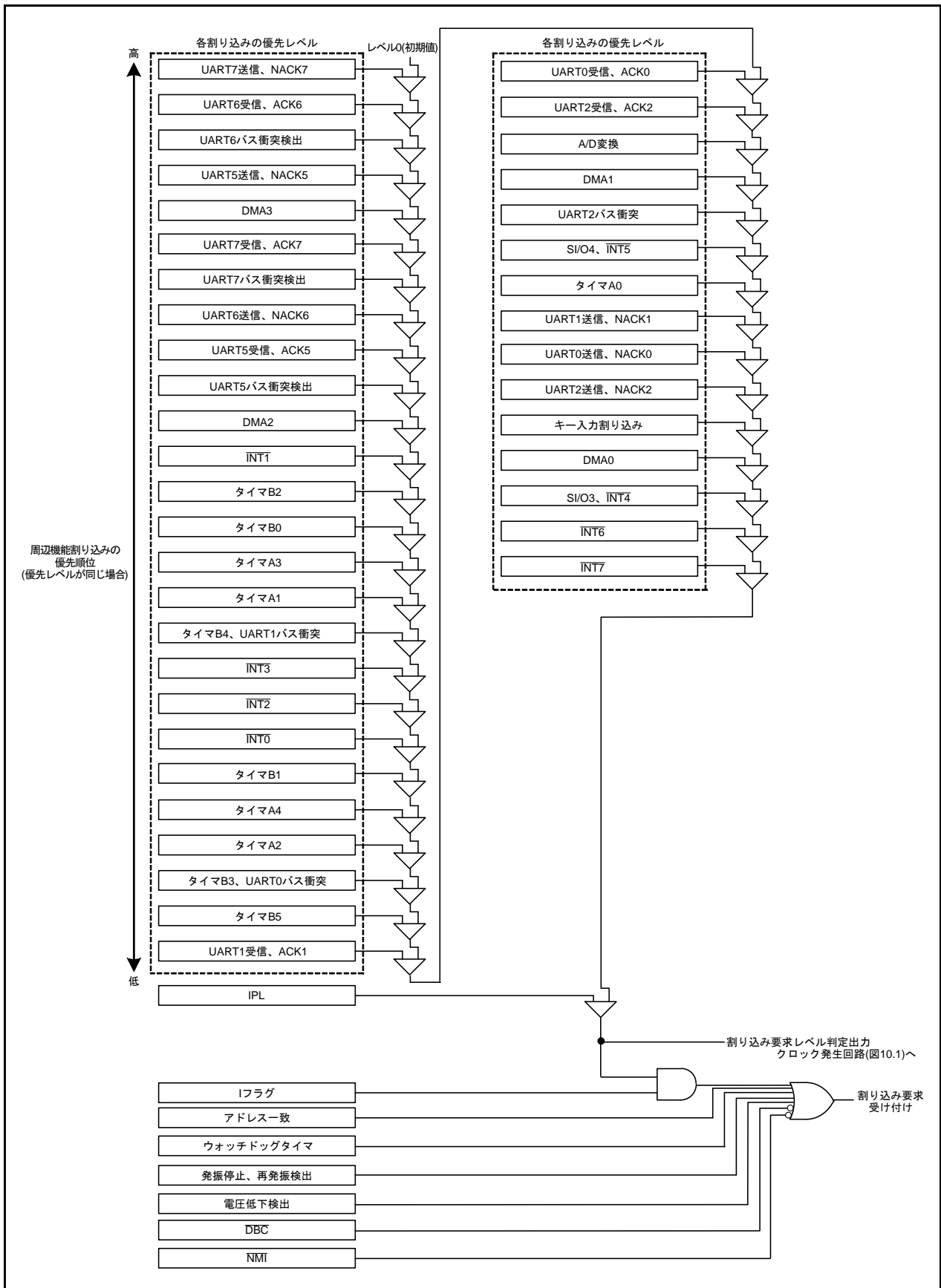


図 12.10 割り込み優先レベル判定回路



## 12.6 $\overline{\text{INT}}$ 割り込み

$\overline{\text{INT}}_i$ 割り込み( $i=0\sim 7$ )は外部入力による割り込みです。極性をIFSRレジスタのIFSR $i$ ビット、IFSR3AレジスタのIFSR30、IFSR31ビットで選択できます。

$\overline{\text{INT}}_4$ とSI/O3、 $\overline{\text{INT}}_5$ とSI/O4は、ベクタや割り込み制御レジスタを共用しています。 $\overline{\text{INT}}_4$ 割り込みを使用するときは、IFSRレジスタのIFSR6ビットを“1”( $\overline{\text{INT}}_4$ )に、 $\overline{\text{INT}}_5$ 割り込みを使用するときは、IFSRレジスタのIFSR7ビットを“1”( $\overline{\text{INT}}_5$ )にしてください。

IFSR6、IFSR7ビットを変更した後、対応するIRビットを“0”（割り込み要求なし）にしてから、割り込みを許可してください。

$\overline{\text{INT}}_6$ 割り込みを使用するときは、PCRレジスタのPCR5ビットを“0”( $\overline{\text{INT}}_6$ 入力許可)に、 $\overline{\text{INT}}_7$ 割り込みを使用するときは、PCRレジスタのPCR6ビットを“0”( $\overline{\text{INT}}_7$ 入力許可)にしてください。

図 12.11にIFSRレジスタを、図 12.12にIFSR2A、IFSR3A、PCRレジスタを示します。

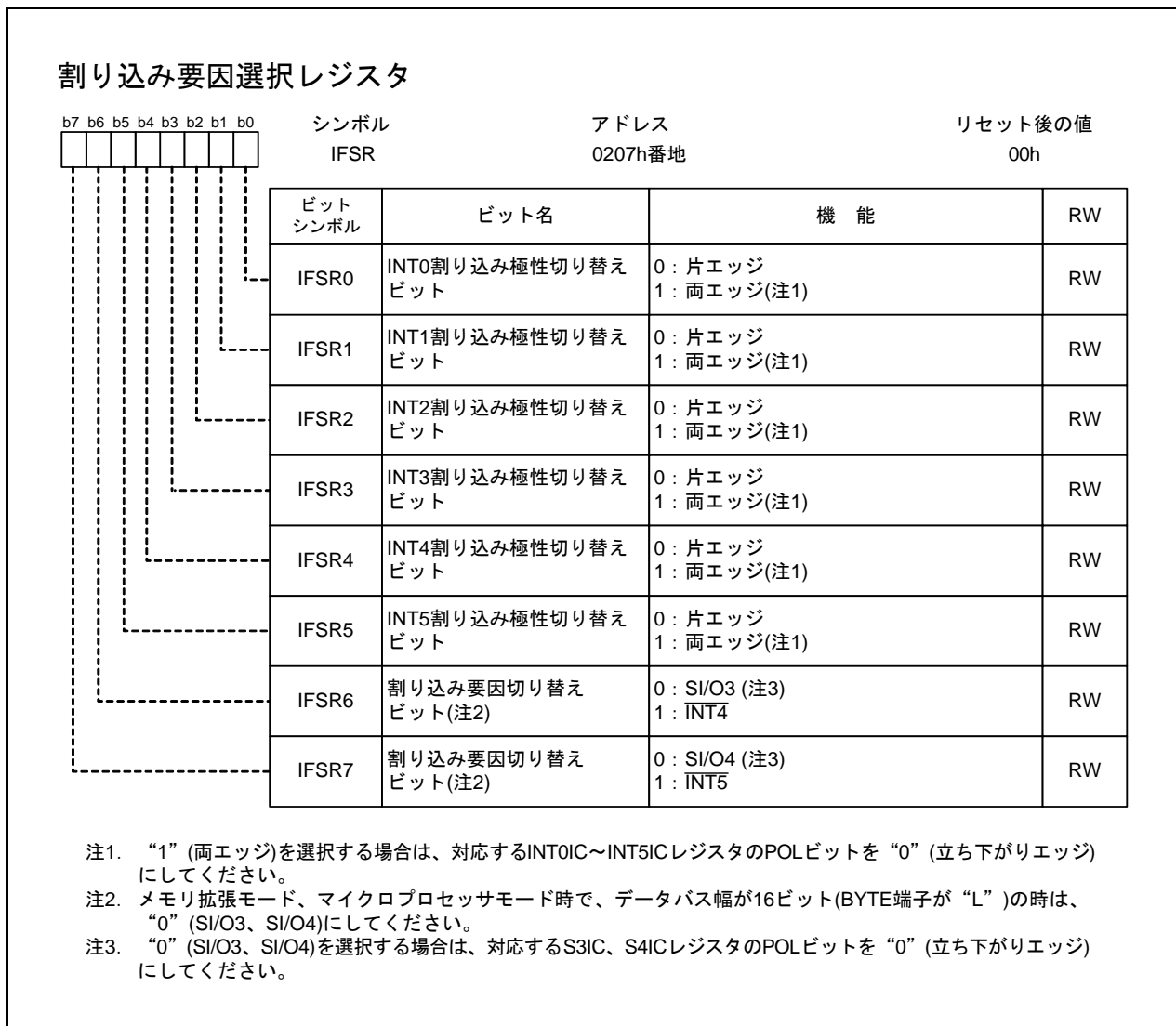


図 12.11 IFSRレジスタ

## 割り込み要因選択レジスタ2

ビットシンボル	ビット名	機能	RW
— (b5-b0)	予約ビット	“0” にしてください。	RW
IFSR26	割り込み要因切り替えビット (注1)	0: タイマB3 1: UART0バス衝突検出	RW
IFSR27	割り込み要因切り替えビット (注2)	0: タイマB4 1: UART1バス衝突検出	RW

注1. タイマB3とUART0バス衝突検出は、ベクタや割り込み制御レジスタを共用しています。タイマB3割り込みを使用するときは、IFSR26ビットを“0”(タイマB3)にしてください。UART0バス衝突検出割り込みを使用するときは、IFSR26ビットを“1”にしてください。

注2. タイマB4とUART1バス衝突検出は、ベクタや割り込み制御レジスタを共用しています。タイマB4割り込みを使用するときは、IFSR27ビットを“0”(タイマB4)にしてください。UART1バス衝突検出割り込みを使用するときは、IFSR27ビットを“1”にしてください。

## 割り込み要因選択レジスタ3

ビットシンボル	ビット名	機能	RW
IFSR30	INT6割り込み極性切り替えビット	0: 片エッジ 1: 両エッジ (注1)	RW
IFSR31	INT7割り込み極性切り替えビット	0: 片エッジ 1: 両エッジ (注1)	RW
— (b7-b2)	予約ビット	“0” にしてください。	RW

注1. “1”を選択する場合は、対応するINT6IC~INT7ICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

## ポート制御レジスタ

ビットシンボル	ビット名	機能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の入力レベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合、“0”を書いてください。		RW
— (b4-b3)	予約ビット	“0” にしてください。	RW
PCR5	INT6入力許可ビット (注1)	0: 許可 1: 禁止	RW
PCR6	INT7入力許可ビット (注2)	0: 許可 1: 禁止	RW
PCR7	キー入力許可ビット (注3)	0: 許可 1: 禁止	RW

注1. AN2\_4端子をアナログ入力に使用する場合は、PCR5ビットを“1”(INT6入力禁止)にしてください。

注2. AN2\_5端子をアナログ入力に使用する場合は、PCR6ビットを“1”(INT7入力禁止)にしてください。

注3. AN4~AN7端子をアナログ入力に使用する場合は、PCR7ビットを“1”(キー入力禁止)にしてください。

図 12.12 IFSR2A、IFSR3A、PCR レジスタ

## 12.7 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。 $\overline{\text{NMI}}$ 割り込みを使用する場合は、PM2レジスタのPM24ビットを“1”(NMI割り込み許可)にしてください。

## 12.8 キー入力割り込み

P10\_4～P10\_7のうち、PD10レジスタのPD10\_4～PD10\_7ビットを“0”(入力)にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P10\_4～P10\_7をアナログ入力端子として使用しないでください。図12.13にキー入力割り込みのブロック図を示します。なお、PD10\_4～PD10\_7ビットを“0”(入力モード)にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。キー入力割り込みを使用するときは、PCRレジスタのPCR7ビットを“0”(キー入力許可)にしてください。

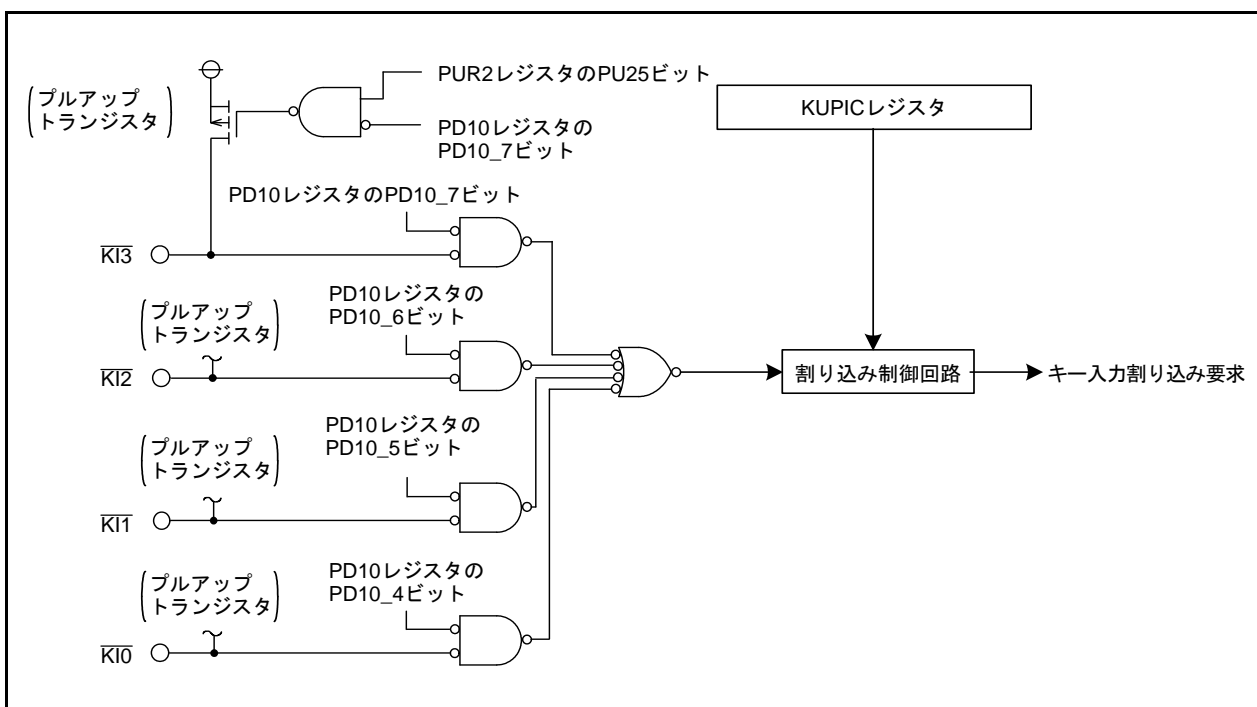


図 12.13 キー入力割り込みのブロック図

## 12.9 アドレス一致割り込み

RMAD<sub>i</sub>レジスタ (i=0~3) で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMAD<sub>i</sub>レジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビット、AIER2レジスタのAIER20、AIER21ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.5.7 レジスタ退避」参照)は、RMAD<sub>i</sub>レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 12.7にアドレス一致割り込み要求受け付け時に退避されるPCの値、表 12.8にアドレス一致割り込み要因と関連レジスタの対応を示します。

図 12.14にAIER、AIER2、RMAD0~RMAD3レジスタを示します。

表 12.7 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD <sub>i</sub> レジスタで示される番地の命令	退避されるPCの値
• 16ビットオペコード命令 • 8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S    #IMM8,dest    SUB.B:S    #IMM8,dest    AND.B:S    #IMM8,dest OR.B:S    #IMM8,dest    MOV.B:S    #IMM8,dest    STZ        #IMM8,dest STNZ      #IMM8,dest    STZX      #IMM81,#IMM82,dest CMP.B:S    #IMM8,dest    PUSHM     src            POPM dest JMPS      #IMM8        JSRS      #IMM8 MOV.B:S    #IMM,dest (ただし、dest = A0またはA1)	RMAD <sub>i</sub> レジスタで示される番地+2
上記以外	RMAD <sub>i</sub> レジスタで示される番地+1

注1. 退避されるPCの値: 「12.5.7 レジスタ退避」参照

表 12.8 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

### アドレス一致割り込み許可レジスタ

b7 b6 b5 b4 b3 b2 b1 b0
シンボル
アドレス
リセット後の値  
AIER
020Eh番地
XXXXXX00b

ビットシンボル	ビット名	機能	RW
AIER0	アドレス一致割り込み0許可ビット	0: 禁止 1: 許可	RW
AIER1	アドレス一致割り込み1許可ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

### アドレス一致割り込み許可レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0
シンボル
アドレス
リセット後の値  
AIER2
020Fh番地
XXXXXX00b

ビットシンボル	ビット名	機能	RW
AIER20	アドレス一致割り込み2許可ビット	0: 禁止 1: 許可	RW
AIER21	アドレス一致割り込み3許可ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

### アドレス一致割り込みレジスタ*i* (i=0~3)

(b23) (b19) (b16) (b15) (b8)
シンボル
アドレス
リセット後の値  
b7 b3 b0 b7 b0 b7 b0
RMAD0
0212h~0210h番地
X00000h  
RMAD1
0216h~0214h番地
X00000h  
RMAD2
021Ah~0218h番地
X00000h  
RMAD3
021Eh~021Ch番地
X00000h

機能	設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ (b19-b0)	00000h~FFFFFFh	RW
何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

図 12.14 AIER、AIER2、RMAD0~RMAD3レジスタ

## 13. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表 13.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.4 ウォッチドッグタイマリセット」を参照してください。

図 13.1にウォッチドッグタイマのブロック図を、図 13.2にWDTR、WDTS、WDCレジスタを、図 13.3にCSPRレジスタ、OFS1番地を示します。

表 13.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	125kHzオンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> <li>リセット後、自動的にカウントを開始</li> <li>WDTSレジスタへの書き込みによりカウントを開始</li> </ul>	
カウント停止条件	ストップモード、ウェイトモード、ホールド状態	なし
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く</li> <li>アンダフロー</li> </ul>	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> <li>プリスケアラの分周比 WDCレジスタのWDC7ビットで選択</li> <li>カウントソース保護モード リセット後に有効か無効かはOFS1番地のCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択</li> <li>リセット後のウォッチドッグタイマの起動または停止 OFS1番地のWDTONビット(フラッシュメモリ)で選択</li> </ul>	

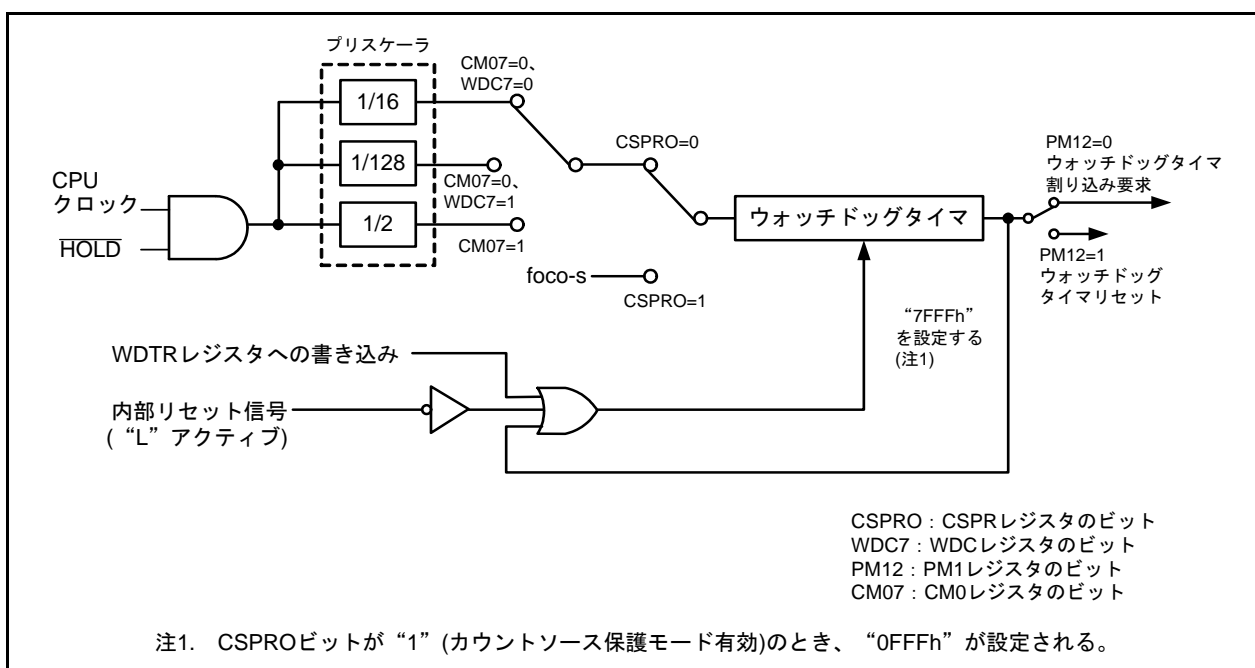


図 13.1 ウォッチドッグタイマのブロック図

## ウォッチドッグタイマリセットレジスタ

b7 ┌───────────┐ │          │ └───────────┘ b0	シンボル WDTR	アドレス 037Dh番地	リセット後の値 不定
機 能			RW
“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。(注2) ウォッチドッグタイマの初期値はカウントソース保護モード無効時に“7FFh”、 カウントソース保護モード有効時に“0FFFh”が設定される。(注1)			WO

注1. CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、ウォッチドッグタイマに“0FFFh”が設定されます。

注2. ウォッチドッグタイマ割り込み発生後は、WDTRレジスタでウォッチドッグタイマを初期化してください。

## ウォッチドッグタイマスタートレジスタ

b7 ┌───────────┐ │          │ └───────────┘ b0	シンボル WDTS	アドレス 037Eh番地	リセット後の値 不定
機 能			RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。			WO

## ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 ┌───┴───┐ │ 0 X │ └───┴───┘	シンボル WDC	アドレス 037Fh番地	リセット後の値 00XXXXXXb
ビット シンボル	ビット名	機 能	RW
— (b4-b0)	ウォッチドッグタイマの上位ビット		RO
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
— (b6)	予約ビット	“0”にしてください。	RW
WDC7	プリスケラ選択ビット	0 : 16分周 1 : 128分周	RW

図 13.2 WDTR、WDTS、WDC レジスタ

### カウントソース保護モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル CSPR	アドレス 037Ch番地	リセット後の値(注1) 00h
0	0	0	0	0	0	0	0			
ビット シンボル		ビット名		機能		RW				
— (b6-b0)		予約ビット		“0” にしてください		RW				
CSPRO		カウントソース保護モード 選択ビット(注2)		0: カウントソース保護モード無効 1: カウントソース保護モード有効		RW				

注1. OFS1番地のCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。  
プログラムでは“0”にできません。

### オプション機能選択番地 (注1、5)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル OFS1	アドレス FFFFh番地	出荷時の値 FFh (注2)
1	1	1	1	1	1	1	1			
ビット シンボル		ビット名		機能		RW				
WDTON		ウォッチドッグタイマ起動選択 ビット(注3、4)		0: リセット後、ウォッチドッグタイマは 自動的に起動 1: リセット後、ウォッチドッグタイマは 停止状態		RW				
— (b2-b1)		予約ビット		“1” にしてください		RW				
ROMCP1		ROMコードプロテクト ビット		0: ROMコードプロテクト有効 1: ROMコードプロテクト解除		RW				
— (b6-b4)		予約ビット		“1” にしてください		RW				
CSPROINI		リセット後カウントソース 保護モード選択ビット(注3)		0: リセット後、カウントソース保護 モード有効 1: リセット後、カウントソース保護 モード無効		RW				

注1. OFS1番地はフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。

注2. OFS1番地を含むブロックを消去すると、OFS1番地は“FFh”になります。

注3. CSPROINIビットを“0” (リセット後、カウントソース保護モード有効)にするとWDTONビットも“0” (リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

注4. ユーザブートモード時にも有効です。

注5. OFS1番地の選択は、シングルチップモードまたはメモリ拡張モードで使用できます。  
マイクロプロセッサモードではOFS1番地を使用できません。マイクロプロセッサモードで使用する場合は、マイコン内部ROMを消去してから使用してください。

図 13.3 CSPR レジスタ、OFS1 番地



### 13.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。  
表 13.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表 13.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	CM0レジスタのCM07ビットが“0”(メインクロック、PLLクロック、125kHzオンチップオシレータ)の場合 $\frac{\text{プリスケアラの分周比}(n) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$ (注1) n:16または128(WDCレジスタのWDC7ビットで選択)  CM0レジスタのCM07ビットが“1”(サブクロック)の場合 $\frac{\text{プリスケアラの分周比}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$ (注1)  例: CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く</li> <li>アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS1番地(FFFFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> <li>WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
カウント停止条件	ストップモード、ウェイトモード、ホールド状態(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> <li>PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み</li> <li>PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.4 ウォッチドッグタイマリセット」参照)</li> </ul>

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTON ビットはプログラムでは変更できません。WDTON ビットを設定する場合は、フラッシュライタでFFFFFFh番地のb0に“0”を書き込んでください。

### 13.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは125kHz オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表 13.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表 13.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	125kHzオンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 125kHzオンチップオシレータクロック  例：125kHzオンチップオシレータクロックが125 kHzの場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く</li> <li>アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS1番地(FFFFh番地)のWDTONビット(注1)で選択 <ul style="list-style-type: none"> <li>WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
カウント停止条件	なし(カウント開始後はウェイトモード、ホールド状態でも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.4 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> <li>CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される               <ul style="list-style-type: none"> <li>-ウォッチドッグタイマに0FFFhを設定</li> <li>-CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)</li> <li>-PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)</li> </ul> </li> <li>カウントソース保護モードでは、次の状態になる               <ul style="list-style-type: none"> <li>-CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)</li> <li>-CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、125kHzオンチップオシレータは停止しない)</li> </ul> </li> </ul>

注1. WDTON ビットはプログラムでは変更できません。WDTON ビットを設定する場合は、フラッシュライタでFFFFh番地のb0に“0”を書き込んでください。

注2. OFS1番地のCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタでFFFFh番地のb7に“0”を書き込んでください。

## 14. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図14.1にDMACブロック図、表14.1にDMACの仕様、図14.2~14.4にDMAC関連レジスタを示します。

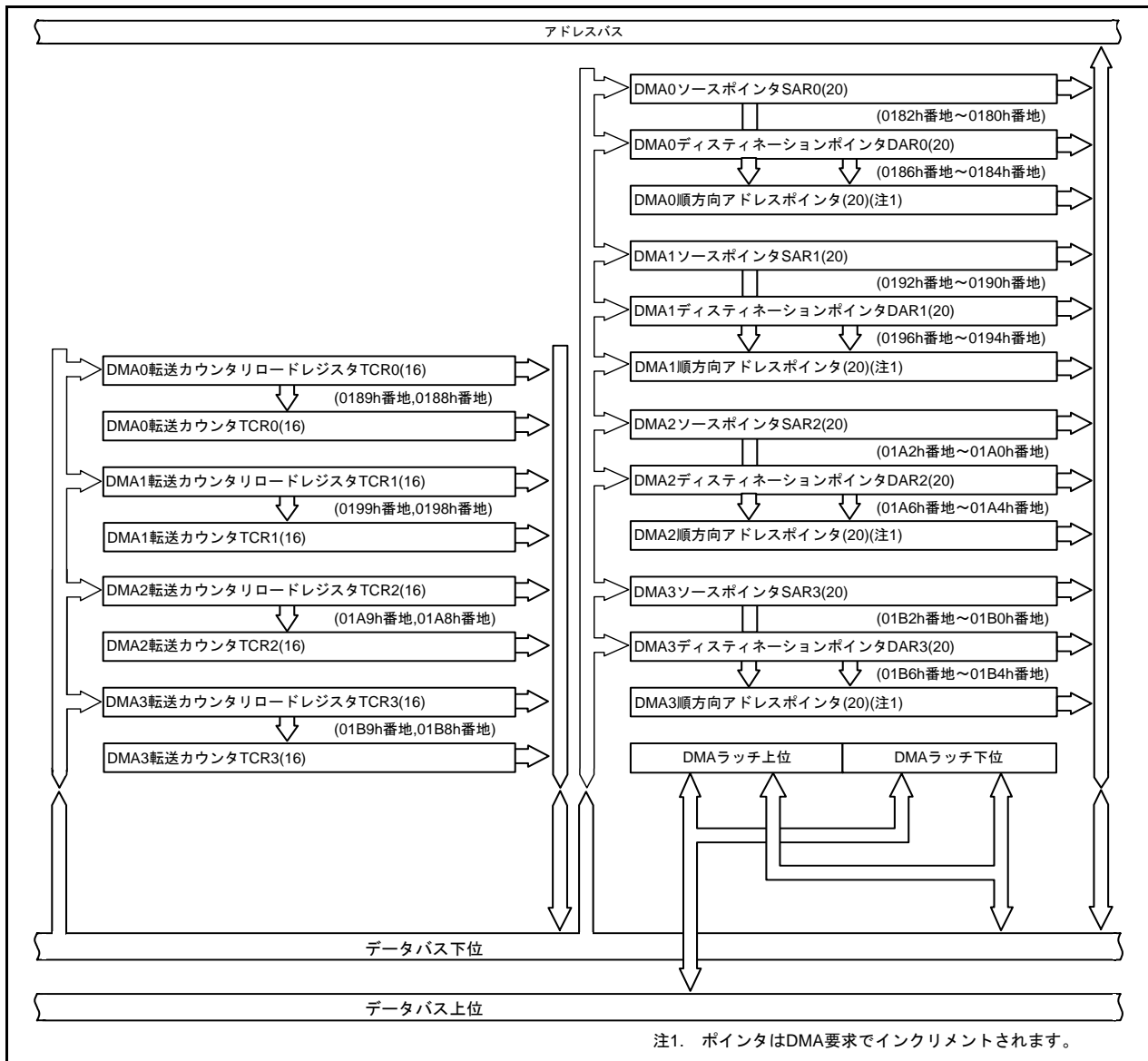


図 14.1 DMACブロック図

DMA要求は、DMiSLレジスタ(i=0~3)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL4~DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、Iフラグ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えませんので、DMA転送では割り込み制御レジスタのIRビットは変化しません。

DMiCONレジスタのDMAEビットが“1”(DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「14.4 DMA要求」を参照してください。

表 14.1 DMACの仕様(注3)

項目	仕様	
チャンネル数	4チャンネル(サイクルスチール方式)	
転送空間	<ul style="list-style-type: none"> <li>• 1Mバイトの任意の空間から固定番地</li> <li>• 固定番地から1Mバイトの任意の空間</li> <li>• 固定番地から固定番地</li> </ul>	
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)	
DMA 要求要因(注1、2)	INT0～INT7端子の立ち下がりエッジ INT0～INT7端子の両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0～UART2、UART5～UART7送信割り込み要求 UART0～UART2、UART5～UART7受信/ACK割り込み要求 SI/O3、SI/O4割り込み要求 A/D変換割り込み要求 ソフトウェアトリガ	
チャンネル優先順位	DMA0 > DMA1 > DMA2 > DMA3 (DMA0が最優先)	
転送単位	8ビットまたは16ビット	
転送番地方向	順方向または固定(転送元と転送先の両方を順方向にしないでください)	
転送モード	単転送	DMAi転送カウンタがアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA 割り込み要求発生タイミング	DMAi転送カウンタがアンダフローしたとき	
DMA 転送開始	DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA 要求が発生するごとにデータ転送が開始される	
DMA 転送停止	単転送	<ul style="list-style-type: none"> <li>• DMAEビットを“0”(禁止)にする</li> <li>• DMAi転送カウンタがアンダフローした後</li> </ul>
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング	DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード	
DMA 転送サイクル数	SFR、内部RAM間:3サイクル	

注1. DMA 転送は、各割り込みに影響を与えません。また、DMA 転送はIフラグ、割り込み制御レジスタの影響を受けません。

注2. 選択できる要因はチャンネルによって異なります。

注3. DMAC 関連レジスタ(0180h～01BFh番地)をDMACでアクセスしないでください。

i = 0～3

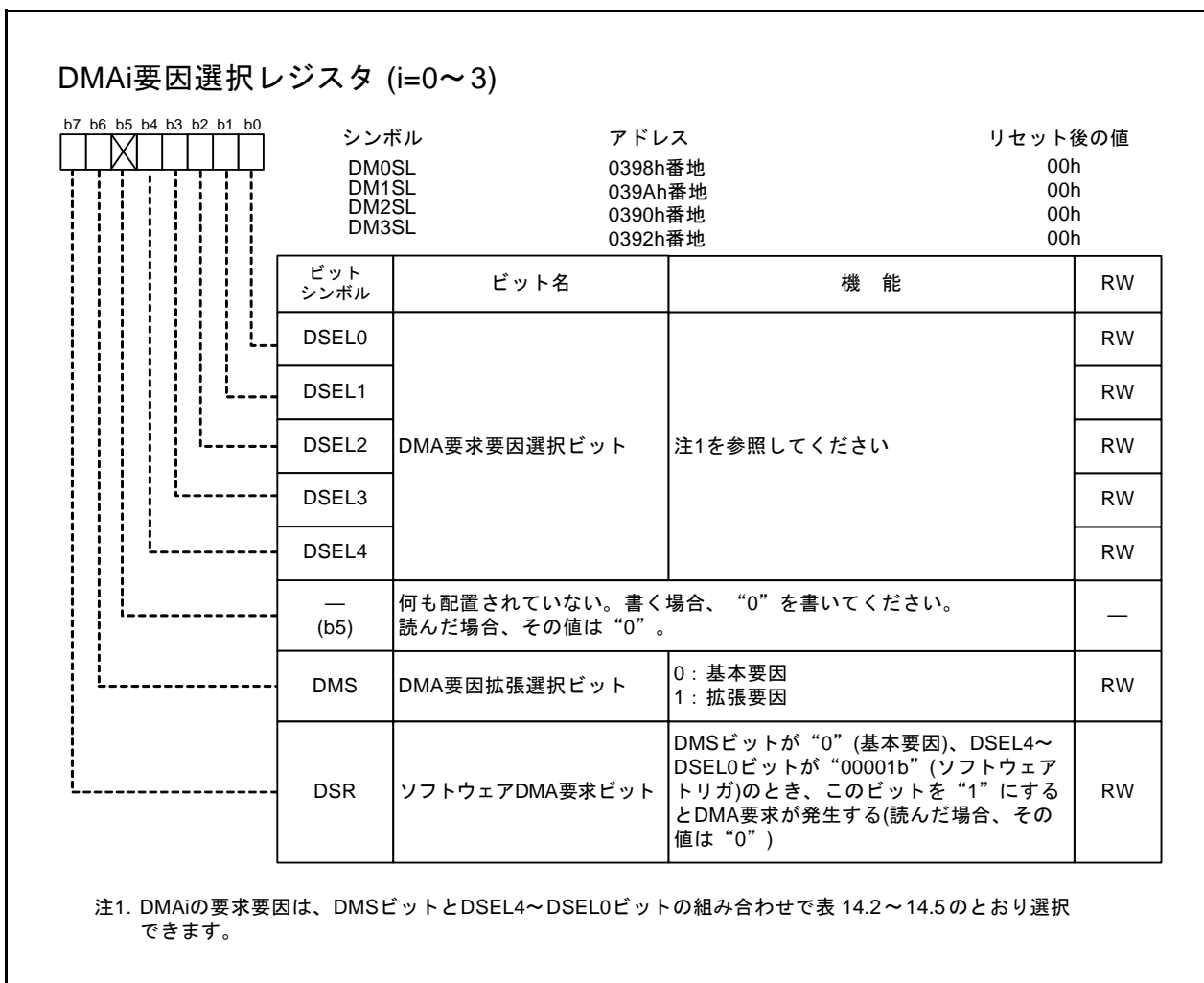


図 14.2 DM0SL、DM1SL、DM2SL、DM3SLレジスタ(1)

表 14.2 DMA0の場合

DSEL4~DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
00000b	INT0端子の立ち下がリエッジ	-
00001b	ソフトウェアトリガ	-
00010b	タイマA0	-
00011b	タイマA1	-
00100b	タイマA2	-
00101b	タイマA3	-
00110b	タイマA4	INT0端子の両エッジ
00111b	タイマB0	タイマB3
01000b	タイマB1	タイマB4
01001b	タイマB2	タイマB5
01010b	UART0送信	-
01011b	UART0受信	-
01100b	UART2送信	-
01101b	UART2受信	-
01110b	A/Dコンバータ	-
01111b	UART1送信	-
10000b	UART1受信	INT4端子の立ち下がリエッジ
10001b	UART5送信	INT4端子の両エッジ
10010b	UART5受信	-
10011b	UART6送信	-
10100b	UART6受信	-
10101b	UART7送信	-
10110b	UART7受信	-
10111b	-	-
11XXXb	-	-

X: “0” または “1” -: 設定しないでください。

表 14.3 DMA1の場合

DSEL4~DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
00000b	INT1端子の立ち下がリエッジ	-
00001b	ソフトウェアトリガ	-
00010b	タイマA0	-
00011b	タイマA1	-
00100b	タイマA2	-
00101b	タイマA3	SI/O3
00110b	タイマA4	SI/O4
00111b	タイマB0	INT1端子の両エッジ
01000b	タイマB1	-
01001b	タイマB2	-
01010b	UART0送信	-
01011b	UART0受信/ACK0	-
01100b	UART2送信	-
01101b	UART2受信/ACK2	-
01110b	A/Dコンバータ	-
01111b	UART1受信/ACK1	-
10000b	UART1送信	INT5端子の立ち下がリエッジ
10001b	UART5送信	INT5端子の両エッジ
10010b	UART5受信/ACK5	-
10011b	UART6送信	-
10100b	UART6受信/ACK6	-
10101b	UART7送信	-
10110b	UART7受信/ACK7	-
10111b	-	-
11XXXb	-	-

X: “0” または “1” -: 設定しないでください。

表 14.4 DMA2の場合

DSEL4~DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
00000b	INT2端子の立ち下がリエッジ	-
00001b	ソフトウェアトリガ	-
00010b	タイマA0	-
00011b	タイマA1	-
00100b	タイマA2	-
00101b	タイマA3	-
00110b	タイマA4	INT2端子の両エッジ
00111b	タイマB0	タイマB3
01000b	タイマB1	タイマB4
01001b	タイマB2	タイマB5
01010b	UART0送信	-
01011b	UART0受信	-
01100b	UART2送信	-
01101b	UART2受信	-
01110b	A/Dコンバータ	-
01111b	UART1送信	-
10000b	UART1受信	INT6端子の立ち下がリエッジ
10001b	UART5送信	INT6端子の両エッジ
10010b	UART5受信	-
10011b	UART6送信	-
10100b	UART6受信	-
10101b	UART7送信	-
10110b	UART7受信	-
10111b	-	-
11XXXb	-	-

X: "0" または "1" -: 設定しないでください。

表 14.5 DMA3の場合

DSEL4~DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
00000b	INT3端子の立ち下がリエッジ	-
00001b	ソフトウェアトリガ	-
00010b	タイマA0	-
00011b	タイマA1	-
00100b	タイマA2	-
00101b	タイマA3	SI/O3
00110b	タイマA4	SI/O4
00111b	タイマB0	INT3端子の両エッジ
01000b	タイマB1	-
01001b	タイマB2	-
01010b	UART0送信	-
01011b	UART0受信/ACK0	-
01100b	UART2送信	-
01101b	UART2受信/ACK2	-
01110b	A/Dコンバータ	-
01111b	UART1受信/ACK1	-
10000b	UART1送信	INT7端子の立ち下がリエッジ
10001b	UART5送信	INT7端子の両エッジ
10010b	UART5受信/ACK5	-
10011b	UART6送信	-
10100b	UART6受信/ACK6	-
10101b	UART7送信	-
10110b	UART7受信/ACK7	-
10111b	-	-
11XXXb	-	-

X: "0" または "1" -: 設定しないでください。

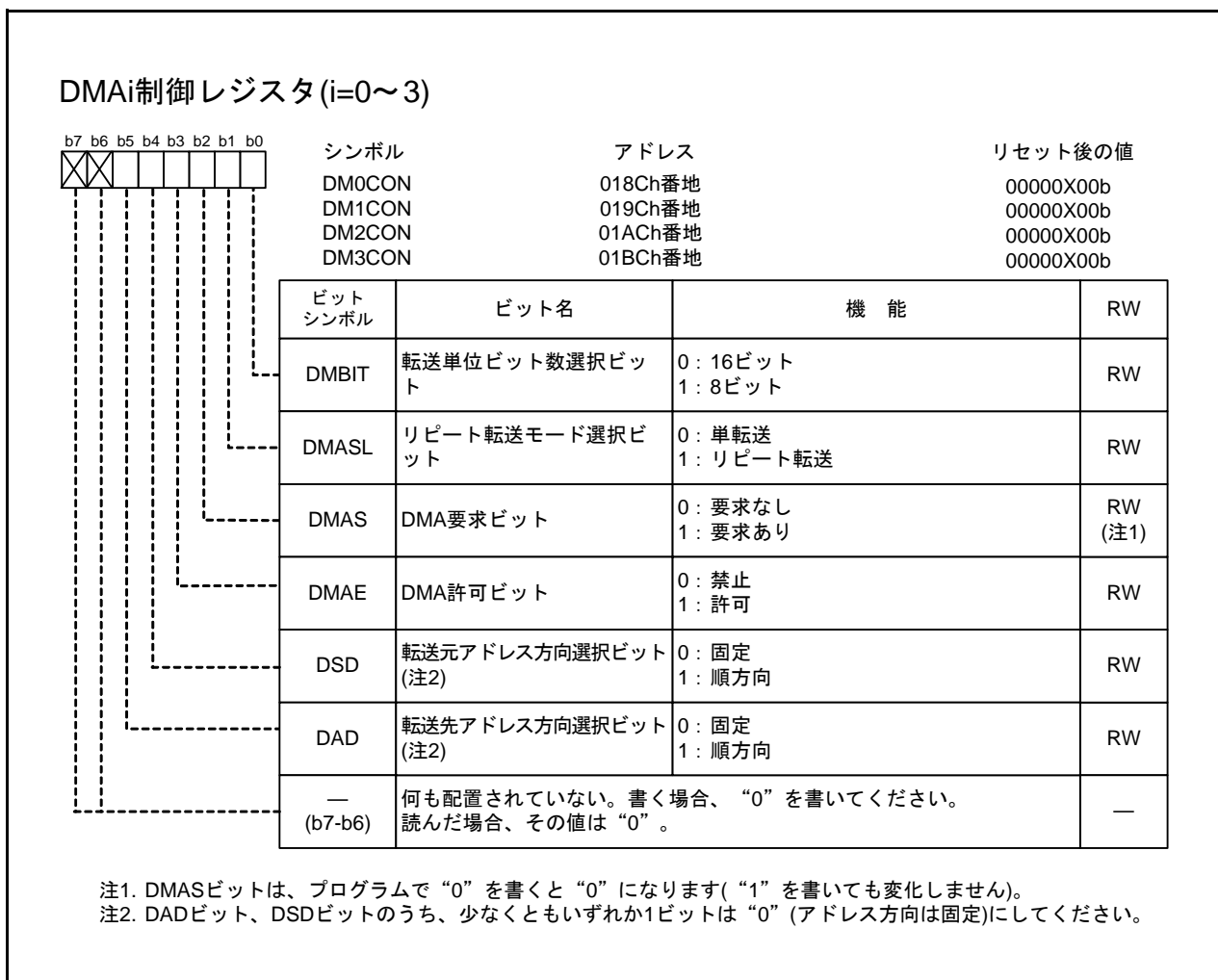


図 14.3 DM0CON、DM1CON、DM2CON、DM3CON レジスタ



## DMAiソースポインタ(i=0~3)(注1)

(b23) b7	(b19) b3	(b16) b0	(b15) b7	(b8) b0	b7	b0															
<table border="1"> <thead> <tr> <th>シンボル</th> <th>アドレス</th> <th>リセット後の値</th> </tr> </thead> <tbody> <tr> <td>SAR0</td> <td>0182h~0180h番地</td> <td>0XXXXXh</td> </tr> <tr> <td>SAR1</td> <td>0192h~0190h番地</td> <td>0XXXXXh</td> </tr> <tr> <td>SAR2</td> <td>01A2h~01A0h番地</td> <td>0XXXXXh</td> </tr> <tr> <td>SAR3</td> <td>01B2h~01B0h番地</td> <td>0XXXXXh</td> </tr> </tbody> </table>							シンボル	アドレス	リセット後の値	SAR0	0182h~0180h番地	0XXXXXh	SAR1	0192h~0190h番地	0XXXXXh	SAR2	01A2h~01A0h番地	0XXXXXh	SAR3	01B2h~01B0h番地	0XXXXXh
シンボル	アドレス	リセット後の値																			
SAR0	0182h~0180h番地	0XXXXXh																			
SAR1	0192h~0190h番地	0XXXXXh																			
SAR2	01A2h~01A0h番地	0XXXXXh																			
SAR3	01B2h~01B0h番地	0XXXXXh																			
機能			設定範囲	RW																	
転送元番地を設定してください			00000h~FFFFFFh	RW																	
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。				—																	

注1. DMiCONレジスタのDSDビットが“0”(固定)の場合は、DMiCONレジスタのDMAEビットが“0”(DMA禁止)のとき書いてください。  
DSDビットが“1”(順方向)の場合は、いつでも書けます。  
DSDビットが“1”かつDMAEビットが“1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。  
それ以外では書いた値が読めます。

## DMAiディステーションポインタ(i=0~3)(注1)

(b23) b7	(b19) b3	(b16) b0	(b15) b7	(b8) b0	b7	b0															
<table border="1"> <thead> <tr> <th>シンボル</th> <th>アドレス</th> <th>リセット後の値</th> </tr> </thead> <tbody> <tr> <td>DAR0</td> <td>0186h~0184h番地</td> <td>0XXXXXh</td> </tr> <tr> <td>DAR1</td> <td>0196h~0194h番地</td> <td>0XXXXXh</td> </tr> <tr> <td>DAR2</td> <td>01A6h~01A4h番地</td> <td>0XXXXXh</td> </tr> <tr> <td>DAR3</td> <td>01B6h~01B4h番地</td> <td>0XXXXXh</td> </tr> </tbody> </table>							シンボル	アドレス	リセット後の値	DAR0	0186h~0184h番地	0XXXXXh	DAR1	0196h~0194h番地	0XXXXXh	DAR2	01A6h~01A4h番地	0XXXXXh	DAR3	01B6h~01B4h番地	0XXXXXh
シンボル	アドレス	リセット後の値																			
DAR0	0186h~0184h番地	0XXXXXh																			
DAR1	0196h~0194h番地	0XXXXXh																			
DAR2	01A6h~01A4h番地	0XXXXXh																			
DAR3	01B6h~01B4h番地	0XXXXXh																			
機能			設定範囲	RW																	
転送先番地を設定してください			00000h~FFFFFFh	RW																	
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。				—																	

注1. DMiCONレジスタのDADビットが“0”(固定)の場合は、DMiCONレジスタのDMAEビットが“0”(DMA禁止)のとき書いてください。  
DADビットが“1”(順方向)の場合は、いつでも書けます。  
DADビットが“1”かつDMAEビットが“1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。  
それ以外では書いた値が読めます。

## DMAi転送カウンタ(i=0~3)

(b15) b7	(b8) b0	b7	b0															
<table border="1"> <thead> <tr> <th>シンボル</th> <th>アドレス</th> <th>リセット後の値</th> </tr> </thead> <tbody> <tr> <td>TCR0</td> <td>0189h~0188h番地</td> <td>不定</td> </tr> <tr> <td>TCR1</td> <td>0199h~0198h番地</td> <td>不定</td> </tr> <tr> <td>TCR2</td> <td>01A9h~01A8h番地</td> <td>不定</td> </tr> <tr> <td>TCR3</td> <td>01B9h~01B8h番地</td> <td>不定</td> </tr> </tbody> </table>				シンボル	アドレス	リセット後の値	TCR0	0189h~0188h番地	不定	TCR1	0199h~0198h番地	不定	TCR2	01A9h~01A8h番地	不定	TCR3	01B9h~01B8h番地	不定
シンボル	アドレス	リセット後の値																
TCR0	0189h~0188h番地	不定																
TCR1	0199h~0198h番地	不定																
TCR2	01A9h~01A8h番地	不定																
TCR3	01B9h~01B8h番地	不定																
機能			設定範囲	RW														
転送回数-1を設定してください。書いた値はDMAi転送カウンタリロードレジスタに格納され、DMiCONレジスタのDMAEビットを“1”(DMA許可)にしたとき、またはDMiCONレジスタのDMASLビットが“1”(リピート転送)でDMAi転送カウンタがアンダフローしたとき、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタへ転送されます。 読んだ場合、DMAi転送カウンタが読めます。			0000h~FFFFh	RW														

図 14.4 SAR0、SAR1、SAR2、SAR3、DAR0、DAR1、DAR2、DAR3、TCR0、TCR1、TCR2、TCR3レジスタ

## 14.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウエイトや $\overline{\text{RDY}}$ 信号の影響により、バスサイクル自体が長くなります。

### 14.1.1 転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

### 14.1.2 BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子に“H”を入力している場合)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データを読むのに2バスサイクル、書くのに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

### 14.1.3 ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するサイクル数が増えます。

### 14.1.4 $\overline{\text{RDY}}$ 信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域では $\overline{\text{RDY}}$ 信号の影響を受けます。詳細は「8.2.6 RDY信号」を参照してください。

図14.5にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、8ビットバスを使用している場合(図14.5の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

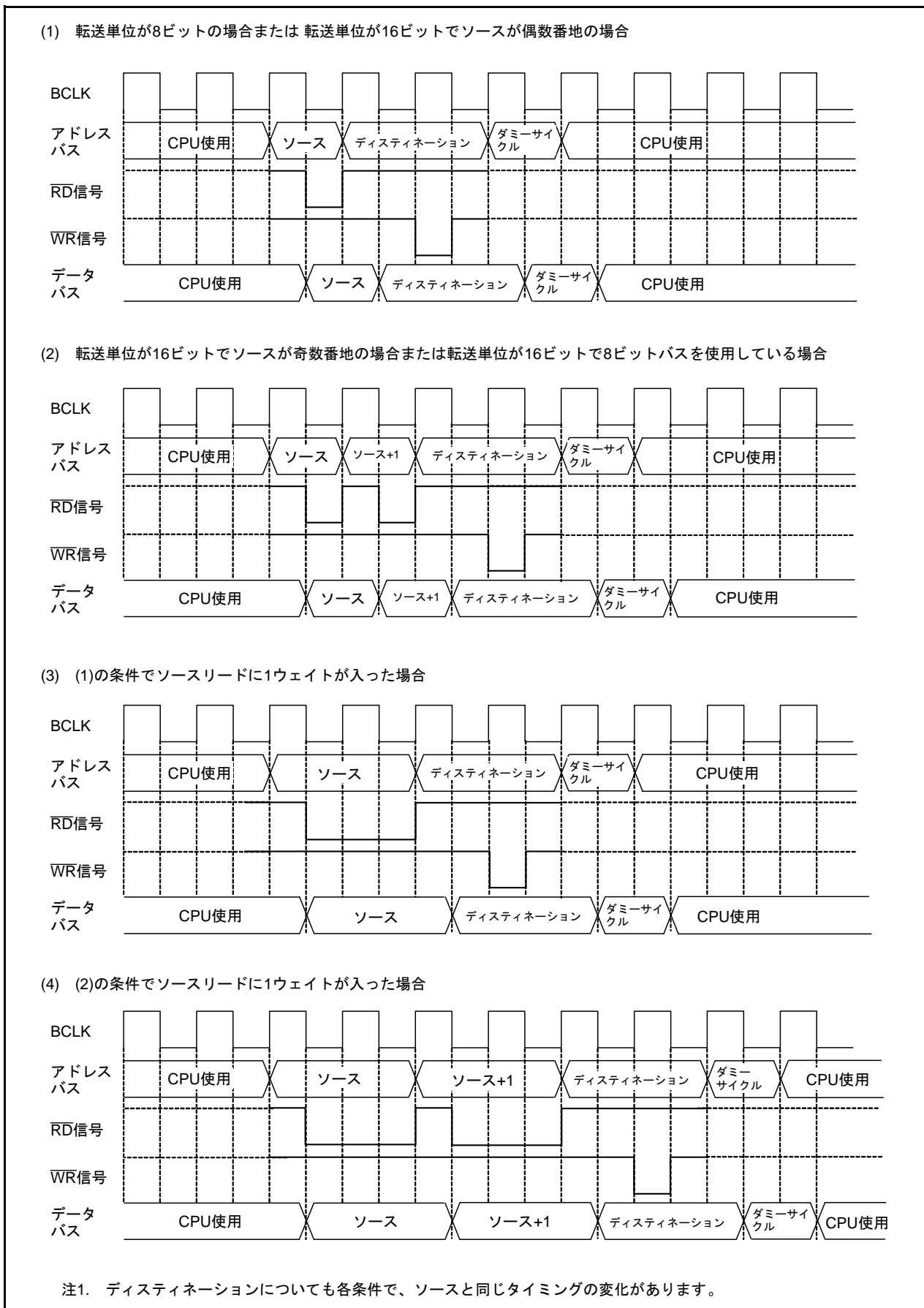


図 14.5 ソースリードサイクル例

## 14.2 DMAC転送サイクル数

DMA転送サイクル数は次のとおり計算できます。

表 14.6にDMAC転送サイクル数、表 14.7に係数j、kを示します。

1転送単位の転送サイクル数=読み出しサイクル数×j+書き込みサイクル数×k

表 14.6 DMAC転送サイクル数

転送単位	バス	アクセス番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=“1”)	16ビット (BYTE=“L”)	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット (BYTE=“H”)	偶数	—	—	1	1
		奇数	—	—	1	1
16ビット転送 (DMBIT=“0”)	16ビット (BYTE=“L”)	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット (BYTE=“H”)	偶数	—	—	2	2
		奇数	—	—	2	2

—：この条件はありません

表 14.7 係数j、k

	内部領域				外部領域						
	内部ROM、RAM		SFR		セパレートバス			マルチプレクスバス			
	ウェイト なし	ウェイト あり	1ウェイト (注2)	2ウェイト (注2)	ウェイト なし	ウェイトあり(注1)			ウェイトあり(注1)		
					1ウェイト	2ウェイト	3ウェイト	1ウェイト	2ウェイト	3ウェイト	
j	1	2	2	3	1	2	3	4	3	3	4
k	1	2	2	3	2	2	3	4	3	3	4

注1. CSEレジスタの設定値に依存します。

注2. PM2レジスタのPM20ビットの設定値に依存します。

### 14.3 DMA許可

DMiCONレジスタ(i=0~3)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMACは次のように動作します。

- (a) DMiCONレジスタのDSDビットが“1”(順方向)の場合はSARiレジスタ、DMiCONレジスタDADビットが“1”(順方向)の場合はDARiレジスタの値を順方向アドレスポインタへリロードする
- (b) DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く。
- (2) DMAiが初期状態(上記(a)(b)の状態)になっていることをプログラムで確認する。  
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

### 14.4 DMA要求

DMACは、チャンネルごとにDMiSLレジスタ(i=0~3)のDMSビット、DSEL4~DSEL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表14.8にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL4~DSEL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL4~DSEL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表 14.8 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> <li>•データ転送開始直前</li> <li>•プログラムで“0”を書いたとき</li> </ul>
周辺機能	DMiSLレジスタのDSEL4~DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

i=0~3

### 14.5 チャンネルの優先順位とDMA転送タイミング

DMA0～DMA3のうち、複数のチャンネルが許可されている場合、複数のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0 > DMA1 > DMA2 > DMA3です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図14.6に外部要因によるDMA転送例を示します。

図14.6ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図14.6のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用権を返します。

CPUとのバスの使用優先順位については「8.2.7 HOLD信号」も参照ください。

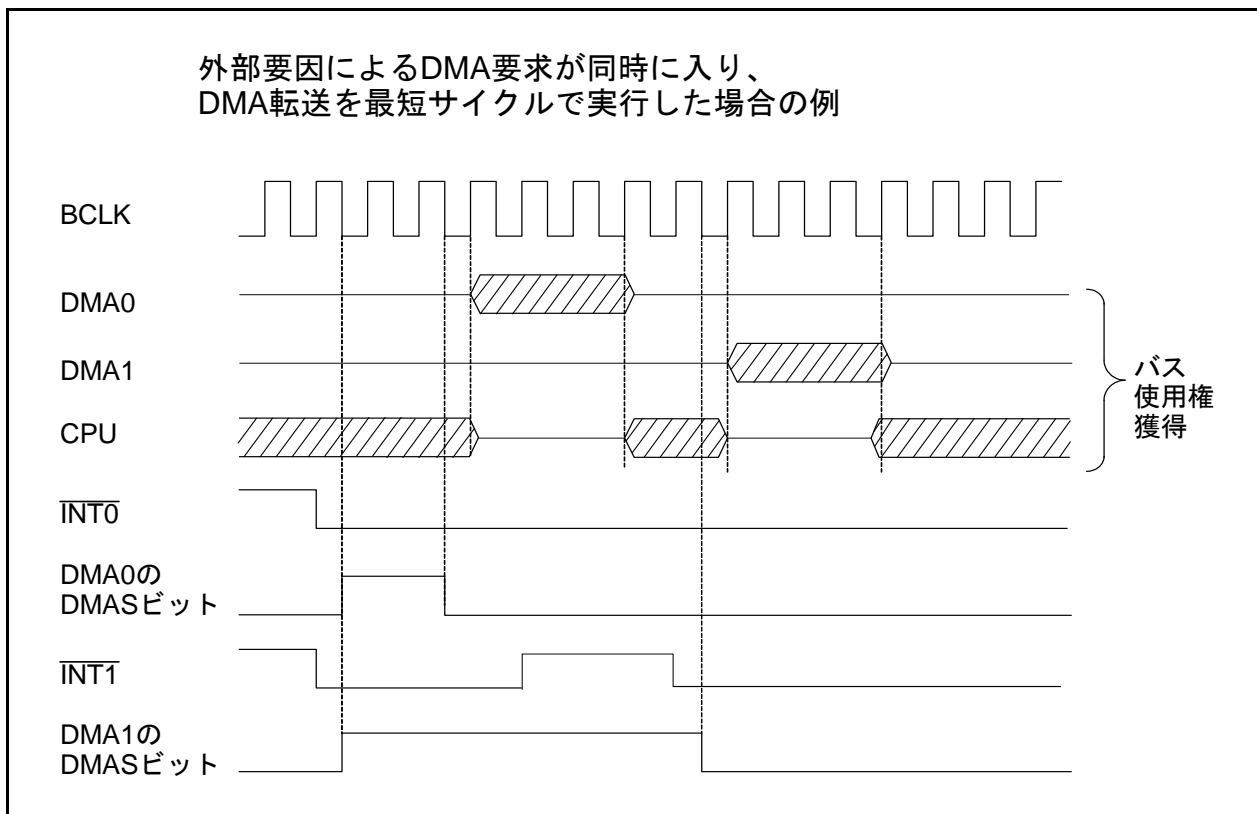
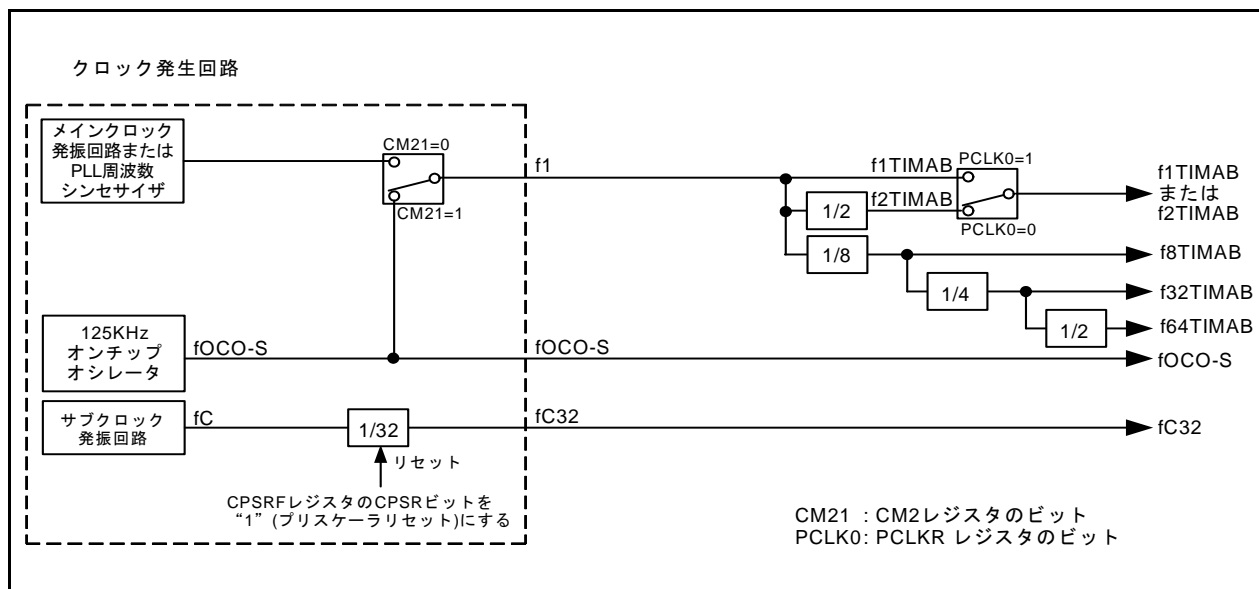


図 14.6 外部要因によるDMA転送例

### 15. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図 15.1 にタイマ A、B カウントソース、図 15.2 にタイマA構成、図 15.3 にタイマB構成を示します。



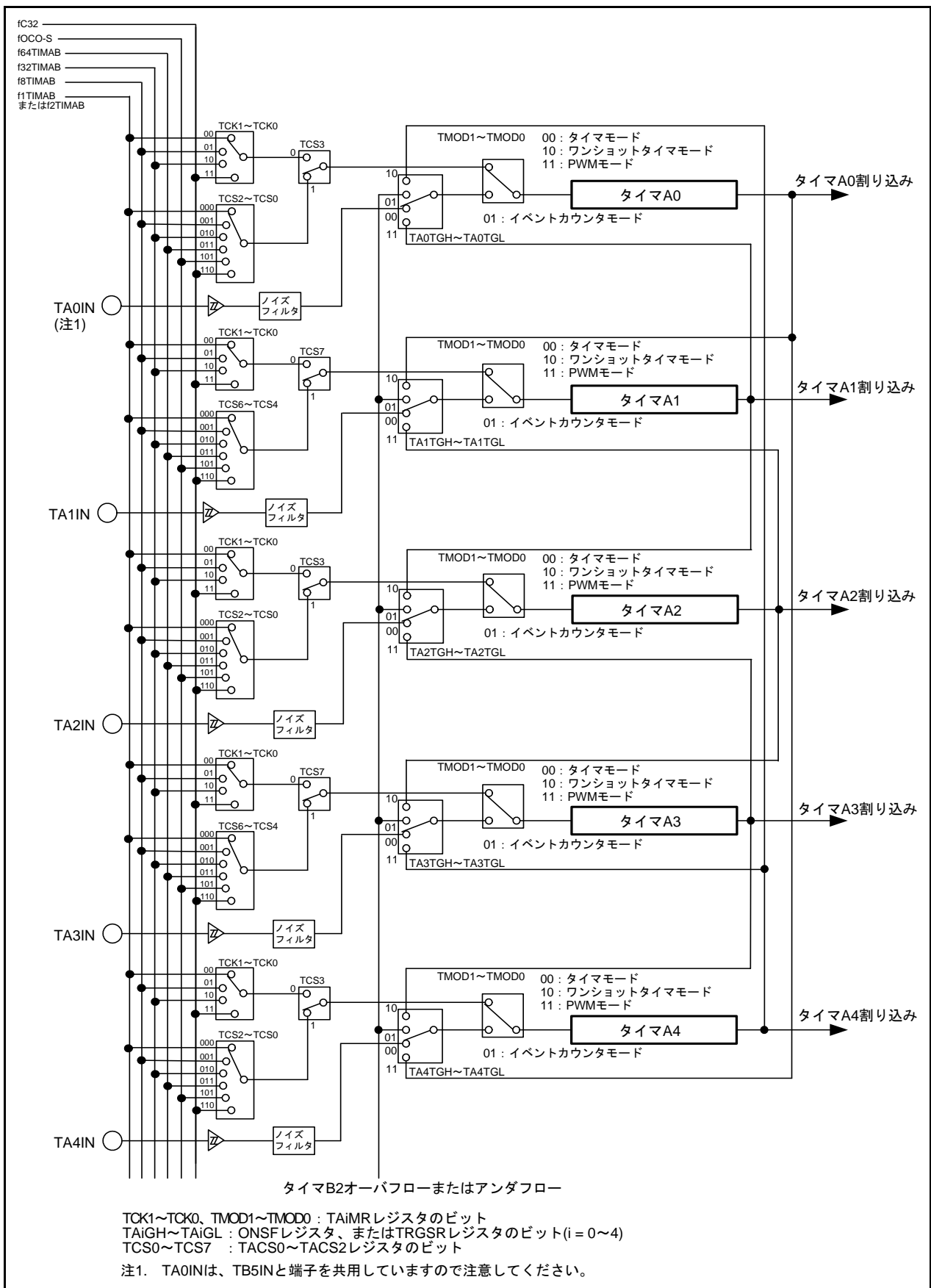


図 15.2 タイマA構成



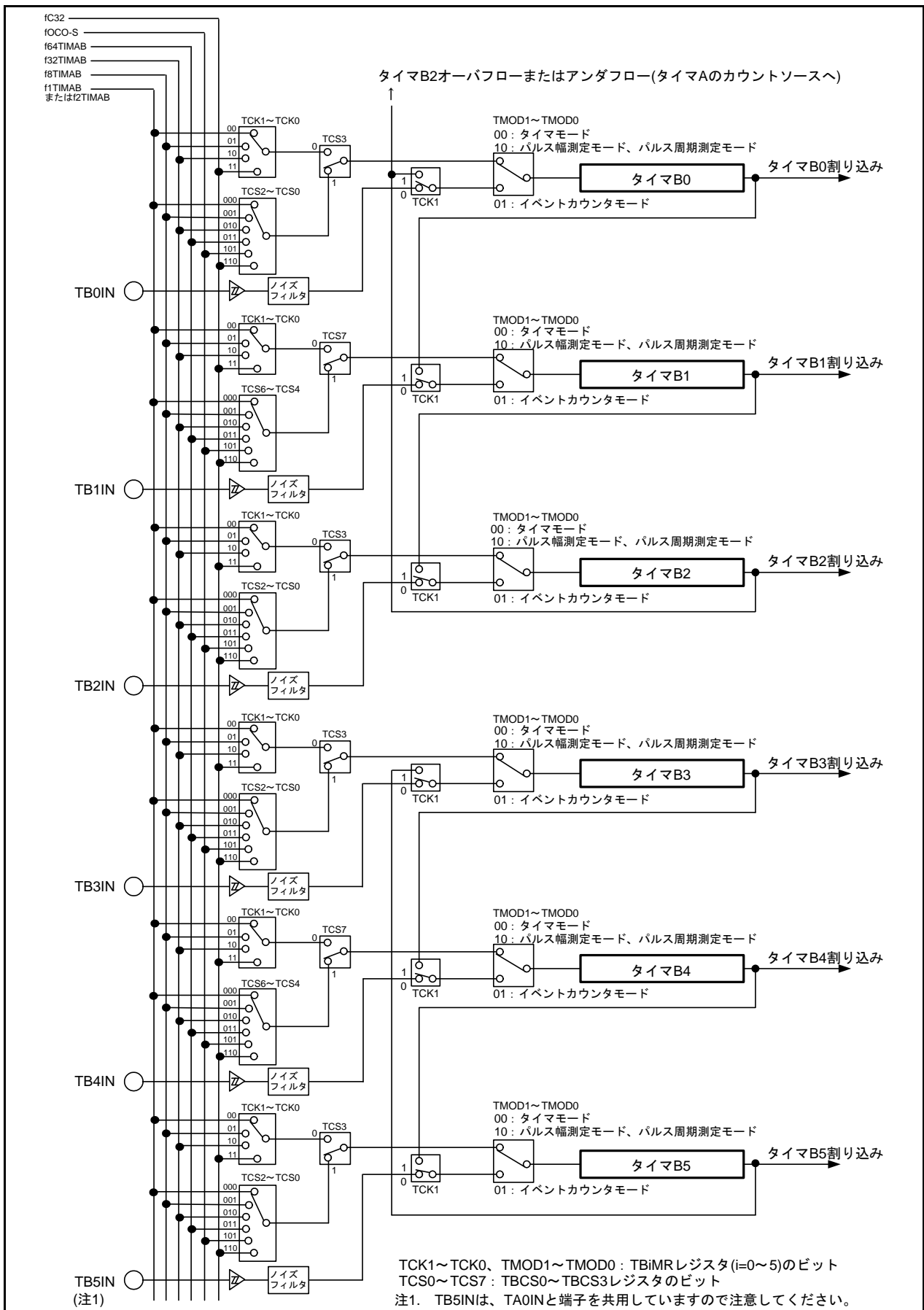


図 15.3 タイマB構成

## 15.1 タイマA

図 15.4にタイマAブロック図、図 15.5～15.9にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。モードは、TAiMRレジスタ (i=0～4)のTMOD1～TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルス、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモード
- ワンショットタイマモード カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード
- PWMモード 任意の幅のパルスを連続して出力するモード

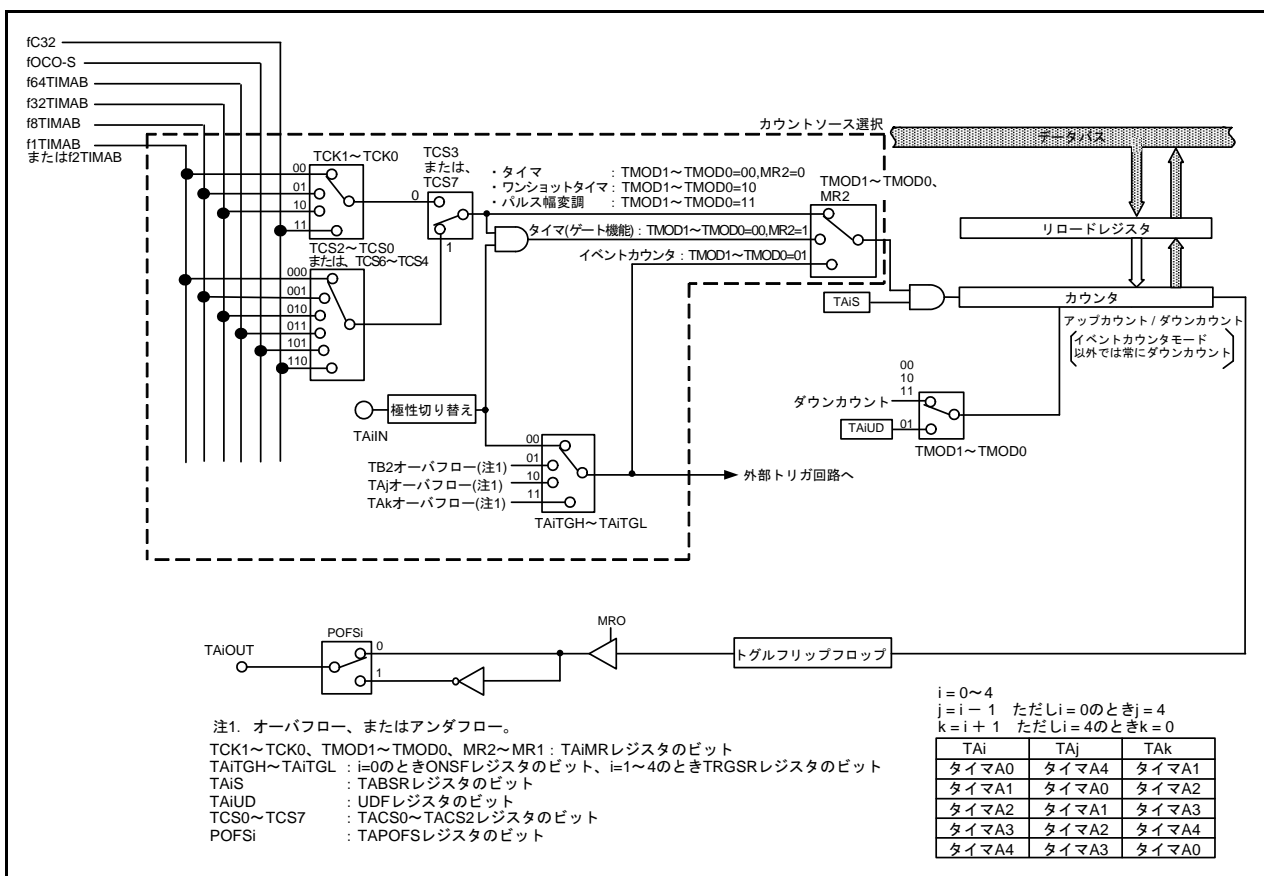


図 15.4 タイマAブロック図

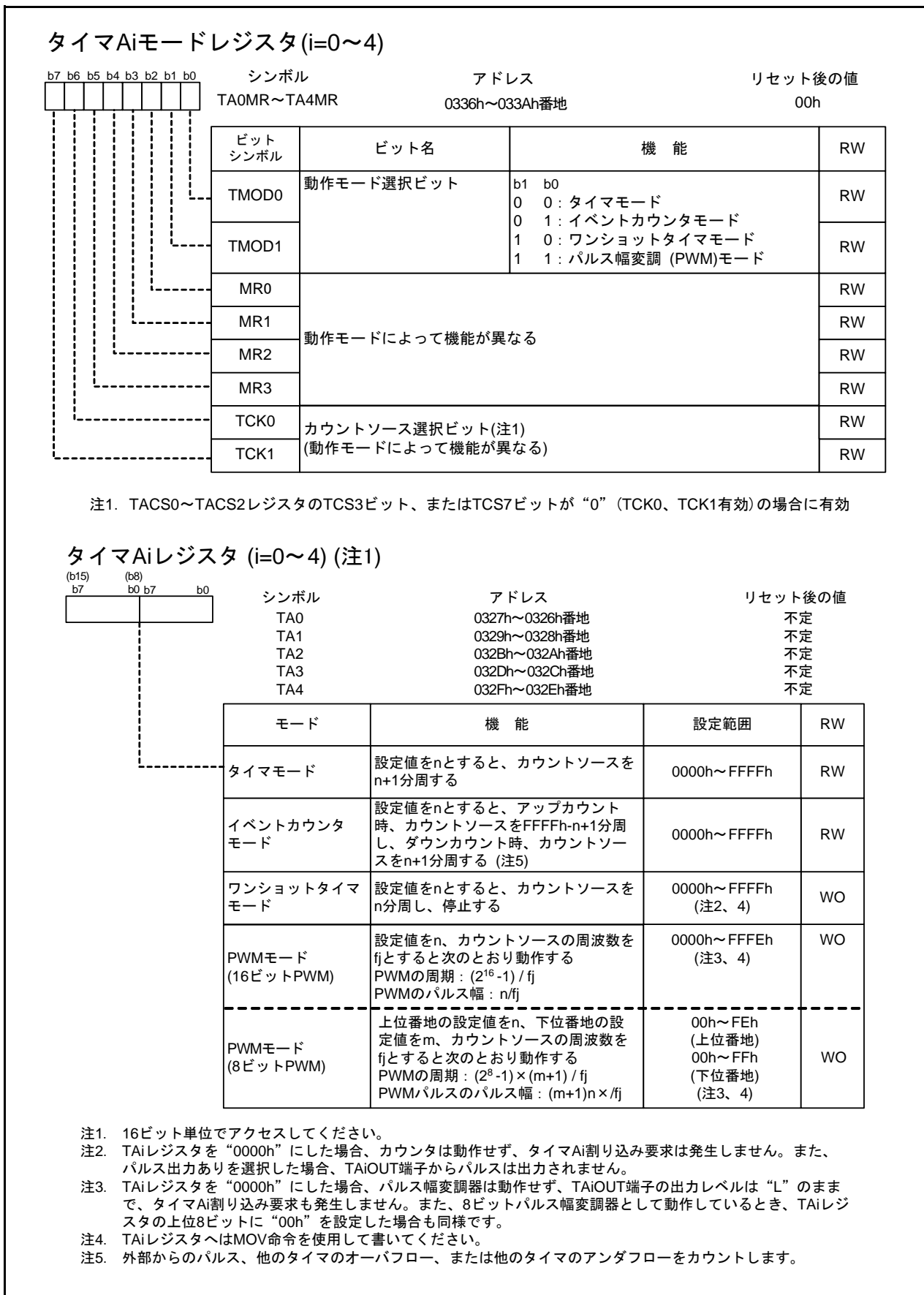


図 15.5 TA0MR~TA4MR、TA0~TA4レジスタ

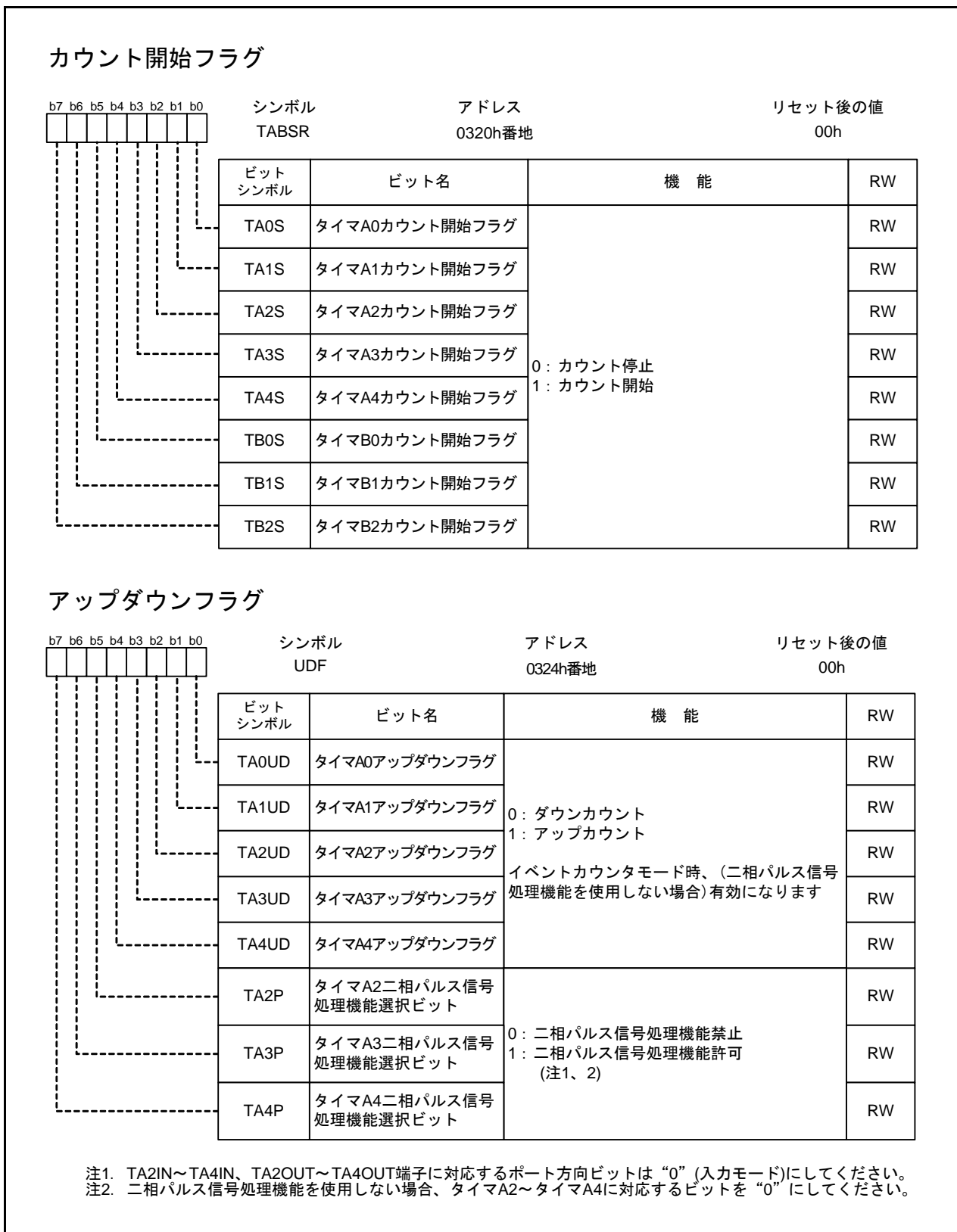


図 15.6 TABSR、UDF レジスタ

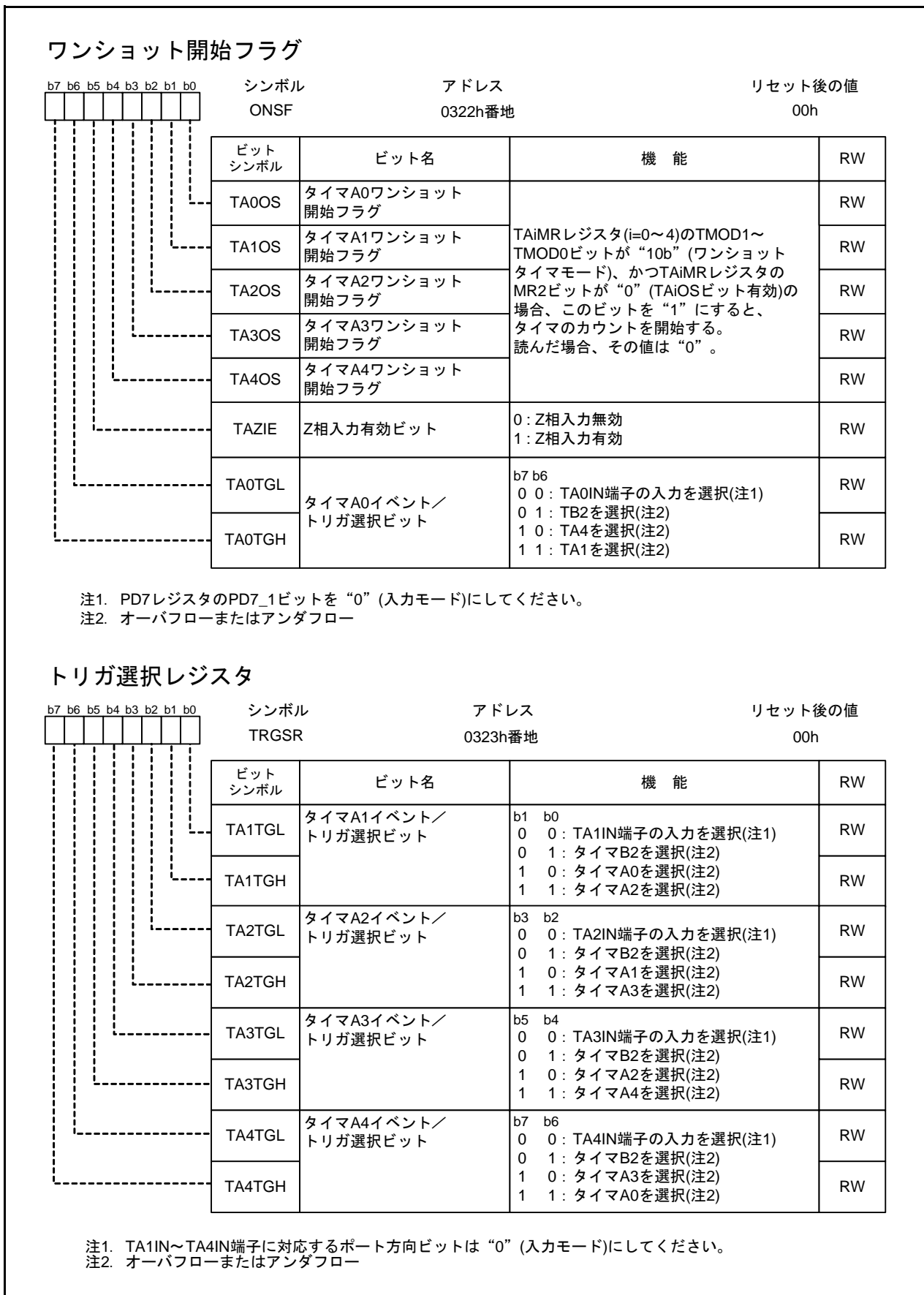


図 15.7 ONSF、TRGSR レジスタ

### 時計用プリスケアラリセットフラグ

ビット シンボル	ビット名	機 能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラ リセットフラグ	このビットを“1”にすると時計用プリ スケアラが初期化される。 (読んだ場合、その値は“0”)	RW

### タイマAカウントソース選択レジスタ0、タイマAカウントソース選択レジスタ1

ビット シンボル	ビット名	機 能	RW
TCS0	TAiカウントソース選択 ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB(注1) 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS1			RW
TCS2			RW
TCS3	TAiカウントソース選択肢 指定ビット	0 : TCK0,TCK1有効、TCS0~TCS2無効 1 : TCK0,TCK1無効、TCS0~TCS2有効	RW
TCS4		b6 b5 b4 0 0 0 : f1TIMABまたはff2TIMAB(注1) 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS5	TAjカウントソース選択 ビット		RW
TCS6			RW
TCS7	TAjカウントソース選択肢 指定ビット	0 : TCK0,TCK1有効、TCS4~TCS6無効 1 : TCK0,TCK1無効、TCS4~TCS6有効	RW

TACS0レジスタ : i=0, j=1、TACS1レジスタ : i=2, j=3  
注1. PCLKRレジスタのPCLK0ビットで選択してください。

図 15.8 CPSRF、TACS0、TACS1 レジスタ

## タイマAカウントソース選択レジスタ2

ビット シンボル	ビット名	機 能	RW
シンボル TACS2                      アドレス 01D2h番地                      リセット後の値 X0h			
TCS0	TA4カウントソース選択 ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB(注1) 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB	RW
TCS1		1 0 0 : 設定しないでください	RW
TCS2		1 0 1 : fOCO-S 1 1 0 : fC32	RW
		1 1 1 : 設定しないでください	
TCS3	TA4カウントソース選択肢 指定ビット	0 : TCK0,TCK1有効、TCS0~TCS2無効 1 : TCK0,TCK1無効、TCS0~TCS2有効	RW
— (b7-b4)	何も配置されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—

注1. PCLKRレジスタのPCLK0ビットで選択してください。

## タイマA波形出力機能選択レジスタ

ビット シンボル	ビット名	機 能	RW
シンボル TAPOFS                      アドレス 01D5h番地                      リセット後の値 XXX00000b			
POFS0	TA0OUT出力極性制御ビット	0 : 出力波形“H”アクティブ 1 : 出力波形“L”アクティブ(出力反転)	RW
POFS1	TA1OUT出力極性制御ビット		RW
POFS2	TA2OUT出力極性制御ビット		RW
POFS3	TA3OUT出力極性制御ビット		RW
POFS4	TA4OUT出力極性制御ビット		RW
— (b7-b5)	何も設定されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		

図 15.9 TACS2、TAPOFS レジスタ

### 15.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 15.1にタイマモードの仕様図 15.10 タイマモード時のTAiMRレジスタを示します。

表 15.1 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> <li>ダウンカウント</li> <li>アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	1/(n+1) n:TAiレジスタ(i=0~4)の設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる</li> <li>カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能</li> <li>パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAiSビットが“0”(カウント停止)の期間は“L”を出力(TAPOFSレジスタのPOFS1ビットが“1”の場合“H”を出力)</li> <li>波型出力の極性選択機能 TAiOUT端子の出力極性を選択</li> </ul>

タイマAiモードレジスタ (i=0~4)		シンボル	アドレス	リセット後の値
		TA0MR~TA4MR	0336h~033Ah番地	00h
ビットシンボル	ビット名	機能	RW	
TMOD0	動作モード選択ビット	b1 b0 0 0: タイマモード	RW	
TMOD1			RW	
MR0	パルス出力機能選択ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW	
MR1	ゲート機能選択ビット	b4 b3 0 0: ゲート機能なし 0 1: (TAiIN端子は入出力ポート) 1 0: TAiIN端子に“L”が入力されている 期間カウントする(注2) 1 1: TAiIN端子に“H”が入力されている 期間カウントする(注2)	RW	
MR2			RW	
MR3	タイマモードでは“0”にしてください		RW	
TCK0	カウントソース選択ビット(注4)	b1 b0 0 0: f1TIMABまたはf2TIMAB(注3) 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW	
TCK1				

注1. TA0OUT端子はNチャンネルオープンドレイン出力。  
注2. TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。  
注3. PCLKRレジスタのPCLK0ビットで選択してください。  
注4. TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0、TCK1有効)の場合に有効

図 15.10 タイマモード時のTAiMRレジスタ



### 15.1.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2、A3、A4は二相の外部信号をカウントできます。表15.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図15.11にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)を示します。

表 15.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> <li>• TAIiN 端子(i=0~4)に入力された外部信号(有効エッジを選択可能)</li> <li>• タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー</li> </ul>
カウント動作	<ul style="list-style-type: none"> <li>• アップカウントまたはダウンカウントをプログラムで選択可能</li> <li>• オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。</li> </ul>
分周比	<ul style="list-style-type: none"> <li>• アップカウント時 <math>1/(FFFFh - n + 1)</math></li> <li>• ダウンカウント時 <math>1/(n + 1)</math>      n:TAiレジスタの設定値 0000h~FFFFh</li> </ul>
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる</li> <li>• カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない</li> <li>• パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。TAiSビットが“0”(カウント停止)の間は“L”を出力(TAPOFSレジスタのPOFS1ビットが“1”の場合“H”を出力)</li> <li>• 波型出力の極性選択機能 TAiOUT端子の出力極性を選択</li> </ul>

### タイマAiモードレジスタ (i=0~4) (二相パルス信号処理を使用しない場合)

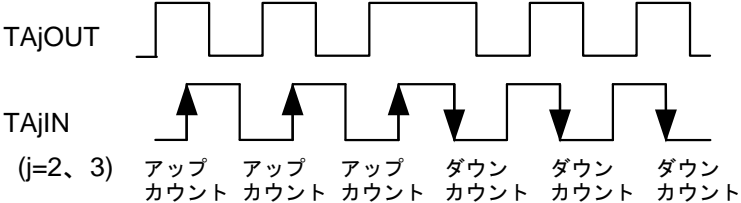
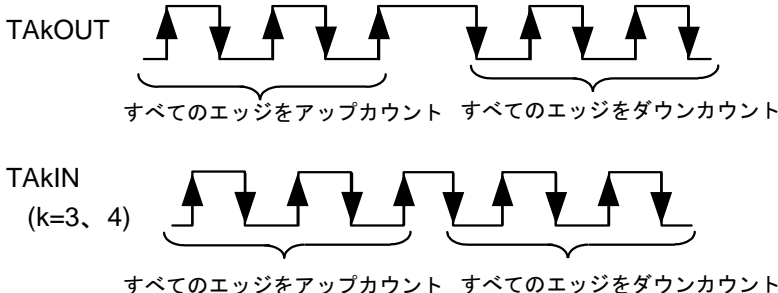
ビット シンボル	シンボル	アドレス	リセット後の値
	TA0MR~TA4MR	0336h~033Ah番地	00h
b7			
b6			
b5	0		
b4	0		
b3			
b2			
b1	0		
b0	1		
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード (注1)	RW
TMOD1			RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (注3) (TAiOUT端子はパルス出力端子)	RW
MR1	カウント極性選択ビット (注2)	0: 外部信号の立ち下がりカウント 1: 外部信号の立ち上がりカウント	RW
MR2	イベントカウンタモードでは“0”にしてください		RW
MR3	イベントカウンタモードでは“0”にしてください		RW
TCK0	カウント動作タイプ 選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可		RW

- 注1. イベントカウンタモードではカウントソースをONSFレジスタ、TRGSRレジスタで選択できます。  
 注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b” (TAiN端子の入力)のとき有効。  
 注3. TA0OUT端子はNチャンネルオープンドレイン出力。

図 15.11 イベントカウンタモード時のTAiMRレジスタ (二相パルス信号処理を使用しない場合)

表 15.3 にイベントカウンタモードの仕様 (タイマ A2、A3、A4 で二相パルス信号処理を使用する場合)、図 15.12 にイベントカウンタモード時の TA2MR ~ TA4MR レジスタ (タイマ A2、A3、A4 で二相パルス信号処理を使用する場合) を示します。

表 15.3 イベントカウンタモードの仕様 (タイマ A2、A3、A4 で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子 (i=2~4) に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> <li>アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可</li> <li>オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。</li> </ul>
分周比	<ul style="list-style-type: none"> <li>アップカウント時 <math>1/(FFFFh - n + 1)</math></li> <li>ダウンカウント時 <math>1/(n + 1)</math> n:TAi レジスタの設定値 0000h ~ FFFFh</li> </ul>
カウント開始条件	TABSR レジスタの TAI <sub>S</sub> ビットを "1" (カウント開始) にする
カウント停止条件	TAi <sub>S</sub> ビットを "0" (カウント停止) にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN 端子機能	二相パルス入力
TAiOUT 端子機能	二相パルス入力
タイマの読み出し	タイマ A2、A3、A4 レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>カウント停止中に TAI レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる</li> <li>カウント中に TAI レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)</li> </ul>
選択機能 (注 1)	<ul style="list-style-type: none"> <li>通常処理動作 (タイマ A2、タイマ A3) TAjOUT 端子 (j=2、3) の入力信号が "H" の期間、TAjIN 端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。   </li> <li>4 通倍処理動作 (タイマ A3、タイマ A4) TAKOUT 端子 (k=3、4) の入力信号が "H" の期間に TAKIN 端子が立ち上がる位相関係の場合、TAKOUT、TAKIN 端子の立ち上がり、立ち下がりをアップカウントします。TAKOUT 端子の入力信号が "H" の期間に TAKIN 端子が立ち下がる位相関係の場合、TAKOUT、TAKIN 端子の立ち上がり、立ち下がりをダウンカウントします。   </li> <li>Z 相入力によるカウンタ初期化 (タイマ A3) Z 相入力により、タイマのカウント値を "0" にする</li> </ul>

注 1. タイマ A3 は選択できます。タイマ A2 は通常処理動作、タイマ A4 は 4 通倍処理動作です。

### タイマAiモードレジスタ (i=2~4) (二相パルス信号処理を使用する場合)

シンボル	アドレス	リセット後の値
TA2MR~TA4MR	0338h~033Ah番地	00h

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
TCK0	カウント動作タイプ選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス処理動作選択ビット (注1、2)	0: 通常処理動作 1: 4通倍処理動作	RW

注1. タイマA3は選択できます。このビットにかかわらずタイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

注2. 二相パルス信号処理を行う場合、次のとおりになしてください。

- ・UDFレジスタのTAiPビットを“1”(二相パルス信号処理機能を許可)にする
- ・TRGSRレジスタのTAiTGH、TAiTGLビットを“00b”(TAiIN端子入力)にする
- ・TAiIN、TAiOUTに対応するポート方向ビットを“0”(入力モード)にする

図 15.12 イベントカウンタモード時のTA2MR~TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

### 15.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相はZP端子から入力します。

TA3レジスタに“0000h”を書き、ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図15.13に二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバフローまたはアンダフローと、Z相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、この機能使用時はタイマA3割り込みを使用しないでください。

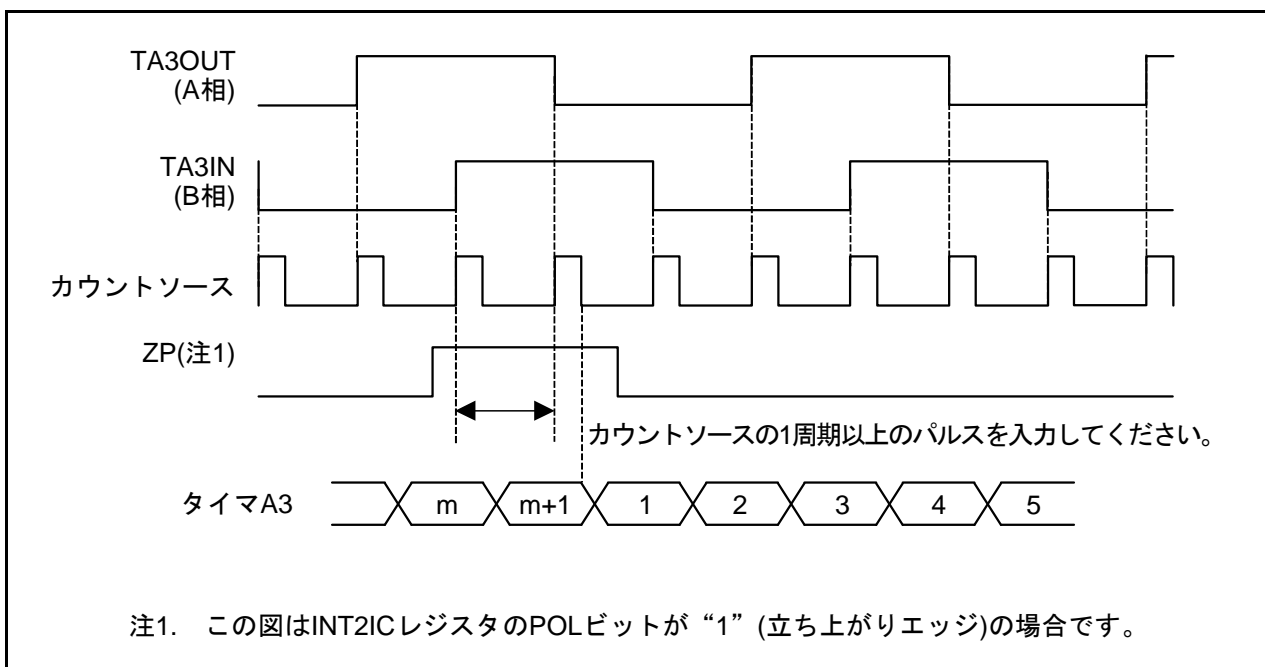


図 15.13 二相パルス(A相、B相)とZ相の関係

### 15.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです。トリガが発生するとその時点から任意の期間、タイマが動作します。表 15.4にワンショットタイマモードの仕様、図 15.14にワンショットタイマモード時のTAiMRレジスタを示します。

表 15.4 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• カウンタが0000hになるタイミングでリロードしてカウントを停止</li> <li>• カウント中にトリガが発生した場合、リロードしてカウントを継続</li> </ul>
分周比	1/n n:TAiレジスタ(i=0~4)の設定値 0000h~FFFFh ただし、0000hを設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> <li>• TAiIN端子からの外部トリガ入力</li> <li>• タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー</li> <li>• ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>• カウント値が0000hになりリロードした後</li> <li>• TAiSビットを“0”(カウント停止)にする</li> </ul>
割り込み要求発生タイミング	カウント値が0000hになるタイミング
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる</li> <li>• カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力 TAPOFSレジスタのPOFS1ビットが“1”の場合カウント停止中は“H”、カウント中は“L”を出力</li> <li>• 波型出力の極性選択機能 TAiOUT端子の出力極性を選択</li> </ul>

### タイマAiモードレジスタ (i=0~4)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h
-------------------------	---------------------	-----------------------	----------------

ビット シンボル	ビット名	機 能	RW
<div style="display: flex; justify-content: space-around;"> <span>b7</span><span>b6</span><span>b5</span><span>b4</span><span>b3</span><span>b2</span><span>b1</span><span>b0</span> </div> <div style="display: flex; justify-content: space-around; margin-top: 5px;"> <span>0</span><span>1</span><span>0</span> </div>	TMOD0	動作モード選択ビット b1 b0 1 0: ワンショットタイマモード	RW
	TMOD1		RW
	MR0	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (注1) (TAiOUT端子はパルス出力端子)	RW
	MR1	0: TAIiN端子の入力信号の立ち下がり (注3) 1: TAIiN端子の入力信号の立ち上がり (注3)	RW
	MR2	0: TAIOSビットが有効 1: TAIIGH~TAiTGLビットで選択	RW
	MR3	ワンショットタイマモードでは“0”にしてください	RW
	TCK0	カウントソース選択 ビット(注5)	RW
	TCK1		
		b7 b6 0 0: f1TIMABまたはf2TIMAB (注4) 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	

注1. TA0OUT端子はNチャンネルオープンドレイン出力。  
 注2. ONSFレジスタまたはTRGSRレジスタのTAiIGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。  
 注3. TAIiN端子に対応するポート方向ビットは“0”(入力モード)にしてください。  
 注4. PCLKRレジスタのPCLK0ビットで選択してください。  
 注5. TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0、TCK1有効)の場合に有効

図 15.14 ワンショットタイマモード時のTAiMRレジスタ

### 15.1.4 PWMモード(パルス幅変調モード)

任意の幅のパルスを連続して出力するモードです。このモードでは、カウンタが、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。表 15.5にPWMモードの仕様、図 15.15にパルス幅変調モード時のTAiMRレジスタ、図 15.16に16ビットパルス幅変調器の動作例、図 15.17に8ビットパルス幅変調器の動作例を示します。

表 15.5 PWMモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント(8ビット、または16ビットパルス幅変調器として動作)</li> <li>• PWMパルスの立ち上がりでリロードしてカウントを継続 (TAPOFSレジスタのPOFS1ビットが“1”(出力波形“L”アクティブ)の場合、立ち下がりでもリロードしてカウントを継続(i=1~4))</li> <li>• カウント中にトリガが発生した場合、カウントに影響しない</li> </ul>
16ビットPWM	<ul style="list-style-type: none"> <li>• パルス幅 <math>n/f_j</math> n:TAiレジスタの設定値(i=0~4)</li> <li>• 周期 <math>(2^{16}-1)/f_j</math> 固定 <math>f_j</math>:カウントソースの周波数(f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)</li> </ul>
8ビットPWM	<ul style="list-style-type: none"> <li>• パルス幅 <math>n \times (m+1)/f_j</math> n:TAiレジスタの上位番地の設定値</li> <li>• 周期 <math>(2^8-1) \times (m+1)/f_j</math> m:TAiレジスタの下位番地の設定値</li> </ul>
カウント開始条件	<ul style="list-style-type: none"> <li>• TABSRレジスタのTAiSビットを“1”(カウント開始)にする</li> <li>• TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力</li> <li>• TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバーフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバーフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバーフローまたはアンダフロー</li> </ul>
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時(POFS1ビットが“1”のとき立ち上がり時)
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる</li> <li>• カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• パルス出力機能 カウント停止中は“L”、カウント中はPWMパルスを出力(POFS1ビットが“1”のとき、カウント停止中は“H”)</li> <li>• 波形出力の極性選択 TAiOUT端子の出力極性を選択</li> </ul>



### タイマAiモードレジスタ (i=0~4)

<table style="border-collapse: collapse; margin: auto;"> <tr> <td style="border: 1px solid black; padding: 2px;">b7</td> <td style="border: 1px solid black; padding: 2px;">b6</td> <td style="border: 1px solid black; padding: 2px;">b5</td> <td style="border: 1px solid black; padding: 2px;">b4</td> <td style="border: 1px solid black; padding: 2px;">b3</td> <td style="border: 1px solid black; padding: 2px;">b2</td> <td style="border: 1px solid black; padding: 2px;">b1</td> <td style="border: 1px solid black; padding: 2px;">b0</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px;"></td> <td style="border: 1px solid black; padding: 2px;"></td> <td style="border: 1px solid black; padding: 2px;"></td> <td style="border: 1px solid black; padding: 2px;"></td> <td style="border: 1px solid black; padding: 2px;"></td> <td style="border: 1px solid black; padding: 2px;"></td> <td style="border: 1px solid black; padding: 2px; text-align: center;">1</td> <td style="border: 1px solid black; padding: 2px; text-align: center;">1</td> </tr> </table>	b7	b6	b5	b4	b3	b2	b1	b0							1	1	シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h
b7	b6	b5	b4	b3	b2	b1	b0												
						1	1												

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1 : パルス幅変調 (PWM)モード	RW
TMOD1			RW
MR0	パルス出力機能選択ビット (注4)	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり (注1) (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット (注2)	0 : TAIiN端子の入力信号の立ち下がり (注3) 1 : TAIiN端子の入力信号の立ち上がり (注3)	RW
MR2	トリガ選択ビット	0 : TABSRレジスタのTAiSビットへの“1”書き込み 1 : TAITGH~TAiTGLビットで選択	RW
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 (16ビットPWM) 1 : 8ビットパルス幅変調器として動作 (8ビットPWM)	RW
TCK0	カウントソース選択ビット (注6)	b7 b6 0 0 : f1TIMABまたはf2TIMAB (注5) 0 1 : f8TIMAB 1 0 : f32TIMAB 1 1 : fC32	RW
TCK1			

注1. TA0OUT端子はNチャンネルオープンドレイン出力。  
 注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b” (TAiN端子の入力)のとき有効。  
 注3. TAIiN端子に対応するポート方向ビットは“0” (入力モード)にしてください。  
 注4. PWMパルスを出力する場合は“1” (パルス出力あり)にしてください。  
 注5. PCLKRレジスタのPCLK0ビットで選択してください。  
 注6. TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0、TCK1有効)の場合に有効

図 15.15 パルス幅変調モード時のTAiMRレジスタ

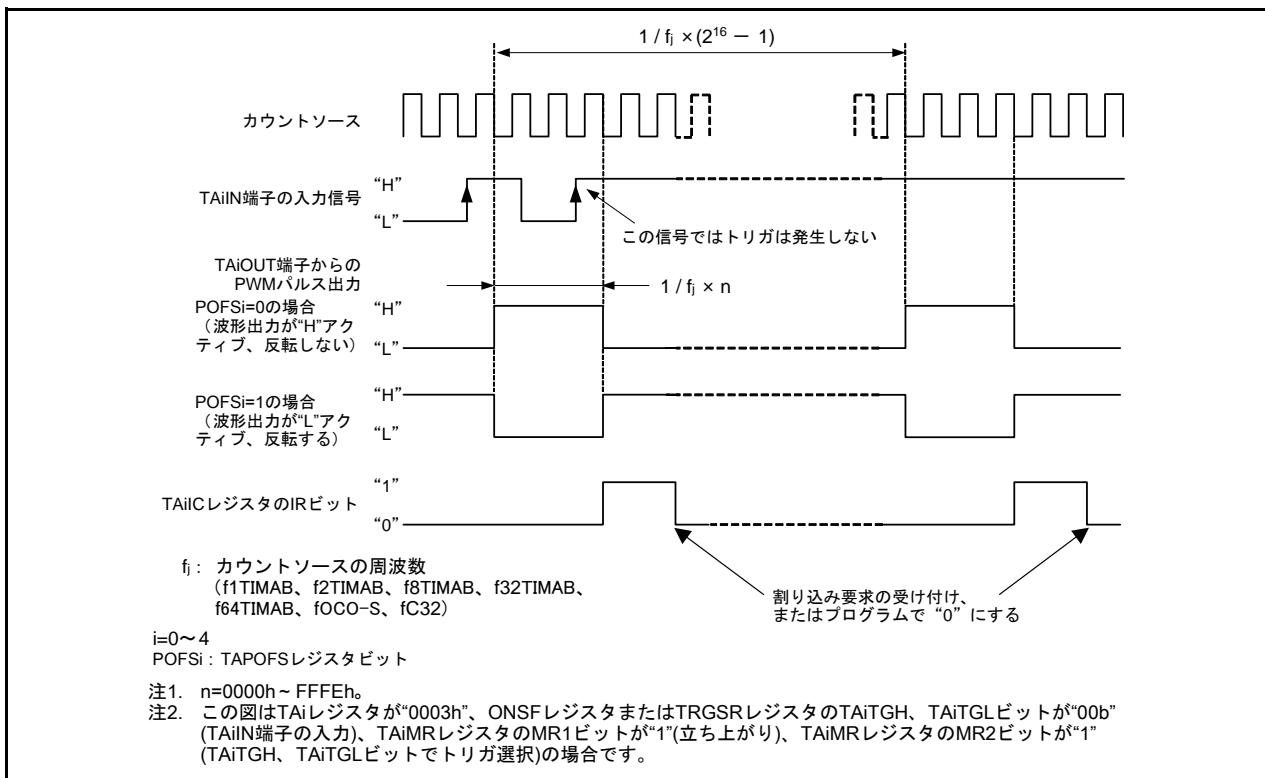


図 15.16 16ビットパルス幅変調器の動作例

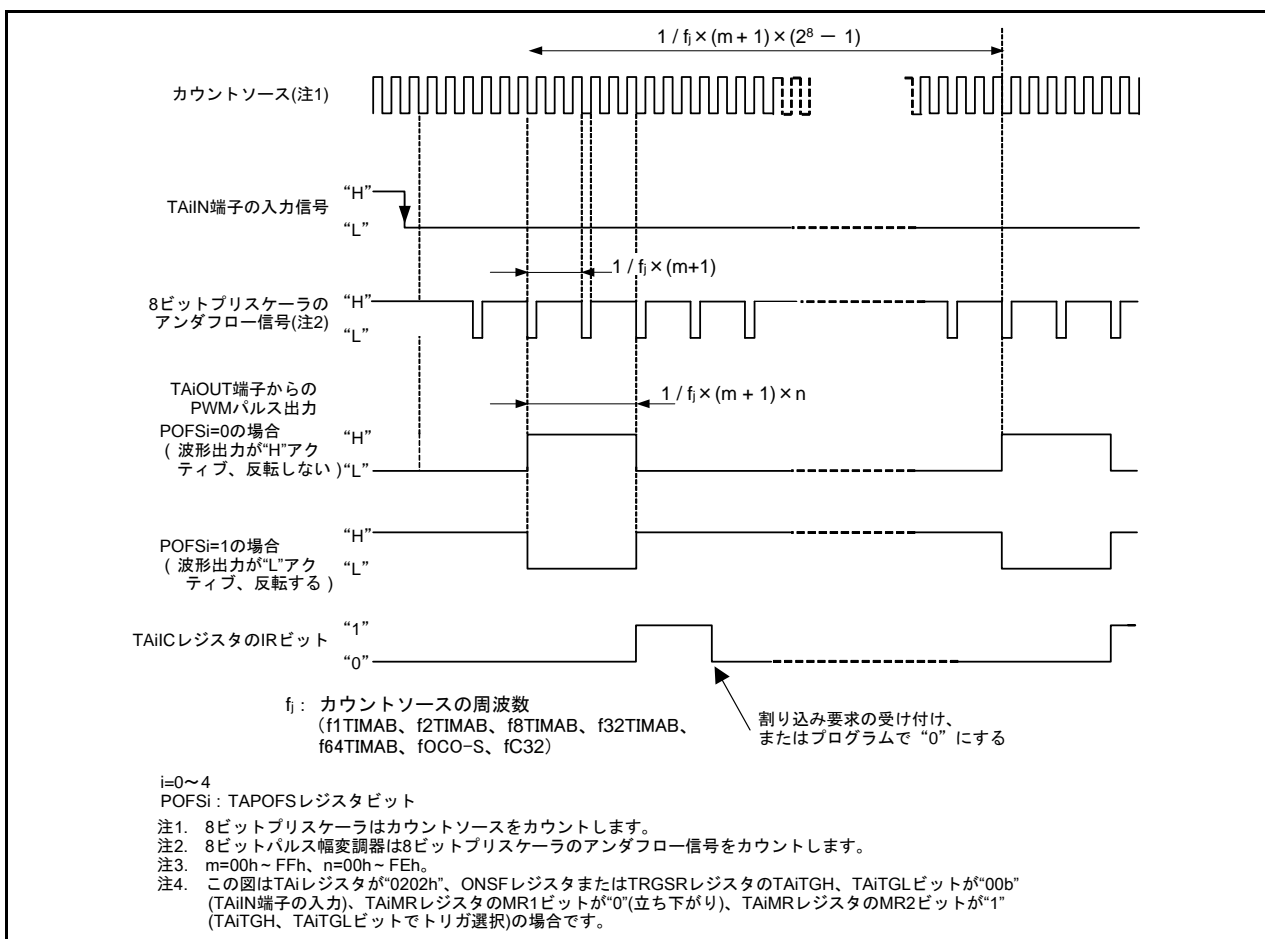


図 15.17 8ビットパルス幅変調器の動作例



## タイマBiモードレジスタ (i=0~5)

シンボル	アドレス	リセット後の値
TB0MR~TB2MR TB3MR~TB5MR	033Bh~033Dh番地 031Bh~031Dh番地	00XX0000b 00XX0000b

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0: タイマモード 0 1: イベントカウンタモード	RW
		1 0: パルス周期測定モード、 パルス幅測定モード 1 1: 設定しないでください	RW
MR0	動作モードによって機能が異なる		RW
MR1		RW	
— (b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	動作モードによって機能が異なる。		RO
TCK0	カウントソース選択ビット(注1)		RW
TCK1	(動作モードによって機能が異なる)		RW

注1. TBCS0~TBCS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0、TCK1有効) の場合に有効

## タイマBiレジスタ (i=0~5) (注1)

シンボル	アドレス	リセット後の値
TB0	0331h~0330h番地	不定
TB1	0333h~0332h番地	不定
TB2	0335h~0334h番地	不定
TB3	0311h~0310h番地	不定
TB4	0313h~0312h番地	不定
TB5	0315h~0314h番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する(注2)	0000h~FFFFh	RW
パルス周期測定モード パルス幅測定モード	パルス周期またはパルス幅を測定する	0000h~FFFFh (注3)	RW (注4)

注1. 16ビット単位でアクセスしてください。

注2. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

注3. TABSRまたはTBSRレジスタのTBISビットが“0” (カウント停止)のときに設定してください。

注4. TABSRまたはTBSRレジスタのTBISビットが“1” (カウント開始)のときはROになります。

図 15.19 TB0MR ~ TB5MR、TB0 ~ TB5 レジスタ

## カウント開始フラグ

シンボル	アドレス	リセット後の値
TABSR	0320h番地	00h

ビットシンボル	ビット名	機能	RW
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

## タイマB3, 4, 5カウント開始フラグ

シンボル	アドレス	リセット後の値
TBSR	0300h番地	000XXXXXb

ビットシンボル	ビット名	機能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
TB3S	タイマB3カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TB4S	タイマB4カウント開始フラグ		RW
TB5S	タイマB5カウント開始フラグ		RW

## 時計用プリスケアラリセットフラグ

シンボル	アドレス	リセット後の値
CPSRF	0015h番地	0XXXXXXXXb

ビットシンボル	ビット名	機能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される。 (読んだ場合、その値は“0”)	RW

図 15.20 TABSR、TBSR、CPSRF レジスタ

### タイマBカウントソース選択レジスタ0、タイマBカウントソース選択レジスタ2

シンボル	アドレス	リセット後の値
TBCS0	01C8h番地	00h
TBCS2	01E8h番地	00h

ビットシンボル	ビット名	機能	RW
TCS0	TBiカウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB(注1) 0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB	RW
TCS1		1 0 0: 設定しないでください	
TCS2		1 0 1: fOCO-S 1 1 0: fC32 1 1 1: 設定しないでください	
TCS3	TBiカウントソース選択肢指定ビット	0: TCK0,TCK1有効、TCS0~TCS2無効 1: TCK0,TCK1無効、TCS0~TCS2有効	RW
TCS4	TBjカウントソース選択ビット	b6 b5 b4 0 0 0: f1TIMABまたはf2TIMAB(注1) 0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB	RW
TCS5		1 0 0: 設定しないでください	
TCS6		1 0 1: fOCO-S 1 1 0: fC32 1 1 1: 設定しないでください	
TCS7	TBjカウントソース選択肢指定ビット	0: TCK0,TCK1有効、TCS4~TCS6無効 1: TCK0,TCK1無効、TCS4~TCS6有効	RW

TBCS0レジスタ : i=0、j=1、TBCS2レジスタ : i=3、j=4  
 注1. PCLKRレジスタのPCLK0ビットで選択してください。

### タイマBカウントソース選択レジスタ1、タイマBカウントソース選択レジスタ3

シンボル	アドレス	リセット後の値
TBCS1	01C9h番地	X0h
TBCS3	01E9h番地	X0h

ビットシンボル	ビット名	機能	RW
TCS0	TBiカウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB(注1) 0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB	RW
TCS1		1 0 0: 設定しないでください	
TCS2		1 0 1: fOCO-S 1 1 0: fC32 1 1 1: 設定しないでください	
TCS3	TBiカウントソース選択肢指定ビット	0: TCK0,TCK1有効、TCS0~TCS2無効 1: TCK0,TCK1無効、TCS0~TCS2有効	RW
— (b7-b4)	何も配置されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—

TBCS1レジスタ : i=2、TBCS3レジスタ : i=5  
 注1. PCLKRレジスタのPCLK0ビットで選択してください。

図 15.21 TBCS0、TBCS1、TBCS2、TBCS3レジスタ

### 15.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 15.6 にタイマモードの仕様、図 15.22 にタイマモード時の TBiMR レジスタを示します。

表 15.6 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	1/(n+1) n: TBi レジスタの設定値 (i=0~5) 0000h~FFFFh
カウント開始条件	TBiS ビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	入出力ポート
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に TBi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる</li> <li>• カウント中に TBi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)</li> </ul>

注1. TB0S~TB2SビットはTBSRレジスタのビット5~7、TB3S~TB5SビットはTBSRレジスタのビット5~7です。

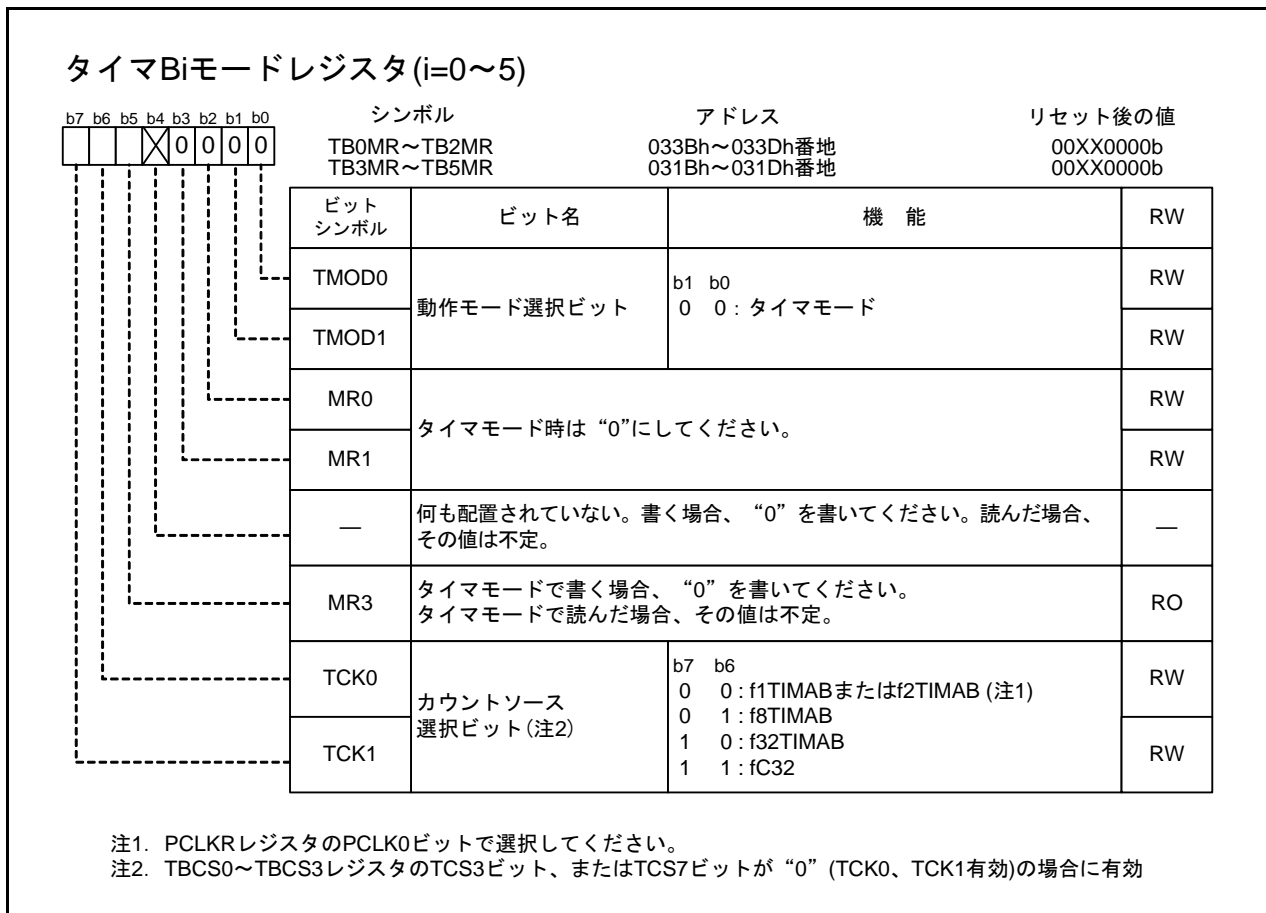


図 15.22 タイマモード時の TBiMR レジスタ

### 15.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。表 15.7 にイベントカウンタモードの仕様、図 15.23 イベントカウンタモード時の TBiMR レジスタを示します。

表 15.7 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> <li>• TBiIN 端子 (i=0~5) に入力された外部信号 (カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可)</li> <li>• タイマ Bj のオーバフローまたはアンダフロー (j=i-1、ただし i=0 のとき j=2、i=3 のとき j=5)</li> </ul>
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	1/(n+1) n: TBi レジスタの設定値 0000h~FFFFh
カウント開始条件	TBiS ビット (注1) を “1” (カウント開始) にする
カウント停止条件	TBiS ビットを “0” (カウント停止) にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	カウントソース入力
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に TBi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる</li> <li>• カウント中に TBi レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)</li> </ul>

注1. TB0S~TB2S ビットは TABSR レジスタのビット 5~7、TB3S~TB5S ビットは TBSR レジスタのビット 5~7 です。

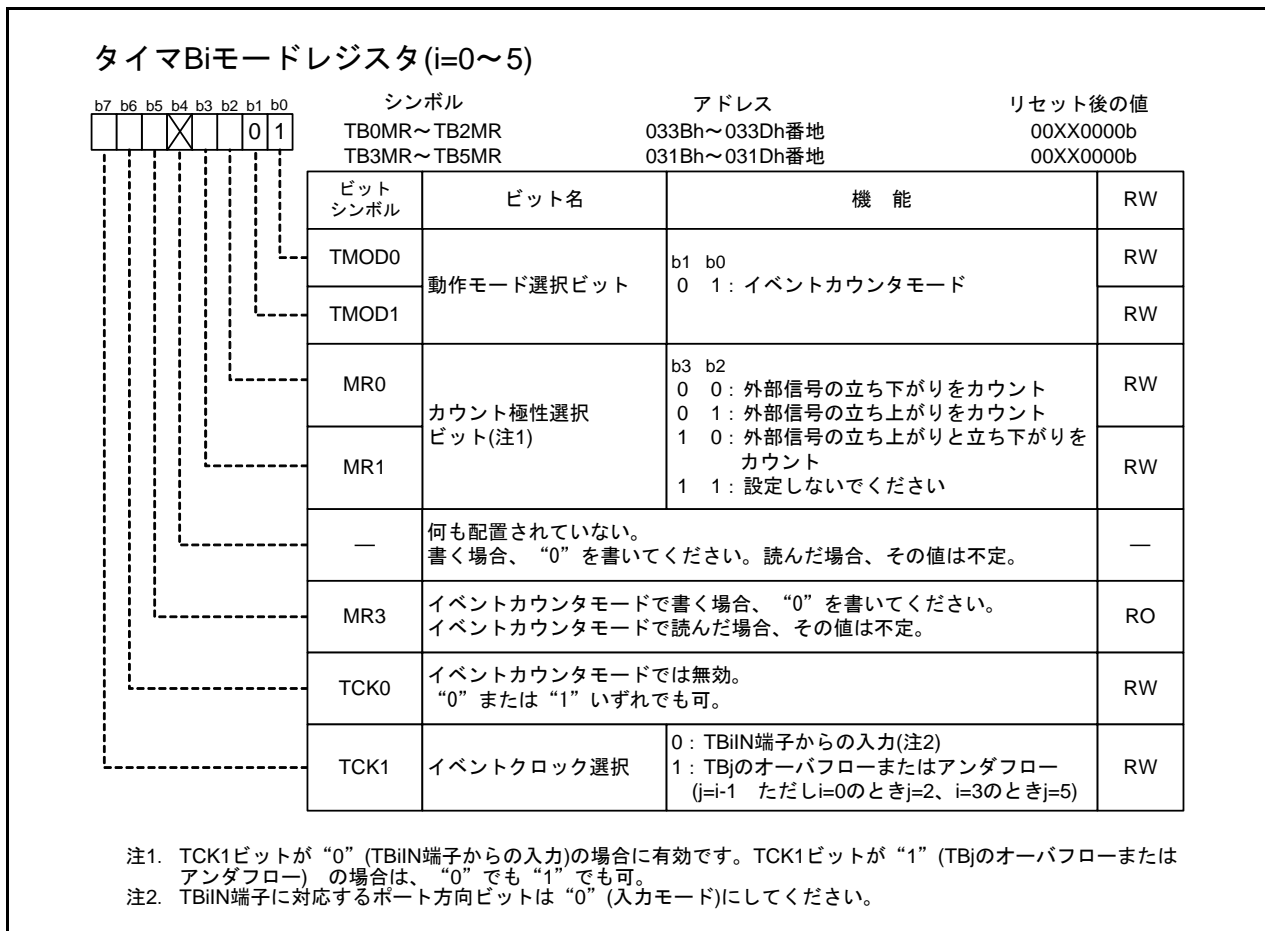


図 15.23 イベントカウンタモード時の TBiMR レジスタ



### 15.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。表 15.8 にパルス周期測定モード、パルス幅測定モードの仕様、図 15.24 にパルス周期測定モード、パルス幅測定モード時の TBiMR レジスタを示します。図 15.25 にパルス周期測定時の動作図、図 15.26 にパルス幅測定時の動作図を示します。

表 15.8 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> <li>• アップカウント</li> <li>• 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続</li> </ul>
カウント開始条件	TBiS ビット (i=0~5)(注3)を“1”(カウント開始)にする
カウント停止条件	TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• 測定パルスの有効エッジ入力時(注1)</li> <li>• オーバフロー時。オーバフローと同時に TBiMR レジスタの MR3 ビットが“1”(オーバフローあり)になる。</li> </ul>
TBiIN 端子機能	測定パルス入力
タイマの読み出し	TBi レジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBi レジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、TBi レジスタを読んでも値は不定です。

注3. TB0S~TB2S ビットは TABSR レジスタのビット5~7、TB3S~TB5S ビットは TBSR レジスタのビット5~7です。

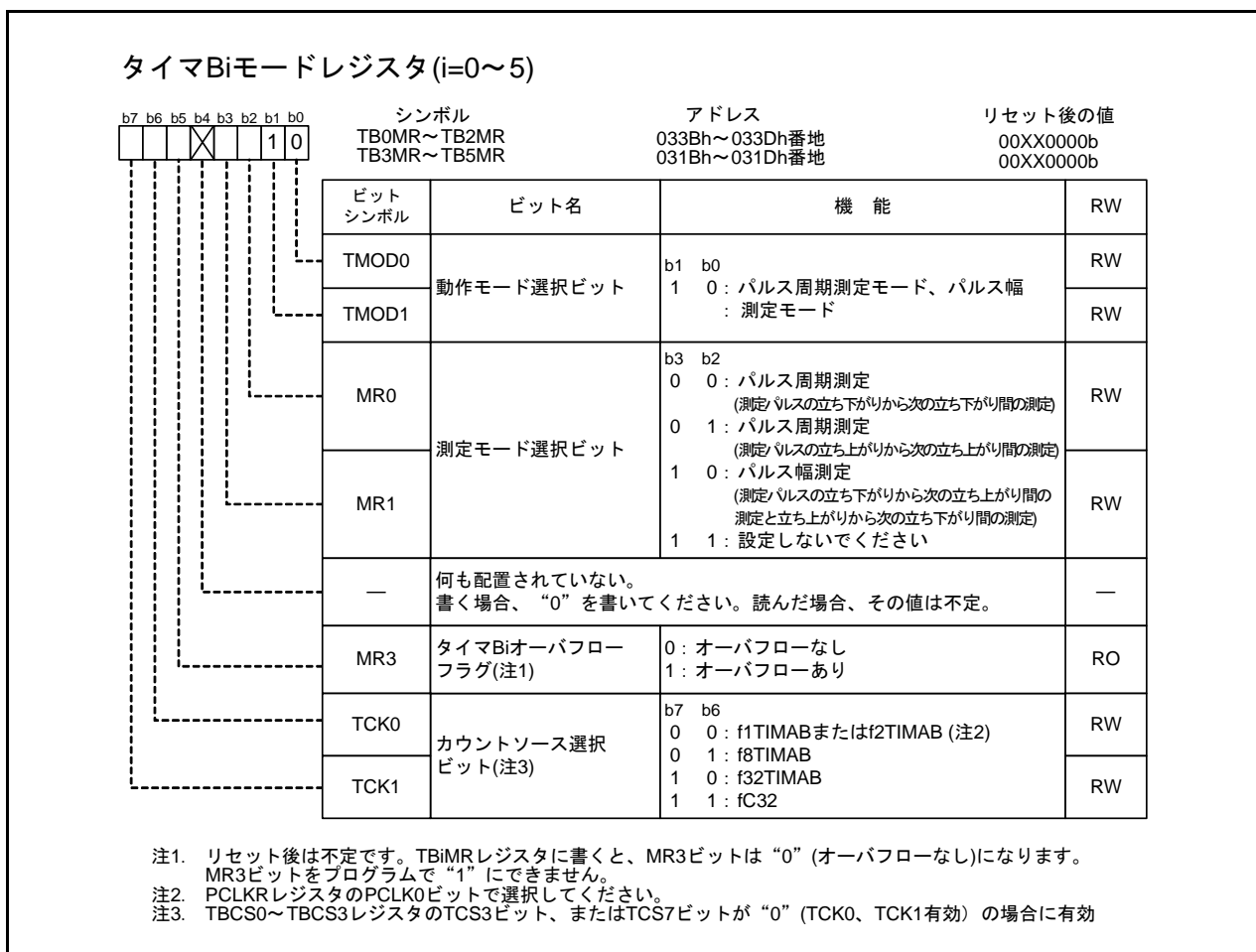


図 15.24 パルス周期測定モード、パルス幅測定モード時の TBiMR レジスタ

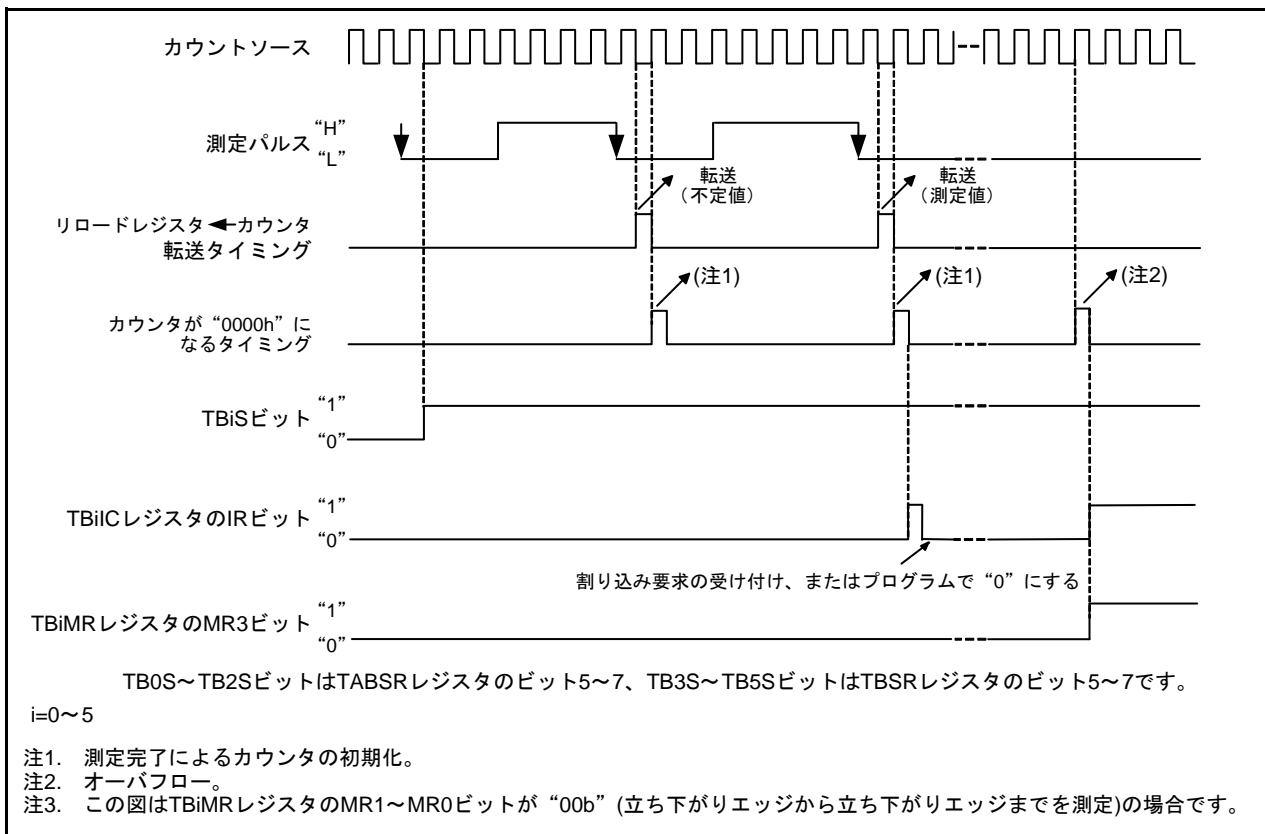


図 15.25 パルス周期測定時の動作図

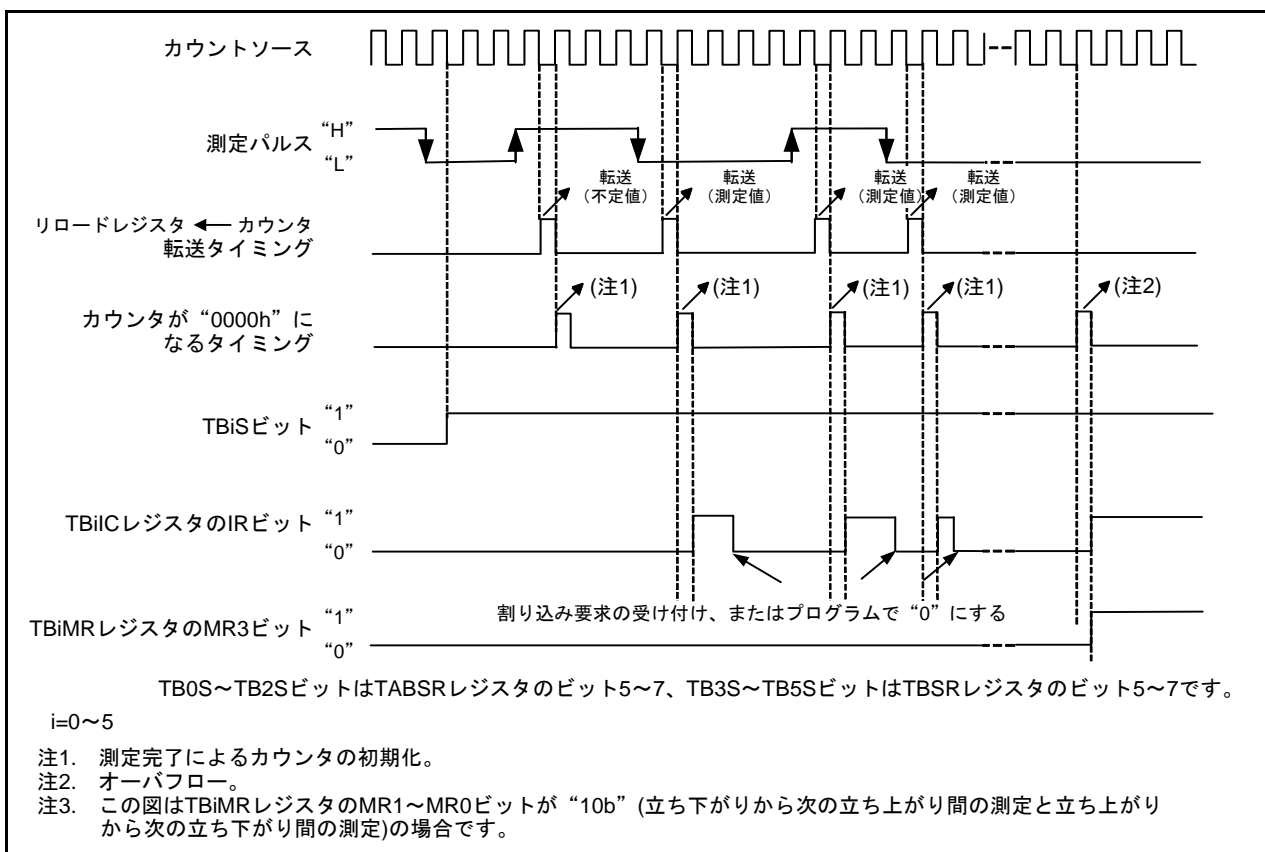


図 15.26 パルス幅測定時の動作図

## 16. 三相モータ制御用タイマ機能

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。表 16.1 に三相モータ制御用タイマ機能の仕様を、図 16.1 に三相モータ制御用タイマ機能のブロック図を示します。また、図 16.2 ～ 16.7 に三相モータ制御用タイマ機能関連レジスタを示します。

表 16.1 三相モータ制御用タイマ機能の仕様

項目	仕様
三相波形出力端子	6本(U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ )
強制遮断入力(注1)	$\overline{SD}$ 端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4：U、 $\bar{U}$ 相波形制御 タイマA1：V、 $\bar{V}$ 相波形制御 タイマA2：W、 $\bar{W}$ 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・正相レベルと逆相レベルを独立設定可能
搬送波周期	三角波変調：カウントソース $\times(m+1)\times 2$ 鋸波変調：カウントソース $\times(m+1)$ m：TB2レジスタ設定値。0000h～FFFFh カウントソース：f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
三相PWM出力幅	三角波変調：カウントソース $\times n \times 2$ 鋸波変調：カウントソース $\times n$ n：TA4、TA1、TA2、(INV11が“1”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値。0001h～FFFFh カウントソース：f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
短絡防止時間(幅)	カウントソース $\times p$ 、または短絡防止時間なし p：DTTレジスタ設定値。01h～FFh カウントソース：f1TIMAB、f2TIMAB、f1TIMABの2分周、f2TIMABの2分周
アクティブレベル	“H”または“L”選択可能
正逆同時アクティブ禁止機能	正逆同時アクティブ禁止機能あり。正逆同時アクティブ検出機能あり。
割り込み頻度	タイマB2割り込みは、搬送波周期ごと～搬送波周期15回ごと選択

注1.  $\overline{SD}$ 入力による強制遮断はTB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断を許可)のとき有効です。IVPCR1ビットが“1”のとき、 $\overline{SD}$ 端子に“L”が入力されると、対象端子は使用している機能に関係なくハイインピーダンス状態になります。

対象端子 P7\_2/CLK2/TA1OUT/V、P7\_3/CTS2/RTS2/TA1IN/ $\bar{V}$ 、P7\_4/TA2OUT/W、P7\_5/TA2IN/ $\bar{W}$   
 P8\_0/TA4OUT/RXD5/SCL5/U、P8\_1/TA4IN/CTS5/RTS5/U

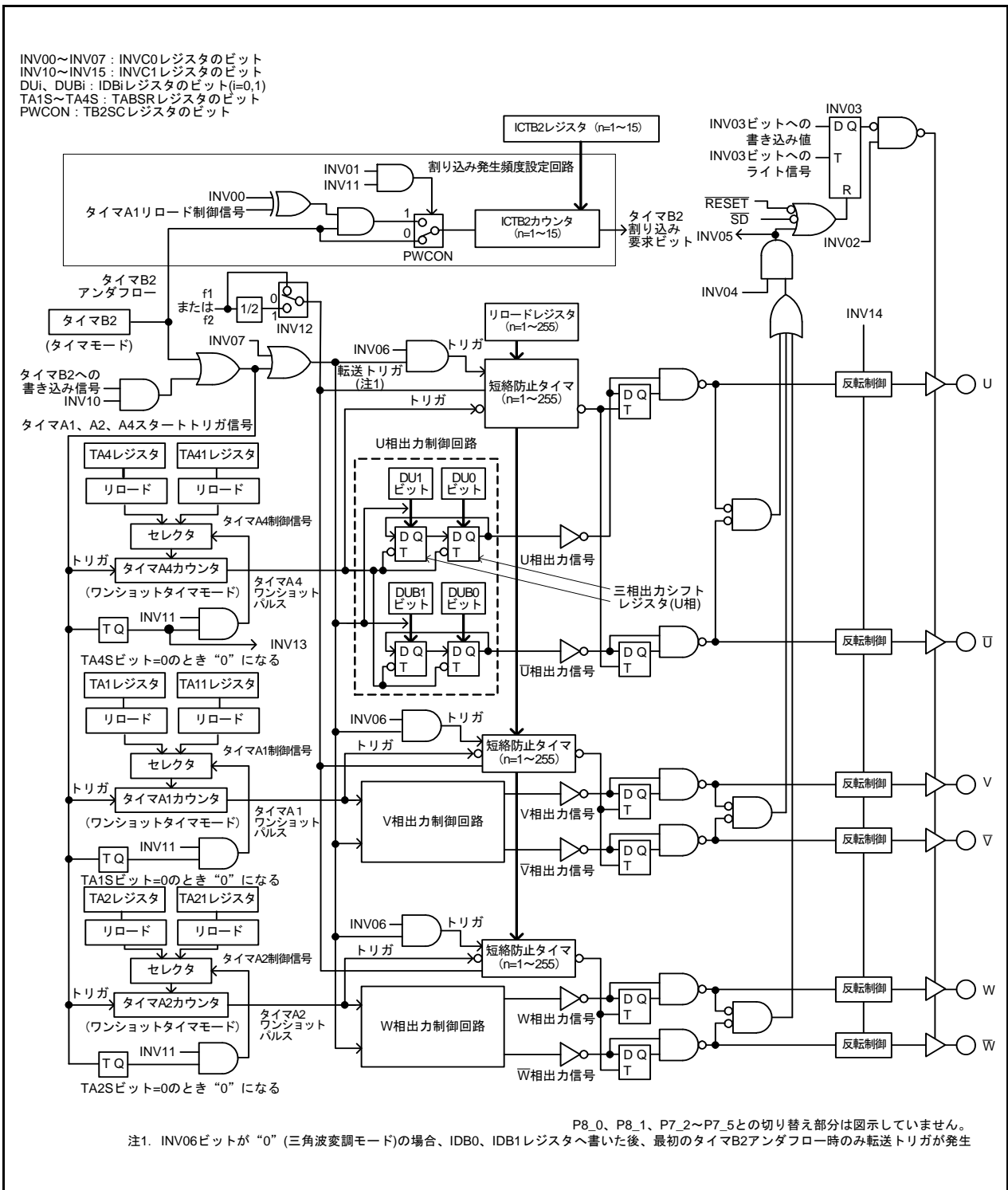


図 16.1 三相モータ制御用タイマ機能のブロック図

### 三相PWM制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル  
INVC0

アドレス  
0308h番地

リセット後の値  
00h

ビットシンボル	ビット名	機能	RW
INV00	割り込み有効出力極性選択ビット	0: タイマA1リロード制御信号の立ち上がりでICTB2カウンタのカウンタを進める 1: タイマA1リロード制御信号の立ち下がりですりICTB2カウンタのカウンタを進める (注3)	RW
INV01	割り込み有効出力指定ビット (注2)	0: タイマB2アンダフローでICTB2カウンタのカウンタを進める 1: INV00ビットで選択 (注3)	RW
INV02	モード選択ビット (注4)	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する (注5)	RW
INV03	出力制御ビット (注6)	0: 三相モータ制御用タイマ出力禁止 (注5) 1: 三相モータ制御用タイマ出力許可	RW
INV04	正逆同時アクティブ出力禁止ビット	0: 同時アクティブ出力許可 1: 同時アクティブ出力禁止	RW
INV05	正逆同時アクティブ出力検出フラグ	0: 未検出 1: 検出 (注7)	RW
INV06	変調モード選択ビット (注8)	0: 三角波変調モード 1: 鋸波変調モード (注9)	RW
INV07	ソフトウェアトリガ選択ビット	このビットに“1”を書くと転送トリガが発生する。INV06ビットが“1”の場合、短絡防止タイマへのトリガも発生する。読んだ場合、その値は“0”。	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。また、INV00~INV02、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2. このビットに“1”を書く場合は、ICTB2レジスタに値を設定してから書いてください。

注3. INVC1レジスタのINV11ビットが“1” (三相モード1)のとき有効。“0” (三相モード0)のときは、INV00、INV01ビットに関係なくタイマB2アンダフローごとにICTB2カウンタのカウンタを進めます。INV01ビットを“1”にする場合、タイマA1カウント開始フラグを最初のタイマB2アンダフローまでに“1”にしてください。

INV00ビットを“1”にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはタイマB2アンダフローのn-1回目で発生し、2回目以降の割り込みはタイマB2アンダフローのn回目ごとに発生します。

注4. INV02ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。

注5. U、V、W、W端子(端子を共用している他の出力機能に設定している場合も含む)は、INV02ビットを“1” (三相モータ制御用タイマ機能)にし、各ポートの方向レジスタを入力で、かつINV03ビットを“0” (三相モータ制御用タイマ出力禁止)にすると、すべてハイインピーダンスになります。INV03ビットが“1”のとき、U/V/W対応端子は、三相PWM出力を行います。

注6. INV03ビットは次のとき“0”になります。

- ・リセット
- ・INV04ビットが“1”のとき、同時アクティブになった場合
- ・プログラムで“0”にしたとき
- ・SD端子入力が“H”から“L”に変化したとき

INV04ビットとINV05ビットがともに“1”のとき、INV03ビットは“0”になります。

注7. プログラムで“1”は書けません。INV05ビットを“0”にする場合は、INV04ビットに“0”を書いてください。

注8. INV06ビットの影響は下表のとおりです。

項目	INV06ビット=0の場合	INV06ビット=1の場合
モード	三角波変調モード	鋸波変調モード
IDB0レジスタ、IDB1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの立ち下がりと、転送トリガに同期
INV13ビット	INV11=1かつINV06=0のとき有効	無効

転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10=1のときのタイマB2停止中のTB2レジスタへの書き込み

注9. INV06ビットが“1”の場合、INV11ビットを“0” (三相モード0)、TB2SCレジスタのPWCONビットを“0” (タイマB2のアンダフローでタイマB2リロード)にしてください。

図 16.2 INVC0レジスタ

## 三相PWM制御レジスタ1 (注1)

ビット シンボル	ビット名	機能	RW
INV10	タイマA1、A2、A4 スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、タイマB2停止時のTB2レジスタ書き込み	RW
INV11	タイマA1-1、A2-1、A4-1 制御ビット(注2)	0: 三相モード0 (注3) 1: 三相モード1	RW
INV12	短絡防止タイマ カウントソース選択ビット	0: f1TIMABまたはf2TIMAB 1: f1TIMABの2分周またはf2TIMABの2分周	RW
INV13	搬送波状態検出フラグ(注4)	0: タイマA1リロード制御信号が“0” 1: タイマA1リロード制御信号が“1”	RO
INV14	出力極性制御ビット	0: 出力波形“L”アクティブ 1: 出力波形“H”アクティブ	RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW
INV16	短絡防止時間タイマ トリガ選択ビット (注5)	0: タイマ(A4、A1、A2)のワンショットパルスの立ち下がり 1: 三相出力シフトレジスタ(U、V、W相)出力の立ち上がり	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

注2. INV11ビットの影響は下表のとおりです。

項目	INV11ビット=0の場合	INV11ビット=1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41レジスタ	使用しない	使用する
INVC0レジスタのINV00ビット、 INV01ビット	無効。 INV00、INV01ビットの値に関係なく、タイ マB2アンダフローごとにICTB2カウント	有効
INV13ビット	無効	INV11=1かつINV06=0のとき有効

注3. INVC0レジスタのINV06ビットが“1” (鋸波変調モード)の場合は、“0” (三相モード0)にしてください。  
また、INV11ビットが“0”の場合、TB2SCレジスタのPWCONビットを“0” (タイマB2のアンダフローでタイマB2リロード)にしてください。

注4. INV13ビットはINV06ビットが“0” (三角波変調モード)かつINV11ビットが“1” (三相モード1)のときのみ有効です。

注5. 次の条件がすべて当てはまる場合は、INV16ビットを“1” (短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- ・ INV15ビットが“0” (短絡防止時間有効)
- ・ INV03ビットが“1” (三相モータ制御用タイマ出力許可)のときは、常にDij(i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、正相と逆相は常に逆のレベルを出力する)。

また、上記の条件のいずれかがあてはまらない場合はINV16ビットを“0” (短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

図 16.3 INVC1レジスタ

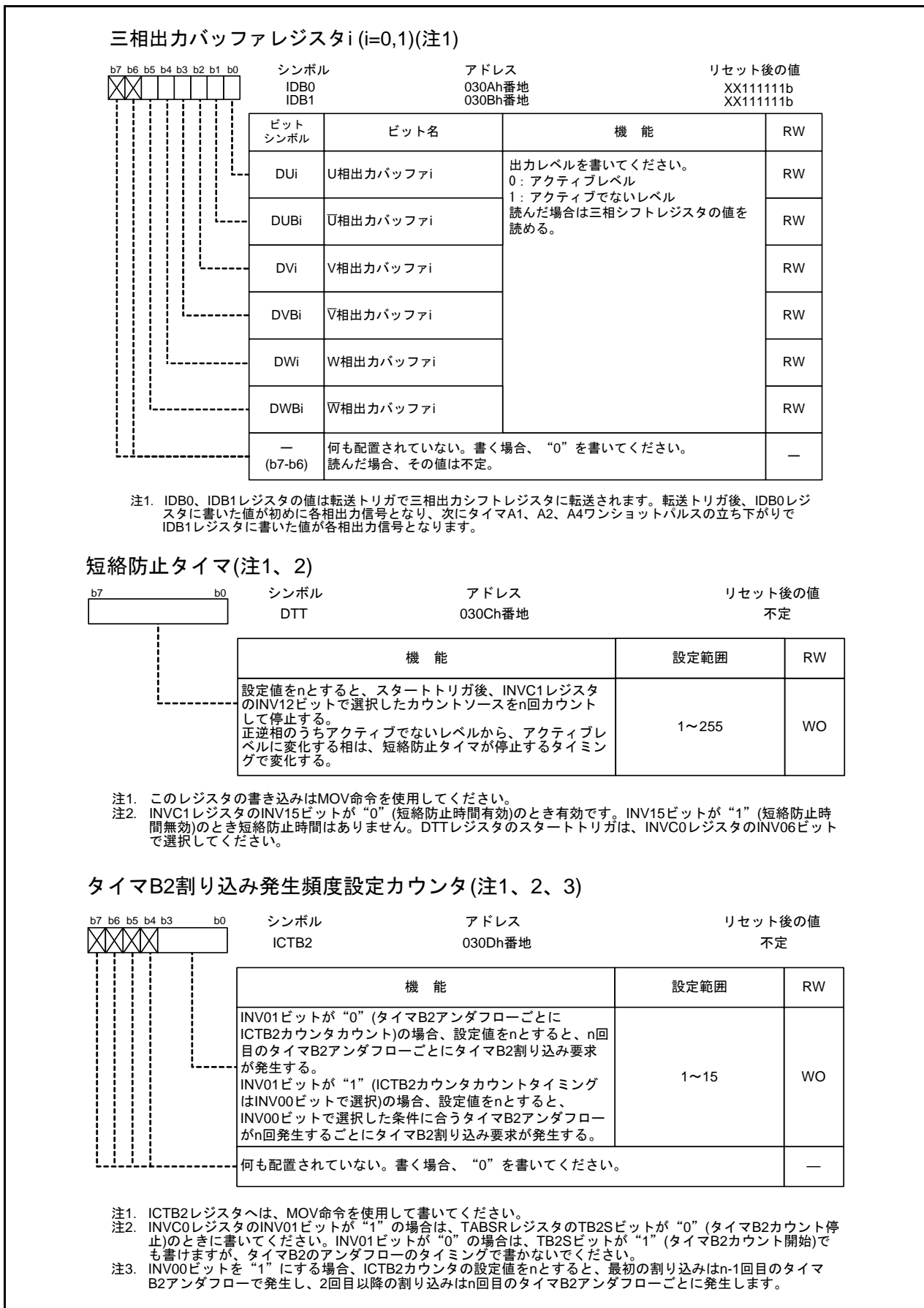


図 16.4 IDB0、IDB1、DTT、ICTB2レジスタ



## タイマAi、Ai-1レジスタ (i=1, 2, 4) (注1、2、3、4、5)

(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TA1、TA2、TA4	0329h-0328h、032Bh-032Ah、032Fh-032Eh番地	不定
		TA11、TA21、TA41	0303h-0302h、0305h-0304h、0307h-0306h番地	不定
		機 能	設定範囲	RW
		設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで正逆相が変化する。	0000h~FFFFh	WO

- 注1. 書き込みは16ビット単位で行ってください。  
 注2. これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。  
 注3. これらのレジスタへの書き込みにはMOV命令を使用してください。  
 注4. INVC1レジスタのINV15ビットが“0” (短絡防止時間有効)の場合、正逆相のうちアクティブでないレベルからアクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化します。  
 注5. INV11ビットが“1” (三相モード1)の場合、最初にTAi1レジスタの値をカウントします。以降、TAiレジスタの値とTAi1レジスタの値を交互にカウントします。

## タイマB2特殊モードレジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	TB2SC	033Eh番地	XXXXXX00b
ビット シンボル	ビット名	機 能	RW
PWCON	タイマB2リロード タイミング切り替えビット	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力 (注2)	RW
IVPCR1	三相出力ポートSD制御 ビット1 (注4)	0: SD端子入力による三相出力強制遮断 (ハイインピーダンス)禁止 1: SD端子入力による三相出力強制遮断 (ハイインピーダンス)許可 (注3)	RW
— (b7-b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

- 注1. このレジスタは、PRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。  
 注2. INV11ビットが“0” (三相モード0)、またはINV06ビットが“1” (鋸波変調モード)の場合は、PWCONビットを“0” (タイマB2アンダフロー)にしてください。  
 注3. IVPCR1ビットを“1” (SD端子入力による三相出力強制遮断許可)にする場合、PD8\_5ビットを“0” (入力)にしてください。  
 注4. 対象端子は、U (P8\_0)、 $\bar{U}$  (P8\_1)、V (P7\_2)、 $\bar{V}$  (P7\_3)、W (P7\_4)、 $\bar{W}$  (P7\_5)です。  
 P8\_5/NMI/SDに“L”が入力されると、対象端子の三相モータ制御用タイマ出力は禁止 (INV03=“0”)になります。この時、対象端子は使用している機能に関係なくIVPCR1ビットが“0”の場合は入出力ポートに、IVPCR1ビットが“1”の場合はハイインピーダンスになります。  
 強制遮断後は、P8\_5/NMI/SD端子に“H”を入力し、IVPCR1ビットを“0”にすると強制遮断が解除されます。

図 16.5 TA1、TA2、TA4、TA11、TA21、TA41、TB2SCレジスタ



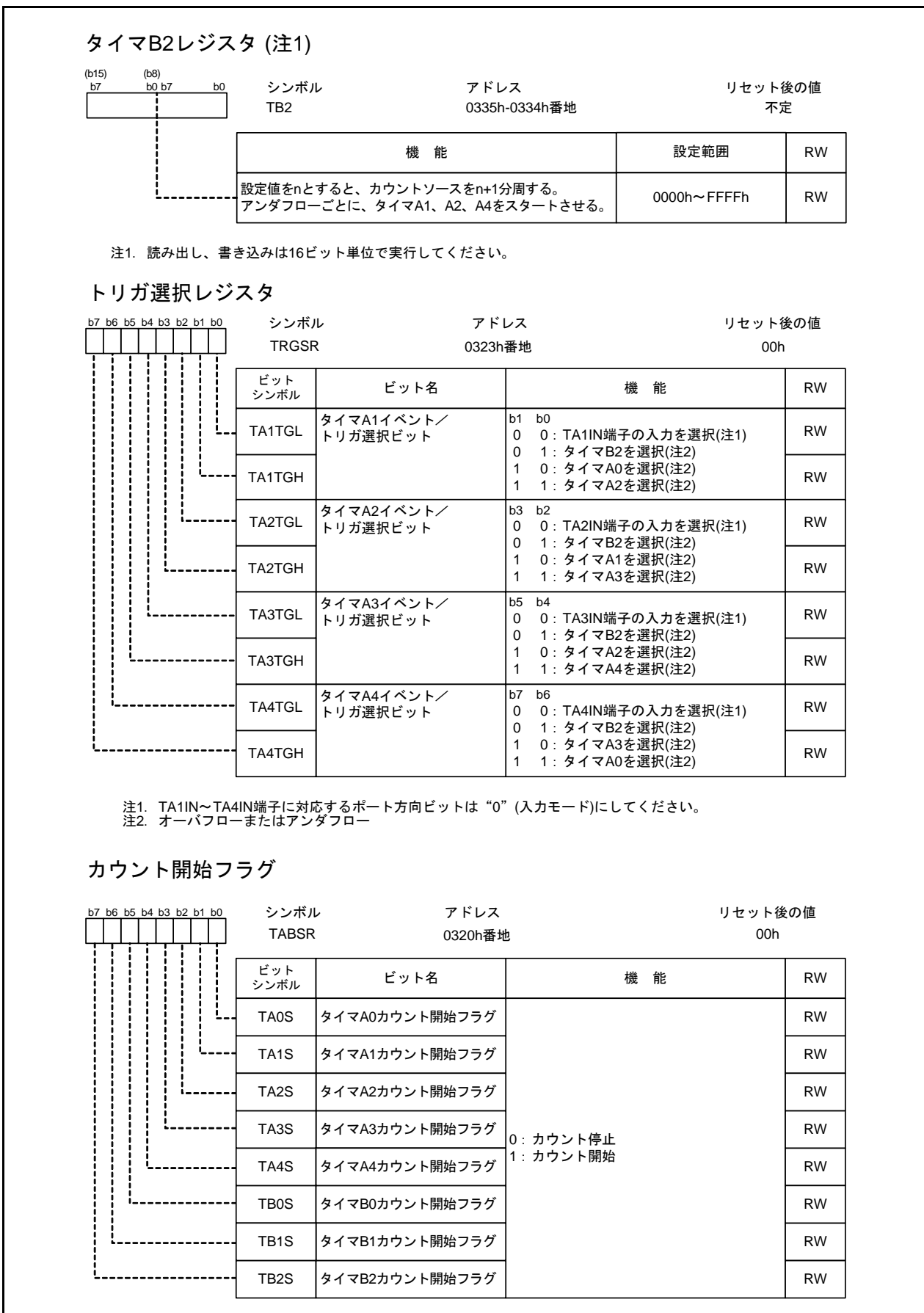


図 16.6 TB2、TRGSR、TABSR レジスタ

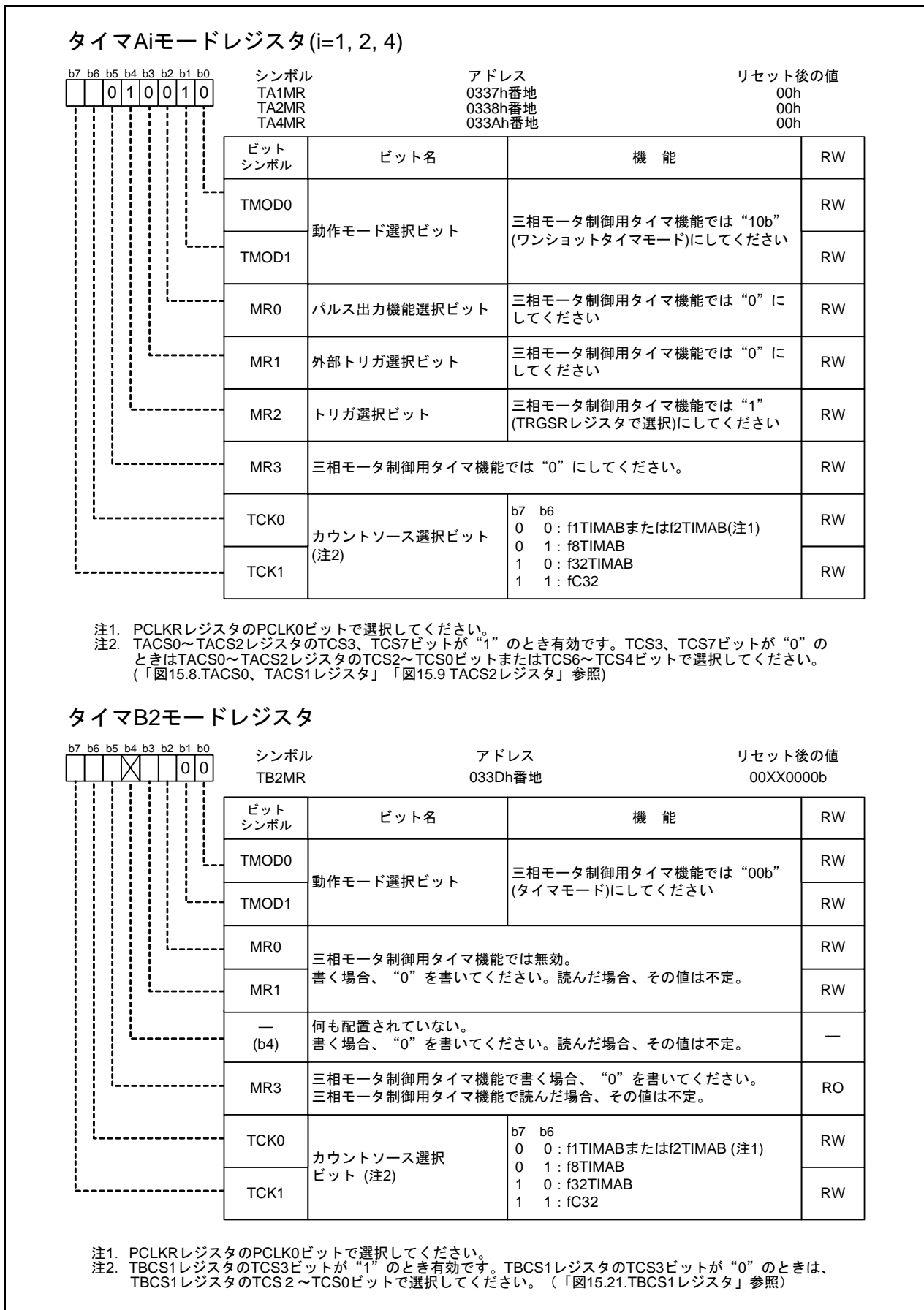


図 16.7 TA1MR、TA2MR、TA4MR、TB2MR レジスタ

INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ )の制御に使用します。短絡防止時間は専用の短絡防止タイマで制御します。図 16.8に三角波変調動作例を、図 16.9に鋸波変調動作例を示します。

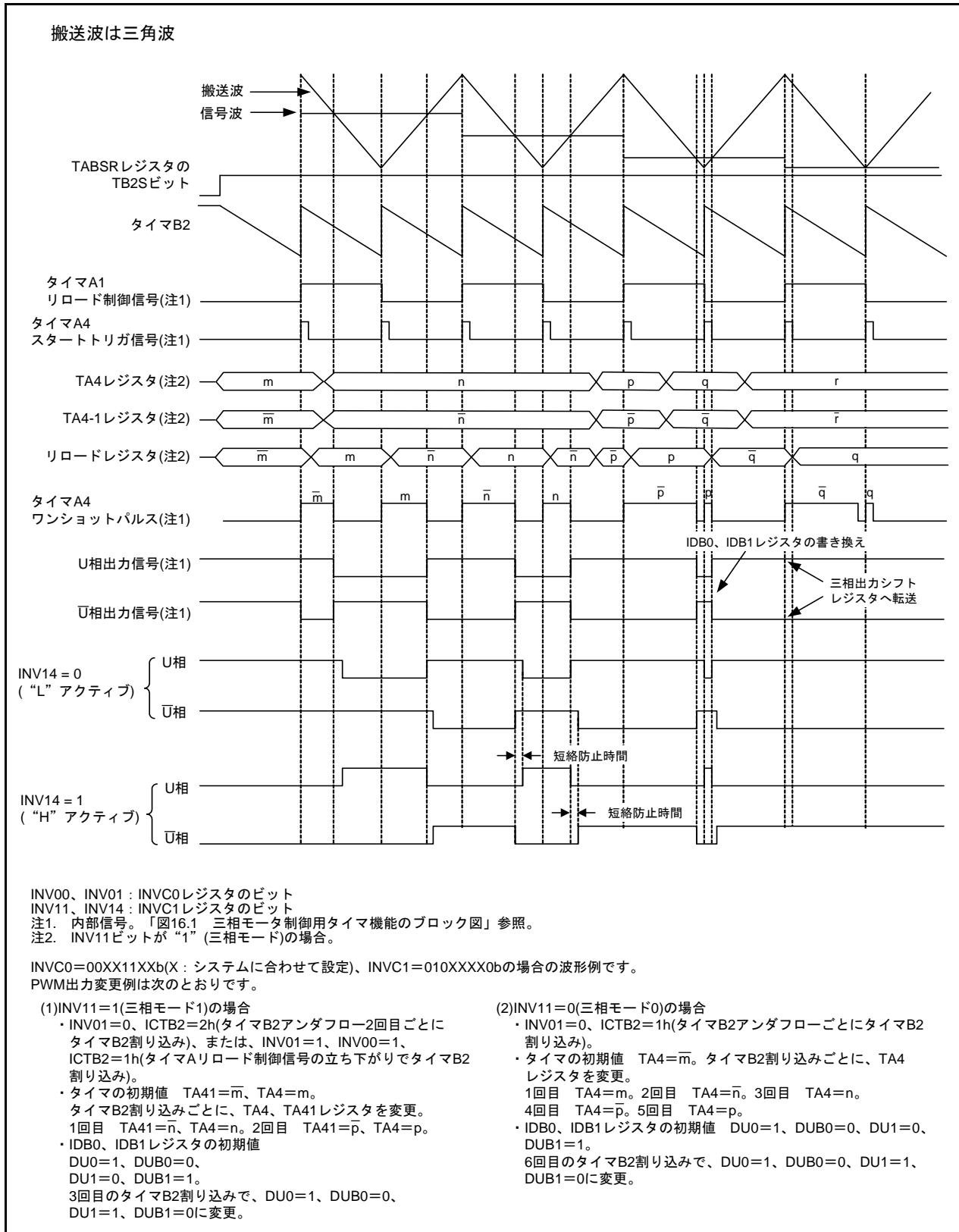


図 16.8 三角波変調動作例

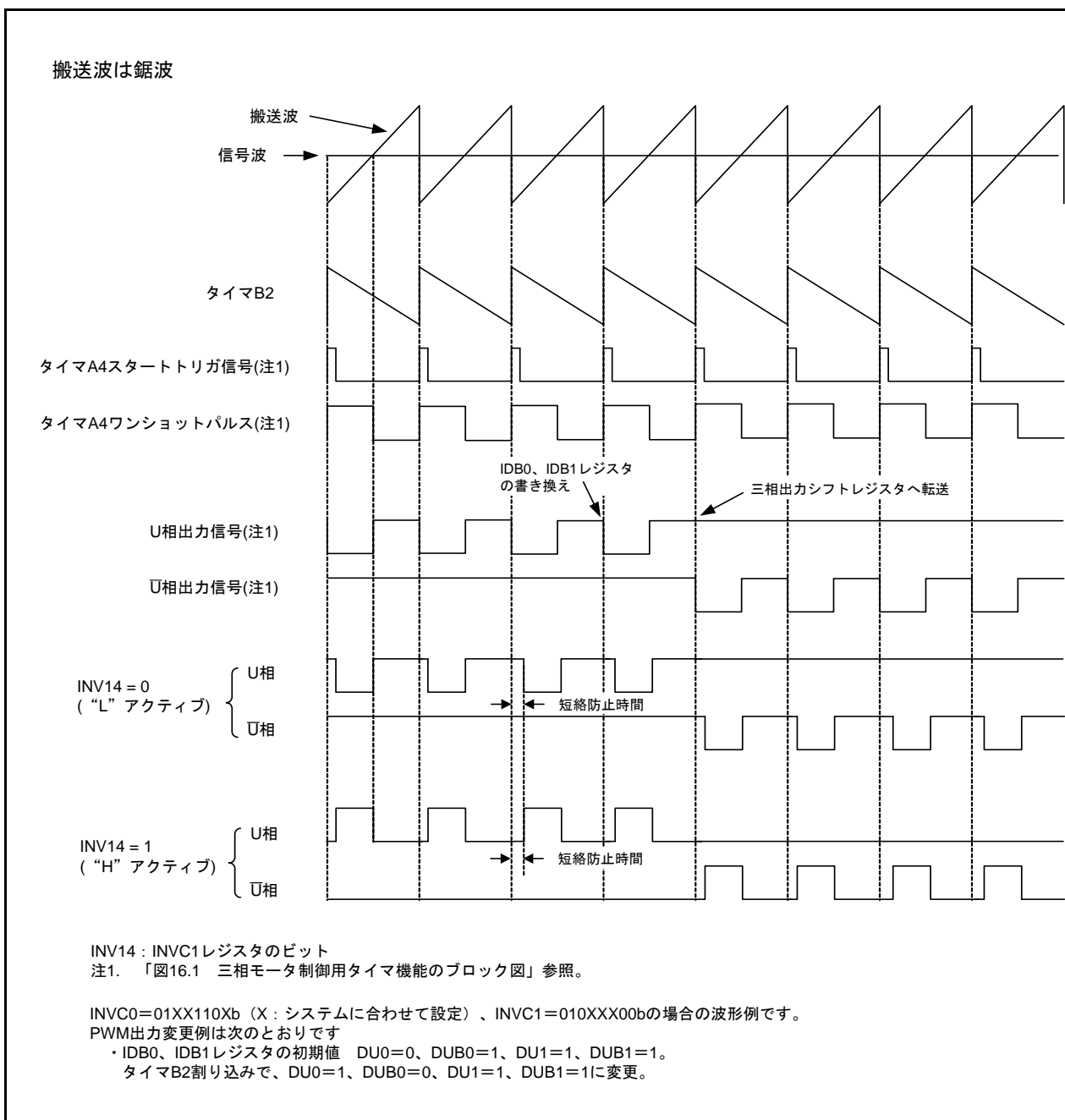


図 16.9 鋸波変調動作例

## 17. シリアルインタフェース

シリアルインタフェースは、UART0～UART2、UART5～UART7、SI/O3、SI/O4の8チャンネルで構成しています。

次にそれぞれについて説明します。

### 17.1 UART<sub>i</sub> (i=0～2、5～7)

UART<sub>i</sub>はそれぞれに専用の転送クロック生成用タイマを持ち、独立して動作します。

図 17.1～17.3にUART<sub>i</sub>ブロック図、図 17.4にUART<sub>i</sub>送受信部ブロック図を示します。

UART<sub>i</sub>には、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I<sup>2</sup>Cモード)
- 特殊モード2
- 特殊モード3(バス衝突検出機能、IEモード)
- 特殊モード4(SIMモード) : UART2

図 17.5～17.11に、UART<sub>i</sub>関連のレジスタを示します。

レジスタの設定はモードごとの表を参照してください。

なお、UART6、UART7は、メモリ拡張モードまたはマイクロプロセッサモード時は、使用できません。

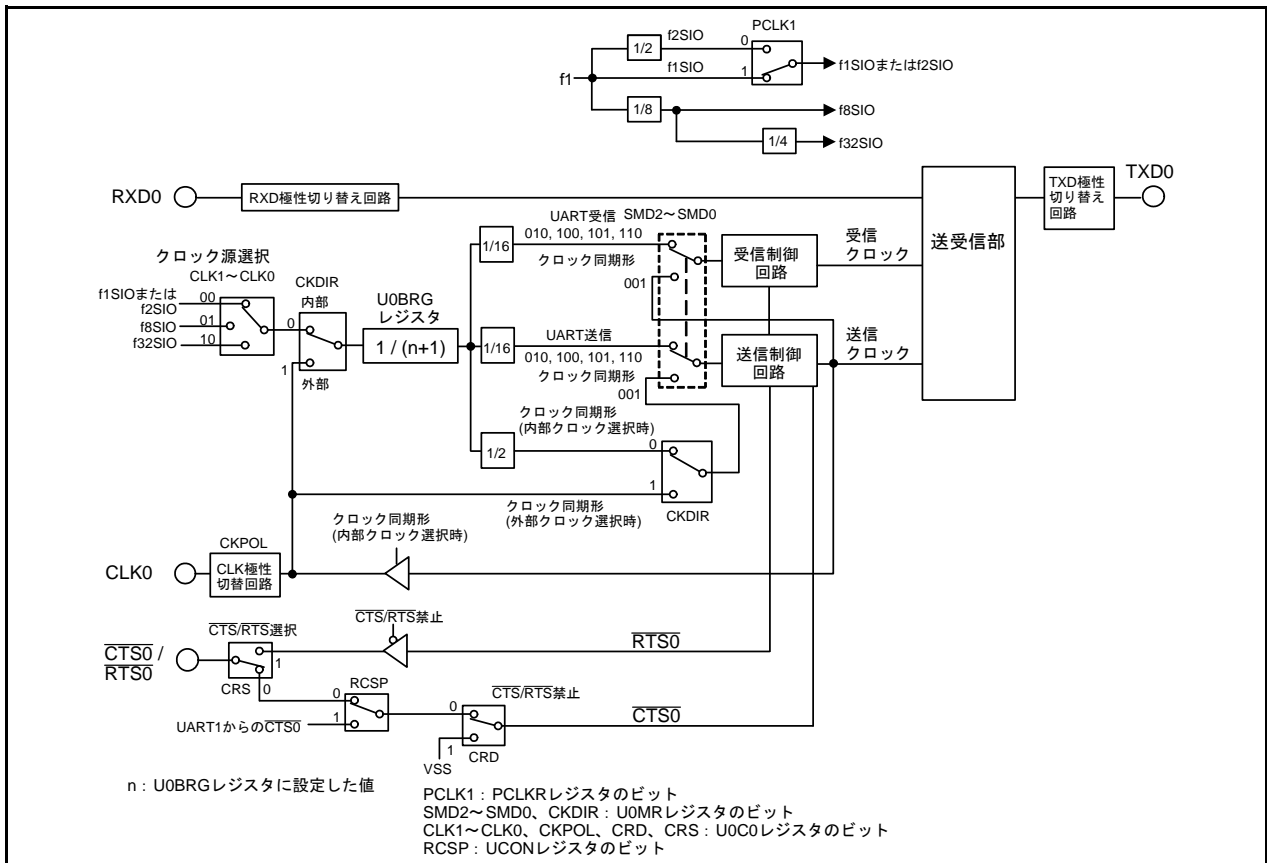


図 17.1 UART0ブロック図

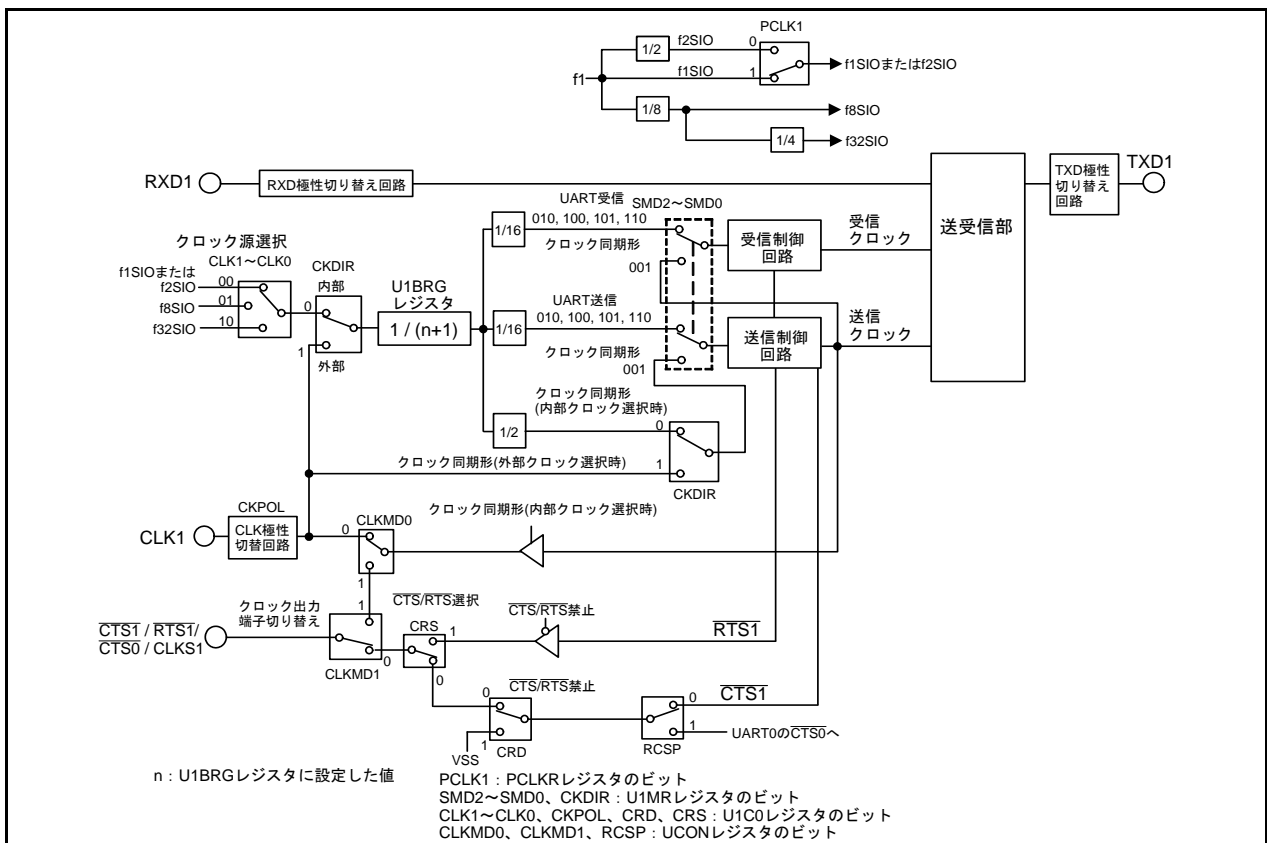


図 17.2 UART1ブロック図

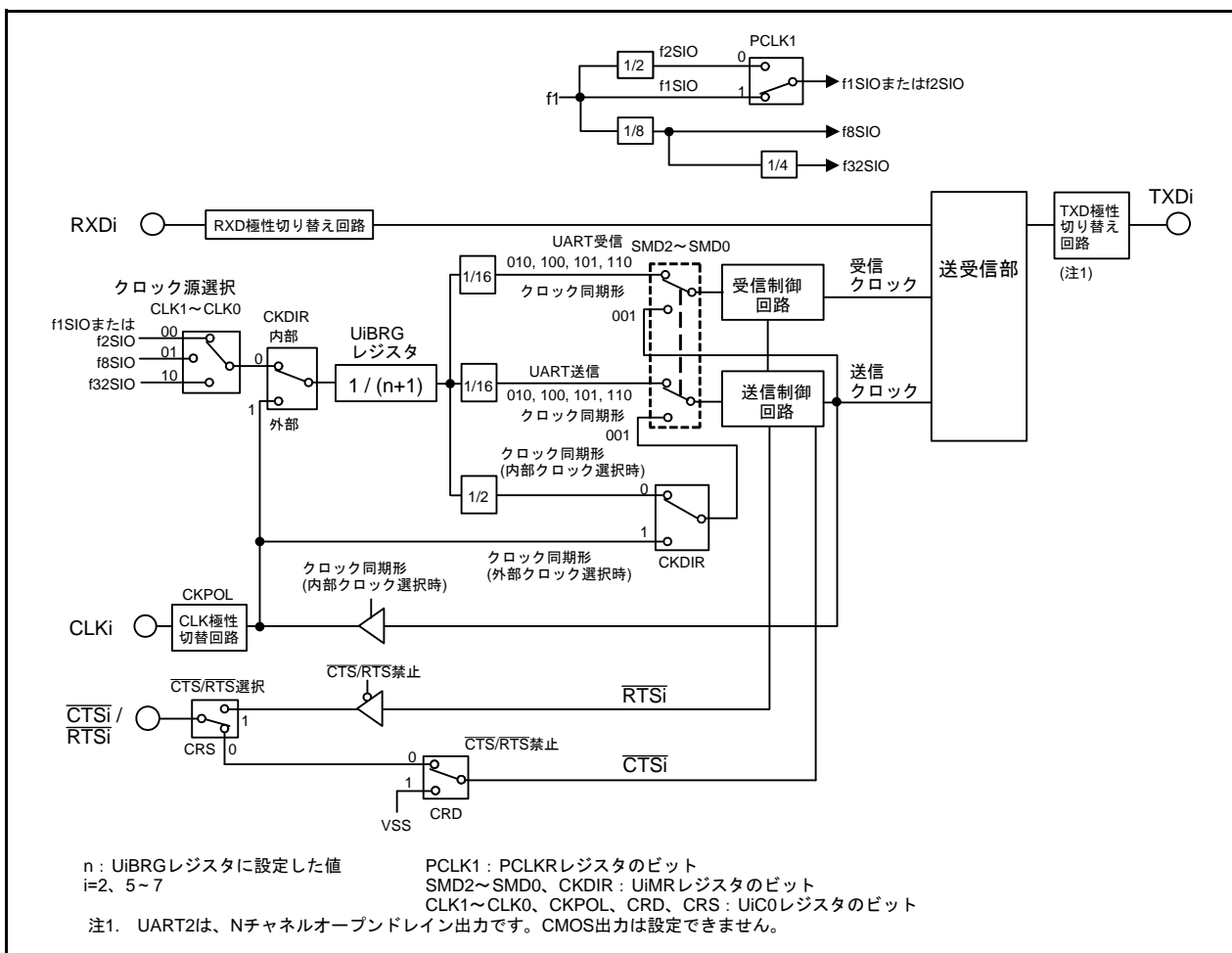


図 17.3 UART2、UART5~7ブロック図

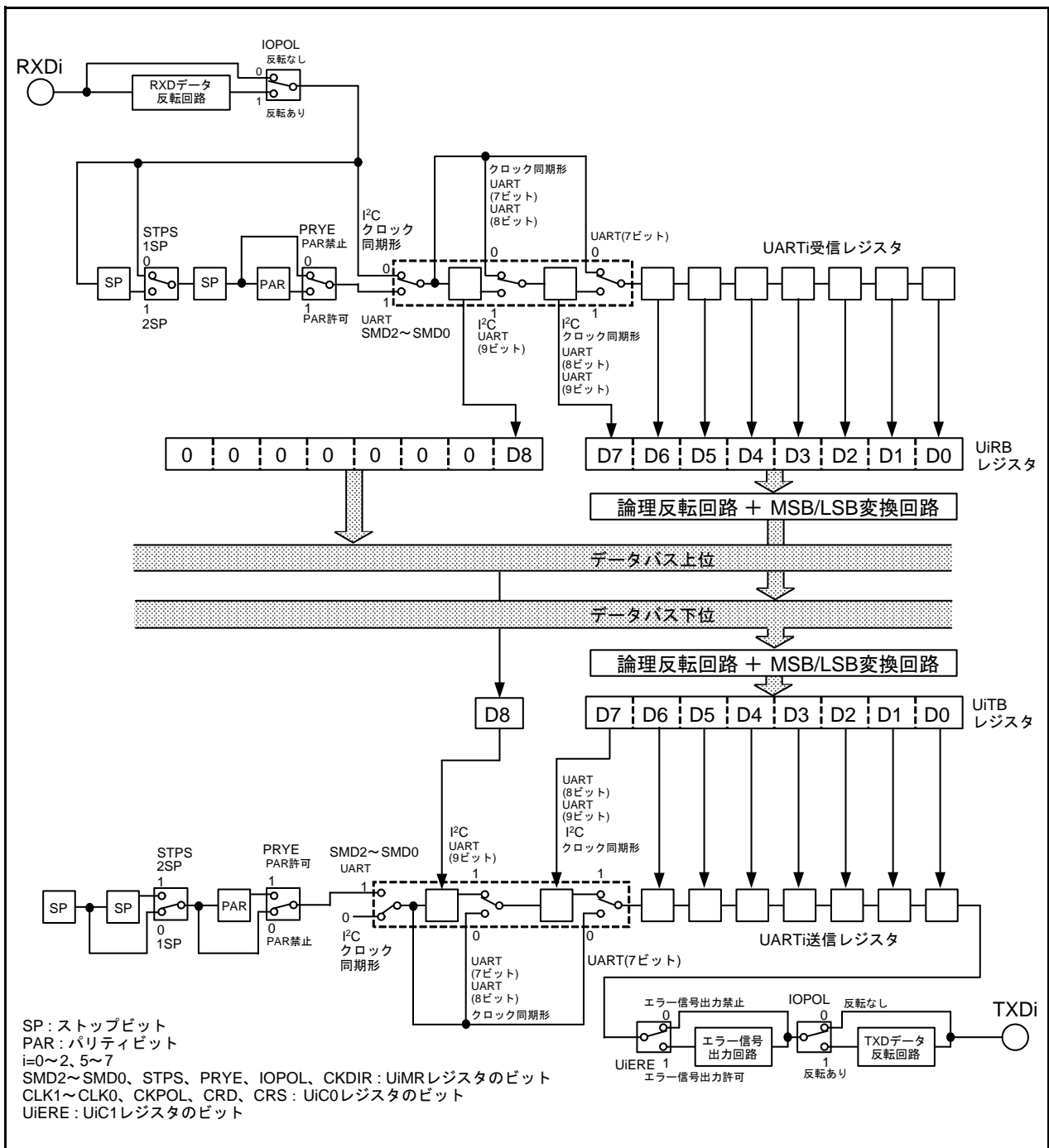
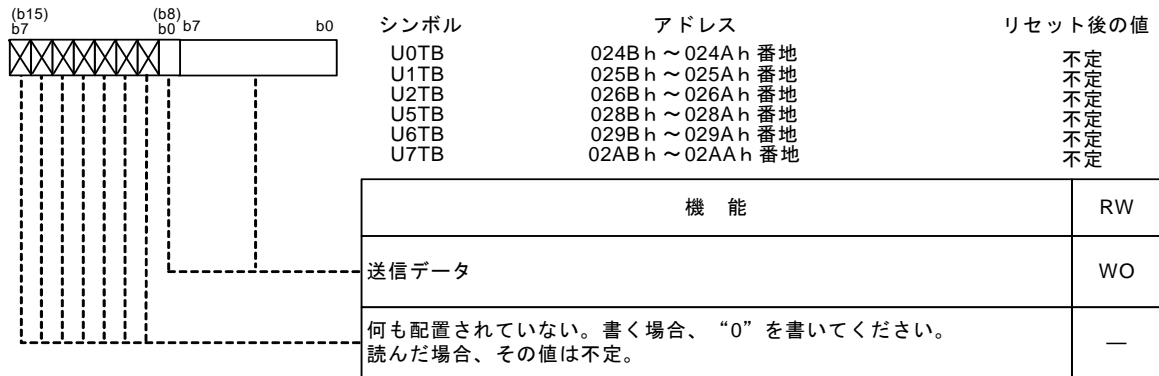


図 17.4 UARTi受送信部ブロック図

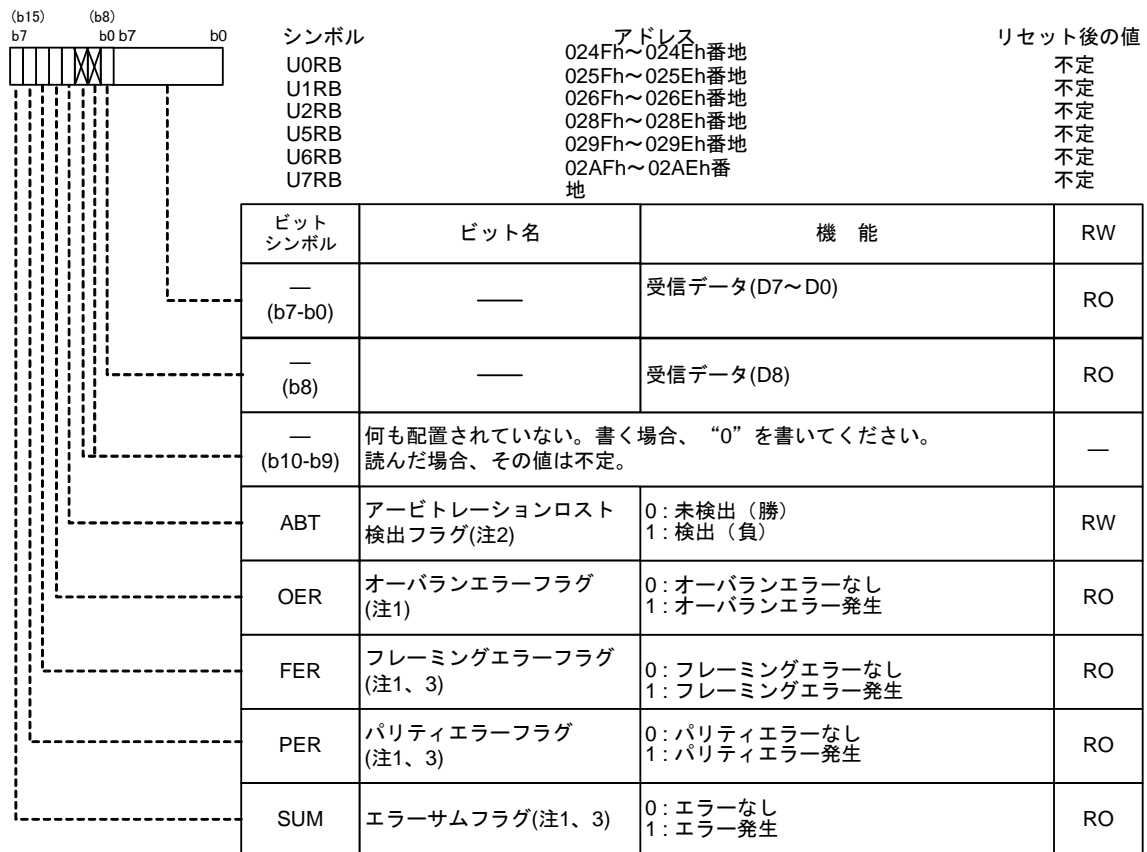


## UARTi送信バッファレジスタ (i=0~2、5~7) (注1、2)



- 注1. このレジスタはMOV命令を使用して書いてください。  
 注2. 転送データ長が9ビットの場合、16ビット単位で書くか、または8ビット単位で上位バイト→下位バイトの順で書いてください。

## UARTi受信バッファレジスタ (i=0~2、5~7)



- 注1. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、UiRBレジスタの下位バイトを読んだとき、“0”になります。  
 注2. ABTビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。  
 注3. SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I<sup>2</sup>Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定。

図 17.5 U0TB~U2TB、U5TB~U7TB、U0RB~U2RB、U5RB~U7RB レジスタ

## UARTiビットレートレジスタ (i=0~2、5~7) (注1、2、3)

シンボル	アドレス	リセット後の値
U0BRG、U1BRG、U2BRG U5BRG、U6BRG、U7BRG	0249h、0259h、0269h番地 0289h、0299h、02A9h番地	不定 不定
機能	設定範囲	RW
設定値をnとすると、UiBRGiはカウントソースをn+1分周する	00h~FFh	WO

- 注1. 送受信停止中に書いてください。  
 注2. このレジスタはMOV命令を使用して書いてください。  
 注3. このレジスタはUIC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

## UARTi送受信モードレジスタ (i=0~2、5~7)

シンボル	アドレス	リセット後の値	
U0MR、U1MR、U2MR U5MR、U6MR、U7MR	0248h、0258h、0268h番地 0288h、0298h、02A8h番地	00h 00h	
ビット シンボル	ビット名	機能	RW
SMD0	シリアルI/Oモード選択 ビット	b2 b1 b0 0 0 0: シリアルインタフェースは無効 0 0 1: クロック同期形シリアルI/Oモード 0 1 0: I <sup>2</sup> Cモード (注3) 1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
SMD1		RW	
SMD2		RW	
CKDIR	内/外部クロック選択 ビット	0: 内部クロック 1: 外部クロック(注1)	RW
STPS	ストップビット長選択 ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
IOPOL	TXD、RXD入出力極性 切り替えビット	0: 反転なし 1: 反転あり	RW

- 注1. CLKi端子に対応するポート方向ビットは“0” (入力モード)にしてください。  
 注2. 受信する場合、RXDi端子に対応するポート方向ビットは“0” (入力モード)にしてください。  
 注3. SDAi、SCLi端子に対応するポート方向ビットは“0” (入力モード)にしてください。

図 17.6 U0BRG~U2BRG、U5BRG~U7BRG、U0MR~U2MR、U5MR~U7MR レジスタ

UARTi送受信制御レジスタ0(i=0~2、5~7)

ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	U0C0、U1C0、U2C0 U5C0、U6C0、U7C0	024Ch、025Ch、026Ch番地 028Ch、029Ch、02ACh番地	00001000b 00001000b

ビットシンボル	ビット名	機能	RW
CLK0	UiBRGカウン ト	b1 b0 0 0: f1SIO またはf2SIOを選択 (注5) 0 1: f8SIOを選択	RW
CLK1	ソース選択ビット(注6)	1 0: f32SIOを選択 1 1: 設定しないでください	RW
CRS	CTS/RTS能 選択ビット(注4)	CRD=0のとき有効 0: CTS機能を選択(注1) 1: RTS機能を選択	RW
TXEPT	送信レジスタ 空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁 止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止 (P6_0、P6_4、P7_3、P8_1、P1_0、 P4_4は入出力ポートとして使用できる)	RW
NCH	データ出力 選択ビット(注2)	0: TXDi/SDAi、SCLi端子はCMOS出力 1: TXDi/SDAi、SCLi端子はNチャネルオー プンドレイン出力	RW
CKPOL	CLK極性選 択ビット	0: 転送クロックの立ち下がりで送信デー タ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信デー タ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォー マット選択ビット (注3)	0: LSBファースト 1: MSBファースト	RW

- 注1. CTSi端子に対応するポート方向ビットは“0”(入力モード)にしてください。
- 注2. TXD2/SDA2、SCL2は、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。
- 注3. UFORMビットはUiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。SMD2~SMD0ビットが“010b”(I<sup>2</sup>Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。
- 注4. CTS1/RTS1はUCONレジスタのCLKMD1ビットが“0”(CLK出力はCLK1のみ)、かつUCONレジスタのRCSPビットが“0”(CTS0/RTS0分離しない)のとき使用できます。
- 注5. PCLKRレジスタのPCLK1ビットで選択してください。
- 注6. CLK1~CLK0ビットを変更した場合は、UiBRGレジスタを設定してください。

図 17.7 U0C0~U2C0、U5C0~U7C0レジスタ

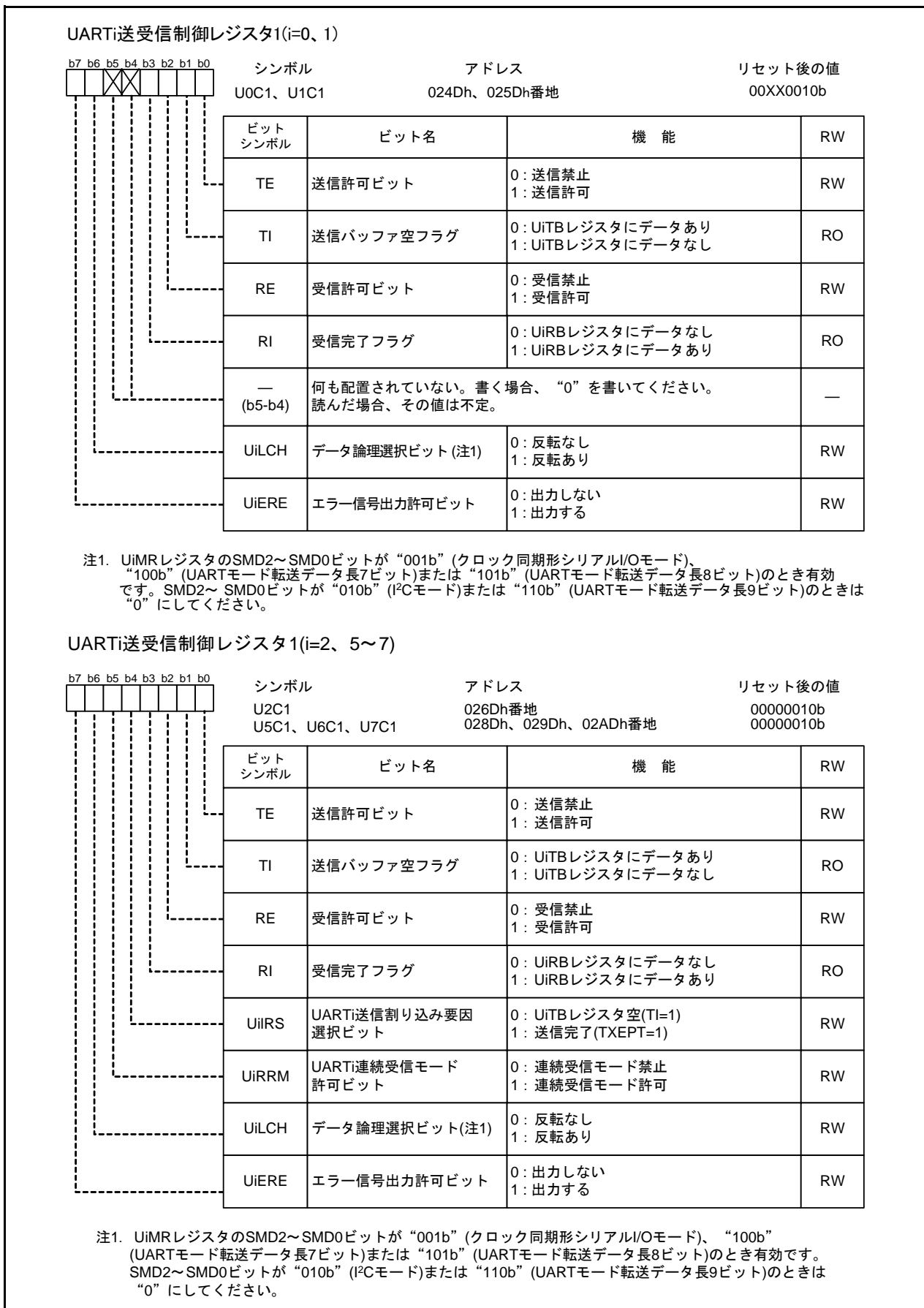


図 17.8 U0C1~U2C1、U5C1~U7C1 レジスタ

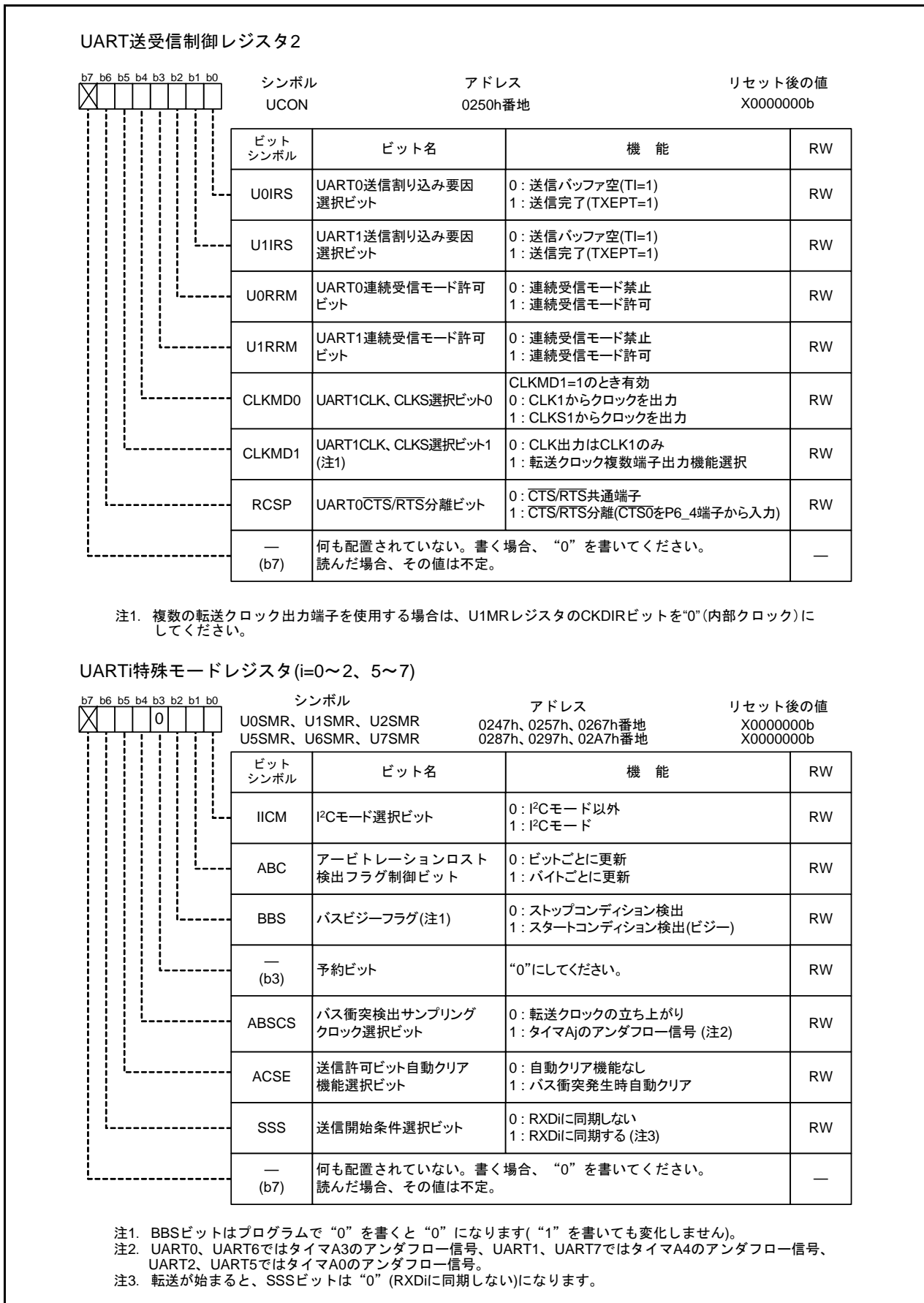


図 17.9 UCON、U0SMR~U2SMR、U5SMR~U7SMR レジスタ

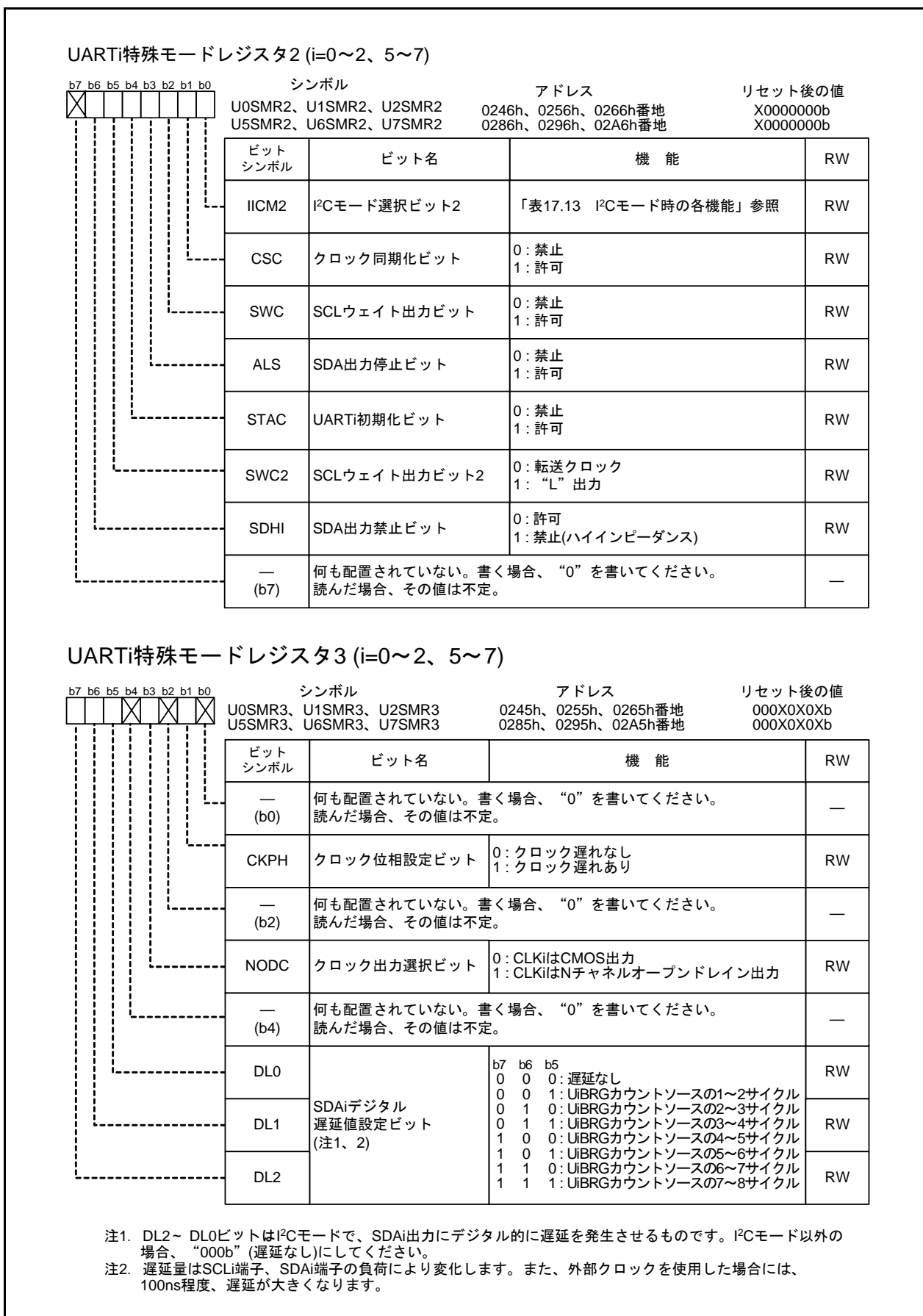


図 17.10 U0SMR2~U2SMR2、U5SMR2~U7SMR2、U0SMR3~U2SMR3、U5SMR3~U7SMR3レジスタ

UART<sub>i</sub>特殊モードレジスタ4 (i=0~2、5~7)

ビット シンボル	シンボル	アドレス	リセット後の値
	U0SMR4、U1SMR4、U2SMR4 U5SMR4、U6SMR4、U7SMR4	0244h、0254h、0264h番地 0284h、0294h、02A4h番地	00h 00h

ビット シンボル	ビット名	機能	RW
STAREQ	スタートコンディション 生成ビット(注1)	0: クリア 1: スタート	RW
RSTAREQ	リスタートコンディション 生成ビット(注1)	0: クリア 1: スタート	RW
STPREQ	ストップコンディション 生成ビット(注1)	0: クリア 1: スタート	RW
STSPSEL	SCL、SDA出力選択ビット	0: スタートコンディション、ストップコ ンディション出力しない 1: スタートコンディション、ストップコ ンディション出力する	RW
ACKD	ACKデータビット	0: ACK 1: NACK	RW
ACKC	ACKデータ出力許可ビット	0: シリアルインタフェースデータ出力 1: ACKデータ出力	RW
SCLHI	SCL出力停止許可ビット	0: 禁止 1: 許可	RW
SWC9	SCLウェイトビット3	0: SCL “L” ホールド禁止 1: SCL “L” ホールド許可	RW

注1. 各コンディションが生成されたとき、“0”になります。

図 17.11 U0SMR4~U2SMR4、U5SMR4~U7SMR4 レジスタ



### 17.1.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表 17.1にクロック同期形シリアルI/Oモードの仕様、表 17.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 17.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>• UiMR レジスタのCKDIR ビットが“0” (内部クロック) : <math>f_j/(2(n+1))</math>  <math>f_j=f1SIO, f2SIO, f8SIO, f32SIO</math> <math>n=UiBRG</math> レジスタの設定値 00h~FFh</li> <li>• CKDIR ビットが“1” (外部クロック) : CLKi端子からの入力</li> </ul>
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> <li>• UiC1 レジスタのTE ビットが“1” (送信許可)</li> <li>• UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)</li> <li>• CTS機能を選択している場合、CTS<math>\bar{i}</math>端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> <li>• UiC1 レジスタのRE ビットが“1” (受信許可)</li> <li>• UiC1 レジスタのTE ビットが“1” (送信許可)</li> <li>• UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり。UiTB レジスタにダミー書き込み)</li> </ul>
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> <li>• UiIRS ビット(注3)が“0” (送信バッファ空) :  UiTB レジスタから UARTi送信レジスタへデータ転送時(送信開始時)</li> <li>• UiIRS ビットが“1” (送信完了) : UARTi送信レジスタからデータ送信完了時  受信する場合 <ul style="list-style-type: none"> <li>• UARTi受信レジスタから UiRB レジスタへデータ転送時(受信完了時)</li> </ul> </li> </ul>
エラー検出	オーバランエラー(注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> <li>• CLK極性選択  転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可</li> <li>• LSBファースト、MSBファースト選択  ビット0から送受信するか、またはビット7から送受信するかを選択可</li> <li>• 連続受信モード選択  UiRB レジスタを読むことで、同時に受信許可状態になる</li> <li>• シリアルデータ論理切り替え  送受信データの論理値を反転する機能</li> <li>• 転送クロック複数端子出力選択(UART1)  UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可</li> <li>• CTS/RTS分離機能(UART0)  CTS<math>\bar{0}</math>とRTS<math>\bar{0}</math>を別の端子から入出力する</li> </ul>

i=0~2、5~7

注1. 外部クロックを選択している場合、UiC0 レジスタのCKPOL ビットが“0” (転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOL ビットが“1” (転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタ受信データは不定になります。また SiRIC レジスタの IR ビットは“1” (割り込み要求あり)に変化しません。

注3. U0IRS、U1IRS ビットは UCON レジスタのビット0、1です。U2IRS、U5IRS、U6IRS、U7IRS ビットは U2C1、U5C1、U6C1、U7C1 レジスタにあります。



表 17.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR(注3)	SMD2~SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UjIRS(注1)	UARTj送信割り込み要因を選択してください
	UjRRM(注1)	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~2	“0” にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	UART0を連続受信モードで使用する場合、“1” にしてください
	U1RRM	UART1を連続受信モードで使用する場合、“1” にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“1” にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1” にしてください
	7	“0” にしてください

i=0~2、5~7

j=2、5~7

注1. U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは“0”にしてください。

注3. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表 17.3 にクロック同期形シリアル I/O モード時の入出力端子の機能を示します。表 17.3 は、転送クロック複数端子出力選択機能を非選択の場合です。また、表 17.4 にクロック同期形シリアル I/O モード時の P6\_4 端子の機能を示します。

なお、UART<sub>i</sub> の動作モード選択後、転送開始までは、TXD<sub>i</sub> 端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 17.3 クロック同期形シリアル I/O モード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXD <sub>i</sub>	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXD <sub>i</sub>	シリアルデータ入力	RXD <sub>i</sub> 端子に対応するポート方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLK <sub>i</sub>	転送クロック出力	UiMR レジスタのCKDIR ビット=0
	転送クロック入力	UiMR レジスタのCKDIR ビット=1 CLK <sub>i</sub> 端子に対応するポート方向ビットを“0”にする
CTS <sub>i</sub> /RTS <sub>i</sub>	CTS入力	UiC0 レジスタのCRD ビット=0 UiC0 レジスタのCRS ビット=0 CTS <sub>i</sub> 端子に対応するポート方向ビットを“0”にする
		RTS出力
	入出力ポート	UiC0 レジスタのCRD ビット=1

i=0~2、5~7

表 17.4 クロック同期形シリアル I/O モード時の P6\_4 端子の機能

端子の機能	ビットの設定値					
	U1C0 レジスタ		UCON レジスタ			PD6 レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	入力 : 0、出力 : 1
CTS <sub>1</sub>	0	0	0	0	—	0
RTS <sub>1</sub>	0	1	0	0	—	—
CTS <sub>0</sub> (注1)	0	0	1	0	—	0
CLKS <sub>1</sub>	—	—	—	1(注2)	1	—

— : “0” または “1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTS<sub>0</sub>/RTS<sub>0</sub>許可)、U0C0レジスタのCRSビットを“1”(RTS<sub>0</sub>選択)にしてください。

注2. CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。

- ・ U1C0 レジスタのCKPOL ビットが “0” : H
- ・ U1C0 レジスタのCKPOL ビットが “1” : L

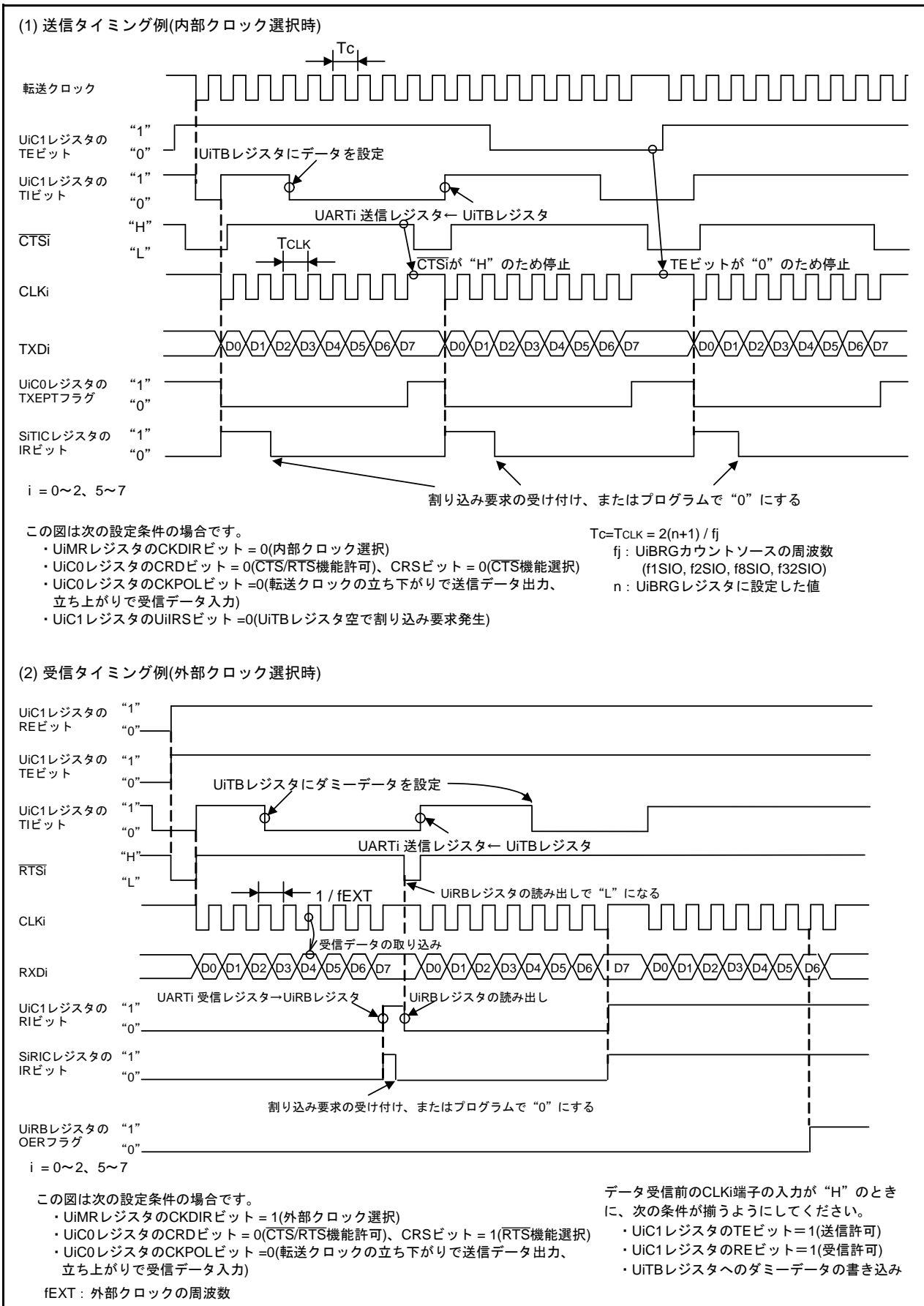


図 17.12 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

### 17.1.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

• UiRBレジスタ(i=0~2、5~7)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインターフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのREビットを“1”(受信許可)にする。

• UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインターフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

### 17.1.1.2 CLK極性選択

UiC0レジスタ(i=0~2、5~7)のCKPOLビットで転送クロックの極性を選択できます。図17.13に転送クロックの極性を示します。

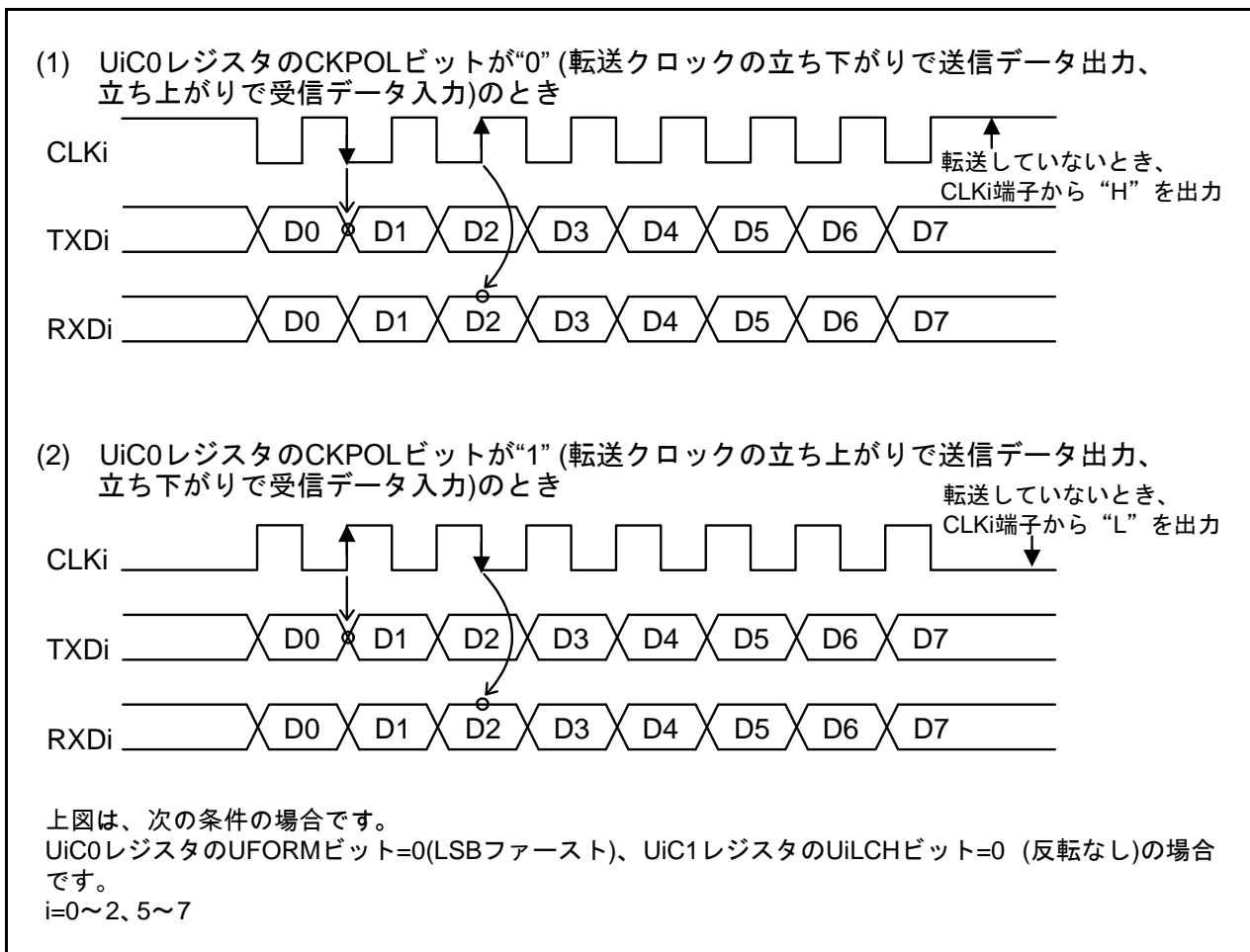


図 17.13 転送クロックの極性

### 17.1.1.3 LSBファースト、MSBファースト選択

UiC0レジスタ(i=0~2、5~7)のUFORMビットで転送フォーマットを選択できます。図 17.14に転送フォーマットを示します。

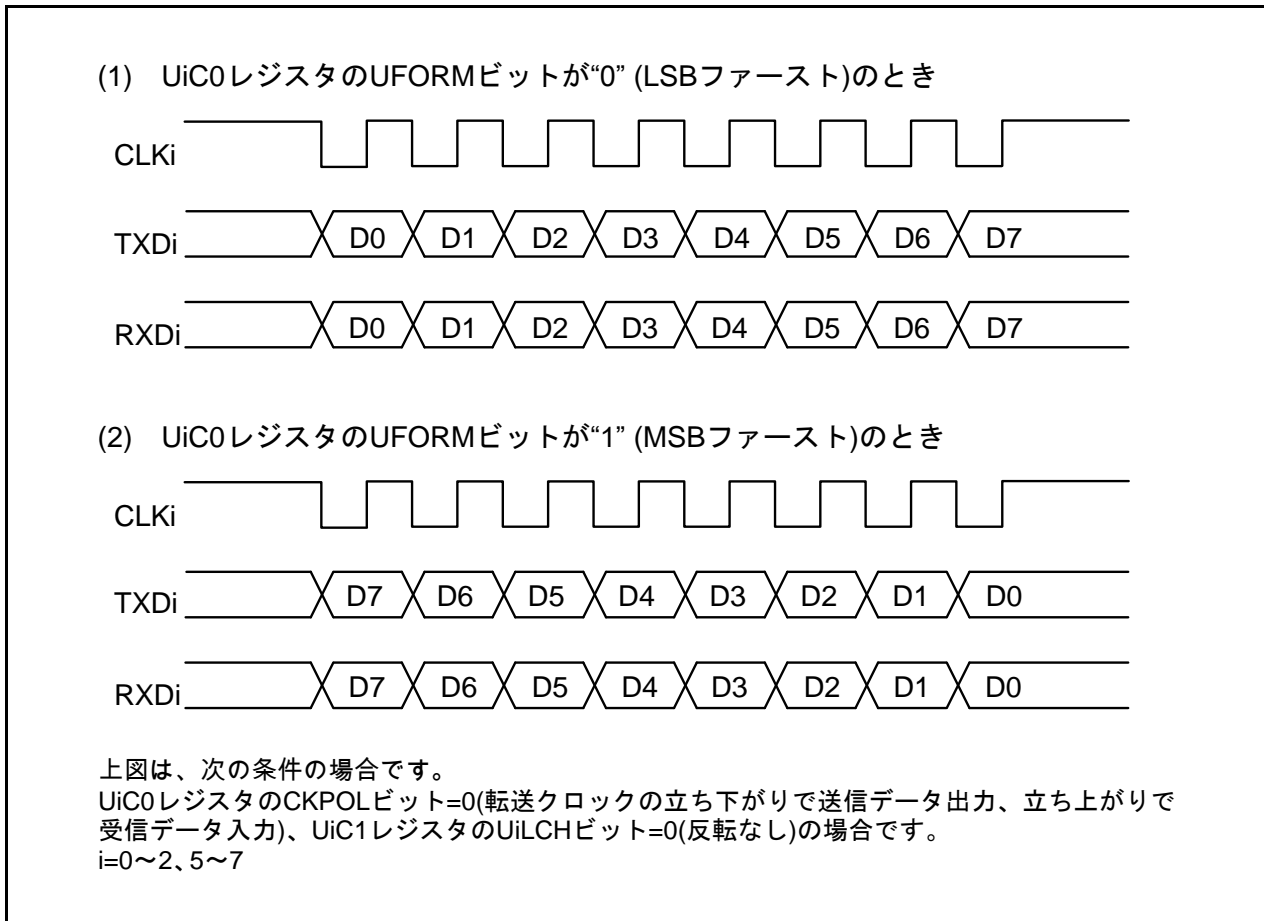


図 17.14 転送フォーマット

### 17.1.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiRRMビット(i=0~2、5~7)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。U0RRM、U1RRMビットはUCONレジスタのビット2、3です。U2RRM、U5RRM、U6RRM、U7RRMビットはU2C1、U5C1、U6C1、U7C1レジスタにあります。

### 17.1.1.5 シリアルデータ論理切り替え

UiC1レジスタ(i=0~2、5~7)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図17.15にシリアルデータ論理を示します。

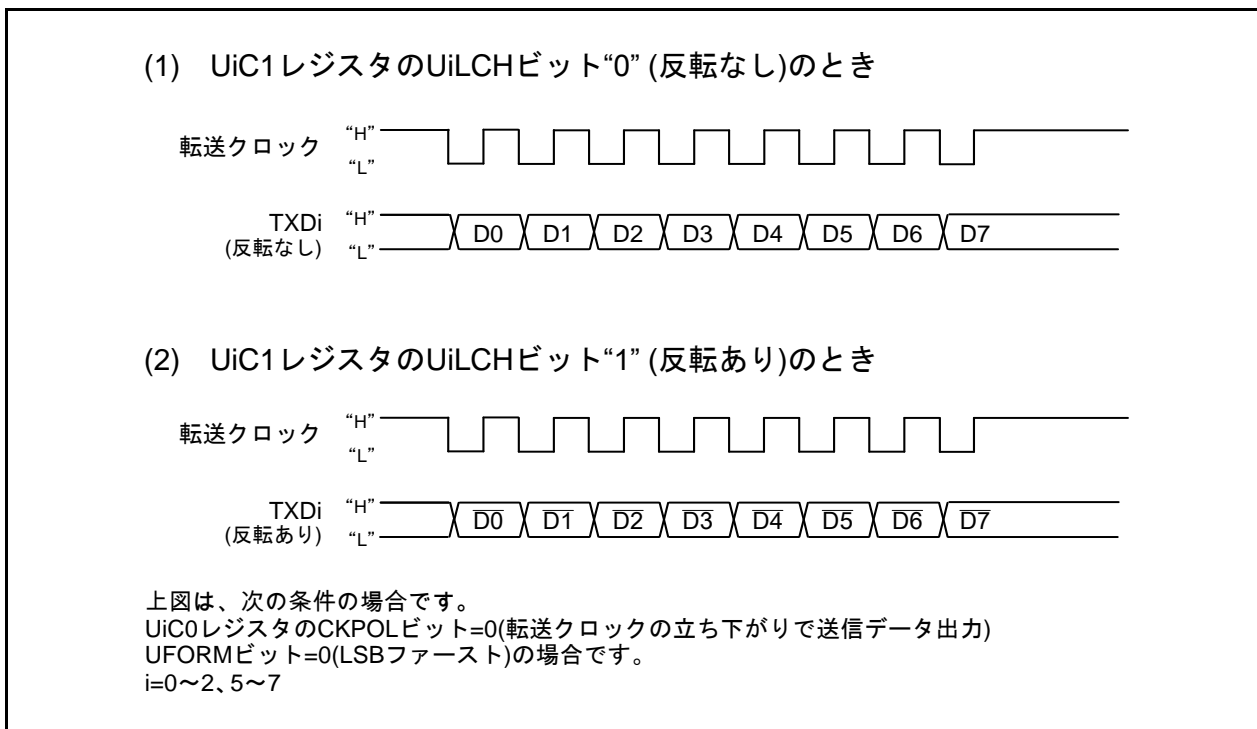


図 17.15 シリアルデータ論理

### 17.1.1.6 転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1~CLKMD0ビットで2本の転送クロック出力端子から1本を選択できません(図17.16)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

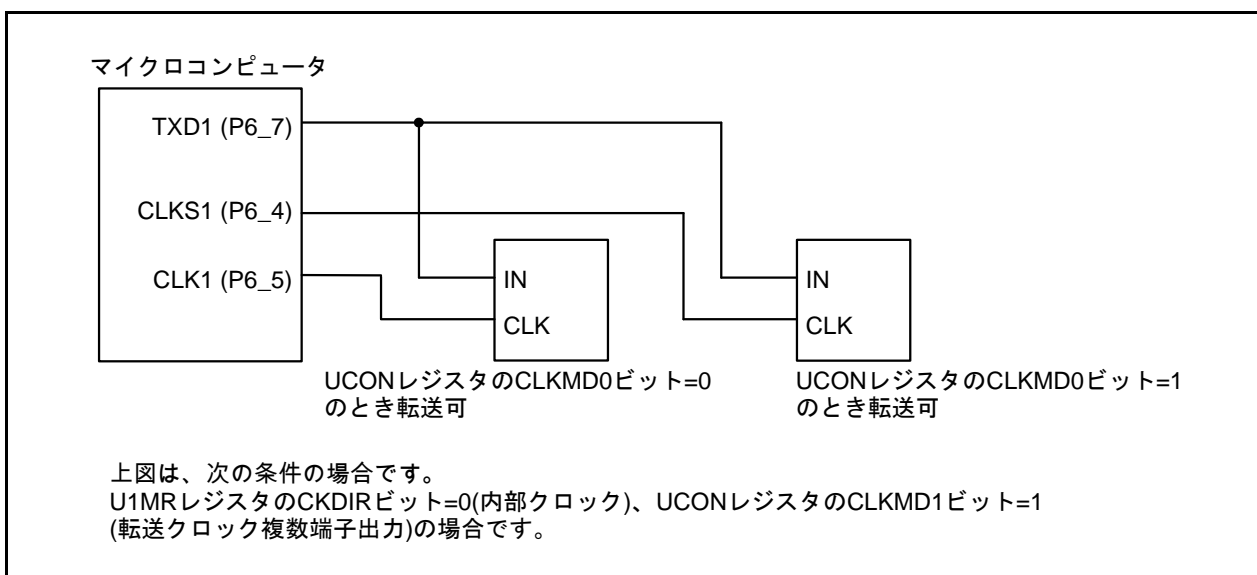


図 17.16 転送クロック複数端子出力機能の使用例

### 17.1.1.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ ( $i=0\sim 2, 5\sim 7$ )端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 端子の出力レベルが“L”になります。CLK $i$ 端子の最初の立ち下がりで出力レベルが“H”になります。

- U $i$ C0レジスタのCRDビット=1( $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能禁止)  $\overline{\text{CTS}}/\overline{\text{RTS}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0( $\overline{\text{CTS}}$ 機能選択)  $\overline{\text{CTS}}/\overline{\text{RTS}}$ 端子は $\overline{\text{CTS}}$ 機能
- CRDビット=0、CRSビット=1( $\overline{\text{RTS}}$ 機能選択)  $\overline{\text{CTS}}/\overline{\text{RTS}}$ 端子は $\overline{\text{RTS}}$ 機能

### 17.1.1.8 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

$\overline{\text{CTS}}/\overline{\text{RTS}}$ を分離し、 $\overline{\text{RTS}}$ をP6\_0端子から出力、 $\overline{\text{CTS}}$ をP6\_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U0C0レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
- U1C0レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U1C0レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- UCONレジスタのRCSPビット=1( $\overline{\text{CTS}}$ をP6\_4端子から入力)
- UCONレジスタのCLKMD1ビット=0(CLKS1を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

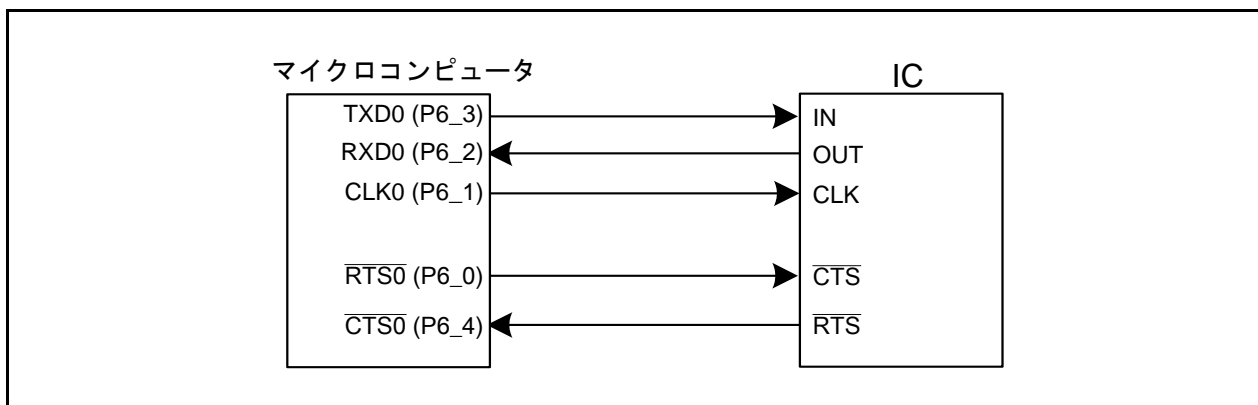


図 17.17  $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

### 17.1.2 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表17.5にUARTモードの仕様を示します。

表 17.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>• キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可</li> <li>• スタートビット 1ビット</li> <li>• パリティビット 奇数、偶数、なしを選択可</li> <li>• ストップビット 1ビット、2ビットを選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>• UiMRレジスタのCKDIRビットが“0”(内部クロック): <math>f_j/(16(n+1))</math>  <math>f_j=f1SIO, f2SIO, f8SIO, f32SIO</math>. <math>n=UiBRG</math>レジスタの設定値 00h~FFh</li> <li>• CKDIRビットが“1”(外部クロック): <math>fEXT/(16(n+1))</math>  <math>fEXT</math>はCLKi端子からの入力。 <math>n=UiBRG</math>レジスタの設定値 00h~FFh</li> </ul>
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>• UiC1レジスタのTEビットが“1”(送信許可)</li> <li>• UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> <li>• CTS機能を選択している場合、<math>\overline{CTS}_i</math>端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>• UiC1レジスタのREビットが“1”(受信許可)</li> <li>• スタートビットの検出</li> </ul>
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> <li>• UiIRSビット(注2)が“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時)</li> <li>• UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時受信する場合</li> <li>• UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>• オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>• フレーミングエラー(注3)設定した個数のストップビットが検出されなかったときに発生</li> <li>• パリティエラー(注3) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生</li> <li>• エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可</li> <li>• シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。</li> <li>• TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。</li> <li>• CTS/RTS分離機能(UART0) <math>\overline{CTS}_0</math>と<math>\overline{RTS}_0</math>を別の端子から入出力する。</li> </ul>

$i = 0 \sim 2, 5 \sim 7$

注1. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

注2. U0IRS、U1IRSビットはUCONレジスタのビット0、1です。U2IRS、U5IRS、U6IRS、U7IRSビットはU2C1、U5C1、U6C1、U7C1レジスタにあります。

注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに検出されます。



表 17.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1、4)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	転送データが7ビットの場合、“100b”を設定してください。
		転送データが8ビットの場合、“101b”を設定してください。
		転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注3)
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UjIRS(注2)	UARTj送信割り込み要因を選択してください
	UjRRM(注2)	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	“0”にしてください
	U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1”にしてください
	7	“0”にしてください

i=0~2、5~7

j=2、5~7

- 注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0~6、転送データ長8ビット：ビット0~7、転送データ長9ビット：ビット0~8
- 注2. U0C1、U1C1 レジスタのビット 4、5 は “0” にしてください。U0IRS、U1IRS、U0RRM、U1RRM ビットは UCON レジスタにあります。
- 注3. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは “0” にしてください。
- 注4. 転送データ長7ビットの場合、ビット7、8の内容は不定です。  
転送データ長8ビットの場合、ビット8の内容は不定です。

表 17.7にUARTモード時の入出力端子の機能を示します。表 17.8にUARTモード時のP6\_4端子の機能を示します。なお、UART<sub>i</sub>の動作モード選択後、転送開始までは、TXD<sub>i</sub>端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 17.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD <sub>i</sub>	シリアルデータ出力	(受信だけを行うときは“H”を出力)
RXD <sub>i</sub>	シリアルデータ入力	RXD <sub>i</sub> 端子に対応するポート方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLK <sub>i</sub>	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 CLK <sub>i</sub> 端子に対応するポート方向ビットを“0”にする
CTS <sub>i</sub> /RTS <sub>i</sub>	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 CTS <sub>i</sub> 端子に対応するポート方向ビットを“0”にする
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

i=0~2、5~7

表 17.8 UARTモード時のP6\_4端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	入力：0、出力：1
CTS <sub>1</sub>	0	0	0	0	0
RTS <sub>1</sub>	0	1	0	0	—
CTS <sub>0</sub> (注1)	0	0	1	0	0

—：“0”または“1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTS<sub>0</sub>/RTS<sub>0</sub>許可)、U0C0レジスタのCRSビットを“1”(RTS<sub>0</sub>選択)にしてください。

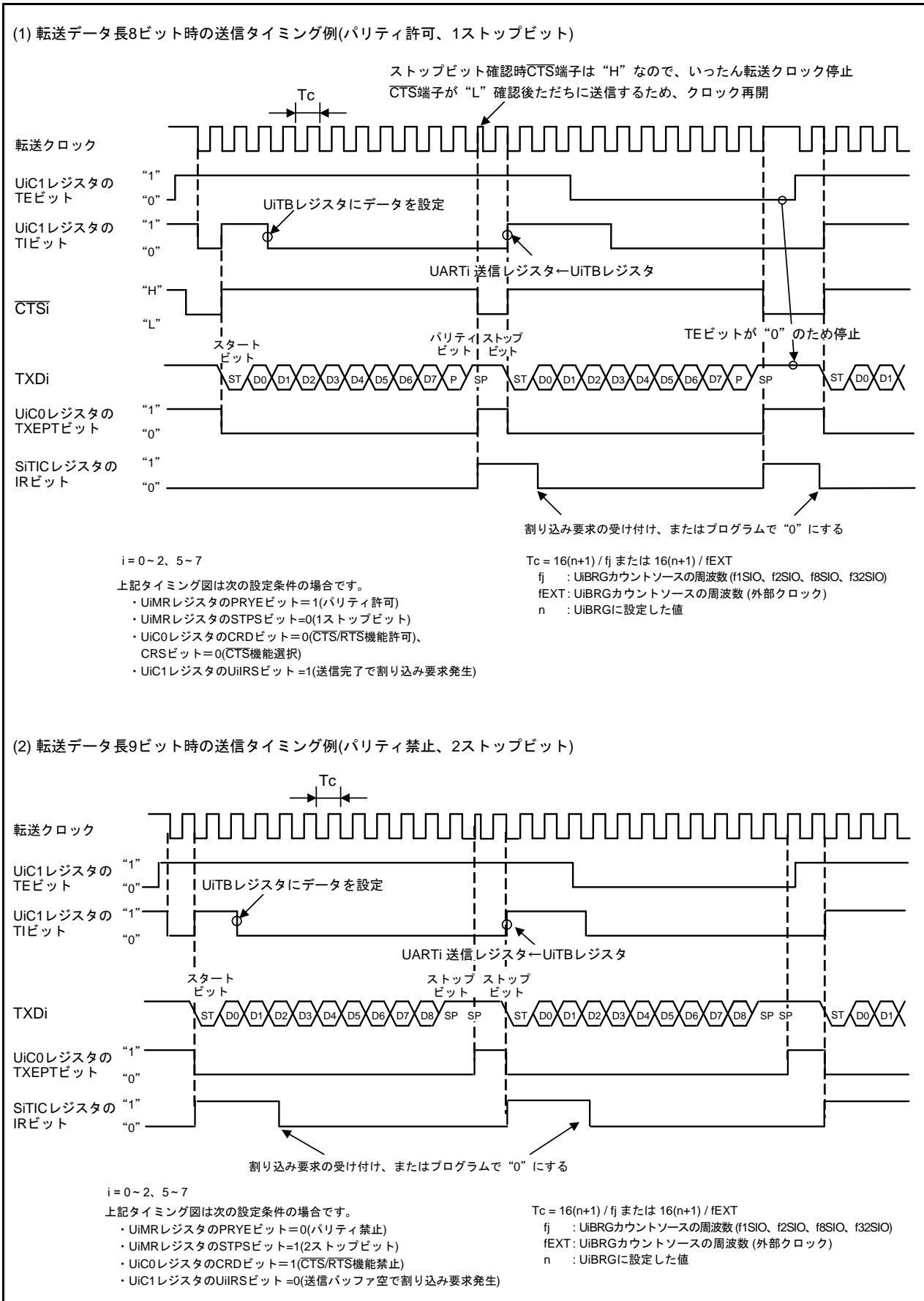


図 17.18 UARTモード時の送信タイミング例

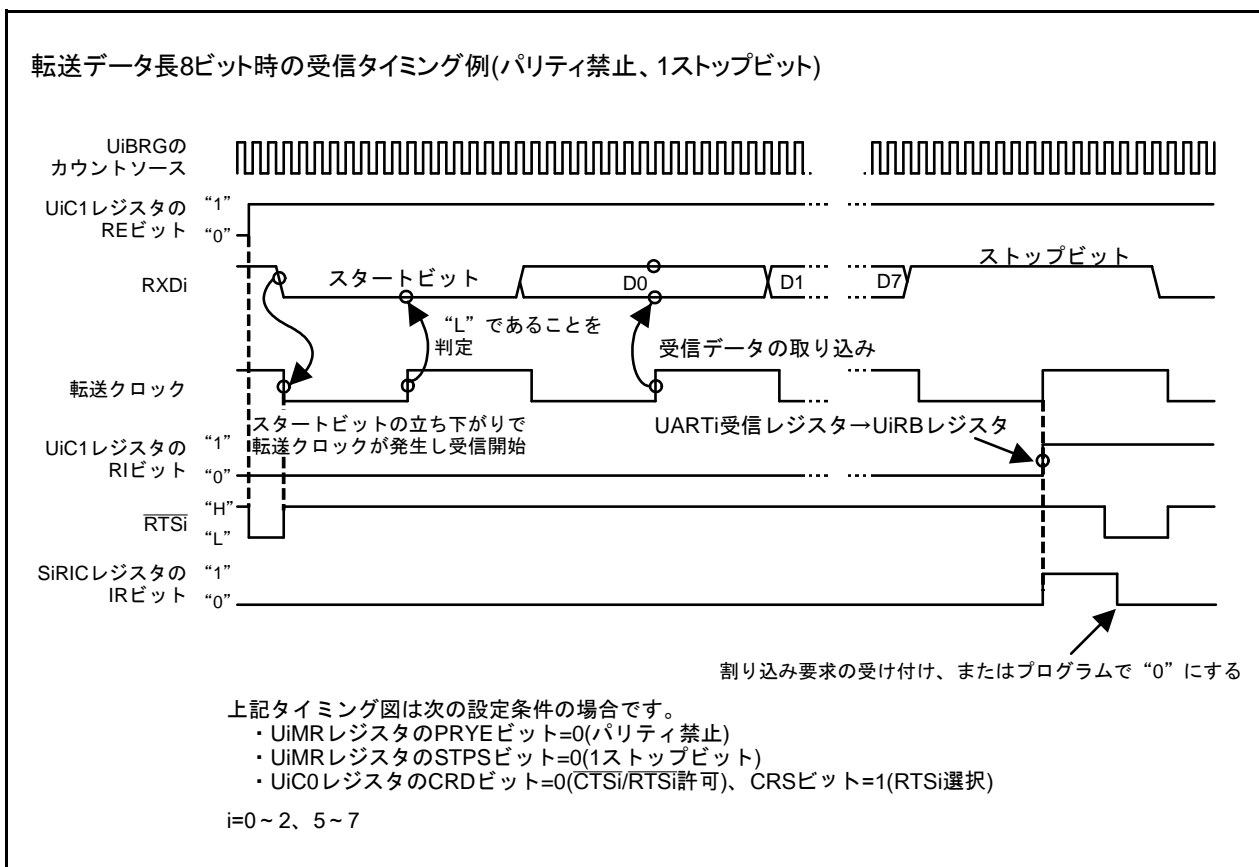


図 17.19 UARTモード時の受信タイミング例

### 17.1.2.1 ビットレート

UARTモードは、UiBRGレジスタ (i=0~2、5~7)で分周した周波数の16分周がビットレートになります。表 17.9にビットレートの設定例を示します。

表 17.9 ビットレート

ビットレート ( bps )	UiBRGの カウントソース	周辺機能クロック f1: 16 MHz		周辺機能クロック f1: 24 MHz	
		UiBRG の 設定値: n	ビットレート ( bps )	UiBRG の 設定値: n	ビットレート ( bps )
1200	f8SIO	103 (67h)	1202	155 (9Bh)	1202
2400	f8SIO	51 (33h)	2404	77 (4Dh)	2404
4800	f8SIO	25 (19h)	4808	38 (26h)	4808
9600	f1SIO	103 (67h)	9615	155 (9Bh)	9615
14400	f1SIO	68 (44h)	14493	103 (67h)	14423
19200	f1SIO	51 (33h)	19231	77 (4Dh)	19231
28800	f1SIO	34 (22h)	28571	51 (33h)	28846
31250	f1SIO	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1SIO	25 (19h)	38462	38 (26h)	38462
51200	f1SIO	19 (13h)	50000	28 (1Ch)	51724

### 17.1.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

- UiRBレジスタ (i=0~2、5~7)の初期化手順
  - (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
  - (2) UiC1レジスタのREビットを“1”(受信許可)にする。
  
- UiTBレジスタの初期化手順
  - (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
  - (2) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。
  - (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

### 17.1.2.3 LSBファースト、MSBファースト選択

UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図 17.20に転送フォーマットを示します。

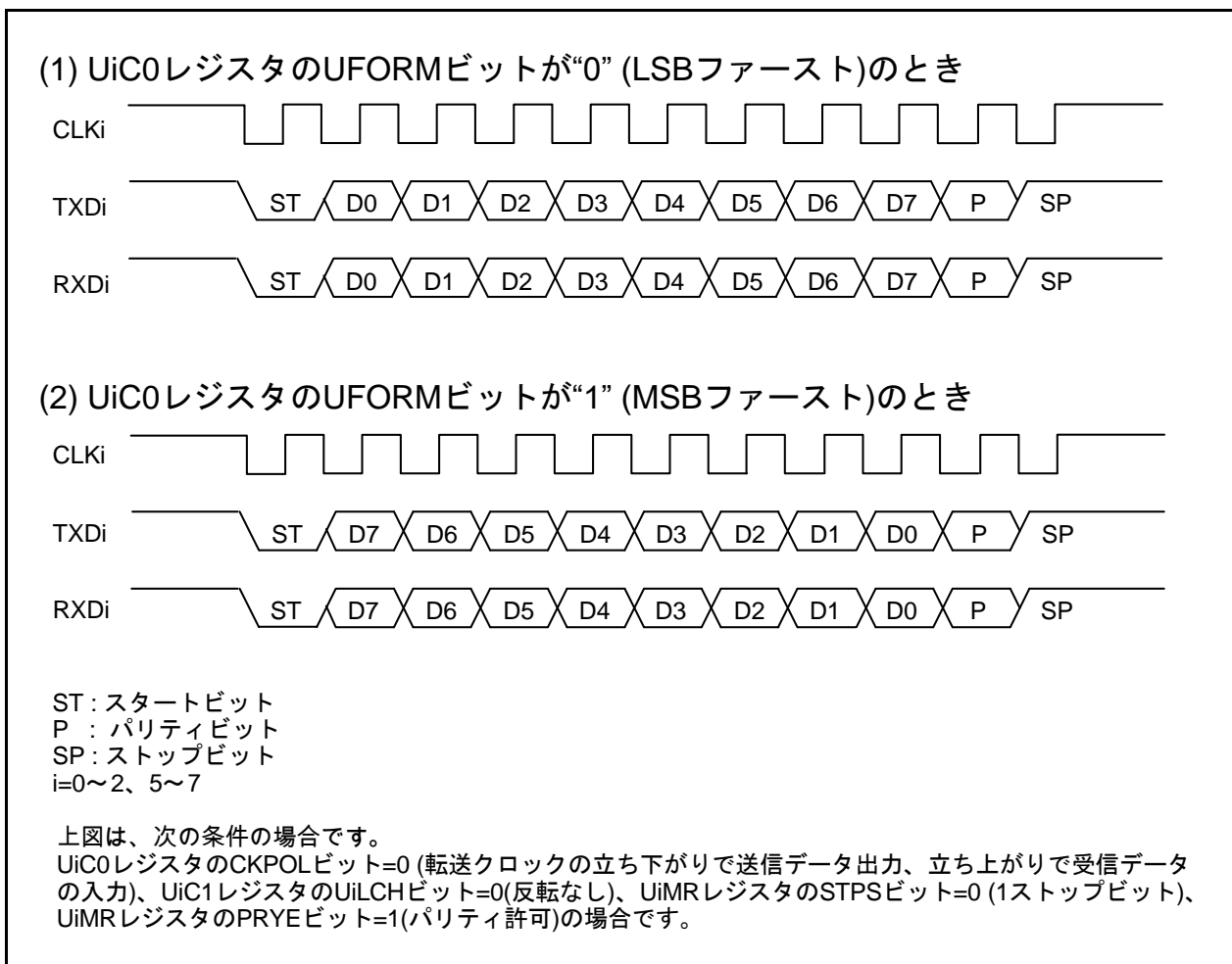


図 17.20 転送フォーマット

### 17.1.2.4 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図 17.21にシリアルデータ論理を示します。

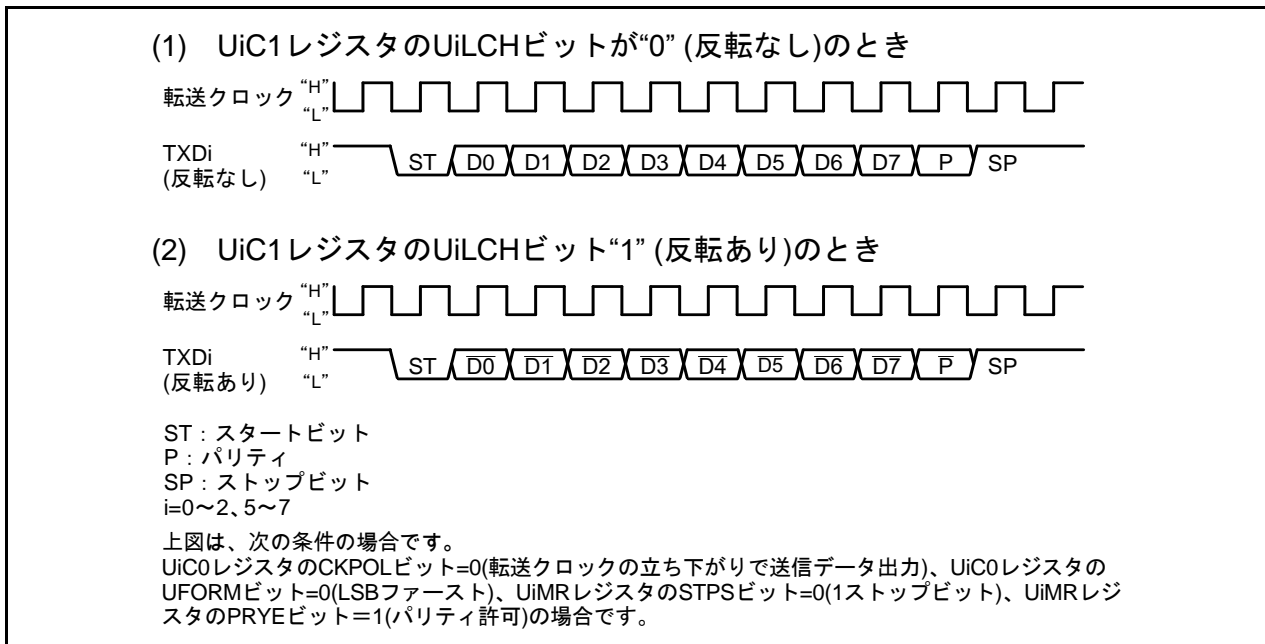


図 17.21 シリアルデータ論理

### 17.1.2.5 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図 17.22にTXD、RXD入出力極性切り替えを示します。

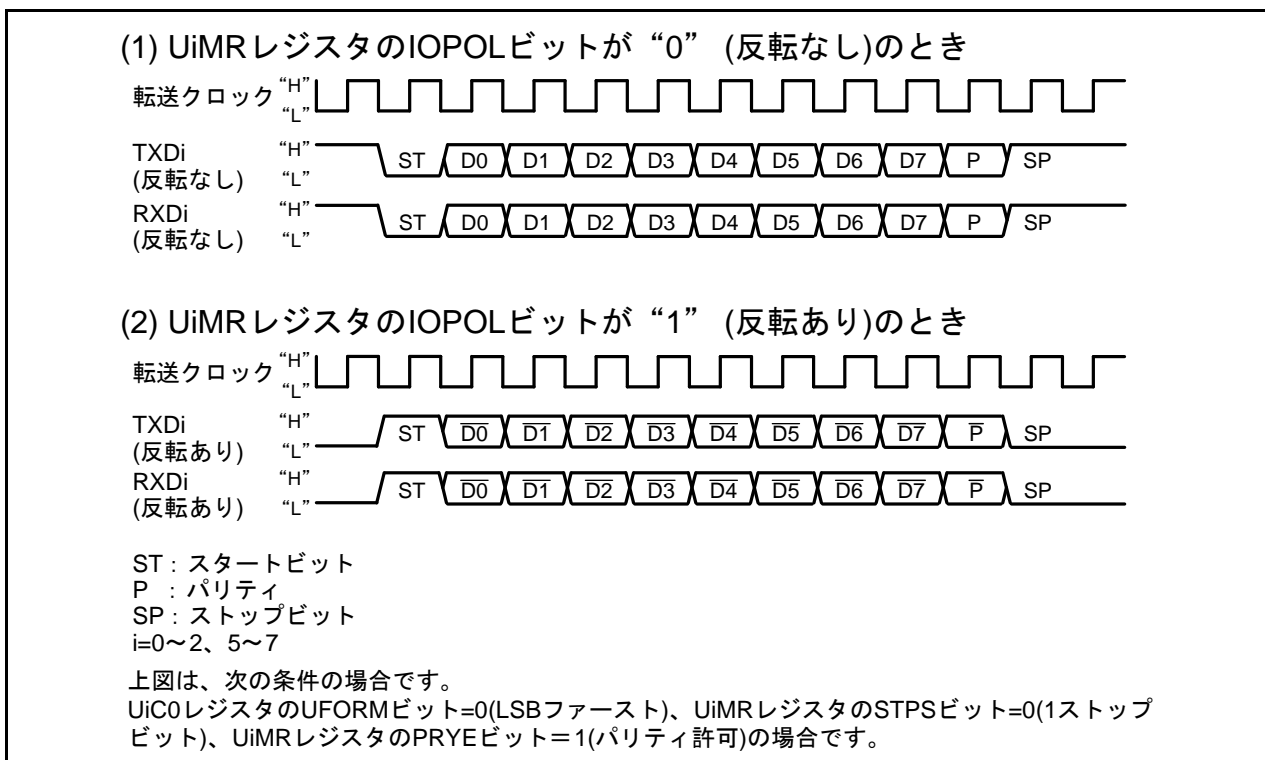


図 17.22 TXD、RXD入出力極性切り替え

### 17.1.2.6 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ( $i=0\sim 2, 5\sim 7$ )端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。スタートビットの検出で出力レベルが“H”になります。

- $\text{U}i\text{C}0$ レジスタのCRDビット=1( $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能禁止)  $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0( $\overline{\text{CTS}}$ 機能選択)  $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は $\overline{\text{CTS}}$ 機能
- CRDビット=0、CRSビット=1( $\overline{\text{RTS}}$ 機能選択)  $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は $\overline{\text{RTS}}$ 機能

### 17.1.2.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP6\_0端子から出力、 $\overline{\text{CTS}}_0$ をP6\_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- $\text{U}0\text{C}0$ レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- $\text{U}0\text{C}0$ レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
- $\text{U}1\text{C}0$ レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- $\text{U}1\text{C}0$ レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- $\text{U}CON$ レジスタのRCSPビット=1( $\overline{\text{CTS}}_0$ をP6\_4端子から入力)
- $\text{U}CON$ レジスタのCLKMD1ビット=0(CLKS1を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

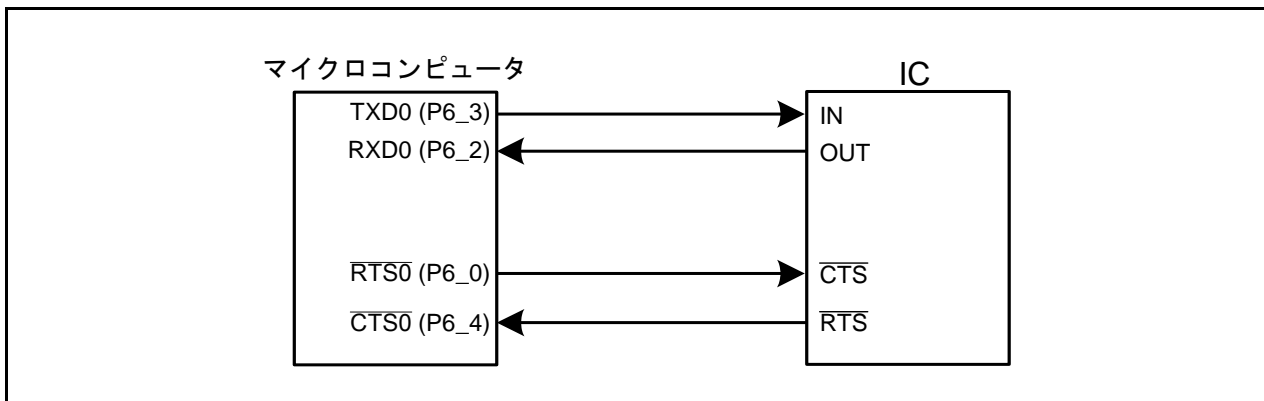


図 17.23  $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

### 17.1.3 特殊モード1(I<sup>2</sup>Cモード)

I<sup>2</sup>Cモードは、簡易形I<sup>2</sup>Cインタフェースに対応したモードです。表 17.10にI<sup>2</sup>Cモードの仕様を、表 17.11～17.12にI<sup>2</sup>Cモード時の使用レジスタと設定値を、表 17.13にI<sup>2</sup>Cモード時の各機能、図 17.24にI<sup>2</sup>Cモードのブロック図を、図 17.25にSCLiタイミングを示します。

表 17.13に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI<sup>2</sup>Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表 17.10 I<sup>2</sup>Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>• マスタ時 UiMRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(2(n+1))</math> <math>f_j=f1SIO、f2SIO、f8SIO、f32SIO</math> <math>n=UiBRG</math>レジスタの設定値 00h～FFh</li> <li>• スレーブ時 CKDIRビットが“1”(外部クロック) : SCLi端子からの入力</li> </ul>
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> <li>• UiC1レジスタのTEビットが“1”(送信許可)</li> <li>• UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> <li>• UiC1レジスタのREビットが“1”(受信許可)</li> <li>• UiC1レジスタのTEビットが“1”(送信許可)</li> <li>• UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバーランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> <li>• アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可</li> <li>• SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を選択可</li> <li>• クロック位相設定 クロック遅れあり、なしを選択可</li> </ul>

i=0～2、5～7

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバーランエラーが発生した場合、UiRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは変化しません。



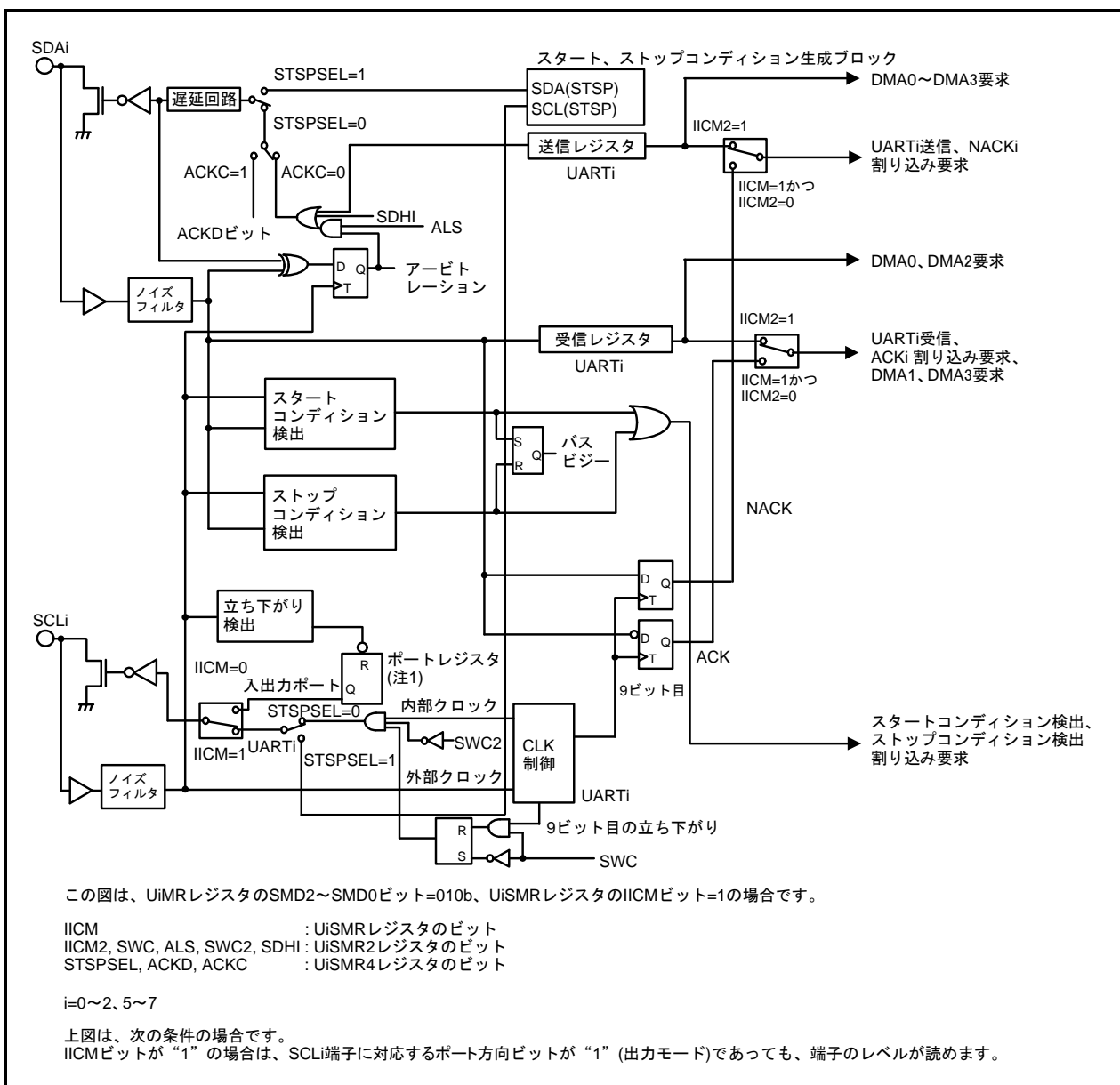


図 17.24 I<sup>2</sup>Cモードのブロック図

表 17.11 I<sup>2</sup>Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiTB	0~7	送信データを設定してください	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください	無効
UiMR(注3)	SMD2~SMD0	“010b” にしてください	“010b” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
UiC0	CLK1~CLK0	UiBRGのカウンツースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD(注4)	“1” にしてください	“1” にしてください
	NCH	“1” にしてください(注2)	“1” にしてください(注2)
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
	UiC1	TE	送信を許可する場合、“1” にしてください
TI		送信バッファ空フラグ	送信バッファ空フラグ
RE		受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
RI		受信完了フラグ	受信完了フラグ
UjIRS(注1)		“1” にしてください	“1” にしてください
UjRRM(注1)		“0” にしてください	“0” にしてください
UiLCH		“0” にしてください	“0” にしてください
UiERE		“0” にしてください	“0” にしてください
UiSMR		IICM	“1” にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0” にしてください	“0” にしてください
UiSMR2	IICM2	「表 17.13 I <sup>2</sup> Cモード時の各機能」参照	「表 17.13 I <sup>2</sup> Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1” にしてください	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1” にしてください
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合“1” にしてください	“0” にしてください
	STAC	“0” にしてください	スタートコンディション検出でUARTiを初期化する場合、“1” にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1” にしてください	SCLiの出力を強制的に“L”にする場合、“1” にしてください
	SDHI	SDAi出力を禁止をする場合、“1” にしてください	SDAi出力を禁止をする場合、“1” にしてください
	7	“0” にしてください	“0” にしてください

i=0~2、5~7

j=2、5~7

- 注1. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。
- 注2. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていけませんので、書く場合“0”を書いてください。
- 注3. この表に記載していないビットはI<sup>2</sup>Cモード時に書く場合、“0”を書いてください。
- 注4. UART1をI<sup>2</sup>Cモードで使用しているときに、UART0のCTS/RTS分離機能を許可する場合、U1C0レジスタのCRDビットを“0”(CTS/RTS許可)、CRSビットを“0”(CTS入力)にしてください。

表 17.12 I<sup>2</sup>Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR3	0、2、4 NODC	“0” にしてください	“0” にしてください
	CKPH	「表 17.13 I <sup>2</sup> Cモード時の各機能」参照	「表 17.13 I <sup>2</sup> Cモード時の各機能」参照
	DL2～DL0	SDAiのデジタル遅延値を設定してください	SDAiのデジタル遅延値を設定してください
UiSMR4	STAREQ	スタートコンディションを生成する場合、 “1” にしてください	“0” にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、 “1” にしてください	“0” にしてください。
	STPREQ	ストップコンディションを生成する場合、 “1” にしてください	“0” にしてください。
	STSPSEL	各コンディション出力時に “1” にしてくだ さい	“0” にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1” にしてく ださい	ACKデータを出力する場合、“1” にしてく ださい
	SCLHI	ストップコンディション検出時にSCLi出力 を停止する場合、“1” にしてください	“0” にしてください。
	SWC9	“0” にしてください	クロックの9ビット目の次の立ち下がり でSCLiを“L” ホールドにする場合、“1” に してください
IFSR2A	IFSR26	“1” にしてください	“1” にしてください
	IFSR27	“1” にしてください	“1” にしてください
UCON	U0IRS	“1” にしてください	“1” にしてください
	U1IRS	“1” にしてください	“1” にしてください
	U0RRM	“0” にしてください	“0” にしてください
	U1RRM	“0” にしてください	“0” にしてください
	CLKMD0	“0” にしてください	“0” にしてください
	CLKMD1	“0” にしてください	“0” にしてください
	RCSP	“0” にしてください	“0” にしてください
	7	“0” にしてください	“0” にしてください

i=0～2、5～7

表 17.13 I<sup>2</sup>Cモード時の各機能

機能	クロック同期シリアル I/Oモード (SMD2~SMD0=001b, IICM=0)	I <sup>2</sup> Cモード (SMD2~SMD0=010b, IICM=1)			
		IICM2=0(NACK/ACK 割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 6, 7, 10, 43, 46, 49の要因(注1、5、7)	—	スタートコンディション検出、ストップコンディション検出 (「図 17.27 STSPSEL ビットの機能」参照)			
割り込み番号 15, 17, 19, 44, 47, 50の要因(注1、6)	UARTi送信 送信開始、または送信完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり		UARTi送信 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目の次のSCLiの立ち下がり
割り込み番号 16, 18, 20, 45, 48, 51の要因(注1、6)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり		UARTi受信 9ビット目のSCLiの立ち下がり	
UART受信シフトレジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり		9ビット目のSCLiの立ち下がり	9ビット目のSCLiの立ち下がりと、立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
TXDi/SDAi端子の機能	TXDi出力	SDAi入出力			
RXDi/SCLi端子の機能	RXDi入力	SCLi入出力			
CLKi端子の機能	CLKi入力または出力ポート選択	—(I <sup>2</sup> Cモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RXDi,SCLi端子レベルの読み込み	対応するポート方向ビットが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXDi, SDAi出力の初期値	CKPOL=0(H) CKPOL=1(L)	I <sup>2</sup> Cモード設定前に、ポートレジスタに設定した値(注2)			
SCLiの初期値、終了値	—	H	L	H	L
DMA1, DMA3要因(注6)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信 9ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目をUiRBレジスタのビット0~7に格納	1~8ビット目をUiRBレジスタのビット7~0に格納		1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納  1~8ビット目をUiRBレジスタのビット7~0に格納(注3)	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す	UiRBレジスタのビット6~0はビット7~1として、ビット8はビット0として読み出す(注4)			

i=0~2、5~7

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「24.7 割り込み注意事項」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、  
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

注2. SDAi出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注3. UiRBレジスタへのデータ転送2回目(9ビット目SCLi立ち上がり時)

注4. UiRBレジスタへのデータ転送1回目(9ビット目SCLi立ち下がり時)

注5. 「図 17.27 STSPSEL ビットの機能」参照。

注6. 「図 17.25 UiRBレジスタへの転送、割り込みのタイミング」参照。

注7. UART0使用時はIFSR2AレジスタのIFSR26ビットを“1”(割り込み要因はUART0バス衝突)にしてください。

UART1使用時はIFSR2AレジスタのIFSR27ビットを“1”(割り込み要因はUART1バス衝突)にしてください。

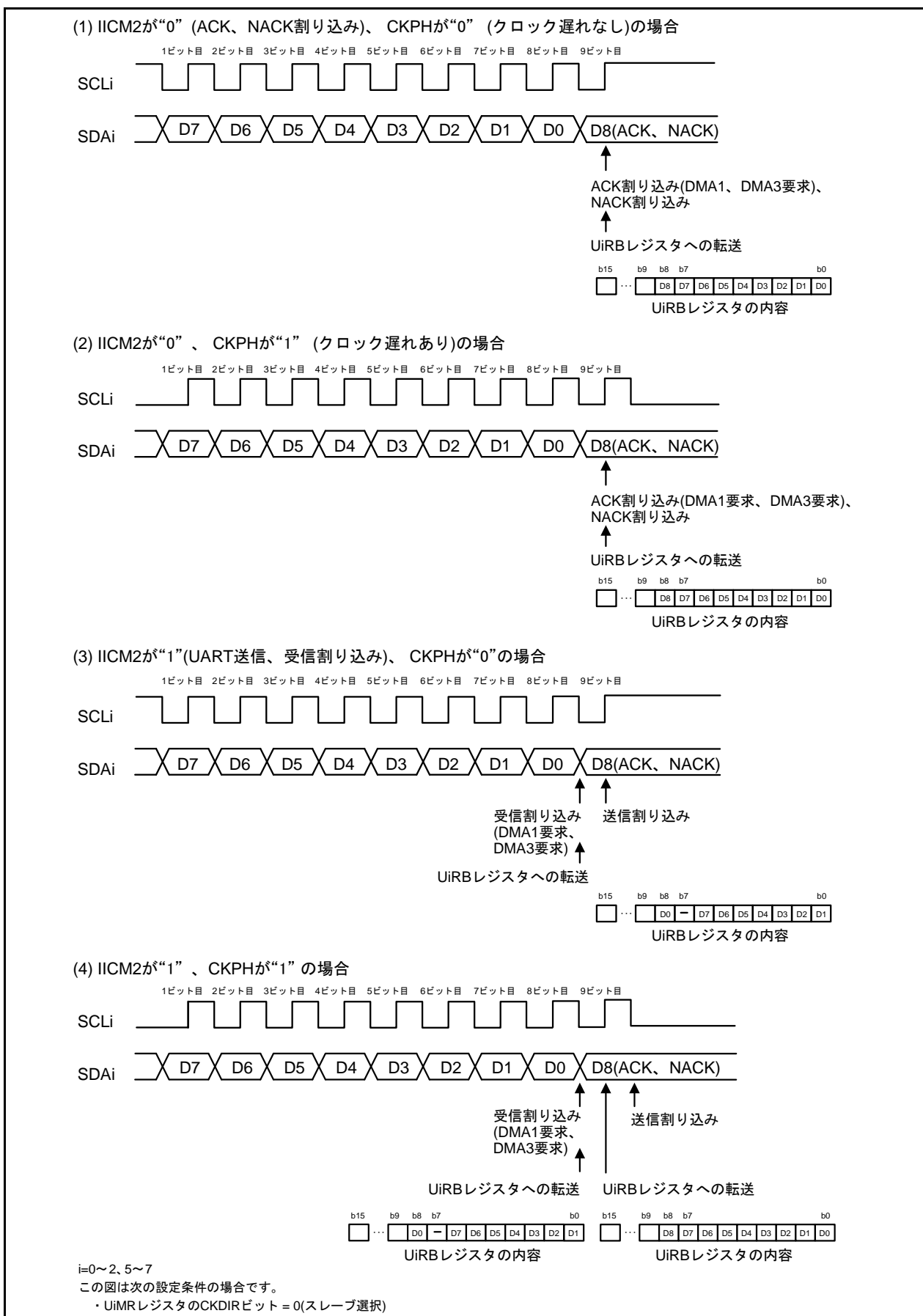


図 17.25 UIRBレジスタへの転送、割り込みのタイミング

### 17.1.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態  
SDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

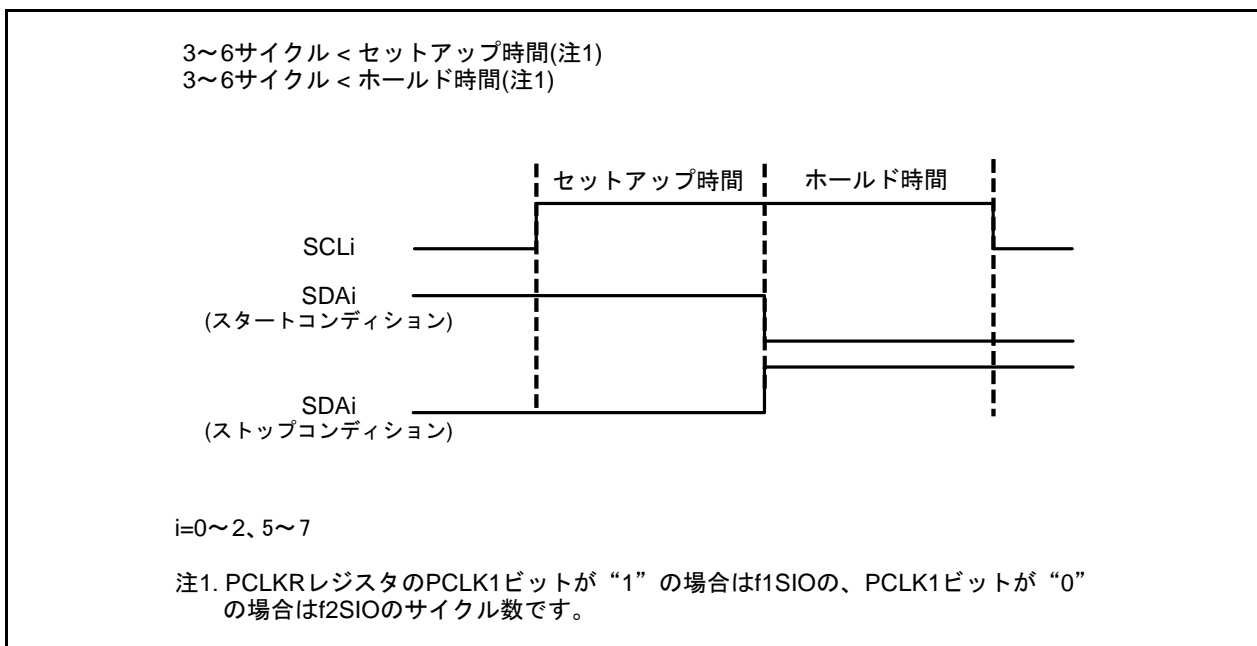


図 17.26 スタートコンディション、ストップコンディションの検出

### 17.1.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ(i=0~2, 5~7)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) UiSMR4レジスタのSTSPSELビットを“1”(出力)にする

表 17.14と図 17.27にSTSPSELビットの機能を示します。

表 17.14 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコン ディションの出力はポートを使ったプロ グラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、 STPREQビットに従って、スタートコン ディション、ストップコンディションを 出力
スタートコンディション、ス トップコンディション割り込 み要求発生タイミング	スタートコンディション、ストップコン ディション検出	スタートコンディション、ストップコン ディション生成終了

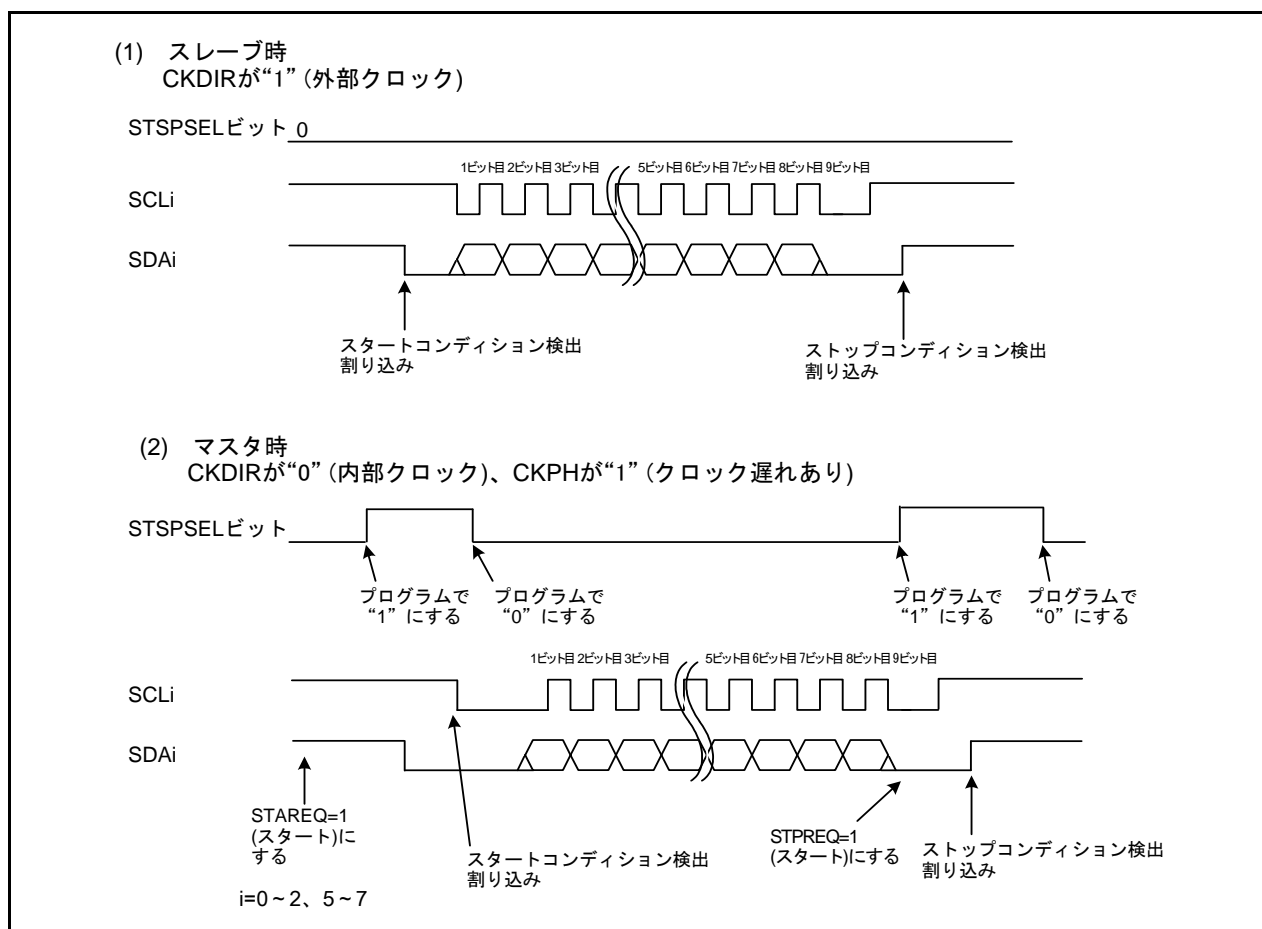


図 17.27 STSPSELビットの機能

### 17.1.3.3 アービトレーション

SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。UiSMRレジスタのABCビットで、UiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0” (ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9ビット目のクロックの立ち下がりまでABTビットが“1” (不一致検出)になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0” (未検出)にしてから、次の1バイトを転送してください。

UiSMR2レジスタのALSビットを“1” (SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1” (不一致検出)になったとき、同時にSDAi端子がハイインピーダンス状態になります。

### 17.1.3.4 転送クロック

図 17.25 UiRBレジスタへの転送、割り込みのタイミングに示すような転送クロックで送受信を行います。

UiSMR2レジスタのCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがって、UARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。なお、転送クロックは内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCLi端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

### 17.1.3.5 SDA出力

UiTBレジスタのビット7~0(D7~D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICM=1(I<sup>2</sup>Cモード)で、UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

### 17.1.3.6 SDA入力

IICM2ビットが“0”のとき、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。



### 17.1.3.7 ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1、DMA3要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できます。

### 17.1.3.8 送受信初期化

STACビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

### 17.1.4 特殊モード2

1つのマスタから、複数のスレーブへシリアル通信できます。また、転送クロックの極性と位相を選択できます。表 17.15に特殊モード2の仕様を、表 17.16に特殊モード2時の使用レジスタと設定値を、図 17.28に特殊モード2の通信制御例(UART2)を示します。

表 17.15 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>マスタモード UiMR レジスタのCKDIR ビットが“0” (内部クロック選択) : <math>f_j/(2(n+1))</math> <math>f_j=f1SIO, f2SIO, f8SIO, f32SIO</math> n : UiBRG レジスタ設定値 00h~FFh</li> <li>スレーブモード CKDIR ビットが“1” (外部クロック選択) : CLKi端子からの入力</li> </ul>
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要(注1) <ul style="list-style-type: none"> <li>UiC1 レジスタのTE ビットが“1” (送信許可)</li> <li>UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> <li>UiC1 レジスタのRE ビットが“1” (受信許可)</li> <li>TE ビットが“1” (送信許可)</li> <li>TI ビットが“0” (UiTB レジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択可 <ul style="list-style-type: none"> <li>UiC1 レジスタのUiIRS ビットが“0” (送信バッファ空) : UiTB レジスタから UARTi 送信レジスタへデータ転送時(送信開始時)</li> <li>UiIRS ビットが“1” (送信完了) : UARTi 送信レジスタからデータ送信完了時</li> </ul> 受信時 <ul style="list-style-type: none"> <li>UARTi 受信レジスタから UiRB レジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	オーバランエラー (注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> <li>CLK 極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりをかを選択可</li> <li>LSB ファースト、MSB ファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可</li> <li>連続受信モード選択 UiRB レジスタを読むことで、同時に受信許可状態になる</li> <li>シリアルデータ論理切り替え 送受信データの論理値を反転する機能</li> <li>クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可</li> </ul>

i=0~2、5~7

注1. 外部クロックを選択している場合、UiC0 レジスタのCKPOL ビットが“0” (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOL ビットが“1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタ受信データは不定になります。また SiRIC レジスタの IR ビットは変化しません。

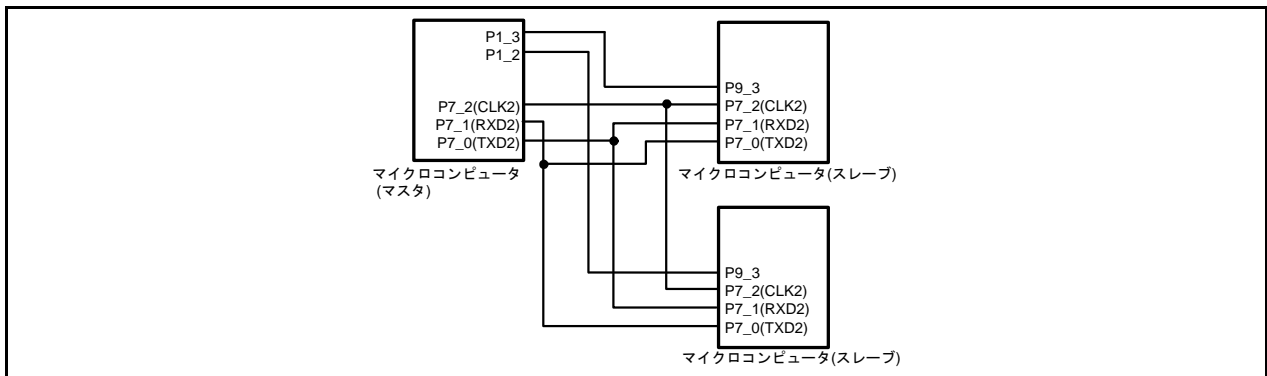


図 17.28 特殊モード2の通信制御例(UART2)

表 17.16 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注1)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR(注3)	SMD2~SMD0	“001b” にしてください
	CKDIR	マスタモードの場合 “0” に、スレーブモードの場合 “1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウンタソースを選択してください
	CRS	CRD= “1” なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UjIRS(注1)	UARTj送信割り込み要因を選択してください
	UjRRM(注1)	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
	UiSMR	0~7
UiSMR2	0~7	“0” にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0” にしてください
	0、2、4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	“0” にしてください
	U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. U0C0、U1C1レジスタのビット4、5は “0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませので、書く場合 “0” を書いてください。

注3. この表に記載していないビットは特殊モード2時に書く場合、“0” を書いてください。

i=0~2、5~7

j=2、5~7

### 17.1.4.1 クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

図 17.29にマスタ(内部クロック)の場合の送受信のタイミングを示します。

図 17.30にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図 17.31にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

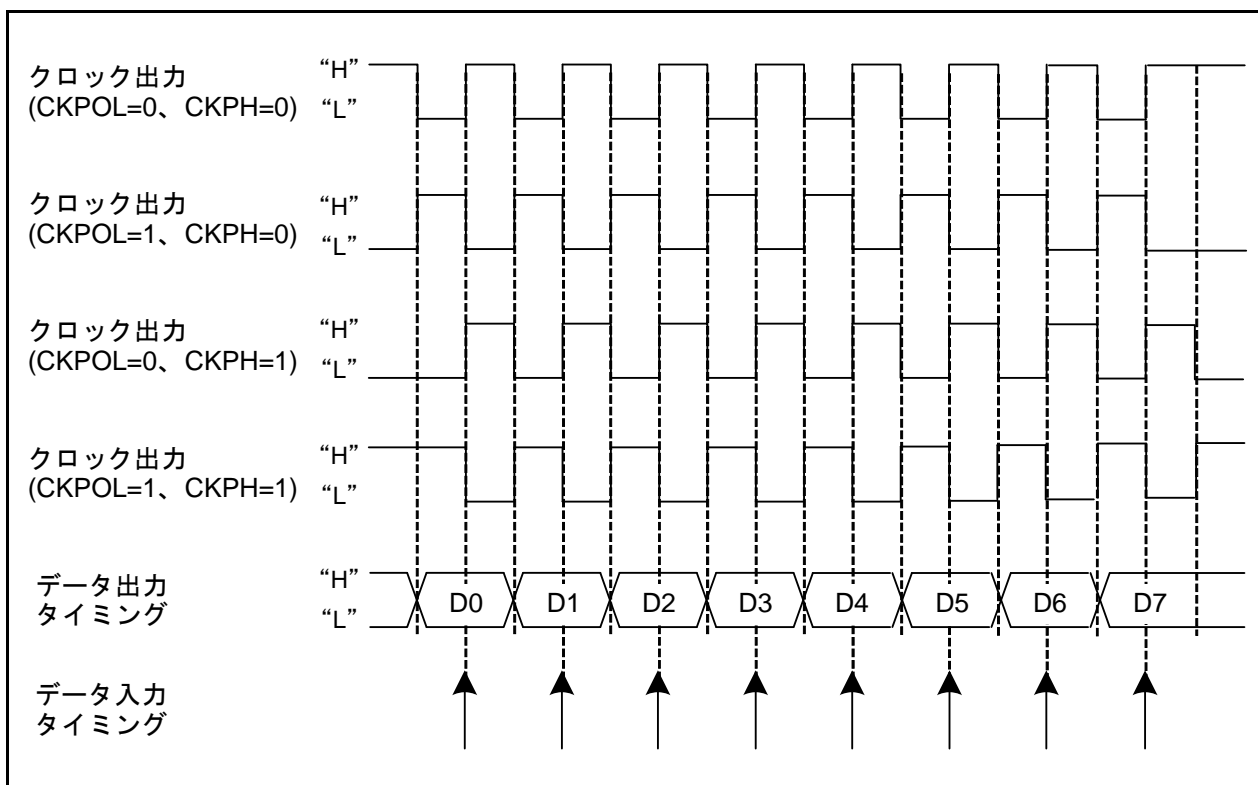


図 17.29 マスタ(内部クロック)の場合の送受信のタイミング

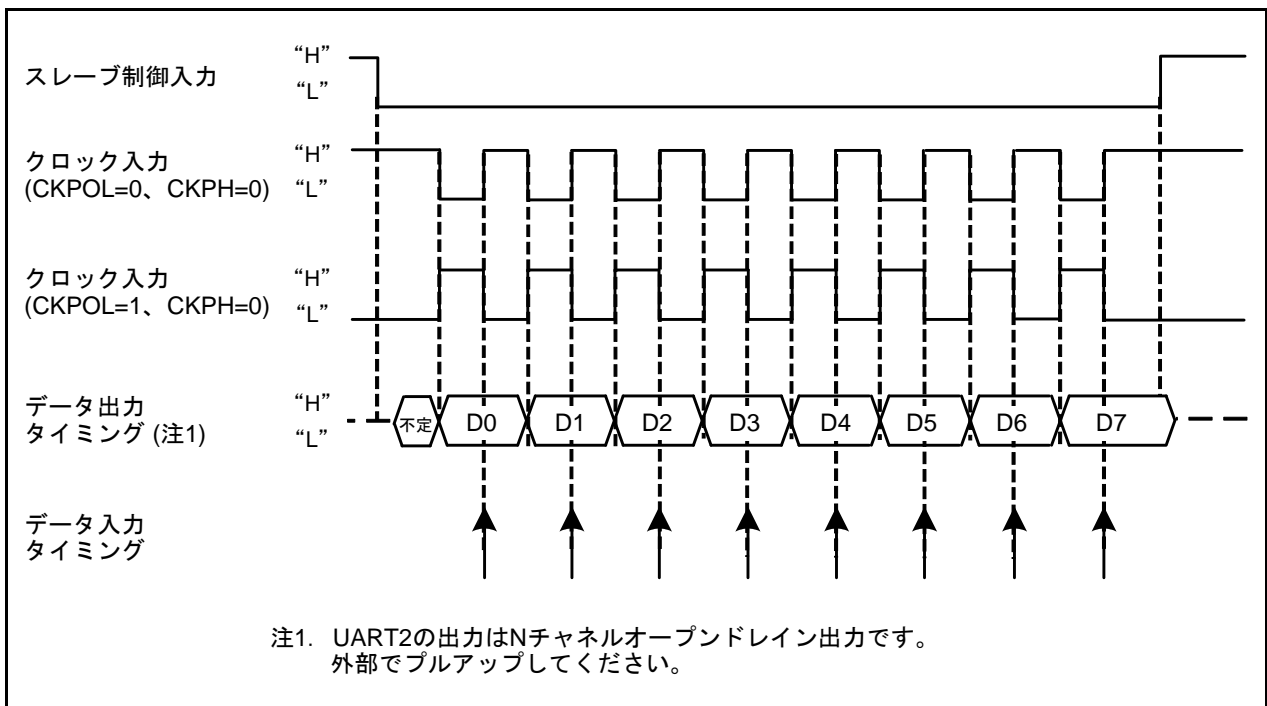


図 17.30 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

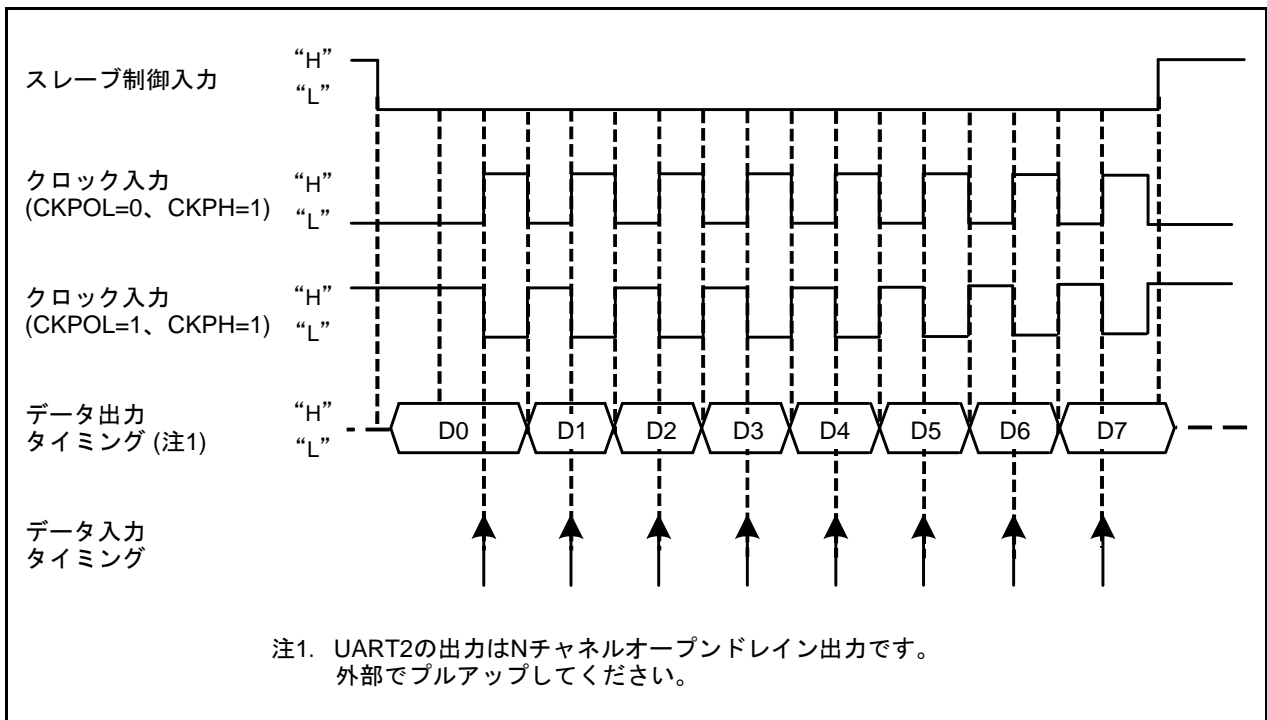


図 17.31 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

### 17.1.5 特殊モード3(IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表 17.17にIEモード時の使用レジスタと設定値を、図 17.32にバス衝突検出機能関連ビットの機能を示します。

TXDi端子(i=0~2、5~7)の出力レベルとRXDi端子の入力レベルが異なる場合、UARTiバス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR2AレジスタのIFSR26ビットとIFSR27ビットで選択してください。

表 17.17 IEモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください
UiRB(注3)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“110b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送信を許可する場合 “1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UjIRS(注1)	UARTi送信割り込み要因を選択してください
	UjRRM(注1)	“0” にしてください
	UiLCH	“0” にしてください
	UiERE	“0” にしてください
UiSMR	0~3、7	“0” にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1” にしてください
	SSS	送信開始条件を選択してください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
IFSR2A	IFSR26、IFSR27	“1” にしてください
UCON	U0IRS、	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	“0” にしてください
	U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

i=0~2、5~7

j=2、5~7

注1. U0C0、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合は“0” を書いてください。

注3. この表に記載していないビットはIEモード時に書く場合、“0” を書いてください。

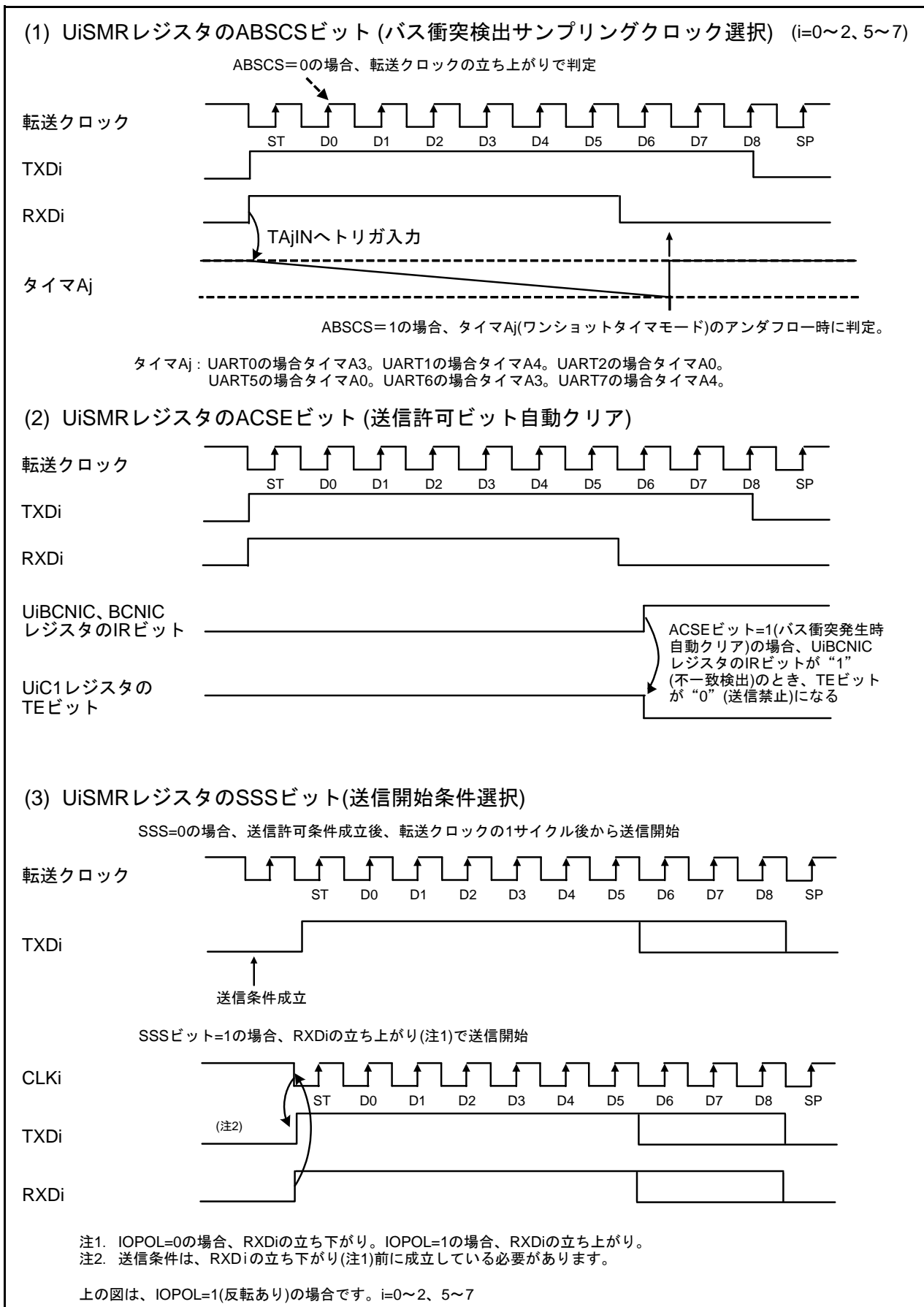


図 17.32 バス衝突検出機能関連ビットの機能

### 17.1.6 特殊モード4(SIMモード)(UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表 17.18にSIMモードの仕様を、表 17.19にSIMモード時の使用レジスタと設定値を示します。

表 17.18 SIMモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>•ダイレクトフォーマット</li> <li>•インバースフォーマット</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>•U2MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_i/(16(n+1))</math>  <math>f_i=f1SIO、f2SIO、f8SIO、f32SIO</math>  <math>n=U2BRG</math>レジスタの設定値 00h~FFh</li> <li>•CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math>はCLK2端子からの入力  <math>n=U2BRG</math>レジスタの設定値 00h~FFh</li> </ul>
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>•U2C1レジスタのTEビットが“1”(送信許可)</li> <li>•U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>•U2C1レジスタのREビットが“1”(受信許可)</li> <li>•スタートビットの検出</li> </ul>
割り込み要求発生タイミング (注2)	<ul style="list-style-type: none"> <li>•送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット=“1”)</li> <li>•受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>•オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>•フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生</li> <li>•パリティエラー(注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知</li> <li>•エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。



表 17.19 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	0~7	送信データを設定してください
U2RB(注1)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	“101b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合 “1” に、インバースフォーマットの場合 “0” にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“0” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合 “0” に、インバースフォーマットの場合 “1” にしてください
U2C1	TE	送信を許可する場合 “1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合 “1” にしてください
	RI	受信完了フラグ
	U2IRS	“1” にしてください
	U2RRM	“0” にしてください
	U2LCH	ダイレクトフォーマットの場合 “0” に、インバースフォーマットの場合 “1” にしてください
	U2ERE	“1” にしてください
U2SMR(注1)	0~3	“0” にしてください
U2SMR2	0~7	“0” にしてください
U2SMR3	0~7	“0” にしてください
U2SMR4	0~7	“0” にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、“0” を書いてください。

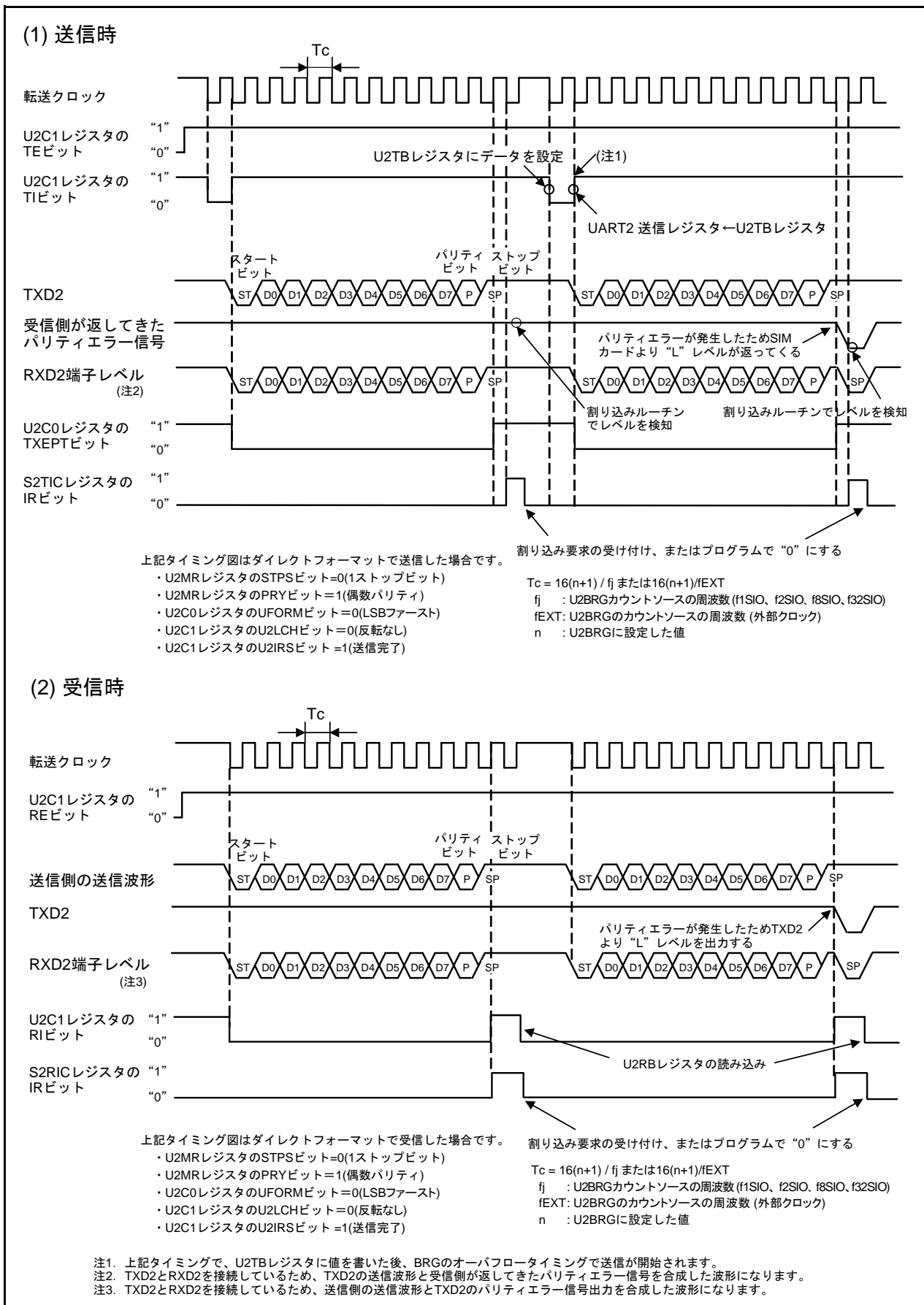


図 17.33 SIMモードの送受信タイミング例

図 17.34にSIMインタフェース接続例を示します。TXD2とRXD2を接続してプルアップしてください。

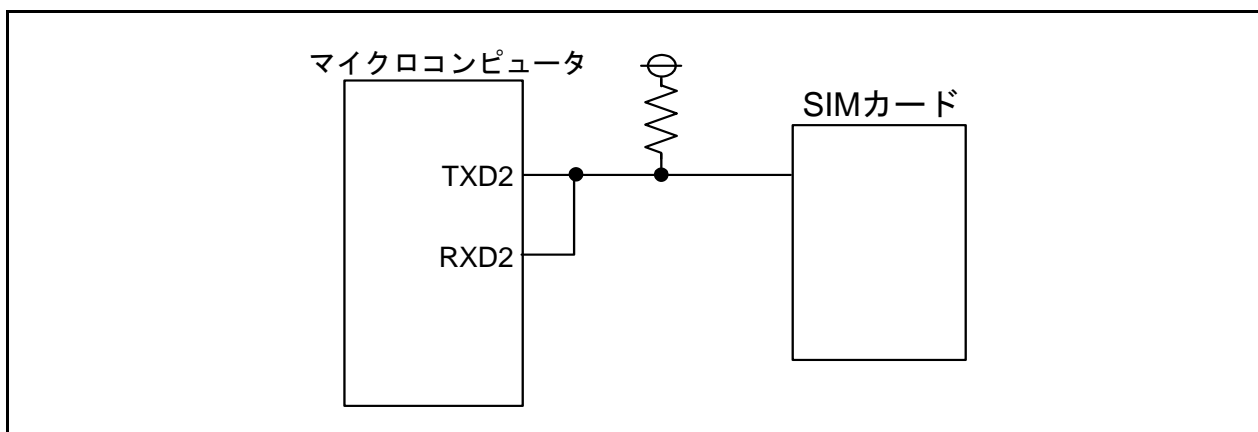


図 17.34 SIMインタフェース接続例

### 17.1.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”（出力する）にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、17.35に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、U2RBレジスタのPERビットが“0”（パリティエラーなし）になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の転送クロックの立ち下がりが発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

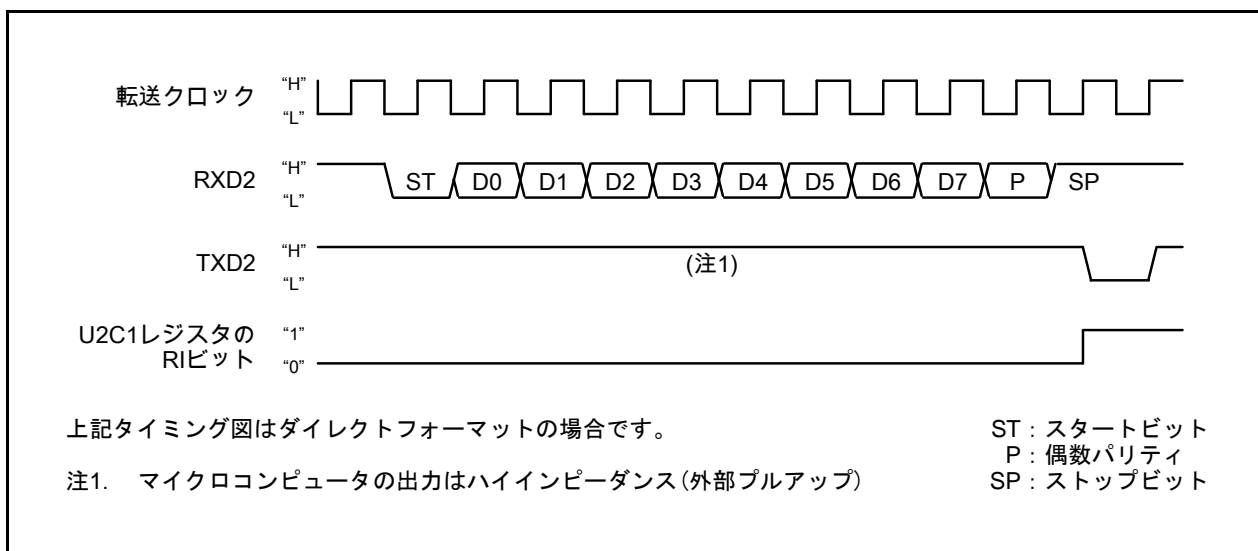


図 17.35 パリティエラー信号出力タイミング

### 17.1.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図 17.36にSIMインタフェースフォーマットを示します。

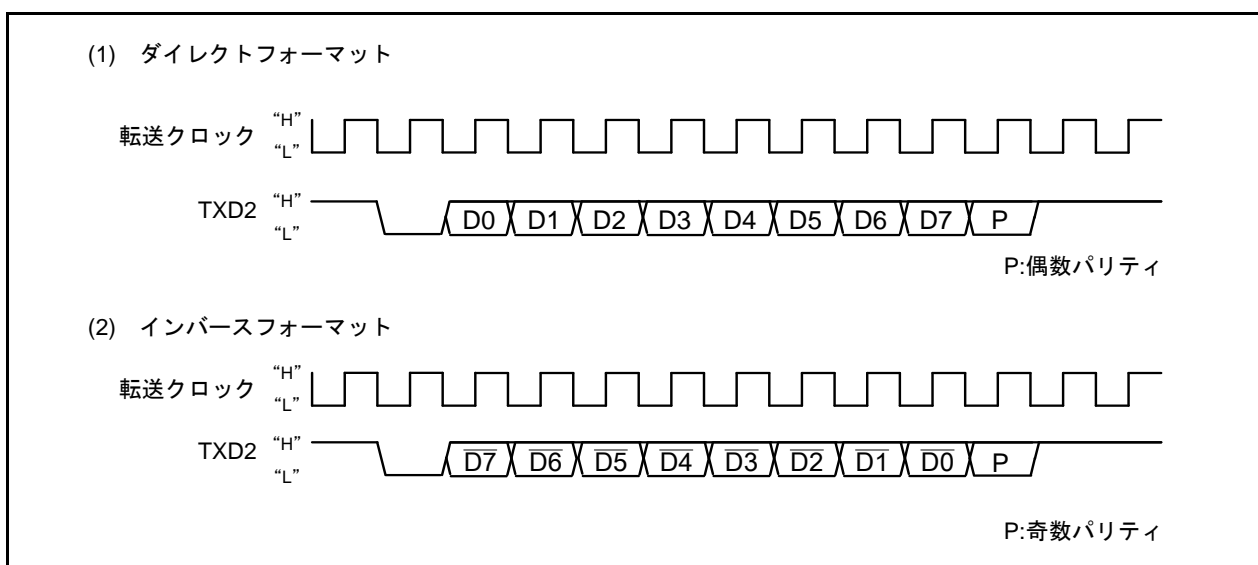


図 17.36 SIMインタフェースフォーマット

### 17.2 SI/O3、SI/O4

SI/O3、SI/O4は、クロック同期形専用シリアルI/Oです。

図 17.37にSI/O3、SI/O4ブロック図、図 17.38にSI/O3、SI/O4関連レジスタを示します。  
 表 17.20にSI/O3、SI/O4の仕様を示します。

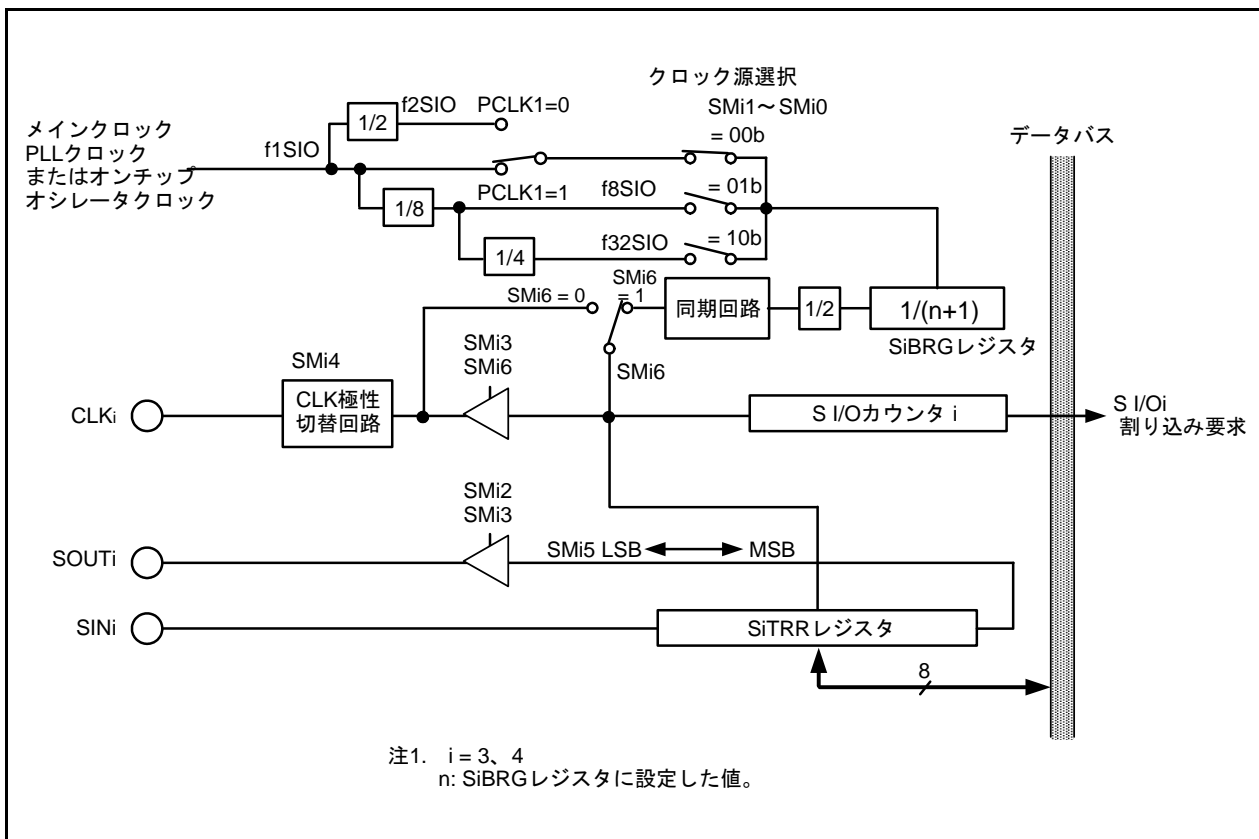
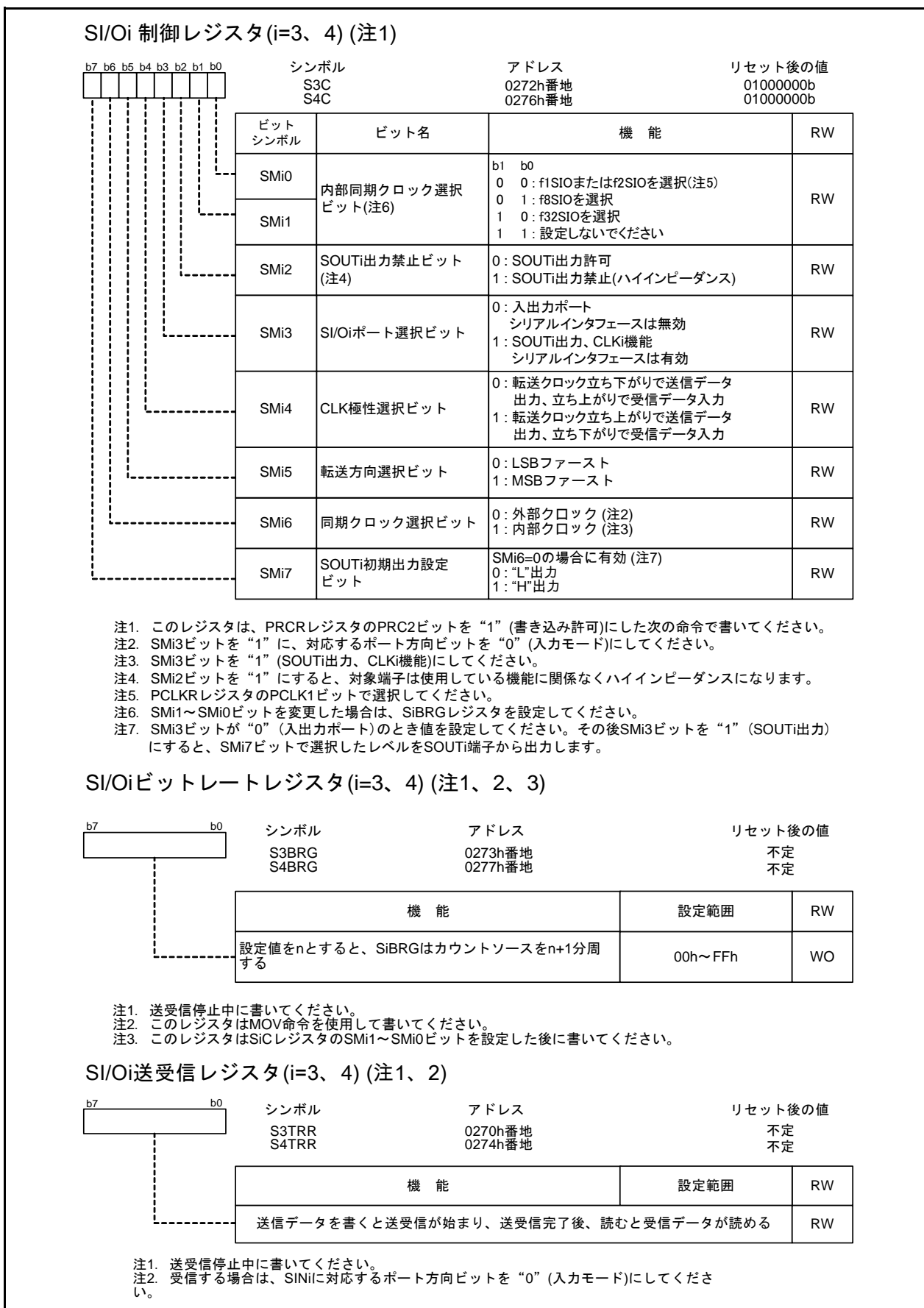


図 17.37 SI/O3、SI/O4ブロック図



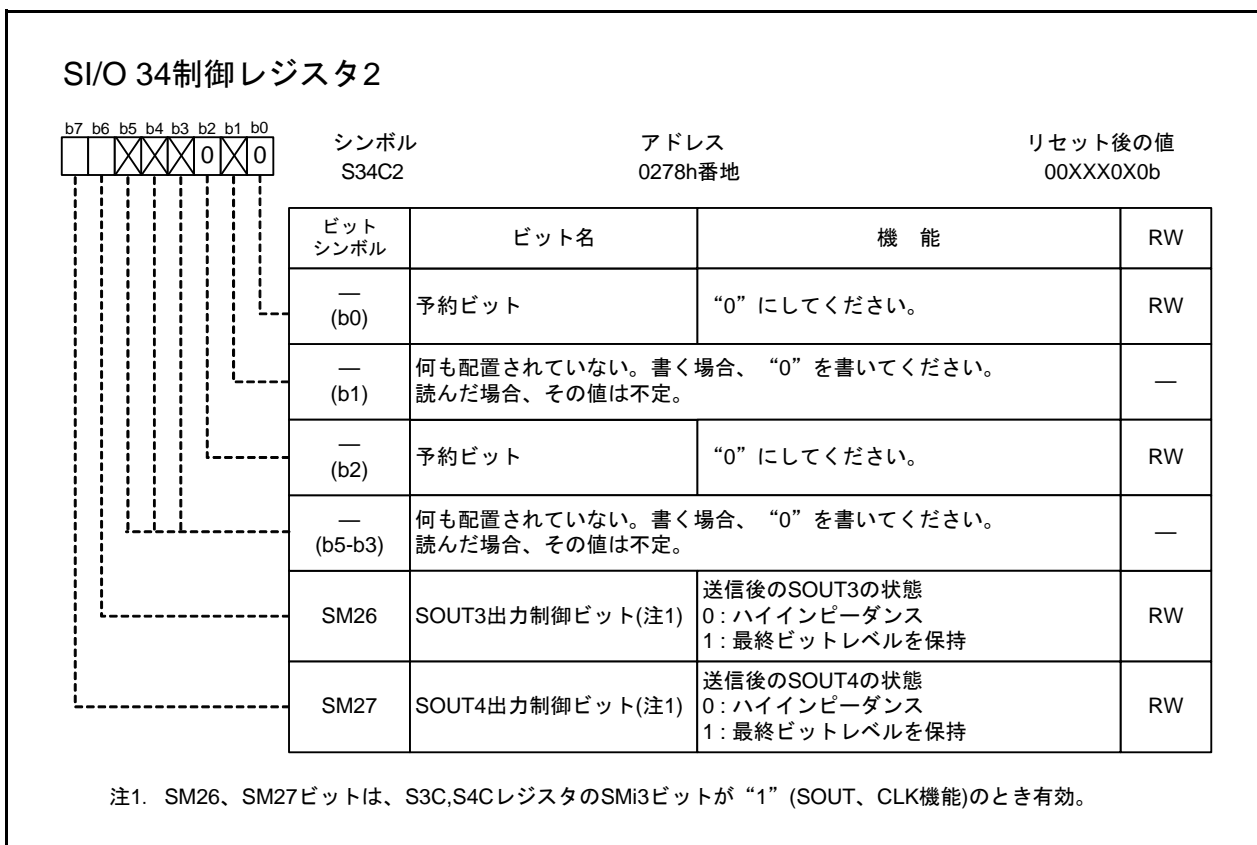


図 17.39 S34C2 レジスタ

表 17.20 SI/O3、SI/O4の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>• SiCレジスタ (i=3, 4)のSMi6ビットが“1” (内部クロック) : <math>f_j/(2(n+1))</math>  <math>f_j=f1SIO, f8SIO, f32SIO</math> <math>n=SiBRG</math>レジスタの設定値 00h~FFh</li> <li>• SMi6ビットが“0” (外部クロック) : CLKi端子から入力(注1)</li> </ul>
送受信開始条件	送受信開始には、次の条件が必要 SiTRRレジスタに送信データを書く(注2、3)
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• SiCレジスタのSMi4ビットが“0”の場合 最後の転送クロックの立ち上がり(注4)</li> <li>• SMi4ビットが“1”の場合 最後の転送クロックの立ち下がり(注4)</li> </ul>
CLKi端子機能	入出力ポート、転送クロック入力、転送クロック出力
SOUTi端子機能	入出力ポート、送信データ出力、ハイインピーダンス
SINi端子機能	入出力ポート、受信データ入力
選択機能	<ul style="list-style-type: none"> <li>• LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可</li> <li>• CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可</li> <li>• SOUTi初期値設定機能 SiCレジスタのSMi6ビットが“0” (外部クロック)の場合、送信していないときのSOUTi端子出力レベルを選択可</li> <li>• 送信後のSOUTi状態選択 ハイインピーダンスにするか、最終ビットレベルを保持するかを選択可</li> </ul>

注1. SiCレジスタのSMi6ビットを“0” (外部クロック)にする場合は、次のようにしてください

- SiCレジスタのSMi4ビットが“0”の場合、CLKi端子に“H”が入力されている状態でSiTRRレジスタに送信データを書いてください。SiCレジスタのSMi7ビットを書き換える場合も同様です。
- SMi4ビットが“1”の場合、CLKi端子に“L”が入力されている状態でSiTRRレジスタに送信データを書いてください。SMi7ビットを書き換える場合も同様です。
- 転送クロックがS I/Oi回路に入力されている間はシフト動作をし続けますので、転送クロックは8回で止めてください。SMi6ビットが“1” (内部クロック)の場合、転送クロックは自動的に停止します。

注2. SI/Oi(i=3~4)は、UART0~UART2と違い、転送のためのレジスタとバッファに分かれていません。したがって、送信中に次の送信データをSiTRRレジスタに書かないでください。

注3. SiCレジスタのSMi6ビットが“1” (内部クロック)かつS34C2レジスタのSM26(SOUT3)、SM27(SOUT4)が“0” (送信後ハイインピーダンス)のとき、転送終了後SOUTiは、1/2転送クロック間、最終データを保持し、ハイインピーダンス状態になります。しかし、この間に送信データをSiTRRレジスタに書いた場合、書いたときからハイインピーダンス状態になり、データのホールド時間が短くなります。

注4. SiCレジスタのSMi6ビットが“1” (内部クロック)のとき、転送クロックは、SMi4ビットが“0”の場合は“H”の状態での停止し、SMi4ビットが“1”の場合は“L”で停止します。



### 17.2.1 SI/Oi動作タイミング

図 17.40にSI/Oi動作タイミング図を示します。

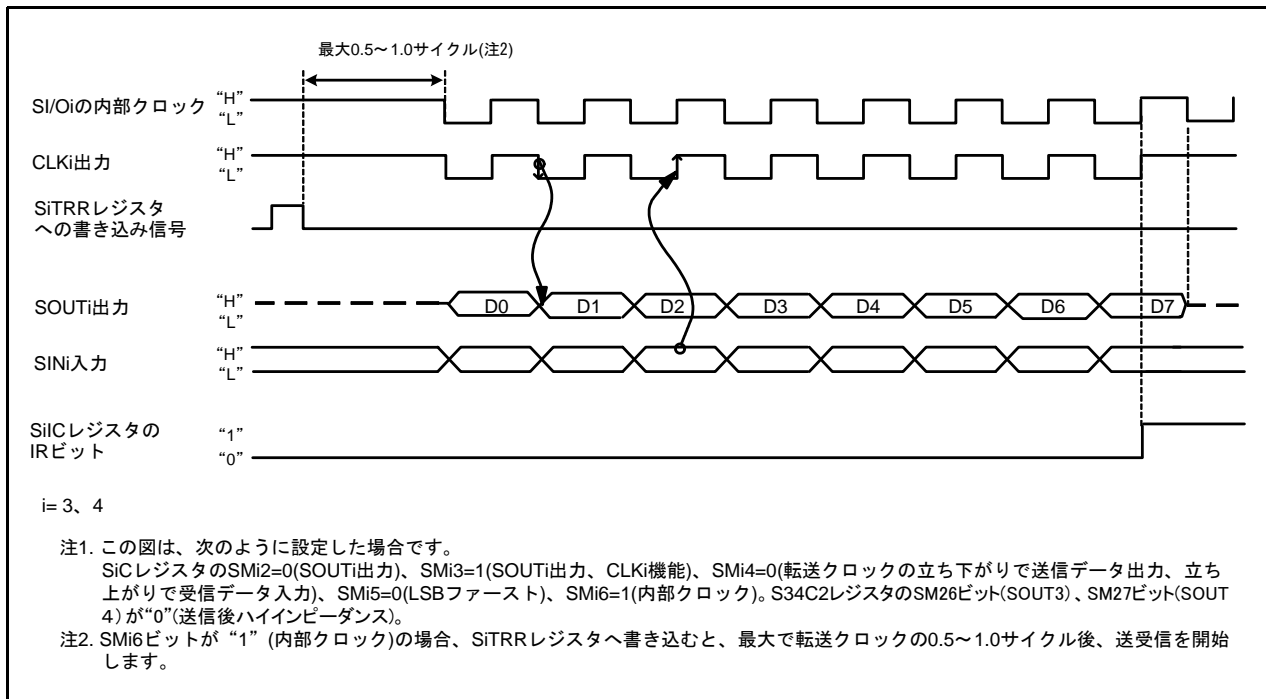


図 17.40 SI/Oi動作タイミング図

### 17.2.2 CLK極性選択

SiCレジスタのSMi4ビットで転送クロックの極性を選択できます。図 17.41に転送クロックの極性を示します。

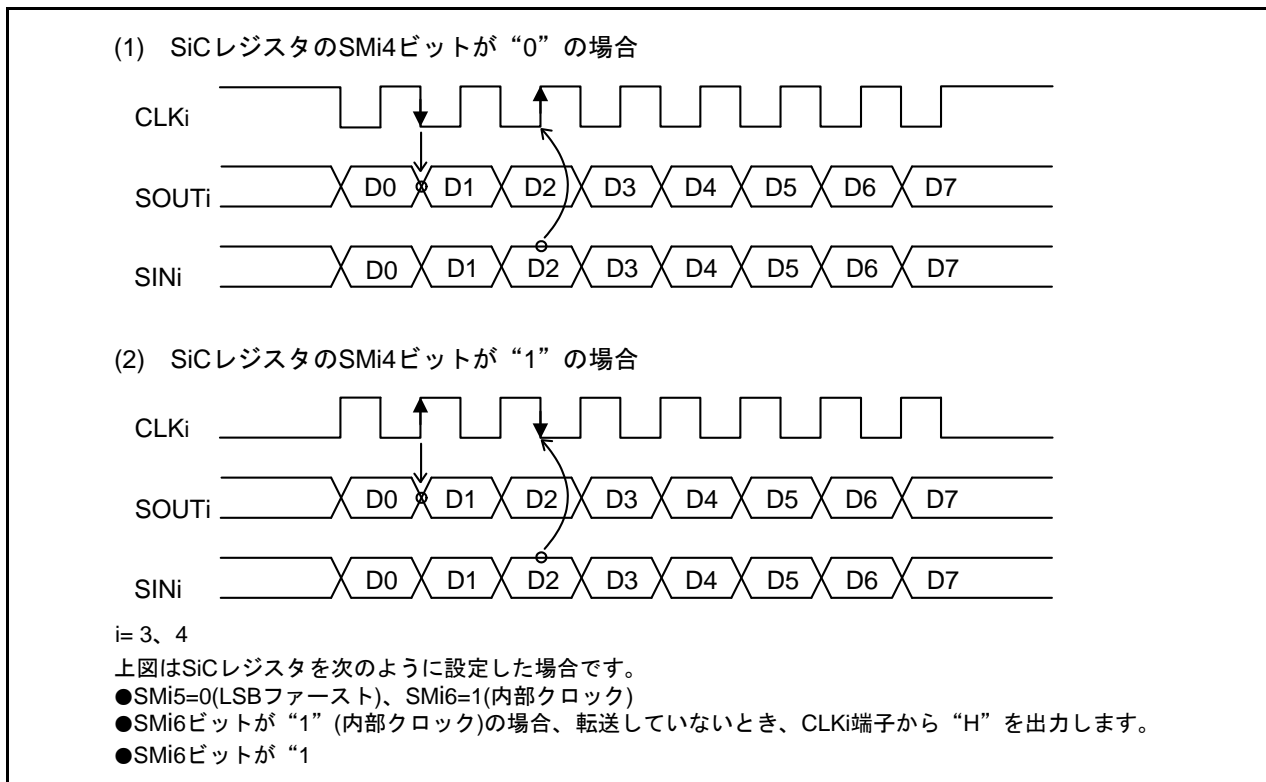


図 17.41 転送クロックの極性

## 17.2.3 SOUTi初期値設定機能

SiCレジスタのSMi6ビットが“0”（外部クロック）の場合、転送していないときのSOUTi端子の出力を“H”または“L”のどちらかに設定できます。ただし、連続してデータを送信する場合、データとデータの間は、前のデータの最終ビットの値を保持します。図 17.42にSOUTi初期値設定時のタイミング図、設定方法を示します。

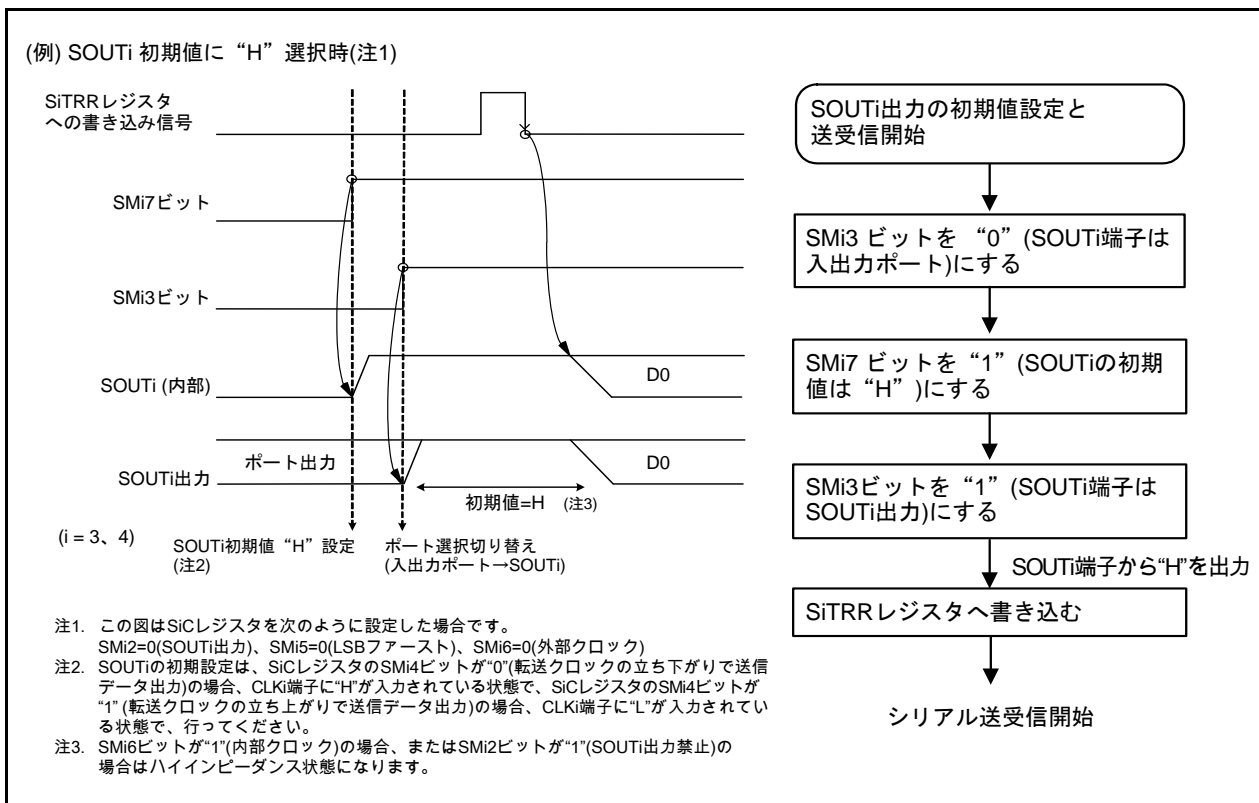


図 17.42 SOUTi初期値設定時のタイミング図、設定方法

## 17.2.4 送信後のSOUTi状態選択

S34C2レジスタのSM26、SM27ビットが“1”、(最終ビットレベルを保持)の場合、送信後、SOUTi端子の出力は、最終ビットのレベルを保持します。図17.43に送信後のSOUT3端子のレベルを示します。

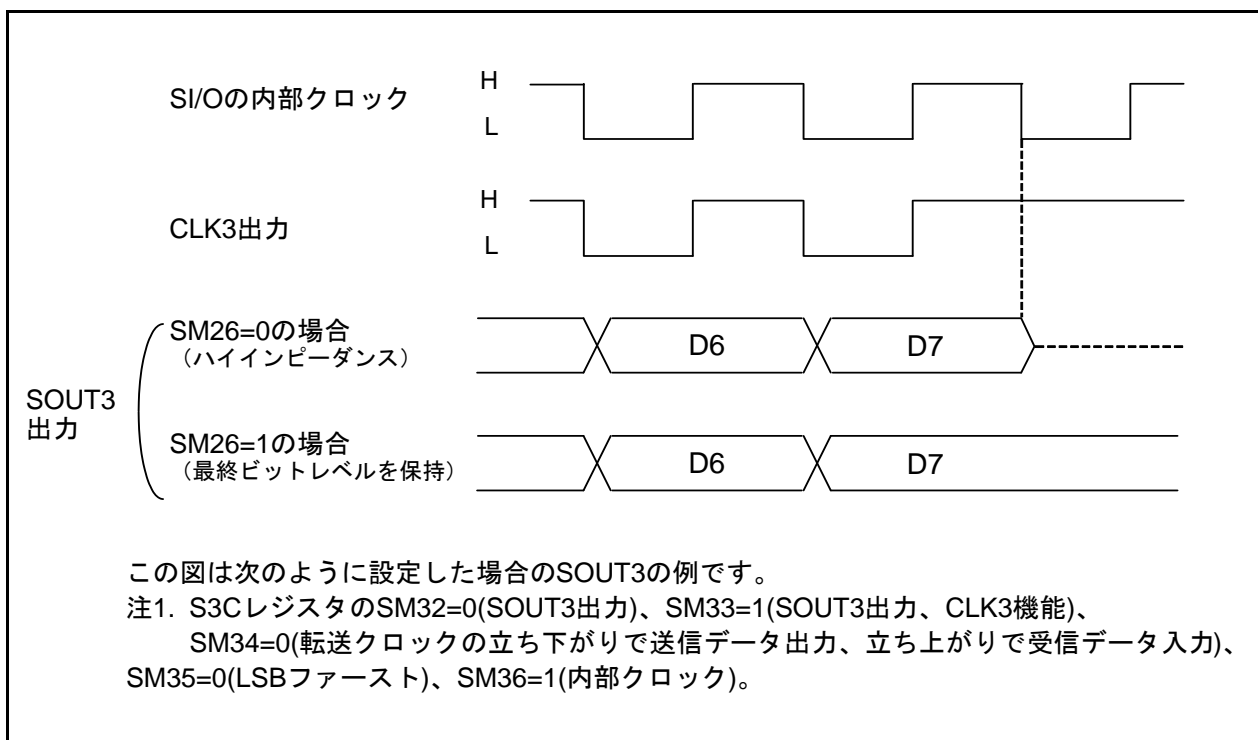


図 17.43 送信後のSOUT3端子のレベル

## 18. A/Dコンバータ

10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力、P10\_0～P10\_7、P9\_5、P9\_6、P0\_0～P0\_7、P2\_0～P2\_7と端子を共用しています。また、 $\overline{ADTRG}$ 入力はP9\_7と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”（入力モード）にしてください。

A/Dコンバータを使用しない場合、ADSTBYビットを“0”（ $\overline{A/D}$ 動作停止：スタンバイ）にすると、A/Dコンバータで電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、AN<sub>i</sub>、AN0<sub>i</sub>、AN2<sub>i</sub>端子(i=0～7)に対応したAD<sub>i</sub>レジスタに格納されます。

表 18.1にA/Dコンバータの仕様、図 18.1にA/Dコンバータのブロック図、図 18.2～18.3にA/Dコンバータ関連レジスタを示します。

表 18.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式
アナログ入力電圧(注1)	0V～AVCC(VCC1)
動作クロックφAD(注1)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周、またはfADの12分周
分解能	10ビット
積分非直線性誤差	AVCC=VREF=5V AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7入力の場合 ±3LSB ANEX0、ANEX1入力の場合 ±3LSB AVCC=VREF=3.0V AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7入力の場合 ±3LSB ANEX0、ANEX1入力の場合 ±3LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子	8本(AN0～AN7) + 2本(ANEX0、ANEX1) + 8本(AN0_0～AN0_7) + 8本(AN2_0～AN2_7)
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”（A/D変換開始）にする</li> <li>外部トリガ(再トリガ可能) ADSTビットを“1”（A/D変換開始）にした後、<math>\overline{ADTRG}</math>端子の入力が“H”から“L”へ変化</li> </ul>
1端子あたりの変換速度	最短43φADサイクル

- 注1. φADの周波数は次のようにしてください。  
 VCC1が4.0～5.5Vの場合、2MHz ≤ φAD ≤ 25MHz  
 VCC1が3.2～4.0Vの場合、2MHz ≤ φAD ≤ 16MHz  
 VCC1が3.0～3.2Vの場合、2MHz ≤ φAD ≤ 10MHz

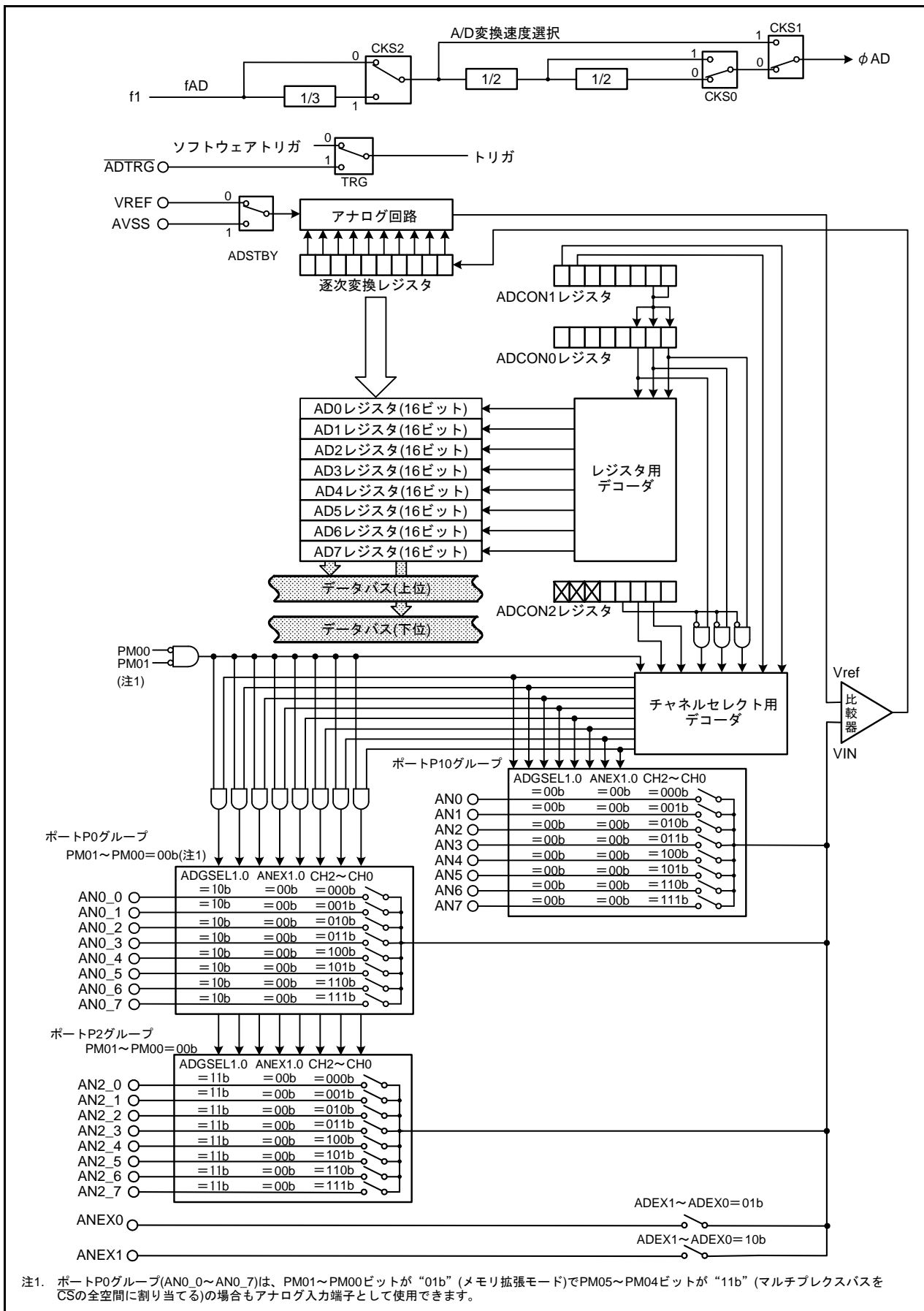


図 18.1 A/Dコンバータのブロック図

## A/D制御レジスタ0(注1)

ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 0000XXXb
CH0	アナログ入力端子選択ビット	動作モードによって機能が異なる	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 0 0: 単発モード 0 1: 繰り返しモード 1 0: 単掃引モード 1 1: 繰り返し掃引モード0 または繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

## A/D制御レジスタ1(注1)

ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b
SCAN0	A/D掃引端子選択ビット	動作モードによって機能が異なる	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	0: 繰り返し掃引モード1以外 1: 繰り返し掃引モード1	RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
ADSTBY	A/Dスタンバイビット (注2)	0: A/D動作停止(スタンバイ) 1: A/D動作可能	RW
ADEX0	拡張端子選択ビット	動作モードによって機能が異なる	RW
ADEX1			RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 $\phi$ ADの1サイクル以上経過した後にA/D変換を開始してください。

図 18.2 ADCON0～ADCON1レジスタ

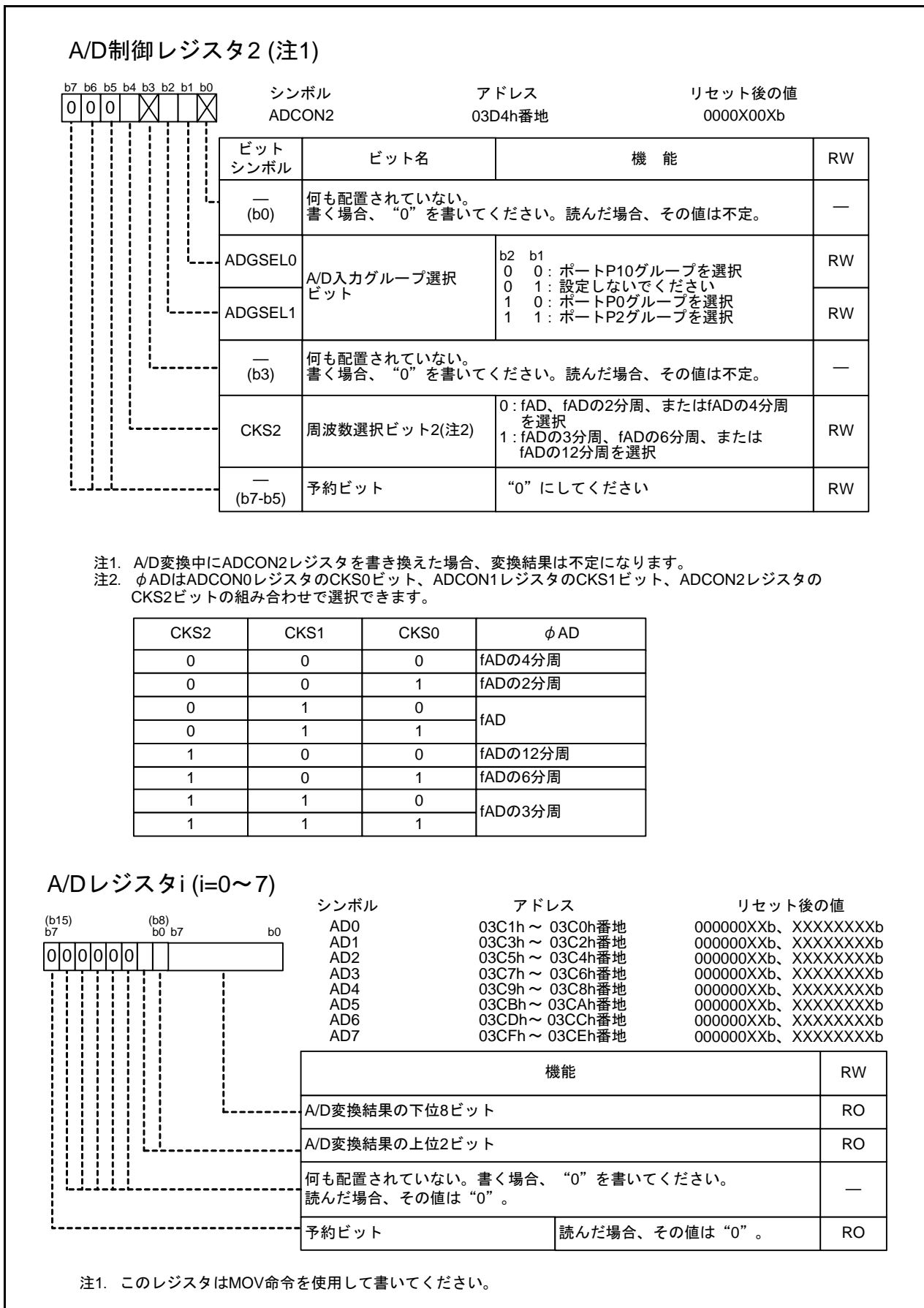


図 18.3 ADCON2、AD0~AD7レジスタ

## 18.1 モードの説明

### 18.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表 18.2に単発モードの仕様、図 18.4に単発モード時のADCON0～ADCON1レジスタを示します。

表 18.2 単発モードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX1～ADEX0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする</li> <li>•TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化</li> </ul>
A/D変換停止条件	<ul style="list-style-type: none"> <li>•A/D変換終了(ADSTビットは“0”(A/D変換停止)になる)</li> <li>•ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し





### 18.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表 18.3 に繰り返しモードの様、図 18.5 に繰り返しモード時のADCON0～ADCON1レジスタを示します。

表 18.3 繰り返しモードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX1～ADEX0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> <li>• ADCON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする</li> <li>• TRGビットが“1” (<math>\overline{\text{ADTRG}}</math>によるトリガ)の場合 ADSTビットを“1” (A/D変換開始)にした後、<math>\overline{\text{ADTRG}}</math>端子の入力が“H”から“L”へ変化</li> </ul>
A/D変換停止条件	ADSTビットを“0” (A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

## A/D制御レジスタ0(注1)

ビット シンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb	
	ビット シンボル	ビット名	機能	RW
	CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0 0 0 0: AN0を選択 0 0 1: AN1を選択 0 1 0: AN2を選択 0 1 1: AN3を選択	RW
	CH1		1 0 0: AN4を選択 1 0 1: AN5を選択	RW
	CH2		1 1 0: AN6を選択 1 1 1: AN7を選択	RW
	MD0		A/D動作モード選択ビット0	b4 b3 0 1: 繰り返しモード
	MD1	RW		
	TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	RW
	ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
	CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2. AN0～AN7と同様にAN0\_0～AN0\_7、AN2\_0～AN2\_7を使用できます。ADCON2レジスタのADGSEL1～ADGSEL0ビットで選択してください。

## A/D制御レジスタ1(注1)

ビット シンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b	
	ビット シンボル	ビット名	機能	RW
	SCAN0	A/D掃引端子選択ビット	繰り返しモードでは無効	RW
	SCAN1			RW
	MD2	A/D動作モード選択ビット1	繰り返しモードでは“0”にしてください	RW
	— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
	CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
	ADSTBY	A/Dスタンバイビット (注2)	“1”(A/D動作可能)にしてください	RW
	ADEX0	拡張端子選択ビット	b7 b6 0 0: ANEX0、ANEX1は使用しない 0 1: ANEX0入力をA/D変換 1 0: ANEX1入力をA/D変換 1 1: 設定しないでください	RW
	ADEX1		RW	

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、φADの1サイクル以上経過した後にA/D変換を開始してください。

図 18.5 繰り返しモード時のADCON0～ADCON1レジスタ

### 18.1.3 単掃引モード

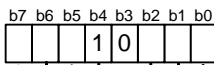
選択した端子の入力電圧を1回ずつA/D変換するモードです。表 18.4に単掃引モードの仕様、図 18.6に単掃引モード時のADCON0～ADCON1レジスタを示します。

表 18.4 単掃引モードの仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする</li> <li>•TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化</li> </ul>
A/D変換停止条件	<ul style="list-style-type: none"> <li>•A/D変換終了(ADSTビットは“0”(A/D変換停止)になる)</li> <li>•ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. AN0～AN7と同様にAN0\_0～AN0\_7、AN2\_0～AN2\_7を使用できます。

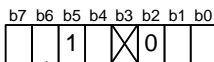
## A/D制御レジスタ0 (注1)

シンボル  
ADCON0アドレス  
03D6h番地リセット後の値  
0000XXXb

ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 1 0: 単掃引モード	RW
MD1			RW
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

## A/D制御レジスタ1 (注1)

シンボル  
ADCON1アドレス  
03D7h番地リセット後の値  
0000X000b

ビット シンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット (注2)	単掃引モードを選択している場合 b1 b0 0 0: AN0~AN1 (2端子) 0 1: AN0~AN3 (4端子) 1 0: AN0~AN5 (6端子) 1 1: AN0~AN7 (8端子)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	単掃引モードでは“0”にしてください	RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
ADSTBY	A/Dスタンバイビット(注3)	“1”(A/D動作可能)にしてください	RW
ADEX0	拡張端子選択ビット	b7 b6 0 0: ANEX0、ANEX1は使用しない 0 1: 設定しないでください 1 0: 設定しないでください 1 1: 設定しないでください	RW
ADEX1			RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. AN0~AN7と同様にAN0\_0~AN0\_7、AN2\_0~AN2\_7を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

注3. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、φADの1サイクル以上経過した後A/D変換を開始してください。

図 18.6 単掃引モード時のADCON0~ADCON1レジスタ

### 18.1.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表 18.5 に繰り返し掃引モード0の仕様、図 18.7に繰り返し掃引モード0時のADCON0～ADCON1レジスタを示します。

表 18.5 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする</li> <li>•TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG<math>\bar</math>端子の入力が“H”から“L”へ変化</li> </ul>
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. AN0～AN7と同様にAN0\_0～AN0\_7、AN2\_0～AN2\_7を使用できます。

## A/D制御レジスタ0 (注1)

ビットシンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb	
1 1	ビットシンボル	ビット名	機能	RW
	CH0	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	RW
	CH1			RW
	CH2			RW
	MD0	A/D動作モード選択ビット0	b4 b3 1 1: 繰り返し掃引モード0または 繰り返し掃引モード1	RW
	MD1			RW
	TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	RW
	ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
	CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

## A/D制御レジスタ1(注1)

ビットシンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b	
1 0	ビットシンボル	ビット名	機能	RW
	SCAN0	A/D掃引端子選択ビット (注2)	b1 b0 0 0: AN0~AN1 (2端子) 0 1: AN0~AN3 (4端子) 1 0: AN0~AN5 (6端子) 1 1: AN0~AN7 (8端子)	RW
	SCAN1			RW
	MD2	A/D動作モード選択ビット1	繰り返し掃引モード0では“0”にしてください	RW
	(b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
	CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
	ADSTBY	A/Dスタンバイビット (注3)	“1” (A/D動作可能)にしてください	RW
	ADEX0	拡張端子選択ビット	b7 b6 0 0: ANEX0、ANEX1は使用しない 0 1: 設定しないでください 1 0: 設定しないでください 1 1: 設定しないでください	RW
	ADEX1			RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. AN0~AN7と同様にAN0\_0~AN0\_7、AN2\_0~AN2\_7を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

注3. ADSTBYビットを“0” (A/D動作停止)から“1” (A/D動作可能)にしたときは、φADの1サイクル以上経過した後にA/D変換を開始してください。

図 18.7 繰り返し掃引モード0時のADCON0~ADCON1レジスタ

### 18.1.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表 18.6に繰り返し掃引モード1の仕様、図 18.8に繰り返し掃引モード1時のADCON0～ADCON1レジスタを示します。

表 18.6 繰り返し掃引モード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子に重点をおいて、ADGSEL1～ADGSEL0ビットで選択した全端子の入力電圧を繰り返しA/D変換する 例：AN0を選択した場合 AN0→AN1→AN0→AN2→AN0→AN3…の順にA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> <li>ADCON0レジスタのTRGビットが“0”（ソフトウェアトリガ）の場合 ADCON0レジスタのADSTビットを“1”（A/D変換開始）にする</li> <li>TRGビットが“1”（<math>\overline{\text{ADTRG}}</math>によるトリガ）の場合 ADSTビットを“1”（A/D変換開始）にした後、<math>\overline{\text{ADTRG}}</math>端子の入力が“H”から“L”へ変化</li> </ul>
A/D変換停止条件	ADSTビットを“0”（A/D変換停止）にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換するアナログ入力端子	AN0(1端子)、AN0～AN1(2端子)、AN0～AN2(3端子)、AN0～AN3(4端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. AN0～AN7と同様にAN0\_0～AN0\_7、AN2\_0～AN2\_7を使用できます。



## A/D制御レジスタ0 (注1)

ビット シンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 1 1: 繰り返し掃引モード0または 繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

## A/D制御レジスタ1 (注1)

ビット シンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b
SCAN0	A/D掃引端子選択ビット (注2)	繰り返し掃引モード1を選択している場合 b1 b0 0 0: AN0 (1端子) 0 1: AN0~AN1 (2端子) 1 0: AN0~AN2 (3端子) 1 1: AN0~AN3 (4端子)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	1: 繰り返し掃引モード1	RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
ADSTBY	A/Dスタンバイビット(注3)	“1” (A/D動作可能)にしてください	RW
ADEX0	拡張端子選択ビット	b7 b6 0 0: ANEX0、ANEX1は使用しない 0 1: 設定しないでください 1 0: 設定しないでください 1 1: 設定しないでください	RW
ADEX1			RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. AN0~AN7と同様にAN0\_0~AN0\_7、AN2\_0~AN2\_7を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

注3. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、φADの1サイクル以上経過した後にA/D変換を開始してください。

図 18.8 繰り返し掃引モード1時のADCON0~ADCON1レジスタ

## 18.2 変換速度

変換時間は次のとおりです。

開始ダミー時間は $\phi$ ADの選択によって変わります。表 18.7に開始ダミー時間を示します。ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始ダミー時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間ダミー時間が入ります。

単発モード、単掃引モードでは、終了ダミー時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

単発モードの場合：

開始ダミー時間 + A/D変換実行時間 + 終了ダミー時間

単掃引モードで2端子を選択した場合：

開始ダミー時間 + (A/D変換実行時間 + 実行間ダミー時間 + A/D変換実行時間) + 終了ダミー時間

開始ダミー時間：「表 18.7 開始ダミー時間」参照

A/D変換実行時間：1端子当たり、 $\phi$ ADの40サイクル

実行間ダミー時間： $\phi$ ADの1サイクル

終了ダミー時間：fADの2～3サイクル

表 18.7 開始ダミー時間

$\phi$ ADの選択	開始ダミー時間
fAD	fADの1～2サイクル
fADの2分周	fADの2～3サイクル
fADの3分周	fADの3～4サイクル
fADの4分周	fADの3～4サイクル
fADの6分周	fADの4～5サイクル
fADの12分周	fADの7～8サイクル

## 18.3 拡張アナログ入力端子

単発モード、繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。ADCON1レジスタのADEX1～ADEX0ビットで選択してください。

ANEX0入力のA/D変換結果は、AD0レジスタに格納され、ANEX1入力のA/D変換結果は、AD1レジスタに格納されます。

## 18.4 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、 $\phi$ ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

## 18.5 外部センサ

A/D変換を正しく行うためには、図 18.9の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは1024)とします。

$$VCは一般にVC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left( 1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、} R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図 18.9 アナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)はA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

φAD=20MHzのとき、T=0.75μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます

T=0.75μs、R=10kΩ、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大3.5kΩになります。

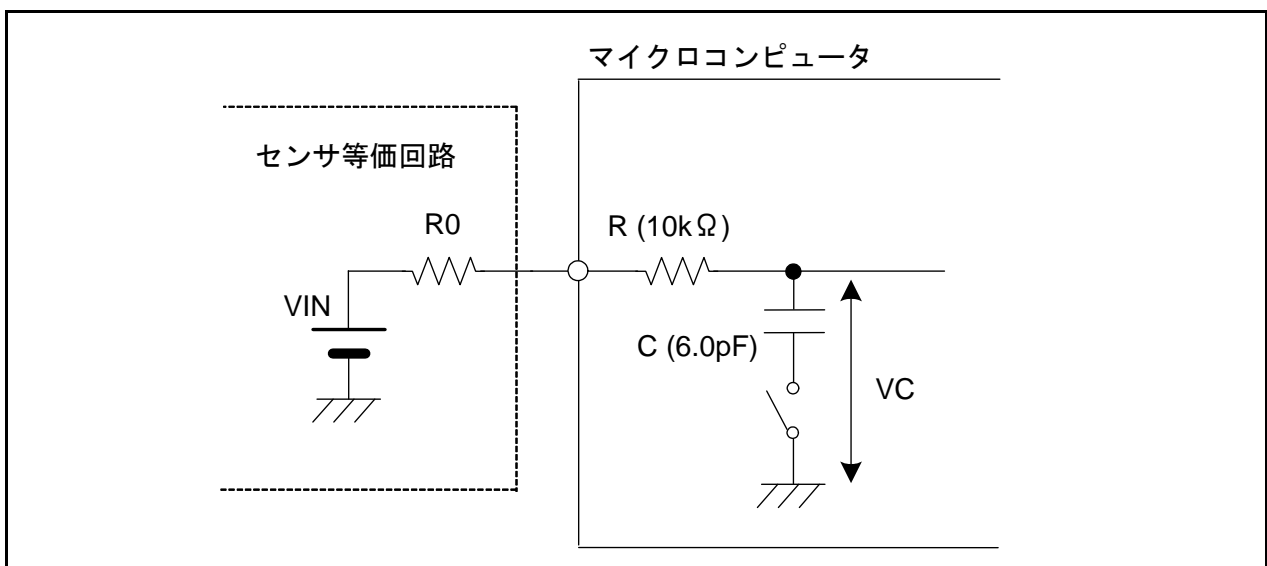


図 18.9 アナログ入力端子と外部センサの等価回路例

## 19. D/Aコンバータ

### 19.1 概要

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータです。

D/A変換は、DA<sub>i</sub>レジスタ( $i=0\sim 1$ )に値を書くと行われます。変換結果を出力するときDACONレジスタのDA<sub>i</sub>Eビットを“1”(出力許可)にしてください。D/A変換を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。DA<sub>i</sub>Eビットを“1”にすると対応するポートはプルアップなしになります。

出力されるアナログ電圧Vは、DA<sub>i</sub>レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0\sim 255)$$

V<sub>REF</sub>: 基準電圧

表 19.1にD/Aコンバータの仕様、表 19.1にD/Aコンバータの仕様、図 19.1にD/Aコンバータブロック図、図 19.2にD/Aコンバータ関連レジスタ、図 19.3にD/Aコンバータの等価回路を示します。

表 19.1 D/Aコンバータの仕様

項目	性能
D/A変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル(DA0、DA1)

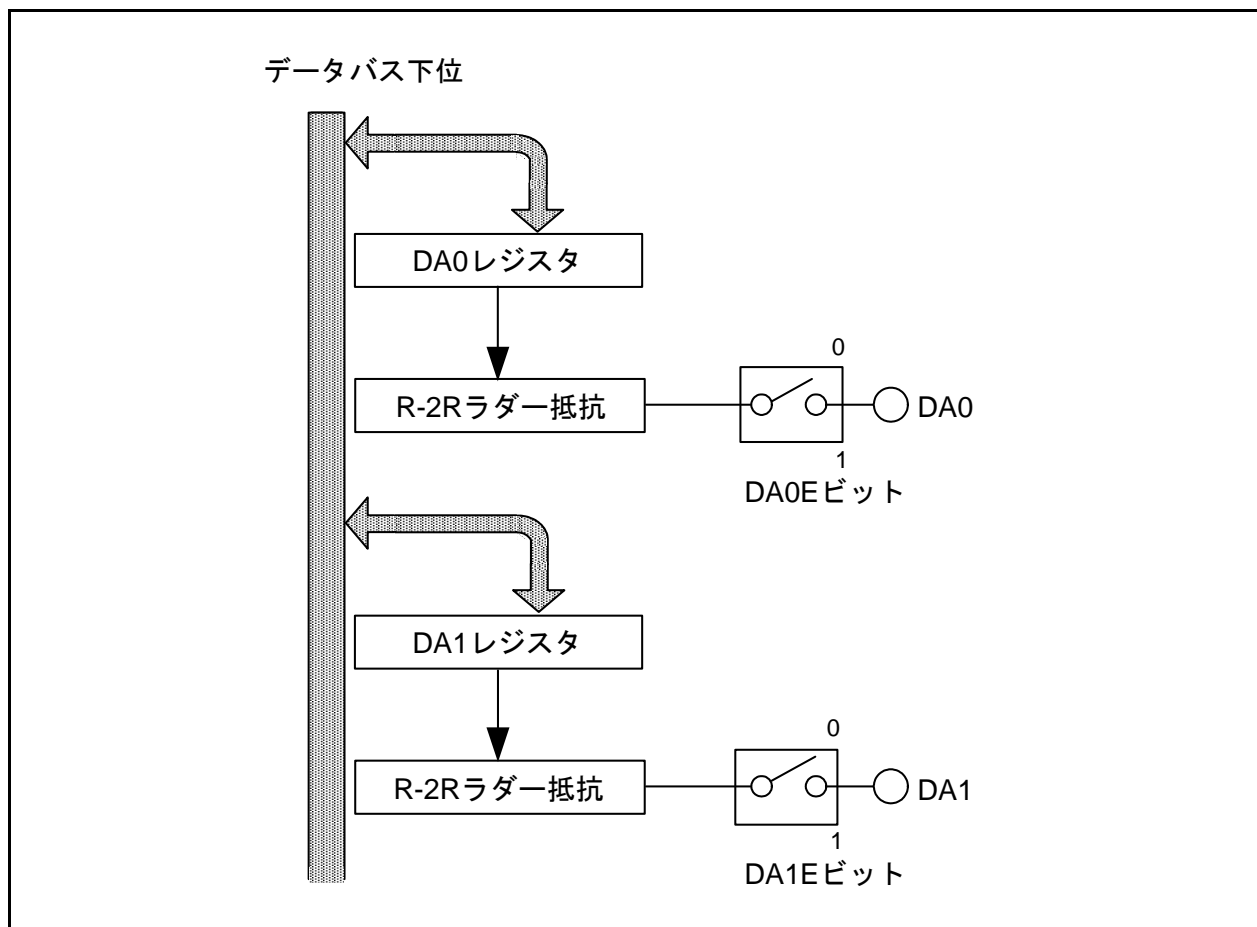


図 19.1 D/Aコンバータブロック図

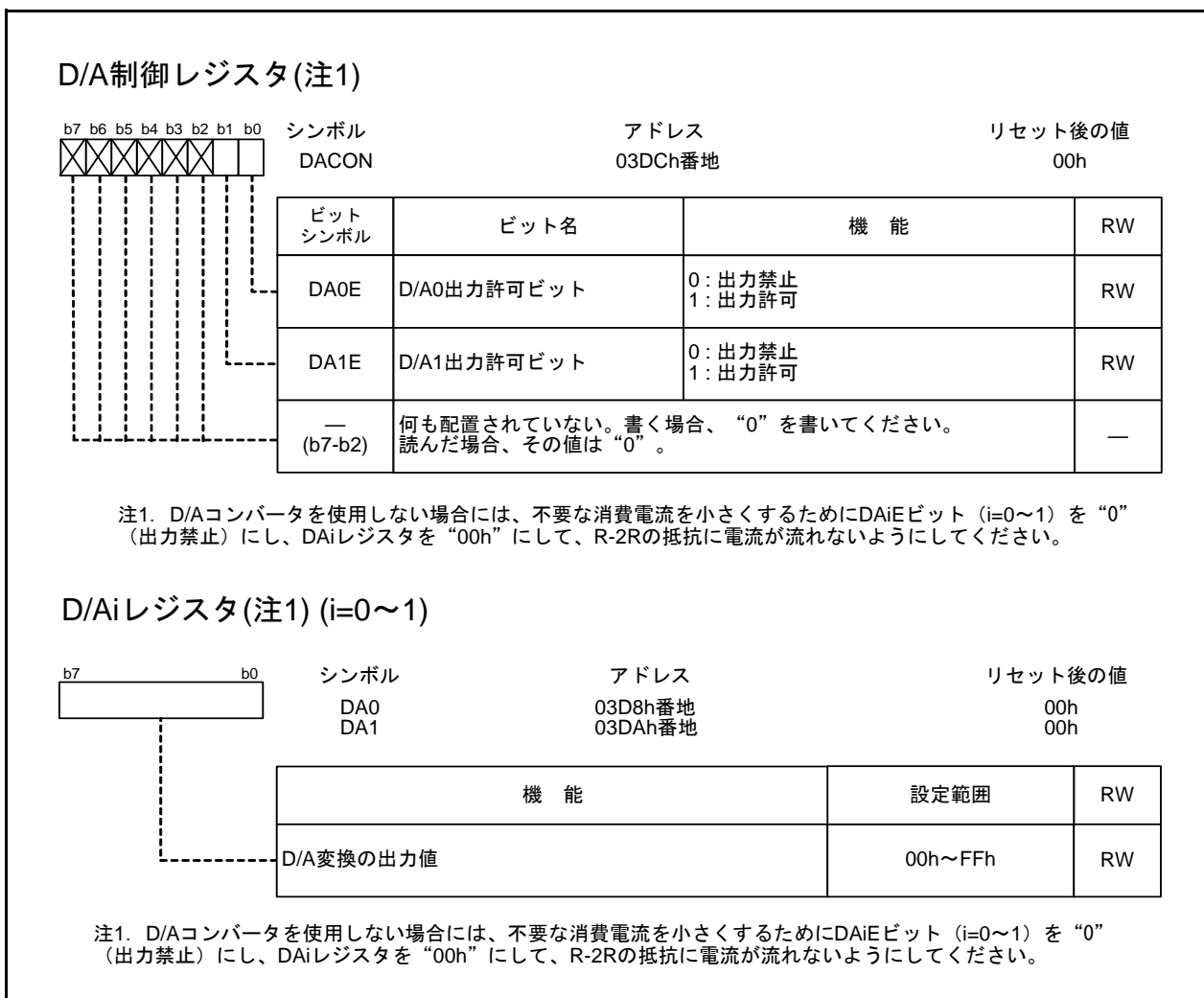


図 19.2 DACON、DA0、DA1レジスタ

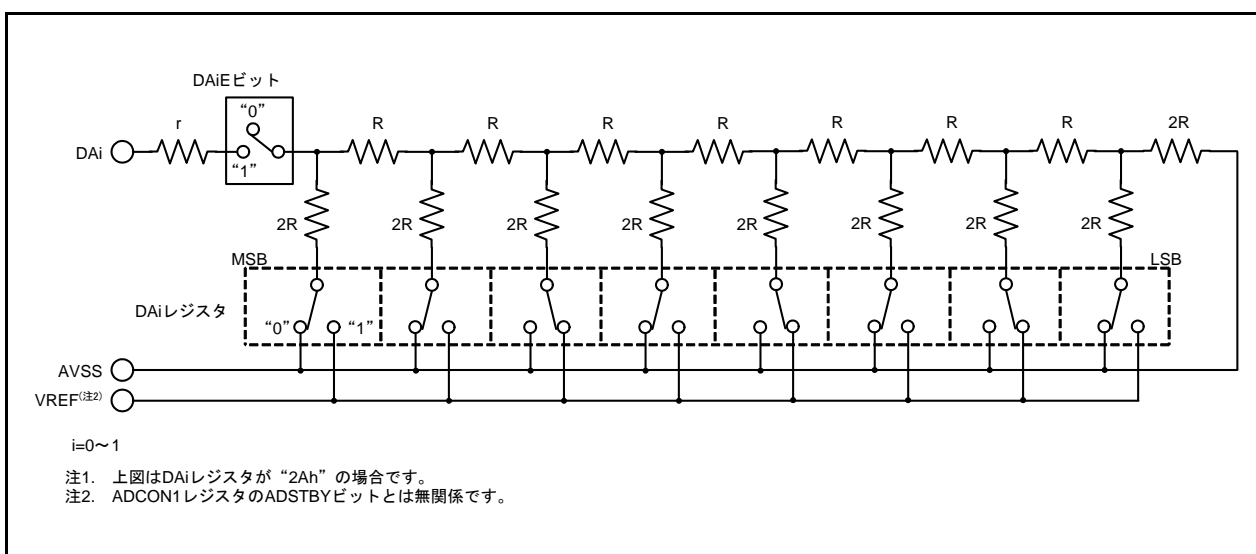


図 19.3 D/Aコンバータの等価回路

## 20. CRC演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT( $X^{16}+X^{12}+X^5+1$ )の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図 20.1にCRCブロック図、図 20.2にCRC関連レジスタを示します。また、図 20.3にCRC演算例を示します。

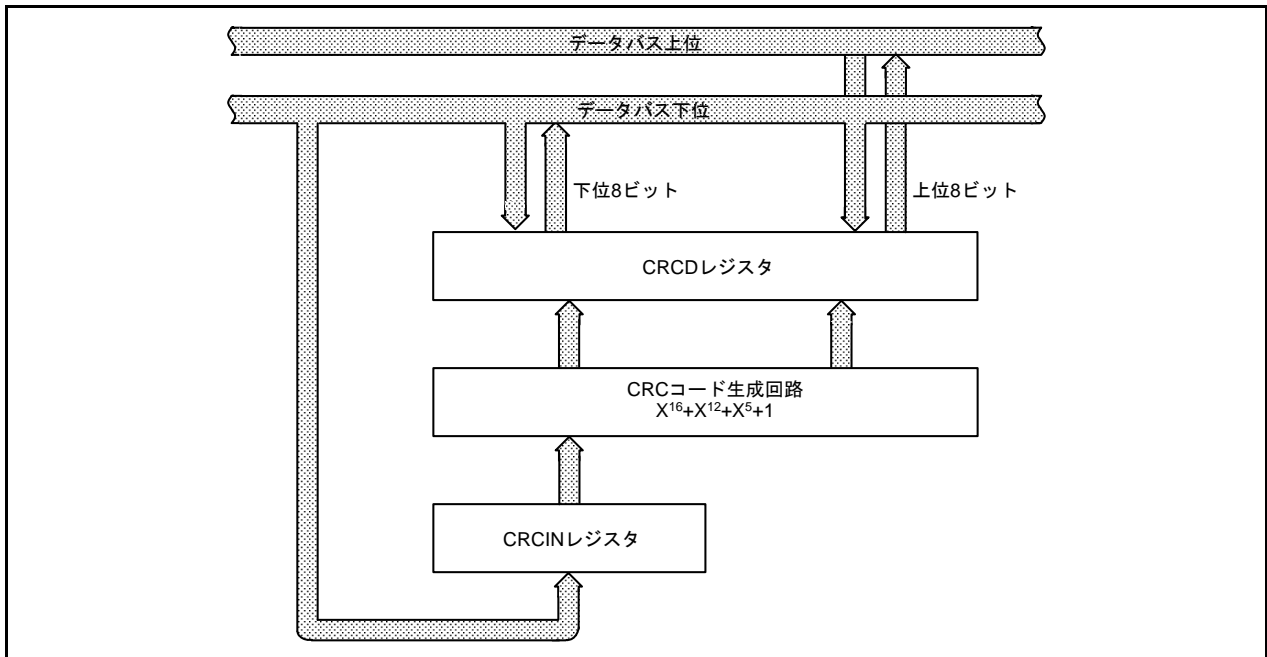


図 20.1 CRCブロック図

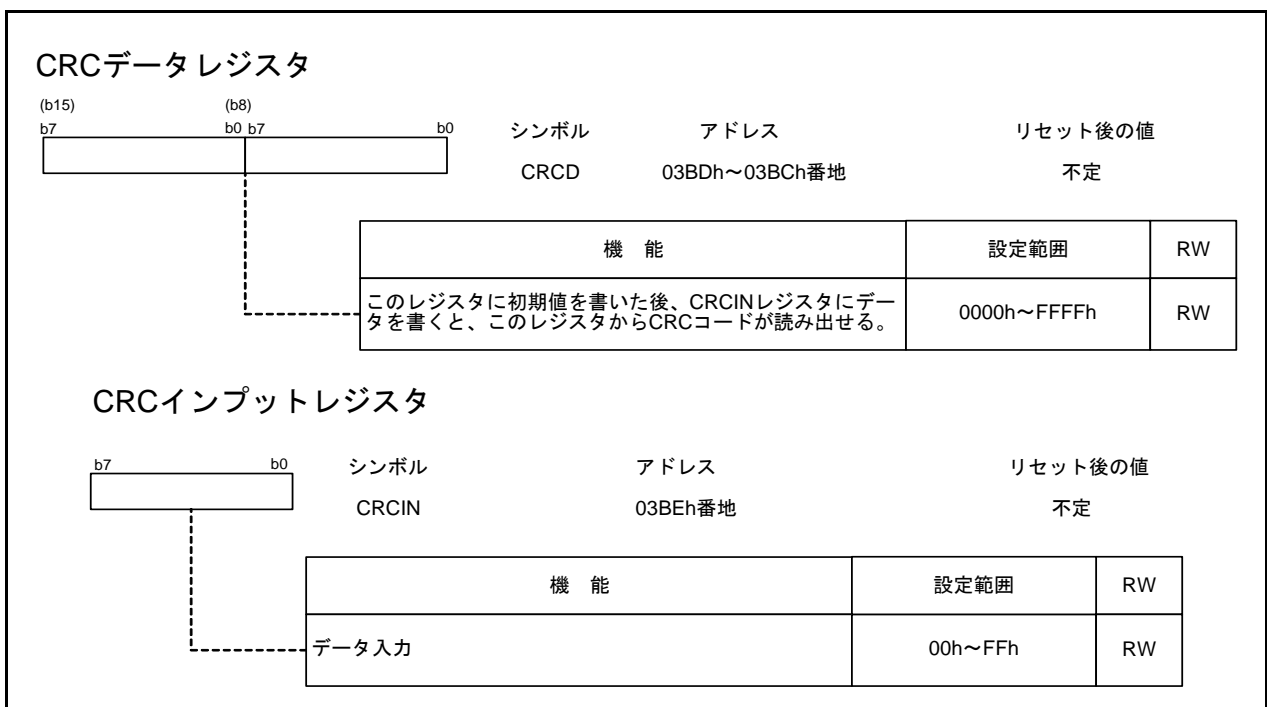


図 20.2 CRCD、CRCINレジスタ

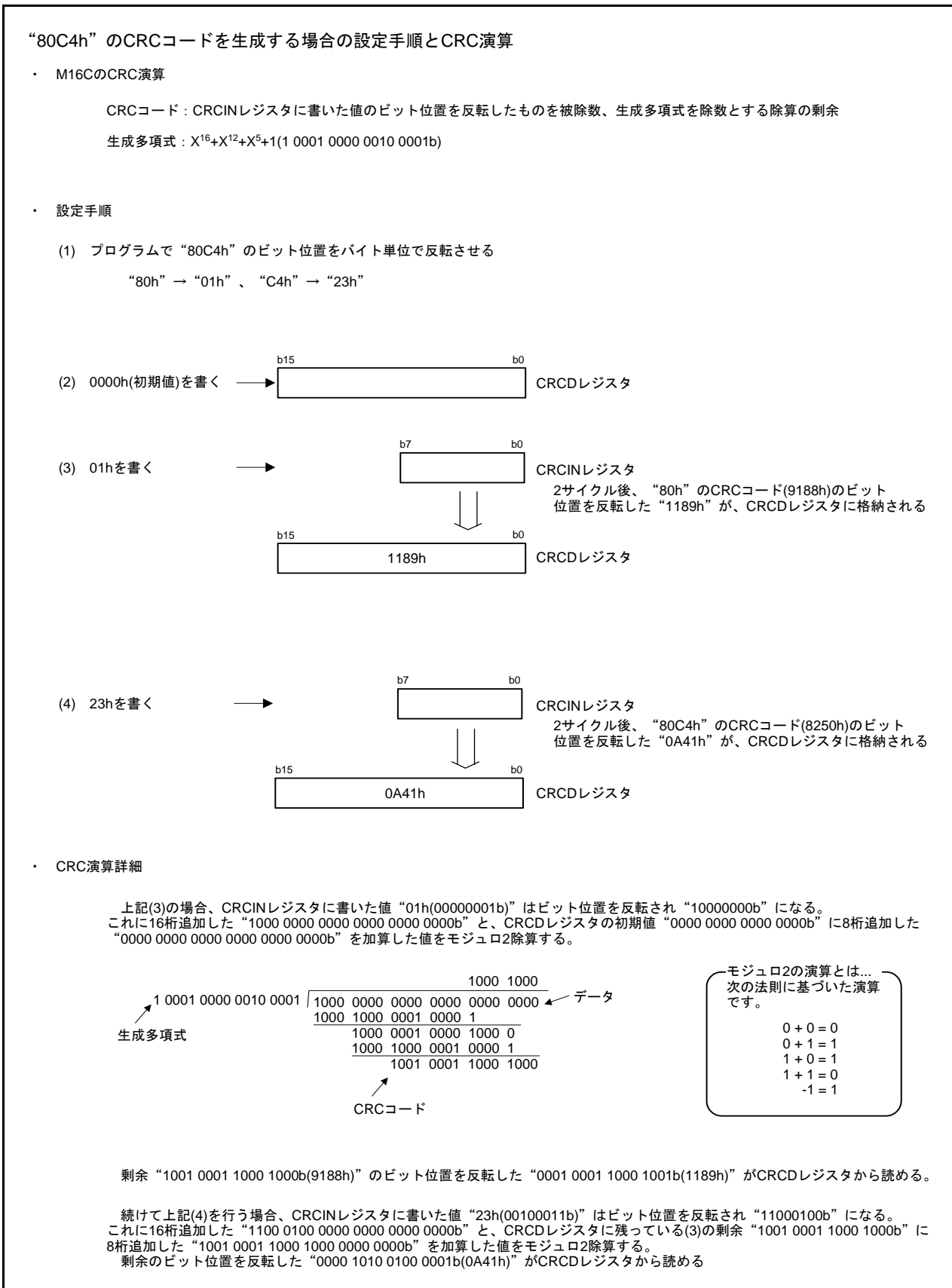


図 20.3 CRC 演算例

## 21. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、88本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。P7\_0、P7\_1、P8\_5はプルアップ抵抗はありません。ポートP8\_5は $\overline{\text{NMI}}$ と端子を共用していますので、 $\overline{\text{NMI}}$ 入力レベルをP8レジスタのP8\_5ビットから読めます。

図 21.1～21.5に入出力ポートの構成、図 21.6に端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力、またはバス制御端子として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子またはD/Aコンバータの出力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。D/Aコンバータ以外の周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

バス制御端子として使用する場合は、「8.2 バス制御」を参照してください。

P0～P5はVCC2レベル、P6～P10はVCC1レベルの入出力ができます。

### 21.1 ポートPi方向レジスタ(PDiレジスタ $i=0\sim 10$ )

図 21.7にPi方向レジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A19、D0～D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、RD、 $\overline{\text{WRL}}/\overline{\text{WR}}$ 、 $\overline{\text{WRH}}/\overline{\text{BHE}}$ 、ALE、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{HLDA}}$ 、BCLK)になっている端子のPDiレジスタは変更できません。

### 21.2 ポートPiレジスタ(Piレジスタ $i=0\sim 10$ )

図 21.8にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと端子の状態を読む回路で構成されています。

入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポータラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポータラッチを読み、書くとポータラッチに書きます。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A19、D0～D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、RD、 $\overline{\text{WRL}}/\overline{\text{WR}}$ 、 $\overline{\text{WRH}}/\overline{\text{BHE}}$ 、ALE、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{HLDA}}$ 、BCLK)になっている端子のPiレジスタは変更できません。

### 21.3 プルアップ制御レジスタ0～プルアップ制御レジスタ2(PUR0～PUR2レジスタ)

図 21.9～21.10にPUR0～PUR2レジスタを示します。

PUR0～PUR2レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップありを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P4\_0～P4\_3、P5のプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

### 21.4 ポート制御レジスタ(PCRレジスタ)

図 21.11にPCRレジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポータラッチを読みます。



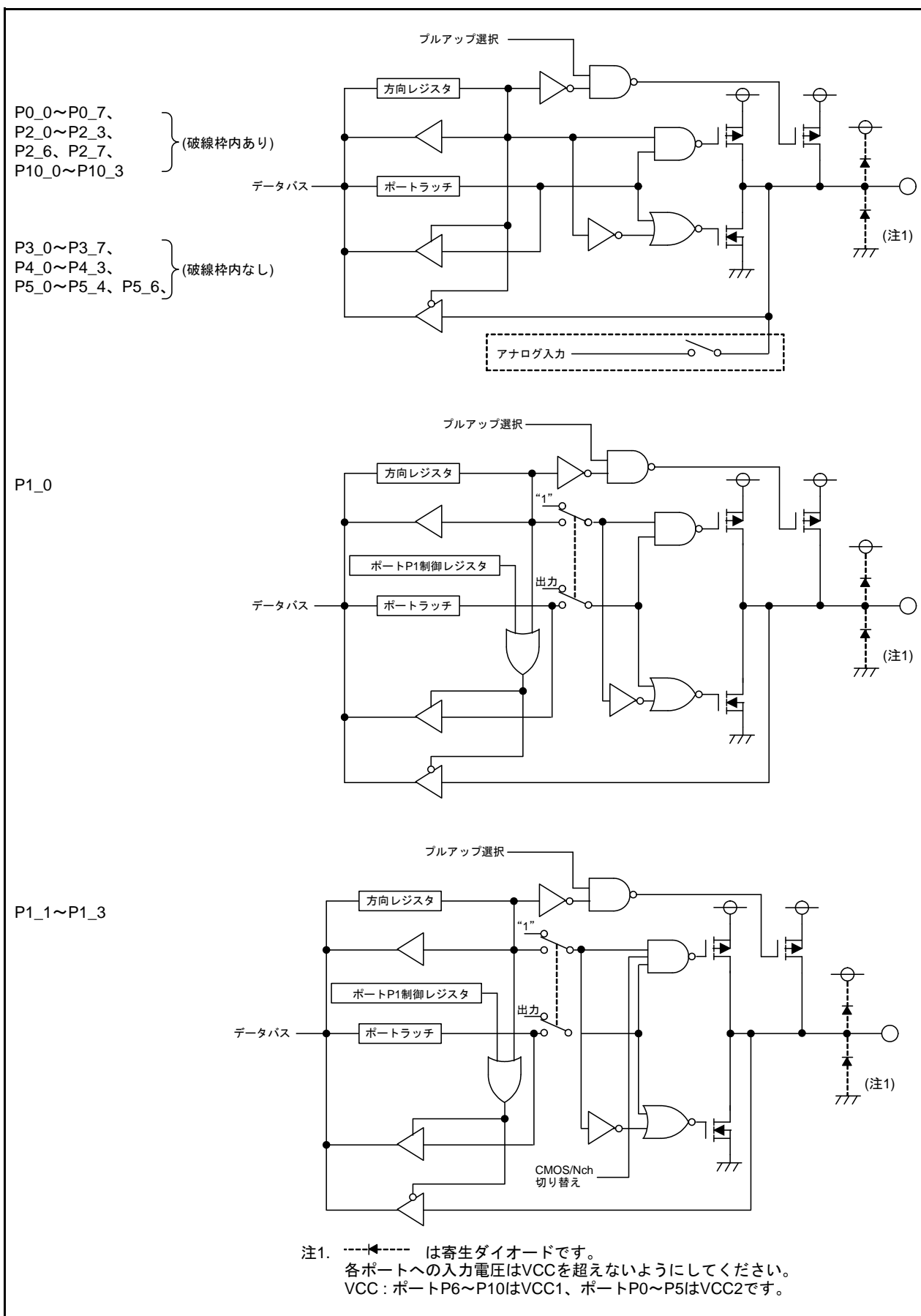


図 21.1 入出力ポートの構成(1)

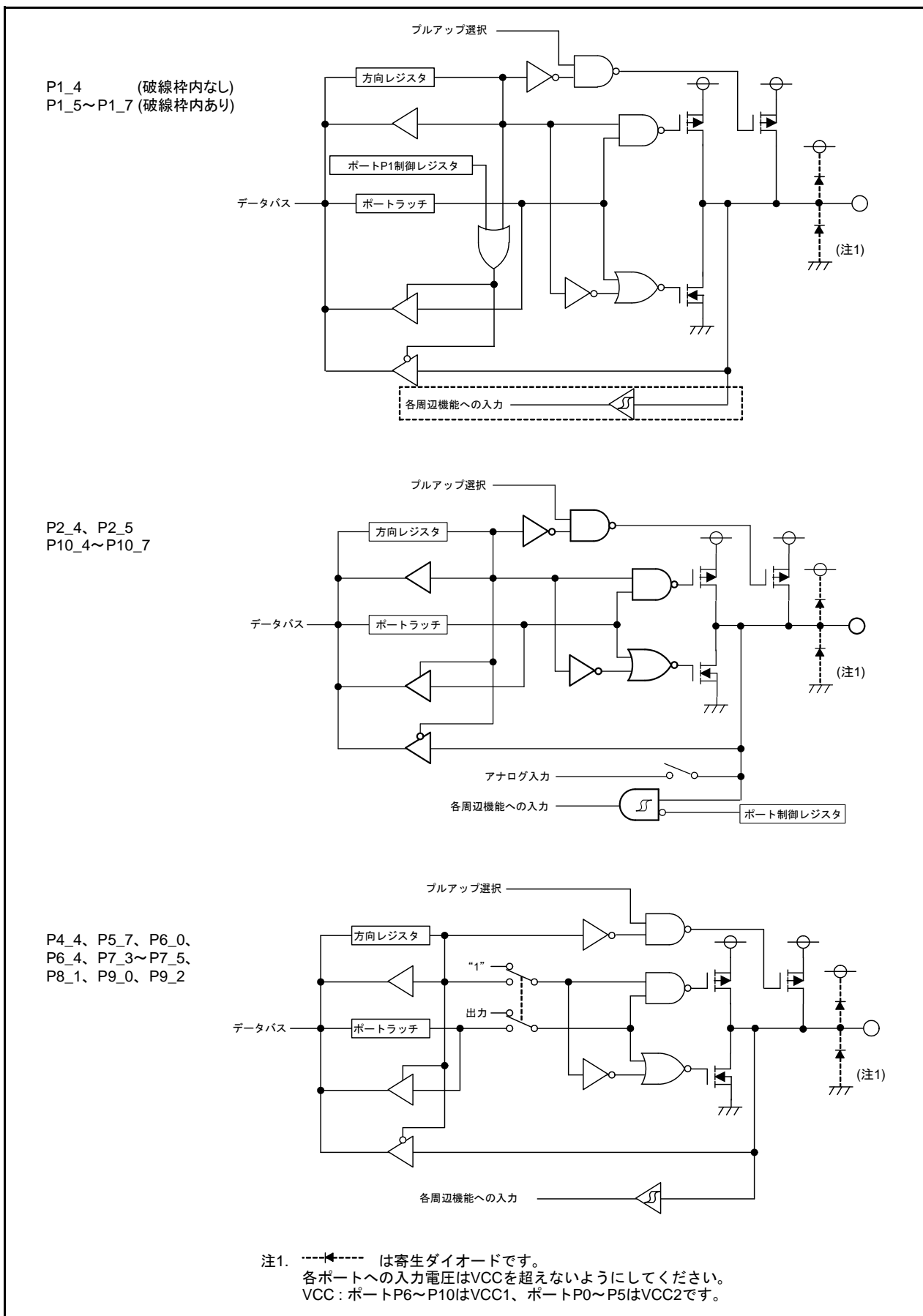


図 21.2 入出力ポートの構成(2)

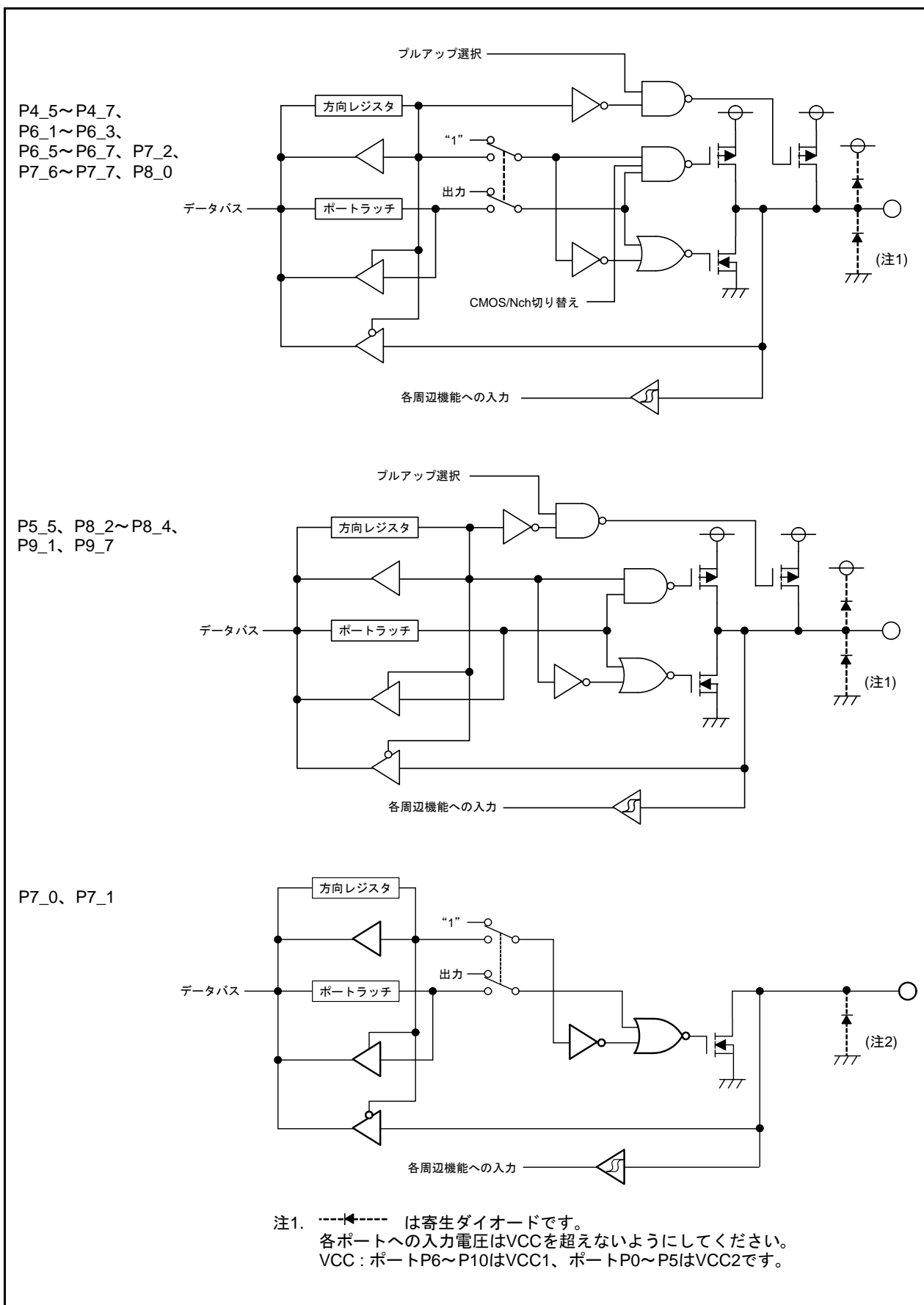


図 21.3 入出力ポートの構成(3)

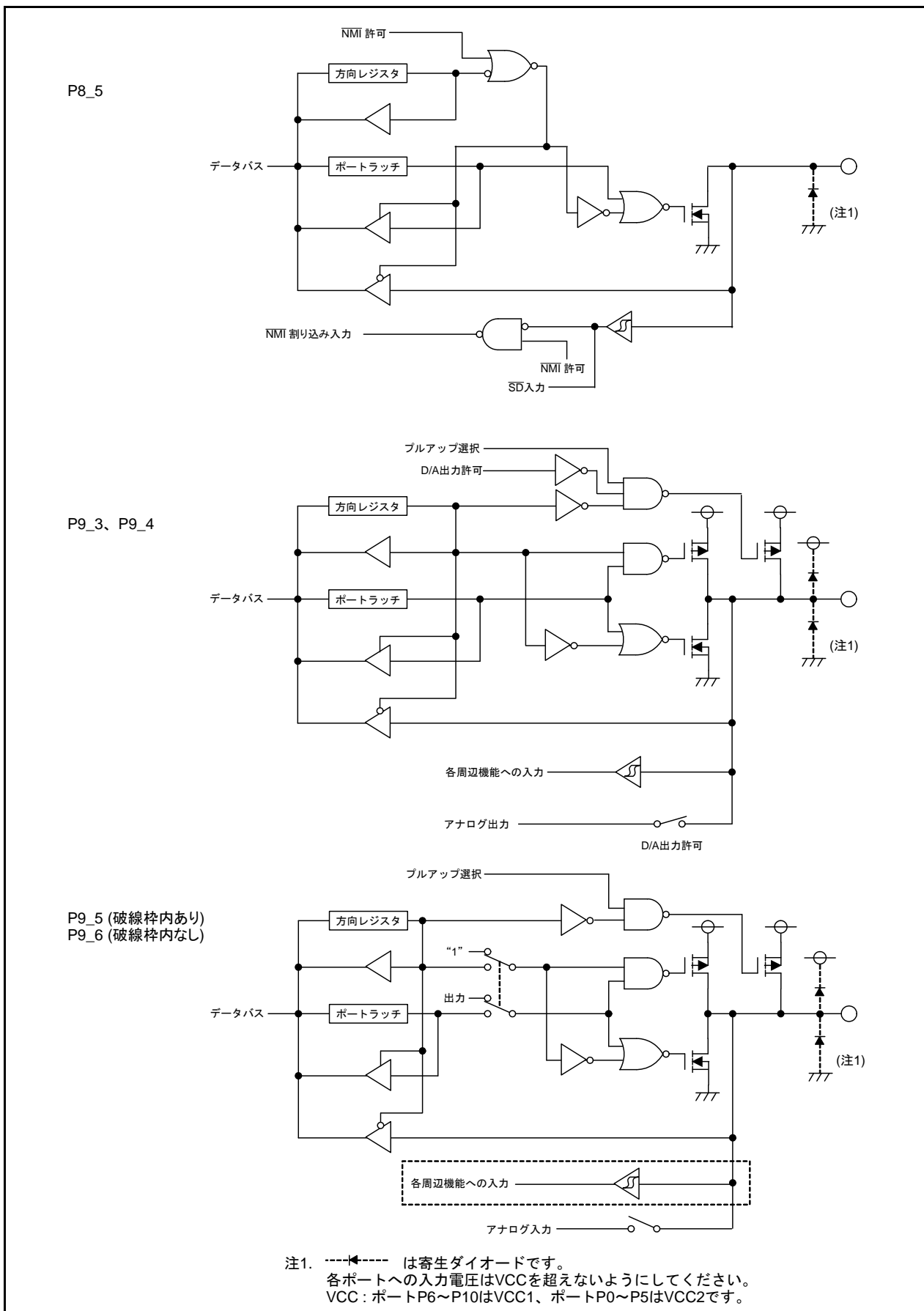


図 21.4 入出力ポートの構成(4)

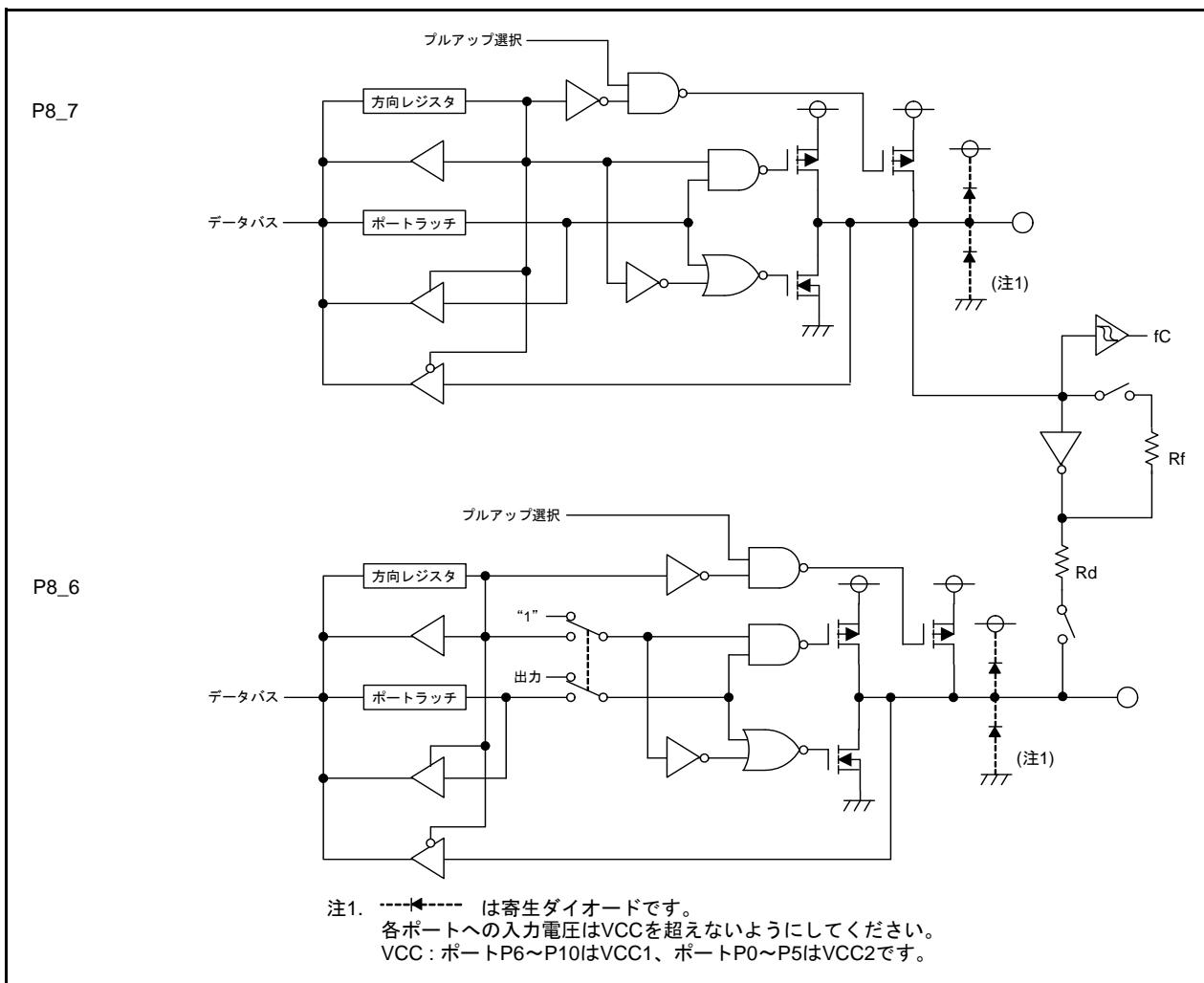


図 21.5 入出力ポートの構成(5)

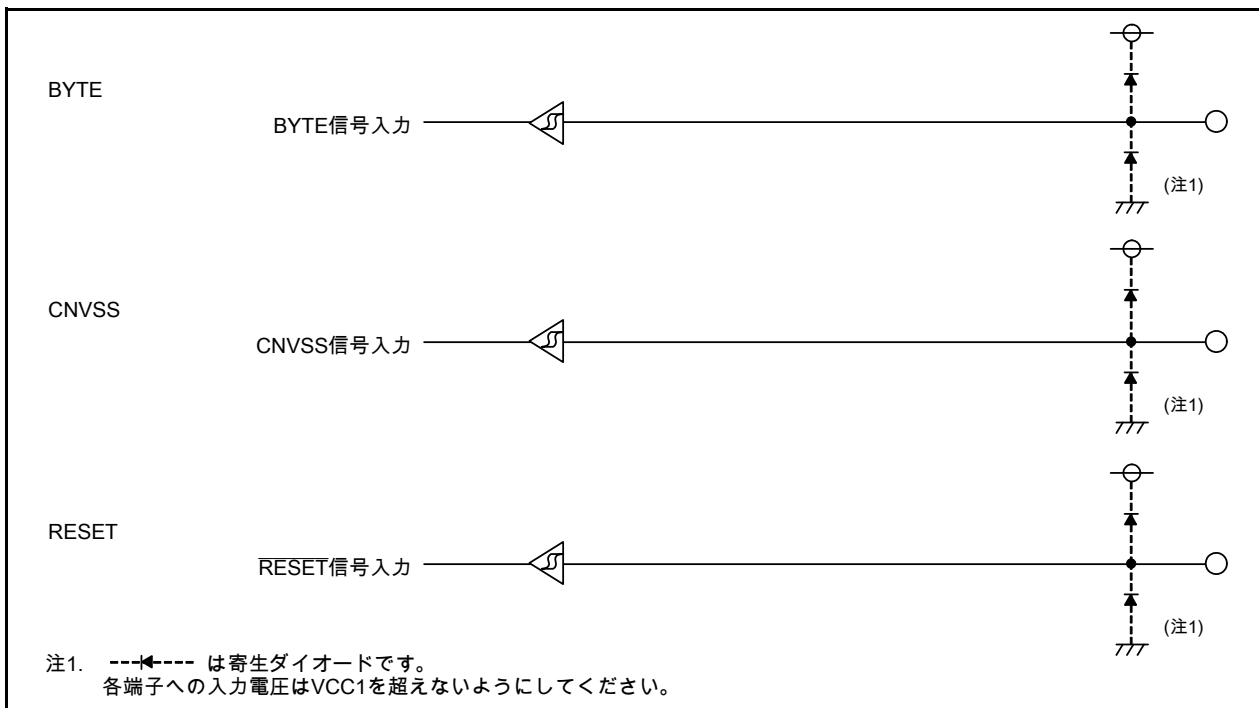


図 21.6 端子の構成

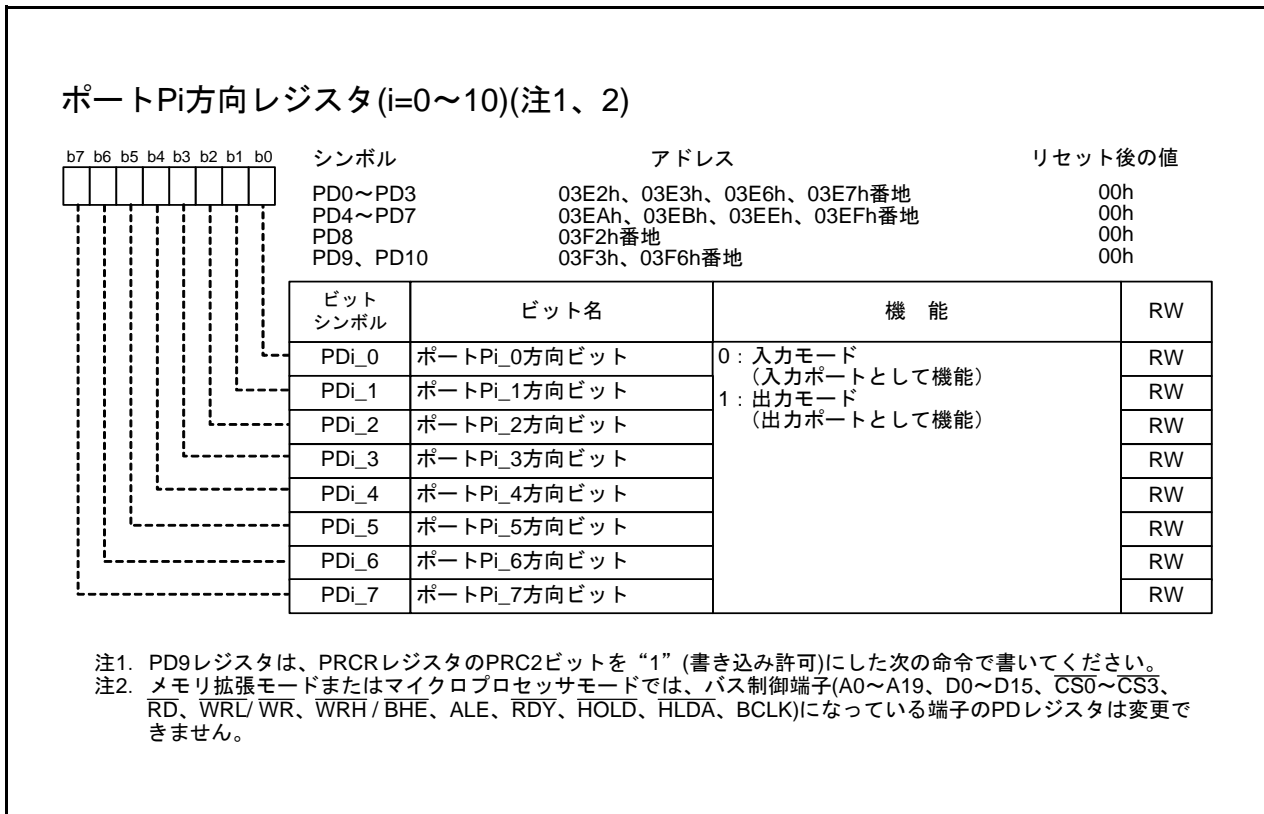


図 21.7 PD0~PD10レジスタ

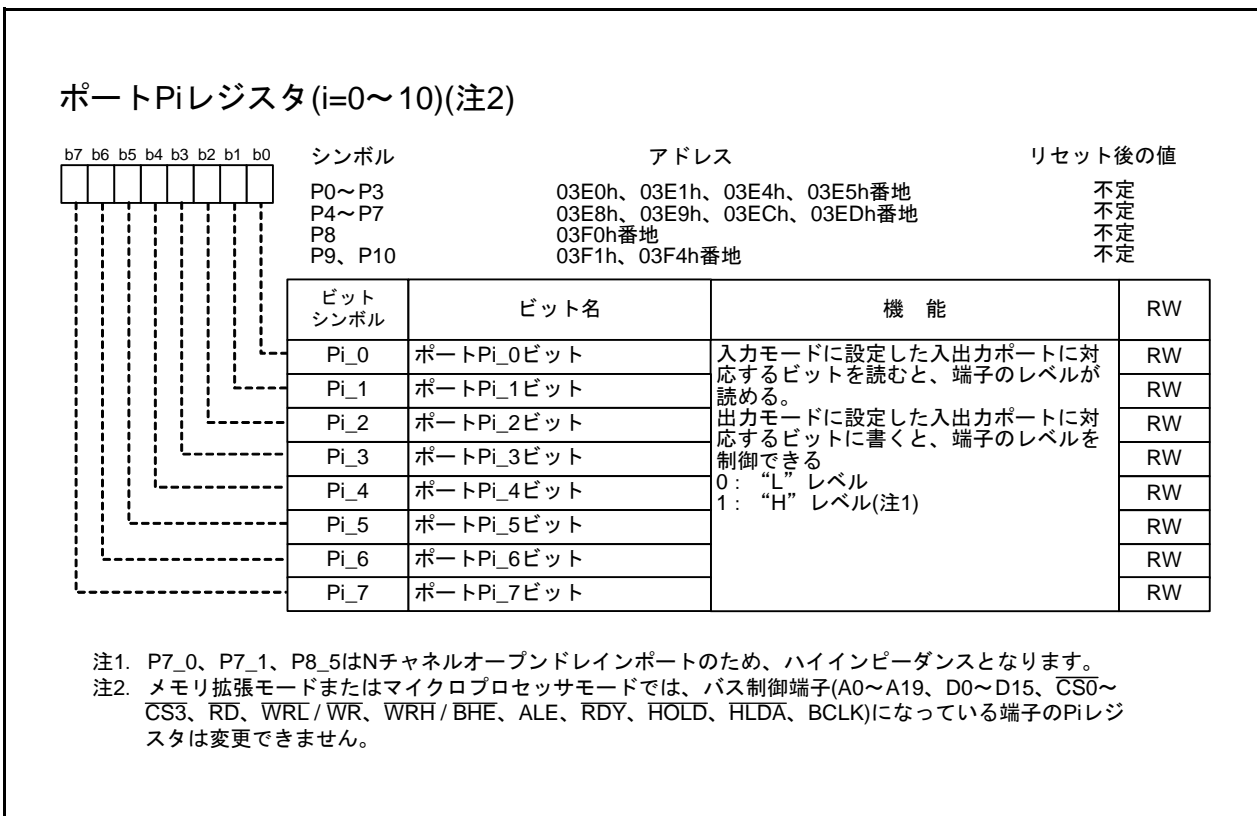


図 21.8 P0~P10レジスタ

## プルアップ制御レジスタ0(注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR0	アドレス 0360h番地	リセット後の値 00h
	ビット シンボル	ビット名	機 能
	PU00	P0_0~P0_3のプルアップ	0: プルアップなし 1: プルアップあり(注2)
	PU01	P0_4~P0_7のプルアップ	
	PU02	P1_0~P1_3のプルアップ	
	PU03	P1_4~P1_7のプルアップ	
	PU04	P2_0~P2_3のプルアップ	
	PU05	P2_4~P2_7のプルアップ	
	PU06	P3_0~P3_3のプルアップ	
	PU07	P3_4~P3_7のプルアップ	
			RW

- 注1. メモリ拡張モード時またはマイクロプロセッサモード時、レジスタの内容は変更できますが、プルアップされません。  
 注2. このビットが“1” (プルアップあり)でかつ方向ビットが“0” (入力モード)の端子がプルアップされます。

## プルアップ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR1	アドレス 0361h番地	リセット後の値(注5) 00000000b 00000010b
	ビット シンボル	ビット名	機 能
	PU10	P4_0~P4_3のプルアップ(注2)	0: プルアップなし 1: プルアップあり(注3)
	PU11	P4_4~P4_7のプルアップ(注4)	
	PU12	P5_0~P5_3のプルアップ(注2)	
	PU13	P5_4~P5_7のプルアップ(注2)	
	PU14	P6_0~P6_3のプルアップ	
	PU15	P6_4~P6_7のプルアップ	
	PU16	P7_2~P7_3のプルアップ(注1)	
	PU17	P7_4~P7_7のプルアップ	
			RW

- 注1. P7\_0、P7\_1端子には、プルアップはありません。  
 注2. メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更できますが、プルアップされません。  
 注3. このビットが“1” (プルアップあり)でかつ方向ビットが“0” (入力モード)の端子がプルアップされます。  
 注4. シングルチップモード時、プログラムでPM01~PM00ビットを“01b” (メモリ拡張モード)または“11b” (マイクロプロセッサモード)にすると、PU11ビットが“1”になります。  
 注5. ハードウェアリセット1またはハードウェアリセット2では次のようになります。  
 ・ CNVSS端子に“L”を入力している場合、“00000000b”  
 ・ CNVSS端子に“H”を入力している場合、“00000010b”  
 ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。  
 ・ PM0レジスタのPM01~PM00ビットが“00b” (シングルチップモード)の場合、“00000000b”  
 ・ PM0レジスタのPM01~PM00ビットが“01b” (メモリ拡張モード)または“11b” (マイクロプロセッサモード)の場合、“00000010b”

図 21.9 PUR0、PUR1 レジスタ



## プルアップ制御レジスタ2

ビットシンボル	ビット名	機能	RW
PU20	P8_0~P8_3のプルアップ	0: プルアップなし 1: プルアップあり(注1)	RW
PU21	P8_4~P8_7のプルアップ(注2)		RW
PU22	P9_0~P9_3のプルアップ		RW
PU23	P9_4~P9_7のプルアップ		RW
PU24	P10_0~P10_3のプルアップ		RW
PU25	P10_4~P10_7のプルアップ		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. このビットが“1”（プルアップあり）でかつ方向ビットが“0”（入力モード）の端子がプルアップされます。

注2. P8\_5端子は、プルアップはありません。

図 21.10 PUR2 レジスタ

## ポート制御レジスタ

ビットシンボル	ビット名	機能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の入力レベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		RW
— (b4-b3)	予約ビット	“0”にしてください。	RW
PCR5	INT6入力許可ビット (注1)	0: 許可 1: 禁止	RW
PCR6	INT7入力許可ビット (注2)	0: 許可 1: 禁止	RW
PCR7	キー入力許可ビット (注3)	0: 許可 1: 禁止	RW

注1. AN2\_4端子をアナログ入力に使用する場合は、PCR5ビットを“1”（INT6入力禁止）にしてください。

注2. AN2\_5端子をアナログ入力に使用する場合は、PCR6ビットを“1”（INT7入力禁止）にしてください。

注3. AN4~AN7端子をアナログ入力に使用する場合は、PCR7ビットを“1”（キー入力禁止）にしてください。

図 21.11 PCR レジスタ

表 21.1 シングルチップモード時の未使用端子の処理例

端子名	処理内容(注2)
ポートP0～P5	次のいずれか <ul style="list-style-type: none"> <li>• 入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)</li> <li>• 入力モードに設定し、端子ごとに抵抗を介してVCC2に接続(プルアップ)</li> <li>• 出力モードに設定し、端子を開放(注1)</li> </ul>
ポートP6～P10	次のいずれか <ul style="list-style-type: none"> <li>• 入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)</li> <li>• 入力モードに設定し、端子ごとに抵抗を介してVCC1に接続(プルアップ)</li> <li>• 出力モードに設定し、端子を開放(注1、3)</li> </ul>
XOUT(注4)	開放
XIN	抵抗を介してVCC1に接続(プルアップ)
AVCC、VREF	VCC1に接続
AVSS、BYTE	VSSに接続

注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. ポートP7\_0、P7\_1、P8\_5を出力モードに設定する場合は“L”を出力してください。

ポートP7\_0、P7\_1、P8\_5はNチャンネルオープンドレイン出力です。

注4. XIN端子に外部クロックを入力している場合、または抵抗を介してVCC1に接続している場合。

表 21.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容(注2)
ポートP0～P5	次のいずれか <ul style="list-style-type: none"> <li>•入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)</li> <li>•入力モードに設定し、端子ごとに抵抗を介してVCC2に接続(プルアップ)</li> <li>•出力モードに設定し、端子を開放(注1、3)</li> </ul>
ポートP6～P10	次のいずれか <ul style="list-style-type: none"> <li>•入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)</li> <li>•入力モードに設定し、端子ごとに抵抗を介してVCC1に接続(プルアップ)</li> <li>•出力モードに設定し、端子を開放(注1、4)</li> </ul>
BHE、ALE、HLDA、 XOUT(注5)、BCLK(注6)	開放
HOLD、RDY	抵抗を介してVCC2に接続(プルアップ)
XIN	抵抗を介してVCC1に接続(プルアップ)
AVCC、VREF	VCC1に接続
AVSS	VSSに接続

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。  
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. CNVSS端子にVSSレベルを印加している場合、リセットからプログラムによってプロセッサモードを切り替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。
- 注4. ポートP7\_0、P7\_1、P8\_5を出力モードに設定する場合は“L”を出力してください。  
ポートP7\_0、P7\_1、P8\_5はNチャンネルオープンドレイン出力です。
- 注5. XIN端子に外部クロックを入力している場合、または抵抗を介してVCC1に接続している場合。
- 注6. PM0レジスタのPM07ビットを“1”(BCLK出力しない)にした場合、抵抗を介してVCC2に接続(プルアップ)してください。

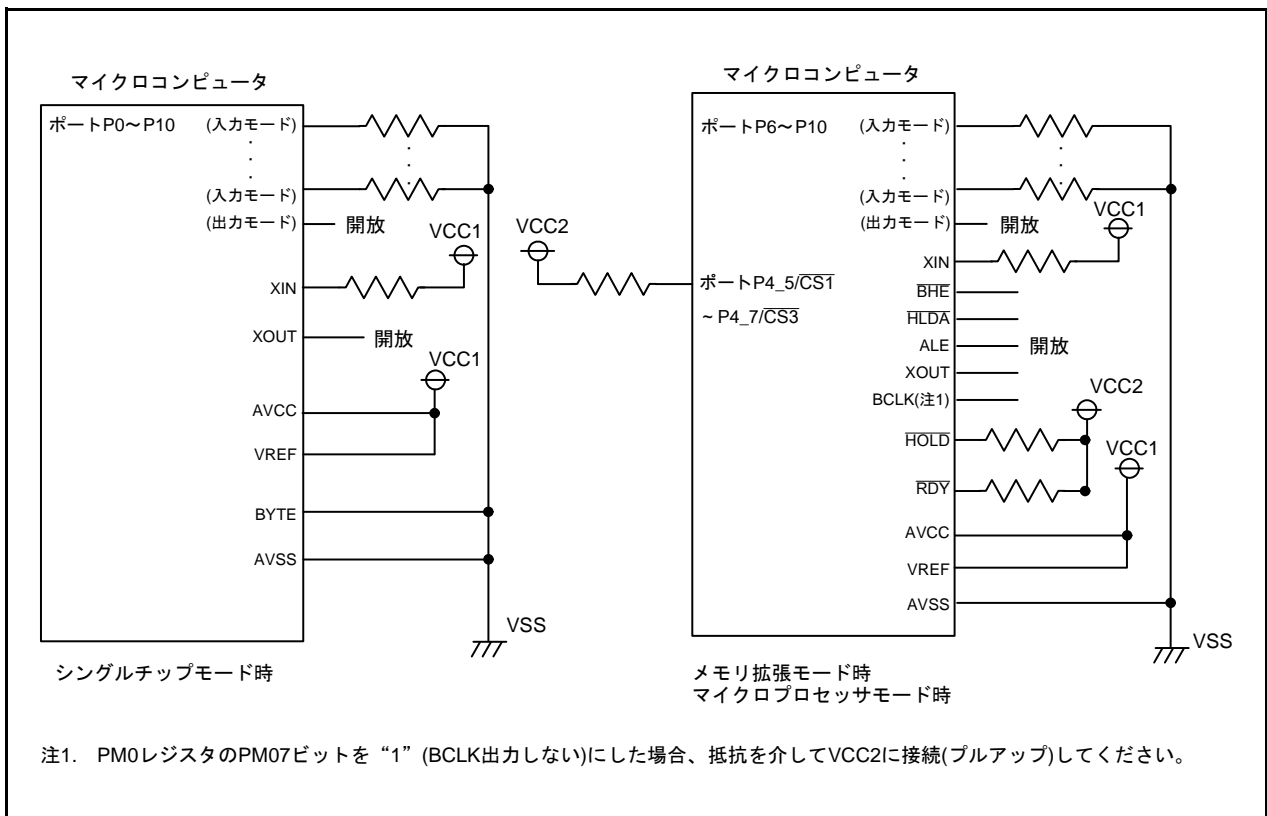


図 21.12 未使用端子の処理例

## 22. フラッシュメモリ版

本製品では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表 22.1にフラッシュメモリ版の仕様概要を示します(表 22.1に示す以外の項目は「1.1～1.2 仕様概要」を参照してください)。

表 22.1 フラッシュメモリ版の仕様概要

項目	性能	
フラッシュメモリの書き換えモード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)	
消去ブロック分割	プログラムROM1	「図 22.1 フラッシュメモリのブロック図」を参照してください。
	プログラムROM2	1分割(16Kバイト)
	データフラッシュ	2分割(各4Kバイト)
プログラム方式	2ワード単位	
イレーズ方式	ブロック消去	
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御	
プロテクト方式	ロックビットによるブロック単位のプロテクト	
コマンド数	8コマンド	
プログラム、イレーズ回数	100回(注1)	
データ保持	10年間	
ROMコードプロテクト	パラレル入出力モード、標準シリアル入出力モード対応	

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

例えば、4Kバイトのブロックについて、2ワードの書き込みを1,024回に分けて書き込みを行った後、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。

プログラム、イレーズ回数が100回の場合、ブロックごとに100回ずつイレーズすることができます。

表 22.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード(注1)	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、プログラムROM1、プログラムROM2、データフラッシュを書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能(注2) EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O 標準シリアル入出力モード3： 特別なクロック非同期形シリアルI/O	専用パラレルライタを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換える
書き換えできる領域	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ
動作モード	シングルチップモード メモリ拡張モード(EW0モード)	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ

注1. FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)の期間、PM13ビットが“1”になります。FMR01ビットを“0”(CPU書き換えモード無効)にすると、PM13ビットは元の値に戻ります。ただし、CPU書き換えモード中にPM13ビットを変更すると、変更した値がFMR01ビットを“0”にした後、反映されます。

注2. CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAM、またはPM10ビットとPM13ビットがともに“1”の場合に使用できる外部領域で実行してください。また、PM13ビットが“0”で4Mバイトモードを使用する場合、アクセス空間が拡張される領域(40000h～BFFFFh)は使用しないでください。

## 22.1 メモリ配置

本製品のROMは、プログラムROM1、プログラムROM2、データフラッシュに分けられます。図22.1にフラッシュメモリのブロック図を示します。

プログラムROM1はいくつかのブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。プログラムROM1、プログラムROM2は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

プログラムROM2はPRG2CレジスタのPRG2C0ビットが“0”(プログラムROM2有効)のとき使用できます。プログラムROM2にはユーザブートコード領域を含みます。

データフラッシュは、PM1レジスタのPM10ビットを“1”(0E000h～0FFFFhはデータフラッシュ)にすると使用できます。データフラッシュは、ブロックA、ブロックBに分割されます。

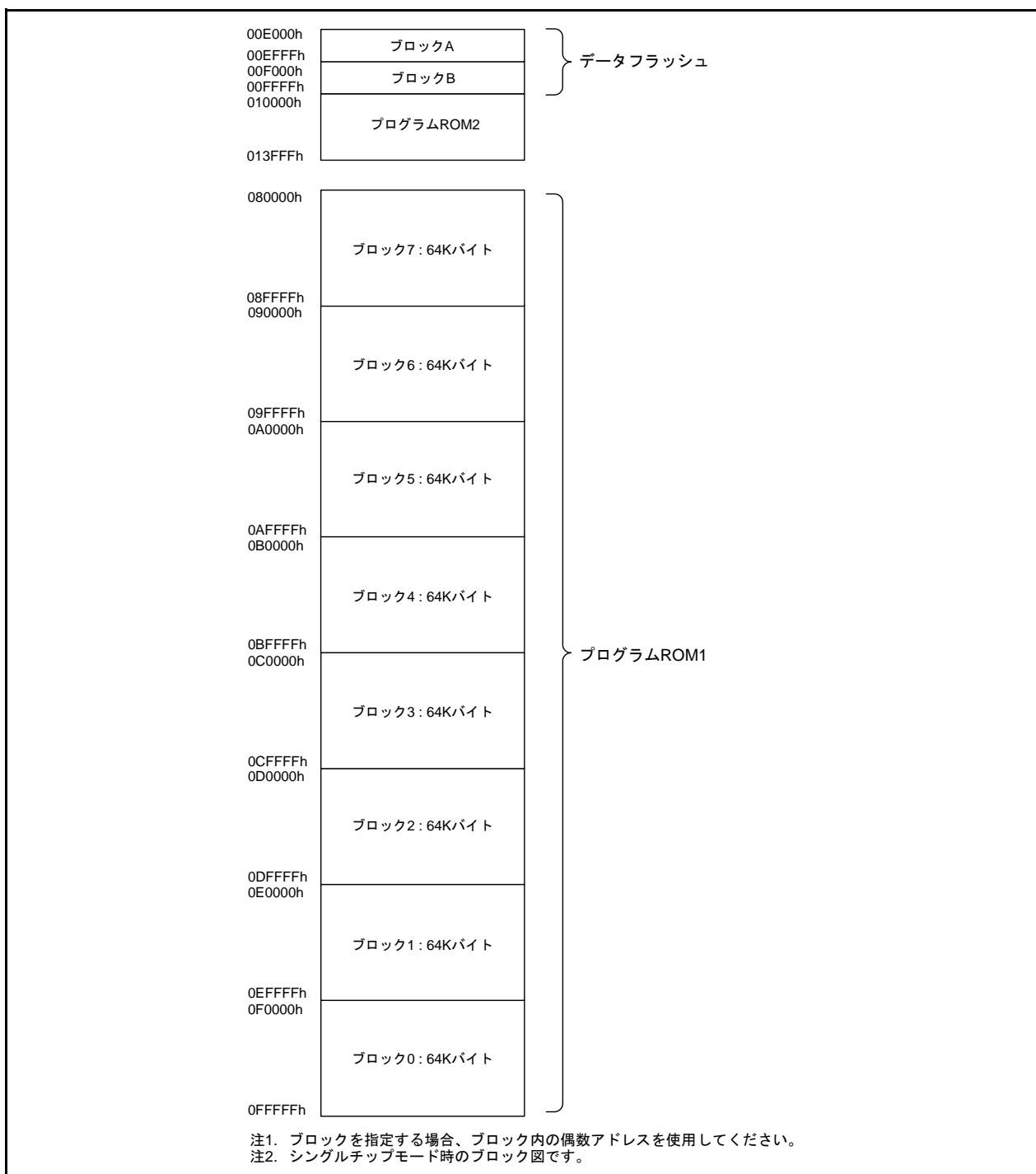


図 22.1 フラッシュメモリのブロック図

### 22.1.1 ブートモード

P5\_5 端子に“L”、CNVSS 端子に“H”、P5\_0 端子に“H”を入力してハードウェアリセットすると、ブートモードになります。ブートモードでは、ユーザブートコード領域の内容に従って、ユーザブートモードまたは標準シリアル入出力モードが選択できます。標準シリアル入出力モードは「22.4 標準シリアル入出力モード」を参照してください。

### 22.1.2 ユーザブート機能

ブートモードで起動するとき、任意のポートの状態で、ユーザブートモードを選択できます。表 22.3 にユーザブート機能の仕様を示します。

表 22.3 ユーザブート機能の仕様

項目	仕様
エントリに使用する端子	端子なし、またはポートP0_0～P10_7のうち1端子を選択
ユーザブート起動レベル	“H” または “L” 選択
ユーザブートの先頭番地	10000h 番地（プログラムROM2の先頭番地）

ユーザブートコード領域の13FF0h～13FF7h番地にASCIIコードで“UserBoot”を設定し、13FF8h～13FF9h番地と13FFAh番地でエントリに使用するポートを、13FFBh番地で起動レベルを選択してください。ブートモード起動後、選択したポートのレベルにしたがって、ユーザブートモードまたは標準シリアル入出力モードが起動します。

また、13FF0h～13FF7h番地がASCIIコードで“UserBoot”かつ、13FF8h～13FFBh番地がすべて“00h”の場合はユーザブートモードになります。

ユーザブートモードになると10000h番地（プログラムROM2の先頭番地）からプログラムを実行します。

図 22.2 にユーザブートコード領域を、表 22.4 に起動モードを、表 22.5 に“UserBoot”のASCIIコードを、表 22.6 にエントリに使用できるポートのアドレスを示します。

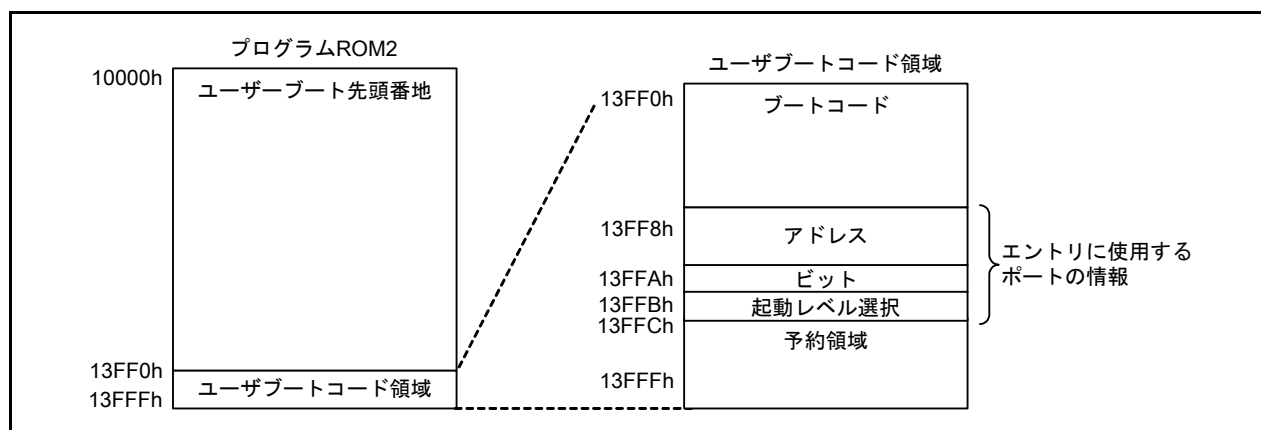


図 22.2 ユーザブートコード領域

表 22.4 起動モード（エントリに使用するポートをポートPi<sub>j</sub>とした場合）（注1）

ブートコード (13FF0h～ 13FF7h番地)	エントリに使用するポートの情報			ポート Pi <sub>j</sub> 入力 レベル	起動するモード
	アドレス (13FF8h～ 13FF9h番地)	ビット (13FFAh番地)	起動レベル選択 (13FFBh番地)		
ASCIIコードで “UserBoot” (注2)	0000h	00h	00h	—	ユーザブートモード
	Piレジスタの 番地(注3)	00h～07h (jの値)	00h	H	標準シリアル入出力モード
				L	ユーザブートモード
	Piレジスタの 番地(注3)	00h～07h (jの値)	01h	H	ユーザブートモード
L				標準シリアル入出力モード	
ASCIIコードで “UserBoot” 以外	—	—	—	—	標準シリアル入出力モード

i=0～10、j=0～7

注1. 表 22.4にない値、組み合わせを設定しないでください。

注2. 「表 22.5 “UserBoot” のASCIIコード」参照

注3. 「表 22.6 エントリに使用できるポートのアドレス」参照

表 22.5 “UserBoot” のASCIIコード

番地	13FF0h	13FF1h	13FF2h	13FF3h	13FF4h	13FF5h	13FF6h	13FF7h
ASCIIコード	55h (U大文字)	73h (s小文字)	65h (e)	72h (r)	42h (B)	6Fh (o小文字)	6Fh (o小文字)	74h (t)

表 22.6 エントリに使用できるポートのアドレス

ポート	アドレス	ポート	アドレス
P0	03E0h	P6	03ECh
P1	03E1h	P7	03EDh
P2	03E4h	P8	03F0h
P3	03E5h	P9	03F1h
P4	03E8h	P10	03F4h
P5	03E9h	—	—



## 22.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込みを禁止するため、パラレル入出力モードにはROMコードプロテクト機能、標準シリアル入出力モードにはIDコードチェック機能があります。

### 22.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。図 22.3 に OFS1 番地を示します。OFS1 番地は、プログラムROM1のブロック0に存在します。

ROMCP1ビットを“0”にすると、ROMコードプロテクトが有効になります。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでOFS1番地を含むブロック0を消去してください。

### 22.2.2 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDfH、0FFFE3h、0FFFEbH、0FFFEfH、0FFFF3h、0FFFF7h、0FFFFbH番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。表 22.7 に IDコード格納番地を示します。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表 22.7 に IDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表 22.7 と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表 22.7 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)	
		ALeRASE	Protect
FFFDfH	ID1	41h (A)	50h (P大文字)
FFFE3h	ID2	4Ch (L)	72h (r)
FFFEbH	ID3	65h (e)	6Fh (o小文字)
FFFEfH	ID4	52h (R)	74h (t小文字)
FFFF3h	ID5	41h (A)	65h (e小文字)
FFFF7h	ID6	53h (S)	63h (c小文字)
FFFFbH	ID7	45h (E)	74h (t)

IDコード格納番地のアドレスとデータがすべて表 22.7 と一致する場合は予約語です。

### 22.2.3 強制イレーズ機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、プログラムROM1、プログラムROM2をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外（「表 22.7 IDコードの予約語」以外）、かつOFS1番地のROMCP1ビットが“0”（ROMコードプロテクト有効）の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表 22.8に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターから送られてくるIDコードが“ALeRASE”ならばプログラムROM1、プログラムROM2を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、フラッシュメモリを操作できません。

表 22.8 強制イレーズ機能の条件と動作

条件			動作
シリアルライターから送られてくるIDコード	IDコード格納番地のIDコード	OFS1番地のROMCP1ビット	
ALeRASE	ALeRASE	—	プログラムROM1、プログラムROM2すべて消去 (強制イレーズ機能)
	ALeRASE 以外 (注1)	1(ROMコードプロテクト無効) 0(ROMコードプロテクト有効)	
ALeRASE 以外	ALeRASE	—	IDコードの判定(IDコードチェック機能。 IDコード不一致になる)
	ALeRASE 以外 (注1)	—	IDコードの判定(IDコードチェック機能)

注1. “Protect” の場合は「22.2.4 標準シリアル入出力モード禁止機能」参照。

### 22.2.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ（「表 22.7 IDコードの予約語」参照）の場合、シリアルライターとの通信を行いません。このため、シリアルライターによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。IDコードが“Protect”になる組み合わせでも、ユーザブートモードは起動します。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFS1番地のROMCP1ビットを“0”（ROMコードプロテクト有効）にしている場合は、シリアルライターによるROMコードプロテクト解除ができません。したがって、シリアルライターでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

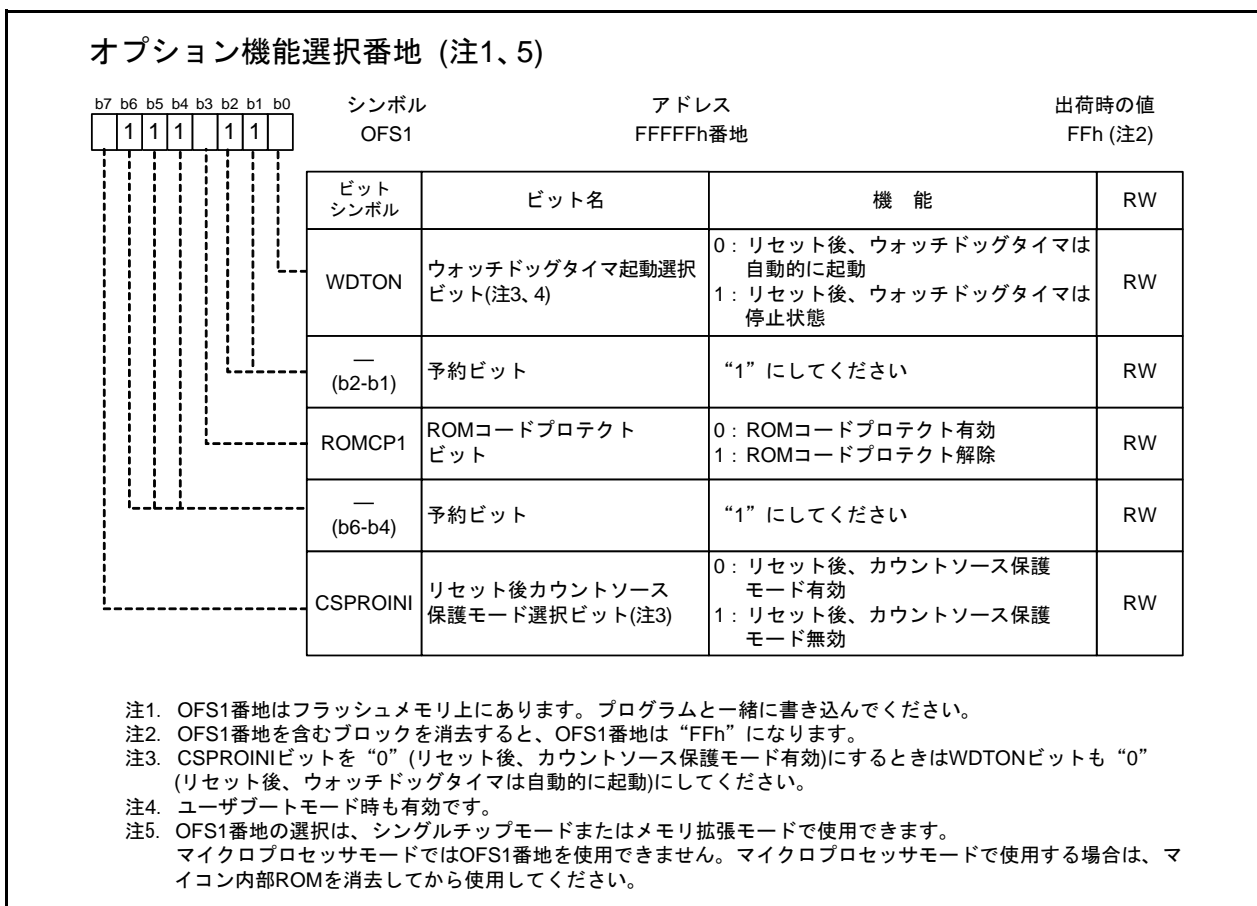


図 22.3 OFS1番地

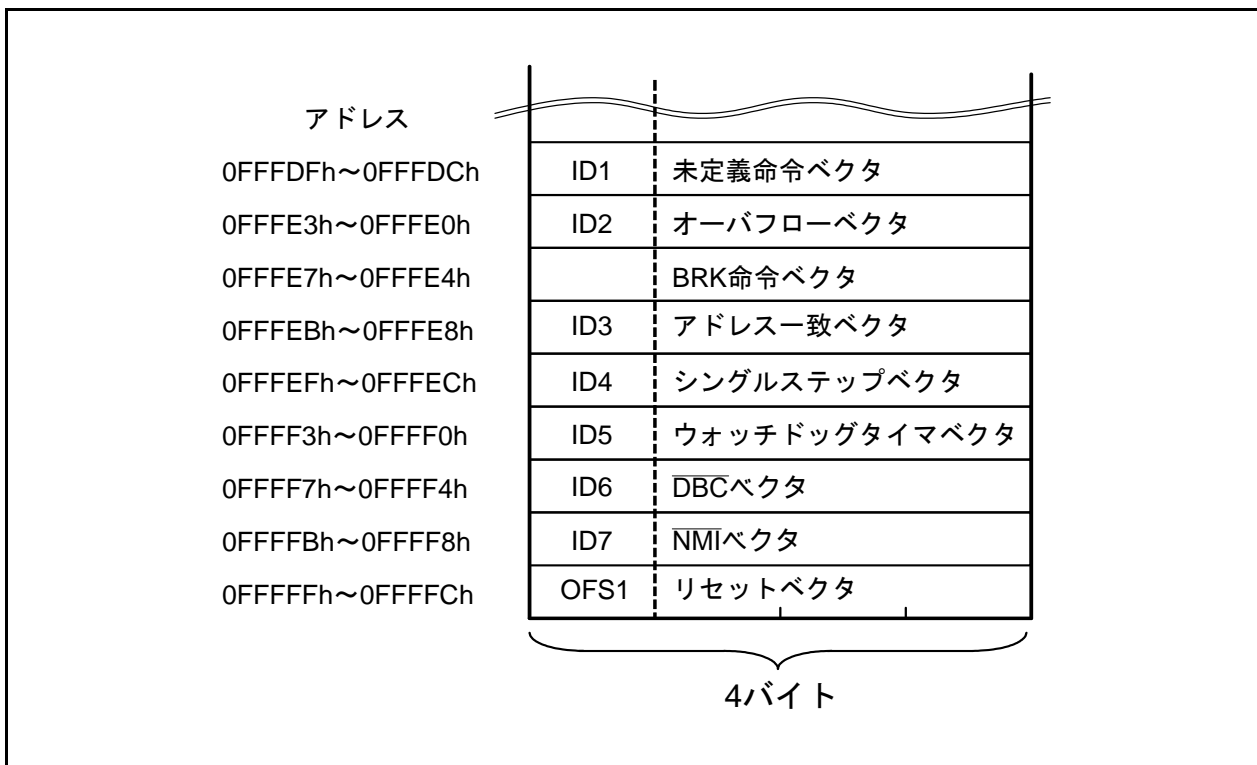


図 22.4 IDコードの格納番地

## 22.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、データフラッシュを書き換えることができます。

プログラム、ブロックイレーズのコマンドは、プログラムROM1、プログラムROM2、データフラッシュの各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表22.9にEW0モードとEW1モードの違いを示します。

表 22.9 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	<ul style="list-style-type: none"> <li>• シングルチップモード</li> <li>• メモリ拡張モード</li> </ul>	シングルチップモード
書き換え制御プログラムを配置できる領域	<ul style="list-style-type: none"> <li>• プログラムROM1</li> <li>• プログラムROM2</li> <li>• 外部領域</li> </ul>	<ul style="list-style-type: none"> <li>• プログラムROM1</li> <li>• プログラムROM2</li> </ul>
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり(注2)	プログラムROM1、プログラムROM2で実行可能
書き換えられる領域	<ul style="list-style-type: none"> <li>• プログラムROM1</li> <li>• プログラムROM2</li> <li>• データフラッシュ</li> </ul>	プログラムROM1、プログラムROM2、データフラッシュ ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	<ul style="list-style-type: none"> <li>• プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止</li> <li>• リードステータスレジスタコマンド 実行禁止</li> </ul>
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> <li>• プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む</li> <li>• リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む</li> </ul>	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み(NMIを除く)、DMA転送が起こらないようにしてください。

注2. CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAM、またはPM10ビットとPM13ビットがともに“1”の場合に使用できる外部領域で実行してください。また、PM13ビットが“0”で4Mバイトモードを使用する場合、アクセス空間が拡張される領域(40000h～BFFFFh)は使用しないでください。

### 22.3.1 EW0モード

FMR0レジスタのFMR01ビットを“1” (CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR6レジスタのFMR60ビットが“0”の場合、EW0モードになります。図 22.12にEW0モードの設定と解除方法を示します。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

### 22.3.2 EW1モード

FMR01ビットを“1”にした後、FMR60ビットを“1”にするとEW1モードになります。図 22.13 EW1モードの設定と解除方法を示します。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読めません。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

### 22.3.3 フラッシュメモリ制御レジスタ (FMR0、FMR1、FMR2、FMR6レジスタ)

図 22.5にFMR0レジスタ、図 22.6にFMR1レジスタ、図 22.7にFMR2レジスタ、図 22.8にFMR6レジスタを示します。

フラッシュメモリ制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

シンボル  
FMR0

アドレス  
0220h番地

リセット後の値  
00000001b (ユーザブートモード以外)  
00100001b (ユーザブートモード)

ビットシンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中)(注6) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット(注1)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ロックビット無効選択ビット(注2)	0: ロックビット有効 1: ロックビット無効	RW
FMSTP	フラッシュメモリ停止ビット(注3、5、7)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
— (b4)	予約ビット	“0” にしてください	RW
— (b5)	予約ビット	ユーザブートモード以外では“0”にしてください。 ユーザブートモードでは“1”にしてください。	RW
FMR06	プログラムステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO

注1. FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。  
また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。  
このビットは、リードアレイモードにしてから“0”にしてください。

注2. FMR02ビットを“1”にするときは、FMR01ビットが“1”の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

注3. FMSTPビットは、フラッシュメモリ以外の領域のプログラムで書いてください。

注4. FMR06、FMR07ビットは、クリアステータスコマンドを実行すると“0”になります。

注5. FMSTPビットは、FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

注6. ロックビットプログラム、ブロックブランクチェックコマンド、リードロックビットステータスコマンドでの書き込み、読み出し中を含みます。

注7. FMR2レジスタのFMR23ビットが“1”(低消費電力リードモード許可)のとき、FMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。

図 22.5 FMR0 レジスタ

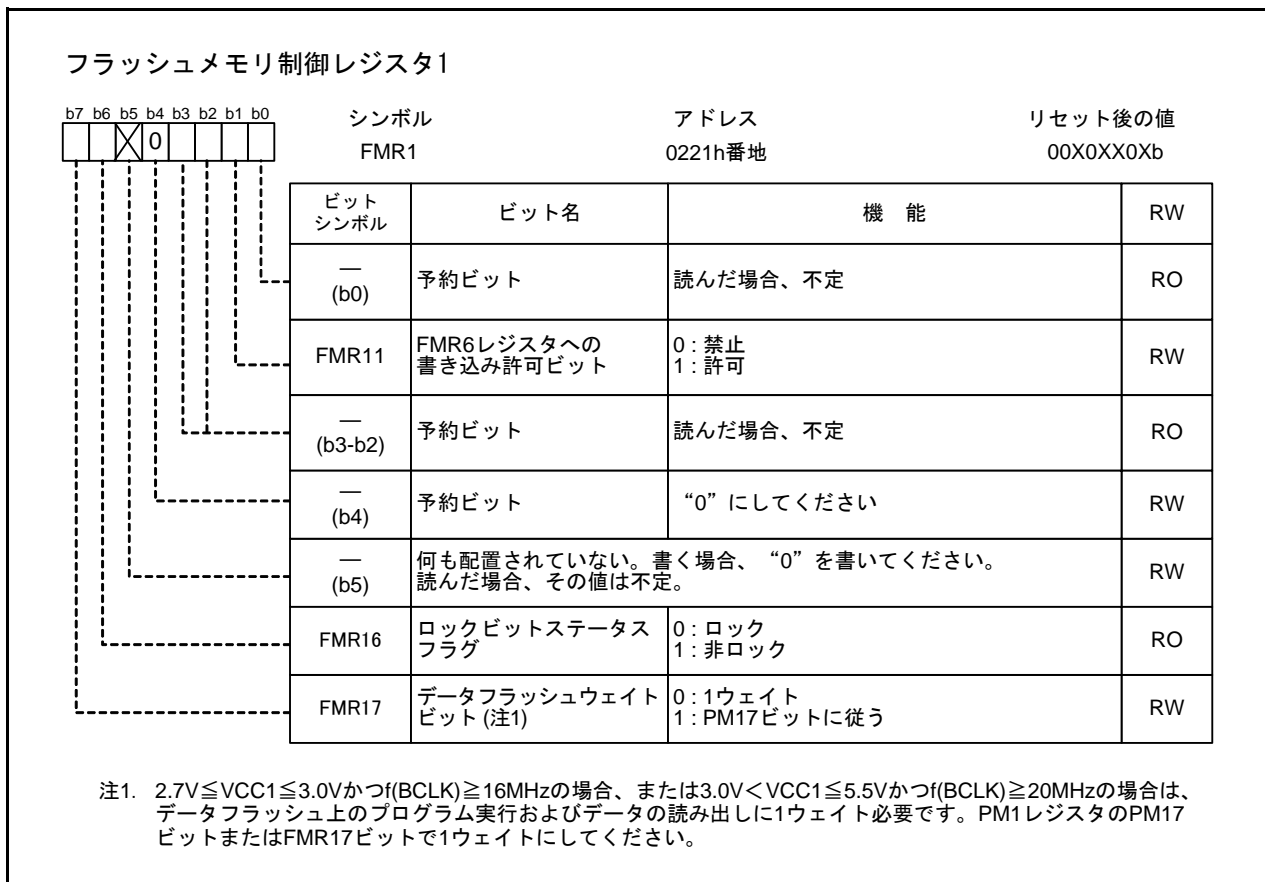
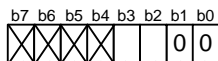


図 22.6 FMR1 レジスタ

## フラッシュメモリ制御レジスタ2

シンボル  
FMR2アドレス  
0222h番地リセット後の値  
XXXX0000b

ビットシンボル	ビット名	機能	RW
— (b1-b0)	予約ビット	“0” にしてください	RW
FMR22	スローリードモード許可ビット (注1、3、4、5)	0: 禁止 1: 許可	RW
FMR23	低消費電流リードモード許可ビット (注2、3、4、5、6、7)	0: 禁止 1: 許可	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

- 注1. スローリードモードは $f(\text{BCLK}) \leq 5\text{MHz}$ 時に使用できます。 $f(\text{BCLK}) > 5\text{MHz}$ 時はFMR22ビットを“0” (スローリードモード禁止) にしてください。
- 注2. 低消費電流リードモードは $f(\text{BCLK}) \leq 32.768\text{kHz}$ 時に使用できます。 $f(\text{BCLK}) > 32.768\text{kHz}$ 時はFMR23ビットを“0” (消費電流リードモード禁止) にしてください。
- 注3. FMR22ビットまたはFMR23ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
- 注4. フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え (CPU書き換えモード) を行う場合はFMR22ビット、FMR23ビットは“0” にしてください。
- 注5. FMR23ビットは、FMR22ビットを“1” (スローリードモード許可) にした後で、“1” (低消費電流リードモード許可) にしてください。また、FMR23ビットを“0” (低消費電流リードモード禁止) にした後で、FMR22ビットを“0” (スローリードモード禁止) にしてください。FMR22ビットとFMR23ビットを同時に変更しないでください。
- 注6. FMR23ビットが“1” のとき、FMR0レジスタのFMSTPビットを“1” (フラッシュメモリ停止) にしないでください。また、FMSTPビットが“1” のとき、FMR23ビットを“1” にしないでください。
- 注7. FMR2レジスタのFMR23ビットが“1” (低消費電流リードモード許可) のとき、ウェイトモード、ストップモードに移行しないでください。ウェイトモード、ストップモードに移行する場合は、FMR23ビットを“0” (低消費電流リードモード禁止) にした後、移行してください。

図 22.7 FMR2 レジスタ



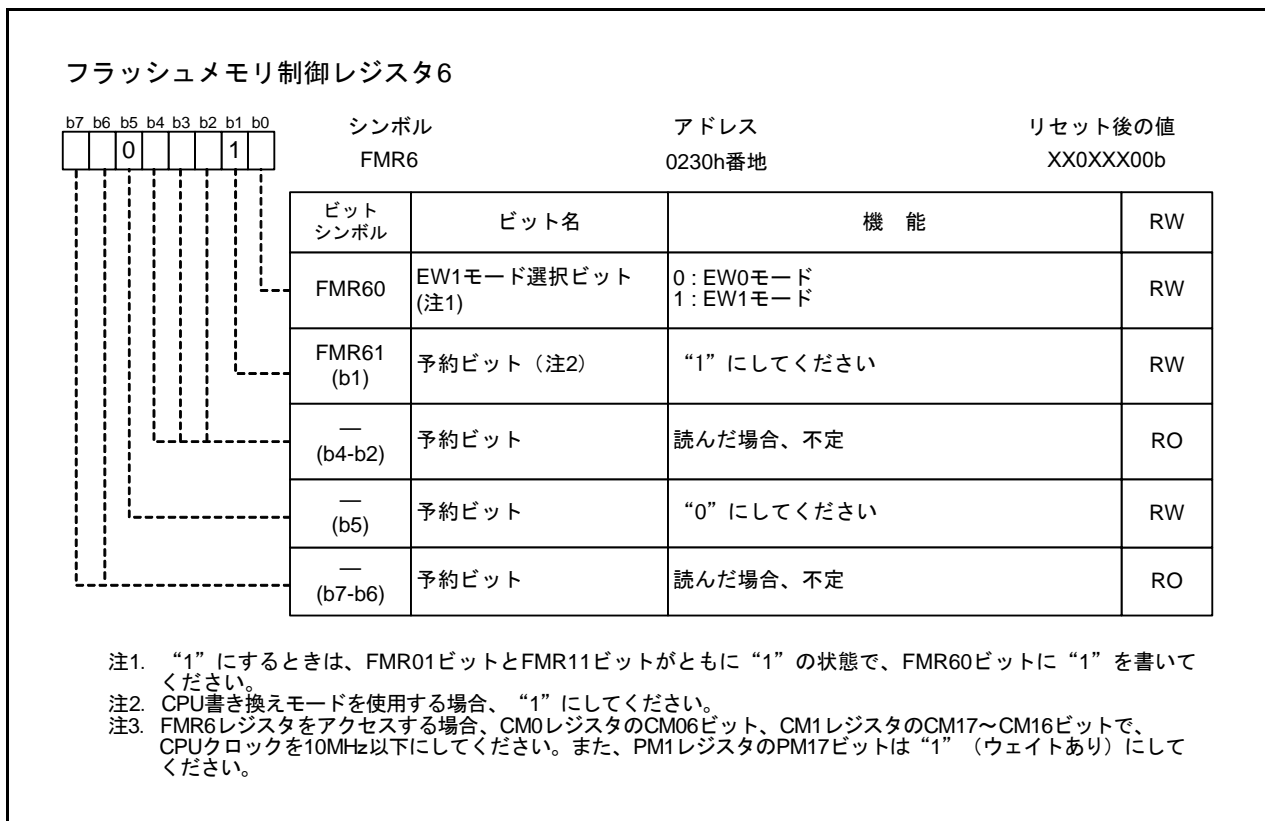


図 22.8 FMR6 レジスタ

### 22.3.3.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータスコマンド、ブロックブランクチェックコマンド実行中には“0”、それ以外の場合は“1”になります。

### 22.3.3.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

### 22.3.3.3 FMR02ビット

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「22.3.6 データ保護機能」参照)。“0”にすると、ロックビットが有効になります。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

### 22.3.3.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”（フラッシュメモリ停止）にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”（レディ）に戻らなくなった)場合
- 低消費電力モードまたはオンチップオシレータ低消費電力モードにする場合

FMSTPビットは次の手順で書き換えてください。

フラッシュメモリを停止させるとき

- (1)FMSTPビットを“1”にする
  - (2)フラッシュメモリ回路安定待ち時間(tps)待つ
- フラッシュメモリを再び動作させるとき
- (1)FMSTPビットを“0”にする
  - (2)フラッシュメモリ回路安定待ち時間(tps)待つ

図 22.9 に低消費電力モード、オンチップオシレータ低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。

なお、ストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

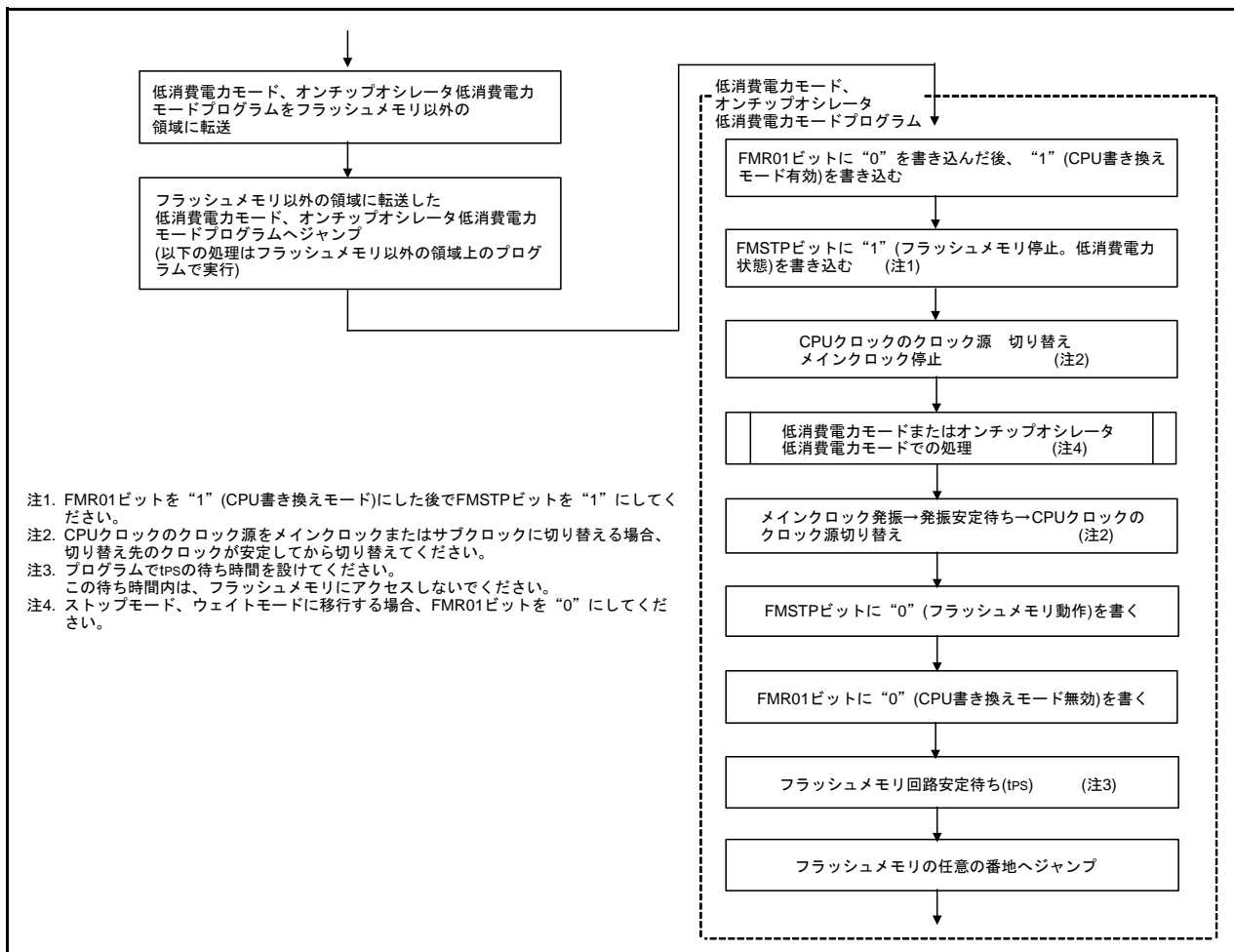


図 22.9 低消費電力モード、オンチップオシレータ低消費電力モード前後の処理

### 22.3.3.5 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外の場合は“0”となります。詳細は「22.3.8 フルスステータスチェック」を参照してください。

### 22.3.3.6 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外の場合は“0”となります。また、ブランクチェックにも使用します。詳細は「22.3.8 フルスステータスチェック」を参照してください。

### 22.3.3.7 FMR11ビット

FMR6レジスタへの書き込みを許可するビットです。

### 22.3.3.8 FMR16ビット

リードロックビットステータス実行結果を示す読み出し専用ビットです。ブロックがロック状態の場合“0”、非ロック状態の場合“1”になります。

### 22.3.3.9 FMR17ビット

データフラッシュのウェイトを選択するビットです。

### 22.3.3.10 FMR22ビット

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え（CPU書き換えモード）を行う場合はFMR22ビットは0（スローリードモード禁止）にしてください。

また、 $f(\text{BCLK}) > 5\text{MHz}$ のときFMR22ビットは0（スローリードモード禁止）にしてください。

図 22.10にスローリードモードの設定、解除を示します。

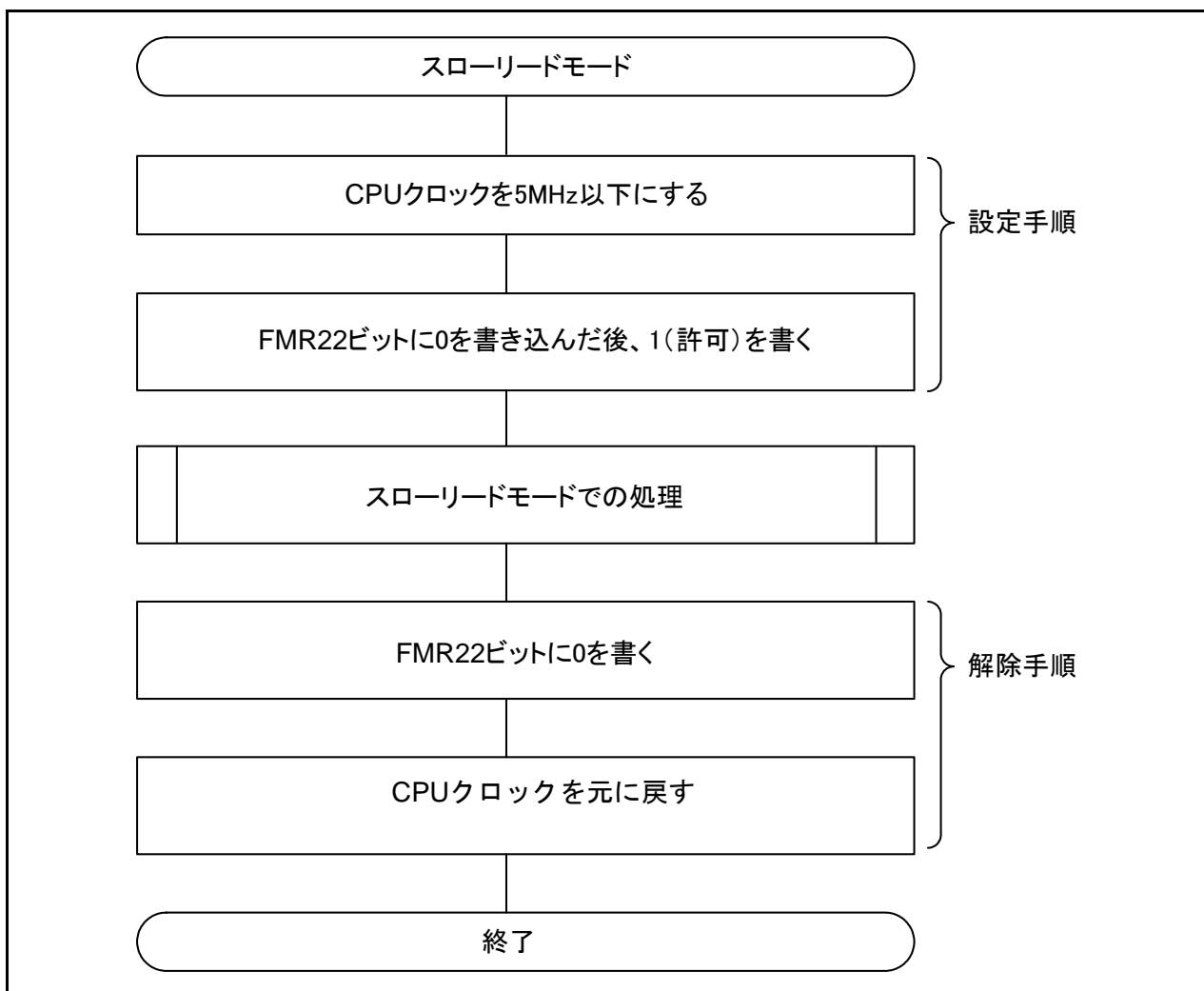


図 22.10 スローリードモードの設定、解除

### 22.3.3.11 FMR23ビット

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え（CPU書き換えモード）を行う場合はFMR23ビットは0（低消費電流リードモード禁止）にしてください。

FMR22ビットが1（許可）のとき有効です。低消費電流リードモードはCM0レジスタのCM07ビットが“1”（CPUクロックはサブクロック）のときに使用できます。CM07ビットが“0”の場合はFMR23ビットを“0”（低消費電流リードモード禁止）にしてください。

図 22.11 に低消費電流リードモードの設定、解除手順を示します。

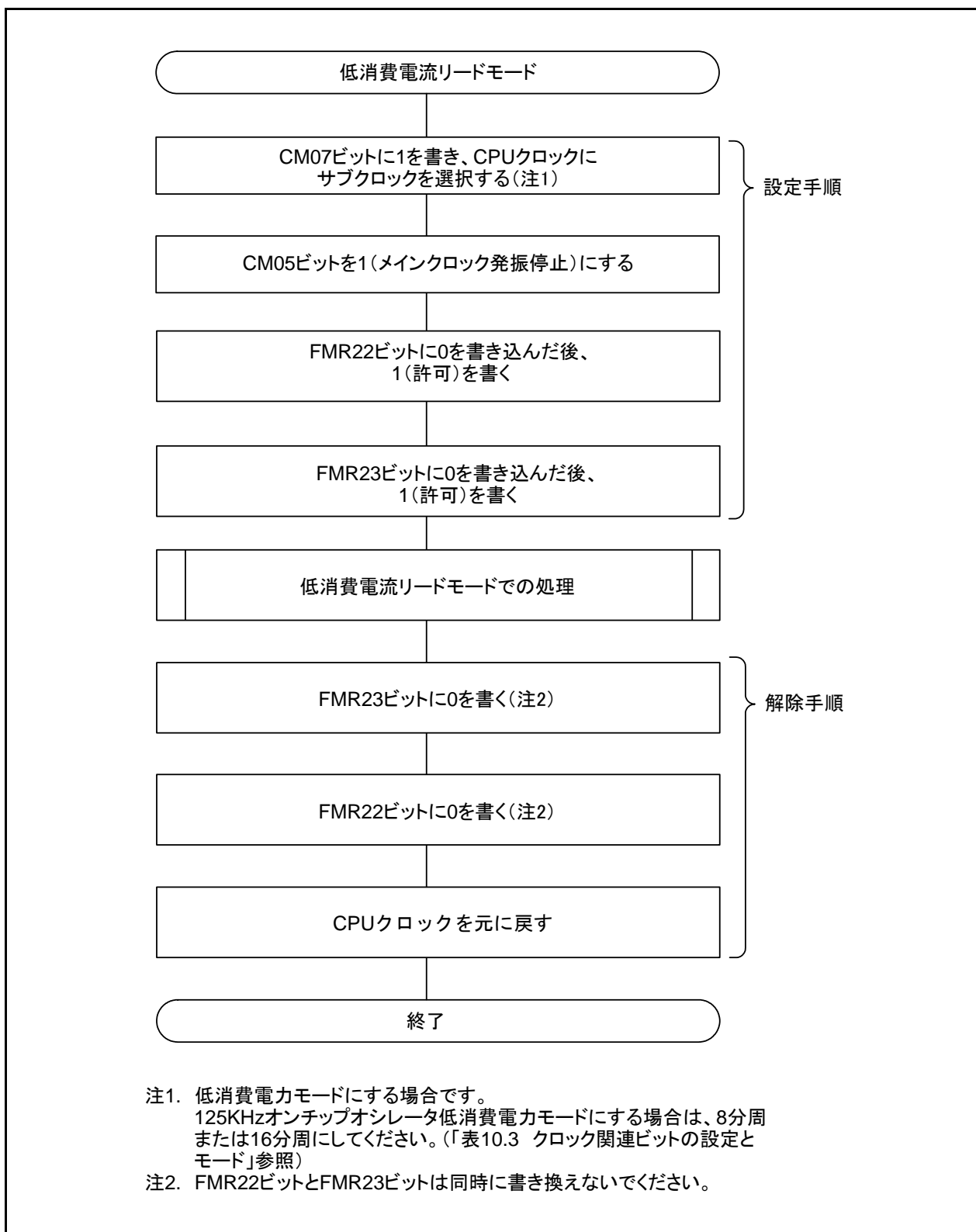


図 22.11 低消費電流リードモードの設定、解除手順

### 22.3.3.12 FMR60ビット

FMR01ビットが“1”(CPU書き換えモード有効)のとき、EW1モードを選択するビットです。

図 22.12にEW0モードの設定と解除方法、図 22.13にEW1モードの設定と解除方法を示します。

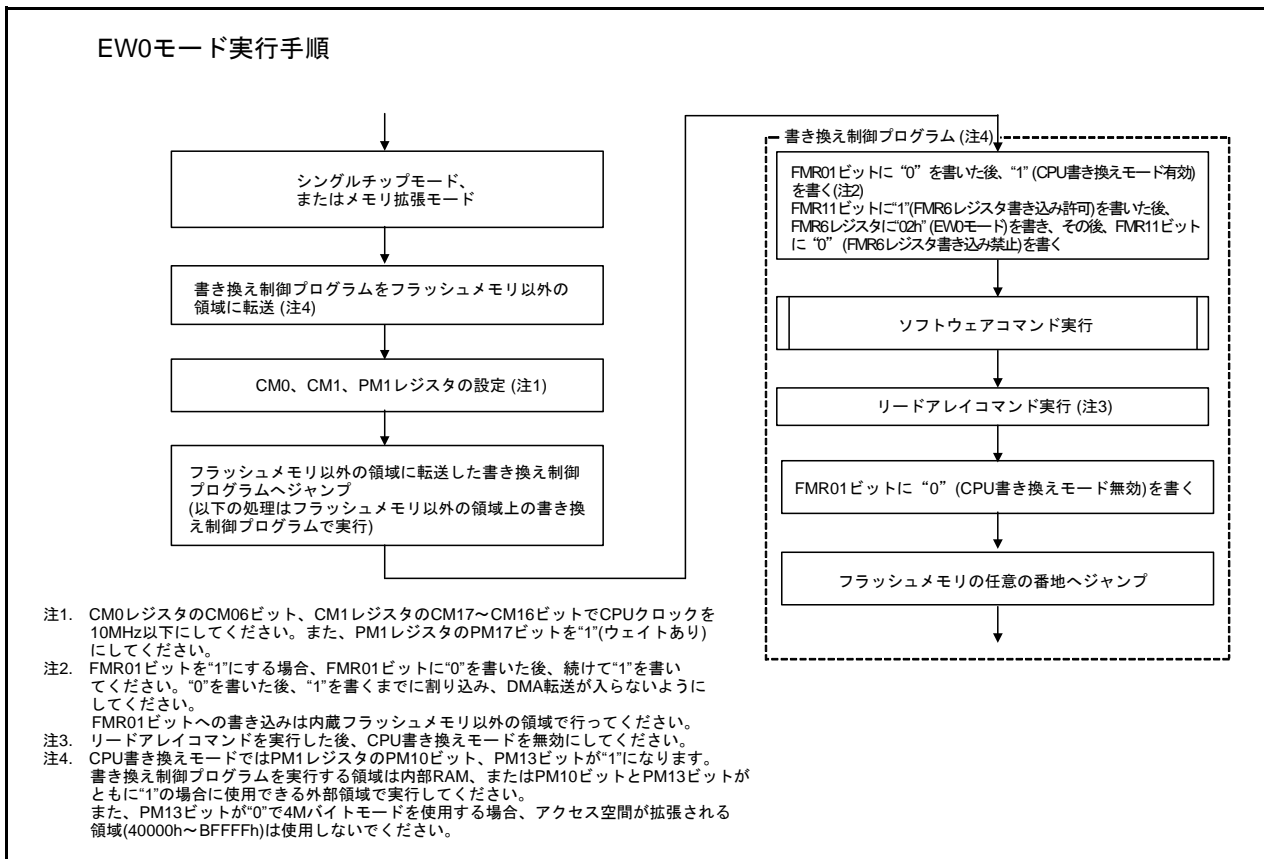


図 22.12 EW0モードの設定と解除方法

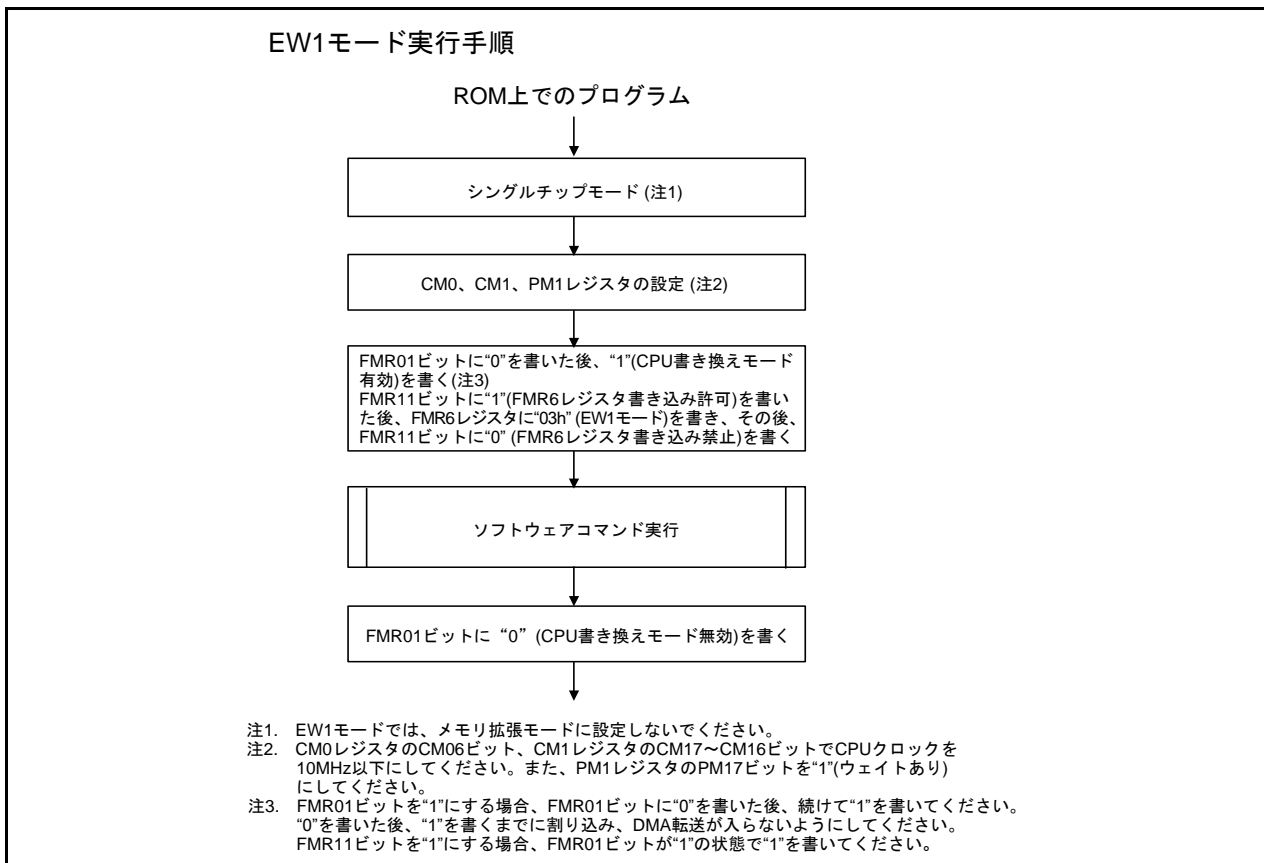


図 22.13 EW1モードの設定と解除方法

### 22.3.3.13 FMR61ビット

CPU書き換えモードを使用する場合、“1”にしてください。



## 22.3.4 CPU書き換えモードの注意事項

### 22.3.4.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

### 22.3.4.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。  
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

### 22.3.4.3 割り込み(EW0モード)

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。 $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込み発生時、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

### 22.3.4.4 割り込み(EW1モード)

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- $\overline{\text{NMI}}$ 割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。 $\overline{\text{NMI}}$ 割り込み発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- 自動書き込み、自動消去の期間、ウォッチドッグタイマはカウントを停止します。

### 22.3.4.5 アクセス方法

FMR01ビット、FMR02ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

### 22.3.4.6 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

### 22.3.4.7 書き換え(EW1モード)

- 書き換え制御プログラムが格納されているブロックを書き換えしないでください。
- フラッシュメモリ上で他のブロックに対してソフトウェアコマンドを発行した場合、ソフトウェアコマンドが期待通りに実行されない可能性があります。本現象はEW1モード中に実行する書き換えプログラム内でRAMに書き込む場合に発生する可能性があります。

現象発生プログラム例(プログラムコマンド実行時)

PRG\_CMD:

```

MOV.W PRG_ADDR , A0 ;
MOV.W PRG_ADDR+2 , A1 ;
STE.W #0041h , [A1A0] ;プログラムコマンド発行
STE.W WR_DATA0 , [A1A0] ;1ワード目の書き込みデータ発行
ADD.W #4 , PRG_ADDR ;← RAMに書き込む
; (誤って2ワード目の書き込みデータと認識する)
MOV.W PRG_ADDR , A0 ;
STE.W WR_DATA1 , [A1A0] ;2ワード目の書き込みデータ発行
; (WR_DATA1の値によっては次のソフトウェア
; コマンドとして認識する。)
:
:
JMP PRG_CMD

```

\*PRG\_ADDR: コマンド発行アドレス格納用RAMのアドレス

フラッシュメモリの書き換えを行う場合、EW0モードを使用してフラッシュメモリ以外の領域(RAM、外部領域)で書き換えプログラムを動作させてください。EW1モードを使用する場合はEW1モード中にRAMに書き込まないようにしてください。

#### 22.3.4.8 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)の場合にDMA転送が入らないようにしてください。

#### 22.3.4.9 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

#### 22.3.4.10 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

#### 22.3.4.11 ストップモード

ストップモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM10ビットを“1”(ストップモード)にする命令を実行してください。

#### 22.3.4.12 低消費電力モード、オンチップオシレータ低消費電力モード

CM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

### 22.3.5 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、プログラムROM1、プログラムROM2、またはデータフラッシュ内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表 22.10 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ(D15～D0)	モード	アドレス	データ(D15～D0)	モード	アドレス	データ(D15～D0)
リードアレイ	ライト	x	xxFFh						
リードステータスレジスタ	ライト	x	xx70h	リード	x	SRD			
クリアステータスレジスタ	ライト	x	xx50h						
プログラム	ライト	WA	xx41h	ライト	WA	WD0	ライト	WA	WD1
ブロックイレース	ライト	x	xx20h	ライト	BA	xxD0h			
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h			
リードロックビットステータス	ライト	x	xx71h	ライト	BA	xxD0h			
ブロックブランクチェック	ライト	x	xx25h	ライト	BA	xxD0h			

SRD : ステータスレジスタデータ (D7～D0)

WA : 書き込み番地 (番地の末尾は0、4、8またはC(16進数)にしてください。)

WD0 : 書き込みデータ下位ワード(16ビット)

WD1 : 書き込みデータ上位ワード(16ビット)

BA : ブロックの最上位番地(ただし、偶数番地)

x : プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地

xx : コマンドコード上位8ビット(無視されます)

#### 22.3.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

#### 22.3.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「22.3.7 ステータスレジスタ」参照)。なお、読むときもプログラムROM1、プログラムROM2、またはデータフラッシュ内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

### 22.3.5.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで“xx50h”を書くと、FMR0レジスタのFMR07～FMR06ビットは“00b”、ステータスレジスタのSR5～SR4は“00b”になります。

### 22.3.5.4 プログラム

2ワード(4バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで書き込み番地に“xx41h”を書き、第2バスサイクルと第3バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。書き込み番地の末尾は0、4、8またはC(16進数)にしてください。自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「22.3.8 フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みはできません。図 22.14 にプログラムフローチャートを示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「22.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

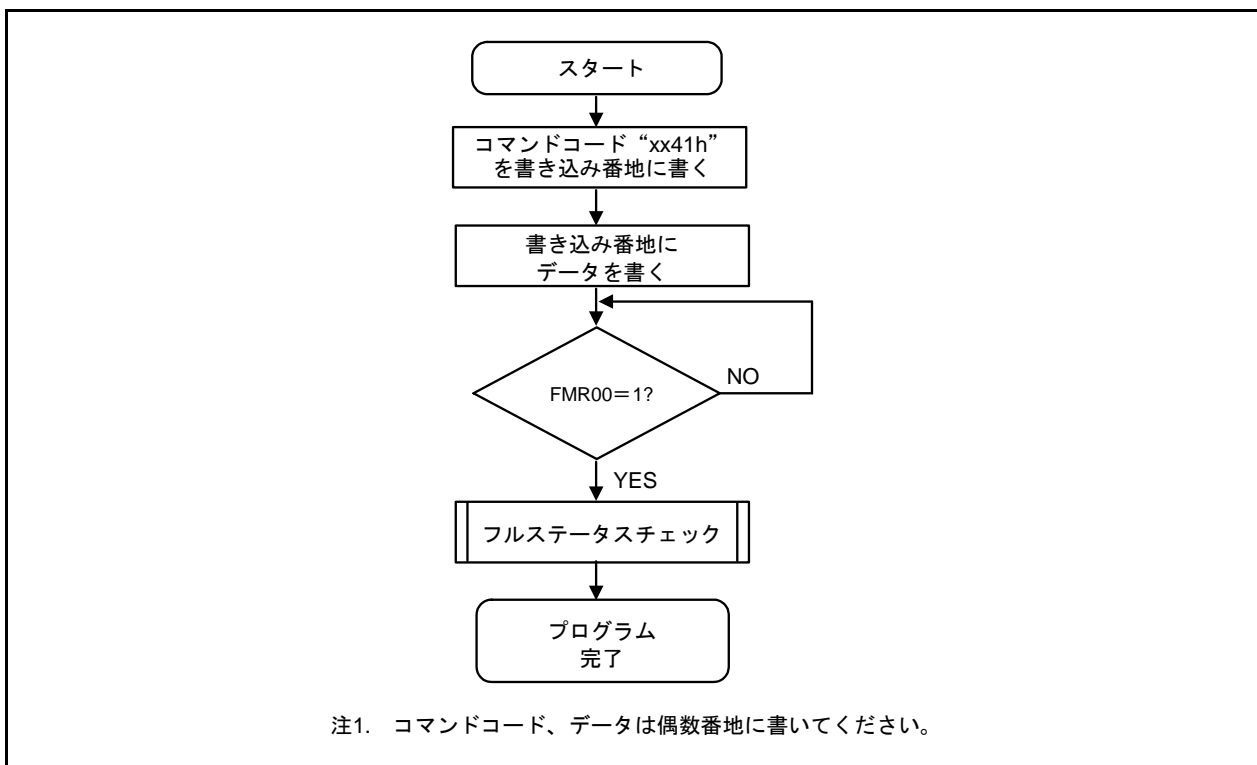


図 22.14 プログラムフローチャート

### 22.3.5.5 ブロックイレース

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレースとイレースベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「22.3.8 フルステータスチェック」参照)。

図 22.15にブロックイレースフローチャート例を示します。

なお、各ブロックはロックビットにより、イレースを禁止できます(「22.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。なお、イレースエラーが発生した場合は、イレースエラーが発生しなくなるまで、クリアステータスレジスタコマンド→ブロックイレースコマンドを少なくとも3回実行してください。

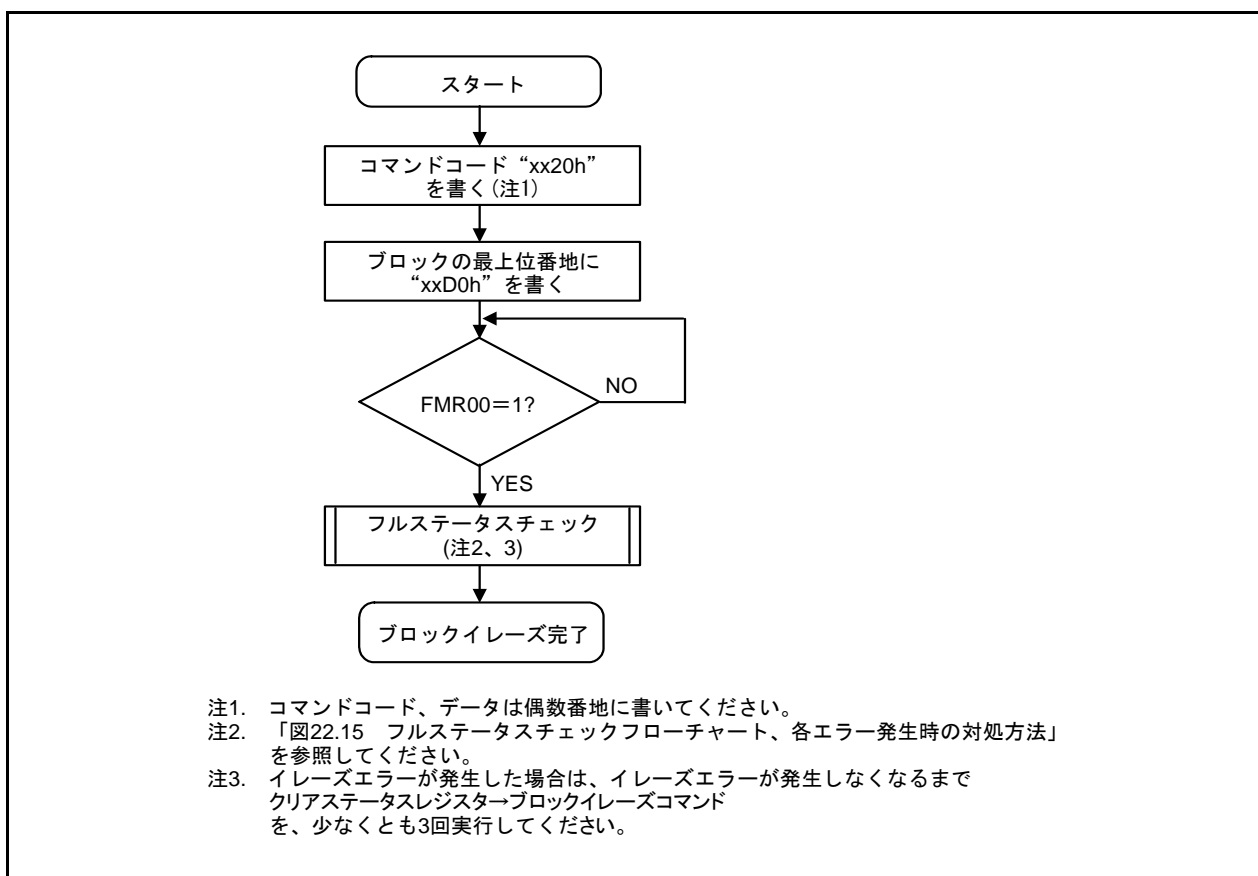


図 22.15 ブロックイレースフローチャート

### 22.3.5.6 ロックビットプログラム

任意のブロックのロックビットを“0”（ロック状態）にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地（ただし、偶数番地）に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図 22.16 にロックビットプログラムフローチャート例を示します。ロックビットの状態（ロックビットデータ）は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”（非ロック状態）にする方法については、「22.3.6 データ保護機能」を参照してください。

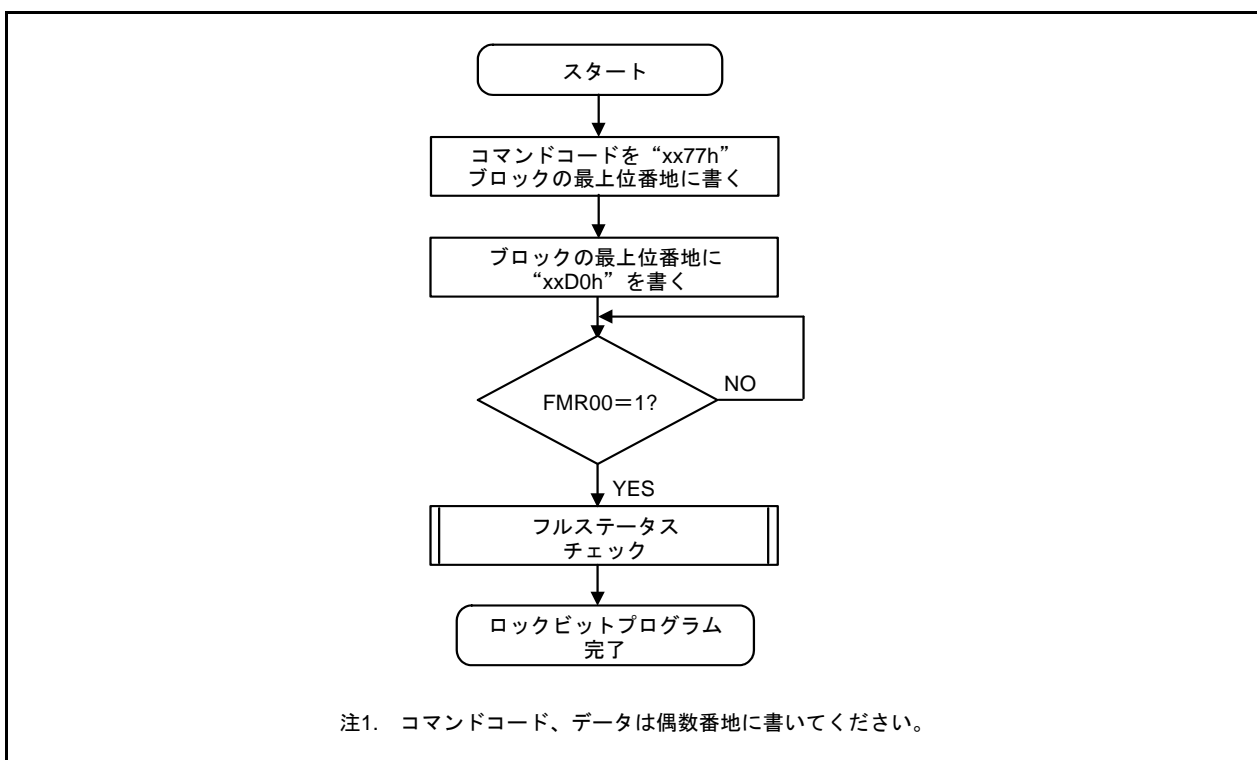


図 22.16 ロックビットプログラムフローチャート

### 22.3.5.7 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。

図 22.17にリードロックビットステータスフローチャート例を示します。

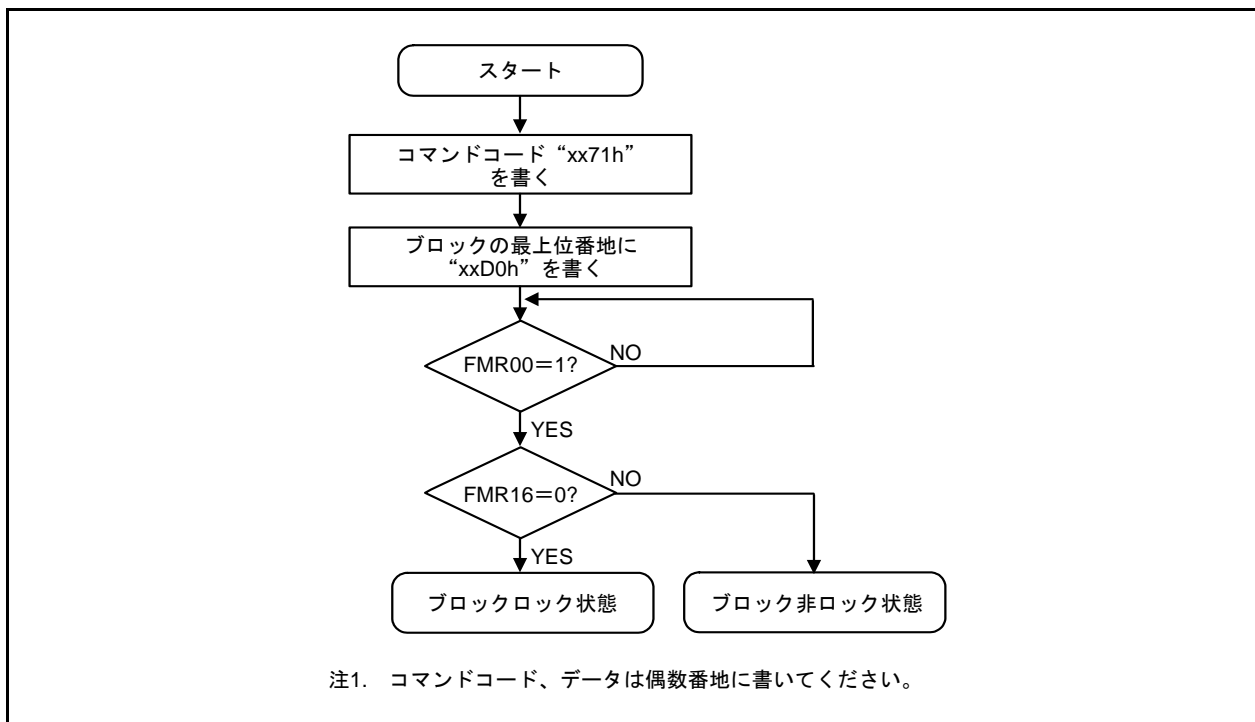


図 22.17 リードロックビットステータスフローチャート

### 22.3.5.8 ブロックブランクチェック

任意のブロックがブランク（消去後の状態）かチェックするコマンドです。

第1バスサイクルで“xx25h”、第2バスサイクルでブロックの最上位番地（ただし、偶数番地）に“xxD0h”を書くと、チェック結果がFMR0レジスタのFMR07ビットに格納されます。FMR0レジスタのFMR00ビットが“1”（レディ）になった後、FMR07ビットを読んでください。

ブロックブランクチェックコマンドは、ロックしていないブロックに対して有効です。

ロックビットが“0”（ロック状態）のブロックに対してブロックブランクチェックコマンドを実行すると、FMR02ビットの状態に関係なくFMR07ビット（SR5）は“1”（ブランクではない）になります。

図 22.18 にブロックブランクチェックフローチャートを示します。

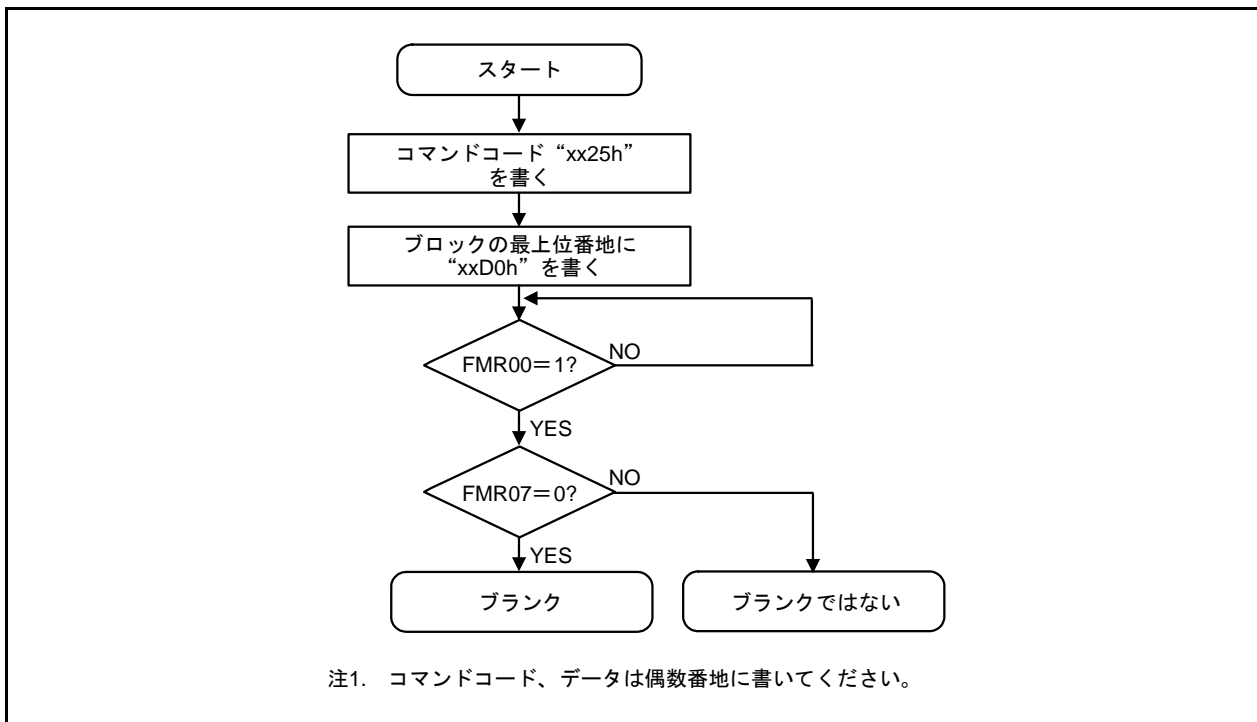


図 22.18 ブロックブランクチェックフローチャート



### 22.3.6 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”（ロックビット有効）のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止（ロック）できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態（そのブロックはプログラム、イレーズできない）
- ロックビットデータが“1”のとき：非ロック状態（そのブロックはプログラム、イレーズできる）

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”（ロック状態）に、ブロックを消去すると“1”（非ロック状態）になります。ロックビットデータをコマンドで“1”にできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります（各ロックビットデータは変化しません）。FMR02ビットを“0”にすると、ロックビットの機能が有効になります（ロックビットデータは保持されています）。

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、各ブロックのロックビットは“1”になります。各コマンドの詳細は、「22.3.5 ソフトウェアコマンド」を参照してください。

### 22.3.7 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態は、FMR0 レジスタのFMR00、FMR06、FMR07ビットで読めます。

表 22.11 にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読んだとき
- プログラムコマンド、ブロックイレーズコマンド、ロックビットコマンド、またはブロックブランクチェックコマンド実行後、リードアレイコマンドを実行するまでの期間に、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読んだとき

#### 22.3.7.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック、リードロックビットステータスコマンド実行中には“0”、それ以外の場合は“1”になります。

#### 22.3.7.2 イレーズステータス(SR5、FMR07ビット)

「22.3.8 フルステータスチェック」を参照してください。

#### 22.3.7.3 プログラムステータス(SR4、FMR06ビット)

「22.3.8 フルステータスチェック」を参照してください。

表 22.11 ステータスレジスタ

ステータス レジスタの ビット	FMR0 レジスタの ビッ ト	ステータス名	内容		リセット後 の値
			“0”	“1”	
SR0 (D0)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR3 (D3)	—	予約ビット	—	—	—
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6 (D6)	—	予約ビット	—	—	—
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5ビット)、FMR06ビット(SR4ビット)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR07ビット(SR5ビット)またはFMR06ビット(SR4ビット)が“1”の場合、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック、リードロックビットステータスコマンドは受け付けられません。

### 22.3.8 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 22.12にエラーとFMR0レジスタの状態を、図 22.19にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 22.12 エラーとFMR0レジスタの状態

FMR00レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07ビット (SR5)	FMR06ビット (SR4)		
1	1	コマンド シーケンス エラー	<ul style="list-style-type: none"> <li>• コマンドを正しく書かなかったとき</li> <li>• ロックビットプログラム、ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0h”または“xxFFh”)以外のデータを書いたとき(注1)</li> </ul>
1	0	イレーズエラー	<ul style="list-style-type: none"> <li>• ロックされたブロックにブロックイレーズコマンドを実行したとき(注2)</li> <li>• ロックされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかったとき</li> <li>• ブロックブランクチェックコマンドを実行して、チェック結果がブランクでなかったとき</li> </ul>
0	1	プログラム エラー	<ul style="list-style-type: none"> <li>• ロックされたブロックにプログラムコマンドを実行したとき(注2)</li> <li>• ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき</li> <li>• ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき</li> </ul>

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

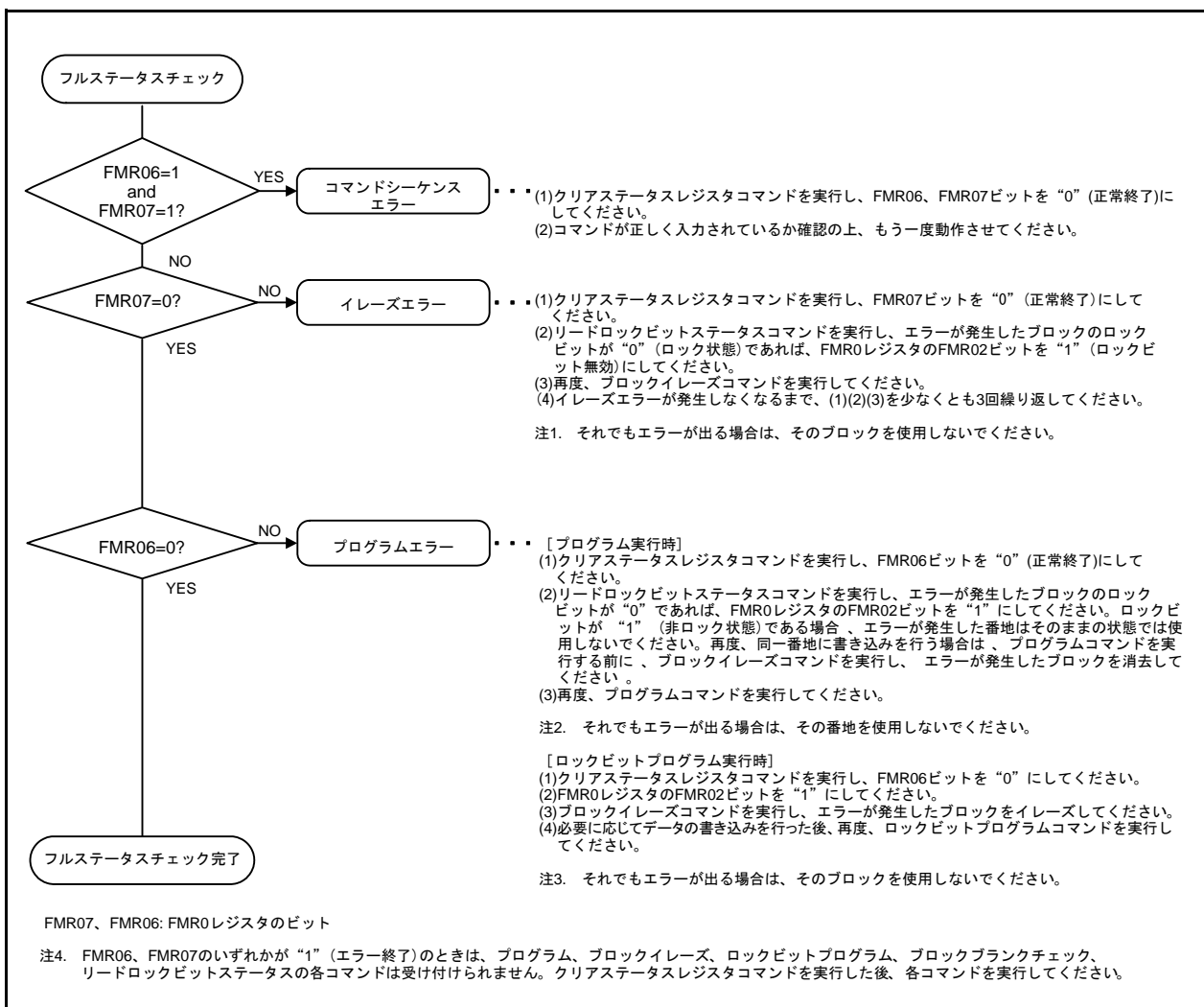


図 22.19 フルステータスチェックフローチャート、各エラー発生時の対処方法

## 22.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/64グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、またはデータフラッシュを書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

表 22.13に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図 22.20～22.21に標準シリアル入出力モード時の端子結線図を示します。

### 22.4.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「22.2 フラッシュメモリ書き換え禁止機能」参照)。

表 22.13 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	電源系統	機能
VCC1、VCC2、VSS	電源入力		-	VCC1端子にはフラッシュ書き込み、消去電圧を入力してください。VCC2端子にはVCC2を入力してください。入力条件はVCC2=VCC1です。VSSには0Vを入力してください。
CNVSS	CNVSS	入力	VCC1	VCC1に接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	VCC1	リセット入力端子です。td(ROC)間、 $\overline{\text{RESET}}$ 端子を“L”にしてください。
XIN	クロック入力	入力	VCC1	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。 外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力		
BYTE	BYTE入力	入力	VCC1	VSSまたはVCC1に接続してください。
AVCC、AVSS	アナログ電源入力			AVCCはVCC1に、AVSSはVSSに接続してください。
VREF	基準電圧入力	入力		A/Dコンバータの基準電圧入力端子です。VCC1に接続してください。
P0_0~P0_7	入力ポートP0	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P2_0~P2_7	入力ポートP2	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P3_0~P3_7	入力ポートP3	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P4_0~P4_7	入力ポートP4	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P5_1~P5_4, P5_6, P5_7	入力ポートP5	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P5_0	$\overline{\text{CE}}$ 入力	入力	VCC2	“H”を入力してください。
P5_5	$\overline{\text{EPM}}$ 入力	入力	VCC2	“L”を入力してください。
P6_0~P6_3	入力ポートP6	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P6_4/ $\overline{\text{RTS1}}$	BUSY出力	出力	VCC1	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	VCC1	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: “L”を入力してください。
P6_6/RXD1	RXD入力	入力	VCC1	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	VCC1	シリアルデータの出力端子です。(注1)
P7_0~P7_7	入力ポートP7	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P9_0~P9_7	入力ポートP9	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	VCC1	“H”を入力、“L”を入力、または開放してください。

注1. 標準シリアル入出力モードを使用する場合、 $\overline{\text{RESET}}$ 端子が“L”の期間中、TXD1(P6\_7)端子は、内蔵プルアップが有効になります。

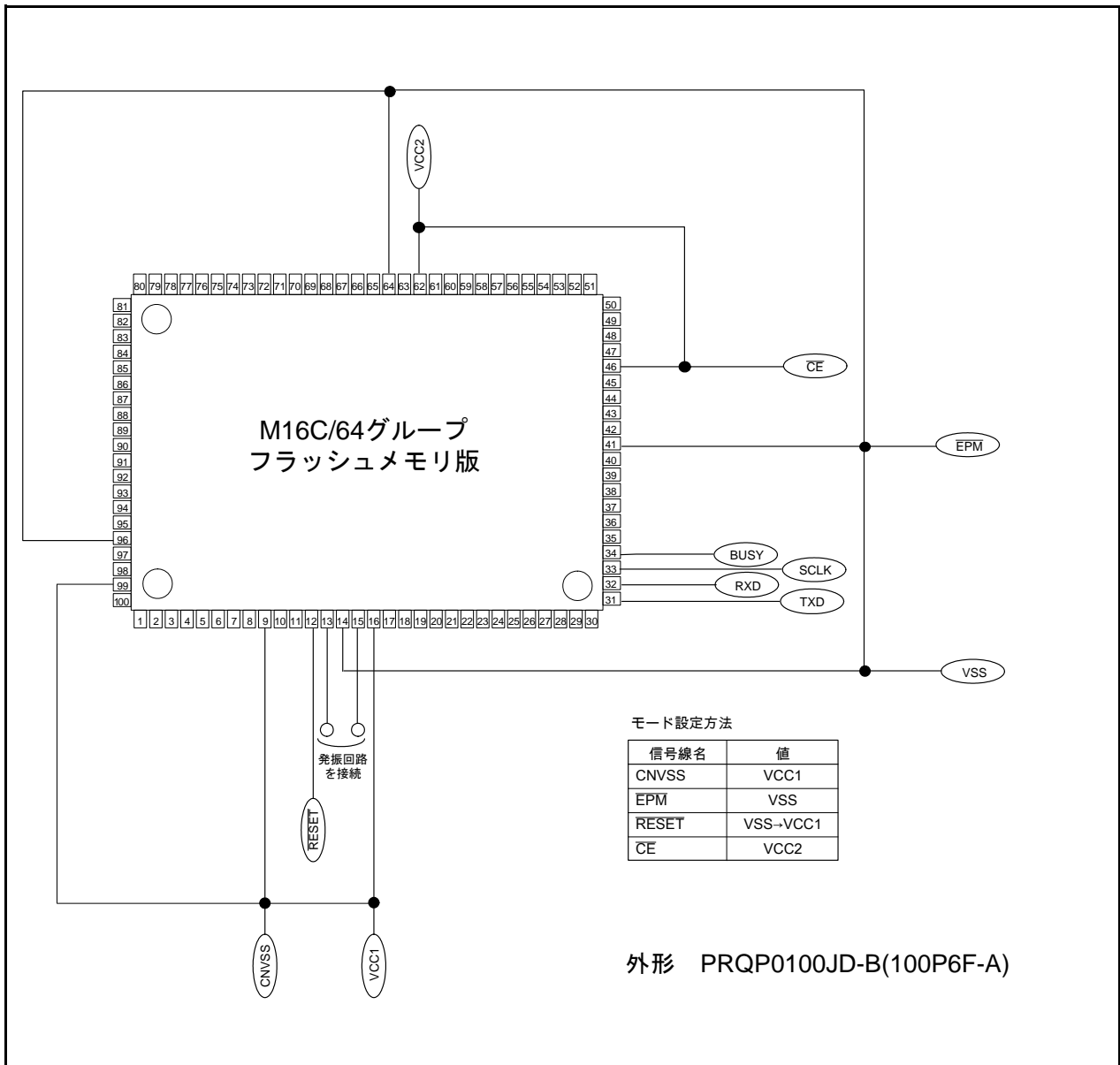


図 22.20 標準シリアル入出力モード時の端子結線図(1)

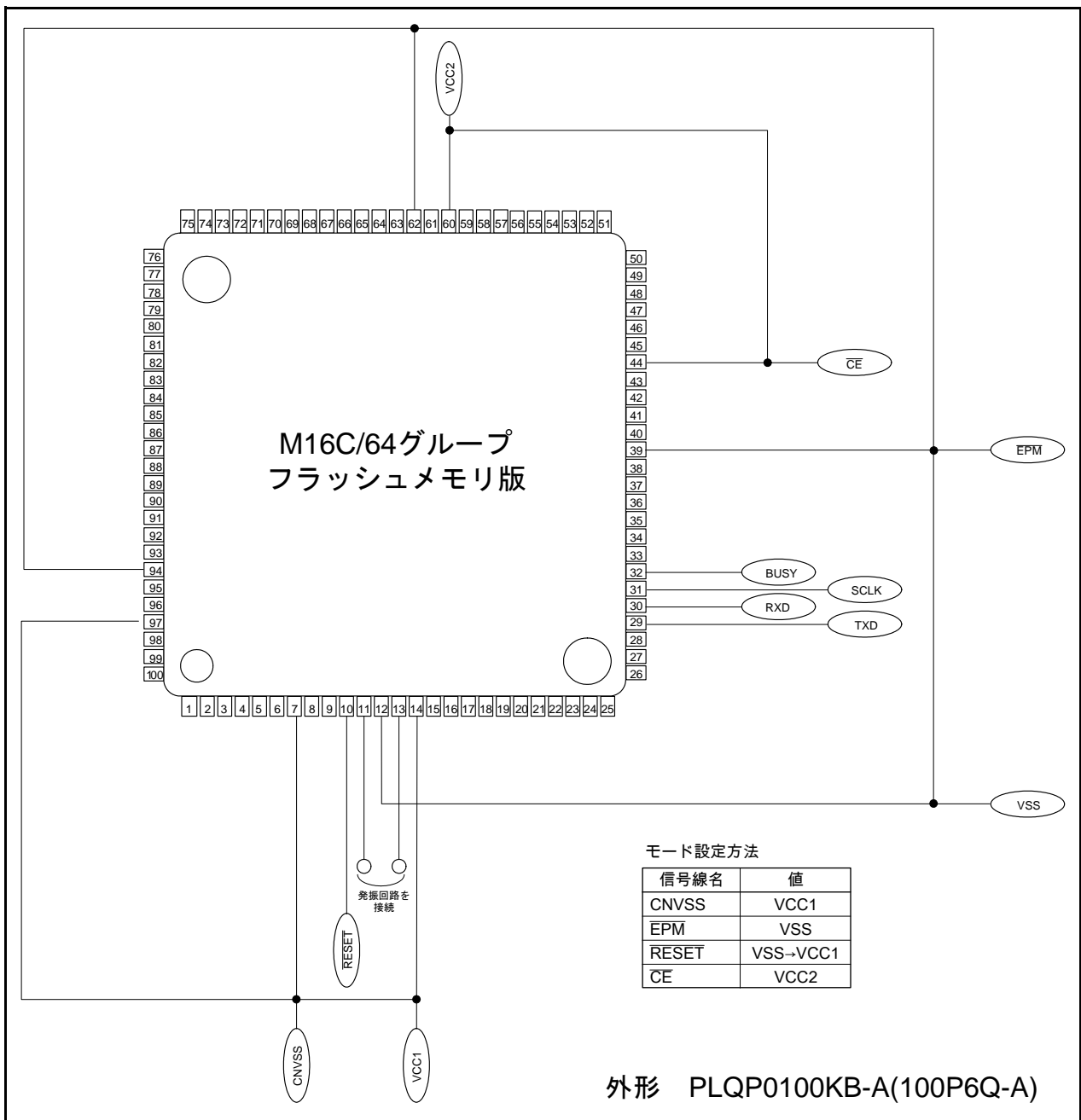


図 22.21 標準シリアル入出力モード時の端子結線図(2)



### 22.4.2 標準シリアル入出力モード時の端子処理例

図 22.22 に標準シリアル入出力モード1を使用する場合の端子処理例、図 22.23 に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

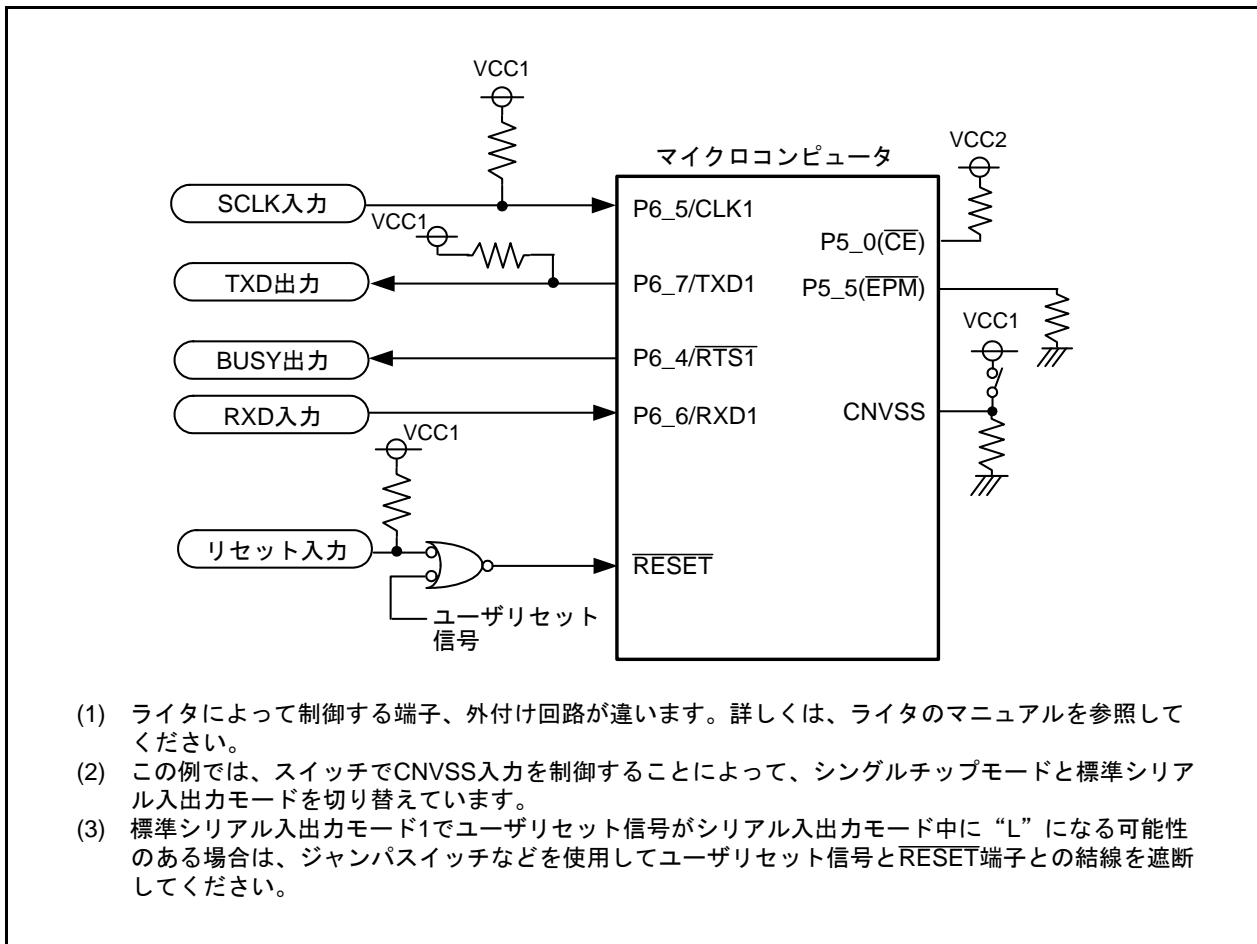


図 22.22 標準シリアル入出力モード1を使用する場合の端子処理例

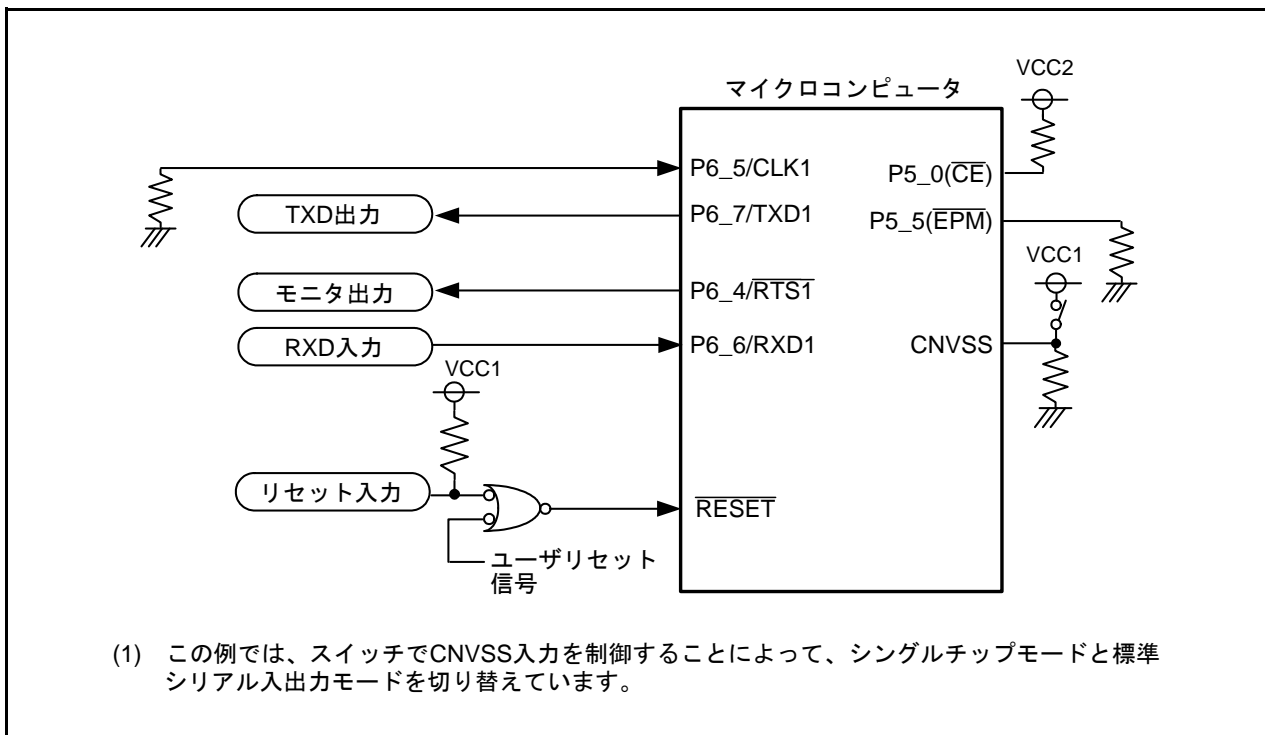


図 22.23 標準シリアル入出力モード2を使用する場合の端子処理例

## 22.5 パラレル入出力モード

パラレル入出力モードでは、M16C/64グループに対応したパラレルライターを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

### 22.5.1 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「22.2 フラッシュメモリ書き換え禁止機能」参照)。

## 23. 電気的特性

## 23.1 電気的特性

表 23.1 絶対最大定格

記号	項目	条件	定格値	単位
VCC1, VCC2	電源電圧	VCC1=VCC2=AVCC	-0.3 ~ 6.5	V
AVCC	アナログ電源電圧	VCC1=AVCC	-0.3 ~ 6.5	V
VI	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7 XIN	-0.3 ~ VCC1 +0.3	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P7_0, P7_1, P8_5	-0.3 ~ VCC2 +0.3	V
			-0.3 ~ 6.5	V
VO	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7 XOUT	-0.3 ~ VCC1 +0.3	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P7_0, P7_1, P8_5	-0.3 ~ VCC2 +0.3	V
			-0.3 ~ 6.5	V
Pd	消費電力	-40°C < Topr ≤ 85°C	300	mW
Topr	動作周囲温度	マイコン動作時	-20 ~ 85 / -40 ~ 85	°C
		フラッシュ書き込み消去時	0 ~ 60	
Tstg	保存温度		-65 ~ 150	°C

表 23.2 推奨動作条件(注1)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC1, VCC2	電源電圧(VCC1=VCC2)	2.7	5.0	5.5	V	
AVCC	アナログ電源電圧		VCC1		V	
VSS	電源電圧		0		V	
AVSS	アナログ電源電圧		0		V	
VIH	"H"入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0.8VCC2		VCC2	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0.8VCC2		VCC2	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0.5VCC2		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	0.8VCC1		VCC1	V
		P7_0, P7_1, P8_5	0.8VCC1		6.5	V
VIL	"L"入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0		0.2VCC2	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0		0.2VCC2	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0		0.16VCC2	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	0		0.2VCC1	V
IOH(peak)	"H"尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7,			-10.0	mA
IOH(avg)	"H"平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7			-5.0	mA
IOL(peak)	"L"尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			10.0	mA
IOL(avg)	"L"平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			5.0	mA
f(XIN)	メインクロック入力発振周波数	VCC1=2.7V~5.5V	0		20	MHz
f(XCIN)	サブクロック発振周波数			32.768	50	kHz
f(OCO)	125kHzオンチップオシレータ発振周波数		100	125	150	kHz
f(PLL)	PLLクロック発振周波数	VCC1=2.7V~5.5V	10		25	MHz
f(BCLK)	CPU動作周波数		0		25	MHz
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	VCC1=5.0V			3	ms
		VCC1=3.0V			2	ms

注1. 指定のない場合は、VCC1=VCC2=2.7V~5.5V、Topr=-20~85°C / -40~85°Cです。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0, P1, P2, P8\_6, P8\_7, P9, P10のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8\_0~P8\_5のIOL(peak)の合計は80mA以下、ポートP0,P1,P2のIOH(peak)の合計は-40mA以下、ポートP3,P4,P5のIOH(peak)の合計は-40mA以下、ポートP6, P7\_2~P7\_7, P8\_0~P8\_4のIOH(peak)の合計は-40mA以下、ポートP8\_6,P8\_7,P9,P10のIOH(peak)の合計は-40mA以下にしてください。

表 23.3 A/D変換特性(注1)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
-	分解能		VREF=VCC1				10	Bits
INL	積分 非直線 性 誤差	10bit	VREF=	AN0～AN7入力			±3	LSB
			VCC1=	AN0_0～AN0_7入力				
			5.0V	AN2_0～AN2_7入力 ANEX0、ANEX1入力				
			VREF=	AN0～AN7入力			±3	LSB
			VCC1=	AN0_0～AN0_7入力				
			3.3V	AN2_0～AN2_7入力 ANEX0、ANEX1入力				
			VREF=	AN0～AN7入力			±3	LSB
			VCC1=	AN0_0～AN0_7入力				
			3.0V	AN2_0～AN2_7入力 ANEX0、ANEX1入力				
-	絶対精 度	10bit	VREF=	AN0～AN7入力			±3	LSB
			VCC1=	AN0_0～AN0_7入力				
			5.0V	AN2_0～AN2_7入力 ANEX0、ANEX1入力				
			VREF=	AN0～AN7入力			±3	LSB
			VCC1=	AN0_0～AN0_7入力				
			3.3V	AN2_0～AN2_7入力 ANEX0、ANEX1入力				
			VREF=	AN0～AN7入力			±3	LSB
			VCC1=	AN0_0～AN0_7入力				
			3.0V	AN2_0～AN2_7入力 ANEX0、ANEX1入力				
-	許容信号源インピーダンス					3		kΩ
DNL	微分非直線性誤差						±1	LSB
-	オフセット誤差						±3	LSB
-	ゲイン誤差						±3	LSB
tCONV	変換時間(10bit)		VREF=VCC1=5V、 φAD=25MHz		1.60			μs
tSAMP	サンプリング時間				0.60			μs
VREF	基準電圧					VCC1		V
VIA	アナログ入力電圧				0		VREF	V

注1. 指定のない場合は、VCC1=AVCC=VREF=3.0～5.5V、VSS=AVSS=0V、Topr=-20～85℃ / -40～85℃です。

注2. φADの周波数は次のようにしてください。

VCC1が4.0～5.5Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 25\text{MHz}$

VCC1が3.2～4.0Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 16\text{MHz}$

VCC1が3.0～3.2Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 10\text{MHz}$

注3. VREF=VCC1で使用してください。

表 23.4 D/A変換特性(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				2.5	LSB
tsu	設定時間				3	$\mu$ s
RO	出力抵抗		5	6	8.2	k $\Omega$
IVREF	基準電源入力電流	(注2)			1.5	mA

注1. 指定のない場合は、VCC1=VREF=3.0~5.5V、VSS =AVSS=0V、Topr=-20~85°C/-40~85°Cです。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。

注3. A/Dコンバータの電流消費分は除きます。また、A/D制御レジスタでVref未接続とした場合でも、D/AコンバータのIVREFは流れます。

表 23.5 フラッシュメモリの電気的特性(注1)

記号	項目	規格値			単位	
		最小	標準	最大		
-	プログラム、イレーズ回数(注2)	データフラッシュ以外	100		回	
		データフラッシュ	100		回	
-	2ワードプログラム時間 (VCC1=3.3V、Topr=25°C)	データフラッシュ以外		150	μs	
		データフラッシュ		300	μs	
-	ロックビットプログラム時間 (VCC1=3.3V、Topr=25°C)	データフラッシュ以外		70	μs	
		データフラッシュ		140	μs	
-	ブロックイレーズ時間 (VCC1=3.3V、Topr=25°C)	4K バイトブロック		0.20	3	s
		16K バイトブロック		0.20	3	s
		64K バイトブロック		0.20	3	s
iPS	フラッシュメモリ回路安定待ち時間			50	μs	
-	データ保持時間(注3)		10		年	

注1. 指定のない場合は、VCC1=2.7~5.5V、Topr=0~60°Cです。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4Kバイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注3. Topr=-40~85°C/-20°C~85°Cの条件です。

表 23.6 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性  
(Topr=0~60°C)

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
VCC1=2.7~5.5V	VCC1=2.7~5.5V



表 23.7 電圧低下検出回路の電気的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧低下検出電圧(注1)	VCC1=0.8~5.5V	3.3	3.8	4.4	V
Vdet0	リセット領域検出電圧(注1)			1.9		V
Vdet2-Vdet0	電圧低下検出とリセット領域検出の電位差		0.3			V
Vdet0s	低電圧リセット保持電圧				0.8	V
Vdet0r	低電圧リセット解除電圧(注2)			2.0		V

注1. Vdet2 > Vdet0になります。

注2. Vdet0r > Vdet0は保証されません。

注3. VCC1=5Vで使用してください。

表 23.8 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	VCC1=2.7~5.5V			5	ms
td(R-S)	STOP解除時間				150	μs
td(W-S)	低消費電力モードウェイトモード解除時間				150	μs
td(S-R)	電圧低下検出リセット (ハードウェアリセット2)解除待ち時間	VCC1=Vdet0r~5.5V		6(注1)	20	ms
td(E-A)	低電圧検出回路動作開始時間	VCC1=2.7~5.5V			20	μs

注1. VCC1=5V時の標準値

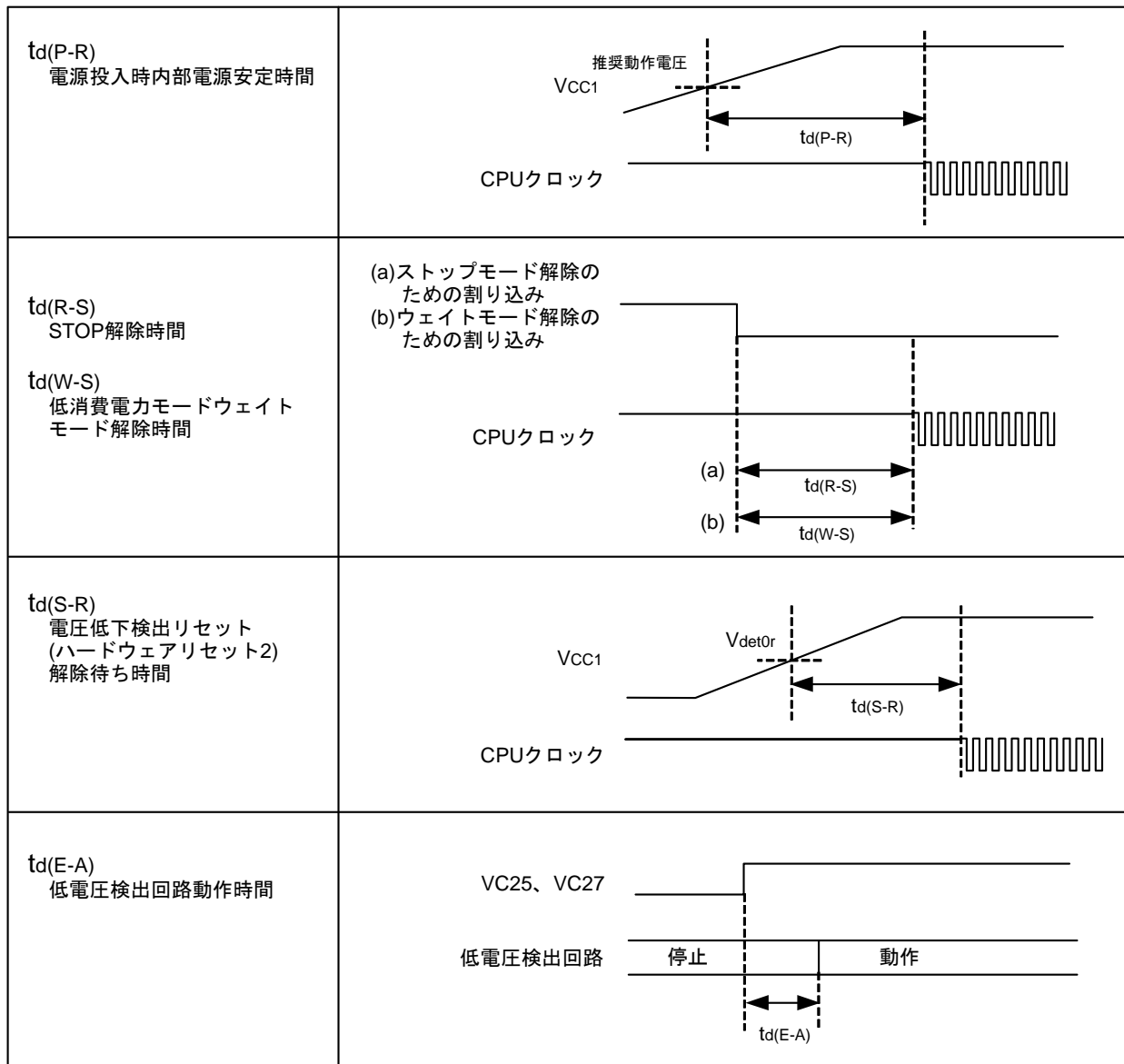


図 23.1 電源回路のタイミング図

VCC1=VCC2=5V

表 23.9 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOH=-5mA	VCC1-2.0		VCC1	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	IOH=-5mA	VCC2-2.0		VCC2	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOH=-200μA	VCC1-0.3		VCC1	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	IOH=-200μA	VCC2-0.3		VCC2	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH=-1mA	VCC1-2.0		VCC1	V
		LOWPOWER	IOH=-0.5mA	VCC1-2.0		VCC1	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.6		V
		LOWPOWER	無負荷時		2.2		
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	IOL=5mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	IOL=5mA			2.0	
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	IOL=200μA			0.45	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	IOL=200μA			0.45	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=1mA			2.0	V
		LOWPOWER	IOL=0.5mA			2.0	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
VT+-VT-	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS2, CTS5~CTS7, SCL0~SCL2, SCL5~SCL7, SDA0~SDA2, SDA5~SDA7, CLK0~CLK7, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD2, RXD5~RXD7, SIN3, SIN4		0.5		2.0	V
VT+-VT-	ヒステリシス	RESET		0.5		2.0	V
IIH	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	VI=5V			5.0	μA
IIL	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	VI=0V			-5.0	μA
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7,	VI=0V	30	50	100	kΩ
RfXIN	帰還抵抗	XIN			1.5		MΩ
RfXCIN	帰還抵抗	XCIN			15		MΩ
VRAM	RAM保持電圧		ストップモード時	1.8			V

注1. 指定のない場合は、VCC1=VCC2=4.2~5.5V、VSS=0V、Topr=-20~85°C / -40~85°C、f(BCLK)=25MHzです。

VCC1=VCC2=5V

表 23.10 電気的特性(2)(注1)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
ICC	電源電流 (VCC1=4.0~5.5V)	シングルチップモードで、 出力端子は開放、 その他の端子はVSS	フラッシュメモリ	f(BCLK)=25MHz PLL動作時、分周なし		20	30	mA
				125kHzオンチップオシレータ発振動作時 分周なし FMR22=1		450		μA
			フラッシュメモリ プログラム	f(BCLK)=10MHz VCC1=5.0V		20		mA
			フラッシュメモリ イレーズ	f(BCLK)=10MHz VCC1=5.0V		30		mA
			フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)		45		μA
					f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3) FMR22=FMR23=1		200	
				125kHzオンチップオシレータ発振動作、 ウェイトモード時		20		μA
				f(BCLK)=32kHz ウェイトモード時(注2) 発振能力High		11.0		μA
				f(BCLK)=32kHz ウェイトモード時(注2) 発振能力Low		6.0		μA
				ストップモード時 Topr=25°C		1.8		μA
Idet2	電圧低下検出消費電流(注4)				3.0		μA	
Idet0	リセット領域検出消費電流(注4)				6.0		μA	

注1. 指定のない場合は、VCC1=VCC2=4.2~5.5V、VSS=0V、Topr=-20~85°C / -40~85°C、f(BCLK)=25MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

注4. Idetは次のビットを“1”(検出回路有効)にしている場合の消費電流です。

Idet2 : VCR2レジスタのVC27ビット

Idet0 : VCR2レジスタのVC25ビット

VCC1=VCC2=5V

タイミング必要条件

(指定のない場合は、VCC1=VCC2=5V、VSS=0V、Topr= -20～85℃ / -40～85℃)

表 23.11 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	50		ns
tw(H)	外部クロック入力“H”パルス幅	20		ns
tw(L)	外部クロック入力“L”パルス幅	20		ns
tr	外部クロック立ち上がり時間		9	ns
tf	外部クロック立ち下がり時間		9	ns

注1. 条件はVCC1=VCC2=3.0～5.0Vです。

表 23.12 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
tac3(RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
tsu(DB-RD)	データ入力セットアップ時間	40		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	30		ns
tsu(HOLD-BCLK)	$\text{HOLD}$ 入力セットアップ時間	40		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK -RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\text{HOLD}$ 入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 45[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 45[\text{ns}] \quad n \text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 45[\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

$$VCC1=VCC2=5V$$

## タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.13 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

表 23.14 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

表 23.15 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

表 23.16 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

表 23.17 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	800		ns
tsu(TAIN-TAOUT)	TAiOUT入力セットアップ時間	200		ns
tsu(TAOUT-TAIN)	TAiIN入力セットアップ時間	200		ns

$$VCC1=VCC2=5V$$

## タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.18 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 23.19 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

表 23.20 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	400		ns
tw(TBH)	TBiIN入力“H”パルス幅	200		ns
tw(TBL)	TBiIN入力“L”パルス幅	200		ns

表 23.21 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
tw(ADL)	ADTRG入力“L”パルス幅	125		ns

表 23.22 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi入力サイクル時間	200		ns
tw(CKH)	CLKi入力“H”パルス幅	100		ns
tw(CKL)	CLKi入力“L”パルス幅	100		ns
td(C-Q)	TXDi出力遅延時間		80	ns
th(C-Q)	TXDiホールド時間	0		ns
tsu(D-C)	RXDi入力セットアップ時間	70		ns
th(C-D)	RXDi入力ホールド時間	90		ns

表 23.23 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tw(INH)	INTi入力“H”パルス幅	250		ns
tw(INL)	INTi入力“L”パルス幅	250		ns

VCC1=VCC2=5V

## スイッチング特性

(指定のない場合は、VCC1=VCC2=5V、VSS=0V、Topr=−20～85℃ / −40～85℃)

表 23.24 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 23.2		25	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		2		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注2)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			25	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		2		ns
td(BCLK-ALE)	ALE信号出力遅延時間			15	ns
th(BCLK-ALE)	ALE信号出力保持時間		-4		ns
td(BCLK-RD)	RD信号出力遅延時間			25	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			25	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準) (注3)		2		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準) (注3)		(注2)		ns
td(BCLK-HLDA)	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は} 12.5\text{MHz} \text{以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - \text{VOL}/\text{VCC2})$$

で表されます。

例えば、VOL=0.2VCC2、C=30pF、R=1kΩとすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2\text{VCC2}/\text{VCC2}) \\ = 6.7\text{ns}$$

となります。

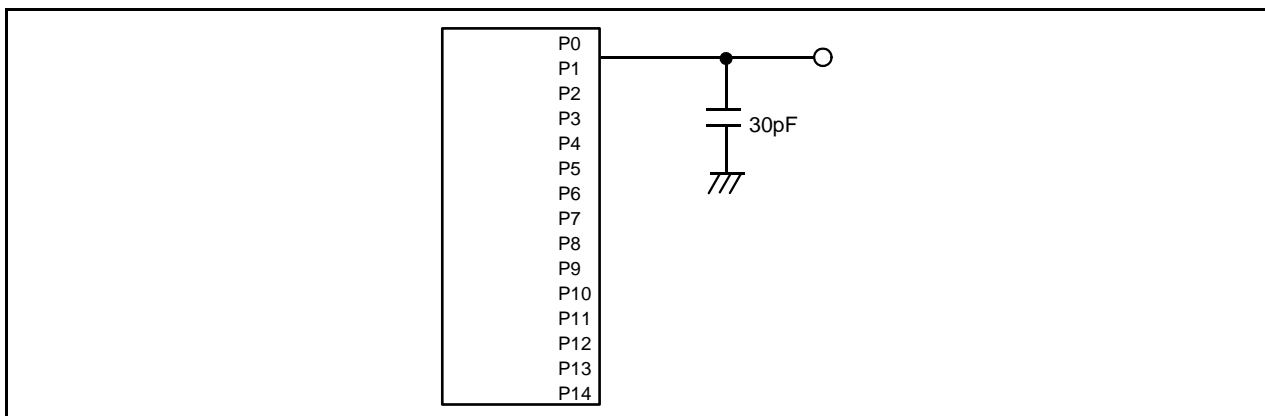
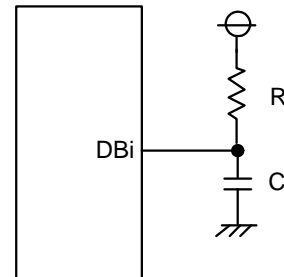


図 23.2 ポートP0～P14の測定回路



VCC1=VCC2=5V

## スイッチング特性

(指定のない場合は、VCC1=VCC2=5V、VSS=0V、T<sub>opr</sub>=-20～85℃ / -40～85℃)表 23.25 メモリ拡張モード、マイクロプロセッサモード  
(1～3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 23.2		25	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		2		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注2)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			25	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		2		ns
td(BCLK-ALE)	ALE信号出力遅延時間			15	ns
th(BCLK-ALE)	ALE信号出力保持時間		-4		ns
td(BCLK-RD)	RD信号出力遅延時間			25	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			25	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準) (注3)		2		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準) (注3)		(注2)		ns
td(BCLK-HLDA)	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、  
3ウェイト設定の場合“3”  
n=1の場合は、f(BCLK)は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - \text{VOL}/\text{VCC2})$$

で表されます。

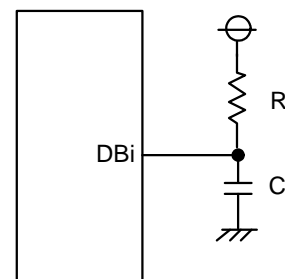
例えば、VOL=0.2VCC2、C=30pF、R=1kΩとすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2\text{VCC2}/\text{VCC2})$$

$$= 6.7\text{ns}$$

となります。



VCC1=VCC2=5V

## スイッチング特性

(指定のない場合は、VCC1=VCC2=5V、VSS=0V、T<sub>opr</sub>=-20～85℃ / -40～85℃)

表 23.26 メモリ拡張モード、マイクロプロセッサモード

(1～3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合) (注5)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 23.2		25	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		2		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			25	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		2		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			25	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			25	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準)		2		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-HLDA)	HLDA出力遅延時間			40	ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			15	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		-4		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注3)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)	(注4)		ns	
td(AD-RD)	アドレス後RD信号出力遅延時間	0		ns	
td(AD-WR)	アドレス後WR信号出力遅延時間	0		ns	
tdZ(RD-AD)	アドレス出力フローティング開始時間		8	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad n \text{は} 2 \text{ウェイト設定の場合} "2"、3 \text{ウェイト設定の場合} "3"$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 25[\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

注5. マルチプレクスバスを使用する場合、f(BCLK)は12.5MHz以下にしてください。

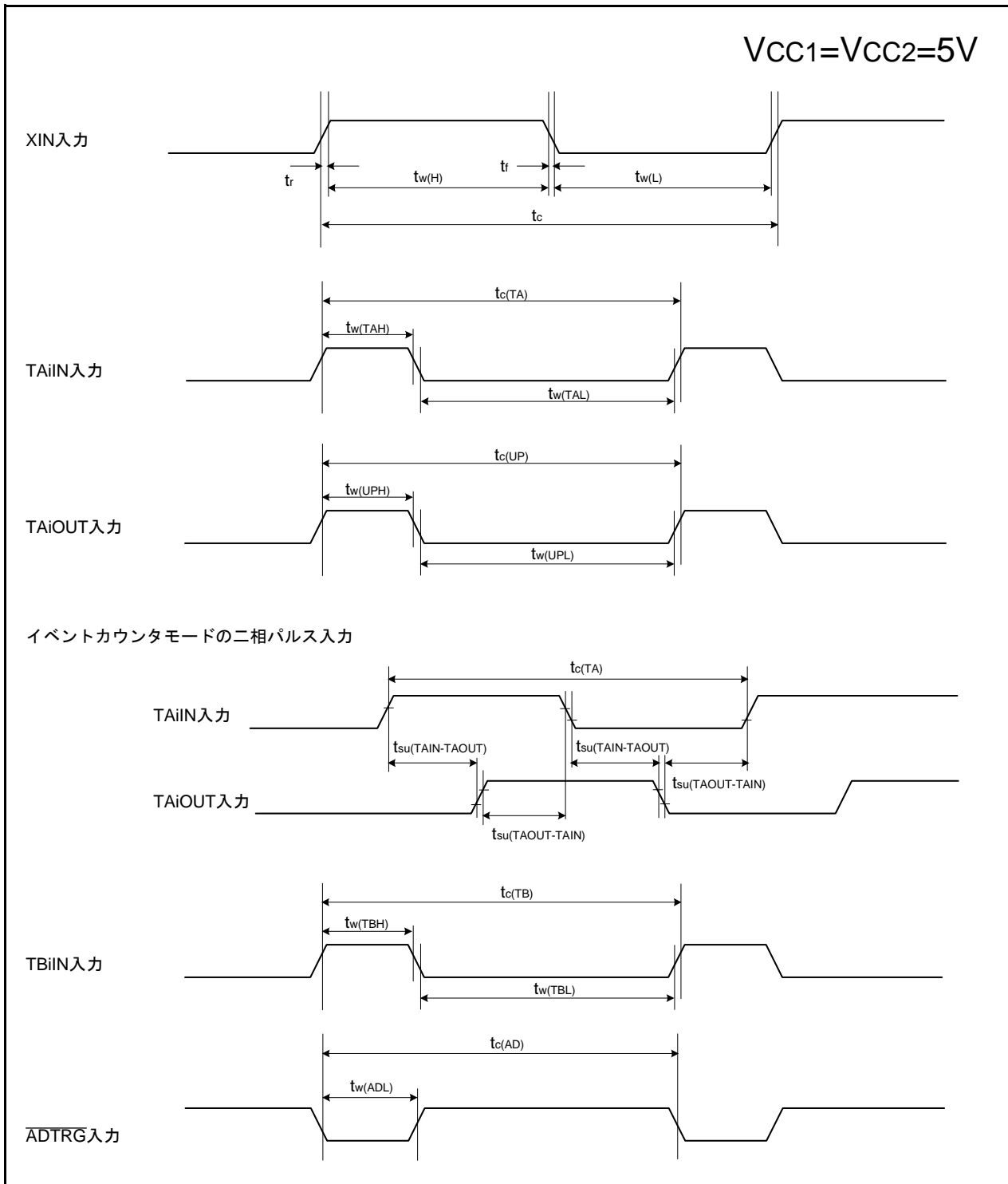


図 23.3 タイミング図(1)

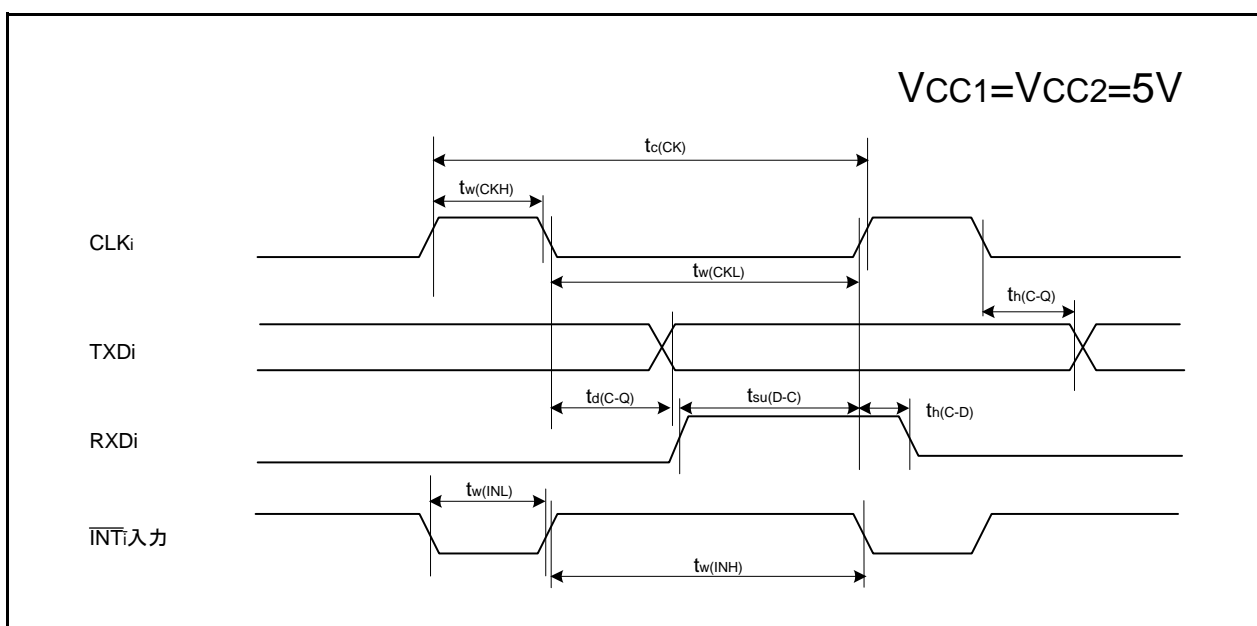


図 23.4 タイミング図(2)

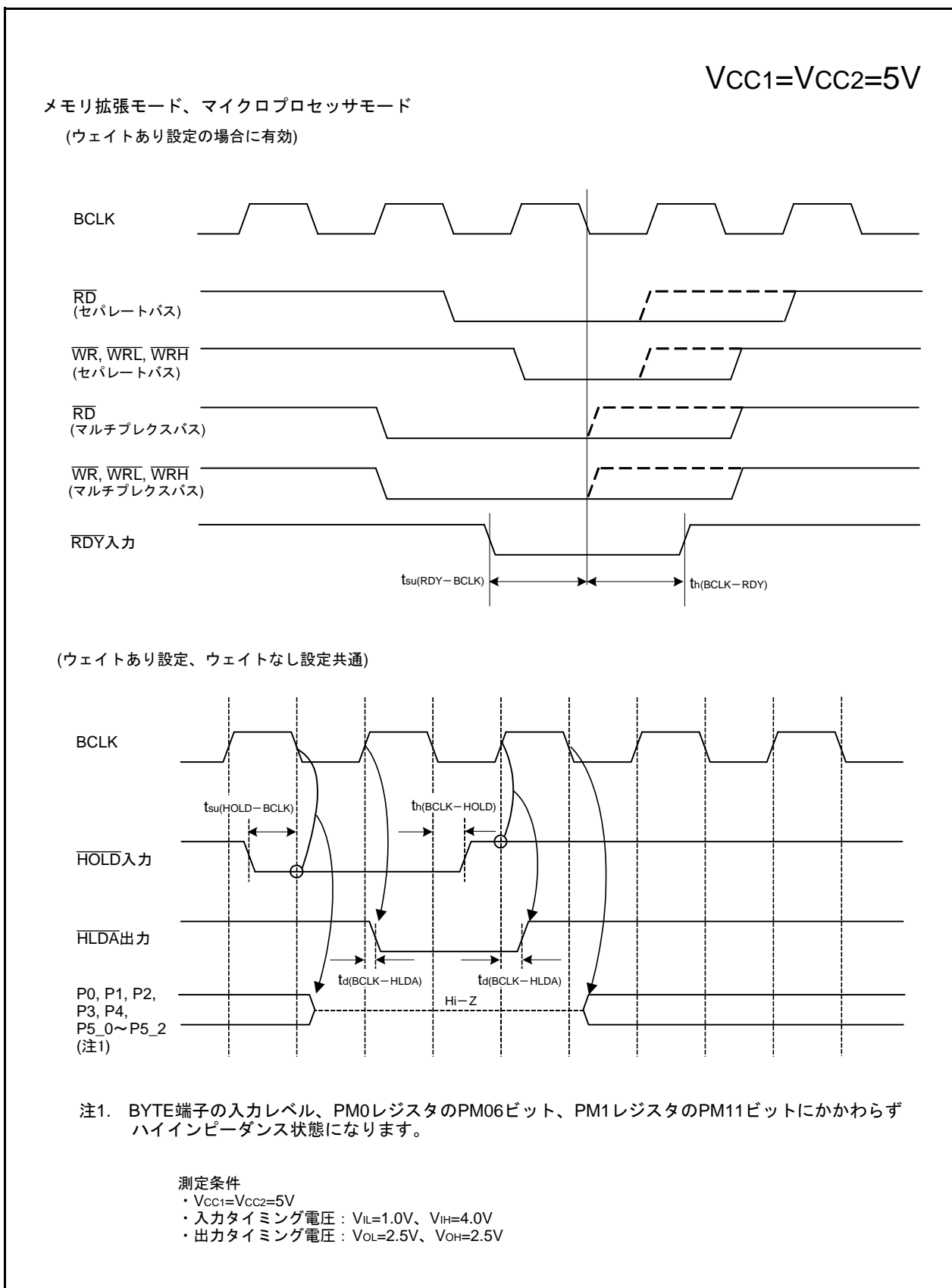


図 23.5 タイミング図(3)

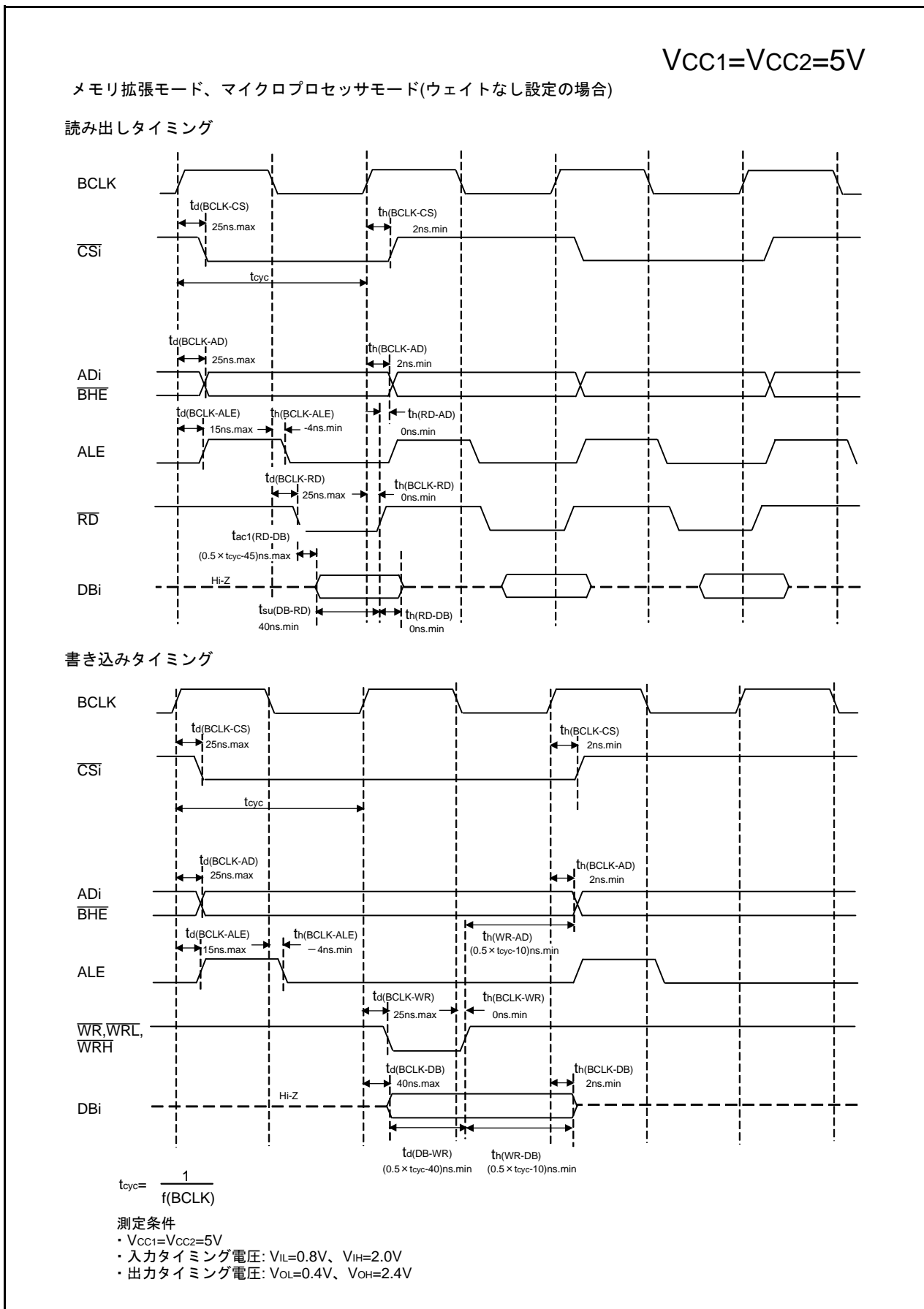
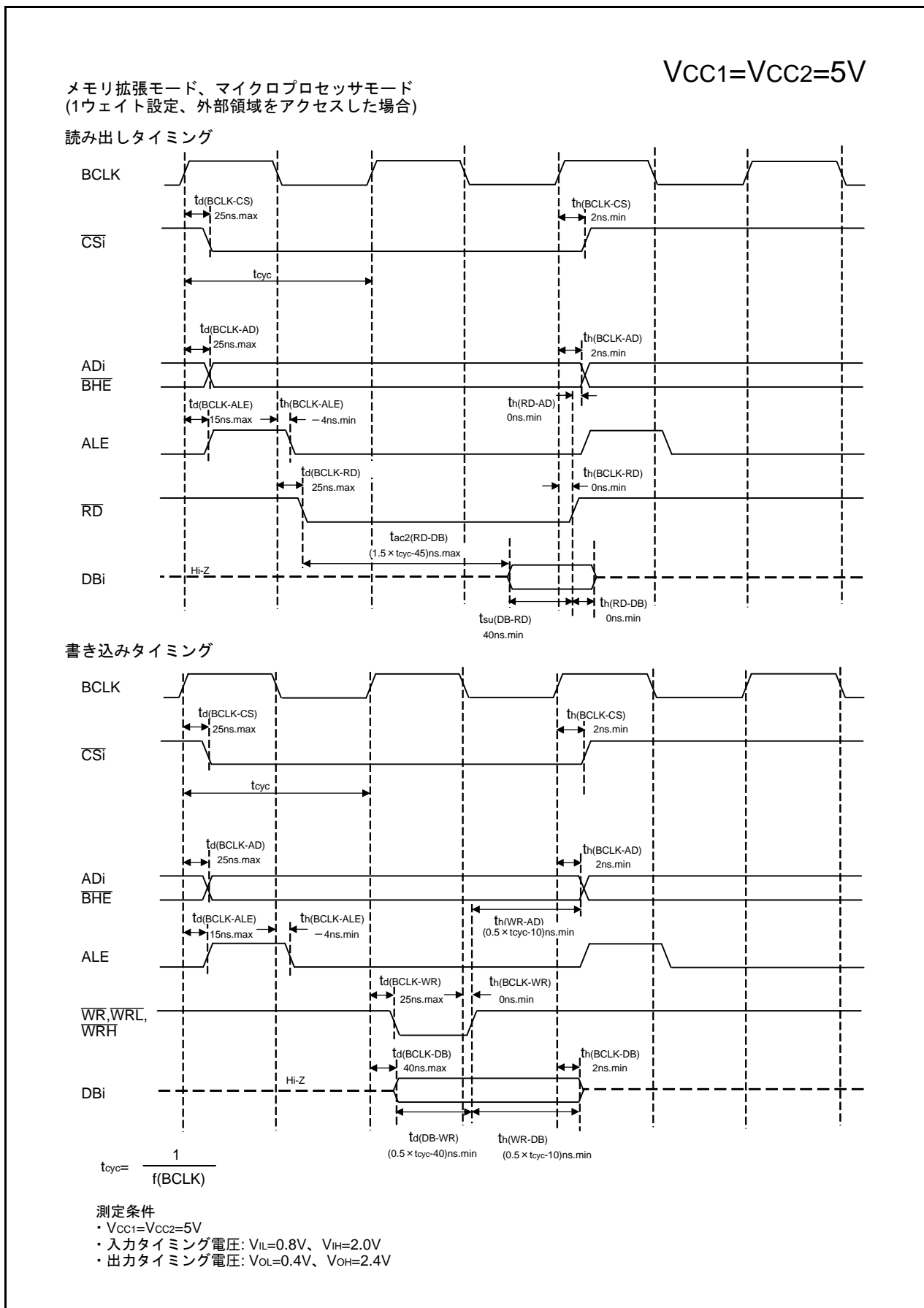


図 23.6 タイミング図(4)



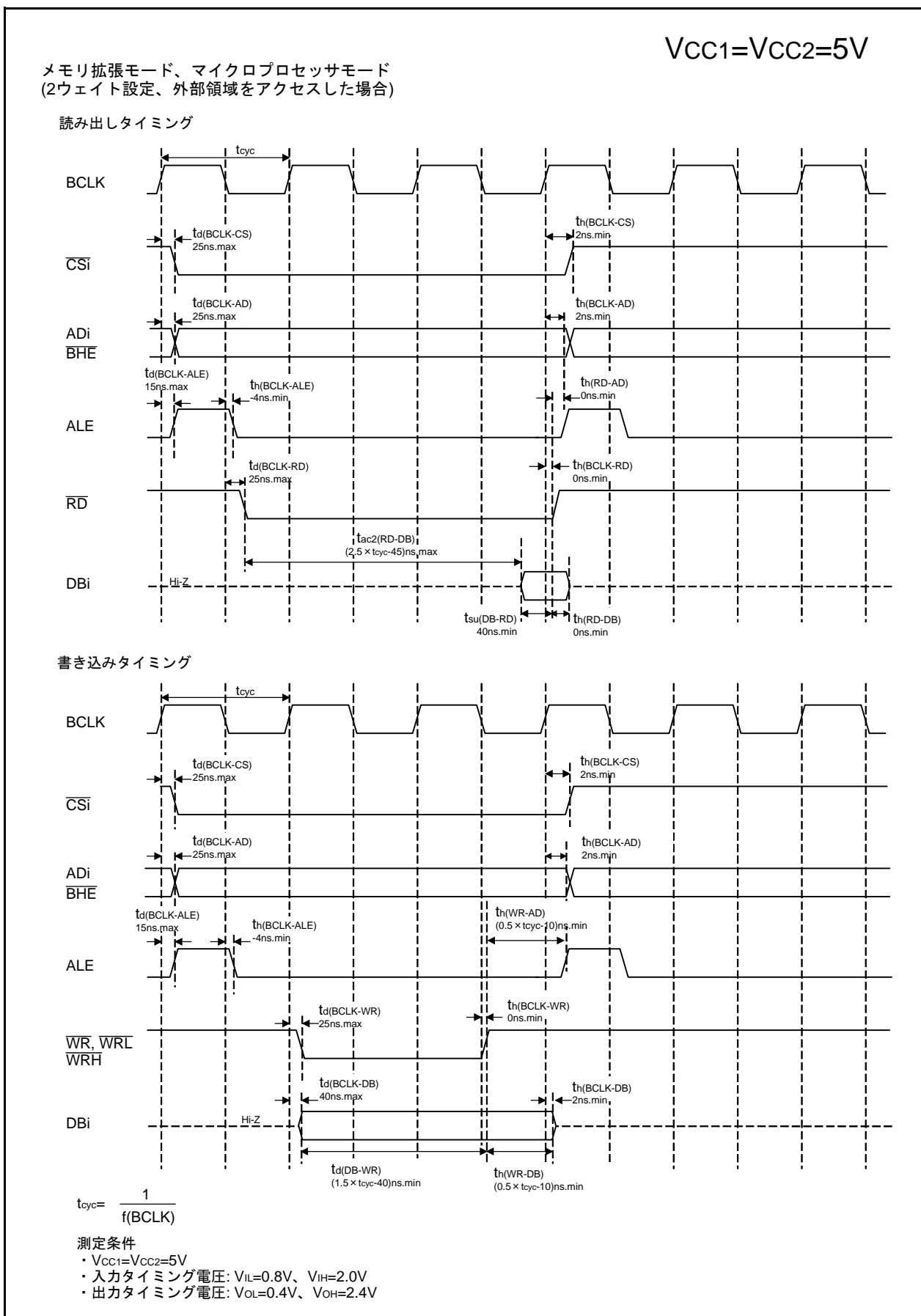


図 23.8 タイミング図(6)



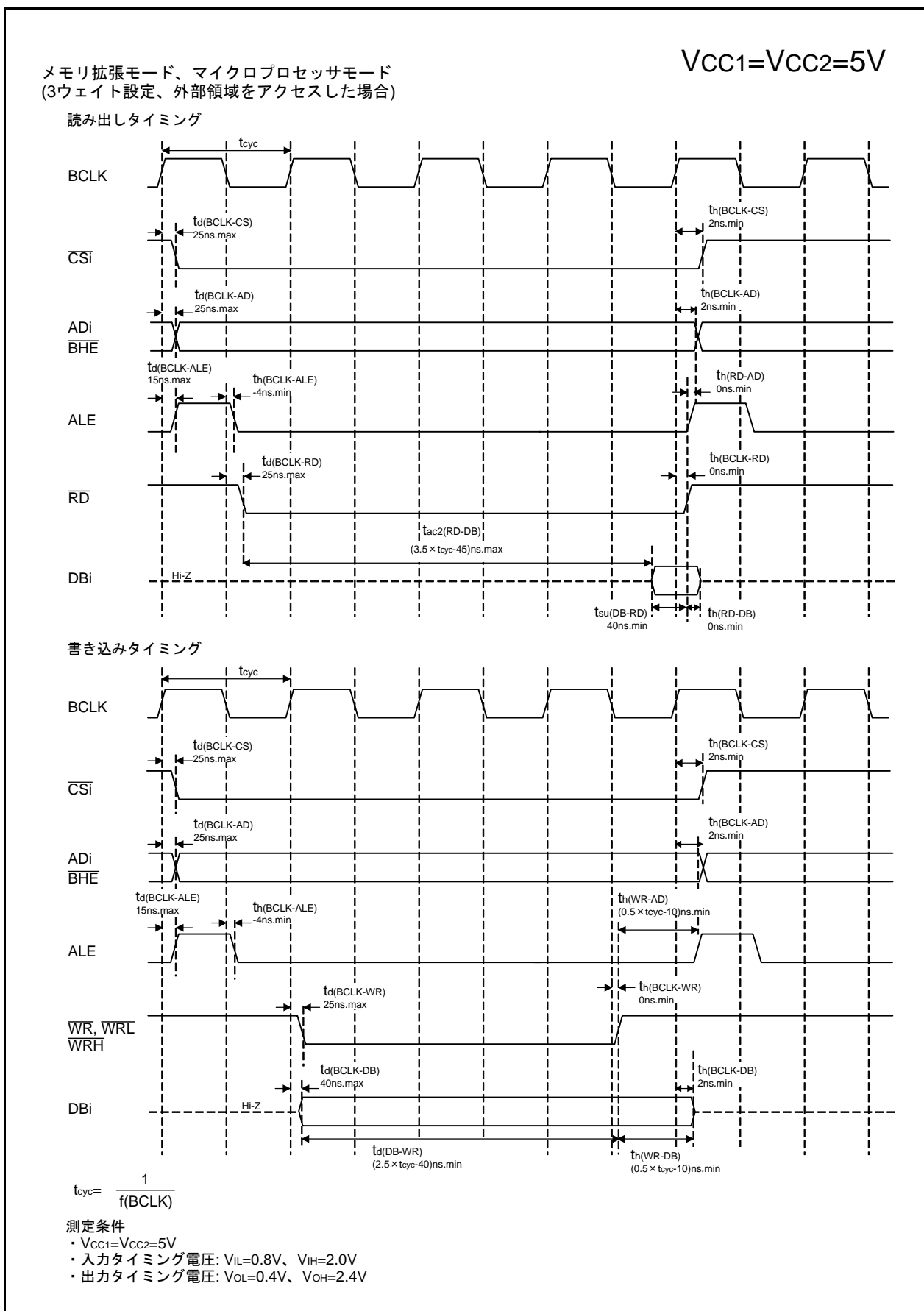


図 23.9 タイミング図(7)

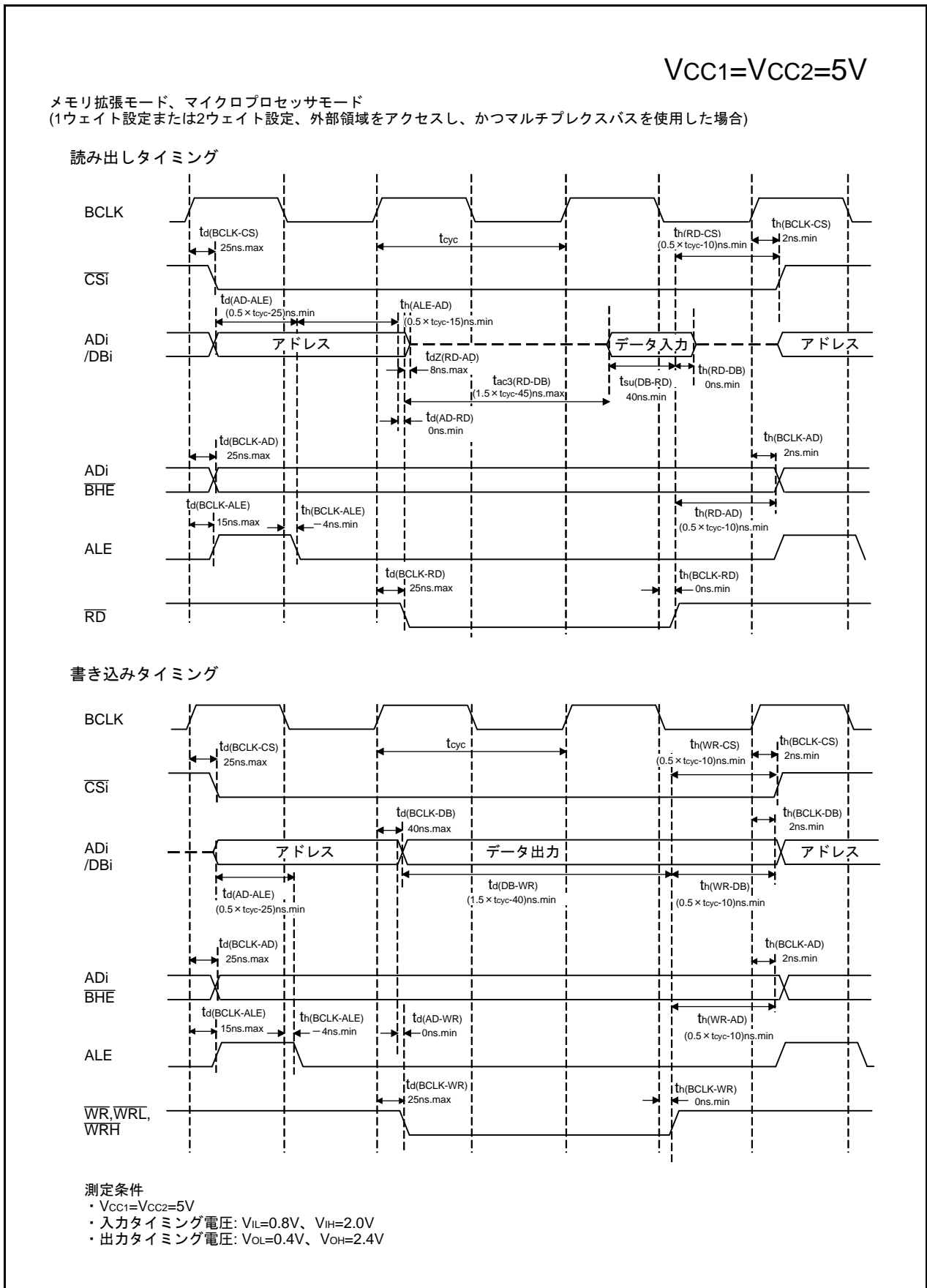


図 23.10 タイミング図(8)

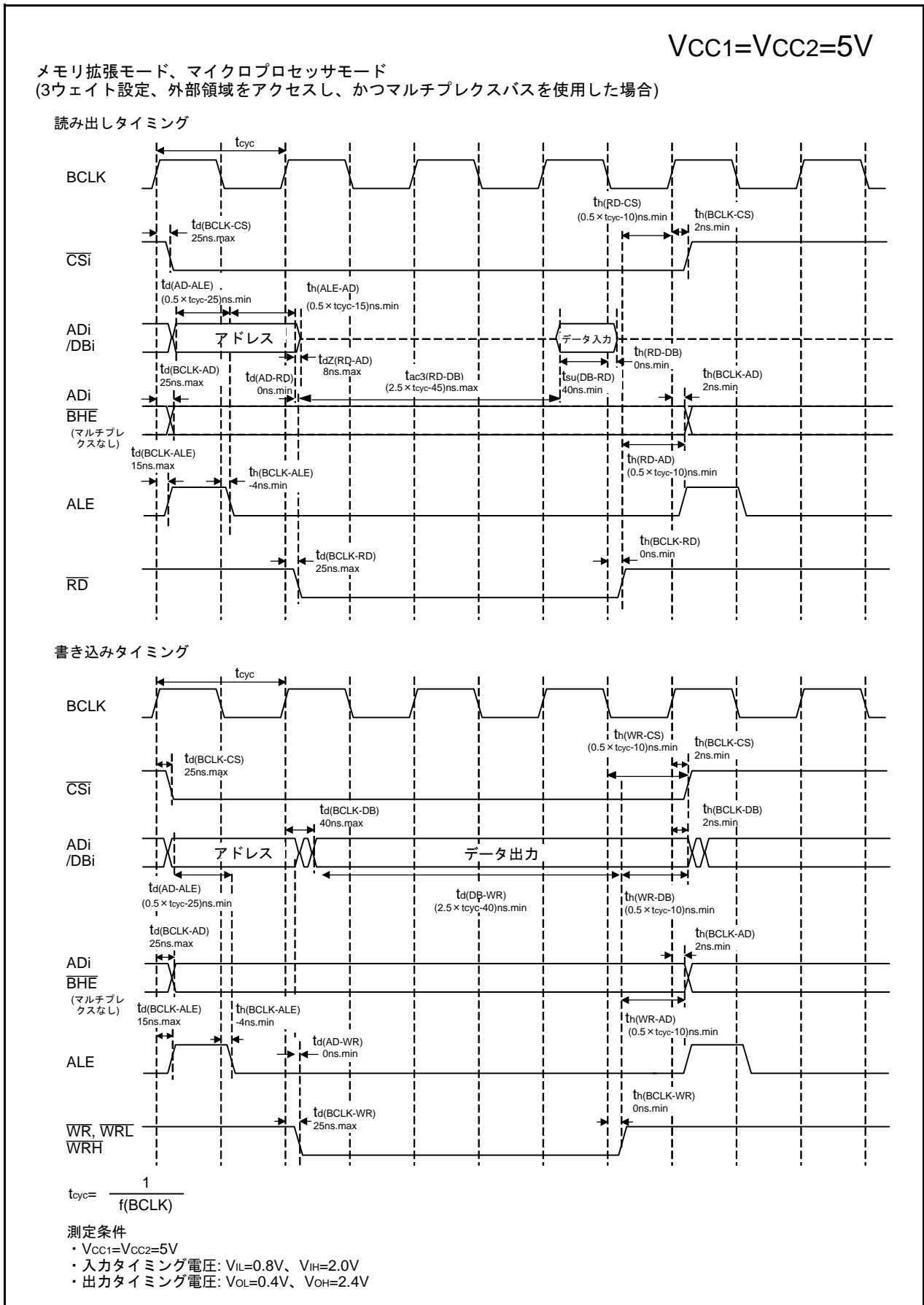


図 23.11 タイミング図(9)

VCC1=VCC2=3V

表 23.27 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOH=-1mA	VCC1-0.5		VCC1	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	IOH=-1mA	VCC2-0.5		VCC2	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH=-0.1mA	VCC1-0.5		VCC1	V
		LOWPOWER	IOH=-50μA	VCC1-0.5		VCC1	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.6		V
		LOWPOWER	無負荷時		2.2		
VOL	"L"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	IOL=1mA			0.5	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	IOL=1mA			0.5	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=0.1mA			0.5	V
		LOWPOWER	IOL=50μA			0.5	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
VT+-VT-	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS2, CTS5~CTS7, SCL0~SCL2, SCL5~SCL7, SDA0~SDA2, SDA5~SDA7, CLK0~CLK7, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD2, RXD5~RXD7, SIN3, SIN4		0.5		2.0	V
VT+-VT-	ヒステリシス	RESET		0.5	(0.7)	2.0	V
IIH	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	VI=3V			4.0	μA
IIL	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	VI=0V			-4.0	μA
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7,	VI=0V	50	80	150	kΩ
RfXIN	帰還抵抗	XIN			3.0		MΩ
RfXCIN	帰還抵抗	XCIN			30		MΩ
VRAM	RAM保持電圧		ストップモード時	1.8			V

注1. 指定のない場合は、VCC1=VCC2=2.7~3.3V、VSS=0V、Topr=-20~85°C / -40~85°C、f(BCLK)=25MHzです。

注2. VCC: ポートP6~P10はVCC1です。ポートP0~P5はVCC2です。

VCC1=VCC2=3V

表 23.28 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
ICC	電源電流 (VCC1=2.7~3.6V)	シングルチップモードで、 出力端子は開放、 その他の端子はVSS	フラッシュ メモリ	f(BCLK)=25MHz 分周なし		20	30	mA
				125kHzオンチップオシレータ発振動作時 分周なし FMR22=1		450		μA
			フラッシュメモリ プログラム	f(BCLK)=10MHz VCC1=3.0V		20		mA
			フラッシュメモリ イレーズ	f(BCLK)=10MHz VCC1=3.0V		30		mA
			フラッシュ メモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)		40		μA
				f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3) FMR22=FMR23=1		200		μA
				125kHzオンチップオシレータ発振動作、 ウェイトモード時		20		μA
				f(BCLK)=32kHz ウェイトモード時(注2) 発振能力High		7.0		μA
				f(BCLK)=32kHz ウェイトモード時(注2) 発振能力Low		5.0		μA
				ストップモード時 Topr=25℃		1.8		μA
Idet2	電圧低下検出消費電流(注4)			3		μA		
Idet0	リセット領域検出消費電流(注4)			6		μA		

注1. 指定のない場合は、VCC1=VCC2=2.7~3.3V、VSS=0V、Topr=-20~85℃ / -40~85℃、f(BCLK)=25MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

注4. Idetは次のビットを“1”(検出回路有効)にしている場合の消費電流です。

Idet2 : VCR2レジスタのVC27ビット

Idet0 : VCR2レジスタのVC25ビット

VCC1=VCC2=3V

## タイミング必要条件

(指定のない場合は、VCC1=VCC2=3V、VSS=0V、T<sub>opr</sub>= -20～85℃ / -40～85℃)

表 23.29 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	50		ns
tw(H)	外部クロック入力“H”パルス幅	20		ns
tw(L)	外部クロック入力“L”パルス幅	20		ns
tr	外部クロック立ち上がり時間		9	ns
tf	外部クロック立ち下がり時間		9	ns

注1. 条件はVCC1=VCC2=2.7～3.0Vです。

表 23.30 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
tac3(RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
tsu(DB-RD)	データ入力セットアップ時間	50		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 入力セットアップ時間	50		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK -RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 60[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 60[\text{ns}] \quad n \text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 60[\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

$$VCC1=VCC2=3V$$

## タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=3V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.31 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	150		ns
tw(TAH)	TAiIN入力“H”パルス幅	60		ns
tw(TAL)	TAiIN入力“L”パルス幅	60		ns

表 23.32 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	600		ns
tw(TAH)	TAiIN入力“H”パルス幅	300		ns
tw(TAL)	TAiIN入力“L”パルス幅	300		ns

表 23.33 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	300		ns
tw(TAH)	TAiIN入力“H”パルス幅	150		ns
tw(TAL)	TAiIN入力“L”パルス幅	150		ns

表 23.34 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	150		ns
tw(TAL)	TAiIN入力“L”パルス幅	150		ns

表 23.35 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	2		$\mu s$
tsu(TAIN-TAOUT)	TAiOUT入力セットアップ時間	500		ns
tsu(TAOUT-TAIN)	TAiIN入力セットアップ時間	500		ns

$$VCC1=VCC2=3V$$

## タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=3V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.36 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間(片エッジカウント)	150		ns
tw(TBH)	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
tw(TBL)	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
tc(TB)	TBiIN入力サイクル時間(両エッジカウント)	300		ns
tw(TBH)	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
tw(TBL)	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 23.37 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	600		ns
tw(TBH)	TBiIN入力“H”パルス幅	300		ns
tw(TBL)	TBiIN入力“L”パルス幅	300		ns

表 23.38 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	600		ns
tw(TBH)	TBiIN入力“H”パルス幅	300		ns
tw(TBL)	TBiIN入力“L”パルス幅	300		ns

表 23.39 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
tw(ADL)	ADTRG入力“L”パルス幅	200		ns

表 23.40 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi入力サイクル時間	300		ns
tw(CKH)	CLKi入力“H”パルス幅	150		ns
tw(CKL)	CLKi入力“L”パルス幅	150		ns
td(C-Q)	TXDi出力遅延時間		160	ns
th(C-Q)	TXDiホールド時間	0		ns
tsu(D-C)	RXDi入力セットアップ時間	100		ns
th(C-D)	RXDi入力ホールド時間	90		ns

表 23.41 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tw(INH)	INTi入力“H”パルス幅	380		ns
tw(INL)	INTi入力“L”パルス幅	380		ns



$$VCC1=VCC2=3V$$

## スイッチング特性

(指定のない場合は、 $VCC1=VCC2=3V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.42 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 23.12		30	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		2		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注2)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			30	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		2		ns
td(BCLK-ALE)	ALE信号出力遅延時間			25	ns
th(BCLK-ALE)	ALE信号出力保持時間		-4		ns
td(BCLK-RD)	RD信号出力遅延時間			30	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			30	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準) (注3)		2		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準) (注3)		(注2)		ns
td(BCLK-HLDA)	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は } 12.5\text{MHz以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

例えば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$  とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) \\ = 6.7\text{ns}$$

となります。

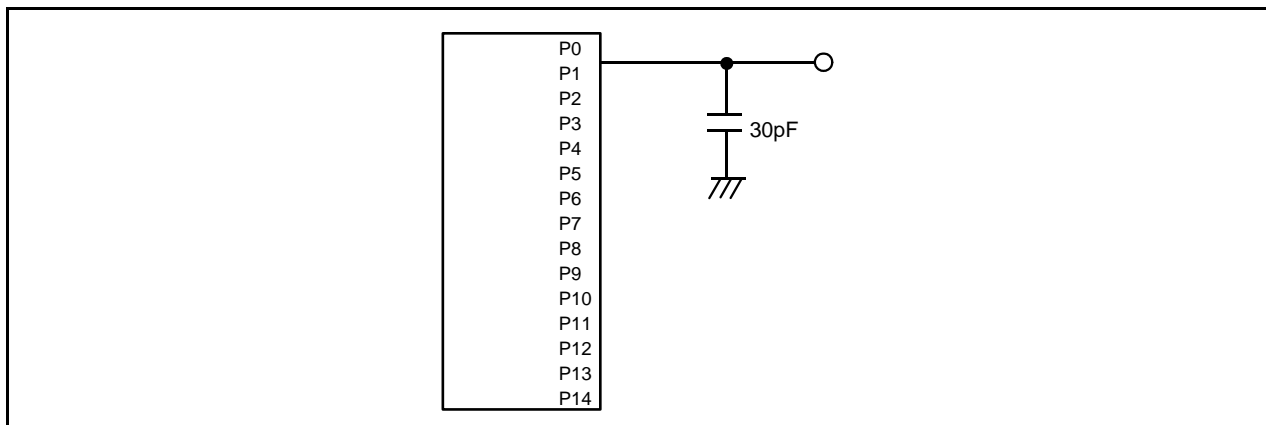
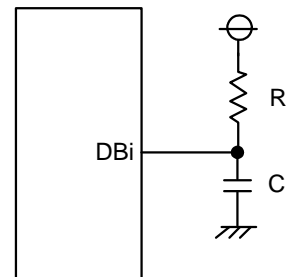


図 23.12 ポートP0～P14の測定回路

VCC1=VCC2=3V

## スイッチング特性

(指定のない場合は、VCC1=VCC2=3V、VSS=0V、T<sub>opr</sub>=-20～85℃ / -40～85℃)表 23.43 メモリ拡張モード、マイクロプロセッサモード  
(1～3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 23.12		30	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		2		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注2)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			30	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		2		ns
td(BCLK-ALE)	ALE信号出力遅延時間			25	ns
th(BCLK-ALE)	ALE信号出力保持時間		-4		ns
td(BCLK-RD)	RD信号出力遅延時間			30	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			30	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準) (注3)		2		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準) (注3)		(注2)		ns
td(BCLK-HLDA)	HLDA出力遅延時間		40	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、  
3ウェイト設定の場合“3”  
n=1の場合は、f(BCLK)は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - \text{VOL}/\text{VCC2})$$

で表されます。

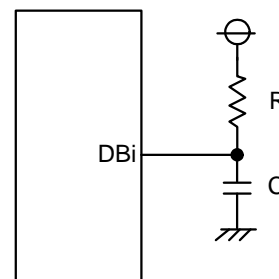
例えば、VOL=0.2VCC2、C=30pF、R=1kΩとすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2\text{VCC2}/\text{VCC2})$$

$$= 6.7\text{ns}$$

となります。



VCC1=VCC2=3V

## スイッチング特性

(指定のない場合は、VCC1=VCC2=3V、VSS=0V、T<sub>opr</sub>=-20～85℃ / -40～85℃)

表 23.44 メモリ拡張モード、マイクロプロセッサモード

(1～3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合) (注5)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 23.12		50	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		2		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			50	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		2		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			40	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			40	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			50	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準)		2		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-HLDA)	HLDA出力遅延時間			40	ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			25	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		-4		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注3)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)	(注4)		ns	
td(AD-RD)	アドレス後RD信号出力遅延時間	0		ns	
td(AD-WR)	アドレス後WR信号出力遅延時間	0		ns	
tdZ(RD-AD)	アドレス出力フローティング開始時間		8	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 50[\text{ns}] \quad n \text{は2ウェイト設定の場合 "2"、3ウェイト設定の場合 "3"}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

注5. マルチプレクスバスを使用する場合、f(BCLK)は12.5MHz以下にしてください。

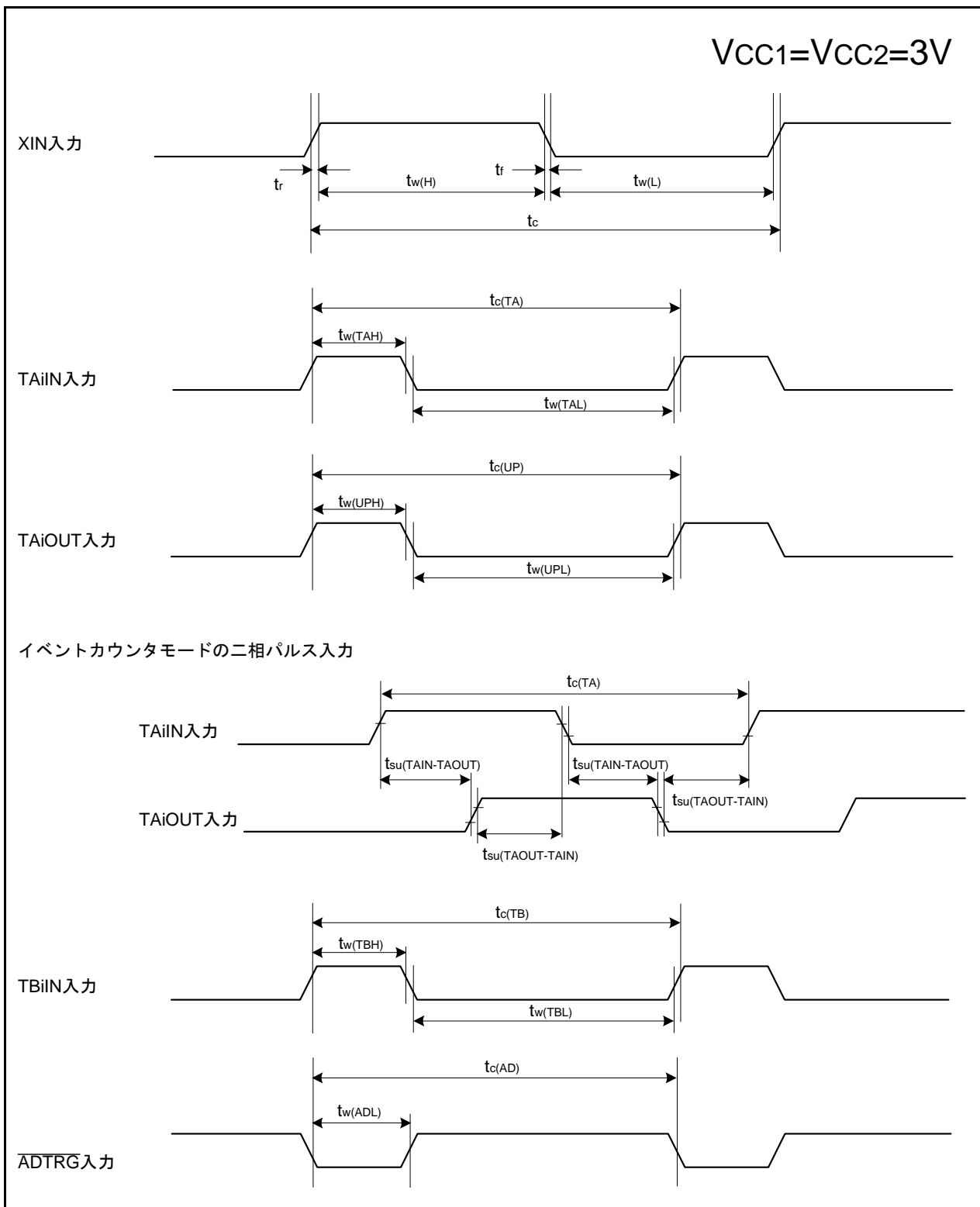


図 23.13 タイミング図(1)

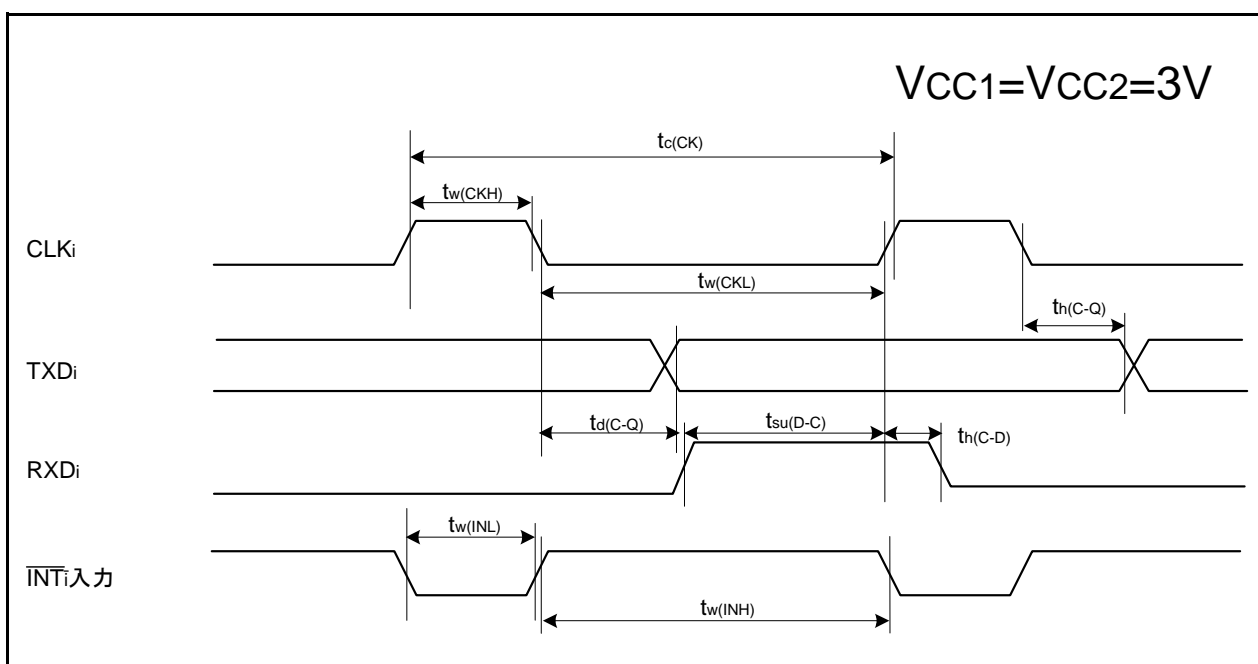


図 23.14 タイミング図(2)

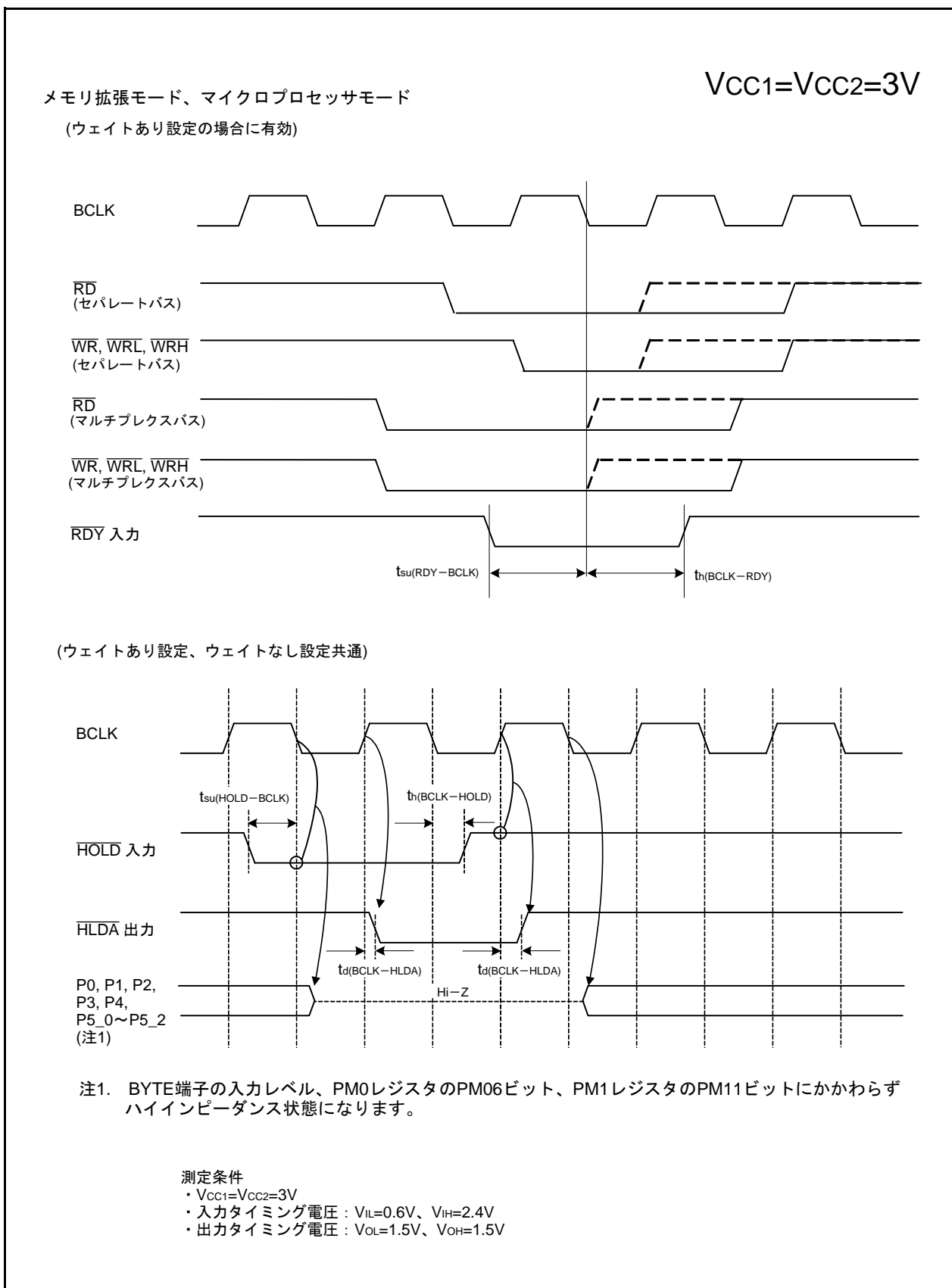


図 23.15 タイミング図(3)

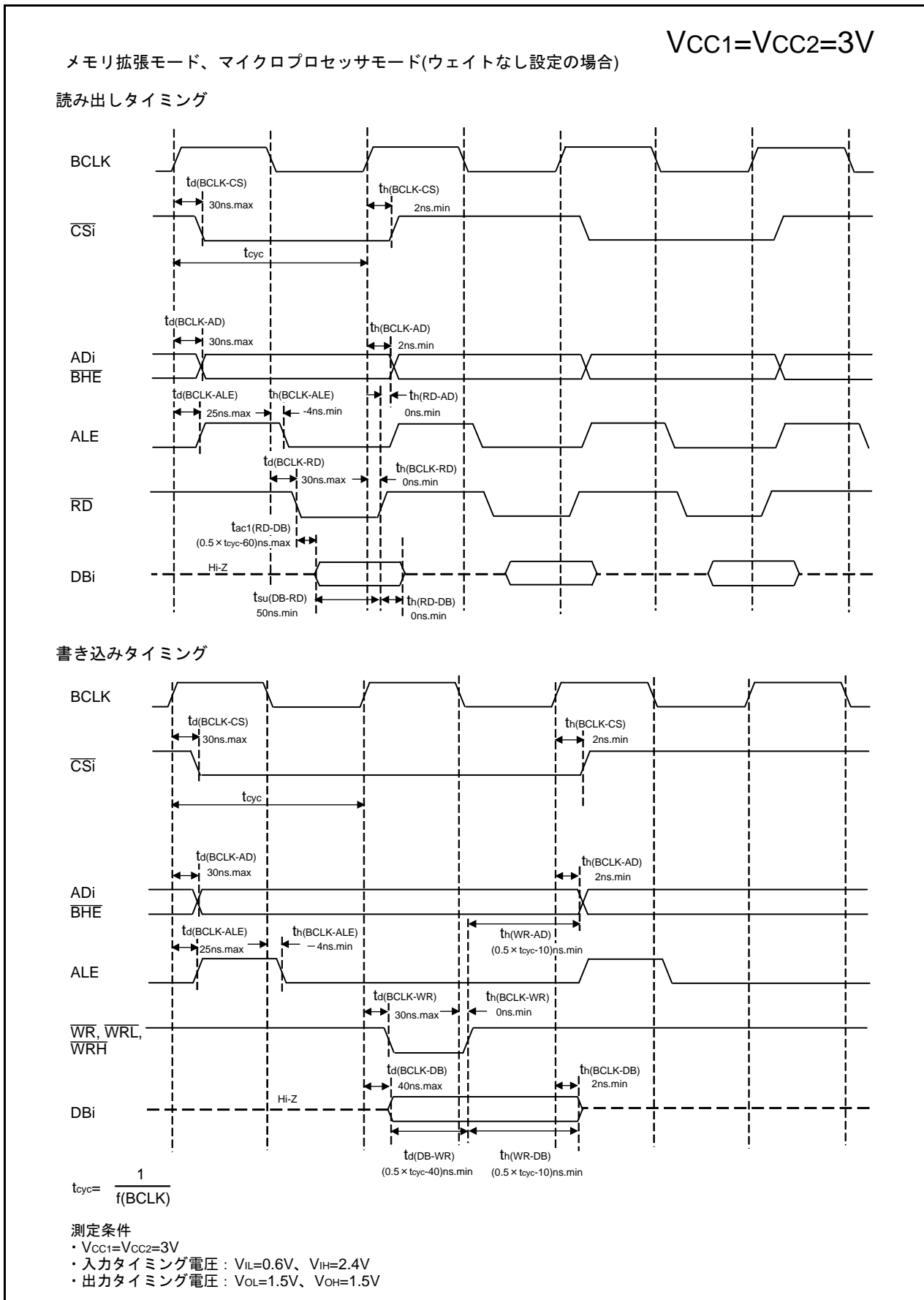


図 23.16 タイミング図(4)

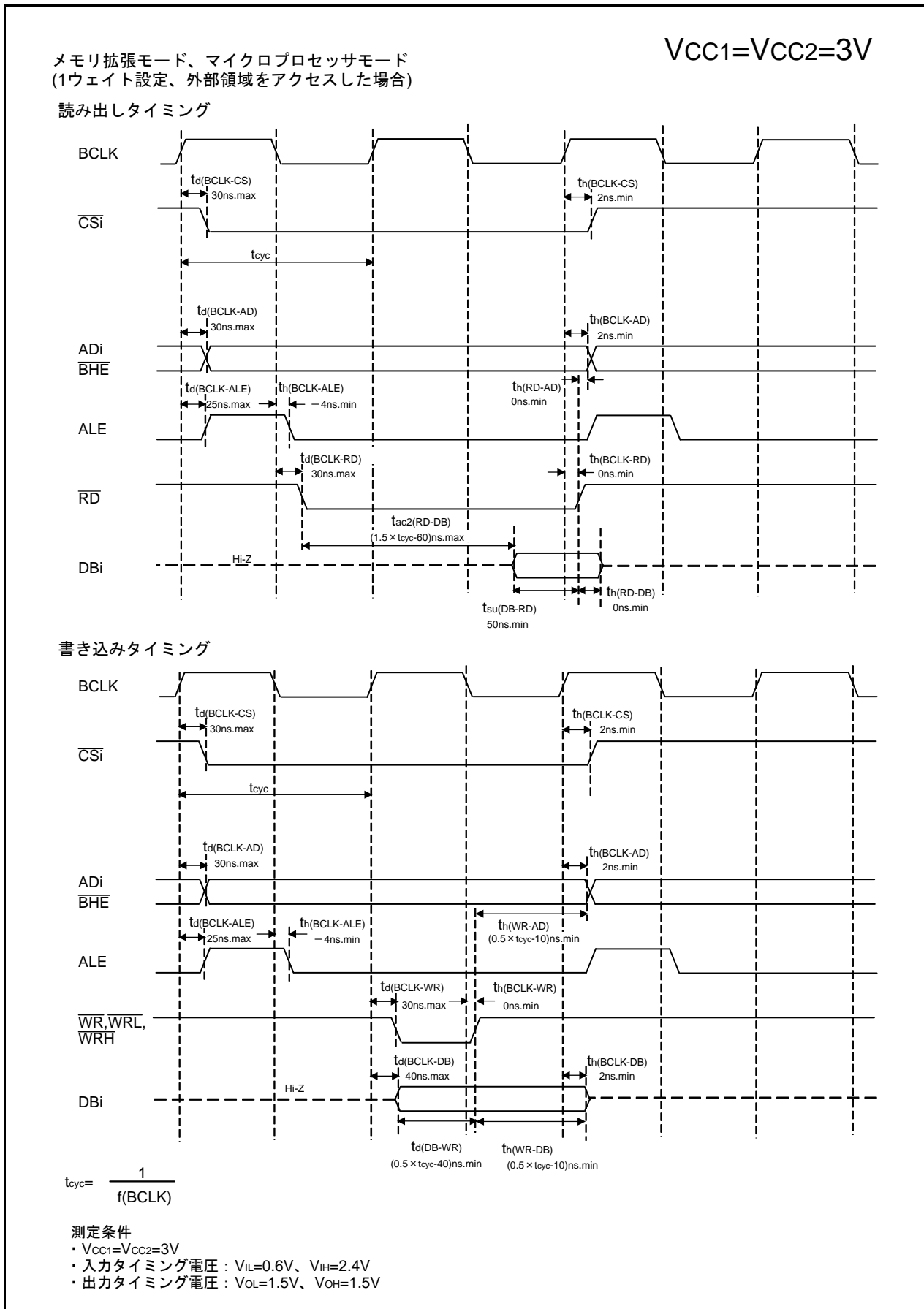


図 23.17 タイミング図(5)



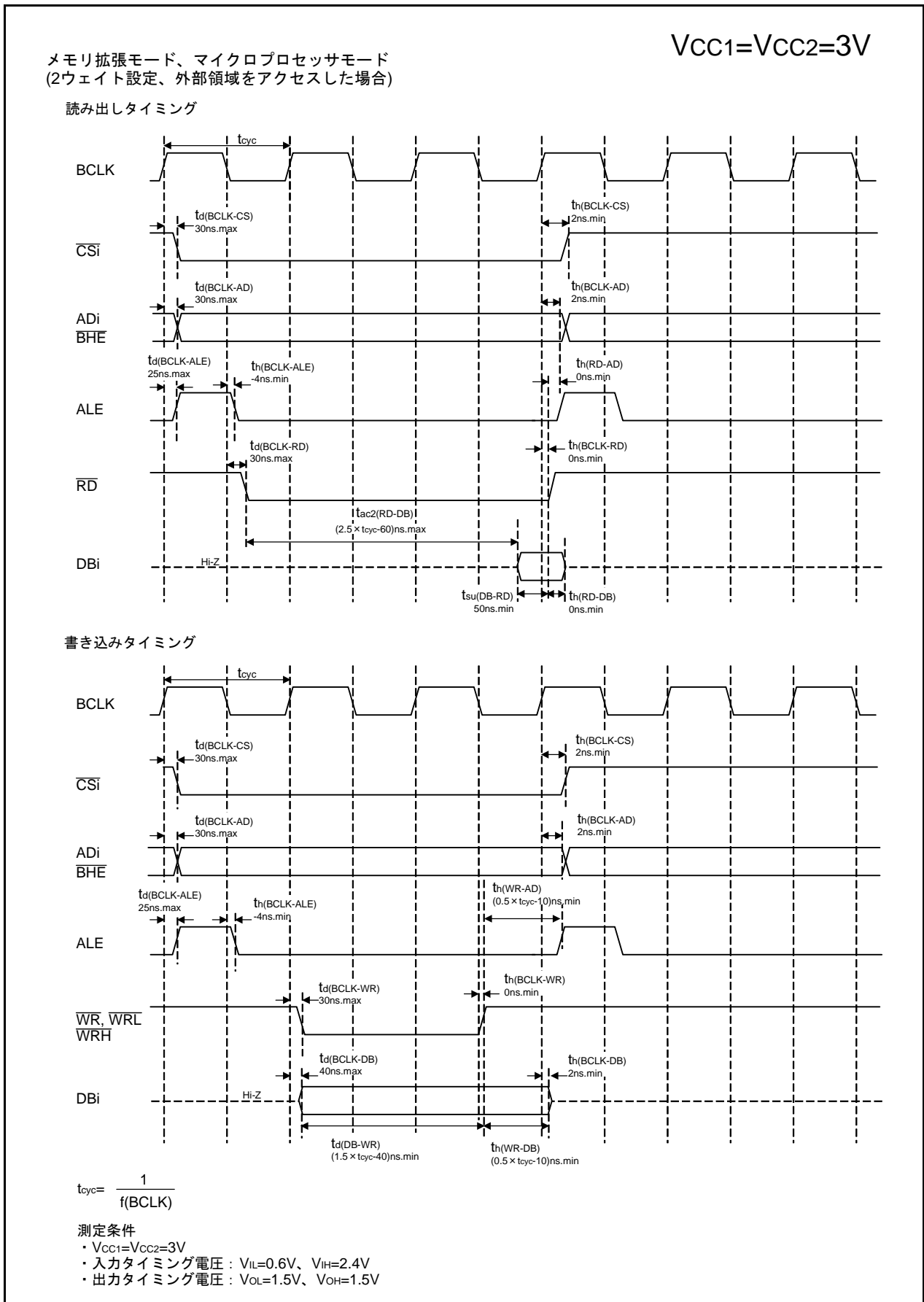


図 23.18 タイミング図(6)

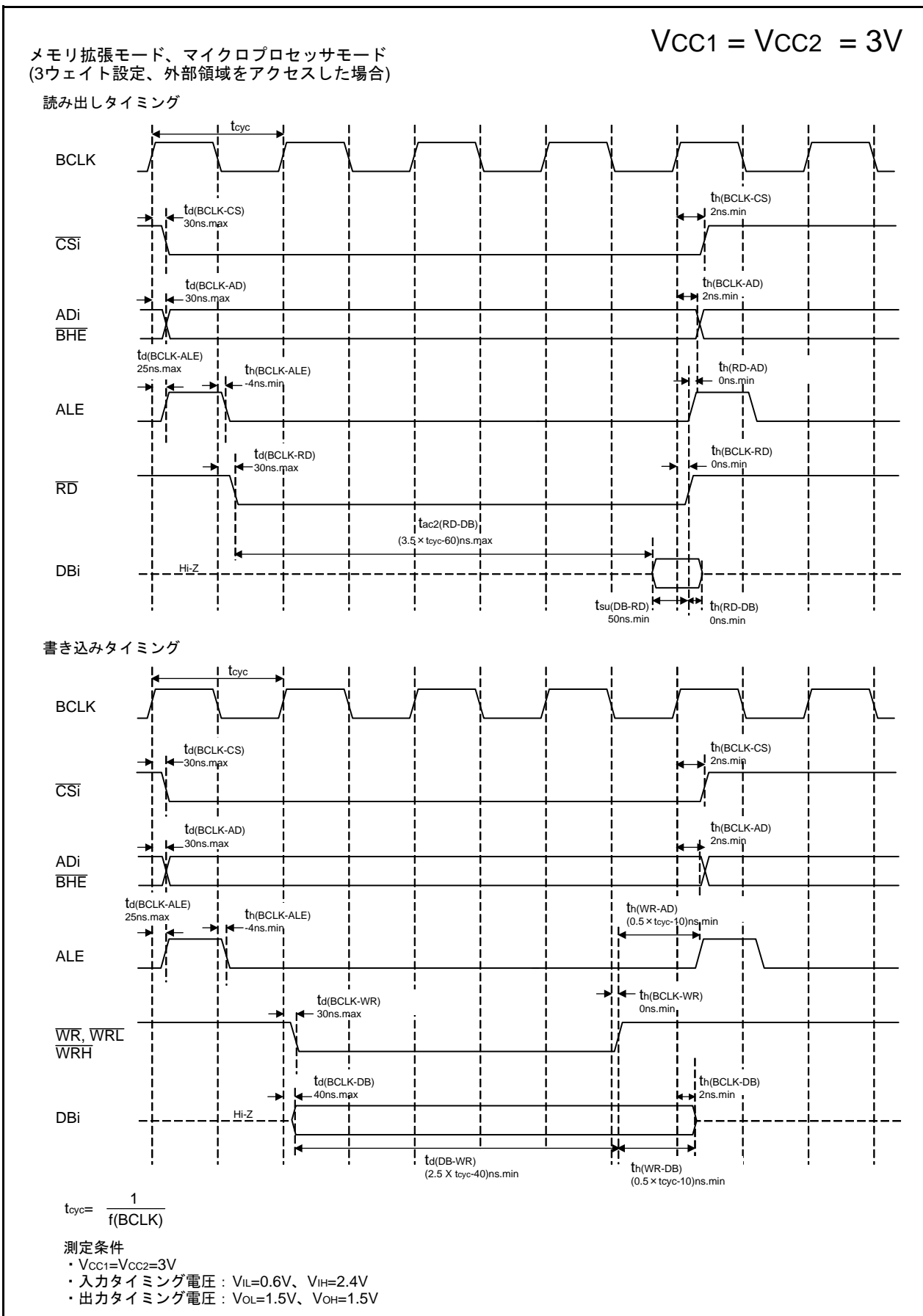


図 23.19 タイミング図(7)

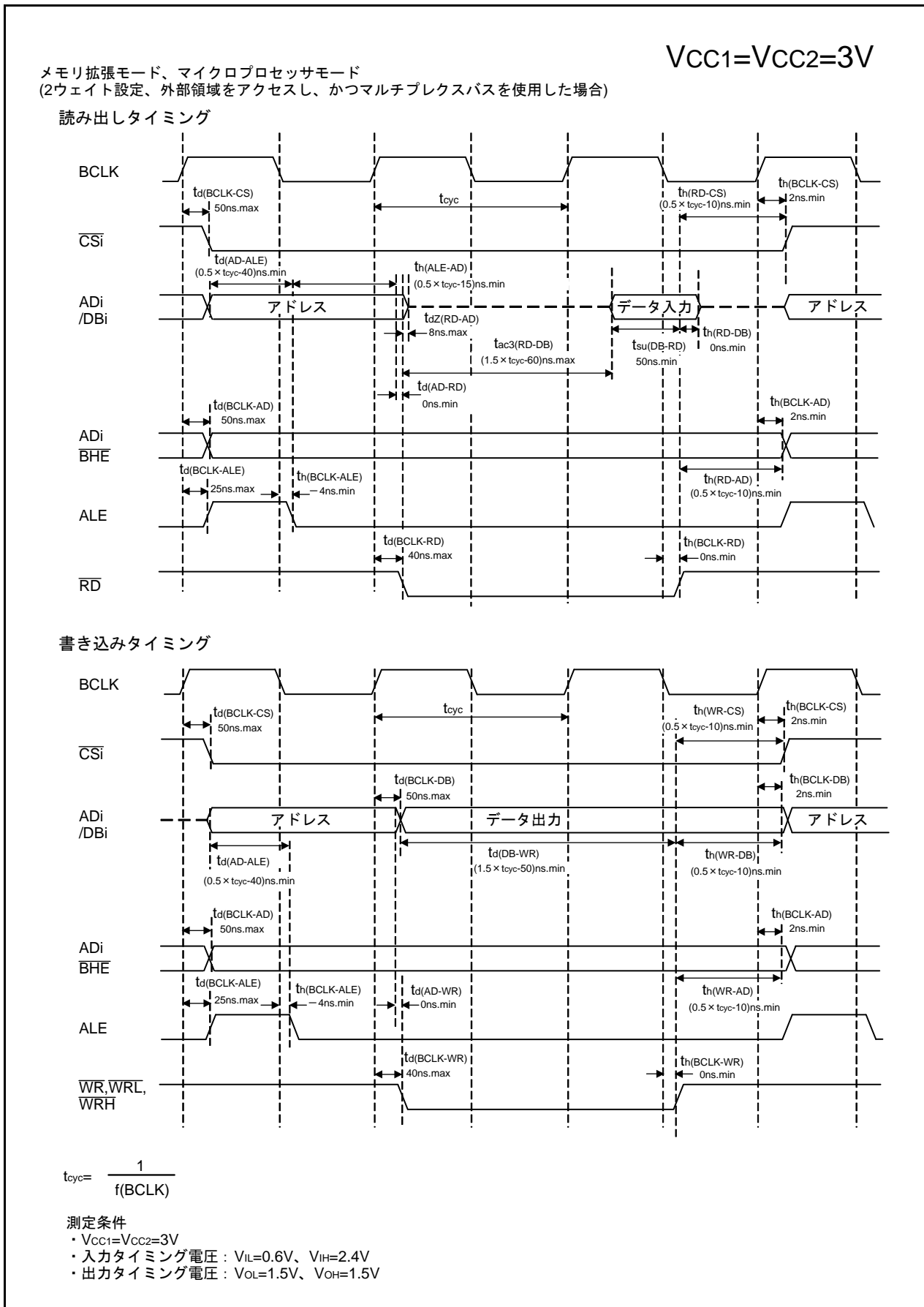


図 23.20 タイミング図(8)

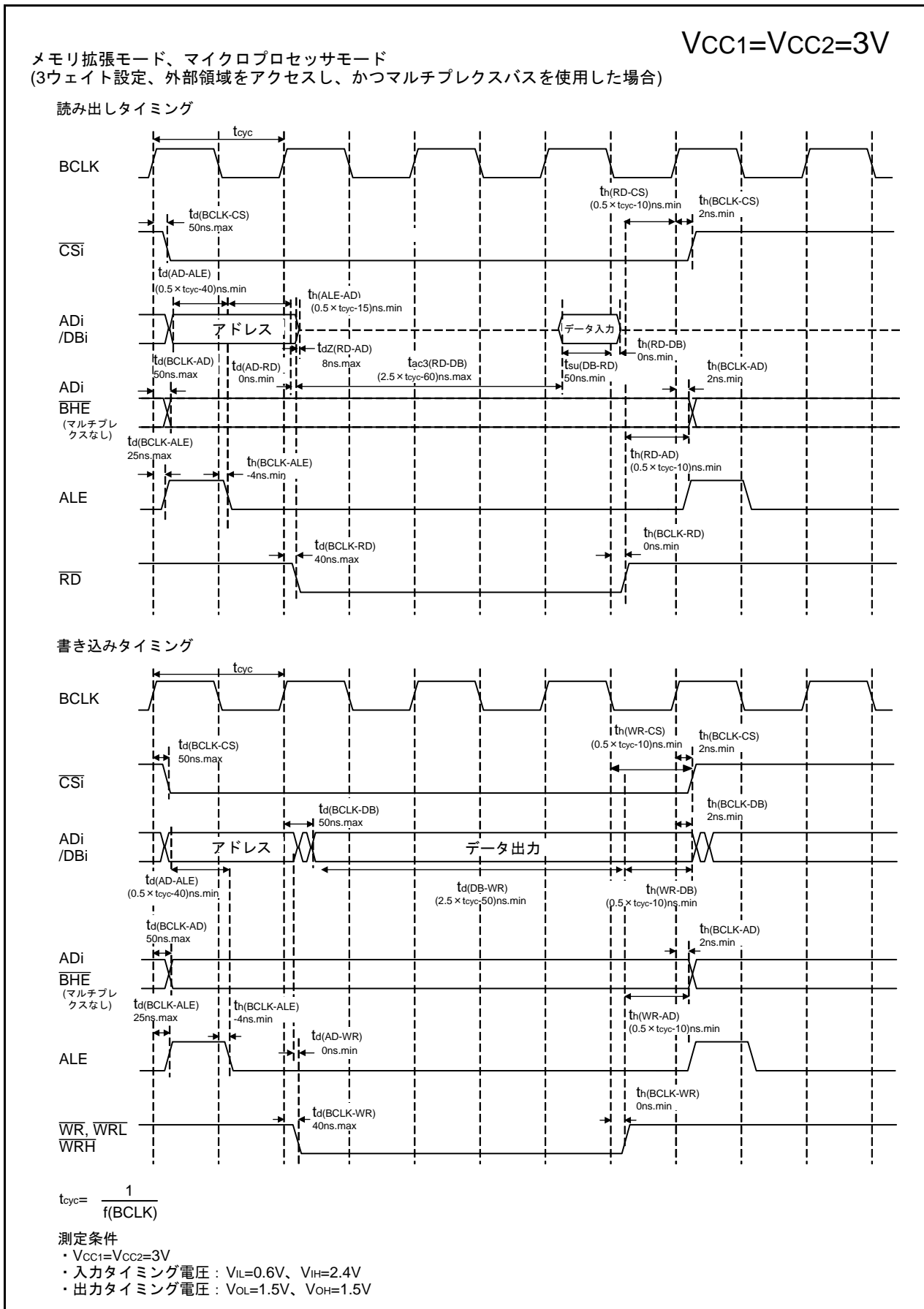


図 23.21 タイミング図(9)

## 24. 使用上の注意事項

### 24.1 SFR

#### 24.1.1 レジスタ設定時の注意事項

表 24.1 に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表 24.1 書き込みのみ可能なビットを含むレジスタ

レジスタ名	シンボル	アドレス
ウォッチドッグタイマリセットレジスタ	WDTR	037Dh
ウォッチドッグタイムスタートレジスタ	WDTS	037Eh
タイマA1-1レジスタ	TA11	0303h ~ 0302h
タイマA2-1レジスタ	TA21	0305h ~ 0304h
タイマA4-1レジスタ	TA41	0307h ~ 0306h
短絡防止タイマ	DTT	030Ch
タイマB2割り込み発生頻度設定カウンタ	ICTB2	030Dh
SI/O3ビットレートレジスタ	S3BRG	0273h
SI/O4ビットレートレジスタ	S4BRG	0277h
UART0ビットレートレジスタ	U0BRG	0249h
UART1ビットレートレジスタ	U1BRG	0259h
UART2ビットレートレジスタ	U2BRG	0269h
UART5ビットレートレジスタ	U5BRG	0289h
UART6ビットレートレジスタ	U6BRG	0299h
UART7ビットレートレジスタ	U7BRG	02A9h
UART0送信バッファレジスタ	U0TB	024Bh ~ 024Ah
UART1送信バッファレジスタ	U1TB	025Bh ~ 025Ah
UART2送信バッファレジスタ	U2TB	026Bh ~ 026Ah
UART5送信バッファレジスタ	U5TB	028Bh ~ 028Ah
UART6送信バッファレジスタ	U6TB	029Bh ~ 029Ah
UART7送信バッファレジスタ	U7TB	02ABh ~ 02AAh
タイマA0レジスタ	TA0	0327h ~ 0326h
タイマA1レジスタ	TA1	0329h ~ 0328h
タイマA2レジスタ	TA2	032Bh ~ 032Ah
タイマA3レジスタ	TA3	032Dh ~ 032Ch
タイマA4レジスタ	TA4	032Fh ~ 032Eh

## 24.2 リセット

### 24.2.1 VCC1

電源投入時等、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源立ち上がり勾配(VCC1)(電圧範囲0V~2.0V)	0.05			V/ms

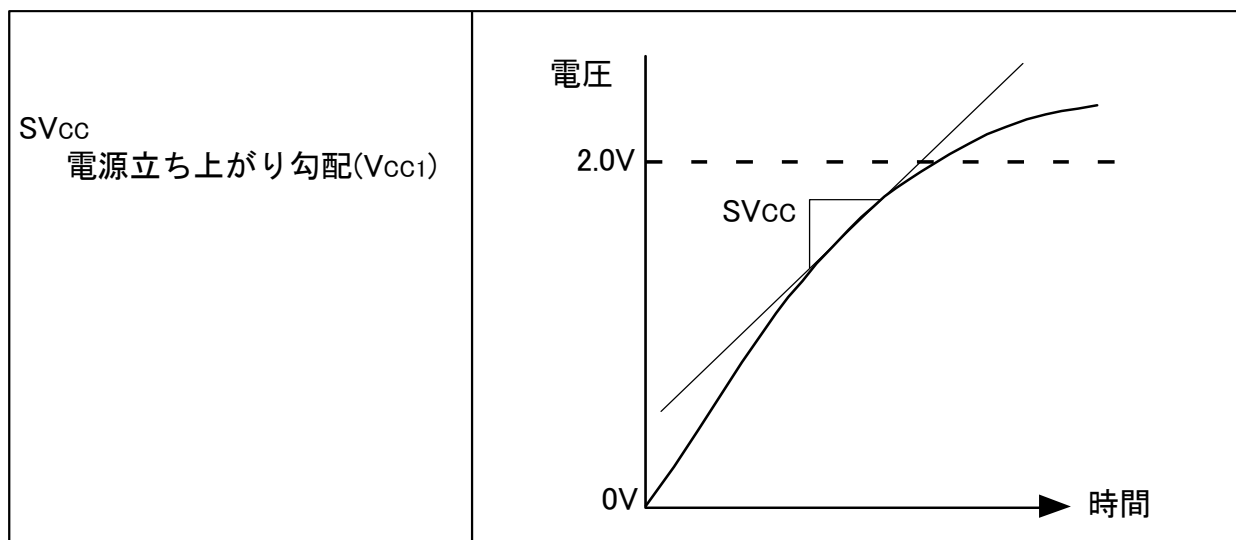


図 24.1 SVCCのタイミング図

### 24.2.2 CNVSS

- リセット後、シングルチップモードで動作を開始する場合、抵抗を介してVSSに接続してください。シングルチップモードでハードウェアリセット1またはハードウェアリセット2を解除した直後に、CNVSS端子の内蔵プルアップがONになるため、最大fOCO-Sの2サイクルの間“H”レベルになります。

### 24.3 外部バス

- CNVSS端子に“H”を入力してハードウェアリセット(ハードウェアリセット1またはハードウェアリセット2)すると、内部ROMは読めません。

## 24.4 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの規格を満たすように電源電圧を安定させてください。

記号	項目	規格値			単位
		最小	標準	最大	
$f_{\text{ripple}}$	電源リップル許容周波数( $V_{CC1}$ )			10	kHz
$V_{p-p(\text{ripple})}$	電源リップル許容振幅電圧	( $V_{CC1}=5\text{V}$ 時)		0.5	V
		( $V_{CC1}=3\text{V}$ 時)		0.3	V
$V_{CC1}(\Delta V/\Delta T)$	電源リップル立ち上がり/立ち下がり勾配	( $V_{CC1}=5\text{V}$ 時)		0.3	V/ms
		( $V_{CC1}=3\text{V}$ 時)		0.3	V/ms

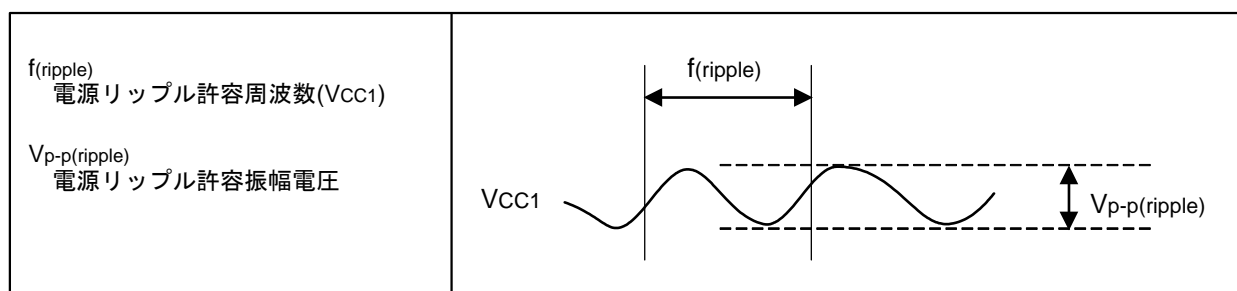


図 24.2 電源変動のタイミング図



## 24.5 パワーコントロール

- ストップモードからハードウェアリセット1によって復帰する場合、メインクロックの発振が十分に安定するまで $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ(i=0~4)のMR0ビットを“0”(パルス出力なし)にしてください。
- WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに移行する場合、命令キューはWAIT命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

ウェイトモードに移行するときのプログラム例を示します。

```

例:          FSET      I          ;
              WAIT          ;ウェイトモードに移行
              NOP          ;NOP命令を4つ以上
              NOP
              NOP
              NOP
  
```

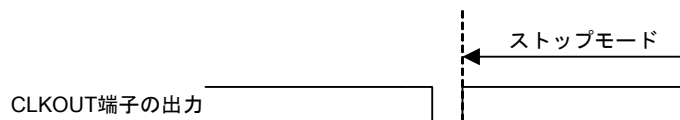
- ストップモードに移行するとき、CM1レジスタのCM10ビットを“1”にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに移行する場合、命令キューはCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。

ストップモードに移行するときのプログラム例を示します。

```

例:          FSET      I          ;
              BSET      0, CM1    ;ストップモードに移行
              JMP.B     L2        ;JMP.B命令を挿入
L2:          NOP          ;NOP命令を4つ以上
              NOP
              NOP
              NOP
  
```

- ストップモード時、CLKOUT端子は“H”を出力します。したがって、CLKOUT端子の出力が“H”から“L”になった直後にストップモードになると“L”幅が短くなります。



- CPUクロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を待ってから切り替えてください。
- CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。
- 外部で生成したクロックをXIN端子に入力し、かつCPUクロック源をメインクロックにしている場合、外部で生成したクロックを停止させないでください。

- 消費電力を小さくするためのポイント

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

**【ポート】**

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れません。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

**【A/Dコンバータ】**

A/D変換を行わない場合、ADCON1レジスタのADSTBYビットを“0”（A/D動作停止）にしてください。なお、A/D変換を行う場合、ADSTBYビットを“1”（A/D動作可能）にしてから $\phi$ ADの1サイクル以上経過した後、A/D変換を開始させてください。

**【D/Aコンバータ】**

D/A変換を行わない場合、DACONレジスタのDAiEビット( $i=0\sim 1$ )を“0”（出力禁止）にし、DAiレジスタを“00h”にしてください。

**【周辺機能の停止】**

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。

**【発振駆動能力の切り替え】**

発振が安定している場合、駆動能力を“LOW”にしてください。

## 24.6 プロテクト

PRC2ビットを“1”（書き込み許可状態）にした後、任意のSFRに書き込みを実行すると“0”（書き込み禁止状態）になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

## 24.7 割り込み

### 24.7.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

### 24.7.2 SPの設定

割り込みを受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後、SP(USP、ISP)は“0000h”です。そのため、SP(USP、ISP)に値を設定する前に割り込みを受け付けると、暴走の要因となります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

### 24.7.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。使用しない場合は、PM2レジスタのPM24ビットを“0”( $\overline{\text{NMI}}$ 割り込み禁止)にしてください。
- $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに移行できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

### 24.7.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”（割り込み要求あり）になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”（割り込み要求なし）にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”（割り込み要求なし）にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 24.3に割り込み要因の変更手順例を示します。

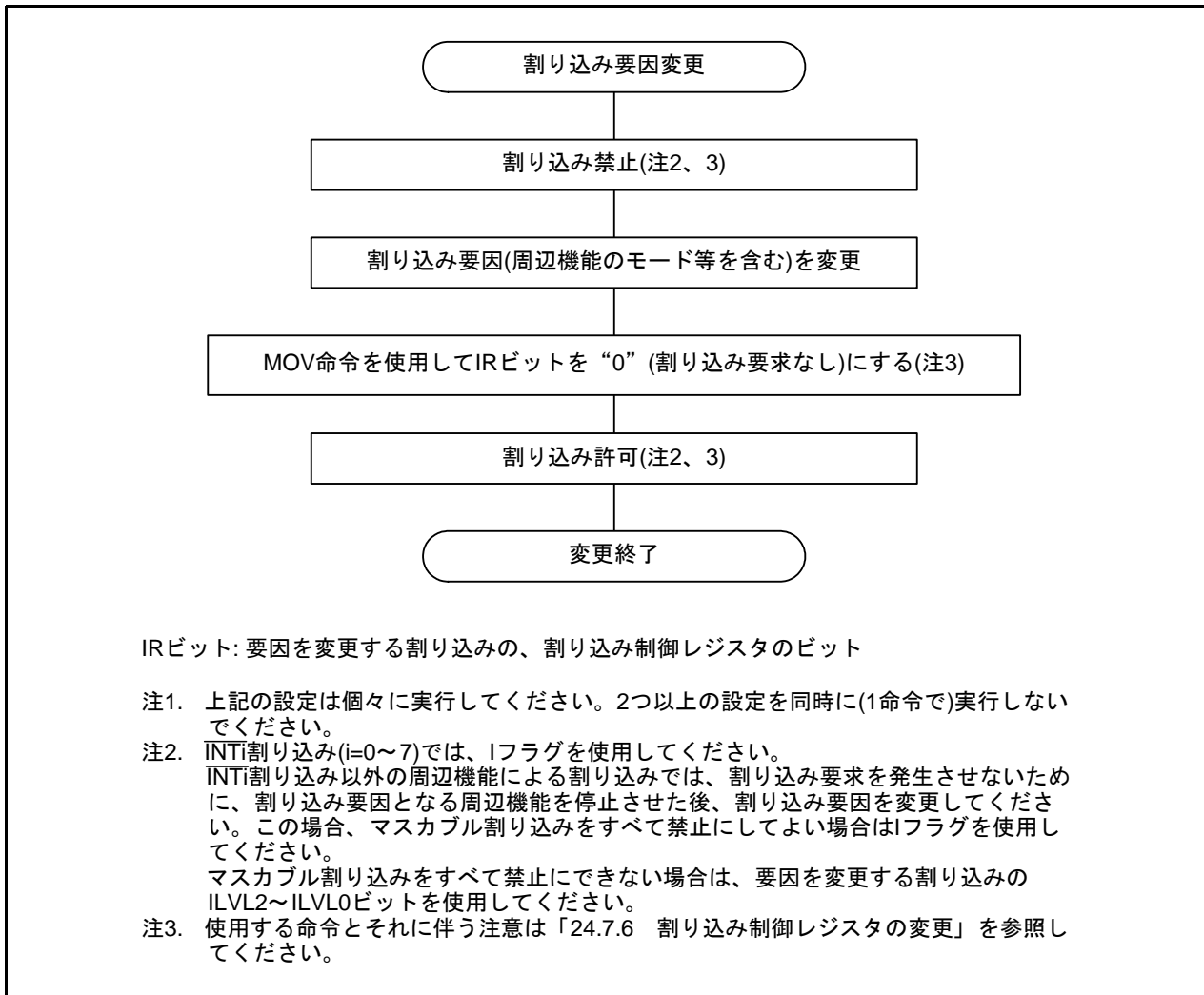


図 24.3 割り込み要因の変更手順例

### 24.7.5 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT}}_0\sim\overline{\text{INT}}_7$ 端子に入力する信号には、CPUクロックに関係なく  $t_w(\text{INL})$ 以上の“L”幅または  $t_w(\text{INH})$ 以上の“H”幅が必要です。
- $\text{INT}_{0\text{IC}}\sim\text{INT}_{7\text{IC}}$ レジスタのPOLビット、IFSRレジスタのIFSR7 $\sim$ IFSR0ビット、IFSR3AレジスタのIFSR31 $\sim$ IFSR30ビットを変更すると、IRビットが“1”（割り込み要求あり）になることがあります。これらのビットを変更した後、IRビットを“0”（割り込み要求なし）にしてください。

### 24.7.6 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所に変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

- IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令…AND、OR、BCLR、BSET

- IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

NOP命令の数は、次の通り

PM20=1(1ウェイト)時、2個。PM20=0(2ウェイト)時、3個。HOLD使用時、4個。

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

### 24.7.7 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

## 24.8 DMAC

### 24.8.1 DMiCONレジスタのDMAEビットへの書き込み(i=0~3)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(d) 条件

- DMAEビットが“1”(DMA<sub>i</sub>がアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(e) 手順

- (6) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
- (7) DMA<sub>i</sub>が初期状態(注2)になっていることを、プログラムで確認する。  
DMA<sub>i</sub>が初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。  
DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. 注2. TCR<sub>i</sub>レジスタの値で確認してください。  
TCR<sub>i</sub>レジスタを読んで、DMA転送開始前にTCR<sub>i</sub>レジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCR<sub>i</sub>レジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

### 24.8.2 DMAC優先順位に関する注意事項

DMACの複数のチャンネルに同じDMA要求要因を選択している場合、DMA0>DMA1>DMA2>DMA3の優先順位を満たさず、DMA転送が行われる可能性があります。



## 24.9 タイマ

### 24.9.1 タイマA

#### 24.9.1.1 タイマA(タイマモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

### 24.9.1.2 タイマA(イベントカウンタモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、TAPOFSレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、TAPOFSレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

### 24.9.1.3 タイマA(ワンショットタイマモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- TAiOUT端子は、TAPOFSレジスタのPOFSiビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
  - 動作モードをタイマモードからワンショットタイマモードに変更したとき
  - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

#### 24.9.1.4 タイマA(パルス幅変調モード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードを選択したとき
- 動作モードをタイマモードからPWMモードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

## 24.9.2 タイマB

### 24.9.2.1 タイマB(タイマモード)

リセット後、タイマは停止しています。T*Bi*MR(*i*=0~5)レジスタ、T*Bi*レジスタ、TBCS0~TBCS3レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのT*Bi*Sビットを“1”(カウント開始)にしてください。

なお、T*Bi*MRレジスタ、TBCS0~TBCS3レジスタは、リセット後に限らずT*Bi*Sビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、T*Bi*レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にT*Bi*レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

### 24.9.2.2 タイマB(イベントカウンタモード)

リセット後、タイマは停止しています。T*B*iMR(*i*=0~5)レジスタ、T*B*iレジスタによって、モードやカウントソース、カウンタの値等を設定した後、T*A*BSRレジスタまたはT*B*SRレジスタのT*B*iSビットを“1”(カウント開始)にしてください。

なお、T*B*iMRレジスタは、リセット後に限らずT*B*iSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、T*B*iレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にT*B*iレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

### 24.9.2.3 タイマB(パルス周期測定/パルス幅測定モード)

リセット後、タイマは停止しています。T*Bi*MR(*i*=0~5)レジスタ、TBCS0~TBCS3レジスタによって、モードやカウントソース等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、T*Bi*MRレジスタ、TBCS0~TBCS3レジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態、T*Bi*MRレジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

TBiICレジスタ(*i*=0~5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でT*Bi*MRレジスタのMR3ビットで判断できます。

測定パルス入力がタイマのオーバフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバフローの回数を別のタイマでカウントしてください。

オーバフローだけの検出にはT*Bi*ICレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにT*Bi*レジスタに値を設定すると、同じ値がカウンタに入ります。

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

## 24.10 シリアルインタフェース

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子：P7\_2/CLK2/TA1OUT/V、P7\_3/CTS2/RTS2/TA1IN/V、P7\_4/TA2OUT/W、P7\_5/TA2IN/W  
P8\_0/TA4OUT/RXD5/SCL5/U、P8\_1/TA4IN/CTS5/RTS5/U

### 24.10.1 クロック同期形シリアルI/Oモード

#### 24.10.1.1 送受信

外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTSi (i=0~2、5~7) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTSi端子の出力レベルは“H”になります。このため、RTSi端子を送信側のCTSi端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。



### 24.10.1.2 送信

外部クロックを選択している場合、UiC0レジスタ(i=0~2、5~7)のCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS}}$ i端子の入力が“L”

### 24.10.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~2、5~7)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

## 24.10.2 クロック非同期型シリアルI/O(UART)モード

### 24.10.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$  ( $i=0\sim 2, 5\sim 7$ ) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTS}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

### 24.10.2.2 送信

外部クロックを選択している場合、 $\text{UiC0}$ レジスタ ( $i=0\sim 2, 5\sim 7$ )の $\text{CKPOL}$ ビットが“0” (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、 $\text{CKPOL}$ ビットが“1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態です。次の条件を満たしてください。

- $\text{UiC1}$ レジスタの $\text{TE}$ ビットが“1” (送信許可)
- $\text{UiC1}$ レジスタの $\text{TI}$ ビットが“0” ( $\text{UiTB}$ レジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS}}$ 端子の入力が“L”

## 24.10.3 特殊モード(I<sup>2</sup>Cモード)

### 24.10.3.1 各コンディションの生成

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、 $\text{UiSMR4}$ レジスタ ( $i=0\sim 2, 5\sim 7$ )の $\text{STSPSEL}$ ビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット ( $\text{STAREQ}$ 、 $\text{RSTAREQ}$ 、 $\text{STPREQ}$ )を“0”から“1”にしてください。

### 24.10.3.2 UART5、UART7

$\text{UiMR}$ レジスタ ( $i=5, 7$ )の $\text{SMD2}\sim\text{SMD0}$ ビットを“010b”、 $\text{UiSMR}$ レジスタの $\text{IICM}$ ビットを“1”でUART5、UART7をI<sup>2</sup>Cモードで使用している場合、 $\text{SCLi}$ 端子のレベルを正しく読めません。

UART5、UART7をI<sup>2</sup>Cモードで使用する場合は $\text{SCLi}$ 端子のレベルを読まないでください。 $\text{SCLi}$ 端子のレベルを読む必要がある場合は別の $\text{UARTj}$  ( $j=0\sim 2, 6$ )を使用してください。

## 24.10.4 特殊モード4(SIMモード)

リセット解除後、 $\text{U2C1}$ レジスタの $\text{U2IRS}$ ビットを“1” (送信完了)、 $\text{U2ERE}$ ビットを“1” (エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、 $\text{IR}$ ビットを“0” (割り込み要求なし)にしてください。

### 24.10.5 SI/O3、SI/O4

SiC(i=3, 4)レジスタのSMi2ビットが“0”(SOUTi出力)でかつ、SMi6ビットが“1”(内部クロック)の状態、SMi3ビットを“0”(入出力ポート)から“1”(SOUTi出力、CLKi機能)に変更した場合、10ns程度、SOUTi端子にSMi7ビットで設定したSOUTi初期値が出力されることがあります。その後、SOUTi端子はハイインピーダンスとなります。

SMi3ビットを“0”から“1”に変更したときに、SOUTi端子から出力されるレベルが問題となる場合、SMi7ビットでSOUTiの初期値を設定してください。

## 24.11 A/Dコンバータ

ADCON0レジスタ(ビット6を除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

AD変換停止後、ADSTBYビットを“1”から“0”にしてください。

ADCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 $\phi$ ADの1サイクル以上経過した後にA/D変換を開始させてください。

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(ANi(i=0~7)、AN0\_i、AN2\_i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC1端子とVSS端子の間にもコンデンサを挿入してください。図24.4各端子の処理例を示します。

アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。また、ADCON0レジスタのTRGビットが“1”(外部トリガ)の場合は、 $\overline{\text{ADTRG}}$ 端子に対応するポート方向ビットは“0”(入力モード)にしてください。

キー入力割り込みを使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

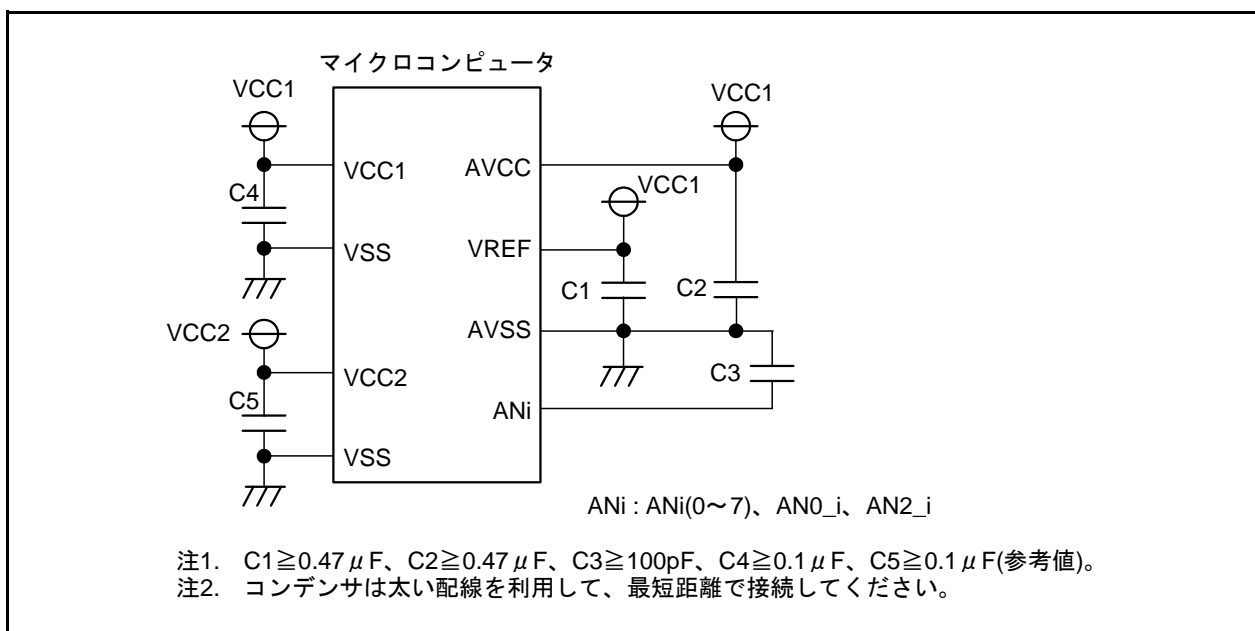


図 24.4 各端子の処理例

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”（A/D変換停止）にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

AN4～AN7は、KI0～KI3と共用しているため、中間電位を入力すると、他のアナログ入力端子(AN0～AN3、AN0\_0～AN0\_7、AN2\_0～AN2\_7)より消費電流が増加します。

単発モードまたは単掃引モードのとき、A/D変換が終了すると、ADCON0レジスタのADSTビットが“0”（A/D変換停止）になります。 $\overline{ADTRG}$ によるトリガを選択している場合も、ADSTビットが“0”になりますので、続けてトリガが入力される可能性がある場合は、再度プログラムでADSTビットを“1”（A/D変換開始）にしてください。

VREF端子はVCC1端子に接続してください。VREF端子はVCC1端子と内部で接続されているため、端子間に電位差が生じると電流が流れます。

A/D変換が終わる前にADiレジスタを読み出すと、不定値を読み出します。ADiレジスタはA/D変換が終了した後に読み出してください。A/D変換の終了は次の方法で検出してください。

- 単発モード、単掃引モードA/D変換終了時、ADICレジスタのIRビットが“1”（割り込み要求あり）になりますので、IRビットが“1”になったことを確認してADiレジスタを読み出してください。A/D割り込みを使用しない場合は、ADiレジスタ読み出し後、プログラムでIRビットを“0”（割り込み要求なし）にしてください。
- 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1  
IRビットは変化しません。最初は1回分の変換時間が過ぎた後でADiレジスタを読み出してください（「18.2 変換速度」参照）。以降は任意のタイミングで読み出すと、それ以前にA/D変換した結果が読み出せます。

### 24.11.1 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1

これらのモードでは、ADiレジスタ（ $i=0\sim7$ ）の値が書き換わる期間にADiレジスタを読むと、不定値を読み出すことがあります。そのため、ADiレジスタを複数回読んで、読んだ値が有効か判断してください。なお、不定値を読み出す期間はfADの1サイクルです。

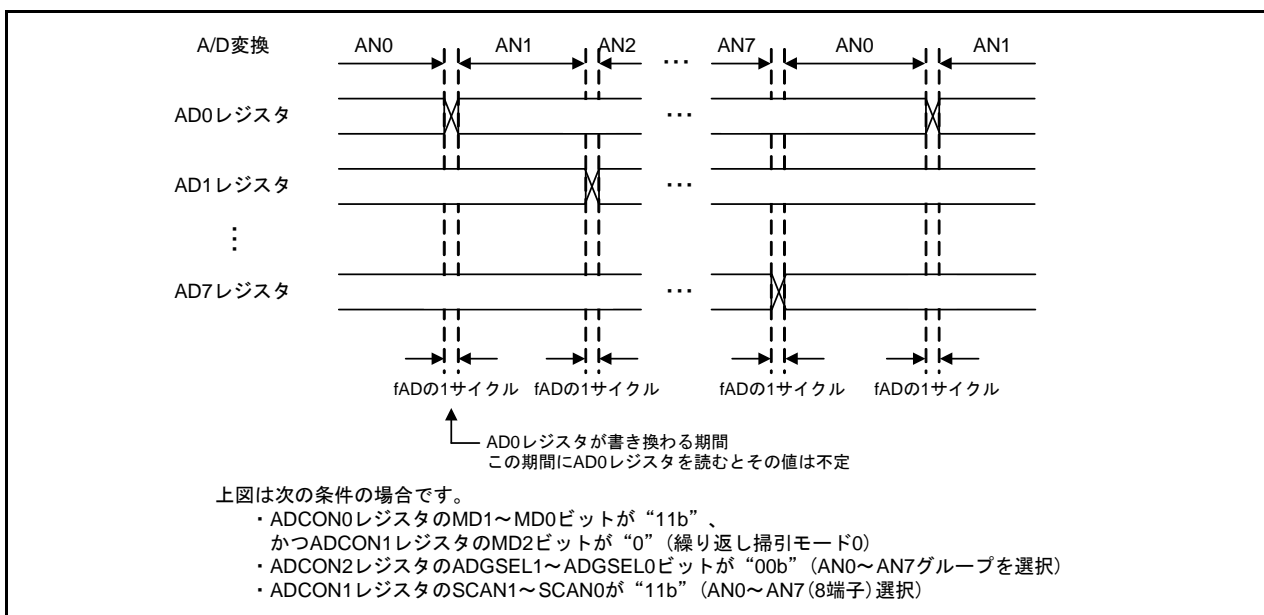


図 24.5 ADiレジスタの値が書き換わる期間

## 24.12 プログラマブル入出力ポート

TB2SCレジスタのIVPCR1ビットが“1” ( $\overline{SD}$ 端子入力による三相出力強制遮断許可)のとき、 $\overline{SD}$ 端子に“L”を入力すると、P7\_2～P7\_5、P8\_0～P8\_1端子はハイインピーダンスになります。

S3CレジスタのSM32ビットを“1”にすると、P9\_2端子はハイインピーダンスになります。S4CレジスタのSM42ビットを“1”にすると、P9\_6端子はハイインピーダンスになります。

## 24.13 フラッシュメモリ版

### 24.13.1 フラッシュメモリ書き換え禁止機能

0FFFDh、0FFFE3h、0FFFEb、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh番地は、IDコードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFFh番地はOFS1番地です。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

### 24.13.2 ストップモード

ストップモードに移行する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)の命令を実行してください。

### 24.13.3 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

### 24.13.4 低消費電力モード、オンチップオシレータ低消費電力モード

CM0レジスタのCM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- プログラム、ブロックイレーズ、ロックビットプログラム

### 24.13.5 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

### 24.13.6 プログラムコマンド

第1バスサイクルで“xx41h”を書き、第2バスサイクル、第3バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクル、第3バスサイクルで指定する書き込み番地と同一にかつ偶数番地にしてください。

### 24.13.7 ロックビットプログラムコマンド

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

### 24.13.8 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM1レジスタのCM11ビットを“0”(メインクロック)、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

### 24.13.9 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。  
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

### 24.13.10 割り込み

EW0モード

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ(発振停止、再発振検出、電圧低下検出)割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。 $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ(発振停止、再発振検出、電圧低下検出)割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ(発振停止、再発振検出、電圧低下検出)割り込みは使用しないでください。
- $\overline{\text{NMI}}$ 割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。 $\overline{\text{NMI}}$ 割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

### 24.13.11 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、PM24ビットが“1”(NMI割り込み許可)の場合は、NMI端子に“H”を入力した状態で行ってください。

### 24.13.12 書き換え

EW0モード

- 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

EW1モード

- 書き換え制御プログラムが格納されているブロックを書き換えしないでください。
- フラッシュメモリ上で他のブロックに対してソフトウェアコマンドを発行した場合、ソフトウェアコマンドが期待通りに実行されない可能性があります。本現象はEW1モード中に実行する書き換えプログラム内でRAMに書き込む場合に発生する可能性があります。



現象発生プログラム例(プログラムコマンド実行時)

PRG\_CMD:

```

MOV.W PRG_ADDR , A0 ;
MOV.W PRG_ADDR+2 , A1 ;
STE.W #0041h , [A1A0] ;プログラムコマンド発行
STE.W WR_DATA0 , [A1A0] ;1ワード目の書き込みデータ発行
ADD.W #4 , PRG_ADDR ;← RAMに書き込む
; (誤って2ワード目の書き込みデータと認識する)
MOV.W PRG_ADDR , A0 ;
STE.W WR_DATA1 , [A1A0] ;2ワード目の書き込みデータ発行
; (WR_DATA1の値によっては次のソフトウェア
; コマンドとして認識する。)
:
:
JMP PRG_CMD

```

\*PRG\_ADDR: コマンド発行アドレス格納用RAMのアドレス

フラッシュメモリの書き換えを行う場合、EW0モードを使用してフラッシュメモリ以外の領域(RAM、外部領域)で書き換えプログラムを動作させてください。EW1モードを使用する場合はEW1モード中にRAMに書き込まないようにしてください。

### 24.13.13 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

### 24.13.14 プログラム、イレーズ回数と実行時間について

ソフトウェアコマンド(プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド)の実行時間はプログラム、イレーズ回数とともに長くなります。

ソフトウェアコマンドはハードウェアリセット1、ハードウェアリセット2、 $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ(発振停止、再発振検出、電圧低下検出)割り込みで中断されます。ソフトウェアコマンドを中断した場合、そのブロックをイレーズした後に再度実行してください。

### 24.13.15 ブートモード使用時の注意事項

ブートモードへ移行の際、 $\overline{\text{RESET}}$ 端子に“L”を入力している期間中にP5\_0端子に“H”、P5\_5端子に“L”、CNVSS端子に“H”を入力すると、これらの端子の条件が揃ったタイミングで下記に示す対象端子から一瞬(約4ns)、不定な信号を出力します。

また、 $\overline{\text{RESET}}$ 端子に“L”、P5\_0端子に“H”、P5\_5端子に“L”、CNVSS端子に“H”を入力している状態でP8\_5端子に入力している信号を“H”から“L”にするとP7\_0端子から一瞬(約4ns)、不定な信号を出力します。

標準シリアル入出力モード1または標準シリアル入出力モード2を使用してシリアルライタと接続する際、上記の条件を満たす可能性がありますので対象端子から不定な信号が出力される可能性があります。

- 対象端子：P0\_0～P0\_7、P1\_0～P1\_7、P2\_0、P4\_4、P7\_0  
(P7\_0端子はP8\_5端子を“H”から“L”にするタイミングで不定出力)

ブートモードへ移行するための端子制御を変更できる場合、次に示すタイミングで各端子を制御することで対象端子からの不定出力を回避することが出来ます。

#### 【不定出力回避方法】

- (1) シングルチップモードでマイコンを動作させる
- (2) シングルチップモードで動作中にCNVSS端子に“H”、P5\_0端子に“H”、P5\_5端子に“L”、P8\_5端子に“H”を入力する
- (3)  $\overline{\text{RESET}}$ 端子に“L”を入力し、 $\frac{1}{f_{\text{OCO-S}}} \times 20$ 以上待つ
- (4)  $\overline{\text{RESET}}$ 端子に“H”を入力する

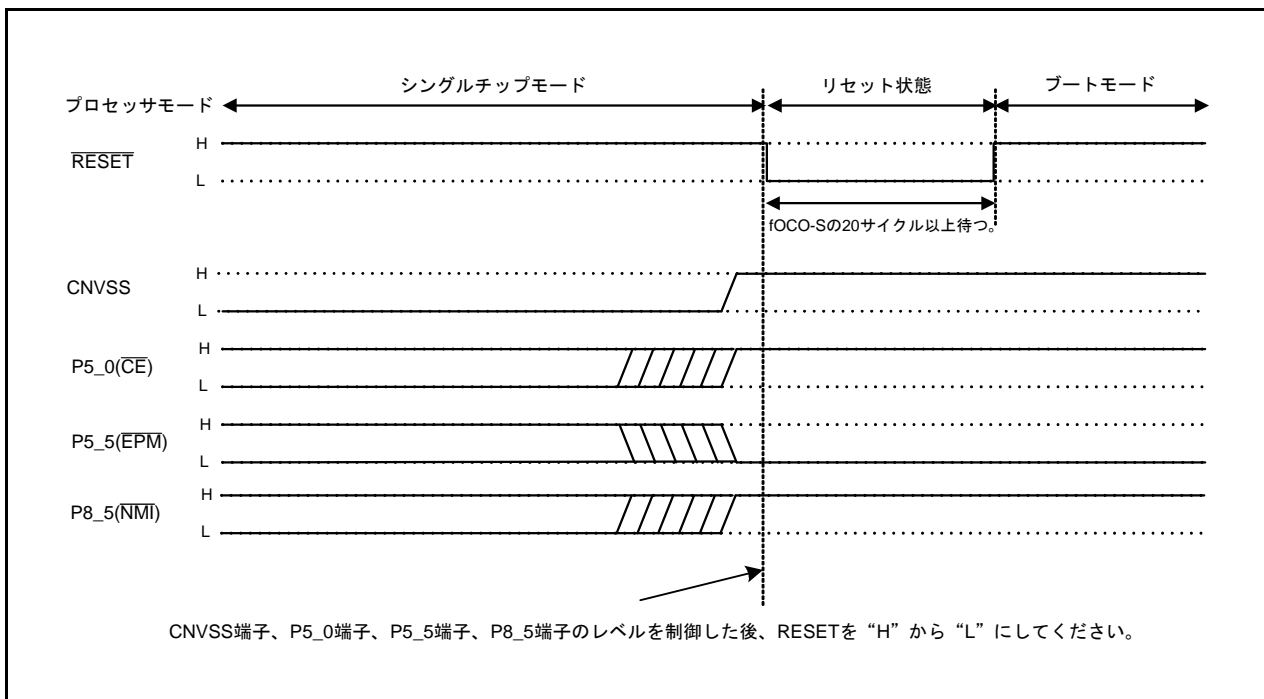


図 24.6 各端子の制御タイミング図

### 24.14 ノイズに関する注意事項

ノイズ対策として、VCC1端子とVSS端子間、VCC2端子とVSS端子間にバイパスコンデンサ(0.1 $\mu$ F程度)を最短でかつ、比較的太い配線を使って接続してください。図 24.7 バイパスコンデンサの接続例を示します。

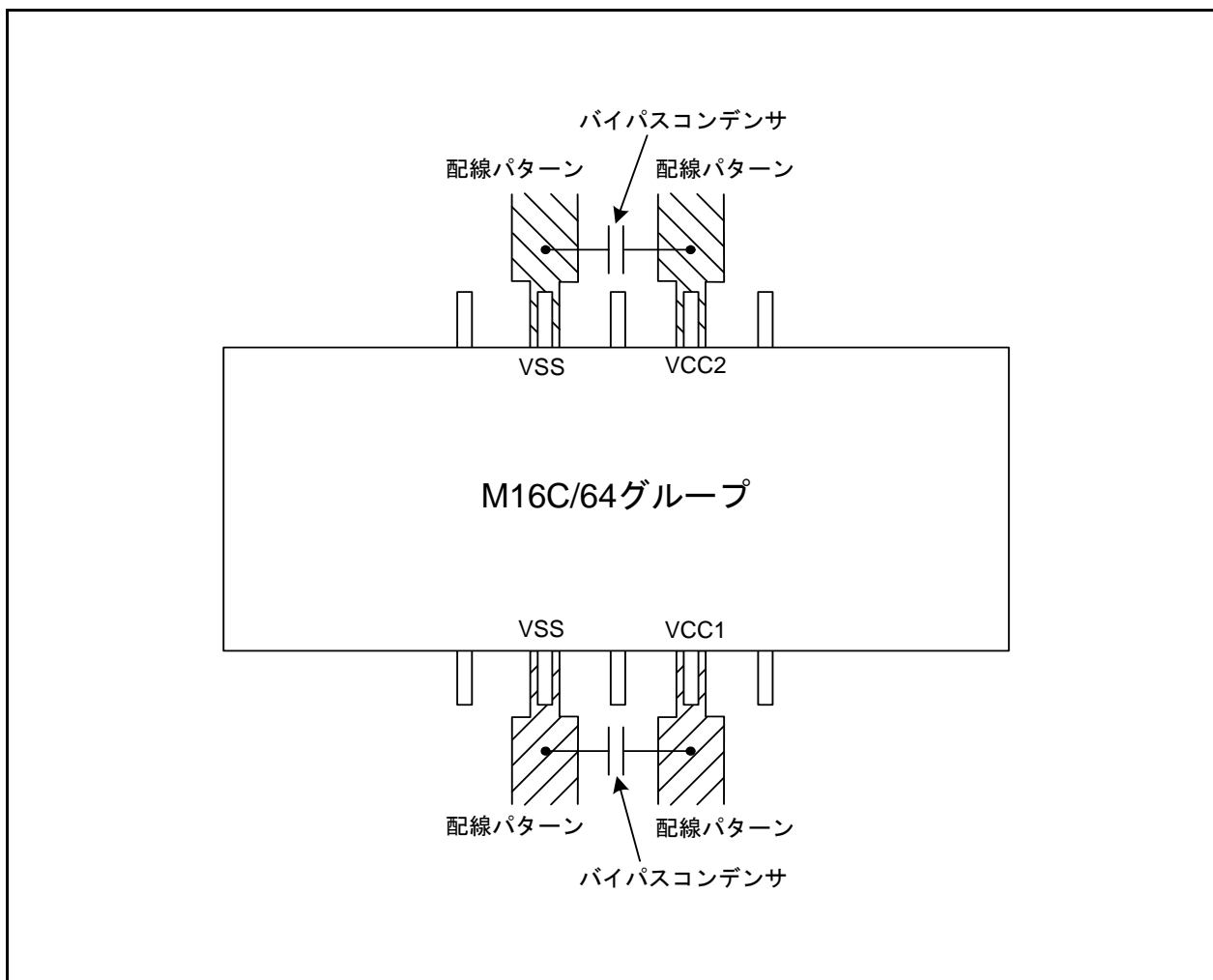
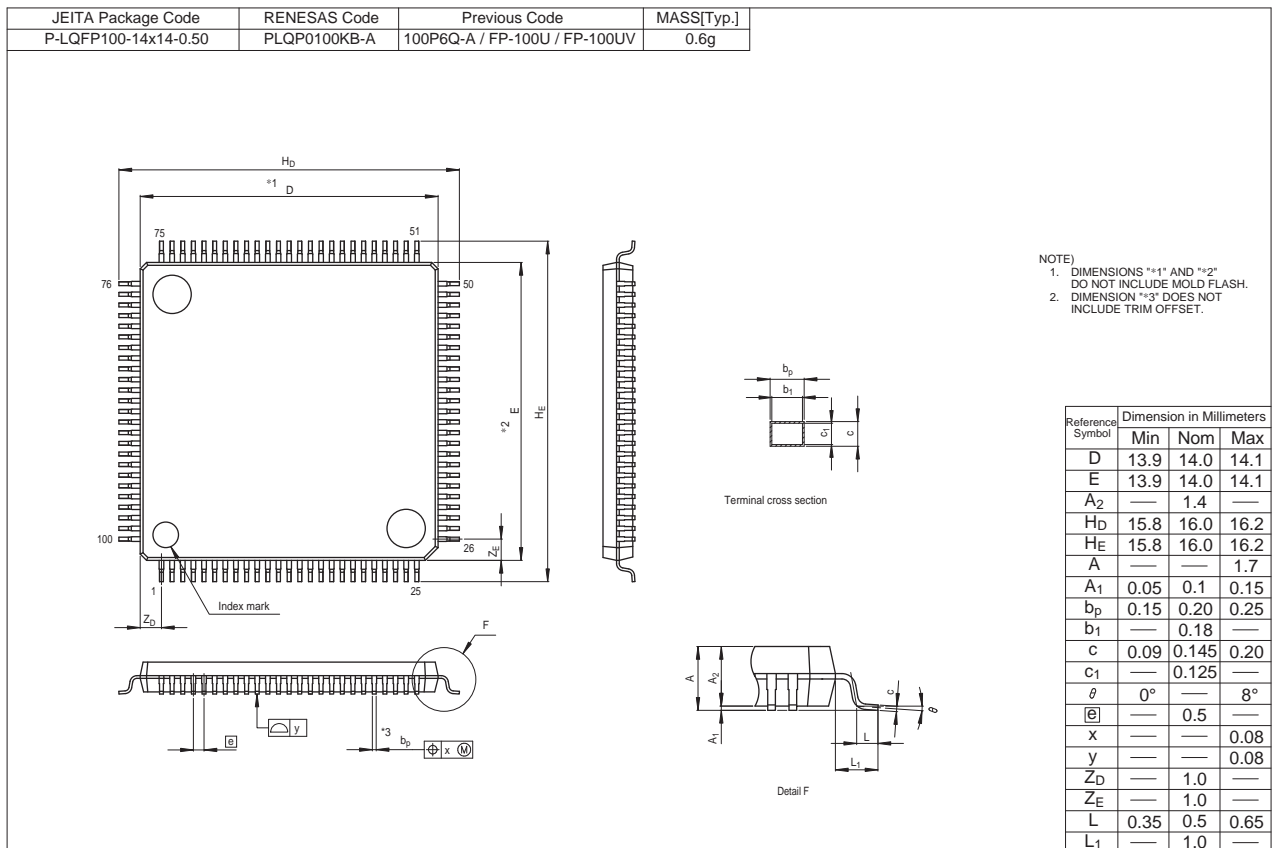
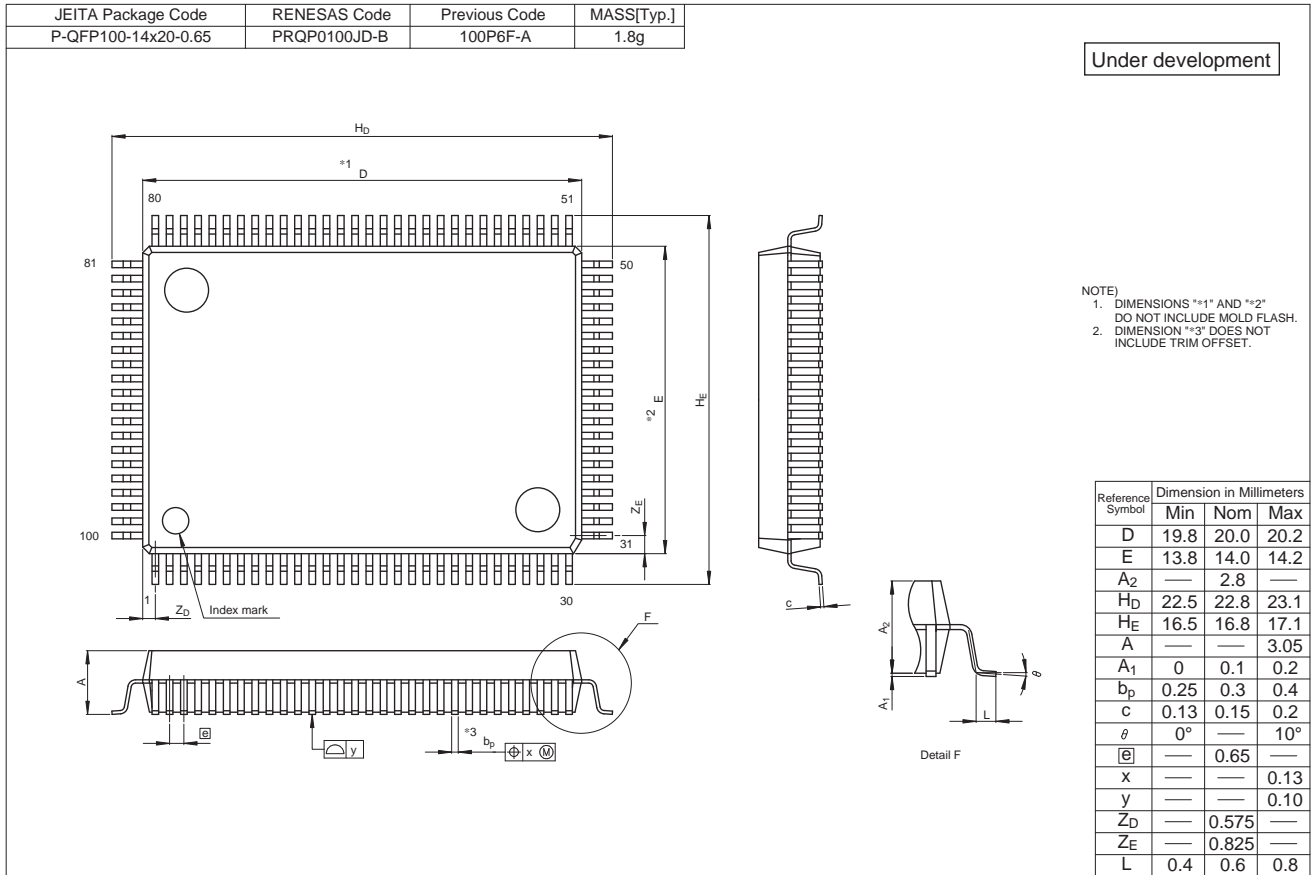


図 24.7 バイパスコンデンサの接続例

付録1.外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



## 付録2. M16C/62PとM16C/64との相違点

表付録2.1 M16C/62PとM16C/64との相違点(1)

項目	M16C/62P	M16C/64
最小命令実行時間	41.7ns(f(BCLK)=24MHz, VCC1=3.0V~5.5V) 100ns(f(BCLK)=10MHz, VCC1=2.7V~5.5V)	40ns(f(BCLK)=25MHz, VCC1=2.7V~5.5V)
入出力ポート	入出力：87本（Nチャンネルオープンドレイン 出力：2本）、入力：1本	入出力：88本（Nチャンネルオープンドレイン 出力：3本）
A/Dコンバータ使用時のキー入力割り込み、INT6、INT7無効化機能	なし	あり
NMI端子	リセット解除時有効	リセット解除時無効 PM24ビットにて有効に設定可能
CNVSS端子	－	シングルチップモード時、リセット解除後 125kHzオンチップオシレータの最大2サイクル間、内蔵プルアップが有効になる。
CLKOUT端子	ストップモード移行時、端子の状態を保持	ストップモード時に“H”出力
P8_2~P8_4(INT0~INT2)	周辺機能とポートの入力が共通	周辺機能とポートの入力を分離 (INT3~INT7の構成と同一にした)
未使用端子処理	Vref端子:VSSに接続	Vref端子:VCC1に接続
外部バス	－	SFR領域の追加（0D000h~0D7FFh番地） データフラッシュ領域の増加、プログラムROM2領域の追加に伴って、使用できる外部領域が異なる。
DMAC	2ch(25要因)	4ch(43要因)
電圧低下検出回路	Vdet3	名称変更：Vdet0
	－	電圧低下検出回路を使用する際に、PM25ビットを“1”（クロック供給許可）にする必要有り。PM25ビットは新規追加ビット
コールドスタート/ウォームスタート判定フラグ	Vdet0非連動	Vdet0連動
オンチップオシレータの周波数	約1MHz	約125kHz
リセット解除後のCPUクロック源	メインクロック	125kHzオンチップオシレータクロック
PLL周波数シンセサイザ	逡倍率：2, 4, 6, 8逡倍	逡倍率：2, 4, 6, 8逡倍 メインクロック：1分周(スルー)、2分周、4分周 PLL周波数シンセサイザに入力するクロックを2MHz~5MHzにする必要有り
	逡倍率の変更 リセット後、1回のみ	逡倍率の変更 制限なし
CPUクロックが16MHz以上のときのSFRアクセスウェイト	2ウェイト	1ウェイト
レジスタ書き込みに対するプロテクト		プロテクトビット6追加し、PRG2Cレジスタをプロテクトする プロテクトビット3でプロテクトするレジスタにVWOCレジスタを追加

表付録2.2 M16C/62PとM16C/64との相違点(2)

項目	M16C/62P	M16C/64
A/Dコンバータ	動作周波数： 3.3V : fAD = 10MHz (± 5LSB) 5.0V : fAD = 12MHz (± 3LSB)	動作周波数： 3.0V : fAD = 10MHz (± 3LSB) 3.3V : fAD = 16MHz (± 3LSB) 5.0V : fAD = 25MHz (± 3LSB)
	VrefCUT (接続から1μS待つ必要あり)	A/Dスタンバイ (接続からφADの1サイクルで動作開始)
	10BitA/D変換モード、8BitA/D変換モード	10BitA/D変換モードのみ
	サンプル&ホールドあり、なし	サンプル&ホールドありのみ
	外部オペアンプモードあり	外部オペアンプモードなし
	2.0V ≤ Vref ≤ Vcc1 で使用可能	Vcc1、AVcc、Vrefを同一電源で使用する必要あり
	外部トリガ使用時のADSTビット： A/D変換完了時、“1”のまま変化しない	外部トリガ使用時のADSTビット： A/D変換完了時に“0”になる
	ADSTビットに“1”を書き込んだ後の動作： ADSTビットは書き込み直後“1”になる	ADSTビットに“1”を書き込んだ後の動作： ADSTビットは書き込み後、開始ダミー時間経過後“1”になる
タイマA,B	動作クロック： • f1の1, 2, 8, 32分周 • fc32	動作クロック： • f1の1, 2, 8, 32, 64分周 (タイマA,B, 三相タイマに1個分周回路あり) • fc32 • オンチップオシレータ (125kHz)
	PWM出力レベル固定	PWM出力レベル反転可能
	タイマAイベントカウントモードのアップダウン切り替え： TAjOUT端子で切り替え可能 (j=0~4)	タイマAイベントカウントモードのアップダウン切り替え： TAjOUT端子で切り替え不可 (j=0~4)
	パルス周期幅測定モード/パルス幅測定モード時、タイマBiレジスタ (i=0~5)： 初期値を設定不可	パルス周期幅測定モード/パルス幅測定モード時、タイマBiレジスタ (i=0~5)： 初期値を設定可能
	タイマB オーバフローフラグ： タイマ停止中にクリアできない	タイマB オーバフローフラグ： タイマ停止中にクリア可能
	アップダウンフラグレジスタのタイマA2~A4二相パルス信号処理機能選択ビットはWrite Only	アップダウンフラグレジスタのタイマA2~A4二相パルス信号処理機能選択ビットはRead/Write可能に変更
	三相タイマ	三相タイマ出力遮断：NMI端子
ウォッチドックタイマ	スタート、リフレッシュレジスタ同じ	スタート、リフレッシュレジスタ分離 オプション機能選択番地 (OFS1) にて、カウントソース選択と保護が可能
シリアルインタフェース UART	UART3本 (UART0~2)	UART6本 (URAT0~2,5~7)
	動作クロック： f1の1, 2, 8, 32分周	動作クロック： f1の1, 2, 8, 32分周 (UART0~UART2で1個、UART5~UART7で1個の分周回路あり)
シリアルインタフェース SI/O3, SI/O4	動作クロック： f1の1, 2, 8, 32分周	動作クロック： f1の1, 2, 8, 32分周 (SI/O3, SI/O4で1個の分周回路あり)
	SOUT出力：ハイインピーダンス	SOUT出力：ハイインピーダンス/最終ビットレベル保持切り替え機能あり

表付録2.3 M16C/62PとM16C/64との相違点(3)

項目	M16C/62P	M16C/64
割り込み	35 ベクタ	48 ベクタ
	外部割り込み 6本	外部割り込み 8本 (INT6、INT7追加)
	—	割り込み要因 DMA2、DMA3、UART5、UART6、UART7、 INT6、INT7を追加
フラッシュメモリ	ブロック分割：(256KB版) ユーザ領域： 4K+4K+8K+8K+8K+32K+64K+64K+64K ブートROM領域：4K データ領域：4K	ブロック分割：(256KB版) プログラムROM1領域：64K+64K+64K+64K プログラムROM2領域：16K データフラッシュ：4K+4K
	—	フラッシュ識別レジスタ(FIDR)の削除
	—	ユーザROM領域選択ビット(FMR05)削除
	—	データフラッシュウェイトビット (FMR17)追加 データフラッシュアクセス時に1ウェイト必要
	プロテクトオプション選択可能	プロテクトオプション選択可能 +ウォッチドックタイマカウンソース選択 及びカウンソース保護
	—	スローリードモード追加
	—	低消費電流リードモード追加
	—	ユーザーブート機能追加
	—	強制イレーズ機能追加
	—	標準シリアル入出力モード禁止機能追加
	消去/書き込み回数 •全領域100回 •ブロック1、ブロックAは10,000回、それ 以外のブロックは1,000回	消去/書き込み回数 全領域100回のみ
CPU書き換えモード	プログラムコマンド：40h 書き込み単位：1ワード	プログラムコマンド：41h 書き込み単位：2ワード
	—	EW0、EW1モードの設定手順を変更
	イレーズ全アンロックブロックコマンドあり	イレーズ全アンロックブロックコマンドなし
電源	VCC1 ≥ VCC2 ≥ 2.7V で使用可能	VCC1とVCC2は同一電源で使用する必要あり ※VrefとAVCCも同一電源で使用する必要があります。
消費電流	14mA (VCC1=5V、f(BCLK)=24MHz) 8mA (VCC1=3V、f(BCLK)=10MHz) 1.8μA (VCC1=3V、f(XCIN)=32kHz、ウェイト モード) 0.7μA (VCC1=3V、ストップモード)	20mA (VCC1=5V、f(BCLK)=25MHz) 5.7μA (VCC1=3V、f(XCIN)=32kHz、ウェイト モード) 3.0μA (VCC1=3V、ストップモード)
パラレルライタ	—	M16C/64専用アダプタが必要

注1. 詳細と電気的特性についてはハードウェアマニュアルを参照してください。

**【A】**

AD0 ~ AD7 .....	233
ADCON0 ~ ADCON1232, 235, 237, 239, 241, 243 .....	
ADCON2 .....	233
ADIC .....	107
AIER .....	119
AIER2 .....	119

**【B】**

BCNIC .....	107
-------------	-----

**【C】**

CM0 .....	78
CM1 .....	79
CM2 .....	80
CPSRF .....	144, 159
CRCD .....	248
CRCIN .....	248
CSE .....	64
CSPR .....	122
CSR .....	57

**【D】**

D4INT .....	39
DA0、DA1 .....	247
DACON .....	247
DAR0 ~ DAR3 .....	131
DBR .....	69
DM0CON ~ DM3CON .....	130
DM0IC ~ DM3IC .....	107
DM0SL ~ DM3SL .....	127
DTT .....	169

**【F】**

FMR0 .....	272
FMR1 .....	273
FMR2 .....	274
FMR6 .....	275
FSR2A、IFSR3A .....	116

**【I】**

ICTB2 .....	169
IDB0、IDB1 .....	169

IFSR .....	115
IFSR2A .....	116
INT0IC ~ INT2IC .....	108
INT3IC ~ INT7IC .....	108
INVC0 .....	167
INVC1 .....	168

**【K】**

KUPIC .....	107
-------------	-----

**【O】**

OFS1 .....	122, 269
ONSF .....	143

**【P】**

P0 ~ P10 .....	257
PCLKR .....	81
PCR .....	116, 259
PD0 ~ PD10 .....	256
PLC0 .....	82
PM0 .....	50
PM1 .....	51
PM2 .....	81
PRCR .....	100
PRG2C .....	52
PUR0、PUR1 .....	258
PUR2 .....	259

**【R】**

RMAD0 ~ RMAD3 .....	119
RSTFR .....	47

**【S】**

S0RIC ~ S2RIC .....	107
S0TIC ~ S2TIC .....	107
S34C2 .....	225
S3BRG、S4BRG .....	224
S3C、S4C .....	224
S3IC、S4IC .....	108
S3TRR、S4TRR .....	224
S5RIC ~ S7RIC .....	107
S5TIC ~ S7TIC .....	107
SAR0 ~ SAR3 .....	131



**【T】**

TA0IC ~ TA4IC .....	107
TA0MR ~ TA4MR .....	141, 146, 148, 153, 155
TA0 ~ TA4 .....	141
TA11 .....	170
TA1MR、TA2MR .....	172
TA1、TA2 .....	170
TA21 .....	170
TA2MR ~ TA4MR .....	150
TA4 .....	170
TA41 .....	170
TA4MR .....	172
TABSR .....	142, 159, 171
TACS0、TACS1 .....	144
TACS2 .....	145
TAPOFS .....	145
TB0IC ~ TB2IC .....	107
TB0MR ~ TB5MR .....	158, 161, 162, 163
TB0 ~ TB5 .....	158
TB2 .....	171
TB2MR .....	172
TB2SC .....	170
TB3IC ~ TB5IC .....	107
TBCS0 ~ TBCS3 .....	160
TBSR .....	159
TCR0 ~ TCR3 .....	131
TRGSR .....	143, 171

**【U】**

U0BCNIC、U1BCNIC .....	107
U0BRG ~ U2BRG .....	180
U0C0 ~ U2C0 .....	181
U0C1 ~ U2C1 .....	182
U0MR ~ U2MR .....	180
U0RB ~ U2RB .....	179
U0SMR2 ~ U2SMR2 .....	184
U0SMR3 ~ U2SMR3 .....	184
U0SMR ~ U2SMR .....	183
U0TB ~ U2TB .....	179
U5BCNIC ~ U7BCNIC .....	107
U5BRG ~ U7BRG .....	180
U5C1 ~ U7C1 .....	182
U5MR ~ U7MR .....	180
U5RB ~ U7RB .....	179
U5SMR2 ~ U7SMR2 .....	184
U5SMR3 ~ U7SMR3 .....	184
U5SMR4 ~ U7SMR4 .....	185
U5SMR ~ U7SMR .....	183
U5TB ~ U7TB .....	179

UCON .....	183
UDF .....	142

**【V】**

VCR1、VCR2 .....	38
VW0C .....	40

**【W】**

WDC .....	121
WDTR .....	121
WDTS .....	121

改訂記録	M16C/64グループハードウェアマニュアル
------	------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.51	2007.06.06	全ページ	新規作成
0.61	2007.06.22	3	表 1.2 仕様概要(2) 一部変更
		4	表 1.3 製品一覧表 一部変更
0.62	2007.07.05	17	3. メモリ(図 3.1 メモリ配置を含め) 一部追加
		34	表 5.1 RESET 端子のレベルが“L”の期間の端子の状態 一部追加
		53	7.3 内部メモリ 一部変更
		76	表 10.1 クロック発生回路の概略仕様 一部変更
		160	図 15.22 タイムモード時のTBiMRレジスタ 一部変更
		162	図 15.24 パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ 一部修正
		185	表 17.1 クロック同期形シリアルI/Oモードの仕様 一部追加
		219	図 17.33 SIMモードの送受信タイミング例 一部変更
		223	図 17.38 S3C、S4C、S3BRG、S4BRG、S3TRR、S4TRRレジスタ 一部変更
		244	図 18.9 アナログ入力端子と外部センサの等価回路例 一部変更
		263	22.1 メモリ配置 一部変更
		264	22.1.1 ブートモード 一部変更
		264	22.1.2 ユーザブート機能 追加
		266	22.2.2 IDコードチェック機能 追加
		267	22.2.3 強制イレーズ機能 追加
		267	22.2.4 標準シリアル入出力モード禁止機能 追加
		294	図 22.20 標準シリアル入出力モード時の端子結線図(1) 一部変更
		295	図 22.21 標準シリアル入出力モード時の端子結線図(2) 一部変更
		296	図 22.22 標準シリアル入出力モード1を使用する場合の端子処理例 一部変更
		297	図 22.23 標準シリアル入出力モード2を使用する場合の端子処理例 一部変更
344	24.5 パワーコントロール 一部追加		
363	24.11 A/Dコンバータ 一部追加		
0.63	2007.09.21	3	表 1.2 仕様概要(2) 一部変更
		5	図 1.2 フラッシュメモリ版のマーキング図(上面図) 一部変更
		29	表 4.12 SFR一覧(12) 一部変更
		81	図 10.5 PCLKR、PM2レジスタ 一部追加
		94	表 10.7 ストップモード時の端子の状態 一部変更
		116	図 12.12 IFSR2A、IFSR3A、PCRレジスタ 一部変更
		190	図 17.14 転送フォーマット 一部変更
		233	表 18.2 単発モードの仕様 一部変更
		237	表 18.4 単掃引モードの仕様 一部変更
		258	図 21.11 PCRレジスタ 一部変更
		262	表 22.1 フラッシュメモリ版の仕様概要 一部変更
		262	表 22.2 フラッシュメモリ書き換えモードの概要 一部変更
		267	表 22.8 強制イレーズ機能の条件と動作 一部変更
		271	図 22.5 FMR0レジスタ 一部変更
		273	図 22.7 FMR2レジスタ 一部変更

## 改訂記録

## M16C/64グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
		304	表 23.5 フラッシュメモリの電気的特性 一部変更
0.64	2007.10.12	3	表 1.2 仕様概要(2) 一部変更
		11	表 1.6 端子機能の説明(1) 一部変更
		13	表 1.8 端子機能の説明(3) 一部変更
		32	図 5.1 リセット回路の例 一部変更
		94	10.4.3 ストップモード 一部変更
		229	表 18.1 A/Dコンバータの仕様 一部変更
		230	図 18.1 A/Dコンバータのブロック図 一部変更
		232	図 18.3 ADCON2、AD0～AD7レジスタ 一部変更
		233	表 18.2 単発モードの仕様 一部変更
		234	図 18.4 単発モード時のADCON0～ADCON1レジスタ 一部変更
		235	表 18.3 繰り返しモードの仕様 一部変更
		236	図 18.5 繰り返しモード時のADCON0～ADCON1レジスタ 一部変更
		237	表 18.4 単掃引モードの仕様 一部変更
		238	図 18.6 単掃引モード時のADCON0～ADCON1レジスタ 一部変更
		239	表 18.5 繰り返し掃引モード0の仕様 一部変更
		240	図 18.7 繰り返し掃引モード0時のADCON0～ADCON1レジスタ 一部変更
		241	表 18.6 繰り返し掃引モード1の仕様 一部変更
		242	図 18.8 繰り返し掃引モード1時のADCON0～ADCON1レジスタ 一部変更
		259	表 21.1 シングルチップモード時の未使用端子の処理例 一部変更
		262	表 21.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例 一部変更
		261	図 21.12 未使用端子の処理例 一部変更
		294	表 22.13 端子の機能説明(フラッシュメモリ標準シリアル入出力モード) 一部変更
		300	表 23.1 絶対最大定格 一部変更
		301	表 23.2 推奨動作条件 注意書き一部変更
		302	表 23.3 A/D変換特性 注意書き一部変更
		307	表 23.9 電気的特性(1) 一部変更
		342	24.2.1 VCC1 項追加
342	24.2.2 CNVSS 項追加		
364	図 24.4 各端子の処理例 一部変更		
365	24.11 A/Dコンバータ 一部変更		
1.05	2009.2.17	2	表 1.1 仕様概要(1) 一部変更
		9-10	表 1.4、表 1.5 100ピン版端子名一覧 一部変更
		11	表 1.6 端子機能の説明(1) 一部変更
		12	表 1.7 端子機能の説明(2) 一部変更
		18	表 4.1 SFR一覧(1) 一部変更
		24	表 4.7 SFR一覧(7) 一部変更
		29	表 4.12 SFR一覧(12) 一部変更
		41	表 6.1 ハードウェアリセット2関連ビットの設定手順 一部変更
		51	図 7.2 PM1レジスタ 一部削除

## 改訂記録

## M16C/64グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
		52	図 7.3 PRG2C レジスタ 一部変更
		53	表 7.5 プログラムROM2 (10000h~13FFFh番地) 一部変更
		55	表 8.1 セパレートバスとマルチプレクスバスの相違 一部変更
		59	図 8.3 ALE 信号とアドレスバス、データバス 一部変更
		70	図 9.2 1Mバイトモード時のメモリ配置、 $\overline{CS}$ 領域 (PM13=0) 一部変更
		71	図 9.4 4Mバイトモード時のメモリ配置、 $\overline{CS}$ 領域 (PM13=0) 一部変更
		76	表 10.1 クロック発生回路の概略仕様 一部変更
		78	図 10.2 CM0 レジスタ 一部変更
		81	図 10.5 PCLKR、PM2 レジスタ PM2 レジスタ一部変更
		85	10.1.4 PLL クロック 一部削除
		92	10.4.2.1 周辺機能クロック停止機能 一部変更
		99	10.6.3 発振停止、再発振検出機能使用方法 一部追加
		105	表 12.1 固定ベクタテーブル 一部変更
		107	表 12.3 可変ベクタテーブル(2) 一部変更
		117	図 12.12 IFSR2A、IFSR3A、PCR レジスタ 一部変更
		118	12.7 $\overline{NMI}$ 割り込み 一部変更
		119	12.9 アドレス一致割り込み 一部変更
		122	図 13.2 WDTR、WDTS、WDC レジスタ 一部変更
		123	図 13.3 CSPR レジスタ、OFS1 番地 一部変更
		124	表 13.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時) 一部変更
		129-130	図 14.3 DM0SL、DM1SL、DM2SL、DM3SL レジスタ(2) 削除
			表 14.2 DMA0 の場合~表 14.5 DMA3 の場合 追加
		138	図 15.1 タイマA、B カウントソース 一部変更
		141	図 15.4 タイマA ブロック図 一部変更
		147	表 15.1 タイマモードの仕様 一部変更
		148	表 15.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合) 一部変更
		149	図 15.11 イベントカウンタモード時の TAIMR レジスタ(二相パルス信号処理を使用しない場合) 一部変更
		153	表 15.4 ワンショットタイマモードの仕様 一部変更
		155	表 15.5 PWM モードの仕様 一部変更
		157	図 15.16 16ビットパルス幅変調器の動作例 一部変更
		157	図 15.17 8ビットパルス幅変調器の動作例 一部変更
		168	図 16.2 INVC0 レジスタ 一部追加
		169	図 16.3 INVC1 レジスタ 一部変更
		171	図 16.5 TA1、TA2、TA4、TA11、TA21、TA41、TB2SC レジスタ 一部変更
		172	図 16.6 TB2、TRGSR、TABSR レジスタ 一部変更
		178	図 17.3 UART2、UART5~7 ブロック図 一部変更
		180	図 17.5 U0TB~U2TB、U5TB~U7TB、U0RB~U2RB、U5RB~U7RB レジスタ 一部変更
		188	表 17.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値 一部変更
		196	表 17.6 UARTモード時の使用レジスタと設定値 一部変更

## 改訂記録

## M16C/64グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
		202	17.1.2.6 CTS/RTS機能 一部変更
		205-206	表 17.11、表 17.12 I <sup>2</sup> Cモード時の使用レジスタと設定値 一部変更
		207	表 17.13 I <sup>2</sup> Cモード時の各機能 一部変更
		209	図 17.26 スタートコンディション、ストップコンディションの検出 一部変更
		213	表 17.15 特殊モード2の仕様 一部変更
		214	表 17.16 特殊モード2時の使用レジスタと設定値 一部変更
		217	表 17.17 IEモード時の使用レジスタと設定値 一部変更
		220	表 17.19 SIMモード時の使用レジスタと設定値 一部変更
		234	図 18.3 ADCON2、AD0～AD7レジスタ 一部変更
		246	18.5 A/D変換時のセンサの出力インピーダンス→18.5 外部センサ
		260	図 21.11 PCRレジスタ 一部変更
		264	表 22.2 フラッシュメモリ書き換えモードの概要 一部変更
		266	表 22.3 ユーザブート機能の仕様 一部変更
		269	22.2.3 強制イレーズ機能 一部変更
		269	表 22.8 強制イレーズ機能の条件と動作 一部変更
		270	図 22.3 OFS1番地 一部変更
		271	表 22.9 EW0モードとEW1モードの違い 一部変更
		273	図 22.5 FMR0レジスタ 一部変更
		274	図 22.6 FMR1レジスタ 一部変更
		275	図 22.7 FMR2レジスタ 一部変更
		276	図 22.8 FMR6レジスタ 一部追加
		278	図 22.9 低消費電力モード、オンチップオシレータ低消費電力モード前後の処理 移動
		280	22.3.3.11 FMR23ビット 一部変更
		282	図 22.12 EW0モードの設定と解除方法 一部変更
		283	22.3.3.13 FMR61ビット 追加
		284	22.3.4.4 割り込み(EW1モード) 一部変更
		284	22.3.4.7 書き換え(EW1モード) 一部変更
		286	表 22.10 ソフトウェアコマンド一覧表 一部変更
		287	22.3.5.4 プログラム 一部変更
		295	図 22.19 フルステータスチェックフローチャート、各エラー発生時の対処方法 一部変更
		297	表 22.13 端子の機能説明(フラッシュメモリ標準シリアル入出力モード) 一部変更
		302	22.5 パラレル入出力モード 一部変更
		304	表 23.2 推奨動作条件 一部変更
		305	表 23.3 A/D変換特性 一部削除
		306	表 23.4 D/A変換特性 一部変更
		307	表 23.5 フラッシュメモリの電気的特性 一部変更
		307	表 23.6 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 一部変更
		309	図 23.1 電源回路のタイミング図 一部変更
		310-311	表 23.9、表 23.10 電気的特性 一部変更

Rev.	発行日	改訂内容	
		ページ	ポイント
		313	表 23.17 タイマA入力(イベントカウンタモードのアップダウン入力)削除
		315	表 23.24 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合) 一部変更
		316	表 23.25 メモリ拡張モード、マイクロプロセッサモード (1~3ウェイト設定、外部領域をアクセスした場合) 一部変更
		317	表 23.26 メモリ拡張モード、マイクロプロセッサモード (1~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合) 一部変更
		318	図 23.3 タイミング図(1) 一部変更
		321	図 23.6 タイミング図(4) 一部変更
		322	図 23.7 タイミング図(5) 一部変更
		323	図 23.8 タイミング図(6) 一部変更
		324	図 23.9 タイミング図(7) 一部変更
		325	図 23.10 タイミング図(8) 一部変更
		326	図 23.11 タイミング図(9) 一部変更
		327-328	表 23.27、表 23.28 電気的特性 一部変更
		330	表 23.36 タイマA入力(イベントカウンタモードのアップダウン入力)削除
		332	表 23.42 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合) 一部変更
		333	表 23.43 メモリ拡張モード、マイクロプロセッサモード (1~3ウェイト設定、外部領域をアクセスした場合) 一部変更
		334	表 23.44 メモリ拡張モード、マイクロプロセッサモード (1~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)(注5) 一部変更
		335	図 23.13 タイミング図(1) 一部変更
		338	図 23.16 タイミング図(4) 一部変更
		339	図 23.17 タイミング図(5) 一部変更
		340	図 23.18 タイミング図(6) 一部変更
		341	図 23.19 タイミング図(7) 一部変更
		342	図 23.20 タイミング図(8) 一部変更
		343	図 23.21 タイミング図(9) 一部変更
		351	24.7.3 NMI割り込み 一部変更
		355	24.8.2 DMAC優先順位に関する注意事項 追加
		364	24.10.1.3 受信 一部変更
		365	24.10.3.1 各コンディションの生成 タイトル追加
		365	24.10.3.2 UART5、UART7 追加
		367	24.11 A/Dコンバータ 一部追加
		368	24.11.1 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1 追加
		370	24.13.1 フラッシュメモリ書き換え禁止機能 一部変更
		370	24.13.6 プログラムコマンド 一部変更
		371	24.13.12 書き換え 一部変更
		371	24.13.11 アクセス方法 一部追加

改訂記録	M16C/64グループハードウェアマニュアル
------	------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		373	24.13.15 ブートモード使用時の注意事項 追加
		375	付録1. 外形寸法図 一部追加
		375	表付録2.1 M16C/62PとM16C/64との相違点(1) タイトル変更
		378	付録3. ライタ 削除

---

M16C/64グループ ハードウェアマニュアル

発行年月日 2007年6月6日 Rev.0.51  
2009年3月17日 Rev.1.05

発行 株式会社 ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町2-6-2



M16C/64 グループ  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0419-0105