

致尊敬的顾客

---

## 关于产品目录等资料中的旧公司名称

---

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日  
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

## Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
  - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
  - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
  - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

# M16C/62P 群 (M16C/62P、M16C/62PT)

瑞萨 16 位单片机  
M16C 族 M16C/60 系列

## Cautions

### Keep safety first in your circuit designs!

1. Renesas Technology Corp. puts the maximum effort into making semiconductor products better and more reliable, but there is always the possibility that trouble may occur with them. Trouble with semiconductors may lead to personal injury, fire or property damage.  
Remember to give due consideration to safety when making your circuit designs, with appropriate measures such as (i) placement of substitutive, auxiliary circuits, (ii) use of nonflammable material or (iii) prevention against any malfunction or mishap.

### Notes regarding these materials

1. These materials are intended as a reference to assist our customers in the selection of the Renesas Technology Corp. product best suited to the customer's application; they do not convey any license under any intellectual property rights, or any other rights, belonging to Renesas Technology Corp. or a third party.
2. Renesas Technology Corp. assumes no responsibility for any damage, or infringement of any third-party's rights, originating in the use of any product data, diagrams, charts, programs, algorithms, or circuit application examples contained in these materials.
3. All information contained in these materials, including product data, diagrams, charts, programs and algorithms represents information on products at the time of publication of these materials, and are subject to change by Renesas Technology Corp. without notice due to product improvements or other reasons. It is therefore recommended that customers contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor for the latest product information before purchasing a product listed herein.  
The information described here may contain technical inaccuracies or typographical errors.  
Renesas Technology Corp. assumes no responsibility for any damage, liability, or other loss rising from these inaccuracies or errors.  
Please also pay attention to information published by Renesas Technology Corp. by various means, including the Renesas Technology Corp. Semiconductor home page (<http://www.renesas.com>).
4. When using any or all of the information contained in these materials, including product data, diagrams, charts, programs, and algorithms, please be sure to evaluate all information as a total system before making a final decision on the applicability of the information and products. Renesas Technology Corp. assumes no responsibility for any damage, liability or other loss resulting from the information contained herein.
5. Renesas Technology Corp. semiconductors are not designed or manufactured for use in a device or system that is used under circumstances in which human life is potentially at stake. Please contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor when considering the use of a product contained herein for any specific purposes, such as apparatus or systems for transportation, vehicular, medical, aerospace, nuclear, or undersea repeater use.
6. The prior written approval of Renesas Technology Corp. is necessary to reprint or reproduce in whole or in part these materials.
7. If these products or technologies are subject to the Japanese export control restrictions, they must be exported under a license from the Japanese government and cannot be imported into a country other than the approved destination.  
Any diversion or reexport contrary to the export control laws and regulations of Japan and/or the country of destination is prohibited.
8. Please contact Renesas Technology Corp. for further details on these materials or the products contained therein.



## 注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

### 请遵循安全第一进行电路设计

1. 虽然瑞萨科技尽力提高半导体产品的质量和可靠性，但是半导体产品也可能发生故障。半导体的故障可能导致人身伤害、火灾事故以及财产损失。在电路设计时，请充分考虑安全性，采用合适的安全设计方法，如：冗余设计、利用非易燃材料以及防止故障或事故等。

### 关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的瑞萨科技产品的参考资料，不转让属于瑞萨科技或者第三者所有的知识产权和其它权利的许可。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法以及其它应用电路的例子而引起的损害或者对第三者的权力的侵犯，瑞萨科技不承担责任。
3. 本资料所记载的产品数据、图、表、程序、算法以及其它所有信息均为本资料发行时的信息，由于改进产品或者其它原因，本资料记载的信息可能变动，恕不另行通知。在购买本资料所记载的产品时，请预先向瑞萨科技或者经授权的瑞萨科技产品经销商确认最新信息。  
本资料所记载的信息可能存在技术不准确或者印刷错误。因这些错误而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。  
同时也请通过各种方式注意瑞萨科技公布的信息，包括瑞萨科技半导体网站。  
(<http://www.renesas.com>)
4. 在使用本资料所记载部分或者全部数据、图、表、程序以及算法等信息时，在最终做出有关信息和产品是否适用的判断前，务必对作为整个系统的所有信息进行评价。由于本资料所记载的信息而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
5. 瑞萨科技的半导体产品不是为在可能和人命相关的环境下使用的设备或者系统而设计和制造的产品。在研讨将本资料所记载的产品用于运输、交通车辆、医疗、航空宇宙用、原子能控制、海底中继器的设备或者系统等特殊用途时，请与瑞萨科技或者经授权的瑞萨产品经销商联系。
6. 未经瑞萨科技的书面许可，不得翻印或者复制全部或者部分资料的内容。
7. 如果本资料所记载的某产品或者技术内容受日本出口管理限制，必须在得到日本政府的有关部门许可后才能出口，并且不准进口到批准目的地国家以外的国家。  
禁止违反日本和（或者）目的地国家的出口管理法和法规的任何转卖、挪用或者再出口。
8. 如果需要了解本资料所记载的信息或者产品的详细，请与瑞萨科技联系。

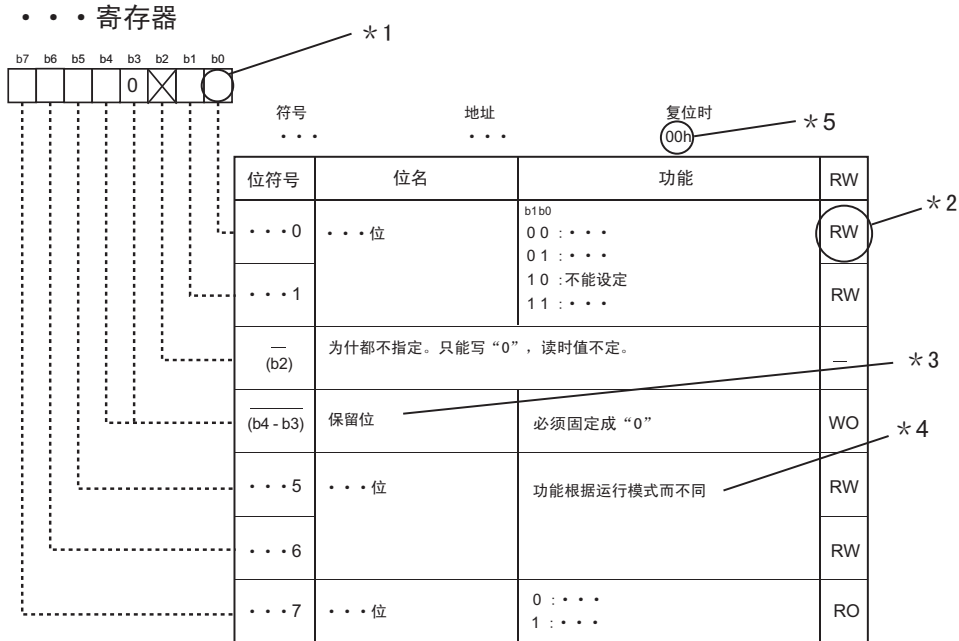
# 本手册的使用方法

## 1. 对象

本手册是M16C/62P群(M16C/62P、M16C/62PT)的硬件手册。  
 在使用本手册时，需要具备电子电路、逻辑电路以及单片机的基础知识。

## 2. 寄存器详细说明图的阅读方法

对寄存器详细说明图中使用的符号和用语举例说明：



- \*1  
 空白 : 按用途，置“0”或者“1”。  
 0 : 置“0”。  
 1 : 置“1”。  
 × : 未使用位。

- \*2  
 RW : 可读写位。  
 RO : 只可读。  
 WO : 只可写。  
 — : 未使用位。

- \*3  
 • 保留位  
 保留位，必须设定指定值。

- \*4  
 • 未使用位  
 该位暂未使用。根据外围功能的发展，将来可能具有新的功能，写数据时只能写“0”。  
 • 不能设定  
 设定后不能保证正常工作。  
 • 功能根据设定的工作模式而不同  
 位的功能根据外围功能的模式而发生变化。请参考各模式下寄存器详细说明图。

- \*5  
 用2进制或16进制表示，请按照各手册的正文。

### 3. M16C族的相关资料

瑞萨科技提供M16C族如下资料(注1):

资料	记述内容
简易手册	硬件概要
数据手册	硬件概要和电气特性
硬件手册	硬件规格(引脚定义、存储器映像、外围功能的说明、电气特性、时序图)
软件手册	指令(汇编语言)运行的详细内容
应用注意事项	外围功能的应用例 参考程序 M16C族基本功能说明 汇编语言和C语言的编程方法
RENESAS TECHNICAL UPDATE	产品规格、资料等的速报

注1. 请使用最新版的资料。最新版登载于瑞萨科技的网页。



# 目录

特殊功能寄存器速查表.....	B-1
1. 概要.....	1
1.1 应用.....	1
1.2 性能概要.....	2
1.3 结构框图.....	5
1.4 产品一览表.....	7
1.5 引脚定义图.....	13
1.6 引脚功能的说明.....	24
2. 中央处理器.....	29
2.1 数据寄存器 (R0、R1、R2、R3).....	30
2.2 地址寄存器 (A0、A1).....	30
2.3 帧基址寄存器 (FB).....	30
2.4 中断表寄存器 (INTB).....	30
2.5 程序计数器 (PC).....	30
2.6 用户堆栈指针 (USP)、中断堆栈指针 (ISP).....	30
2.7 静态基址寄存器 (SB).....	30
2.8 标志寄存器 (FLG).....	31
2.8.1 进位标志 (C 标志).....	31
2.8.2 调试标志 (D 标志).....	31
2.8.3 零标志 (Z 标志).....	31
2.8.4 符号标志 (S 标志).....	31
2.8.5 寄存器组选择标志 (B 标志).....	31
2.8.6 溢出标志 (O 标志).....	31
2.8.7 中断允许标志 (I 标志).....	31
2.8.8 堆栈指针选择标志 (U 标志).....	31
2.8.9 处理器中断优先级 (IPL).....	31
2.8.10 保留位.....	31
3. 存储器.....	33
4. SFR.....	35
5. 复位.....	43
5.1 硬件复位 1.....	43

5.1.1	电源稳定时 .....	43
5.1.2	接通电源时 .....	43
5.2	低电压检测复位 (硬件复位 2) .....	46
5.3	软件复位 .....	46
5.4	看门狗定时器复位 .....	46
5.5	振荡停止检测复位 .....	46
5.6	复位后 CPU 内部状态 .....	47
6.	电压检测电路 .....	49
6.1	低电压检测中断 .....	53
6.2	停止模式的限制 .....	55
6.3	等待模式的限制 .....	55
6.4	冷启动 / 热启动判断功能 .....	55
7.	处理器模式 .....	57
7.1	处理器模式的类型 .....	57
7.2	处理器模式的设定 .....	57
8.	总线 .....	61
8.1	总线模式 .....	61
8.1.1	独立总线 .....	61
8.1.2	多路复用总线 .....	61
8.2	总线控制 .....	62
8.2.1	地址总线 .....	62
8.2.2	数据总线 .....	62
8.2.3	片选信号 .....	63
8.2.4	读写信号 .....	65
8.2.5	ALE 信号 .....	65
8.2.6	$\overline{\text{RDY}}$ 信号 .....	66
8.2.7	$\overline{\text{HOLD}}$ 信号 .....	67
8.2.8	BCLK 输出 .....	67
8.2.9	存取内部区域时的外部总线状态 .....	69
8.2.10	软件等待 .....	69
9.	存储空间扩展功能 .....	73
9.1	1M 字节模式 .....	73

9.2	4M 字节模式.....	73
9.2.1	04000h ~ 3FFFFh 地址和 C0000h ~ FFFFFh 地址.....	73
9.2.2	40000h ~ BFFFFh 地址.....	73
10.	时钟发生电路.....	81
10.1	时钟发生电路的种类.....	81
10.1.1	主时钟.....	88
10.1.2	副时钟.....	89
10.1.3	内部振荡器时钟.....	90
10.1.4	PLL 时钟.....	90
10.2	CPU 时钟和外围功能时钟.....	92
10.2.1	CPU 时钟和 BCLK.....	92
10.2.2	外围功能时钟 (f1、f2、f8、f32、f1S10、f2S10、f8S10、 f32S10、fAD、fC32).....	92
10.3	时钟输出功能.....	92
10.4	功耗控制.....	93
10.4.1	正常运行模式.....	93
10.4.2	等待模式.....	95
10.4.3	停止模式.....	97
10.5	系统时钟的保护功能.....	102
10.6	振荡停止 / 重新振荡检测功能.....	103
10.6.1	CM27 位为 “0” (复位) 时的运行.....	103
10.6.2	CM27 位为 “1” (振荡停止 / 重新振荡检测中断) 时的运行.....	103
10.6.3	振荡停止 / 重新振荡检测功能的使用方法.....	104
11.	保护.....	105
12.	中断.....	107
12.1	中断的分类.....	107
12.2	软件中断.....	108
12.2.1	未定义指令中断.....	108
12.2.2	溢出中断.....	108
12.2.3	BRK 中断.....	108
12.2.4	INT 指令中断.....	108
12.3	硬件中断.....	108

12.3.1	特殊中断 .....	108
12.3.2	外围功能中断 .....	109
12.4	中断和中断向量 .....	109
12.4.1	固定向量表 .....	110
12.4.2	可变向量表 .....	111
12.5	中断控制 .....	112
12.5.1	I 标志 .....	114
12.5.2	IR 位 .....	114
12.5.3	ILVL2 ~ ILVL0 位、IPL .....	114
12.5.4	中断响应顺序 .....	115
12.5.5	中断响应时间 .....	116
12.5.6	接受中断请求时的 IPL 变化 .....	116
12.5.7	寄存器保存 .....	117
12.5.8	从中断程序的返回 .....	118
12.5.9	中断优先级 .....	118
12.5.10	中断优先级判断电路 .....	118
12.6	$\overline{\text{INT}}$ 中断 .....	120
12.7	$\overline{\text{NMI}}$ 中断 .....	121
12.8	键输入中断 .....	122
12.9	地址匹配中断 .....	123
13.	看门狗定时器 .....	125
13.1	计数源保护模式 .....	126
14.	DMAC .....	127
14.1	传送周期 .....	133
14.1.1	传送源地址、传送目标地址的影响 .....	133
14.1.2	BYTE 引脚的影响 .....	133
14.1.3	软件等待的影响 .....	133
14.1.4	$\overline{\text{RDY}}$ 信号的影响 .....	133
14.2	DMAC 传送周期数 .....	135
14.3	DMA 允许 .....	136
14.4	DMA 请求 .....	136
14.5	通道的优先顺序和 DMA 传送时序 .....	137



15. 定时器.....	139
15.1 定时器 A.....	141
15.1.1 定时器模式.....	146
15.1.2 事件计数器模式.....	147
15.1.3 单次触发定时器模式.....	152
15.1.4 脉宽调制模式 (PWM 模式).....	154
15.2 定时器 B.....	157
15.2.1 定时器模式.....	160
15.2.2 事件计数器模式.....	161
15.2.3 脉冲周期测定模式、脉宽测定模式.....	163
16. 用于三相马达控制的定时器功能.....	167
17. 串行 I/O.....	177
17.1 UART <sub>i</sub> (i=0 ~ 2).....	177
17.1.1 时钟同步串行 I/O 模式.....	188
17.1.2 时钟异步串行 I/O (UART) 模式.....	196
17.1.3 特殊模式 1 (I <sup>2</sup> C 模式).....	204
17.1.4 特殊模式 2.....	214
17.1.5 特殊模式 3 (IE 模式).....	218
17.1.6 特殊模式 4 (SIM 模式) (UART2).....	220
17.2 SI/03 和 SI/04.....	225
17.2.1 SI/0 <sub>i</sub> 运行时序.....	228
17.2.2 CLK 极性选择.....	228
17.2.3 SOUT <sub>i</sub> 初始值的设定功能.....	229
18. A/D 转换器.....	231
18.1 模式的说明.....	235
18.1.1 单次模式.....	235
18.1.2 重复模式.....	237
18.1.3 单次扫描模式.....	239
18.1.4 重复扫描模式 0.....	241
18.1.5 重复扫描模式 1.....	243
18.2 功能.....	245
18.2.1 分辨率选择功能.....	245
18.2.2 采样 & 保持.....	245

18.2.3	扩展模拟输入引脚	245
18.2.4	外部运算放大器连接模式	245
18.2.5	降低功耗功能	246
18.2.6	A/D 转换时的传感器输出阻抗	246
19.	D/A 转换器	249
20.	CRC 运算	251
21.	可编程 I/O 端口	253
21.1	Pi 口方向寄存器 (PDi 寄存器 i=0 ~ 13)	254
21.2	Pi 口寄存器 (Pi 寄存器 i=0 ~ 13)	254
21.3	上拉控制寄存器 0 ~ 上拉控制寄存器 3 (PUR0 ~ PUR3 寄存器)	254
21.4	端口控制寄存器 (PCR 寄存器)	254
22.	闪存版	269
22.1	存储器配置	270
22.1.1	引导模式	271
22.2	闪存改写禁止功能	271
22.2.1	ROM 码保护功能	271
22.2.2	ID 码检查功能	271
22.3	CPU 改写模式	273
22.3.1	EWO 模式	274
22.3.2	EW1 模式	274
22.3.3	闪存控制寄存器 (FIDR、FMRO、FMR1 寄存器)	274
22.3.4	CPU 改写模式的注意事项	280
22.3.5	软件命令	281
22.3.6	数据保护功能	286
22.3.7	状态寄存器	286
22.3.8	全状态检查	288
22.4	标准串行输入 / 输出模式	290
22.4.1	ID 码检查功能	290
22.4.2	标准串行输入 / 输出模式 1 时的引脚处理例	296
22.5	并行输入 / 输出模式	298

22.5.1	引导 ROM 区 .....	298
22.5.2	ROM 码保护功能 .....	298
23.	电气特性 .....	299
23.1	电气特性 (M16C/62P) .....	299
23.2	电气特性 (M16C/62PT) .....	339
24.	使用注意事项 .....	353
24.1	SFR .....	353
24.1.1	寄存器设定时的注意事项 .....	353
24.2	复位 .....	354
24.3	外部总线 .....	355
24.4	在使用 PLL 频率合成器时 .....	355
24.5	功耗控制 .....	356
24.6	保护 .....	357
24.7	中断 .....	357
24.7.1	读取 00000h 地址单元 .....	357
24.7.2	SP 的设定 .....	357
24.7.3	$\overline{\text{NMI}}$ 中断 .....	357
24.7.4	中断源的变更 .....	358
24.7.5	$\overline{\text{INT}}$ 中断 .....	358
24.7.6	中断控制寄存器的变更 .....	359
24.7.7	看门狗定时器中断 .....	359
24.8	DMAC .....	360
24.8.1	对 DMAiCON 寄存器的 DMAE 位写数据 (i=0 ~ 1) .....	360
24.9	定时器 .....	361
24.9.1	定时器 A .....	361
24.9.2	定时器 B .....	363
24.10	串行接口 .....	364
24.10.1	时钟同步串行 I/O 模式 .....	364
24.10.2	异步串行 I/O (UART) 模式 .....	365
24.10.3	SI/03、SI/04 .....	365
24.11	A/D 转换器 .....	366
24.12	可编程 I/O 端口 .....	367
24.13	闪存版和掩模型 ROM 版的不同点 .....	367
24.14	掩模型 ROM 版 .....	367

24.15 闪存版 .....	368
24.15.1 闪存改写禁止功能 .....	368
24.15.2 停止模式 .....	368
24.15.3 等待模式 .....	368
24.15.4 低功耗模式、内部振荡器低功耗模式 .....	368
24.15.5 命令、数据的写 .....	368
24.15.6 编程命令 .....	368
24.15.7 锁住位编程命令 .....	368
24.15.8 运行速度 .....	369
24.15.9 禁止使用的指令 .....	369
24.15.10 中断 .....	369
24.15.11 存取方法 .....	369
24.15.12 用户 ROM 区的改写 .....	369
24.15.13 DMA 传送 .....	369
24.15.14 有关编程、擦除次数和执行时间 .....	369
24.16 有关噪声的注意事项 .....	370
25. 跟据生产时期的不同点 .....	371
附录 1. 封装尺寸图 .....	373
附录 2. M16C/62P 和 M16C/62A 的不同点 .....	375
SFR 寄存器索引 .....	379



## 特殊功能寄存器速查表

地址	寄存器	符号	记述页
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器0	PM0	58
0005h	处理器模式寄存器1	PM1	59
0006h	系统时钟控制寄存器0	CM0	83
0007h	系统时钟控制寄存器1	CM1	84
0008h	片选控制寄存器	CSR	63
0009h	地址匹配中断允许寄存器	A1ER	124
000Ah	保护寄存器	PRCR	105
000Bh	数据块寄存器	DBR	74
000Ch	振荡停止检测寄存器	CM2	85
000Dh			
000Eh	看门狗定时器启动寄存器	WDT5	126
000Fh	看门狗定时器控制寄存器	WDC	126
0010h	地址匹配中断寄存器0	RMAD0	124
0011h			
0012h			
0013h			
0014h	地址匹配中断寄存器1	RMAD1	124
0015h			
0016h			
0017h			
0018h			
0019h	电压检测寄存器1	VCR1	50
001Ah	电压检测寄存器2	VCR2	50
001Bh	片选扩展控制寄存器	CSE	69
001Ch	PLL控制寄存器0	PLC0	87
001Dh			
001Eh	处理器模式寄存器2	PM2	86
001Fh	低电压检测中断寄存器	D4INT	51
0020h	DMA0源指针	SAR0	132
0021h			
0022h			
0023h			
0024h	DMA0目标指针	DAR0	132
0025h			
0026h			
0027h			
0028h	DMA0传送计数器	TCR0	132
0029h			
002Ah			
002Bh			
002Ch	DMA0控制寄存器	DMA0CON	131
002Dh			
002Eh			
002Fh			
0030h	DMA1源指针	SAR1	132
0031h			
0032h			
0033h			
0034h	DMA1目标指针	DAR1	132
0035h			
0036h			
0037h			
0038h	DMA1传送计数器	TCR1	132
0039h			
003Ah			
003Bh			
003Ch	DMA1控制寄存器	DMA1CON	131
003Dh			
003Eh			
003Fh			

注1. 空栏为保留区, 不能存取。

地址	寄存器	符号	记述页
0040h			
0041h			
0042h			
0043h			
0044h	INT3中断控制寄存器	INT3IC	113
0045h	定时器B5中断控制寄存器	TB5IC	112
0046h	定时器B4中断控制寄存器、 UART1总线冲突检测中断控制寄存器	TB4IC UIBCNIC	112
0047h	定时器B3中断控制寄存器、 UART0总线冲突检测中断控制寄存器	TB3IC UOBCNIC	112
0048h	SI/04中断控制寄存器、 INT5中断控制寄存器	S4IC INT5IC	113
0049h	SI/03中断控制寄存器、 INT4中断控制寄存器	S3IC INT4IC	113
004Ah	UART2总线冲突检测中断控制寄存器	BCNIC	112
004Bh	DMA0中断控制寄存器	DM0IC	112
004Ch	DMA1中断控制寄存器	DM1IC	112
004Dh	键输入中断控制寄存器	KUPIC	112
004Eh	A/D转换中断控制寄存器	ADIC	112
004Fh	UART2发送中断控制寄存器	S2TIC	112
0050h	UART2接收中断控制寄存器	S2RIC	112
0051h	UART0发送中断控制寄存器	S0TIC	112
0052h	UART0接收中断控制寄存器	S0RIC	112
0053h	UART1发送中断控制寄存器	S1TIC	112
0054h	UART1接收中断控制寄存器	S1RIC	112
0055h	定时器A0中断控制寄存器	TA0IC	112
0056h	定时器A1中断控制寄存器	TA1IC	112
0057h	定时器A2中断控制寄存器	TA2IC	112
0058h	定时器A3中断控制寄存器	TA3IC	112
0059h	定时器A4中断控制寄存器	TA4IC	112
005Ah	定时器B0中断控制寄存器	TB0IC	112
005Bh	定时器B1中断控制寄存器	TB1IC	112
005Ch	定时器B2中断控制寄存器	TB2IC	112
005Dh	INT0中断控制寄存器	INT0IC	113
005Eh	INT1中断控制寄存器	INT1IC	113
005Fh	INT2中断控制寄存器	INT2IC	113
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

地址	寄存器	符号	记述页
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h	闪存识别寄存器(注2)	F1DR	274
01B5h	闪存控制寄存器1(注2)	FMR1	276
01B6h			
01B7h	闪存控制寄存器0(注2)	FMRO	275
01B8h	地址匹配中断寄存器2	RMAD2	124
01B9h			
01BAh			
01BBh	地址匹配中断允许寄存器2	A1ER2	124
01BCh	地址匹配中断寄存器3	RMAD3	124
01BDh			
01BEh			
01BFh			
01C0h			
~			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	外围时钟选择寄存器	PCLKR	86
025Fh			
0260h			
~			
032Fh			
0330h			
0331h			
0332h			
0333h			
0334h			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			

注1. 空栏为保留区, 不能存取。  
注2. 闪存版有此寄存器。

地址	寄存器	符号	记述页
0340h	定时器B3、4、5计数开始标志寄存器	TBSR	159
0341h			
0342h	定时器A1-1寄存器	TA11	172
0343h			
0344h	定时器A2-1寄存器	TA21	172
0345h			
0346h	定时器A4-1寄存器	TA41	172
0347h			
0348h	三相PWM控制寄存器0	INVC0	169
0349h	三相PWM控制寄存器1	INVC1	170
034Ah	三相输出缓冲寄存器0	IDB0	171
034Bh	三相输出缓冲寄存器1	IDB1	171
034Ch	死区时间定时器	DTT	171
034Dh	定时器B2中断发生频率设定计数器	ICTB2	171
034Eh			
034Fh			
0350h	定时器B3寄存器	TB3	158
0351h			
0352h	定时器B4寄存器	TB4	158
0353h			
0354h	定时器B5寄存器	TB5	158
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh	定时器B3模式寄存器	TB3MR	158
035Ch	定时器B4模式寄存器	TB4MR	158
035Dh	定时器B5模式寄存器	TB5MR	158
035Eh	中断源选择寄存器2	IFSR2A	121
035Fh	中断源选择寄存器	IFSR	120
0360h	SI/03发送/接收寄存器	S3TRR	226
0361h			
0362h	SI/03控制寄存器	S3C	226
0363h	SI/03位速率寄存器	S3BRG	226
0364h	SI/04发送/接收寄存器	S4TRR	226
0365h			
0366h	SI/04控制寄存器	S4C	226
0367h	SI/04位速率寄存器	S4BRG	226
0368h			
0369h			
036Ah			
036Bh			
036Ch	UART0特殊模式寄存器4	UOSMR4	187
036Dh	UART0特殊模式寄存器3	UOSMR3	186
036Eh	UART0特殊模式寄存器2	UOSMR2	186
036Fh	UART0特殊模式寄存器	UOSMR	185
0370h	UART1特殊模式寄存器4	U1SMR4	187
0371h	UART1特殊模式寄存器3	U1SMR3	186
0372h	UART1特殊模式寄存器2	U1SMR2	186
0373h	UART1特殊模式寄存器	U1SMR	185
0374h	UART2特殊模式寄存器4	U2SMR4	187
0375h	UART2特殊模式寄存器3	U2SMR3	186
0376h	UART2特殊模式寄存器2	U2SMR2	186
0377h	UART2特殊模式寄存器	U2SMR	185
0378h	UART2发送/接收模式寄存器	U2MR	181
0379h	UART2位速率寄存器	U2BRG	182
037Ah	UART2发送缓冲寄存器	U2TB	182
037Bh			
037Ch	UART2发送/接收控制寄存器0	U2C0	183
037Dh	UART2发送/接收控制寄存器1	U2C1	184
037Eh	UART2接收缓冲寄存器	U2RB	181
037Fh			

地址	寄存器	符号	记述页
0380h	计数开始标志寄存器	TABSR	143, 159, 173
0381h	时钟预分频器复位标志寄存器	CPSRF	145, 159
0382h	单次触发启动标志寄存器	ONSF	144
0383h	触发选择寄存器	TRGSR	144, 173
0384h	递增/递减标志	UDF	143
0385h			
0386h	定时器A0寄存器	TA0	142
0387h			
0388h	定时器A1寄存器	TA1	142, 172
0389h			
038Ah	定时器A2寄存器	TA2	142, 172
038Bh			
038Ch	定时器A3寄存器	TA3	142
038Dh			
038Eh	定时器A4寄存器	TA4	142, 172
038Fh			
0390h	定时器B0寄存器	TB0	158
0391h			
0392h	定时器B1寄存器	TB1	158
0393h			
0394h	定时器B2寄存器	TB2	158, 173
0395h			
0396h	定时器A0模式寄存器	TAOMR	142
0397h	定时器A1模式寄存器	TA1MR	142, 174
0398h	定时器A2模式寄存器	TA2MR	142, 174
0399h	定时器A3模式寄存器	TA3MR	142
039Ah	定时器A4模式寄存器	TA4MR	142, 174
039Bh	定时器B0模式寄存器	TBOMR	145
039Ch	定时器B1模式寄存器	TB1MR	145
039Dh	定时器B2模式寄存器	TB2MR	158, 174
039Eh	定时器B2特殊模式寄存器	TB2SC	172
039Fh			
03A0h	UART0发送/接收模式寄存器	UOMR	182
03A1h	UART0位速率寄存器	UOBRG	182
03A2h	UART0发送缓冲寄存器	UOTB	181
03A3h			
03A4h	UART0发送/接收控制寄存器0	UOC0	183
03A5h	UART0发送/接收控制寄存器1	UOC1	184
03A6h	UART0接收缓冲寄存器	UORB	181
03A7h			
03A8h	UART1发送/接收模式寄存器	U1MR	182
03A9h	UART1位速率寄存器	U1BRG	182
03AAh	UART1发送缓冲寄存器	U1TB	181
03ABh			
03ACh	UART1发送/接收控制寄存器0	U1C0	183
03ADh	UART1发送/接收控制寄存器1	U1C1	184
03AEh	UART1接收缓冲寄存器	U1RB	181
03AFh			
03B0h	UART发送/接收控制寄存器2	UCON	185
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0源选择寄存器	DMOSL	129
03B9h			
03BAh	DMA1触发源选择寄存器	DM1SL	130
03BBh			
03BCh	CRC数据寄存器	CRCD	251
03BDh			
03BEh	CRC输入寄存器	CRC1N	251
03BFh			

注1. 空栏为保留区, 不能存取。

地址	寄存器	符号	记述页
03C0h	A/D寄存器0	AD0	234
03C1h			
03C2h	A/D寄存器1	AD1	234
03C3h			
03C4h	A/D寄存器2	AD2	234
03C5h			
03C6h	A/D寄存器3	AD3	234
03C7h			
03C8h	A/D寄存器4	AD4	234
03C9h			
03CAh	A/D寄存器5	AD5	234
03CBh			
03CCh	A/D寄存器6	AD6	234
03CDh			
03CEh	A/D寄存器7	AD7	234
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D控制寄存器2	ADCON2	234
03D5h			
03D6h	A/D控制寄存器0	ADCON0	233
03D7h	A/D控制寄存器1	ADCON1	233
03D8h	D/A寄存器0	DAO	250
03D9h			
03DAh	D/A寄存器1	DA1	250
03DBh			
03DCh	D/A控制寄存器	DACON	250
03DDh			
03DEh	端口P14控制寄存器	PC14	262
03DFh	上拉控制寄存器3	PUR3	262
03E0h	P0口寄存器	P0	261
03E1h	P1口寄存器	P1	261
03E2h	P0口方向寄存器	PD0	260
03E3h	P1口方向寄存器	PD1	260
03E4h	P2口寄存器	P2	261
03E5h	P3口寄存器	P3	261
03E6h	P2口方向寄存器	PD2	260
03E7h	P3口方向寄存器	PD3	260
03E8h	P4口寄存器	P4	261
03E9h	P5口寄存器	P5	261
03EAh	P4口方向寄存器	PD4	260
03EBh	P5口方向寄存器	PD5	260
03ECh	P6口寄存器	P6	261
03EDh	P7口寄存器	P7	261
03EEh	P6口方向寄存器	PD6	260
03EFh	P7口方向寄存器	PD7	260
03F0h	P8口寄存器	P8	261
03F1h	P9口寄存器	P9	261
03F2h	P8口方向寄存器	PD8	260
03F3h	P9口方向寄存器	PD9	260
03F4h	P10口寄存器	P10	261
03F5h	P11口寄存器	P11	261
03F6h	P10口方向寄存器	PD10	260
03F7h	P11口方向寄存器	PD11	260
03F8h	P12口寄存器	P12	261
03F9h	P13口寄存器	P13	261
03FAh	P12口方向寄存器	PD12	260
03FBh	P13口方向寄存器	PD13	260
03FCh	上拉控制寄存器0	PUR0	263
03FDh	上拉控制寄存器1	PUR1	263
03FEh	上拉控制寄存器2	PUR2	264
03FFh	端口控制寄存器	PCR	264



---

## M16C/62P群 (M16C/62P、M16C/62PT)

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

---

### 1. 概要

M16C/62P群 (M16C/62P、M16C/62PT) 是采用高性能硅栅CMOS工艺并且装载了M16C/60系列CPU内核的单片机，采用80引脚、100引脚或者128引脚QFP塑封。此单片机既有高性能指令又有高效率指令，并具备1M字节的地址空间和快速执行指令的能力。另外，M16C/62P群具有乘法器和高速DMA控制器，适用于需要高速算术/逻辑运算处理的OA、通信设备和工业设备的控制。

#### 1.1 应用

音响、照相机、TV、家电、办公设备、通信设备、便携式设备、工业设备、汽车等。

## 1.2 性能概要

M16C/62P群 (M16C/62P, M16C/62PT) 性能概要如表1.1~表1.3所示。

表1.1 性能概要 (128引脚版)

项目		性能
		M16C/62P
CPU	基本指令数	91条指令
	最短指令执行时间	41.7ns (f (BCLK)=24MHz、VCC1=3.0~5.5V) 100ns (f (BCLK)=10MHz、VCC1=2.7~5.5V)
	运行模式	单芯片、存储器扩展、微处理器
	地址空间	1M字节 (通过存储空间扩展功能, 可扩展到4M字节)
	存储器容量	请参照“表1.4和表1.5 产品一览表”
外围功能	端口	输入/输出:113个、输入:1个
	多功能定时器	定时器A:16位×5个通道、 定时器B:16位×6个通道 三相马达控制电路
	串行接口	3个通道 时钟同步串行I/O、异步串行I/O、 I <sup>2</sup> C bus (注1)、IEBus (注2) 2个通道 时钟同步串行I/O
	A/D转换器	10位A/D转换器:1个电路、26个通道
	D/A转换器	8位×2个通道
	DMAC	2个通道
	CRC运算电路	CRC-CCITT
	看门狗定时器	15位×1个通道 (带预分频器)
	中断	内部:29个中断源、外部:8个中断源、软件:4个中断源 中断优先级:7级
	时钟发生电路	4个电路 主时钟振荡电路 (*)、副时钟振荡电路 (*)、 内部振荡器、PLL频率合成器 (* )振荡电路中有内部反馈电阻
	振荡停止检测功能	主时钟振荡停止/重新振荡检测功能
	电压检测电路	可选项 (注4)
	电气特性	电源电压
功耗		14mA (VCC1=VCC2=5V、f (BCLK)=24MHz) 8mA (VCC1=VCC2=3V、f (BCLK)=10MHz) 1.8μA (VCC1=VCC2=3V、f (XCIN)=32kHz、等待模式) 0.7μA (VCC1=VCC2=3V、停止模式)
闪存版	编程、擦除电压	3.3±0.3V或者5.0±0.5V
	编程、擦除次数	100次 (全区域) 或者1,000次 (块1以外的用户ROM区) /10,000次 (块A、块1) (注3)
工作环境温度		-20~85℃ -40~85℃ (注3)
封装		128引脚塑模LQFP

注1. I<sup>2</sup>C bus是荷兰PHILIPS公司的注册商标。

注2. IEBus是NEC电子株式会社的注册商标。

注3. 有关改写次数和工作环境温度, 请参照“表1.8 产品代码”。  
1,000次/10,000次的产品在开发中 (2005年4月)。有关发行日程请询问销售部门。

注4. 如需使用选项功能, 请指定。

表 1.2 性能概要 (100引脚版)

项目		性能	
		M16C/62P	M16C/62PT (注4)
CPU	基本指令数	91条指令	
	最短指令执行时间	41.7ns (f(BCLK)=24MHz、VCC1=3.0~5.5V) 100ns (f(BCLK)=10MHz、VCC1=2.7~5.5V)	41.7ns (f(BCLK)=24MHz、VCC1=4.0~5.5V)
	运行模式	单芯片、存储器扩展、微处理器	单芯片
	地址空间	1M字节 (通过存储空间扩展功能, 可扩展到4M字节)	1M字节
	存储器容量	请参照“表1.4~1.7 产品一览表”	
外围功能	端口	输入/输出:87个、输入:1个	
	多功能定时器	定时器A:16位×5个通道、定时器B:16位×6个通道 三相马达控制电路	
	串行接口	3个通道 时钟同步串行I/O、异步串行I/O I <sup>2</sup> C bus (注1)、IEBus (注2) 2个通道 时钟同步串行I/O	
	A/D转换器	10位A/D转换器:1个电路、26个通道	
	D/A转换器	8位×2个通道	
	DMAC	2个通道	
	CRC运算电路	CRC-CCITT	
	看门狗定时器	15位×1个通道 (带预分频器)	
	中断	内部:29个中断源、外部:8个中断源、软件:4个中断源 中断优先级:7级	
	时钟发生电路	4个电路 主时钟振荡电路 (*)、副时钟振荡电路 (*)、 内部振荡器、PLL频率合成器 (* )振荡电路中有内部反馈电阻	
	振荡停止检测功能	主时钟振荡停止/重新振荡检测功能	
	电压检测电路	可选项 (注5)	无
	电气特性	电源电压	VCC1=3.0~5.5V、VCC2=2.7V~VCC1 (f(BCLK)=24MHz) VCC1=2.7~5.5V、VCC2=2.7V~VCC1 (f(BCLK)=10MHz)
功耗		14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 8mA (VCC1=VCC2=3V、f(BCLK)=10MHz) 1.8μA (VCC1=VCC2=3V、 f(XCIN)=32kHz、等待模式) 0.7μA (VCC1=VCC2=3V、停止模式)	14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 2.0μA (VCC1=VCC2=5V、 f(XCIN)=32kHz、等待模式) 0.8μA (VCC1=VCC2=5V、停止模式)
闪存版	编程、擦除电压	3.3±0.3V或者5.0±0.5V	
	编程、擦除次数	100次 (全区域) 或者1,000次 (块1以外的用户ROM区)/ 10,000次 (块A、块1) (注3)	
工作环境温度	-20~85℃ -40~85℃ (注3)	T版:-40~85℃ V版:-40~125℃	
封装	100引脚塑模QFP、LQFP		

注1. I<sup>2</sup>C bus是荷兰PHILIPS公司的注册商标。

注2. IEBus是NEC电子株式会社的注册商标。

注3. 有关改写次数和工作环境温度, 请参照“表1.8~1.9 产品代码”。  
1,000次/10,000次的产品在开发中 (2005年4月)。有关发行日程请询问销售部门。

注4. M16C/62PT必须在VCC1=VCC2的条件下使用。

注5. 如需使用选项功能, 请指定。

表 1.3 性能概要 (80引脚版)

项目		性能		
		M16C/62P	M16C/62PT	
CPU	基本指令数	91条指令		
	最短指令执行时间	41.7ns (f (BCLK)=24MHz、VCC1=3.0~5.5V) 100ns (f (BCLK)=10MHz、VCC1=2.7~5.5V)	41.7ns (f (BCLK)=24MHz、VCC1=4.0~5.5V)	
	运行模式	单芯片		
	地址空间	1M字节		
	存储器容量	请参照“表 1.4~1.7 产品一览表”		
周边機能	端口	输入/输出:70个、输入:1个		
	多功能定时器	定时器A:16位×5个通道(定时器A1、定时器A2是内部定时器) 定时器B:16位×6个通道(定时器B1是内部定时器)		
	串行接口	2个通道 时钟同步串行I/O、异步串行I/O、 I <sup>2</sup> C bus(注1)、IEBus(注2) 1个通道 异步串行I/O I <sup>2</sup> C bus(注1)、IEBus(注2) 2个通道 时钟同步串行I/O(1个通道为送信专用)		
	A/D转换器	10位A/D转换器:1个电路、26个通道		
	D/A转换器	8位×2个通道		
	DMAC	2个通道		
	CRC运算电路	CRC-CCITT		
	看门狗定时器	15位×1个通道(带预分频器)		
	中断	内部:29个中断源、外部:5个中断源、软件:4个中断源 中断优先级:7级		
	时钟发生电路	4个电路 主时钟振荡电路(*)、副时钟振荡电路(*)、 内部振荡器、PLL频率合成器 (*)振荡电路有内部反馈电阻		
	振荡停止检测功能	主时钟振荡停止/重新振荡检测功能		
	电压检测电路	可选项(注4)	无	
	电气特性	电源电压	VCC1=3.0~5.5V (f (BCLK)=24MHz) VCC1=2.7~5.5V (f (BCLK)=10MHz)	VCC1=4.0~5.5V (f (BCLK)=24MHz)
		功耗	14mA (VCC1=5V、f (BCLK)=24MHz) 8mA (VCC1=3V、f (BCLK)=10MHz) 1.8μA (VCC1=3V、f (XCIN)=32kHz、 等待模式) 0.7μA (VCC1=3V、停止模式)	14mA (VCC1=5V、f (BCLK)=24MHz) 2.0μA (VCC1=5V、f (XCIN)=32kHz、 等待模式) 0.8μA (VCC1=5V、停止模式)
闪存版	编程、擦除电压	3.3±0.3V或者5.0±0.5V		
	编程、擦除次数	100次(全区域) 或者1,000次(块1以外的用户ROM区) /10,000次(块A、块1)(注3)		
工作环境温度	-20~85℃ -40~85℃(注3)	T版:-40~85℃ V版:-40~125℃		
封装	80引脚塑模QFP			

注1. I<sup>2</sup>C bus是荷兰PHILIPS公司的注册商标。

注2. IEBus是NEC电子株式会社的注册商标。

注3. 有关改写次数和工作环境温度,请参照“表1.8~1.9 产品代码”。  
1,000次/10,000次的产品在开发中(2005年4月)。有关发行日程请问销售部门。

注4. 如需使用选项功能,请指定。

### 1.3 结构框图

M16C/62P群 (M16C/62P, M16C/62PT) 128引脚版、100引脚版的框图如图1.1所示，80引脚版的框图如图1.2所示。

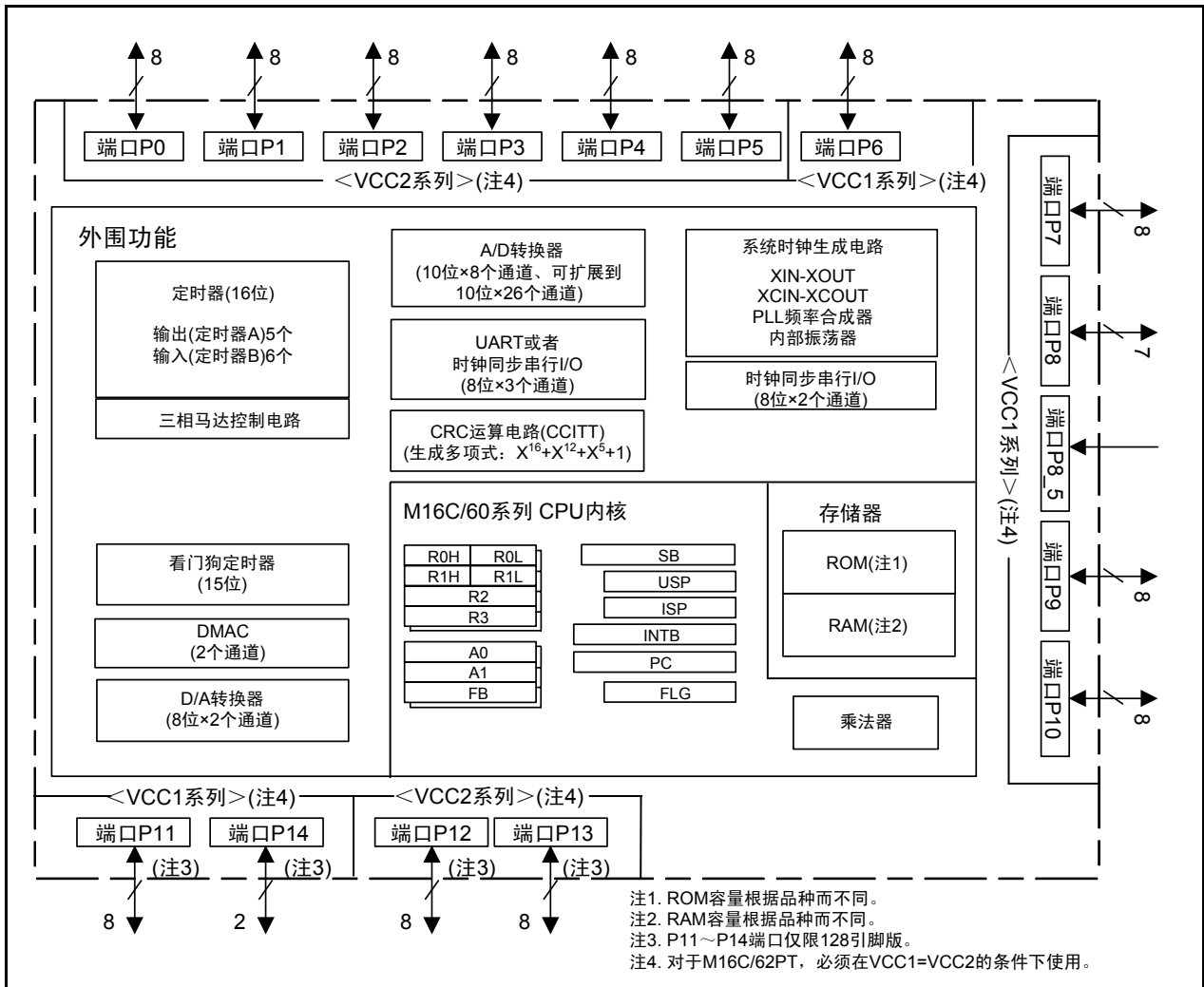


图 1.1 128 引脚版、100 引脚版的框图

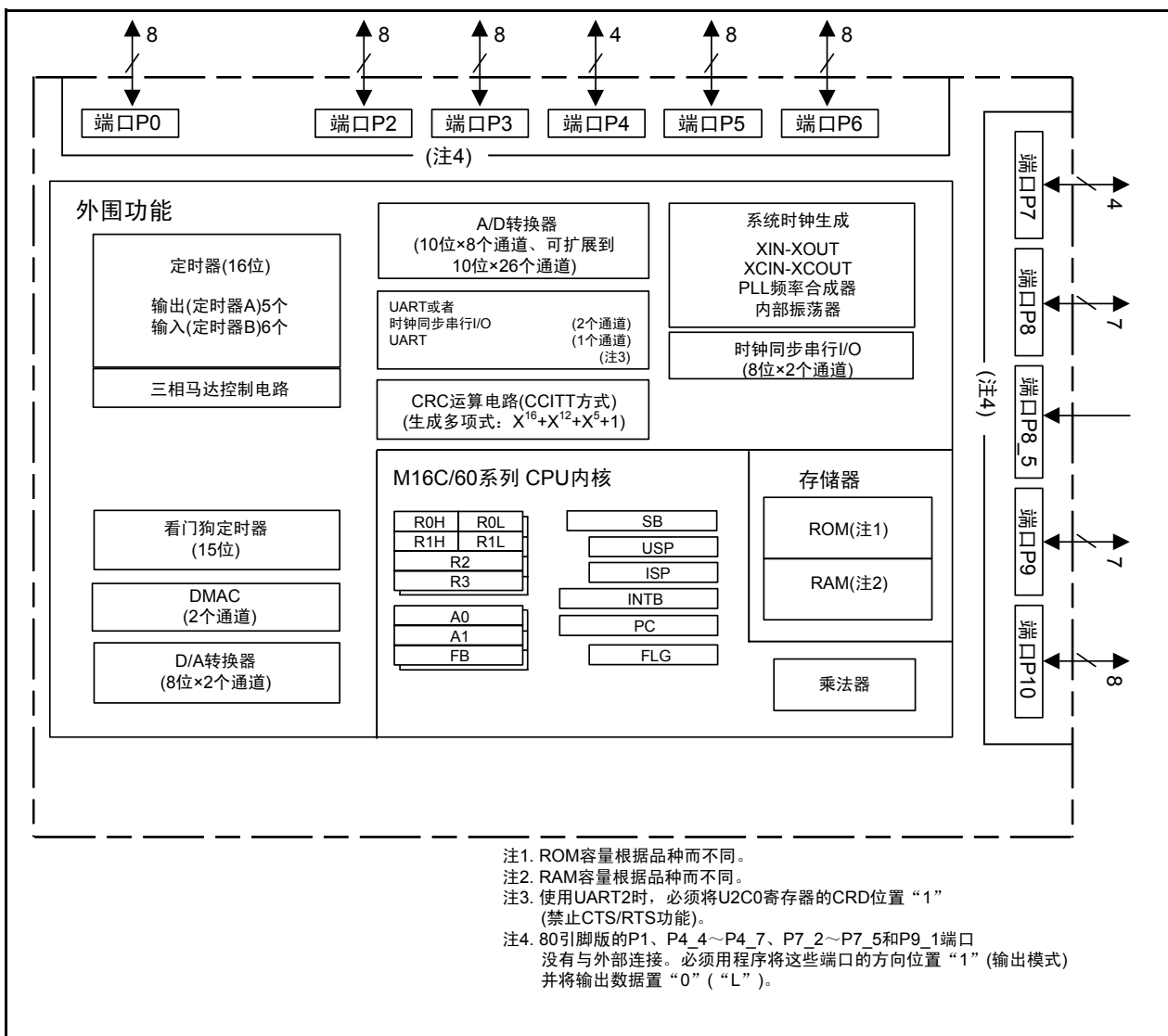


图 1.2 80 引脚版的框图

## 1.4 产品一览表

产品一览表如表1.4~表1.7所示, 产品型号、存储器容量和封装如图1.3所示, 闪存版、外接ROM版的产品代码(M16C/62P)如表1.8所示, 闪存版的产品代码(M16C/62PT)如表1.9所示, M16C/62P闪存版、外接ROM版的标记图(俯视图)如图1.4所示, M16C/62P闪存版的标记图(俯视图)如图1.5所示。对于M16C/62P的掩模型ROM版, 请在ROM订货时指定其标识。

表1.4 产品一览表(1)(M16C/62P)

2005年4月

型号	ROM容量	RAM容量	封装	备注
M30622M6P-XXXFP	48K字节	4K字节	100P6S-A	掩模型ROM版
M30622M6P-XXXGP			100P6Q-A	
M30622M8P-XXXFP	64K字节	4K字节	100P6S-A	
M30622M8P-XXXGP			100P6Q-A	
M30623M8P-XXXGP			80P6S-A	
M30622MAP-XXXFP	96K字节	5K字节	100P6S-A	
M30622MAP-XXXGP			100P6Q-A	
M30623MAP-XXXGP (研)			80P6S-A	
M30620MCP-XXXFP	128K字节	10K字节	100P6S-A	
M30620MCP-XXXGP			100P6Q-A	
M30621MCP-XXXGP (研)			80P6S-A	
M30622MEP-XXXFP	192K字节	12K字节	100P6S-A	
M30622MEP-XXXGP			100P6Q-A	
M30623MEP-XXXGP			128P6Q-A	
M30622MGP-XXXFP	256K字节	12K字节	100P6S-A	
M30622MGP-XXXGP			100P6Q-A	
M30623MGP-XXXGP (研)			128P6Q-A	
M30624MGP-XXXFP		20K字节	100P6S-A	
M30624MGP-XXXGP			100P6Q-A	
M30625MGP-XXXGP			128P6Q-A	
M30622MWP-XXXFP	320K字节	16K字节	100P6S-A	
M30622MWP-XXXGP			100P6Q-A	
M30623MWP-XXXGP			128P6Q-A	
M30624MWP-XXXFP		24K字节	100P6S-A	
M30624MWP-XXXGP			100P6Q-A	
M30625MWP-XXXGP (研)			128P6Q-A	
M30626MWP-XXXFP (研)		31K字节	100P6S-A	
M30626MWP-XXXGP (研)			100P6Q-A	
M30627MWP-XXXGP (研)	128P6Q-A			

(研): 研发中

注1. 各封装的旧封装型号和名称如下:

PLQP0128KB-A : 128P6Q-A  
 PRQP0100JB-A : 100P6S-A  
 PLQP0100KB-A : 100P6Q-A  
 PRQP0080JA-A : 80P6S-A

表 1.5 产品一览表 (2) (M16C/62P)

2005年4月

型号	ROM容量	RAM容量	封装	备注
M30626MJP-XXXFP (计)	512K字节	31K字节	100P6S-A	掩模型ROM版
M30626MJP-XXXGP (计)			100P6Q-A	
M30627MJP-XXXGP (计)			128P6Q-A	
M30622F8PFP	64K+4K字节	4K字节	100P6S-A	闪存版
M30622F8PGP			100P6Q-A	
M30623F8PGP (研)			80P6S-A	
M30620FCPFP	128K+4K字节	10K字节	100P6S-A	
M30620FCPGP			100P6Q-A	
M30621FCPGP (研)			80P6S-A	
M3062LFGPGP (注3)	256K+4K字节	20K字节	100P6S-A	
M3062LFGPFP (注3)			100P6Q-A	
M30625FGPGP			128P6Q-A	
M30626FHPFP	384K+4K字节	31K字节	100P6S-A	
M30626FHGP			100P6Q-A	
M30627FHGP			128P6Q-A	
M30626FJPFP (计)	512K+4K字节	31K字节	100P6S-A	
M30626FJPGP (计)			100P6Q-A	
M30627FJPGP (计)			128P6Q-A	
M30622SPFP	—	4K字节	100P6S-A	外接ROM版
M30622SPGP			100P6Q-A	
M30620SPFP		10K字节	100P6S-A	
M30620SPGP			100P6Q-A	

(研): 研发中

(计): 计划中

注1. 各封装的旧封装型号和名称如下:

PLQP0128KB-A : 128P6Q-A、

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

闪存版中有4K字节(块A)的空间。

注2. 闪存版中有4K字节(块A)的空间。



表 1.6 产品一览表 (3) (T版 (M16C/62PT))

2005年4月

型号	ROM容量	RAM容量	封装	备注	
M3062CM6T-XXXFP (研)	48K字节	4K字节	100P6S-A	掩模型 ROM 版	T版 (高可靠性85℃版)
M3062CM6T-XXXGP (研)			100P6Q-A		
M3062EM6T-XXXGP (计)			80P6S-A		
M3062CM8T-XXXFP (研)	64K字节	4K字节	100P6S-A		
M3062CM8T-XXXGP (研)			100P6Q-A		
M3062EM8T-XXXGP (计)			80P6S-A		
M3062CMAT-XXXFP (研)	96K字节	5K字节	100P6S-A		
M3062CMAT-XXXGP (研)			100P6Q-A		
M3062EMAT-XXXGP (计)			80P6S-A		
M3062AMCT-XXXFP (研)	128K字节	10K字节	100P6S-A		
M3062AMCT-XXXGP (研)			100P6Q-A		
M3062BMCT-XXXGP (计)			80P6S-A		
M3062CF8TFP (研)	64K字节	4K字节	100P6S-A	闪存版	
M3062CF8TGP (研)			100P6Q-A		
M3062AFCTFP (研)	128K+4K字节	10K字节	100P6S-A		
M3062AFCTGP (研)			100P6Q-A		
M3062BFCTGP (计)			80P6S-A		
M3062JFHTFP (研)	384K+4K字节	31K字节	100P6S-A		
M3062JFHTGP (研)			100P6Q-A		

(研): 研发中

(计): 计划中

注1. 各封装的旧封装型号和名称如下:

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

注2. 闪存版中有4K字节(块A)的空间。

表 1.7 产品一览表 (4) (V版 (M16C/62PT))

2004年8月

型号	ROM容量	RAM容量	封装	备注	
M3062CM6V-XXXFP (计)	48K字节	4K字节	100P6S-A	掩模型 ROM 版	V版 (高可靠性125℃版)
M3062CM6V-XXXGP (计)			100P6Q-A		
M3062EM6V-XXXGP (计)			80P6S-A		
M3062CM8V-XXXFP (计)	64K字节	4K字节	100P6S-A		
M3062CM8V-XXXGP (计)			100P6Q-A		
M3062EM8V-XXXGP (计)			80P6S-A		
M3062CMAV-XXXFP (计)	96K字节	5K字节	100P6S-A		
M3062CMAV-XXXGP (计)			100P6Q-A		
M3062EMAV-XXXGP (计)			80P6S-A		
M3062AMCV-XXXFP (研)	128K字节	10K字节	100P6S-A		
M3062AMCV-XXXGP (研)			100P6Q-A		
M3062BMCV-XXXGP (计)			80P6S-A		
M3062AFCVFP (研)	128K+4K字节	10K字节	100P6S-A	闪存版	
M3062AFCVGP (研)			100P6Q-A		
M3062BFCVGP (计)			80P6S-A		
M3062JFHVFP (计)	384K+4K字节	31K字节	100P6S-A		
M3062JFHVGP (计)			100P6Q-A		

(研): 研发中

(计): 计划中

注1. 各封装的旧封装型号和名称如下:

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

注2. 闪存版中有4K字节(块A)的空间。

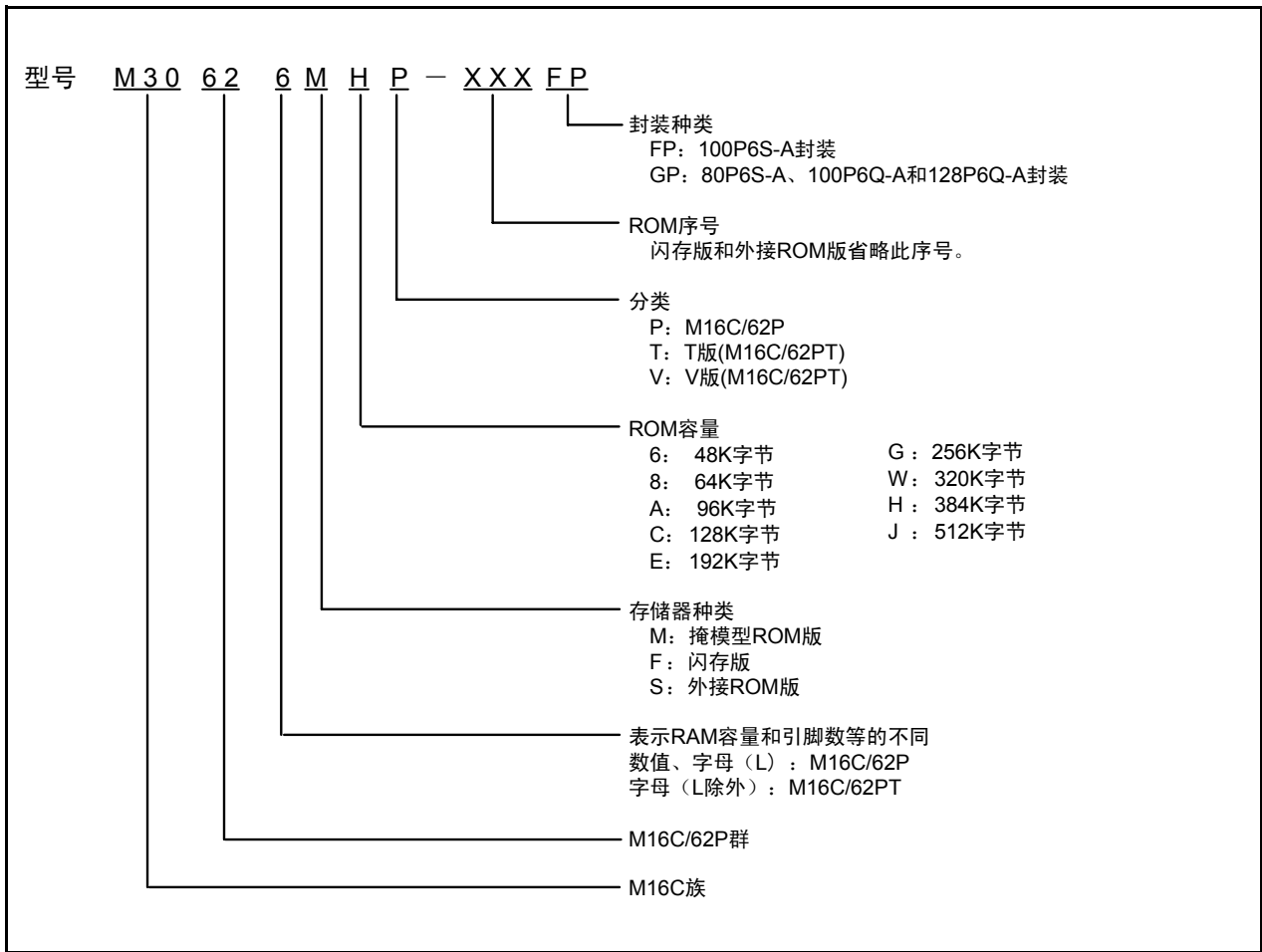


图 1.3 产品型号、存储器容量和封装

表 1.8 闪存版、外接ROM版的产品代码 (M16C/62P)

	产品代码	封装	内部ROM (块1以外的用户ROM区)		内部ROM (块A、块1)		工作环境温度
			改写次数	温度范围	改写次数	温度范围	
闪存版	D3	含铅	100	0°C~60°C	100	0°C~60°C	-40°C~85°C
	D5						-20°C~85°C
	D7		1,000		10,000	-40°C~85°C	-40°C~85°C
	D9					-20°C~85°C	-20°C~85°C
	U3	无铅	100		100	0°C~60°C	-40°C~85°C
	U5						-20°C~85°C
	U7		1,000		10,000	-40°C~85°C	-40°C~85°C
	U9						-20°C~85°C
外接ROM版	D3	含铅	—	—	—	—	-40°C~85°C
	D5		—	—	—	—	-20°C~85°C
	U3	无铅	—	—	—	—	-40°C~85°C
	U5		—	—	—	—	-20°C~85°C

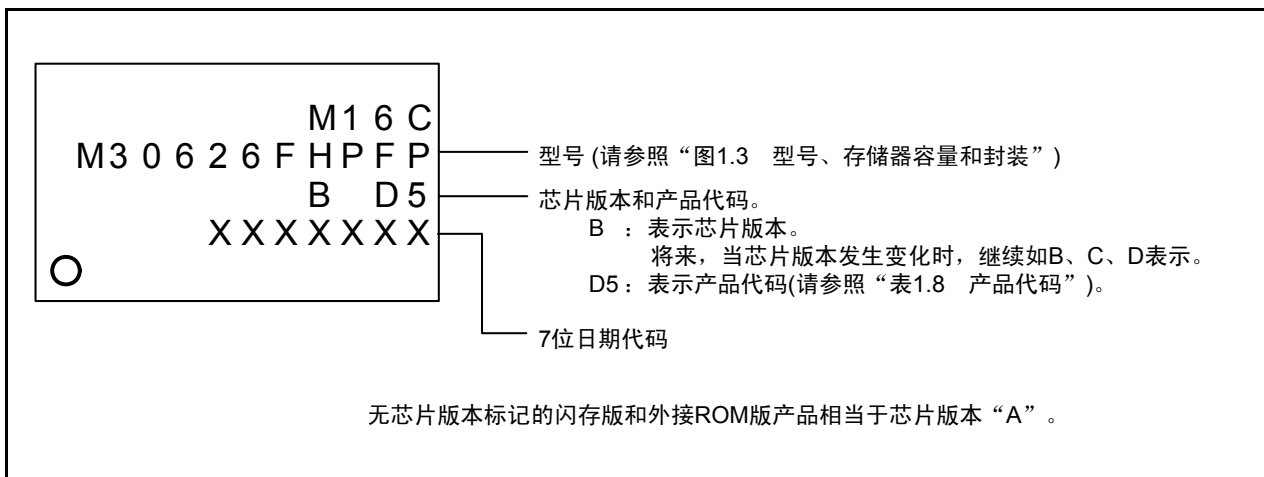


图 1.4 M16C/62P 闪存版、外接ROM版的标记图(俯视图)

表 1.9 闪存版的产品代码 (M16C/62PT)

		产品代码	封装	内部ROM (块1以外的用户ROM区)		内部ROM (块A、块1)		工作环境温度
				改写次数	温度范围	改写次数	温度范围	
闪存版	T版	B	含铅	100	0℃~60℃	100	0℃~60℃	-40℃~85℃
	V版						-40℃~125℃	
	T版	B7		1,000		10,000	-40℃~85℃	-40℃~85℃
	V版					-20℃~125℃	-40℃~125℃	
	T版	U	无铅	100		100	0℃~60℃	-40℃~85℃
	V版						-40℃~125℃	
	T版	U7		1,000		10,000	-40℃~85℃	-40℃~85℃
	V版						-20℃~125℃	-40℃~125℃

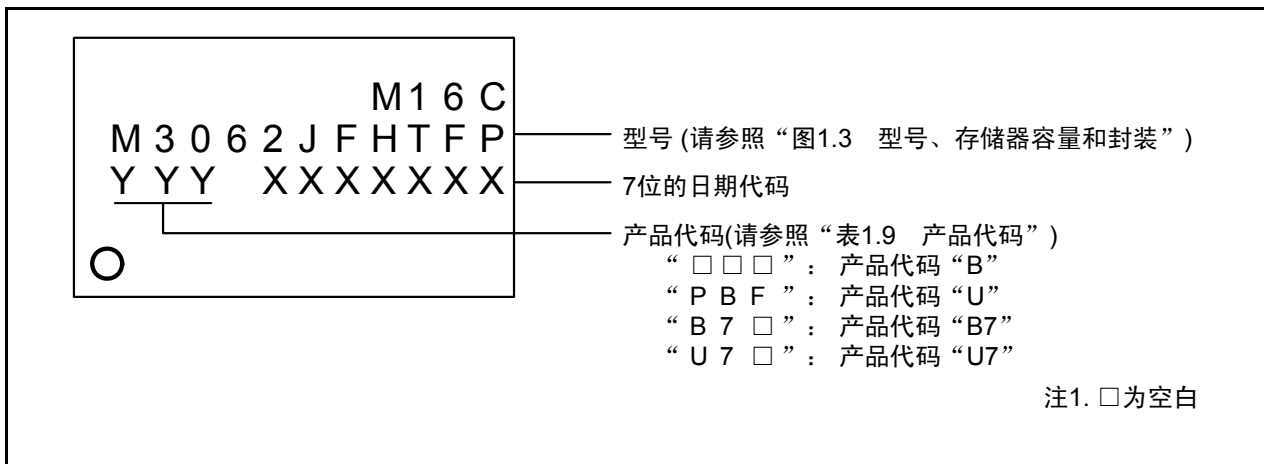


图 1.5 M16C/62P 闪存版的标记图 (俯视图)

1.5 引脚定义图

引脚定义图 (俯视图) 如图 1.6 ~ 1.9 所示。

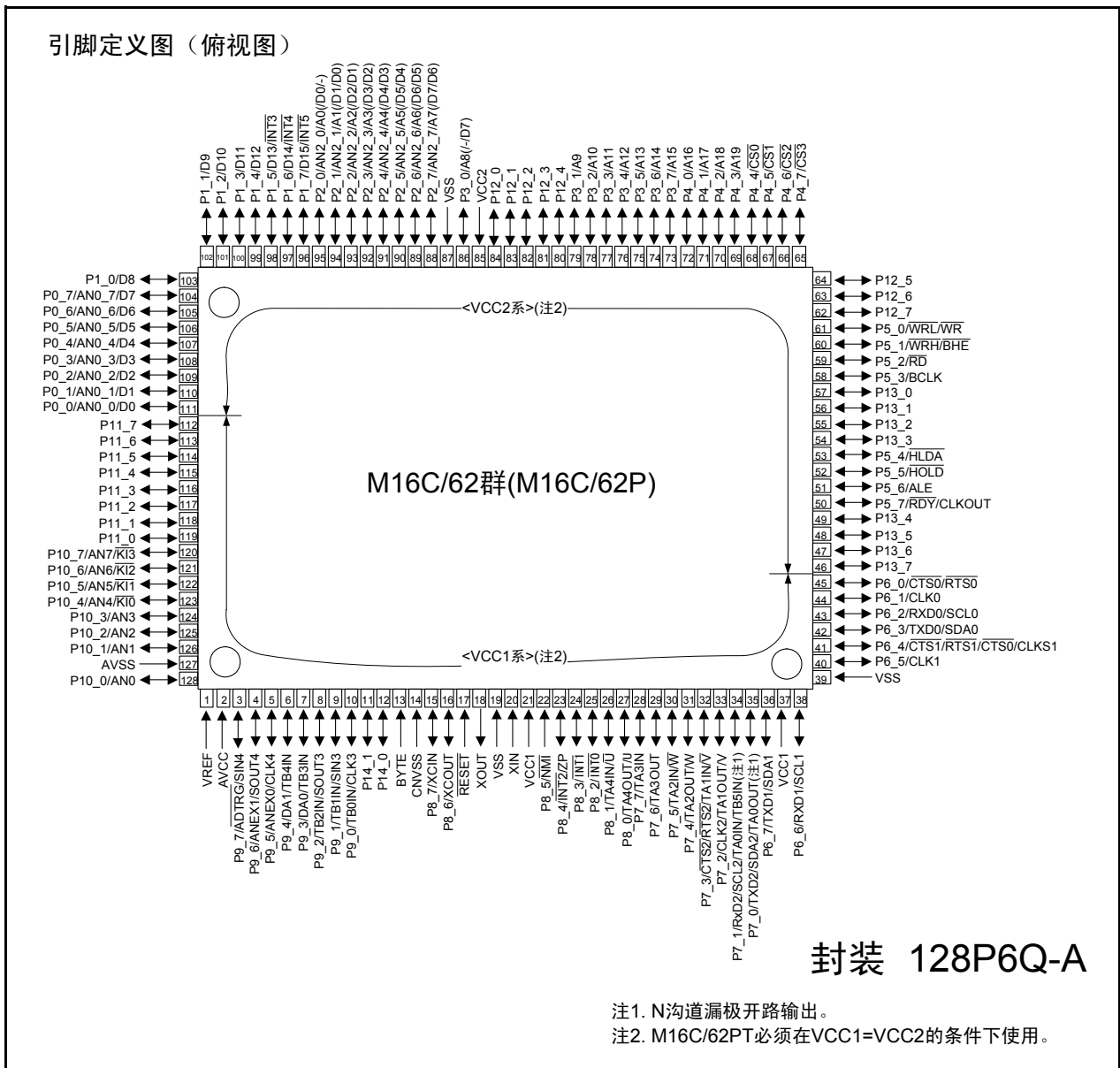


图 1.6 引脚定义图 (俯视图)

表1.10 128引脚版的引脚名一览表(1)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART引脚	模拟引脚	总线控制引脚
1	VREF						
2	AVCC						
3		P9_7			SIN4	ADTRG	
4		P9_6			SOUT4	ANEX1	
5		P9_5			CLK4	ANEXO	
6		P9_4		TB4IN		DA1	
7		P9_3		TB3IN		DA0	
8		P9_2		TB2IN	SOUT3		
9		P9_1		TB1IN	SIN3		
10		P9_0		TB0IN	CLK3		
11		P14_1					
12		P14_0					
13	BYTE						
14	CNVSS						
15	XCIN	P8_7					
16	XCOUT	P8_6					
17	RESET						
18	XOUT						
19	VSS						
20	XIN						
21	VCC1						
22		P8_5	NMI				
23		P8_4	INT2	ZP			
24		P8_3	INT1				
25		P8_2	INT0				
26		P8_1		TA4IN/U			
27		P8_0		TA4OUT/U			
28		P7_7		TA3IN			
29		P7_6		TA3OUT			
30		P7_5		TA2IN/W			
31		P7_4		TA2OUT/W			
32		P7_3		TA1IN/V	CTS2/RTS2		
33		P7_2		TA1OUT/V	CLK2		
34		P7_1		TA0IN/TB5IN/	RXD2/SCL2		
35		P7_0		TA0OUT	TXD2/SDA2		
36		P6_7			TXD1/SDA1		
37	VCC1						
38		P6_6			RXD1/SCL1		
39	VSS						
40		P6_5			CLK1		
41		P6_4			CTS1/RTS1/CTS0/CLKS1		
42		P6_3			TXD0/SDA0		
43		P6_2			RXD0/SCL0		
44		P6_1			CLK0		
45		P6_0			CTS0/RTS0		
46		P13_7					
47		P13_6					
48		P13_5					
49		P13_4					
50		P5_7					RDY/CLKOUT

表1.11 128引脚版的引脚名一览表(2)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART引脚	模拟引脚	总线控制引脚
51		P5_6					ALE
52		P5_5					HOLD
53		P5_4					HLDA
54		P13_3					
55		P13_2					
56		P13_1					
57		P13_0					
58		P5_3					BCLK
59		P5_2					RD
60		P5_1					WRH/BHE
61		P5_0					WRL/WR
62		P12_7					
63		P12_6					
64		P12_5					
65		P4_7					CS3
66		P4_6					CS2
67		P4_5					CS1
68		P4_4					CS0
69		P4_3					A19
70		P4_2					A18
71		P4_1					A17
72		P4_0					A16
73		P3_7					A15
74		P3_6					A14
75		P3_5					A13
76		P3_4					A12
77		P3_3					A11
78		P3_2					A10
89		P3_1					A9
80		P12_4					
81		P12_3					
82		P12_2					
83		P12_1					
84		P12_0					
85	VCC2						
86		P3_0					A8 (/-/D7)
87	VSS						
88		P2_7				AN2_7	A7 (/D7/D6)
89		P2_6				AN2_6	A6 (/D6/D5)
90		P2_5				AN2_5	A5 (/D5/D4)
91		P2_4				AN2_4	A4 (/D4/D3)
92		P2_3				AN2_3	A3 (/D3/D2)
93		P2_2				AN2_2	A2 (/D2/D1)
94		P2_1				AN2_1	A1 (/D1/D0)
95		P2_0				AN2_0	A0 (/D0/-)
96		P1_7	INT5				D15
97		P1_6	INT4				D14
98		P1_5	INT3				D13
99		P1_4					D12
100		P1_3					D11

表 1.12 128引脚版的引脚名一览表 (3)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART引脚	模拟引脚	总线控制引脚
101		P1_2					D10
102		P1_1					D9
103		P1_0					D8
104		P0_7				ANO_7	D7
105		P0_6				ANO_6	D6
106		P0_5				ANO_5	D5
107		P0_4				ANO_4	D4
108		P0_3				ANO_3	D3
109		P0_2				ANO_2	D2
110		P0_1				ANO_1	D1
111		P0_0				ANO_0	D0
112		P11_7					
113		P11_6					
114		P11_5					
115		P11_4					
116		P11_3					
117		P11_2					
118		P11_1					
119		P11_0					
120		P10_7	$\overline{K13}$			AN7	
121		P10_6	$\overline{K12}$			AN6	
122		P10_5	$\overline{K11}$			AN5	
123		P10_4	$\overline{K10}$			AN4	
124		P10_3				AN3	
125		P10_2				AN2	
126		P10_1				AN1	
127	AVSS						
128		P10_0				ANO	



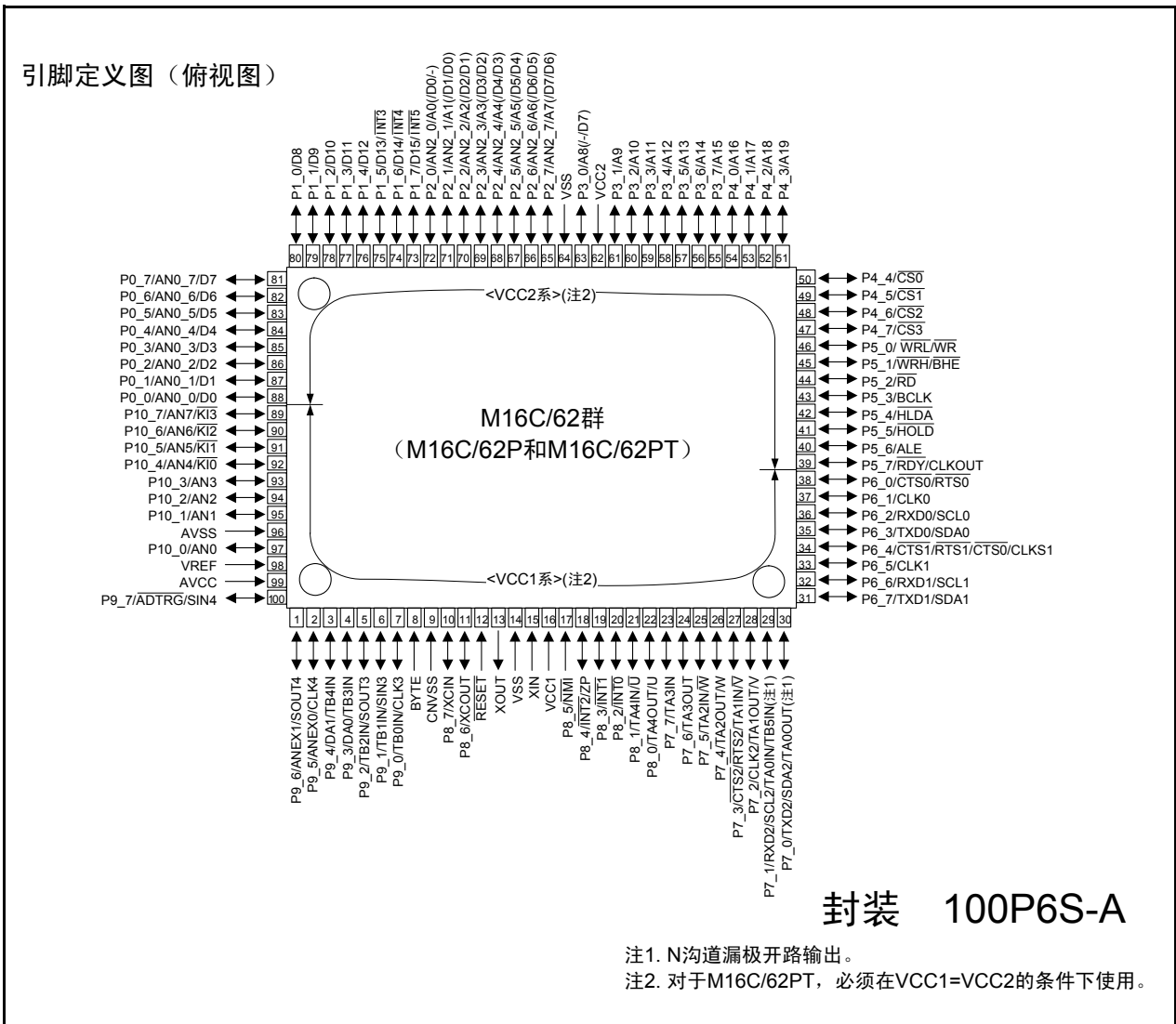


图 1.7 引脚定义图 (俯视图)

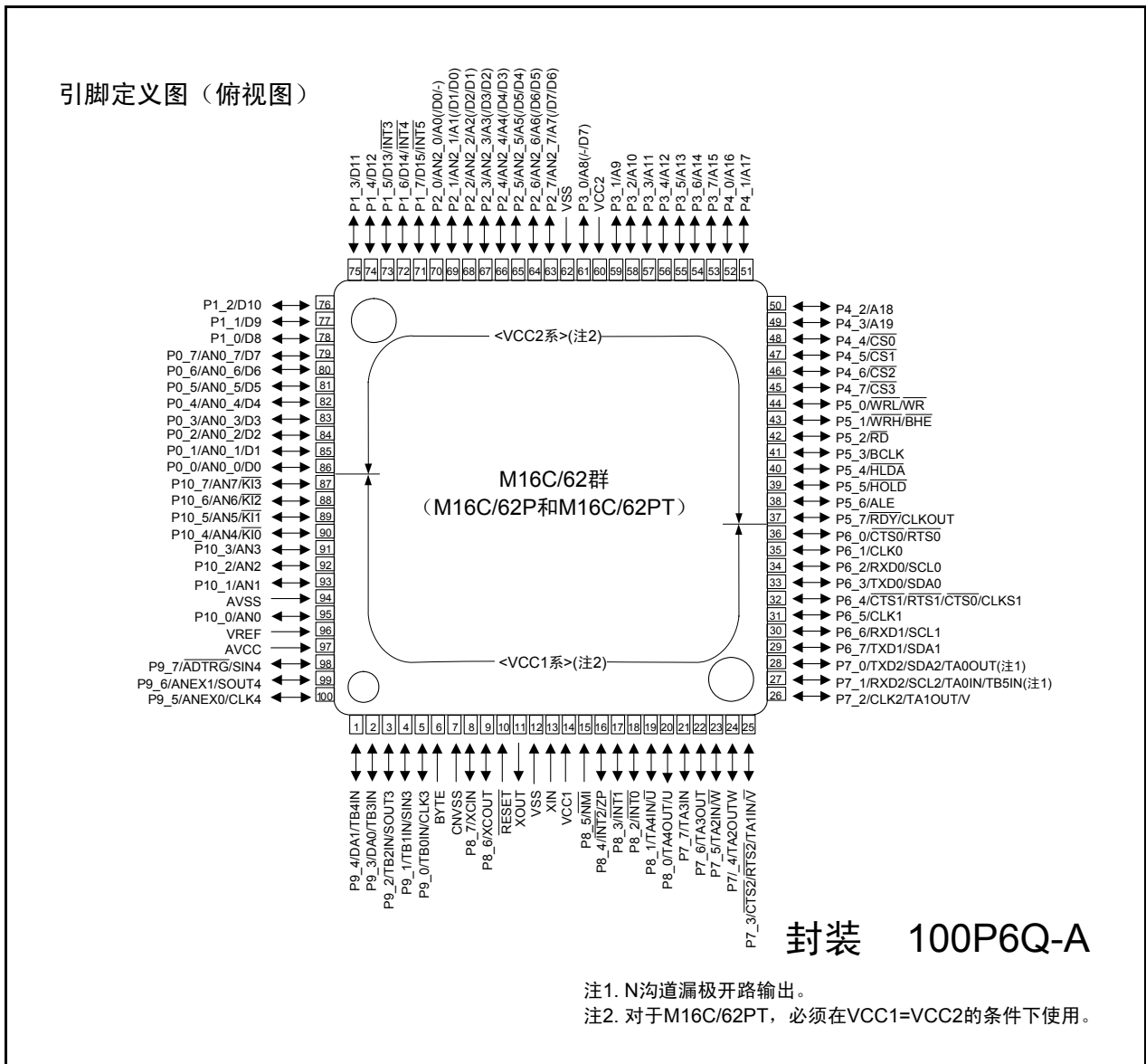


图 1.8 引脚定义图 (俯视图)

表1.13 100引脚版的引脚名一览表(1)

Pin No.		控制引脚	端口	中断引脚	定时器引脚	UART引脚	模拟引脚	总线控制引脚
FP	GP							
1	99		P9_6			SOUT4	ANEX1	
2	100		P9_5			CLK4	ANEX0	
3	1		P9_4		TB4IN		DA1	
4	2		P9_3		TB3IN		DA0	
5	3		P9_2		TB2IN	SOUT3		
6	4		P9_1		TB1IN	SIN3		
7	5		P9_0		TB0IN	CLK3		
8	6	BYTE						
9	7	CNVSS						
10	8	XCIN	P8_7					
11	9	XCOUT	P8_6					
12	10	RESET						
13	11	XOUT						
14	12	VSS						
15	13	XIN						
16	14	VCC1						
17	15		P8_5	NMI				
18	16		P8_4	INT2	ZP			
19	17		P8_3	INT1				
20	18		P8_2	INT0				
21	19		P8_1		TA4IN/U			
22	20		P8_0		TA4OUT/U			
23	21		P7_7		TA3IN			
24	22		P7_6		TA3OUT			
25	23		P7_5		TA2IN/W			
26	24		P7_4		TA2OUT/W			
27	25		P7_3		TA1IN/V	CTS2/RTS2		
28	26		P7_2		TA1OUT/V	CLK2		
29	27		P7_1		TA0IN/TB5IN/	RXD2/SCL2		
30	28		P7_0		TA0OUT	TXD2/SDA2		
31	29		P6_7			TXD1/SDA1		
32	30		P6_6			RXD1/SCL1		
33	31		P6_5			CLK1		
34	32		P6_4			CTS1/RTS1/CTS0/CLKS1		
35	33		P6_3			TXD0/SDA0		
36	34		P6_2			RXD0/SCL0		
37	35		P6_1			CLK0		
38	36		P6_0			CTS0/RTS0		
39	37		P5_7					RDY/CLKOUT
40	38		P5_6					ALE
41	39		P5_5					HOLD
42	40		P5_4					HLDA
43	41		P5_3					BCLK
44	42		P5_2					RD
45	43		P5_1					WRH/BHE
46	44		P5_0					WRL/WR
47	45		P4_7					CS3
48	46		P4_6					CS2
49	47		P4_5					CS1
50	48		P4_4					CS0

表1.14 100引脚版的引脚名一览表(2)

Pin No.		控制引脚	端口	中断引脚	定时器引脚	UART引脚	模拟引脚	总线控制引脚
FP	GP							
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8 (/-/D7)
64	62	VSS						
65	63		P2_7				AN2_7	A7 (/D7/D6)
66	64		P2_6				AN2_6	A6 (/D6/D5)
67	65		P2_5				AN2_5	A5 (/D5/D4)
68	66		P2_4				AN2_4	A4 (/D4/D3)
69	67		P2_3				AN2_3	A3 (/D3/D2)
70	68		P2_2				AN2_2	A2 (/D2/D1)
71	69		P2_1				AN2_1	A1 (/D1/D0)
72	70		P2_0				AN2_0	A0 (/D0/-)
73	71		P1_7	$\overline{\text{INT5}}$				D15
74	72		P1_6	$\overline{\text{INT4}}$				D14
75	73		P1_5	$\overline{\text{INT3}}$				D13
76	74		P1_4					D12
77	75		P1_3					D11
78	76		P1_2					D10
79	77		P1_1					D9
80	78		P1_0					D8
81	79		P0_7				ANO_7	D7
82	80		P0_6				ANO_6	D6
83	81		P0_5				ANO_5	D5
84	82		P0_4				ANO_4	D4
85	83		P0_3				ANO_3	D3
86	84		P0_2				ANO_2	D2
87	85		P0_1				ANO_1	D1
88	86		P0_0				ANO_0	D0
89	87		P10_7	$\overline{\text{K13}}$			AN7	
90	88		P10_6	$\overline{\text{K12}}$			AN6	
91	89		P10_5	$\overline{\text{K11}}$			AN5	
92	90		P10_4	$\overline{\text{K10}}$			AN4	
93	91		P10_3				AN3	
94	92		P10_2				AN2	
95	93		P10_1				AN1	
96	94	AVSS						
97	95		P10_0				ANO	
98	96	VREF						
99	97	AVCC						
100	98		P9_7			SIN4	$\overline{\text{ADTRG}}$	

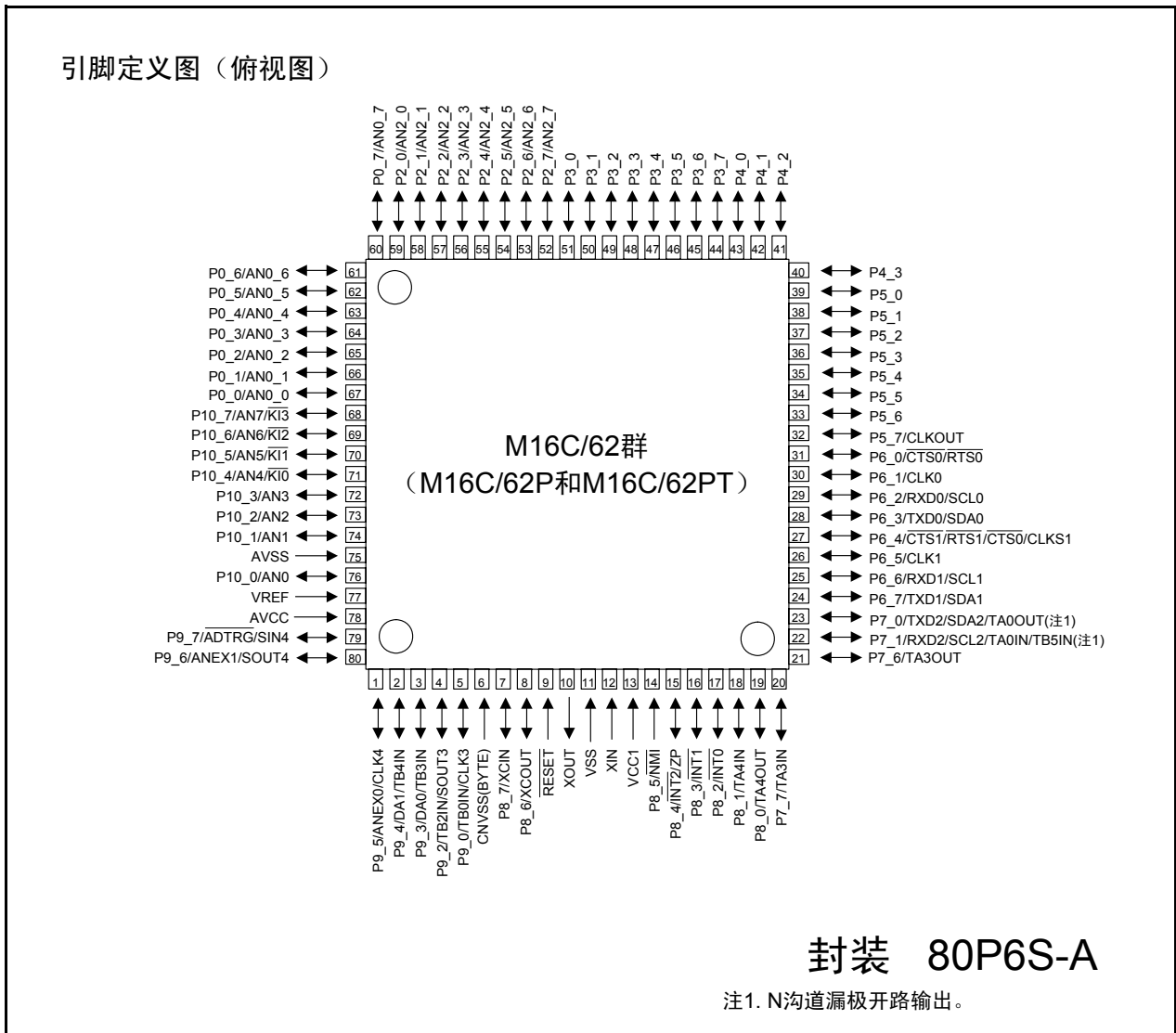


图 1.9 引脚定义图 (俯视图)

表 1.15 80引脚版的引脚名一览表 (1)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART引脚	模拟引脚	
1		P9_5			CLK4	ANEXO	
2		P9_4		TB4IN		DA1	
3		P9_3		TB3IN		DA0	
4		P9_2		TB2IN	SOUT3		
5		P9_0		TB0IN	CLK3		
6	CNVSS (BYTE)						
7	XCIN	P8_7					
8	XCOUT	P8_6					
9	RESET						
10	XOUT						
11	VSS						
12	XIN						
13	VCC1						
14		P8_5	$\overline{\text{NMI}}$				
15		P8_4	$\overline{\text{INT2}}$	ZP			
16		P8_3	$\overline{\text{INT1}}$				
17		P8_2	$\overline{\text{INT0}}$				
18		P8_1		TA4IN			
19		P8_0		TA4OUT			
20		P7_7		TA3IN			
21		P7_6		TA3OUT			
22		P7_1		TA0IN/TB5IN/	RXD2/SCL2		
23		P7_0		TA0OUT	TXD2/SDA2		
24		P6_7			TXD1/SDA1		
25		P6_6			RXD1/SCL1		
26		P6_5			CLK1		
27		P6_4			$\overline{\text{CTS1}}/\overline{\text{RTS1}}/\overline{\text{CTS0}}/\overline{\text{CLKS1}}$		
28		P6_3			TXD0/SDA0		
29		P6_2			RXD0/SCL0		
30		P6_1			CLK0		
31		P6_0			$\overline{\text{CTS0}}/\overline{\text{RTS0}}$		
32		P5_7					CLKOUT
33		P5_6					
34		P5_5					
35		P5_4					
36		P5_3					
37		P5_2					
38		P5_1					
39		P5_0					
40		P4_3					
41		P4_2					
42		P4_1					
43		P4_0					
44		P3_7					
45		P3_6					
46		P3_5					
47		P3_4					
48		P3_3					
49		P3_2					
50		P3_1					

表 1.16 80引脚版的引脚名一览表 (2)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚	总线控制引脚
51		P3_0					
52		P2_7				AN2_7	
53		P2_6				AN2_6	
54		P2_5				AN2_5	
55		P2_4				AN2_4	
56		P2_3				AN2_3	
57		P2_2				AN2_2	
58		P2_1				AN2_1	
59		P2_0				AN2_0	
60		P0_7				ANO_7	
61		P0_6				ANO_6	
62		P0_5				ANO_5	
63		P0_4				ANO_4	
64		P0_3				ANO_3	
65		P0_2				ANO_2	
66		P0_1				ANO_1	
67		P0_0				ANO_0	
68		P10_7	$\overline{K13}$			AN7	
69		P10_6	$\overline{K12}$			AN6	
70		P10_5	$\overline{K11}$			AN5	
71		P10_4	$\overline{K10}$			AN4	
72		P10_3				AN3	
73		P10_2				AN2	
74		P10_1				AN1	
75	AVSS						
76		P10_0				ANO	
77	VREF						
78	AVCC						
79		P9_7			SIN4	$\overline{ADTRG}$	
80		P9_6			SOUT4	ANEX1	

## 1.6 引脚功能的说明

表 1.17 引脚的功能说明 (100 引脚版、128 引脚版共通) (1)

分类	引脚名	输入/输出	电源系 (注3)	功能
电源输入	VCC1、VCC2	输入	—	输入电压范围: $2.7V \leq VCC2 \leq VCC1 \leq 5.5V$ 。VSS 输入为 0V (注1、2)
模拟电源输入	AVCC AVSS	输入	VCC1	A/D转换器的电源输入。将AVCC连接到VCC1, 并且将AVSS连接到VSS。
复位输入	$\overline{\text{RESET}}$	输入	VCC1	如果此引脚接“L”电平, 单片机就进入复位状态。
CNVSS	CNVSS	输入	VCC1	用于切换处理器模式的引脚。复位后, 在单芯片模式下开始运行时连接到VSS, 在微处理器模式下开始运行时连接到VCC1。
外部数据总线宽度选择输入	BYTE	输入	VCC1	用于切换外部数据总线的引脚。此引脚为“L”电平时为16位, “H”电平时为8位。固定为“L”电平或者“H”电平。单芯片模式时必须连接到VSS。
总线控制引脚 (注4)	D0 ~ D7	输入/输出	VCC2	在选择了独立总线时, 进行数据 (D0 ~ D7) 的输入/输出。
	D8 ~ D15	输入/输出	VCC2	在外部数据总线为16位且选择了独立总线时, 进行数据 (D8 ~ D15) 的输入/输出。
	A0 ~ A19	输出	VCC2	输出地址 A0 ~ A19。
	A0/D0 ~ A7/D7	输入/输出	VCC2	在外部数据总线为8位且选择了多路复用总线时, 分时进行数据 (D0 ~ D7) 的输入/输出和地址 (A0 ~ A7) 的输出。
	A1/D0 ~ A8/D7	输入/输出	VCC2	在外部数据总线为16位且选择了多路复用总线时, 分时进行数据 (D0 ~ D7) 的输入/输出和地址 (A1 ~ A8) 的输出。
	$\overline{\text{CS0}} \sim \overline{\text{CS3}}$	输出	VCC2	芯片选择信号。用于指定存取空间。
	$\overline{\text{WRL}}/\overline{\text{WR}}$ $\overline{\text{WRH}}/\overline{\text{BHE}}$ RD	输出	VCC2	输出 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、( $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ )、RD 信号。通过程序转换 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 或者 $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$ 。 • 选择 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、RD 时 在外部数据总线为16位的情况下, $\overline{\text{WRL}}$ 信号为“L”电平时写偶地址, $\overline{\text{WRH}}$ 信号为“L”电平时写奇地址。在 RD 信号为“L”电平时, 为读状态。 • 选择 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、RD 时 在 $\overline{\text{WR}}$ 信号为“L”电平时, 为写状态。在 RD 信号为“L”电平时, 为读状态。BHE 信号为“L”电平时存取奇数地址。外部数据总线为8位时, 必须使用此模式。
	ALE	输出	VCC2	地址锁存信号。
	HOLD	输入	VCC2	在输入为“L”电平期间, 单片机为保持状态。
	$\overline{\text{HLDA}}$	输出	VCC2	在保持状态期间, 输出“L”电平。
$\overline{\text{RDY}}$	输入	VCC2	在输入为“L”电平期间, 单片机进入等待状态。	

电源系: 将与外部总线有关的引脚电源分为 VCC2 系。因此能输入和 VCC1 系不同的电压。

注1. 在此后的说明中, 如果没有特别指定, 文中记述的 VCC 就表示 VCC1。

注2. 对于 M16C/62PT, 必须给 VCC1 输入 4.0 ~ 5.5V, 且输入条件必须是 VCC1=VCC2。

注3. 在 VCC1>VCC2 条件下使用时, 请注意确认事项和限制事项。

注4. M16C/62PT 不能使用总线控制引脚。



表1.18 引脚的功能说明(100引脚版、128引脚版共通)(2)

分类	引脚名	输入/输出	电源系 (注1)	功能
主时钟输入	XIN	输入	VCC1	主时钟振荡电路的输入/输出。在XIN和XOUT之间连接陶瓷谐振器或者晶体振荡器(注3)。如果输入外部生成的时钟,就从XIN输入时钟,并将XOUT置为开路。
主时钟输出	XOUT	输出	VCC1	
副时钟输入	XCIN	输入	VCC1	是副时钟振荡电路的输入/输出。在XCIN和XCOUT之间连接晶体振荡器(注3)。如果输入外部生成的时钟,就从XCIN输入时钟,并将XCOUT置为开路。
副时钟输出	XCOUT	输出	VCC1	
BCLK输出(注2)	BCLK	输出	VCC2	输出BCLK信号。
时钟输出	CLKOUT	输出	VCC2	输出和fC、f8或者f32相同周期的时钟。
INT 中断输入	$\overline{\text{INT0}} \sim \overline{\text{INT2}}$	输入	VCC1	INT 中断的输入。
	$\overline{\text{INT3}} \sim \overline{\text{INT5}}$	输入	VCC2	
$\overline{\text{NMI}}$ 中断输入	$\overline{\text{NMI}}$	输入	VCC1	$\overline{\text{NMI}}$ 中断的输入
键输入中断的输入	$\overline{\text{K10}} \sim \overline{\text{K13}}$	输入	VCC1	键输入中断的输入。
定时器A	TA0OUT ~ TA4OUT	输入/输出	VCC1	定时器A0~4的输入/输出(但是,TA0OUT的输出为N沟道漏极开路输出)。
	TA0IN ~ TA4IN	输入	VCC1	定时器A0~4的输入。
	ZP	输入	VCC1	Z相的输入。
定时器B	TB0IN ~ TB5IN	输入	VCC1	定时器B0~5的输入。
用于三相马达控制的定时器输出	U, $\overline{\text{U}}$ , V, $\overline{\text{V}}$ , W, $\overline{\text{W}}$	输出	VCC1	用于三相马达控制的定时器输出
串行接口	$\overline{\text{CTS0}} \sim \overline{\text{CTS2}}$	输入	VCC1	发送控制的输入。
	$\overline{\text{RTS0}} \sim \overline{\text{RTS2}}$	输出	VCC1	接收控制的输出。
	CLK0 ~ CLK4	输入/输出	VCC1	传送时钟的输入/输出。
	RXD0 ~ RXD2	输入	VCC1	串行数据的输入。
	SIN3, SIN4	输入	VCC1	串行数据的输入。
	TXD0 ~ TXD2	输出	VCC1	串行数据的输出(但是,TXD2的输出为N沟道漏极开路输出)。
	SOUT3, SOUT4	输出	VCC1	串行数据的输出。
	CLKS1	输出	VCC1	传送时钟多引脚输出功能的输出。
I <sup>2</sup> C 模式	SDA0 ~ SDA2	输入/输出	VCC1	串行数据的输入/输出(但是,SDA2的输出为N沟道漏极开路输出)。
	SCL0 ~ SCL2	输入/输出	VCC1	传送时钟的输入/输出(但是,SCL2的输出为N沟道漏极开路输出)。

注1. 在VCC1>VCC2的条件下使用时,请注意确认事项和限制事项。

注2. M16C/62PT不能使用此引脚功能。

注3. 有关振荡特性,请向谐振器制造厂询问。

表1.19 引脚的功能说明 (100引脚版、128引脚版共通) (3)

分类	引脚名	输入/ 输出	电源系统 (注1)	功能
基准电压输入	VREF	输入	VCC1	A/D转换器和D/A转换器的基准电压输入。
A/D转换器	ANO <sub>0</sub> ~ ANO <sub>7</sub> ANO <sub>0</sub> _0 ~ ANO <sub>7</sub> _7 AN2 <sub>0</sub> _0 ~ AN2 <sub>7</sub> _7	输入	VCC1	A/D转换器的模拟输入
	ADTRG	输入	VCC1	A/D外部触发输入
	ANEX0	输入/ 输出	VCC1	A/D转换器的扩展模拟输入和在外部分运算放大器连接模式的输出。
	ANEX1	输入	VCC1	A/D转换器的扩展模拟输入。
D/A转换器	DA0, DA1	输出	VCC1	D/A转换器的输出。
I/O端口	P0_0 ~ P0_7 P1_0 ~ P1_7 P2_0 ~ P2_7 P3_0 ~ P3_7 P4_0 ~ P4_7 P5_0 ~ P5_7 P12_0 ~ P12_7(注2) P13_0 ~ P13_7(注2)	输入/ 输出	VCC2	CMOS的8位I/O端口。具有选择输入/输出的方向寄存器，每个引脚都能设定为输入端口或者输出端口。输入端口能以4位为单位选择有无上拉电阻。
	P6_0 ~ P6_7 P7_0 ~ P7_7 P9_0 ~ P9_7 P10_0 ~ P10_7 P11_0 ~ P11_7(注2)	输入/ 输出	VCC1	具有和P0同等功能的8位I/O端口(但是，P7_0、P7_1的输出为N沟道漏极开路输出)。
	P8_0 ~ P8_4, P8_6, P8_7 P14_0, P14_1(注2)	输入/ 输出	VCC1	具有和P0同等功能的I/O端口。
输入端口	P8_5	输入	VCC1	和NMI <sub>1</sub> 引脚复用。是用于确认NMI <sub>1</sub> 输入电平的输入专用端口。

注1. 在VCC1>VCC2的状态下使用时，请注意确认事项和限制事项。

注2. M16C/62P(100引脚版)、M16C/62PT(100引脚版)不能使用P11~P14。

表1.20 引脚的功能说明(80引脚版)(1)(注1)

分类	引脚名	输入/输出	电源系统	功能
电源输入	VCC1 VSS	输入	—	必须给VCC1引脚输入2.7V~5.5V, 将0V输入到VSS。(注2)
模拟电源输入	AVCC AVSS	输入	VCC1	A/D转换器的电源输入。必须将AVCC连接到VCC1, 并且将AVSS连接到VSS。
复位输入	RESET	输入	VCC1	如果此引脚接“L”电平, 单片机就变为复位状态。
CNVSS	CNVSS (BYTE)	输入	VCC1	用于切换处理器模式的引脚。复位后, 如果在单芯片模式下开始运行, 就必须连接到VSS, 如果在微处理器模式下开始运行就必须连接到VCC1。在单片机内部, 对80引脚版的BYTE引脚进行上拉处理。
主时钟输入	XIN	输入	VCC1	主时钟振荡电路的输入/输出。必须在XIN和XOUT之间连接陶瓷谐振器或者晶体振荡器(注3)。如果输入外部生成的时钟, 就必须从XIN输入时钟, 并将XOUT置为开路。
主时钟输出	XOUT	输出	VCC1	
副时钟输入	XCIN	输入	VCC1	副时钟振荡电路的输入/输出。必须在XCIN和XCOUT之间连接晶体振荡器(注3)。如果输入外部生成的时钟, 就必须从XCIN输入时钟, 并将XCOUT置为开路。
副时钟输出	XCOUT	输出	VCC1	
时钟输出	CLKOUT	输出	VCC1	输出和fC、f8或者f32相同周期的时钟。
INT中断输入	INT0~INT2	输入	VCC1	INT中断的输入。
NMI中断输入	NMI	输入	VCC1	NMI中断的输入。
键输入的中断输入	KI0~KI3	输入	VCC1	键输入中断输入。
定时器A	TA0OUT TA3OUT TA4OUT	输入/输出	VCC1	定时器A0、定时器A3和定时器A4的输入/输出(但是, TA0OUT的输出为N沟道漏极开路输出)。
	TA0IN TA3IN TA4IN	输入	VCC1	定时器A0、定时器A3和定时器A4的输入。
	ZP	输入	VCC1	Z相的输入。
定时器B	TB0IN TB2IN~ TB5IN	输入	VCC1	定时器B0和定时器B2~5的输入。
串行接口	CTS0, CTS1	输入	VCC1	发送控制的输入。
	RTS0, RTS1	输出	VCC1	接收控制的输出
	CLK0, CLK1 CLK3, CLK4	输入/输出	VCC1	传送时钟的输入/输出。
	RXD0~RXD2	输入	VCC1	串行数据的输入
	SIN4	输入	VCC1	串行数据的输入
	TXD0~TXD2	输出	VCC1	串行数据的输出(但是, TXD2的输出为N沟道漏级开路输出)。
	SOUT3, SOUT4	输出	VCC1	串行数据的输出
	CLKS1	输出	VCC1	传送时钟多引脚输出功能的输出。
I <sup>2</sup> C模式	SDA0~SDA2	输入/输出	VCC1	串行数据的输入/输出(但是, SDA2的输出为N沟道漏级开路输出)。
	SCL0~SCL2	输入/输出	VCC1	传送时钟的输入/输出(但是, SCL2的输出为N沟道漏级开路输出)。

注1. 在此后的说明中, 如果没有特别指定, 文中记述的VCC就表示VCC1。

注2. 对于M16C/62PT, 必须给VCC1引脚输入4.0~5.5V。

注3. 有关振荡特性, 请向谐振器制造厂询问。

表1.21 引脚的功能说明 (80引脚版) (2)

分类	引脚名	输入/ 输出	电源 系统	功能
基准电压输入	VREF	输入	VCC1	A/D转换器和D/A转换器的基准电压输入。
A/D转换器	ANO <sub>0</sub> ~ANO <sub>7</sub> ANO <sub>0_0</sub> ~ANO <sub>0_7</sub> AN2 <sub>0</sub> ~AN2 <sub>7</sub>	输入	VCC1	A/D转换器的模拟输入。
	ADTRG	输入	VCC1	A/D外部触发输入
	ANEX0	输入/ 输出	VCC1	A/D转换器的扩展模拟输入和在外外部运算放大器连接模式的输出。
	ANEX1	输入	VCC1	A/D转换器的扩展模拟输入
D/A转换器	DA0, DA1	输出	VCC1	D/A转换器的输出。
I/O端口 (注1)	P0 <sub>0</sub> ~P0 <sub>7</sub> P2 <sub>0</sub> ~P2 <sub>7</sub> P3 <sub>0</sub> ~P3 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub> P6 <sub>0</sub> ~P6 <sub>7</sub> P10 <sub>0</sub> ~P10 <sub>7</sub>	输入/ 输出	VCC1	CMOS的8位I/O端口。具有选择输入/输出的方向寄存器，每个引脚都能设定为输入端口或者输出端口。 输入端口能以4位为单位选择有无上拉电阻。
	P8 <sub>0</sub> ~P8 <sub>4</sub> , P8 <sub>6</sub> , P8 <sub>7</sub> P9 <sub>0</sub> , P9 <sub>2</sub> ~P9 <sub>7</sub>	输入/ 输出	VCC1	具有和P0同等功能的I/O端口。
	P4 <sub>0</sub> ~P4 <sub>3</sub> P7 <sub>0</sub> , P7 <sub>1</sub> , P7 <sub>6</sub> , P7 <sub>7</sub>	输入/ 输出	VCC1	具有和P0同等功能的输出端口 (但是, P7 <sub>0</sub> 、P7 <sub>1</sub> 的输出为N沟道漏极开路输出)。
输入端口	P8 <sub>5</sub>	输入	VCC1	NMI中断的输入, 可通过读取P8寄存器中的P8.5位获取引脚状态。

注1. 80引脚版的P1、P4<sub>4</sub>~P4<sub>7</sub>、P7<sub>2</sub>~P7<sub>5</sub>、P9<sub>1</sub>没有与外部连接。必须用程序将这些端口的方向位置“1”(输出模式)并且将输出数据置“0”(“L”)。

## 2. 中央处理器

CPU的寄存器如图2.1所示。CPU有13个寄存器。其中，R0、R1、R2、R3、A0、A1、FB构成寄存器组。寄存器组有2组。

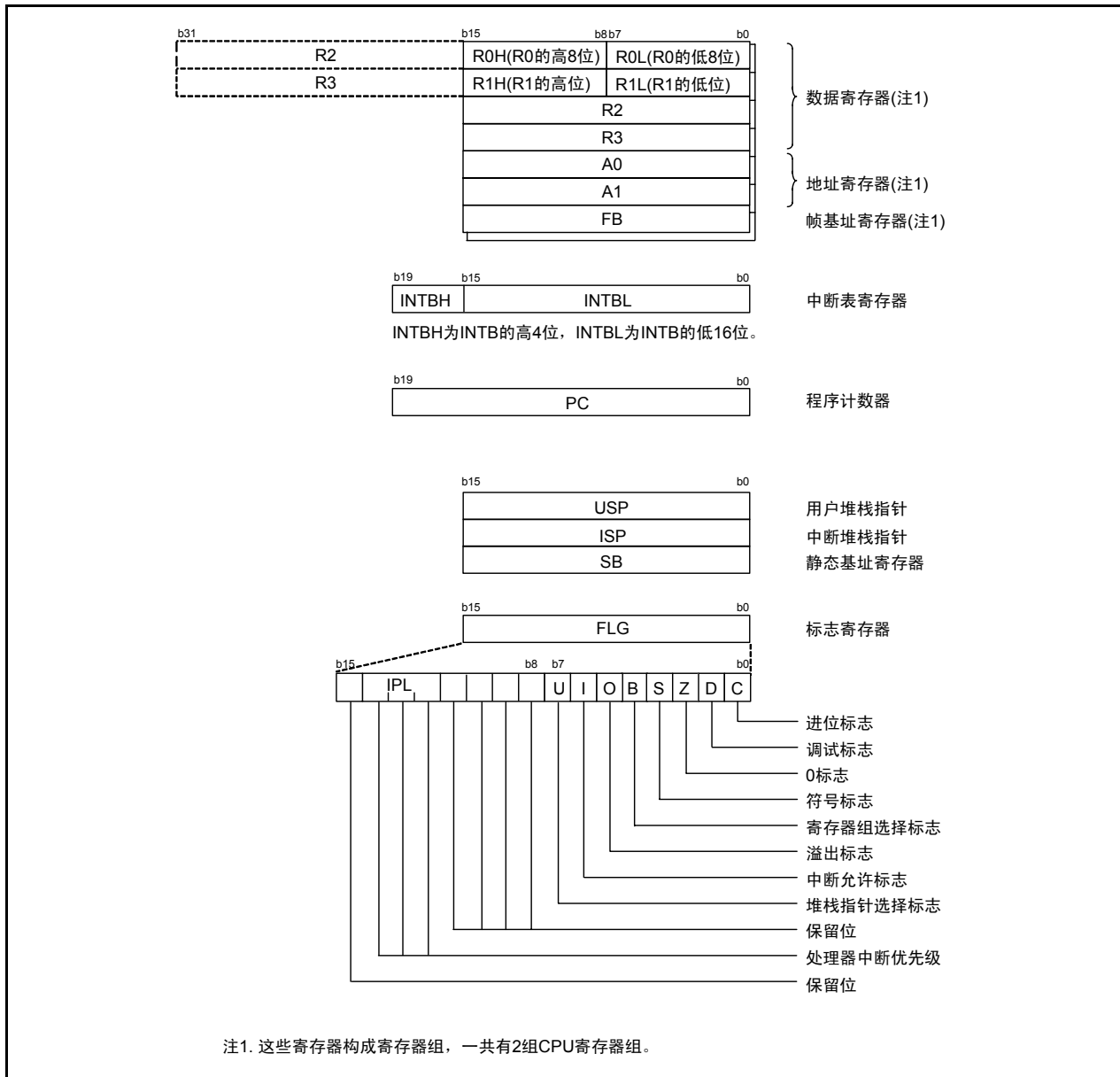


图2.1 CPU的寄存器

## 2.1 数据寄存器 (R0、R1、R2、R3)

R0由16位构成，主要用于传送、算术和逻辑运算。R1~R3与R0一样。

能将R0的高8位 (R0H) 和低8位 (R0L) 分别作为8位数据寄存器使用，R1H、R1L与R0H、R0L一样。能将R2和R0组合，作为32位数据寄存器 (R2R0) 使用。R3R1与R2R0一样。

## 2.2 地址寄存器 (A0、A1)

A0由16位构成，用于地址寄存器间接寻址和地址寄存器相对寻址，也可用于传送、算术和逻辑运算。

A1与A0一样。能将A1和A0组合，作为32位地址寄存器 (A1A0) 使用。

## 2.3 帧基址寄存器 (FB)

FB由16位构成，用于FB相对寻址。

## 2.4 中断表寄存器 (INTB)

INTB由20位构成，表示可变中断向量表的起始地址。

## 2.5 程序计数器 (PC)

PC由20位构成，表示下次将执行的指令地址。

## 2.6 用户堆栈指针 (USP)、中断堆栈指针 (ISP)

堆栈指针 (SP) 有USP和ISP两种，都由16位构成。

能通过FLG的U标志，选择USP或ISP。

## 2.7 静态基址寄存器 (SB)

SB由16位构成，用于SB相对寻址。

## 2.8 标志寄存器 (FLG)

FLG由11位构成，表示CPU的状态。

### 2.8.1 进位标志 (C标志)

C标志存放由算术逻辑单元产生的进位、借位及移位操作中的移出位。

### 2.8.2 调试标志 (D标志)

D标志是调试专用位，必须置“0”。

### 2.8.3 零标志 (Z标志)

运算结果位0时置“1”，否则置“0”。

### 2.8.4 符号标志 (S标志)

运算结果为负时置“1”，否则置“0”。

### 2.8.5 寄存器组选择标志 (B标志)

B标志为“0”时选择寄存器组0，为“1”时选择寄存器组1。

### 2.8.6 溢出标志 (O标志)

运算结果溢出时为“1”，否则为“0”。

### 2.8.7 中断允许标志 (I标志)

I标志是可屏蔽中断的允许标志。

I标志为“0”时禁止可屏蔽中断，为“1”时允许可屏蔽中断。

如果接受中断请求，I标志就变为“0”。

### 2.8.8 堆栈指针选择标志 (U标志)

U标志为“0”时选择ISP，为“1”时选择USP。

当接受硬件中断请求或者执行软件中断号0~31的INT指令时，U标志变为“0”。

### 2.8.9 处理器中断优先级 (IPL)

IPL由3位构成，指定0~7级的8个处理器中断优先级。

若请求中断的优先级高于当前IPL值，允许该中断请求。

### 2.8.10 保留位

保留位只能写“0”，读时其值不定。





### 3. 存储器

M16C/62P群存储器分配如图3.1所示，地址空间为从00000h地址到FFFFFh地址的1M字节。

内部ROM分配在从FFFFFh地址开始向低位方向延伸的区域。例如64K字节的内部ROM分配在F0000h地址到FFFFFh地址之间。对于闪存版，在0F000h地址到0FFFFh地址之间有4k字节的区域(块A)，主要用于保存数据。但是也能保存程序。

固定中断向量表分配在FFFDCh地址到FFFFFh地址之间。在此，保存中断程序的起始地址。

内部RAM分配在从00400h地址向高位方向延伸的区域。例如10K字节的内部RAM分配在00400h地址到02BFFh地址。内部RAM除了保存数据之外，也可用作子程序调用和中断时的堆栈。

SFR分配在00000h地址到003FFh地址之间。在此，分配了外围功能的控制寄存器。SFR中未被分配的区域全部是保留区，用户不能使用。

专用页向量表分配在FFE00h地址到FFFDCh地址之间。这些向量地址在JMPS指令或JSRS指令中使用。详细内容请参照《M16C/60、M16C/20系列软件手册》。

在存储器扩展模式和微处理器模式中，部分区域为保留区，用户不能使用。

M16C/62P(80引脚版)、M16C/62PT必须使用在单芯片模式，不能使用在存储器扩展模式和微处理器模式。

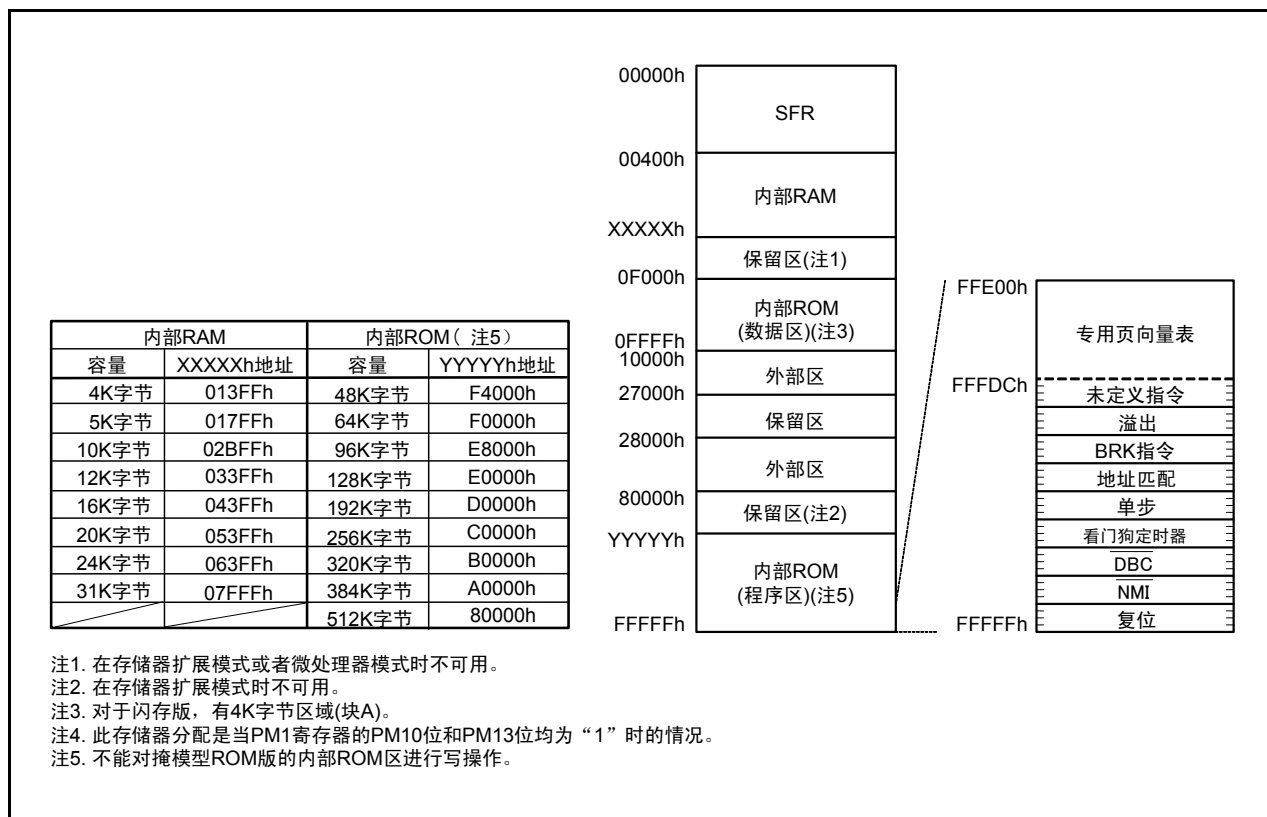


图3.1 存储器分配



## 4. SFR

SFR(Special Function Register)是外围功能的控制寄存器。表4.1-4.8为SFR一览表。

表4.1 SFR一览表(1)(注1)

地址	寄存器	符号	复位后的值
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器0(注2)	PM0	0000000b(CNVSS引脚为“L”) 0000001b(CNVSS引脚为“H”)
0005h	处理器模式寄存器1	PM1	00001000b
0006h	系统时钟控制寄存器0	CM0	01001000b
0007h	系统时钟控制寄存器1	CM1	00100000b
0008h	片选控制寄存器(注6)	CSR	00000001b
0009h	地址匹配中断允许寄存器	A1ER	XXXXXX00b
000Ah	保护寄存器	PRCR	XX000000b
000Bh	数据块寄存器(注6)	DBR	00h
000Ch	振荡停止检测寄存器(注3)	CM2	0X000000b
000Dh			
000Eh	看门狗定时器启动寄存器	WDT5	XXh
000Fh	看门狗定时器控制寄存器	WDC	00XXXXXXb(注4)
0010h	地址匹配中断寄存器0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	地址匹配中断寄存器1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h	电压检测寄存器1(注5、6)	VCR1	00001000b
001Ah	电压检测寄存器2(注5、6)	VCR2	00h
001Bh	片选扩展控制寄存器(注6)	CSE	00h
001Ch	PLL控制寄存器0	PLC0	0001X010b
001Dh			
001Eh	处理器模式寄存器2	PM2	XXX00000b
001Fh	低电压检测中断寄存器(注6)	D4INT	00h
0020h	DMA0源指针	SAR0	XXh
0021h			XXh
0022h			XXh
0023h			
0024h	DMA0目标指针	DAR0	XXh
0025h			XXh
0026h			XXh
0027h			
0028h	DMA0传送计数器	TCR0	XXh
0029h			XXh
002Ah			
002Bh			
002Ch	DMA0控制寄存器	DMOCON	00000X00b
002Dh			
002Eh			
002Fh			

注1. 空栏为保留区,不能存取。

注2. PM00、PM01位在软件复位、看门狗定时器复位、振荡停止检测复位时不变。

注3. CM20、CM21、CM27位在振荡停止检测复位时不变。

注4. WDC5位上电后为“0”(冷启动),只能通过程序置“1”。

注5. 在软件复位、看门狗定时器复位、振荡停止检测复位时不变。

注6. M16C/62PT不能使用该寄存器。

X:不定。

表 4.2 SFR一览表 (2) (注1)

地址	寄存器	符号	复位后的值
0030h 0031h 0032h	DMA1 源指针	SAR1	XXh XXh XXh
0033h			
0034h 0035h 0036h	DMA1 目标指针	DAR1	XXh XXh XXh
0037h			
0038h 0039h	DMA1 传送计数器	TCR1	XXh XXh
003Ah			
003Bh			
003Ch	DMA1 控制寄存器	DM1CON	0000X00b
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h	INT3 中断控制寄存器	INT3IC	XX00X000b
0045h	定时器 B5 中断控制寄存器	TB5IC	XXXXX000b
0046h	定时器 B4 中断控制寄存器、UART1 总线冲突检测中断控制寄存器	TB4IC、U1BCNIC	XXXXX000b
0047h	定时器 B3 中断控制寄存器、UART0 总线冲突检测中断控制寄存器	TB3IC、U0BCNIC	XXXXX000b
0048h	SI/04 中断控制寄存器、INT5 中断控制寄存器	S4IC、INT5IC	XX00X000b
0049h	SI/03 中断控制寄存器、INT4 中断控制寄存器	S3IC、INT4IC	XX00X000b
004Ah	UART2 总线冲突检测中断控制寄存器	BCNIC	XXXXX000b
004Bh	DMA0 中断控制寄存器	DM0IC	XXXXX000b
004Ch	DMA1 中断控制寄存器	DM1IC	XXXXX000b
004Dh	键输入中断控制寄存器	KUPIC	XXXXX000b
004Eh	A/D 转换中断控制寄存器	ADIC	XXXXX000b
004Fh	UART2 发送中断控制寄存器	S2TIC	XXXXX000b
0050h	UART2 接收中断控制寄存器	S2RIC	XXXXX000b
0051h	UART0 发送中断控制寄存器	S0TIC	XXXXX000b
0052h	UART0 接收中断控制寄存器	S0RIC	XXXXX000b
0053h	UART1 发送中断控制寄存器	S1TIC	XXXXX000b
0054h	UART1 接收中断控制寄存器	S1RIC	XXXXX000b
0055h	定时器 A0 中断控制寄存器	TA0IC	XXXXX000b
0056h	定时器 A1 中断控制寄存器	TA1IC	XXXXX000b
0057h	定时器 A2 中断控制寄存器	TA2IC	XXXXX000b
0058h	定时器 A3 中断控制寄存器	TA3IC	XXXXX000b
0059h	定时器 A4 中断控制寄存器	TA4IC	XXXXX000b
005Ah	定时器 B0 中断控制寄存器	TB0IC	XXXXX000b
005Bh	定时器 B1 中断控制寄存器	TB1IC	XXXXX000b
005Ch	定时器 B2 中断控制寄存器	TB2IC	XXXXX000b
005Dh	INT0 中断控制寄存器	INT0IC	XX00X000b
005Eh	INT1 中断控制寄存器	INT1IC	XX00X000b
005Fh	INT2 中断控制寄存器	INT2IC	XX00X000b

注1. 空栏为保留区，不能存取。

X: 不定。

表 4.3 SFR一览表 (3) (注1)

地址	寄存器	符号	复位后的值
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h	闪存识别寄存器 (注2)	FIDR	XXXXXX00b
01B5h	闪存控制寄存器1 (注2)	FMR1	0X00XX0Xb
01B6h			
01B7h	闪存控制寄存器0 (注2)	FMRO	00000001b
01B8h	地址匹配中断寄存器2	RMAD2	00h
01B9h			00h
01BAh			X0h
01BBh	地址匹配中断允许寄存器2	A1ER2	XXXXXX00b
01BCh	地址匹配中断寄存器3	RMAD3	00h
01BDh			00h
01BEh			X0h
01BFh			

注1. 空栏为保留区, 不能存取。

注2. 闪存版有此寄存器。

X: 不定。

表 4.4 SFR一览表 (4) (注1)

地址	寄存器	符号	复位后的值
01C0h			
~			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	外围时钟选择寄存器	PCLKR	00000011b
025Fh			
0260h			
~			
032Fh			
0330h			
0331h			
0332h			
0333h			
0334h			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			
0340h	定时器 B3、4、5 计数开始标志寄存器	TBSR	000XXXXb
0341h			
0342h	定时器 A1-1 寄存器	TA11	XXh
0343h			XXh
0344h	定时器 A2-1 寄存器	TA21	XXh
0345h			XXh
0346h	定时器 A4-1 寄存器	TA41	XXh
0347h			XXh
0348h	三相 PWM 控制寄存器 0	INVC0	00h
0349h	三相 PWM 控制寄存器 1	INVC1	00h
034Ah	三相输出缓冲寄存器 0	IDB0	00h
034Bh	三相输出缓冲寄存器 1	IDB1	00h
034Ch	死区时间定时器	DTT	XXh
034Dh	定时器 B2 中断产生频率设置计数器	ICTB2	XXh
034Eh			
034Fh			

注1. 空栏为保留区，不能存取。

X: 不定。

表 4.5 SFR一览表 (5) (注1)

地址	寄存器	符号	复位后的值
0350h 0351h	定时器B3寄存器	TB3	XXh XXh
0352h 0353h	定时器B4寄存器	TB4	XXh XXh
0354h 0355h	定时器B5寄存器	TB5	XXh XXh
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh	定时器B3模式寄存器	TB3MR	00XX0000b
035Ch	定时器B4模式寄存器	TB4MR	00XX0000b
035Dh	定时器B5模式寄存器	TB5MR	00XX0000b
035Eh	中断源选择寄存器2	IFSR2A	00XXXXXXb
035Fh	中断源选择寄存器	IFSR	00h
0360h	SI/03发送/接收寄存器	S3TRR	XXh
0361h			
0362h	SI/03控制寄存器	S3C	01000000b
0363h	SI/03位速率寄存器	S3BRG	XXh
0364h	SI/04发送/接收寄存器	S4TRR	XXh
0365h			
0366h	SI/04控制寄存器	S4C	01000000b
0367h	SI/04位速率寄存器	S4BRG	XXh
0368h			
0369h			
036Ah			
036Bh			
036Ch	UART0特殊模式寄存器4	U0SMR4	00h
036Dh	UART0特殊模式寄存器3	U0SMR3	000X0X0Xb
036Eh	UART0特殊模式寄存器2	U0SMR2	X0000000b
036Fh	UART0特殊模式寄存器	U0SMR	X0000000b
0370h	UART1特殊模式寄存器4	U1SMR4	00h
0371h	UART1特殊模式寄存器3	U1SMR3	000X0X0Xb
0372h	UART1特殊模式寄存器2	U1SMR2	X0000000b
0373h	UART1特殊模式寄存器	U1SMR	X0000000b
0374h	UART2特殊模式寄存器4	U2SMR4	00h
0375h	UART2特殊模式寄存器3	U2SMR3	000X0X0Xb
0376h	UART2特殊模式寄存器2	U2SMR2	X0000000b
0377h	UART2特殊模式寄存器	U2SMR	X0000000b
0378h	UART2发送/接收模式寄存器	U2MR	00h
0379h	UART2位速率寄存器	U2BRG	XXh
037Ah	UART2发送缓冲寄存器	U2TB	XXh
037Bh			XXh
037Ch	UART2发送/接收控制寄存器0	U2C0	00001000b
037Dh	UART2发送/接收控制寄存器1	U2C1	00000010b
037Eh	UART2接收缓冲寄存器	U2RB	XXh
037Fh			XXh

注1. 空栏为保留区, 不能存取。

X: 不定。

表 4.6 SFR一览表 (6) (注1)

地址	寄存器	符号	复位后的值
0380h	计数启动标志寄存器	TABSR	00h
0381h	时钟预分频复位标志寄存器	CPSRF	0XXXXXXb
0382h	单次触发启动标志寄存器	ONSF	00h
0383h	触发选择寄存器	TRGSR	00h
0384h	递增/递减标志寄存器	UDF	00h(注2)
0385h			
0386h	定时器A0寄存器	TA0	XXh
0387h			XXh
0388h	定时器A1寄存器	TA1	XXh
0389h			XXh
038Ah	定时器A2寄存器	TA2	XXh
038Bh			XXh
038Ch	定时器A3寄存器	TA3	XXh
038Dh			XXh
038Eh	定时器A4寄存器	TA4	XXh
038Fh			XXh
0390h	定时器B0寄存器	TB0	XXh
0391h			XXh
0392h	定时器B1寄存器	TB1	XXh
0393h			XXh
0394h	定时器B2寄存器	TB2	XXh
0395h			XXh
0396h	定时器A0模式寄存器	TA0MR	00h
0397h	定时器A1模式寄存器	TA1MR	00h
0398h	定时器A2模式寄存器	TA2MR	00h
0399h	定时器A3模式寄存器	TA3MR	00h
039Ah	定时器A4模式寄存器	TA4MR	00h
039Bh	定时器B0模式寄存器	TB0MR	00XX0000b
039Ch	定时器B1模式寄存器	TB1MR	00XX0000b
039Dh	定时器B2模式寄存器	TB2MR	00XX0000b
039Eh	定时器B2特殊模式寄存器	TB2SC	XXXXXX00b
039Fh			
03A0h	UART0发送/接收模式寄存器	U0MR	00h
03A1h	UART0位速率寄存器	U0BRG	XXh
03A2h	UART0发送缓冲寄存器	U0TB	XXh
03A3h			XXh
03A4h	UART0发送/接收控制寄存器0	U0C0	00001000b
03A5h	UART0发送/接收控制寄存器1	U0C1	00XX0010b
03A6h	UART0接收缓冲寄存器	U0RB	XXh
03A7h			XXh
03A8h	UART1发送/接收模式寄存器	U1MR	00h
03A9h	UART1位速率寄存器	U1BRG	XXh
03AAh	UART1发送缓冲寄存器	U1TB	XXh
03ABh			XXh
03ACh	UART1发送/接收控制寄存器0	U1C0	00001000b
03ADh	UART1发送/接收控制寄存器1	U1C1	00XX0010b
03AEh	UART1接收缓冲寄存器	U1RB	XXh
03AFh			XXh

注1. 空栏为保留区，不能存取。

注2. 复位后，递增/递减标志寄存器的bit7~5为“0”，但是读时值不定。

X: 不定。



表 4.7 SFR一览表 (7) (注1)

地址	寄存器	符号	复位后的值
03B0h	UART发送/接收控制寄存器2	UCON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0触发源选择寄存器	DMOSL	00h
03B9h			
03BAh	DMA1触发源选择寄存器	DM1SL	00h
03BBh			
03BCh	CRC数据寄存器	CRCD	XXh
03BDh			XXh
03BEh	CRC输入寄存器	CRCIN	XXh
03BFh			
03C0h	A/D寄存器0	AD0	XXh
03C1h			XXh
03C2h	A/D寄存器1	AD1	XXh
03C3h			XXh
03C4h	A/D寄存器2	AD2	XXh
03C5h			XXh
03C6h	A/D寄存器3	AD3	XXh
03C7h			XXh
03C8h	A/D寄存器4	AD4	XXh
03C9h			XXh
03CAh	A/D寄存器5	AD5	XXh
03CBh			XXh
03CCh	A/D寄存器6	AD6	XXh
03CDh			XXh
03CEh	A/D寄存器7	AD7	XXh
03CFh			XXh
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D控制寄存器2	ADCON2	00h
03D5h			
03D6h	A/D控制寄存器0	ADCON0	00000XXXb
03D7h	A/D控制寄存器1	ADCON1	00h
03D8h	D/A寄存器0	DA0	00h
03D9h			
03DAh	D/A寄存器1	DA1	00h
03DBh			
03DCh	D/A控制寄存器	DACON	00h
03DDh			
03DEh	端口P14控制寄存器(注2)	PC14	XX00XXXb
03DFh	上拉控制寄存器3(注2)	PUR3	00h

注1. 空栏为保留区, 不能存取。

注2. M16C/62P(80引脚版)、M16C/62PT(80引脚版)没有此寄存器。

X: 不定。

表 4.8 SFR一览表 (8) (注1)

地址	寄存器	符号	复位后的值
03E0h	P0口寄存器	P0	XXh
03E1h	P1口寄存器	P1	XXh
03E2h	P0口方向寄存器	PD0	00h
03E3h	P1口方向寄存器	PD1	00h
03E4h	P2口寄存器	P2	XXh
03E5h	P3口寄存器	P3	XXh
03E6h	P2口方向寄存器	PD2	00h
03E7h	P3口方向寄存器	PD3	00h
03E8h	P4口寄存器	P4	XXh
03E9h	P5口寄存器	P5	XXh
03EAh	P4口方向寄存器	PD4	00h
03EBh	P5口方向寄存器	PD5	00h
03ECh	P6口寄存器	P6	XXh
03EDh	P7口寄存器	P7	XXh
03EEh	P6口方向寄存器	PD6	00h
03EFh	P7口方向寄存器	PD7	00h
03F0h	P8口寄存器	P8	XXh
03F1h	P9口寄存器	P9	XXh
03F2h	P8口方向寄存器	PD8	00X00000b
03F3h	P9口方向寄存器	PD9	00h
03F4h	P10口寄存器	P10	XXh
03F5h	P11口寄存器 (注3)	P11	XXh
03F6h	P10口方向寄存器	PD10	00h
03F7h	P11口方向寄存器 (注3)	PD11	00h
03F8h	P12口寄存器 (注3)	P12	XXh
03F9h	P13口寄存器 (注3)	P13	XXh
03FAh	P12口方向寄存器 (注3)	PD12	00h
03FBh	P13口方向寄存器 (注3)	PD13	00h
03FCh	上拉控制寄存器0	PUR0	00h
03FDh	上拉控制寄存器1	PUR1	00000000b (注2) 00000010b
03FEh	上拉控制寄存器2	PUR2	00h
03FFh	端口控制寄存器	PCR	00h

注1. 空栏为保留区, 不能存取。

注2. 在硬件复位1或者低电压检测复位(硬件复位2)后, 寄存器的值如下:

- CNVSS引脚的输入电平为“L”时, 为“00000000b”

- CNVSS引脚的输入电平为“H”时, 为“00000010b”

在软件复位、看门狗定时器复位或者振荡停止检测复位后, 寄存器的值如下:

- PM0寄存器的PM01~PM00位为“00b”(单芯片模式)时、为“00000000b”

- PM0寄存器的PM01~PM00位为“01b”(存储器扩展模式)或者“11b”(微处理机模式)时, 为“00000010b”

注3. M16C/62P(80引脚版)、M16C/62PT(80引脚版)没有此寄存器。

X: 不定。

## 5. 复位

复位有硬件复位1、低电压检测复位(硬件复位2)、软件复位、看门狗定时器复位和振荡停止检测复位。

### 5.1 硬件复位1

硬件复位1是通过 $\overline{\text{RESET}}$ 引脚产生的复位。在电源电压满足推荐运行条件时,如果 $\overline{\text{RESET}}$ 引脚接“L”电平,引脚就被初始化(请参照“表5.1  $\overline{\text{RESET}}$ 引脚电平为“L”期间的引脚状态”)。同时,初始化振荡电路并开始主时钟的振荡,如果将 $\overline{\text{RESET}}$ 引脚的输入电平从“L”变为“H”,就初始化CPU和SFR,并从由复位向量指向的地址开始执行程序。内部RAM不被初始化。另外,如果在对内部RAM写数据过程中 $\overline{\text{RESET}}$ 引脚变为“L”电平,就会导致内部RAM的内容不定。

复位电路的例子如图5.1、复位顺序如图5.2所示, $\overline{\text{RESET}}$ 引脚电平为“L”期间的引脚状态如表5.1所示。

#### 5.1.1 电源稳定时

- (1) 将 $\overline{\text{RESET}}$ 引脚接“L”电平
- (2) 将20个周期以上的时钟输入到XIN引脚
- (3) 将 $\overline{\text{RESET}}$ 引脚接“H”电平

#### 5.1.2 接通电源时

- (1) 将 $\overline{\text{RESET}}$ 引脚接“L”电平
- (2) 使电源电压上升直到满足推荐运行条件的电平为止
- (3) 等待 $t_d(\text{P-R})$ 直到内部电源稳定为止
- (4) 将20个周期以上的时钟输入到XIN引脚
- (5) 将 $\overline{\text{RESET}}$ 引脚接“H”电平

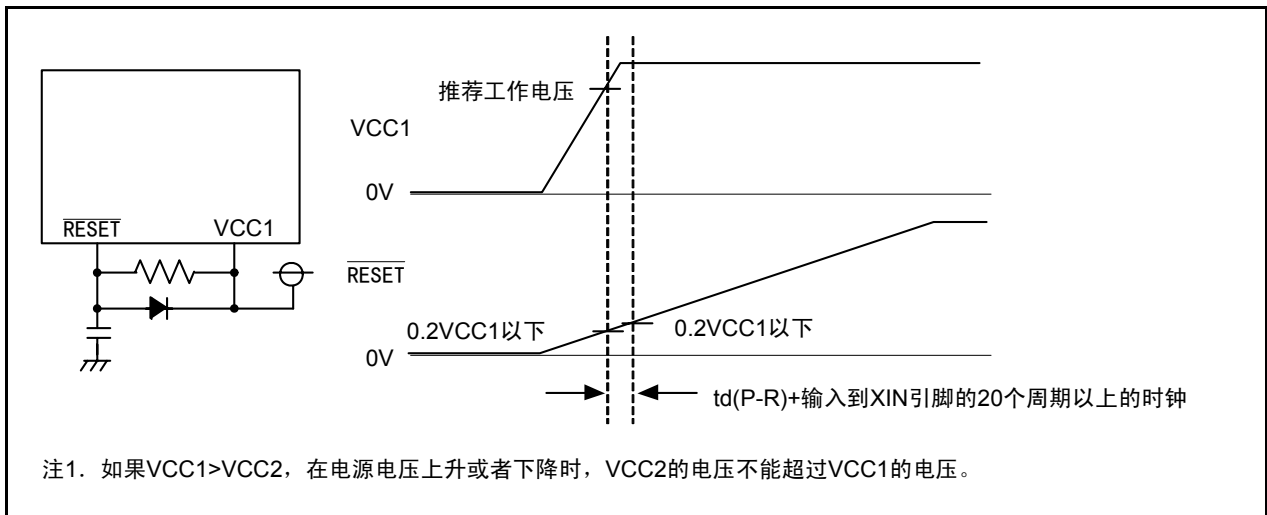


图5.1 复位电路的例子

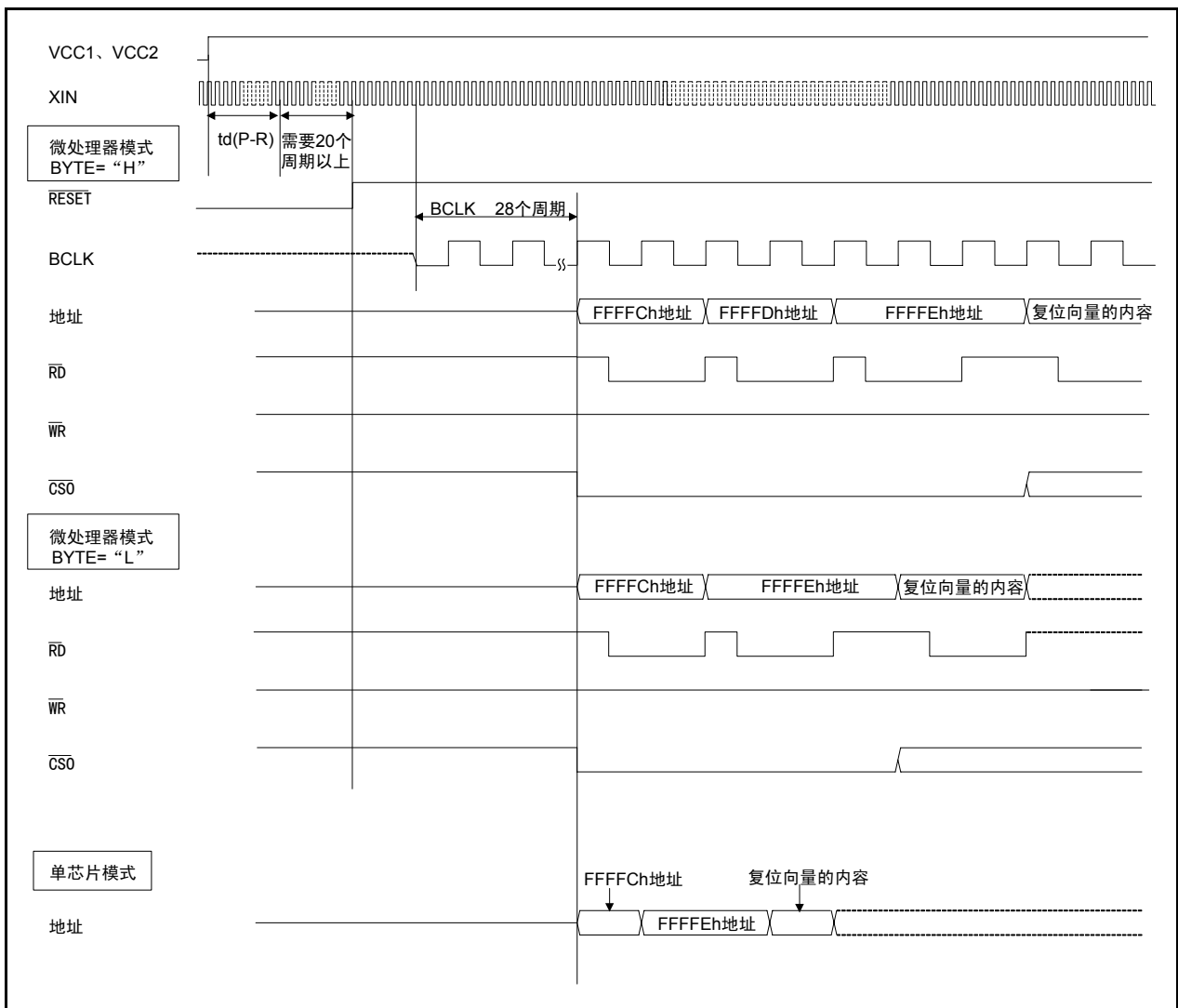


图 5.2 复位时序

表 5.1 RESET 引脚电平为“L”期间的引脚状态

引脚名	引脚状态		
	CNVSS = VSS	CNVSS = VCC1 (注1)	
		BYTE = VSS	BYTE = VCC1
P0	输入端口	数据输入	数据输入
P1	输入端口	数据输入	输入端口
P2, P3, P4_0~P4_3	输入端口	地址输出 (不定)	地址输出 (不定)
P4_4	输入端口	CS0 输出 (输出“H”)	CS0 输出 (输出“H”)
P4_5~P4_7	输入端口	输入端口 (有上拉)	输入端口 (有上拉)
P5_0	输入端口	WR 输出 (输出“H”)	WR 输出 (输出“H”)
P5_1	输入端口	BHE 输出 (不定)	BHE 输出 (不定)
P5_2	输入端口	RD 输出 (输出“H”)	RD 输出 (输出“H”)
P5_3	输入端口	BCLK 输出	BCLK 输出
P5_4	输入端口	HLDA 输出 (输出值取决于 HOLD 引脚的输入)	HLDA 输出 (输出值取决于 HOLD 引脚的输入)
P5_5	输入端口	HOLD 输入	HOLD 输入
P5_6	输入端口	ALE 输出 (输出“L”)	ALE 输出 (输出“L”)
P5_7	输入端口	RDY 输入	RDY 输入
P6, P7, P8_0~P8_4, P8_6, P8_7, P9, P10	输入端口	输入端口	输入端口
P11, P12, P13, P14_0, P14_1 (注2)	输入端口	输入端口	输入端口

注1. 这里列出的是内部电源电压在经上电后并稳定下来时的引脚状态，且当 CNVSS=VCC1 时，引脚状态在内部电源电压稳定之前是不确定的。

注2. P11、P12、P13、P14\_0、P14\_1 只限 128 引脚版。

## 5.2 低电压检测复位 (硬件复位2)

低电压检测复位是通过内置在单片机中的电压检测电路产生的复位。电压检测电路监视输入到VCC1引脚的电压。

VCR2寄存器的VC26位为“1”(复位电平检测电路有效)时,如果输入到VCC1引脚的电压下降到Vdet3以下,就产生复位。

如果输入到VCC1引脚的电压下降到Vdet3以下,就初始化引脚,进入复位状态。如果上升到Vdet3r以上,就初始化引脚、CPU和SFR,并从由复位向量指向的地址开始执行程序。在检测Vdet3r并等待td(S-R)后执行程序。被初始化的引脚、寄存器及它们的状态与硬件复位1相同。

不能通过低电压检测复位(硬件复位2)从停止模式返回。

## 5.3 软件复位

如果将PM0寄存器的PM03位置“1”(复位单片机),单片机就初始化引脚、CPU和SFR。然后,从由复位向量指向的地址开始执行程序。

在CPU时钟源选择主时钟时,必须在主时钟的振荡处于充分稳定的状态下将PM03位置“1”。

在软件复位中,一部分的SFR不被初始化,详细内容请参照“4. SFR”。另外,因为不初始化PM0寄存器的PM01~PM00位,所以处理器模式不变。

## 5.4 看门狗定时器复位

PM1寄存器的PM12位为“1”(在看门狗定时器下溢时复位)时,如果看门狗定时器下溢,单片机就初始化引脚、CPU和SFR。然后,从由复位向量指向的地址开始执行程序。

在看门狗定时器复位中,一部分的SFR不被初始化。详细内容请参照“4. SFR”。另外,因为不初始化PM0寄存器的PM01~PM00位,所以处理器模式不变。

## 5.5 振荡停止检测复位

CM2寄存器的CM27位为“0”(在检测到振荡停止时复位)时,如果检测到主时钟振荡电路的停止,单片机就初始化引脚、CPU和SFR,停止运行。详细内容请参照“10.6 振荡停止/重新振荡检测功能”。

在振荡停止检测复位中,一部分的SFR不被初始化。详细内容请参照“4. SFR”。另外,因为不初始化PM0寄存器的PM01~PM00位,所以处理器模式不变。

## 5.6 复位后CPU内部状态

复位后的CPU寄存器状态如图5.3所示。有关复位后的SFR的状态，请参照“4. SFR”。

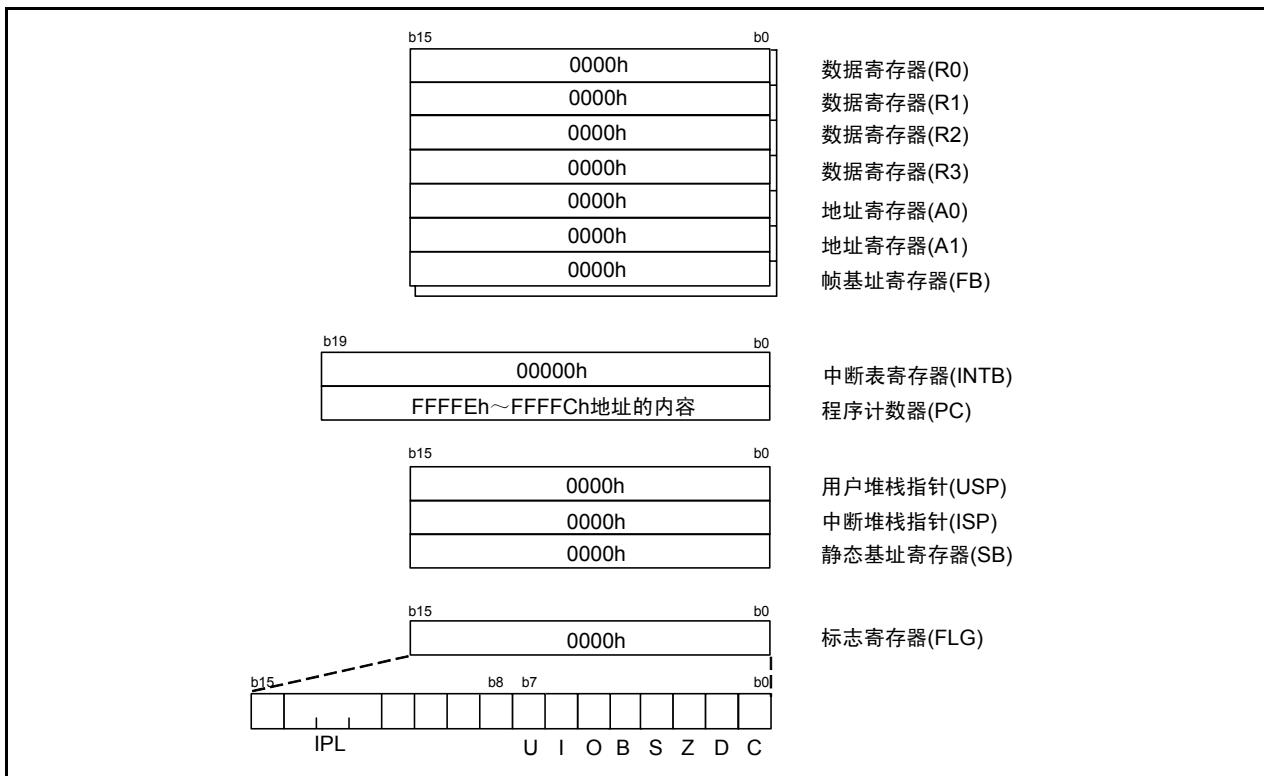


图5.3 复位后的CPU寄存器状态





## 6. 电压检测电路

### 注意

对于M16C/62PT，不能使用本功能。  
但是能使用冷启动/热启动判断功能。

电压检测电路包括复位电平检测电路和低电压检测电路。

复位电平检测电路监视VCC1引脚的输入电压，如果VCC1引脚的输入电压下降到Vdet3以下，就复位单片机。但是，在停止模式中无效。

低电压检测电路监视VCC1引脚的输入电压，如果将VCC1引脚的输入电压与Vdet4比较，就会产生电压检测信号，该信号用于低电压检测中断。能通过VCR1寄存器的VC13位检测VCC1引脚的输入电压是Vdet4以上还是未到Vdet4。

能在VCC=5V时使用电压检测电路。

电压检测电路框图如图6.1所示。

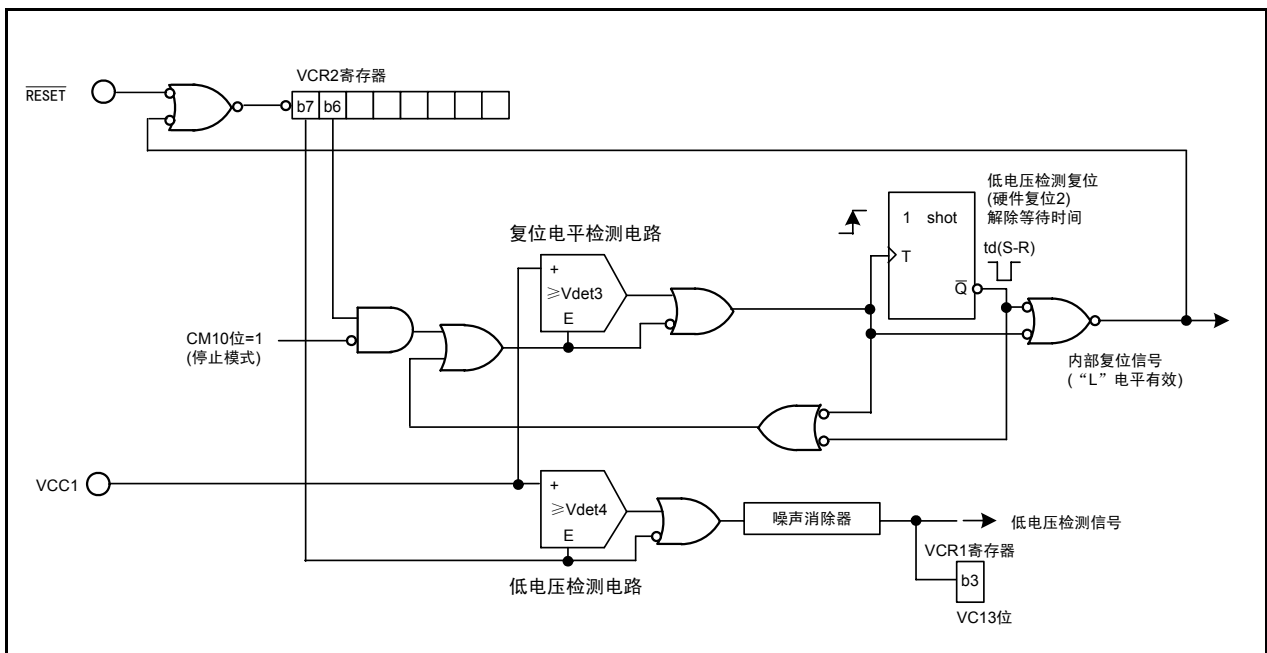


图 6.1 电压检测电路框图

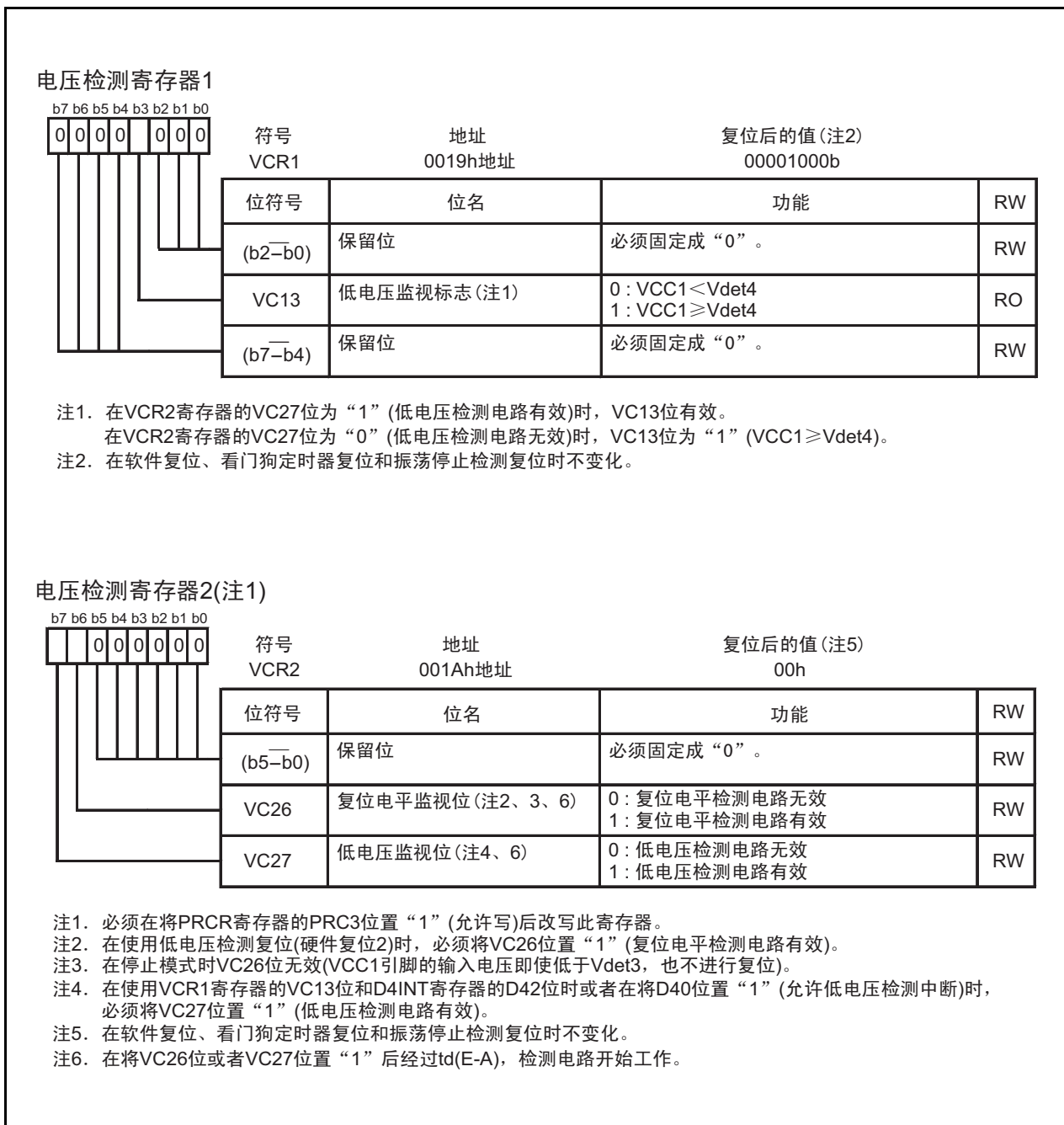


图 6.2 VCR1、VCR2 寄存器

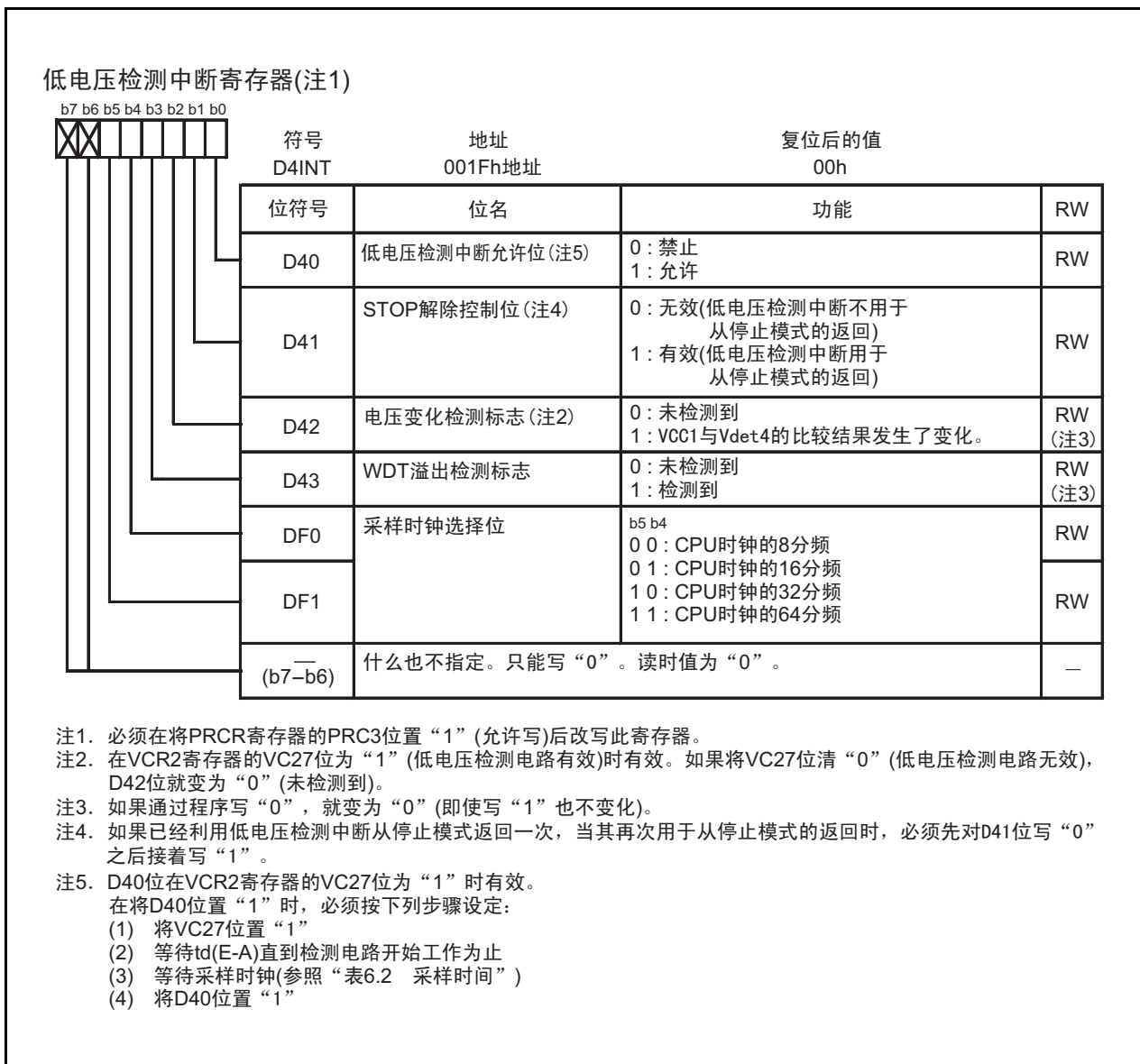


图 6.3 D4INT 寄存器

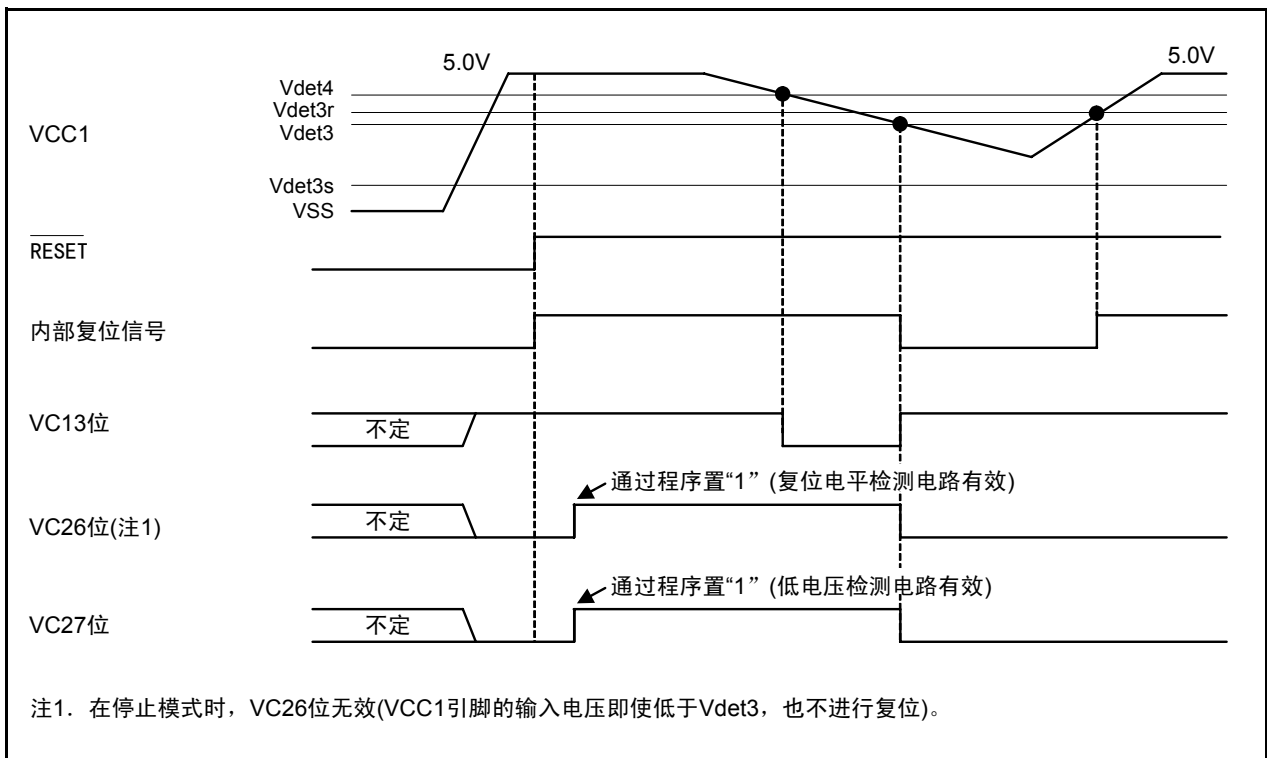


图 6.4 低电压检测复位 (硬件复位2) 的运行示例

## 6.1 低电压检测中断

在D4INT寄存器的D40位为“1”（允许低电压检测中断）时，如果VCC1引脚的输入电压上升到Vdet4以上或者下降到Vdet4以下，就发生低电压检测中断请求。低电压检测中断和看门狗定时器中断、振荡停止/重新振荡检测中断共享中断向量。

将低电压检测中断用于从停止模式的返回时，必须将D4INT寄存器的D41位置“1”（有效）。

在检测到VCC1引脚的输入电压与Vdet4的比较结果发生变化时，D4INT寄存器的D42位变为“1”。如果D42位从“0”变为“1”，就产生低电压检测中断请求。D42位必须通过程序置“0”。但是，D41位为“1”并且在停止模式时，如果检测到VCC1引脚的输入电压上升通过Vdet4，就与D42位的状态无关，产生低电压检测中断请求，并从停止模式返回。

低电压中断请求的产生条件如表6.1所示。

检测到VCC1引脚的输入电压通过Vdet4的采样时钟能根据D4INT寄存器的DF1～DF0位来设定。采样时间如表6.2所示。

表6.1 低电压中断请求的产生条件

运行模式	VC27位	D40位	D41位	D42位	CM02位	VC13位
正常运行模式 (注1)	1	1	—	0→1	—	0→1(注3)
				1→0(注3)		
等待模式 (注2)			—	0→1	0	0→1(注3)
				—	1	1→0(注3)
停止模式 (注2)			1	—	0	0→1
			—	—	—	0→1

—：“0”或“1”

注1. 将等待模式、停止模式以外的状态作为正常运行模式（请参照“10. 时钟发生电路”）。

注2. 请参照“6.2 停止模式的限制”和“6.3 等待模式的限制”。

注3. 从VC13位的值变化开始，经过采样时间后，产生中断请求。

详细内容请参照“图6.6 低电压中断发生电路的运行示例”。

表6.2 采样时间

CPU时钟 (D4INT时钟) (MHz)	采样时间(μs)			
	DF1～DF0=00 (CPU时钟的8分频)	DF1～DF0=01 (CPU时钟的16分频)	DF1～DF0=10 (CPU时钟的32分频)	DF1～DF0=11 (CPU时钟的64分频)
16	3.0	6.0	12.0	24.0

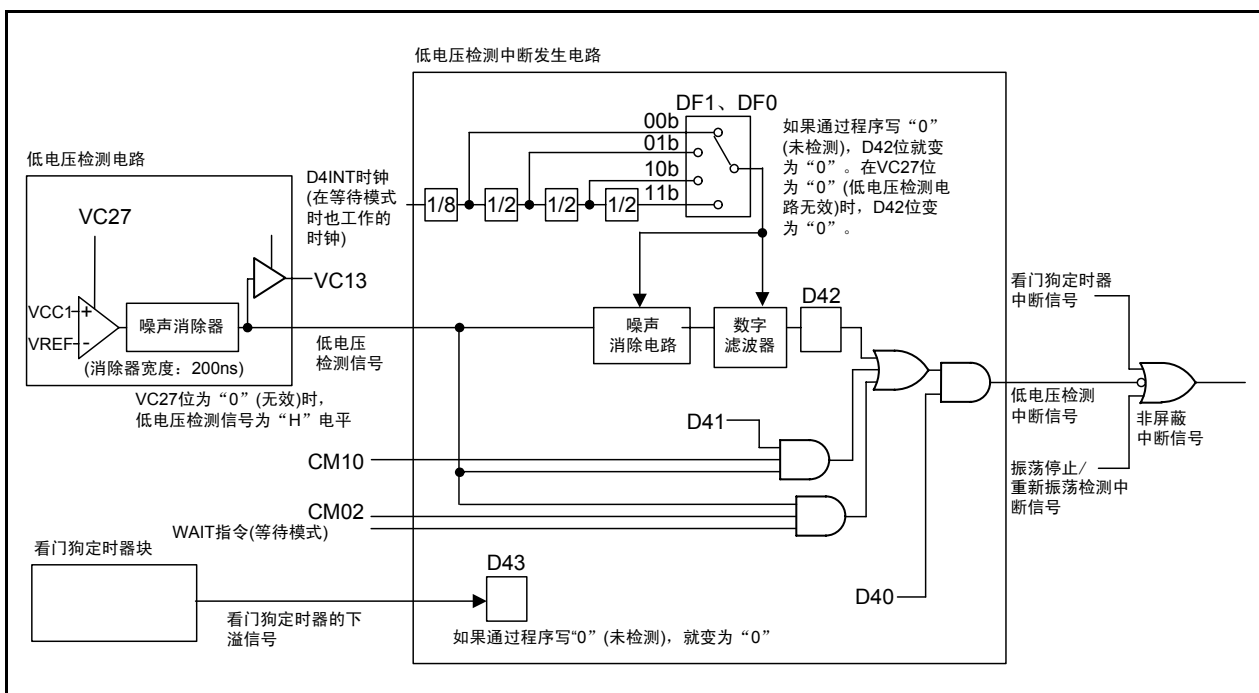


图 6.5 低电压检测中断发生电路的框图

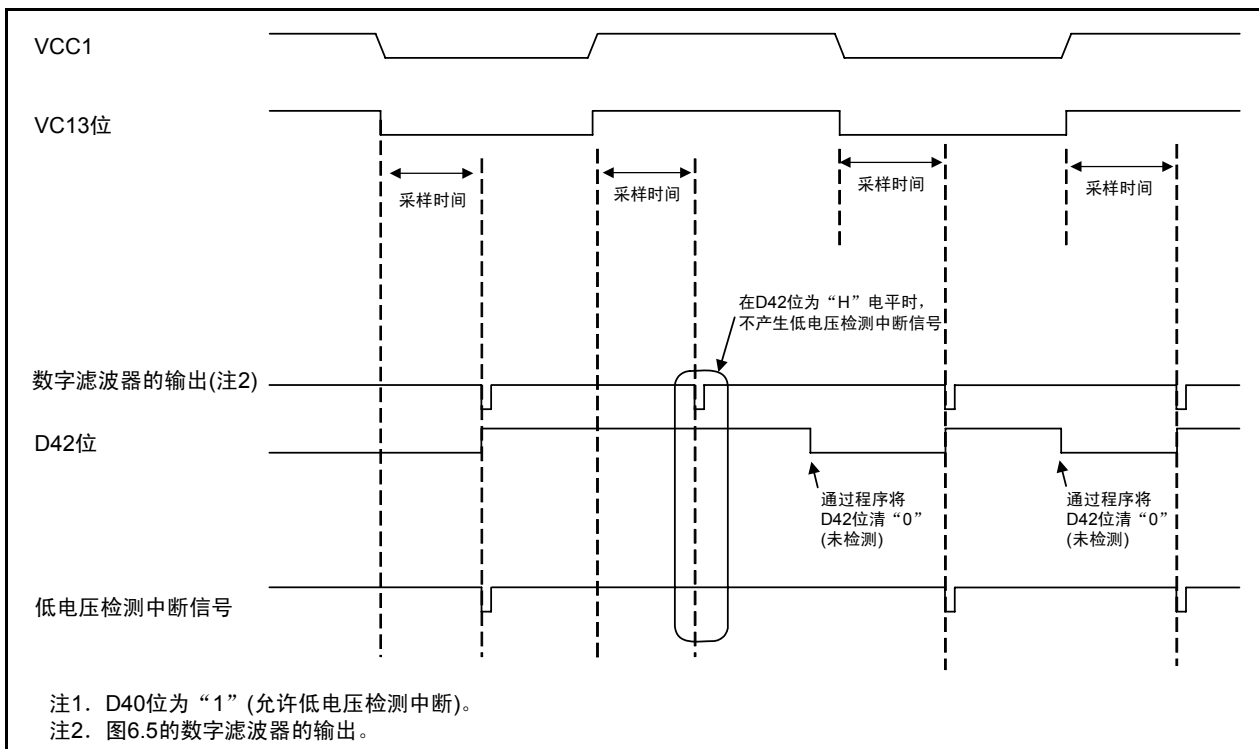


图 6.6 低电压中断发生电路的运行示例

## 6.2 停止模式的限制

在全部满足以下4个条件时，如果将CM1寄存器的CM10位置“1”（停止模式），就立即产生低电压检测中断，从停止模式返回。

- VCR2寄存器的VC27位为“1”（低电压检测电路有效）
- D4INT寄存器的D40位为“1”（允许低电压检测中断）
- D41位为“1”（将低电压检测中断用于从停止模式的返回）
- VCC1引脚的输入电压上升到Vdet4以上时（VCR1寄存器的VC13位为“1”）

VCC1引脚的输入电压下降到Vdet4以下时转移到停止模式；上升到Vdet4以上时从停止模式返回。此时，如果VC13位为“0”（ $VCC1 < Vdet4$ ），就必须将CM10位置“1”。

## 6.3 等待模式的限制

在全部满足以下5个条件时，如果执行WAIT指令，就立即产生低电压检测中断，从等待模式返回。

- CM0寄存器的CM02位为“1”（停止外围功能时钟）
- VCR2寄存器的VC27位为“1”（低电压检测电路有效）
- D4INT寄存器的D40位为“1”（允许低电压检测中断）
- D41位为“1”（将低电压检测中断用于从等待模式的返回）
- VCC1引脚的输入电压上升到Vdet4以上时（VCR1寄存器的VC13位为“1”）

VCC1引脚的输入电压下降到Vdet4以下时转移到等待模式；上升到Vdet4以上时从等待模式返回。此时，如果VC13位为“0”（ $VCC1 < Vdet4$ ），就必须执行等待指令。

## 6.4 冷启动/热启动判断功能

冷启动/热启动判断功能可以根据WDC寄存器的WDC5标志，判断接通电源时的冷启动（复位处理）和运行过程中复位信号输入时的热启动（复位处理）。

WDC5标志在接通电源时为“0”，如果进行WDC寄存器的写操作（对寄存器写任意值），WDC5标志就变为“1”。无法通过软件复位或者输入复位信号将WDC5标志清“0”。冷启动/热启动判断功能的框图如图6.7所示、冷启动/热启动判断功能的运行例如图6.8所示，WDC寄存器如图6.9所示。

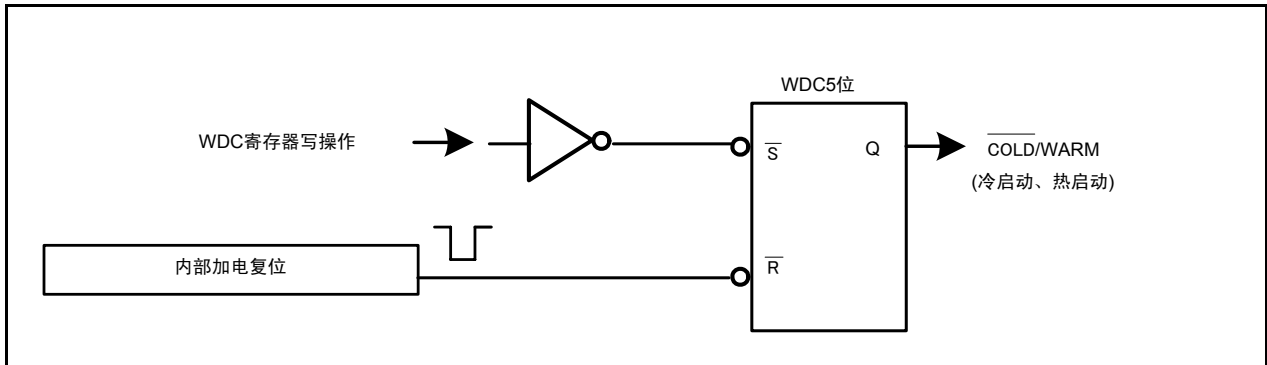


图6.7 冷启动/热启动判断功能的框图

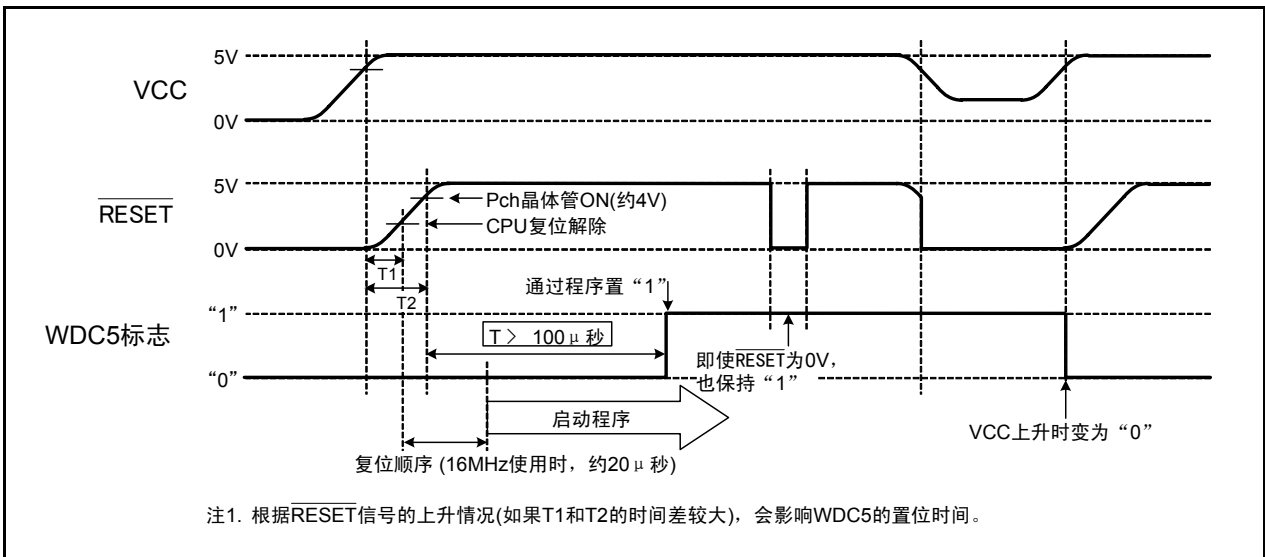


图 6.8 冷启动/热启动判断功能的运行示例

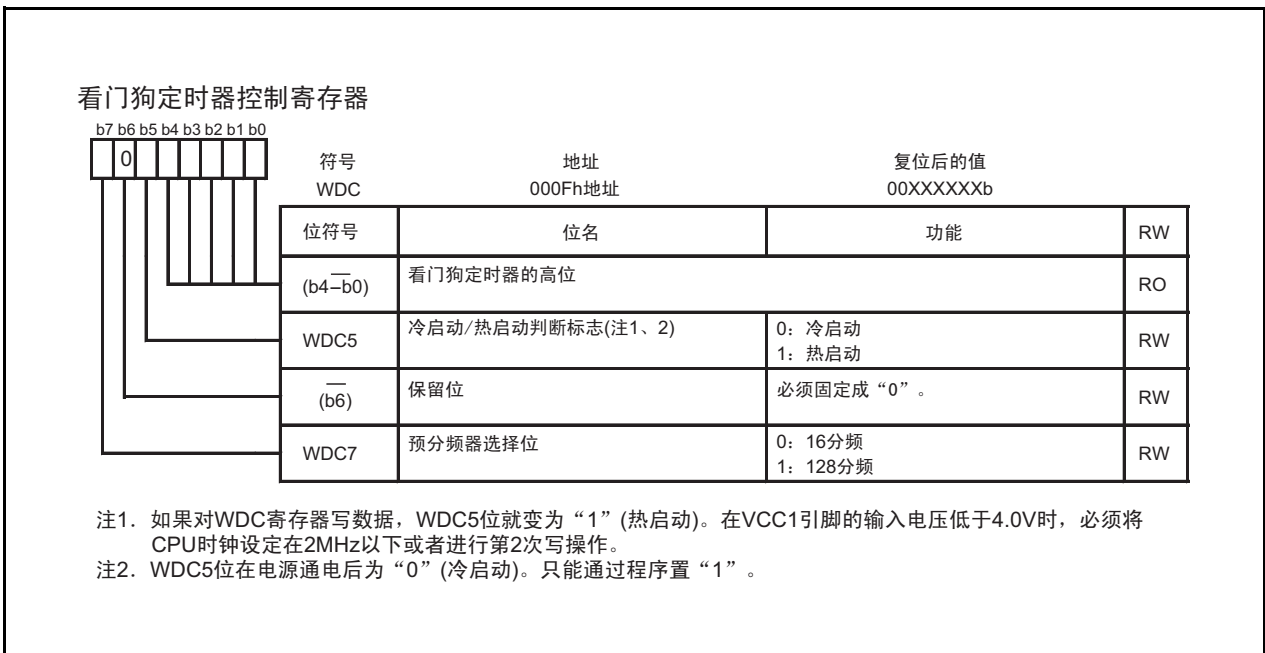


图 6.9 WDC寄存器



## 7. 处理器模式

### 注意

对于M16C/62P(80引脚版)和M16C/62PT, 不能使用存储器扩展模式和微处理器模式。

### 7.1 处理器模式的类型

处理器有三种工作模式: 单芯片模式、存储器扩展模式和微处理器模式。处理器模式的特点如表 7.1 所示。

表 7.1 处理器模式的特点

处理器模式	存取空间	分配 I/O 端口的引脚
单芯片模式	SFR、内部RAM、内部ROM	全部引脚为 I/O 端口或者外围功能输入/输出引脚
存储器扩展模式	SFR、内部RAM、内部ROM、外部区域 (注1)	部分引脚为总线控制引脚 (注1)
微处理器模式	SFR、内部RAM、外部区域 (注1)	部分引脚为总线控制引脚 (注1)

注1. 详细内容请参照“8 总线”。

### 7.2 处理器模式的设定

处理器模式的设定通过 CNVSS 引脚、PM0 寄存器的 PM01 ~ PM00 位进行。硬件复位后的处理器模式如表 7.2 所示, 对应 PM01 ~ PM00 位的设定值的处理器模式如表 7.3 所示。

表 7.2 硬件复位后的处理器模式

CNVSS 引脚的输入电平	处理器模式
VSS	单芯片模式
VCC1 (注1、2)	微处理器模式

注1. 如果通过将 VCC1 输入到 CNVSS 引脚进行硬件复位 (硬件复位1 或者低电压检测复位 (硬件复位2)), 就与 PM01 ~ PM00 位无关, 不能存取内部ROM。

注2. 不能将多路复用总线分配到 CS 的全部空间。

表 7.3 对应 PM01 ~ PM00 位的设定值的处理器模式

PM01 ~ PM00 位	处理器模式
00b	单芯片模式
01b	存储器扩展模式
10b	不能设定
11b	微处理器模式

如果改写 PM01 ~ PM00 位, 就与 CNVSS 引脚的输入电平无关, 变为对应 PM01 ~ PM00 位的模式。在将 PM01 ~ PM00 位改写为“01b” (存储器扩展模式) 或者“11b” (微处理器模式) 时, 就不能同时改写 PM07 ~ PM02 位。另外, 不能在内部ROM转移到微处理器模式, 也不能在和内部ROM重叠的区域进行从微处理器模式的转移。

如果通过将 VCC1 输入到 CNVSS 引脚进行硬件复位 (硬件复位1 或者低电压检测复位 (硬件复位2)), 就与 PM01 ~ PM00 位无关, 不能存取内部ROM。

与处理器模式相关的寄存器如图 7.1 ~ 图 7.2 所示, 单芯片模式时的存储器分配如图 7.3 所示。

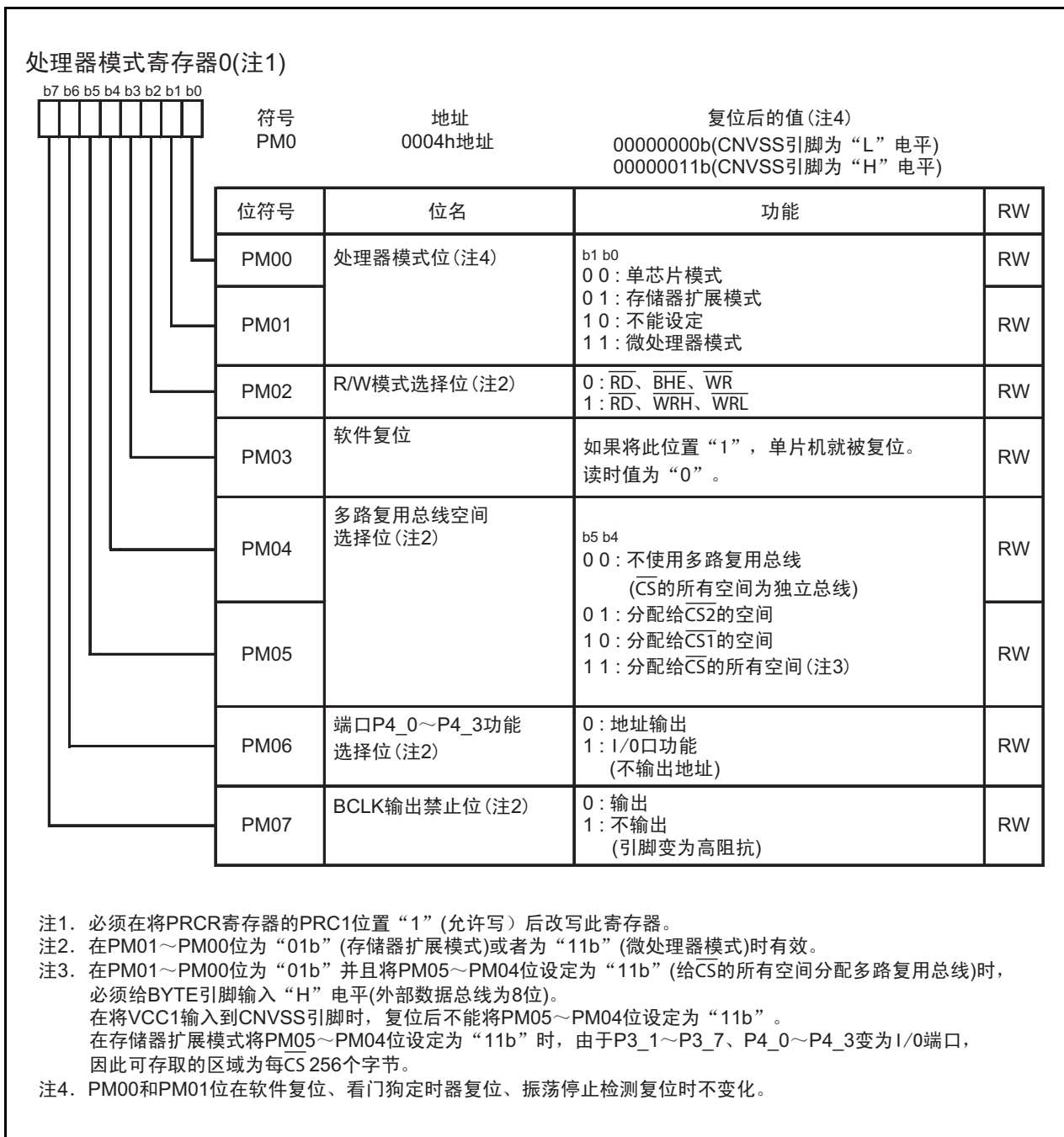


图 7.1 PM0 寄存器



图 7.2 PM1 寄存器

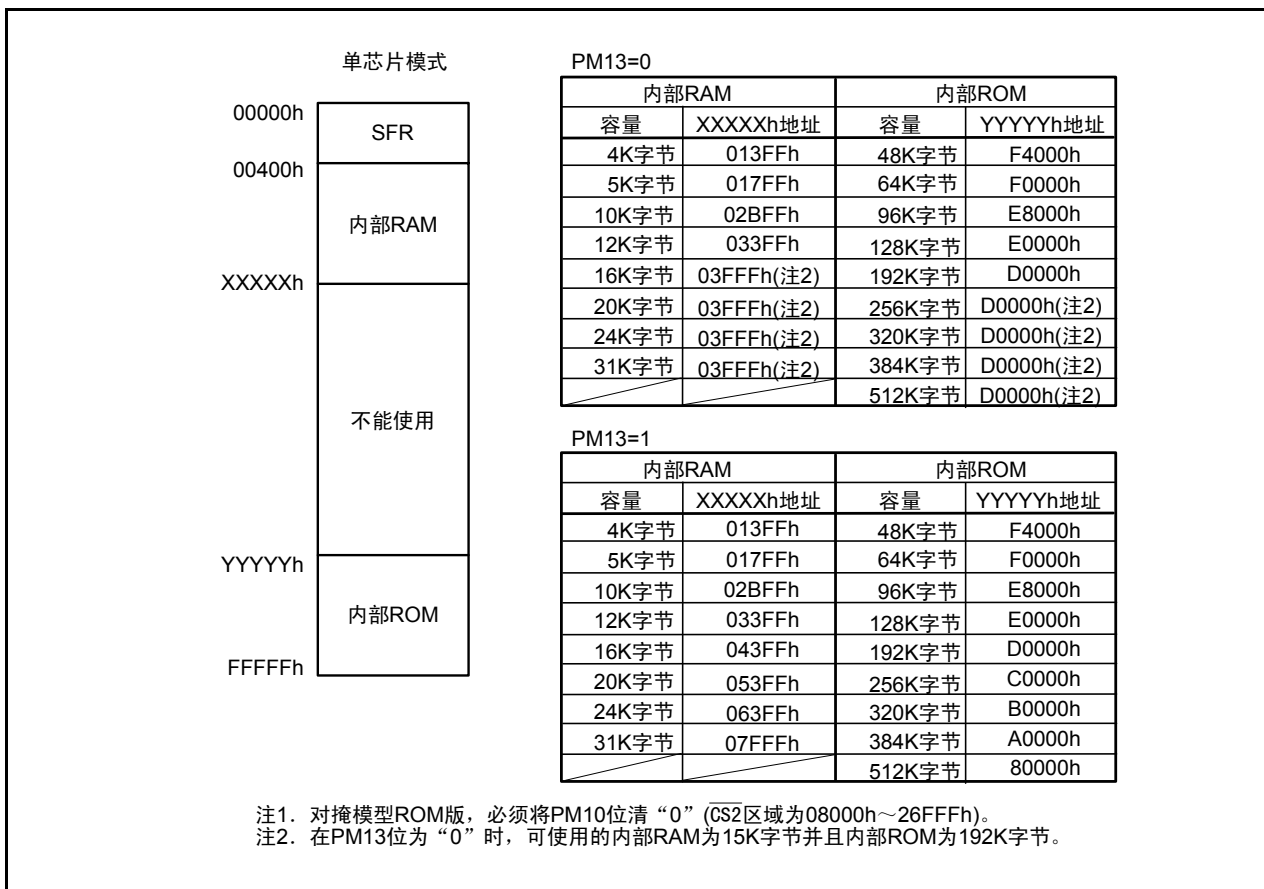


图 7.3 单芯片模式时的存储器分配

## 8. 总线

### 注意

对于M16C/62P(80引脚版)和M16C/62PT, 不能使用总线控制引脚。

在存储器扩展模式或者微处理器模式中, 部分引脚为和外部设备进行数据输入/输出的总线控制引脚。总线控制引脚有A0~A19、D0~D15、 $\overline{CS0}$ ~ $\overline{CS3}$ 、 $\overline{RD}$ 、 $\overline{WRL}/\overline{WR}$ 、 $\overline{WRH}/\overline{BHE}$ 、ALE、 $\overline{RDY}$ 、 $\overline{HOLD}$ 、 $\overline{HLDA}$ 、BCLK。

### 8.1 总线模式

总线模式能根据PM0寄存器PM05~PM04位选择多路复用总线或者独立总线。独立总线和多路复用总线的差异如表8.1所示。

#### 8.1.1 独立总线

独立总线是数据和地址分离的总线模式。

#### 8.1.2 多路复用总线

多路复用总线是数据和地址多路复用的总线模式。

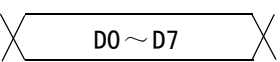
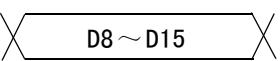
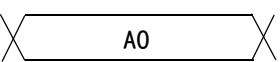

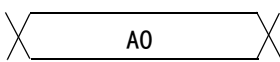
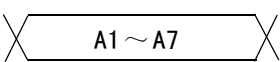
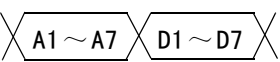
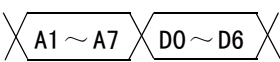
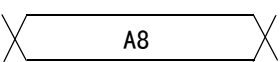
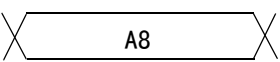

##### 8.1.2.1 将BYTE引脚接“H”电平（数据总线宽度为8位）时

D0~D7和A0~A7多路复用。

##### 8.1.2.2 将BYTE引脚接“L”电平（数据总线宽度为16位）时

D0~D7和A1~A8多路复用。由于D8~D15不被多路复用, 所以不能使用D8~D15。连接多路复用总线的外部设备只被分配到单片机的偶数地址, 不能存取奇数地址。

表8.1 独立总线和多路复用总线的差异

引脚名 (注1)	独立总线	多路复用总线	
		BYTE=H	BYTE=L
P0_0~P0_7/D0~D7		(注2)	(注2)
P1_0~P1_7/D8~D15		输入输出 P1_0~P1_7口	(注2)
P2_0/A0 (/D0/-)			
P2_1~P2_7/A1~A7 (/D1~D7/D0~D6)			
P3_0/A8 (/-/D7)			

注1. 有关上述以外的总线控制信号, 请参照“表8.6 处理器模式和引脚功能表”。

注2. PM05~PM04的设定根据存取的区域而不同。详细内容请参照“表8.6 处理器模式和引脚功能表”。

## 8.2 总线控制

以下说明在存取外部设备时所需的信号和软件等待。

### 8.2.1 地址总线

地址总线有A0～A19共20条。能通过PM0寄存器PM06位和PM1寄存器的PM11位，从12位、16位、20位中选择地址总线宽度。PM06位和PM11位的设定值和地址总线宽度如表8.2所示。

表8.2 PM06位和PM11位的设定值和地址总线宽度

设定值(注1)	引脚功能	地址总线宽度
PM11=1	P3_4～P3_7	12位
PM06=1	P4_0～P4_3	
PM11=0	A12～A15	16位
PM06=1	P4_0～P4_3	
PM11=0	A12～A15	20位
PM06=0	A16～A19	

注1. 不能设定此表中以外的值。

另外，在从单芯片模式更改为存储器模式时，在存取外部区域之前地址总线不定。

### 8.2.2 数据总线

将BYTE引脚接“L”电平时(数据总线宽度为8位)时，D0～D7为8条数据总线；将BYTE引脚接“L”电平时(数据总线宽度为16位)时，D0～D15为16条数据总线。

不能改变BYTE引脚的输入电平。

### 8.2.3 片选信号

从 $\overline{CS}_i$ ( $i=0\sim 3$ )引脚输出片选信号(以下称为 $\overline{CS}$ )。能通过CSR寄存器的 $CS_i$ 位将引脚功能选择为输入输出端口或者 $\overline{CS}$ 。CSR寄存器如图8.1所示。

在1M字节模式中, 能从从 $\overline{CS}_i$ 引脚输出的 $\overline{CS}_i$ 信号将外部区域最大分为4个。在4M字节模式中, 从 $\overline{CS}_i$ 引脚输出 $\overline{CS}_i$ 信号或者存储体号。详细内容请参照“9 存储器空间扩展功能”。

1M字节模式的地址总线和 $\overline{CS}_i$ 信号的输出例(独立总线、无等待)如图8.2所示。



图8.1 CSR寄存器

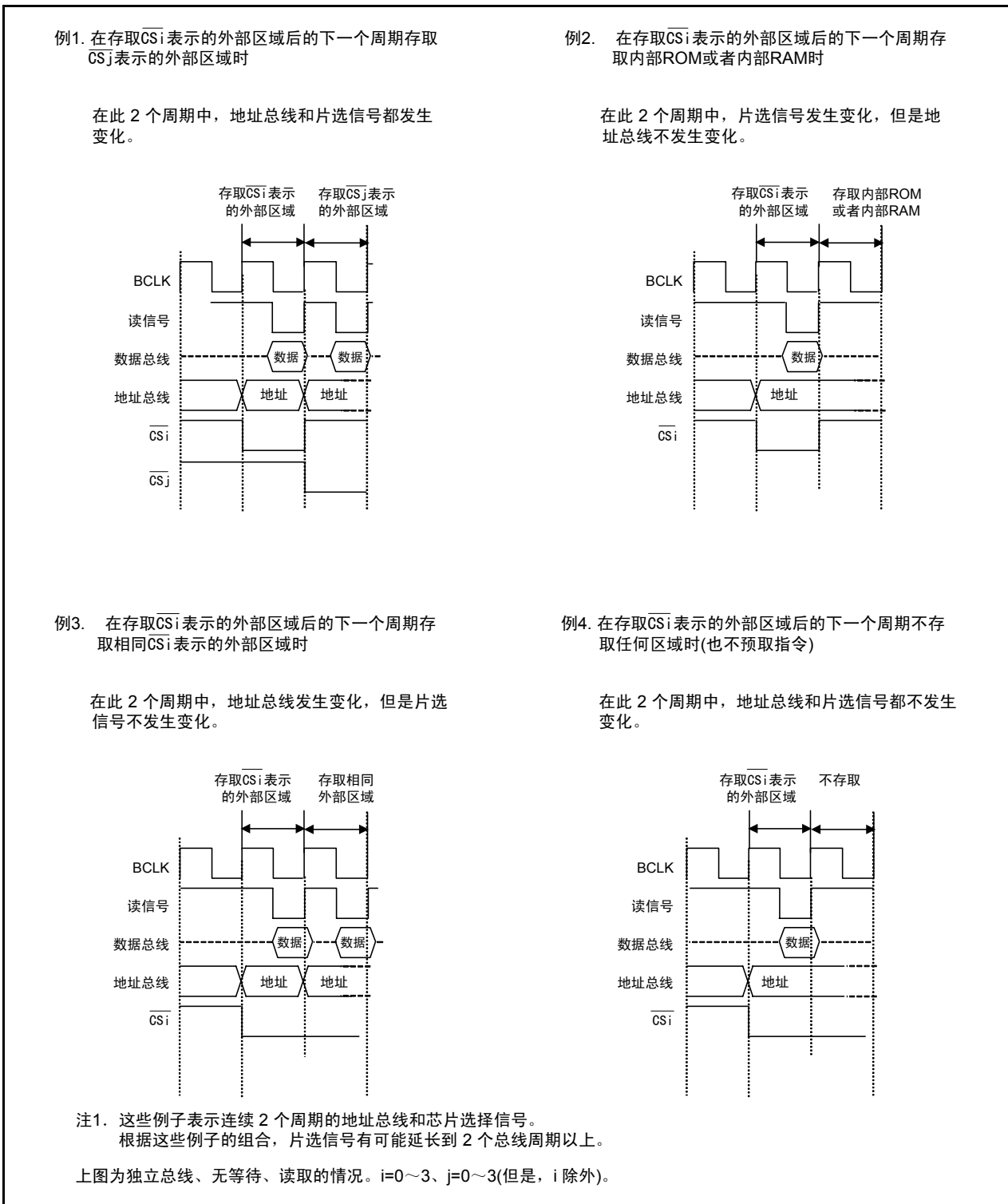


图8.2 1M字节模式的地址和CS<sub>i</sub>信号的输出例



### 8.2.4 读写信号

在数据总线宽度为16位时，读写信号能通过PM0寄存器的PM02位选择 $\overline{RD}$ 、 $\overline{BHE}$ 、 $\overline{WR}$ 的组合或者 $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ 的组合。在数据总线宽度为8位时，必须选择 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ 的组合。 $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ 信号的运行如表8.3所示， $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ 信号的运行如表8.4所示。

表8.3  $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ 信号的运行

数据总线	$\overline{RD}$	$\overline{WRL}$	$\overline{WRH}$	外部数据总线的状态
16位 (将BYTE引脚接“L”电平)	L	H	H	读数据
	H	L	H	将1个字节的数据写到偶数地址
	H	H	L	将1个字节的数据写到奇数地址
	H	L	L	将数据写到偶数地址和奇数地址

表8.4  $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ 信号的运行

数据总线	$\overline{RD}$	$\overline{WR}$	$\overline{BHE}$	A0	外部数总线的状态
16位 (将BYTE引脚接“L”电平)	H	L	L	H	将1个字节的数据写到奇数地址
	L	H	L	H	读奇数地址的1个字节数据
	H	L	H	L	将1个字节的数据写到偶数地址
	L	H	H	L	读偶数地址的1个字节数据
	H	L	L	L	将数据写到偶数地址和奇数地址
	L	H	L	L	读偶数地址和奇数地址的数据
8位 (将BYTE引脚接“H”电平)	H	L	— (注1)	H或者L	写1个字节的数据
	L	H	— (注1)	H或者L	读1个字节的数据

注1. 不能使用。

### 8.2.5 ALE信号

在存取多路复用总线空间时，ALE信号是用于锁存地址的信号。在ALE信号的下降沿，地址被锁存。

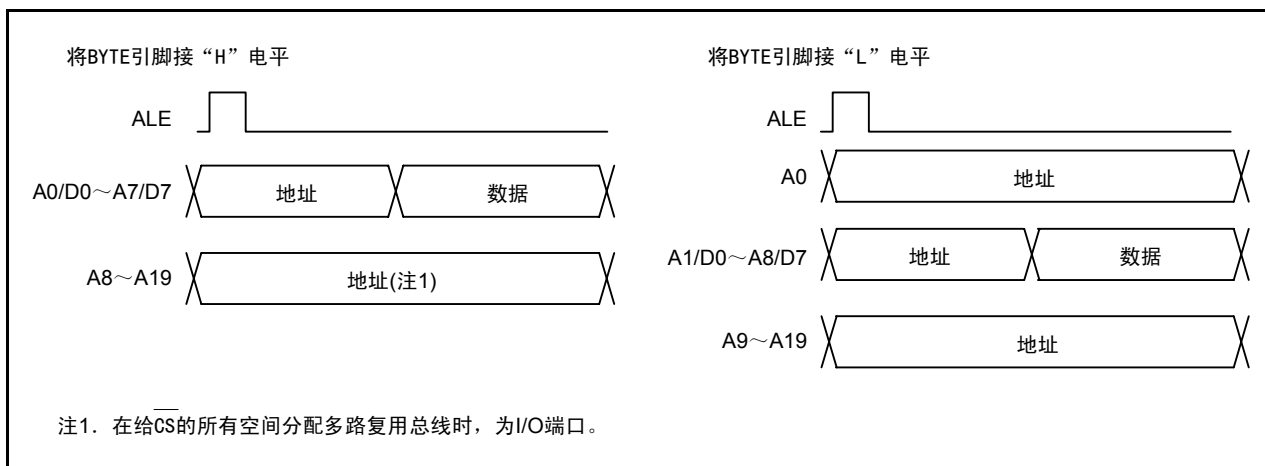


图8.3 ALE信号和地址、数据总线

### 8.2.6 $\overline{\text{RDY}}$ 信号

$\overline{\text{RDY}}$ 信号是用于存取速度慢的外部设备的信号。如果在总线周期的最后BCLK下降时将 $\overline{\text{RDY}}$ 引脚接“L”电平，就在总线周期中插入等待时间。在通过 $\overline{\text{RDY}}$ 信号产生的等待中，以下的信号保持接受 $\overline{\text{RDY}}$ 信号时的状态：

A0~A19、D0~D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{ALE}}$ 、 $\overline{\text{HLDA}}$

然后，如果在BCLK下降时将 $\overline{\text{RDY}}$ 引脚接“H”电平，就执行剩下的总线周期。通过 $\overline{\text{RDY}}$ 信号在读周期中插入等待时间的例子如图8.4所示。

在使用 $\overline{\text{RDY}}$ 信号时，必须将CSR寄存器的对应位(CS3W~CS0W位)置“0”(有等待)；在不使用 $\overline{\text{RDY}}$ 信号时，请把 $\overline{\text{RDY}}$ 引脚按未使用端口处理。

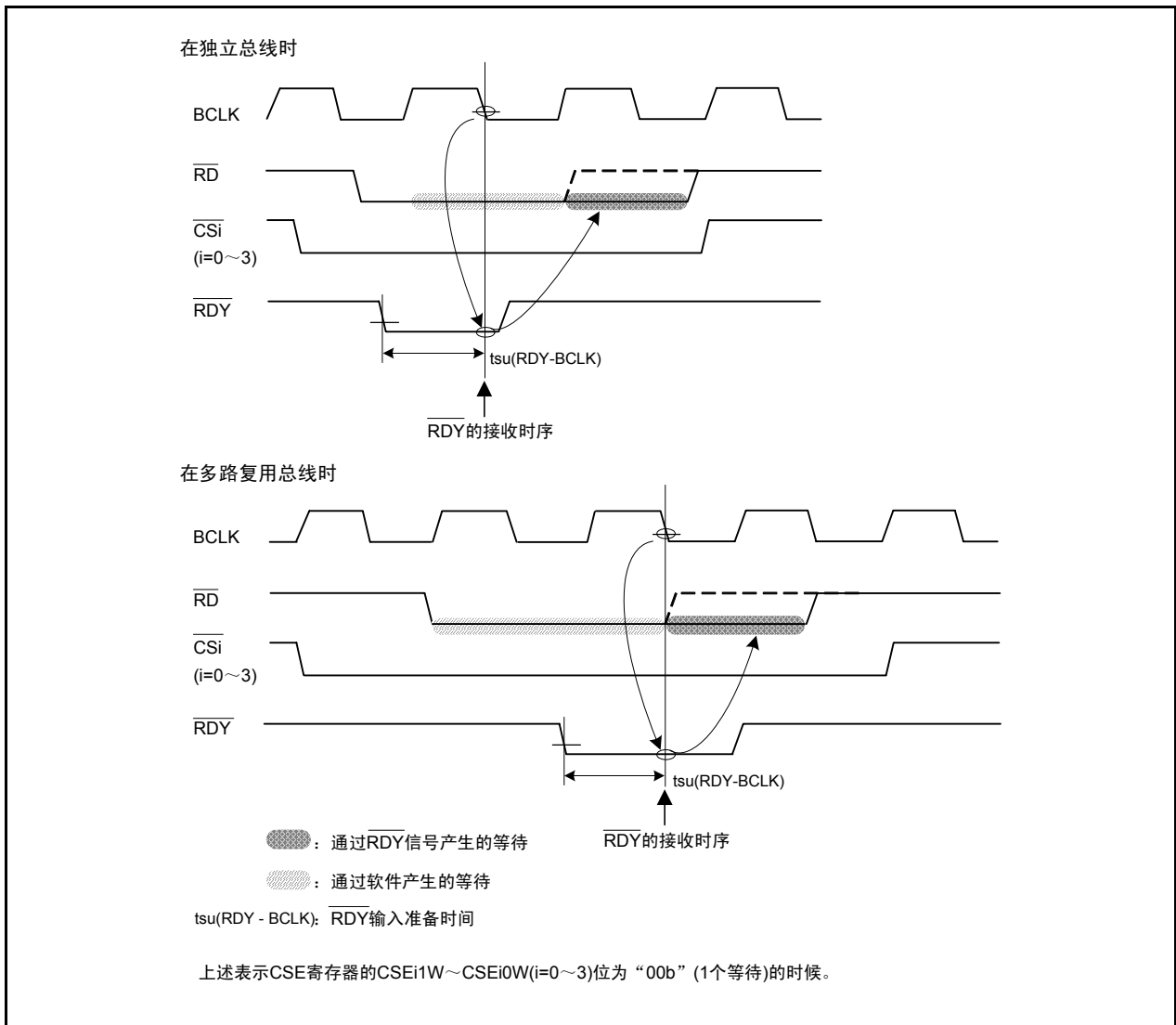


图 8.4 通过 $\overline{\text{RDY}}$ 信号在读周期中插入等待时间的例子

### 8.2.7 $\overline{\text{HOLD}}$ 信号

$\overline{\text{HOLD}}$  信号是用于将总线的使用权从 CPU 或者 DMAC 转移到外部电路的信号。如果将  $\overline{\text{HOLD}}$  引脚接“L”电平，则单片机在结束当前的总线存取后进入保持状态。在  $\overline{\text{HOLD}}$  引脚为“L”电平期间，维持保持状态，且在保持状态期间从  $\overline{\text{HLDA}}$  引脚输出“L”电平。处于保持状态的单片机状态如表 8.5 所示。

另外，总线的使用优先顺序由高至低依次为  $\overline{\text{HOLD}}$ 、DMAC 和 CPU。但是，如果 CPU 以字为单位对奇数地址进行存取时，在分 2 次的存取期间，DMAC 不能获得总线使用权。

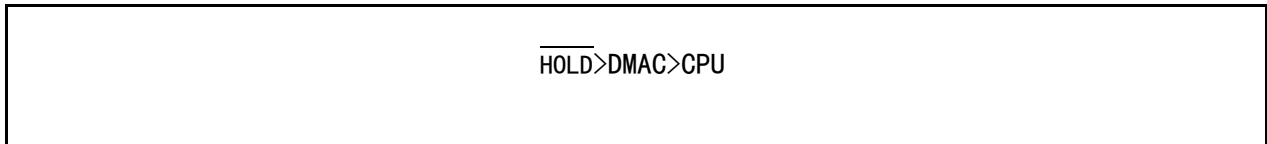


图 8.5 总线的使用优先顺序

表 8.5 处于保持状态的单片机状态

项目	状态	
BCLK	输出	
A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$	高阻抗	
I/O 端口	P0、P1、P3、P4 (注 2)	高阻抗
	P6 ~ P14 (注 1)	保持接受 $\overline{\text{HOLD}}$ 信号时的状态
$\overline{\text{HLDA}}$	输出“L”电平	
内部外围功能	运行 (但是看门狗定时器停止运行) (注 3)	
ALE	不定	

注 1. P11 ~ P14 只限于 128 引脚版。

注 2. 是选择为 I/O 端口的情况。

注 3. 在 PM2 寄存器的 PM22 位为 1 (看门狗定时器的计数源为内部振荡器时钟) 时，看门狗定时器不停止运行。

### 8.2.8 BCLK 输出

如果将 PM0 寄存器的 PM07 位置“0” (输出)，作为 BCLK，就从 BCLK 引脚输出与 CPU 时钟相同频率的时钟。详细内容请参照“10.2 CPU 时钟和外围功能”。

表 8.6 处理器模式和引脚功能表

处理器模式	存储器扩展模式或者微处理器模式				存储器扩展模式
PM05 ~ PM04 位	00b (独立总线)		01b (CS2 区域为多路复用总线, 除此以外为独立总线) 10b (CS1 区域为多路复用总线, 除此以外为独立总线)		11b (CS 的全部区域为多路复用总线) (注1)
数据总线宽度 BYTE 引脚	8位 “H”	16位 “L”	8位 “H”	16位 “L”	8位 “H”
P1_0 ~ P1_7	D0 ~ D7	D0 ~ D7	D0 ~ D7 (注4)	D0 ~ D7 (注4)	I/O 端口
P1_0 ~ P1_7	I/O 端口	D8 ~ D15	I/O 端口	D8 ~ D15 (注4)	I/O 端口
P2_0	A0	A0	A0/D0 (注2)	A0	A0/D0
P2_1 ~ P2_7	A1 ~ A7	A1 ~ A7	A1 ~ A7/D1 ~ D7 (注2)	A1 ~ A7/D0 ~ D6 (注2)	A1 ~ A7/D1 ~ D7
P3_0	A8	A8	A8	A8/D7 (注2)	A8
P3_1 ~ P3_3	A9 ~ A11				I/O 端口
P3_4 ~ P3_7	PM11=0	A12 ~ A15			I/O 端口
	PM11=1	I/O 端口			
P4_0 ~ P4_3	PM06=0	A16 ~ A19			I/O 端口
	PM06=1	I/O 端口			
P4_4	CS0=0	I/O 端口			
	CS0=1	$\overline{\text{CS0}}$			
P4_5	CS1=0	I/O 端口			
	CS1=1	$\overline{\text{CS1}}$			
P4_6	CS2=0	I/O 端口			
	CS2=1	$\overline{\text{CS2}}$			
P4_7	CS3=0	I/O 端口			
	CS3=1	$\overline{\text{CS3}}$			
P5_0	PM02=0	$\overline{\text{WR}}$			
	PM02=1	— (注3)	$\overline{\text{WRL}}$	— (注3)	$\overline{\text{WRL}}$ — (注3)
P5_1	PM02=0	$\overline{\text{BHE}}$			
	PM02=1	— (注3)	$\overline{\text{WRH}}$	— (注3)	$\overline{\text{WRH}}$ — (注3)
P5_2	$\overline{\text{RD}}$				
P5_3	BCLK				
P5_4	$\overline{\text{HLDA}}$				
P5_5	$\overline{\text{HOLD}}$				
P5_6	ALE				
P5_7	$\overline{\text{RDY}}$				

I/O 端口: 作为 I/O 端口或者外围功能输入/输出引脚使用

注1. 在 PM01 ~ PM00 位为 “01b” (存储器扩展模式) 并且将 PM05 ~ PM04 位置 “11b” (将多路复用总线分配给  $\overline{\text{CS}}$  的全部空间) 时, 必须将 BYTE 引脚接 “H” 电平, (外部数据总线为 8 位)。

在将 VCC1 输入到 CNVSS 引脚时, 不能在复位后将 PM05 ~ PM04 位置 “11b”。

如果在存储器扩展模式中将 PM05 ~ PM04 位置 “11b”, 因为 P3\_1 ~ P3\_7、P4\_0 ~ P4\_3 为 I/O 端口, 所以能存取的区域为每  $\overline{\text{CS}}$  256 字节。

注2. 在独立总线时为地址总线。

注3. 在数据总线宽度为 8 位时, 必须将 PM02 位置 “0” ( $\overline{\text{RD}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$ )。

注4. 在存取要使用多路复用总线的区域时, 写时输出不定值。

### 8.2.9 存取内部区域时的外部总线状态

存取内部区域时的外部总线状态如表8.7所示。

表8.7 存取内部区域时的外部总线状态

项目	存取SFR时的状态	存取内部ROM、RAM时的状态
A0 ~ A19	输出地址	保持刚存取的外部区域或者SFR的地址
D0 ~ D15	读时	高阻抗
	写时	输出数据
$\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$	输出 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$	输出“H”电平
$\overline{BHE}$	输出 $\overline{BHE}$	保持刚存取的外部区域或者SFR的状态
$\overline{CS0}$ ~ $\overline{CS3}$	输出“H”电平	输出“H”电平
ALE	输出“L”电平	输出“L”电平

### 8.2.10 软件等待

能通过PM1寄存器的PM17位、CSR寄存器的CS0W~CS3W位和CSE寄存器插入软件等待。不受这些控制位的影响，根据PM2寄存器的PM20位，以BCLK的2个周期或者BCLK的3个周期存取SFR区域。详细内容请参照“表8.8 软件等待相关位和总线周期”。

在使用 $\overline{RDY}$ 信号时，必须将CS0W~CS3W的相应位置“0”（有等待）。

CSE寄存器如图8.6所示，软件等待相关位如表8.8所示。

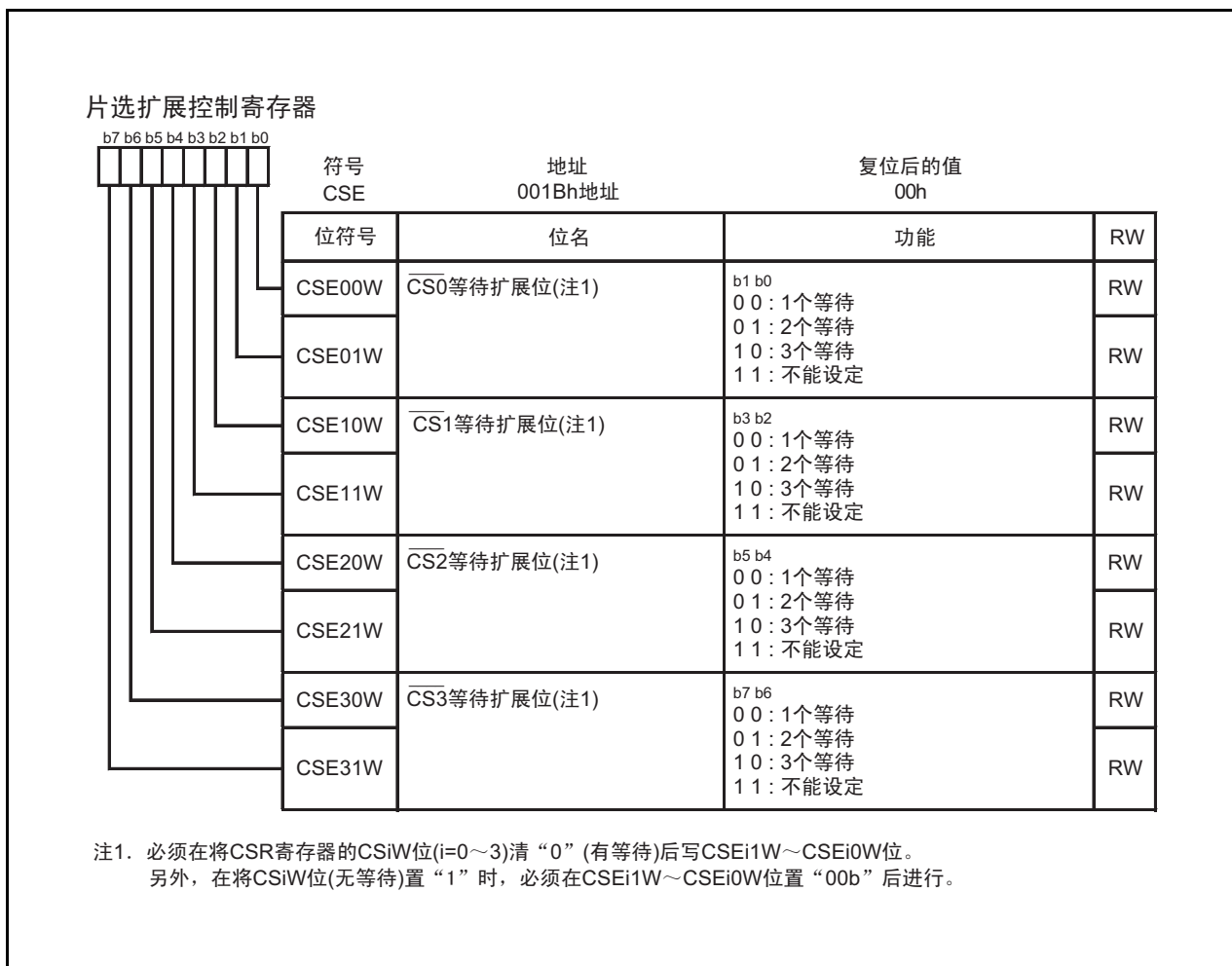


图8.6 CSE寄存器

表8.8 软件等待相关位和总线周期

区域	总线模式	PM2寄存器的PM20位	PM1寄存器的PM17位(注5)	CSR寄存器 CS3W位(注1) CS2W位(注1) CS1W位(注1) CS0W位(注1)	CSE寄存器 CSE31W~CSE30W位 CSE21W~CSE20W位 CSE11W~CSE10W位 CSE01W~CSE00W位	软件等待	总线周期	
SFR	—	1	—	—	—	—	BCLK的2个周期(注3)	
	—	0	—	—	—	—	BCLK的3个周期(注3)	
内部RAM、ROM	—	—	0	—	—	没有	BCLK的1个周期(注4)	
	—	—	1	—	—	1个等待	BCLK的2个周期	
外部区域	独立总线	—	0	1	00b	没有	BCLK的1个周期(读) BCLK的2个周期(写)	
		—	—	0	00b	1个等待	BCLK的2个周期(注4)	
		—	—	0	01b	2个等待	BCLK的3个周期	
		—	—	0	10b	3个等待	BCLK的4个周期	
		—	1	0	00b	1个等待	BCLK的2个周期	
		—	—	—	0	00b	1个等待	BCLK的3个周期
	多路复用总线(注2)	—	—	—	0	01b	2个等待	BCLK的3个周期
		—	—	—	0	10b	3个等待	BCLK的4个周期
		—	—	—	0	00b	1个等待	BCLK的3个周期
		—	1	—	0	00b	1个等待	BCLK的3个周期

注1. 在使用RDY信号时, 必须置“0”(有等待)。

注2. 在多路复用总线模式存取时, 必须将CS0W~CS3W的相应位置“0”(有等待)。

注3. CPU时钟为PLL时钟时, 能通过PM2寄存器的PM20位更改等待数。如果将PLL时钟设定在16MHz以上, 必须将PM20位置“0”(2个等待)。

注4. 因为在复位后PM17位为“0”(没有等待)、CS0W~CS3W位全为“0”(有等待)、CSE寄存器为“00h”(CS0~CS3为1个等待), 所以内部RAM和内部ROM没有等待, 所有外部区域为1个等待。

注5. 在PM17位为“1”并且存取外部区域时, 必须将CSR寄存器的CSiW位(i=0~3)置“0”。

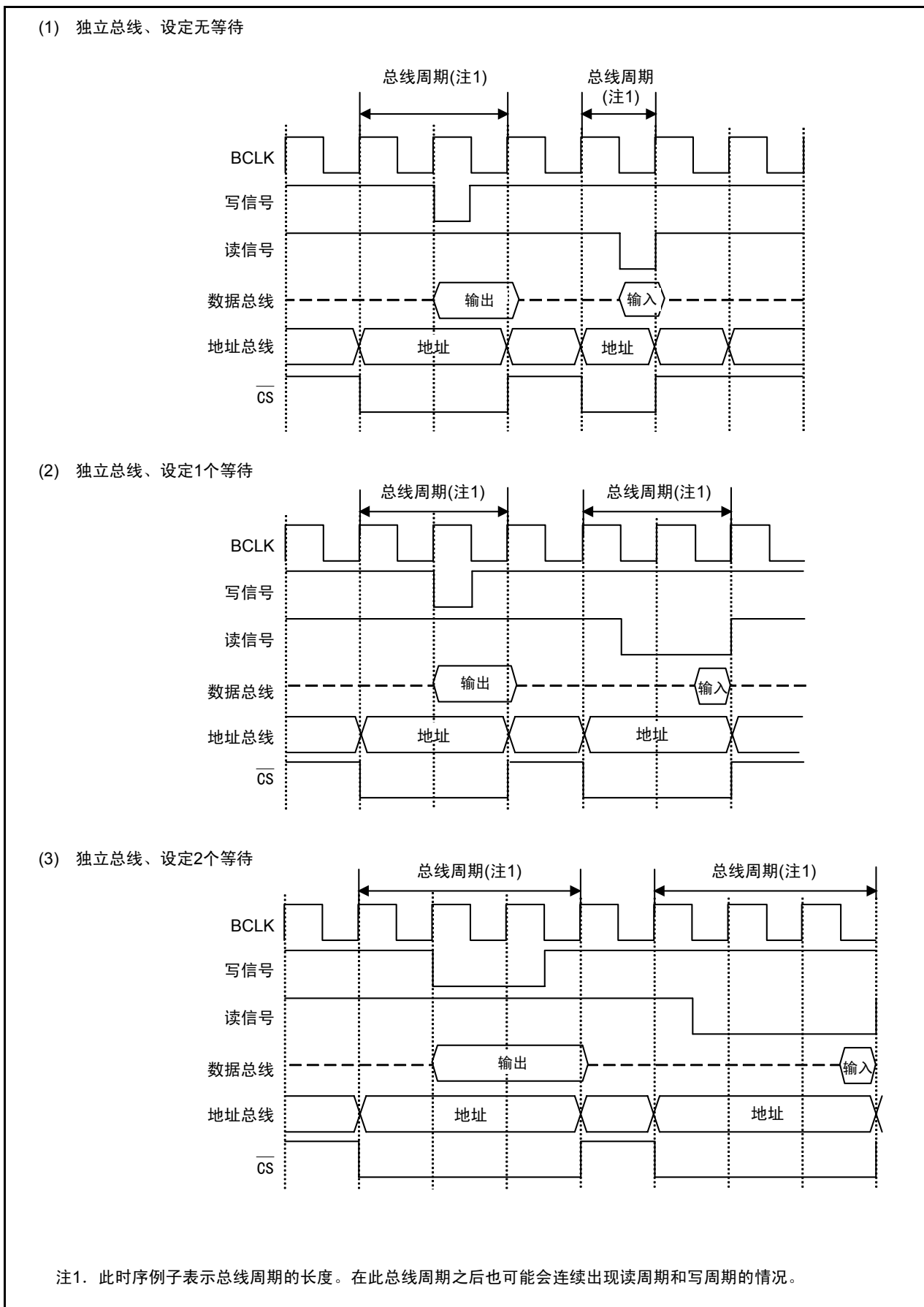


图8.7 使用软件等待时的总线时序例子(1)

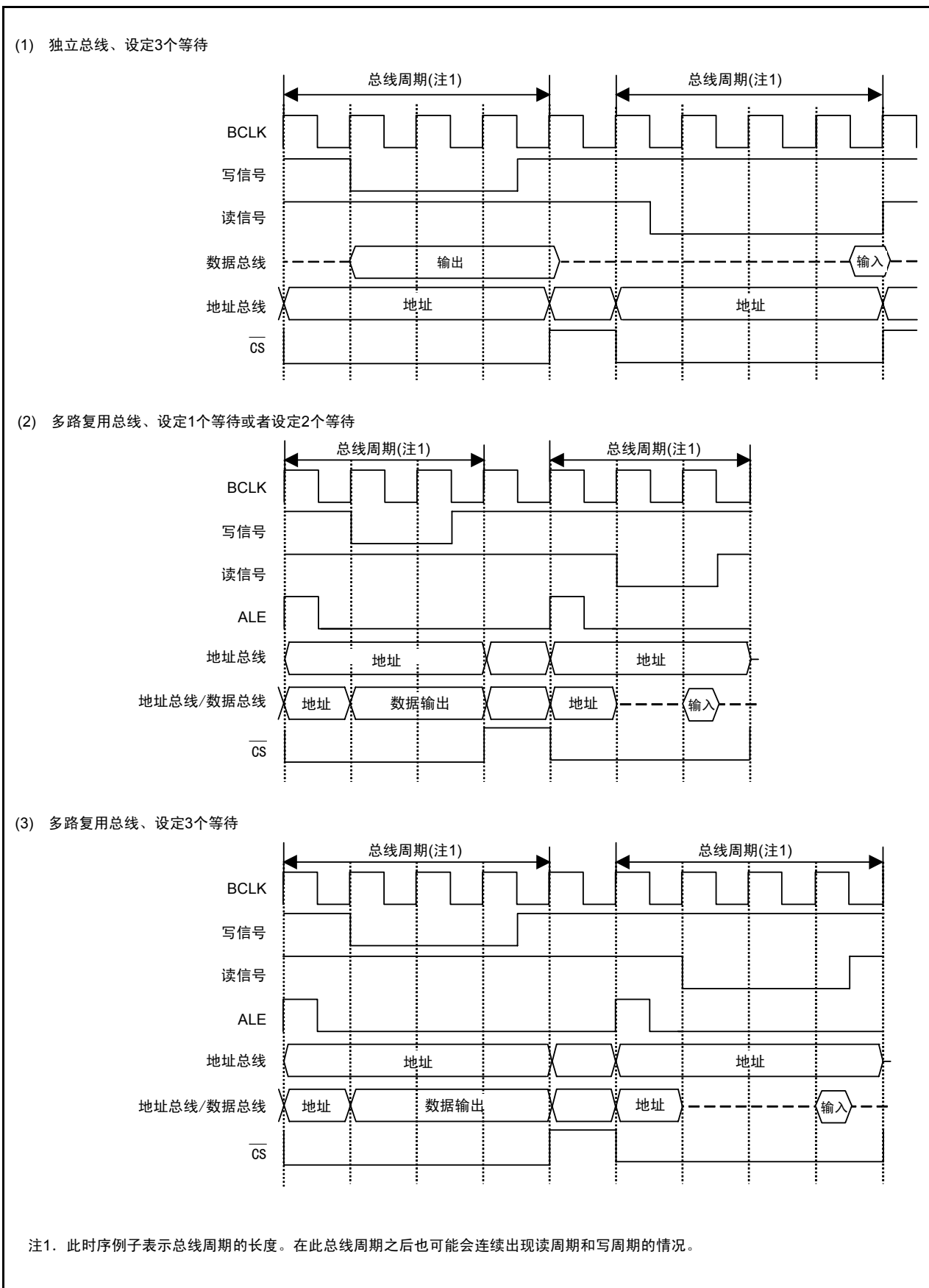


图8.8 使用软件等待时的总线时序例子 (2)



## 9. 存储空间扩展功能

### 注意

对于M16C/62P(80引脚版)和M16C/62PT, 不能使用此功能。

以下说明有关存储空间扩展功能。

在存储器扩展模式或者微处理器模式时, 能通过存储空间扩展功能扩展存取空间。存储空间扩展功能的设定方法和存储空间如表9.1所示。

表9.1 存储空间扩展功能的设定及存储空间大小

存储空间扩展功能	设定方法 (PM15 ~ PM14)	存储空间
1M字节模式	00b	1M字节(没有扩展)
4M字节模式	11b	4M字节

### 9.1 1M字节模式

存储空间为1M字节的模式。在1M字节模式中, 通过 $\overline{CS}_i$  ( $i=0\sim 3$ ) 信号指定能存取的外部区域(以下称为 $\overline{CS}_i$ 区域)。1M字节模式时的存储器分配和 $\overline{CS}$ 区域如图9.2~图9.3所示。

### 9.2 4M字节模式

存储空间为4M字节的模式。DBR寄存器如图9.1所示。能通过DBR寄存器的BSR2~BSR0位选择存取数据时的存储体号。如果将OFS位置“1”(有偏移量), 就能将40000h地址的偏移量追加到要存取的地址。

在4M字节模式中,  $\overline{CS}_i$  ( $i=0\sim 3$ ) 的引脚功能根据存取的区域而不同。

#### 9.2.1 04000h~3FFFFh地址和C0000h~FFFFFh地址

- 从 $\overline{CS}_i$ 引脚输出 $\overline{CS}_i$ 信号(其运行与1M字节模式相同, 但是 $\overline{CS}_1$ 区域的结束地址为3FFFFh)

#### 9.2.2 40000h~BFFFFh地址

- $\overline{CS}_0$ 引脚输出“L”电平
- $\overline{CS}_1\sim\overline{CS}_3$ 引脚输出由BSR2~BSR0位设定的值(存储体号)

4M模式时的存储器分配和 $\overline{CS}$ 区域如图9.4~图9.5所示。

另外, 存储体0~6属数据专用区。必须将程序分配到存储体7或者 $\overline{CS}_i$ 区域。

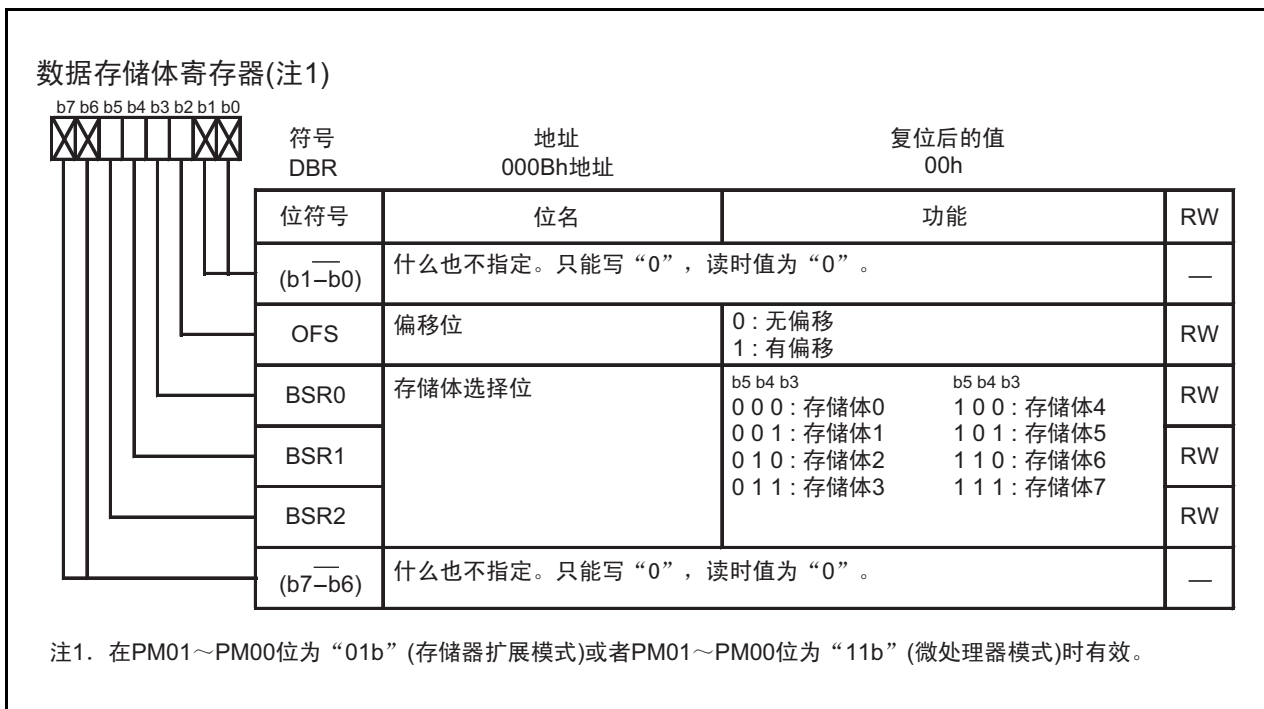


图9.1 DBR寄存器

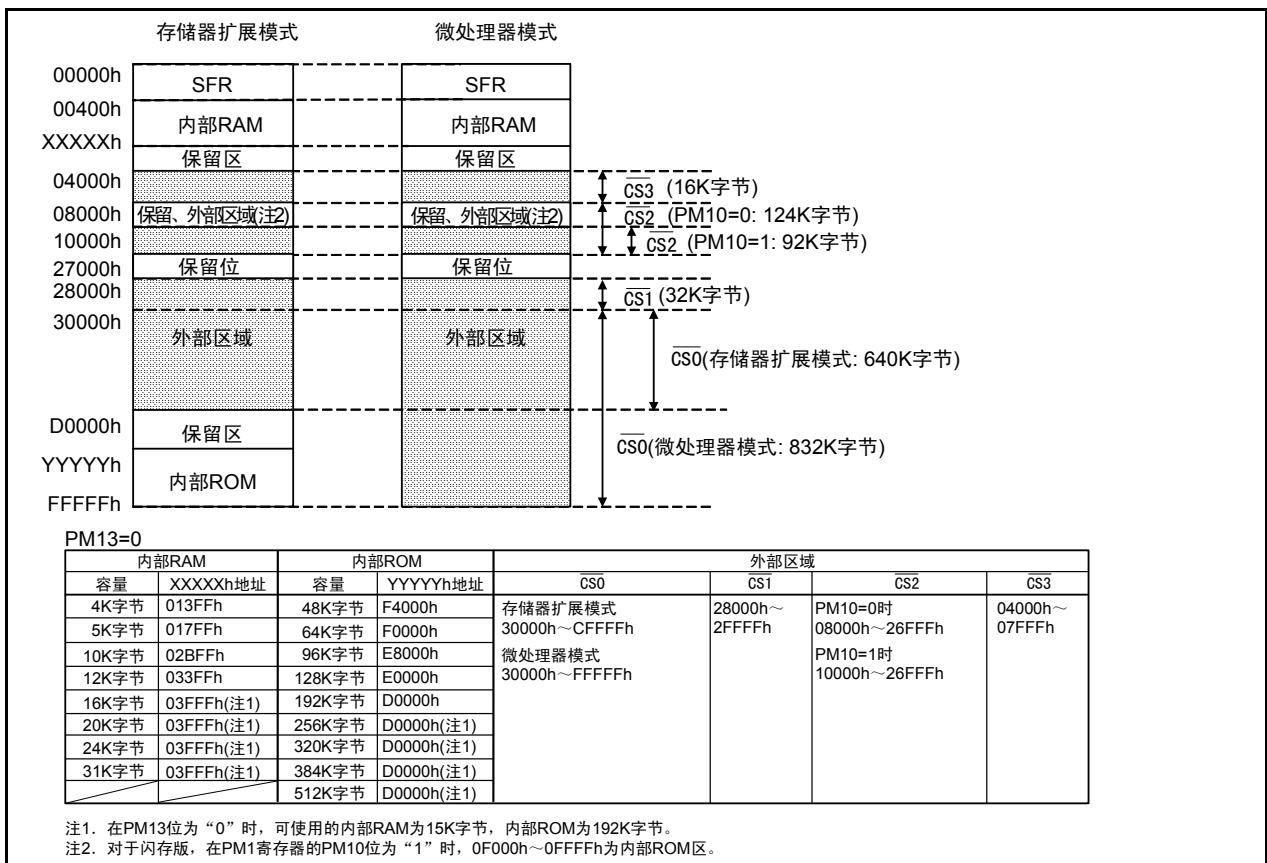


图9.2 1M字节模式时的存储器分配和CS区域 (PM13=0)

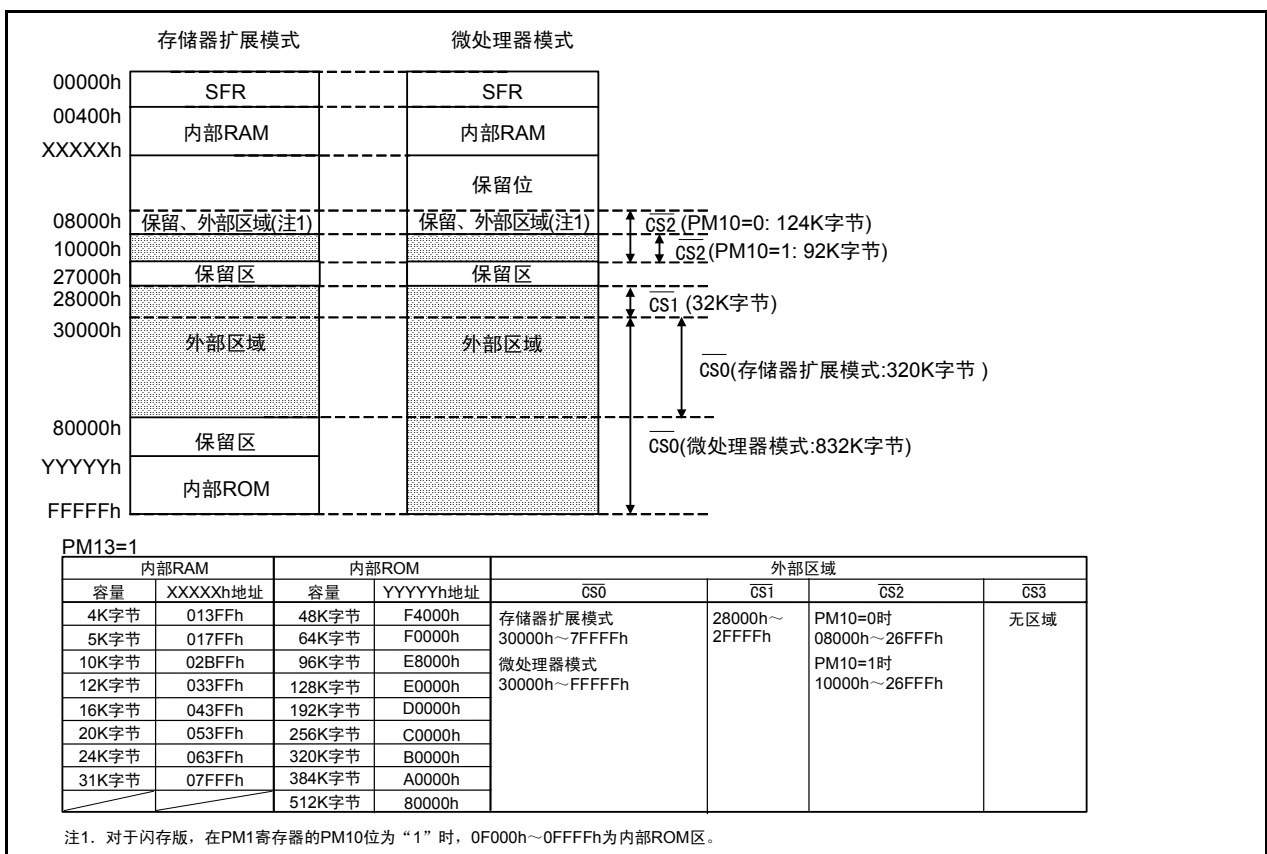


图9.3 1M字节模式时的存储器分配和CS区域 (PM13=1)

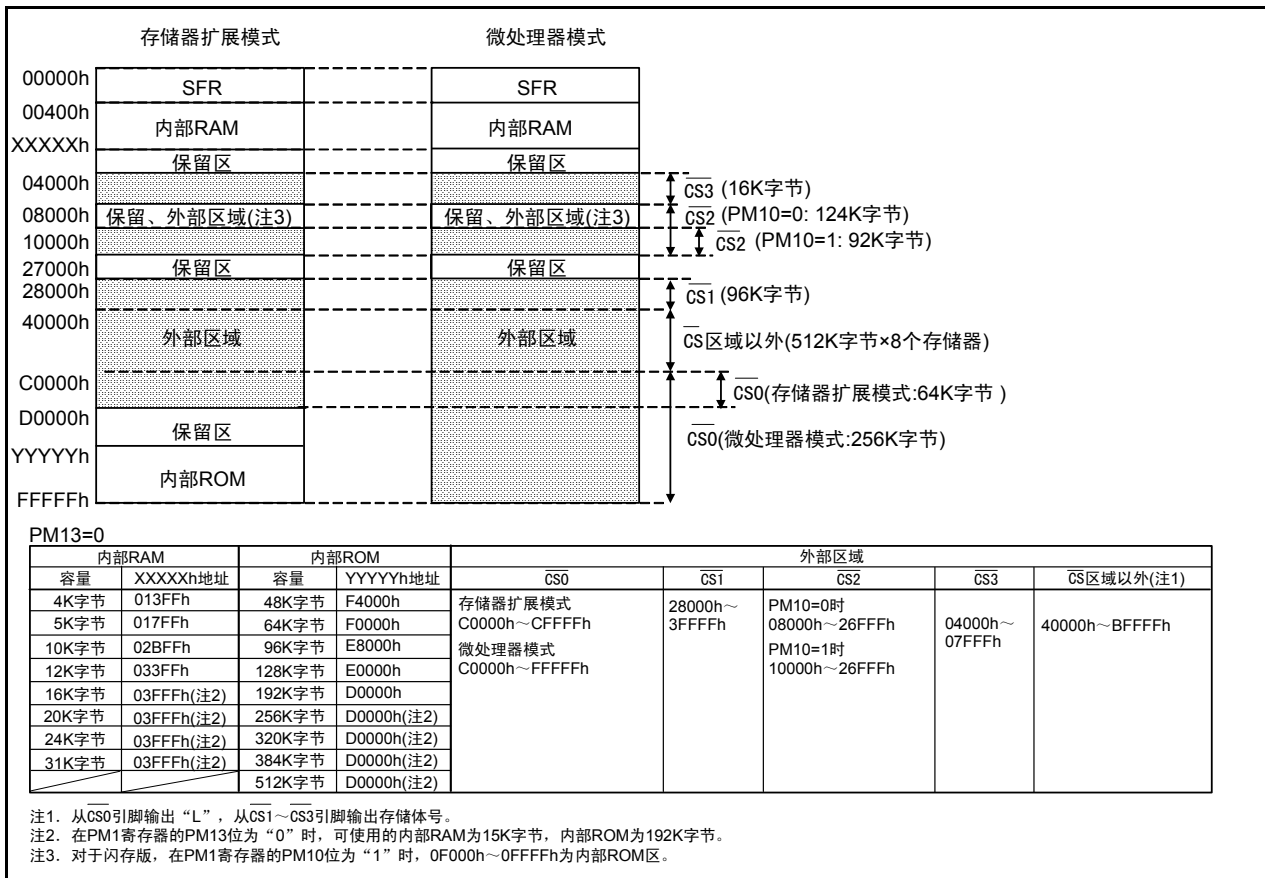


图 9.4 4M字节模式时的存储器分配和CS区域 (PM13=0)

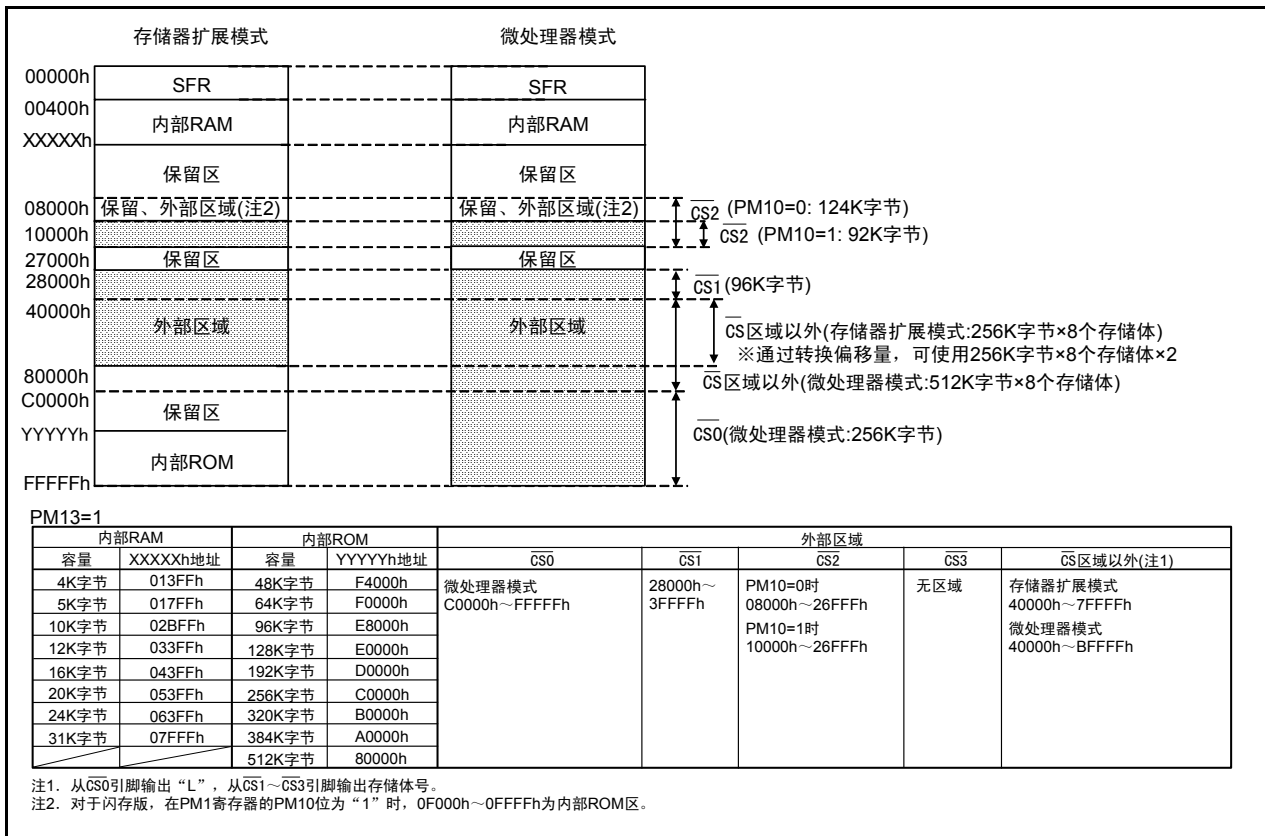


图 9.5 4M字节模式时的存储器分配和CS区域 (PM13=1)

4M字节模式时的外部存储器的连接例子如图9.6所示。在此例中，将4M字节ROM的 $\overline{CS}$ 引脚和单片机的CS0引脚连接。4M字节ROM的地址输入AD21引脚、AD20引脚、AD19引脚分别和单片机的CS3引脚、CS2引脚、CS1引脚连接。地址输入AD18引脚和单片机的A19引脚连接。图9.6连接例子中的4M字节ROM和单片机的地址关系如图9.7~图9.9所示。

在微处理器模式或者PM1寄存器的PM13位为“0”的存储器扩展模式中，每512K字节为一个存储体。通过将DBR寄存器的OFS位置“1”（有偏移量），使地址带有40000h地址的偏移量，对于跨越存储体边界部分的数据，也能连续存取。

在PM13位为“1”的存储器扩展模式中，通过OFS位切换512K字节的存储体，能对各256K字节单元进行存取。

因为SRAM的存取条件为片选信号S2=“H”电平并且 $\overline{S1}$ =“L”电平，所以能给S2和 $\overline{S1}$ 分别连接 $\overline{CS0}$ 和CS2。如果没有两极性的片选信号输入引脚（S1、S2），就必须在外部对CS0和CS2进行译码。

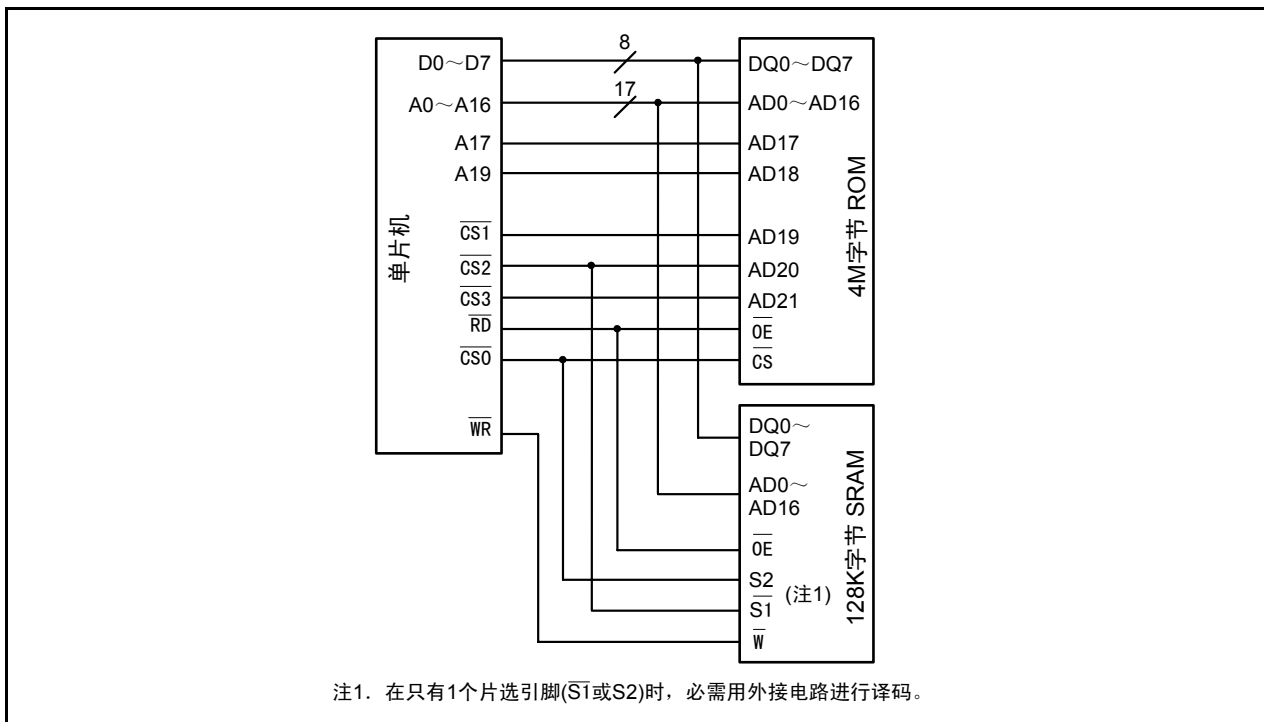


图9.6 4M字节模式时的外部存储器的连接例子

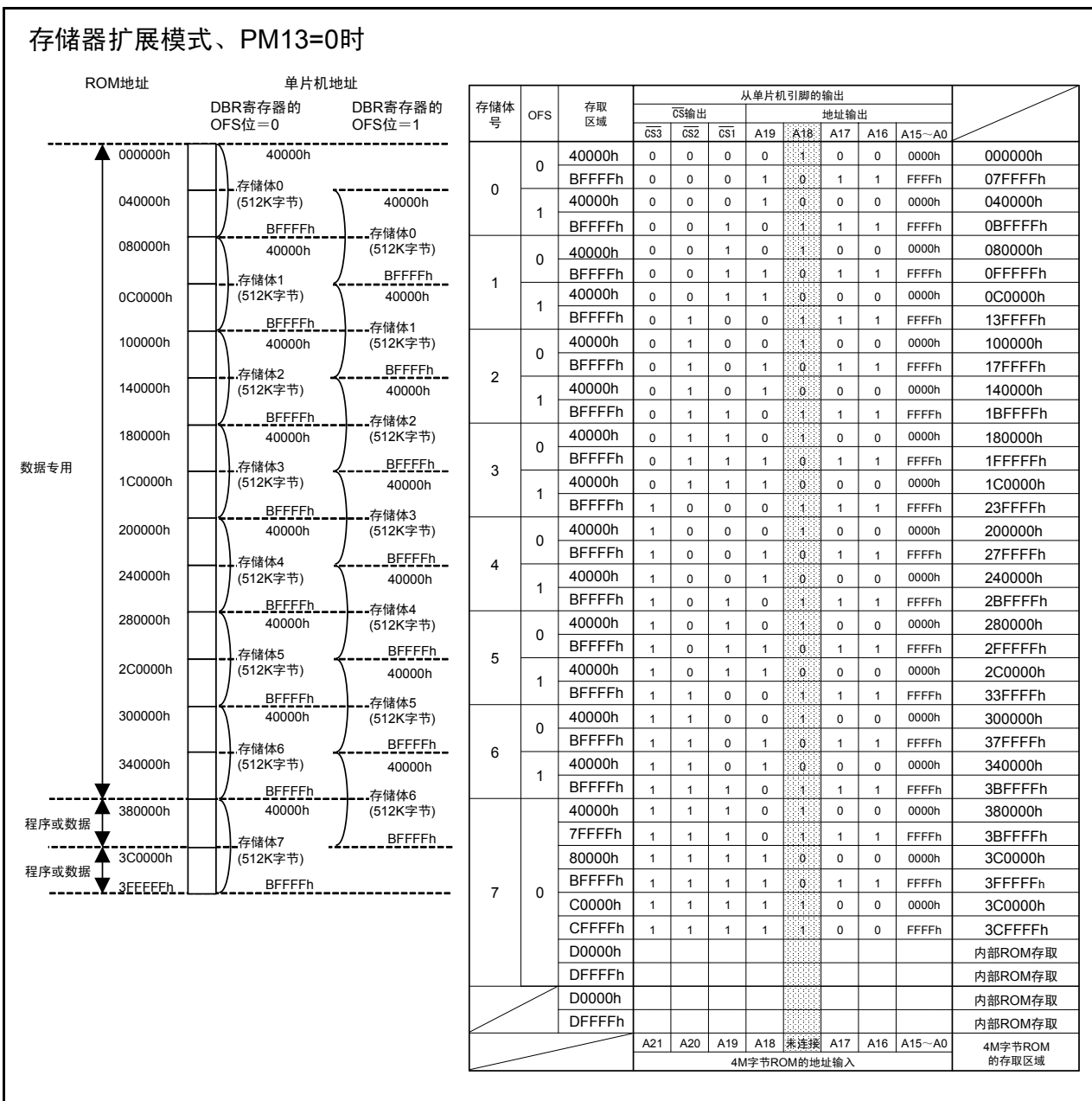


图 9.7 4M字节ROM地址和单片机地址的关系 (1)

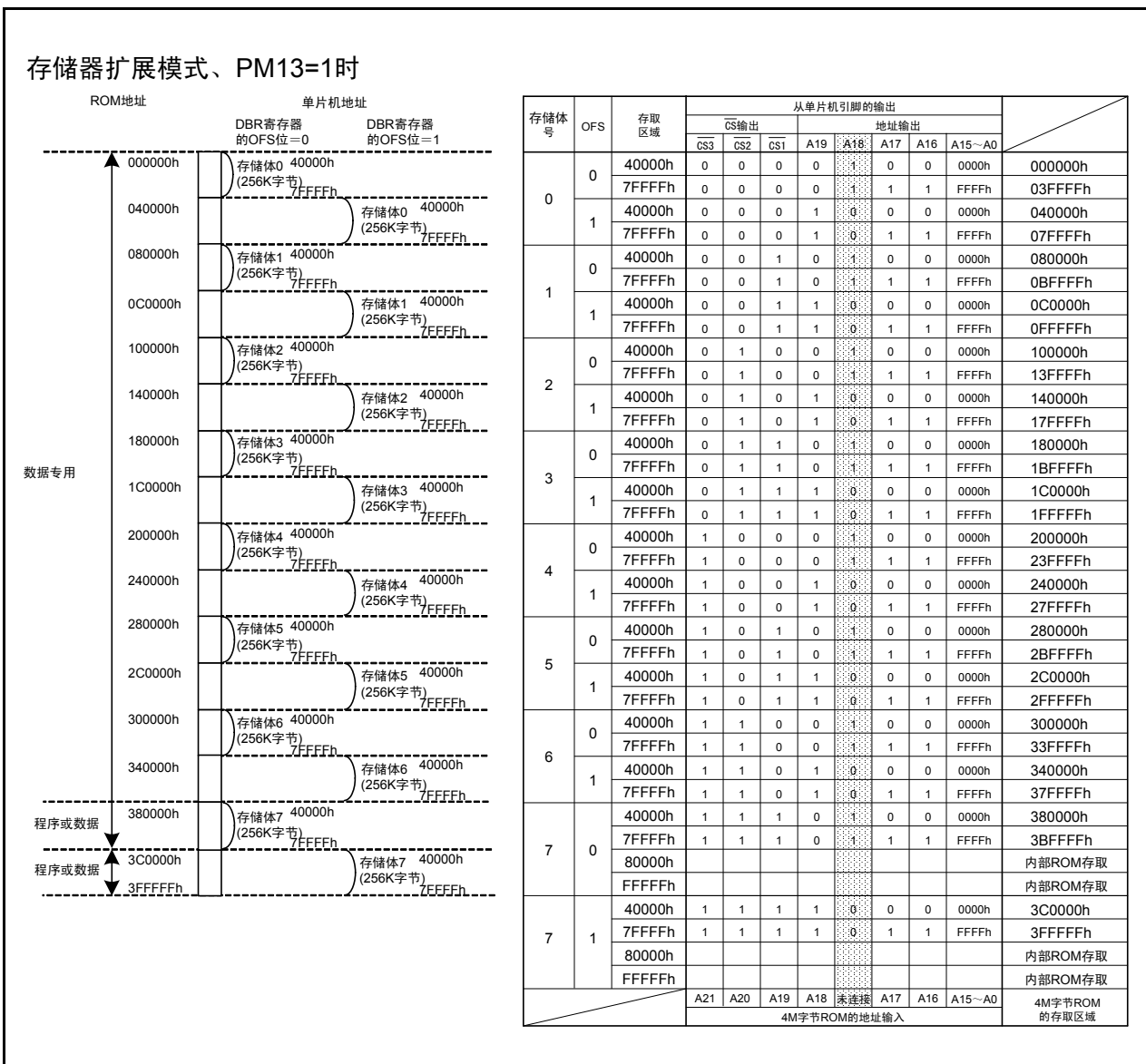


图 9.8 4M字节ROM地址和单片机地址的关系 (2)

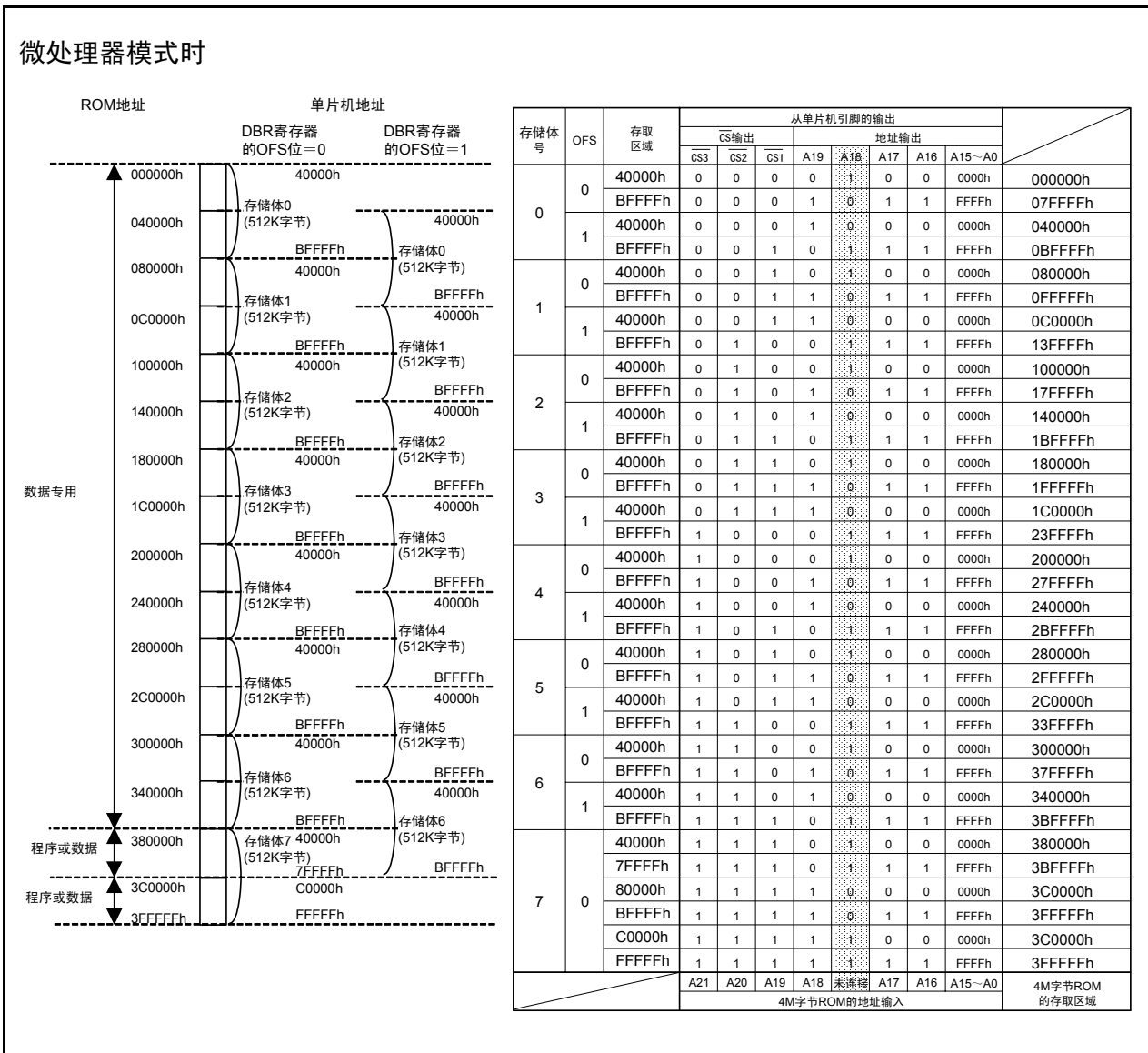


图 9.9 4M字节ROM地址和单片机地址的关系 (3)



## 10. 时钟发生电路

### 10.1 时钟发生电路的种类

时钟发生电路内置4种电路：

- 主时钟振荡电路
- 副时钟振荡电路
- 内部振荡器
- PLL频率合成器

时钟发生电路的概略规格如表10.1所示，系统时钟发生电路的框图如图10.1所示，时钟相关的寄存器如图10.2～10.6所示。

表10.1 时钟发生电路的规格

项目	主时钟振荡电路	副时钟振荡电路	内部振荡器	PLL频率合成器
用途	<ul style="list-style-type: none"> <li>• CPU的时钟源</li> <li>• 外围功能的时钟源</li> </ul>	<ul style="list-style-type: none"> <li>• CPU的时钟源</li> <li>• 定时器A、B的时钟源</li> </ul>	<ul style="list-style-type: none"> <li>• CPU的时钟源</li> <li>• 外围功能的时钟源</li> <li>• 主时钟停止振荡时的CPU和外围功能的时钟源</li> </ul>	<ul style="list-style-type: none"> <li>• CPU的时钟源</li> <li>• 外围功能的时钟源</li> </ul>
时钟频率	0～16MHz	32.768kHz	约1MHz	10～24MHz
可连接的振荡器	<ul style="list-style-type: none"> <li>• 陶瓷谐振器</li> <li>• 晶体振荡器</li> </ul>	<ul style="list-style-type: none"> <li>• 晶体振荡器</li> </ul>	—	—
振荡器的连接引脚	XIN、XOUT	XCIN、XCOUT	—	—
振荡停止、重新开始功能	有	有	有	有
复位后的状态	振荡	停止	停止	停止
其它	能输入外部生成的时钟		—	—

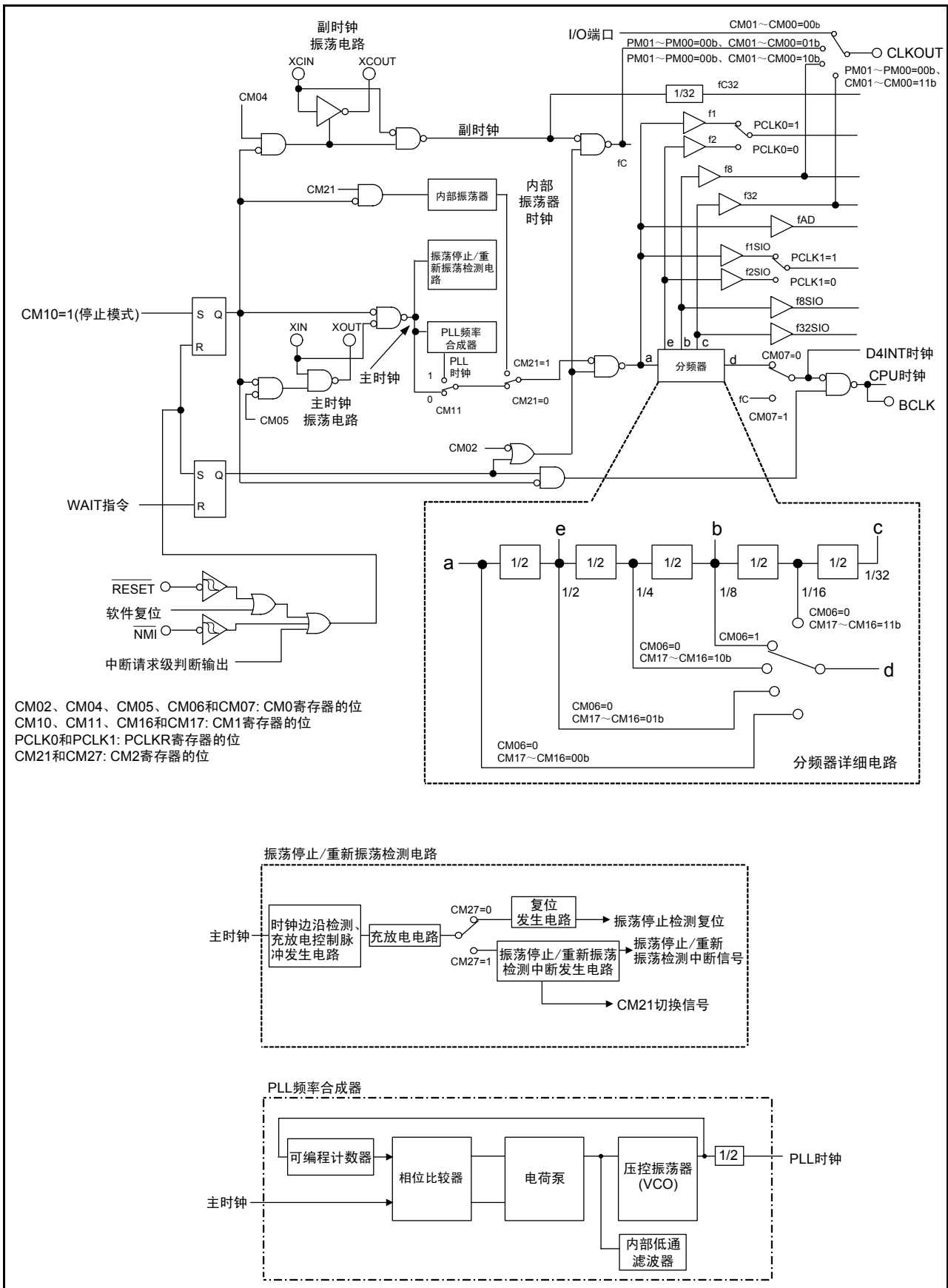


图 10.1 系统时钟发生电路



图10.2 CMO寄存器



图10.3 CM1寄存器

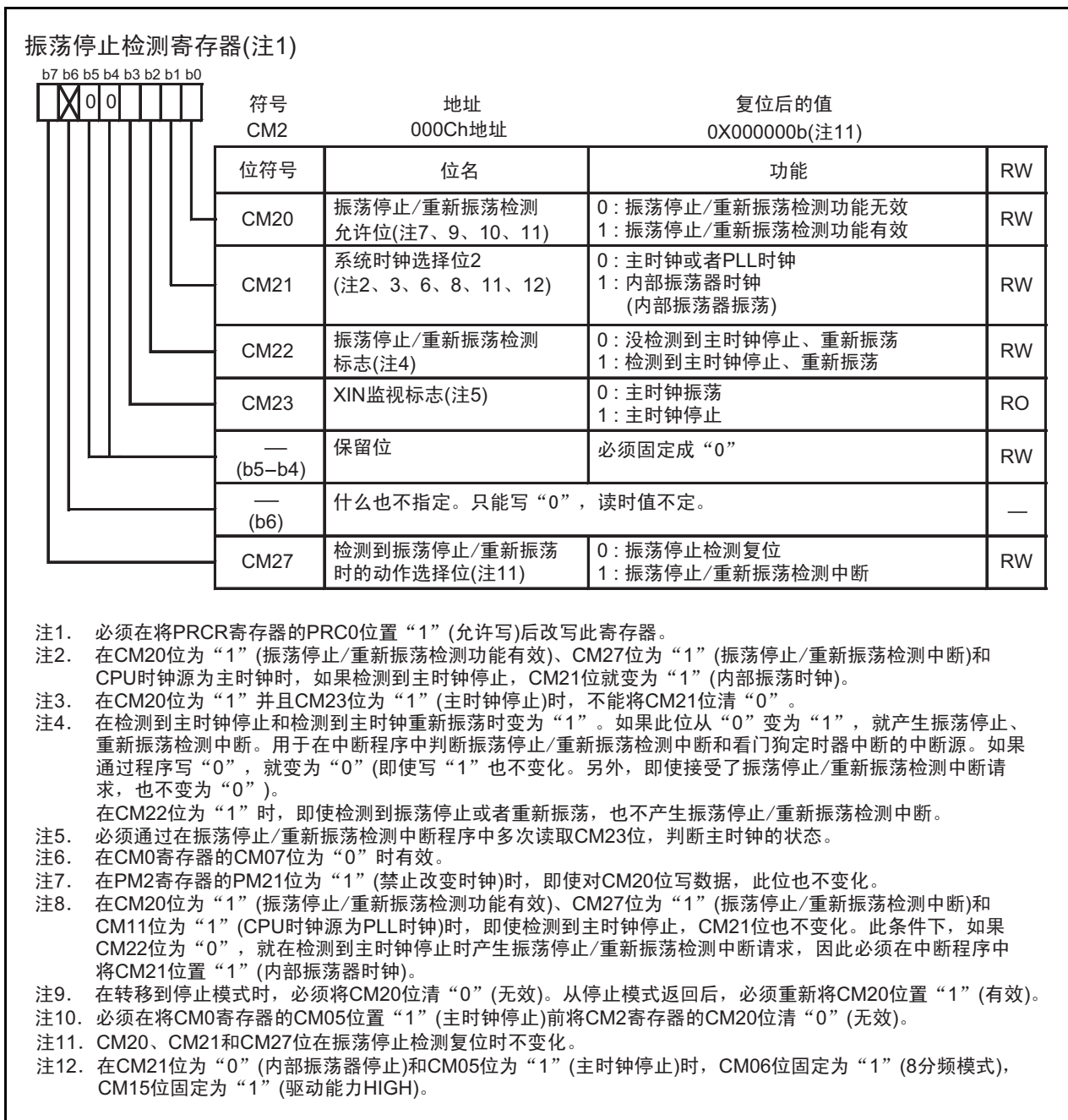


图10.4 CM2寄存器

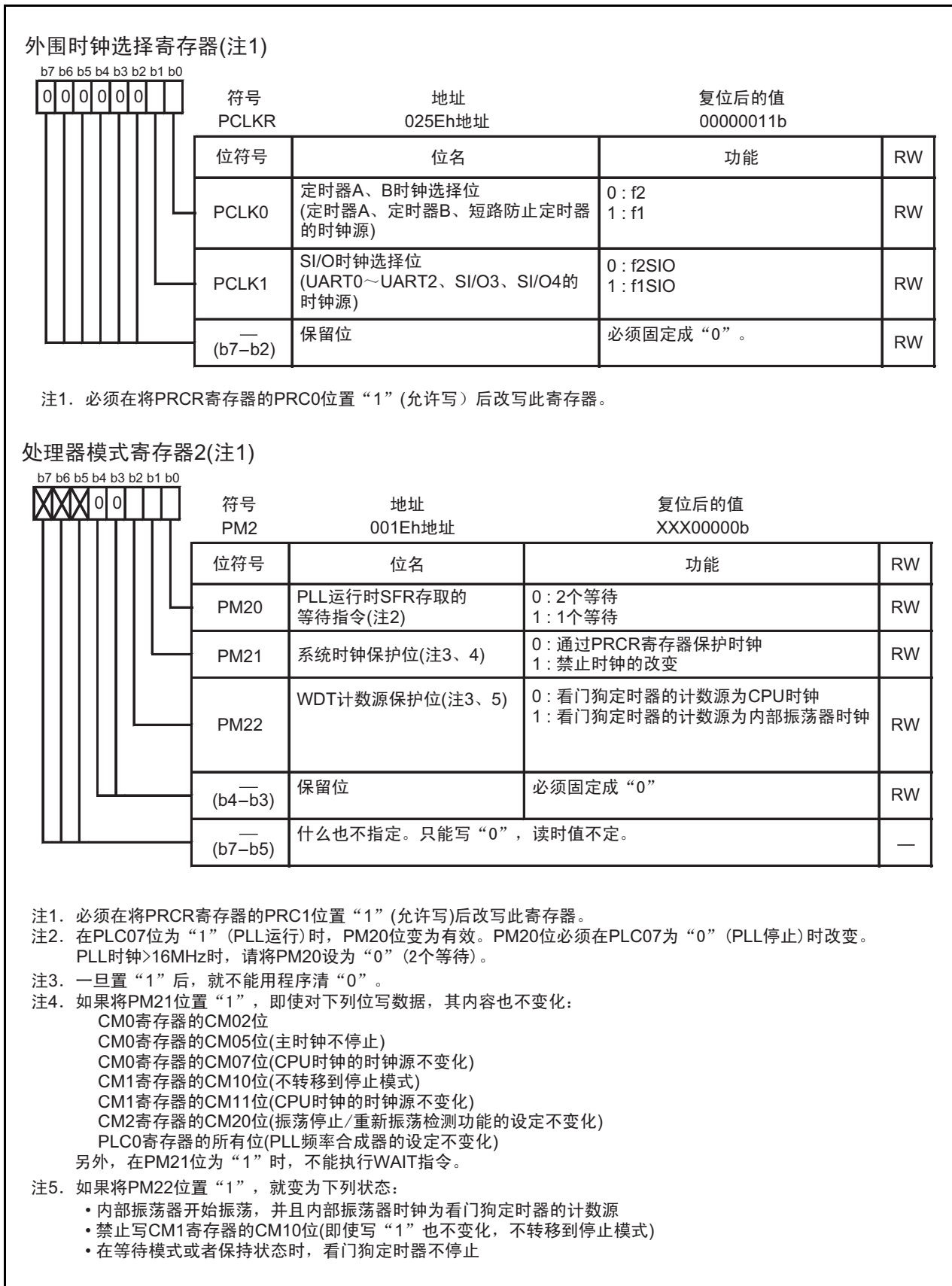


图10.5 PCLKR、PM2寄存器

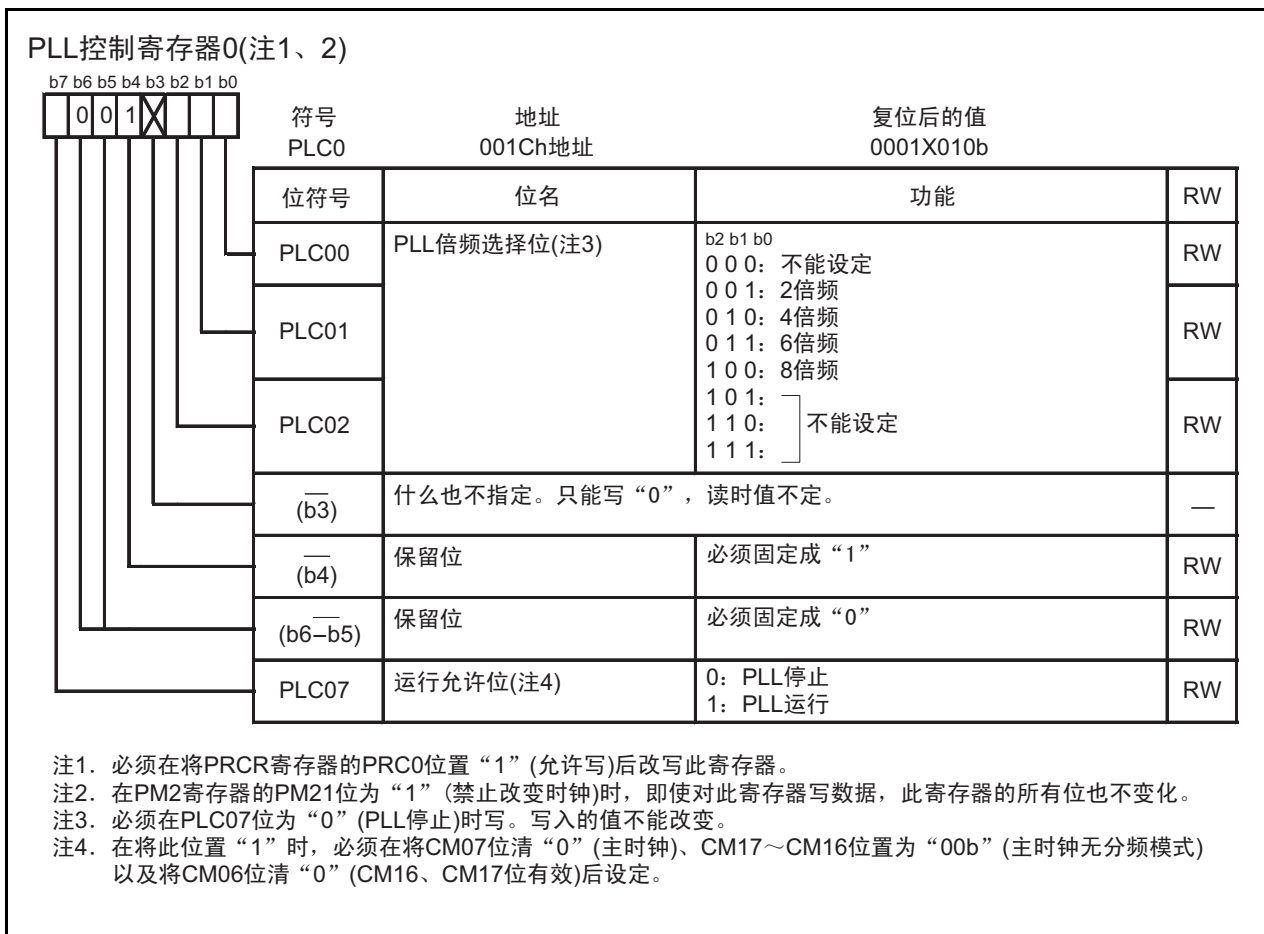


图 10.6 PLC0 寄存器

以下说明时钟发生电路生成的时钟。

### 10.1.1 主时钟

主时钟是由主时钟振荡电路供给的时钟，为CPU时钟和外围功能时钟的时钟源。主时钟振荡电路通过在XIN-XOUT引脚之间连接谐振器构成振荡电路。主时钟振荡电路内置反馈电阻，为了在停止模式降低功耗，将反馈电阻从振荡电路分开。主时钟振荡电路也可以将外部生成的时钟作为振荡源输入到XIN引脚。主时钟连接电路的例子如图10.7所示。

复位后，主时钟的8分频时钟为CPU时钟。

在将CPU时钟的时钟源切换为副时钟或者内部振荡器时钟后，如果将CM0寄存器的CM05位置“1”（主时钟振荡电路的振荡停止），就能降低功耗，此时XOUT变为“H”电平。另外，因为内置的反馈电阻处于ON状态，所以XIN经过反馈电阻被上拉到XOUT的状态。而且，将外部生成的时钟输入到XIN引脚时，即使将CM05置“1”，只要不将副时钟选择为CPU时钟，主时钟就不停止，所以必要时须在外部停止时钟。

在停止模式时，包括主时钟在内的所有时钟都停止。详细内容请参照“10.4 功耗控制”。

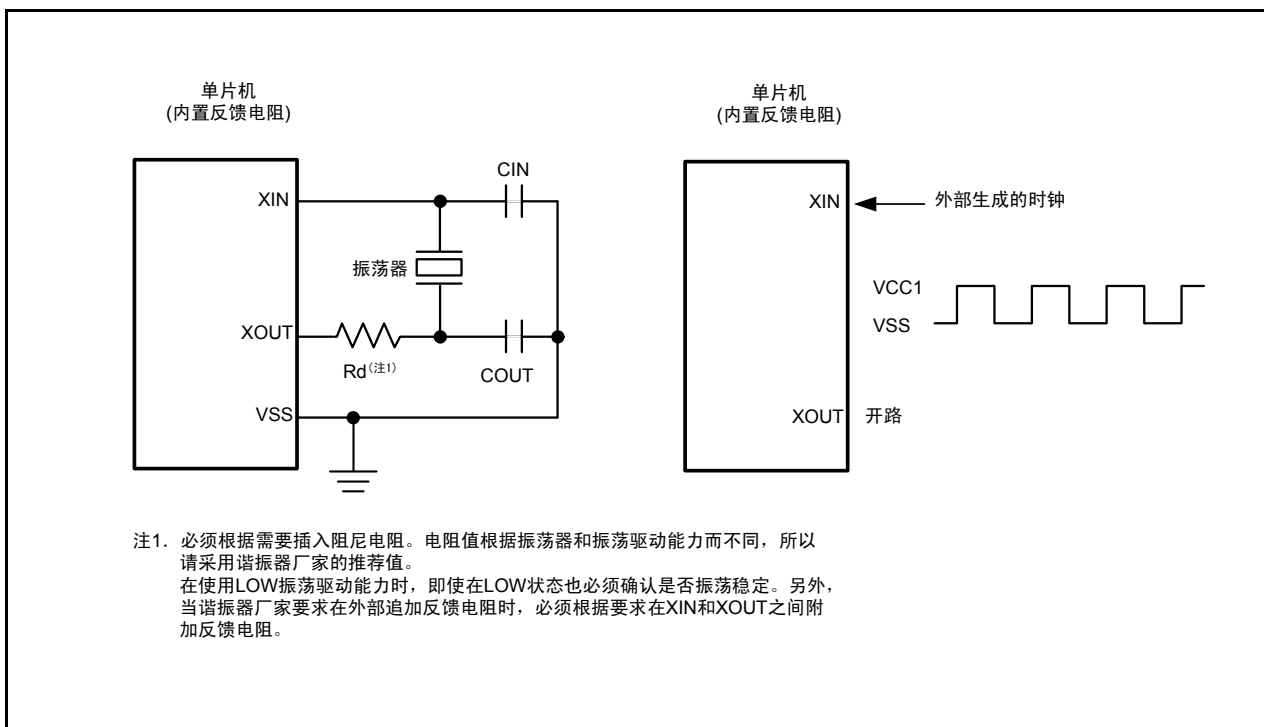


图10.7 主时钟连接电路的例子



### 10.1.2 副时钟

副时钟是由副时钟振荡电路供给的时钟，为CPU时钟、定时器A、定时器B计数源的时钟源。而且，能从CLKOUT引脚输出和副时钟相同频率的FC。

副时钟振荡电路也可以将外部生成的时钟作为振荡源输入到XCIN引脚。副时钟振荡电路内置反馈电阻，为了在停止模式降低功耗，将反馈电阻从振荡电路分开。副时钟振荡电路也可以将外部生成的时钟输入到XCIN引脚。作为主时钟振荡电路的震荡源。副时钟连接电路的例子如图10.8所示。

复位后，副时钟停止。此时，反馈电阻从振荡电路分开。

在副时钟的振荡稳定后，如果将CM0寄存器的CM07位置“1”（副时钟），副时钟就为CPU时钟。在停止模式时，包括副时钟的所有时钟都停止。详细内容请参照“10.4 功率控制”。

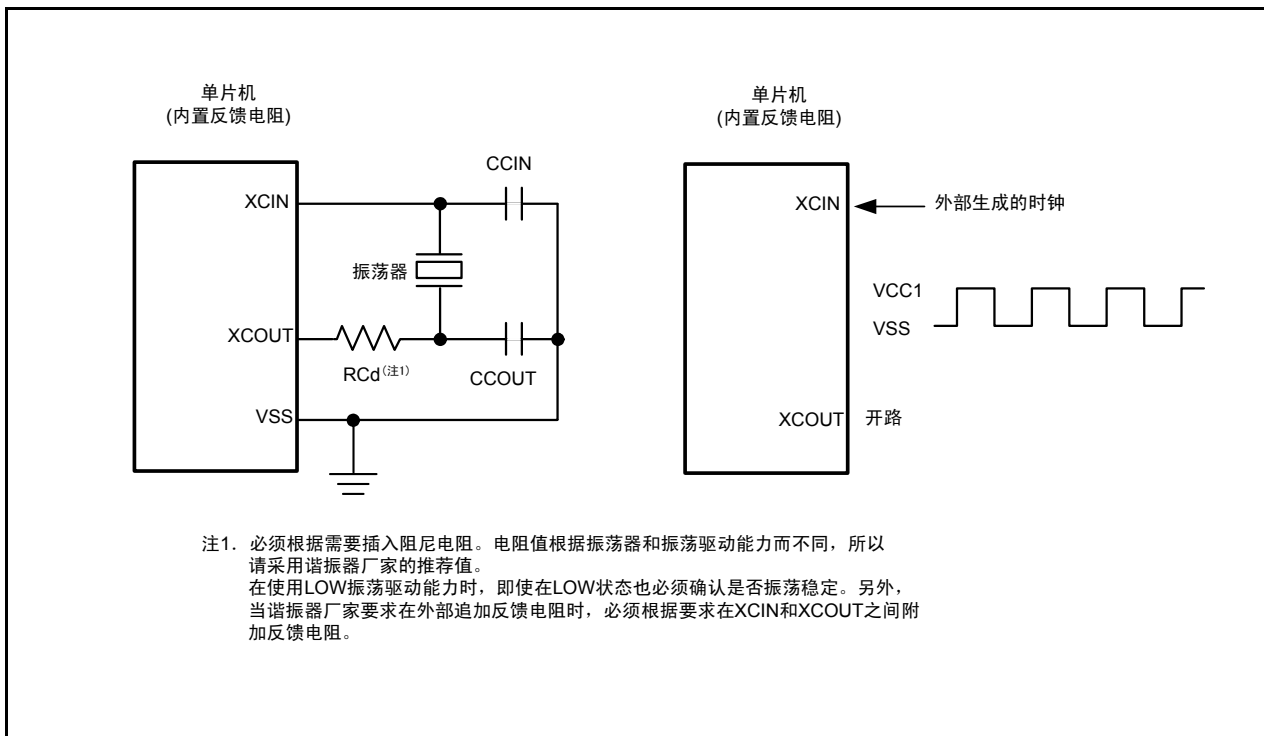


图 10.8 副时钟连接电路的例子

### 10.1.3 内部振荡器时钟

内部振荡器时钟是由内部振荡器供给的约1MHz的时钟，为CPU时钟和外围功能时钟的时钟源。另外，在PM2寄存器的PM22位为“1”（看门狗定时器的计数源为内部振荡器时钟）时，成为看门狗定时器的计数源（请参照“13.1 计数源保护模式”）。

复位后，内部振荡器停止。如果将CM2寄存器的CM21位置“1”（内部振荡器时钟），内部振荡器便开始振荡，并取代主时钟成为CPU时钟和外围功能的时钟源。另外，如果CM2寄存器的CM20位为“1”（振荡停止/重新振荡检测功能有效）并且CM27位为“1”（振荡停止/重新振荡检测功能中断），则当主时钟停止时内部振荡器自动开始运行并供给时钟。

### 10.1.4 PLL时钟

PLL时钟是PLL频率合成器生成的时钟，为CPU时钟和外围功能时钟的时钟源。复位后，PLL频率合成器停止。如果将PLC07位置“1”（PLL运行），PLL频率合成器就开始运行。将PLL时钟置为CPU时钟的时钟源时，必须在PLL时钟稳定之前，等待 $t_{su}(PLL)$ 后，将CM1寄存器的CM11位置“1”。

向等待模式或者停止模式转移时，必须将CM11位置“0”（CPU时钟源为主时钟）。而且，必须在将PLC0寄存器的PLC07位置“0”（PLL停止）后转移到停止模式。将PLL时钟置为CPU时钟源的步骤如图10.9所示。

PLL时钟频率如下所示。PLL时钟频率在16MHz以上时，必须将PM2寄存器的PM20位置“0”。

PLL时钟频率 =  $f(XIN) \times$  (由PLC0寄存器的PLC02~PLC00位设定的倍频)

(但是,  $10\text{MHz} \leq \text{PLL时钟频率} \leq 24\text{MHz}$ )。

复位后，只能对PLC02~PLC00位设定1次。PLL时钟频率的设定例子如表10.2所示。

表10.2 PLL时钟频率的设定例子

XIN (MHz)	PLC02	PLC01	PLC00	倍频	PLL时钟 (MHz) (注1)
10	0	0	1	2	20
5	0	1	0	4	
3.33	0	1	1	6	
2.5	1	0	0	8	
12	0	0	1	2	24
6	0	1	0	4	
4	0	1	1	6	
3	1	0	0	8	

注1.  $10\text{MHz} \leq \text{PLL时钟的频率} \leq 24\text{MHz}$

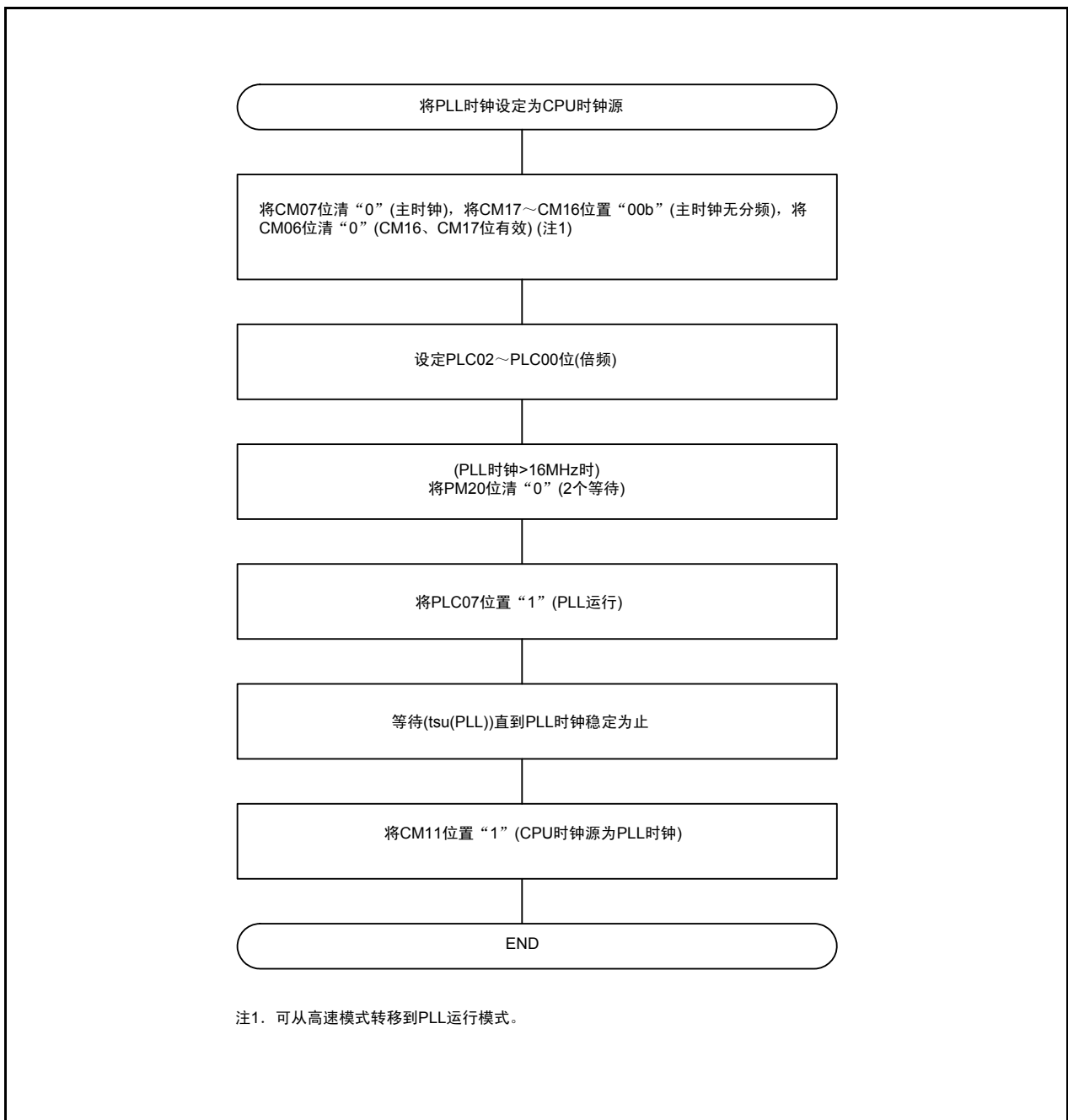


图 10.9 将PLL时钟置为CPU时钟源的步骤

## 10.2 CPU时钟和外围功能时钟

两种时钟：CPU运行的CPU时钟和使外围功能运行的外围功能时钟。

### 10.2.1 CPU时钟和BCLK

CPU时钟是CPU和看门狗定时器的运行时钟。

CPU时钟的时钟源可选择主时钟、副时钟、内部振荡器时钟或者PLL时钟。

作为CPU时钟的时钟源，如果选择主时钟或者内部振荡器时钟，CPU时钟就为所选时钟的1分频（无分频）或者2、4、8、16分频时钟。能通过CM0寄存器的CM06位和CM1寄存器的CM17~CM16位选择分频。

在将PLL时钟选择为CPU时钟的时钟源时，必须将CM06位置“0”并且将CM17~CM16位置“00b”（无分频）。

复位后，主时钟的8分频时钟为CPU时钟。

在存储器扩展模式或者微处理器模式时，一旦将PM0寄存器的PM07位置“0”（输出），就能从BCLK引脚输出与CPU时钟相同频率的BCLK信号。

另外，在从高速模式、中速模式、内部振荡器模式、内部振荡器低功耗模式转移到停止模式时，或者在低速模式中将CM0寄存器的CM05位置“1”（停止）后，CM0寄存器的CM06位为“1”（8分频模式）。

### 10.2.2 外围功能时钟 (f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fC32)

外围功能时钟是外围功能的运行时钟。

f<sub>i</sub> (i=1、2、8、32) 和 f<sub>i</sub>SIO是将主时钟、PLL时钟、或者内部振荡器时钟进行i分频后的时钟。f<sub>i</sub>用于定时器A和定时器B，f<sub>i</sub>SIO用于串行I/O。f8和f32能从CLKOUT引脚输出。

fAD将主时钟、PLL时钟或者内部振荡器时钟作为时钟源，用于A/D转换器。

在将CM0寄存器的CM02位置“1”（在等待模式时停止外围功能时钟）后执行WAIT指令时或者在低功耗模式时，f<sub>i</sub>、f<sub>i</sub>SIO、fAD停止运行。

fC32将副时钟作为时钟源，用于定时器A和定时器B。副时钟工作时能使用fC32。

## 10.3 时钟输出功能

在单芯片模式时，能从CLKOUT引脚输出f8、f32或者fC。必须根据CM0寄存器的CM01~CM00位选择时钟的输出。

## 10.4 功耗控制

功耗控制有3种模式。为了方便起见，在此将等待模式和停止模式以外的状态称为正常运行模式。

### 10.4.1 正常运行模式

正常运行模式又分为7种模式。

因为在正常运行模式中同时供给CPU时钟和外围功能时钟，所以CPU和外围功能都运行。通过控制CPU时钟频率进行功耗控制。频率越高处理能力就越强，频率越低功耗就越小。另外，如果停止不需要的振荡电路，功耗就会更小。

在切换CPU时钟的时钟源时，切换的目标时钟必需处于稳定振荡。切换的目标时钟为主时钟、副时钟、PLL时钟时，必须在程序中等待足够的时间让振荡稳定。

而且，不能从低速模式或者低功耗模式切换到内部振荡器模式或者内部振荡器低功耗模式。同样也不能从内部振荡器模式或者内部振荡器低功耗模式切换到低速模式或者低功耗模式。

如果将CPU时钟的时钟源从内部振荡器时钟切换为主时钟，就必须在内部振荡器模式将主时钟8分频(CM0寄存器的CM06位=“1”)后切换到中速模式(8分频)。

#### 10.4.1.1 高速模式

主时钟的1分频时钟为CPU时钟。在供给副时钟的情况下，fC32能用于定时器A和定时器B的计数源。

#### 10.4.1.2 PLL运行模式

主时钟的2倍频、4倍频、6倍频或者8倍频为PLL时钟，PLL时钟为CPU时钟。在供给副时钟的情况下，fC32能用于定时器A和定时器B的计数源。能从高速模式转移到PLL运行模式。在转移到等待模式或者停止模式时，必须在转移到高速模式之后进行。

#### 10.4.1.3 中速模式

主时钟的2分频、4分频、8分频或者16分频时钟为CPU时钟。在供给副时钟的情况下，fC32能用于定时器A和定时器B的计数源。

#### 10.4.1.4 低速模式

副时钟为CPU时钟。外围功能时钟的时钟源在CM21位=“0”(内部振荡器停止)时为主时钟，在CM21位=“1”(内部振荡器振荡)时为内部振荡器时钟。

fC32能用于定时器A和定时器B的计数源。

#### 10.4.1.5 低功耗模式

在低速模式下，使主时钟处于停止状态。副时钟为CPU时钟，fC32能用于定时器A和定时器B的计数源。

在转移到此模式的同时，CM0寄存器的CM06位变为“1”(8分频模式)。在低功耗模式，不能更改CM06位，因此在下次主时钟运行时变为中速模式(8分频)。

#### 10.4.1.6 内部振荡器模式

内部振荡器时钟的1分频(无分频)、2、4、8、16分频为CPU时钟。另外，内部振荡器时钟为外围功能时钟的时钟源。在供给副时钟的情况下，fC32能用于定时器A和定时器B的计数源。

#### 10.4.1.7 内部振荡器低功耗模式

在内部振荡器模式下，使主时钟处于停止状态。和内部振荡器模式一样，能选择CPU时钟。内部振荡器时钟为外围功能时钟的时钟源。在供给副时钟的情况下，fC32能用于定时器A和定时器B的计数源。

表 10.3 时钟相关位的设定和模式

模式		CM2 寄存器	CM1 寄存器		CM0 寄存器			
		CM21	CM11	CM17、CM16	CM07	CM06	CM05	CM04
PLL 运行模式		0	1	00b	0	0	0	—
高速模式		0	0	00b	0	0	0	—
中速模式	2分频	0	0	01b	0	0	0	—
	4分频	0	0	10b	0	0	0	—
	8分频	0	0	—	0	1	0	—
	16分频	0	0	11b	0	0	0	—
低速模式		—	0	—	1	—	0	1
低功耗模式		0	0	—	1	1(注1)	1(注1)	1
内部振荡器模式	无分频	1	0	00b	0	0	0	—
	2分频	1	0	01b	0	0	0	—
	4分频	1	0	10b	0	0	0	—
	8分频	1	0	—	0	1	0	—
	16分频	1	0	11b	0	0	0	—
内部振荡器低功耗模式		1	0	(注2)	0	(注2)	1	—

—: “0” 或 “1”

注1. 如果在低速模式中将CM05位置“1”(主时钟停止), 就变为低功耗模式。同时, CM06位变为“1”(8分频模式)。

注2. 内部振荡器低功耗模式和内部振荡器模式一样, 能选择分频值。

## 10.4.2 等待模式

因为在等待模式中 CPU 时钟停止，所以用 CPU 时钟运行的 CPU 和看门狗定时器停止运行。但是，在 PM2 寄存器的 PM22 位为“1”（看门狗定时器的计数源为内部振荡器时钟）时，看门狗定时器运行。因为主时钟、副时钟、内部振荡器时钟不停止，所以使用这些时钟的外围功能保持运行状态。

### 10.4.2.1 外围功能时钟停止功能

在 CM02 位为“1”（在等待模式时停止外围功能时钟）时，因为在等待模式时 f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD 处于停止状态，所以能降低功耗。fC32 不停止。

### 10.4.2.2 进入等待模式

一旦执行 WAIT 指令，就转移到等待模式。

在 CM11 位为“1”（CPU 时钟的时钟源为 PLL 时钟）时，必须在将 CM11 位置“0”（CPU 时钟的时钟源为主时钟）后转移到等待模式。如果将 PLC07 位置“0”（PLL 停止），就能降低功耗。

### 10.4.2.3 等待模式时的引脚状态

等待模式时的引脚状态如表 10.4 所示。

表 10.4 等待模式时的引脚状态

引 脚		存储器扩展模式 微处理器模式	单芯片模式
A0 ~ A19、D0 ~ D15、 CS0 ~ CS3、BHE		保持即将进入等待模式前的状态	不变为总线控制引脚
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$		“H”	
HLDA、BCLK		“H”	
ALE		“L”	
I/O 端口		保持即将进入等待模式前的状态	保持即将进入等待模式前的状态
CLKOUT	选择 fC 时	不变为 CLKOUT 引脚	不停止
	选择 f8、f32 时		在 CM02 位为“0”时不停止，在 CM02 位为“1”时保持即将进入等待模式前的状态

#### 10.4.2.4 从等待模式的返回

通过硬件复位、NMI中断、低电压检测中断或者外围功能中断，从等待模式返回。

在通过硬件复位、NMI中断或者低电压检测中断返回时，必须在将外围功能中断的ILVL2～ILVL0位置“000b”（中断禁止）后执行WAIT指令。

外围功能中断受CM02位的影响。在CM02位为“0”（在等待模式中不停止外围功能时钟）时，外围功能中断能用于从等待模式的返回。在CM02位为“1”（在等待模式中停止外围功能时钟）时，因为使用外围功能时钟的外围功能处于停止状态，所以根据外部信号运行的外围功能中断能用于从等待模式的返回。

能用于从等待模式返回的中断和使用条件如表10.5所示。

表10.5 能用于从等待模式返回的中断

中断	CM02=0	CM02=1
NMI中断	可使用	可使用
串行接口中断	可用于内部时钟和外部时钟	可用于外部时钟
键输入中断	可使用	可使用
A/D转换中断	可用于单次模式或者单次扫描模式	不能使用
定时器A中断 定时器B中断	可用于所有模式	在事件计数器模式或者计数源为fC32时可使用
INT中断	可使用	可使用
低电压检测中断	可使用	可使用

在使用外围功能中断从等待模式返回时，必须在执行WAIT指令前进行如下设定：

- (1) 对用于从等待模式返回的外围功能中断的中断控制寄存器的ILVL2～ILVL0位设定中断优先级。而对不用于从等待模式返回的其它全部外围功能中断的中断控制寄存器的ILVL2～ILVL0位置“000b”（中断禁止）。
- (2) I标志置“1”。
- (3) 运行用于从等待模式返回的外围功能。

在通过外围功能中断返回时，一旦产生中断请求并且CPU时钟开始供给，就执行中断程序。

通过外围功能中断从等待模式返回后的CPU时钟与执行WAIT指令时的CPU时钟相同。



### 10.4.3 停止模式

在停止模式中，停止所有振荡。因此，CPU 时钟和外围功能时钟也停止，使用这些时钟运行的 CPU 和外围功能也停止。它是功耗最小的模式。而且，当 VCC1 引脚和 VCC2 引脚的外加电压在 VRAM 以上时，内部 RAM 处于保持状态。当 VCC1 引脚和 VCC2 引脚的外加电压设定在 2.7V 以下时，必须设定  $VCC1 \geq VCC2 \geq VRAM$ 。

另外，根据外部信号运行的外围功能保持运行状态。能用于从停止模式返回的中断和使用条件如表 10.6 所示：

表 10.6 能用于从停止模式返回的中断和使用条件

中断	条件
NMI 中断	可使用
键输入中断	可使用
INT 中断	可使用
定时器 A 中断 定时器 B 中断	在事件计数器模式中对外部脉冲计数时可使用
串行接口中断	在选择外部时钟时可使用
低电压检测中断	可使用（请参照“6.1 低电压检测中断”）

#### 10.4.3.1 进入停止模式

一旦将 CM1 寄存器的 CM10 位置“1”（全部时钟停止），就进入停止模式。同时，CM0 寄存器的 CM06 位变为“1”（8分频模式），CM1 寄存器的 CM15 位变为“1”（主时钟振荡电路的驱动能力 HIGH）。

在进入停止模式前，必须将 CM20 位置“0”（振荡停止/重新振荡检测功能无效）。

另外，在 CM11 位为“1”（CPU 时钟的时钟源为 PLL 时钟）时，必须在将 CM11 位置“0”（CPU 时钟的时钟源为主时钟）以及将 PLC07 位置“0”（PLL 停止）后进入停止模式。

#### 10.4.3.2 停止模式时的引脚状态

停止模式时的引脚状态如表 10.7 所示。

表 10.7 停止模式时的引脚状态

引脚	存储器扩展模式 微处理器模式	单芯片模式
A0 ~ A19、D0 ~ D15、CS0 ~ CS3、BHE	保持即将进入停止模式前的状态	不变为总线控制引脚
RD、WR、WRL、WRH	“H”	
HLDA、BCLK	“H”	
ALE	不定	
I/O 端口	保持即将进入停止模式前的状态	保持即将进入停止模式前的状态
CLKOUT	选择 fC 时	“H”
	选择 f8、f32 时	不变为 CLKOUT 引脚

### 10.4.3.3 从停止模式的返回

通过硬件复位、 $\overline{\text{NMI}}$  中断、低电压检测中断或者外围功能中断，从停止模式返回。

在通过硬件复位、 $\overline{\text{NMI}}$  中断或者低电压检测中断返回时，必须在将全部外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位置 “000b” (中断禁止) 后将 CM10 位置 “1”。

在通过外围功能中断返回时，必须在进行如下设定后将 CM10 位置 “1”。

- (1) 对用于从停止模式返回的外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位设定中断优先级。而对不用于从停止模式返回的其它全部外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位置 “000b” (中断禁止)。
- (2) I 标志置 “1”。
- (3) 运行用于从停止模式返回的外围功能。

在通过外围功能中断返回时，一旦在发生中断请求并且 CPU 时钟开始供给，就执行中断程序。

根据进入停止模式前的 CPU 时钟，通过外围功能中断或者  $\overline{\text{NMI}}$  中断从停止模式返回后的 CPU 时钟如下：

进入停止模式前的 CPU 时钟源为副时钟：副时钟

进入停止模式前的 CPU 时钟源为主时钟：主时钟的 8 分频

进入停止模式前的 CPU 时钟源为内部振荡器时钟：内部振荡时钟的 8 分频

从正常运行模式向停止模式、等待模式的状态转移如图 10.10 所示，正常运行模式的状态转移如图 10.11 所示。

从当前状态可转移到下一个的状态和设定方法如表 10.8 所示。表中的列表示当前状态，横轴表示转移到下一个的状态。

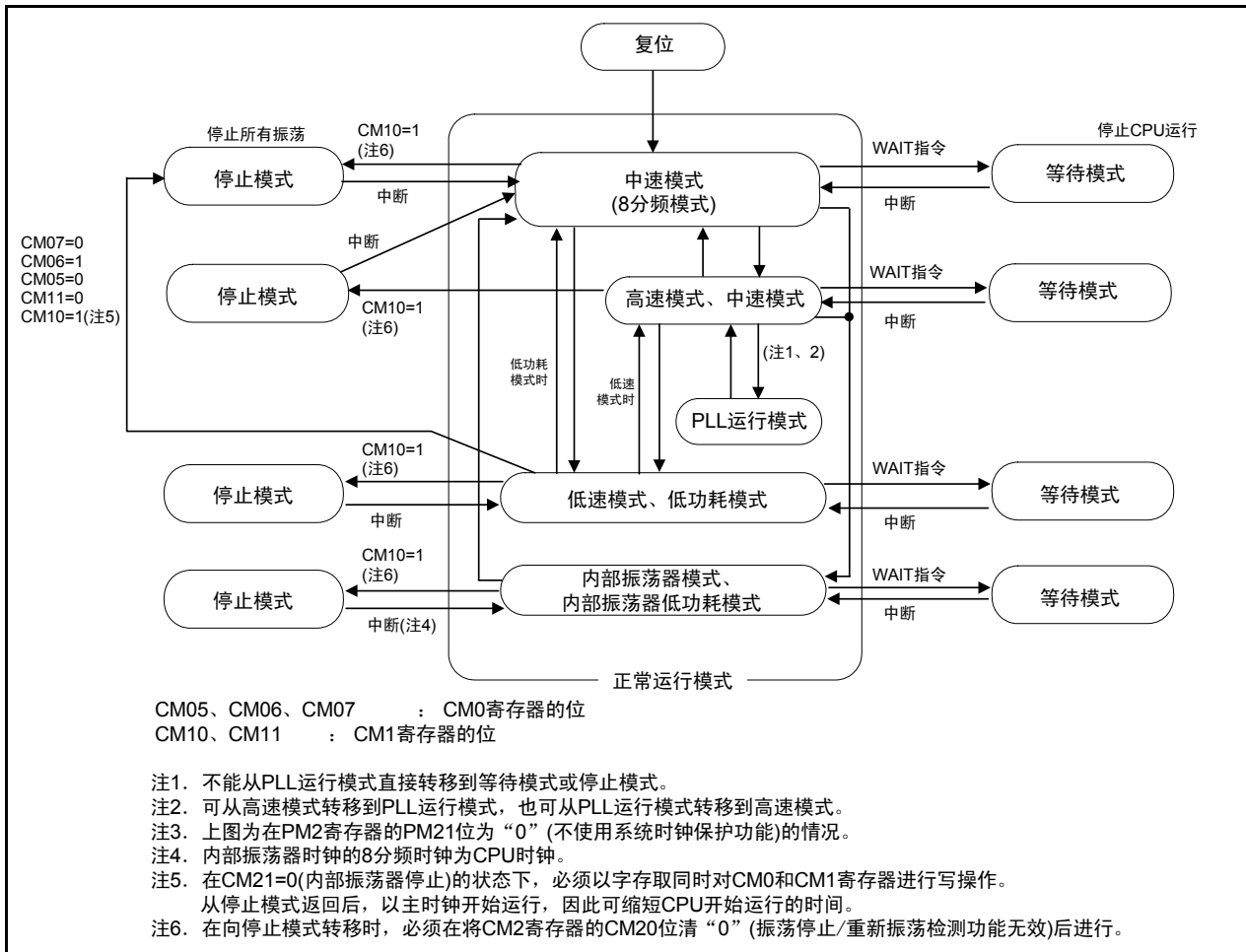


图 10.10 停止模式、等待模式的状态转移

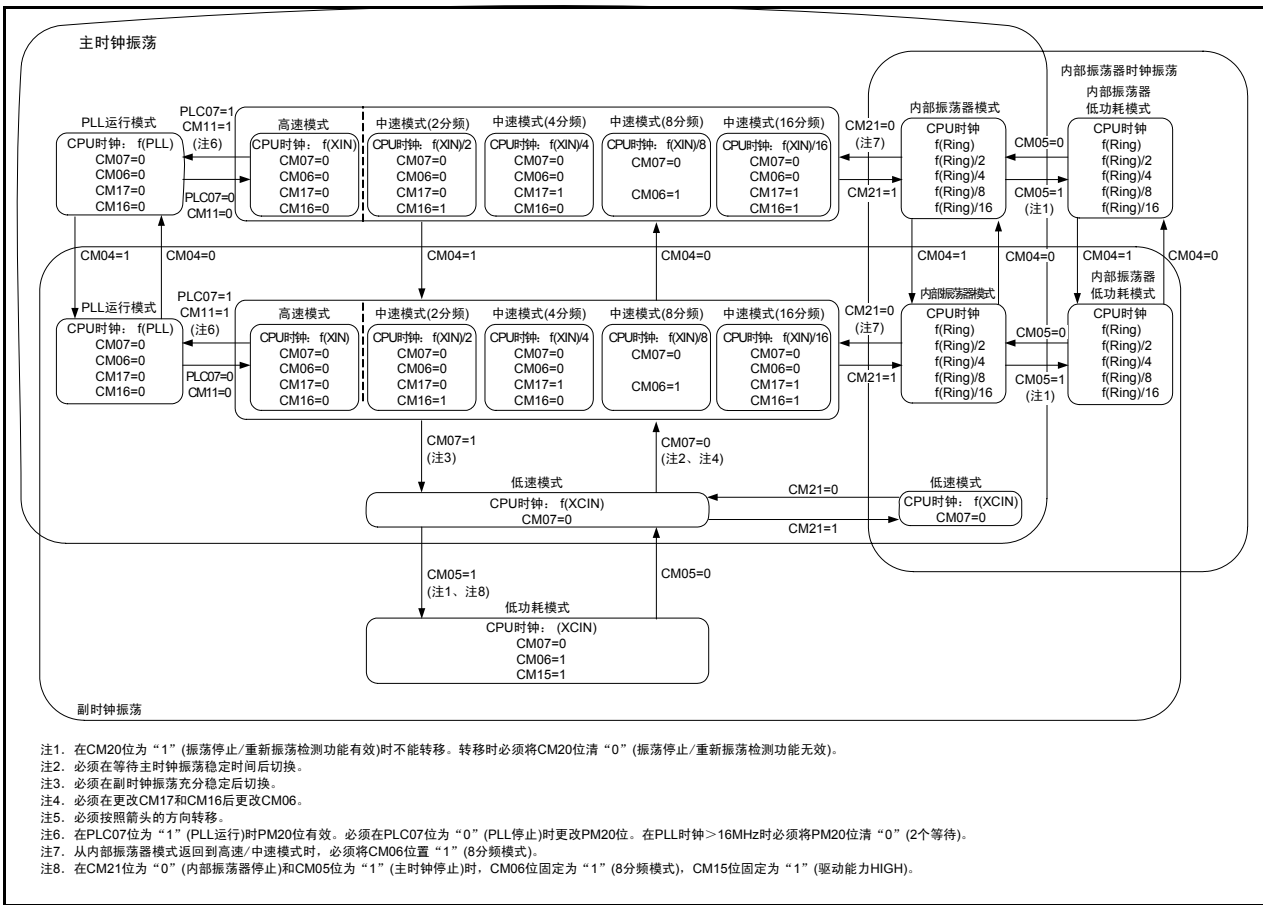


图 10.11 正常运行模式的状态转移

表 10.8 从当前状态到一个可转移的状态和设定方法 (注9)

		下一个状态							
		高速、中速模式	低速模式 (注2)	低功耗模式	PLL运行模式 (注2)	内部振荡器模式	内部振荡器低功耗模式	停止模式	等待模式
当前状态	高速、中速模式	(注8)	(9) (注7)	—	(13) (注3)	(15)	—	(16) (注1)	(17)
	低速模式 (注2)	(8)	—	(11) (注1、6)	—	—	—	(16) (注1)	(17)
	低功耗模式	—	(10)	—	—	—	—	(16) (注1)	(17)
	PLL运行模式 (注2)	(12) (注3)	—	—	—	—	—	—	—
	内部振荡器模式	(14) (注4)	—	—	—	(注8)	(11) (注1)	(16) (注1)	(17)
	内部振荡器低功耗模式	—	—	—	—	(10)	(注8)	(16) (注1)	(17)
	停止模式	(18) (注5)	(18)	(18)	—	(18) (注5)	(18) (注5)	—	—
	等待模式	(18)	(18)	(18)	—	(18)	(18)	—	—

—: 不能转移

- 注1. 在CM20位为“1”(振荡停止/重新振荡检测功能有效)时不能转移。转移时必须将CM20位置“0”(振荡停止/重新振荡检测功能无效)。  
 注2. 在低速模式,能控制内部振荡器时钟的振荡或停止。此时的内部振荡器时钟能用作外围功能时钟。在PLL运行模式,能控制副时钟的振荡或停止。此时的副时钟能用作外围功能时钟。  
 注3. 向PLL运行模式的转移只能从高速模式进行。另外,从PLL运行模式只能转移到高速模式。  
 注4. 在从内部振荡器模式转移到高速、中速模式前,必须将CM06位置“1”(8分频模式)。  
 注5. 从停止模式返回时,CM06位变为“1”(8分频模式)。  
 注6. 如果将CM05位置“1”(主时钟停止),CM06位就变为“1”(8分频模式)。  
 注7. 能在副时钟振荡时转移。  
 注8. 同模式内的转移(分频的变更和副时钟振荡或停止)如下:

		副时钟振荡					副时钟停止				
		无分频	2分频	4分频	8分频	16分频	无分频	2分频	4分频	8分频	16分频
副时钟振荡	无分频	—	(4)	(5)	(7)	(6)	(1)	—	—	—	—
	2分频	(3)	—	(5)	(7)	(6)	—	(1)	—	—	—
	4分频	(3)	(4)	—	(7)	(6)	—	—	(1)	—	—
	8分频	(3)	(4)	(5)	—	(6)	—	—	—	(1)	—
	16分频	(3)	(4)	(5)	(7)	—	—	—	—	—	(1)
副时钟停止	无分频	(2)	—	—	—	—	(4)	(5)	(7)	(6)	—
	2分频	—	(2)	—	—	—	(3)	(5)	(7)	(6)	—
	4分频	—	—	(2)	—	—	(3)	(4)	(7)	(6)	—
	8分频	—	—	—	(2)	—	(3)	(4)	(5)	(6)	—
	16分频	—	—	—	—	(2)	(3)	(4)	(5)	(7)	—

—: 不能转移。

注9. ( )内为以下的设定方法:

	设定内容	运行内容
(1)	CM04 = 0	副时钟停止
(2)	CM04 = 1	副时钟振荡
(3)	CM06 = 0, CM17 = 0, CM16 = 0	CPU时钟无分频模式
(4)	CM06 = 0, CM17 = 0, CM16 = 1	CPU时钟2分频模式
(5)	CM06 = 0, CM17 = 1, CM16 = 0	CPU时钟4分频模式
(6)	CM06 = 0, CM17 = 1, CM16 = 1	CPU时钟16分频模式
(7)	CM06 = 1	CPU时钟8分频模式
(8)	CM07 = 0	选择主时钟、PLL时钟或者内部振荡器
(9)	CM07 = 1	选择副时钟
(10)	CM05 = 0	主时钟振荡
(11)	CM05 = 1	主时钟停止
(12)	PLC07 = 0, CM11 = 0	选择主时钟
(13)	PLC07 = 1, CM11 = 1	选择PLL时钟
(14)	CM21 = 0	选择主时钟或者PLL时钟
(15)	CM21 = 1	选择内部振荡器时钟
(16)	CM10 = 1	转移到停止模式
(17)	WAIT指令	转移到等待模式
(18)	硬件中断	从停止模式、等待模式返回

CM04, CM05, CM06, CM07:CMO寄存器的位  
 CM10, CM11, CM16, CM17:CM1寄存器的位  
 CM20, CM21:CM2寄存器的位  
 PLC07:PLC0寄存器的位

## 10.5 系统时钟的保护功能

系统时钟的保护功能是在选择主时钟作为CPU时钟的时钟源时，为了在程序失控时不使CPU时钟停止而禁止更改时钟的功能。

如果将PM2寄存器的PM21位置“1”（禁止更改时钟），就不能改写以下的位：

- CM0寄存器的CM02位、CM05位、CM07位
- CM1寄存器的CM10位、CM11位
- CM2寄存器的CM20位
- PLC0寄存器的全部位

使用系统时钟的保护功能时，必须在CM0寄存器CM05位为“0”（主时钟振荡）并且CM07位为“0”（CPU时钟的时钟源为主时钟）的状态下进行以下处理：

- (1) 将PRCR寄存器的PRC1位置“1”（允许写PM2寄存器）
  - (2) 将PM2寄存器的PM21位置“1”（禁止更改时钟）
  - (3) 将PRCR寄存器的PRC1位置“0”（禁止写PM2寄存器）
- 在PM21位为“1”时，不能执行WAIT指令。

## 10.6 振荡停止/重新振荡检测功能

振荡停止/重新振荡检测功能是检测主时钟振荡电路的停止和重新振荡的功能。在检测到振荡停止或重新振荡时，产生复位或者振荡停止/重新振荡检测中断。能根据CM2寄存器的CM27位选择产生复位还是中断。

可根据CM2寄存器的CM20位选择振荡停止/重新振荡检测功能是否有效。

振荡停止/重新振荡检测功能的规格如表10.9所示。

表10.9 振荡停止/重新振荡检测功能的规格

项目	规格
能检测振荡停止的时钟和频率范围	$f(X1N) \geq 2\text{MHz}$
振荡停止/重新振荡检测功能的有效条件	CM20位置“1”(有效)
检测到振荡停止、重新振荡时的运行	<ul style="list-style-type: none"> <li>• 产生复位 (CM27位=0)</li> <li>• 产生振荡停止/重新振荡检测中断 (CM27位=1)</li> </ul>

### 10.6.1 CM27位为“0”(复位)时的运行

在CM20位为“1”(振荡停止/重新振荡检测功能有效)时，如果检测到主时钟停止，单片机被初始化，并停止运行（有关振荡停止检测复位，请参照“第4章 SFR”和“第5章 复位”）。

通过硬件复位1或者低电压检测复位（硬件复位2）解除此状态。虽然在检测到重新振荡时也能初始化单片机和停止单片机的运行，但是请不要使用这种方法（在主时钟的停止状态下，不要将CM20位置“1”、CM27位置“0”）。

### 10.6.2 CM27位为“1”(振荡停止/重新振荡检测中断)时的运行

在主时钟为CPU时钟源并且CM20位为“1”(振荡停止/重新振荡检测功能有效)时，一旦主时钟停止，就变为以下的状态：

- 产生振荡停止/重新振荡检测中断请求
- 内部振荡器开始振荡，内部振荡器时钟取代主时钟成为CPU时钟或者外围功能时钟的时钟源
- CM21位=1(内部振荡器时钟为CPU时钟和外围功能时钟的时钟源)
- CM22位=1(检测到主时钟停止)
- CM23位=1(主时钟停止)

在PLL时钟为CPU时钟源并且CM20位为“1”时，一旦主时钟停止，就变为以下的状态。因为CM21位不变，所以必须在中断程序中将CM21置“1”(内部振荡器时钟)。

- 产生振荡停止/重新振荡检测中断请求
- CM22位=1(检测到主时钟停止)
- CM23位=1(主时钟停止)
- CM21位不变

在CM20位为“1”时，一旦主时钟从停止状态重新振荡，就变为以下的状态：

- 产生振荡停止/重新振荡检测中断请求
- CM22位=1(检测到主时钟重新振荡)
- CM23位=0(主时钟振荡)
- CM21不变

### 10.6.3 振荡停止/重新振荡检测功能的使用方法

- 振荡停止/重新振荡检测中断和看门狗定时器中断、低电压检测中断复用同一个中断向量地址。在使用振荡停止/重新振荡检测中断和看门狗定时器时，必须通过中断程序读取CM22位，判断是哪个中断源产生的中断请求。
- 如果在振荡停止后主时钟重新振荡，必须通过程序将主时钟返回到CPU时钟或者外围功能的时钟源。从内部振荡器时钟切换到主时钟的步骤如图10.12所示。
- 在发生振荡停止/重新振荡检测中断的同时，CM22位变为“1”。在CM22位为“1”时，禁止振荡停止/重新振荡检测中断。如果通过程序将CM22位置“0”，就允许振荡停止/重新振荡检测中断。
- 在低速模式时，如果CM20位为“1”且主时钟停止，就产生振荡停止/重新振荡检测中断请求。同时，内部振荡器开始振荡。此时，CPU时钟的时钟源仍然为副时钟，但是外围功能时钟的时钟源变为内部振荡器时钟。
- 如果在使用振荡停止/重新振荡检测功能中要转移到等待模式，就必须将CM02位置“0”（在等待模式时不停止外围功能时钟）。
- 因为振荡停止/重新振荡检测功能具有通过外部源停止主时钟的功能，所以在通过程序使主时钟停止或者振荡时，即在转移到停止模式或者更改CM05位时，必须将CM20位置“0”（振荡停止/重新振荡检测功能无效）。
- 如果主时钟的频率在2MHz以下，就不能使用此功能，所以必须将CM20位置“0”。

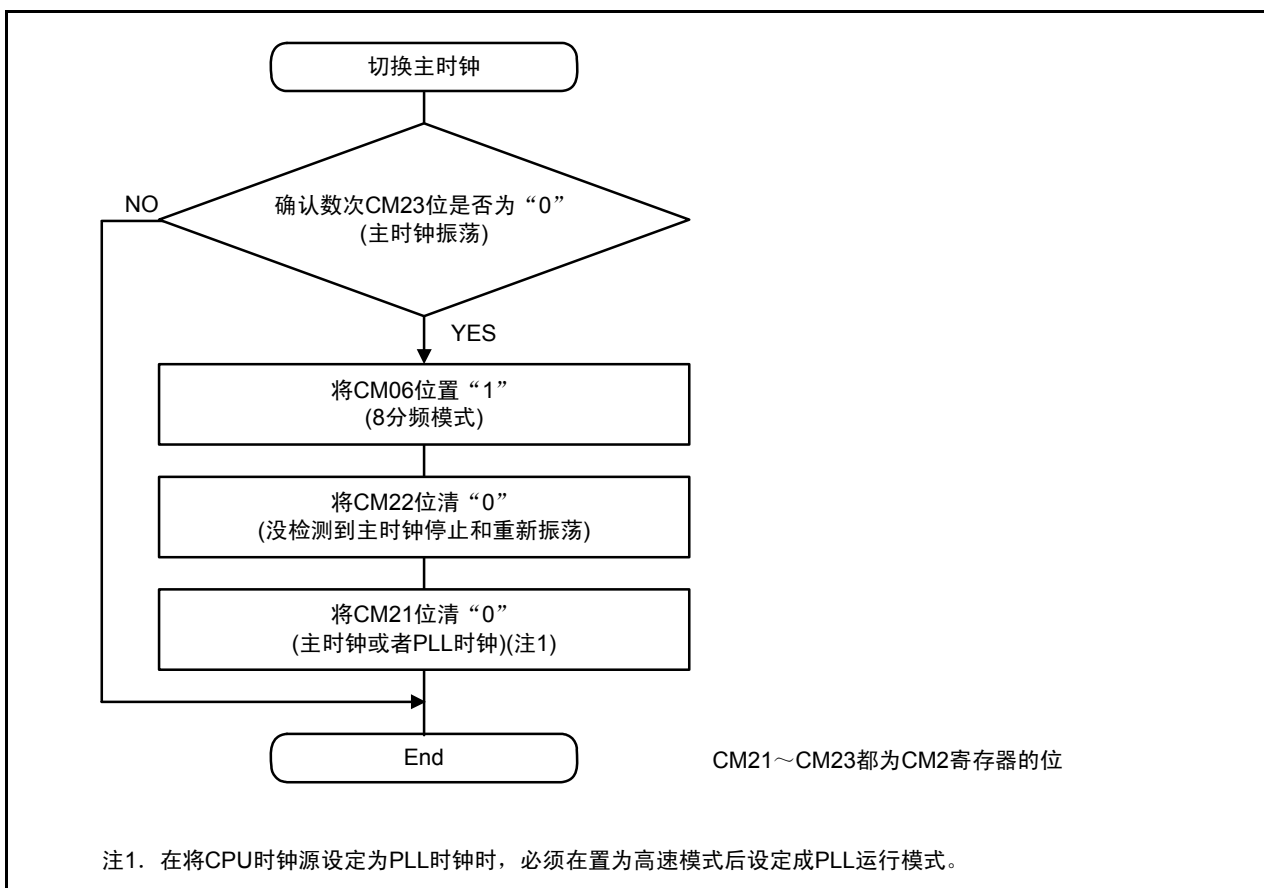


图10.12 从内部振荡器时钟切换到主时钟的步骤



## 11. 保护

### 注意

对于M16C/62PT，不能使用PRCR寄存器的PRC3位。

保护功能是为了在程序失控时不使重要的寄存器被轻易改写的功能。PRCR寄存器如图11.1所示。PRCR寄存器保护的寄存器如下：

- 由PRC0位保护的寄存器:CM0、CM1、CM2、PLC0、PCLKR寄存器
- 由PRC1位保护的寄存器:PM0、PM1、PM2、TB2SC、INVC0、INVC1寄存器
- 由PRC2位保护的寄存器:PD9、S3C、S4C寄存器
- 由PRC3位保护的寄存器:VCR2、D4INT寄存器

如果在将PRC2位置“1”（允许写状态）后可对任意的地址进行写操作，PRC2位就变为“0”（禁止写状态）。必须在将PRC2位置“1”后的下一条指令更改由PRC2位保护的寄存器。在将PRC2位置“1”的指令和下一条指令之间不能进行中断和DMA传送。即使对任意的地址进行写操作，PRC0、PRC1、PRC3位也不会变为“0”，所以必须通过程序将PRC0、PRC1、PRC3位置“0”。

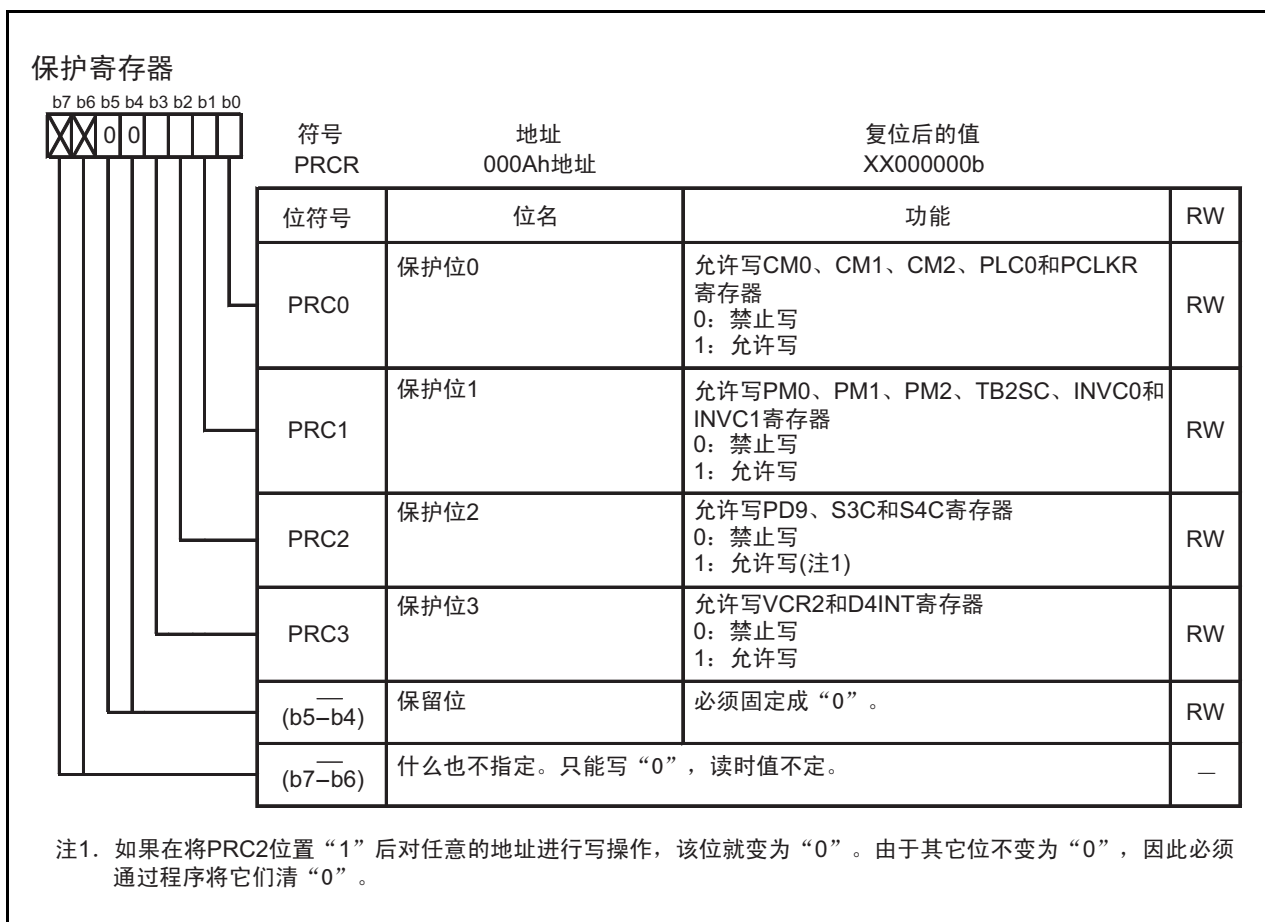


图11.1 PRCR寄存器



## 12. 中断

### 注意

对于M16C/62P(80引脚版)，不能使用外围功能中断的 $\overline{\text{INT3}} \sim \overline{\text{INT5}}$ 中断。

对于M16C/62PT(100引脚版)，不能使用低电压检测中断。

对于M16C/62PT(80引脚版)，不能使用低电压检测中断和外围功能中断的 $\overline{\text{INT3}} \sim \overline{\text{INT5}}$ 中断。

### 12.1 中断的分类

中断的分类如图12.1所示。

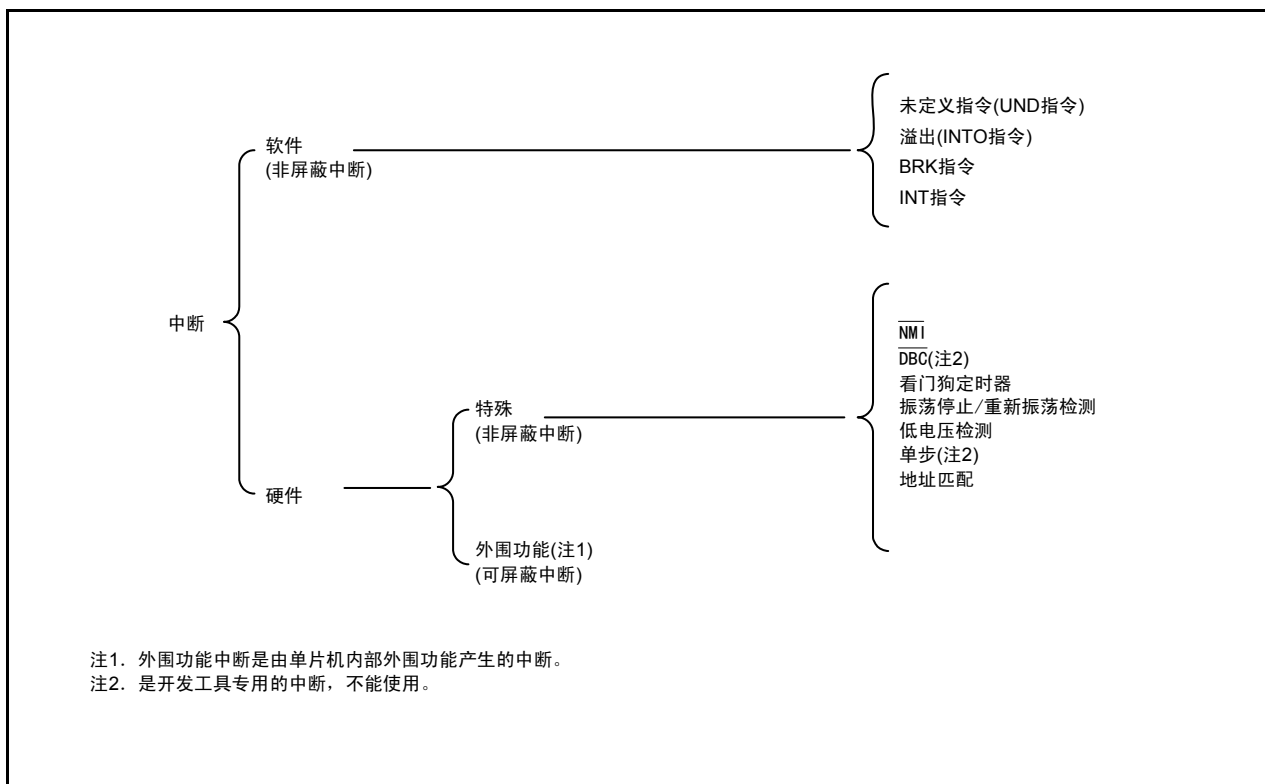


图12.1 中断的分类

- 可屏蔽中断：能通过中断允许标志(I标志)允许(禁止)中断或者通过中断控制寄存器更改中断控制寄存器
- 非屏蔽中断：不能通过中断允许标志(I标志)允许(禁止)中断或者通过控制寄存器更改中断控制寄存器

## 12.2 软件中断

通过执行指令产生软件中断。软件中断是非屏蔽中断。

### 12.2.1 未定义指令中断

如果执行UND指令，就产生未定义指令中断。

### 12.2.2 溢出中断

FLG寄存器的O标志为“1”操作结果溢出时，如果执行INT0指令，就产生溢出中断。会影响O标志变化的指令如下：

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

### 12.2.3 BRK中断

如果执行BRK指令，就产生BRK中断。

### 12.2.4 INT指令中断

如果执行INT指令，就产生INT指令中断。能用INT指令指定的软件中断序号为0~63。因为软件中断序号4~31分配给外围功能中断，所以通过执行INT指令，能执行和外围功能中断一样的中断程序。

对于软件中断序号0~31，在执行指令时将U标志压栈，然后在将U标志清“0”（选择ISP）后执行中断响应顺序。从中断程序返回时恢复被压栈的U标志。对于软件中断序号32~63，在执行指令时U标志不变而使用当时选择的SP。

## 12.3 硬件中断

硬件中断有特殊中断和外围功能中断。

### 12.3.1 特殊中断

特殊中断是非屏蔽中断。

#### 12.3.1.1 $\overline{\text{NMI}}$ 中断

如果 $\overline{\text{NMI}}$ 引脚的输入从“H”电平变为“L”电平，就发生 $\overline{\text{NMI}}$ 中断。 $\overline{\text{NMI}}$ 中断的详细内容请参照“12.7  $\overline{\text{NMI}}$ 中断”。

#### 12.3.1.2 $\overline{\text{DBC}}$ 中断

$\overline{\text{DBC}}$ 中断是开发工具专用的中断，不能使用。

#### 12.3.1.3 看门狗定时器中断

看门狗定时器中断是由看门狗定时器产生的中断。必须在看门狗定时器中断发生后初始化看门狗定时器。看门狗定时器的详细内容请参照“13 看门狗定时器”。

#### 12.3.1.4 振荡停止/重新振荡检测中断

振荡停止/重新振荡检测中断是由振荡停止/重新振荡检测功能产生的中断。振荡停止/重新振荡检测功能的详细内容请参照“10 时钟发生电路”。

### 12.3.1.5 低电压检测中断

低电压检测中断是由电压检测电路产生的中断。电压检测电路的详细内容请参照“6 电压检测电路”。

### 12.3.1.6 单步中断

单步中断是开发工具专用的中断，不能使用。

### 12.3.1.7 地址匹配中断

AIER寄存器的AIER0位和AIER1位、AIER2寄存器的AIER20位和AIER21位中的任意1位为“1”（允许地址匹配中断）时，在执行由对应的RMAD0～RMAD3寄存器指向的地址的指令前产生地址匹配中断。

地址匹配中断的详细内容请参照“12.9 地址匹配中断”。

## 12.3.2 外围功能中断

外围功能中断是由单片机内部的外围功能产生的中断。外围功能中断是可屏蔽中断。外围功能中断的中断源请参照“表12.2 可变向量表”。另外，外围功能的详细内容请参照各外围功能的说明。

## 12.4 中断和中断向量

1个向量为4个字节。必须在各中断向量中设定各中断程序的起始地址。如果中断请求被接受，就转移到设定在中断向量的地址。中断向量如图12.2所示。

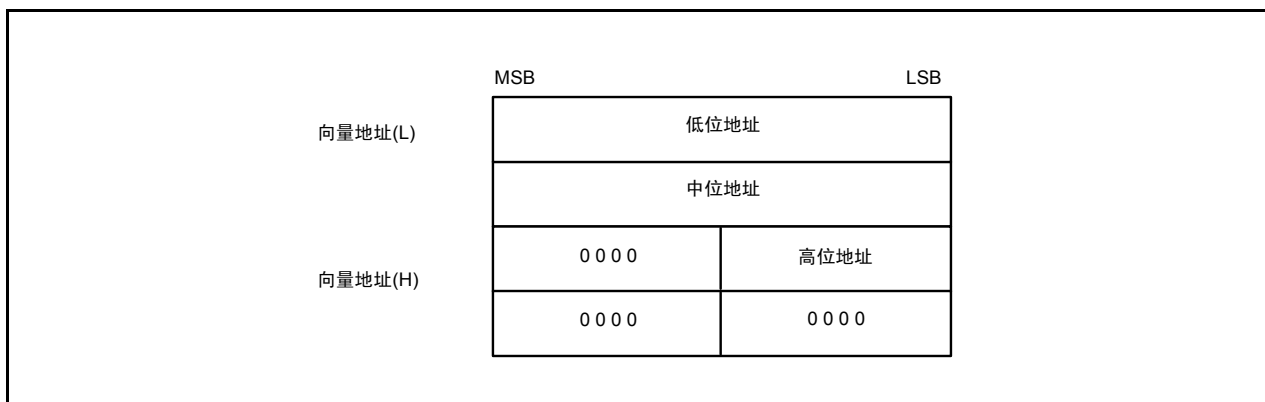


图12.2 中断向量

### 12.4.1 固定向量表

固定向量表分配在FFFDC<sub>h</sub>地址到FFFFF<sub>h</sub>地址中。固定向量表如表12.1所示。在闪存版，固定向量的向量地址(H)用于ID码检查功能。详细内容请参照“22.2 闪存改写禁止功能”。

表12.1 固定向量表

中断源	向量地址 地址(L) ~ 地址(H)	参考
未定义指令(UND指令)	FFFDC <sub>h</sub> ~ FFFDF <sub>h</sub>	M16C/60、M16C/20系列软件手册
溢出(INT0指令)	FFFE0 <sub>h</sub> ~ FFFE3 <sub>h</sub>	
BRK指令(注2)	FFFE4 <sub>h</sub> ~ FFFE7 <sub>h</sub>	
地址匹配	FFFE8 <sub>h</sub> ~ FFFEB <sub>h</sub>	12.9 地址匹配中断
单步(注1)	FFFECh ~ FFFEF <sub>h</sub>	—
看门狗定时器、振荡停止/重新振荡检测、低电压检测	FFFF0 <sub>h</sub> ~ FFFF3 <sub>h</sub>	13. 看门狗定时器、 10. 时钟发生电路、 6. 电压检测电路
$\overline{\text{DBC}}$ (注1)	FFFF4 <sub>h</sub> ~ FFFF7 <sub>h</sub>	—
$\overline{\text{NMI}}$	FFFF8 <sub>h</sub> ~ FFFFB <sub>h</sub>	12.7 $\overline{\text{NMI}}$ 中断
复位	FFFFCh ~ FFFFF <sub>h</sub>	5. 复位

注1. 是开发工具专用的中断，不能使用。

注2. 在FFFE7<sub>h</sub>地址内容为FF<sub>h</sub>时，从可变向量表中的向量所指向的地址开始执行。

## 12.4.2 可变向量表

从设定在INTB寄存器的起始地址开始的256个字节为可变向量表区。可变向量表如表12.2所示。如果在INTB寄存器内设定偶数地址，就能比奇数地址更快地执行中断响应顺序。

表12.2 可变向量表

中断源	向量地址(注1) 地址(L) ~ 地址(H)	软件中断序号	参考
BRK指令(注5)	+0 ~ +3 (0000h ~ 0003h)	0	M16C/60、M16C/20系列软件手册
— (保留)		1 ~ 3	
INT3	+16 ~ +19 (0010h ~ 0013h)	4	
定时器B5	+20 ~ +23 (0014h ~ 0017h)	5	15. 定时器
定时器B4、UART1总线冲突检测(注4、6)	+24 ~ +27 (0018h ~ 001Bh)	6	15. 定时器
定时器B3、UART0总线冲突检测(注4、6)	+28 ~ +31 (001Ch ~ 001Fh)	7	17. 串行I/O
S1/O4、 $\overline{\text{INT5}}$ (注2)	+32 ~ +35 (0020h ~ 0023h)	8	12.6 $\overline{\text{INT}}$ 中断
S1/O3、 $\overline{\text{INT4}}$ (注2)	+36 ~ +39 (0024h ~ 0027h)	9	17. 串行I/O
UART2总线冲突检测(注6)	+40 ~ +43 (0028h ~ 002Bh)	10	17. 串行I/O
DMA0	+44 ~ +47 (002Ch ~ 002Fh)	11	14. DMAC
DMA1	+48 ~ +51 (0030h ~ 0033h)	12	
键输入中断	+52 ~ +55 (0034h ~ 0037h)	13	12.8 键输入中断
A/D	+56 ~ +59 (0038h ~ 003Bh)	14	18. A/D转换器
UART2发送、NACK2(注3)	+60 ~ +63 (003Ch ~ 003Fh)	15	17. 串行I/O
UART2接收、ACK2(注3)	+64 ~ +67 (0040h ~ 0043h)	16	
UART0发送、NACK0(注3)	+68 ~ +71 (0044h ~ 0047h)	17	
UART0接收、ACK0(注3)	+72 ~ +75 (0048 ~ 004Bh)	18	
UART1发送、NACK1(注3)	+76 ~ +79 (004Ch ~ 004Fh)	19	
UART1接收、ACK1(注3)	+80 ~ +83 (0050h ~ 0053h)	20	
定时器A0	+84 ~ +87 (0054h ~ 0057h)	21	
定时器A1	+88 ~ +91 (0058h ~ 005Bh)	22	15. 定时器
定时器A2	+92 ~ +95 (005Ch ~ 005Fh)	23	
定时器A3	+96 ~ +99 (0060h ~ 0063h)	24	
定时器A4	+100 ~ +103 (0064h ~ 0067h)	25	
定时器B0	+104 ~ +107 (0068h ~ 006Bh)	26	
定时器B1	+108 ~ +111 (006Ch ~ 006Fh)	27	
定时器B2	+112 ~ +115 (0070h ~ 0073h)	28	
$\overline{\text{INT0}}$	+116 ~ +119 (0074h ~ 0077h)	29	12.6 $\overline{\text{INT}}$ 中断
$\overline{\text{INT1}}$	+120 ~ +123 (0078h ~ 007Bh)	30	
$\overline{\text{INT2}}$	+124 ~ +127 (007Ch ~ 007Fh)	31	
软件中断(注5)	+128 ~ +131 (0080h ~ 0083h)	32	M16C/60、M16C/20系列软件手册
	~	~	
	+252 ~ +255 (00FCh ~ 00FFh)	63	

注1. 软件INTB寄存器指向的地址开始的相对地址。

注2. 必须用IFSR寄存器的IFSR6和IFSR7位选择。

注3. 在I<sup>2</sup>C模式时，NACK、ACK为中断源。

注4. 必须用IFSR2A寄存器的IFSR26和IFSR27位选择。

注5. 不能通过I标志禁止。

注6. 总线冲突检测：在IE模式时，总线冲突检测为中断源。

在I<sup>2</sup>C模式时，开始条件检测、停止条件检测为中断源。

## 12.5 中断控制

说明如何允许或禁止可屏蔽中断以及如何设定能接受的优先级。在此说明的内容不适用于非屏蔽中断。

根据FLG寄存器的I标志、IPL、各中断控制寄存器的ILVL2~ILVL0位进行可屏蔽中断的允许或禁止控制。各中断控制寄存器的IR位表示有无中断请求。

中断控制寄存器如图12.3和图12.4所示。

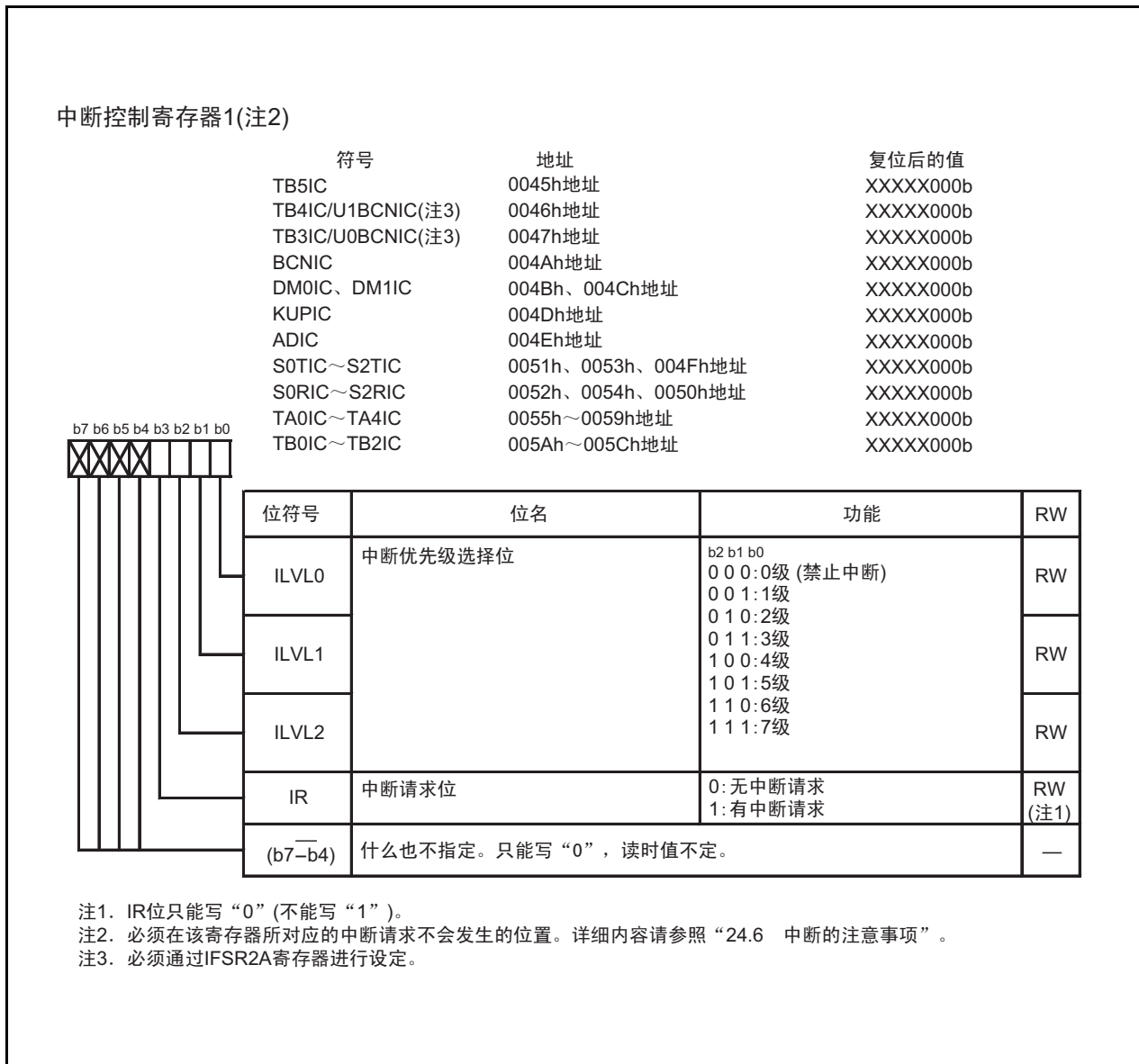


图12.3 中断控制寄存器(1)



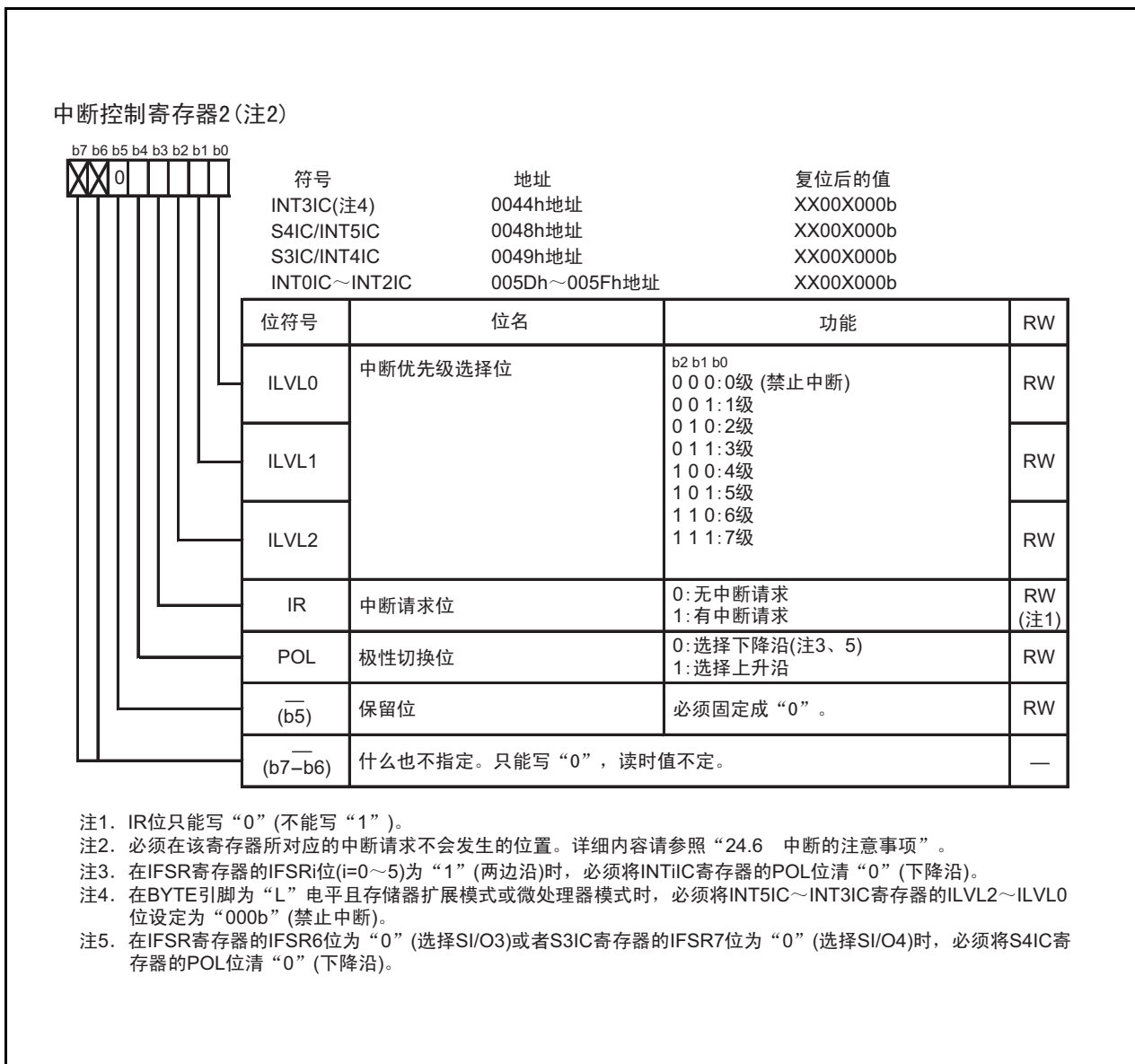


图 12.4 中断控制寄存器 (2)

### 12.5.1 I标志

I标志允许或禁止可屏蔽中断。如果将I标志置“1”（允许），就允许可屏蔽中断；如果置“0”（禁止），就禁止所有可屏蔽中断。

### 12.5.2 IR位

如果发生中断请求，IR位就变为“1”（有中断请求）。在中断请求被接受并转移到对应的中断向量后，IR位变为“0”（无中断请求）。

IR位能通过程序置“0”，但是不能置“1”。

### 12.5.3 ILVL2～ILVL0位、IPL

能通过ILVL2～ILVL0位设定中断优先级。

中断优先级的设定如表12.3所示，由IPL允许的中断优先级如表12.4所示。

接受中断请求的条件如下所示：

- I标志 = 1
- IR位 = 1
- 中断优先级 > IPL

I标志、IR位、ILVL2～ILVL0位、IPL各自独立互不影响。

表12.3 中断优先级的设定

ILVL2～ILVL0	中断优先级	优先级
000b	0级（中断禁止）	—
001b	1级	低 ↓ 高
010b	2级	
011b	3级	
100b	4级	
101b	5级	
110b	6级	
111b	7级	

表12.4 由IPL允许的中断优先级

IPL	允许的中断优先级
000b	允许1级及以上
001b	允许2级及以上
010b	允许3级及以上
011b	允许4级及以上
100b	允许5级及以上
101b	允许6级及以上
110b	允许7级及以上
111b	禁止所有可屏蔽中断

### 12.5.4 中断响应顺序

说明从接受中断请求开始到执行中断程序的中断响应顺序。

如果在指令执行中发生中断请求，CPU 就在该指令执行结束后判断优先级，从下一个周期开始转移到中断响应顺序。但是，对于 SMOVB、SMOVF、SSTR、RMPA 各指令，如果在指令执行中发生中断请求，就暂时中断指令的运行，转移到中断响应顺序。

中断响应顺序的运行如下。中断响应顺序的执行时间如图 12.5 所示。

- (1) 通过读 00000h 地址，在 CPU 获得中断信息（中断序号和中断请求级）后，相应的中断 IR 位变为“0”（无中断请求）。
- (2) 将中断响应顺序前的 FLG 寄存器保存到 CPU 内的暂时寄存器（注 1）。
- (3) 在 FLG 寄存器中的 I 标志、D 标志、U 标志的状态如下：  
I 标志为“0”（禁止中断）  
D 标志为“0”（禁止单步中断）  
U 标志为“0”（指定 ISP）  
但是，在执行软件中断序号 32~63 的 INT 指令时，U 标志不变。
- (4) 将 CPU 内部的暂时寄存器（注 1）压栈。
- (5) 将 PC 压栈。
- (6) 在 IPL 设定接受中断的中断优先级。
- (7) 将设定在中断向量的中断程序的起始地址输入到 PC。

中断响应顺序结束后，从中断程序的起始地址开始执行指令。

注 1. 用户不能使用。

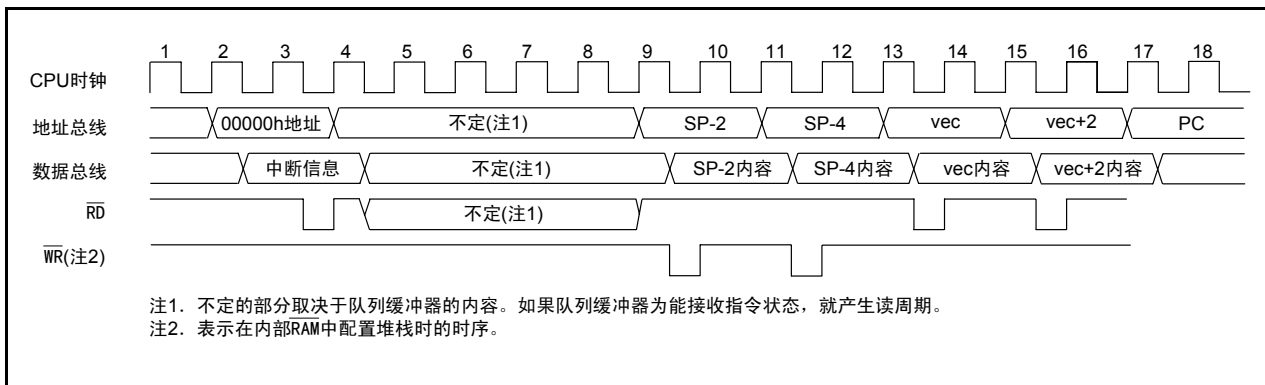


图 12.5 中断响应顺序的执行时间

### 12.5.5 中断响应时间

中断响应时间如图 12.6 所示。中断响应时间是从发生中断请求开始到执行中断程序内的第一条指令为止的时间。这个时间由从发生中断请求时开始到此时正在执行的指令结束为止的时间 (图 2.6 (a)) 和执行中断响应顺序的时间 (图 2.6 (b)) 构成。

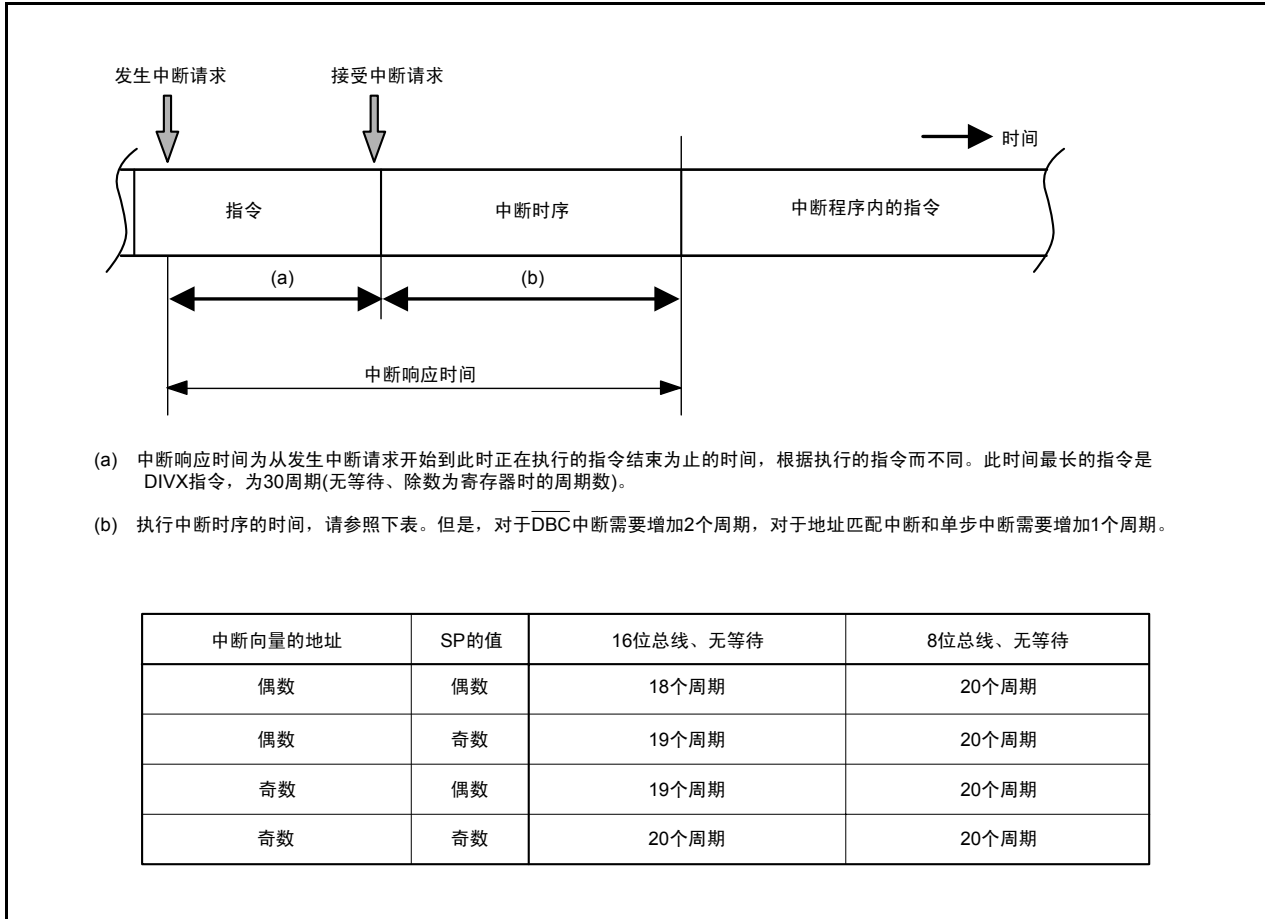


图 12.6 中断响应时间

### 12.5.6 接受中断请求时的 IPL 变化

如果接受可屏蔽中断的中断请求，就给 IPL 设定接受中断的中断优先级。

如果接受软件中断或特殊中断请求，就将表 12.5 中所示的值设定到 IPL。接受软件中断或特殊中断时的 IPL 值如表 12.5 所示。

表 12.5 接受软件中断或特殊中断时的 IPL 值

中断源	IPL 值
看门狗定时器、 $\overline{\text{NMI}}$ 、振荡停止 / 重新振荡检测、低电压检测	7
软件、地址匹配、DBC、单步	不变

### 12.5.7 寄存器保存

在中断响应顺序中，将FLG寄存器和PC压栈。

首先将PC的高4位、FLG寄存器的高4位(IPL)和低8位压栈(共16位)，然后将PC的低16位压栈。中断请求接受前后的堆栈状态如图12.7所示。

必须在中断程序的开始通过程序保存其它所需的寄存器。如果使用PUSHM指令，就能用1条指令保存除SP以外的全部寄存器。

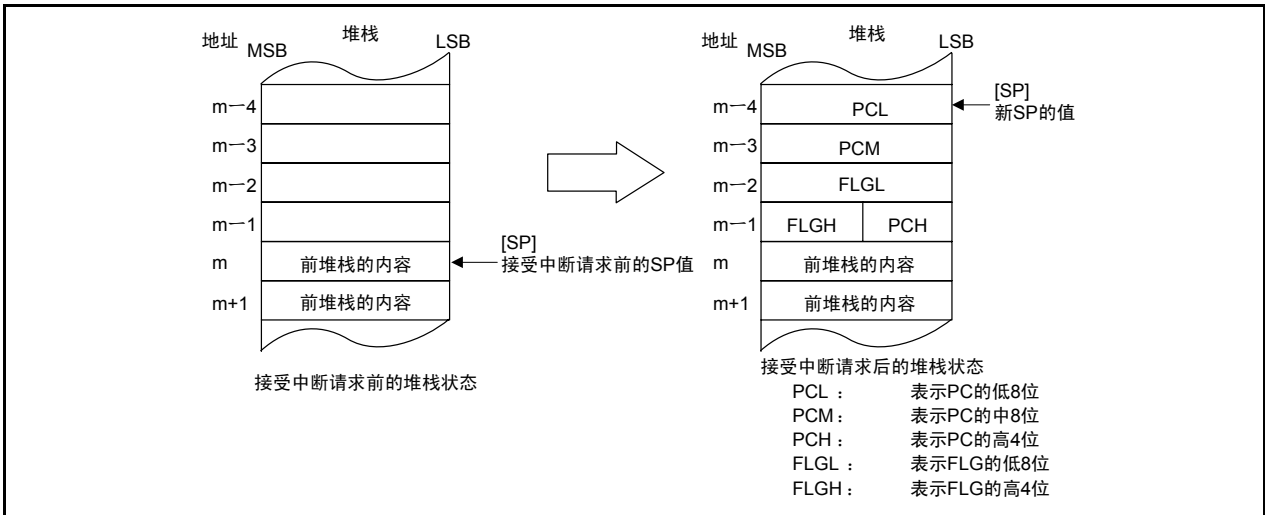


图 12.7 中断请求接受前后的堆栈状态

根据接受中断请求时的SP(注1)是偶数还是奇数，中断响应顺序进行的寄存器保存操作不同。SP(注1)为偶数时，同时保存FLG寄存器和PC的各16位；为奇数时，按8位分2次保存。寄存器的保存操作如图12.8所示。

注1. 如果执行软件序号32~63的INT指令，为U标志表示的SP。否则为ISP。

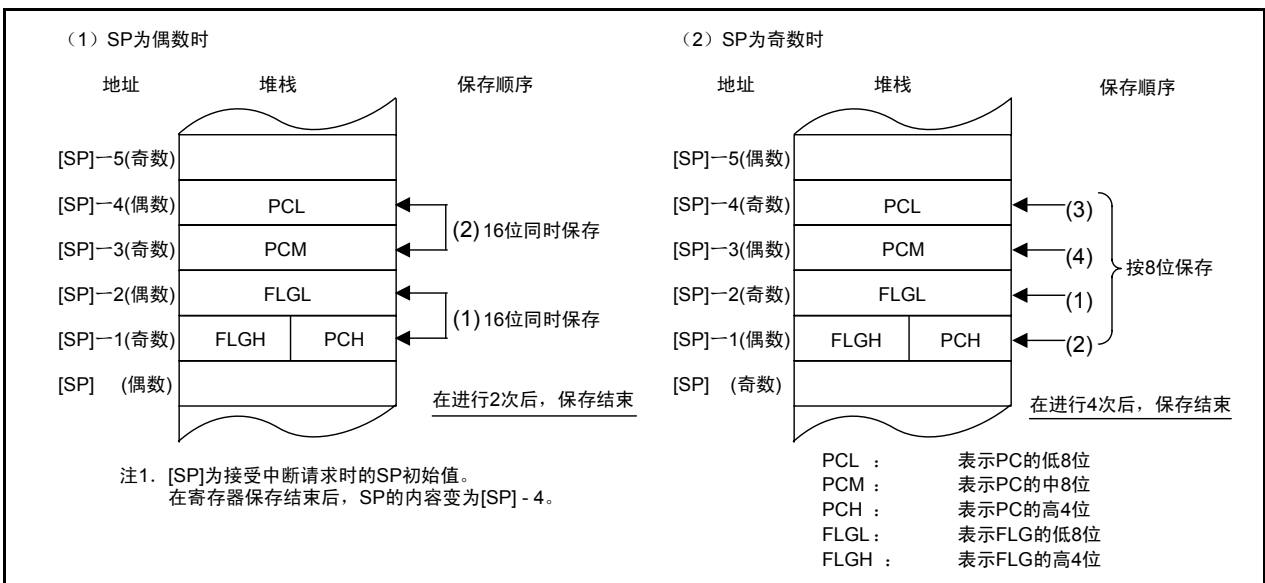


图 12.8 寄存器的保存操作

### 12.5.8 从中断程序的返回

如果在中断程序的最后执行REIT指令，就恢复被压栈的中断响应顺序前的FLG寄存器和PC，然后返回到接受中断请求前执行的程序。

在中断程序内通过程序保存的寄存器必须在执行REIT指令前用POPM等指令恢复。

在切换寄存器组时，通过执行REIT指令切换到中断响应顺序前的寄存器组。

### 12.5.9 中断优先级

如果在同一个采样点（检查有无中断请求时）发生2个以上的中断请求，就接受优先级高的中断。

能通过ILVL2~ILVL0位任意选择可屏蔽中断（外围功能中断）的优先级。但是，如果中断优先级为相同的设定值，就接受硬件设定的优先级高的中断。

看门狗定时器中断等特殊中断的优先级通过硬件设定。硬件中断的中断优先级如图12.9所示。

软件中断不受中断优先级的影响。如果执行指令，就执行中断程序。

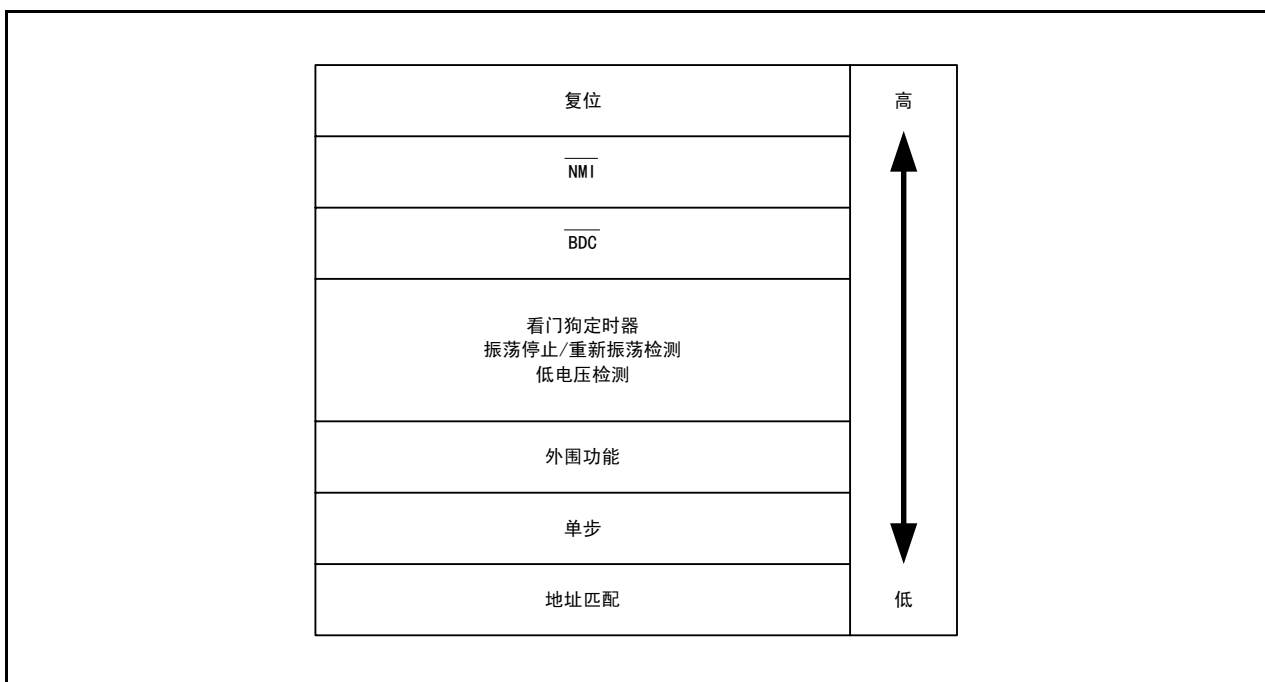


图 12.9 硬件中断的中断优先级

### 12.5.10 中断优先级判断电路

中断优先级判断电路是用于从同一个采样点发生多个中断请求中选择最高优先级中断的电路。中断优先级的判断电路如图12.10所示。

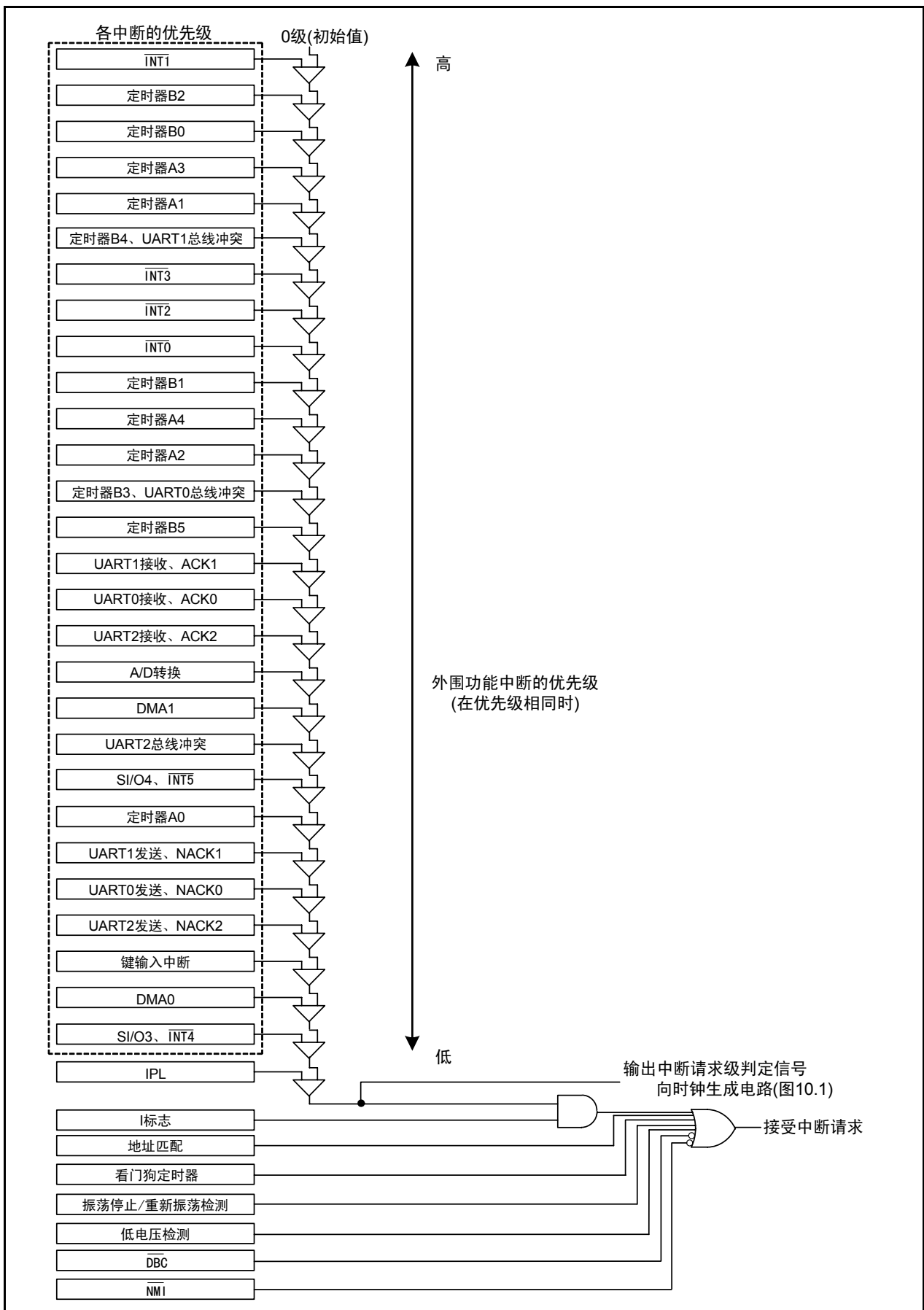


图 12.10 中断优先级的判断电路

## 12.6 $\overline{\text{INT}}$ 中断

$\overline{\text{INT}}_i$  中断 ( $i=0\sim 5$ ) 是由外部输入沿极性产生的中断。 $\overline{\text{INT}}_i$  中断的极性可由 IFSR 寄存器的 IFSR $i$  位设定。

$\overline{\text{INT}}_4$  和 SI/O3、 $\overline{\text{INT}}_5$  和 SI/O4 共享向量和中断控制寄存器。必须在使用  $\overline{\text{INT}}_4$  中断时将 IFSR 寄存器的 IFSR6 位置 “1” ( $\overline{\text{INT}}_4$ )，在使用  $\overline{\text{INT}}_5$  中断时将 IFSR 寄存器的 IFSR7 位置 “1” ( $\overline{\text{INT}}_5$ )。

必须在更改 IFSR6、IFSR7 位后将对应的 IR 位置 “0” (无中断请求)，然后允许中断。

IFSR 寄存器如图 12.11 所示，IFSR2A 寄存器如图 12.12 所示。

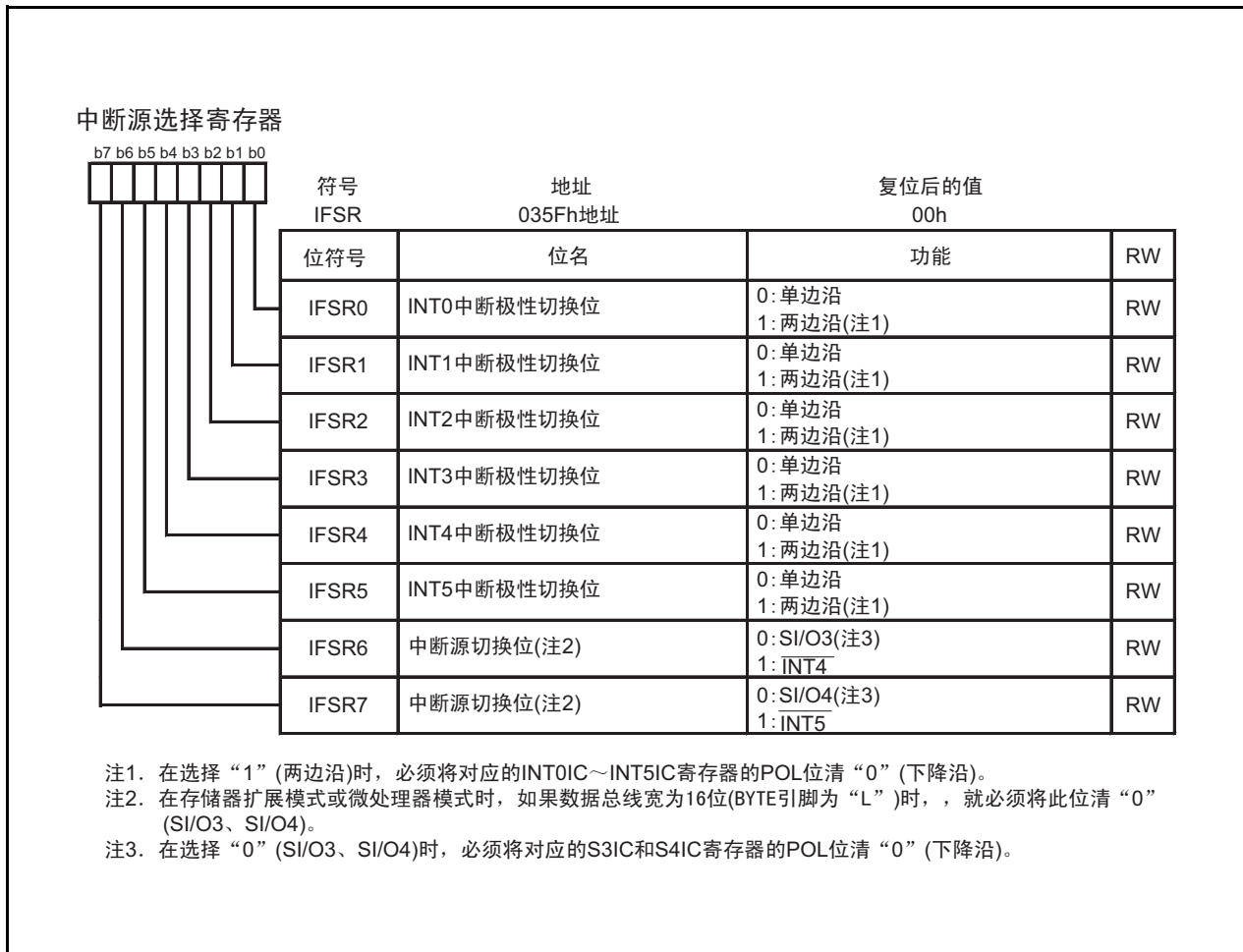


图 12.11 IFSR 寄存器





图 12.12 IFSR2A 寄存器

## 12.7 $\overline{\text{NMI}}$ 中断

在 $\overline{\text{NMI}}$ 引脚电平从“H”变为“L”时产生 $\overline{\text{NMI}}$ 中断请求， $\overline{\text{NMI}}$ 中断为非屏蔽中断。另外，此引脚为 $\overline{\text{NMI}}$ 中断输入引脚，但是能通过P8寄存器的P8\_5位读取引脚的输入电平。

此引脚不能用作输入端口。

### 12.8 键输入中断

对于P10\_4~P10\_7中的任意一个端口，若其方向寄存器PD10中的端口方向设为输入，且有一个下降沿输入到该端口，则产生键输入中断请求。键输入中断也能用作解除等待模式或停止模式的键唤醒功能，但是在使用键输入中断时，不能将P10\_4~P10\_7用作模拟输入引脚。键输入中断的框图如图12.13所示。另外，如果给对应PD10\_4~PD10\_7位为“0”（输入模式）的任意引脚输入“L”电平，就检测不到其它引脚的输入中断。

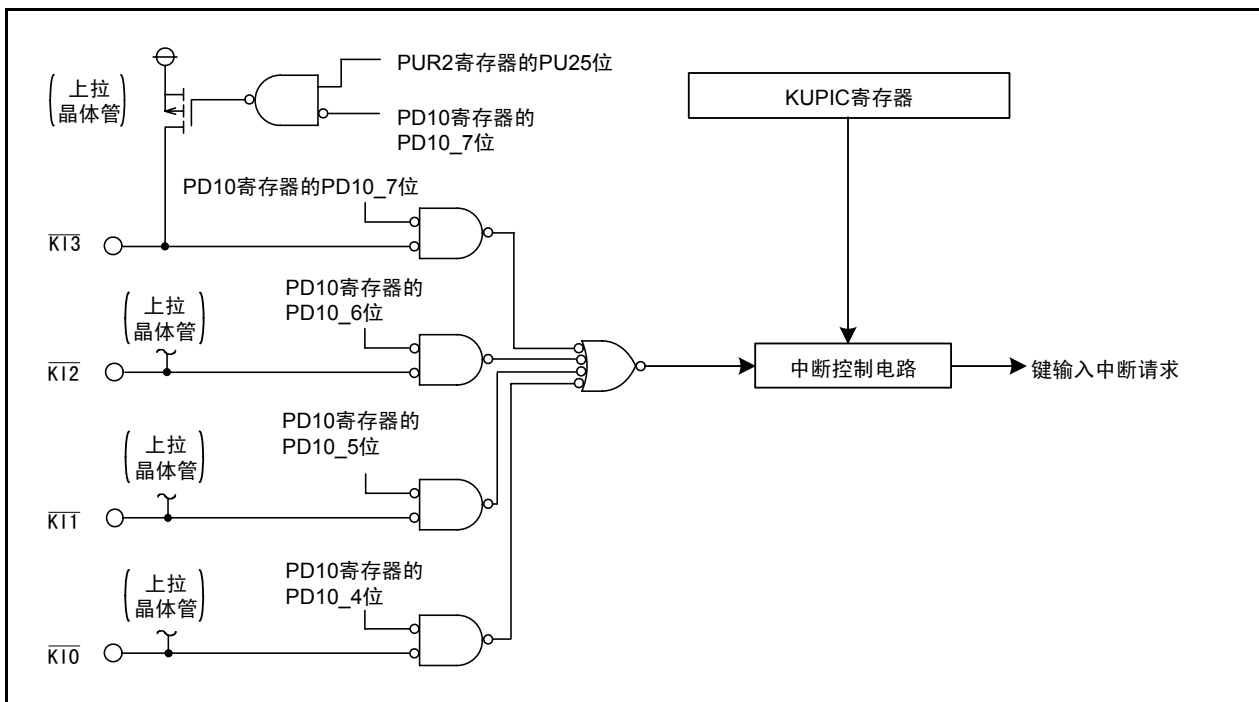


图12.13 键输入中断的框图

## 12.9 地址匹配中断

在即将执行RMAD<sub>i</sub> (i=0~3) 寄存器指向的地址的指令前, 产生地址匹配中断请求。必须将指令的起始地址设定到RMAD<sub>i</sub> 寄存器。能通过AIER寄存器的AIER0和AIER1位、AIER2寄存器的AIER20和AIER21位选择中断的禁止或允许。地址匹配中断不受I标志、IPL的影响。接受地址匹配中断请求时被保存的PC值(请参照“12.5.7 寄存器保存”)根据RMAD<sub>i</sub> 寄存器指向的地址的指令而不同(在堆栈中保存的不是正确的返回地址)。因此, 在从地址匹配中断返回时, 必须使用以下的任何一种方法进行:

- 在改写堆栈的内容后, 用REIT指令返回
  - 在使用POP等指令将堆栈恢复到中断请求接受前的状态后, 用转移指令返回
- 接受地址匹配中断请求时被保存的PC值如表12.6所示。

在使用8位外部数据总线时, 不能对外部区域使用地址匹配中断。

AIER、AIER2、RMAD0~RMAD3寄存器如图12.14所示。

表12.6 接受地址匹配中断请求时的PC值

RMAD <sub>i</sub> 寄存器指向的地址的指令	被保存的PC值
• 16位操作码指令 • 在8位操作码的指令中, 为以下所示的指令: ADD. B:S #IMM8, dest      SUB. B:S #IMM8, dest      AND. B:S #IMM8, dest OR. B:S #IMM8, dest      MOV. B:S #IMM8, dest      STZ. B:S #IMM8, dest STNZ. B:S #IMM8, dest      STZX. B:S #IMM81, #IMM82, dest CMP. B:S #IMM8, dest      PUSHM src      POPM dest JMPS #IMM8      JSRS #IMM8 MOV. B:S #IMM, dest (其中, dest = A0或者A1)	RMAD <sub>i</sub> 寄存器指向的地址+2
除上述以外的指令	RMAD <sub>i</sub> 寄存器指向的地址+1

注1. 被保存的PC值: 请参照“12.5.7 寄存器保存”

表12.7 地址匹配中断源和关联寄存器的对应

地址匹配中断源	地址匹配中断允许位	地址匹配中断寄存器
地址匹配中断源0	AIER0	RMAD0
地址匹配中断源1	AIER1	RMAD1
地址匹配中断源2	AIER20	RMAD2
地址匹配中断源3	AIER21	RMAD3

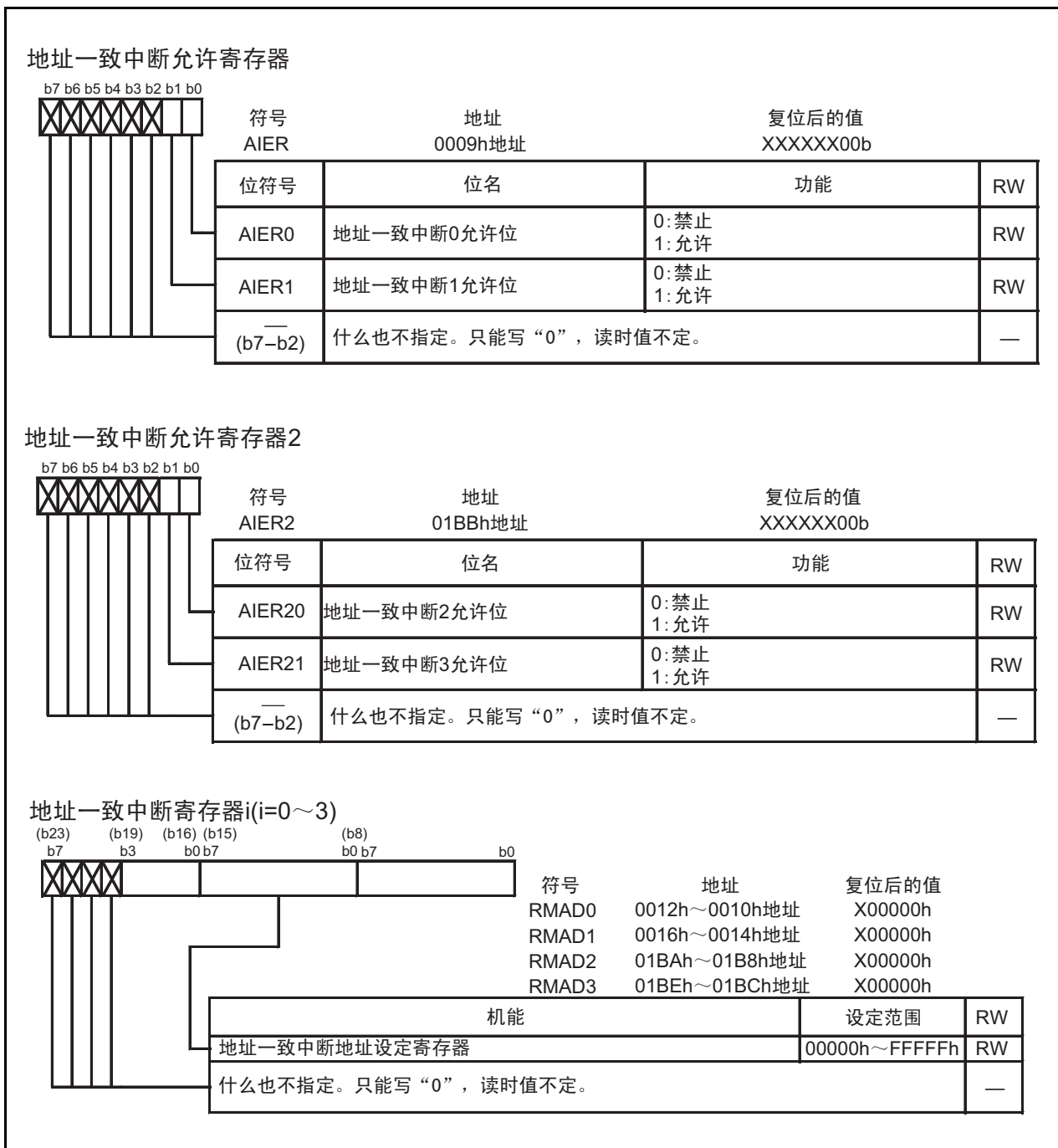


图 12.14 AIER、AIER2、RMAD0~RMAD3 寄存器

## 13. 看门狗定时器

看门狗定时器具有检测程序是否失控的功能。因此，为了提高系统的可靠性，建议使用看门狗定时器。看门狗定时器具有15位计数器，对由预分频器将CPU时钟分频后的时钟进行递减计数。可以通过对PM1寄存器的PM12位的设定，选择当看门狗定时器发生下溢时，是产生看门狗定时器中断请求，还是进行看门狗定时器复位。PM12位只能置“1”（看门狗定时器复位）。一旦将PM12位置“1”，就不能通过程序将其置“0”（看门狗定时器中断）。看门狗定时器复位的详细内容请参照“5.3 看门狗定时器复位”。

在选择主时钟、内部振荡器时钟或者PLL时钟为CPU时钟源时，可通过WDC寄存器的WDC7位将预分频器选择为16分频还是128分频。在选择副时钟为CPU时钟源时，与WDC7位无关，预分频器总为2分频。因此，能用以下计算式计算预分频器的周期。但是，看门狗定时器的周期会产生由预分频器引起的误差。

在选择主时钟、内部振荡器时钟或者PLL时钟为CPU时钟源时，

$$\text{看门狗定时器的周期} = \frac{\text{预分频器的分频 (16或128)} \times \text{看门狗定时器的计数值 (32768)}}{\text{CPU时钟}}$$

在选择副时钟为CPU时钟源时，

$$\text{看门狗定时器的周期} = \frac{\text{预分频器的分频 (2)} \times \text{看门狗定时器的计数值 (32768)}}{\text{CPU时钟}}$$

例如，在CPU时钟为16MHz并且预分频器为16分频时，看门狗定时器的周期大约为32.8ms。

看门狗定时器在写WDCS寄存器时被初始化，预分频器在复位后被初始化。而且，在复位后看门狗定时器和预分频器处于停止状态，因此可通过写WDCS寄存器启动计数。

在停止状态、等待状态或者保持状态时，如果看门狗定时器和预分频器处于停止状态，当状态解除时就被保持的值开始计数。

看门狗定时器的框图如图13.1所示，看门狗定时器的关联寄存器如图13.2所示。

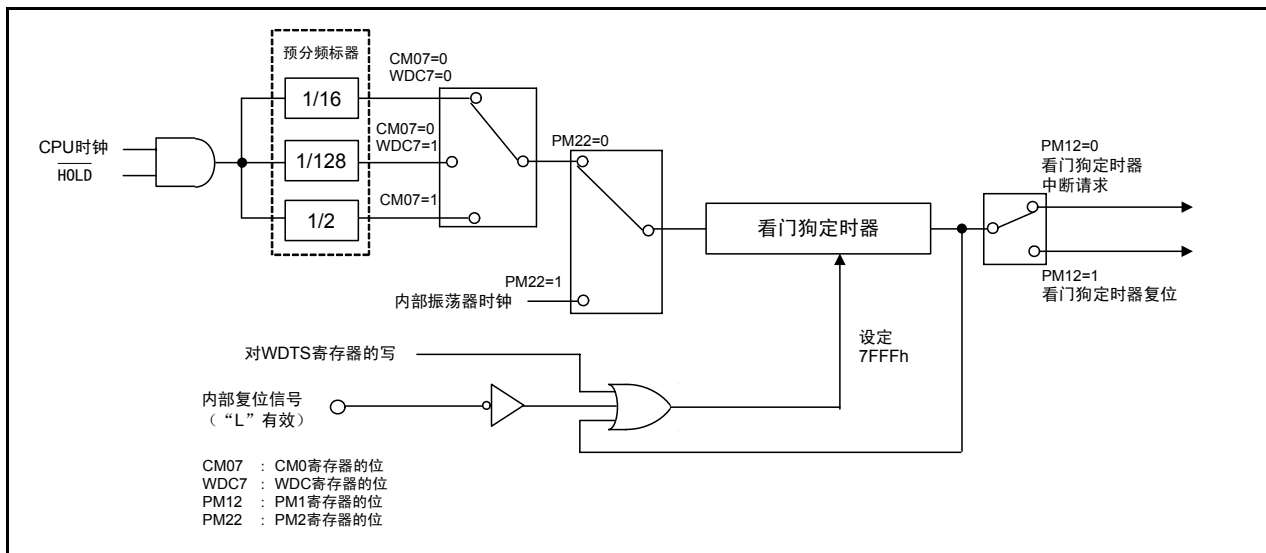


图13.1 看门狗定时器的框图

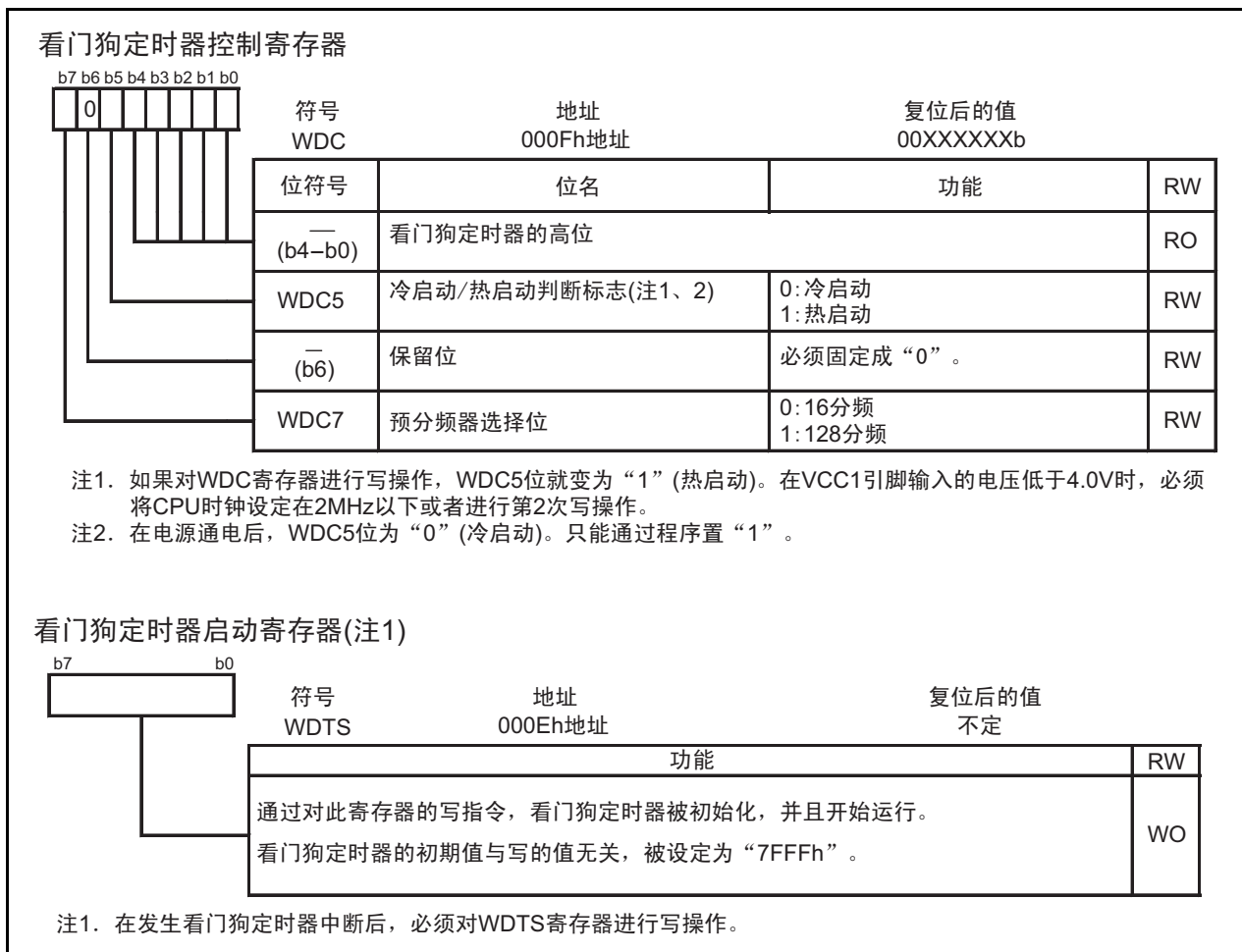


图 13.2 WDC、WDTS 寄存器

### 13.1 计数源保护模式

计数源保护模式是将内部振荡器时钟用作看门狗定时器计数源的模式。在程序失控时即使CPU时钟停止，也能给看门狗定时器提供时钟。

在使用此模式时，必须进行以下寄存器设置：

- (1) 将PRCR寄存器的PRC1位置“1”（允许写PM1和PM2寄存器）
- (2) 将PM1寄存器的PM12位置“1”（在看门狗定时器下溢时复位）
- (3) 将PM2寄存器的PM22位置“1”（看门狗定时器的计数源为内部振荡器时钟）
- (4) 将PRCR寄存器的PRC1位置“0”（禁止写PM1和PM2寄存器）
- (5) 写WDTS寄存器（看门狗定时器开始计数）

如果将PM22位置“1”，就变为以下状态：

- 内部振荡器开始振荡，内部振荡器时钟变为看门狗定时器的计数源

$$\text{看门狗定时器的周期} = \frac{\text{看门狗定时器的计数值 (32768)}}{\text{内部振荡器时钟}}$$

- 禁止写CM1寄存器的CM10位（即使写“1”也不变，不转移到停止模式）
- 在等待模式或者保持状态时，看门狗定时器不停止运行

## 14. DMAC

片内有2个DMAC（直接存储器存取控制器）通道，数据可不经CPU直接送到存储器。每次发生DMA请求时，DMAC将传送源地址的1个数据（8位或者16位）传送到传送目标地址。DMAC使用和CPU相同的数据总线。因为DMAC的总线使用权高于CPU并采用周期挪用方式，所以能快速地进行从发生DMA请求到结束1个字（16位）或者1个字节（8位）的数据传送。DMAC框图如图14.1所示，DMAC的规格如表14.1所示，DMAC关联寄存器如图14.2～图14.5所示。

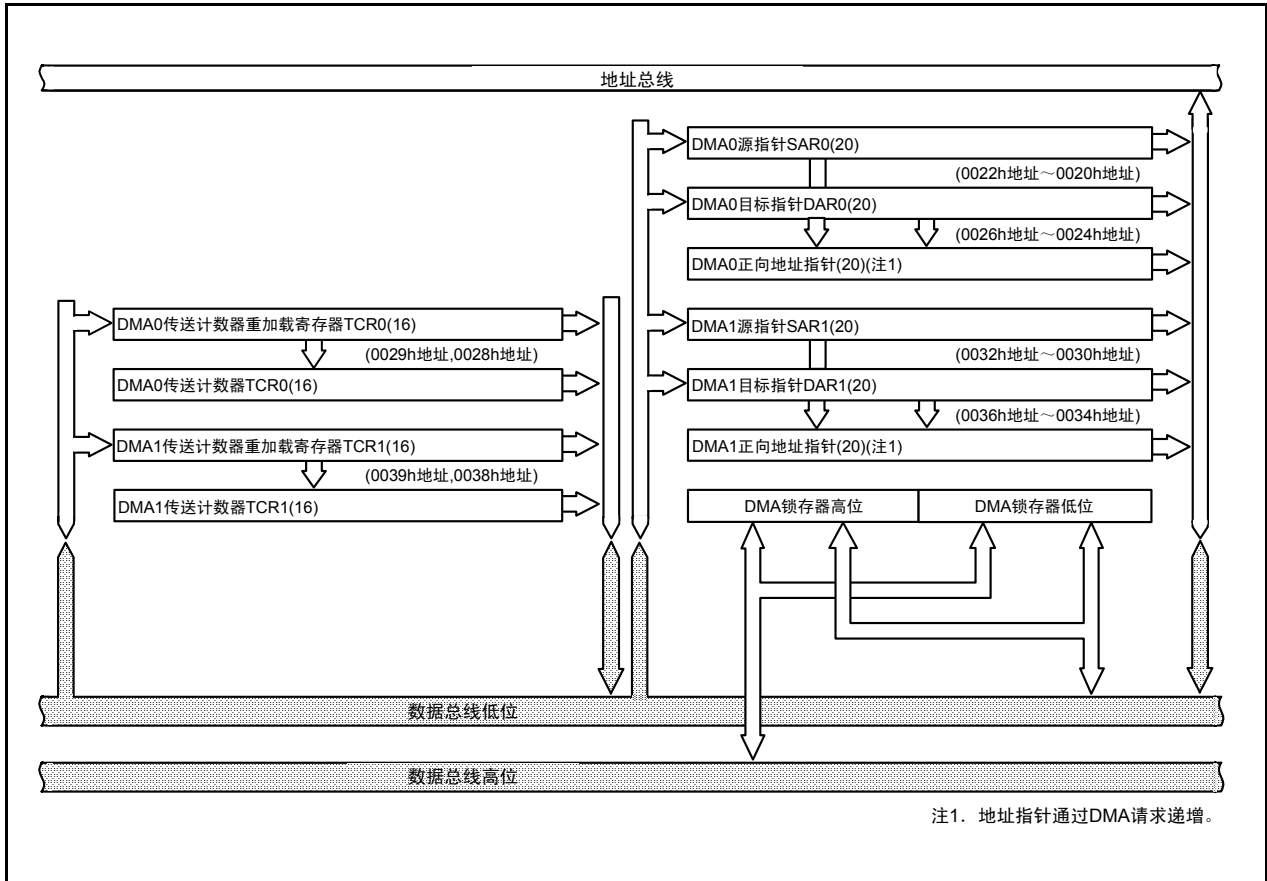


图 14.1 DMAC框图

DMA请求可以通过对DMiSL寄存器（ $i=0\sim 1$ ）的DSR位进行写操作方式实现，或通过DMiSL寄存器的DMS位、DSEL3～DSEL0位所指定的功能而产生中断请求的方式实现。但是，DMA传送和中断请求的运行不同，不受I标志和中断控制寄存器的影响，所以在中断禁止时，即使不接受中断请求，也能接受DMA请求。另外，因为DMAC不影响中断，所以DMA传送时中断控制寄存器的IR位不变。

如果DMiCON寄存器的DMAE位为“1”（允许DMA），就在每次发生DMA请求时开始数据传送。但是，如果DMA请求的发生周期快于DMA传送周期，就会出现传送请求次数和传送次数不一致的情况。详细内容请参照“14.4DMA请求”。

表 14.1 DMAC的规格 (注3)

项目		规格
通道数		2个通道(周期挪用方式)
传送空间		<ul style="list-style-type: none"> <li>从1M字节空间的任意地址到固定地址</li> <li>从固定地址开始的1M字节的任意空间</li> <li>从固定地址到固定地址</li> </ul>
最大传送字节数		128K字节(16位传送时)、64K字节(8位传送时)
DMA请求源(注1、2)		INTO或者INT1引脚的下降沿 INTO或者INT1引脚的两边沿 定时器A0~定时器A4中断请求 定时器B0~定时器B5中断请求 UART0发送、UART0接收中断请求 UART1发送、UART1接收中断请求 UART2发送、UART2接收中断请求 S1/03、S1/04中断请求 A/D转换中断请求 软件触发
通道优先级		DMA0 > DMA1 (DMA0 优先)
传送单位		8位或者16位
传送地址方向		正向或者固定(不能将传送源和传送目标同时设定为正向)
传送模式	单次传送	如果DMA <sub>i</sub> 传送计数器(i=0~1)下溢就结束传送
	重复传送	在DMA <sub>i</sub> 传送计数器下溢后, DMA <sub>i</sub> 传送计数器重加载寄存器的值被再装入到DMA <sub>i</sub> 传送计数器, 继续DMA传送
DMA中断请求的产生时序		DMA <sub>i</sub> 传送计数器下溢时
DMA传送开始		如果将DMA <sub>i</sub> CON寄存器的DMAE位置“1”(允许), 就在每次发生DMA请求时开始传送数据DMA
DMA传送停止	单次传送	<ul style="list-style-type: none"> <li>将DMAE位置“0”(禁止)</li> <li>DMA<sub>i</sub>传送计数器下溢时</li> </ul>
	重复传送	将DMAE位置“0”(禁止)
正向地址指针、DMA <sub>i</sub> 传送计数器的再装入时序		在将DMAE位置“1”(允许)后开始数据传送时, 将被指定为正向指针的SAR <sub>i</sub> 指针或者DAR <sub>i</sub> 指针的值再装入到正向地址指针, 将DMA <sub>i</sub> 传送计数器重加载寄存器的值再装入到DMA <sub>i</sub> 传送计数器
DMA传送周期数		在SFR和内部RAM之间:3个周期

注1. DMA传送不影响各中断, 也不受I标志和中断控制寄存器的影响。

注2. 可选择的请求源根据通道而不同。

注3. 不能通过DMAC存取DMAC的关联寄存器(0020h~003Fh地址)。



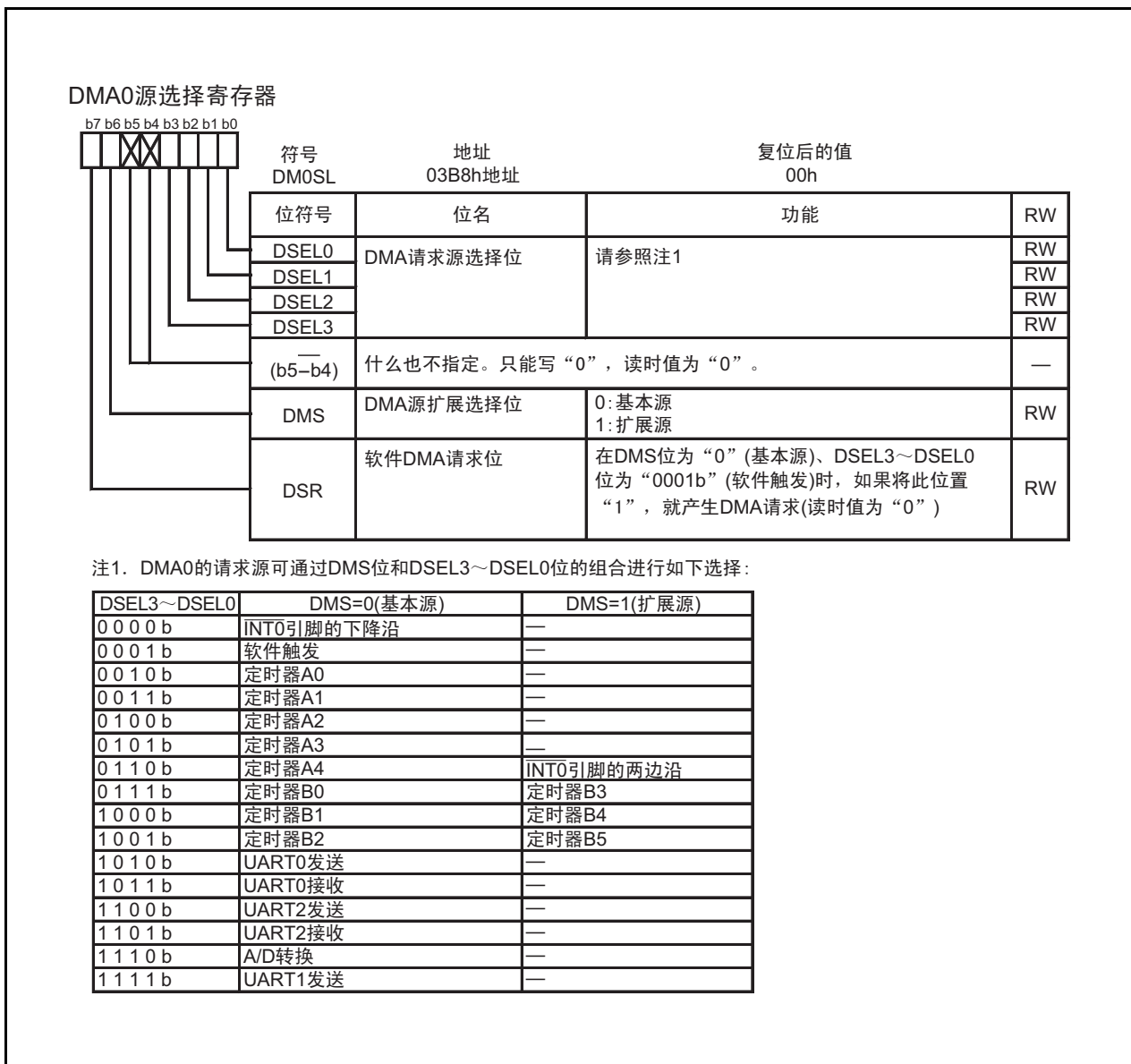


图 14.2 DMOSL 寄存器

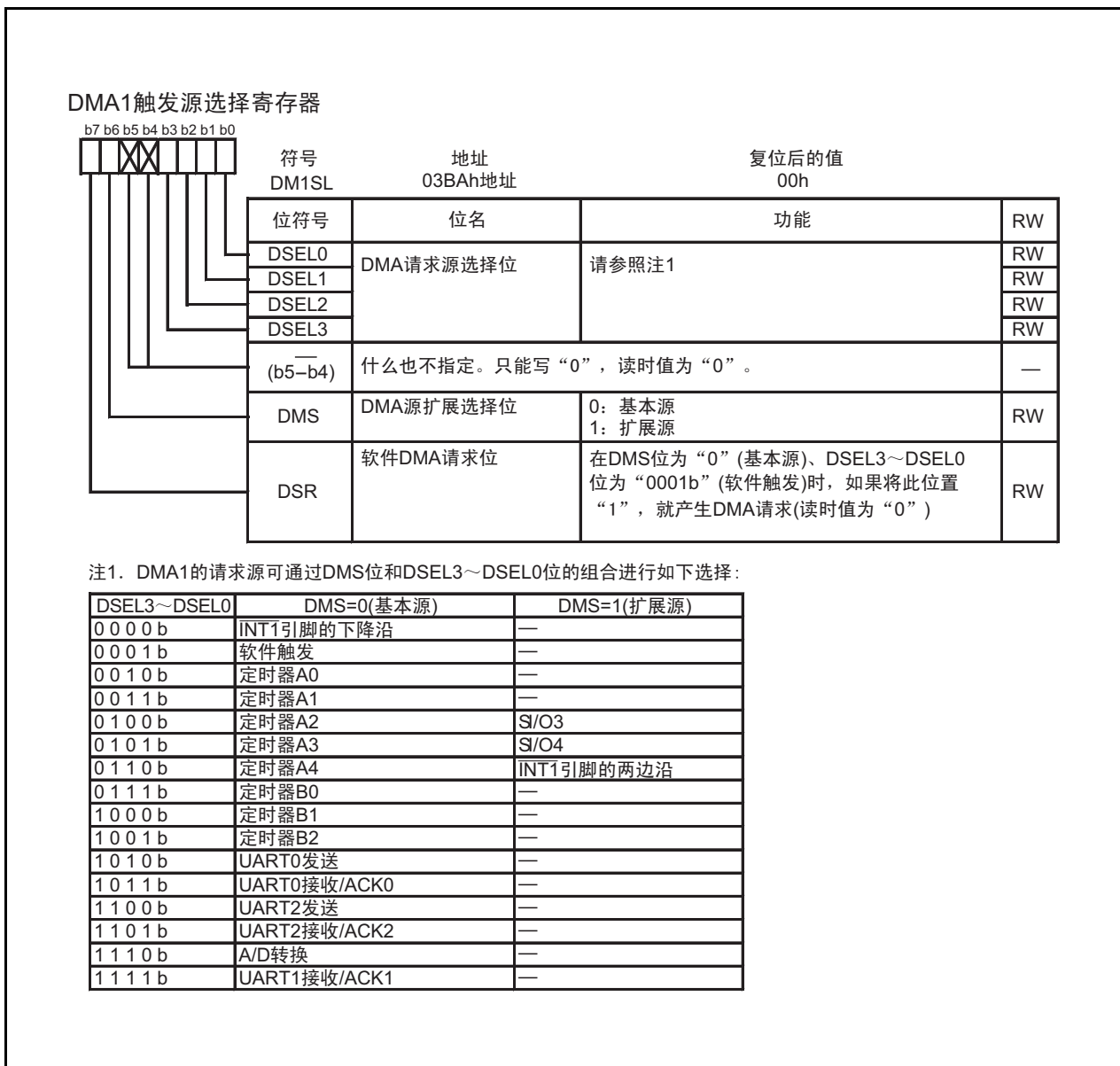


图 14.3 DM1SL 寄存器

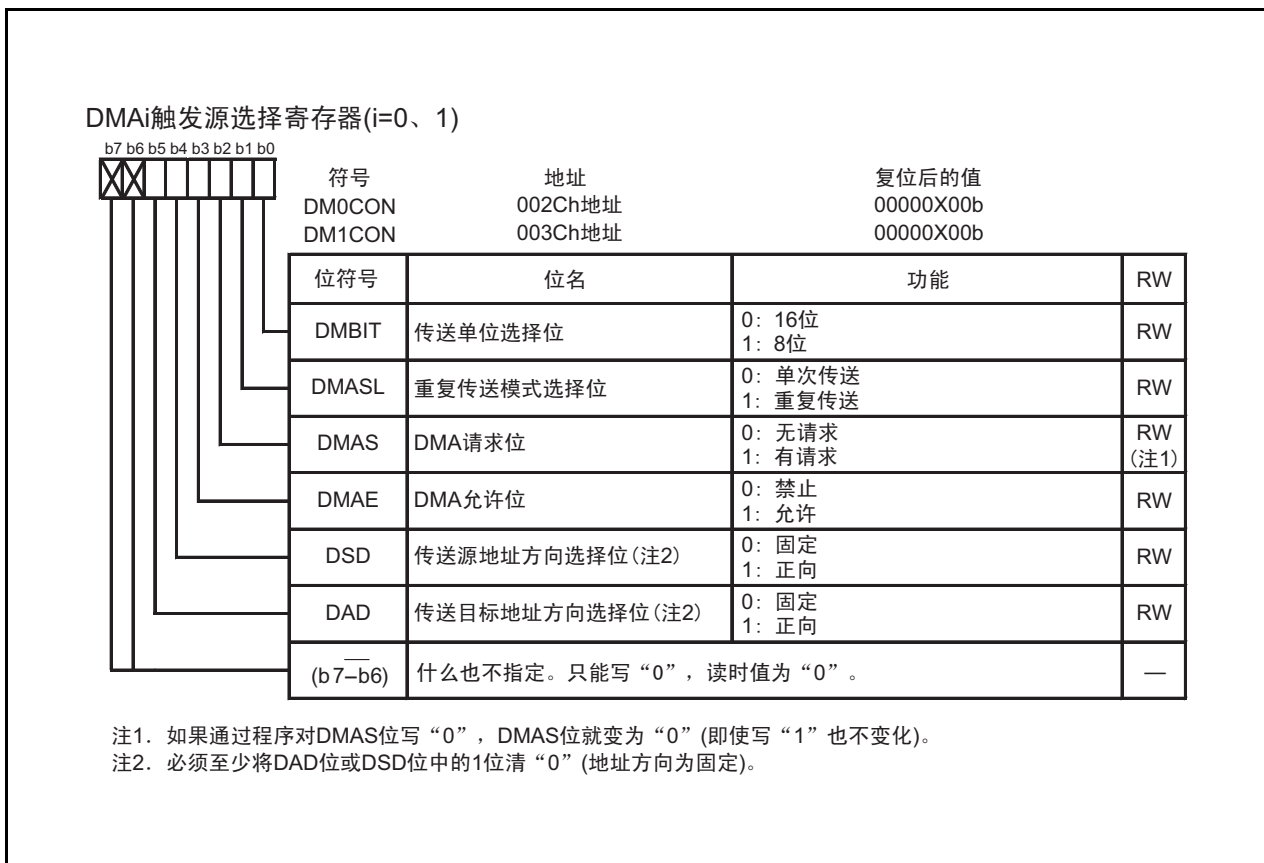


图 14.4 DM0CON、DM1CON 寄存器

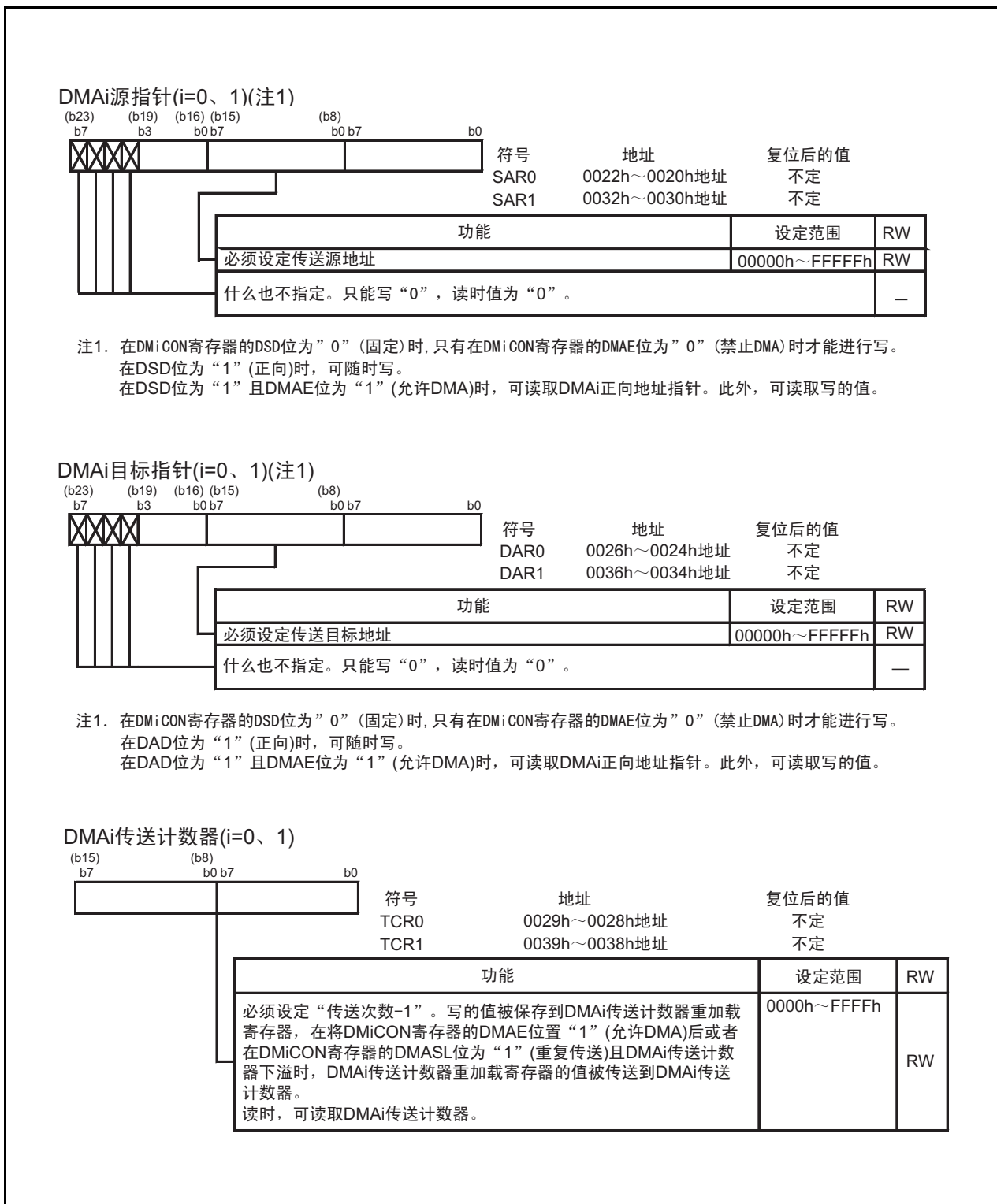


图 14.5 SAR0、SAR1、DAR0、DAR1、TCR0、TCR1 寄存器

## 14.1 传送周期

传送周期由读存储器或者SFR(源读)总线周期和写(目标写)总线周期构成。读和写总线周期次数受传送源地址和传送目标地址的影响,并且在存储器扩展模式和微处理器模式时也受BYTE引脚电平的影响。而且,由于软件等待或者 $\overline{\text{RDY}}$ 信号的影响,总线周期变长。

### 14.1.1 传送源地址、传送目标地址的影响

在传送单位和数据总线都为16位并且传送源地址从奇数地址开始时,源读周期比从偶数地址开始时增加1个总线周期。

同样,在传送单位和数据总线都为16位并且传送目标地址从奇数地址开始时,目标写周期比从偶数地址开始时增加1个总线周期。

### 14.1.2 BYTE引脚的影响

在存储器扩展模式和微处理器模式时,如果用8位数据总线(BYTE引脚为“H”电平时)进行16位数据传送,就以8位数据的形式传送两次。因此,总线周期在读数据时需要2个总线周期,在写数据时需要2个总线周期。另外,DMAC存取内部区域(内部ROM、内部RAM、SFR)的情况和CPU存取内部区域的情况不同,它是以BYTE引脚选择的数据宽度进行存取。

### 14.1.3 软件等待的影响

在存取插入软件等待的存储器或者SFR时,只增加软件等待数所需的总线周期数。

### 14.1.4 $\overline{\text{RDY}}$ 信号的影响

在存储器扩展模式和微处理器模式时,外部区域受 $\overline{\text{RDY}}$ 信号的影响。详细内容请参照“8.2.6  $\overline{\text{RDY}}$ 信号”。

源读周期的例子如图14.6所示。在此图中,为方便起见,假设目标写周期为1个周期,列出不同条件的源读周期数。实际上和源读周期一样,目标写周期也受各种条件的影响,传送周期会相应变化。必须根据目标写周期和源读周期的各种条件计算传送周期。例如,在传送单位为16位并且使用8位总线时(图14.5(2)),源读周期和目标写周期各需要2个总线周期。

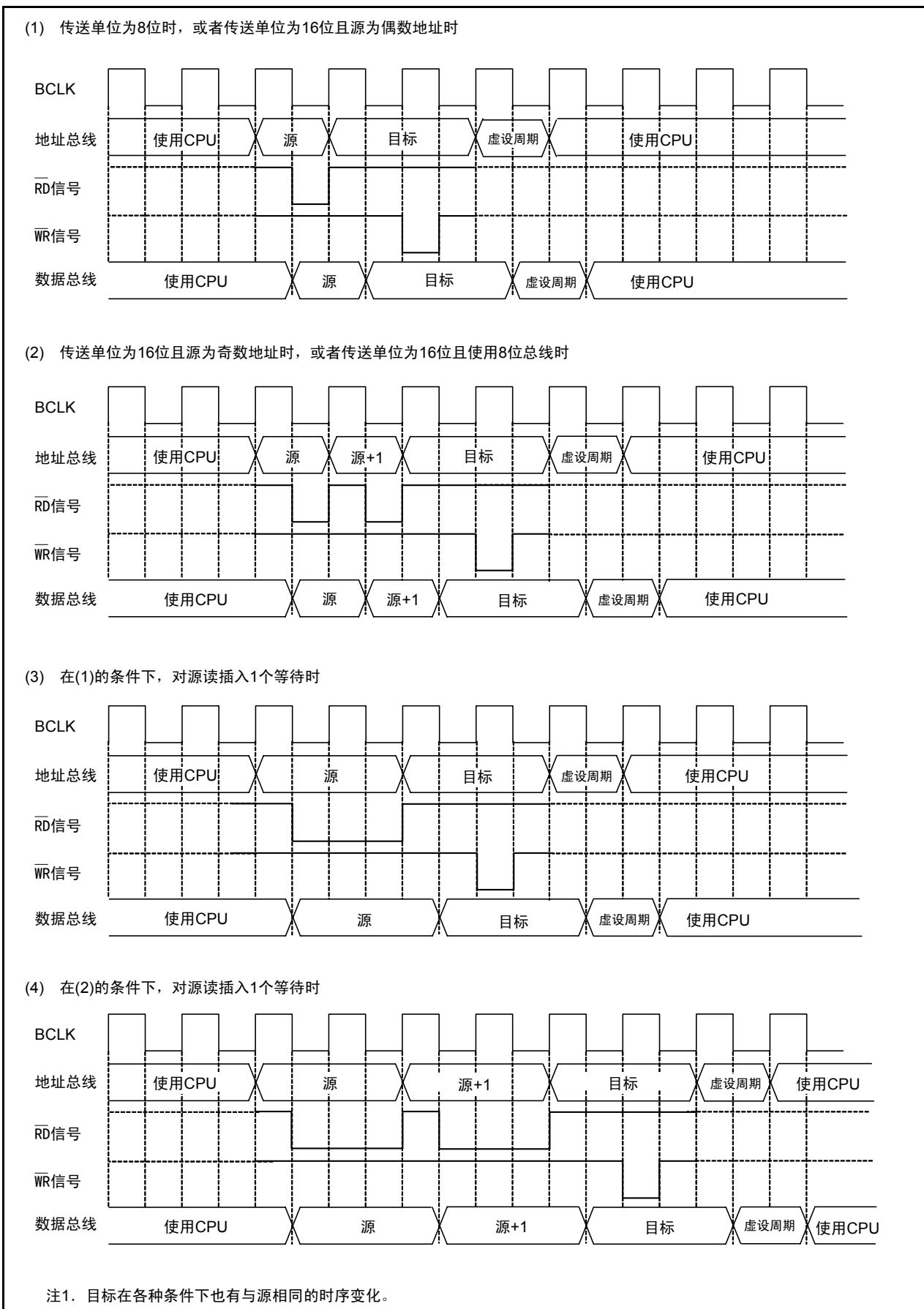


图 14.6 读源周期的例子

## 14.2 DMAC传送周期数

DMAC传送周期数能通过以下的计算式计算。

DMAC传送周期数如表14.2所示，系数j、k如表14.3所示。

1个传送单位的传送周期数 = 读周期数 × j + 写周期数 × k

表14.2 DMAC传送周期数

传送单位	总线	存取地址	单芯片模式		存储器扩展模式 微处理器模式	
			读周期数	写周期数	读周期数	写周期数
8位传送 (DMBIT = “1”)	16位 (BYTE = “L”)	偶数	1	1	1	1
		奇数	1	1	1	1
	8位 (BYTE = “H”)	偶数	—	—	1	1
		奇数	—	—	1	1
16位传送 (DMBIT = “0”)	16位 (BYTE = “L”)	偶数	1	1	1	1
		奇数	2	2	2	2
	8位 (BYTE = “H”)	偶数	—	—	2	2
		奇数	—	—	2	2

— : 该条件不存在

表14.3 系数j、k

	内部区域				外部区域						
	内部ROM、RAM		SFR		独立总线			多路复用总线			
	无等待	有等待	1个等待 (注2)	2个等待 (注2)	无等待	有等待(注1)			有等待(注1)		
						1个等待	2个等待	3个等待	1个等待	2个等待	3个等待
j	1	2	2	3	1	2	3	4	3	3	4
k	1	2	2	3	2	2	3	4	3	3	4

注1. 取决于CSE寄存器的设定值。

注2. 取决于PM2寄存器的PM20位的设定值。

### 14.3 DMA 允许

在将DMiCON寄存器(i=0、1)的DMAE位置“1”(允许)后开始传送数据时,DMAC进行如下的动作:

- (a) 在DMiCON寄存器的DSD位为“1”(正向)时,将SARi寄存器的值再装入到正向地址指针;在DMiCON寄存器的DAD位为“1”(正向)时,将DARi寄存器的值再装入到正向地址指针。
- (b) 将DMAi传送计数器重加载寄存器的值再装入到DMAi传送计数器

如果在DMAE位为“1”时再次写“1”,就进行上述动作。

但是,如果在写DMAE位的同时有可能发生DMA请求,就必须按以下步骤写:

- (1) 对DMiCON寄存器的DMAE位和DMAS位同时写“1”。
- (2) 通过程序确认DMAi是否处于初始状态(上述(a)(b)的状态)。

如果DMAi没处于初始状态,就重复(1)(2)。

### 14.4 DMA 请求

DMAC能对各通道根据DMiSL寄存器(i=0、1)的DMS位和DESL3~DESL0位选择的请求源作为触发源来产生DMA请求。DMAS位变化的时序如表14.4所示。

与DMAE位的状态无关,如果发生DMA请求,DMAS位就变为“1”(有请求)。如果DMAE位为“1”(允许),就在即将开始传送数据前,DMAS位变为“0”(无请求)。另外,通过程序能将DMAS位置“0”而不能置“1”。

如果更改DMS位和DSEL3~DSEL0位,DMAS位有可能变为“1”。因此,必须在更改DMS位和DSEL3~DSEL0位后,将DMAS位置“0”。

如果DMAE位为“1”,就在发生DMA请求后立刻开始传送数据,所以在通过程序读DMAS位时,大部分情况下读到的是“0”。在判断DMAC是否为允许状态时,必须读DMAE位。

表 14.4 DMAS位变化的时序

DMA 源	DMiCON寄存器的DMAS位	
	变为“1”的时序	变为“0”的时序
软件触发	在将DMiSL寄存器的DSR位置“1”时	<ul style="list-style-type: none"> <li>• 在即将开始数据传送前</li> <li>• 在通过程序写“0”时</li> </ul>
外围功能	在由DMiSL寄存器的DSEL3~DSEL0位和DMS位选择的外围功能的中断控制寄存器的IR位变为“1”时	



### 14.5 通道的优先顺序和DMA传送时序

在DMA0和DMA1都为允许状态时，如果DMA0和DMA1的DMA传送请求信号出现在同一个采样周期（从BCLK的下降沿到下一个下降沿的一个周期），各通道的DMAS位就同时变为“1”（有请求）。此时的通道优先级为DMA0 > DMA1。以下说明DMA0和DMA1的请求出现在同一个采样周期时的运行。由外部源产生DMA传送的例子如图14.7所示。

因为在图14.7中同时产生了DMA0和DMA1的请求，所以先接受通道优先级高的DMA0请求开始传送。在DMA0结束1个传送单位后将总线使用权让给CPU。然后，在CPU结束1次总线存取后DMA1开始传送，在DMA1结束1个传送单位后将总线使用权还给CPU。

另外，因为DMAS位是各通道的1个位，所以无法对DMA的请求次数进行计数。因此，如同图14.7中的DMA1，在获得总线使用权前即使发生多次DMA请求，也在获得总线使用权后将DMAS位置“0”，并且在结束1个传送单位后将总线使用权还给CPU。

有关和CPU的总线使用优先级请参照“8.2.7  $\overline{\text{HOLD}}$ 信号”。

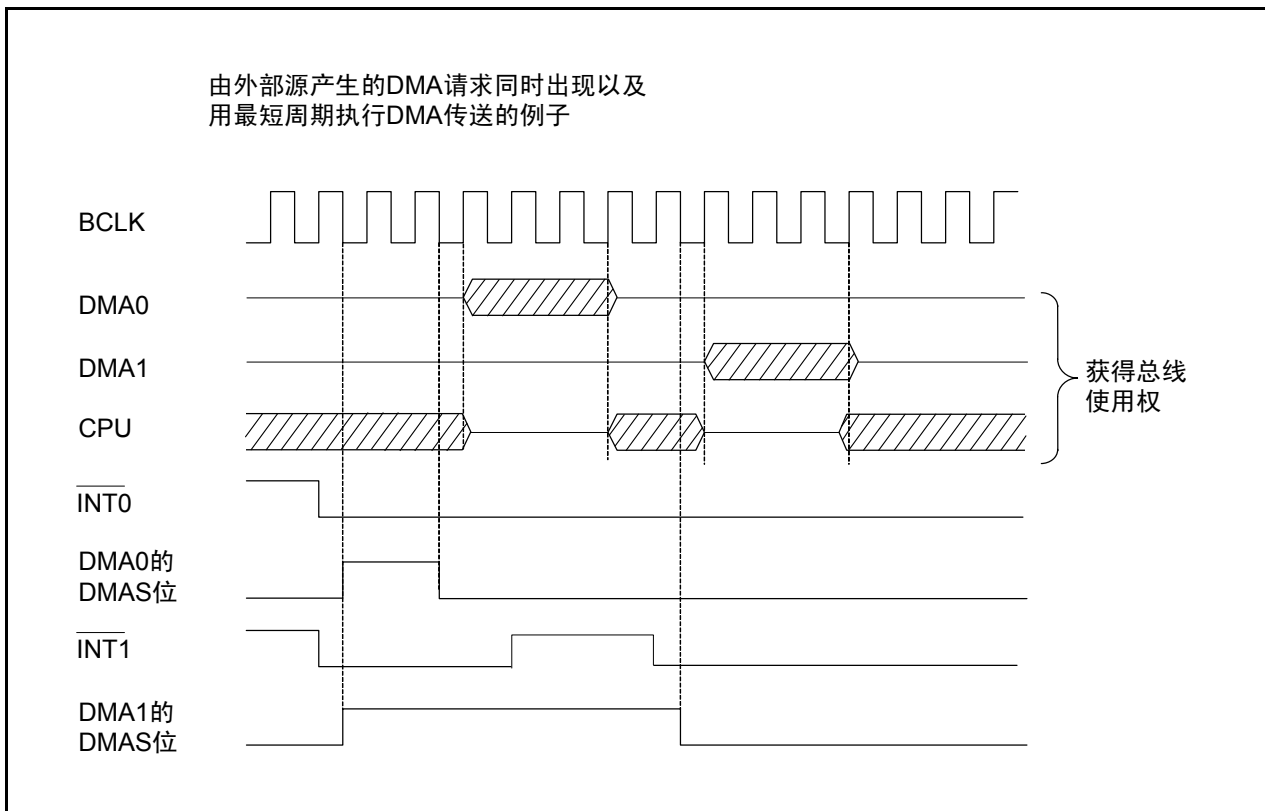


图14.7 由外部源产生的DMA传送的例子



## 15. 定时器

## 注意

M16C/62P (80引脚版) 和M16C/62PT (80引脚版) 没有TA1IN、TA1OUT、TA2IN、TA2OUT、TB1IN引脚。不能使用需要这些引脚的功能。

M16C/62P群有11个16位定时器，根据功能分为定时器A(5个)和定时器B(6个)两类。所有定时器都独立运行，各定时器的计数源为计数、再装入等定时器运行的运行时钟。定时器A的结构如图15.1所示，定时器B的结构如图15.2所示。

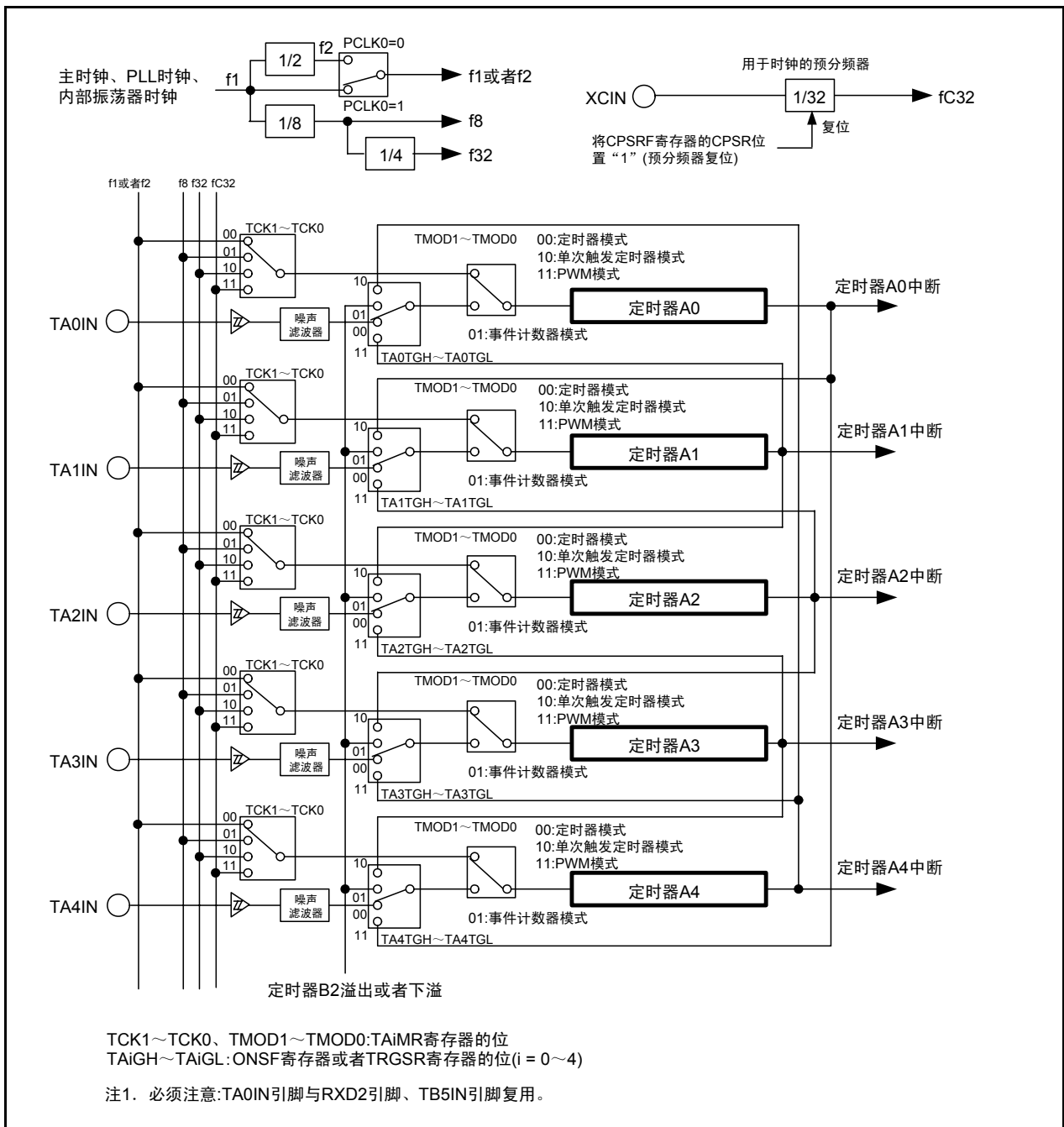


图 15.1 定时器A的结构

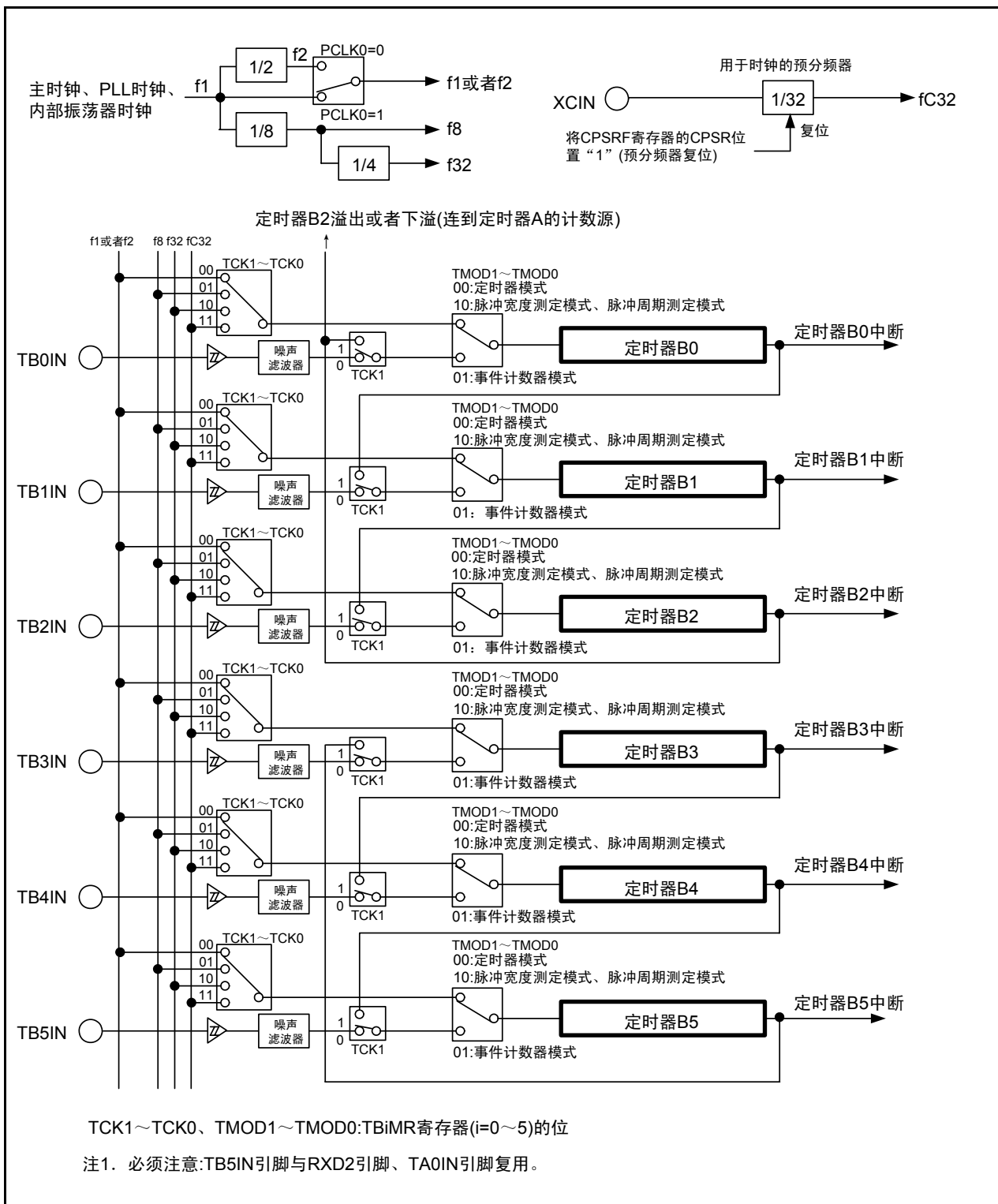


图 15.2 定时器 B 的结构

15.1 定时器A

注意

M16C/62P (80引脚版) 和M16C/62PT (80引脚版) 没有定时器A1的TA1IN引脚和TA1OUT引脚、定时器A2的TA2IN引脚和TA2OUT引脚。

【使用定时器A1、定时器A2时的注意事项】

- 定时器模式 不能使用选通功能和脉冲输出功能。在使用定时器模式时，必须将TA1MR和TA2MR寄存器的MR2~MR0位置成“000b”。
- 事件计数器模式 不能使用脉冲输出功能，并且不能对外部输入信号进行计数。另外，不能使用定时器A2的二相脉冲信号处理功能。在使用事件计数器模式时，必须将TA1MR和TA2MR寄存器的MR2~MR0位置成“000b”。
- 单次触发定时器模式 不能使用脉冲输出功能，并且不能通过外部触发开始计数。在使用单次触发定时器模式时，必须将TA1MR和TA2MR寄存器的MR1~MR0位置成“00b”。
- 脉宽调制(PWM)模式 不能进行PWM脉冲输出。

定时器A的框图如图15.3所示，定时器A的关联寄存器如图15.4~图15.7所示。

定时器A有以下4种模式，除了事件计数器模式以外，定时器A0~A4具有相同功能。能通过TAiMR寄存器(i=0~4)的TMOD1~TMOD0位选择模式。

- 定时器模式 对内部计数源进行计数的模式
- 事件计数器模式 对来自外部的脉冲、其它定时器的溢出或者其它定时器的下溢进行计数的模式
- 单次触发定时器模式 在计数值变为“0000h”之前，只进行1次脉冲输出的模式
- PWM模式 连续输出任意宽度的脉冲的模式

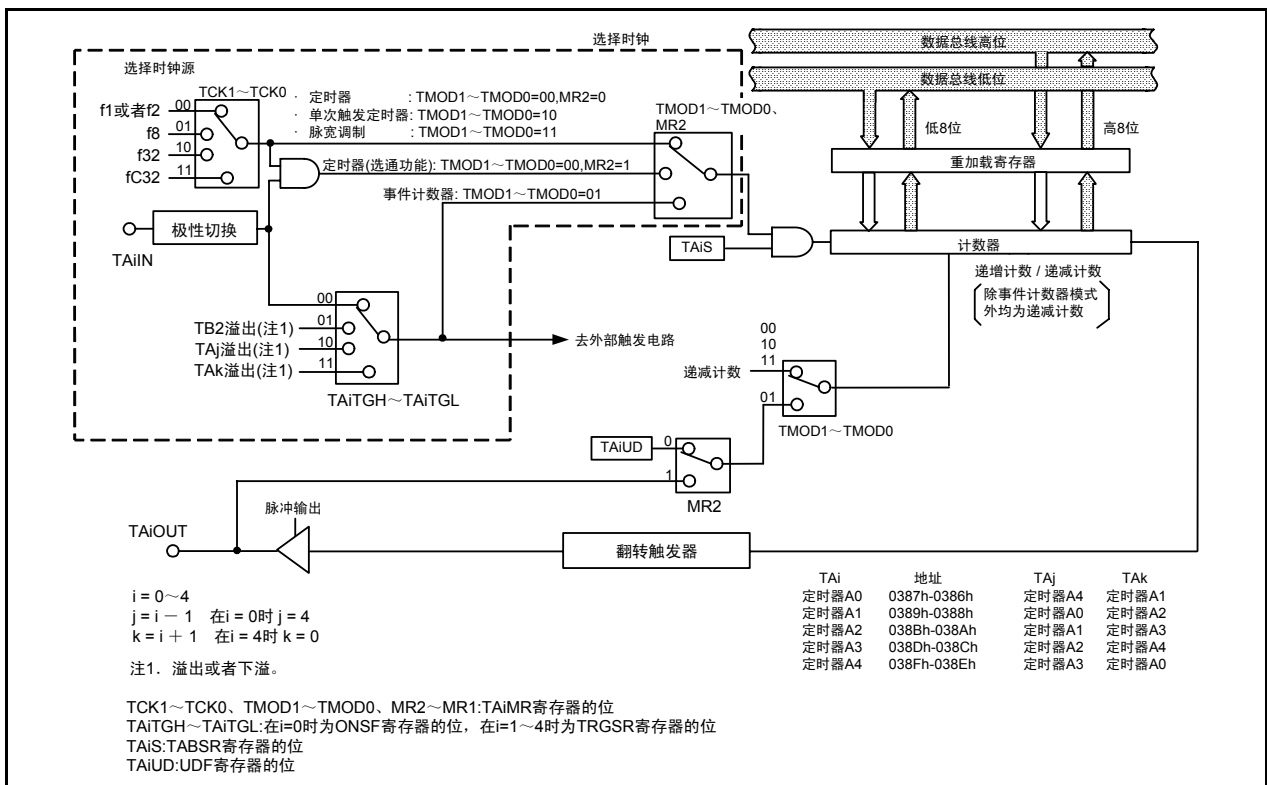


图 15.3 定时器A框图

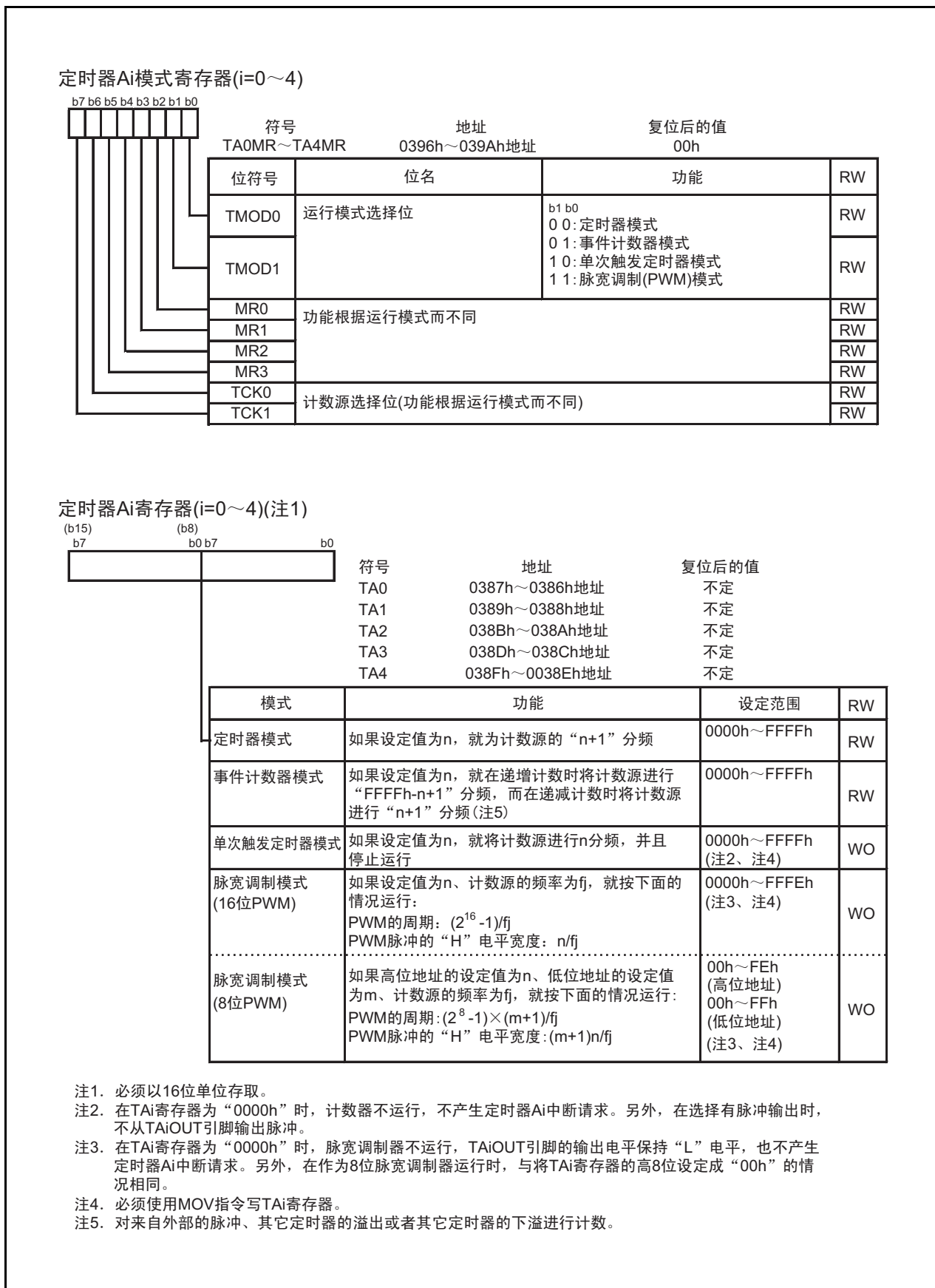


图 15.4 TA0MR~TA4MR和TA0~TA4寄存器

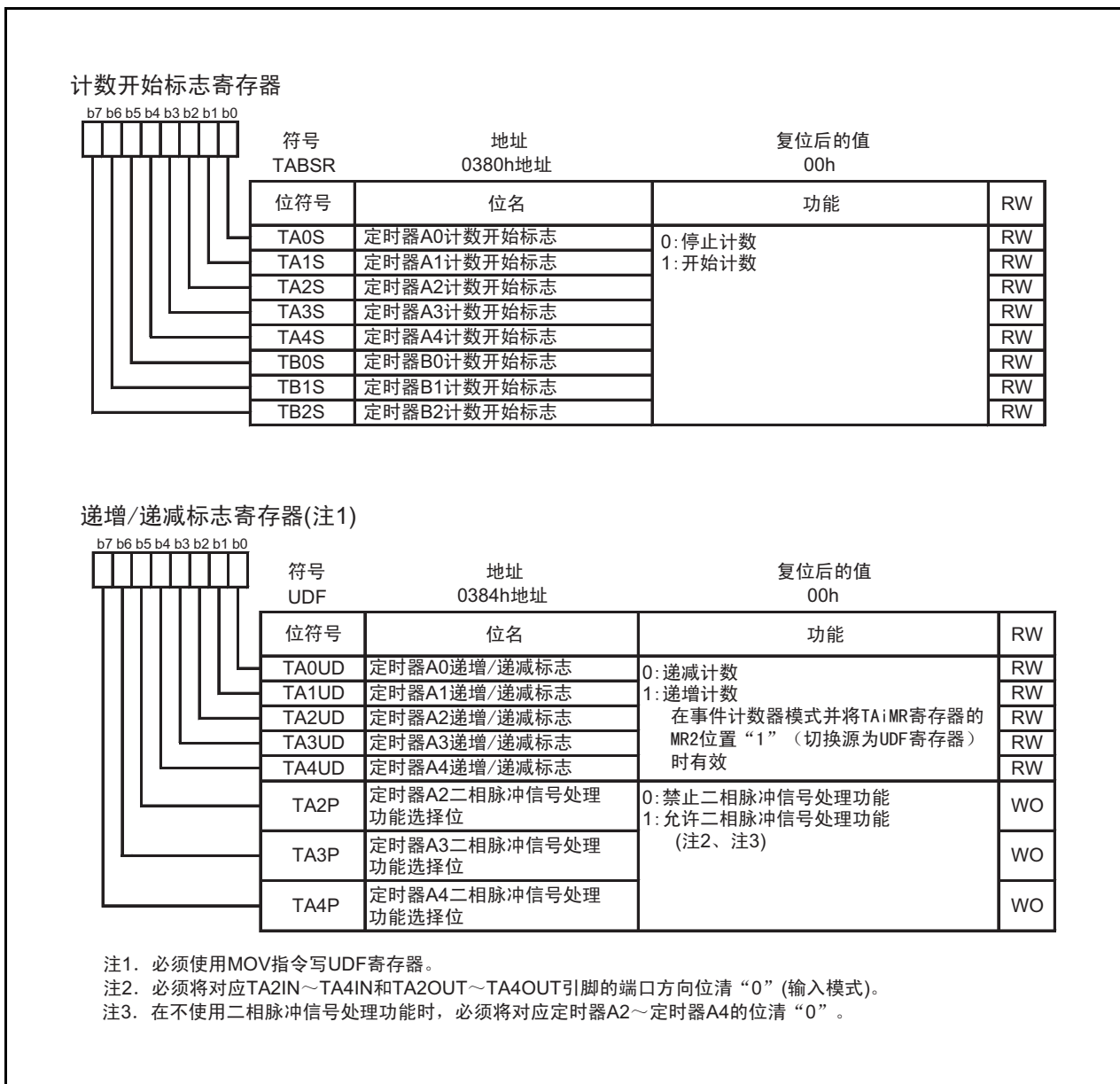


图 15.5 TABSR和UDF 寄存器

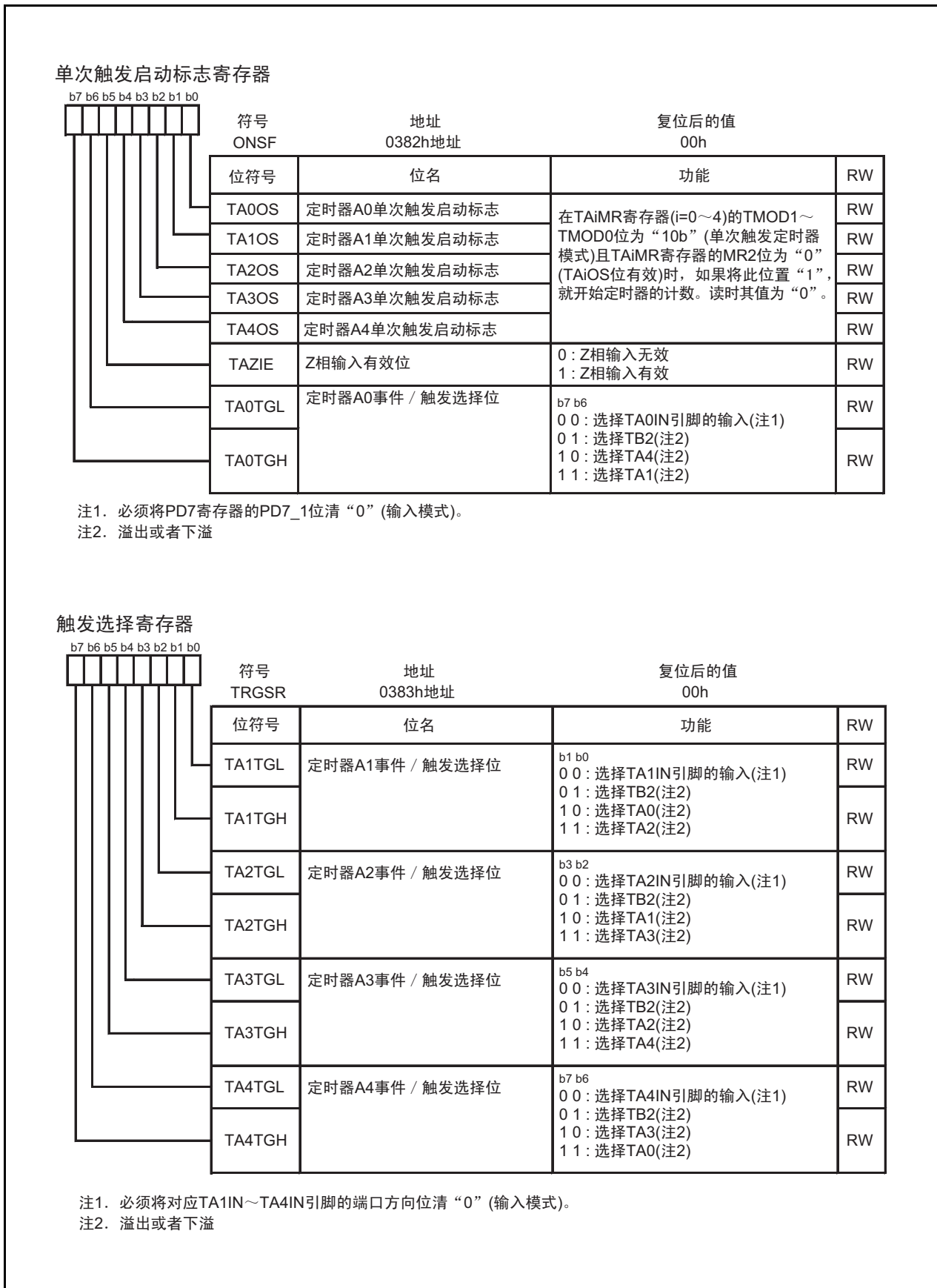


图 15.6 ONSF 和 TRGSR 寄存器



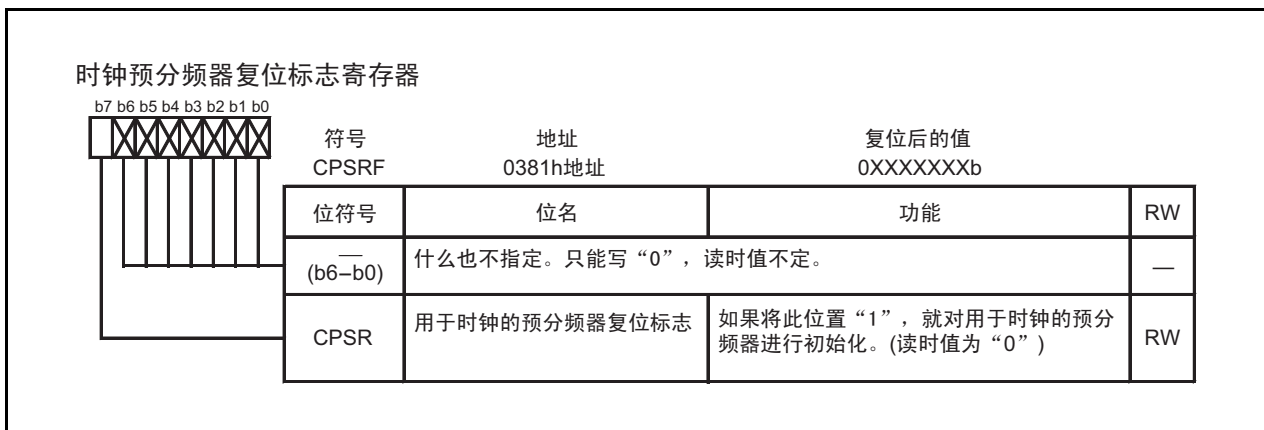


图 15.7 CPSRF 寄存器

### 15.1.1 定时器模式

定时器模式是对在内部生成的计数源进行计数的模式(表15.1)。定时器模式时的TAiMR寄存器如图15.8所示。

表15.1 定时器模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	<ul style="list-style-type: none"> <li>• 递减计数</li> <li>• 下溢时，将重加载寄存器的内容再装入后继续计数</li> </ul>
分频比	1/(n+1)    n:TAi寄存器(i=0~4)的设定值为0000h~FFFFh
计数开始条件	将TABS R寄存器的TAiS位置“1”(计数开始)
计数停止条件	将TAiS位置“0”(计数停止)
中断请求产生时间	下溢时
TAiIN引脚功能	I/O端口或者选通输入
TAiOUT引脚功能	I/O端口或者脉冲输出
定时器的读	如果读TAi寄存器，就能读取计数值
定时器的写	<ul style="list-style-type: none"> <li>• 在计数停止时，或计数开始后第一个计数源到来之前，如果给TAi寄存器写数据，则它会被同时写入重加载寄存器和计数器中</li> <li>• 如果在计数中(但是在输入第1次计数源后)给TAi寄存器写数据，数据就被写到重加载寄存器(在下次的再装入时传送)</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>• 选通功能 能通过TAiIN引脚的输入信号选择计数开始或者计数停止</li> <li>• 脉冲输出功能 每次下溢时，反转TAiOUT引脚的输出极性。在TAiS位为“0”(计数停止)期间输出“L”电平</li> </ul>

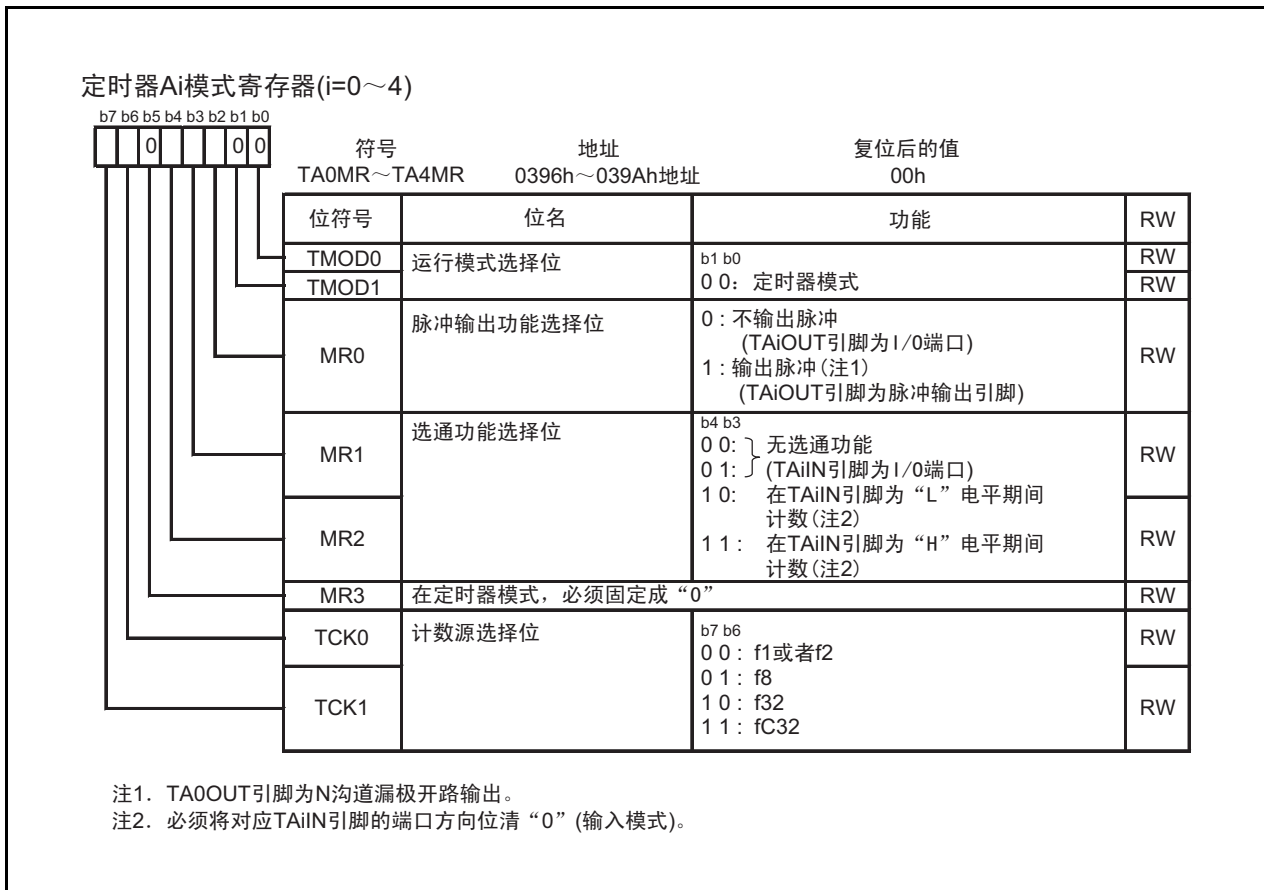


图15.8 定时器模式时的TAiMR寄存器

### 15.1.2 事件计数器模式

事件计数器模式是对外部信号、其它定时器的溢出或者其它定时器的下溢进行计数的模式。定时器A2、A3、A4能对二相外部信号进行计数。事件计数器模式的规格(不使用二相脉冲信号处理功能时)如表15.2所示,事件计数器模式时的TAiMR寄存器(不使用二相脉冲信号处理功能时)如图15.9所示。

表15.2 事件计数器模式的规格(不使用二相脉冲信号处理功能时)

项目	规格
计数源	<ul style="list-style-type: none"> <li>• 输入到TAi IN引脚(i=0~4)的外部信号(可通过程序选择有效沿)</li> <li>• 定时器B2溢出或者下溢、定时器Aj(j=i-1,在i=0时j=4)溢出或者下溢、定时器Ak(k=i+1,在i=4时k=0)溢出或者下溢</li> </ul>
计数运行	<ul style="list-style-type: none"> <li>• 可通过外部信号或者程序选择递增计数或者递减计数</li> <li>• 溢出或者下溢时,将重加载寄存器的内容再装入后继续计数。选择自由运行功能时,不进行再装入而继续计数。</li> </ul>
分频比	<ul style="list-style-type: none"> <li>• 递增计数时为<math>1/(FFFFh - n + 1)</math></li> <li>• 递减计数时为<math>1/(n + 1)</math> n:TAi寄存器的设定值为0000h~FFFFh</li> </ul>
计数开始条件	将TABSR寄存器的TAiS位置“1”(计数开始)
计数停止条件	将TAiS位置“0”(计数停止)
中断请求产生时间	溢出或者下溢时
TAi IN引脚功能	I/O端口或者计数源输入
TAi OUT引脚功能	I/O端口、脉冲输出或者递增计数/递减计数的切换输入
定时器的读	如果读TAi寄存器,就能读取计数值
定时器的写	<ul style="list-style-type: none"> <li>• 在计数停止时,或计数开始后第一个计数源到来之前,如果给TAi寄存器写数据,则它会被同时写入重加载寄存器和计数器中。</li> <li>• 如果在计数中(但是在输入第1次计数源后)给TAi寄存器写数据,数据就被写到重加载寄存器(在下次的再装入时传送)</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>• 自由运行计数功能 即使发生溢出或者下溢,也不从重加载寄存器进行再装入</li> <li>• 脉冲输出功能 每次溢出或者下溢时,反转TAiOUT引脚的输出极性。在TAiS位为“0”(计数停止)期间输出“L”电平</li> </ul>

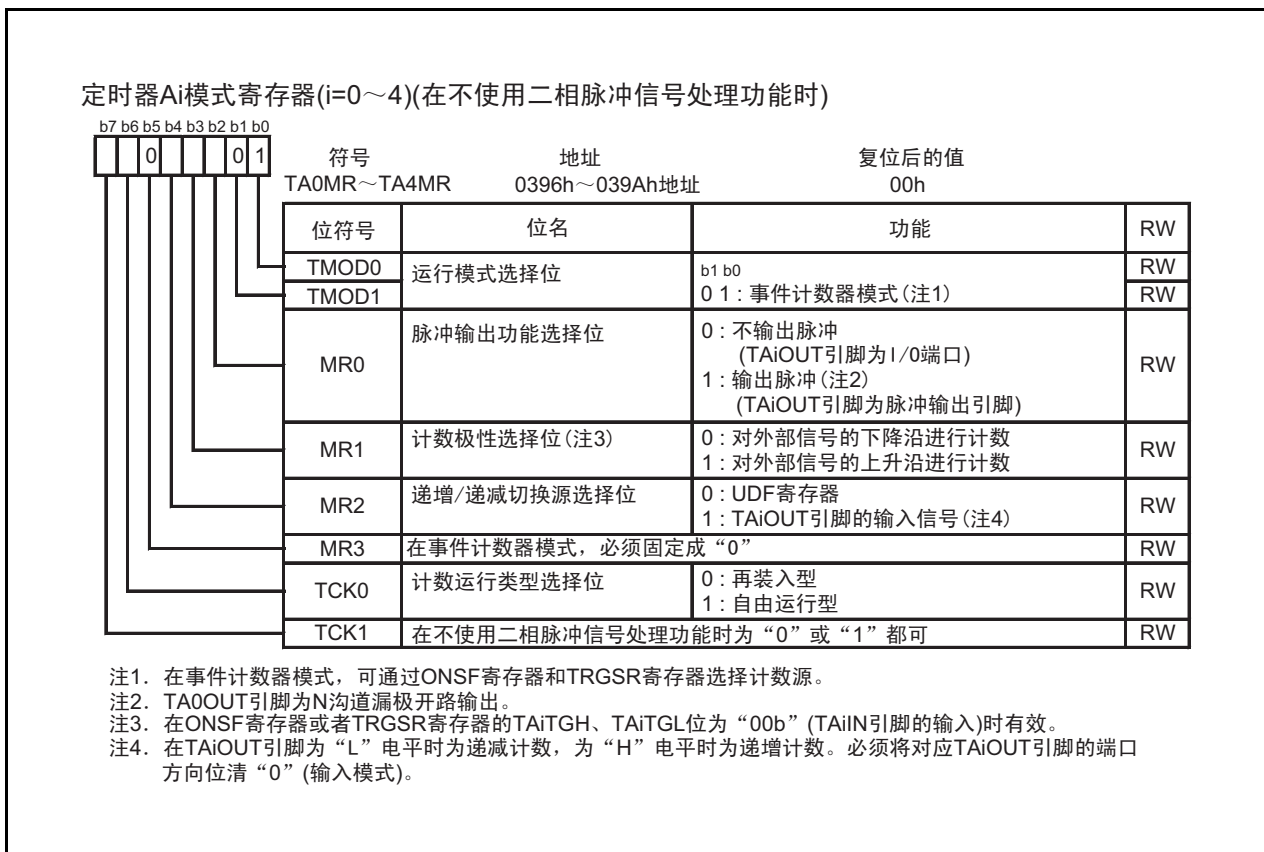


图 15.9 事件计数器模式时的TAiMR寄存器(不使用二相脉冲信号处理功能时)

事件计数器模式的规格(在定时器A2、A3、A4使用二相脉冲信号处理功能时)如表15.3所示,事件计数器模式时的TA2MR~TA4MR寄存器(在定时器A2、A3、A4使用二相脉冲信号处理功能时)如图15.10所示。

表15.3 事件计数器模式的规格(在定时器A2、A3、A4使用二相脉冲信号处理功能时)

项目	规格
计数源	输入到TAiI、NAiOUT引脚(i=2~4)的二相脉冲信号
计数运行	<ul style="list-style-type: none"> <li>• 可通过二相脉冲信号切换递增计数或者递减计数</li> <li>• 溢出或者下溢时,将重加载寄存器的内容再装入后继续计数。选择自由运行功能时,不进行再装入而继续计数。</li> </ul>
分频比	<ul style="list-style-type: none"> <li>• 递增计数时,为<math>1/(FFFFh - n + 1)</math></li> <li>• 递减计数时,为<math>1/(n + 1)</math>      n:TAi寄存器的设定值为0000h~FFFFh</li> </ul>
计数开始条件	将TABS R寄存器的TAiS位置“1”(计数开始)
计数停止条件	将TAiS位置“0”(计数停止)
中断请求产生时间	溢出或者下溢时
TAiIN引脚功能	二相脉冲输入
TAiOUT引脚功能	二相脉冲输入
定时器的读	如果读定时器A2、A3、A4的寄存器,就能读取计数值
定时器的写	<ul style="list-style-type: none"> <li>• 在计数停止时,或计数开始后第一个计数源到来之前,如果给TAi寄存器写数据,则它会被同时写入重加载寄存器和计数器中。</li> <li>• 如果在计数中(但是在输入第1次计数源后)给TAi寄存器写数据,数据就被写到重加载寄存器(在下次的再装入时传送)</li> </ul>
选择功能(注1)	<ul style="list-style-type: none"> <li>• 正常处理运行(定时器A2、定时器A3) 在TAjOUT引脚(j=2、3)的输入信号为“H”电平期间,对TAjIN引脚的上升沿进行递增计数,对其下降沿进行递减计数。</li> </ul> <p>(j=2、3) 递增计数 递增计数 递增计数 递减计数 递减计数 递减计数</p> <ul style="list-style-type: none"> <li>• 4倍频处理运行(定时器A3、定时器4) 在TAKOUT引脚(k=3、4)的输入信号为“H”电平期间,如果与TAKIN引脚的上升沿存在相位关系,就对TAKOUT引脚和TAKIN引脚的上升沿和下降沿进行递增计数。在TAKOUT引脚的输入信号为“H”电平期间,如果与TAKIN引脚的下降沿存在相位关系,就对TAKOUT引脚和TAKIN引脚的上升沿和下降沿进行递减计数。</li> </ul> <p>对所有边沿进行递增计数      对所有边沿进行递减计数</p> <p>对所有边沿进行递增计数      对所有边沿进行递减计数</p> <p>(k=3、4)</p> <ul style="list-style-type: none"> <li>• 通过Z相输入进行计数器的初始化(定时器A3) 通过Z相输入将定时器的计数值置“0”</li> </ul>

注1. 定时器A3能选择两种运行方式。定时器A2只能选择正常处理运行方式,定时器A4只能选择为4倍频处理运行方式。

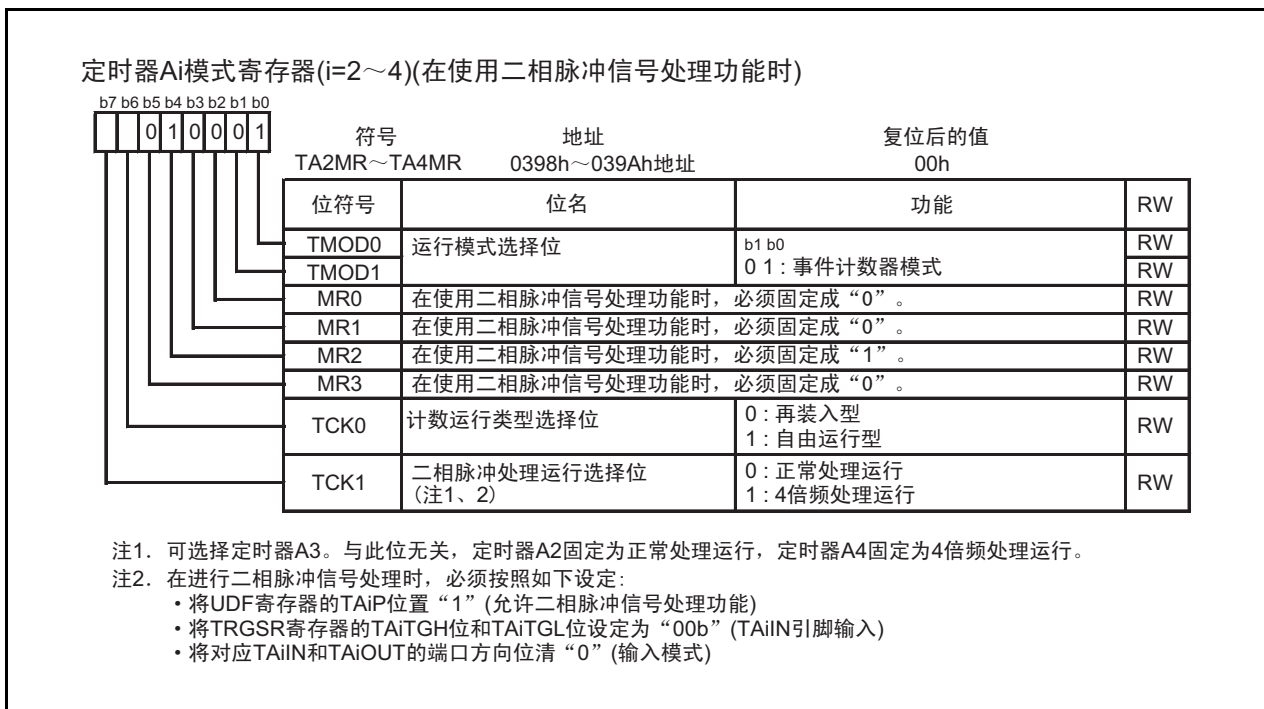


图 15. 10 事件计数器模式时的TA2MR寄存器~TA4MR寄存器(在定时器A2、A3、A4使用二相脉冲信号处理功能时)

### 15.1.2.1 二相脉冲信号处理的计数器初始化

这是在二相脉冲信号处理时，通过Z相（计数器初始化）的输入将定时器的计数值置“0”的功能。

此功能只能用于定时器A3的事件计数器模式、二相脉冲信号处理、自由运行型和4倍频处理，Z相从ZP引脚输入。

如果将“0000h”写到TA3寄存器，并将ONSF寄存器的TAZIE位置“1”（Z相输入有效），就能通过Z相的输入进行计数器的初始化。

通过检测Z相的输入边沿进行计数器的初始化。边沿的极性能通过INT2IC寄存器的POL位选择。输入的Z相脉宽必须为定时器A3计数源的1个周期以上。

接受Z相输入之后，在下一个计数时序到来时对计数器进行初始化。二相脉冲（A相、B相）和Z相的关系如图15.11所示。

如果定时器A3的溢出或下溢时序与Z相输入的计数器初始化时序重叠，就连续产生2次定时器A3的中断请求，所以使用此功能时不能使用定时器A3中断。

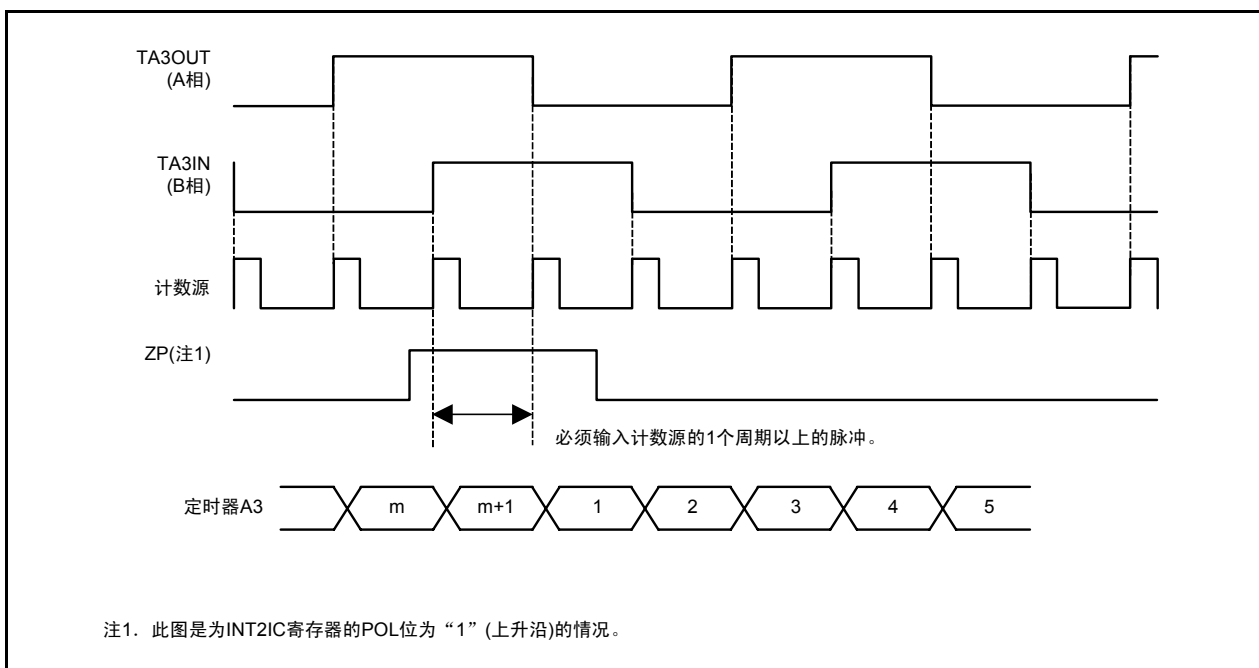


图 15.11 二相脉冲（A相、B相）和Z相的关系

### 15.1.3 单次触发定时器模式

单次触发定时器模式是对1次触发定时器只运行1次的模式(表15.4)。在从发生触发后的任意期间定时器运行。单次触发定时器模式时的TAiMR寄存器如图15.12所示。

表 15.4 单次触发定时器模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	<ul style="list-style-type: none"> <li>• 递减计数</li> <li>• 在计数值变为“0000h”的时序进行再装入，然后停止计数</li> <li>• 如果在计数中发生触发，就进行再装入，然后继续计数</li> </ul>
分频比	1/n n:TAi寄存器(i=0~4)的设定值为0000h~FFFFh 但是，如果设定“0000h”，计数器就不运行。
计数开始条件	TABSR寄存器的TAiS位为“1”(计数开始)并且发生以下的触发： <ul style="list-style-type: none"> <li>• 从TAiIN引脚输入外部触发</li> <li>• 定时器B2溢出或者下溢、定时器Aj(j=i-1,在i=0时j=4)溢出或者下溢、定时器Ak(k=i+1,在i=4时k=0)溢出或者下溢</li> <li>• 将ONSF寄存器的TAiOS位置“1”(定时器开始运行)</li> </ul>
计数停止条件	<ul style="list-style-type: none"> <li>• 计数值变为“0000h”并进行再装入后</li> <li>• 将TAiS位置“0”(计数停止)</li> </ul>
中断请求产生时间	在计数值变为“0000h”时
TAiIN引脚功能	I/O端口或者触发输入
TAiOUT引脚功能	I/O端口或者脉冲输出
定时器的读	如果读TAi寄存器，读取的值为不定值。
定时器的写	<ul style="list-style-type: none"> <li>• 在计数停止时，或计数开始后第一个计数源到来之前，如果给TAi寄存器写数据，则它会被同时写入重加载寄存器和计数器中。</li> <li>• 如果在计数中(但是在输入第1次计数源后)给TAi寄存器写数据，数据就被写到重加载寄存器(在下次的再装入时传送)</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>• 脉冲输出功能</li> <li>在计数停止时输出“L”电平，在计数时输出“H”电平</li> </ul>



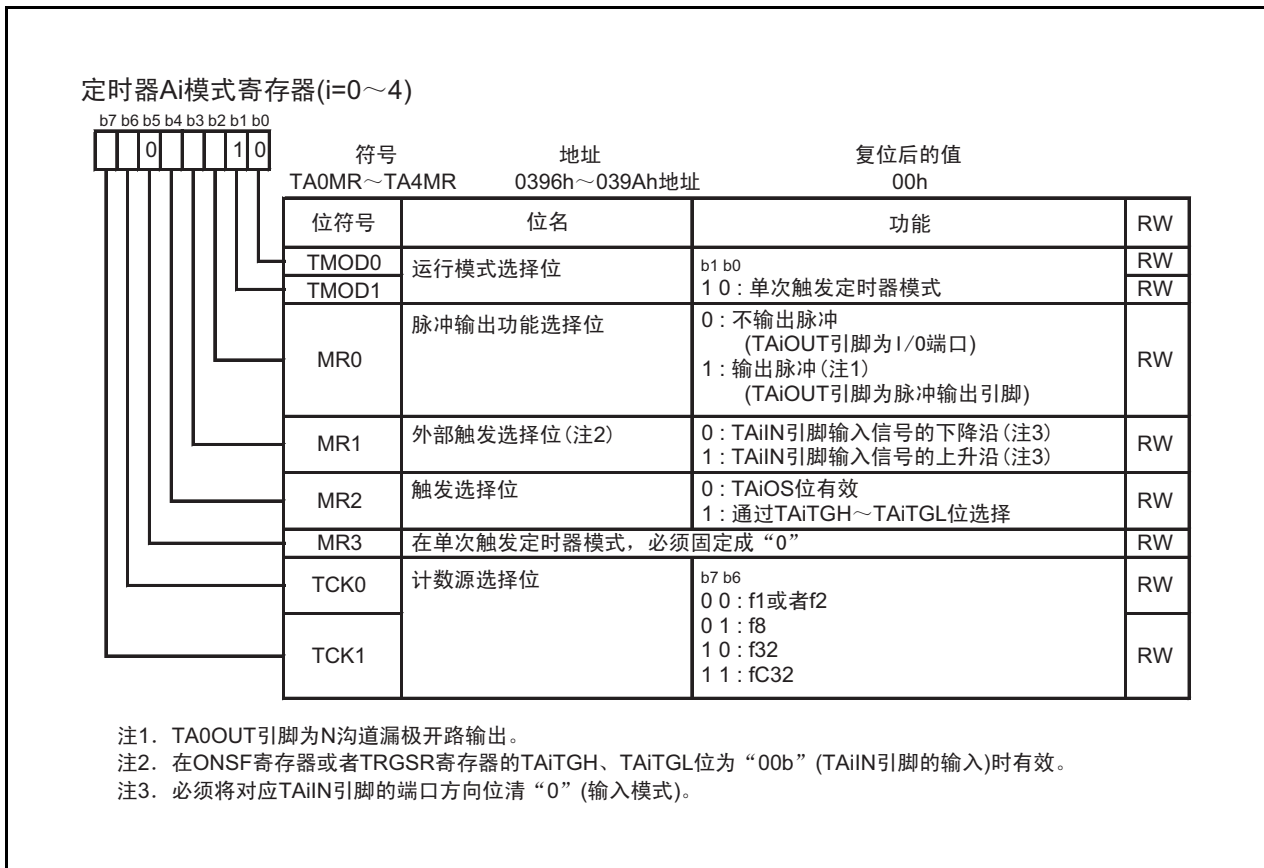


图 15. 12 单次触发定时器模式时的TAiMR 寄存器

### 15.1.4 脉宽调制模式 (PWM 模式)

脉宽调制模式是连续输出任意宽度的脉冲的模式 (表 15.5)。在此模式中, 计数器作为 16 位或 8 位脉宽调制器运行。脉宽调制模式时的  $TAiMR$  寄存器如图 15.13 所示, 16 位脉宽调制器的运行例子如图 15.14 所示, 8 位脉宽调制器的运行例子如图 15.15 所示。

表 15.5 脉宽调制模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	<ul style="list-style-type: none"> <li>• 递减计数 (作为 8 位或者 16 位脉宽调制器运行)</li> <li>• 在 PWM 脉冲的上升沿处, 定时器重加载一个新值, 并继续计数</li> <li>• 如果在计数中发生触发, 不影响计数</li> </ul>
16 位 PWM	<ul style="list-style-type: none"> <li>• “H” 电平宽度 <math>n/f_j</math> <math>n:TAi</math> 寄存器的设定值 (<math>i=0\sim 4</math>)</li> <li>• 周期 <math>(2^{16}-1)/f_j</math> 固定 <math>f_j</math>: 计数源的频率 (f1、f2、f8、f32、fC32)</li> </ul>
8 位 PWM	<ul style="list-style-type: none"> <li>• “H” 电平宽度 <math>n \times (m+1)/f_j</math> <math>n:TAi</math> 寄存器的高位地址设定值</li> <li>• 周期 <math>(2^8-1) \times (m+1)/f_j</math> <math>m:TAi</math> 寄存器的低位地址设定值</li> </ul>
计数开始条件	<ul style="list-style-type: none"> <li>• 将 TABSR 寄存器的 <math>TAiS</math> 位置 “1” (计数开始)</li> <li>• <math>TAiS</math> 位为 “1” 并且外部触发由 <math>TAiIN</math> 引脚输入</li> <li>• <math>TAiS</math> 位为 “1” 并且发生以下的触发: 定时器 B2 溢出或者下溢、定时器 <math>A_j</math> (<math>j=i-1</math>, 在 <math>i=0</math> 时 <math>j=4</math>) 溢出或者下溢、定时器 <math>A_k</math> (<math>k=i+1</math>, 在 <math>i=4</math> 时 <math>k=0</math>) 溢出或者下溢</li> </ul>
计数停止条件	将 $TAiS$ 位置 “0” (计数停止)
中断请求产生时间	在 PWM 脉冲下降沿处
$TAiIN$ 引脚功能	I/O 端口或者触发输入
$TAiOUT$ 引脚功能	脉冲输出
定时器的读	如果读 $TAi$ 寄存器, 读取的值为不定值
定时器的写	<ul style="list-style-type: none"> <li>• 在计数停止时, 或计数开始后第一个计数源到来之前, 如果给 <math>TAi</math> 寄存器写数据, 则它会被同时写入重加载寄存器和计数器中。</li> <li>• 如果在计数中 (但是在输入第 1 次计数源后) 给 <math>TAi</math> 寄存器写数据, 数据就被写到重加载寄存器 (在下次的再装入时传送)</li> </ul>

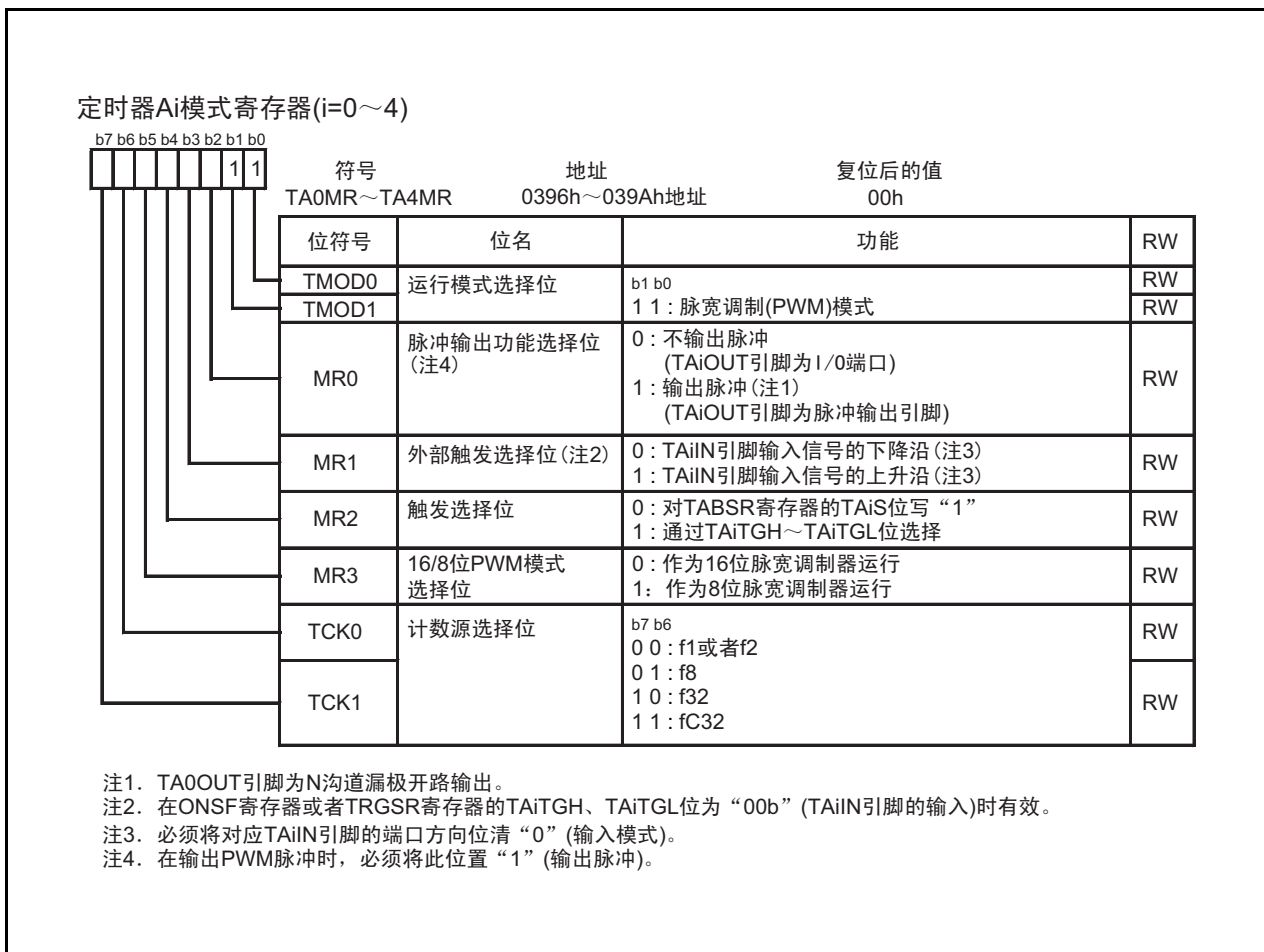


图 15. 13 脉宽调制模式时的TAiMR寄存器

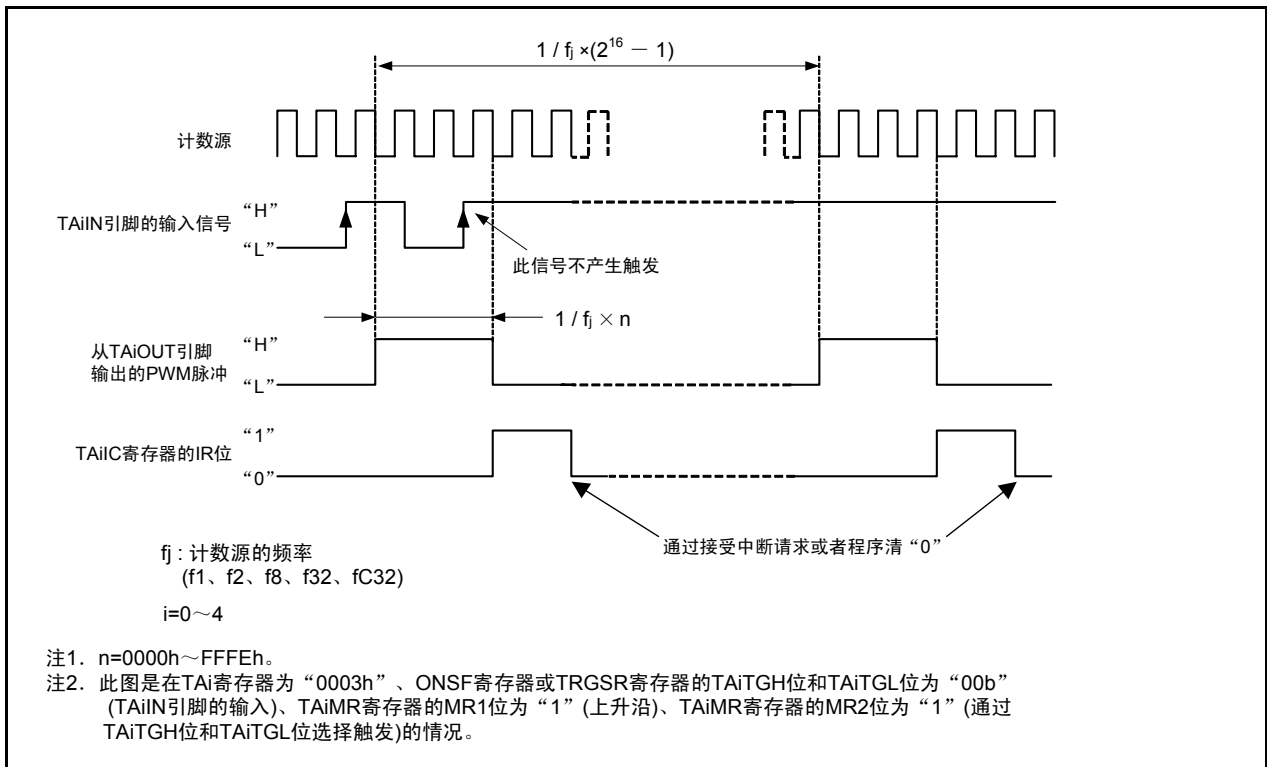


图 15.14 16位脉宽调制器的运行例子

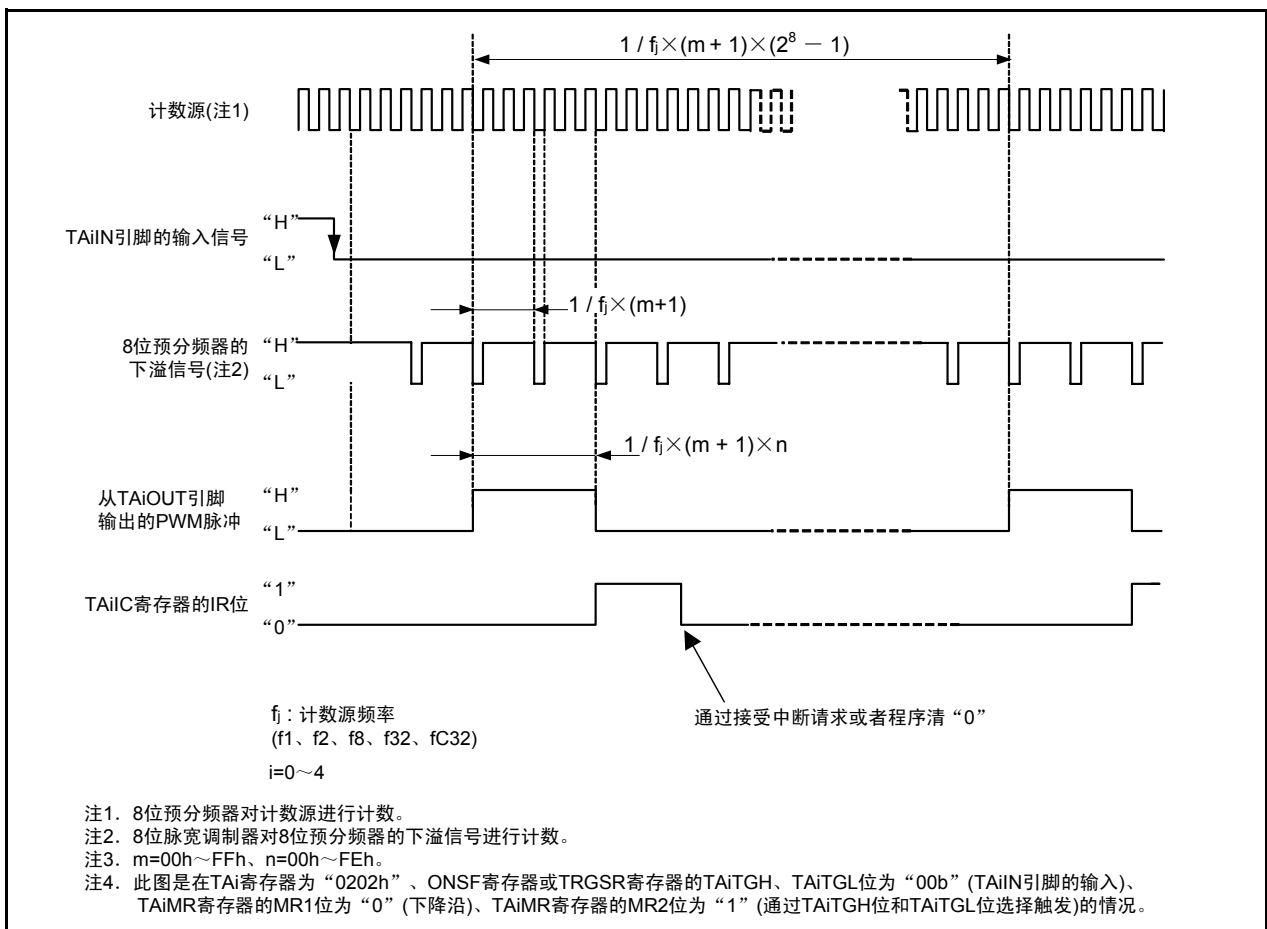


图 15.15 8位脉宽调制器的运行例子

## 15.2 定时器B

## 注意

M16C/62P(80引脚版)和M16C/62PT(80引脚版)没有定时器B1的TB1IN引脚。

## 【使用定时器B1时的注意事项】

- 事件计数器模式 不能对外部输入信号进行计数。在使用事件计数器模式时，必须将TB1MR寄存器的TCK1位置“1”。
- 脉冲周期测定/脉宽测定模式 不能使用此模式。

定时器B框图如图15.16所示，定时器B的关联寄存器如图15.17、图15.18所示。

定时器B有以下3种模式，能通过TbiMR寄存器(i=0~5)的TMOD1~TMOD0位选择模式。

- 定时器模式 对内部计数源进行计数的模式
- 事件计数器 对来自外部的脉冲、其它定时器的溢出或者其它定时器的下溢进行计数的模式
- 脉冲周期测定模式、脉宽测定模式 测定外部脉冲周期或者脉宽的模式

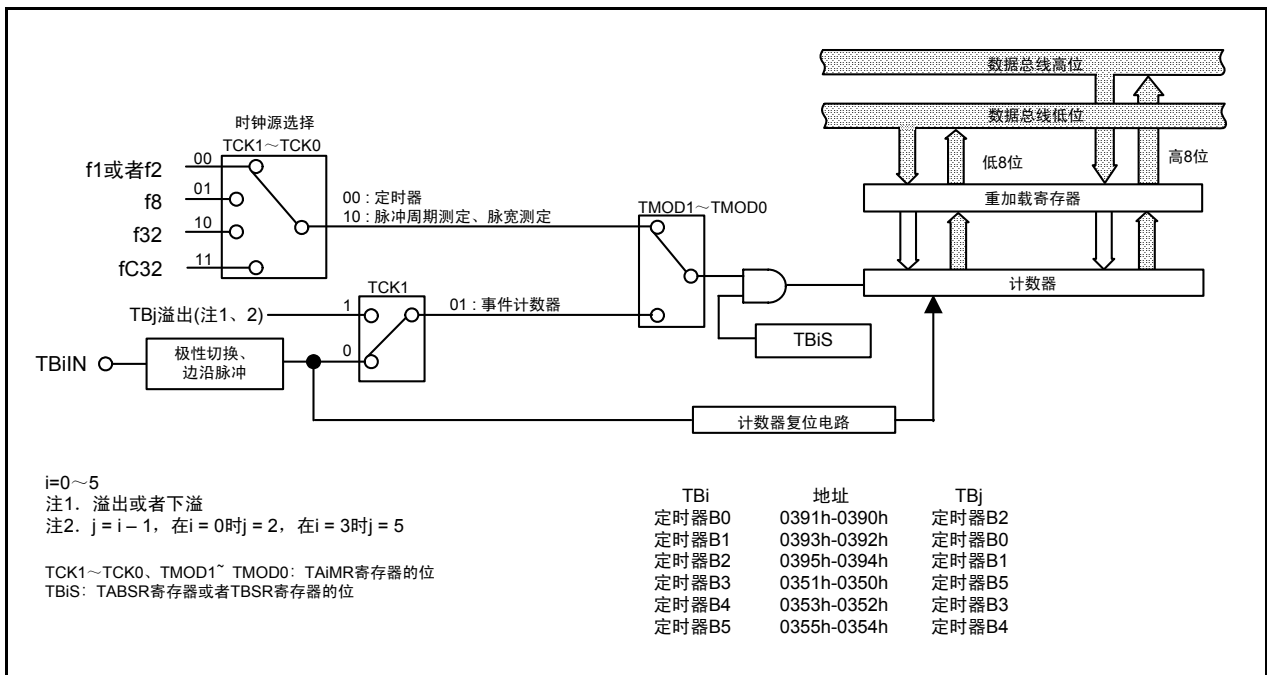


图15.16 定时器B框图

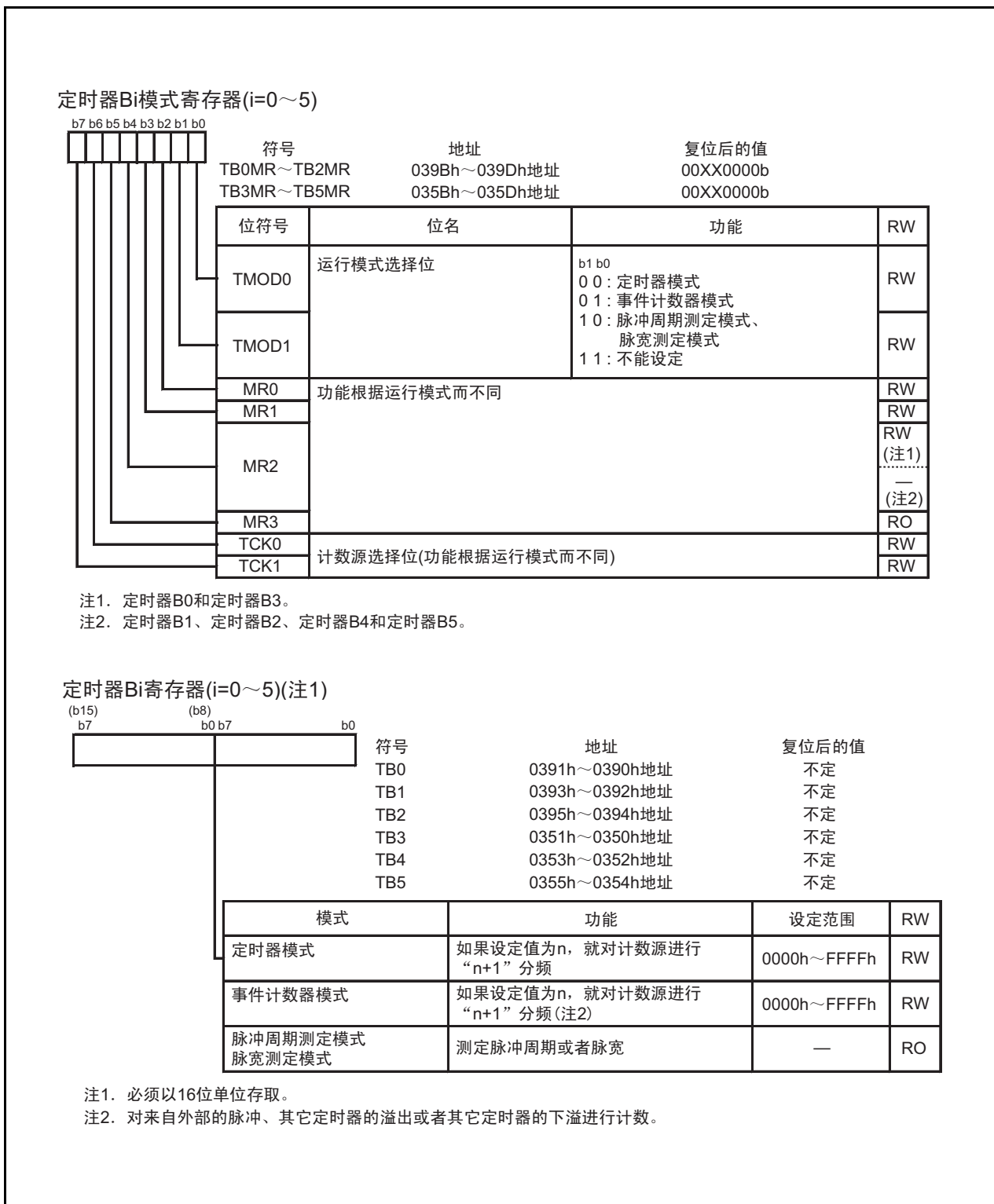


图 15.17 TB0MR~TB5MR、TB0~TB5 寄存器

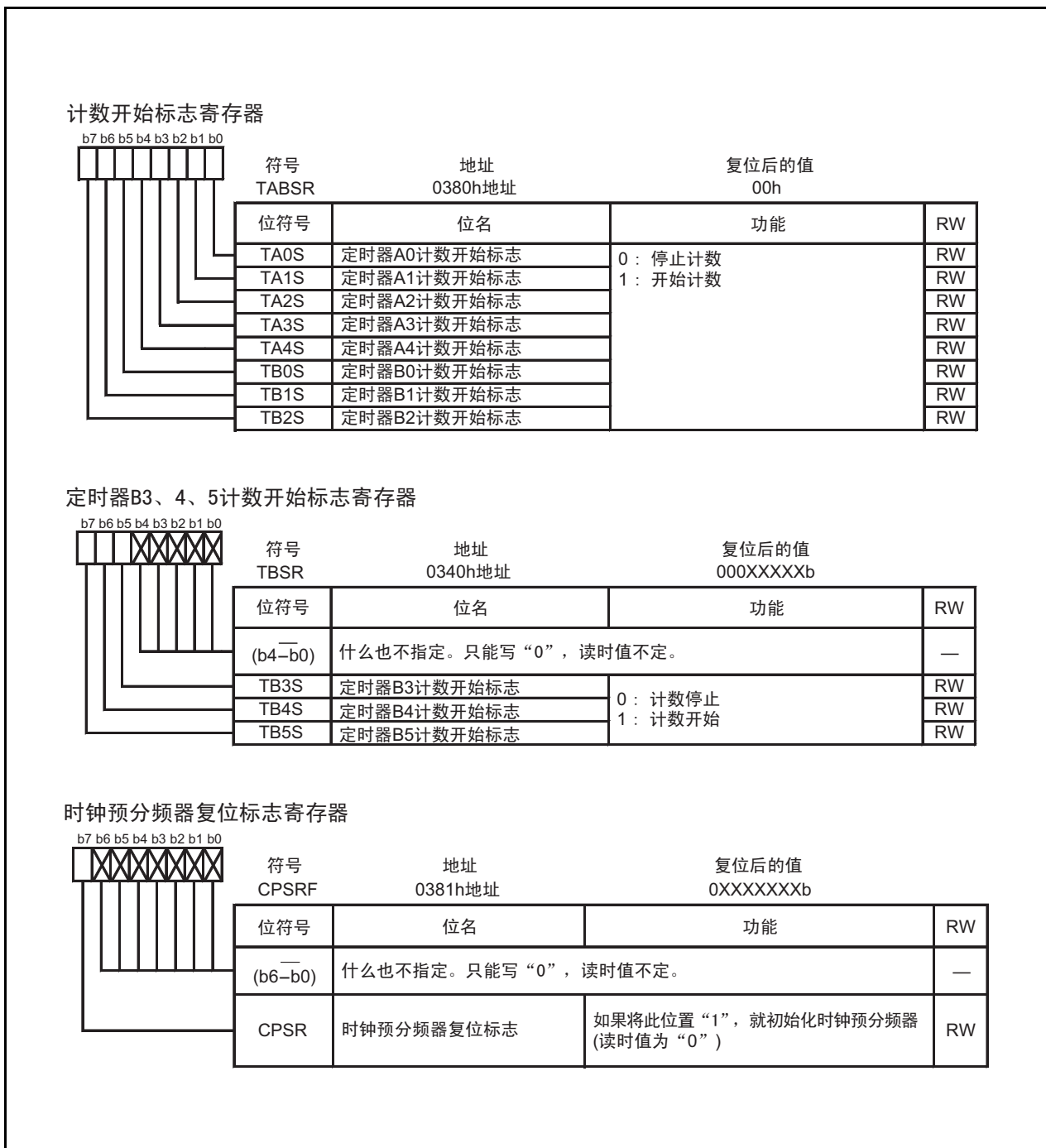


图 15.18 TABSR、TBSR、CPSRF 寄存器

### 15.2.1 定时器模式

定时器模式是对在内部生成的计数源进行计数的模式(表15.6)。定时器模式时的TBiMR寄存器如图15.19所示。

表15.6 定时器模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	<ul style="list-style-type: none"> <li>• 递减计数</li> <li>• 下溢时，将重加载寄存器的内容再装入后继续计数</li> </ul>
分频比	1/(n+1) n: TBi寄存器的设定值(i=0~5) 0000h~FFFFh
计数开始条件	将TBi位(注1)置“1”(计数开始)
计数停止条件	将TBi位置“0”(计数停止)
中断请求产生时间	下溢时
TBi IN引脚功能	I/O端口
定时器的读	读TBi寄存器，可读取计数值
定时器的写	<ul style="list-style-type: none"> <li>• 在计数停止时，或计数开始后第一个计数源到来之前，如果给TBi寄存器写数据，则它会被同时写入重加载寄存器和计数器中</li> <li>• 如果在计数中(但是在输入第1次计数源后)给TBi寄存器写数据，数据就被写到重加载寄存器(在下次的再装入时传送)</li> </ul>

注1. TB0S~TB2S位是TABSRS寄存器的位5~7，TB3S~TB5S位是TBSRS寄存器的位5~7。

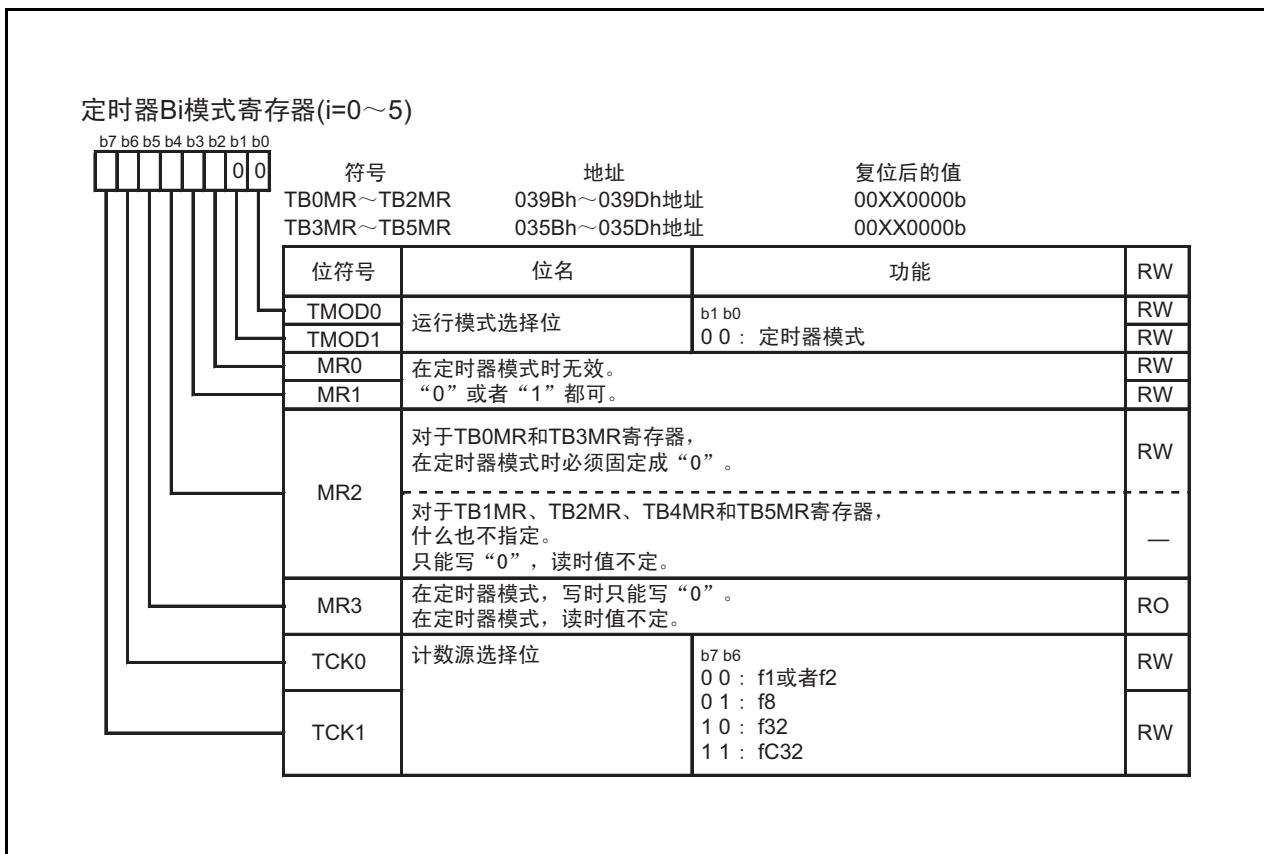


图15.19 定时器模式时的TBiMR寄存器



### 15.2.2 事件计数器模式

事件计数器模式是对外部信号、其它定时器的溢出或者其它定时器的下溢进行计数的模式(表15.7)。事件计数器模式时的TBiMR寄存器如图15.20所示。

表15.7 事件计数器模式的规格

项目	规格
计数源	<ul style="list-style-type: none"> <li>• 输入到TBiIN引脚(i=0~5)的外部信号(对计数源的有效边沿,可通过程序选择上升沿、下降沿或者上升/下降两边沿)</li> <li>• 定时器Bj的溢出或者下溢(j=i-1,在i=0时j=2,在i=3时j=5)</li> </ul>
计数运行	<ul style="list-style-type: none"> <li>• 递减计数</li> <li>• 下溢时,将重加载寄存器的内容再装入后继续计数</li> </ul>
分频比	$1/(n+1)$ n:TBi寄存器的设定值0000h~FFFFh
计数开始条件	将TBiS位(注1)置“1”(计数开始)
计数停止条件	将TBiS位置“0”(计数停止)
中断请求产生时间	下溢时
TBiIN引脚功能	计数源输入
定时器的读	读TBi寄存器,可读取计数值
定时器的写	<ul style="list-style-type: none"> <li>• 在计数停止时,或计数开始后第一个计数源到来之前,如果给TBi寄存器写数据,则它会被同时写入重加载寄存器和计数器中</li> <li>• 如果在计数中(但是在输入第1次计数源后)给TBi寄存器写数据,数据就被写到重加载寄存器(在下次的再装入时传送)</li> </ul>

注1. TB0S~TB2S位是TABSRR寄存器的bit5~7, TB3S~TB5S位是TBSRR寄存器的bit5~7。

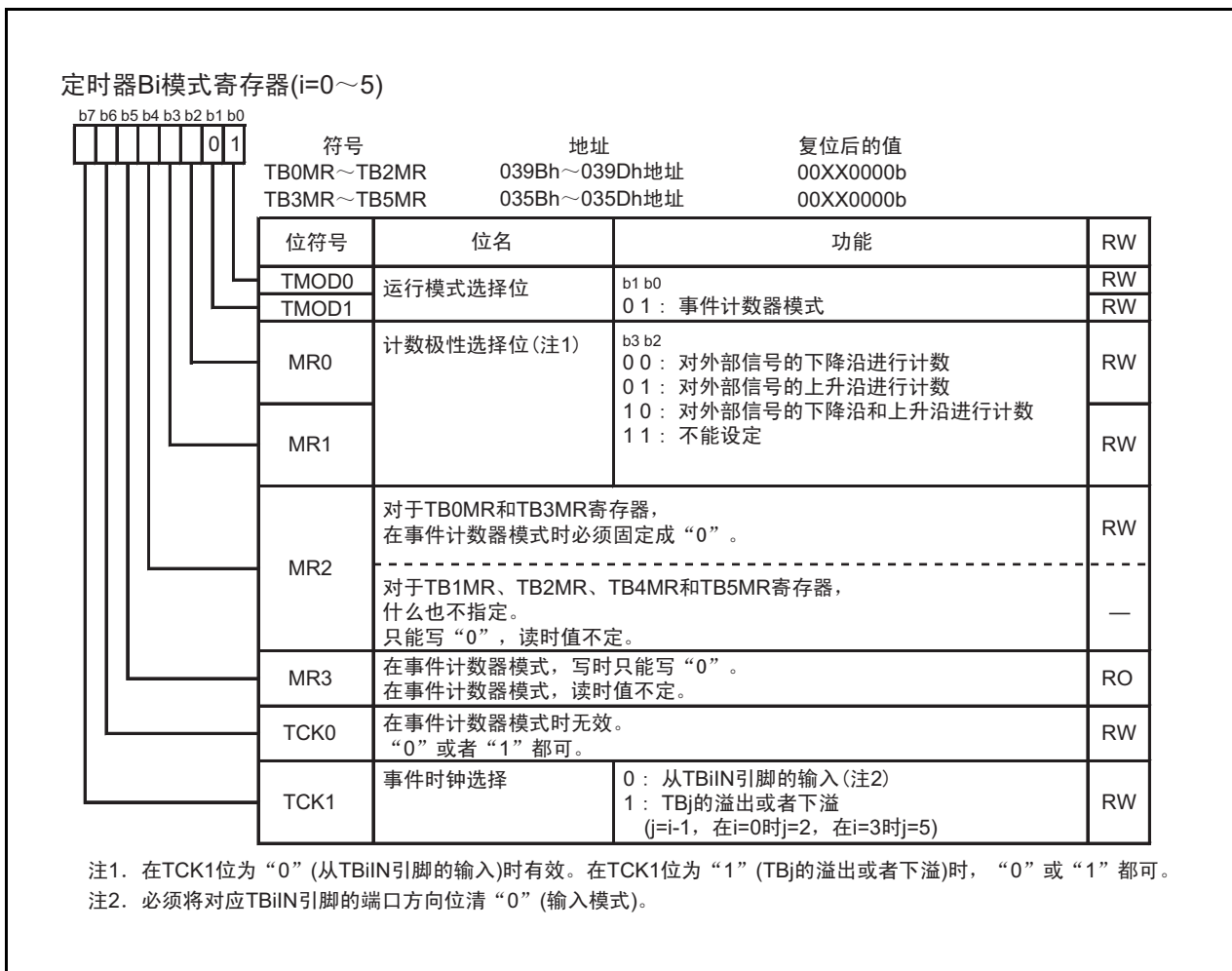


图 15.20 事件计数器模式时的TBiMR寄存器

### 15.2.3 脉冲周期测定模式、脉宽测定模式

脉冲周期测定模式、脉宽测定模式是测定外部信号的脉冲周期或者脉宽的模式（表 15.8）。脉冲周期测定模式、脉宽测定模式时的 TBiMR 寄存器如图 15.21 所示。脉冲周期测定时的运行图如图 15.22 所示，脉宽测定时的运行图如图 15.23 所示。

表 15.8 脉冲周期测定模式、脉宽测定模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	<ul style="list-style-type: none"> <li>• 递增计数</li> <li>• 在测定脉冲的有效边沿，将计数器的值传送到重加载寄存器，然后将计数器的值置“0000h”，继续计数</li> </ul>
计数开始条件	• 将 TBiS 位 (i=0~5) (注3) 置“1” (计数开始)
计数停止条件	• 将 TBiS 位置“0” (计数停止)
中断请求产生时间	<ul style="list-style-type: none"> <li>• 输入测定脉冲的有效边沿时 (注1)</li> <li>• 溢出时。与溢出同时 TBiMR 寄存器的 MR3 位变为“1” (有溢出)。在 TBiS 位为“1” (计数开始) 时，如果在 MR3 位变为“1”的下次计数时序以后写 TBi MR 寄存器，MR3 位就变为“0” (没有溢出)。</li> </ul>
TBi IN 引脚功能	测定脉冲输入
定时器的读	读 TBi 寄存器，可读取重加载寄存器的内容 (测定结果) (注2)
定时器的写	给 TBi 寄存器写的值既不被写到重加载寄存器也不被写到计数器。

注1. 在计数开始后输入第1次有效边沿时，不发生中断请求。

注2. 在计数开始后到输入第2次有效边沿前，从 TBi 寄存器读取的值不定。

注3. TB0S~TB2S 位是 TABSR 寄存器的 bit5~7，TB3S~TB5S 位是 TBSR 寄存器的 bit5~7。

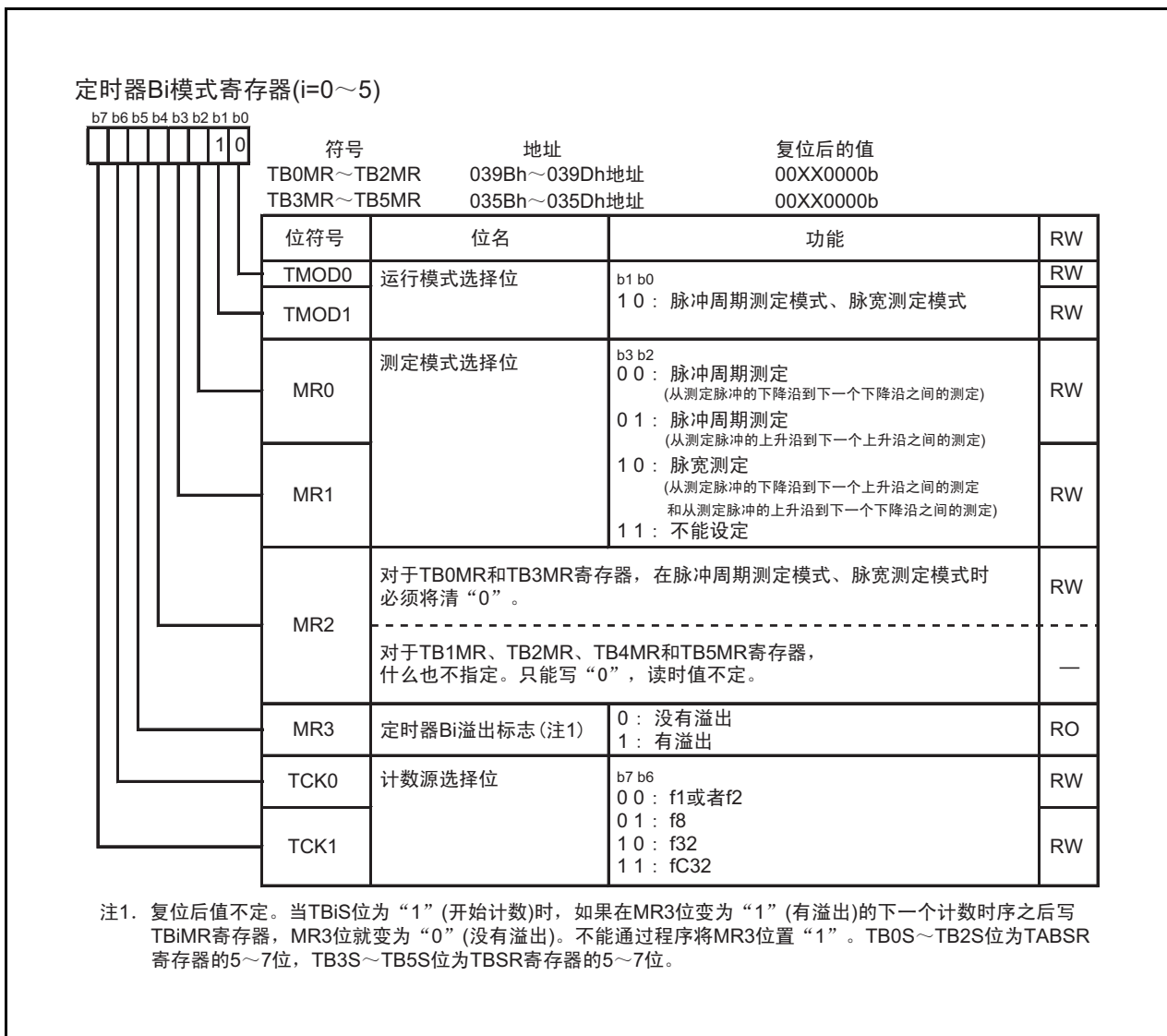


图 15.21 脉冲周期测定模式、脉宽测定模式时的TBiMR寄存器

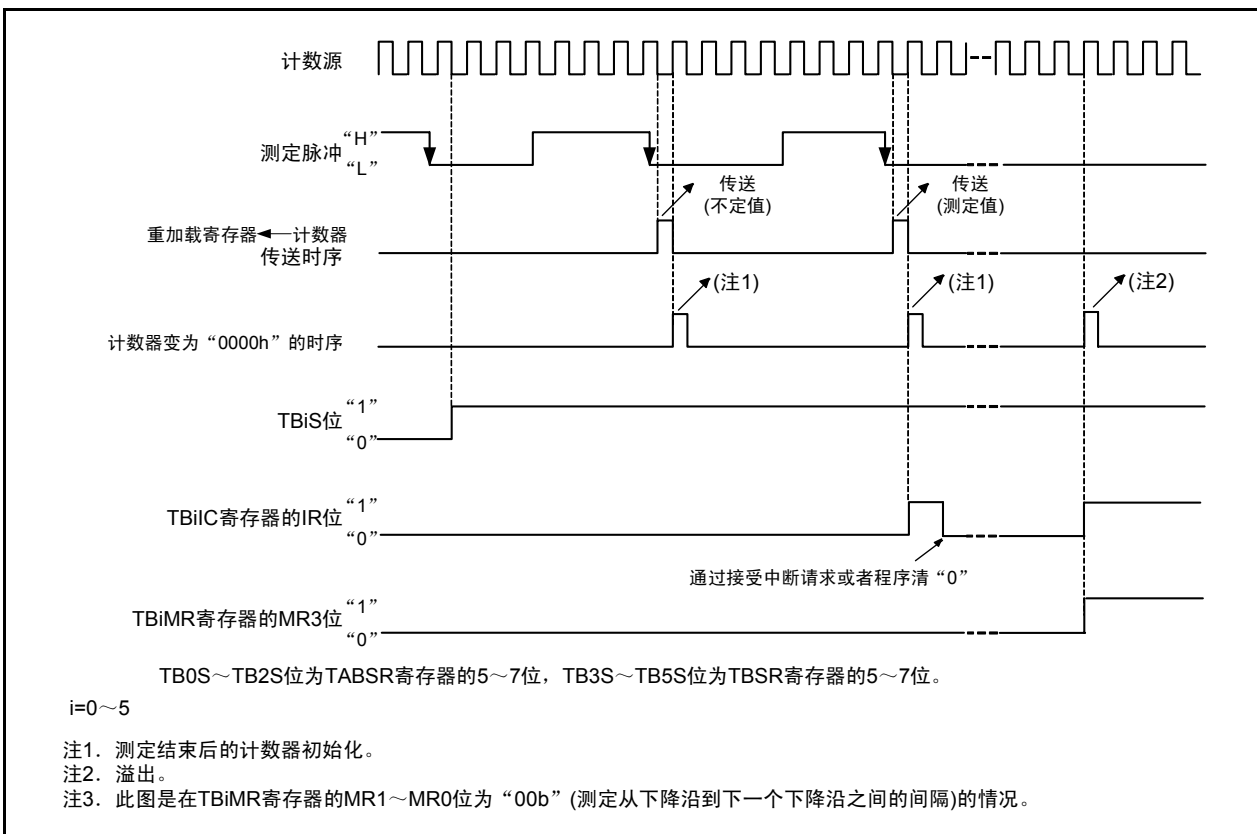


图 15.22 脉冲周期测定时的运行图

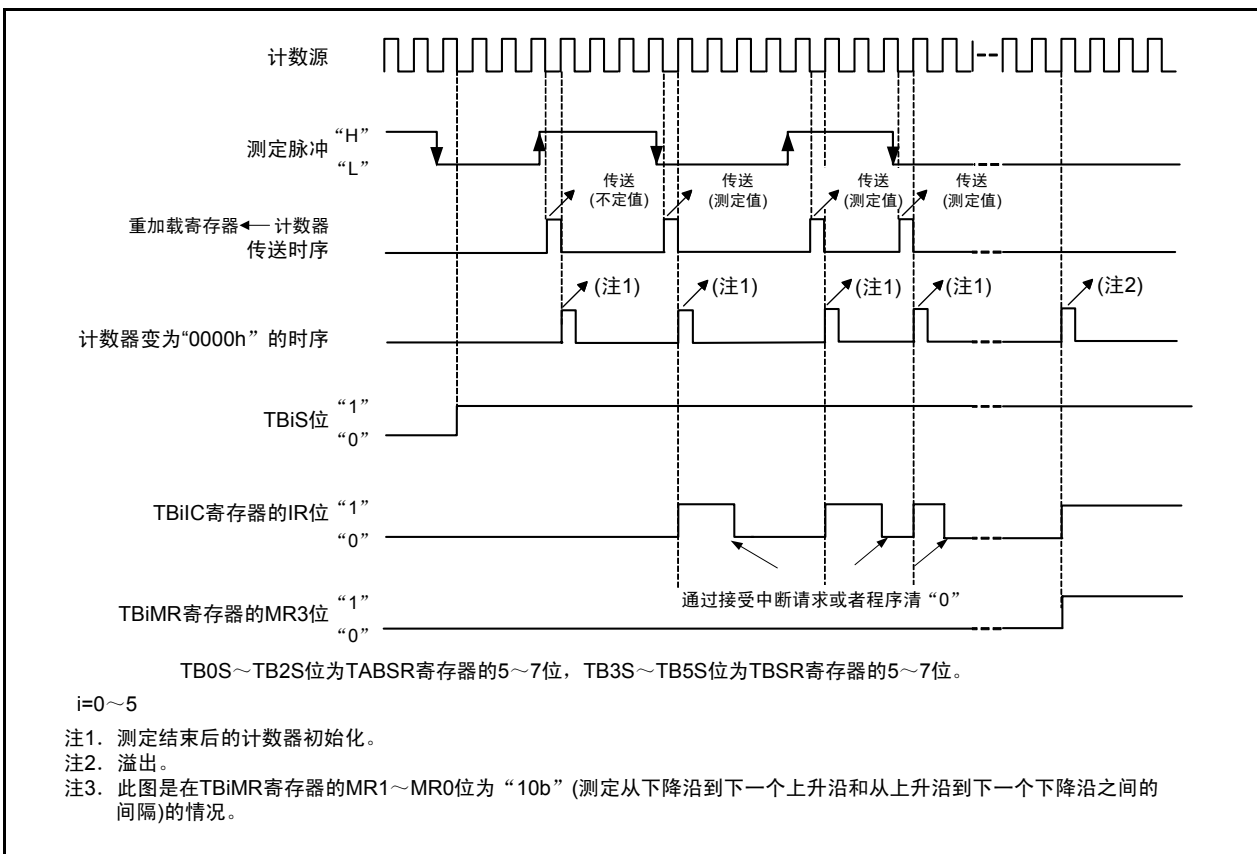


图 15.23 脉宽测定时的运行图



## 16. 用于三相马达控制的定时器功能

### 注意

对于M16C/62P(80引脚版)和M16C/62PT(80引脚版)，不能使用此功能。

能使用定时器A1、A2、A4、B2输出三相马达驱动波形。用于三相马达控制的定时器功能的规格如表16.1所示，用于三相马达控制的定时器功能的框图如图16.1所示。另外，用于三相马达控制的定时器功能的关联寄存器如图16.2～图16.7所示。

表16.1 用于三相马达控制的定时器功能的规格

项 目	规 格
三相波形输出引脚	6个(U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ )
强制切断输入(注1)	将NMI引脚接“L”电平
使用的定时器	定时器A4、A1、A2(用于单次触发定时器模式) 定时器A4:U、 $\bar{U}$ 相波形控制 定时器A1:V、 $\bar{V}$ 相波形控制 定时器A2:W、 $\bar{W}$ 相波形控制 定时器B2(用于定时器模式) 载波周期控制 死区时间定时器(3个8位定时器，共享重加载寄存器) 短路防止时间控制
输出波形	三角波调制、锯齿波调制 • 可在1个周期中输出“H”电平或者“L”电平 • 可独立设定正相电平和反相电平
载波周期	三角波调制: 计数源 $\times(m+1)\times 2$ 锯齿波调制: 计数源 $\times(m+1)$ m: TB2寄存器设定值。0000h~FFFFh 计数源: f1、f2、f8、f32、fC32
三相PWM输出宽度	三角波调制: 计数源 $\times n\times 2$ 锯齿波调制: 计数源 $\times n$ n: TA4、TA1、TA2寄存器的设定值(INV11为“1”时，TA4、TA41、TA1、TA11、TA2、TA21)。0001h~FFFFh 计数源: f1、f2、f8、f32、fC32
短路防止时间(宽度)	计数源 $\times p$ 或者没有短路防止时间 p: DTT寄存器的设定值。01h~FFh 计数源: f1、f2、f1的2分频、f2的2分频
有效电平	可选择“H”电平或者“L”电平
正反相同时有效禁止功能	有正反相同时有效禁止功能。有正反相同时有效检测功能。
中断频率	对于定时器B2中断，选择1个载波周期~15个载波周期

注1. 通过NMI输入强制切断功能在TB2SC寄存器的IVPCR1位为“1”(允许通过NMI引脚的输入进行三相输出的强制切断)时有效。如果在IVPCR1位为“1”时将NMI引脚接“L”电平，对象引脚就与当前使用功能无关而变为高阻抗状态。

对象引脚: P7\_2/CLK2/TA1OUT/V、P7\_3/ $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ /TA1IN/ $\bar{V}$ 、P7\_4/TA2OUT/W、P7\_5/TA2IN/ $\bar{W}$ 、P8\_0/TA4OUT/U、P8\_1/TA4IN/ $\bar{U}$

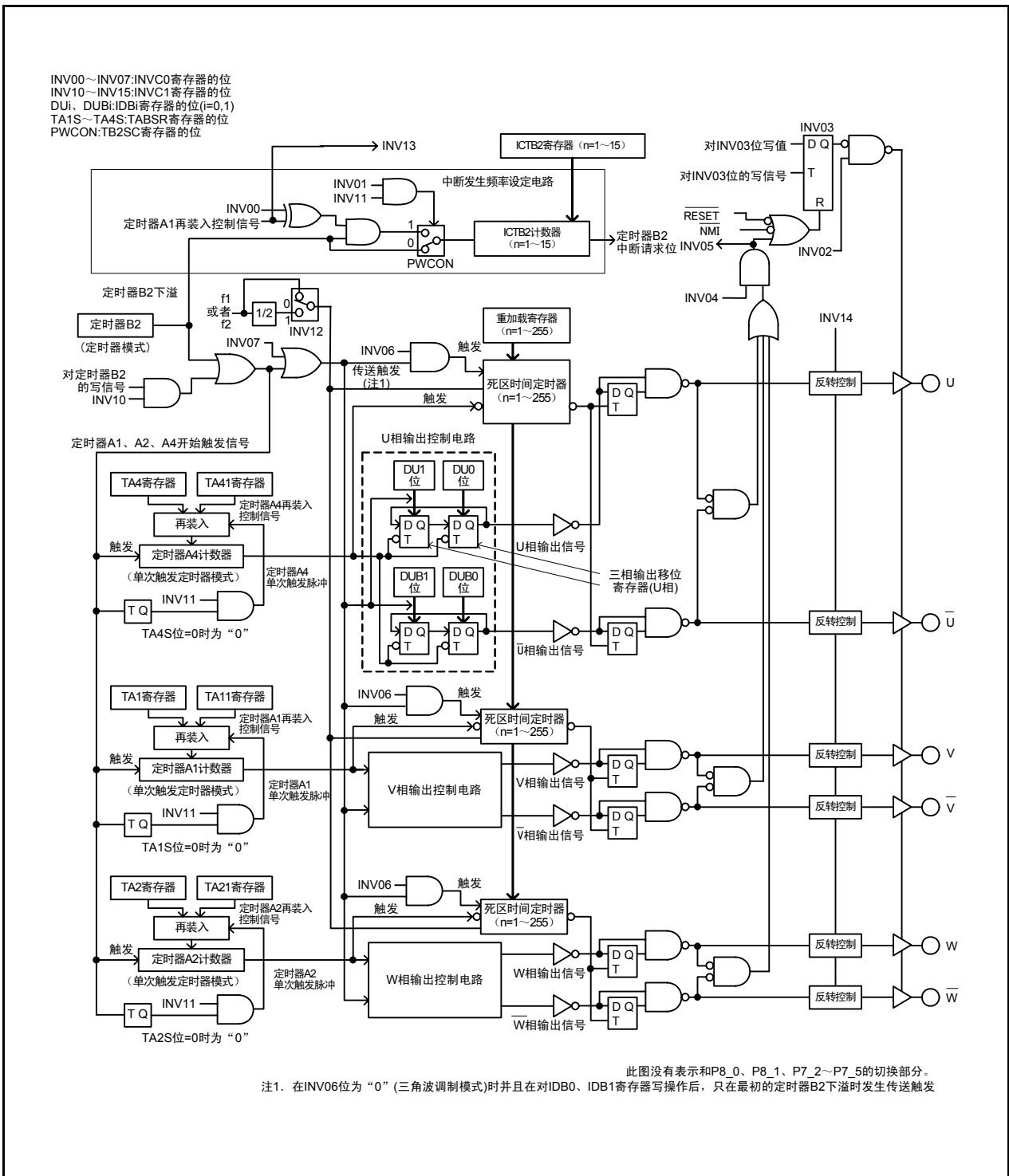


图 16.1 用于三相马达控制的定时器功能的框图



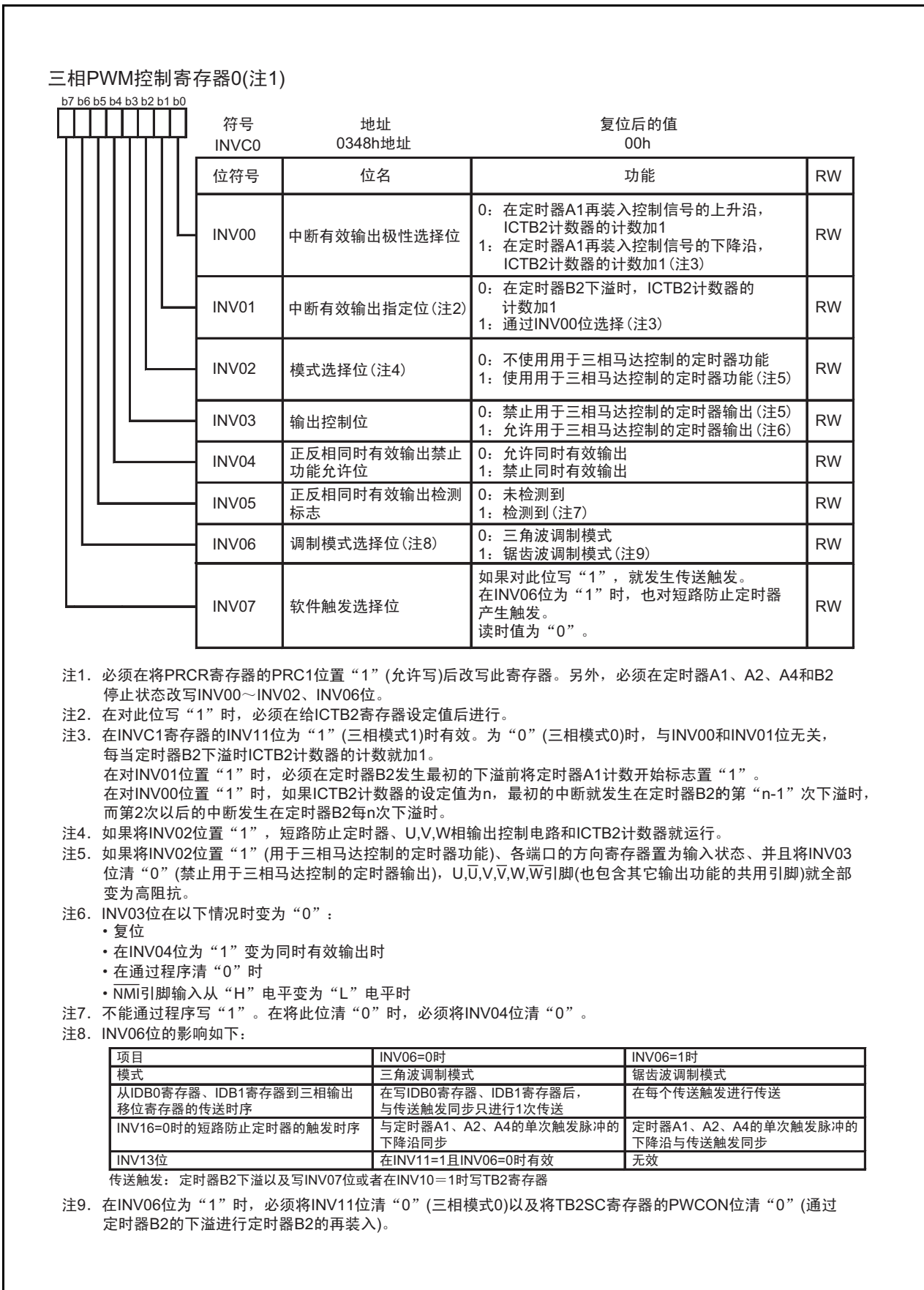


图 16.2 INVC0 寄存器



图 16.3 INVC1 寄存器

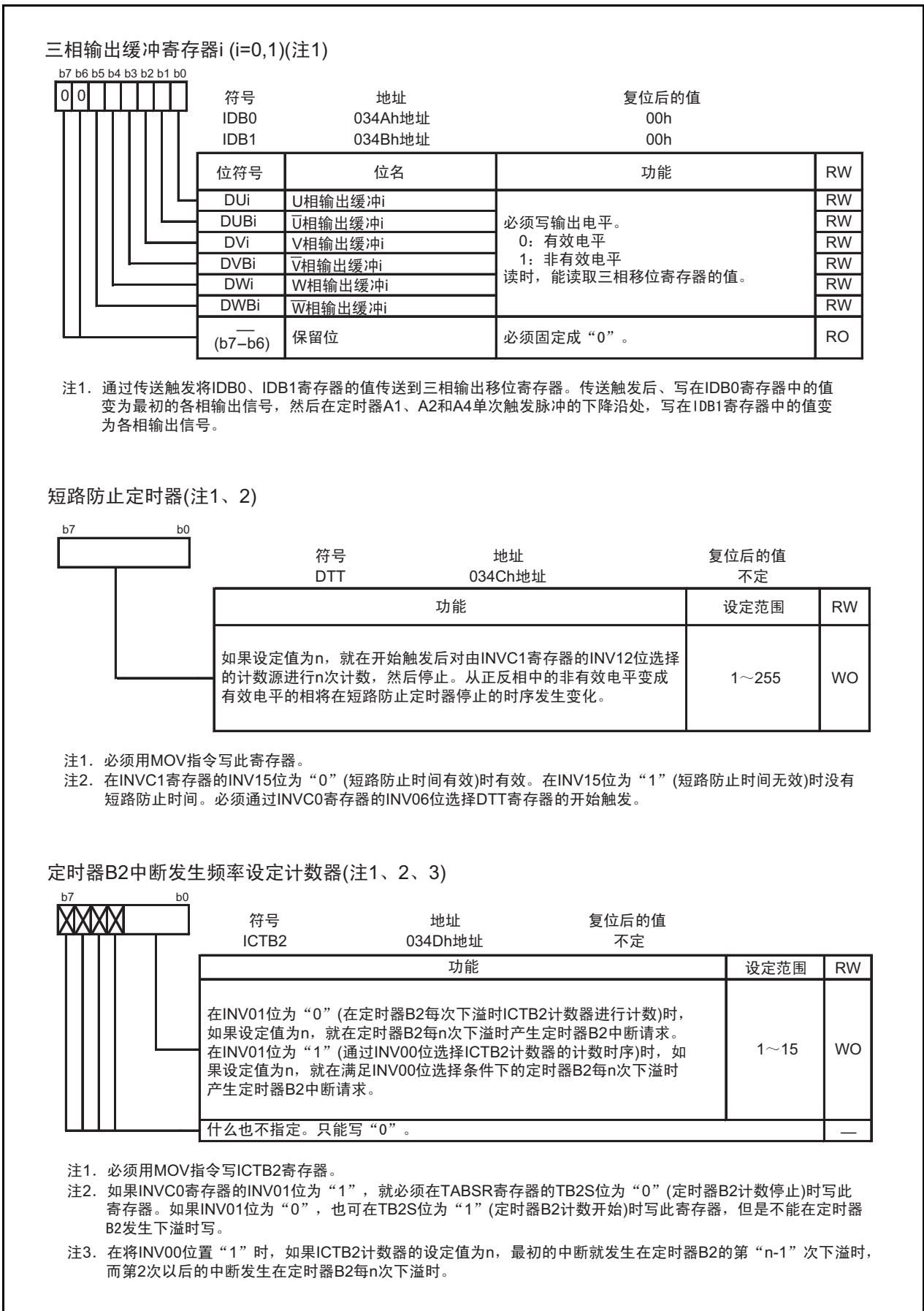


图 16.4 IDB0、IDB1、DTT、ICTB2 寄存器

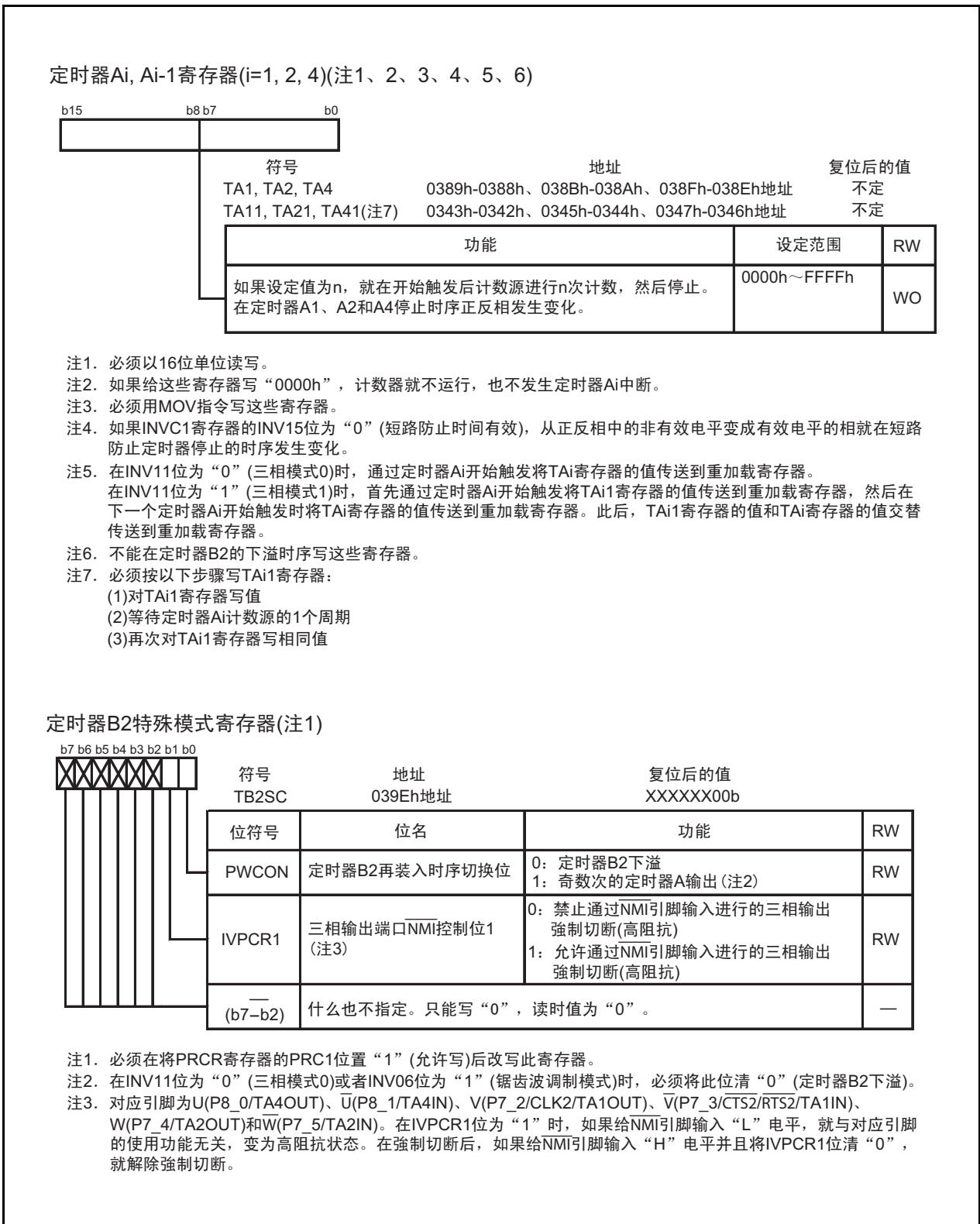


图16.5 TA1、TA2、TA4、TA11、TA21、TA41、TB2SC寄存器

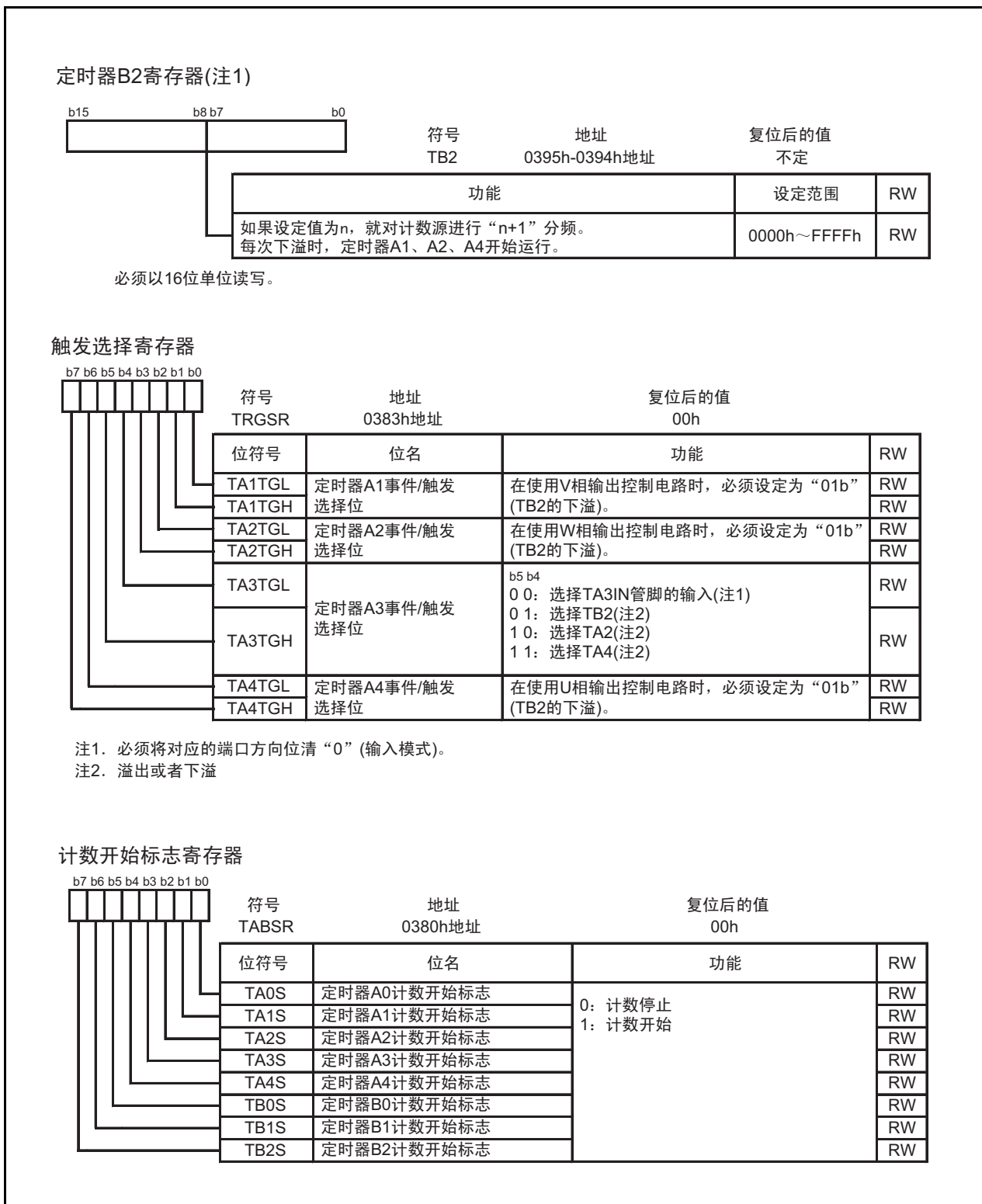


图 16.6 TB2、TRGSR、TABSR 寄存器

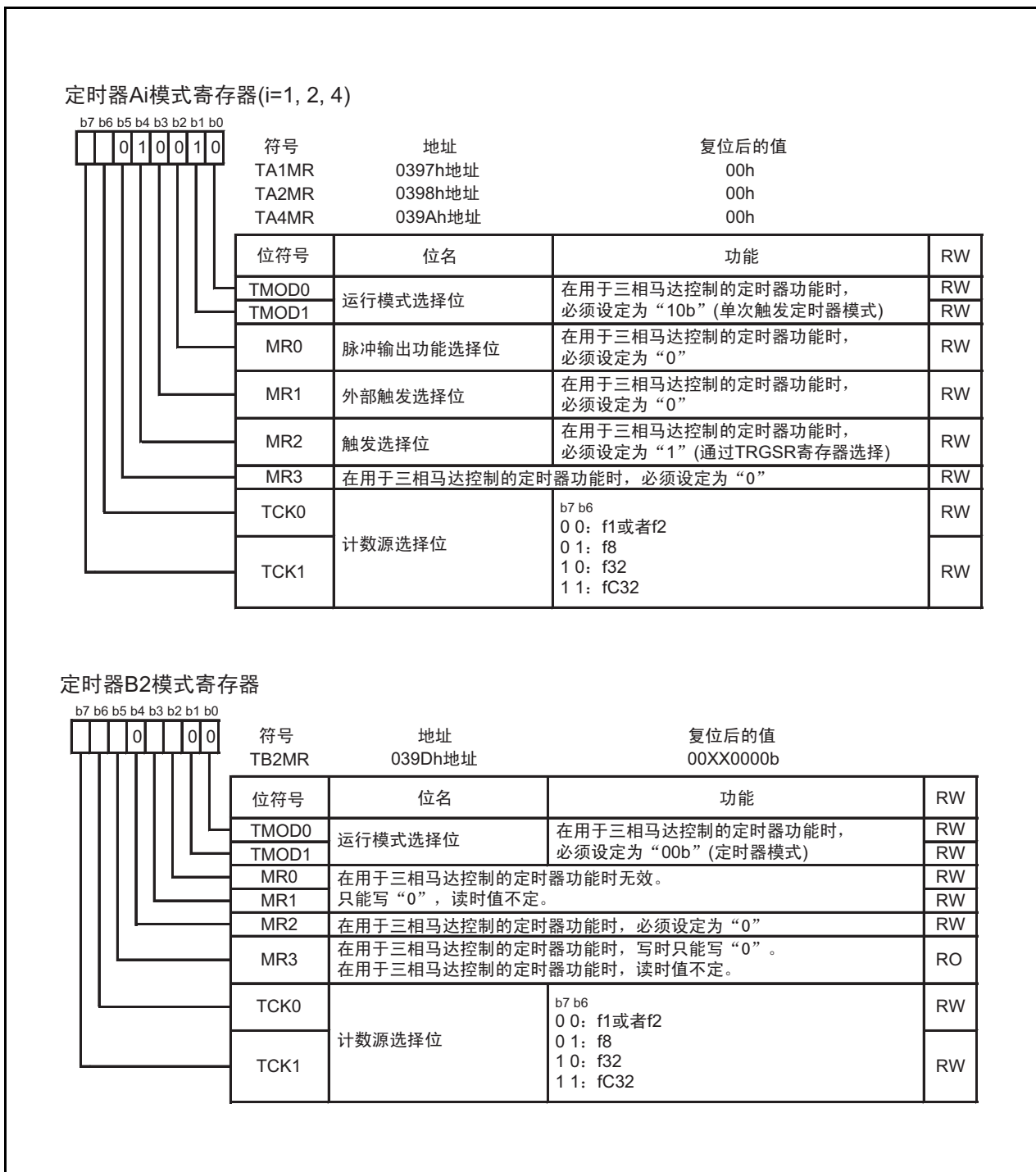


图 16.7 TA1MR、TA2MR、TA4MR、TB2MR 寄存器

如果将INVC0寄存器的INV02位置“1”，就变为用于三相马达控制的定时器功能。在此功能中，定时器B2用于载波控制，定时器A4、A1、A2用于三相PWM输出(U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ )的控制。短路防止时间由专用死区时间定时器控制。三角波调制波形的例子如图16.8所示，锯齿波调制波形的例子16.9所示。

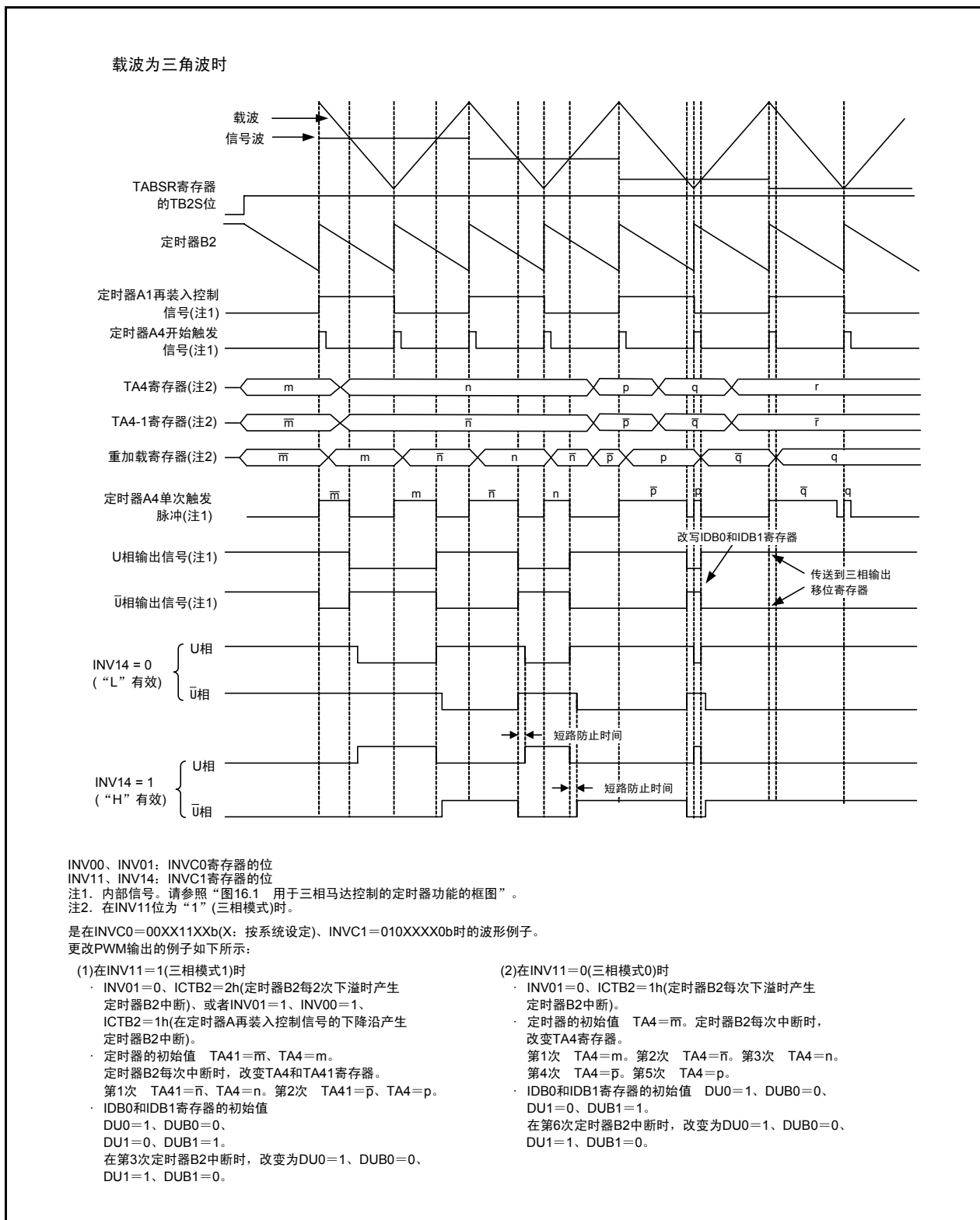


图 16.8 三角波调制运行的例子



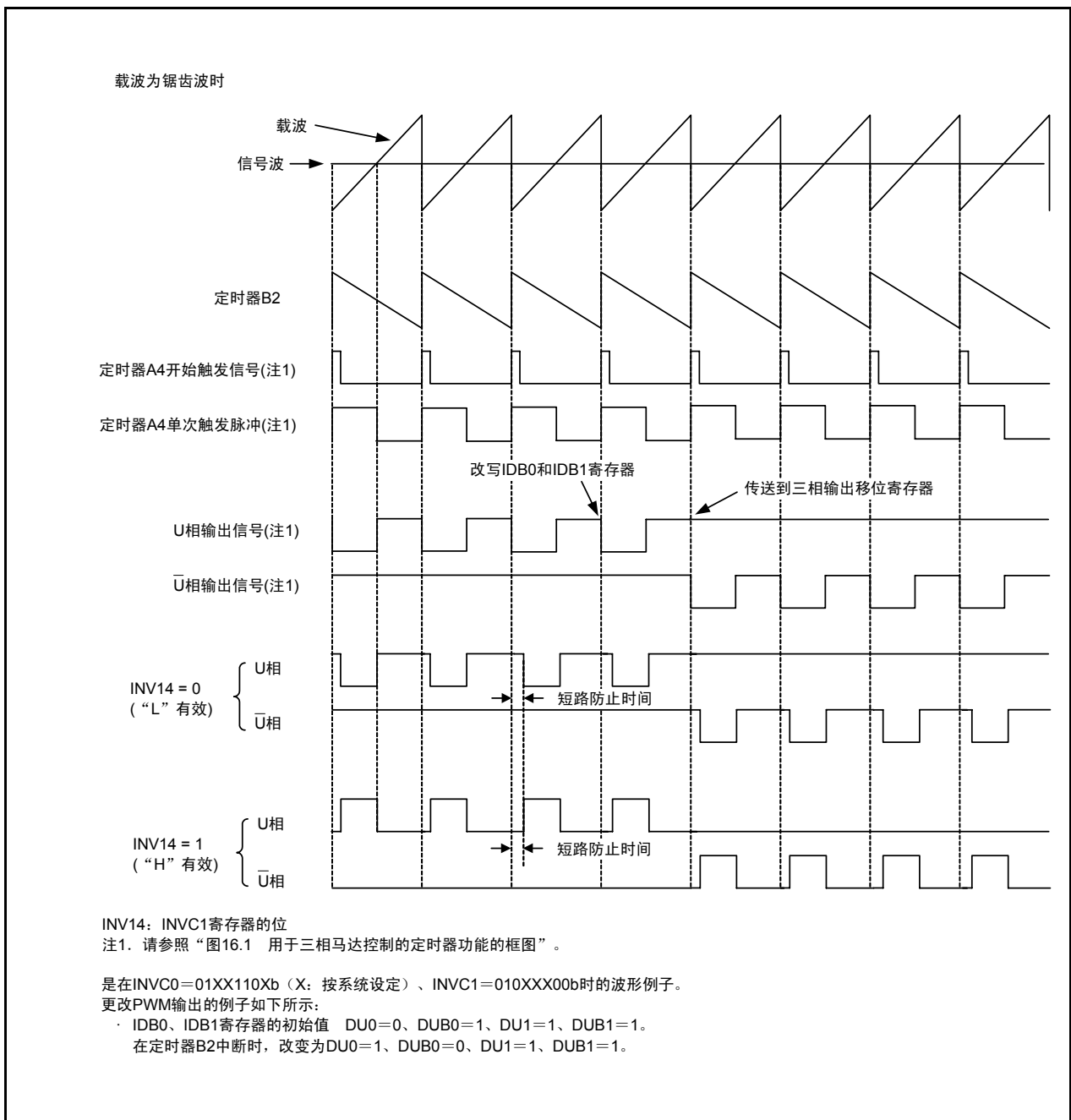


图 16.9 锯齿波调制的例子



## 17. 串行I/O

### 注意

M16C/62P(80引脚版)和M16C/62PT(80引脚版)没有CLK2、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 、SIN3引脚,不能使用需要这些引脚的功能。

串行I/O由UART0~UART2、SI/03、SI/04的5个通道构成。  
以下分别进行说明。

### 17.1 UARTi (i=0~2)

#### 注意

M16C/62P(80引脚版)和M16C/62PT(80引脚版)没有UART2的CLK2、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 引脚。

#### 【使用UART2时的注意事项】

- |                     |  |
|---------------------|--|
| • 时钟同步串行I/O模式       | 不能使用。  |
| • 异步串行I/O模式(UART模式) | 不能使用 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 功能和传送时钟的外部时钟选择。在使用UART模式时,必须将U2MR寄存器的CKDIR位置“0”、U2C0寄存器的CRD位置“1”。 |
| • 特殊模式2             | 不能使用睡眠模式。在使用特殊模式2时,必须将U2MR寄存器的CKDIR位置“0”。  |
| • 特殊模式3             | 不能使用外部时钟作为传送时钟。在使用特殊模式3时,必须将U2MR寄存器的CKDIR位置“0”。  |
| • 特殊模式4(SIM模式)      | 不能使用外部时钟作为传送时钟。在使用特殊模式4(SIM模式)时,必须将U2MR寄存器的CKDIR位置“0”。   |

UARTi 分别具有专用的传送时钟发生定时器,独立运行。

UARTi 框图如图 17.1~图 17.3 所示, UARTi 发送部和接收部的框图如图 17.4 所示。

UARTi 有以下模式:

- 时钟同步串行I/O模式
- 异步串行I/O模式(UART模式)
- 特殊模式1(I<sup>2</sup>C模式)
- 特殊模式2
- 特殊模式3(总线冲突检测功能、IE模式)
- 特殊模式4(SIM模式):UART2

UARTi 关联的寄存器如图 17.5~图 17.11 所示。

有关寄存器的设定,请参照各模式说明中的列表。

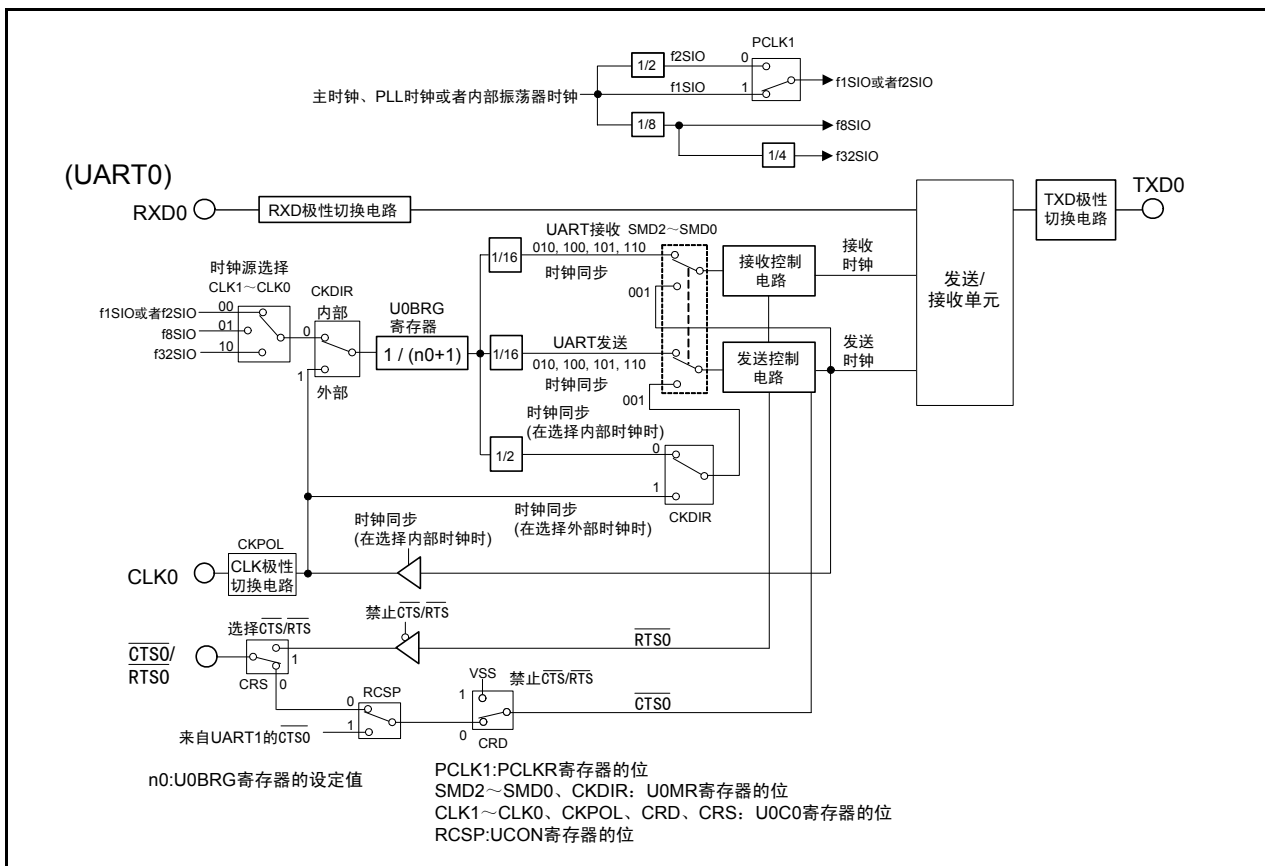


图 17.1 UART0框图

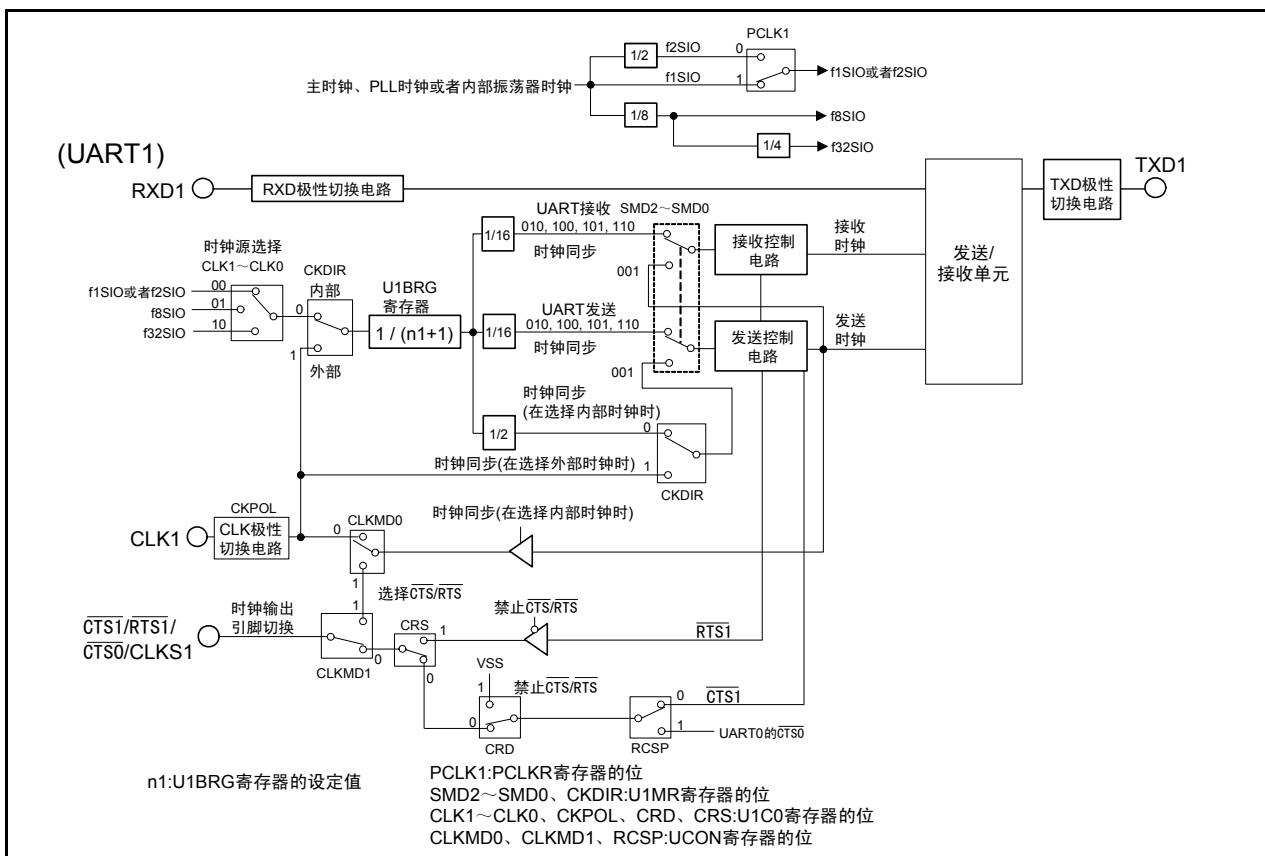


图 17.2 UART1框图

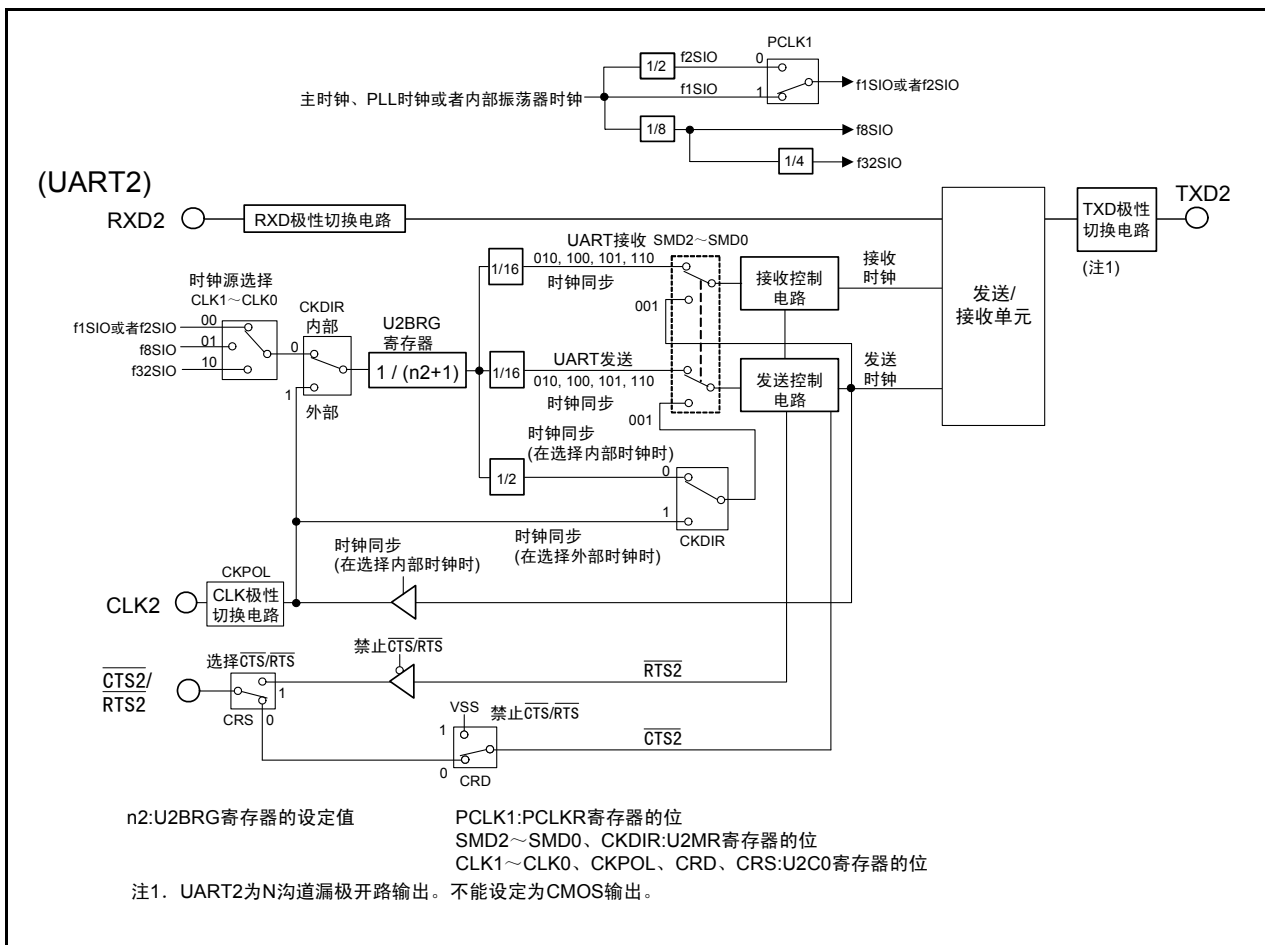


图 17.3 UART2框图

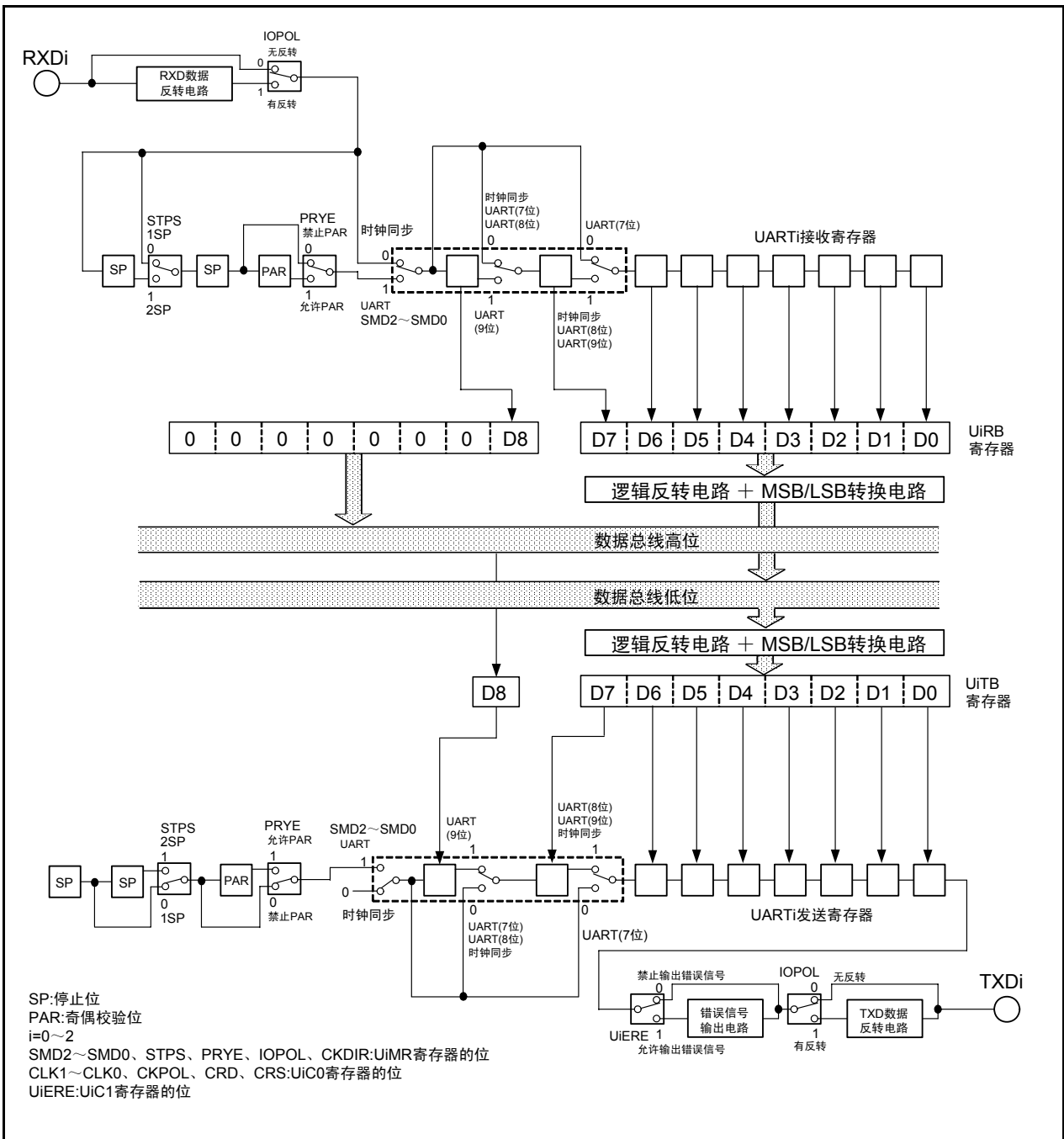


图 17.4 UARTi 发送单元和接收单元的框图

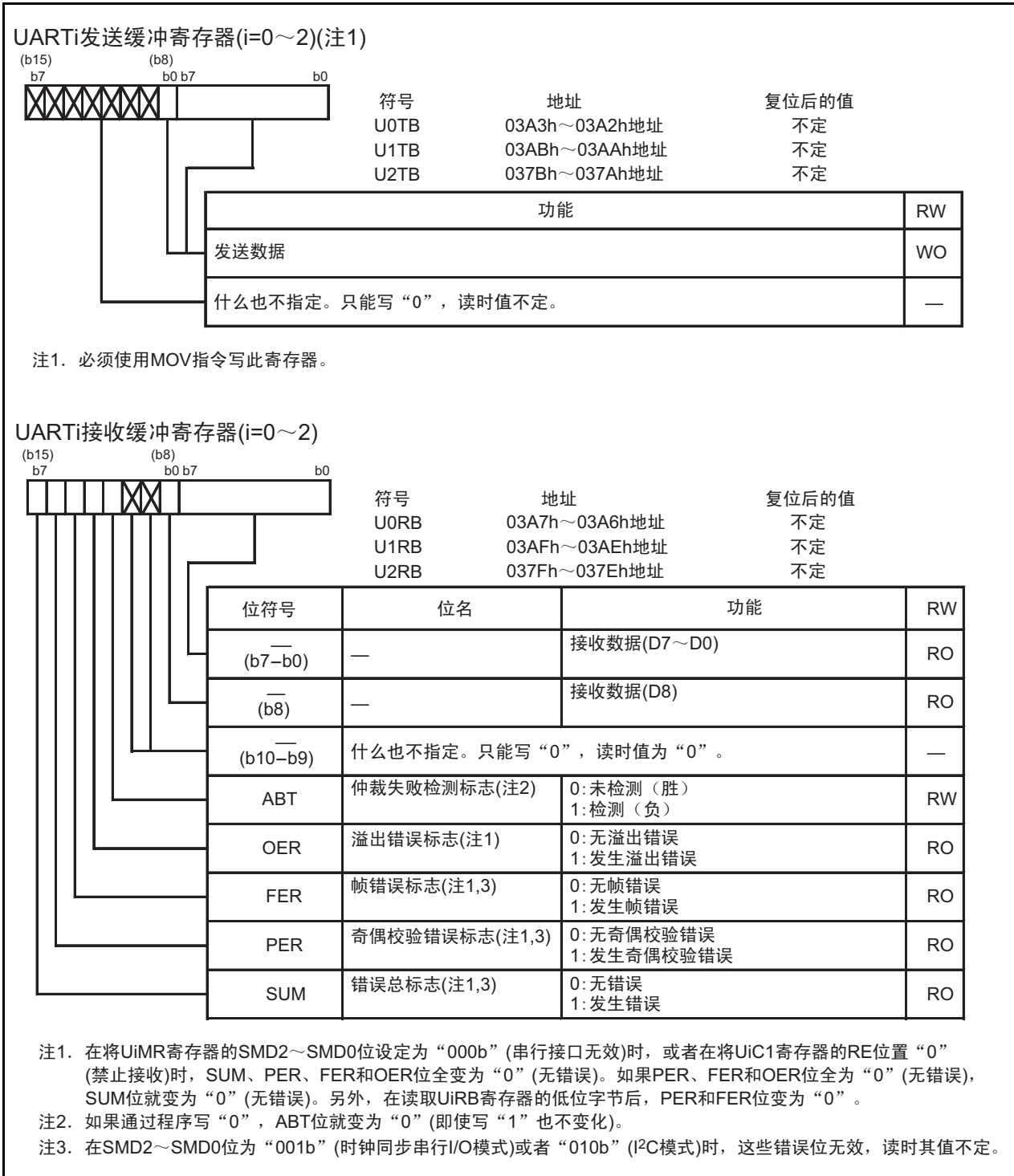


图 17.5 U0TB~U2TB、U0RB~U2RB 寄存器

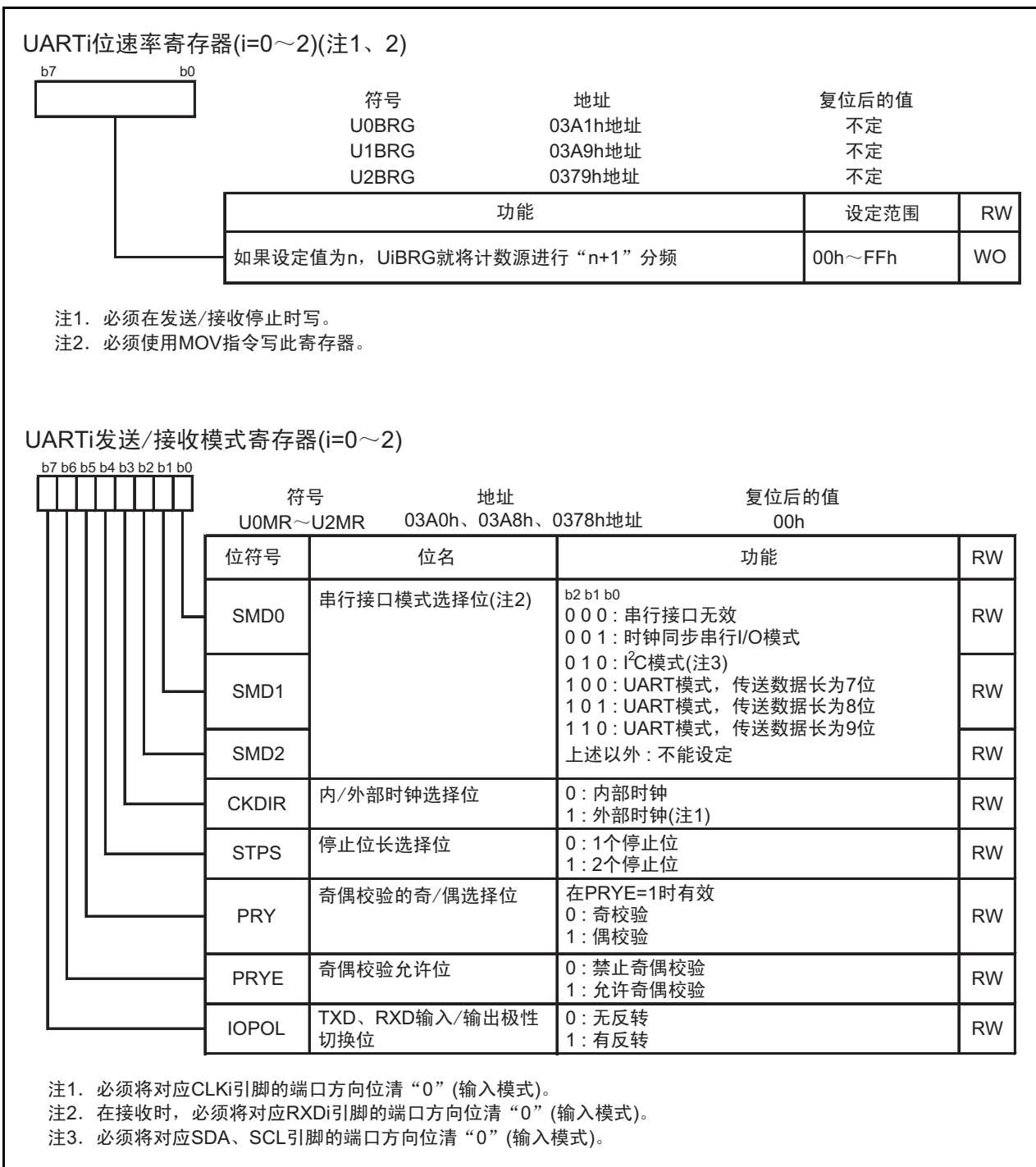


图 17.6 U0BRG~U2BRG、U0MR~U2MR

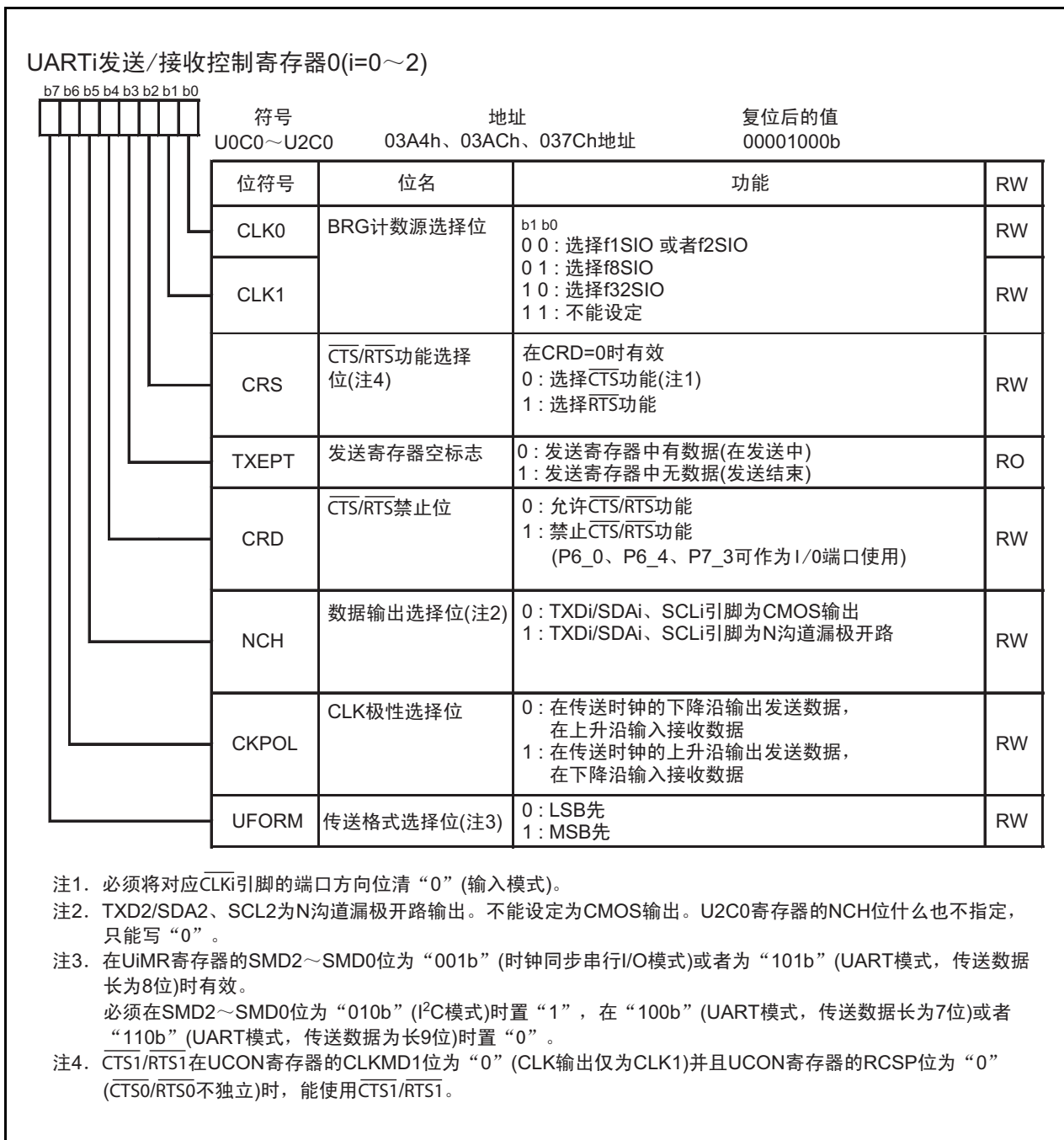


图 17.7 U0C0~U2C0寄存器

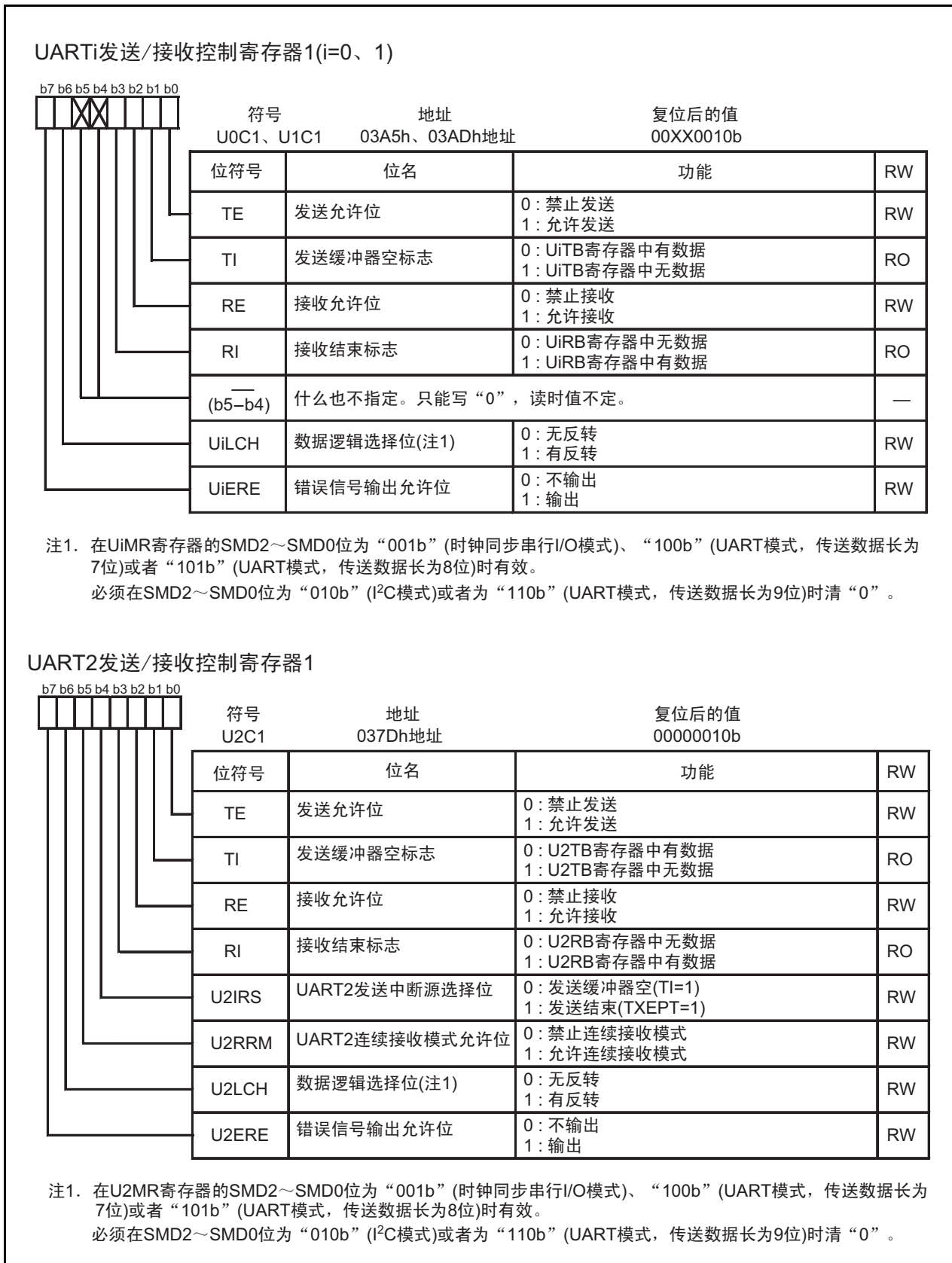


图 17.8 U0C1 ~ U2C1 寄存器



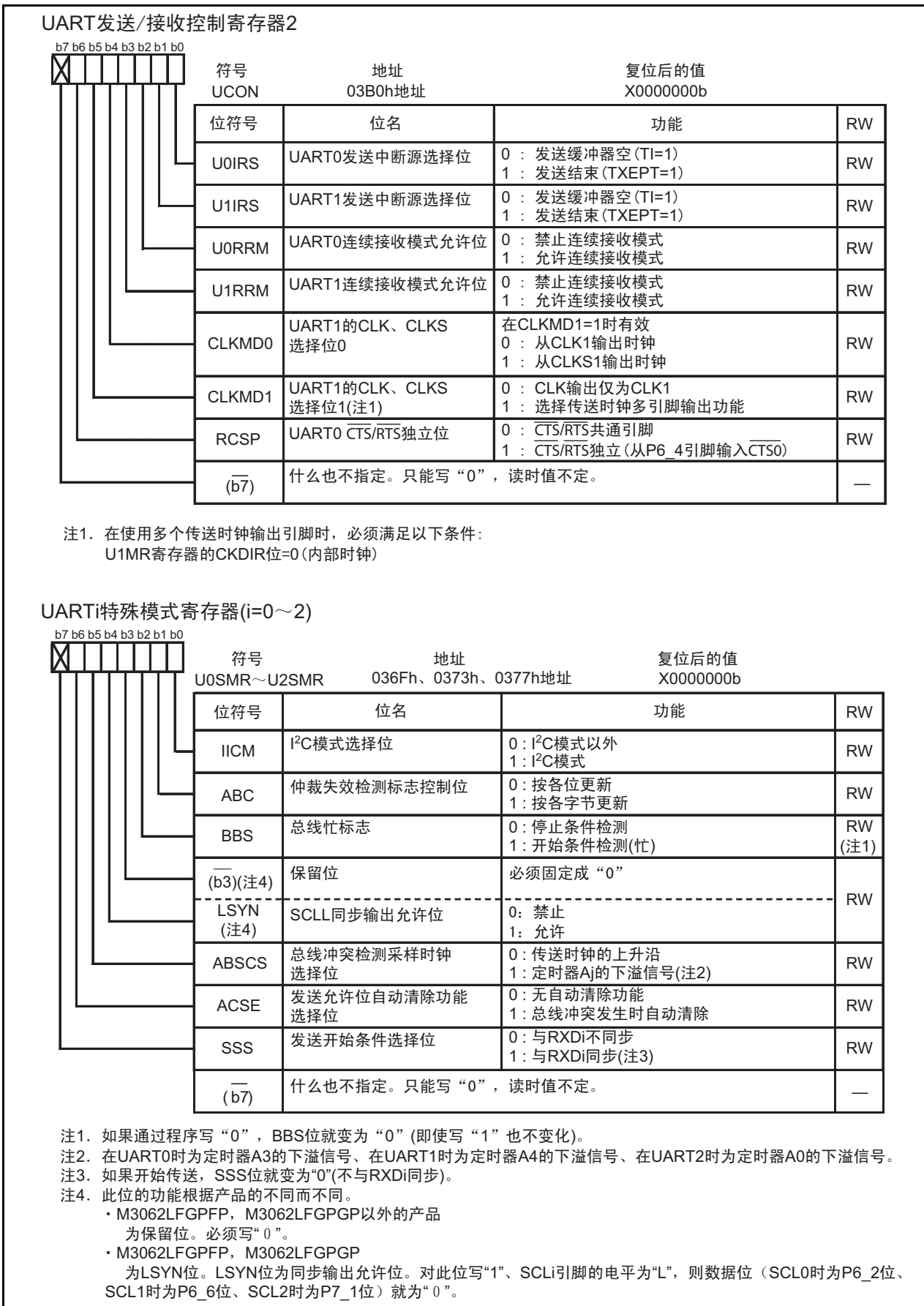


图 17.9 UCON、UOSMR~U2SMR 寄存器

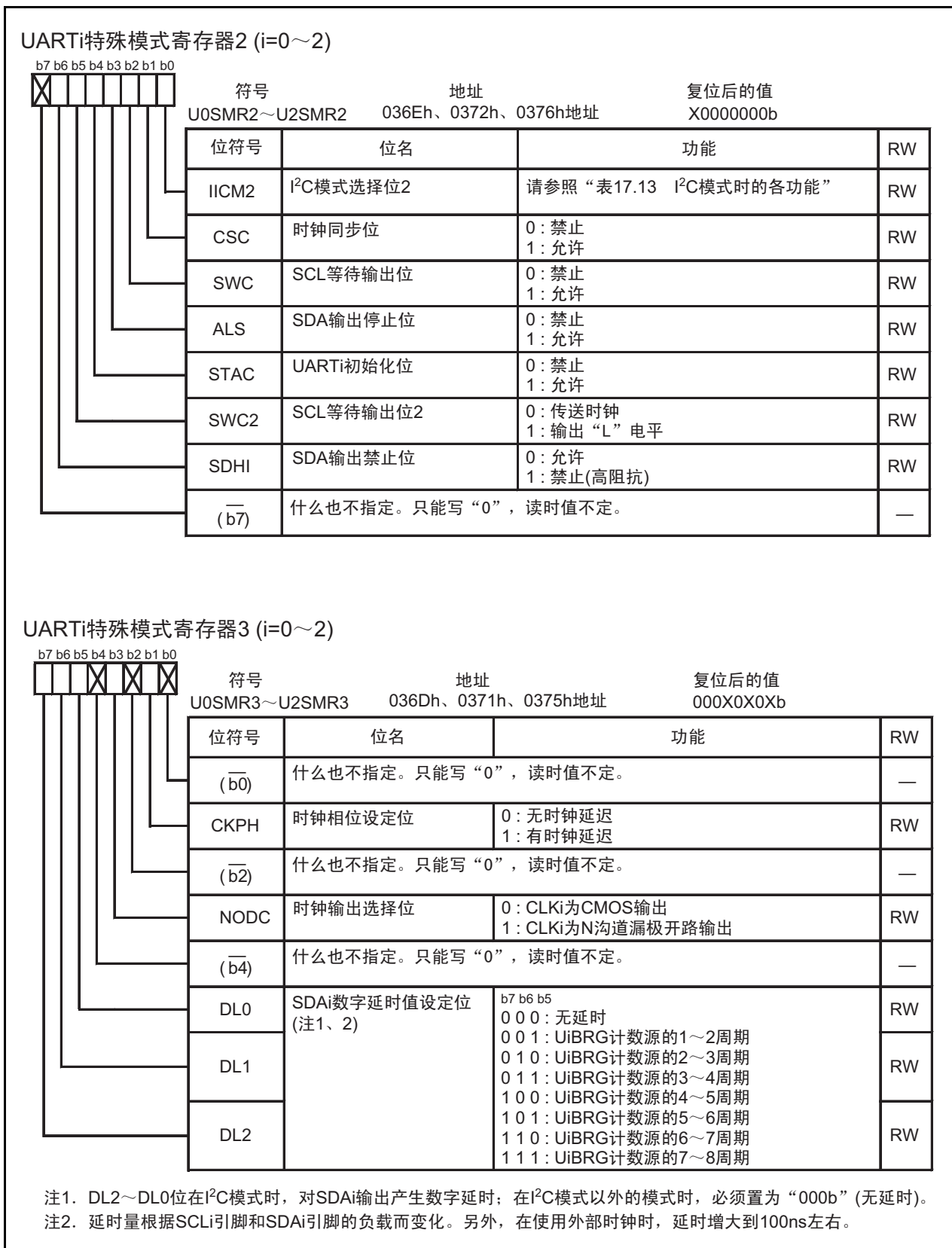


图 17.10 U0SMR2~U2SMR2、U0SMR3~U2SMR3 寄存器

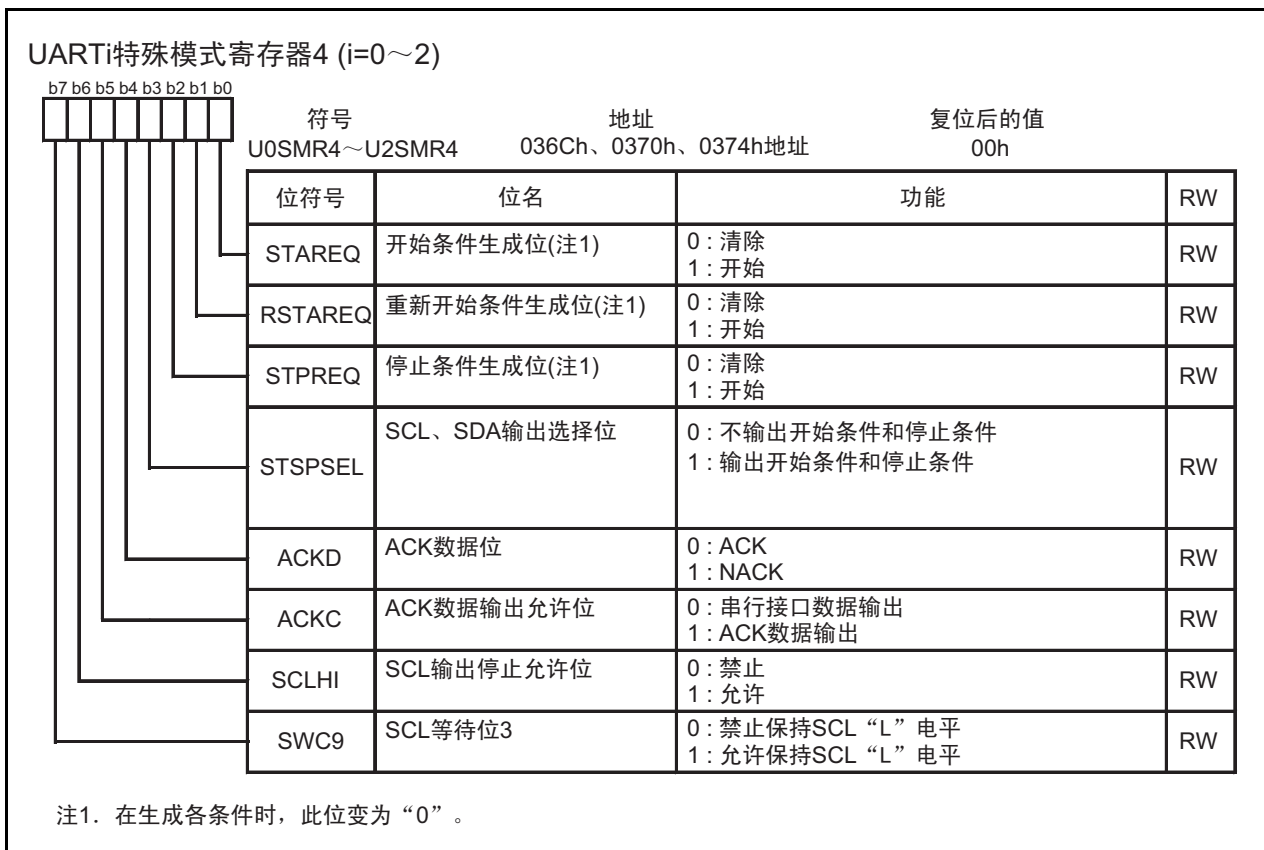


图 17.11 U0SMR4~U2SMR4 寄存器

### 17.1.1 时钟同步串行I/O模式

时钟同步串行I/O模式是使用传送时钟进行发送和接收的模式。时钟同步串行I/O模式的规格如表17.1所示，时钟同步串行I/O模式使用的寄存器和设定值如表17.2所示。

表17.1 时钟同步串行I/O模式的规格

项目	规格
传送数据格式	传送数据长度 8位
传送时钟	<ul style="list-style-type: none"> <li>• <math>U_iMR</math>寄存器 (<math>i=0\sim 2</math>) 的CKDIR位为“0”(内部时钟): <math>f_j/2^{(n+1)}</math>  <math>f_j=f1S10、f2S10、f8S10、f32S10</math> <math>n=U_iBRG</math>寄存器的设定值 00h~FFh</li> <li>• CKDIR位为“1”(外部时钟): CLK<math>_i</math> 引脚的输入</li> </ul>
发送控制、接收控制	可选择CTS功能、RTS功能、CTS/RTS功能禁止
发送开始条件	开始发送时需要以下条件(注1): <ul style="list-style-type: none"> <li>• <math>U_iC1</math>寄存器的TE位为“1”(允许发送)</li> <li>• <math>U_iC1</math>寄存器的TI位为“0”(U<math>_iTB</math>寄存器中有数据)</li> <li>• 选择CTS功能时, CTS<math>_i</math> 引脚的输入为“L”电平</li> </ul>
接收开始条件	开始接收时需要以下条件(注1): <ul style="list-style-type: none"> <li>• <math>U_iC1</math>寄存器的RE位为“1”(允许接收)</li> <li>• <math>U_iC1</math>寄存器的TE位为“1”(允许发送)</li> <li>• <math>U_iC1</math>寄存器的TI位为“0”(U<math>_iTB</math>寄存器中有数据)</li> </ul>
中断请求产生时间	在发送时, 可选择以下的任意条件: <ul style="list-style-type: none"> <li>• <math>U_iIRS</math>位(注3)为“0”(发送缓冲器空): 在从U<math>_iTB</math>寄存器给UART<math>_i</math>发送寄存器传送数据时(发送开始时)</li> <li>• <math>U_iIRS</math>位为“1”(发送结束): 在从UART<math>_i</math>发送寄存器数据发送结束时</li> </ul> 在接收时 <ul style="list-style-type: none"> <li>• 在从UART<math>_i</math>接收寄存器给U<math>_iRB</math>寄存器传送数据时(接收结束时)</li> </ul>
错误检测	溢出错误(注2) 如果在读取U $_iRB$ 寄存器前开始接收下一个数据并且接收下一个数据的第7位, 就发生溢出错误
选择功能	<ul style="list-style-type: none"> <li>• CLK极性选择 传送数据的输出和输入时序可选择传送时钟的上升沿或者下降沿</li> <li>• LSB先发送或MSB先发送 可选择是从第0位还是从第7位开始发送和接收</li> <li>• 连续接收模式选择 通过读取U<math>_iRB</math>寄存器, 同时变为允许接收状态</li> <li>• 串行数据的逻辑切换 反转发送和接收数据的逻辑值的功能</li> <li>• 传送时钟多引脚的输出选择(UART1) 可将UART1的传送时钟引脚设定为2个, 并且可通过程序选择输出引脚</li> <li>• CTS/RTS独立功能(UART0) 从其它引脚输入/输出CTS0和RTS0</li> </ul>

注1. 在选择外部时钟时, 必须满足以下条件:  $U_iC0$ 寄存器的CKPOL位为“0”(在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据)时, 外部时钟为“H”电平状态; CKPOL位为“1”(在传送时钟的上升沿输出发送数据, 在下降沿输入接收数据)时, 外部时钟为“L”电平状态。

注2. 如果发生溢出错误, U $_iRB$ 寄存器的内容不定。另外, SiRIC寄存器的IR位不变为“1”(有中断请求)。

注3. U0IRS、U1IRS位为UCON寄存器的bit0和bit1, U2IRS位为U2C1寄存器的bit4。

表17.2 时钟同步串行I/O模式使用的寄存器和设定值

寄存器	位	功能
UiTB(注3)	0~7	设定发送数据
UiTB(注3)	0~7	能读取接收数据
	OER	溢出错误标志
UiBRG	0~7	设定位速率
UiMR(注3)	SMD2~SMD0	置“001b”
	CKDIR	选择内部时钟或者外部时钟
	IOPOL	置“0”
UiCO	CLK1~CLK0	选择UiBRG的计数源
	CRS	在使用CTS或者RTS时, 选择其中一个
	TXEPT	发送寄存器空标志
	CRD	选择CTS或者RTS功能的允许或者禁止
	NCH	选择TXDi引脚的输出形式(注2)
	GKPOL	选择传送时钟的极性
	UFORM	LSB先发送或MSB先发送
UiC1	TE	在允许发送和接收时, 置“1”
	TI	发送缓冲空标志
	RE	在允许接收时, 置“1”
	RI	接收结束标志
	U2IRS(注1)	选择UART2发送中断源
	U2RRM(注1)	在使用连续接收模式时, 置“1”
	UiLCH	在使用数据逻辑反转时, 置“1”
	UiERE	置“0”
UiSMR	0~7	置“0”
UiSMR2	0~7	置“0”
UiSMR3	0~2	置“0”
	NODC	选择时钟输出形式
	4~7	置“0”
UiSMR4	0~7	置“0”
UCON	U0IRS、U1IRS	选择UART0、1发送中断源
	UORRM、U1RRM	在使用连续接收模式时, 置“1”
	CLKMD0	CLKMD1=1时, 选择输出传送时钟的引脚
	CLKMD1	从2个引脚输出UART1的传送时钟时, 置“1”
	RCSP	从P6_4引脚输入UART0的CTS0信号时, 置“1”
	7	置“0”

注1. 必须将UCO1、U1C1寄存器的第4、5位置“0”。U0IRS、U1IRS、UORRM、U1RRM位为UCON寄存器的位。

注2. TXD2引脚为N沟道漏极开路。必须将U2C0寄存器的NCH位置“0”。

注3. 在时钟同步串行I/O模式进行写操作时, 必须将此表中没有记述的位置“0”。

i=0~2

时钟同步串行I/O模式中的输入/输出引脚的功能如表17.3所示。表17.3为不选择传送时钟多引脚输出功能时的状况。另外，时钟同步串行I/O模式中的P6\_4引脚功能如表17.4所示。

而且，在选择UARTi的运行模式后到开始传送为止，TXDi引脚输出“H”电平（在选择N沟道漏极开路输出时为高阻抗状态）。

表17.3 时钟同步串行I/O模式中的输入/输出引脚功能（不选择传送时钟多引脚输出功能时）

引脚名	功能	选择方法
TXDi (i=0~2) (P6_3、P6_7、P7_0)	串行数据输出	(在只进行接收时输出虚设数据)
RXDi (P6_2、P6_6、P7_1)	串行数据输入	PD6寄存器的PD6_2位=0、PD6_6位=0，PD7寄存器的PD7_1位=0(在只进行发送时可用作输入端口)
CLKi (P6_1、P6_5、P7_2)	传送时钟输出	UiMR寄存器的CKDIR位=0
	传送时钟输入	UiMR寄存器的CKDIR位=1 PD6寄存器的PD6_1位=0、PD6_5位=0，PD7寄存器的PD7_2位=0
CTS $\bar{i}$ /RTS $\bar{i}$ (P6_0、P6_4、P7_3)	CTS输入	UiCO寄存器的CRD位=0 UiCO寄存器的CRS位=0 PD6寄存器的PD6_0位=0、PD6_4位=0，PD7寄存器的PD7_3位=0
	RTS输出	UiCO寄存器的CRD位=0 UiCO寄存器的CRS位=1
	I/O端口	UiCO寄存器的CRD位=1

表17.4 时钟同步串行I/O模式中的P6\_4引脚功能

引脚的功能	位的设定值					
	U1CO寄存器		UCON寄存器			PD6寄存器
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	输入:0、输出:1
CTS1	0	0	0	0	—	0
RTS1	0	1	0	0	—	—
CTS0(注1)	0	0	1	0	—	0
CLKS1	—	—	—	1(注2)	1	—

—：“0”或者“1”

注1. 除此以外，还必须将UOCO寄存器的CRD位置“0”（允许CTS0/RTS0）、UOCO寄存器的CRS位置“1”（选择RTS0）。

注2. 在CLKMD1位为“1”并且CLKMD0位为“0”时，输出以下电平：

- U1CO寄存器的CKPOL位为“0”：H电平
- U1CO寄存器的CKPOL位为“1”：L电平

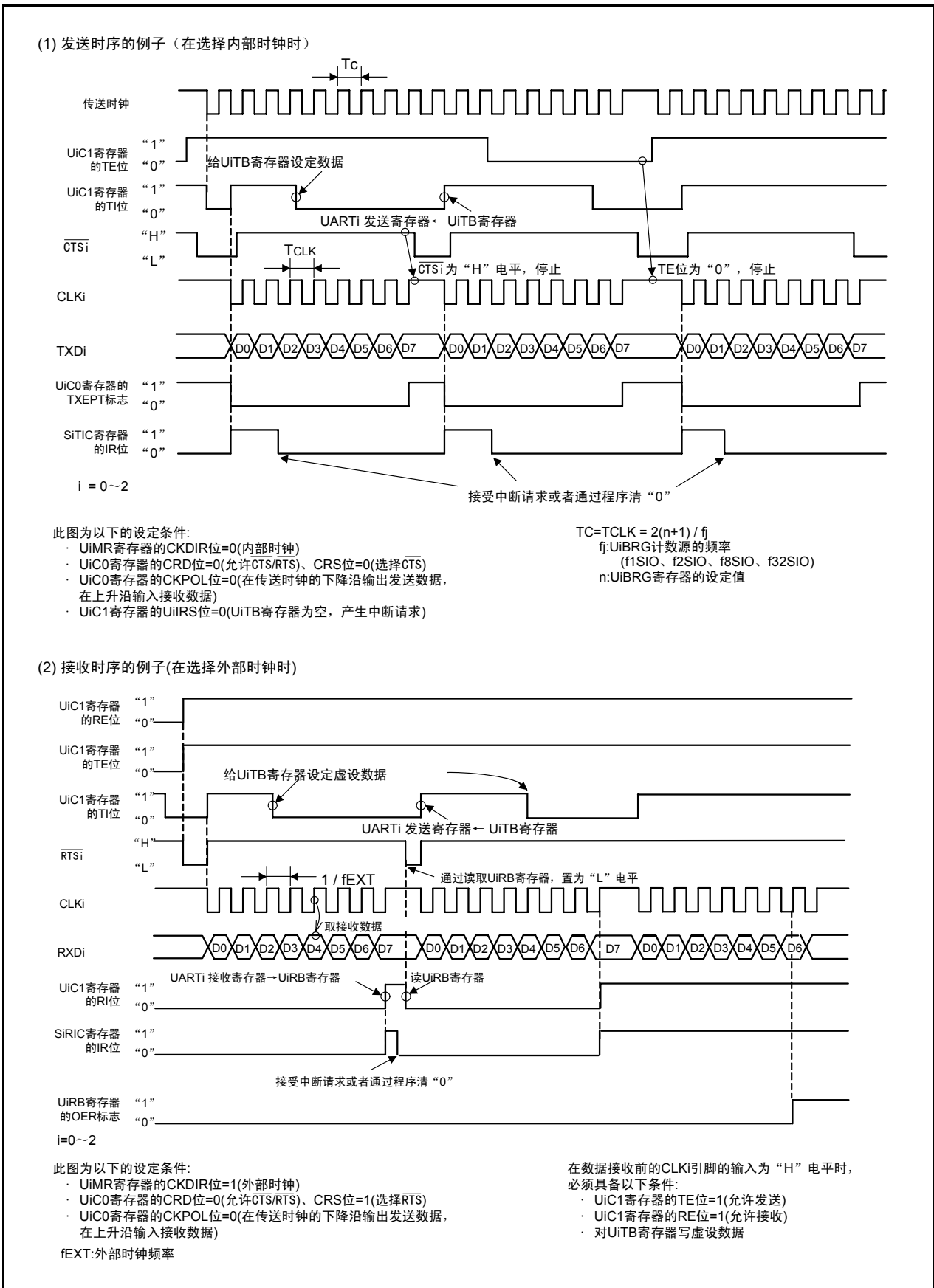


图 17. 12 时钟同步串行 I/O 模式中的发送和接收时序的例子

### 17.1.1.1 发生通信错误时的处理方法

在时钟同步串行I/O模式中，如果在接收或者发送时发生通信错误，就必须按以下步骤重新设定：

• UiRB寄存器 (i=0~2) 的初始化步骤：

- (1) 将UiC1寄存器的RE位置“0”（禁止接收）。
- (2) 将UiMR寄存器的SMD2~SMD0位置“000b”（串行接口无效）。
- (3) 将UiMR寄存器的SMD2~SMD0位置“001b”（时钟同步串行I/O模式）。
- (4) 将UiC1寄存器的RE位置“1”（允许接收）。

• UiTB寄存器的初始化步骤：

- (1) 将UiMR寄存器的SMD2~SMD0位置“000b”（串行接口无效）。
- (2) 将UiMR寄存器的SMD2~SMD0位置“001b”（时钟同步串行I/O模式）。
- (3) 与UiC1寄存器的值无关，写“1”（允许接收）。

### 17.1.1.2 CLK极性选择

能通过UiC0寄存器 (i=0~2) 的CKPOL位选择传送时钟的极性。传送时钟的极性如图17.13所示。

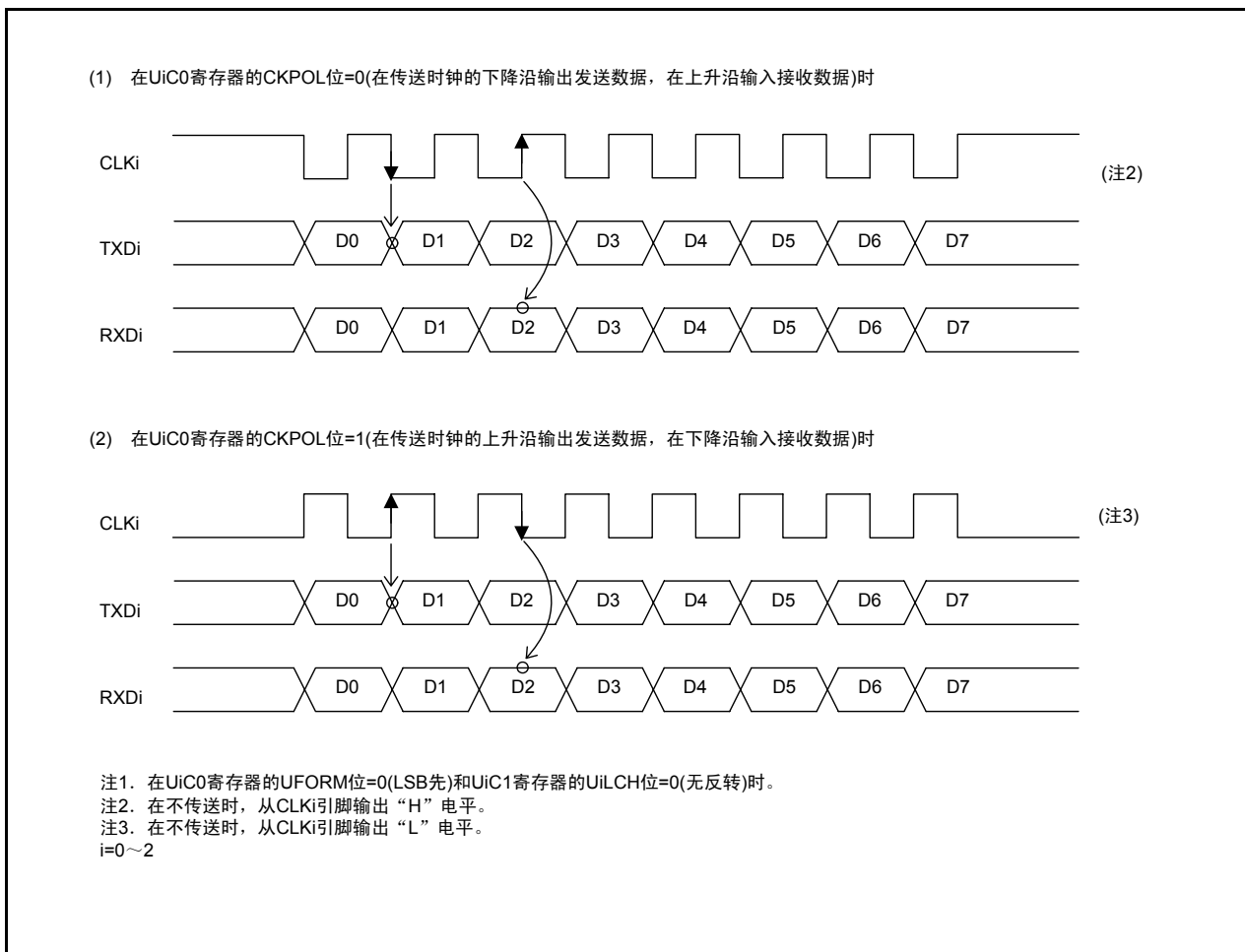


图17.13 传送时钟的极性



### 17.1.1.3 LSB先发送或MSB先发送的选择

能根据UiC0寄存器(i=0~2)的UFORM位选择传送格式。传送格式如图17.14所示。

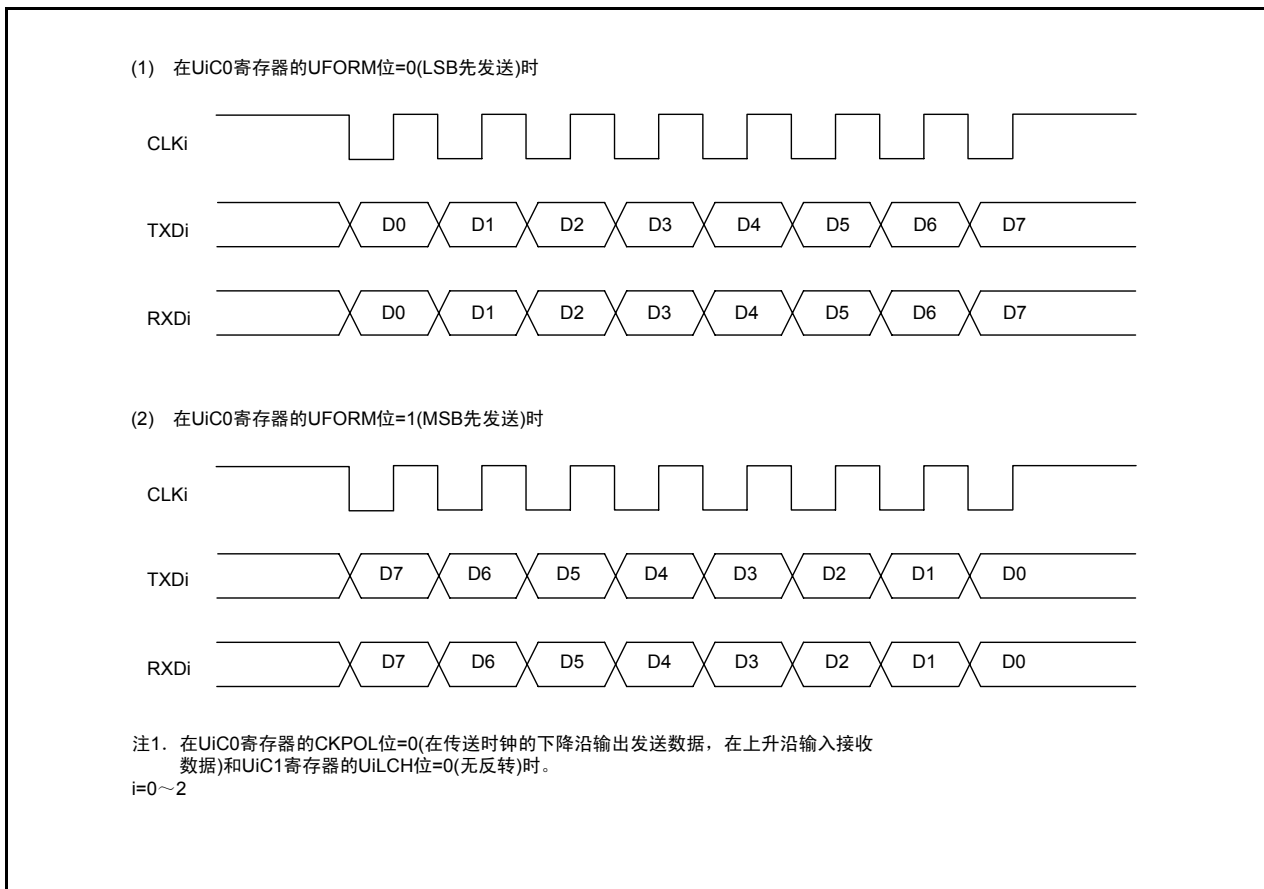


图17.14 传送格式

### 17.1.1.4 连续接收模式

连续接收模式是通过读取接收缓冲器而变为接收允许状态的模式。如果选择此模式, 不需要对发送缓冲器写虚设数据而使接收处于允许状态。但是, 在开始接收时需要虚读接收缓冲器。

如果将UiRRM位(i=0~2)置“1”(连续接收模式), 就通过读取UiRB寄存器, UiC1寄存器的TI位变为“0”(UiTB寄存器中有数据)。UiRRM为“1”时, 不能通过程序对UiTB寄存器写虚设数据。UORRM、U1RRM位为UCON寄存器第2位和第3位, U2RRM位为U2C1寄存器的第5位。

### 17.1.1.5 串行数据的逻辑切换

UiC1寄存器的(i=0~2)UiLCH位为“1”(有反转)时,将写在UiTB寄存器的值进行逻辑反转后发送。如果读取UiRb寄存器,就能读取接收数据逻辑反转后的值。串行数据逻辑如图17.15所示。

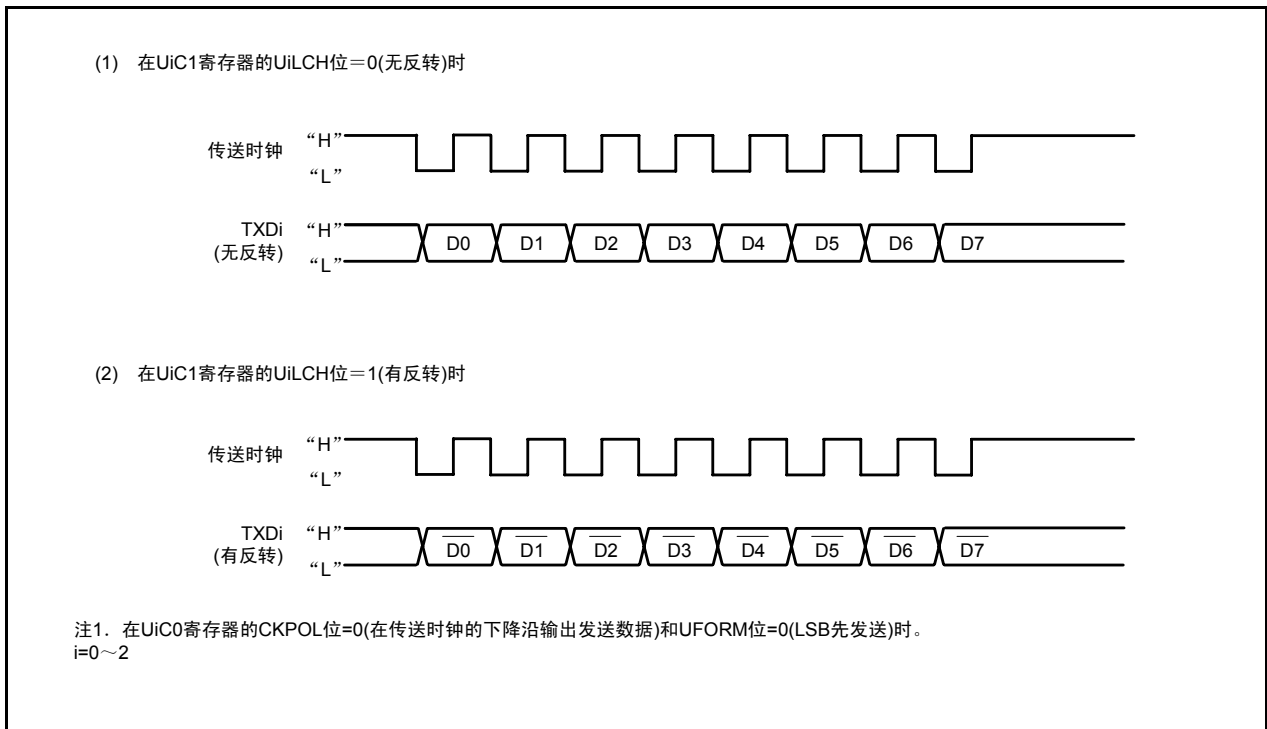


图 17.15 串行数据逻辑

### 17.1.1.6 传送时钟多引脚的输出选择 (UART1)

能通过UCON寄存器的CLKMD1~CLKMD0位从2个传送时钟输出引脚中选择1个输出引脚(图17.16)。在UART1的传送时钟为内部时钟时能使用此功能。

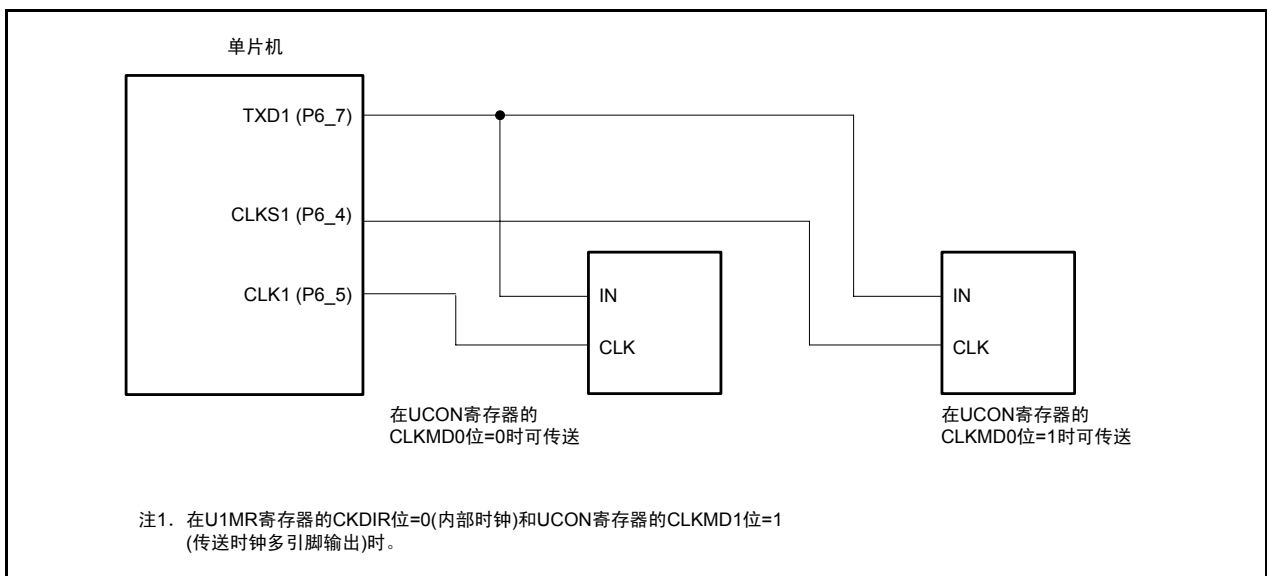


图 17.16 传送时钟多引脚输出功能的使用例子

### 17.1.1.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能

$\overline{\text{CTS}}$ 功能是在当 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  ( $i=0\sim 2$ ) 引脚为“L”电平时启动发送和接收的功能。如果 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚的输入电平为“L”，就开始发送和接收。如果在发送和接收中输入电平变为“H”，就停止下一个数据的发送和接收。

$\overline{\text{RTS}}$ 功能在接收准备结束时，将 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚的输出电平变为“L”。在 $\text{CLK}_i$  引脚的第一个下降沿输出“H”电平。

- $\text{U}i\text{C}0$  寄存器的 $\text{CRD}$ 位=1 (禁止 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能)       $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚为可编程的输入/输出功能
- $\text{CRD}$ 位=0、 $\text{CRS}$ 位=0 (选择 $\overline{\text{CTS}}$ 功能)       $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚为 $\overline{\text{CTS}}$ 功能
- $\text{CRD}$ 位=0、 $\text{CRS}$ 位=1 (选择 $\overline{\text{RTS}}$ 功能)       $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚为 $\overline{\text{RTS}}$ 功能

### 17.1.1.8 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能 (UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ 独立功能是 $\overline{\text{CTS}}_0$ 与 $\overline{\text{RTS}}_0$ 引脚功能不复用，从 $\text{P6}_0$ 引脚输出 $\overline{\text{RTS}}_0$ 、从 $\text{P6}_4$ 引脚输入 $\overline{\text{CTS}}_0$ 的功能。在使用此功能时，必须进行以下设定：

- $\text{U}0\text{C}0$  寄存器的 $\text{CRD}$ 位=0 (允许UART0的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ )
- $\text{U}0\text{C}0$  寄存器的 $\text{CRS}$ 位=1 (UART0的 $\overline{\text{RTS}}$ 输出)
- $\text{U}1\text{C}0$  寄存器的 $\text{CRD}$ 位=0 (允许UART1的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ )
- $\text{U}1\text{C}0$  寄存器的 $\text{CRS}$ 位=0 (UART1的 $\overline{\text{CTS}}$ 输入)
- $\text{U}0\text{C}0$  寄存器的 $\text{RCSP}$ 位=1 (从 $\text{P6}_4$ 引脚输入 $\overline{\text{CTS}}_0$ )
- $\text{U}0\text{C}0$  寄存器的 $\text{CLKMD}1$ 位=0 (不使用 $\text{CLKS}1$ )

另外，在使用 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能时，不能使用UART1的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能。

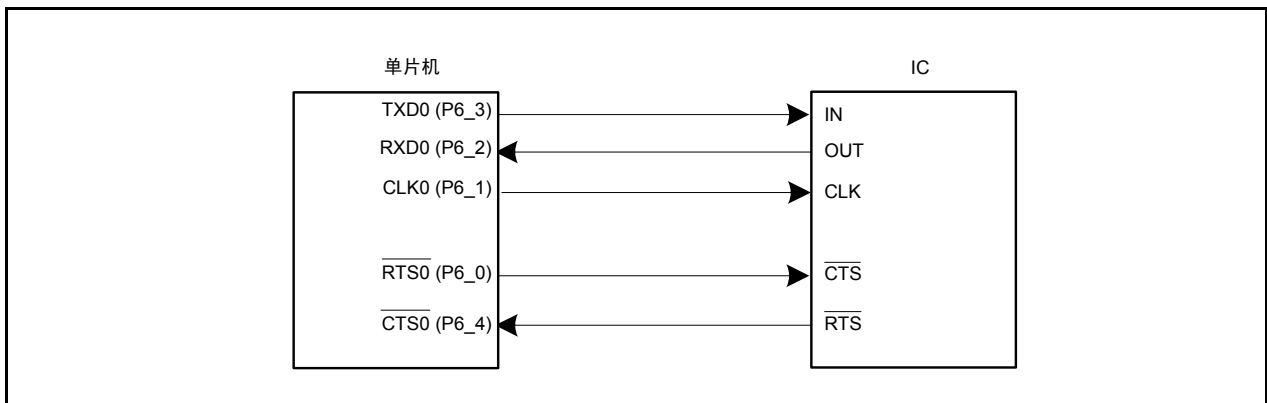


图 17.17  $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能的使用例子

### 17.1.2 时钟异步串行I/O(UART) 模式

UART 模式是在设定任意的位速率和传送数据格式后进行发送和接收的模式。UART 模式的规格如表 17.5 所示。

表 17.5 UART 模式的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> <li>• 字符位(传送数据) 可选择7位、8位或者9位</li> <li>• 开始位 1位</li> <li>• 奇偶校验位 可选择奇数校验、偶数校验或者无校验</li> <li>• 停止位 可选择1位或者2位</li> </ul>
传送时钟	<ul style="list-style-type: none"> <li>• UiMR 寄存器 (i=0~2) 的 CKDIR 位为 “0” (内部时钟): <math>f_j/16(n+1)</math>  <math>f_j=f1S10、f2S10、f8S10、f32S10</math>。n=UiBRG 寄存器的设定值 00h~FFh</li> <li>• CKDIR 位为 “1” (外部时钟): <math>fEXT/16(n+1)</math>            fEXT 是从 CLKi 引脚的输入。n=UiBRG 寄存器的设定值 00h~FFh</li> </ul>
发送控制、接收控制	可选择 CTS 功能、RTS 功能、CTS/RTS 功能禁止
发送开始条件	开始发送时需要以下条件: <ul style="list-style-type: none"> <li>• UiC1 寄存器的 TE 位为 “1” (允许发送)</li> <li>• UiC1 寄存器的 TI 位为 “0” (UiTB 寄存器中有数据)</li> <li>• 选择 CTS 功能时, CTSi 引脚的输入为 “L” 电平</li> </ul>
接收开始条件	开始接收时需要以下条件: <ul style="list-style-type: none"> <li>• UiC1 寄存器的 RE 位为 “1” (允许接收)</li> <li>• 检测到开始位</li> </ul>
中断请求产生时间	在发送时可选择以下的任意条件: <ul style="list-style-type: none"> <li>• UiIRS 位为 “0” (注2) (发送缓冲器空): 在从 UiTB 寄存器给 UARTi 发送寄存器传送数据时 (发送开始时)</li> <li>• UiIRS 位为 “1” (发送结束): 在从 UARTi 发送寄存器的数据发送结束时</li> </ul> 在接收时 <ul style="list-style-type: none"> <li>• 在从 UARTi 接收寄存器给 UiRB 寄存器传送数据时 (接收结束时)</li> </ul>
错误检测	<ul style="list-style-type: none"> <li>• 溢出错误 (注1) 如果在读取 UiRB 寄存器前开始接收下一个数据, 在接收下一个数据的最后停止位的前1位, 发生溢出错误</li> <li>• 帧错误 (注3) 当检测到的停止位个数小于设定值时, 产生帧错误</li> <li>• 奇偶校验错误 (注3) 在允许奇偶校验时, 奇偶校验位和字符位中的 “1” 的个数和设定的个数不等时, 发生奇偶校验错误</li> <li>• 错误和标志 在发生溢出错误、帧错误或者奇偶校验错误中的任意一个错误时, 错误和标志为 “1”</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>• LSB 先发送或 MSB 先发送选择 可选择从第0位还是从第7位开始发送和接收。</li> <li>• 串行数据的逻辑切换 反转发送和接收数据的逻辑值的功能。不反转开始位和停止位。</li> <li>• TXD、RXD 输入/输出极性切换 反转 TXD 引脚输出和 RXD 引脚输入的功能。反转所有输入/输出数据的电平。</li> <li>• CTS/RTS 独立功能 (UART0) 从其它引脚输入/输出 CTS0 和 RTS0</li> </ul>

注1. 如果发生溢出错误, UiRB 寄存器的内容不定。另外, SiRIC 寄存器的 IR 位不变。

注2. U0IRS、U1IRS 位为 UCON 寄存器的第0位和第1位, U2IRS 位为 U2C1 寄存器的第4位。

注3. 检测并置位帧错误标志和奇偶校验错误标志的时序为将数据从 UARTi 接收寄存器传送到 UiRB 寄存器时。

表 17.6 UART 模式使用的寄存器和设定值

寄存器	位	功能
UiTB	0~8	设定发送数据(注1)
UiRB	0~8	能读取接收数据(注1)
	OER、FER、PER、SUM	错误标志
UiBRG	0~7	设定速率
UiMR	SMD2~SMD0	在传送数据为7位时,置“100b”。 在传送数据为8位时,置“101b”。 在传送数据为9位时,置“110b”。
	CKDIR选择	选择内部时钟或者外部时钟
	STPS	选择停止位
	PRY、PRYE	选择奇偶校验的有无、偶数校验或者奇数校验
	IOPOL	选择TXD/RXD输入/输出极性
UiCO	CLK0、CLK1	选择UiBRG的计数源
	CRS	在使用CTS或者RTS功能时,选择其中一个
	TXEPT	发送寄存器空标志
	CRD	选择CTS/RTS功能的允许或者禁止
	NCH	选择TXDi引脚的输出形式(注3)
	CKPOL	置“0”
	UFORM	在传送数据长度为8位时,能选择LSB先发送或MSB先发送。 在传送数据长度为7位或者9位时,置“0”。
UiC1	TE	在允许发送时,置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时,置“1”
	RI	接收结束标志
	U2IRS(注2)	选择UART2发送中断源
	U2RRM(注2)	置“0”
	UiLCH	在使用数据逻辑反转时,置“1”
	UiERE	置“0”
UiSMR	0~7	置“0”
UiSMR2	0~7	置“0”
UiSMR3	0~7	置“0”
UiSMR4	0~7	置“0”
UCON	U0IRS、U1IRS	选择UART0、1发送中断源
	UORRM、U1RRM	置“0”
	CLKMD0	因为CLKMD1=0,所以无效
	CLKMD1	置“0”
	RCSP	从P6_4引脚输入UART0的 $\overline{CTS0}$ 信号时,置“1”
	7	置“0”

注1. 使用的位如下: 传送数据长度为7位:0~6位、传送数据长度为8位:0~7位、传送数据为9位:0~8位

注2. 必须将UC1、U1C1寄存器的第4位和第5位置“0”。U0IRS、U1IRS、UORRM、U1RRM位为UCON寄存器的位。

注3. TXD2引脚为N沟道漏极开路。必须将U2C0寄存器的NCH位置“0”。

i=0~2

UART模式中的输入/输出引脚功能如表17.7所示，UART模式中的P6\_4引脚功能如表17.8所示。另外，在选择UART<sub>i</sub>的运行模式后到开始传送为止，TXD<sub>i</sub>引脚输出“H”电平（在选择N沟道漏极开路输出时为高阻抗状态）。

表17.7 UART模式中的输入/输出引脚功能

引脚名	功能	选择方法
TXD <sub>i</sub> (i=0~2) (P6_3、P6_7、P7_0)	串行数据输出	(在只进行接收时输出“H”电平)
RXD <sub>i</sub> (P6_2、P6_6、P7_1)	串行数据输入	PD6寄存器的PD6_2位=0、PD6_6位=0，PD7寄存器的PD7_1位=0(在只进行发送时可用作输入端口)
CLK <sub>i</sub> (P6_1、P6_5、P7_2)	I/O端口	UiMR寄存器的CKDIR位=0
	传送时钟输入	UiMR寄存器的CKDIR位=1 PD6寄存器的PD6_1位=0、PD6_5位=0，PD7寄存器的PD7_2位=0
CTS <sub>i</sub> /RTS <sub>i</sub> (P6_0、P6_4、P7_3)	CTS输入	UiCO寄存器的CRD位=0 UiCO寄存器的CRS位=0 PD6寄存器的PD6_0位=0、PD6_4位=0，PD7寄存器的PD7_3位=0
	RTS输出	UiCO寄存器的CRD位=0 UiCO寄存器的CRS位=1
	I/O端口	UiCO寄存器的CRD位=1

表17.8 UART模式中的P6\_4引脚功能

引脚的功能	位的设定值				
	U1CO寄存器		UCON寄存器		PD6寄存器
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	输入:0、输出:1
CTS1	0	0	0	0	0
RTS1	0	1	0	0	—
CTS0(注1)	0	0	1	0	0

—：“0”或者“1”

注1. 除此以外，还必须将UOCO寄存器的CRD位置“0”（允许CTS<sub>0</sub>/RTS<sub>0</sub>）、UOCO寄存器的CRS位置“1”（选择RTS<sub>0</sub>）。

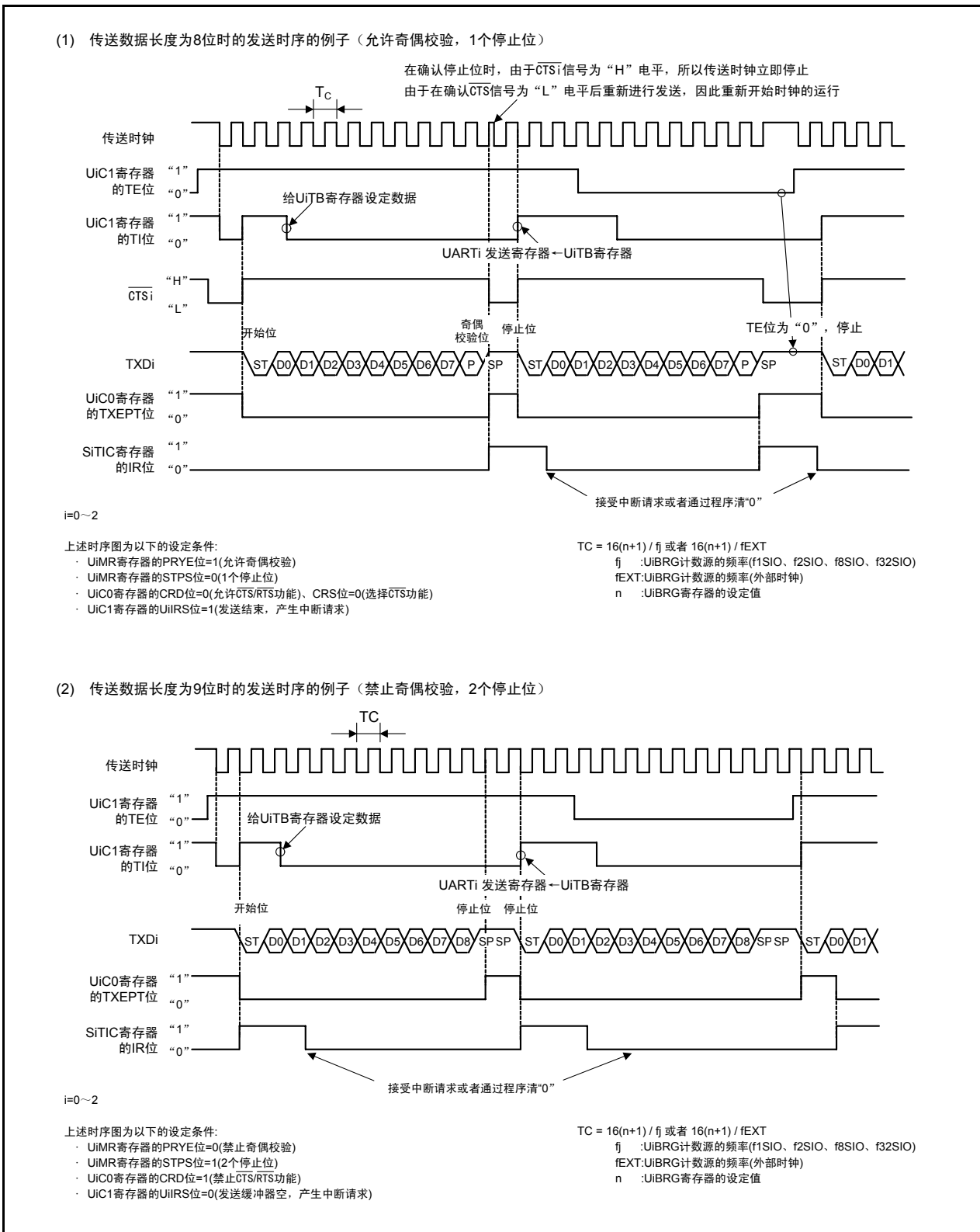


图 17. 18 UART 模式中的发送时序的例子

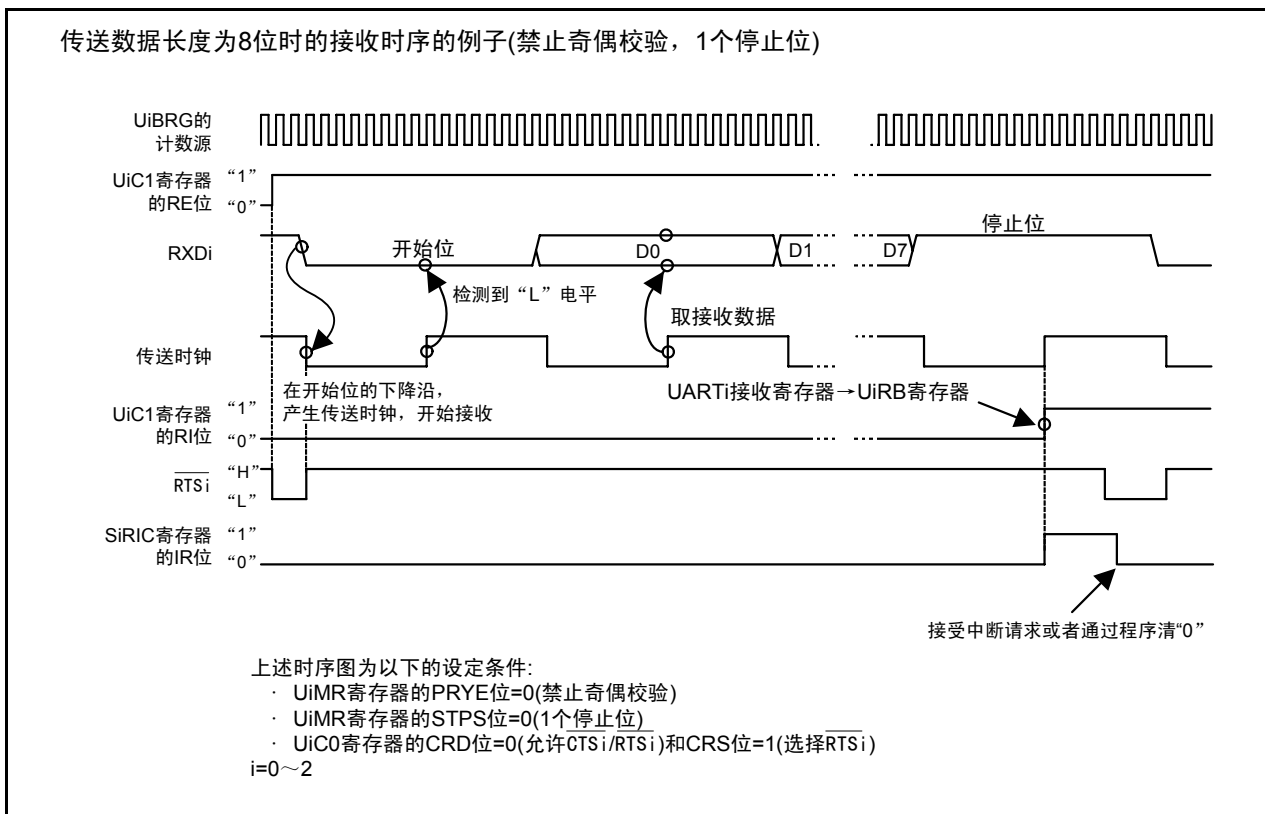


图 17.19 UART 模式中的接收时序的例子

### 17.1.2.1 位速率

在UART模式中, 位速率为UiBRG寄存器(i=0~2)分频后频率的16分频。位速率的设定例子如表17.9所示。

表 17.9 位速率

位速率 (bps)	UiBRG的计数源	外围功能时钟:16MHz		外围功能时钟:24MHz	
		UiBRG的设定值:n	执行时间 (bps)	UiBRG的设定值:n	执行时间 (bps)
1200	f8	103 (67h)	1202	155 (9Bh)	1202
2400	f8	51 (33h)	2404	77 (4Dh)	2404
4800	f8	25 (19h)	4808	38 (26h)	4808
9600	f1	103 (67h)	9615	155 (9Bh)	9615
14400	f1	68 (44h)	14493	103 (67h)	14423
19200	f1	51 (33h)	19231	77 (4Dh)	19231
28800	f1	34 (22h)	28571	51 (33h)	28846
31250	f1	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1	25 (19h)	38462	38 (26h)	38462
51200	f1	19 (13h)	50000	28 (1Ch)	51724



### 17.1.2.2 发生通信错误时的处理方法

在UART模式中，如果在接收或者发送时发生通信错误，就必须按以下步骤重新设定：

• UiRB寄存器的(i=0~2)初始化步骤：

- (1) 将UiC1寄存器的RE位置“0”（禁止接收）。
- (2) 将UiC1寄存器的RE位置“1”（允许接收）。

• UiTB寄存器的初始化步骤：

- (1) 将UiMR寄存器的SMD2~SMD0位置“000b”（串行接口无效）。
- (2) 将UiMR寄存器的SMD2~SMD0位设为重新设定（“001b”、“101b”、“110b”）。
- (3) 与UiC1寄存器的TE位的值无关，写“1”（允许接收）。

### 17.1.2.3 LSB先发送或MSB先发送选择

如图17.20所示，能通过UiC0寄存器的UFORM位选择传送格式。此功能在传送数据长度为8位时有效。

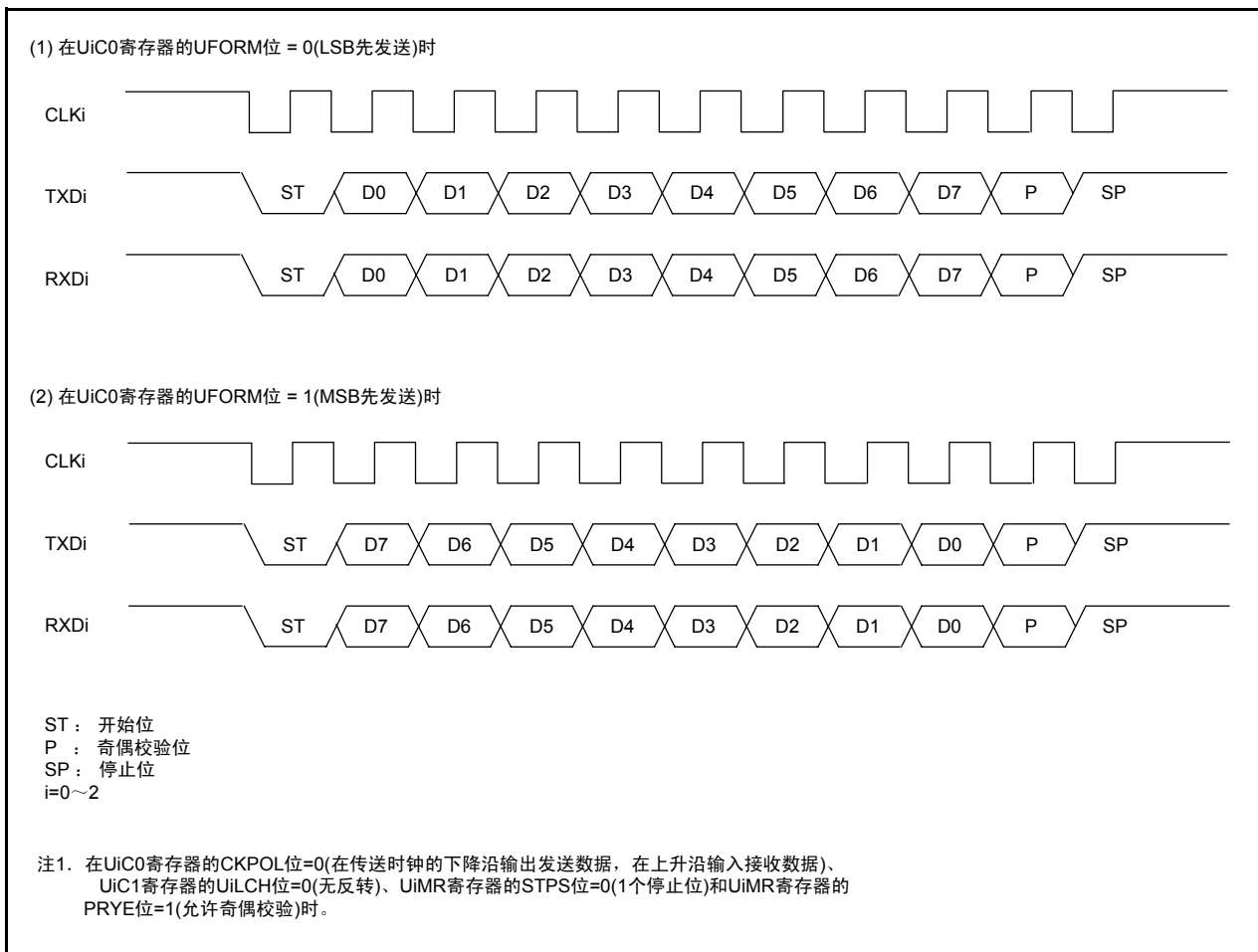


图17.20 传送格式

### 17.1.2.4 串行数据的逻辑切换

将写在UiTB寄存器的值逻辑反转后发送。如果读取UiRB寄存器，就能读取接收数据逻辑反转后的值。串行数据逻辑如图17.21所示。

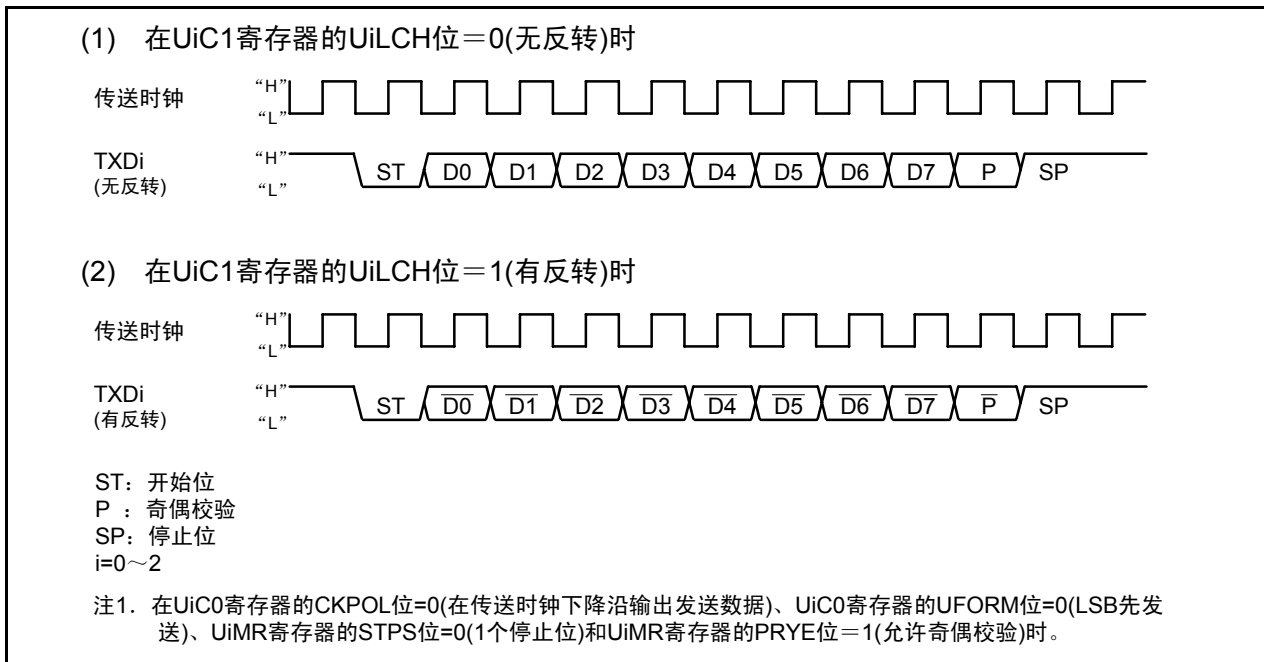


图 17.21 串行数据逻辑

### 17.1.2.5 TXD、RXD输入/输出极性的切换功能

它是反转TXDi引脚输出和RXDi引脚输入的功能。将输入/输出数据的电平(包含开始位、停止位、奇偶校验位)全部反转。TXD、RXD输入/输出极性的切换如图17.22所示。

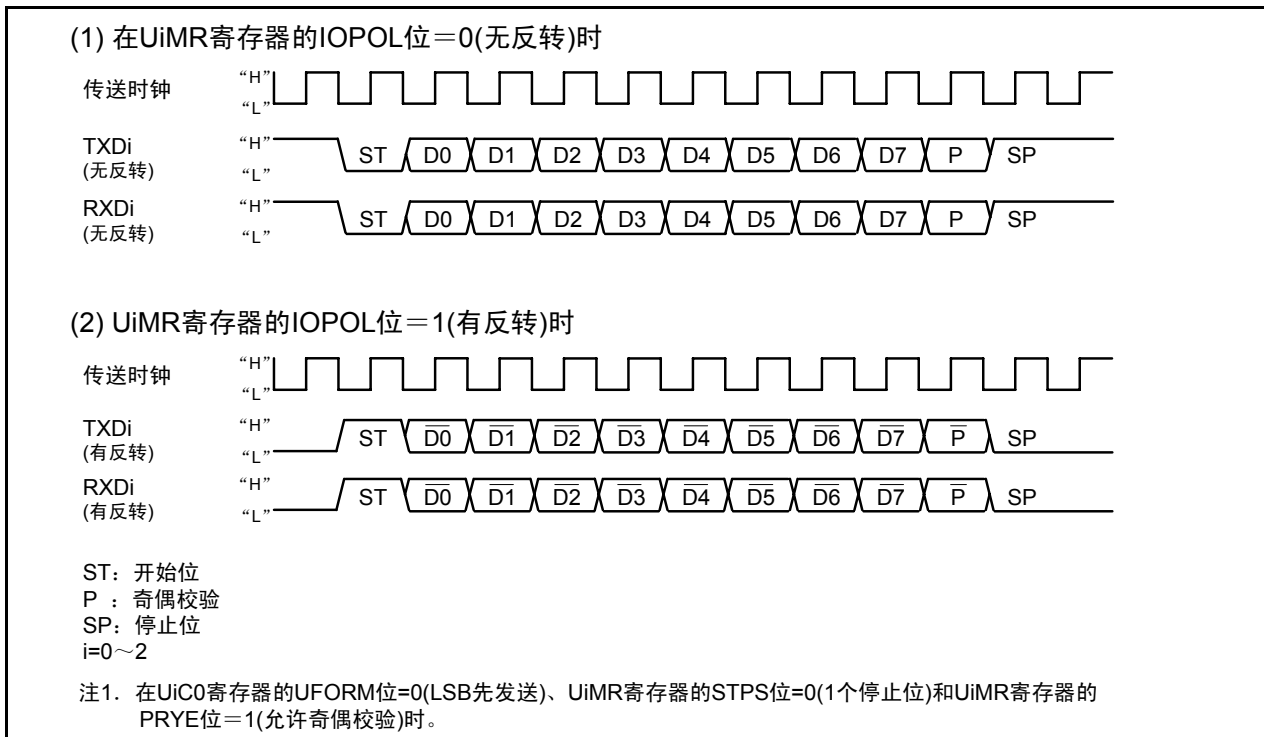


图 17.22 TXD、RXD输入/输出极性的切换

### 17.1.2.6 CTS/RTS功能

CTS功能是在给 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  ( $i=0\sim 2$ ) 引脚输入“L”电平时让发送开始的功能。如果 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚的输入电平为“L”，就开始发送；如果在发送中将输入电平变为“H”，就停止下一个数据的发送。

RTS功能在接收准备结束时，将 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚的输出电平变为“L”，在CLK $_i$  引脚的第一个下降沿输出“H”电平。

- UIC0寄存器的CRD位=1(禁止 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能)       $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚为可编程的输入/输出功能
- CRD位=0、CRS位=0(选择 $\overline{\text{CTS}}$ 功能)       $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚为 $\overline{\text{CTS}}$ 功能
- CRD位=0、CRS位=1(选择RTS功能)       $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$  引脚为RTS功能

### 17.1.2.7 CTS/RTS独立功能(UART0)

CTS/RTS独立功能是 $\overline{\text{CTS}}_0$ 与 $\overline{\text{RTS}}_0$ 引脚功能不复用，从P6\_0引脚输出 $\overline{\text{RTS}}_0$ 、从P6\_4引脚输入 $\overline{\text{CTS}}_0$ 的功能。在使用此功能时，必须进行以下的设定：

- UOC0寄存器的CRD位=0(允许UART0的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ )
- UOC0寄存器的CRS位=1(UART0的 $\overline{\text{RTS}}$ 输出)
- UIC0寄存器的CRD位=0(允许UART1的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ )
- UIC0寄存器的CRS位=0(UART1的 $\overline{\text{CTS}}$ 输入)
- UCON寄存器的RCSP位=1(从P6\_4引脚输入 $\overline{\text{CTS}}_0$ )
- UCON寄存器的CLKMD1位=0(不使用CLKS1)

另外，在使用 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能时，不能使用UART1的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能。

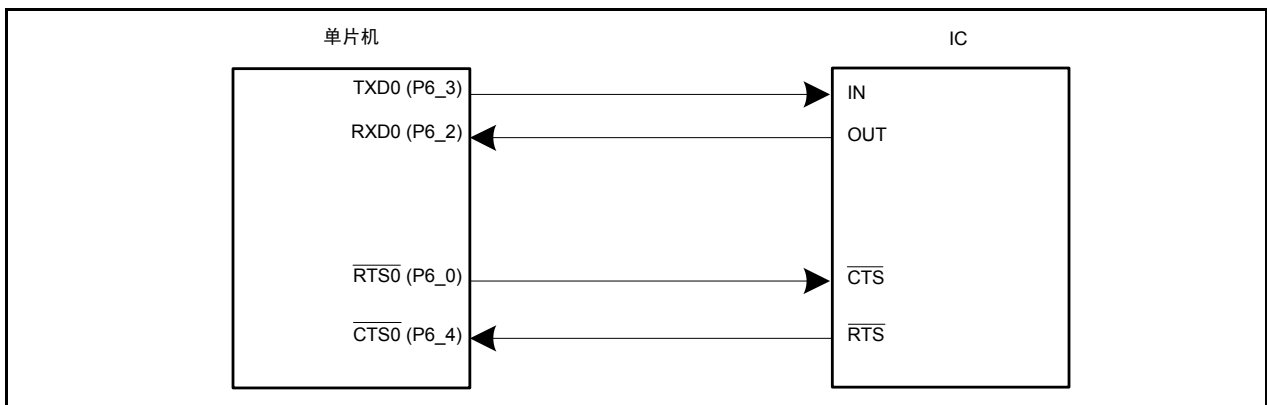


图 17.23  $\overline{\text{CTS}}/\overline{\text{RTS}}$  独立功能的使用例子

### 17.1.3 特殊模式1(I<sup>2</sup>C模式)

I<sup>2</sup>C模式是对应简易型I<sup>2</sup>C接口的模式。I<sup>2</sup>C模式的规格如表17.10、I<sup>2</sup>C模式使用的寄存器和设定值如表17.11~表17.12、I<sup>2</sup>C模式中的各功能如表17.13、I<sup>2</sup>C模式的框图如图17.24、SCLi时序如图17.25所示。

如表17.13所示，如果将SMD2~SMD0位置“010b”、IICM位置“1”，就为I<sup>2</sup>C模式。因为SDAi发送输出附带延迟电路，所以在SCLi为“L”电平并稳定后，SDAi输出才发生变化。

表17.10 I<sup>2</sup>C模式的规格

项目	规格
传送数据格式	传送数据长度 8位
传送时钟	<ul style="list-style-type: none"> <li>在主模式时 UiMR寄存器(i=0~2)的CKDIR位为“0”(内部时钟):<math>f_j/2^{(n+1)}</math> <math>f_j=f1S10、f2S10、f8S10、f32S10</math> <math>n=UiBRG</math>寄存器的设定值 00h~FFh</li> <li>在从属模式时 CKDIR位为“1”(外部时钟):从SCLi引脚的输入</li> </ul>
发送开始条件	开始发送时需要以下条件(注1): <ul style="list-style-type: none"> <li>• UiC1寄存器的TE位为“1”(允许发送)</li> <li>• UiC1寄存器的TI位为“0”(UiTB寄存器中有数据)</li> </ul>
接收开始条件	开始接受时需要以下条件(注1): <ul style="list-style-type: none"> <li>• UiC1寄存器的RE位为“1”(接收允许)</li> <li>• UiC1寄存器的TE位为“1”(发送允许)</li> <li>• UiC1寄存器的TI位为“0”(UiTB寄存器中有数据)</li> </ul>
中断请求产生时间	检测出开始条件、检测出停止条件、未检测出应答、检测出应答
错误检测	<ul style="list-style-type: none"> <li>• 溢出错误(注2) 在读取UiRB寄存器前开始接收下一个数据并接收下一个数据的第8位时,发生溢出错误</li> </ul>
选择功能	<ul style="list-style-type: none"> <li>• 仲裁失效 可选择UiRB寄存器的ABT位的更新时序</li> <li>• SDAi数字延迟 可选择无数字延迟或者UiBRG计数源的2~8周期的延迟</li> <li>• 时钟相位设定 可选择有或者无时钟延迟</li> </ul>

注1. 在选择外部时钟时,必须在外部时钟为“H”电平的状态下满足条件。

注2. 如果发生溢出错误,UiRB寄存器的内容不定。另外,SiRIC寄存器的IR位不变。

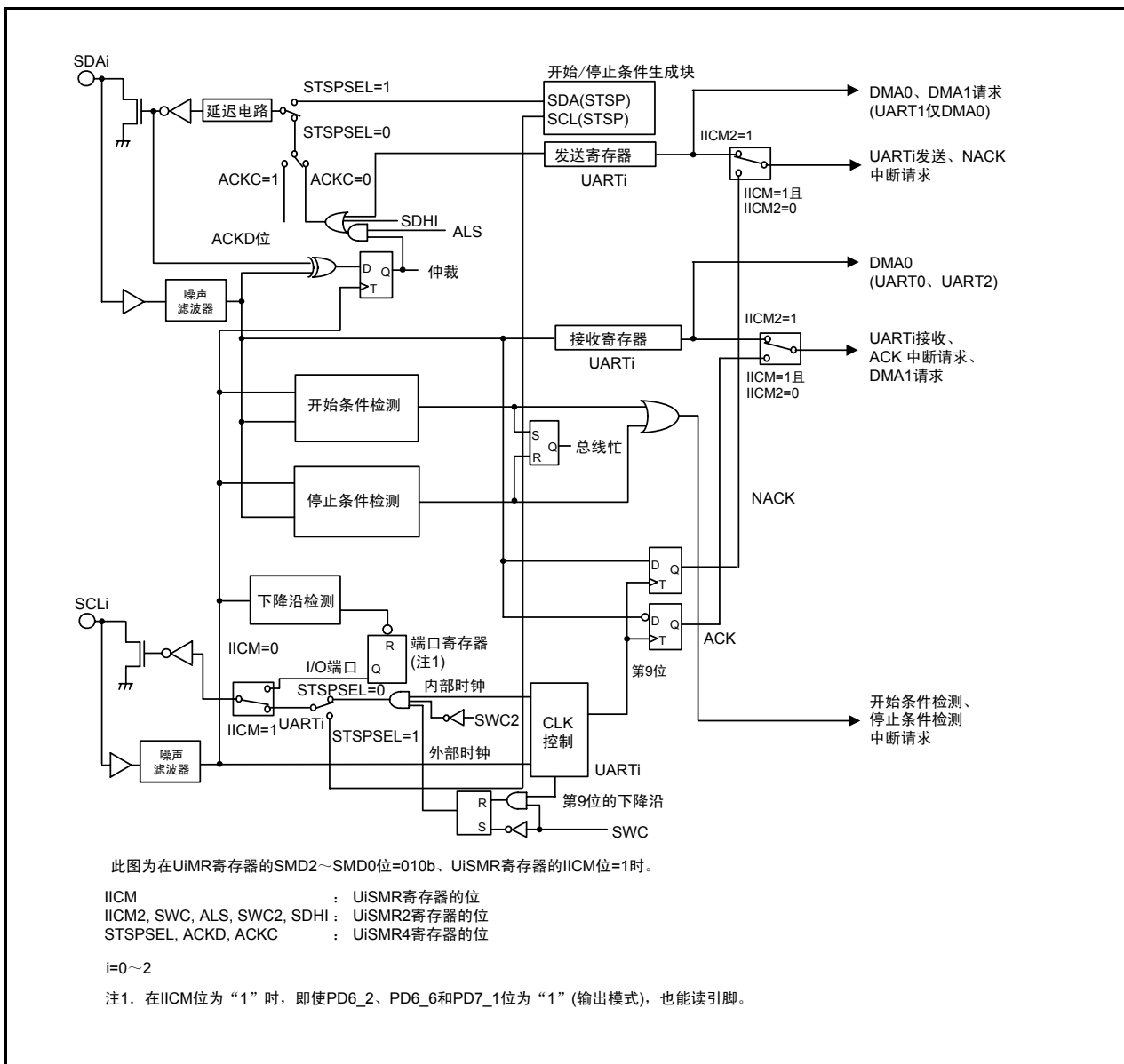


图 17.24 I<sup>2</sup>C模式的框图

表 17.11 I<sup>2</sup>C模式使用的寄存器和设定值 (1)

寄存器	位	功能	
		主模式时	从属模式时
UiTB (注3)	0~7	设定发送数据	设定发送数据
UiRB (注3)	0~7	能读取接收数据	能读取接收数据
	8	置ACK或NACK	置ACK或者NACK
	ABT	仲裁失效检测标志	无效
	OER	溢出错误标志	溢出错误标志
UiBRG	0~7	设定位速率	无效
UiMR (注3)	SMD2~SMD0	置“010b”	置“010b”
	CKDIR	置“0”	置“1”
	IOPOL	置“0”	置“0”
UiC0	CLK1~CLK0	选择UiBRG的计数源	无效
	CRS	因为CRD=1, 所以无效	因为CRD=1, 所以无效
	TXEPT	发送寄存器空标志	发送寄存器空标志
	CRD	置“1”	置“1”
	NCH	置“1”(注2)	置“1”(注2)
	CKPOL	置“0”	置“0”
	UFORM	置“1”	置“1”
UiC1	TE	在允许发送时, 置“1”	在允许发送时, 置“1”
	TI	发送缓冲器空标志	发送缓冲器空标志
	RE	在允许接收时, 置“1”	在允许接收时, 置“1”
	RI	接收结束标志	接收结束标志
	U2IRS (注1)	无效	无效
	U2RRM (注1)、 UiLCH、UiERE	置“0”	置“0”
UiSMR	IICM	置“1”	置“1”
	ABC	选择仲裁失效检测时序	无效
	BBS	总线忙标志	总线忙标志
	3~7	置“0”	置“0”
UiSMR2	IICM2	请参照“表17.13 I <sup>2</sup> C模式时的各功能”	请参照“表17.13 I <sup>2</sup> C模式时的各功能”
	CSC	在允许时钟同步时, 置“1”	置“0”
	SWC	在时钟第9位的下降沿将SCLi输出固定为“L”电平输出时, 置“1”	在时钟第9位的下降沿将SCLi输出固定为“L”电平输出时, 置“1”
	ALS	如果在检测出仲裁失效时停止SDAi输出, 置“1”	置“0”
	STAC	置“0”	通过开始条件检测初始化UARTi时, 置“1”
	SWC2	将SCLi的输出强制置“L”电平时, 置“1”	将SCLi的输出强制置“L”电平时, 置“1”
	SDHI	在禁止SDAi输出时, 置“1”	在禁止SDAi输出时, 置“1”
	7	置“0”	置“0”
UiSMR3	0、2、4、NODC	置“0”	置“0”
	CKPH	请参照“表17.13 I <sup>2</sup> C模式时的各功能”	请参照“表17.13 I <sup>2</sup> C模式时的各功能”
	DL2~DL0	设定SDAi的数字延迟值	设定SDAi的数字延迟值

注1. 必须将U0C1、U1C1寄存器的4位和5位置“0”。U0IRS、U1IRS、U0RRM、U1RRM位为UCON寄存器的位。

注2. TXD2引脚为N沟道漏极开路。因为U2C0寄存器的NCH位什么都不指定, 所以只能写“0”。

注3. 在I<sup>2</sup>C模式时, 将此表中没有记述的位置“0”。

i=0~2

表 17.12 I<sup>2</sup>C模式使用的寄存器和设定值 (2)

寄存器	位	功能	
		主模式时	从属模式时
UiSMR4	STAREQ	在生成开始条件时, 置“1”	置“0”
	RSTAREQ	在生成重新启动条件时, 置“1”	置“0”
	STPREQ	在生成停止条件时, 置“1”	置“0”
	STSPSEL	在输出各条件时, 置“1”	置“0”
	ACKD	选择ACK或者NACK	选择ACK或者NACK
	ACKC	在输出ACK数据时, 置“1”	在输出ACK数据时, 置“1”
	SCLHI	如果在检测出停止条件时停止SCLi输出, 必须置“1”	置“0”
	SWC9	置“0”	在时钟第9位的下一个下降沿将SCLi保持“L”电平时, 置“1”
IFSR2A	IFSR26、IFSR27	置“1”	置“1”
UCON	U0IRS、U1IRS	无效	无效
	2~7	置“0”	置“0”

i=0~2

表 17.13 I<sup>2</sup>C模式中的各功能

功能	时钟同步串行I/O模式 (SMD2~SMD0=001b、 ICM=0)	I <sup>2</sup> C模式 (SMD2~SMD0=010b、IICM=1)			
		IICM2=0 (NACK/ACK 中断)		IICM2=1 (UART 发送/UART 接收中断)	
		CKPH=0 (无时钟延迟)	CKPH=1 (有时钟延迟)	CKPH=0 (无延迟时钟)	CKPH=1 (有时钟延迟)
中断序号6、7、10的源 (注1、5、7)	—	开始条件检测、停止条件检测(请参照“表17.14 STSPSEL位的功能”)			
中断序号15、17、19的源 (注1、6)	UARTi 发送、发送开始 或者发送结束(由UiIRS 选择)	无应答检测(NACK) 第9位的SCLi 上升沿		UARTi 发送 第9位的SCLi 上升 沿	UARTi 送信 第9位的下一个 SCLi 下降沿
中断序号16、18、20的源 (注1、6)	UARTi 接收 接收第8位时 CKPOL=0(上升) CKPOL=1(下降)	应答检测(ACK) 第9位的SCLi 上升沿		UARTi 接收 第9位的SCLi 下降沿	
从UART接收移位寄存器 将数据传送给UiRB寄存 器的时序	CKPOL=0(上升) CKPOL=1(下降)	第9位的SCLi 上升沿		第9位的SCLi 下降 沿	第9位的SCLi 下降 沿和上升沿
UARTi 发送输出延迟	无延迟	有延迟			
P6_3、P6_7、P7_0引脚 的功能	TXDi 输出	SDAi 输入/输出			
P6_2、P6_6、P7_1引脚 的功能	RXDi 输入	SCLi 输入/输出			
P6_1、P6_5、P7_2引脚 的功能	CLKi 输入或者输出选 择	—(不用于I <sup>2</sup> C模式)			
噪声滤波器宽度	15ns	200ns			
RXDi、SCLi 引脚电平的 读取	对应的端口方向位为 “0”时能读取	与对应的方向位的内容无关，总是能读取			
TXDi、SDAi 输出的初始 值	CKPOL=0(H) CKPOL=1(L)	I <sup>2</sup> C模式设定前，设定在端口寄存器的值(注2)			
SCLi 的初始值和结束值	—	H	L	H	L
DMA1源(注6)	UARTi 接收	应答检测(ACK)		UARTi 接收 第9位的SCLi 下降沿	
接收数据的保存	将第1~8位保存到 UiRB寄存器的0~7位	将第1~8位保存到UiRB寄存器的7~0 位		将第1~7位保存到UiRB寄存器的6~0 位、第8位保存到UiRB寄存器的8位  将第1~8位保存到 UiRB寄存器的 7~0位(注3)	
接收数据的读取	读UiRB寄存器的状态	UiRB寄存器的6~0 位作为7~1位、 8位作为0位来读 (注4)			

注1. 如果更改中断源，被更改中断的中断控制寄存器的IR位有可能变为“1”(有中断请求)(请参照“24.5 中断注意事项”)。如果更改UiMR寄存器的SMD2~SMD0位、UiSMR寄存器的IICM2位、UiSMR3寄存器的CKPH位，因为中断源和中断时序等发生变化，所以必须在更改这些位后，将IR位置“0”(无中断请求)。

注2. 必须在SMD2~SMD0位为“000b”(串行接口无效)的状态下设定SDAi输出的初始值。

注3. 第2次给UiRB寄存器传送数据(第9位的SCLi上升时)

注4. 第1次给UiRB寄存器传送数据(第9位的SCLi下降时)

注5. 请参照“图17.27 STSPSEL位的功能”。

注6. 请参照“图17.25 UiRB寄存器的传送和中断时序”。

注7. 在使用UART0时，必须将IFSR2A寄存器的IFSR26位置“1”(中断源为UART0总线冲突)。在使用UART1时，必须将IFSR2A寄存器的IFSR27位置“1”(中断源为UART1总线冲突)。

i=0~2



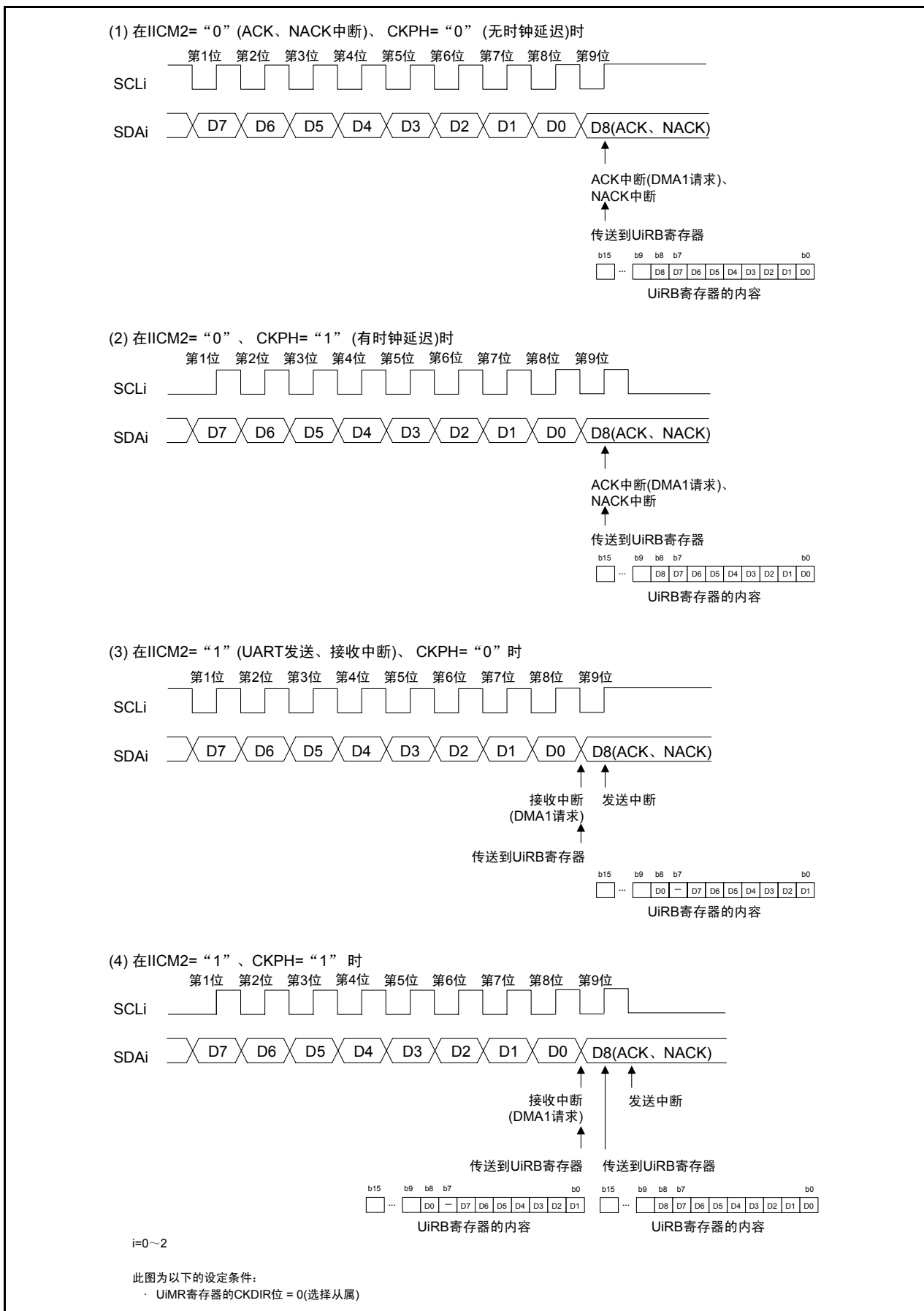


图 17.25 UiRB寄存器的传送和中断时序

### 17.1.3.1 开始条件和停止条件的检测

判断开始条件或者停止条件的检测。

在SCLi引脚为“H”电平的状态下，如果SDAi引脚从“H”电平变为“L”电平，就产生开始条件检测中断请求；如果SDAi引脚从“L”电平变为“H”电平，就产生停止条件检测中断请求。

因为开始条件检测中断和停止条件检测中断复用中断控制寄存器和向量，所以不论由哪个请求发生的中断都必须用UiSMR寄存器的BBS位来判断。

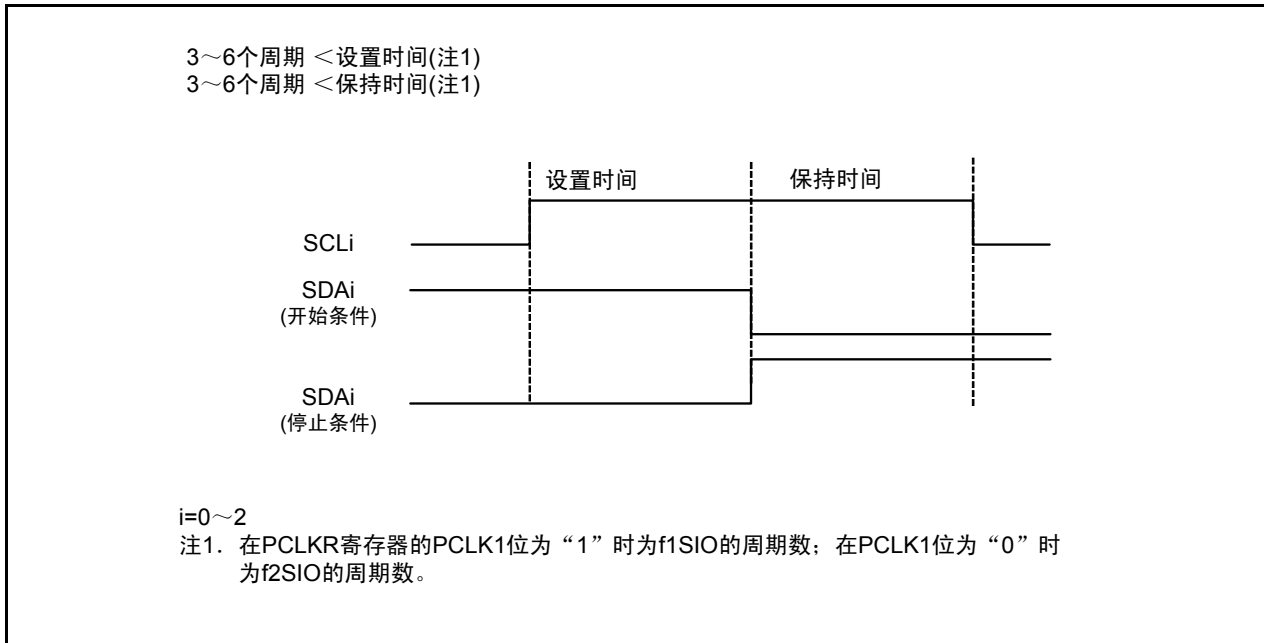


图 17.26 开始条件和停止条件的检测

### 17.1.3.2 开始条件和停止条件的输出

如果将UiSMR4寄存器 ( $i=0\sim 2$ ) 的STAREQ位置“1” (开始)，就生成开始条件。

如果将UiSMR4寄存器的RSTAREQ位置“1” (开始)，就生成重新开始条件。

如果将UiSMR4寄存器的STPREQ位置“1” (开始)，就生成停止条件。

输出的步骤如下：

- (1) 将STAREQ位、RSTAREQ位或者STPREQ位置“1” (开始)
- (2) 将UiSMR4寄存器的STSPSEL位置“1” (输出)

STSPSEL位的功能如表 17.14 和图 17.27 所示。

表 17.14 STSPSEL 位的功能

功能	STSPSEL=0	STSPSEL=1
SCLi、SDAi 引脚的输出	输出传送时钟和数据。 通过程序采用端口实现开始条件和停止条件的输出（不通过硬件自动生成）	根据 STAREQ 位、RSTAREQ 位或者 STPREQ 位输出开始条件和停止条件
开始条件和停止条件的中断请求产生时间	开始条件和停止条件检测	开始条件和停止条件生成结束

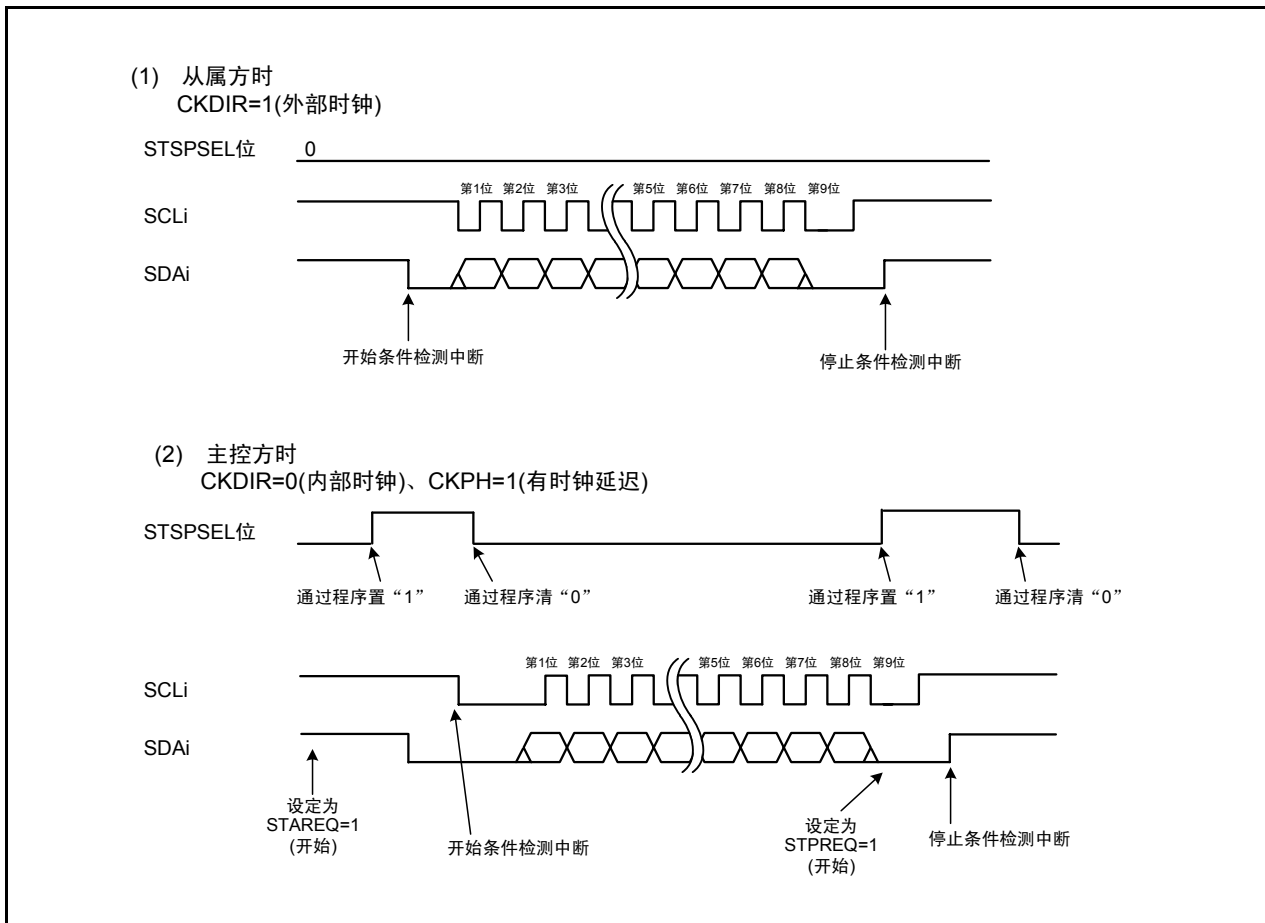


图 17.27 STSPSEL 位的功能

### 17.1.3.3 仲裁

在 SCLi 的上升沿处判断发送数据和 SDAi 引脚输入数据是否不一致。通过 UiSMR 寄存器的 ABC 位选择 UiRB 寄存器的 ABT 位的更新时序。在 ABC 位为“0”（按位更新）时，如果在判断时检测出不一致，ABT 位就为“1”；如果没检测出不一致，ABT 位就为“0”。如果将 ABC 位置“1”，只要在判断时检测出一次不一致，就在第 9 位的时钟下降沿 ABT 位变为“1”（不一致检测）。而且，在按字节更新时，必须在第 1 个字节的应答检测结束后，先将 ABT 位置“0”（未检测），然后传送下一个字节。

如果将 UiSMR2 寄存器的 ALS 位置“1”（允许 SDA 输出停止），就发生仲裁失效，并在 ABT 位变为“1”（不一致检测）的同时，SDAi 引脚变为高阻抗状态。

### 17.1.3.4 传送时钟

通过如“图17.25 UiRB寄存器的传送和中断的时序”所示的传送时钟进行发送和接收。

UiSMR2寄存器的CSC位是使内部生成的时钟(内部SCLi)和SCLi引脚输入的外部时钟同步的位。如果将CSC位置“1”(允许时钟同步),在内部SCLi为“H”电平时,如果检测到SCLi引脚的下降沿,就将内部SCLi作为“L”电平,在将UiBRG寄存器的值再装入后开始L区间的计数。另外,在SCLi引脚为“L”电平时,如果内部SCLi从“L”电平变为“H”电平,就停止计数,此后,如果SCLi引脚为“H”电平,就重新开始计数。因此,UARTi的传送时钟为内部SCLi和SCLi引脚信号的逻辑与。而且,传送时钟在从内部SCLi的第1位下降沿半周期前到第9位上升沿的期间运行。使用此功能时,对传送时钟必须选择内部时钟。

能通过UiSMR2寄存器的SWC2位并在时钟的第9位下降沿,选择是将SCLi引脚固定为“L”电平输出还是解除固定的“L”电平输出。

如果将UiSMR4寄存器的SCLHI位置“1”(允许),就在检测停止条件时停止SCLi输出(高阻抗状态)。

如果UiSMR2寄存器的SWC2位置“1”(0输出),即使在发送和接收中也能从SCLi引脚强制输出“L”电平。如果将SWC2位置“0”(传送时钟),就解除SCLi引脚的“L”电平输出,从SCLi引脚输入/输出传送时钟。

在UiSMR3寄存器的CKPH位为“1”时,如果将UiSMR4寄存器的SWC9位置“1”(允许SCL保持“L”电平),就在时钟第9位的下一个下降沿将SCLi引脚固定为“L”电平输出;如果将SWC9位置“0”(禁止SCL保持“L”电平),就解除固定的“L”电平输出。

### 17.1.3.5 SDA输出

从D7按顺序输出写在UiTB寄存器的7~0位(D7~D0)的值,第9位为(D8)ACK或者NACK。

必须在IICM=1(I<sup>2</sup>C模式)并且UiMR寄存器的SMD2~SMD0位为“000b”(串行接口无效)的状态下设定SDAi发送输出的初始值。

对SDAi的输出,能根据UiSMR3寄存器的DL2~DL0位设定无延迟或者延迟UiBRG计数源的2~8周期。

如果将UiSMR2寄存器的SDHI位置“1”(禁止SDA输出),SDAi引脚就强制变为高阻抗状态。另外,不能在UARTi传送时钟的上升沿时序写SDHI位。ABT位有可能为“1”(检测)。

### 17.1.3.6 SDA输入

在IICM2位为“1”时,将接收数据的第1~8位(D7~D0)保存到UiRB寄存器的7~0位,第9位(D8)为ACK或者NACK。

在IICM2位为“1”时,将接收数据的第1~7位(D7~D1)保存到UiRB寄存器的6~0位、第8位(D0)保存到UiRB寄存器的第8位。即使在IICM2位为“1”时,只要CKPH位为“1”,也能在第9位的时钟上升沿后通过读取UiRB寄存器来读取和IICM2位为“0”时的相同数据。

### 17.1.3.7 ACK、NACK

UiSMR4寄存器的STSPSEL位为“0”（不生成开始条件和停止条件）并且UiSMR4寄存器的ACKC位为“1”（输出ACK数据）时，从SDAi引脚输出UiSMR4寄存器的ACKD位的值。

IICM2位为“0”时，如果在发送时钟的第9位上升沿时SDAi引脚一直为“H”电平，就产生NACK中断请求；如果在发送时钟的第9位上升沿时SDAi引脚一直为“L”电平，就产生ACK中断请求。

如果对DMA1请求源选择ACKi，就能通过应答检测启动DMA传送。

### 17.1.3.8 发送和接收初始化

如果将STAC位置“1”（允许UARTi初始化）并检测出开始条件，就进行如下运行：

- 初始化发送移位寄存器，将UiTB寄存器的内容传送到发送移位寄存器。在下一个输入时钟开始第1位数据的发送。但是，在从时钟输入到输出第1位数据之间，UARTi输出值不变而一直为检测出开始条件时的值。
- 初始化接收移位寄存器，在下一个输入时钟开始第1位数据的接收。
- SWC位变为“1”（允许SCL等待输出）。在时钟第9位的下降沿SCLi引脚变为“L”电平。

而且，在使用此功能并开始UARTi的发送和接收时，TI位不变。另外，在使用此功能时，必须选择外部时钟作为传送时钟。

### 17.1.4 特殊模式2

特殊模式2可以使1个主控方与多个从属方进行串行通讯，并且可以选择传送时钟的极性和相位。特殊模式2的规格如表17.15、特殊模式2使用的寄存器和设定值如表17.16、特殊模式2的通信控制例子(UART2)如图17.28所示。

表17.15 特殊模式2的规格

项目	规格
传送数据格式	传送数据长度 8位
传送时钟	<ul style="list-style-type: none"> <li>主模式 UiMR寄存器(i=0~2)的CKDIR位“0”(选择内部时钟):<math>f_j/2(n+1)</math> <math>f_j=f1S10、f2S10、f8S10、f32S10</math> n:UiBRG寄存器的设定值 00h~FFh。</li> <li>从属模式 CKDIR位为“1”(选择外部时钟):从CLKi引脚的输入</li> </ul>
发送控制、接收控制	通过I/O端口控制
发送开始条件	开始发送时需要以下条件(注1): <ul style="list-style-type: none"> <li>UiC1寄存器的TE位为“1”(允许发送)</li> <li>UiC1寄存器的TI位为“0”(UiTB寄存器中有数据)</li> </ul>
接收开始条件	开始接收时需要以下条件(注1): <ul style="list-style-type: none"> <li>UiC1寄存器的RE位为“1”(允许接收)</li> <li>TE位为“1”(允许发送)</li> <li>TI位为“0”(UiTB寄存器中有数据)</li> </ul>
中断请求产生时间	发送时可选择以下的任意条件: <ul style="list-style-type: none"> <li>UiC1寄存器的UiIRS位为“0”(发送缓冲器空): 在从UiTB寄存器给UARTi发送寄存器传送数据时(发送开始时)</li> <li>UiIRS位为“1”(发送结束): 在从UARTi发送寄存器数据传送结束时</li> </ul> 接收时 <ul style="list-style-type: none"> <li>在从UARTi接收寄存器给UiRB寄存器传送数据时(接收结束时)</li> </ul>
错误检测	溢出错误(注2) 如果在读取UiRB寄存器前开始接收下一个数据并且接收下一个数据的第7位,就发生溢出错误
选择功能	时钟相位选择 可选择传送时钟的极性和相位的4种组合

注1. 在选择外部时钟时,必须满足以下条件:UiC0寄存器的CKPOL位为“0”(在传送时钟的下降沿输出发送数据,在上升沿输入接收数据)时,外部时钟为“H”电平状态;CKPOL位为“1”(在传送时钟的上升沿输出发送数据,在下降沿输入接收数据)时,外部时钟为“L”电平状态。

注2. 如果发生溢出错误,UiRB寄存器的内容不定。另外,SiRIC寄存器的IR位不变。

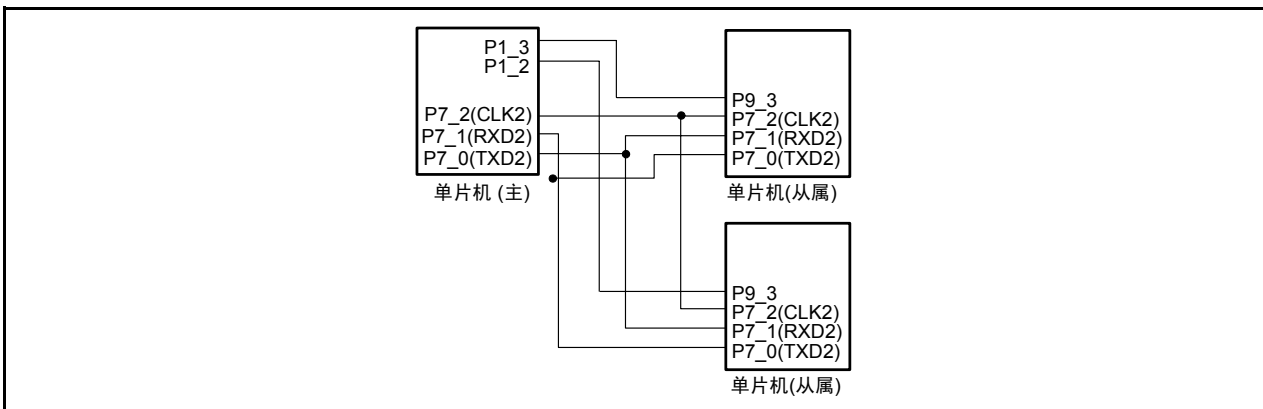


图17.28 特殊模式2的通信控制例子 (UART2)

表 17.16 特殊模式2使用的寄存器和设定值

寄存器	位	功能
UiTB(注3)	0~7	设定发送数据
UiRB(注3)	0~7	能读取接收数据
	OER	溢出错误标志
UiBRG	0~7	设定位速率
UiMR(注3)	SMD2~SMD0	置“001b”
	CKDIR	主模式时置“0”，从属模式时置“1”
	IOPOL	置“0”
UiCO	CLK0, CLK1	选择UiBRG的计数源
	CRS	因为CRD=1, 所以无效
	TXEPT	发送寄存器空标志
	CRD	置“1”
	NCH	选择TXDi引脚的输出形式(注2)
	CKPOL	能通过和UiSMR3寄存器的CKPH位的组合设定相位
	UFORM	置“0”
UiC1	TE	在允许发送和接收时, 置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时, 置“1”
	RI	接收结束标志
	U2IRS(注1)	选择UART2发送中断源
	U2RRM(注1)、UiLCH、UiERE	置“0”
UiSMR	0~7	置“0”
UiSMR2	0~7	置“0”
UiSMR3	CKPH	能通过和UiCO寄存器的CKPOL位的组合设定相位
	NODC	置“0”
	0、2、4~7	置“0”
UiSMR4	0~7	置“0”
UCON	U0IRS、U1IRS	选择UART0、1发送中断源
	U0RRM、U1RRM	置“0”
	CLKMD0	因为CLKMD1=0, 所以无效
	CLKMD1、RCSP、7	置“0”

注1. 必须将U0C0、U1C1寄存器的位4和位5置“0”。U0IRS、U1IRS、U0RRM、U1RRM位为UCON寄存器的位。

注2. TXD2引脚为N沟道漏极开路。因为U2C0寄存器的NCH位什么都不指定, 所以只能写“0”。

注3. 在特殊模式2中进行写操作时, 对此表中没有记述的位只能写“0”。

i=0~2

### 17.1.4.1 时钟相位设定功能

传送时钟的相位和极性共有4种组合，可以通过UiSMR3寄存器的CKPH位和UiC0寄存器的CKPOL位进行选择。

必须在进行传送的主控方和从属方设定相同的传送时钟的极性和相位。

主控方（内部时钟）的发送和接收时序如图17.29所示。

从属方（外部时钟）的发送和接收时序(CKPH=0)如图17.30、从属方（外部时钟）的发送和接收时序(CKPH=1)如图17.31所示。

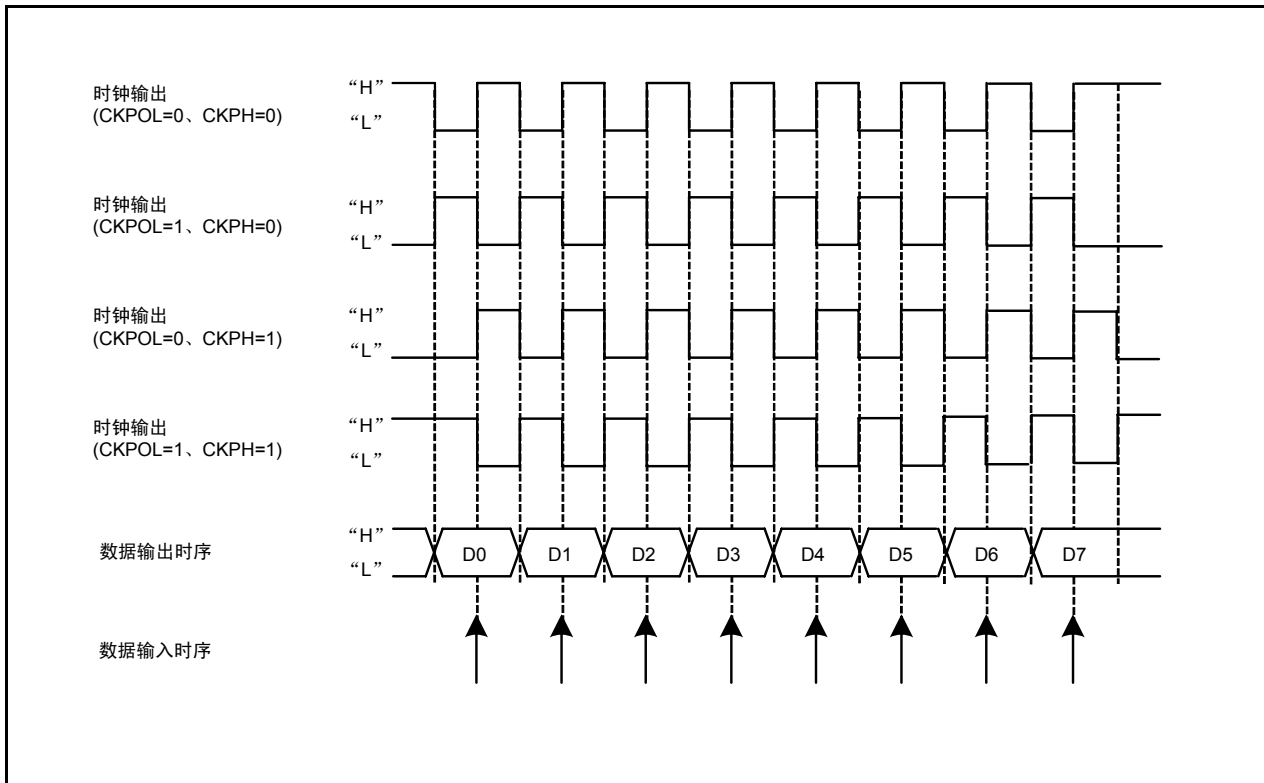


图17.29 主控方（内部时钟）的发送和接收时序



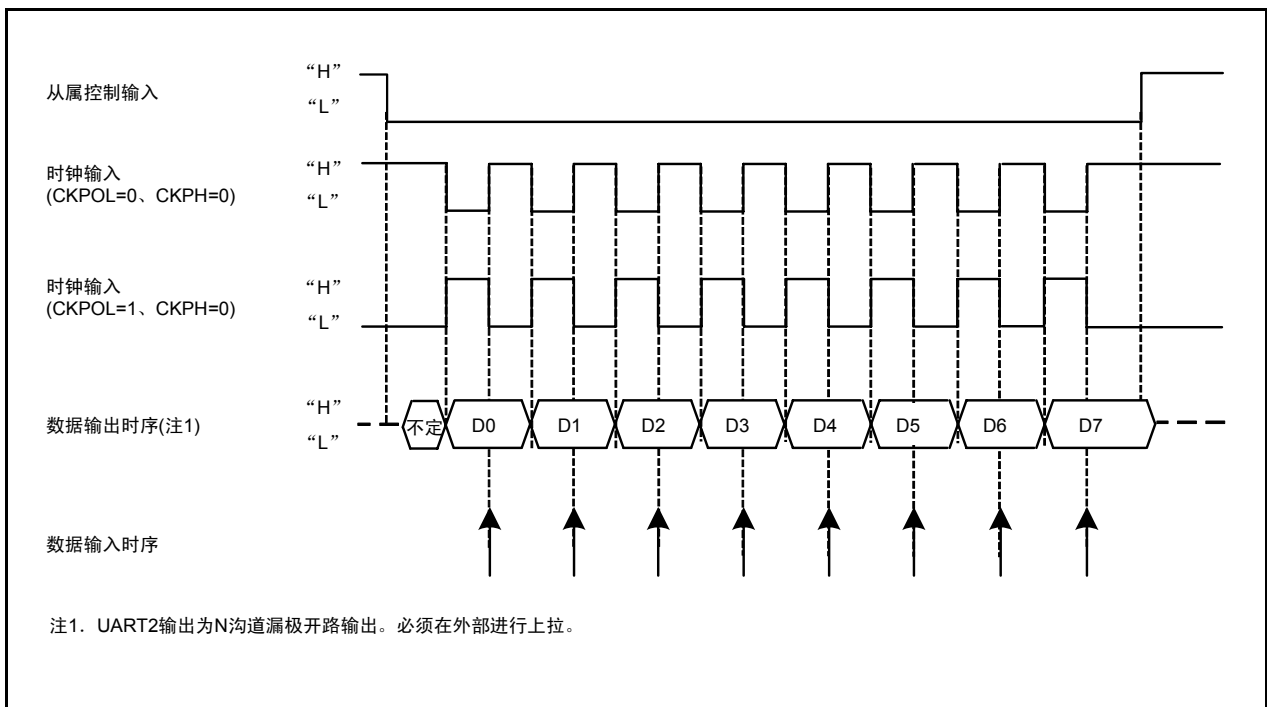


图 17.30 从属方(外部时钟)的发送和接收时序(CKPH=0)

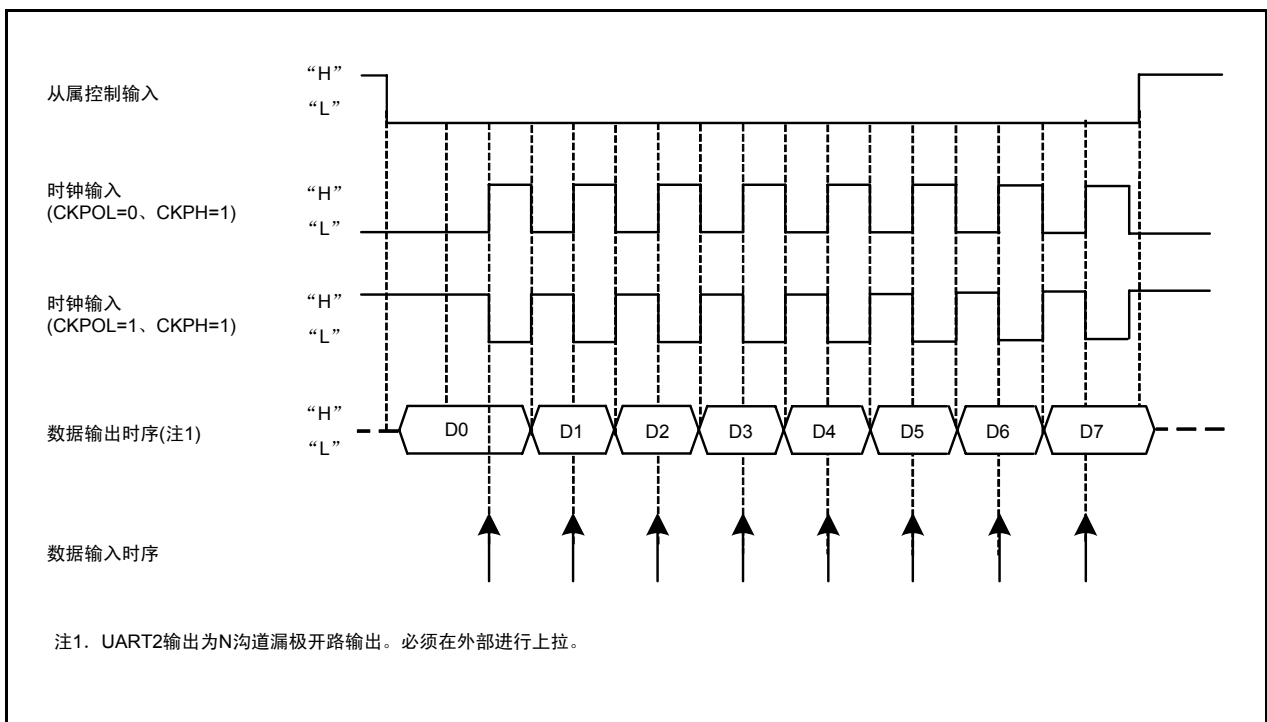


图 17.31 从属方(外部时钟)的发送和接收时序(CKPH=1)

### 17.1.5 特殊模式3(IE模式)

特殊模式3是通过UART模式的1个字节的波形使它接近IEBus的1位的模式。

IE模式使用的寄存器和设定值如表17.17、总线冲突检测功能关联位的功能如图17.32所示。

在TXDi引脚( $i=0\sim 2$ )的输出电平与RXDi引脚的输入电平不同时,产生UARTi总线冲突检测中断请求。

在使用UART0或者UART1的总线冲突检测功能时,必须通过IFSR2A寄存器的IFSR26位和IFSR27位来选择。

表17.17 IE模式使用的寄存器和设定值

寄存器	位	功能
UiTB	0~8	设定发送数据
UiRB(注3)	0~8	能读取接收数据
	OER、FER、PER、SUM	错误标志
UiBRG	0~7	设定位速率
UiMR	SMD2~SMD0	置“110b”
	CKDIR	选择内部时钟或者外部时钟
	STPS	置“0”
	PRY	因为PRYE=0,所以无效
	PRYE	置“0”
	IOPOL	选择TXD和RXD输入/输出极性
UiC0	CLK1~CLK0	选择UiBRG的计数源
	CRS	因为CRD=1,所以无效
	TXEPT	发送寄存器空标志
	CRD	置“1”
	NCH	选择TXDi引脚的输出形式(注2)
	CKPOL	置“0”
	UFORM	置“0”
UiC1	TE	在允许发送时,置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时,置“1”
	RI	接收结束标志
	U2IRS(注1)	选择UART2发送中断源
	U2RRM(注1)、UiLCH、UiERE	置“0”
UiSMR	0~3、7	置“0”
	ABSCS	选择总线冲突检测的采样时序
	ACSE	在使用发送允许位自动清除时,置“1”
	SSS	选择发送开始条件
UiSMR2	0~7	置“0”
UiSMR3	0~7	置“0”
UiSMR4	0~7	置“0”
IFSR2A	IFSR26、IFSR27	置“1”
UCON	U0IRS、U1IRS	选择UART0、1发送中断源
	U0RRM、U1RRM	置“0”
	CLKMDO	因为CLKMD1=0,所以无效
	CLKMD1、RCSP、7	置“0”

注1. 必须将UOC0、U1C1寄存器的4位和5位置“0”。U0IRS、U1IRS、U0RRM、U1RRM位为UCON寄存器的位。

注2. TXD2引脚为N沟道漏极开路。因为U2C0寄存器的NCH位什么都不指定,所以只能写“0”。

注3. 在IE模式中进行写操作时,对此表中没有记述的位只能写“0”。

$i=0\sim 2$

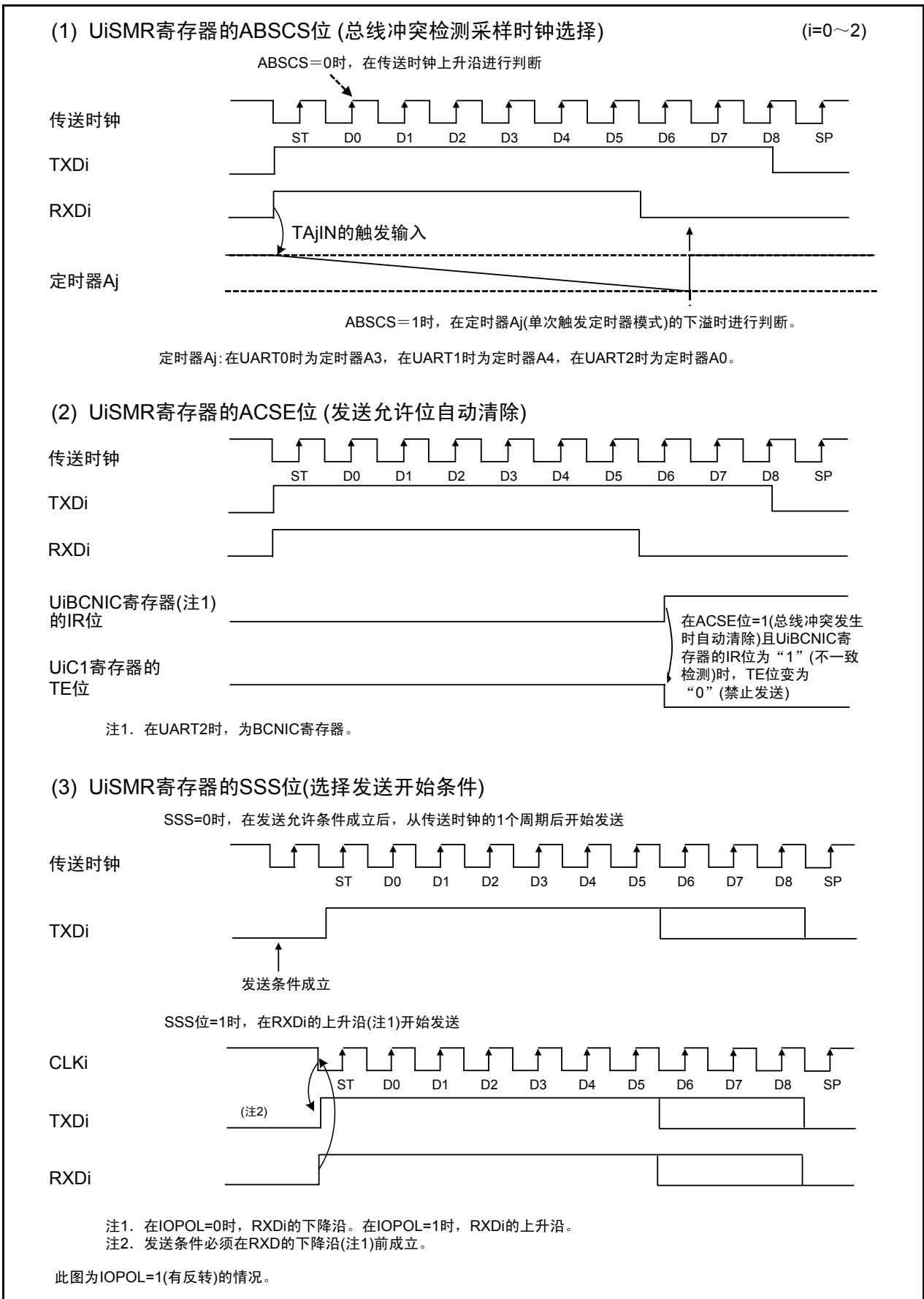


图 17.32 总线冲突检测功能关联位的功能

### 17.1.6 特殊模式4(SIM模式)(UART2)

特殊模式4是基于UART模式，兼容SIM接口的模式。能实现正向格式和反向格式，并且能在检测奇偶校验错误时，从TXD2引脚输出“L”电平。SIM模式的规格如表17.18、SIM模式使用的寄存器和设定值如表17.19所示。

表17.18 SIM模式的规格

项目	规格
传送数据格式	<ul style="list-style-type: none"> <li>正向格式</li> <li>反向格式</li> </ul>
传送时钟	<ul style="list-style-type: none"> <li>U2MR寄存器的CKDIR位为“0”(内部时钟):<math>f_i/16(n+1)</math>  <math>f_i=f1S10、f2S10、f8S10、f32S10</math>  <math>n=U2BRG</math>寄存器的设定值 00h~FFh</li> <li>CKDIR位为“1”(外部时钟):<math>fEXT/16(n+1)</math>  <math>fEXT</math>是从CLK2引脚的输入。  <math>n=U2BRG</math>寄存器的设定值00h~FFh</li> </ul>
发送开始条件	开始发送时需要以下条件: <ul style="list-style-type: none"> <li>U2C1寄存器的TE位为“1”(允许发送)</li> <li>U2C1寄存器的TI位为“0”(U2TB寄存器中有数据)</li> </ul>
接收开始条件	开始接收时需要以下条件: <ul style="list-style-type: none"> <li>U2C1寄存器的RE位为“1”(允许接收)</li> <li>检测到开始位</li> </ul>
中断请求产生时间(注2)	<ul style="list-style-type: none"> <li>在发送时 从UART2发送寄存器数据传送结束时(U2IRS位=“1”)</li> <li>在接收时 从UART2接收寄存器给U2RB寄存器传送数据(接收结束)时</li> </ul>
错误检测	<ul style="list-style-type: none"> <li>溢出错误(注1) 如果在读取U2RB寄存器前开始接收下一个数据，在接收下一个数据的最后停止位的前1位，发生溢出错误</li> <li>帧错误(注3) 当检测到的停止位个数小于设定值时，产生帧错误</li> <li>奇偶检验错误(注3) 如果在接收时检测出溢出错误，就从TXD2引脚端子输出奇偶检验错误信号 如果在发送时发生发送中断，就根据RXD2引脚的输入电平检测奇偶检验错误</li> <li>错误和标志 如果发生溢出错误、帧错误或者奇偶检验错误中的任意一个错误，错误和标志就为“1”</li> </ul>

注1. 如果发生溢出错误，U2RB寄存器的内容不定。另外，S2RIC寄存器的IR位不变。

注2. 如果在解除复位后将U2C1寄存器的U2IRS位置“1”(发送结束)、U2ERE位置“1”(输出错误信号)，就产生发送中断请求。因此，在使用SIM模式时，必须在设定后将IR位置“0”(无中断请求)。

注3. 检测并置位帧错误标志和奇偶校验错误标志的时序为将数据从UART<sub>i</sub>接收寄存器传送到U<sub>i</sub>RB寄存器时。

表 17.19 SIM 模式使用的寄存器和设定值

寄存器	位	功能
U2TB(注1)	0~7	设定发送数据
U2RB(注1)	0~7	能读取接收数据
	OER、FER、PER、SUM	错误标志
U2BRG	0~7	设定位速率
U2MR	SMD2~SMD0	置“101b”
	CKDIR	选择内部时钟或者外部时钟
	STPS	置“0”
	PRY	在正向格式时, 置“1”; 在反向格式时, 置“0”
	PRYE	置“1”
	IOPOL	置“0”
	U2C0	CLK0, CLK1
CRS		因为CRD=1, 所以无效
TXEPT		发送寄存器空标志
CRD		置“1”
NCH		置“0”
CKPOL		置“0”
UFORM		在正向格式时, 置“0”; 在反向格式时, 置“1”
U2C1		TE
	TI	发送缓冲器空标志
	RE	在允许接收时, 置“1”
	RI	接收结束标志
	U2IRS	置“1”
	U2RRM	置“0”
	U2LCH	在正向格式时, 置“0”; 在反向格式时, 置“1”
	U2ERE	置“1”
U2SMR(注1)	0~3	置“0”
U2SMR2	0~7	置“0”
U2SMR3	0~7	置“0”
U2SMR4	0~7	置“0”

注1. 在SIM模式中进行写操作时, 对此表中没有记述的位只能写“0”。

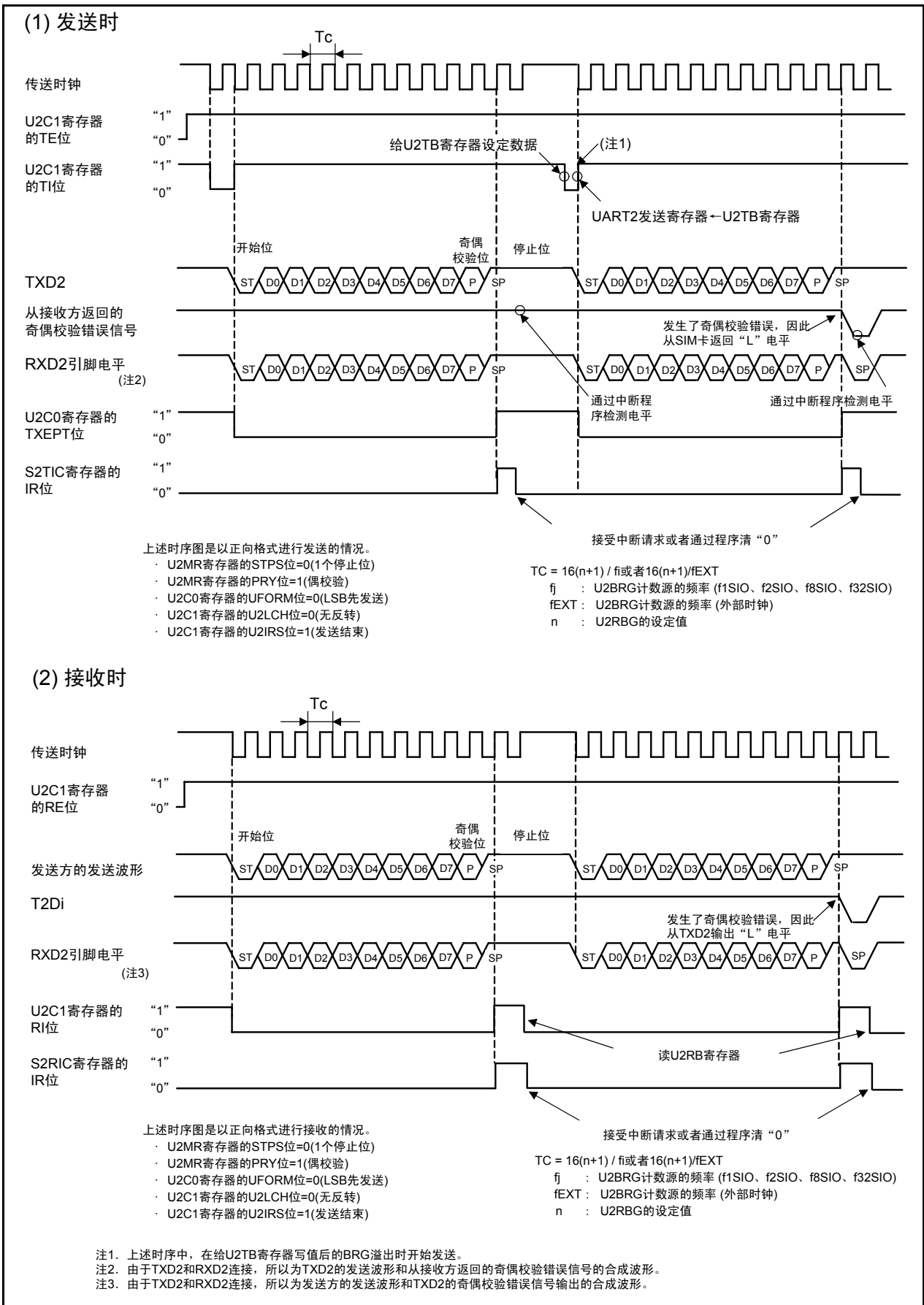


图 17.33 SIM模式的发送和接收时序例子

SIM接口的连接例子如图 17. 34 所示，必须将TXD2和RXD2连接后上拉。

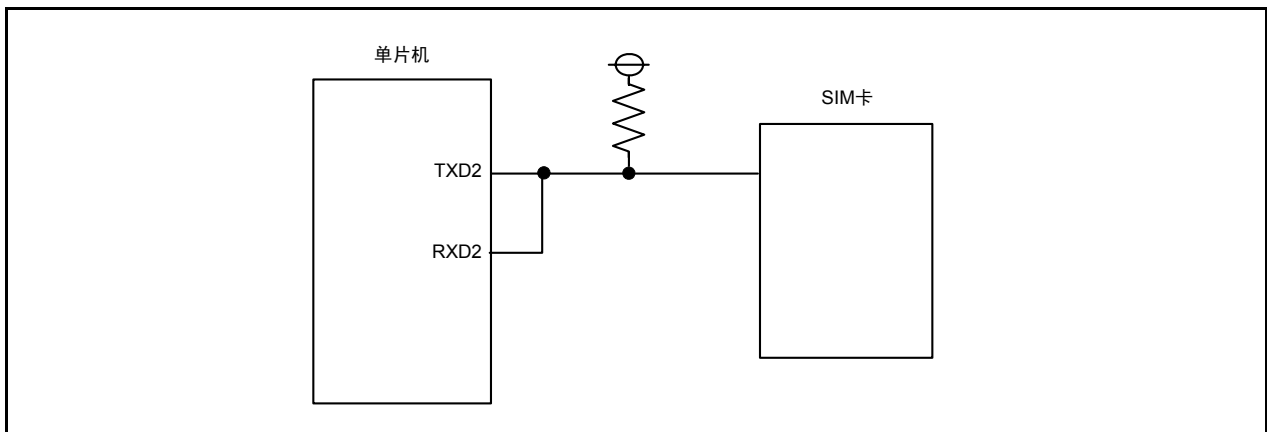


图 17. 34 SIM接口的连接例子

### 17.1.6.1 奇偶校验错误信号的输出功能

如果将U2C1寄存器的U2ERE位置“1”，就能使用奇偶校验错误信号。

如果在接收时检测出奇偶校验错误，奇偶校验错误信号就为输出信号，并在如图 17. 35 所示的时序 TXD2 输出变为“L”电平。但是，如果在输出奇偶校验错误信号中读取 U2RB 寄存器，PER 位就变为“0”（无奇偶校验错误），同时 TXD2 输出也恢复到“H”电平。

发送时，在输出停止位的下一个传送时钟下降沿产生发送结束中断请求。因此，如果通过发送结束中断程序读取 RXD2 和引脚复用的端口，就能判断溢出错误信号是否被返回。

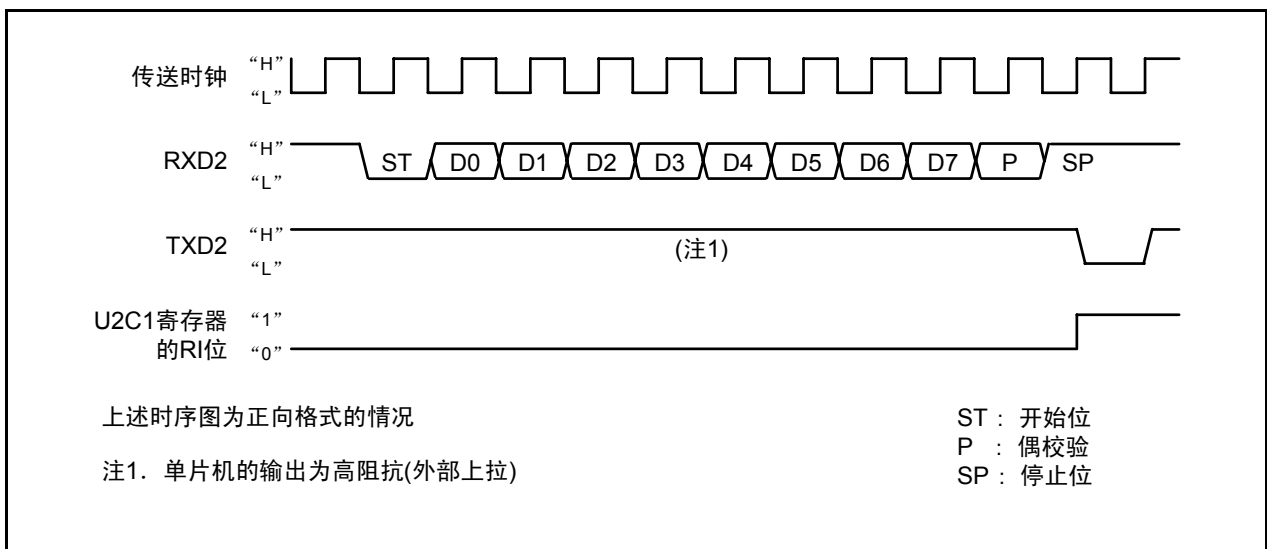


图 17. 35 溢出错误信号的输出时序

### 17.1.6.2 格式

格式有正向格式和反向格式。

在正向格式时，必须将U2MR寄存器的PRYE位置“1”（允许奇偶检验）、PRY位置“1”（偶检验）、U2C0寄存器的UFORM位置“0”（LSB先发送）、U2C1寄存器的U2LCH位置“0”（无反转）。发送时，从D0按顺序附加偶检验后发送设定在U2TB寄存器中的数据。接收时，从D0按顺序将接收数据保存到U2RB寄存器。通过偶检验判断奇偶检验错误。

在反向格式时，必须将U2MR寄存器的PRYE位置“1”、PRY位置“0”（奇检验）、U2C0寄存器的UFORM位置“1”（MSB先发送）、U2C1寄存器的U2LCH位置“1”（有反转）。发送时，从D7按顺序附加奇检验后发送对设定在U2TB寄存器中的值进行逻辑取反后的值。接收时，在将接收数据进行逻辑取反后从D7按顺序保存到U2RB寄存器。通过奇检验判断奇偶检验错误。

SIM接口格式如图17.36所示。

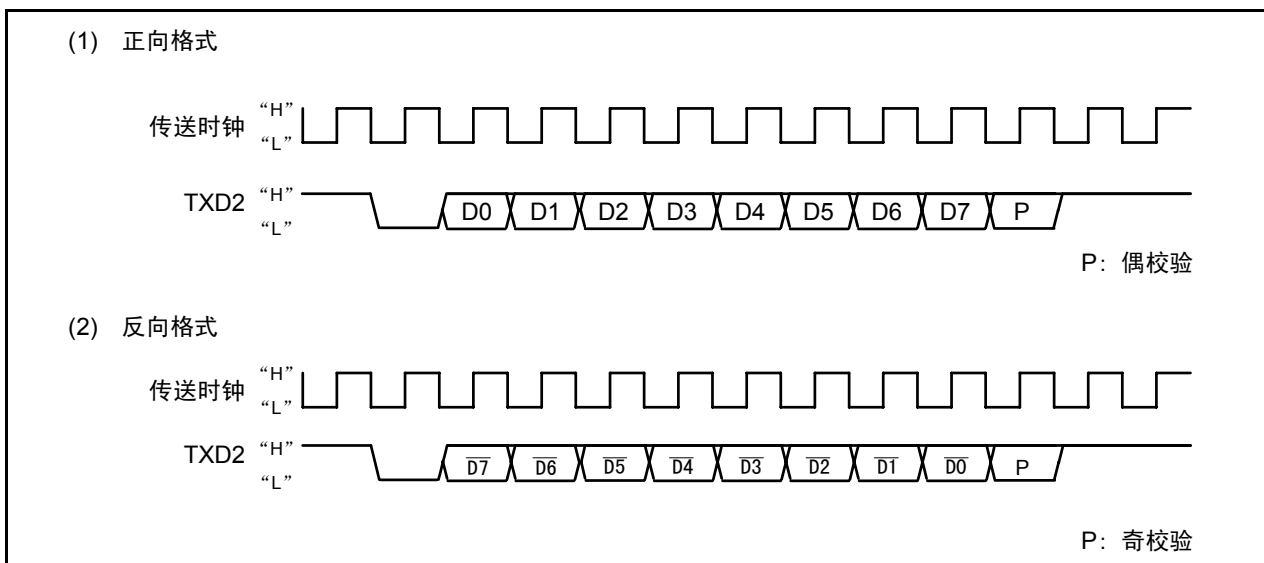


图17.36 SIM接口格式



## 17.2 SI/03和SI/04

SI/03和SI/04为时钟同步专用串行I/O。

### 注意

M16C/62P(80引脚版)和M16C/62PT(80引脚版)没有SI/03的SIN3引脚。SI/03为发送专用，不能接收。

SI/03和SI/04框图如图17.37、SI/03和SI/04关联寄存器如图17.38所示。

SI/03和SI/04的规格如表17.20所示。

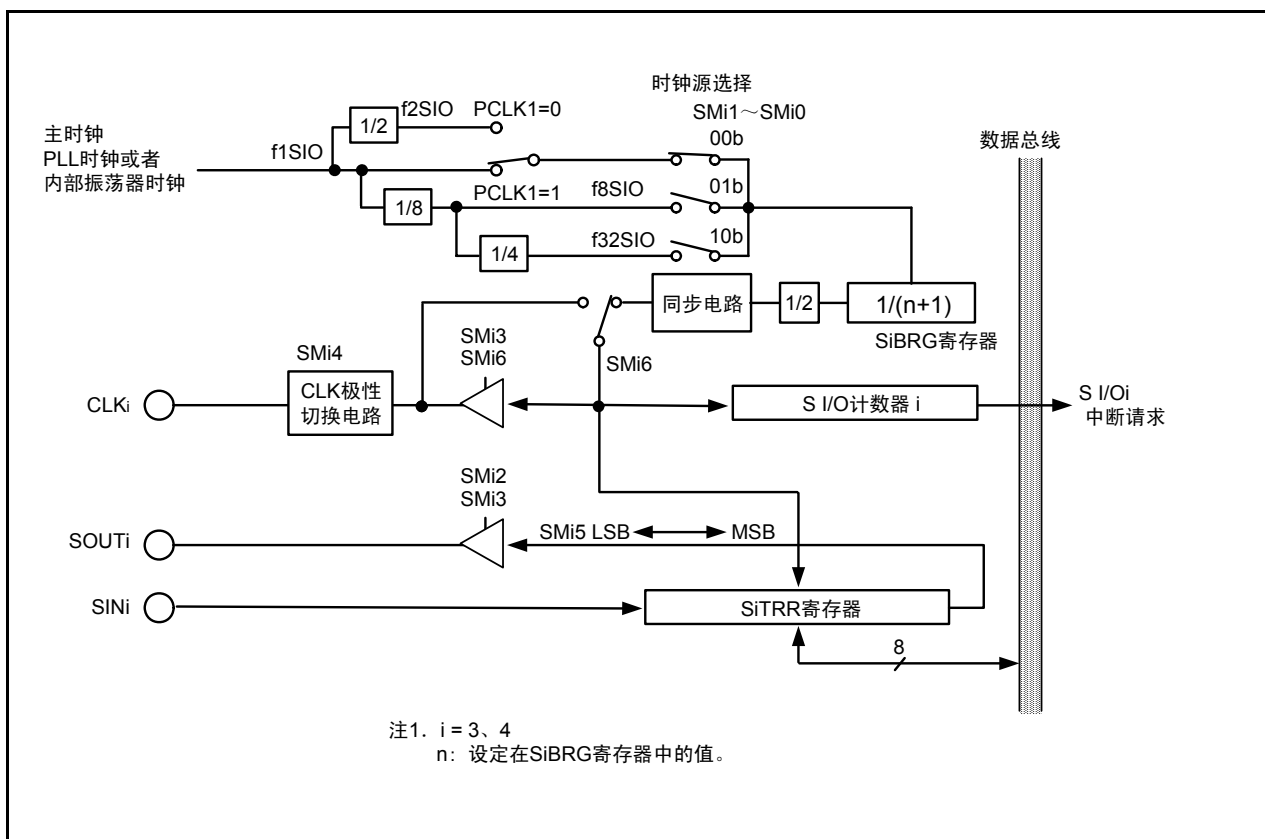


图17.37 SI/03和SI/04框图

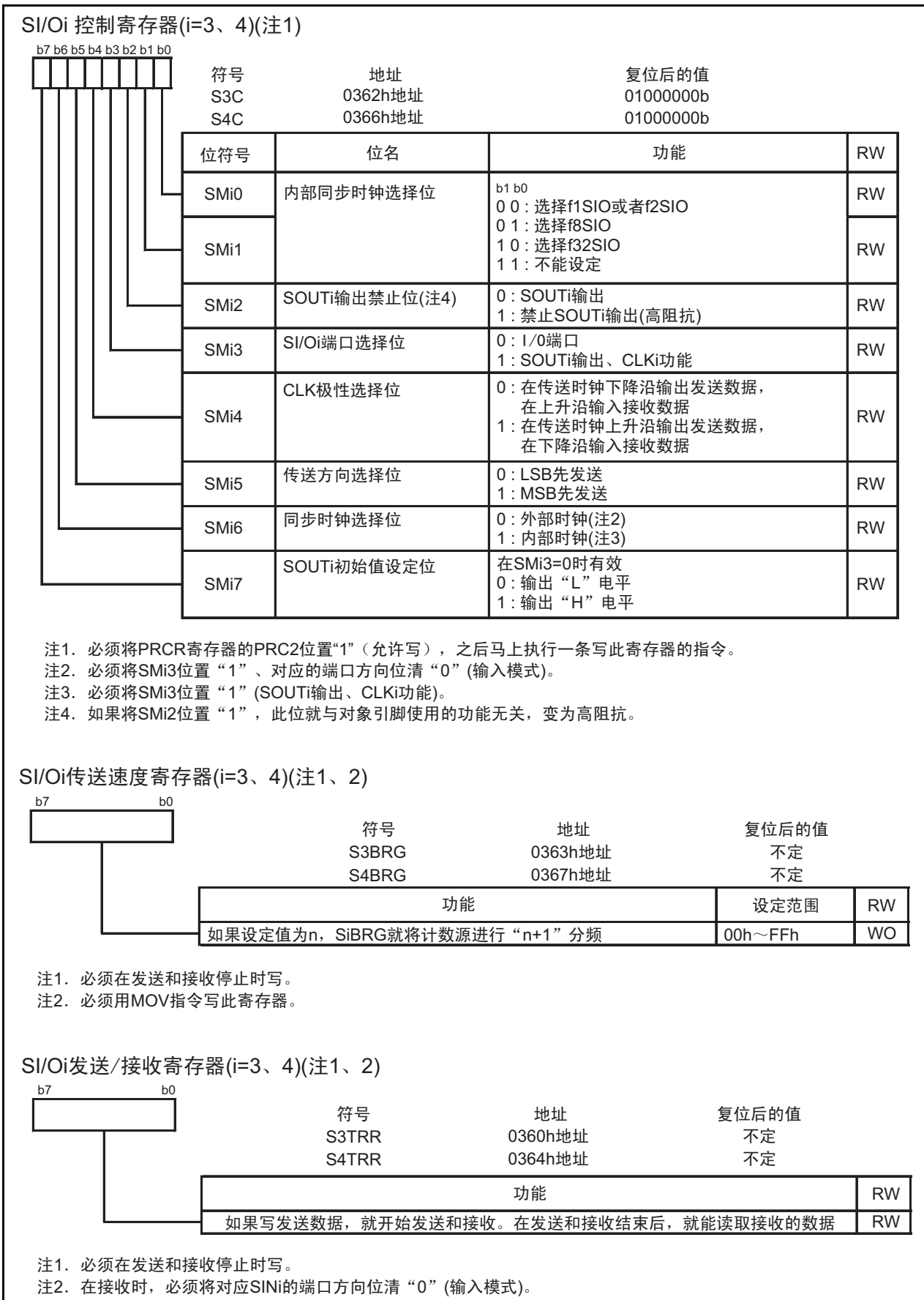


图 17.38 S3C、S4C、S3BRG、S4BRG、S3TRR、S4TRR 寄存器

表17.20 SI/03和SI/04的规格

项目	规格
传送数据格式	传送数据长度 8位
传送时钟	<ul style="list-style-type: none"> <li>• SiC寄存器 (i=3、4) 的SMi6位为“1” (内部时钟): <math>f_j/2(n+1)</math>  <math>f_j=f1S10、f8S10、f32S10</math>  <math>n=SiBRG</math>寄存器的设定值 00h~FFh</li> <li>• SMi6位为“0” (外部时钟): 从CLKi引脚输入 (注1)</li> </ul>
发送和接收开始条件	开始发送时需要以下条件: 将发送数据写到SiTRR寄存器 (注2、注3)
中断请求产生时间	<ul style="list-style-type: none"> <li>• SiC寄存器的SMi4位为“0”时 最后的传送时钟的上升沿 (注4)</li> <li>• SMi4位为“1”时 最后的传送时钟的下降沿 (注4)</li> </ul>
CLKi引脚功能	I/O端口、传送时钟的输入、传送时钟的输出
SOUTi引脚功能	I/O端口、发送数据的输出、高阻抗
SINi引脚功能	I/O端口、接收数据的输入
选择功能	<ul style="list-style-type: none"> <li>• LSB先发送、MSB先发送选择 可选择从bit0或者从bit7开始发送和接收</li> <li>• SOUTi初始值的设定功能 SiC寄存器的SMi6位为“0” (外部时钟)时, 可选择SOUTi引脚不发送时的输出电平</li> <li>• CLK极性选择 传送数据的输出和输入时序可选择传送时钟的上升沿或者下降沿</li> </ul>

注1. 在将SiC寄存器的SMi6位置“0” (外部时钟)时, 必须进行如下处理:

- SiC寄存器的SMi4位为“0”时, 必须在给CLKi引脚为“H”电平的状态下将发送数据写到SiTRR寄存器。在改写SiC寄存器的SMi7位时也相同。
- SMi4位为“1”时, 必须在给CLKi引脚为“L”电平状态下将发送数据写到SiTRR寄存器。在改写SMi7位时也相同。
- 因为在传送时钟被输入到SI/0i电路期间继续进行移位处理, 所以必须在8个脉冲后停止传送时钟。SMi6位为“1” (内部时钟)时, 传送时钟自动停止。

注2. SI/0i (i=3~4) 与UART0~UART2不同, 不分为用于传送的寄存器和缓冲器。因此, 不能在发送中将下一个发送数据写到SiTRR寄存器。

注3. SiC寄存器的SMi6位为“1” (内部时钟)时, 在传送结束后, SOUTi在1/2传送时钟期间保持最后数据, 变为高阻抗状态。但是, 如果在此期间将发送数据写到SiTRR寄存器, 就从写时开始变为高阻抗状态, 数据的保持时间变短。

注4. SiC寄存器的SMi6位为“1” (内部时钟)时, 如果SMi4位为“0”, 传送时钟就在“H”电平的状态下停止; 如果SMi4位为“1”, 传送时钟就在“L”电平状态下停止。

### 17.2.1 SI/Oi 运行时序

SI/Oi 运行时序图如图 17.39 所示。

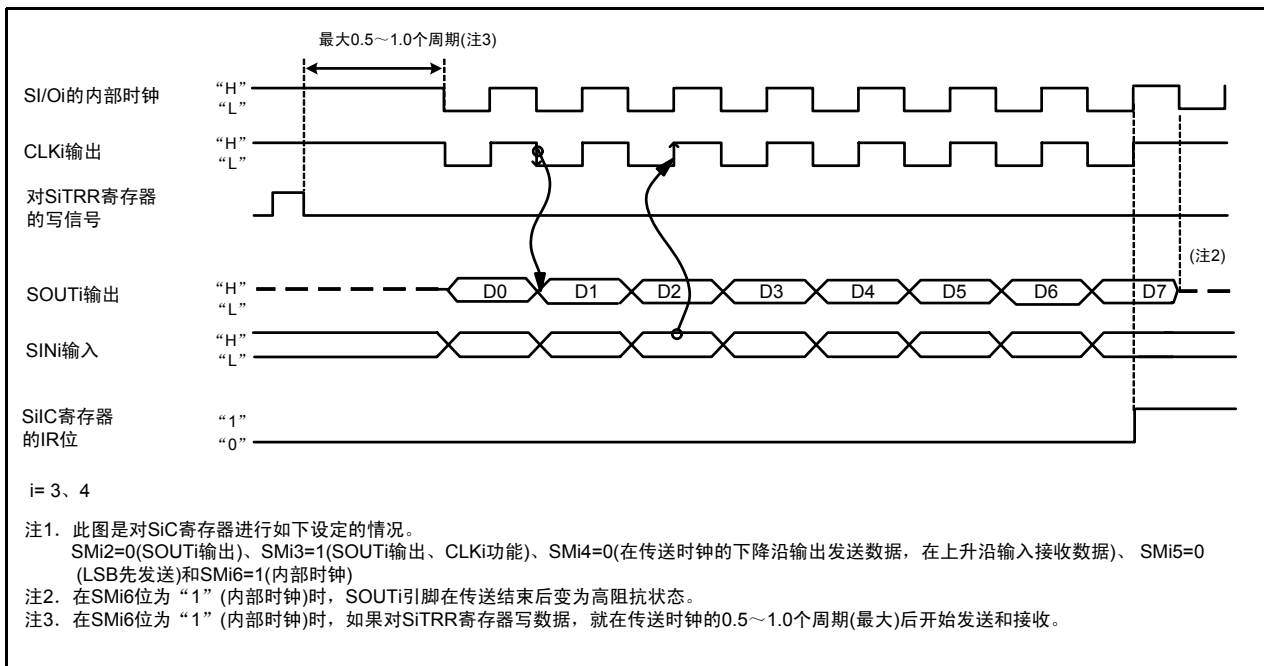


图 17.39 SI/Oi 运行时序

### 17.2.2 CLK 极性选择

能通过SiC寄存器的SMi4位选择传送时钟的极性。传送时钟的极性如图 17.40 所示。

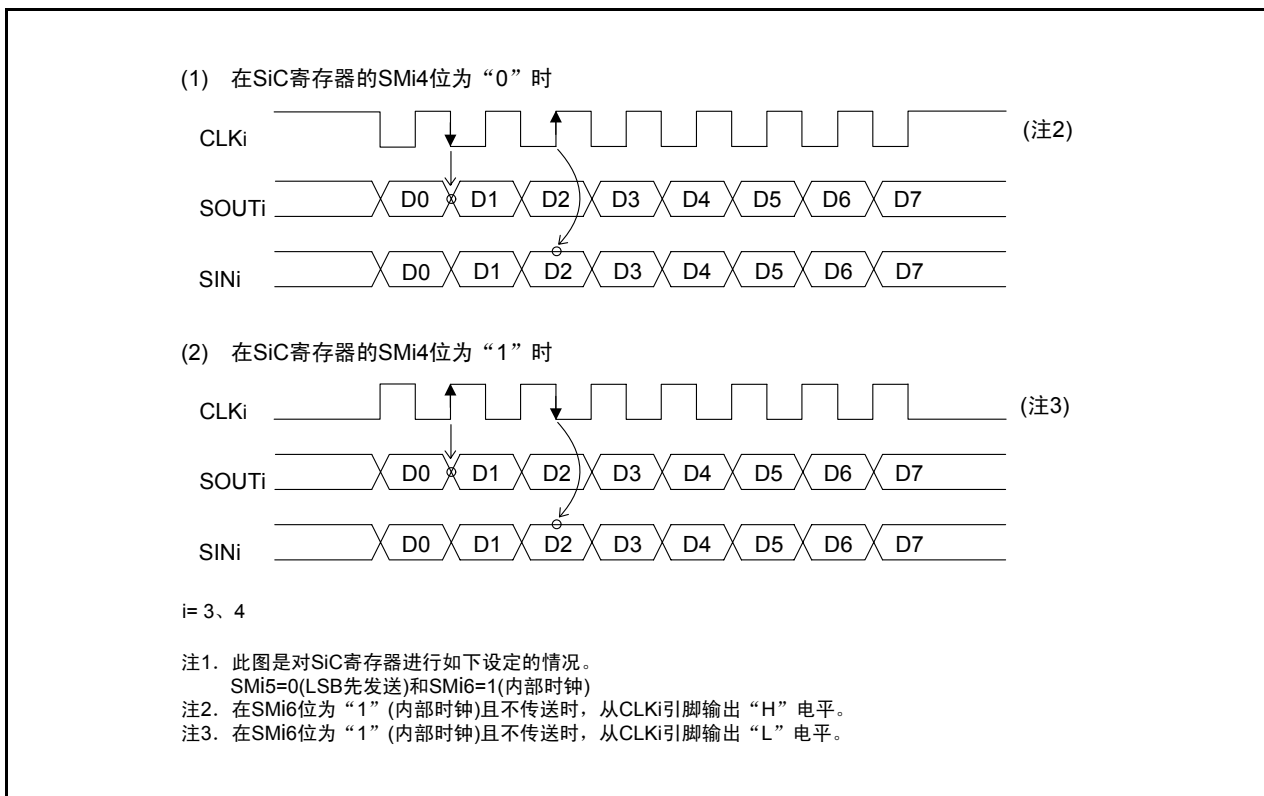


图 17.40 传送时钟的极性

### 17.2.3 SOUT<sub>i</sub> 初始值的设定功能

SiC寄存器的SM<sub>i</sub>6位为“0”（外部时钟）时，能将不传送时的SOUT<sub>i</sub>引脚的输出设定为“H”电平或者“L”电平。但是，在连续发送数据时，在数据和数据之间保持前一个数据的最后位的值。SOUT<sub>i</sub>初始值设定时的时序图和设定方法如图17.41所示。

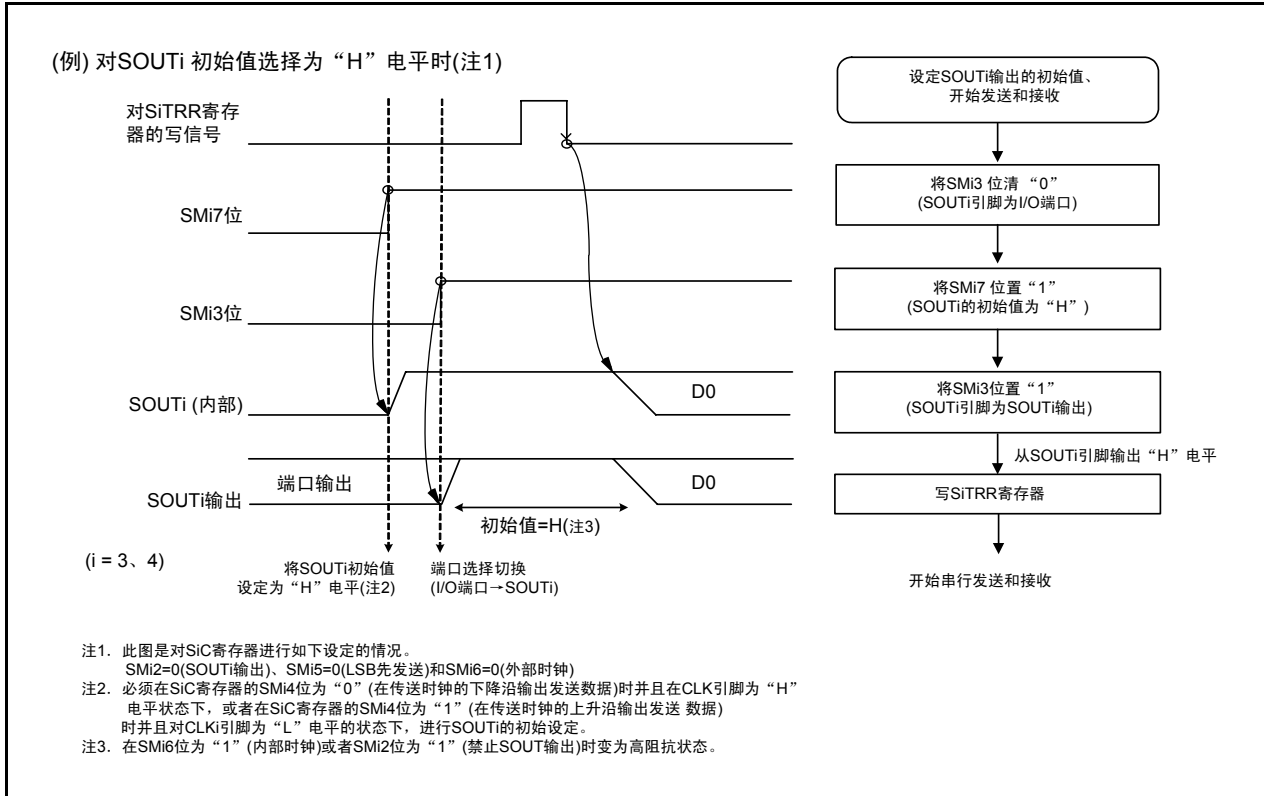


图 17.41 SOUT<sub>i</sub> 初始值设定时的时序图和设定方法



## 18. A/D转换器

M16C/62P系列单片机具有1个由电容耦合放大器构成的10位逐次逼近转换方式的A/D转换器电路。模拟输入和P10\_0~P10\_7、P9\_5、P9\_6、P0\_0~P0\_7、P2\_0~P2\_7引脚复用。另外，ADTRG输入和P9\_7引脚复用。因此，使用这些输入时，必须将对应的端口方向位置“0”（输入模式）。

不使用A/D转换器时，如果将VCUT位置“0”（Vref未连接），电流就不从VREF引脚流到梯形电阻，能降低功耗。

A/D转换的结果保存到对应AN<sub>i</sub>、ANO<sub>i</sub>、AN2<sub>i</sub>引脚（i=0~7）的AD<sub>i</sub>寄存器。

A/D转换器的规格如表18.1、A/D转换器的框图如图18.1、A/D转换器的关联寄存器如图18.2~图18.3所示。

表18.1 A/D转换器的规格

项目	规格
A/D转换方式	逐次逼近转换方式（电容耦合放大器）
模拟输入电压（注1）	0V~AVCC（VCC1）
运行时钟Φ AD（注2）	fAD、fAD的2分频、fAD的3分频、fAD的4分频、fAD的6分频或者fAD的12分频
分辨率	8位或者10位
积分非线性误差	AVCC = VREF = 5V • 8位分辨率时 ±2LSB • 10位分辨率时： ANO~AN7、ANO <sub>0</sub> ~ANO <sub>7</sub> 、AN2 <sub>0</sub> ~AN2 <sub>7</sub> 输入时 ±3LSB ANEXO、ANEX1输入（包含外部运算放大器连接模式）时 ±7LSB AVCC = VREF = 3.3V • 8位分辨率时 ±2LSB • 10位分辨率时 ANO~AN7、ANO <sub>0</sub> ~ANO <sub>7</sub> 、AN2 <sub>0</sub> ~AN2 <sub>7</sub> 输入时 ±5LSB ANEXO、ANEX1输入（包含外部运算放大器连接模式）时 ±7LSB
运行模式	单次模式、重复模式、单次扫描模式、重复扫描模式0、重复扫描模式1
模拟输入引脚（注3）	8个（ANO~AN7）+2个（ANEXO、ANEX1）+8个（ANO <sub>0</sub> ~ANO <sub>7</sub> ）+8个（AN2 <sub>0</sub> ~AN2 <sub>7</sub> ）
A/D转换开始条件	• 软件触发 将ADCON0寄存器的ADST位置“1”（开始A/D转换） • 外部触发（能重新触发） 将ADST位置“1”（开始A/D转换）后，ADTRG引脚的输入由“H”变为“L”电平
每个引脚的转换速度	• 无采样&保持 8位分辨率时49个Φ AD周期 10位分辨率时59个Φ AD周期 • 有采样&保持 8位分辨率时28个Φ AD周期 10位分辨率时33个Φ AD周期

注1. 与是否有采样&保持功能无关。

注2. 必须将Φ AD的频率设定在12MHz以下。另外，VCC1在4.0V以下时，必须分频fAD并将Φ AD的频率设定在10MHz以下。

无采样&保持功能时，必须将Φ AD的频率设定在250kHz以上。

有采样&保持功能时，必须将Φ AD的频率设定在1MHz以上。

注3. VCC2 < VCC1时，不能将ANO<sub>0</sub>~ANO<sub>7</sub>、AN2<sub>0</sub>~AN2<sub>7</sub>作为模拟输入引脚使用。

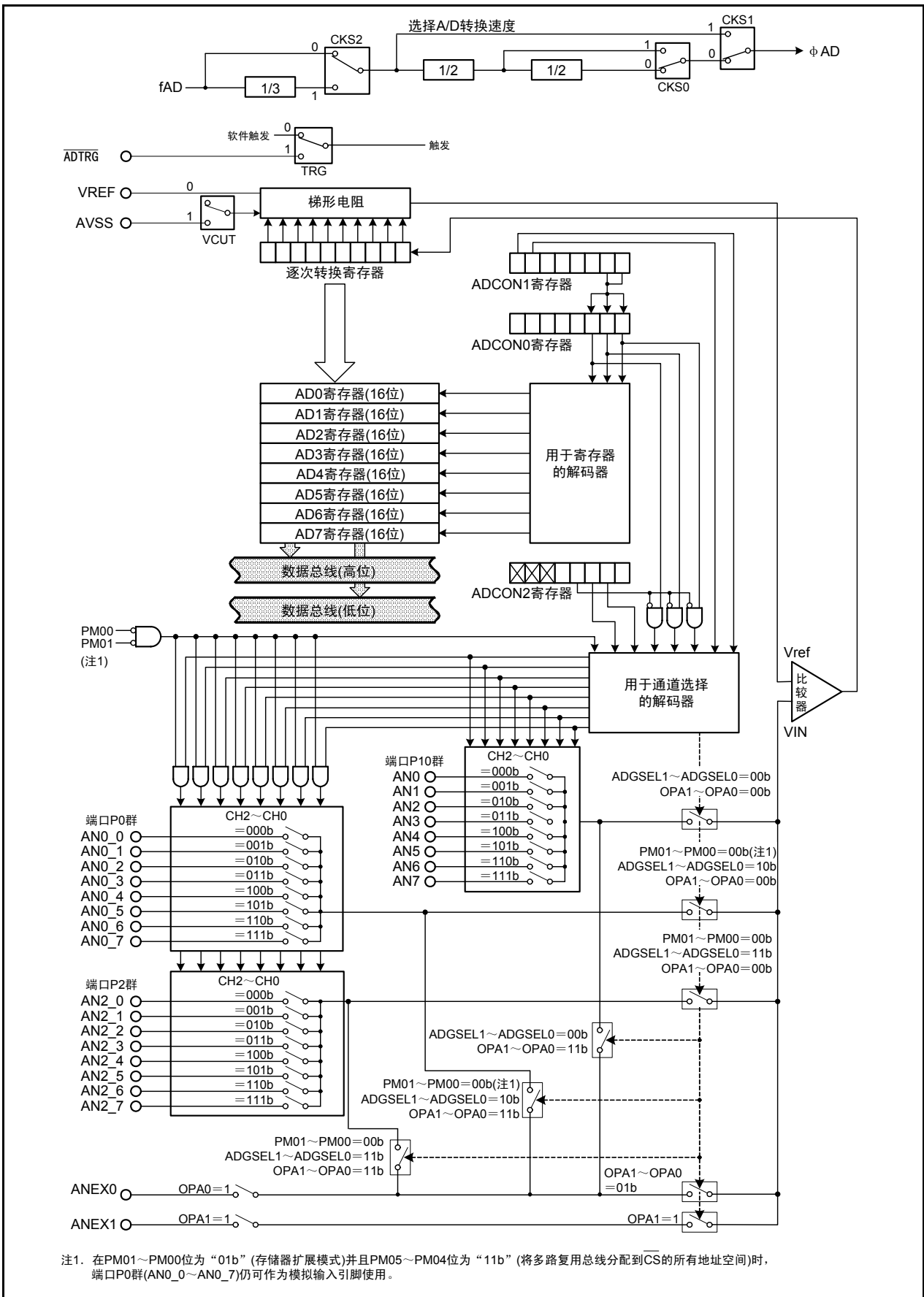


图 18.1 A/D转换器的框图



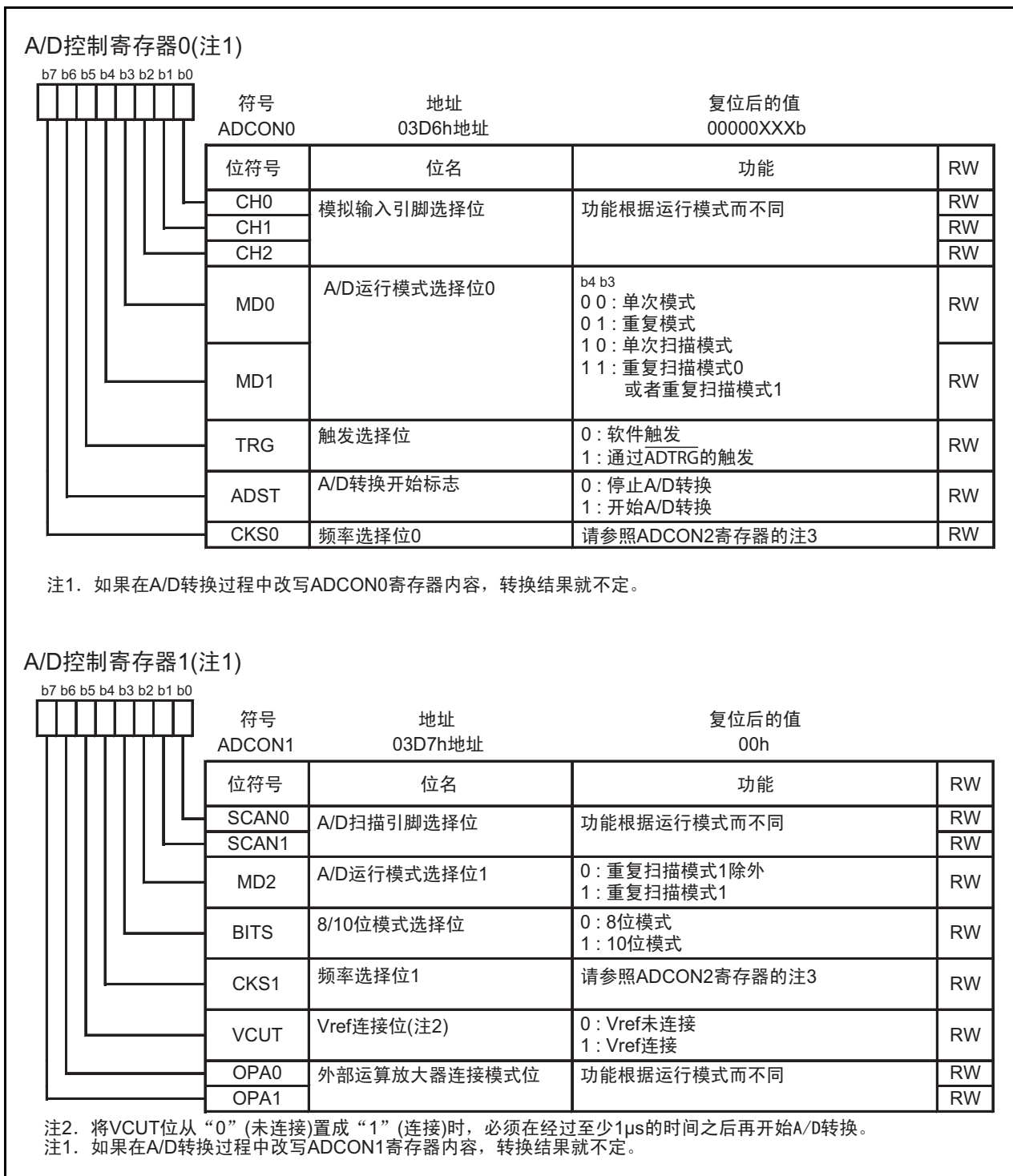


图 18.2 ADCON0 ~ ADCON1 寄存器

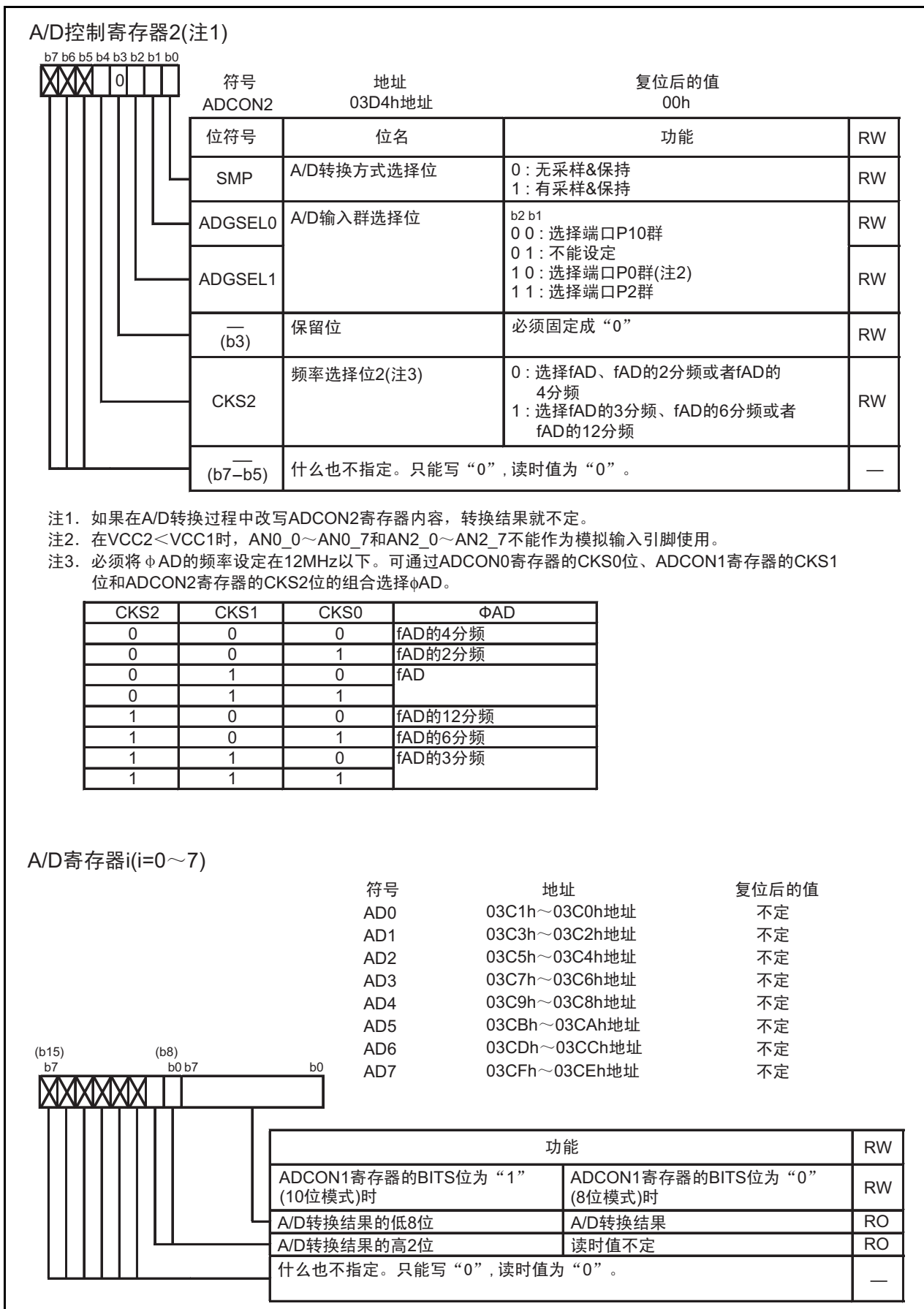


图 18.3 ADCON2、AD0~AD7寄存器

## 18.1 模式的说明

### 18.1.1 单次模式

单次模式是对所选的1个引脚的输入电压进行1次A/D转换的模式。单次模式的规格如表18.2、单次模式中的ADCON0～ADCON1寄存器如图18.4所示。

表18.2 单次模式的规格

项目	规格
功能	通过ADCON0寄存器的CH2～CH0位和ADCON2寄存器的ADGSEL1～ADGSEL0位或者ADCON1寄存器的OPA1～OPA0位，对所选的1个引脚的输入电压进行1次A/D转换
A/D转换开始条件	<ul style="list-style-type: none"> <li>将ADCON0寄存器的TRG位为“0”（软件触发）时</li> <li>将ADCON0寄存器的ADST位置“1”（开始A/D转换）</li> <li>TRG位为“1”（通过ADTRG的触发）时</li> <li>将ADST位置“1”（开始A/D转换）后，<math>\overline{\text{ADTRG}}</math>引脚的输入从“H”变为“L”电平</li> </ul>
A/D转换停止条件	<ul style="list-style-type: none"> <li>A/D转换结束（在选择软件触发时，ADST位为“0”（停止A/D转换））</li> <li>将ADST位置“0”</li> </ul>
中断请求产生时间	A/D转换结束时
模拟输入引脚（注1）	从ANO～AN7、ANO_0～ANO_7、AN2_0～AN2_7、ANEX0～ANEX1中选择1个引脚
A/D转换值的读取	读取与所选引脚对应的AD0～AD7寄存器

注1.  $V_{CC2} < V_{CC1}$ 时，不能将ANO\_0～ANO\_7、AN2\_0～AN2\_7作为模拟输入引脚使用。

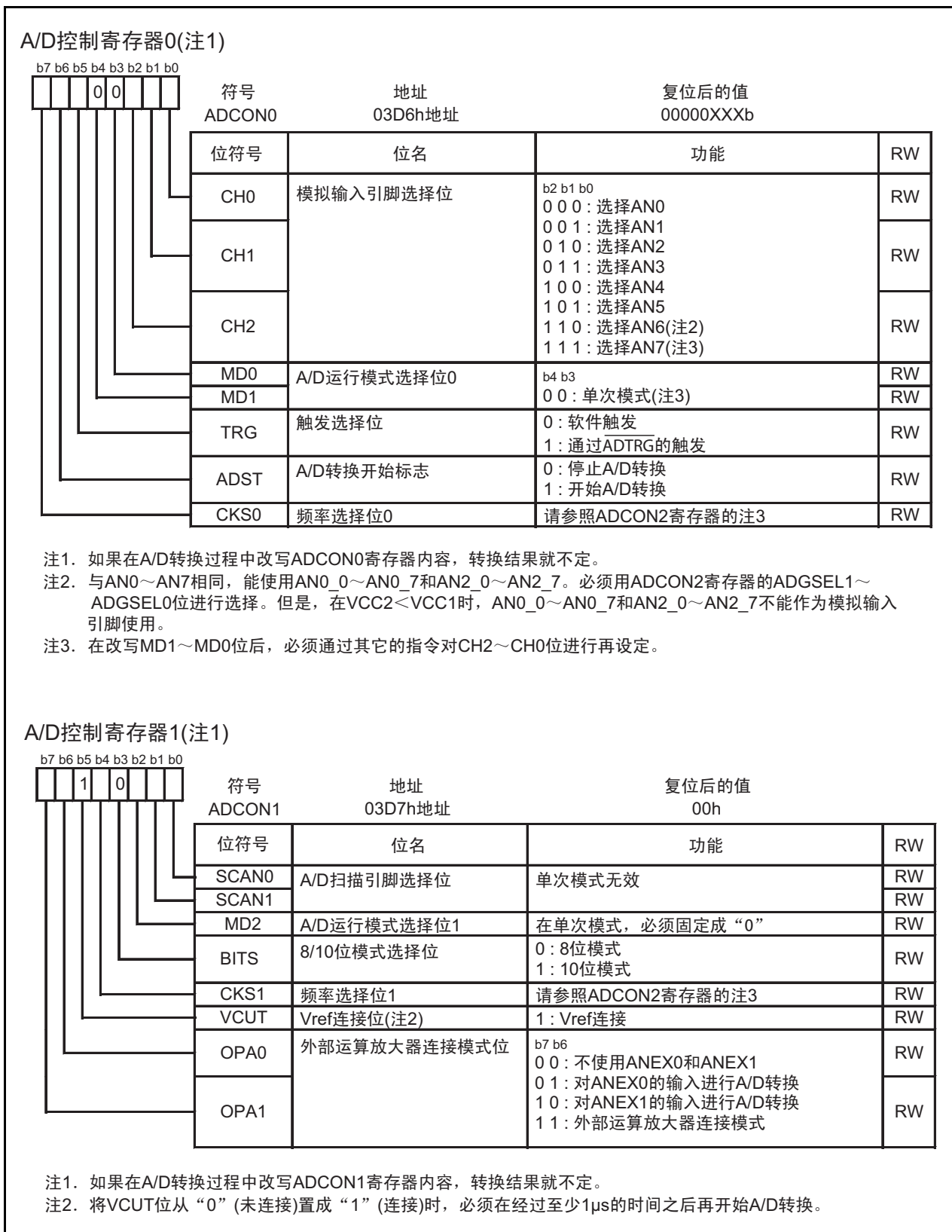


图 18.4 单次模式中的ADCON0~ADCON1寄存器

### 18.1.2 重复模式

重复模式是对所选的1个引脚的输入电压重复进行A/D转换的模式。重复模式的规格如表18.3、重复模式中的ADCON0～ADCON1寄存器如图18.5所示。

表18.3 重复模式的规格

项目	规格
功能	通过ADCON0寄存器的CH2～CHO位和ADCON2寄存器的ADGSEL1～ADGSEL0位或者ADCON1寄存器的OPA1～OPA0位，对所选的1个引脚的输入电压重复进行A/D转换
A/D转换开始条件	<ul style="list-style-type: none"> <li>• ADCON0寄存器的TRG位为“0”（软件触发）时 将ADCON0寄存器的ADST位置“1”（开始A/D转换）</li> <li>• TRG位为“1”（通过ADTRG的触发）时 将ADST位置“1”（开始A/D转换）后，ADTRG引脚的输入从“H”变为“L”电平</li> </ul>
A/D转换停止条件	将ADST位置“0”（停止A/D转换）
中断请求产生时间	不产生中断请求
模拟输入引脚（注1）	从ANO～AN7、ANO_0～ANO_7、AN2_0～AN2_7、ANEX0～ANEX1中选择1个引脚
A/D转换值的读取	读取与所选引脚对应的AD0～AD7寄存器

注1.  $VCC2 < VCC1$ 时，不能将ANO\_0～ANO\_7、AN2\_0～AN2\_7作为模拟输入引脚使用。

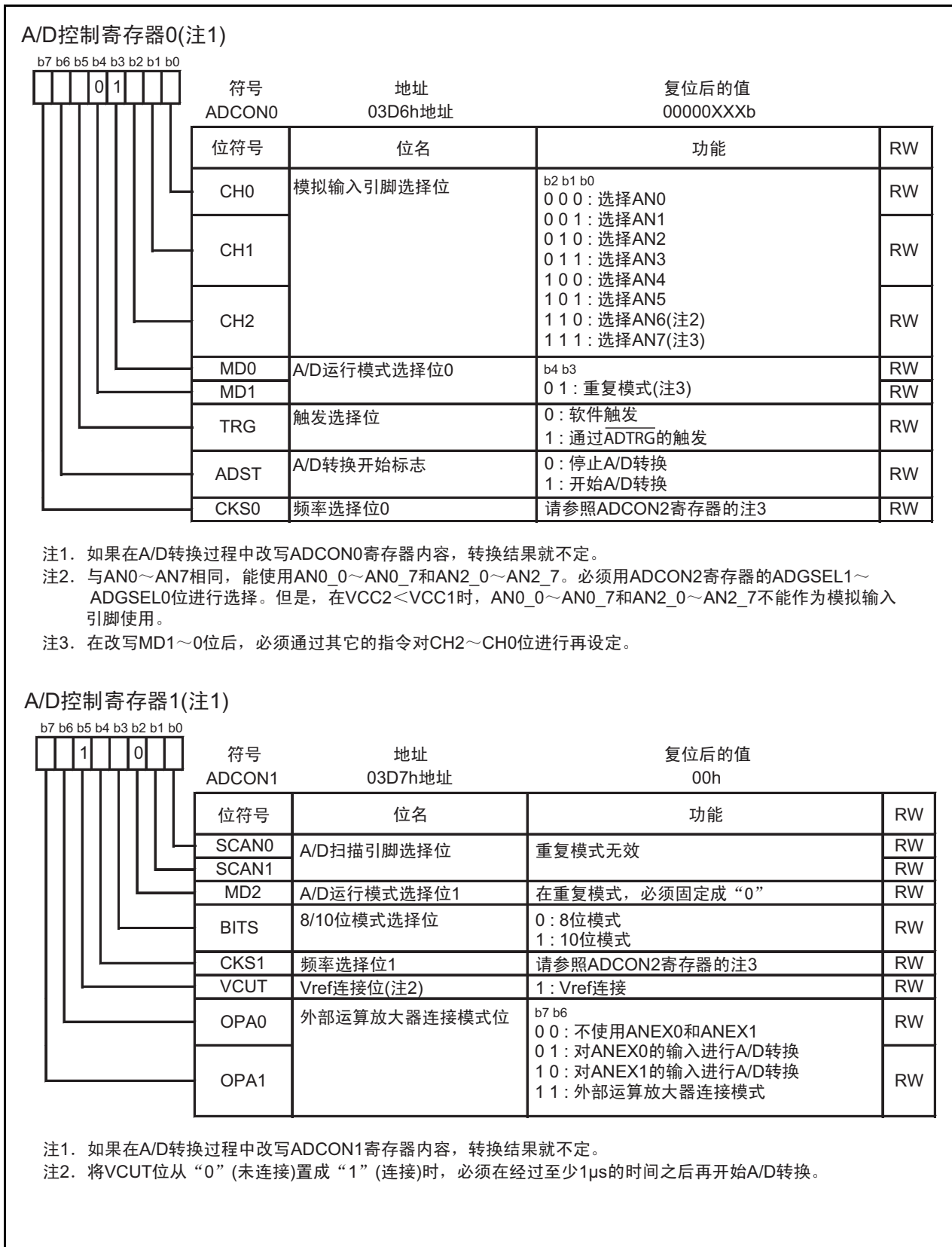


图 18.5 重复模式中的ADCON0~ADCON1寄存器

### 18.1.3 单次扫描模式

单次扫描模式是对所选引脚的输入电压逐次进行A/D转换的模式。单次扫描模式的规格如表18.4、单次模式中的ADCON0～ADCON1寄存器如图18.6所示。

表18.4 单次扫描模式的规格

项目	规格
功能	通过ADCON1寄存器的SCAN1～SCAN0位和ADCON2寄存器的ADGSEL1～ADGSEL0位，对所选引脚的输入电压逐次进行A/D转换
A/D转换开始条件	<ul style="list-style-type: none"> <li>ADCON0寄存器的TRG位为“0”（软件触发）时将ADCON0寄存器的ADST位置“1”（开始A/D转换）</li> <li>TRG位为“1”（通过ADTRG的触发）时将ADST位置“1”（开始A/D转换）后，ADTRG引脚的输入从“H”变为“L”电平</li> </ul>
A/D转换停止条件	<ul style="list-style-type: none"> <li>A/D转换结束（选择软件触发时，ADST位为“0”（停止A/D转换））</li> <li>将ADST位置“0”</li> </ul>
中断请求产生时间	A/D转换结束时
模拟输入引脚	从ANO～AN1（2引脚）、ANO～AN3（4引脚）、ANO～AN5（6引脚）、ANO～AN7（8引脚）中选择（注1）
A/D转换值的读取	读取与所选引脚对应的AD0～AD7寄存器

注1. 与ANO～AN7相同，能使用ANO\_0～ANO\_7、AN2\_0～AN2\_7。但是，VCC2 < VCC1时，不能将ANO\_0～ANO\_7、AN2\_0～AN2\_7作为模拟输入引脚使用。

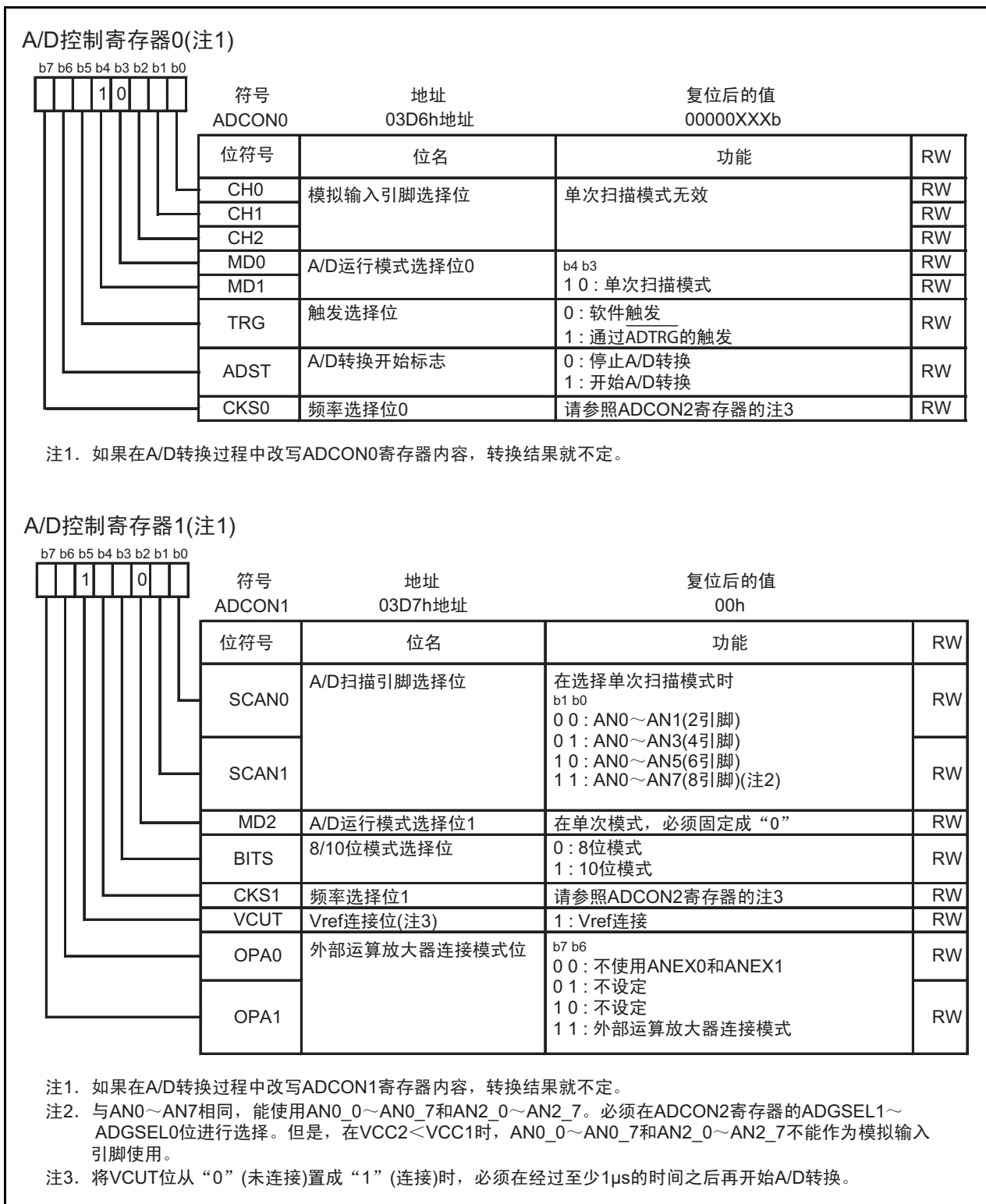


图 18.6 单次扫描模式中的ADCON0~ADCON1寄存器



### 18.1.4 重复扫描模式0

重复扫描模式是对所选引脚的输入电压重复进行A/D转换的模式。重复扫描模式0的规格如表18.5、重复扫描模式0中的ADCON0～ADCON1寄存器如图18.7所示。

表 18.5 重复扫描模式0的规格

项目	规格
功能	通过ADCON1寄存器的SCAN1～SCAN0位和ADCON2寄存器的ADGSEL1～ADGSEL0位，对所选引脚的输入电压重复进行A/D转换
A/D转换开始条件	<ul style="list-style-type: none"> <li>ADCON0寄存器的TRG位为“0”（软件触发）时将ADCON0寄存器的ADST位置“1”（开始A/D转换）</li> <li>TRG位为“1”（通过ADTRG的触发）时将ADST位置“1”（开始A/D转换）后，ADTRG引脚的输入从“H”变为“L”电平</li> </ul>
A/D转换停止条件	将ADST位置“0”（停止A/D转换）
中断请求产生时间	不产生中断请求
模拟输入引脚	从ANO～AN1(2引脚)、ANO～AN3(4引脚)、ANO～AN5(6引脚)、ANO～AN7(8引脚)中选择(注1)
A/D转换值的读取	读取与所选引脚对应的AD0～AD7寄存器

注1. 与ANO～AN7相同，能使用ANO\_0～ANO\_7、AN2\_0～AN2\_7。但是，VCC2 < VCC1时，不能将ANO\_0～ANO\_7、AN2\_0～AN2\_7作为模拟输入引脚使用。

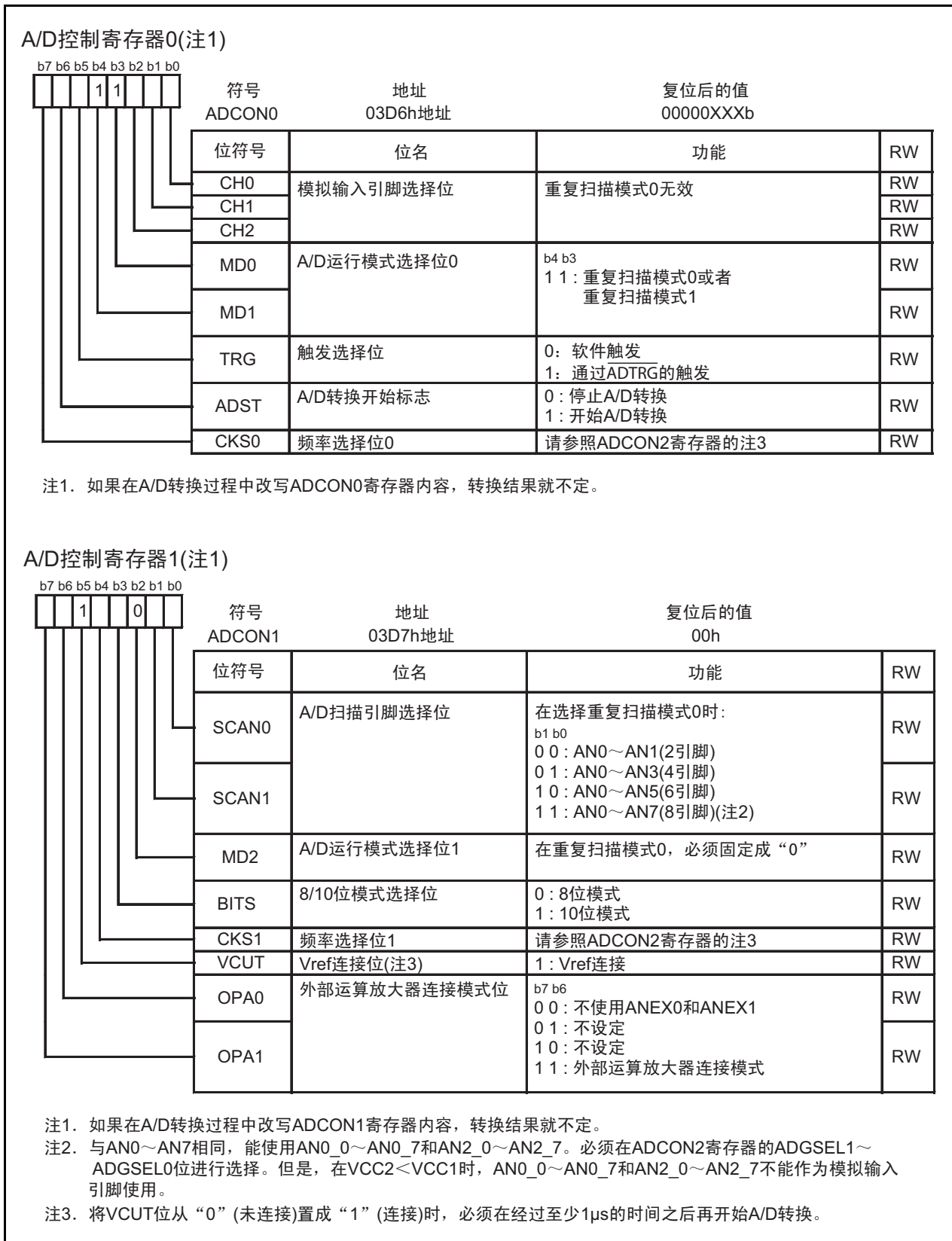


图 18.7 重复扫描模式0中的ADCON0~ADCON1寄存器

### 18.1.5 重复扫描模式1

重复扫描模式是以所选引脚为重点，对所有引脚的输入电压重复进行A/D转换的模式。重复扫描模式1的规格如表18.6、重复扫描模式1中的ADCON0～ADCON1寄存器如图18.8所示。

表18.6 重复扫描模式1的规格

项目	规格
功能	以通过ADCON1寄存器的SCAN1～SCAN0位和ADCON2寄存器的ADGSEL1～ADGSEL0位选择的引脚为重点，对由ADGSEL1～ADGSEL0位所选的全部引脚的输入电压重复进行A/D转换 例：如果选择ANO 按ANO→AN1→ANO→AN2→ANO→AN3···的顺序进行A/D转换
A/D转换开始条件	<ul style="list-style-type: none"> <li>ADCON0寄存器的TRG位为“0”（软件触发）时 将ADCON0寄存器的ADST位置“1”（开始A/D转换）</li> <li>TRG位为“1”（通过ADTRG的触发）时 将ADST位置“1”（A/D转换开始）后，ADTRG引脚的输入从“H”变为“L”电平</li> </ul>
A/D转换停止条件	将ADST位置“0”（A/D转换停止）
中断请求产生时间	不产生中断请求
进行重点A/D转换的模拟输入引脚	从ANO(1引脚)、ANO～AN1(2引脚)、ANO～AN2(3引脚)、ANO～AN3(4引脚)中选择(注1)
A/D转换值的读取	读取与所选引脚对应的AD0～AD7寄存器

注1. 与ANO～AN7相同，能使用ANO\_0～ANO\_7、AN2\_0～AN2\_7。但是，VCC2<VCC1时，不能将ANO\_0～ANO\_7、AN2\_0～AN2\_7作为模拟输入模式使用。

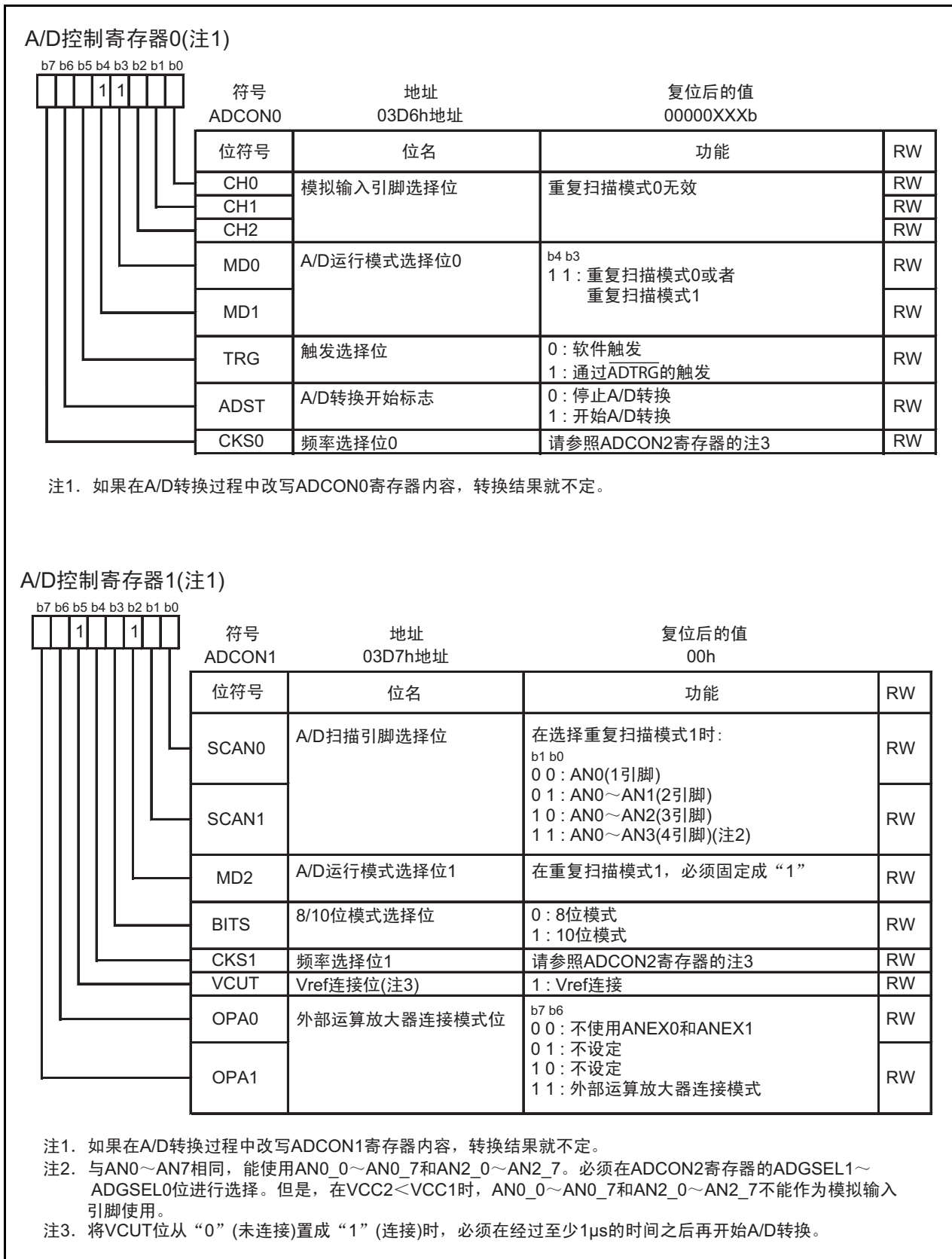


图 18.8 重复扫描模式1中的ADCON0 ~ ADCON1寄存器

## 18.2 功能

### 18.2.1 分辨率选择功能

能通过ADCON1寄存器的BITS位选择分辨率。如果将BITS位置“1”（转换精度为10位），A/D转换结果就被保存到ADi寄存器（ $i=0\sim7$ ）的0~9位；如果将BITS位置“0”（转换精度为8位），A/D转换结果就被保存到ADi寄存器的0~7位。

### 18.2.2 采样&保持

如果将ADCON2寄存器的SMP位置“1”（有采样&保持），就能提高每个引脚的转换速度。分辨率为8位时为28个 $\Phi$  AD周期；分辨率为10位时为33个 $\Phi$  AD周期。对于全部的运行模式，采样&保持都有效。必须在选择有无采样&保持后开始A/D转换。

### 18.2.3 扩展模拟输入引脚

在单次模式、重复模式中，能将ANEX0、ANEX1引脚作为模拟输入引脚使用。必须通过ADCON1寄存器的OPA1~OPA0位选择ANEX0引脚或者ANEX1引脚。

ANEX0输入的A/D转换结果保存到AD0寄存器，ANEX1输入的A/D转换结果保存到AD1寄存器。

### 18.2.4 外部运算放大器连接模式

能通过ANEX0和ANEX1引脚而用1个外部运算放大器放大多个模拟输入信号。

必须将ADCON1寄存器的OPA1~OPA0位置“11b”（外部运算放大器连接模式）。从ANEX0引脚输出ANi（ $i=0\sim7$ ）（注1）的输入信号。必须将通过外部运算放大器放大的此输出信号输入到ANEX1引脚。A/D转换结果保存到对应的ADi寄存器，A/D转换速度取决于外部运算放大器的响应特性。外部运算放大器的连接例子如图18.9所示。

注1. 与ANi相同，能使用AN0\_i、AN2\_i。但是， $VCC2 < VCC1$ 时，不能将AN0\_i、AN2\_i作为模拟输入引脚使用。

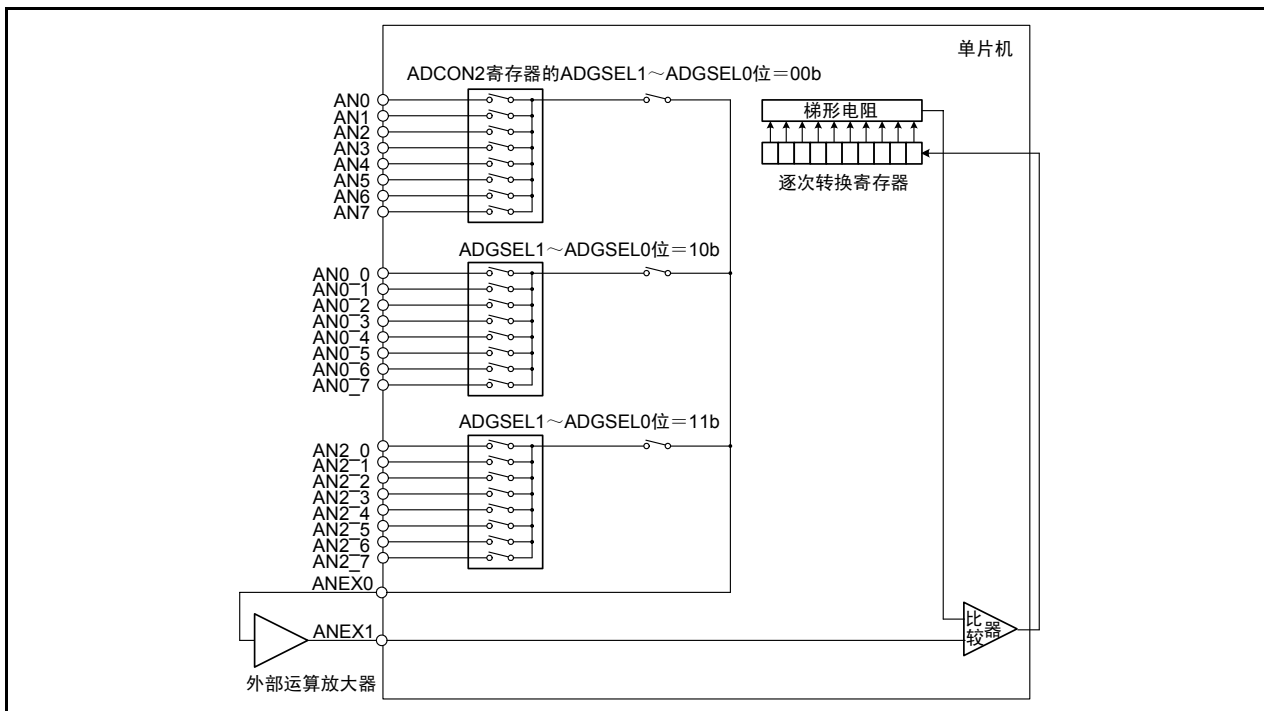


图 18.9 外部运算放大器的连接例子

### 18.2.5 降低功耗功能

不使用A/D转换器时，能通过ADCON1寄存器的VCUT位将A/D转换器的梯形电阻和基准电压输入引脚(VREF)断开，电流不从VREF引脚流到梯形电阻，从而降低功耗。

使用A/D转换器时，必须在将VCUT位置“1”(Vref连接)后，将ADCON0寄存器的ADST位置“1”(开始A/D转换)。ADST位和VCUT位不能同时写“1”。

另外，在A/D转换中不能将VCUT位置“0”(Vref未连接)。

而且，不影响D/A转换器的VREF(无关系)。

### 18.2.6 A/D转换时的传感器输出阻抗

为了正确进行A/D转换，需要在规定的时间内结束如图18.10中的内部电容器C的充电。假设此规定时间(采样时间)为T、传感器等效电路的输出阻抗为R0、单片机的内部电阻为R、A/D转换器的精度(误差)为X、分辨率为Y(Y在10位模式时为1024；在8位模式时为256)。

$$VC \text{ 一般为 } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$\text{在 } t = T \text{ 时, 根据 } VC = VIN - \frac{X}{Y}VIN = VIN \left( 1 - \frac{X}{Y} \right)$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{因此, } R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

模拟输入引脚和外部传感器等效电路的例子如图18.10所示。在VIN与VC的差为0.1LSB时，求在时间T内电容器C的引脚间电压VC从0变为VIN-(0.1/1024)VIN的阻抗R0。(0.1/1024)VIN表示在10位模式的A/D转换时，将因电容器充电不足而引起的A/D转换精度下降控制在0.1LSB以下。但是，实际误差是0.1LSB加上绝对精度的值。

f(XIN)=10MHz时，在带采样&保持的A/D转换模式中T=0.3μs。可按以下的计算式求出在此时间T内能充分进行电容器C充电的输出阻抗R0：

因为T=0.3μs、R=7.8kΩ、C=1.5pF、X=0.1、Y=1024，

$$R0 = -\frac{0.3 \times 10^{-6}}{1.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 13.9 \times 10^3$$

所以，将A/D转换器精度(误差)控制在0.1LSB以下的传感器电路的输出阻抗R0最大为13.9kΩ。

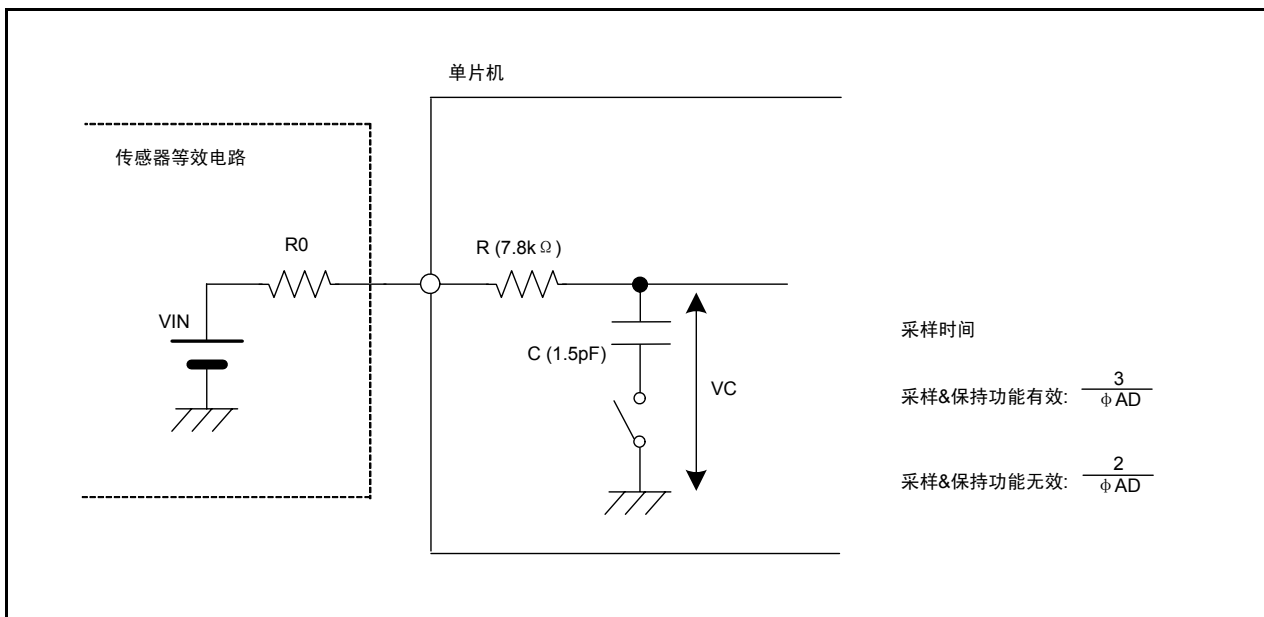


图 18. 10 模拟输入引脚和外部传感器等效电路的例子





## 19. D/A转换器

M16C/62P群具有2个独立的8位R-2R方式的D/A转换器。

如果将值写到DA<sub>i</sub> 寄存器 (i=0~1)，就进行D/A转换。必须在输出转换结果时将DACON寄存器的DA<sub>i</sub>E位置“1”（允许输出）。使用D/A转换时，必须将对应的端口方向位置“0”（输入模式）。如果将DA<sub>i</sub>E位置“1”，对应的端口就无上拉。

输出的模拟电压V由设定在DA<sub>i</sub>寄存器的值n (n为10进制数) 决定。

$$V = V_{REF} \times n / 256 \quad (n=0 \sim 255)$$

其中，V<sub>REF</sub>: 基准电压

D/A转换器的规格如表19.1、D/A转换器框图如图19.1、D/A转换器的关联寄存器如图19.2、D/A转换器的等效电路如图19.3所示。

表19.1 D/A转换器的规格

项目	性能
D/A转换方式	R-2R方式
分辨率	8位
模拟输出引脚	2个通道 (DA0、DA1)

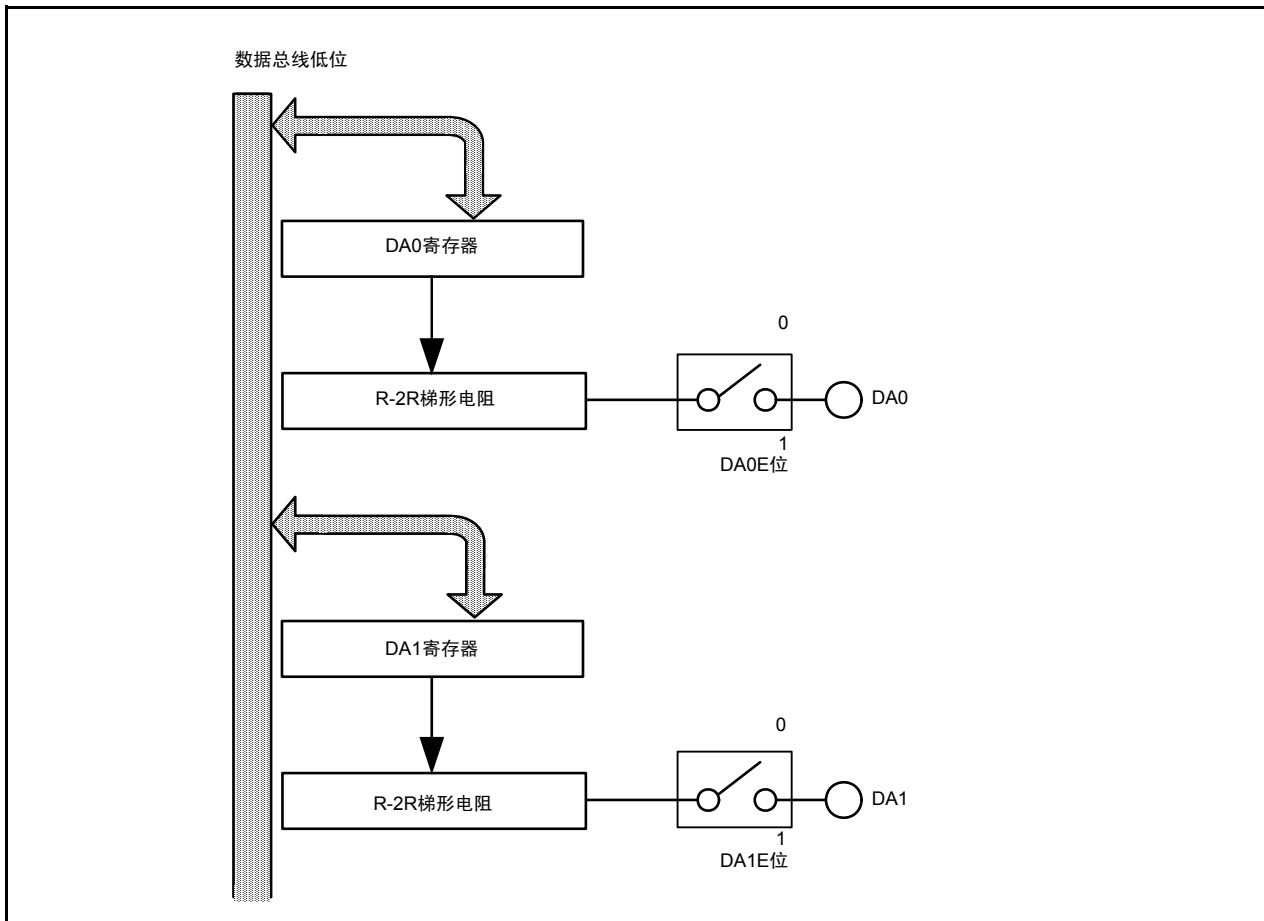


图19.1 D/A转换器框图

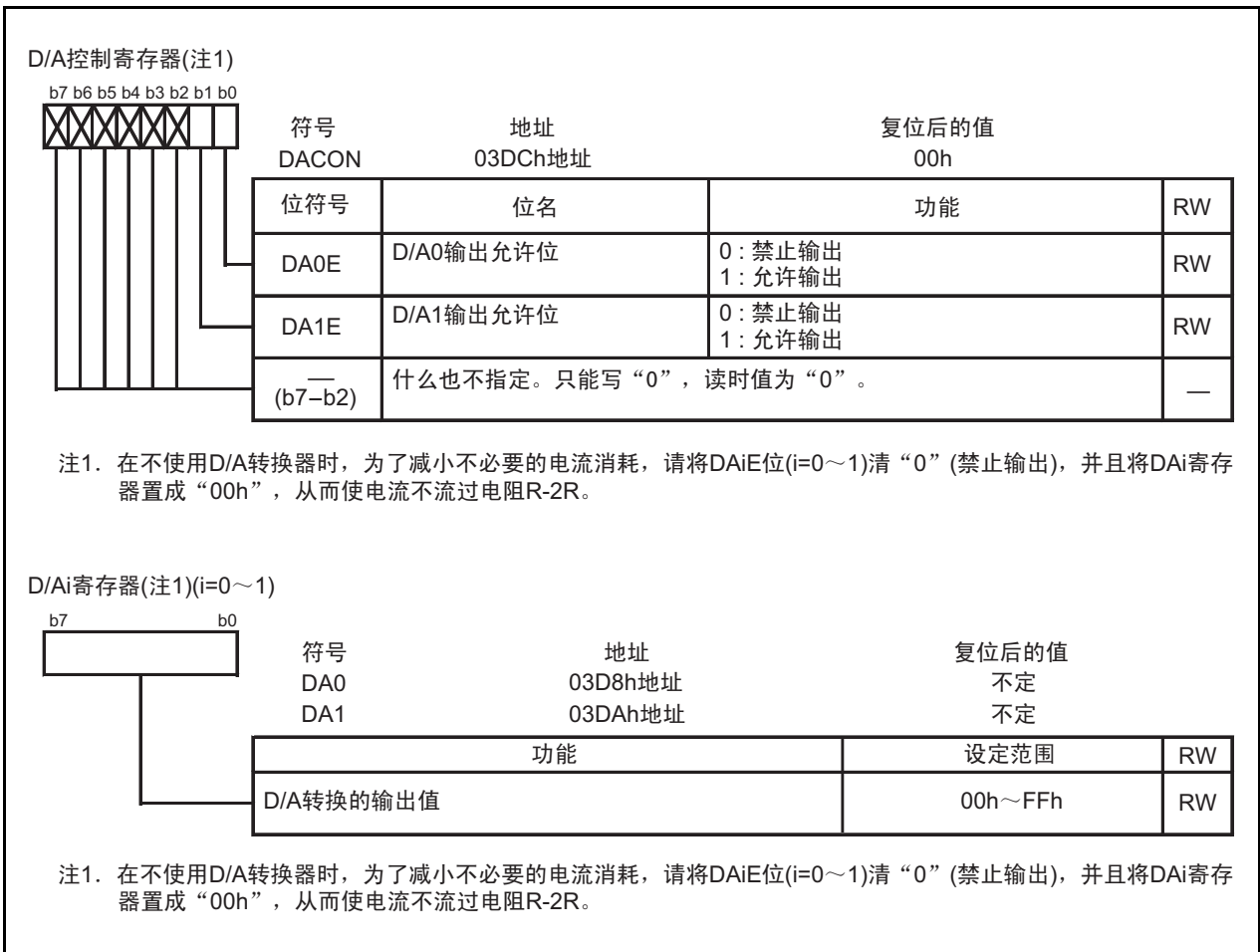


图 19.2 DACON、DA0、DA1 寄存器

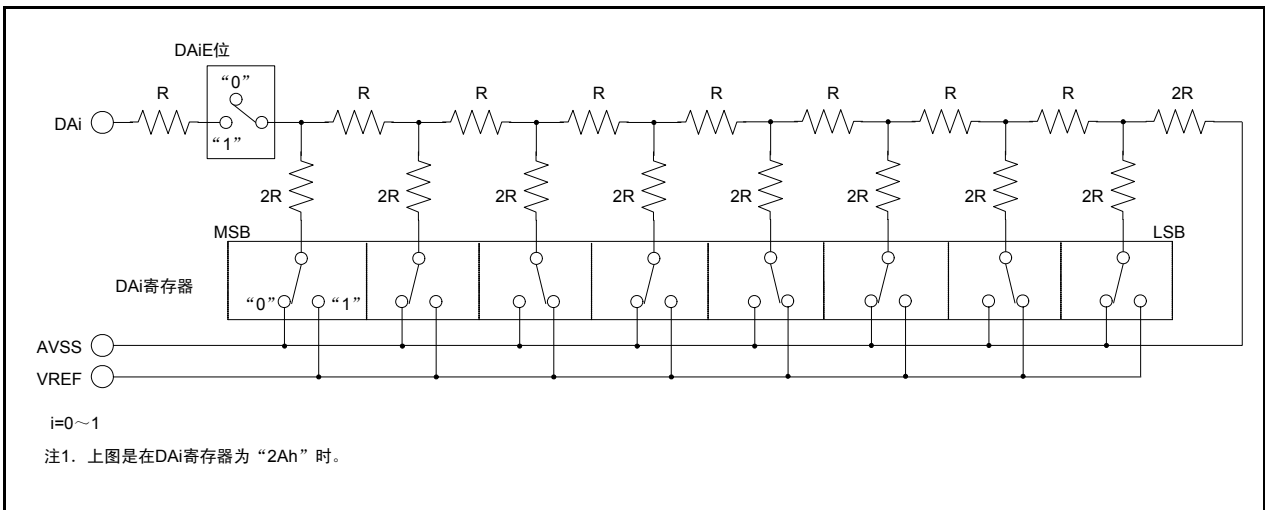


图 19.3 D/A转换器的等效电路

## 20. CRC运算

CRC(Cyclic Redundancy Check) 运算检测数据块的错误。在生成CRC码时，使用CRC-CCITT( $X^{16}+X^{12}+X^5+1$ )的生成多项式。

CRC码是对于以8位为单位的任意数据长度的块而生成的16位代码。在给CRCD寄存器设定初始值后，每当给CRCIN寄存器写1个字节的数据时，CRC码就被设定到CRCD寄存器。对于1个字节的数据，CRC码的生成需要2个周期。

CRC框图如图20.1、CRC关联寄存器如图20.2所示、CRC运算的例子如图20.3所示。

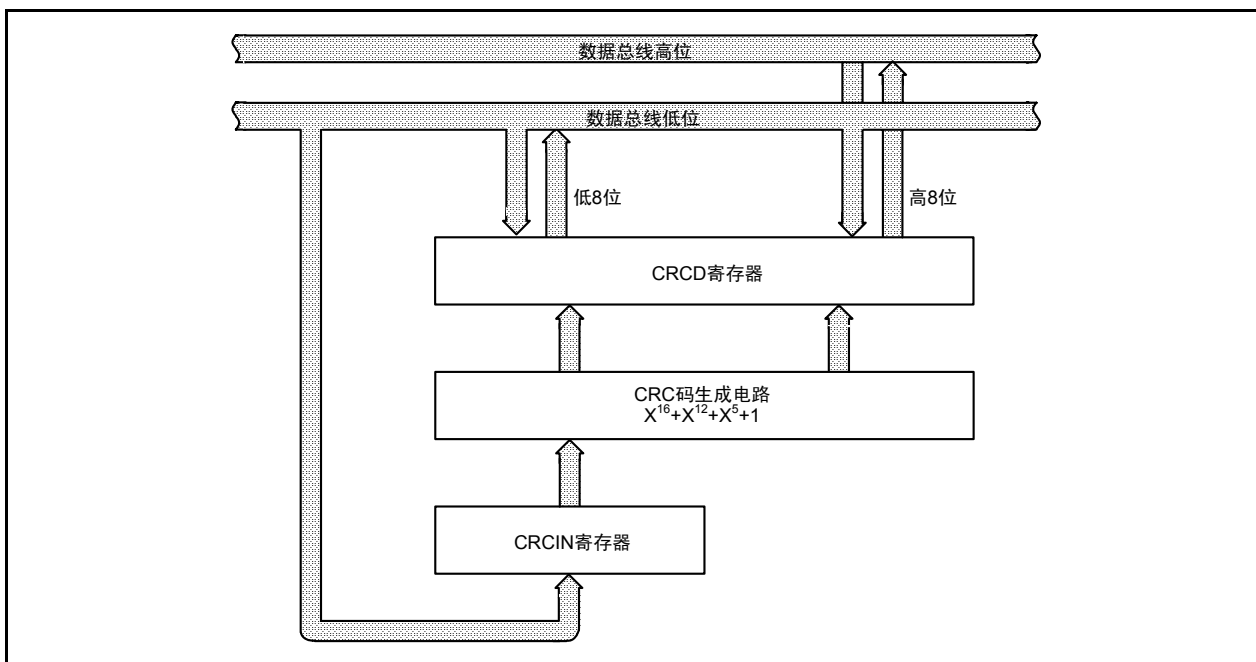


图 20.1 CRC框图

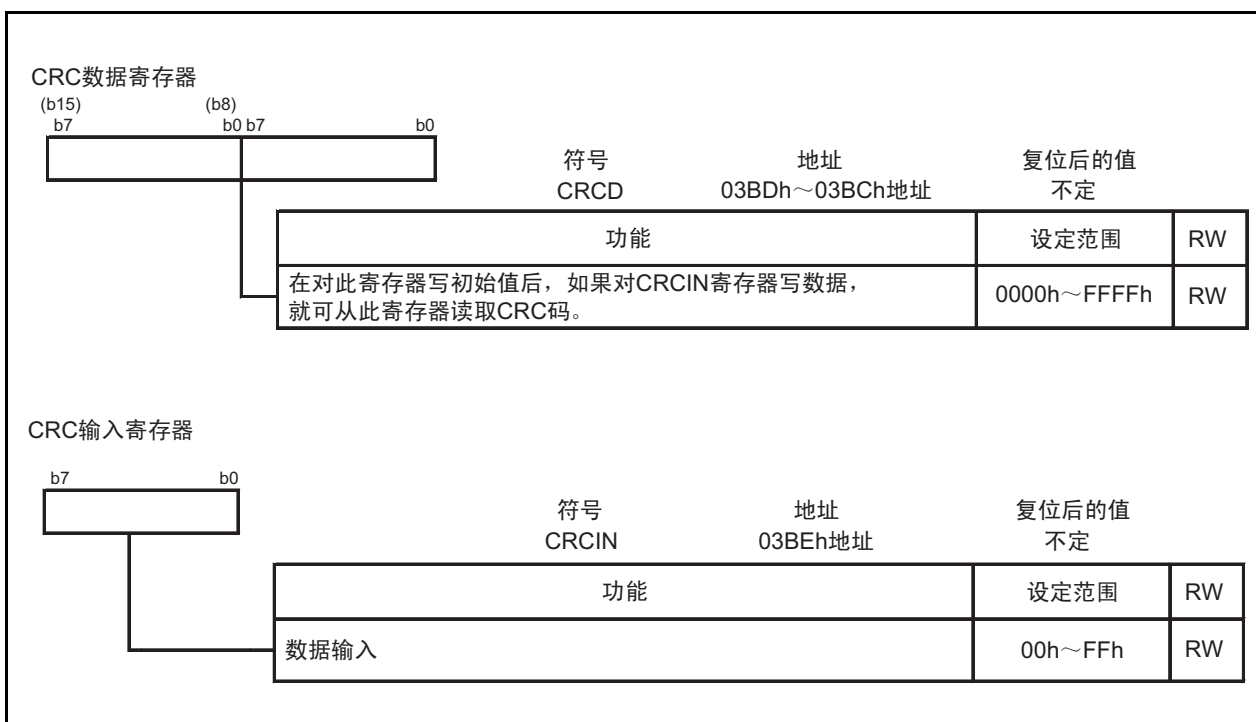


图 20.2 CRCD、CRCIN寄存器

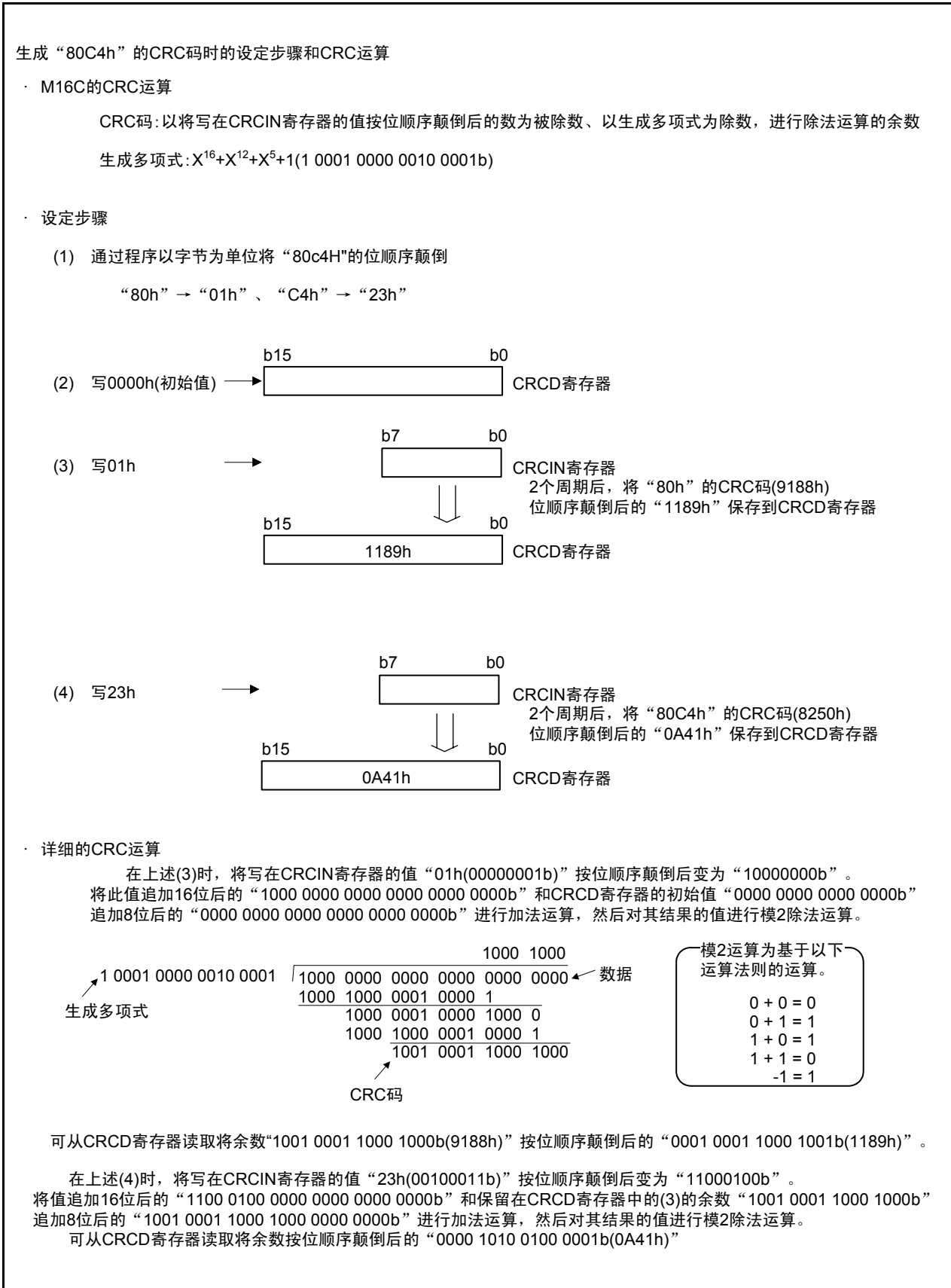


图 20.3 CRC 运算的例子

## 21. 可编程 I/O 端口

### 注意

对于M16C/62P(80引脚版)和M16C/62PT(80引脚版)的P1、P4\_4~P7\_5、P9\_1没有连接到外部。必须通过程序将这些端口的方向位置“1”、输出数据置“0”(“L”电平)。

另外,没有P11\_0~P11\_7、P12\_0~P12\_7、P13\_0~P13\_7、P14\_0、P14\_1引脚,也没有P11~P13、PC14、PUR13寄存器。

可编程 I/O 端口(以下称为 I/O 端口)在 128 引脚版中有 113 个、100 引脚版中有 87 个、80 引脚版中有 70 个。能通过方向寄存器逐个设定各端口的输入/输出。另外,能以 4 个为单位选择是否上拉。P8\_5 为输入专用并且无上拉电阻。因为端口 P8\_5 和 NMI 复用引脚,所以能从 P8 寄存器的 P8\_5 位读取 NMI 输入电平。

各封装的可编程 I/O 端口的个数如表 21.1 所示、I/O 端口的结构如图 21.1~图 21.5、引脚的结构如图 21.6 所示。

各引脚作为 I/O 端口、外围功能的输入/输出或者总线控制引脚使用。

外围功能的设定方法请参照各功能的说明。在用作外围功能的输入引脚或者 D/A 转换器的输出引脚时,必须将对应的引脚的方向位置“0”(输入模式);用作 D/A 转换器以外的外围功能的输出引脚时,与方向位无关,为外围功能的输出引脚。

在用作总线控制引脚时,请参照“8.2 总线控制”。

P0~P5、P12、P13 能输入/输出 VCC2 电平, P6~P11、P14 能输入/输出 VCC1 电平。

表 21.1 各封装的可编程 I/O 端口的个数

	128 引脚版	100 引脚版	80 引脚版(注1)
可编程 I/O 端口	P0_0~P0_7、 P1_0~P1_7、 P2_0~P2_7、 P3_0~P3_7、 P4_0~P4_7、 P5_0~P5_7、 P6_0~P6_7、 P7_0~P7_7、 P8_0~P8_4、P8_6、P8_7 (P8_5为输入端口)、 P9_0~P9_7、 P10_0~P10_7、 P11_0~P11_7、 P12_0~P12_7、 P13_0~P13_7、 P14_0、P14_1	P0_0~P0_7、 P1_0~P1_7、 P2_0~P2_7、 P3_0~P3_7、 P4_0~P4_7、 P5_0~P5_7、 P6_0~P6_7、 P7_0~P7_7、 P8_0~P8_4、P8_6、P8_7 (P8_5为输入端口)、 P9_0~P9_7、 P10_0~P10_7	P0_0~P0_7、 P2_0~P2_7、 P3_0~P3_7、 P4_0~P4_3、 P5_0~P5_7、 P6_0~P6_7、 P7_0、P7_1、P7_6、P7_7、 P8_0~P8_4、P8_6、P8_7 (P8_5为输入端口)、 P9_0、P9_2~P9_7、 P10_0~P10_7
共计	113 个	87 个	70 个

注1. P1、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1没有连接到外部。

### 21.1 Pi 口方向寄存器 (PDi 寄存器 i=0~13)

PDi 寄存器如图 21.7 所示。

它是选择将 I/O 端口用作输入还是用作输出的寄存器。此寄存器的每 1 位对应每 1 个端口。

在存储器扩展模式或者微处理器模式中，不能更改总线控制引脚 (A0~A19、D0~D15、CS0~CS3、RD、WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK) 的 PDi 寄存器。

另外，没有对应 P8\_5 的方向寄存器的位。

### 21.2 Pi 口寄存器 (Pi 寄存器 i=0~13)

Pi 寄存器如图 21.8 所示。

通过对 Pi 寄存器的读写，进行与外部的数据输入/输出。Pi 寄存器由保持输出数据的端口锁存器和读引脚状态的电路构成。如果读取设定为输入模式的端口的 Pi 寄存器，就能读取引脚的输入电平；如果写数据，就将数据写到端口锁存器。

如果读取设定为输出模式的端口的 Pi 寄存器，就能读取端口锁存器；如果写数据，就将数据写到端口锁存器。写在端口锁存器的值从引脚输出。Pi 寄存器的每 1 位对应每 1 个端口。

在存储器扩展模式或者微处理器模式中，不能更改总线控制引脚 (A0~A19、D0~D15、CS0~CS3、RD、WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK) 的 PDi 寄存器。

### 21.3 上拉控制寄存器 0~上拉控制寄存器 3 (PUR0~PUR3 寄存器)

PUR0~PUR3 寄存器如图 21.9~图 21.11 所示。

能通过 PUR0~PUR3 寄存器的各位，以 4 个端口为单位选择是否上拉。在将方向位设定为输入模式时，选择上拉的端口连接上拉电阻。使用端口 P11~P14 时，必须将 PUR3 寄存器的 PU37 位置“1”。

在存储器扩展模式和微处理器模式中，P0~P3、P4\_0~P4\_3、P5 的上拉控制寄存器无效。能更改寄存器的内容，但是不连接上拉电阻。

### 21.4 端口控制寄存器 (PCR 寄存器)

PCR 寄存器如图 21.12 所示。

如果在将 PCR 寄存器的 PCR0 位置“1”后读取 P1 寄存器，就与 PD1 寄存器的设定无关，读取对应的端口锁存器。

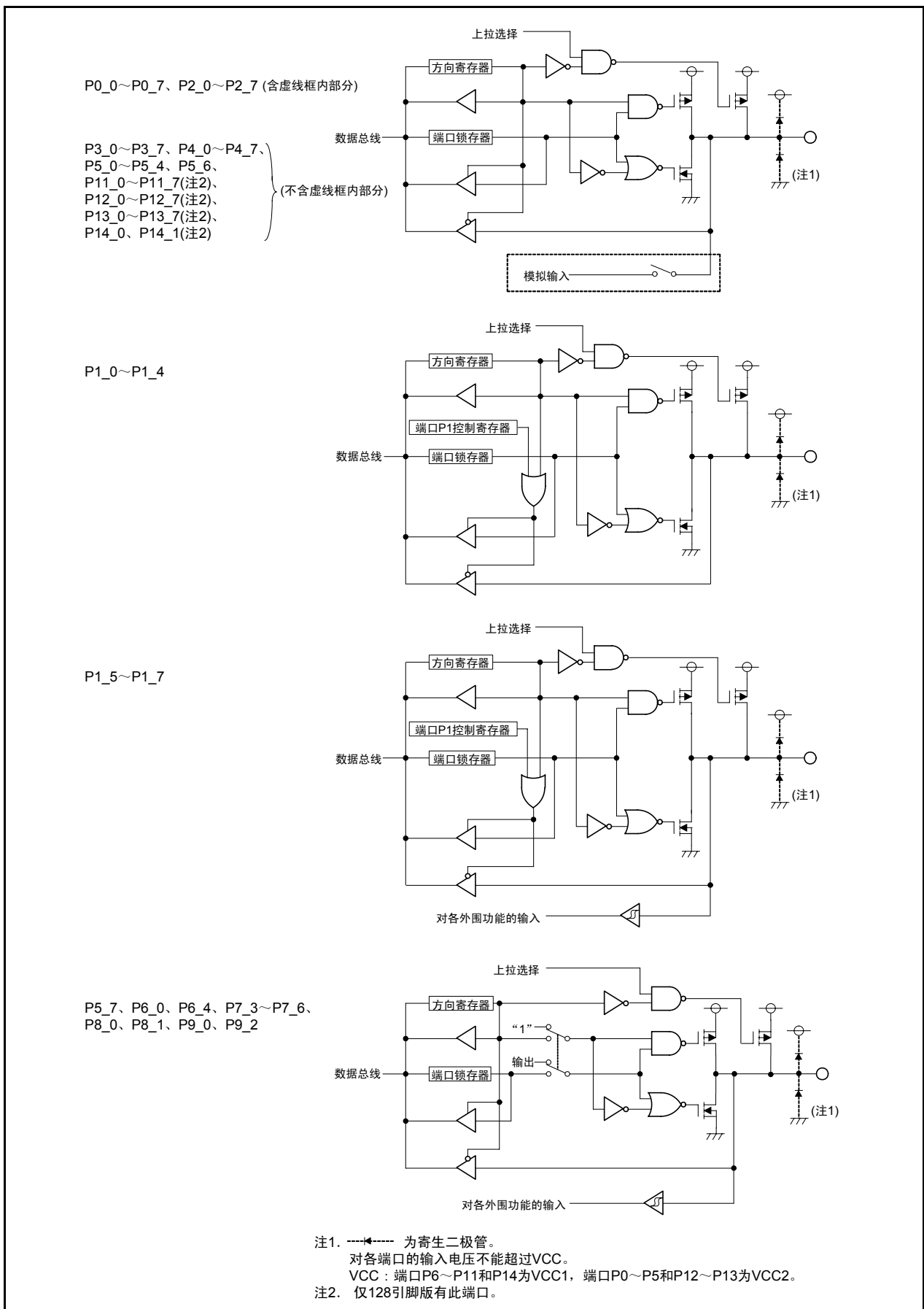


图 21.1 I/O 端口的结构 (1)

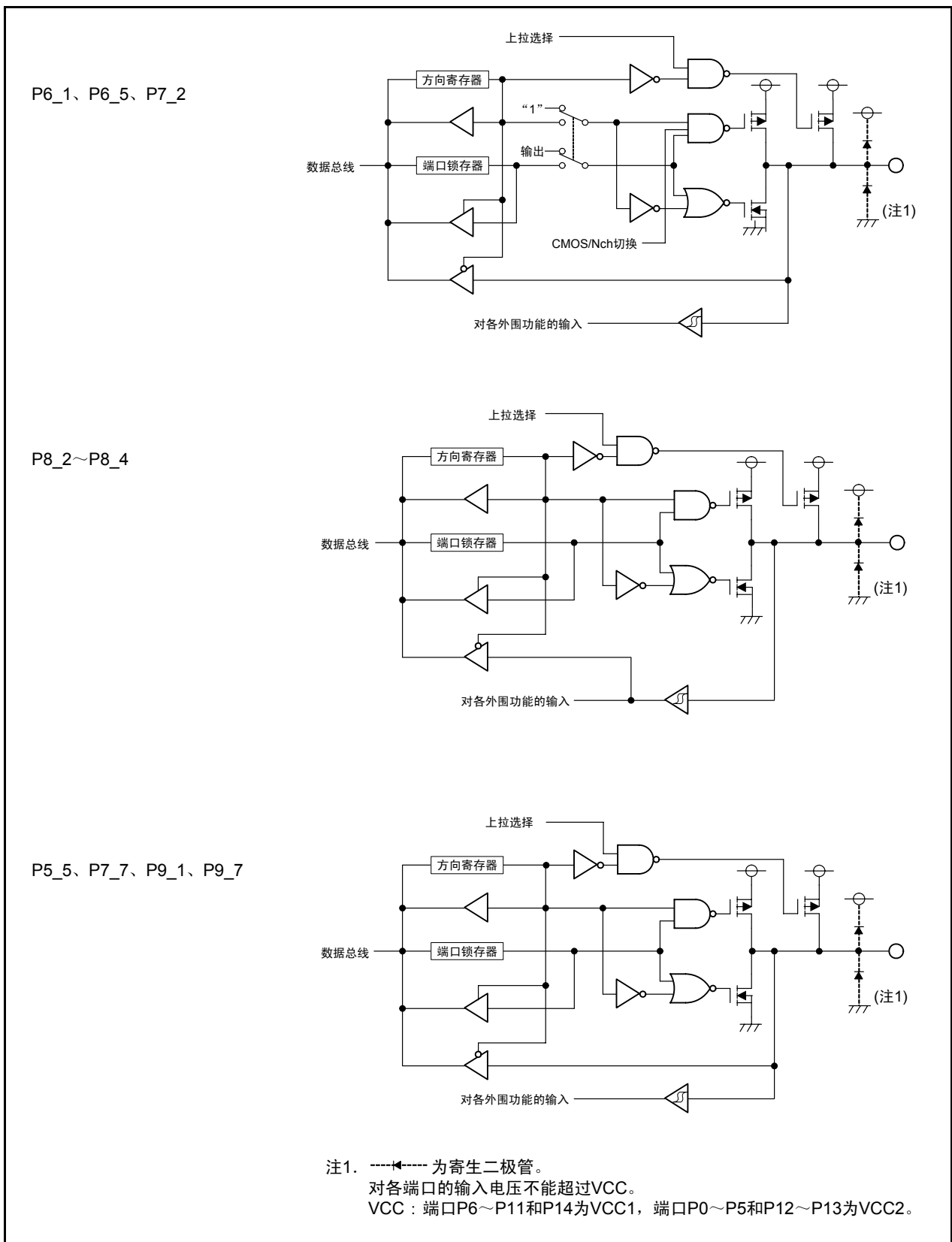


图 21.2 I/O端口的结构 (2)



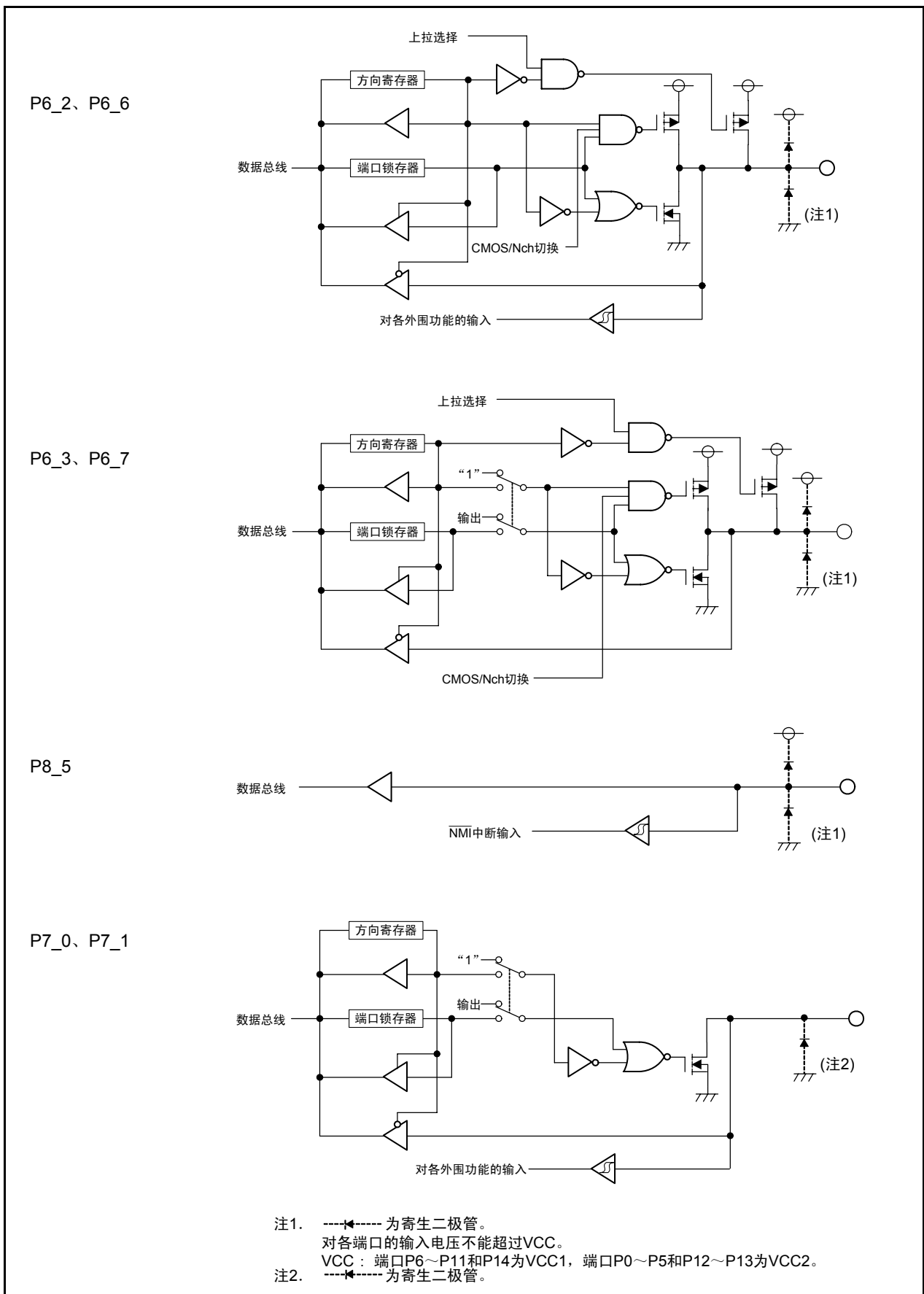


图 21.3 I/O 端口的结构 (3)

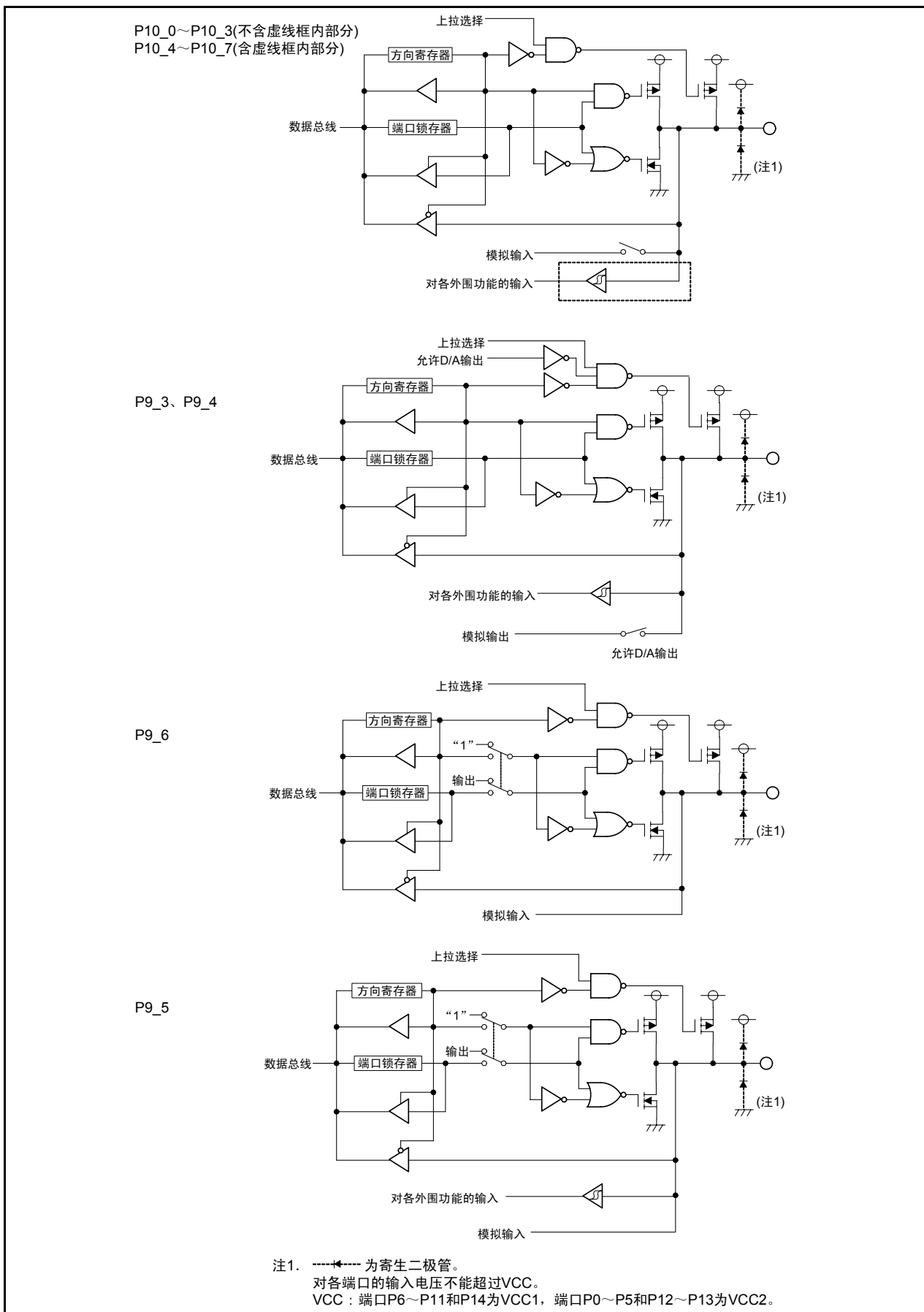


图 21.4 I/O 端口的结构 (4)

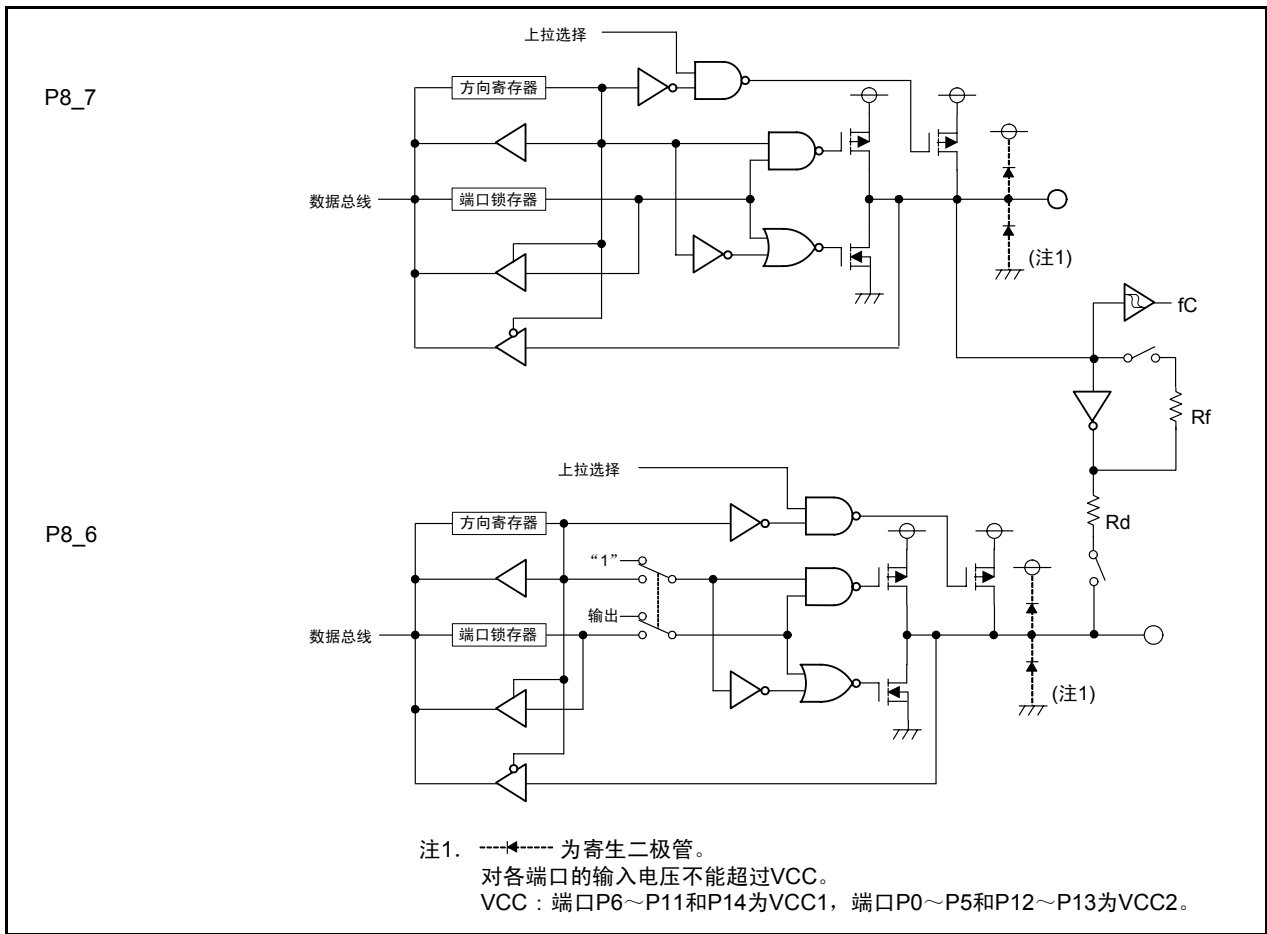


图 21.5 I/O端口的结构 (5)

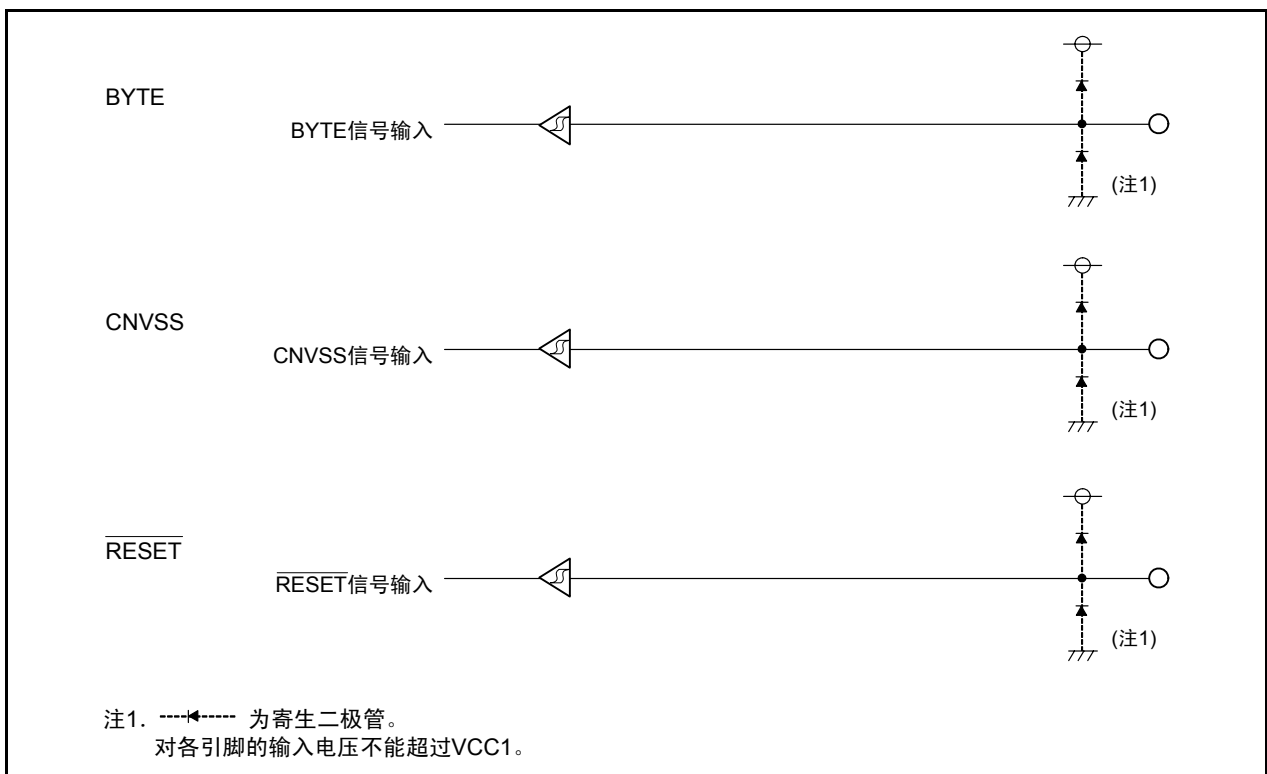


图 21.6 端口的结构

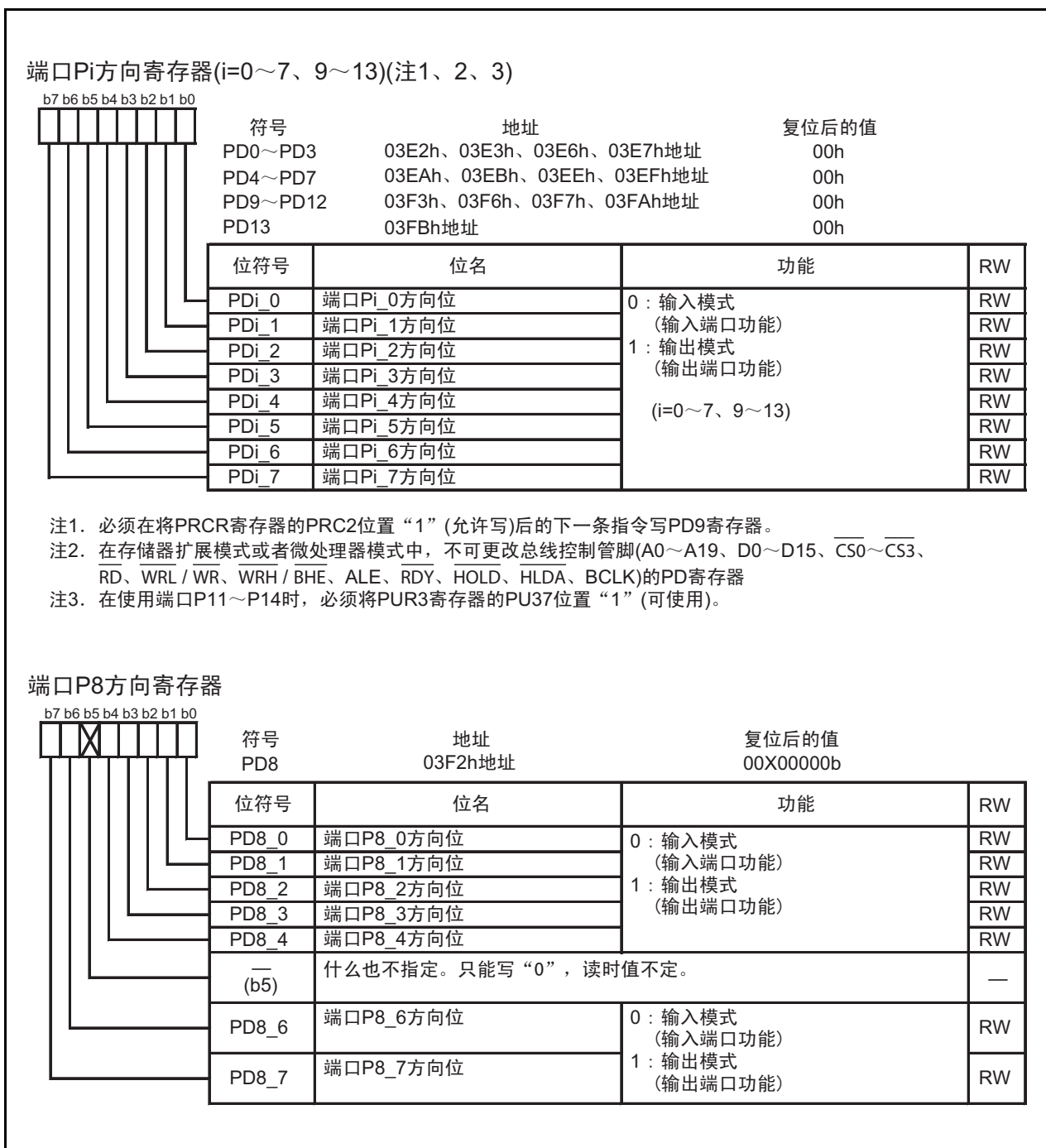


图 21.7 PD0~PD13 寄存器

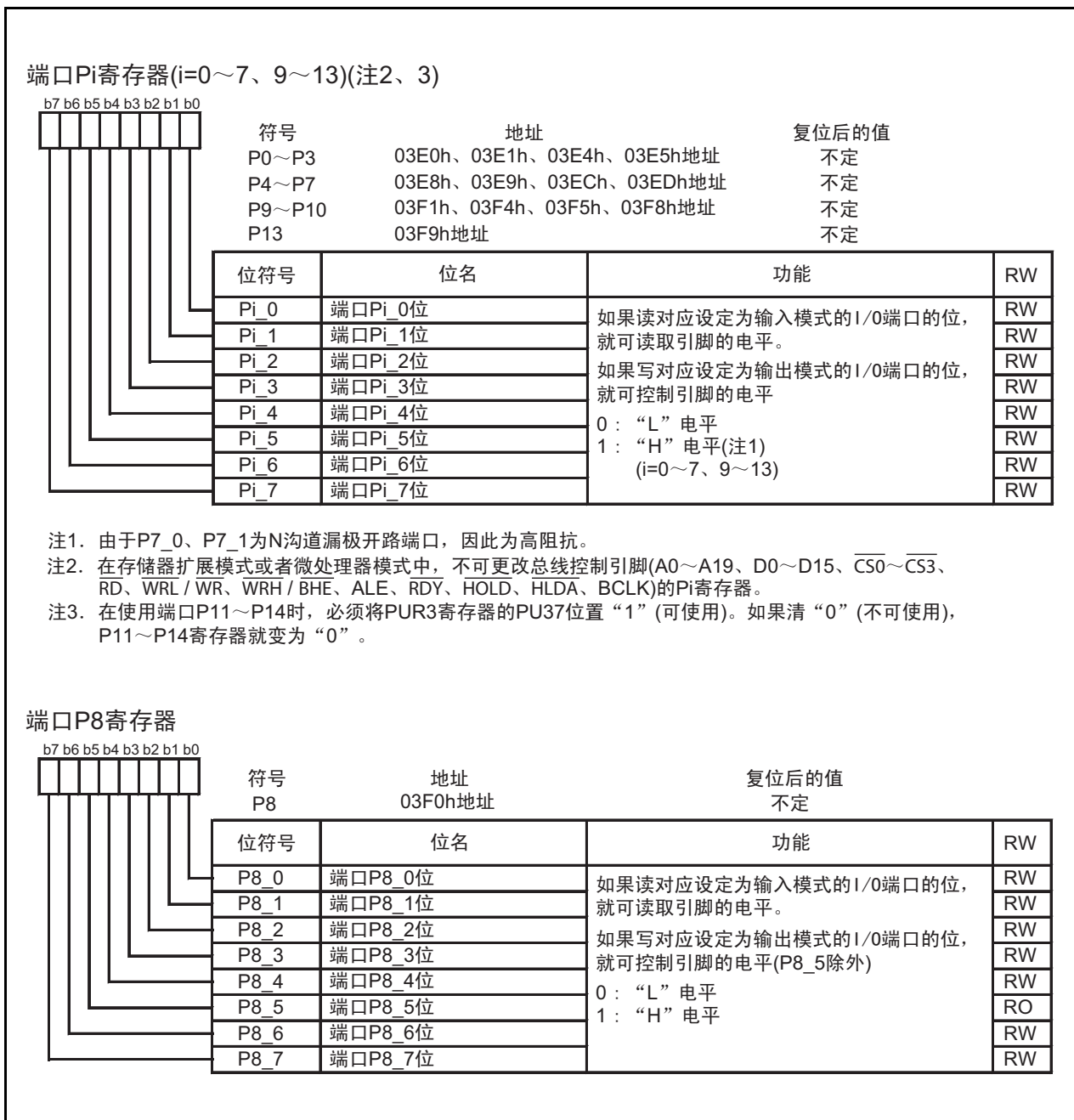


图 21.8 P0~P13 寄存器

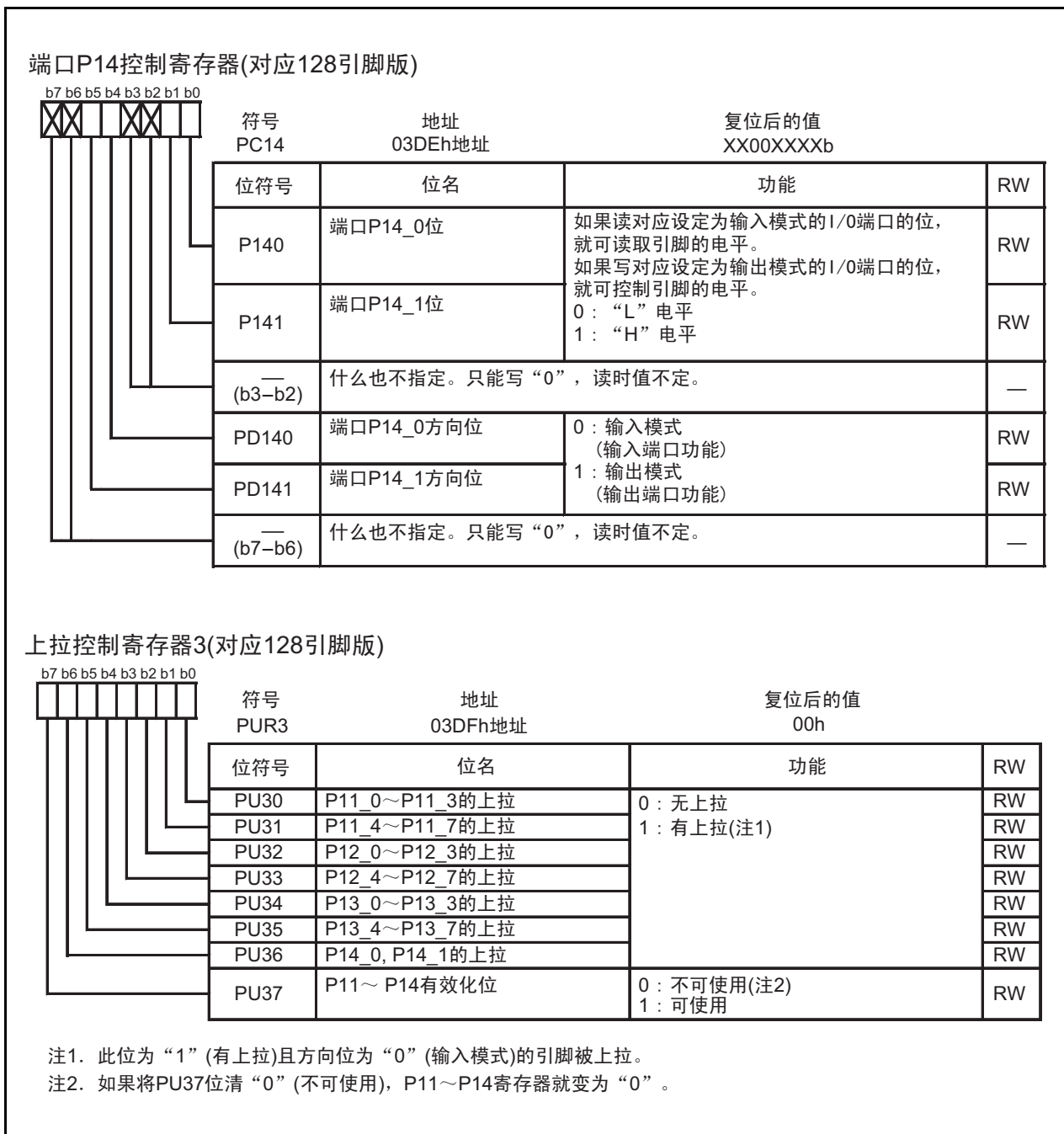


图 21.9 PC14、PUR3 寄存器

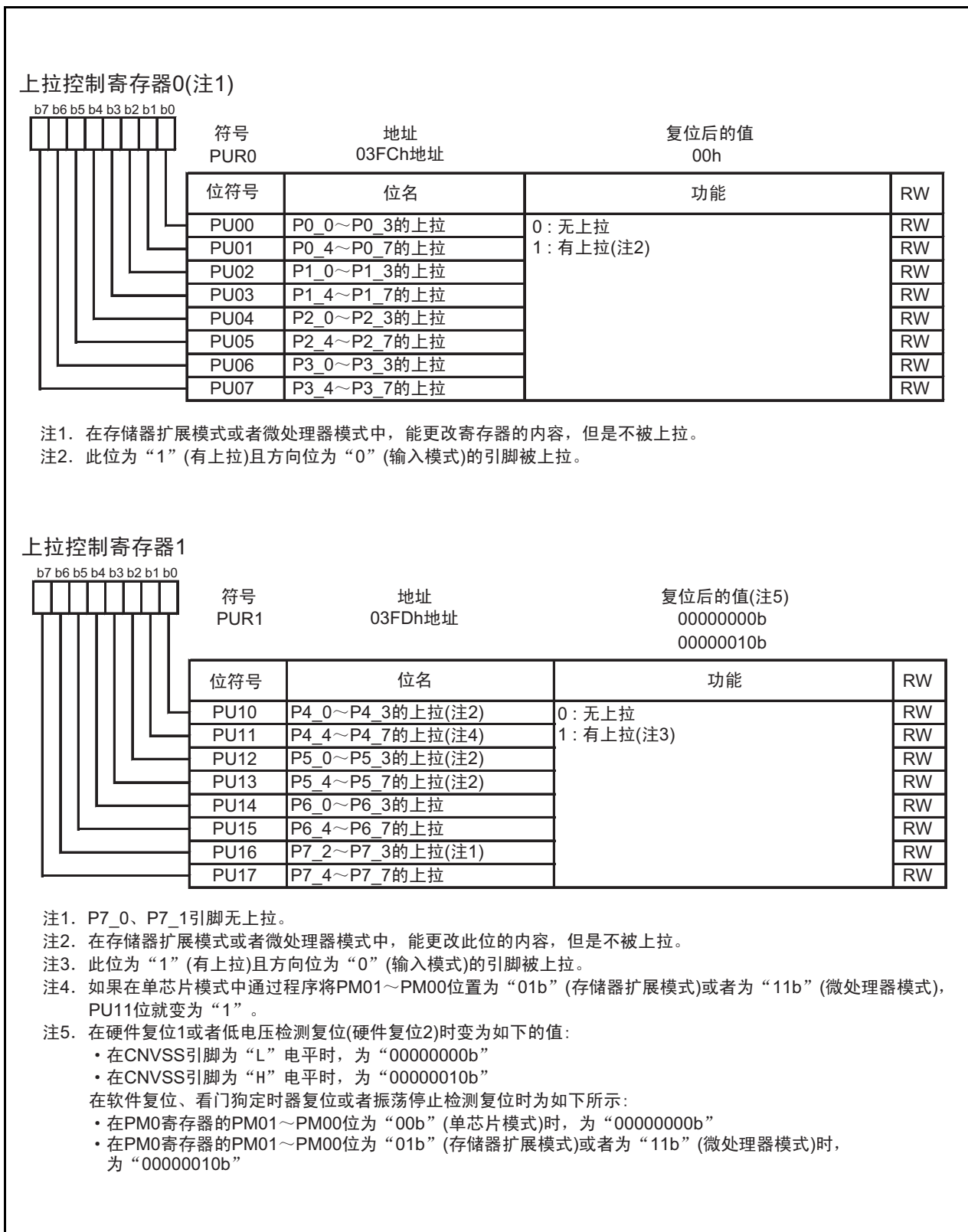


图21.10 PUR0、PUR1寄存器



图 21.11 PUR2 寄存器



图 21.12 PCR 寄存器



表 21.2 单芯片模式中的未使用引脚的处理例子

引脚名	处理内容
端口 P0 ~ P7、P8_0 ~ P8_4、 P8_6 ~ P8_7、P9 ~ P14	设定为输入模式，每个引脚经过电阻连接到 VSS (下拉)；或者设定为输出模式，引脚开路 (注 1、注 2、注 3、注 5)
XOUT (注 4)	开路
NM1 (P8_5)	经过电阻连接到 VCC1 (上拉)
AVCC	连接到 VCC1
AVSS、VREF、BYTE	连接到 VSS

- 注 1. 在设定为输出模式且引脚开路时，由于在复位后、通过程序将端口切换为输出模式之前，端口为输入模式，所以在此期间引脚的电压值不定，从而可能导致电源电流增加。  
另外，考虑到由于噪声或者噪声引起的失控等而导致方向寄存器的内容变化的情况，如果通过软件定期地重新设定方向寄存器内容，就能提高程序的可靠性。
- 注 2. 尽量用较短的布线 (2cm 以内) 处理单片机的未使用引脚。
- 注 3. 在将端口 P7\_0、P7\_1 设定为输出模式时，必须输出 “L” 电平。  
端口 P7\_0、P7\_1 为 N 沟道漏极开路输出。
- 注 4. 在将外部时钟输入到 XIN 引脚时。
- 注 5. 对于 80 引脚版或 100 引脚版中没有引出引脚的端口，必须进行如下处理：
- 80 引脚版
- 必须将端口 P1\_0 ~ P1\_7、P4\_4 ~ P4\_7、P7\_2 ~ P7\_5、P9\_1 的方向位置 “1” (输出模式)、并输出数据 “0” (“L” 电平)。
  - 没有端口 P11 ~ P14。
- 100 引脚版
- PU37 位在复位后为 “0” (不使用 P11 ~ P14)。  
不能给 PU37 位写 “1”。在读 PU37 位时其值不定。
  - 可将 P11 ~ P14 的方向位置 “0” 或 “1”。

表 21.3 存储器扩展模式和微处理器模式中的未使用引脚的处理例子

引脚名	处理内容
端口 P0 ~ P7、P8_0 ~ P8_4、 P8_6 ~ P8_7、P9 ~ P14	设定为输入模式，每个引脚经过电阻连接到 VSS (下拉)；或者设定为输出模式，引脚开路 (注1、注2、注3、注5)
P4_5/CS1 ~ P4_7/CS3	将对应 PD4 寄存器的 CS <sub>i</sub> (i=1 ~ 3) 的方向位置 “0” (输入模式)、CSR 寄存器的 Cs <sub>i</sub> 位置 “0” (片选禁止)，经过电阻连接到 VCC (上拉)
BHE、ALE、HLDA、XOUT (注5)、 BCLK (注6)	开路
HOLD、RDY	经过电阻连接到 VCC2 (上拉)
NMI (P8_5)	经过电阻连接到 VCC1 (上拉)
AVCC	连接到 VCC1
AVSS、VREF	连接到 VSS

注1. 在设定为输出模式且引脚开路时，由于在复位后、通过程序将端口切换为输出模式之前，端口为输入模式，所以在此期间引脚的电压值不定，从而可能导致电源电流增加。

另外，考虑到由于噪声或者噪声引起的失控等而导致方向寄存器的内容变化的情况，如果通过软件定期地重新设定方向寄存器的内容，就能提高程序的可靠性。

注2. 尽量用较短的布线 (2cm 以内) 处理单片机的未使用引脚。

注3. 在将 VSS 电平外加到 CNVSS 引脚时，因为在复位以后、通过程序将端口转换为输出模式以前，端口为输入模式，所以在此期间引脚的电压值不定，从而可能导致电源电流增加。

注4. 在将端口 P7\_0、P7\_1 设定为输出模式时，必须输出 “L” 电平。

端口 P7\_0、P7\_1 为 N 沟道漏极开路输出。

注5. 在将外部时钟输入到 XIN 引脚时。

注6. 如果将 PMO 寄存器的 PM07 位置 “1” (不输出 BCLK)，必须经过电阻连接到 VCC2 (上拉)。

注7. 对于 100 引脚版中没有引脚的端口，必须进行如下处理：

- PU37 位在复位后为 “0” (不使用 P11 ~ P14)。  
不能给 PU37 位写 “1”。在读 PU37 位时其值不定。
- 可将 P11 ~ P14 的方向位置 “0” 或 “1”。

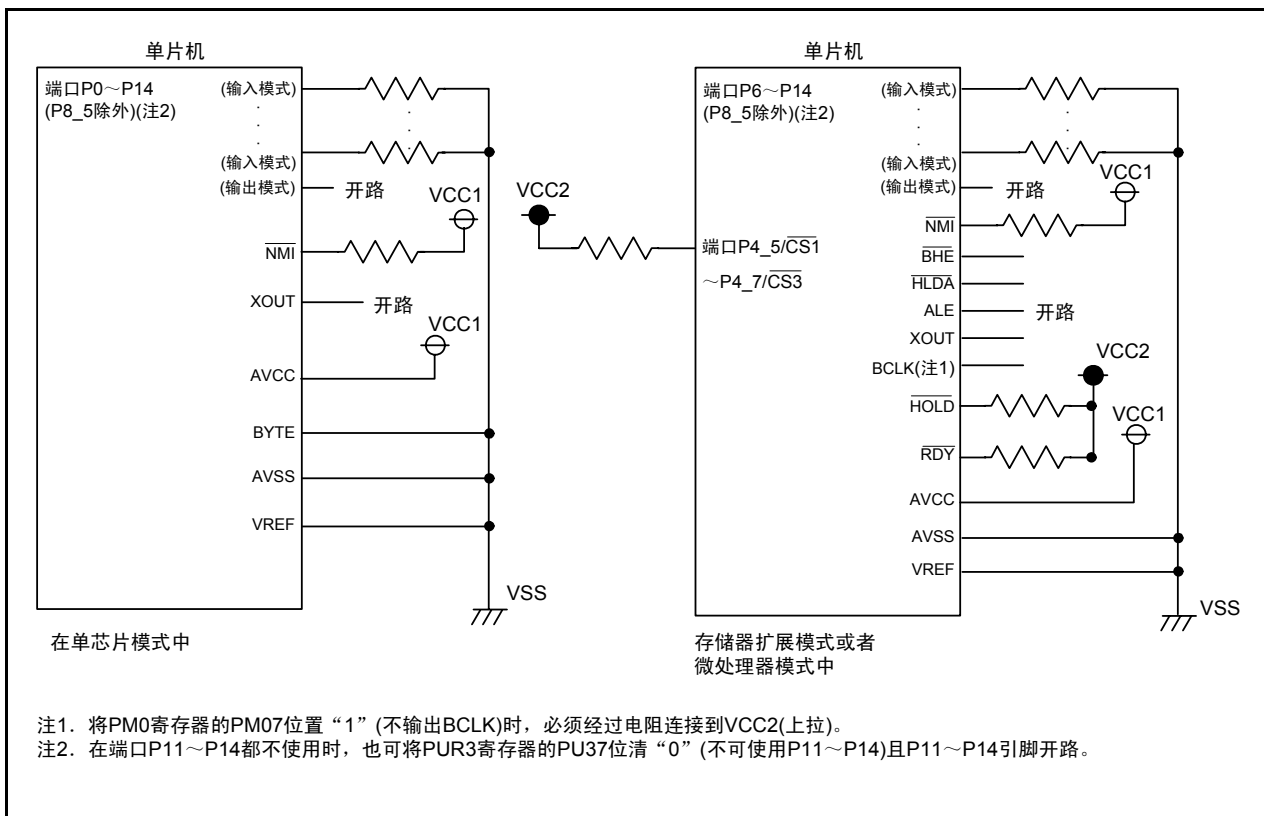


图 21.13 未使用引脚的处理例子



## 22. 闪存版

闪存版除了内置闪存以外，具有和掩模型ROM版相同的功能。

对于闪存版，能通过CPU改写模式、标准串行输入/输出模式和并行输入/输出模式的3种改写模式进行闪存的操作。

闪存版的性能概要如表22.1所示(表22.1所示以外的项目请参照“表1.1~表1.3 性能概要”)。

表22.1 闪存版的性能概要

项目	性能
闪存改写模式	3模式 (CPU改写、标准串行输入/输出、并行输入/输出)
擦除块分配	用户ROM区
	引导ROM区
编程方式	字单位、字节单位(注2)
擦除方式	全部擦除、块擦除
编程、擦除控制方式	通过软件命令的编程、擦除控制
保护方式	通过锁住位的块单位保护
命令数	8个命令
编程、擦除次数	100次、1,000次/10,000次(注3、4)
数据保持	10年
ROM码保护	对应并行输入/输出模式、标准串行输入/输出模式

注1. 在出货时，引导ROM区存有标准串行输入/输出模式的改写控制程序。只能在并行输入/输出模式改写此区域。

注2. 只能在并行输入/输出模式中以字节为单位进行编程。

注3. 块1、块A为10,000次，其他的块为1,000次。

注4. 编程、擦除次数的定义

编程、擦除次数是各块的擦除次数。

例如，如果在对4K字节的块A进行了2,048次的1个字的写操作后擦除，编程、擦除次数就被计为1次。

编程、擦除次数为100次时，能按块进行100次的擦除；为10,000次时，块1和块A能进行10,000次的擦除，其他的块能进行1,000次的擦除。

表22.2 闪存改写模式的概要

闪存改写模式	CPU改写模式(注1)	标准串行输入/输出模式	并行输入/输出模式
功能概要	能通过CPU执行软件命令改写用户ROM区 EWO模式： 能改写闪存以外的区域(注2) EW1模式： 能改写闪存	能使用专用串行编程器改写用户ROM区 标准串行输入/输出模式1： 时钟同步串行I/O 标准串行输入/输出模式2： 异步串行I/O	能使用专用并行编程器改写引导ROM区和用户ROM区
能改写的区域	用户ROM区	用户ROM区	用户ROM区 引导ROM区
运行模式	单芯片模式 存储器扩展模式(EWO模式) 引导模式(EW0模式)	引导模式	并行输入/输出模式
ROM编程器	—	串行编程器	并行编程器

注1. 在FMR0寄存器的FMR01位为“1”(CPU改写模式有效)期间，PM13位为“1”。如果将FMR01位置“0”(CPU改写模式无效)，PM13位恢复为原来的值。但是，如果在CPU改写模式中更改PM13位，就在将FMR01位置“0”后，反映更改值。

注2. 在CPU改写模式中，PM1寄存器的PM10位和PM13位为“1”。执行改写控制程序的区域为内部RAM，或者在PM13位为“1”时在能使用的外部区执行。另外，在PM13位为“0”并且使用4M字节模式时，不能使用扩展区域的存取空间(40000h~BFFFFh)。

## 22.1 存储器配置

闪存版的ROM分为用户ROM区和引导ROM区。闪存框图如图22.1所示。用户ROM区除了保存单芯片模式或者存储器扩展模式时的单片机运行程序的区域以外，还有4K字节的块A。

用户ROM区被分为几个块，能按块禁止(锁住)编程和擦除。能通过CPU改写模式、标准串行输入/输出模式或者并行输入/输出模式改写用户ROM区。如果将PM1寄存器的PM10位置“1”(块A有效，CS2区为10000h~26FFFh)，就能使用块A。

引导ROM区分配在与用户ROM区重叠的地址，只能在并行输入/输出模式进行改写。另外，如果CNVSS引脚和P5\_0引脚为“H”电平、P5\_5引脚为“L”电平时进行硬件复位，复位后执行引导ROM区的程序；如果CNVSS引脚为“L”电平时进行硬件复位，复位后执行用户ROM区的程序，而不能读取引导ROM区。

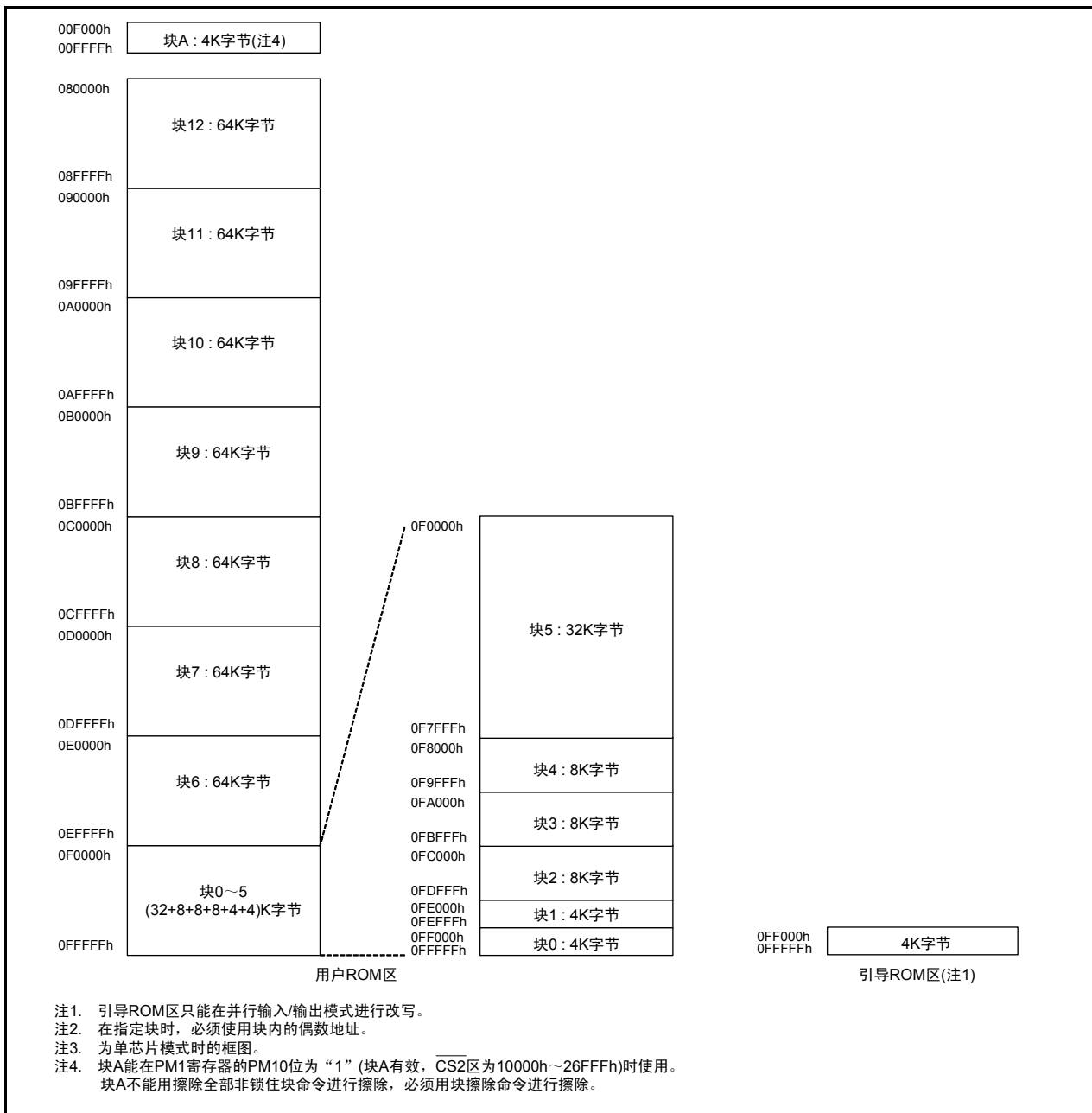


图 22.1 闪存框图

### 22.1.1 引导模式

如果P5\_5引脚为“L”电平、CNVSS引脚为“H”电平、P5\_0引脚为“H”电平时进行硬件复位，就进入引导模式，执行引导ROM区的程序。

在引导模式时，引导ROM区和用户ROM区能通过FMRO寄存器的FMR05位进行切换。

在出货时，引导ROM区存有标准串行输入/输出模式的改写控制程序。

另外，引导ROM区能在并行输入/输出模式进行改写。如果将使用EWO模式的任何改写控制程序写入引导ROM区，就能按系统进行改写。

## 22.2 闪存改写禁止功能

为了禁止读出或改写闪存，并行输入/输出模式有ROM码保护功能，标准串行输入/输出模式有ID码检查功能。

### 22.2.1 ROM码保护功能

ROM码保护是在使用并行输入/输出模式时禁止读出或者改写闪存的功能。ROMCP寄存器如图22.2所示。ROMCP寄存器存在于用户ROM区。

在将ROMCP1位设定为“11b”以外的值时，ROM码保护有效。此时，必须将5~0位设定为“111111b”。

在解除ROM码保护时，必须在标准串行输入/输出模式或者CPU改写模式擦除包含ROMCP1寄存器的块。

### 22.2.2 ID码检查功能

在标准串行输入/输出模式使用此功能。判断从编程器送来的ID码是否和写在闪存中的ID码一致。如果ID码不一致，就不接受从编程器送来的命令。但是，如果复位向量的4个字节为“FFFFFFFFh”，就不进行ID码的判断而接受所有的命令。

闪存的ID码是从第1个字节开始分别分配在OFFDFh、OFFFE3h、OFFFEBh、OFFFEFh、OFFF3h、OFFF7h、OFFFBh地址中的7个字节的数据。必须将给这些地址设定ID码的程序写入闪存。

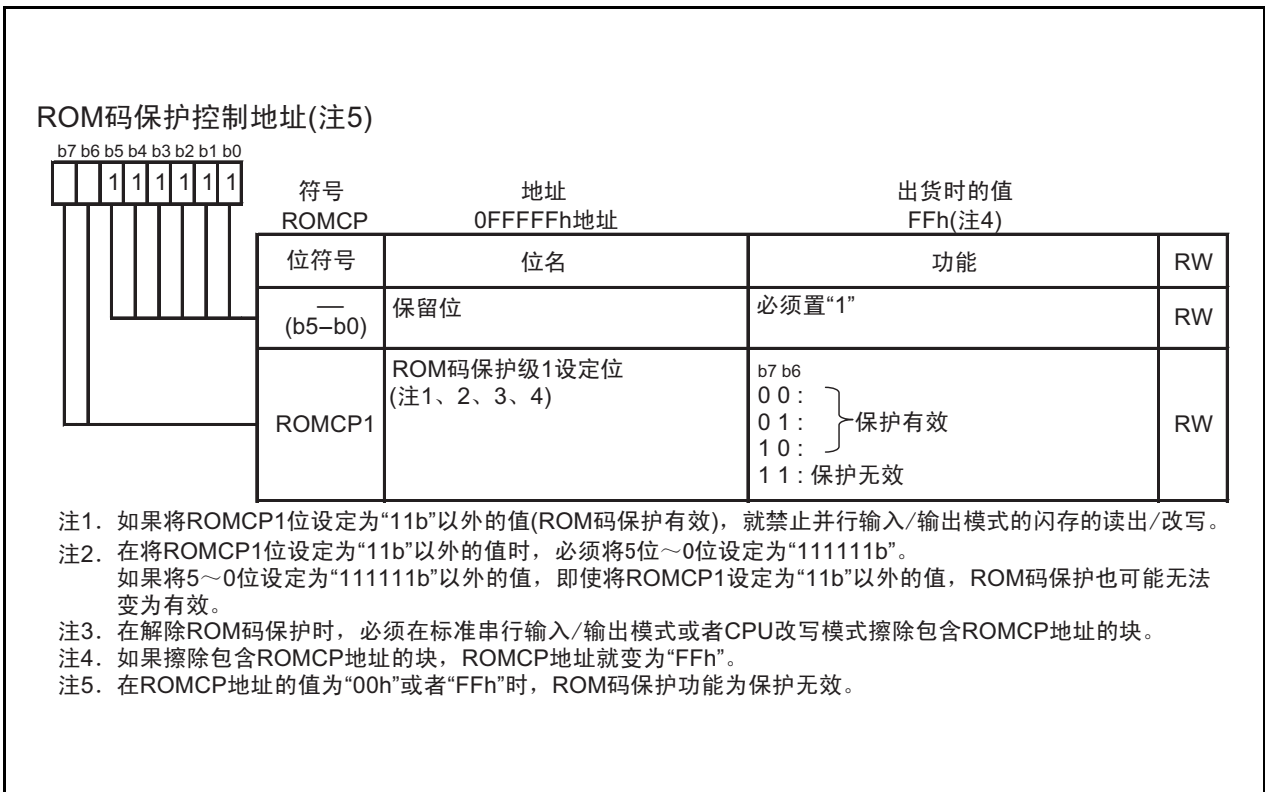


图 22. 2 ROMCP 寄存器

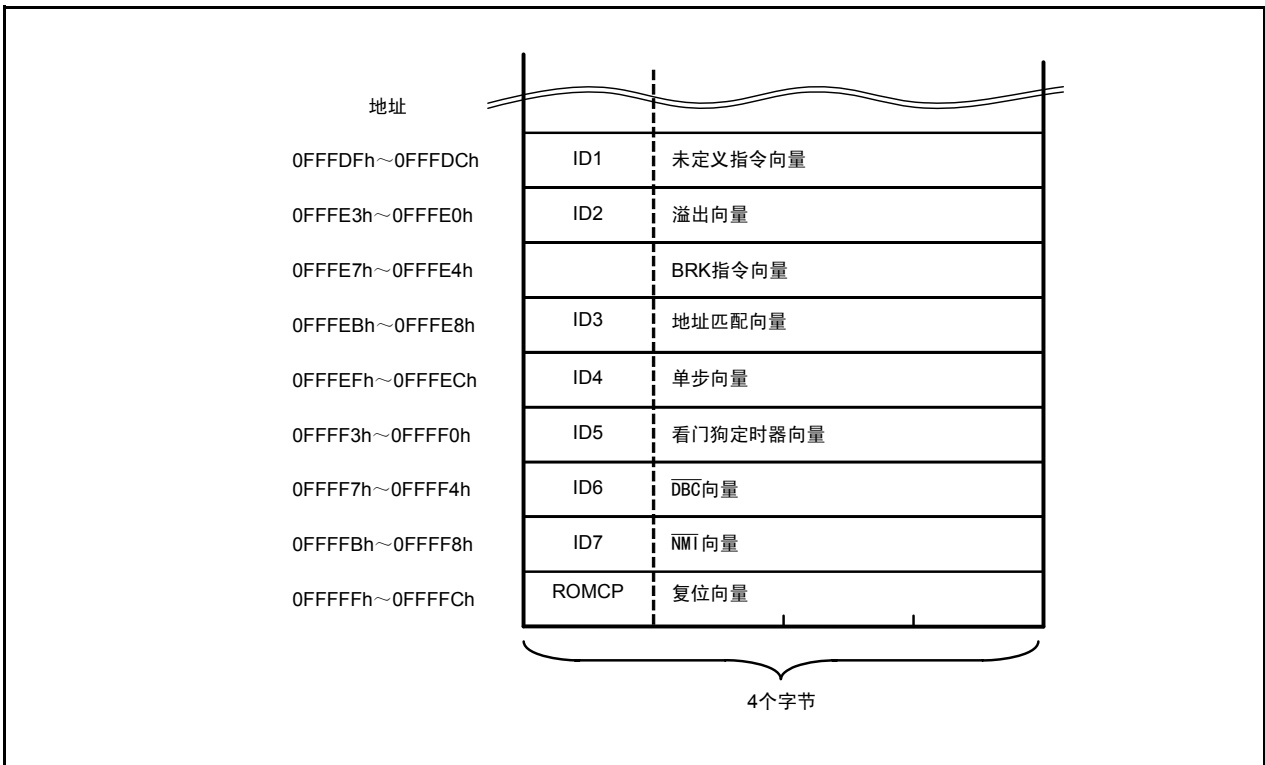


图 22. 3 ID 码的保存地址



### 22.3 CPU改写模式

在CPU改写模式，能通过CPU执行软件命令改写用户ROM区。因此，能在不使用ROM编程器等而将单片机安装在电路板的状态下，改写用户ROM区。

在CPU改写模式，只能改写如图22.1所示的用户ROM区，而不能改写引导ROM区。编程、只能对用户ROM区的各块区域执行编程和块擦除的命令。

CPU改写模式有擦除编程0模式(EW0模式)和擦除编程1模式(EW1模式)。EW0模式和EW1模式的不同点如表22.3所示。

表22.3 EW0模式和EW1模式的不同点

项目	EW0模式	EW1模式
运行模式	<ul style="list-style-type: none"> <li>单芯片模式</li> <li>存储器扩展模式</li> <li>引导模式</li> </ul>	单芯片模式
能存放改写控制程序的区域	<ul style="list-style-type: none"> <li>用户ROM区</li> <li>引导ROM区</li> </ul>	用户ROM区
能执行改写控制程序的区域	必须在传送到闪存以外(RAM等)的区域后执行(注2)	可在用户ROM区执行
能改写的区域	用户ROM区	用户ROM区 但是，存有改写控制程序的块除外
软件命令的限制	无	<ul style="list-style-type: none"> <li>编程、块擦除命令 对于存有改写控制程序的块，禁止执行</li> <li>擦除全部非锁住块命令 在存有改写控制程序的块的锁住位为“1”(非锁住)或者FMRO寄存器的FMR02位为“1”(锁住位无效)时，禁止执行</li> <li>读状态寄存器命令 禁止执行</li> </ul>
编程、擦除后的模式	读状态寄存器模式	读阵列模式
自动写、自动擦除时的CPU状态	运行	保持状态(I/O端口保持命令执行前的状态(注1))
闪存的状态检测	<ul style="list-style-type: none"> <li>通过程序读取FMRO寄存器的FMR00、FMR06、FMR07位</li> <li>执行读状态寄存器命令，读取状态寄存器的SR7、SR5、SR4位</li> </ul>	通过编程读取FMRO寄存器的FMR00、FMR06、FMR07位

注1. 不能发生中断(NMI除外)、DMA传送。

注2. 在CPU改写模式中，PM1寄存器的PM10位和PM13位为“1”。执行改写控制程序的区域为内部RAM，或者在PM13位为“1”时在能使用的外部区域执行。另外，在PM13位为“0”并且使用4M字节模式时，不能使用扩展区域的存取空间(40000h~BFFFFh)。

### 22.3.1 EWO模式

如果将FMR0寄存器的FMR01位置“1”(CPU改写模式有效),就进入CPU改写模式,能接受软件命令。此时,如果FMR1寄存器的FMR11位为“0”,就为EWO模式。在将FMR01位置“1”时,必须在写“0”后继续写“1”。

通过软件命令进行编程和擦除运行的控制。能通过FMR0寄存器或者状态寄存器,确认编程或者擦除结束时的状态等。

### 22.3.2 EW1模式

在将FMR01位置“1”(在写“0”后继续写“1”)后,如果将FMR11位置“1”(在写“0”后继续写“1”),就进入EW1模式。

能通过FMR0寄存器确认编程或者擦除结束时的状态等。不能在EW1模式读取状态寄存器。

如果执行编程或者擦除的命令,就在命令执行结束前CPU停止运行。

### 22.3.3 闪存控制寄存器(FIDR、FMR0、FMR1寄存器)

FIDR寄存器如图22.4、FMR0寄存器如图22.5、FMR1寄存器如图22.6所示。

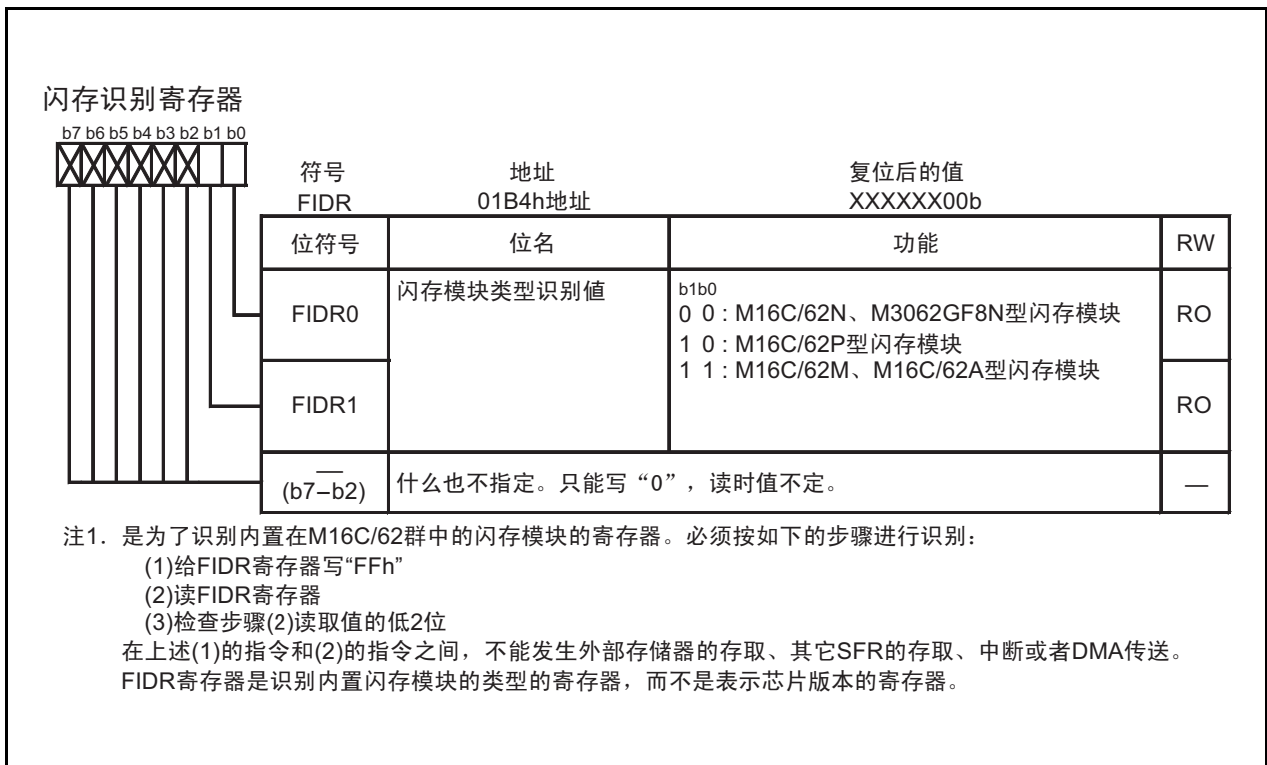


图22.4 FIDR寄存器

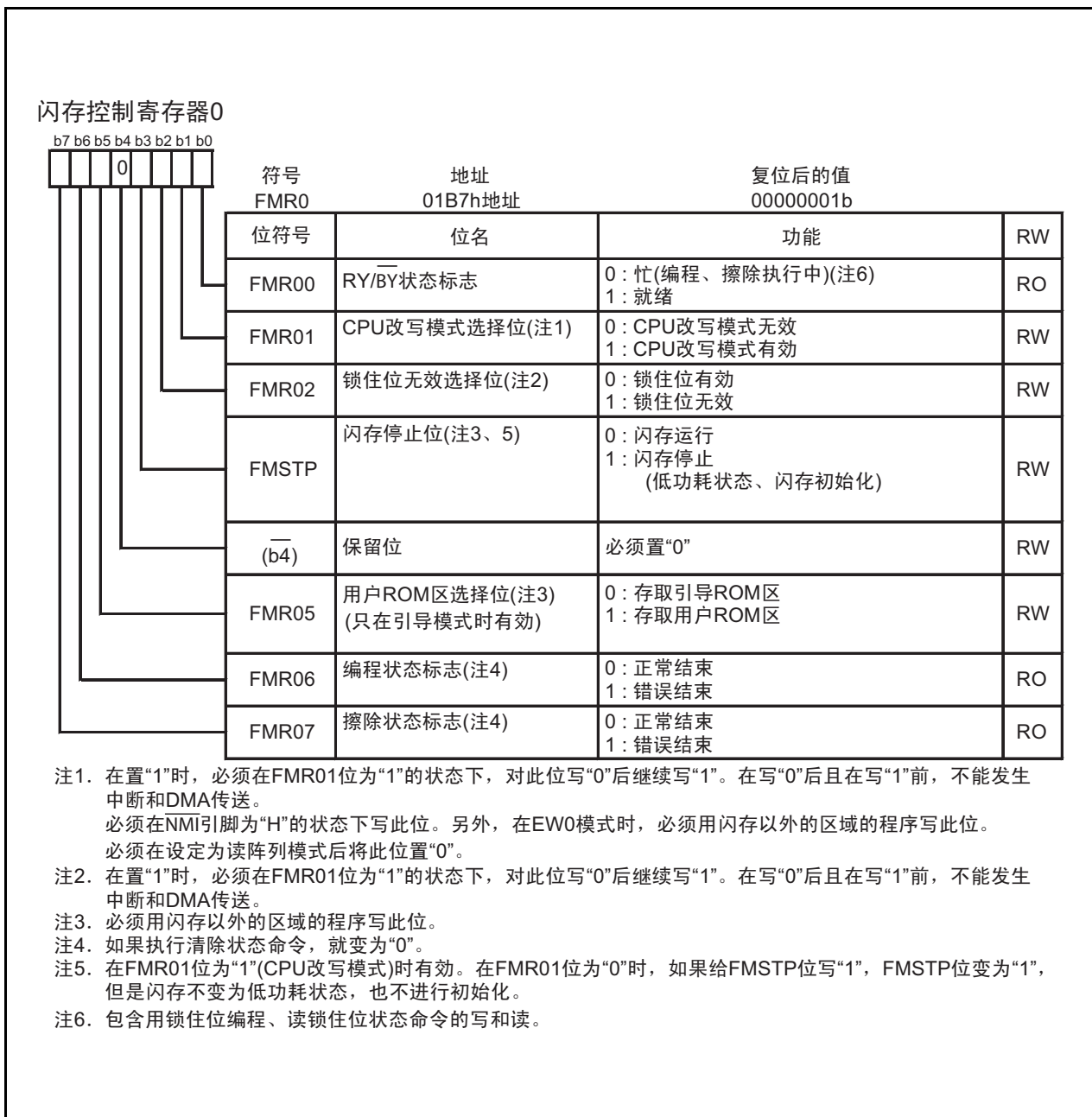


图 22.5 FMR0 寄存器

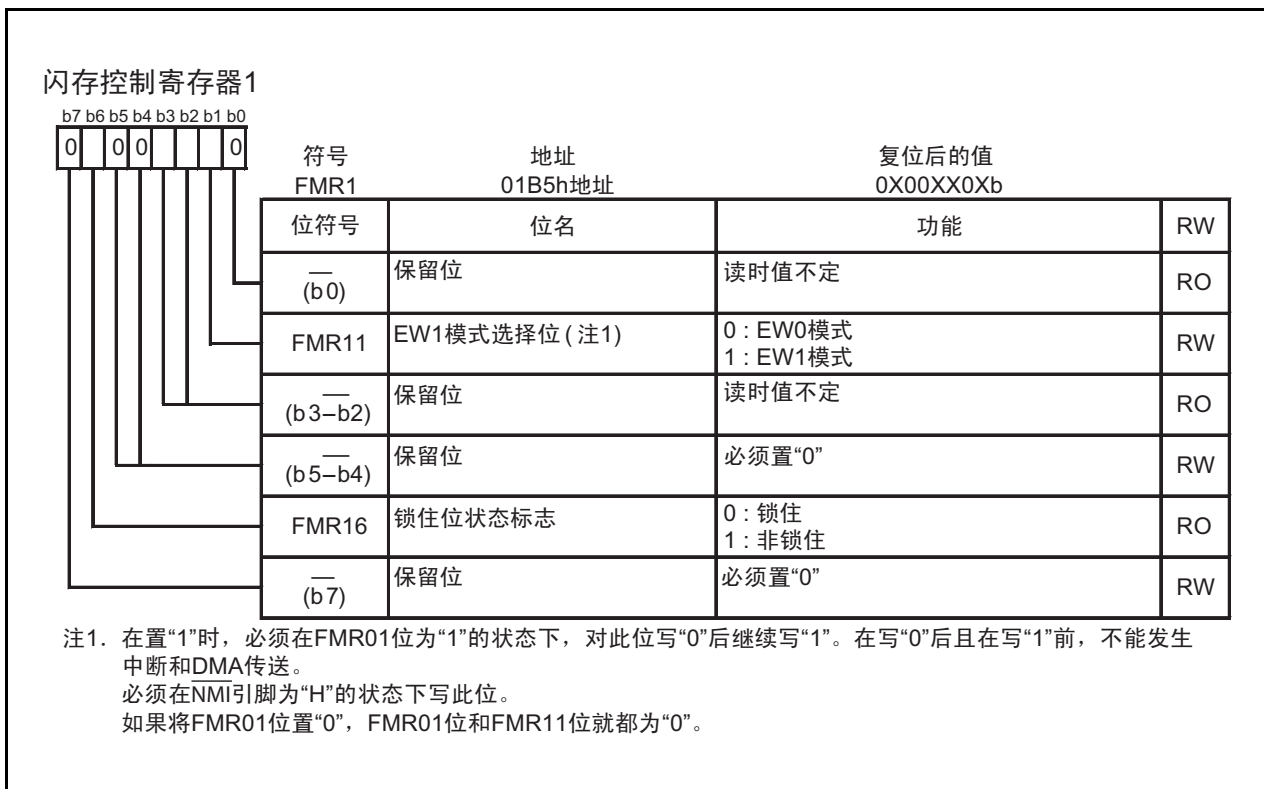


图 22.6 FMR1 寄存器

### 22.3.3.1 FMR00位

它是表示闪存运行状况的位。在编程、块擦除、擦除全部非锁住块、锁住位编程、读锁住位状态命令执行中为“0”，否则为“1”。

### 22.3.3.2 FMR01位

如果将FMR01位置“1” (CPU改写模式)，就变为能接受命令的状态。另外，还必须在引导模式时将FMR05位置“1” (用户ROM区存取)。

### 22.3.3.3 FMR02位

如果将FMR02位置“1” (锁住位无效)，就能使锁住位无效 (请参照“22.3.6 数据保护功能”)；如果置“0”，锁住位就变为有效。

FMR02位只能将锁住位的功能置为无效，锁住位数据不变化。但是，在将FMR02位置“1”的状态下执行擦除时，为“0” (锁住状态)的锁住位数据在擦除结束后变为“1” (非锁住状态)。

### 22.3.3.4 FMSTP位

它是用于对闪存的控制电路进行初始化和降低闪存功耗的位。如果将FMSTP位置“1”，就不能存取快速擦写存储器。因此，必须通过闪存以外的区域的程序写FMSTP位。

在以下情况，必须将FMSTP位置“1”。

- 在EW0模式的擦除或者写过程中，如果闪存的存取发生异常 (FMR00位不能恢复到“1” (就绪))
- 在设定成低功耗模式或者内部振荡器低功耗模式 (主时钟停止) 时

低功耗模式或者内部振荡器低功耗模式前后的处理如图22.9所示，必须根据该流程图操作。

另外，由于内置的闪存的电源在转移到停止模式或者等待模式时自动切断，返回时自动连接，因此不需要设定FMR0寄存器。

### 22.3.3.5 FMR05位

它是在引导模式时切换引导ROM区和用户ROM区的位。在存取 (读) 引导ROM区时必须置“0”；在存取用户ROM区 (读、写、擦除) 时必须置“1” (存取用户ROM)。

### 22.3.3.6 FMR06位

它是表示自动写状况的只读位。在发生编程错误时为“1”，否则为“0”。详细内容请参照“22.3.8 全状态检查”。

### 22.3.3.7 FMR07位

它是表示自动擦除状况的只读位。在发生擦除错误时为“1”，否则为“0”。详细内容请参照“22.3.8 全状态检查”。

EW0模式的设定和解除方法如图22.7、EW1模式的设定和解除方法如图22.8所示。

### 22.3.3.8 FMR11位

在FMR11位为“0” (EW0模式) 时，为EW0模式。

在FMR11位为“1” (EW1模式) 时，为EW1模式。

### 22.3.3.9 FMR16位

它是表示读锁住位状态执行结果的只读位。  
块为锁住状态时为“0”；为非锁住状态时为“1”。

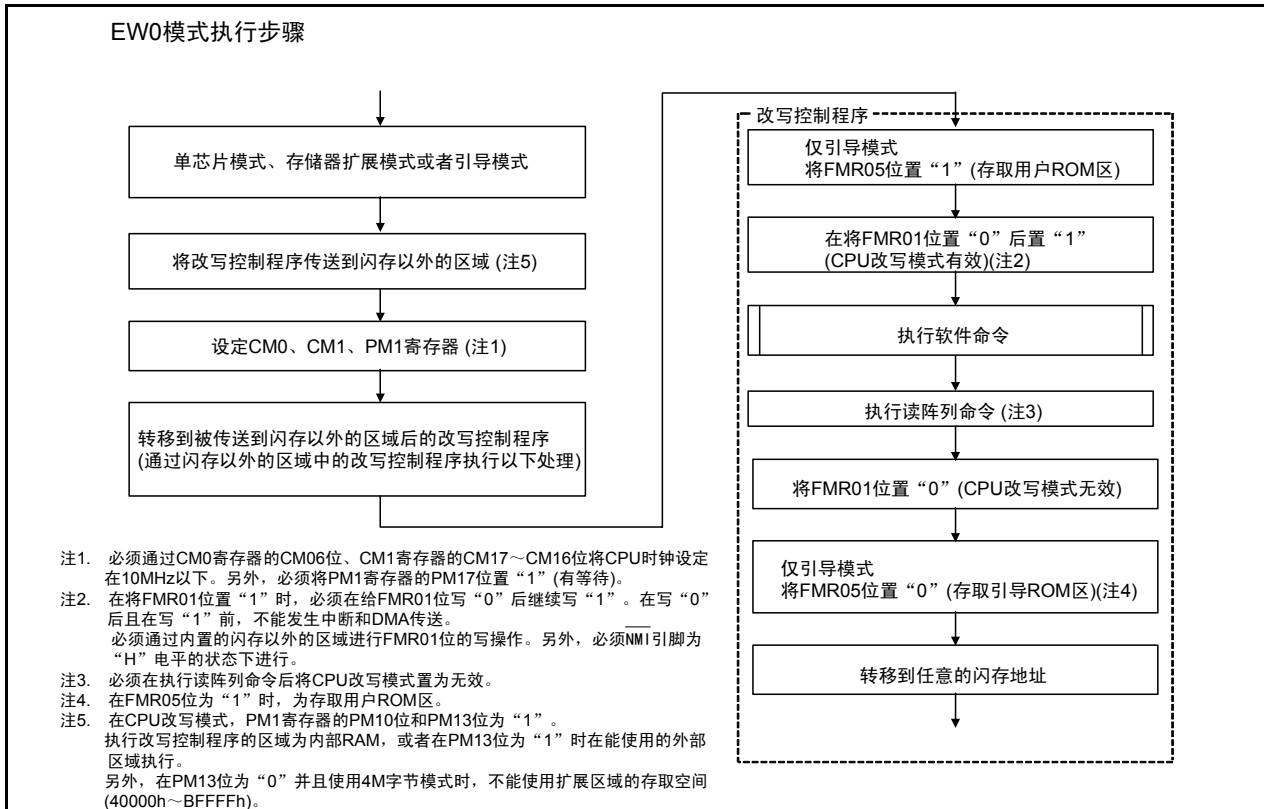


图 22.7 EWO 模式的设定和解除方法

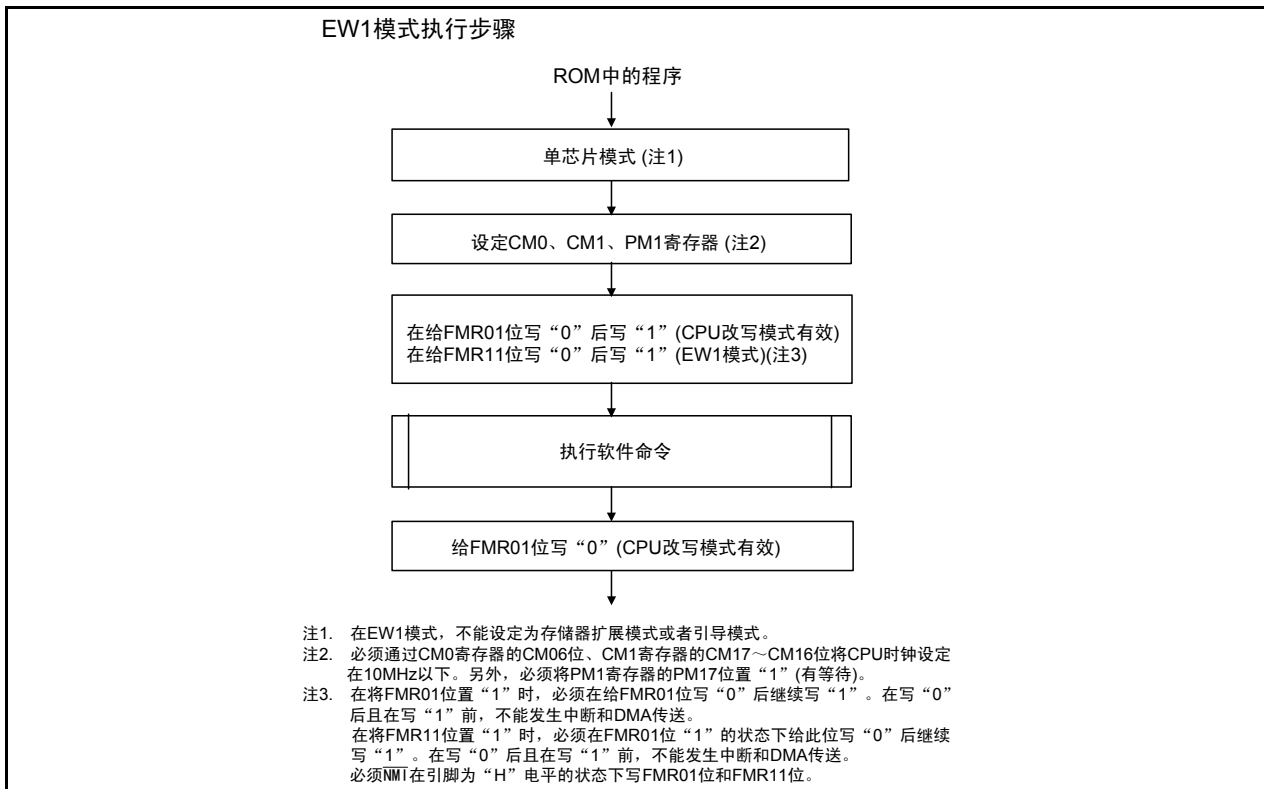


图 22.8 EW1 模式的设定和解除方法

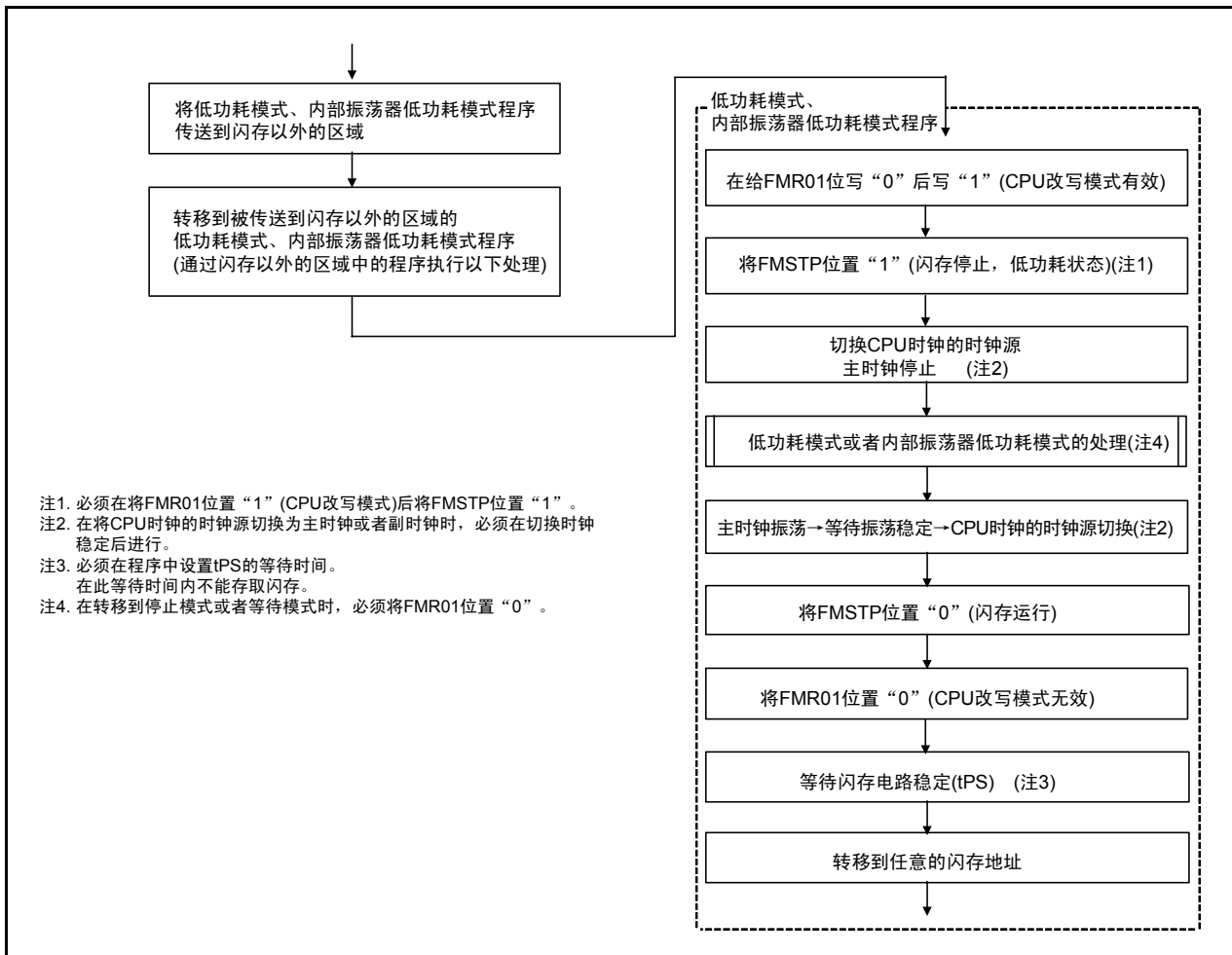


图 22.9 低功耗模式、内部振荡器低功耗模式前后的处理

## 22.3.4 CPU改写模式的注意事项

### 22.3.4.1 运行速度

在进入CPU改写模式(EW0、EW1模式)前,必须通过CM0寄存器的CM06位和CM1寄存器的CM17~CM6位将CPU时钟设定在10MHz以下。另外,必须将PM1寄存器的PM17位置“1”(有等待)。

### 22.3.4.2 禁止使用的指令

在EW0模式中,由于以下指令参照闪存内的数据,所以不能使用:  
UND指令、INT0指令、JMPS指令、JSRS指令、BRK指令

### 22.3.4.3 中断(EW0模式)

- 可使用可变量表中的被移至RAM区的向量的中断。
- 因为在中断发生时强制初始化FMR0寄存器和FMR1,所以能使用 $\overline{\text{NMI}}$ 中断、看门狗定时器中断。必须给固定向量表设定各中断程序的转移地址。在发生 $\overline{\text{NMI}}$ 中断、看门狗定时器中断时,结束改写运行。必须在中断程序结束后重新执行改写程序。
- 由于地址匹配中断参照闪存内的数据,所以不能使用。

### 22.3.4.4 中断(EW1模式)

- 在自动写或者自动擦除期间,不能接受具有可变量表中的向量的中断或者地址匹配中断。
- 不能使用看门狗定时器中断。
- 因为在中断发生时强制初始化FMR0寄存器和FMR1,所以能使用 $\overline{\text{NMI}}$ 中断。必须给固定向量表设定各中断程序的转移地址。在发生 $\overline{\text{NMI}}$ 中断时,结束改写运行。必须在中断程序结束后重新执行改写程序。

### 22.3.4.5 存取方法

在将FMR01位、FMR02位和FMR11位置“1”时,必须在给对象位写“0”后继续写“1”。在写“0”后并且在写“1”前,不能发生中断和DMA传送。另外,必须在NMI引脚为“H”电平的状态下进行。

### 22.3.4.6 用户ROM区的改写(EW0模式)

在对保存改写控制程序的块进行改写过程中,如果电源电压降低,改写控制程序就不能被正常改写,此后有可能发生闪存不能改写的情况。此时,必须使用标准串行输入/输出模式或者并行输入/输出模式。

### 22.3.4.7 用户ROM区的改写(EW1模式)

不能改写保存改写控制程序的块。

### 22.3.4.8 DMA传送

在EW1模式并且FMR0寄存器的FMR00位为“0”(自动写、自动擦除期间)时不能进行DMA传送。



### 22.3.4.9 命令、数据的写

必须给偶数地址写命令码和数据。

### 22.3.4.10 等待模式

在转移到等待模式时，必须在将FMR01位置“0”（CPU改写模式无效）后执行WAIT指令。

### 22.3.4.11 停止模式

在转移到停止模式时，必须在将FMR01位置“0”（CPU改写模式无效）、禁止DMA传送后执行将CM10位置“1”（停止模式）的指令。

### 22.3.4.12 低功耗模式、内部振荡器低功耗模式

在CM05位为“1”（主时钟停止）时不能执行以下命令：

- 编程
- 块擦除
- 擦除全部非锁住块
- 锁住位编程
- 读锁住位状态

## 22.3.5 软件命令

以下说明软件命令。以16位为单位对用户ROM区内的偶数地址进行命令和数据的读写操作。写命令码时，忽视高8位（D15～D8）。

表22.4 软件命令一览表

软件命令	第1总线周期			第2总线周期		
	模式	地址	数据 (D15～D0)	模式	地址	数据 (D15～D0)
读阵列	写	×	xxFFh			
读状态寄存器	写	×	xx70h	读	×	SRD
清除状态寄存器	写	×	xx50h			
编程	写	WA	xx40h	写	WA	WD
块擦除	写	×	xx20h	写	BA	xxD0h
擦除全部非锁住块(注1)	写	×	xxA7h	写	×	xxD0h
锁住位编程	写	BA	xx77h	写	BA	xxD0h
读锁住位状态	写	×	xx71h	写	BA	xxD0h

注1. 能用擦除全部非锁住块命令擦除的块为块0～块12，不能擦除块A。在擦除块A时，必须使用块擦除命令。

SRD: 状态寄存器数据 (D7～D0)

WA: 写地址 (第1总线周期地址必须为相同于第2总线周期地址的偶数地址)

WD: 写数据 (16位)

BA: 块的最高位地址 (但是为偶数地址)

x : 用户ROM区内的任意偶数地址

xx: 命令码的高8位 (被忽视)

### 22.3.5.1 读阵列

是读闪存的命令。

如果在第1总线周期写“xxFFh”，就进入读阵列模式。如果下一个总线周期以后输入读地址，就能以16位为单位读取指定地址的内容。

读阵列模式被保持到写其它命令为止，所以能读取多个地址的内容。

### 22.3.5.2 读状态寄存器

是读状态寄存器的命令。

如果在第1总线周期写“xx70h”，就能在第2总线周期读取状态寄存器（请参照“22.3.7 状态寄存器”）。必须读取用户ROM区内的偶数地址。

不能在EW1模式执行此命令。

### 22.3.5.3 清除状态寄存器

是清除状态寄存器的命令。

如果在第1总线周期写“xx50h”，FMR0寄存器的FMR07～FMR06位和状态寄存器的SR5～SR4位就变为“00b”。

### 22.3.5.4 编程

是以1字(2个字节)为单位对闪存写数据的命令。

如果在第1总线周期写“xx40h”，并且在第2总线周期给写地址写数据，就开始自动写(数据的编程和验证)。第1总线周期的地址值必须与在第2总线周期指定的偶数写地址相同。

能通过FMR0寄存器的FMR00位确认自动写结束。FMR00位在自动写期间为“0”(忙)，在结束后变为“1”(就绪)。

在自动写结束后，能通过FMR0寄存器的FMR06位得到自动写的结果(参照“22.3.8 全状态检查”)。

不能对已编程的地址进行追加写。编程流程如图22.10所示。

另外，能通过各块的锁住位禁止编程(请参照“22.3.6 数据保护功能”)。

在EW1模式，不能对已装入改写控制程序的地址执行此命令。

在EW0模式，开始自动写的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的SR7位在开始自动写的同时变为“0”，在结束自动写的同时恢复为“1”。此时的读状态寄存器模式被继续保持到下次写读阵列命令为止。另外，在自动写结束后，能通过读取状态寄存器得到自动写的结果。

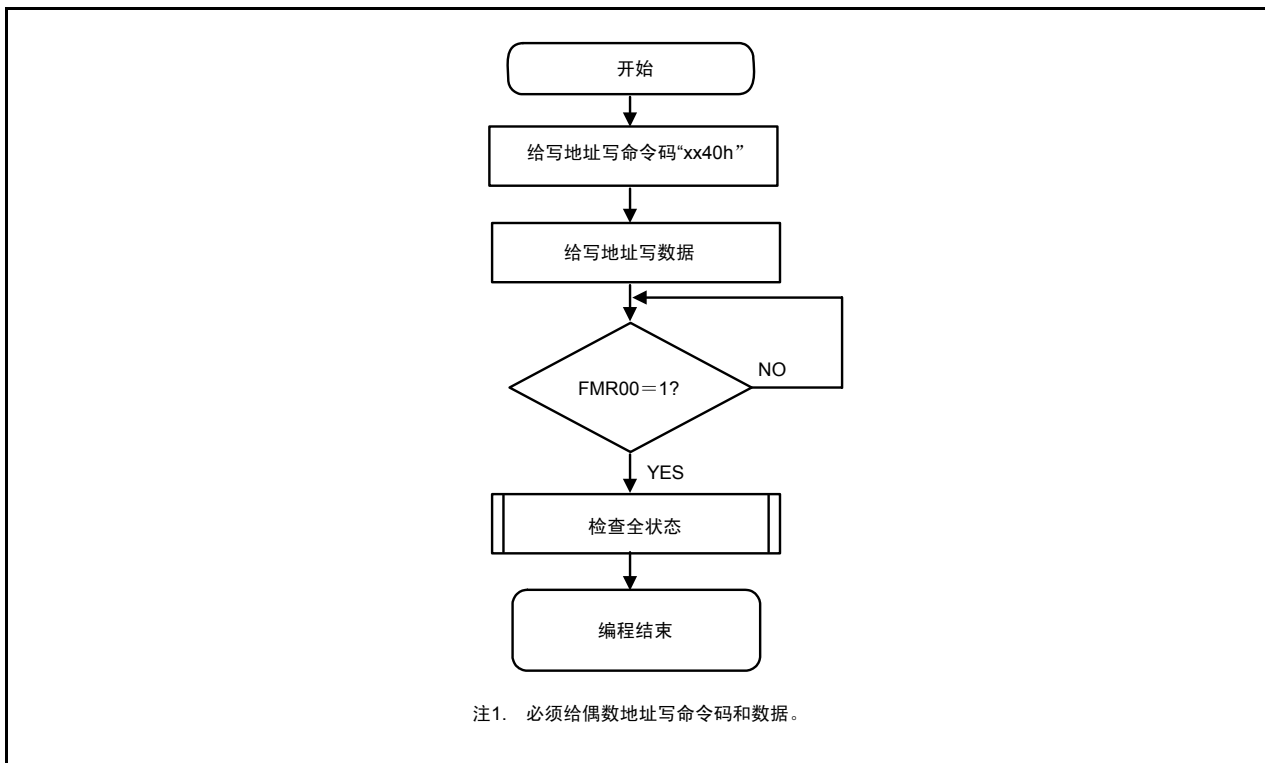


图22.10 编程流程

### 22.3.5.5 块擦除

如果在第1总线周期写“xx20h”，并且在第2总线周期给块的最高位地址（偶数地址）写“xxD0h”，就开始自动擦除（擦除和擦除验证）指定的块。

能通过FMR0寄存器的FMR00位确认自动擦除的结束。

FMR00位在自动擦除期间为“0”（忙），在自动擦除结束后变为“1”（就绪）。

在自动擦除结束后，能通过FMR0寄存器的FMR07位得到自动擦除的结果（参照“22.3.8 全状态检查”）。

块擦除流程如图22.11所示。

另外，能通过各块的锁住位禁止擦除（请参照“22.3.6 数据保护功能”）。

在EW1模式，不能对已装入改写控制程序的地址执行此命令。

在EW0模式，开始自动擦除的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的SR7位在开始自动擦除的同时变为“0”，在结束自动擦除的同时恢复为“1”。此时的读状态寄存器模式被继续保持到下次读写阵列命令或者读锁住位状态命令为止。另外，在发生擦除错误后，必须至少执行3次清除状态寄存器命令→块擦除命令，直至不发生擦除错误。

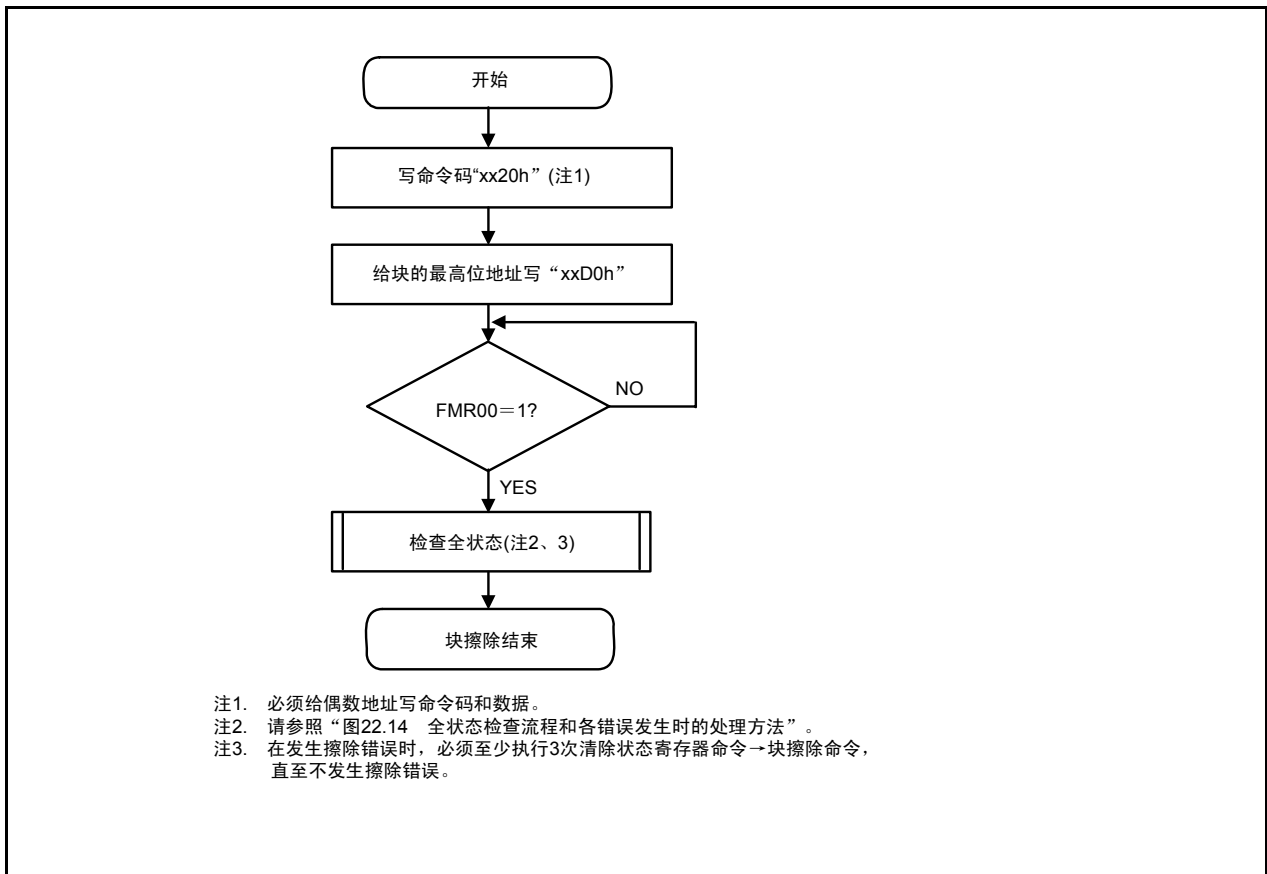


图 22.11 块擦除流程

### 22.3.5.6 擦除全部非锁住块

如果在第1总线周期写“xxA7h”，并且在第2总线周期写“xxD0h”，就对除块A以外的全部块连续进行块擦除。

能通过FMRO寄存器的FMR00位确认自动擦除的结束，能通过FMRO寄存器的FMR07位确认自动擦除的结果。

另外，能通过各块的锁住位禁止擦除（请参照“22.3.6 数据保护功能”）。

在EW1模式，在已装入改写控制程序的块的锁住位为“1”（非锁住）时或者在FMRO寄存器的FMR02位为“1”（锁住位无效）时，不能执行此命令。

在EW0模式，开始自动擦除的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的SR7位在开始自动擦除的同时变为“0”（忙），在结束自动擦除的同时恢复为“1”（就绪）。此时的读状态寄存器模式被继续保持到下次读写阵列命令或者读锁住位状态命令为止。

另外，能用本命令擦除的块为块0～块12，不能擦除块A。在擦除块A时，必须使用块擦除命令。

### 22.3.5.7 锁住位编程

是将任意块的锁住位置“0”（锁住状态）的命令。

如果在第1总线周期写“xx77h”，并且在第2总线周期给块的最高位地址（偶数地址）写“xxD0h”，就能给指定块的锁住位写“0”。第1总线周期的地址值必须与在第2总线周期指定的块的最高位地址相同。

锁住位编程流程如图22.12所示。能用读锁住位状态命令读取锁住位的状态（锁住位数据）。

能通过FMRO寄存器的FMR00位确认写结束。

另外，有关锁住位的功能、将锁住位置“1”（非锁住状态）的方法，请参照“22.3.6 数据保护功能”。

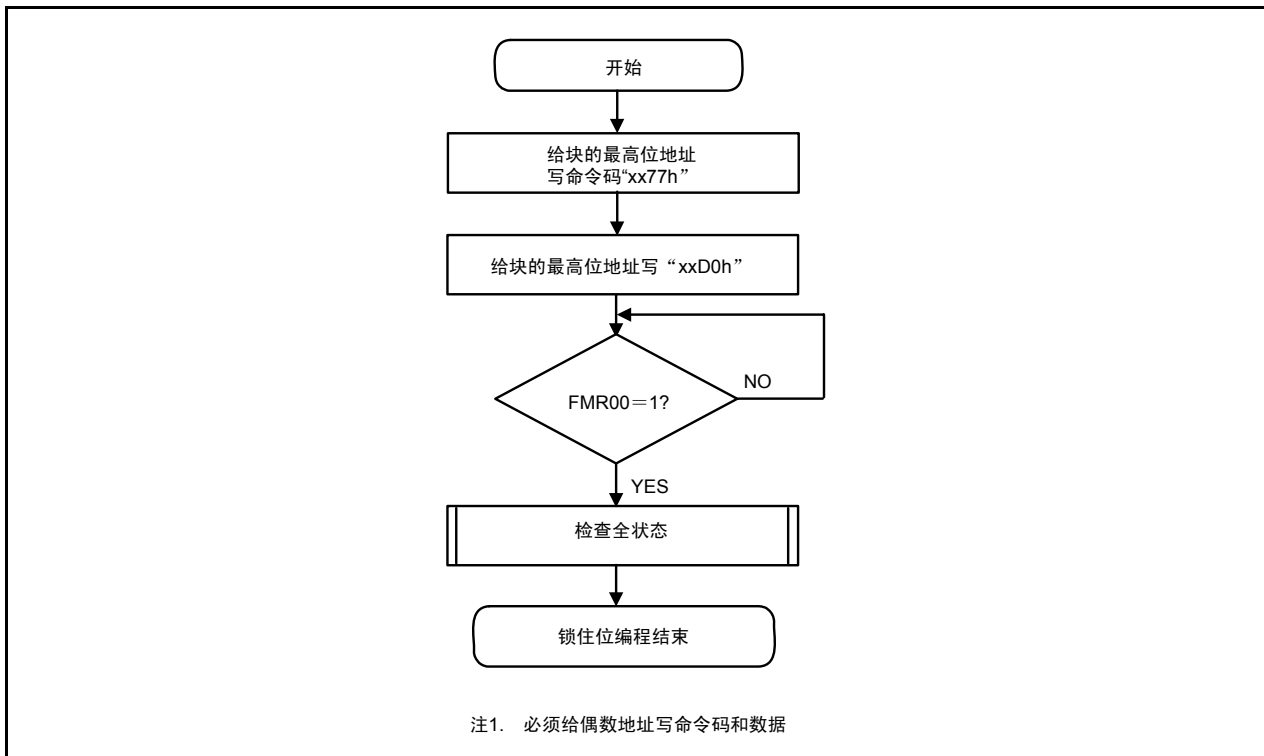


图22.12 锁住位编程流程

### 22.3.5.8 读锁住位状态

是读任意块的锁住位状态的命令。

如果在第1总线周期写“xx71h”，并且在第2总线周期给块的最高位地址（偶数地址）写“xxD0h”，就将块的锁住位状态保存到FMR1寄存器的FMR16位。必须在FMRO寄存器FMR00位为“1”（就绪）后读取FMR16位。

读锁住位状态流程如图22.13所示。

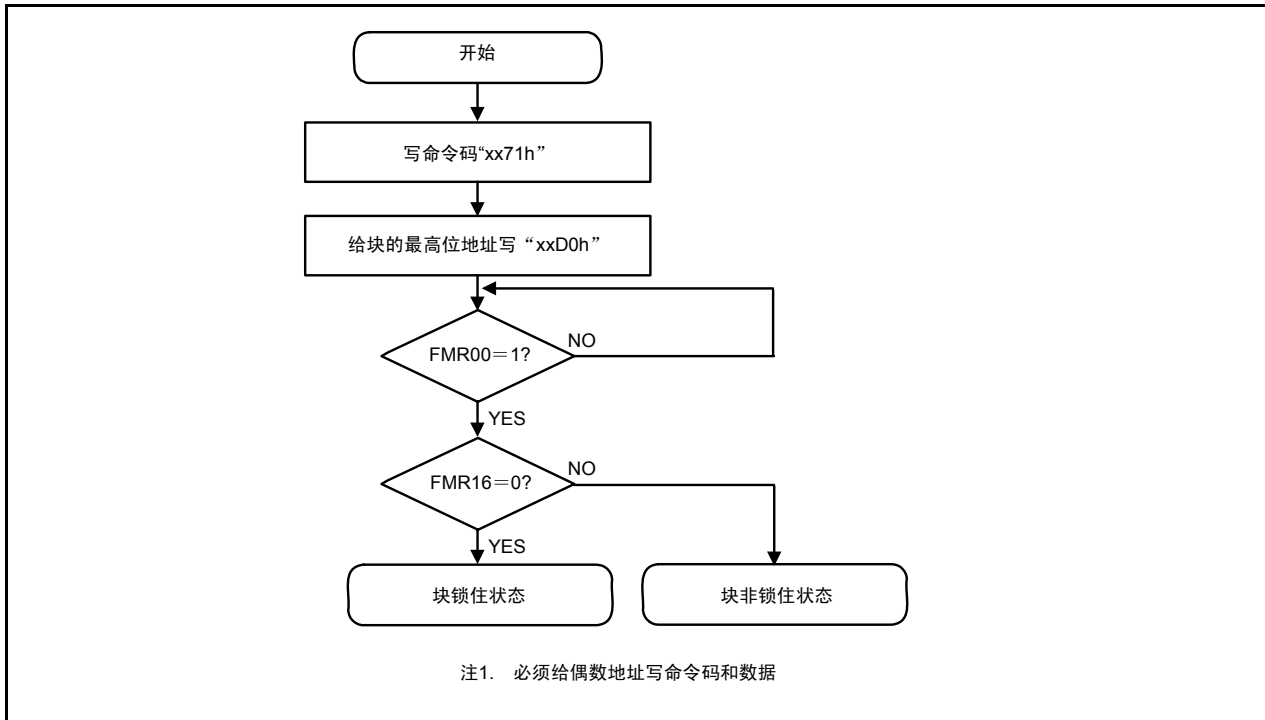


图22.13 读锁住位状态流程

### 22.3.6 数据保护功能

闪存的各块具有非易失性的锁住位，锁住位在FMR02位为“0”（锁住位有效）时有效。能通过锁住位禁止各块的编程和擦除（锁住），因此能防止数据的误写和误擦除。根据锁住位表示的块状态如下：

- 锁住位数据为“0”时：锁住状态（此块不能编程和擦除）
- 锁住位数据为“1”时：非锁住状态（此块能编程和擦除）

如果执行锁住位编程命令，锁住位数据就变为“0”（锁住状态）；如果擦除块，锁住位数据就变为“1”（非锁住状态）。不能用命令将锁住位数据置“1”。

能通过读锁住位状态命令读取锁住位数据。

如果将FMR02位置“1”，锁住位的功能就无效，全部块为非锁住状态（各锁住位数据不变）；如果将FMR02位置“0”，锁住位的功能就有效（保持锁住位数据）。

如果在FMR02位为“1”的状态下执行块擦除命令或者擦除全部非锁住块命令，就与锁住位无关，擦除对象块或者全部块。在擦除结束后，各块的锁住位为“1”。

各命令的详细内容请参照“22.3.5 软件命令”。

### 22.3.7 状态寄存器

状态寄存器是表示闪存的运行状态、擦除和编程的正常/错误结束等状态的状态寄存器。能通过FMR0寄存器的FMR00、FMR06、FMR07位读取状态寄存器的状态。

状态寄存器如表22.5所示。

另外，能在EWO模式读取以下情况的状态寄存器：

- 在执行读状态寄存器命令后读取用户ROM区内的任意偶数地址时
- 在执行编程命令、块擦除命令、擦除全部非锁住块命令或者锁住位命令后，并且在执行读阵列命令前，读取用户ROM区内的任意偶数地址时

#### 22.3.7.1 定序器状态 (SR7、FMR00位)

定序器状态表示闪存的运行状况，在执行编程、块擦除、擦除全部非锁住块、锁住位编程或者读锁住位状态命令中为“0”，否则，为“1”。

#### 22.3.7.2 擦除状态 (SR5、FMR07位)

请参照“22.3.8 全状态检查”。

#### 22.3.7.3 编程状态 (SR4、FMR06位)

请参照“22.3.8 全状态检查”。

表 22.5 状态寄存器

状态寄存器的位	FMR0寄存器的位	状态名	内容		复位后的值
			“0”	“1”	
SR0 (D0)	—	保留位	—	—	—
SR1 (D1)	—	保留位	—	—	—
SR2 (D2)	—	保留位	—	—	—
SR3 (D3)	—	保留位	—	—	—
SR4 (D4)	FMR06	编程状态	正常结束	错误结束	0
SR5 (D5)	FMR07	擦除状态	正常结束	错误结束	0
SR6 (D6)	—	保留位	—	—	—
SR7 (D7)	FMR00	定序器状态	忙	就绪	1

D0～D7: 在执行读状态寄存器命令时, 表示读取的数据总线。

如果执行清除状态寄存器命令, FMR07位 (SR5位) 和FMR06位 (SR4位) 就变为“0”。

在FMR07位 (SR5位) 或者FMR06位 (SR4位) 为“1”时, 不能接受编程、块擦除、擦除全部非锁住块、锁住位编程命令。

### 22.3.8 全状态检查

在发生错误时，FMR0寄存器的FMR06～FMR07位为“1”，表示各错误的发生。因此，能通过检查这些状态（全状态检查）确认执行结果。

错误和FMR0寄存器的状态如表22.6、全状态检查流程和各错误发生时的处理方法如图22.14所示。

表22.6 错误和FMR0寄存器的状态

FMR0寄存器 (状态寄存器)的状态		错误	错误发生条件
FMR07位 (SR5)	FMR06位 (SR4)		
1	1	命令顺序错误	<ul style="list-style-type: none"> <li>没有正确写命令时</li> <li>锁住位编程、块擦除或者擦除全部非锁住块命令的第2总线周期写了无效数据(有效数据为“xxD0h”或者“xxFFh”)时(注1)</li> </ul>
1	0	擦除错误	<ul style="list-style-type: none"> <li>在对锁住的块执行块擦除命令时(注2)</li> <li>对没锁住的块执行块擦除或者擦除全部非锁住块命令,但是没有被正确自动擦除时</li> </ul>
0	1	编程错误	<ul style="list-style-type: none"> <li>在对锁住的块执行编程命令时(注2)</li> <li>对没锁住的块执行编程命令,但是没有被正确自动写时</li> <li>执行锁住位编程命令,但是没有被正确写时</li> </ul>

注1. 如果在这些命令的第2总线周期写“xxFFh”，就变为读阵列模式，同时第1总线周期写的命令码无效。

注2. FMR02位为“1”（锁住位无效）时，即使满足这些条件也不发生错误。



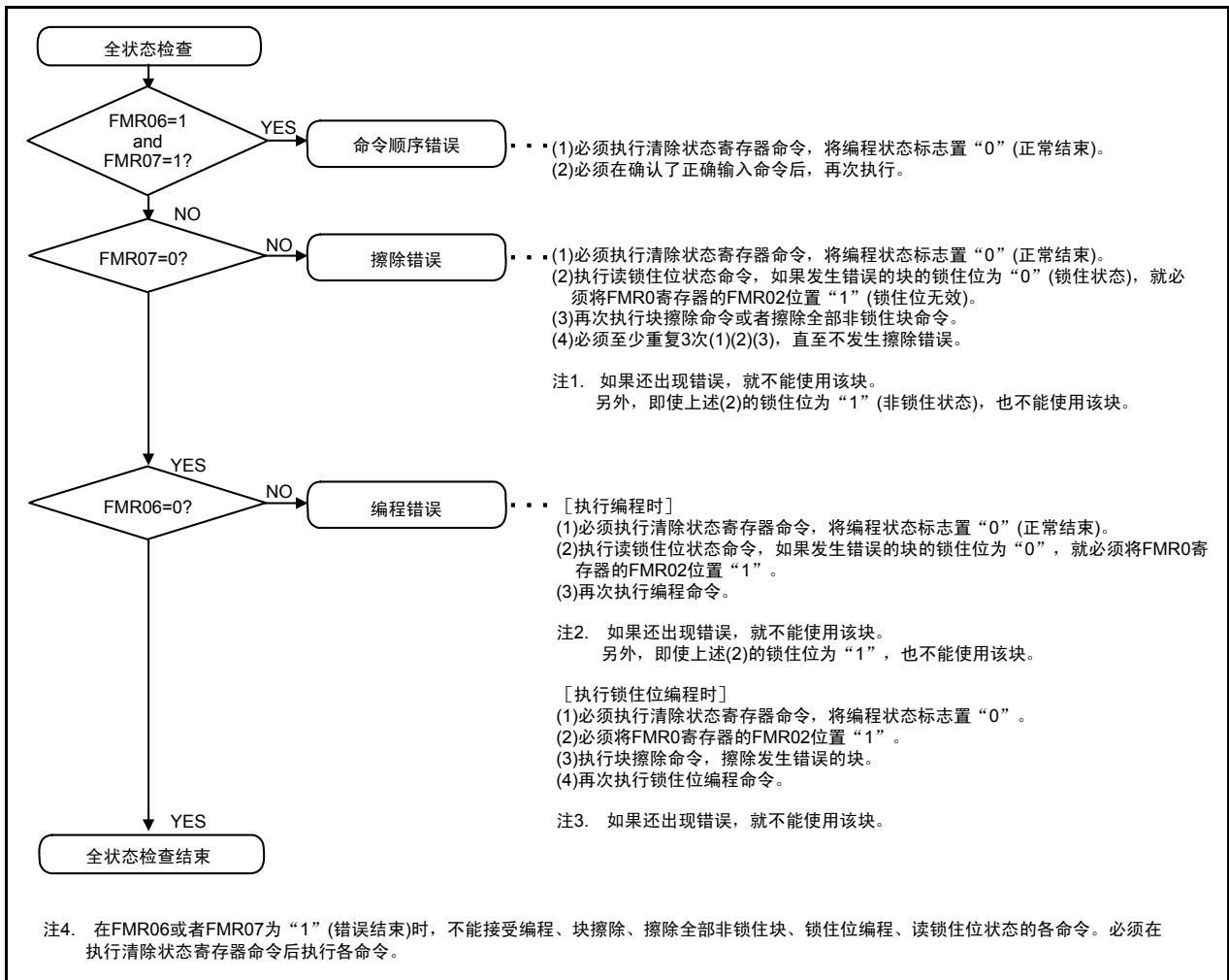


图 22.14 全状态检查流程和各错误发生时的处理方法

## 22.4 标准串行输入/输出模式

在标准串行输入/输出模式，使用对应 M16C/62P 群 (M16C/62P、M16C/62PT) 的串行编程器，在将单片机安装在电路板的状态下，能改写用户 ROM 区。关于串行编程器，请向各厂商查询。另外，关于串行编程器的操作方法，请参照串行编程器的用户手册。

引脚的功能说明 (闪存标准串行输入/输出模式) 如表 22.7、标准串行输入/输出模式时的引脚接线图如图 22.15～图 22.18 所示。

### 22.4.1 ID 码检查功能

判断从串行编程器送来的 ID 码是否和写在快速擦写存储器中的 ID 码一致 (请参照“22.2 闪存改写禁止功能”)。

表 22.7 引脚的功能说明 (闪存标准串行输入/输出模式)

引脚名	名称	输入/输出	电源系统	功能
VCC1、VCC2、VSS	电源输入		—	必须给VCC1引脚输入闪存写、擦除电压，给VCC2引脚输入VCC2，输入条件为 $VCC2 \leq VCC1$ 。给VSS输入0V。
CNVSS	CNVSS	输入	VCC1	必须连接到VCC1。
RESET	复位输入	输入	VCC1	是复位输入引脚。在RESET引脚为“L”期间，必须给XIN引脚输入20个周期以上的时钟。
XIN	时钟输入	输入	VCC1	必须在XIN引脚和XOUT引脚之间连接陶瓷谐振器或者晶体振荡器。在输入外部生成的时钟时，必须从XIN引脚输入，并且XOUT引脚开路。
XOUT	时钟输出	输出		
BYTE	BYTE输入	输入	VCC1	必须连接到VSS或者VCC1
AVCC、AVSS	模拟电源输入			AVCC必须连接到VCC1，AVSS必须连接到VSS。
VREF	基准电压输入	输入		是A/D转换器的基准电压输入引脚。
P0_0 ~ P0_7	输入端口P0	输入	VCC2	必须接“H”或“L”电平，或者开路。
P1_0 ~ P1_7	输入端口P1	输入	VCC2	必须接“H”或“L”电平，或者开路。
P2_0 ~ P2_7	输入端口P2	输入	VCC2	必须接“H”或“L”电平，或者开路。
P3_0 ~ P3_7	输入端口P3	输入	VCC2	必须接“H”或“L”电平，或者开路。
P4_0 ~ P4_7	输入端口P4	输入	VCC2	必须接“H”或“L”电平，或者开路。
P5_1 ~ P5_4、P5_6、P5_7	输入端口P5	输入	VCC2	必须接“H”或“L”电平，或者开路。
P5_0	CE输入	输入	VCC2	必须接“H”电平。
P5_5	EPM输入	输入	VCC2	必须接“L”电平。
P6_0 ~ P6_3	输入端口P6	输入	VCC1	必须接“H”或“L”电平，或者开路。
P6_4/RTS1	BUSY输出	输出	VCC1	标准串行输入/输出模式1: 为BUSY信号的输出引脚。 标准串行输入/输出模式2: 为用于引导程序运行检查的监视信号输出引脚。
P6_5/CLK1	SCLK输入	输入	VCC1	标准串行输入/输出模式1: 为串行时钟的输入引脚。 标准串行输入/输出模式2: 必须接“L”电平。
P6_6/RXD1	RXD输入	输入	VCC1	是串行数据的输入引脚。
P6_7/TXD1	TXD输出	输出	VCC1	是串行数据的输出引脚。(注2)
P7_0 ~ P7_7	输入端口P7	输入	VCC1	必须接“H”或“L”电平，或者开路。
P8_0 ~ P8_4、P8_6、P8_7	输入端口P8	输入	VCC1	必须接“H”或“L”电平，或者开路。
P8_5/NM1	NMI输入	输入	VCC1	必须连接到VCC1。
P9_0 ~ P9_7	输入端口P9	输入	VCC1	必须接“H”或“L”电平，或者开路。
P10_0 ~ P10_7	输入端口P10	输入	VCC1	必须接“H”或“L”电平，或者开路。
P11_0 ~ P11_7	输入端口P11	输入	VCC1	必须接“H”或“L”电平，或者开路。(注1)
P12_0 ~ P12_7	输入端口P12	输入	VCC2	必须接“H”或“L”电平，或者开路。(注1)
P13_0 ~ P13_7	输入端口P13	输入	VCC2	必须接“H”或“L”电平，或者开路。(注1)
P14_0、P14_1	输入端口P14	输入	VCC1	必须接“H”或“L”电平，或者开路。(注1)

注1. 只有128引脚版有此引脚。

注2. 使用标准串行输入/输出模式1时，必须在RESET引脚为“L”电平期间将TXD引脚接“H”电平。因此，必须经过电阻连接到VCC1。在复位后，此引脚变为数据输出引脚，所以必须调整系统的上拉电阻值，以便不影响数据的传送。

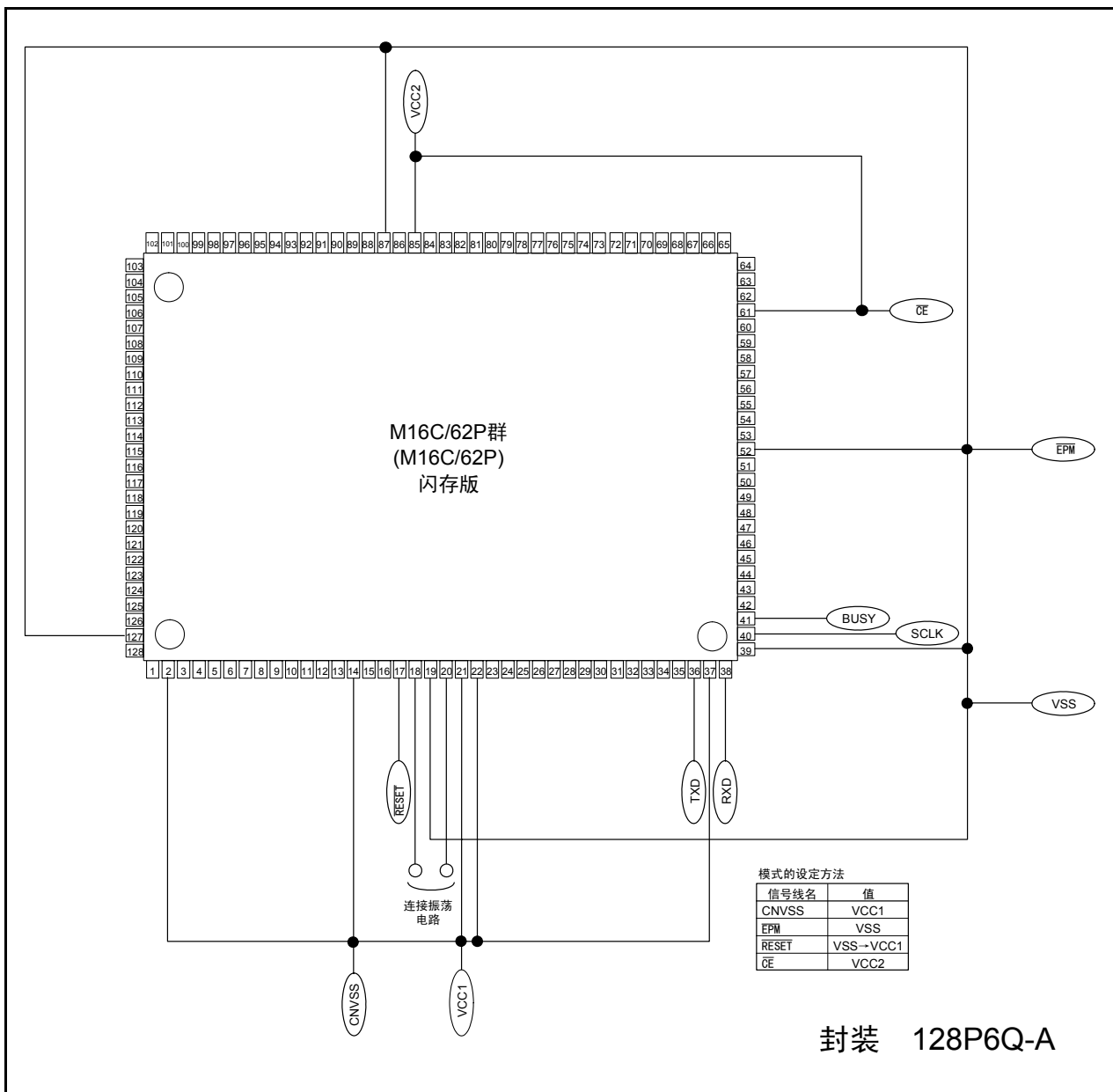


图 22.15 标准串行输入/输出模式时的引脚接线图 (1)

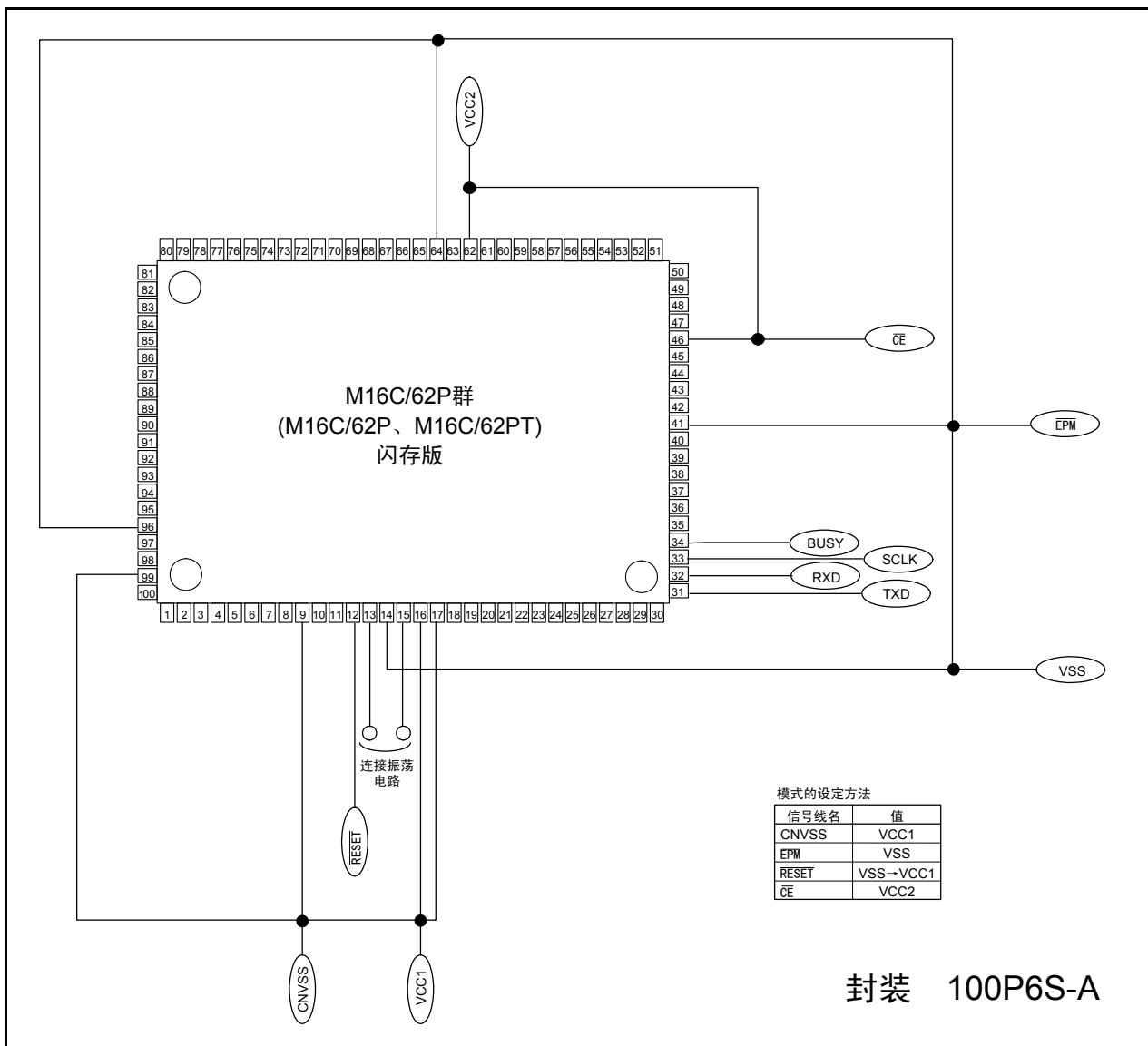


图22.16 标准串行输入/输出模式时的引脚接线图 (2)

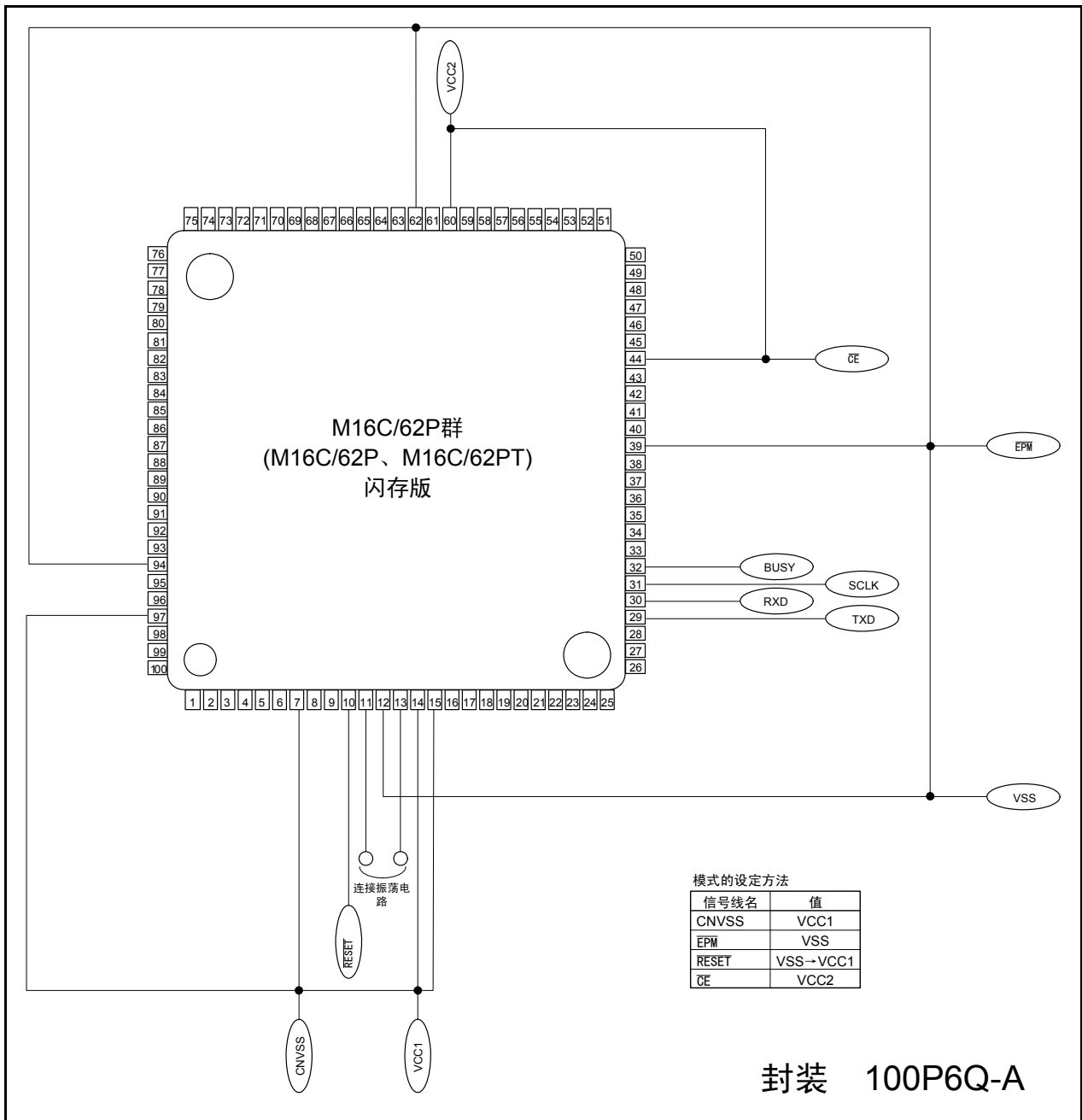


图 22.17 标准串行输入/输出模式时的引脚接线图 (3)

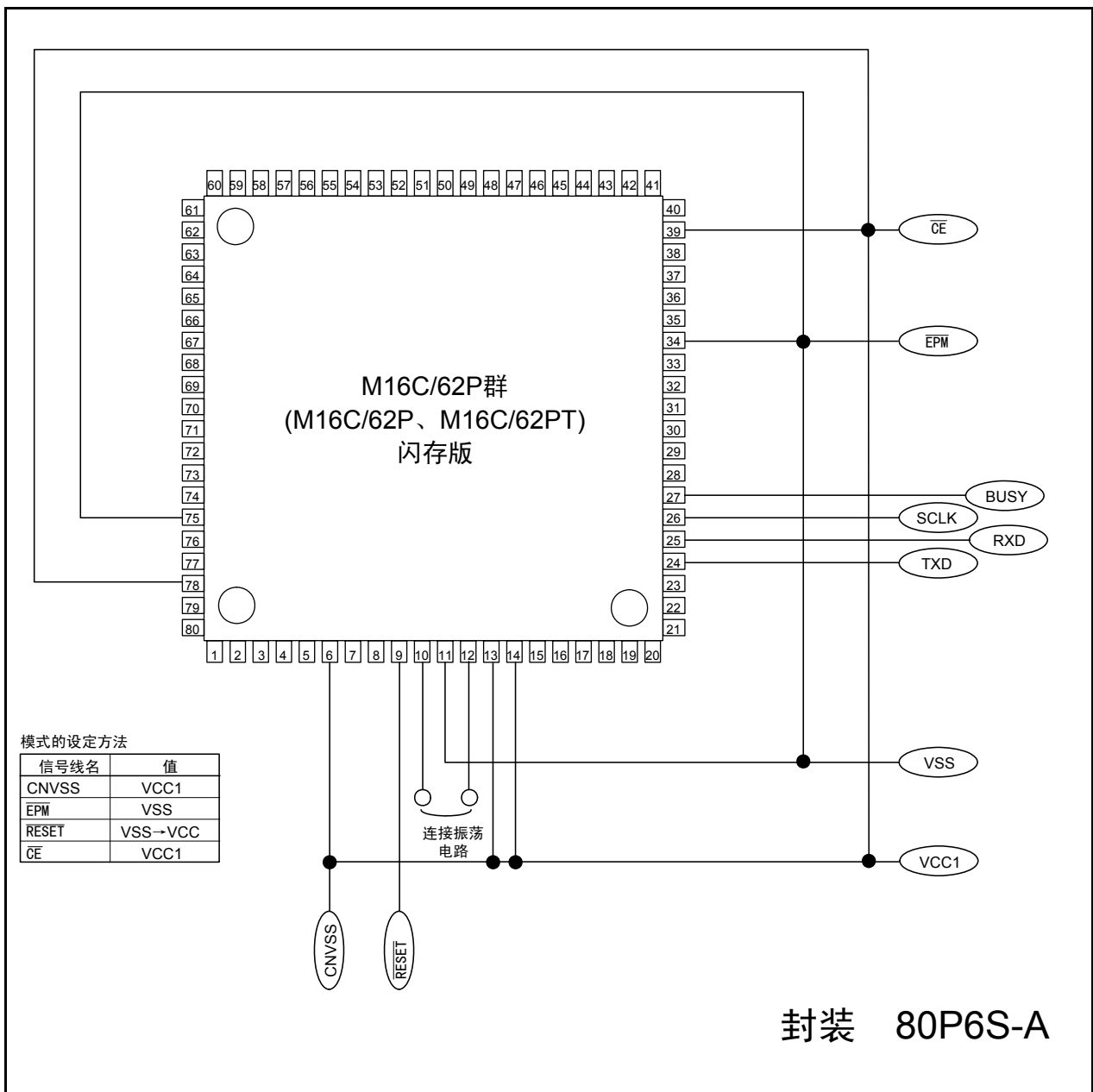


图 22. 18 标准串行输入/输出模式时的引脚接线图 (4)

### 22.4.2 标准串行输入/输出模式1时的引脚处理例

使用标准串行输入/输出模式1时的引脚处理例如图22.19、使用标准串行输入/输出模式2时的引脚处理例如图22.20所示。控制的引脚等因编程器而不同，所以详细内容请参照编程器手册。

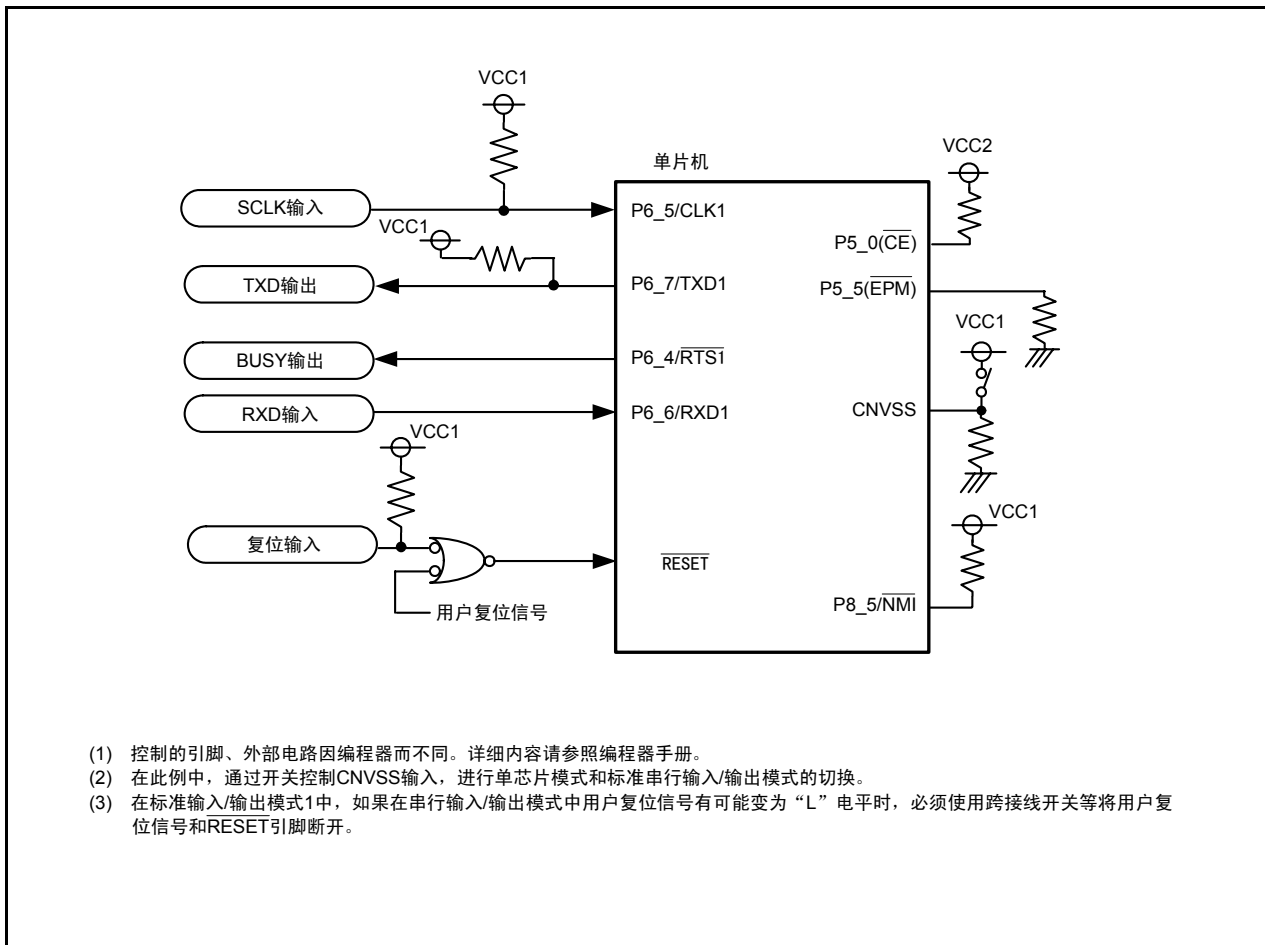


图22.19 使用标准串行输入/输出模式1时的引脚处理例



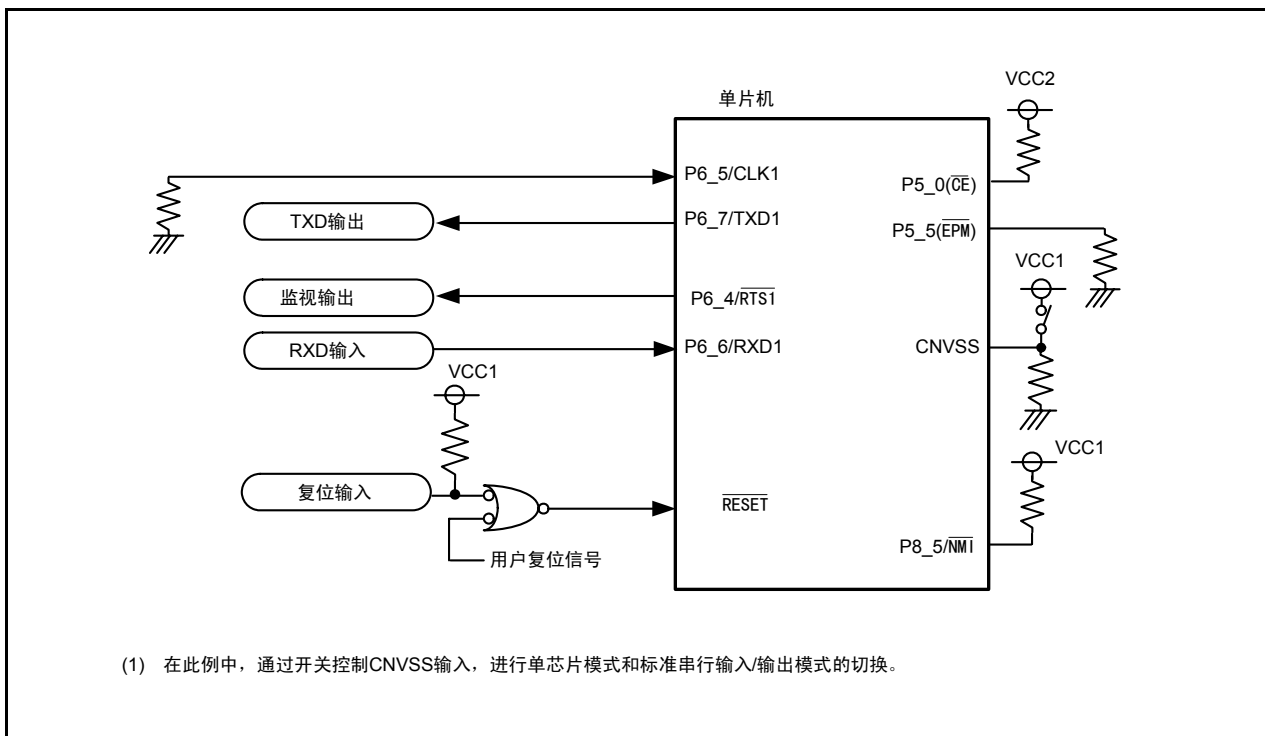


图 22. 20 使用标准串行输入/输出模式 2 时的引脚处理例

## 22.5 并行输入/输出模式

在并行输入/输出模式，使用对应M16C/62P群 (M16C/62P、M16C/62PT) 的并行编程器，能改写用户ROM区和引导ROM区。关于并行编程器，请向各厂商查询。另外，关于并行编程器的操作方法，请参照并行编程器的用户手册。

### 22.5.1 引导ROM区

引导ROM区的擦除块只有1块4K字节的擦除块。从瑞萨出货时，引导ROM区存有标准串行输入/输出模式的改写控制程序。因此，在使用串行编程器时，请不要改写引导ROM区。

在并行输入/输出模式，引导ROM区分配于0FF000h~0FFFFFFh地址。在需要改写引导ROM区时，必须在此范围内改写（不能存取0FF000h~0FFFFFFh地址以外的空间）。

### 22.5.2 ROM码保护功能

是禁止读或者改写闪存的功能（请参照“22.2 闪存改写禁止功能”）。

## 23. 电气特性

## 23.1 电气特性 (M16C/62P)

表 23.1 绝对最大额定值

符号	项目		条件	绝对最大额定	单位
V <sub>CC1</sub> , V <sub>CC2</sub>	电源电压		V <sub>CC1</sub> =AV <sub>CC</sub>	-0.3 ~ 6.5	V
V <sub>CC2</sub>	电源电压		V <sub>CC2</sub>	-0.3 ~ V <sub>CC1</sub> +0.1	V
AV <sub>CC</sub>	模拟电源电压		V <sub>CC1</sub> =AV <sub>CC</sub>	-0.3 ~ 6.5	V
V <sub>I</sub>	输入电压	RESET、CNVSS、BYTE、 P6_0~P6_7、P7_2~P7_7、P8_0~P8_7、 P9_0~P9_7、P10_0~P10_7、P11_0~P11_7、 P14_0、P14_1、 VREF、XIN		-0.3 ~ V <sub>CC1</sub> +0.3 (注1)	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~ P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、 P13_0~P13_7		-0.3 ~ V <sub>CC2</sub> +0.3 (注1)	V
		P7_0、P7_1		-0.3 ~ 6.5	V
V <sub>O</sub>	输出电压	P6_0~P6_7、P7_2~P7_7、P8_0~P8_4、 P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P14_0、P14_1、 XOUT		-0.3 ~ V <sub>CC1</sub> +0.3 (注1)	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、 P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、 P12_0~P12_7、P13_0~P13_7		-0.3 ~ V <sub>CC2</sub> +0.3 (注1)	V
		P7_0、P7_1		-0.3 ~ 6.5	V
P <sub>d</sub>	功耗		-40°C < T <sub>opr</sub> ≤ 85°C	300	mW
T <sub>opr</sub>	工作环境温度	单片机运行时		-20 ~ 85 / -40 ~ 85	°C
		闪存写或擦除时		0 ~ 60	
T <sub>stg</sub>	保存温度			-65 ~ 150	°C

注1. 80引脚版的P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1没有连接到外部。

表 23.2 推荐运行条件 (注1)

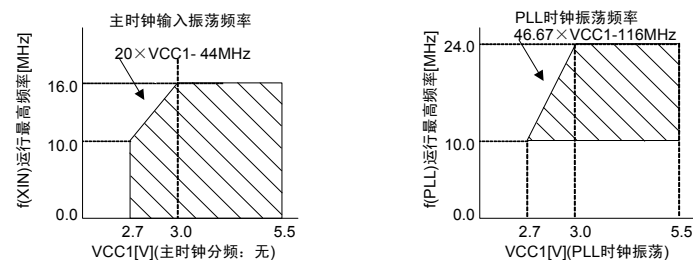
符号	项目	额定值			单位	
		最小	典型	最大		
V <sub>CC1</sub> , V <sub>CC2</sub>	电源电压 (V <sub>CC1</sub> ≥ V <sub>CC2</sub> )	2.7	5.0	5.5	V	
AV <sub>CC</sub>	模拟电源电压		V <sub>CC1</sub>		V	
V <sub>SS</sub>	电源电压		0		V	
AV <sub>SS</sub>	模拟电源电压		0		V	
V <sub>IH</sub>	“H”电平 输入电压	P3_1~P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、P13_0~P13_7	0.8V <sub>CC2</sub>		V <sub>CC2</sub>	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0(单芯片模式时)	0.8V <sub>CC2</sub>		V <sub>CC2</sub>	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0 (存储器扩展、微处理器模式时的数据输入)	0.5V <sub>CC2</sub>		V <sub>CC2</sub>	V
		P6_0~P6_7、P7_2~P7_7、P8_0~P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P14_0、P14_1、XIN、RESET、CNVSS、BYTE	0.8V <sub>CC1</sub>		V <sub>CC1</sub>	V
		P7_0、P7_1	0.8V <sub>CC1</sub>		6.5	V
V <sub>IL</sub>	“L”电平 输入电压	P3_1~P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、P13_0~P13_7	0		0.2V <sub>CC2</sub>	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0(单芯片模式时)	0		0.2V <sub>CC2</sub>	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0 (存储器扩展、微处理器模式时的数据输入)	0		0.16V <sub>CC2</sub>	V
		P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P14_0、P14_1、XIN、RESET、CNVSS、BYTE	0		0.2V <sub>CC1</sub>	V
		P7_0、P7_1	0		0.2V <sub>CC1</sub>	V
I <sub>OH</sub> (peak)	峰值“H”电平 输出电流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_2~P7_7、 P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P12_0~P12_7、P13_0~P13_7、P14_0、P14_1			-10.0	mA
I <sub>OH</sub> (avg)	平均“H”电平 输出电流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_2~P7_7、 P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P12_0~P12_7、P13_0~P13_7、P14_0、P14_1			-5.0	mA
I <sub>OL</sub> (peak)	峰值“L”电平 输出电流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_2~P7_7、 P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P12_0~P12_7、P13_0~P13_7、P14_0、P14_1			10.0	mA
I <sub>OL</sub> (avg)	平均“L”电平 输出电流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_2~P7_7、 P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P12_0~P12_7、P13_0~P13_7、P14_0、P14_1			5.0	mA
f(XIN)	主时钟输入振荡频率(注4)	V <sub>CC1</sub> =3.0V~5.5V	0		16	MHz
		V <sub>CC1</sub> =2.7V~3.0V	0		20×V <sub>CC1</sub> -44	MHz
f(XCIN)	副时钟振荡频率		32.768		50	kHz
f(Ring)	内部振荡器振荡频率		0.5	1	2	MHz
f(PLL)	PLL时钟振荡频率(注4)	V <sub>CC1</sub> =3.0V~5.5V	10		24	MHz
		V <sub>CC1</sub> =2.7V~3.0V	10		46.67×V <sub>CC1</sub> -116	MHz
f(BCLK)	CPU运行频率		0		24	MHz
t <sub>su</sub> (PLL)	PLL频率合成器稳定等待时间	V <sub>CC1</sub> =5.0V			20	ms
		V <sub>CC1</sub> =3.0V			50	ms

注1. 不指定时, V<sub>CC1</sub>=V<sub>CC2</sub>=2.7V~5.5V, T<sub>opr</sub>=-20~85℃/-40~85℃。

注2. 平均输出电流为100ms期间的平均值。

注3. 必须使端口P0、P1、P2、P8\_6、P8\_7、P9、P10、P11、P14\_0、P14\_1的I<sub>OL</sub>(peak)总计在80mA以下; 端口P3、P4、P5、P6、P7、P8\_0~P8\_4、P12、P13的I<sub>OL</sub>(peak)总计在80mA以下; 端口P0、P1、P2的I<sub>OH</sub>(peak)总计在-40mA以下; 端口P3、P4、P5、P12、P13的I<sub>OH</sub>(peak)总计在-40mA以下; 端口P6、P7、P8\_0~P8\_4的I<sub>OH</sub>(peak)总计在-40mA以下; 端口P8\_6、P8\_7、P9、P10、P11、P14\_0、P14\_1的I<sub>OH</sub>(peak)总计在-40mA以下。另外, 80引脚版只有1个V<sub>CC</sub>、V<sub>SS</sub>, 必须使全端口的I<sub>OL</sub>(peak)总计和I<sub>OH</sub>(peak)总计在80mA以下。

注4. 主时钟输入频率、PLL时钟频率和电源电压的关系如下:



注5. 80引脚版的P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1没有连接到外部。

表 23.3 A/D转换特性 (注1)

符号	项目		测定条件	额定值			单位	
				单位	典型	最大		
—	分辨率		VREF=VCC1			10	Bits	
INL	积分非线性误差	10bit	VREF=VCC1=5V	ANO ~ AN7输入 ANO_0 ~ AN0_7输入 AN2_0 ~ AN2_7输入 ANEX0、ANEX1输入			±3	LSB
				外部运算放大器连接模式			±7	LSB
		VREF=VCC1=3.3V	ANO ~ AN7输入 ANO_0 ~ AN0_7输入 AN2_0 ~ AN2_7输入 ANEX0、ANEX1输入			±5	LSB	
			外部运算放大器连接模式			±7	LSB	
		8bit	VREF=VCC1=5V, 3.3V			±2	LSB	
—	绝对精度	10bit	VREF=VCC1=5V	ANO ~ AN7输入 ANO_0 ~ AN0_7输入 AN2_0 ~ AN2_7输入 ANEX0、ANEX1输入			±3	LSB
				外部运算放大器连接模式			±7	LSB
		VREF=VCC1=3.3V	ANO ~ AN7输入 ANO_0 ~ AN0_7输入 AN2_0 ~ AN2_7输入 ANEX0、ANEX1输入			±5	LSB	
			外部运算放大器连接模式			±7	LSB	
		8bit	VREF=VCC1=5V, 3.3V			±2	LSB	
—	容许信号源阻抗				3		kΩ	
DNL	微分非线性误差					±1	LSB	
—	偏移误差					±3	LSB	
—	增益误差					±3	LSB	
RLADDER	梯形电阻		VREF=VCC1	10		40	kΩ	
tCONV	转换时间 (10bit)、有采样&保持		VREF=VCC1=5V、φ AD=12MHz	2.75			μs	
tCONV	转换时间 (8bit)、有采样&保持		VREF=VCC1=5V、φ AD=12MHz	2.33			μs	
tSAMP	采样时间			0.25			μs	
VREF	基准电压			2.0		VCC1	V	
VIA	模拟输入电压			0		VREF	V	

注1. 不指定时, VCC1=AVCC=VREF=3.3~5.5V、VSS=AVSS=0V、Topr=-20~85℃ / -40~85℃。

注2. VCC1 > VCC2时, ANO\_0~ANO\_7、AN2\_0~AN2\_7不能作为模拟输入引脚使用。

注3. φ AD的频率必须在12MHz以下。另外, VCC1=低于4.0V时, 必须将fAD变频, 使φ AD的频率在10MHz以下。

注4. 没有采样&保持时, 除了注3的限制以外, φ AD的频率必须在250kHz以上。

有采样&保持时, 除了注3的限制以外, φ AD的频率必须在1MHz以上。

表 23.4 D/A转换特性 (注1)

符号	项目		测定条件	额定值			单位
				最小	标准	最大	
—	分辨率					8	Bits
—	绝对精度					1.0	%
tsu	设定时间					3	μs
Ro	输出电阻			4	10	20	kΩ
IvREF	基准电源输入电流		(注2)			1.5	mA

注1. 不指定时, VCC1=VREF=3.3~5.5V、VSS=AVSS=0V、Topr=-20~85℃ / -40~85℃。

注2. 此为使用1个D/A转换器, 且其余未使用的D/A转换器的D/A寄存器的值为“00h”时的情况。

流经A/D转换器梯形电阻的电流除外。另外, 即使A/D控制寄存器的内容为Vref未连接时, 也存在D/A转换器的IvREF。

表 23.5 闪存的电气特性 (注1. 注10. 注11) 100次产品 (D3、D5、U3、U5)

符号	项目	额定值			单位
		最小	典型	最大	
—	编程、擦除次数 (注3)	100			次
—	字编程时间 ( $V_{CC1}=5.0V$ )		25	200	$\mu s$
—	锁住位编程时间		25	200	$\mu s$
—	块擦除时间 ( $V_{CC1}=5.0V$ )	4K字节块	0.3	4	s
		8K字节块	0.3	4	s
		32K字节块	0.5	4	s
		64K字节块	0.8	4	s
—	擦除全部非锁住块时间 (注2)			$4 \times n$	s
tPS	闪存电路稳定等待时间			15	$\mu s$
—	数据保持时间 (注5)	10			年

表 23.6 闪存的电气特性 (注6. 注10. 注11)  
10,000次产品 (D7、D9、U7、U9) (块A、块1 (注7))

符号	项目	额定值			单位
		最小	典型	最大	
—	编程、擦除次数 (注3、8、9)	10,000 (注4)			次
—	字编程时间 ( $V_{CC1}=5.0V$ )		25		$\mu s$
—	锁住位编程时间		25		$\mu s$
—	块擦除时间 ( $V_{CC1}=5.0V$ )	4K字节块	0.3		s
tPS	闪存电路稳定等待时间			15	$\mu s$
—	数据保持时间 (注5)	10			年

注1. 不指定时,  $V_{CC1}=4.5 \sim 5.5V$ 、 $3.0 \sim 3.6V$ 、 $T_{opr}=0 \sim 60^\circ C$  (D3、D5、U3、U5)。

注2. n为擦除的块数。

注3. 编程、擦除次数的定义

编程、擦除次数为各块的擦除次数。

编程、擦除次数为n次 ( $n=100$ 、 $1,000$ 、 $10,000$ ) 时, 能按块分别擦除n次。

例如, 对4K字节的块A的不同地址进行2,048次的1个字的写操作后擦除此块, 编程/擦除次数就被计为1次。但是, 对于1次的擦除, 不能对同一地址进行多次写操作 (禁止重写)。

注4. 是保证编程/擦除后的所有电气特性的最小次数 (保证值为1~“最小”值的范围)。

注5. 是  $T_{opr}=-40 \sim 85^\circ C$  (D3、D7、U3、U7)/ $-20 \sim 85^\circ C$  (D5、D9、U5、U9) 的条件。

注6. 不指定时,  $V_{CC1}=4.5 \sim 5.5V$ 、 $3.0 \sim 3.6V$ 、 $T_{opr}=-40 \sim 85^\circ C$  (D7、U7)/ $-20 \sim 85^\circ C$  (D9、U9)。

注7. 是编程、擦除次数超过1,000次时的块A和块1的规格。

对于1,000次为止的字编程时间、块擦除时间, 其全部块与100次产品相同。

注8. 对于进行多次改写的系统, 作为有效地减少改写次数的方法, 采取错开写地址等手段, 在进行尽可能不留有空区的编程 (写) 后, 执行1次擦除。例如, 进行1组8字的编程时, 如果在进行最大256组的写操作后执行1次擦除, 就能有效地减少改写次数。并且, 如果均衡地进行块A和块1的擦除, 就能更有效地减少改写次数。建议记录各块擦除次数的信息以及设置限制次数。

注9. 块擦除发生擦除错误时, 必须在擦除错误消失前至少执行3次的清除状态寄存器命令→块擦除命令。

注10. 进行100次以上的改写时 (D7、D9、U7、U9), 必须将PM1寄存器的PM17位置“1”(有等待)。

注11. 有关故障率, 请向瑞萨有关公司查询。

表 23.7 闪存的写/擦除电压和读工作电压特性

( $T_{opr}=0 \sim 60^\circ C$  (D3, D5, U3, U5)、 $T_{opr}=-40 \sim 85^\circ C$  (D7, U7)/ $T_{opr}=-20 \sim 85^\circ C$  (D9, U9))

闪存的写、擦除电压	闪存的读工作电压
$V_{CC1}=3.3 \pm 0.3V$ 或者 $5.0 \pm 0.5V$	$V_{CC1}=2.7 \sim 5.5V$

表 23.8 低电压检测电路的电气特性 (注4)

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
V <sub>det4</sub>	低电压检测电压 (注1)	V <sub>CC1</sub> =0.8 ~ 5.5V	3.3	3.8	4.4	V
V <sub>det3</sub>	复位区检测电压 (注1、2)		2.2	2.8	3.6	V
V <sub>det4</sub> -V <sub>det3</sub>	低电压检测和复位区检测的电位差		0.3			V
V <sub>det3s</sub>	低电压复位保持电压				0.8	V
V <sub>det3r</sub>	低电压复位解除电压 (注3)		2.2	2.9	4.0	V

注1.  $V_{det4} > V_{det3}$ 。

注2. 复位区检测电压低于 2.7V 时, 如果电源电压不低于复位区检测电压, 则在  $f(BCLK) \leq 10\text{MHz}$  条件下运行。

注3. 不保证  $V_{det3r} > V_{det3}$ 。

注4. 必须使用在  $V_{CC1}=5\text{V}$ 。

表 23.9 电源电路的时序特性

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
t <sub>d</sub> (P-R)	接通电源时内部电源稳定时间	V <sub>CC1</sub> =2.7 ~ 5.5V			2	ms
t <sub>d</sub> (R-S)	STOP 解除时间				150	μs
t <sub>d</sub> (W-S)	低功耗模式、等待模式解除时间				150	μs
t <sub>d</sub> (S-R)	低电压检测复位 (硬件复位2) 解除等待时间	V <sub>CC1</sub> =V <sub>det3r</sub> ~ 5.5V		6 (注1)	20	ms
t <sub>d</sub> (E-A)	低电压检测电路工作开始时间	V <sub>CC1</sub> =2.7 ~ 5.5V			20	μs

注1. V<sub>CC1</sub>=5V 时的标准值

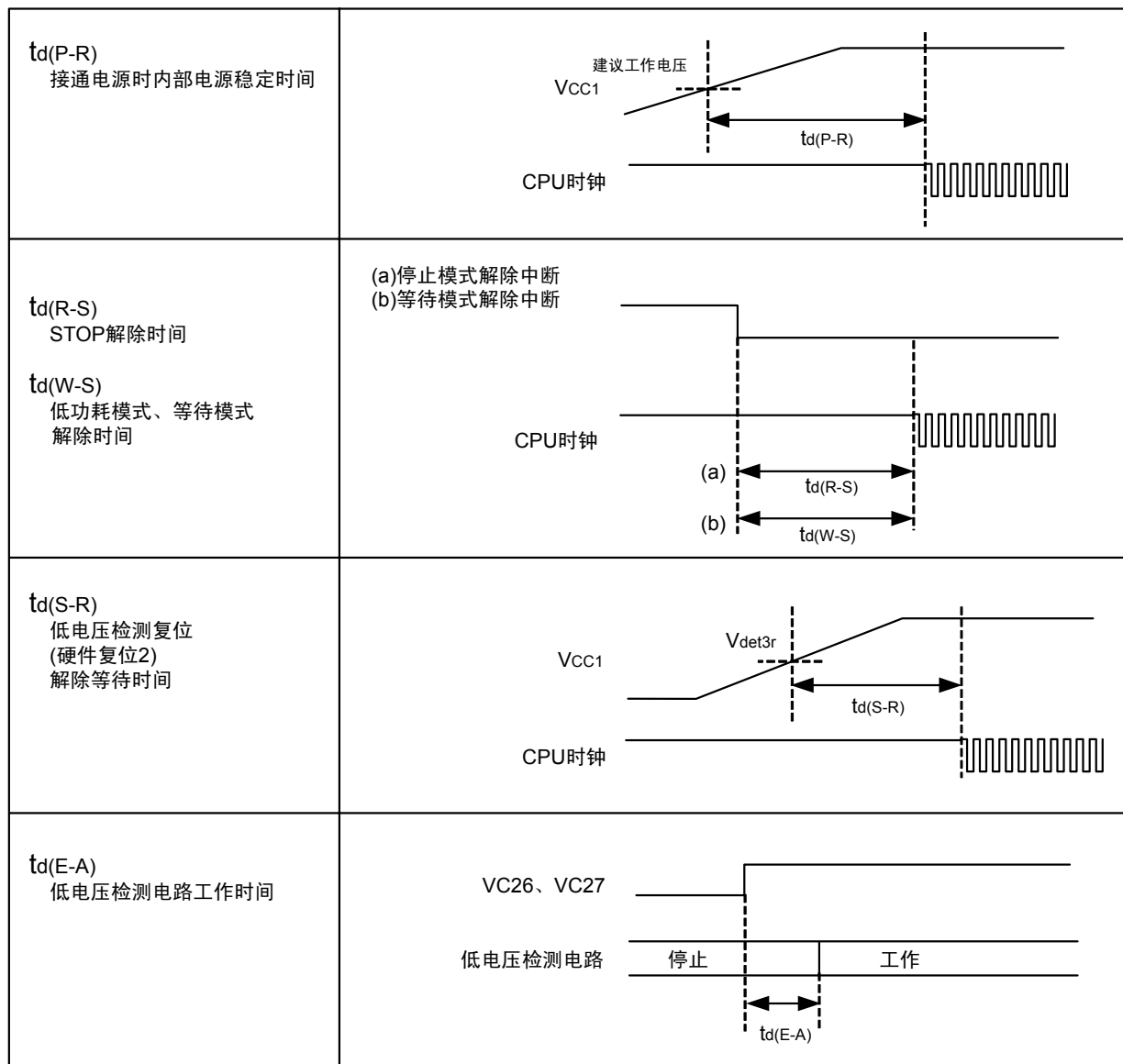


图 23.1 电源电路的时序图



$$V_{CC1}=V_{CC2}=5V$$

表 23.10 电气特性 (1) (注1)

符号	项目		测定条件	额定值			单位
				最小	典型	最大	
V <sub>OH</sub>	“H”电平输出电压	P6_0~P6_7、P7_2~P7_7、P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、P11_0~P11_7、P14_0、P14_1	I <sub>OH</sub> =-5mA	V <sub>CC1</sub> -2.0		V <sub>CC1</sub>	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、P13_0~P13_7	I <sub>OH</sub> =-5mA(注2)	V <sub>CC2</sub> -2.0		V <sub>CC2</sub>	
V <sub>OH</sub>	“H”电平输出电压	P6_0~P6_7、P7_2~P7_7、P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、P11_0~P11_7、P14_0、P14_1	I <sub>OH</sub> =-200μA	V <sub>CC1</sub> -0.3		V <sub>CC1</sub>	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、P13_0~P13_7	I <sub>OH</sub> =-200μA(注2)	V <sub>CC2</sub> -0.3		V <sub>CC2</sub>	
V <sub>OH</sub>	“H”电平输出电压 XOUT	HIGHPOWER	I <sub>OH</sub> =-1mA	V <sub>CC1</sub> -2.0		V <sub>CC1</sub>	V
		LOWPOWER	I <sub>OH</sub> =-0.5mA	V <sub>CC1</sub> -2.0		V <sub>CC1</sub>	
	“H”电平输出电压 XCOUT	HIGHPOWER	无负载时		2.5		V
		LOWPOWER	无负载时		1.6		
V <sub>OL</sub>	“L”电平输出电压	P6_0~P6_7、P7_0~P7_7、P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、P11_0~P11_7、P14_0、P14_1	I <sub>OL</sub> =5mA			2.0	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、P13_0~P13_7	I <sub>OL</sub> =5mA(注2)			2.0	
V <sub>OL</sub>	“L”电平输出电压	P6_0~P6_7、P7_0~P7_7、P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、P11_0~P11_7、P14_0、P14_1	I <sub>OL</sub> =200μA			0.45	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、P13_0~P13_7	I <sub>OL</sub> =200μA(注2)			0.45	
V <sub>OL</sub>	“L”电平输出电压 XOUT	HIGHPOWER	I <sub>OL</sub> =1mA			2.0	V
		LOWPOWER	I <sub>OL</sub> =0.5mA			2.0	
	“L”电平输出电压 XCOUT	HIGHPOWER	无负载时		0		V
		LOWPOWER	无负载时		0		
V <sub>T+</sub> -V <sub>T-</sub>	滞后0.5	HOLD, RDY, TA0IN~TA4IN, TBOIN~TB5IN, INTO~INT5, NM1, ADTRG, CTS0~CTS2, SCL0~SCL2, SDA0~SDA2, CLK0~CLK4, TA0OUT~TA4OUT, K10~K13, RXD0~RXD2, SIN3, SIN4		0.2		1.0	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	RESET		0.2		2.5	V
I <sub>IH</sub>	“H”电平输入电流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =5V			5.0	μA
I <sub>IL</sub>	“L”电平输入电流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =0V			-5.0	μA
R <sub>PULLUP</sub>	上拉电阻	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1	V <sub>I</sub> =0V	30	50	170	kΩ
R <sub>FXIN</sub>	反馈电阻 XIN				1.5		MΩ
R <sub>FXGIN</sub>	反馈电阻 XGIN				15		MΩ
V <sub>RAM</sub>	RAM保持电压		停止模式时	2.0			V

注1. 不指定时, V<sub>CC1</sub>=V<sub>CC2</sub>=4.2~5.5V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20~85℃/-40~85℃、f(BCLK)=24MHz。

注2. 使用在V<sub>CC1</sub>=5V、V<sub>CC2</sub>=3V时, V<sub>CC2</sub>端口的引脚额定值请参照3V版的值。

注3. 80引脚版的P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1没有连接到外部。

VCC1=VCC2=5V

表 23.11 电气特性 (2) (注1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
I <sub>cc</sub>	电源电流 (VCC1=4.0~5.5V)	单芯片模式、 输出引脚开路、 其它引脚为Vss	掩模型ROM	f(BCLK)=24MHz PLL运行时, 无分频		14	20	mA
				内部振荡器振荡运行时 无分频		1		mA
			闪存	f(BCLK)=24MHz PLL运行时, 无分频		18	27	mA
				内部振荡器振荡运行时 无分频		1.8		mA
			闪存编程	f(BCLK)=10MHz VCC1=5.0V		15		mA
			闪存擦除	f(BCLK)=10MHz VCC1=5.0V		25		mA
			掩模型ROM	f(XC1N)=32kHz 低功耗模式时 ROM(注3)		25		μA
			闪存	f(BCLK)=32kHz 低功耗模式时 ROM(注3)		25		μA
				f(BCLK)=32kHz 低功耗模式时 闪存(注3)		420		μA
				内部振荡器振荡运行, 等待模式时		50		μA
掩模型ROM、 闪存	f(BCLK)=32kHz 等待模式时(注2) 振荡能力High		7.5		μA			
	f(BCLK)=32kHz 等待模式时(注2) 振荡能力Low		2.0		μA			
	停止模式时 T <sub>opr</sub> =25℃		0.8	3.0	μA			
I <sub>det4</sub>	低电压检测功耗(注4)				0.7	4	μA	
I <sub>det3</sub>	复位区检测功耗(注4)				1.2	8	μA	

注1. 不指定时, VCC1=VCC2=4.2~5.5V、VSS=0V、T<sub>opr</sub>=-20~85℃/-40~85℃、f(BCLK)=24MHz。

注2. 通过fC32使1个定时器运行的状态。

注3. 表示存在执行程序的存储器。

注4. I<sub>det</sub>为将以下位置“1”(检测电路有效)时的功耗。

I<sub>det4</sub> : VCR2寄存器的VC27位

I<sub>det3</sub> : VCR2寄存器的VC26位

$$V_{CC1}=V_{CC2}=5V$$

时序必要条件

(不指定时,  $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85\text{ }^{\circ}\text{C}/-40\sim 85\text{ }^{\circ}\text{C}$ )

表 23.12 外部时钟输入 (XIN输入)

符号	项目	额定值		单位
		最小	最大	
$t_c$	外部时钟输入周期时间	62.5		ns
$t_w(H)$	外部时钟输入“H”电平脉宽	25		ns
$t_w(L)$	外部时钟输入“L”电平脉宽	25		ns
$t_r$	外部时钟上升时间		15	ns
$t_f$	外部时钟下降时间		15	ns

表 23.13 存储器扩展模式、微处理器模式

符号	项目	额定值		单位
		最小	最大	
$t_{ac1}(RD-DB)$	数据输入存取时间(设定无等待时)		(注1)	ns
$t_{ac2}(RD-DB)$	数据输入存取时间(设定有等待时)		(注2)	ns
$t_{ac3}(RD-DB)$	数据输入存取时间(存取多路复用总线区域时)		(注3)	ns
$t_{su}(DB-RD)$	数据输入准备时间	40		ns
$t_{su}(RDY-BCLK)$	RDY输入准备时间	30		ns
$t_{su}(HOLD-BCLK)$	HOLD输入准备时间	40		ns
$t_h(RD-DB)$	数据输入保持时间	0		ns
$t_h(BCLK-RDY)$	RDY输入保持时间	0		ns
$t_h(BCLK-HOLD)$	HOLD输入保持时间	0		ns

注1. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 45[\text{ns}]$$

注2. 按BCLK的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 45[\text{ns}] \text{ 在设定1个等待时 } n \text{ 为“2”；在设定2个等待时 } n \text{ 为“3”；在设定3个等待时 } n \text{ 为“4”}$$

注3. 按BCLK的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 45[\text{ns}] \text{ 在设定2个等待时 } n \text{ 为“2”；在设定3个等待时 } n \text{ 为“3”}$$

$$V_{CC1}=V_{CC2}=5V$$

时序必要条件

(不指定时、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.14 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	100		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	40		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	40		ns

表 23.15 定时器 A 输入 (定时器模式的选通输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	400		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	200		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	200		ns

表 23.16 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	200		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	100		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	100		ns

表 23.17 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	100		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	100		ns

表 23.18 定时器 A 输入 (事件计数器模式的增减输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(UP)$	TAi OUT 输入周期时间	2000		ns
$t_w(UPH)$	TAi OUT 输入 “H” 电平脉宽	1000		ns
$t_w(UPL)$	TAi OUT 输入 “L” 电平脉宽	1000		ns
$t_{su}(UP-TIN)$	TAi OUT 输入准备时间	400		ns
$t_h(TIN-UP)$	TAi OUT 输入保持时间	400		ns

表 23.19 定时器 A 输入 (事件计数器模式的二相脉冲输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	800		ns
$t_{su}(TAiN-TAOUT)$	TAi OUT 输入准备时间	200		ns
$t_{su}(TAOUT-TAiN)$	TAi IN 输入准备时间	200		ns

$$V_{CC1}=V_{CC2}=5V$$

时序必要条件

(不指定时,  $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23. 20 定时器B输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TB)$	TBiN输入周期时间 (单边沿计数)	100		ns
$t_w(TBH)$	TBiN输入 “H” 电平脉宽 (单边沿计数)	40		ns
$t_w(TBL)$	TBiN输入 “L” 电平脉宽 (单边沿计数)	40		ns
$t_c(TB)$	TBiN输入周期时间 (双边沿计数)	200		ns
$t_w(TBH)$	TBiN输入 “H” 电平脉宽 (双边沿计数)	80		ns
$t_w(TBL)$	TBiN输入 “L” 电平脉宽 (双边沿计数)	80		ns

表 23. 21 定时器B输入 (脉冲周期测定模式)

符号	项目	额定值		单位
		最小	最大	
$t_c(TB)$	TBiN输入周期时间	400		ns
$t_w(TBH)$	TBiN输入 “H” 电平脉宽	200		ns
$t_w(TBL)$	TBiN输入 “L” 电平脉宽	200		ns

表 23. 22 定时器B输入 (脉宽测定模式)

符号	项目	额定值		单位
		最小	最大	
$t_c(TB)$	TBiN输入周期时间	400		ns
$t_w(TBH)$	TBiN输入 “H” 电平脉宽	200		ns
$t_w(TBL)$	TBiN输入 “L” 电平脉宽	200		ns

表 23. 23 A/D触发输入

符号	项目	额定值		单位
		最小	最大	
$t_c(AD)$	ADTRG输入周期时间 (触发可能最小)	1000		ns
$t_w(ADL)$	ADTRG输入 “L” 电平脉宽	125		ns

表 23. 24 串行接口

符号	项目	额定值		单位
		最小	最大	
$t_c(OK)$	CLKi输入周期时间	200		ns
$t_w(OKH)$	CLKi输入 “H” 电平脉宽	100		ns
$t_w(OKL)$	CLKi输入 “L” 电平脉宽	100		ns
$t_d(O-Q)$	TXDi输出延迟时间		80	ns
$t_h(O-Q)$	TXDi保持时间	0		ns
$t_{su}(D-C)$	RXDi输入准备时间	70		ns
$t_h(O-D)$	RXDi输入保持时间	90		ns

表 23. 25 外部中断INTi输入

符号	项目	额定值		单位
		最小	最大	
$t_w(INH)$	INTi输入 “H” 电平脉宽	250		ns
$t_w(INL)$	INTi输入 “L” 电平脉宽	250		ns

VCC1=VCC2=5V

## 开关特性

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20~85℃ / -40~85℃)

表 23.26 存储器扩展模式、微处理器模式 (设定无等待时)

符号	项目	测定条件	额定值		单位
			最小	最大	
t <sub>d</sub> (BCLK-AD)	地址输出延迟时间	图 23.2		25	ns
t <sub>h</sub> (BCLK-AD)	地址输出保持时间 (BCLK基准)		4		ns
t <sub>h</sub> (RD-AD)	地址输出保持时间 (RD基准)		0		ns
t <sub>h</sub> (WR-AD)	地址输出保持时间 (WR基准)		(注2)		ns
t <sub>d</sub> (BCLK-CS)	片选输出延迟时间			25	ns
t <sub>h</sub> (BCLK-CS)	片选输出保持时间 (BCLK基准)		4		ns
t <sub>d</sub> (BCLK-ALE)	ALE信号输出延迟时间			15	ns
t <sub>h</sub> (BCLK-ALE)	ALE信号输出保持时间		-4		ns
t <sub>d</sub> (BCLK-RD)	RD信号输出延迟时间			25	ns
t <sub>h</sub> (BCLK-RD)	RD信号输出保持时间		0		ns
t <sub>d</sub> (BCLK-WR)	WR信号输出延迟时间			25	ns
t <sub>h</sub> (BCLK-WR)	WR信号输出保持时间		0		ns
t <sub>d</sub> (BCLK-DB)	数据输出延迟时间 (BCLK基准)			40	ns
t <sub>h</sub> (BCLK-DB)	数据输出保持时间 (BCLK基准) (注3)		4		ns
t <sub>d</sub> (DB-WR)	数据输出延迟时间 (WR基准)		(注1)		ns
t <sub>h</sub> (WR-DB)	数据输出保持时间 (WR基准) (注3)		(注2)		ns
t <sub>d</sub> (BCLK-HLDA)	HLDA输出延迟时间		40	ns	

注1. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{ 为 } 12.5\text{MHz} \text{ 以下}$$

注2. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. 此额定值表示输出OFF的时序, 并非表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉(下拉)电阻值而不同。

右图的电路中的数据总线的保持时间由以下计算式表示:

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

例如, 假设V<sub>OL</sub>=0.2V<sub>CC2</sub>、C=30pF、R=1kΩ, 输出“L”电平的保持时间为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) \\ = 6.7\text{ns}$$

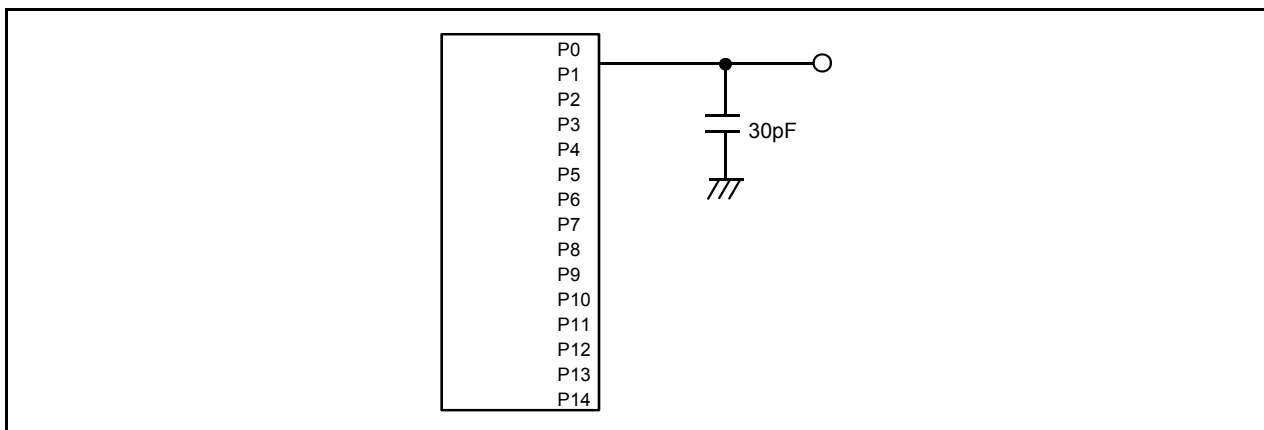
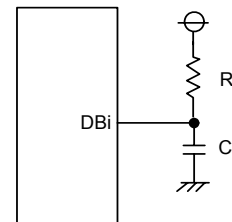


图 23.2 端口P0~P14的测定电路

VCC1=VCC2=5V

## 开关特性

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20~85℃/-40~85℃)

表 23.27 存储器扩展模式、微处理器模式  
(设定1~3个等待、存取外部区域时)

符号	项目	测定条件	额定值		单位
			最小	最大	
t <sub>d</sub> (BCLK-AD)	地址输出延迟时间	图 23.2		25	ns
t <sub>h</sub> (BCLK-AD)	地址输出保持时间 (BCLK基准)		4		ns
t <sub>h</sub> (RD-AD)	地址输出保持时间 (RD基准)		0		ns
t <sub>h</sub> (WR-AD)	地址输出保持时间 (WR基准)		(注2)		ns
t <sub>d</sub> (BCLK-CS)	片选输出延迟时间			25	ns
t <sub>h</sub> (BCLK-CS)	片选输出保持时间 (BCLK基准)		4		ns
t <sub>d</sub> (BCLK-ALE)	ALE信号输出延迟时间			15	ns
t <sub>h</sub> (BCLK-ALE)	ALE信号输出保持时间		-4		ns
t <sub>d</sub> (BCLK-RD)	RD信号输出延迟时间			25	ns
t <sub>h</sub> (BCLK-RD)	RD信号输出保持时间		0		ns
t <sub>d</sub> (BCLK-WR)	WR信号输出延迟时间			25	ns
t <sub>h</sub> (BCLK-WR)	WR信号输出保持时间		0		ns
t <sub>d</sub> (BCLK-DB)	数据输出延迟时间 (BCLK基准)			40	ns
t <sub>h</sub> (BCLK-DB)	数据输出保持时间 (BCLK基准) (注3)		4		ns
t <sub>d</sub> (DB-WR)	数据输出延迟时间 (WR基准)		(注1)		ns
t <sub>h</sub> (WR-DB)	数据输出保持时间 (WR基准) (注3)		(注2)		ns
t <sub>d</sub> (BCLK-HLDA)	HLDA输出延迟时间			40	ns

注1. 按BCLK的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

在设定1个等待时n为“1”；在设定2个等待时n为“2”；  
在设定3个等待时n为“3”n=1时，  
f(BCLK)为12.5MHz以下

注2. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

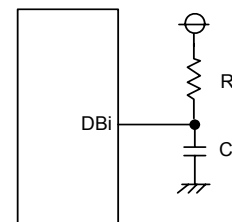
注3. 此额定值表示输出OFF的时序，并非表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉(下拉)电阻值而不同。

右图的电路中的数据总线的保持时间由以下计算式表示：

$$t = -CR \times \ln(1 - \text{VOL}/\text{VCC2})$$

例如，假设VOL=0.2VCC2、C=30pF、R=1kΩ，输出“L”电平的保持时间为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2\text{VCC2}/\text{VCC2}) = 6.7\text{ns}$$



VCC1=VCC2=5V

## 开关特性

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20~85℃/-40~85℃)

表 23. 28 存储器扩展模式、微处理器模式  
(设定2~3个等待、存取外部区域且选择多路复用总线时)

符号	项目	测定条件	额定值		单位
			最小	最大	
t <sub>d</sub> (BCLK-AD)	地址输出延迟时间	图 23. 2		25	ns
t <sub>h</sub> (BCLK-AD)	地址输出保持时间 (BCLK基准)		4		ns
t <sub>h</sub> (RD-AD)	地址输出保持时间 (RD基准)		(注1)		ns
t <sub>h</sub> (WR-AD)	地址输出保持时间 (WR基准)		(注1)		ns
t <sub>d</sub> (BCLK-CS)	片选输出延迟时间			25	ns
t <sub>h</sub> (BCLK-CS)	片选输出保持时间 (BCLK基准)		4		ns
t <sub>h</sub> (RD-CS)	片选输出保持时间 (RD基准)		(注1)		ns
t <sub>h</sub> (WR-CS)	片选输出保持时间 (WR基准)		(注1)		ns
t <sub>d</sub> (BCLK-RD)	RD信号输出延迟时间			25	ns
t <sub>h</sub> (BCLK-RD)	RD信号输出保持时间		0		ns
t <sub>d</sub> (BCLK-WR)	WR信号输出延迟时间			25	ns
t <sub>h</sub> (BCLK-WR)	WR信号输出保持时间		0		ns
t <sub>d</sub> (BCLK-DB)	数据输出延迟时间 (BCLK基准)			40	ns
t <sub>h</sub> (BCLK-DB)	数据输出保持时间 (BCLK基准)		4		ns
t <sub>d</sub> (DB-WR)	数据输出延迟时间 (WR基准)		(注2)		ns
t <sub>h</sub> (WR-DB)	数据输出保持时间 (WR基准)		(注1)		ns
t <sub>d</sub> (BCLK-HLDA)	HLDA输出延迟时间			40	ns
t <sub>d</sub> (BCLK-ALE)	ALE输出延迟时间 (BCLK基准)			15	ns
t <sub>h</sub> (BCLK-ALE)	ALE输出保持时间 (BCLK基准)		-4		ns
t <sub>d</sub> (AD-ALE)	ALE输出延迟时间 (地址基准)		(注3)		ns
t <sub>h</sub> (ALE-AD)	ALE输出保持时间 (地址基准)	(注4)		ns	
t <sub>d</sub> (AD-RD)	地址后RD信号输出延迟时间	0		ns	
t <sub>d</sub> (AD-WR)	地址后WR信号输出延迟时间	0		ns	
t <sub>dZ</sub> (RD-AD)	地址输出浮动开始时间		8	ns	

注1. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注2. 按BCLK的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad \text{在设定2个等待时n为“2”；在设定3个等待时n为“3”}$$

注3. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 25[\text{ns}]$$

注4. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$



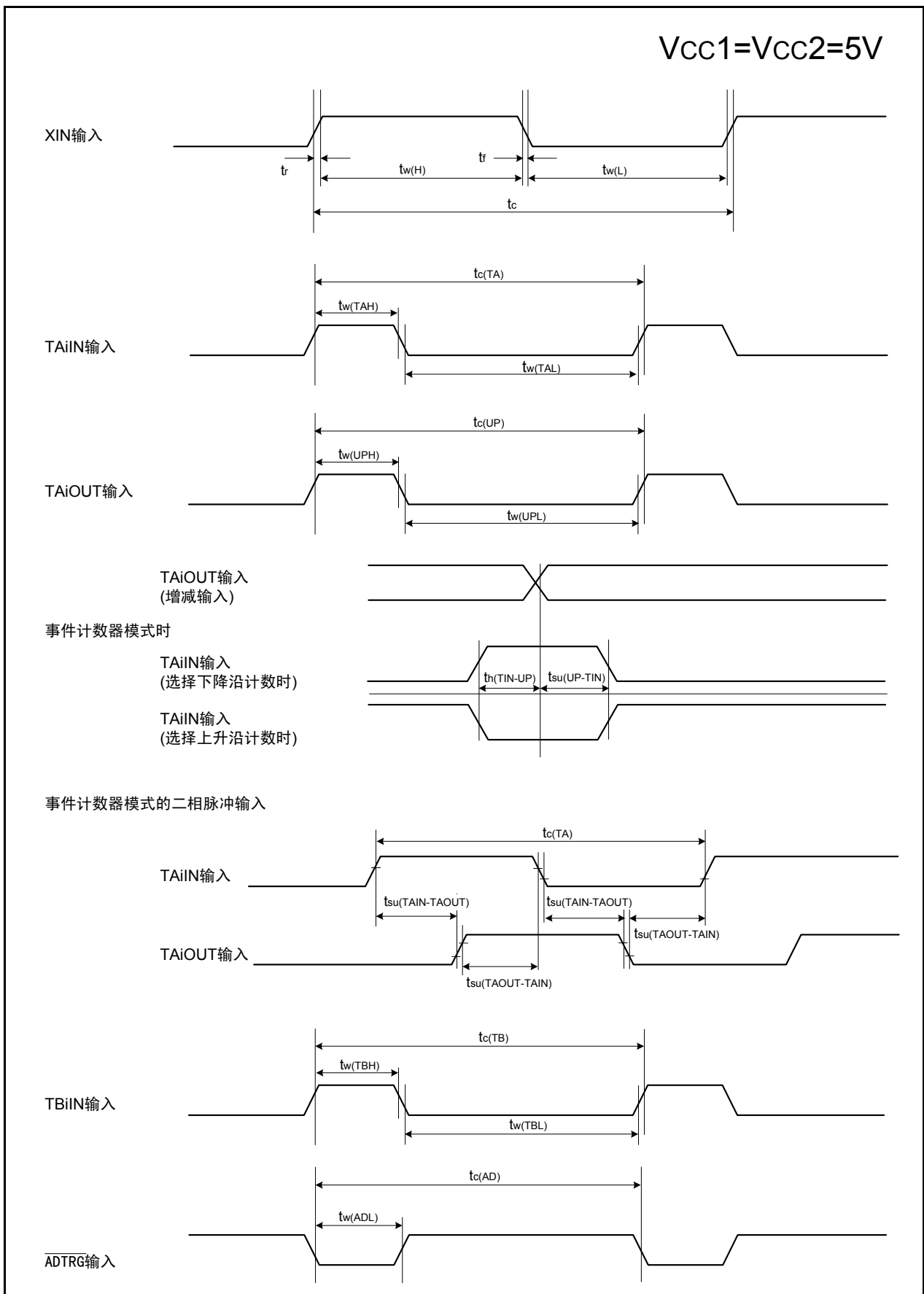


图 23.3 时序图 (1)

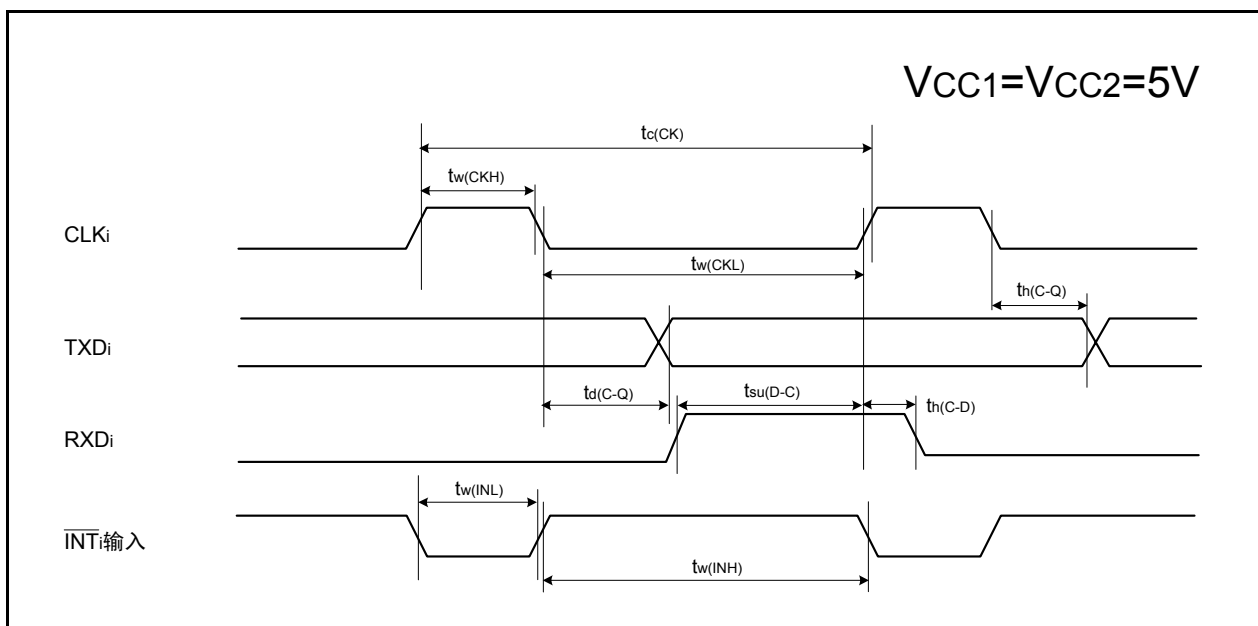


图 23.4 时序图 (2)

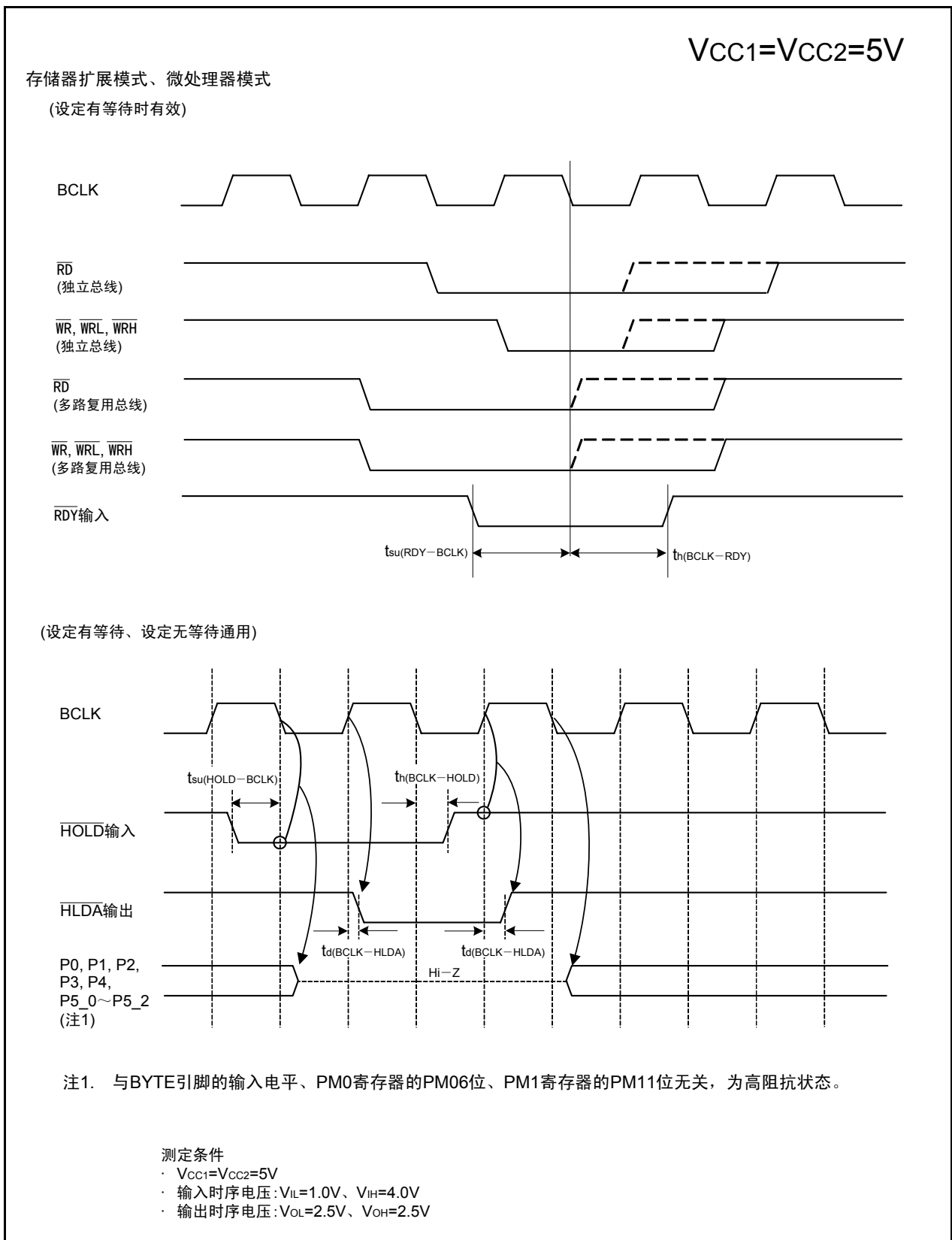


图 23.5 时序图 (3)

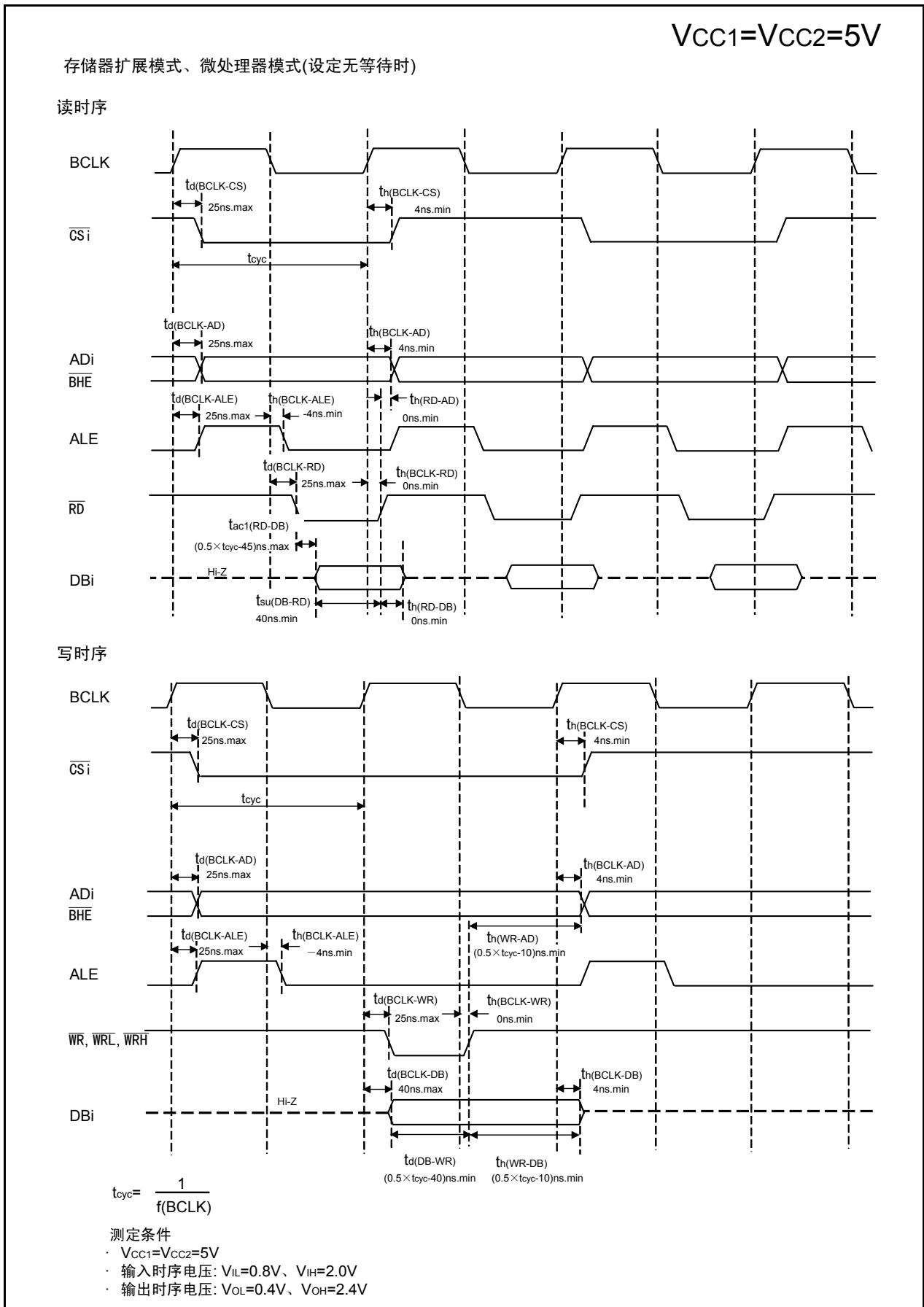


图 23.6 时序图 (4)

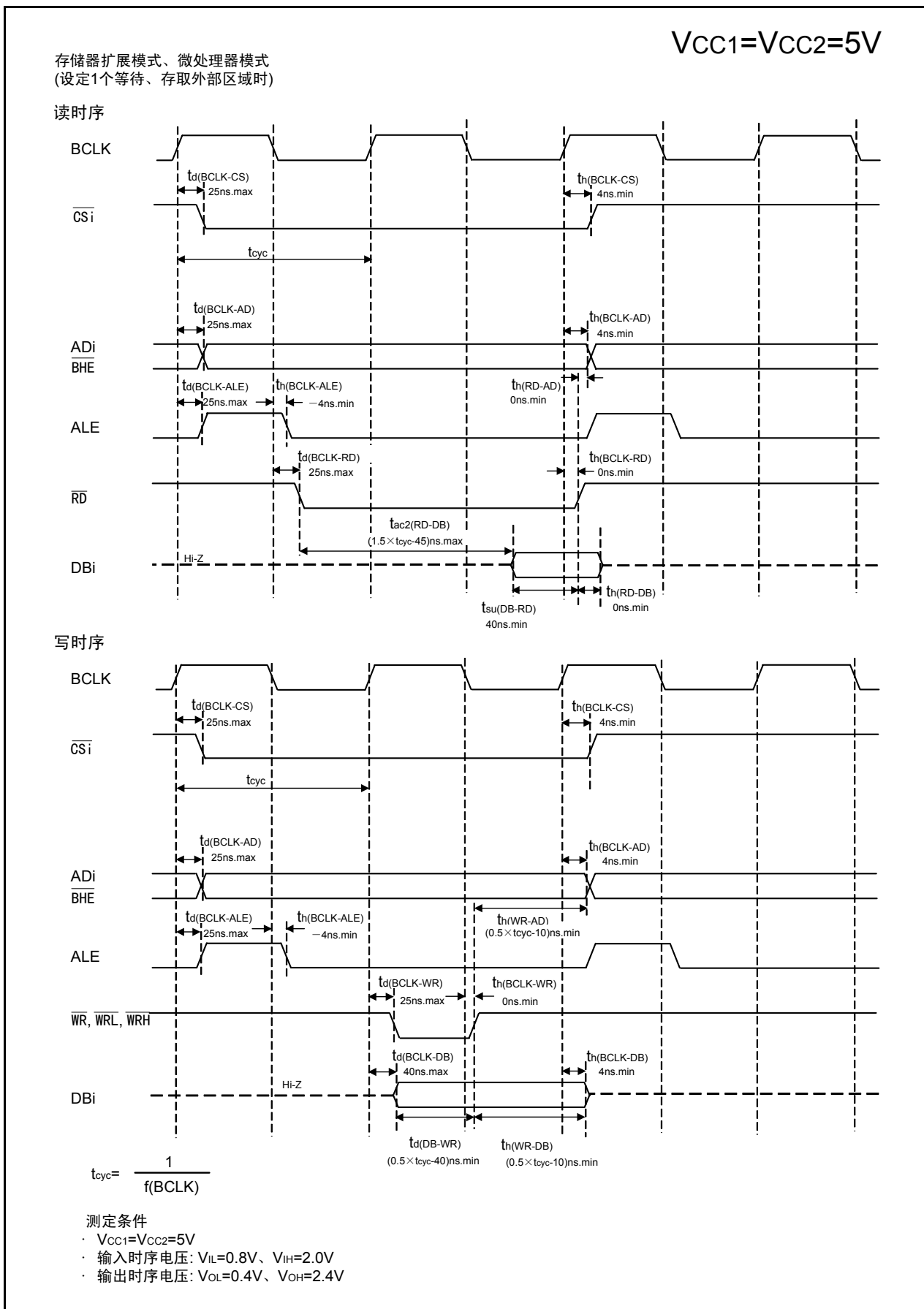


图 23.7 时序图 (5)

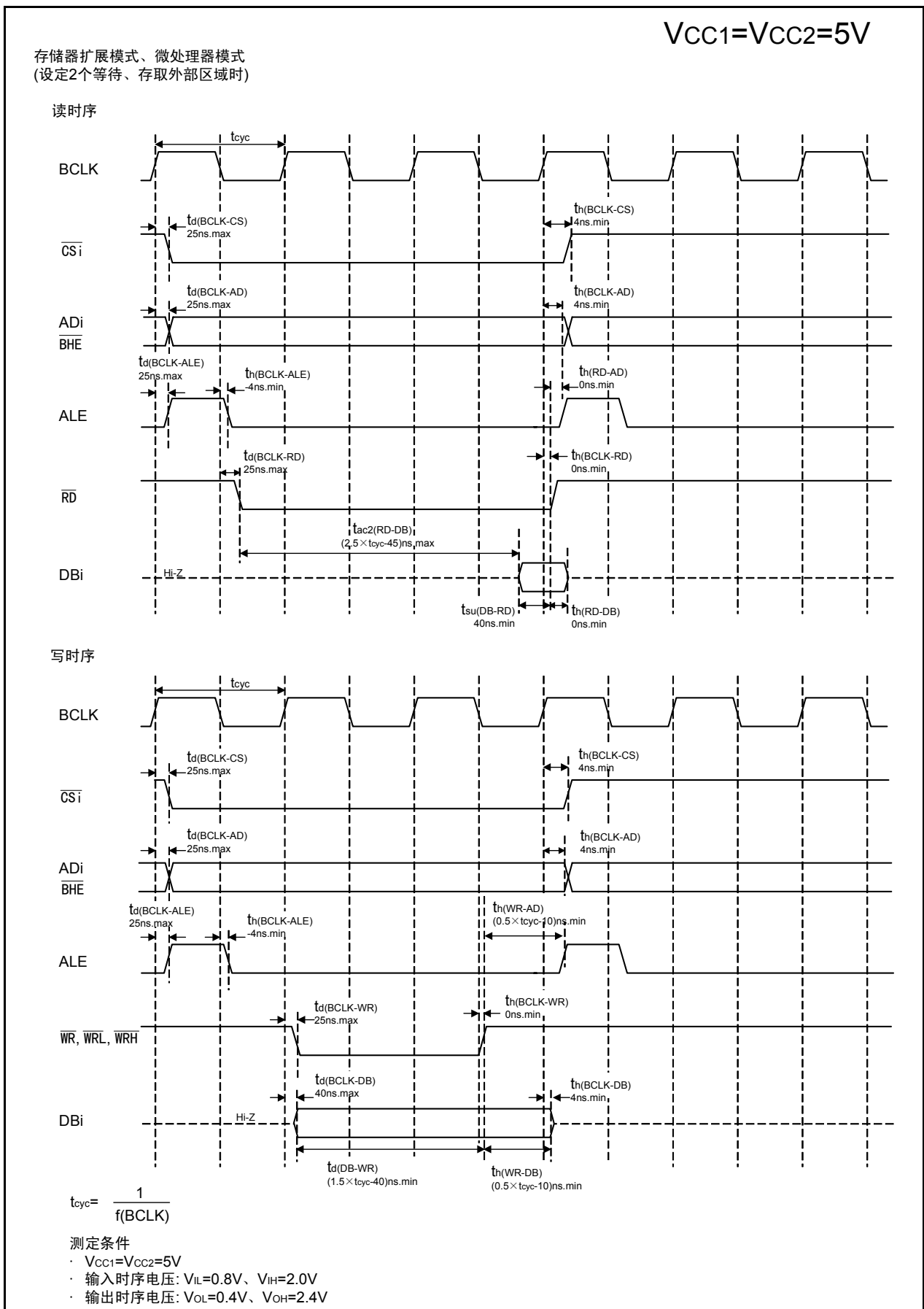


图 23.8 时序图 (6)

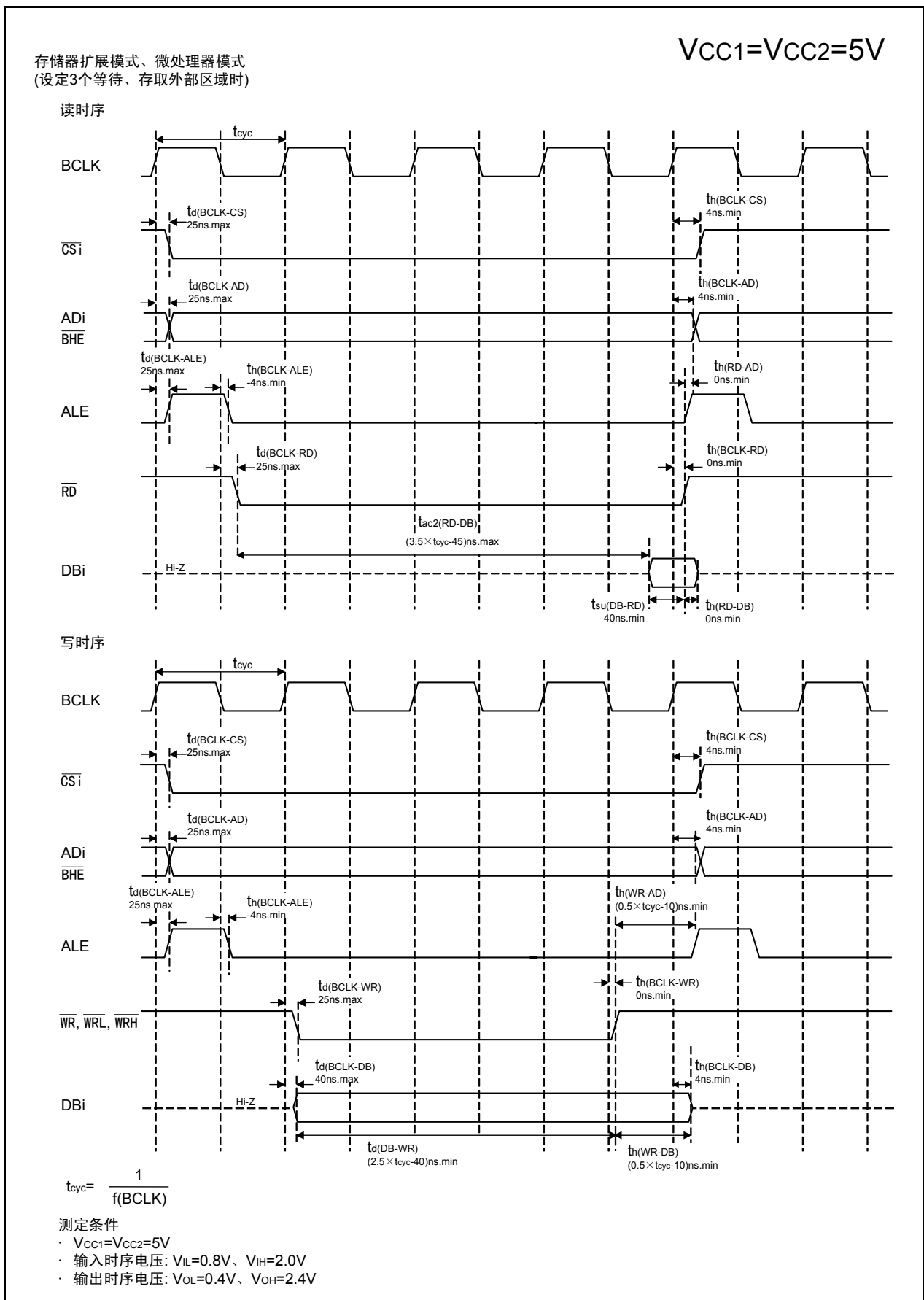


图 23.9 时序图 (7)

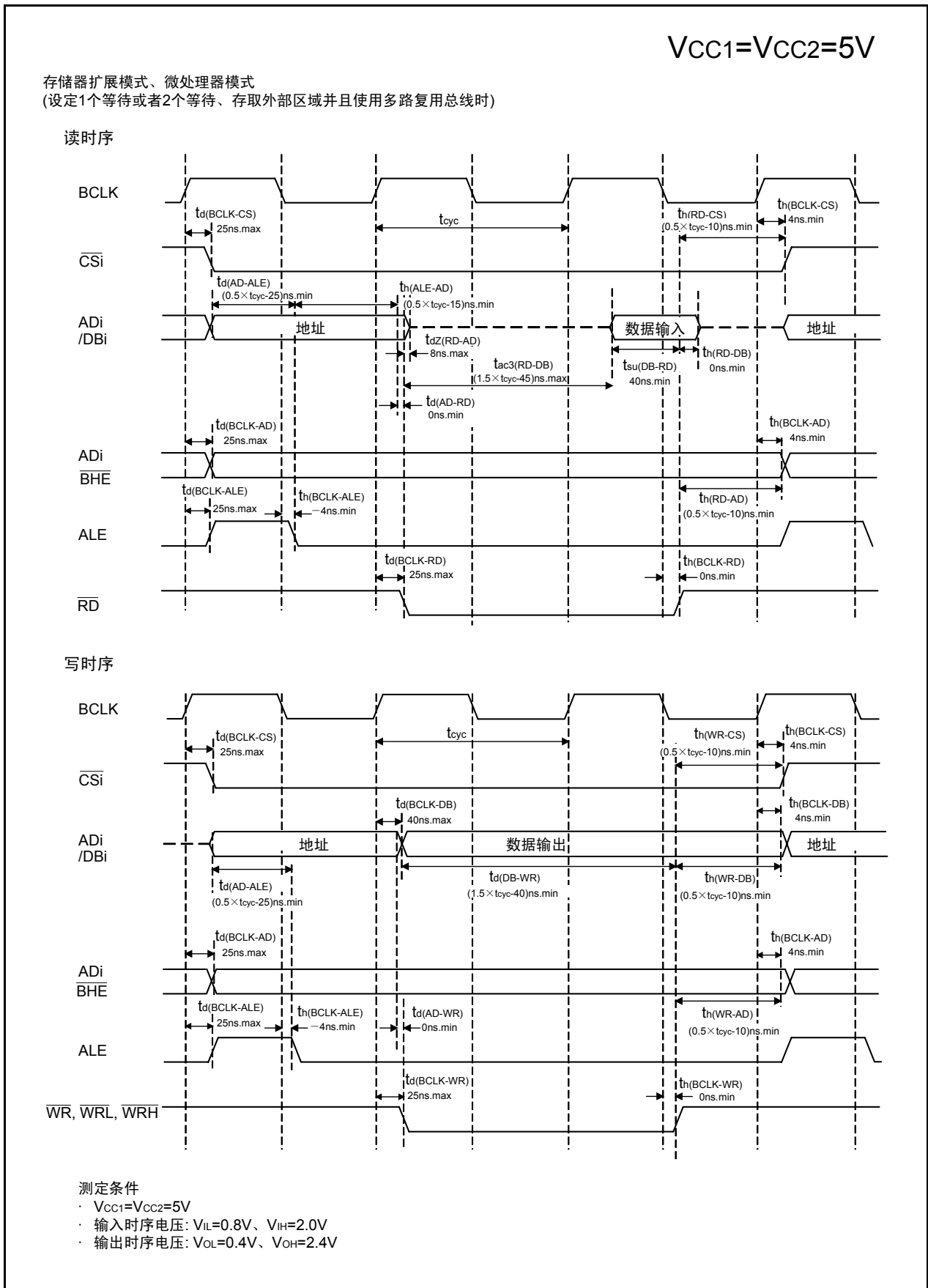


图 23.10 时序图 (8)



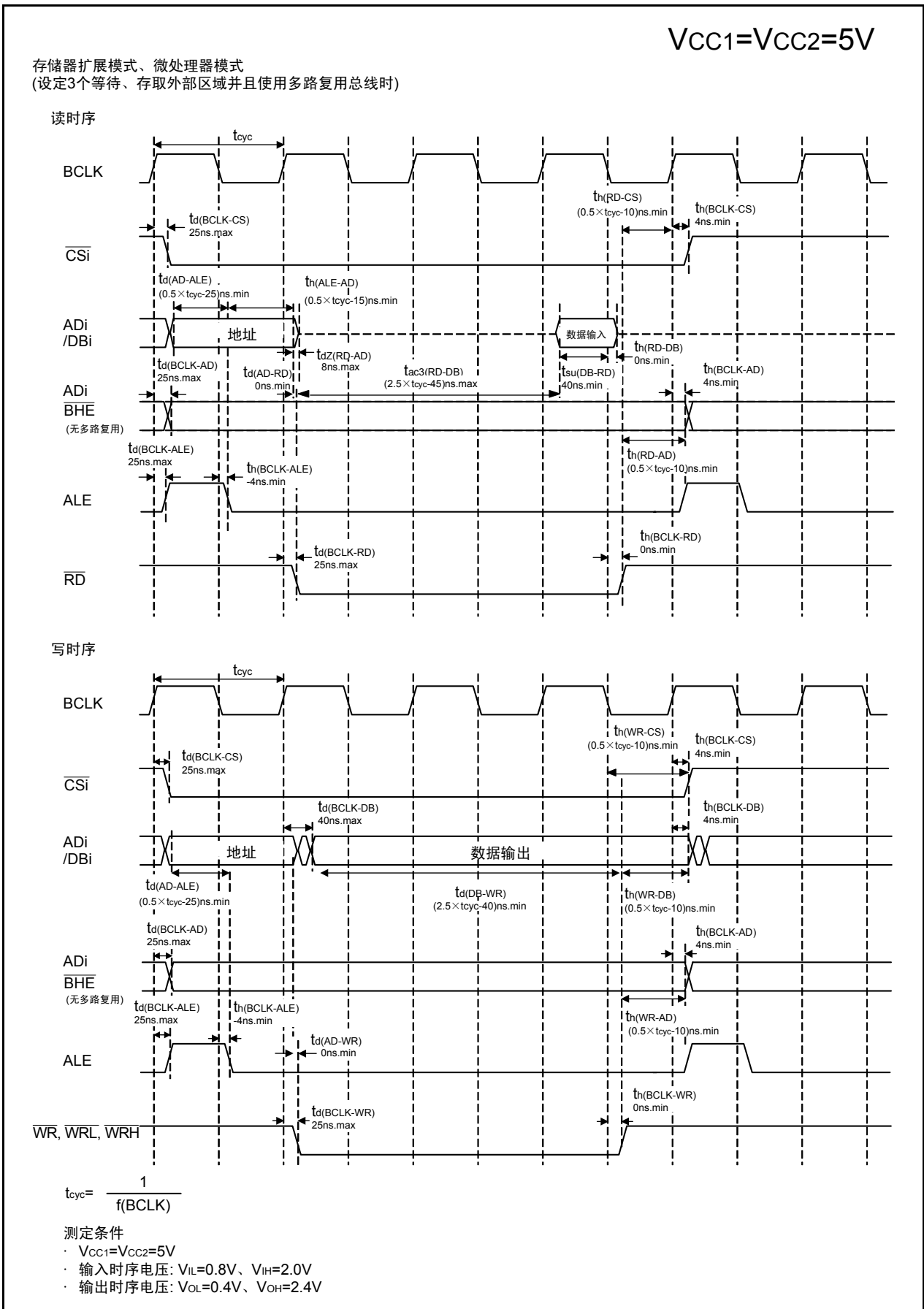


图 23.11 时序图 (9)

$$V_{CC1}=V_{CC2}=3V$$

表 23.29 电气特性 (1) (注1)

符号	项目		测定条件	额定值			单位
				最小	典型	最大	
V <sub>OH</sub>	“H”电平 输出电压	P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、 P14_0、P14_1	I <sub>OH</sub> = -1mA	V <sub>CC1</sub> - 0.5		V <sub>CC1</sub>	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P12_0 ~ P12_7、P13_0 ~ P13_7	I <sub>OH</sub> = -1mA	V <sub>CC2</sub> - 0.5		V <sub>CC2</sub>	
V <sub>OH</sub>	“H”电平输出 电压 XOUT	HIGHPOWER	I <sub>OH</sub> = -0.1mA	V <sub>CC1</sub> - 0.5		V <sub>CC1</sub>	V
		LOWPOWER	I <sub>OH</sub> = -50 μA	V <sub>CC1</sub> - 0.5		V <sub>CC1</sub>	
	“H”电平输出 电压 XCOUT	HIGHPOWER	无负载时		2.5		V
		LOWPOWER	无负载时		1.6		
V <sub>OL</sub>	“L”电平 输出电压	P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、 P14_0、P14_1	I <sub>OL</sub> = 1mA			0.5	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P12_0 ~ P12_7、P13_0 ~ P13_7	I <sub>OL</sub> = 1mA			0.5	
V <sub>OL</sub>	“L”电平输出 电压 XOUT	HIGHPOWER	I <sub>OL</sub> = 0.1mA			0.5	V
		LOWPOWER	I <sub>OL</sub> = 50 μA			0.5	
	“L”电平输出 电压 XCOUT	HIGHPOWER	无负载时		0		V
		LOWPOWER	无负载时		0		
V <sub>T+</sub> -V <sub>T-</sub>	滞后	$\overline{HOLD}$ 、 $\overline{RDY}$ 、 $\overline{TA0IN}$ ~ $\overline{TA4IN}$ 、 $\overline{TB0IN}$ ~ $\overline{TB5IN}$ 、 $\overline{INT0}$ ~ $\overline{INT5}$ 、 $\overline{NMI}$ 、 $\overline{ADTRG}$ 、 $\overline{CTS0}$ ~ $\overline{CTS2}$ 、 $\overline{SCL0}$ ~ $\overline{SCL2}$ 、 $\overline{SDA0}$ ~ $\overline{SDA2}$ 、 $\overline{CLK0}$ ~ $\overline{CLK4}$ 、 $\overline{TA0OUT}$ ~ $\overline{TA4OUT}$ 、 K10 ~ K13、RXD0 ~ RXD2、SIN3、SIN4		0.2		0.8	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	RESET		0.2	(0.7)	1.8	V
I <sub>IH</sub>	“H”电平 输入 电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、 P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1 XIN、RESET、 $\overline{CNVSS}$ 、BYTE	V <sub>I</sub> = 3V			4.0	μA
I <sub>IL</sub>	“L”电平 输入 电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、 P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、 P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1 XIN、RESET、 $\overline{CNVSS}$ 、BYTE	V <sub>I</sub> = 0V			-4.0	μA
R <sub>PULLUP</sub>	上拉电阻	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_2 ~ P7_7、 P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、 P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、 P14_0、P14_1	V <sub>I</sub> = 0V	50	100	500	kΩ
R <sub>FXIN</sub>	反馈电阻 XIN				3.0		MΩ
R <sub>FXCIN</sub>	反馈电阻 XCIN				25		MΩ
V <sub>RAM</sub>	RAM保持电压		停止模式时	2.0			V

注1. 不指定时, V<sub>CC1</sub>=V<sub>CC2</sub>=2.7~3.3V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20~85℃ / -40~85℃、f(BCLK)=10MHz。

注2. V<sub>CC</sub>: 端口P6~P11、P14为V<sub>CC1</sub>, 端口P0~P5、P12~P13为V<sub>CC2</sub>。

注3. 80引脚版的P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1没有连接到外部。

$$V_{CC1}=V_{CC2}=3V$$

表 23.30 电气特性 (2) (注1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
I <sub>cc</sub>	电源电流 (V <sub>CC1</sub> =2.7~3.6V)	单芯片模式、 输出引脚开路、 其它引脚为V <sub>SS</sub>	掩模型ROM	f(BCLK)=10MHz 无分频		8	11	mA
				内部振荡器振荡运行时 无分频		1		mA
			闪存	f(BCLK)=10MHz 无分频		8	13	mA
				内部振荡器振荡运行时 无分频		1.8		mA
			闪存编程	f(BCLK)=10MHz V <sub>CC1</sub> =3.0V		12		mA
			闪存擦除	f(BCLK)=10MHz V <sub>CC1</sub> =3.0V		22		mA
			掩模型ROM	f(XC1N)=32kHz 低功耗模式时 ROM(注3)		25		μA
			闪存	f(BCLK)=32kHz 低功耗模式时 RAM(注3)		25		μA
				f(BCLK)=32kHz 低功耗模式时 闪存(注3)		420		μA
				内部振荡器振荡运行、 等待模式时		45		μA
掩模型ROM、 闪存	f(BCLK) ≡ 32kHz 等待模式时(注2) 振荡能力High		6.0		μA			
	f(BCLK) ≡ 32kHz 等待模式时(注2) 振荡能力Low		1.8		μA			
	停止模式时 T <sub>opr</sub> =25℃		0.7	3.0	μA			
I <sub>det4</sub>	低电压检测功耗(注4)				0.6	4	μA	
I <sub>det3</sub>	复位区检测功耗(注4)				0.4	2	μA	

注1. 不指定时, V<sub>CC1</sub>=V<sub>CC2</sub>=2.7~3.3V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-20~85℃/-40~85℃、f(BCLK)=10MHz。

注2. 通过fC32使1个定时器运行的状态。

注3. 表示存在执行程序的存储器。

注4. I<sub>det</sub>为将以下位置“1”(检测电路有效)时的功耗。

I<sub>det4</sub> : VCR2寄存器的VC27位

I<sub>det3</sub> : VCR2寄存器的VC26位

$$V_{CC1}=V_{CC2}=3V$$

时序必要条件

(不指定时,  $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.31 外部时钟输入 (XIN输入)

符号	项目	额定值		单位
		最小	最大	
$t_c$	外部时钟输入周期时间	100		ns
$t_{w(H)}$	外部时钟输入“H”电平脉宽	40		ns
$t_{w(L)}$	外部时钟输入“L”电平脉宽	40		ns
$t_r$	外部时钟上升时间		18	ns
$t_f$	外部时钟下降时间		18	ns

表 23.32 存储器扩展模式、微处理器模式

符号	项目	额定值		单位
		最小	最大	
$t_{ac1(RD-DB)}$	数据输入存取时间(设定无等待时)		(注1)	ns
$t_{ac2(RD-DB)}$	数据输入存取时间(设定有等待时)		(注2)	ns
$t_{ac3(RD-DB)}$	数据输入存取时间(存取多路复用总线区域时)		(注3)	ns
$t_{su(DB-RD)}$	数据输入准备时间	50		ns
$t_{su(RDY-BCLK)}$	RDY输入准备时间	40		ns
$t_{su(HOLD-BCLK)}$	HOLD输入准备时间	50		ns
$t_h(RD-DB)$	数据输入保持时间	0		ns
$t_h(BCLK-RDY)$	RDY输入保持时间	0		ns
$t_h(BCLK-HOLD)$	HOLD输入保持时间	0		ns

注1. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 60[ns]$$

注2. 按BCLK的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 60[ns] \quad \text{在设定1个等待时 } n \text{ 为“2”；在设定2个等待时 } n \text{ 为“3”；在设定3个等待时 } n \text{ 为“4”}$$

注3. 按BCLK的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 60[ns] \quad \text{在设定2个等待时 } n \text{ 为“2”；在设定3个等待时 } n \text{ 为“3”}$$

$$V_{CC1}=V_{CC2}=3V$$

时序必要条件

(不指定时,  $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.33 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	150		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	60		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	60		ns

表 23.34 定时器 A 输入 (定时器模式的选通输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	600		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	300		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	300		ns

表 23.35 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	300		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	150		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	150		ns

表 23.36 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	150		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	150		ns

表 23.37 定时器 A 输入 (事件计数器模式的增减输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(UP)$	TAi OUT 输入周期时间	3000		ns
$t_w(UPH)$	TAi OUT 输入 “H” 电平脉宽	1500		ns
$t_w(UPL)$	TAi OUT 输入 “L” 电平脉宽	1500		ns
$t_{su}(UP-TIN)$	TAi OUT 输入准备时间	600		ns
$t_h(TIN-UP)$	TAi OUT 输入保持时间	600		ns

表 23.38 定时器 A 输入 (事件计数器模式的二相脉冲输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	2		$\mu s$
$t_{su}(TAiN-TAOUT)$	TAi OUT 输入准备时间	500		ns
$t_{su}(TAOUT-TAiN)$	TAi IN 输入准备时间	500		ns

$$V_{CC1}=V_{CC2}=3V$$

时序必要条件

(不指定时,  $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.39 定时器B 输入(事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TB)$	TBiN输入周期时间(单边沿计数)	150		ns
$t_w(TBH)$	TBiN输入“H”电平脉宽(单边沿计数)	60		ns
$t_w(TBL)$	TBiN输入“L”电平脉宽(单边沿计数)	60		ns
$t_c(TB)$	TBiN输入周期时间(双边沿计数)	300		ns
$t_w(TBH)$	TBiN输入“H”电平脉宽(双边沿计数)	120		ns
$t_w(TBL)$	TBiN输入“L”电平脉宽(双边沿计数)	120		ns

表 23.40 定时器B输入(脉冲周期测定模式)

符号	项目	额定值		单位
		最小	最大	
$t_c(TB)$	TBiN输入周期时间	600		ns
$t_w(TBH)$	TBiN输入“H”电平脉宽	300		ns
$t_w(TBL)$	TBiN输入“L”电平脉宽	300		ns

表 23.41 定时器B输入(脉宽测定模式)

符号	项目	额定值		单位
		最小	最大	
$t_c(TB)$	TBiN输入周期时间	600		ns
$t_w(TBH)$	TBiN输入“H”电平脉宽	300		ns
$t_w(TBL)$	TBiN输入“L”电平脉宽	300		ns

表 23.42 A/D触发输入

符号	项目	额定值		单位
		最小	最大	
$t_c(AD)$	ADTRG输入周期时间(触发可能最小)	1500		ns
$t_w(ADL)$	ADTRG输入“L”电平脉宽	200		ns

表 23.43 串行接口

符号	项目	额定值		单位
		最小	最大	
$t_c(OK)$	CLKi输入周期时间	300		ns
$t_w(OKH)$	CLKi输入“H”电平脉宽	150		ns
$t_w(OKL)$	CLKi输入“L”电平脉宽	150		ns
$t_d(O-Q)$	TXDi输出延迟时间		160	ns
$t_h(O-Q)$	TXDi保持时间	0		ns
$t_{su}(D-C)$	RXDi输入准备时间	100		ns
$t_h(O-D)$	RXDi输入保持时间	90		ns

表 23.44 外部中断INTi输入

符号	项目	额定值		单位
		最小	最大	
$t_w(INH)$	INTi输入“H”电平脉宽	380		ns
$t_w(INL)$	INTi输入“L”电平脉宽	380		ns

$$V_{CC1}=V_{CC2}=3V$$

## 开关特性

(不指定时,  $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ )

表 23.45 存储器扩展模式、微处理器模式 (设定无等待时)

符号	项目	测定条件	额定值		单位
			最小	最大	
$t_d(\text{BCLK-AD})$	地址输出延迟时间	图 23.12		30	ns
$t_h(\text{BCLK-AD})$	地址输出保持时间 (BCLK基准)		4		ns
$t_h(\text{RD-AD})$	地址输出保持时间 (RD基准)		0		ns
$t_h(\text{WR-AD})$	地址输出保持时间 (WR基准)		(注2)		ns
$t_d(\text{BCLK-CS})$	片选输出延迟时间			30	ns
$t_h(\text{BCLK-CS})$	片选输出保持时间 (BCLK基准)		4		ns
$t_d(\text{BCLK-ALE})$	ALE信号输出延迟时间			25	ns
$t_h(\text{BCLK-ALE})$	ALE信号输出保持时间		-4		ns
$t_d(\text{BCLK-RD})$	RD信号输出延迟时间			30	ns
$t_h(\text{BCLK-RD})$	RD信号输出保持时间		0		ns
$t_d(\text{BCLK-WR})$	WR信号输出延迟时间			30	ns
$t_h(\text{BCLK-WR})$	WR信号输出保持时间		0		ns
$t_d(\text{BCLK-DB})$	数据输出延迟时间 (BCLK基准)			40	ns
$t_h(\text{BCLK-DB})$	数据输出保持时间 (BCLK基准) (注3)		4		ns
$t_d(\text{DB-WR})$	数据输出延迟时间 (WR基准)		(注1)		ns
$t_h(\text{WR-DB})$	数据输出保持时间 (WR基准) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA输出延迟时间		40	ns	

注1. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{ 为 } 12.5\text{MHz 以下}$$

注2. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. 此额定值表示输出OFF的时序, 并非表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉(下拉)电阻值而不同。

右图的电路中的数据总线的保持时间由以下计算式表示:

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

例如, 假设  $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ , 输出“L”电平的保持时间为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) = 6.7\text{ns}$$

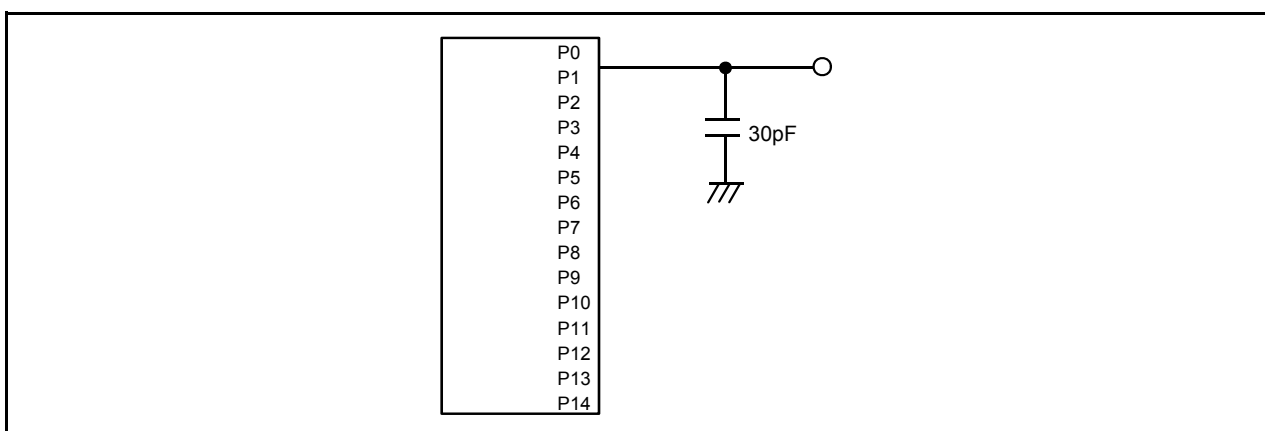
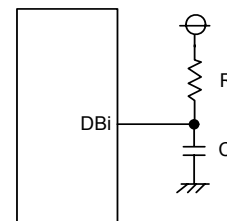


图 23.12 端口P0~P14的测定电路

$$V_{CC1}=V_{CC2}=3V$$

## 开关特性

(不指定时,  $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85\text{ }^{\circ}\text{C}/-40\sim 85\text{ }^{\circ}\text{C}$ )表 23.46 存储器扩展模式、微处理器模式  
(设定1~3个等待、存取外部区域时)

符号	项目	测定条件	额定值		单位
			最小	最大	
$t_d(\text{BCLK-AD})$	地址输出延迟时间	图 23.12		30	ns
$t_h(\text{BCLK-AD})$	地址输出保持时间 (BCLK基准)		4		ns
$t_h(\text{RD-AD})$	地址输出保持时间 (RD基准)		0		ns
$t_h(\text{WR-AD})$	地址输出保持时间 (WR基准)		(注2)		ns
$t_d(\text{BCLK-CS})$	片选输出延迟时间			30	ns
$t_h(\text{BCLK-CS})$	片选输出保持时间 (BCLK基准)		4		ns
$t_d(\text{BCLK-ALE})$	ALE信号输出延迟时间			25	ns
$t_h(\text{BCLK-ALE})$	ALE信号输出保持时间		-4		ns
$t_d(\text{BCLK-RD})$	RD信号输出延迟时间			30	ns
$t_h(\text{BCLK-RD})$	RD信号输出保持时间		0		ns
$t_d(\text{BCLK-WR})$	WR信号输出延迟时间			30	ns
$t_h(\text{BCLK-WR})$	WR信号输出保持时间		0		ns
$t_d(\text{BCLK-DB})$	数据输出延迟时间 (BCLK基准)			40	ns
$t_h(\text{BCLK-DB})$	数据输出保持时间 (BCLK基准) (注3)		4		ns
$t_d(\text{DB-WR})$	数据输出延迟时间 (WR基准)		(注1)		ns
$t_h(\text{WR-DB})$	数据输出保持时间 (WR基准) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA输出延迟时间			40	ns

注1. 按BCLK的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

在设定1个等待时n为“1”；在设定2个等待时n为“2”；  
在设定3个等待时n为“3”  
n=1时, f(BCLK)为12.5MHz以下

注2. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

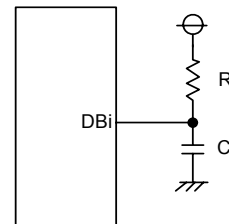
注3. 此额定值表示输出OFF的时序, 并非表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉(下拉)电阻值而不同。

右图的电路中的数据总线的保持时间由以下计算式表示:

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

例如, 假设  $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ , 输出“L”电平的保持时间为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) = 6.7\text{ns}$$





$$V_{CC1}=V_{CC2}=3V$$

## 开关特性

(不指定时,  $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85\text{ }^{\circ}\text{C} / -40\sim 85\text{ }^{\circ}\text{C}$ )表 23. 47 存储器扩展模式、微处理器模式  
(设定2~3个等待、存取外部区域且选择多路复用总线时)

符号	项目	测定条件	额定值		单位
			最小	最大	
$t_d$ (BCLK-AD)	地址输出延迟时间	图 23. 12		50	ns
$t_h$ (BCLK-AD)	地址输出保持时间 (BCLK基准)		4		ns
$t_h$ (RD-AD)	地址输出保持时间 (RD基准)		(注1)		ns
$t_h$ (WR-AD)	地址输出保持时间 (WR基准)		(注1)		ns
$t_d$ (BCLK-CS)	片选输出延迟时间			50	ns
$t_h$ (BCLK-CS)	片选输出保持时间 (BCLK基准)		4		ns
$t_h$ (RD-CS)	片选输出保持时间 (RD基准)		(注1)		ns
$t_h$ (WR-CS)	片选输出保持时间 (WR基准)		(注1)		ns
$t_d$ (BCLK-RD)	RD信号输出延迟时间			40	ns
$t_h$ (BCLK-RD)	RD信号输出保持时间		0		ns
$t_d$ (BCLK-WR)	WR信号输出延迟时间			40	ns
$t_h$ (BCLK-WR)	WR信号输出保持时间		0		ns
$t_d$ (BCLK-DB)	数据输出延迟时间 (BCLK基准)			50	ns
$t_h$ (BCLK-DB)	数据输出保持时间 (BCLK基准)		4		ns
$t_d$ (DB-WR)	数据输出延迟时间 (WR基准)		(注2)		ns
$t_h$ (WR-DB)	数据输出保持时间 (WR基准)		(注1)		ns
$t_d$ (BCLK-HLDA)	HLDA输出延迟时间			40	ns
$t_d$ (BCLK-ALE)	ALE输出延迟时间 (BCLK基准)			25	ns
$t_h$ (BCLK-ALE)	ALE输出保持时间 (BCLK基准)		-4		ns
$t_d$ (AD-ALE)	ALE输出延迟时间 (地址基准)		(注3)		ns
$t_h$ (ALE-AD)	ALE输出保持时间 (地址基准)		(注4)		ns
$t_d$ (AD-RD)	地址后RD信号输出延迟时间		0		ns
$t_d$ (AD-WR)	地址后WR信号输出延迟时间		0		ns
$t_{dZ}$ (RD-AD)	地址输出浮动开始时间			8	ns

注1. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注2. 按BCLK的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 50[\text{ns}] \quad \text{在设定2个等待时}n\text{为“2”；在设定3个等待时}n\text{为“3”}$$

注3. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

注4. 按BCLK的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

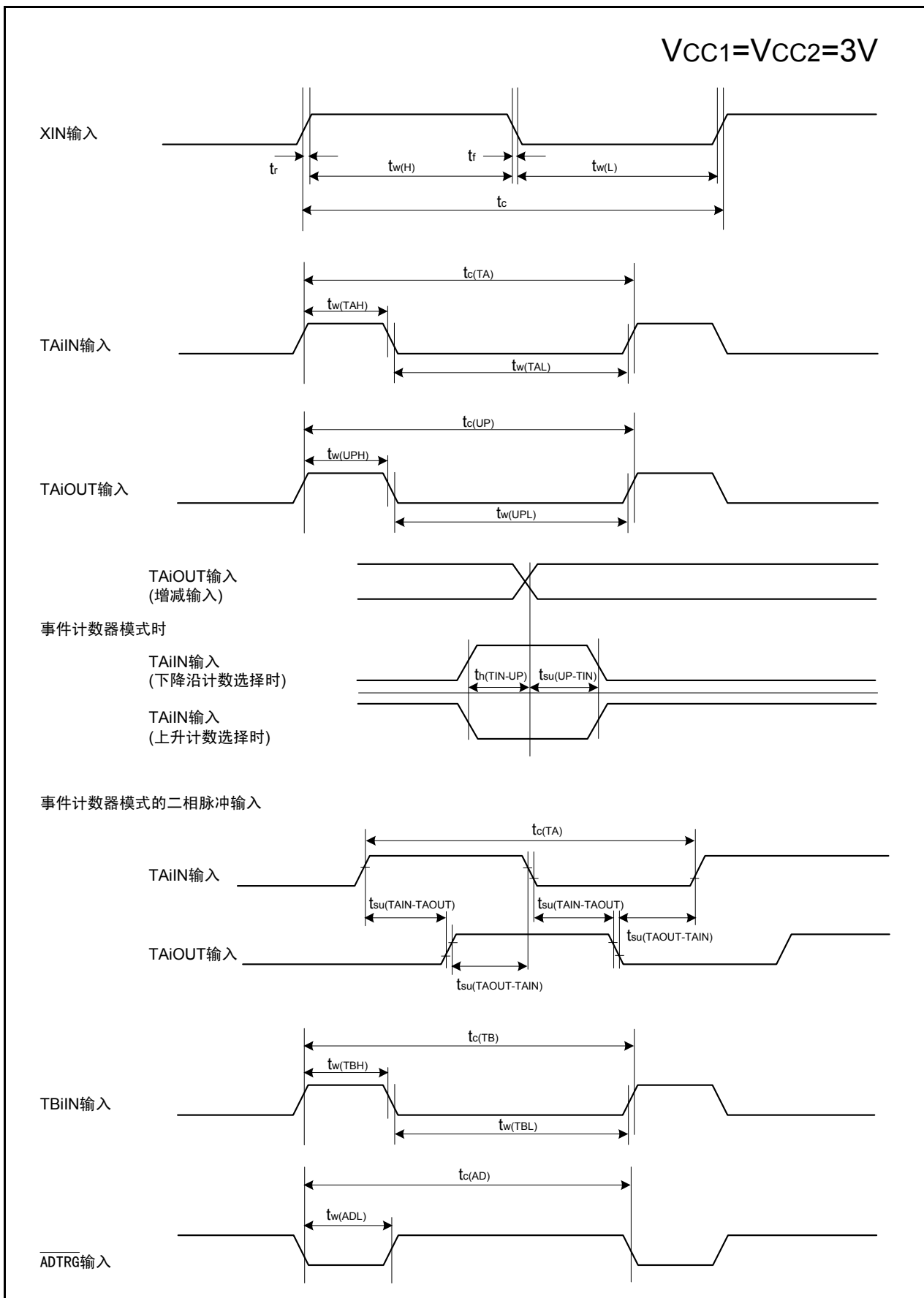


图 23.13 时序图 (1)

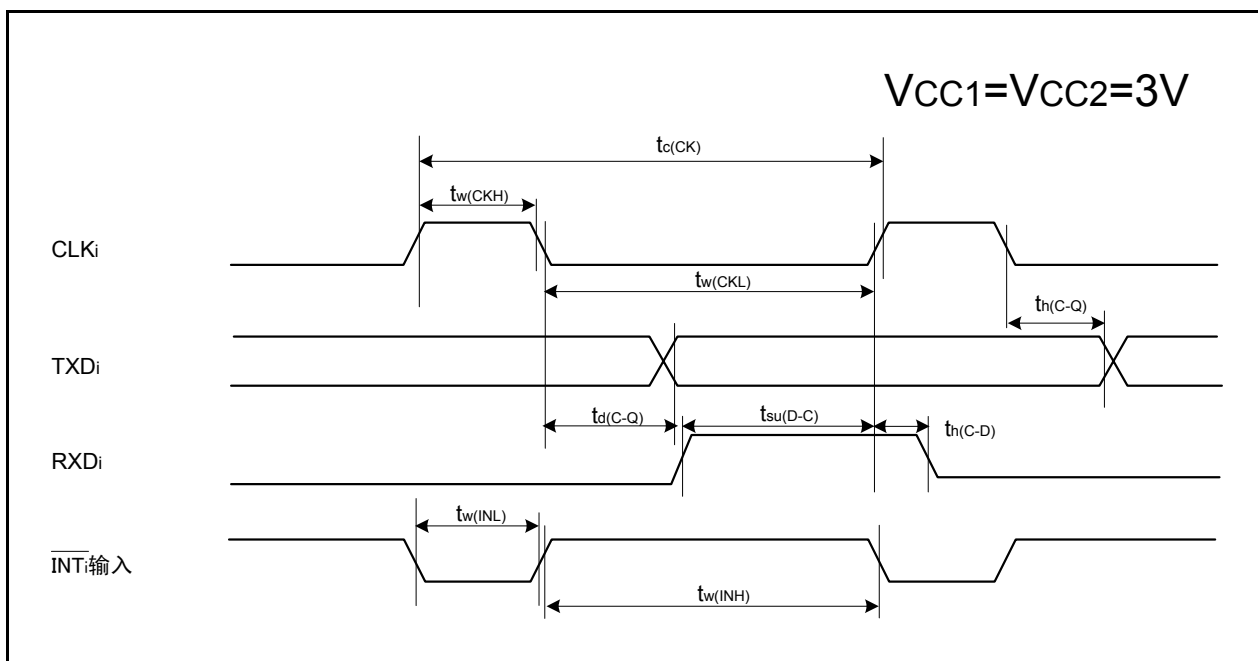


图 23.14 时序图 (2)

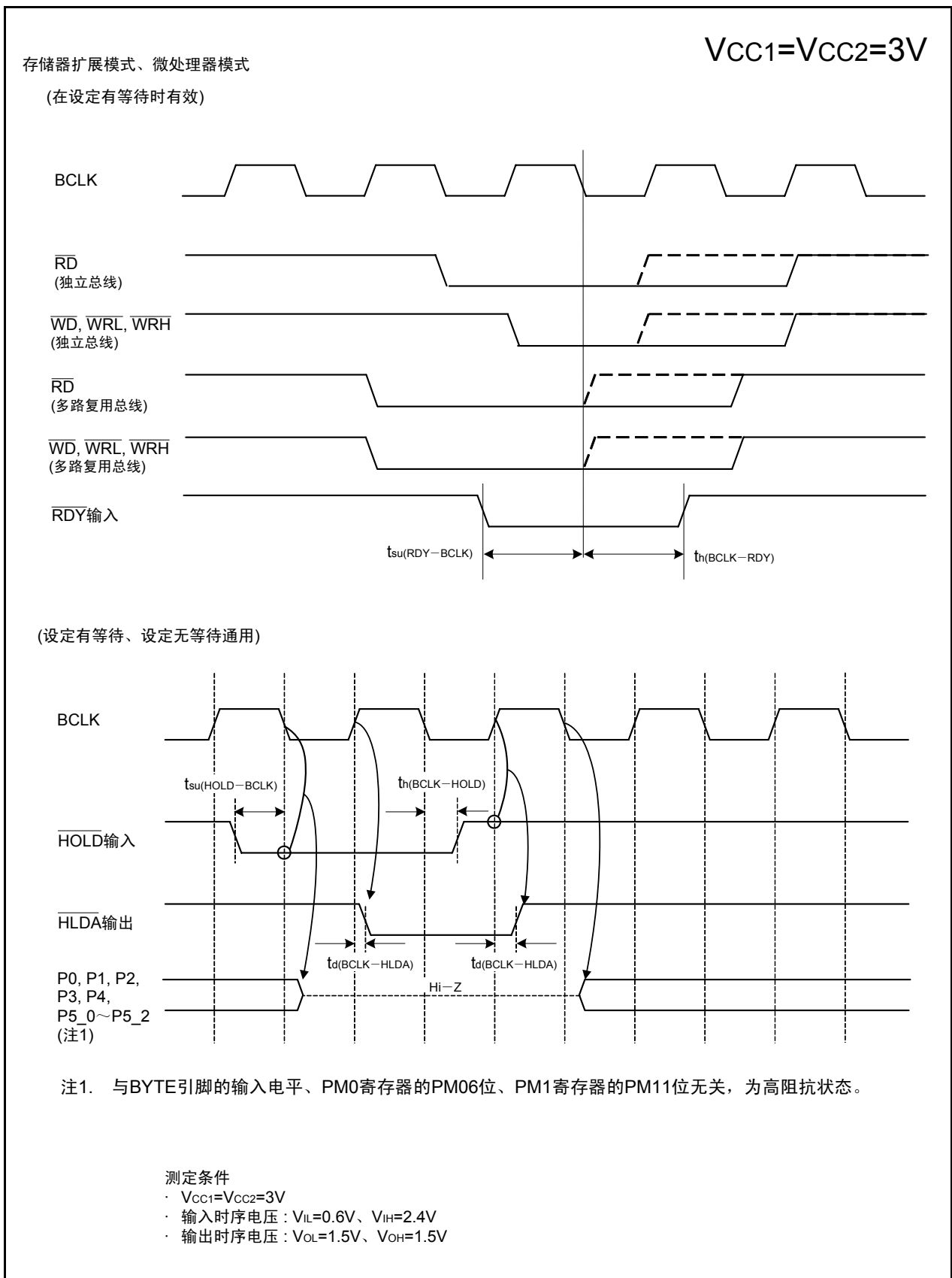


图 23.15 时序图 (3)

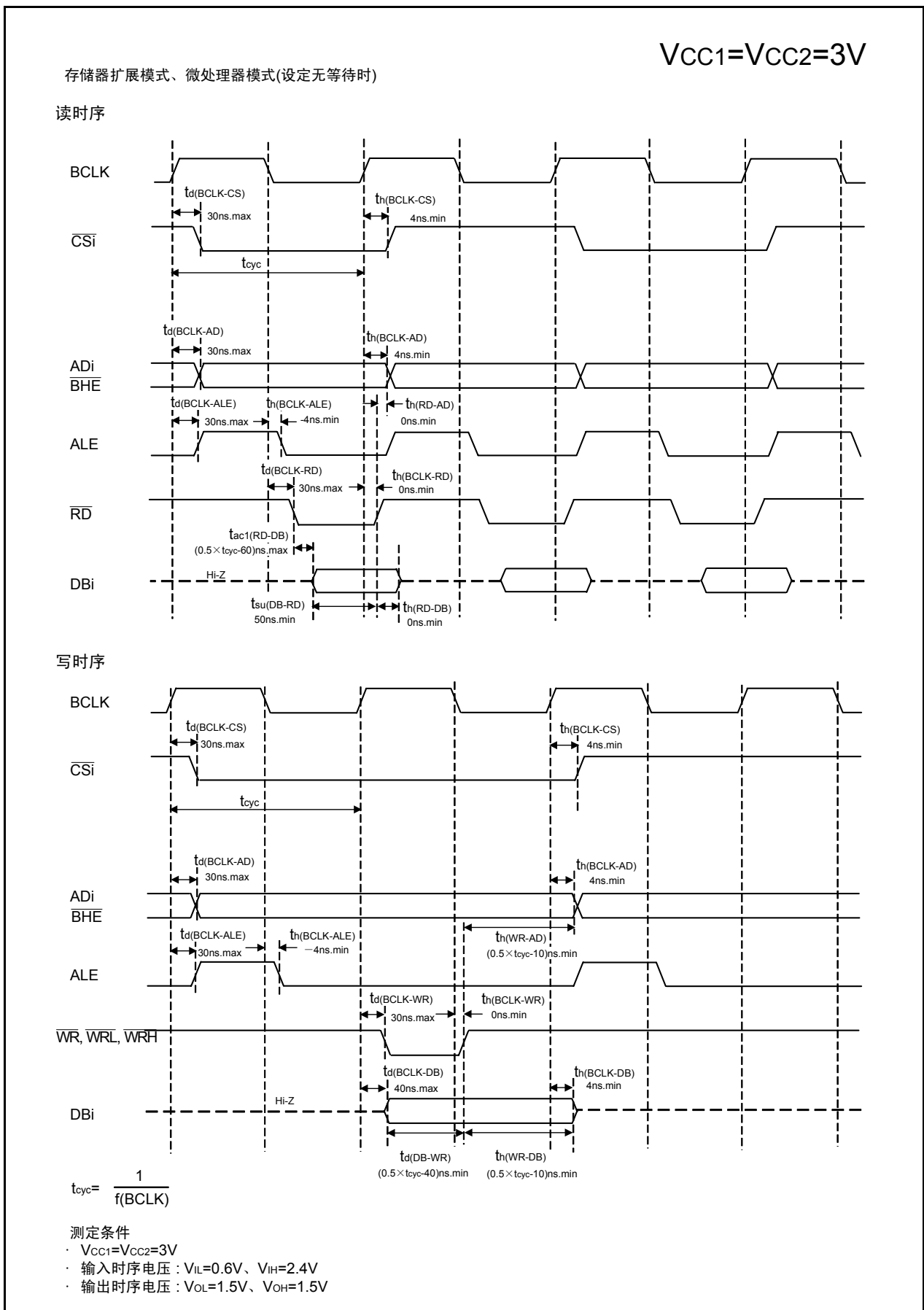


图 23.16 时序图 (4)

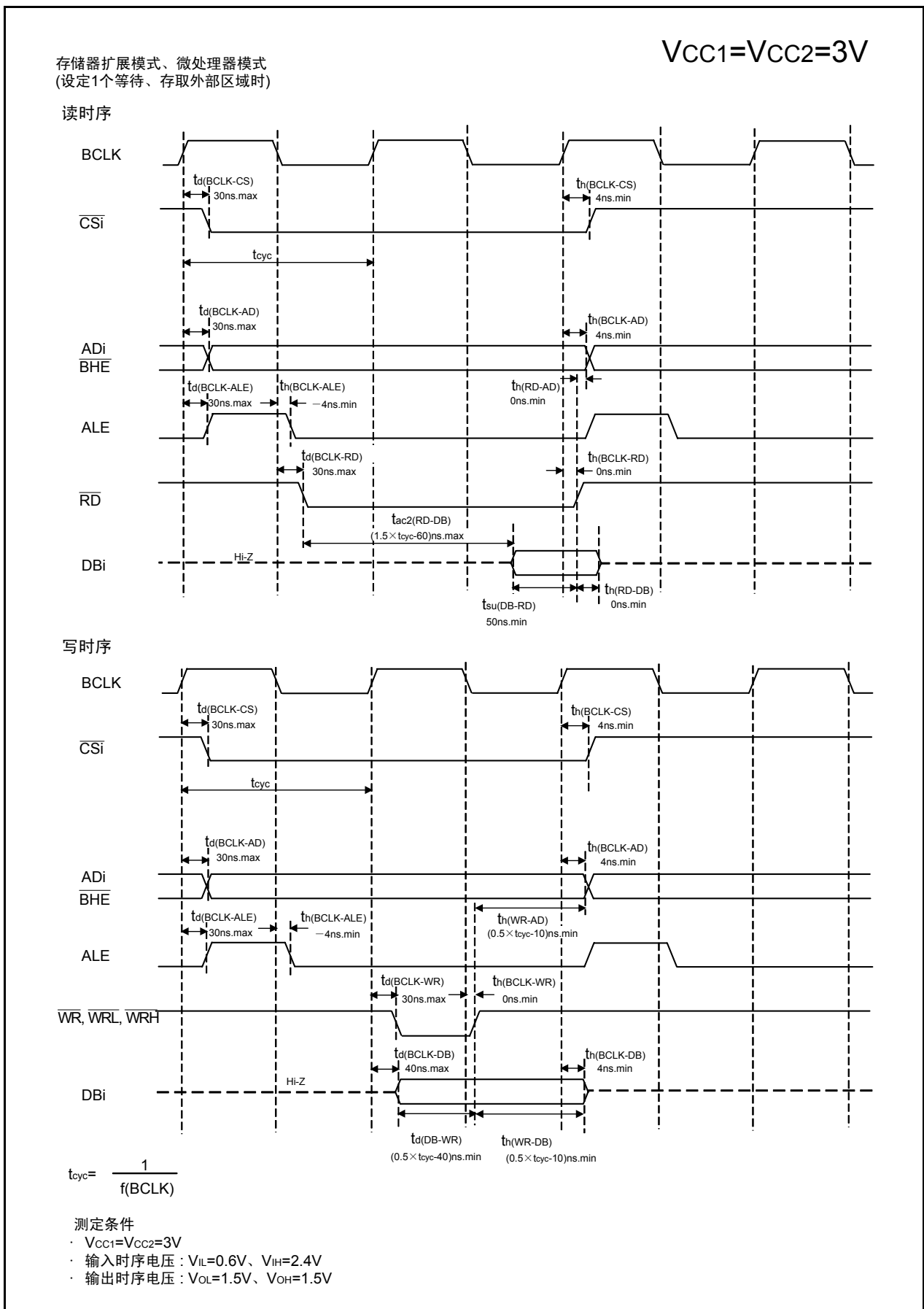


图 23.17 时序图 (5)

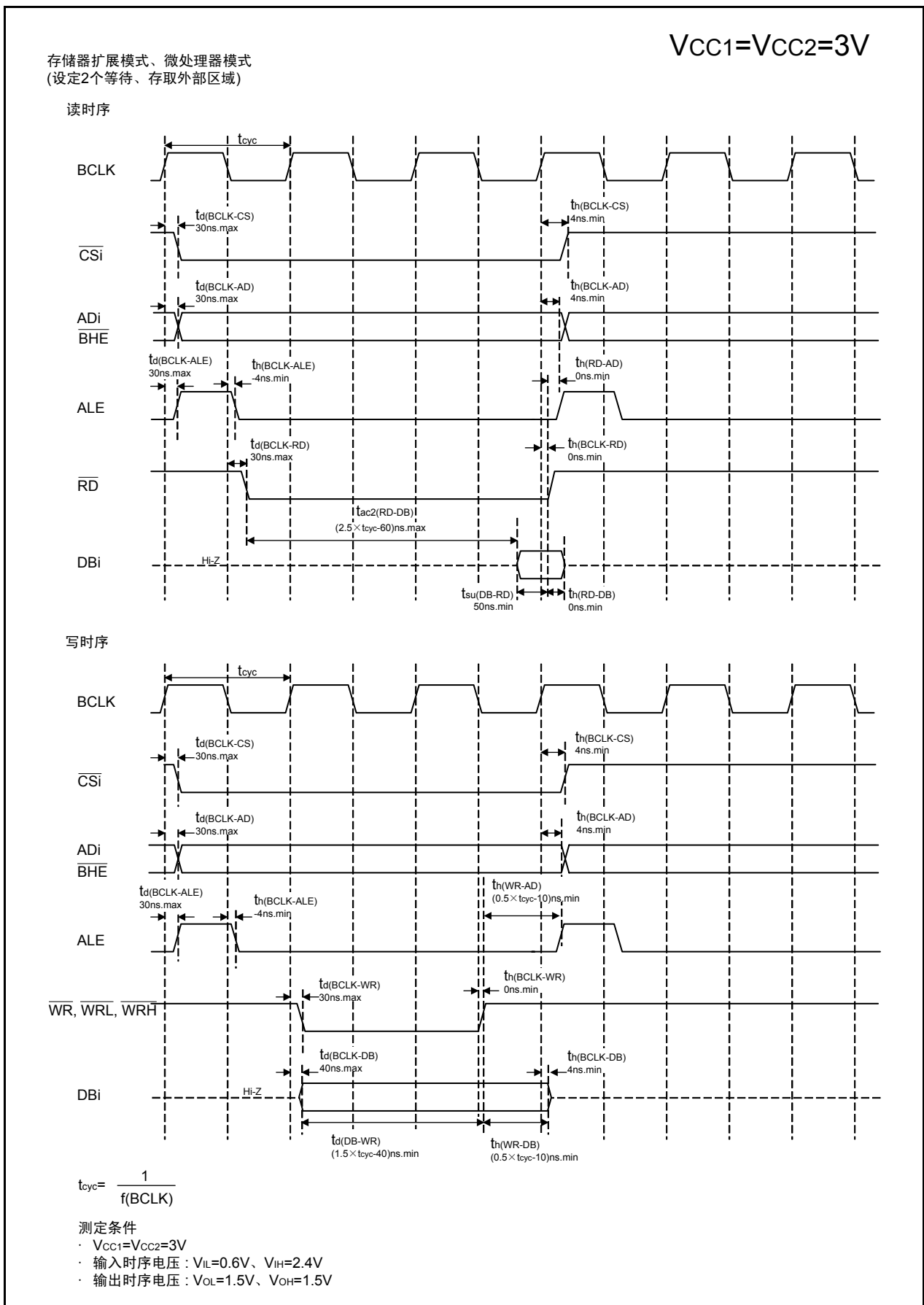


图 23.18 时序图 (6)

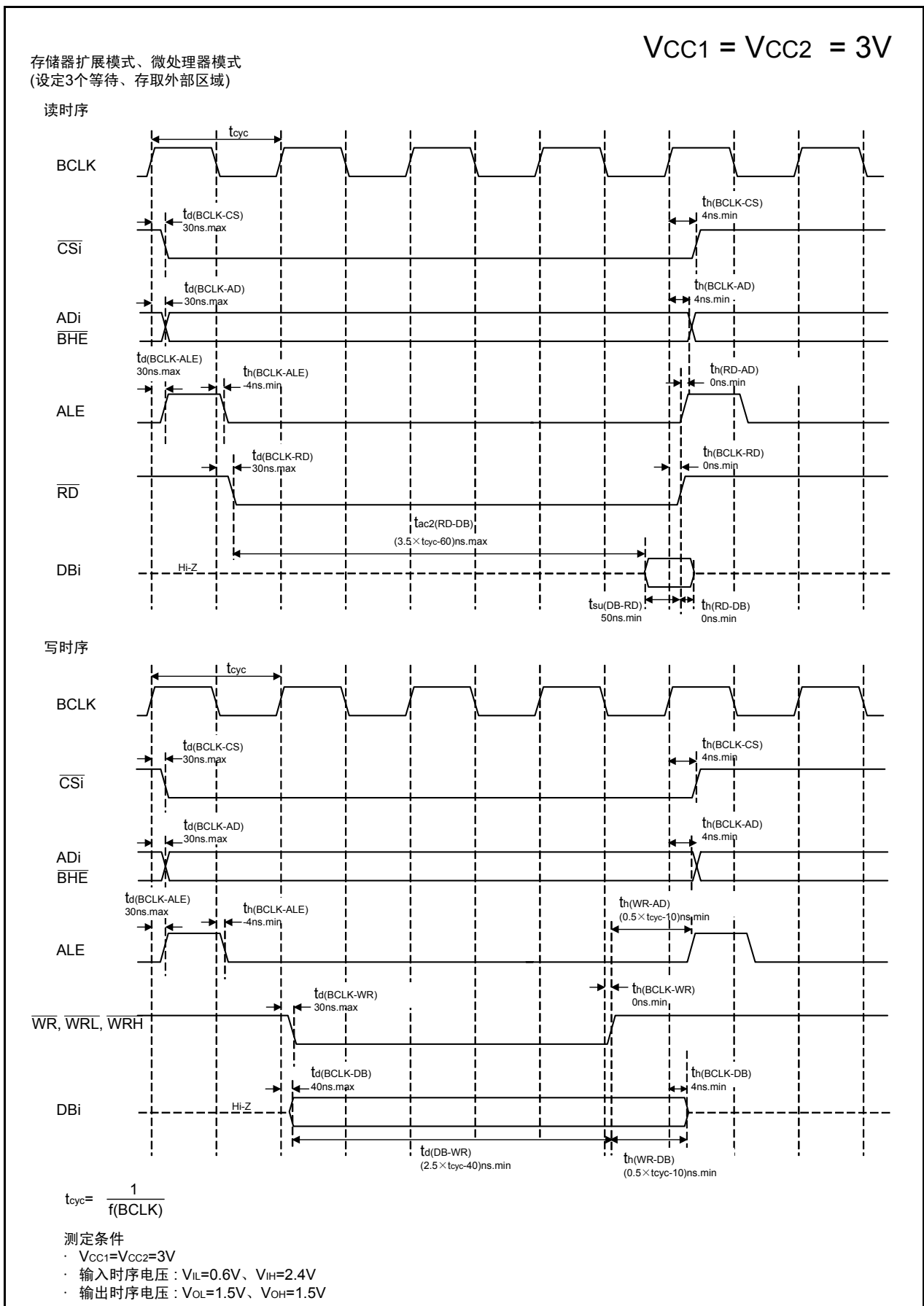


图 23.19 时序图 (7)



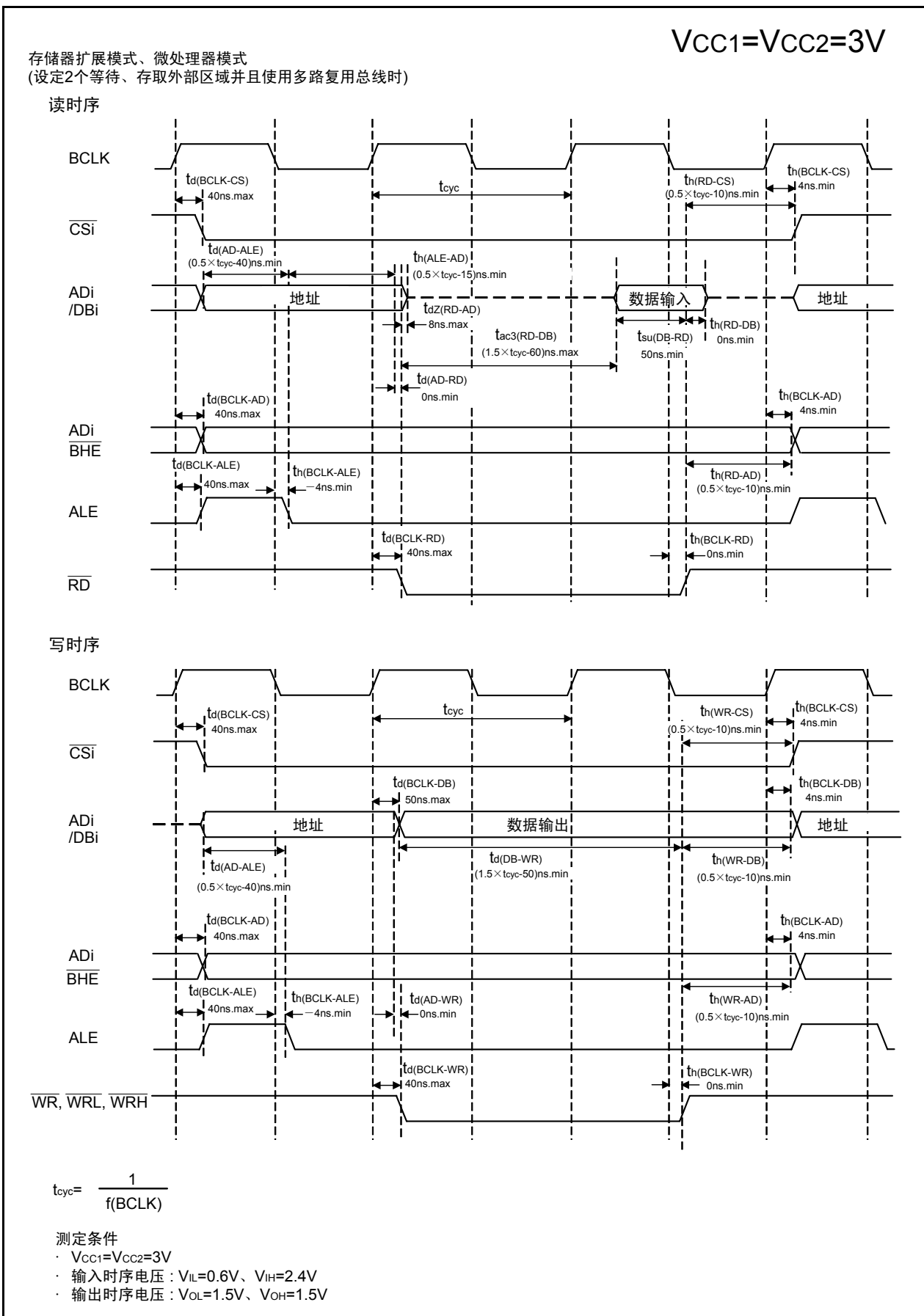


图 23. 20 时序图 (8)

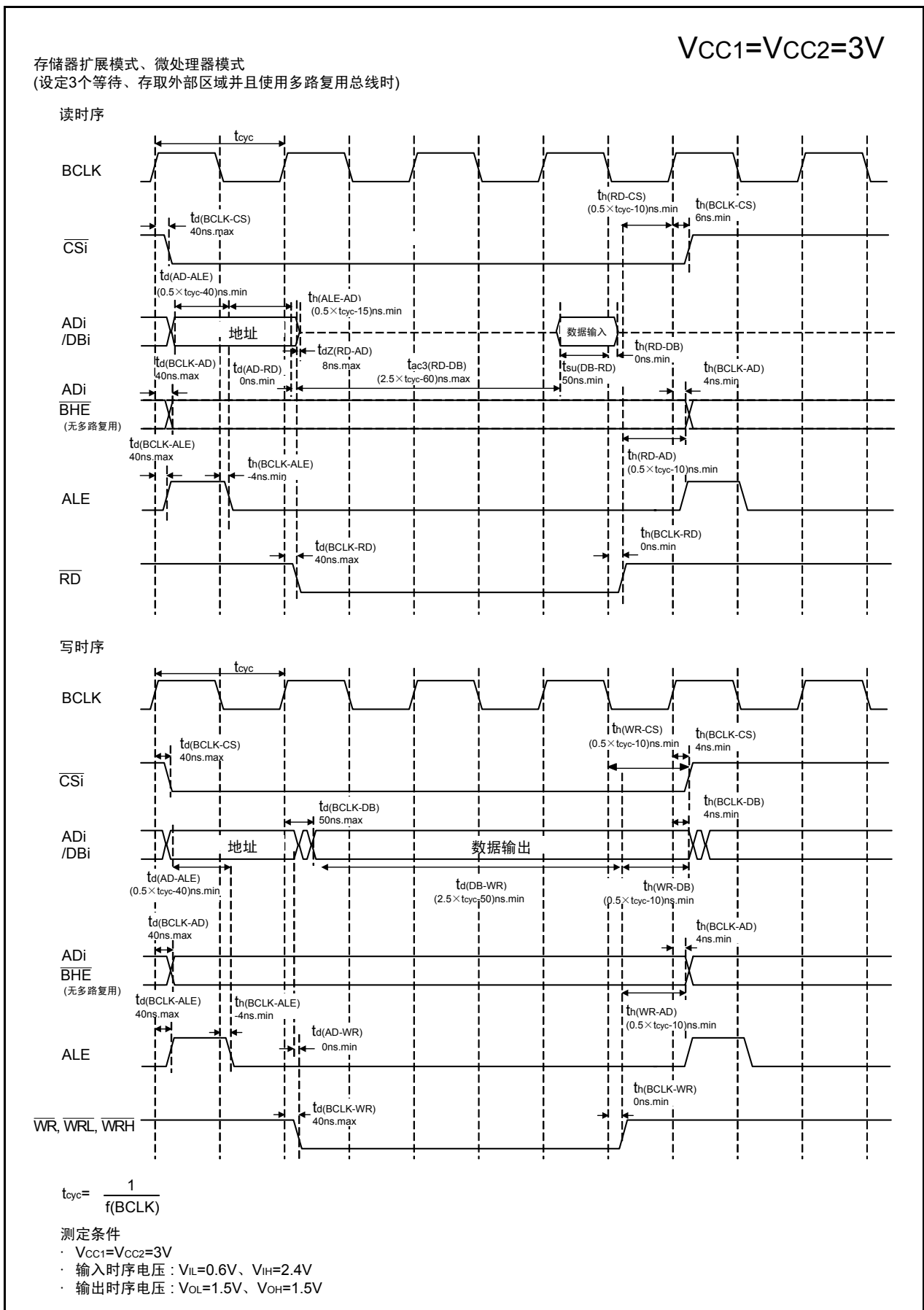


图 23. 21 时序图 (9)

## 23.2 电气特性 (M16C/62PT)

表 23.48 绝对最大额定值

符号	项目		条件	额定值	单位
V <sub>CC1</sub> , V <sub>CC2</sub>	电源电压		V <sub>CC1</sub> =V <sub>CC2</sub> =AV <sub>CC</sub>	-0.3~6.5	V
AV <sub>CC</sub>	模拟电源电压		V <sub>CC1</sub> =V <sub>CC2</sub> =AV <sub>CC</sub>	-0.3~6.5	V
V <sub>I</sub>	输入电压	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, VREF, XIN		-0.3~V <sub>CC1</sub> +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V <sub>CC2</sub> +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
V <sub>O</sub>	输出电压	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P11_0~P11_7, P14_0, P14_1, XOUT		-0.3~V <sub>CC1</sub> +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V <sub>CC2</sub> +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
P <sub>d</sub>	功耗		-40℃ < T <sub>opr</sub> ≤ 85℃	300	mW
			85℃ < T <sub>opr</sub> ≤ 125℃	200	
T <sub>opr</sub>	工作环境温度	单片机运行时		-40~85 / -40~125 (注2)	℃
		闪存写擦除时		0~60	
T <sub>stg</sub>	保存温度			-65~150	℃

注1. 80引脚引脚版的P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1没有连接到外部。

注2. T版为-40℃~85℃, V版为-40℃~125℃。

表 23.49 推荐运行条件 (注 1)

符号	项目		额定值			单位
			最小	标准	最大	
V <sub>CC1</sub> , V <sub>CC2</sub>	电源电压 (V <sub>CC1</sub> =V <sub>CC2</sub> )		4.0	5.0	5.5	V
AV <sub>CC</sub>	模拟电源电压			V <sub>CC1</sub>		V
V <sub>SS</sub>	电源电压			0		V
AV <sub>SS</sub>	模拟电源电压			0		V
V <sub>IH</sub>	“H”电平 输入电压	P3_1~P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、P13_0~P13_7	0.8V <sub>CC2</sub>		V <sub>CC2</sub>	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0(单芯片模式时)	0.8V <sub>CC2</sub>		V <sub>CC2</sub>	V
		P6_0~P6_7、P7_2~P7_7、P8_0~P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P14_0、P14_1、XIN、RESET、CNVSS、BYTE	0.8V <sub>CC1</sub>		V <sub>CC1</sub>	V
		P7_0、P7_1	0.8V <sub>CC1</sub>		6.5	V
V <sub>IL</sub>	“L”电平 输入电压	P3_1~P3_7、P4_0~P4_7、P5_0~P5_7、P12_0~P12_7、P13_0~P13_7	0		0.2V <sub>CC2</sub>	V
		P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0(单芯片模式时)	0		0.2V <sub>CC2</sub>	V
		P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_7、 P10_0~P10_7、P11_0~P11_7、P14_0、P14_1、 XIN、RESET、CNVSS、BYTE	0		0.2V <sub>CC1</sub>	V
I <sub>OH</sub> (peak)	峰值“H”电平 输出电流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_2~P7_7、 P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P12_0~P12_7、P13_0~P13_7、P14_0、P14_1			-10.0	mA
I <sub>OH</sub> (avg)	平均“H”电平 输出电流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_2~P7_7、 P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P12_0~P12_7、P13_0~P13_7、P14_0、P14_1			-5.0	mA
I <sub>OL</sub> (peak)	峰值“L”电平 输出电流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、 P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P12_0~P12_7、P13_0~P13_7、P14_0、P14_1			10.0	mA
I <sub>OL</sub> (avg)	平均“L”电平 输出电流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、 P8_0~P8_4、P8_6、P8_7、P9_0~P9_7、P10_0~P10_7、 P11_0~P11_7、P12_0~P12_7、P13_0~P13_7、P14_0、P14_1			5.0	mA
f(XIN)	主时钟输入振荡频率	V <sub>CC1</sub> =4.0~5.5V	0		16	MHz
f(XCIN)	副时钟振荡频率			32.768	50	kHz
f(Ring)	内部振荡器振荡频率		0.5	1	2	MHz
f(PLL)	PLL时钟振荡频率	V <sub>CC1</sub> =4.0~5.5V	10		24	MHz
f(BCLK)	CPU运行频率		0		24	MHz
t <sub>su</sub> (PLL)	PLL频率合成器稳定等待时间	V <sub>CC1</sub> =5.0V			20	ms

注1. 不指定时, V<sub>CC1</sub>=V<sub>CC2</sub>=4.0V~5.5V、T<sub>opr</sub>=-40~85℃/-40~125℃。  
T版为-40℃~85℃, V版为-40℃~125℃。

注2. 平均输出电流为100ms期间的平均值。

注3. 必须使端口P0、P1、P2、P8\_6、P8\_7、P9、P10、P11、P14\_0、P14\_1的I<sub>OL</sub>(peak)总计在80mA以下; 端口P3、P4、P5、P6、P7、P8\_0~P8\_4、P12、P13的I<sub>OL</sub>(peak)总计在80mA以下; 端口P0、P1、P2的I<sub>OH</sub>(peak)总计在-40mA以下; 端口P3、P4、P5、P12、P13的I<sub>OH</sub>(peak)总计在-40mA以下; 端口P6、P7、P8\_0~P8\_4的I<sub>OH</sub>(peak)总计在-40mA以下; 端口P8\_6、P8\_7、P9、P10、P11、P14\_0、P14\_1的I<sub>OH</sub>(peak)总计在-40mA以下。另外, 80引脚版只有1个V<sub>CC</sub>、V<sub>SS</sub>, 必须使全端口I<sub>OL</sub>(peak)总计和I<sub>OH</sub>(peak)总计在80mA以下。

注4. 80引脚版的P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1没有连接到外部。

表 23.50 A/D转换特性 (注1)

符号	项目		测定条件	额定值			单位
				最小	标准	最大	
-	分辨率		VREF=VCC1			10	Bits
INL	积分非线性误差	10bit	VREF=VCC1=5V ANO ~ AN7 输入 ANO_0 ~ AN0_7 输入 AN2_0 ~ AN2_7 输入 ANEX0、ANEX1 输入 外部运算放大器连接模式			± 3	LSB
		8bit	VREF=VCC1=5.0V			± 2	LSB
-	绝对精度	10bit	VREF=VCC1=5V ANO ~ AN7 输入 ANO_0 ~ AN0_7 输入 AN2_0 ~ AN2_7 输入 ANEX0、ANEX1 输入 外部运算放大器连接模式			± 3	LSB
		8bit	VREF=VCC1=5.0V			± 2	LSB
-	容许信号源阻抗				3		kΩ
DNL	微分非线性误差					± 1	LSB
-	偏移误差					± 3	LSB
-	增益误差					± 3	LSB
RLADDER	梯形电阻		VREF=VCC1	10		40	kΩ
tCONV	转换时间 (10bit)、有采样&保持		VREF=VCC1=5V、φ AD=12MHz	2.75			μs
tCONV	转换时间 (8bit)、有采样&保持		VREF=VCC1=5V、φ AD=12MHz	2.33			μs
tSAMP	采样时间			0.25			μs
VREF	基准电压			2.0		VCC1	V
VIA	模拟输入电压			0		VREF	V

注1. 不指定时, VCC1= AVCC = VREF = 3.3 ~ 5.5V、VSS=AVSS = 0V、Topr = -40 ~ 85 °C / -40 ~ 85 °C。

T版为 -40 °C ~ 85 °C, V版为 -40 °C ~ 125 °C。

注2. φ AD 的频率必须在 12MHz 以下。

没有采样&保持时, 除了注2的限制以外, φ AD 的频率必须在 250kHz 以上。

有采样&保持时, 除了注2的限制以外, φ AD 的频率必须在 1MHz 以上。

表 23.51 D/A转换特性 (注1)

符号	项目	测定条件	额定值			单位
			最小	标准	最大	
-	分辨率				8	Bits
-	绝对精度				1.0	%
t <sub>su</sub>	设定时间				3	μs
R <sub>o</sub>	输出电阻		4	10	20	kΩ
I <sub>VREF</sub>	基准电源输入电流	(注2)			1.5	mA

注1. 不指定时, VCC1=VREF=4.0 ~ 5.5V、VSS=AVSS=0V、Topr = -40 ~ 85 °C / -40 ~ 125 °C。

T版为 -40 °C ~ 85 °C, V版为 -40 °C ~ 125 °C。

注2. 为使用1个D/A转换器或者不使用D/A转换器的D/A寄存器的值为“00h”的情况。A/D转换器的梯形电阻除外。另外, 即使A/D控制寄存器的内容为Vref未连接时, 也存在D/A转换器的I<sub>VREF</sub>。

表 23.52 闪存的电气特性 (注1. 注10. 注11) 100次产品 (B、U)

符号	项目	额定值			单位
		最小	标准	最大	
-	编程、擦除次数 (注3)	100			次
-	字编程时间 ( $V_{CC1} = 5.0V$ )		25	200	$\mu s$
-	锁住位编程时间		25	200	$\mu s$
-	块擦除时间 ( $V_{CC1} = 5.0V$ )	4K字节块	0.3	4	s
		8K字节块	0.3	4	s
		32K字节块	0.5	4	s
		64K字节块	0.8	4	s
-	擦除全部非锁住块时间 (注2)			$4 \times n$	s
tPS	闪存电路稳定等待时间			15	$\mu s$
-	数据保持时间 (注5)	20			年

表 23.53 闪存的电气特性 (注6. 注10. 注11)  
10,000次产品 (B7、U7) (块A、块1 (注7))

符号	项目	额定值			单位
		最小	标准	最大	
-	编程、擦除次数 (注3、8、9)	10,000 (注4)			次
-	字编程时间 ( $V_{CC1} = 5.0V$ )		25		$\mu s$
-	锁住位编程时间		25		$\mu s$
-	块擦除时间 ( $V_{CC1} = 5.0V$ )	4K字节块	0.3		s
tPS	闪存电路稳定等待时间			15	$\mu s$
-	数据保持时间 (注5)	20			年

注1. 不指定时,  $V_{CC1} = 4.5 \sim 5.5V$ 、 $T_{opr} = 0 \sim 60^\circ C$  (B、U)。

注2. n为擦除的块数。

注3. 编程、擦除次数的定义

编程、擦除次数为各块的擦除次数。

编程、擦除次数为n次 (n=100、1,000、10,000) 时, 能按块分别擦除n次。

例如, 对4K字节的块A的不同地址进行2,048次的1个字的写操作后擦除此块, 编程/擦除次数就被计为1次。但是, 对于1次的擦除, 不能对同一地址进行多次写操作 (禁止重写)。

注4. 是保证编程/擦除后的所有电气特性的最小次数 (保证值为1~“最小”值的范围)。

注5. 条件是 $T_a$  (工作环境温度) =  $55^\circ C$ 。在此条件外的数据保护时间请参照瑞萨科技公司、瑞萨销售及特约经销商咨询。

注6. 不指定时,  $V_{CC1} = 4.5 \sim 5.5V$ 、 $T_{opr} = -40 \sim 85^\circ C$  (B7、U7 (T版)) /  $-40 \sim 125^\circ C$  (B7、U7 (V版))。

注7. 是编程、擦除次数超过1,000次时的块A和块1的规格。

对于1,000次为止的字编程时间、块擦除时间, 其全部块与100次产品相同。

注8. 对于进行多次改写的系统, 作为有效地减少改写次数的方法, 采取错开写地址等手段, 在进行尽可能不留有空区的编程 (写) 后, 执行1次擦除。例如, 进行1组8字的编程时, 如果在进行最大256组的写操作后执行1次擦除, 就能有效地减少改写次数。并且, 如果均衡地进行块A和块1的擦除, 就能更有效地减少改写次数。建议记录各块擦除次数的信息以及设置限制次数。

注9. 块擦除发生擦除错误时, 必须在擦除错误消失前至少执行3次的清除状态寄存器命令→块擦除命令。

注10. 进行100次以上的改写时 (B7、U7), 必须将PM1寄存器的PM17位置“1” (有等待)。

注11. 有关故障率, 请向瑞萨有关公司查询。

表 23.54 闪存的写/擦除电压和读工作电压特性

( $T_{opr} = 0 \sim 60^\circ C$  (B、U)、 $T_{opr} = -40 \sim 85^\circ C$  (B7、U7 (T版)) /  $-40 \sim 125^\circ C$  (B7、U7 (V版)))

闪存的写、擦除电压	闪存的读工作电压
$V_{CC1} = 5.0 \pm 0.5V$	$V_{CC1} = 4.0 \sim 5.5V$

表 23.55 电源电路的时序特性

符号	项目	测定条件	额定值			单位
			最小	标准	最大	
$t_d(P-R)$	接通电源时内部电源稳定时间	$V_{CC1}=4.0 \sim 5.5V$			2	ms
$t_d(R-S)$	STOP解除时间				150	$\mu s$
$t_d(W-S)$	低功耗模式等待模式解除时间				150	$\mu s$

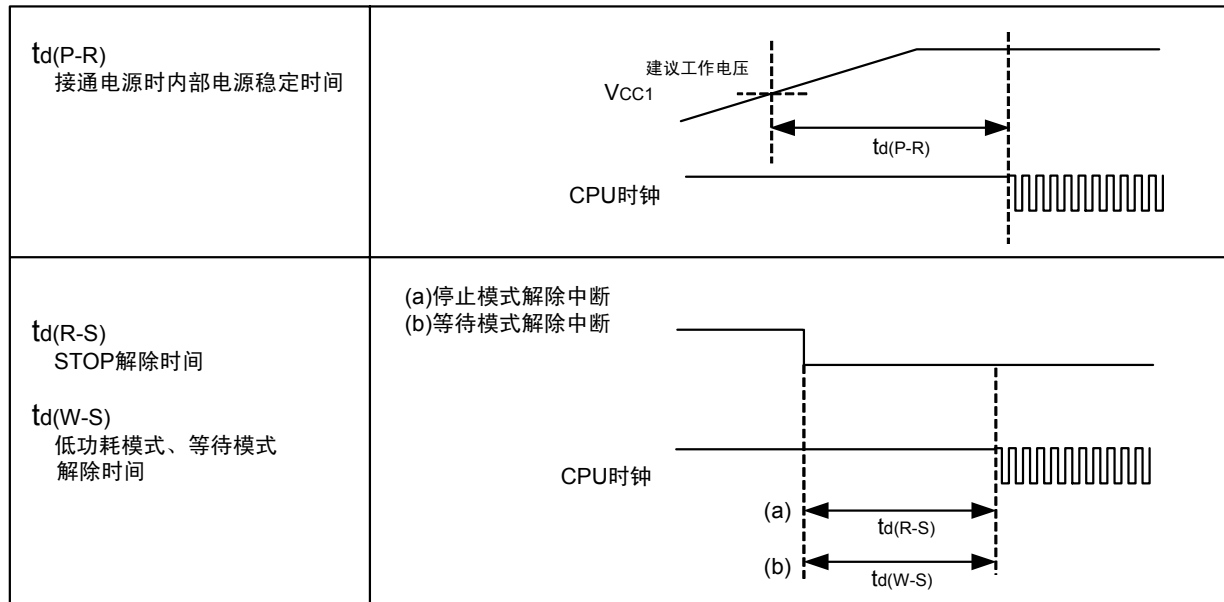


图 23.22 电源电路的时序图

$$V_{CC1}=V_{CC2}=5V$$

表 23.56 电气特性 (1) (注1)

符号	项目		测定条件	额定值			单位
				最小	标准	最大	
V <sub>OH</sub>	“H”电平 输出电压	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	I <sub>OH</sub> =-5mA	V <sub>CC1</sub> -2.0		V <sub>CC1</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	I <sub>OH</sub> =-5mA(注2)	V <sub>CC2</sub> -2.0		V <sub>CC2</sub>	
V <sub>OH</sub>	“H”电平 输出电压	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	I <sub>OH</sub> =-200μA	V <sub>CC1</sub> -0.3		V <sub>CC1</sub>	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	I <sub>OH</sub> =-200μA(注2)	V <sub>CC2</sub> -0.3		V <sub>CC2</sub>	
V <sub>OH</sub>	“H”电平输出电压 XOUT	HIGHPOWER	I <sub>OH</sub> =-1mA	V <sub>CC1</sub> -2.0		V <sub>CC1</sub>	V
		LOWPOWER	I <sub>OH</sub> =-0.5mA	V <sub>CC1</sub> -2.0		V <sub>CC1</sub>	
	“H”电平输出电压 XCOUT	HIGHPOWER	无负载时		2.5		V
		LOWPOWER	无负载时		1.6		
V <sub>OL</sub>	“L”电平 输出电压	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	I <sub>OL</sub> =5mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	I <sub>OL</sub> =5mA(注2)			2.0	
V <sub>OL</sub>	“L”电平 输出电压	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	I <sub>OL</sub> =200μA			0.45	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	I <sub>OL</sub> =200μA(注2)			0.45	
V <sub>OL</sub>	“L”电平输出电压 XOUT	HIGHPOWER	I <sub>OL</sub> =1mA			2.0	V
		LOWPOWER	I <sub>OL</sub> =0.5mA			2.0	
	“L”电平输出电压 XCOUT	HIGHPOWER	无负载时		0		V
		LOWPOWER	无负载时		0		
V <sub>T+</sub> -V <sub>T-</sub>	滞后	HOLD, RDY, TAO <sub>IN</sub> ~TA <sub>4IN</sub> , TBO <sub>IN</sub> ~TB <sub>5IN</sub> , INTO~INT <sub>5</sub> , NM1, ADTRG, CTS <sub>0</sub> ~CTS <sub>2</sub> , SCL <sub>0</sub> ~SCL <sub>2</sub> , SDA <sub>0</sub> ~SDA <sub>2</sub> , CLK <sub>0</sub> ~CLK <sub>4</sub> , TAO <sub>OUT</sub> ~TA <sub>4OUT</sub> , K1 <sub>0</sub> ~K1 <sub>3</sub> , RXD <sub>0</sub> ~RXD <sub>2</sub> , SIN <sub>3</sub> , SIN <sub>4</sub>		0.2		1.0	V
V <sub>T+</sub> -V <sub>T-</sub>	滞后	RESET		0.2		2.5	V
I <sub>IH</sub>	“H”电平 输入电流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~ P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =5V			5.0	μA
I <sub>IL</sub>	“H”电平 输入电流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V <sub>I</sub> =0V			-5.0	μA
R <sub>PULLUP</sub>	上拉电阻	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1	V <sub>I</sub> =0V	30	50	170	kΩ
R <sub>F<sub>XIN</sub></sub>	反馈电阻 XIN				1.5		MΩ
R <sub>F<sub>XIN</sub></sub>	反馈电阻 XCIN				15		MΩ
V <sub>RAM</sub>	RAM保持电压		停止模式时	2.0			V

注1. 不指定时, V<sub>CC1</sub>=V<sub>CC2</sub>=4.0~5.5V、V<sub>SS</sub>=0V、T<sub>opr</sub>=-40~85℃/-40~125℃、f(BCLK)=24MHz。  
T版为-40℃~85℃, V版为-40℃~125℃。

注2. 80引脚版的P1\_0~P1\_7、P4\_4~P4\_7、P7\_2~P7\_5、P9\_1没有连接到外部。



VCC1=VCC2=5V

表23.57 电气特性 (2) (注1)

符号	项目		测定条件		额定值			单位
					最小	标准	最大	
I <sub>cc</sub>	电源电流 (VCC1=4.0~5.5V)	单芯片模式、 输出引脚开路、 其它引脚为Vss	掩模型ROM	f(BCLK)=24MHz PLL运行时, 无分频		14	20	mA
				内部振荡器振荡运行时 无分频		1		mA
			闪存	f(BCLK)=24MHz PLL运行时, 无分频		18	27	mA
				内部振荡器振荡运行时 无分频		1.8		mA
			闪存编程	f(BCLK)=10MHz VCC1=5.0V		15		mA
			闪存擦除	f(BCLK)=10MHz VCC1=5.0V		25		mA
			掩模型ROM	f(XC1N)=32kHz 低功耗模式时 ROM(注3)		25		μA
			闪存	f(BCLK)=32kHz 低功耗模式时 RAM(注3)		25		μA
				f(BCLK)=32kHz 低功耗模式时 闪存(注3)		420		μA
				内部振荡器振荡运行、 等待模式时		50		μA
			掩模型ROM、 闪存	f(BCLK)=32kHz 等待模式时(注2) 振荡能力High		7.5		μA
				f(BCLK)=32kHz 等待模式时(注2) 振荡能力Low		2.0		μA
				停止模式时 T <sub>opr</sub> =25℃		2.0	6.0	μA
				停止模式时 T <sub>opr</sub> =85℃			20	μA
				停止模式时 T <sub>opr</sub> =125℃(注4)			TBD	μA

注1. 不指定时, VCC1=VCC2=4.0~5.5V、VSS=0V、T<sub>opr</sub>=-40~85℃/-40~125℃、f(BCLK)=24MHz。  
T版为-40℃~85℃, V版为-40℃~125℃。

注2. 通过fC32使1个定时器运行的状态。

注3. 表示存在执行程序的存储器。

注4. TBD: To Be Determined

$$V_{CC1}=V_{CC2}=5V$$

时序必要条件

(不指定时,  $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85\text{ }^{\circ}\text{C}$  (T版)/ $-40\sim 125\text{ }^{\circ}\text{C}$  (V版))

表 23. 58 外部时钟输入 (XIN输入)

符号	项目	额定值		单位
		最小	最大	
$t_c$	外部时钟输入周期时间	62.5		ns
$t_{w(H)}$	外部时钟输入“H”电平脉宽	25		ns
$t_{w(L)}$	外部时钟输入“L”电平脉宽	25		ns
$t_r$	外部时钟上升时间		15	ns
$t_f$	外部时钟下降时间		15	ns

$$V_{CC1}=V_{CC2}=5V$$

时序必要条件

(不指定时,  $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$  (T版)/ $-40\sim 125^{\circ}C$  (V版))

表 23.59 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	100		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	40		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	40		ns

表 23.60 定时器 A 输入 (定时器模式的增益输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	400		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	200		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	200		ns

表 23.61 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	200		ns
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	100		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	100		ns

表 23.62 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_w(TAH)$	TAi IN 输入 “H” 电平脉宽	100		ns
$t_w(TAL)$	TAi IN 输入 “L” 电平脉宽	100		ns

表 23.63 定时器 A 输入 (事件计数器模式的增减输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(UP)$	TAi OUT 输入周期时间	2000		ns
$t_w(UPH)$	TAi OUT 输入 “H” 电平脉宽	1000		ns
$t_w(UPL)$	TAi OUT 输入 “L” 电平脉宽	1000		ns
$t_{su}(UP-TIN)$	TAi OUT 输入准备时间	400		ns
$t_h(TIN-UP)$	TAi OUT 输入保持时间	400		ns

表 23.64 定时器 A 输入 (事件计数器模式的二相脉冲输入)

符号	项目	额定值		单位
		最小	最大	
$t_c(TA)$	TAi IN 输入周期时间	800		ns
$t_{su}(TAiN-TAOUT)$	TAi OUT 输入准备时间	200		ns
$t_{su}(TAOUT-TAiN)$	TAi IN 输入准备时间	200		ns

$$V_{CC1}=V_{CC2}=5V$$

时序必要条件

(不指定时,  $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$  (T版)/ $-40\sim 125^{\circ}C$  (V版))

表 23. 65 定时器B输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_c$ (TB)	TBi IN输入周期时间 (单边沿计数)	100		ns
$t_w$ (TBH)	TBi IN输入 “H” 电平脉宽 (单边沿计数)	40		ns
$t_w$ (TBL)	TBi IN输入 “L” 电平脉宽 (单边沿计数)	40		ns
$t_c$ (TB)	TBi IN输入周期时间 (双边沿计数)	200		ns
$t_w$ (TBH)	TBi IN输入 “H” 电平脉宽 (双边沿计数)	80		ns
$t_w$ (TBL)	TBi IN输入 “L” 电平脉宽 (双边沿计数)	80		ns

表 23. 66 定时器B输入 (脉冲周期测定模式)

符号	项目	额定值		单位
		最小	最大	
$t_c$ (TB)	TBi IN输入周期时间	400		ns
$t_w$ (TBH)	TBi IN输入 “H” 电平脉宽	200		ns
$t_w$ (TBL)	TBi IN输入 “L” 电平脉宽	200		ns

表 23. 67 定时器B输入 (脉宽测定模式)

符号	项目	额定值		单位
		最小	最大	
$t_c$ (TB)	TBi IN输入周期时间	400		ns
$t_w$ (TBH)	TBi IN输入 “H” 电平脉宽	200		ns
$t_w$ (TBL)	TBi IN输入 “L” 电平脉宽	200		ns

表 23. 68 A/D触发输入

符号	项目	额定值		单位
		最小	最大	
$t_c$ (AD)	ADTRG输入周期时间 (触发可能最小)	1000		ns
$t_w$ (ADL)	ADTRG输入 “L” 电平脉宽	125		ns

表 23. 69 串行接口

符号	项目	额定值		单位
		最小	最大	
$t_c$ (OK)	CLKi 输入周期时间	200		ns
$t_w$ (OKH)	CLKi 输入 “H” 电平脉宽	100		ns
$t_w$ (OKL)	CLKi 输入 “L” 电平脉宽	100		ns
$t_d$ (O-Q)	TXDi 输出延迟时间		80	ns
$t_h$ (O-Q)	TXDi 保持时间	0		ns
$t_{su}$ (D-C)	RXDi 输入准备时间	70		ns
$t_h$ (O-D)	RXDi 输入保持时间	90		ns

表 23. 70 外部中断 INTi 输入

符号	项目	额定值		单位
		最小	最大	
$t_w$ (INH)	INTi 输入 “H” 电平脉宽	250		ns
$t_w$ (INL)	INTi 输入 “L” 电平脉宽	250		ns

$V_{CC1}=V_{CC2}=5V$ 

时序必要条件

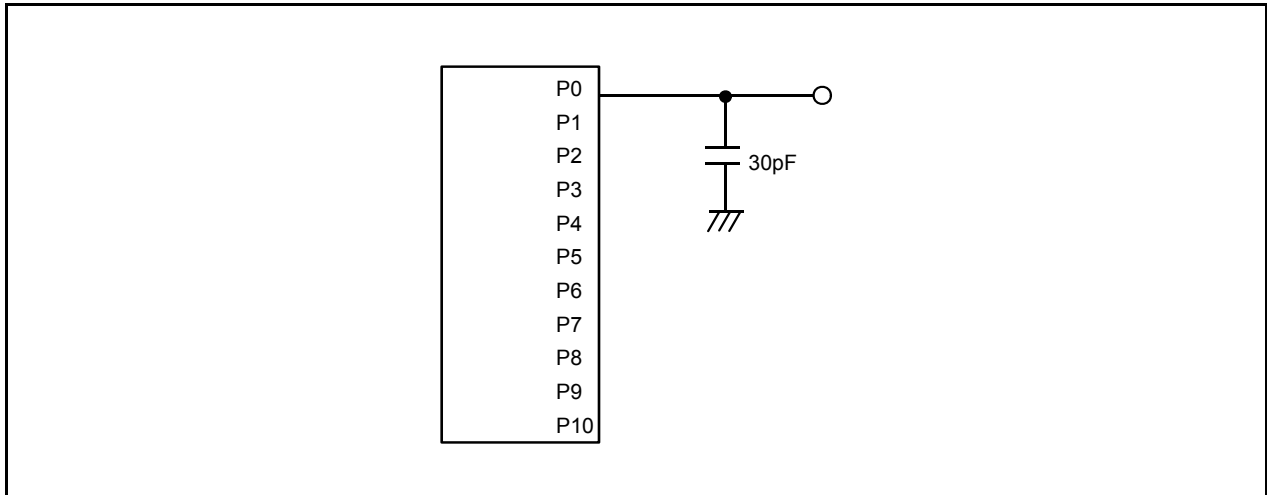
(不指定时,  $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$  (T版)/ $-40\sim 125^{\circ}C$  (V版))

图 23. 23 端口 P0 ~ P10 的测定电路

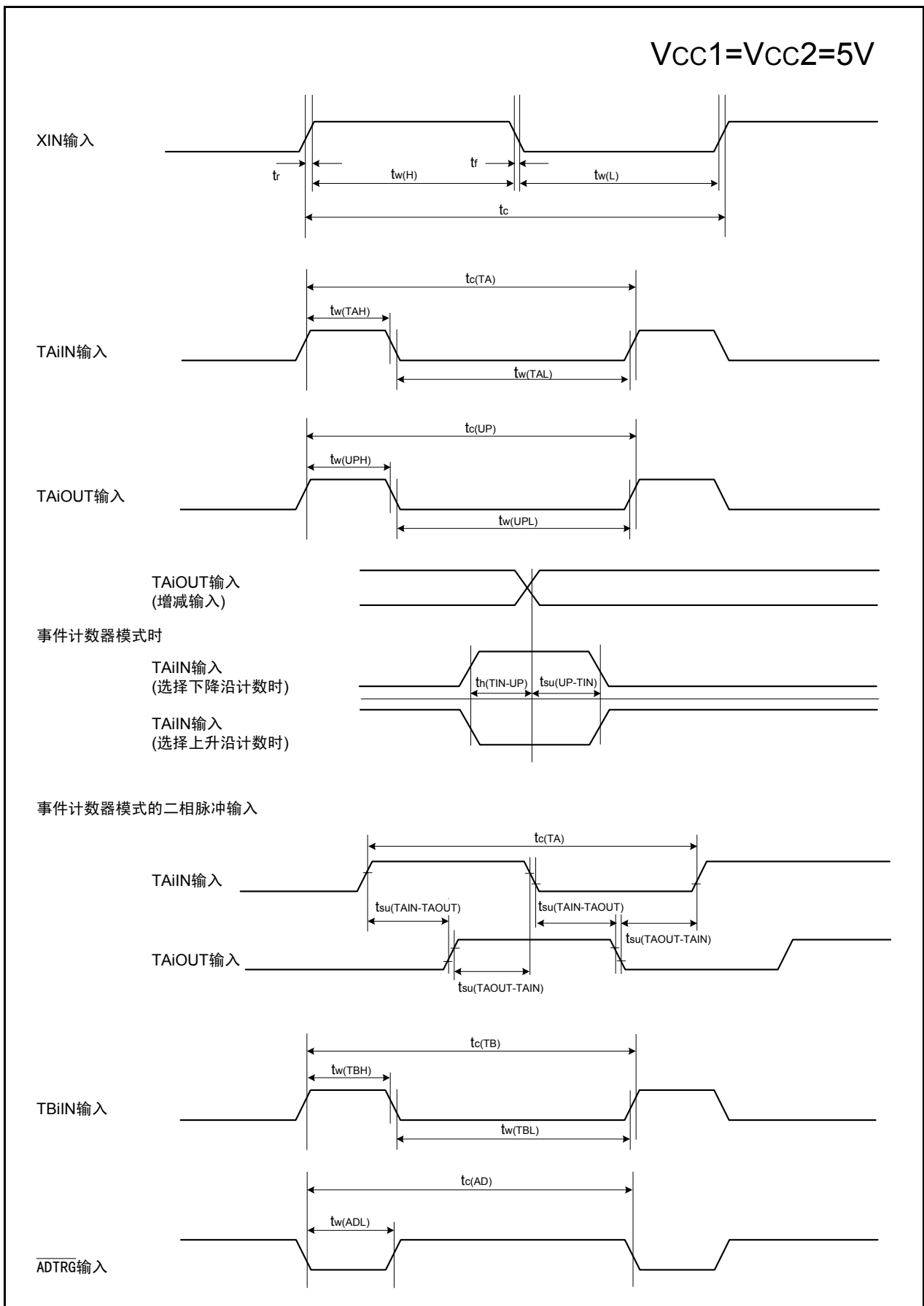


图 23.24 时序图 (1)

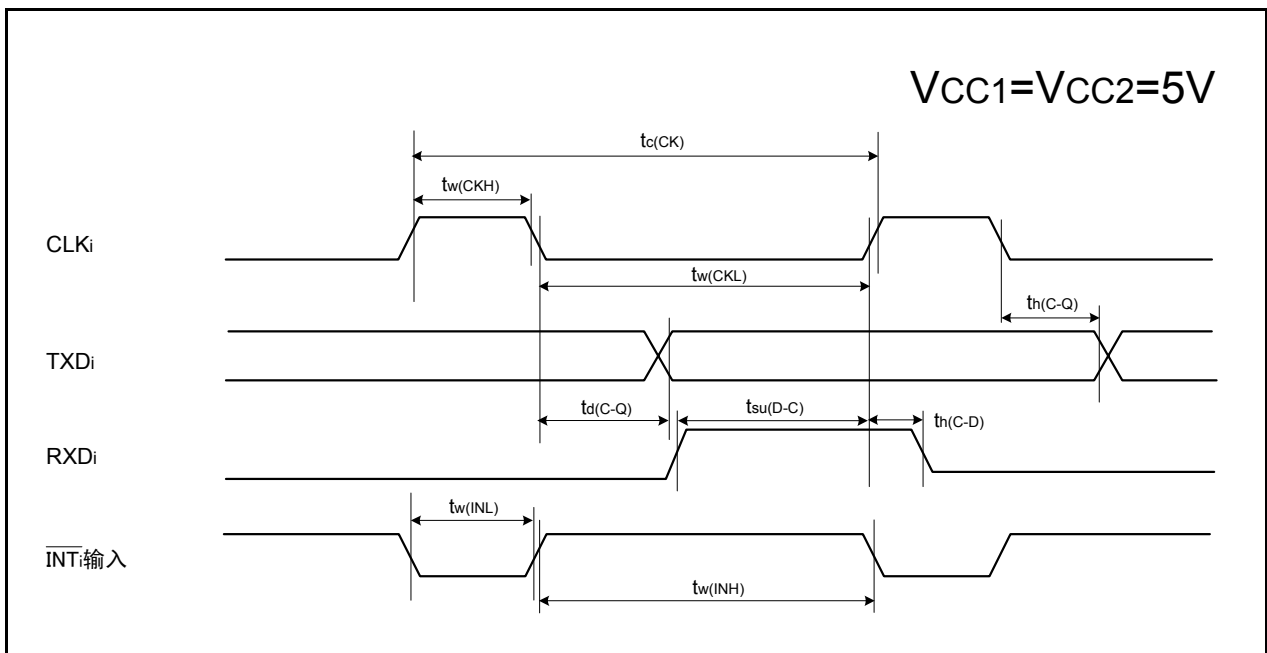


图 23.25 时序图 (2)





## 24. 使用注意事项

### 24.1 SFR

#### 24.1.1 寄存器设定时的注意事项

表 24.1 表示包含了仅可以写入位的寄存器。请给这些寄存器设定立即地址。如果通过对上一次的值对下一个值进行加工来决定下一个值，请将写入寄存器的值也写入 RAM，在下一个值将 RAM 的值更改后，再传送到寄存器。

表 24.1 包含了仅能写入位的寄存器

寄存器名	符号	地址
看门狗定时器启动寄存器	WDC	000E
定时器A1-1寄存器	TA11	0343 ~ 0342
定时器A2-1寄存器	TA21	0345 ~ 0344
定时器A4-1寄存器	TA41	0347 ~ 0346
死区时间定时器	DTT	034C
定时器B2中断发生频率设定计数器	ICTB2	034D
S1/03位速率寄存器	S3BRG	0363
S1/04位速率寄存器	S4BRG	0367
UART0位速率寄存器	U0BRG	03A1
UART1位速率寄存器	U1BRG	03A9
UART2位速率寄存器	U2BRG	0379
UART0发送缓冲寄存器	U0TB	03A3 ~ 03A2
UART1发送缓冲寄存器	U1TB	03AB ~ 03AA
UART2发送缓冲寄存器	U2TB	037B ~ 037A
递增/递减标志	UDF	0384
定时器A0寄存器	TA0	0387 ~ 0386
定时器A1寄存器	TA1	0389 ~ 0388
定时器A2寄存器	TA2	038B ~ 038A
定时器A3寄存器	TA3	038D ~ 038C
定时器A4寄存器	TA4	038F ~ 038E

## 24.2 复位

接通电源时等、VCC1引脚的输入电压必须满足SVCC规格。

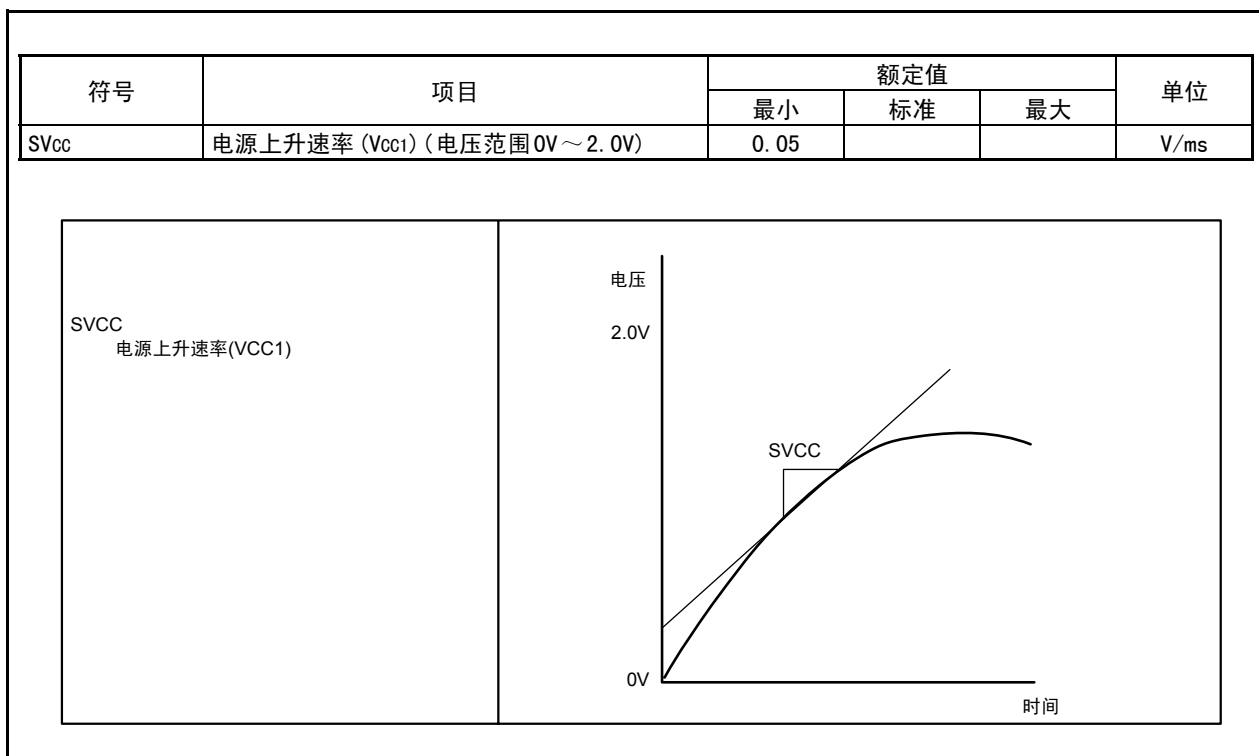


图 24.1 SVCC的时序图

### 24.3 外部总线

- 由于ROM外接版为微处理器模式专用，所以CNVSS引脚必须连接到VCC1。
- 如果CNVSS引脚接“H”电平进行硬件复位（硬件复位1或者低电压检测复位（硬件复位2）），就不能读取内部ROM。

### 24.4 在使用PLL频率合成器时

在使用PLL频率合成器时，必须满足电源纹波规格，使电源电压稳定。

符号	项目	额定值			单位
		最小	标准	最大	
$f(\text{ripple})$	电源纹波容许频率 (VCC1)			10	kHz
$V_{p-p}(\text{ripple})$	电源纹波容许振幅电压	(VCC1=5V时)		0.5	V
		(VCC1=3V时)		0.3	V
$V_{CC}( \Delta V/\Delta T )$	纹波上升/下降斜率	(VCC1=5V时)		0.3	V/ms
		(VCC1=3V时)		0.3	V/ms

$f(\text{ripple})$   
电源纹波容许频率(VCC1)

$V_{p-p}(\text{ripple})$   
电源纹波容许振幅电压

图 24.2 电源纹波的时序图

## 24.5 功耗控制

- 通过复位从停止模式返回时，在主时钟的振荡充分稳定前，必须给RESET引脚输入“L”电平。
- 使用定时器A从停止模式返回时，必须将TAiMR寄存器(i=0~4)的MR0位置“0”(无脉冲输出)。
- 在转移到等待模式时，必须在WAIT指令前插入JMP.B指令。在JMP.B指令和WAIT指令之间，不能执行对RAM进行写操作的指令。在JMP.B指令和WAIT指令之间有可能发生DMA传送时，必须禁止DMA传送。另外，必须在WAIT指令的后面插入至少4条NOP指令。在进入等待模式且程序停止运行前，由于指令队列已经预先读取了WAIT指令后面的几个指令运行，所以根据指令的组合和执行时序，在进入等待模式前有可能执行下一条指令。

转移到等待模式时的程序例子如下所示：

```
例：          JMP.B      L1          ; 在WAIT指令前插入JMP.B指令
          L1:
              FSET      I          ;
              WAIT     ; 转移到等待模式
              NOP      ; 插入至少4条NOP指令
              NOP
              NOP
              NOP
```

- 转移到停止模式时，要在将CM1寄存器的CM10位置“1”的指令后紧跟一条JMP.B指令，然后插入至少4条NOP指令。在转移到停止模式时，由于指令队列预先读取到将CM10位置“1”(停止所有时钟)的指令后面的指令，所以在进入停止模式前有可能执行预先读取的指令，也有可能是在执行解除停止模式的中断程序之前执行预先读取的指令。

转移到停止模式时的程序例子如下所示：

```
例：          FSET      I
              BSET     0, CM1      ; 转移到停止模式
              JMP.B   L2          ; 插入JMP.B指令
          L2:
              NOP      ; 插入至少4条NOP指令
              NOP
              NOP
              NOP
```

- 将CPU时钟的时钟源切换到主时钟时，必须在等待主时钟振荡稳定后切换。  
将CPU时钟的时钟源切换到副时钟时，必须在等待副时钟振荡稳定后切换。

- 减小功耗的要点

以下为减小功耗的要点。请在设计系统和编制程序时参考。

**【端口】**

即使转移到等待模式或者停止模式，I/O 端口也会保持其原来的状态。激活状态的输出端口有电流流过。为高阻抗状态的输入端口有穿透电流流过。所以，必须事先将不需要的端口设定为输入端口，固定成稳定的电位，然后转移到等待模式或者停止模式。

**【A/D转换器】**

不进行A/D转换时，必须将ADCON1寄存器的VCUT位置“0”（Vref未连接）。另外，进行A/D转换时，必须在将VCUT位置“1”（Vref连接）后等待1 μs以后，才能开始A/D转换。

**【D/A转换器】**

不进行D/A转换时，必须将DACON寄存器的DAiE位（i = 0~1）置“0”（禁止输出），并且将DAi寄存器置“00h”。

**【停止外围功能】**

在等待模式时，必须通过CM0寄存器的CM02位将不必要的外围功能停止。

但是，由于副时钟生成的外围功能时钟（fC32）不停止运行，所以不会降低功耗。从低速模式或者低功耗模式转移到等待模式时，必须在将CM02位置“0”（等待模式时，外围功能时钟不停止运行）后转移到等待模式。

**【切换振荡驱动能力】**

振荡处于稳定状态时，必须将驱动能力置为“LOW”。

## 24.6 保护

如果在将PRC2位置“1”（写允许状态）后对任意地址进行写操作，PRC2位就变为“0”（写禁止状态）。必须通过将PRC2位置“1”后的下一条指令更改PRC2位保护的寄存器。在将PRC2位置“1”的指令和下一条指令之间，不能发生中断或者DMA传送。

## 24.7 中断

### 24.7.1 读取00000h地址单元

不要在程序中读00000h地址。在接受可屏蔽中断的中断请求时，CPU从00000h地址读取中断响应顺序中的中断信息（中断号和中断请求级）。此时，接受的中断的IR位为“0”。

如果在程序中读00000h地址，在被允许的中断中优先级最高的中断的IR位为“0”。此时，就有可能取消中断或者产生预想外的中断请求。

### 24.7.2 SP的设置

在接受中断前，必须给SP(USP、ISP)设定值。在复位后，SP(USP、ISP)为“0000h”。因此，如果在给SP(USP、ISP)设定值前接受中断，是程序失控的一个重要原因。

特别是在使用NMI中断时，必须在程序的开头给ISP设定值。限于复位后的开始的1条指令，禁止包含NMI中断的所有中断。

### 24.7.3 $\overline{\text{NMI}}$ 中断

- 不能禁止 $\overline{\text{NMI}}$ 中断。不使用时，必须将 $\overline{\text{NMI}}$ 引脚经电阻连接到VCC1（上拉）。
- 通过读P8寄存器的P8\_5位，可读取 $\overline{\text{NMI}}$ 引脚的值。只能在 $\overline{\text{NMI}}$ 中断程序中判断引脚的电平时读取P8\_5位。
- $\overline{\text{NMI}}$ 引脚为“L”电平时，不能转移到停止模式。如果 $\overline{\text{NMI}}$ 引脚为“L”电平，CM1寄存器的CM10位就被固定为“0”。
- $\overline{\text{NMI}}$ 引脚为“L”电平时，不能转移到等待模式。如果 $\overline{\text{NMI}}$ 引脚为“L”电平，即使CPU停止运行，CPU时钟也不停止，所以不减少功耗。在这种情况下，能通过此后的中断进行正常返回。
- $\overline{\text{NMI}}$ 引脚输入的信号的“L”和“H”电平宽度都必须在CPU时钟的2周期+300ns以上。

### 24.7.4 中断源的变更

如果更改中断源，中断控制寄存器的IR位就可能为“1”（有中断请求）。使用中断时，必须在更改中断源后将IR位置“0”（无中断请求）。

另外，在此所说的中断源变更包含更改分配在各软件中断号中的中断源、极性及时序的所有要素。因此，变更与中断源、极性及时序有关的外围功能的模式时，必须在更改这些内容后将IR位置“0”（无中断请求）。有关外围功能的中断，请参照各外围功能。

中断源的变更步骤例子如图24.3所示。

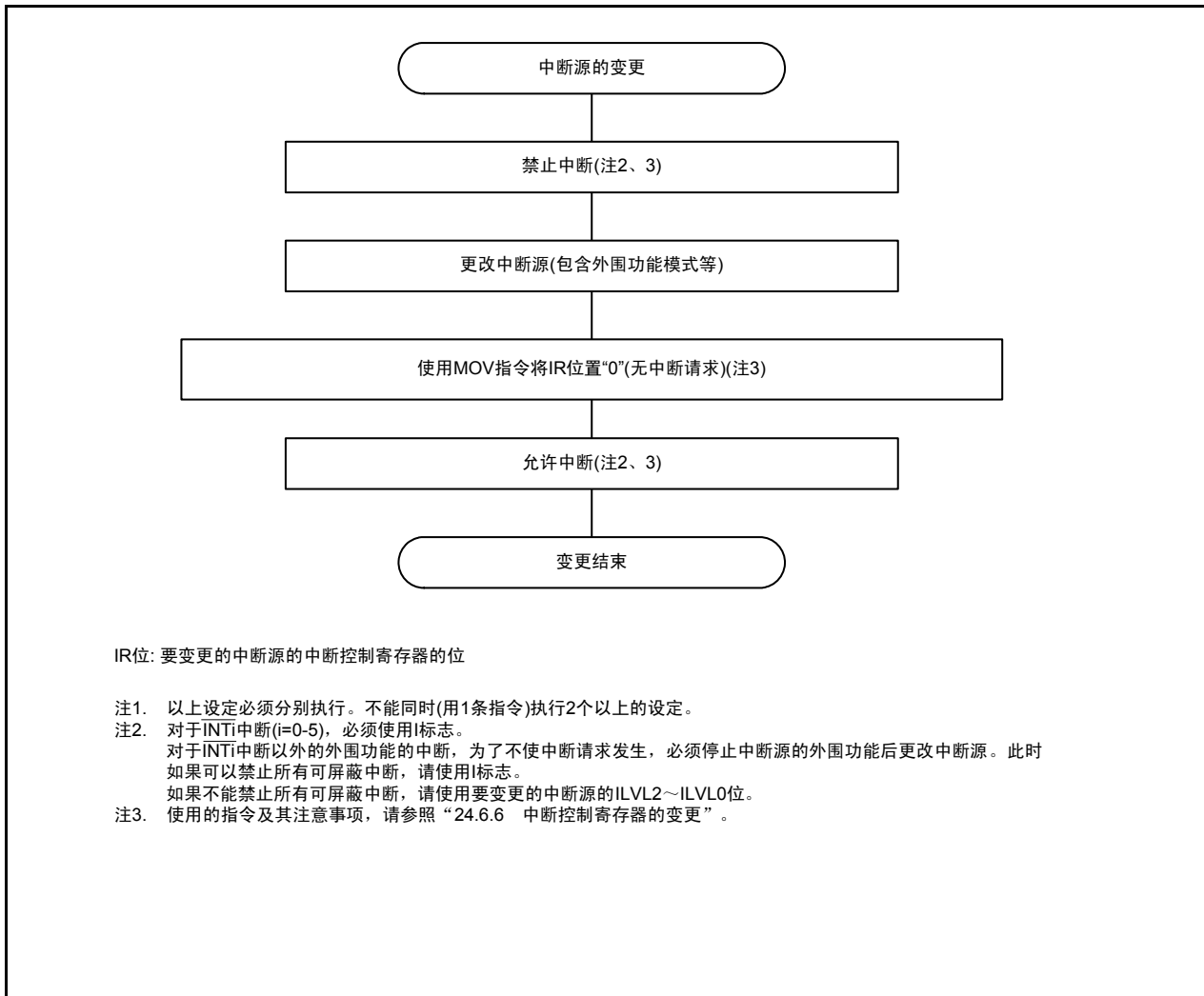


图24.3 中断源的变更步骤例子

### 24.7.5 INT 中断

- INT0 ~ INT5 引脚输入的信号与CPU时钟无关，需要  $t_w(\text{INL})$  以上的“L”电平宽度或者  $t_w(\text{INH})$  以上的“H”电平宽度。
- 如果更改INT0IC ~ INT5IC寄存器的POL位和IFSR寄存器的IFSR7 ~ IFSR0位，IR位就可能为“1”（有中断请求）。所以必须在更改这些位后将IR位置“0”（无中断请求）。

### 24.7.6 中断控制寄存器的变更

- (a) 必须在对应该寄存器的中断请求不发生的位置更改中断控制寄存器。在有可能发生中断请求时，必须在禁止中断后更改中断控制寄存器。
- (b) 在禁止中断后更改中断控制寄存器时，必须注意使用的指令。
- IR位以外的位的变更  
如果在指令执行中发生对应该寄存器的中断请求，IR位就有可能不变为“1”（有中断请求），中断将被忽略。在发生这种问题时，必须用以下指令更改寄存器：  
对象指令 … AND、OR、BCLR、BSET
  - IR位的变更  
在将IR位置“0”（无中断请求）时，根据使用的指令，IR位有可能不变为“0”。必须使用MOV指令将IR位置“0”。
- (c) 使用I标志禁止中断时，必须按以下的参考程序例子进行I标志的设定（有关参考程序例子的中断控制寄存器的变更，请参照(b)）。

例1~例3是防止因内部总线和指令队列缓冲器的影响而在更改中断控制寄存器前I标志变为“1”（允许中断）的方法。

例1: 通过NOP指令等待中断控制寄存器被更改的例子

```
INT_SWITCH1:
    FCLR    I                ; 禁止中断
    AND. B  #00H, 0055H     ; 将TA0IC寄存器置“00h”
    NOP
    NOP
    FSET    I                ; 允许中断
```

NOP指令数如下：

PM20=1(1个等待)时2个；PM20=0(2个等待)时3个；使用HOLD时4个。

例2: 通过虚读使FSET指令等待的例子

```
INT_SWITCH2:
    FCLR    I                ; 禁止中断
    AND. B  #00H, 0055H     ; 将TA0IC寄存器置“00h”
    MOV. W  MEM, R0         ; 虚读
    FSET    I                ; 允许中断
```

例3: 通过POPC指令更改I标志的例子

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR    I                ; 禁止中断
    AND. B  #00H, 0055H     ; 将TA0IC寄存器置“00h”
    POPC    FLG             ; 允许中断
```

### 24.7.7 看门狗定时器中断

在看门狗定时器中断发生后，必须对看门狗定时器进行初始化。

## 24.8 DMAC

### 24.8.1 对DMA<sub>i</sub>CON寄存器的DMAE位写数据 (i=0~1)

在 (a) 表示的条件下, 请按 (b) 所示的步骤写。

(a) 条件

- DMAE位为“1”(DMA<sub>i</sub>为激活状态)时, 再次给DMAE位写“1”。
- 有可能在对DMAE位写数据的同时发生DMA请求。

(b) 步骤

- (1) 同时给DMA<sub>i</sub>CON寄存器的DMAE位和DMAS位写“1”(注1)。
- (2) 通过程序确认DMA<sub>i</sub>是否为初始状态(注2)。

DMA<sub>i</sub>不为初始状态时, 重复(1)(2)。

注1. DMAS位即使写“1”也不变。如果写“0”, 就变为“0”(无DMA请求)。因此, 为了给DMAE位写“1”, 在给DMA<sub>i</sub>CON寄存器写数据时, 如果对要给DMAS写的值预先置“1”, DMAS就能保持即将写前的状态。

对于DMAE位的写, 即使使用读-改-写指令, 只要对要给DMAS写的值预先置“1”, 就能保持指令执行中发生的DMA请求。

注2. 必须通过TCR<sub>i</sub>寄存器的值确认。

读取TCR<sub>i</sub>寄存器, 如果能读取DMA传送开始前写给TCR<sub>i</sub>寄存器的值(对DMAE位写数据后发生DMA请求时, 为“给TCR<sub>i</sub>寄存器写的值-1”), 就判断为处于初始状态; 如果读到的值是传送中途的值, 就判断为不处于初始状态。



## 24.9 定时器

### 24.9.1 定时器A

#### 24.9.1.1 定时器A(定时器模式)

在复位后，定时器停止运行。通过TAiMR(i=0~4)寄存器和TAi寄存器，在设定模式、计数源、计数器的值等后，必须将TABSR寄存器的TAiS位置“1”(开始计数)。

另外，与是否在复位后无关，必须在TAiS位为“0”(停止计数)的状态下更改TAiMR寄存器。

通过读取TAi寄存器，能在任意的时序读取计数中的计数器值。但是，在进行重加载操作的过程中读取时，只能读到“FFFFh”。另外，在计数停止时，如果在给TAi寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

在TB2SC寄存器的IVPCR1位为“1”(允许根据 $\overline{\text{NMI}}$ 引脚的输入电平强制切断三相输出)时，如果 $\overline{\text{NMI}}$ 引脚为“L”电平，TA1OUT、TA2OUT、TA4OUT引脚就为高阻抗。

#### 24.9.1.2 定时器A(事件计数器模式)

在复位后，定时器停止运行。通过TAiMR(i=0~4)寄存器、TAi寄存器、UDF寄存器、ONSF寄存器的TAZIE、TAOTGL和TAOTGH位、TRGSR寄存器，在设定模式、计数源、计数器的值等后，必须将TABSR寄存器的TAiS位置“1”(开始计数)。

另外，与是否在复位后无关，必须在TAiS位为“0”(停止计数)的状态下更改TAiMR寄存器、UDF寄存器、ONSF寄存器的TAZIE、TAOTGL和TAOTGH位、TRGSR寄存器。

通过读取TAi寄存器，能在任意的时序读取计数中的计数器值。但是，在进行重加载操作的过程中读取时，只能读到“FFFFh”，在溢出时读取“0000h”。在计数停止时，如果在给TAi寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

在TB2SC寄存器的IVPCR1位为“1”(允许根据 $\overline{\text{NMI}}$ 引脚的输入电平强制切断三相输出)时，如果 $\overline{\text{NMI}}$ 引脚为“L”电平，TA1OUT、TA2OUT、TA4OUT引脚就为高阻抗。

### 24.9.1.3 定时器A(单次触发定时器模式)

在复位后，定时器停止运行。通过TAiMR(i=0~4)寄存器、TAi寄存器、ONSF寄存器的TAOTGL和TAOTGH位、TRGSR寄存器，在设定模式、计数源、计数器的值等后，必须将TABS R寄存器的TAiS位置“1”(开始计数)。

另外，与是否在复位后无关，必须在TAiS位为“0”(停止计数)的状态下更改TAiMR寄存器、ONSF寄存器的TAOTGL和TAOTGH位、TRGSR寄存器。

如果在计数中将TAiS位置“0”(停止计数)，就进行以下的运行。

- 计数器停止计数，对重加载寄存器的内容进行重新装入。
- TAiOUT引脚输出“L”电平。
- 在CPU时钟的1个周期后，TAiIC寄存器的IR位变为“1”(有中断请求)。

由于单次触发定时器的输出与内部生成的计数源同步，所以在选择外部触发时，从给TAiIN引脚触发输入到单次触发定时器输出，最大产生计数源的1个周期的延迟。

在用以下任意方法设定定时器运行模式时，IR位变为“1”。

- 在复位后选择单次触发定时器模式时
- 将运行模式从定时器模式变更为单次触发定时器模式时
- 将运行模式从事件计数器模式变更为单次触发定时器模式时

因此，在使用定时器Ai中断(IR位)时，必须在进行上述设定后将IR位置“0”。

如果在计数中发生触发，计数器就在发生再触发后进行1次递减计数，然后进行重加载寄存器的重新装入，继续进行计数。如果在计数中产生触发，就必须从前次的触发发生开始经过定时器计数源的1个周期以后产生再触发。

在TB2SC寄存器的IVPCR1位为“1”(允许根据 $\overline{\text{NMI}}$ 引脚的输入电平强制切断三相输出)时，如果 $\overline{\text{NMI}}$ 引脚为“L”电平，TA1OUT、TA2OUT、TA4OUT引脚就为高阻抗。

### 24.9.1.4 定时器A(脉宽调制模式)

在复位后，定时器停止运行。通过TAiMR(i=0~4)寄存器、TAi寄存器、ONSF寄存器的TAOTGL和TAOTGH位、TRGSR寄存器，在设定模式、计数源、计数器的值等后，必须将TABS R寄存器的TAiS位置“1”(开始计数)。

另外，与是否在复位后无关，必须在TAiS位为“0”(停止计数)的状态下更改TAiMR寄存器、ONSF寄存器的TAOTGL和TAOTGH位、TRGSR寄存器。

在用以下任意方法设定定时器运行模式时，IR位变为“1”。

- 在复位后选择PWM模式时
- 将运行模式从定时器模式变更为PWM模式时
- 将运行模式从事件计数器模式变更为PWM模式时

因此，在使用定时器Ai中断(IR位)时，必须在进行上述设定后通过程序将IR位置“0”。

如果在输出PWM脉冲中将TAiS位置“0”(停止计数)，就进行以下的运行。

- 计数器停止计数，对重加载寄存器的内容进行重新装入。
- 在从TAiOUT引脚输出“H”电平时，输出电平变为“L”，并且IR位为“1”。
- 在从TAiOUT引脚输出“L”电平时，输出电平和IR位都不变。

在TB2SC寄存器的IVPCR1位为“1”(允许根据 $\overline{\text{NMI}}$ 引脚的输入电平强制切断三相输出)时，如果 $\overline{\text{NMI}}$ 引脚为“L”电平，TA1OUT、TA2OUT、TA4OUT引脚就为高阻抗。

## 24.9.2 定时器B

### 24.9.2.1 定时器B(定时器模式)

在复位后，定时器停止运行。通过TBiMR(i=0~5)寄存器和TBi寄存器，在设定模式、计数源、计数器的值等后，必须将TABSR寄存器或者TBSR寄存器的TBiS位置“1”(开始计数)。

另外，与是否在复位后无关，必须在TBiS位为“0”(停止计数)的状态下更改TBiMR寄存器。

通过读取TBi寄存器，能在任意的时序读取计数中的计数器值。但是，在进行重加载操作的过程中读取时，只能读到“FFFFh”。另外，在计数停止时，如果在给TBi寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

### 24.9.2.2 定时器B(事件计数器模式)

在复位后，定时器停止运行。通过TBiMR(i=0~5)寄存器和TBi寄存器，在设定模式、计数源、计数器的值等后，必须将TABSR寄存器或者TBSR寄存器的TBiS位置“1”(开始计数)。

另外，与是否在复位后无关，必须在TBiS位为“0”(停止计数)的状态下更改TBiMR寄存器。

通过读取TBi寄存器，能在任意的时序读取计数中的计数器值。但是，在进行重加载操作的过程中读取时，只能读到“FFFFh”。另外，在计数停止时，如果在给TBi寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

### 24.9.2.3 定时器B(脉冲周期测定/脉宽测定模式)

在复位后，定时器停止运行。通过TBiMR(i=0~5)寄存器和TBi寄存器，在设定模式、计数源、计数器的值等后，必须将TABSR寄存器或者TBSR寄存器的TBiS位置“1”(开始计数)。

另外，与是否在复位后无关，必须在TBiS位为“0”(停止计数)的状态下更改TBiMR寄存器。为了将MR3位置“0”，在TBiS位为“1”(开始计数)的状态下写TBiMR寄存器时，必须给TMOD0、TMOD1、MR0、MR1、TCK0、TCK1位写与前次写的值相同的值，并且给MR2写“0”。

在输入测定脉冲的有效边沿时或者在定时器Bi溢出时，TBiIC寄存器(i=0~5)的IR位变为“1”(有中断请求)。在中断程序内用TBiMR寄存器的MR3位判断中断请求源。

用MR3位不能判断测定脉冲输入重叠于定时器溢出时序等中断源时，必须用其它定时器对溢出次数进行计数。

在将MR3位置“0”(无溢出)时，必须在TBiS位为“1”(开始计数)的状态下并且在MR3位变为“1”(有溢出)后的下一个计数源的计数时序以后写TBiMR寄存器。

在只检测溢出时，使用TBiIC寄存器的IR位。在中断程序内只判断中断源时使用MR3位。

在开始计数后的第1次有效边沿输入时，不定值被传送到重加载寄存器。此时，不发生定时器Bi中断请求。

在开始计数时，计数器值不定。因此，在开始计数后且在有效边沿输入前，有可能MR3位为“1”，并且有可能发生定时器Bi中断请求。

在脉宽测定模式时连续测定脉冲宽度，必须用程序判断测定结果是“H”电平还是“L”电平。

## 24.10 串行接口

### 24.10.1 时钟同步串行I/O模式

#### 24.10.1.1 发送/接收

在选择外部时钟和 $\overline{\text{RTSi}}$ 功能时，如果进入可接收状态， $\overline{\text{RTSi}}$ 引脚的输出电平就变为“L”，将已成为可接收的状态通知发送方。如果开始接收， $\overline{\text{RTSi}}$ 引脚的输出电平就变为“H”。因此，如果将 $\overline{\text{RTSi}}$ 引脚连接到发送方的 $\overline{\text{CTSi}}$ 引脚，就能匹配发送/接收的时序。在选择内部时钟时，RTS功能无效。

在TB2SC寄存器的IVPCR1位为“1”（允许根据 $\overline{\text{NMI}}$ 引脚的输入电平强制切断三相输出）时，如果给 $\overline{\text{NMI}}$ 引脚输入“L”电平， $\overline{\text{RTS2}}$ 引脚和CLK2引脚就为高阻抗。

#### 24.10.1.2 发送

在选择外部时钟时，如果UiC0寄存器的CKPOL位为“0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据），外部时钟就为“H”状态；如果CKPOL位为“1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据），外部时钟就为“L”状态。并且必须满足以下条件：

- UiC1寄存器的TE位为“1”（允许发送）
- UiC1寄存器的TI位为“0”（UiTB寄存器中有数据）
- 在选择CTS功能时， $\overline{\text{CTSi}}$ 引脚的输入为“L”电平

#### 24.10.1.3 接收

在时钟同步串行I/O中，通过发送器的运行产生移位时钟。因此，即使只用于接收，也必须进行发送的设定。接收时从TXDi引脚将虚设数据输出到外部。

在选择内部时钟时，如果将UiC1寄存器(i=0~2)的TE位置“1”（允许发送），并且将虚设数据设定到UiTB寄存器，就产生移位时钟；在选择外部时钟时，如果将TE位置“1”、将虚设数据设定到UiTB寄存器，并且将外部时钟输入到CLKi引脚，就产生移位时钟。

在连续接收数据时，如果UiC1寄存器(i=0~2)的RE位为“1”（UiRB寄存器中有数据），并且UARTi接收寄存器已有下一个接收数据，就发生溢出错误，UiRB寄存器的OER位变为“1”（发生溢出错误）。此时，由于UiRB寄存器的内容不定，所以必须在发送方和接收方的程序中，对溢出错误发生时的前一次数据进行再次发送处理。另外，在发生溢出错误时，SiRIC寄存器的IR位不变。

在连续接收数据时，必须在每次接收时给UiTB寄存器的低位字节设定虚设数据。

在选择外部时钟时，如果CKPOL位为“0”，外部时钟就为“H”状态；如果CKPOL位为“1”，外部时钟就为“L”状态。并且必须满足以下条件：

- UiC1寄存器的RE位为“1”（允许接收）
- UiC1寄存器的TE位为“1”（允许发送）
- UiC1寄存器的TI位为“0”（UiTB寄存器中有数据）

## 24.10.2 异步串行 I/O(UART) 模式

### 24.10.2.1 特殊模式 (I<sup>2</sup>C 模式)

生成开始条件、停止条件、重新开始条件时，必须在将 UiSMR4 寄存器的 STSPSEL 位置 “0” 后等待传送时钟的半个周期以后，将各条件生成位 (STAREQ、RSTAREQ、STPREQ) 从 “0” 置成 “1”。

### 24.10.2.2 特殊模式 2

在 TB2SC 寄存器的 IVPCR1 位为 “1” (允许根据  $\overline{\text{NMI}}$  引脚输入的三相输出的强制切断) 时，如果给  $\overline{\text{NMI}}$  引脚输入 “L” 电平，RTS2 引脚和 CLK2 引脚就为高阻抗。

### 24.10.2.3 特殊模式 4 (SIM 模式)

在复位解除后，如果将 U2C1 寄存器的 U2IRS 位置 “1” (发送结束)、U2ERE 位置 “1” (错误信号输出)，就产生发送中断请求。因此，在使用 SIM 模式时，必须在设定后将 IR 位置 “0” (无中断请求)。

## 24.10.3 SI/03、SI/04

在 SiC (i=3、4) 寄存器的 SMi2 位为 “0” (SOUTi 输出) 并且 SMi6 位为 “1” (内部时钟) 的状态下，如果将 SMi3 位从 “0” (I/O 端口) 变为 “1” (SOUTi 输出、CLK 功能)，就有可能把通过 SMi7 位设定的 SOUTi 初始值从 SOUTi 引脚输出 10ns 左右，此后 SOUTi 引脚变为高阻抗。

如果在将 SMi3 位从 “0” 变为 “1” 时 SOUTi 引脚的输出电平出现问题，就必须用 SMi7 位设定 SOUTi 的初始值。

## 24.11 A/D转换器

必须在A/D转换停止时(发生触发前)写ADCON0寄存器(位6除外)、ADCON1寄存器、ADCON2寄存器。请在AD转换停止后将VCUT位从“1”置成“0”。

在将ADCON1寄存器的VCUT位从“0”(Vref未连接)置成“1”(Vref连接)时,必须等待1 $\mu$ s以上再开始A/D转换。

为了防止因噪声引起的误动作和门锁、降低转换误差,必须在AVCC引脚、VREF引脚、模拟输入引脚(AN<sub>i</sub>(i=0~7)、AN0<sub>i</sub>、AN2<sub>I</sub>)和AVSS引脚之间分别插入电容。同样,也必须在VCC1引脚和VSS引脚之间插入电容。各引脚的处理例子如图24.4所示。

必须将对应用作模拟输入引脚的端口方向位置“0”(输入模式)。另外,在ADCON0寄存器的TRG位为“1”(外部触发)时,必须将对应ADTRG引脚的端口方向位置“0”(输入模式)。

使用键输入中断时,AN4~AN7都不能用作模拟输入引脚(如果A/D输入电压为“L”电平,就产生键输入中断请求)。

$\phi$  AD的频率必须在12MHz以下。无采样&保持功能时, $\phi$  AD的频率必须在250kHz以上;有采样&保持功能时, $\phi$  AD的频率必须在1MHz以上。

在改变A/D运行模式时,必须通过ADCON0寄存器的CH2~CH0位或者ADCON1寄存器的SCAN1~SCAN0位重新选择模拟输入引脚。

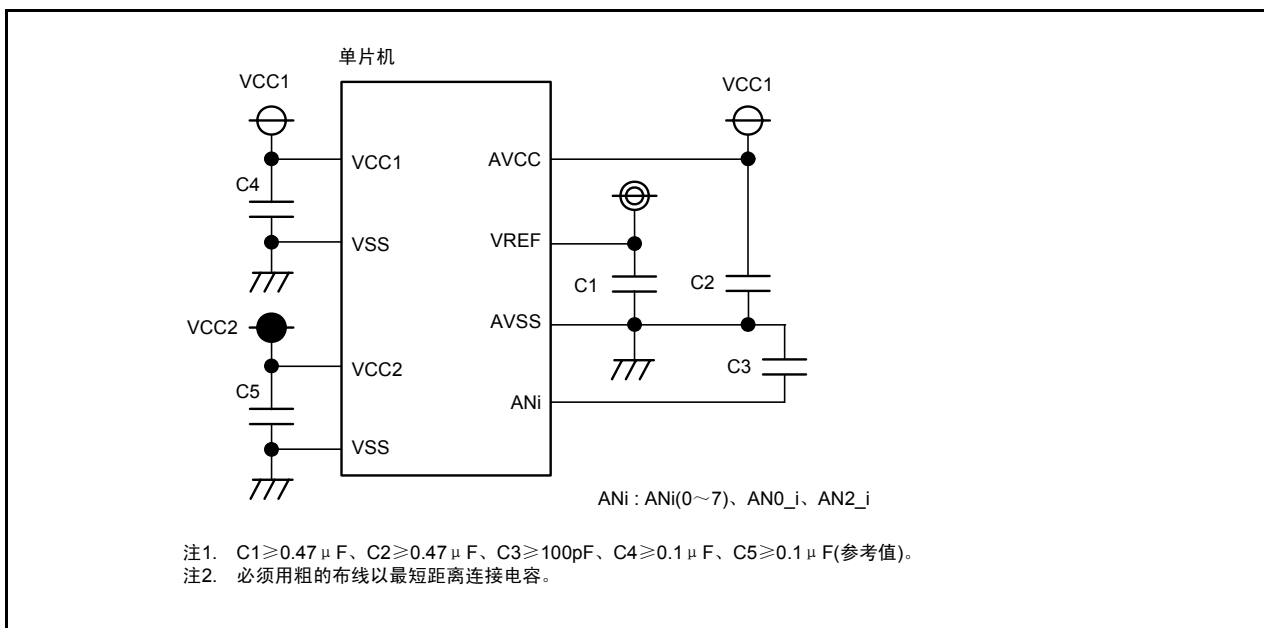


图 24.4 各引脚的处理例子



在VCC2 < VCC1时，ANO\_0～ANO\_7、AN2\_0～AN2\_7不能用作模拟输入引脚。

在A/D转换结束后将转换结果保存到ADi寄存器(i=0～7)时，如果CPU读取ADi寄存器，错误值就被保存到ADi寄存器。在对CPU时钟选择主时钟的分频时钟或者副时钟时，发生此现象。

- 在单次模式或者单次扫描模式使用时  
必须在确认了A/D转换结束后读对象ADi寄存器(能用ADIC寄存器的IR位判断A/D转换结束)。
- 在重复模式、重复扫描模式0或者重复扫描模式1使用时  
CPU时钟使用没有分频的主时钟。

如果在A/D转换运行中通过程序将ADCON0寄存器的ADST位置“0”(停止A/D转换)来强制结束转换，A/D转换器的转换结果就不定。另外，不进行A/D转换的ADi寄存器的内容也可能不定。如果在A/D转换运行中通过程序将ADST位置“0”，就不能使用所有ADi寄存器的值。

在单次扫描模式的A/D转换中，如果将ADCON0寄存器的ADST位置“0”来中止A/D转换，就必须在将ADST位置“0”前禁止中断。

由于AN4～AN7和 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 复用引脚，所以如果输入中间电位，功耗就会比其它模拟输入引脚(ANO～AN3、ANO\_0～ANO\_7、AN2\_0～AN2\_7)大。

## 24.12 可编程I/O端口

在TB2SC寄存器的IVPCR1位为“1”(允许根据 $\overline{\text{NMI}}$ 引脚的输入电平强制切断三相输出)时，如果给 $\overline{\text{NMI}}$ 引脚输入“L”电平，P7\_2～P7\_5、P8\_0～P8\_1引脚就为高阻抗。

如果将S3C寄存器的SM32位置“1”，P9\_2引脚就为高阻抗；如果将S4C寄存器的SM42位置“1”，P9\_6引脚就为高阻抗。

对于可编程I/O端口和外围功能，其输入阈电压不同。

因此，如果可编程I/O端口和外围功能复用引脚，在此引脚的输入电平为推荐运行条件VIH和VIL的范围以外(即不为“H”也不为“L”电平)时，可编I/O端口、外围功能对电平判断的结果就有可能不同。

在将PC14寄存器的PD14\_i位(i=0～1)从“0”(输入端口)变为“1”(输出端口)时，必须按以下步骤进行：

		设定步骤		
(1)	设定P14_i位	:MOV.B #00000001b, PC14	;	P14_i位的设定
(2)	用MOV指令将PD14_i位变为“1”	:MOV.B #00110001b, PC14	;	变为输出端口

## 24.13 闪存版和掩模型ROM版的不同点

闪存版和掩模型ROM版根据内部ROM和版图模式的不同，其电气特性范围内的特性值、运行容限、噪声耐量、噪声辐射量等有可能不同。在从闪存版改换到掩模型ROM版时，必须进行和闪存版同等的系统评价试验。

## 24.14 掩模型ROM版

不能对掩模型ROM版的内部ROM区进行写操作。

## 24.15 闪存版

### 24.15.1 闪存改写禁止功能

0FFDFh、0FFFE3h、0FFFEbH、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh地址是保存ID码的地址。如果对这些地址写错误数据，就不能进行标准串行输入/输出模式的闪存读写。

另外，0FFFFh地址为ROMCP寄存器。如果对此地址写错误数据，就不能进行并行输入/输出模式的闪存读写。

这些地址被分配到固定向量的向量地址(H)。

### 24.15.2 停止模式

在转移到停止模式时，必须在将FMR0寄存器的FMR01位置“0”(CPU改写模式无效)且禁止DMA传送后执行将CM1寄存器的CM10位置“1”(停止模式)的指令。

### 24.15.3 等待模式

在转移到等待模式时，必须在将FMR01位置“0”(CPU改写模式无效)后执行WAIT指令。

### 24.15.4 低功耗模式、内部振荡器低功耗模式

在CM0寄存器的CM05位为“1”(主时钟停止)时，不能执行以下的命令：

- 编程、块擦除、擦除全部非锁住块、锁住位编程

### 24.15.5 命令、数据的写

必须给偶数地址写命令码和数据。

### 24.15.6 编程命令

如果在第1总线周期写“xx40h”，并且在第2总线周期给写地址写数据，就开始自动写(数据的编程和验证)。第1总线周期的地址值必须与在第2总线周期指定的写地址的偶数地址相同。

### 24.15.7 锁住位编程命令

如果在第1总线周期写“xx77h”，并且在第2总线周期给块的最高位地址(偶数地址)写“xxD0h”，就能给指定块的锁住位写“0”。第1总线周期的地址值必须与在第2总线周期指定的块的最高位地址相同。



### 24.15.8 运行速度

在进入CPU改写模式(EW0、EW1模式)前,必须将CM1寄存器的CM11位置“0”(主时钟),并且通过CM0寄存器的CM06位和CM1寄存器的CM17~CM16位将CPU时钟设定在10MHz以下。另外,必须将PM1寄存器的PM17位置“1”(有等待)。

### 24.15.9 禁止使用的指令

在EW0模式,由于以下指令参照闪存内的数据,所以不能使用。  
UND指令、INT0指令、JMPS指令、JSRS指令、BRK指令

### 24.15.10 中断

#### EW0模式

- 具有可变量表中的向量的中断,可按向量地址移至RAM区。
- 因为在中断发生时强制初始化FMRO寄存器和FMR1,所以能使用NMI中断、看门狗定时器中断。必须给固定向量表设定各中断程序的转移地址。在发生NMI中断、看门狗定时器中断时,中止改写运行。必须在中断程序结束后重新执行改写程序。
- 由于地址匹配中断参照闪存内的数据,所以不能使用。

#### EW1模式

- 在自动写或者自动擦除期间,不能接受具有可变量表中的向量的中断或者地址匹配中断。
- 不能使用看门狗定时器中断。
- 因为在中断发生时强制初始化FMRO寄存器和FMR1,所以能使用NMI中断。必须给固定向量表设定各中断程序的转移地址。在发生NMI中断时,中止改写运行。必须在中断程序结束后重新执行改写程序。

### 24.15.11 存取方法

在将FMR01位、FMR02位和FMR11位置“1”时,必须在给对象位写“0”后继续写“1”。在写“0”后并且在写“1”前,不能发生中断和DMA传送。另外,必须在NMI引脚为“H”电平的状态下进行。

### 24.15.12 用户ROM区的改写

#### EW0模式

- 在对保存改写控制程序的块进行改写过程中,如果电源电压降低,改写控制程序就不能被正常改写,此后有可能发生闪存不能改写的情况。此时,必须使用标准串行输入/输出模式或者并行输入/输出模式。

#### EW1模式

- 不能改写保存改写控制程序的块。

### 24.15.13 DMA传送

在EW1模式并且FMRO寄存器的FMR00位为“0”(自动写、自动擦除期间)时不能进行DMA传送。

### 24.15.14 有关编程、擦除次数和执行时间

软件命令(编程命令、块擦除命令、擦除全部非锁住块命令、锁住位编程命令)的执行时间随着编程、擦除次数变长。特别是如果编程、擦除次数超过1,000次,软件命令的执行时间就显著变长,所以必须将软件命令的等待时间设定为电气特性的最大值以上。

通过硬件复位1、低电压检测复位(硬件复位2)、NMI中断、看门狗定时器中断,能暂停软件命令。在暂停软件命令后,必须在擦除该块后再次执行。

### 24.16 有关噪声的注意事项

作为噪声对策，必须在VCC1引脚和VSS引脚之间以及VCC2引脚和VSS引脚之间，使用最短的且较粗的布线连接旁路电容(0.1  $\mu$ F左右)。旁路电容的连接例子如图24.5所示。

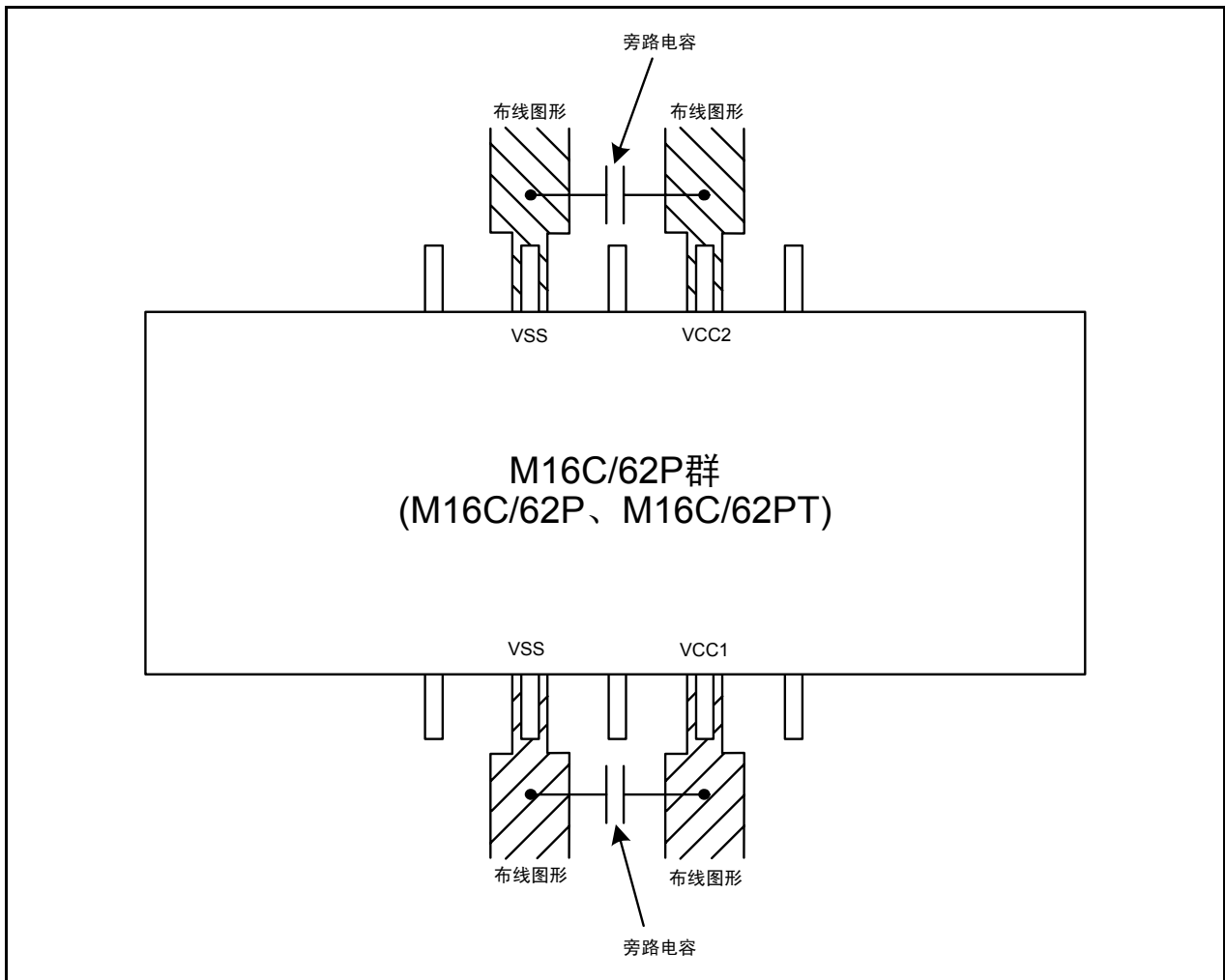


图24.5 旁路电容的连接例子

## 25. 跟据生产时期的不同点

表 25.1、表 25.2 表示 M16C/62P 闪存版和 ROM 外接版的各芯片版本的适用或不适用的注意事项。有关掩模型 ROM 版，另行查询。

表 25.1 M16C/62P 闪存版、ROM 外接版技术更新适用表 (1)

注意事项	芯片版本			技术更新
	A	B	C	
接通电源时的复位输入必须为“L”电平状态。使用复位 IC 时，必须使用 CMOS 型。如果复位 IC 为漏极开路型，就必须在复位输入和 VSS 之间插入电容，并且将电容和上拉电阻之间的时间常数调整为电源上升时间的 10 倍以上。	○	—	—	
将 UART0、UART1 用于 I <sup>2</sup> C 模式的从属方时，P6_1、P6_5 为高阻抗状态。即使将 PD6_1 位和 PD6_5 位置“1”（输出模式），也不能作为输出端口使用。因此，必须将 PD6_1 位和 PD6_5 位置“0”（输入模式）。在不使用 P6_1 和 P6_5 引脚时，必须将其设定为输入模式，并且将各引脚经电阻连接到 VSS。	○	—	—	TN-M16C-100-0309
对 CPU 时钟选择主时钟或者内部振荡器时钟，并且通过 CM0 寄存器的 CM06 位、CM1 寄存器的 CM16 位和 CM17 位将 CPU 时钟进行分频时，不能转移到等待模式。	○	—	—	TN-M16C-108-0309 注意事项 1.1
在 CM0 寄存器的 CM05 位为“0”（主时钟振荡）并且将 CM02 位置“1”（等待模式时，停止外围功能时钟）后，不能转移到等待模式。	○	—	—	TN-M16C-108-0309 注意事项 1.2
在移动到等待模式后，不能产生 $\overline{\text{NMI}}$ 中断。	○	—	—	TN-M16C-108-0309 注意事项 1.3
在移动到等待模式后，不能产生低电压检测中断。	○	—	—	TN-M16C-108-0309 注意事项 1.4
如接通电源等情况，内部电源还不稳定的状态下，如果 CNVSS 引脚为“H”电平，且 RESET 引脚为“L”电平，就可能在内部电源稳定前从 I/O 端口 (P0 ~ P5) 输出不定值。	○	○	○	TN-M16C-114-0310 注意事项 1.1
如接通电源等情况，内部电源还不稳定的状态下，如果 CNVSS 引脚为“H”电平，且 RESET 引脚为“L”电平，就可能在内部电源稳定前从 I/O 端口 (P6 ~ P14) 输出不定值	○	—	—	TN-M16C-114-0310 注意事项 1.1
在引导模式 (CNVSS 引脚为“H”电平、P5_5 ( $\overline{\text{EPM}}$ ) 引脚为“L”电平、P5_0 ( $\overline{\text{CE}}$ ) 引脚为“H”电平) 下，在 RESET 引脚为“L”电平期间，P10_0 ~ P10_3、P11_0 ~ P11_7、P12_5 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1 的内部上拉有效，输出“H”电平。	○	—	—	TN-M16C-114-0310 注意事项 1.2
在引导模式 (CNVSS 引脚为“H”电平、P5_5 ( $\overline{\text{EPM}}$ ) 引脚为“L”电平、P5_0 ( $\overline{\text{CE}}$ ) 引脚为“H”电平) 下，在 P8_4 为“H”电平且 RESET 引脚为“L”电平期间，有可能从 P0_0 ~ P0_7、P1_0 ~ P1_7 引脚输出不定值。但是，在 RESET 引脚为“L”电平且 P8_4 为“L”电平时，P0_0 ~ P0_7、P1_0 ~ P1_7 为高阻抗。	○	—	—	TN-M16C-114-0310 注意事项 1.3

○：适用

—：不适用

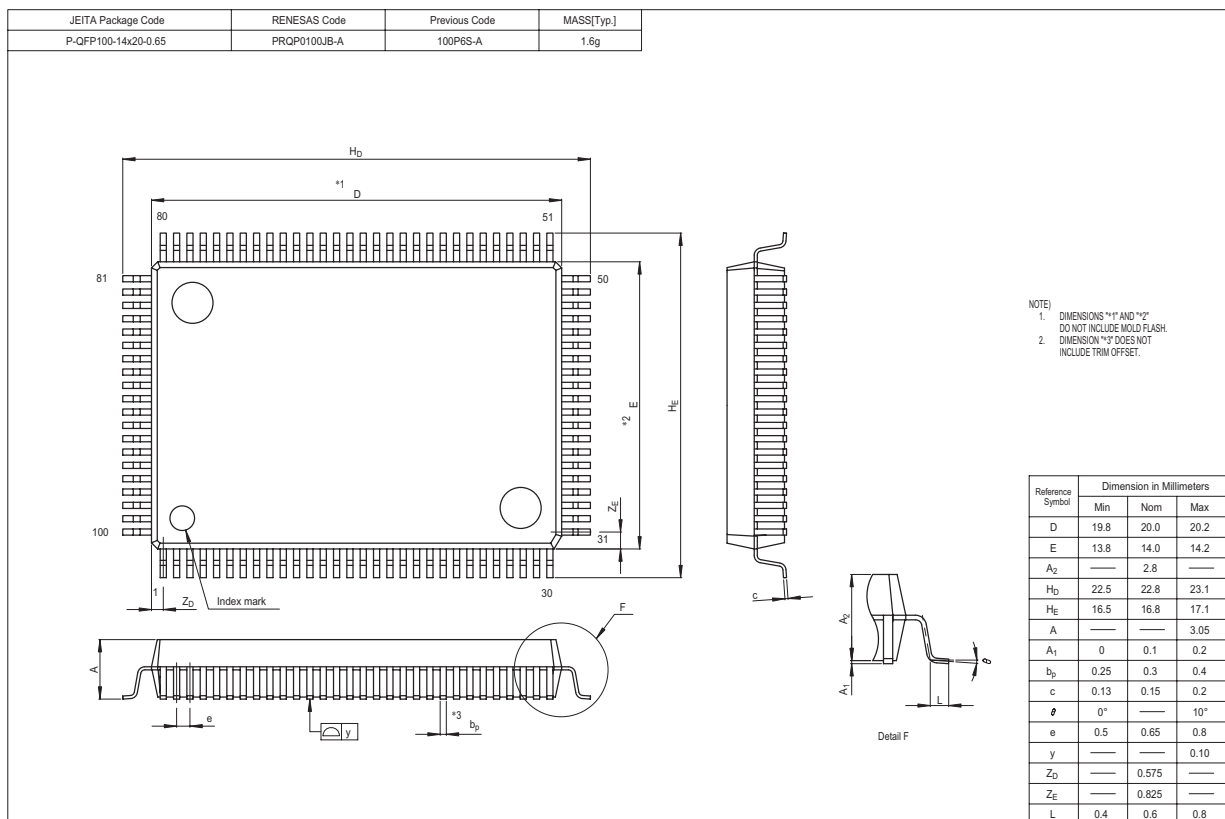
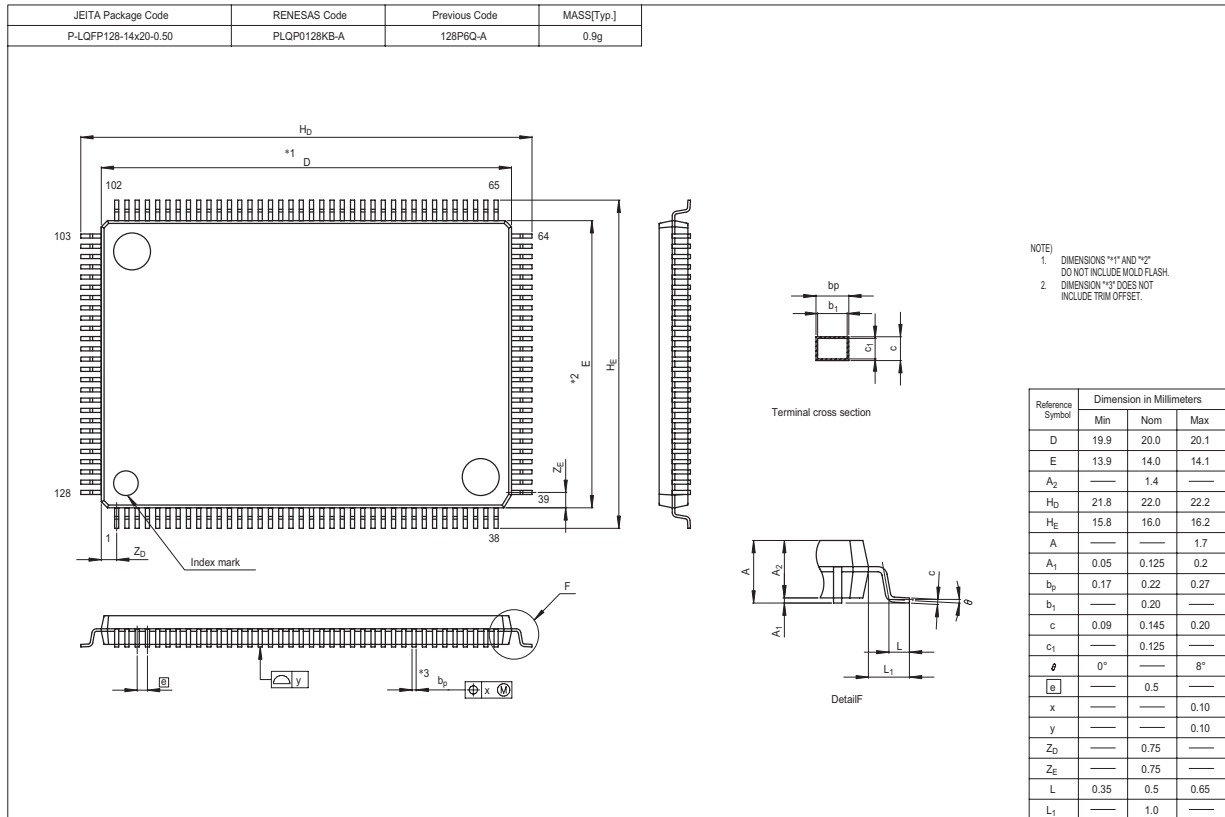
表 25.2 M16C/62P 闪存版、ROM 外接版技术更新适用表 (2)

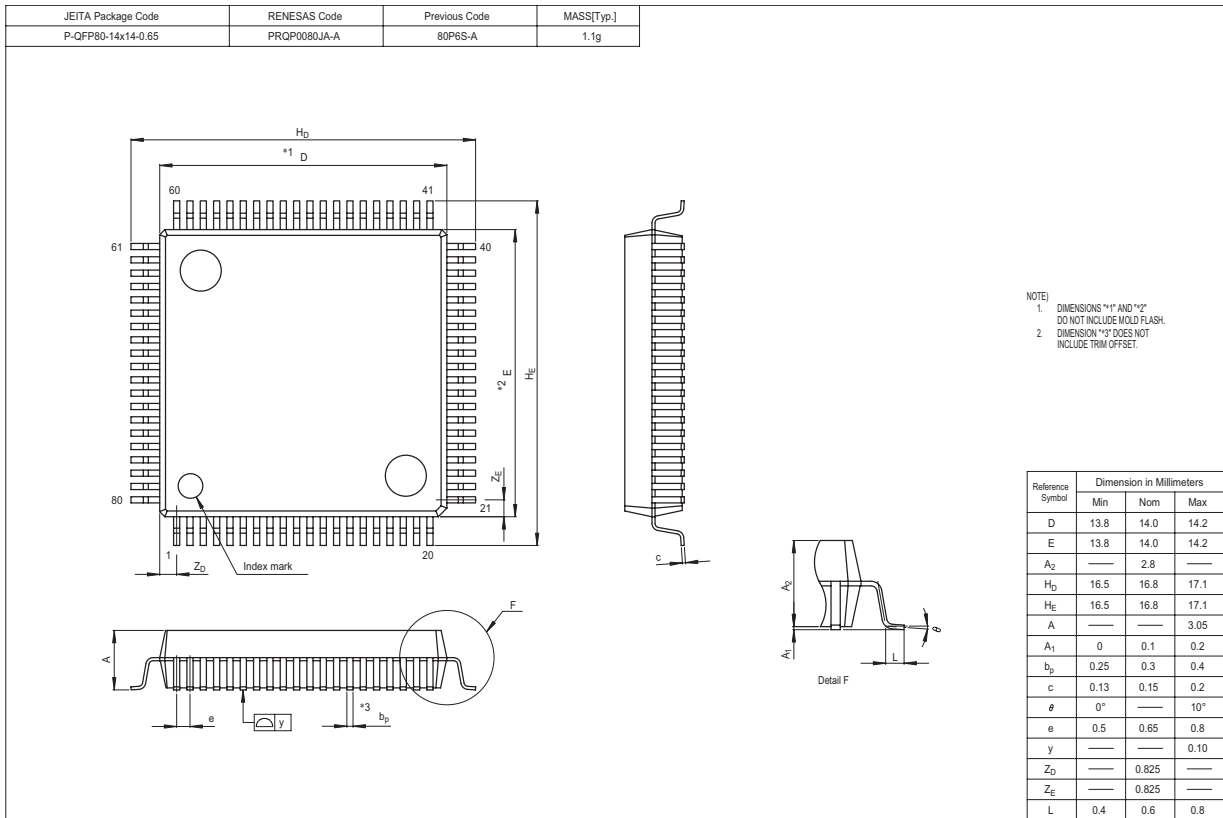
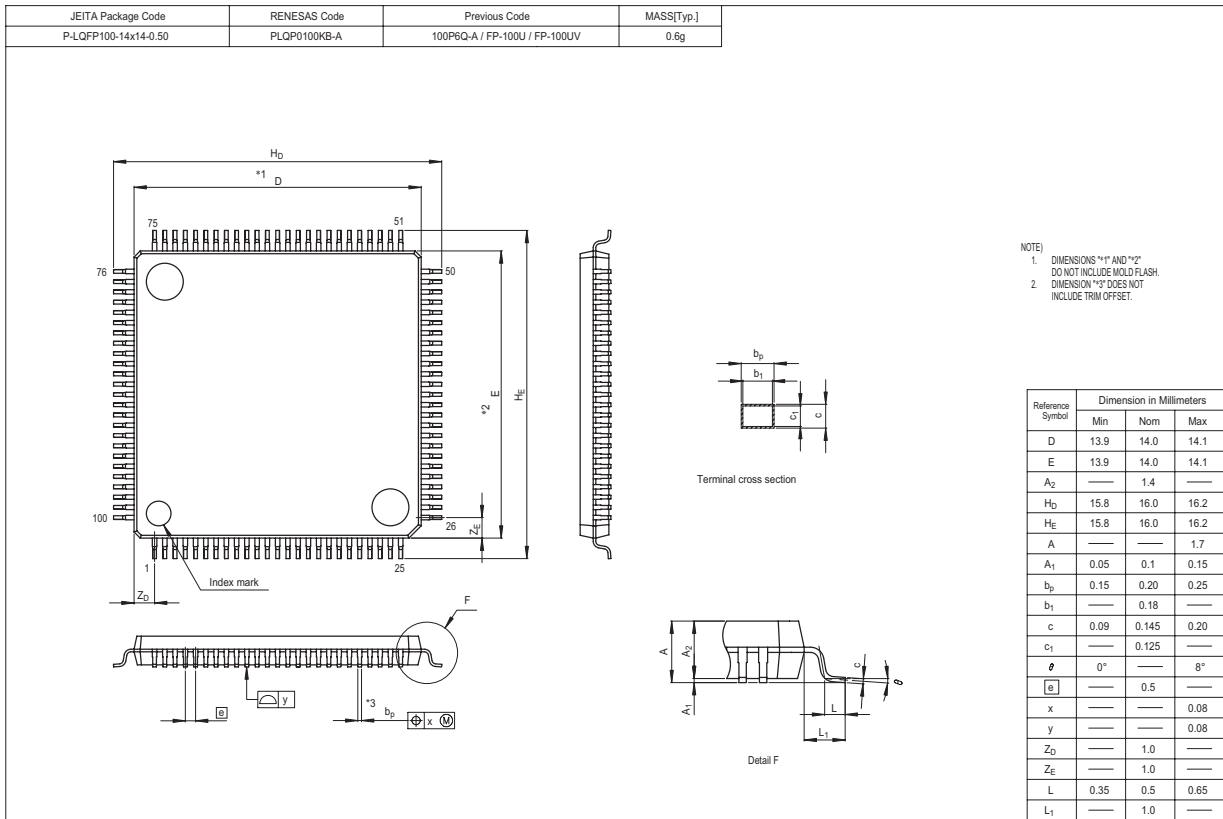
注意事项	芯片版本			技术更新
	A	B	C	
如接通电源等情况，VCC1 引脚的输入电压必须满足 SVCC 规格。	○	—	—	TN-M16C-116-0311
在将 VCR2 寄存器的 VC27 位置 “1” (低电压检测电路有效)、D4INT 寄存器的 D40 位置 “1” (允许低电压检测中断)、D41 位置 “1” (从停止模式返回时使用低电压检测中断)，在上述条件下，使用电压检测电路的低电压检测中断时，在 VCR1 寄存器的 VC13 位为 “1” ( $VCC1 \geq V_{det4}$ ) 时不要将 CM1 寄存器的 CM10 位置 “1” (停止模式)。	○	—	—	TN-M16C-107-0309 注意事项 1.1
在将 CM1 寄存器的 CM10 位置 “1” (停止模式) 后转移到停止模式的情况下，不能产生 NMI 中断。	○	—	—	TN-M16C-107-0309 注意事项 1.2
在将 CMO 寄存器的 CM04 位置 “1” (副时钟振荡)、CM07 位置 “1” (副时钟) 后进入低速模式的情况下，不要将 CM1 寄存器的 CM10 位置 “1” (停止模式)。	○	—	—	TN-M16C-107-0309 注意事项 1.3
在将副时钟 (XCIN-XCOUT) 用于 CPU 时钟或者定时器 A、定时器 B 的计数源 ( $f_{c32}$ ) 时，必须将 CMO 寄存器的 CM03 位置 “0” (XCIN-XCOUT 驱动能力为 “Low”)。	○	○	—	TN-M16C-119A/EA

○: 适用

—: 不适用

附录1. 封装尺寸图





## 附录2. M16C/62P和M16C/62A的不同点

附表2.1 M16C/62P和M16C/62A的不同点:掩模型ROM版和闪存版通用(1)(注1)

项目	M16C/62P	M16C/62A
最小指令执行时间	41.7ns (f (BCLK)=24MHz、VCC1=3.0~5.5V) 100ns (f (BCLK)=10MHz、VCC1=2.7~5.5V)	62.5ns (f (XIN)=16MHz、VCC=4.2~5.5V) 100ns (f (XIN)=10MHz、VCC=2.7~5.5V、1个等待)
电源电压	VCC1=3.0~5.5V、VCC2=3.0V~VCC1 (f (BCLK)=24MHz) VCC1=VCC2=2.7~5.5V (f (BCLK)=10MHz)	VCC=4.2~5.5V (f (XIN)=16MHz、无等待) VCC=2.7~5.5V (f (XIN)=10MHz、1个等待)
I/O电源	2电源 (VCC1、VCC2)	1电源 (VCC)
封装	80引脚、100引脚、128引脚塑膜QFP	80引脚、100引脚塑膜QFP
电压检测电路	有 Vdet3、Vdet4检测 低电压检测中断 低电压检测复位(硬件复位2)	无
时钟发生电路	PLL、XIN、XCIN、内部振荡器 在低功耗模式时,为8分频模式,XIN驱动能力为HIGH。	XIN、XCIN 在低功耗模式时,主时钟分频比和XIN驱动能力不变。
系统时钟保护功能	有	无 (用保护寄存器保护)
振荡停止/ 重新振荡检测功能	有	无
消耗电流	18mA (VCC1=VCC2=5V、f (BCLK)=24MHz) 8mA (VCC1=VCC2=3V、f (BCLK)=10MHz) 1.8μA (VCC1=VCC2=3V、f (XCIN)=32kHz、等待模式时)	32.5mA (VCC=5V、f (XIN)=16MHz) 8.5mA (VCC=3V、f (XIN)=10MHz、1个等待) 0.9μA (VCC=3V、f (XIN)=32MHz、等待模式时)
存储空间	有存储空间扩展(4M字节)	1M字节固定
可连接外部器件的 区域	04000h~07FFFh (PM13=0时) 08000h~0FFFFh (PM10=0时) 10000h~26FFFh 28000h~7FFFFh 80000h~CFFFFh (PM13=0时) D0000h~FFFFFh (微处理器模式时)	04000h~05FFFh (PM13=0时) 06000h~CFFFFh D0000h~FFFFFh (微处理器模式时)
存储器扩展模式、微 处理器模式时的高位 地址	P4_0~P4_3 (A16~A19)、 P3_4~P3_7 (A12~A15) :可切换地址总线或者I/O端口	P4_0~P4_3 (A16~A19) :可切换地址总线或者I/O端口 A12~A15:不能切换
对SFR的存取	可变(1~2个等待)	1个等待固定
对外部区域的软件 等待	可变(0~3个等待)	可变(0~1个等待)
保护	可设定对PM0、PM1、PM2、CM0、CM1、CM2、 PLC0、INVC0、INVC1、PD9、S3C、S4C、TB2SC、 PCLKR、VCR2、D4INT寄存器的保护	可设定对PM0、PM1、CM0、CM1、PD9、S3C、S4C 寄存器的保护
看门狗定时器	选择看门狗定时器中断或者看门狗定时器复位 有计数源保护模式	看门狗定时器中断 无计数源保护模式
地址匹配中断	4个	2个
定时器A、定时器B 计数源	从f1、f2、f8、f32、fc32选择	从f1、f8、f32、fc32选择
定时器A二相脉冲 信号处理	有Z相(计数器复位)输入功能	无Z相(计数器复位)输入功能

注1. 有关详细内容和电气特性,请参照硬件手册。

附表2.2 M16C/62P和M16C/62A的不同点:掩模型ROM版和闪存版通用(2)(注1)

项目	M16C/62P	M16C/62A
用于三相马达控制的定时器功能	根据保护寄存器的内容具备相应的保护功能 计数源从f1、f2、f8、f32、fC32选择 死区时间定时器计数源从f1、f1的2分频、f2、f2的2分频选择 有输出极性切换、载波位相检测、根据NMI输入的三相输出强制切断功能	根据保护寄存器的内容不具备相应的保护功能 计数源从f1、f8、f32、fC32选择 死区时间定时器计数源固定为f1的2分频
串行接口(UART0~UART2)	(UART、时钟同步、I <sup>2</sup> C bus、IEBus) × 3	(UART、时钟同步) × 2 (UART、时钟同步、I <sup>2</sup> C bus、IEBus) × 1
UART0~UART2、SI/03、SI/04的计数源	从f1S10、f2S10、f8S10、f32S10选择	从f1、f8、f32选择
串行接口RTS时序	在阅读接收缓冲器时置“L”电平	在接收结束时置“L”电平
UART0~UART2溢出错误的发生时序	在读取UiRB寄存器(i=0~2)前开始下一次的数据接收, 如果接收到下一个数据的第7位, 就发生溢出错误(时钟同步) 在读取UiRB寄存器前开始下一次的数据接收, 如果接收到下一个数据的最后停止位的前一位, 就发生溢出错误(UART)	在读取UiRB寄存器(i=0~2)前存在下一个数据时发生溢出错误
串行接口CTS/RTS独立功能	有	无
UART2的发送开始时序	在写数据后第2次的BRG溢出时序开始发送(和UART0、UART1相同)	在写数据后第1次的BRG溢出时序开始发送(比UART0、UART1早1次BRG溢出, 开始发送)
串行接口从属功能	无	有
串行接口I <sup>2</sup> C模式	有开始条件、停止条件的自动生成功能	无开始条件、停止条件的自动生成功能
串行接口I <sup>2</sup> C模式的SDA延迟	SDA延迟只为数字延迟 SDA数字延迟的计数源为BRG	SDA的延迟可选择模拟延迟或者数字延迟 SDA接口数字延迟的计数源为1/f(X1N)
SI/03、SI/04时钟极性	可选择	固定
A/D转换器	10位×8个通道 (最大可扩展到26通道)	10位×8个通道 (最大可扩展到10通道)
A/D转换器运行时钟	从fAD、或者fAD的2、3、4、6、12分频选择	从fAD、fAD/2、fAD/4选择
A/D转换器的输入引脚	从端口P0、P2、P10选择	端口P10固定

注1. 有关详细内容和电气特性, 请参照硬件手册。



附表2.3 M16C/62P和M16C/62A的不同点: 闪存版通用(注1)

项目	M16C/62P	M16C/62A
用户ROM块分配	4K字节×3、8K字节×3、32K字节×1 64K字节×7:14块 (闪存容量最大为512K字节)	8K字节×2、16K字节×1、32K字节×1、 64K字节×3:7块 (闪存容量最大为256K字节)
编程方式	字单位	页单位
编程命令(软件命令)	无页编程命令, 有编程命令 (编程以字或字节为单位)	有页编程命令, 无编程命令 (编程以页为单位)
块状态维护编程功能	无	有
CPU改写模式	有EW1模式	无EW1模式

注1. 有关详细内容和电气特性, 请参照硬件手册。



## SFR 寄存器索引

<b>A</b>		IFSR .....	120	<b>T</b>	
ADO ~ AD7 .....	234	IFSR2A .....	121	TA01C ~ TA41C .....	112
ADCON0 .....	233	INT01C ~ INT51C .....	113	TAOMR ~ TA4MR .....	142
ADCON1 .....	233	INVC0 .....	169	TA0 ~ TA4 .....	142
ADCON2 .....	234	INVC1 .....	170	TA1 .....	172
AD1C .....	112	<b>K</b>		TA11 .....	172
A1ER .....	124	<b>O</b>		TA1MR .....	174
A1ER2 .....	124	KUP1C .....	112	TA2 .....	172
<b>B</b>		<b>P</b>		TA21 .....	172
BCNIC .....	112	ONSF .....	144	TA2MR .....	174
<b>C</b>		<b>R</b>		TA4 .....	172
CM0 .....	83	PO ~ P13 .....	261	TA41 .....	172
CM1 .....	84	PC14 .....	262	TA4MR .....	174
CM2 .....	85	PCLKR .....	86	TABSR .....	143, 159, 173
CPSRF .....	145, 159	PCR .....	264	TB01C ~ TB51C .....	112
CRCD .....	251	PDO ~ PD13 .....	260	TBOMR ~ TB5MR .....	158
CRCIN .....	251	PLC0 .....	87	TB0 ~ TB5 .....	158
CSE .....	69	PM0 .....	58	TB2 .....	173
CSR .....	63	PM1 .....	59	TB2MR .....	174
<b>D</b>		PM2 .....	86	TB2SC .....	172
D4INT .....	51	PRCR .....	105	TBSR .....	159
DAO .....	250	PURO .....	263	TCR0 .....	132
DA1 .....	250	PUR1 .....	263	TCR1 .....	132
DACON .....	250	PUR2 .....	264	TRGSR .....	144, 173
DARO .....	132	PUR3 .....	262	<b>U</b>	
DAR1 .....	132	<b>S</b>		UOBCNIC .....	112
DBR .....	74	RMADO ~ RMAD3 .....	124	UOBRG ~ U2BRG .....	182
DMOCON .....	131	ROMCP .....	272	UOCO ~ U2CO .....	183
DMO1C .....	112	<b>R</b>		UOC1 ~ U2C1 .....	184
DMOSL .....	129	<b>S</b>		UOMR ~ U2MR .....	182
DM1CON .....	131	SOR1C ~ S2R1C .....	112	UORB ~ U2RB .....	181
DM11C .....	112	SOT1C ~ S2T1C .....	112	UOSMR2 ~ U2SMR2 .....	186
DM1SL .....	130	S3BRG .....	226	UOSMR3 ~ U2SMR3 .....	186
DTT .....	171	S3C .....	226	UOSMR4 ~ U2SMR4 .....	187
<b>F</b>		S31C .....	113	UOSMR ~ U2SMR .....	185
F1DR .....	274	S3TRR .....	226	UOTB ~ U2TB .....	181
FMRO .....	275	S4BRG .....	226	U1BCNIC .....	112
FMR1 .....	276	S4C .....	226	UCON .....	185
<b>I</b>		S41C .....	113	UDF .....	143
ICTB2 .....	171	S4TRR .....	226	<b>V</b>	
IDB0 .....	171	SARO .....	132	VCR1 .....	50
IDB1 .....	171	SAR1 .....	132	VCR2 .....	50
<b>J</b>		<b>T</b>		<b>W</b>	
<b>K</b>		<b>U</b>		WDC .....	56, 126
<b>L</b>		<b>V</b>		WDTS .....	126
<b>M</b>		<b>W</b>			



修订记录

M16C/62P 群 (M16C/62P、M16C/62PT) 硬件手册

Rev.	发行日	修订内容	
		页	修订要点
1.00	2006.03.16	—	初版发行



---

瑞萨 16 位单片机  
硬件手册  
M16C/62P 群 (M16C/62P、M16C/62PT)

Publication Date: 1st Edition, March 16, 2006  
Published by: Sales Strategic Planning Div.  
Renesas Technology Corp.  
Edited by: Customer Support Department  
Global Strategic Communication Div.  
Renesas Solutions Corp.

---

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan

---



## RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

**Renesas Technology America, Inc.**

450 Holger Way, San Jose, CA 95134-1368, U.S.A  
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

**Renesas Technology Europe Limited**

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.  
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

**Renesas Technology (Shanghai) Co., Ltd.**

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120  
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

**Renesas Technology Hong Kong Ltd.**

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong  
Tel: <852> 2265-6688, Fax: <852> 2730-6071

**Renesas Technology Taiwan Co., Ltd.**

10th Floor, No.99, Fushing North Road, Taipei, Taiwan  
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

**Renesas Technology Singapore Pte. Ltd.**

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632  
Tel: <65> 6213-0200, Fax: <65> 6278-8001

**Renesas Technology Korea Co., Ltd.**

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea  
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

**Renesas Technology Malaysia Sdn. Bhd**

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia  
Tel: <603> 7955-9390, Fax: <603> 7955-9510





M16C/62P 群、  
(M16C/62P、 M16C/62PT)



瑞萨电子株式会社