

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

M16C/62 (M16C/62A) グループ

ユーザーズマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ／ M16C/60シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（<http://www.semicon.melco.co.jp/>）などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

このマニュアルの使い方

このマニュアルはM16C/62Aグループのユーザーズマニュアルです。
このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

このマニュアルは、下記の品種に適用しています。

- M30620M8A-XXXXFP/GP
 - M30620MCA-XXXXFP/GP
 - M30622M8A-XXXXFP/GP
 - M30622MCA-XXXXFP/GP
 - M30620SAFP/GP
 - M30620FCAFP/GP
- M30620MAA-XXXXFP/GP
 - M30622M4A-XXXXFP/GP
 - M30622MAA-XXXXFP/GP
 - M30624MGA-XXXXFP/GP
 - M30622SAFP/GP
 - M30624FGAFP/GP
- M30620MCM-XXXXFP/GP
 - M30620FCMFP/GP
- M30624MGM-XXXXFP/GP
 - M30624FGMFP/GP

これらの品種は、内蔵するメモリを除いて、ほぼ同等の機能を持ちます。本文中では、M30622MCA-XXXXFPを中心に説明しています。電気的特性は、対応するデータシートを参照してください。内蔵するメモリは下記のとおりです。メモリ容量が異なるため、プログラムを作成する場合は、注意してください。

ROMサイズ (バイト)			
ROM 外付け			M30620SAFP/GP M30622SAFP/GP
256 K	M30624MGA-XXXXFP/GP	M30624FGAFP/GP	
128 K	M30620MCA-XXXXFP/GP M30622MCA-XXXXFP/GP	M30620FCAFP/GP	
96 K	M30620MAA-XXXXFP/GP M30622MAA-XXXXFP/GP		
64 K	M30620M8A-XXXXFP/GP M30622M8A-XXXXFP/GP		
32K	M30622M4A-XXXXFP/GP		
	マスクROM版	フラッシュメモリ版	ROM外付け版

ROMサイズ (バイト)		
ROM 外付け		
256 K	M30624MGM-XXXXFP/GP	M30624FGMFP/GP
128 K	M30620MCM-XXXXFP/GP	M30620FCMFP/GP
96 K		
64 K		
32K		
	マスクROM版	フラッシュメモリ版

このマニュアルは5つの章で構成されています。以下に目的に応じた参照先(章)を示します。

- ハードウェアの仕様を理解する 「第1章 ハードウェア」
- 周辺機能の基本的な使い方、動作タイミングを理解する 「第2章 周辺機能の使い方」
- 周辺機能の応用例を知る 「第3章 周辺機能の応用例」
- 外部バスの使用方法を理解する 「第4章 外部バス」
- マスクROM版とROM外付け版との違いを知る 「第5章 ROM外付け版」

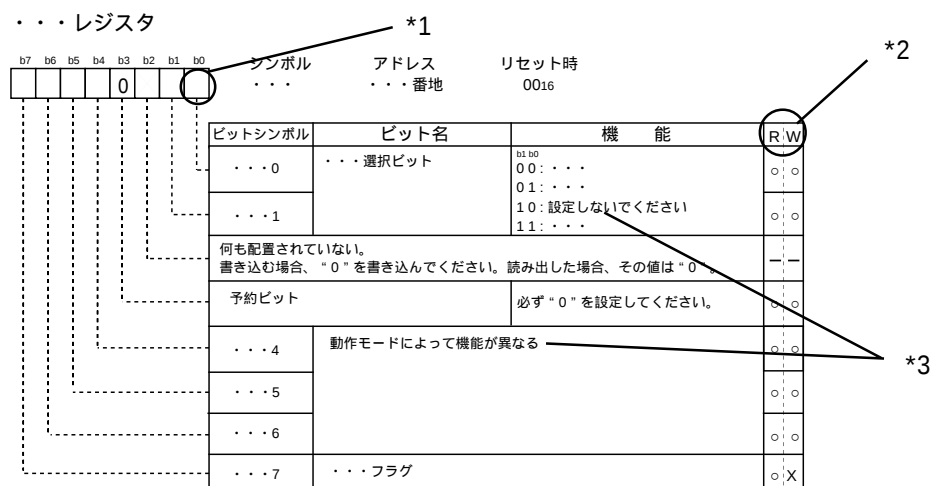
また、目次の直後には機能別目次やページ早見表を記載しており、目的に応じて記載ページを調べることができます。さらに巻末には索引を記載しています。

- 周辺機能の記載ページを確認する 機能別目次
- 番地からレジスタの記載ページを確認する 番地別ページ早見表

なお、下記の機能については、別途、アプリケーションノートで説明していますので、各アプリケーションノートを参照してください。

- ・IICバス M16C/62グループ 簡易I²Cバス編
- ・三相モータ制御用タイマ機能 M16C/62グループ 三相モータ制御編
- ・フラッシュメモリ制御機能 M16C/62グループ CPU書き換え制御編

各レジスタ構成は、次のように参照してください。



*1
空白 : 用途に応じて“0”または“1”にしてください。

0 : “0”にしてください。

1 : “1”にしてください。

× : 何も配置されていないビットです。

*2
R : Read
○・・・読み出すとビットの状態が読み出せます。
×・・・ビットの状態は読み出せません。
-・・・何も配置されていないビットです。

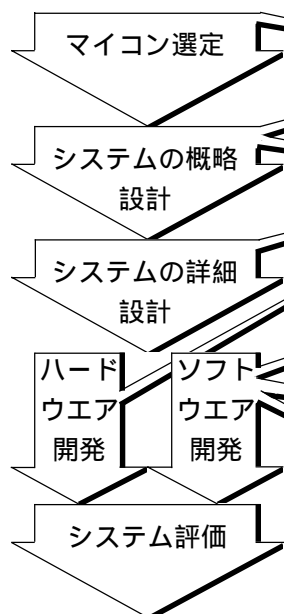
W : Write
○・・・書き込んだ値は有効データになります。
×・・・書き込んだ値は無効になります。
書き込む値は“0”または“1”いずれでも可。
-・・・何も配置されていないビットです。

*3
ここで使用する用語を以下に示します。

- 何も配置されていない
当該ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書き込む場合は“0”を書き込んでください。
- 設定しないでください。
設定した場合の動作は保証されません。
- 予約ビット
予約ビットです。指定された値を設定してください。
- 動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。
- Aモードでは無効
Aモードでは、当該ビットは機能を持ちません。指定された値を設定してください。
- ビットAが“0”のとき有効
ビットAが“1”のとき、当該ビットは機能を持ちません。ビットAが“0”のとき、当該ビットは機能を持ちます。

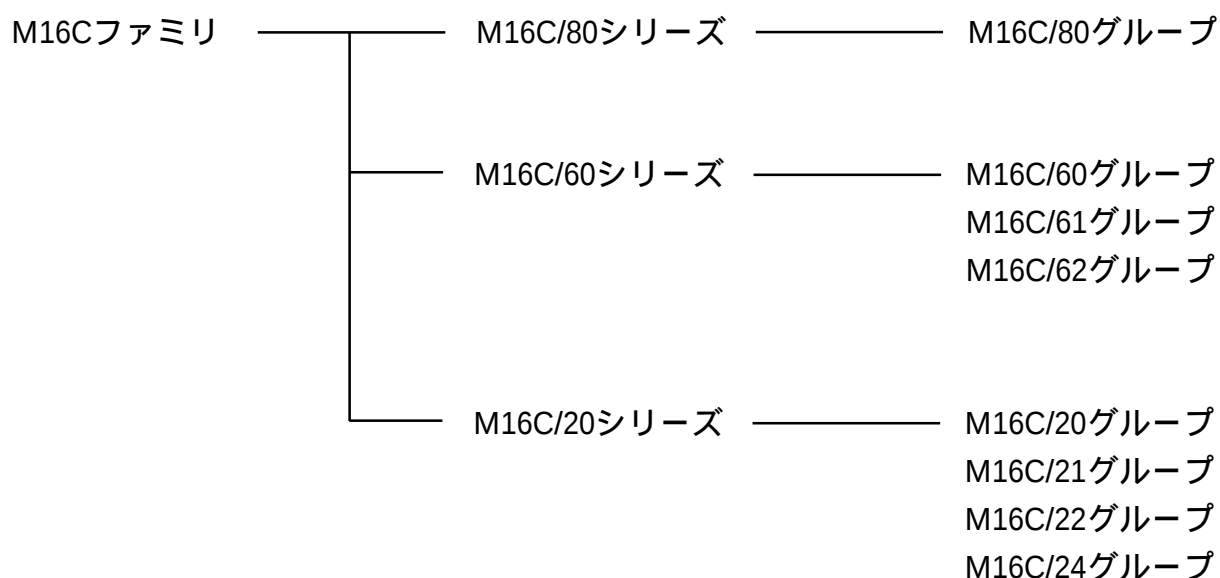
M16Cファミリ関連ドキュメント一覧

用途
(マイコン開発の流れ)



ドキュメントの種類		記載内容
ハードウェア	データシート / データブック	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
	ユーザーズマニュアル	ハードウェアの仕様、動作、応用例(周辺との接続、ソフトウェアとの関わり)の詳細
ソフトウェア	プログラミングマニュアル	アセンブリ言語、C言語によるプログラムの作成方法
	ソフトウェアマニュアル	各命令(アセンブリ言語)の動作の詳細
	参考プログラム集	アセンブリ言語の参考プログラム集

M16Cファミリ体系



目次

第1章 ハードウェア

概 要	1-2
メモリ	1-11
中央演算処理装置	1-12
リセット	1-15
プロセッサモード	1-22
バス設定	1-26
バス制御	1-28
クロック発生回路	1-36
プロテクト	1-45
割り込みの概要	1-46
監視タイマ	1-65
DMAC	1-67
タイマ	1-77
タイマA	1-79
タイマB	1-89
三相モータ制御用タイマ機能	1-95
シリアルI/O	1-107
A-D変換器	1-148
D-A変換器	1-158
CRC演算回路	1-160
プログラマブル入出力ポート	1-162
フラッシュメモリ版	1-216
M16C/62Mグループ（低電圧版）概要	1-273

第2章 周辺機能の使い方

2.1 プロテクト使い方	2-2
2.1.1 プロテクト使い方の概要	2-2
2.1.2 プロテクト動作	2-4
2.1.3 プロテクト注意事項	2-5
2.2 タイマA使い方	2-6
2.2.1 タイマA使い方の概要	2-6
2.2.2 タイマA動作（タイマモード）	2-12

2.2.3	タイマA動作 (タイマモード、ゲート機能選択時).....	2-14
2.2.4	タイマA動作 (タイマモード、パルス出力機能選択時).....	2-16
2.2.5	タイマA動作 (イベントカウンタモード、リロードタイプ選択時).....	2-18
2.2.6	タイマA動作 (イベントカウンタモード、フリーランタイプ選択時).....	2-20
2.2.7	タイマA動作 (イベントカウンタモード二相パルス信号処理、通常モード選択時).....	2-22
2.2.8	タイマA動作 (イベントカウンタモード二相パルス信号処理、4通倍モード選択時).....	2-24
2.2.9	タイマA動作 (ワンショットタイマモード).....	2-26
2.2.10	タイマA動作 (ワンショットタイマモード、外部トリガ選択時).....	2-28
2.2.11	タイマA動作 (パルス幅変調モード、16ビットPWMモード選択時).....	2-30
2.2.12	タイマA動作 (パルス幅変調モード、8ビットPWMモード選択時).....	2-32
2.2.13	タイマAの注意事項 (タイマモード).....	2-34
2.2.14	タイマAの注意事項 (イベントカウンタモード).....	2-35
2.2.15	タイマAの注意事項 (ワンショットタイマモード).....	2-36
2.2.16	タイマAの注意事項 (パルス幅変調モード).....	2-37
2.3	タイマB使い方.....	2-38
2.3.1	タイマB使い方の概要.....	2-38
2.3.2	タイマB動作 (タイマモード).....	2-42
2.3.3	タイマB動作 (イベントカウンタモード).....	2-44
2.3.4	タイマB動作 (パルス周期測定モード).....	2-46
2.3.5	タイマB動作 (パルス幅測定モード).....	2-48
2.3.6	タイマBの注意事項 (タイマモード、イベントカウンタモード).....	2-50
2.3.7	タイマBの注意事項 (パルス周期測定 / パルス幅測定モード).....	2-51
2.4	クロック同期形シリアルI/O使い方.....	2-52
2.4.1	クロック同期形シリアルI/O使い方の概要.....	2-52
2.4.2	シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信).....	2-60
2.4.3	シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時)	2-64
2.4.4	シリアルI/O動作 (クロック同期形シリアルI/Oモードの受信).....	2-68
2.4.5	シリアルI/Oの注意事項 (クロック同期形シリアルI/Oモード時).....	2-72
2.5	クロック非同期形シリアルI/O使い方.....	2-74
2.5.1	クロック非同期形シリアルI/O使い方の概要.....	2-74
2.5.2	シリアルI/O動作 (クロック非同期形シリアルI/Oモードの送信).....	2-84
2.5.3	シリアルI/O動作 (クロック非同期形シリアルI/Oモードの受信).....	2-88
2.5.4	シリアルI/O動作 (SIMインタフェース対応時の送信).....	2-92
2.5.5	シリアルI/O動作 (SIMインタフェース対応時の受信).....	2-96
2.5.6	SIMインタフェース対応時のクロック.....	2-100

2.5.7 転送速度の誤差許容範囲	2-104
2.6 SI/O3,4使い方	2-106
2.6.1 SI/O3,4使い方の概要	2-106
2.6.2 SI / O3, 4動作	2-108
2.7 A-D変換器使い方	2-110
2.7.1 A-D変換器使い方の概要	2-110
2.7.2 A-D変換器の動作 (単発モード)	2-116
2.7.3 A-D変換器の動作 (単発モード、外部トリガ選択時)	2-118
2.7.4 A-D変換器の動作 (単発モード、拡張アナログ入力選択時)	2-120
2.7.5 A-D変換器の動作 (単発モード、外部オペアンプ接続モード選択時)	2-122
2.7.6 A-D変換器の動作 (繰り返しモード)	2-124
2.7.7 A-D変換器の動作 (単掃引モード)	2-126
2.7.8 A-D変換器の動作 (繰り返し掃引モード0)	2-128
2.7.9 A-D変換器の動作 (繰り返し掃引モード1)	2-130
2.7.10 A-D変換器の注意事項	2-132
2.7.11 A-D変換の方法 (10ビットモード)	2-133
2.7.12 A-D変換の方法 (8ビットモード)	2-135
2.7.13 絶対精度と微分非直線性誤差	2-137
2.7.14 アナログ入力内部等価回路	2-139
2.7.15 A-D変換時のセンサーの出力インピーダンス	2-140
2.8 D-A変換器使い方	2-142
2.8.1 D-A変換器使い方の概要	2-142
2.8.2 D-A変換器の動作	2-143
2.9 DMAC使い方	2-144
2.9.1 DMAC使い方の概要	2-144
2.9.2 DMACの動作 (単転送モード)	2-148
2.9.3 DMACの動作 (リピート転送)	2-150
2.10 CRC演算回路の使い方	2-152
2.10.1 CRC演算回路使い方の概要	2-152
2.10.2 CRC演算回路の動作	2-153
2.11 監視タイマ使い方	2-154
2.11.1 監視タイマ使い方の概要	2-154
2.11.2 監視タイマの動作	2-156
2.12 アドレス一致割り込み使い方	2-158
2.12.1 アドレス一致割り込み使い方の概要	2-158
2.12.2 アドレス一致割り込みの動作	2-160

2.13	キー入力割り込み使い方	2-162
2.13.1	キー入力割り込み使い方の概要	2-162
2.13.2	キー入力割り込みの動作	2-164
2.14	多重割り込み使い方	2-166
2.14.1	多重割り込み使い方の概要	2-166
2.14.2	多重割り込みの動作	2-171
2.15	パワーコントロール使い方	2-173
2.15.1	パワーコントロール使い方の概要	2-173
2.15.2	ストップモードへの設定	2-178
2.15.3	ウェイトモードへの設定	2-179
2.15.4	パワーコントロールの注意事項	2-180
2.16	プログラマブル入出力ポート使い方	2-181
2.16.1	プログラマブルポート使い方の概要	2-181

第3章 周辺機能の応用例

3.1	長い周期のタイマ	2-192
3.2	周期およびデューティ - 可変のPWM出力	2-196
3.3	ディレードワンショット出力	2-200
3.4	ブザーの出力	2-204
3.5	外部割り込み端子が不足したときの対処方法	2-206
3.6	メモリからメモリへのDMA転送例	2-208
3.7	ストップモードを使用したパワーコントロール例	2-212
3.8	ウェイトモードを使用したパワーコントロール例	2-216

第4章 外部バス

4.1	外部バスの概要	2-222
4.2	データアクセス	2-223
4.2.1	データバス幅	2-223
4.2.2	チップセレクトとアドレスバス	2-224
4.2.3	バスタイプ	2-225
4.2.4	R/Wモード	2-225
4.3	接続例	2-226
4.3.1	16ビット幅のメモリの接続例	2-226
4.3.2	16ビット幅のデータバスと8ビットメモリとの接続例	2-227
4.3.3	8ビット幅のデータバスと8ビットメモリとの接続例	2-229
4.3.4	16ビット幅のデータバスに8ビットメモリと16ビットメモリの接続例	2-230

4.3.5 チップセレクトとアドレスバス	2-231
4.4 接続可能なメモリ	2-232
4.4.1 動作周波数とアクセス時間	2-232
4.4.2 低速メモリの接続	2-236
4.4.3 接続可能なメモリ	2-240
4.5 外部バスの開放($\overline{\text{HOLD}}$ 入力と $\overline{\text{HLDA}}$ 出力)	2-241
4.6 外部バスの注意事項	2-242

第5章 ROM外付け版

5.1 ピン接続図	2-245
5.2 端子の機能説明	2-247
5.3 メモリ配置	2-249
5.4 プロセッサモード	2-253

機能別目次

プロテクト	1-45
2.1.1 プロテクト使い方の概要	2-2
2.1.2 プロテクト動作	2-4
2.1.3 プロテクト注意事項	2-5
タイマA	1-79
2.2.1 タイマA使い方の概要	2-6
2.2.2 タイマA動作 (タイマモード)	2-12
2.2.3 タイマA動作 (タイマモード、ゲート機能選択時)	2-14
2.2.4 タイマA動作 (タイマモード、パルス出力機能選択時)	2-16
2.2.5 タイマA動作 (イベントカウンタモード、リロードタイプ選択時)	2-18
2.2.6 タイマA動作 (イベントカウンタモード、フリーランタイプ選択時)	2-20
2.2.7 タイマA動作 (イベントカウンタモード二相パルス信号処理、通常モード選択時)	2-22
2.2.8 タイマA動作 (イベントカウンタモード二相パルス信号処理、4逓倍モード選択時)	2-24
2.2.9 タイマA動作 (ワンショットタイマモード)	2-26
2.2.10 タイマA動作 (ワンショットタイマモード、外部トリガ選択時)	2-28
2.2.11 タイマA動作 (パルス幅変調モード、16ビットPWMモード選択時)	2-30
2.2.12 タイマA動作 (パルス幅変調モード、8ビットPWMモード選択時)	2-32
2.2.13 タイマAの注意事項 (タイマモード)	2-34
2.2.14 タイマAの注意事項 (イベントカウンタモード)	2-35
2.2.15 タイマAの注意事項 (ワンショットタイマモード)	2-36
2.2.16 タイマAの注意事項 (パルス幅変調モード)	2-37
タイマB	1-89
2.3.1 タイマB使い方の概要	2-38
2.3.2 タイマB動作 (タイマモード)	2-42
2.3.3 タイマB動作 (イベントカウンタモード)	2-44
2.3.4 タイマB動作 (パルス周期測定モード)	2-46
2.3.5 タイマB動作 (パルス幅測定モード)	2-48
2.3.6 タイマBの注意事項 (タイマモード、イベントカウンタモード)	2-50
2.3.7 タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)	2-51
シリアルI/O	1-107
2.4.1 クロック同期形シリアルI/O使い方の概要	2-52
2.4.2 シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信)	2-60

2.4.3 シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時)	2-64
2.4.4 シリアルI/O動作 (クロック同期形シリアルI/Oモードの受信)	2-68
2.4.5 シリアルI/Oの注意事項 (クロック同期形シリアルI/Oモード時)	2-72
2.5.1 クロック非同期形シリアルI/O使い方の概要	2-74
2.5.2 シリアルI/O動作 (クロック非同期形シリアルI/Oモードの送信)	2-84
2.5.3 シリアルI/O動作 (クロック非同期形シリアルI/Oモードの受信)	2-88
2.5.4 シリアルI/O動作 (SIMインタフェース対応時の送信)	2-92
2.5.5 シリアルI/O動作 (SIMインタフェース対応時の受信)	2-96
2.5.6 SIMインタフェース対応時のクロック	2-100
2.5.7 転送速度の誤差許容範囲	2-104
2.6.1 SI/O3,4使い方の概要	2-106
2.6.2 SI / O3, 4動作	2-108
A-D変換器	1-148
2.7.1 A-D変換器使い方の概要	2-110
2.7.2 A-D変換器の動作 (単発モード)	2-116
2.7.3 A-D変換器の動作 (単発モード、外部トリガ選択時)	2-118
2.7.4 A-D変換器の動作 (単発モード、拡張アナログ入力選択時)	2-120
2.7.5 A-D変換器の動作 (単発モード、外部オペアンプ接続モード選択時)	2-122
2.7.6 A-D変換器の動作 (繰り返しモード)	2-124
2.7.7 A-D変換器の動作 (単掃引モード)	2-126
2.7.8 A-D変換器の動作 (繰り返し掃引モード0)	2-128
2.7.9 A-D変換器の動作 (繰り返し掃引モード1)	2-130
2.7.10 A-D変換器の注意事項	2-132
2.7.11 A-D変換の方法 (10ビットモード)	2-133
2.7.12 A-D変換の方法 (8ビットモード)	2-135
2.7.13 絶対精度と微分非直線性誤差	2-137
2.7.14 アナログ入力内部等価回路	2-139
2.7.15 A-D変換時のセンサーの出力インピーダンス	2-140
D-A変換器	1-158
2.8.1 D-A変換器使い方の概要	2-142
2.8.2 D-A変換器の動作	2-143
DMAC	1-67
2.9.1 DMAC使い方の概要	2-144
2.9.2 DMACの動作 (単転送モード)	2-148

2.9.3 DMACの動作 (リピート転送)	2-150
CRC演算回路	1-160
2.10.1 CRC演算回路使い方の概要	2-152
2.10.2 CRC演算回路の動作	2-153
監視タイマ	1-65
2.11.1 監視タイマ使い方の概要	2-154
2.11.2 監視タイマの動作	2-156
割り込みの概要	1-46
2.12.1 アドレス一致割り込み使い方の概要	2-158
2.12.2 アドレス一致割り込みの動作	2-160
2.13.1 キー入力割り込み使い方の概要	2-162
2.13.2 キー入力割り込みの動作	2-164
2.14.1 多重割り込み使い方の概要	2-166
2.14.2 多重割り込みの動作	2-171
パワーコントロール	1-43
2.15.1 パワーコントロール使い方の概要	2-173
2.15.2 ストップモードへの設定	2-178
2.15.3 ウェイトモードへの設定	2-179
2.15.4 パワーコントロールの注意事項	2-180
プログラマブル入出力ポート	1-162
2.16.1 プログラマブルポート使い方の概要	2-181

番地別ページ早見表

	掲載ページ
0000 ₁₆	
0001 ₁₆	
0002 ₁₆	
0003 ₁₆	
0004 ₁₆	プロセッサモードレジスタ0(PM0)
0005 ₁₆	プロセッサモードレジスタ1(PM1)
0006 ₁₆	システムクロック制御レジスタ 0 (CM0)
0007 ₁₆	システムクロック制御レジスタ 1 (CM1)
0008 ₁₆	チップセレクト制御レジスタ(CSR)
0009 ₁₆	アドレス一致割り込み許可レジスタ(AIER)
000A ₁₆	プロテクトレジスタ(PRCR)
000B ₁₆	
000C ₁₆	
000D ₁₆	
000E ₁₆	監視タイマスタートレジスタ(WDTS)
000F ₁₆	監視タイマ制御レジスタ(WDC)
0010 ₁₆	
0011 ₁₆	アドレス一致割り込みレジスタ 0 (RMAD0)
0012 ₁₆	
0013 ₁₆	
0014 ₁₆	
0015 ₁₆	アドレス一致割り込みレジスタ 1 (RMAD1)
0016 ₁₆	
0017 ₁₆	
0018 ₁₆	
0019 ₁₆	
001A ₁₆	
001B ₁₆	
001C ₁₆	
001D ₁₆	
001E ₁₆	
001F ₁₆	
0020 ₁₆	
0021 ₁₆	DMA0ソ - スポインタ(SAR0)
0022 ₁₆	
0023 ₁₆	
0024 ₁₆	
0025 ₁₆	DMA0ディスティネ - ションポインタ(DAR0)
0026 ₁₆	
0027 ₁₆	
0028 ₁₆	
0029 ₁₆	DMA0転送カウンタ(TCR0)
002A ₁₆	
002B ₁₆	
002C ₁₆	DMA0制御レジスタ(DM0CON)
002D ₁₆	
002E ₁₆	
002F ₁₆	
0030 ₁₆	
0031 ₁₆	DMA1ソ - スポインタ(SAR1)
0032 ₁₆	
0033 ₁₆	
0034 ₁₆	
0035 ₁₆	DMA1ディスティネ - ションポインタ(DAR1)
0036 ₁₆	
0037 ₁₆	
0038 ₁₆	
0039 ₁₆	DMA1転送カウンタ(TCR1)
003A ₁₆	
003B ₁₆	
003C ₁₆	DMA1制御レジスタ(DM1CON)
003D ₁₆	
003E ₁₆	
003F ₁₆	

	掲載ページ
0040 ₁₆	
0041 ₁₆	
0042 ₁₆	
0043 ₁₆	
0044 ₁₆	INT3割り込み制御レジスタ(INT3IC)
0045 ₁₆	タイマB5割り込み制御レジスタ(TB5IC)
0046 ₁₆	タイマB4割り込み制御レジスタ(TB4IC)
0047 ₁₆	タイマB3割り込み制御レジスタ(TB3IC)
0048 ₁₆	SI/O4割り込み制御レジスタ(S4IC)
	INT5割り込み制御レジスタ(INT5IC)
0049 ₁₆	SI/O3割り込み制御レジスタ(S3IC)
	INT4割り込み制御レジスタ(INT4IC)
004A ₁₆	バス衝突検出割り込み制御レジスタ (BCNIC)
004B ₁₆	DMA0割り込み制御レジスタ (DM0IC)
004C ₁₆	DMA1割り込み制御レジスタ(DM1IC)
004D ₁₆	キ - 入力割り込み制御レジスタ(KUPIC)
004E ₁₆	A - D 変換割り込み制御レジスタ(ADIC)
004F ₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0050 ₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0058 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
005A ₁₆	タイマB0割り込み制御レジスタ(TB0IC)
005B ₁₆	タイマB1割り込み制御レジスタ(TB1IC)
005C ₁₆	タイマB2割り込み制御レジスタ(TB2IC)
005D ₁₆	INT0割り込み制御レジスタ(INT0IC)
005E ₁₆	INT1割り込み制御レジスタ(INT1IC)
005F ₁₆	INT2割り込み制御レジスタ(INT2IC)
0060 ₁₆	
0061 ₁₆	
0062 ₁₆	
0063 ₁₆	
0064 ₁₆	
0065 ₁₆	
0066 ₁₆	
0067 ₁₆	
0068 ₁₆	
0069 ₁₆	
006A ₁₆	
006B ₁₆	
006C ₁₆	
006D ₁₆	
006E ₁₆	
006F ₁₆	
0070 ₁₆	
0071 ₁₆	
0072 ₁₆	
0073 ₁₆	
0074 ₁₆	
0075 ₁₆	
0076 ₁₆	
0077 ₁₆	
0078 ₁₆	
0079 ₁₆	
007A ₁₆	
007B ₁₆	
007C ₁₆	
007D ₁₆	
007E ₁₆	
007F ₁₆	
0080 ₁₆	
0081 ₁₆	
0082 ₁₆	
0083 ₁₆	
0084 ₁₆	
0085 ₁₆	
0086 ₁₆	
0087 ₁₆	
0088 ₁₆	
0089 ₁₆	
008A ₁₆	
008B ₁₆	
008C ₁₆	
008D ₁₆	
008E ₁₆	
008F ₁₆	
0090 ₁₆	
0091 ₁₆	
0092 ₁₆	
0093 ₁₆	
0094 ₁₆	
0095 ₁₆	
0096 ₁₆	
0097 ₁₆	
0098 ₁₆	
0099 ₁₆	
009A ₁₆	
009B ₁₆	
009C ₁₆	
009D ₁₆	
009E ₁₆	
009F ₁₆	
00A0 ₁₆	
00A1 ₁₆	
00A2 ₁₆	
00A3 ₁₆	
00A4 ₁₆	
00A5 ₁₆	
00A6 ₁₆	
00A7 ₁₆	
00A8 ₁₆	
00A9 ₁₆	
00AA ₁₆	
00AB ₁₆	
00AC ₁₆	
00AD ₁₆	
00AE ₁₆	
00AF ₁₆	
00B0 ₁₆	
00B1 ₁₆	
00B2 ₁₆	
00B3 ₁₆	
00B4 ₁₆	
00B5 ₁₆	
00B6 ₁₆	
00B7 ₁₆	
00B8 ₁₆	
00B9 ₁₆	
00BA ₁₆	
00BB ₁₆	
00BC ₁₆	
00BD ₁₆	
00BE ₁₆	
00BF ₁₆	
00C0 ₁₆	
00C1 ₁₆	
00C2 ₁₆	
00C3 ₁₆	
00C4 ₁₆	
00C5 ₁₆	
00C6 ₁₆	
00C7 ₁₆	
00C8 ₁₆	
00C9 ₁₆	
00CA ₁₆	
00CB ₁₆	
00CC ₁₆	
00CD ₁₆	
00CE ₁₆	
00CF ₁₆	
00D0 ₁₆	
00D1 ₁₆	
00D2 ₁₆	
00D3 ₁₆	
00D4 ₁₆	
00D5 ₁₆	
00D6 ₁₆	
00D7 ₁₆	
00D8 ₁₆	
00D9 ₁₆	
00DA ₁₆	
00DB ₁₆	
00DC ₁₆	
00DD ₁₆	
00DE ₁₆	
00DF ₁₆	
00E0 ₁₆	
00E1 ₁₆	
00E2 ₁₆	
00E3 ₁₆	
00E4 ₁₆	
00E5 ₁₆	
00E6 ₁₆	
00E7 ₁₆	
00E8 ₁₆	
00E9 ₁₆	
00EA ₁₆	
00EB ₁₆	
00EC ₁₆	
00ED ₁₆	
00EE ₁₆	
00EF ₁₆	
00F0 ₁₆	
00F1 ₁₆	
00F2 ₁₆	
00F3 ₁₆	
00F4 ₁₆	
00F5 ₁₆	
00F6 ₁₆	
00F7 ₁₆	
00F8 ₁₆	
00F9 ₁₆	
00FA ₁₆	
00FB ₁₆	
00FC ₁₆	
00FD ₁₆	
00FE ₁₆	
00FF ₁₆	

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

番地別ページ早見表

		掲載ページ
0340 ₁₆	タイマB3,4.5カウント開始フラグ(TBSR)	1-90
0341 ₁₆		
0342 ₁₆	タイマA1-1レジスタ(TA11)	
0343 ₁₆		
0344 ₁₆	タイマA2-1レジスタ(TA21)	1-97
0345 ₁₆		
0346 ₁₆	タイマA4-1レジスタ(TA41)	
0347 ₁₆		
0348 ₁₆	三相PWM制御レジスタ0(INVC0)	1-95
0349 ₁₆	三相PWM制御レジスタ1(INVC1)	
034A ₁₆	三相出力バッファレジスタ0(IDB0)	
034B ₁₆	三相出力バッファレジスタ1(IDB1)	1-96
034C ₁₆	短絡防止タイマ(DTT)	
034D ₁₆	タイマB2割り込み発生頻度設定カウンタ(ICTB2)	
034E ₁₆		
034F ₁₆		
0350 ₁₆	タイマB3レジスタ(TB3)	
0351 ₁₆		
0352 ₁₆	タイマB4レジスタ(TB4)	1-90
0353 ₁₆		
0354 ₁₆	タイマB5レジスタ(TB5)	
0355 ₁₆		
0356 ₁₆		
0357 ₁₆		
0358 ₁₆		
0359 ₁₆		
035A ₁₆		
035B ₁₆	タイマB3モードレジスタ(TB3MR)	
035C ₁₆	タイマB4モードレジスタ(TB4MR)	1-89
035D ₁₆	タイマB5モードレジスタ(TB5MR)	
035E ₁₆		
035F ₁₆	割り込み要因選択レジスタ(IFSR)	1-60
0360 ₁₆	SI/O3送受信レジスタ(S3TRR)	
0361 ₁₆		
0362 ₁₆	SI/O3制御レジスタ(S3C)	
0363 ₁₆	SI/O3転送速度レジスタ(S3BRG)	1-145
0364 ₁₆	SI/O4送受信レジスタ(S4TRR)	
0365 ₁₆		
0366 ₁₆	SI/O4制御レジスタ(S4C)	
0367 ₁₆	SI/O4転送速度レジスタ(S4BRG)	
0368 ₁₆		
0369 ₁₆		
036A ₁₆		
036B ₁₆		
036C ₁₆		
036D ₁₆		
036E ₁₆		
036F ₁₆		
0370 ₁₆		
0371 ₁₆		
0372 ₁₆		
0373 ₁₆		
0374 ₁₆		
0375 ₁₆	UART2特殊モードレジスタ3(U2SMR3)	1-136
0376 ₁₆	UART2特殊モードレジスタ2(U2SMR2)	1-140
0377 ₁₆	UART2特殊モードレジスタ(U2SMR)	1-136
0378 ₁₆	UART2送受信モードレジスタ(U2MR)	1-112
0379 ₁₆	UART2転送速度レジスタ(U2BRG)	
037A ₁₆	UART2送信バッファレジスタ(U2TB)	1-111
037B ₁₆		
037C ₁₆	UART2送受信制御レジスタ0(U2C0)	1-113
037D ₁₆	UART2送受信制御レジスタ1(U2C1)	1-114
037E ₁₆	UART2受信バッファレジスタ(U2RB)	1-111
037F ₁₆		

		掲載ページ
0380 ₁₆	カウント開始フラグ(TABSR)	1-80
0381 ₁₆	時計用プリスケアラリセットフラグ(CPSRF)	
0382 ₁₆	ワンショット開始フラグ(ONSF)	1-81
0383 ₁₆	トリガ選択レジスタ(TRGSR)	
0384 ₁₆	アップダウンフラグ(UDF)	1-80
0385 ₁₆		
0386 ₁₆	タイマA0レジスタ(TA0)	
0387 ₁₆		
0388 ₁₆	タイマA1レジスタ(TA1)	
0389 ₁₆		
038A ₁₆	タイマA2レジスタ(TA2)	1-80
038B ₁₆		
038C ₁₆	タイマA3レジスタ(TA3)	
038D ₁₆		
038E ₁₆	タイマA4レジスタ(TA4)	
038F ₁₆		
0390 ₁₆	タイマB0レジスタ(TB0)	
0391 ₁₆		
0392 ₁₆	タイマB1レジスタ(TB1)	1-90
0393 ₁₆		
0394 ₁₆	タイマB2レジスタ(TB2)	
0395 ₁₆		
0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)	
0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)	1-79
0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)	
0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)	
039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)	
039B ₁₆	タイマB0モ - ドレジスタ(TB0MR)	
039C ₁₆	タイマB1モ - ドレジスタ(TB1MR)	1-89
039D ₁₆	タイマB2モ - ドレジスタ(TB2MR)	
039E ₁₆		
039F ₁₆		
03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)	1-112
03A1 ₁₆	UART0転送速度レジスタ(U0BRG)	
03A2 ₁₆	UART0送信バッファレジスタ(U0TB)	1-111
03A3 ₁₆		
03A4 ₁₆	UART0送受信制御レジスタ 0 (U0C0)	1-113
03A5 ₁₆	UART0送受信制御レジスタ 1 (U0C1)	1-114
03A6 ₁₆		
03A7 ₁₆	UART0受信バッファレジスタ(U0RB)	1-111
03A8 ₁₆		
03A9 ₁₆	UART1送受信モ - ドレジスタ(U1MR)	1-112
03AA ₁₆	UART1転送速度レジスタ(U1BRG)	
03AB ₁₆	UART1送信バッファレジスタ(U1TB)	1-111
03AC ₁₆	UART1送受信制御レジスタ 0 (U1C0)	1-113
03AD ₁₆	UART1送受信制御レジスタ 1 (U1C1)	1-114
03AE ₁₆		
03AF ₁₆	UART1受信バッファレジスタ(U1RB)	1-111
03B0 ₁₆	UART送受信制御レジスタ2(UCON)	1-115
03B1 ₁₆		
03B2 ₁₆		
03B3 ₁₆		
03B4 ₁₆		
03B5 ₁₆		
03B6 ₁₆	フラッシュメモリ制御レジスタ1(FMR1)(注1)	
03B7 ₁₆	フラッシュメモリ制御レジスタ0(FMR0)(注1)	1-230
03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)	1-69
03B9 ₁₆		
03BA ₁₆	DMA1要因選択レジスタ(DM1SL)	1-70
03BB ₁₆		
03BC ₁₆		
03BD ₁₆	CRCデータレジスタ(CRCD)	
03BE ₁₆	CRCインプットレジスタ(CRCIN)	1-160
03BF ₁₆		

注1. このレジスタはフラッシュメモリ版にのみ存在します。

注2. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

番地別ページ早見表

		掲載ページ	
03C0 ₁₆	A-Dレジスタ0(AD0)	1-151	
03C1 ₁₆			
03C2 ₁₆			A-Dレジスタ1(AD1)
03C3 ₁₆			
03C4 ₁₆			A-Dレジスタ2(AD2)
03C5 ₁₆			
03C6 ₁₆			A-Dレジスタ3(AD3)
03C7 ₁₆			
03C8 ₁₆			A-Dレジスタ4(AD4)
03C9 ₁₆			
03CA ₁₆	A-Dレジスタ5(AD5)	1-151	
03CB ₁₆			
03CC ₁₆	A-Dレジスタ6(AD6)		
03CD ₁₆			
03CE ₁₆	A-Dレジスタ7(AD7)		
03CF ₁₆			
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆			
03D3 ₁₆			
03D4 ₁₆	A-D制御レジスタ2(ADCON2)	1-151	
03D5 ₁₆		1-150	
03D6 ₁₆	A-D制御レジスタ0(ADCON0)		
03D7 ₁₆	A-D制御レジスタ1(ADCON1)		
03D8 ₁₆	D-Aレジスタ0(DA0)	1-159	
03D9 ₁₆			
03DA ₁₆	D-Aレジスタ1(DA1)		
03DB ₁₆			
03DC ₁₆	D-A制御レジスタ(DACON)		
03DD ₁₆		1-167	
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ(P0)		
03E1 ₁₆	ポートP1レジスタ(P1)		
03E2 ₁₆	ポートP0方向レジスタ(PD0)		
03E3 ₁₆	ポートP1方向レジスタ(PD1)		
03E4 ₁₆	ポートP2レジスタ(P2)		
03E5 ₁₆	ポートP3レジスタ(P3)		
03E6 ₁₆	ポートP2方向レジスタ(PD2)		
03E7 ₁₆	ポートP3方向レジスタ(PD3)		
03E8 ₁₆	ポートP4レジスタ(P4)		
03E9 ₁₆	ポートP5レジスタ(P5)		
03EA ₁₆	ポートP4方向レジスタ(PD4)		
03EB ₁₆	ポートP5方向レジスタ(PD5)		
03EC ₁₆	ポートP6レジスタ(P6)		
03ED ₁₆	ポートP7レジスタ(P7)		
03EE ₁₆	ポートP6方向レジスタ(PD6)		
03EF ₁₆	ポートP7方向レジスタ(PD7)		
03F0 ₁₆	ポートP8レジスタ(P8)		
03F1 ₁₆	ポートP9レジスタ(P9)		
03F2 ₁₆	ポートP8方向レジスタ(PD8)		
03F3 ₁₆	ポートP9方向レジスタ(PD9)		
03F4 ₁₆	ポートP10レジスタ(P10)		
03F5 ₁₆			
03F6 ₁₆	ポートP10方向レジスタ(PD10)		
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆		1-169	
03FC ₁₆	ブルアップ制御レジスタ 0 (PUR0)		
03FD ₁₆	ブルアップ制御レジスタ 1 (PUR1)		
03FE ₁₆	ブルアップ制御レジスタ 2 (PUR2)	1-170	
03FF ₁₆	ポート制御レジスタ(PCR)		

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

第 1 章

ハードウェア

概 要

概 要

M16C/62Aグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したシングルチップマイクロコンピュータです。

M16C/62Aグループは内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。

特 長

- メモリ容量 ROM(ROM展開の図を参照してください)
RAM 3Kバイト～20Kバイト
- 最短命令実行時間 62.5ns($f(XIN)=16\text{MHz}$ 、 $VCC=5V$ 時)
100ns($f(XIN)=10\text{MHz}$ 、1ウエイト、 $VCC=3V$ 時) : マスクROM、フラッシュメモリ5V版
- 電源電圧 4.2V～5.5V($f(XIN)=16\text{MHz}$ 時、ウエイトなし) : マスクROM、フラッシュメモリ5V版
2.7V～5.5V($f(XIN)=10\text{MHz}$ 、1ウエイト時) : マスクROM、フラッシュメモリ5V版
- 低消費電力 25.5mW($VCC=3V$ 、 $f(XIN)=10\text{MHz}$ 、1ウエイト時)
- 割り込み 内部25要因、外部8要因、ソフトウェア4要因、7レベル
(キー入力割り込みを含む)
- 多機能16ビットタイマ 出力系5本 + 入力系6本
- シリアルI/O 5本(UART/クロック 同期 3本、クロック 同期 2本)
- DMAC 2チャンネル(スタート条件:24要因)
- A-D 変換器 10ビット×8チャンネル(最大10チャンネルまで拡張可)
- D-A 変換器 8ビット×2チャンネル
- CRC 演算回路 1回路
- 監視タイマ 1本
- プログラマブル入出力 87本
- 入力ポート 1本(P85、 $\overline{NMI}$ 端子と兼用)
- メモリ拡張 可能(最大1Mバイトのメモリ空間で拡張可能)
- チップセレクト出力 4本
- クロック発生回路 2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)

応 用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

— 目 次 —

中央演算処理装置	1-12	三相モータ制御用タイマ機能	1-95
リセット	1-15	シリアルI/O	1-107
プロセッサモード	1-22	A-D変換器	1-148
クロック発生回路	1-36	D-A変換器	1-158
プロテクト	1-45	CRC演算回路	1-160
割り込み	1-46	プログラマブル入出力ポート	1-162
監視タイマ	1-65	電気的特性	1-173
DMAC	1-67	フラッシュメモリ版	1-216
タイマ	1-77		

ピン接続図

図1.1.1および図1.1.2にピン接続図(上面図)を示します。

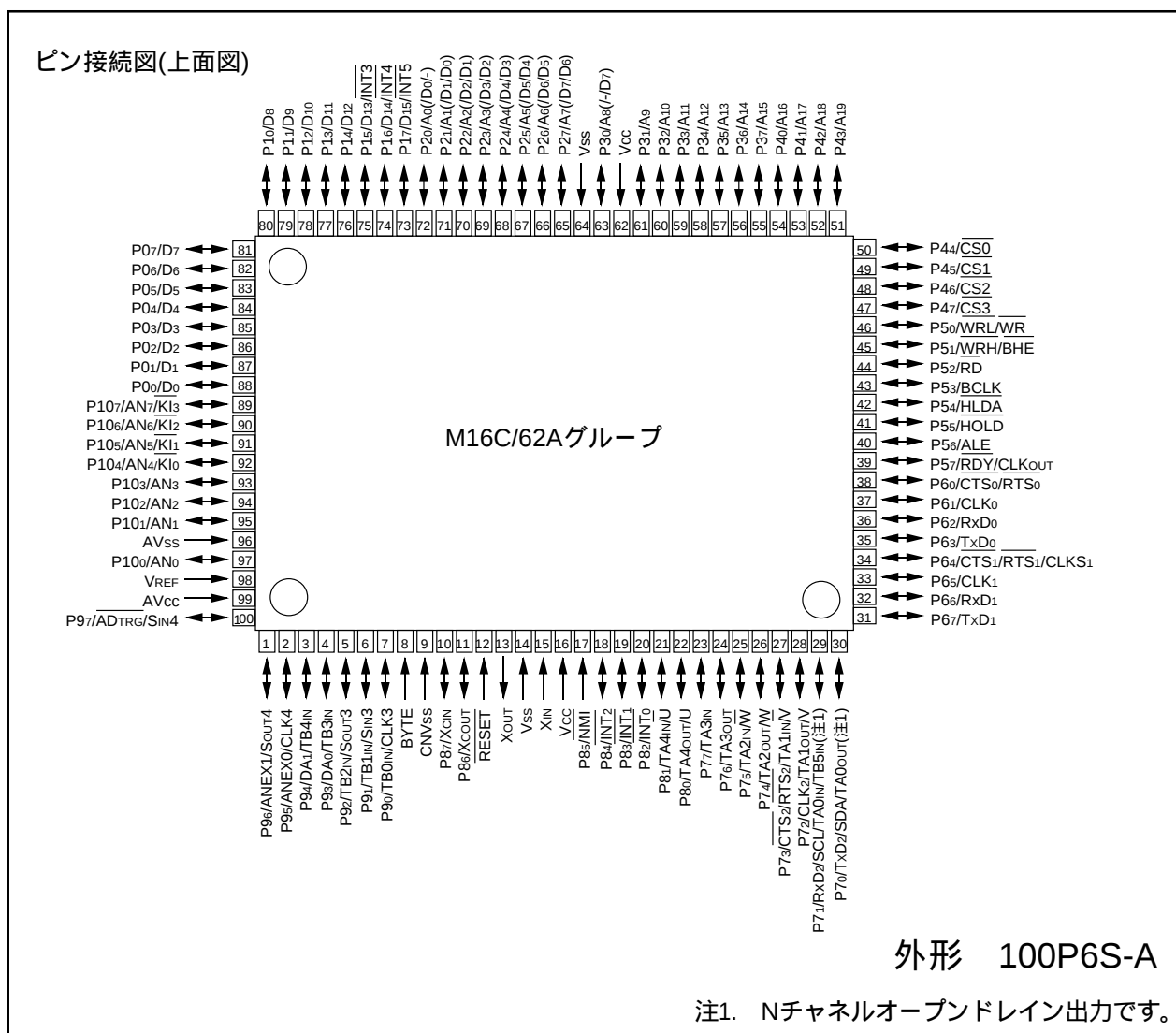
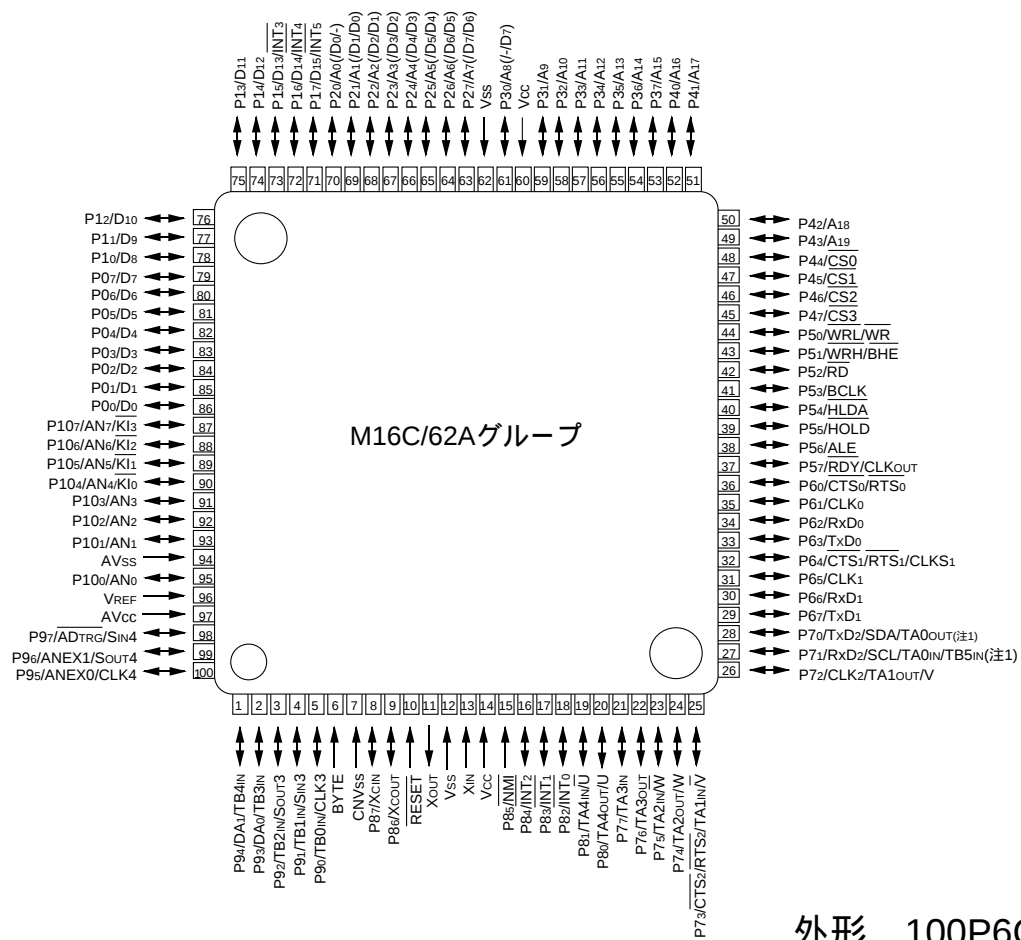


図1.1.1. ピン接続図(上面図)

ピン接続図(上面図)



外形 100P6Q-A

注1. Nチャネルオープンドレイン出力です。

図1.1.2. ピン接続図(上面図)

ブロック図

図1.1.3にM16C/62Aグループのブロック図を示します。

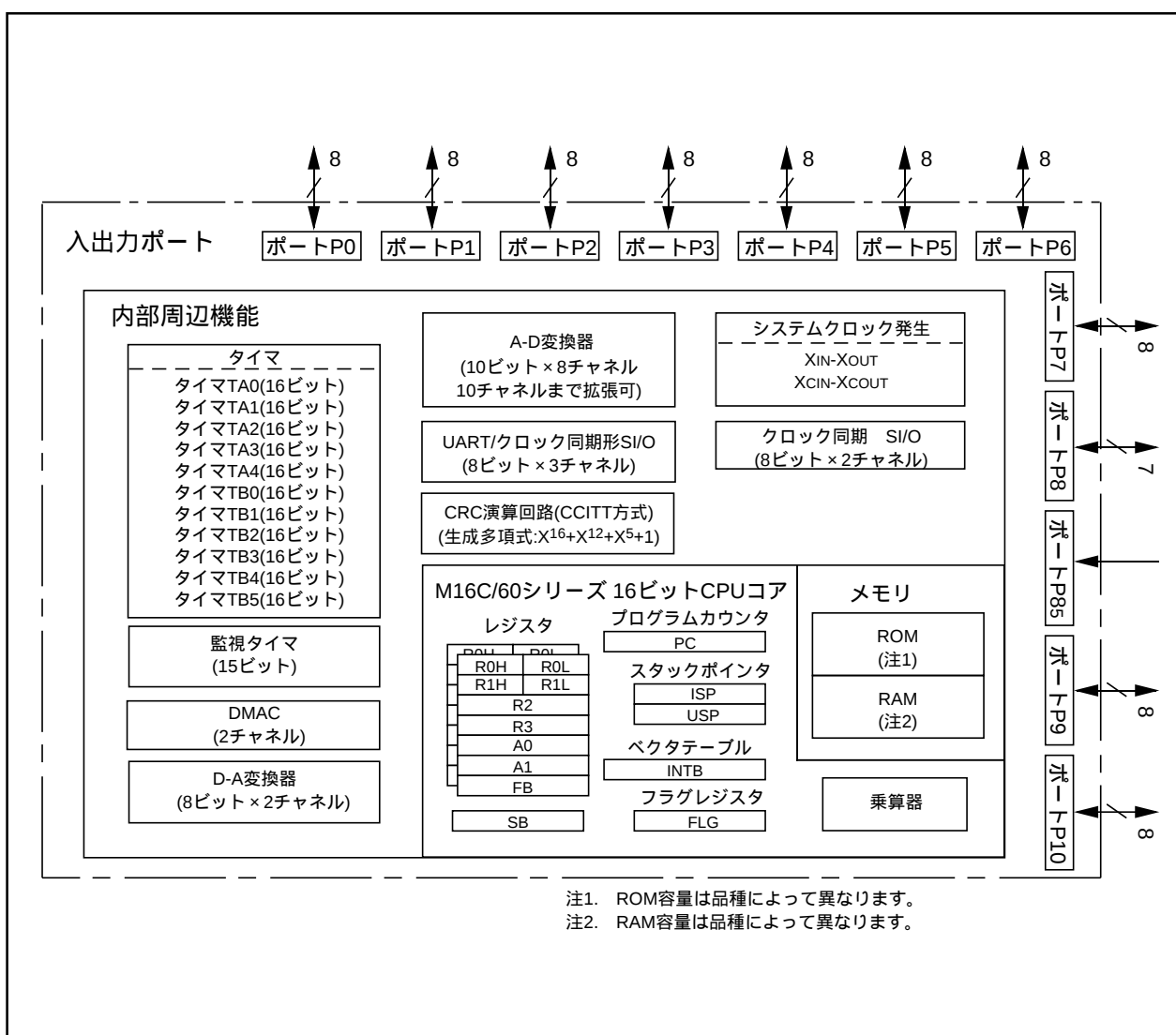


図1.1.3. M16C/62Aグループのブロック図

概 要

性能概要

表1.1.1にM16C/62Aグループの性能概要を示します。

表1.1.1. M16C/62Aグループの性能概要

項 目		性 能
基本命令数		91命令
最短命令実行時間		62.5ns($f(X_{IN})=16\text{MHz}$ 、 $V_{CC}=5\text{V}$ 時) 100ns($f(X_{IN})=10\text{MHz}$ 、1ウェイト、 $V_{CC}=3\text{V}$ 時) : マスクROM、フラッシュメモリ5V版
メモリ容量	ROM	(ROM展開の図を参照してください)
	RAM	3Kバイト～20Kバイト
入出力ポート	P0～P10(ただしP85は除く)	8ビット×10、7ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4	16ビット×5
	TB0,TB1,TB2,TB3,TB4,TB5	16ビット×6
シリアルI/O	UART0,UART1,UART2	(UARTまたはクロック同期形)×3
	SI/O3, SI/O4	クロック同期形×2
A-D変換器		10ビット×(8+2)チャンネル
D-A変換器		8ビット×2
DMAC		2チャンネル(スタート条件:24要因)
CRC演算回路		CRC-CCITT方式
監視タイマ		15ビット×1(プリスケアラ付)
割り込み		内部25要因、外部8要因、ソフトウェア4要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)
電源電圧		4.2V～5.5V($f(X_{IN})=16\text{MHz}$ 、ウェイトなし) : マスクROM、フラッシュメモリ5V版
		2.7V～5.5V($f(X_{IN})=10\text{MHz}$ 、1ウェイト時) : マスクROM、フラッシュメモリ5V版
消費電力		25.5mW($V_{CC}=3\text{V}$ 、 $f(X_{IN})=10\text{MHz}$ 、1ウェイト時)
入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能(最大1Mバイトのメモリ空間で拡張可能)
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP

概 要

M16C/62Aグループでは次のような展開を計画しています。

(1) マスクROM版、ROM外付け版、フラッシュメモリ版のサポート

(2) ROM容量

(3) パッケージ

100P6S-A プラスチックモールドQFP(マスクROM、フラッシュメモリ版)

100P6Q-A プラスチックモールドQFP(マスクROM、フラッシュメモリ版)

ROMサイズ (バイト)		
ROM 外付け		M30620SAFP/GP M30622SAFP/GP
256 K	M30624MGA-XXXFP/GP	M30624FGAFP/GP
128 K	M30620MCA-XXXFP/GP M30622MCA-XXXFP/GP	M30620FCAFP/GP
96 K	M30620MAA-XXXFP/GP M30622MAA-XXXFP/GP	
64 K	M30620M8A-XXXFP/GP M30622M8A-XXXFP/GP	
32 K	M30622M4A-XXXFP/GP	
	マスクROM版	フラッシュメモリ版 ROM外付け版

図1.1.4. ROM展開

サポートを行う予定の製品を以下に示します。

表1.1.2. 製品一覧表

2001年4月現在

形 名	ROM容量	RAM容量	パッケージ	備 考
M30622M4A-XXXFP	32Kバイト	3Kバイト	100P6S-A	マスクROM版
M30622M4A-XXXGP			100P6Q-A	
M30620M8A-XXXFP	64Kバイト	10Kバイト	100P6S-A	
M30620M8A-XXXGP			100P6Q-A	
M30622M8A-XXXFP		4Kバイト	100P6S-A	
M30622M8A-XXXGP			100P6Q-A	
M30620MAA-XXXFP	96Kバイト	10Kバイト	100P6S-A	
M30620MAA-XXXGP			100P6Q-A	
M30622MAA-XXXFP		5Kバイト	100P6S-A	
M30622MAA-XXXGP			100P6Q-A	
M30620MCA-XXXFP	128Kバイト	10Kバイト	100P6S-A	
M30620MCA-XXXGP			100P6Q-A	
M30622MCA-XXXFP		5Kバイト	100P6S-A	
M30622MCA-XXXGP			100P6Q-A	
M30624MGA-XXXFP	256Kバイト	20Kバイト	100P6S-A	
M30624MGA-XXXGP			100P6Q-A	
M30620FCAFP	128Kバイト	10Kバイト	100P6S-A	フラッシュメモリ5V版
M30620FCAGP			100P6Q-A	
M30624FGAFP	256Kバイト	20Kバイト	100P6S-A	
M30624FGAGP			100P6Q-A	
M30620SAFP	—	10Kバイト	100P6S-A	ROM外付け版
M30620SAGP			100P6Q-A	
M30622SAFP		3Kバイト	100P6S-A	
M30622SAGP			100P6Q-A	

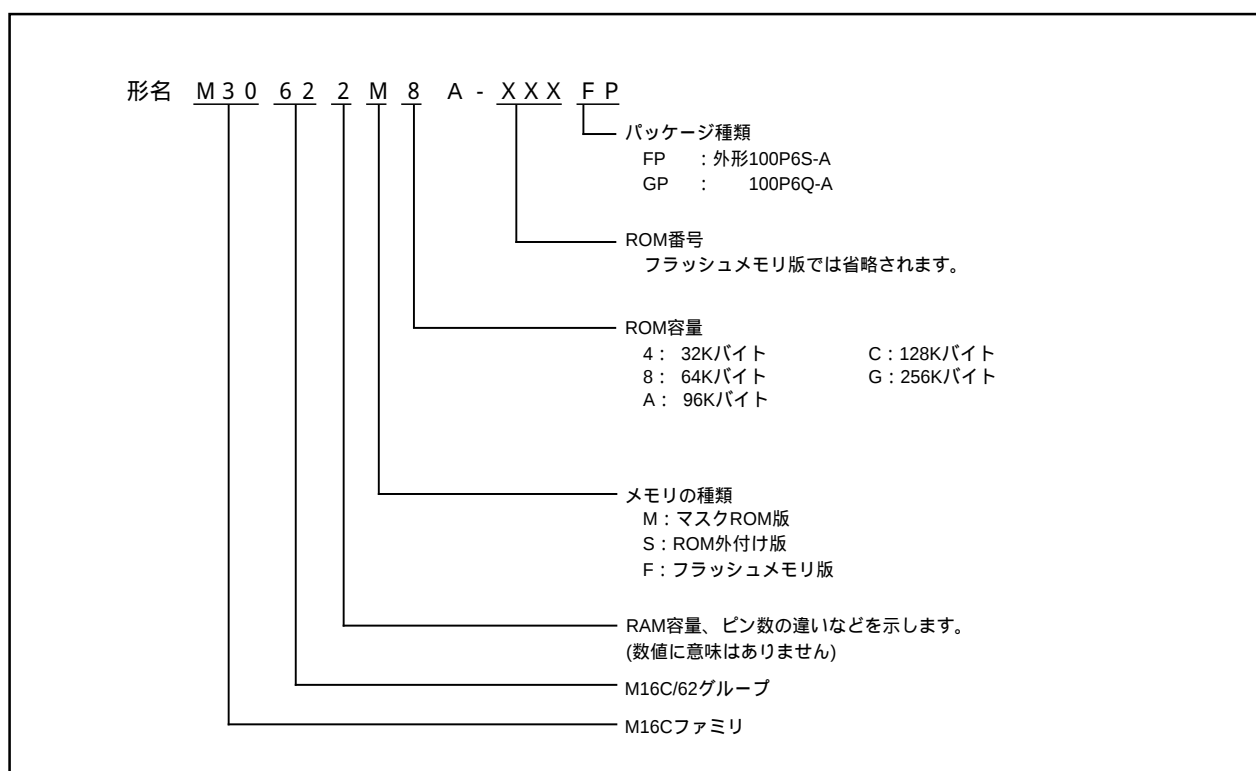


図1.1.5. 形名とメモリサイズ・パッケージ

端子の機能説明

端子の機能説明

端子名	名 称	入出力	機 能
VCC, VSS	電源入力		VCC端子には、2.7V～5.5Vを印加してください。VSS端子には、0Vを印加してください。
CNVSS	CNVSS	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモード（メモリ拡張モード）で動作を開始する場合VSS端子に、マイクロプロセッサモードで動作を開始する場合VCC端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
BYTE	外部データバス幅 切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部データバスを使用しない場合、VSS端子に接続してください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
P00～P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。 シングルチップモードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは、内蔵プルアップ抵抗は選択できません。
D0～D7		入出力	セバレートバス設定時データ(D0～D7)の入出力を行います。
P10～P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。P15～P17はソフトウェアで選択することによって、外部割り込み端子として機能します。
D8～D15		入出力	セバレートバス設定時データ(D8～D15)の入出力を行います。
P20～P27	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A0～A7		出力	アドレスの下位8ビット(A0～A7)の出力を行います。
A0/D0～ A7/D7		入出力	外部データバス幅が8ビットでマルチプレクスバス設定時、データ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
A0 A1/D0～ A7/D6		出力 入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D0～D6)の入出力と、アドレス(A1～A7)の出力を時分割で行います。また、アドレス(A0)の出力を行います。
P30～P37	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A8～A15		出力	アドレスの中位8ビット(A8～A15)の出力を行います。
A8/D7、 A9～A15		入出力 出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D7)の入出力と、アドレス(A8)の出力を時分割で行います。また、アドレス(A9～A15)の出力を行います。
P40～P47	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A16～A19、 CS0～CS3		出力 出力	A16～A19、CS0～CS3信号を出力します。A16～A19はアドレスの上位4ビットです。CS0～CS3はチップセレクト信号でアクセス空間の指定に使用します。

端子の機能説明

端子の機能説明

端子名	名 称	入出力	機 能
P50 ~ P57	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード時、ソフトウェアで選択することによって、P57からXINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。
WRL/WR、 WRH/BHE、 RD、 BCLK、 HLDA、 HOLD、 ALE、 RDY		出力 出力 出力 出力 入力 出力 入力	WRL、WRH、(WR、BHE)、RD、BCLK、HLDA、ALE信号を出力します。なお、ソフトウェアによってWRL、WRHまたは、BHE、WRを切り替えることができます。 ■WRL、WRH、RD選択時 外部データバス幅が16ビットの場合、WRL信号が“L”レベルのとき偶数番地に、WRH信号が“L”レベルのときは奇数番地に書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。 ■WR、BHE、RD選択時 WR信号が“L”レベルのとき書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。BHE信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 HOLD端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、HLDAは“L”レベルを出力します。ALEはアドレスをラッチするための信号です。RDY端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。
P60 ~ P67	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード、マイクロプロセッサモード、メモリ拡張モードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、UART0、UART1の入出力端子として機能します。
P70 ~ P77	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、P70およびP71はNチャネルオープンドレイン出力)。ソフトウェアで選択することによって、タイマA0 ~ A3、タイマB5またはUART2の入出力端子として機能します。
P80 ~ P84、 P86、 P87、 P85	入出力ポートP8 入力ポートP85	入出力 入出力 入出力 入力	P80 ~ P84、P86、P87はP6と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。P86、P87はソフトウェアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。P85はNMIと兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
P90 ~ P97	入出力ポートP9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、SI/O3、4の入出力端子、タイマB0 ~ B4の入力端子、D-A変換器の出力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。
P100 ~ P107	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってA-D変換器の入力端子として機能します。また、P104 ~ P107はキー入力割り込み機能の入力端子としても機能します。

メモリ

機能ブロック動作説明

M16C/62Aグループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

メモリ配置図を図1.3.1に示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

FFFFFF₁₆番地から番地の小さい方向にROMが配置されています。例えばM30622MCA-XXXXFPでは、E0000₁₆番地からFFFFFF₁₆番地まで128Kバイトの内部ROMが配置されています。

FFFDC₁₆番地からFFFFFF₁₆番地はリセットおよびNMIなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400₁₆番地から番地の大きい方向にRAMが配置されています。例えばM30622MCA-XXXXFPでは、00400₁₆番地から017FF₁₆番地まで5Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000₁₆番地から003FF₁₆番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図1.6.1～図1.6.3に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00₁₆番地からFFFDB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。例えばM30622MCA-XXXXFPでは、次の領域は使用できません。

- ・ 01800₁₆番地から03FFF₁₆番地(メモリ拡張モード時およびマイクロプロセッサモード時)
- ・ D0000₁₆番地からDFFFF₁₆番地(メモリ拡張モード時)

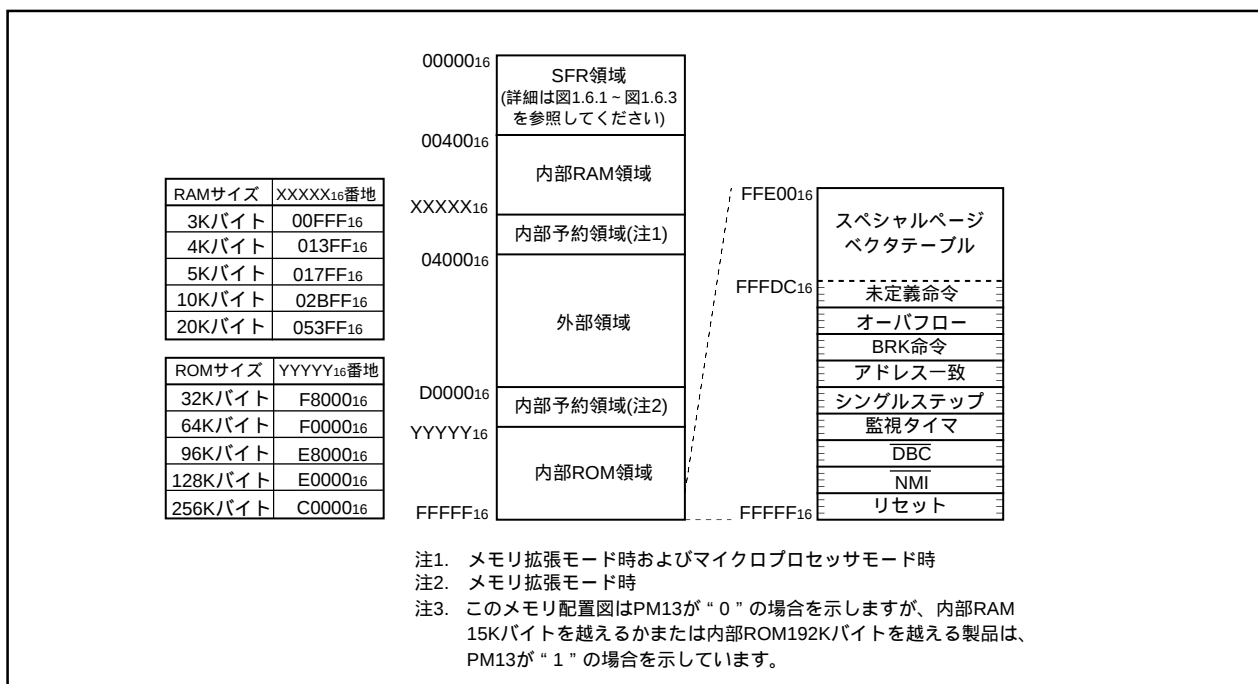


図1.3.1. メモリ配置図

中央演算処理装置

中央演算処理装置には図1.4.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

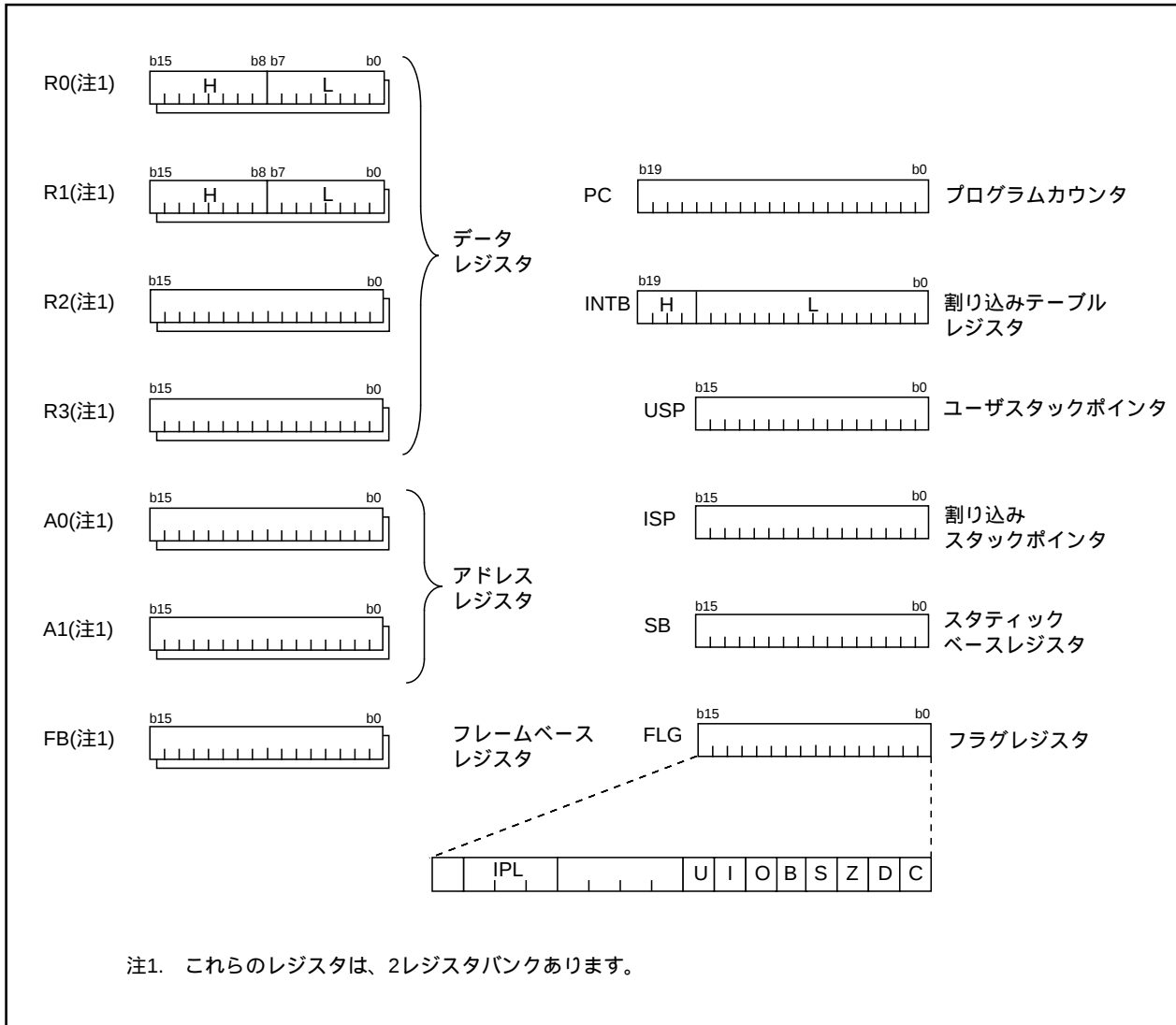


図1.4.1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図1.4.2に示します。また、各フラグの機能を以下に示します。

●ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

●ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

●ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

●ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

●ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

●ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

●ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

- **ビット7：スタックポインタ指定フラグ(Uフラグ)**

このフラグが“0”のとき**割り込みスタックポインタ(ISP)**が指定され、“1”のとき**ユーザスタックポインタ(USP)**が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

- **ビット8～ビット11：予約領域**

- **ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)**

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

- **ビット15：予約領域**

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。

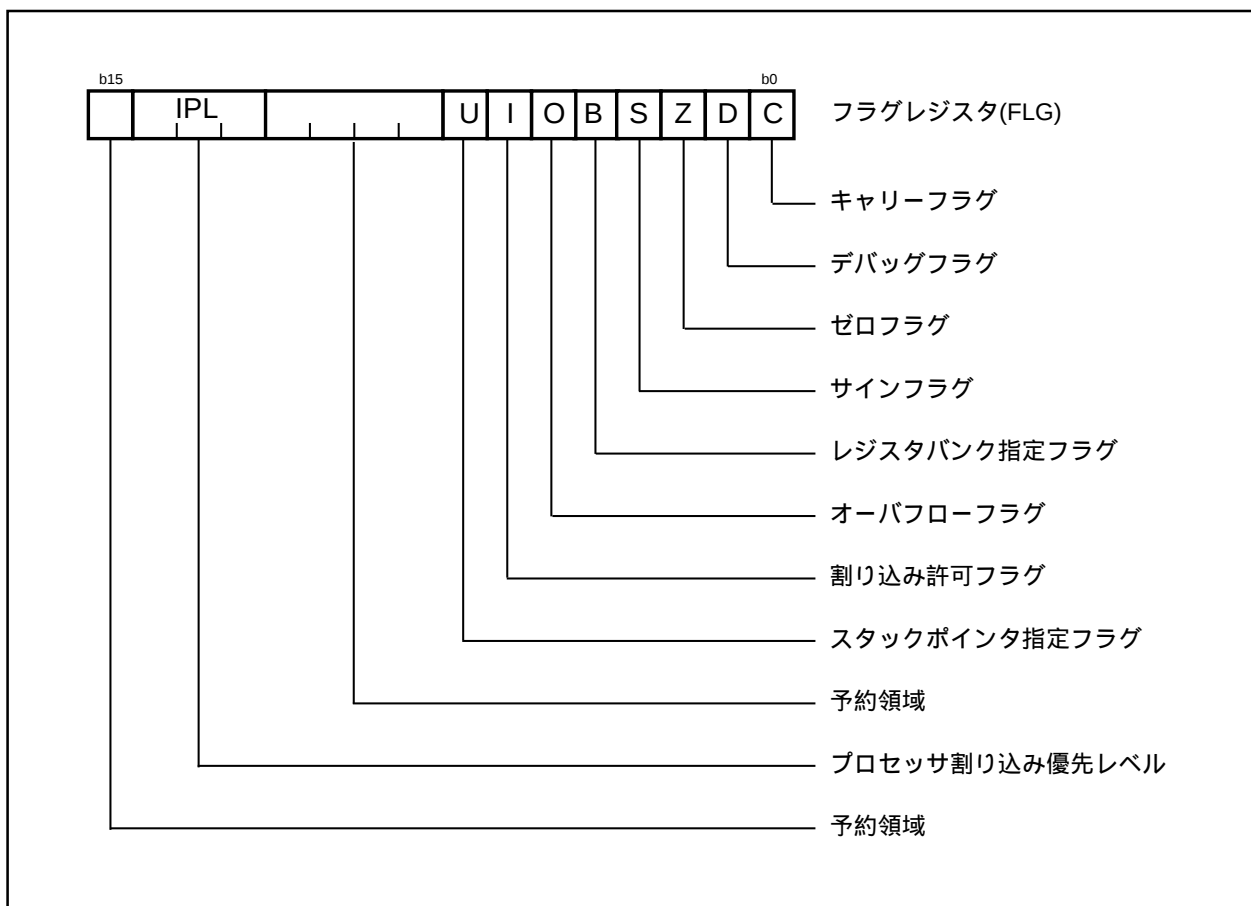


図1.4.2. フラグレジスタ(FLG)の構成

リセット

リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル($0.2V_{CC}$ 以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図1.5.1、リセットシーケンスを図1.5.2に示します。

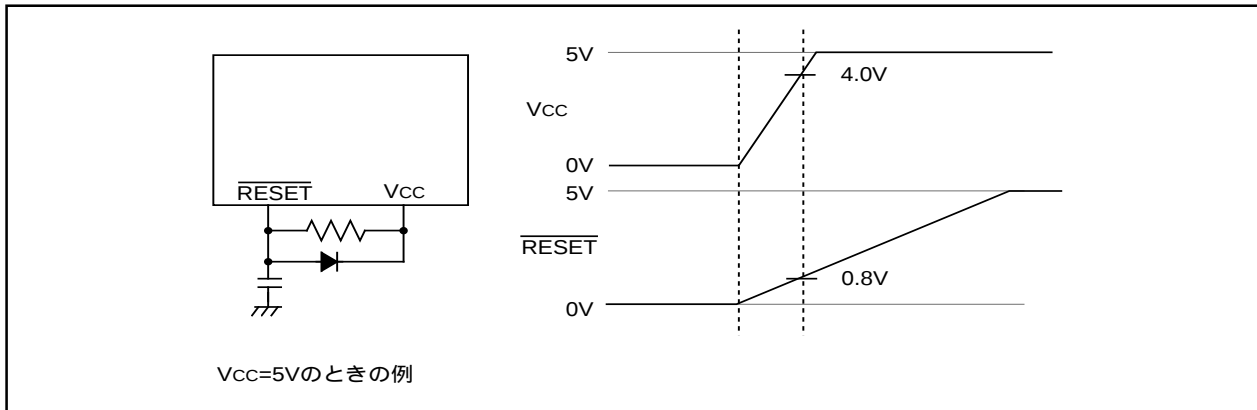


図1.5.1. リセット回路の一例

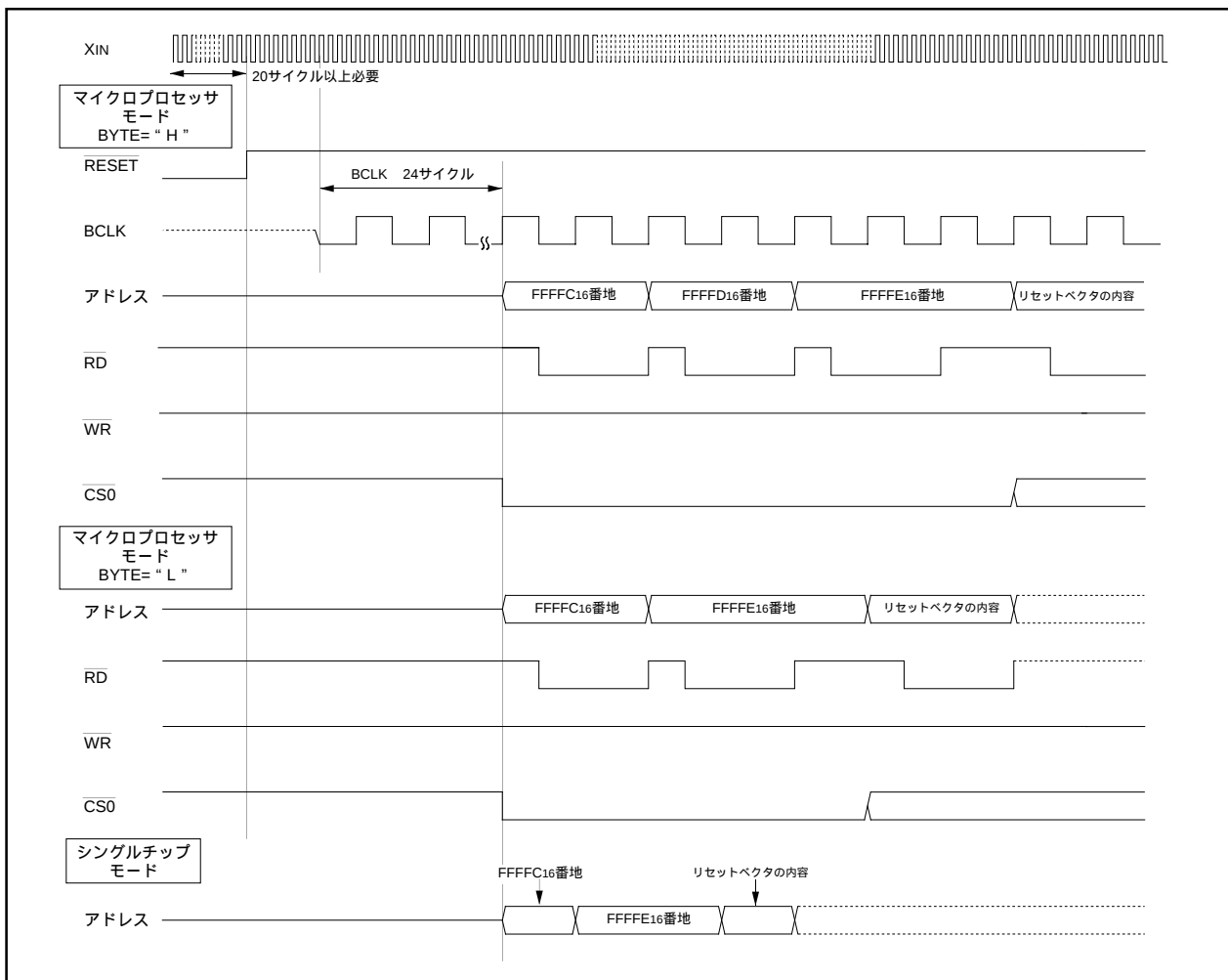


図1.5.2. リセットシーケンス

リセット

$\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を表1.5.1、リセット解除直後のマイクロコンピュータの内部状態を図1.5.3、図1.5.4に示します。

表1.5.1. $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P40 ~ P43	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
P44	入力ポート(フローティング)	$\overline{\text{CS0}}$ 出力(“H”レベルを出力)	$\overline{\text{CS0}}$ 出力(“H”レベルを出力)
P45 ~ P47	入力ポート(フローティング)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)	入力ポート(フローティング) (ただし、プルアップ抵抗ON状態)
P50	入力ポート(フローティング)	$\overline{\text{WR}}$ 出力(“H”レベルを出力)	$\overline{\text{WR}}$ 出力(“H”レベルを出力)
P51	入力ポート(フローティング)	$\overline{\text{BHE}}$ 出力(不定)	$\overline{\text{BHE}}$ 出力(不定)
P52	入力ポート(フローティング)	$\overline{\text{RD}}$ 出力(“H”レベルを出力)	$\overline{\text{RD}}$ 出力(“H”レベルを出力)
P53	入力ポート(フローティング)	$\overline{\text{BCLK}}$ 出力	$\overline{\text{BCLK}}$ 出力
P54	入力ポート(フローティング)	$\overline{\text{HLDA}}$ 出力(出力値は $\overline{\text{HOLD}}$ 端子の 入力に依存)	$\overline{\text{HLDA}}$ 出力(出力値は $\overline{\text{HOLD}}$ 端子の 入力に依存)
P55	入力ポート(フローティング)	$\overline{\text{HOLD}}$ 入力(フローティング)	$\overline{\text{HOLD}}$ 入力(フローティング)
P56	入力ポート(フローティング)	$\overline{\text{ALE}}$ 出力(“L”レベルを出力)	$\overline{\text{ALE}}$ 出力(“L”レベルを出力)
P57	入力ポート(フローティング)	$\overline{\text{RDY}}$ 入力(フローティング)	$\overline{\text{RDY}}$ 入力(フローティング)
P6, P7, P80 ~ P84, P86, P87, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)

リセット

(1) プロセッサモードレジスタ0(注1)	(000416)...	0016	(28) UART1送信割り込み制御レジスタ	(005316)...	XXXX?000
(2) プロセッサモードレジスタ1	(000516)...	00000XX0	(29) UART1受信割り込み制御レジスタ	(005416)...	XXXX?000
(3) システムクロック制御レジスタ0	(000616)...	01001000	(30) タイマA0割り込み制御レジスタ	(005516)...	XXXX?000
(4) システムクロック制御レジスタ1	(000716)...	00100000	(31) タイマA1割り込み制御レジスタ	(005616)...	XXXX?000
(5) チップセレクト制御レジスタ	(000816)...	00000001	(32) タイマA2割り込み制御レジスタ	(005716)...	XXXX?000
(6) アドレス一致割り込み許可レジスタ	(000916)...	XXXXXX00	(33) タイマA3割り込み制御レジスタ	(005816)...	XXXX?000
(7) プロテクトレジスタ	(000A16)...	XXXXXX00	(34) タイマA4割り込み制御レジスタ	(005916)...	XXXX?000
(8) 監視タイマ制御レジスタ	(000F16)...	000???	(35) タイマB0割り込み制御レジスタ	(005A16)...	XXXX?000
(9) アドレス一致割り込みレジスタ0	(001016)...	0016	(36) タイマB1割り込み制御レジスタ	(005B16)...	XXXX?000
	(001116)...	0016	(37) タイマB2割り込み制御レジスタ	(005C16)...	XXXX?000
	(001216)...	XXXX0000	(38) INT0割り込み制御レジスタ	(005D16)...	XX00?000
(10) アドレス一致割り込みレジスタ1	(001416)...	0016	(39) INT1割り込み制御レジスタ	(005E16)...	XX00?000
	(001516)...	0016	(40) INT2割り込み制御レジスタ	(005F16)...	XX00?000
	(001616)...	XXXX0000	(41) タイマB3,4,5カウント開始フラグ	(034016)...	000XXXXX
(11) DMA0制御レジスタ	(002C16)...	00000?00	(42) 三相PWM制御レジスタ0	(034816)...	0016
(12) DMA1制御レジスタ	(003C16)...	00000?00	(43) 三相PWM制御レジスタ1	(034916)...	0016
(13) INT3割り込み制御レジスタ	(004416)...	XX00?000	(44) 三相出力バッファレジスタ0	(034A16)...	0016
(14) タイマB5割り込み制御レジスタ	(004516)...	XXXX?000	(45) 三相出力バッファレジスタ1	(034B16)...	0016
(15) タイマB4割り込み制御レジスタ	(004616)...	XXXX?000	(46) タイマB3モードレジスタ	(035B16)...	00?00000
(16) タイマB3割り込み制御レジスタ	(004716)...	XXXX?000	(47) タイマB4モードレジスタ	(035C16)...	00?00000
(17) SI/O4割り込み制御レジスタ	(004816)...	XX00?000	(48) タイマB5モードレジスタ	(035D16)...	00?00000
(18) SI/O3割り込み制御レジスタ	(004916)...	XX00?000	(49) 割り込み要因選択レジスタ	(035F16)...	0016
(19) バス衝突検出割り込み制御レジスタ	(004A16)...	XXXX?000	(50) SI/O3制御レジスタ	(036216)...	4016
(20) DMA0割り込み制御レジスタ	(004B16)...	XXXX?000	(51) SI/O4制御レジスタ	(036616)...	4016
(21) DMA1割り込み制御レジスタ	(004C16)...	XXXX?000	(52) UART2特殊モードレジスタ3(注2)	(037516)...	?
(22) キー入力割り込み制御レジスタ	(004D16)...	XXXX?000	(53) UART2特殊モードレジスタ2	(037616)...	0016
(23) A-D変換割り込み制御レジスタ	(004E16)...	XXXX?000	(54) UART2特殊モードレジスタ	(037716)...	0016
(24) UART2送信割り込み制御レジスタ	(004F16)...	XXXX?000	(55) UART2送受信モードレジスタ	(037816)...	0016
(25) UART2受信割り込み制御レジスタ	(005016)...	XXXX?000	(56) UART2送受信制御レジスタ0	(037C16)...	00001000
(26) UART0送信割り込み制御レジスタ	(005116)...	XXXX?000	(57) UART2送受信制御レジスタ1	(037D16)...	00000010
(27) UART0受信割り込み制御レジスタ	(005216)...	XXXX?000			

× : このビットは何も配置されていません。
 ? : 不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

注1. CNVss端子にVccレベルを印加しているときは、リセット時0316になります。

注2. UART2特殊モードレジスタ(037716番地)のビット7(SDDS)を " 1 " とした場合、0016が読み出されます。

図1.5.3. リセット解除後のマイクロコンピュータの内部状態(1)

リセット

(58) カウント開始フラグ	(0380 ₁₆)...	00 ₁₆	(84) A-D制御レジスタ1	(03D7 ₁₆)...	00 ₁₆
(59) 時計用プリスケアラリセットフラグ	(0381 ₁₆)...	0 ☐ ☐ ☐ ☐ ☐ ☐ ☐ ☐	(85) D-A制御レジスタ	(03DC ₁₆)...	00 ₁₆
(60) ワンショット開始フラグ	(0382 ₁₆)...	0 0 ☐ 0 0 0 0 0 0	(86) ポートP0方向レジスタ	(03E2 ₁₆)...	00 ₁₆
(61) トリガ選択レジスタ	(0383 ₁₆)...	00 ₁₆	(87) ポートP1方向レジスタ	(03E3 ₁₆)...	00 ₁₆
(62) アップダウンフラグ	(0384 ₁₆)...	00 ₁₆	(88) ポートP2方向レジスタ	(03E6 ₁₆)...	00 ₁₆
(63) タイマA0モードレジスタ	(0396 ₁₆)...	00 ₁₆	(89) ポートP3方向レジスタ	(03E7 ₁₆)...	00 ₁₆
(64) タイマA1モードレジスタ	(0397 ₁₆)...	00 ₁₆	(90) ポートP4方向レジスタ	(03EA ₁₆)...	00 ₁₆
(65) タイマA2モードレジスタ	(0398 ₁₆)...	00 ₁₆	(91) ポートP5方向レジスタ	(03EB ₁₆)...	00 ₁₆
(66) タイマA3モードレジスタ	(0399 ₁₆)...	00 ₁₆	(92) ポートP6方向レジスタ	(03EE ₁₆)...	00 ₁₆
(67) タイマA4モードレジスタ	(039A ₁₆)...	00 ₁₆	(93) ポートP7方向レジスタ	(03EF ₁₆)...	00 ₁₆
(68) タイマB0モードレジスタ	(039B ₁₆)...	0 0 ? ☐ 0 0 0 0	(94) ポートP8方向レジスタ	(03F2 ₁₆)...	0 0 ☐ 0 0 0 0 0 0
(69) タイマB1モードレジスタ	(039C ₁₆)...	0 0 ? ☐ 0 0 0 0	(95) ポートP9方向レジスタ	(03F3 ₁₆)...	00 ₁₆
(70) タイマB2モードレジスタ	(039D ₁₆)...	0 0 ? ☐ 0 0 0 0	(96) ポートP10方向レジスタ	(03F6 ₁₆)...	00 ₁₆
(71) UART0送受信モードレジスタ	(03A0 ₁₆)...	00 ₁₆	(97) ブルアップ制御レジスタ0	(03FC ₁₆)...	00 ₁₆
(72) UART0送受信制御レジスタ0	(03A4 ₁₆)...	0 0 0 0 1 0 0 0	(98) ブルアップ制御レジスタ1(注1)	(03FD ₁₆)...	00 ₁₆
(73) UART0送受信制御レジスタ1	(03A5 ₁₆)...	0 0 0 0 0 0 1 0	(99) ブルアップ制御レジスタ2	(03FE ₁₆)...	00 ₁₆
(74) UART1送受信モードレジスタ	(03A8 ₁₆)...	00 ₁₆	(100) ポート制御レジスタ	(03FF ₁₆)...	00 ₁₆
(75) UART1送受信制御レジスタ0	(03AC ₁₆)...	0 0 0 0 1 0 0 0	(101) データレジスタ(R0/R1/R2/R3)		0000 ₁₆
(76) UART1送受信制御レジスタ1	(03AD ₁₆)...	0 0 0 0 0 0 1 0	(102) アドレスレジスタ(A0/A1)		0000 ₁₆
(77) UART送受信制御レジスタ2	(03B0 ₁₆)...	☐ 0 0 0 0 0 0 0 0	(103) フレームベースレジスタ(FB)		0000 ₁₆
(78) フラッシュメモリ制御レジスタ1(注2)	(03B6 ₁₆)...	? ? ? ? 0 ? ? ?	(104) 割り込みテーブルレジスタ(INTB)		00000 ₁₆
(79) フラッシュメモリ制御レジスタ0(注2)	(03B7 ₁₆)...	☐ ☐ 0 0 0 0 0 1	(105) ユーザスタックポインタ(USP)		0000 ₁₆
(80) DMA0要因選択レジスタ	(03B8 ₁₆)...	00 ₁₆	(106) 割り込みスタックポインタ(ISP)		0000 ₁₆
(81) DMA1要因選択レジスタ	(03BA ₁₆)...	00 ₁₆	(107) スタティックベースレジスタ(SB)		0000 ₁₆
(82) A-D制御レジスタ2	(03D4 ₁₆)...	0 0 0 0 ☐ ☐ ☐ 0	(108) フラグレジスタ(FLG)		0000 ₁₆
(83) A-D制御レジスタ0	(03D6 ₁₆)...	0 0 0 0 0 ? ? ?			

× : このビットは何も配置されていません。
 ? : 不定です。
 これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
 注1 . CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります。
 注2 . このレジスタは、フラッシュメモリ版にのみ存在します。

図1.5.4. リセット解除後のマイクロコンピュータの内部状態(2)

0000 ₁₆		0040 ₁₆	
0001 ₁₆		0041 ₁₆	
0002 ₁₆		0042 ₁₆	
0003 ₁₆		0043 ₁₆	
0004 ₁₆	プロセッサモードレジスタ0(PM0)	0044 ₁₆	INT3割り込み制御レジスタ(INT3IC)
0005 ₁₆	プロセッサモードレジスタ1(PM1)	0045 ₁₆	タイマB5割り込み制御レジスタ(TB5IC)
0006 ₁₆	システムクロック制御レジスタ 0 (CM0)	0046 ₁₆	タイマB4割り込み制御レジスタ(TB4IC)
0007 ₁₆	システムクロック制御レジスタ 1 (CM1)	0047 ₁₆	タイマB3割り込み制御レジスタ(TB3IC)
0008 ₁₆	チップセレクト制御レジスタ(CSR)	0048 ₁₆	SI/O4割り込み制御レジスタ(S4IC)
0009 ₁₆	アドレス一致割り込み許可レジスタ(AIER)		INT5割り込み制御レジスタ(INT5IC)
000A ₁₆	プロテクトレジスタ(PRCR)	0049 ₁₆	SI/O3割り込み制御レジスタ(S3IC)
000B ₁₆			INT4割り込み制御レジスタ(INT4IC)
000C ₁₆		004A ₁₆	バス衝突検出割り込み制御レジスタ (BCNIC)
000D ₁₆		004B ₁₆	DMA0割り込み制御レジスタ (DM0IC)
000E ₁₆	監視タイマスタートレジスタ(WDTS)	004C ₁₆	DMA1割り込み制御レジスタ(DM1IC)
000F ₁₆	監視タイマ制御レジスタ(WDC)	004D ₁₆	キ - 入力割り込み制御レジスタ(KUPIC)
0010 ₁₆		004E ₁₆	A - D変換割り込み制御レジスタ(ADIC)
0011 ₁₆	アドレス一致割り込みレジスタ 0 (RMAD0)	004F ₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0012 ₁₆		0050 ₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0013 ₁₆		0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0014 ₁₆		0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0015 ₁₆	アドレス一致割り込みレジスタ 1 (RMAD1)	0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0016 ₁₆		0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0017 ₁₆		0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0018 ₁₆		0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0019 ₁₆		0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
001A ₁₆		0058 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
001B ₁₆		0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
001C ₁₆		005A ₁₆	タイマB0割り込み制御レジスタ(TB0IC)
001D ₁₆		005B ₁₆	タイマB1割り込み制御レジスタ(TB1IC)
001E ₁₆		005C ₁₆	タイマB2割り込み制御レジスタ(TB2IC)
001F ₁₆		005D ₁₆	INT0割り込み制御レジスタ(INT0IC)
0020 ₁₆		005E ₁₆	INT1割り込み制御レジスタ(INT1IC)
0021 ₁₆	DMA0ソ - スポインタ(SAR0)	005F ₁₆	INT2割り込み制御レジスタ(INT2IC)
0022 ₁₆		0060 ₁₆	
0023 ₁₆		0061 ₁₆	
0024 ₁₆		0062 ₁₆	
0025 ₁₆	DMA0ディスティネ - ションポインタ(DAR0)	0063 ₁₆	
0026 ₁₆		0064 ₁₆	
0027 ₁₆		0065 ₁₆	
0028 ₁₆			
0029 ₁₆	DMA0転送カウンタ(TCR0)		
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0制御レジスタ(DM0CON)		
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆			
0031 ₁₆	DMA1ソ - スポインタ(SAR1)		
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆	DMA1ディスティネ - ションポインタ(DAR1)		
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆	DMA1転送カウンタ(TCR1)		
003A ₁₆			
003B ₁₆			
003C ₁₆	DMA1制御レジスタ(DM1CON)		
003D ₁₆			
003E ₁₆			
003F ₁₆			

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.1. 周辺装置制御レジスタの配置(1)

0340 ₁₆	タイマB3.4.5カウント開始フラグ(TBSR)	0380 ₁₆	カウント開始フラグ(TABSR)
0341 ₁₆		0381 ₁₆	時計用プリスケアラセットフラグ(CPSRF)
0342 ₁₆	タイマA1-1レジスタ(TA11)	0382 ₁₆	ワンショット開始フラグ(ONSF)
0343 ₁₆		0383 ₁₆	トリガ選択レジスタ(TRGSR)
0344 ₁₆	タイマA2-1レジスタ(TA21)	0384 ₁₆	アップダウンフラグ(UDF)
0345 ₁₆		0385 ₁₆	
0346 ₁₆	タイマA4-1レジスタ(TA41)	0386 ₁₆	タイマA0レジスタ(TA0)
0347 ₁₆		0387 ₁₆	
0348 ₁₆	三相PWM制御レジスタ0(INVC0)	0388 ₁₆	タイマA1レジスタ(TA1)
0349 ₁₆	三相PWM制御レジスタ1(INVC1)	0389 ₁₆	
034A ₁₆	三相出力バッファレジスタ0(IDB0)	038A ₁₆	タイマA2レジスタ(TA2)
034B ₁₆	三相出力バッファレジスタ1(IDB1)	038B ₁₆	
034C ₁₆	短絡防止タイマ(DTT)	038C ₁₆	タイマA3レジスタ(TA3)
034D ₁₆	タイマB2割り込み発生頻度設定カウンタ(ICTB2)	038D ₁₆	
034E ₁₆		038E ₁₆	タイマA4レジスタ(TA4)
034F ₁₆		038F ₁₆	
0350 ₁₆	タイマB3レジスタ(TB3)	0390 ₁₆	タイマB0レジスタ(TB0)
0351 ₁₆		0391 ₁₆	
0352 ₁₆	タイマB4レジスタ(TB4)	0392 ₁₆	タイマB1レジスタ(TB1)
0353 ₁₆		0393 ₁₆	
0354 ₁₆	タイマB5レジスタ(TB5)	0394 ₁₆	タイマB2レジスタ(TB2)
0355 ₁₆		0395 ₁₆	
0356 ₁₆		0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0357 ₁₆		0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0358 ₁₆		0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
0359 ₁₆		0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)
035A ₁₆		039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)
035B ₁₆	タイマB3モードレジスタ(TB3MR)	039B ₁₆	タイマB0モ - ドレジスタ(TB0MR)
035C ₁₆	タイマB4モードレジスタ(TB4MR)	039C ₁₆	タイマB1モ - ドレジスタ(TB1MR)
035D ₁₆	タイマB5モードレジスタ(TB5MR)	039D ₁₆	タイマB2モ - ドレジスタ(TB2MR)
035E ₁₆		039E ₁₆	
035F ₁₆	割り込み要因選択レジスタ(IFSR)	039F ₁₆	
0360 ₁₆	SI/O3送受信レジスタ(S3TRR)	03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
0361 ₁₆		03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
0362 ₁₆	SI/O3制御レジスタ(S3C)	03A2 ₁₆	UART0送信バッファレジスタ(U0TB)
0363 ₁₆	SI/O3転送速度レジスタ(S3BRG)	03A3 ₁₆	
0364 ₁₆	SI/O4送受信レジスタ(S4TRR)	03A4 ₁₆	UART0送受信制御レジスタ 0 (U0C0)
0365 ₁₆		03A5 ₁₆	UART0送受信制御レジスタ 1 (U0C1)
0366 ₁₆	SI/O4制御レジスタ(S4C)	03A6 ₁₆	UART0受信バッファレジスタ(U0RB)
0367 ₁₆	SI/O4転送速度レジスタ(S4BRG)	03A7 ₁₆	
0368 ₁₆		03A8 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
0369 ₁₆		03A9 ₁₆	UART1転送速度レジスタ(U1BRG)
036A ₁₆		03AA ₁₆	UART1送信バッファレジスタ(U1TB)
036B ₁₆		03AB ₁₆	
036C ₁₆		03AC ₁₆	UART1送受信制御レジスタ 0 (U1C0)
036D ₁₆		03AD ₁₆	UART1送受信制御レジスタ 1 (U1C1)
036E ₁₆		03AE ₁₆	UART1受信バッファレジスタ(U1RB)
036F ₁₆		03AF ₁₆	UART送受信制御レジスタ2(UCON)
0370 ₁₆		03B0 ₁₆	
0371 ₁₆		03B1 ₁₆	
0372 ₁₆		03B2 ₁₆	
0373 ₁₆		03B3 ₁₆	
0374 ₁₆		03B4 ₁₆	
0375 ₁₆	UART2特殊モードレジスタ3(U2SMR3)	03B5 ₁₆	
0376 ₁₆	UART2特殊モードレジスタ2(U2SMR2)	03B6 ₁₆	フラッシュメモリ制御レジスタ1(FMR1)(注1)
0377 ₁₆	UART2特殊モードレジスタ(U2SMR)	03B7 ₁₆	フラッシュメモリ制御レジスタ0(FMR0)(注1)
0378 ₁₆	UART2送受信モードレジスタ(U2MR)	03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)
0379 ₁₆	UART2転送速度レジスタ(U2BRG)	03B9 ₁₆	
037A ₁₆		03BA ₁₆	DMA1要因選択レジスタ(DM1SL)
037B ₁₆	UART2送信バッファレジスタ(U2TB)	03BB ₁₆	
037C ₁₆		03BC ₁₆	
037D ₁₆	UART2送受信制御レジスタ0(U2C0)	03BD ₁₆	CRCデータレジスタ(CRCD)
037E ₁₆	UART2送受信制御レジスタ1(U2C1)	03BE ₁₆	CRCインプットレジスタ(CRCIN)
037F ₁₆	UART2受信バッファレジスタ(U2RB)	03BF ₁₆	

注1. このレジスタはフラッシュメモリ版にのみ存在します。

注2. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.2. 周辺装置制御レジスタの配置(2)

03C0 ₁₆	A-Dレジスタ0(AD0)
03C1 ₁₆	
03C2 ₁₆	A-Dレジスタ1(AD1)
03C3 ₁₆	
03C4 ₁₆	A-Dレジスタ2(AD2)
03C5 ₁₆	
03C6 ₁₆	A-Dレジスタ3(AD3)
03C7 ₁₆	
03C8 ₁₆	A-Dレジスタ4(AD4)
03C9 ₁₆	
03CA ₁₆	A-Dレジスタ5(AD5)
03CB ₁₆	
03CC ₁₆	A-Dレジスタ6(AD6)
03CD ₁₆	
03CE ₁₆	A-Dレジスタ7(AD7)
03CF ₁₆	
03D0 ₁₆	
03D1 ₁₆	
03D2 ₁₆	
03D3 ₁₆	
03D4 ₁₆	A-D制御レジスタ2(ADCON2)
03D5 ₁₆	
03D6 ₁₆	A-D制御レジスタ0(ADCON0)
03D7 ₁₆	A-D制御レジスタ1(ADCON1)
03D8 ₁₆	D-Aレジスタ0(DA0)
03D9 ₁₆	
03DA ₁₆	D-Aレジスタ1(DA1)
03DB ₁₆	
03DC ₁₆	D-A制御レジスタ(DACON)
03DD ₁₆	
03DE ₁₆	
03DF ₁₆	
03E0 ₁₆	ポートP0レジスタ(P0)
03E1 ₁₆	ポートP1レジスタ(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2レジスタ(P2)
03E5 ₁₆	ポートP3レジスタ(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4レジスタ(P4)
03E9 ₁₆	ポートP5レジスタ(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6レジスタ(P6)
03ED ₁₆	ポートP7レジスタ(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8レジスタ(P8)
03F1 ₁₆	ポートP9レジスタ(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10レジスタ(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
03F7 ₁₆	
03F8 ₁₆	
03F9 ₁₆	
03FA ₁₆	
03FB ₁₆	
03FC ₁₆	ブルアップ制御レジスタ 0 (PUR0)
03FD ₁₆	ブルアップ制御レジスタ 1 (PUR1)
03FE ₁₆	ブルアップ制御レジスタ 2 (PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.6.3. 周辺装置制御レジスタの配置(3)

ソフトウェアリセット

ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。

● シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。ただし、リセット解除後CNVss端子を“H”の状態ではマイクロプロセッサモードから動作を開始した場合は、その後シングルチップモードに移行しても内部ROMのアクセスはできません。

このモードでは、P0～P10をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

● メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。ただし、リセット解除後CNVss端子を“H”の状態ではマイクロプロセッサモードから動作を開始した場合は、その後メモリ拡張モードに移行しても内部ROMのアクセスはできません。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

● マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVss端子およびプロセッサモードビット(0004₁₆番地のビット1、ビット0)によって行います。プロセッサモードビットを“10₂”にしないでください。

CNVss端子のレベルにかかわらず、プロセッサモードビットを書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットを書き替えるとき、プロセッサモードビットが変化しないように注意してください。プロセッサモードビットを“01₂”または“11₂”に書き替えるときは、他のビットと同時にプロセッサモードビットを書き替えないでください。他のビットを書き替えてから、プロセッサモードビットを書き替えてください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

● CNVss端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01₂”にするとメモリ拡張モードへ切り替えることができます。

● CNVss端子にVccを印加

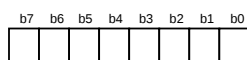
リセット後マイクロプロセッサモードで動作を開始します。

図1.7.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

図1.7.2に各プロセッサモードのメモリ配置図を示します。

プロセッサモード

プロセッサモードレジスタ0 (注1)



シンボル アドレス リセット時
PM0 0004₁₆番地 00₁₆(注2)

ビットシンボル	ビット名	機 能	R/W
PM0	プロセッサモードビット	b1 b0 00: シングルチップモード	○ ○
PM1		01: メモリ拡張モード	
		10: 設定しないでください	
		11: マイクロプロセッサモード	
PM2	R/Wモード選択ビット	0: RD, BHE, WR 1: RD, WRH, WRL	○ ○
PM3	ソフトウェアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。読み出し時の値は“0”。	○ ○
PM4	マルチプレクスバス空間 選択ビット	b5 b4 00: マルチプレクスバスを使用しない	○ ○
PM5		01: CS2の空間に割り当てる	
		10: CS1の空間に割り当てる	
		11: 全空間に割り当てる (注4)	
PM6	ポートP40～P43機能 選択ビット(注3)	0: アドレス出力 1: ポート機能 (アドレスは出力されません)	○ ○
PM7	BCLK出力禁止ビット	0: 出力する 1: 出力しない (端子はフローティングになります)	○ ○

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

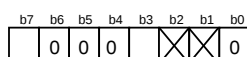
注2. CNVss端子にVccレベルを印加しているときは、リセット時03₁₆になります (PM0およびPM1が“1”になります)。

注3. マイクロプロセッサモード、メモリ拡張モード時有効。

注4. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。
全空間マルチプレクスバスを選択した場合、P31～P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

プロセッサモードレジスタ1(注1)



シンボル アドレス リセット時
PM1 0005₁₆番地 00000XX0₂

ビットシンボル	ビット名	機 能	R/W
予約ビット		必ず“0”を設定してください	○ ○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			- -
PM13	内部予約領域拡張ビット(注2)	0: 内部RAM領域15Kバイト以下、 内部ROM領域192Kバイト以下 1: 内部RAM領域を15Kバイト越え、 内部ROM領域を192Kバイト越えに拡張	○ ○
予約ビット		必ず“0”を設定してください	○ ○
予約ビット		必ず“0”を設定してください	○ ○
予約ビット		必ず“0”を設定してください	○ ○
PM17	ウェイトビット	0: ウェイトなし 1: ウェイトあり	○ ○

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

注2. リセット解除時、このビットは“0”です。内部領域を拡張する場合は、ユーザプログラムで、このビットを“1”にしてください。また、ユーザプログラムの先頭は、D0000₁₆番地以降に配置する必要があります。

図1.7.1. プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

プロセッサモード

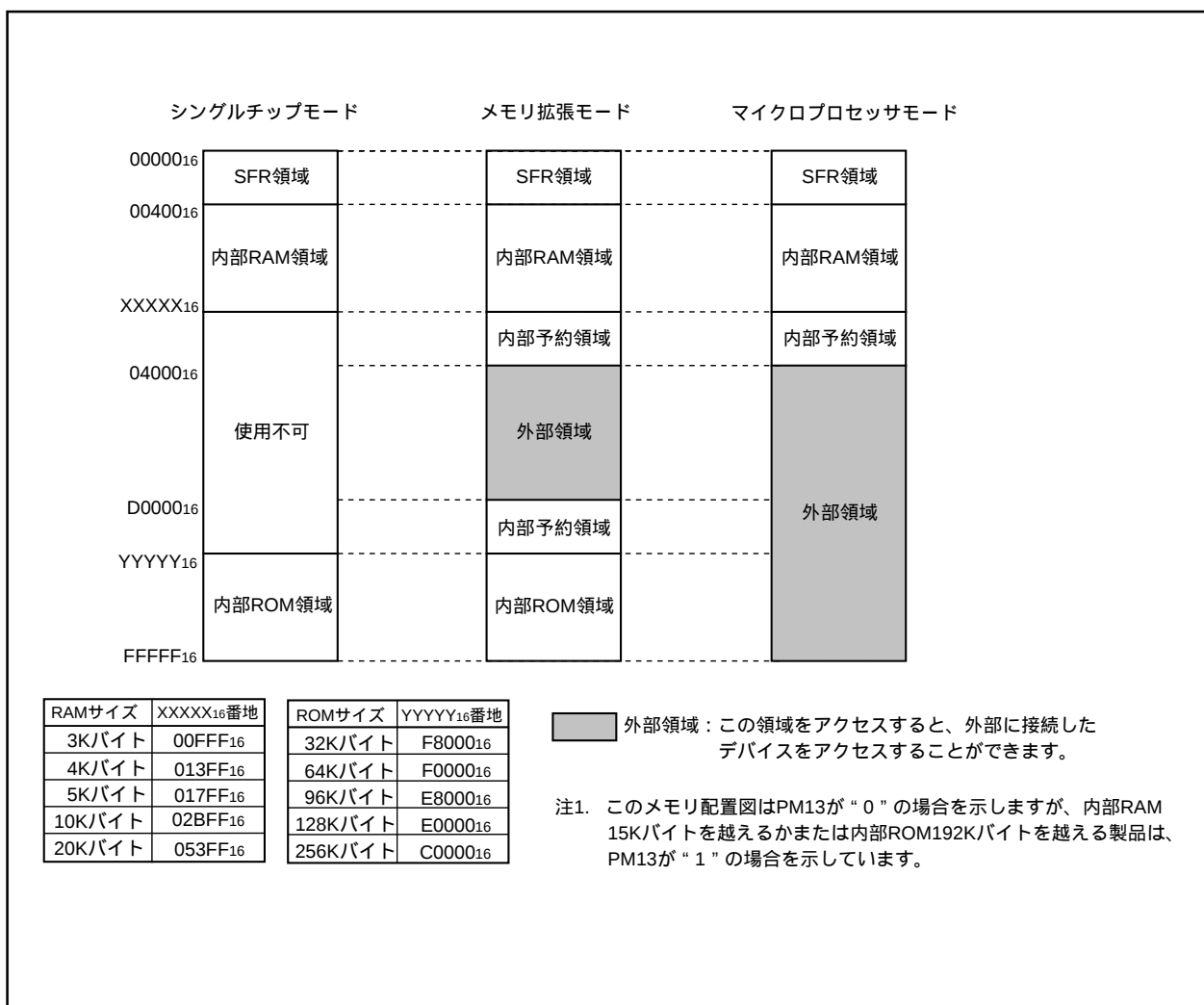


図1.7.2. 各プロセッサモード時のメモリ配置

内部予約領域拡張ビット(PM13)

内部RAM領域、内部ROM領域を拡張し、チップセレクトの領域を変更するビットです。例えば、M30624MGA/FGAで、このビットを“1”にすると、内部RAM領域20Kバイト、内部ROM領域256Kバイトに拡張されます。チップセレクトの領域に関しては、[図1.7.3](#)を参照してください。リセット解除時、このビットは“0”です。内部領域を拡張する場合は、ユーザプログラムで、このビットを“1”にしてください。また、ユーザプログラムの先頭は、D0000₁₆番地以降に配置する必要があります。

内部ROM 192Kバイト以下、内部RAM 15Kバイト以下の製品で、メモリ拡張モードまたはマイクロプロセッサモードで使用する場合は、このビットを“0”にしてください。シングルチップモードで使用する場合は“1”にしても内部領域は拡張されず、動作にも影響を与えません。

プロセッサモード

内部RAM15Kバイト越え、ROM192Kバイト越えの製品についてPM13(内部予約領域拡張ビット)による、各プロセッサモード時のメモリ配置およびチップセレクト領域を図1.7.3に示します。

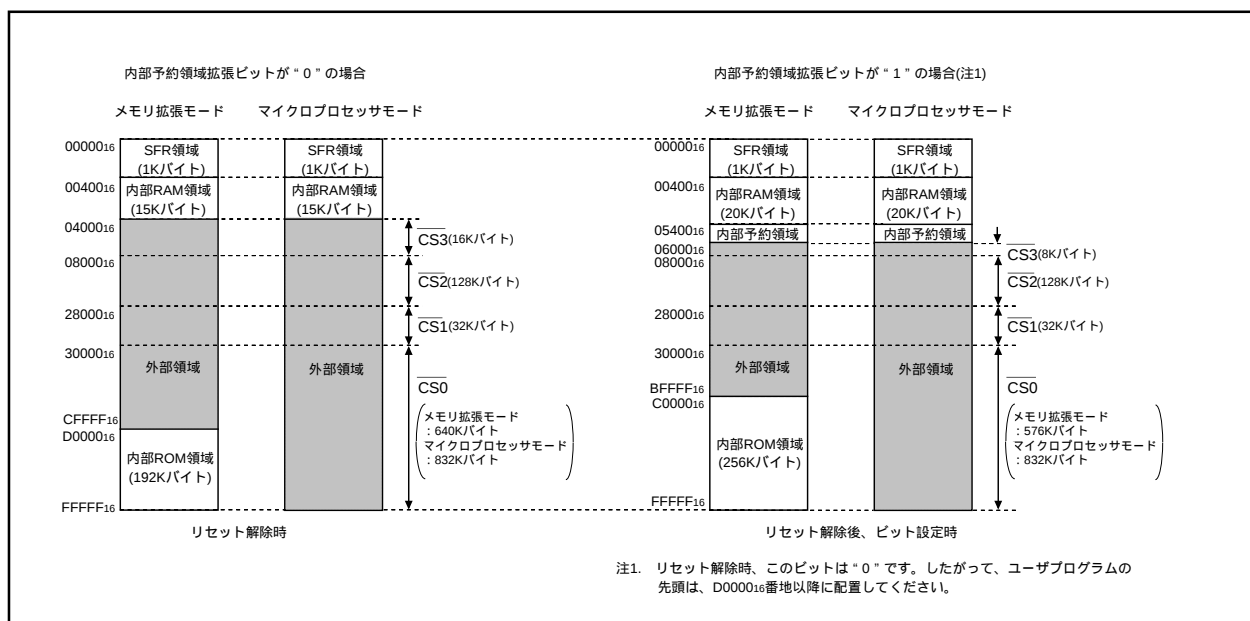


図1.7.3. 各プロセッサモード時のメモリ配置図およびチップセレクト領域

バス設定

バス設定

バスの設定はBYTE端子と**プロセッサモードレジスタ0(0004₁₆番地)のビット4～ビット6**で切り替えることができます。

表1.8.1に各バスの設定と切り替え要因を示します。

表1.8.1. バスの設定と切り替え要因

バスの設定	切り替え要因
外部アドレスバス幅切り替え	プロセッサモードレジスタ0のビット6
外部データバス幅切り替え	BYTE端子
セパレートバス / マルチプレクスバス切り替え	プロセッサモードレジスタ0のビット4、ビット5

(1) 外部アドレスバス幅の選択

1Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅は、16ビット(アドレス空間64Kバイト)と20ビット(アドレス空間1Mバイト)を選択することができます。**プロセッサモードレジスタ0のビット6**が“1”のとき、外部アドレスバス幅は16ビットになりP2とP3がアドレスバスとなります。P40～P43は、プログラマブル入出力ポートとして使用することができます。プロセッサモードレジスタ0のビット6が“0”のとき、外部アドレスバス幅は20ビットになり、P2、P3、およびP40～P43がアドレスバスとなります。

(2) 外部データバス幅の選択

外部データバス幅は8ビットと16ビットを選択することができます(ただし、外部データバス幅を選択できるのは、セパレートバスだけです)。BYTE端子が“L”のとき16ビットに、“H”のときは8ビットになります。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス / マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスは**プロセッサモードレジスタ0のビット4、ビット5**で選択します。

●セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、BYTE端子により8ビットまたは16ビットを選択できます。BYTE端子が“H”のときは、データバスは8ビットになりP0がデータバス、P1がプログラマブル入出力ポートとなります。BYTE端子が“L”のときは、データバスは16ビットになりP0およびP1がデータバスとなります。

セパレートバスでアクセスする場合、ソフトウェアウエイットの有無を選択できます。

●マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。BYTE端子が“H”レベルのとき、D0～D7の8ビットがA0～A7とマルチプレクスされます。

BYTE端子が“L”レベルのとき、D0～D7の8ビットがA8～A15とマルチプレクスされD8～D15はマルチプレクスされません。このとき、マルチプレクスバスに接続した外部デバイスは、マイコンの偶数番地(2番地おき)に配置されますので、マルチプレクスバスに接続した外部デバイスをアクセスする場合、偶数番地をバイト単位でアクセスしてください。

ALE信号は、アドレスをラッチする信号で、P56から出力します。

マルチプレクスバスでアクセスする場合、必ずソフトウェアウエイットを挿入してください。

メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。

全空間マルチプレクスバスを選択した場合、P31～P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

バス設定

表1.8.2. 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード / マイクロプロセッサモード				メモリ拡張モード
マルチプレクスバス 空間選択ビット		“ 01 ”、“ 10 ” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“ 00 ” (セパレートバス)		“ 11 ” (注1) (全空間マルチプレクスバス)
データバス幅 BYTE端子レベル		8ビット “ H ”	16ビット “ L ”	8ビット “ H ”	16ビット “ L ”	8ビット “ H ”
P00 ~ P07	入出力ポート	データバス	データバス	データバス	データバス	入出力ポート
P10 ~ P17	入出力ポート	入出力ポート	データバス	入出力ポート	データバス	入出力ポート
P20	入出力ポート	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	アドレスバス	アドレスバス / データバス
P21 ~ P27	入出力ポート	アドレスバス / データバス(注2)	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	アドレスバス / データバス
P30	入出力ポート	アドレスバス	アドレスバス / データバス(注2)	アドレスバス	アドレスバス	A8/D7
P31 ~ P37	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
P40 ~ P43 ポートP40 ~ P43機能 選択ビット = “ 1 ”	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート	入出力ポート
P40 ~ P43 ポートP40 ~ P43機能 選択ビット = “ 0 ”	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート
P44 ~ P47	入出力ポート	CS(チップセレクト)またはプログラマブル入出力ポートの選択 (詳細は「バス制御」を参照)				
P50 ~ P53	入出力ポート	RD、WRL、WRH、BCLK出力またはRD、BHE、WR、BCLK出力 (詳細は「バス制御」を参照)				
P54	入出力ポート	HLDA	HLDA	HLDA	HLDA	HLDA
P55	入出力ポート	HOLD	HOLD	HOLD	HOLD	HOLD
P56	入出力ポート	ALE	ALE	ALE	ALE	ALE
P57	入出力ポート	RDY	RDY	RDY	RDY	RDY

注1. メモリ拡張モード時、全空間マルチプレクスバスの場合は、8ビット幅を選択してください。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、全空間マルチプレクスバスは選択できません。全空間マルチプレクスバスを選択した場合、P31 ~ P37はポートとなりますので、各チップセレクトごとに256バイトしか使えません。

注2. セパレートバスではアドレスバスになります。

バス制御

バス制御

外部デバイスのアクセスに必要な信号、およびソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。ソフトウェアウエイトは全プロセッサモードで有効です。

(1) アドレスバス / データバス

アドレスバスは、1Mバイトの空間をアクセスするための端子で、A0～A19の20本あります。

データバスは、データの入出力を行う端子です。BYTE端子が“H”のときはD0～D7の8本がデータバスに、BYTE端子が“L”のときはD0～D15の16本がデータバスになります。

シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

(2) チップセレクト信号

チップセレクト信号はP44～P47と兼用で、[チップセレクト制御レジスタ\(0008₁₆番地\)](#)のビット0～ビット3によって、ポートにするかチップセレクト信号を出力するかを端子ごとに選択できます。[チップセレクト制御レジスタ](#)は、メモリ拡張モードとマイクロプロセッサモードで有効です。シングルチップモードでは、チップセレクト制御レジスタの内容にかかわらずP44～P47はプログラマブル入出力ポートになります。

マイクロプロセッサモードの場合、リセット解除のとき $\overline{CS0}$ だけチップセレクト信号を出力し、 $\overline{CS1}$ ～ $\overline{CS3}$ は入力ポートになっています。チップセレクト制御レジスタの構成を[図1.9.1](#)に示します。

チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を[表1.9.1](#)および[表1.9.2](#)に示します。

表1.9.1. チップセレクト信号によって指定する外部領域(内部RAM15Kバイト以内でかつ内部ROM192Kバイト以内の製品)(注1)

プロセッサモード	チップセレクト信号			
	$\overline{CS0}$	$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$
メモリ拡張モード	30000 ₁₆ ～CFFFF ₁₆ (640Kバイト)	28000 ₁₆ ～2FFFF ₁₆ (32Kバイト)	08000 ₁₆ ～27FFF ₁₆ (128Kバイト)	04000 ₁₆ ～07FFF ₁₆ (16Kバイト)
マイクロプロセッサモード	30000 ₁₆ ～FFFFF ₁₆ (832Kバイト)			

注1. プロセッサモードレジスタ1のビット3(PM13)は、必ず“0”にしてください。

バス制御

表1.9.2. チップセレクト信号によって指定する外部領域(内部RAM15Kバイトを越えるかまたは内部ROM192Kバイトを越える製品)

プロセッサモード	チップセレクト信号			
	CS0	CS1	CS2	CS3
メモリ拡張モード	PM13=0のとき 30000 ₁₆ ~ CFFFF ₁₆ (640Kバイト)	28000 ₁₆ ~ 2FFFF ₁₆ (32Kバイト)	08000 ₁₆ ~ 27FFF ₁₆ (128Kバイト)	PM13=0のとき 04000 ₁₆ ~ 07FFF ₁₆ (16Kバイト)
	PM13=1のとき 30000 ₁₆ ~ BFFFF ₁₆ (576Kバイト)			
マイクロプロセッサモード	30000 ₁₆ ~ FFFFF ₁₆ (816Kバイト)			PM13=1のとき 06000 ₁₆ ~ 07FFF ₁₆ (8Kバイト)

チップセレクト制御レジスタ

シンボル CSR	アドレス 0008 ₁₆ 番地	リセット時 01 ₁₆
b7 b6 b5 b4 b3 b2 b1 b0		
ビットシンボル	ビット名	機 能
CS0	CS0出力許可ビット	0: チップセレクト出力禁止 (通常のポート端子) 1: チップセレクト出力許可
CS1	CS1出力許可ビット	
CS2	CS2出力許可ビット	
CS3	CS3出力許可ビット	
CS0W	CS0ウェイトビット	0: ウェイトあり 1: ウェイトなし
CS1W	CS1ウェイトビット	
CS2W	CS2ウェイトビット	
CS3W	CS3ウェイトビット	
		R W

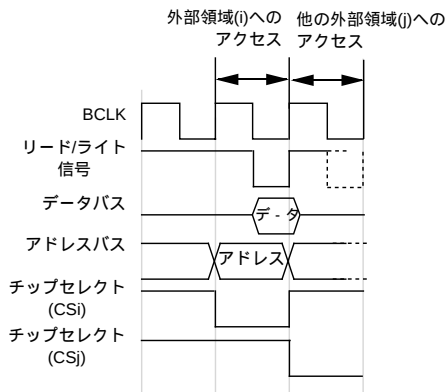
図1.9.1. チップセレクト制御レジスタの構成

チップセレクト信号が“L”(アクティブ)になるタイミングは、アドレスバスに同期します。しかし、チップセレクトが“H”になるタイミングは、次のサイクルでアクセスされる領域に依存します。アドレスバスとチップセレクト信号の出力例を図1.9.2に示します。

バス制御

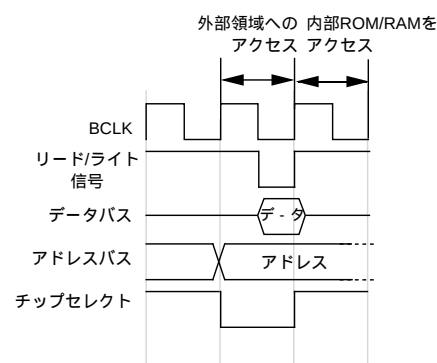
(例1) 外部領域へアクセス後、次のサイクルでアドレス信号、チップセレクト信号が共に変化

外部領域(i)へアクセス後、次のサイクルで他のチップセレクト信号が示す領域(j)へアクセスする場合の例を以下に示します。
この場合、この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化します。



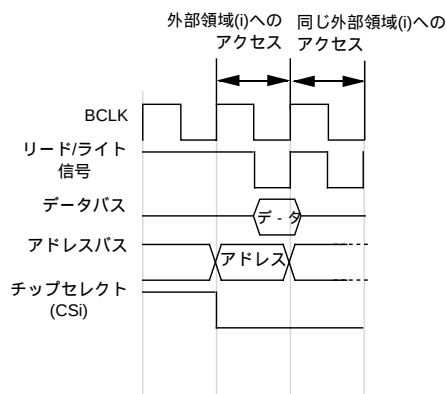
(例2) 外部領域へアクセス後、次のサイクルチップセレクト信号のみ変化 (アドレスバスは変化しない)

外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合の例を以下に示します。
この場合、この2つのサイクル間でチップセレクト信号は変化しますがアドレスバスは変化しません。



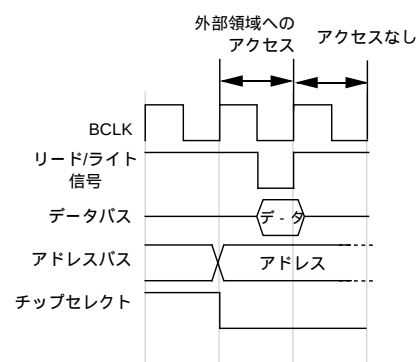
(例3) 外部領域へアクセス後、次のサイクルでアドレスバスのみ変化 (チップセレクト信号は変化しない)

外部領域(i)へアクセス後、次のサイクルで同じチップセレクト信号が示す領域(i)へアクセスする場合の例を以下に示します。
この場合、この2つのサイクル間でアドレスバスは変化しますがチップセレクト信号は変化しません。



(例4) 外部領域へアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化しない

外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合の例を以下に示します。
この場合、この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化しません。



注：これらの例は、連続する2つのサイクルのアドレスバスおよびチップセレクト信号を示しています。
これらの例の組み合わせにより、チップセレクトは2サイクル以上伸びる場合があります。

図1.9.2. アドレスバスとチップセレクト信号の出力例 (セパレートバス ウェイトなし)

バス制御

(3) リード/ライト信号

データバスが16ビット(BYTE端子が“L”レベル)のとき、リード/ライト信号は**プロセッサモードレジスタ0(0004₁₆番地)のビット2**によって、 $\overline{\text{RD}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$ の組み合わせ、または $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ の組み合わせを選択することができます。データバスが8ビット(BYTE端子が“H”レベル)のとき、リード/ライト信号は $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ の組み合わせを使用してください(プロセッサモードレジスタ0(0004₁₆番地)のビット2に“0”を設定してください)。各信号の動作を表1.9.3、表1.9.4に示します。

リセット解除後、リード/ライト信号は $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ の組み合わせです。

$\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

注1. **プロセッサモードレジスタ0**を書き替える場合、**プロテクトレジスタ(000A₁₆番地)のビット1**を“1”にしてください。

表1.9.3. $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 信号の動作

データバス幅	$\overline{\text{RD}}$	$\overline{\text{WRL}}$	$\overline{\text{WRH}}$	外部データバスの状態
16ビット (BYTE=“L”)	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む

表1.9.4. $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 信号の動作

データバス幅	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{BHE}}$	A0	外部データバスの状態
16ビット (BYTE=“L”)	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット (BYTE=“H”)	H	L	使用しない	H/L	1バイトのデータを書き込む
	L	H	使用しない	H/L	1バイトのデータを読み出す

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。

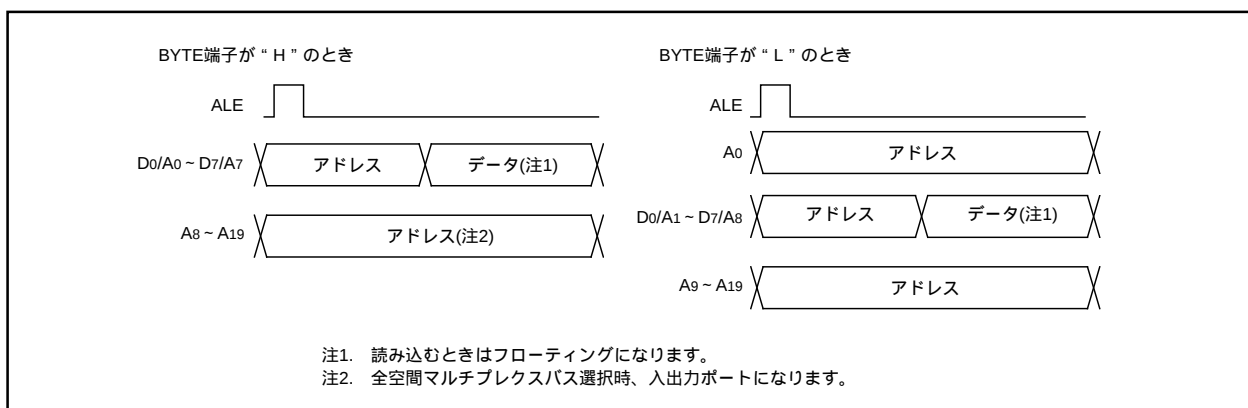


図1.9.3. ALE信号とアドレスバス/データバス

バス制御

(5) $\overline{\text{RDY}}$ 信号

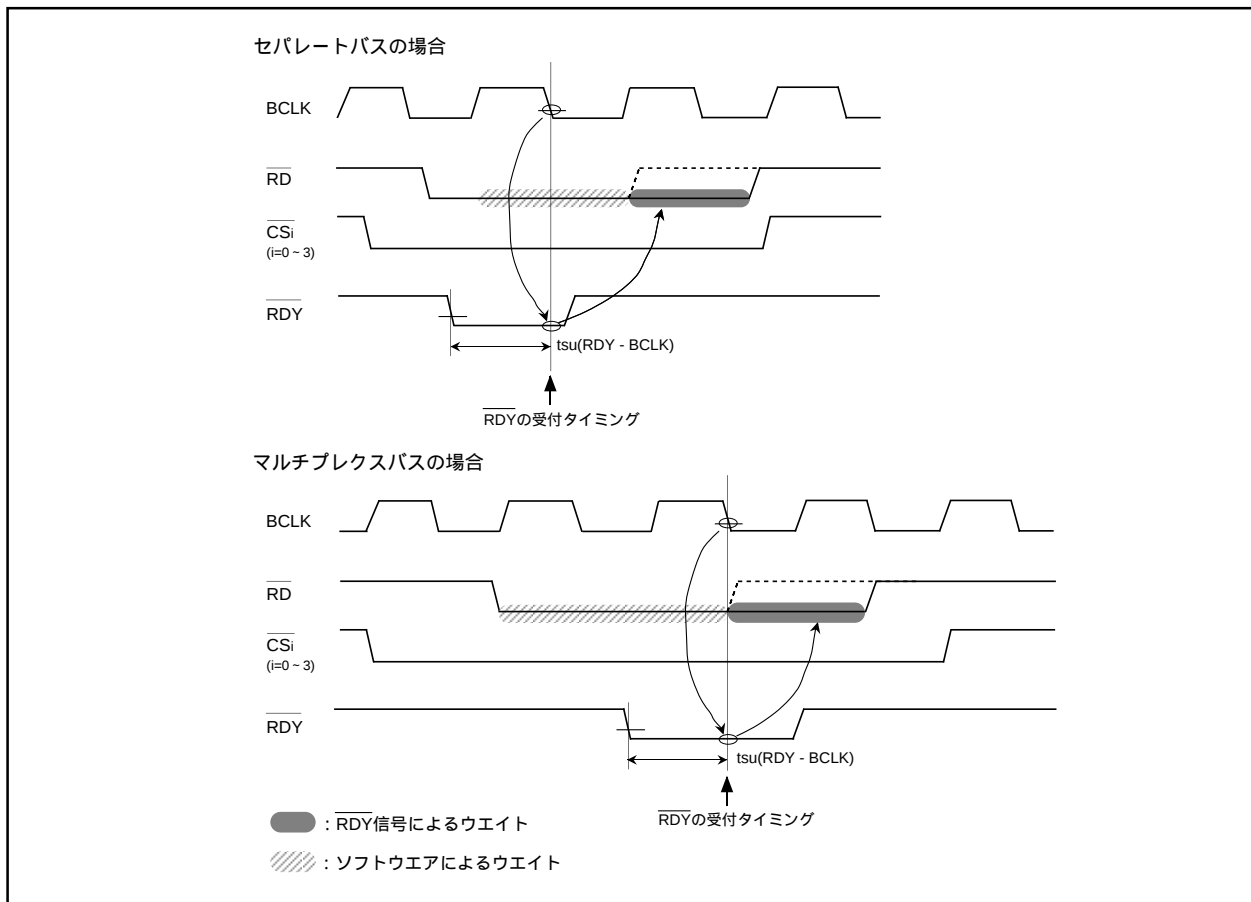
$\overline{\text{RDY}}$ は、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。図1.9.4に示すようにBCLKの立ち下がりで $\overline{\text{RDY}}$ 端子に“L”が入力されているとき、バスはウェイト状態になります。BCLKの立ち下がりで $\overline{\text{RDY}}$ 端子に“H”が入力されているとき、バスはウェイト状態を解除します。表1.9.5にバスのウェイト状態におけるマイクロコンピュータの状態、図1.9.4にRD信号が $\overline{\text{RDY}}$ 信号によってのびた例を示します。

$\overline{\text{RDY}}$ 信号は、チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に“0”を設定している領域のバスサイクルで、外部領域をアクセスするときに有効です。チップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7に全て“1”を設定している場合は、 $\overline{\text{RDY}}$ 信号は無効ですが、 $\overline{\text{RDY}}$ 端子の未使用端子の処理が必要です。

表1.9.5. バスのウェイト状態におけるマイクロコンピュータの状態(注1)

項 目	状 態
発振	動作
R/W信号、アドレスバス、データバス、 $\overline{\text{CS}}$ ALE信号、HLDA プログラマブル入出力ポート	$\overline{\text{RDY}}$ 信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウェイトによるウェイトの直前には $\overline{\text{RDY}}$ 信号は受け付けられません。

図1.9.4. RD信号が $\overline{\text{RDY}}$ 信号によってのびた例

バス制御

(6) ホールド信号

ホールドは、バスの使用权をCPUから外部回路へ移行するための信号です。 $\overline{\text{HOLD}}$ 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、 $\overline{\text{HOLD}}$ 端子が“L”の期間その状態を保持します。また、その間 $\overline{\text{HLDA}}$ 端子から“L”を出力します。表1.9.6にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{\text{HOLD}}$ 、DMAC、CPUとなっています。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

図1.9.5. バス使用優先順位

表1.9.6. ホールド状態におけるマイクロコンピュータの状態

項 目		状 態
発振		動作
R/W信号、アドレスバス、データバス、 $\overline{\text{CS}}$ 、 $\overline{\text{BHE}}$		フローティング
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5	フローティング
	P6, P7, P8, P9, P10	ホールド信号を受け付けた状態を保持
$\overline{\text{HLDA}}$		“L”を出力
内蔵周辺回路		動作(ただし監視タイマは停止)
ALE信号		不定

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表1.9.7に示します。

表1.9.7. 内部領域をアクセスしたときの外部バスの状態

項 目		SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス		アドレスを出力	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時	フローティング	フローティング
	ライト時	データを出力	不定
RD, WR, WRL, WRH		RD, WR, WRL, WRHを出力	“H”を出力
$\overline{\text{BHE}}$		$\overline{\text{BHE}}$ を出力	直前にアクセスされた外部領域の状態を保持
$\overline{\text{CS}}$		“H”を出力	“H”を出力
ALE		“L”を出力	“L”を出力

バス制御

(8) BCLK出力

BCLKの出力を**プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット7**によって選択でき、“1”を選択した場合はフローティングになります。

注1. **プロセッサモードレジスタ0**を書き替える場合、**プロテクトレジスタ(000A₁₆番地)のビット1**を“1”にしてください。

(9) ソフトウェアウエイト

プロセッサモードレジスタ1(0005₁₆番地)(注1)のウエイトビット(ビット7)とチップセレクト制御レジスタ(0008₁₆番地)のビット4～ビット7によって、ソフトウェアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域、および外部メモリ領域に対してソフトウェアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、このビットは“0”になっています。このビットが“1”のとき、チップセレクト制御レジスタのビット4～ビット7の内容によらず、全領域ウエイトあり(BCLKの2サイクルまたは3サイクル)で動作します。このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。ただし、RDY信号を使用する場合、チップセレクト制御レジスタのビット4～ビット7の該当するビットに“0”を設定する必要があります。

プロセッサモードレジスタ1のウエイトビットが“0”のとき、チップセレクト制御レジスタのビット4～ビット7の値によって、チップセレクト信号で選択された4つの領域ごとにソフトウェアウエイトの有無を選択することができます。チップセレクト制御レジスタのビット4～ビット7はそれぞれチップセレクトCS₀～CS₃に対応します。これらのビットが“1”のときバスサイクルはBCLKの1サイクルで実行され、“0”にするとバスサイクルがBCLKの2サイクルまたは3サイクルになります。リセット解除後、これらのビットは“0”になっています。

SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。また、外部メモリ領域で、マルチプレクスバスを選択する場合は、必ずソフトウェアウエイトを挿入してください。

表1.9.8にソフトウェアウエイトとバスサイクル、図1.9.6にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

注1. **プロセッサモードレジスタ1**を書き替える場合、**プロテクトレジスタ(000A₁₆番地)のビット1**を“1”にしてください。

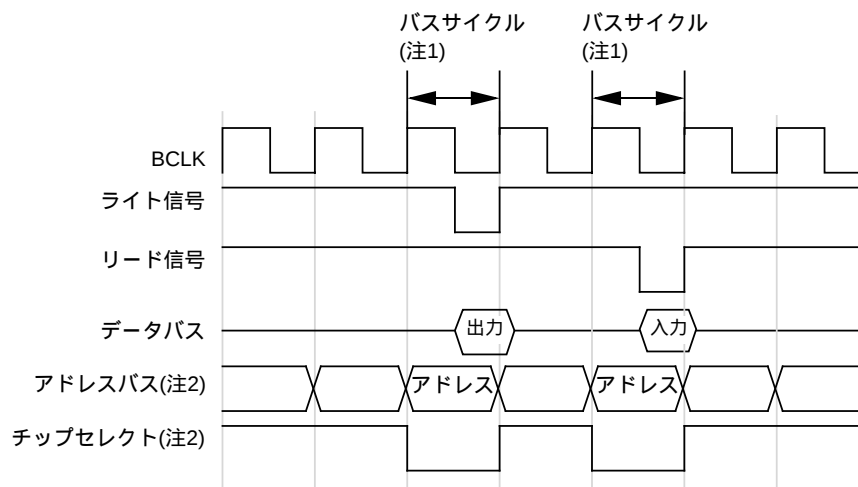
表1.9.8. ソフトウェアウエイトとバスサイクル

領 域	バス形状	ウエイト ビット	チップセレクト制御レジスタ ビット4～ビット7	バスサイクル
SFR	———	無効	無効	BCLKの2サイクル
内部 ROM/RAM	———	0	無効	BCLKの1サイクル
	———	1	無効	BCLKの2サイクル
外部 メモリ領域	セバレートバス	0	1	BCLKの1サイクル
	セバレートバス	0	0	BCLKの2サイクル
	セバレートバス	1	0(注1)	BCLKの2サイクル
	マルチプレクスバス	0	0	BCLKの3サイクル
	マルチプレクスバス	1	0(注1)	BCLKの3サイクル

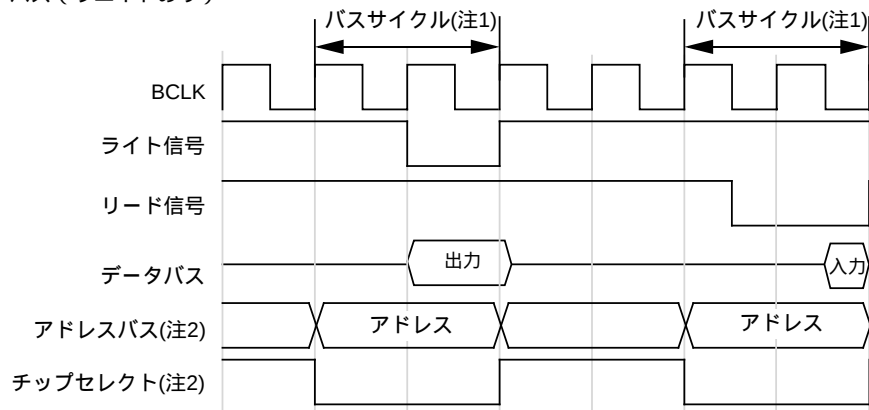
注1. RDY信号を使用する場合“0”を設定してください。

バス制御

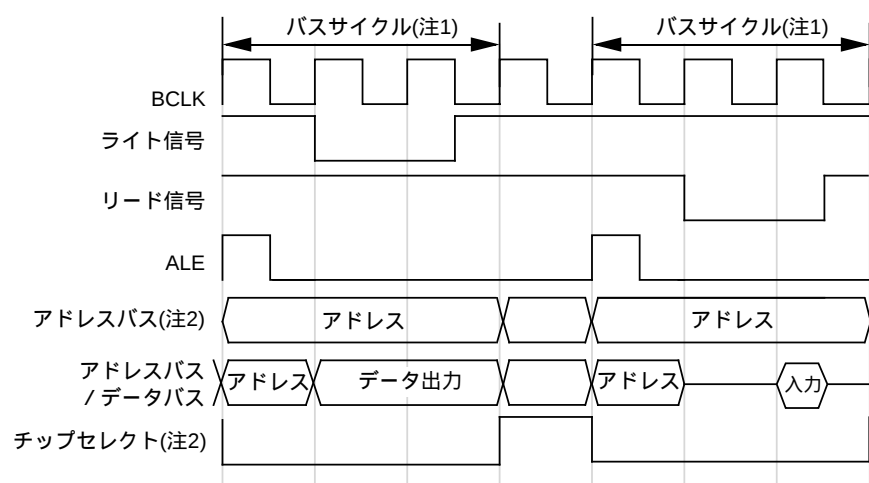
<セパレートバス（ウェイトなし）>



<セパレートバス（ウェイトあり）>



<マルチプレクスバス>



注1. 本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合もあります。

注2. 命令キューバッファなどのCPUの状態により、アドレスバスおよびチップセレクトは、伸びる場合があります。

図1.9.6. ソフトウェアウェイトを使用した場合のバスタイミング例

クロック発生回路

クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表1.10.1. メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	● CPUの動作クロック源 ● 内蔵周辺装置の動作クロック源	● CPUの動作クロック源 ● タイマA、タイマBのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

発振回路例

図1.10.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.10.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.10.1中および図1.10.2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

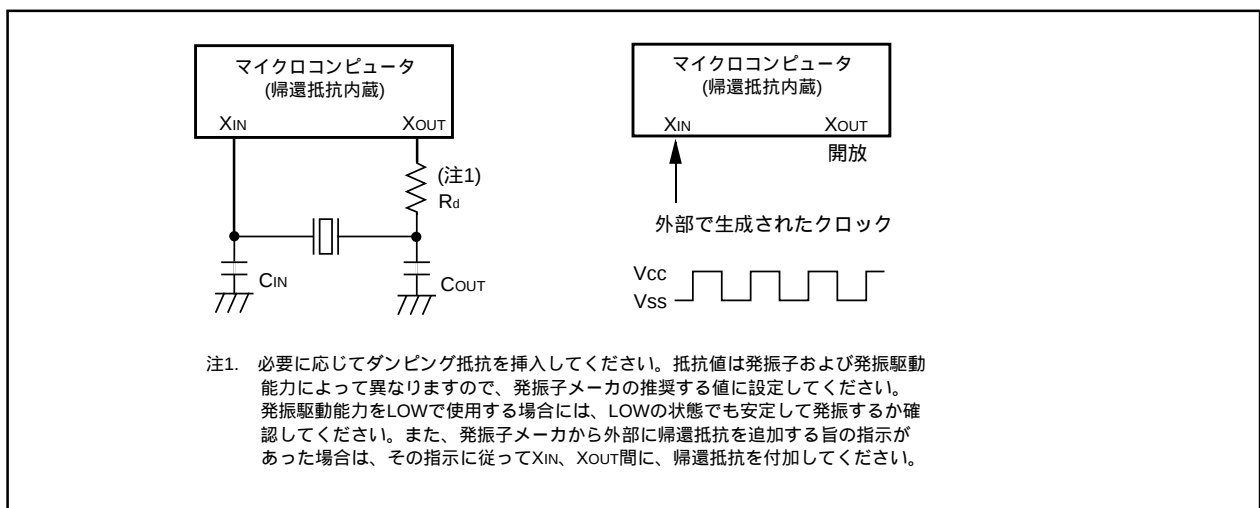


図1.10.1. メインクロックの接続例

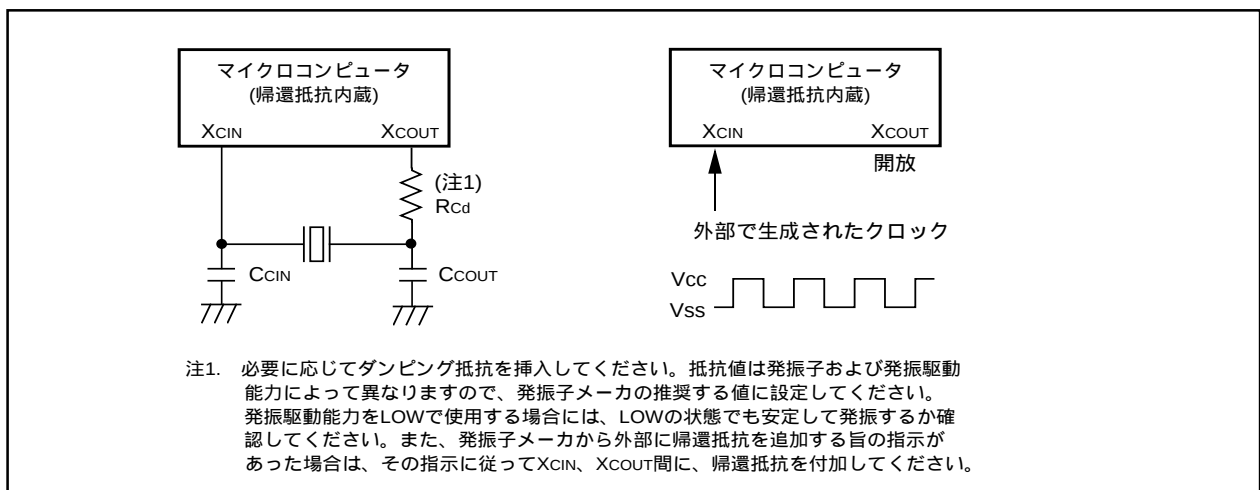


図1.10.2. サブクロックの接続例

クロック発生回路

クロックの制御

図1.10.3にクロック発生回路のブロック図を示します。

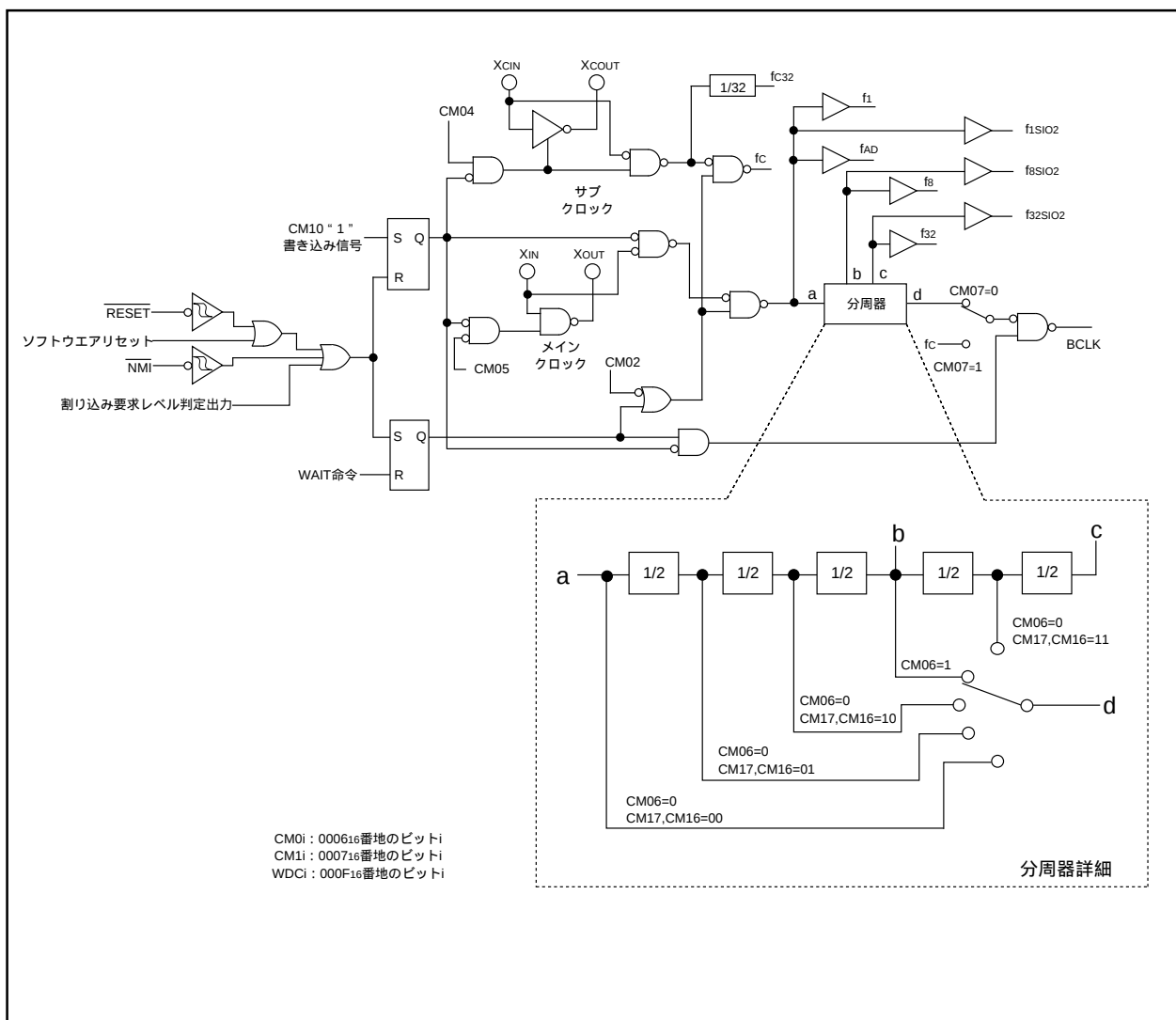


図1.10.3. クロック発生回路

クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。**メインクロック停止ビット**(0006₁₆番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、**XIN-XOUT駆動能力選択ビット**(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。**ポートXc切り替えビット**(0006₁₆番地のビット4)で発振を開始した後、**システムクロック選択ビット**(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、**XCIN-XCOUT駆動能力選択ビット**(0006₁₆番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

XCIN/XCOUTを使用する場合、ポートP86、P87は入力ポートで、プルアップなしを設定してください。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時、マイクロプロセッサモード時、**BCLK出力禁止ビット**(0004₁₆番地のビット7)によって、BCLK端子からこの信号を出力することができます。

高速モード、中速モードからストップモードへの移行時およびリセット時、**メインクロック分周比選択ビット0**(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、f1SIO2、f8SIO2、f32SIO2、fAD)

それぞれメインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、または**WAIT時周辺機能クロック停止ビット**(0006₁₆番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fc32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fc

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

クロック発生回路

図1.10.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

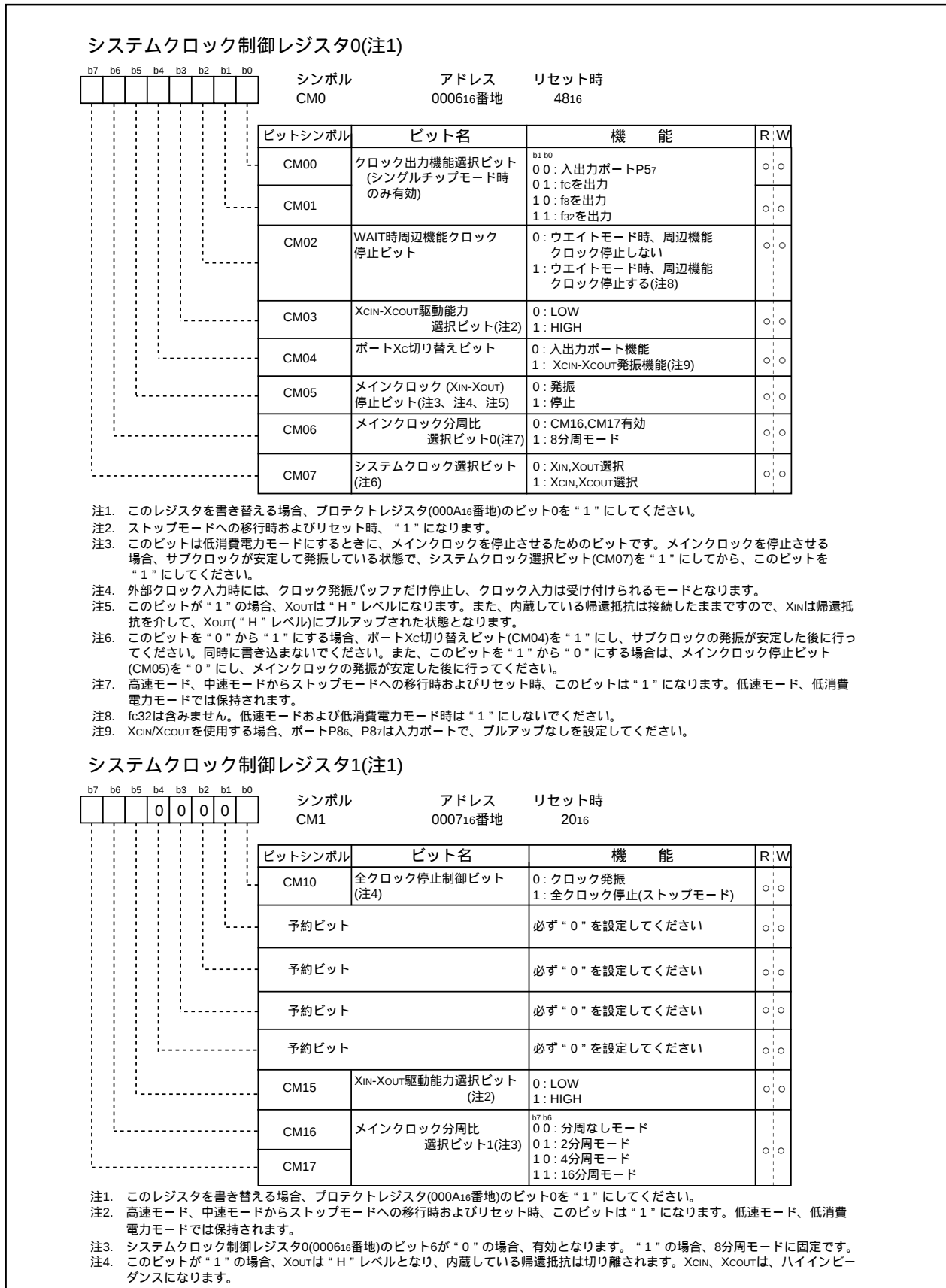


図1.10.4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

クロック発生回路

クロック出力

シングルチップモード時、**クロック出力機能選択ビット**(0006₁₆番地のビット0、ビット1)によってP57/CLKOUT端子からf₈、f₃₂またはf_cを出力することができます。**WAIT時周辺機能クロック停止ビット**(0006₁₆番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf₈、f₃₂のクロック出力は停止します。

ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f₁～f₃₂、f₁SI02～f₃₂SI02、f_c、f_c32、f_{AD}は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UARTi(i=0～2)、SIO3,4は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表1.10.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからストップモードに移行してください。割り込みで復帰した場合、対象となる割り込みルーチンを実行します。ストップモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ストップモードに移行してください。

高速モード、中速モードからストップモードへの移行時およびリセット時、**メインクロック分周比選択ビット0**(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表1.10.2. ストップモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0～CS3, BHE		ストップモードに入る直前の状態を保持	
RD, WR, WRL, WRH		“H”	
HLDA, BCLK		“H”	
ALE		“H”	
ポート		ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	f _c 選択時	シングルチップモード時だけ有効	“H”
	f ₈ 、f ₃₂ 選択時	シングルチップモード時だけ有効	ストップモードに入る直前の状態を保持

ウェイトモード

ウェイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウェイトモードに入ります。ウェイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。[WAIT時周辺機能クロック停止ビット](#)に“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに“1”を設定してウェイトモードに移行しないでください。ウェイトモード時のポートの状態を[表1.10.3](#)に示します。

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態に、解除に使用しない割り込みは優先レベルを0にしてからウェイトモードに移行してください。割り込みで復帰した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。ウェイトモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込み優先レベルを0にしてから、ウェイトモードに移行してください。

表1.10.3. ウェイトモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3, BHE		ウェイトモードに入る直前の状態を保持	
RD, WR, WRL, WRH		“ H ”	
HLDA, BCLK		“ H ”	
ALE		“ H ”	
ポート		ウェイトモードに入る直前の状態を保持	ウェイトモードに入る直前の状態を保持
CLKOUT	fc選択時	シングルチップモード時だけ有効	停止しません
	f8、f32選択時	シングルチップモード時だけ有効	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウェイトモードに入る直前の状態を保持

BCLKの状態

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表1.10.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

fcがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2～3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fcがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表1.10.4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

CM1i : 0007₁₆番地のビットi

CM0i : 0006₁₆番地のビットi

パワーコントロール

パワーコントロールの概要について説明します。

● モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

■ 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

■ 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

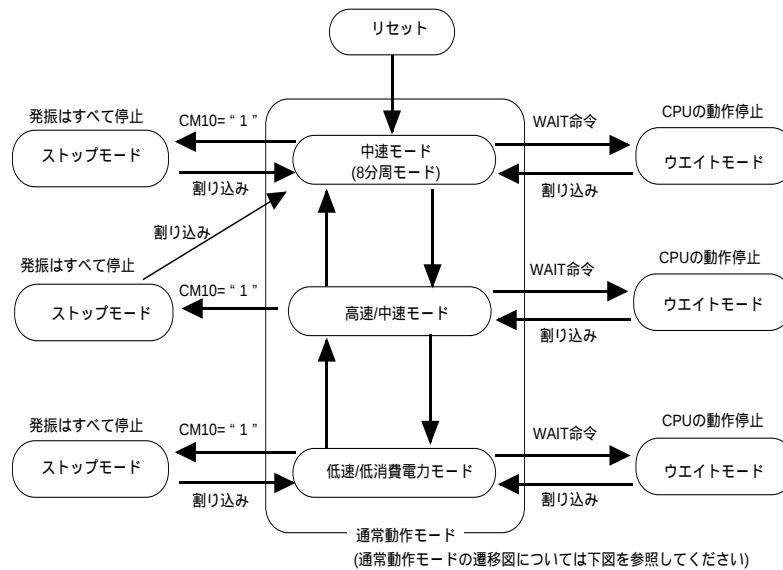
(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を[図1.10.5](#)に示します。

パワーコントロール

ストップモード、ウェイトモードの遷移図



通常動作モードの遷移図

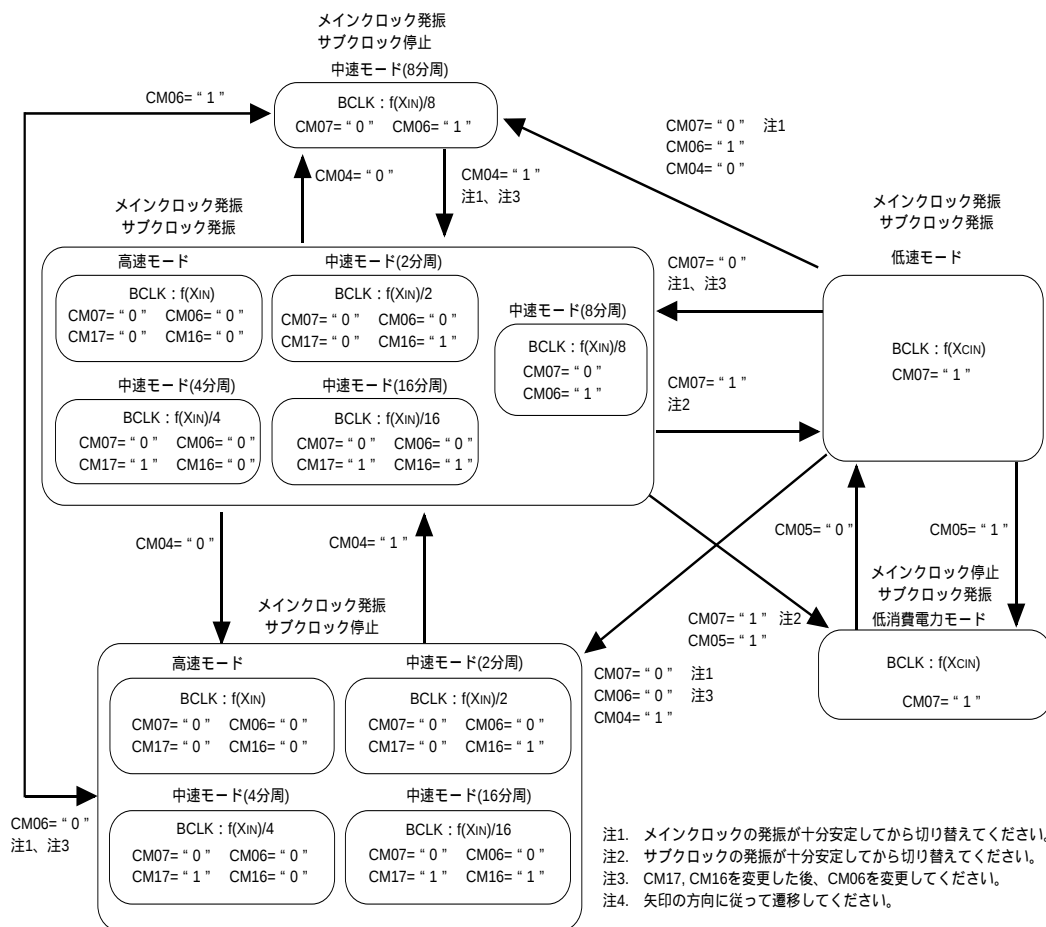


図1.10.5. 状態遷移図

プロテクト

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図1.10.6にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)、ポートP9方向レジスタ(03F3₁₆番地)、SI/O3制御レジスタ(0362₁₆番地)、およびSI/O4制御レジスタ(0366₁₆番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

ポートP9方向レジスタ、SI/O_i制御レジスタ(*i* = 3、4)書き込み許可ビット(000A₁₆番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。システムクロック制御レジスタ0,1書き込み許可ビット(000A₁₆番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット(000A₁₆番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

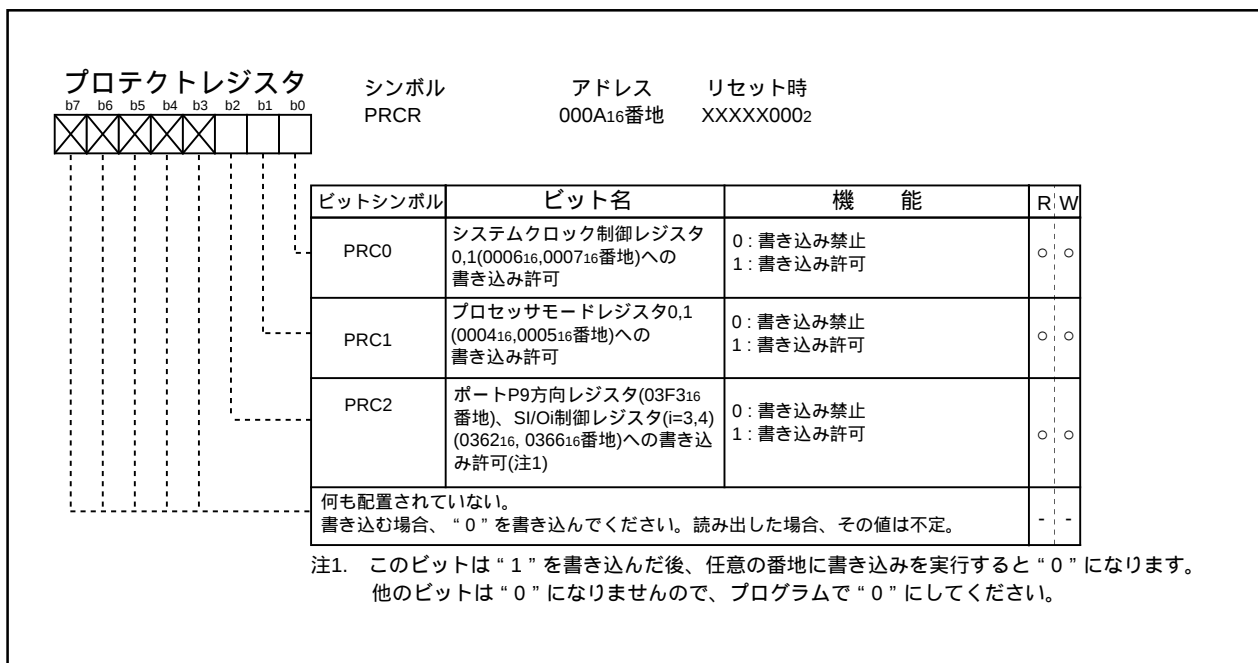


図1.10.6. プロテクトレジスタの構成

割り込み

割り込みの概要

割り込みの分類

図1.11.1に割り込みの分類を示します。

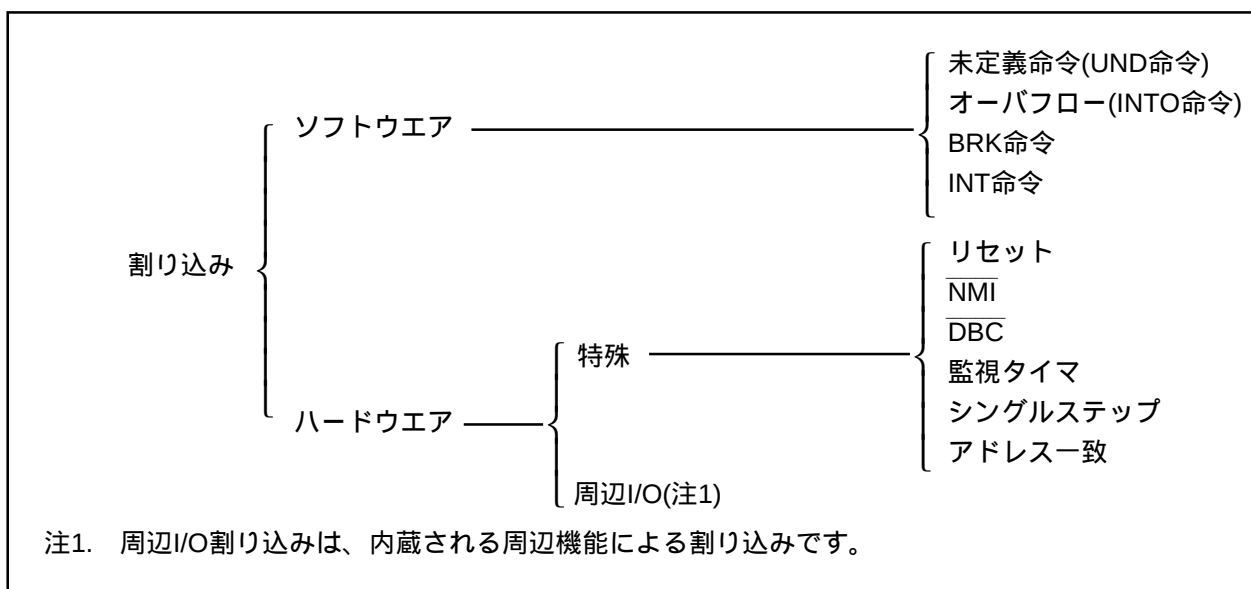


図1.11.1. 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

割り込み

ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

- 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

- オーバフロー割り込み

オーバフロー割り込みは、**オーバフローフラグ(Oフラグ)**が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

- BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

- INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0～63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用する**スタックポインタ(SP)**は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0～31では、割り込み要求受け付け時に**スタックポインタ指定フラグ(Uフラグ)**を退避し、Uフラグを“0”にして**割り込みスタックポインタ(ISP)**を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32～63では、スタックポインタは切り替わりません。

割り込み

ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

- 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

- (1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

- (2) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子に“L”を入力すると発生します。

- (3) $\overline{\text{DBC}}$ 割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

- (4) 監視タイマ割り込み

監視タイマによる割り込みです。

- (5) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、**デバッグフラグ(Dフラグ)**を“1”にすると、命令を1つ実行した後に発生します。

- (6) アドレス一致割り込み

アドレス一致割り込みは、**アドレス一致割り込み許可ビット**を“1”にしたとき、**アドレス一致割り込みレジスタ**で示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

- 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

- (1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

- (2) DMA0、DMA1割り込み

DMAによる割り込みです。

- (3) キー入力割り込み

キー入力割り込みは、 $\overline{\text{KI}}$ 端子に“L”を入力すると発生します。

- (4) A-D変換割り込み

A-D変換器による割り込みです。

- (5) UART0、UART1、UART2/NACK、SI/O3、SI/O4送信割り込み

シリアルI/Oの送信による割り込みです。

- (6) UART0、UART1、UART2/ACK、SI/O3、SI/O4受信割り込み

シリアルI/Oの受信による割り込みです。

- (7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

- (8) タイマB0～タイマB5割り込み

タイマBによる割り込みです。

- (9) $\overline{\text{INT0}}$ ～ $\overline{\text{INT5}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、 $\overline{\text{INT}}$ 端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

割り込み

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図1.11.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	0 0 0 0	アドレスの上位
ベクタアドレス+3	0 0 0 0	0 0 0 0

図1.11.2. 割り込みベクタの指定アドレス

- 固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表1.11.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.11.1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)～アドレス(H)	備考
未定義命令	FFFDC ₁₆ ～FFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFE0 ₁₆ ～FFFE3 ₁₆	INTO命令で割り込み
BRK命令	FFFE4 ₁₆ ～FFFE7 ₁₆	ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 ₁₆ ～FFFEB ₁₆	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFE0 ₁₆ ～FFFEF ₁₆	通常は使用禁止
監視タイマ	FFFF0 ₁₆ ～FFFF3 ₁₆	
DBC(注1)	FFFF4 ₁₆ ～FFFF7 ₁₆	通常は使用禁止
NMI	FFFF8 ₁₆ ～FFFFB ₁₆	NMI端子入力による外部割り込み
リセット	FFFFC ₁₆ ～FFFFF ₁₆	

注1. デバッガ専用割り込み

割り込み

● 可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、[割り込みテーブルレジスタ\(INTB\)](#)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。[表1.11.2](#)に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.11.2. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備 考
ソフトウェア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号4	+16～+19(注1)	INT3	
ソフトウェア割り込み番号5	+20～+23(注1)	タイマB5	
ソフトウェア割り込み番号6	+24～+27(注1)	タイマB4	
ソフトウェア割り込み番号7	+28～+31(注1)	タイマB3	
ソフトウェア割り込み番号8	+32～+35(注1)	SI/O4 / INT5 (注2)	
ソフトウェア割り込み番号9	+36～+39(注1)	SI/O3 / INT4 (注2)	
ソフトウェア割り込み番号10	+40～+43(注1)	バス衝突検出	
ソフトウェア割り込み番号11	+44～+47(注1)	DMA0	
ソフトウェア割り込み番号12	+48～+51(注1)	DMA1	
ソフトウェア割り込み番号13	+52～+55(注1)	キー入力割り込み	
ソフトウェア割り込み番号14	+56～+59(注1)	A-D	
ソフトウェア割り込み番号15	+60～+63(注1)	UART2送信 / NACK (注3)	
ソフトウェア割り込み番号16	+64～+67(注1)	UART2受信 / ACK (注3)	
ソフトウェア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウェア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウェア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウェア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウェア割り込み番号21	+84～+87(注1)	タイマA0	
ソフトウェア割り込み番号22	+88～+91(注1)	タイマA1	
ソフトウェア割り込み番号23	+92～+95(注1)	タイマA2	
ソフトウェア割り込み番号24	+96～+99(注1)	タイマA3	
ソフトウェア割り込み番号25	+100～+103(注1)	タイマA4	
ソフトウェア割り込み番号26	+104～+107(注1)	タイマB0	
ソフトウェア割り込み番号27	+108～+111(注1)	タイマB1	
ソフトウェア割り込み番号28	+112～+115(注1)	タイマB2	
ソフトウェア割り込み番号29	+116～+119(注1)	INT0	
ソフトウェア割り込み番号30	+120～+123(注1)	INT1	
ソフトウェア割り込み番号31	+124～+127(注1)	INT2	
ソフトウェア割り込み番号32 ソフトウェア割り込み番号63	+128～+131(注1) +252～+255(注1)	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

注2. 割り込み要因切り替えビット(035F₁₆番地のビット6,7)により選択します。

注3. IICモード選択時にNACK、ACK割り込みが選択されます。

割り込み

割り込み制御

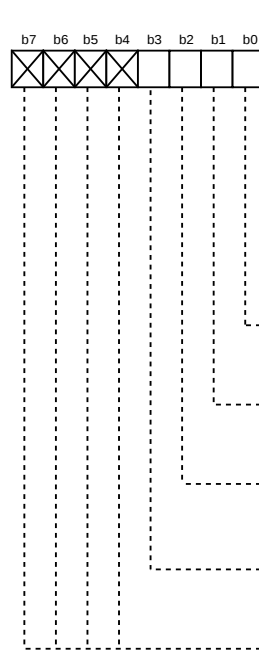
マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、[割り込み許可フラグ\(Iフラグ\)](#)、[割り込み優先レベル選択ビット](#)、および[プロセッサ割り込み優先レベル\(IPL\)](#)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの[割り込み制御レジスタ](#)に配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、[フラグレジスタ\(FLG\)](#)に配置されています。

[図1.11.3](#)に割り込み制御レジスタの構成を示します。

割り込み

割り込み制御レジスタ(注2)

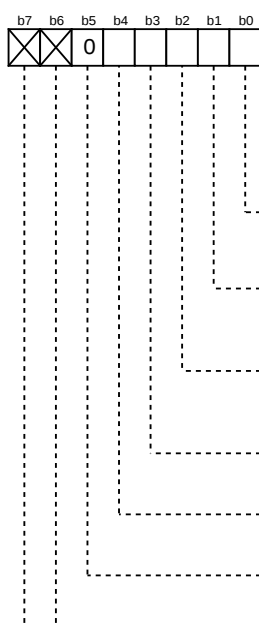


シンボル	アドレス	リセット時
TBiIC(i=3~5)	0045 ₁₆ ~ 0047 ₁₆ 番地	XXXXX0002
BCNiC	004A ₁₆ 番地	XXXXX0002
DMiIC(i=0,1)	004B ₁₆ , 004C ₁₆ 番地	XXXXX0002
KUPiC	004D ₁₆ 番地	XXXXX0002
ADiC	004E ₁₆ 番地	XXXXX0002
SiTiC(i=0~2)	0051 ₁₆ , 0053 ₁₆ , 004F ₁₆ 番地	XXXXX0002
SiRiC(i=0~2)	0052 ₁₆ , 0054 ₁₆ , 0050 ₁₆ 番地	XXXXX0002
TAiIC(i=0~4)	0055 ₁₆ ~ 0059 ₁₆ 番地	XXXXX0002
TBiIC(i=0~2)	005A ₁₆ ~ 005C ₁₆ 番地	XXXXX0002

ビットシンボル	ビット名	機 能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	○	○
ILVL1		0 0 1 : レベル1		
		0 1 0 : レベル2		
		0 1 1 : レベル3	○	○
ILVL2		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6	○	○
	1 1 1 : レベル7			
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	○	○ (注1)
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。 読み出した場合、その値は不定。			-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiIC(i=3)	0044 ₁₆ 番地	XX00X0002
SiIC/INTjIC(i=4, 3)	0048 ₁₆ , 0049 ₁₆ 番地	XX00X0002
(j=5, 4)	0048 ₁₆ , 0049 ₁₆ 番地	XX00X0002
INTiIC(i=0~2)	005D ₁₆ ~ 005F ₁₆ 番地	XX00X0002

ビットシンボル	ビット名	機 能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	○	○
ILVL1		0 0 1 : レベル1		
		0 1 0 : レベル2		
		0 1 1 : レベル3	○	○
		1 0 0 : レベル4		
ILVL2		1 0 1 : レベル5		
		1 1 0 : レベル6	○	○
	1 1 1 : レベル7			
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	○	○ (注1)
POL	極性切り替えビット	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図1.11.3. 割り込み制御レジスタの構成

割り込み

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止 / 許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、**割り込み制御レジスタ**の中の**割り込み優先レベル選択ビット**で設定します。

割り込み要求発生時、割り込み優先レベルは、**プロセッサ割り込み優先レベル(IPL)**と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表1.11.3に割り込み優先レベルの設定を、**表1.11.4**にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表1.11.3. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表1.11.4. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み

割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに " 0016 " を設定
  NOP                      ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET    I                ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに " 0016 " を設定
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止状態
  AND.B   #00H, 0055H     ; タイマA0割り込み制御レジスタに " 0016 " を設定
  POPC    FLG             ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、**割り込み制御レジスタ**を書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては**割り込み要求ビット**がセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図1.11.4に割り込み応答時間を示します。

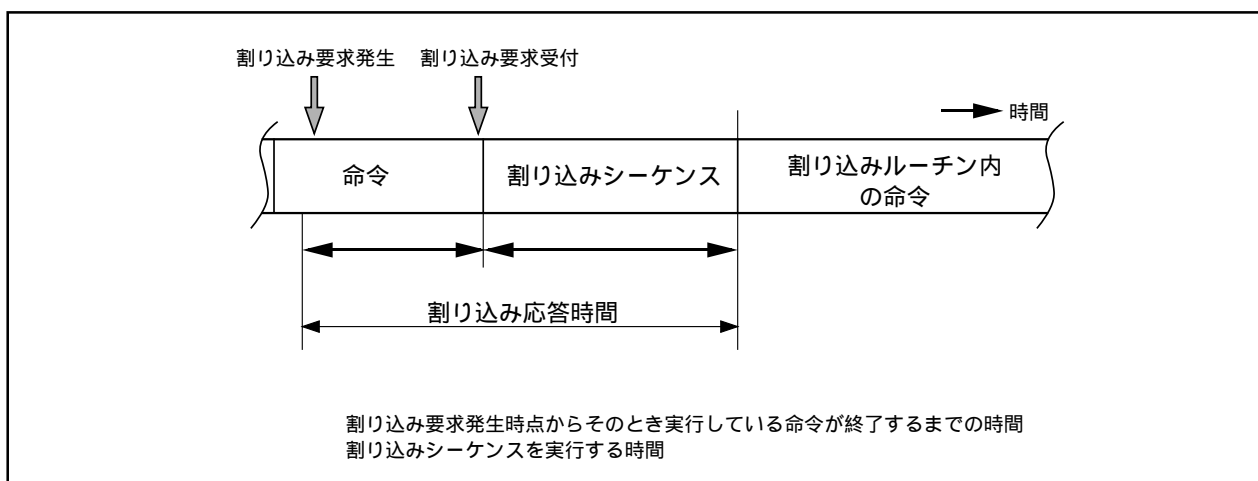


図1.11.4. 割り込み応答時間

割り込み

- (a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウェイトなし)です。
 (b)の時間は次のとおりです。

表1.11.5. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウェイトなし	8ビットバス、ウェイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

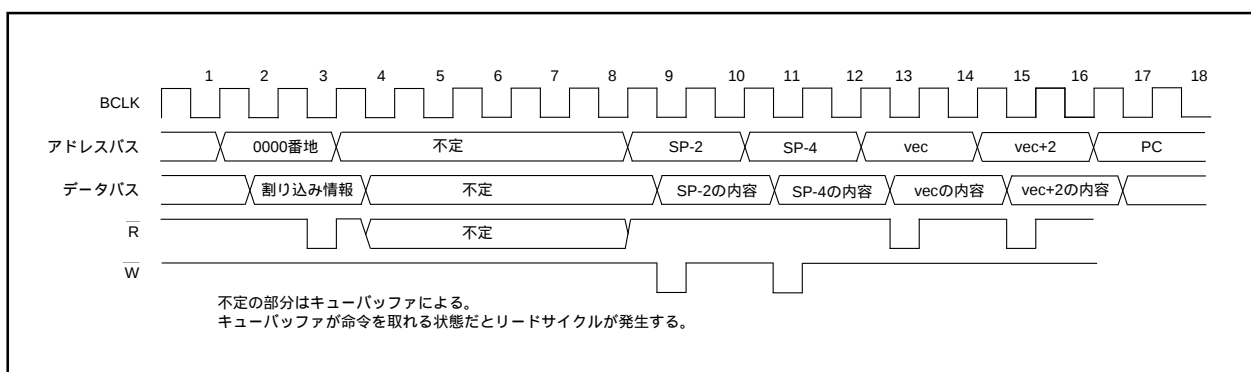


図1.11.5. 割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、**プロセッサ割り込み優先レベル(IPL)**には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、**表1.11.6**に示す値がIPLに設定されます。

表1.11.6. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、NMI	7
リセット	0
その他	変化しない

割り込み

レジスタ退避

割り込みシーケンスでは、**フラグレジスタ(FLG)**と**プログラムカウンタ(PC)**の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。
 図1.11.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令で**スタックポインタ(SP)**を除くすべてのレジスタを退避することができます。

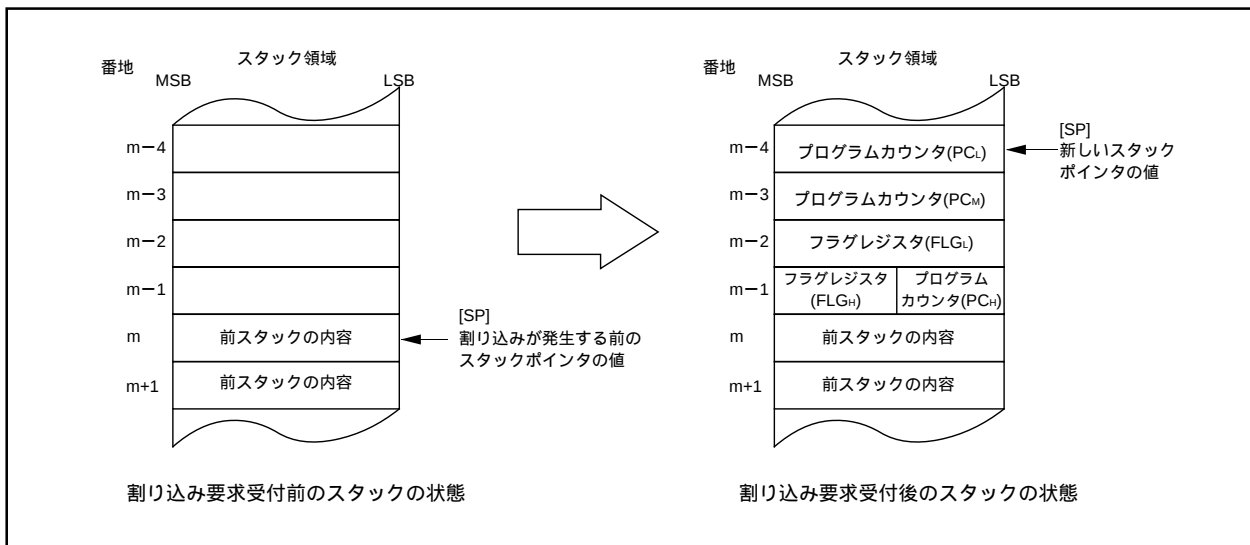


図1.11.6. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図1.11.7にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、**Uフラグが示すスタックポインタ**です。それ以外は、**割り込みスタックポインタ(ISP)**です。

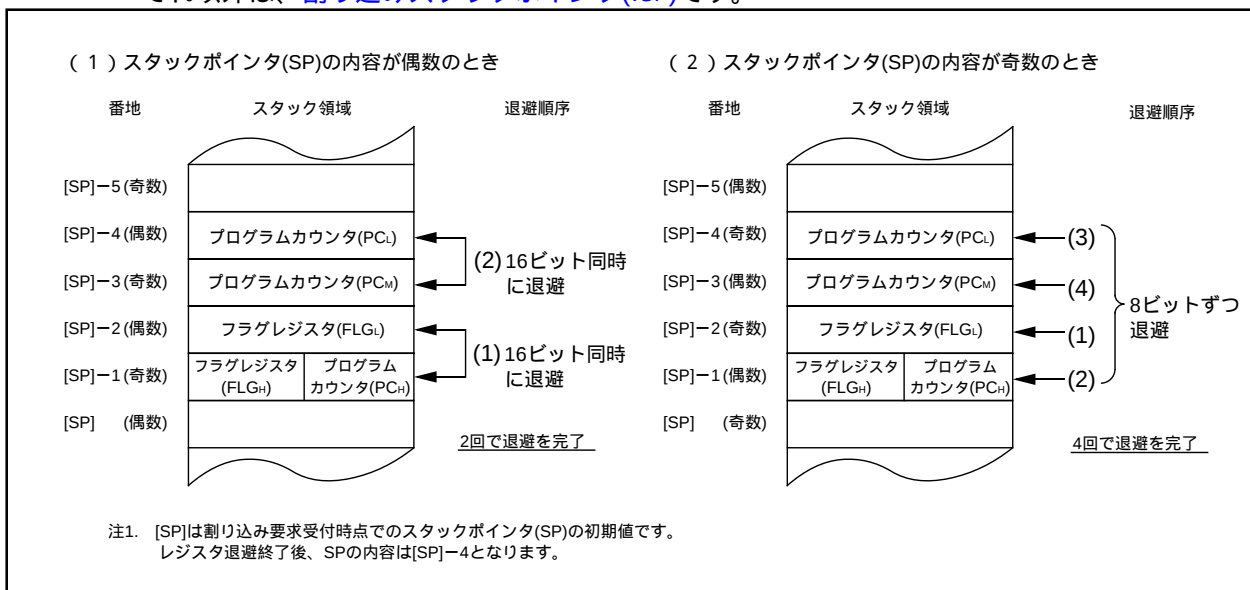


図1.11.7. レジスタ退避動作

割り込み

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前の**フラグレジスタ(FLG)**、および**プログラムカウンタ(PC)**の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、**割り込み優先レベル選択ビット**によって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図1.11.8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図1.11.9に割り込み優先レベルの判定回路を示します。

割り込み

リセット>NMI>DBC>監視タイマ>周辺I/O>シングルステップ>アドレス一致

図1.11.8. ハードウェア割り込みの割り込み優先順位

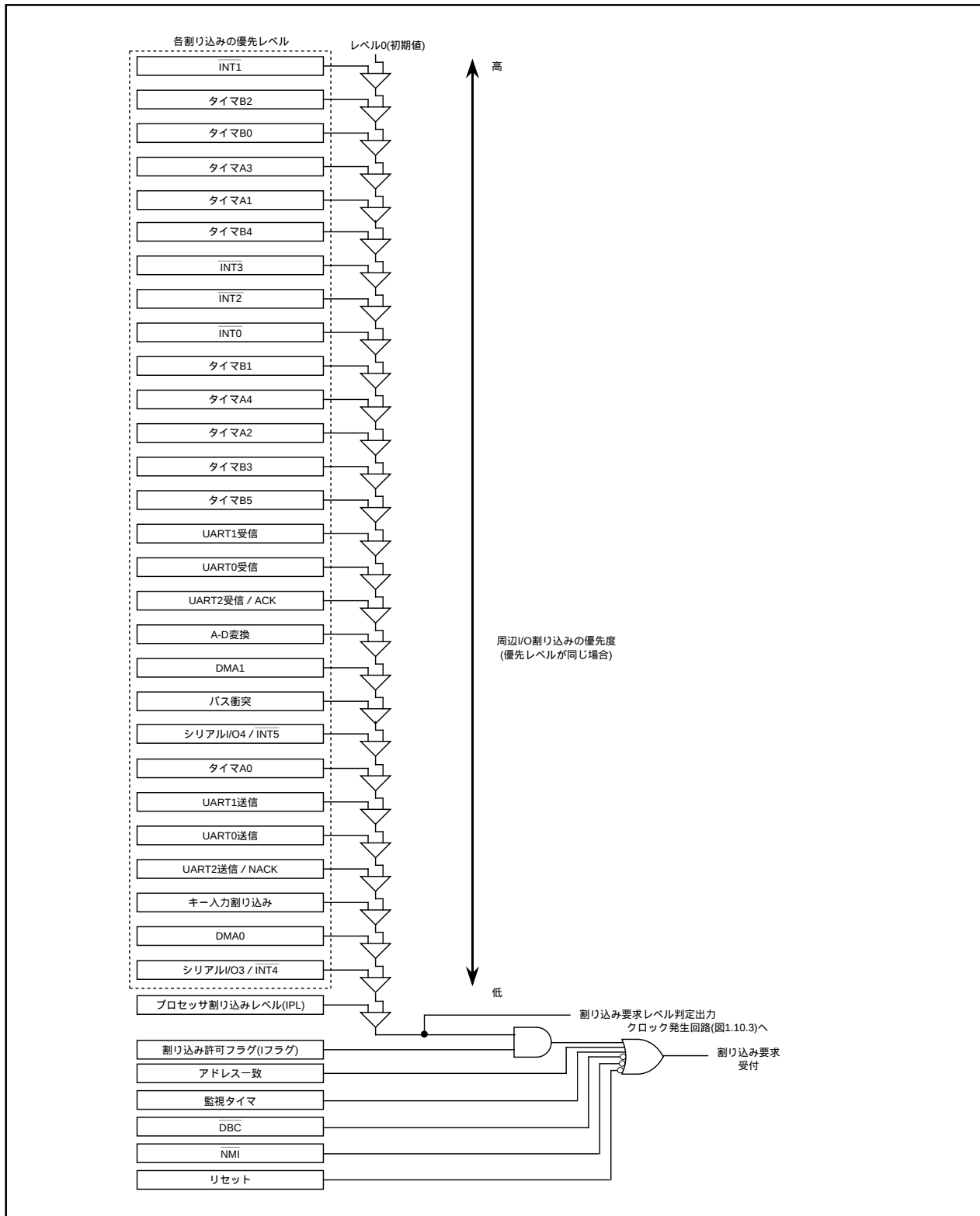


図1.11.9. 割り込み優先レベル判定回路

INT割り込み

INT割り込み

INT0～INT5は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

割り込み制御レジスタの内、0048₁₆番地はシリアルI/O4と外部割り込みINT5入力の割り込み制御レジスタを兼用し、0049₁₆番地はシリアルI/O3と外部割り込みINT4入力の割り込み制御レジスタを兼用しています。どちらの割り込み要因を選択するかは、割り込み要因選択レジスタ(035F₁₆番地)の割り込み要因切り替えビット(ビット6, 7)で設定します。割り込み要因を設定した後、割り込みを許可する前には必ず対応する割り込み要求ビットを“0”にしてください。

0048₁₆番地と0049₁₆番地の割り込み制御レジスタには極性切り替えビットがありますが、シリアルI/Oを割り込み要因として選択する場合は、極性切り替えビットは必ず“0”を設定してください。

外部割り込み入力は、割り込み要因選択レジスタ(035F₁₆番地)のINT_i割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下がり両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ(“0”)に設定してください。

図1.11.10に割り込み要因選択レジスタの構成を示します。

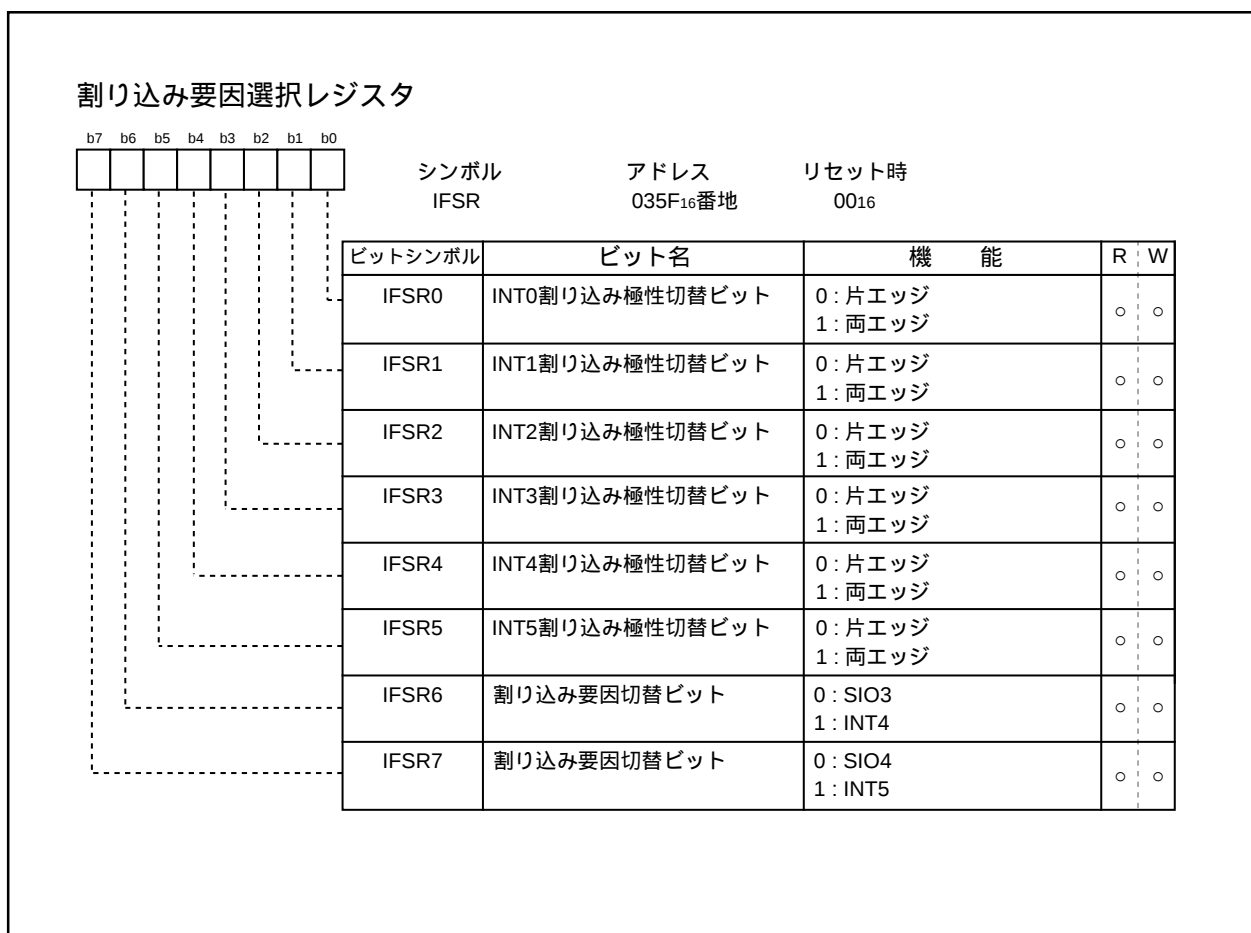


図1.11.10. 割り込み要因選択レジスタの構成

NMI割り込み

NMI割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”レベルから“L”レベルに変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل外部割り込みです。また、この端子の値はポートP85レジスタ(03F0₁₆番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

キー入力割り込み

P104～P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104～P107をA-D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図1.11.11に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

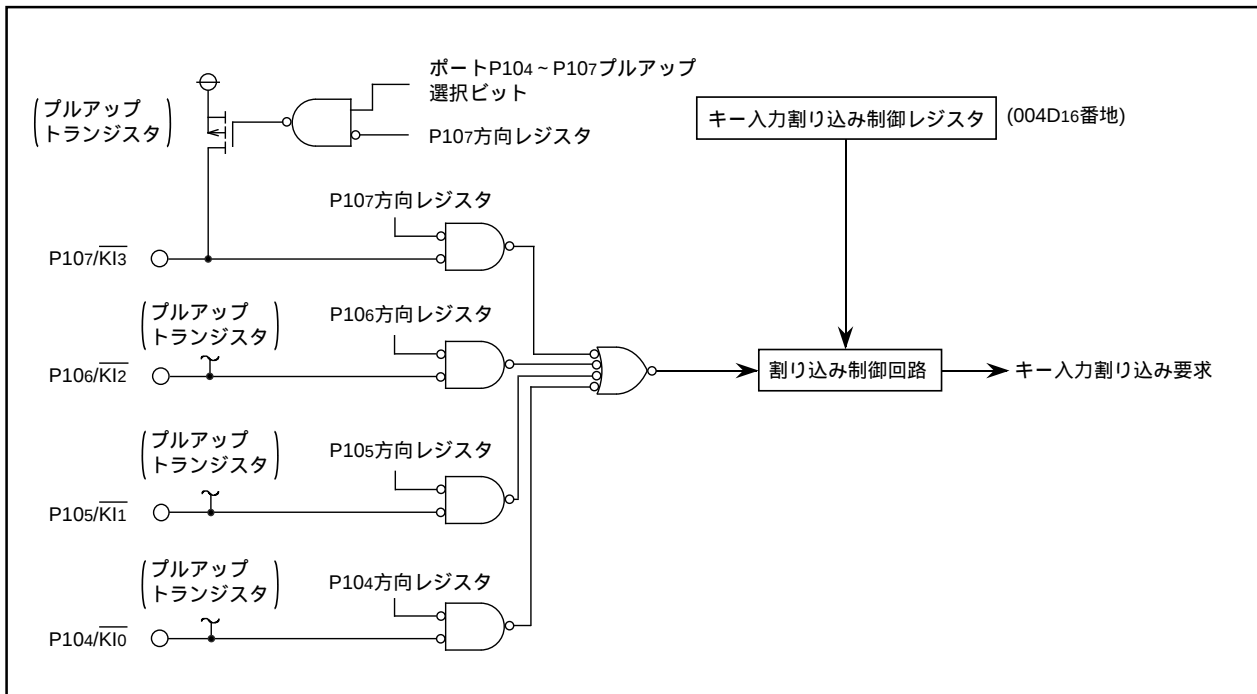


図1.11.11. キー入力割り込みのブロック図

アドレス一致割り込み

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止 / 許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

なお、外部データバス幅を8ビットで使用している場合、外部に対してアドレス一致割り込みは使用できません。

図1.11.12にアドレス一致割り込み関連レジスタの構成を示します。

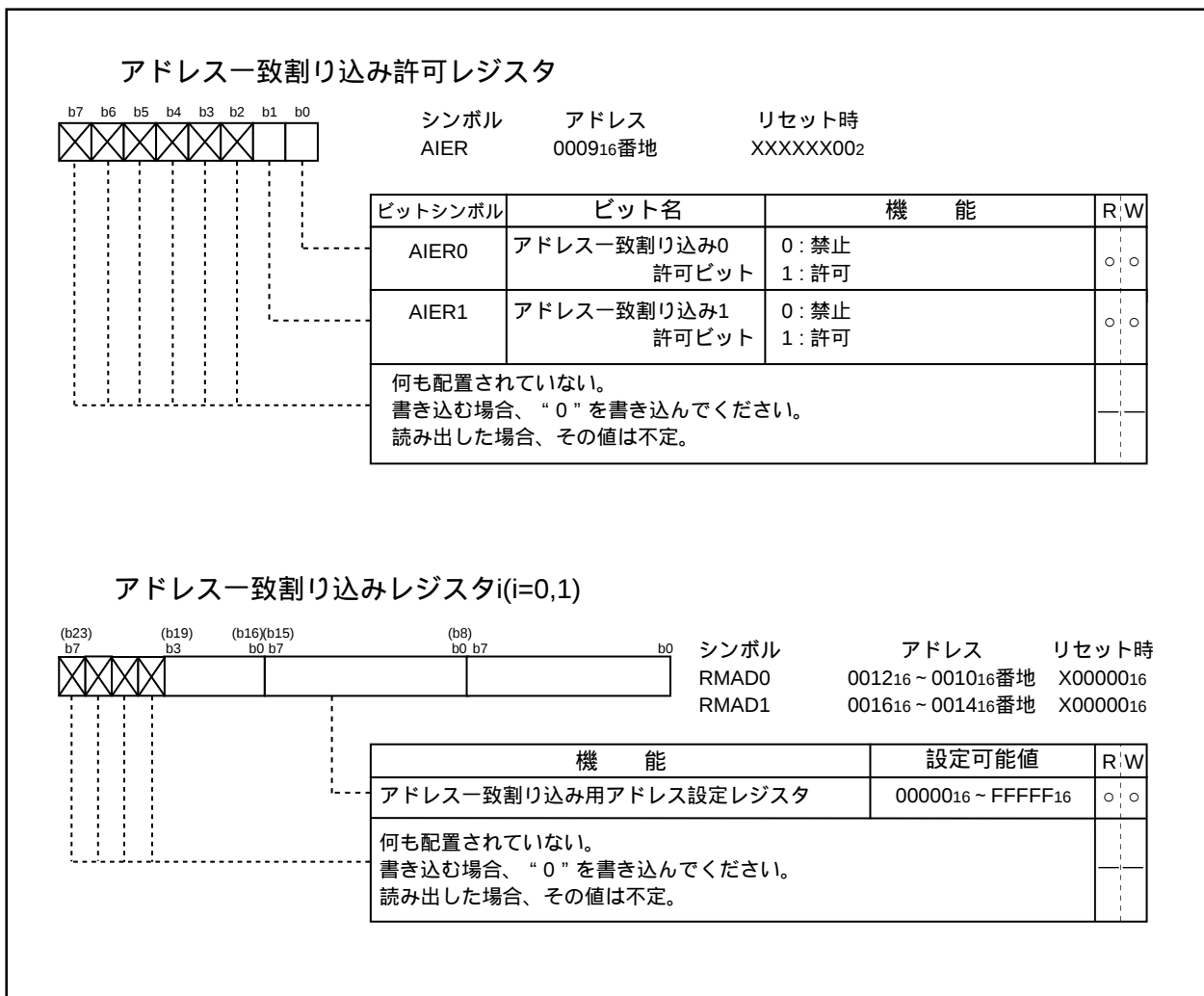


図1.11.12. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

割り込みの注意事項

(1) 00000₁₆番地の読み出し

- マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する[割り込み要求ビット](#)が“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

- リセット直後[スタックポインタ](#)の値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してV_{CC}に接続(プルアップ)してください。必ず端子処理は必要です。
- $\overline{\text{NMI}}$ 端子は、入力専用のP85と兼用になっています。[P8レジスタ](#)の内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、 $\overline{\text{NMI}}$ 割り込みが入ったときの端子のレベル確定用にだけ使用してください。
- $\overline{\text{NMI}}$ 端子入力が“L”の状態ではリセットをかけないでください。
- $\overline{\text{NMI}}$ 端子入力が“L”の状態ではストップモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、[CM10](#)が“0”に固定されるため、ストップモードに移行されません。
- $\overline{\text{NMI}}$ 端子入力が“L”の状態ではウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号には、CPUの動作クロックの1クロック以上の“L”レベル幅が必要です。

(4) 外部割り込み

- $\overline{\text{INT0}}$ ~ $\overline{\text{INT5}}$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。
- $\overline{\text{INT0}}$ ~ $\overline{\text{INT5}}$ 端子の極性を切り替えるときに[割り込み要求ビット](#)が“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を[図1.11.13](#)に示します。

割り込みの注意事項

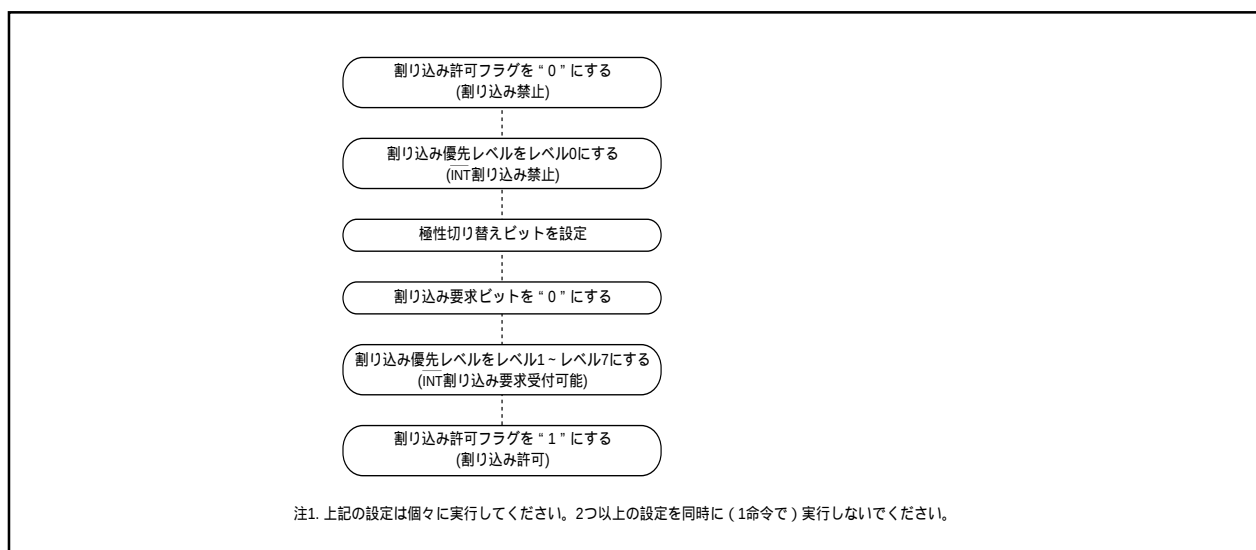


図1.11.13. INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

- **割り込み制御レジスタの変更**は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```

INT_SWITCH1 :
  FCLR    I          ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP                      ; HOLD機能を使用する場合はNOP命令が4個必要
  NOP
  FSET    I          ; 割り込み許可状態
  
```

例 2 :

```

INT_SWITCH2 :
  FCLR    I          ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W   MEM, R0     ; ダミーリード
  FSET    I          ; 割り込み許可状態
  
```

例 3 :

```

INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I          ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC    FLG        ; 割り込み許可状態
  
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個（HOLD 機能使用時は 4 個）やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

- 割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては**割り込み要求ビット**がセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

監視タイマ

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。したがって、システムの信頼性向上のために、監視タイマを使用されることをお奨めします。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケアラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、**監視タイマ制御レジスタ(000F₁₆番地)のビット7**でプリスケアラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7に関係なくプリスケアラの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケアラによる誤差が生じます。

BCLKにXINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケアラの分周比}(16\text{または}128) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケアラの分周比}(2) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

例えば、BCLKが16MHzで、プリスケアラの分周比として16分周を選択している場合、監視タイマの周期は、約32.8msとなります。

監視タイマは、**監視タイマスタートレジスタ(000E₁₆番地)**への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケアラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケアラは停止しており、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。ストップモード時、ウェイトモード時、およびホールド状態時、監視タイマおよびプリスケアラは停止し、解除すると保持された値からカウントします。

図1.12.1に監視タイマのブロック図、図1.12.2に監視タイマ関連レジスタの構成を示します。

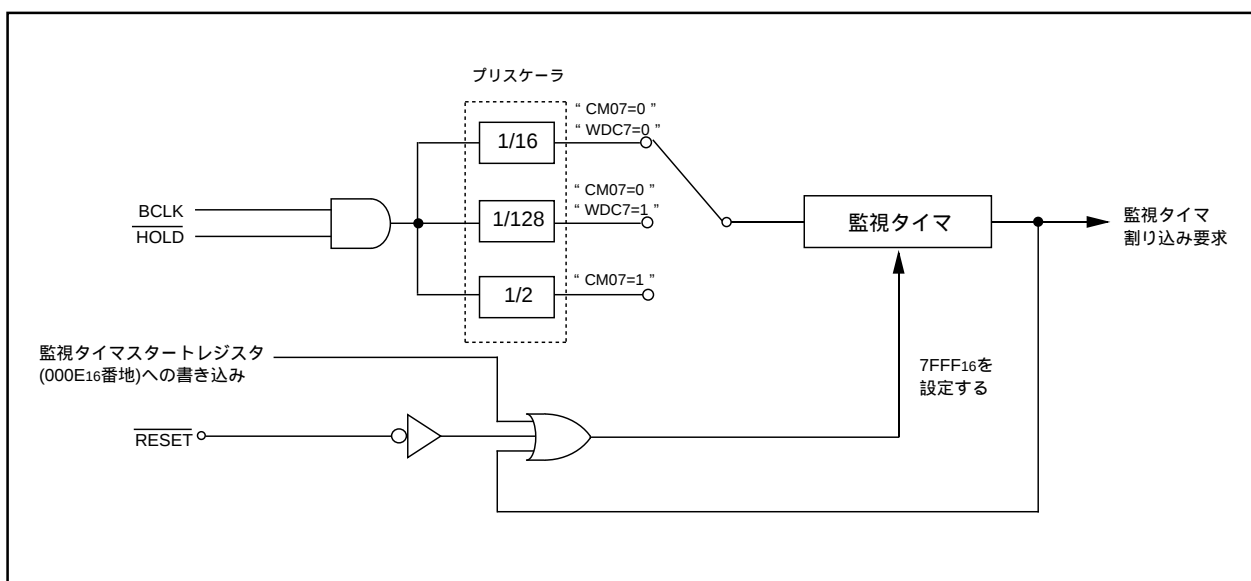
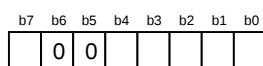


図1.12.1. 監視タイマのブロック図

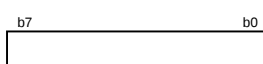
監視タイマ

監視タイマ制御レジスタ

シンボル
WDCアドレス
000F₁₆番地リセット時
000XXXXX₂

ビットシンボル	ビット名	機 能	R	W
b7, b6, b5, b4, b3, b2, b1, b0	監視タイマの上位ビット		○	×
b7	予約ビット	必ず“0”を設定してください	○	○
b6	予約ビット	必ず“0”を設定してください	○	○
b7	WDC7	プリスケラ選択ビット 0: 16分周 1: 128分周	○	○

監視タイマスタートレジスタ

シンボル
WDSアドレス
000E₁₆番地リセット時
不定

機 能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。 監視タイマの初期値は、書き込む値にかかわらず“7FFF ₁₆ ”が設定される。	×	○

図1.12.2. 監視タイマ関連レジスタ

DMAC

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャンネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図1.13.1にDMACのブロック図を、表1.13.1にDMACの仕様を、図1.13.2～図1.13.4にDMACで使用するレジスタの構成を示します。

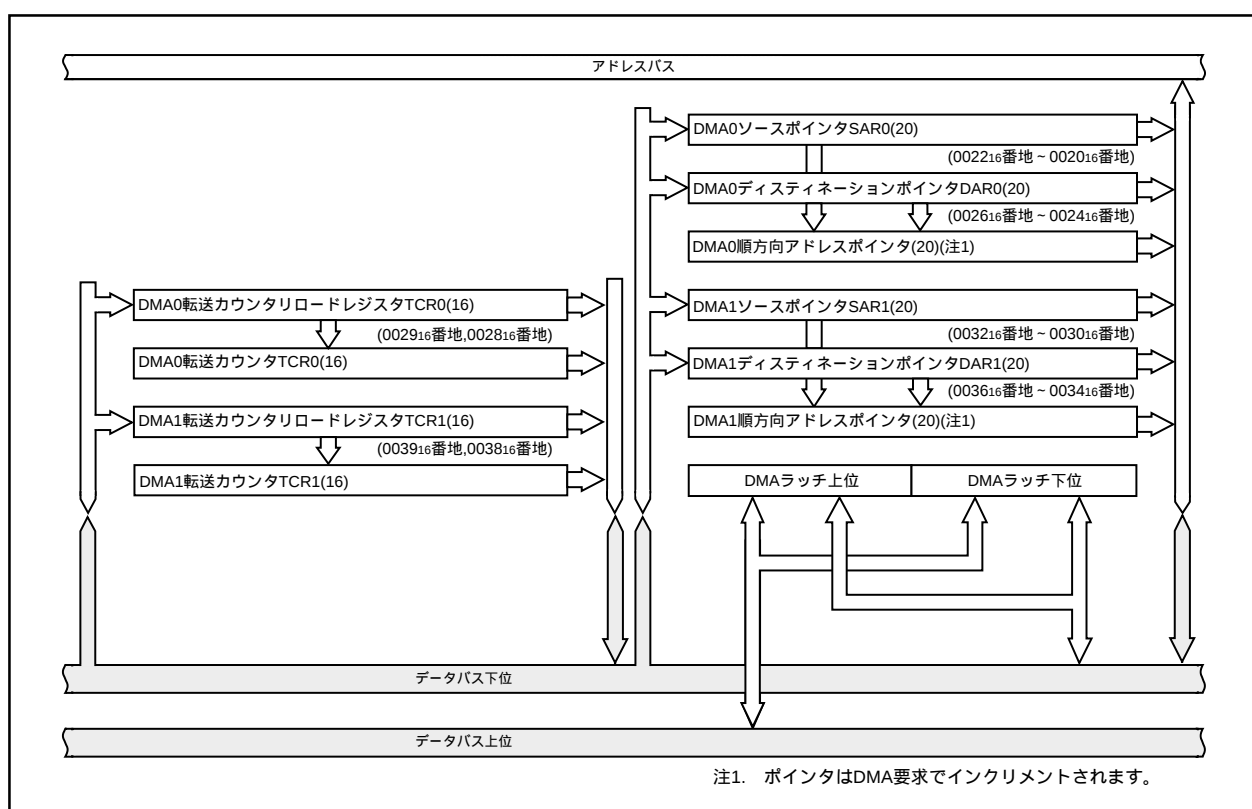


図1.13.1. DMACブロック図

DMA転送の要求信号には、ソフトウェアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生すると、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表1.13.1. DMAC仕様

項 目	仕 様
チャンネル数	2チャンネル(サイクルスチール方式)
転送空間	● 1Mバイトの任意の空間から固定アドレス ● 固定アドレスから1Mバイトの任意の空間 ● 固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020 ₁₆ 番地 ~ 003F ₁₆ 番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	INT0またはINT1端子の立ち上がりエッジまたは両エッジ タイマA0 ~ タイマA4割り込み要求 タイマB0 ~ タイマB5割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 UART2送信および受信割り込み要求 シリアルI/O3,4割り込み要求 A-D変換割り込み要求 ソフトウェアトリガ
チャンネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	● 単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる ● リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生することにデータ転送が開始される
アクティブでない状態	● DMA許可ビットが“0”のときDMACはアクティブでない状態 ● 単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

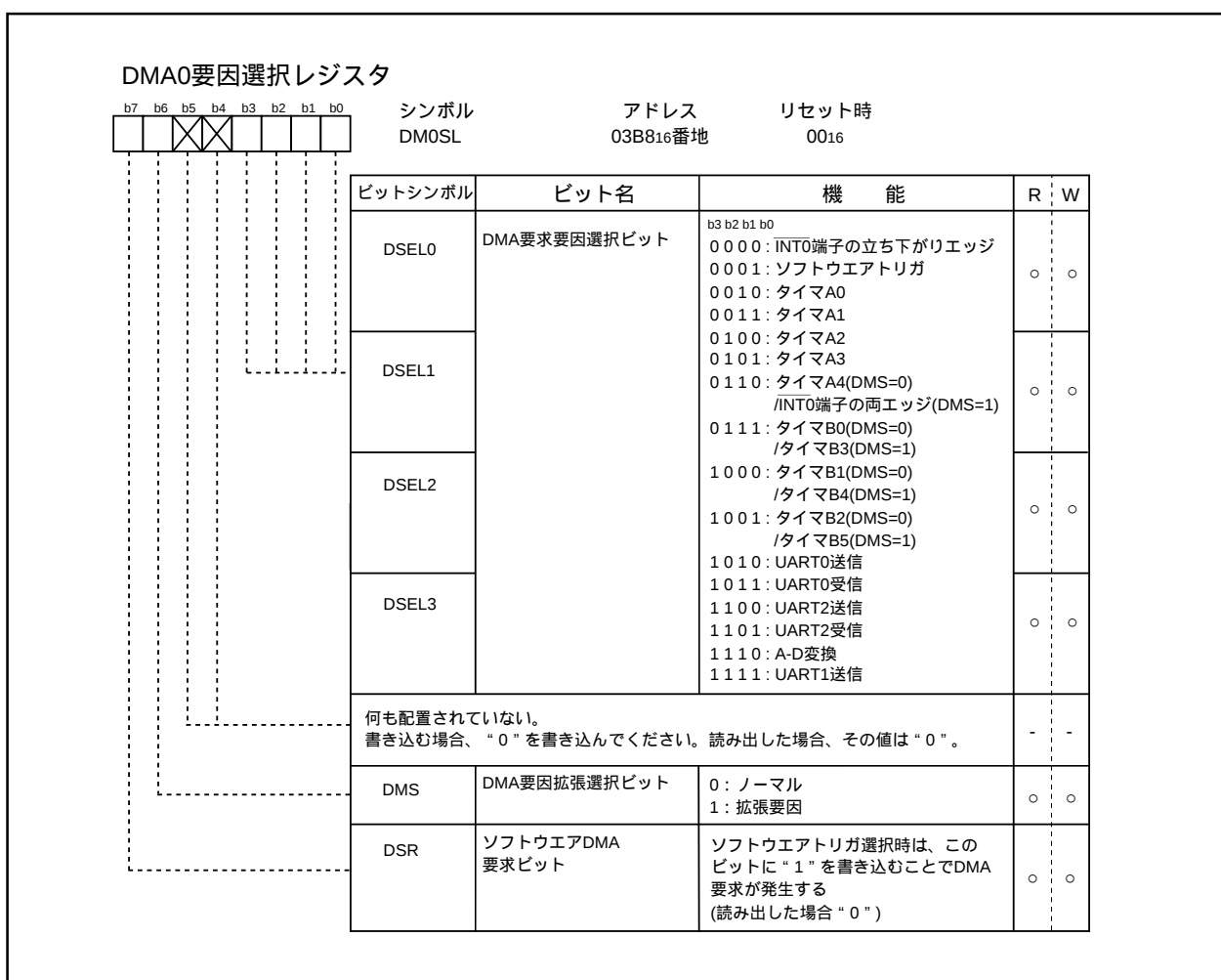


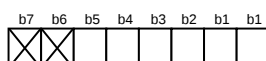
図1.13.2. DMACレジスタ構成(1)

DMA1要因選択レジスタ

シンボル
DM1SLアドレス
03BA₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0: INT1端子の立ち下がりエッジ 0 0 0 1: ソフトウェアトリガ 0 0 1 0: タイマA0 0 0 1 1: タイマA1 0 1 0 0: タイマA2 0 1 0 1: タイマA3(DMS=0) /シリアル/O3(DMS=1) 0 1 1 0: タイマA4(DMS=0) /シリアル/O4(DMS=1) 0 1 1 1: タイマB0(DMS=0) /INT1端子の両エッジ(DMS=1) 1 0 0 0: タイマB1 1 0 0 1: タイマB2 1 0 1 0: UART0送信 1 0 1 1: UART0受信 1 1 0 0: UART2送信 1 1 0 1: UART2受信 1 1 1 0: A-D変換 1 1 1 1: UART1受信	○	○
DSEL1		○	○	
DSEL2		○	○	
DSEL3		○	○	
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			-	-
DMS	DMA要因拡張選択ビット	0: ノーマル 1: 拡張要因	○	○
DSR	ソフトウェアDMA 要求ビット	ソフトウェアトリガ選択時は、この ビットに“1”を書き込むことでDMA 要求が発生する (読み出した場合“0”)	○	○

DMAi制御レジスタ

シンボル
DMiCON(i=0,1)アドレス
002C₁₆番地, 003C₁₆番地リセット時
00000X00₂

ビットシンボル	ビット名	機 能	R	W
DMBIT	転送単位ビット数選択ビット	0: 16ビット 1: 8ビット	○	○
DMASL	リビート転送モード 選択ビット	0: 単転送 1: リビート転送	○	○
DMAS	DMA要求ビット(注1)	0: 要求なし 1: 要求あり	○	○ (注2)
DMAE	DMA許可ビット	0: 禁止 1: 許可	○	○
DSD	転送元アドレス方向 選択ビット(注3)	0: 固定 1: 順方向	○	○
DAD	転送先アドレス方向 選択ビット(注3)	0: 固定 1: 順方向	○	○
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		-	-

注1. DMA要求をクリアするには“0”を書き込むことで行えます。

注2. “0”だけ書き込み可。

注3. 転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に
“1”にしないでください。

図1.13.3. DMACレジスタ構成(2)

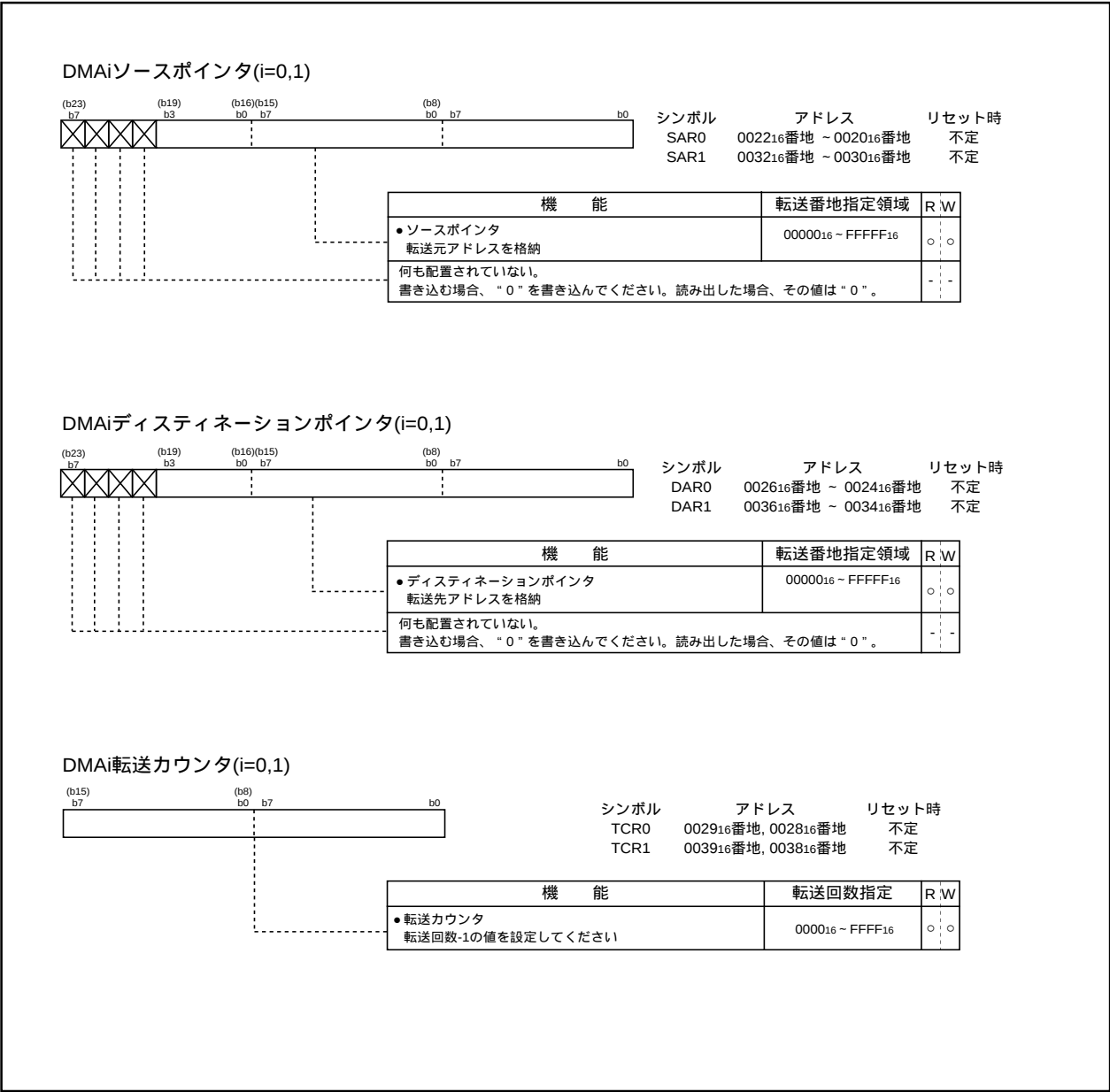


図1.13.4. DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元 / 転送先アドレスの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

■ 転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

■ BYTE端子の影響

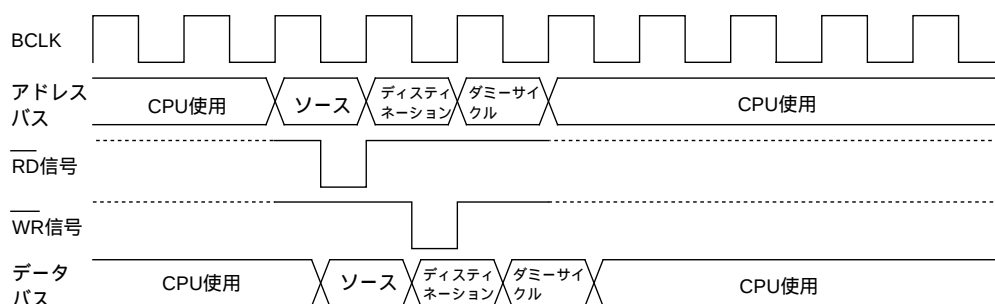
メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子が“H”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

■ ソフトウェアウエイトの影響

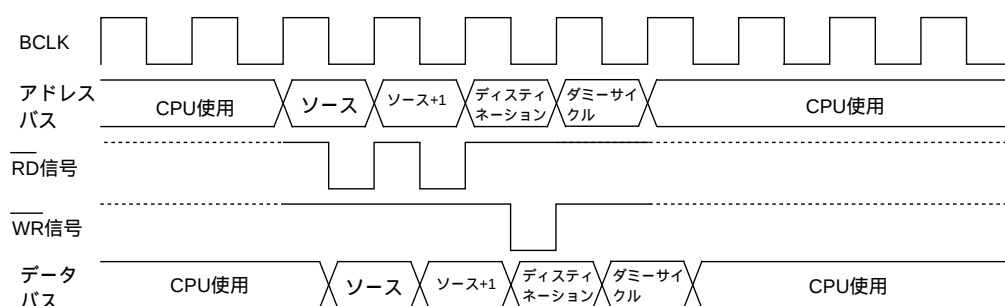
ソフトウェアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図1.13.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば の転送単位が16ビット幅で8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

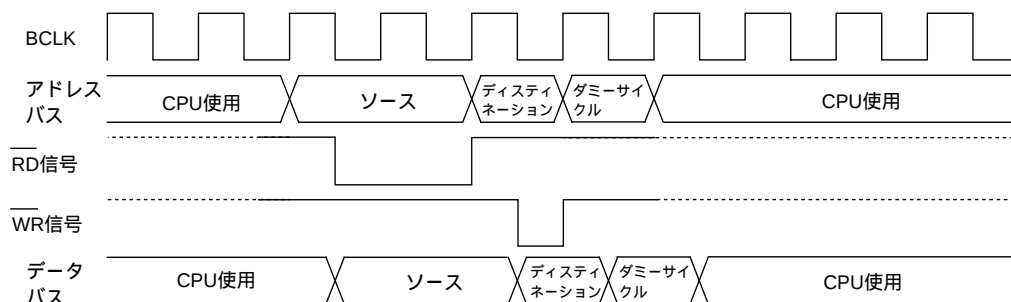
転送単位が8ビット幅のとき
 転送単位が16ビット幅でソースアドレスが偶数番地のとき



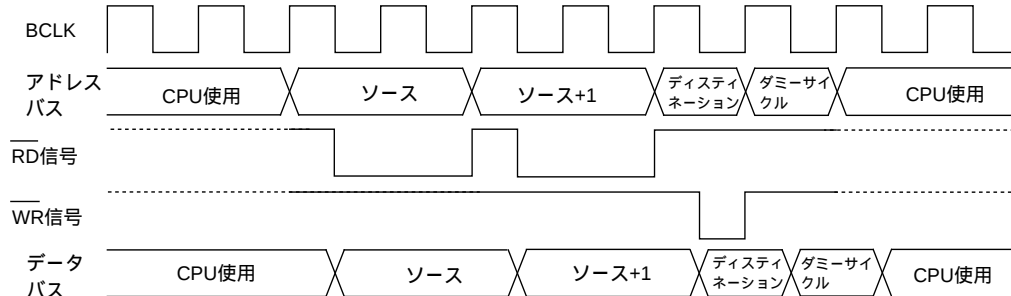
転送単位が16ビット幅でソースアドレスが奇数番地のとき
 転送単位が16ビット幅で8ビットバス使用時(この場合、ディステーションサイクルも2バスサイクルになります)



の条件でソースリードに1ウェイトが入ったとき



の条件でソースリードに1ウェイトが入ったとき
 (転送単位が16ビットバス幅で8ビットバス使用時は、ディステーションサイクルは2バスサイクルになります)



注1. ディステーションについても各条件で、ソースと同じタイミングの変化があります。

図1.13.5. ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。[表1.13.2](#)にDMAC転送サイクル数を示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表1.13.2. DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT= " 1 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8ビット (BYTE= " H ")	偶 数	-	-	1	1
		奇 数	-	-	1	1
16ビット転送 (DMBIT= " 0 ")	16ビット (BYTE= " L ")	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8ビット (BYTE= " H ")	偶 数	-	-	2	2
		奇 数	-	-	2	2

係数j,k

内部領域			外部領域		
内部ROM/RAM ウェイトなし	内部ROM/RAM ウェイトあり	SFR領域	セパレート ウェイトなし	セパレート ウェイトあり	マルチプレクス バス
1	2	2	1	2	3

DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

- (1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする
- (2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

DMA要求ビット

DMACは、各チャネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

- ・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウェアDMA要因(内部要因)
- ・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMAi要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウェアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

INTi端子(DMACチャネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因としてINTi端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各INTi端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャンネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャンネルのDMA要求ビットは同時に“1”になります。このとき各チャンネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

その動作説明図を図1.13.6外部要因によるDMA転送例で示します。

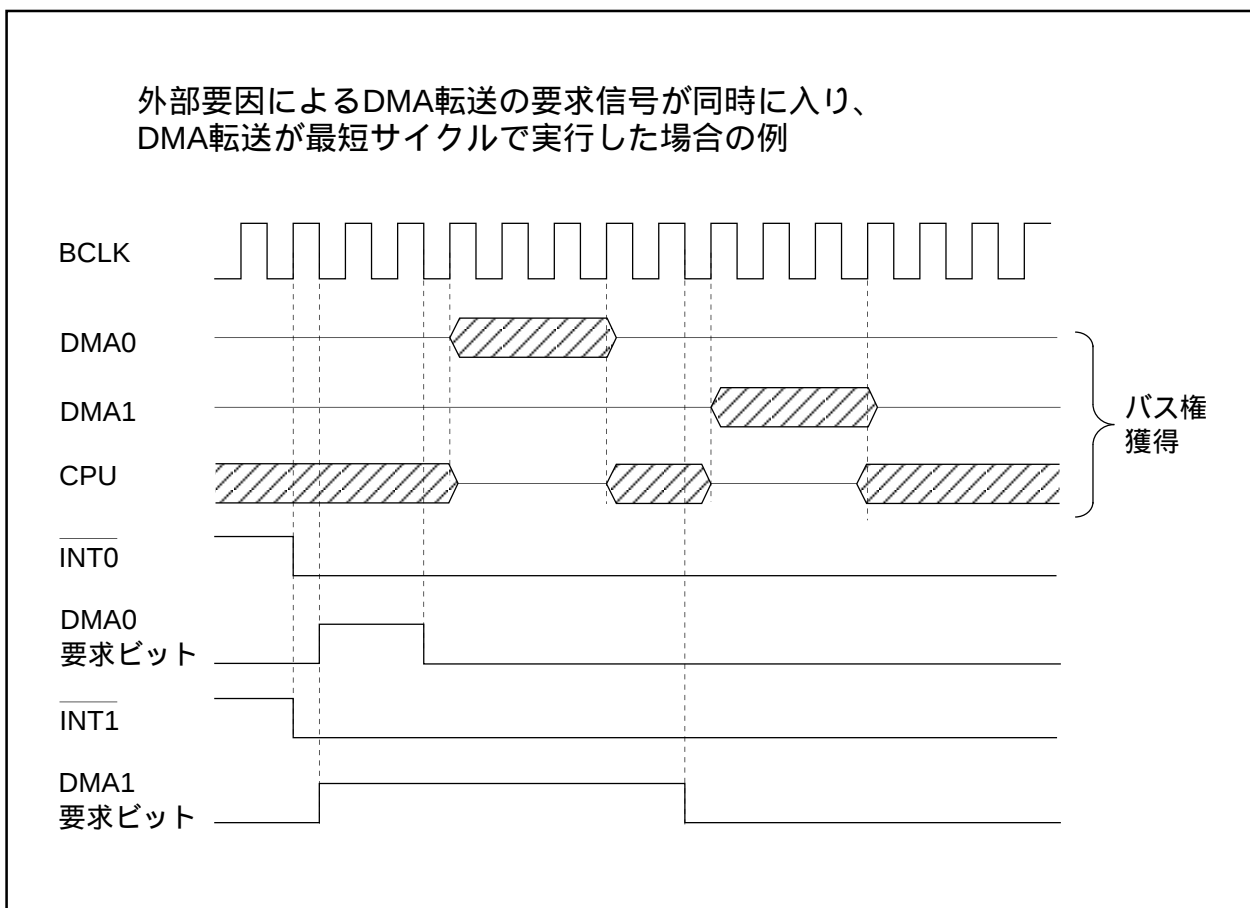


図1.13.6. 外部要因によるDMA転送例

タイマ

タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図1.14.1にタイマA、図1.14.2にタイマBの構成を示します。

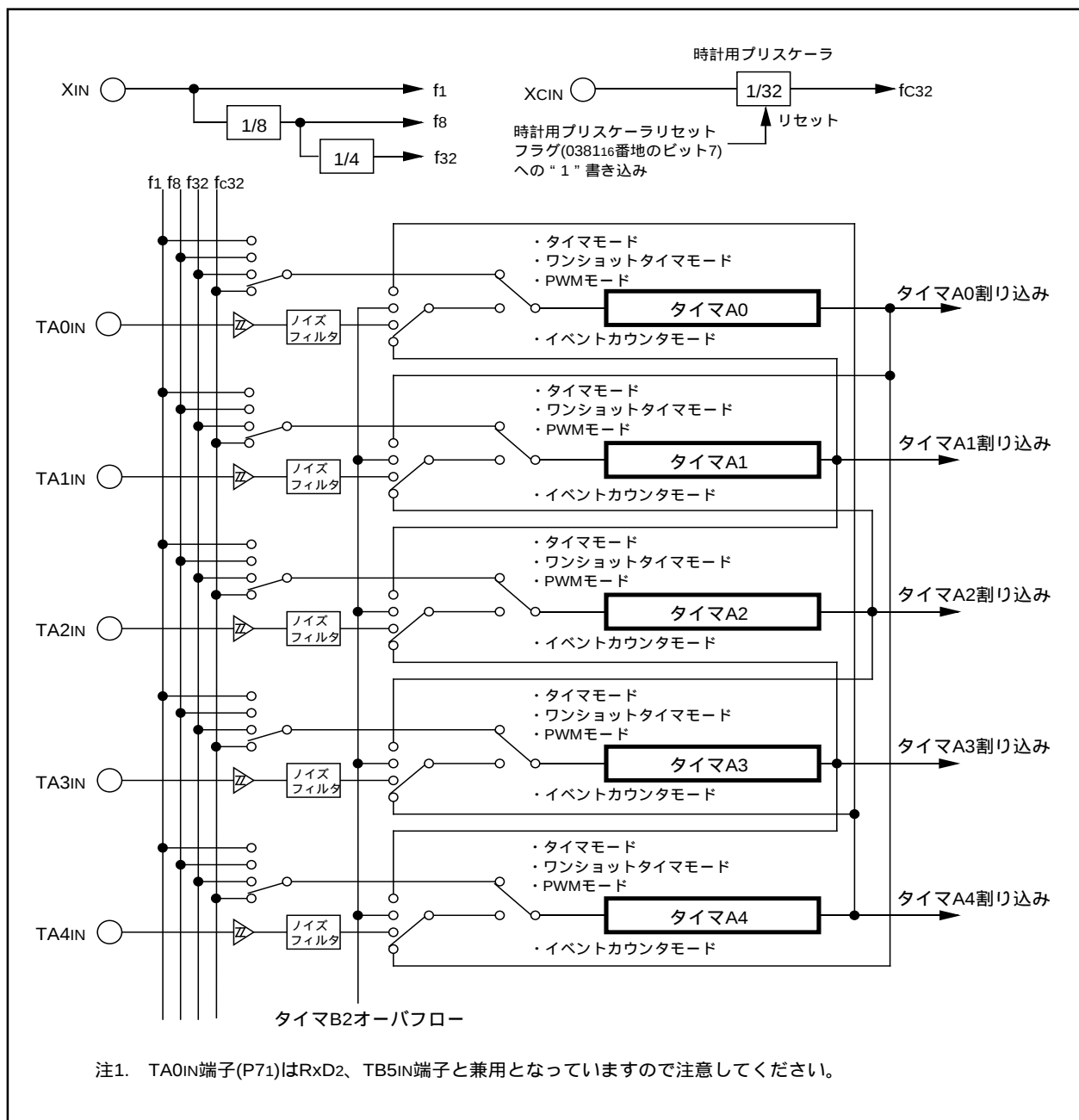


図1.14.1. タイマA構成

タイマ

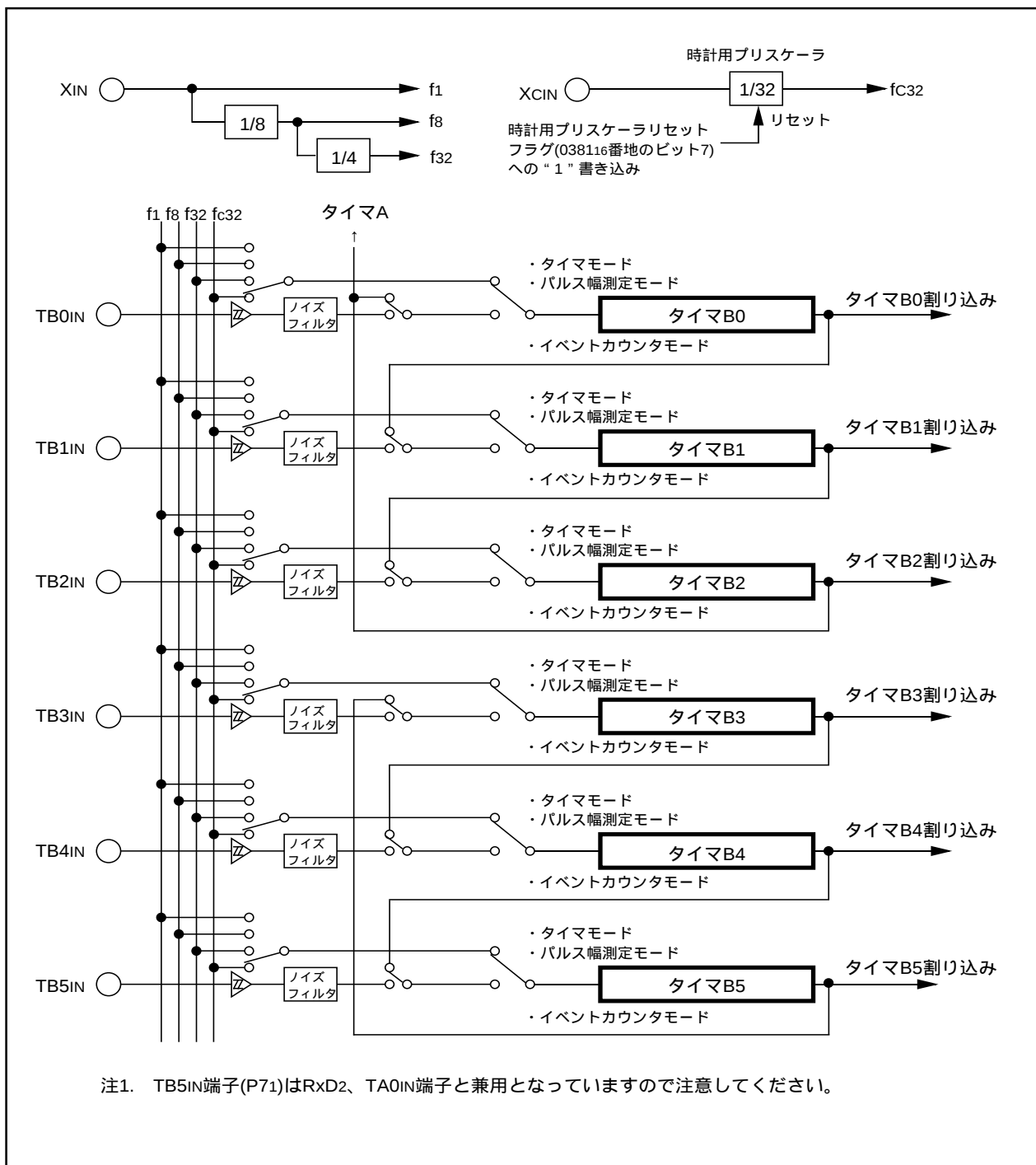


図1.14.2. タイマB構成

タイマA

タイマA

図1.14.3にタイマAのブロック図を、図1.14.4～図1.14.6にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、**タイマAiモードレジスタ(i=0～4)のビット0とビット1**で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたはタイマのオーバーフローをカウントするモード
- ・ワンショットタイマモード カウント値が“0000₁₆”になるとカウントが止まるモード
- ・パルス幅変調モード 任意のパルス幅を連続して出力するモード

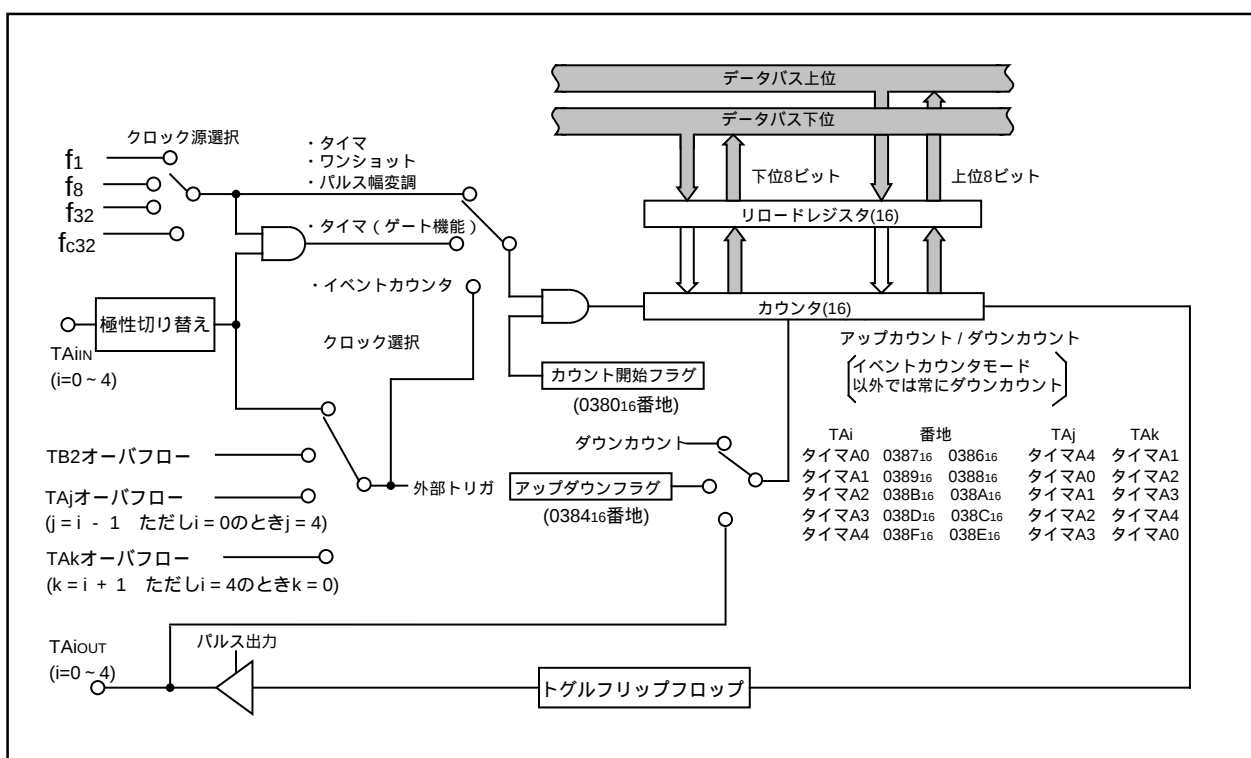


図1.14.3. タイマAブロック図

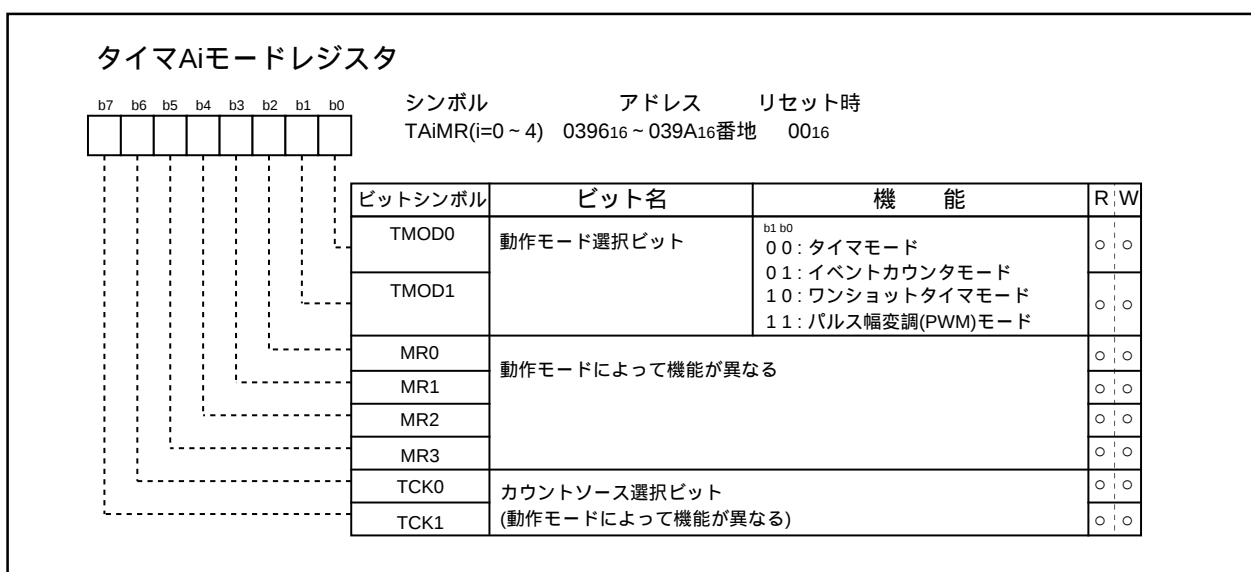
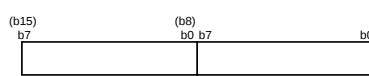


図1.14.4. タイマA関連レジスタ(1)

タイマA

タイマAiレジスタ(注1)



シンボル	アドレス	リセット時
TA0	0387 ₁₆ , 0386 ₁₆ 番地	不定
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定
TA3	038D ₁₆ , 038C ₁₆ 番地	不定
TA4	038F ₁₆ , 038E ₁₆ 番地	不定

機 能	設定可能値	R/W
●タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	○ ○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローを カウント	0000 ₁₆ ~ FFFF ₁₆	○ ○
●ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆ (注2、注4)	× ○
●パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000 ₁₆ ~ FFFE ₁₆ (注3、注4)	× ○
●パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケアラ、 上位アドレスは8ビットパルス幅変調器として動作	00 ₁₆ ~ FE ₁₆ (上位アドレス) 00 ₁₆ ~ FF ₁₆ (下位アドレス) (注3、注4)	× ○

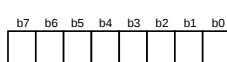
注1. 読み出し、および書き込みは16ビット単位で行ってください。

注2. タイマAiレジスタに“0000₁₆”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。

注3. タイマAiレジスタに“0000₁₆”を設定した場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00₁₆”を設定した場合も同様です。

注4. このレジスタへの書き込みにはMOV命令を使用してください。

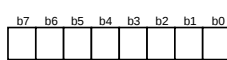
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R/W
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	○ ○
TA1S	タイマA1カウント開始フラグ		○ ○
TA2S	タイマA2カウント開始フラグ		○ ○
TA3S	タイマA3カウント開始フラグ		○ ○
TA4S	タイマA4カウント開始フラグ		○ ○
TB0S	タイマB0カウント開始フラグ		○ ○
TB1S	タイマB1カウント開始フラグ		○ ○
TB2S	タイマB2カウント開始フラグ		○ ○

アップダウンフラグ(注1)



シンボル	アドレス	リセット時
UDF	0384 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R/W
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント アップ/ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	○ ○
TA1UD	タイマA1アップダウンフラグ		○ ○
TA2UD	タイマA2アップダウンフラグ		○ ○
TA3UD	タイマA3アップダウンフラグ		○ ○
TA4UD	タイマA4アップダウンフラグ		○ ○
TA2P	タイマA2二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可(注2)	× ○
TA3P	タイマA3二相パルス信号処理 機能選択ビット		× ○
TA4P	タイマA4二相パルス信号処理 機能選択ビット		× ○

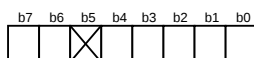
注1. このレジスタへの書き込みにはMOV命令を使用してください。

注2. TAiIN、TAiOUTに対応するポート方向レジスタは“0”にしてください。

図1.14.5. タイマA関連レジスタ(2)

タイマA

ワンショット開始フラグ

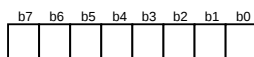


シンボル アドレス リセット時
ONSF 0382₁₆番地 00X00000₂

ビットシンボル	ビット名	機 能	R/W
TA0OS	タイマA0ワンショット開始フラグ	1: タイマスタート 読み出し時の値は “ 0 ”	○ ○
TA1OS	タイマA1ワンショット開始フラグ		○ ○
TA2OS	タイマA2ワンショット開始フラグ		○ ○
TA3OS	タイマA3ワンショット開始フラグ		○ ○
TA4OS	タイマA4ワンショット開始フラグ		○ ○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			— —
TA0TGL	タイマA0イベント / トリガ選択ビット	b7 b6 00: TA0in端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA4のオーバーフローを選択 11: TA1のオーバーフローを選択	○ ○
TA0TGH			○ ○

注1. 対応するポート方向レジスタは " 0 " にしてください。

トリガ選択レジスタ

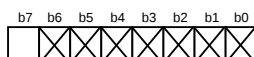


シンボル アドレス リセット時
TRGSR 0383₁₆番地 00₁₆

ビットシンボル	ビット名	機 能	R/W
TA1TGL	タイマA1イベント / トリガ選択ビット	b1 b0 00: TA1in端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA0のオーバーフローを選択 11: TA2のオーバーフローを選択	○ ○
TA1TGH			○ ○
TA2TGL	タイマA2イベント / トリガ選択ビット	b3 b2 00: TA2in端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA1のオーバーフローを選択 11: TA3のオーバーフローを選択	○ ○
TA2TGH			○ ○
TA3TGL	タイマA3イベント / トリガ選択ビット	b5 b4 00: TA3in端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA2のオーバーフローを選択 11: TA4のオーバーフローを選択	○ ○
TA3TGH			○ ○
TA4TGL	タイマA4イベント / トリガ選択ビット	b7 b6 00: TA4in端子の入力を選択(注1) 01: TB2のオーバーフローを選択 10: TA3のオーバーフローを選択 11: TA0のオーバーフローを選択	○ ○
TA4TGH			○ ○

注1. 対応するポート方向レジスタは " 0 " にしてください。

時計用プリスケアラリセットフラグ



シンボル アドレス リセット時
CPSRF 0381₁₆番地 0XXXXXX₂

ビットシンボル	ビット名	機 能	R/W
何も配置されていない。 書き込む場合、" 0 " を書き込んでください。読み出した場合、その値は不定。			- -
CPSR	時計用プリスケアラ リセットフラグ	0: 何もおこらない 1: プリスケアラリセット (読み出し時は " 0 ")	○ ○

図1.14.6. タイマA関連レジスタ(3)

タイマA

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.14.1)。図1.14.7にタイマモード時のタイマAiモードレジスタの構成を示します。

表1.14.1. タイマモードの仕様

項 目	仕 様
カウントソース	f1, f8, f32, fc32
カウント動作	● ダウンカウント ● アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	● カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ● カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	● ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ● パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

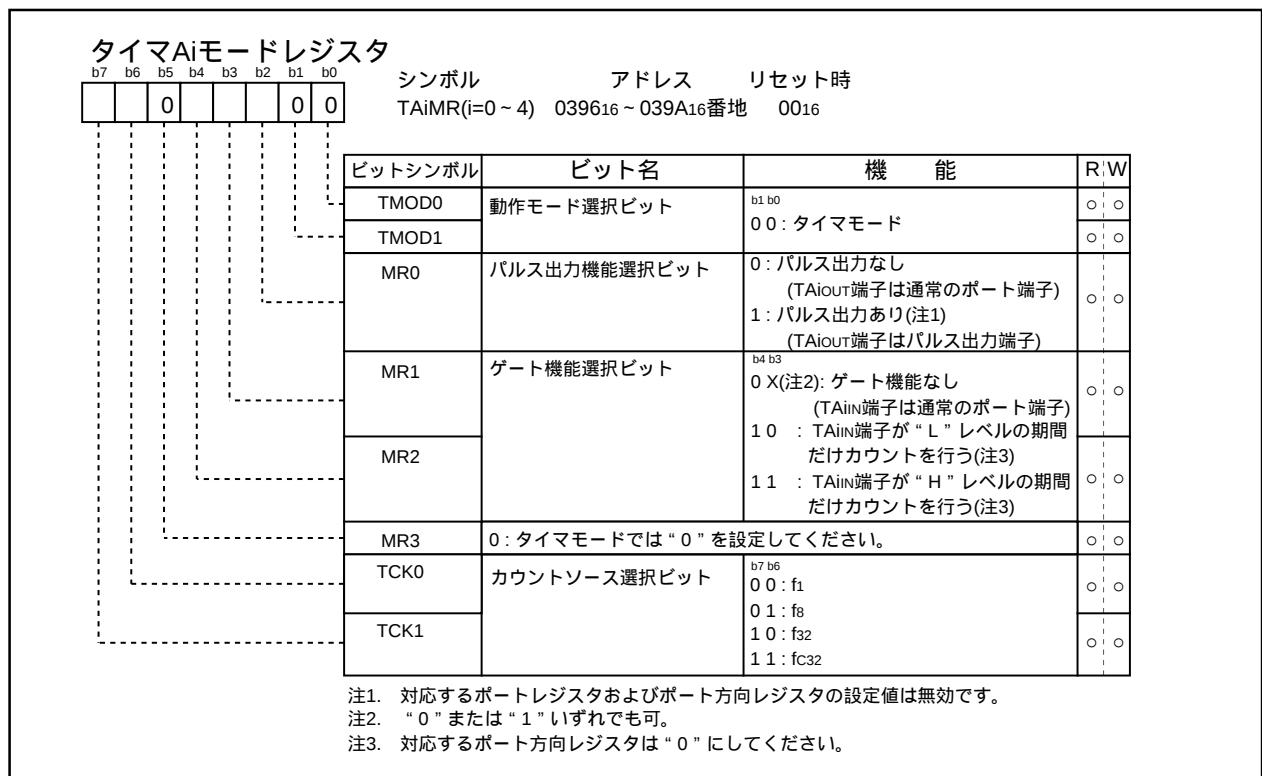


図1.14.7. タイマモード時のタイマAiモードレジスタの構成

タイマA

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表1.14.2に、タイマAiモードレジスタの構成を図1.14.8に示します。二相の外部信号をカウントする場合の仕様を表1.14.3に、タイマAiモードレジスタの構成を図1.14.9に示します。

表1.14.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項 目	仕 様
カウントソース	- TAiIN端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) - TB2のオーバフロー、TAjのオーバフロー
カウント動作	- アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 - オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	- アップカウント時 $1/(FFFF_{16} - n + 1)$ - ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	- カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる - カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	- フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない - パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1. フリーラン機能選択時は除きます。

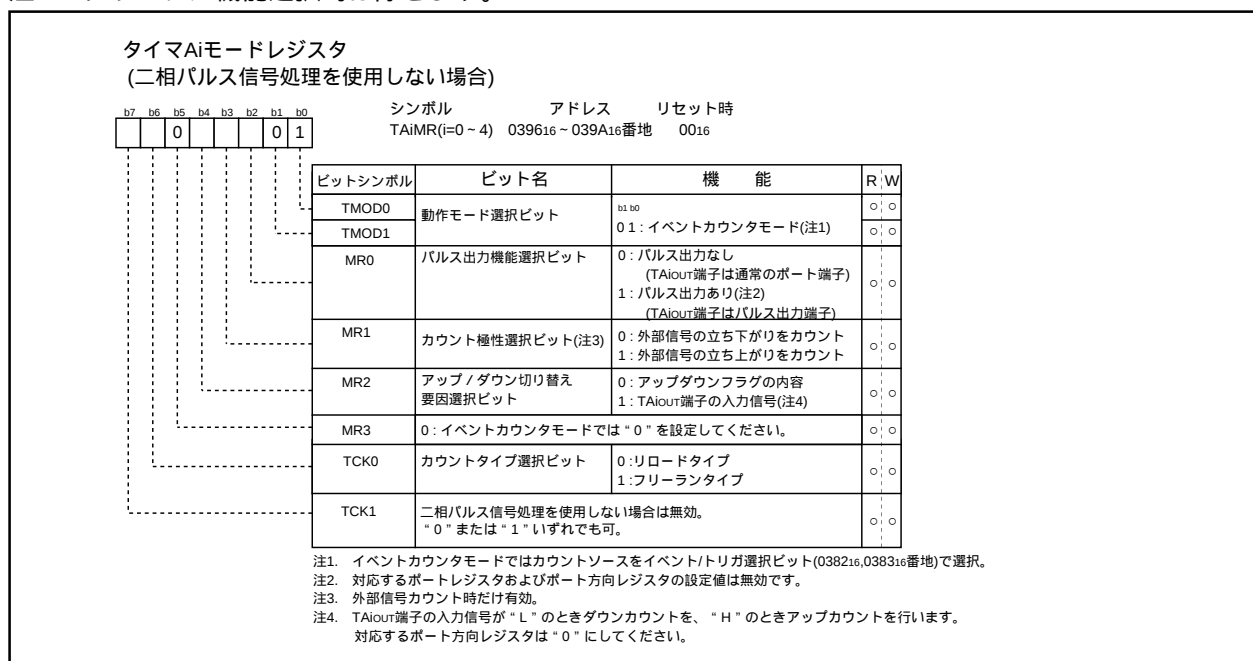
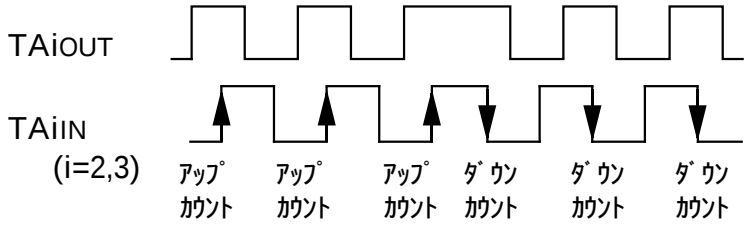
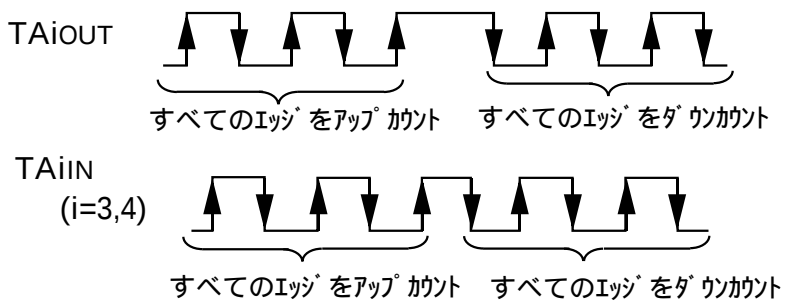


図1.14.8. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

表1.14.3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項 目	仕 様
カウントソース	●TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	●アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時 $1/(FFFF_{16} - n + 1)$ ●ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力 (TAiIN端子に対応するポート方向レジスタは“0”にする)
TAiOUT端子機能	二相パルス入力 (TAiOUT端子に対応するポート方向レジスタは“0”にする)
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能(注2)	●通常処理動作(タイマA2、タイマA3) TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりやをダウンカウントします。  (i=2,3) アップ カウント アップ カウント アップ カウント ダウン カウント ダウン カウント ダウン カウント ●4通倍処理動作(タイマA3、タイマA4) TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりやをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりやをダウンカウントします。  TAiOUT すべてのエッジをアップ カウント すべてのエッジをダウン カウント TAiIN (i=3,4) すべてのエッジをアップ カウント すべてのエッジをダウン カウント

注1. フリーラン機能選択時は除く。

注2. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

タイマA

タイマAiモードレジスタ

(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0	0	0	1

シンボル

アドレス

リセット時

TAiMR(i=2~4)

0398₁₆ ~ 039A₁₆番地00₁₆

ビットシンボル	ビット名	機 能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	0 : 二相パルス信号処理を使用する場合、“0”を設定してください。		○	○
MR1	0 : 二相パルス信号処理を使用する場合、“0”を設定してください。		○	○
MR2	1 : 二相パルス信号処理を使用する場合、“1”を設定してください。		○	○
MR3	0 : 二相パルス信号処理を使用する場合、“0”を設定してください。		○	○
TCK0	カウント動作タイプ選択 ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス処理動作選択 ビット(注1)(注2)	0 : 通常処理動作 1 : 4 逓倍処理動作	○	○

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

注2. 二相パルス信号処理を行う場合、二相パルス信号機能選択ビット(0384₁₆番地)は“1”に、イベント/トリガ選択ビット(0383₁₆番地)は“00”にしてください。

図1.14.9. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表1.14.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.14.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表1.14.4. ワンショットタイマモードの仕様

項 目	仕 様
カウントソース	f1, f8, f32, fc32
カウント動作	●ダウンカウント ●カウントの値が0000₁₆になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●ワンショット開始フラグへの“1”書き込み
カウント停止条件	●カウントの値が0000₁₆になりリロードした後 ●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 ₁₆ になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

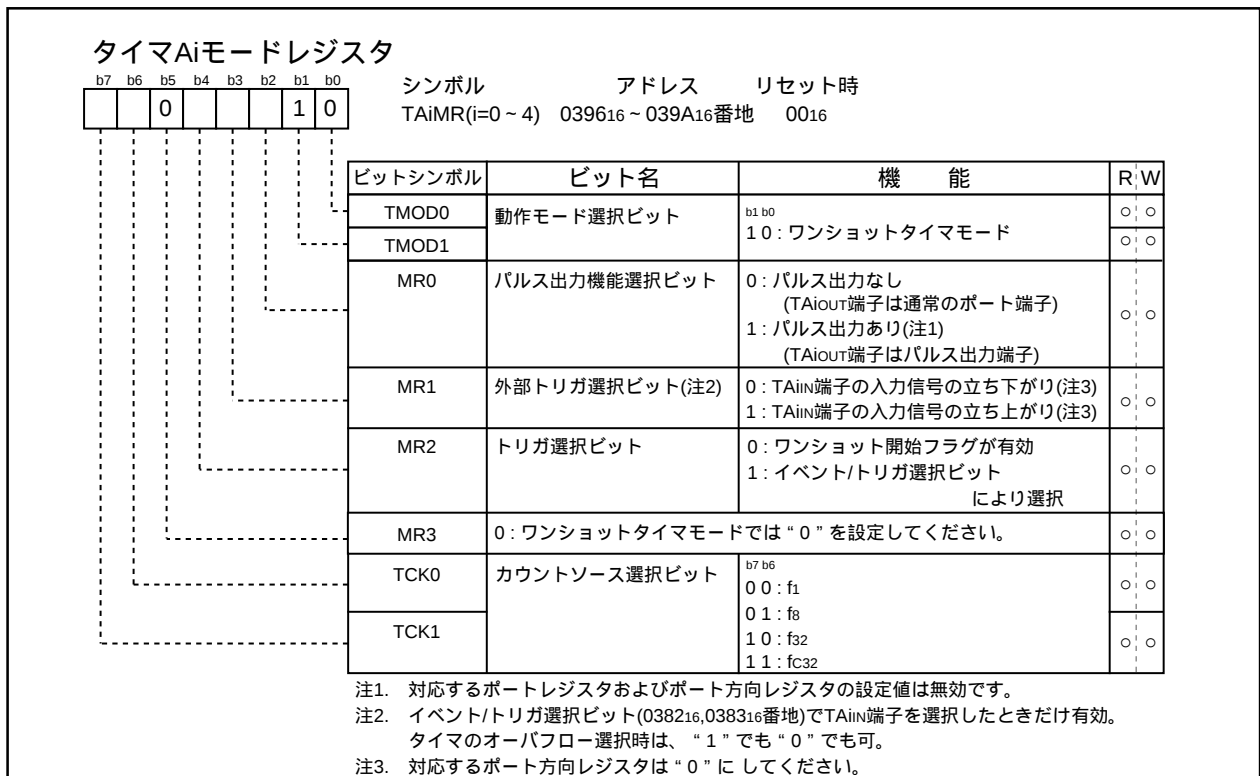


図1.14.10. ワンショットタイマモード時のタイマAiモードレジスタの構成

タイマA

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表1.14.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.14.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図1.14.12に16ビットパルス幅変調器の動作例、および図1.14.13に8ビットパルス幅変調器の動作例を示します。

表1.14.5. パルス幅変調モードの仕様

項 目	仕 様
カウントソース	f1, f8, f32, fc32
カウント動作	●ダウncount(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	●“H”レベル幅 n / f_i n:設定値 ●周期 $(2^{16} - 1) / f_i$ 固定
8ビットPWM	●“H”レベル幅 $n \times (m+1) / f_i$ n:タイマAiレジスタの上位アドレスの設定値 ●周期 $(2^8 - 1) \times (m+1) / f_i$ m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIn端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

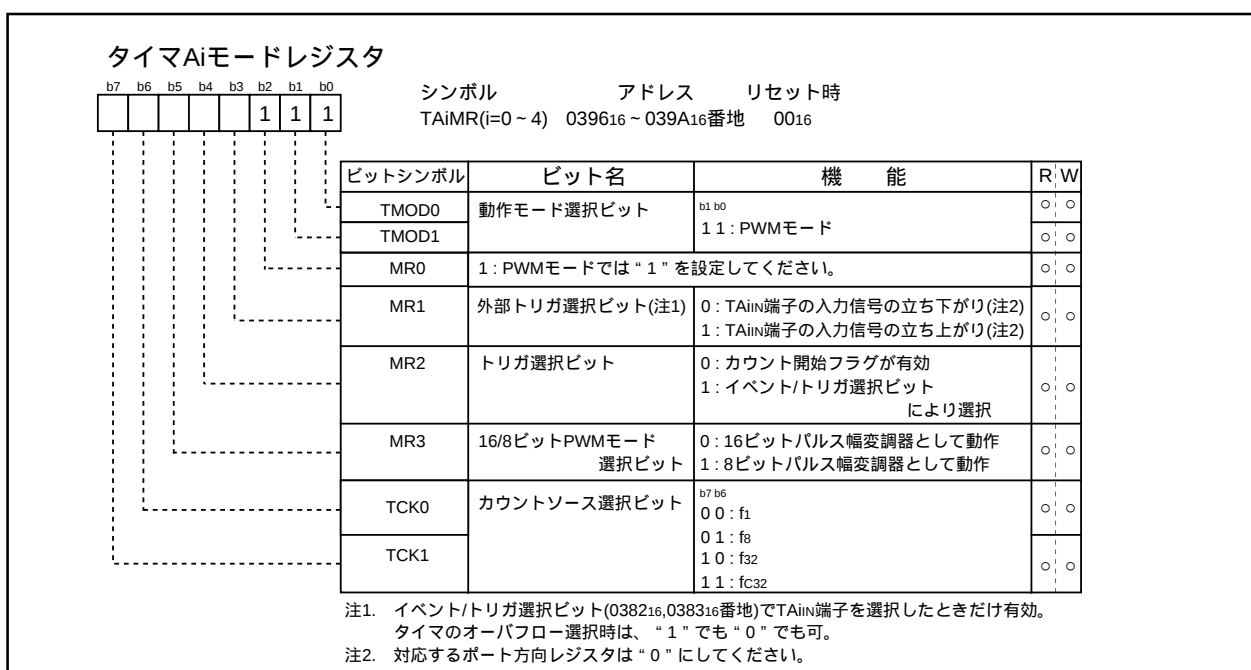


図1.14.11. パルス幅変調モード時のタイマAiモードレジスタの構成

タイマA

リロードレジスタ=000316、外部トリガ(TAiN端子の入力信号の立ち上がり)選択時

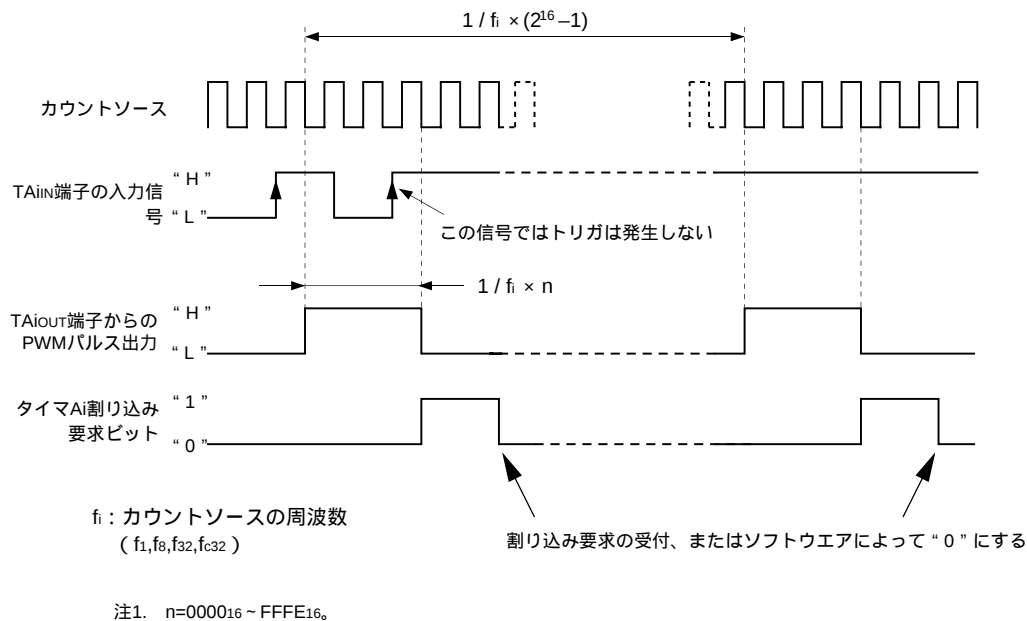


図1.14.12. 16ビットパルス幅変調器の動作例

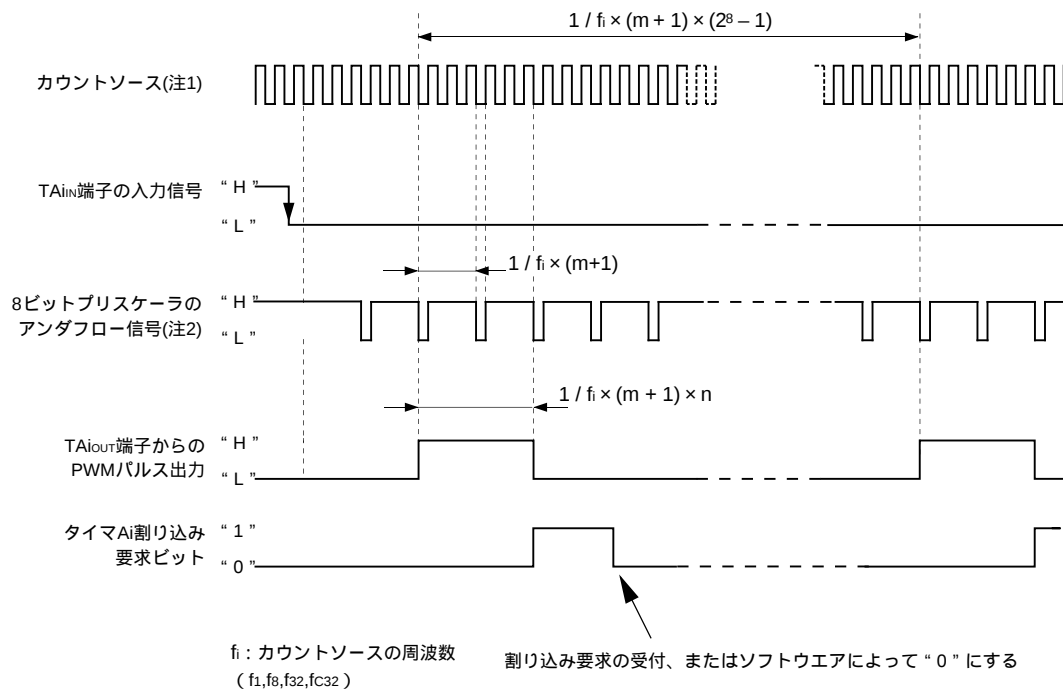
リロードレジスタの上位8ビット = 0216、
リロードレジスタの下位8ビット = 0216、
外部トリガ(TAiN端子の入力信号の立ち下がり)選択時

図1.14.13. 8ビットパルス幅変調器の動作例

タイマB

タイマB

図1.14.14にタイマBのブロック図を、図1.14.15、図1.14.16にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、**タイマBiモードレジスタ(i=0~5)のビット0とビット1**で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたはタイマのオーバーフローをカウントするモード
- ・パルス周期測定 / パルス幅測定モード 外部パルスの周期またはパルス幅を測定するモード

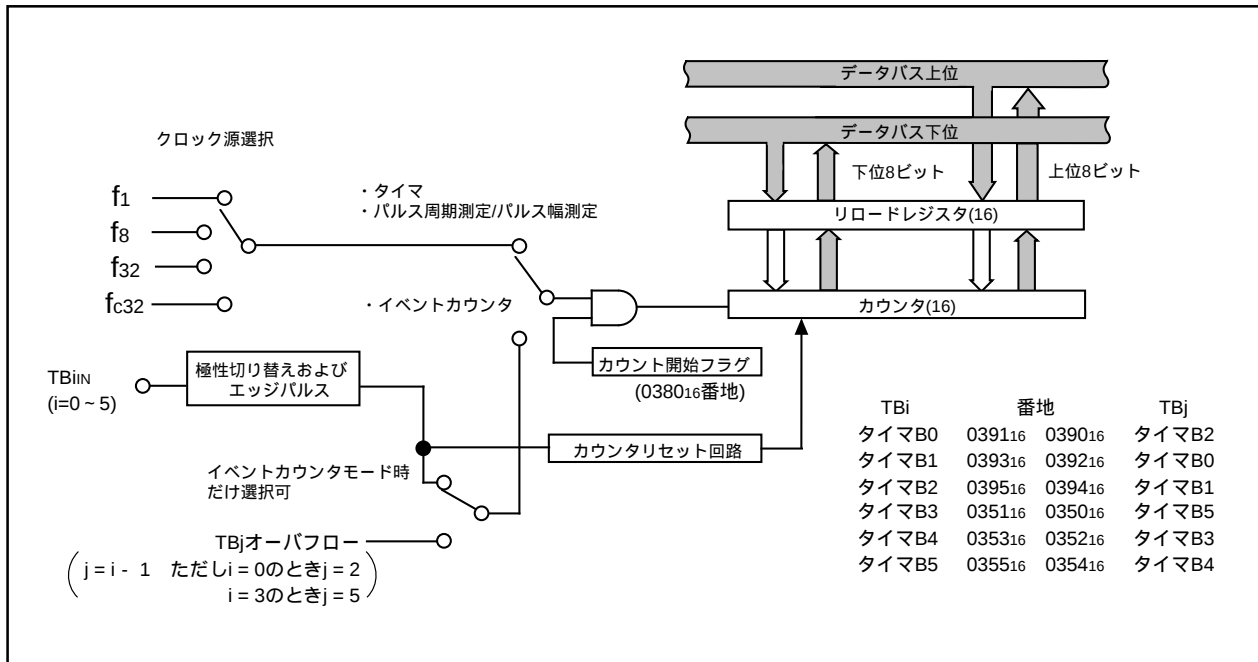


図1.14.14. タイマBブロック図

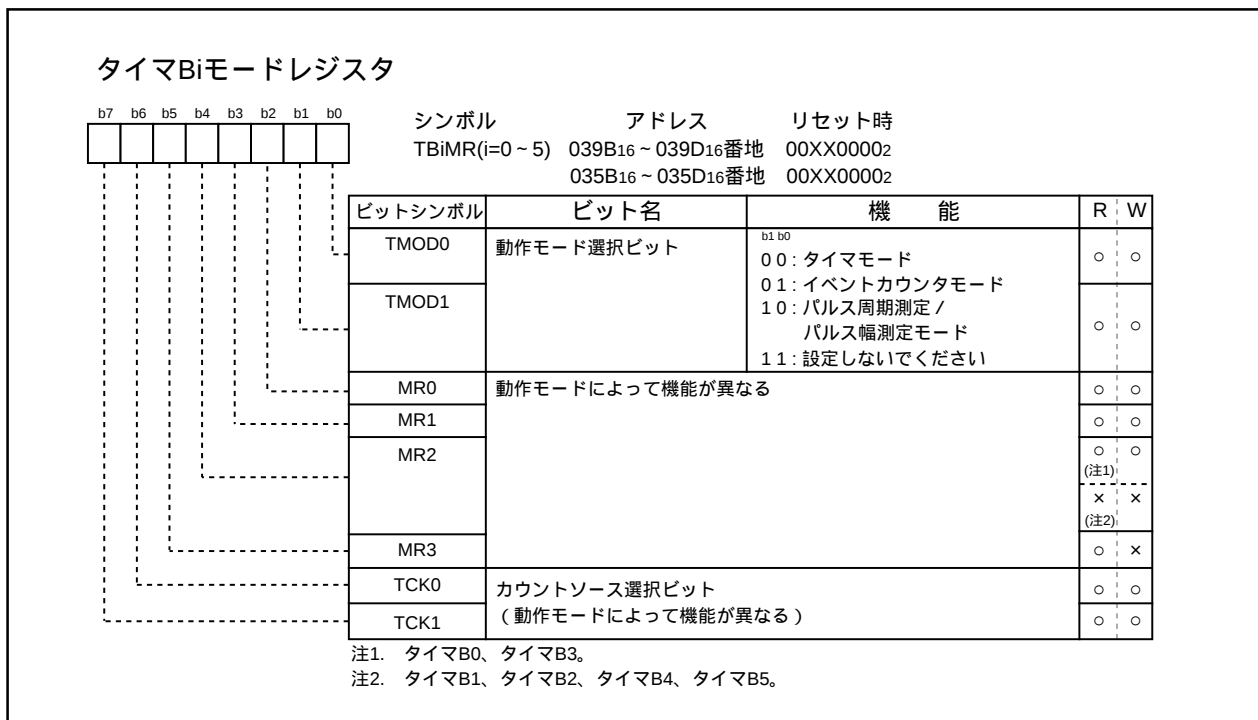
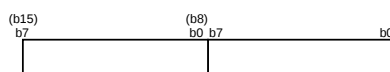


図1.14.15. タイマB関連レジスタ(1)

タイマB

タイマBiレジスタ(注1)

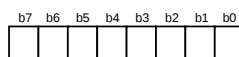


シンボル	アドレス	リセット時
TB0	0391 ₁₆ , 0390 ₁₆ 番地	不定
TB1	0393 ₁₆ , 0392 ₁₆ 番地	不定
TB2	0395 ₁₆ , 0394 ₁₆ 番地	不定
TB3	0351 ₁₆ , 0350 ₁₆ 番地	不定
TB4	0353 ₁₆ , 0352 ₁₆ 番地	不定
TB5	0355 ₁₆ , 0354 ₁₆ 番地	不定

機 能	設定可能値	R/W
タイマモード タイマの周期をカウント	0000 ₁₆ ~ FFFF ₁₆	○ ○
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローを カウント	0000 ₁₆ ~ FFFF ₁₆	○ ○
パルス周期測定モード / パルス幅測定モード パルス周期、またはパルス幅を測定	—	○ ×

注1. 読み出し、および書き込みは16ビット単位で行ってください。

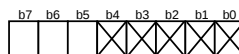
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R/W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○ ○
TA1S	タイマA1カウント開始フラグ		○ ○
TA2S	タイマA2カウント開始フラグ		○ ○
TA3S	タイマA3カウント開始フラグ		○ ○
TA4S	タイマA4カウント開始フラグ		○ ○
TB0S	タイマB0カウント開始フラグ		○ ○
TB1S	タイマB1カウント開始フラグ		○ ○
TB2S	タイマB2カウント開始フラグ		○ ○

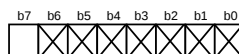
タイマB3,4,5カウント開始フラグ



シンボル	アドレス	リセット時
TBSR	0340 ₁₆ 番地	000XXXXX ₂

ビットシンボル	ビット名	機 能	R/W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			- -
TB3S	タイマB3カウント開始フラグ	0 : カウント停止 1 : カウント開始	○ ○
TB4S	タイマB4カウント開始フラグ		○ ○
TB5S	タイマB5カウント開始フラグ		○ ○

時計用プリスケアラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381 ₁₆ 番地	0XXXXXX ₂

ビットシンボル	ビット名	機 能	R/W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			- -
CPSR	時計用プリスケアラ リセットフラグ	0 : 何もおこなない 1 : プリスケアラリセット (読み出し時は“0”)	○ ○

図1.14.16. タイマB関連レジスタ(2)

タイマB

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.14.6)。図1.14.17にタイマモード時のタイマBiモードレジスタの構成を示します。

表1.14.6. タイマモードの仕様

項 目	仕 様
カウントソース	f1, f8, f32, fC32
カウント動作	● ダウンカウント ● アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	● カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ● カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

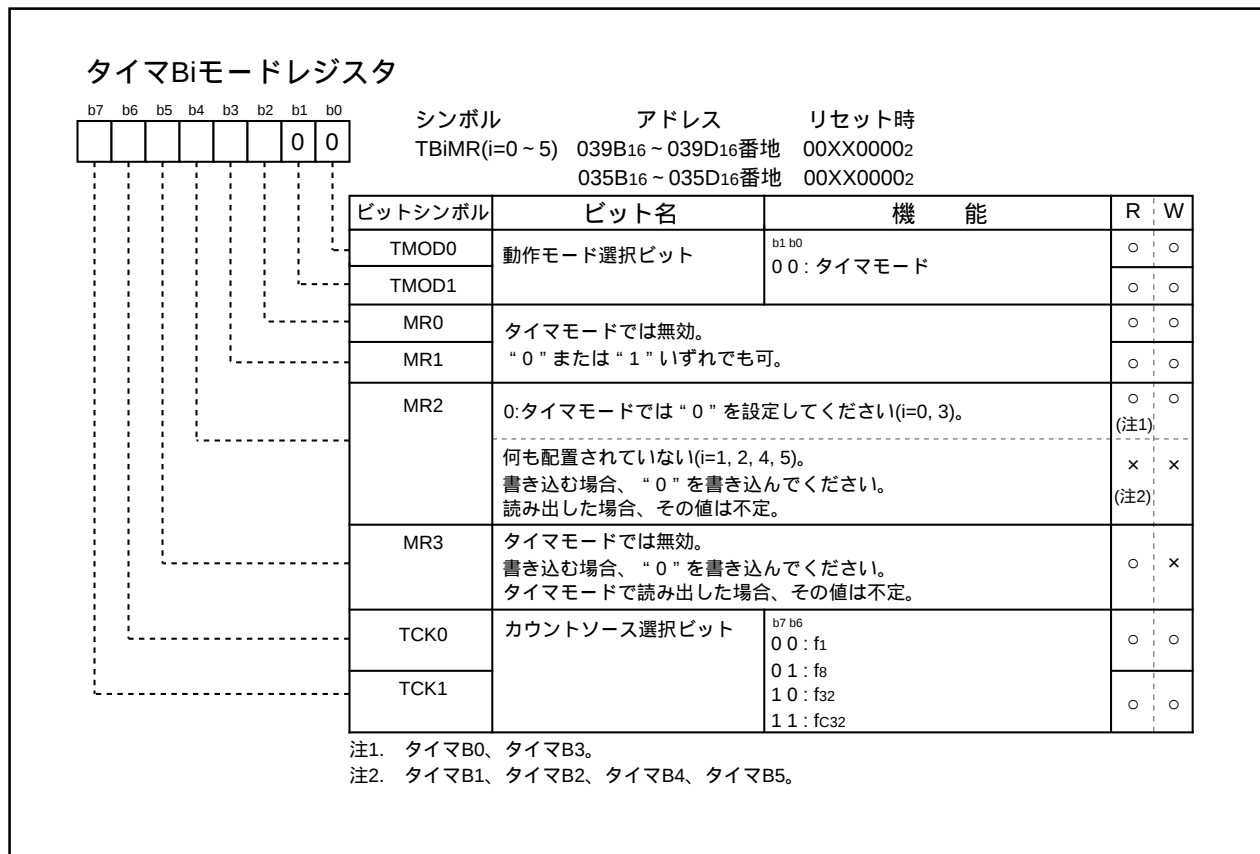


図1.14.17. タイマモード時のタイマBiモードレジスタの構成

タイマB

(2) イベントカウンタモード

外部信号または内部タイマのオーバーフローをカウントするモードです(表1.14.7)。イベントカウンタモード時のタイマBiモードレジスタの構成を図1.14.18に示します。

表1.14.7. イベントカウンタモードの仕様

項 目	仕 様
カウントソース	● TBiIN端子に入力された外部信号 ● カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上りをソフトウェアによって選択可
カウント動作	● ダウンカウント ● アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	● $1/(n+1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	● カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ● カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

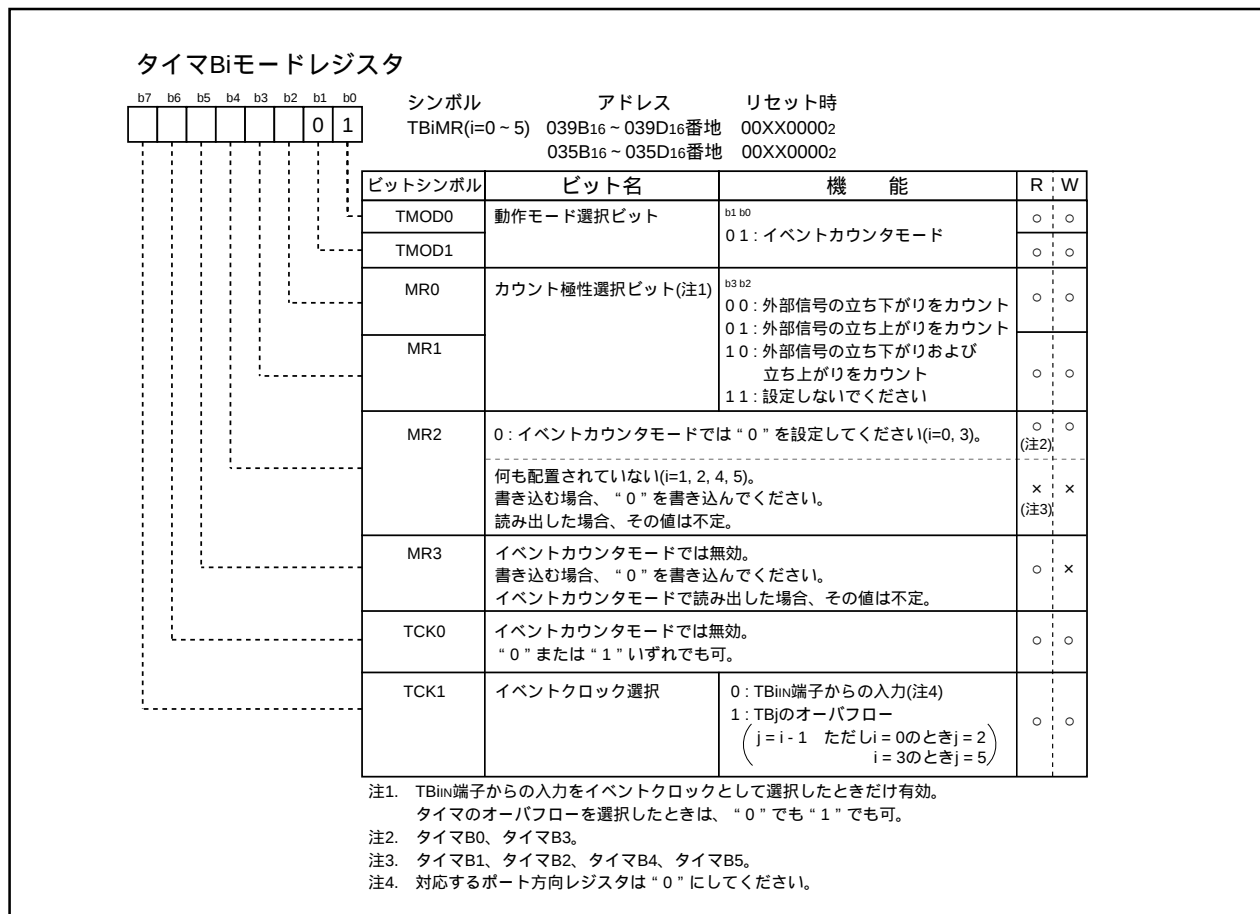


図1.14.18. イベントカウンタモード時のタイマBiモードレジスタの構成

タイマB

(3) パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表1.14.8)。図1.14.19にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成、図1.14.20にパルス周期測定時の動作図、および図1.14.21にパルス幅測定時の動作図を示します。

表1.14.8. パルス周期測定 / パルス幅測定モードの仕様

項 目	仕 様
カウントソース	f1, f8, f32, fc32
カウント動作	● アップカウント ● 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000₁₆”にしてカウントを継続
カウント開始条件	● カウント開始フラグへの“1”書き込み
カウント停止条件	● カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	● 測定パルスの有効エッジ入力時(注1) ● オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態ではタイマBiモードレジスタ書き込みを行うと“0”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマBiモードレジスタ									
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス
						1	0	TBiMR(i=0~5)	039B16~039D16番地 035B16~035D16番地
								リセット時	00XX0000 ₂ 00XX0000 ₂
ビットシンボル	ビット名		機 能					R	W
TMOD0	動作モード選択ビット		b1 b0					○	○
TMOD1			1 0 : パルス周期測定 / パルス幅測定モード					○	○
MR0	測定モード選択ビット		b3 b2					○	○
			0 0 : パルス周期測定 (測定パルスの立ち下がり - 立ち上がり間)						
MR1			0 1 : パルス周期測定 (測定パルスの立ち上がり - 立ち上がり間)						
			1 0 : パルス幅測定 (測定パルスの立ち下がり - 立ち上がり間、および立ち上がり - 立ち下がり間)					○	○
			1 1 : 設定しないでください						
MR2	0:パルス周期測定/パルス幅測定モードでは“0”を設定してください(i=0, 3)。 何も配置されていない(i=1, 2, 4, 5)。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。							○ (注2)	○
								×	×
MR3	タイマBiオーバフローフラグ(注1)		0 : オーバフローなし 1 : オーバフローあり					○	×
TCK0	カウントソース選択ビット		b7 b6					○	○
			0 0 : f1						
			0 1 : f8						
TCK1			1 0 : f32 1 1 : fc32					○	○

注1. リセット時は不定です。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態ではタイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウェアで“1”にすることはできません。

注2. タイマB0、タイマB3。

注3. タイマB1、タイマB2、タイマB4、タイマB5。

図1.14.19. パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成

タイマB

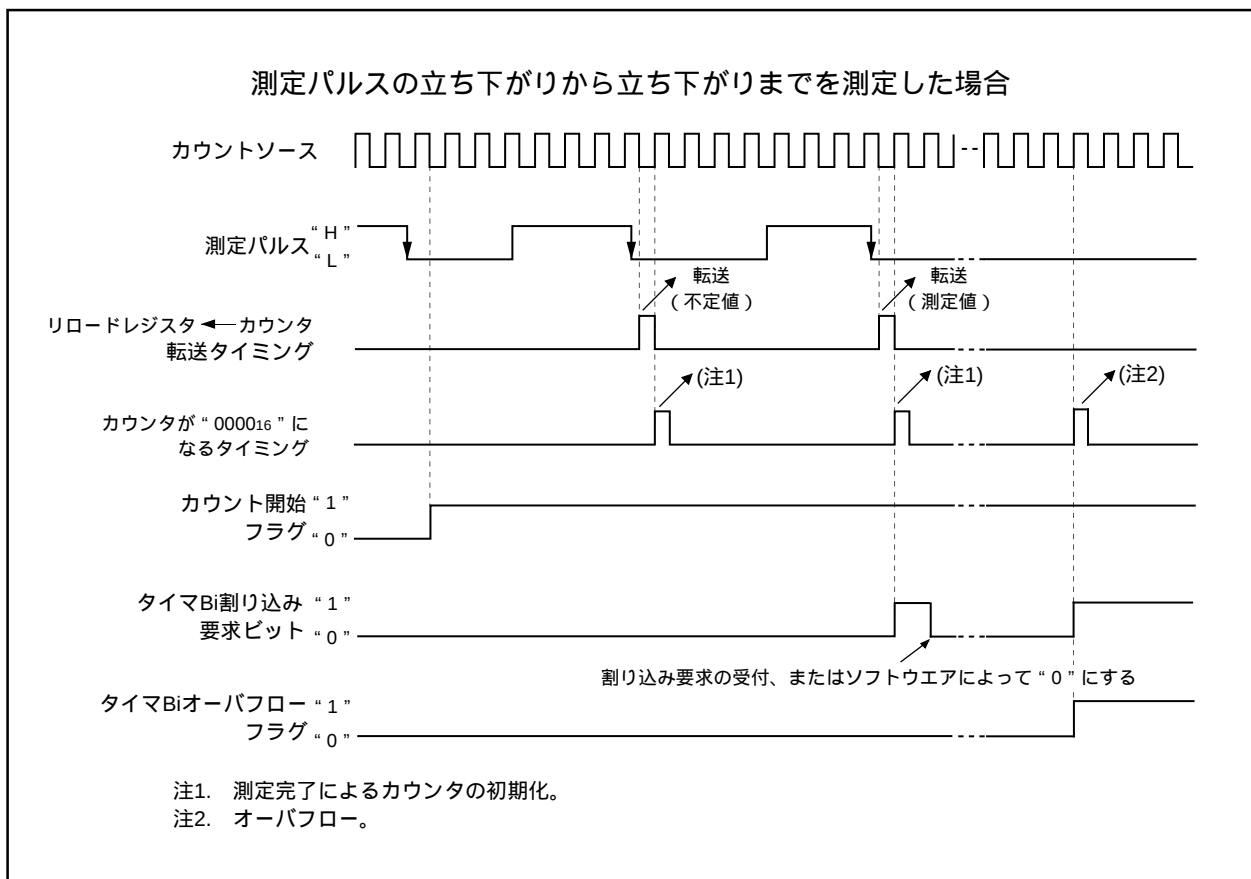


図1.14.20. パルス周期測定時の動作図

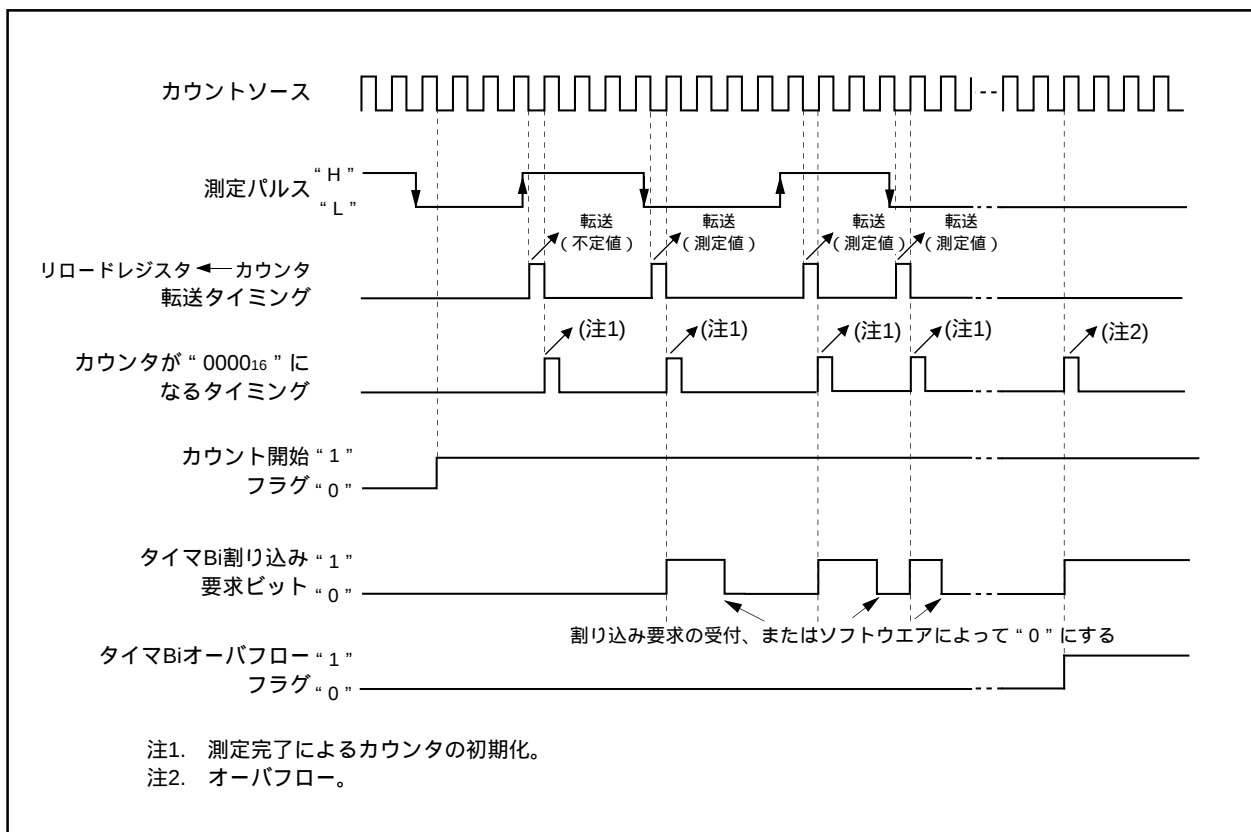


図1.14.21. パルス幅測定時の動作図

三相モータ制御用タイマ機能

三相モータ制御用タイマ機能

内蔵のタイマA、タイマBを複数個使用して三相モータ駆動波形を出力することができます。

図1.15.1～図1.15.3に三相モータ制御用タイマ関連のレジスタを示します。

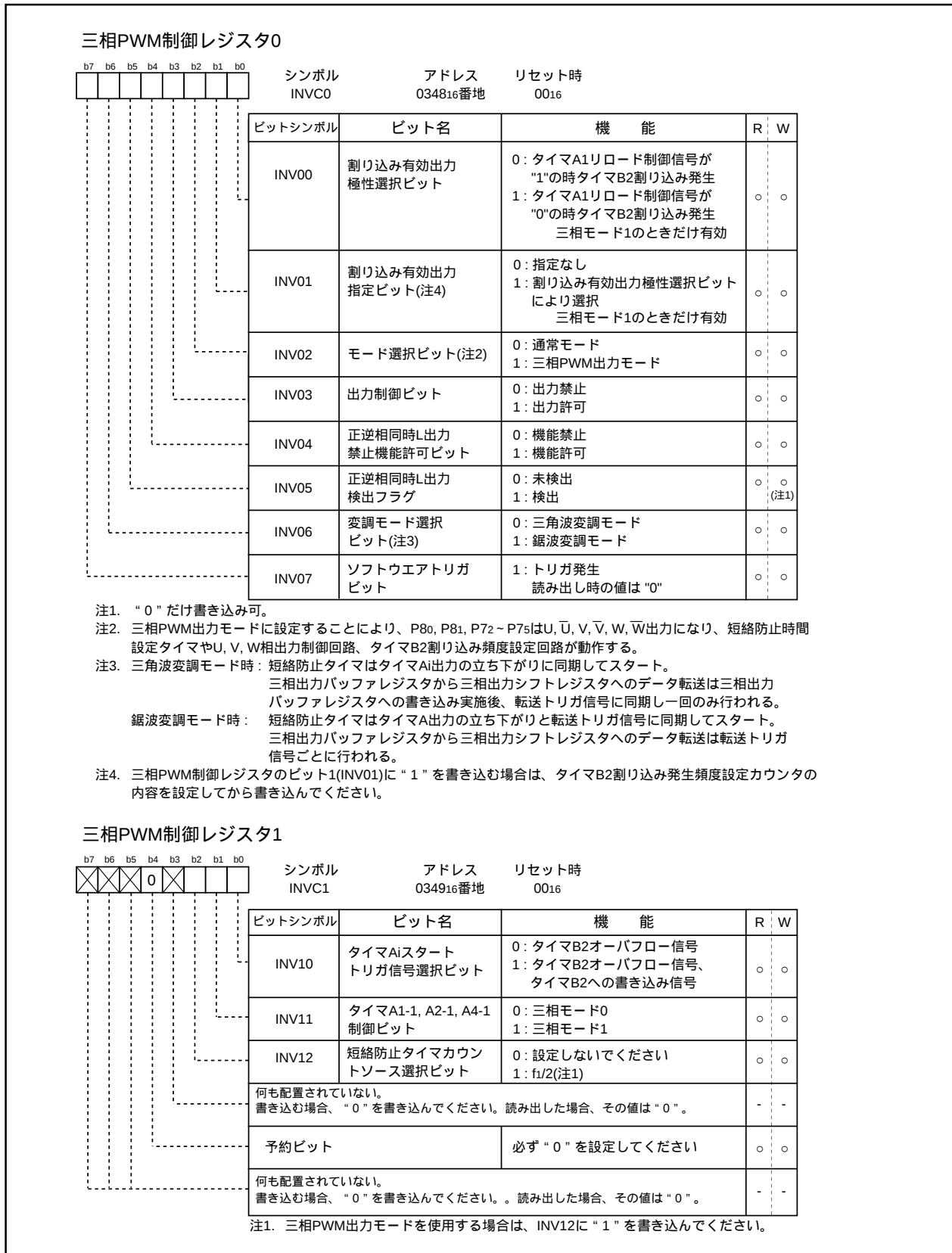
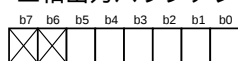


図1.15.1. 三相モータ制御用タイマ関連のレジスタ

三相モータ制御用タイマ機能

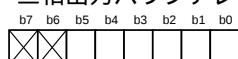
三相出力バッファレジスタ0

シンボル
IDB0アドレス
034A16番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
DU0	U相出力バッファ0	U相出力バッファ0の設定値	(注1)	○
DUB0	$\bar{U}$ 相出力バッファ0	$\bar{U}$ 相出力バッファ0の設定値	(注1)	○
DV0	V相出力バッファ0	V相出力バッファ0の設定値	(注1)	○
DVB0	$\bar{V}$ 相出力バッファ0	$\bar{V}$ 相出力バッファ0の設定値	(注1)	○
DW0	W相出力バッファ0	W相出力バッファ0の設定値	(注1)	○
DWB0	$\bar{W}$ 相出力バッファ0	$\bar{W}$ 相出力バッファ0の設定値	(注1)	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			-	-

注1. 三相出力バッファレジスタ0, 1の値を読み出す命令を実行した場合、三相シフトレジスタの値が読み出されます。

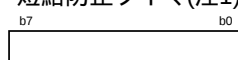
三相出力バッファレジスタ1

シンボル
IDB1アドレス
034B16番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
DU1	U相出力バッファ1	U相出力バッファ1の設定値	(注1)	○
DUB1	$\bar{U}$ 相出力バッファ1	$\bar{U}$ 相出力バッファ1の設定値	(注1)	○
DV1	V相出力バッファ1	V相出力バッファ1の設定値	(注1)	○
DVB1	$\bar{V}$ 相出力バッファ1	$\bar{V}$ 相出力バッファ1の設定値	(注1)	○
DW1	W相出力バッファ1	W相出力バッファ1の設定値	(注1)	○
DWB1	$\bar{W}$ 相出力バッファ1	$\bar{W}$ 相出力バッファ1の設定値	(注1)	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			-	-

注1. 三相出力バッファレジスタ0, 1の値を読み出す命令を実行した場合、三相シフトレジスタの値が読み出されます。

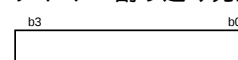
短絡防止タイマ(注1)

シンボル
DTTアドレス
034C16番地リセット時
不定

機 能	設定可能値	R	W
短絡防止時間の設定	1 ~ 255	-	○

注1. このレジスタへの書き込みには、MOV命令を使用してください。

タイマB2割り込み発生頻度設定カウンタ(注1、注2、注3)

シンボル
ICTB2アドレス
034D16番地リセット時
不定

機 能	設定可能値	R	W
タイマB2割り込み要求の発生頻度の設定	1 ~ 15	-	○

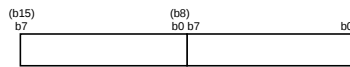
注1. 三相PWM制御レジスタ0のビット1(INV01)の割り込み有効出力指定ビットが“1”のとき、三相モータ制御用タイマ機能動作中にはタイマB2割り込み発生頻度設定カウンタを書き換えないでください。

注2. タイマB2のオーバーフローが発生するタイミングでは書き込みを行わないでください。

注3. このレジスタへの書き込みには、MOV命令を使用してください。

図1.15.2. 三相モータ制御用タイマ関連のレジスタ

タイマAiレジスタ(注1)



シンボル	アドレス	リセット時
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定
TA4	038F ₁₆ , 038E ₁₆ 番地	不定
TB2	0395 ₁₆ , 0394 ₁₆ 番地	不定

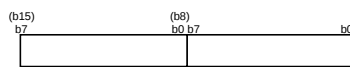
機 能	設定可能値	R/W
● タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	○ ○
● ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆ (注2、注3)	× ○

注1. 読み出し、および書き込みは16ビット単位で行ってください。

注2. タイマAiレジスタに"0000₁₆"を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。

注3. このレジスタへの書き込みにはMOV命令を使用してください。

タイマAi-1レジスタ(注1)

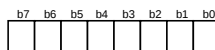


シンボル	アドレス	リセット時
TA11	0343 ₁₆ , 0342 ₁₆ 番地	不定
TA21	0345 ₁₆ , 0344 ₁₆ 番地	不定
TA41	0347 ₁₆ , 0346 ₁₆ 番地	不定

機 能	設定可能値	R/W
内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	○ ○

注1. 読み出し、および書き込みは16ビット単位で行ってください。

トリガ選択レジスタ

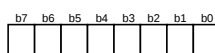


シンボル	アドレス	リセット時
TRGS	0383 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R/W
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1) 0 1 : TB2のオーバーフローを選択 1 0 : TA0のオーバーフローを選択 1 1 : TA2のオーバーフローを選択	○ ○
TA1TGH			○ ○
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1) 0 1 : TB2のオーバーフローを選択 1 0 : TA1のオーバーフローを選択 1 1 : TA3のオーバーフローを選択	○ ○
TA2TGH			○ ○
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2のオーバーフローを選択 1 0 : TA2のオーバーフローを選択 1 1 : TA4のオーバーフローを選択	○ ○
TA3TGH			○ ○
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択(注1) 0 1 : TB2のオーバーフローを選択 1 0 : TA3のオーバーフローを選択 1 1 : TA0のオーバーフローを選択	○ ○
TA4TGH			○ ○

注1. 対応するポート方向レジスタは"0"にしてください。

カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R/W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○ ○
TA1S	タイマA1カウント開始フラグ		○ ○
TA2S	タイマA2カウント開始フラグ		○ ○
TA3S	タイマA3カウント開始フラグ		○ ○
TA4S	タイマA4カウント開始フラグ		○ ○
TB0S	タイマB0カウント開始フラグ		○ ○
TB1S	タイマB1カウント開始フラグ		○ ○
TB2S	タイマB2カウント開始フラグ		○ ○

図1.15.3. 三相モータ制御用タイマ関連のレジスタ

三相モータ制御用タイマ機能

三相モータ駆動波形出力モード(三相PWM出力モード)

図1.15.1に示す三相PWM制御レジスタ0(0348₁₆番地)のモード選択ビット(ビット2)を“1”に設定するとタイマA1, A2, A4, B2の4つのタイマを使用する三相PWM出力モードが選択されます。図1.15.4に示すように三相PWM出力モードではタイマA1、A2、A4はワンショットタイマモード、トリガをタイマB2に設定し、タイマB2はタイマモードにそれぞれのタイマモードレジスタで設定してください。

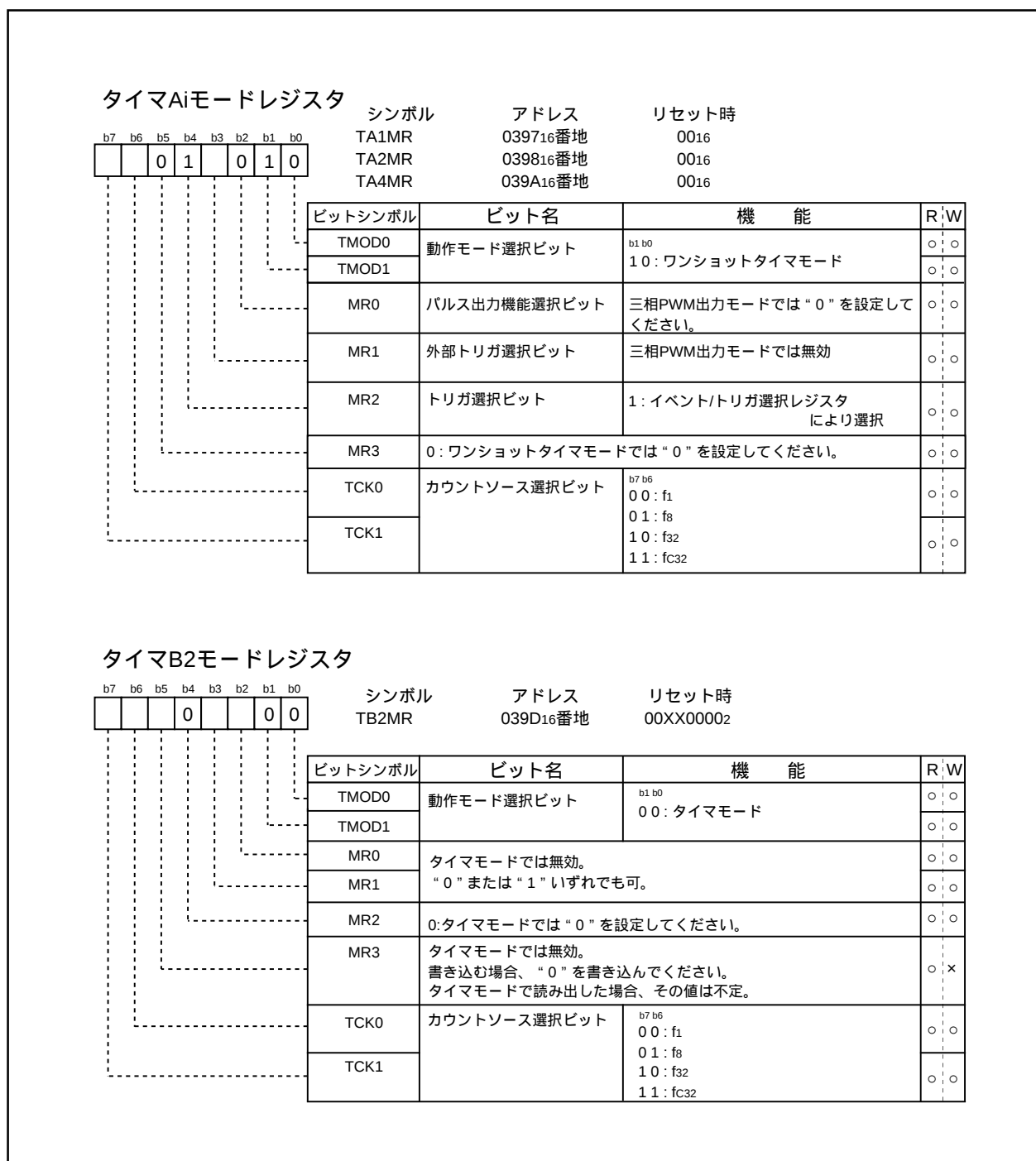


図1.15.4. 三相PWM出力モード時のタイマモードレジスタ

三相モータ制御用タイマ機能

三相PWM出力モード時のブロック図を図1.15.5に示します。三相PWM出力モードにおいては正相波形(U相、V相、W相)および逆相波形($\bar{U}$ 相、 $\bar{V}$ 相、 $\bar{W}$ 相)の6つの波形がP80, P81, P72, P73, P74, P75から“L”レベルアクティブで出力されます。このモードで使用するタイマのうちタイマA4はU相、 $\bar{U}$ 相、タイマA1はV相、 $\bar{V}$ 相、タイマA2はW相、 $\bar{W}$ 相の波形をそれぞれ制御し、タイマB2によってこれらタイマA4、A1、A2のワンショットパルス出力の周期を制御します。

波形出力においては、正相波形出力(U相、V相、W相)の“L”レベルがその逆相波形出力($\bar{U}$ 相、 $\bar{V}$ 相、 $\bar{W}$ 相)の“L”レベルと重ならないようにするための短絡防止時間を設定することができます。短絡防止時間の設定は、リロードレジスタを共用した、8ビット構成の短絡防止時間設定タイマ3本で行います。短絡防止時間設定タイマのカウント値としては1~255が設定可能です。短絡防止時間設定タイマはワンショットタイマとして動作します。短絡防止タイマ(034C16番地)に値を書き込むと、3本の短絡防止時間設定タイマが共用しているリロードレジスタにその値が書き込まれます。

短絡防止時間設定タイマは、対応したタイマから開始トリガが来るとリロードレジスタの値をカウンタに入れ、三相PWM制御レジスタ1(034916番地)の短絡防止タイマカウントソース選択ビット(ビット2)で選択したクロック源でダウンカウントを行います。また、前のトリガによる動作が完了する前に、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が短絡防止時間設定タイマへ転送された後、その値をダウンカウントします。

短絡防止時間設定タイマは、ワンショットタイマとして動作しますので、トリガが来るとパルス出力を開始し、その内容が0016になると同時にパルス出力を終えて動作を停止し、次のトリガを待ちます。

三相PWM出力モードにおける正相波形(U相、V相、W相)とその逆相波形($\bar{U}$ 相、 $\bar{V}$ 相、 $\bar{W}$ 相)は三相PWM制御レジスタ0(034816番地)の出力制御ビット(ビット3)を“1”にすることで各ポートから出力されます。このビットを“0”にするとポートはポート方向レジスタで設定した状態になります。このビットは、命令で“0”にする以外に、 $\overline{\text{NMI}}$ 入力端子に立ち下がりエッジを入力するか、リセットをかけても“0”にできます。また、三相PWM制御レジスタ0の正逆同時L出力禁止機能許可ビット(ビット4)を“1”にすると、U相と $\bar{U}$ 相、V相と $\bar{V}$ 相、W相と $\bar{W}$ 相のいずれかが同時に“L”になることでポートはポート方向レジスタで設定した状態になります。

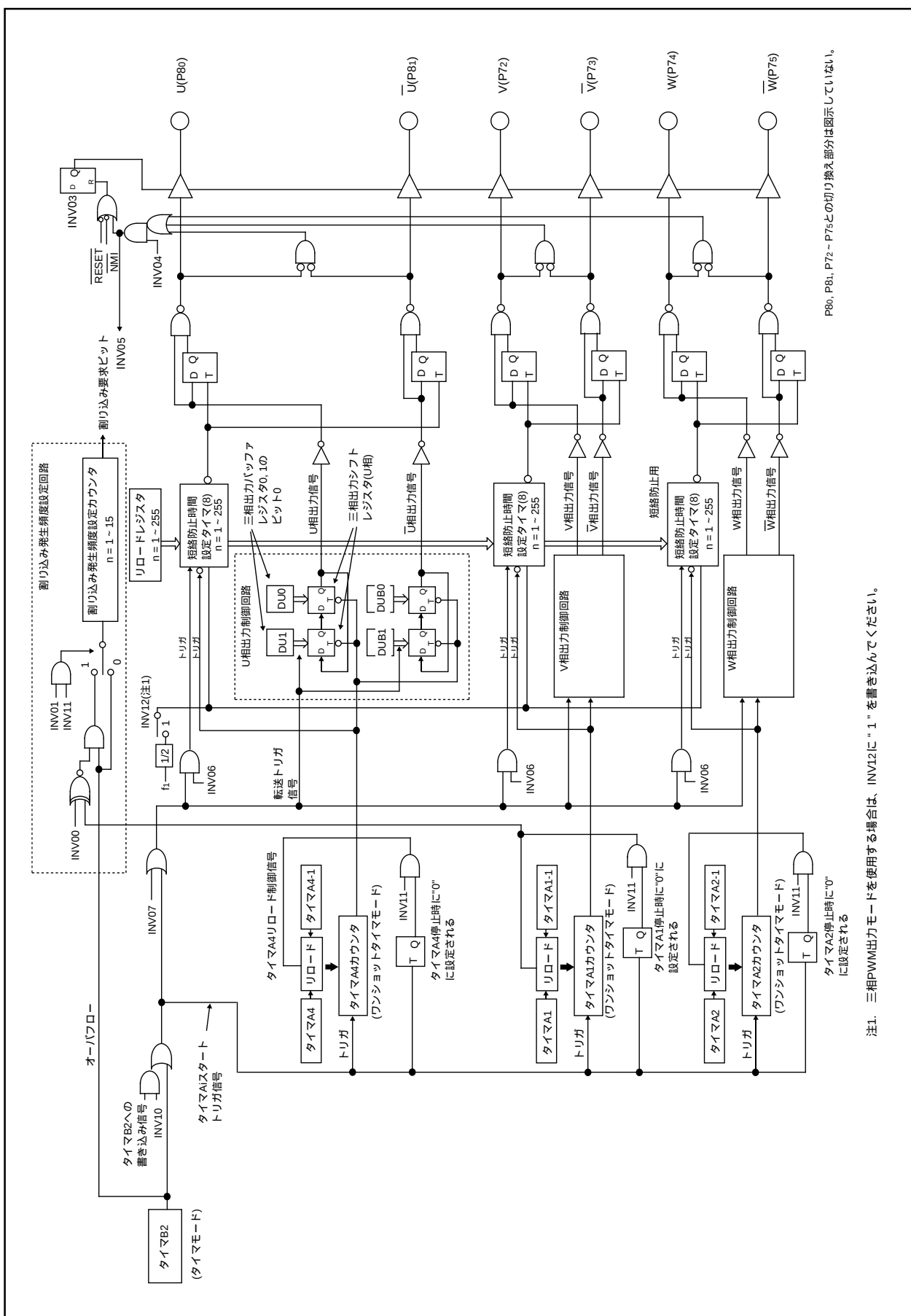


図1.15.5. 三相PWM出力モードのブロック図

三相モータ制御用タイマ機能

三角波変調

三角波変調のPWM波形を発生するには、[三相PWM制御レジスタ0\(0348₁₆番地\)](#)の変調モード選択ビット(ビット6)を“0”に設定します。そして、[三相PWM制御レジスタ1\(0349₁₆番地\)](#)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“1”に設定します。このモードでは、タイマA4、A1、A2はそれぞれ2つのタイマレジスタを持ち、タイマB2のカウンタの内容が0000₁₆になるごとに交互にタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0348₁₆番地)の[割り込み有効出力指定ビット](#)(ビット1)が“0”であれば、タイマB2のカウンタの値が0000₁₆になるごとに発生する割り込み要求の発生頻度を[タイマB2割り込み発生頻度設定カウンタ](#)(034D₁₆番地)によって設定できます。発生頻度は(設定値; 設定値≠0)で与えられます。

また、三相PWM制御レジスタ0(0348₁₆番地)の割り込み有効出力指定ビット(ビット1)を“1”にすることで、このタイマB2の割り込み要求をタイマA1リロード制御信号の内容が“0”または“1”のいずれかで発生させるよう選択できます。これは三相PWM制御レジスタ0(0348₁₆番地)の[割り込み有効出力極性選択ビット](#)(ビット0)で行います。

次に、U相波形の一例を[図1.15.6](#)に示し、波形出力動作を説明します。[三相出力バッファレジスタ0\(034A₁₆番地\)](#)のビット0(DU0)に“1”を、[ビット1\(DUB0\)](#)に“0”を設定します。さらに[三相出力バッファレジスタ1\(034B₁₆番地\)](#)のビット0(DU1)に“0”を、[ビット1\(DUB1\)](#)に“1”を設定します。また、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“0”にして、タイマB2割り込み発生頻度設定カウンタに値を設定します。これによりタイマB2割り込みは、(設定値)回タイマB2のカウンタの内容が0000₁₆になったとき発生します。なお、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“1”に、割り込み有効出力極性選択ビットを“0”に、割り込み発生頻度設定カウンタを“1”にすると、これにより、タイマB2割り込みは1回おきにU相の出力が“H”のときに発生するようになります。

タイマB2のカウンタの内容が0000₁₆になると、タイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)に、DUB1、DUB0の内容が三相出力シフトレジスタ(Ū相)に設定されます。ただし、三角波変調モードを選択すると、これ以降タイマB2のカウンタの内容が0000₁₆になってもシフトレジスタへの設定はされません。

U端子(P80)にはDU0の値が、Ū端子(P81)にはDUB0の値が出力されます。タイマA4のカウンタが[タイマA4\(038F₁₆番地、038E₁₆番地\)](#)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、Ū相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相であるŪ相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、[タイマB2](#)のカウンタの内容が0000₁₆になるとタイマA4のカウンタが[タイマA4-1\(0347₁₆番地、0346₁₆番地\)](#)に書き込んだ値のカウントを始め、ワンショットパルス出力を開始します。タイマA4のワンショットパルス出力が終了すると、三相出力シフトレジスタの内容が1つシフトされますが、三相出力シフトレジスタの内容がシフトして“0”から“1”に変化すると、短絡防止時間設定タイマのワンショットパルス出力の終了を待つことなく出力レベルが“L”から“H”に変わります。このような動作を繰り返してU相波形を発生します。この逆相であるŪ相波形はŪ相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相であるŪ相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4、タイマA4-1の値を変えることで可変できます。V相、W相、およびその逆相であるV̄相、W̄相についても、それに対応したタイマで同様に動作し、波形が発生します。

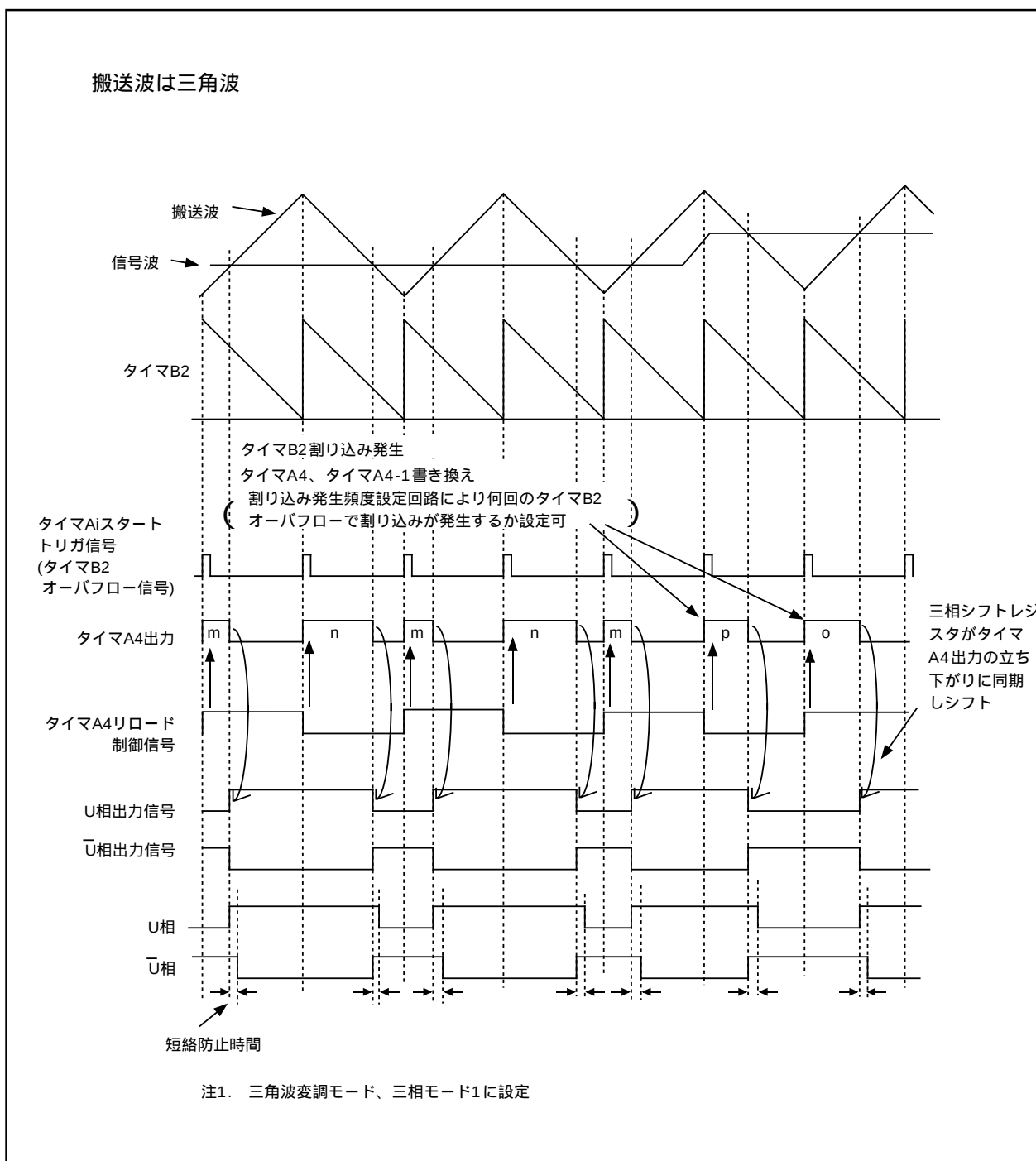


図1.15.6. 動作タイミング図(1)

また、三相出力バッファレジスタ0(034A16番地)のビット0(DU0)、ビット1(DUB0)および三相出力バッファレジスタ1(034B16番地)のビット0(DU1)、ビット1(DUB1)に値を設定することにより図1.15.7のような、U相のみ出力、 $\bar{U}$ 相は“H”固定、またはU相は“H”固定、 $\bar{U}$ 相のみ出力の波形を出力することができます。

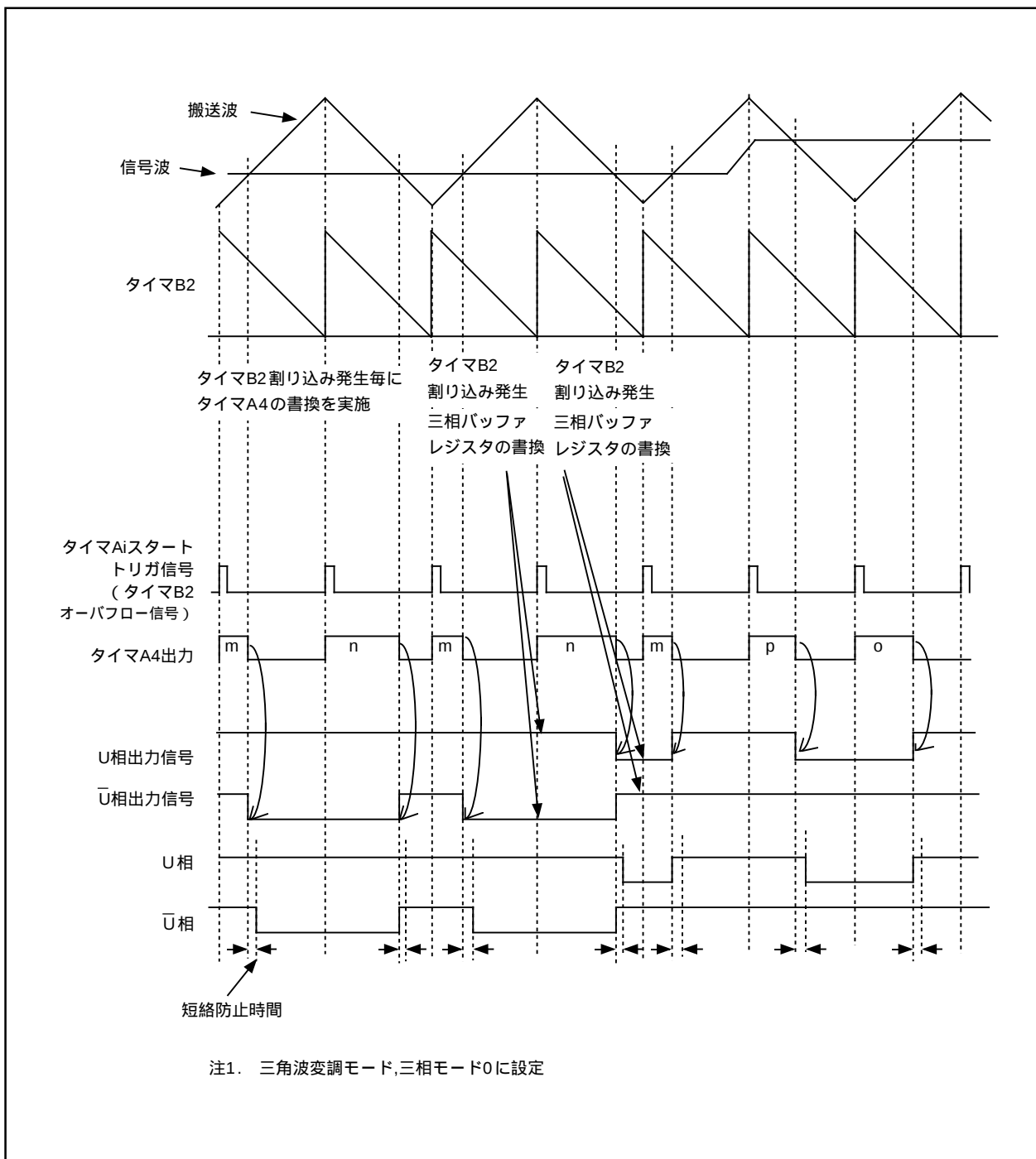


図1.15.7. 動作タイミング図(2)

鋸波変調

鋸波変調のPWM波形を発生するには、[三相PWM制御レジスタ0\(0348₁₆番地\)](#)の変調モード選択ビット(ビット6)を“1”に設定します。そして、[三相PWM制御レジスタ1\(0349₁₆番地\)](#)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“0”に設定します。このモードでは、[タイマA4、A1、A2のタイマレジスタ](#)は従来のタイマA4、A1、A2のみで、タイマB2のカウンタの内容が0000₁₆になるごとに対応するタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0348₁₆番地)の[割り込み有効出力指定ビット\(ビット1\)](#)や[割り込み有効出力極性選択ビット\(ビット0\)](#)は無効になります。

次に、U相波形の一例を[図1.15.8](#)に示し、波形出力動作を説明します。[三相出力バッファレジスタ0\(034A₁₆番地\)](#)のビット0(DU0)に“1”を、[ビット1\(DUB0\)](#)に“0”を設定します。さらに[三相出力バッファレジスタ1\(034A₁₆番地\)](#)のビット0(DU1)に“0”を、[ビット1\(DUB1\)](#)に“1”を設定します。

タイマB2のカウンタの内容が0000₁₆になると、タイマB2が割り込みを発生し、同時にタイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ($\bar{U}$ 相)に設定されます。以降タイマB2のカウンタの内容が0000₁₆になるたびに三相バッファレジスタの内容が三相シフトレジスタに設定されます。

U端子(P80)にはDU0の値が、 $\bar{U}$ 端子(P81)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(038F₁₆番地、038E₁₆番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、 $\bar{U}$ 相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である $\bar{U}$ 相波形の“L”レベルが重ならない時間を設定する[短絡防止時間設定タイマ](#)のワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000₁₆になると再び三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ($\bar{U}$ 相)に設定されます。

このような動作を繰り返してU相波形を発生します。この逆相である $\bar{U}$ 相波形は $\bar{U}$ 相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である $\bar{U}$ 相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4の値を変えることで可変できます。V相、W相、およびその逆相である $\bar{V}$ 相、 $\bar{W}$ 相についても、それに対応したタイマで同様に動作し、波形が発生します。

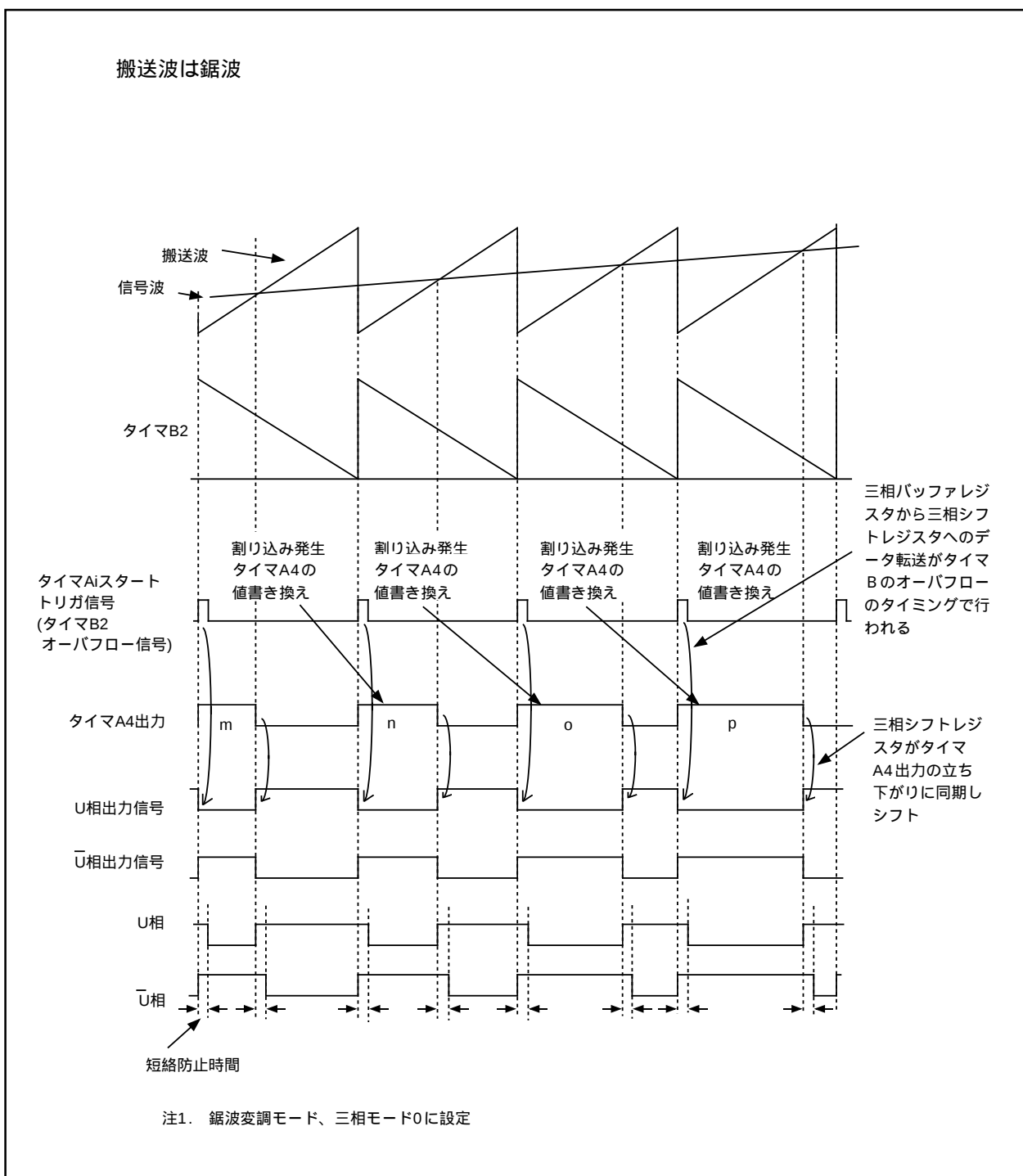


図1.15.8. 動作タイミング図(3)

また、三相出力バッファレジスタ0(034A₁₆番地)のビット1(DUB0)と三相出力バッファレジスタ1(034B₁₆番地)のビット1(DUB1)にともに“1”に設定することにより、図1.15.9のようにU相のみ出力し、 $\bar{U}$ 相を“H”出力固定にすることもできます。

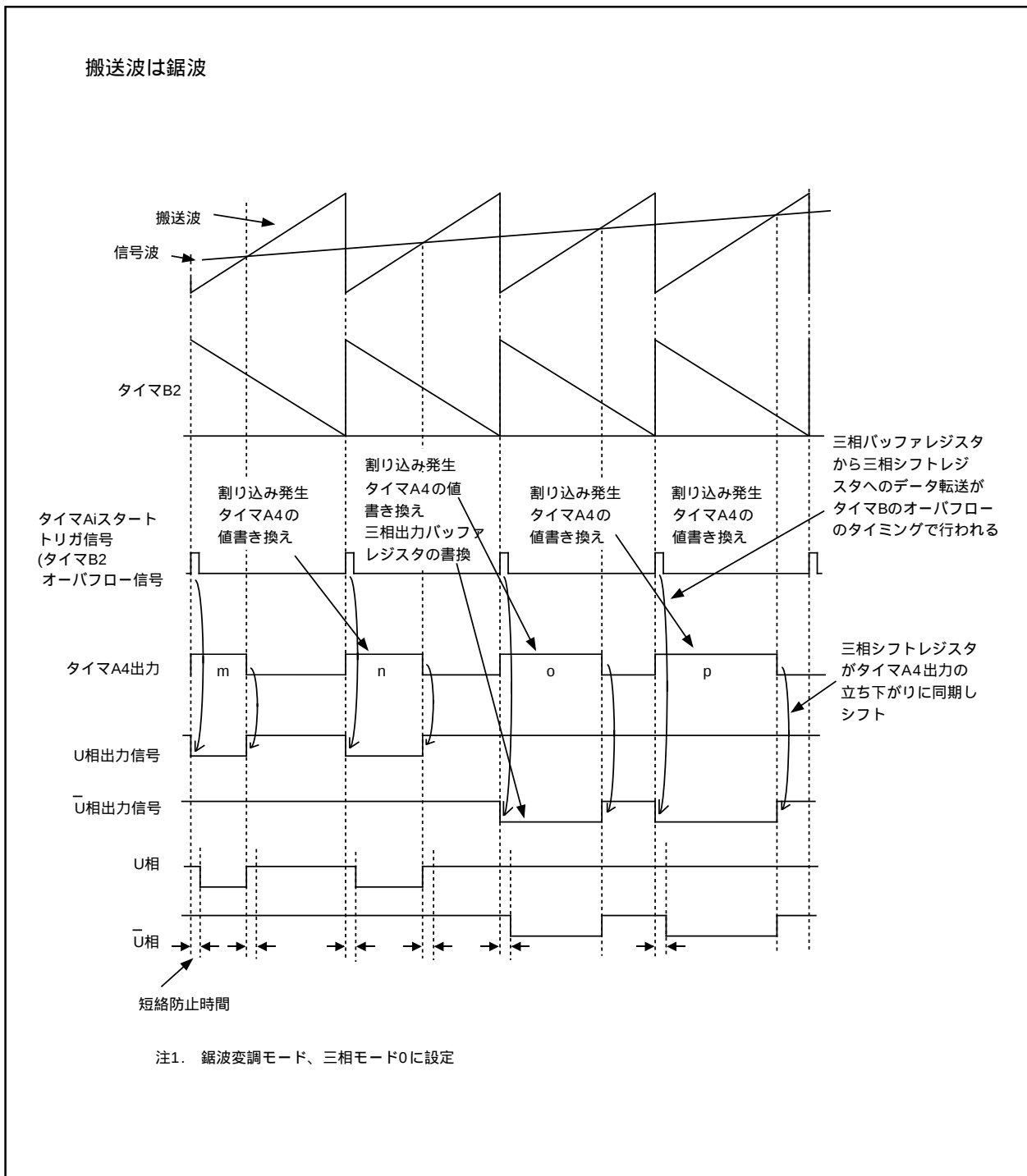


図1.15.9. 動作タイミング図(4)

シリアルI/O

シリアルI/O

シリアルI/Oは、UART0、UART1、UART2およびS I/O3, 4の5チャンネルで構成しています。

次にそれぞれについて説明します。

UART0～2

UART0～UART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図1.16.1にUARTi(i=0～2)のブロック図を、図1.16.2、図1.16.3に送受信部のブロック図を示します。

UARTi(i=0～2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット0～ビット2)の内容で選択します。

UART0～UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

注1. SIM : Subscriber Identity Module

表1.16.1にUART0～UART2の機能比較を、図1.16.4～図1.16.9に、UARTi関連のレジスタを示します。

表1.16.1. UART0～UART2の機能比較

機 能	UART0	UART1	UART2
CLK極性選択	可 (注1)	可 (注1)	可 (注1)
LSBファースト/MSBファースト選択	可 (注1)	可 (注1)	可 (注2)
連続受信モード選択	可 (注1)	可 (注1)	可 (注1)
転送クロック複数端子出力選択	不可	可 (注1)	不可
シリアルデータ論理切り替え	不可	不可	可 (注4)
スリープモード選択	可 (注3)	可 (注3)	不可
TxD、RxD入出力極性切り替え	不可	不可	可
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nチャネルオープンレイン出力
パリティエラー信号出力	不可	不可	可 (注4)
バス衝突検出	不可	不可	可

注1. クロック同期形シリアルI/Oモード時に選択できます。

注2. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。

注3. UARTモード時に選択できます。

注4. SIMインタフェース対応。

シリアルI/O

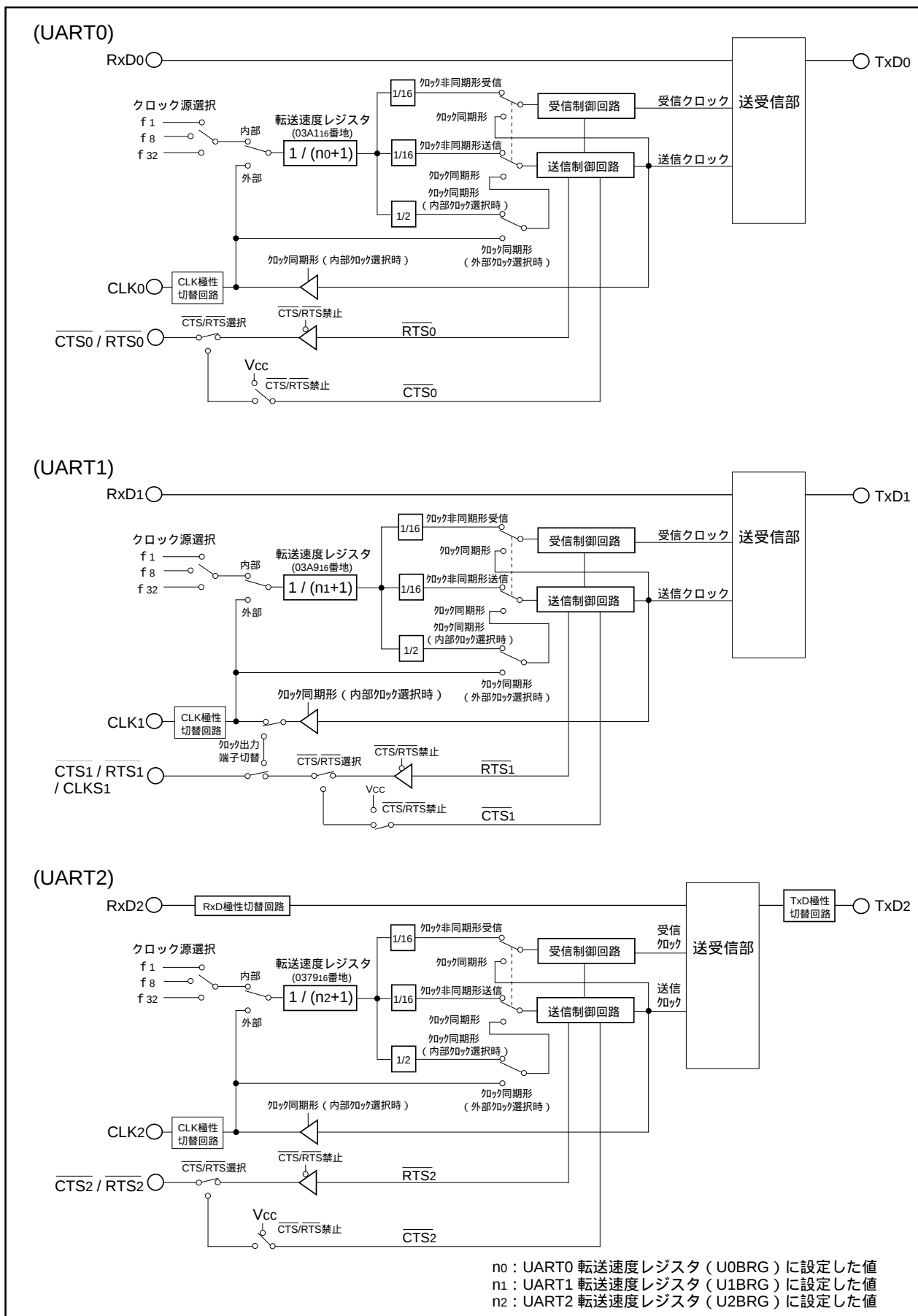


図1.16.1. UARTi(i=0~2)ブロック図

シリアルI/O

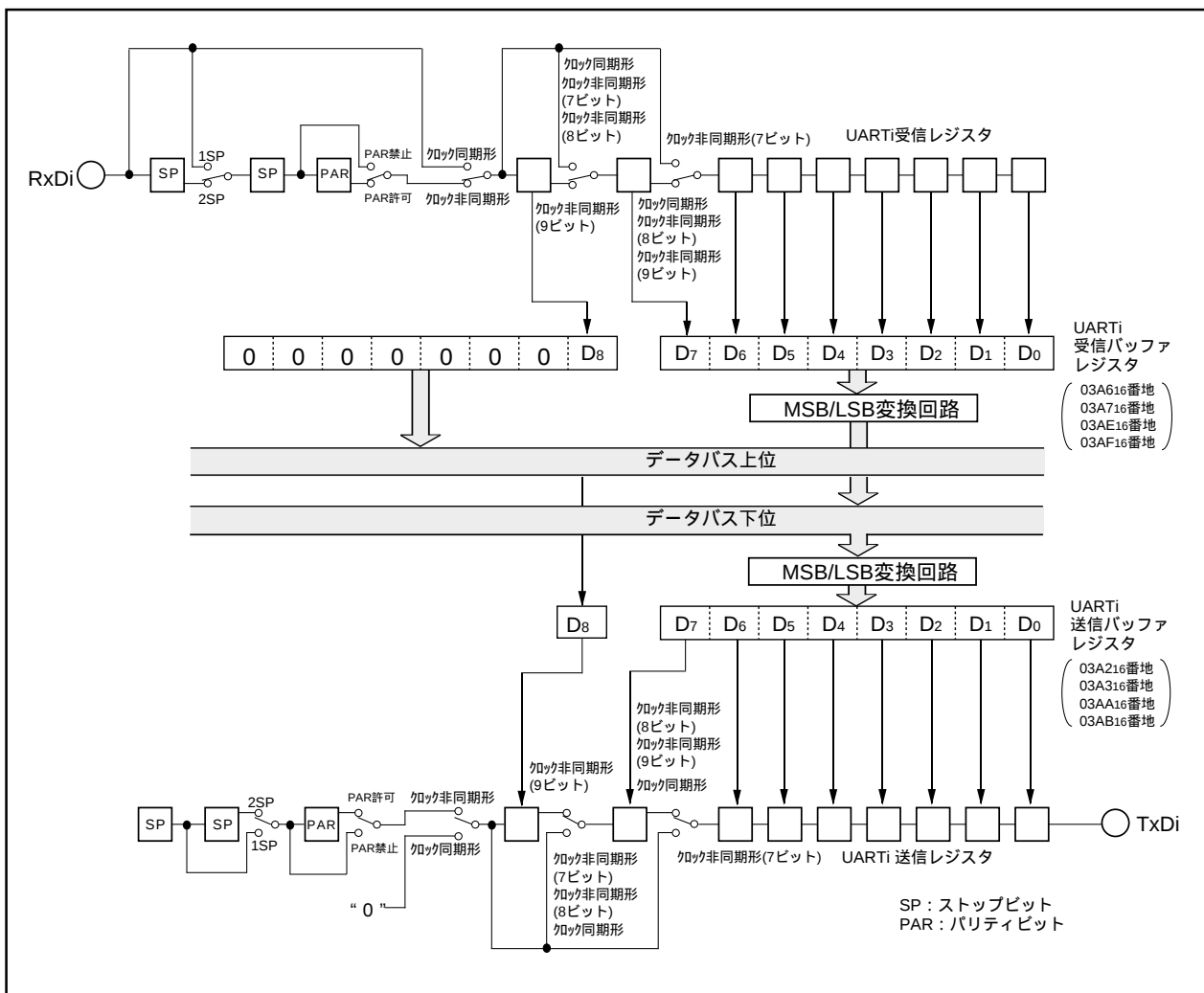


図1.16.2. UARTi(i=0,1)送受信部ブロック図

シリアルI/O

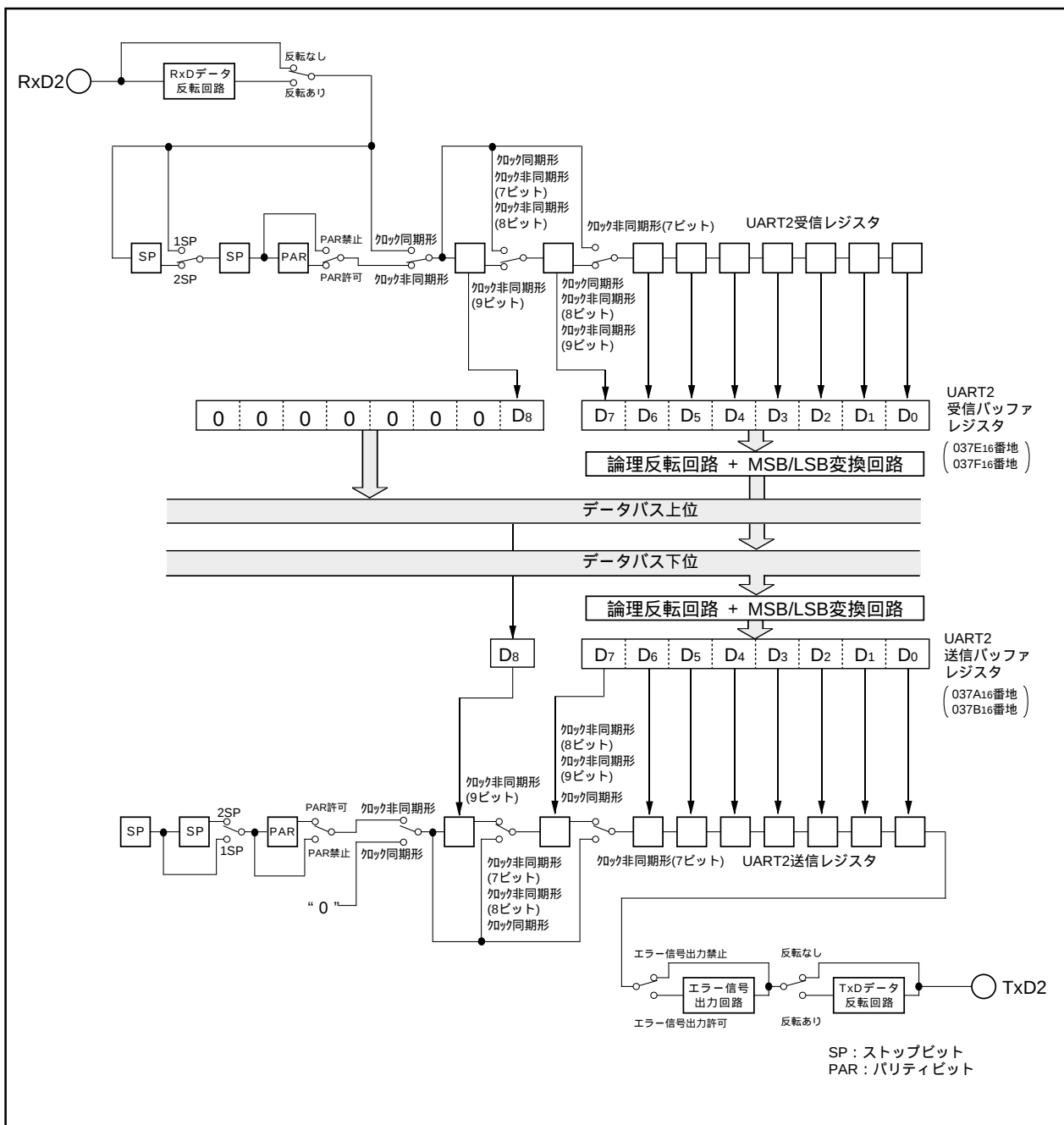
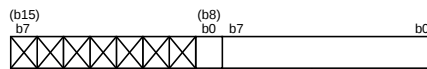


図1.16.3. UART2送受信部ブロック図

シリアルI/O

UARTi送信バッファレジスタ(注1)

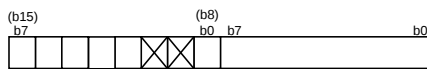


シンボル	アドレス	リセット時
U0TB	03A3 ₁₆ 、03A2 ₁₆ 番地	不定
U1TB	03AB ₁₆ 、03AA ₁₆ 番地	不定
U2TB	037B ₁₆ 、037A ₁₆ 番地	不定

機能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	-	-

注1. このレジスタへの書き込みにはMOV命令を使用してください。

UARTi受信バッファレジスタ



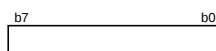
シンボル	アドレス	リセット時
U0RB	03A7 ₁₆ 、03A6 ₁₆ 番地	不定
U1RB	03AF ₁₆ 、03AE ₁₆ 番地	不定
U2RB	037F ₁₆ 、037E ₁₆ 番地	不定

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
—	—	受信データ	受信データ	○	×
		何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		-	-
ABT	アービトラレーション ロスト検出フラグ(注2)	0: 未検出 (勝) 1: 検出 (負)	無効	○	○
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	0: オーバランエラーなし 1: オーバランエラー発生	○	×
FER	フレーミングエラー フラグ(注1)	無効	0: フレーミングエラーなし 1: フレーミングエラー発生	○	×
PER	パリティエラーフラグ(注1)	無効	0: パリティエラーなし 1: パリティエラー発生	○	×
SUM	エラーサムフラグ(注1)	無効	0: エラーなし 1: エラー発生	○	×

注1. シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット2～ビット0)を“000₂”に設定したとき、または受信許可ビットを“0”に設定したとき、ビット15～ビット12は“0”になります(ビット14～ビット12がすべて“0”になると、ビット15は“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト(03A6₁₆、03AE₁₆、037E₁₆番地)を読み出したときも、“0”になります。

注2. アービトラレーションロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)



シンボル	アドレス	リセット時
U0BRG	03A1 ₁₆ 番地	不定
U1BRG	03A9 ₁₆ 番地	不定
U2BRG	0379 ₁₆ 番地	不定

機能	設定可能値	R	W
設定値を n とすると、BRGi はカウントソースを n+1 分周する	00 ₁₆ ~ FF ₁₆	×	○

注1. 値を書き込む場合は送受信停止中に書き込んでください。

注2. このレジスタへの書き込みにはMOV命令を使用してください。

図1.16.4. UARTi関連のレジスタ (1)

シリアルI/O

UARTi 送受信モードレジスタ

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A016,03A816番地	0016

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 001 を設定してください 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	○ ○
SMD1				○ ○
SMD2				○ ○
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	0: 内部クロック 1: 外部クロック(注1)	○ ○
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	○ ○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	○ ○
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	○ ○
SLEP	スリープ選択ビット	“0”を設定してください	0: スリープモード解除 1: スリープモード選択	○ ○

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

シンボル	アドレス	リセット時
U2MR	037816番地	0016

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 001 を設定してください 000: シリアルI/Oは無効 010: (注1) 011: 設定しないでください 111: 設定しないでください	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	○ ○
SMD1				○ ○
SMD2				○ ○
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注2)	“0”を設定してください	○ ○
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	○ ○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	○ ○
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	○ ○
IOPOL	TxD,RxD入出力極性切り替え ビット	0: 反転なし 1: 反転あり 通常は“0”を設定してくだ さい	0: 反転なし 1: 反転あり 通常は“0”を設定してくださ い	○ ○

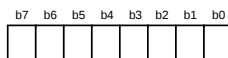
注1. IICモード使用時、ビット2～ビット0に“0102”を設定してください。

注2. 対応する方向レジスタは“0”にしてください。

図1.16.5. UARTi関連のレジスタ (2)

シリアルI/O

UARTi 送受信制御レジスタ0



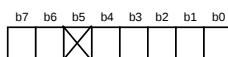
シンボル アドレス リセット時
 UiC0(i=0,1) 03A416,03AC16番地 0816

ビット シンボル	ビット名	機能 (クロック同期形シリアル/OE-ド時)	機能 (クロック非同期形シリアル/OE-ド時)	R/W
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	○ ○
CLK1				○ ○
CRS	CTS/RTS機能選択ビット	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	○ ○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○ ×
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル 入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル 入出力ポートとして機能)	○ ○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネル オープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネル オープンドレイン出力	○ ○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信 データ出力、立ち 下がりで受信データ入力	" 0 " を設定してください	○ ○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	" 0 " を設定してください	○ ○

注1. 対応するポート方向レジスタは " 0 " にしてください。

注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0



シンボル アドレス リセット時
 U2C0 037C16番地 0816

ビット シンボル	ビット名	機能 (クロック同期形シリアル/OE-ド時)	機能 (クロック非同期形シリアル/OE-ド時)	R/W
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	○ ○
CLK1				○ ○
CRS	CTS/RTS機能選択ビット	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	○ ○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○ ×
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル 入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル 入出力ポートとして機能)	○ ○
何も配置されていない。 書き込む場合、 " 0 " を書き込んでください。読み出した場合、その値は " 0 "。				
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信 データ出力、立ち 下がりで受信データ入力	" 0 " を設定してください	○ ○
UFORM	転送フォーマット選択ビット (注3)	0 : LSBファースト 1 : MSBファースト	0 : LSBファースト 1 : MSBファースト	○ ○

注1. 対応するポート方向レジスタは " 0 " にしてください。

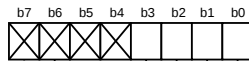
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図1.16.6. UARTi関連のレジスタ (3)

シリアルI/O

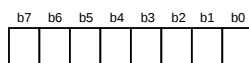
UARTi 送受信制御レジスタ1



シンボル アドレス リセット時
 UiC1(i=0,1) 03A5₁₆,03AD₁₆番地 02₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアル/OE-ト'時)	機能 (クロック非同期形シリアル/OE-ト'時)	R/W
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0: 送信禁止 1: 送信許可	○ ○
TI	送信バッファ空フラグ	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	○ ×
RE	受信許可ビット	0: 受信禁止 1: 受信許可	0: 受信禁止 1: 受信許可	○ ○
RI	受信完了フラグ	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	○ ×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				- -

UART2送受信制御レジスタ1



シンボル アドレス リセット時
 U2C1 037D₁₆番地 02₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアル/OE-ト'時)	機能 (クロック非同期形シリアル/OE-ト'時)	R/W
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0: 送信禁止 1: 送信許可	○ ○
TI	送信バッファ空フラグ	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	○ ×
RE	受信許可ビット	0: 受信禁止 1: 受信許可	0: 受信禁止 1: 受信許可	○ ○
RI	受信完了フラグ	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	○ ×
U2IRS	UART2送信割り込み 要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○ ○
U2RRM	UART2連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	“0”を設定してください	○ ○
U2LCH	データ論理選択ビット	0: 反転なし 1: 反転あり	0: 反転なし 1: 反転あり	○ ○
U2ERE	エラー信号出力許可ビット	“0”を設定してください	0: 出力しない 1: 出力する	○ ○

図1.16.7. UARTi関連のレジスタ (4)

シリアルI/O

UART送受信制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル
UCONアドレス
03B0₁₆番地リセット時
X0000000₂

ビット シンボル	ビット名	機能 (クロック同期シリアルI/Oモード時)	機能 (クロック非同期シリアルI/Oモード時)	R	W
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○	○
U0RRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	“0”を設定してください	○	○
U1RRM	UART1連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	“0”を設定してください	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0: CLK1にクロックを出力 1: CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択 ビット1 (注1)	0: 通常モード (CLK出力はCLK1のみ) 1: 転送クロック複数端子 出力機能選択	“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください。		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				-	-

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。

・UART1 内/外部クロック選択ビット(03A8₁₆番地のビット3)="0"

UART2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル
U2SMRアドレス
0377₁₆番地リセット時
00₁₆

ビット シンボル	ビット名	機能 (クロック同期シリアルI/Oモード時)	機能 (クロック非同期シリアルI/Oモード時)	R	W
IICM	IICモード選択ビット	0: 通常モード 1: IICモード	"0" を設定してください	○	○
ABC	アービトレーション ロスト検出フラグ制御	0: ビット毎に更新 1: バイト毎に更新	"0" を設定してください	○	○
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出	"0" を設定してください	○	○ (注1)
LSYN	SCLL同期出力 許可ビット	0: 禁止 1: 許可	"0" を設定してください	○	○
ABSCS	バス衝突検出サンプリング クロック選択ビット	"0" を設定してください	0: 転送クロックの立ち上がり 1: タイマA 0 のアンダフロー 信号	○	○
ACSE	送信許可ビット自動クリア 機能選択ビット	"0" を設定してください	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	"0" を設定してください	0: 通常 1: RxD2の立ち下がり	○	○
SDDS	SDAデジタル遅延 選択ビット (注2、注3)	0: アナログディレイ出力選択 1: デジタルディレイ出力選択 (IICモード時以外は"0"を設定 してください)	"0" を設定してください	○	○

注1. "0" だけ書き込み可。

注2. 本機能はIICモード時以外は"1" を書き込まないでください。通常モード時は"0" を設定してください。

本ビットが"0" の場合はUART2特殊モードレジスタ3(U2SMR3 / 0375₁₆番地)のビット7～ビット5(DL2～DL0=SDAデジタル遅延値設定ビット)が初期化され"000" となり、アナログ遅延回路が選択されます。また、SDDS="0" の場合にはU2SMR3の読み出し、書き込みはできません。

注3. アナログ遅延選択時はアナログ遅延値のみ、デジタル遅延選択時はデジタル遅延値のみの遅延となります。

図1.16.8. UARTi関連のレジスタ (5)

シリアルI/O

UART2特殊モードレジスタ2(IICバス専用レジスタ)

b7b6b5b4b3b2b1b0								シンボル U2SMR2	アドレス 0376 ₁₆ 番地	リセット時 00 ₁₆
ビット シンボル		ビット名		機能 (IICバス専用)		R	W			
IICM2		IICモード選択ビット2		表1.16.11参照		○	○			
CSC		クロック同期化ビット		0：禁止 1：許可		○	○			
SWC		SCLウエイト出力ビット		0：禁止 1：許可		○	○			
ALS		SDA出力停止ビット		0：禁止 1：許可		○	○			
STAC		UART2初期化ビット		0：禁止 1：許可		○	○			
SWC2		SCLウエイト出力ビット2		0：UART2クロック 1：0出力		○	○			
SDHI		SDA出力禁止ビット		0：許可 1：禁止（ハイインピーダンス）		○	○			
SHTC		スタート/ストップコン ディション条件制御ビット		1：IICモード選択時、“1”を設定してください。 （表1.16.12参照）		○	○			

UART2特殊モ - ドレジスタ3(IICバス専用レジスタ)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時
			X	X	X	X	X	U2SMR3	0375 ₁₆ 番地	不定 (ただし、SDDS= “ 1 ” の場合の初期値 “ 00 ₁₆ ”)
ビット シンボル		ビット名		機能 (IICバス専用)				R	W	
		何も配置されていない。 書き込む場合、 “ 0 ” を書き込んでください。読み出した場合、その値は不定。 ただし、SDDS = 1とした場合は “ 0 ” が読み出される(注1)。						-	-	
DL0		SDAデジタル 遅延値設定ビット (注1、注2、注3、注4)		b7 b6 b5 0 0 0 : アナログ遅延選択 0 0 1 : 1/f(X _{IN})の1～2サイクル(デジタル遅延) 0 1 0 : 1/f(X _{IN})の2～3サイクル(デジタル遅延) 0 1 1 : 1/f(X _{IN})の3～4サイクル(デジタル遅延) 1 0 0 : 1/f(X _{IN})の4～5サイクル(デジタル遅延) 1 0 1 : 1/f(X _{IN})の5～6サイクル(デジタル遅延) 1 1 0 : 1/f(X _{IN})の6～7サイクル(デジタル遅延) 1 1 1 : 1/f(X _{IN})の7～8サイクル(デジタル遅延)				○	○	
DL1								○	○	
DL2								○	○	

注1. 本ビットはUART2特殊モードレジスタ (U2SMR / 0377₁₆番地) のビット7(SDDS = SDAデジタル遅延選択ビット)が“1”のときのみ読み出し、書き込み可能です。SDDS = “1”にしてUART2特殊モードレジスタ3(U2SMR3)の初期値を読み出した場合、その値は“00₁₆”です。SDDS = “1”にしてUART2特殊モードレジスタ3(U2SMR3)に書き込む場合、ビット0~ビット4には“0”を書き込んでください。SDDS = “0”のときは書き込み不可、読み出した場合、その値は不定です。

注2. 本ビットはSDDS = “0”のときには初期化され“000”となり、アナログ遅延回路が選択されます。本ビットはリセット解除時は“000”となり、アナログ遅延回路が選択されます。ただし、SDDS = “1”とした場合のみ読み出し可能のため、SDDS = “0”の場合、読み出した値は不定です。

注3. アナログ遅延選択時はアナログ遅延値のみ、デジタル遅延選択時はデジタル遅延値のみの遅延となります。

注4. 遅延量はSCL端子、SDA端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなりますので、評価の上、使用してください。

図1.16.9. UARTi関連のレジスタ (6)

クロック同期形シリアルI/Oモード

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.16.2、表1.16.3にクロック同期形シリアルI/Oモードの仕様を、図1.16.10にUARTi送受信モードレジスタの構成を示します。

表1.16.2. クロック同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	● 転送データ長 8ビット
転送クロック	● 内部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3= “ 0 ”) : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ ● 外部クロック選択時(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3= “ 1 ”) : CLKi端子からの入力
送信制御/受信制御	● CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	● 送信開始には、以下の条件が必要です。 ・ 送信許可ビット(03A5 ₁₆ , 03AD ₁₆ , 037D ₁₆ 番地のビット0)= “ 1 ” ・ 送信バッファ空フラグ(03A5 ₁₆ , 03AD ₁₆ , 037D ₁₆ 番地のビット1)= “ 0 ” ・ CTS機能選択時、CTS端子の入力が “ L ” レベル ● 更に、外部クロック選択時には次の条件も必要です。 ・ CLKi極性選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット6)= “ 0 ” : CLKi端子の入力が “ H ” ・ CLKi極性選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット6)= “ 1 ” : CLKi端子の入力が “ L ”
受信開始条件	● 受信開始には、以下の条件が必要です。 ・ 受信許可ビット(03A5 ₁₆ , 03AD ₁₆ , 037D ₁₆ 番地のビット2)= “ 1 ” ・ 送信許可ビット(03A5 ₁₆ , 03AD ₁₆ , 037D ₁₆ 番地のビット0)= “ 1 ” ・ 送信バッファ空フラグ(03A5 ₁₆ , 03AD ₁₆ , 037D ₁₆ 番地のビット1)= “ 0 ” ● 更に、外部クロック選択時には次の条件も必要です。 ・ CLKi極性選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット6)= “ 0 ” : CLKi端子の入力が “ H ” ・ CLKi極性選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット6)= “ 1 ” : CLKi端子の入力が “ L ”
割り込み要求発生タイミング	● 送信時 ・ 送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0, 1, 037D ₁₆ 番地のビット4)= “ 0 ” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・ 送信割り込み要因選択ビット(03B0 ₁₆ 番地のビット0, 1, 037D ₁₆ 番地のビット4)= “ 1 ” : UARTi送信レジスタからデータ送信完了時 ● 受信時 ・ UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	● オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1. n はUART転送速度レジスタに設定した00₁₆ ~ FF₁₆の値です。

注2. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

クロック同期形シリアルI/Oモード

表1.16.3. クロック同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	●CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 ●連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 ●転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可 ●シリアルデータ論理切り替え(UART2) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル

UiMR(i=0,1)

アドレス

03A0₁₆, 03A8₁₆番地

リセット時

00₁₆

ビットシンボル	ビット名	機 能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形 シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
SLEP	0 : クロック同期形シリアルI/Oモードでは“0”を設定してください。		○	○

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル

U2MR

アドレス

0378₁₆

リセット時

00₁₆

ビットシンボル	ビット名	機 能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形 シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
IOPOL	TxD, RxD入出力極性 切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1. 通常は“0”にしてください。

注2. 対応する方向レジスタは“0”にしてください。

図1.16.10. クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタの構成

クロック同期形シリアルI/Oモード

表1.16.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

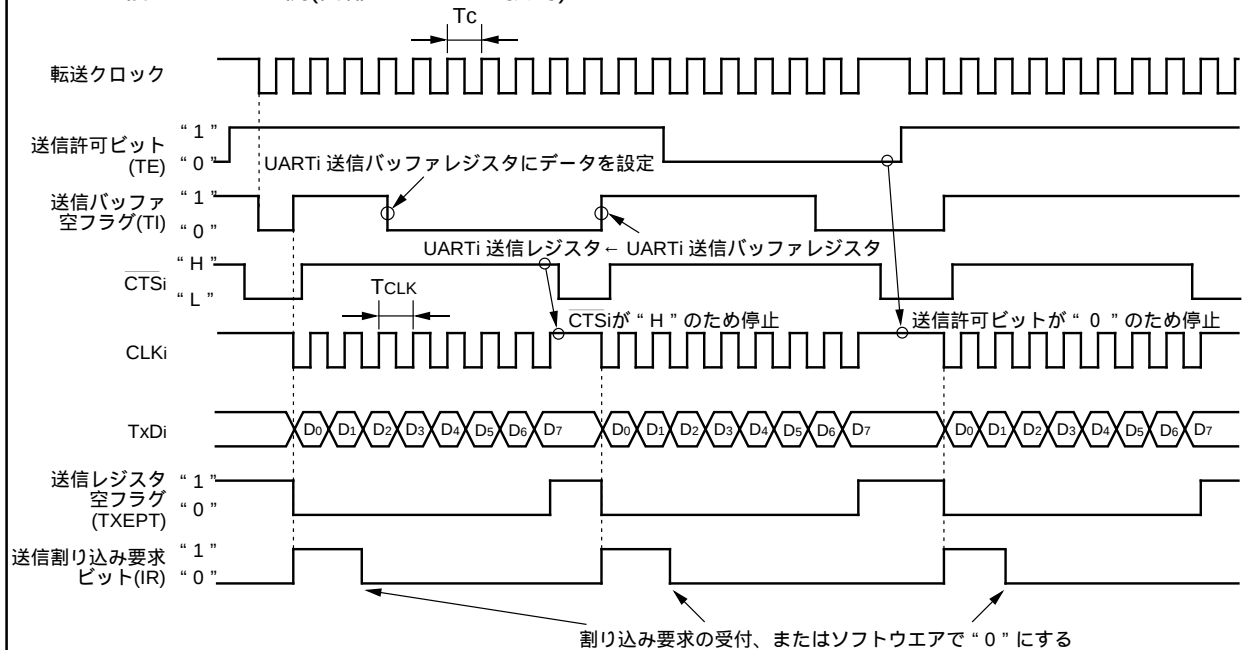
表1.16.4. クロック同期形シリアルI/Oモード時の入出力端子の機能

(転送クロック複数端子出力機能非選択時)

端子名	機 能	選択方法
TxDi (P63、P67、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P66、P71)	シリアルデータ入力	ポートP62、P66、P71の方向レジスタ(03EE16番地のビット2、ビット6、03EF16番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	転送クロック出力	内/外部クロック選択ビット(03A016、03A816、037816番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット(03A016、03A816、037816番地のビット3)=“1” ポートP61、P65、P72の方向レジスタ(03EE16番地のビット1、ビット5、03EF16番地のビット2)=“0”
$\overline{\text{CTS}}/\overline{\text{RTS}}$ i (P60、P64、P73)	$\overline{\text{CTS}}$ 入力	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(03A416、03AC16、037C16番地のビット4)=“0” $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット(03A416、03AC16、037C16番地のビット2)=“0” ポートP60、P64、P73の方向レジスタ(03EE16番地のビット0、ビット4、03EF16番地のビット3)=“0”
	RTS出力	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(03A416、03AC16、037C16番地のビット4)=“0” $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット(03A416、03AC16、037C16番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(03A416、03AC16、037C16番地のビット4)=“1”

クロック同期形シリアルI/Oモード

●送信タイミング例(内部クロック選択時)



()内はビットシンボルです。

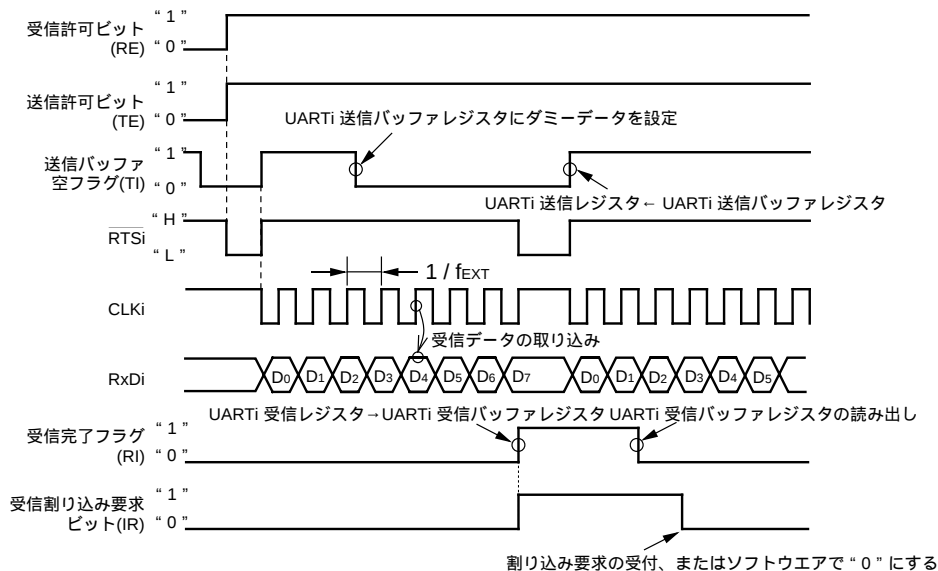
$$T_c = T_{CLK} = 2(n+1) / f_i$$

f_i : BRGiのカウントソースの周波数(f_1, f_8, f_{32})
 n : BRGiに設定した値

上記タイミング図は次の設定条件の場合です。

- 内部クロック選択
- CTS機能選択
- CLK極性選択ビット = "0"
- 送信割り込み要因選択ビット = "0"

●受信タイミング例(外部クロック選択時)



()内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。

- 外部クロック選択
- RTS機能選択
- CLK極性選択ビット = "0"

 f_{EXT} : 外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。

- 送信許可ビット → "1"
- 受信許可ビット → "1"
- UARTi送信バッファレジスタへのダミーデータの書き込み

図1.16.11. クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

クロック同期形シリアルI/Oモード

■ 極性選択機能

図1.16.12に示すように、CLK極性選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット6)によって転送クロックの極性を選択できます。

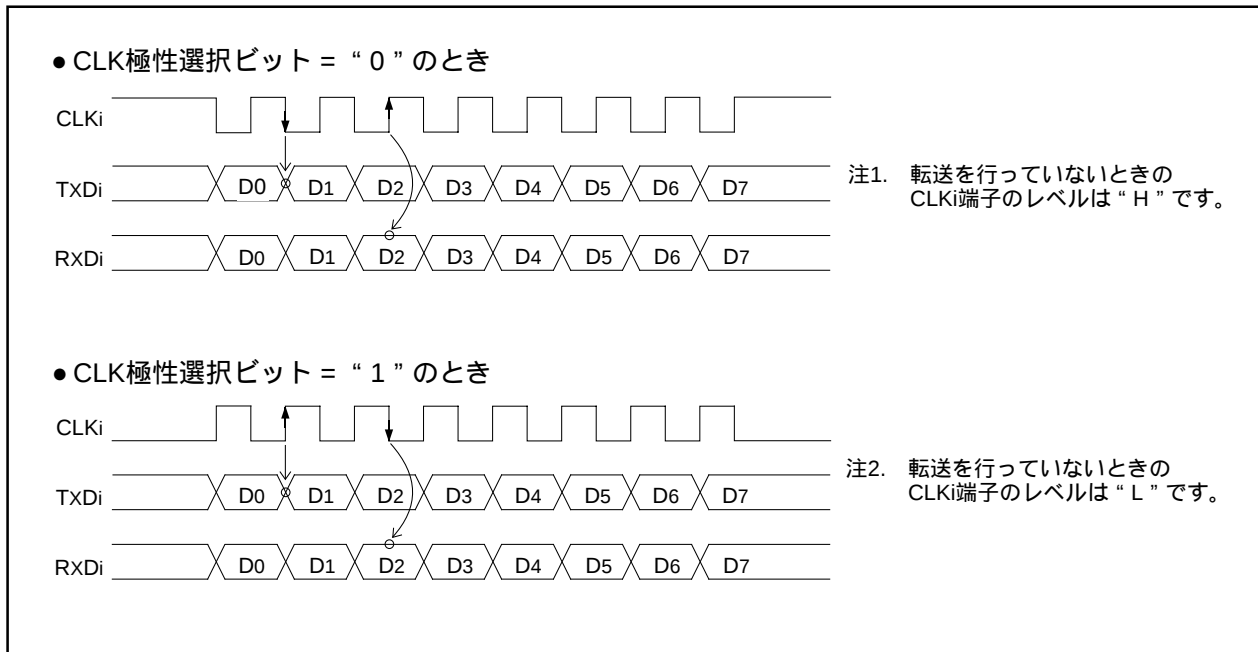


図1.16.12. 転送クロックの極性

■ LSBファースト/MSBファースト選択機能

図1.16.13に示すように、転送フォーマット選択ビット(03A4₁₆、03AC₁₆、037C₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

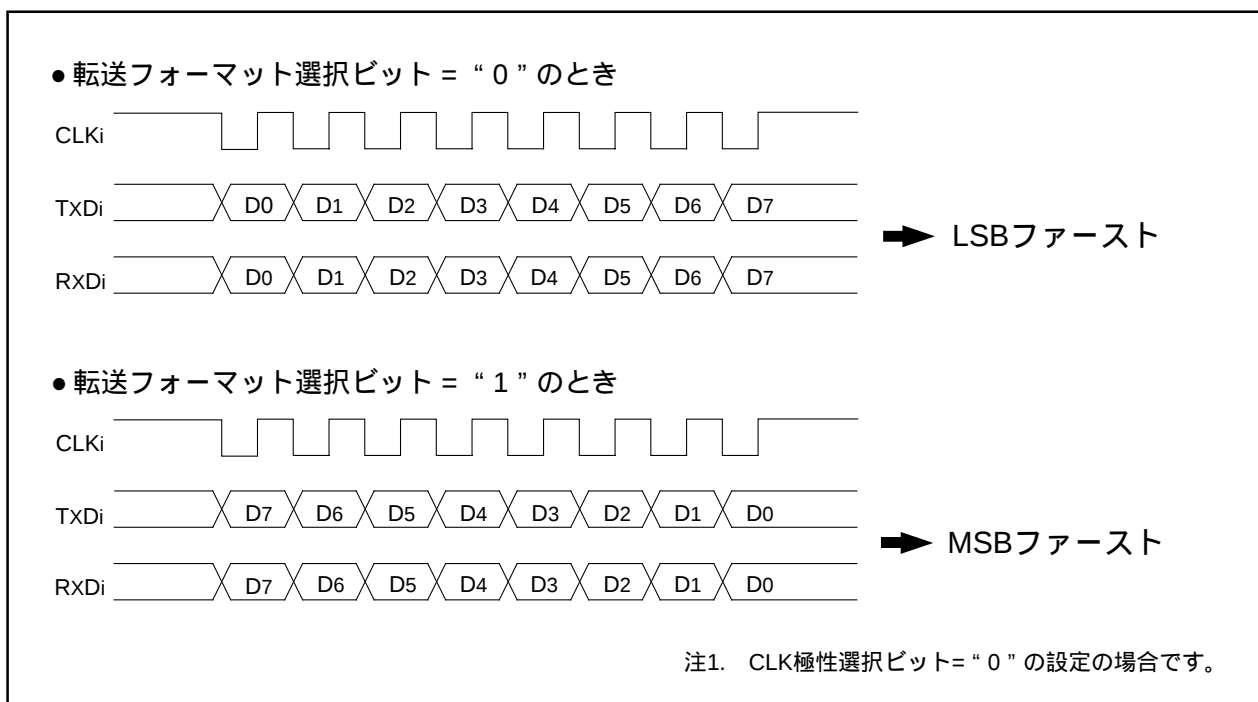


図1.16.13. 転送フォーマット

クロック同期形シリアルI/Oモード

■ 転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、**CLK**、**CLKS選択ビット**(03B0₁₆番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図1.16.14)。この機能は、UART1で内部クロック選択時だけ有効な機能です。

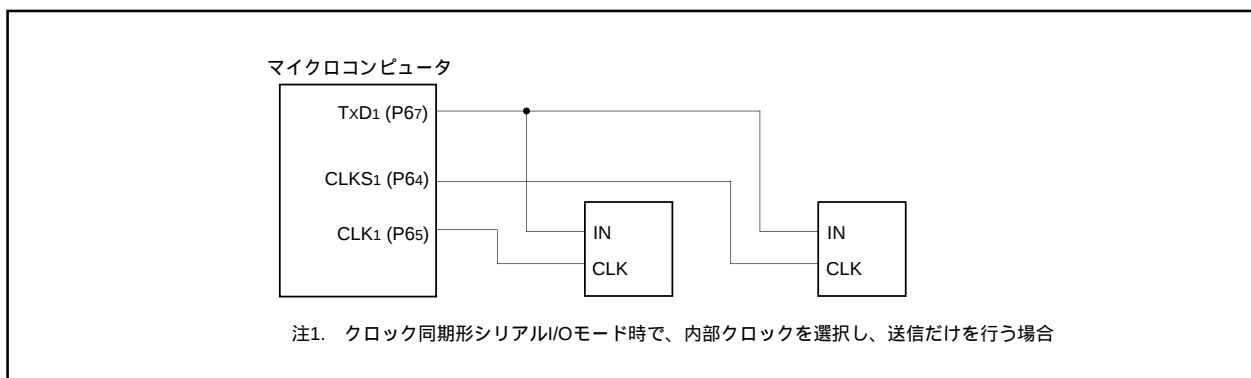


図1.16.14. 転送クロック複数端子出力機能の使用例

■ 連続受信モード

連続受信モード許可ビット(03B0₁₆番地のビット2、ビット3、037D₁₆番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、**送信バッファレジスタ**にダミーデータを再設定する必要がなく、**受信バッファレジスタ**を読み出すことで受信許可状態になります。

■ シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図1.16.15にシリアルデータ論理切り替えのタイミング例を示します。

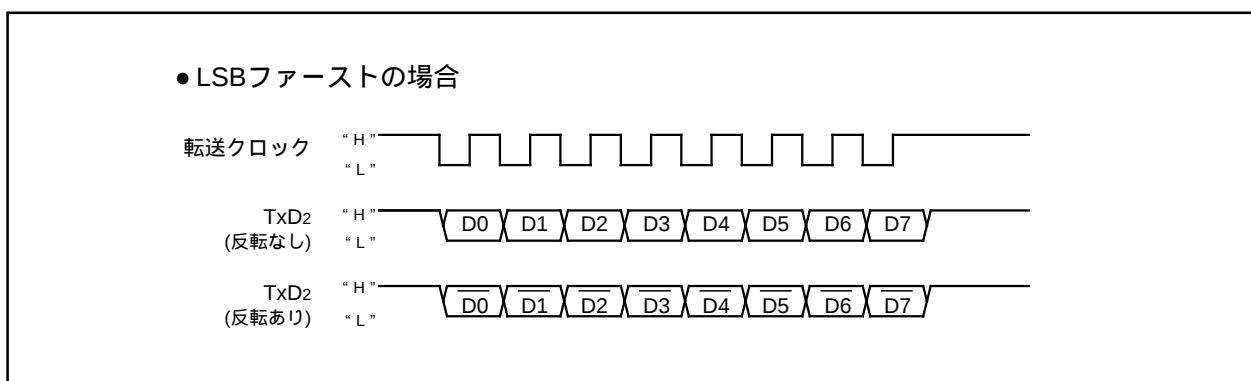


図1.16.15. シリアルデータ論理切り替えのタイミング例

クロック非同期形シリアルI/Oモード

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表1.16.5、表1.16.6にクロック非同期形シリアルI/Oモードの仕様を、図1.16.16にUARTi送受信モードレジスタの構成を示します。

表1.16.5. クロック非同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	● キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 ● スタートビット 1ビット ● パリティビット 奇数/偶数/無 選択可 ● ストップビット 1ビット/2ビット 選択可
転送クロック	● 内部クロック選択時(03A016、03A816、037816番地のビット3=“0”) : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ ● 外部クロック選択時(03A016、03A816番地のビット3=“1”) : $f_{EXT}/16(n+1)$ (注1)(注2) (UART2は外部クロック選択を設定しないでください)
送信制御/受信制御	● CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	● 送信開始には、以下の条件が必要です。 ・ 送信許可ビット(03A516、03AD16、037D16番地のビット0)=“1” ・ 送信バッファ空フラグ(03A516、03AD16、037D16番地のビット1)=“0” ・ CTS機能選択時、CTS端子の入力が“L”レベル
受信開始条件	● 受信開始には、以下の条件が必要です。 ・ 受信許可ビット(03A516、03AD16、037D16番地のビット2)=“1” ・ スタートビットの検出
割り込み要求発生タイミング	● 送信時 ・ 送信割り込み要因選択ビット(03B016番地のビット0、1、037D16番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・ 送信割り込み要因選択ビット(03B016番地のビット0、1、037D16番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 ● 受信時 ・ UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	● オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 ● フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ● パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ● エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1. n はUART転送速度レジスタに設定した0016～FF16の値です。

注2. f_{EXT} はCLKi端子からの入力です。

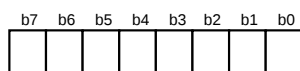
注3. オーバーランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

クロック非同期形シリアルI/Oモード

表1.16.6. クロック非同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	●スリープモード選択(UART0、UART1) 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用する ●シリアルデータ論理切り替え(UART2) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UARTi送受信モードレジスタ



シンボル

UiMR(i=0,1)

アドレス

03A0₁₆, 03A8₁₆番地

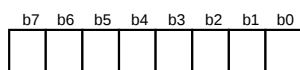
リセット時

00₁₆

ビットシンボル	ビット名	機 能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	0 : スリープモード解除 1 : スリープモード選択	○	○

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ



シンボル

U2MR

アドレス

0378₁₆番地

リセット時

00₁₆

ビットシンボル	ビット名	機 能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	“0”を設定してください	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性 切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1. 通常“0”にしてください。

図1.16.16. UARTモード時のUARTi送受信モードレジスタの構成

クロック非同期形シリアルI/Oモード

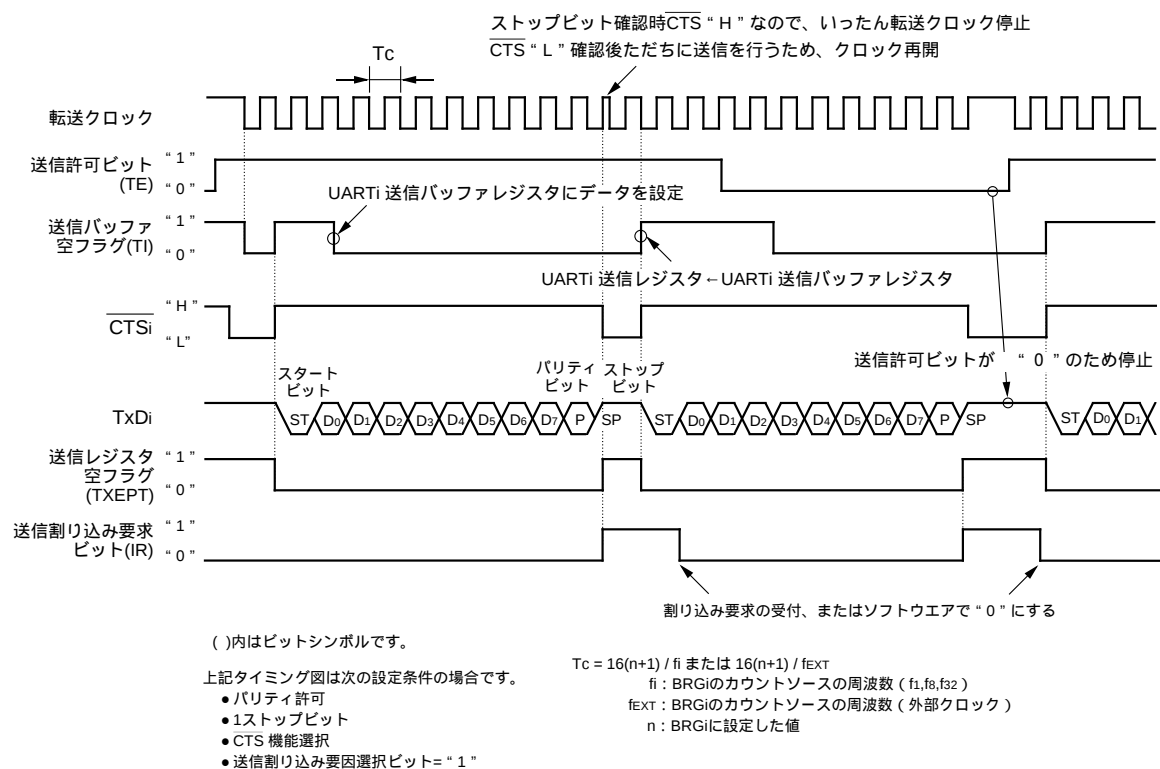
表1.16.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表1.16.7. クロック非同期形シリアルI/Oモード時

端子名	機 能	選択方法
TxDi (P63, P67, P70)	シリアルデータ出力	
RxDi (P62, P66, P71)	シリアルデータ入力	ポートP62, P66, P71の方向レジスタ(03EE ₁₆ 番地のビット2、ビット6、03EF ₁₆ 番地のビット1)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61, P65, P72)	プログラマブル入出力 転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ , 0378 ₁₆ 番地のビット3)= “0” 内/外部クロック選択ビット(03A0 ₁₆ , 03A8 ₁₆ 番地のビット3)= “1” ポートP61, P65の方向レジスタ(03EE ₁₆ 番地のビット1、ビット5)= “0” (UART2は外部クロック選択を設定しないでください)
CTSi/RTSi (P60, P64, P73)	CTSi入力	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “0” ポートP60, P64, P73の方向レジスタ(03EE ₁₆ 番地のビット0、ビット4、03EF ₁₆ 番地のビット3)= “0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット2)= “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ , 03AC ₁₆ , 037C ₁₆ 番地のビット4)= “1”

クロック非同期形シリアルI/Oモード

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



●転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)

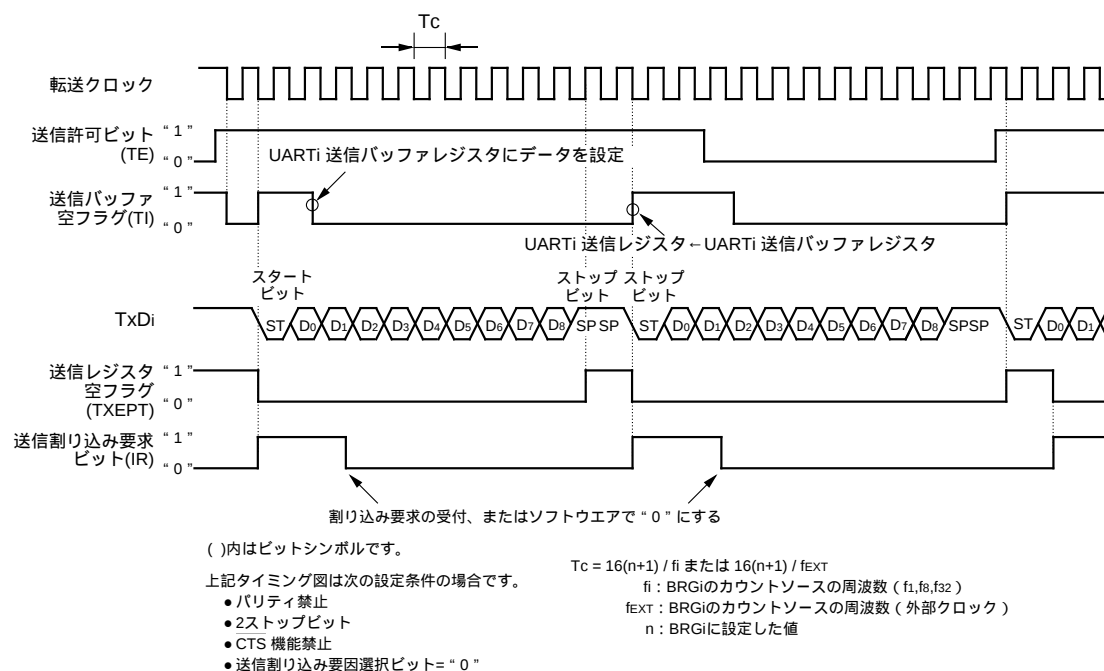


図1.16.17. UARTモード時の送信タイミング例(UART0、UART1)

クロック非同期形シリアルI/Oモード

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

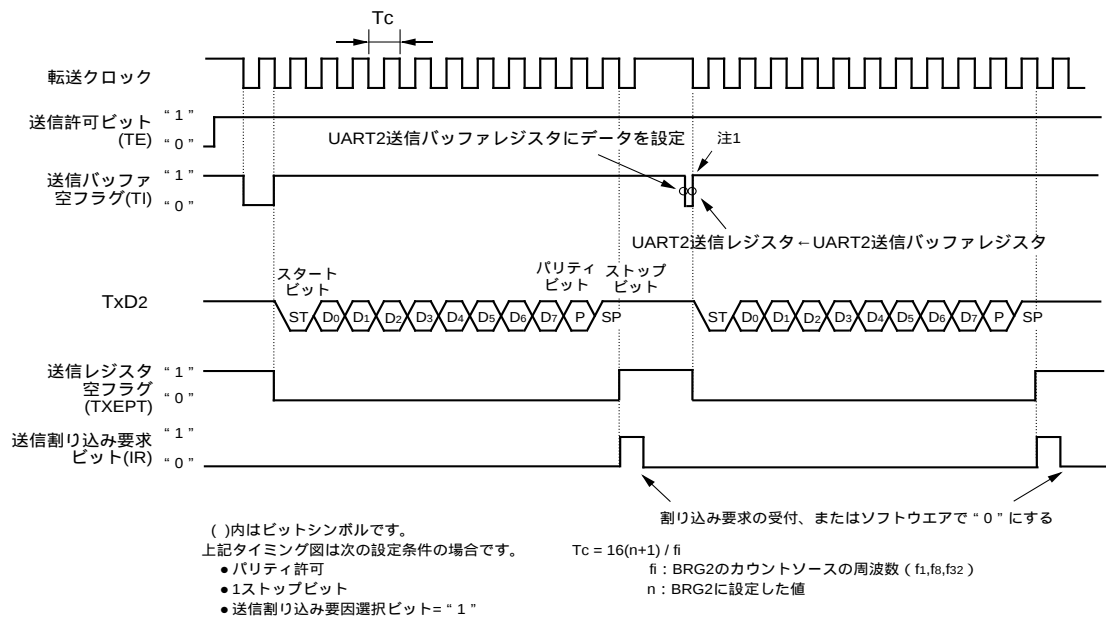


図1.16.18. UARTモード時の送信タイミング例(UART2)

クロック非同期形シリアルI/Oモード

●転送データ長8ビット時の受信タイミング例(パリティ禁止、1ストップビット)

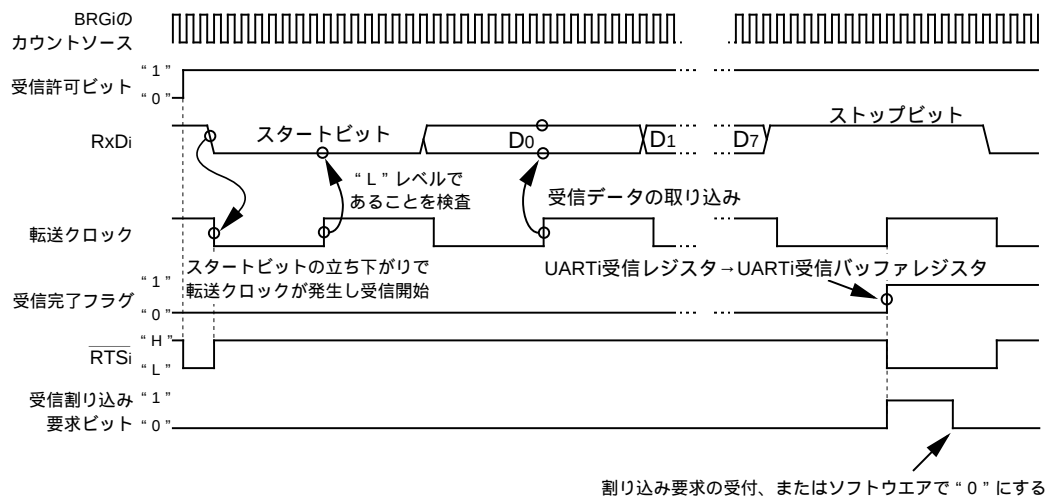


図1.16.19. UARTモード時の受信タイミング例

■スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、**スリープ選択ビット**(03A0₁₆、03A8₁₆番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

■シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D₁₆番地のビット6)の内容が“1”のとき、**送信バッファレジスタ**への書き込み、および**受信バッファレジスタ**からの読み出しの際、データを反転することができます。図1.16.20に、シリアルデータ論理切り替え機能のタイミング例を示します。

●LSBファースト、パリティ許可、1ストップビットの場合

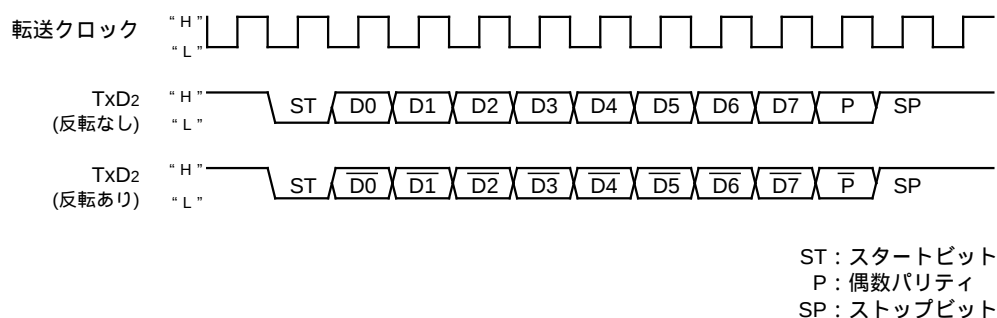


図1.16.20. シリアルデータ論理切り替え機能のタイミング例

クロック非同期形シリアルI/Oモード

■ TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

■ バス衝突検出機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図1.16.21にバス衝突検出タイミング例(UARTモード時)を示します。

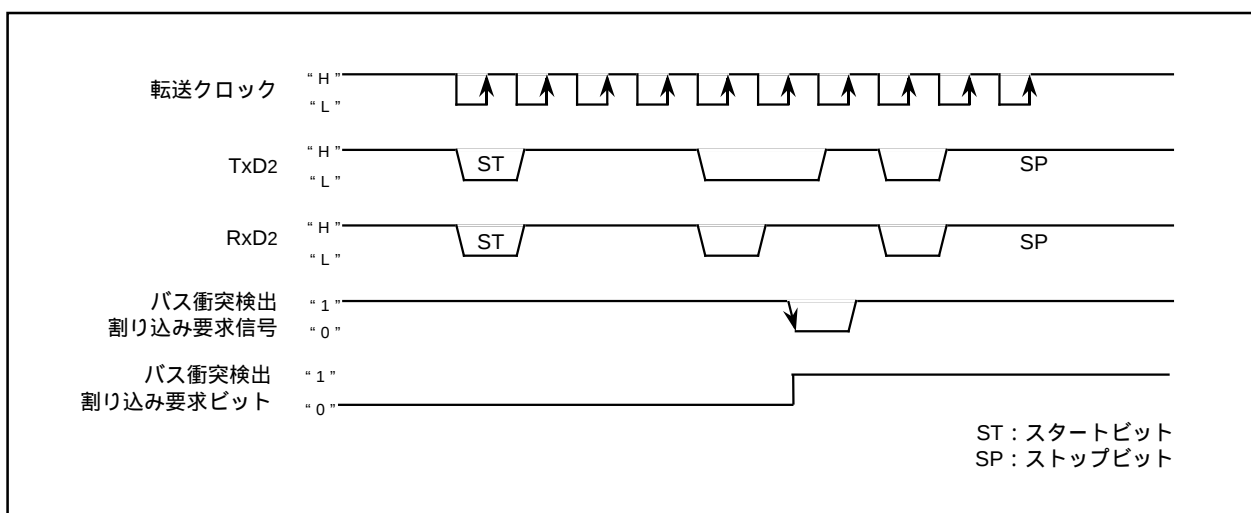


図1.16.21. バス衝突検出タイミング例(UARTモード時)

クロック非同期形シリアルI/Oモード

(3) クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

SIMインタフェースは、メモリカード等とインタフェースするための機能で、UART2のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表1.16.8にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表1.16.8. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項 目	仕 様
転送データフォーマット	● 転送データ 8ビットUARTモード (0378₁₆番地のビット2～ビット0= “1012”) ● 1ストップビット (0378₁₆番地のビット4= “0”) ● ダイレクトフォーマットの場合 - パリティを偶数パリティに設定 (0378₁₆番地のビット5= “1”、ビット6= “1”) - データ論理をダイレクトに設定 (037D₁₆番地のビット6= “0”) - 転送フォーマットをLSBに設定 (037C₁₆番地のビット7= “0”) ● インバースフォーマットの場合 - パリティを奇数パリティに設定 (0378₁₆番地のビット5= “0”、ビット6= “1”) - データ論理をインバースに設定 (037D₁₆番地のビット6= “1”) - 転送フォーマットをMSBに設定 (037C₁₆番地のビット7= “1”)
転送クロック	● 内部クロック選択時(0378₁₆番地のビット3= “0”) : fi/16(n+1) (注1) fi=f₁,f₈,f₃₂ (外部クロック選択を設定しないでください)
送信制御/受信制御	● CTS, RTS機能禁止に設定 (037C₁₆番地のビット4= “1”)
その他設定項目	● UART2ではスリープモード選択機能はありません ● 送信割り込み要因を送信完了に設定 (037D₁₆番地のビット4= “1”)
送信開始条件	● 送信開始には、以下の条件が必要です。 ・ 送信許可ビット(037D₁₆番地のビット0)= “1” ・ 送信バッファ空フラグ(037D₁₆番地のビット1)= “0”
受信開始条件	● 受信開始には、以下の条件が必要です。 ・ 受信許可ビット(037D₁₆番地のビット2)= “1” ・ スタートビットの検出
割り込み要求発生タイミング	● 送信時 - UART2送信レジスタからデータ転送完了時 (037D₁₆番地のビット4= “1”) ● 受信時 - UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時
エラー検出	● オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注2) ● フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) ● パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) - 受信側は、パリティエラー検出時、パリティエラー信号出力機能(037D₁₆番地のビット7= “1”)によりTxD₂端子から “L” レベルを出力 - 送信側は、送信割り込み発生時、RxD₂端子入力レベルによりパリティエラーを検知 ● エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1. n はUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

注2. オーバーランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2受信割り込み要求ビットは変化しません。

クロック非同期形シリアルI/Oモード

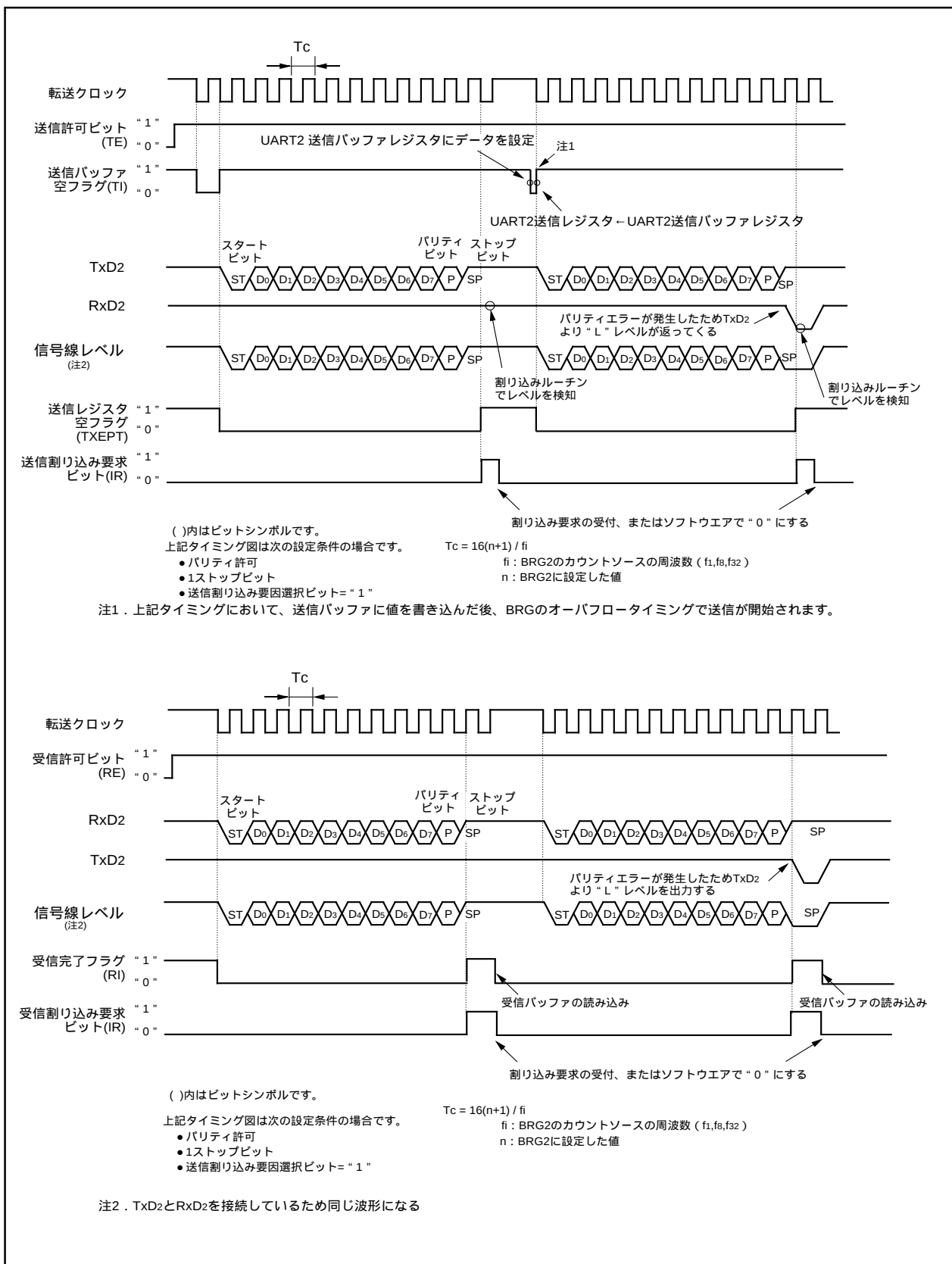


図1.16.22. UARTモード(SIMインタフェース対応)の送受信タイミング例

クロック非同期形シリアルI/Oモード

■パリティエラー信号出力機能

受信時、エラー信号出力許可ビット(037D16番地のビット7)が“1”のとき、パリティエラー検出時にTxD2端子から“L”レベルを出力することができます。また、送信時、エラー信号出力許可ビット(037D16番地のビット7)が“0”の時と比べ、転送クロックの半サイクル分遅れて送信完了割り込みが発生します。従って、送信完了割り込みのプログラムでパリティエラー信号を検出することができます。図1.16.23にパリティエラー信号出力タイミングを示します。

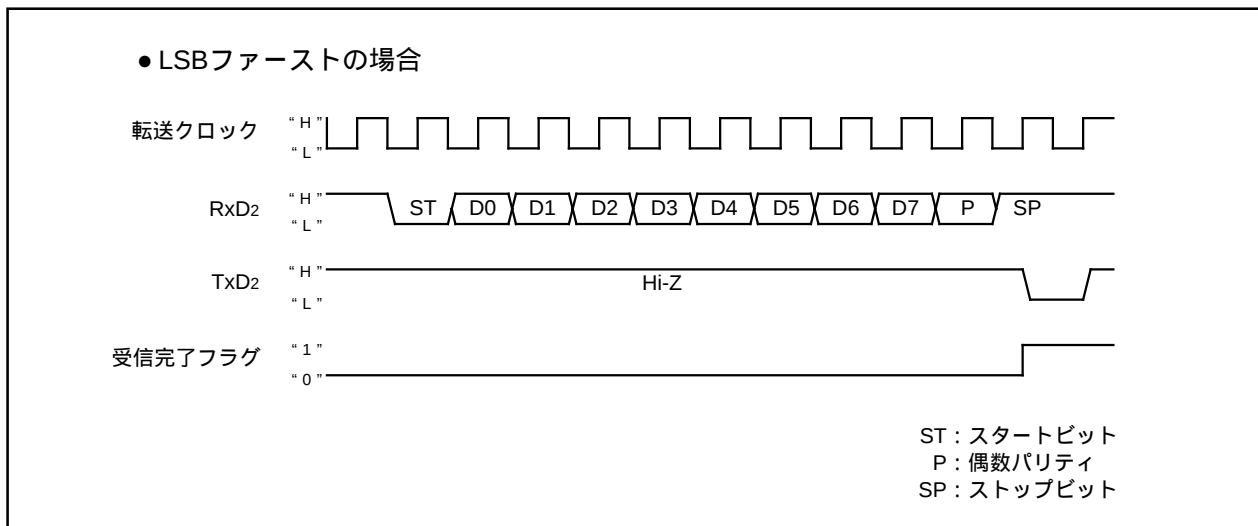


図1.16.23. パリティエラー信号出力タイミング

■ダイレクトフォーマット/インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット/インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD0のデータがTxD2から出力されます。インバースフォーマットを選択するとD7のデータが反転してTxD2から出力されます。

図1.16.24にSIMインタフェースフォーマットを示します。

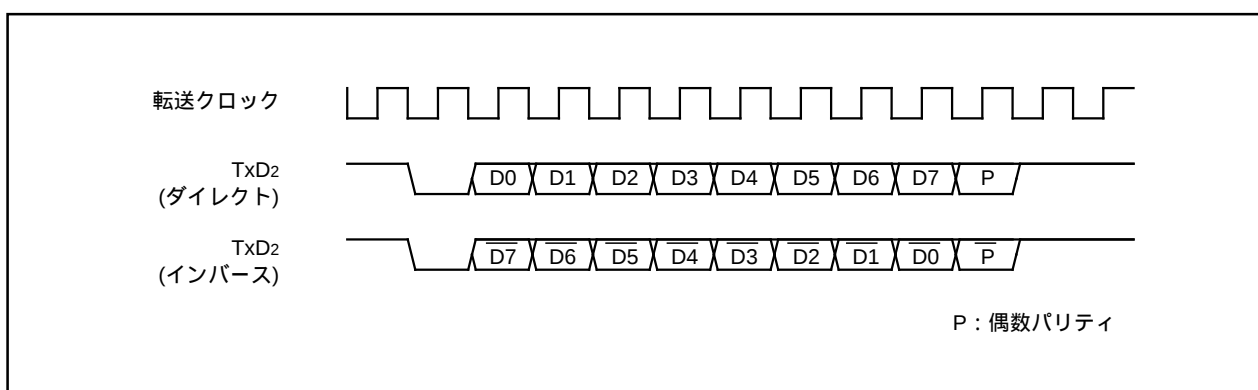


図1.16.24. SIMインタフェースフォーマット

図1.16.25にSIMインタフェースの接続例を示します。TxD₂とRxD₂を接続してプルアップしてください。

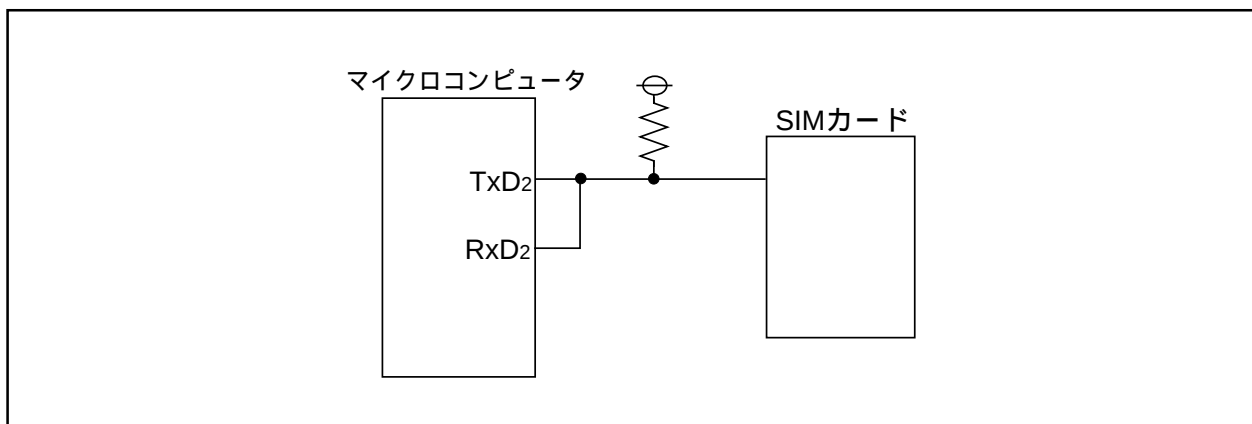


図1.16.25. SIMインタフェース接続例

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377₁₆番地)は、UART2についての様々な制御を行うためのレジスタです。

UART2特殊モードレジスタの構成を図1.16.26に示します。

UART2特殊モードレジスタ(0377₁₆番地)のビット0はIICモード選択ビットです。このビットを“1”に設定することで、IICバス(簡易IICバス)インタフェースを実現するための回路を有効にします。IICモード選択ビットと各制御の関係を表1.16.9に示します。この機能はクロック同期形シリアルI/Oモードで使いますので、UARTモードで使用する場合はこのビットを“0”に設定してください。

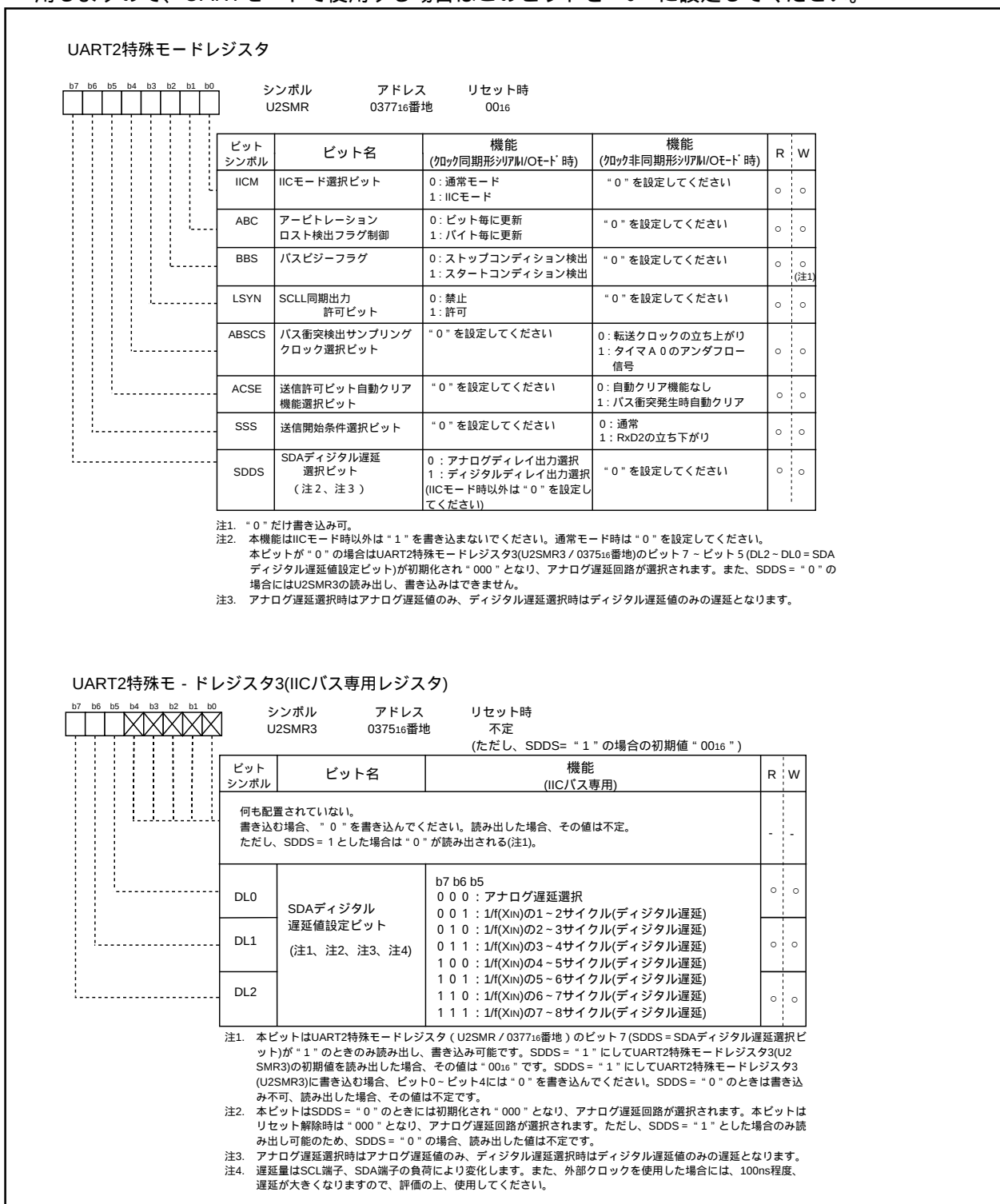


図1.16.26. UART2特殊モードレジスタ

UART2特殊モードレジスタ

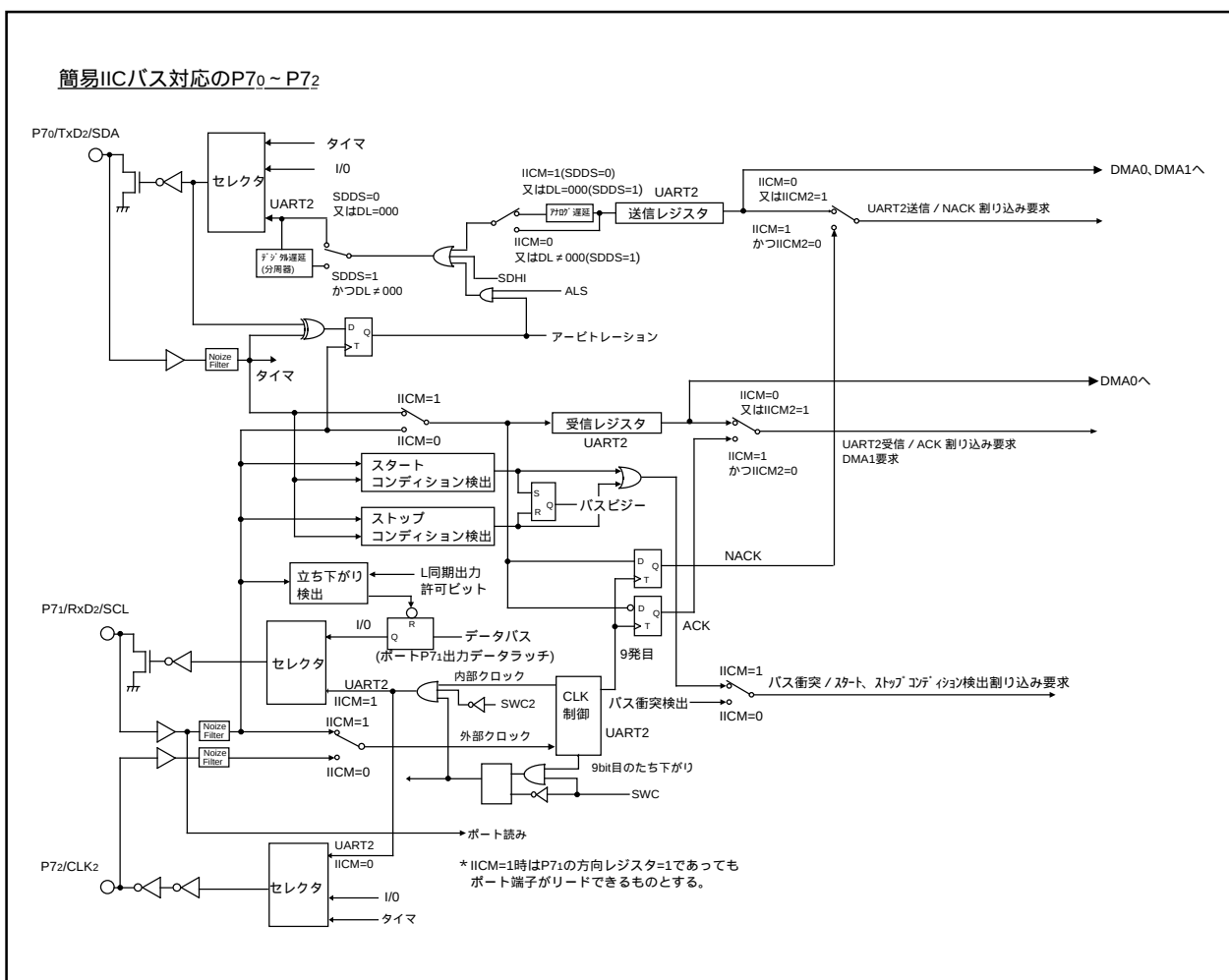


図1.16.27. IICモード機能ブロック図

表1.16.9. IICモード時の各機能

機能	通常モード	IICモード(注1)
1 割り込み番号10の要因 (注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2 割り込み番号15の要因 (注2)	UART2送信	アクノリジ未検出 (NACK)
3 割り込み番号16の要因 (注2)	UART2受信	アクノリジ検出 (ACK)
4 UART2送信出力delay	delayなし	delayあり(デジタル/アナログ選択可)
5 UART2使用時のP7 ₀	TxD ₂ (出力)	SDA (入出力) (注3)
6 UART2使用時のP7 ₁	RxD ₂ (入力)	SCL (入出力)
7 UART2使用時のP7 ₂	CLK ₂	P7 ₂
8 DMA要求要因選択ビット=1101時のDMA1要因	UART2受信	アクノリジ検出 (ACK)
9 Noise Filter 幅	15ns	50ns
10 P7 ₁ のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
11 UART2出力の初期値	Hレベル (CLK極性選択ビット=0時)	ポート選択時にP7 ₀ ラッチに設定した値

注1. IICモード使用時は以下の設定にしてください。
UART2送受信モードレジスタのビット2,1,0を
"010₂"に設定してください。
RTS / CTS機能は禁止してください。
MSBファーストに設定してください。

注2. 要因を切り替える時は以下の手順で行ってください。
1. 対応するNoの割り込み禁止。
2. 要因の切り替え。
3. 対応するNoの割り込み要求フラグリセット。
4. 対応するNoの割り込みレベル設定。

注3. SDA送信出力の初期値の設定は、シリアルI/Oが無効の
状態で行ってください。

UART2特殊モードレジスタ

IICモードの機能を図1.16.27の機能ブロック図に示します。IICモード選択ビット(IICM)を“1”に設定すると、ポートP70, P71, P72の機能がそれぞれデータ送受信端子SDA、クロック入出力端子SCL、ポートP72となります。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。SDAデジタル遅延選択ビット(0377₁₆番地ビット7)によってアナログ遅延とデジタル遅延を選択することができます。デジタル遅延を選択した場合、遅延値をUART2特殊モードレジスタ3(0375₁₆番地)によってf1の2サイクルから8サイクルまで選択することができます。遅延回路選択条件を表1.16.10に示します。

表1.16.10. 遅延回路選択条件

	レジスタ値			内 容
	IICM	SDDS	DL	
デジタル遅延選択	1	1	001 111	デジタル遅延を選択した場合は、アナログ遅延は付加されません。デジタル遅延のみになります。
アナログ遅延選択	1	1	000	DL=“000”を設定した場合、SDDSの値によらずアナログ遅延が選択されます。
		0	(000)	SDDS=“0”にするとDLは初期化されDL=“000”になります。
遅延なし	0	0	(000)	IICM=“0”の時遅延回路は選択されません。ただし、IICM=“0”の時は必ずSDDS=“0”にしてください。

ポートP71(SCL)を読み出す際は、ポート方向レジスタの内容にかかわらず、端子のレベルを読み出せるようになります。SDA送信出力の初期値は、このモードではポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でもSDA端子(P70)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でもSDA端子(P70)の立ち上がりが発生したことを検出して発生する割り込みです。バスビジーフラグ(UART2特殊モードレジスタのビット2)はスタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にクリアされます。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“H”のままであることを検出して発生する割り込みです。アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“L”になっていることを検出して発生する割り込みです。また、DMA1要求要因選択ビットを1101(UART2受信)に選択することでアクノリッジ検出によってDMA転送を起動することができます。

UART2特殊モードレジスタ(0377₁₆番地)のビット1はアービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCLの立ち上がりのタイミングで送信データとSDA端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ(037F₁₆番地、037E₁₆番地)のビット11に配置されており、不一致を検出すると“1”にセットされます。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち上がりでアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

UART2特殊モードレジスタ(0377₁₆番地)のビット3はSCL L同期出力許可ビットです。このビットを“1”に設定すると、SCL端子のレベルが“L”になることに同期してP71のデータレジスタが“0”になります。

UART2特殊モードレジスタ

次に、その他の追加された機能について説明します。その動作を図1.16.28に示します。

UART2特殊モードレジスタのビット4は**バス衝突検出サンプリングクロック選択ビット**です。バス衝突検出割り込みとはRxD2とTxD2のレベルが一致していないときに割り込みを発生するものですが、このビットが“0”の場合、転送クロックの立ち上がりで同期して不一致を検出します。このビットが“1”の場合、転送クロックの立ち上がりではなく、タイマA0のオーバフローのタイミングで検出します。

UART2特殊モードレジスタのビット5は**送信許可ビット自動クリア機能選択ビット**です。このビットを“1”にすることによって、**バス衝突検出割り込み要求ビット**が“1”(不一致検出)のとき、**送信許可ビット**を自動的に“0”にリセットします。

UART2特殊モードレジスタのビット6は、**送信開始条件選択ビット**です。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します。

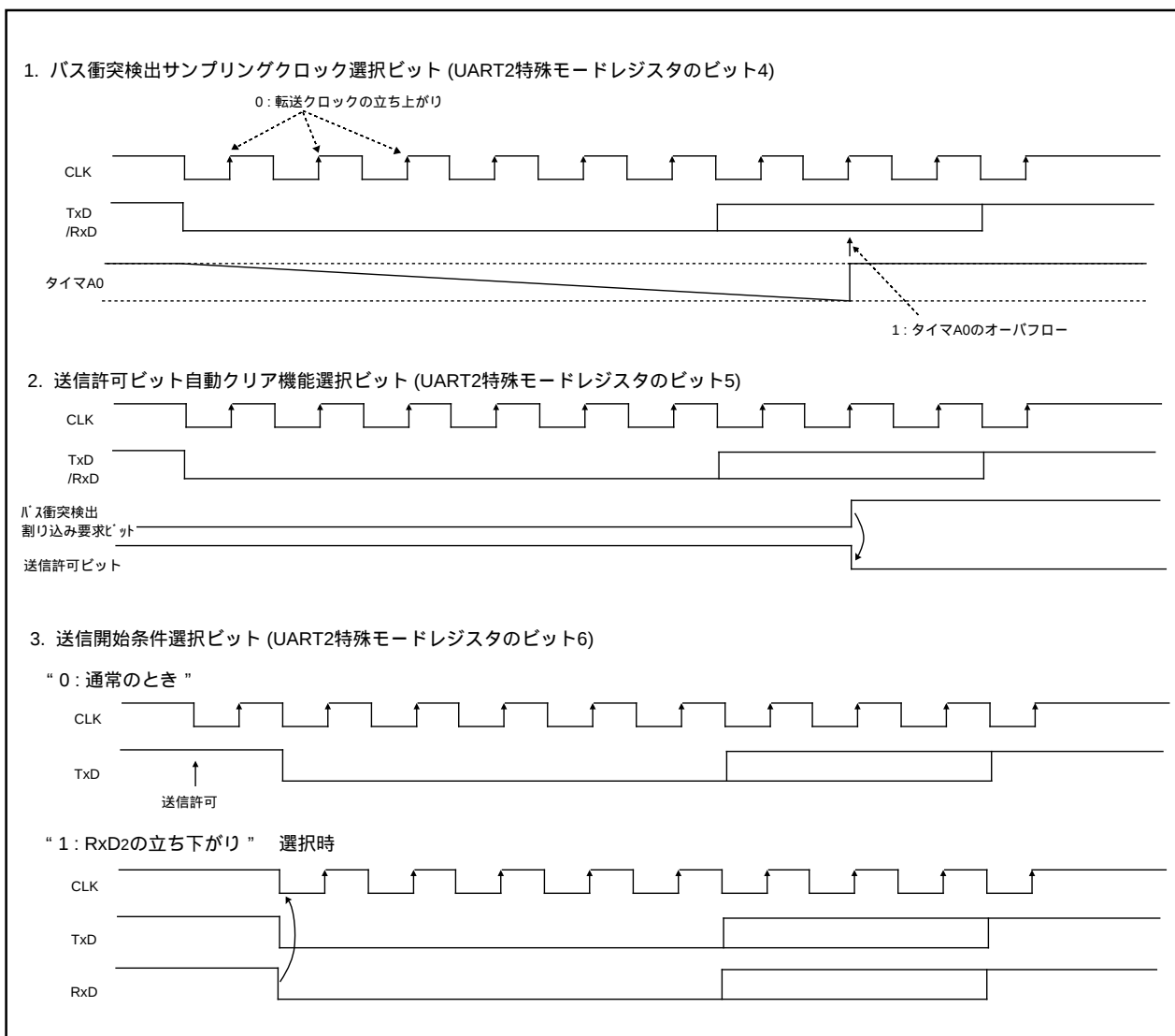


図1.16.28. その他の追加機能

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)は、UART2のIICモードについて、さらに制御を行うためのレジスタです。UART2特殊モードレジスタ2の構成を図1.16.29に示します。

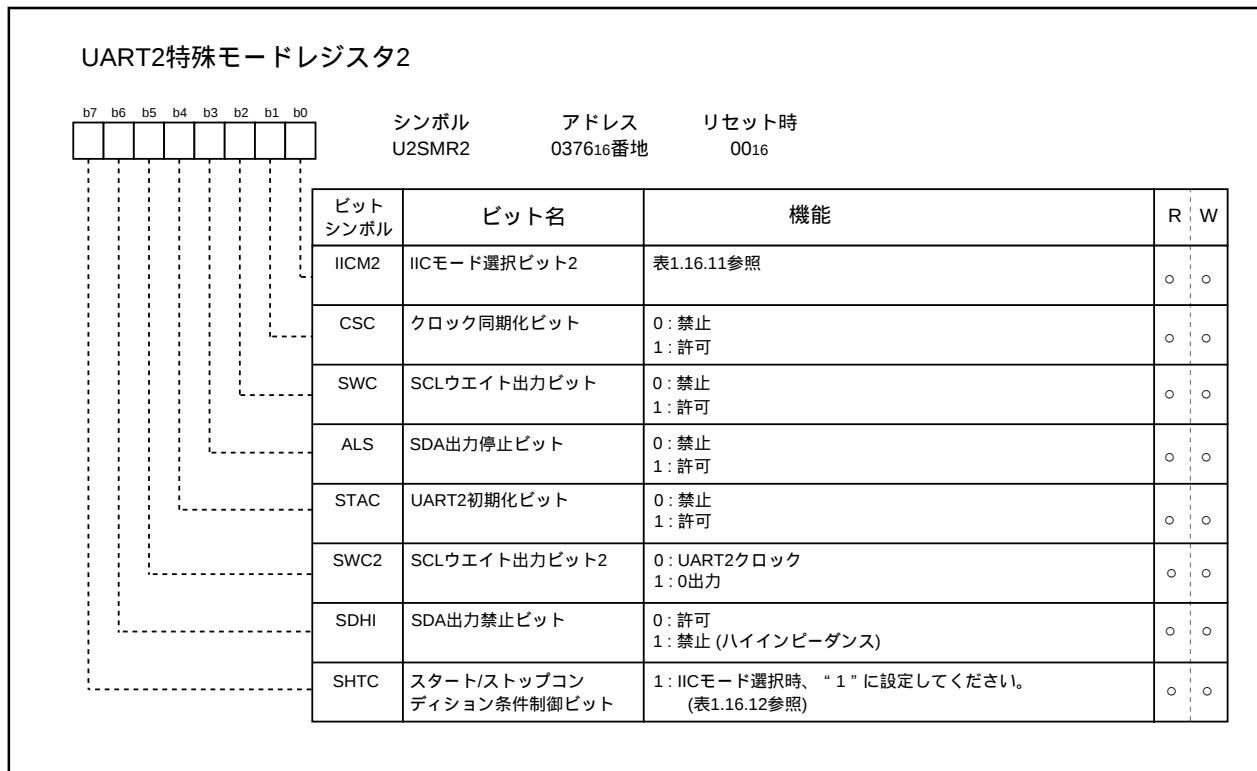


図1.16.29. UART2特殊モードレジスタ2

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)のビット0はIICモード選択ビット2です。IICモード選択ビットが“1”のときにIICモード選択ビット2により変更される各制御を表1.16.11に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を表1.16.12に示します。IICモード選択時、スタート/ストップコンディション条件制御ビット(UART2特殊モードレジスタ2のビット7)は“1”に設定してください。

表1.16.11. IICモード選択ビット2によって変更される各機能

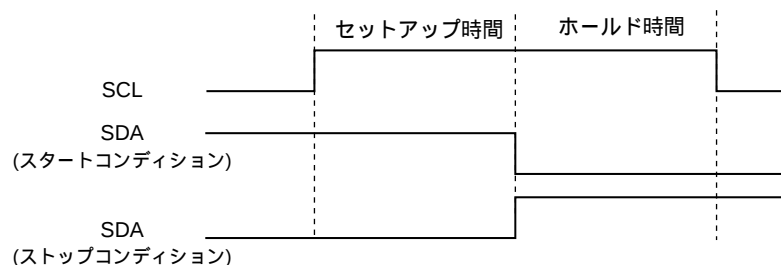
	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号15の要因	アクノリッジ未検出 (NACK)	UART2送信(最終ビットのクロックの立ち上がり)
2	割り込み番号16の要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
3	DMA要求要因選択ビット= "1101"時のDMA1要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
4	UART2受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
5	UART2受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

表1.16.12 . スタート/ストップコンディション検出タイミング特性(注1)

3～6サイクル< セットアップ時間 (注2)
3～6サイクル< ホールド時間 (注2)

注1. スタート/ストップコンディション条件制御ビットSHTC=“1”の場合。

注2. サイクル数はメインクロック入力発振周波数(f_{XIN})のサイクル数を示します。



UART2特殊モードレジスタ2

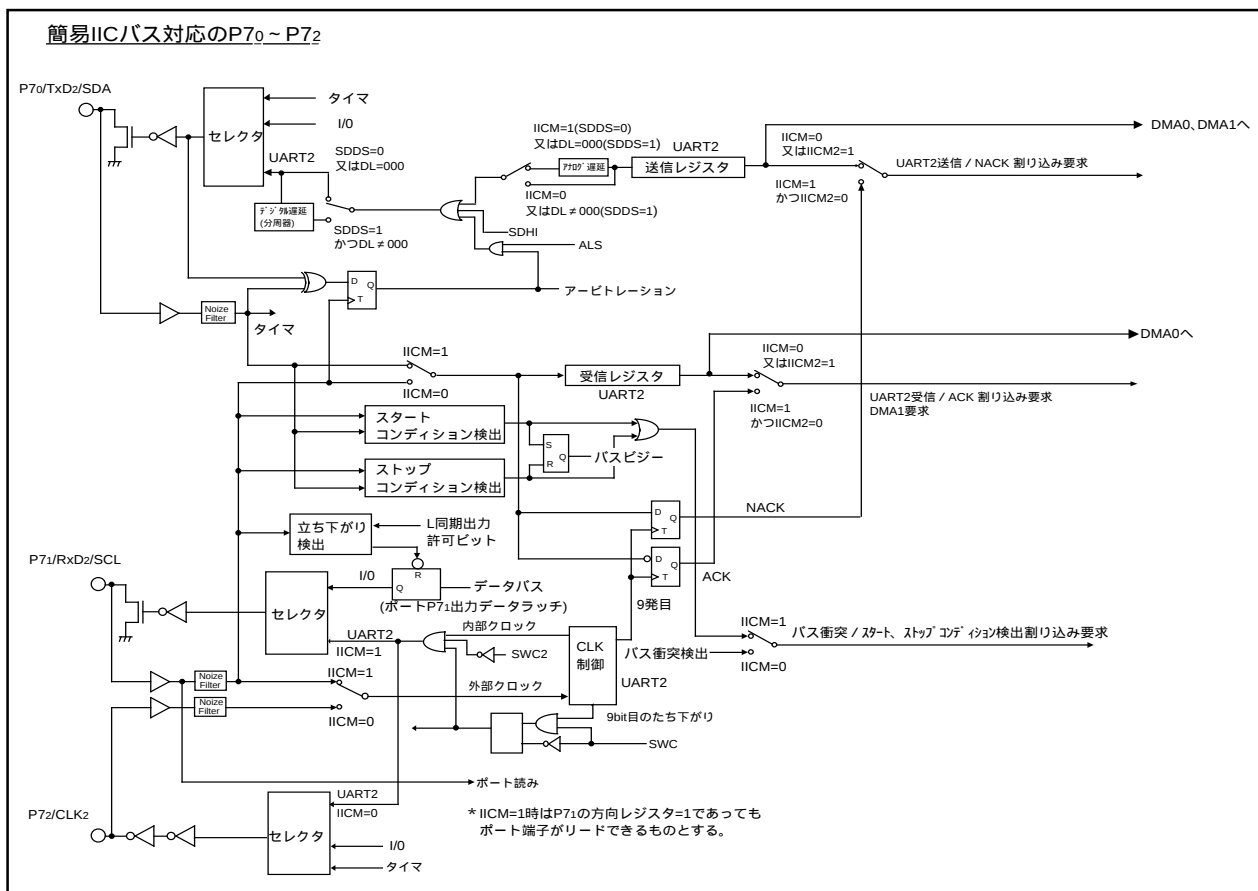


図1.16.30. IICモード機能ブロック図

IICモードの機能を図1.16.30の機能ブロック図に示します。

UART2特殊モードレジスタ2(0376₁₆番地)のビット3はSDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDA端子がハイインピーダンス状態になります。

UART2特殊モードレジスタ2(0376₁₆番地)のビット1はクロック同期化ビットです。このビットを“1”に設定すると、内部SCL=“H”時、SCL端子に立ち下がりエッジがあれば内部SCL=“L”とし、ボーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCL端子=“L”時、内部SCLが“L”から“H”に変化すればボーレートジェネレータのカウントを停止し、SCL端子=“H”になればカウントを再開します。この機能によりUART2の送受信クロックは、内部SCLとSCL端子の信号をANDしたのになります。この機能はUART2の1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UART2特殊モードレジスタ2(0376₁₆番地)のビット2はSCLウェイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がりSCL端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376₁₆番地)のビット4はUART2初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

- (1) 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。
これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UART2出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- (2) 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- (3) SCLウェイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりですべてSCL端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、送信バッファ空フラグの値は変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

UART2特殊モードレジスタ2(0376₁₆番地)のビット5はSCL端子ウェイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすることにより、UART2動作中でもSCL端子から強制的に“L”を出力することができます。このビットを“0”にすることにより、SCL端子からの“L”出力は解除され、UART2クロックが入出力されます。

UART2特殊モードレジスタ2(0376₁₆番地)のビット6はSDA出力禁止ビットです。このビットを“1”にすると、SDA端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUART2の転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

S I/O3, 4

S I/O3, 4

S I/O3, 4は、クロック同期形専用シリアルI/Oです。

図1.16.31にS I/O3, 4のブロック図を、図1.16.32にS I/O3, 4関連のレジスタを示します。

表1.16.13にS I/O3, 4の仕様を示します。

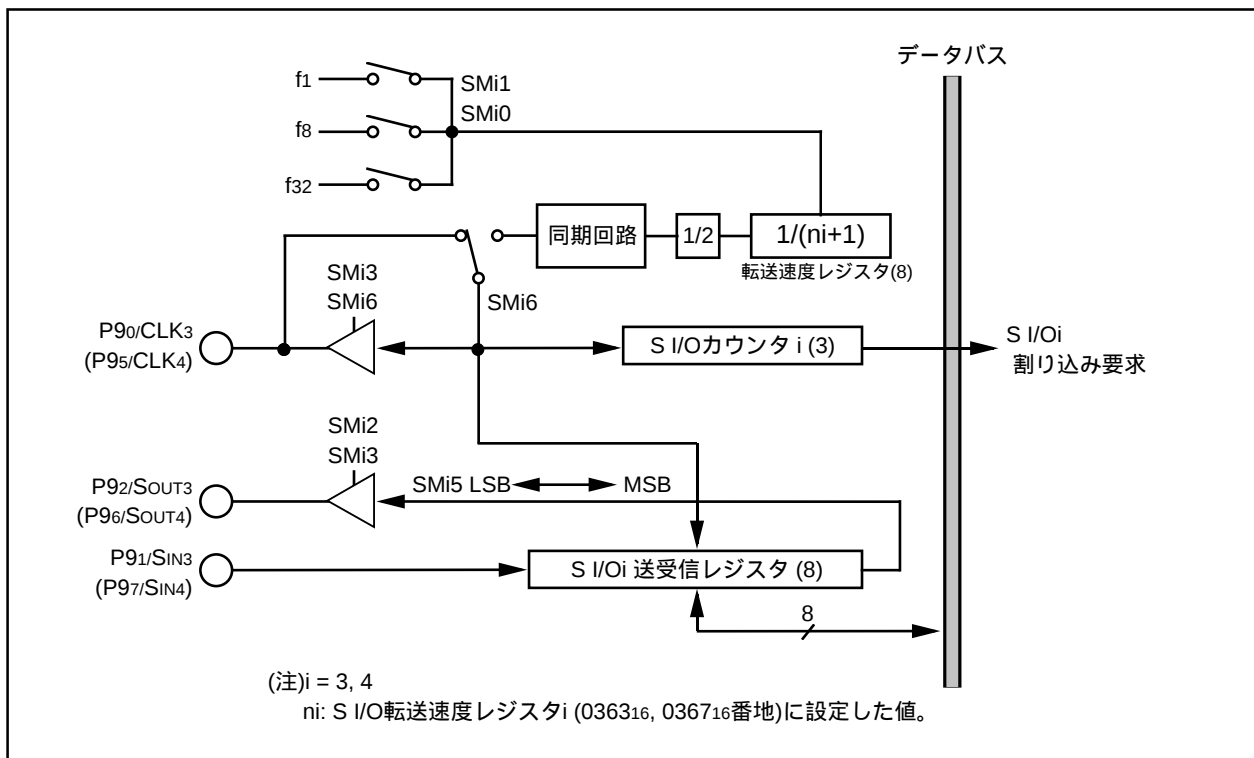
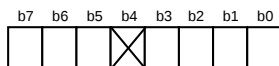


図1.16.31. S I/O3, 4ブロック図

S I/O3, 4

S I/Oi 制御レジスタ (i = 3, 4) (注1)



シンボル

SiC

アドレス

0362₁₆, 0366₁₆番地

リセット時

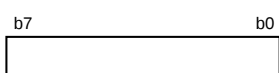
40₁₆

ビット シンボル	ビット名	機 能	R	W
SMi0	内部同期クロック選択ビット	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 設定しないでください	○	○
SMi1			○	○
SMi2	Souti 出力禁止ビット	0: Souti出力 1: Souti出力禁止(ハイインピーダンス)	○	○
SMi3	S I/Oiポート選択 ビット(注2)	0: 入出力ポート 1: Souti出力、CLK機能	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
SMi5	転送方向選択ビット	0: LSBファースト 1: MSBファースト	○	○
SMi6	同期クロック選択 ビット(注2)	0: 外部クロック 1: 内部クロック	○	○
SMi7	Souti 初期値設定ビット	SMi3=0 時に有効 0: L出力 1: H出力	○	○

注1. S I/Oi制御レジスタ(i=3, 4)に書き込みを行う場合は、プロテクトレジスタ(000A₁₆番地)のビット2を“1”にしてから行ってください。

注2. S I/Oiポート選択ビット(i = 3, 4)に“0”を設定し、入出力ポートとして使用する場合は、同期クロック選択ビットを“1”にしてください。

S I/Oi転送速度レジスタ(注1、注2)



シンボル

S3BRG

アドレス

0363₁₆番地

リセット時

不定

S4BRG

0367₁₆番地

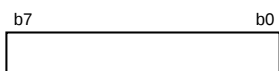
不定

機 能	設定可能値	R	W
設定値を n とすると、BRGi はカウントソースを n+1 分周する	00 ₁₆ ~ FF ₁₆	×	○

注1. 値を書き込む場合は送受信停止中に書き込んでください。

注2. このレジスタへの書き込みにはMOV命令を使用してください。

S I/Oi送受信レジスタ(注1)



シンボル

S3TRR

アドレス

0360₁₆番地

リセット時

不定

S4TRR

0364₁₆番地

不定

機 能	R	W
データ書き込みにより送受信が開始。 送受信完了後、受信データ。	○	○

注1. 値を書き込む場合は送受信停止中に書き込んでください。

図1.16.32. S I/Oi関連のレジスタ

S I/O3, 4

表1.16.13. S I/O3, 4の仕様

項 目	仕 様
転送データフォーマット	● 転送データ長 8ビット
転送クロック	● 内部クロック選択時(0362₁₆、0366₁₆番地のビット6= “ 1 ”) : f₁/2(ni+1) , f₈/2(ni+1) , f₃₂/2(ni+1) (注1) ● 外部クロック選択時(0362₁₆、0366₁₆番地のビット6= “ 0 ”) : CLK_i端子からの入力 (注2)
送受信開始条件	● 送受信開始には、以下の条件が必要です。 ・ 同期クロックの選択。(0362₁₆、0366₁₆番地のビット6で設定) 内部クロック選択時は分周比の選択。(0362₁₆、0366₁₆番地のビット0, 1で選択) ・ SOUT_i初期値設定ビット設定。(0362₁₆、0366₁₆番地のビット7で設定) ・ S I/O_iポート選択ビット(0362₁₆、0366₁₆番地のビット3)= “ 1 ” ・ 転送方向選択ビット設定(0362₁₆、0366₁₆番地のビット5で設定) ・ S I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)への転送データ書き込み ● 更に、S I/O_i割り込みを使用する場合、次の条件も必要です。 ・ SI/O_i送受信レジスタへの転送データ書き込みの前に、S I/O_i割り込み要求ビットクリア(0049₁₆、0048₁₆番地のビット3)= “ 0 ”
割り込み要求発生タイミング	● 最後の転送クロックの立ち上がり。(注3)
選択機能	● LSBファースト/MSBファースト 選択 ビット0(LSB)から送信/受信するか、またはビット7(MSB)から送信/受信するかを選択可。 ● SOUT_i初期値設定機能 転送クロックとして外部クロックを使用する場合、転送していないときのSOUT_i端子出力レベルを選択できます。設定の方法は図1.16.33を参照してください。
注意事項	● S I/O_i(i=3,4)は、UART0～2と違い転送のためのレジスタとバッファに分かれていません。したがって、転送中に次の転送データをS I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)に書き込まないでください。 ● 転送クロックとして内部クロックを選択している場合、転送終了後SOUT_iは、1/2転送クロック間最終データを保持し、ハイインピーダンス状態になります。しかし、この間に転送データをS I/O_i送受信レジスタ(0360₁₆、0364₁₆番地)に書き込んだ場合、書き込んだときから、ハイインピーダンス状態になり、データのホールド時間が短くなります。

注1. n はS I/O_i転送速度レジスタに設定した00₁₆～FF₁₆の値です。(i=3, 4)

注2. 外部クロック選択時には、

- ・ SI/O_i送受信レジスタ(0360₁₆、0364₁₆番地)への書き込みを行う際にはCLK_i端子に “ H ” レベルが入力されている状態で行ってください。また、SI/O_i制御レジスタ(0362₁₆、0366₁₆番地)のビット7(SOUT_i初期値設定ビット)を書き替える場合もCLK_i端子に “ H ” レベルが入力されている状態で行ってください。
- ・ 同期クロックがS I/O_i回路に入力されている間はシフト動作をし続けますので、同期クロックは8回で止めてください。内部クロック選択時は自動的に停止します。

注3. 同期クロックに内部クロックを使用している場合、転送クロックは “ H ” の状態で停止します。

■ SOUTi初期値設定機能

転送クロックとして外部クロックを使用する場合、転送していないときのSOUTi端子出力レベルを“H”または“L”のどちらかに設定できます。SOUTi初期値設定時のタイミング図および設定方法を図1.16.33に示します。

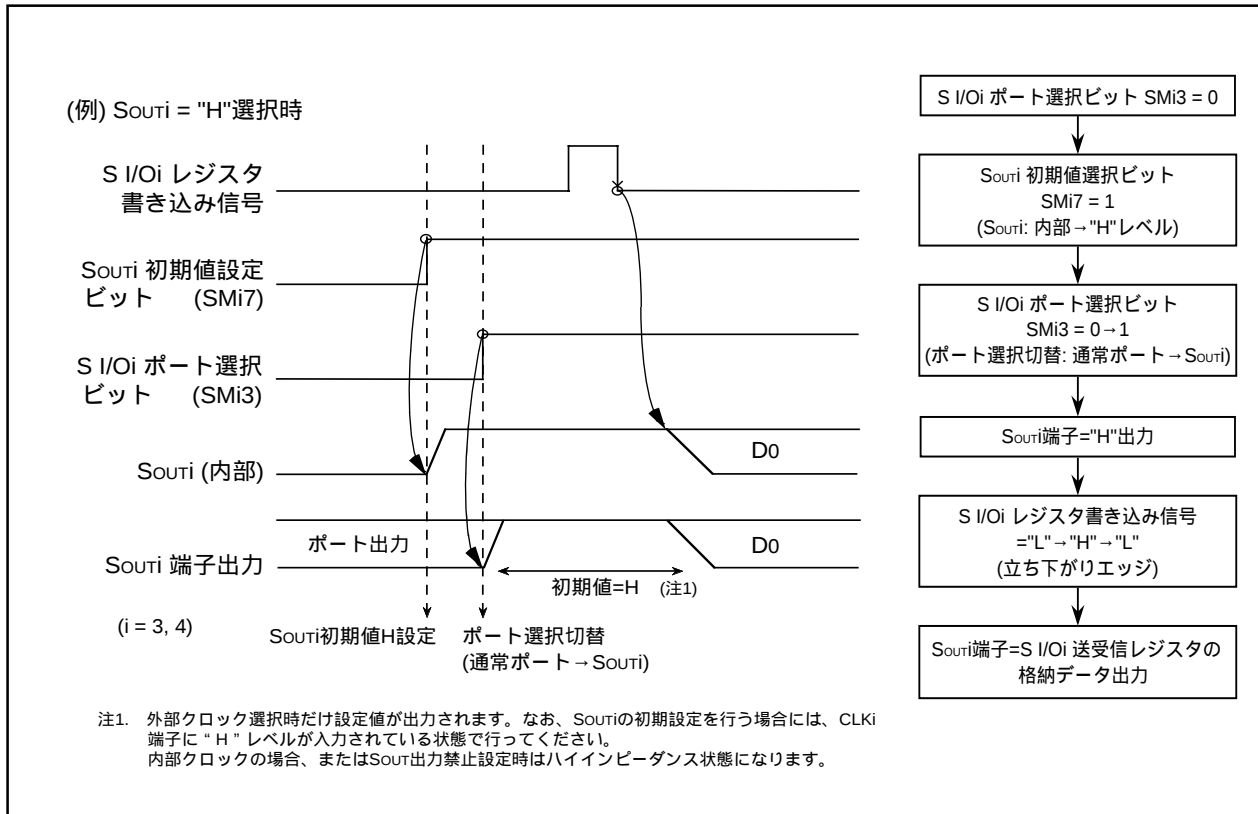


図1.16.33. SOUTi初期値設定時のタイミング図および設定方法

■ S I/Oi動作タイミング

S I/Oi動作タイミング図を図1.16.34に示します。

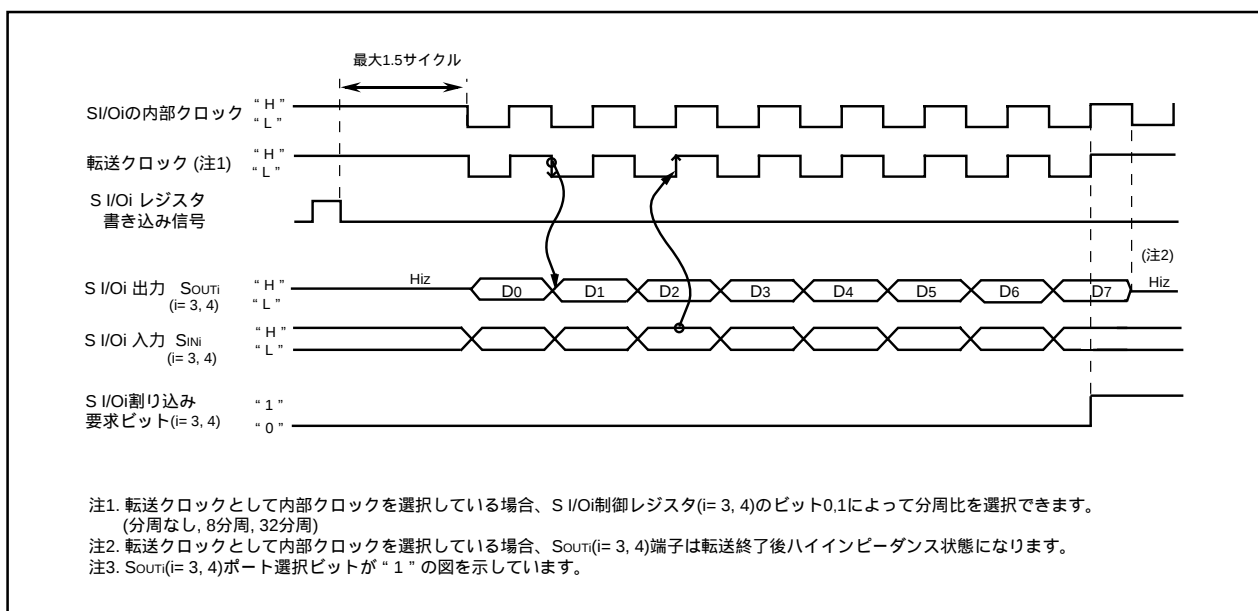


図1.16.34. S I/Oi動作タイミング図

A-D変換器

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、P100～P107、P95、P96と共用していますのでA-D変換を行う端子に対応する**方向レジスタ**は入力に設定してください。また、**Vref接続ビット**(03D7₁₆番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、VREFを接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応した**A-Dレジスタ**に格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表1.17.1にA-D変換器の性能を、図1.17.1にA-D変換器のブロック図を、図1.17.2、図1.17.3にA-D変換器関連のレジスタを示します。

表1.17.1. A-D変換器の性能

項 目	性 能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVcc(Vcc)
動作クロック ϕ_{AD} (注2)	Vcc=5Vのとき f_{AD}/f_{AD} の2分周/ f_{AD} の4分周 $f_{AD}=f(XIN)$ Vcc=3Vのとき f_{AD} の2分周/ f_{AD} の4分周 $f_{AD}=f(XIN)$
分解能	8/10ビット選択可能
絶対精度	Vcc = 5Vのとき ● サンプル&ホールド機能なし ±3LSB ● サンプル&ホールド機能あり(分解能8ビット) ±2LSB ● サンプル&ホールド機能あり(分解能10ビット) AN0～AN7入力の場合 ±3LSB ANEX0, ANEX1入力の場合(外部オペアンプ接続モードを含む) ±7LSB Vcc = 3Vのとき ● サンプル&ホールド機能なし(分解能8ビット) ±2LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN0～AN7) + 2本(ANEX0, ANEX1)
A-D変換開始条件	● ソフトウェアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 ● 外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつ$\overline{ADTRG}/P97$入力が“H”から“L”の変化でA-D変換を開始
1端子あたりの変換速度	● サンプル&ホールドなし 分解能8ビットの場合49 ϕ_{AD}サイクル 分解能10ビットの場合59 ϕ_{AD}サイクル ● サンプル&ホールドあり 分解能8ビットの場合28 ϕ_{AD}サイクル 分解能10ビットの場合33 ϕ_{AD}サイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. $f(XIN)$ が10MHzを超える場合は分周し、 ϕ_{AD} の周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき ϕ_{AD} の周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ϕ_{AD} の周波数は1MHz以上にしてください。

A-D変換器

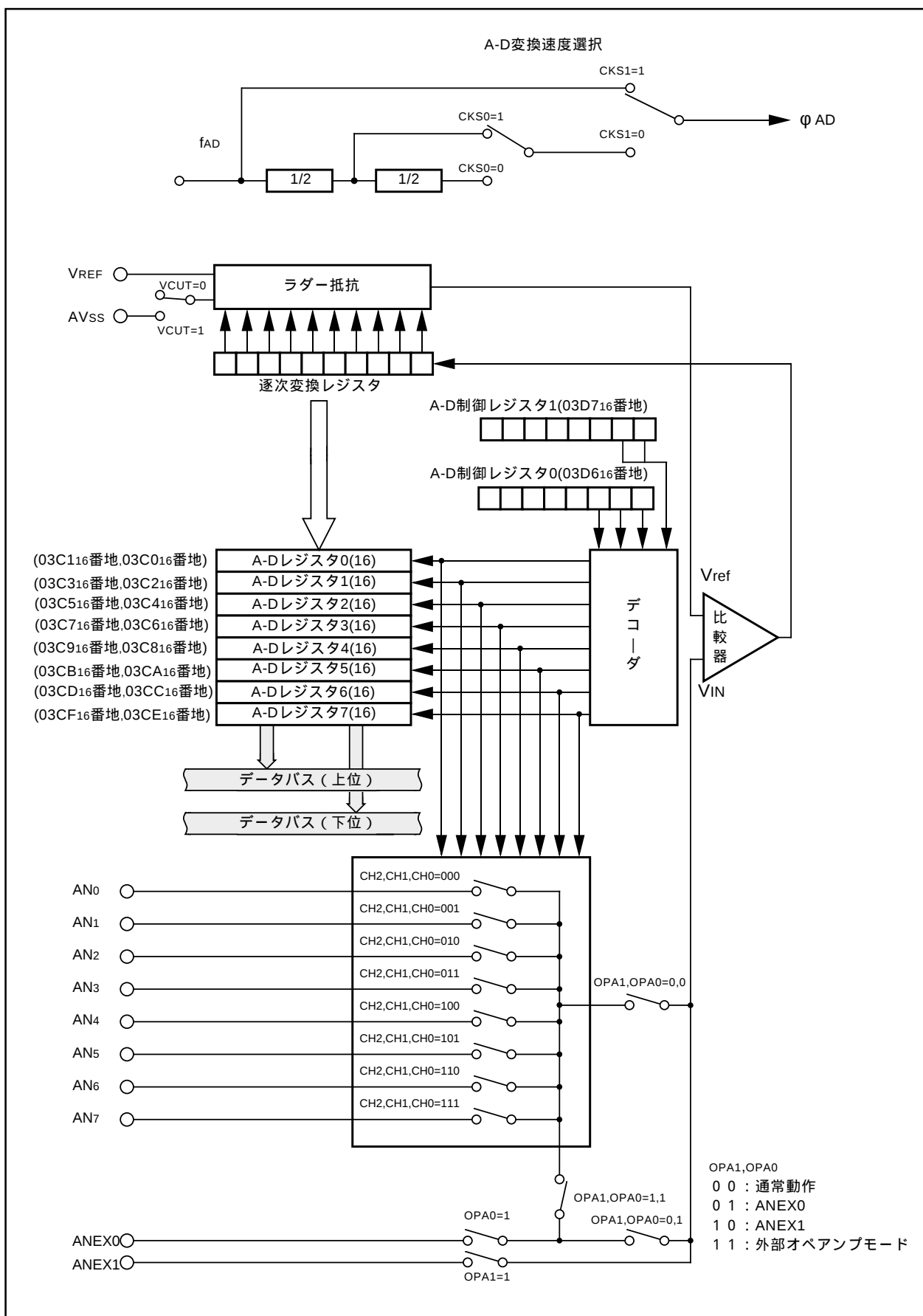
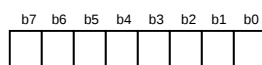


図1.17.1. A-D変換器のブロック図

A-D変換器

A-D制御レジスタ0(注1)

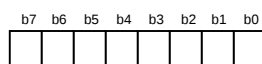
シンボル
ADCON0アドレス
03D6₁₆番地リセット時
00000XXX₂

ビットシンボル	ビット名	機 能	R/W
CH0	アナログ入力端子選択ビット	b2 b1 b0 000: AN0を選択 001: AN1を選択 010: AN2を選択 011: AN3を選択 100: AN4を選択 101: AN5を選択 110: AN6を選択 111: AN7を選択 (注2)	○ ○
CH1			○ ○
CH2			○ ○
MD0	A-D動作モード選択ビット0	b4 b3 00: 単発モード 01: 繰り返しモード 10: 単掃引モード 11: 繰り返し掃引モード0 (注2) 繰り返し掃引モード1	○ ○
MD1			○ ○
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	○ ○
ADST	A-D変換開始フラグ	0: A-D変換停止 1: A-D変換開始	○ ○
CKS0	周波数選択ビット0	0: f _{AD} /4を選択 1: f _{AD} /2を選択	○ ○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

注2. A-D動作モードを変更した場合には、あらかじめアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

シンボル
ADCON1アドレス
03D7₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R/W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 00: AN0, AN1(2端子) 01: AN0 ~ AN3(4端子) 10: AN0 ~ AN5(6端子) 11: AN0 ~ AN7(8端子)	○ ○
SCAN1		繰り返し掃引モード1選択時 b1 b0 00: AN0(1端子) 01: AN0, AN1(2端子) 10: AN0 ~ AN2(3端子) 11: AN0 ~ AN3(4端子)	○ ○
MD2	A-D動作モード選択ビット1	0: 繰り返し掃引モード1以外 1: 繰り返し掃引モード1	○ ○
BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	○ ○
CKS1	周波数選択ビット1	0: f _{AD} /2または f _{AD} /4を選択 1: f _{AD} を選択	○ ○
VCUT	Vref接続ビット	0: Vref未接続 1: Vref接続	○ ○
OPA0	外部オペアンプ接続 モードビット	b7 b6 00: ANEX0, ANEX1は使用しない 01: ANEX0入力をAD変換 10: ANEX1入力をAD変換 11: 外部オペアンプ接続モード	○ ○
OPA1			○ ○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.17.2. A-D変換器関連レジスタ(1)

A-D変換器

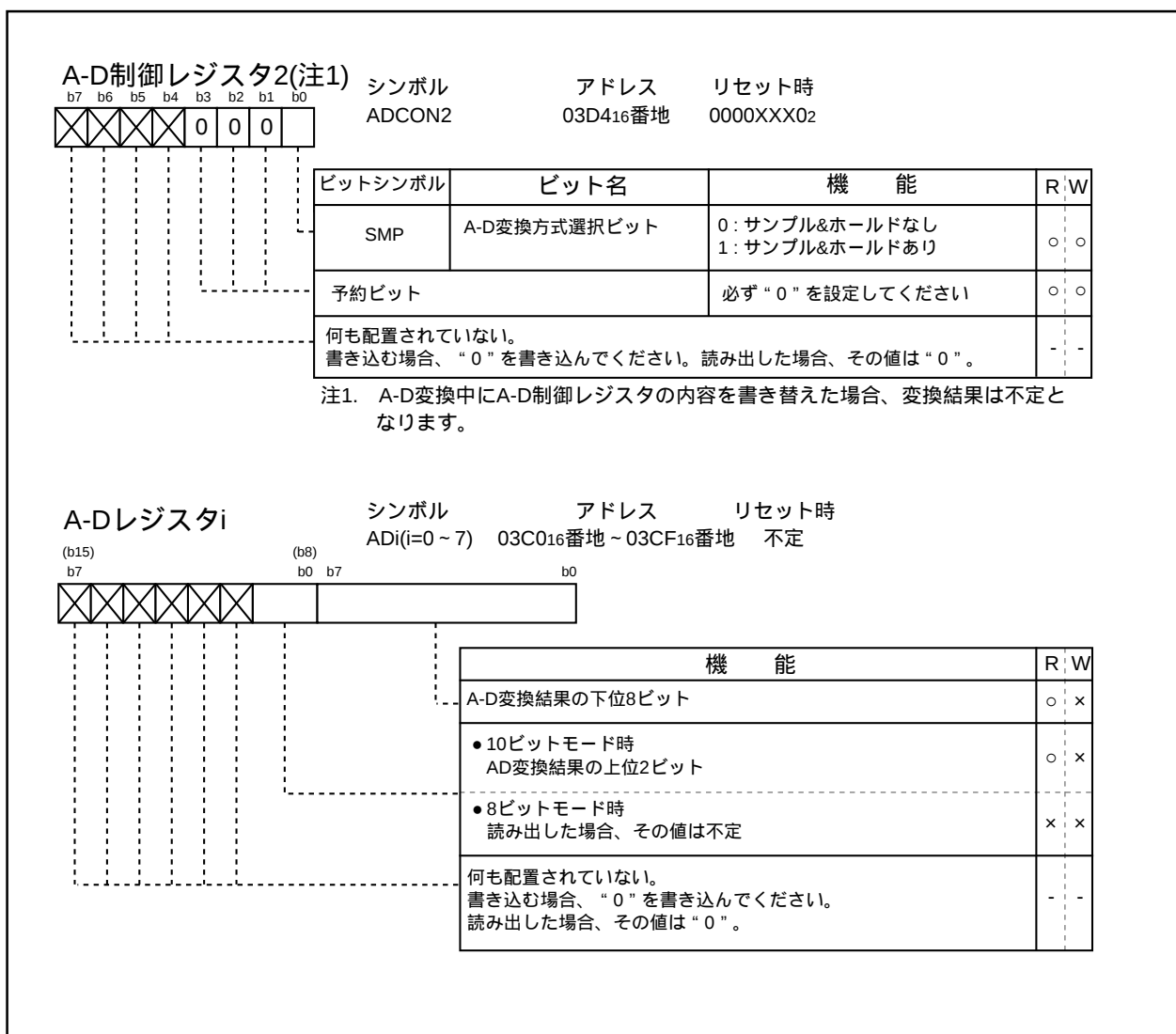


図1.17.3. A-D変換器関連レジスタ(2)

A-D変換器

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表1.17.2に単発モードの仕様、図1.17.4に単発モード時のA-D制御レジスタ構成を示します。

表1.17.2. 単発モードの仕様

項 目	仕 様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	● A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ● A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN0 ~ AN7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

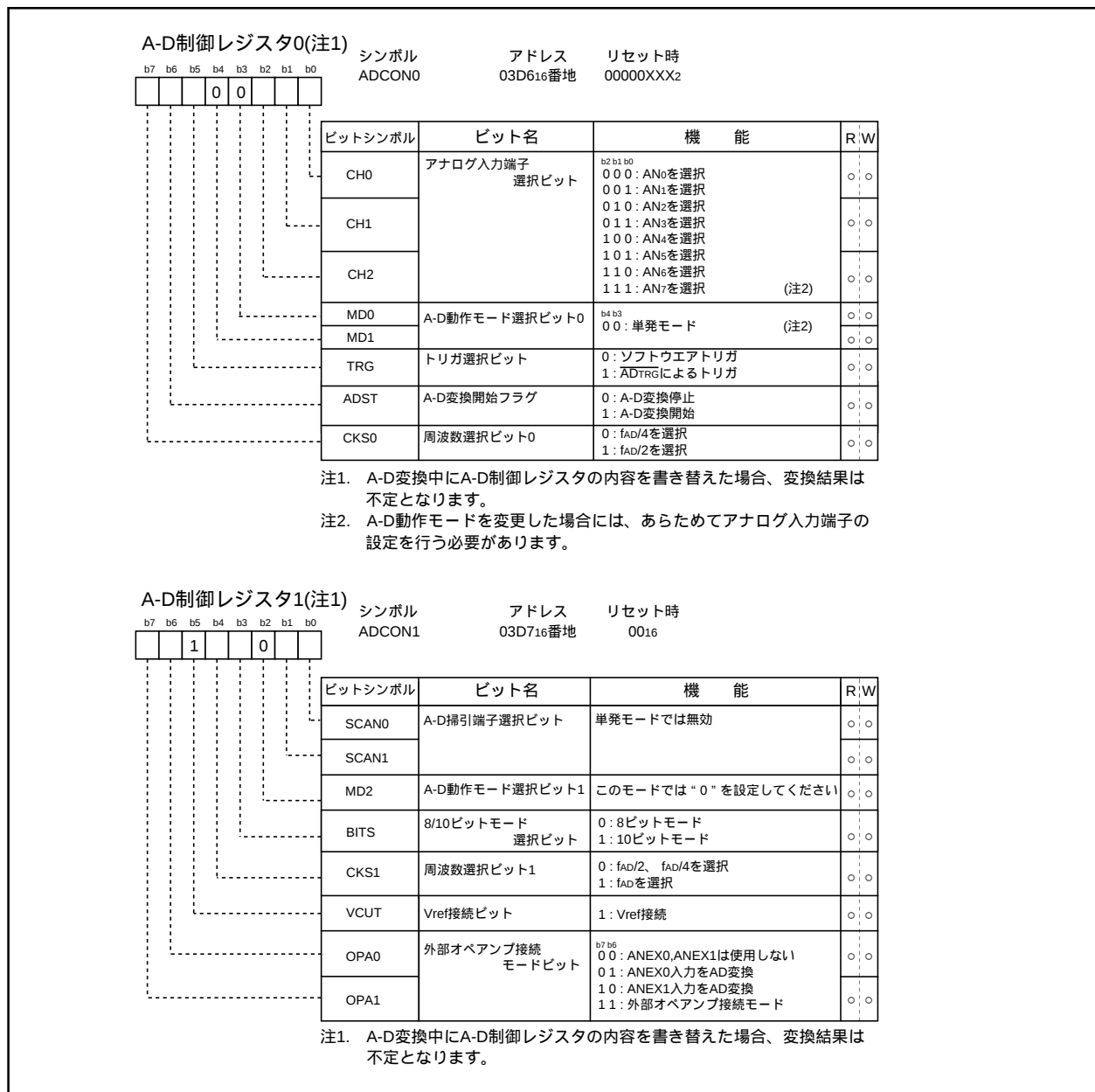


図1.17.4. 単発モード時のA-D制御レジスタ

A-D変換器

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表1.17.3に繰り返しモードの仕様、図1.17.5に繰り返しモード時のA-D制御レジスタ構成を示します。

表1.17.3. 繰り返しモードの仕様

項 目	仕 様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0～AN7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

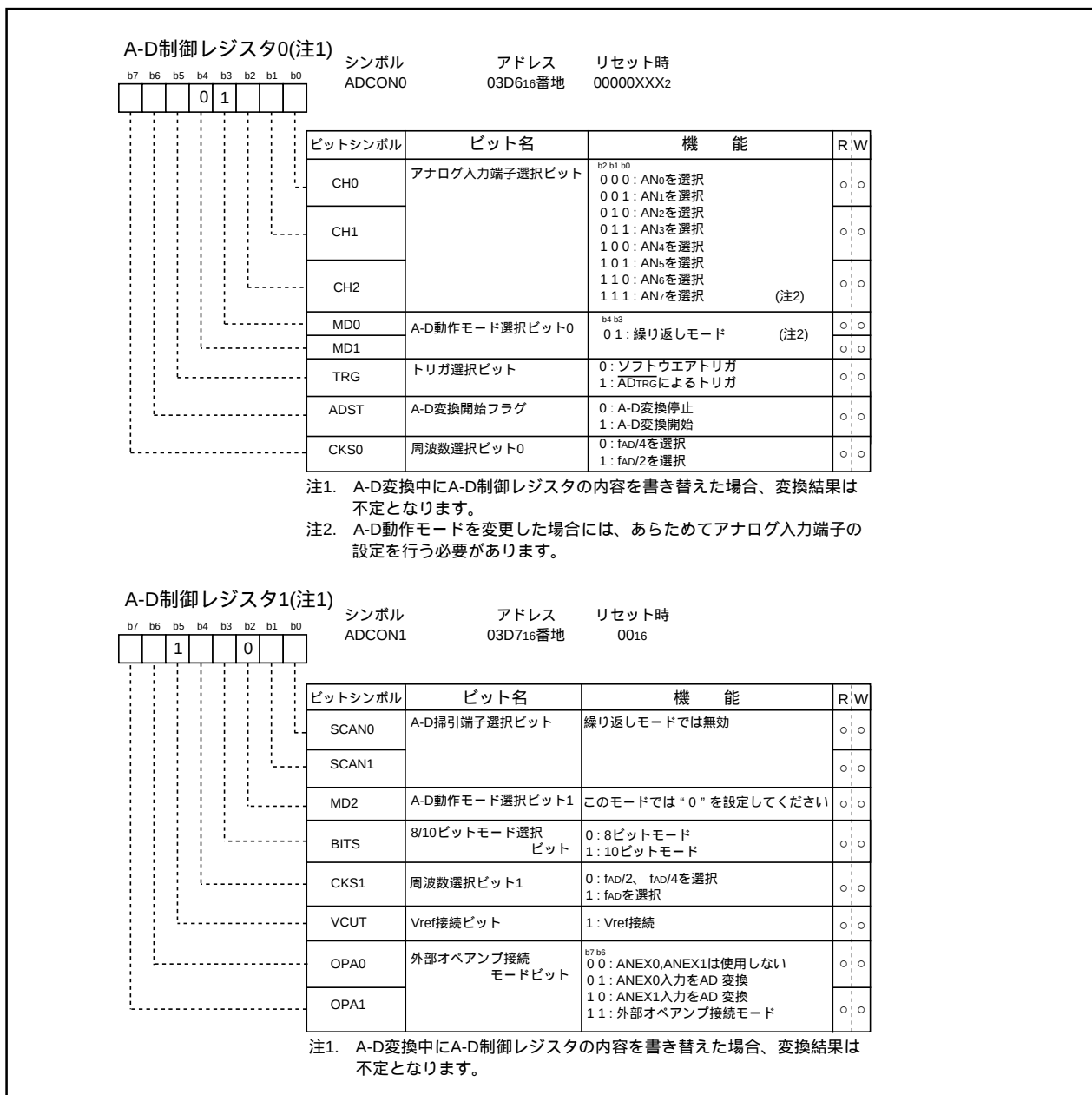


図1.17.5. 繰り返しモード時のA-D制御レジスタ

A-D変換器

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表1.17.4に単掃引モードの仕様、図1.17.6に単掃引モード時のA-D制御レジスタ構成を示します。

表1.17.4. 単掃引モードの仕様

項 目	仕 様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	● A-D変換終了(A-D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) ● A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN ₀ , AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、AN ₀ ~ AN ₇ (8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

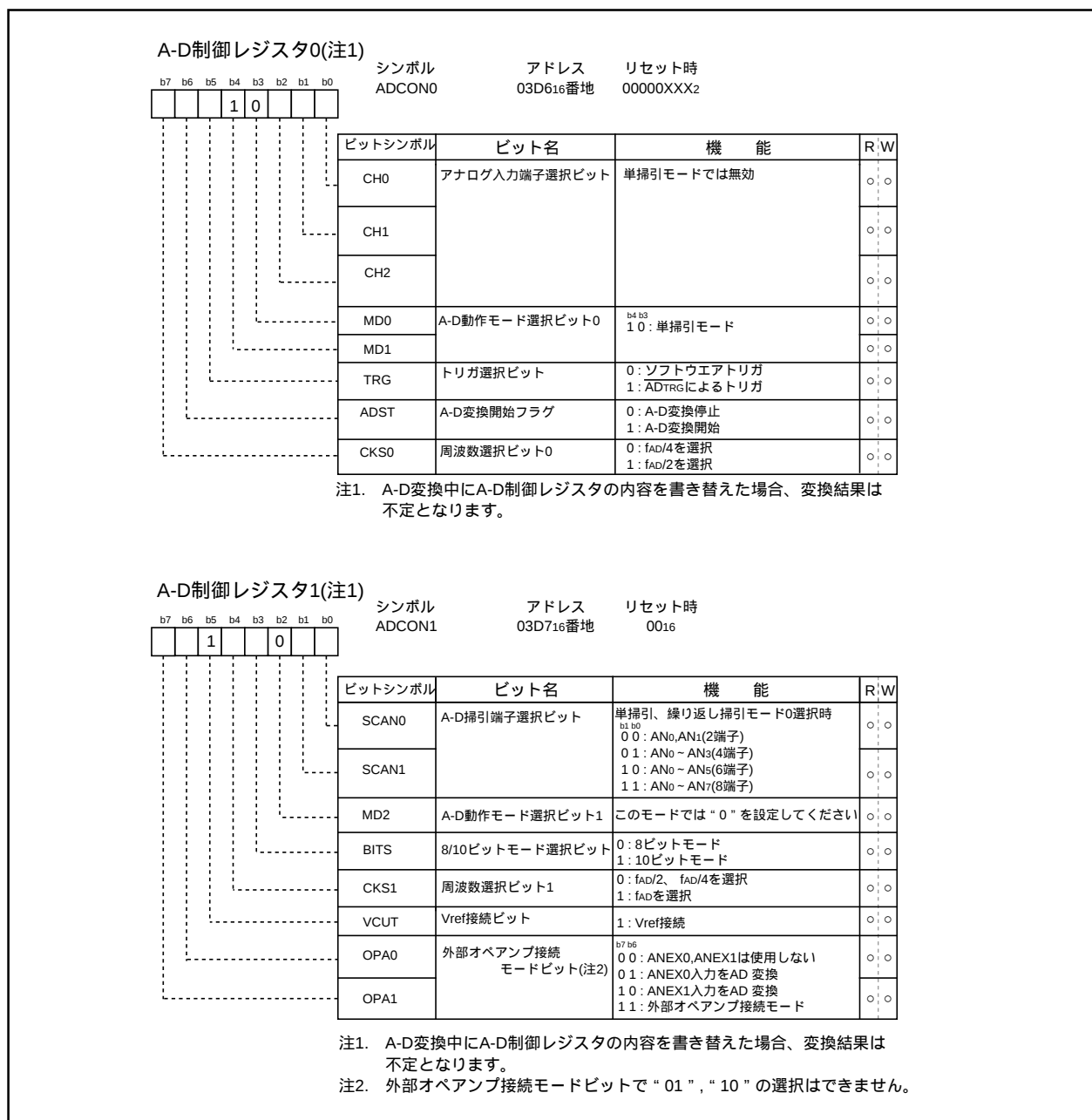


図1.17.6. 単掃引モード時のA-D制御レジスタ

A-D変換器

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表1.17.5に繰り返し掃引モード0の仕様、図1.17.7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表1.17.5. 繰り返し掃引モード0の仕様

項 目	仕 様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN0, AN1(2端子)、AN0 ~ AN3(4端子)、AN0 ~ AN5(6端子)、AN0 ~ AN7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

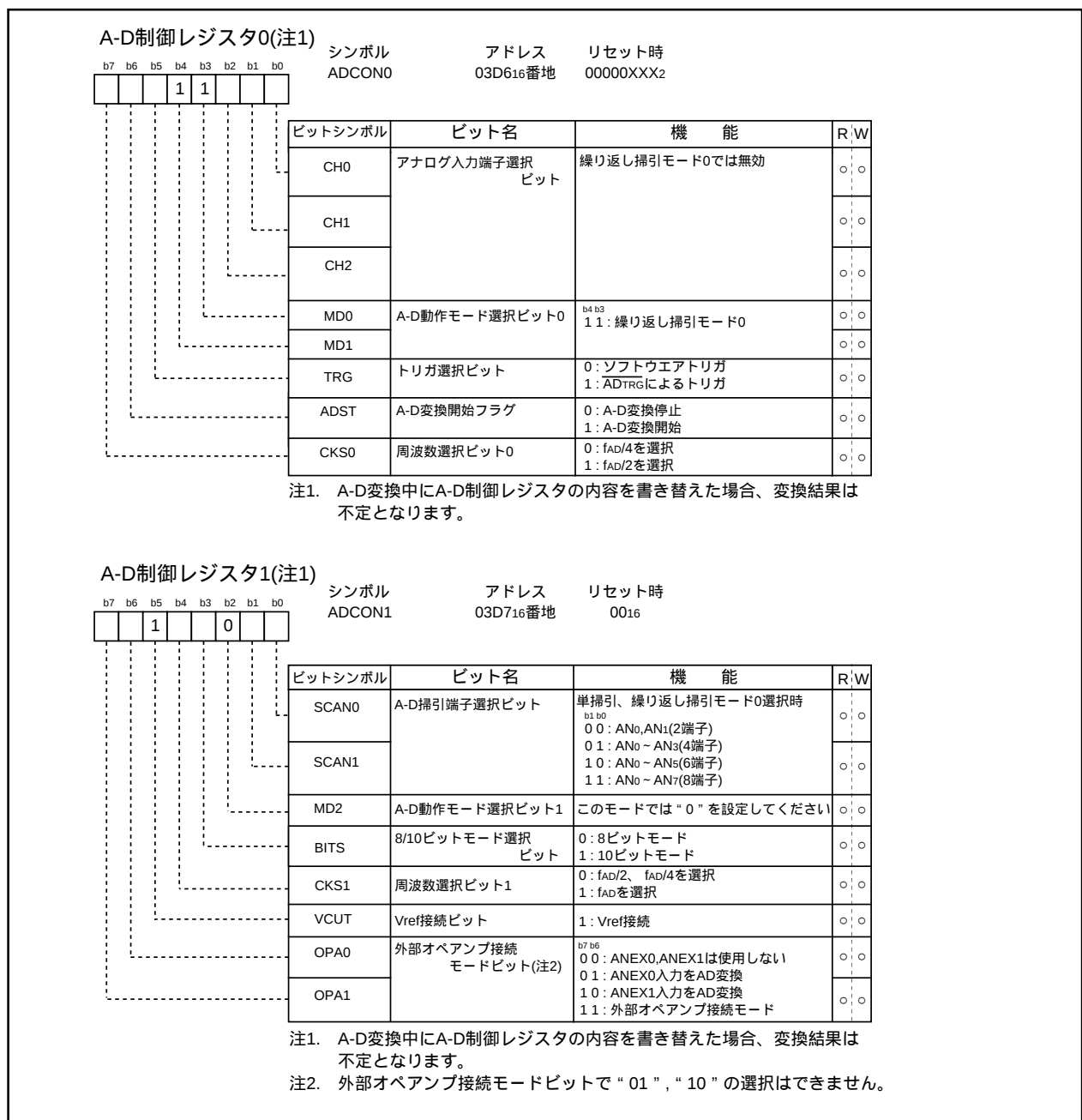


図1.17.7. 繰り返し掃引モード0時のA-D制御レジスタ

A-D変換器

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表1.17.6に繰り返し掃引モード1の仕様、図1.17.8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表1.17.6. 繰り返し掃引モード1の仕様

項 目	仕 様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例：AN ₀ を選択した場合 AN ₀ →AN ₁ →AN ₀ →AN ₂ →AN ₀ →AN ₃ ・・・となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子 AN ₀ (1端子)、AN ₀ ,AN ₁ (2端子)、AN ₀ ～AN ₂ (3端子)、AN ₀ ～AN ₃ (4端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

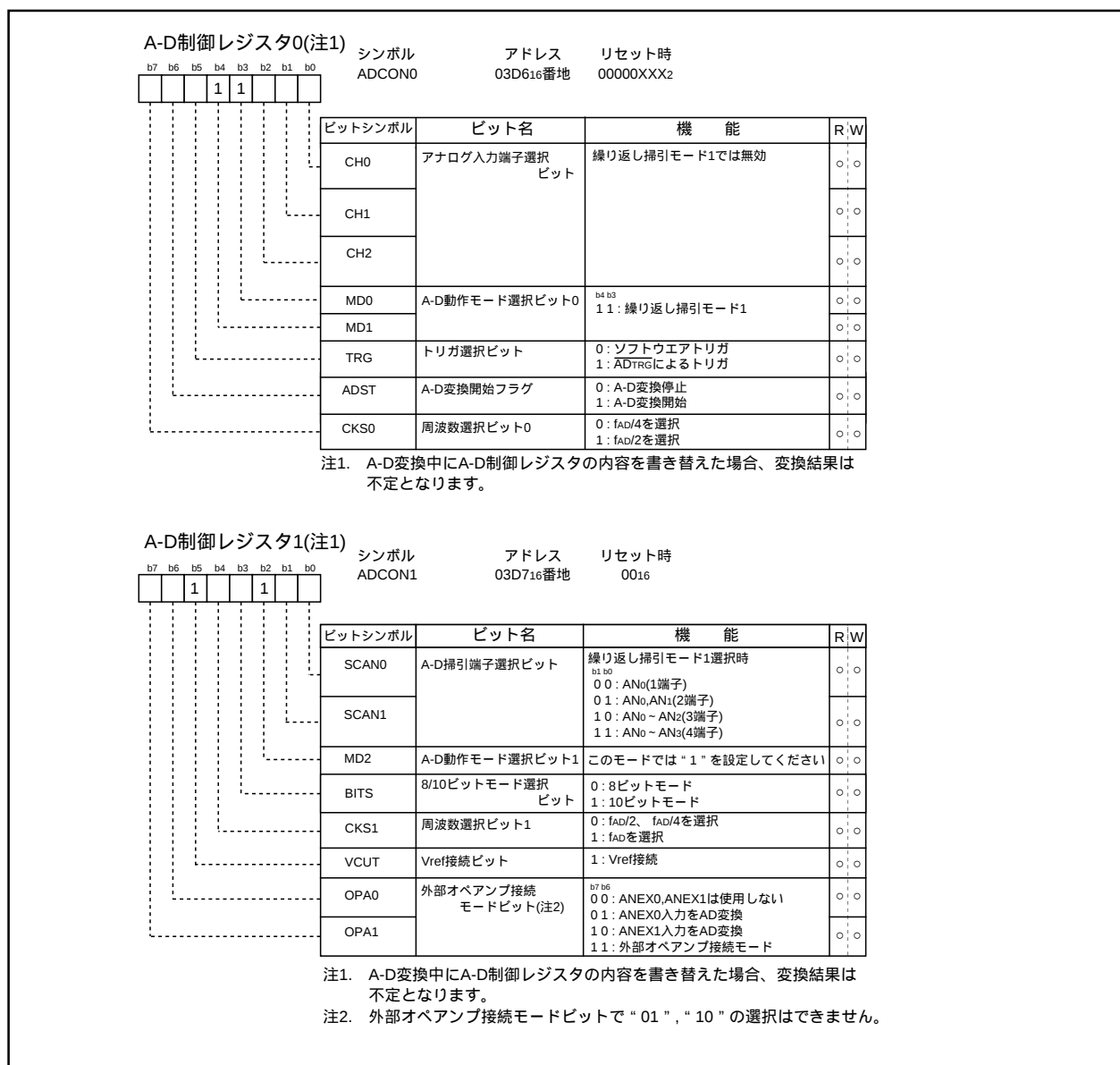


図1.17.8. 繰り返し掃引モード1時のA-D制御レジスタ

A-D変換器

■ サンプル&ホールド

A-D制御レジスタ2(03D4₁₆番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

■ 拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA-D変換することができます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ0に格納されます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA-D変換します。A-D変換結果は、A-Dレジスタ1に格納されます。

■ 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A-D変換入力として使用することができます。

A-D制御レジスタ1(03D7₁₆番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN₀～AN₇からの入力をANEX0から出力します。A-D変換はANEX1からの入力に対して行われ、A-D変換結果は対応するA-Dレジスタに格納されます。A-D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図1.17.9に外部オペアンプ接続モードの接続例を示します。

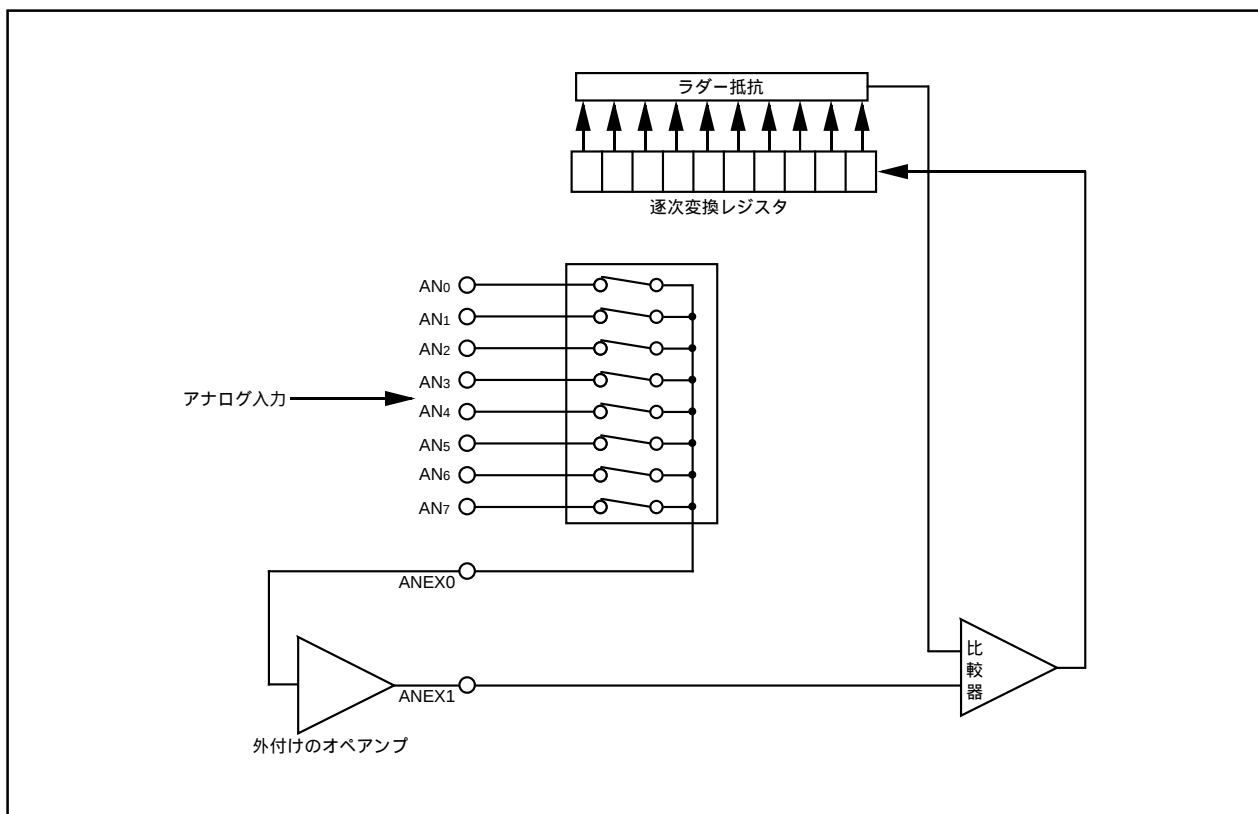


図1.17.9. 外部オペアンプ接続モードの接続例

D-A変換器

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

V_{REF} :基準電圧

表1.18.1にD-A変換器の性能を、図1.18.1にD-A変換器のブロック図を、図1.18.2にD-A制御レジスタの構成を、図1.18.3にD-A変換器の等価回路を示します。

表1.18.1. D-A変換器の性能

項 目	性 能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

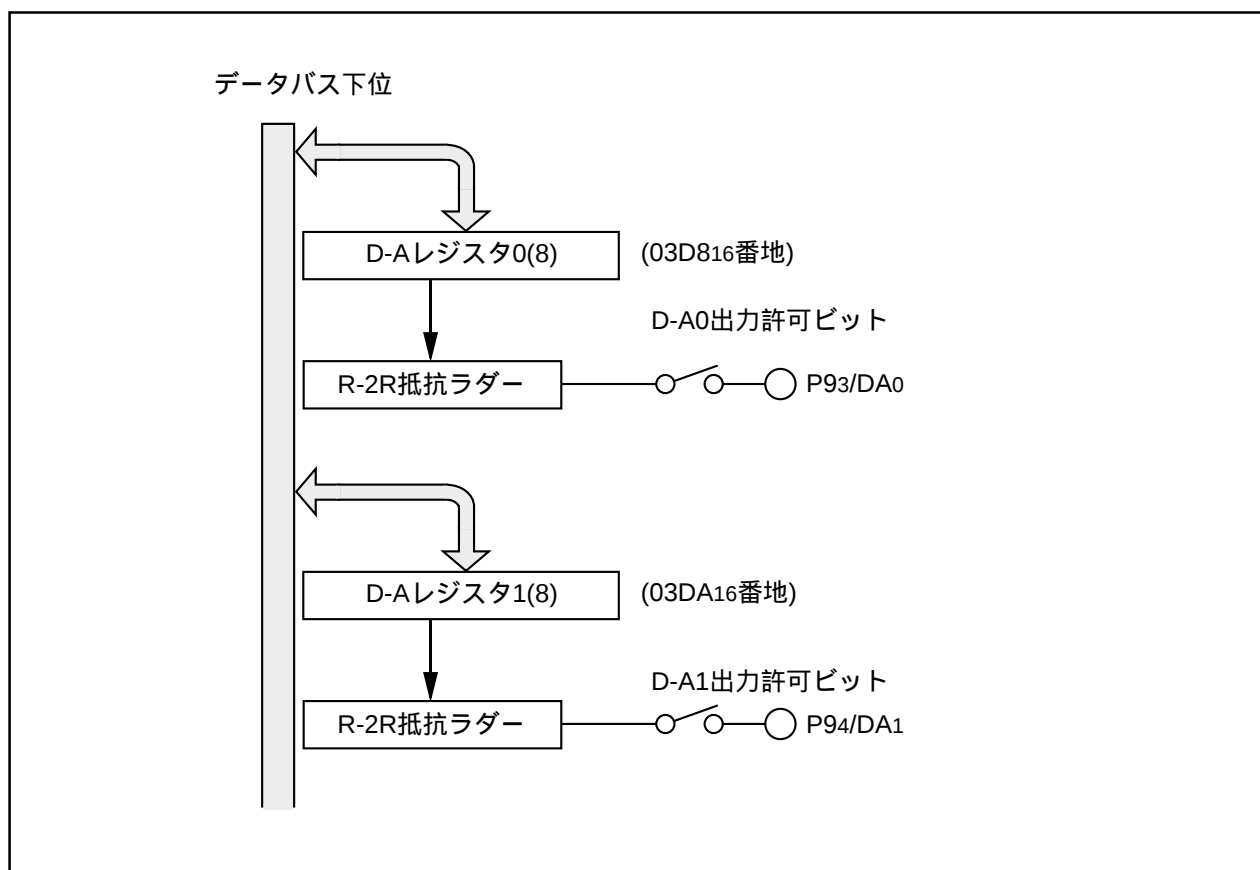


図1.18.1. D-A変換器のブロック図

D-A変換器

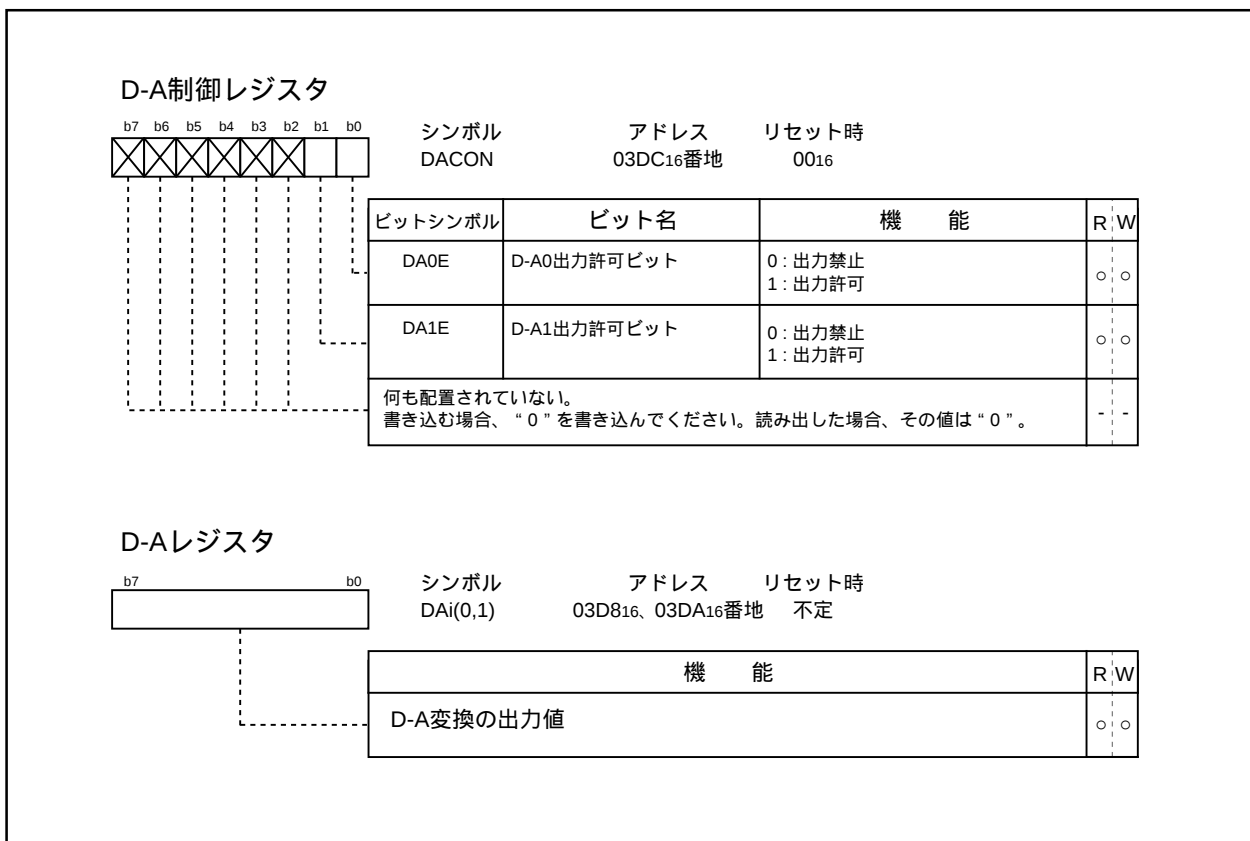


図1.18.2. D-A制御レジスタの構成

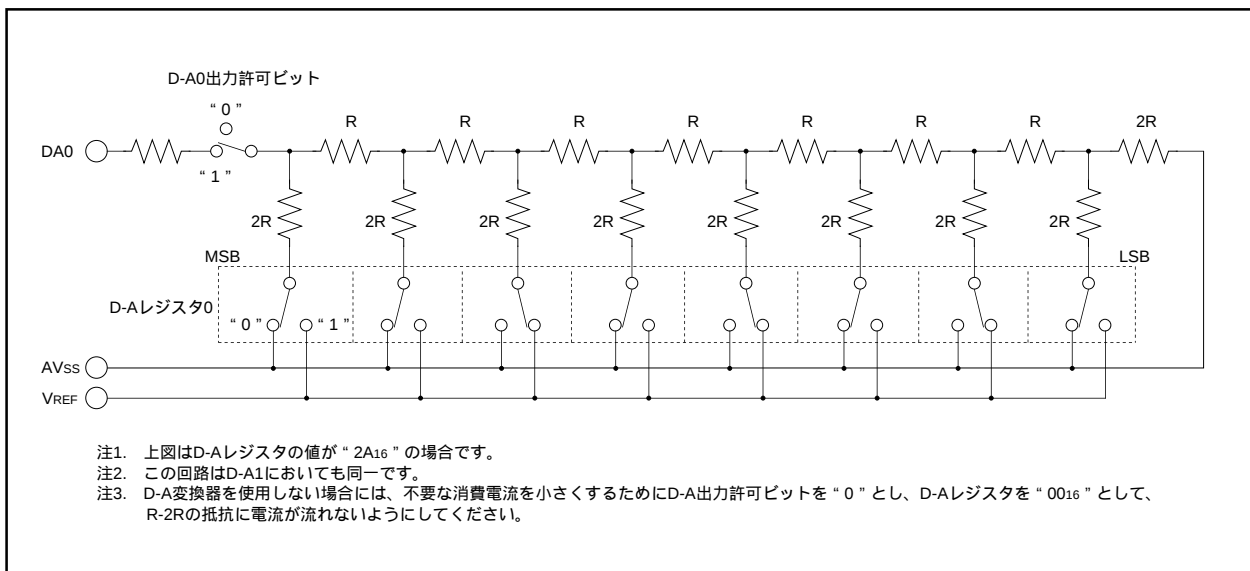


図1.18.3. D-A変換器の等価回路

CRC演算回路

CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図1.19.1にCRCのブロック図、図1.19.2にCRCの関連レジスタを示します。また、図1.19.3にCRC演算回路の演算例を示します。

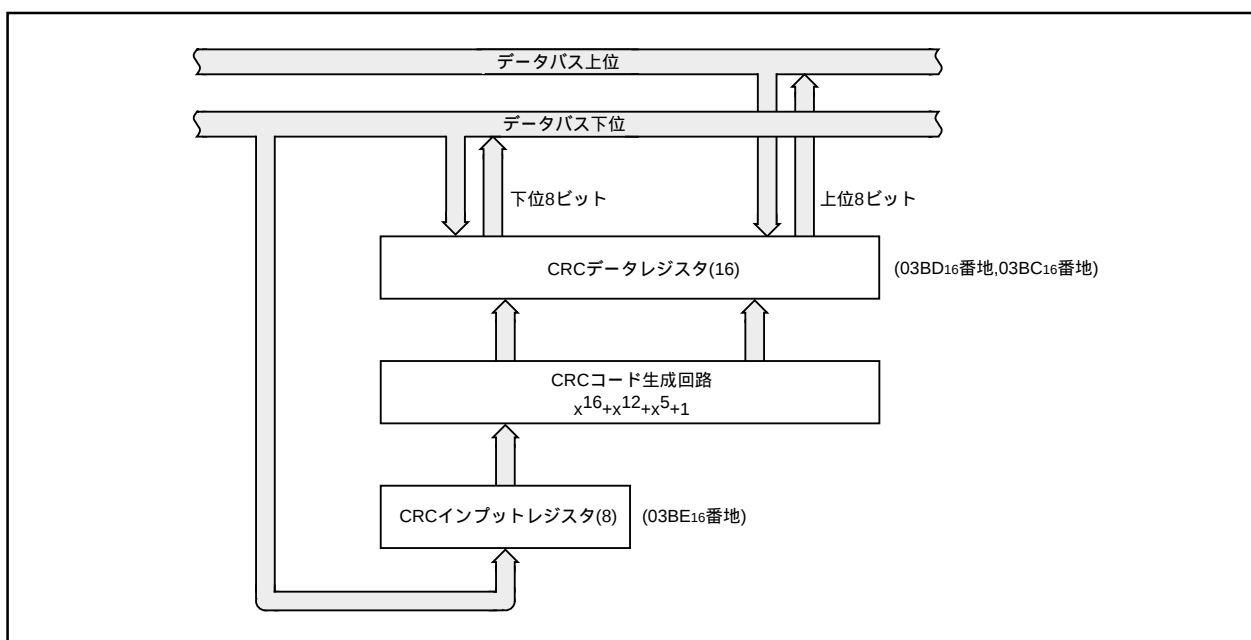


図1.19.1. CRCブロック図

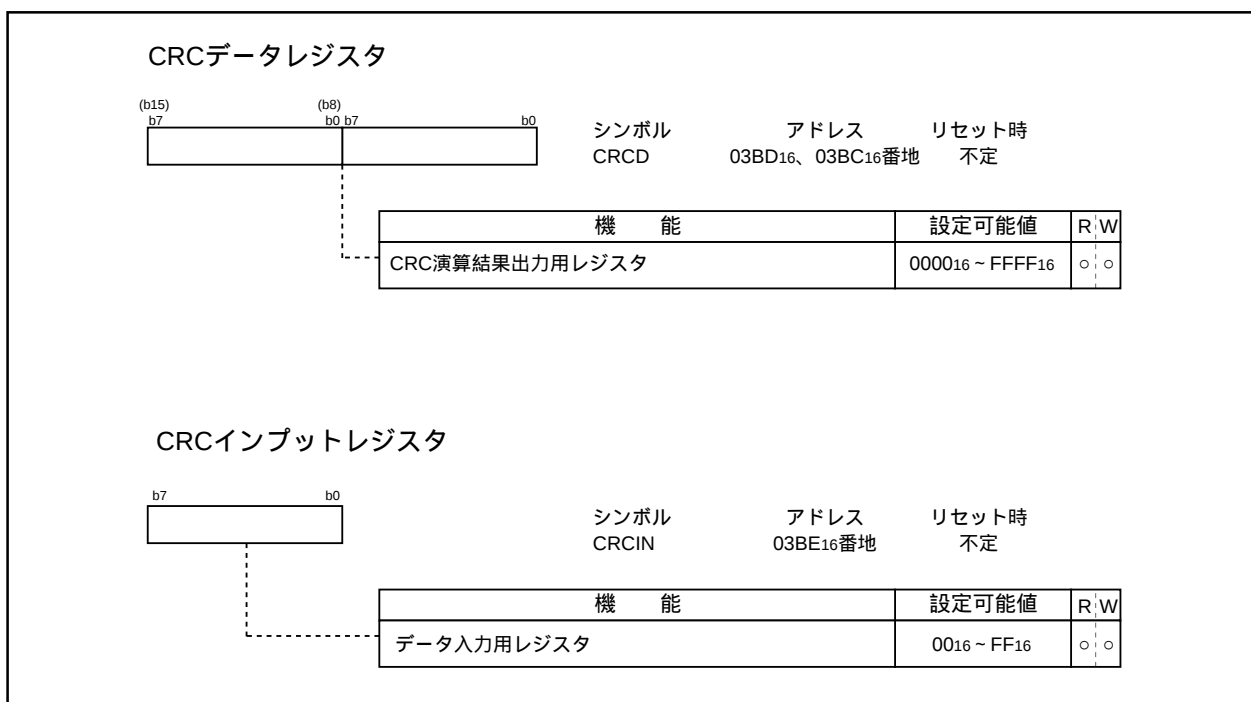


図1.19.2. CRC関連レジスタ

CRC演算回路

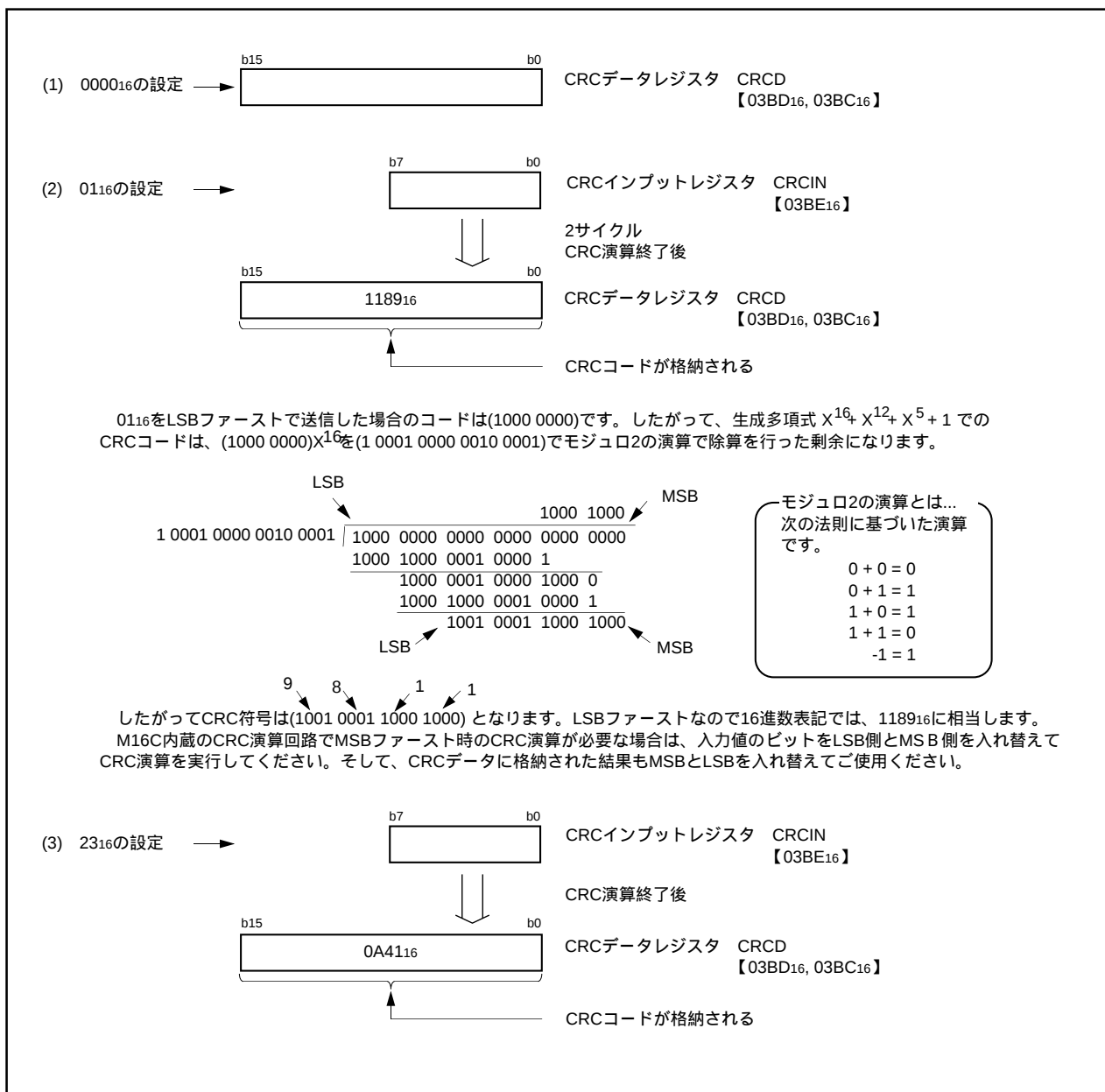


図1.19.3. CRC演算回路の演算例

プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P85は除く)の87本あります。各ポートの入出力は、[方向レジスタ](#)によって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、[図1.20.1～図1.20.4](#)に、端子の構成を、[図1.20.5](#)に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、[図1.20.6](#)に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています(注1)。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、RD、WRL / $\overline{\text{WR}}$ 、WRH / $\overline{\text{BHE}}$ 、ALE、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、HLDA、BCLKに設定している端子の方向レジスタの内容は変更できません。

注1. P85の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、[図1.20.7](#)に示します。

外部とのデータ入出力は、[ポートレジスタ](#)への書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、RD、WRL / $\overline{\text{WR}}$ 、WRH / $\overline{\text{BHE}}$ 、ALE、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、HLDA、BCLKに設定している端子のポートレジスタの内容は変更できません。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、[図1.20.8](#)に示します。

[プルアップ制御レジスタ](#)によって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

ただし、メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P40～P43、P5はプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

(4) ポート制御レジスタ

ポート制御レジスタの構成を、[図1.20.9](#)に示します。

ポートP1の読み出しに対して、[ポート制御レジスタのビット0](#)の値によって、以下のようになります。

0: 入力ポートのとき、端子の入力レベルを読み出す

出力ポートのとき、[ポートP1レジスタ](#)の内容を読み出す

1: 入力ポート/出力ポートにかかわらず、ポートP1レジスタの内容を読み出す

なお、マイクロプロセッサモード、メモリ拡張モード時で外部バス幅8ビット時や全空間マルチプレクスバス時などでポートP1がポートとして使用できる場合も、上記と同様に機能します。

ポート

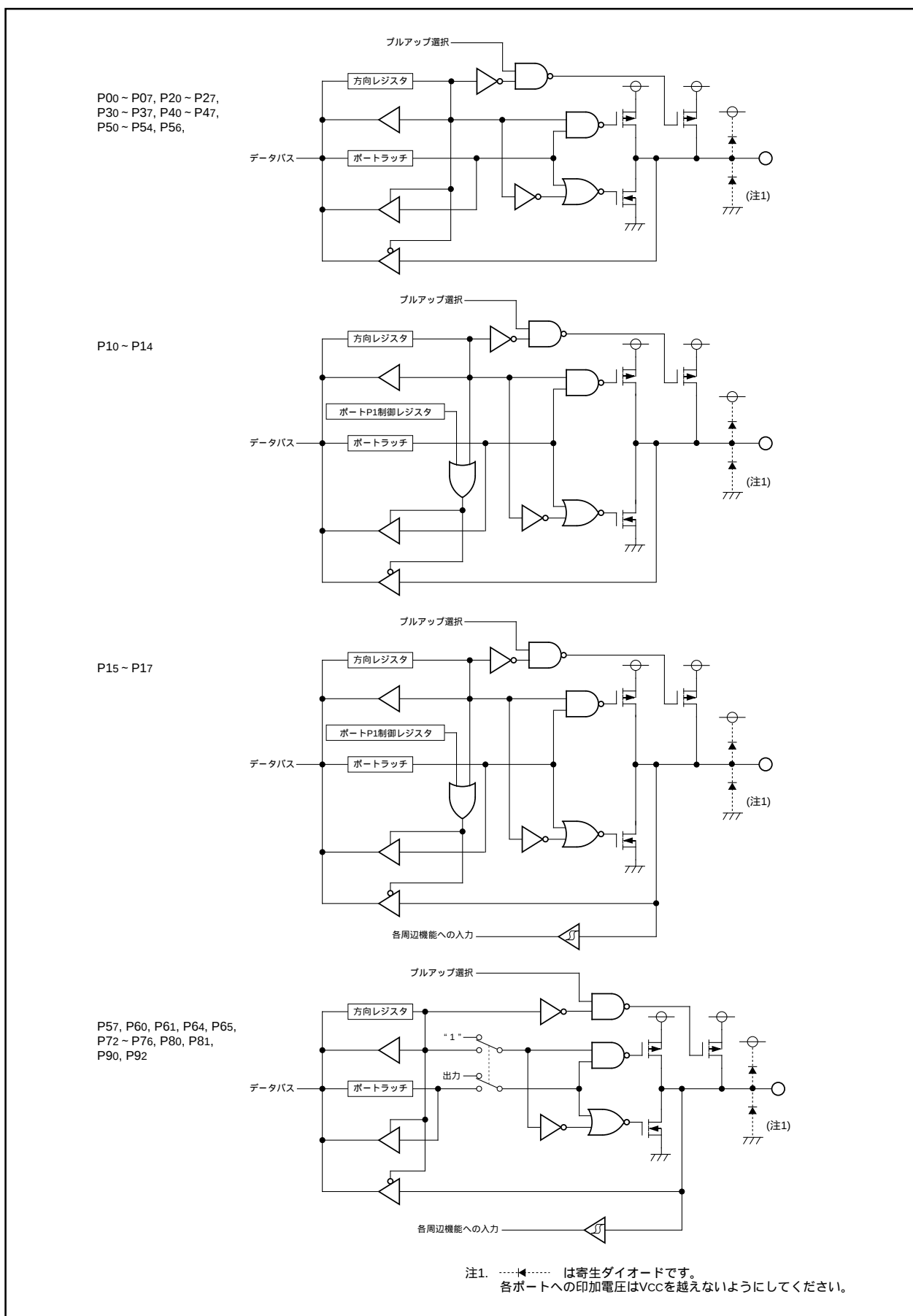


図1.20.1. プログラマブル入出力ポートの構成(1)

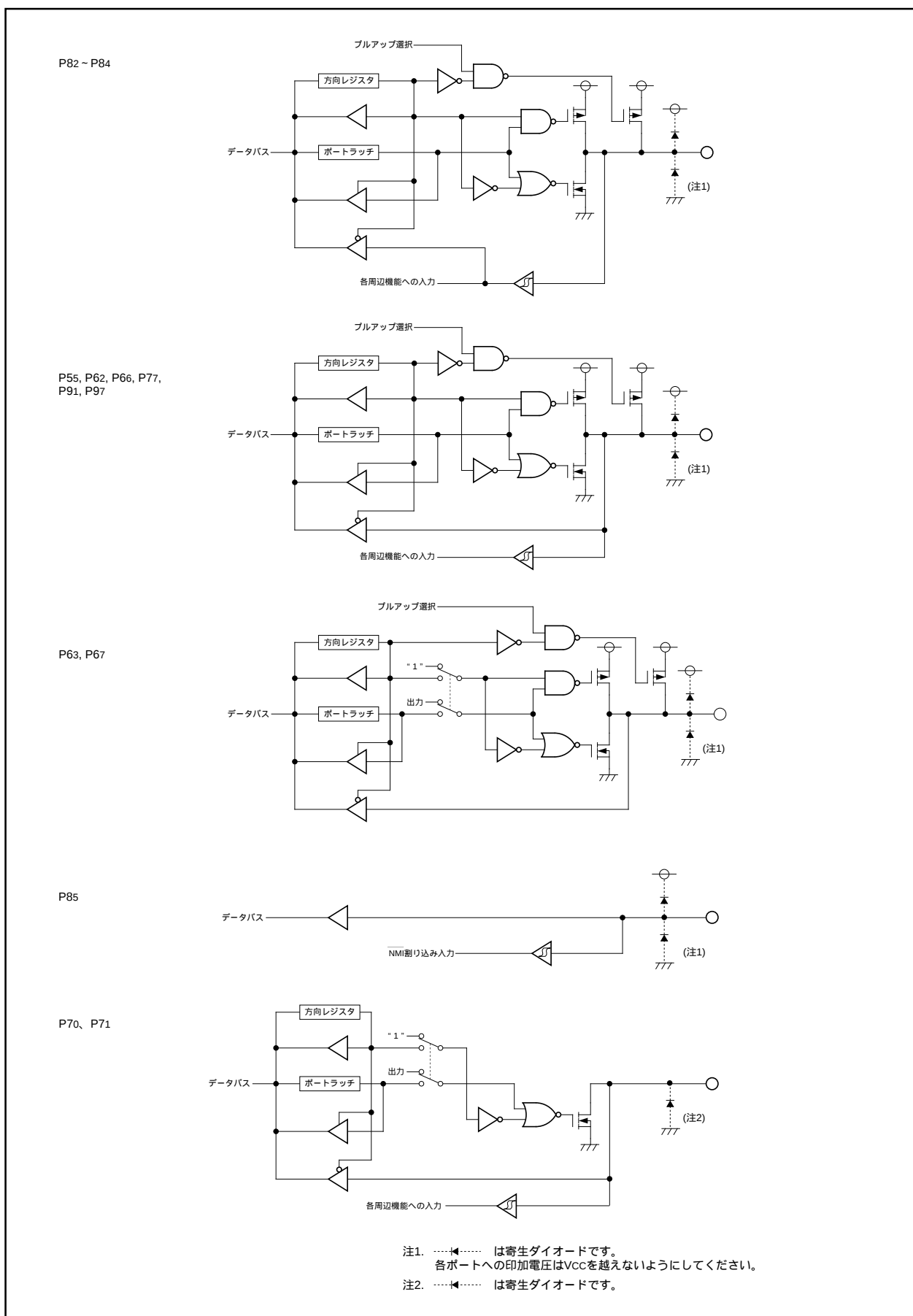


図1.20.2. プログラマブル入出力ポートの構成(2)

ポート

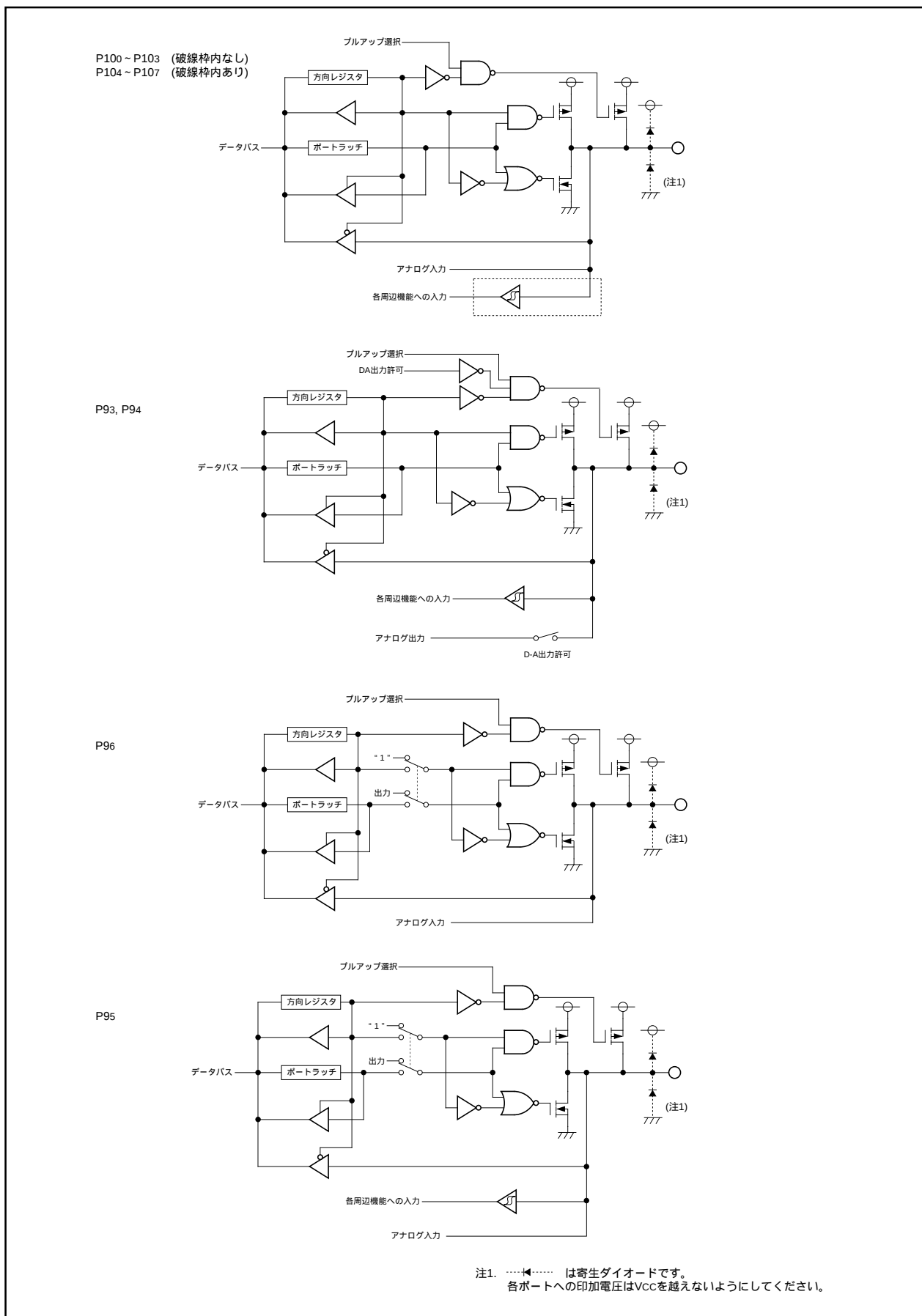
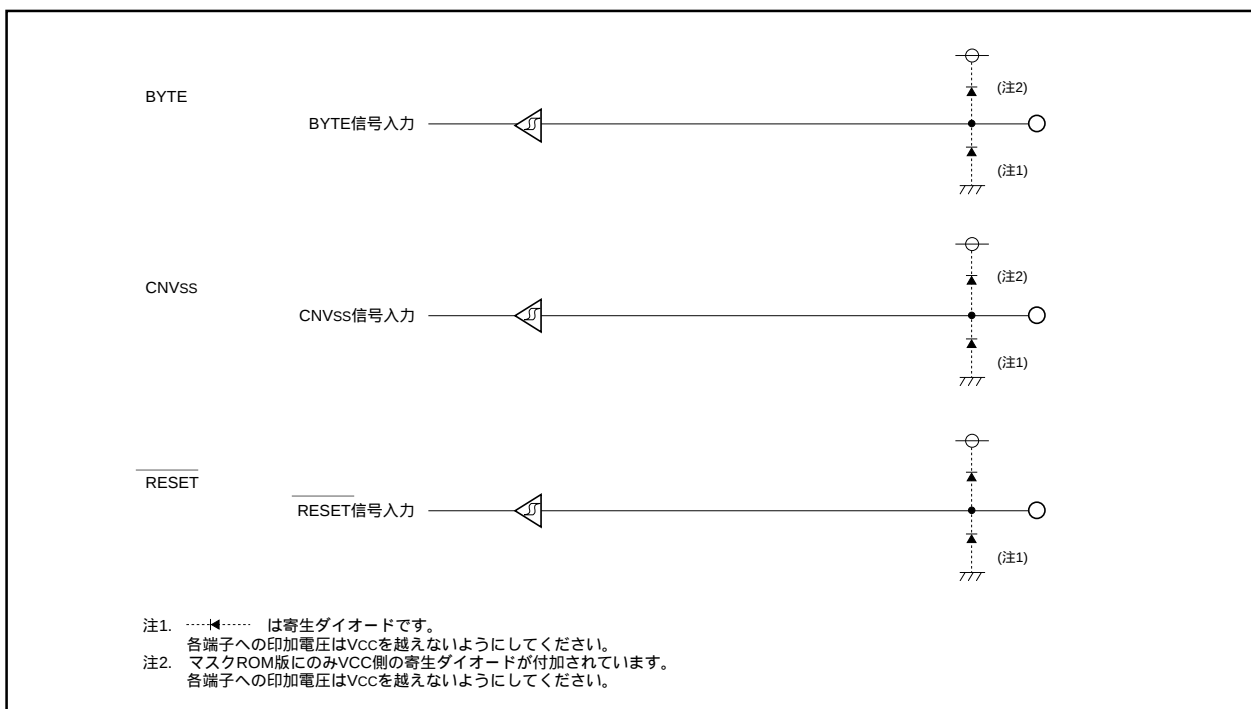
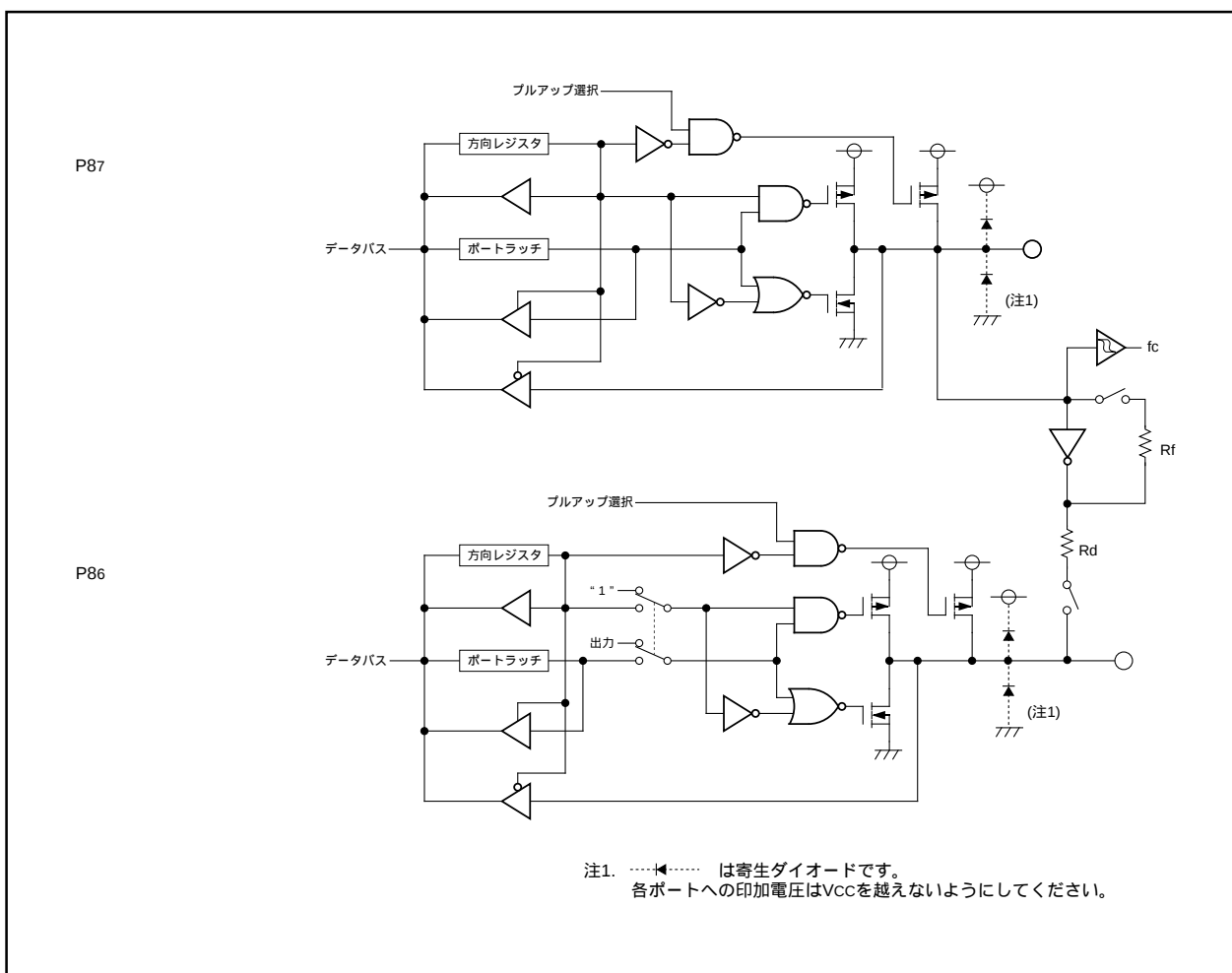


図1.20.3. プログラマブル入出力ポートの構成(3)



ポート

ポートPi方向レジスタ(注1、注2)

シンボル	アドレス	リセット時
PD _i (<i>i</i> =0 ~ 10 ただし8は除く)	03E216, 03E316, 03E616, 03E716, 03EA16番地 03EB16, 03EE16, 03EF16, 03F316, 03F616番地	0016

ビットシンボル	ビット名	機 能	R/W
PD _i _0	ポートPi ₀ 方向レジスタ	0 : 入力モード (入力ポートとして機能) 1 : 出力モード (出力ポートとして機能) (<i>i</i> =0 ~ 10 ただし8は除く)	○ ○
PD _i _1	ポートPi ₁ 方向レジスタ		○ ○
PD _i _2	ポートPi ₂ 方向レジスタ		○ ○
PD _i _3	ポートPi ₃ 方向レジスタ		○ ○
PD _i _4	ポートPi ₄ 方向レジスタ		○ ○
PD _i _5	ポートPi ₅ 方向レジスタ		○ ○
PD _i _6	ポートPi ₆ 方向レジスタ		○ ○
PD _i _7	ポートPi ₇ 方向レジスタ		○ ○

注1. ポートP9方向レジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット2に“1”を設定してください。

注2. メモリ拡張モード時またはマイクロプロセッサモード時、A₀ ~ A₁₉、D₀ ~ D₁₅、CS₀ ~ CS₃、RD、WRL / WR、WRH / BHE、ALE、RDY、HOLD、HLDA、BCLKに設定している端子のポートPi方向レジスタの内容は変更できません。

ポートP8方向レジスタ

シンボル	アドレス	リセット時
PD8	03F216番地	00X000002

ビットシンボル		ビット名	機 能	R/W
	PD8_0	ポートP80方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○ ○
	PD8_1	ポートP81方向レジスタ		○ ○
	PD8_2	ポートP82方向レジスタ		○ ○
	PD8_3	ポートP83方向レジスタ		○ ○
	PD8_4	ポートP84方向レジスタ		○ ○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				- -
	PD8_6	ポートP86方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○ ○
	PD8_7	ポートP87方向レジスタ		○ ○

図1.20.6. 方向レジスタの構成

ポート

ポートPiレジスタ(注2)

シンボル	アドレス	リセット時
Pi(i=0 ~ 10 ただし8は除く)	03E0 ₁₆ , 03E1 ₁₆ , 03E4 ₁₆ , 03E5 ₁₆ , 03E8 ₁₆ 番地 03E9 ₁₆ , 03EC ₁₆ , 03ED ₁₆ , 03F1 ₁₆ , 03F4 ₁₆ 番地	不定 不定

ビットシンボル	ビット名	機 能	R/W
Pi_0	ポートPi ₀ レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0: “L” レベル 1: “H” レベル(注1) (i=0 ~ 10 ただし8は除く)	○ ○
Pi_1	ポートPi ₁ レジスタ		○ ○
Pi_2	ポートPi ₂ レジスタ		○ ○
Pi_3	ポートPi ₃ レジスタ		○ ○
Pi_4	ポートPi ₄ レジスタ		○ ○
Pi_5	ポートPi ₅ レジスタ		○ ○
Pi_6	ポートPi ₆ レジスタ		○ ○
Pi_7	ポートPi ₇ レジスタ		○ ○

注1. P7₀、P7₁はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。

注2. メモリ拡張モード時またはマイクロプロセッサモード時、A₀ ~ A₁₉、D₀ ~ D₁₅、CS₀ ~ CS₃、RD、WRL / WR、WRH / BHE、ALE、RDY、HOLD、HLDA、BCLKに設定している端子のポートPiレジスタの内容は変更できません。

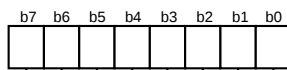
ポートP8レジスタ

シンボル	アドレス	リセット時
P8	03F0 ₁₆ 番地	不定

ビットシンボル	ビット名	機 能	R/W
P8_0	ポートP8 ₀ レジスタ	対応するビットの読み出し、および書き込み(ただしP8 ₅ は除く)で対応する端子のデータ入出力を行う 0: “L” レベル 1: “H” レベル	○ ○
P8_1	ポートP8 ₁ レジスタ		○ ○
P8_2	ポートP8 ₂ レジスタ		○ ○
P8_3	ポートP8 ₃ レジスタ		○ ○
P8_4	ポートP8 ₄ レジスタ		○ ○
P8_5	ポートP8 ₅ レジスタ		○ ×
P8_6	ポートP8 ₆ レジスタ		○ ○
P8_7	ポートP8 ₇ レジスタ		○ ○

図1.20.7. ポートレジスタの構成

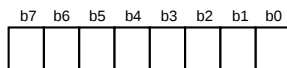
プルアップ制御レジスタ0(注1)

シンボル
PUR0アドレス
03FC₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
PU00	P00 ~ P03のプルアップ	対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり	○	○
PU01	P04 ~ P07のプルアップ		○	○
PU02	P10 ~ P13のプルアップ		○	○
PU03	P14 ~ P17のプルアップ		○	○
PU04	P20 ~ P23のプルアップ		○	○
PU05	P24 ~ P27のプルアップ		○	○
PU06	P30 ~ P33のプルアップ		○	○
PU07	P34 ~ P37のプルアップ		○	○

注1. メモリ拡張モード時またはマイクロプロセッサモード時、このレジスタの内容は変更できませんが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ1

シンボル
PUR1アドレス
03FD₁₆番地リセット時
00₁₆ (注2)

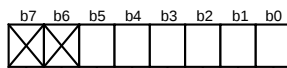
ビットシンボル	ビット名	機 能	R	W
PU10	P40 ~ P43のプルアップ(注3)	対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり	○	○
PU11	P44 ~ P47のプルアップ		○	○
PU12	P50 ~ P53のプルアップ(注3)		○	○
PU13	P54 ~ P57のプルアップ		○	○
PU14	P60 ~ P63のプルアップ		○	○
PU15	P64 ~ P67のプルアップ		○	○
PU16	P72 ~ P73のプルアップ (注1)		○	○
PU17	P74 ~ P77のプルアップ		○	○

注1. P70、P71はNチャネルオープンドレインポートのため、プルアップはありません。

注2. CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります(PU11が“1”になります)。

注3. メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更できませんが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ2

シンボル
PUR2アドレス
03FE₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
PU20	P80～P83のプルアップ	対応するポートのプルアップの設定 を行う 0：プルアップなし 1：プルアップあり	○	○
PU21	P84～P87のプルアップ (ただしP85は除く)		○	○
PU22	P90～P93のプルアップ		○	○
PU23	P94～P97のプルアップ		○	○
PU24	P100～P103のプルアップ		○	○
PU25	P104～P107のプルアップ		○	○
何も配置されていない。			-	-
書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			-	-

図1.20.8. プルアップ制御レジスタの構成

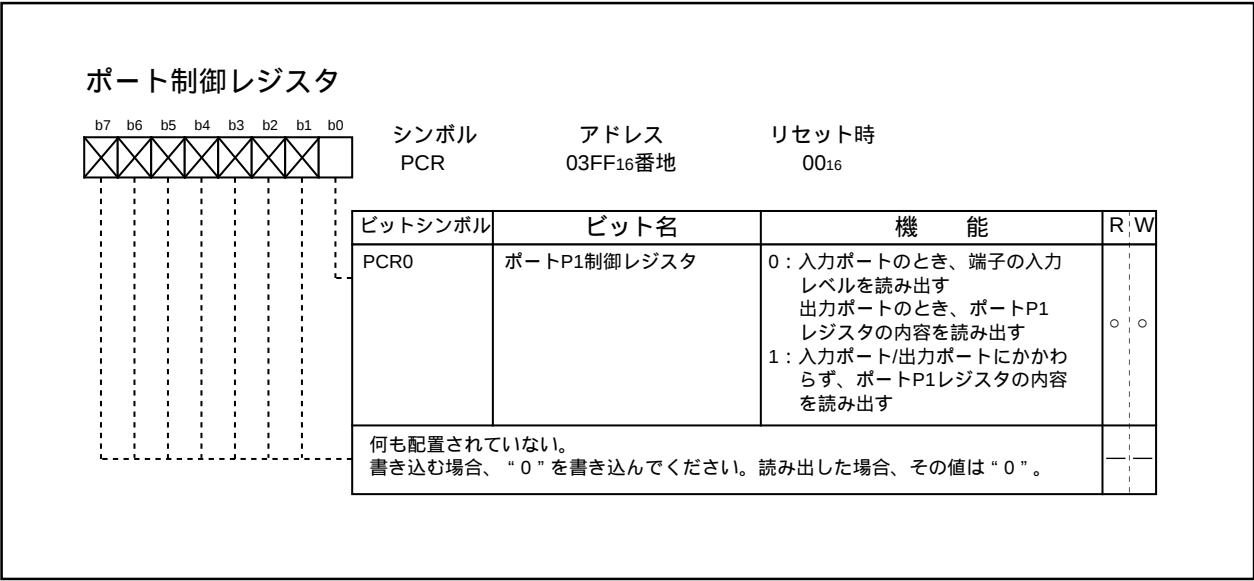


図1.20.9. ポート制御レジスタの構成

ポート

表1.20.1. シングルチップモード時の未使用端子の処理例

端 子 名	処 理 内 容
ポートP0～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注1)	開放
NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, BYTE	Vssに接続

注1. XIN端子に外部クロックを入力しているとき

表1.20.2. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端 子 名	処 理 内 容
ポートP6～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
P45/CS1～P47/CS3	ポートを入力モードに設定し、CS1～CS3出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
BHE, ALE, HLDA, XOUT(注1), BCLK(注2)	開放
HOLD, RDY, NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF	Vssに接続

注1. XIN端子に外部クロックを入力しているとき

注2. BCLK出力禁止ビット(0004₁₆番地のビット7)に“1”を設定した場合、抵抗を介してVccに接続(プルアップ)してください。

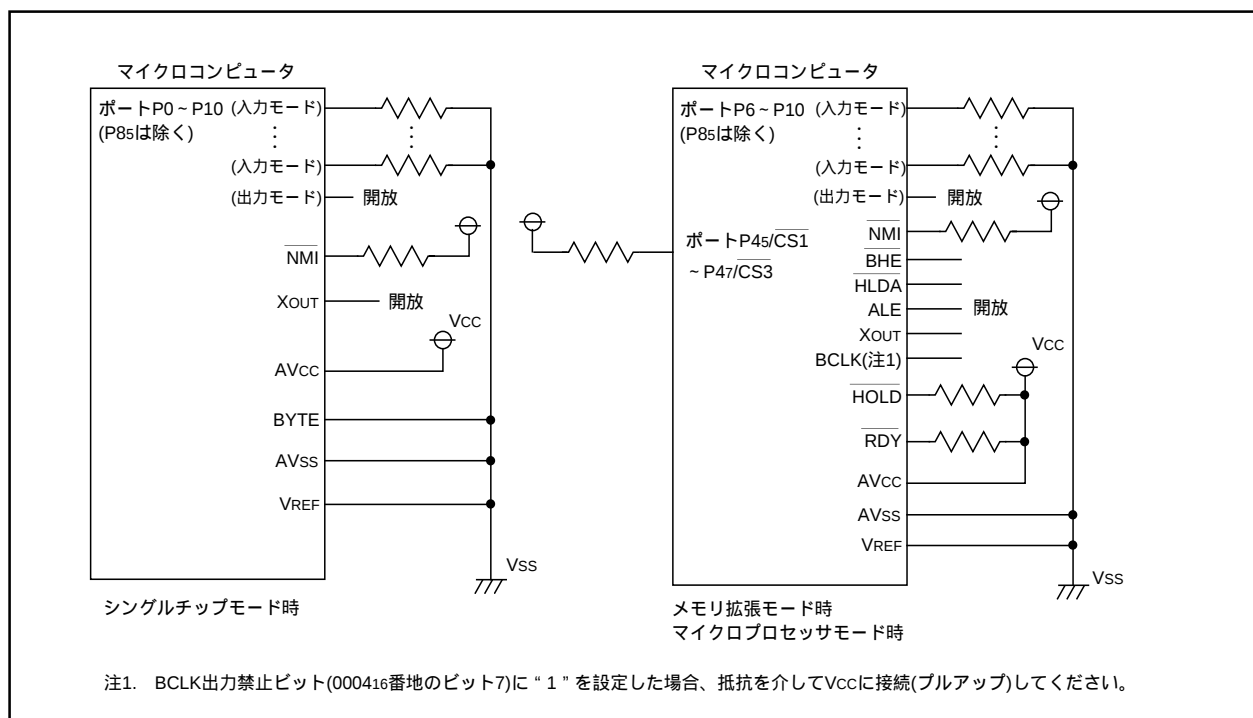


図1.20.10. 未使用端子の処理例

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書
- (2) マーク指定書
- (3) ROMのデータ…………… フロッピーディスク*

*3.5インチ2HD(IBMフォーマット)で1枚準備してください。

電気的特性

表1.23.1. 絶対最大定格

記 号	項 目		条 件	定 格 値	単位
Vcc	電源電圧		Vcc=AVcc	−0.3 ~ 6.5	V
AVcc	アナログ電源電圧		Vcc=AVcc	−0.3 ~ 6.5	V
Vi	入力電圧	RESET, CNVss, BYTE, P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, VREF, XIN		−0.3 ~ Vcc+0.3 (注1)	V
		P70, P71		−0.3 ~ 6.5	V
Vo	出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, XOUT		−0.3 ~ Vcc+0.3	V
		P70, P71		−0.3 ~ 6.5	V
Pd	消費電力		Topr=25	300	mW
Topr	動作周囲温度			−20 ~ 85 / - 40 ~ 85 (注1)	
Tstg	保存温度			−65 ~ 150	

注1. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

電氣的特性

表1.23.2. 推奨動作条件(指定のない場合は、Vcc=2.7V~5.5V, Topr= - 20 ~ 85 / - 40 ~ 85 (注3))

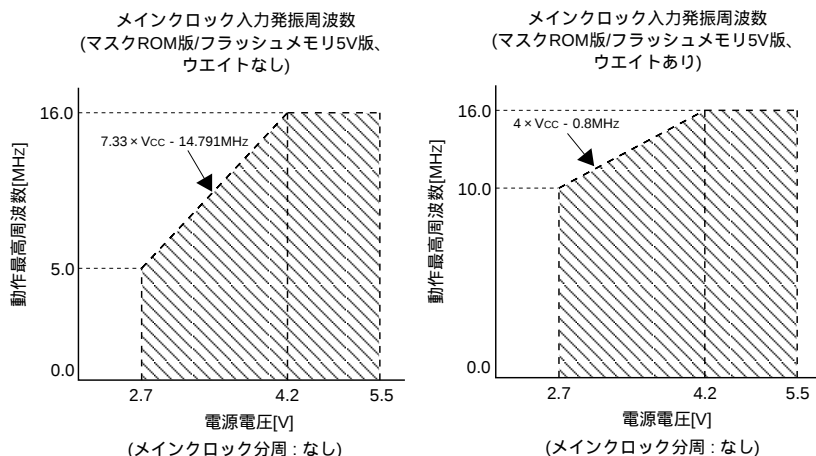
記 号	項 目				規 格 値			単位
					最 小	標 準	最 大	
Vcc	電源電圧				2.7	5.0	5.5	V
AVcc	アナログ電源電圧					Vcc		V
Vss	電源電圧					0		V
AVss	アナログ電源電圧					0		V
VIH	"H"入力電圧	P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE			0.8Vcc		Vcc	V
		P70, P71			0.8Vcc		6.5	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時)			0.8Vcc		Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)			0.5Vcc		Vcc	V
VIL	"L "入力電圧	P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE			0		0.2Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時)			0		0.2Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)			0		0.16Vcc	V
IOH (peak)	"H"尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107					- 10.0	mA
IOH (avg)	"H"平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107					- 5.0	mA
IOL (peak)	"L "尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107					10.0	mA
IOL (avg)	"L "平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107					5.0	mA
f (XIN)	メインクロック入力 発振周波数	ウェイトなし	マスクROM版	Vcc=4.2V ~ 5.5V	0		16	MHz
			フラッシュメモリ	Vcc=2.7V ~ 4.2V	0		7.33 × Vcc - 14.791	MHz
		ウェイトあり	マスクROM版	Vcc=4.2V ~ 5.5V	0		16	MHz
			フラッシュメモリ	Vcc=2.7V ~ 4.2V	0		4 X Vcc - 0.8	MHz
f (XCIN)	サブクロック発振周波数					32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P86~P87, P9, P10のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, P86~P87, P9, P10のIOH(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80~P84のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P72~P77, P80~P84のIOH(peak)の合計は80mA以下にしてください。

注3. - 40 ~ 85 品をご使用になる場合はそのむねご指定ください。

注4. メインクロック入力周波数と電源電圧の関係を以下に示します。



注5. ウェイトなしの場合、フラッシュメモリの書き込み/消去は、Vcc=4.2V~5.5V、f(BCLK) 6.25MHzで実行してください。ウェイトありの場合、フラッシュメモリの書き込み/消去は、Vcc=4.2V~5.5V、f(BCLK) 12.5MHzで実行してください。

電気的特性

表1.23.3. A-D変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=2.7V \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_{opr} = -20 \sim 85$ / $-40 \sim 85$ (注4))

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能	$V_{REF}=V_{CC}$			10	Bits
—	絶対精度	サンプル&ホールド機能なし	$V_{REF}=V_{CC}=5V$		± 3	LSB
		サンプル&ホールド機能あり(10bit)	$V_{REF}=V_{CC}=5V$	AN0 ~ AN7入力	± 3	LSB
				ANEX0, ANEX1入力、外部オペアンプ接続モード	± 7	LSB
		サンプル&ホールド機能あり(8bit)	$V_{REF}=V_{CC}=5V$		± 2	LSB
		サンプル&ホールド機能なし(8bit)	$V_{REF}=V_{CC}=3V$, $\phi_{AD}=f_{AD}/2$		± 2	LSB
RLADDER	ラダー抵抗	$V_{REF}=V_{CC}$	10		40	k Ω
t _{CONV}	変換時間(10bit), サンプル&ホールド機能あり	$V_{REF}=V_{CC}=5V$, $\phi_{AD}=10MHz$	3.3			μs
t _{CONV}	変換時間(8bit), サンプル&ホールド機能あり	$V_{REF}=V_{CC}=5V$, $\phi_{AD}=10MHz$	2.8			μs
t _{CONV}	変換時間(8bit), サンプル&ホールド機能なし	$V_{REF}=V_{CC}=3V$, $\phi_{AD}=f_{AD}/2=5MHz$	9.8			μs
t _{SAMP}	サンプリング時間		0.3			μs
V _{REF}	基準電圧		2.7		V _{CC}	V
V _{IA}	アナログ入力電圧		0		V _{REF}	V

注1. f(XIN)は表1.23.2の推奨動作条件で規定されるメインクロック入力発振周波数の範囲内にして下さい。

ただし、f(XIN)が10MHzを超える場合はf_{AD}を分周し、AD動作クロック周波数(ϕ_{AD})が10MHz以下になるようにして下さい。また、V_{CC}が4.2V未満の場合もf_{AD}を分周し、AD動作クロック周波数(ϕ_{AD})がf_{AD}/2以下になるようにして下さい。

注2. サンプル&ホールド機能なしの時は、注1の制限に加えAD動作クロック ϕ_{AD} の周波数は250kHz以上にしてください。

サンプル&ホールド機能ありの時は、注1の制限に加えAD動作クロック ϕ_{AD} の周波数は1MHz以上にしてください。

注3. AV_{CC}端子はV_{CC}端子に接続し同一電位を与えてください。

注4. $-40 \sim 85$ 品をご使用になる場合は、そのむねをご指定ください。

表1.23.4. D-A変換特性(指定のない場合は、 $V_{CC}=V_{REF}=2.7V \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_{opr} = -20 \sim 85$ / $-40 \sim 85$ (注2))

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t _{su}	設定時間				3	μs
R _O	出力抵抗		4	10	20	k Ω
I _{VREF}	基準電源入力電流	(注1)			1.5	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“00₁₆”の場合です。

A-D変換器のラダー抵抗分は除きます。

また、DAレジスタの内容が“00”以外の場合A-D制御レジスタでV_{ref}未接続としても、I_{VREF}は流れます。

注2. $-40 \sim 85$ 品をご使用になる場合は、そのむねをご指定ください。

表1.23.5. フラッシュメモリの電気的特性 (指定のない場合は、 $V_{CC}=4.2V \sim 5.5V$, $T_{opr}=0 \sim 60$)

項 目	規 格 値			単位
	最 小	標 準	最 大	
ページプログラム時間		6	120	ms
ブロックイレース時間		50	600	ms
イレース全アンロックブロック時間		50 X n (注1)	600 X n (注1)	ms
ロックビットプログラム時間		6	120	ms

注1. nはイレースするブロック数です。

電气的特性 (VCC=5V)

VCC = 5V

表1.23.6. 電气的特性(指定のない場合は、VCC=4.2V ~ 5.5V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85

(注2), f(XIN)=16MHz)

記 号	項 目		測 定 条 件	規 格 値			単位
				最 小	標 準	最 大	
V _{OH}	"H"出力電圧 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P72 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107		I _{OH} =-5mA	3.0			V
V _{OH}	"H"出力電圧 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P72 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107		I _{OH} =-200 μ A	4.7			V
V _{OH}	"H"出力電圧 X _{OUT}	HIGHPOWER	I _{OH} =-1mA	3.0			V
		LOWPOWER	I _{OH} =-0.5mA	3.0			
	"H"出力電圧 X _{COUT}	HIGHPOWER	無負荷時		3.0		V
		LOWPOWER	無負荷時		1.6		
V _{OL}	"L"出力電圧 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P70 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107		I _{OL} =5mA			2.0	V
V _{OL}	"L"出力電圧 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P70 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107		I _{OL} =200 μ A			0.45	V
V _{OL}	"L"出力電圧 X _{OUT}	HIGHPOWER	I _{OL} =1mA			2.0	V
		LOWPOWER	I _{OL} =0.5mA			2.0	
	"L"出力電圧 X _{COUT}	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5,NMI ADTRG, CTS0 ~ CTS2, SCL, SDA CLK0 ~ CLK4,TA2OUT ~ TA4OUT KI0 ~ KI3,RxD0 ~ RxD2,SIN3,SIN4		0.2		1.0	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2		1.8	V
I _{IH}	"H"入力電流 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P70 ~ P77,P80 ~ P87, P90 ~ P97,P100 ~ P107, XIN, RESET, CNVss, BYTE		V _I =5V			5.0	μ A
I _{IL}	"L"入力電流 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P70 ~ P77,P80 ~ P87, P90 ~ P97,P100 ~ P107, XIN, RESET, CNVss, BYTE		V _I =0V			-5.0	μ A
R _{PULLUP}	プルアップ抵抗 P00 ~ P07,P10 ~ P17,P20 ~ P27, P30 ~ P37,P40 ~ P47,P50 ~ P57, P60 ~ P67,P72 ~ P77,P80 ~ P84, P86,P87,P90 ~ P97,P100 ~ P107		V _I =0V	30.0	50.0	167.0	kΩ
R _{IXIN}	帰還抵抗 XIN				1.0		MΩ
R _{IXCIN}	帰還抵抗 XCIN				6.0		MΩ
V _{RAM}	RAM保持電圧		クロック停止時	2.0			V
I _{CC}	電源電流	シングルチップ モードで、出力 端子は開放、そ の 他 の 端 子 は Vss	マスクROM版	f(XIN)=16MHz 方形波、分周なし	30.0	50.0	mA
			フラッシュメモリ5V版	f(XIN)=16MHz 方形波、分周なし	32.5	50.0	mA
			マスクROM版	f(XCIN)=32kHz 方形波	90.0		μ A
			フラッシュメモリ5V版	f(XCIN)=32kHz 方形波、RAM上	90.0		μ A
			フラッシュメモリ5V版	f(XCIN)=32kHz 方形波、Flash上	2.2		mA
			フラッシュメモリ5V版 プログラム	f(XIN)=16MHz 方形波、4分周	25		mA
			フラッシュメモリ5V版 イレース	f(XIN)=16MHz 方形波、4分周	28		mA
				f(XCIN) = 32kHz ウエイト時(注1)	4.0	10 (室温)	μ A
			クロック停止時 T _{opr} =25			1.0	μ A
			クロック停止時 T _{opr} =85			20.0	

注1. fc32にてタイマ1本を動作させている状態です。

注2. - 40 ~ 85 品をご使用になる場合はそのむねご指定ください。

電気的特性 (V_{CC}=5V)V_{CC} = 5V

タイミング必要条件 (指定のない場合は、V_{CC}=5V, V_{SS}=0V, T_{opr}= - 20 ~ 85 / - 40 ~ 85 (°C))

・ - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.23.7. 外部クロック入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c	外部クロック入力サイクル時間	62.5		ns
t _w (H)	外部クロック入力 "H"パルス幅	25		ns
t _w (L)	外部クロック入力 "L" パルス幅	25		ns
t _r	外部クロック立ち上がり時間		15	ns
t _f	外部クロック立ち下がり時間		15	ns

表1.23.8. メモリ拡張およびマイクロプロセッサモード

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (ウエイトなし)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (ウエイトあり)		(注1)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{su} (DB-RD)	データ入力セットアップ時間	40		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	30		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	40		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (BCLK -RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間		40	ns

注 1 : BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1}(\text{RD} - \text{DB}) = \frac{10^9 \times 1}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

$$t_{ac2}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

$$t_{ac3}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 45 \text{ [ns]}$$

電気的特性 (VCC=5V)

VCC = 5V

タイミング必要条件 (指定のない場合は、VCC=5V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (°C))

・ - 40 ~ 85 °C品をご使用になる場合は、そのむねご指定ください。

表1.23.9. タイマA入力(イベントカウンタモードのカウンタ入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TA)	TAiIn入力サイクル時間	100		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	40		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	40		ns

表1.23.10. タイマA入力(タイマモードのゲーティング入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TA)	TAiIn入力サイクル時間	400		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	200		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	200		ns

表1.23.11. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TA)	TAiIn入力サイクル時間	200		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	100		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	100		ns

表1.23.12. タイマA入力(パルス幅変調モードの外部トリガ入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _w (TAH)	TAiIn入力 "H" パルス幅	100		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	100		ns

表1.23.13. タイマA入力(イベントカウンタモードのアップダウン入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (UP)	TAiOUT入力サイクル時間	2000		ns
t _w (UPH)	TAiOUT入力 "H" パルス幅	1000		ns
t _w (UPL)	TAiOUT入力 "L" パルス幅	1000		ns
t _{su} (UP-TiN)	TAiOUT入力セットアップ時間	400		ns
t _h (TiN-UP)	TAiOUT入力ホールド時間	400		ns

電気的特性 (V_{CC}=5V)V_{CC} = 5Vタイミング必要条件 (指定のない場合は、V_{CC}=5V, V_{SS}=0V, T_{opr}= - 20 ~ 85 / - 40 ~ 85 (°C))

. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.23.14. タイマB入力(イベントカウンタモードのカウント入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TB)	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(片エッジカウント)	40		ns
t _c (TB)	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(両エッジカウント)	80		ns

表1.23.15. タイマB入力(パルス周期測定モード)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TB)	TBiIN入力サイクル時間	400		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	200		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	200		ns

表1.23.16. タイマB入力(パルス幅測定モード)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TB)	TBiIN入力サイクル時間	400		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	200		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	200		ns

表1.23.17. A-Dトリガ入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (AD)	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
t _w (ADL)	ADTRG入力 "L" パルス幅	125		ns

表1.23.18. シリアルI/O

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (CK)	CLKi入力サイクル時間	200		ns
t _w (CKH)	CLKi入力 "H" パルス幅	100		ns
t _w (CKL)	CLKi入力 "L" パルス幅	100		ns
t _d (C-Q)	TxDi出力遅延時間		80	ns
t _h (C-Q)	TxDiホールド時間	0		ns
t _{su} (D-C)	RxDi入力セットアップ時間	30		ns
t _h (C-D)	RxDi入力ホールド時間	90		ns

表1.23.19. 外部割り込みINTi入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _w (INH)	INTi入力 "H" パルス幅	250		ns
t _w (INL)	INTi入力 "L" パルス幅	250		ns

電氣的特性 (VCC=5V)

VCC = 5V

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注3), CM15= “ 1 ”)

表1.23.20. メモリ拡張モードおよびマイクロプロセッサモード(ウェイトなしの場合)

記 号	項 目	測 定 条 件	規 格 値		単位
			最 小	最 大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.1		25	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			25	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 40 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1kΩとすると、

出力 “ L ” レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$

となります。

注3. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

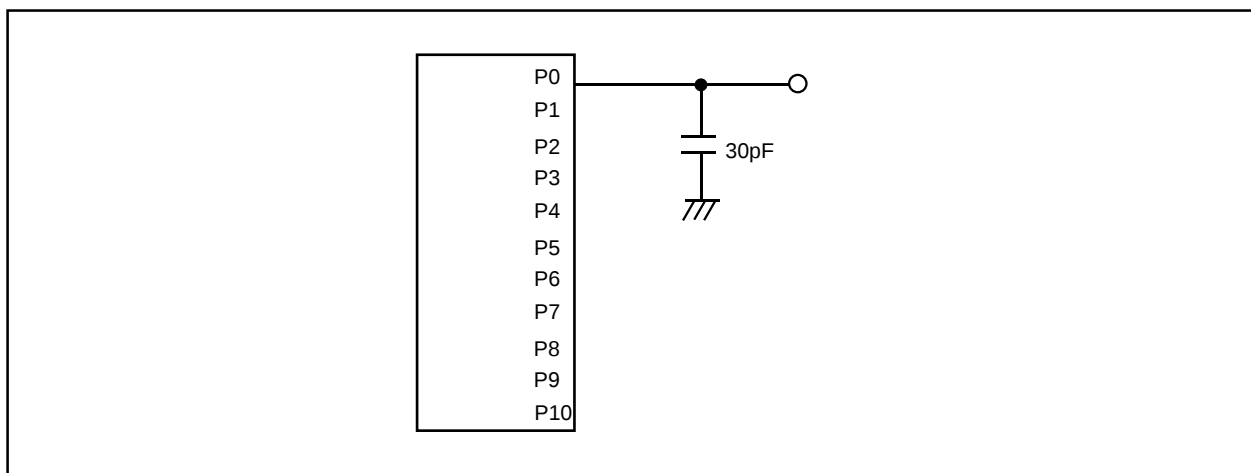
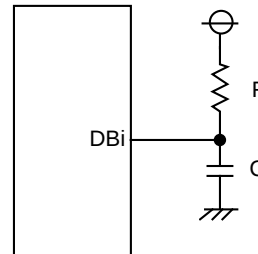


図1.23.1. ポートP0～P10の測定回路

電气的特性 (V_{CC}=5V)V_{CC} = 5V

スイッチング特性

(指定のない場合は、V_{CC}=5V, V_{SS}=0V, T_{opr}= - 20 ~ 85 / - 40 ~ 85 (注3), CM15= “ 1 ”)

表1.23.21. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスした場合)

記 号	項 目	測 定 条 件	規 格 値		単位
			最 小	最 大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.1		25	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			25	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 40 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

で表されます。

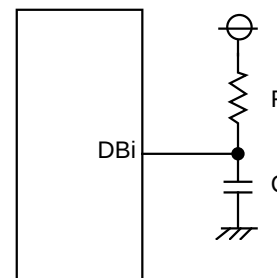
例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1kΩとすると、

出力 “ L ” レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$

となります。

注3. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。



電氣的特性 (VCC=5V)

VCC = 5V

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注2), CM15= “ 1 ”)

表1.23.22. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記 号	項 目	測 定 条 件	規 格 値		単位
			最 小	最 大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.1		25	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			25	ns
t _h (BCLK-ALE)	ALE出力保持時間 (BCLK基準)		- 4		ns
t _d (AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
t _h (ALE-AD)	ALE出力保持時間 (アドレス基準)		30		ns
t _d (AD-RD)	アドレス後RD信号出力遅延時間		0		ns
t _d (AD-WR)	アドレス後WR信号出力遅延時間		0		ns
t _{dZ} (RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_h(RD - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$t_h(WR - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$t_h(RD - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$t_h(WR - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$t_d(DB - WR) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 40 \quad [ns]$$

$$t_h(WR - DB) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$t_d(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 25 \quad [ns]$$

注2. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

タイミング(VCC=5V)

VCC = 5V用

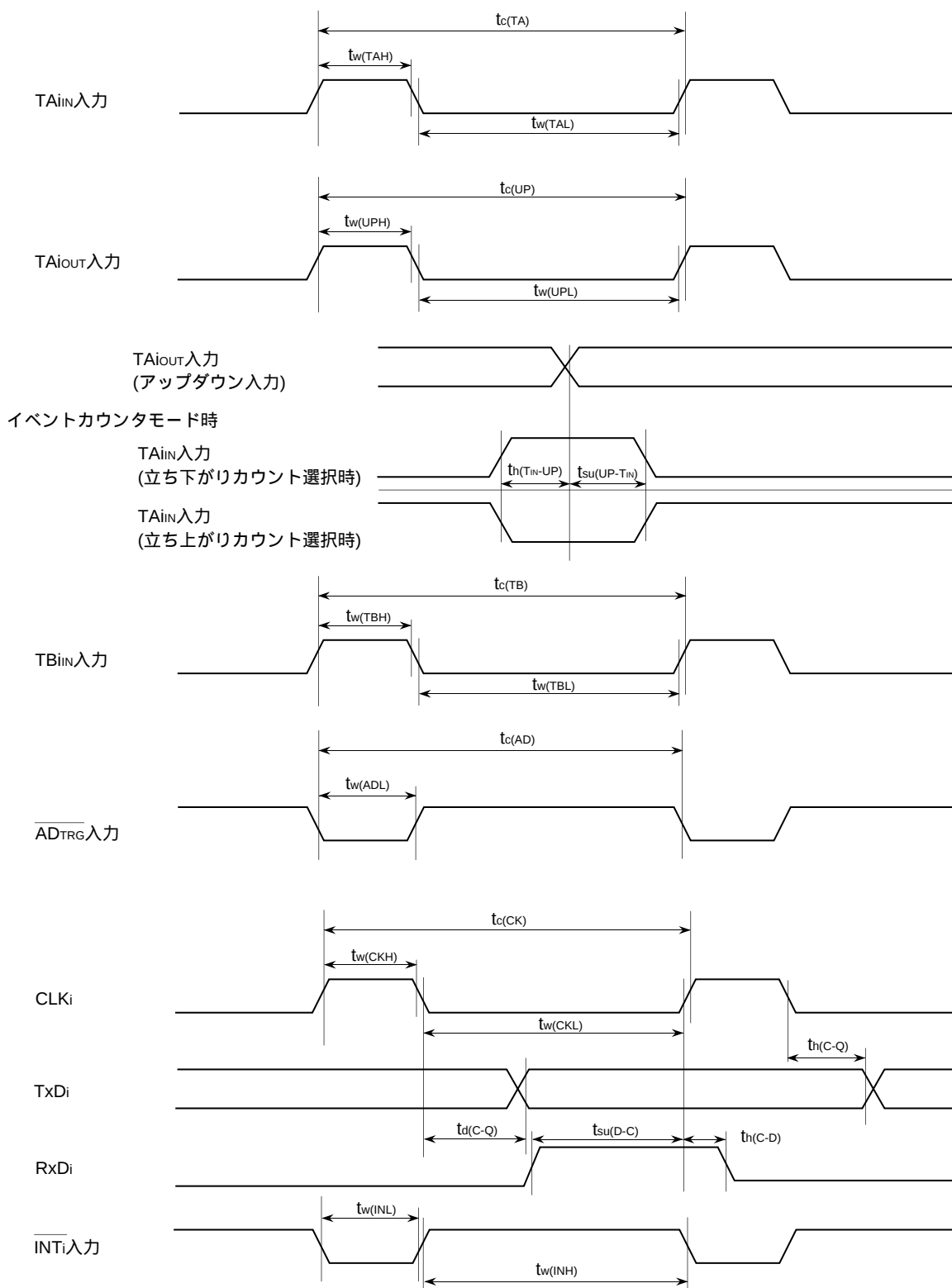


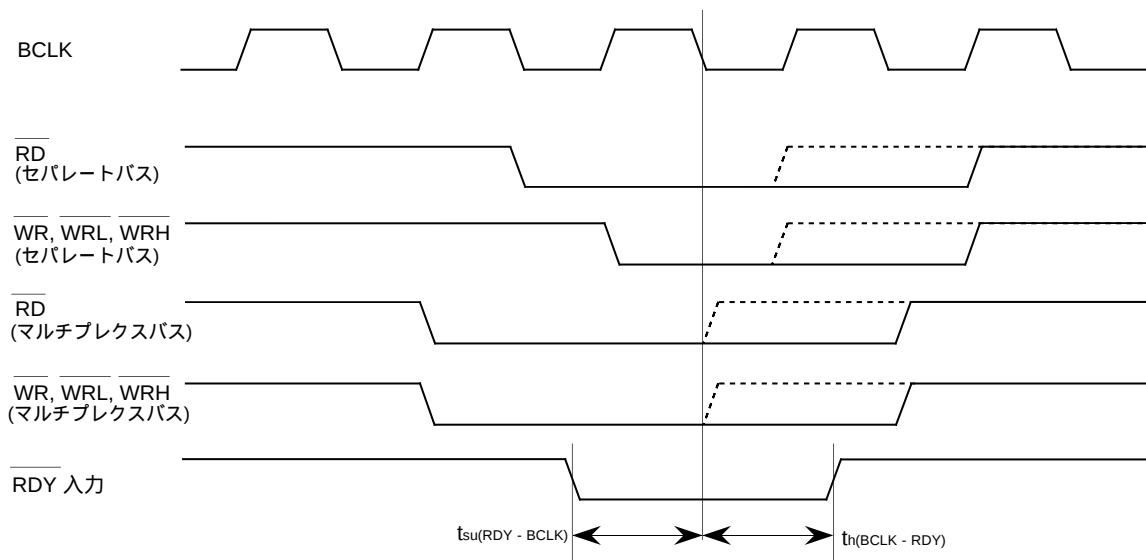
図1.23.2. VCC=5V用タイミング図(1)

タイミング(VCC=5V)

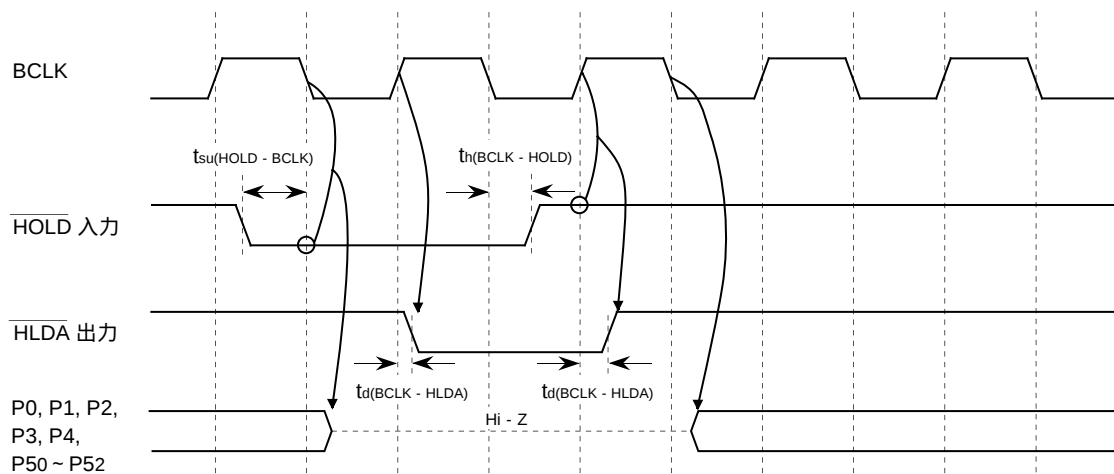
VCC = 5V用

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポートP4₀ ~ P4₃機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

測定条件

- ・ VCC=5V
- ・ 入力タイミング電圧 : V_{IL}=1.0V, V_{IH}=4.0V
- ・ 出力タイミング電圧 : V_{OL}=2.5V, V_{OH}=2.5V

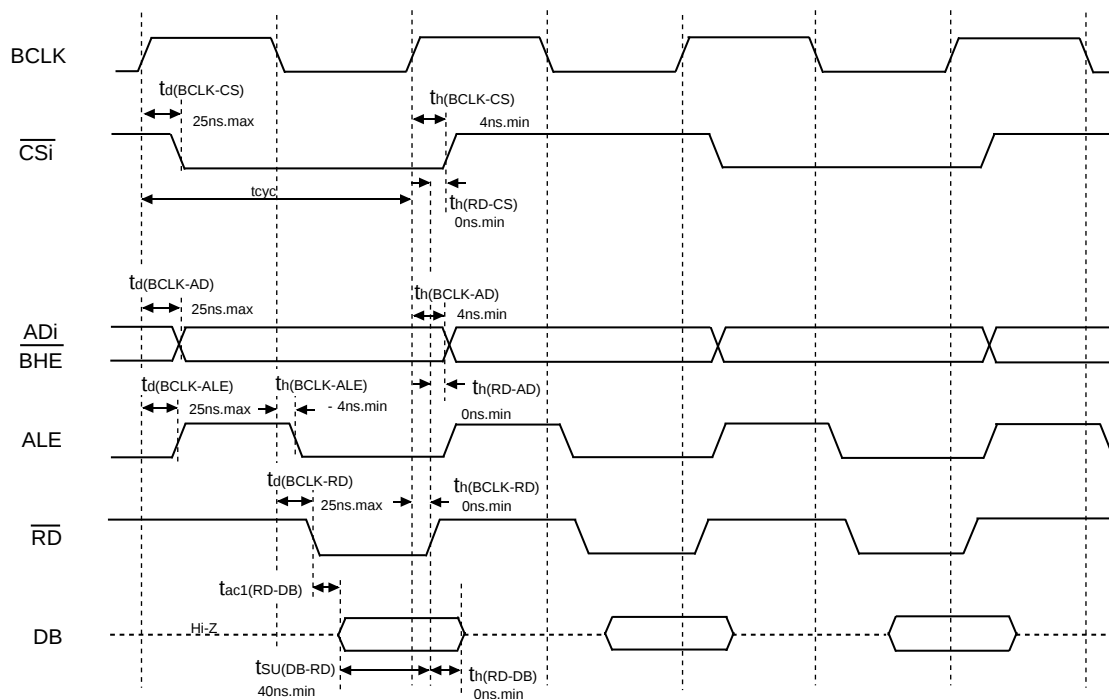
図1.23.3. VCC=5V用タイミング図(2)

タイミング(Vcc=5V)

Vcc = 5V用

メモリ拡張モードおよびマイクロプロセッサモード(ウェイトなしの場合)

読み出しタイミング



書き込みタイミング

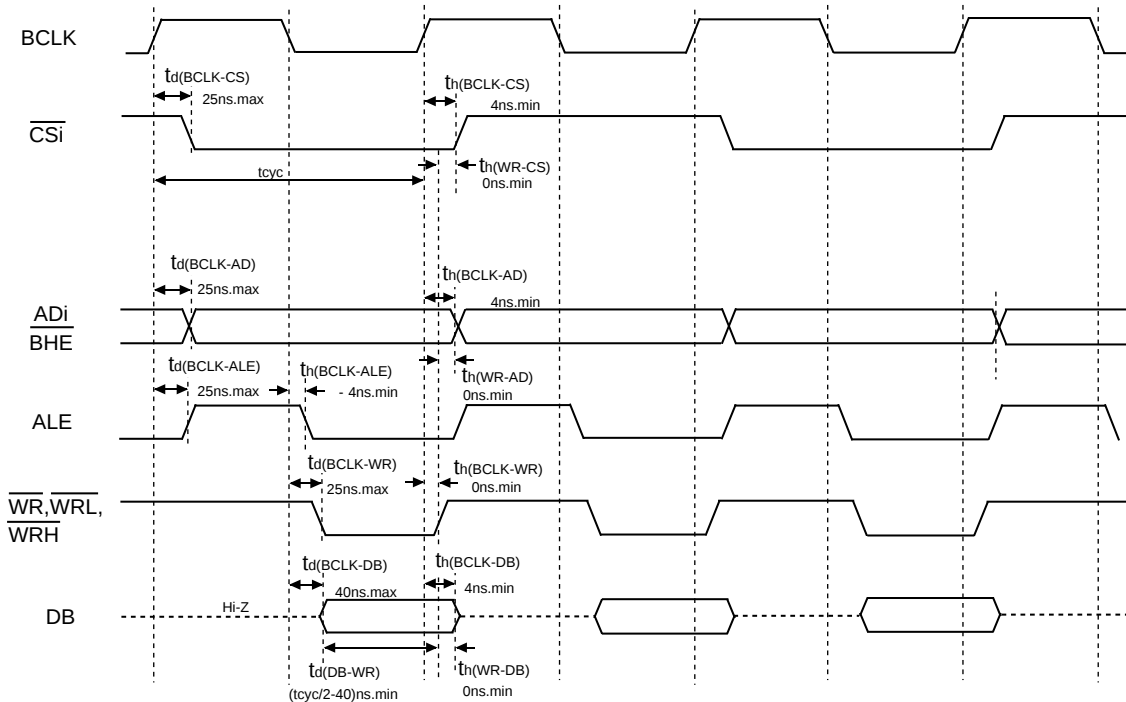


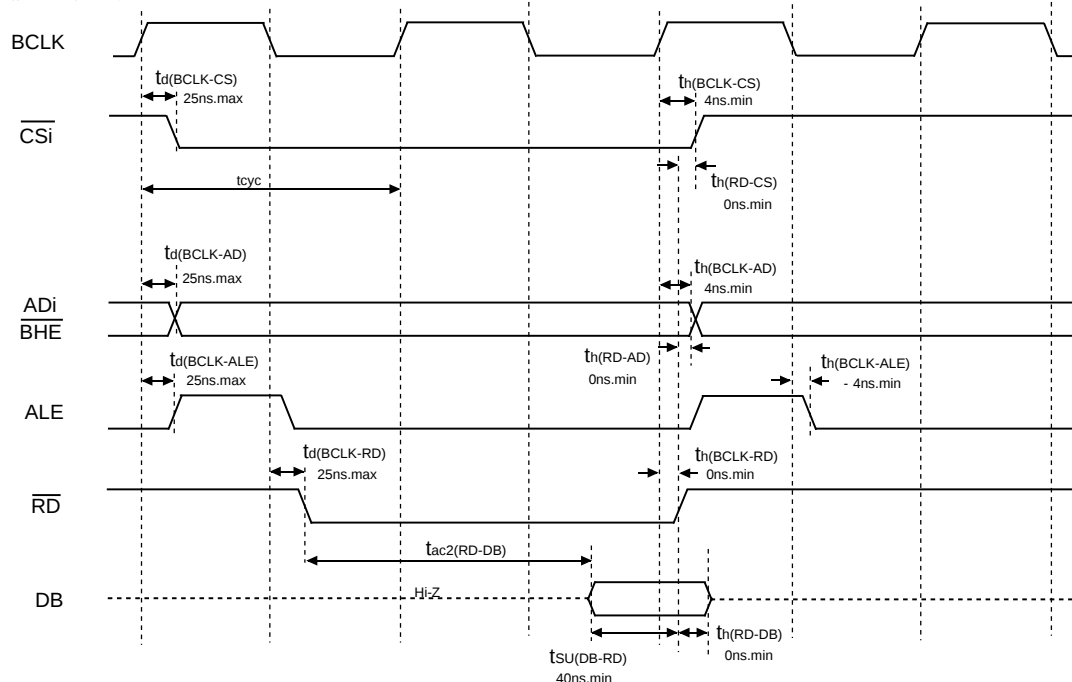
図1.23.4. Vcc=5V用タイミング図(3)

タイミング(Vcc=5V)

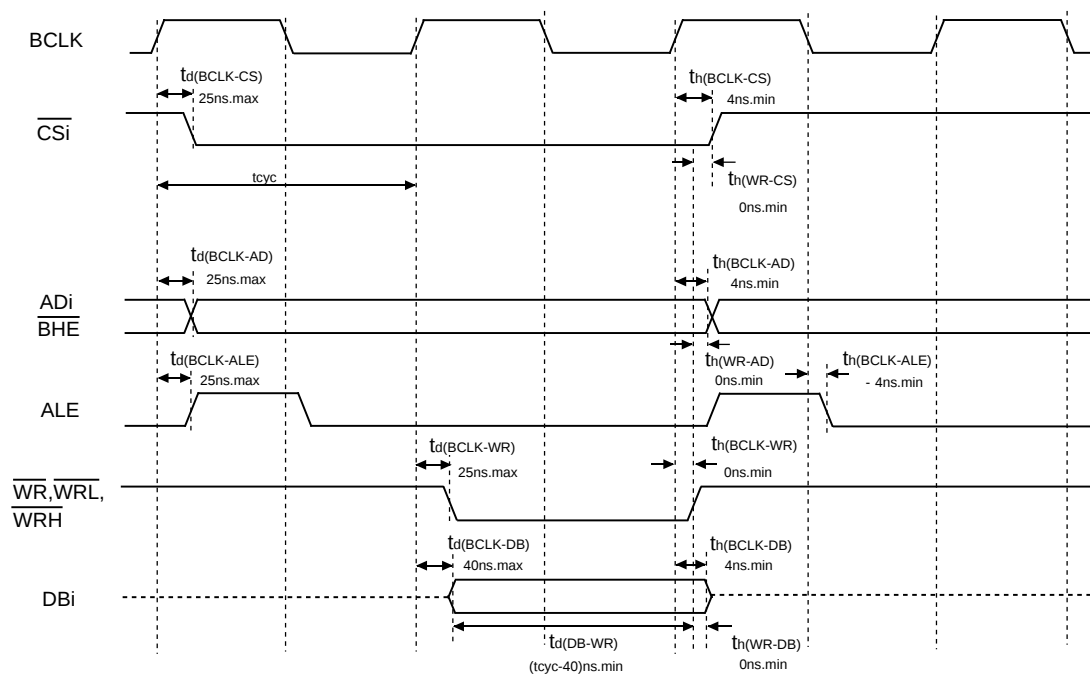
Vcc = 5V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウェイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時



測定条件

- ・ Vcc=5V
- ・ 入力タイミング電圧 : $V_{IL}=0.8V, V_{IH}=2.5V$
- ・ 出力タイミング電圧 : $V_{OL}=0.8V, V_{OH}=2.0V$

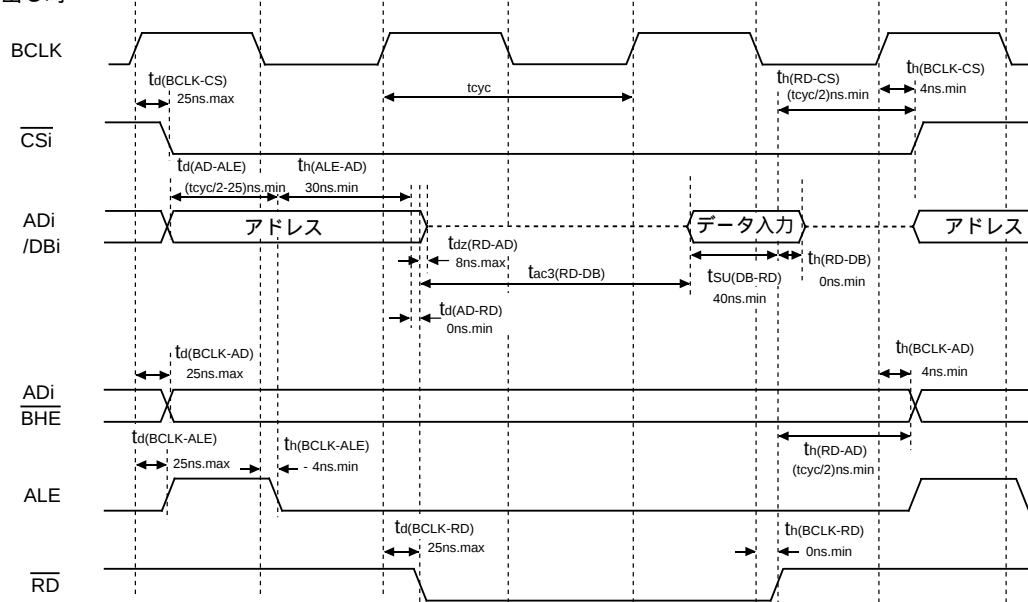
図1.23.5. Vcc=5V用タイミング図(4)

タイミング(Vcc=5V)

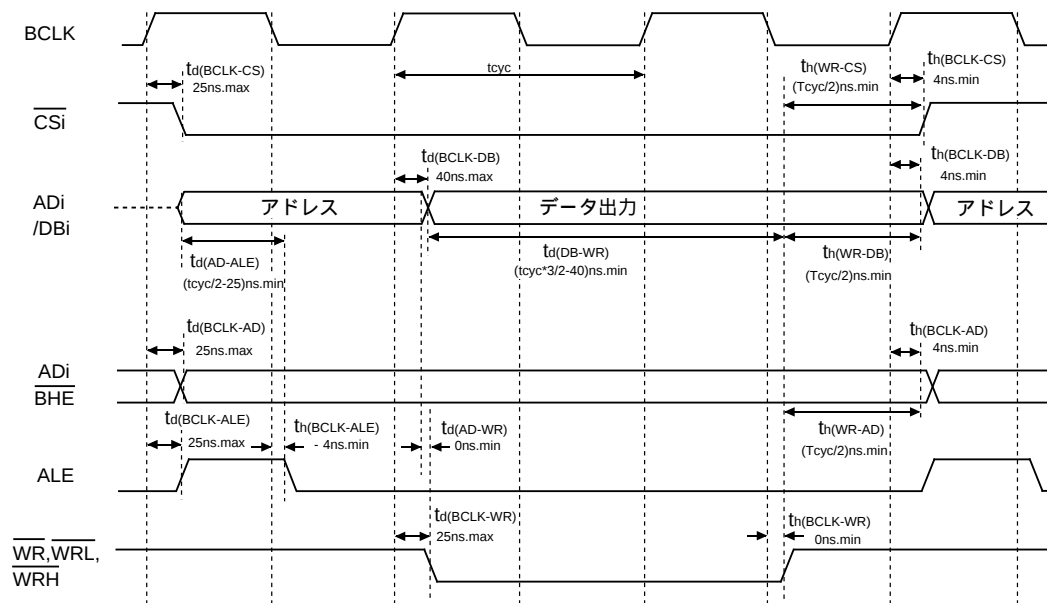
Vcc = 5V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出し時



書き込み時



測定条件

- Vcc=5V
- 入力タイミング電圧: V_{IL}=0.8V, V_{IH}=2.5V
- 出力タイミング電圧: V_{OL}=0.8V, V_{OH}=2.0V

図1.23.6. Vcc=5V用タイミング図(5)

電气的特性 (VCC=3V)

VCC = 3V

表1.23.23. 電气的特性(指定のない場合は、VCC=2.7V～3.3V, VSS=0V, Topr= - 20 ～ 85 / - 40 ～ 85 (注1), f(XIN)=10MHz(注2), ウェイトあり)

記 号	項 目		測 定 条 件	規 格 値			単位
				最 小	標 準	最 大	
VOH	"H"出力電圧	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P72～P77,P80～P84, P86,P87,P90～P97,P100～P107	IOH=－1mA	2.5			V
VOH	"H"出力電圧	XOUT	HIGHPOWER IOH=－0.1mA	2.5			V
			LOWPOWER IOH=－50 μ A	2.5			
	"H"出力電圧	XCOUT	HIGHPOWER 無負荷時		3.0		V
			LOWPOWER 無負荷時		1.6		
VOL	"L"出力電圧	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P70～P77,P80～P84, P86,P87,P90～P97,P100～P107	IOL=1mA			0.5	V
VOL	"L"出力電圧	XOUT	HIGHPOWER IOL=0.1mA			0.5	V
			LOWPOWER IOL=50 μ A			0.5	
	"L"出力電圧	XCOUT	HIGHPOWER 無負荷時		0		V
			LOWPOWER 無負荷時		0		
VT+-VT-	ヒステリシス	HOLD, RDY, TA0IN～TA4IN, TB0IN～TB5IN, INT0～INT5, NMI ADTRG, CTS0～CTS2, SCL, SDA CLK0～CLK4, TA2OUT～TA4OUT KI0～KI3, RxDo～RxD2, SIN3, SIN4		0.2		0.8	V
VT+-VT-	ヒステリシス	RESET		0.2		1.8	V
IiH	"H"入力電流	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P70～P77,P80～P87, P90～P97,P100～P107, XIN, RESET, CNVss, BYTE	Vi=3V			4.0	μ A
IiL	"L"入力電流	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P70～P77,P80～P87, P90～P97,P100～P107, XIN, RESET, CNVss, BYTE	Vi=0V			－4.0	μ A
RPULLUP	プルアップ抵抗	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P72～P77,P80～P84, P86,P87,P90～P97,P100～P107	Vi=0V	66.0	120.0	500.0	kΩ
RiXIN	帰還抵抗	XIN			3.0		MΩ
RiXCIN	帰還抵抗	XCIN			10.0		MΩ
VRAM	RAM保持電圧		クロック停止時	2.0			V
ICC	電源電流	シングルチップ モードで、出力 端子は開放、そ の他の端子は Vss	マスクROM版	f(XIN)=10MHz 方形波、分周なし	8.5	21.25	mA
			フラッシュメモリ5V版	f(XIN)=10MHz 方形波、分周なし	12.0	21.25	mA
			マスクROM版	f(XCIN)=32kHz 方形波	40.0		μ A
			フラッシュメモリ5V版	f(XCIN)=32kHz 方形波、RAM上	40.0		μ A
			フラッシュメモリ5V版	f(XCIN)=32kHz 方形波、Flash上	800		μ A
				f(XCIN) = 32kHz ウェイト時 発振能力 High(注3)	2.8	10 (室温)	μ A
				f(XCIN) = 32kHz ウェイト時 発振能力 Low(注3)	0.9	10 (室温)	μ A
				クロック停止時 Topr=25		1.0	μ A
				クロック停止時 Topr=85		20.0	

注1. - 40 ～ 85 品をご使用になる場合は、そのむねご指定ください。

注2. マスクROM版およびフラッシュメモリ5V版です。

注3. fc32にてタイマ1本を動作させている状態です。

電気的特性 (VCC=3V)

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (°C))

・ - 40 ~ 85 °C 品をご使用になる場合は、そのむねご指定ください。

表1.23.24. 外部クロック入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c	外部クロック入力サイクル時間 マスクROM、フラッシュメモリ5V版	100		ns
t _{w(H)}	外部クロック入力 "H"パルス幅 マスクROM、フラッシュメモリ5V版	40		ns
t _{w(L)}	外部クロック入力 "L" パルス幅 マスクROM、フラッシュメモリ5V版	40		ns
t _r	外部クロック立ち上がり時間		18	ns
t _f	外部クロック立ち下がり時間		18	ns

表1.23.25. メモリ拡張およびマイクロプロセッサモード

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (ウェイトなし)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (ウェイトあり)		(注1)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{su} (DB-RD)	データ入力セットアップ時間	80		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	60		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	80		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (BCLK-RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間		100	ns

注 1 : BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1}(\text{RD} - \text{DB}) = \frac{10^9 \times 1}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

$$t_{ac2}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

$$t_{ac3}(\text{RD} - \text{DB}) = \frac{10^9 \times 3}{f(\text{BCLK}) \times 2} - 90 \text{ [ns]}$$

電气的特性 (VCC=3V)

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (°C))

・ - 40 ~ 85 °C 品をご使用になる場合は、そのむねご指定ください。

表1.23.26. タイマA入力(イベントカウンタモードのカウント入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TA)	TAiIN入力サイクル時間	150		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	60		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	60		ns

表1.23.27. タイマA入力(タイマモードのゲーティング入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TA)	TAiIN入力サイクル時間	600		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	300		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	300		ns

表1.23.28. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TA)	TAiIN入力サイクル時間	300		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	150		ns

表1.23.29. タイマA入力(パルス幅変調モードの外部トリガ入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _w (TAH)	TAiIN入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	150		ns

表1.23.30. タイマA入力(イベントカウンタモードのアップダウン入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (UP)	TAiOUT入力サイクル時間	3000		ns
t _w (UPH)	TAiOUT入力 "H" パルス幅	1500		ns
t _w (UPL)	TAiOUT入力 "L" パルス幅	1500		ns
t _{su} (UP-TiN)	TAiOUT入力セットアップ時間	600		ns
t _h (TiN-UP)	TAiOUT入力ホールド時間	600		ns

電気的特性 (VCC=3V)

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, T_{opr}= - 20 ~ 85 / - 40 ~ 85 (°C))

・ - 40 ~ 85 °C 品をご使用になる場合は、そのむねご指定ください。

表1.23.31. タイマB入力(イベントカウンタモードのカウント入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TB)	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(片エッジカウント)	60		ns
t _c (TB)	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
t _w (TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
t _w (TBL)	TBiIN 入力 "L" パルス幅(両エッジカウント)	160		ns

表1.23.32. タイマB入力(パルス周期測定モード)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TB)	TBiIN入力サイクル時間	600		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	300		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	300		ns

表1.23.33. タイマB入力(パルス幅測定モード)

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (TB)	TBiIN入力サイクル時間	600		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	300		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	300		ns

表1.23.34. A-Dトリガ入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (AD)	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
t _w (ADL)	ADTRG入力 "L" パルス幅	200		ns

表1.23.35. シリアルI/O

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c (CK)	CLKi入力サイクル時間	300		ns
t _w (CKH)	CLKi入力 "H" パルス幅	150		ns
t _w (CKL)	CLKi入力 "L" パルス幅	150		ns
t _d (C-Q)	TxDi出力遅延時間		160	ns
t _h (C-Q)	TxDiホールド時間	0		ns
t _{su} (D-C)	RxDi入力セットアップ時間	50		ns
t _h (C-D)	RxDi入力ホールド時間	90		ns

表1.23.36. 外部割り込みINTi入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _w (INH)	INTi入力 "H" パルス幅	380		ns
t _w (INL)	INTi入力 "L" パルス幅	380		ns

電氣的特性 (VCC=3V)

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, Topr = -20 ~ 85 / -40 ~ 85 (注3), CM15=“1”)

表1.23.37. メモリ拡張モードおよびマイクロプロセッサモード(ウェイトなしの場合)

記 号	項 目	測 定 条 件	規 格 値		単 位
			最 小	最 大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.7		60	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			60	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			60	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			60	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			60	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB-WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 80 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

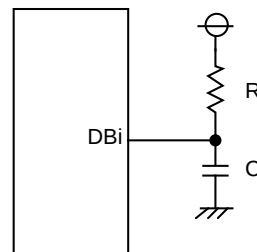
で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1kΩとすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC} / V_{CC}) = 6.7\text{ns}$$

となります。



注3. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

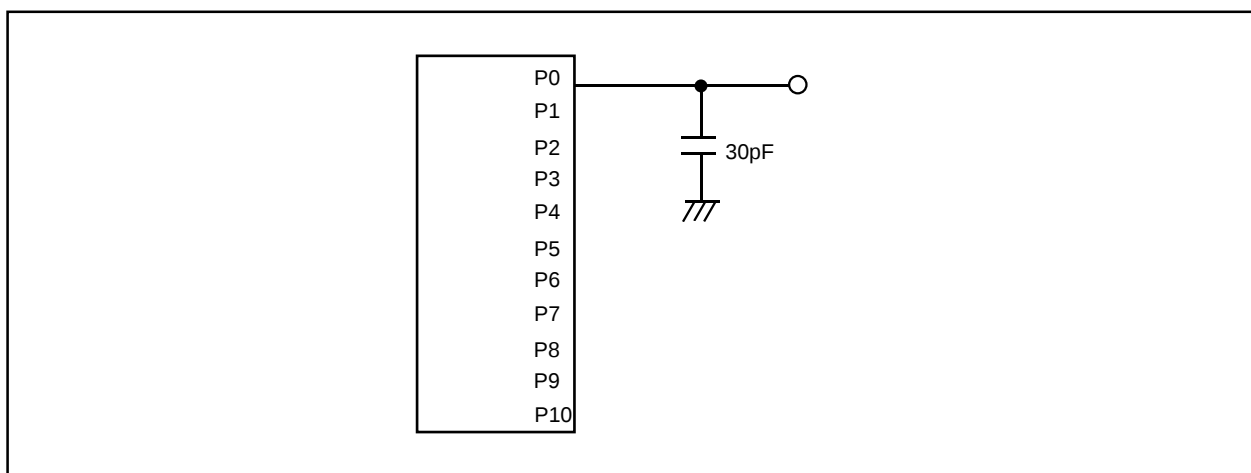


図1.23.7. ポートP0～P10の測定回路

電气的特性 (VCC=3V)

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, T_{opr}= - 20 ~ 85 / - 40 ~ 85 (注3), CM15= “ 1 ”)

表1.23.38. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスした場合)

記 号	項 目	測 定 条 件	規 格 値		単位
			最 小	最 大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.23.7		60	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			60	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			60	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			60	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			60	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 80 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

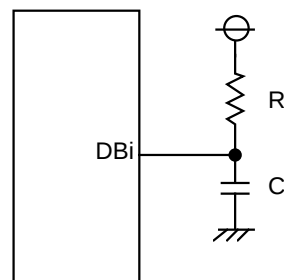
で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1kΩ とすると、

出力 “ L ” レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$

となります。



注3. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

電氣的特性 (VCC=3V)

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注2), CM15= “ 1 ”)

表1.23.39. メモリ拡張モードおよびマイクロプロセッサモード

(ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記 号	項 目	測 定 条 件	規 格 値		単位
			最 小	最 大	
td(BCLK-AD)	アドレス出力遅延時間	図1.23.7		60	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			60	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			60	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			60	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			60	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		- 4		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)		50		ns
td(AD-RD)	アドレス後RD信号出力遅延時間		0		ns
td(AD-WR)	アドレス後WR信号出力遅延時間		0		ns
tdZ(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$td(DB - WR) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 80 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 45 \quad [ns]$$

注2. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

タイミング(VCC=3V)

VCC = 3V用

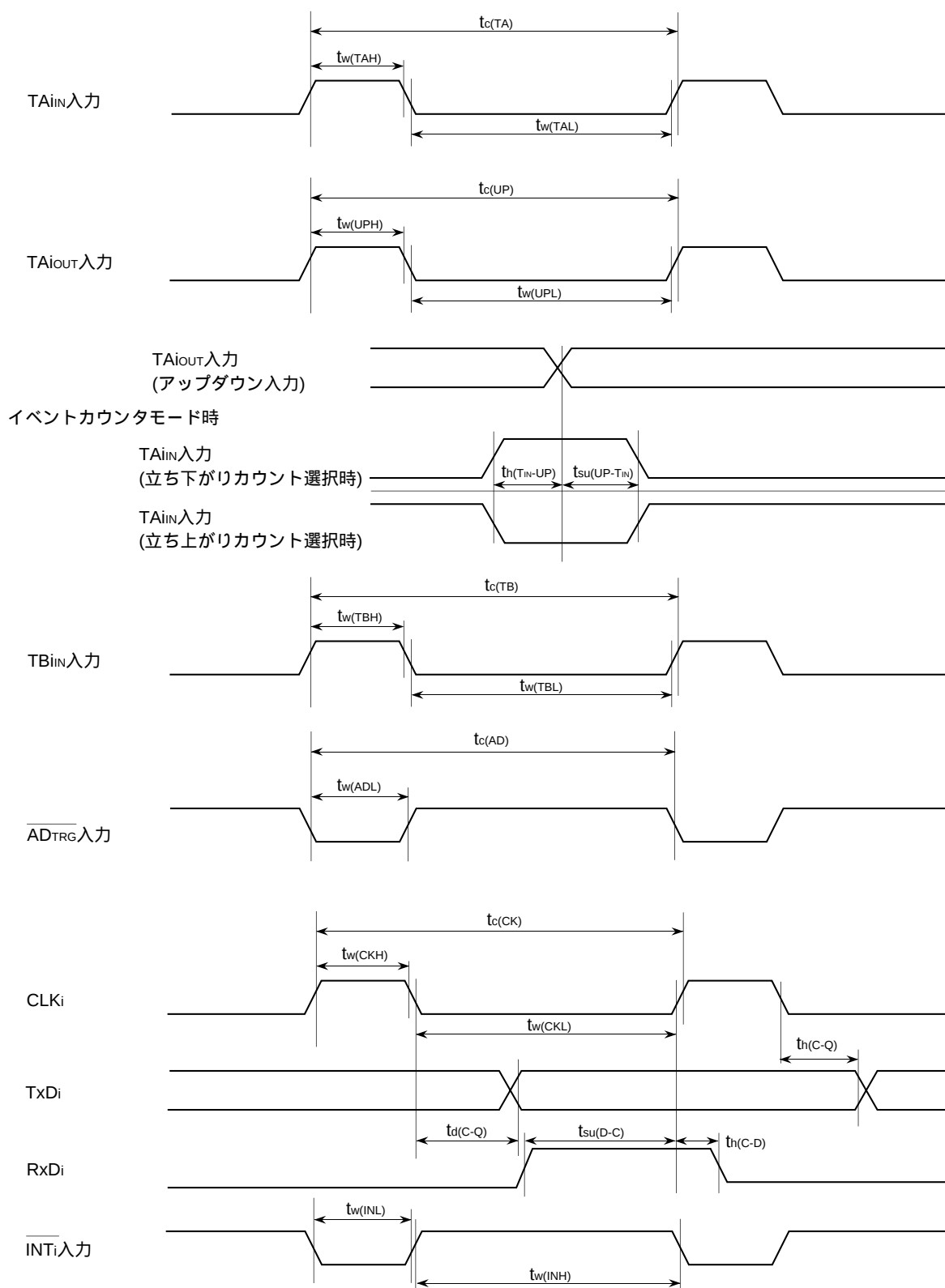


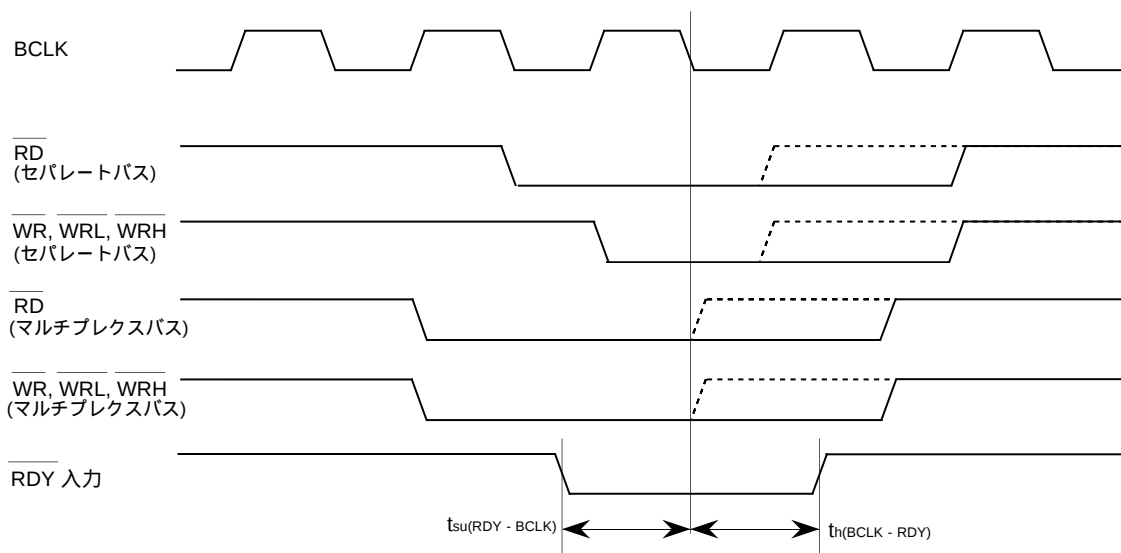
図1.23.8. VCC=3V用タイミング図(1)

タイミング(VCC=3V)

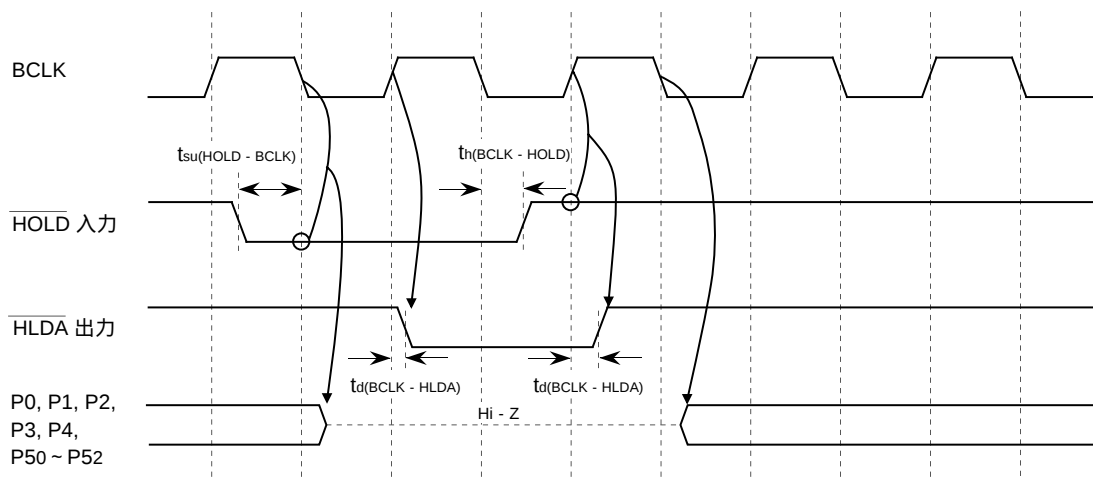
VCC = 3V用

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポートP4₀ ~ P4₃機能選択ビット(PM06)にかかわらず上記ピンはすべてハインピーダンス状態になります。

測定条件

- ・ VCC=3V
- ・ 入力タイミング電圧 : V_{IL}=0.6V, V_{IH}=2.4V
- ・ 出力タイミング電圧 : V_{OL}=1.5V, V_{OH}=1.5V

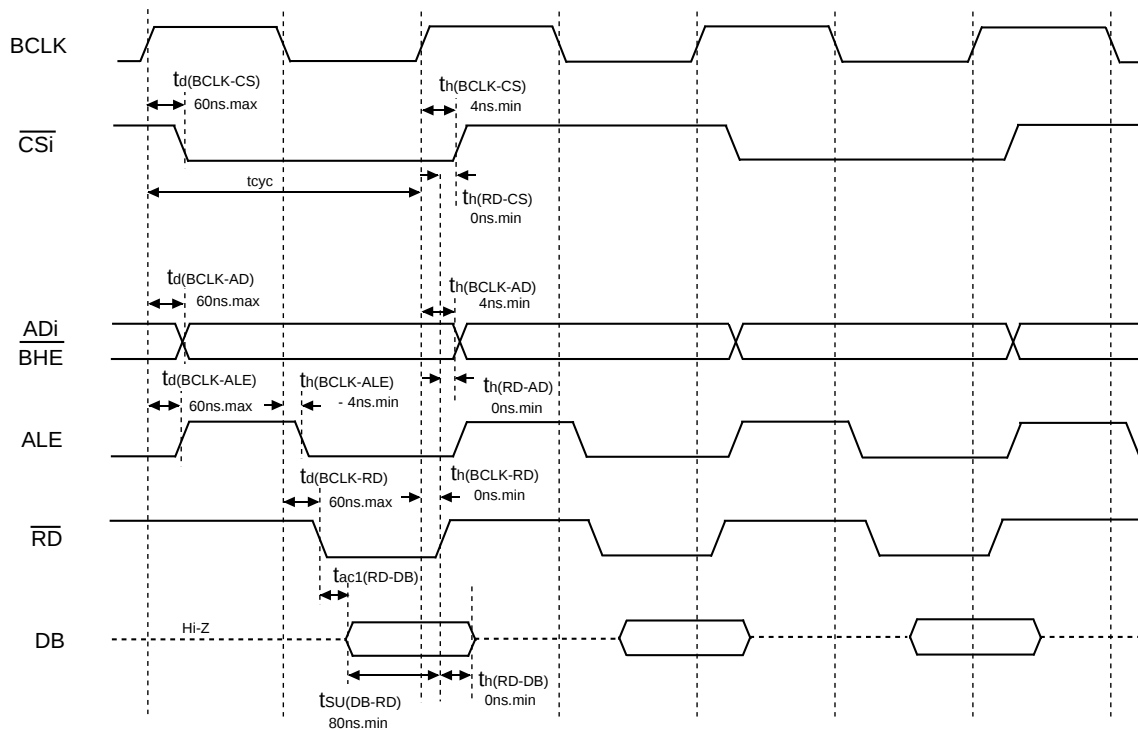
図1.23.9. VCC=3V用タイミング図(2)

タイミング(VCC=3V)

VCC = 3V用

メモリ拡張モードおよびマイクロプロセッサモード(ウェイトなしの場合)

読み出しタイミング



書き込みタイミング

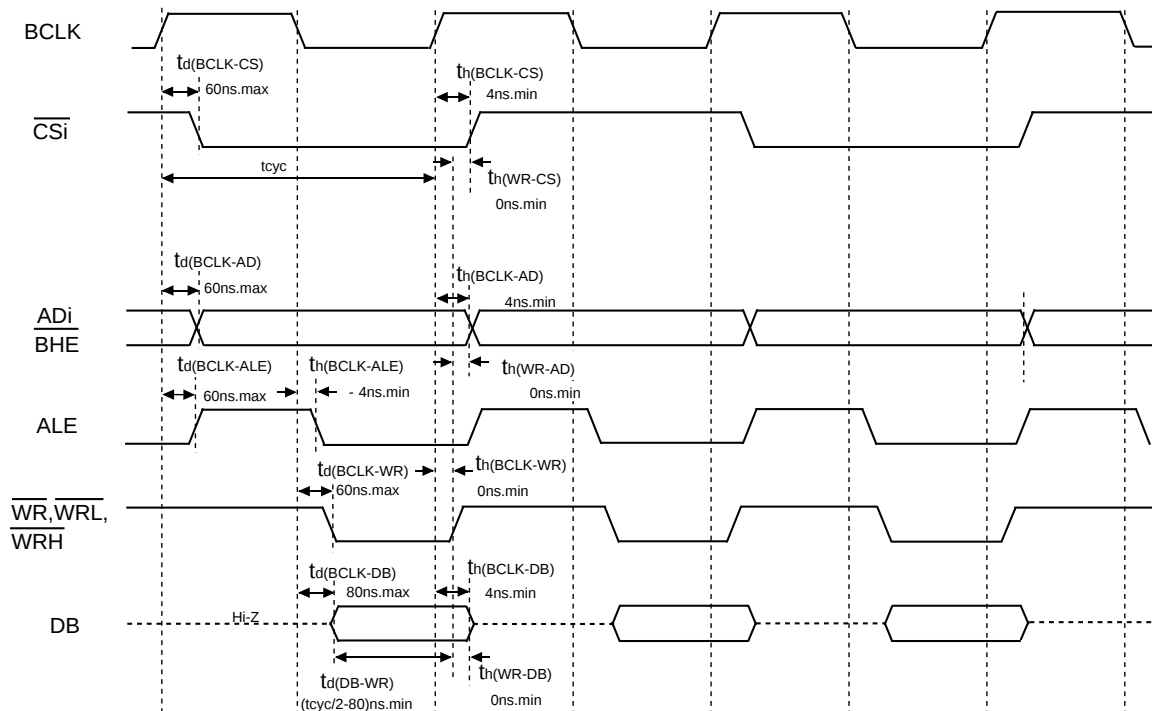


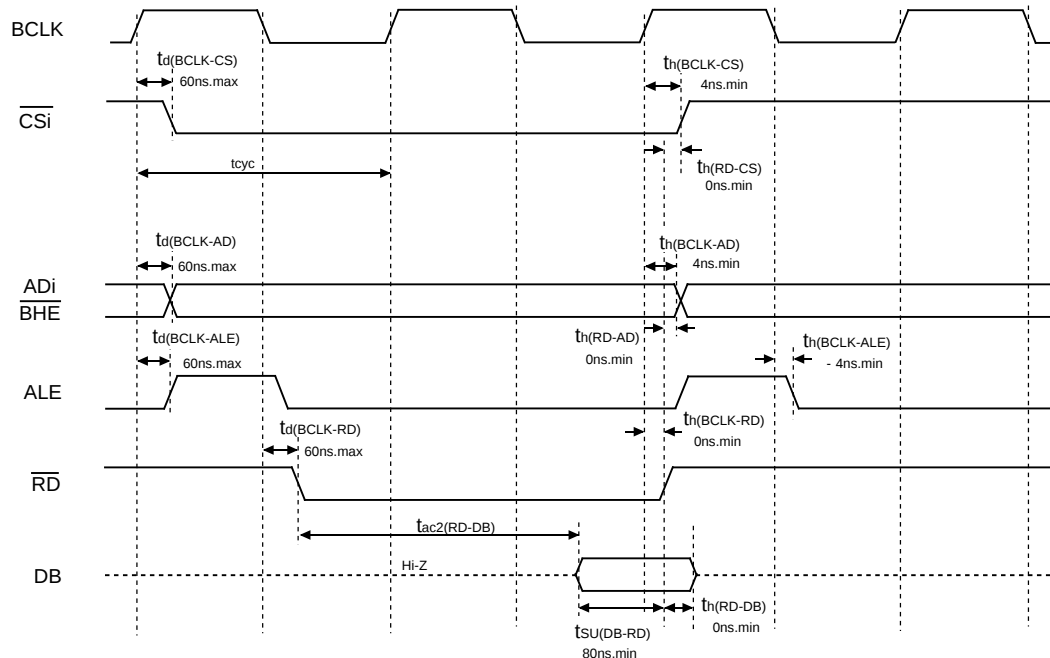
図1.23.10. VCC=3V用タイミング図(3)

タイミング(VCC=3V)

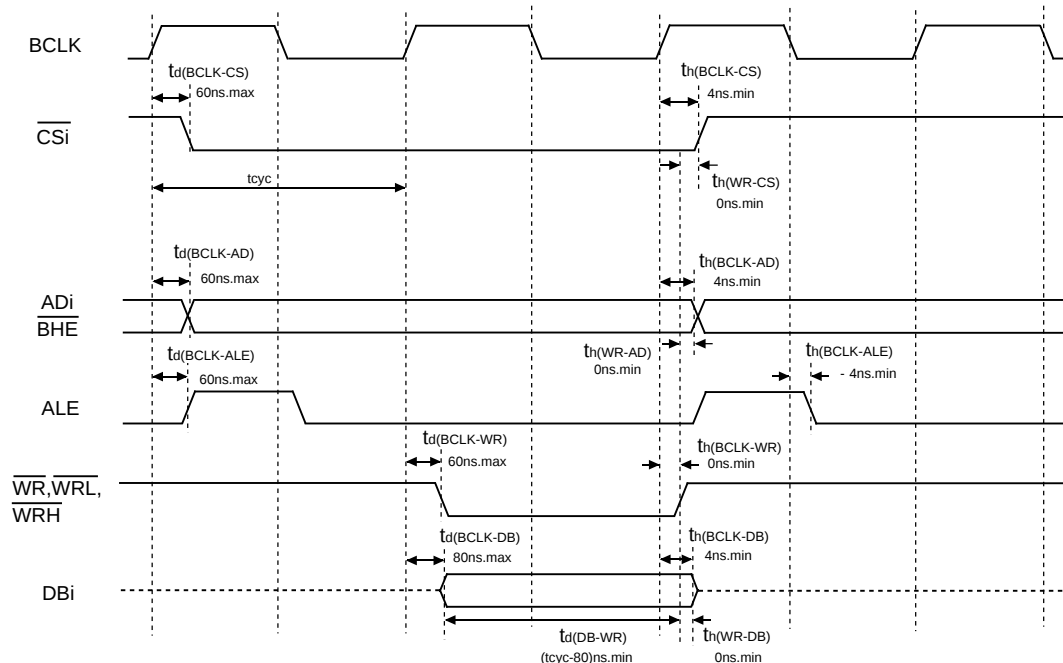
VCC = 3V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時



測定条件

- VCC=3V
- 入力タイミング電圧: $V_{IL}=0.48V, V_{IH}=1.5V$
- 出力タイミング電圧: $V_{OL}=1.5V, V_{OH}=1.5V$

図1.23.11. VCC=3V用タイミング図(4)

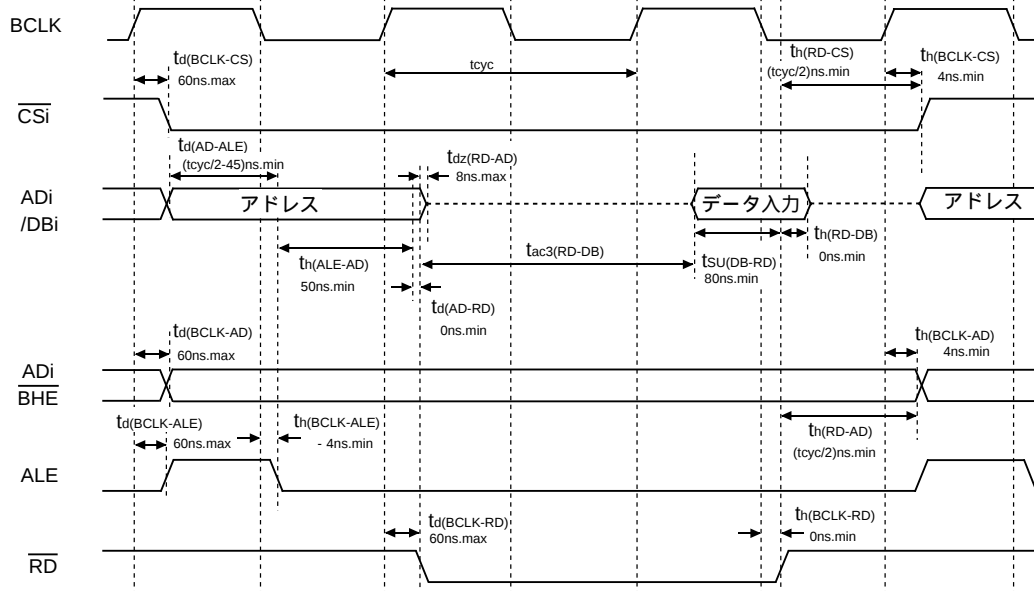
タイミング(VCC=3V)

VCC = 3V用

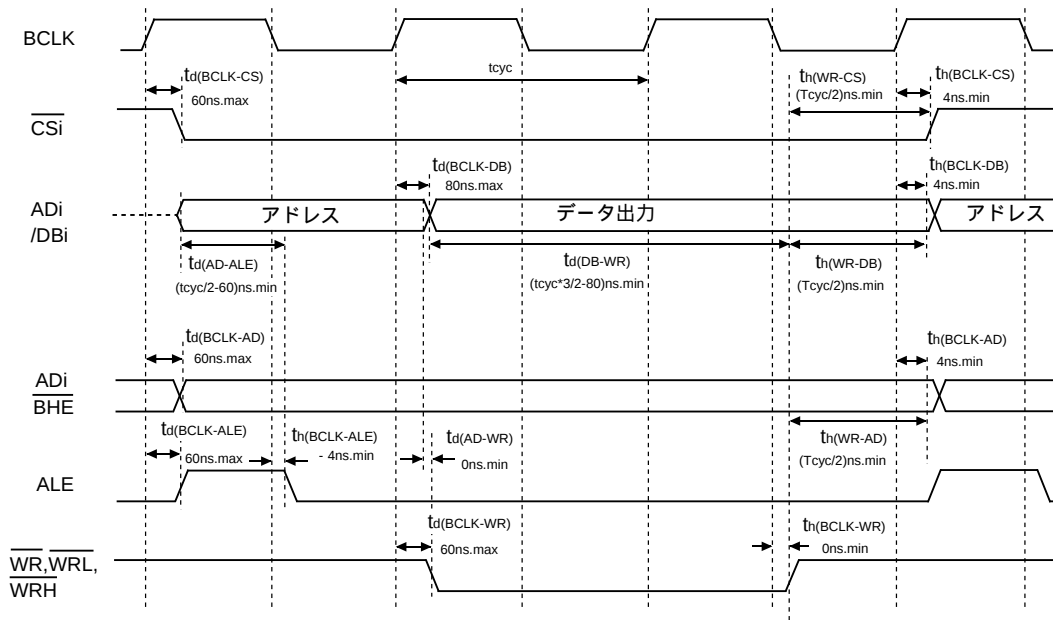
メモリ拡張モード、およびマイクロプロセッサモード

(ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出し時



書き込み時



測定条件

- $V_{\text{CC}}=3\text{V}$
- 入力タイミング電圧: $V_{\text{IL}}=0.48\text{V}$, $V_{\text{IH}}=1.5\text{V}$
- 出力タイミング電圧: $V_{\text{OL}}=1.5\text{V}$, $V_{\text{OH}}=1.5\text{V}$

図1.23.12. VCC=3V用タイミング図(5)

GZZ-SH13-36A<96A2>

三菱シングルチップ16ビットマイクロコンピュータ
M30620M8A-XXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受 付 欄	年	月	日
	課長印		担当者印

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL ()	発 行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30620M8A-XXXFP ☐ M30620M8A-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30620M8A-XXXFPの場合は100P6Sの、M30620M8A-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) X_{IN} - X_{OUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$

--

 MHz

GZZ-SH13-36A<96A2>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ
M30620M8A-XXXXFP/GP
マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

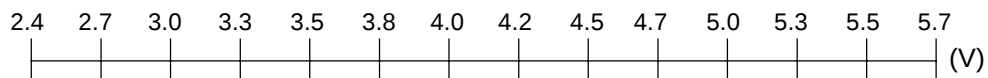
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

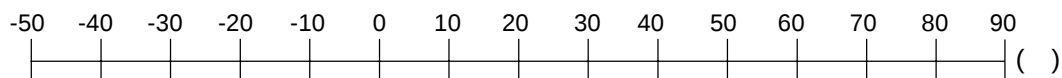
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

GZZ-SH13-37A<96A2>

三菱シングルチップ16ビットマイクロコンピュータ
M30620MAA-XXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受 付 欄	年	月	日
	課長印	担当者印	

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL ()	発行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30620MAA-XXXFP ☐ M30620MAA-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30620MAA-XXXFPの場合は100P6Sの、M30620MAA-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) $X_{IN}-X_{OUT}$ 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$ MHz

GZZ-SH13-37A<96A2>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ
M30620MAA-XXXFP/GP
マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

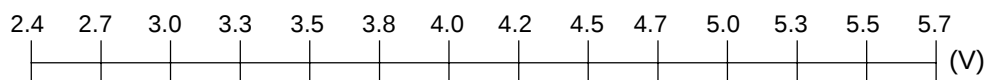
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

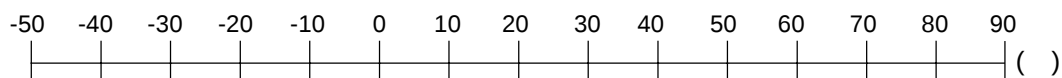
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

GZZ-SH13-28A<95A2>

三菱シングルチップ16ビットマイクロコンピュータ
M30620MCA-XXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受付欄	年	月	日
	課長印		担当者印

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL ()	発行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30620MCA-XXXFP ☐ M30620MCA-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30620MCA-XXXFPの場合は100P6Sの、M30620MCA-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) X_{IN} - X_{OUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$ MHz

GZZ-SH13-28A<95A2>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ
M30620MCA-XXXFP/GP
マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

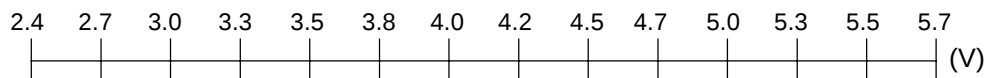
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

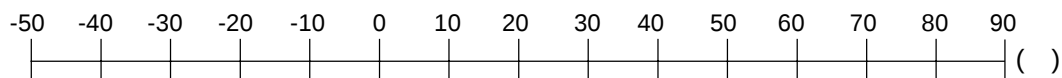
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

GZZ-SH13-40A<96A2>

三菱シングルチップ16ビットマイクロコンピュータ
M30622M4A-XXXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受付欄	年	月	日
	課長印		担当者印

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL ()	発行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30622M4A-XXXXFP ☐ M30622M4A-XXXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30622M4A-XXXXFPの場合は100P6Sの、M30622M4A-XXXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) X_{IN} - X_{OUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$ MHz

GZZ-SH13-40A<96A2>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ

M30622M4A-XXXXFP/GP

マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

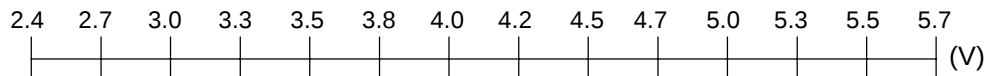
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

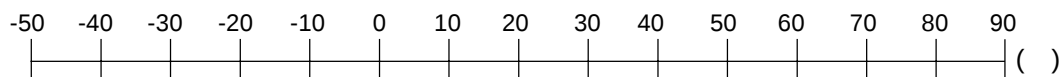
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

GZZ-SH13-38A<96A2>

三菱シングルチップ16ビットマイクロコンピュータ
M30622M8A-XXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受 付 欄	年	月	日
	課長印		担当者印

(注) 印をすべて記入ください。

貴 社 記入欄	貴社名	殿	TEL ()	発 行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30622M8A-XXXFP ☐ M30622M8A-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30622M8A-XXXFPの場合は100P6Sの、M30622M8A-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) $X_{IN}-X_{OUT}$ 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$

--

 MHz

GZZ-SH13-38A<96A2>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ

M30622M8A-XXXXFP/GP

マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

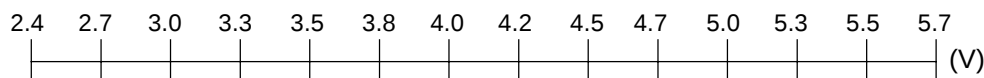
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

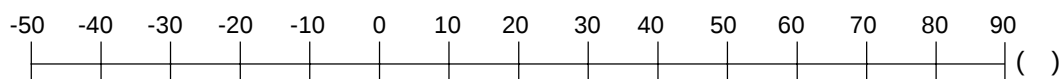
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

GZZ-SH13-34A<96A2>

三菱シングルチップ16ビットマイクロコンピュータ
M30622MAA-XXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受付欄	年	月	日
	課長印		担当者印

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	TEL ()	発行 印	責任者印	担当者印
	発行日			年	月

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30622MAA-XXXFP ☐ M30622MAA-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30622MAA-XXXFPの場合は100P6Sの、M30622MAA-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) X_{IN} - X_{OUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$ MHz

GZZ-SH13-34A<96A2>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ
M30622MAA-XXXFP/GP
マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

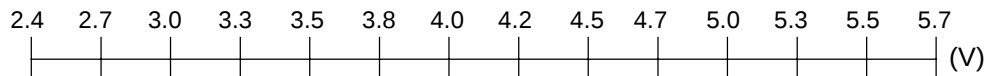
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

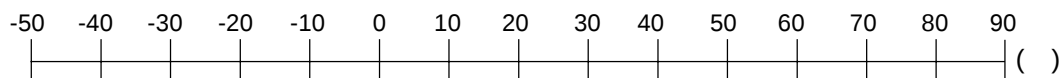
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

GZZ-SH13-39A<96A2>

三菱シングルチップ16ビットマイクロコンピュータ
M30622MCA-XXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受 付 欄	年 月 日
	課長印 担当者印

(注) 印をすべて記入ください。

貴 社 記入欄	貴社名	殿 TEL ()	発 行 印	責任者印	担当者印
	発行日	年 月 日			

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30622MCA-XXXFP ☐ M30622MCA-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30622MCA-XXXFPの場合は100P6Sの、M30622MCA-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) X_{IN} - X_{OUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$

--

 MHz

GZZ-SH13-39A<96A2>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ

M30622MCA-XXXFP/GP

マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

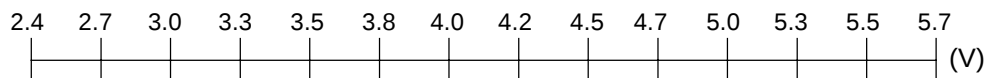
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

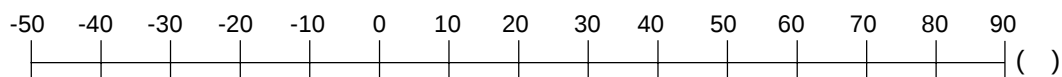
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

GZZ-SH13-30A<95A2>

三菱シングルチップ16ビットマイクロコンピュータ
M30624MGA-XXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受付欄	年	月	日
	課長印		担当者印

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL ()	発行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30624MGA-XXXFP ☐ M30624MGA-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30624MGA-XXXFPの場合は100P6Sの、M30624MGA-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) X_{IN} - X_{OUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$

--

 MHz

GZZ-SH13-30A<95A2>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ
M30624MGA-XXXFP/GP
マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

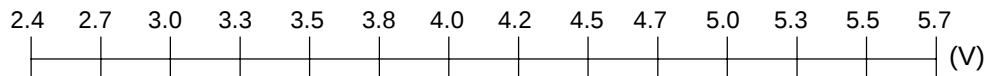
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

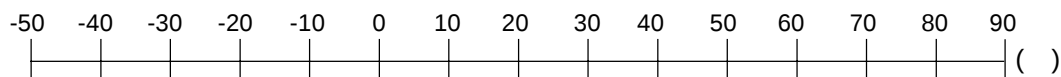
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

概 要(フラッシュメモリ版)

性能概要

表1.25.1にM16C/62A(フラッシュメモリ版)の性能概要を示します。

表1.25.1. M16C/62A(フラッシュメモリ版)の性能概要

項 目		性 能
フラッシュメモリの動作モード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図1.25.1を参照してください。
	ブートROM領域	1分割(8Kバイト) (注1)
プログラム方式		ページ単位(256バイト単位)
イレーズ方式		一括消去/ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム/イレーズ回数		100回
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

概 要(フラッシュメモリ版)

フラッシュメモリ

M16C/62A(フラッシュメモリ版)は、単一電源での書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作する CPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図1.25.1に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。これらの各ブロックは、イレーズ、プログラム実行の有効 / 無効を選択するロックビットを持っており、ブロックごとのデータ保護が可能です。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

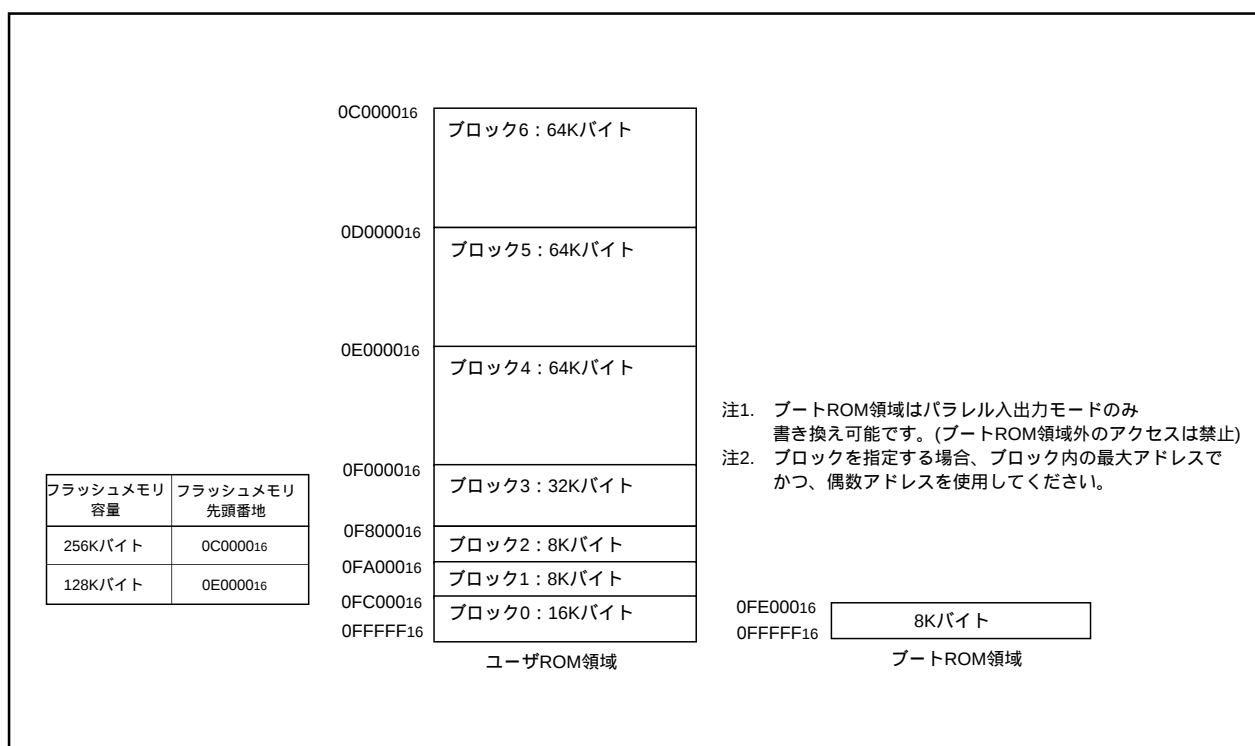


図1.25.1. 内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)を行うモードです。

CPU書き換えモードでは、[図1.25.1](#)に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレースのコマンドは、ユーザROM領域と各ブロック領域のみに對して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵フラッシュメモリ以外のメモリに転送して実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、[図1.25.1](#)に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P55端子を“L”、CNVss端子を“H”、P50端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大の偶数アドレスです。このアドレスは、ブロックイレースコマンド、ロックビットプログラムコマンド、リードロックステータスコマンドで使用します。

CPU書き換えモード(フラッシュメモリ版)

機能概要(CPU書き換えモード)

CPU書き換えモードは、CPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この操作は、内蔵RAM等の内蔵フラッシュメモリ以外のメモリで実行する必要があります。

CPU書き換えモードには、**CPU書き換えモード選択ビット**(03B7₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

CPU書き換えモードでは、ソフトウェアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA₀は“0”)へライト、リードしてください。8ビット単位のソフトウェアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラムまたはイレーズの正常/エラー終了等の状態は**ステータスレジスタ**を読み出すことでチェックできます。

図1.26.1にフラッシュメモリ制御レジスタ0およびフラッシュメモリ制御レジスタ1を示します。

フラッシュメモリ制御レジスタ0のビット0は、フラッシュメモリの動作状況を示す読み出し専用の**RY/BYステータスフラグ**です。プログラム、イレーズ動作中には“0”、これ以外のときには“1”となります。

フラッシュメモリ制御レジスタ0のビット1は**CPU書き換えモード選択ビット**です。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外の領域で行ってください。また、NMI端子が“H”の状態で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”に設定するためには、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタ0のビット2は**ロックビット無効選択ビット**で、このビットを“1”にすることにより、ロックビットデータによる消去、書き込みプロテクト(ブロックロック)を無効にすることができます。ロックビット無効選択ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータの値を変えるわけではありません。ただし、このビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされます。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットの操作は、CPU書き換えモード選択ビットが“1”の状態でのみ可能です。

フラッシュメモリ制御レジスタ0のビット3は、内蔵フラッシュメモリの制御回路をリセットするための**フラッシュメモリリセットビット**です。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビットに“1”を書き込むと、リセットします。リセットを解除するためには、“0”を書き込む必要があります。

フラッシュメモリ制御レジスタ0のビット5は**ユーザROM領域選択ビット**で、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスする領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域で行ってください。

フラッシュメモリ制御レジスタ1のビット3は、内蔵フラッシュメモリの電源をoffするビットです。このビットに“1”を設定すると、内蔵フラッシュメモリへの電源が供給されなくなり消費電流を低減することができますが、内蔵フラッシュメモリをアクセスできなくなります。したがって、このビットへの書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットは、主に低速モード(BCLKのカウントソースがXCIN)で使用してください。

なお、ストップモードやウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、フラッシュメモリ制御レジスタ1を特別に設定する必要がありません。

図1.26.2にCPU書き換えモードの設定/解除フローチャート、図1.26.3に低速モードへ移行する場合のフローチャートを示します。必ずこのフローチャートに従って操作してください。

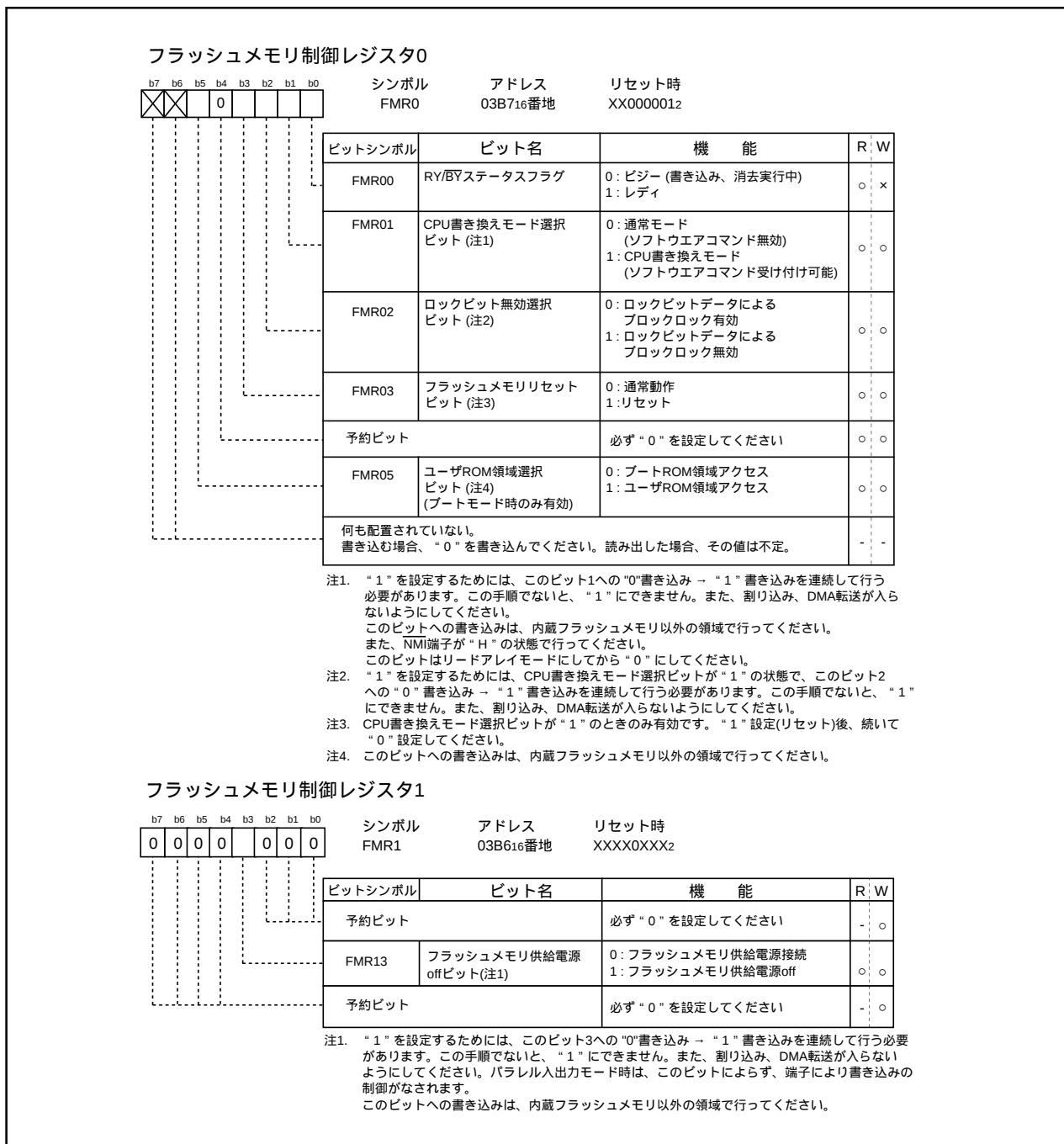


図1.26.1. フラッシュメモリ制御レジスタ0、フラッシュメモリ制御レジスタ1

CPU書き換えモード(フラッシュメモリ版)

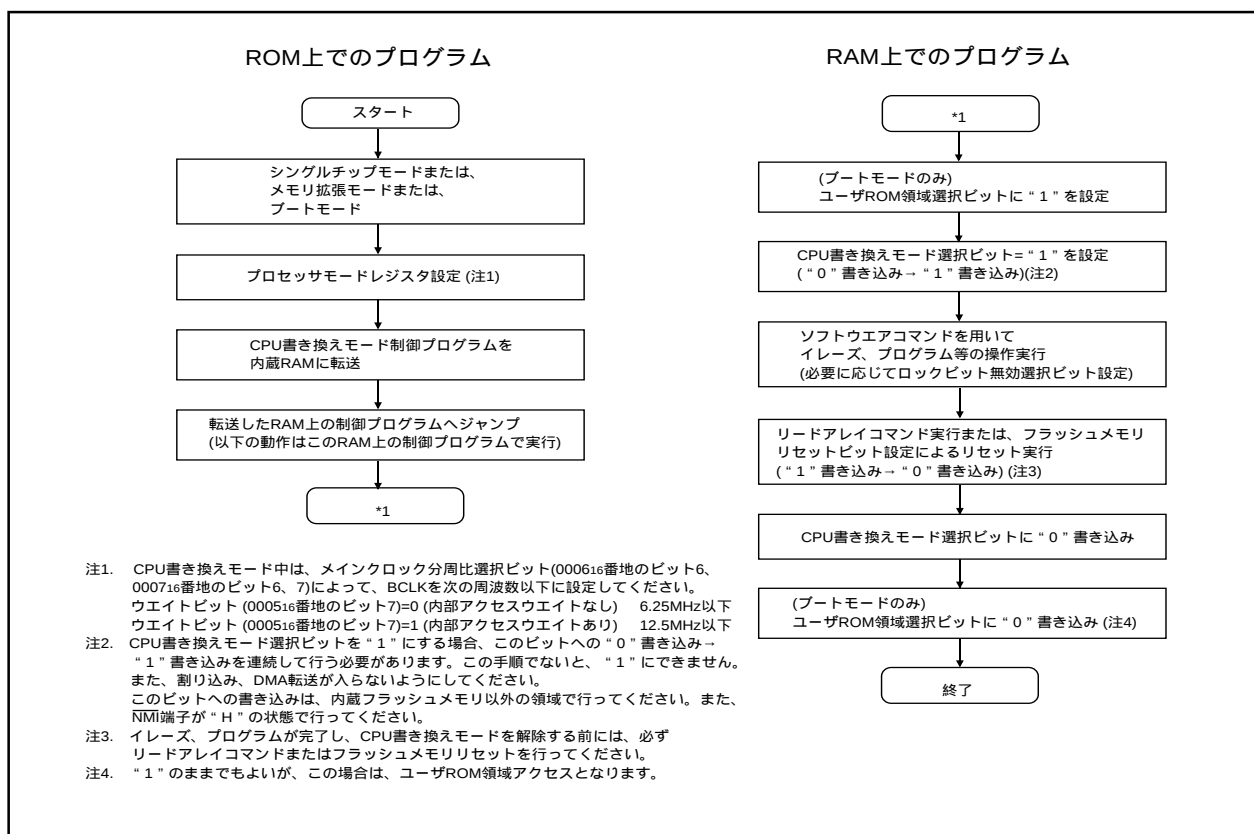


図1.26.2. CPU書き換えモードの設定/解除フローチャート

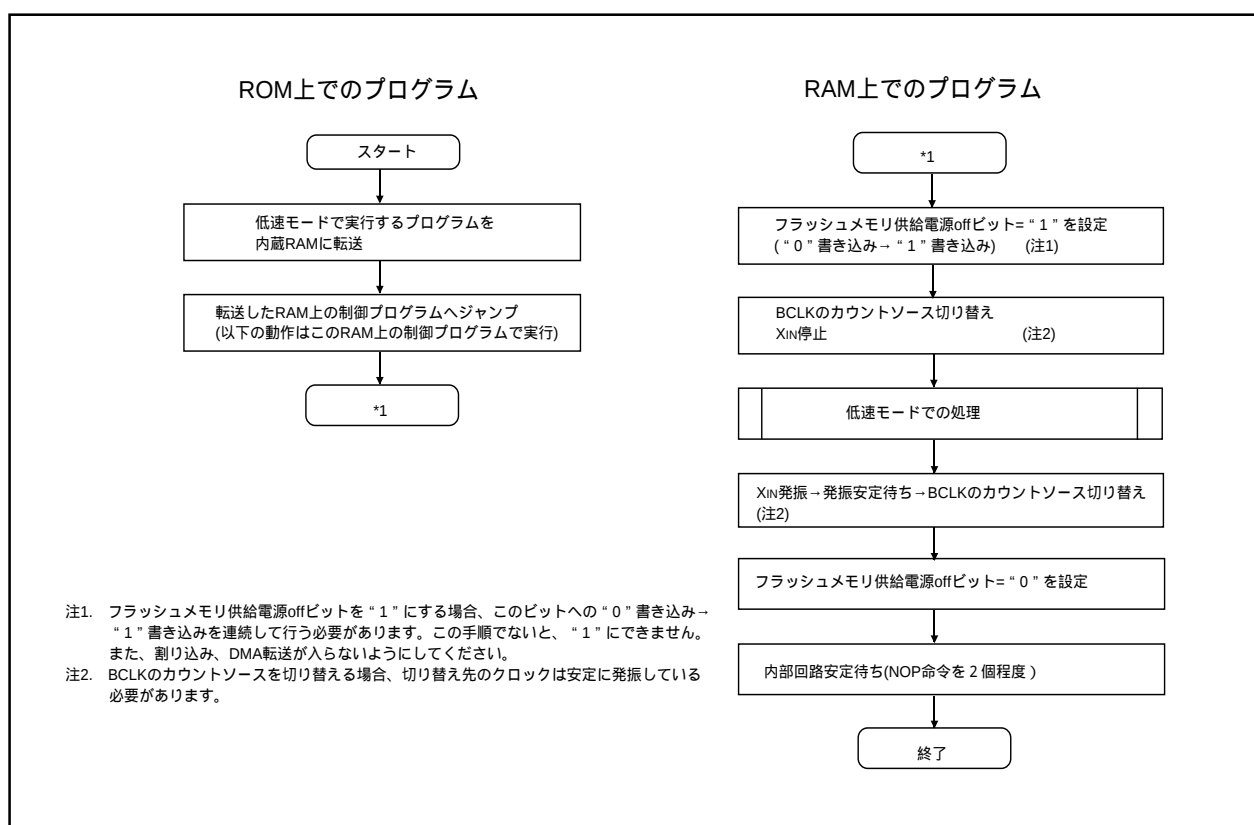


図1.26.3. 低速モードを実現するためのフローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、**メインクロック分周比選択ビット**(0006₁₆番地のビット6、0007₁₆番地のビット6、7)によって、BCLKを次の周波数以下に設定してください。

ウェイトビット(0005 ₁₆ 番地のビット7) = 0(内部アクセスウェイト無し)	6.25MHz以下
ウェイトビット(0005 ₁₆ 番地のビット7) = 1(内部アクセスウェイト有り)	12.5MHz以下

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。 $\overline{\text{NMI}}$ 割り込み、監視タイマ割り込みは、各割り込み発生時に強制的に**フラッシュメモリ制御レジスタ0**、**フラッシュメモリ制御レジスタ1**が初期化され、通常モードに戻るので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。 $\overline{\text{NMI}}$ 割り込み、監視タイマ割り込み発生時は、書き換え動作が中止されるので、再度、**CPU書き換えモード選択ビット**を“1”に設定し、消去/プログラムの動作が必要です。

(4)内部予約領域拡張ビット(0005₁₆番地のビット3)

内部予約領域拡張ビット(0005₁₆番地のビット3)により内部メモリの予約領域を変更できます。しかし、CPU書き換えモード選択ビット(03B7₁₆番地のビット1)を“1”すると、自動的に内部予約領域拡張ビット(0005₁₆番地のビット3)も“1”になります。CPU書き換えモード選択ビット(03B7₁₆番地のビット1)を“0”すると、自動的に内部予約領域拡張ビット(0005₁₆番地のビット3)も“0”に戻ります。

この注意事項の対象はRAM15Kバイト超えまたはフラッシュメモリ192Kバイト超えの製品です。

(5)リセット

常に受け付けます。リセット解除時、0C0000₁₆番地～0CFFFF₁₆番地は予約領域でアクセスできません。したがって、この領域をユーザROM領域内に持つ製品の場合、リセットベクタにはこの領域のアドレスを書かないでください。プログラムで内部予約領域拡張ビット(0005₁₆番地のビット3)を変更することにより、アクセス可能となります。

(6)アクセス禁止

CPU書き換えモード選択ビット、**フラッシュメモリ供給電源offビット**、**ユーザROM領域選択ビット**への書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。

(7)アクセス方法

CPU書き換えモード選択ビット、**ロックビット無効選択ビット**、フラッシュメモリ供給電源offビットを“1”に設定する場合は、“0”書き込み→“1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。

CPU書き換えモード選択ビットへの書き込みは、内蔵フラッシュメモリ以外の領域で行ってください。また、 $\overline{\text{NMI}}$ 端子が“H”の状態で行ってください。

(8)ユーザROM領域の書き換え

CPU書き換えモードを使用し、フラッシュ書き換えプログラムが格納されているブロックを書き換えている最中に電源が落ちたとき、そのブロックの書き換えが正常でない場合があります。その後フラッシュメモリの書き換えができなくなる可能性があります。したがって、このブロックの書き換えは、標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

(9)ロックビット対応

CPU書き換えモードを使用する場合、ロックコマンドの設定および解除に対応したブートプログラムにしてください。

ソフトウェアコマンド

表1.26.1にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウェアコマンドの入力時、上位バイト(D8～D15)は無視されます。

以下に各ソフトウェアコマンドの内容を説明します。

表1.26.1. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)	モード	アドレス	データ (D0～D7)
リードアレイ	ライト	X (注6)	FF ₁₆						
リードステータスレジスタ	ライト	X	70 ₁₆	リード	X	SRD (注2)			
クリアステータスレジスタ	ライト	X	50 ₁₆						
ページプログラム (注3)	ライト	X	41 ₁₆	ライト	WA0 (注3)	WD0 (注3)	ライト	WA1	WD1
ブロックイレーズ	ライト	X	20 ₁₆	ライト	BA (注4)	D0 ₁₆			
イレーズ全アンロックブロック	ライト	X	A7 ₁₆	ライト	X	D0 ₁₆			
ロックビットプログラム	ライト	X	77 ₁₆	ライト	BA	D0 ₁₆			
リードロックビットステータス	ライト	X	71 ₁₆	リード	BA	D6 (注5)			

注1. ソフトウェアコマンド入力時には上位バイト(D8～D15)のデータは無視されます。

注2. SRD=ステータスレジスタデータ

注3. WA=ライトアドレス, WD=ライトデータ

WAとWDは 00₁₆ から FE₁₆(バイトアドレス。ただし、偶数アドレス) へ順番に設定されなければなりません。ページサイズは 256バイトです。

注4. BA=ブロックアドレス(各ブロックの最大のアドレスを入力してください。ただし、偶数アドレス)

注5. D6はブロックロックステータスに対応します。D6="1": 非ブロックロック、D6="0": ブロックロック

注6. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)

リードアレイコマンド(FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D0～D15)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードで**ステータスレジスタ**の内容がデータバス(D0～D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50₁₆)

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

ページプログラムコマンド(4116)

ページプログラムによって256バイト単位で高速プログラミングが可能です。第1バスサイクルでコマンドコード“4116”をライトすると、ページプログラム動作を開始します。第2バスサイクルから第129バスサイクルまでライトデータを16ビット単位で順次ライトします。この時アドレスA0～A7は“0016”から“FE16”まで2ずつインクリメントする必要があります。データロードが完了すると自動書き込み(データのプログラムとベリファイ)動作を開始します。

自動書き込みの終了は、**ステータスレジスタ**のリードまたは**フラッシュメモリ制御レジスタ0**のリードによって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)または、リードロックビットステータスコマンド(7116)をライトするまでまたは、**フラッシュメモリリセットビット**でリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0の**RY/BYステータスフラグ**はステータスレジスタのビット7と同じく、自動書き込み期間中は“0”、終了後は“1”となります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.26.4にページプログラムプログラムフローチャート例を示します。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

既にプログラムされたページに対する追加書き込みは禁止します。

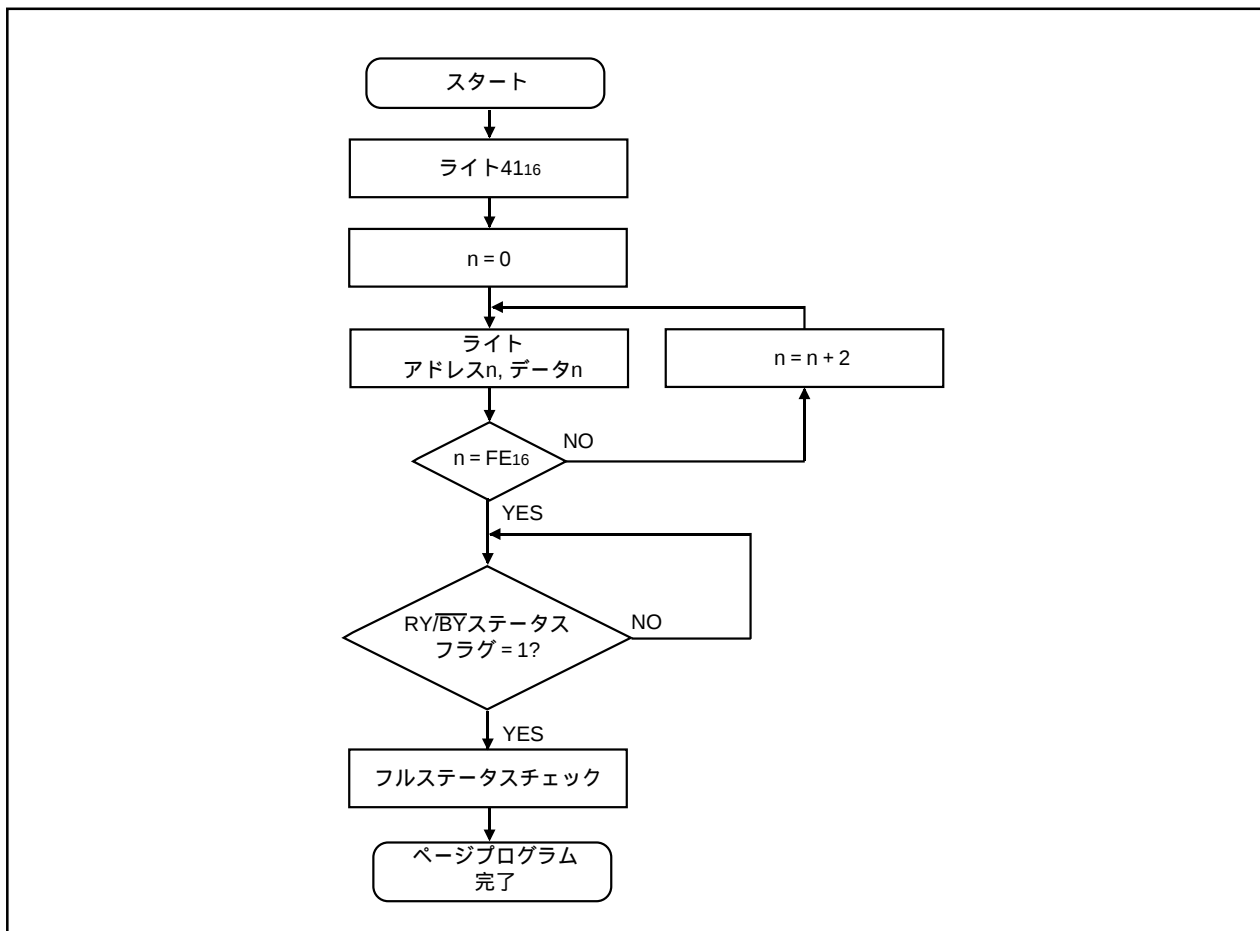


図1.26.4. ページプログラムフローチャート

ブロックイレーズコマンド(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“20₁₆”、続く第2バスサイクルで確認コマンドコード“D0₁₆”をブロックのブロックアドレスにライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、**ステータスレジスタ**のリードまたは**フラッシュメモリ制御レジスタ0**のリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)またはリードロックビットステータスコマンド(71₁₆)をライトするまで、または**フラッシュメモリリセットビット**でリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0の**RY/BYステータスフラグ**は、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図1.26.5にブロックイレーズのフローチャート例を示します。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

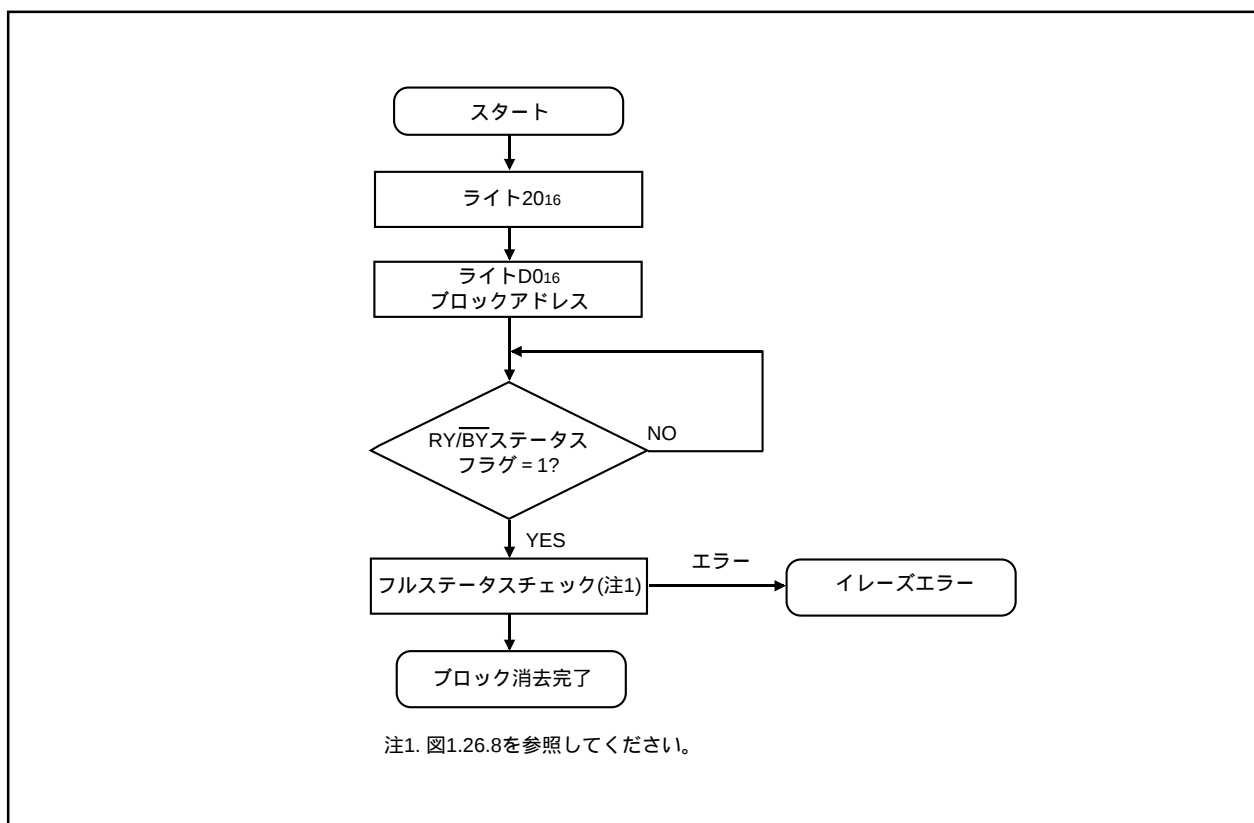


図1.26.5. ブロックイレーズフローチャート

イレース全アンロックブロックコマンド(A7₁₆/D0₁₆)

第1バスサイクルでコマンドコード“ A7₁₆ ”、続く第2バスサイクルで確認コマンドコード“ D0₁₆ ”をライトすると全ブロックに対し、連続的にブロックイレースを行います。

イレース全アンロックブロックコマンドの終了も、ブロックイレースと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

フラッシュメモリ制御レジスタ0のロックビット無効選択ビットが“ 1 ”の場合は、ロックビットの状態に関係なく全ブロックがイレースされます。一方、ロックビット無効選択ビットが“ 0 ”の場合には、ロックビットの機能が有効となり、非ロック状態(ロックビットデータが“ 1 ”)のブロックのみイレースされます。

ロックビットプログラムコマンド(77₁₆/D0₁₆)

第1バスサイクルでコマンドコード“ 77₁₆ ”、続く第2バスサイクルで確認コマンド“ D0₁₆ ”をブロックのブロックアドレスにライトすると指定されたブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。

図1.26.6にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読み出すことができます。

ロックビットプログラムの終了は、ページプログラムと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

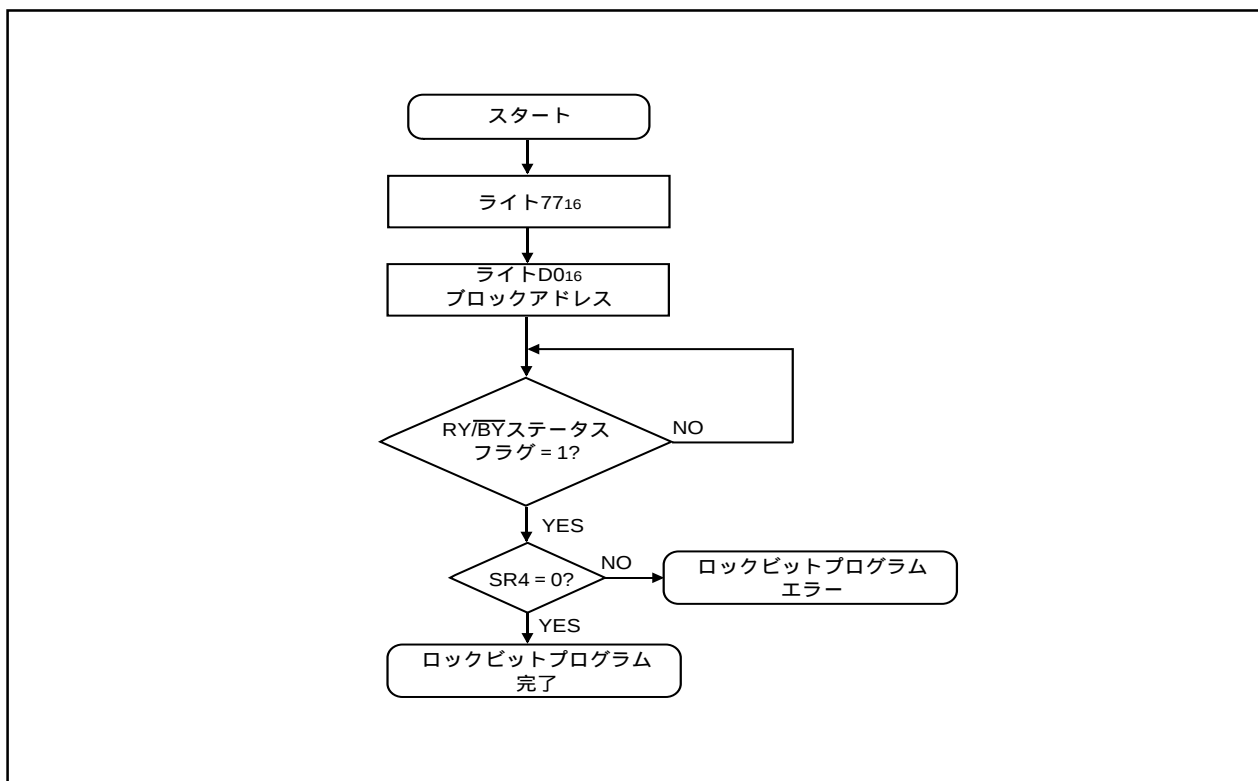


図1.26.6. ロックビットプログラムフローチャート

リードロックビットステータスコマンド(71₁₆)

第1バスサイクルでコマンドコード“71₁₆”をライトした後、次の第2バスサイクルでブロックのブロックアドレスをリードすると指定されたブロックのロックビットの状態がデータバス(D₆)へ読み出されます。

図1.26.7にリードロックビットプログラムのフローチャート例を示します。

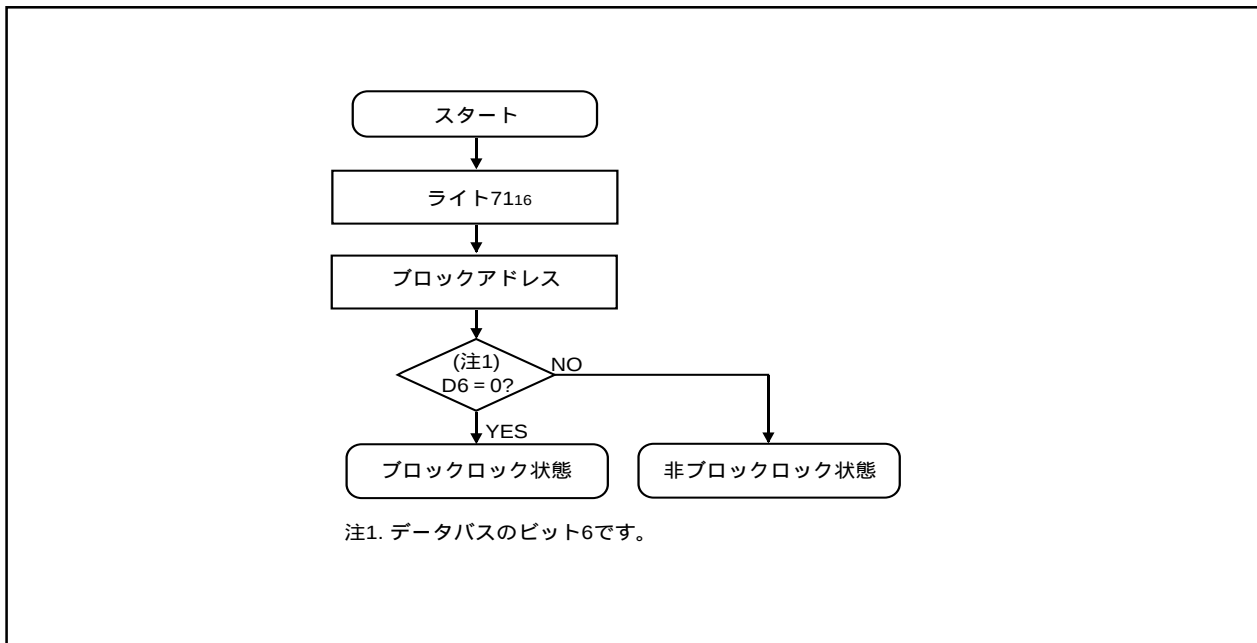


図1.26.7. リードロックビットステータスフローチャート

データ保護機能(ブロックロック)

図1.25.1に示す各々のブロックは、消去/書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とフラッシュメモリ制御レジスタ0のロックビット無効選択ビットの状態が決まります。

- (1) ロックビット無効選択ビットが“0”の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック/非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去/書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去/書き込みが可能です。
- (2) ロックビット無効選択ビットが“1”の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去/書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。ステータスレジスタを表1.26.2に示します。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。リセット解除後、ステータスレジスタは、“80₁₆”になります。
各ビットの意味を以下に示します。

ライトステートマシン(WSM)ステータス(SR7)

電源投入後、ライトステートマシン(WSM)ステータスは“1”にセットされています。

ライトステートマシン(WSM)ステータスはデバイスの動作状況を知らせるものです。自動書き込みや自動消去の動作中は“0”にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはオートイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは自動書き込みの動作状況を示すもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

消去コマンドエラー時(自動ブロック消去コマンド(20₁₆)が入力された後に確認コマンド(D0₁₆)以外のコマンドが入力されたとき発生)には、プログラムステータスとイレーズステータス(SR5)の両方が“1”にセットされます。

プログラムステータスやイレーズステータスが“1”にセットされている状態では、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド以外のコマンドは受け付けません。

また、以下のときにはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

- (1) 規定コマンドが正しく入力されなかった場合。
- (2) ロックビットプログラム(77₁₆/D0₁₆)、ブロックイレーズ(20₁₆/D0₁₆)、イレーズ全アンロックブロック(A7₁₆/D0₁₆)の第2バスサイクルのデータにD0₁₆またはFF₁₆以外のデータを入力した場合。
ただし、FF₁₆を入力すると、リードアレイになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

ブロックステータスアフタプログラム(SR3)

ブロックステータスアフタプログラムはページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる。)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したとき、ステータスレジスタは“80₁₆”を出力し、書き込みがフェイルしたときは“90₁₆”を出力、そして、過剰書き込みが発生したときに“88₁₆”が出力されます。

表1.26.2. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

CPU書き換えモード(フラッシュメモリ版)

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。

図1.26.8にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

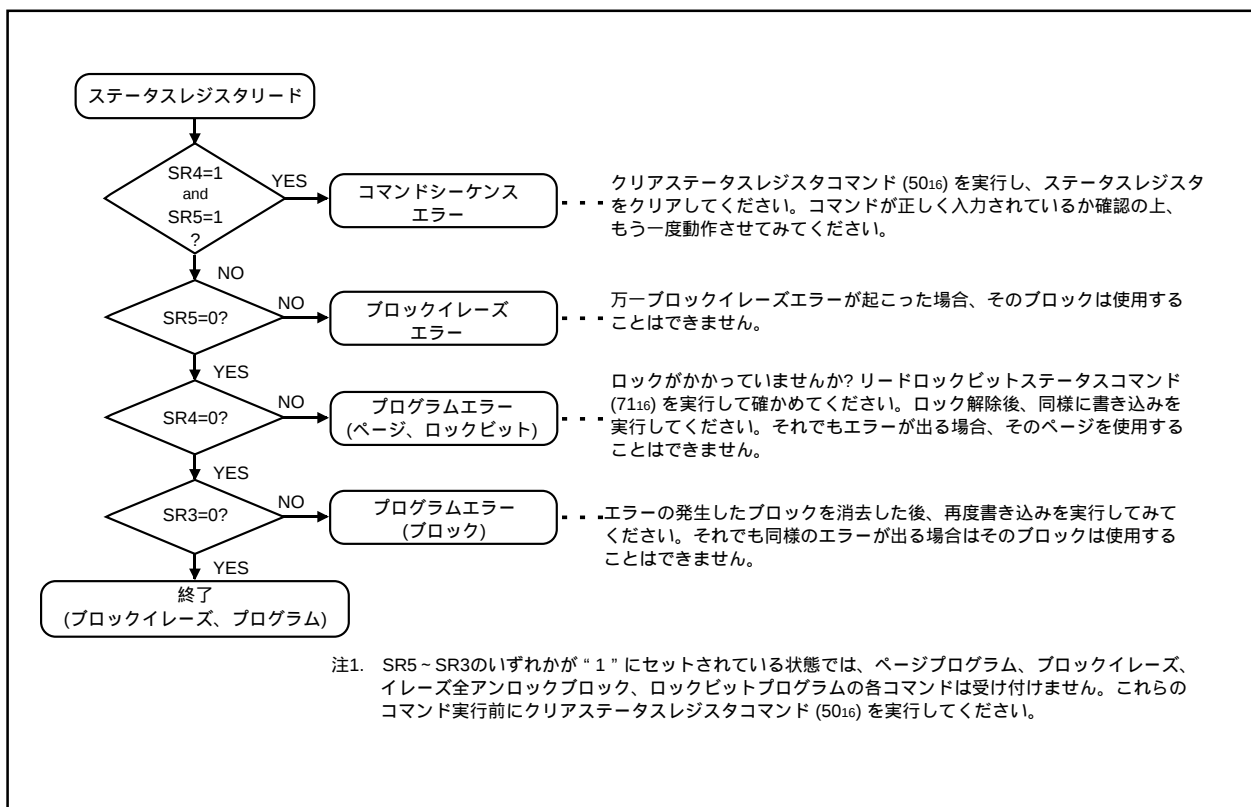


図1.26.8. フルステータスチェックフロチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

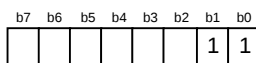
ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、**ROMコードプロテクト制御番地**(0FFFFFFF₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFFFF₁₆番地)の構成を図1.27.1に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成される**ROMコードプロテクトビット**内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトには2レベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

ROMコードプロテクト制御番地



シンボル アドレス 出荷時の値
ROMCP 0FFFFFFF₁₆番地 FF₁₆

ビットシンボル	ビット名	機 能
予約ビット		必ず“1”を設定してください
ROMCP2	ROMコードプロテクト レベル2設定ビット (注1)(注2)	b3 b2 00: プロテクト有効 01: プロテクト有効 10: プロテクト有効 11: プロテクト無効
ROMCR	ROMコードプロテクト 解除ビット (注3)	b5 b4 00: プロテクト解除 01: プロテクト設定ビット有効 10: プロテクト設定ビット有効 11: プロテクト設定ビット有効
ROMCP1	ROMコードプロテクト レベル1設定ビット (注1)	b7 b6 00: プロテクト有効 01: プロテクト有効 10: プロテクト有効 11: プロテクト無効

注1. ROMコードプロテクトを設定すると、パラレル入出力モードでの内蔵フラッシュメモリの読み出しや内容の変更を禁止します。

注2. ROMコードプロテクト・レベル2を設定すると、出荷検査用LSIテスト等での、ROMコード読み出しも禁止します。

注3. ROMコードプロテクト解除ビットでは、ROMコードプロテクト・レベル1、およびROMコードプロテクト・レベル2を解除できます。但し、パラレル入出力モードでは変更できないため、シリアル入出力モード等で変更する必要があります。

図1.27.1. ROMコードプロテクト制御番地の構成

IDコードチェック機能

標準シリアル入出力モードで使⽤します。フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが⼀致するか判定します。コードが⼀致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE3₁₆、0FFFE₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

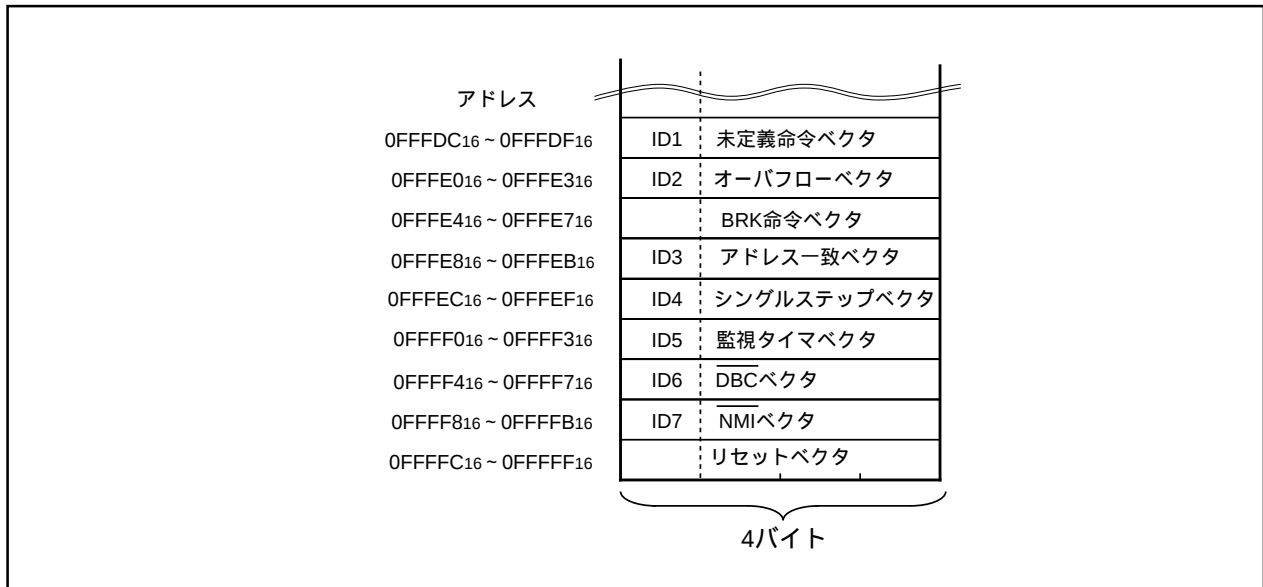


図1.27.2. IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

M16C/62A(フラッシュメモリ版)をサポートしている専用ライタを使用してください。使用方法の詳細は各ライタメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、[図1.25.1](#)に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを[図1.25.1](#)に示します。

ブートROM領域は、8Kバイトで、パラレル入出力モードでは、0FE000₁₆～0FFFFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは8Kバイト単位の1ブロックのみです。ブートROM領域は、三菱からの出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで 사용되는場合には、ブートROM領域の書き込みは必要ありません。

付録 標準シリアル入出力モード(フラッシュメモリ版)

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名 称	入出力	機 能
VCC,VSS	電源入力		VCC端子にはプログラム/イレーズの保証電圧を、VSSには0Vを印加してください。
CNVSS	CNVss	入力	VCCに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが"L"の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VssまたはVccに接続してください。
AVCC、AVSS	アナログ電源入力		AVssはVssに、AVccはVccに接続してください。
VREF	基準電圧入力	入力	AD変換器の基準電圧入力端子です。
P00 ~ P07	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P10 ~ P17	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P20 ~ P27	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P30 ~ P37	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P40 ~ P47	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P51 ~ P54,P56,P57	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
P50	CE入力	入力	"H"を入力してください。
P55	EPM入力	入力	"L"を入力してください。
P60 ~ P63	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
P64	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P65	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: "L"を入力してください。
P66	RXD入力	入力	シリアルデータの入力端子です。
P67	TXD出力	出力	シリアルデータの出力端子です。
P70 ~ P77	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
P80 ~ P84,P86,P87	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P85	NMI入力	入力	Vccに接続してください。
P90 ~ P97	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
P100 ~ P107	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。

付録 標準シリアル入出力モード(フラッシュメモリ版)

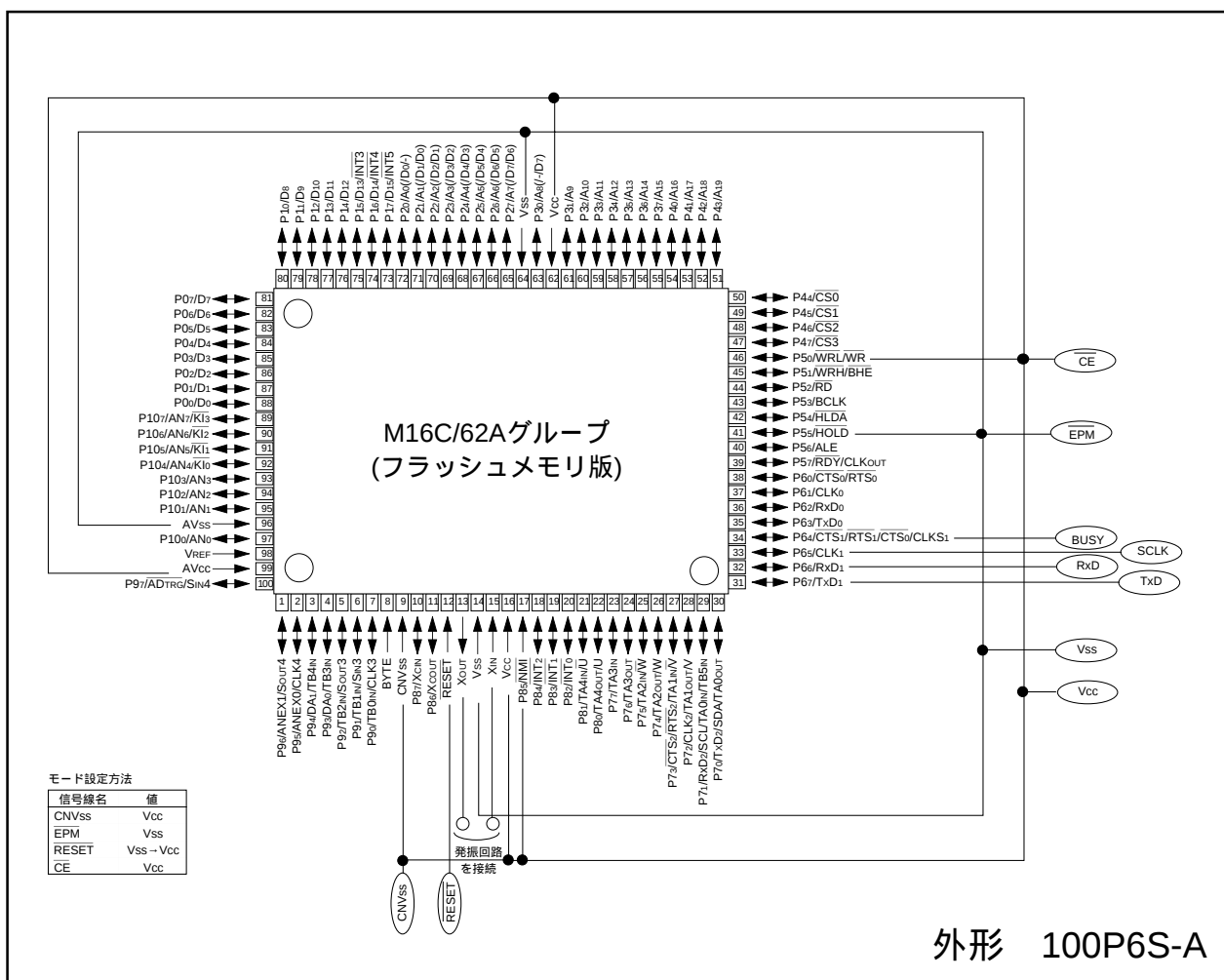


図1.29.1. 標準シリアル入出力モード時の端子結線図(1)

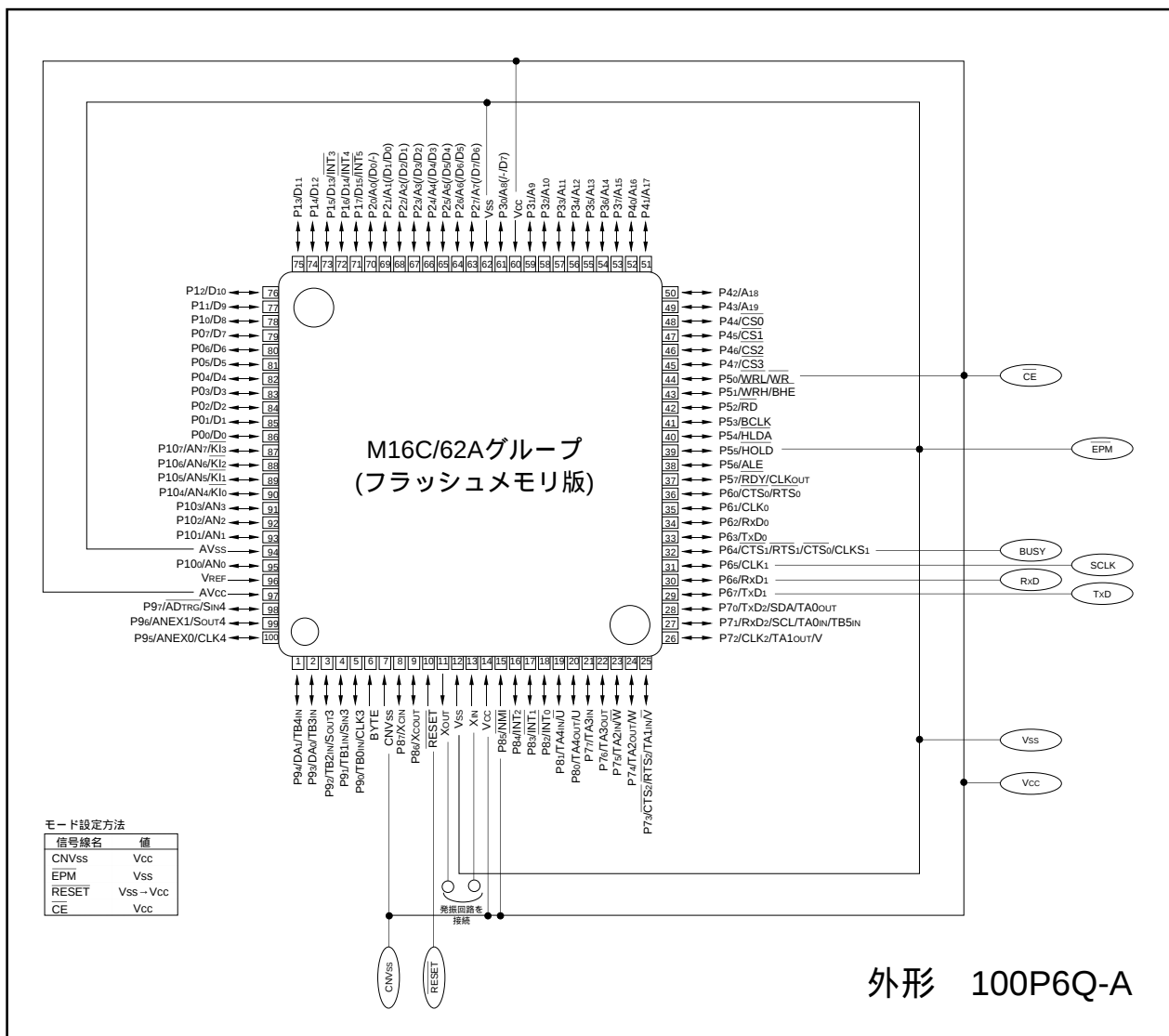


図1.29.2. 標準シリアル入出力モード時の端子結線図(2)

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードです。標準シリアル入出力モードには、

- ・クロック同期形のモード1
- ・クロック非同期形のモード2

があり、専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P50(C $\overline{\text{E}}$)端子を“H”、P55(E $\overline{\text{P}}\text{M}$)端子を“L”、CNVss端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、CNVss端子は“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図1.29.1、図1.29.2に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART1を使って行い、8ビット単位でシリアル転送します。リセット解除時のCLK1端子によって、モード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、CLK1端子を“H”にしてリセットを解除します。UART1の端子CLK1、RxD1、TxD1、RTS1(BUSY)の4本を使用します。CLK1端子は転送クロックの入力端子で、外部からの転送クロックを入力します。TxD1端子はCMOS出力です。RTS1(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、CLK1端子を“L”にしてリセットを解除します。UART1の端子RxD1、TxD1の2本を使用します。

標準シリアル入出力モードでは、図1.29.19に示すユーザROM領域のみ書き換え可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライター)から送られてくるコマンドを受け付けません。

標準シリアル入出力モード1(クロック同期形)機能概要

標準シリアル入出力モード1では、4線式クロック同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“H”にしてリセットを解除すると標準シリアル入出力モード1になります。

受信時には、ソフトウェアコマンド、アドレスおよびプログラムデータは、CLK1端子に入力する転送クロック立ち上がりに同期して、RxD1端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がりに同期して、TxD1端子から外部に出力します。

TxD1端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS1(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS1(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、[ステータスレジスタ](#)等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

付録 標準シリアル入出力モード1(フラッシュメモリ版)

ソフトウェアコマンド

表1.29.1にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード1では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウェアコマンドの内容を説明します

表1.29.1. ソフトウェアコマンド一覧表(標準シリアル入出力モード1)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	～	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	～259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	～259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ 全アンロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードロックテストステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ロックテストデータ 出力				受付不可
8	ロックテストプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ロックテスト有効	7A ₁₆							受付不可
10	ロックテスト無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	～ID7	受付可
12	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェック サム	データ入力	～必要回数		受付不可
13	ページ情報出力機能	FB ₁₆	ページアドレス 出力	ページアドレス 出力	ページアドレス 出力	ページアドレス 出力	ページアドレス 出力	～9バイト目 ページアドレス 出力	受付可
14	ページROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	～259バイト目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン→外部装置への転送

それ以外は、外部装置→フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈～A₂₃で指定したページ(256バイト)のデータ(D₀～D₇)を最小のアドレスから順番に出力します。

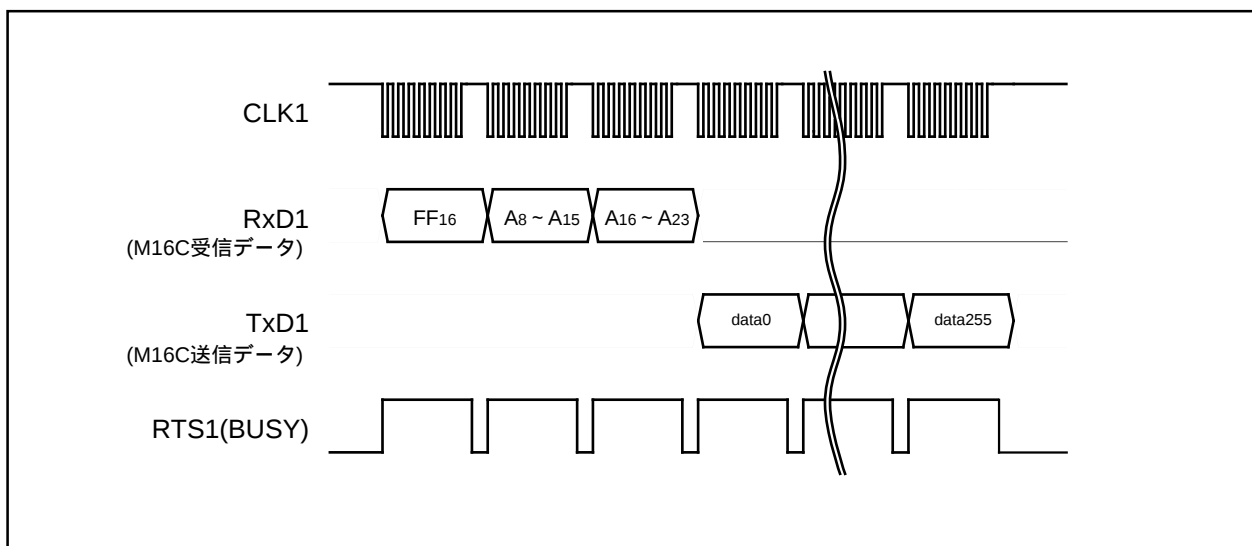


図1.29.3. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ1(SRD1)の内容を出力します。

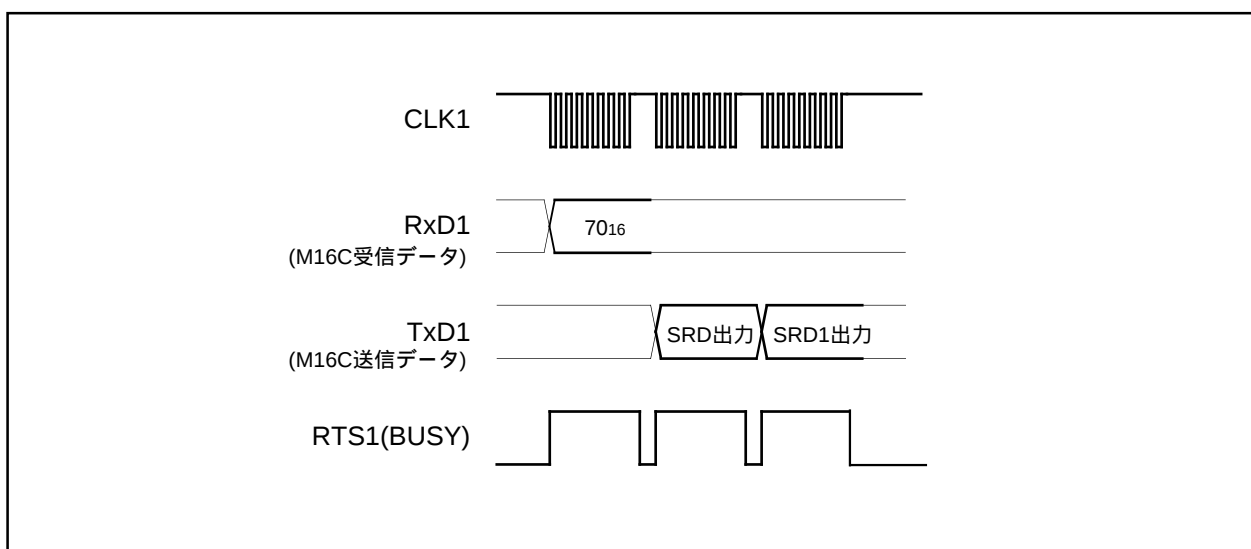


図1.29.4. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS1(BUSY)信号は“H”から“L”に変化します。

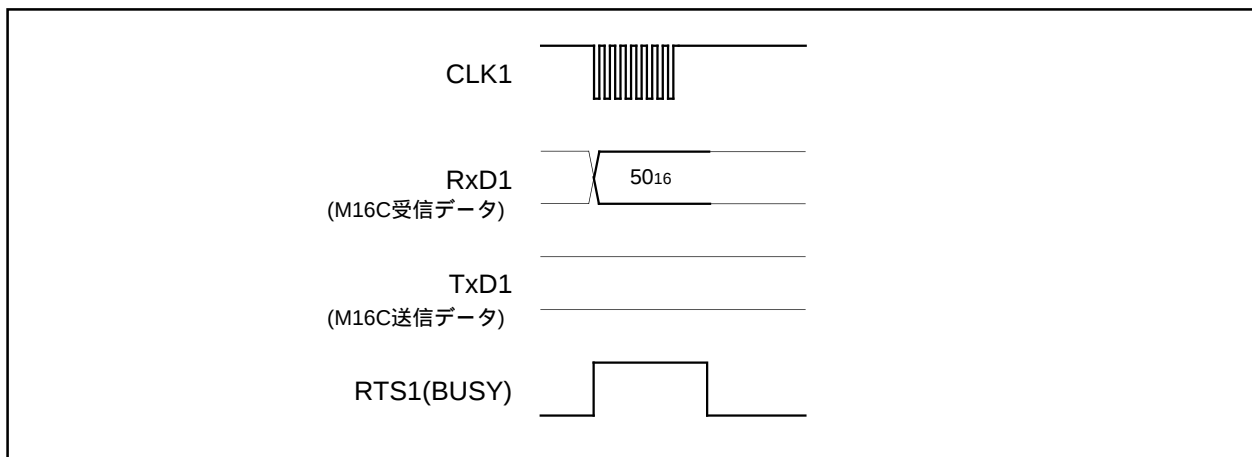


図1.29.5. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8~A15、アドレスA16~A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS1(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

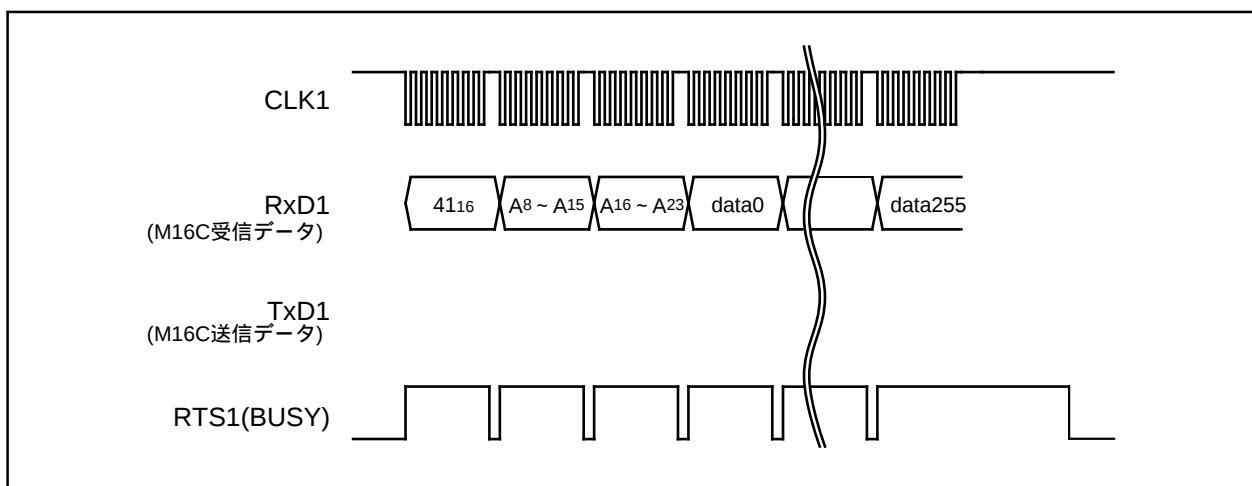


図1.29.6. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS₁(BUSY)信号が“H”から“L”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

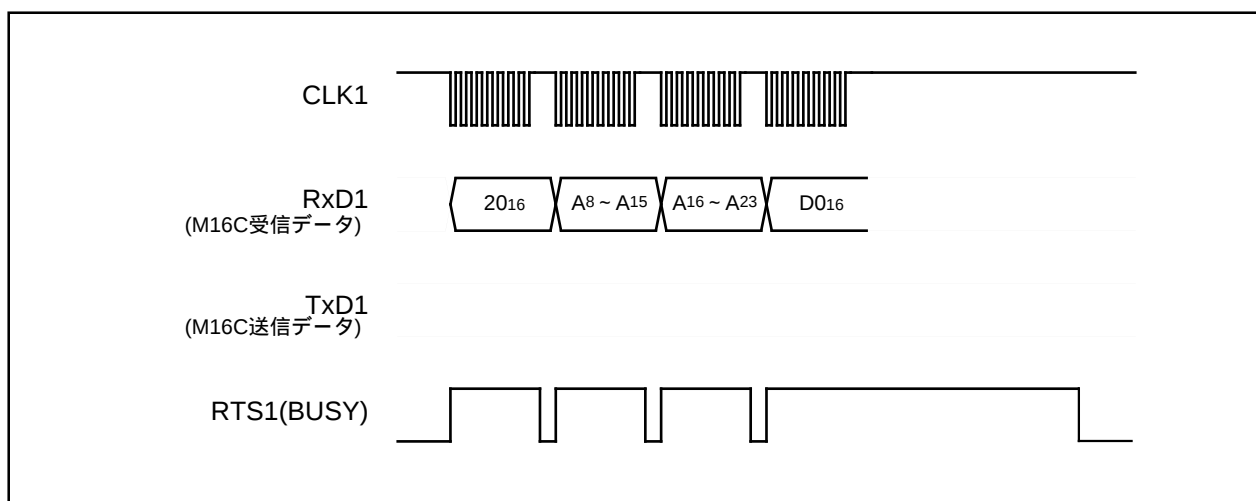


図1.29.7. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンロックブロックが終了するとRTS₁(BUSY)信号が“ H ” から “ L ” に変化します。イレーズの結果も、[ステータスレジスタ](#)の読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

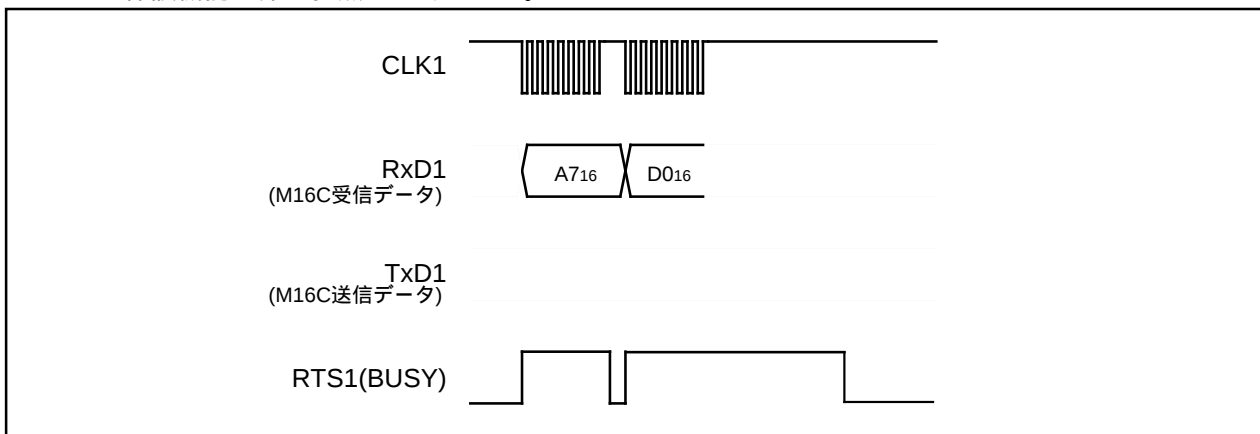


図1.29.8. イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ” (ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 77₁₆ ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈ ~ A₁₅、アドレスA₁₆ ~ A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D0₁₆ ”を転送すると、指定ブロックのロックビットに“ 0 ” が書き込まれます。なお、A₈ ~ A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

書き込みが終了するとRTS₁(BUSY)信号は“ H ” から “ L ” に変化します。ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

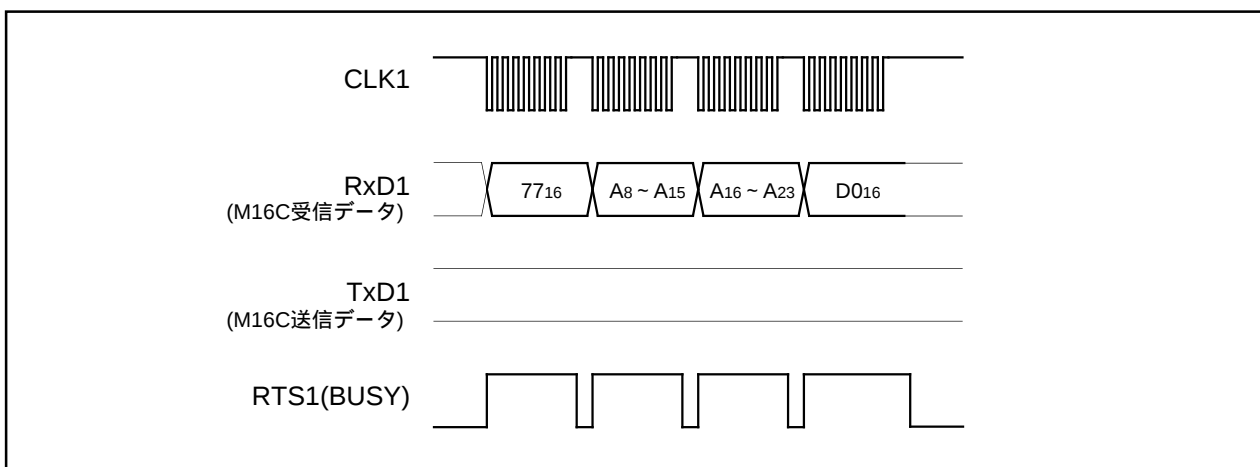


図1.29.9. ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

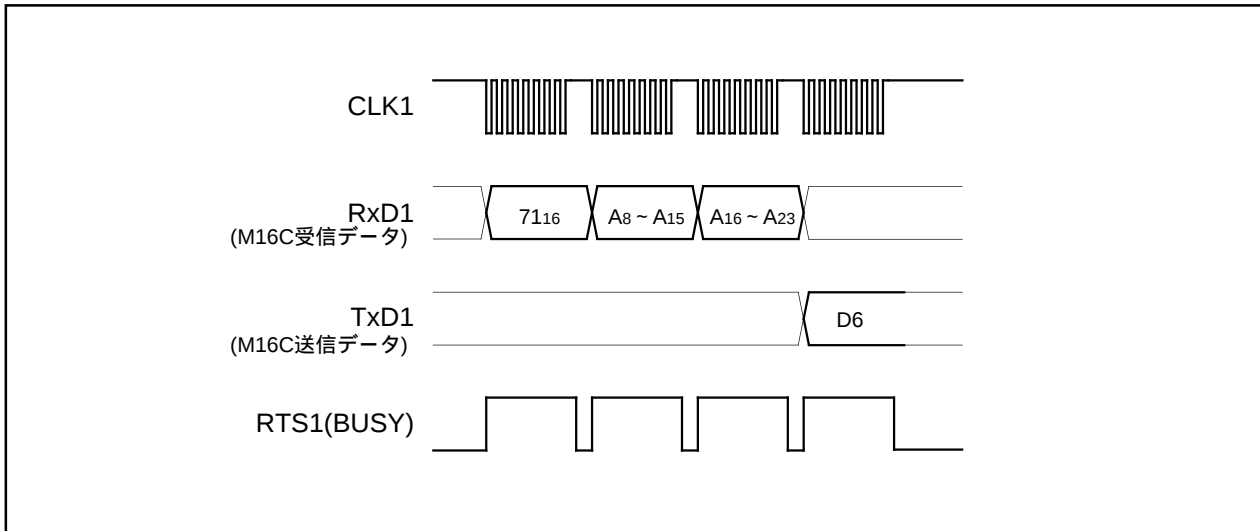


図1.29.10. リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

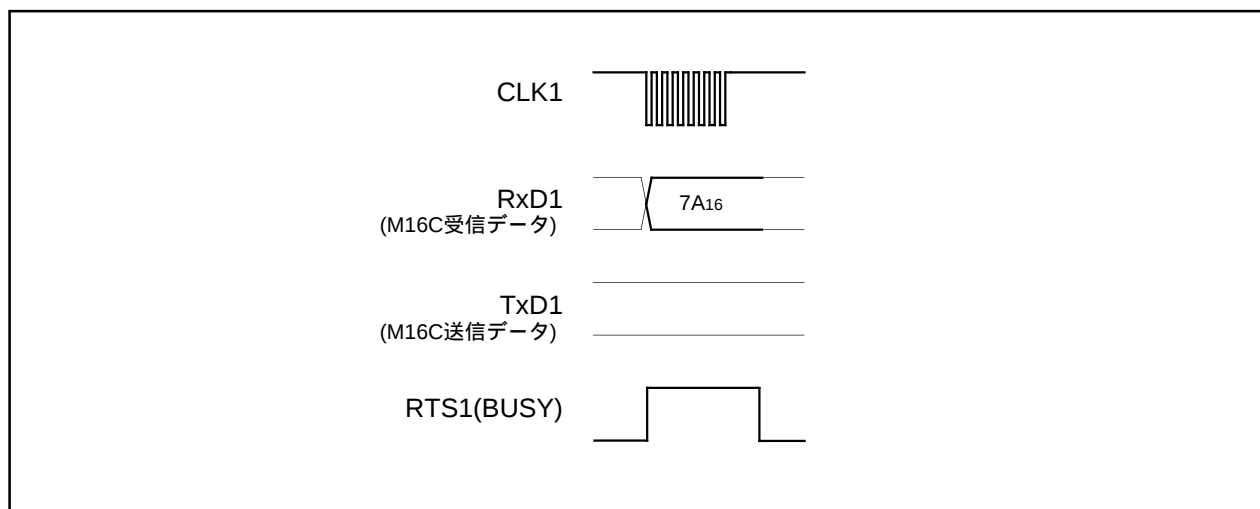


図1.29.11. ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

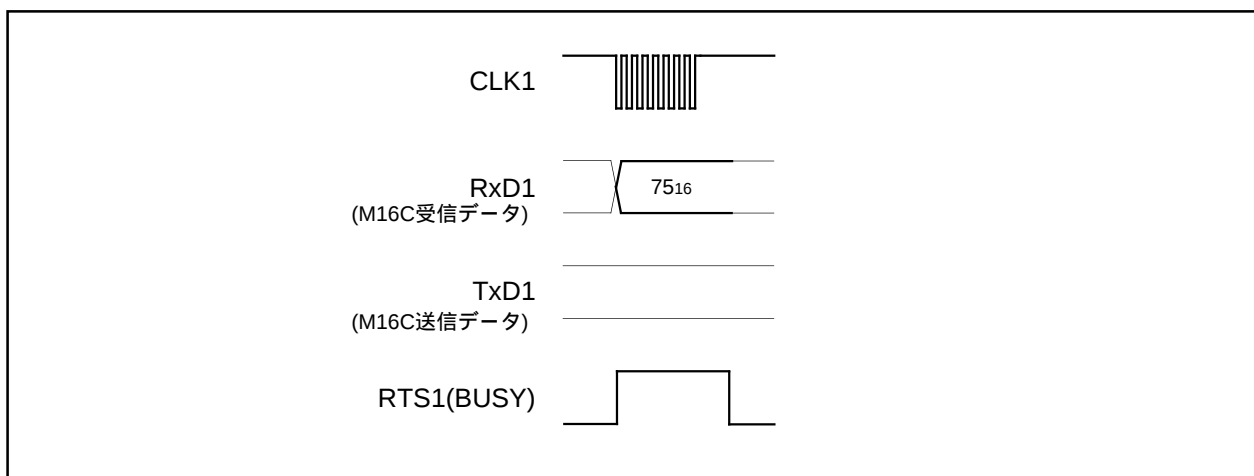


図1.29.12. ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

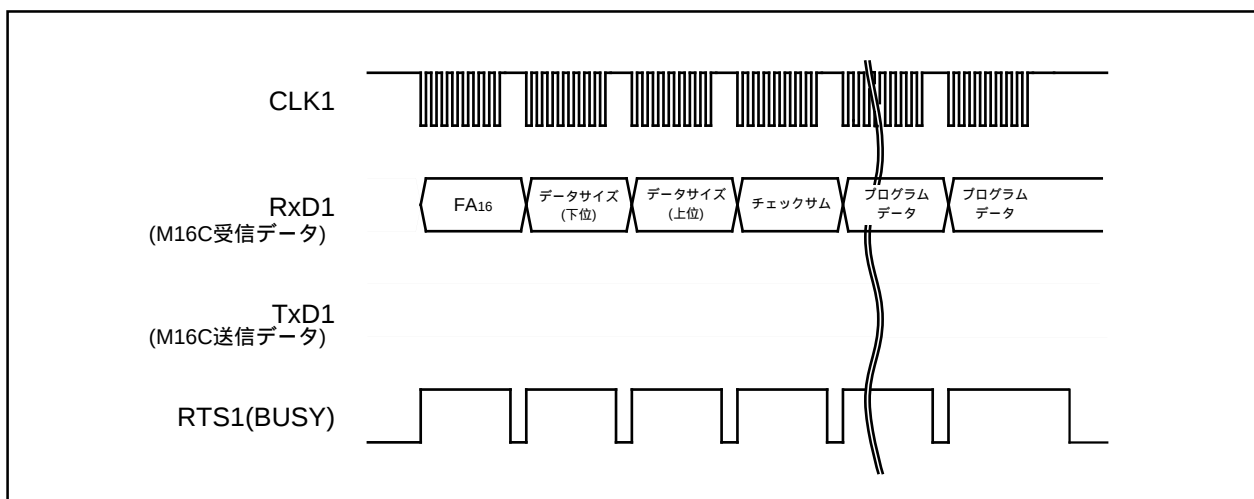


図1.29.13. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

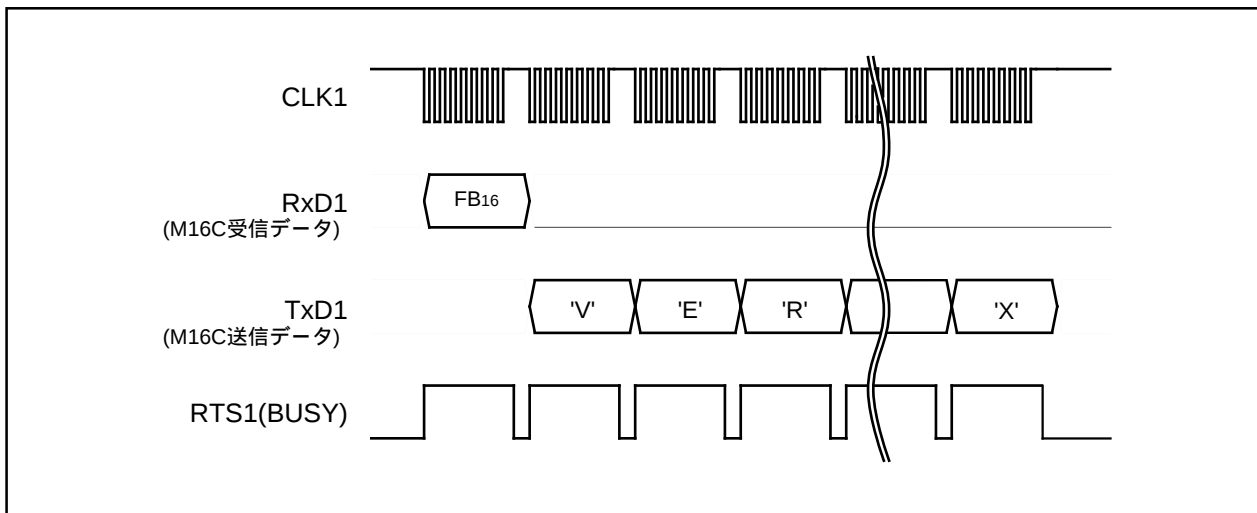


図1.29.14. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

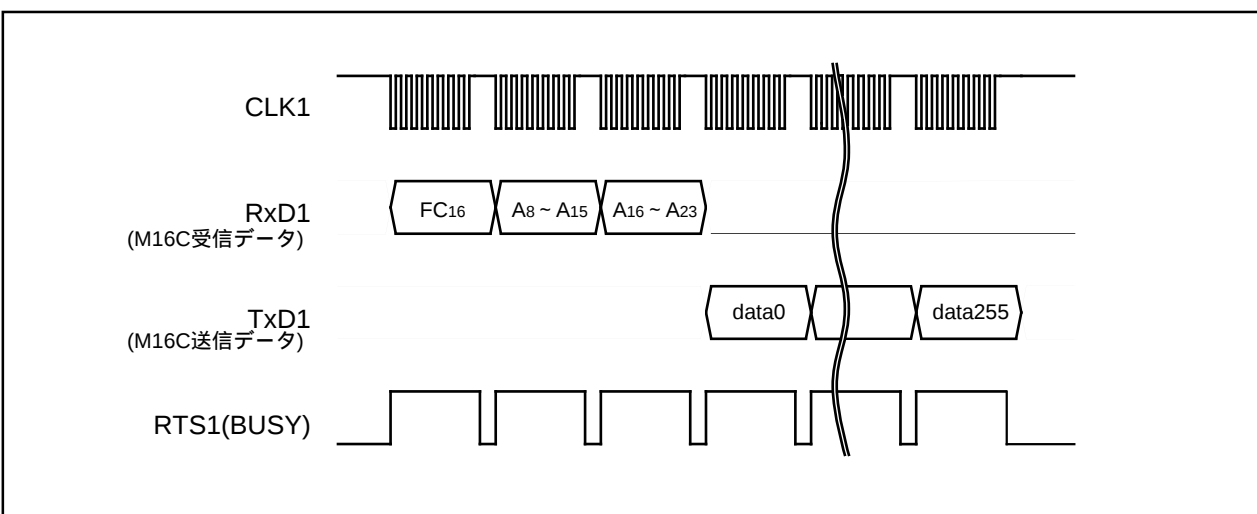


図1.29.15. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀～A₇、A₈～A₁₅、A₁₆～A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

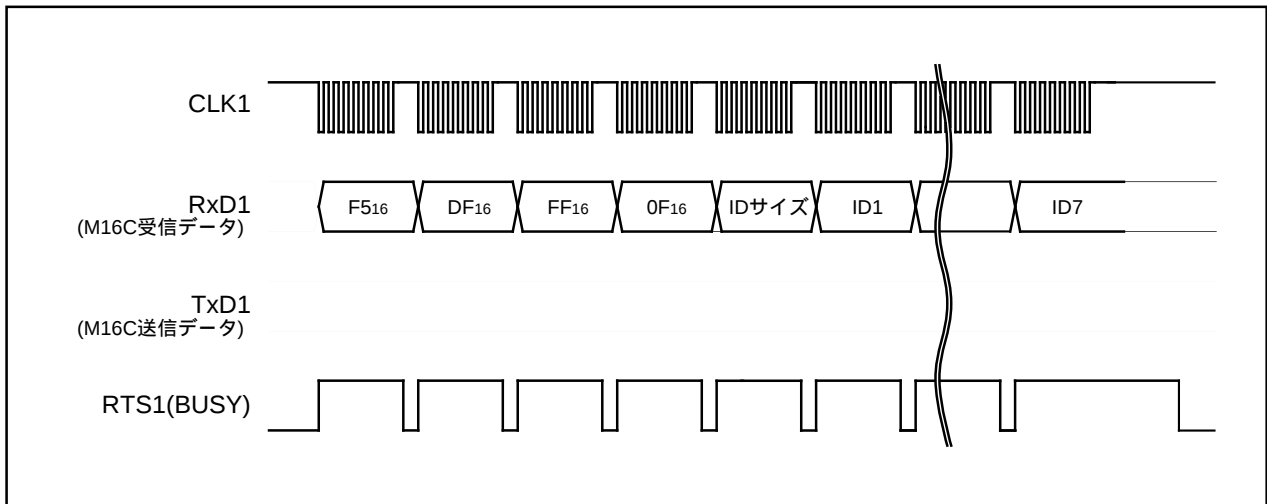


図1.29.16. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がblankでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFD₁₆、0FFFE₀₁₆、0FFFE₃₁₆、0FFFE₆₁₆、0FFFE_F₁₆、0FFFF₀₁₆、0FFFF₇₁₆、0FFFF_B₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

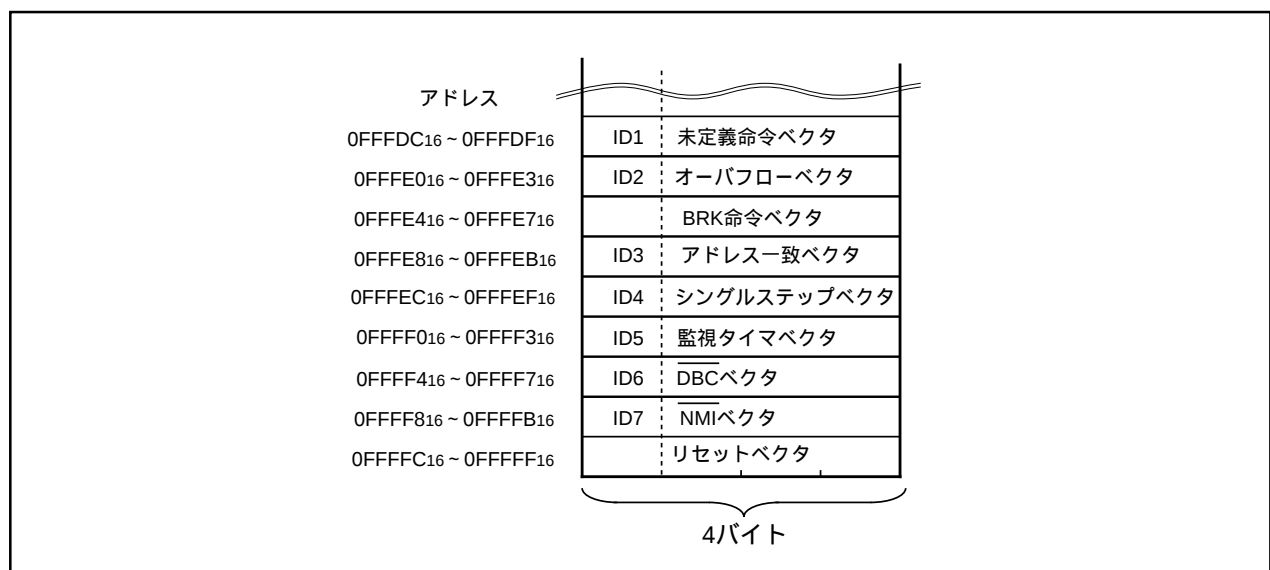


図1.29.17. IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD16”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

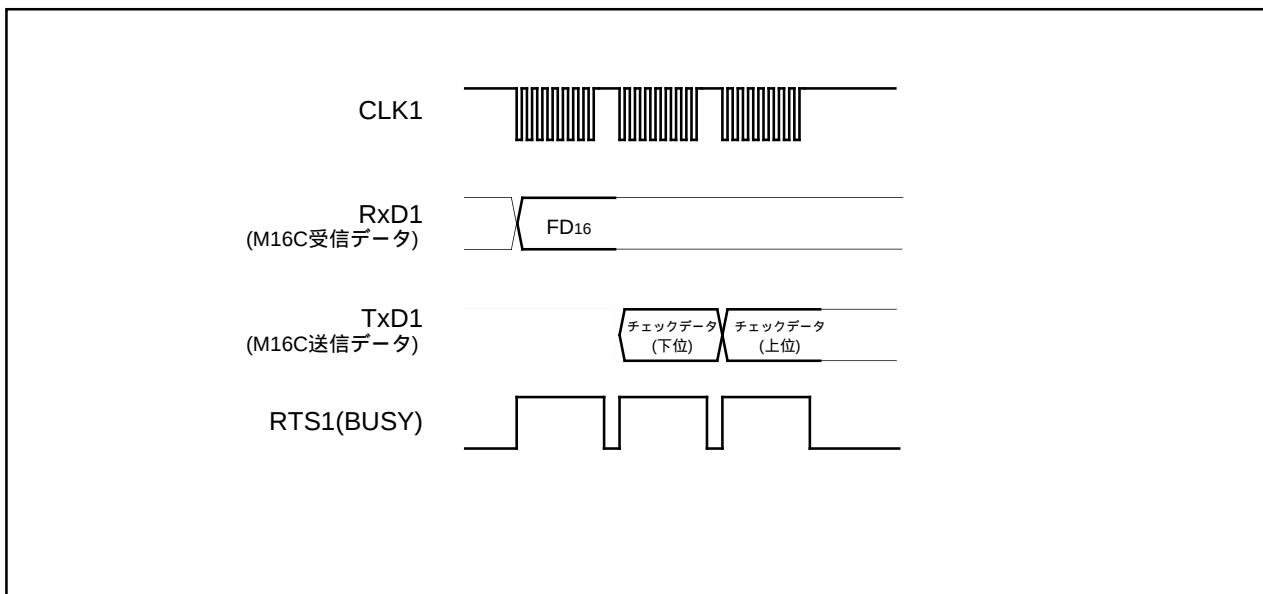


図1.29.18. リードチェックデータコマンド時のタイミング

データ保護機能(ブロックロック)

図1.29.19 に示す各々のブロックは、消去 / 書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、有効はロックビットの状態とロックビット無効コマンド / ロックビット有効コマンドの実行状況で決まります。

- (1) リセット解除後およびロックビット有効コマンド実行後の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック / 非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去 / 書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去 / 書き込みが可能です。
- (2) ロックビット無効コマンド実行後の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去 / 書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

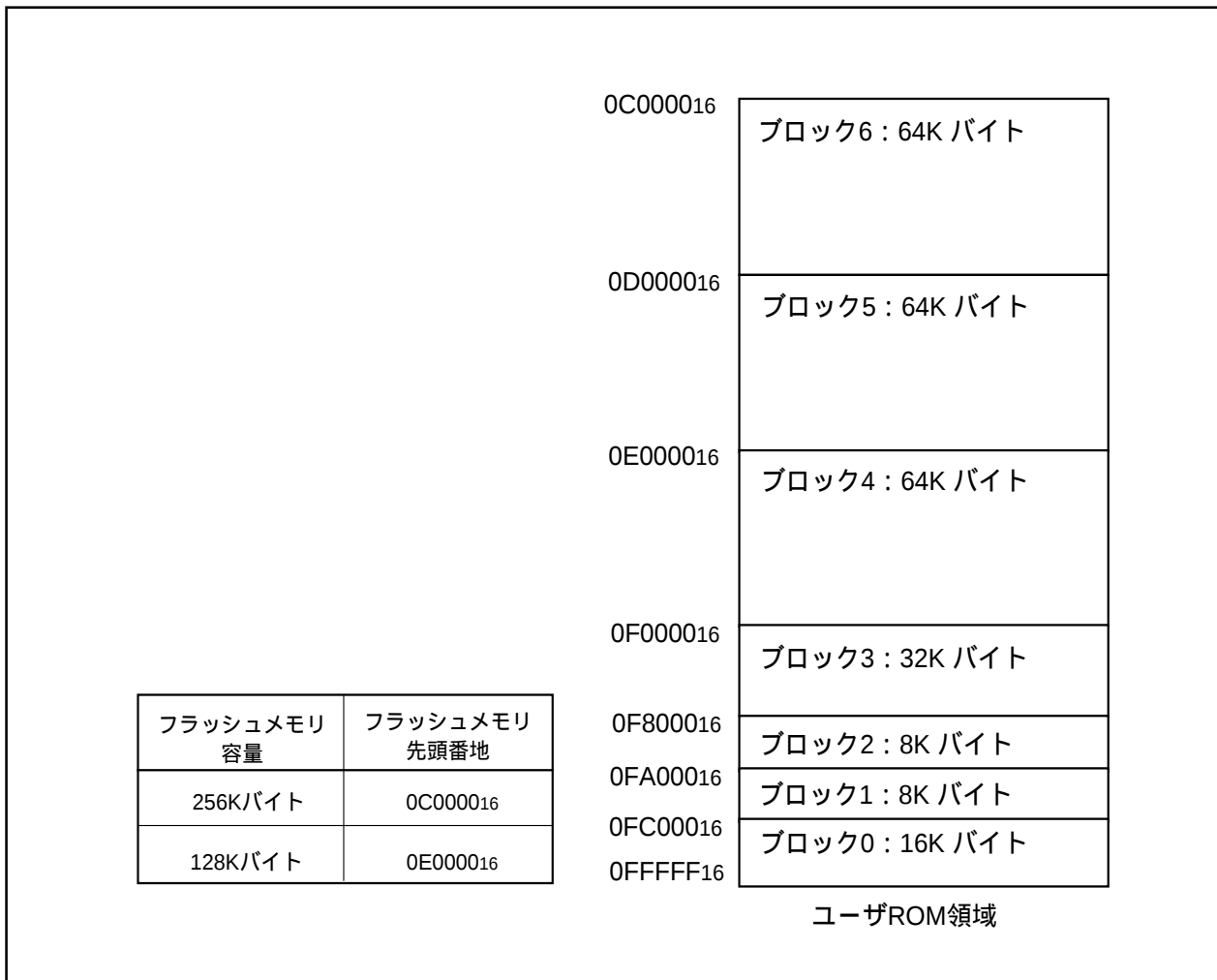


図1.29.19. ユーザ領域の各ブロック

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常 / エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.29.2に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“ 80₁₆ ” を出力します。

表1.29.2. ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定義	
		"1"	"0"
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

ライトステートマシン(WSM)ステータス(SR7)

ライトステートマシン(WSM)ステータスは、フラッシュメモリの動作状況を知らせるもので電源投入時、“ 1 ” (レディ)にセットされています。

自動書き込みや自動消去の動作中は“ 0 ” (ビジー)にセットされますが、これらの動作終了とともに“ 1 ” にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“ 1 ” にセットされます。イレーズステータスは、クリアされると“ 0 ” になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“ 1 ” にセットされます。プログラムステータスは、クリアされると“ 0 ” になります。

ブロックステータスアフタープログラム(SR3)

ブロックステータスアフタープログラムは、ページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したとき**ステータスレジスタ**は“80₁₆”、書き込みがフェイルしたときは“90₁₆”、そして、過剰書き込みが発生したときに“88₁₆”となります。

SR5、SR4、SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレース、イレース全アンロックブロック、ロックビットプログラムコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(50₁₆)を実行し、ステータスをクリアしてください。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.29.3に各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

表1.29.3. ステータスレジスタ1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.29.20 にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

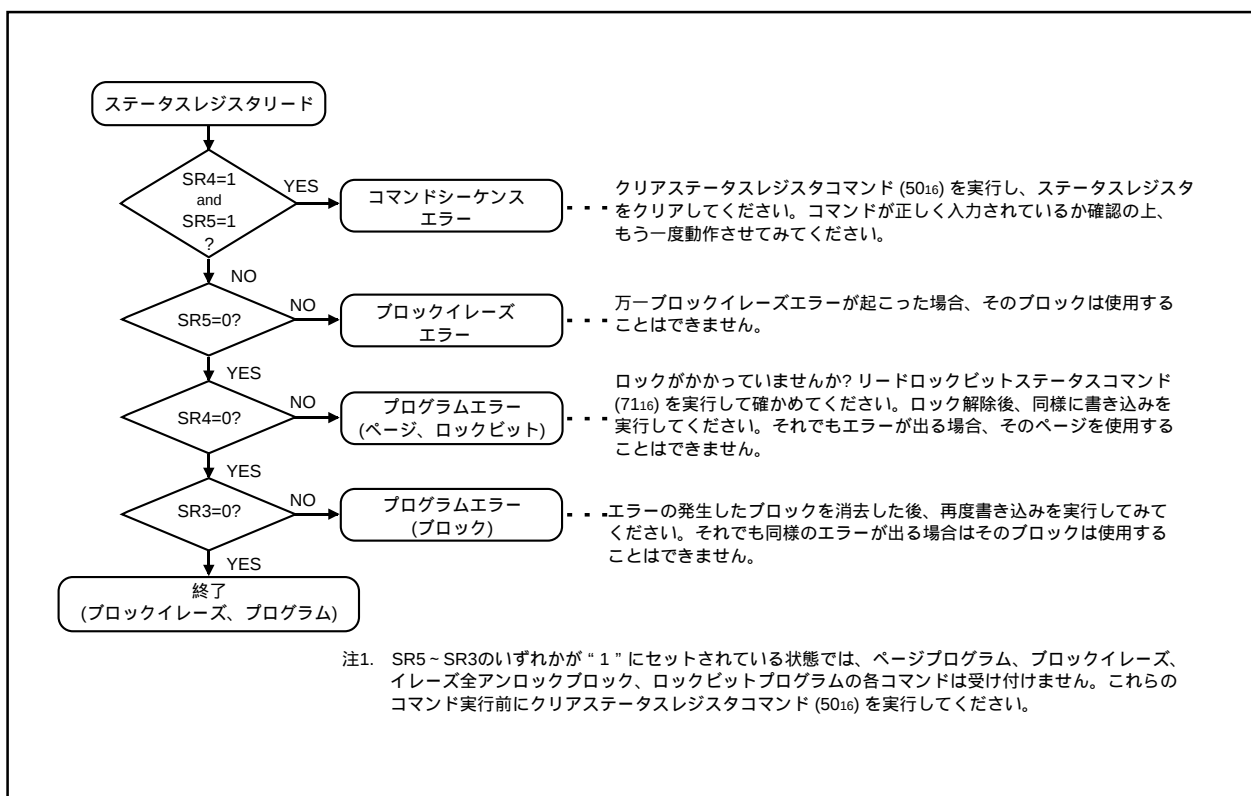


図1.29.20. フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード1時の応用回路(例)

標準シリアル入出力モード1を使用する場合の応用回路を示します。外部装置(ライタ)によって制御するピン等が違いますので、詳細は外部装置(ライタ)のマニュアルを参考にしてください。

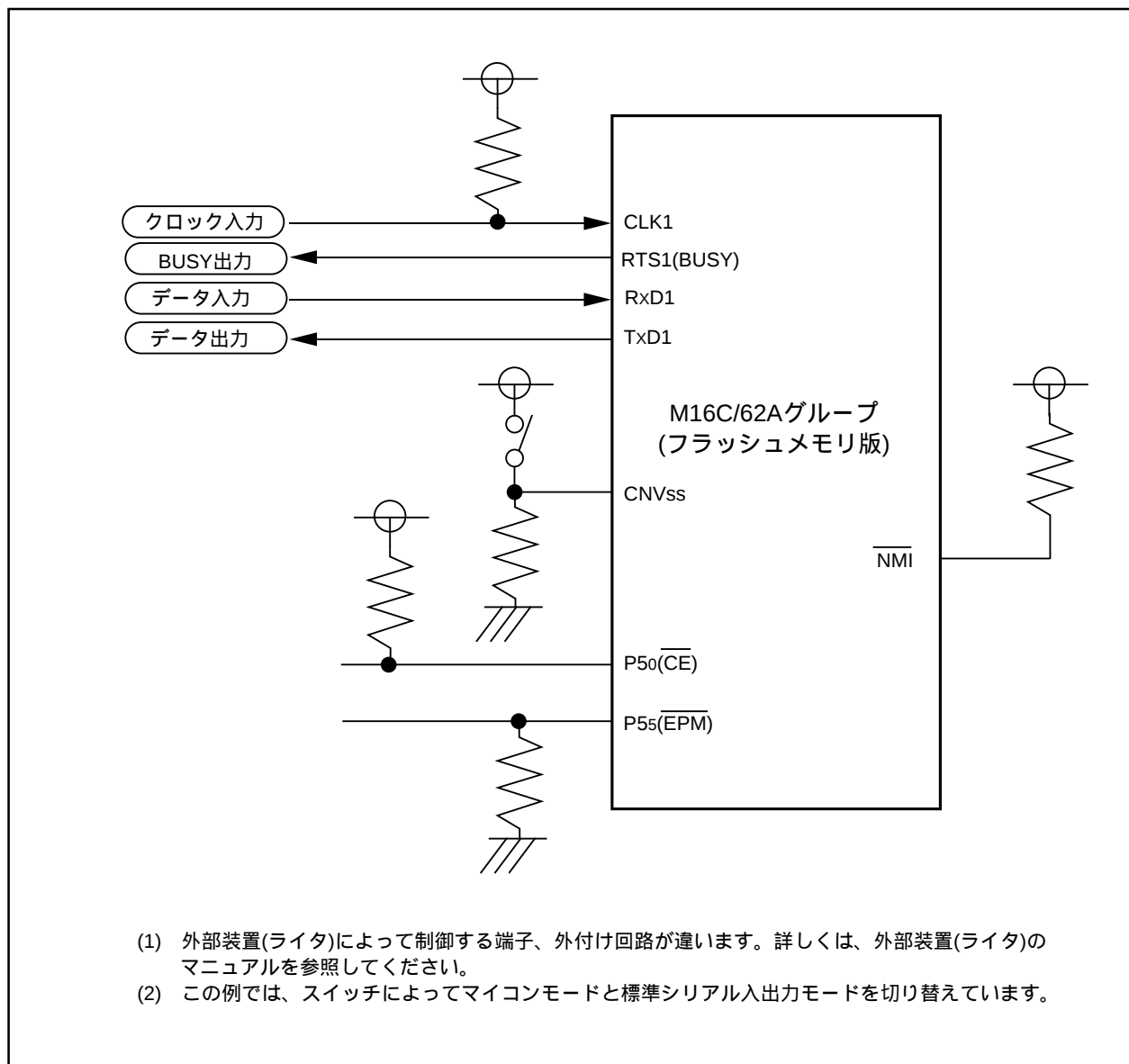


図1.29.21. 標準シリアル入出力モード1時の応用回路例

標準シリアル入出力モード2(クロック非同期形)機能概要

標準シリアル入出力モード2では、2線式クロック非同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“L”にしてリセットを解除すると標準シリアル入出力モード2になります。

TxD1端子はCMOS出力です。データ転送は、8ビット単位、LSBファースト、1ストップビット、パリティ禁止で行います。

リセット解除後、外部装置との初期通信(図1.29.22)により、転送速度9600bpsで接続が可能になります。ただし、メインクロックの入力発振周波数は2MHz以上にする必要があります。またその後、転送速度は、ソフトウェアコマンドを実行することで、9600bps、19200bps、38400bps、57600bpsに変更することができます。しかし、メインクロックの入力発振周波数によっては通信エラーとなる場合があります。その場合、メインクロックの入力発振周波数、転送速度を変更してください。

外部装置よりイレーズ、プログラム等、イレーズ時間/書き込み時間が発生するコマンドを実行した後は、充分な間隔を設けるか、リードステータスコマンドを実行し処理の終了を確認してから、次のコマンド転送を行ってください。

メモリ内のデータ、ステータスレジスタ等は、ソフトウェアコマンド転送後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態は、ステータスレジスタを読み出すことでチェックできます。以下、外部装置との初期通信、周波数判定方法、およびソフトウェアコマンドについて説明します。

外部装置との初期通信について

リセット解除時に、外部装置側との初期通信(図1.29.22)の手順でコードを送信することで、メインクロックの入力発振周波数に合わせて転送速度レジスタを9600bpsに調整します。

- (1) 外部装置から“B016”を転送します。このとき、メインクロックの入力発振周波数が10MHz/16MHzの場合、フラッシュメモリ内蔵マイコンは、確認コード“B016”を出力します。10MHz/16MHz以外の場合、何も出力しません。
- (2) 外部装置から“0016”を16回転送します。(フラッシュメモリ内蔵マイコンは“0016”が正しく受信できるように転送速度レジスタを設定します。)
- (3) フラッシュメモリ内蔵マイコンは、確認コード“B016”を出力し、初期通信を終了します^(注1)。

初期通信は、転送速度9600bpsで行い、転送間隔は15ms以上あける必要があります。また、初期通信完了時の転送速度は9600bpsです。

注1. 外部装置に“B016”が正しく受信できない場合は、メインクロック入力発振周波数を変更してください。

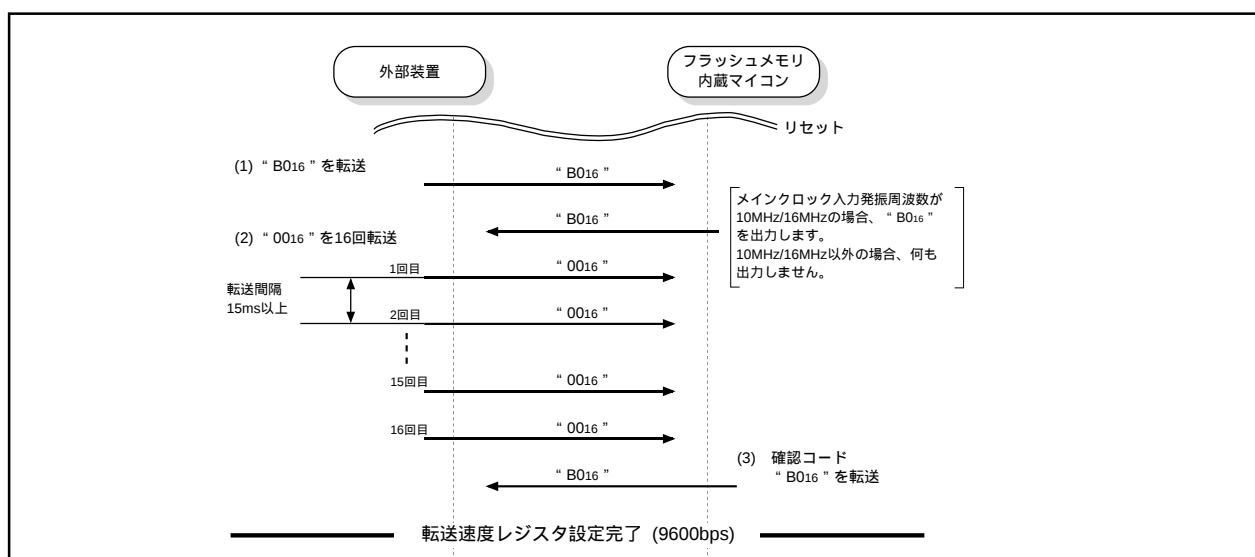


図1.29.22. 外部装置との初期通信

周波数判定方法

外部装置から、9600bpsの転送速度で“0016”データを16回受信することで、動作周波数(2MHz～16MHz)に合った、**転送速度レジスタ**の値を設定します。最初の8回で転送速度レジスタの最大値を、次の8回で最小値を求め、その値から9600bps時の値を計算しています。

動作周波数によっては、ボーレートを実現できない場合もあります。

表1.29.4に主な周波数と実現できるボーレートの一覧を示します。

表1.29.4 動作周波数と対応ボーレート

動作周波数(MHz)	ボーレート 9600bps	ボーレート 19200bps	ボーレート 38400bps	ボーレート 57600bps
16MHz	○	○	○	○
12MHz	○	○	○	×
11MHz	○	○	○	×
10MHz	○	○	×	○
8MHz	○	○	×	○
7.3728MHz	○	○	○	○
6MHz	○	○	○	×
5MHz	○	○	×	×
4.5MHz	○	○	×	○
4.194304MHz	○	○	○	×
4MHz	○	○	×	×
3.58MHz	○	○	○	○
3MHz	○	○	○	×
2MHz	○	×	×	×

○：通信可能

×：通信不可

付録 標準シリアル入出力モード2(フラッシュメモリ版)

ソフトウェアコマンド

表1.29.5にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード2では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モード2では、標準シリアル入出力モード1のソフトウェアコマンドに、ボーレート9600、ボーレート19200、ボーレート38400、ボーレート57600の4コマンドを追加しています。

以下に各ソフトウェアコマンドの内容を説明します

表1.29.5. ソフトウェアコマンド一覧表(標準シリアル入出力モード2)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	～	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	～259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	～259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全アンロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードロックビットステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ロックビットデータ 出力				受付不可
8	ロックビットプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ロックビット有効	7A ₁₆							受付不可
10	ロックビット無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	～ID7	受付可
12	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェック サム	データ入力	～必要回数		受付不可
13	ページ情報出力機能	FB ₁₆	ページ番号データ 出力	ページ番号データ 出力	ページ番号データ 出力	ページ番号データ 出力	ページ番号データ 出力	～9バイト目 ページ番号データ出力	受付可
14	ページROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	～259バイト目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可
16	ボーレート9600	B0 ₁₆	B0 ₁₆						受付可
17	ボーレート19200	B1 ₁₆	B1 ₁₆						受付可
18	ボーレート38400	B2 ₁₆	B2 ₁₆						受付可
19	ボーレート57600	B3 ₁₆	B3 ₁₆						受付可

注1. 網掛けは、フラッシュメモリ内蔵マイコン→外部装置への転送

それ以外は、外部装置→フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目以降に、アドレスA₈～A₂₃で指定したページ(256バイト)のデータ(D₀～D₇)を最小のアドレスから順番に出力します。

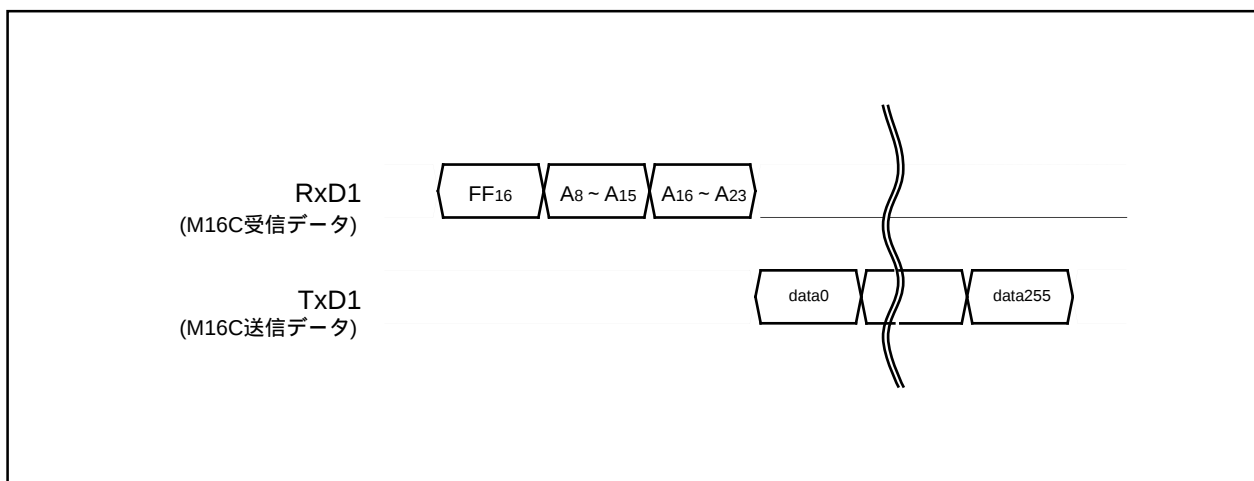


図1.29.23. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送で**ステータスレジスタ(SRD)**、3バイト目の転送で**ステータスレジスタ1(SRD1)**の内容を出力します。

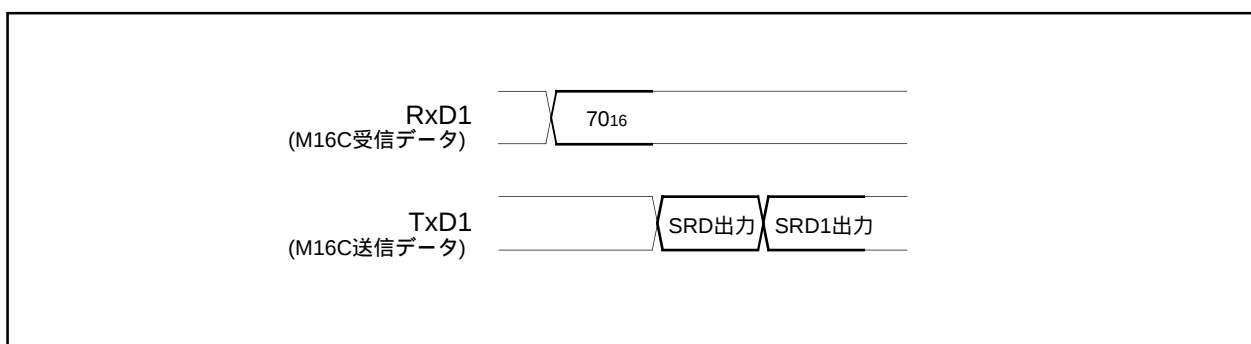


図1.29.24. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。

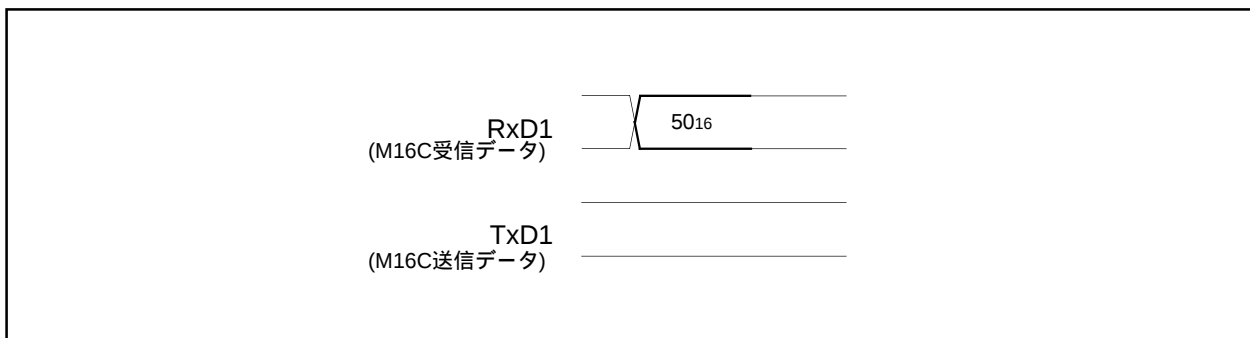


図1.29.25. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8~A15、アドレスA16~A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

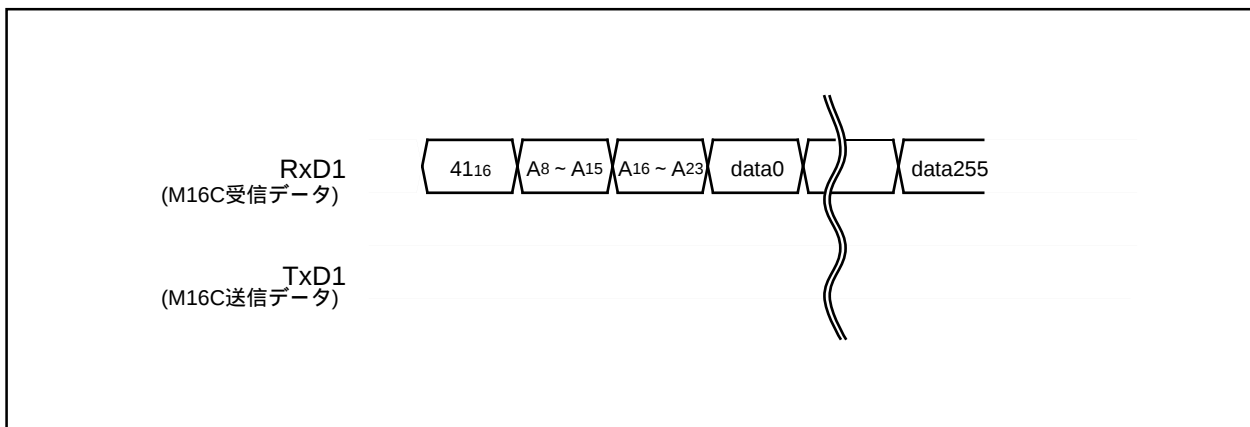


図1.29.26. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了後、[ステータスレジスタ](#)を読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

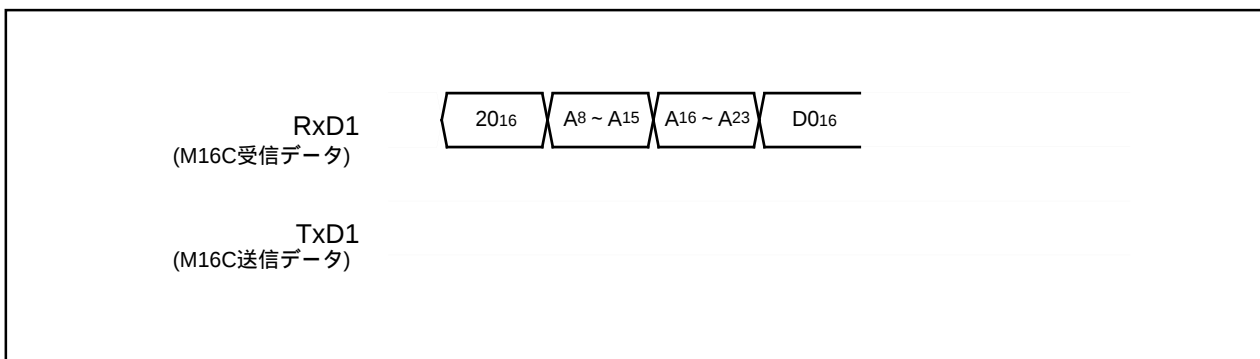


図1.29.27. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A716 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D016 ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズの結果も、[ステータスレジスタ](#)の読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

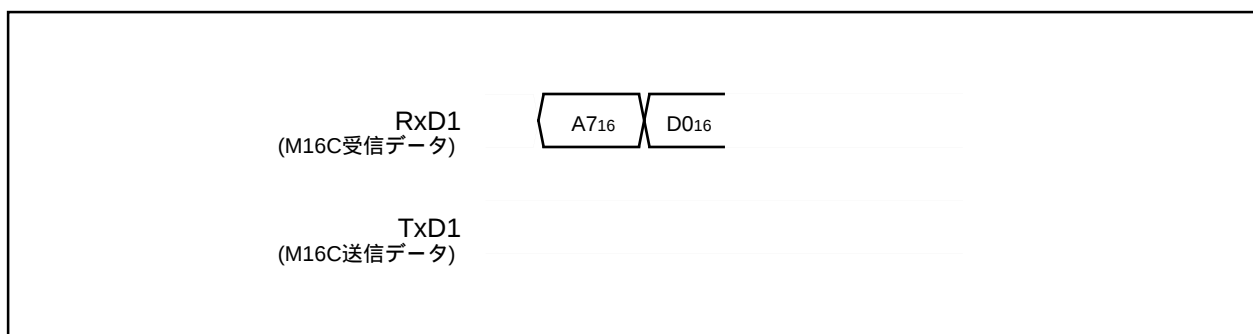


図1.29.28. イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 7716 ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D016 ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A8～A23のアドレスは、指定するブロックの最大のアドレスとしてください。

ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

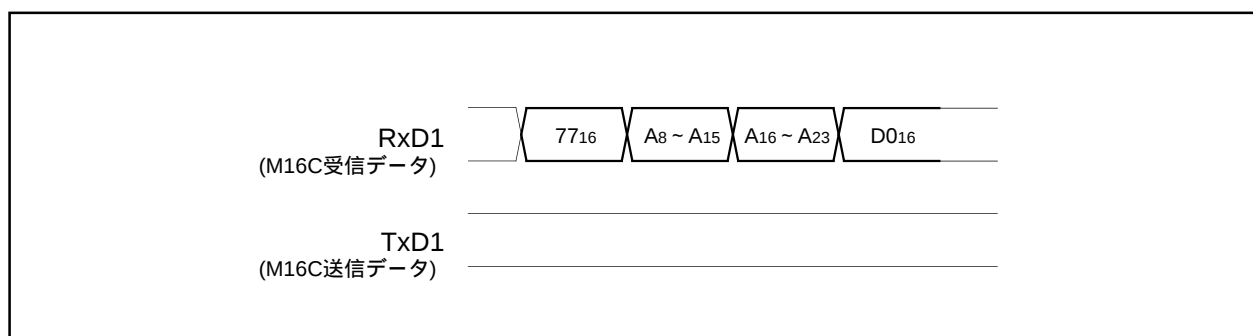


図1.29.29. ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

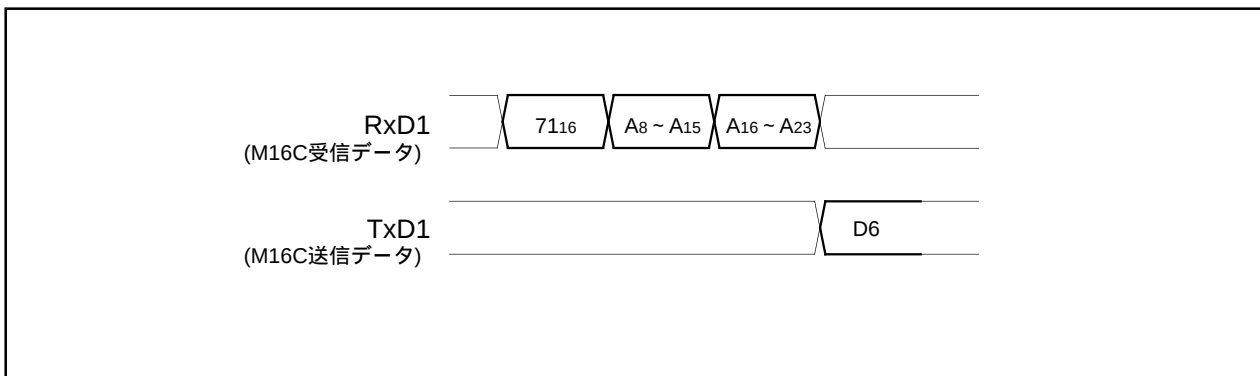


図1.29.30. リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

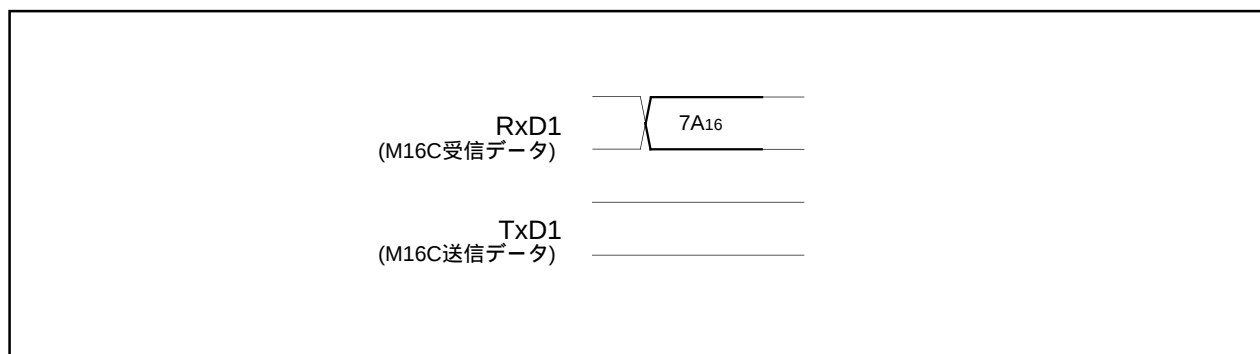


図1.29.31. ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

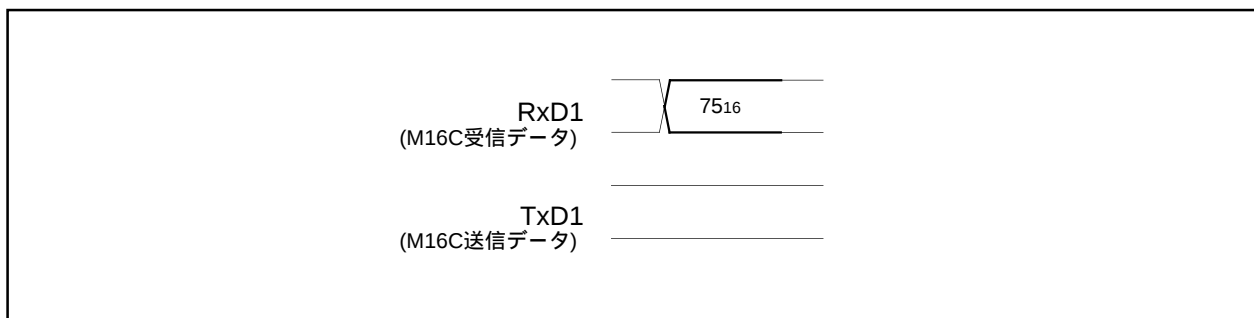


図1.29.32. ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

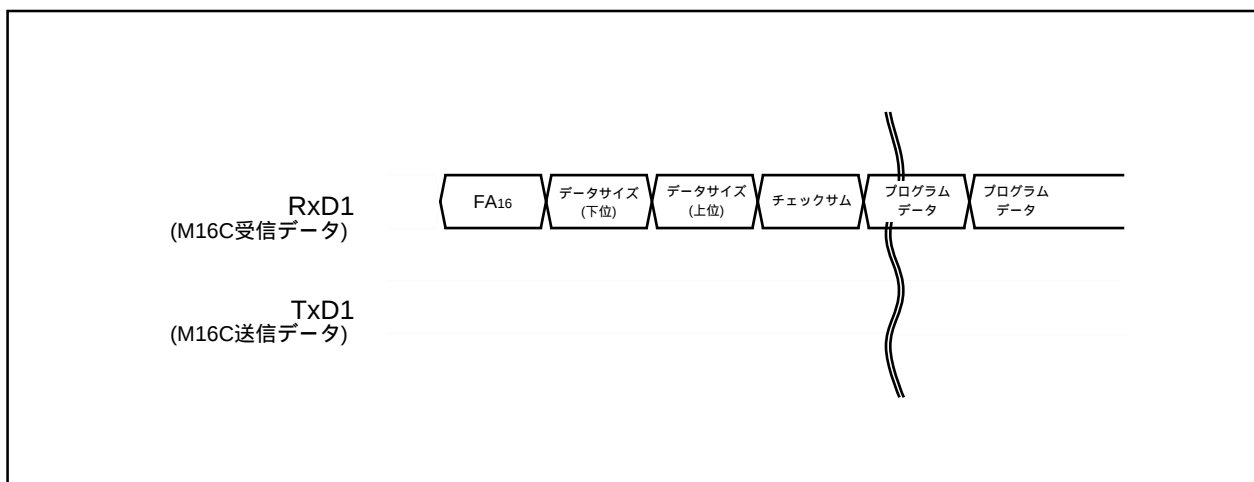


図1.29.33. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

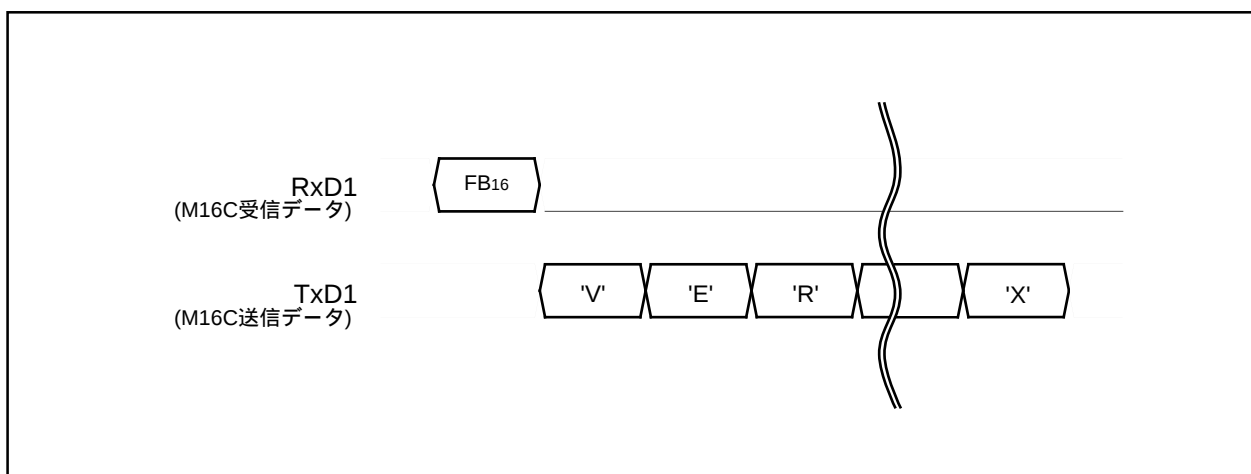


図1.29.34. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、アドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

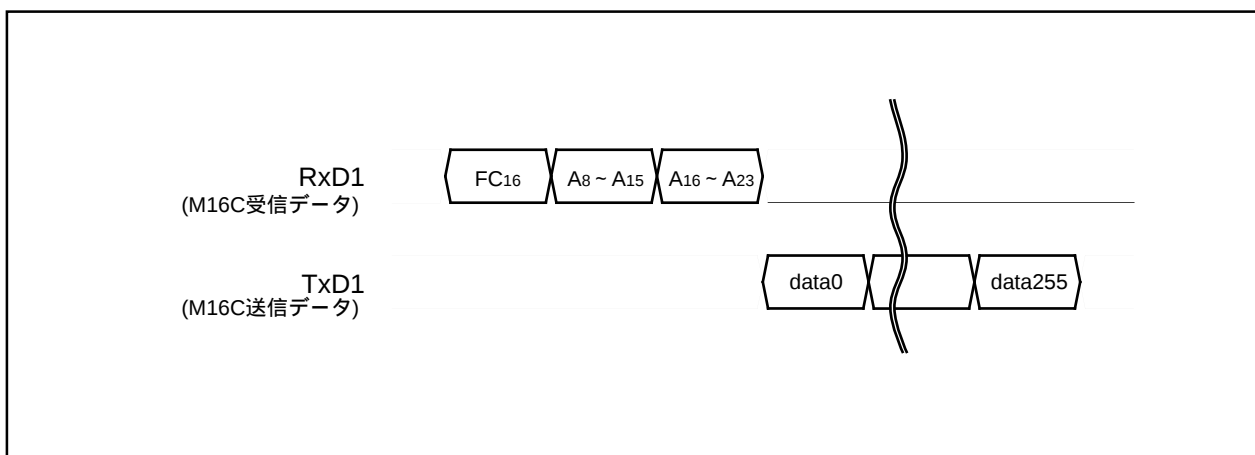


図1.29.35. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀～A₇、A₈～A₁₅、A₁₆～A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

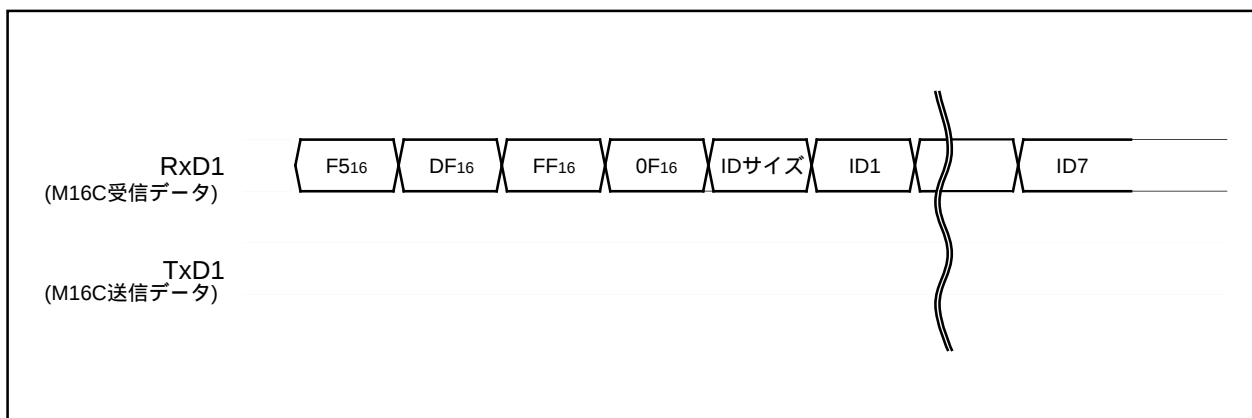


図1.29.36. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE3₁₆、0FFFE₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

アドレス	
0FFFD ₁₆ ~ 0FFDF ₁₆	ID1 未定義命令ベクタ
0FFFE0 ₁₆ ~ 0FFFE3 ₁₆	ID2 オーバフローベクタ
0FFFE4 ₁₆ ~ 0FFFE7 ₁₆	BRK命令ベクタ
0FFFE8 ₁₆ ~ 0FFFE ₁₆	ID3 アドレス一致ベクタ
0FFFE ₁₆ ~ 0FFFEF ₁₆	ID4 シングルステップベクタ
0FFFF0 ₁₆ ~ 0FFFF3 ₁₆	ID5 監視タイマベクタ
0FFFF4 ₁₆ ~ 0FFFF7 ₁₆	ID6 DBCベクタ
0FFFF8 ₁₆ ~ 0FFFFB ₁₆	ID7 NMIベクタ
0FFFC ₁₆ ~ 0FFFF ₁₆	リセットベクタ
4バイト	

図1.29.37. IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD₁₆”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

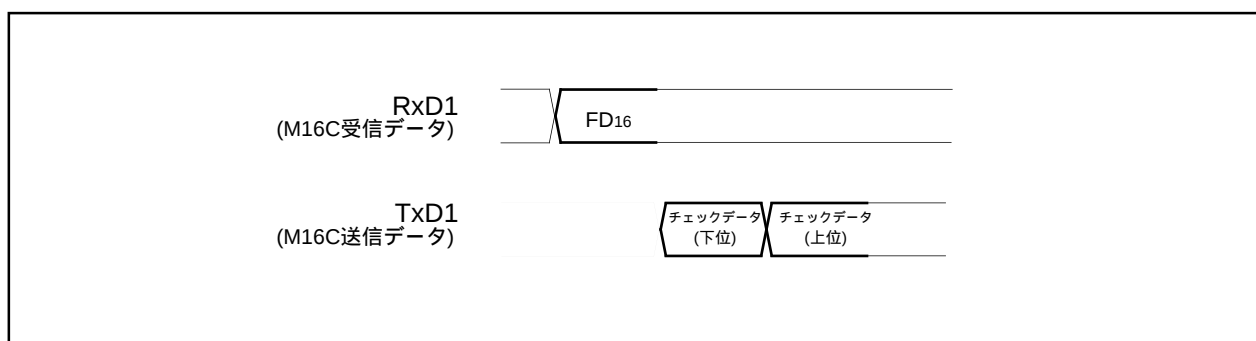


図1.29.38. リードチェックデータコマンド時のタイミング

ボーレート9600

転送速度を9600bpsに変更します。以下の手順でボーレート9600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B016 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B016 ”を出力した後、転送速度9600bpsに変更します。

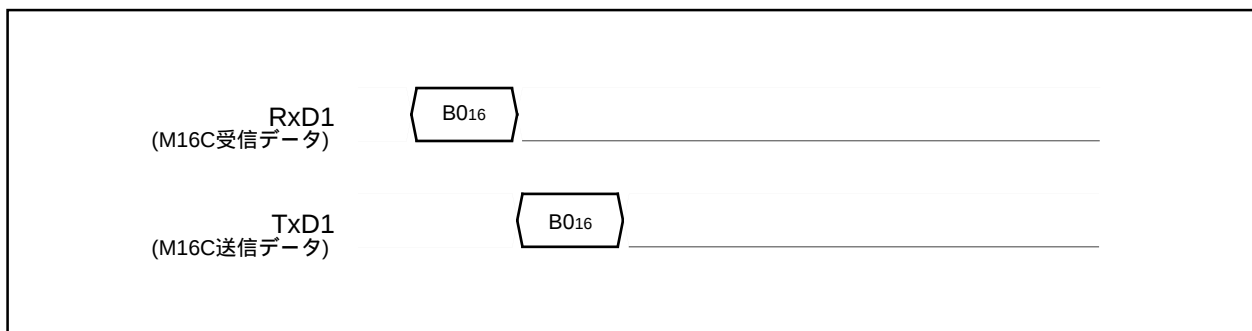


図1.29.39. ボーレート9600のタイミング

ボーレート19200

転送速度を19200bpsに変更します。以下の手順でボーレート19200bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B116 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B116 ”を出力した後、転送速度19200bpsに変更します。

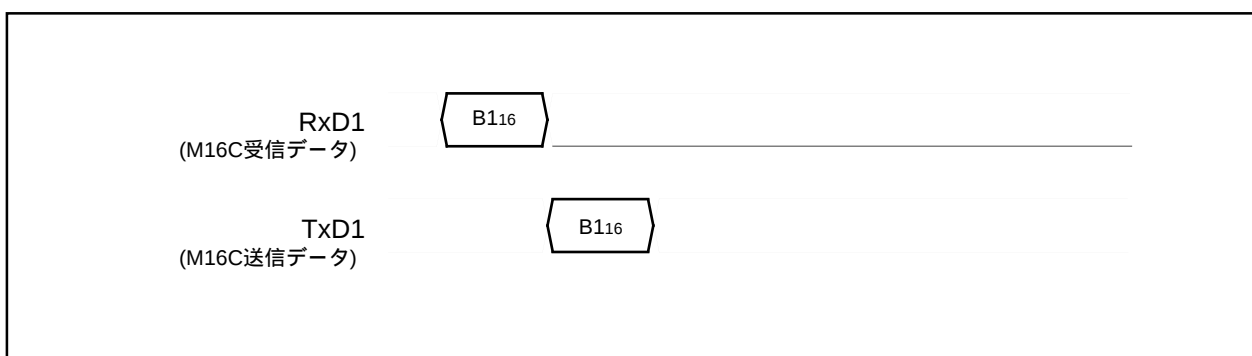


図1.29.40. ボーレート19200のタイミング

ボーレート38400

転送速度を38400bpsに変更します。以下の手順でボーレート38400bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B216 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B216 ”を出力した後、転送速度38400bpsに変更します。

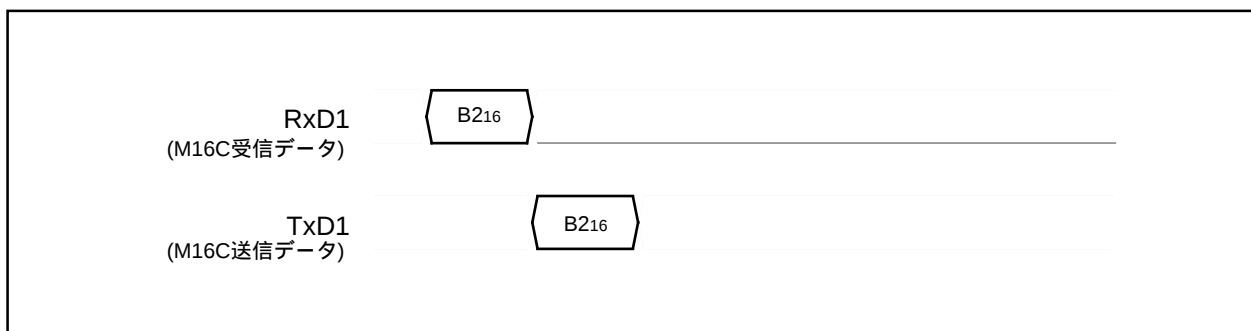


図1.29.41. ボーレート38400のタイミング

ボーレート57600

転送速度を57600bpsに変更します。以下の手順でボーレート57600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B316 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B316 ”を出力した後、転送速度57600bpsに変更します。

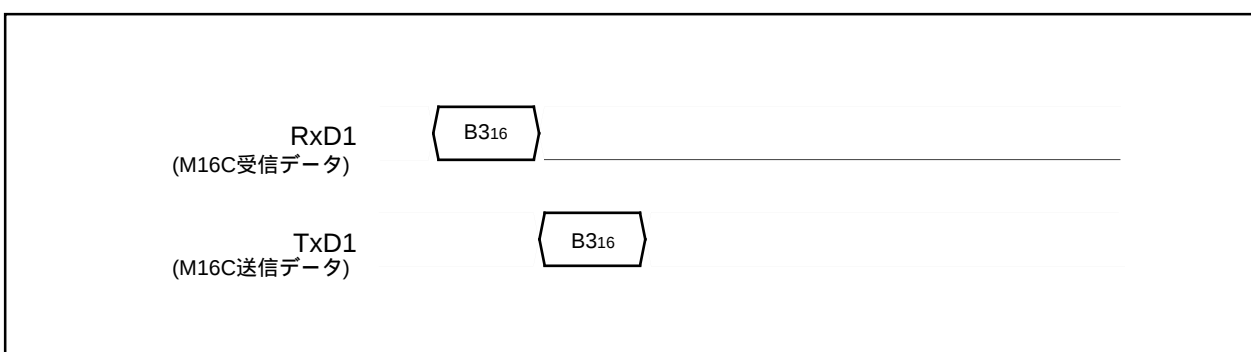


図1.29.42. ボーレート57600のタイミング

標準シリアル入出力モード2時の応用回路(例)

標準シリアル入出力モード2を使用する場合の応用回路を示します。

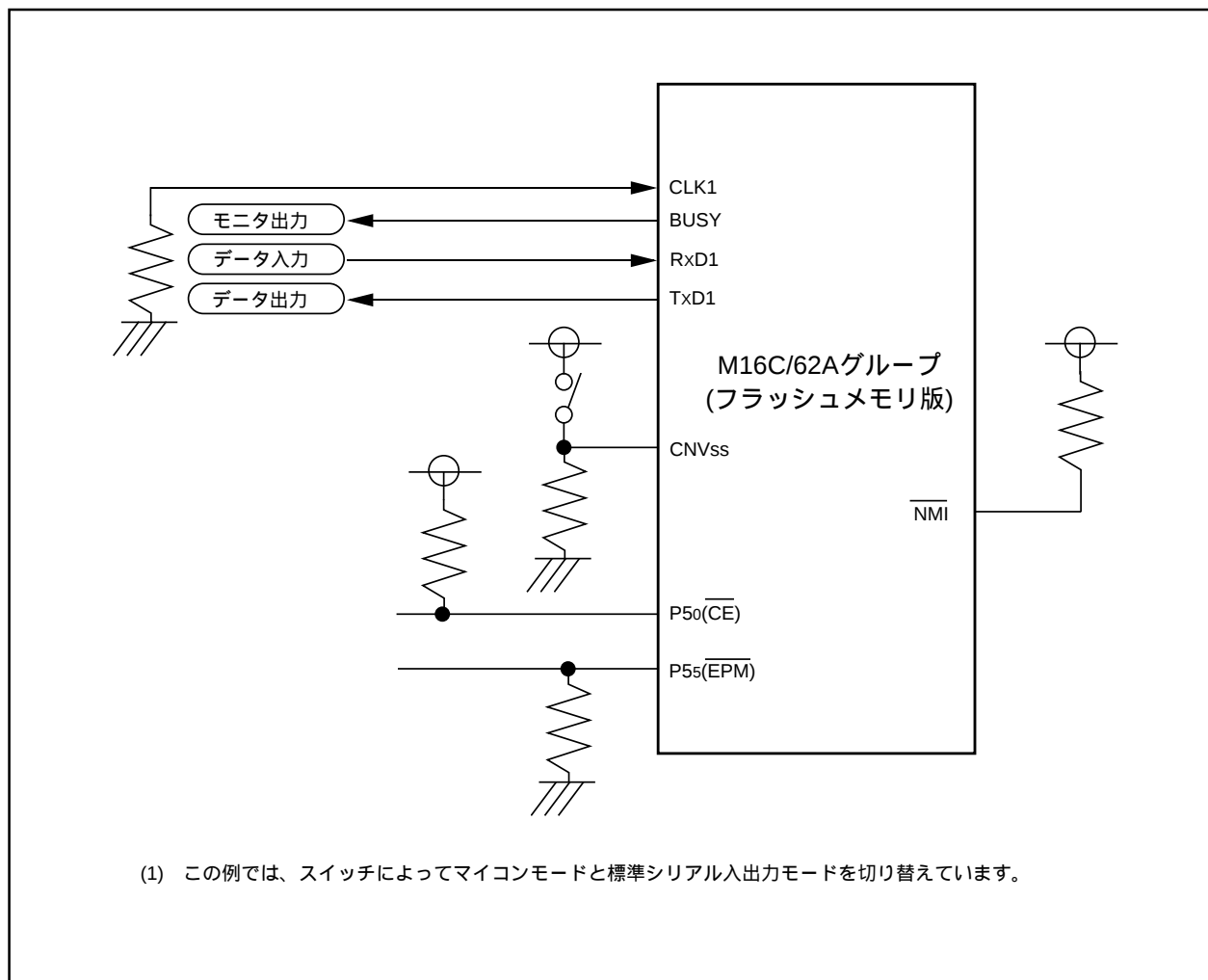


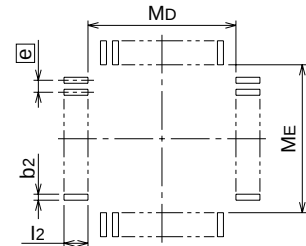
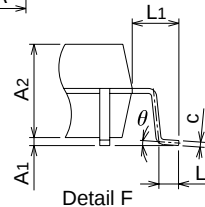
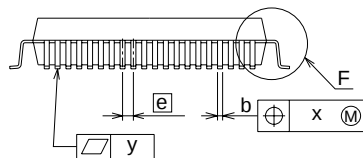
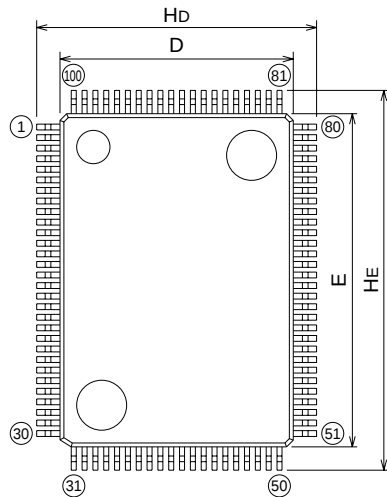
図1.29.43. 標準シリアル入出力モード2時の応用回路例

100P6S-A

(MMP)

Plastic 100pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	—	1.58	Alloy 42



Recommended Mount Pad

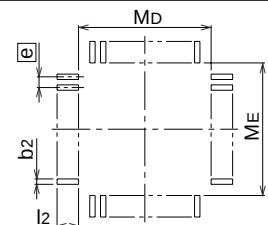
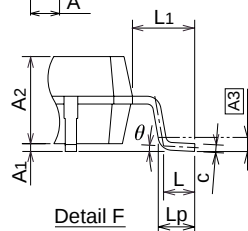
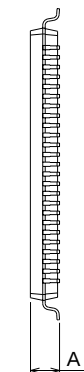
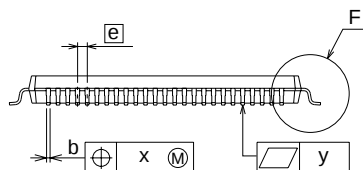
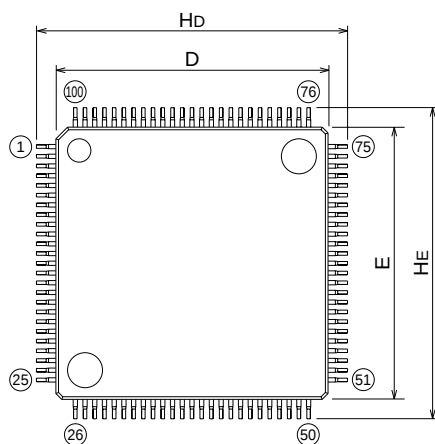
Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	—	—	3.05
A1	0	0.1	0.2
A2	—	2.8	—
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	—	0.65	—
Hd	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	—	1.4	—
x	—	—	0.13
y	—	—	0.1
theta	0°	—	10°
b2	—	0.35	—
l2	1.3	—	—
MD	—	14.6	—
ME	—	20.6	—

100P6Q-A

(MMP)

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	—	0.63	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	—	—	1.7
A1	0	0.1	0.2
A2	—	1.4	—
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	—	0.5	—
Hd	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	—	1.0	—
Lp	0.45	0.6	0.75
A3	—	0.25	—
x	—	—	0.08
y	—	—	0.1
theta	0°	—	10°
b2	—	0.225	—
l2	0.9	—	—
MD	—	14.4	—
ME	—	14.4	—

M16C/62AとM16C/62との相異点

項 目	M16C/62A	M16C/62
メモリ空間	1Mバイト固定	メモリ拡張あり 1.2Mバイトモード 4Mバイトモード
シリアル I/O	CTS/RTS分離機能なし	CTS/RTS分離機能あり
IICバスモード	SDAのDelayとしてアナログ遅延または ディジタル遅延選択可能	SDAのDelayはアナログ遅延のみ
EPROM/ワンタイム PROM版	なし	あり
フラッシュメモリ版	標準シリアル入出力モード (クロック非同期形)のサポート 追加	クロック同期形のみ

M16C/62AとM16C/62との相異点(SFR)

番 地	レジスタ名	M16C/62A	M16C/62
0005 ₁₆	プロセッサモードレジスタ1(PM1)	b5,b4 予約ビット	b5,b4 メモリ空間拡張ビット
000B ₁₆	データバンクレジスタ(DBR)	予約レジスタ	あり
03B0 ₁₆	UART送受信制御レジスタ2 (UCON)	b6 予約ビット	b6 CTS/RTS分離ビット
0375 ₁₆	UART2特殊モードレジスタ3 (U2SMR3)	あり	なし
0377 ₁₆	UART2特殊モードレジスタ (U2SMR)	b7 SDAディジタル遅延選択 ビット	b7 予約ビット

概 要

概 要

M16C/62Mグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間、低電圧(2.2V ~ 3.6V)、かつ高速に命令を実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したシングルチップマイクロコンピュータです。

M16C/62Mグループは内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。

特 長

- メモリ容量 ROM(ROM展開の図を参照してください)
RAM 10Kバイト ~ 20Kバイト
- 最短命令実行時間 100ns($f(X_{IN})=10\text{MHz}$ 、 $V_{CC}=2.7\text{V} \sim 3.6\text{V}$ 時)
142.9ns($f(X_{IN})=7\text{MHz}$ 、 $V_{CC}=2.2\text{V} \sim 3.6\text{V}$ 時、ウエイトあり)
- 電源電圧 2.7V ~ 3.6V($f(X_{IN})=10\text{MHz}$ 時、ウエイトなし)
2.4V ~ 2.7V($f(X_{IN})=7\text{MHz}$ 時、ウエイトなし)
2.2V ~ 2.4V($f(X_{IN})=7\text{MHz}$ 時、1ウエイト)
- 低消費電力 28.5mW($V_{CC}=3\text{V}$ 、 $f(X_{IN})=10\text{MHz}$ 時、ウエイトなし)
- 割り込み 内部25要因、外部8要因、ソフトウェア4要因、7レベル
(キー入力割り込みを含む)
- 多機能16ビットタイマ 出力系5本 + 入力系6本
- シリアルI/O 5本(UART/クロック 同期 3本、クロック 同期 2本)
- DMAC 2チャンネル(スタート条件:24要因)
- A-D 変換器 10ビット × 8チャンネル(最大10チャンネルまで拡張可)
- D-A 変換器 8ビット × 2チャンネル
- CRC 演算回路 1回路
- 監視タイマ 1本
- プログラマブル入出力 87本
- 入力ポート 1本(P85、 $\overline{\text{NMI}}$ 端子と兼用)
- メモリ拡張 可能(最大1Mバイトのメモリ空間で拡張可能)
- チップセレクト出力 4本
- クロック発生回路 2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)

応 用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

ピン接続図

図1.30.1および図1.30.2にピン接続図(上面図)を示します。

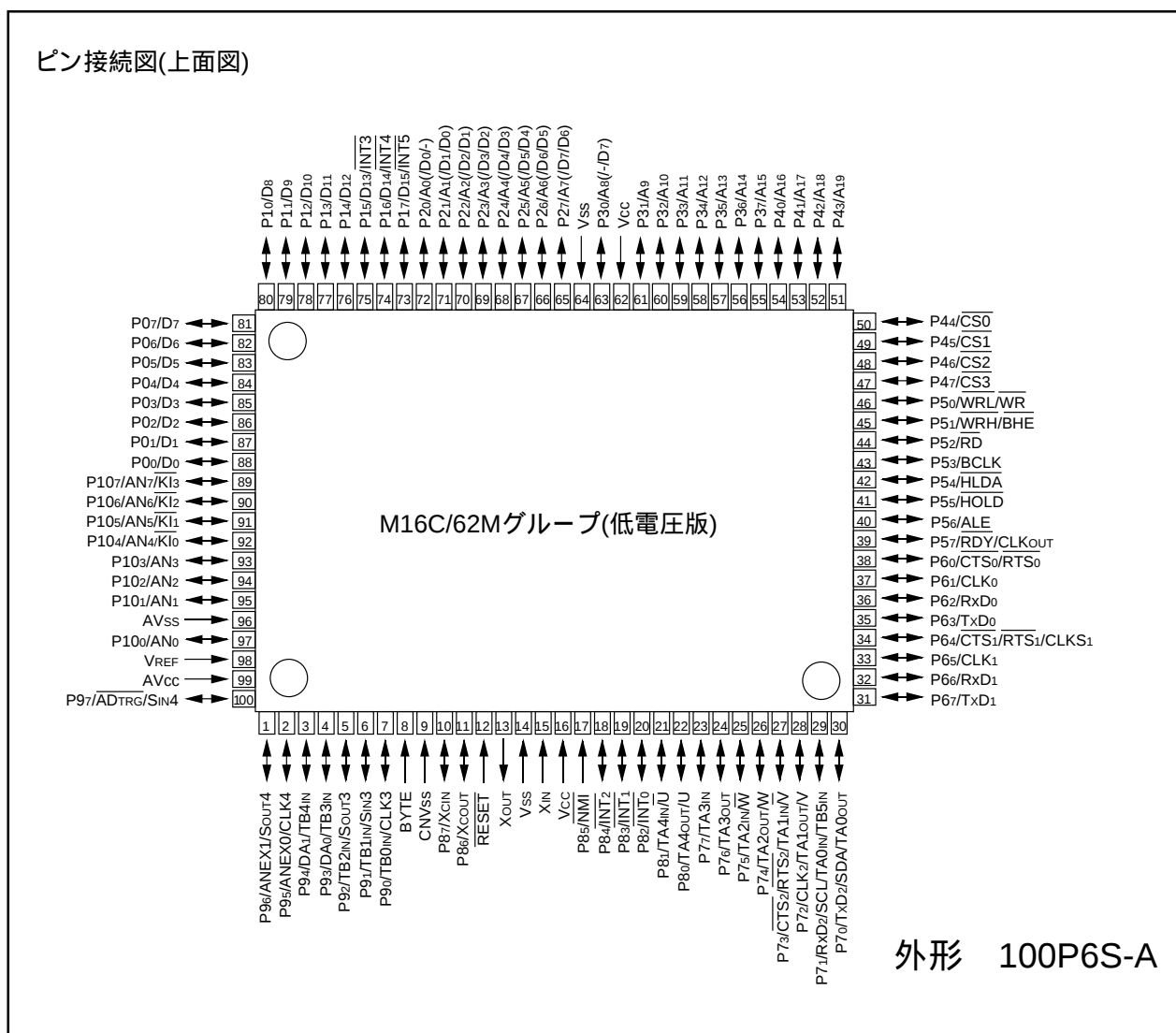
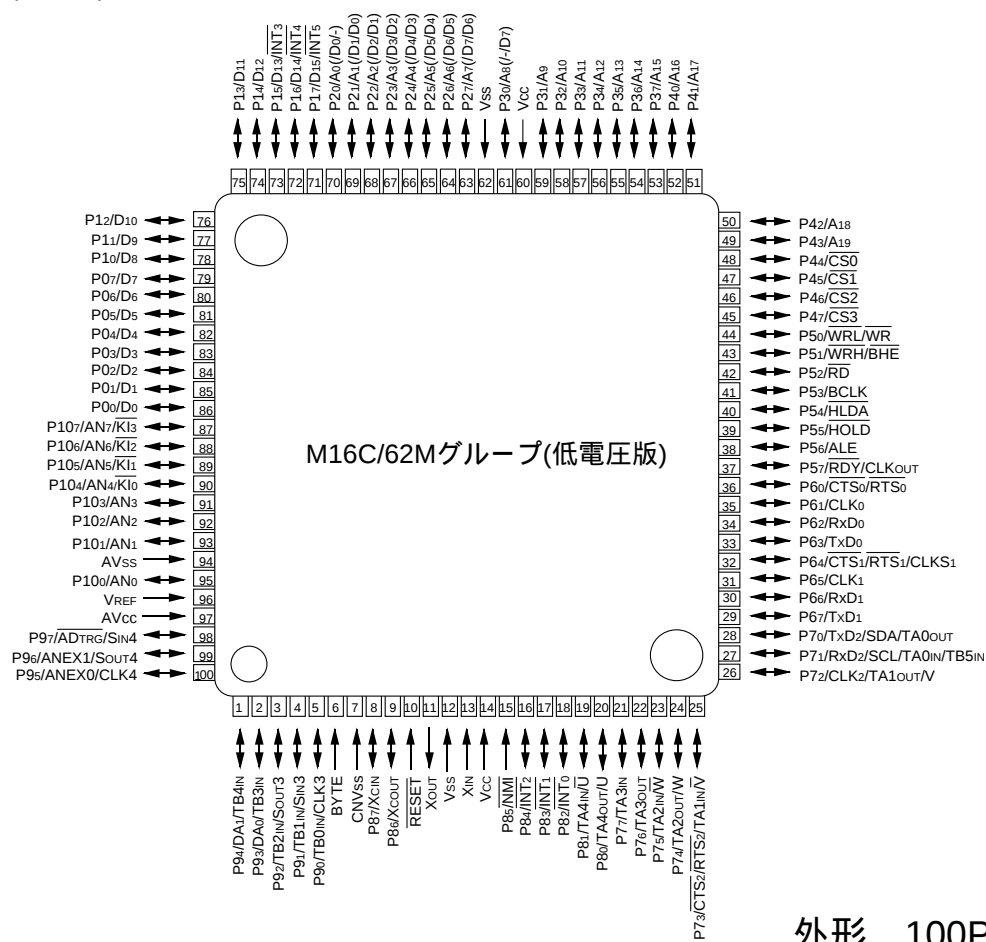


図1.30.1. ピン接続図(上面図)

ピン接続図(上面図)



外形 100P6Q-A

図1.30.2. ピン接続図(上面図)

ブロック図

図1.30.3にM16C/62Mグループのブロック図を示します。

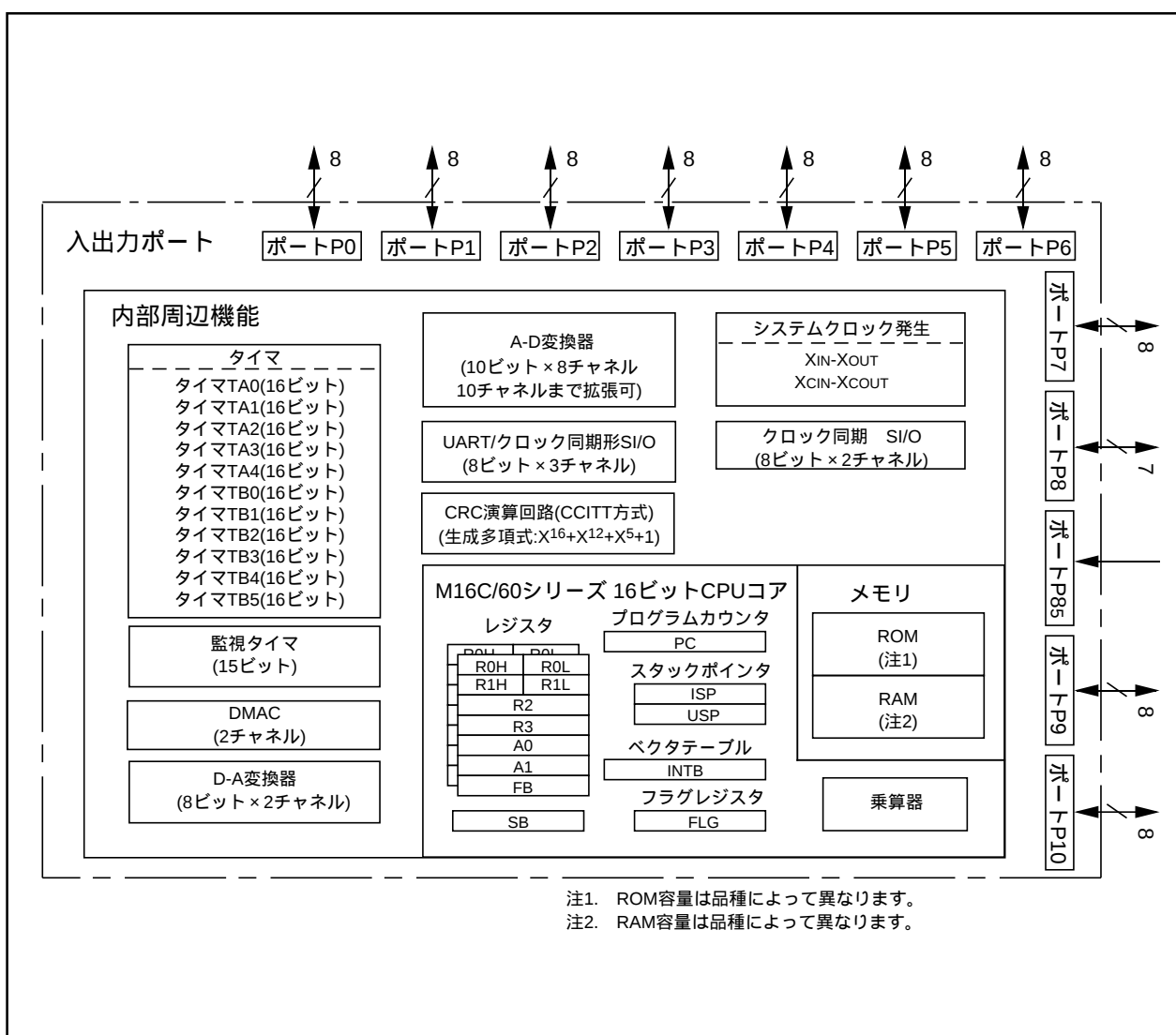


図1.30.3. M16C/62Mグループのブロック図

概 要

性能概要

表1.30.1にM16C/62Mグループの性能概要を示します。

表1.30.1. M16C/62Mグループの性能概要

項 目		性 能
基本命令数		91命令
最短命令実行時間		100ns($f(X_{IN})=10\text{MHz}$ 、 $V_{CC}=2.7\text{V} \sim 3.6\text{V}$ 時) 142.9ns($f(X_{IN})=7\text{MHz}$ 、 $V_{CC}=2.2\text{V} \sim 3.6\text{V}$ 時、ウエイトあり)
メモリ容量	ROM	(ROM展開の図を参照してください)
	RAM	10Kバイト～20Kバイト
入出力ポート	P0～P10(ただしP85は除く)	8ビット×10、7ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4	16ビット×5
	TB0,TB1,TB2,TB3,TB4,TB5	16ビット×6
シリアルI/O	UART0,UART1,UART2	(UARTまたはクロック同期形)×3
	SI/O3, SI/O4	クロック同期形×2
A-D変換器		10ビット×(8+2)チャンネル
D-A変換器		8ビット×2
DMAC		2チャンネル(スタート条件:24要因)
CRC演算回路		CRC-CCITT方式
監視タイマ		15ビット×1(プリスケアラ付)
割り込み		内部25要因、外部8要因、ソフトウェア4要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)
電源電圧		2.7V～3.6V($f(X_{IN})=10\text{MHz}$ 、ウエイトなし)
		2.4V～2.7V($f(X_{IN})=7\text{MHz}$ 、ウエイトなし)
		2.2V～2.4V($f(X_{IN})=7\text{MHz}$ 、1ウエイト)
消費電力		28.5mW($V_{CC}=3\text{V}$ 、 $f(X_{IN})=10\text{MHz}$ 、ウエイトなし)
入出力特性	入出力耐電圧	3V
	出力電流	1mA
メモリ拡張		可能(最大1Mバイトのメモリ空間で拡張可能)
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP

概 要

M16C/62Mグループでは次のような展開を計画しています。

(1) マスクROM版、フラッシュメモリ版のサポート

(2) ROM容量

(3) パッケージ

100P6S-A プラスチックモールドQFP(マスクROM、フラッシュメモリ版)

100P6Q-A プラスチックモールドQFP(マスクROM、フラッシュメモリ版)

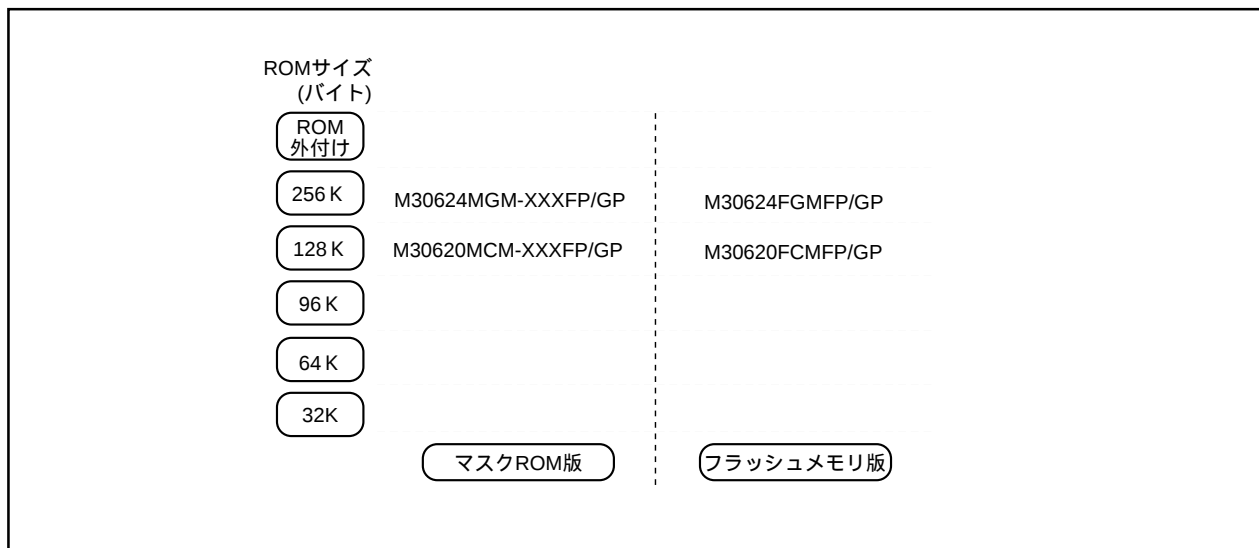


図1.30.4. ROM展開

サポートを行う予定の製品を以下に示します。

表1.30.2. 製品一覧表

2001年3月現在

形 名	ROM容量	RAM容量	パッケージ	備 考
M30620MCM-XXXFP	128Kバイト	10Kバイト	100P6S-A	マスクROM版
M30620MCM-XXXGP			100P6Q-A	
M30624MGM-XXXFP	256Kバイト	20Kバイト	100P6S-A	
M30624MGM-XXXGP			100P6Q-A	
M30620FCMF	128Kバイト	10Kバイト	100P6S-A	フラッシュメモリ3V版
M30620FCMGP			100P6Q-A	
M30624FGMF	256Kバイト	20Kバイト	100P6S-A	
M30624FGMGP			100P6Q-A	

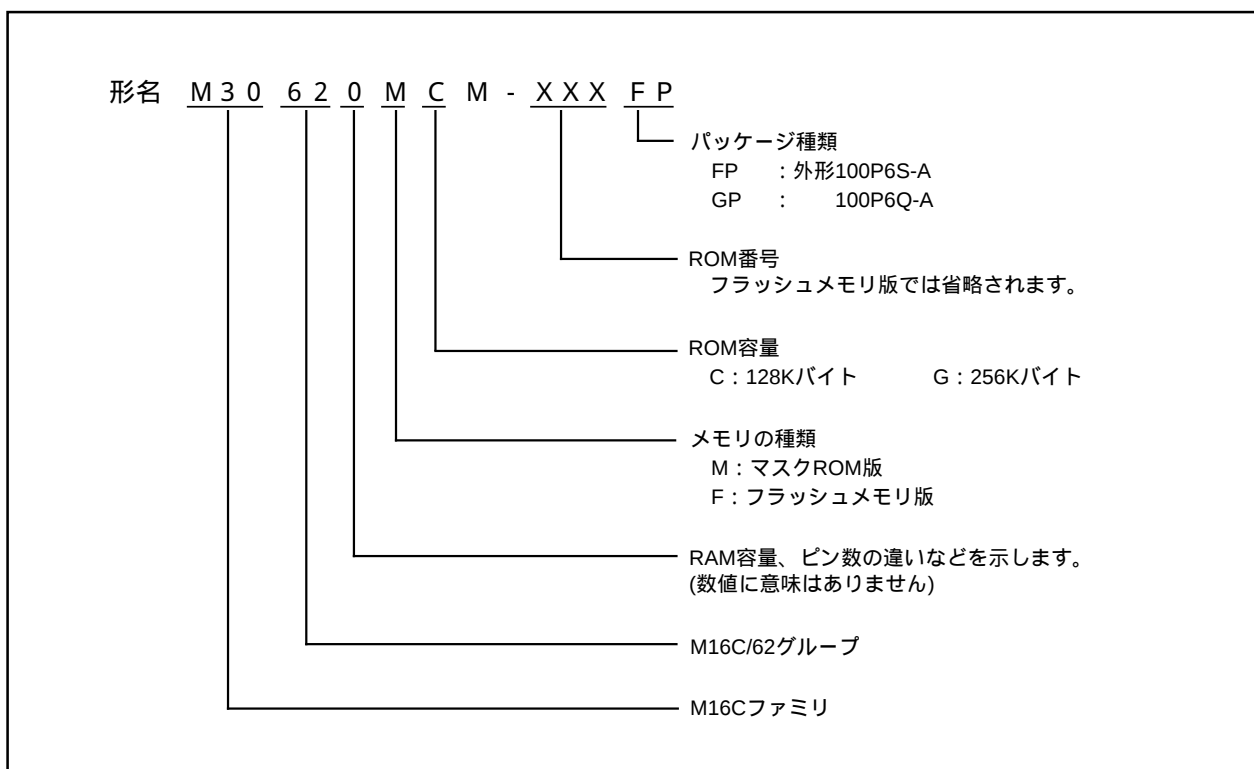


図1.30.5. 形名とメモリサイズ・パッケージ

電氣的特性

表1.31.1. 絶対最大定格

記 号	項 目	条 件	定 格 値	単位
V _{cc}	電源電圧	V _{cc} =AV _{cc}	-0.3 ~ 4.6	V
AV _{cc}	アナログ電源電圧	V _{cc} =AV _{cc}	-0.3 ~ 4.6	V
V _i	入力電圧	RESET, CNV _{ss} , BYTE, P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , VREF, X _{IN}	-0.3 ~ V _{cc} +0.3	V
		P7 ₀ , P7 ₁	-0.3 ~ 4.6	V
V _o	出力電圧	P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , X _{OUT}	-0.3 ~ V _{cc} +0.3	V
		P7 ₀ , P7 ₁	-0.3 ~ 4.6	V
P _d	消費電力	T _{opr} =25	300	mW
T _{opr}	動作周囲温度		-20 ~ 85 / -40 ~ 85 (注1)	
T _{stg}	保存温度		-65 ~ 150	

注1. -40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.31.2. 推奨動作条件(指定のない場合は、 $V_{CC}=2.2V \sim 3.6V$, $T_{opr}=-20 \sim 85$ / $-40 \sim 85$ (注3))

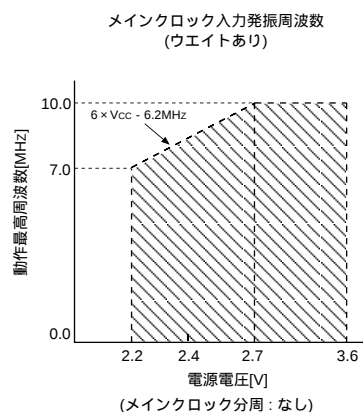
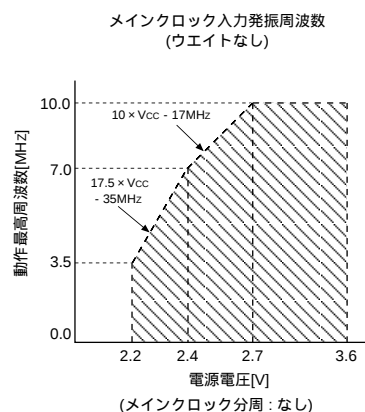
記 号	項 目		規 格 値			単位
			最 小	標 準	最 大	
Vcc	電源電圧		2.2	3.0	3.6	V
AVcc	アナログ電源電圧			Vcc		V
Vss	電源電圧			0		V
AVss	アナログ電源電圧			0		V
VIH	"H"入力電圧	P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X IN, RESET, CNVss, BYTE	0.8Vcc		Vcc	V
		P70, P71	0.8Vcc		4.6	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時)	0.8Vcc		Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0.5Vcc		Vcc	V
VIL	"L "入力電圧	P31 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X IN, RESET, CNVss, BYTE	0		0.2Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (シングルチップモード時)	0		0.2Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0		0.16Vcc	V
IOH (peak)	"H"尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			- 10.0	mA
IOH (avg)	"H"平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			- 5.0	mA
IOL (peak)	"L "尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			10.0	mA
IOL (avg)	"L "平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107			5.0	mA
f (XIN)	メインクロック入力 発振周波数	ウェイトなし	Vcc=2.7V ~ 3.6V	0	10	MHz
			Vcc=2.4V ~ 2.7V	0	10 × Vcc - 17	MHz
			Vcc=2.2V ~ 2.4V	0	17.5 × Vcc - 35	MHz
		ウェイトあり	Vcc=2.7V ~ 3.6V	0	10	MHz
			Vcc=2.2V ~ 2.7V	0	6 X Vcc - 6.2	MHz
f (XCIN)	サブクロック発振周波数			32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P86 ~ P87, P9, P10の $I_{OL}(peak)$ の合計は80mA以下、ポートP0, P1, P2, P86 ~ P87, P9, P10の $I_{OH}(peak)$ の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80 ~ P84の $I_{OL}(peak)$ の合計は80mA以下、ポートP3, P4, P5, P6, P72 ~ P77, P80 ~ P84の $I_{OH}(peak)$ の合計は80mA以下にしてください。

注3. - 40 ~ 85 品をご使用になる場合はそのむねご指定ください。

注4. メインクロック入力周波数と電源電圧の関係を以下に示します。

フラッシュメモリの
書き込み電圧と読み出し動作電圧特性

フラッシュ書き込み電圧	フラッシュ読み出し動作電圧
$V_{CC}=2.7V \sim 3.6V$	$V_{CC}=2.4V \sim 3.6V$
$V_{CC}=2.7V \sim 3.4V$	$V_{CC}=2.2V \sim 2.4V$

注5. ウェイトなしの場合、フラッシュメモリの書き込み/消去は、 $V_{CC}=2.7V \sim 3.6V$ 、 $f(BCLK)$ 6.25MHzで実行してください。ウェイトありの場合、フラッシュメモリの書き込み/消去は、 $V_{CC}=2.7V \sim 3.6V$ 、 $f(BCLK)$ 10.0MHzで実行してください。

電氣的特性

表1.31.3. 電氣的特性

(指定のない場合は、VCC=2.7～3.6V, VSS=0V, Topr= - 20 ～ 85 / - 40 ～ 85 (注1), f(XIN)=10MHZ, ウェイトなし)

記 号	項 目		測 定 条 件	規 格 値			単位
				最 小	標 準	最 大	
VOH	"H"出力電圧	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P72～P77,P80～P84, P86,P87,P90～P97,P100～P107	IOH=－1mA	2.5			V
VOH	"H"出力電圧	XOUT	HIGHPOWER	IOH=－0.1mA	2.5		V
			LOWPOWER	IOH=－50 μA	2.5		
	"H"出力電圧	XCOUT	HIGHPOWER	無負荷時		3.0	V
			LOWPOWER	無負荷時		1.6	
VOL	"L"出力電圧	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P70～P77,P80～P84, P86,P87,P90～P97,P100～P107	IOL=1mA			0.5	V
VOL	"L"出力電圧	XOUT	HIGHPOWER	IOL=0.1mA		0.5	V
			LOWPOWER	IOL=50 μA		0.5	
	"L"出力電圧	XCOUT	HIGHPOWER	無負荷時		0	V
			LOWPOWER	無負荷時		0	
VT+・VT-	ヒステリシス	HOLD, RDY, TA0IN～TA4IN, TB0IN～TB5IN, INT0～INT5, NMI ADTRG, CTS0～CTS2, SCL, SDA CLK0～CLK4, TA2OUT～TA4OUT KI0～KI3, RxD0～RxD2, SIn3, SIn4		0.2		0.8	V
VT+・VT-	ヒステリシス	RESET		0.2		1.8	V
IiH	"H"入力電流	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P70～P77,P80～P87, P90～P97,P100～P107, XIN, RESET, CNVss, BYTE	Vi=3V			4.0	μA
IiL	"L"入力電流	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P70～P77,P80～P87, P90～P97,P100～P107, XIN, RESET, CNVss, BYTE	Vi=0V			－4.0	μA
RPULLUP	プルアップ抵抗	P00～P07,P10～P17,P20～P27, P30～P37,P40～P47,P50～P57, P60～P67,P72～P77,P80～P84, P86,P87,P90～P97,P100～P107	Vi=0V	20	75	330	kΩ
RiXIN	帰還抵抗	XIN			3.0		MΩ
RiXCIN	帰還抵抗	XCIN			10.0		MΩ
VRAM	RAM保持電圧		クロック停止時	2.0			V
ICC	電源電流	シングルチップ モードで、出力 端子は開放、そ の他の端子は VSS	マスクROM版	f(XIN)=10MHz 方形波、分周なし	9.5	21.25	mA
			フラッシュ メモリ3V版	f(XIN)=10MHz 方形波、分周なし	12.0	21.25	mA
			マスクROM版、 フラッシュ メモリ3V版	f(XCIN)=32kHz 方形波	45.0		μA
			フラッシュ メモリ3V版 プログラム	f(XIN)=10MHz 方形波、2分周	14.0		mA
			フラッシュ メモリ3V版 イレーズ	f(XIN)=10MHz 方形波、2分周	17.0		mA
			マスクROM版、 フラッシュ メモリ3V版	f(XCIN)=32kHz ウェイト時 発振能力 High(注2)	2.8		μA
				f(XCIN)=32kHz ウェイト時 発振能力 Low(注2)	0.9		μA
			クロック停止時 Topr=25			1.0	μA
			クロック停止時 Topr=85			20.0	

注1. - 40 ～ 85 品をご使用になる場合は、そのむねご指定ください。

注2. fc32にてタイマ1本を動作させている状態です。

電気的特性

表1.31.4. A-D変換特性

(指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=2.4V \sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_{opr} = -20 \sim 85 / -40 \sim 85$ (注2), $f(X_{IN})=10MHz$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能	$V_{REF}=V_{CC}$			10	Bits
—	絶対精度	サンプル&ホールド機能なし(8bit) $V_{REF}=V_{CC}=3V$, $\phi_{AD}=f_{AD}/2$			± 2	LSB
RLADDER	ラダー抵抗	$V_{REF}=V_{CC}$	10		40	k Ω
tCONV	変換時間(8bit)		9.8			μs
VREF	基準電圧		2.4		V_{CC}	V
VIA	アナログ入力電圧		0		V_{REF}	V

注1. AV_{CC} 端子は V_{CC} 端子に接続し、同一電位を与えてください。注2. $-40 \sim 85$ 品をご使用になる場合は、そのむねご指定ください。

表1.31.5. D-A変換特性

(指定のない場合は、 $V_{CC}=2.4V \sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=3V$, $T_{opr} = -20 \sim 85 / -40 \sim 85$ (注2), $f(X_{IN})=10MHz$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t _{su}	設定時間				3	μs
R _o	出力抵抗		4	10	20	k Ω
I _{VREF}	基準電源入力電流	(注1)			1.0	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“0016”の場合です。

A-D変換器のラダー抵抗分は除きます。

また、A-D制御レジスタで V_{ref} 未接続とした場合でも、 I_{VREF} は流れます。注2. $-40 \sim 85$ 品をご使用になる場合は、そのむねご指定ください。表1.31.6. フラッシュメモリの電気的特性(指定のない場合は、 $V_{CC}=2.7 \sim 3.6V$, $T_{opr}=0 \sim 60$)

項 目	規 格 値			単位
	最 小	標 準	最 大	
ページプログラム時間		6	120	ms
ブロックイレーズ時間		50	600	ms
イレーズ全アンロックブロック時間		50 X n (注1)	600 X n (注1)	ms
ロックビットプログラム時間		6	120	ms

注1. nはイレーズするブロック数です。

表1.31.7. フラッシュメモリの書き込み電圧と読み出し動作電圧特性 ($T_{opr}=0 \sim 60$)

フラッシュ書き込み電圧	フラッシュ読み出し動作電圧
$V_{CC}=2.7V \sim 3.6V$	$V_{CC}=2.4V \sim 3.6V$
$V_{CC}=2.7V \sim 3.4V$	$V_{CC}=2.2V \sim 2.4V$

電氣的特性

タイミング必要条件 (指定のない場合は、Vcc=3V, Vss=0V, Topr= - 20 ~ 85 / - 40 ~ 85 ())
 . - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

表1.31.8. 外部クロック入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _c	外部クロック入力サイクル時間	100		ns
t _{w(H)}	外部クロック入力 "H" パルス幅	40		ns
t _{w(L)}	外部クロック入力 "L" パルス幅	40		ns
t _r	外部クロック立ち上がり時間		18	ns
t _f	外部クロック立ち下がり時間		18	ns

表1.31.9. メモリ拡張およびマイクロプロセッサモード

記 号	項 目	規 格 値		単位
		最 小	最 大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (ウエイトなし)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (ウエイトあり)		(注1)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{su} (DB-RD)	データ入力セットアップ時間	80		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	60		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	80		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (BCLK-RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間		100	ns

注 1 : BCLKの周波数に応じて次の計算式で算出されます。

$$t_{ac1}(RD - DB) = \frac{10^9 \times 1}{f(BCLK) \times 2} - 90 \text{ [ns]}$$

$$t_{ac2}(RD - DB) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 90 \text{ [ns]}$$

$$t_{ac3}(RD - DB) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 90 \text{ [ns]}$$

電気的特性

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$ / $-40 \sim 85$ (°C))
 . $-40 \sim 85$ 品をご使用になる場合は、そのむねご指定ください。

表1.31.10. タイマA入力(イベントカウンタモードのカウント入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_c(TA)$	TAiIn入力サイクル時間	150		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	60		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	60		ns

表1.31.11. タイマA入力(タイマモードのゲーティング入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_c(TA)$	TAiIn入力サイクル時間	600		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	300		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	300		ns

表1.31.12. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_c(TA)$	TAiIn入力サイクル時間	300		ns
$t_w(TAH)$	TAiIn入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	150		ns

表1.31.13. タイマA入力(パルス幅変調モードの外部トリガ入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_w(TAH)$	TAiIn入力 "H" パルス幅	150		ns
$t_w(TAL)$	TAiIn入力 "L" パルス幅	150		ns

表1.31.14. タイマA入力(イベントカウンタモードのアップダウン入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_c(UP)$	TAiOut入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOut入力 "H" パルス幅	1500		ns
$t_w(UPL)$	TAiOut入力 "L" パルス幅	1500		ns
$t_{su}(UP-TIN)$	TAiOut入力セットアップ時間	600		ns
$t_h(TIN-UP)$	TAiOut入力ホールド時間	600		ns

電気的特性

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$ / $-40 \sim 85$ (°C))
 $-40 \sim 85$ 品をご使用になる場合は、そのむねご指定ください。

表1.31.15. タイマB入力(イベントカウンタモードのカウント入力)

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅(両エッジカウント)	160		ns

表1.31.16. タイマB入力(パルス周期測定モード)

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	300		ns

表1.31.17. タイマB入力(パルス幅測定モード)

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	300		ns

表1.31.18. A-Dトリガ入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_{c(AD)}$	$\overline{ADTRG}$ 入力サイクル時間(トリガ可能最小)	1500		ns
$t_{w(ADL)}$	$\overline{ADTRG}$ 入力 "L" パルス幅	200		ns

表1.31.19. シリアルI/O

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力 "L" パルス幅	150		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		160	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表1.31.20. 外部割り込みINTi入力

記 号	項 目	規 格 値		単位
		最 小	最 大	
$t_{w(INH)}$	INTi入力 "H" パルス幅	380		ns
$t_{w(INL)}$	INTi入力 "L" パルス幅	380		ns

電氣的特性

スイッチング特性(指定のない場合は、Vcc=3V, Vss=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注3), CM15= “ 1 ”)

表1.31.21. メモリ拡張モードおよびマイクロプロセッサモード(ウェイトなしの場合)

記 号	項 目	測 定 条 件	規 格 値		単 位
			最 小	最 大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.31.1		60	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			60	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			60	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			60	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			60	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 80 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

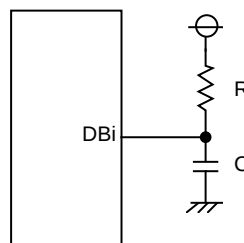
で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1kΩとすると、

出力 “ L ” レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC} / V_{CC}) \\ = 6.7\text{ns}$$

となります。



注3. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

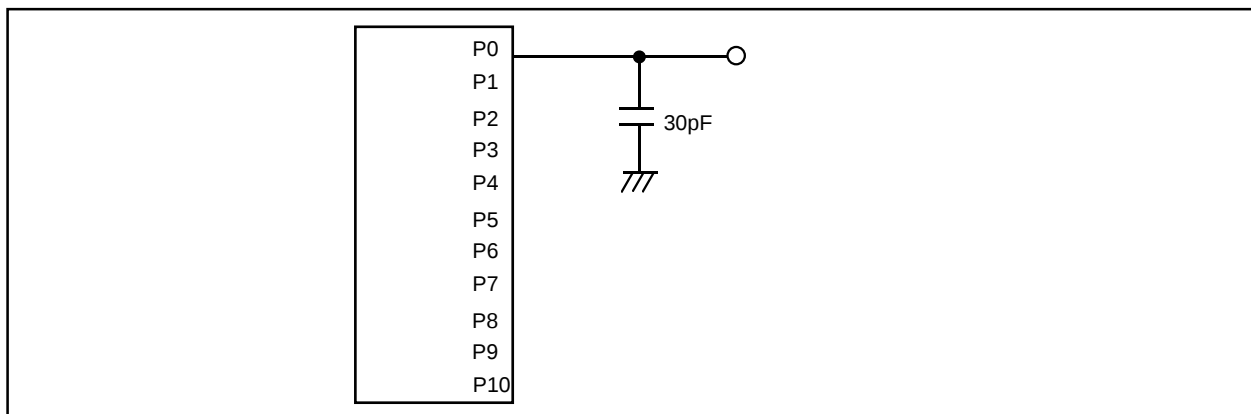


図1.31.1. ポートP0～P10の測定回路

電氣的特性

スイッチング特性(指定のない場合は、Vcc=3V, Vss=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注3), CM15= " 1 ")

表1.31.22. メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスした場合)

記 号	項 目	測 定 条 件	規 格 値		単位
			最 小	最 大	
t _d (BCLK-AD)	アドレス出力遅延時間	図1.31.1		60	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		0		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			60	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			60	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 4		ns
t _d (BCLK-RD)	RD信号出力遅延時間			60	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			60	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準) (注2)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 80 \quad [\text{ns}]$$

注2. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL} / V_{CC})$$

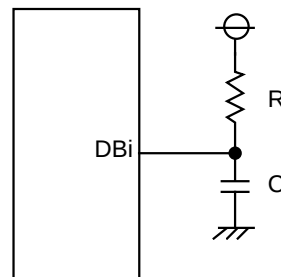
で表されます。

例えば、V_{OL} = 0.2V_{CC}、C = 30pF、R = 1kΩとすると、出力 " L " レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC} / V_{CC})$$

$$= 6.7\text{ns}$$

となります。



注3. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

電氣的特性

スイッチング特性(指定のない場合は、Vcc=3V, Vss=0V, Topr= - 20 ~ 85 / - 40 ~ 85 (注2), CM15= “ 1 ”)

表1.31.23. メモリ拡張モードおよびマイクロプロセッサモード

(ウェイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記 号	項 目	測 定 条 件	規 格 値		単位
			最 小	最 大	
td(BCLK-AD)	アドレス出力遅延時間	図1.31.1		60	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			60	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			60	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			60	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			80	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			60	ns
th(BCLK-ALE)	ALE出力保持時間 (BCLK基準)		- 4		ns
td(AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
th(ALE-AD)	ALE出力保持時間 (アドレス基準)		40		ns
td(AD-RD)	アドレス後RD信号出力遅延時間		0		ns
td(AD-WR)	アドレス後WR信号出力遅延時間		0		ns
tdZ(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$td(DB - WR) = \frac{10^9 \times 3}{f(BCLK) \times 2} - 80 \quad [ns]$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} \quad [ns]$$

$$td(AD - ALE) = \frac{10^9}{f(BCLK) \times 2} - 45 \quad [ns]$$

注2. - 40 ~ 85 品をご使用になる場合は、そのむねご指定ください。

VCC = 3V用

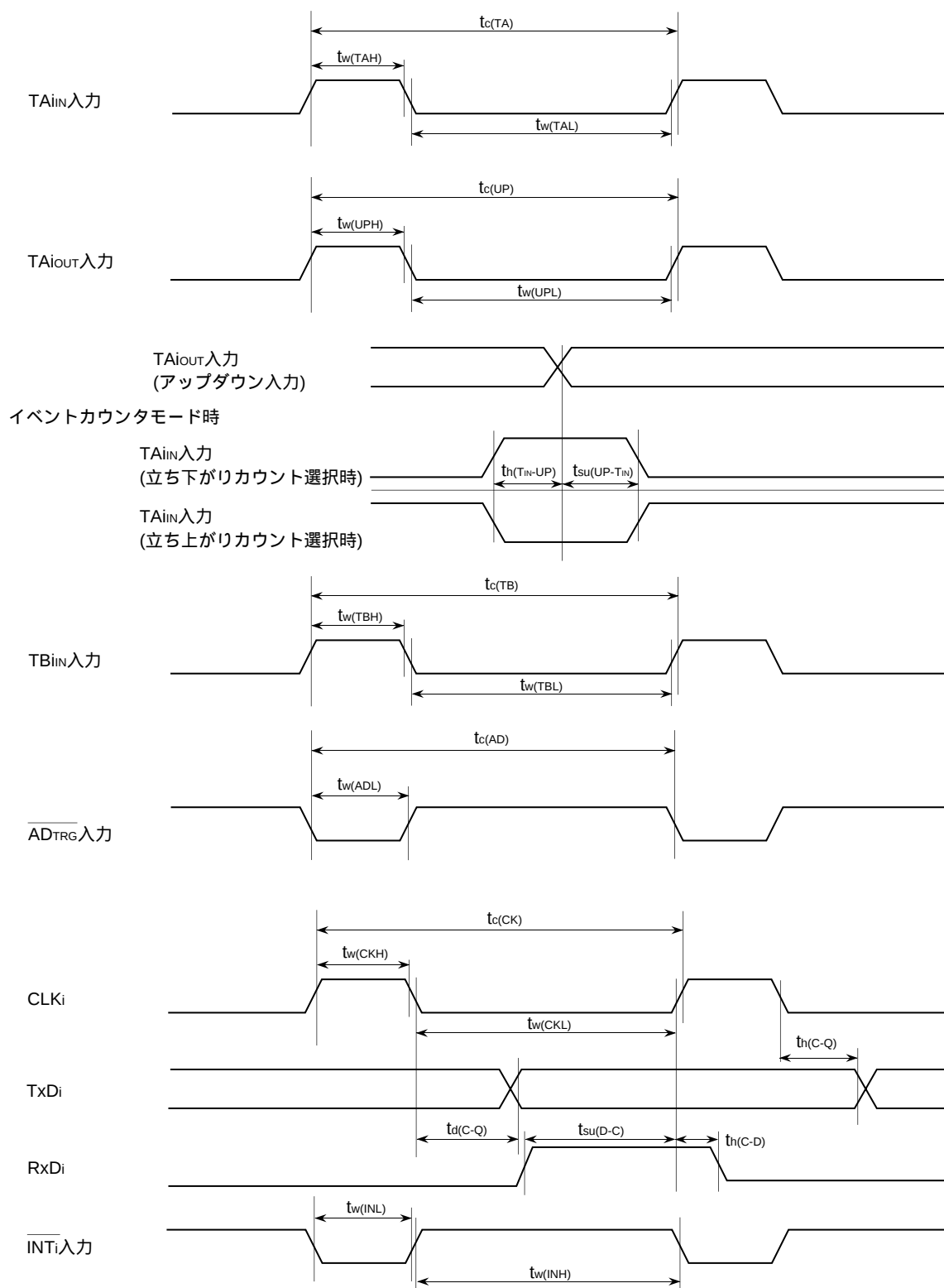


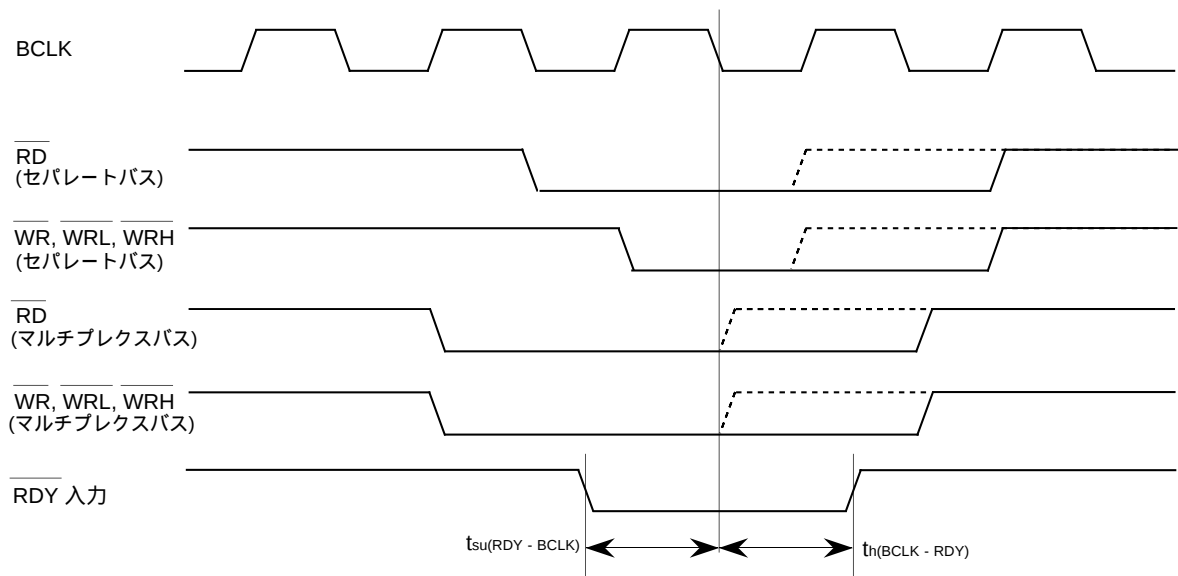
図1.26.2. VCC=3V用タイミング図(1)

タイミング

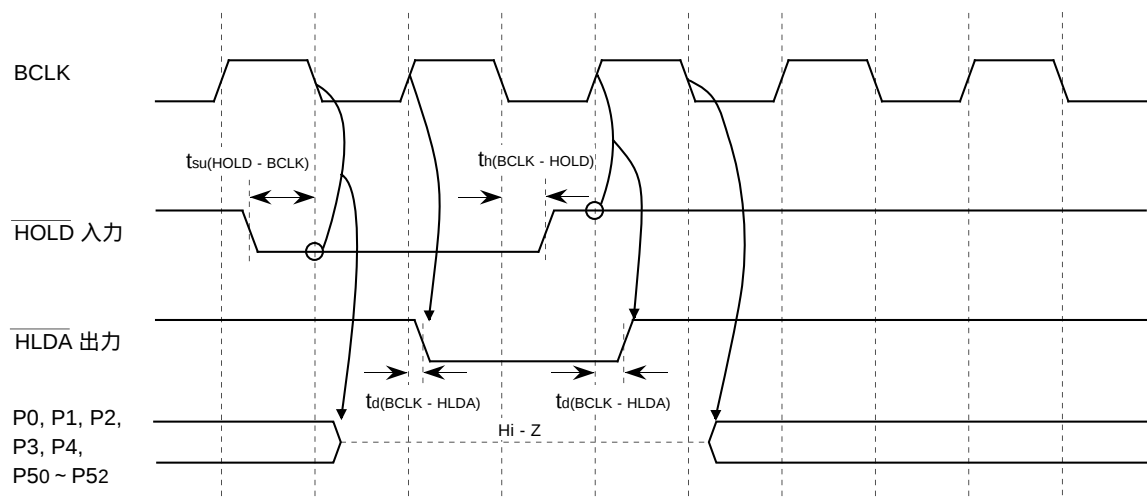
 $V_{CC} = 3V$ 用

メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトありの場合のみ有効)



(ウエイトあり、なし共通)



注1. BYTE端子の入力レベル、プロセッサモードレジスタ0のポートP4₀ ~ P4₃機能選択ビット(PM06)にかかわらず上記ピンはすべてハイインピーダンス状態になります。

測定条件

- $V_{CC}=3V$
- 入力タイミング電圧: $V_{IL}=0.6V$, $V_{IH}=2.4V$
- 出力タイミング電圧: $V_{OL}=1.5V$, $V_{OH}=1.5V$

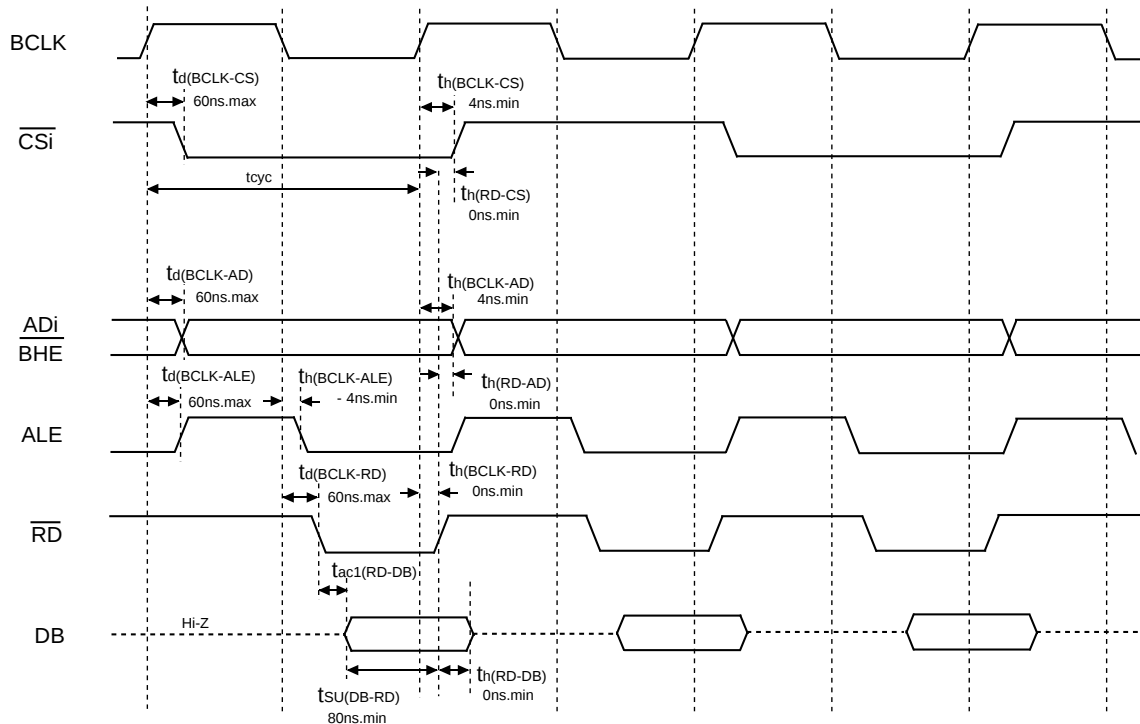
図1.26.3. $V_{CC}=3V$ 用タイミング図(2)

タイミング

VCC = 3V用

メモリ拡張モードおよびマイクロプロセッサモード(ウェイトなしの場合)

読み出しタイミング



書き込みタイミング

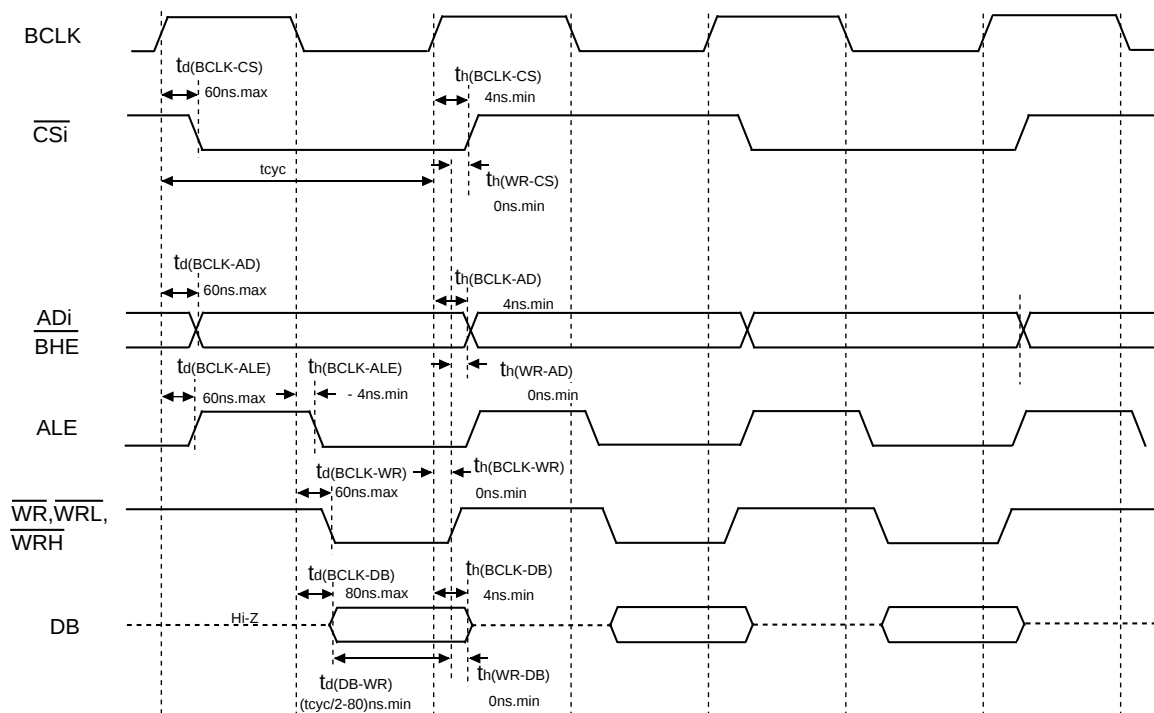


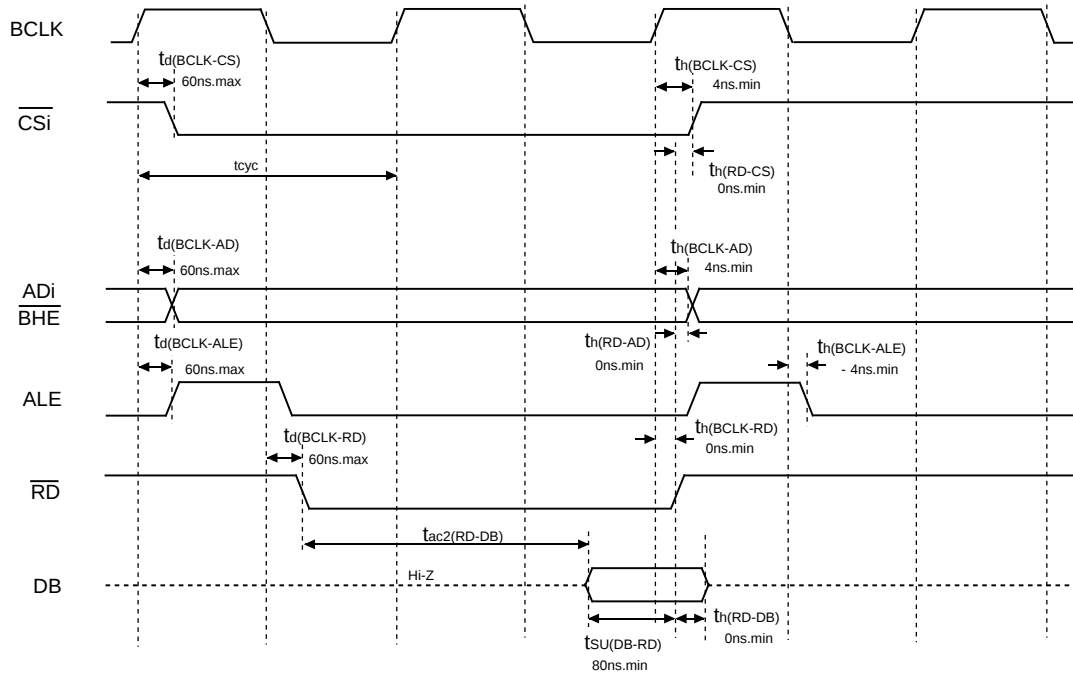
図1.26.4. Vcc=3V用タイミング図(3)

タイミング

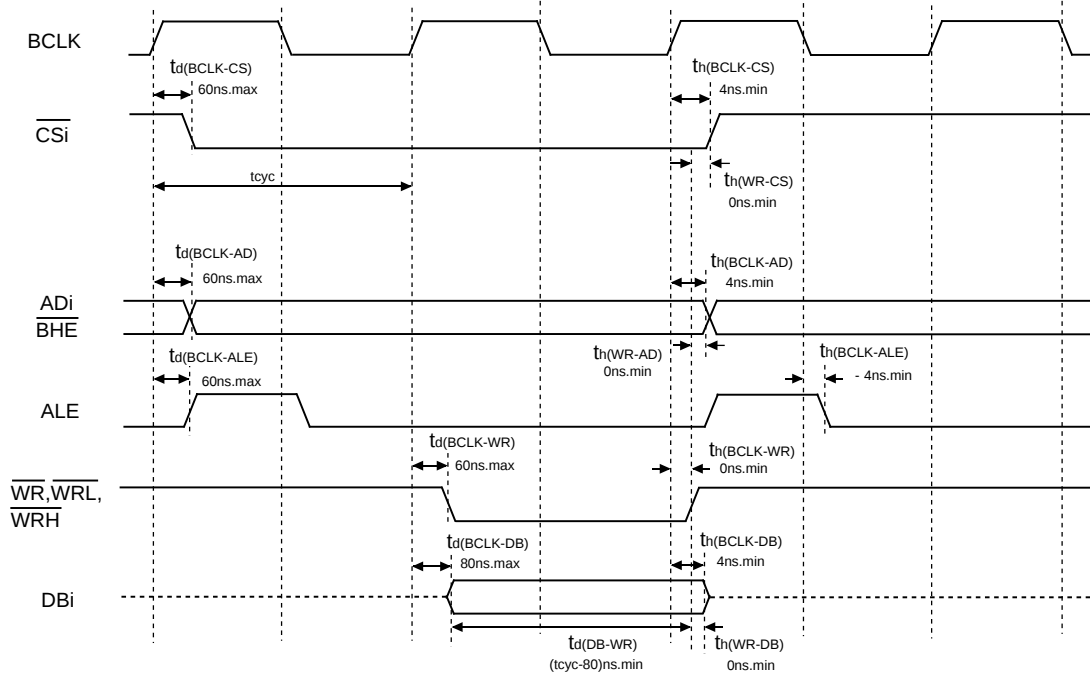
Vcc = 3V用

メモリ拡張モード、およびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

読み出し時



書き込み時



測定条件

- Vcc=3V
- 入力タイミング電圧: $V_{IL}=0.48V, V_{IH}=1.5V$
- 出力タイミング電圧: $V_{OL}=1.5V, V_{OH}=1.5V$

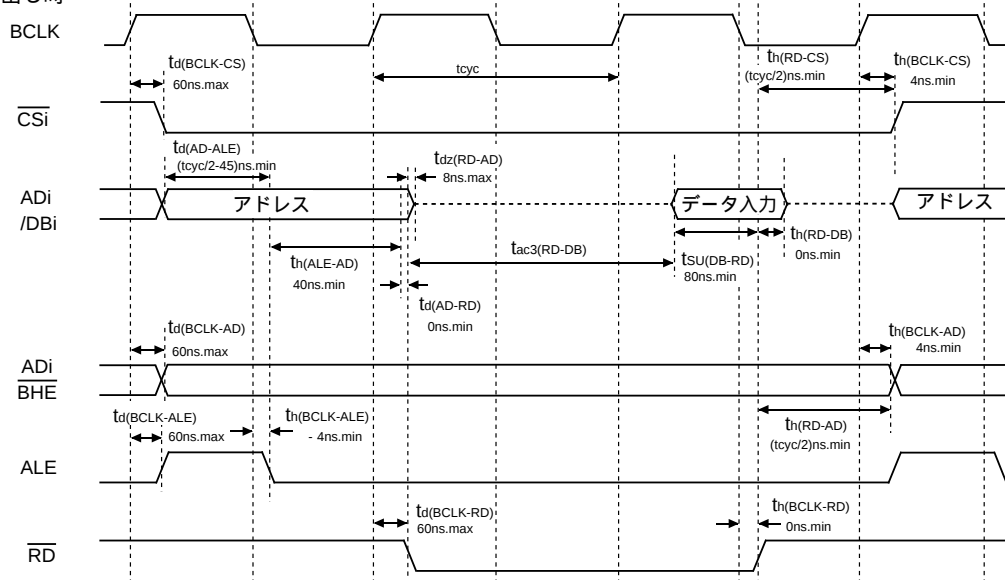
図1.26.5. Vcc=3V用タイミング図(4)

VCC = 3V用

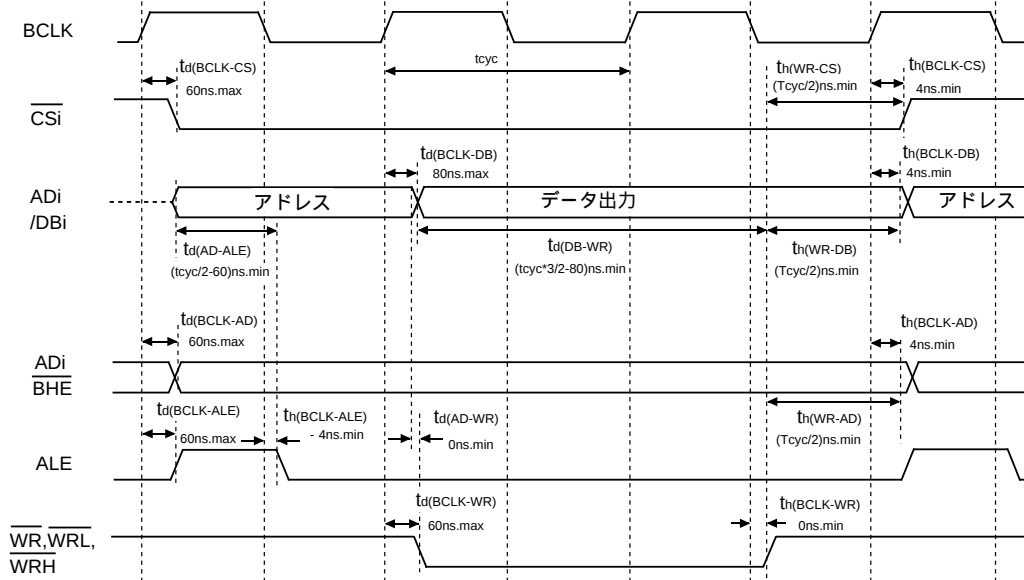
メモリ拡張モード、およびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

読み出し時



書き込み時



測定条件

- ・ VCC=3V
- ・ 入力タイミング電圧 : $V_{IL}=0.48V, V_{IH}=1.5V$
- ・ 出力タイミング電圧 : $V_{OL}=1.5V, V_{OH}=1.5V$

図1.26.6. VCC=3V用タイミング図(5)

GZZ-SH13-95A<02A0>

三菱シングルチップ16ビットマイクロコンピュータ
M30620MCM-XXXFP/GP
マスク化確認書

マスクROM番号		
受 付 欄	年	月
	日	
	課長印	担当者印

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL ()	発行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30620MCM-XXXFP ☐ M30620MCM-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30620MCM-XXXFPの場合は100P6Sの、M30620MCM-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) X_{IN} - X_{OUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$

--

 MHz

GZZ-SH13-95A<02A0>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ
M30620MCM-XXXFP/GP
マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

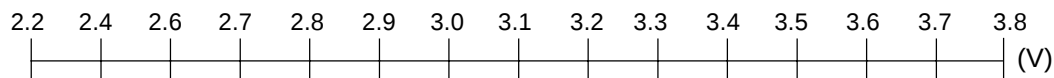
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

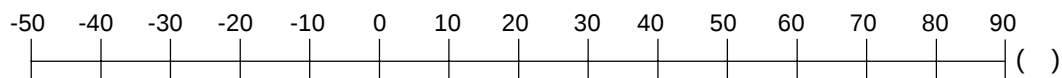
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

GZZ-SH13-48A<98A1>

三菱シングルチップ16ビットマイクロコンピュータ
M30624MGM-XXXFP/GP
マスク化確認書

マスクROM番号	
----------	--

受付欄	年	月	日
	課長印		担当者印

(注) 印をすべて記入ください。

貴社 記入欄	貴社名	殿	TEL ()	発行 印	責任者印	担当者印
	発行日	年	月		日	

1. ご確認表

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 ☐ M30624MGM-XXXFP ☐ M30624MGM-XXXGP

ファイルコード

--	--	--	--	--	--	--	--

 (16進表示)

マスクファイル名

--	--	--	--	--	--	--	--

 .MSK(英数字8桁)

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30624MGM-XXXFPの場合は100P6Sの、M30624MGM-XXXGPの場合は100P6Qのマーク指定書を提出ください。

3. 使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1) X_{IN} - X_{OUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何MHzですか。

$f(X_{IN}) =$

--

 MHz

GZZ-SH13-48A<98A1>

マスクROM番号

三菱シングルチップ16ビットマイクロコンピュータ
M30624MGM-XXXFP/GP
マスク化確認書

(2) X_{CIN} - X_{COUT} 発振回路は次のどの条件で使用されますか。

- ☐ セラミック共振子 ☐ 水晶発振子
☐ 外部クロック入力 ☐ その他()

またその周波数は何kHzですか。

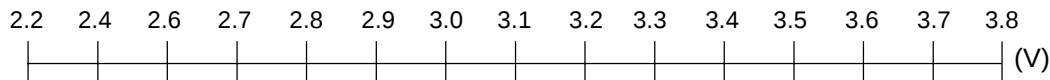
$f(X_{CIN}) =$ kHz

(3) マイコンの使用動作モードは次のどの条件で使用されますか。

- ☐ シングルチップモード ☐ メモリ拡張モード
☐ マイクロプロセッサモード

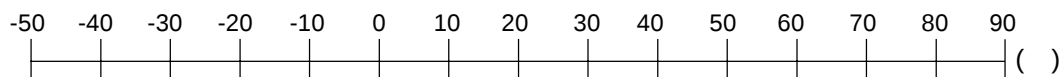
(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(5) マイコンの動作周囲温度は次のどの条件で使用されますか。

(ご使用される範囲を○印等で示してください)



(6) I²C(Inter IC)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

(7) IE(Inter Equipment)バス機能を使用されますか。

- ☐ 未使用 ☐ 使用

ご協力ありがとうございました。

4. 特記事項

第 2 章

周辺機能の使い方

プロテクト

2.1 プロテクト使い方

2.1.1 プロテクト使い方の概要

プロテクトとは、プログラムが暴走しても容易にレジスタの値を変更できなくする機能です。プロテクト使い方の概要について説明します。

- プロテクト機能が影響するレジスタ

プロテクト機能が影響するレジスタは次のとおりです。

- (1) システムクロック制御レジスタ0、1(0006₁₆番地、0007₁₆番地)
- (2) プロセッサモードレジスタ0、1(0004₁₆番地、0005₁₆番地)
- (3) ポートP9方向レジスタ(03F3₁₆番地)、SI/Oi制御レジスタ(i=3,4)(0362₁₆番地、0366₁₆番地)

(1)～(3)のレジスタは、書き込み禁止状態では変更できません。レジスタの値を変更する場合は、各レジスタへの書き込み許可状態にしてから行ってください。

プロテクト

• プロテクトレジスタ

図2.1.1にプロテクトレジスタの構成を示します。

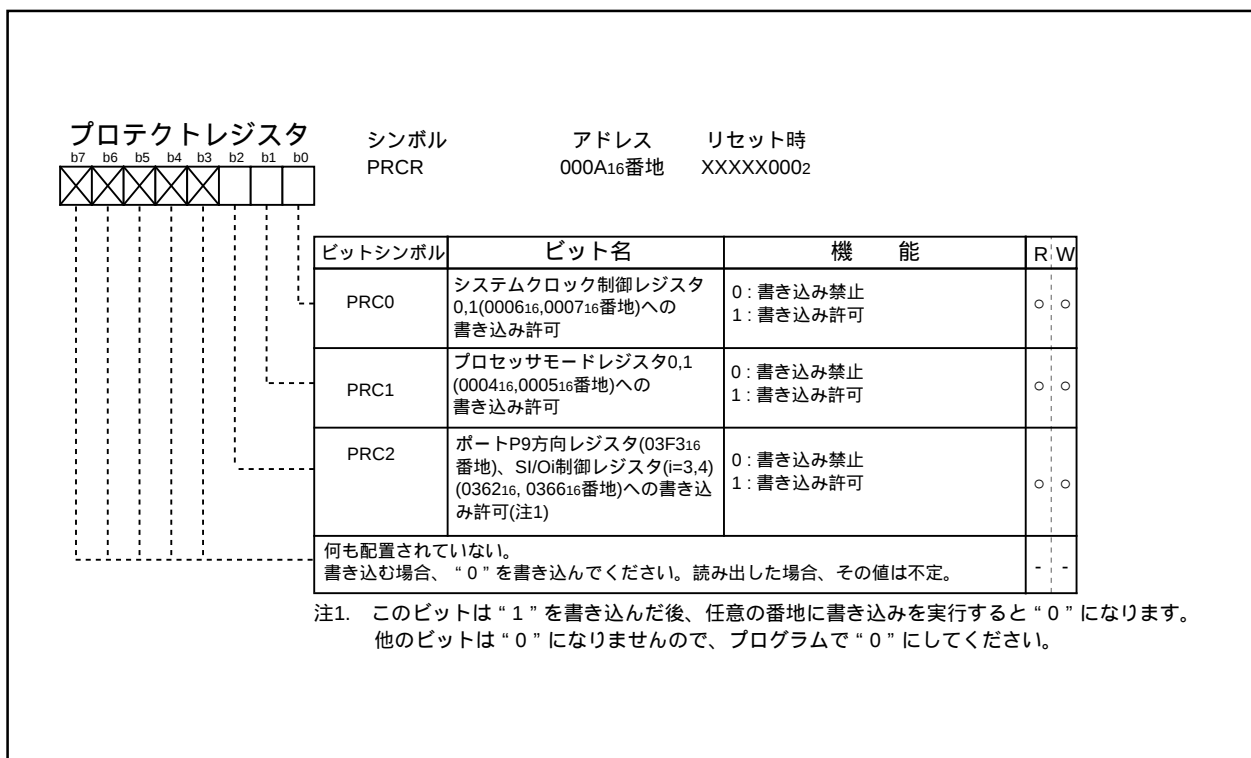


図2.1.1. プロテクトレジスタの構成

2.1.2 プロテクト動作

プロテクト動作を示します。また、図2.1.2に設定手順を示します。

動作

- (1) システムクロック制御レジスタ0、1への書き込み許可ビットを“1”にすると、システムクロック制御レジスタ0およびシステムクロック制御レジスタ1は書き込み許可状態になります。
- (2) システムクロック制御レジスタ0およびシステムクロック制御レジスタ1の内容を変更します。
- (3) システムクロック制御レジスタ0、1への書き込み許可ビットを“0”にすると、システムクロック制御レジスタ0およびシステムクロック制御レジスタ1は書き込み禁止状態になります。
- (4) プロセッサモードレジスタ0およびプロセッサモードレジスタ1の内容を変更する場合は、システムクロック制御レジスタと同じ方法で変更できます。
- (5) ポートP9方向レジスタ、SI/Oi制御レジスタ(i=3,4)への書き込み許可ビットは、許可状態にした次の書き込み命令で“0”になります。入出力の変更やSI/Oi制御レジスタ(i=3,4)の変更は、ポートP9方向レジスタ、SI/Oi制御レジスタ(i=3,4)への書き込み許可ビットを“1”にする命令の直後に行ってください。割り込みが入らないように注意してください。また、DMA転送が行われないようにしてください。

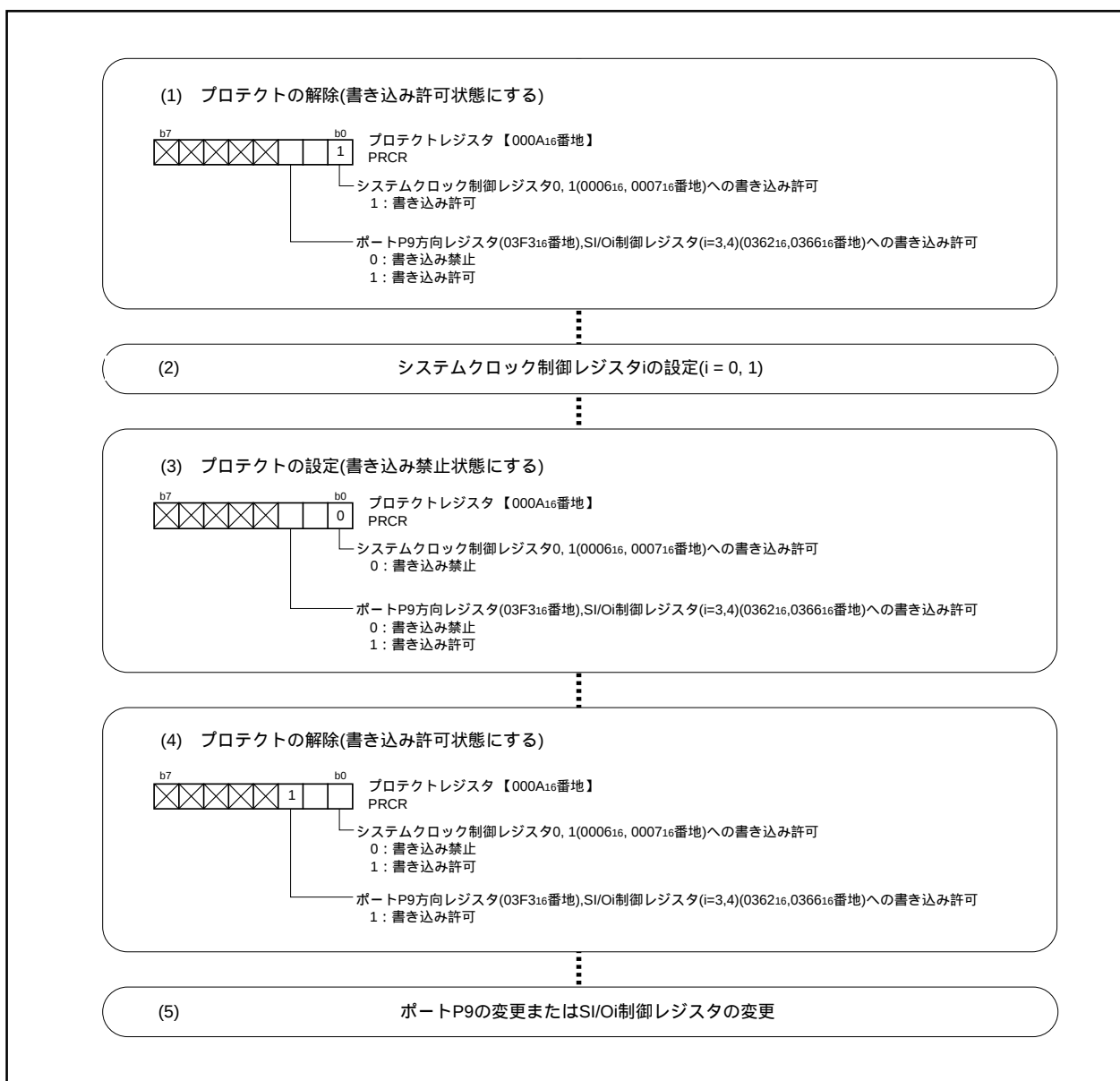


図2.1.2. プロテクト機能のレジスタ設定手順

2.1.3 プロテクト注意事項

内 容

- (1) **ポートP9方向レジスタ、SI/Oi制御レジスタ(i=3,4)への書き込み許可ビット**は、許可状態にした次の書き込み命令で“0”になります。入出力の変更や**SI/Oi制御レジスタ(i=3,4)**の変更は、ポートP9方向レジスタ、SI/Oi制御レジスタ(i=3,4)への書き込み許可ビットを“1”にする命令の直後に行ってください。割り込みが入らないように注意してください。また、DMA転送が行われないようにしてください。

タイマA

2.2 タイマA使い方

2.2.1 タイマA使い方の概要

タイマAは16ビットのタイマです。タイマA使い方の概要について説明します。

●モード

タイマAは、次の4種類のモードを持ちます。

(1)タイマモード

内部のカウントソースをカウントするモードです。オーバフローごとにポートの出力が反転するパルス出力機能とポートからの入力信号でカウント開始/停止を制御するゲート機能を選択できます。

- タイマモードの動作 P2-12
- タイマモード、ゲート機能動作 P2-14
- タイマモード、パルス出力機能動作 P2-16

(2)イベントカウンタモード

外部からのパルスおよび別のタイマのオーバフロー回数をカウントするモードです。オーバフロー時、リロードレジスタからリロードしないフリーランタイプを選択できます。その他、パルス出力機能を選択できますが、タイマモードと同じですので、タイマモードを参照してください。

- イベントカウンタモードの動作 P2-18
- イベントカウンタモード、フリーランタイプの動作 P2-20

また、2本の入力信号の位相によってアップカウントかダウンカウントを行うイベントカウンタモード二相パルス信号処理機能を持ちます。位相の検出方法の違いで、通常モードと4通倍モードの2種類を選択できます。

- 通常モードのイベントカウンタモード二相パルス信号処理機能の動作 P2-22
- 4通倍モードのイベントカウンタモード二相パルス信号処理機能の動作 P2-24

(3)ワンショットタイマモード

トリガによりタイマがスタートし、タイマ値が“0”になると停止するモードです。トリガは外部からの入力信号、タイマのオーバフロー、およびソフトウェアの3種類から選択できます。その他、パルス出力機能を選択できますが、タイマモードの動作と同じですので、タイマモードを参照してください。

- ソフトウェアによるワンショットタイマモードの動作 P2-26
- 外部トリガによるワンショットタイマモードの動作 P2-28

(4)パルス幅変調(PWM)モード

任意のパルスを連続して出力するモードです。周期固定の16ビットPWMモードと周期可変の8ビットPWMモードを選択できます。その他、出力を開始するためのトリガを選択することができますが、動作は、ワンショットタイマモードと同じですので、ワンショットタイマモードを参照してください。

- 16ビットPWMモードの動作 P2-30
- 8ビットPWMモードの動作 P2-32

タイマA

● カウントソース

内部のカウントソースは、f₁、f₈、f₃₂、およびf_{c32}から選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。f_{c32}とは、CPUのサブクロックを32分周したクロックです。

● カウント値

タイマモードおよびパルス幅変調モードでは、**タイマレジスタ**に設定した値+1がカウント値となります。また、イベントカウンタモードの場合、ダウンカウント動作時は、設定値+1がカウント値となりますが、アップカウント動作時は、(FFFF₁₆ - 設定値 + 1)がカウント値となります。ワンショットタイマモードの場合、タイマレジスタに設定した値がカウント値となります。

カウント値の数のカウントソースが入力されるとカウンタはオーバフロー(アンダフロー)し、割り込み要求が発生します。また、パルス出力機能を選択している場合、ポートの出力が変化します(ポートレジスタの値は、変化しません)。

● タイマの読み込み

タイマモードおよびイベントカウンタモードでは、タイマレジスタを読み出せば、そのときのカウント値を読み出します。読み出すときは、16ビット単位で読み出してください。ワンショットタイマモードおよびパルス幅変調モードでは読み出した値は不定です。

● タイマの書き込み

カウント中に書き込みを行った場合、その値はリロードレジスタにだけ書き込まれます。カウント停止中に書き込みを行った場合、その値はリロードレジスタとカウンタの両方に書き込まれます。書き込むときは、16ビット単位で行ってください。

● タイマの入出力と方向レジスタの関係

タイマの出力機能を選択した場合、**ポートの方向レジスタ**に関係なくパルスは出力されます。外部信号をタイマへ入力する場合、ポートの方向レジスタを入力に設定してください。

● タイマA関連端子

(1) TA0IN、TA1IN、TA2IN、TA3IN、TA4IN端子

タイマAへの入力端子です。

(2) TA0OUT、TA1OUT、TA2OUT、TA3OUT、TA4OUT端子

タイマAの出力端子です。イベントカウンタモード時、タイマAへの入力端子です。

タイマA

●タイマA関連レジスタ

図2.2.1にタイマA関連レジスタのメモリ配置図を、図2.2.2～図2.2.5にタイマA関連レジスタの構成を示します。

0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0058 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
0380 ₁₆	カウント開始フラグ(TABSR)
0381 ₁₆	時計用プリスケアラリセットフラグ(CPSRF)
0382 ₁₆	ワンショット開始フラグ(ONSF)
0383 ₁₆	トリガ選択レジスタ(TRGSR)
0384 ₁₆	アップダウンフラグ(UDF)
0385 ₁₆	
0386 ₁₆	タイマA0レジスタ(TA0)
0387 ₁₆	
0388 ₁₆	タイマA1レジスタ(TA1)
0389 ₁₆	
038A ₁₆	タイマA2レジスタ(TA2)
038B ₁₆	
038C ₁₆	タイマA3レジスタ(TA3)
038D ₁₆	
038E ₁₆	タイマA4レジスタ(TA4)
038F ₁₆	
0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)
039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)

図2.2.1. タイマA関連レジスタのメモリ配置図

タイマAiモードレジスタ

b7

b6

b5

b4

b3

b2

b1

b0

シンボル

アドレス

リセット時

TAiMR(i=0 ~ 4)

0396₁₆ ~ 039A₁₆番地

00₁₆

ビットシンボル

ビット名

機 能

R

W

TMOD0

動作モード選択ビット

b1 b0

00: タイマモード

01: イベントカウンタモード

10: ワンショットタイマモード

11: パルス幅変調(PWM)モード

TMOD1

MR0

動作モードによって機能が異なる

MR1

MR2

MR3

TCK0

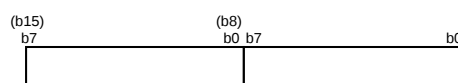
カウントソース選択ビット
(動作モードによって機能が異なる)

TCK1

図2.2.2. タイマA関連レジスタの構成(1)

タイマA

タイマAiレジスタ(注1)



シンボル	アドレス	リセット時
TA0	0387 ₁₆ , 0386 ₁₆ 番地	不定
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定
TA3	038D ₁₆ , 038C ₁₆ 番地	不定
TA4	038F ₁₆ , 038E ₁₆ 番地	不定

機 能	設定可能値	R	W
● タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	○	○
● イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローを カウント	0000 ₁₆ ~ FFFF ₁₆	○	○
● ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆ (注2、注4)	×	○
● パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000 ₁₆ ~ FFFE ₁₆ (注3、注4)	×	○
● パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケアラ、 上位アドレスは8ビットパルス幅変調器として動作	00 ₁₆ ~ FE ₁₆ (上位アドレス) 00 ₁₆ ~ FF ₁₆ (下位アドレス) (注3、注4)	×	○

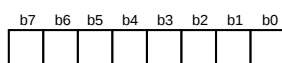
注1. 読み出し、および書き込みは16ビット単位で行ってください。

注2. タイマAiレジスタに“0000₁₆”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TA_IOUT端子からパルスは出力されません。

注3. タイマAiレジスタに“0000₁₆”を設定した場合、パルス幅変調器は動作せず、TA_IOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00₁₆”を設定した場合も同様です。

注4. このレジスタへの書き込みにはMOV命令を使用してください。

カウント開始フラグ



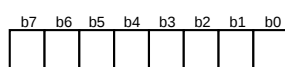
シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

図2.2.3. タイマA関連レジスタの構成(2)

タイマA

アップダウンフラグ(注1)

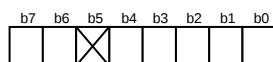
シンボル
UDFアドレス
0384₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R/W
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント アップ / ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	○ ○
TA1UD	タイマA1アップダウンフラグ		○ ○
TA2UD	タイマA2アップダウンフラグ		○ ○
TA3UD	タイマA3アップダウンフラグ		○ ○
TA4UD	タイマA4アップダウンフラグ		○ ○
TA2P	タイマA2二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可(注2) 二相パルス信号処理機能を使用 しない場合は、“0”を設定して ください	× ○
TA3P	タイマA3二相パルス信号処理 機能選択ビット		× ○
TA4P	タイマA4二相パルス信号処理 機能選択ビット		× ○

注1. このレジスタへの書き込みにはMOV命令を使用してください。

注2. TAI_{in}、TAI_{out}に対応するポート方向レジスタは“0”にしてください。

ワンショット開始フラグ

シンボル
ONSFアドレス
0382₁₆番地リセット時
00X00000₂

ビットシンボル	ビット名	機 能	R/W
TA0OS	タイマA0ワンショット開始フラグ	1: タイマスタート 読み出し時の値は “ 0 ”	○ ○
TA1OS	タイマA1ワンショット開始フラグ		○ ○
TA2OS	タイマA2ワンショット開始フラグ		○ ○
TA3OS	タイマA3ワンショット開始フラグ		○ ○
TA4OS	タイマA4ワンショット開始フラグ		○ ○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—
TA0TGL	タイマA0イベント / トリガ選択ビット	b7 b6 0 0 : TA0in端子の入力を選択(注1) 0 1 : TB2のオーバーフローを選択 1 0 : TA4のオーバーフローを選択 1 1 : TA1のオーバーフローを選択	○ ○
TA0TGH			○ ○

注1. 対応するポート方向レジスタは“0”にしてください。

図2.2.4. タイマA関連レジスタの構成(3)

タイマA

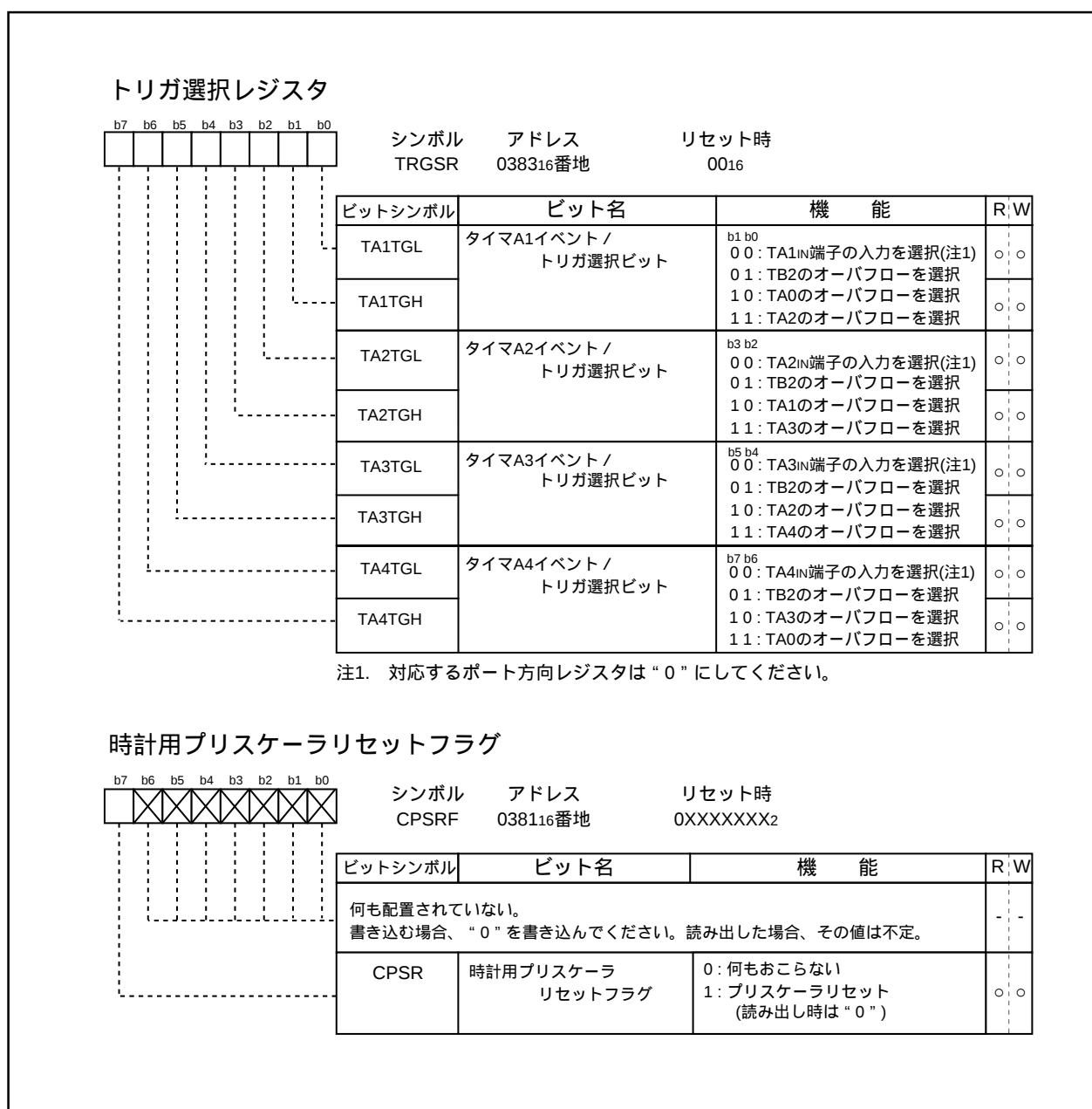


図2.2.5. タイマA関連レジスタの構成(4)

タイマA

2.2.2 タイマA動作 (タイマモード)

タイマモードでは、表2.2.1に示す項目の中から機能を選択できます。ここでは、表2.2.1に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.6に動作タイミングを、図2.2.7に設定手順を示します。

表2.2.1. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
パルス出力機能	○ パルス出力なし
	パルス出力あり
ゲート機能	○ ゲート機能なし
	TAiN端子が“L”レベルの期間だけカウントを行う
	TAiN端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

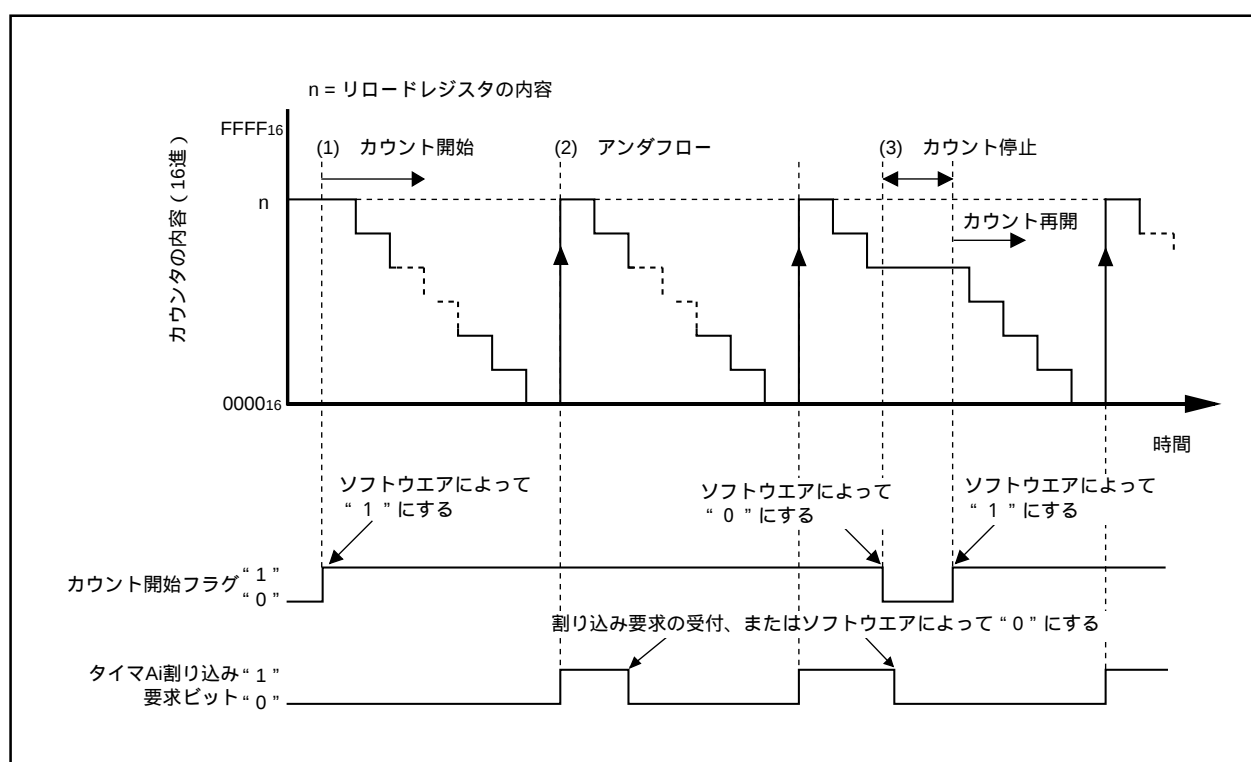
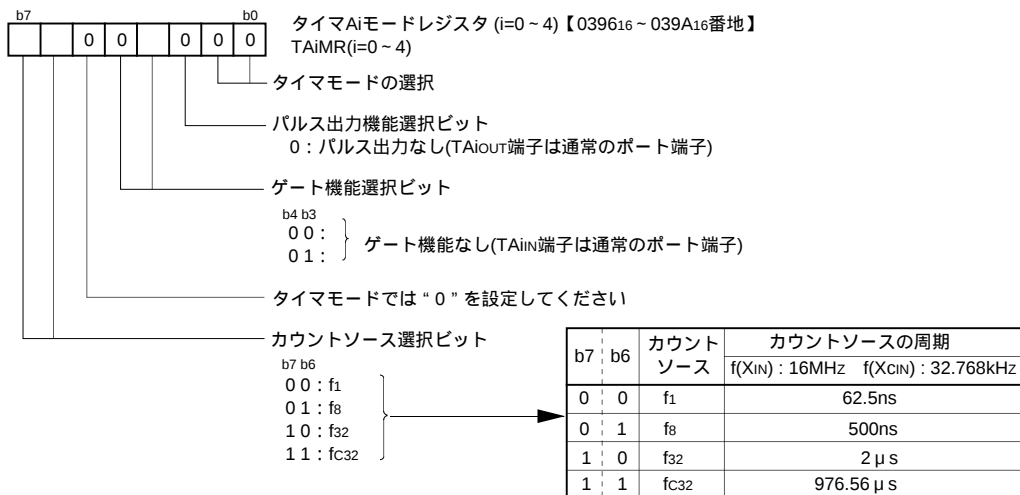


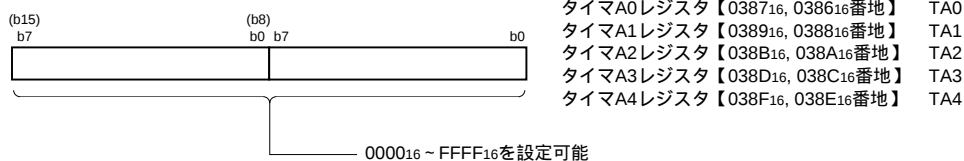
図2.2.6. タイマモード動作タイミング図

タイマA

タイマモードの選択および各機能の選択

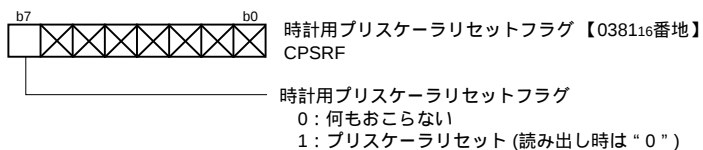


カウンタ値の設定

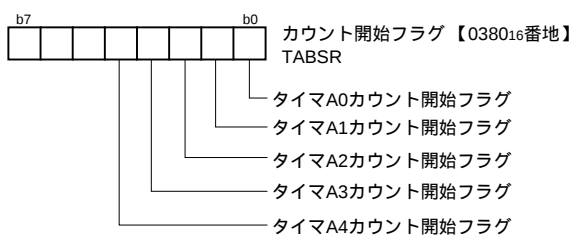


時計用プリスケアラリセットフラグの設定

(カウントソースにf_{C32}を選択したときだけ有効です。XCiNを32分周してf_{C32}を作成するためのプリスケアラをリセットします。)



カウント開始フラグの設定



カウント開始

図2.2.7. タイマモード時のレジスタ設定手順

タイマA

2.2.3 タイマA動作 (タイマモード、ゲート機能選択時)

タイマモードでは、表2.2.2に示す項目の中から機能を選択できます。ここでは、表2.2.2に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.8に動作タイミングを、図2.2.9に設定手順を示します。

表2.2.2. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース(f ₁ / f ₈ / f ₃₂ / f _{C32})
パルス出力機能	○ パルス出力なし
	パルス出力あり
ゲート機能	ゲート機能なし
	TAiIn端子が“L”レベルの期間だけカウントを行う
	○ TAiIn端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグが“1”でTAiIn端子の入力信号が“H”レベルのとき、カウンタはカウントソースをダウンカウントします。
 - (2) TAiIn端子の入力信号が“L”レベルのとき、カウンタはカウント値を保持して停止します。
 - (3) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

補足説明 ・TAiIn端子に入力する信号のパルス幅は、カウントソースの2サイクル以上にしてください。

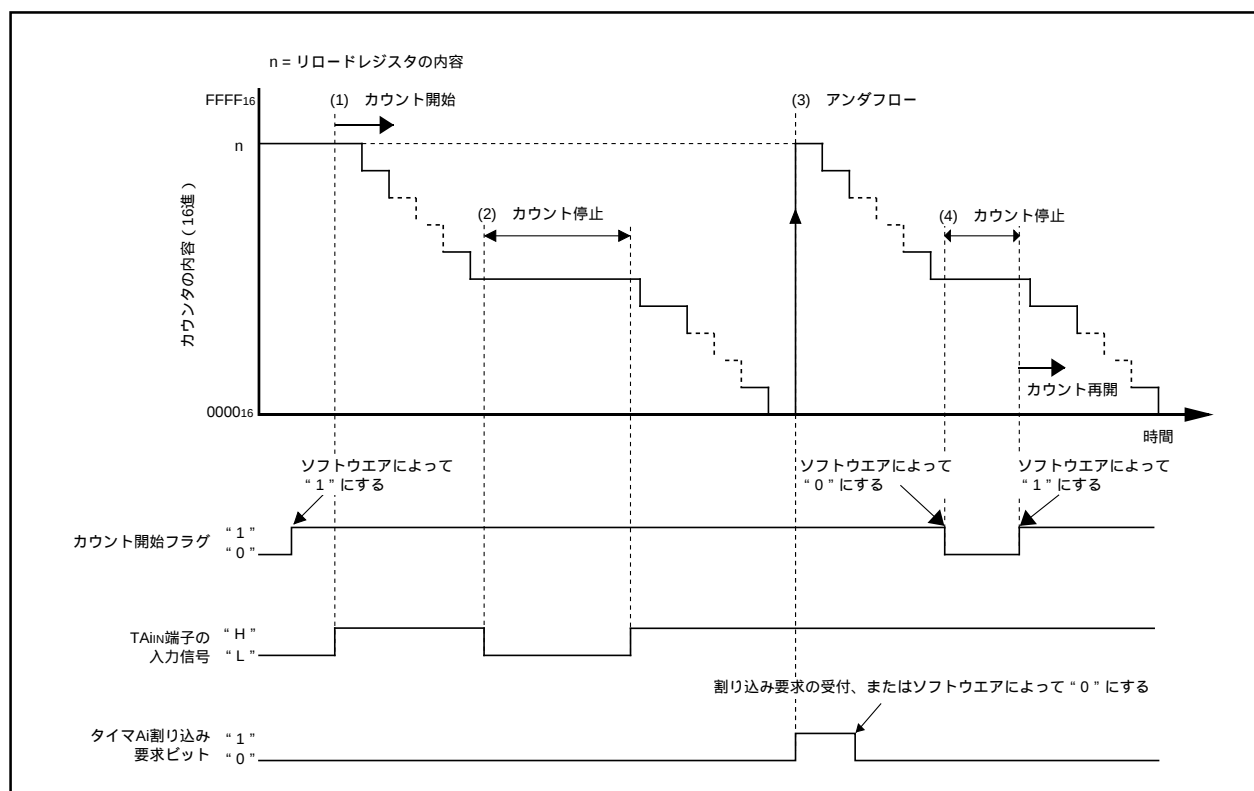
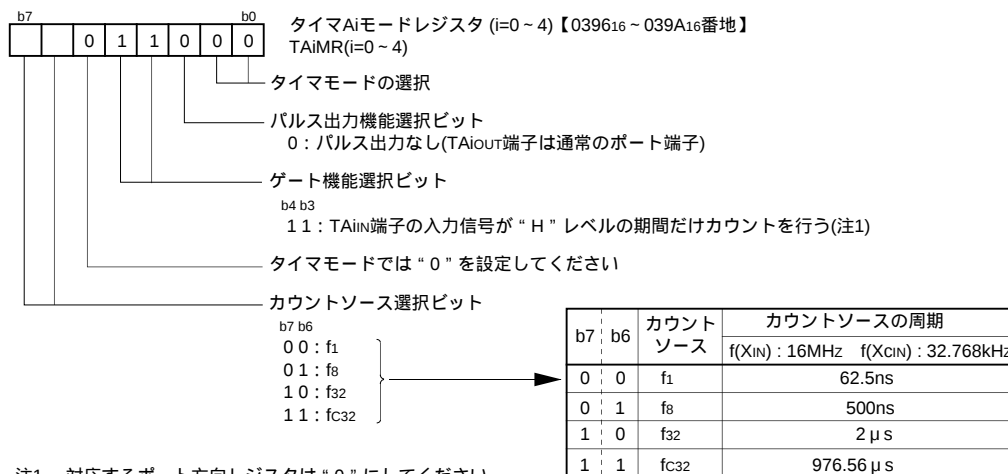


図2.2.8. タイマモード、ゲート機能選択時の動作タイミング図

タイマA

タイマモードの選択および各機能の選択

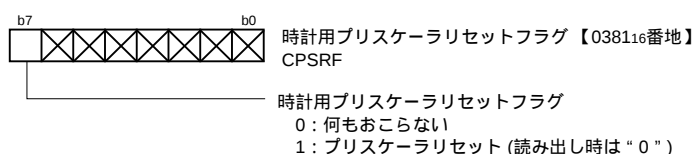


カウンタ値の設定

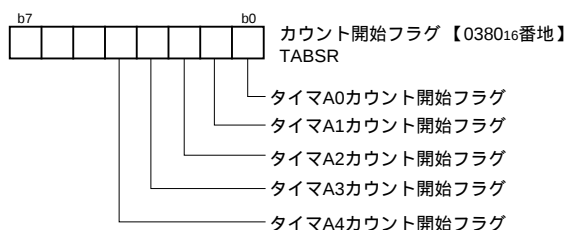


時計用プリスケアラセットフラグの設定

(カウントソースにf_{c32}を選択したときだけ有効です。XCINを32分周してf_{c32}を作成するためのプリスケアラをリセットします。)



カウント開始フラグの設定



カウント開始

図2.2.9. タイマモード、ゲート機能選択時のレジスタ設定手順

タイマA

2.2.4 タイマA動作（タイマモード、パルス出力機能選択時）

タイマモードでは、表2.2.3に示す項目の中から機能を選択できます。ここでは、表2.2.3に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.10に動作タイミングを、図2.2.11に設定手順を示します。

表2.2.3. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{C32}$)
パルス出力機能	パルス出力なし
	○ パルス出力あり
ゲート機能	○ ゲート機能なし
	TAiN端子が“L”レベルの期間だけカウントを行う
	TAiN端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。また、TAiOUT端子の出力極性が反転します。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子は“L”レベルを出力します。

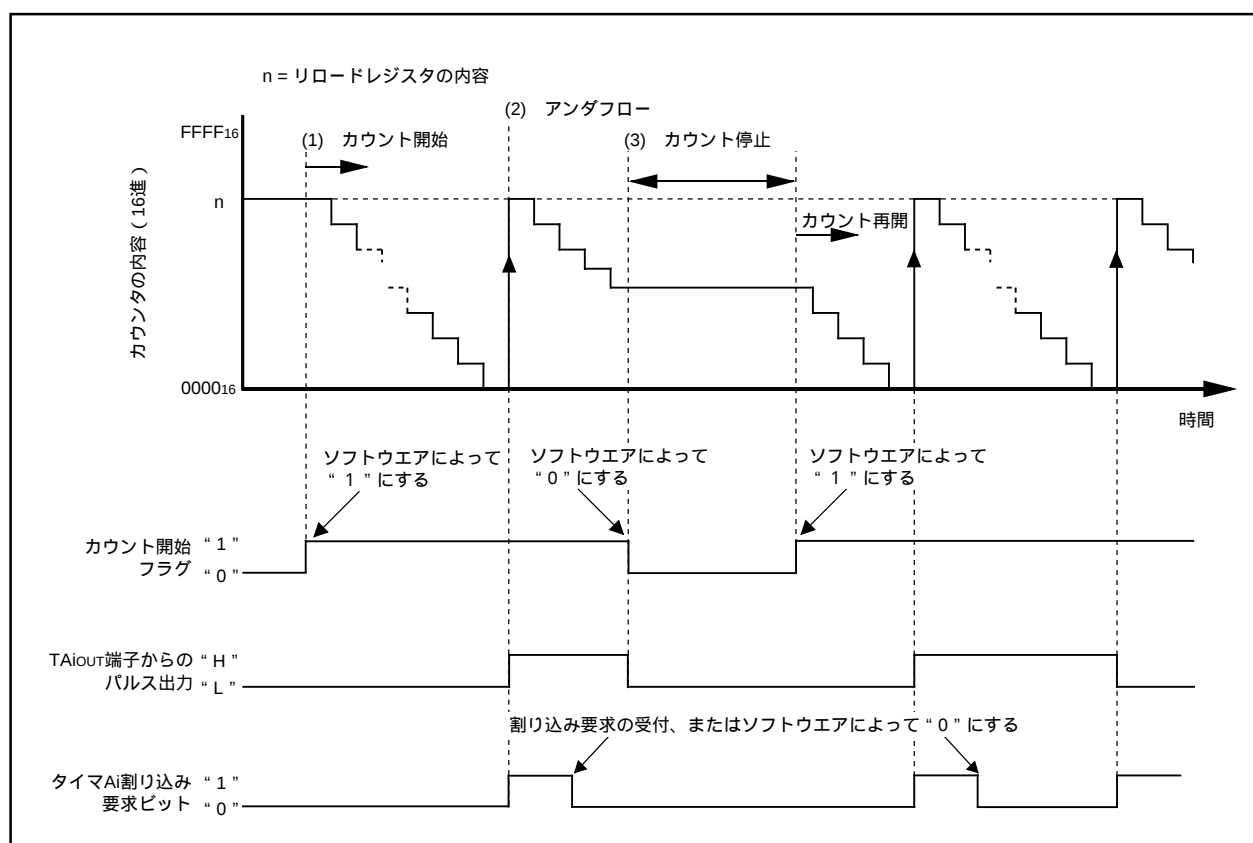
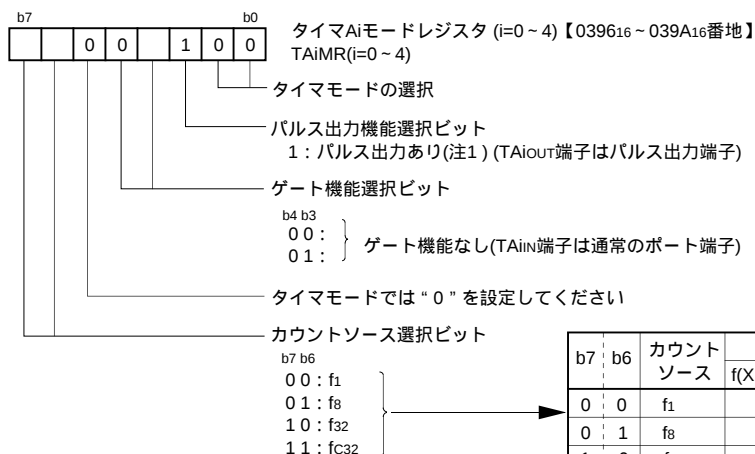


図2.2.10. タイマモード、パルス出力機能選択時の動作タイミング図

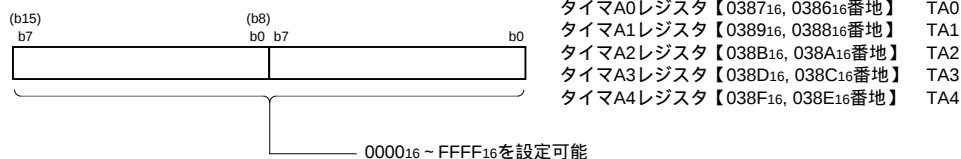
タイマA

タイマモードの選択および各機能の選択



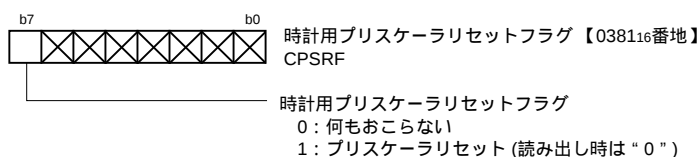
注1. 対応するポートレジスタおよびポート方向レジスタの設定は無効です。

カウンタ値の設定

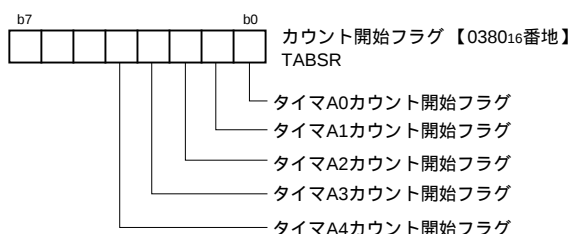


時計用プリスケアラリセットフラグの設定

(カウントソースにfc32を選択したときだけ有効です。XCINを32分周してfc32を作成するためのプリスケアラをリセットします。)



カウント開始フラグの設定



カウント開始

図2.2.11. タイマモード、パルス出力機能選択時のレジスタ設定手順

タイマA

2.2.5 タイマA動作（イベントカウンタモード、リロードタイプ選択時）

イベントカウンタモードでは、表2.2.4に示す項目の中から機能を選択できます。ここでは、表2.2.4に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.12に動作タイミングを、図2.2.13に設定手順を示します。

表2.2.4. 設定内容

設定項目	設定内容	設定項目	設定内容
カウントソース	○ TAIN端子の入力信号 (立ち下がりをカウント)	パルス出力機能	○ パルス出力なし
	TAIN端子の入力信号 (立ち上がりをカウント)		パルス出力あり
	タイマのオーバーフロー (TB2のオーバーフロー/ TAjのオーバーフロー)	カウント動作タイプ	○ リロードタイプ
			フリーランタイプ
		アップ/ダウン 切り替え要因	○ アップダウンフラグの内容
			TAiOUT端子の入力信号

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。

動作

- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がり进行をカウントします。
- (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
- (3) カウント中にアップカウント/ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント/ダウンカウントが切り替わります。
- (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。
- (5) オーバーフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。

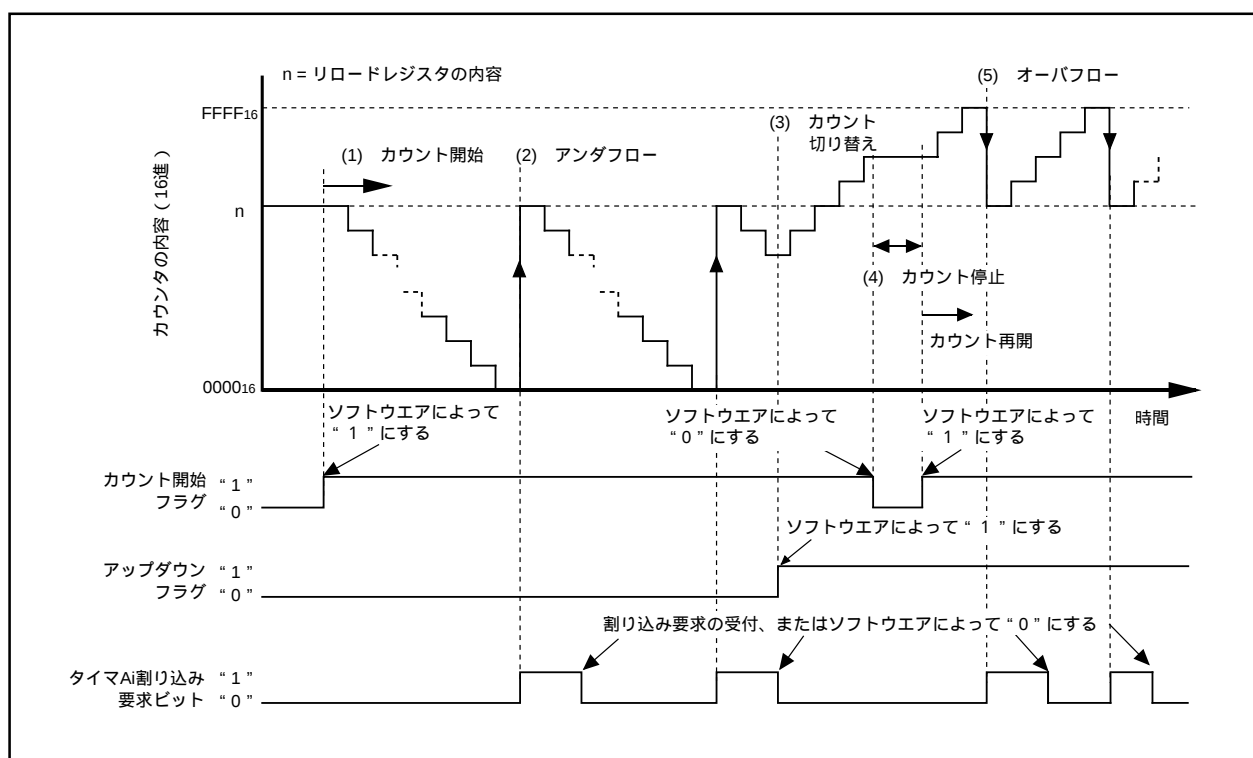
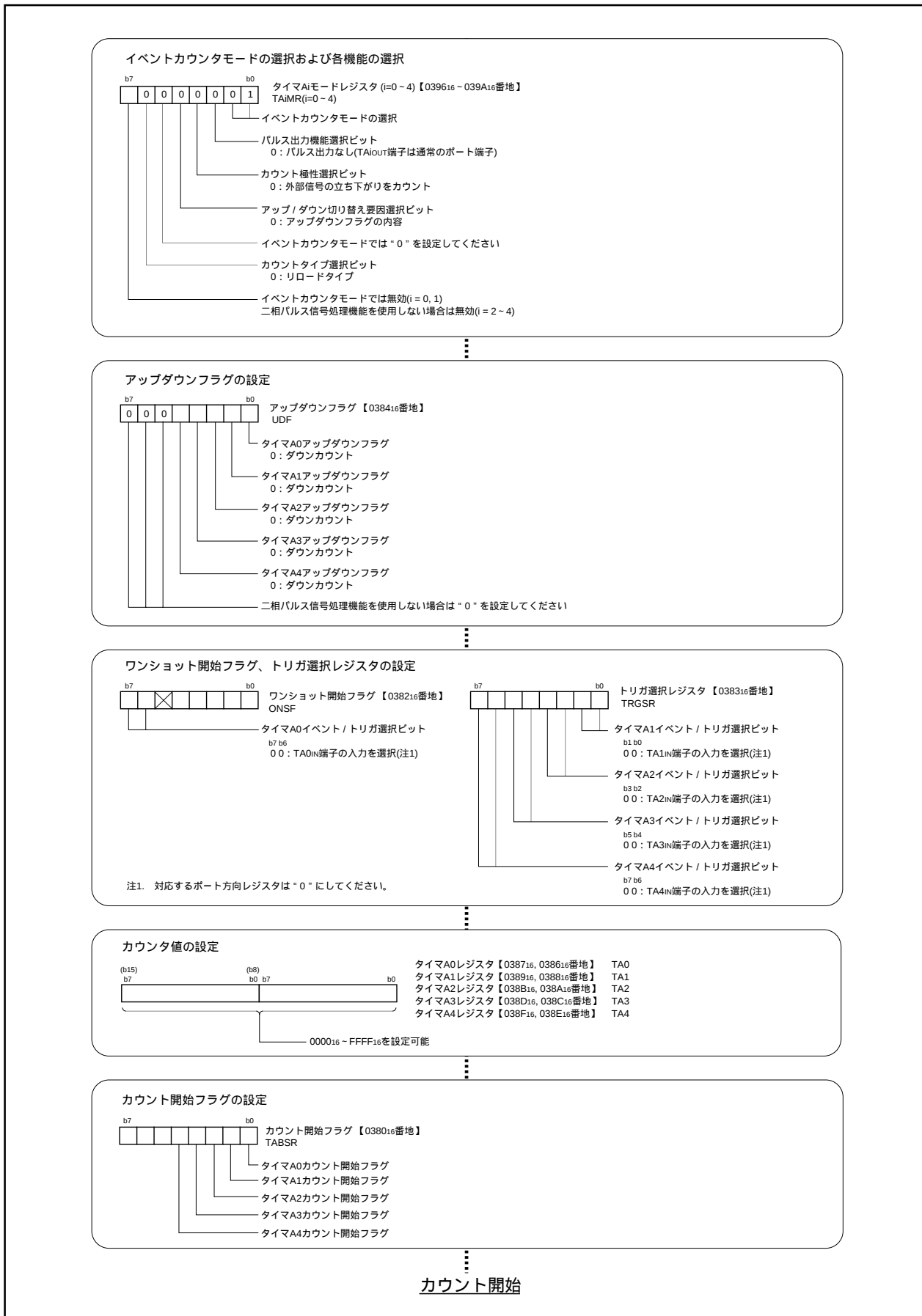


図2.2.12. イベントカウンタモード、リロードタイプ選択時の動作タイミング図



タイマA

2.2.6 タイマA動作（イベントカウンタモード、フリーランタイプ選択時）

イベントカウンタモードでは、表2.2.5に示す項目の中から機能を選択できます。ここでは、表2.2.5に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.14に動作タイミングを、図2.2.15に設定手順を示します。

表2.2.5. 設定内容

設定項目	設定内容	設定項目	設定内容
カウントソース	○ TAIN端子の入力信号 (立ち下がりをカウント)	パルス出力機能	○ パルス出力なし
	TAIN端子の入力信号 (立ち上がりをカウント)	カウント動作タイプ	パルス出力あり
	タイマのオーバーフロー (TB2のオーバーフロー / TAjのオーバーフロー)		リロードタイプ
			○ フリーランタイプ
		アップ/ダウン 切り替え要因	○ アップダウンフラグの内容
			TAiOUT端子の入力信号

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりを実行します。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント中にアップカウント/ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント/ダウンカウントが切り替わります。
 - (4) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。

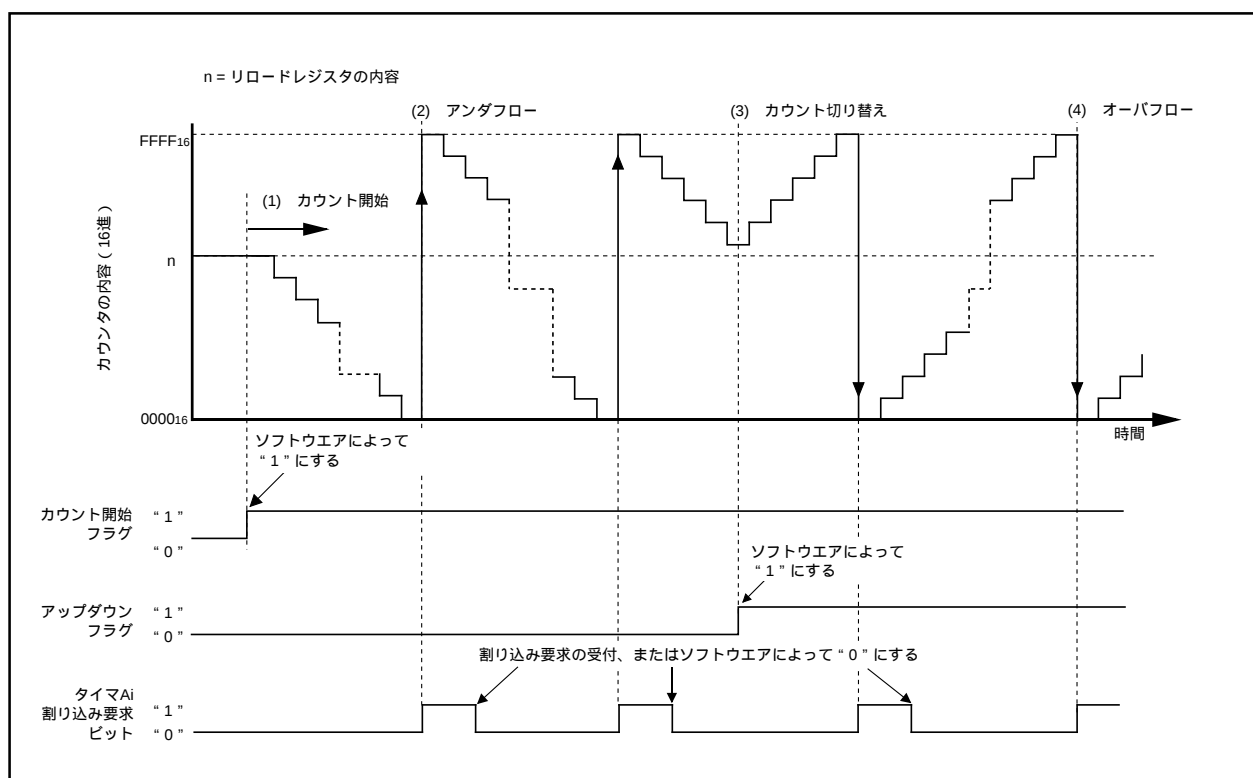
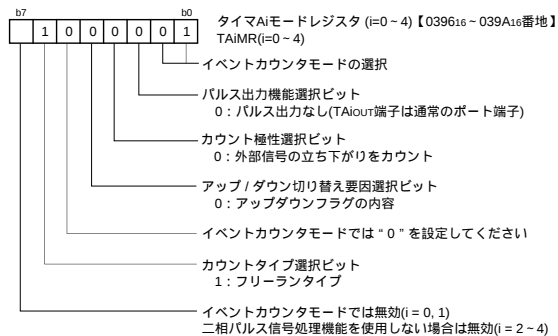
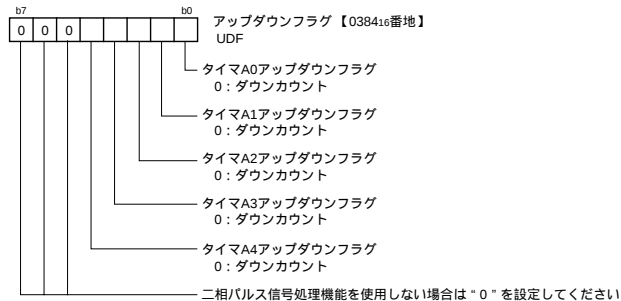


図2.2.14. イベントカウンタモード、フリーランタイプ選択時の動作タイミング図

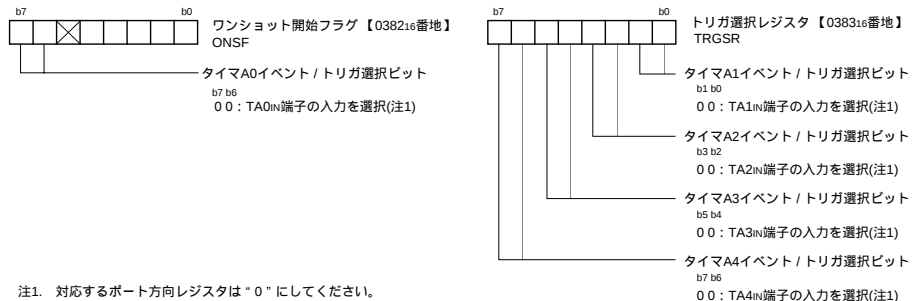
イベントカウンタモードの選択および各機能の選択



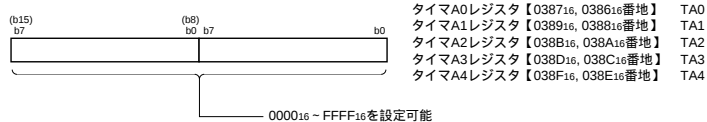
アップダウンフラグの設定



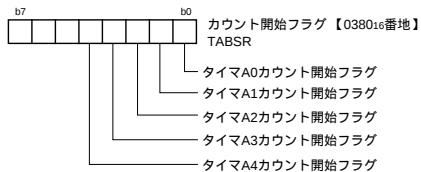
ワンショット開始フラグ、トリガ選択レジスタの設定



カウンタ値の設定



カウント開始フラグの設定



カウント開始

図2.2.15. イベントカウンタモード、フリーランタイプ選択時のレジスタ設定手順

タイマA

2.2.7 タイマA動作 (イベントカウンタモード二相パルス信号処理、通常モード選択時)

イベントカウンタモード二相パルス信号処理では、表2.2.6に示す項目の中から機能を選択できます。ここでは、表2.2.6に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.16に動作タイミングを、図2.2.17に設定手順を示します。

表2.2.6. 設定内容

設定項目	設定内容
カウント動作タイプ	リロードタイプ
	○ フリーランタイプ
二相パルス処理動作(注1)	○ 通常処理動作
	4逓倍処理動作

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジをカウントします。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。

補足説明

- ・アップカウント、ダウンカウントする条件は次のとおりです。
TAiOUT端子が“H”のときTAiIN端子に立ち上がりエッジがあればアップカウントします。
TAiOUT端子が“H”のときTAiIN端子に立ち下がりエッジがあればダウンカウントします。

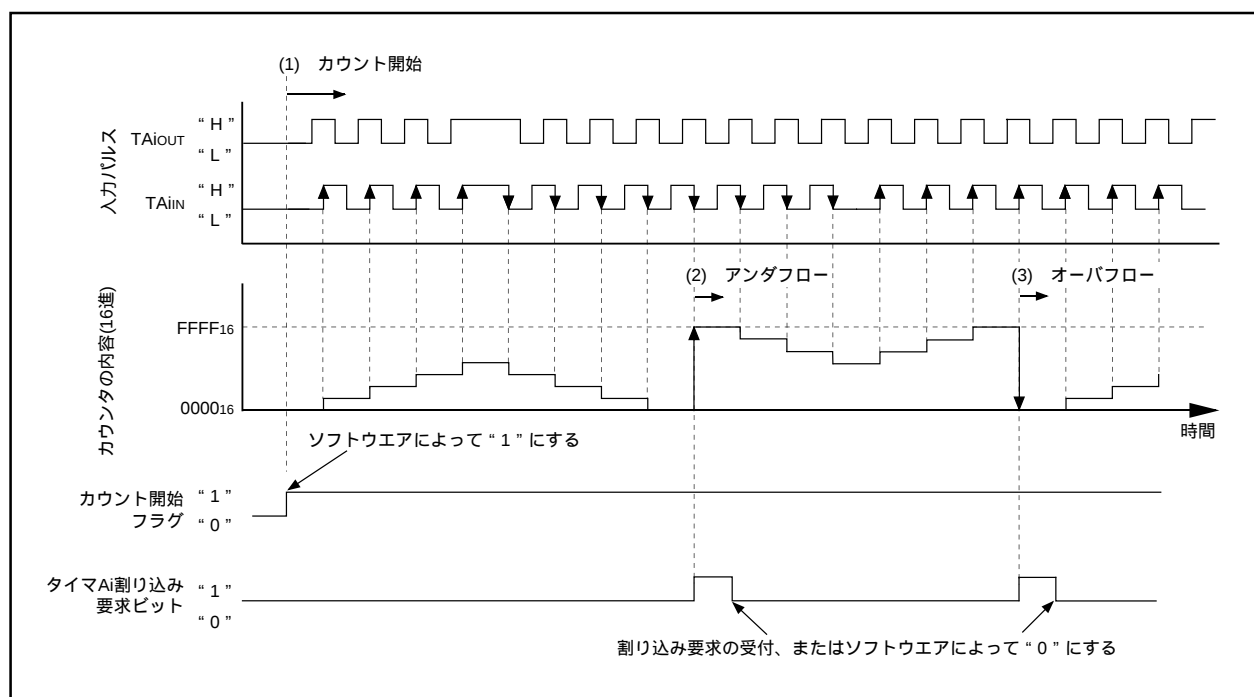


図2.2.16. イベントカウンタモード二相パルス信号処理、通常モード選択時の動作タイミング図

タイマA

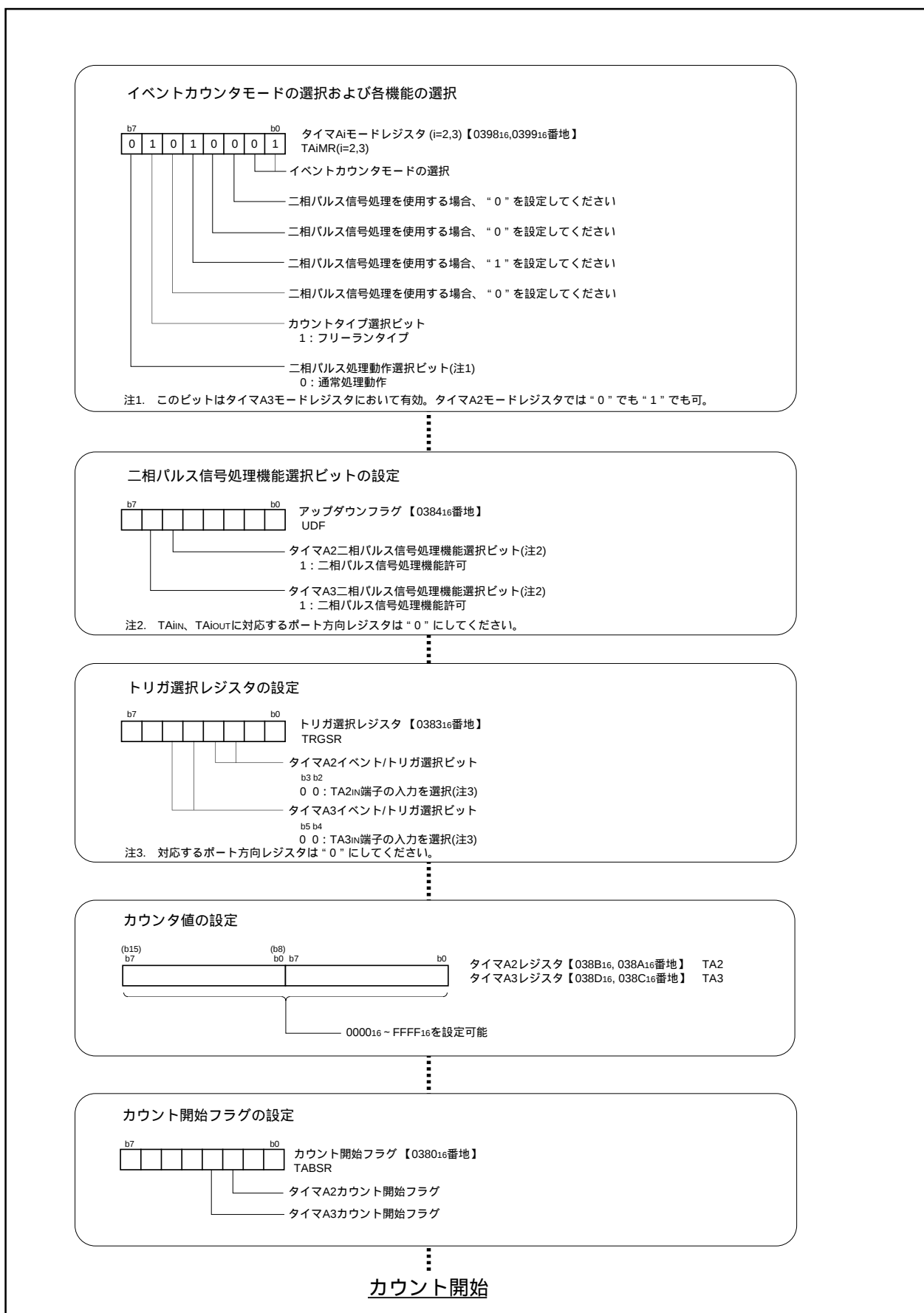


図2.2.17. イベントカウンタモード二相パルス信号処理、通常モード選択時のレジスタ設定手順

タイマA

2.2.8 タイマA動作（イベントカウンタモード二相パルス信号処理、4逓倍モード選択時）

イベントカウンタモード二相パルス信号処理では、表2.2.7に示す項目の中から機能を選択できます。ここでは、表2.2.7に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.18に動作タイミングを、図2.2.19に設定手順を示します。

表2.2.7. 設定内容

設定項目	設定内容	設定項目	設定内容
カウント動作タイプ	リロードタイプ	二相パルス処理動作(注1)	通常処理動作
	○ フリーランタイプ		○ 4逓倍処理動作

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジをカウントします。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、割り込み要求ビットが“1”になります。
 - (3) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、割り込み要求ビットが“1”になります。

補足説明 ・アップカウント、ダウンカウントする条件は次のとおりです。

表2.2.8. アップカウント、ダウンカウントする条件

	TAiOUT端子の入力信号	TAiIN端子の入力信号		TAiOUT端子の入力信号	TAiIN端子の入力信号
アップ カウント	“H”レベル	立ち上がり	ダウン カウント	“H”レベル	立ち下がり
	“L”レベル	立ち下がり		“L”レベル	立ち上がり
	立ち上がり	“L”レベル		立ち上がり	“H”レベル
	立ち下がり	“H”レベル		立ち下がり	“L”レベル

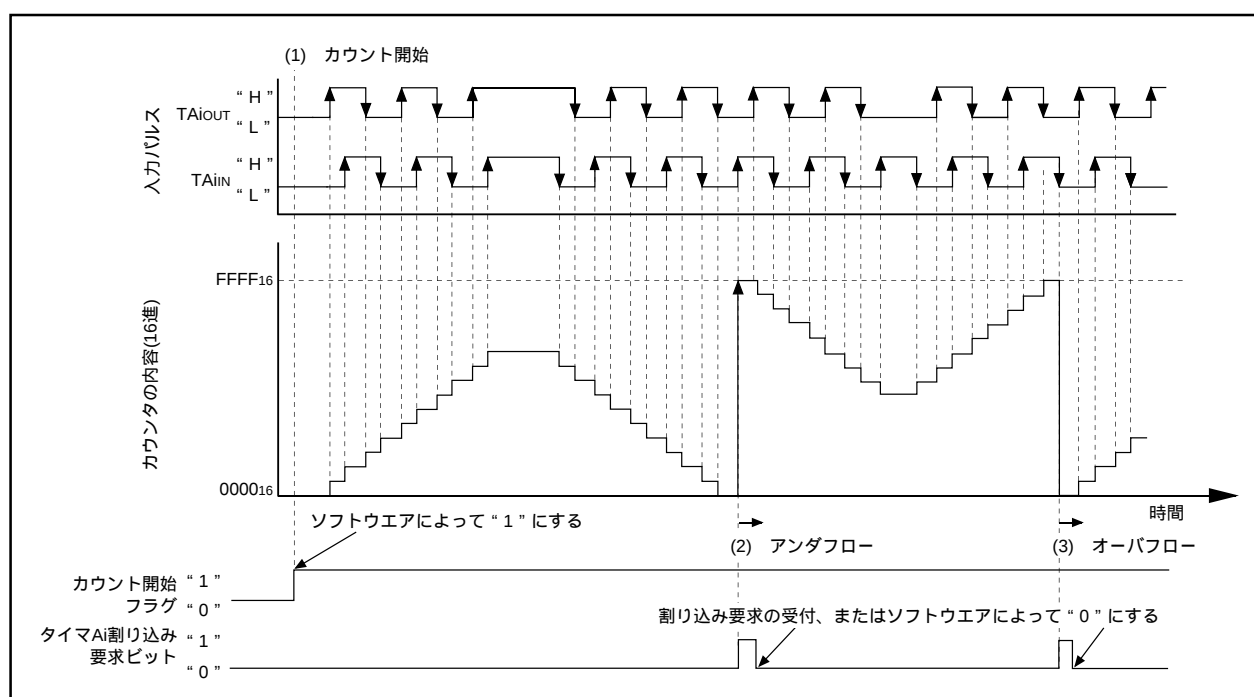


図2.2.18. イベントカウンタモード二相パルス信号処理、4逓倍モード選択時の動作タイミング図

タイマA

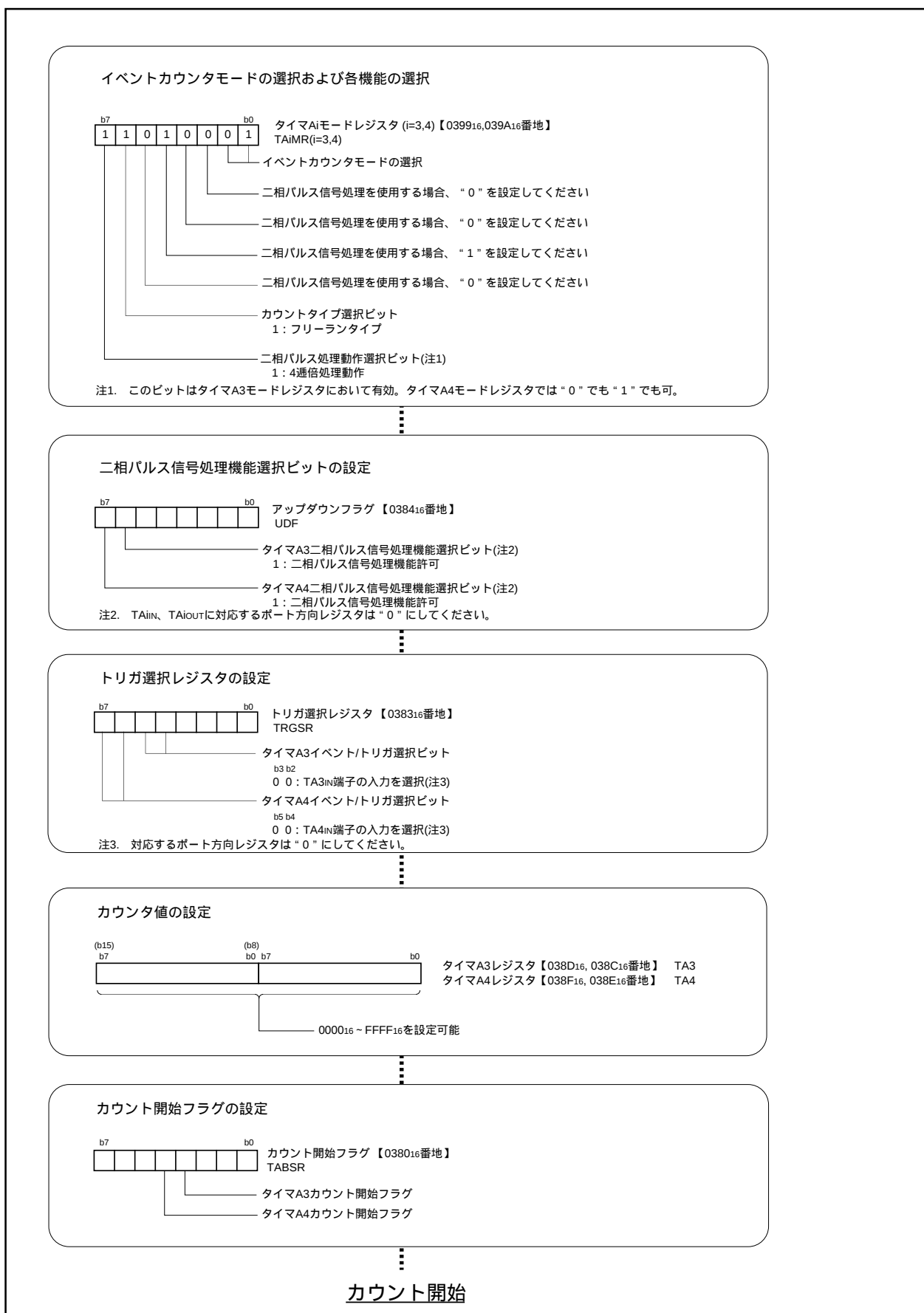


図2.2.19. イベントカウンタモード二相パルス信号処理、4逓倍モード選択時のレジスタ設定手順

タイマA

2.2.9 タイマA動作 (ワンショットタイマモード)

ワンショットタイマモードでは、表2.2.9に示す項目の中から機能を選択できます。ここでは、表2.2.9に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.20に動作タイミングを、図2.2.21に設定手順を示します。

表2.2.9. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
パルス出力機能	パルス出力なし
	○ パルス出力あり
カウント開始条件	外部トリガ入力(TAiIn端子の入力信号の立ち下がり)
	外部トリガ入力(TAiIn端子の入力信号の立ち上がり)
	タイマのオーバーフロー(TB2のオーバーフロー / TAJのオーバーフロー / TAJのオーバーフロー)
	○ ワンショット開始フラグへの“1”書き込み

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i + 1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作
- (1) カウント開始フラグが“1”の状態でワンショット開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
同時に、TAiOUT端子の出力レベルは“H”になります。
 - (2) カウンタの値が“0000₁₆”になるとき、TAiOUT端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。
同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント中にトリガが発生した場合、再度リロードレジスタの値をリロードしてカウントを続けます。リロードするタイミングはトリガが入力した次のカウントソース入力です。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウントを停止し、リロードレジスタの内容をリロードします。また、TAiOUT端子の出力レベルは“L”になります。
同時に、タイマAiの割り込み要求ビットが“1”になります。

補足説明 ・ タイマAiレジスタに“0000₁₆”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、TAiOUT端子からパルスは出力されません。

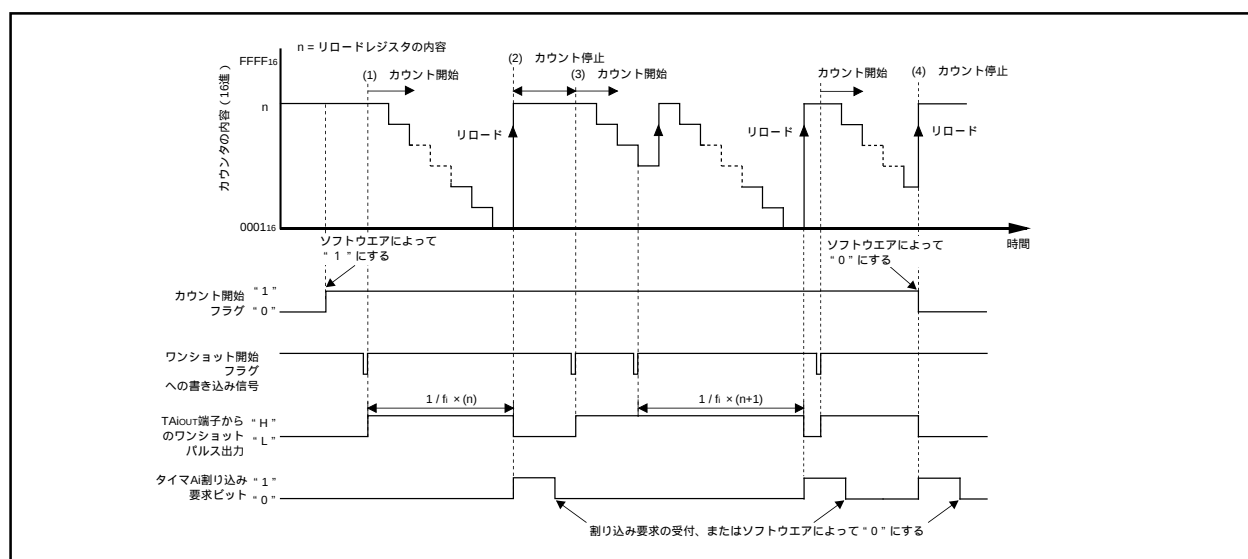
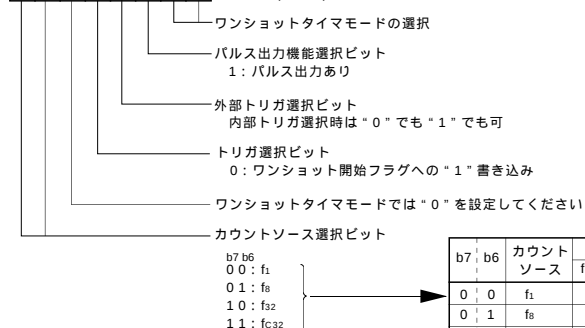


図2.2.20. ワンショットタイマモード動作タイミング図

タイマA

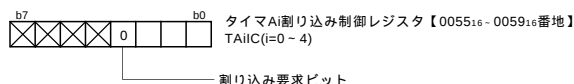
ワンショットタイマモードの選択および各機能の選択

タイマAiモードレジスタ (i=0~4) 【0396₁₆~039A₁₆番地】
TAIMR(i=0~4)

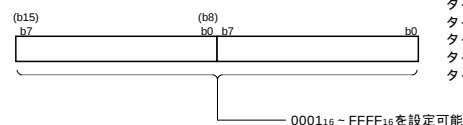


b7	b6	カウント ソース	カウントソースの周期 f(X _{IN}): 16MHz f(X _{CIN}): 32.768kHz
0	0	f _i	62.5ns
0	1	f ₈	500ns
1	0	f ₃₂	2 μs
1	1	f _{c32}	976.56 μs

タイマAi 割り込み要求ビットのクリア (タイマAの注意事項(ワンショットタイマモード)を参照してください。)



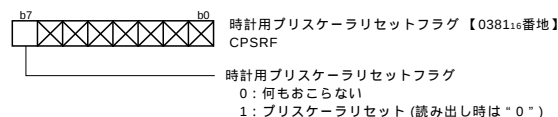
ワンショットタイマの時間設定



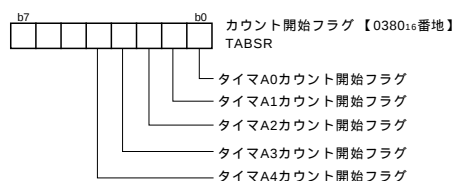
タイマA0レジスタ 【0387₁₆, 0386₁₆番地】 TA0
タイマA1レジスタ 【0389₁₆, 0388₁₆番地】 TA1
タイマA2レジスタ 【038B₁₆, 038A₁₆番地】 TA2
タイマA3レジスタ 【038D₁₆, 038C₁₆番地】 TA3
タイマA4レジスタ 【038F₁₆, 038E₁₆番地】 TA4

時計用プリスケアラセットフラグの設定

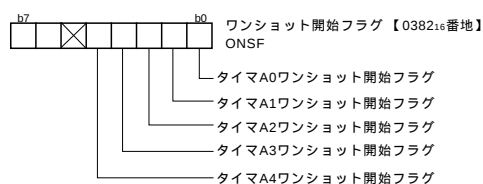
(カウントソースにf_{c32}を選択したときだけ有効です。X_{CIN}を32分周してf_{c32}を作成するためのプリスケアラをリセットします。)



カウント開始フラグの設定



ワンショット開始フラグの設定



カウント開始

図2.2.21. ワンショットタイマモード時のレジスタ設定手順

タイマA

2.2.10 タイマA動作 (ワンショットタイマモード、外部トリガ選択時)

ワンショットタイマモードでは、表2.2.10に示す項目の中から機能を選択できます。ここでは、表2.2.10に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.22に動作タイミングを、図2.2.23に設定手順を示します。

表2.2.10. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{C32}$)
パルス出力機能	パルス出力なし
	○ パルス出力あり
カウント開始条件	外部トリガ入力(TAiN端子の入力信号の立ち下がり)
	○ 外部トリガ入力(TAiN端子の入力信号の立ち上がり)
	タイマのオーバーフロー(TB2のオーバーフロー / TA _j のオーバーフロー / TAcのオーバーフロー)
	ワンショット開始フラグへの“1”書き込み

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i + 1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

動作

- (1) カウント開始フラグが“1”の状態ではTAiN端子の入力信号が“L”レベルから“H”レベルになると、カウンタはカウントソースをダウンカウントします。
同時に、TAiOUT端子の出力レベルは“H”になります。
- (2) カウンタの値が“0000₁₆”になると、TAiOUT端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。
同時に、タイマAi割り込み要求ビットが“1”になります。
- (3) カウント中にトリガが発生した場合、再度リロードレジスタの値をリロードしてカウントを続けます。リロードするタイミングはトリガが入力した次のカウントソース入力です。
- (4) カウント開始フラグを“0”にすると、カウンタはカウントを停止し、リロードレジスタの内容をリロードします。また、TAiOUT端子の出力レベルは“L”になります。
同時に、タイマAiの割り込み要求ビットが“1”になります。

補足説明

- ・タイマAiレジスタに“0000₁₆”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、TAiOUT端子からパルスは出力されません。

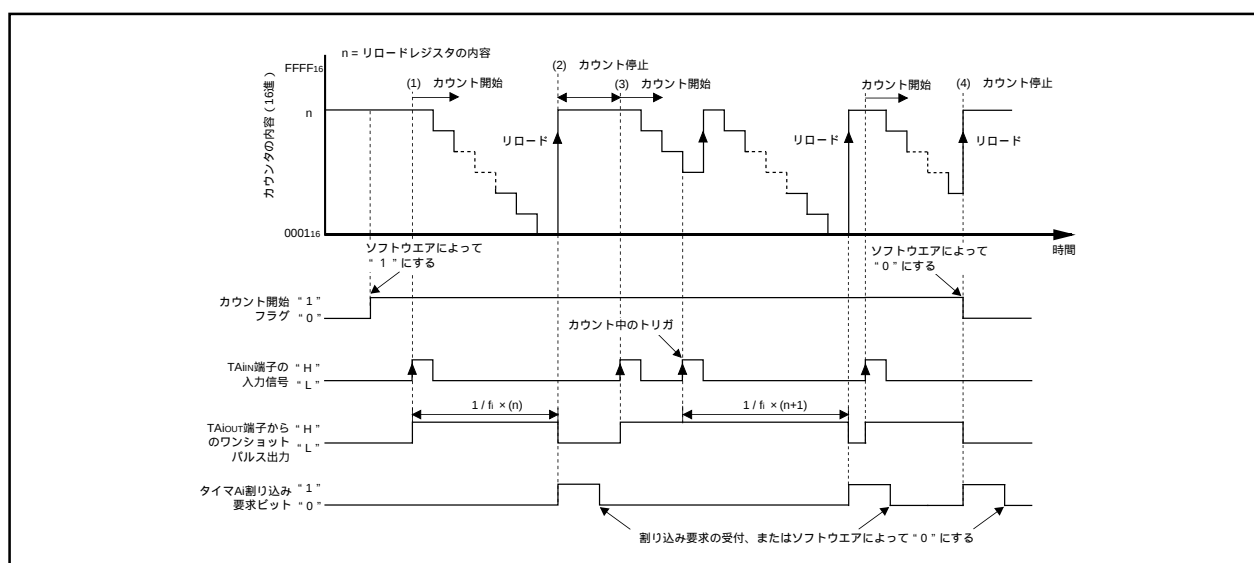
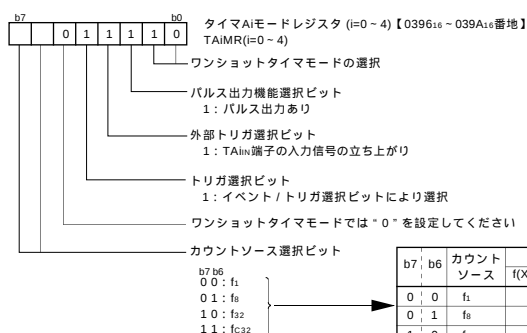


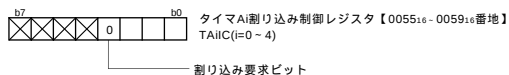
図2.2.22. ワンショットタイマモード、外部トリガ選択時の動作タイミング図

タイマA

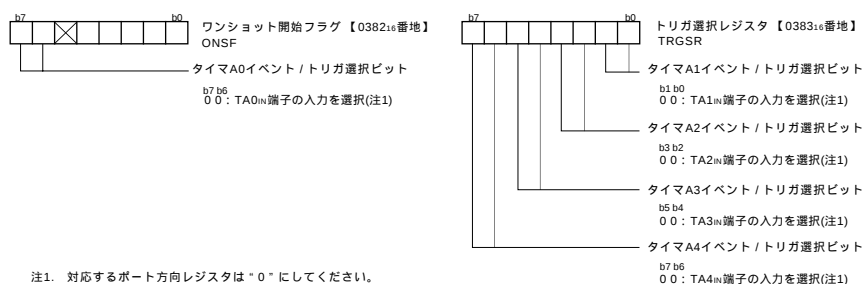
ワンショットタイマモードの選択および各機能の選択



タイマAi 割り込み要求ビットのクリア (タイマAの注意事項(ワンショットタイマモード)を参照してください。)

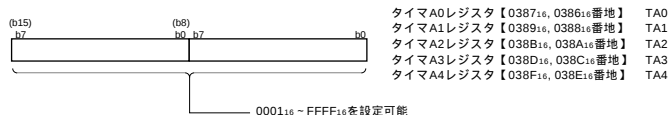


イベント / トリガ選択ビットの設定



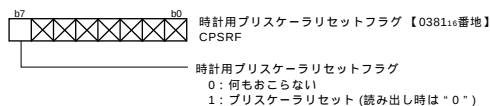
注1. 対応するポート方向レジスタは "0" にしてください。

ワンショットタイマの時間設定

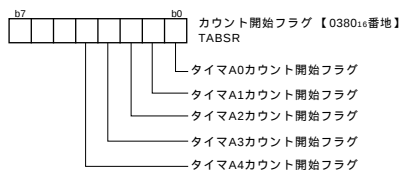


時計用プリスケアラセットフラグの設定

(カウントソースにfc32を選択したときだけ有効です。XCINを32分周してfc32を作成するためのプリスケアラをリセットします。)



カウント開始フラグの設定



カウント開始

図2.2.23. ワンショットタイマモード、外部トリガ選択時のレジスタ設定手順

タイマA

2.2.11 タイマA動作 (パルス幅変調モード、16ビットPWMモード選択時)

パルス幅変調モードでは、表2.2.11に示す項目の中から機能を選択できます。ここでは、表2.2.11に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.24に動作タイミングを、図2.2.25に設定手順を示します。

表2.2.11. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
PWMモード	○ 16ビットPWM 8ビットPWM
カウント開始条件	外部トリガ入力(TAiIN端子の入力信号の立ち下がり) ○ 外部トリガ入力(TAiIN端子の入力信号の立ち上がり) タイマのオーバーフロー(TB2のオーバーフロー / TAjのオーバーフロー / TAcのオーバーフロー)

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i + 1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作
- (1) カウント開始フラグが“1”でTAiIN端子の入力信号が“L”レベルから“H”レベルになると、カウンタはカウントソースをダウンカウントします。また、TAiOUT端子は“H”レベルを出力します。
 - (2) TAiOUT端子の出力レベルは、設定した時間を経過すると“H”から“L”になります。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) PWMパルスを1周期出力するごとに、リロードレジスタの内容をリロードしてカウントを続けます。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子の出力レベルは“L”になります。

補足説明 ・PWMパルスの周期は $(2^{16} - 1) / f_i$ 、“H”レベル幅は n / f_i になります。ただし、タイマAiレジスタに“0000₁₆”を設定した場合は、パルス幅変調器は動作せず、TAiOUT端子は“L”レベルを出力し、タイマAi割り込み要求は発生しません。(fi: カウントソースの周波数 f_1 、 f_8 、 f_{32} 、 f_{c32} n: タイマ値)

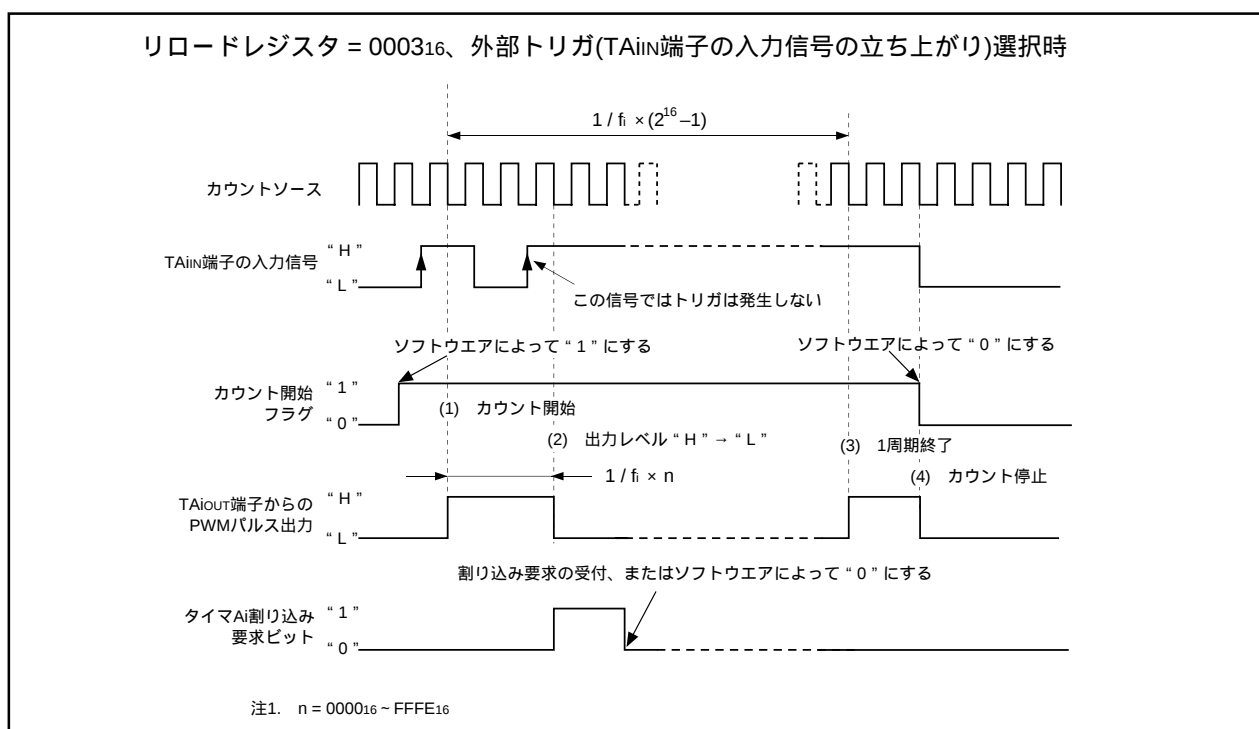
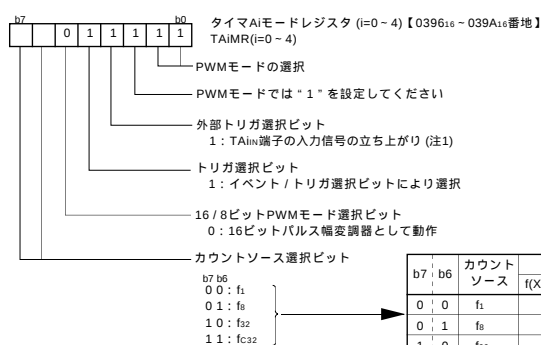


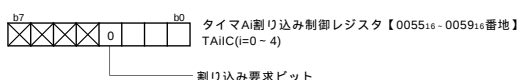
図2.2.24. パルス幅変調モード動作、16ビットPWMモード選択時のタイミング図

タイマA

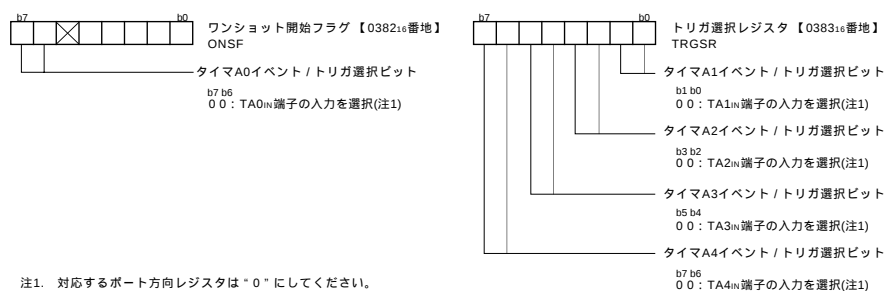
PWMモードの選択および各機能の選択



タイマAi 割り込み要求ビットのクリア (タイマAの注意事項(パルス幅変調モード)を参照してください。)



イベント/トリガ選択ビットの設定

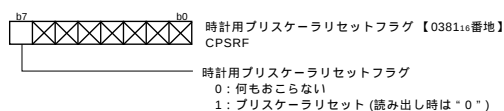


PWMパルスの“H”レベル幅の設定

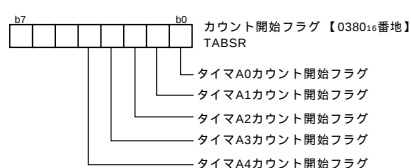


時計用プリスケアラセットフラグの設定

(カウンタソースにf_{C32}を選択したときだけ有効です。X_{CIN}を32分周してf_{C32}を作成するためのプリスケアラをリセットします。)



カウンタ開始フラグの設定



カウント開始

図2.2.25. パルス幅変調モード、16ビットPWMモード選択時のレジスタ設定手順

タイマA

2.2.12 タイマA動作 (パルス幅変調モード、8ビットPWMモード選択時)

パルス幅変調モードでは、表2.2.12に示す項目の中から機能を選択できます。ここでは、表2.2.12に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.26に動作タイミングを、図2.2.27に設定手順を示します。

表2.2.12. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
PWMモード	16ビットPWM
	○ 8ビットPWM
カウント開始条件	○ 外部トリガ入力(TAiN端子の入力信号の立ち下がり)
	外部トリガ入力(TAiN端子の入力信号の立ち上がり)
	タイマのオーバフロー(TB2のオーバフロー / TAjのオーバフロー / TAcのオーバフロー)

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i + 1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作
- (1) カウント開始フラグが“1”でTAiN端子の入力レベルが“H”から“L”になると、カウンタはカウントソースをダウンカウントします。また、TAiOUT端子は“H”レベルを出力します。
 - (2) TAiOUT端子の出力レベルは、設定した時間を経過すると“H”から“L”になります。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) PWMパルスを1周期出力するごとに、リロードレジスタの内容をリロードしてカウントを続けます。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子は“L”レベルを出力します。

- 補足説明
- ・PWMパルスの周期は $(m + 1) \times (2^8 - 1) / f_i$ 、“H”レベル幅は $n \times (m + 1) / f_i$ になります。ただし、タイマAiレジスタの上位8ビットに“0016”を設定した場合は、パルス幅変調器は動作せず、TAiOUT端子は“L”レベルを出力し、タイマAi割り込み要求は発生しません。(fi: カウントソースの周波数 $f_1, f_8, f_{32}, f_{c32}$ n: タイマ値)。
 - ・トリガ発生後、TAiOUT端子は設定したPWMパルスの“H”レベル幅と同じ幅の“L”レベルを出力し、その後、PWMパルスの出力を開始します。

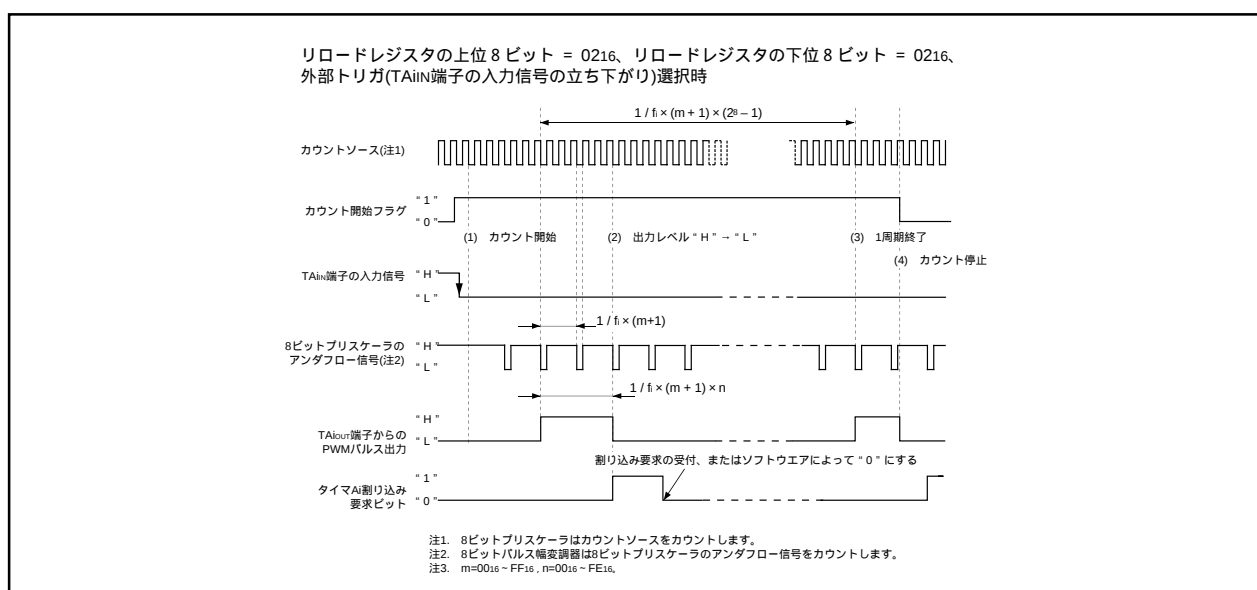


図2.2.26. パルス幅変調モード、8ビットPWMモード選択時の動作タイミング図

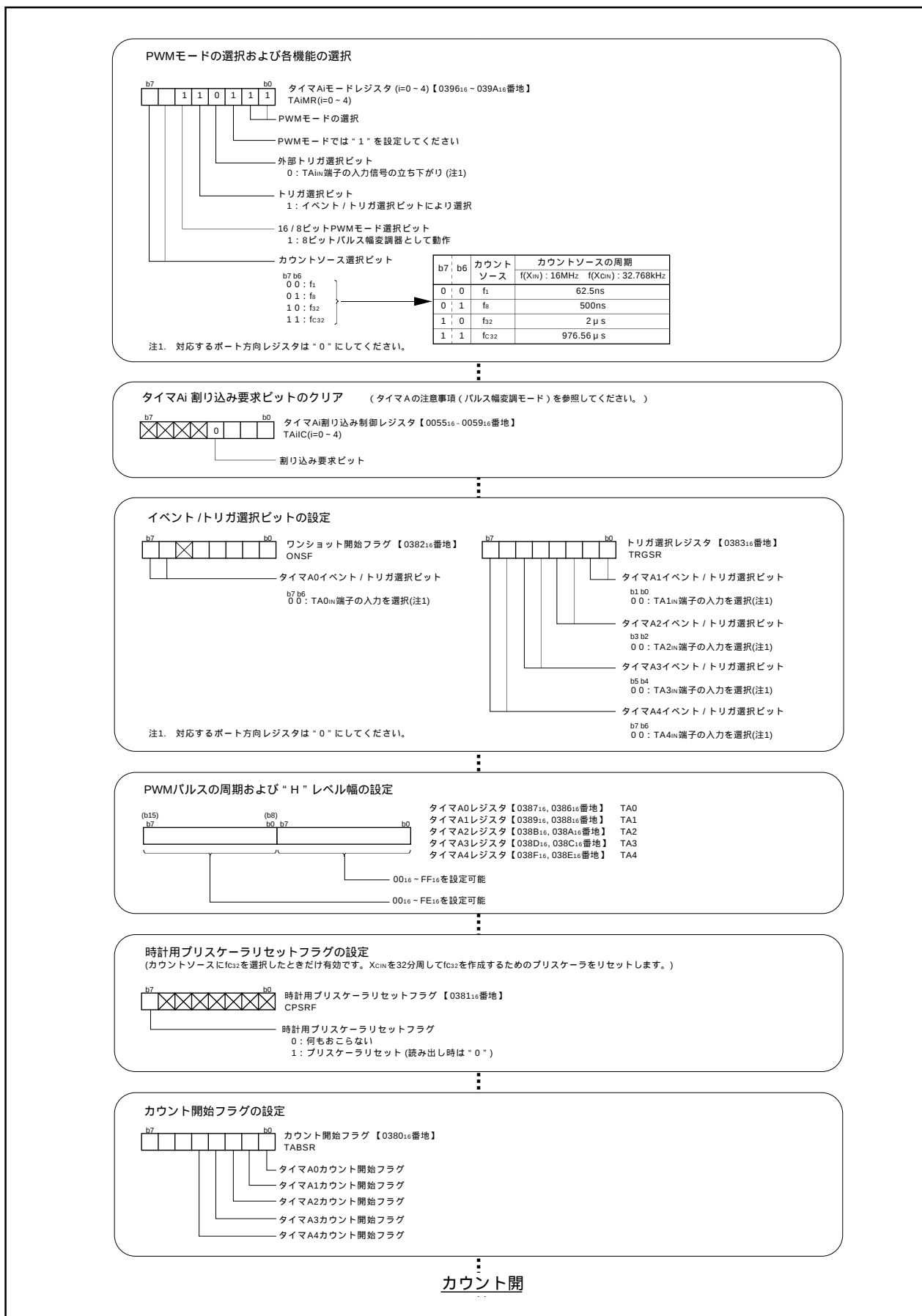


図2.2.27. パルス幅変調モード、8ビットPWMモード選択時のレジスタ設定手順

タイマA

2.2.13 タイマAの注意事項 (タイマモード)

- 内 容 (1) リセット解除後、**カウント開始フラグ**は“0”です。**タイマAiレジスタ**に値を設定した後、“1”にしてください。
- (2) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、[図2.2.28](#)に示すリロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

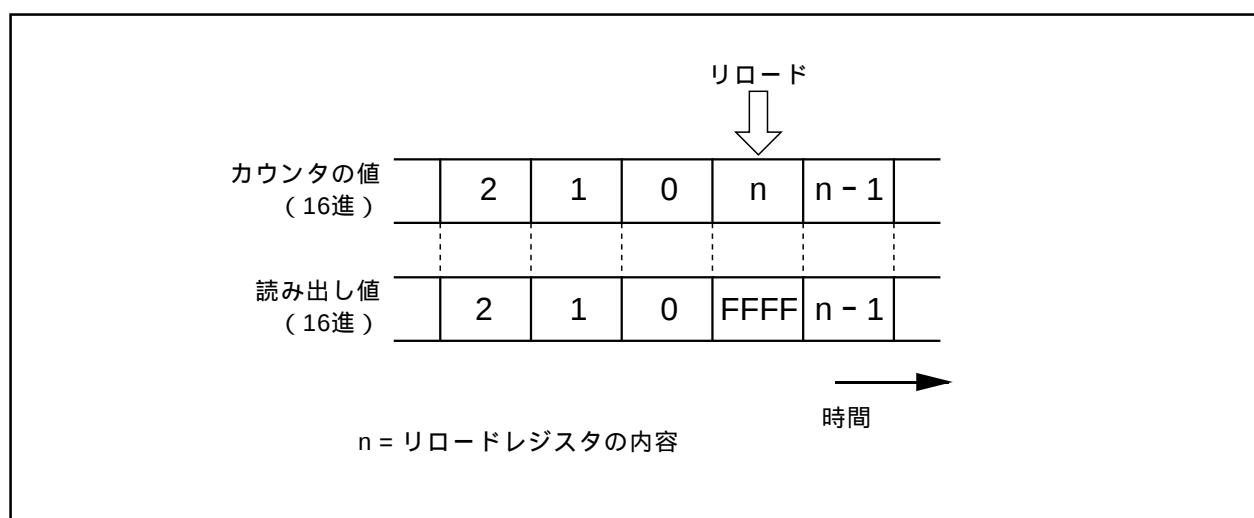


図2.2.28. タイマAiレジスタの読み出し

タイマA

2.2.14 タイマAの注意事項 (イベントカウンタモード)

- 内 容 (1) リセット解除後、**カウント開始フラグ**は“0”です。**タイマAiレジスタ**に値を設定した後、“1”にしてください。
- (2) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、[図2.2.29](#)に示すリロードタイミングで読み出した場合、アンダフロー時はFFFF₁₆が、オーバフロー時は0000₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (3) 二相パルス信号処理機能で使用する二相パルス(TAiIN、TAiOUT(i=2~4)端子への入力信号)のずれは[図2.2.30](#)に示す規格を満たしてください。
- (4) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

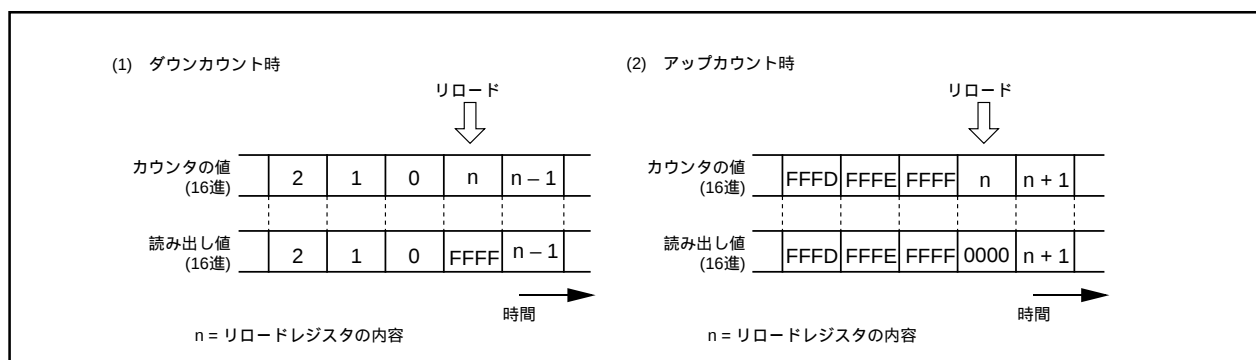


図2.2.29. タイマAiレジスタの読み出し

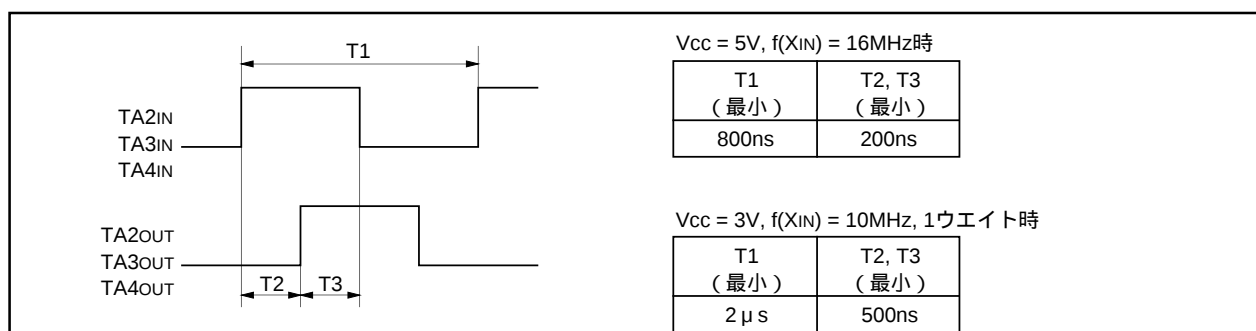


図2.2.30. 二相パルスの規格

タイマA

2.2.15 タイマAの注意事項 (ワンショットタイマモード)

- 内 容 (1) リセット解除後、**カウント開始フラグ**は“0”です。**タイマAiレジスタ**に値を設定した後、“1”にしてください。
- (2) カウント中にカウント開始フラグを“0”にすると次のようになります。
- カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - TAIOUT端子の出力レベルは“L”になります。
 - 割り込み要求が発生し、**タイマAi割り込み要求ビット**が“1”になります。
- (3) ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大でカウントソースの1サイクル分の遅延が生じます。
- (4) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (5) カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

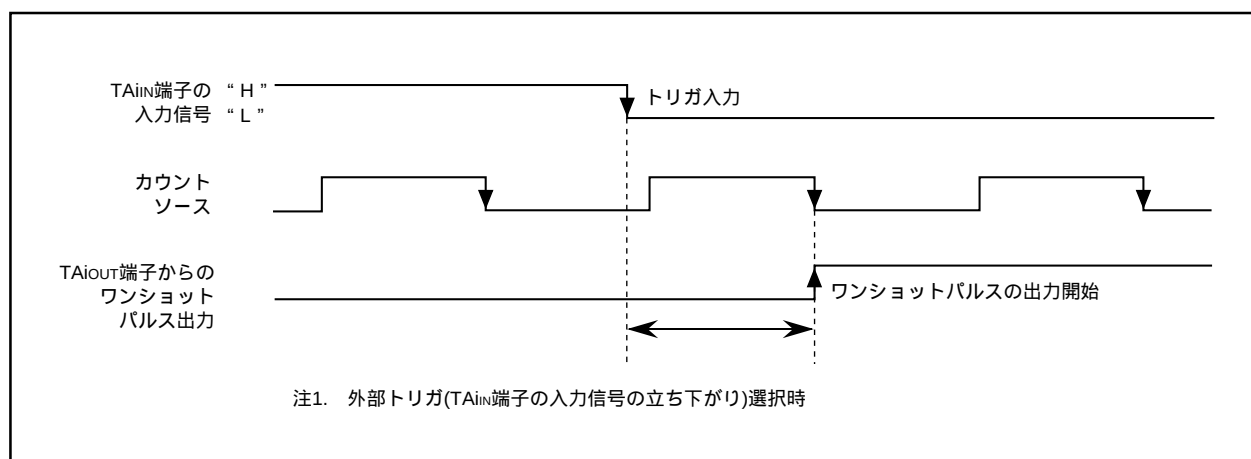


図2.2.31. ワンショットタイマの遅延

2.2.16 タイマAの注意事項 (パルス幅変調モード)

- 内 容 (1) リセット解除後、**カウント開始フラグ**は“0”です。**タイマAiレジスタ**に値を設定した後、“1”にしてください。
- (2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、**タイマAi割り込み要求ビット**が“1”になります。
- リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したとき
- したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (3) PWMパルスを出力中にカウント開始フラグに“0”を設定すると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマB

2.3 タイマB使い方

2.3.1 タイマB使い方の概要

タイマBは16ビットのタイマです。タイマB使い方の概要について説明します。

●モード

タイマBは次の3種類のモードを持ちます。

(1)タイマモード

内部のカウントソースをカウントするモードです。

■タイマモードの動作 P2-42

(2) イベントカウンタモード

外部からのパルス数およびタイマのオーバフロー回数をカウントするモードです。

■イベントカウンタモードの動作 P2-44

(3)パルス周期測定/パルス幅測定モード

外部のパルス周期または外部のパルス幅を測定するモードです。パルス周期測定モードを選択した場合、入力パルスの周期を連続して計測します。パルス幅測定モードを選択した場合、“H”幅、“L”幅を連続して測定します。

■パルス周期測定モードの動作 P2-46

■パルス幅測定モードの動作 P2-48

●カウントソース

内部のカウントソースは、f₁、f₈、f₃₂、およびfc₃₂から選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。fc₃₂とは、CPUのサブクロックを32分周したクロックです。

●カウント値

タイマレジスタに設定した値 + 1がカウント値です。カウント値の数のカウントソースが入力されると、カウンタはアンダフローし、割り込み要求が発生します。

●タイマの読み込み

タイマモード、イベントカウンタモードの場合、タイマレジスタを読み出せば、そのときのカウント値を読み出します。読み出すときは、16ビット単位で行ってください。パルス周期測定モード/パルス幅測定モードの場合、カウント開始後、2回目の有効エッジ入力までは不定な値を、それ以降は測定結果を読み出します。

●タイマへの書き込み

カウント中に書き込みを行った場合、その値はリロードレジスタにだけ書き込まれます。カウント停止中に書き込みを行った場合、その値はリロードレジスタとカウンタの両方に書き込まれます。書き込むときは、16ビット単位で行ってください。

ただし、パルス周期測定モード/パルス幅測定モードの場合、タイマへは書き込めません。

タイマB

- タイマへの入力と方向レジスタ

外部信号をタイマへ入力する場合、[ポートの方向レジスタ](#)を入力に設定してください。

- タイマB関連端子

(1) TB0IN、TB1IN、TB2IN、TB3IN、TB4IN、TB5IN端子 タイマBへの入力端子です。

- タイマB関連レジスタ

[図2.3.1](#)にタイマB関連レジスタのメモリ配置図を、[図2.3.2](#)、[図2.3.3](#)にタイマB関連レジスタの構成を示します。

0045 ₁₆	タイマB5割り込み制御レジスタ(TB5IC)
0046 ₁₆	タイマB4割り込み制御レジスタ(TB4IC)
0047 ₁₆	タイマB3割り込み制御レジスタ(TB3IC)
0340 ₁₆	タイマB3,4,5カウント開始フラグ(TBSR)
005A ₁₆	タイマB0割り込み制御レジスタ(TB0IC)
005B ₁₆	タイマB1割り込み制御レジスタ(TB1IC)
005C ₁₆	タイマB2割り込み制御レジスタ(TB2IC)
0350 ₁₆	タイマB3レジスタ(TB3)
0351 ₁₆	
0352 ₁₆	タイマB4レジスタ(TB4)
0353 ₁₆	
0354 ₁₆	タイマB5レジスタ(TB5)
0355 ₁₆	
035B ₁₆	タイマB3モードレジスタ(TB3MR)
035C ₁₆	タイマB4モードレジスタ(TB4MR)
035D ₁₆	タイマB5モードレジスタ(TB5MR)
0380 ₁₆	カウント開始フラグ(TABSR)
0381 ₁₆	時計用プリスケアラリセットフラグ(CPSRF)
0382 ₁₆	
0383 ₁₆	
0384 ₁₆	
0390 ₁₆	タイマB0レジスタ(TB0)
0391 ₁₆	
0392 ₁₆	タイマB1レジスタ(TB1)
0393 ₁₆	
0394 ₁₆	タイマB2レジスタ(TB2)
0395 ₁₆	
039B ₁₆	タイマB0モ - ドレジスタ(TB0MR)
039C ₁₆	タイマB1モ - ドレジスタ(TB1MR)
039D ₁₆	タイマB2モ - ドレジスタ(TB2MR)
039E ₁₆	

図2.3.1. タイマB関連レジスタのメモリ配置図

タイマB

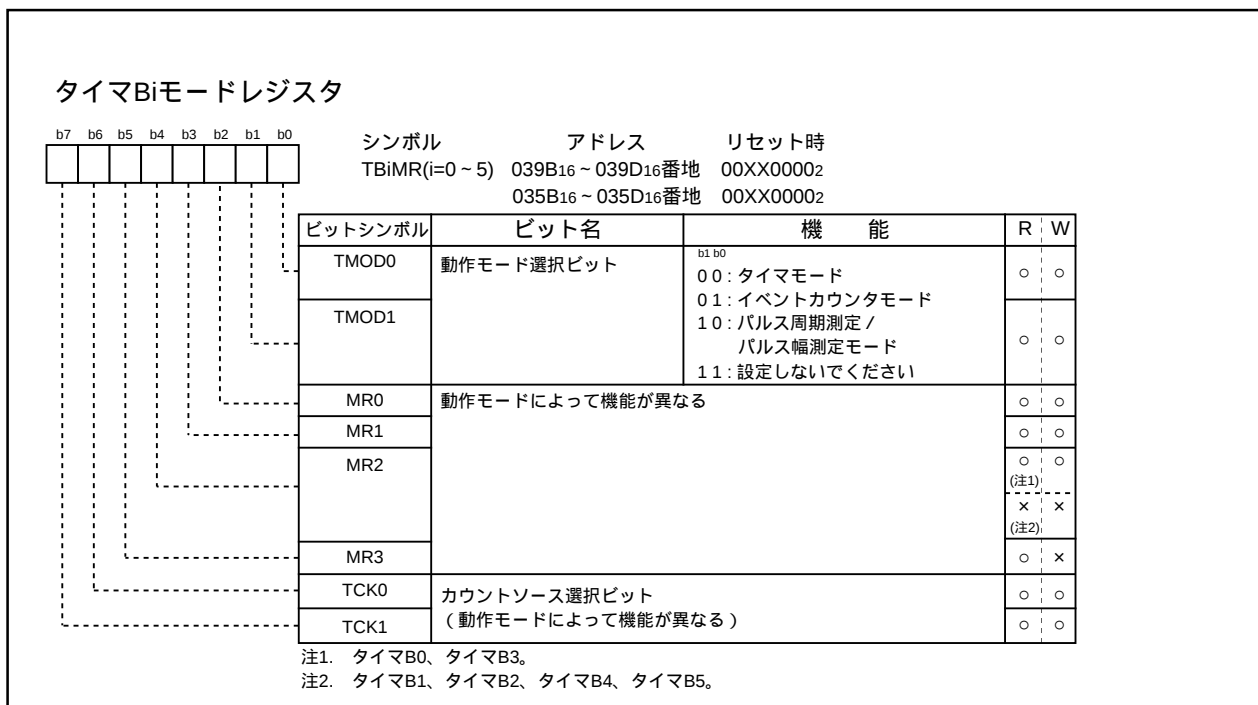
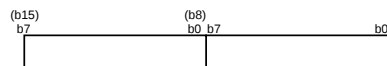


図2.3.2. タイマB関連レジスタの構成(1)

タイマB

タイマBiレジスタ(注1)

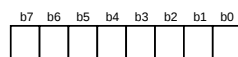


シンボル	アドレス	リセット時
TB0	0391 ₁₆ , 0390 ₁₆ 番地	不定
TB1	0393 ₁₆ , 0392 ₁₆ 番地	不定
TB2	0395 ₁₆ , 0394 ₁₆ 番地	不定
TB3	0351 ₁₆ , 0350 ₁₆ 番地	不定
TB4	0353 ₁₆ , 0352 ₁₆ 番地	不定
TB5	0355 ₁₆ , 0354 ₁₆ 番地	不定

機 能	設定可能値	R	W
●タイマモード タイマの周期をカウント	0000 ₁₆ ~ FFFF ₁₆	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバーフローを カウント	0000 ₁₆ ~ FFFF ₁₆	○	○
●パルス周期測定モード / パルス幅測定モード パルス周期、またはパルス幅を測定	——	○	×

注1. 読み出し、および書き込みは16ビット単位で行ってください。

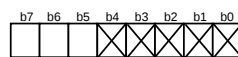
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

タイマB3,4,5カウント開始フラグ



シンボル	アドレス	リセット時
TB3SR	0340 ₁₆ 番地	000XXXXX ₂

ビットシンボル	ビット名	機 能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-	-
TB3S	タイマB3カウント開始フラグ	0 : カウント停止 1 : カウント開始	○	○
TB4S	タイマB4カウント開始フラグ		○	○
TB5S	タイマB5カウント開始フラグ		○	○

時計用プリスケアラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381 ₁₆ 番地	0XXXXXXX ₂

ビットシンボル	ビット名	機 能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-	-
CPSR	時計用プリスケアラ リセットフラグ	0 : 何もおこなない 1 : プリスケアラリセット (読み出し時は“0”)	○	○

図2.3.3. タイマB関連レジスタの構成(2)

タイマB

2.3.2 タイマB動作 (タイマモード)

タイマモードでは、表2.3.1に示す項目の中から機能を選択できます。ここでは、表2.3.1に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.3.4に動作タイミング図を、図2.3.5に設定手順を示します。

表2.3.1. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{C32}$)

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマB割り込み要求ビットが“1”になります。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

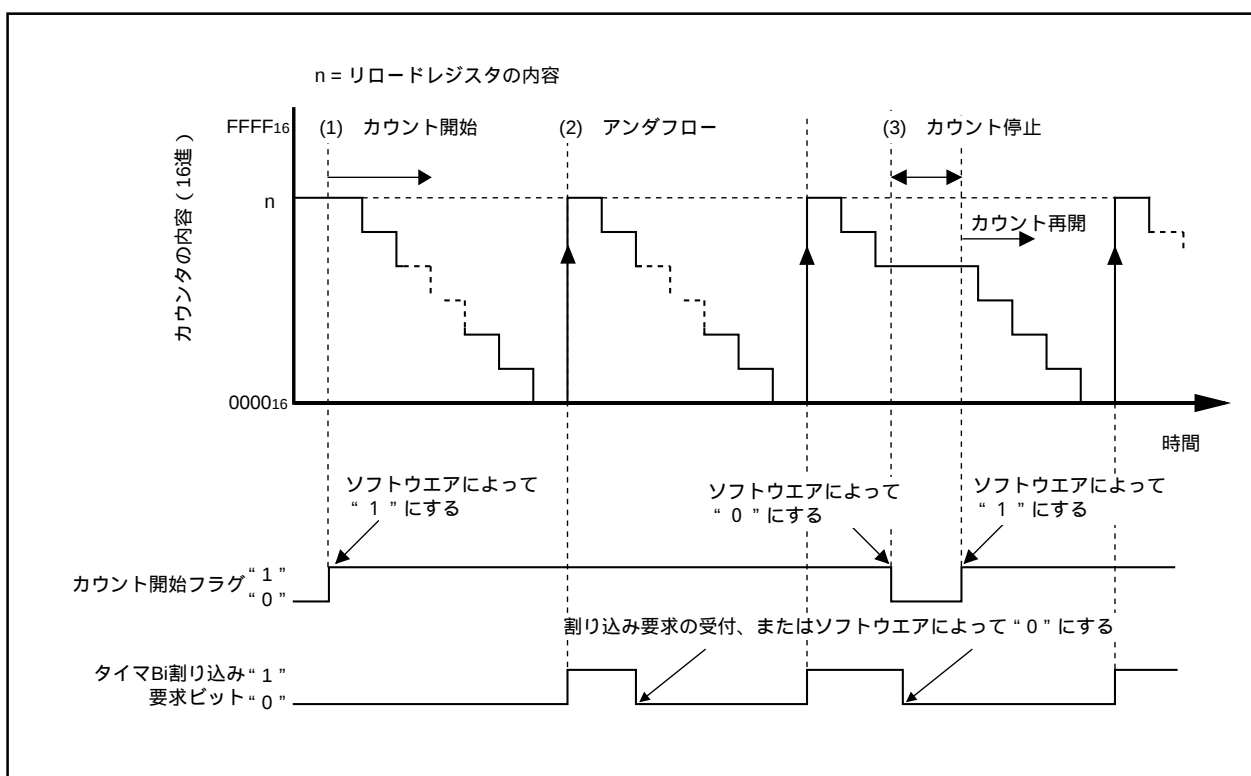
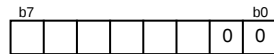


図2.3.4. タイマモード動作タイミング図

タイマB

タイマモードの選択および各機能の選択

タイマBiモードレジスタ (i=0~5) 【039B₁₆ ~ 039D₁₆, 035B₁₆ ~ 035D₁₆番地】
TBiMR(i=0~5)



タイマモードの選択

タイマモードでは無効

“0”または“1”いずれでも可

タイマモードでは“0”を設定してください(i=0, 3)。
書き込む場合、“0”を書き込んでください(i=1, 2, 4, 5)。

タイマモードでは無効

カウンタソース選択ビット

b7 b6

0 0 : f₁

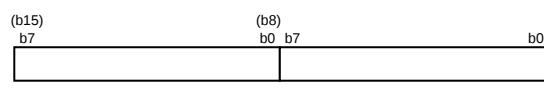
0 1 : f₈

1 0 : f₃₂

1 1 : f_{C32}

b7	b6	カウンタ ソース	カウンタソースの周期	
			f(X _{CIN}) : 16MHz	f(X _{CIN}) : 32.768kHz
0	0	f ₁		62.5ns
0	1	f ₈		500ns
1	0	f ₃₂		2 μs
1	1	f _{C32}		976.56 μs

カウンタ値の設定



0000₁₆ ~ FFFF₁₆を設定可能

タイマB0レジスタ 【0391₁₆, 0390₁₆番地】 TB0
タイマB1レジスタ 【0393₁₆, 0392₁₆番地】 TB1
タイマB2レジスタ 【0395₁₆, 0394₁₆番地】 TB2
タイマB3レジスタ 【0351₁₆, 0350₁₆番地】 TB3
タイマB4レジスタ 【0353₁₆, 0352₁₆番地】 TB4
タイマB5レジスタ 【0355₁₆, 0354₁₆番地】 TB5

時計用プリスケアラリセットフラグの設定

(カウンタソースにf_{C32}を選択したときだけ有効です。X_{CIN}を32分周してf_{C32}を作成するためのプリスケアラをリセットします。)



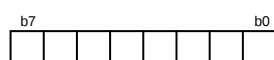
時計用プリスケアラリセットフラグ 【0381₁₆番地】
CPSRF

時計用プリスケアラリセットフラグ

0 : 何もおこらない

1 : プリスケアラリセット (読み出し時は“0”)

カウンタ開始フラグの設定



カウンタ開始フラグ
【0380₁₆番地】
TABSR

タイマB0カウンタ開始フラグ

タイマB1カウンタ開始フラグ

タイマB2カウンタ開始フラグ



タイマB3,4,5カウンタ開始
フラグ
【0340₁₆番地】
TBSR

タイマB3カウンタ開始フラグ

タイマB4カウンタ開始フラグ

タイマB5カウンタ開始フラグ

カウント開始

図2.3.5. タイマモード時のレジスタ設定手順

タイマB

2.3.3 タイマB動作 (イベントカウンタモード)

イベントカウンタモードでは、表2.3.2に示す項目の中から機能を選択できます。ここでは、表2.3.2に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.3.6に動作タイミング図を、図2.3.7に設定手順を示します。

表2.3.2. 設定内容

設定項目	設定内容
カウントソース	○ TBin端子の入力信号(立ち下がりをカウント)
	TBin端子の入力信号(立ち上がりをカウント)
	TBin端子の入力信号(立ち下がりおよび立ち上がりをカウント)
	タイマのオーバーフロー(TBjのオーバーフロー)

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 2$ 。 $i = 3$ のとき $j = 5$ 。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマBi割り込み要求ビットが“1”になります。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

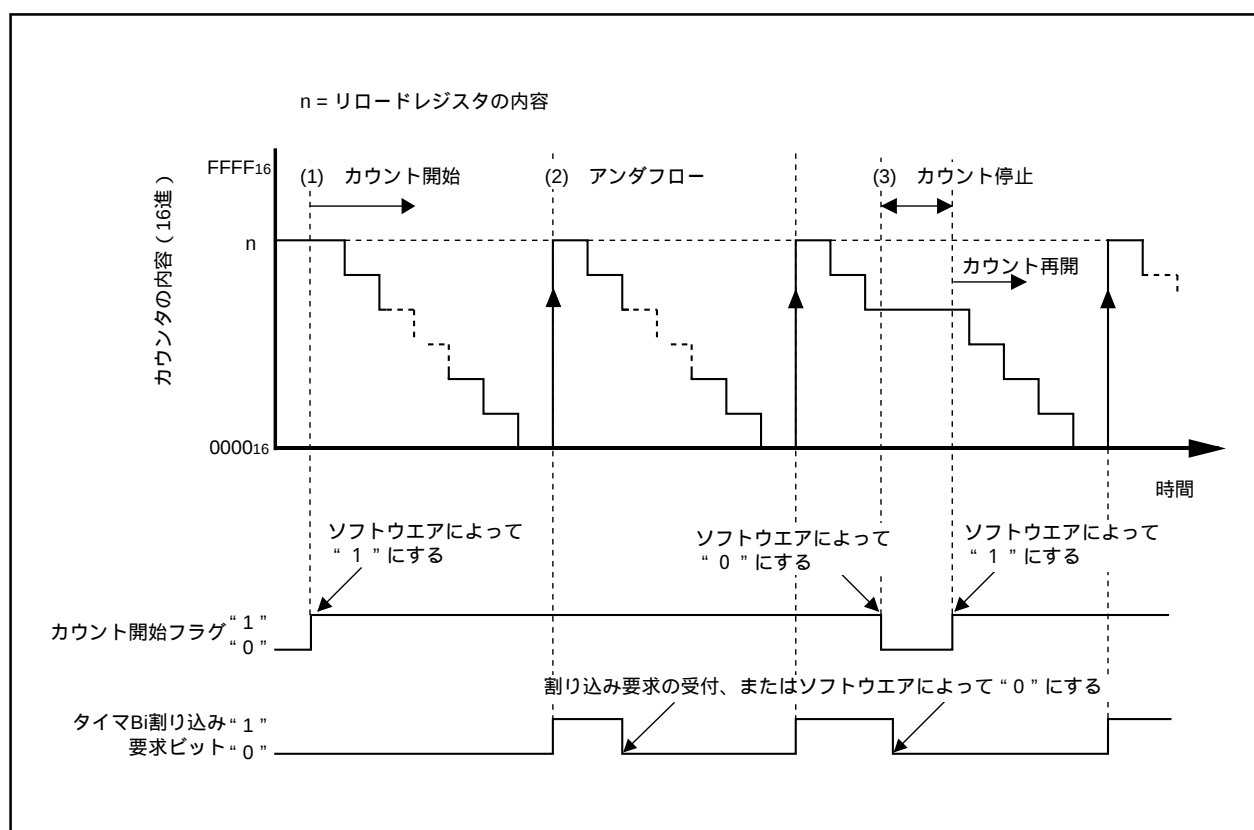
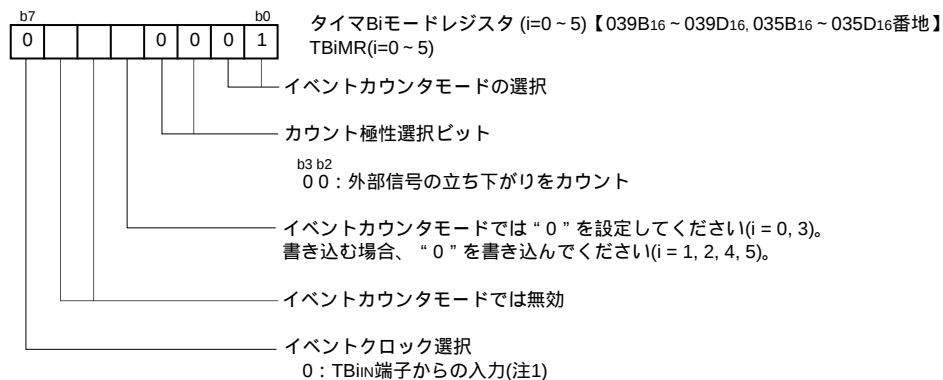


図2.3.6. イベントカウンタモード動作タイミング図

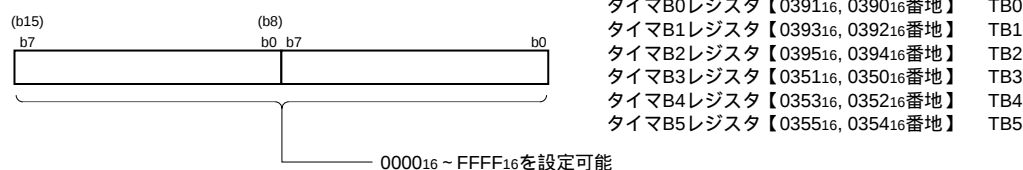
タイマB

イベントカウンタモードの選択および各機能の選択

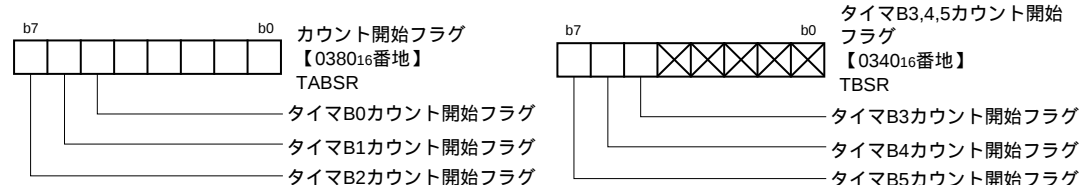


注1. 対応するポート方向レジスタは“0”にしてください。

カウンタ値の設定



カウント開始フラグの設定



カウント開始

図2.3.7. イベントカウンタモード時のレジスタ設定手順

タイマB

2.3.4 タイマB動作 (パルス周期測定モード)

パルス周期測定モード/パルス幅測定モードでは、表2.3.3に示す項目の中から機能を選択できます。ここでは、表2.3.3に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.3.8に動作タイミング図を、図2.3.9に設定手順を示します。

表2.3.3. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
測定モード	○ パルス周期測定(測定パルスの立ち下がり-立ち下がり間)
	パルス周期測定(測定パルスの立ち上がり-立ち上がり間)
	パルス幅測定(測定パルスの立ち下がり-立ち上がり間、および測定パルスの立ち上がり-立ち下がり間)

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。
 - (2) 測定パルスが“H”から“L”になると、カウンタの値が“0000₁₆”になり、測定を開始します。このとき、リロードレジスタには不定値が転送されます。タイマBi割り込み要求は発生しません。
 - (3) 再度、測定パルスが“H”から“L”になると、カウンタの値をリロードレジスタに転送し、タイマBi割り込み要求ビットが“1”になります。その後、カウンタは“0000₁₆”になり、再び測定を開始します。

- 補足説明
- ・タイマBi割り込み要求ビットは、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内でタイマBiオーバフローフラグで判断することができます。
 - ・カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでにタイマBiオーバフローフラグが“1”になり、タイマBi割り込み要求が発生する可能性があります。
 - ・リセット後、タイマBiオーバフローフラグは不定です。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態、タイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウェアで“1”にすることはできません。

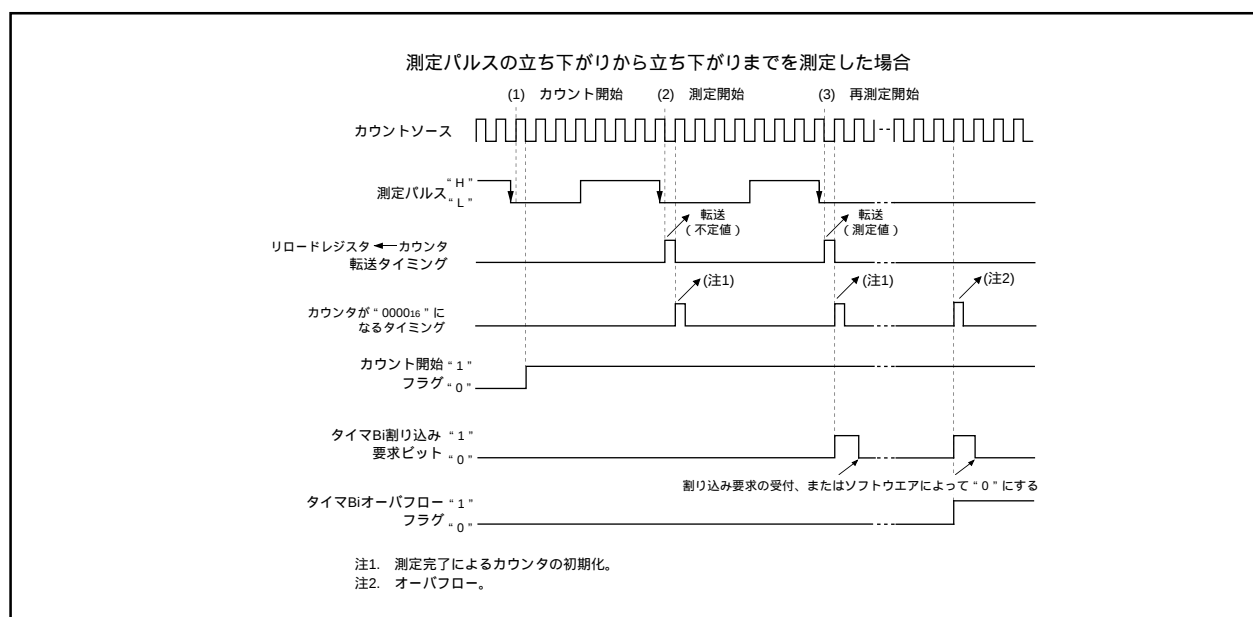
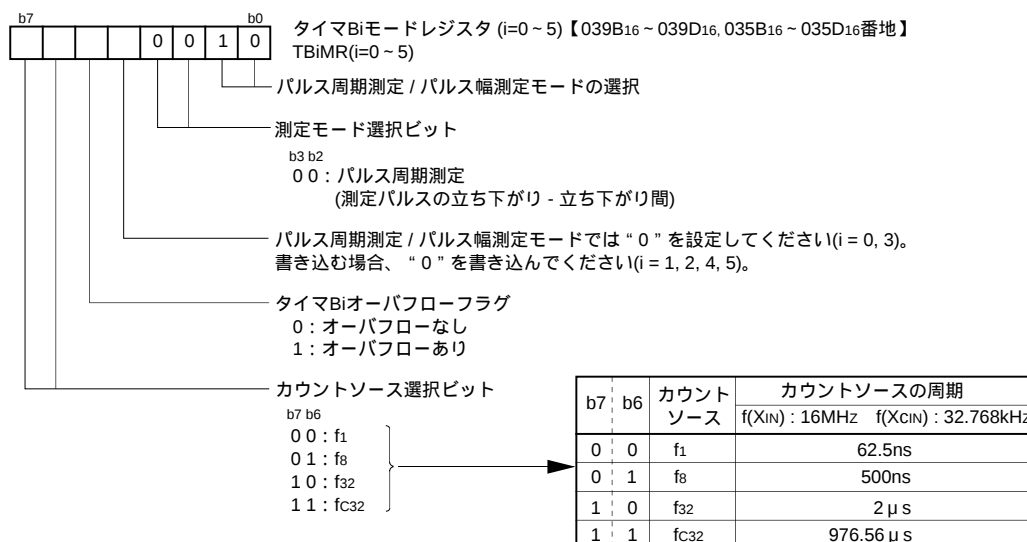


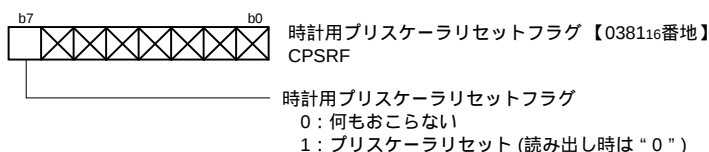
図2.3.8. パルス周期測定モード動作タイミング図

タイマB

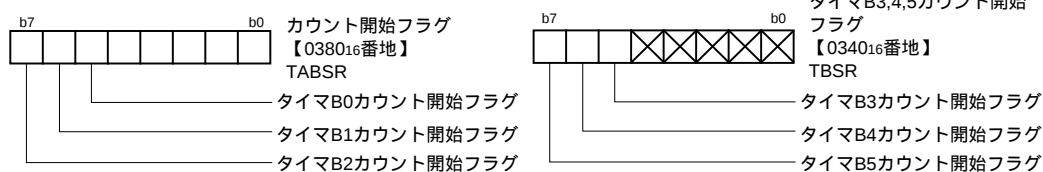
パルス周期測定 / パルス幅測定モードの選択および各機能の選択



時計用プリスケアラリセットフラグの設定

(カウントソースにfc₃₂を選択したときだけ有効です。X_{CIN}を32分周してfc₃₂を作成するためのプリスケアラをリセットします。)

カウント開始フラグの設定



カウント開始

オーバフローフラグクリア(リセット後不定なため)

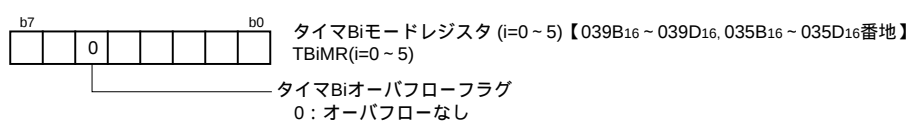


図2.3.9. パルス周期測定モード時のレジスタ設定手順

タイマB

2.3.5 タイマB動作 (パルス幅測定モード)

パルス周期測定モード/パルス幅測定モードでは、表2.3.4に示す項目の中から機能を選択できます。ここでは、表2.3.4に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.3.10に動作タイミング図を、図2.3.11に設定手順を示します。

表2.3.4. 設定内容

設定項目	設定内容
カウントソース	○ 内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
測定モード	パルス周期測定(測定パルスの立ち下がり-立ち下がり間)
	パルス周期測定(測定パルスの立ち上がり-立ち上がり間)
	○ パルス幅測定(測定パルスの立ち下がり-立ち上がり間、および測定パルスの立ち上がり-立ち下がり間)

- 動作
- (1) **カウント開始フラグ**を“1”にすると、カウンタはカウントソースのカウントを開始します。
 - (2) 測定パルスの有効エッジが入力されると、カウンタの値が“0000₁₆”になり、測定を開始します。このとき、リロードレジスタには不定値が転送されます。タイマBi割り込み要求は発生しません。
 - (3) 再度、測定パルスの有効エッジが入力されると、カウンタの値をリロードレジスタに転送し、**タイマBi割り込み要求ビット**が“1”になります。その後、カウンタは“0000₁₆”になり、再び測定を開始します。

- 補足説明
- ・タイマBi割り込み要求ビットは、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバーフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内で**タイマBiオーバーフローフラグ**で判断することができます。
 - ・カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでにタイマBiオーバーフローフラグが“1”になり、タイマBi割り込み要求が発生する可能性があります。
 - ・リセット後、タイマBiオーバーフローフラグは不定です。タイマBiオーバーフローフラグは、カウント開始フラグが“1”の状態、**タイマBiモードレジスタ**に書き込みを行うと“0”になります。このフラグをソフトウェアで“1”にすることはできません。

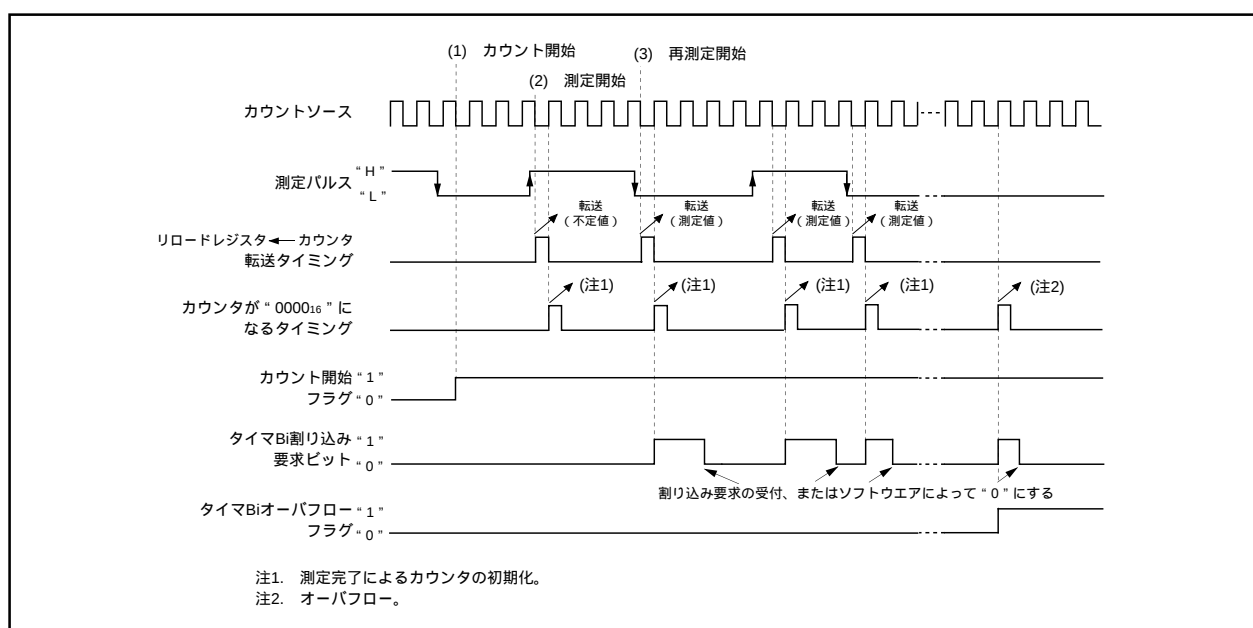
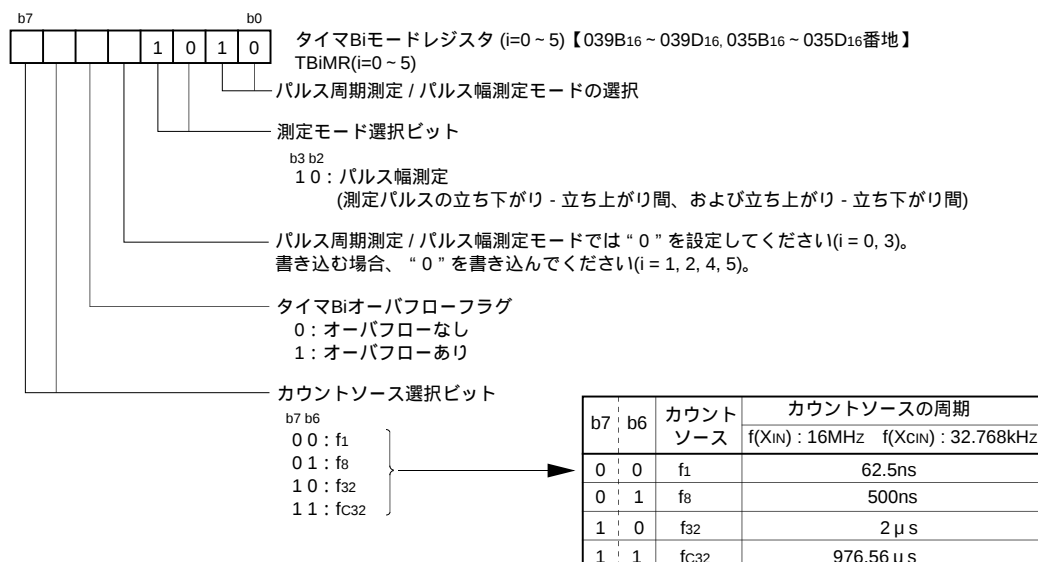


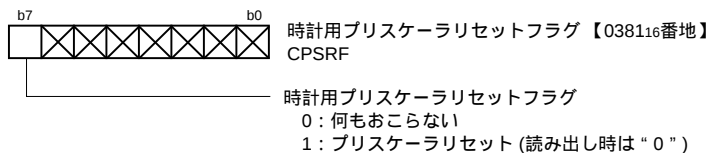
図2.3.10. パルス幅測定モード動作タイミング図

タイマB

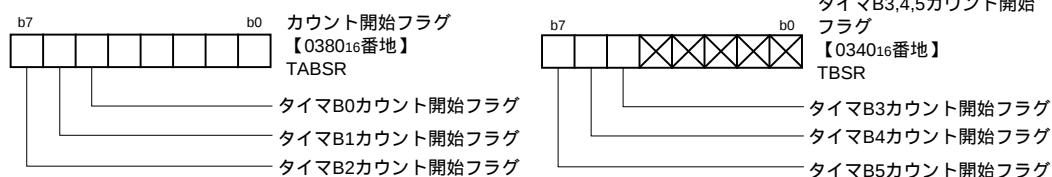
パルス周期測定 / パルス幅測定モードの選択および各機能の選択



時計用プリスケアラリセットフラグの設定

(カウントソースにf_{C32}を選択したときだけ有効です。X_{CIN}を32分周してf_{C32}を作成するためのプリスケアラをリセットします。)

カウント開始フラグの設定



カウント開始

オーバーフローフラグクリア(リセット後不定なため)

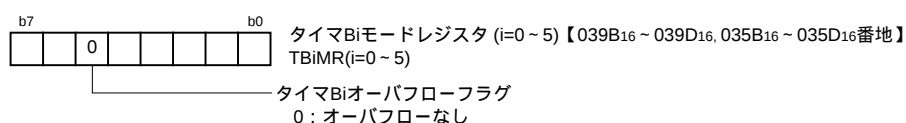


図2.3.11. パルス幅測定モード時のレジスタ設定手順

タイマB

2.3.6 タイマBの注意事項 (タイマモード、イベントカウンタモード)

- 内 容 (1) リセット解除後、**カウント開始フラグ**は“0”です。**タイマBiレジスタ**に値を設定した後、“1”にしてください。
- (2) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、[図2.3.12](#)に示すリロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

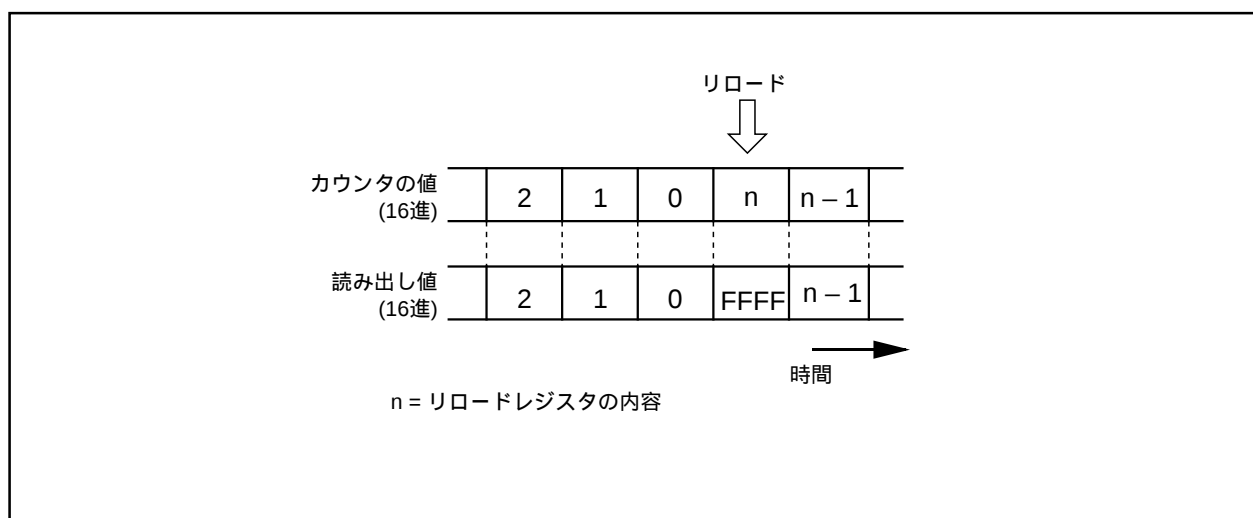


図2.3.12. タイマBiレジスタの読み出し

2.3.7 タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

- 内 容
- (1) **タイマBi割り込み要求ビット**は、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバーフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内で**タイマBiオーバーフローフラグ**で判断することができます。
 - (2) 測定パルス入力がタイマのオーバーフローのタイミングに重なる場合、および割り込み要因をタイマBiオーバーフローフラグで認識できない場合は、タイマを連結してオーバーフローフラグの回数をカウントしてください。
 - (3) リセット時、タイマBiオーバーフローフラグは“1”になります。このフラグは、**カウント開始フラグ**が“1”のときに、**タイマBiモードレジスタ**に書き込みを行うことによって“0”にすることができます。
 - (4) オーバーフローだけの検出にはタイマBi割り込み要求ビットを使用してください。タイマBiオーバーフローフラグは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。
 - (5) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。
 - (6) カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでにタイマBiオーバーフローフラグが“1”になり、タイマBi割り込み要求が発生する可能性があります。
 - (7) カウント開始後に**測定モード選択ビット**の変更を行うと、タイマBi割り込み要求ビットが“1”になります。測定モード選択ビットに以前と同じ値を書き込んだ場合は、割り込み要求ビットは変化しません。
 - (8) TBiIN端子の入力信号がノイズなどの影響を受けると、正確な測定の行えない場合があります。測定値が一定の範囲内にあることを、ソフトウェアで確認することを推奨します。
 - (9) パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”レベル幅であるか“L”レベル幅であるかソフトウェアで判断してください。

クロック同期形シリアルI/O

2.4 クロック同期形シリアルI/O使い方

2.4.1 クロック同期形シリアルI/O使い方の概要

クロック同期形シリアルI/Oは、クロックに同期して8ビットのデータ通信を行います。クロック同期形シリアルI/O使い方の概要について説明します。

● 送受信フォーマット

8ビットデータです。

● 転送速度

転送クロックに内部クロックを選択した場合、**転送速度レジスタ**で分周した周波数の2分周が転送速度となります。転送速度レジスタのカウントソースは、f₁、f₈、およびf₃₂から選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

転送クロックに外部クロックを選択した場合、CLK端子に入力されたクロックの周波数が転送速度となります。

● エラー検知

オーバランエラーだけを検知できます。オーバランエラーとは、**受信バッファレジスタ**を読み込む前に次のデータが揃ったときに発生するエラーです。

● エラー発生時の対処方法

受信時、エラーフラグと受信データを同時に読み出し、エラーの判断を行ってください。読み出したデータがエラーの場合は、エラーフラグ、および**UARTi受信バッファレジスタ**を初期化した後、再度受信を行ってください。UARTi受信バッファレジスタを初期化する手順を以下に示します。

- (1) **受信許可ビット**を“0” (受信禁止)にする
- (2) **シリアルI/Oモード選択ビット**を“000₂” (シリアルI/Oは無効)にする
- (3) シリアルI/Oモード選択ビットを再設定する
- (4) 受信許可ビットを再度“1” (受信許可)にする

シリアルクロックがノイズでずれる等のエラーが発生して再送信を行う必要がある場合は、**UARTi送信バッファレジスタ**を再設定した後に、再送信してください。UARTi送信バッファレジスタを再設定する手順を以下に示します。

- (1) シリアルI/Oモード選択ビットを“000₂” (シリアルI/Oは無効)にする
- (2) シリアルI/Oモード選択ビットを再設定する
- (3) **送信許可ビット**を“1” (送信許可)にし、UARTi送信バッファレジスタに送信データを設定する

● 選択機能

クロック同期形シリアルI/Oでは、次の機能を選択することができます。

(1) CTS / RTS機能

CTS機能とは、外部のICが、 $\overline{\text{CTS}}$ 端子に“L”レベルを入力することによって送受信を開始させる機能です。送受信の開始時にCTS端子入力レベルを検知しますので、送受信の最中に“H”にした場合は、次のデータから停止します。

RTS機能とは、受信準備が整ったとき、RTS端子の出力レベルが“L”になり、外部のICに知らせる機能です。転送クロックの最初の立ち上がりで“H”に戻ります。

クロック同期形シリアルI/Oでは、CTS / RTS機能として次の3種類から選択できます。

- | | |
|--|---|
| ■ $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能無効 | $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子はプログラマブル入出力ポートとして使用できます。 |
| ■ $\overline{\text{CTS}}$ 機能だけ有効 | $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子は $\overline{\text{CTS}}$ 機能として動作します。 |
| ■ $\overline{\text{RTS}}$ 機能だけ有効 | $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子は $\overline{\text{RTS}}$ 機能として動作します。 |

(2) CLK極性選択機能

CLK極性選択機能とは、転送クロックの極性を切り替える機能です。次の2種類から選択できます。

- 転送クロックの立ち下がりでデータ入力、立ち上がりでデータ出力します。
- 転送クロックの立ち上がりでデータ入力、立ち下がりでデータ出力します。

(3) LSB / MSBファースト選択機能

LSB / MSBファースト選択機能とは、データのビット0から送受信するか、ビット7から送受信するかを切り替える機能です。次の2種類から選択できます。

- LSBファースト ビット0から送受信を行います。
- MSBファースト ビット7から送受信を行います。

(4) 連続受信モード選択機能

連続受信モードとは、**受信バッファレジスタ**を読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、**送信バッファレジスタ**にダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

- 通常モード 送信バッファレジスタにダミーデータを書き込むことで受信許可状態になります。
- 連続受信モード 受信バッファレジスタを読み込むことで受信許可状態になります。

(5) 転送クロック複数端子出力機能

転送クロック複数端子出力機能とは、転送クロックを出力する端子を切り替える機能です。この機能は、内部クロック選択時だけ有効です。転送クロックを出力する端子を切り替えることで、2つの外部ICに対して時分割でデータの送信を行うことができます。

(6) シリアルデータ論理切り替え機能

シリアルデータ論理切り替え機能とは、送信バッファレジスタへの書き込み、および受信バッファからの読み出しの際、データを反転させる機能です。

(7) 送信割り込み要因選択機能

送信割り込みの発生タイミングを送信バッファが空になったときか、送信レジスタが空になったときかを選択できます。送信バッファが空になったときを選択すると、送信データが送信バッファから送信レジスタに移動したときに割り込みが発生し、連続で送信することができます。また、送信レジスタが空になったときを選択すると、送信データがすべて送り終わったときに割り込みが発生します。

(8) TxD, RxD入出力極性切り替え機能

TxD, RxD入出力極性切り替え機能とは、TxD端子出力極性およびRxD端子入力極性を反転する機能です。

(1) ~ (7)の機能を次のとおり選択した動作例を示します。

- $\overline{\text{CTS}}$ 機能、クロックの立ち下がりで送信、LSBファースト、送信バッファ空で割り込み発生、クロックの複数端子出力機能なしのときの送信動作 P2-60

クロック同期形シリアルI/O

- $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能無効、クロックの立ち下がりで送信、LSBファースト、送信完了で割り込み発生、クロックの複数端子出力機能ありのときの送信動作 P2-64
- $\overline{\text{RTS}}$ 機能、クロックの立ち下がりで受信、LSBファースト、連続受信モード禁止、クロックの複数端子出力機能なしのときの受信動作 P2-68

● シリアルI/Oへの入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、[ポートの方向レジスタ](#)は入力に設定してください。

● シリアルI/O関連端子

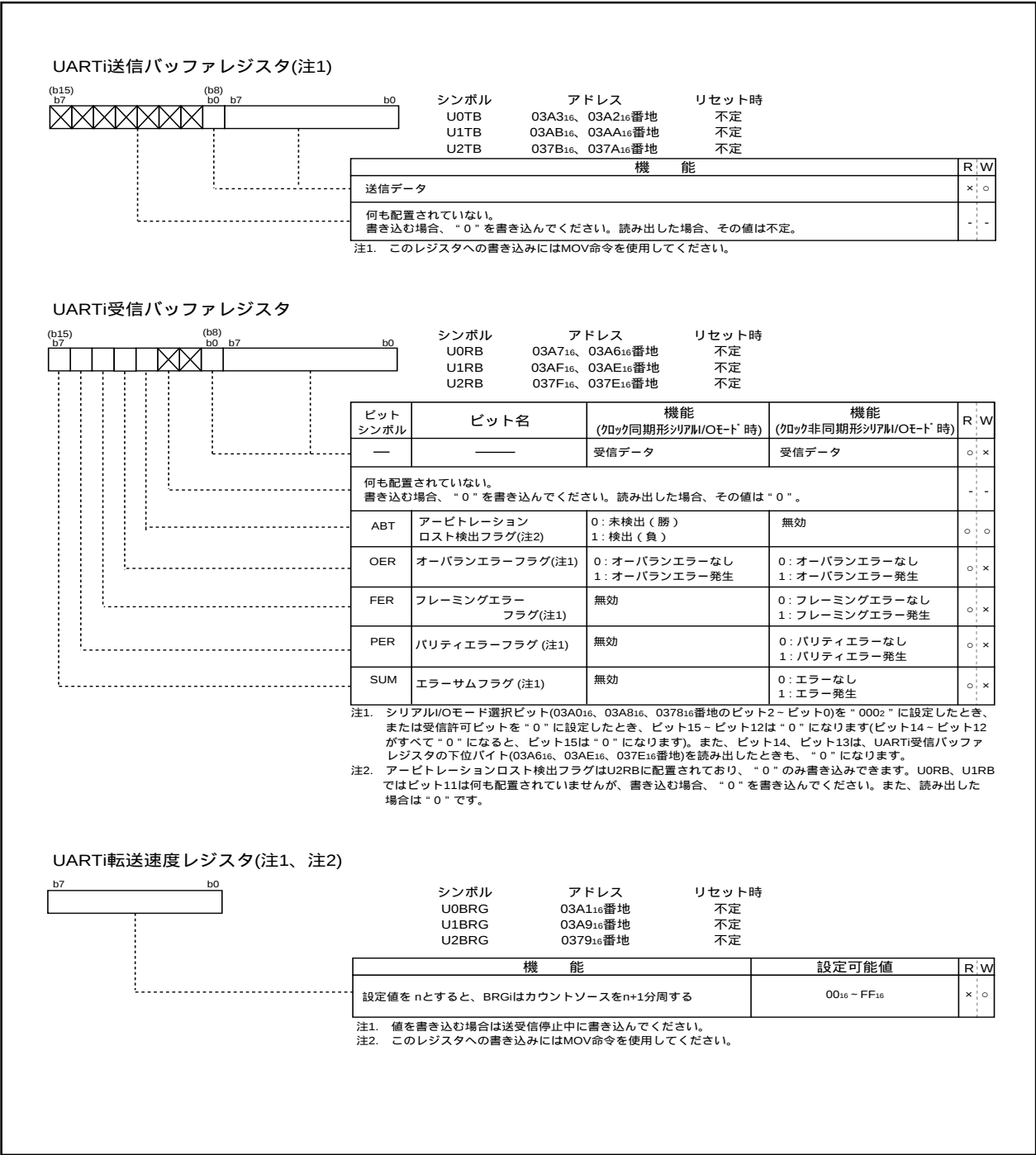
- (1) $\overline{\text{CTS}}_0$ 、 $\overline{\text{CTS}}_1$ 、 $\overline{\text{CTS}}_2$ 端子 $\overline{\text{CTS}}$ 機能の入力端子です。
- (2) $\overline{\text{RTS}}_0$ 、 $\overline{\text{RTS}}_1$ 、 $\overline{\text{RTS}}_2$ 端子 $\overline{\text{RTS}}$ 機能の出力端子です。
- (3) CLK_0 、 CLK_1 、 CLK_2 端子 転送クロックの入出力端子です。
- (4) RXD_0 、 RXD_1 、 RXD_2 端子 データの入力端子です。
- (5) TXD_0 、 TXD_1 、 TXD_2 端子 データの出力端子です。 TXD_2 端子はNチャネルオープンドレイン出力のため、プルアップ抵抗が必要です。
- (6) CLKS_1 端子 転送クロックの出力端子です。転送クロック複数端子出力機能ありにしたとき、転送クロックの出力端子として使用できます。

● シリアルI/O関連レジスタ

[図2.4.1](#)にシリアルI/O関連レジスタのメモリ配置図を、[図2.4.2～2.4.6](#)にシリアルI/O関連レジスタの構成を示します。

004F ₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0050 ₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
≡	
0378 ₁₆	UART2送受信モ - ドレジスタ(U2MR)
0379 ₁₆	UART2転送速度レジスタ(U2BRG)
037A ₁₆	UART2送信バッファレジスタ(U2TB)
037B ₁₆	
037C ₁₆	UART2送受信制御レジスタ 0 (U2C0)
037D ₁₆	UART2送受信制御レジスタ 1 (U2C1)
037E ₁₆	UART2受信バッファレジスタ(U2RB)
037F ₁₆	
≡	
03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
03A2 ₁₆	UART0送信バッファレジスタ(U0TB)
03A3 ₁₆	
03A4 ₁₆	UART0送受信制御レジスタ 0 (U0C0)
03A5 ₁₆	UART0送受信制御レジスタ 1 (U0C1)
03A6 ₁₆	UART0受信バッファレジスタ(U0RB)
03A7 ₁₆	
03A8 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
03A9 ₁₆	UART1転送速度レジスタ(U1BRG)
03AA ₁₆	UART1送信バッファレジスタ(U1TB)
03AB ₁₆	
03AC ₁₆	UART1送受信制御レジスタ 0 (U1C0)
03AD ₁₆	UART1送受信制御レジスタ 1 (U1C1)
03AE ₁₆	UART1受信バッファレジスタ(U1RB)
03AF ₁₆	
03B0 ₁₆	UART送受信制御レジスタ 2 (UCON)
03B1 ₁₆	

図2.4.1. シリアルI/O関連レジスタのメモリ配置図



UARTi受信バッファレジスタ

(b15)

b7

(b8)

b0

シンボル

アドレス

リセット時

U0RB

03A7₁₆、03A6₁₆番地

不定

U1RB

03AF₁₆、03AE₁₆番地

不定

U2RB

037F₁₆、037E₁₆番地

不定

ビットシンボル

ビット名

機能
(クロック同期形シリアルI/Oモード時)

機能
(クロック非同期形シリアルI/Oモード時)

R

W

—

—

受信データ

受信データ

○

×

何も配置されていない。
書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。

—

—

ABT

アービトレーション
ロスト検出フラグ(注2)

0：未検出（勝）
1：検出（負）

無効

○

○

OER

オーバランエラーフラグ(注1)

0：オーバランエラーなし
1：オーバランエラー発生

0：オーバランエラーなし
1：オーバランエラー発生

○

×

FER

フレーミングエラー
フラグ(注1)

無効

0：フレーミングエラーなし
1：フレーミングエラー発生

○

×

PER

パリティエラーフラグ(注1)

無効

0：パリティエラーなし
1：パリティエラー発生

○

×

SUM

エラーサムフラグ(注1)

無効

0：エラーなし
1：エラー発生

○

×

注1. シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット2～ビット0)を“000₂”に設定したとき、または受信許可ビットを“0”に設定したとき、ビット15～ビット12は“0”になります(ビット14～ビット12がすべて“0”になると、ビット15は“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト(03A6₁₆、03AE₁₆、037E₁₆番地)を読み出したときも、“0”になります。

注2. アービトレーションロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)

b7

b0

シンボル

アドレス

リセット時

U0BRG

03A1₁₆番地

不定

U1BRG

03A9₁₆番地

不定

U2BRG

0379₁₆番地

不定

機能

設定可能値

R

W

設定値をnとすると、BRGiはカウントソースをn+1分周する

00₁₆～FF₁₆

×

○

注1. 値を書き込む場合は送受信停止中に書き込んでください。

注2. このレジスタへの書き込みにはMOV命令を使用してください。

図2.4.2. シリアルI/O関連のレジスタ (1)

UARTi 送受信モードレジスタ

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0 ₁₆ , 03A8 ₁₆ 番地	00 ₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 001 を設定してください 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	○ ○
SMD1				○ ○
SMD2				○ ○
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	0: 内部クロック 1: 外部クロック(注1)	○ ○
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	○ ○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	○ ○
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	○ ○
SLEP	スリープ選択ビット	“0”を設定してください	0: スリープモード解除 1: スリープモード選択	○ ○

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

シンボル	アドレス	リセット時
U2MR	0378 ₁₆ 番地	00 ₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 001 を設定してください 000: シリアルI/Oは無効 010: (注1) 011: 設定しないでください 111: 設定しないでください	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	○ ○
SMD1				○ ○
SMD2				○ ○
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注2)	“0”を設定してください	○ ○
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	○ ○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	○ ○
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	○ ○
IOPOL	TxD,RxD入出力極性切り替え ビット	0: 反転なし 1: 反転あり 通常は“0”を設定してください	0: 反転なし 1: 反転あり 通常は“0”を設定してください	○ ○

注1. IICモード使用時、ビット2～ビット0に“010₂”を設定してください。

注2. 対応する方向レジスタは“0”にしてください。

図2.4.3. シリアルI/O関連のレジスタ (2)

UARTi 送受信制御レジスタ0

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
b7	CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	○	○
b6	CLK1		b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	○	○
b5	CRS	CTS/RTS機能選択ビット	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
b4	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
b3	CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル 入出力ポートとして機能)	○	○
b2	NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャンネル オープンドレイン出力	○	○
b1	CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信 データ出力、立ち 下がりで受信データ入力	○	○
b0	UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	○	○

注1. 対応するポート方向レジスタは " 0 " にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0

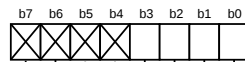
ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
b7	CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	○	○
b6	CLK1		b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 設定しないでください	○	○
b5	CRS	CTS/RTS機能選択ビット	ビット4が " 0 " のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
b4	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
b3	CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル 入出力ポートとして機能)	○	○
b2	何も配置されていない。 書き込む場合、 " 0 " を書き込んでください。読み出した場合、その値は " 0 "。				
b1	CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信 データ出力、立ち 下がりで受信データ入力	○	○
b0	UFORM	転送フォーマット選択ビット (注3)	0 : LSBファースト 1 : MSBファースト	○	○

注1. 対応するポート方向レジスタは " 0 " にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図2.4.4. シリアルI/O関連のレジスタ (3)

クロック同期形シリアルI/O

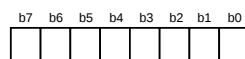
UARTi 送受信制御レジスタ1



シンボル アドレス リセット時
 UiC1(i=0,1) 03A5₁₆, 03AD₁₆番地 02₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0: 送信禁止 1: 送信許可	○ ○
TI	送信バッファ空フラグ	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	○ ×
RE	受信許可ビット	0: 受信禁止 1: 受信許可	0: 受信禁止 1: 受信許可	○ ○
RI	受信完了フラグ	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	○ ×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				- -

UART2送受信制御レジスタ1



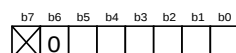
シンボル アドレス リセット時
 U2C1 037D₁₆番地 02₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0: 送信禁止 1: 送信許可	○ ○
TI	送信バッファ空フラグ	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	○ ×
RE	受信許可ビット	0: 受信禁止 1: 受信許可	0: 受信禁止 1: 受信許可	○ ○
RI	受信完了フラグ	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	○ ×
U2IRS	UART2送信割り込み 要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○ ○
U2RRM	UART2連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	“0”を設定してください	○ ○
U2LCH	データ論理選択ビット	0: 反転なし 1: 反転あり	0: 反転なし 1: 反転あり	○ ○
U2ERE	エラー信号出力許可ビット	“0”を設定してください	0: 出力しない 1: 出力する	○ ○

図2.4.5. シリアルI/O関連のレジスタ (4)

クロック同期形シリアルI/O

UART送受信制御レジスタ2

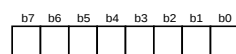


シンボル アドレス リセット時
UCON 03B0₁₆番地 X0000000₂

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○	○
U0RRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	“0”を設定してください	○	○
U1RRM	UART1連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	“0”を設定してください	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0: CLK1にクロックを出力 1: CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択 ビット1(注1)	0: 通常モード (CLK出力はCLK1のみ) 1: 転送クロック複数端子 出力機能選択	“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください。		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				-	-

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・ UART1 内/外部クロック選択ビット(03AB₁₆番地のビット3)="0"

UART2特殊モードレジスタ



シンボル アドレス リセット時
U2SMR 0377₁₆番地 00₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
IICM	IICモード選択ビット	0: 通常モード 1: IICモード	"0" を設定してください	○	○
ABC	アービトレーション ロスト検出フラグ制御	0: ビット毎に更新 1: バイト毎に更新	"0" を設定してください	○	○
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出	"0" を設定してください	○	○ (注1)
LSYN	SCLL同期出力 許可ビット	0: 禁止 1: 許可	"0" を設定してください	○	○
ABSCS	バス衝突検出サンプリング クロック選択ビット	"0" を設定してください	0: 転送クロックの立ち上がり 1: タイマA0のアンダフロー 信号	○	○
ACSE	送信許可ビット自動クリア 機能選択ビット	"0" を設定してください	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	"0" を設定してください	0: 通常 1: RxD2の立ち下がり	○	○
SDDS	SDAデジタル遅延 選択ビット (注2、注3)	0: アナログディレイ出力選択 1: デジタルディレイ出力選択 (IICモード時以外は "0" を設定し てください)	"0" を設定してください	○	○

注1. "0" だけ書き込み可。
注2. 本機能はIICモード時以外は "1" を書き込まないでください。通常モード時は "0" を設定してください。
本ビットが "0" の場合はUART2特殊モードレジスタ3(U2SMR3 / 0375₁₆番地)のビット7～ビット5(DL2～DL0=SDA
デジタル遅延値設定ビット)が初期化され "000" となり、アナログ遅延回路が選択されます。また、SDDS="0" の
場合にはU2SMR3の読み出し、書き込みはできません。
注3. アナログ遅延選択時はアナログ遅延値のみ、デジタル遅延選択時はデジタル遅延値のみの遅延となります。

図2.4.6. シリアルI/O関連のレジスタ (5)

クロック同期形シリアルI/O

2.4.2 シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信)

クロック同期形シリアルI/Oモードの送信では、表2.4.1に示す項目の中から機能を選択できます。ここでは、表2.4.1に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.4.7に動作タイミングを、図2.4.8、図2.4.9に設定手順を示します。

表2.4.1. 設定内容

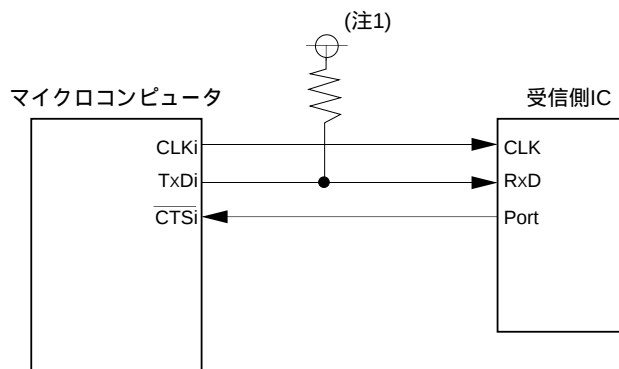
設定項目	設定内容	設定項目	設定内容
転送クロックソース	○ 内部クロック($f_1 / f_8 / f_{32}$)	送信割り込み要因	○ 送信バッファ空
	外部クロック(CLKi端子)		送信完了
CTS機能	○ CTS機能許可	転送クロック複数端子出力機能(注1)	○ なし
	CTS機能禁止		あり
CLK極性	○ 転送クロックの立ち下がりで送信データ出力	シリアルデータ論理(注2)	○ 反転なし
	転送クロックの立ち上がりで送信データ出力		反転あり
転送フォーマット	○ LSBファースト	TxD, RxD入出力極性切り替え機能(注2)	○ 反転なし
	MSBファースト		反転あり

注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1のCTS / RTS機能は使用できません。UART1のCTS / RTS禁止ビットを“1”にしてください。

注2. UART2だけ選択できます。

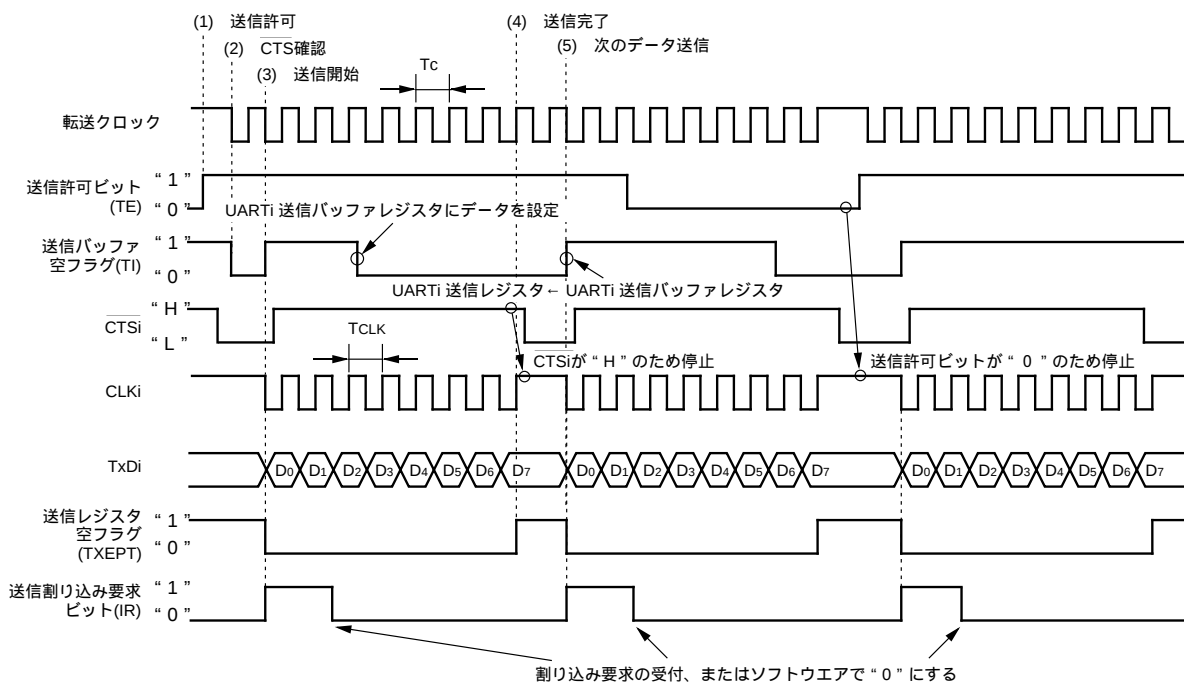
- 動作
- (1) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。
 - (2) CTSi端子の入力が“L”レベルになると送信を開始します(CTSi端子は、受信側で制御する必要があります)。
 - (3) 最初の転送クロックの立ち下がリエッジに同期して、UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、UARTi送信割り込み要求ビットが“1”になります。また、送信データの1ビット目がTxDi端子から送信されます。そして、立ち下がリエッジに同期して、下位ビットから順に1ビットずつ送信されます。
 - (4) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。また、転送クロックは“H”レベルで停止します。
 - (5) 送信中(8ビット目が出力される前)に、UARTi送信バッファレジスタに次の送信データを設定していれば、続けて送信が行われます。

結線例



注1. TxD2端子はNチャネルオープンドレインのためプルアップ抵抗が必要です

動作例



()内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。

- 内部クロック選択
- CTS機能選択
- CLK極性選択ビット = "0"
- 送信割り込み要因選択ビット = "0"

$$T_C = T_{CLK} = 2(n+1) / f_i$$

f_i : BRGiのカウンタソースの周波数(f_1, f_8, f_{32})
 n : BRGiに設定した値

図2.4.7. クロック同期形シリアルI/Oモードの送信動作タイミング図

クロック同期形シリアルI/O

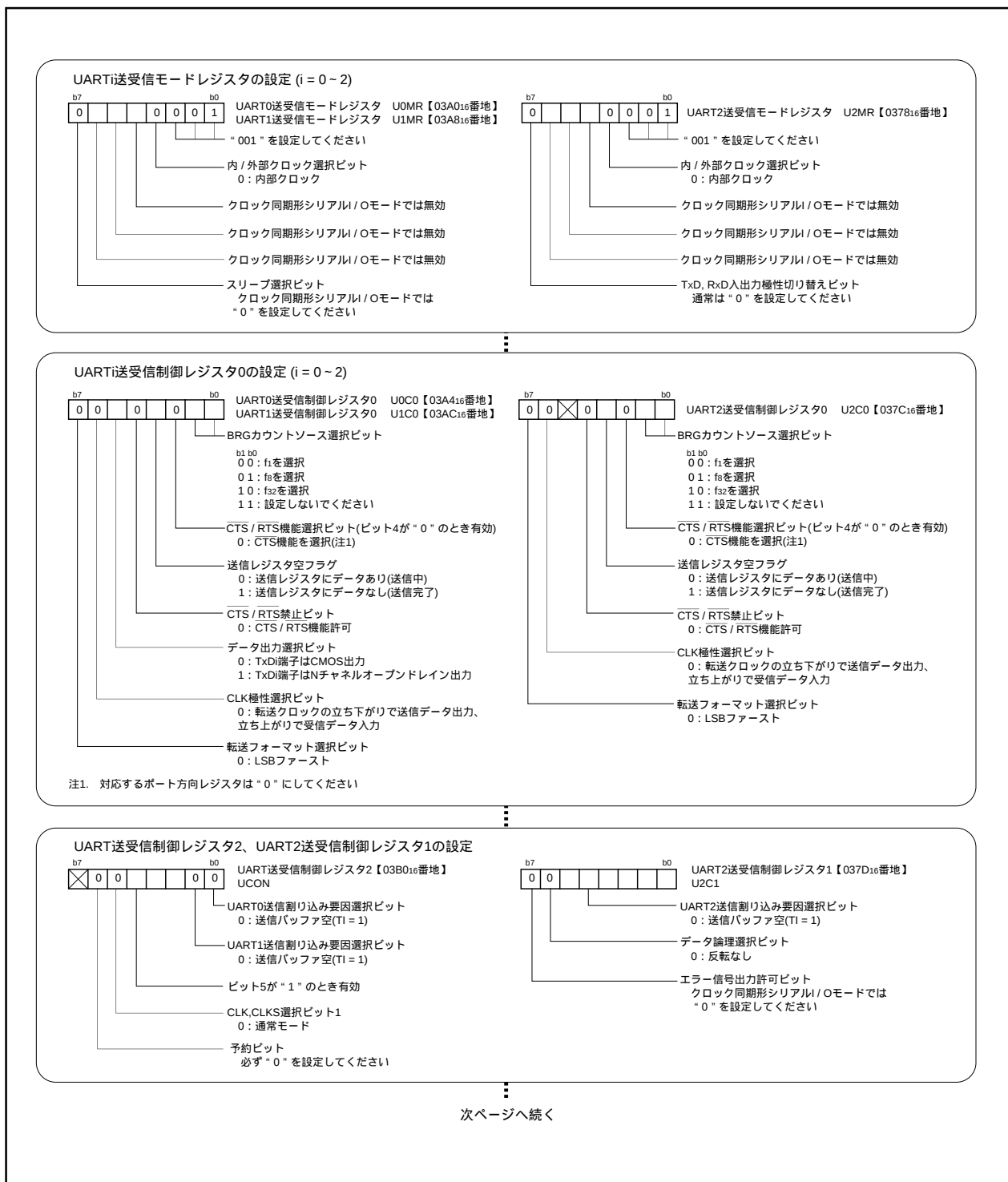


図2.4.8. クロック同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(1)

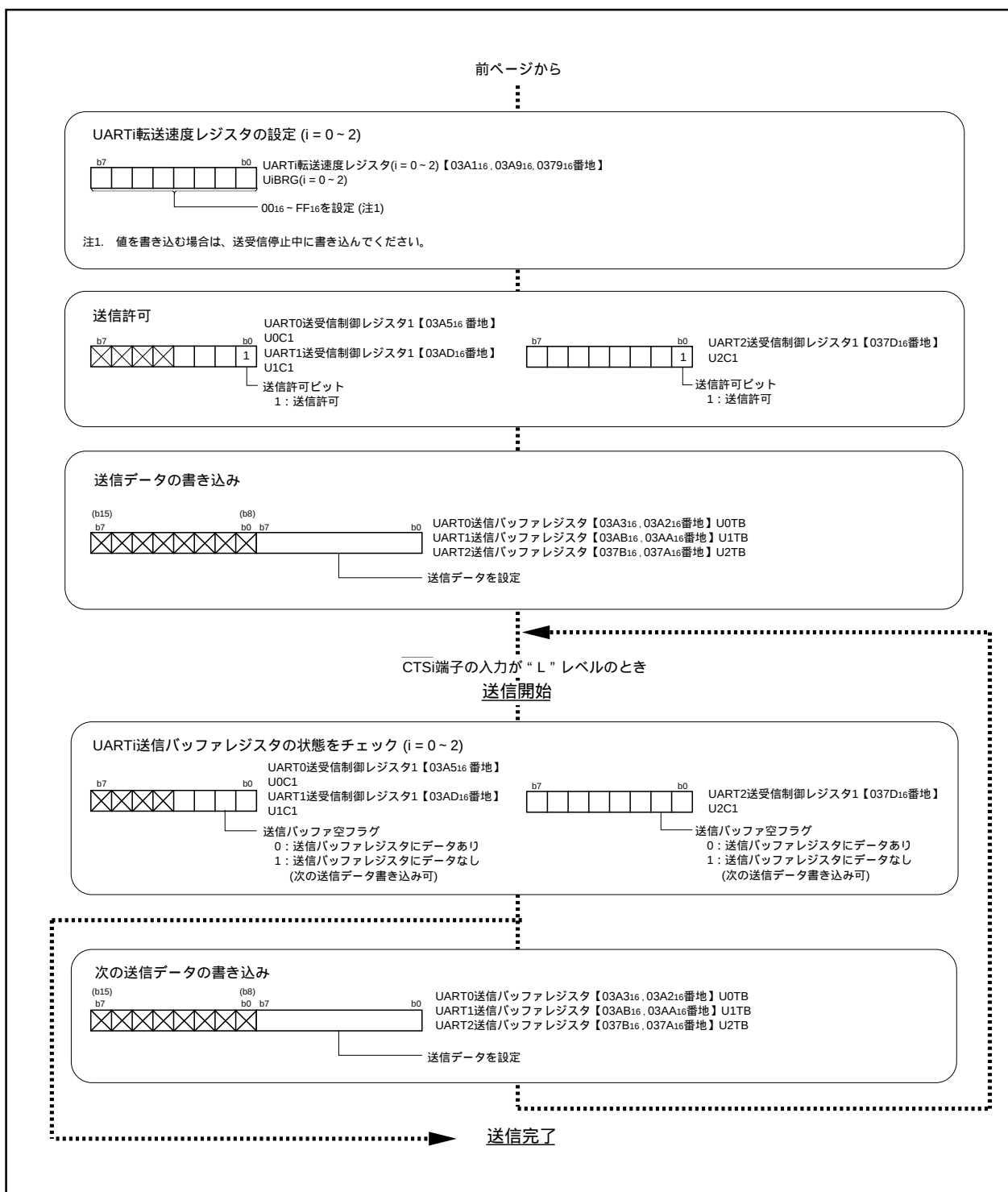


図2.4.9. クロック同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(2)

クロック同期形シリアルI/O

2.4.3 シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時)

クロック同期形シリアルI/Oモードの送信では、表2.4.2に示す項目の中から機能を選択できます。ここでは、表2.4.2に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.4.10に動作タイミングを、図2.4.11、図2.4.12に設定手順を示します。

表2.4.2. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	○ 内部クロック($f_1 / f_8 / f_{32}$)	送信割り込み要因	送信バッファ空
	外部クロック(CLKi端子)		○ 送信完了
CTS機能	CTS機能許可	転送クロック複数端子出力機能(注1)	なし
	○ CTS機能禁止		○ あり
CLK極性	○ 転送クロックの立ち下がりで送信データ出力	シリアルデータ論理(注2)	○ 反転なし
	転送クロックの立ち上がりで送信データ出力		反転あり
転送フォーマット	○ LSBファースト	Tx/D, Rx/D入出力極性切り替え機能(注2)	○ 反転なし
	MSBファースト		反転あり

注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1のCTS / RTS機能は使用できません。UART1のCTS / RTS禁止ビットを“1”にしてください。

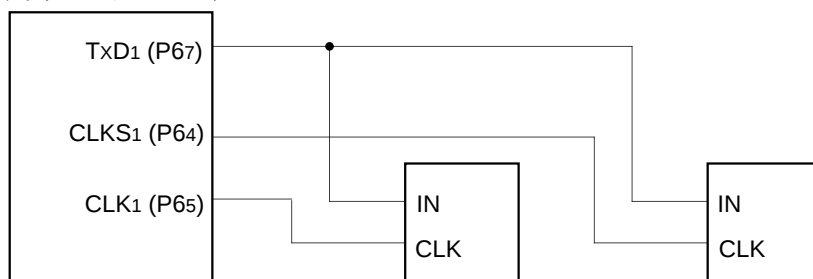
注2. UART2だけ選択できます。

動作

- (1) 送信許可ビットを“1”にすると、送信できる状態になります。
- (2) UART1送信バッファレジスタに送信データを書き込むと、最初の転送クロックの立ち下がリエッジに同期して、UART1送信バッファレジスタに入っている送信データがUART1送信レジスタに転送されます。同時に、送信データの1ビット目がTx/D1端子から送信されます。そして、転送クロックの立ち下がリエッジに同期して、下位ビットから順に1ビットずつ送信されます。
- (3) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。また、転送クロックは“H”レベルで停止します。同時に、UART1送信割り込み要求ビットが“1”になります。
- (4) CLK、CLKS選択ビット1を“1”、CLK、CLKS選択ビット0を“1”にすると、CLKS1端子が転送クロック出力端子となります。転送クロック出力端子の変更は、送信停止中に行ってください。

結線例

マイクロコンピュータ



注1. クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合

動作例

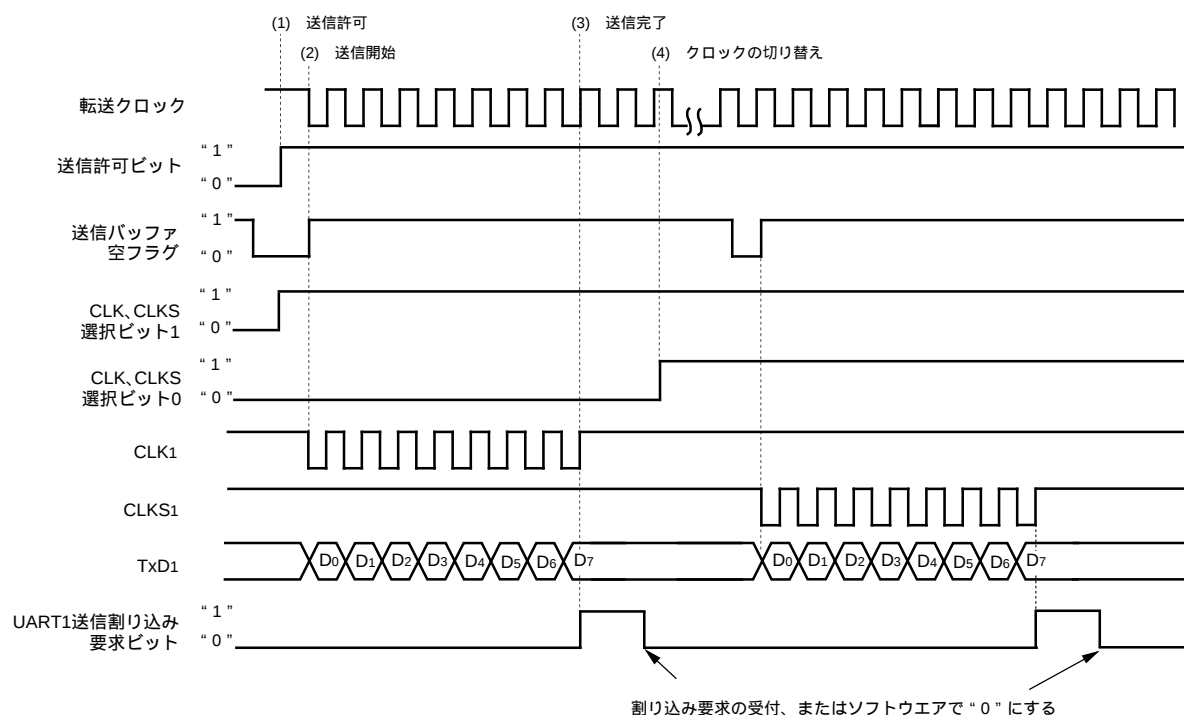


図2.4.10. クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時の動作タイミング図

クロック同期形シリアルI/O

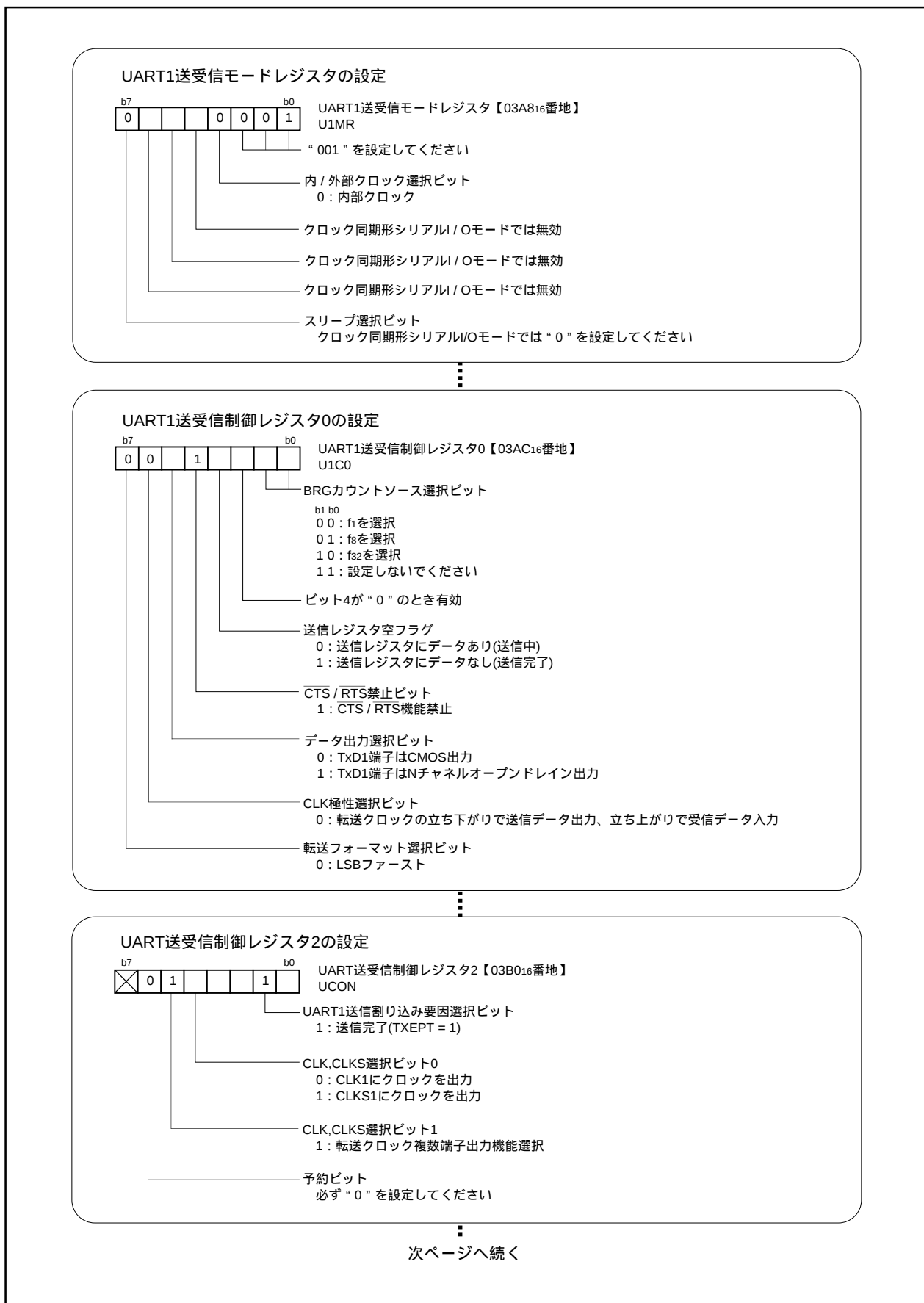


図2.4.11. クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時のレジスタ設定手順(1)

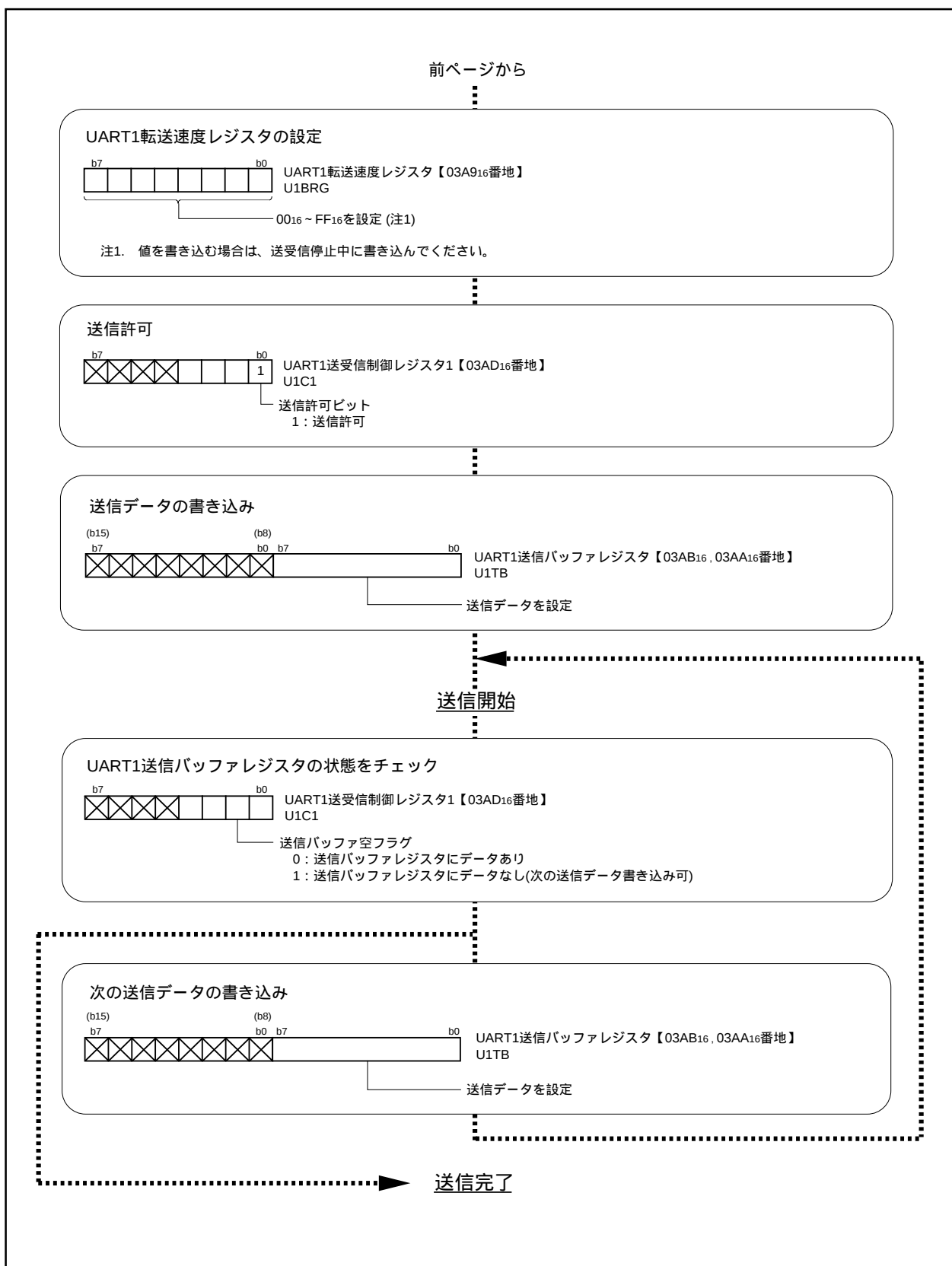


図2.4.12. クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時のレジスタ設定手順(2)

クロック同期形シリアルI/O

2.4.4 シリアルI/O動作 (クロック同期形シリアルI/Oモードの受信)

クロック同期形シリアルI/Oモードの受信では、表2.4.3に示す項目の中から機能を選択できます。ここでは、表2.4.3に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.4.13に動作タイミングを、図2.4.14、図2.4.15に設定手順を示します。

表2.4.3. 設定内容

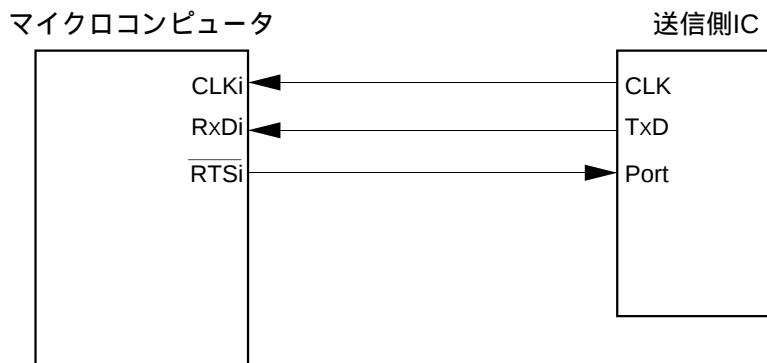
設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	連続受信モード	○ 禁止
	○ 外部クロック(CLKi端子)		許可
RTS機能	○ RTS機能許可	転送クロック複数端子出力機能(注1)	○ なし
	RTS機能禁止		あり
CLK極性	○ 転送クロックの立ち上がりで受信データ入力	シリアルデータ論理(注2)	○ 反転なし
	転送クロックの立ち下がりで受信データ入力		反転あり
転送フォーマット	○ LSBファースト	TxD, RxD入出力極性切り替え機能(注2)	○ 反転なし
	MSBファースト		反転あり

注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1のCTS / RTS機能は使用できません。UART1のCTS / RTS禁止ビットを“1”にしてください。

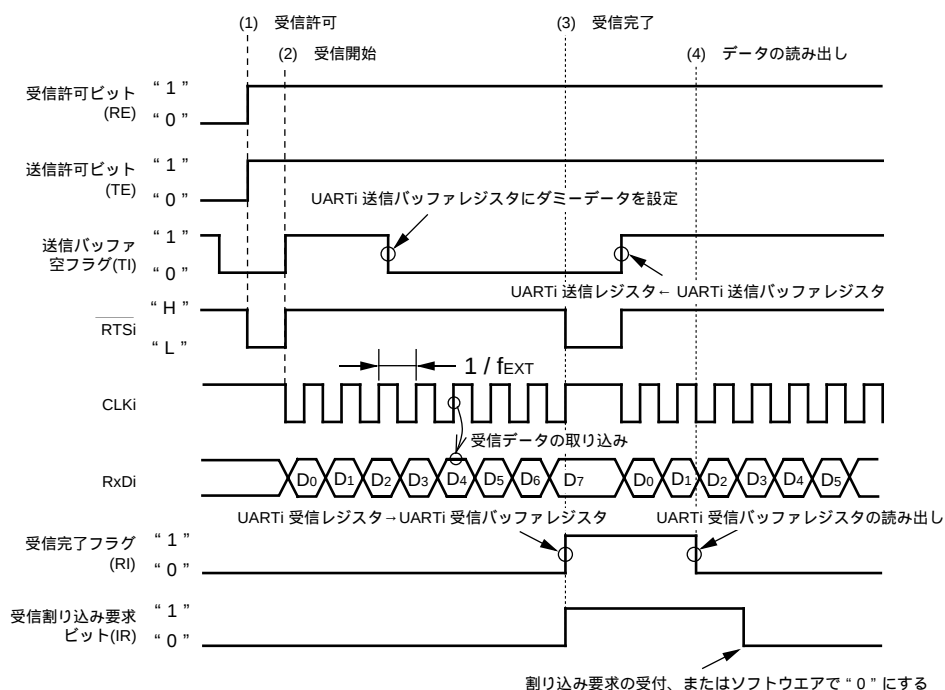
注2. UART2だけ選択できます。

- 動作
- (1) **UARTi送信バッファレジスタ**にダミーデータを書き込み、**受信許可ビット**を“1”、**送信許可ビット**を“1”にすると、受信できる状態になります。同時に、 $\overline{\text{RTSi}}$ 端子の出力が“L”レベルになり、受信できる状態になったことを送信側に知らせます(送信側のICでは、 $\overline{\text{RTS}}$ 出力が“L”レベルになったことを確認した後、転送クロックを出力してください)。
 - (2) 最初の転送クロックの立ち上がりエッジに同期して、 RxDi 端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。そして、転送クロックの立ち上がりエッジに同期して、UARTi受信レジスタの内容を右にシフトしながらデータを取り込みます。
 - (3) UARTi受信レジスタに1バイトのデータが揃うと、UARTi受信レジスタの内容は**UARTi受信バッファレジスタ**に転送されます。また、転送クロックは“H”レベルで停止します。同時に、受信完了フラグと**UARTi受信割り込み要求ビット**が“1”になります。
 - (4) **受信完了フラグ**はUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。

結線例



動作例



()内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。

- 外部クロック選択
- RTS 機能選択
- CLK極性選択ビット = "0"

fEXT : 外部クロックの周波数

データ受信前のCLKi端子の入力が "H" レベルのときに、以下の条件が揃うようにしてください。

- 送信許可ビット → "1"
- 受信許可ビット → "1"
- UARTi送信バッファレジスタへのダミーデータの書き込み

図2.4.13. クロック同期形シリアルI/Oモードの受信動作タイミング図

クロック同期形シリアルI/O

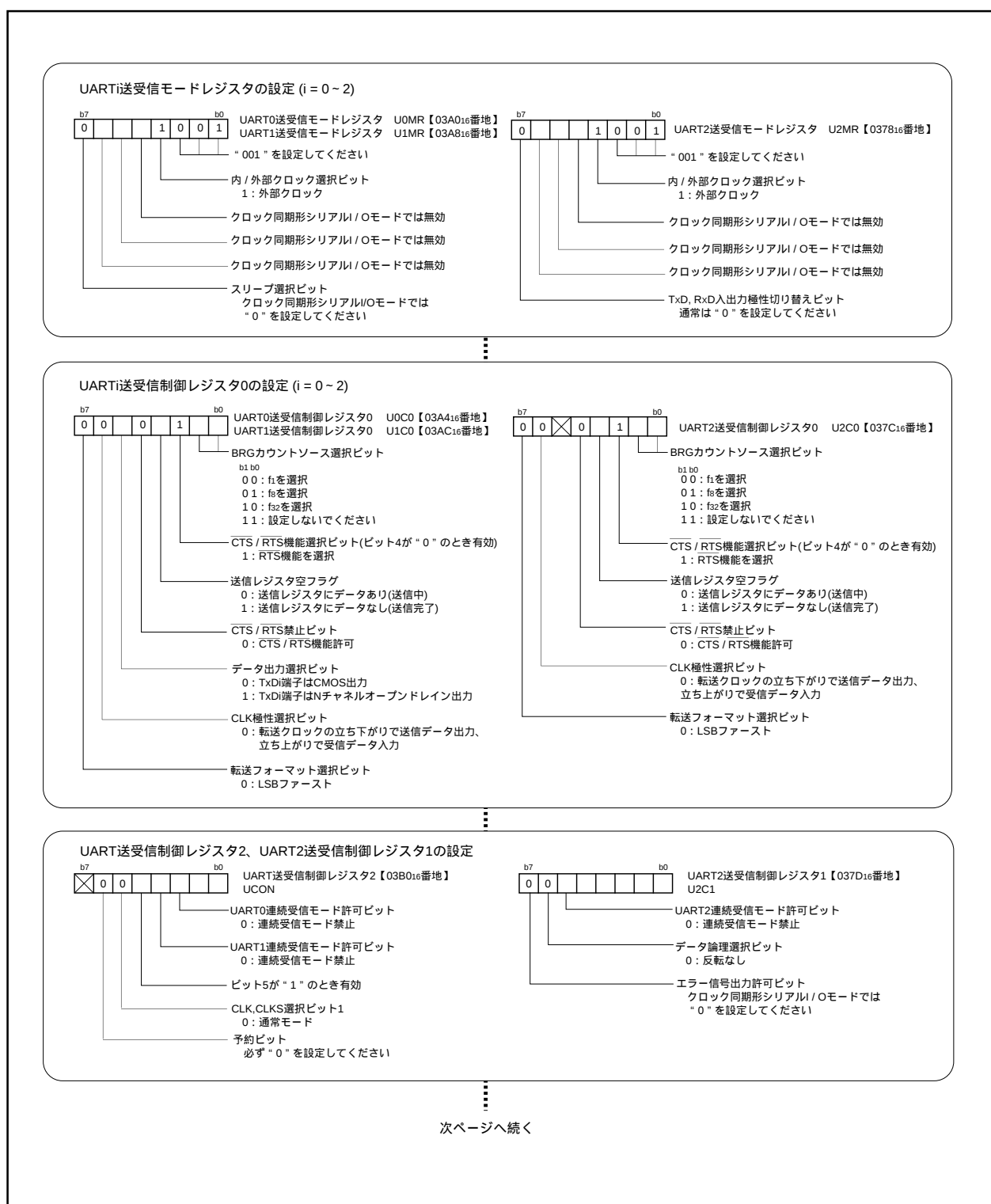


図2.4.14. クロック同期形シリアルI/Oモードの受信動作時のレジスタ設定手順(1)

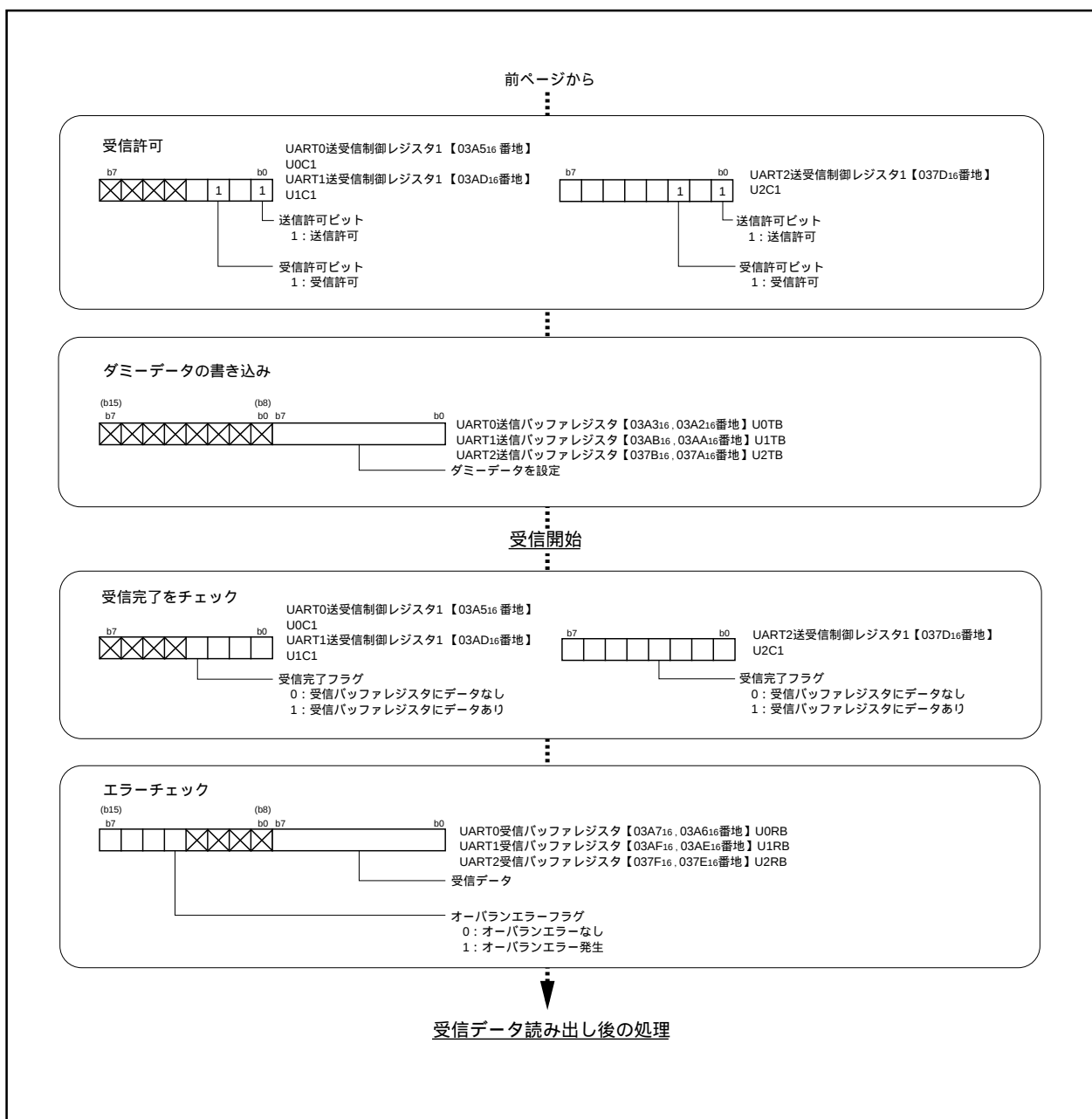


図2.4.15. クロック同期形シリアルI/Oモードの受信動作時のレジスタ設定手順(2)

クロック同期形シリアルI/O

2.4.5 シリアルI/Oの注意事項 (クロック同期形シリアルI/Oモード時)

- 送受信 (1) 外部クロック選択時、 $\overline{\text{RTSi}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTSi}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTSi}}$ 機能は無効です。図2.4.16に結線例を示します。

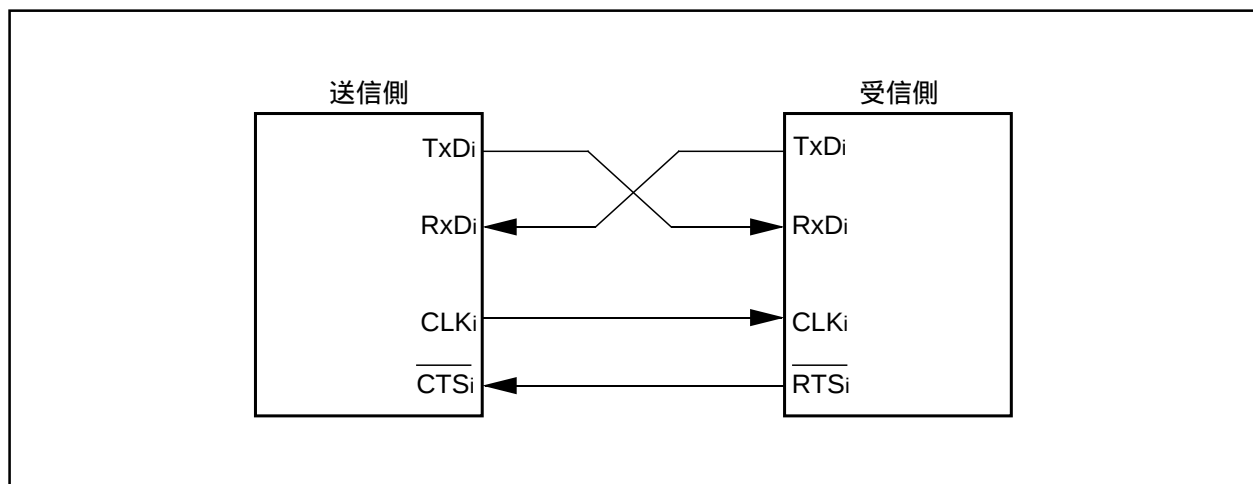


図2.4.16. 結線例

- 送信
- (1) 外部クロック選択時、CLK極性選択ビットが“0”の場合はCLKi端子の入力が“H”レベルの状態、 “1”の場合は“L”レベルの状態、以下の設定を行ってください。
 1. 送信許可ビットのセット(“1”に設定)
 2. UARTi送信バッファレジスタへの送信データの書き込み
 3. CTSi端子への“L”レベルの入力(CTS機能を選択時)
- 受信
- (1) クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信動作(送信のための設定)を行う必要があります。また、受信時TxDi端子(送信端子)からはダミーデータが外部に出力されます。
 - (2) 内部クロック選択時は送信許可ビットを“1”(送信許可状態)にし、そしてダミーデータをUARTi送信バッファレジスタに設定するとシフトクロックが発生します。
外部クロック選択時は送信許可ビットを“1”にし、そしてダミーデータをUARTi送信バッファレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。
 - (3) 連続してデータを受信する場合、受信完了フラグが“1”の状態(UARTi受信バッファレジスタの内容を読み出す前)でUARTi受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、オーバーランエラーフラグが“1”になります。この場合、UARTi受信バッファレジスタには次のデータが書き込まれますので、オーバーランエラーが発生したときは以前のデータを再送信するように送信、および受信側のプログラムで対処してください。
また、オーバーランエラーが発生したときはUARTi受信割り込み要求ビットは変化しません。
 - (4) 連続してデータを受信する場合は、1回の受信ごとにUARTi送信バッファレジスタの下位バイトへダミーデータを設定してください。
 - (5) 外部クロック選択時、CLK極性選択ビットが“0”の場合はCLKi端子の入力“H”レベルの状態、 “1”の場合は“L”レベルの状態、以下の設定を行ってください。
 1. 受信許可ビットのセット(“1”に設定)
 2. 送信許可ビットのセット(“1”に設定)
 3. UARTi送信バッファレジスタへのダミーデータの書き込み
 - (6) RTS端子の出力は、受信許可ビットを“1”にすると同時に“L”レベルになります。送信バッファ空フラグの内容、送信許可ビットの内容とは関係ありません。
また、RTS端子の出力は受信が始まると“H”レベルになり、受信が完了すると“L”レベルになります。送信バッファ空フラグの内容、受信完了フラグの内容とは関係ありません。

クロック非同期形シリアルI/O

2.5 クロック非同期形シリアルI/O使い方

2.5.1 クロック非同期形シリアルI/O使い方の概要

クロック非同期形シリアルI/Oは、キャラクタ単位で同期をとりながら通信を行います。送信部と受信部は独立していますので、全二重通信が可能です。クロック非同期形シリアルI/O使い方の概要について説明します。

●送受信フォーマット

図2.5.1に送受信フォーマットを、表2.5.1に送信データの名称とその機能を示します。

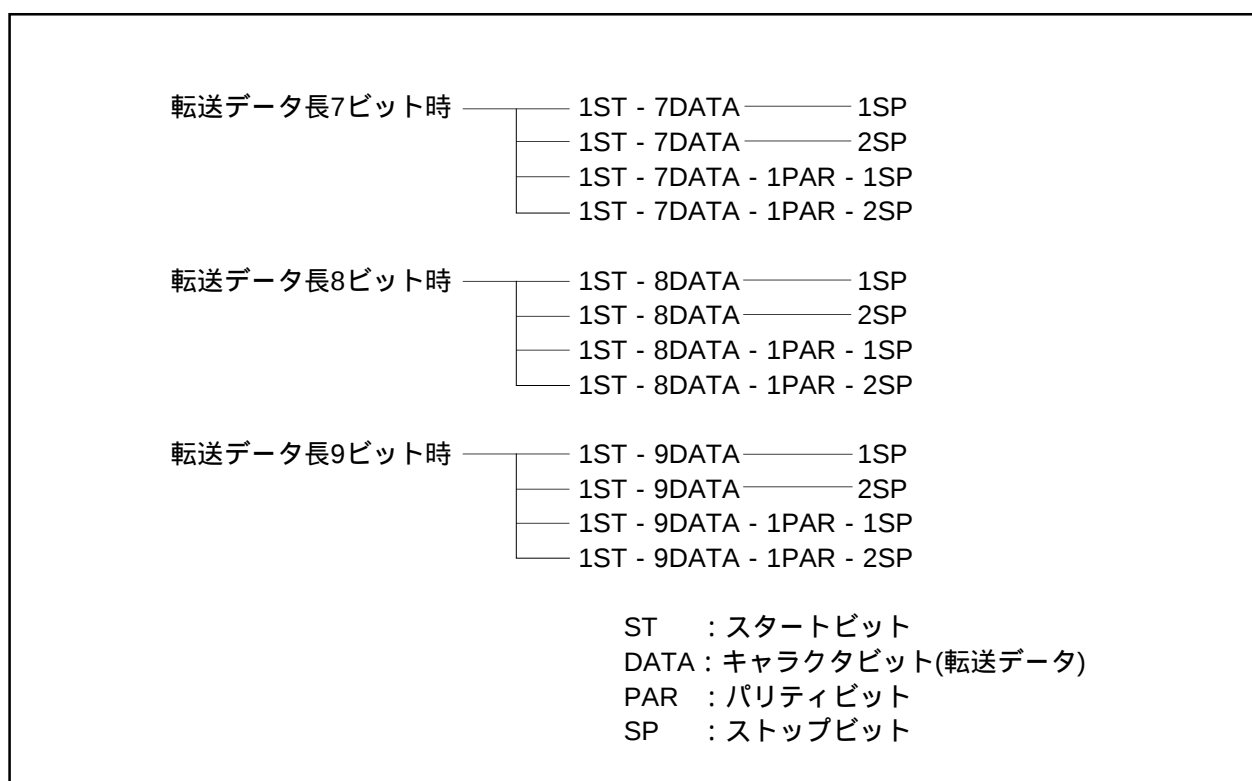


図2.5.1. 送受信フォーマット

表2.5.1. 送信データの名称とその機能

名 称	機 能
ST(スタートビット)	キャラクタビットの直前に付加するキャラクタビット1ビット分の“L”信号。データの送信開始を示す。
DATA(キャラクタビット)	UARTi送信バッファレジスタに設定される送信データ。
PAR(パリティビット)	データの信頼性を向上させるために、キャラクタビットの直後に付加する信号。この信号のレベルは、パリティ奇/偶の選択に従ってこのビットとキャラクタビット中の“1”の総数が常に奇数、または偶数になるように変化する。
SP(ストップビット)	キャラクタビット(パリティ許可時はパリティビット)の直後に付加するキャラクタビット1ビット分、または2ビット分の“H”信号。データの送信終了を示す。

クロック非同期形シリアルI/O

● 転送速度

転送速度レジスタ(BRG)で分周した周波数の16分周が転送速度となります。転送速度レジスタのカウントソースは、f₁、f₈、f₃₂、およびCLK端子からの入力を選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

表2.5.2. ボーレート設定例

ボーレート (bps)	BRGの カウントソース	システムクロック：16MHz時		システムクロック：7.3728MHz時	
		BRGの設定値：n	実時間 (bps)	BRGの設定値：n	実時間 (bps)
600	f ₈	207 (CF ₁₆)	601	95 (5F ₁₆)	600
1200	f ₈	103 (67 ₁₆)	1202	47 (2F ₁₆)	1200
2400	f ₈	51 (33 ₁₆)	2404	23 (17 ₁₆)	2400
4800	f ₁	207 (CF ₁₆)	4808	95 (5F ₁₆)	4800
9600	f ₁	103 (67 ₁₆)	9615	47 (2F ₁₆)	9600
14400	f ₁	68 (44 ₁₆)	14493	31 (1F ₁₆)	14400
19200	f ₁	51 (33 ₁₆)	19231	23 (17 ₁₆)	19200
28800	f ₁	34 (22 ₁₆)	28571	15 (F ₁₆)	28800
31250	f ₁	33 (21 ₁₆)	31250		

● エラー検知

クロック非同期形シリアルI/Oモードでは、[表2.5.3](#)に示すエラーを検知できます。

表2.5.3. エラー検知

エラーの種類	エラーの内容	フラグが立つタイミング	フラグをクリアする方法
オーバランエラー	- UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生します。 - UARTi受信バッファレジスタには次のデータが書き込まれます。 - UARTi受信割り込み要求ビットは変化しません。	UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送されるときに検出される。	- シリアルI/Oモード選択ビットを“000₂”にする。 - 受信許可ビットを“0”にする。
フレーミングエラー	設定した個数のストップビットに満たなかったとき発生します。		- シリアルI/Oモード選択ビットを“000₂”にする。 - 受信許可ビットを“0”にする。 - UARTi受信バッファレジスタの下位バイトの読み出し。
パリティエラー	パリティ許可時に、パリティビットとキャラクタビットの中の“1”の総数が設定した個数でなかったとき発生します。		
エラーサムフラグ	オーバランエラー、フレーミングエラー、パリティエラーのいずれか1つでも検出されたとき発生します。		オーバランエラー、フレーミングエラー、パリティエラーのすべてが“0”になったとき。

クロック非同期形シリアルI/O

● エラー発生時の対処方法

受信時、**エラーフラグ**と受信データを同時に読み出し、エラーの判断を行ってください。読み出したデータがエラーの場合は、エラーフラグ、および**UARTi受信バッファレジスタ**を初期化した後、再度受信を行ってください。UARTi受信バッファレジスタを初期化の手順を以下に示します。

- (1) **受信許可ビット**を“0”(受信禁止)にする
- (2) 受信許可ビットを再度“1”(受信許可)にする

送信時、受信側のエラー発生によって送信を中断し再送信を行う必要がある場合は、**UARTi送信バッファレジスタ**を再設定した後に、再送信してください。UARTi送信バッファレジスタを再設定する手順を以下に示します。

- (1) **シリアルI/Oモード選択ビット**を“0002”(シリアルI/Oは無効)にする
- (2) シリアルI/Oモード選択ビットを再設定する
- (3) **送信許可ビット**を“1”(送信許可)にし、UARTi送信バッファレジスタに送信データを設定する

● 選択機能

クロック非同期形シリアルI/Oでは、次の機能を選択することができます。

(1) $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能とは、外部のICが、 $\overline{\text{CTS}}$ 端子に“L”レベルを入力することによって送受信を開始させる機能です。送受信の開始時に $\overline{\text{CTS}}$ 端子入力レベルを検知しますので、送受信の最中に“H”にした場合は、次のデータから停止します。

$\overline{\text{RTS}}$ 機能とは、受信準備が整ったとき、 $\overline{\text{RTS}}$ 端子の出力レベルが“L”になり、外部のICに知らせる機能です。転送クロックの最初の立ち下がりで“H”に戻ります。

クロック非同期形シリアルI/Oでは、 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能として次の3種類から選択できます。

- | | |
|--|---|
| ■ $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能無効 | $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子はプログラマブル入出力ポートとして使用できます。 |
| ■ $\overline{\text{CTS}}$ 機能だけ有効 | $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子は $\overline{\text{CTS}}$ 機能として動作します。 |
| ■ $\overline{\text{RTS}}$ 機能だけ有効 | $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子は $\overline{\text{RTS}}$ 機能として動作します。 |

(2) スリープモード

クロック非同期形シリアルI/Oを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータに転送するモードです。

(3) シリアルデータ論理切り替え機能

シリアルデータ論理切り替え機能とは、送信バッファレジスタへの書き込み、および受信バッファからの読み出しの際、データを反転させる機能です。

(4) TxD, RxD入出力極性切り替え機能

TxD, RxD入出力極性切り替え機能とは、TxD端子出力極性およびRxD端子入力極性を反転する機能です。

(5) バス衝突検出機能

バス衝突検出機能とは、TxD端子の出力レベルとRxD端子の入力レベルをサンプリングし、値が異なる場合に割り込み要求が発生する機能です。

クロック非同期形シリアルI/O

(1) ~ (5)の機能を次のとおり選択した動作例を示します。

- $\overline{\text{CTS}}$ 機能選択、その他の機能非選択の送信動作 P2-84
- $\overline{\text{RTS}}$ 機能選択、その他の機能非選択の受信動作 P2-88

また、クロック非同期形シリアルI/Oモードに一部設定を追加することで、SIMインタフェースに対応します。接続するSIMカードによって、ダイレクトフォーマットとインバースフォーマットを選択できます。

- ダイレクトフォーマット選択時の送信動作 P2-92
- ダイレクトフォーマット選択時の受信動作 P2-96

● シリアルI/Oへの入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、**ポートの方向レジスタ**は入力に設定してください。

● シリアルI/O関連端子

- (1) $\overline{\text{CTS}}_0$ 、 $\overline{\text{CTS}}_1$ 、 $\overline{\text{CTS}}_2$ 端子 $\overline{\text{CTS}}$ 機能の入力端子です。
- (2) $\overline{\text{RTS}}_0$ 、 $\overline{\text{RTS}}_1$ 、 $\overline{\text{RTS}}_2$ 端子 $\overline{\text{RTS}}$ 機能の出力端子です。
- (3) CLK_0 、 CLK_1 端子 転送クロックの入力端子です。
- (4) RxD_0 、 RxD_1 、 RxD_2 端子 データの入力端子です。
- (5) TxD_0 、 TxD_1 、 TxD_2 端子 データの出力端子です。

TxD_2 端子はNチャンネルオープンドレイン出力ですので、プルアップ抵抗が必要です。

クロック非同期形シリアルI/O

●シリアルI/O関連レジスタ

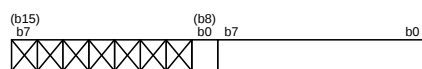
図2.5.2にシリアルI/O関連レジスタのメモリ配置図を、図2.5.3～図2.5.7にシリアルI/O関連レジスタの構成を示します。

004A ₁₆	バス衝突検出割り込み制御レジスタ(BCNIC)
≈	
004F ₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0050 ₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
≈	
0378 ₁₆	UART2送受信モ - ドレジスタ(U2MR)
0379 ₁₆	UART2転送速度レジスタ(U2BRG)
037A ₁₆	UART2送信バッファレジスタ(U2TB)
037B ₁₆	
037C ₁₆	UART2送受信制御レジスタ 0 (U2C0)
037D ₁₆	UART2送受信制御レジスタ 1 (U2C1)
037E ₁₆	UART2受信バッファレジスタ(U2RB)
037F ₁₆	
≈	
03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
03A2 ₁₆	UART0送信バッファレジスタ(U0TB)
03A3 ₁₆	
03A4 ₁₆	UART0送受信制御レジスタ 0 (U0C0)
03A5 ₁₆	UART0送受信制御レジスタ 1 (U0C1)
03A6 ₁₆	UART0受信バッファレジスタ(U0RB)
03A7 ₁₆	
03A8 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
03A9 ₁₆	UART1転送速度レジスタ(U1BRG)
03AA ₁₆	UART1送信バッファレジスタ(U1TB)
03AB ₁₆	
03AC ₁₆	UART1送受信制御レジスタ 0 (U1C0)
03AD ₁₆	UART1送受信制御レジスタ 1 (U1C1)
03AE ₁₆	UART1受信バッファレジスタ(U1RB)
03AF ₁₆	
03B0 ₁₆	UART送受信制御レジスタ 2 (UCON)
03B1 ₁₆	

図2.5.2. シリアルI/O関連レジスタのメモリ配置図

クロック非同期形シリアルI/O

UARTi送信バッファレジスタ(注1)

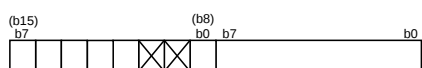


シンボル	アドレス	リセット時
U0TB	03A3 ₁₆ 、03A2 ₁₆ 番地	不定
U1TB	03AB ₁₆ 、03AA ₁₆ 番地	不定
U2TB	037B ₁₆ 、037A ₁₆ 番地	不定

機 能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	-	-

注1. このレジスタへの書き込みにはMOV命令を使用してください。

UARTi受信バッファレジスタ



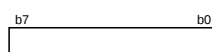
シンボル	アドレス	リセット時
U0RB	03A7 ₁₆ 、03A6 ₁₆ 番地	不定
U1RB	03AF ₁₆ 、03AE ₁₆ 番地	不定
U2RB	037F ₁₆ 、037E ₁₆ 番地	不定

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
—	—	受信データ	受信データ	○	×
		何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			-
ABT	アービトレーション ロスト検出フラグ(注2)	0: 未検出 (勝) 1: 検出 (負)	無効	○	○
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	0: オーバランエラーなし 1: オーバランエラー発生	○	×
FER	フレーミングエラー フラグ(注1)	無効	0: フレーミングエラーなし 1: フレーミングエラー発生	○	×
PER	パリティエラーフラグ(注1)	無効	0: パリティエラーなし 1: パリティエラー発生	○	×
SUM	エラーサムフラグ(注1)	無効	0: エラーなし 1: エラー発生	○	×

注1. シリアルI/Oモード選択ビット(03A0₁₆、03A8₁₆、0378₁₆番地のビット2～ビット0)を“000₂”に設定したとき、または受信許可ビットを“0”に設定したとき、ビット15～ビット12は“0”になります(ビット14～ビット12がすべて“0”になると、ビット15は“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト(03A6₁₆、03AE₁₆、037E₁₆番地)を読み出したときも、“0”になります。

注2. アービトレーションロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)



シンボル	アドレス	リセット時
U0BRG	03A1 ₁₆ 番地	不定
U1BRG	03A9 ₁₆ 番地	不定
U2BRG	0379 ₁₆ 番地	不定

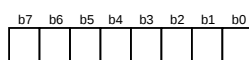
機 能	設定可能値	R	W
設定値を n とすると、BRGiはカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	×	○

注1. 値を書き込む場合は送受信停止中に書き込んでください。

注2. このレジスタへの書き込みにはMOV命令を使用してください。

図2.5.3. シリアルI/O関連のレジスタ (1)

UARTi 送受信モードレジスタ

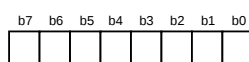


シンボル アドレス リセット時
 UiMR(i=0,1) 03A016,03A816番地 0016

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 001 を設定してください 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	0: 内部クロック 1: 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	○	○
SLEP	スリープ選択ビット	“0”を設定してください	0: スリープモード解除 1: スリープモード選択	○	○

注1. 対応する方向レジスタは“0”にしてください。

UART2送受信モードレジスタ



シンボル アドレス リセット時
 U2MR 037816番地 0016

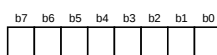
ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 001 を設定してください 000: シリアルI/Oは無効 010: (注1) 011: 設定しないでください 111: 設定しないでください	b2 b1 b0 100: 転送データ長7ビット 101: 転送データ長8ビット 110: 転送データ長9ビット 000: シリアルI/Oは無効 010: 設定しないでください 011: 設定しないでください 111: 設定しないでください	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注2)	“0”を設定してください	○	○
STPS	ストップビット長選択ビット	無効	0: 1ストップビット 1: 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0: 奇数パリティ 1: 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0: パリティ禁止 1: パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替え ビット	0: 反転なし 1: 反転あり 通常は“0”を設定してくだ さい	0: 反転なし 1: 反転あり 通常は“0”を設定してくださ い	○	○

注1. IICモード使用時、ビット2～ビット0に“010₂”を設定してください。

注2. 対応する方向レジスタは“0”にしてください。

図2.5.4. シリアルI/O関連のレジスタ (2)

UARTi 送受信制御レジスタ0



シンボル アドレス リセット時
 UiC0(i=0,1) 03A416,03AC16番地 0B16

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f1を選択 0 1 : f0を選択 1 0 : f32を選択 1 1 : 設定しないでください	b1 b0 0 0 : f1を選択 0 1 : f0を選択 1 0 : f32を選択 1 1 : 設定しないでください	○	○
CLK1				○	○
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル 入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル 入出力ポートとして機能)	○	○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネル オープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネル オープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信 データ出力、立ち 下がりで受信データ入力	“0”を設定してください	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”を設定してください	○	○

注1. 対応するポート方向レジスタは“0”にしてください。

注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0



シンボル アドレス リセット時
 U2C0 037C16番地 0B16

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース 選択ビット	b1 b0 0 0 : f1を選択 0 1 : f0を選択 1 0 : f32を選択 1 1 : 設定しないでください	b1 b0 0 0 : f1を選択 0 1 : f0を選択 1 0 : f32を選択 1 1 : 設定しないでください	○	○
CLK1				○	○
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : CTS機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル 入出力ポートとして機能)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル 入出力ポートとして機能)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。					
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信 データ出力、立ち 下がりで受信データ入力	“0”を設定してください	○	○
UFORM	転送フォーマット選択ビット (注3)	0 : LSBファースト 1 : MSBファースト	0 : LSBファースト 1 : MSBファースト	○	○

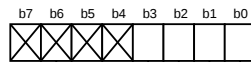
注1. 対応するポート方向レジスタは“0”にしてください。

注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図2.5.5. シリアルI/O関連のレジスタ (3)

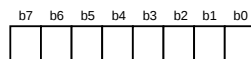
UARTi 送受信制御レジスタ1



シンボル アドレス リセット時
 UiC1(i=0,1) 03A5₁₆,03AD₁₆番地 02₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0: 送信禁止 1: 送信許可	○ ○
TI	送信バッファ空フラグ	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	○ ×
RE	受信許可ビット	0: 受信禁止 1: 受信許可	0: 受信禁止 1: 受信許可	○ ○
RI	受信完了フラグ	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	○ ×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				- -

UART2送受信制御レジスタ1



シンボル アドレス リセット時
 U2C1 037D₁₆番地 02₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R/W
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0: 送信禁止 1: 送信許可	○ ○
TI	送信バッファ空フラグ	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	○ ×
RE	受信許可ビット	0: 受信禁止 1: 受信許可	0: 受信禁止 1: 受信許可	○ ○
RI	受信完了フラグ	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	○ ×
U2IRS	UART2送信割り込み 要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○ ○
U2RRM	UART2連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	“0”を設定してください	○ ○
U2LCH	データ論理選択ビット	0: 反転なし 1: 反転あり	0: 反転なし 1: 反転あり	○ ○
U2ERE	エラー信号出力許可ビット	“0”を設定してください	0: 出力しない 1: 出力する	○ ○

図2.5.6. シリアルI/O関連のレジスタ (4)

UART送受信制御レジスタ2

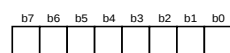
シンボル
U0CONアドレス
03B0₁₆番地リセット時
X0000000₂

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	○	○
U0RRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	"0" を設定してください	○	○
U1RRM	UART1連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	"0" を設定してください	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が"1"のとき有効 0: CLK1にクロックを出力 1: CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択 ビット1 (注1)	0: 通常モード (CLK出力はCLK1のみ) 1: 転送クロック複数端子 出力機能選択	"0" を設定してください	○	○
予約ビット		必ず"0"を設定してください。		○	○
何も配置されていない。 書き込む場合、"0"を書き込んでください。読み出した場合、その値は不定。				-	-

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。

・UART1 内/外部クロック選択ビット (03A8₁₆番地のビット3) = "0"

UART2特殊モードレジスタ

シンボル
U2SMRアドレス
0377₁₆番地リセット時
00₁₆

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
IICM	IICモード選択ビット	0: 通常モード 1: IICモード	"0" を設定してください	○	○
ABC	アービトレーション ロスト検出フラグ制御	0: ビット毎に更新 1: バイト毎に更新	"0" を設定してください	○	○
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出	"0" を設定してください	○	○ (注1)
LSYN	SCLL同期出力 許可ビット	0: 禁止 1: 許可	"0" を設定してください	○	○
ABSCS	バス衝突検出サンプリング クロック選択ビット	"0" を設定してください	0: 転送クロックの立ち上がり 1: タイマA 0のアンダフロー 信号	○	○
ACSE	送信許可ビット自動クリア 機能選択ビット	"0" を設定してください	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	"0" を設定してください	0: 通常 1: RxD2の立ち下がり	○	○
SDDS	SDAデジタル遅延 選択ビット (注2、注3)	0: アナログディレイ出力選択 1: デジタルディレイ出力選択 (IICモード時以外は"0"を設定し てください)	"0" を設定してください	○	○

注1. "0" だけ書き込み可。

注2. 本機能はIICモード時以外は"1"を書き込まないでください。通常モード時は"0"を設定してください。
本ビットが"0"の場合はUART2特殊モードレジスタ3 (U2SMR3 / 0375₁₆番地)のビット7～ビット5 (DL2～DL0 = SDA
デジタル遅延値設定ビット)が初期化され"000"となり、アナログ遅延回路が選択されます。また、SDDS = "0"の
場合にはU2SMR3の読み出し、書き込みはできません。

注3. アナログ遅延選択時はアナログ遅延値のみ、デジタル遅延選択時はデジタル遅延値のみの遅延となります。

図2.5.7. シリアルI/O関連のレジスタ (5)

クロック非同期形シリアルI/O

2.5.2 シリアルI/O動作 (クロック非同期形シリアルI/Oモードの送信)

クロック非同期形シリアルI/Oモードの送信では、表2.5.4に示す項目の中から機能を選択できます。ここでは、表2.5.4に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.5.8に動作タイミングを、図2.5.9、図2.5.10に設定手順を示します。

表2.5.4. 設定内容

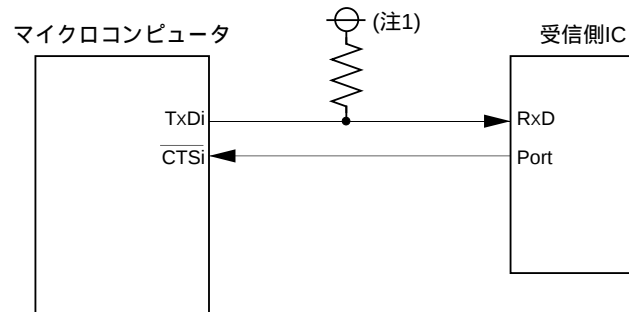
設定項目		設定内容	設定項目	設定内容	
転送クロックソース (注1)	○	内部クロック(f ₁ / f ₈ / f ₃₂)	スリープモード (注1)	○	スリープモード解除
		外部クロック(CLK _i 端子)			スリープモード選択
CTS機能	○	CTS機能許可	シリアルデータ論理 切り替え機能 (注2)	○	反転なし
		CTS機能禁止			反転あり
送信割り込み要因		送信バッファ空	TxD, RxD入出力極性 切り替え機能 (注2)	○	反転なし
					反転あり
	○	送信完了	バス衝突検出機能 (注2)	○	使用しない
					使用する

注1. UART0, UART1だけ選択できます。

注2. UART2だけ選択できます。

- 動作
- (1) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。
 - (2) CTSi端子の入力が“L”レベルになると送信を開始します(CTSi端子は、受信側で制御する必要があります)。
 - (3) UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、送信データの1ビット目(スタートビット)がTxDi端子から送信されます。そして、データビット(LSB)→・・・→データビット(MSB)→パリティビット→ストップビットの順に1ビットずつ送信されます。
 - (4) ストップビットを送信すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。同時に、UARTi送信割り込み要求ビットが“1”になります。また、転送クロックは“H”レベルで停止します。
 - (5) 送信完了時に次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。

結線例



注1. TxD₂端子はNチャネルオープンドレインのためプルアップ抵抗が必要です。

動作例

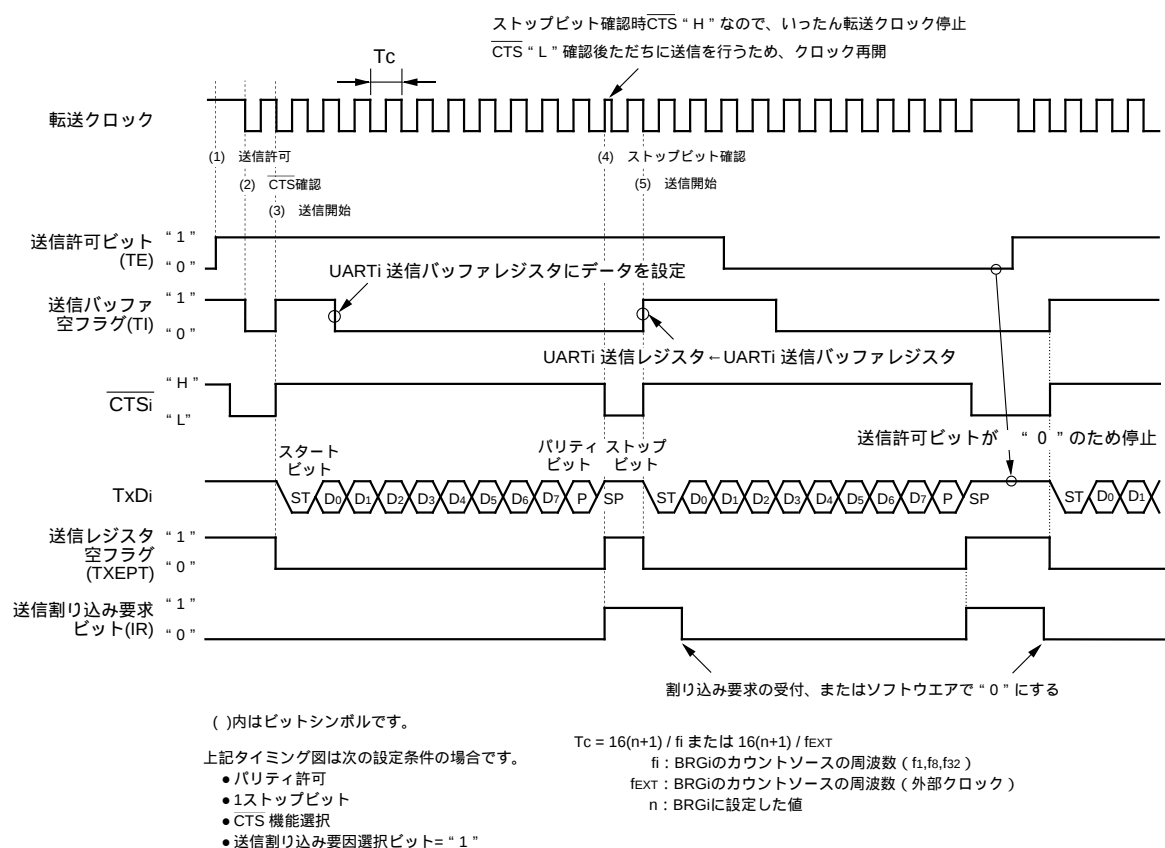


図2.5.8. クロック非同期形シリアルI/Oモードの送信動作タイミング図

クロック非同期形シリアルI/O

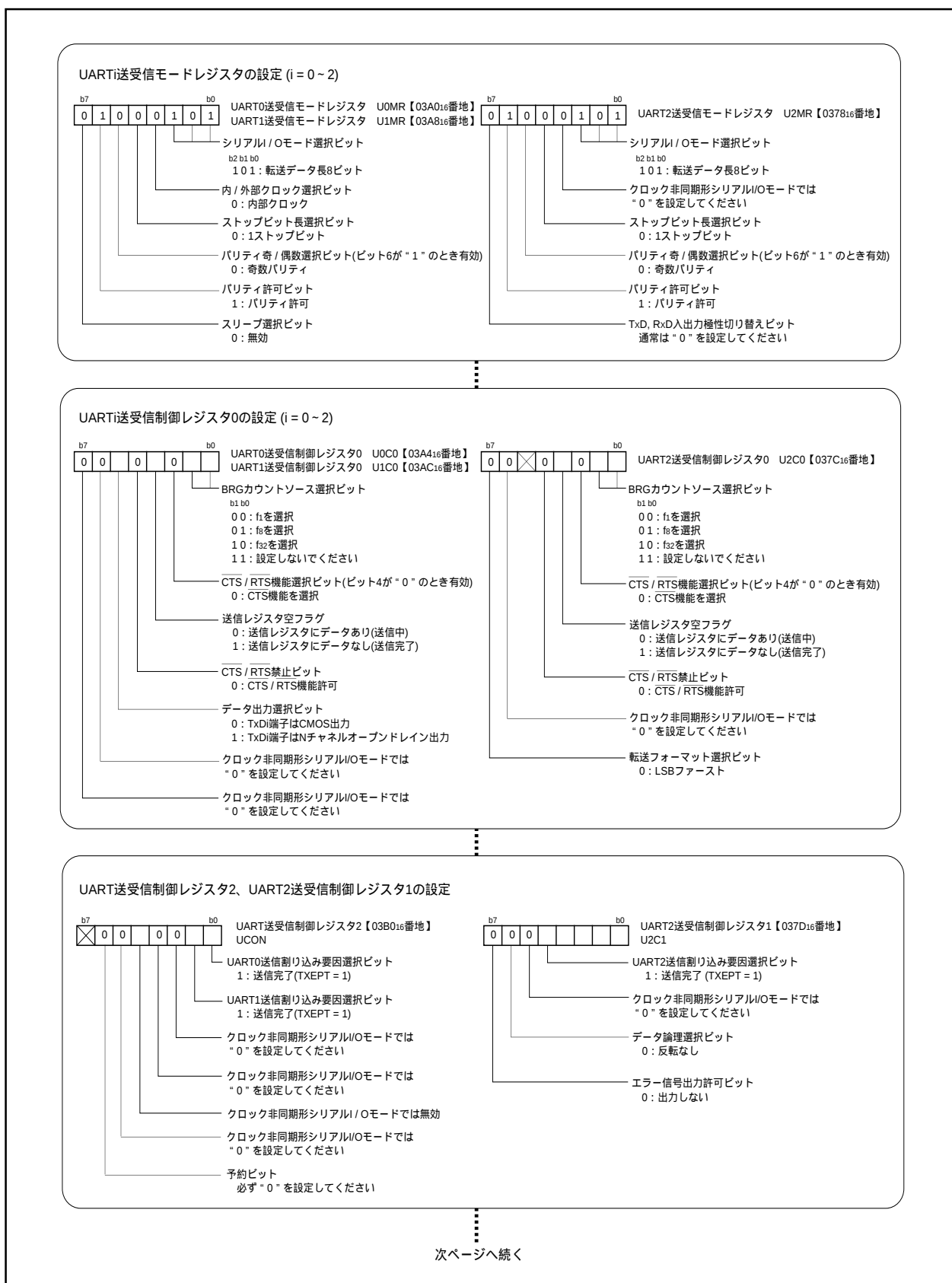


図2.5.9. クロック非同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(1)

クロック非同期形シリアルI/O

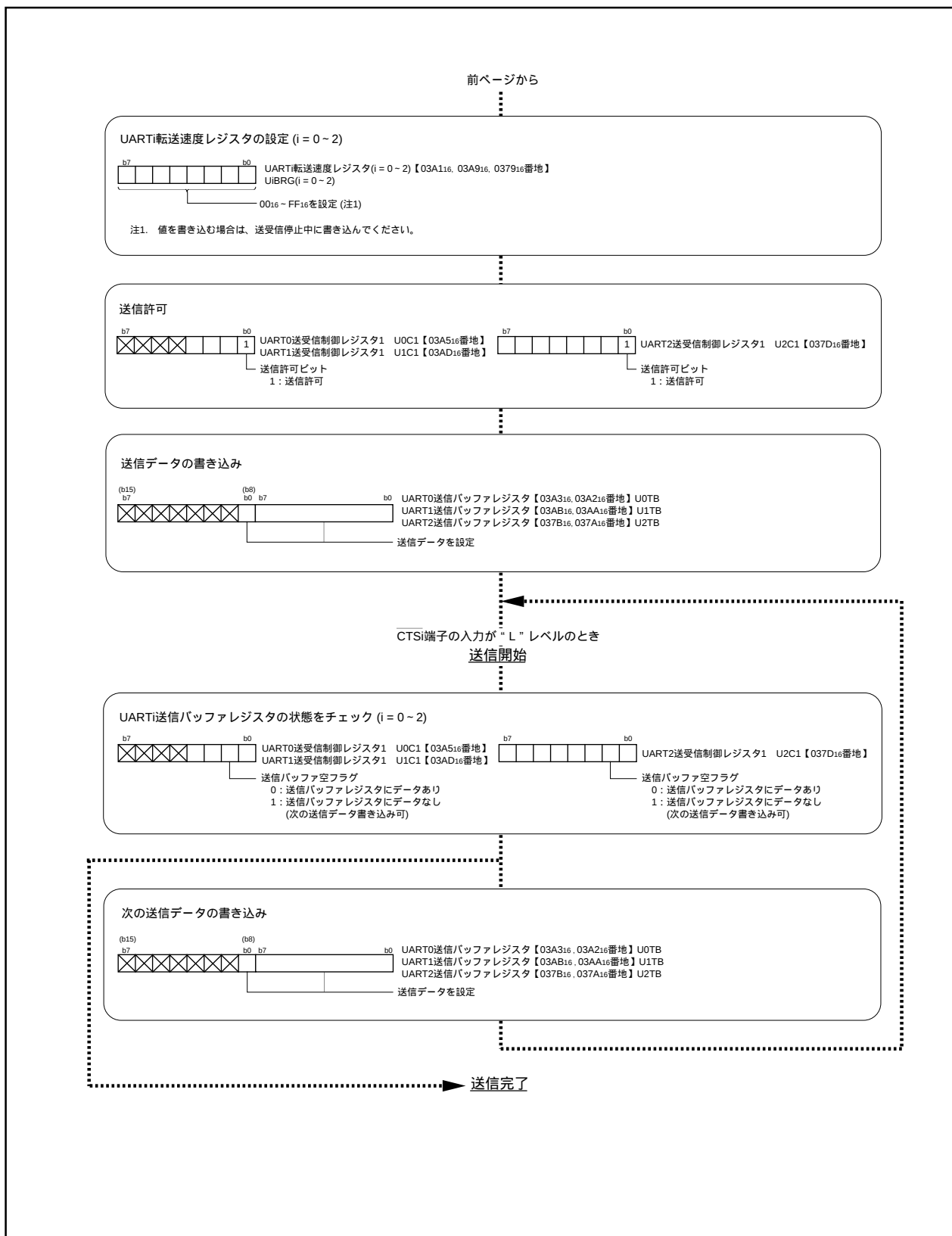


図2.5.10. クロック非同期形シリアルI/Oモードの送信時のレジスタ設定手順(2)

クロック非同期形シリアルI/O

2.5.3 シリアルI/O動作 (クロック非同期形シリアルI/Oモードの受信)

クロック非同期形シリアルI/Oモードの受信では、表2.5.5に示す項目の中から機能を選択できます。ここでは、表2.5.5に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.5.11に動作タイミングを、図2.5.12、図2.5.13に設定手順を示します。

表2.5.5. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース (注1)	○ 内部クロック($f_1 / f_8 / f_{32}$)	シリアルデータ論理 切り替え機能 (注2)	○ 反転なし
	外部クロック(CLKi端子)		反転あり
RTS機能	○ RTS機能許可	TxD, RxD入出力極性 切り替え機能 (注2)	○ 反転なし
	RTS機能禁止		反転あり
スリープモード (注1)	○ スリープモード解除	バス衝突検出機能 (注2)	○ 使用しない
	スリープモード選択		使用する

注1. UART0, UART1だけ選択できます。

注2. UART2だけ選択できます。

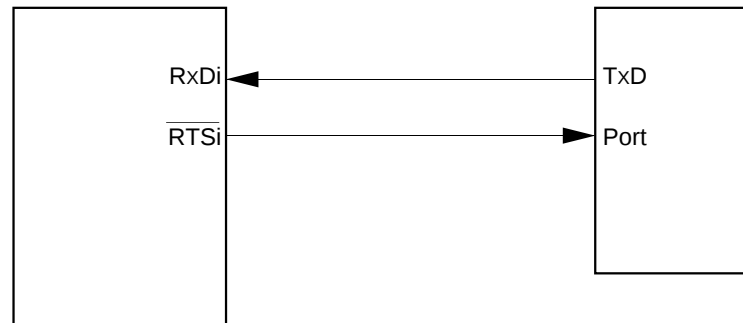
- 動作
- (1) 受信許可ビットを“1”にすると受信できる状態になります。同時に、RTSi端子の出力が“L”レベルになり、受信できる状態になったことを送信側に知らせます。
 - (2) 受信データの1ビット目(スタートビット)がRxDi端子から受信されるとRTSの出力が“H”レベルになります。その後、データビット(LSB)→・・・→データビット(MSB)→ストップビットの順に1ビットずつ受信されます。
 - (3) ストップビットを受信すると、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。
同時に以下ようになります。
受信完了フラグが“1”になり、受信が完了したことを示します。
UARTi受信割り込み要求ビットが“1”になります。
RTS端子の出力レベルは“L”になります。
 - (4) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。

クロック非同期形シリアルI/O

結線例

マイクロコンピュータ

送信側IC



動作例

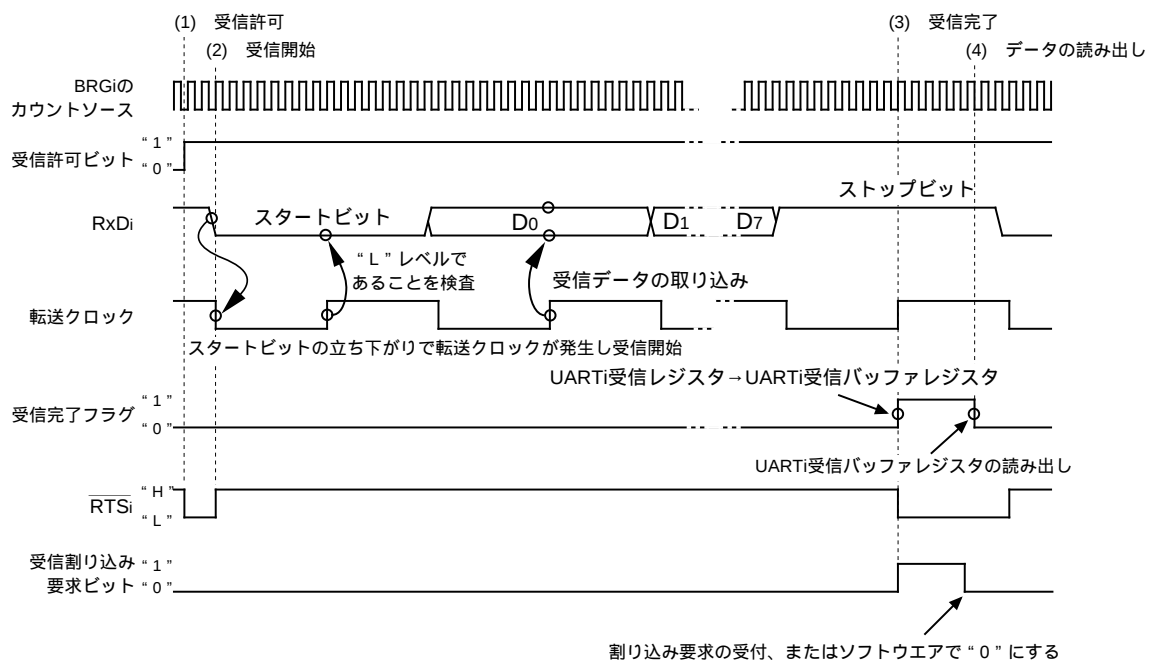


図2.5.11 クロック非同期形シリアルI/Oモードの受信動作タイミング図

クロック非同期形シリアルI/O

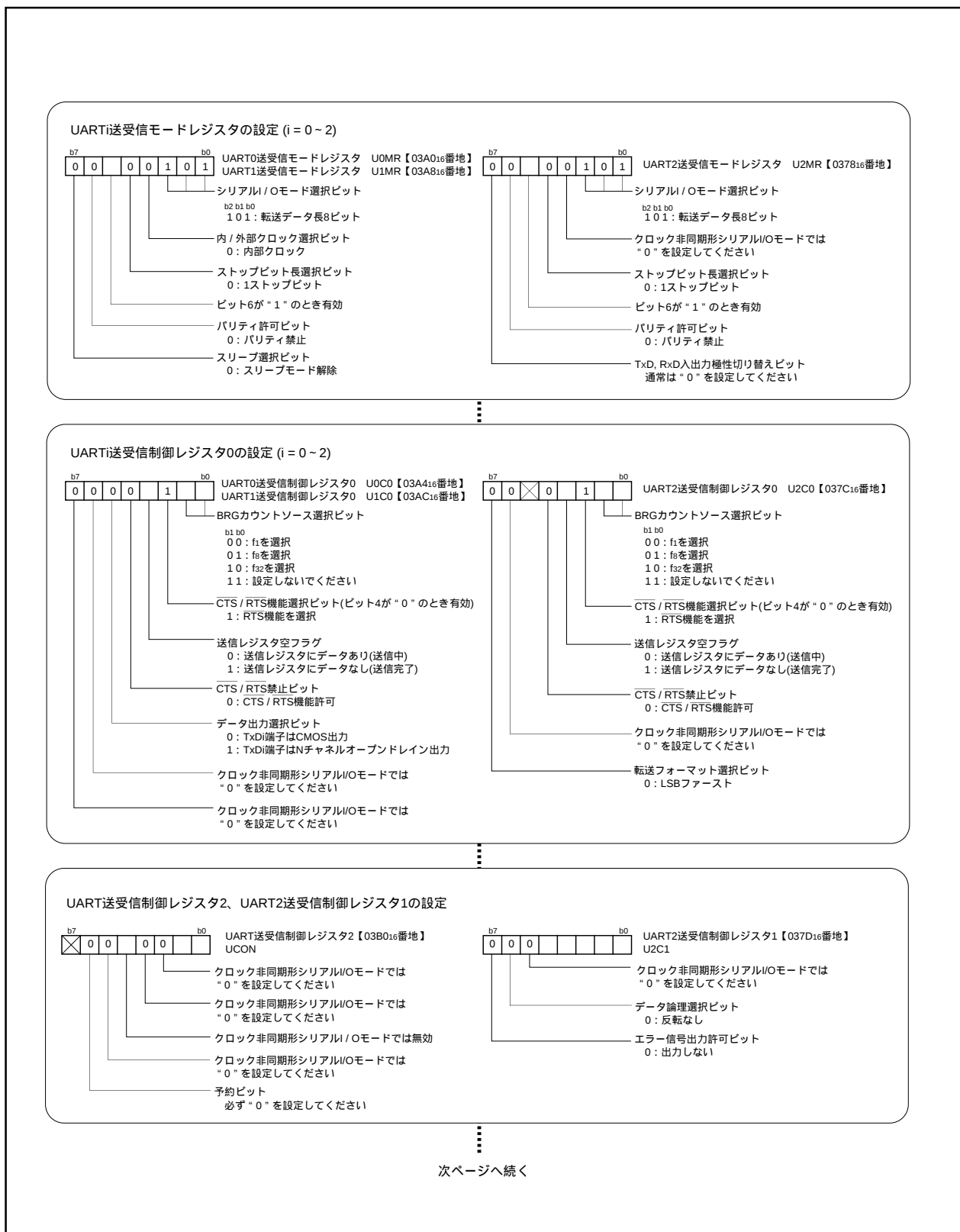


図2.5.12. クロック非同期形シリアルI/Oモードの受信時のレジスタ設定手順(1)

クロック非同期形シリアルI/O

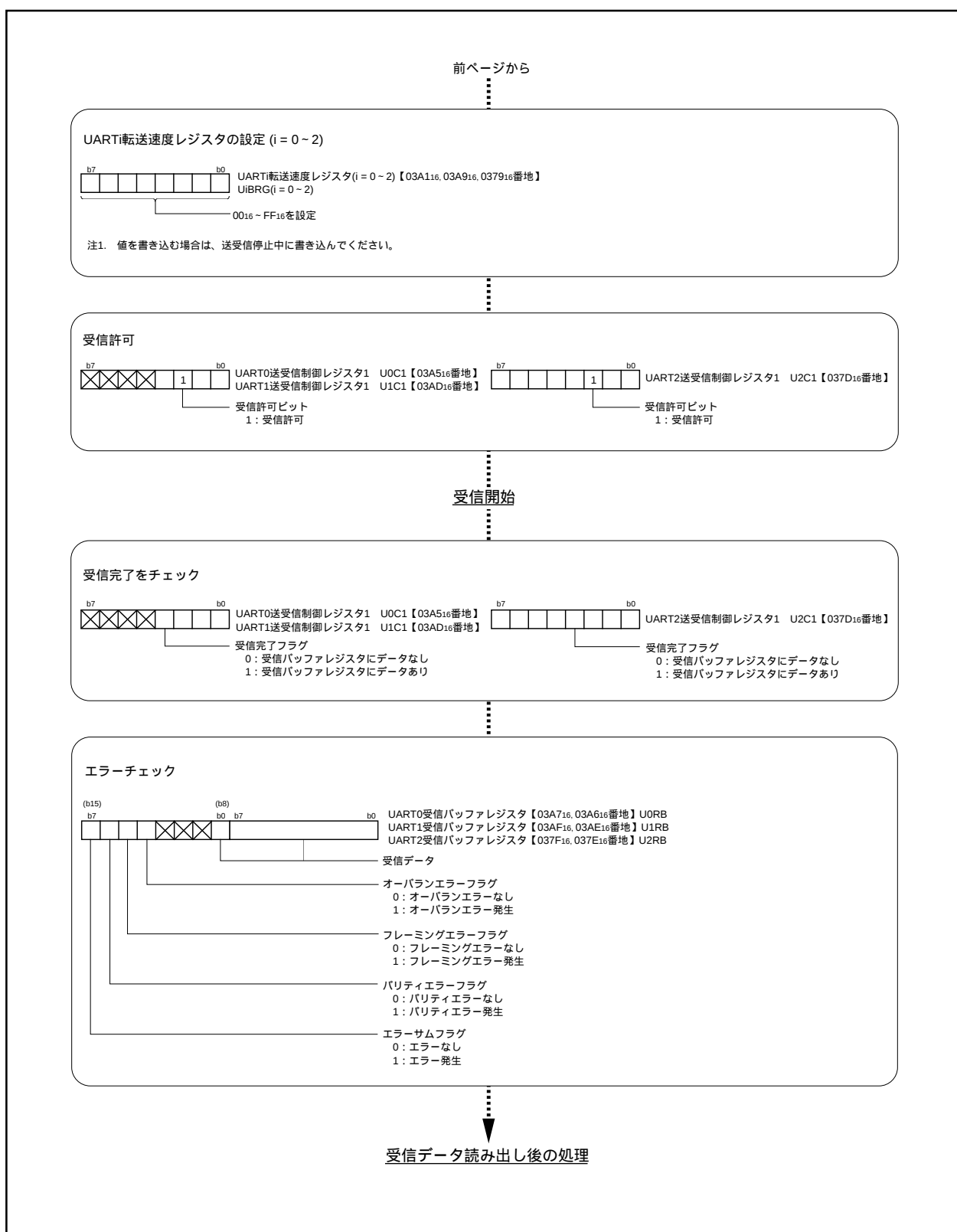


図2.5.13. クロック非同期形シリアルI/Oモードの受信時のレジスタ設定手順(2)

クロック非同期形シリアルI/O

2.5.4 シリアルI/O動作 (SIMインタフェース対応時の送信)

クロック非同期形シリアルI/Oモード(SIMインタフェース対応)の送信では、表2.5.6に示す項目の中から機能を選択できます。ここでは、表2.5.6に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.5.14に動作タイミングを、図2.5.15、図2.5.16に設定手順を示します。

表2.5.6. 設定内容

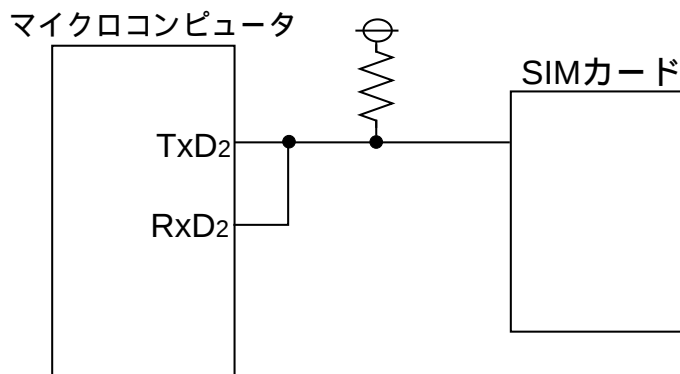
設定項目	設定内容	
転送データ フォーマット	○	ダイレクトフォーマット
		インバースフォーマット

- 動作
- (1) 送信許可ビットおよび受信許可ビットを“1”にし、UART2送信バッファレジスタに送信データを書き込むと送信できる状態になります。また、UART2送信割り込みは許可にする必要があります。
 - (2) UART2送信バッファレジスタに入っている送信データがUART2送信レジスタに転送されます。同時に、送信データの1ビット目(スタートビット)がTxD2端子から送信されます。そして、データビット(LSB)→・・・→データビット(MSB)→パリティビット→ストップビットの順に1ビットずつ送信されます。
 - (3) ストップビットを送信すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。同時に、UART2送信割り込み要求ビットが“1”になります。また、転送クロックは“H”レベルで停止します。
 - (4) 送信完了時に次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。
 - (5) パリティエラーが発生した場合、SIMカードから“L”が出力され、RxD2端子は“L”になります。UART2送信割り込みルーチン内でRxD2端子のレベルを確認し、“L”の場合、エラー処理をしてください。

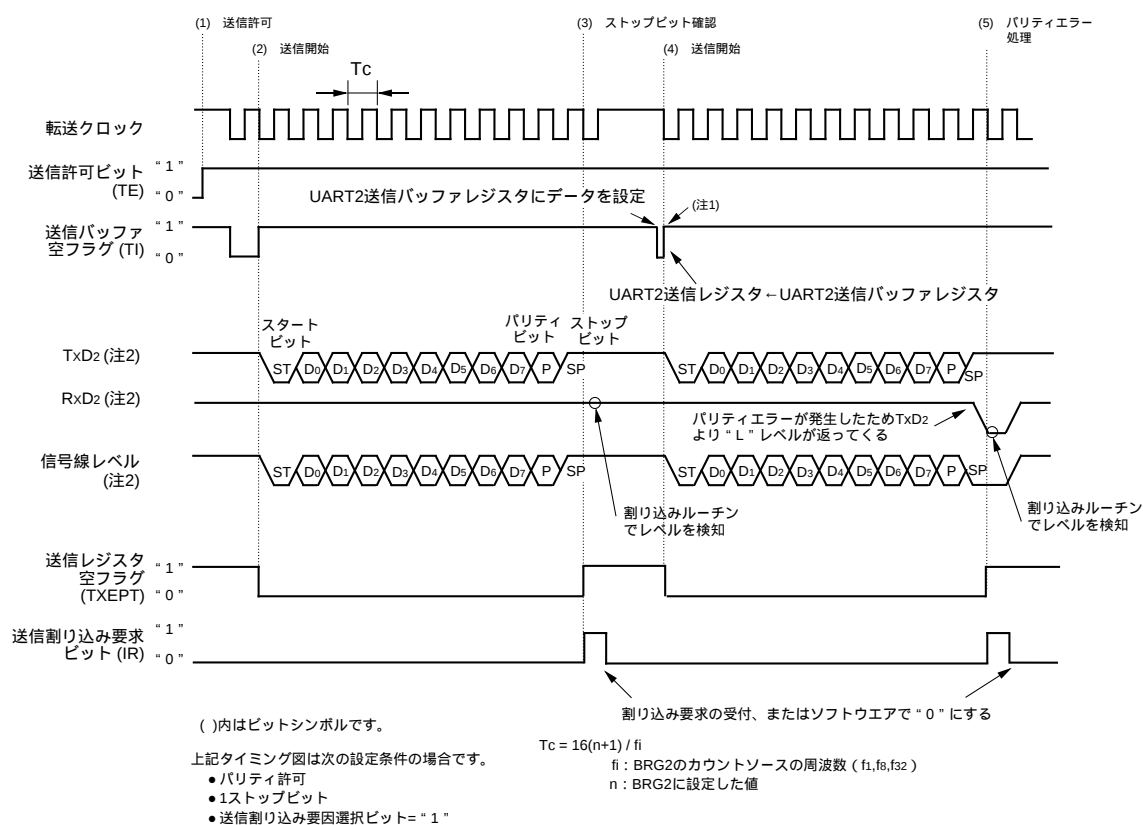
- 補足説明
- ・UART2送信割り込みの中でパリティエラーのレベルを判断します。送信割り込み要求ビットが発生したときに、すぐに割り込みルーチンが実行できるように、送信割り込みの優先レベルは他の割り込みより高く設定してください。また、メインルーチン、割り込みルーチンの中でも割り込み禁止時間を極力少なくする必要があります。
 - ・RxD2端子の方向レジスタは入力に設定してください。

クロック非同期形シリアルI/O

結線例



動作例(ダイレクトフォーマットの場合)



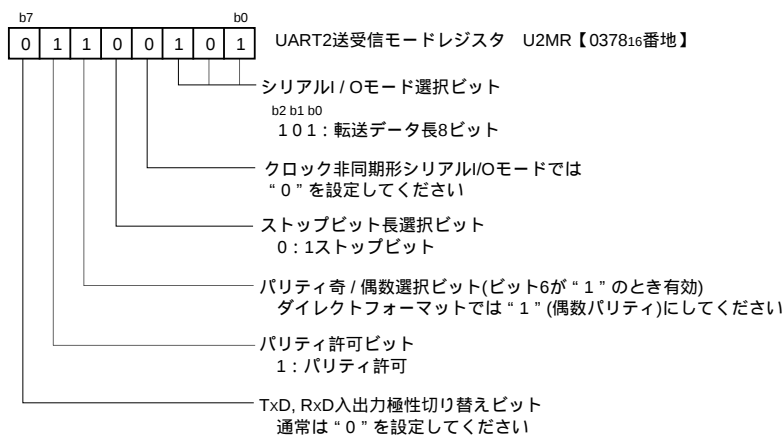
注1. 上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。

注2. TxD2とRxD2は結線図で示したとおり、ワイヤードORで結ばれます。そのため、本来ならばTxD2とRxD2は同じ信号になるべきですが、出力信号がわかりにくくなるため、出力信号を別々に示します。また、TxD2とRxD2をつないだ信号のレベルは信号線レベルとして示します。

図2.5.14. クロック非同期形シリアルI/Oモード(SIMインタフェース対応)の送信動作タイミング図

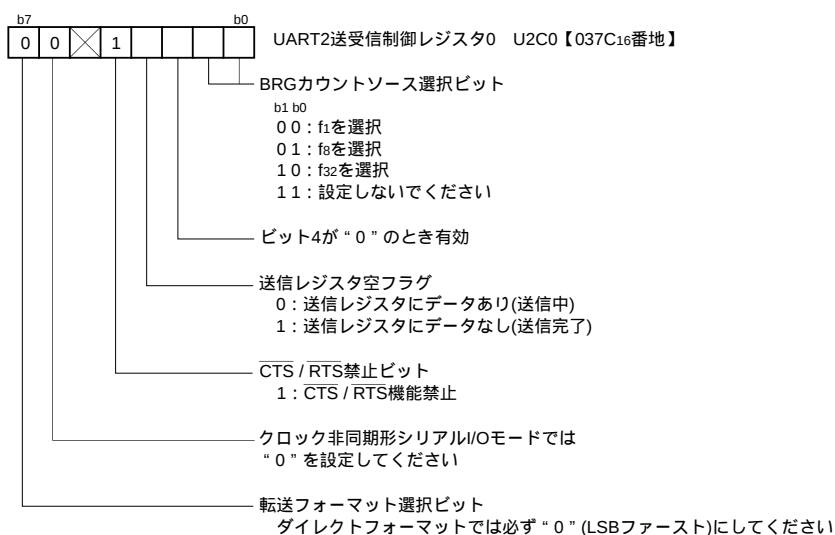
クロック非同期形シリアルI/O

UART2送受信モードレジスタの設定



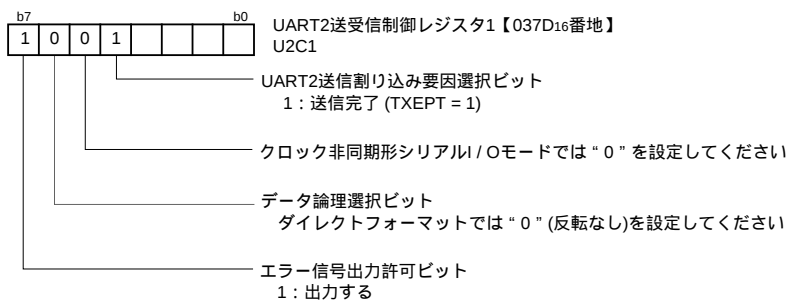
⋮

UART2送受信制御レジスタ0の設定



⋮

UART2送受信制御レジスタ1の設定



⋮

次ページへ続く

図2.5.15. クロック非同期形シリアルI/Oモード(SIMインタフェース対応)の送信動作時のレジスタ設定手順(1)

クロック非同期形シリアルI/O

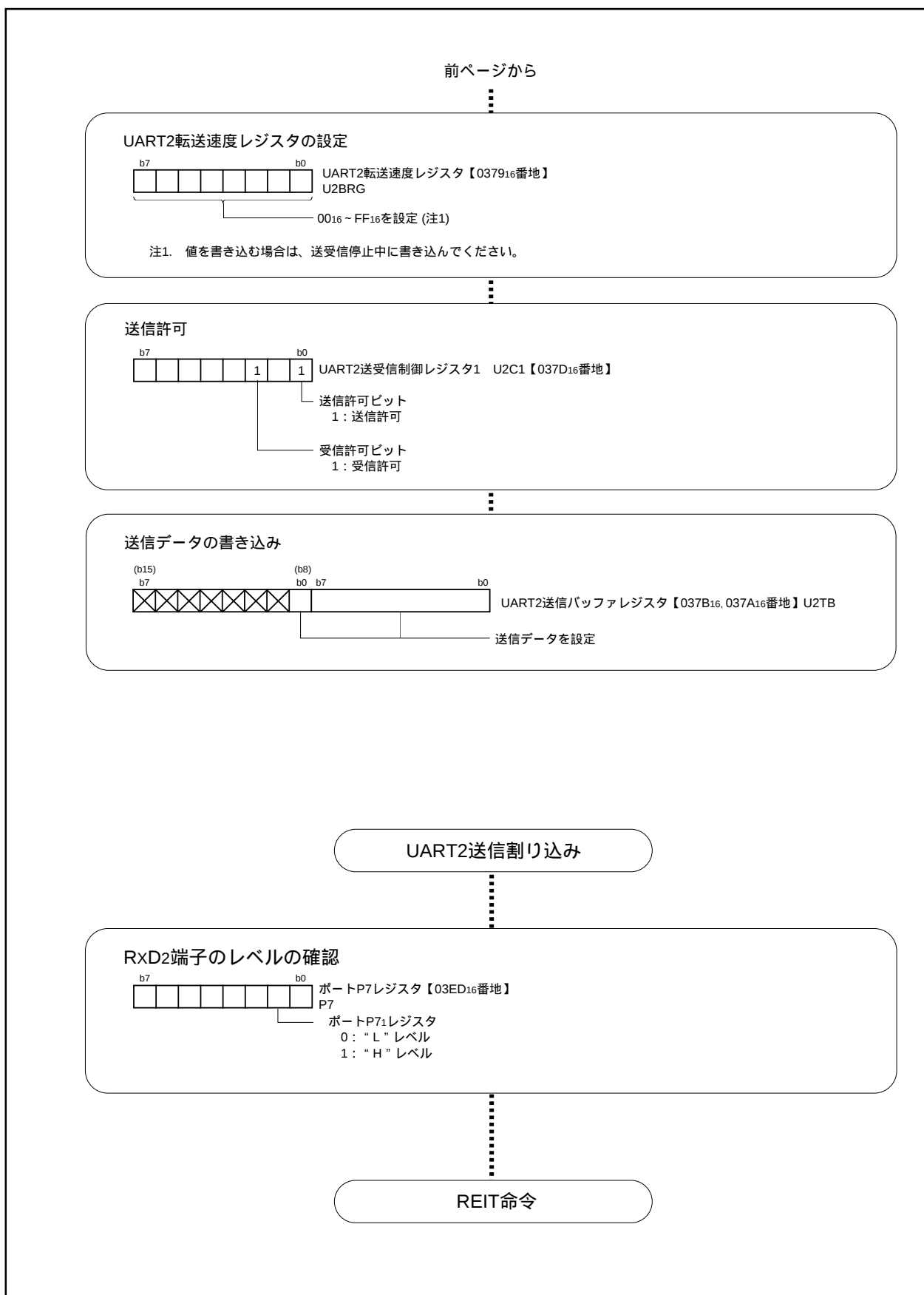


図2.5.16. クロック非同期形シリアルI/Oモード(SIMインタフェース対応)の送信動作時のレジスタ設定手順(2)

クロック非同期形シリアルI/O

2.5.5 シリアルI/O動作 (SIMインタフェース対応時の受信)

クロック非同期形シリアルI/Oモード(SIMインタフェース対応時)の受信では、表2.5.7に示す項目の中から機能を選択できます。ここでは、表2.5.7に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.5.17に動作タイミングを、図2.5.18、図2.5.19に設定手順を示します。

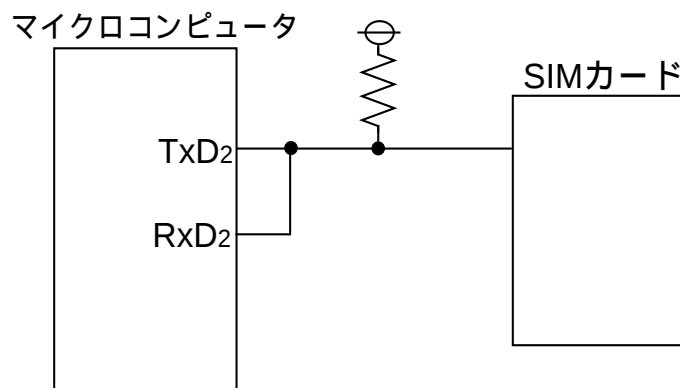
表2.5.7. 設定内容

設定項目	設定内容	
転送データ フォーマット	○	ダイレクトフォーマット
		インバースフォーマット

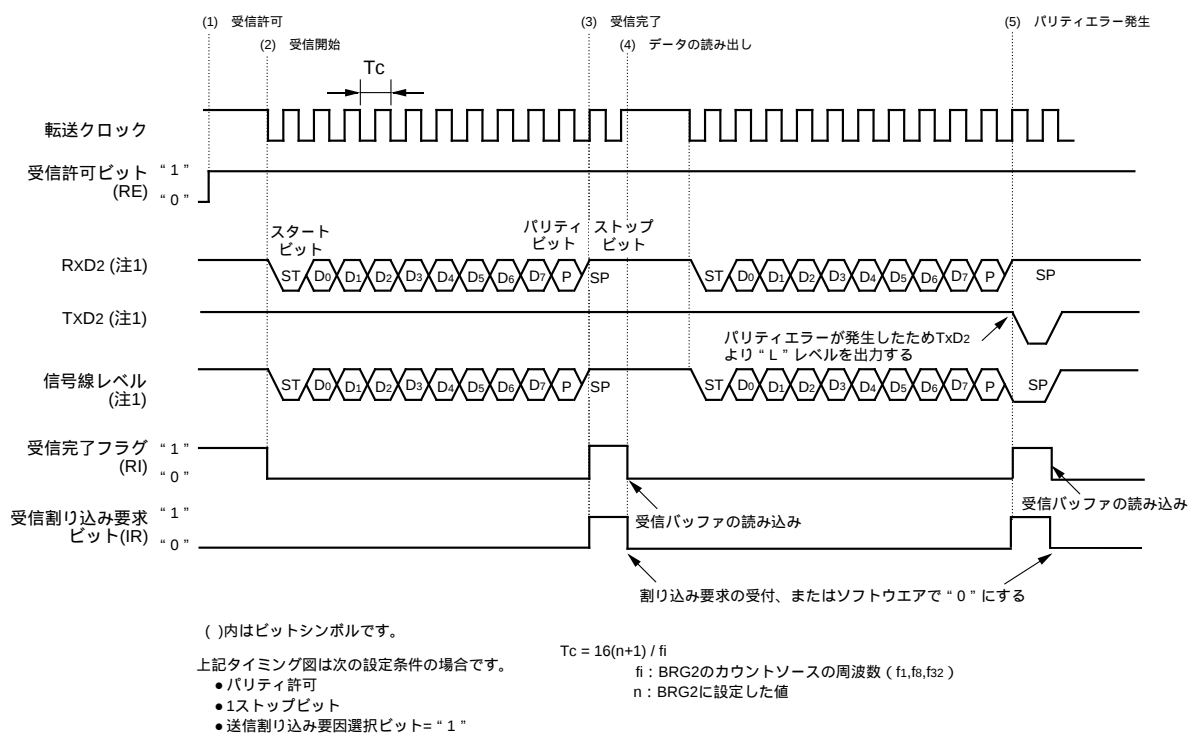
- 動作
- (1) 送信許可ビットおよび受信許可ビットを“1”にすると受信できる状態になります。
 - (2) 受信データの1ビット目(スタートビット)がRx/D2端子から受信されるとデータビット(LSB)→・・・→データビット(MSB)→パリティビット→ストップビットの順に1ビットずつ受信されます。
 - (3) ストップビットを受信すると、UART2受信レジスタの内容はUART2受信バッファレジスタに転送されます。
同時に以下のようになります。
受信完了フラグが“1”になり、受信が完了したことを示します。
UART2受信割り込み要求ビットが“1”になります。
 - (4) 受信完了フラグはUART2受信バッファレジスタの下位バイトを読み出したとき“0”になります。
 - (5) パリティエラーが発生すると、Tx/D2端子が“L”レベルになります。

クロック非同期形シリアルI/O

結線例



動作例(ダイレクトフォーマットの場合)

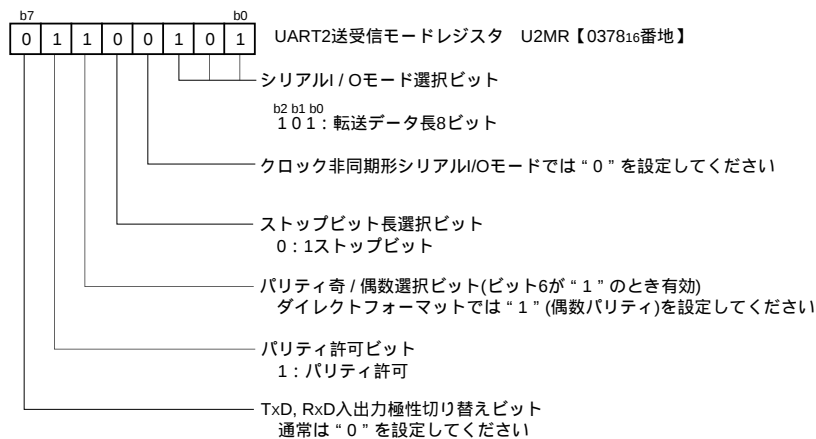


注1. TxD2とRxD2は結線図で示したとおり、ワイヤードORで結ばれます。そのため、本来ならばTxD2とRxD2は同じ信号になるべきですが、出力信号がわかりにくくなるため、出力信号を別々に示します。また、TxD2とRxD2をつないだ信号のレベルは信号線レベルとして示します。

図2.5.17. クロック非同期形シリアルI/Oモード(SIMインタフェース対応時)の受信動作タイミング図

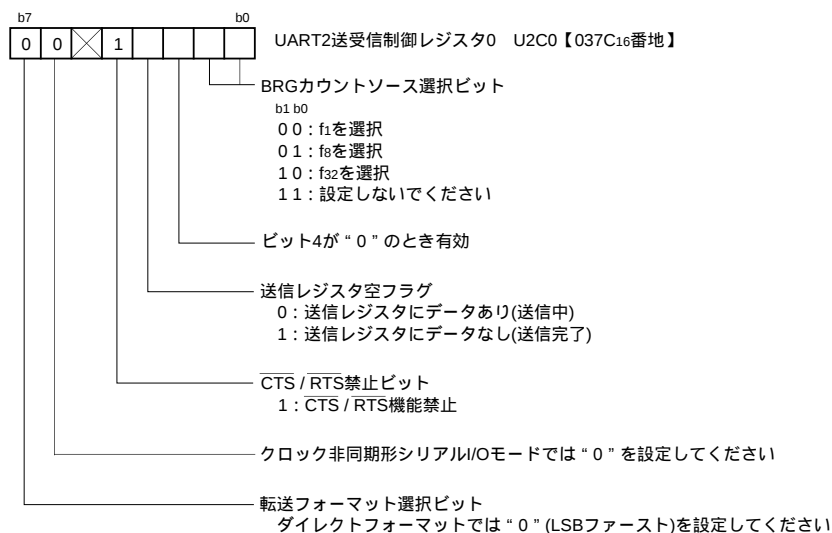
クロック非同期形シリアルI/O

UART2送受信モードレジスタの設定



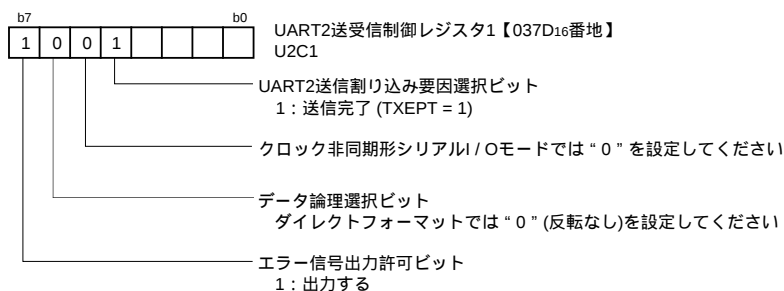
⋮

UART2送受信制御レジスタ0の設定



⋮

UART2送受信制御レジスタ1の設定



⋮

次ページへ続く

図2.5.18. クロック非同期形シリアルI/Oモード(SIMインタフェース対応時)の受信動作時のレジスタ設定手順(1)

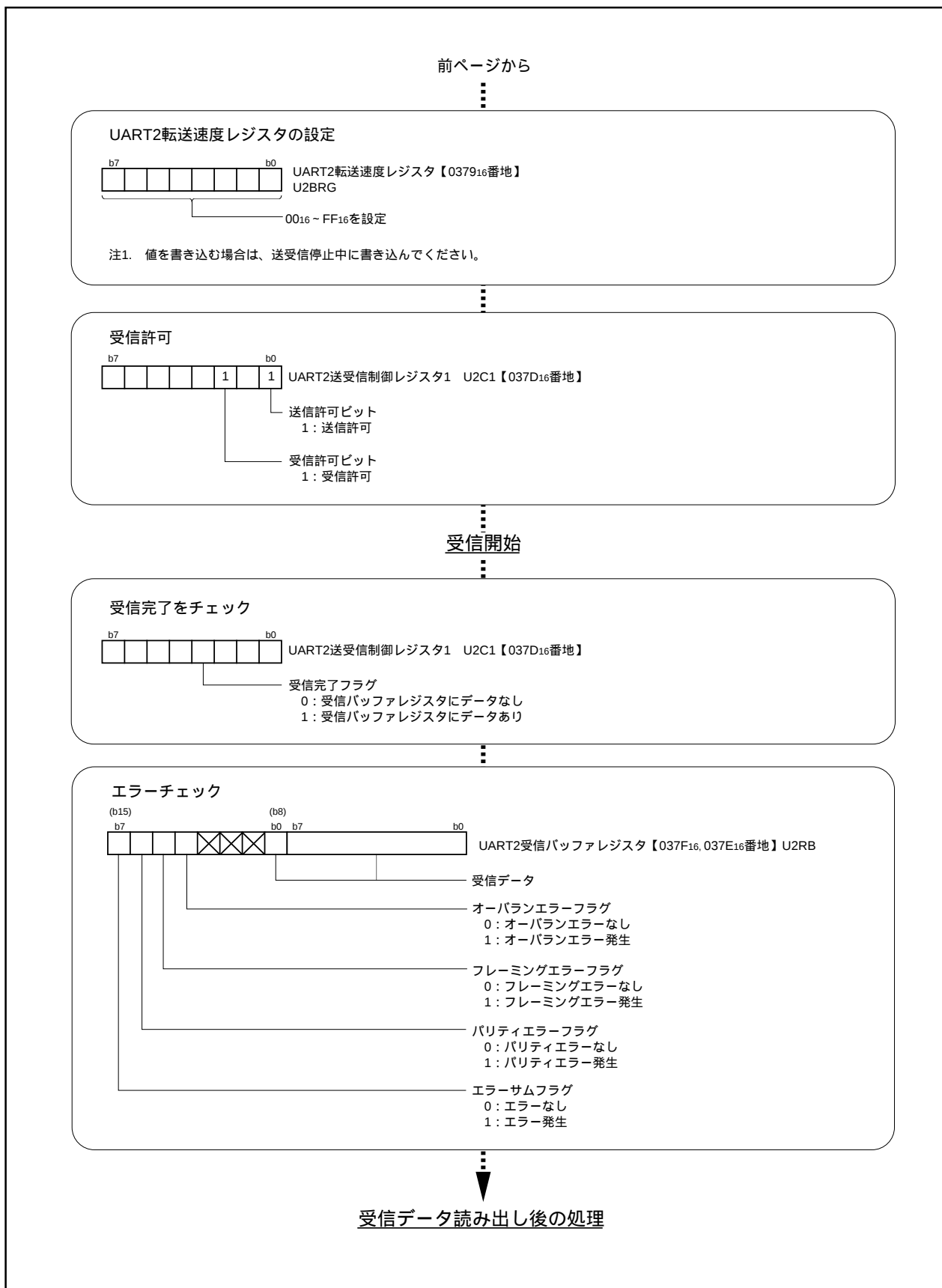


図2.5.19. クロック非同期形シリアルI/Oモード(SIMインタフェース対応時)の受信動作時のレジスタ設定手順(2)

2.5.6 SIMインタフェース対応時のクロック

SIMインタフェース対応時、SIMカード内のUARTクロックと、マイコン内部のUART2クロックが一致する必要があります。マイコン内部のUART2クロックの作成方法として、2つの例をあげます。

- ・UART2クロックの分周比に $(1/256 \times 1/16)$ 以下の値を設定する場合
UARTのソースクロックとしてf1を選択し、転送速度レジスタの設定値により対応できます。
- ・UART2クロックの分周比に $(1/256 \times 1/16)$ 以上の値を設定する場合
転送速度レジスタに0を設定し、ソースクロックをタイマ出力とし、このタイマの設定値により対応できます。なお、この場合、1バイトのデータ転送をするごとにシリアルI/Oモード選択ビットを000₂にし、UART2送受信モードレジスタを再設定する必要があります。

FをSIMカードの内部クロック、Dをビットレート調整因子とすると、UARTクロックの計算式は以下ようになります。図2.5.20に接続例を示します。

- ・UART2クロックの分周比に $(1/256 \times 1/16)$ 以下の値を設定する場合

マイコン内部のUART2クロック = SIMカード内部のUARTクロック

$$f1 \times \frac{1}{\text{転送速度レジスタ} + 1} \times \frac{1}{16} = f1 \times \frac{1}{\text{タイマAiカウンタ} + 1} \times \text{フリップフロップ} \times \frac{1}{F/D}$$

X_{IN} = 16MHz、タイマAiカウンタ = 1、F = 372、D = 1としたとき、転送速度レジスタに設定する値は、

$$16 \times \frac{1}{\text{転送速度レジスタ} + 1} \times \frac{1}{16} = 16 \times \frac{1}{2} \times \frac{1}{2} \times \frac{1}{372/1}$$

転送速度レジスタ = 92

表2.5.8にUART2転送速度レジスタ設定値の例を示します。

- ・UART2クロックの分周比に $(1/256 \times 1/16)$ 以上の値を設定する場合

マイコン内部のUART2クロック = SIMカード内部のUARTクロック

$$f1 \times \frac{1}{\text{タイマAjカウンタ} + 1} \times \frac{\text{フリップフロップ}}{\text{フリップ}} \times \frac{1}{\text{転送速度レジスタ} + 1} \times \frac{1}{16}$$

$$= f1 \times \frac{1}{\text{タイマAiカウンタ} + 1} \times \frac{\text{フリップフロップ}}{\text{フリップ}} \times \frac{1}{F/D}$$

X_{IN} = 16MHz、タイマAiカウンタ = 3、転送速度レジスタ = 0、F = 1860、D = 1としたとき、タイマAjカウンタに設定する値は、

$$16 \times \frac{1}{\text{タイマAjカウンタ} + 1} \times \frac{1}{2} \times \frac{1}{0 + 1} \times \frac{1}{16} = 16 \times \frac{1}{3 + 1} \times \frac{1}{2} \times \frac{1}{1860/1}$$

タイマAjカウンタ = 464

表2.5.9にタイマAjレジスタ設定値の例を示します。

クロック非同期形シリアルI/O

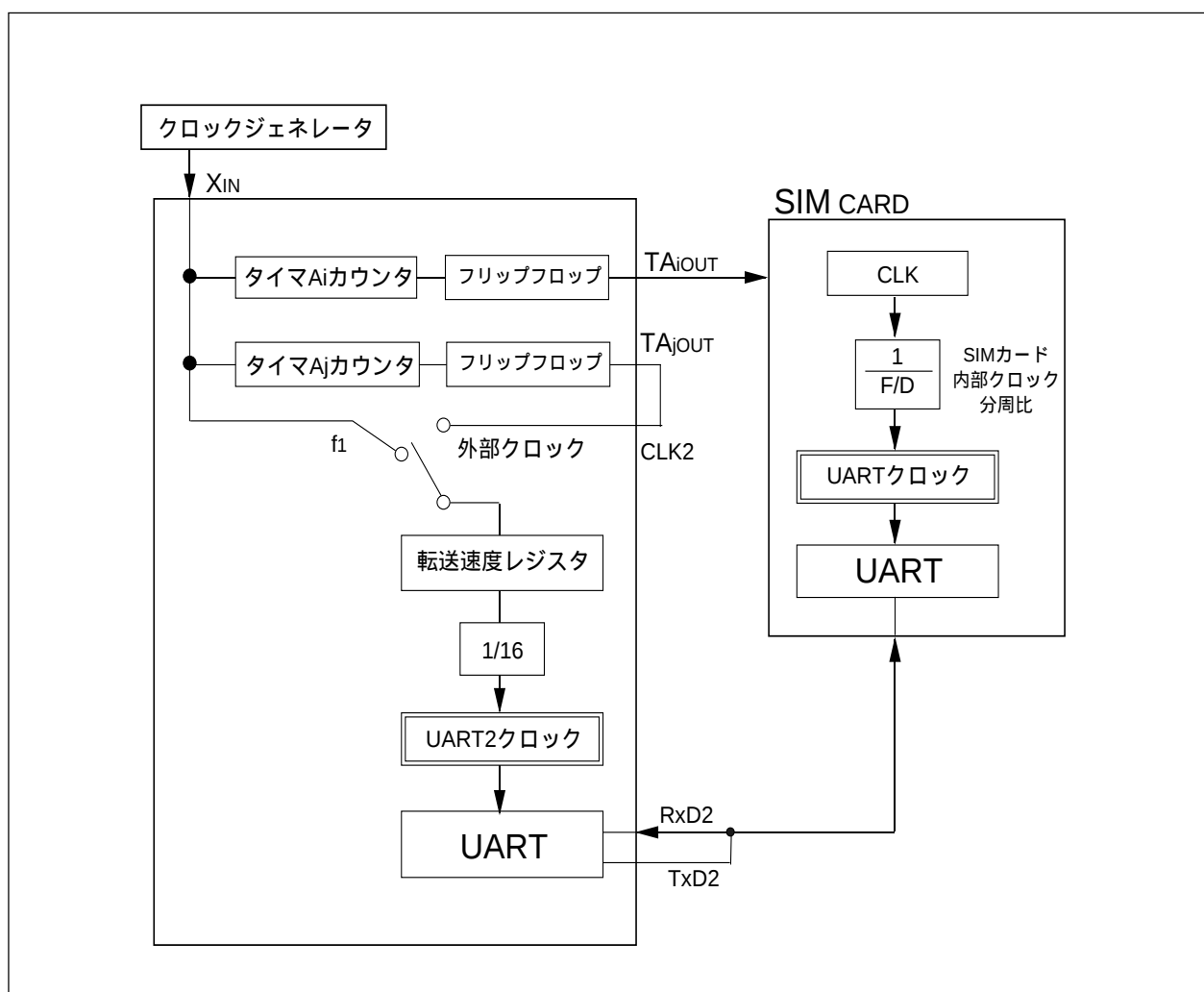


図2.5.20. 接続例

クロック非同期形シリアルI/O

表2.5.8. UART2転送速度レジスタ設定値の例

SIMカードの内部 クロックF(Hz)	ビットレート 調整因子D	F/D	UART2転送速度 レジスタ設定値	SIMカードの内部 クロックF(Hz)	ビットレート 調整因子D	F/D	UART2転送速度 レジスタ設定値
372	1	372	92	1116	1	1116	
	2	186			2	558	
	4	93			4	279	
	8				8		
	16				16		
	1/2	744	185		1/2	2232	
	1/4	1488			1/4	4464	
	1/8	2976			1/8	8928	
	1/16	5952			1/16	17856	
	1/32	11904			1/32	35712	
	1/64	23808			1/64	71424	
558	1	558		1488	1	1488	
	2	279			2	744	185
	4				4	372	92
	8				8	186	
	16				16	93	
	1/2	1116			1/2	2976	
	1/4	2232			1/4	5952	
	1/8	4464			1/8	11904	
	1/16	8928			1/16	23808	
	1/32	17856			1/32	47616	
	1/64	35712			1/64	95232	
744	1	744	185	1860	1	1860	
	2	372	92		2	930	
	4	186			4	465	
	8	93			8		
	16				16		
	1/2	1488			1/2	3720	
	1/4	2976			1/4	7440	
	1/8	5952			1/8	14880	
	1/16	11904			1/16	29760	
	1/32	23808			1/32	59520	
	1/64	47616			1/64	119040	

対応不可能な組み合わせ

F/D自体が整数とならない組み合わせ

下記条件での設定例です。

$f(X_{IN})=16\text{MHz}$ 、タイマAiカウンタの設定値 = 1

クロック非同期形シリアルI/O

表2.5.9. タイマAjレジスタ設定値の例

SIMカードの内部 クロックF(Hz)	ビットレート 調整因子D	F/D	タイマAjレジスタ 設定値	SIMカードの内部 クロックF(Hz)	ビットレート 調整因子D	F/D	タイマAjレジスタ 設定値
372	1	372	92	1116	1	1116	278
	2	186			2	558	
	4	93			4	279	
	8				8		
	16				16		
	1/2	744	185		1/2	2232	557
	1/4	1488	371		1/4	4464	1115
	1/8	2976	743		1/8	8928	2231
	1/16	5952	1487		1/16	17856	4463
	1/32	11904	2975		1/32	35712	8927
	1/64	23808	5951		1/64	71424	17855
558	1	558		1488	1	1488	371
	2	279			2	744	185
	4				4	372	92
	8				8	186	
	16				16	93	
	1/2	1116	278		1/2	2976	743
	1/4	2232	557		1/4	5952	1487
	1/8	4464	1115		1/8	11904	2975
	1/16	8928	2231		1/16	23808	5951
	1/32	17856	4463		1/32	47616	11903
	1/64	35712	8927		1/64	95232	23807
744	1	744	185	1860	1	1860	464
	2	372	92		2	930	
	4	186			4	465	
	8	93			8		
	16				16		
	1/2	1488	371		1/2	3720	929
	1/4	2976	743		1/4	7440	1859
	1/8	5952	1487		1/8	14880	3719
	1/16	11904	2975		1/16	29760	7439
	1/32	23808	5951		1/32	59520	14879
	1/64	47616	11903		1/64	119040	29759

対応不可能な組み合わせ

F/D自体が整数とならない組み合わせ

下記条件での設定例です。

$f(X_{IN})=16\text{MHz}$ 、タイマAiカウンタの設定値 = 3、転送速度レジスタの設定値=0

クロック非同期形シリアルI/O

2.5.7 転送速度の誤差許容範囲

受信時、RxDi 端子に入力される受信データは、転送クロックの立ち上がりで取り込まれます。したがって、データを正しく受信するためには、一組の受信データの最後の転送クロックが立ち上がるときに、ストップビットが入力されている必要があります。図2.5.21に転送クロックと受信データの関係を示します。

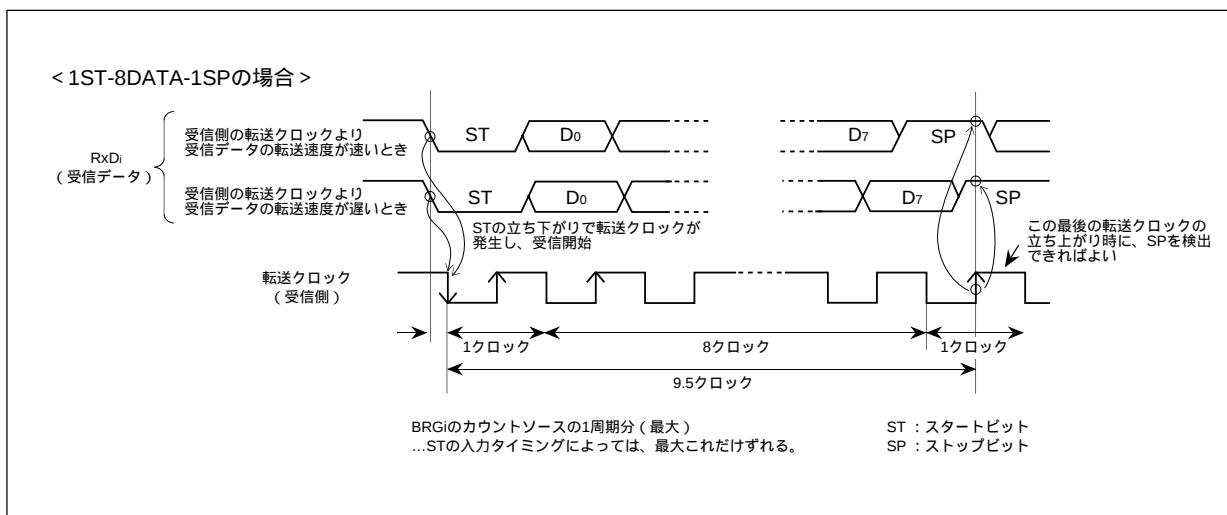


図2.5.21 転送クロックと受信データの関係

したがって、データを正しく受信するためには、受信側 / 送信側の転送速度が次式の関係を満たしている必要があります。

$$\left(\frac{1}{B_t} \times (b - 1) + \frac{1}{F} \right) < \left(\frac{1}{B_r} \times (b - 0.5) + \frac{1}{F} \right) < \left(\frac{1}{B_t} \times b \right)$$

Br : 受信側の転送速度 [bps]

Bt : 送信側の転送速度 [bps]

F : 受信側のBRGiのカウントソースの周波数 [Hz]

b : 一組のデータの全ビット数

(例 : 1ST-8DATA-1PAR-2SPの場合、12ビット ; [図2.5.1](#)参照)

なお、上式の関係を満たした上で、十分余裕を持って設定してください。また、ユーザアプリケーションにおいて十分な評価をしてください。

2.6 SI/O3,4使い方

2.6.1 SI/O3,4使い方の概要

SI/O3, 4は、クロックに同期して8ビットのデータ通信を行います。SI/O3, 4使い方の概要について説明します。

- 送受信フォーマット

8ビットデータです。

- 転送速度

転送クロックに内部クロックを選択した場合、[転送速度レジスタ](#)で分周した周波数の2分周が転送速度となります。転送速度レジスタのカウントソースは、f₁、f₈、およびf₃₂から選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

転送クロックに外部クロックを選択した場合、CLK端子に入力されたクロックの周波数が転送速度となります。

- 選択機能

SI/O3, 4では、次の機能を選択することができます。

- (1) LSB / MSBファースト選択機能

LSB / MSBファースト選択機能とは、データのビット0から送受信するか、ビット7から送受信するかを切り替える機能です。次の2種類から選択できます。

- LSBファースト ビット0から送受信を行います。
- MSBファースト ビット7から送受信を行います。

- (2) 非転送時、出力レベル選択

- 内部クロック選択時 ハイインピーダンス出力になります。
- 外部クロック選択時 任意の出力レベルを設定できます。

- SI/O3, 4への入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、[ポートの方向レジスタ](#)は入力に設定してください。

- SI/O3, 4関連端子

- (1) CLK3、CLK4端子 転送クロックの入出力端子です。
- (2) SIN3、SIN4端子 データの入力端子です。
- (3) SOUT3、SOUT4端子 データの出力端子です。

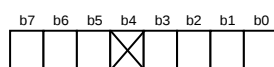
- SI/O3, 4関連レジスタ

[図2.6.1](#)にSI/O3, 4関連レジスタのメモリ配置図を、[図2.6.2](#)にSI/O3, 4関連レジスタの構成を示します。

0048 ₁₆	SI/O4割り込み制御レジスタ(S4IC)
0049 ₁₆	SI/O3割り込み制御レジスタ(S3IC)
0360 ₁₆	SI/O3送受信レジスタ(S3TRR)
0361 ₁₆	
0362 ₁₆	SI/O3制御レジスタ(S3C)
0363 ₁₆	SI/O3転送速度レジスタ(S3BRG)
0364 ₁₆	SI/O4送受信レジスタ(S4TRR)
0365 ₁₆	
0366 ₁₆	SI/O4制御レジスタ(S4C)
0367 ₁₆	SI/O4転送速度レジスタ(S4BRG)

図2.6.1. シリアルI/O関連レジスタのメモリ配置図

S I/Oi 制御レジスタ (i = 3, 4) (注1)



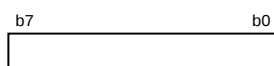
シンボル アドレス リセット時
SiC 0362₁₆, 0366₁₆番地 40₁₆

ビット シンボル	ビット名	機 能	R	W
SMi0	内部同期クロック選択ビット	b1 b0 0 0 : f ₁ を選択 0 1 : f ₈ を選択 1 0 : f ₃₂ を選択 1 1 : 設定しないでください	○	○
SMi1			○	○
SMi2	Souti 出力禁止ビット	0 : Souti出力 1 : Souti出力禁止(ハイインピーダンス)	○	○
SMi3	S I/Oiポート選択 ビット(注2)	0 : 入出力ポート 1 : Souti出力、CLK機能	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
SMi5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	○	○
SMi6	同期クロック選択 ビット(注2)	0 : 外部クロック 1 : 内部クロック	○	○
SMi7	Souti 初期値設定ビット	SMi3=0 時に有効 0 : L出力 1 : H出力	○	○

注1. SI/Oi制御レジスタ(i=3, 4)に書き込みを行う場合は、プロテクトレジスタ(000A₁₆番地)のビット2を“1”にしてから行ってください。

注2. SI/Oiポート選択ビット(i = 3, 4)に“0”を設定し、入出力ポートとして使用する場合は、同期クロック選択ビットを“1”にしてください。

SI/Oi転送速度レジスタ(注1、注2)



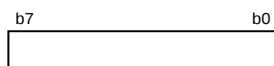
シンボル アドレス リセット時
S3BRG 0363₁₆番地 不定
S4BRG 0367₁₆番地 不定

機 能	設定可能値	R	W
設定値を n とすると、BRGiはカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	×	○

注1. 値を書き込む場合は送受信停止中に書き込んでください。

注2. このレジスタへの書き込みにはMOV命令を使用してください。

SI/Oi送受信レジスタ(注1)



シンボル アドレス リセット時
S3TRR 0360₁₆番地 不定
S4TRR 0364₁₆番地 不定

機 能	R	W
データ書き込みにより送受信が開始。 送受信完了後、受信データ。	○	○

注1. 値を書き込む場合は送受信停止中に書き込んでください。

図2.6.2. シリアルI/O関連のレジスタ

2.6.2 SI / O3、4動作

クロック同期形シリアルI/Oモードの送信では、表2.6.1に示す項目の中から機能を選択できます。ここでは、表2.6.1に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.6.7に動作タイミングを、図2.6.8に設定手順を示します。

表2.6.1. 設定内容

設定項目	設定内容		設定項目	設定内容	
転送クロックソース	○	内部クロック($f_1 / f_8 / f_{32}$)	SOUTi初期値設定機能	○	使用しない
		外部クロック(CLKi端子)			使用する
転送フォーマット	○	LSBファースト			
		MSBファースト			

- 動作 (1) SI/Oi送信データを書き込むと転送を開始します。
転送クロックの立ち上がりエッジに同期して送信データがSOUTi端子から送信されます。
(2) 1バイトのデータの送信が完了すると、**割り込み要求ビット**が“1”になります。
(3) 転送終了後、SOUTiは1/2転送クロック間最終データを保持しハイインピーダンスになります。

補足説明 ・転送中にデータをSI/Oi送受信レジスタ($i = 3, 4$)(0360₁₆、0364₁₆番地)に書き込まないでください。
・SI/Oi送受信レジスタにデータを書き込む場合は、送受信停止中に書き込んでください。

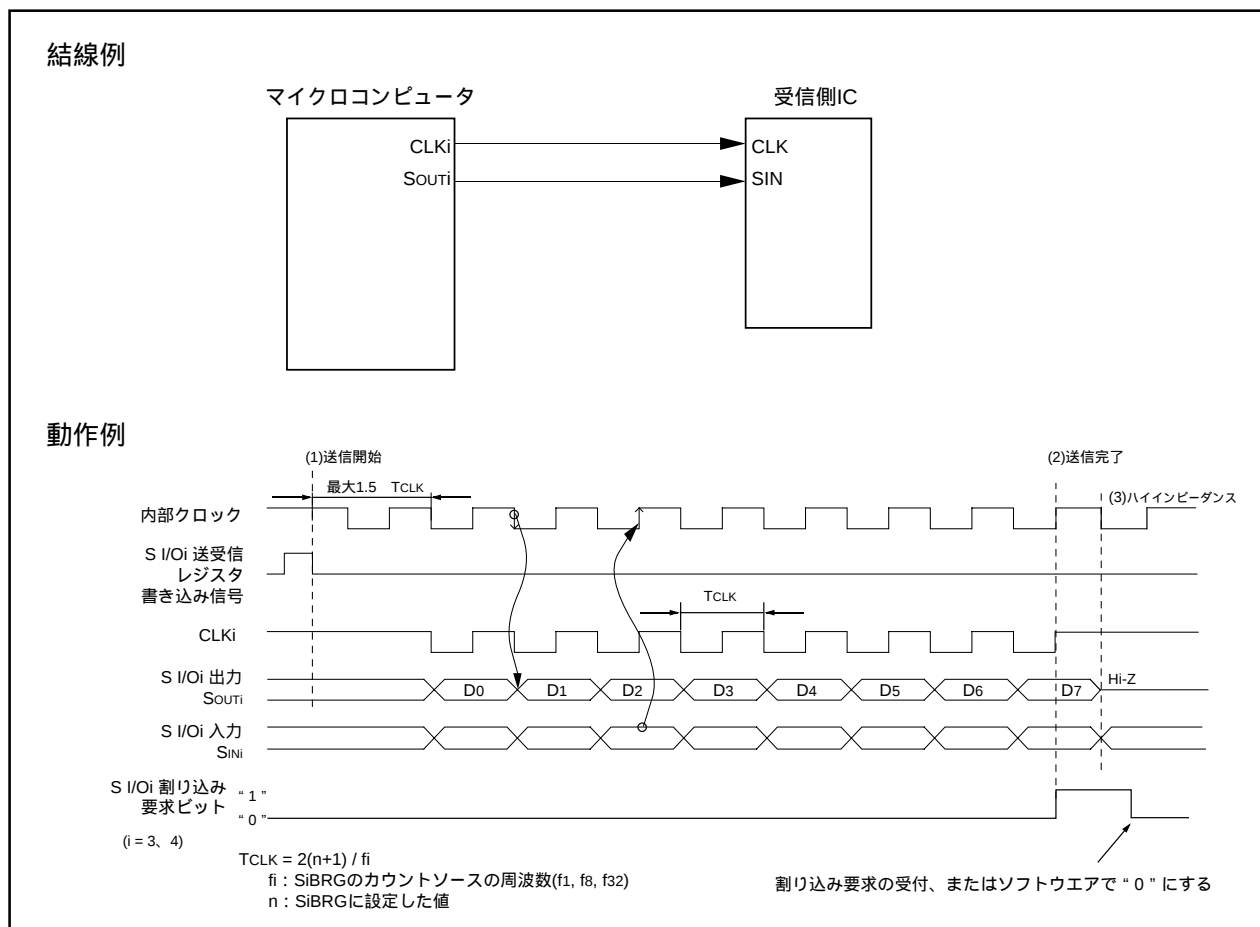
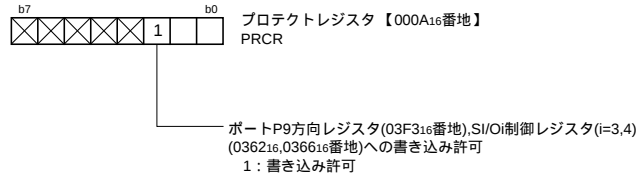
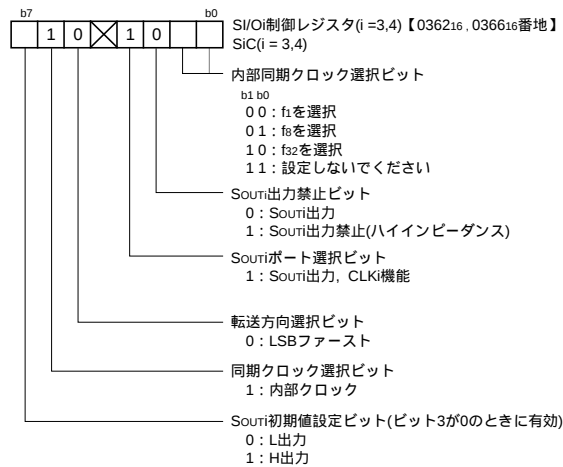


図2.6.7. SI / O3、4の送信動作タイミング図

プロテクトの解除(書き込み許可状態にする)

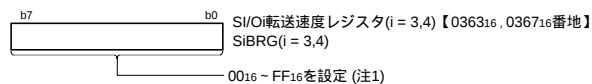


SI/O制御レジスタの設定 (i = 3, 4)



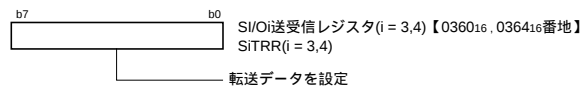
注1. プロテクトレジスタとSI/O制御レジスタの設定は連続して行ってください。

SI/O転送速度レジスタの設定 (i = 3, 4)



注2. データを書き込む場合は、送受信停止中に書き込んでください。

転送データの書き込み



注3. データを書き込む場合は、送受信停止中に書き込んでください。

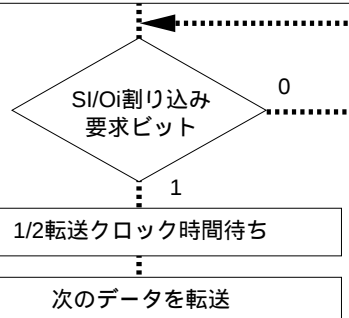


図2.6.8. クロック同期形シリアルI/Oモードの送信動作時のレジスタ設定手順

A-D変換器

2.7 A-D変換器使い方

2.7.1 A-D変換器使い方の概要

A-D変換器は、逐次変換方式で動作する10ビットのA-D変換器です。A-D変換器使い方の概要について説明します。

●モード

A-D変換器は、次の5つのモードを持ちます。

(1) 単発モード

指定された1端子の入力電圧を1度だけA-D変換します。

(2) 繰り返しモード

指定された1端子の入力電圧を繰り返しA-D変換します。

(3) 単掃引モード

指定された複数の端子の入力電圧を1度だけA-D変換します。

(4) 繰り返し掃引モード0

指定された複数の端子の入力電圧を繰り返しA-D変換します。

(5) 繰り返し掃引モード1

指定された複数の端子の入力電圧を繰り返しA-D変換します。

繰り返し掃引モード0との相違点は、指定する複数の端子の中から変換回数に重みを付けられることです。

●動作クロック

5V動作時、動作クロックは、 f_{AD} 、 f_{AD} の2分周、または f_{AD} の4分周の中から選択できます。3V動作時、動作クロックは、 f_{AD} の2分周、または f_{AD} の4分周の中から選択できます。 f_{AD} は、CPUのメインクロックと同じ周波数です。

●変換時間

A-D変換器の変換サイクル数は次のとおりです。また、表2.7.1にA-D変換器の動作クロックごとの変換時間を示します。

サンプル&ホールド機能を選択した場合

10ビット分解能では33φADサイクル、8ビット分解能では28φADサイクル

サンプル&ホールド機能を選択しない場合

10ビット分解能では59φADサイクル、8ビット分解能では49φADサイクル

表2.7.1. 動作クロックごとの変換時間

周波数選択ビット1		0		1
周波数選択ビット0		0	1	無効
A-D変換器の動作クロック		$\phi_{AD} = \frac{f_{AD}}{4}$	$\phi_{AD} = \frac{f_{AD}}{2}$	$\phi_{AD} = f_{AD}$
最短変換サイクル数 (注1)	8ビットモード	$28 \times \phi_{AD}$		
	10ビットモード	$33 \times \phi_{AD}$		
最短変換時間(注2)	8ビットモード	11.2 μs	5.6 μs	2.8 μs
	10ビットモード	13.2 μs	6.6 μs	3.3 μs

注1. アナログ入力端子1本あたりの変換サイクル数

注2. アナログ入力端子1本あたりの変換時間($f_{AD} = f(X_{IN}) = 10\text{MHz}$ 時)

A-D変換器

● 選択機能

(1) サンプル&ホールド機能

サンプル&ホールド機能とは、A-D変換開始時、入力電圧をサンプリングし、サンプリングされた電圧に対してA-D変換を行う機能です。A-D変換開始時、動作クロックの3サイクル分サンプリングします。サンプル&ホールド機能を選択する場合、A-D変換の動作クロックは、1MHz以上にしてください。

(2) 8ビットA-D/10ビットA-D切り替え機能

分解能は、10ビットと8ビットを選択できます。8ビット分解能を選択した場合、10ビットA-Dの上位8ビットをA-D変換結果とします。

10ビットA-D分解能と8ビット分解能の計算式を以下に示します。

$$10\text{ビット分解能} \quad (V_{\text{ref}} \times n / 2^{10}) - (V_{\text{ref}} \times 0.5 / 2^{10}) \quad (n = 1 \sim 1023), 0(n = 0)$$

$$8\text{ビット分解能} \quad (V_{\text{ref}} \times n / 2^8) - (V_{\text{ref}} \times 0.5 / 2^{10}) \quad (n = 1 \sim 255), 0(n = 0)$$

(3) 外部トリガによるA-D変換開始機能

ソフトウェアによるA-D変換開始と外部端子入力によるA-D変換開始を選択できます。

(4) 外部オペアンプ接続機能

選択したA-D変換端子の入力電圧を、ANEX0端子から出力できます。ANEX1端子とANEX0端子の間にオペアンプを接続し、この機能を使用すれば、各A-D変換端子の入力電圧をオペアンプ1つで増幅できます。

(5) アナログ入力端子拡張機能

ANEX0、ANEX1端子からの入力電圧をA-D変換することができます。

(6) Vref接続/切断選択

Vrefを切断することでA-D変換器に流れ込む電流を小さくすることができます。マイコンの消費電力を小さくする場合は、Vrefを切断してください。また、A-D変換を行う場合、Vrefを接続してから1μs以上経過した後、A-D変換をスタートさせてください。

(1)～(6)の機能を次のとおり選択した動作例を示します。

■ 単発モード	P2-116
■ 単発モード ADTRGによるトリガ	P2-118
■ 単発モード ソフトウェアトリガ、拡張アナログ入力	P2-120
■ 単発モード ソフトウェアトリガ、外部オペアンプ接続モード	P2-122
■ 繰り返しモード ソフトウェアトリガ	P2-124
■ 単掃引モード ソフトウェアトリガ	P2-126
■ 繰り返し掃引モード0 ソフトウェアトリガ	P2-128
■ 繰り返し掃引モード1 ソフトウェアトリガ	P2-130

A-D変換器

● A-D変換器への入力と方向レジスタの関係

A-D変換器を使用する場合、ポートの方向レジスタを入力に設定してください。

● A-D変換器関連端子

- | | |
|-------------------|-------------------|
| (1) AN0 ~ AN7端子 | A-D変換器の入力端子です。 |
| (2) AVCC端子 | アナログ部の電源端子です。 |
| (3) VREF端子 | 基準電圧の入力端子です。 |
| (4) AVSS端子 | アナログ部のGND端子です。 |
| (5) ANEX0、ANEX1端子 | A-D変換器の拡張入力端子です。 |
| (6) ADTRG端子 | A-D変換器のトリガ入力端子です。 |

● A-D変換器関連レジスタ

図2.7.1にA-D変換器関連レジスタのメモリ配置図を、図2.7.2 ~ 図2.7.4にA-D変換器関連レジスタの構成を示します。

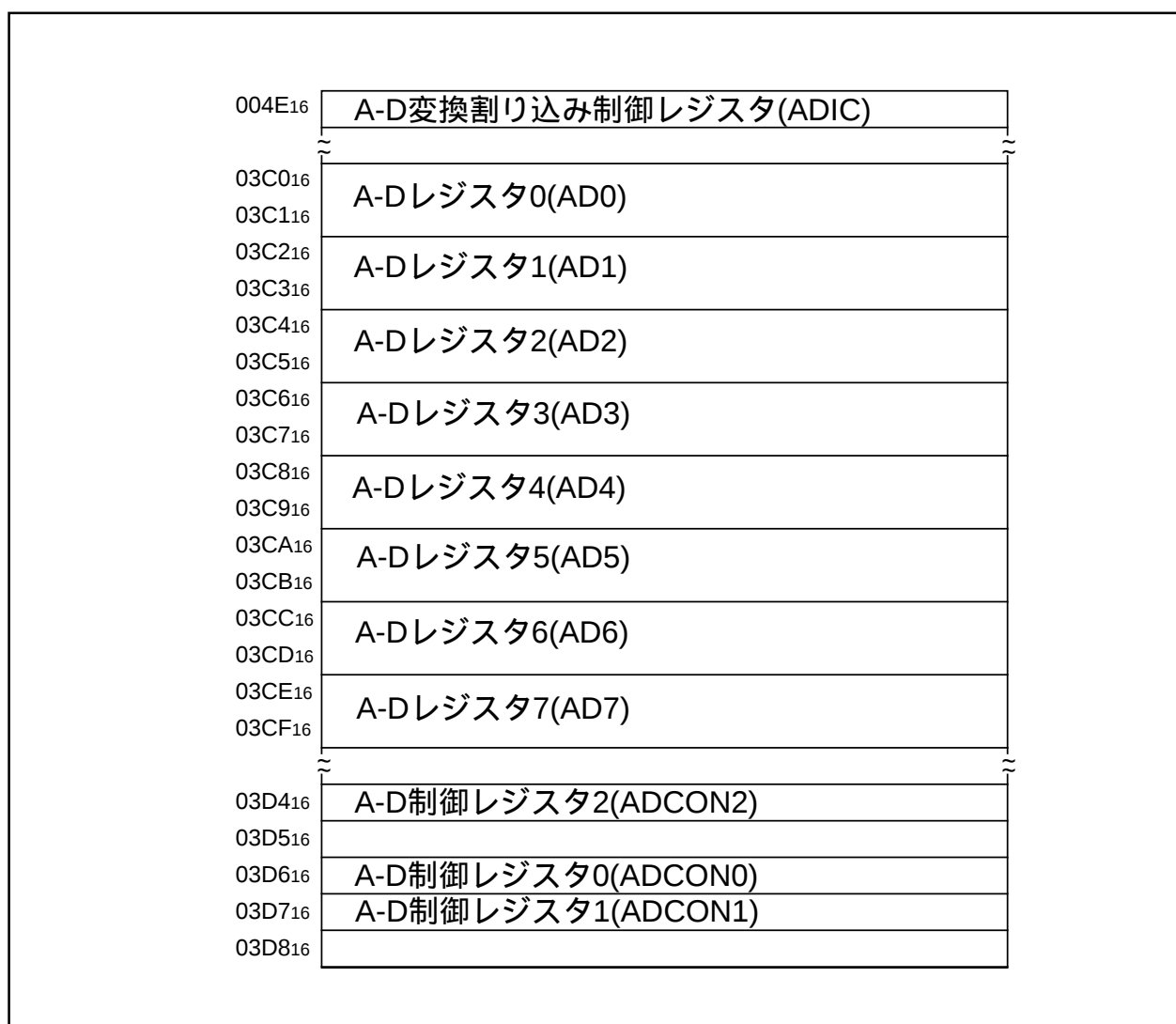


図2.7.1. A-D変換器関連レジスタのメモリ配置図

A-D変換器

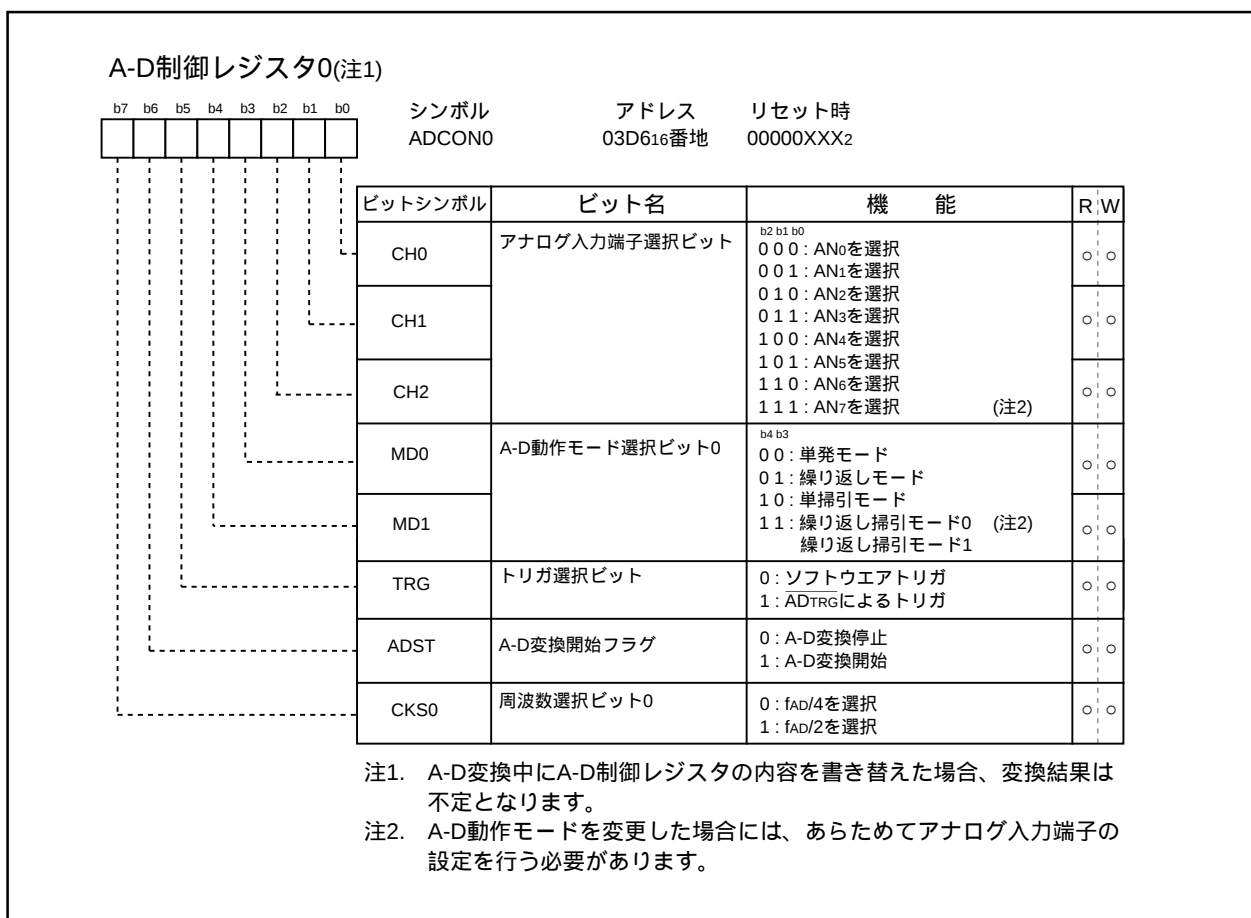


図2.7.2. A-D変換器関連レジスタ(1)

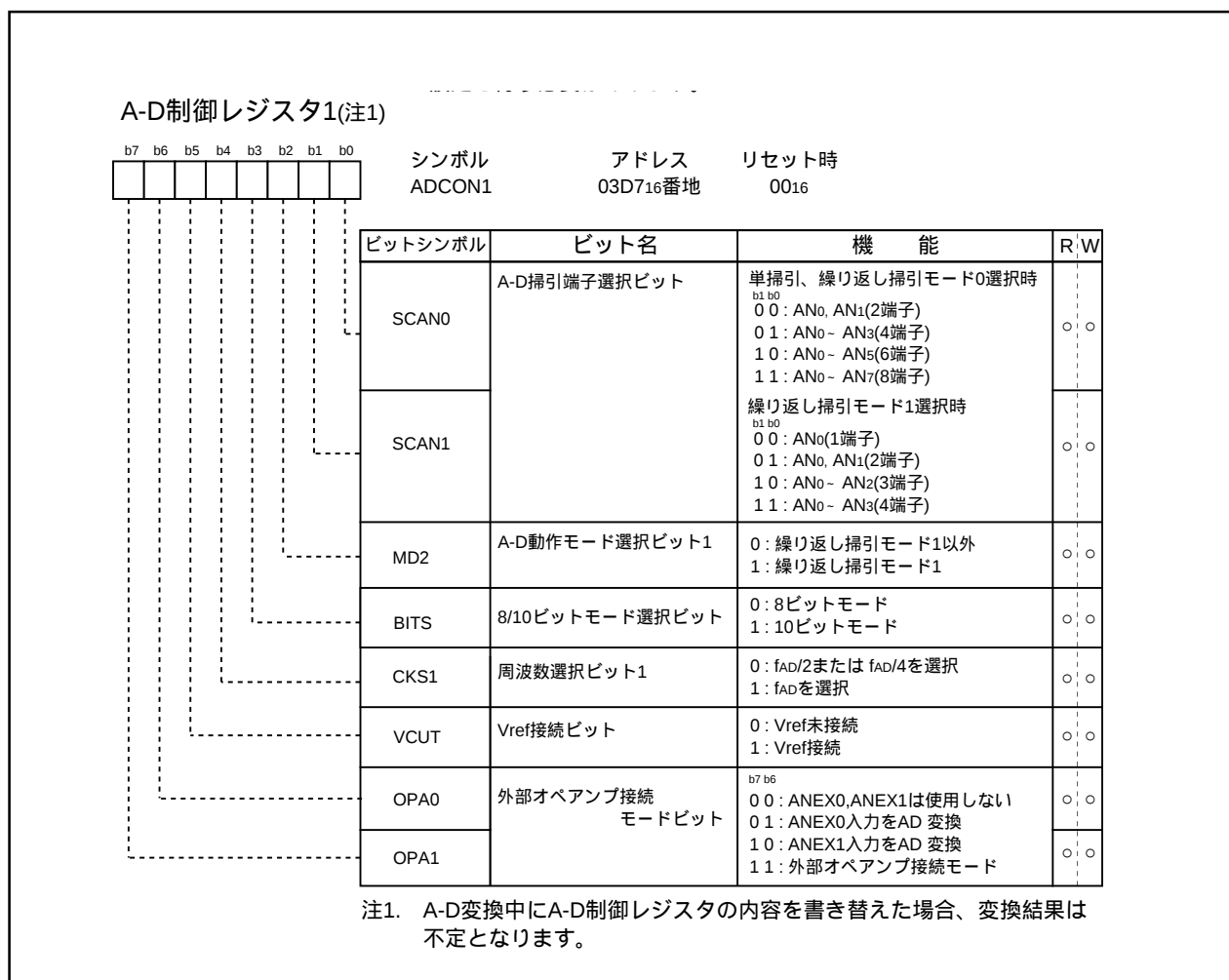


図2.7.3. A-D変換器関連レジスタ(2)

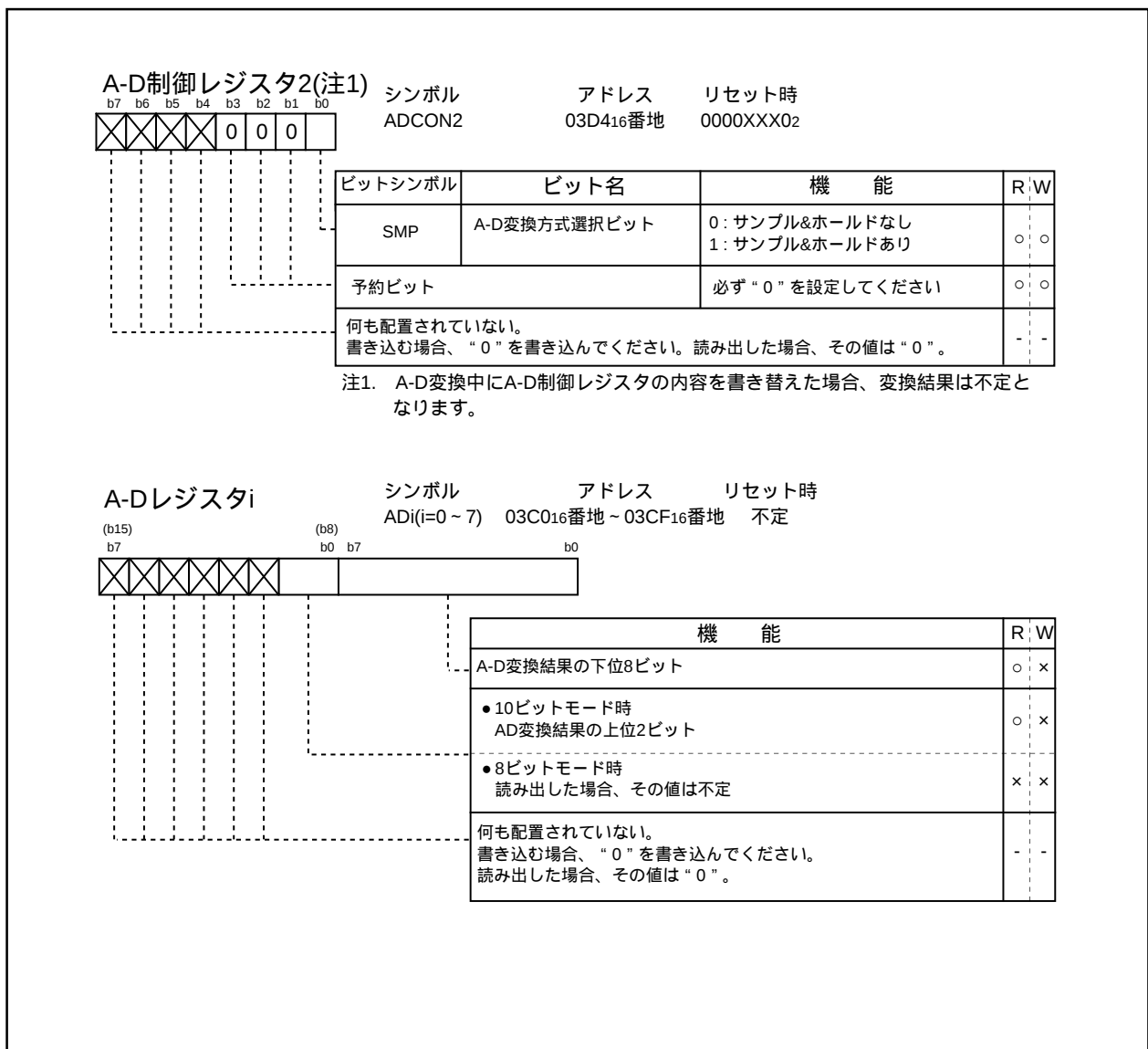


図2.7.4. A-D変換器関連レジスタ(3)

A-D変換器

2.7.2 A-D変換器の動作 (単発モード)

単発モードでは、表2.7.2に示す項目の中から機能を選択できます。ここでは、表2.7.2に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.5に動作タイミングを、図2.7.6に設定手順を示します。

表2.7.2. 設定内容

設定項目	設定内容	設定項目	設定内容
動作クロック ϕ_{AD}	○ f_{AD} の4分周 / f_{AD} の2分周 / f_{AD}	拡張アナログ入力端子	○ 使用しない ANEX0,ANEX1から1本 外部オペアンプ接続モード
分解能	○ 8ビット / 10ビット	サンプル&ホールド	なし
アナログ入力端子	○ AN0 ~ AN7から1本		
A-D変換開始条件	○ ソフトウェアトリガ ADTRGによるトリガ		○ あり

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。
 - (2) A-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。同時にA-D変換割り込み要求ビットが“1”になります。また、A-D変換開始フラグが“0”になり、A-D変換器は動作を停止します。

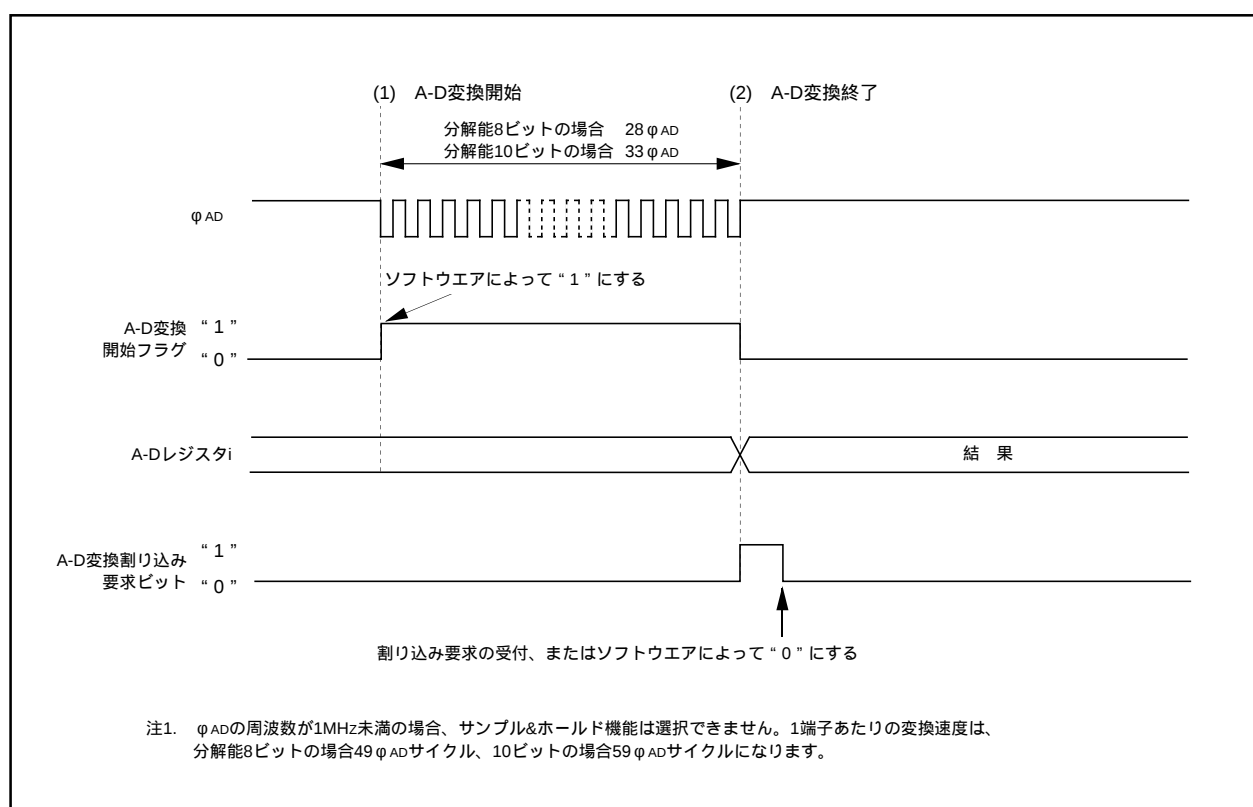
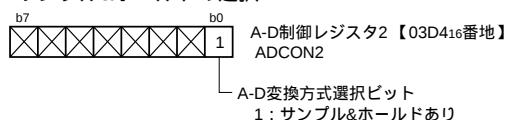


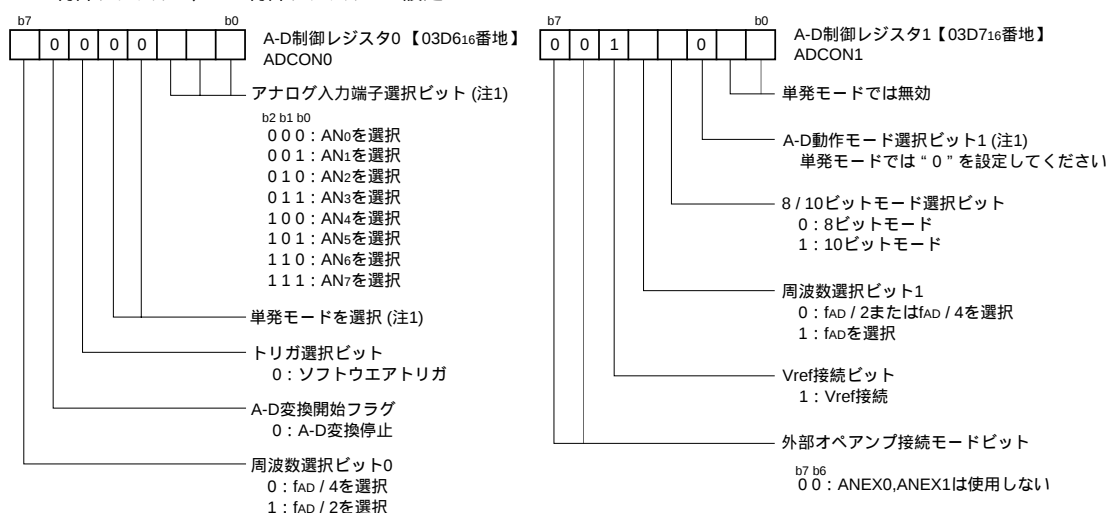
図2.7.5. 単発モード動作タイミング図

A-D変換器

サンプル&ホールドの選択

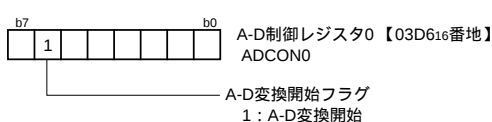


A-D制御レジスタ0、A-D制御レジスタ1の設定



注1. A-D動作モードを変更する場合は、アナログ入力端子を再設定してください。

A-D変換開始



A-D変換開始

A-D変換器停止

変換結果の読み出し

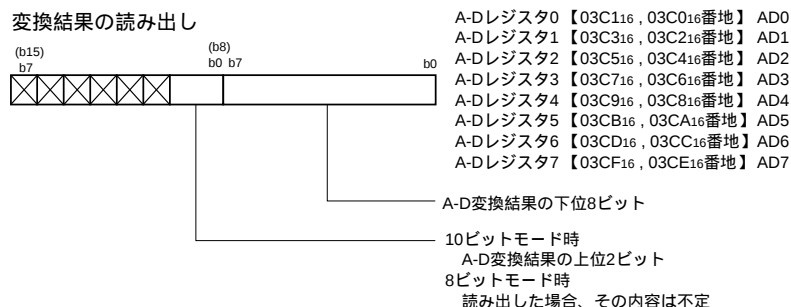


図2.7.6. 単発モード時のレジスタ設定手順

A-D変換器

2.7.3 A-D変換器の動作 (単発モード、外部トリガ選択時)

単発モードでは、表2.7.3に示す項目の中から機能を選択できます。ここでは、表2.7.3に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.7に動作タイミングを、図2.7.8に設定手順を示します。

表2.7.3. 設定内容

設定項目	設定内容	設定項目	設定内容
動作クロック ϕ_{AD}	○ f_{AD} の4分周 / f_{AD} の2分周 / f_{AD}	拡張アナログ入力端子	○ 使用しない ANEX0,ANEX1から1本 外部オペアンプ接続モード
分解能	○ 8ビット / 10ビット	サンプル&ホールド	なし
アナログ入力端子	○ AN ₀ ~ AN ₇ から1本		○ あり
A-D変換開始条件	ソフトウェアトリガ		
	○ $\overline{ADTRG}$ によるトリガ		

- 動作
- (1) A-D変換開始フラグが“1”のとき、 $\overline{ADTRG}$ 端子のレベルが“H”から“L”になると、A-D変換器は動作を開始します。
 - (2) A-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。同時にA-D変換割り込み要求ビットが“1”になります。また、A-D変換器は動作を停止します。
 - (3) $\overline{ADTRG}$ 端子のレベルが“H”から“L”になると、A-D変換器は再度(1)から変換を行います。また、A-D変換中に $\overline{ADTRG}$ 端子のレベルが“H”から“L”になると、その時点で行っているA-D変換を中止し、再度(1)から変換を行います。

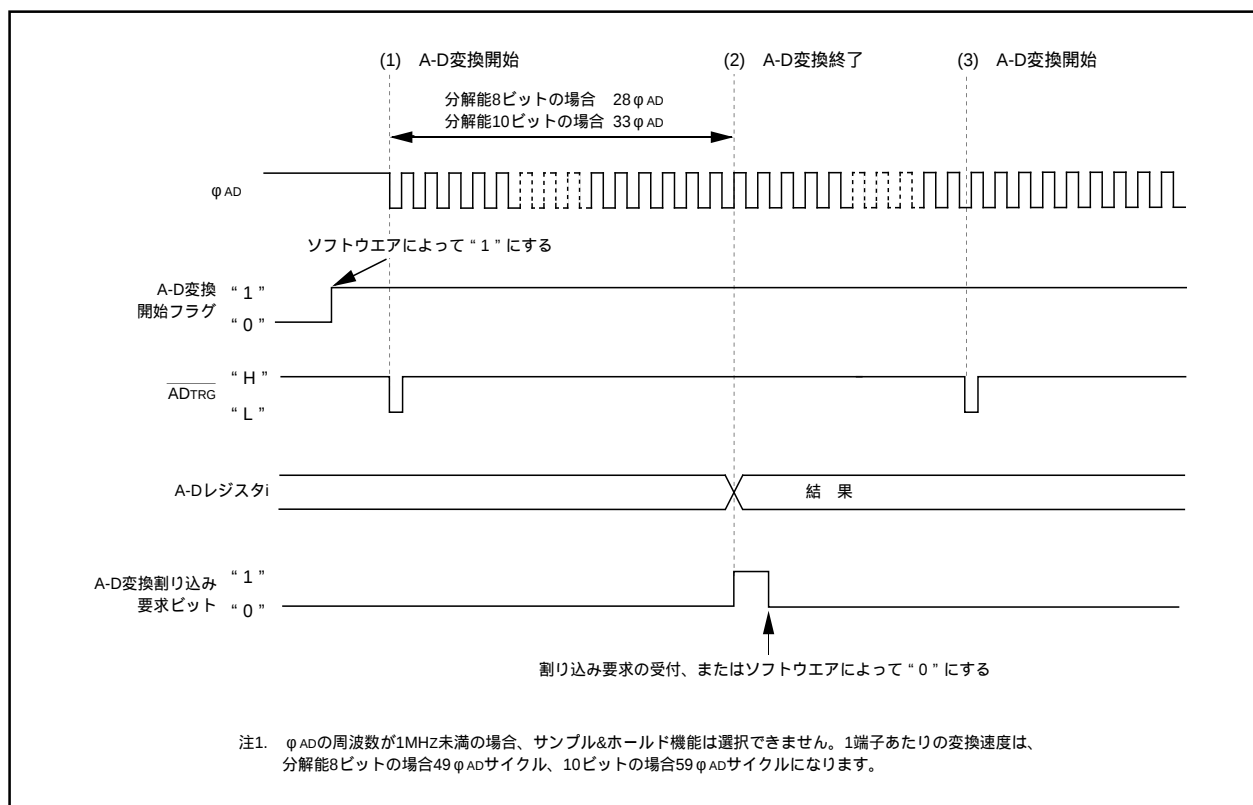


図2.7.7. 単発モード、外部トリガ選択時の動作タイミング図

A-D変換器

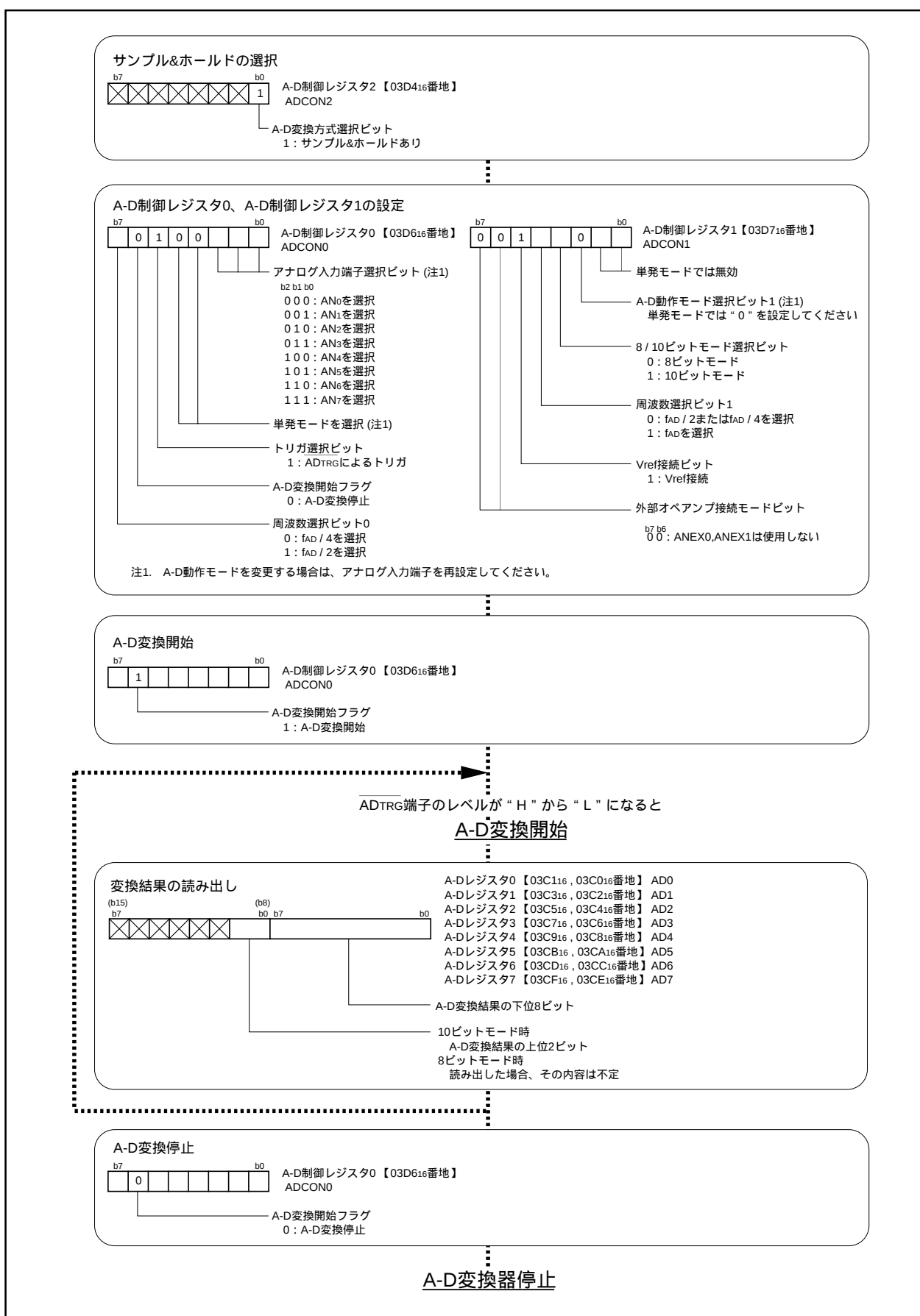


図2.7.8. 単発モード、外部トリガ選択時のレジスタ設定手順

2.7.4 A-D変換器の動作（単発モード、拡張アナログ入力選択時）

単発モードでは、表2.7.4に示す項目の中から機能を選択できます。ここでは、表2.7.4に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.9に動作タイミングを、図2.7.10に設定手順を示します。

表2.7.4. 設定内容

設定項目	設定内容		設定項目	設定内容	
動作クロック ϕ_{AD}	○	f_{AD} の4分周 / f_{AD} の2分周 / f_{AD}	拡張アナログ入力端子		使用しない
				○	ANEX0,ANEX1から1本
分解能	○	8ビット / 10ビット			外部オペアンプ接続モード
アナログ入力端子	○	AN ₀ ~ AN ₇ から1本	サンプル&ホールド		なし
A-D変換開始条件	○	ソフトウェアトリガ			
		$\overline{ADTRG}$ によるトリガ		○	あり

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器はANEX_i端子の入力電圧のA-D変換を開始します。
 - (2) ANEX_i端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ_iに転送されます。同時にA-D変換割り込み要求ビットが“1”になります。また、A-D変換開始フラグが“0”になり、A-D変換器は動作を停止します。

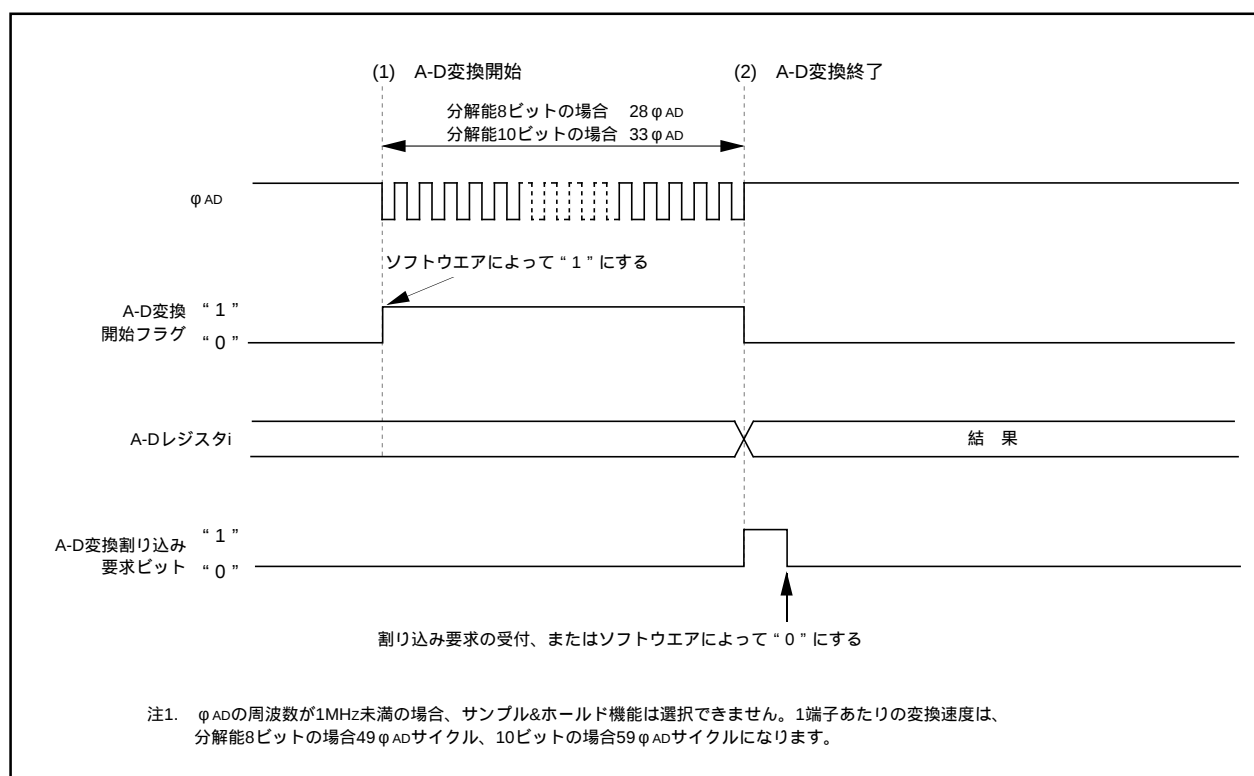
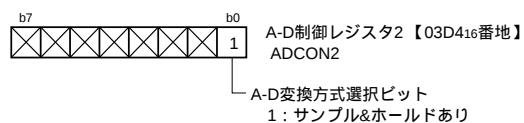


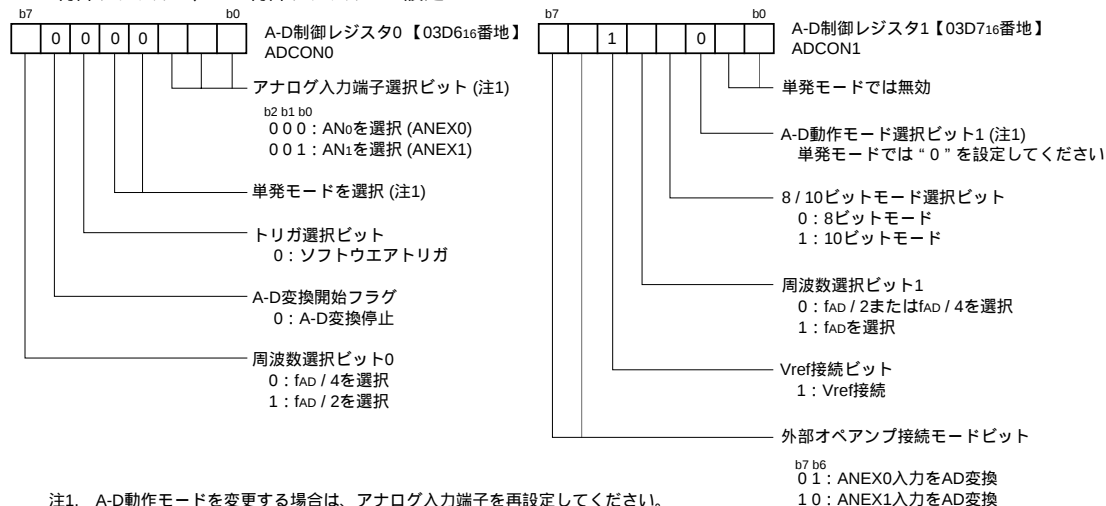
図2.7.9. 単発モード、拡張アナログ入力選択時の動作タイミング図

A-D変換器

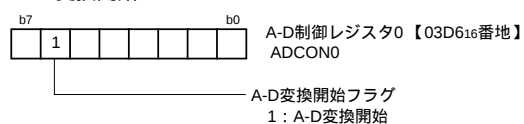
サンプル&ホールドの選択



A-D制御レジスタ0、A-D制御レジスタ1の設定



A-D変換開始



A-D変換開始

A-D変換器停止

変換結果の読み出し

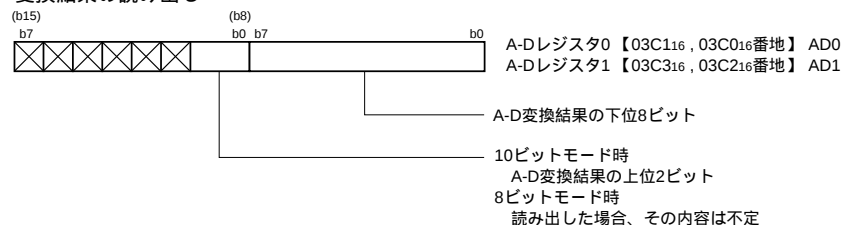


図2.7.10. 単発モード、拡張アナログ入力選択時のレジスタ設定手順

2.7.5 A-D変換器の動作 (単発モード、外部オペアンプ接続モード選択時)

単発モードでは、表2.7.5に示す項目の中から機能を選択できます。ここでは、表2.7.5に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.11に動作タイミングを、図2.7.12に設定手順を示します。

表2.7.5. 設定内容

設定項目	設定内容	設定項目	設定内容
動作クロック ϕ_{AD}	○ f_{AD} の4分周 / f_{AD} の2分周 / f_{AD}	拡張アナログ入力端子	使用しない ANEX0, ANEX1から1本
分解能	○ 8ビット / 10ビット	サンプル&ホールド	なし
アナログ入力端子	○ AN0 ~ AN7から1本		○ あり
A-D変換開始条件	○ ソフトウェアトリガ ○ $\overline{ADTRG}$ によるトリガ		

- 動作
- (1) A-D変換開始フラグを“1”にすると、AN_i端子の入力電圧がANEX0端子から出力されます。A-D変換はANEX1端子の入力電圧に対して行われます(ANEX0端子とANEX1端子との間にオペアンプを接続してください)。
 - (2) A-D変換終了後、逐次比較レジスタの内容(変換結果)はAN_i端子に対応するA-Dレジスタ_iに転送されます。同時にA-D変換割り込み要求ビットが“1”になります。

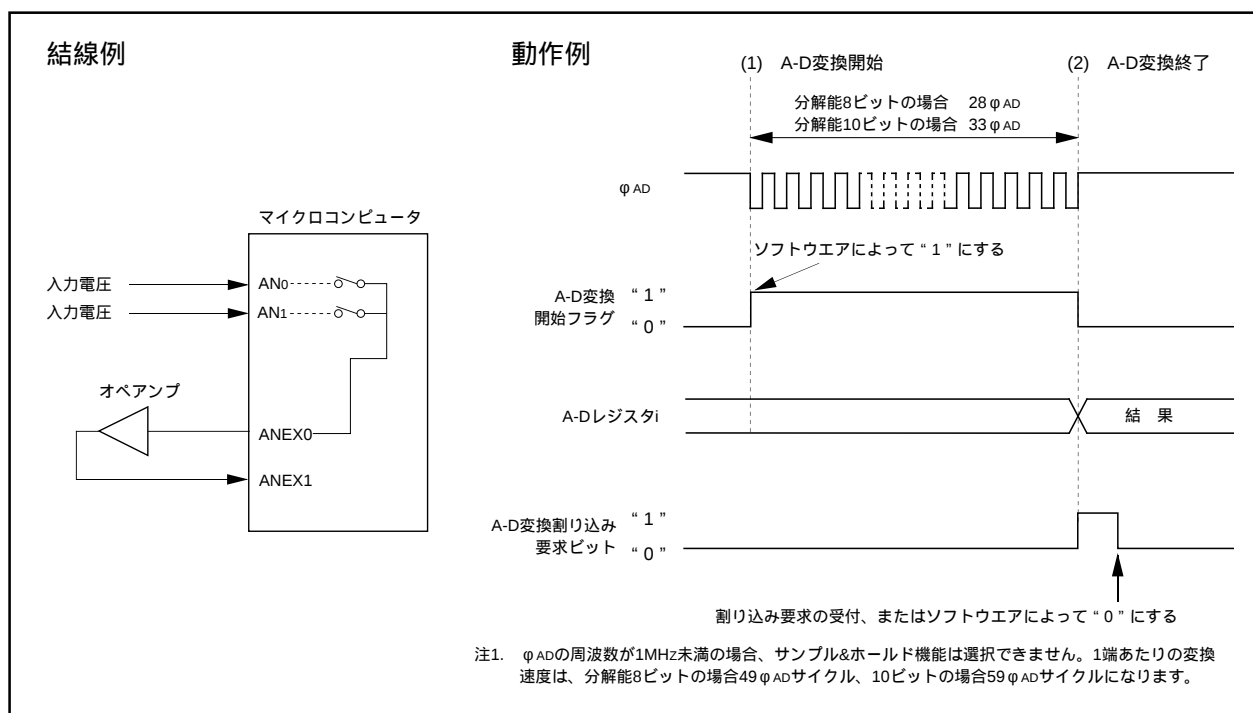
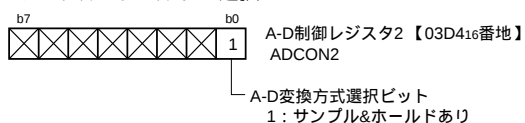


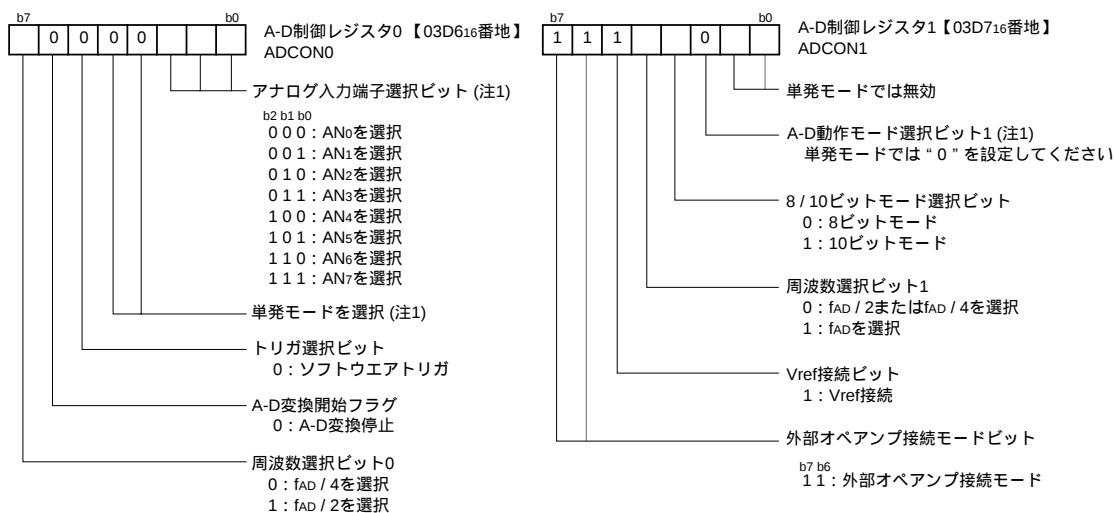
図2.7.11. 単発モード、外部オペアンプ接続モード選択時の動作タイミング図

A-D変換器

サンプル&ホールドの選択

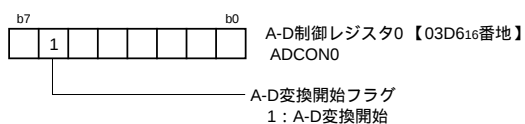


A-D制御レジスタ0、A-D制御レジスタ1の設定



注1. A-D動作モードを変更する場合は、アナログ入力端子を再設定してください。

A-D変換開始



A-D変換開始

A-D変換器停止

変換結果の読み出し

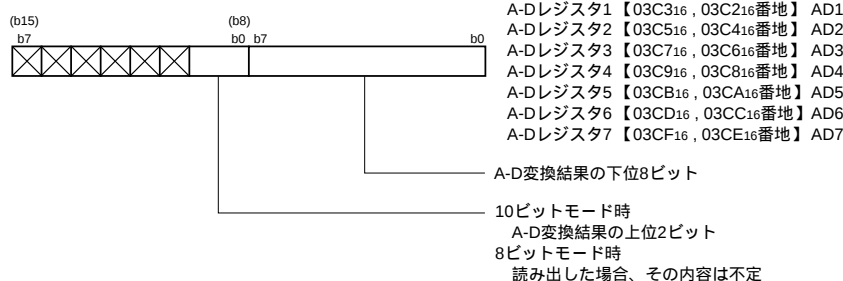


図2.7.12. 単発モード、外部オペアンプ接続モード選択時のレジスタ設定手順

2.7.6 A-D変換器の動作（繰り返しモード）

繰り返しモードでは、表2.7.6に示す項目の中から機能を選択できます。ここでは、表2.7.6に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.13に動作タイミングを、図2.7.14に設定手順を示します。

表2.7.6. 設定内容

設定項目	設定内容		設定項目	設定内容	
動作クロック ϕ_{AD}	○	f_{AD} の4分周 / f_{AD} の2分周 / f_{AD}	拡張アナログ入力端子	○	使用しない
					ANEX0,ANEX1から1本
分解能	○	8ビット / 10ビット			外部オペアンプ接続モード
アナログ入力端子	○	AN ₀ ~ AN ₇ から1本	サンプル&ホールド		なし
A-D変換開始条件	○	ソフトウェアトリガ		○	あり
		$\overline{ADTRG}$ によるトリガ			

動作

- (1) A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。
- (2) 1回目のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。A-D変換割り込み要求ビットは“1”になりません。
- (3) ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。変換結果は、変換終了ごとにA-Dレジスタに転送されます。

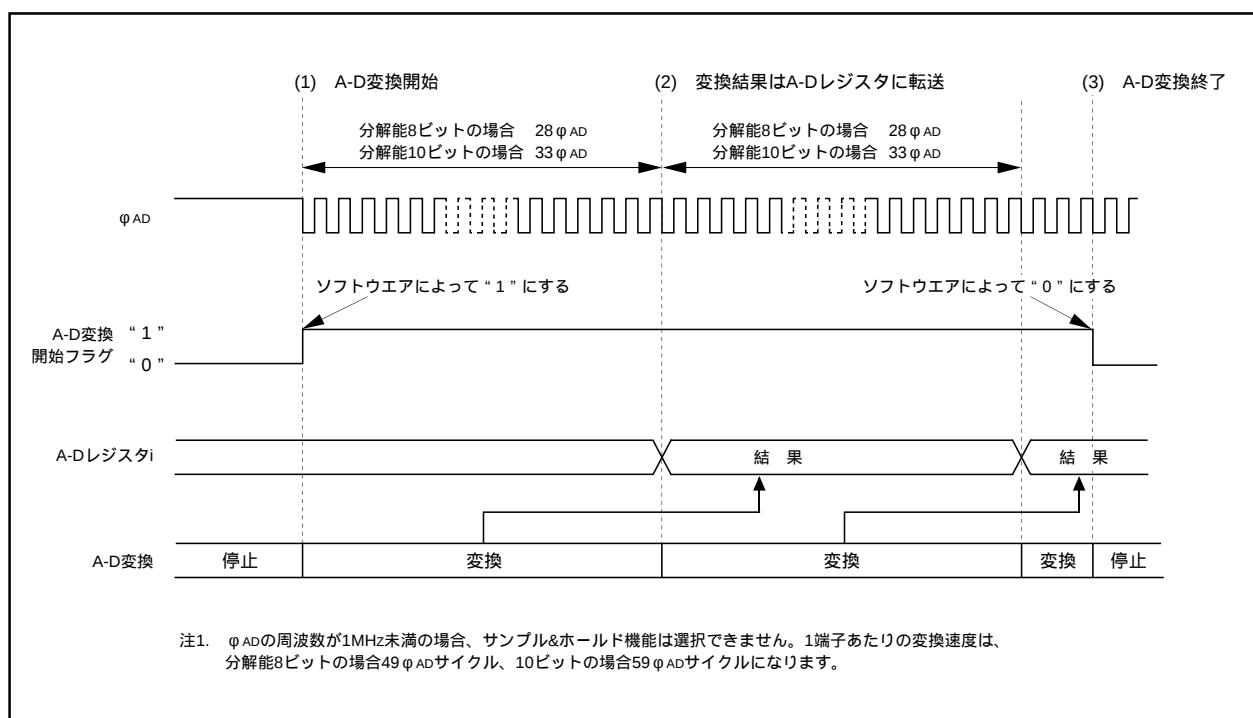
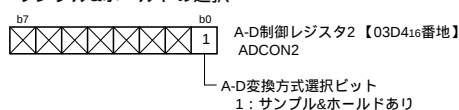


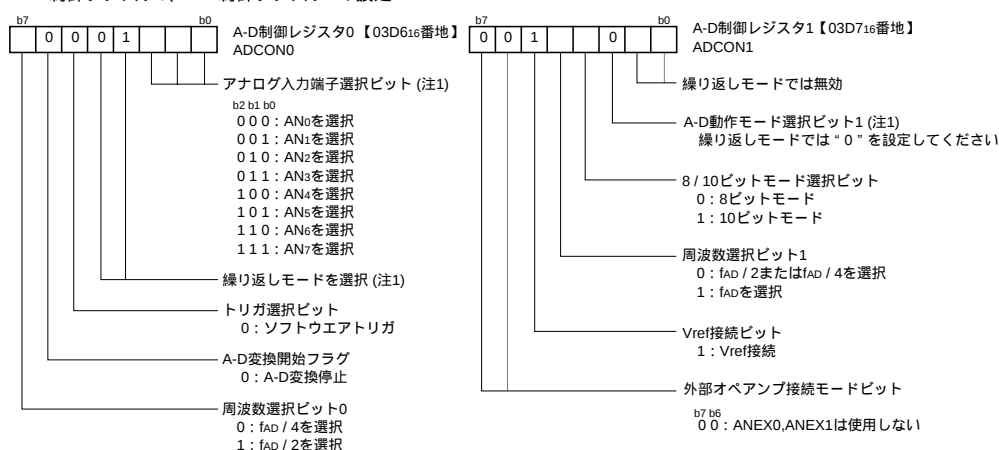
図2.7.13. 繰り返しモード動作タイミング図

A-D変換器

サンプル&ホールドの選択

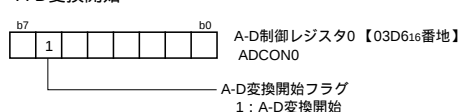


A-D制御レジスタ0、A-D制御レジスタ1の設定



注1. A-D動作モードを変更する場合は、アナログ入力端子を再設定してください。

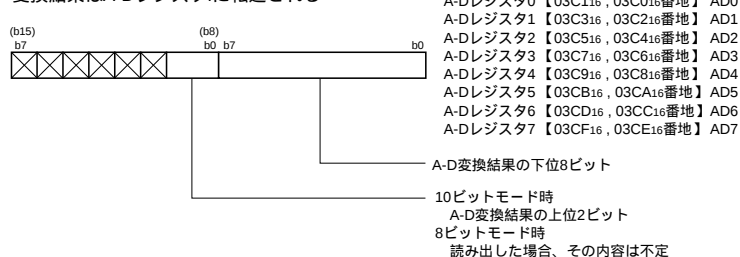
A-D変換開始



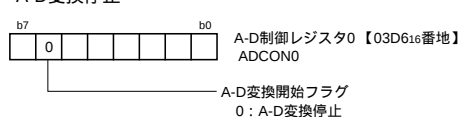
アナログ入力端子選択ビットで選択した端子を
繰り返しA-D変換する

A-D変換開始

変換結果はA-Dレジスタに転送される



A-D変換停止



A-D変換器停止

図2.7.14. 繰り返しモード時のレジスタ設定手順

A-D変換器

2.7.7 A-D変換器の動作 (単掃引モード)

単掃引モードでは、表2.7.7に示す項目の中から機能を選択できます。ここでは、表2.7.7に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.15に動作タイミングを、図2.7.16に設定手順を示します。

表2.7.7. 設定内容

設定項目	設定内容	設定項目	設定内容
動作クロック ϕ_{AD}	○ f_{AD} の4分周 / f_{AD} の2分周 / f_{AD}	A-D変換開始条件	○ ソフトウェアトリガ ○ $\overline{ADTRG}$ によるトリガ
分解能	○ 8ビット / 10ビット	拡張アナログ入力端子	○ 使用しない ○ 外部オペアンプ接続モード
アナログ入力端子	○ AN_0, AN_1 (2端子) / $AN_0 \sim AN_3$ (4端子) / $AN_0 \sim AN_5$ (6端子) / $AN_0 \sim AN_7$ (8端子)	サンプル&ホールド	○ なし ○ あり

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器は AN_0 端子の入力電圧のA-D変換を開始します。
 - (2) AN_0 端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。
 - (3) 選択されたすべてのアナログ入力端子に対するA-D変換が終了すると、A-D変換割り込み要求ビットが“1”になります。同時に、A-D変換開始フラグが“0”になり、A-D変換器は動作を停止します。

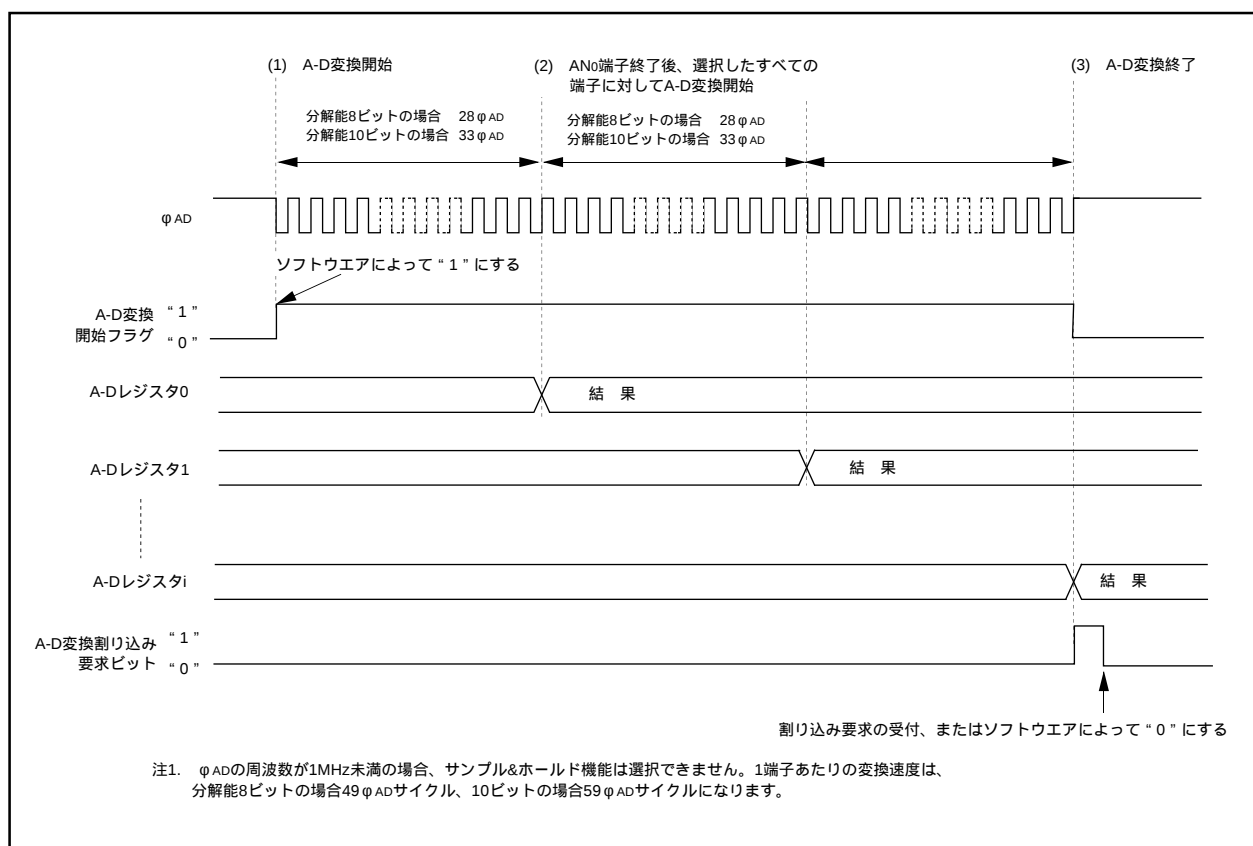


図2.7.15. 単掃引モード動作タイミング図

A-D変換器

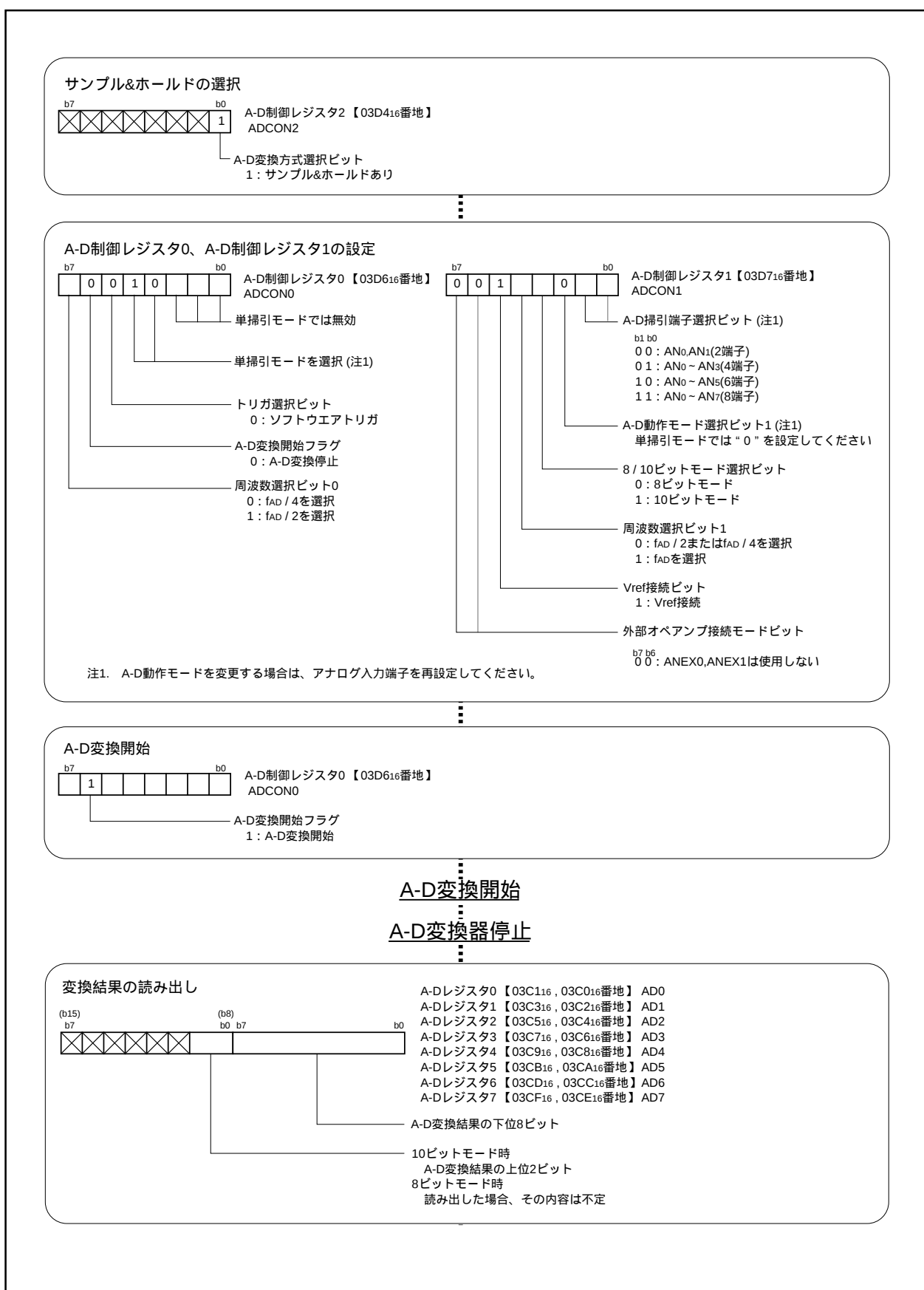


図2.7.16. 単掃引モード時のレジスタ設定手順

A-D変換器

2.7.8 A-D変換器の動作 (繰り返し掃引モード0)

繰り返し掃引モード0では、表2.7.8に示す項目の中から機能を選択できます。ここでは、表2.7.8に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.17に動作タイミングを、図2.7.18に設定手順を示します。

表2.7.8. 設定内容

設定項目		設定内容		設定項目		設定内容	
動作クロック ϕ_{AD}		○	f_{AD} の4分周 / f_{AD} の2分周 / f_{AD}	A-D変換開始条件		○	ソフトウェアトリガ
							$\overline{ADTRG}$ によるトリガ
分解能		○	8ビット / 10ビット	拡張アナログ入力端子		○	使用しない
アナログ入力端子		○	AN_0, AN_1 (2端子) / $AN_0 \sim AN_3$ (4端子) / $AN_0 \sim AN_5$ (6端子) / $AN_0 \sim AN_7$ (8端子)				外部オペアンプ接続モード
				サンプル&ホールド			なし
						○	あり

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器は AN_0 端子の入力電圧のA-D変換を開始します。
 - (2) AN_0 端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。
 - (3) 選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタに転送されます。A-D変換割り込み要求ビットは“1”になりません。
 - (4) ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

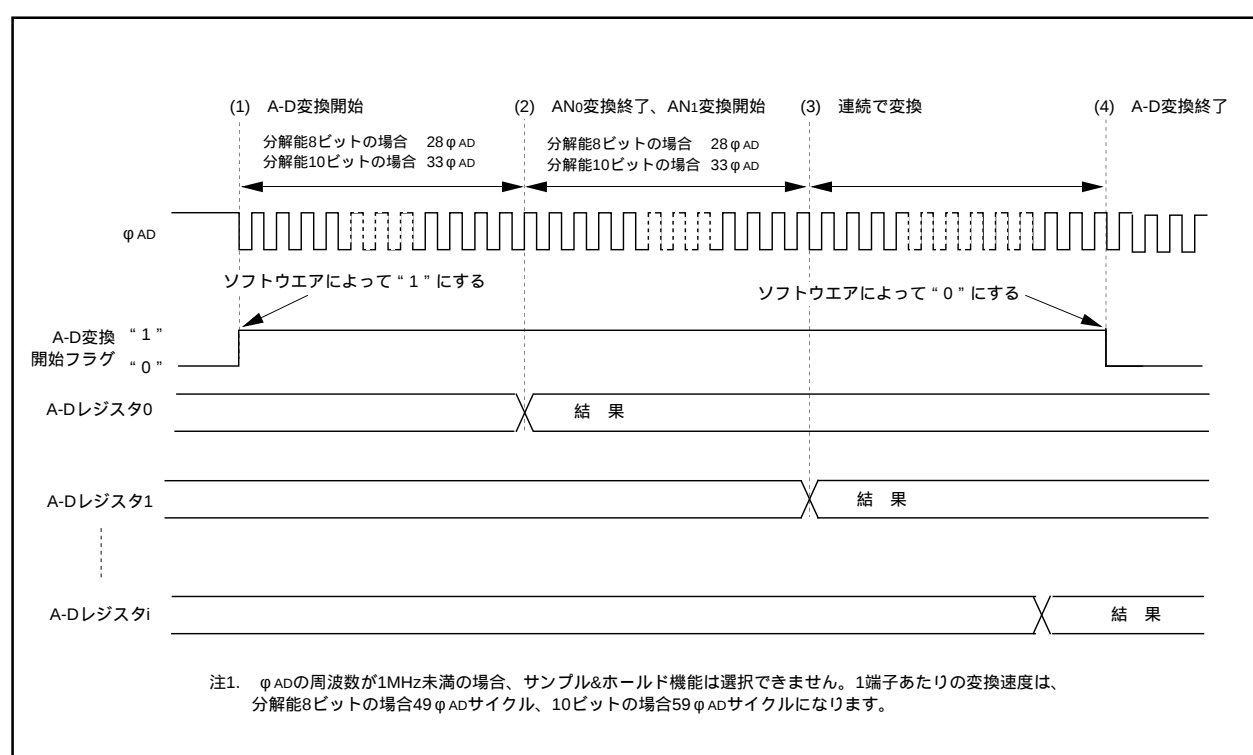


図2.7.17. 繰り返し掃引モード0動作タイミング図

A-D変換器

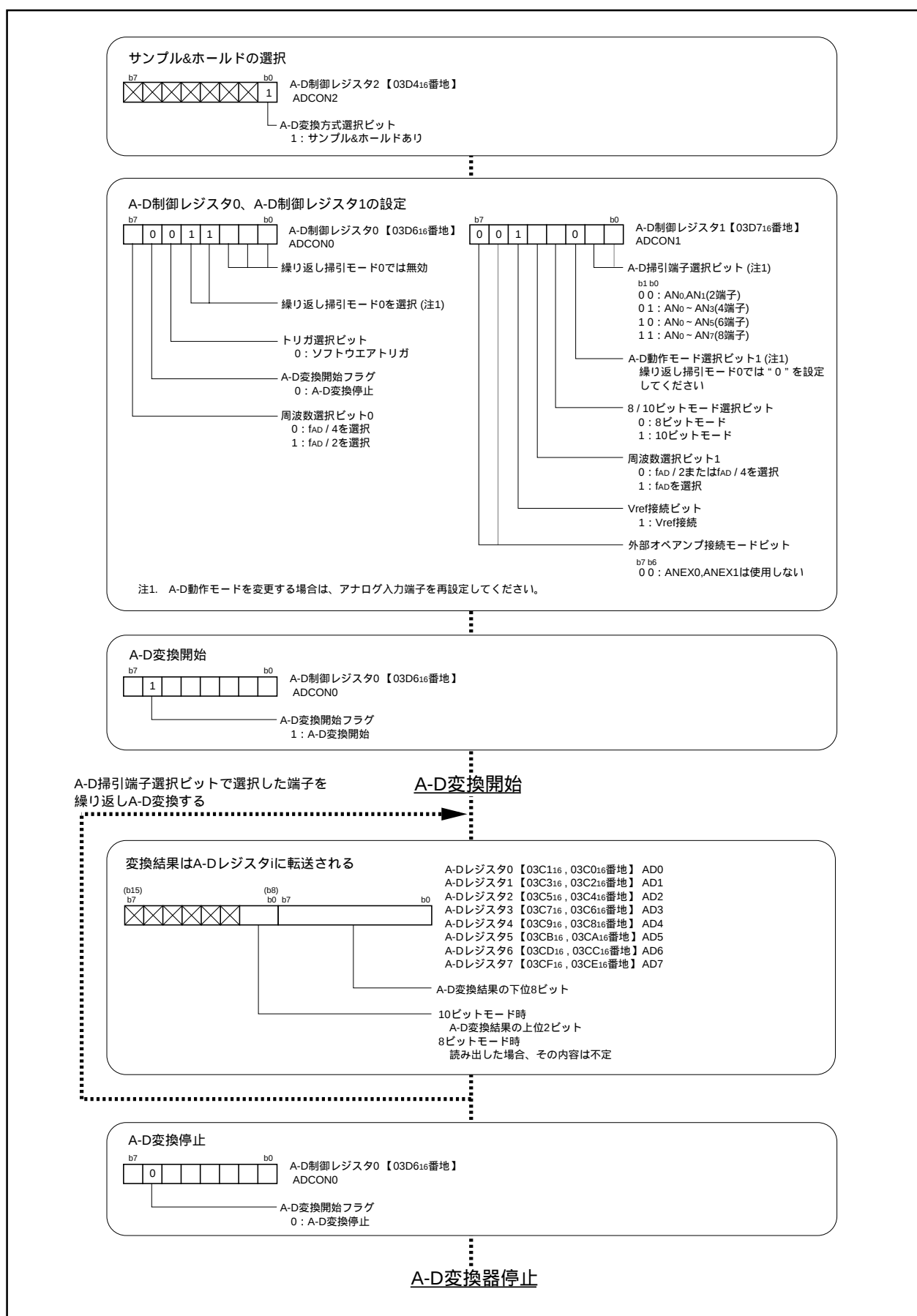


図2.7.18. 繰り返し掃引モード0時のレジスタ設定手順

2.7.9 A-D変換器の動作 (繰り返し掃引モード1)

繰り返し掃引モード1では、表2.7.9に示す項目の中から機能を選択できます。ここでは、表2.7.9に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.19にANi端子の掃引順序を、図2.7.20に動作タイミングを、図2.7.21に設定手順を示します。

表2.7.9. 設定内容

設定項目		設定内容		設定項目		設定内容	
動作クロック φ AD	○	fADの4分周 / fADの2分周 / fAD	A-D変換開始条件	○	ソフトウェアトリガ		
					ADTRGによるトリガ		
分解能	○	8ビット / 10ビット	拡張アナログ入力端子	○	使用しない		
アナログ入力端子	○	AN0(1端子) / AN0, AN1(2端子) / AN0 ~ AN2(3端子) / AN0 ~ AN3(4端子)		サンプル&ホールド		外部オペアンプ接続モード	
					なし		
				○	あり		

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器はAN0端子の入力電圧のA-D変換を開始します。
 - (2) AN0端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。
 - (3) 選択されたアナログ入力端子に対してA-D変換を行うごとに、選択されていない端子を1端子だけA-D変換し、再びAN0端子からA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。A-D変換割り込み要求ビットは“1”になりません。
 - (4) ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

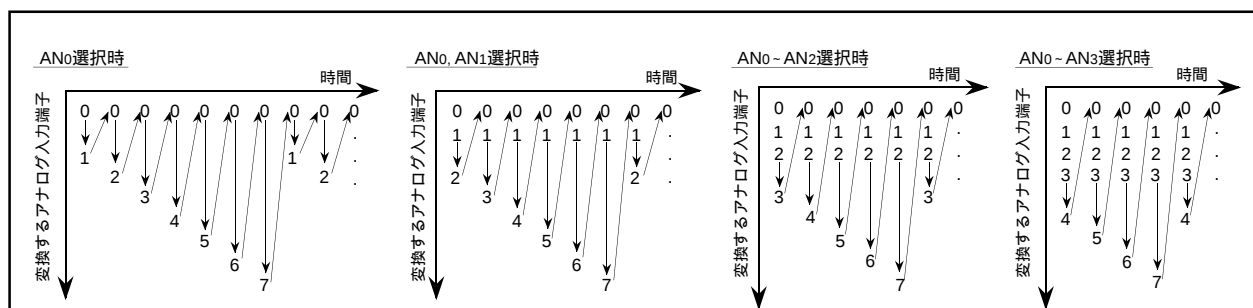


図2.7.19. 繰り返し掃引モード1におけるANi端子の掃引順序

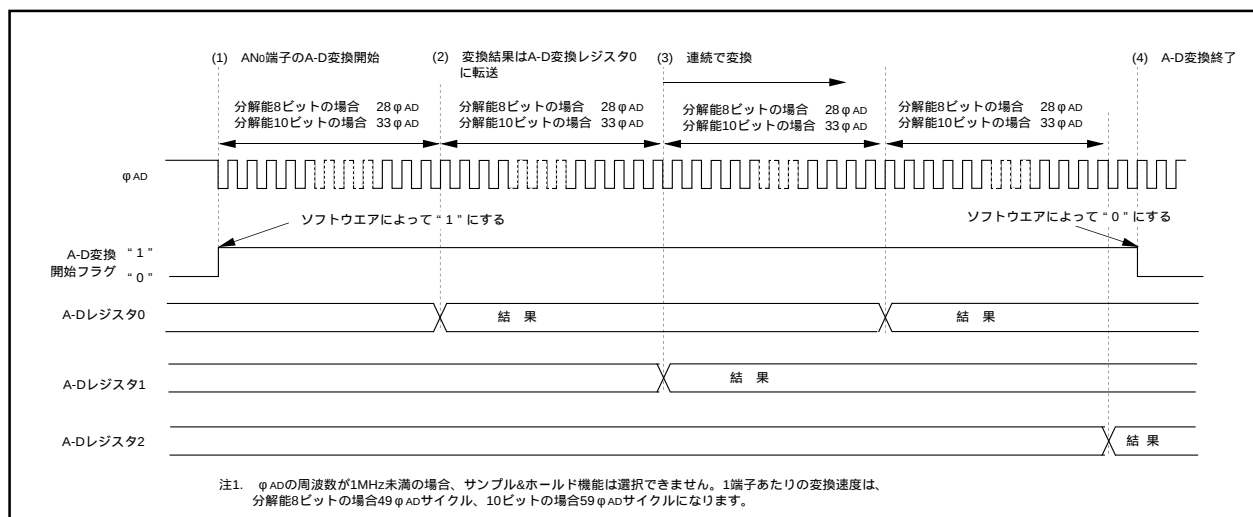


図2.7.20. 繰り返し掃引モード1動作タイミング図

A-D変換器

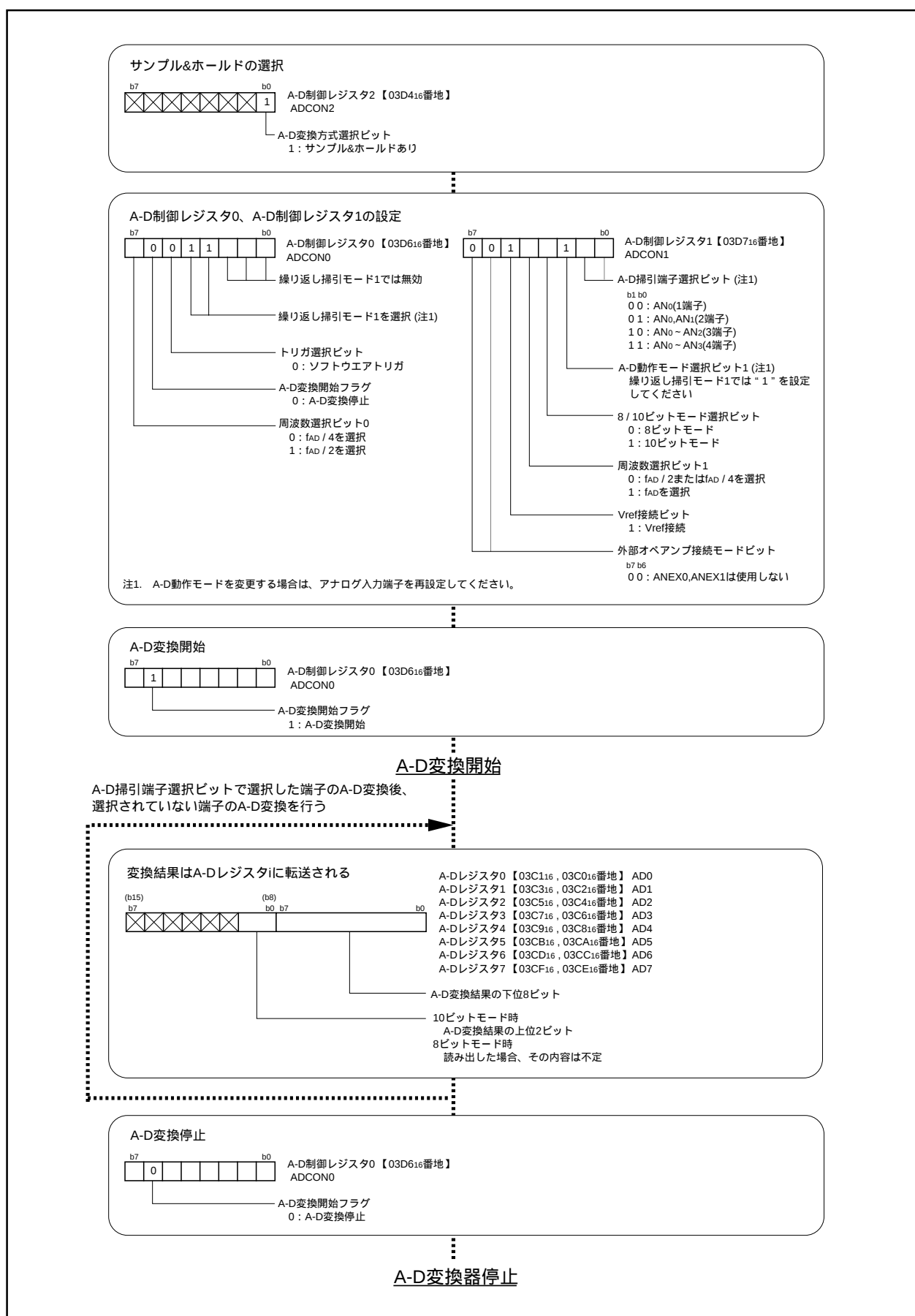


図2.7.21. 繰返し掃引モード1時のレジスタ設定手順

2.7.10 A-D変換器の注意事項

- 内 容 (1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1 μ s以上経過した後にA-D変換を開始してください。
- (2) ノイズによる変換誤差を低減するため、AVCC端子とVREF端子に印加する電圧は別電源から供給してください。また、AVCC端子、VREF端子、およびアナログ入力端子(ANi)とAVSS端子の間には、それぞれコンデンサを接続することを推奨します。図2.7.22に各端子の処理例を示します。

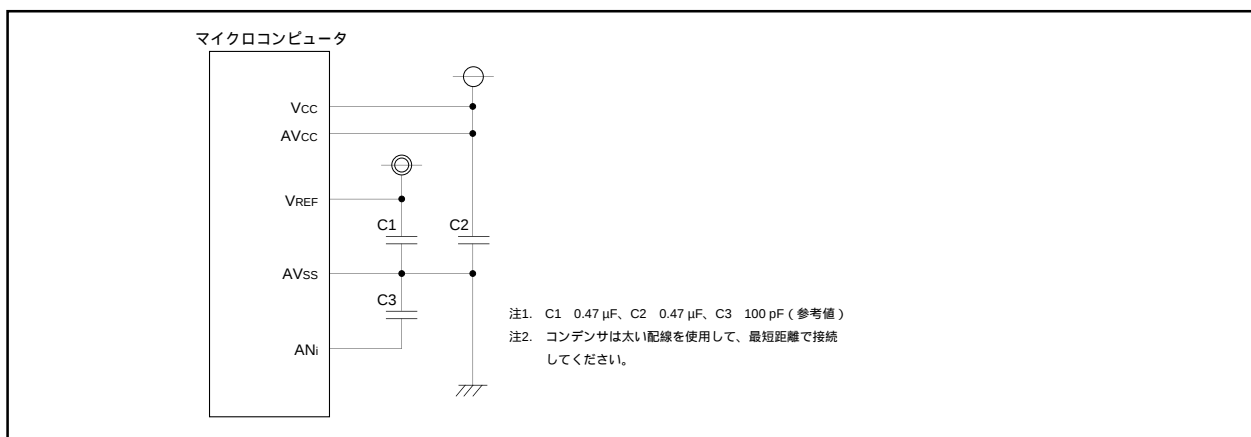


図2.7.22. 各端子の処理例

- (3) アナログ入力端子として使用する端子および外部トリガ入力端子(P97)に対応するポートの方向レジスタは入力に設定してください。
- (4) キー入力割り込みを使用する場合、AN4～AN7は4本ともA-D変換ポートとして使用できません(A-D入力電圧が“L”レベルになると、キー入力割り込みが発生します)。
- (5) VCC=2.7V～4.0Vで使用する場合 ϕ_{AD} にfAD(分周なし)以外を選択してください。
サンプル&ホールド機能なしを選択してください。
8ビットモードを選択してください。
- (6) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (7) 単発モードまたは単掃引モードで使用する場合
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください。
A-D変換の完了はA-D変換割り込み要求ビットで判定できます。
- (8) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。
- (9) ϕ_{AD} は10MHz以下で使用してください。XINが10MHzを超える場合は分周してください。

2.7.11 A-D変換の方法 (10ビットモード)

内 容 (1) A-D変換器は、逐次比較レジスタの内容に従って内部で生成される比較電圧(Vref)と、アナログ入力端子から入力されるアナログ入力電圧(VIN)を比較し、その結果を逐次比較レジスタに反映することによって、VINをデジタル値に変換します(逐次比較変換方式)。トリガが発生すると、A-D変換器は以下の処理を行います。

1. 逐次比較レジスタのビット9の確定

VrefとVINを比較します。このときの逐次比較レジスタの内容は、“1000000000₂”(初期値)です。

比較結果によって逐次比較レジスタのビット9は以下のように変化します。

Vref<VINならば、ビット9は“1”

Vref>VINならば、ビット9は“0”

2. 逐次比較レジスタのビット8の確定

逐次比較レジスタのビット8を“1”にした後、VrefとVINを比較します。

比較結果によって逐次比較レジスタのビット8は以下のように変化します。

Vref<VINならば、ビット8は“1”

Vref>VINならば、ビット8は“0”

3. 逐次比較レジスタのビット7～0の確定

上記2の動作をビット7～0に対して行います。

ビット0が確定すると、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。

Vrefは最新の逐次比較レジスタの内容に従って生成されます。表2.7.10に逐次比較レジスタの内容とVrefの関係を示します。また、表2.7.11にA-D変換中の逐次比較レジスタとVrefの変化を、図2.7.23に理論的A-D変換特性を示します。

表2.7.10. 逐次比較レジスタの内容とVrefの関係

逐次比較レジスタの内容 : n	Vref (V)
0	0
1 ~ 1023	$\frac{V_{REF}}{1024} \times n - \frac{V_{REF}}{2048}$

A-D変換器

表2.7.11. A-D変換中の逐次比較レジスタとVrefの変化(10ビットモード時)

	逐次比較レジスタの変化	Vrefの変化
A-D変換器停止状態	b9 b0 1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} [V]$
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048} [V]$
2回目比較	n9 1 0 0 0 0 0 0 0 0 ↑ 1回目の比較結果	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048} [V]$ $\left(\begin{array}{l} n_9 = 1 \text{ の場合 } + \frac{V_{REF}}{4} \\ n_9 = 0 \text{ の場合 } - \frac{V_{REF}}{4} \end{array} \right)$
3回目比較	n9 n8 1 0 0 0 0 0 0 0 ↑ 2回目の比較結果	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048} [V]$ $\left(\begin{array}{l} n_8 = 1 \text{ の場合 } + \frac{V_{REF}}{8} \\ n_8 = 0 \text{ の場合 } - \frac{V_{REF}}{8} \end{array} \right)$
⋮	⋮	⋮
10回目比較	n9 n8 n7 n6 n5 n4 n3 n2 n1 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{1024} - \frac{V_{REF}}{2048} [V]$
変換終了	n9 n8 n7 n6 n5 n4 n3 n2 n1 n0 このデータがA-Dレジスタの ビット0～ビット9に入ります	

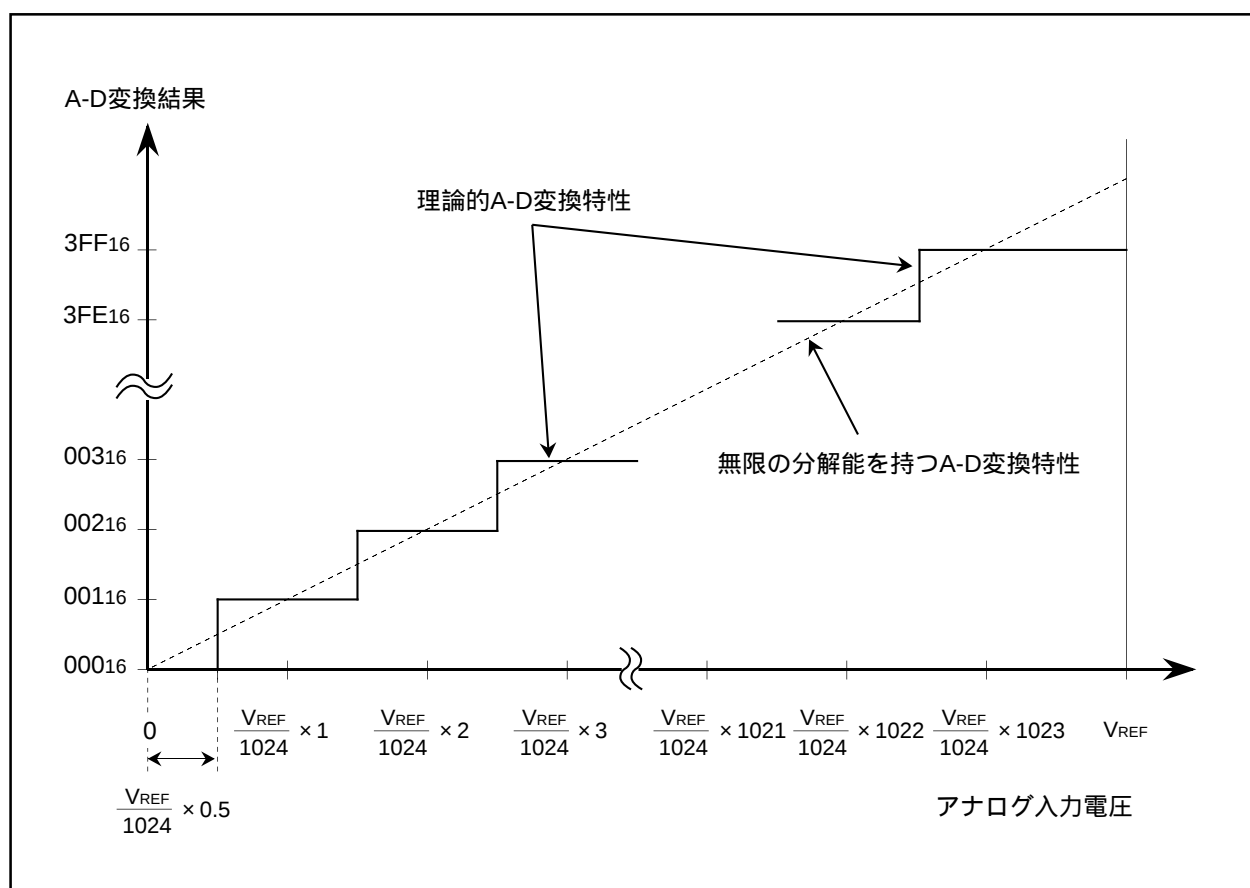


図2.7.23. 理論的A-D変換特性(10ビットモード時)

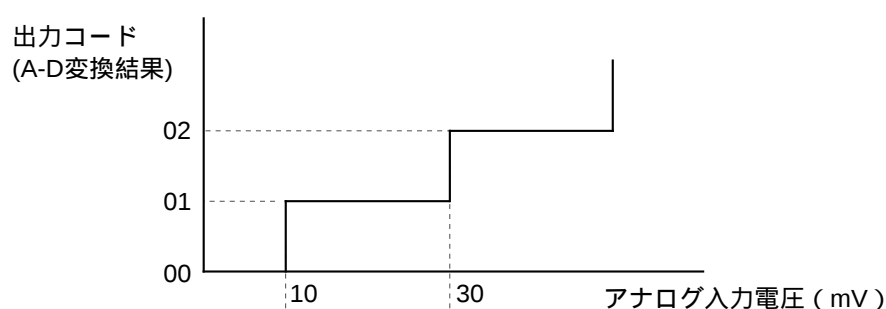
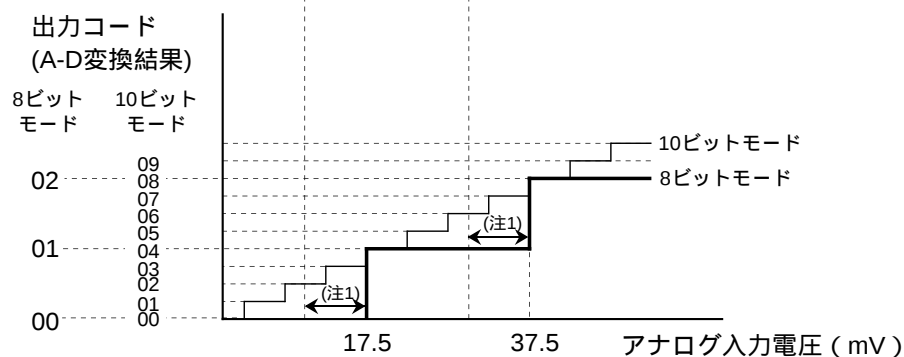
A-D変換器

2.7.12 A-D変換の方法 (8ビットモード)

内 容 (1) 8ビットモード時、10ビット逐次比較レジスタの上位8ビットがA-D変換結果となります。このため、8ビットA-D変換器と比較すると、比較電圧が $3V_{REF} / 2048$ (表2.7.12の下線参照)異なり、図2.7.24に示す出力コードの変化点の差が生じます。

表2.7.12. 8ビットモードおよび8ビットA-D変換器の比較電圧

		8ビットモード	8ビットA-D変換器
比較電圧 V_{REF}	n=0	0	0
	n=1 ~ 255	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^{10}} \times 0.5$	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^8} \times 0.5$

8ビットA-D変換器の理想変換特性 ($V_{REF} = 5.12V$ の場合)8ビットモード時の理想変換特性 ($V_{REF} = 5.12V$ の場合)

注1. アナログ入力電圧に対する出力コードの変化点の差

図2.7.24. 8ビットモードおよび8ビットA-D変換器の理想変換特性

表2.7.13. A-D変換中の逐次比較レジスタとVrefの変化(8ビットモード時)

	逐次比較レジスタの変化	Vrefの変化
A-D変換器停止状態	b9 1 0 0 0 0 0 0 0 0 0 b0	$\frac{V_{REF}}{2} [V]$
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048} [V]$
2回目比較	n9 1 0 0 0 0 0 0 0 0 ↑ 1回目の比較結果	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048} [V] \begin{cases} n_9=1 \text{の場合} + \frac{V_{REF}}{4} \\ n_9=0 \text{の場合} - \frac{V_{REF}}{4} \end{cases}$
3回目比較	n9 n8 1 0 0 0 0 0 0 0 ↑ 2回目の比較結果	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048} [V] \begin{cases} n_8=1 \text{の場合} + \frac{V_{REF}}{8} \\ n_8=0 \text{の場合} - \frac{V_{REF}}{8} \end{cases}$
⋮	⋮	⋮
8回目比較	n9 n8 n7 n6 n5 n4 n3 1 0 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{256} - \frac{V_{REF}}{2048} [V]$
変換終了	n9 n8 n7 n6 n5 n4 n3 n2 0 0 このデータがA-Dレジスタiのビット0～ビット7に入ります	

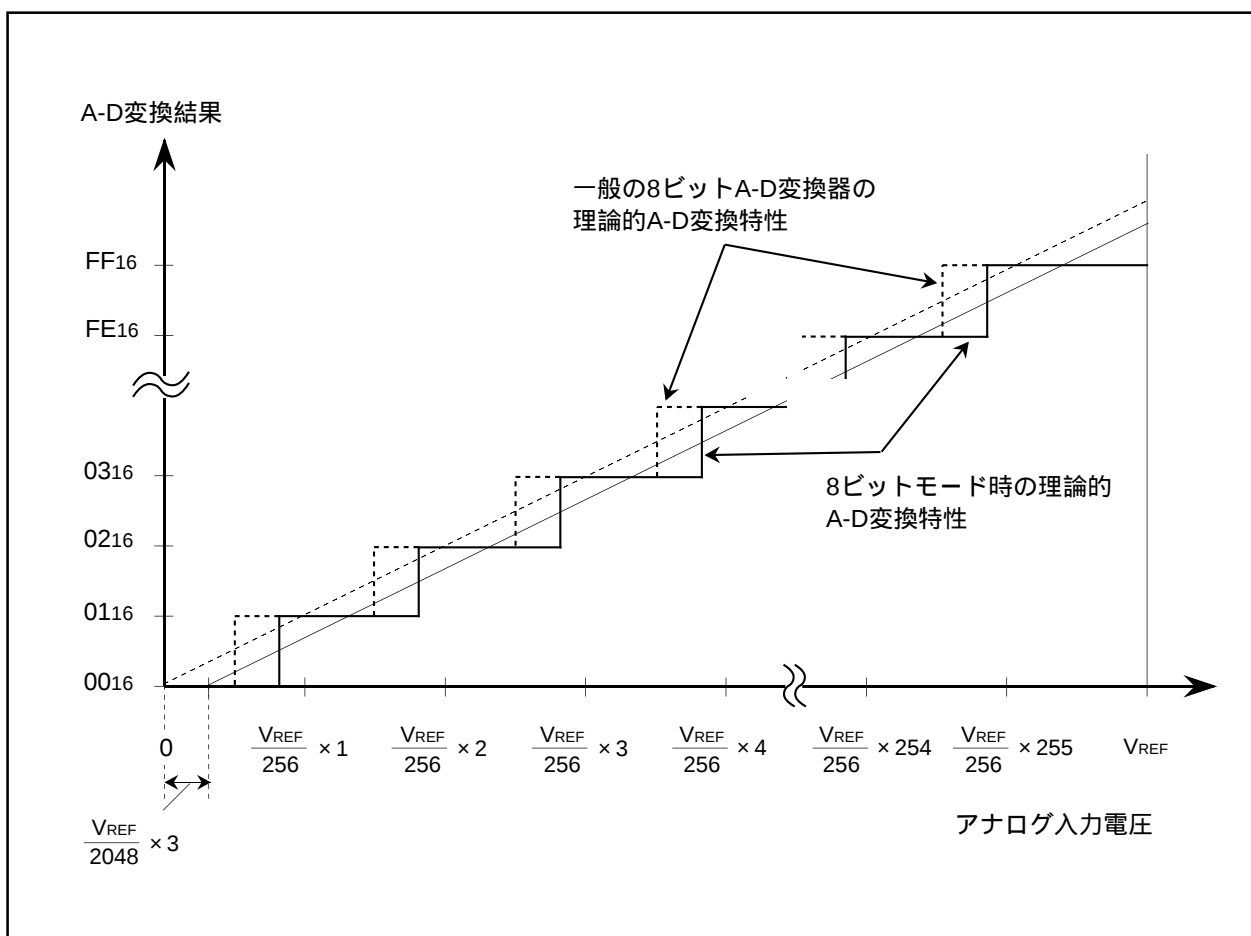


図2.7.25. 理論的A-D変換特性(8ビットモード時)

2.7.13 絶対精度と微分非直線性誤差

A-D変換の精度について、以下に説明します。

● 絶対精度

理論的A-D変換特性における出力コードと、実際のA-D変換結果の差が絶対精度です。絶対精度測定時は、理論的A-D変換特性において同じ出力コードを期待できるアナログ入力電圧の幅(1LSB幅)の中点の電圧を、アナログ入力電圧として使用します。例えば分解能10ビット、基準電圧(V_{REF}) = 5.12Vの場合、1LSB幅は5mVで、アナログ入力電圧には0mV、5mV、10mV、15mV、20mV...を使用します。絶対精度 = $\pm 3\text{LSB}$ とは、アナログ入力電圧が25mVの場合、理論的A-D変換特性では出力コード“005₁₆”を期待できますが、実際のA-D変換結果は“002₁₆” ~ “008₁₆”になることを意味します。絶対精度にはゼロ誤差、フルスケール誤差を含みます。

V_{REF} ~ AV_{CC} 間のアナログ入力電圧に対する出力コードは、すべて“3FF₁₆”となります。

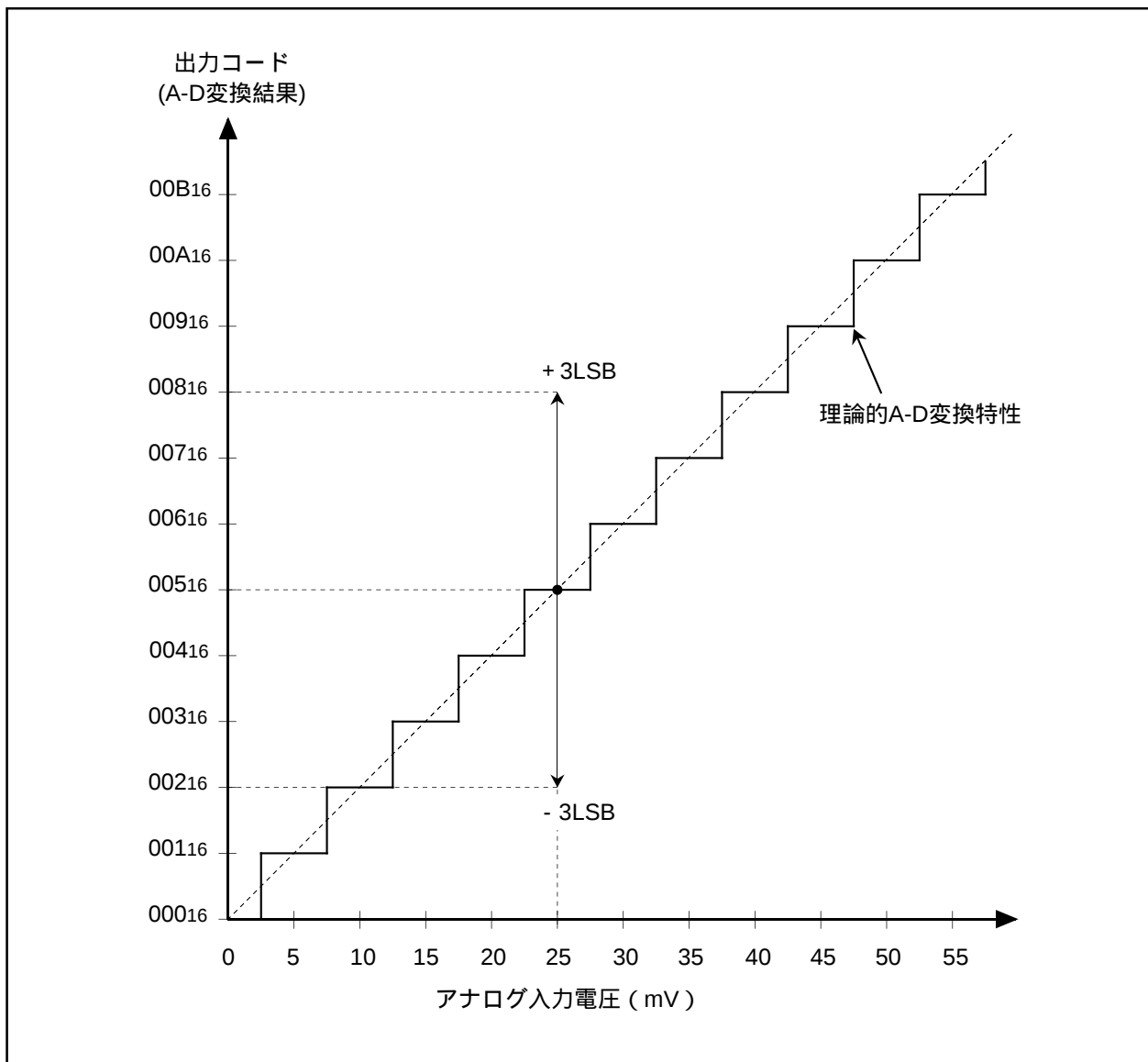


図2.7.26. 絶対精度(分解能10ビット時)

● 微分非直線性誤差

微分非直線性誤差は、理論的A-D変換特性における1LSB幅(同じ出力コードを期待できるアナログ入力電圧の幅)と、実測定される1LSB幅(同じコードを出力するアナログ入力電圧の幅)の差を示すものです。分解能10ビット、基準電圧(V_{REF}) = 5.12Vの場合、微分非直線性誤差 = ± 1 LSBならば、理論的A-D変換特性における1LSB幅は5mVですが、実測定される1LSB幅は0 ~ 10mVになることを意味します。

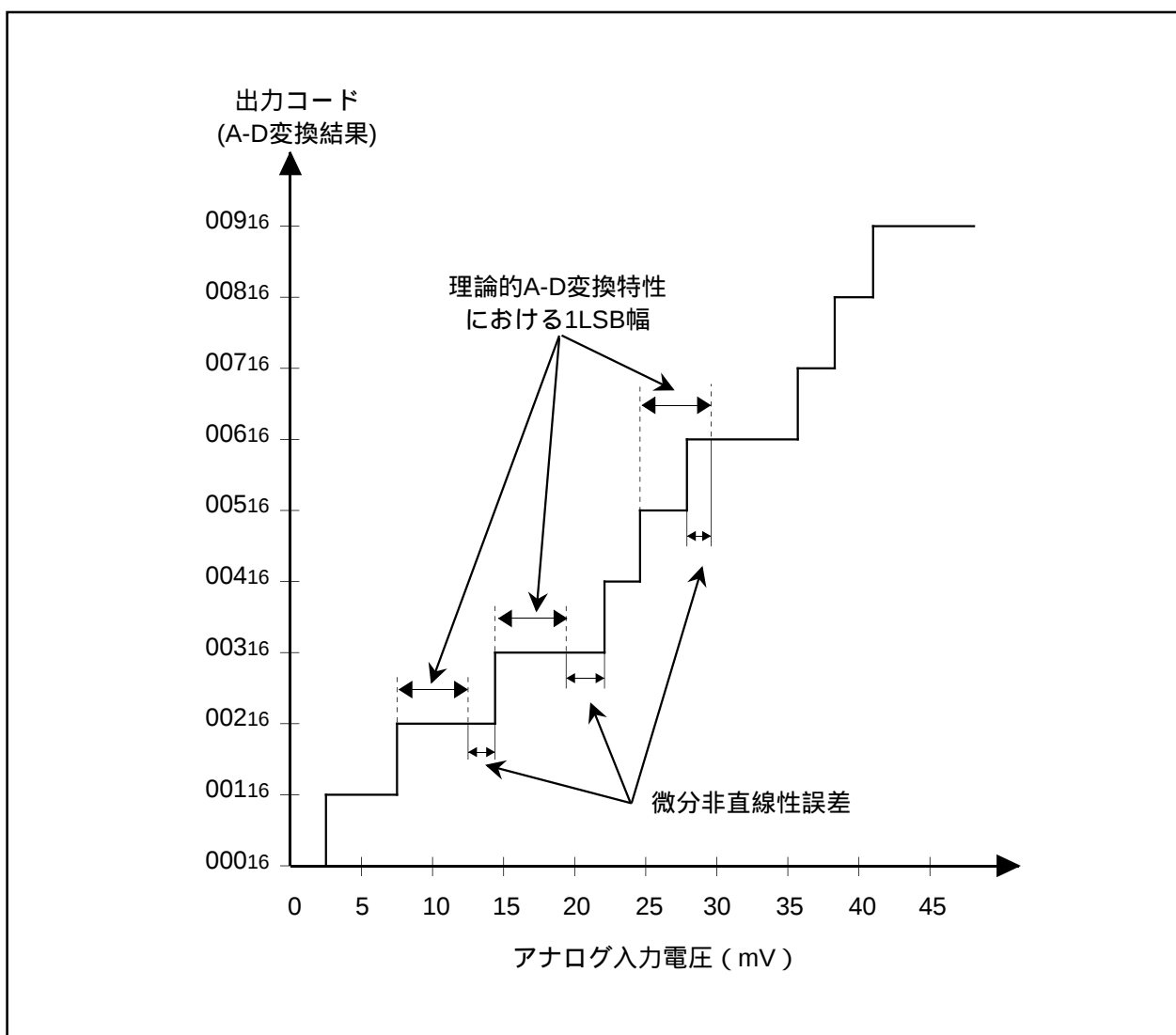


図2.7.27. 微分非直線性誤差(分解能10ビット時)

2.7.14 アナログ入力内部等価回路

図2.7.28にアナログ入力内部等価回路を示します。

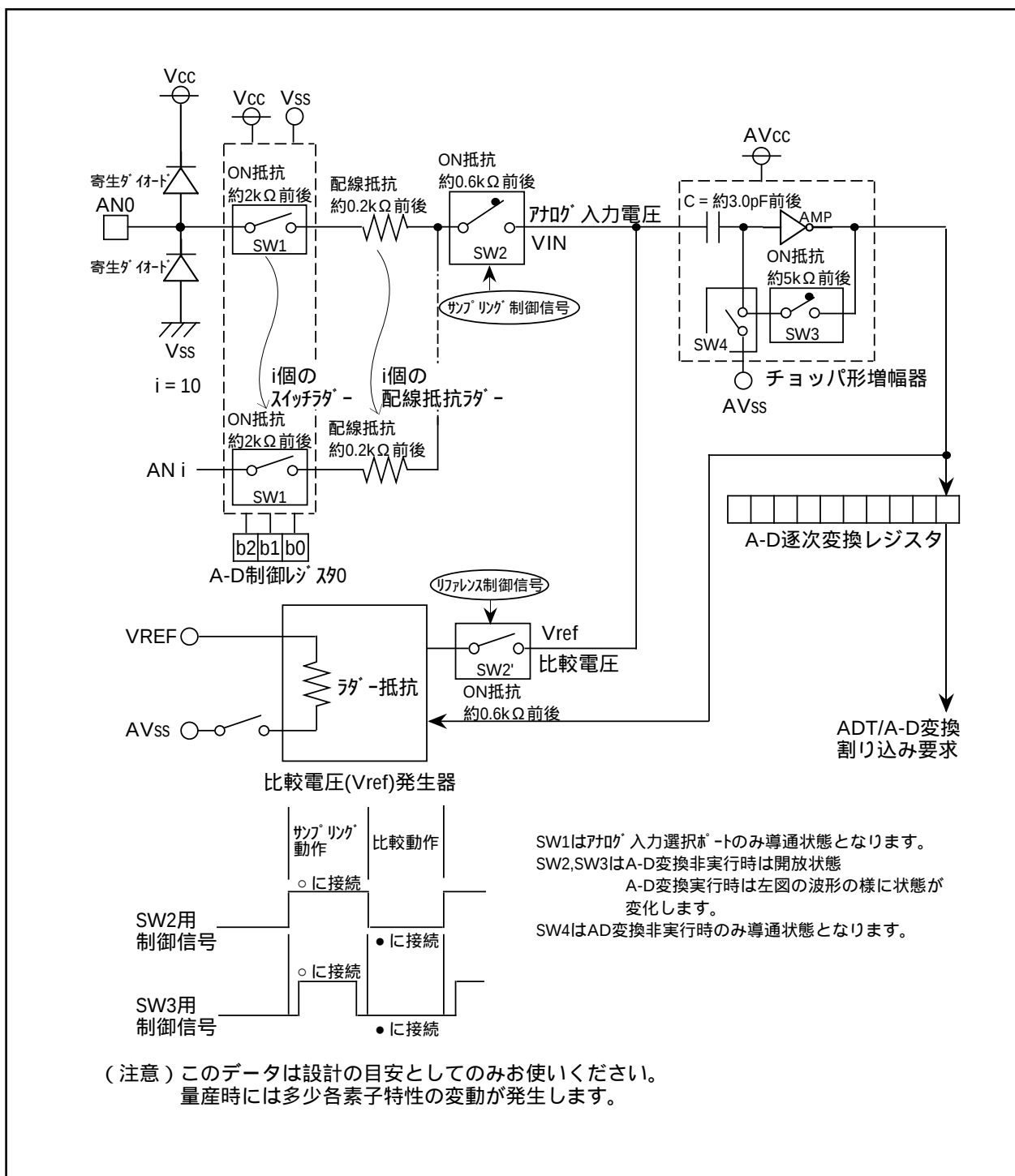


図2.7.28. アナログ入力内部等価回路

A-D変換器

2.7.15 A-D変換時のセンサーの出力インピーダンス

A-D変換を正しく行うためには、図2.7.29の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をTとすると、時間Tとは、図2.7.28において、スイッチSW2とSW3がともに○に接続されている時間です。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A-D変換器の精度(誤差)をX、分解されるレベル間隔をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$V_C \text{は一般に } V_C = V_{IN} \left\{ 1 - e^{-\frac{1}{C(R_0+R)} t} \right\}$$

$$t=T \text{ のとき、 } V_C = V_{IN} - \frac{X}{Y} V_{IN} = V_{IN} \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R_0+R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0+R)} T = \ln \frac{X}{Y}$$

$$\text{よって、 } R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

例として図2.7.29のようなモデルを考え、 V_{IN} と V_C の差が0.1LSBとなるときの、時間TでコンデンサCの端子間電圧 V_C が0から $V_{IN} - (0.1/1024)V_{IN}$ になるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA-D変換時に、コンデンサ充電不十分によるA-D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

$f(X_{IN})=10\text{MHz}$ の時、サンプル&ホールド付きA-D変換モードでは $T=0.3\mu\text{s}$ となります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

$$T=0.3\mu\text{s}, R=7.8\text{k}\Omega, C=3\text{pF}, X=0.1, Y=1024 \text{ だから、}$$

$$R_0 = -\frac{0.3 \times 10^{-6}}{3.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 3.0 \times 10^3$$

したがって、A-D変換器の精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大3.0kΩになります。表2.7.14、表2.7.15に出力インピーダンスとA-D変換器の精度(誤差)の関係を示します。

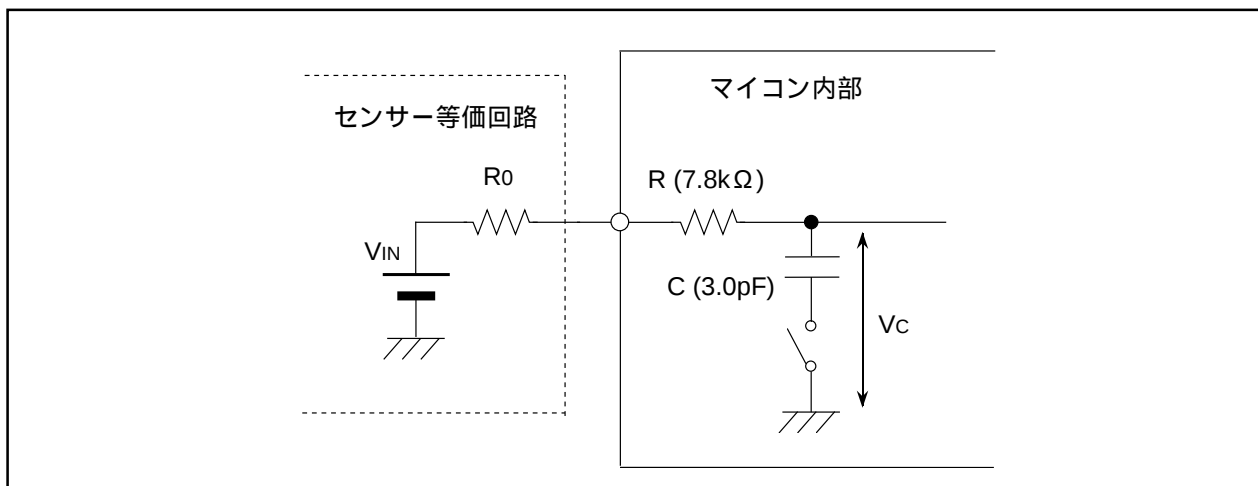


図2.7.29. A-D変換端子の等価回路

A-D変換器

表2.7.14. 出力インピーダンスとA-D変換器の精度(誤差)の関係(10ビットモード)

f(X _{IN}) (MHz)	サイクル (μ s)	サンプリング時間 (μ s)	R (k Ω)	C (pF)	誤差 (LSB)	R0 (k Ω)
10	0.1	0.3 (3×サイクル、 サンプル&ホールド 機能有効)	7.8	3.0	0.1	3.0
					0.3	4.5
					0.5	5.3
					0.7	5.9
					0.9	6.4
					1.1	6.8
					1.3	7.2
					1.5	7.5
					1.7	7.8
					1.9	8.1
10	0.1	0.2 (2×サイクル、 サンプル&ホールド 機能無効)	7.8	3.0	0.3	0.4
					0.5	0.9
					0.7	1.3
					0.9	1.7
					1.1	2.0
					1.3	2.2
					1.5	2.4
					1.7	2.6
					1.9	2.8

表2.7.15. 出力インピーダンスとA-D変換器の精度(誤差)の関係(8ビットモード)

f(X _{IN}) (MHz)	サイクル (μ s)	サンプリング時間 (μ s)	R (k Ω)	C (pF)	誤差 (LSB)	R0 (k Ω)
10	0.1	0.3 (3×サイクル、 サンプル&ホールド 機能有効)	7.8	3.0	0.1	4.9
					0.3	7.0
					0.5	8.2
					0.7	9.1
					0.9	9.9
					1.1	10.5
					1.3	11.1
					1.5	11.7
					1.7	12.1
					1.9	12.6
10	0.1	0.2 (2×サイクル、 サンプル&ホールド 機能無効)	7.8	3.0	0.1	0.7
					0.3	2.1
					0.5	2.9
					0.7	3.5
					0.9	4.0
					1.1	4.4
					1.3	4.8
					1.5	5.2
					1.7	5.5
					1.9	5.8

D-A変換器

2.8 D-A変換器使い方

2.8.1 D-A変換器使い方の概要

D-A変換器は、8ビットのR-2R方式によるD-A変換器です。D-A変換器使い方の概要について説明します。

● 出力電圧

0V ~ VREFまでの電圧を出力します。出力電圧は、 $V_{REF} / (256) \times \text{D-Aレジスタの内容}$ で決定します。

D-A変換器は、A-D変換器のVref接続ビットの影響は受けません。

● 変換時間

$$t_{su} = 3 \mu s$$

● D-A変換器の出力と方向レジスタ

D-A変換器を使用する場合、**ポートの方向レジスタ**は出力に設定しないでください。

● D-A変換器関連端子

- | | |
|---------------|----------------|
| (1) DA0、DA1端子 | D-A変換器の出力端子です。 |
| (2) AVCC端子 | アナログ部の電源端子です。 |
| (3) VREF端子 | 基準電圧の入力端子です。 |
| (4) AVSS端子 | アナログ部のGND端子です。 |

● D-A変換器関連レジスタ

図2.8.1にD-A変換器関連レジスタのメモリ配置図を、図2.8.2にD-A変換器関連レジスタの構成を示します。

● 注意事項

D-A出力端子は、P94, P93と兼用になっています。リセット時これらのポートは、入力ポートで出力はフローティングになります。

03D8 ₁₆	D-Aレジスタ0(DA0)
03D9 ₁₆	
03DA ₁₆	D-Aレジスタ1(DA1)
03DB ₁₆	
03DC ₁₆	D-A制御レジスタ(DACON)

図2.8.1. D-A変換器関連レジスタのメモリ配置図

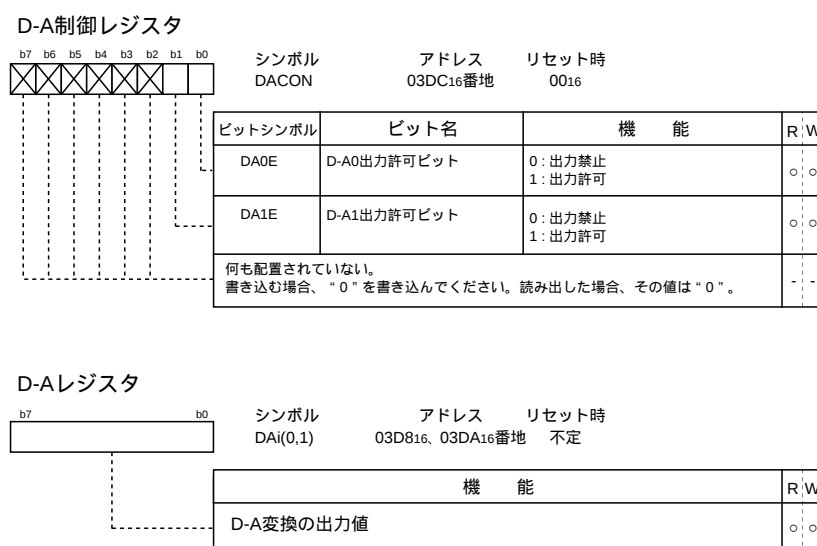


図2.8.2. D-A変換器関連レジスタ構成図

D-A変換器

2.8.2 D-A変換器の動作

D-A変換器の動作を説明します。また、[図2.8.3](#)に設定手順を示します。

- 動 作
- (1) **D-Aレジスタ i** に値を書き込むと、D-A変換が開始されます。
 - (2) **D-A i 出力許可ビット**を“1”にすると、DA i 端子からアナログ値が出力されます。
 - (3) D-A i 出力許可ビットを“0”にするまで、アナログ値が出力され続けます。

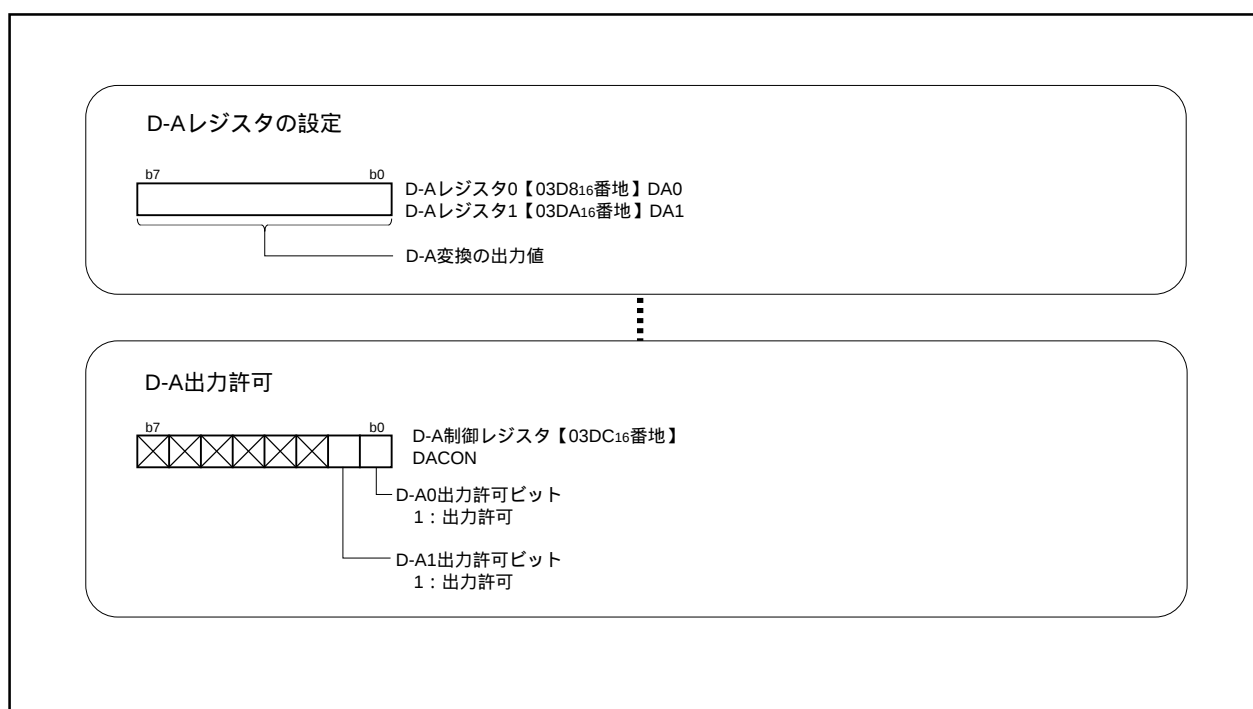


図2.8.3. D-A変換器のレジスタ設定手順

2.9 DMAC使い方

2.9.1 DMAC使い方の概要

DMACは、転送要求が発生するごとに転送元番地の1データを転送先番地へデータ転送する機能です。DMAC使い方の概要について説明します。

- 転送元アドレスと転送先アドレス

転送元を示すレジスタおよび転送先を示すレジスタは24ビットあり1Mバイトの空間を示すことができます。1データの転送終了後、転送元レジスタまたは転送先レジスタのどちらか一方のアドレスをインクリメントすることができます。転送元レジスタ、転送先レジスタの両方のアドレスをインクリメントすることはできません。転送元と転送先の組み合わせは次のとおりです。

- (1) 1Mバイトの任意の空間から固定アドレス
- (2) 固定アドレスから1Mバイトの任意の空間
- (3) 固定アドレスから固定アドレス

- 転送データ数

転送カウンタに示されるデータ数を転送します。16ビット転送を選択した場合、最大転送バイト数は128Kバイト、8ビット転送を選択した場合、最大転送バイト数は64Kバイトになります。

転送カウンタは、1データの転送ごとにデクリメントします。アンダフローしたときにDMA割り込み要求が発生します。

- DMA転送要因

INT0 / INT1端子の立ち下がりエッジ / 両エッジ、タイマA0～タイマA4割り込み要求、タイマB0～タイマB5割り込み要求、UART0送信割り込み要求、UART0受信割り込み要求、UART1送信割り込み要求 / UART1受信割り込み要求、UART2送信割り込み要求、UART2受信割り込み要求、SI/O3,4割り込み要求、A-D変換割り込み要求、ソフトウェアトリガの25種類の要因から選択することができます。

ソフトウェアトリガを選択した場合、ソフトウェアで**ソフトウェアDMA要求ビット**に“1”を書き込むことでDMA転送が行われます。それ以外の要因を選択した場合、対応する割り込み要求が発生することでDMA転送が行われます。

- チャンネルの優先順位

DMA0の転送要求とDMA1の転送要求が同時に発生した場合、DMA0の転送が優先して行われます。

- レジスタへの書き込み

DMA許可状態で転送元レジスタ、転送先レジスタに書き込みを行った場合、アドレスを固定しているレジスタに対しては、書き込みと同時に変更されます。したがって、アドレスを固定しているレジスタに対しては、**DMA許可ビット**が“1”のときには書き込まないでください。順方向を選択しているレジスタ、および転送カウンタは、リロード時に変更されます。

リロードは、転送カウンタがアンダフローしたとき、およびDMA許可ビットを禁止にした後再度許可にしたとき発生します。

リロードレジスタへは、常時、書き込むことができます。

- レジスタの読み込み

常時、読み出すことができます。

- 選択機能

- (1) 単転送/リピート転送切り替え

単転送とは、転送カウンタがアンダフローした後、DMA禁止状態になるモードです。リピート転送とは、転送カウンタがアンダフローした後、再度リロードし転送を繰り返すモードです。

リロードは、転送カウンタに対して、および順方向を選択しているアドレスポインタに対して行われます。

次のとおり選択した動作例を示します。

- 1Mバイトの任意の空間から固定アドレス、単転送 P2-148
- 固定アドレスから1Mバイトの任意の空間、リピート転送 P2-150

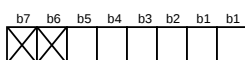
- DMAC関連レジスタ

図2.9.1にDMAC関連レジスタのメモリ配置図を、図2.9.2、図2.9.3にDMAC関連レジスタの構成を示します。

0020 ₁₆	DMA0ソ - スポインタ(SAR0)
0021 ₁₆	
0022 ₁₆	
0023 ₁₆	DMA0ディスティネ - ションポインタ(DAR0)
0024 ₁₆	
0025 ₁₆	
0026 ₁₆	DMA0転送カウンタ(TCR0)
0027 ₁₆	
0028 ₁₆	
0029 ₁₆	~
~	~
002C ₁₆	DMA0制御レジスタ(DM0CON)
~	~
~	~
0030 ₁₆	DMA1ソ - スポインタ(SAR1)
0031 ₁₆	
0032 ₁₆	
0033 ₁₆	DMA1ディスティネ - ションポインタ(DAR1)
0034 ₁₆	
0035 ₁₆	
0036 ₁₆	DMA1転送カウンタ(TCR1)
0037 ₁₆	
0038 ₁₆	
0039 ₁₆	~
~	~
003C ₁₆	DMA1制御レジスタ(DM1CON)
~	~
~	~
004B ₁₆	DMA0割り込み制御レジスタ(DM0IC)
004C ₁₆	DMA1割り込み制御レジスタ(DM1IC)
~	~
~	~
03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)
03B9 ₁₆	
03BA ₁₆	
03BA ₁₆	DMA1要因選択レジスタ(DM1SL)

図2.9.1. DMAC関連レジスタのメモリ配置図

DMAi制御レジスタ



シンボル アドレス リセット時
DMiCON(i=0,1) 002C₁₆番地, 003C₁₆番地 00000X00₂

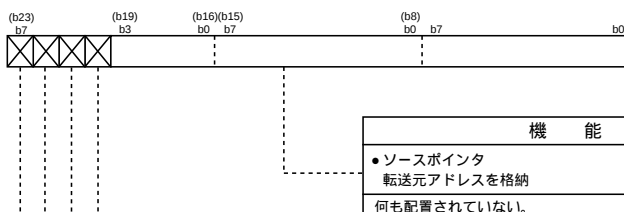
ビットシンボル	ビット名	機 能	R	W
DMBIT	転送単位ビット数選択ビット	0: 16ビット 1: 8ビット	○	○
DMASL	リピート転送モード 選択ビット	0: 単転送 1: リピート転送	○	○
DMAS	DMA要求ビット(注1)	0: 要求なし 1: 要求あり	○	○ (注2)
DMAE	DMA許可ビット	0: 禁止 1: 許可	○	○
DSD	転送元アドレス方向 選択ビット(注3)	0: 固定 1: 順方向	○	○
DAD	転送先アドレス方向 選択ビット(注3)	0: 固定 1: 順方向	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			-	-

注1. DMA要求をクリアするには“0”を書き込むことで行えます。

注2. “0”だけ書き込み可。

注3. 転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に
“1”にしないでください。

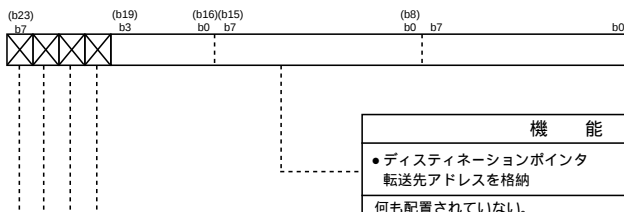
DMAiソースポインタ(i=0,1)



シンボル アドレス リセット時
SAR0 0022₁₆番地 ~ 0020₁₆番地 不定
SAR1 0032₁₆番地 ~ 0030₁₆番地 不定

機 能	転送番地指定領域	R	W
• ソースポインタ 転送元アドレスを格納	00000 ₁₆ ~ FFFFF ₁₆	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		-	-

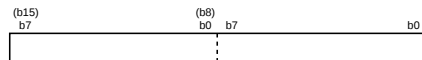
DMAiディスティネーションポインタ(i=0,1)



シンボル アドレス リセット時
DAR0 0026₁₆番地 ~ 0024₁₆番地 不定
DAR1 0036₁₆番地 ~ 0034₁₆番地 不定

機 能	転送番地指定領域	R	W
• ディスティネーションポインタ 転送先アドレスを格納	00000 ₁₆ ~ FFFFF ₁₆	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		-	-

DMAi転送カウンタ(i=0,1)



シンボル アドレス リセット時
TCR0 0029₁₆番地, 0028₁₆番地 不定
TCR1 0039₁₆番地, 0038₁₆番地 不定

機 能	転送回数指定	R	W
• 転送カウンタ 転送回数-1の値を設定してください	0000 ₁₆ ~ FFFF ₁₆	○	○

図2.9.3. DMAC関連レジスタの構成(2)

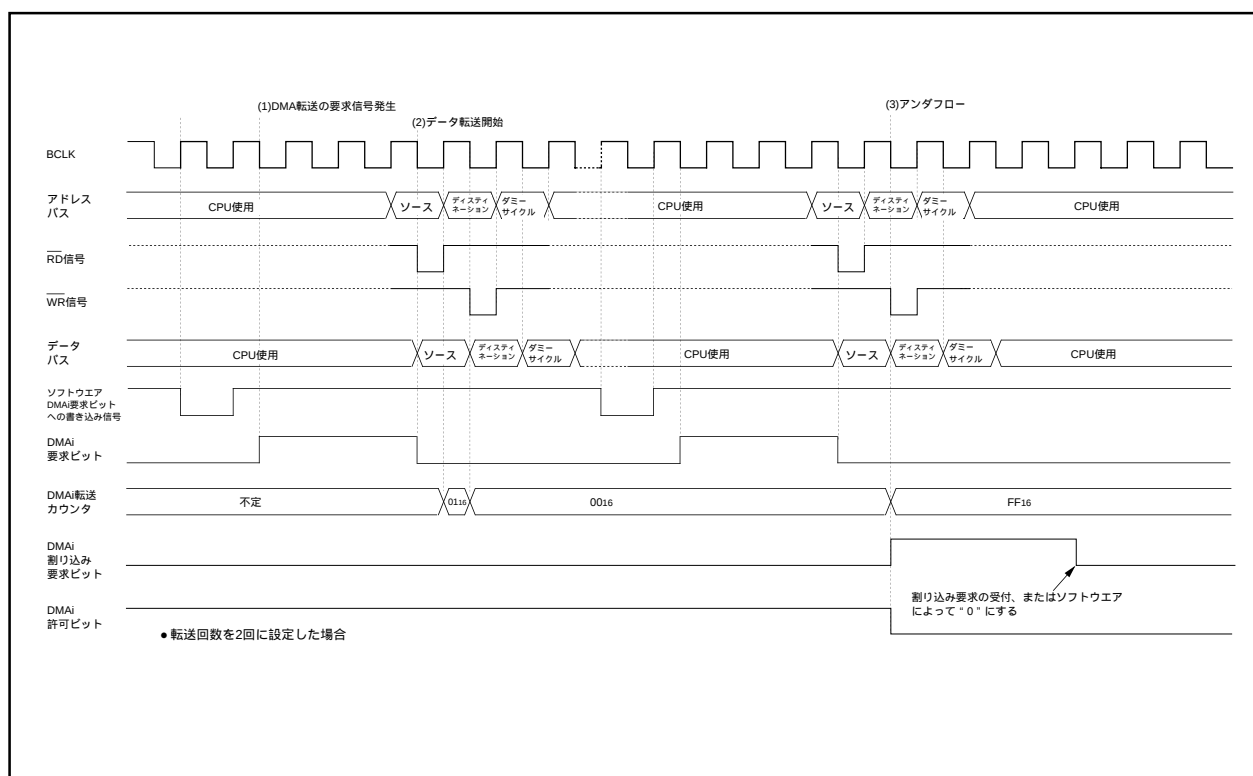
2.9.2 DMACの動作（単転送モード）

単転送モードでは、表2.9.1に示す項目の中から機能を選択できます。ここでは、表2.9.1に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.9.4に動作例を、図2.9.5に設定手順を示します。

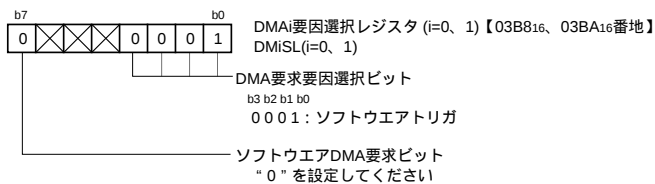
表2.9.1. 設定内容

設定項目	設定内容
転送空間	○ 1Mバイトの任意の空間から固定アドレス
	固定アドレスから1Mバイトの任意の空間
	固定アドレスから固定アドレス
転送単位	○ 8ビット
	16ビット

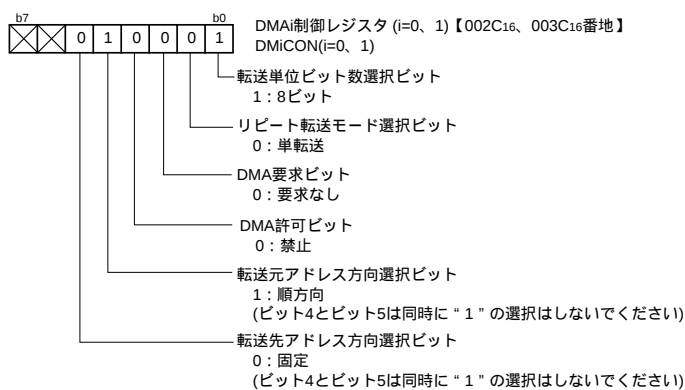
- 動作
- (1) ソフトウェアトリガ選択時、ソフトウェアDMA要求ビットを“1”にすると、DMA転送の要求信号が発生します。
 - (2) DMACがアクティブ状態であればデータ転送が開始され、DMAi順方向アドレスポインタが示す番地の内容は、DMAiディスティネーションポインタが示す番地に転送されます。なお、DMACをアクティブ状態にした直後のデータ転送開始時に、DMAi転送カウンタリロードレジスタの値はDMAi転送カウンタにリロードされ、DMAiソースポインタの値がDMAi順方向アドレスポインタにリロードされます。
- DMA転送の要求信号が発生するごとに1バイトのデータ転送が行われます。DMAi転送カウンタはダウンカウントされ、DMAi順方向アドレスポインタはアップカウントされます。
- (3) DMAi転送カウンタがアンダフローすると、DMA許可ビットは“0”になり、DMA転送は終了します。同時にDMAi割り込み要求ビットが“1”になります。



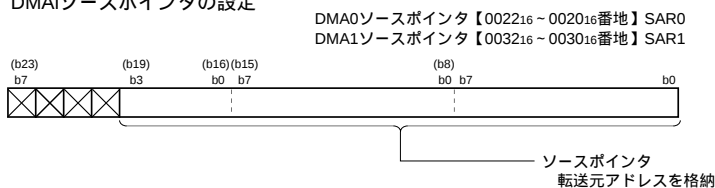
DMAi要因選択レジスタの設定



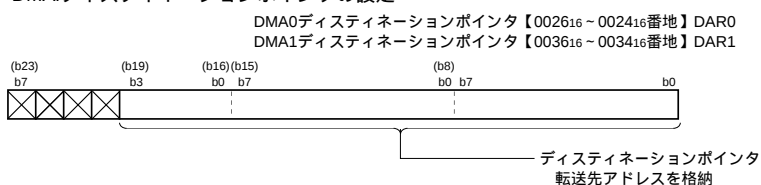
DMAi制御レジスタの設定



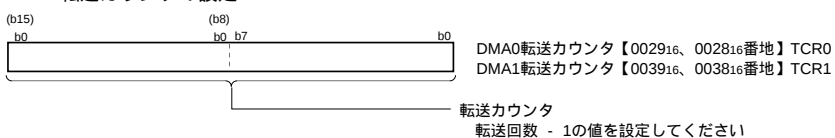
DMAiソースポインタの設定



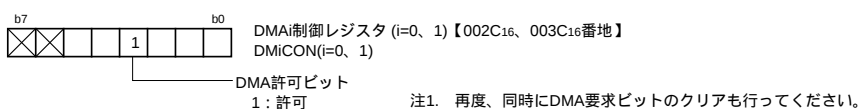
DMAiディスティネーションポインタの設定



DMAi転送カウンタの設定



DMA許可



ソフトウェアDMA要求ビットを "1" にすると
DMA転送開始

図2.9.5. 単転送モード時のレジスタ設定手順

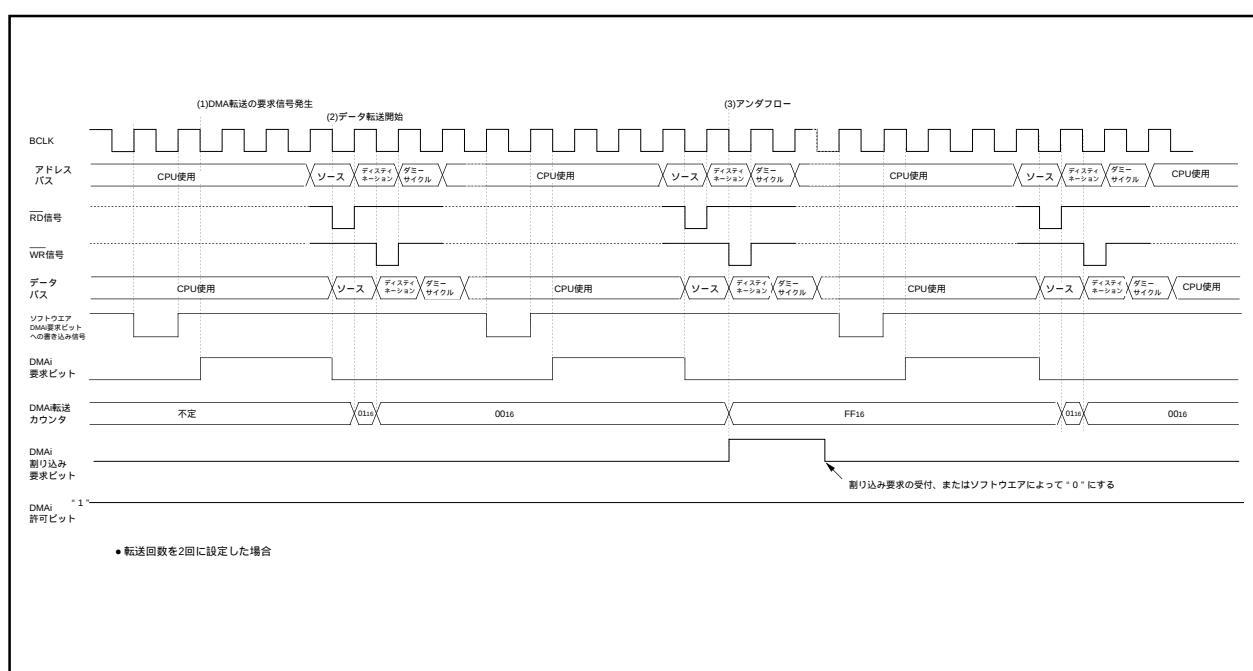
2.9.3 DMACの動作 (リピート転送)

リピート転送モードでは、表2.9.2に示す項目の中から機能を選択できます。ここでは、表2.9.2に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.9.6に動作例を、図2.9.7に設定手順を示します。

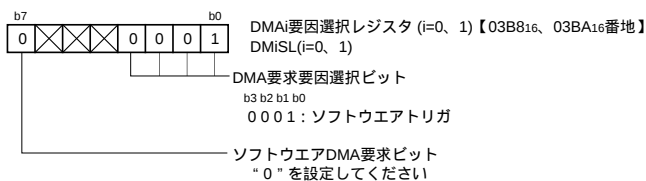
表2.9.2. 設定内容

設定項目	設定内容
転送空間	1Mバイトの任意の空間から固定アドレス
	○ 固定アドレスから1Mバイトの任意の空間
	固定アドレスから固定アドレス
転送単位	8ビット
	○ 16ビット

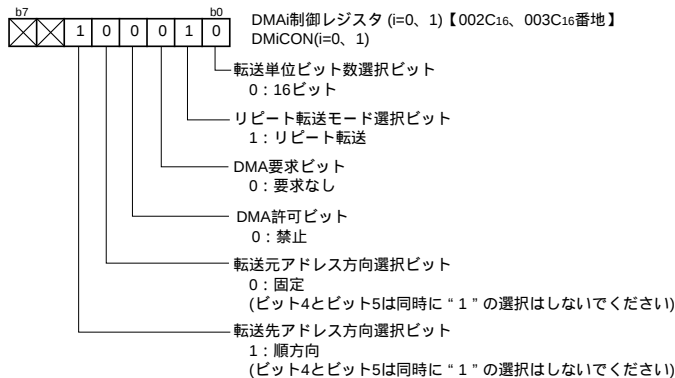
- 動作
- (1) ソフトウェアトリガ選択時、ソフトウェアDMA要求ビットを“1”にすると、DMA転送の要求信号が発生します。
 - (2) DMACがアクティブ状態であればデータ転送が開始され、DMAiソースポインタが示す番地の内容は、DMAi順方向アドレスポインタが示す番地に転送されます。なお、DMACをアクティブ状態にした直後のデータ転送開始時に、DMAi転送カウンタリロードレジスタの値はDMAi転送カウンタにリロードされ、DMAiディスティネーションポインタの値がDMAi順方向アドレスポインタにリロードされます。
DMA転送の要求信号が発生するごとに2バイトのデータ転送が行われます。DMAi転送カウンタはダウンカウントされ、DMAi順方向アドレスポインタはアップカウントされます。
 - (3) DMAi転送カウンタがアンダフローしてもDMA許可ビットは“1”のままです。
DMAi転送カウンタがアンダフローしたときDMAi割り込み要求ビットが“1”になります。
 - (4) DMAi転送カウンタがアンダフローした後、次のDMA転送の要求信号が発生すると(1)に戻り、データ転送を繰り返します。



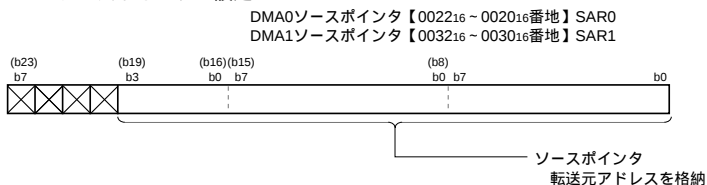
DMAi要因選択レジスタの設定



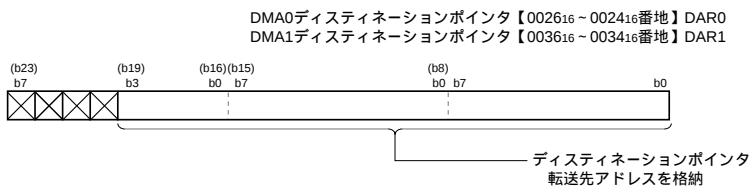
DMAi制御レジスタの設定



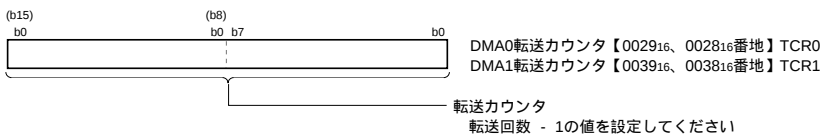
DMAiソースポインタの設定



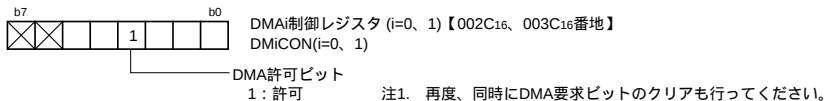
DMAiディスティネーションポインタの設定



DMAi転送カウンタの設定



DMA許可



ソフトウェアDMA要求ビットを "1" にすると
DMA転送開始

図2.9.7. リピート転送モード時のレジスタ設定手順

CRC演算回路

2.10 CRC演算回路の使い方

2.10.1 CRC演算回路使い方の概要

CRC(Cyclic Redundancy Check)とは、通信データを生成多項式によって加工したCRCコードと送られてきたCRCチェックデータとを比較することで、通信データの誤り検出する方法です。CRC演算回路を用いれば、CRCコードを生成することができます。生成多項式はCRC-CCITT($X^{16}+X^{12}+X^5+1$)を使用します。

- CRC演算回路関連のレジスタ

図2.10.1にCRC関連レジスタのメモリ配置図を、図2.10.2にCRC関連レジスタの構成を示します。

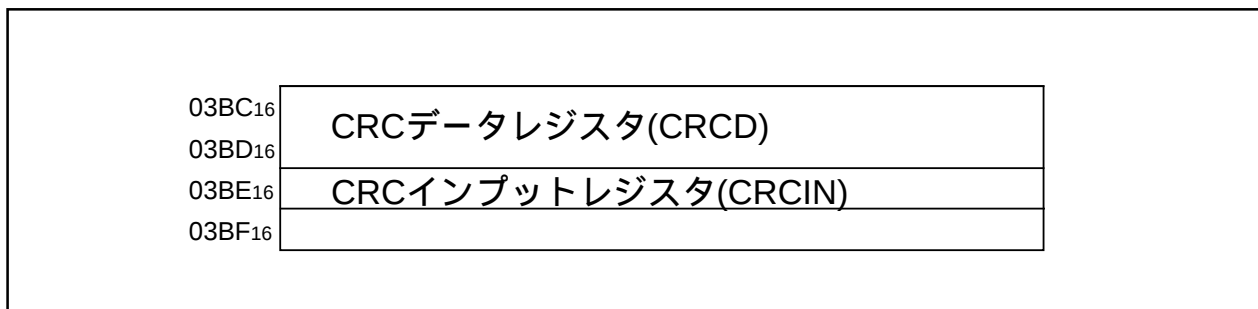


図2.10.1. CRC演算回路関連レジスタのメモリ配置図

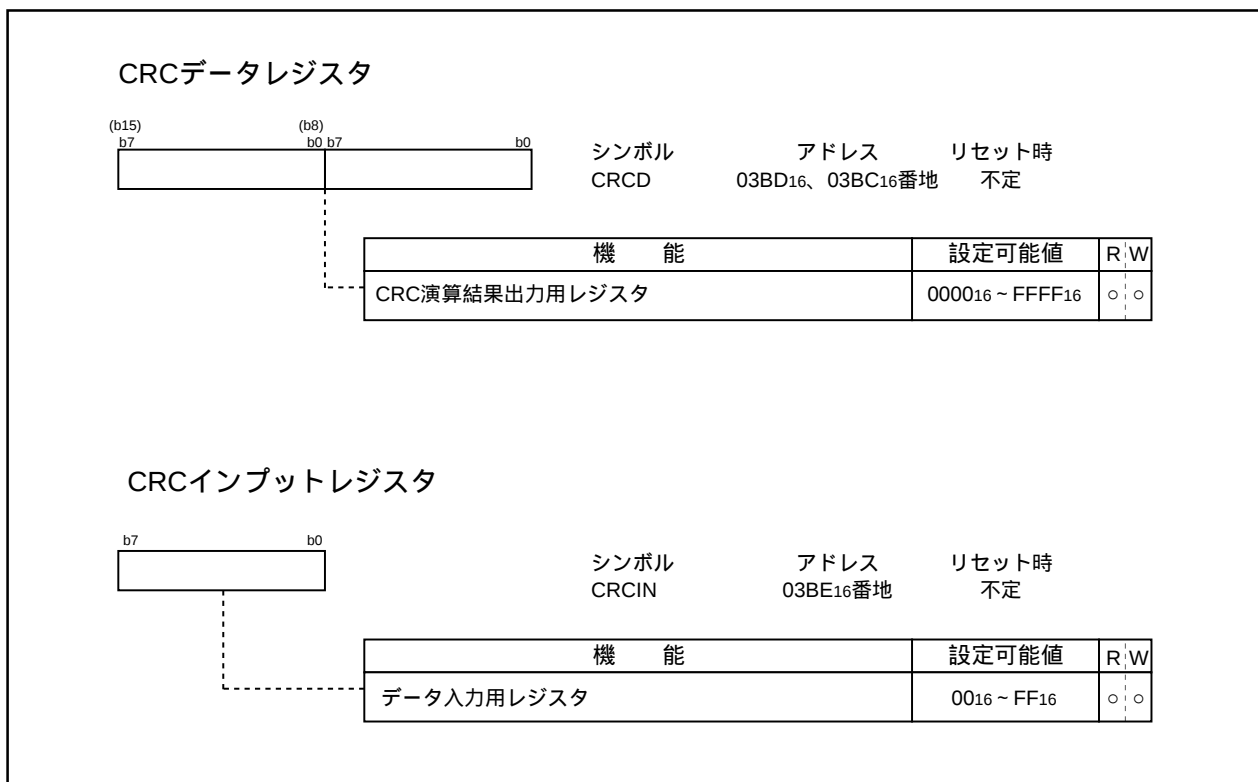


図2.10.2. CRC演算回路関連レジスタの構成

2.10.2 CRC演算回路の動作

CRC演算回路の動作について説明します。また、図2.10.3にCRC演算回路の演算例を示します。

- 動作
- (1) CRCデータレジスタに初期値0000₁₆を設定します。
 - (2) CRCインプットレジスタに1バイトのデータを書き込むと、書き込んだデータとCRCデータレジスタの内容に基づいて、CRCコードがCRCデータレジスタに生成されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。
 - (3) 連続数バイトCRC演算で行う場合には、続けて次のデータをCRCインプットレジスタに書き込んでください。
 - (4) 全データを書き終えた後のCRCデータレジスタの内容がCRC符号となります。

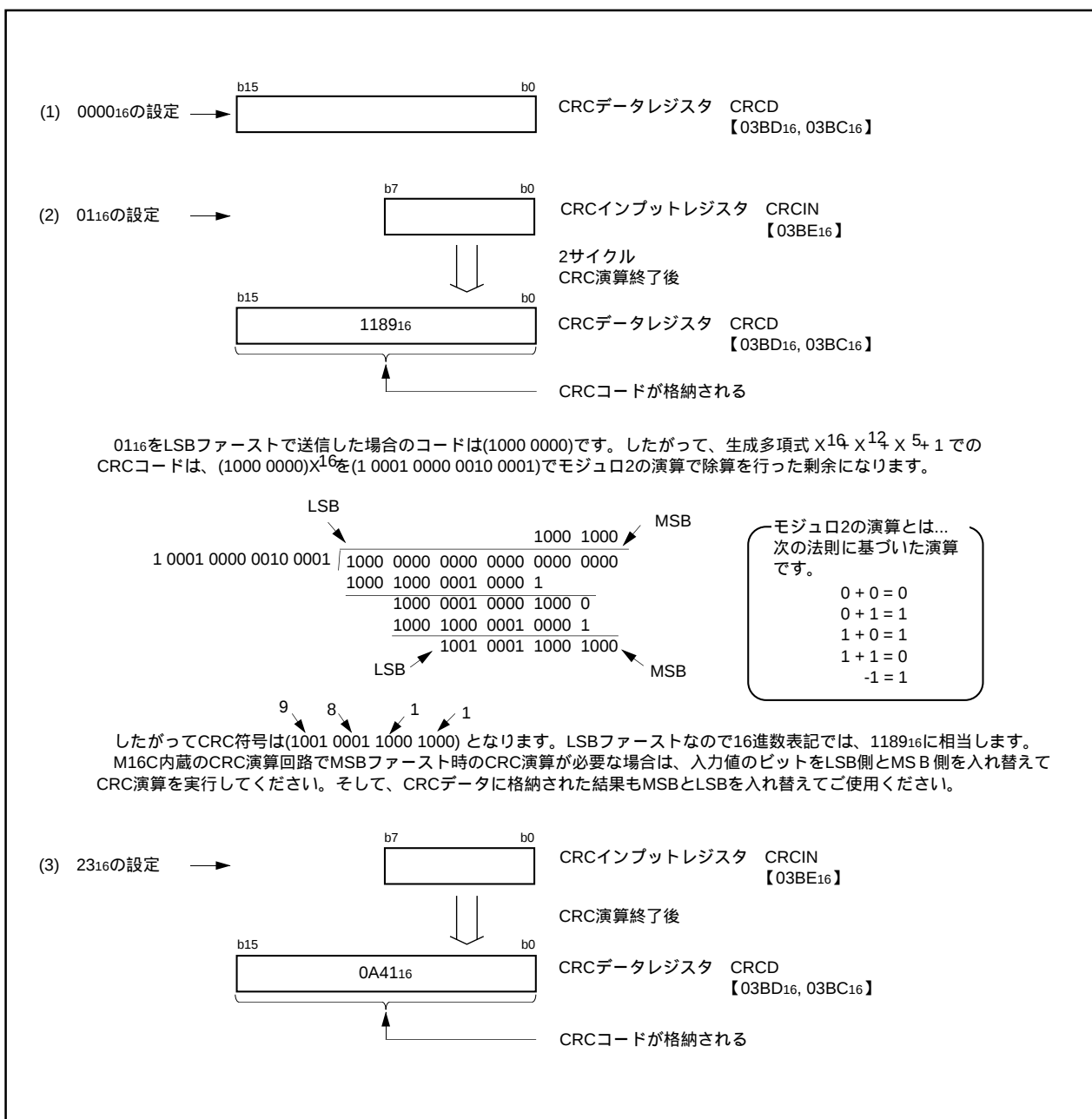


図2.10.3. データ0123₁₆でのCRC演算回路の演算例

監視タイマ

2.11 監視タイマ使い方

2.11.1 監視タイマ使い方の概要

監視タイマは、プリスケアラ付き15ビットのタイマでプログラムの暴走を検知することができます。したがって、システムの信頼性向上のために、監視タイマを使用されることをお奨めします。監視タイマ使い方の概要について説明します。

- 監視タイマの開始

リセット時、監視タイマは停止しています。監視タイマスタートレジスタに書き込みを行うと、監視タイマは7FFF₁₆に初期化され、ダウンカウントを開始します。一度動作を開始した監視タイマは、監視タイマの停止条件以外では停止させることはできません。

- 監視タイマの停止条件

監視タイマは、次の状態のとき停止します。

- (1) CPUがストップ状態の期間。
- (2) CPUがウェイト状態の期間。
- (3) ホールド状態の期間。

- 監視タイマの初期化

監視タイマは次のとき7FFF₁₆に初期化され、継続してダウンカウントを行います。

- (1) 監視タイマがカウント中に監視タイマスタートレジスタに書き込みを行った場合
- (2) 監視タイマがアンダフローした場合

- 暴走の検知

監視タイマがアンダフローすると、監視タイマ割り込みが発生します。プログラムでは、監視タイマがアンダフローする前に、監視タイマスタートレジスタに書き込みを行ってください。

監視タイマ割り込みは割り込み許可フラグ(Iフラグ)の状態にかかわらず発生します。監視タイマ割り込み処理では、ソフトウェアリセットビットを“1”にしてソフトウェアリセットをかけてください。

- 監視タイマの周期

監視タイマの周期は、BCLKと選択されたプリスケアラの分周比によって変わります。

監視タイマの周期を以下に示します。

表2.11.1. 監視タイマの周期

CM07	CM06	CM17	CM16	BCLK	WDC7	周 期
0	0	0	0	16MHz	0	約32.8ms(注1)
					1	約262.1ms(注1)
0	0	0	1	8MHz	0	約65.5ms(注1)
					1	約524.3ms(注1)
0	0	1	0	4MHz	0	約131.1ms(注1)
					1	約1.049s(注1)
0	0	1	1	1MHz	0	約524.3ms(注1)
					1	約4.194s(注1)
0	1	無効	無効	2MHz	0	約262.1ms(注1)
					1	約2.097s(注1)
1	無効	無効	無効	32kHz	無効	約2s(注1)

注1. プリスケアラによる誤差が生じます。

監視タイマ

● 監視タイマ関連レジスタ

図2.11.1に監視タイマ関連レジスタのメモリ配置図を、図2.11.2に監視タイマ関連レジスタの構成を示します。

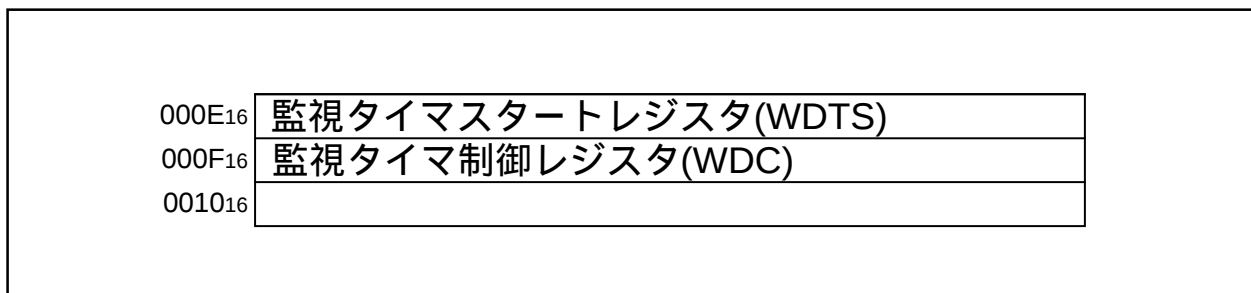


図2.11.1. 監視タイマ関連レジスタのメモリ配置図

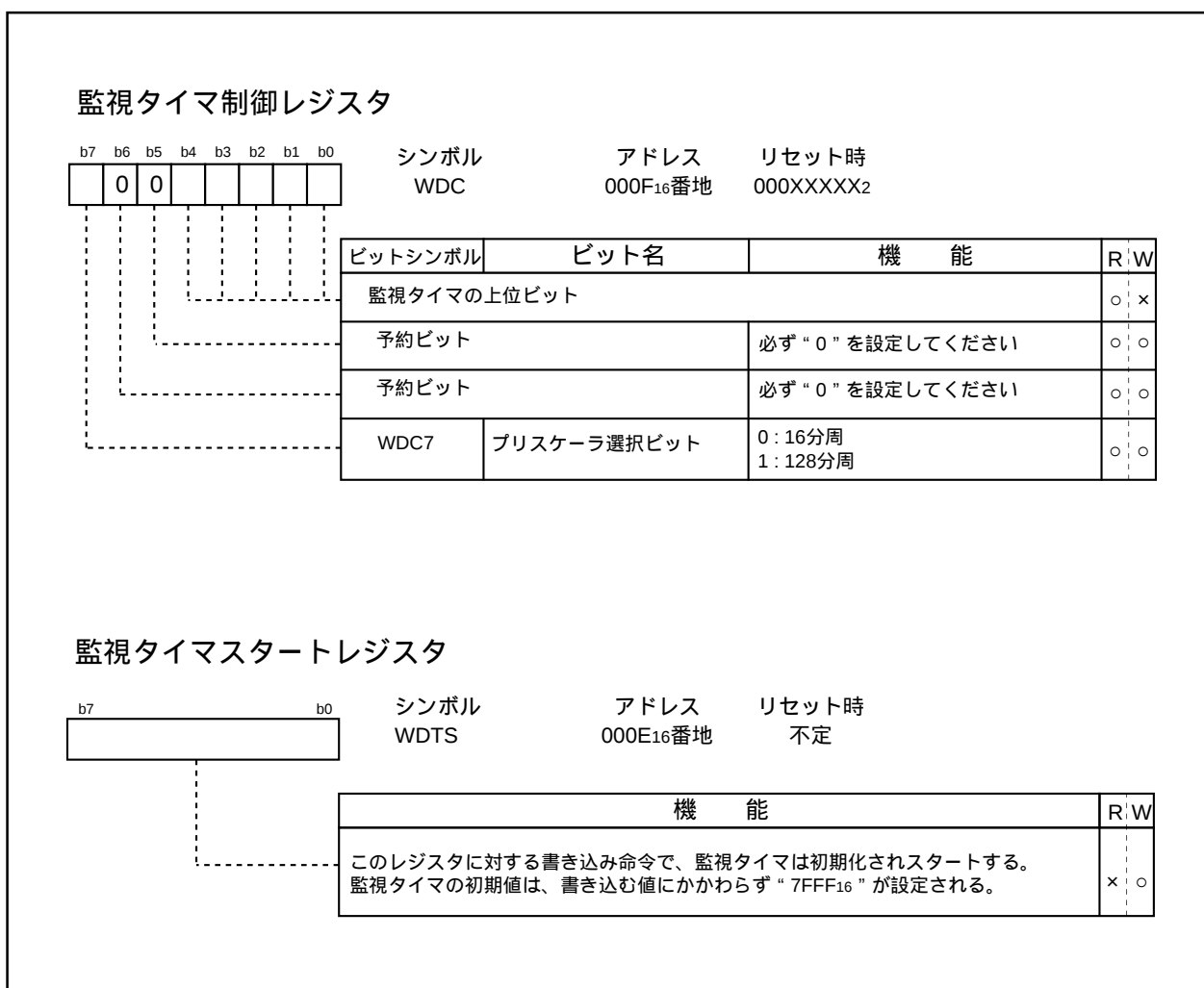


図2.11.2. 監視タイマ関連レジスタの構成

2.11.2 監視タイマの動作

監視タイマの動作について説明します。また、[図2.11.3](#)に動作タイミングを、[図2.11.4](#)に設定手順を示します。

- 動作
- (1) [監視タイマスタートレジスタ](#)に書き込みを行うと、監視タイマは7FFF₁₆に初期化されダウンカウントを開始します。
 - (2) カウント実行中に再度書き込みを行うと、監視タイマは7FFF₁₆に初期化され、カウントを継続して行います。
 - (3) WAIT命令の実行やストップ状態になると、監視タイマはカウント中の値を保持して停止します。WAIT命令の実行やストップ状態から復帰後、保持した値からカウントを再開します。
 - (4) 監視タイマがアンダフローすると、監視タイマは7FFF₁₆に初期化され、カウントを継続して行います。同時に、監視タイマ割り込みが発生します。

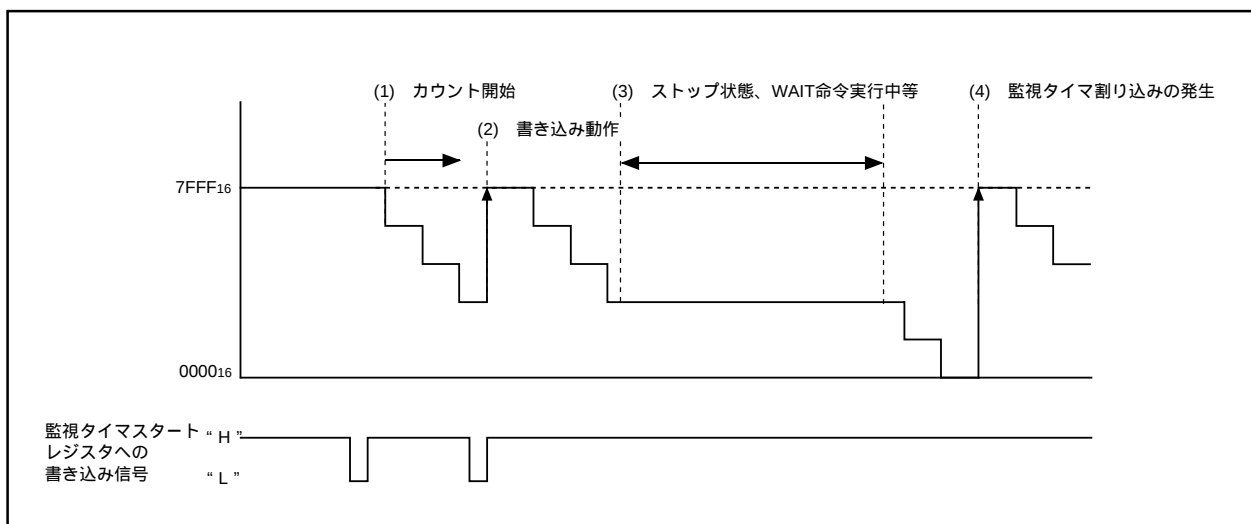


図2.11.3. 監視タイマの動作タイミング図

監視タイマ

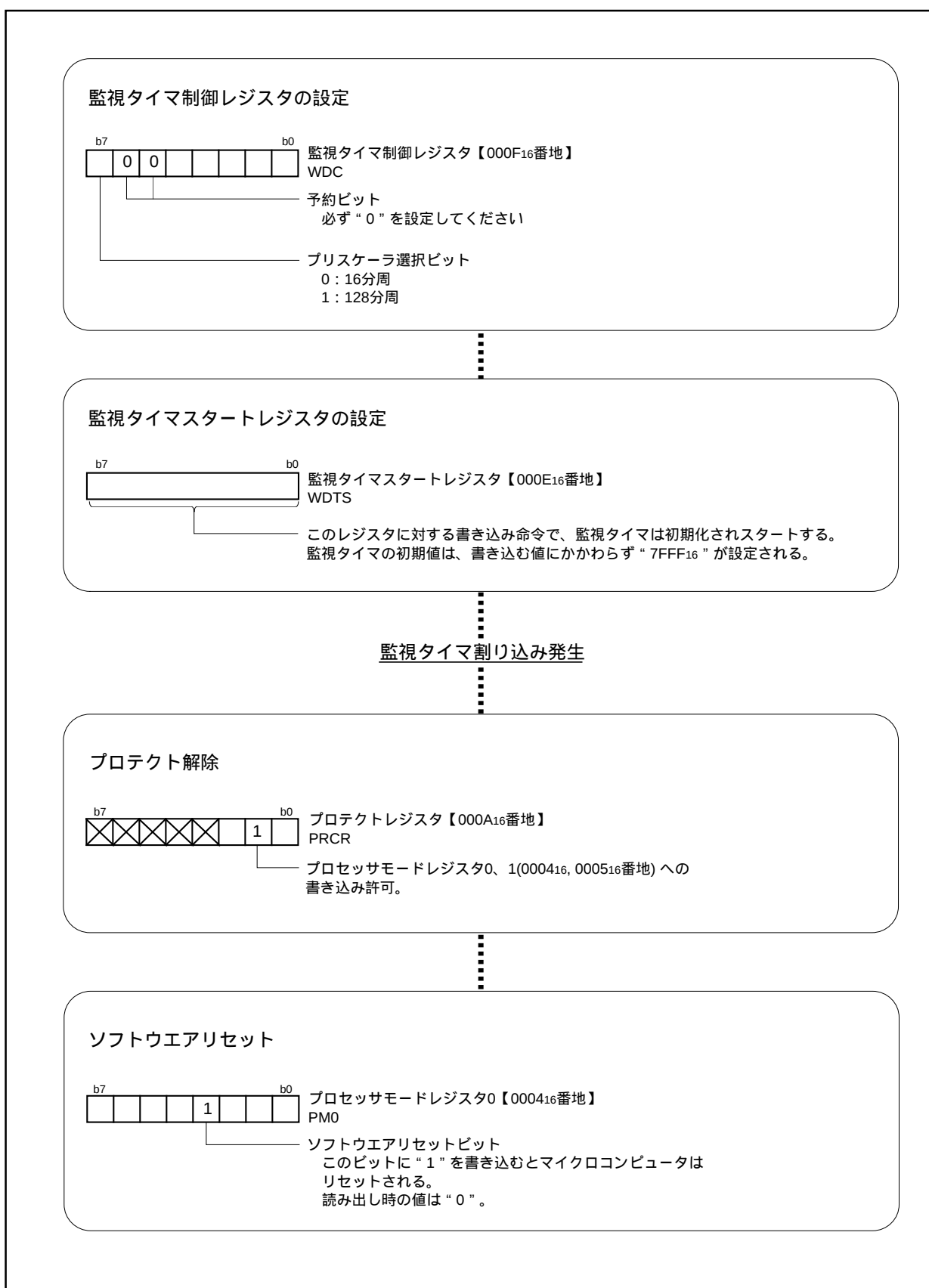


図2.11.4. 監視タイマ割り込みの設定手順

アドレス一致割り込み

2.12 アドレス一致割り込み使い方

2.12.1 アドレス一致割り込み使い方の概要

アドレス一致割り込みは、ROM修正やデバッグ用の簡易モニタ等に使用できます。アドレス一致割り込み使い方の概要について説明します。

- アドレス一致割り込みの許可、禁止

アドレス一致割り込み許可ビットで許可、禁止できます。プロセッサ割り込み優先レベル(IPL)や割り込み許可フラグ(Iフラグ)の影響は受けません。

- アドレス一致割り込みの発生タイミング

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に割り込みは発生します。

アドレス一致割り込みレジスタには、命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

また、割り込みルーチンの先頭の命令もアドレス一致割り込みは発生しません。

- アドレス一致割り込みからの復帰

アドレス一致割り込みが発生したときにスタックに積まれる番地は、実行直前の命令(アドレス一致割り込みレジスタで示される命令)によって異なります。戻り先番地がスタックに積まれています。したがって、アドレス一致割り込みから復帰する場合、スタックの内容を書き替えてREIT命令で復帰するか、またはスタックをPOP命令等を使用して、割り込み発生前の状態に戻してからジャンプ命令で復帰してください。

実行直前の命令と割り込み発生時にスタックに積まれる番地を図2.12.1に示します。

< アドレス一致割り込み発生時に、戻り先 + 2 された番地がスタックに積まれる命令 >

- 16 ビットオペコード命令

- 8 ビットオペコードの命令のうち、以下に示す命令

ADD.B:S	#IMM8,dest	SUB.B:S	#IMM8,dest	AND.B:S	#IMM8,dest
OR.B:S	#IMM8,dest	MOV.B:S	#IMM8,dest	STZ.B:S	#IMM8,dest
STNZ.B:S	#IMM8,dest	STZX.B:S	#IMM81,#IMM82,dest		
CMP.B:S	#IMM8,dest	PUSHM	src	POPM	dest
JMPS	#IMM8	JSRS	#IMM8		
MOV.B:S	#IMM,dest	(ただし、dest = A0 / A1)			

< アドレス一致割り込み発生時に、戻り先 + 1 された番地がスタックに積まれる命令 >

- 上記以外

図2.12.1. 実行直前の命令と割り込み発生時にスタックに積まれる番地

- アドレス一致割り込みの判定方法

アドレス一致割り込みは、2箇所、設定することができますが、2箇所とも同じベクタアドレスです。したがって、アドレス一致割り込み0で発生したのかアドレス一致割り込み1で発生したのかの判断が必要です。スタックの内容等で、アドレス一致割り込みルーチンの先頭で判断してください。

アドレス一致割り込み

• アドレス一致割り込み関連レジスタ

図2.12.2にアドレス一致割り込み関連レジスタのメモリ配置図を、図2.12.3にアドレス一致割り込み関連レジスタの構成を示します。

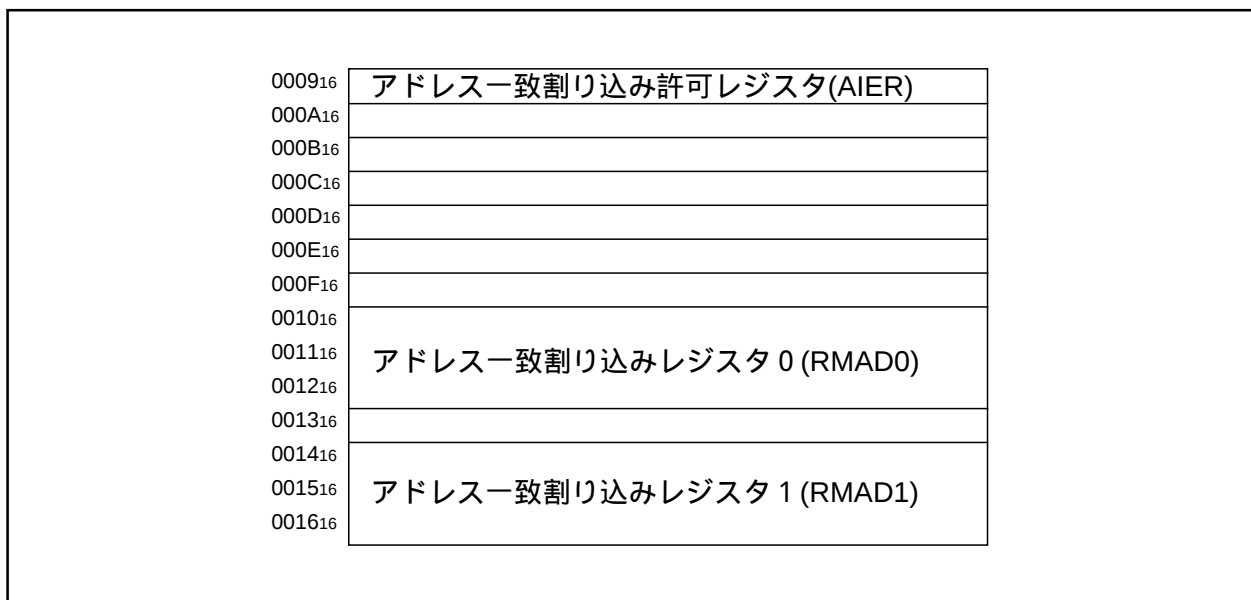


図2.12.2. アドレス一致割り込み関連レジスタのメモリ配置図

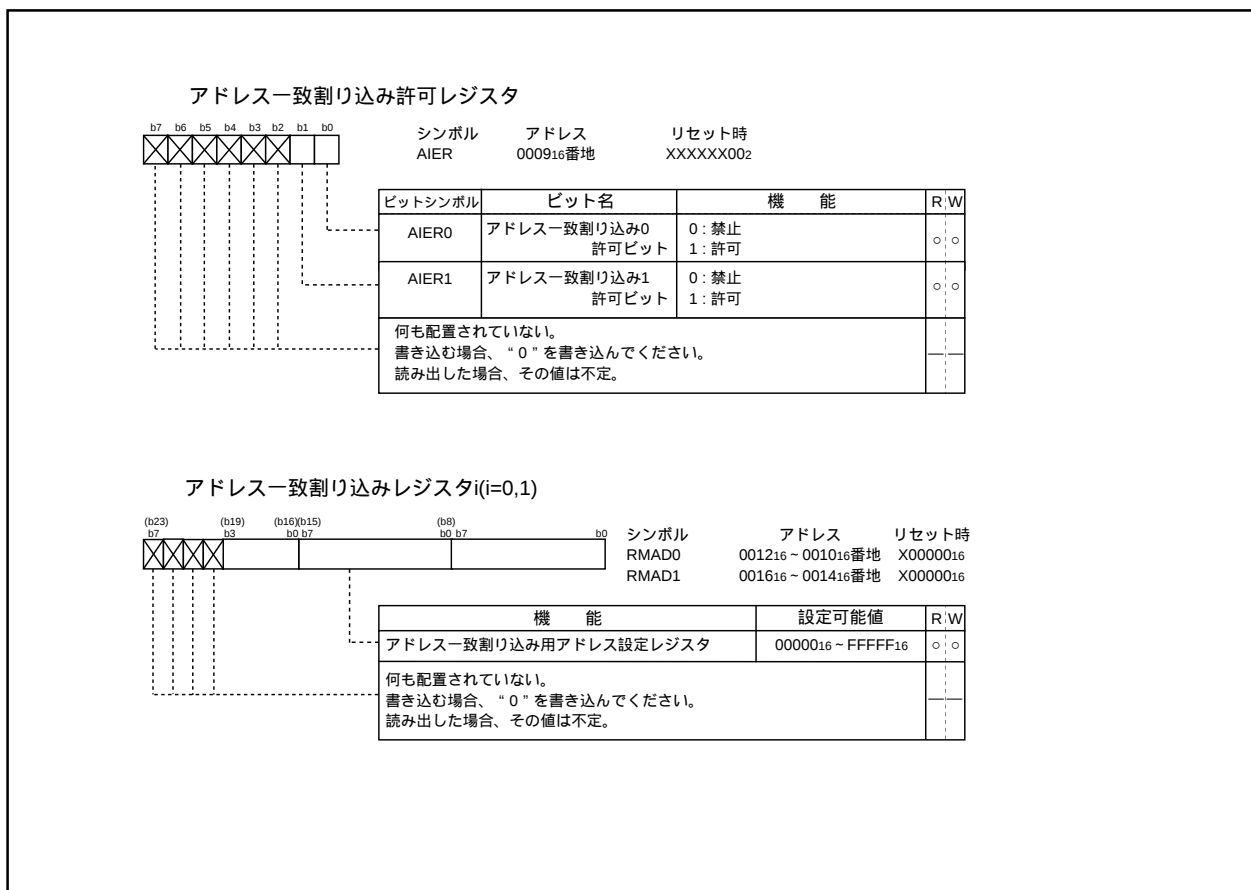


図2.12.3. アドレス一致割り込み関連レジスタの構成

アドレス一致割り込み

2.12.2 アドレス一致割り込みの動作

アドレス一致割り込みの動作を説明します。また、[図2.12.4](#)にアドレス一致割り込みの設定手順を、[図2.12.5](#)にアドレス一致割り込み処理ルーチンの概略処理を示します。

- 動作
- (1) [アドレス一致割り込みレジスタ](#)に割り込みを発生させるアドレスを設定します。
 - (2) [アドレス一致許可フラグ](#)を“1”にすると割り込み発生許可状態になります。
 - (3) プログラム実行中にアドレス一致割り込みレジスタで設定している番地の命令を実行する直前でアドレス一致割り込みが発生します。

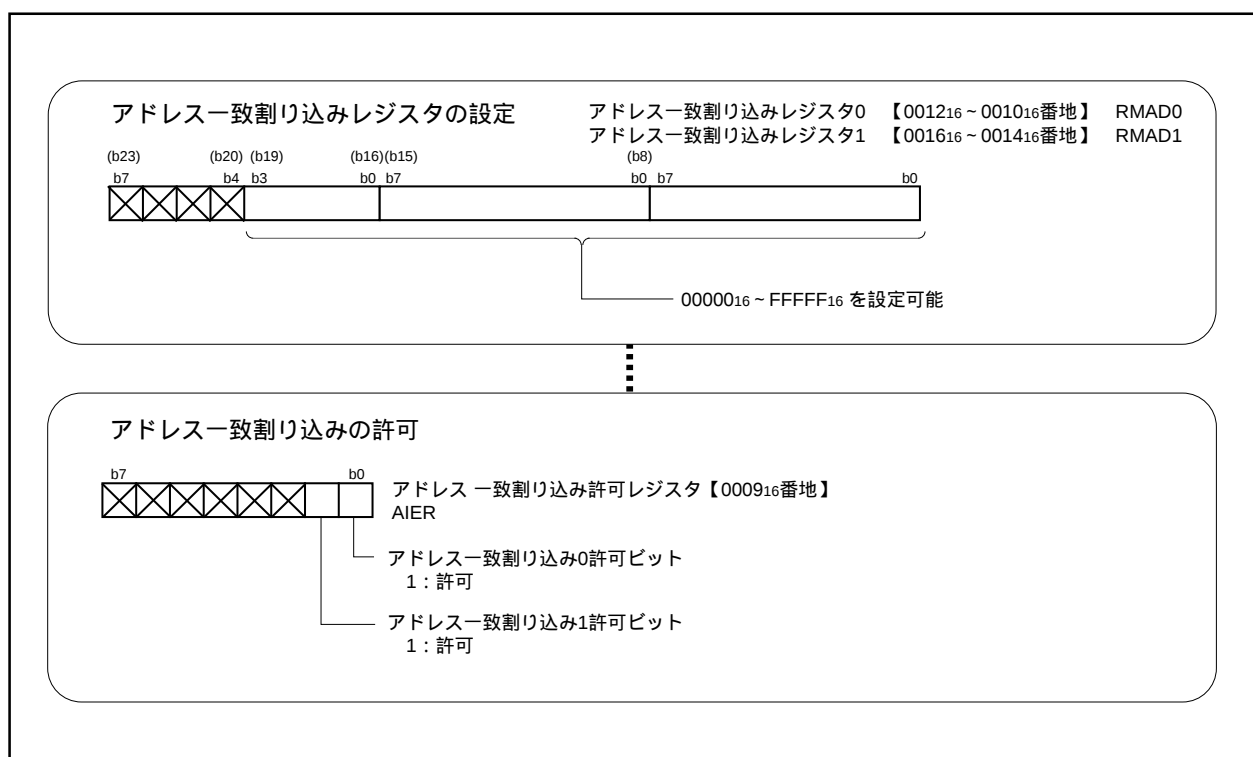


図2.12.4. アドレス一致割り込みの設定手順

アドレス一致割り込み

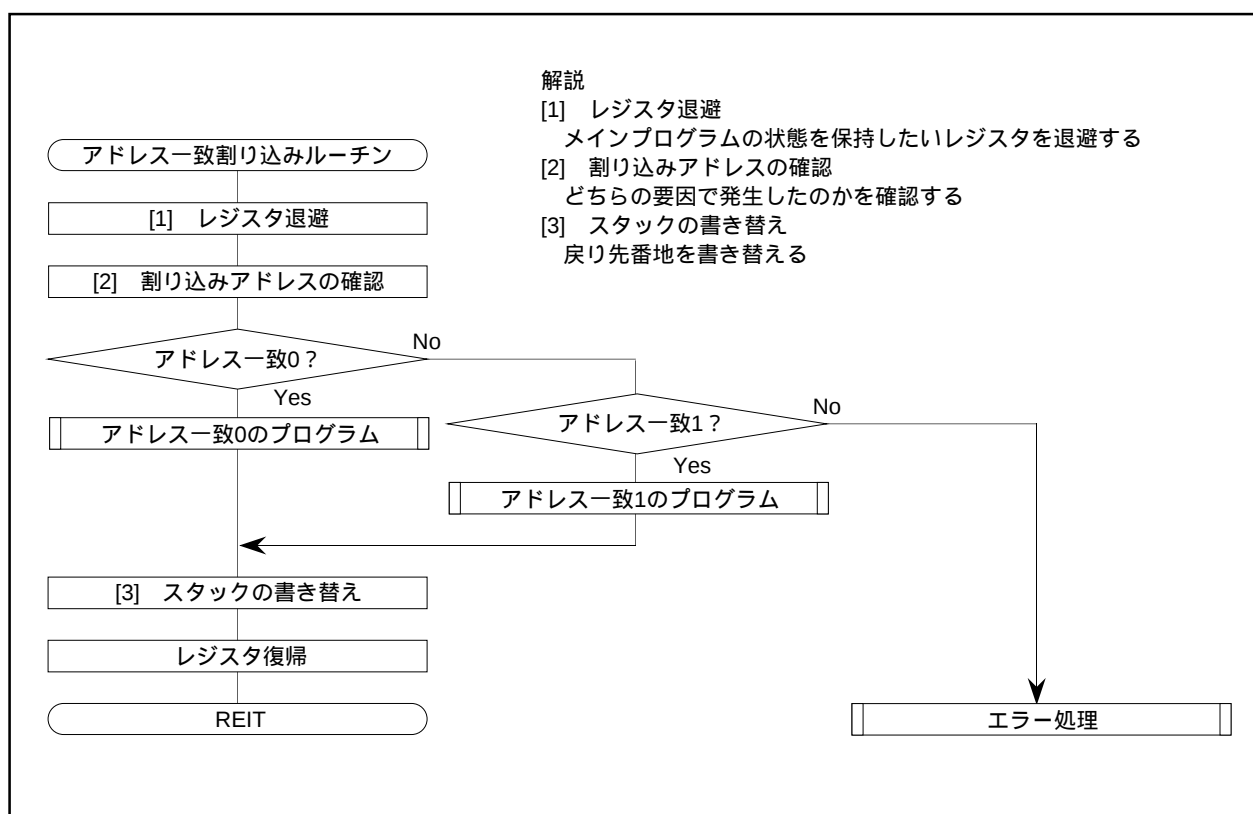


図2.12.5. アドレス一致割り込みルーチン概略処理

キー入力割り込み

2.13 キー入力割り込み使い方

2.13.1 キー入力割り込み使い方の概要

キー入力割り込みは、P104～P107に立ち下がりエッジが入力されたときに発生する割り込みです。キー入力割り込み使い方の概要について説明します。

- キー入力割り込みの許可、禁止

キー入力割り込みは、[キー入力割り込み制御レジスタ](#)によって許可、禁止を設定できます。また、[割り込み優先レベル\(IPL\)](#)や[割り込み許可フラグ\(Iフラグ\)](#)の影響も受けます。

- キー入力割り込みの発生タイミング

キー入力割り込みを受け付け許可状態で、入力に設定しているP104～P107の端子は、キー入力割り込み端子(KI0～KI3)となります。キー入力割り込み端子に立ち下がりエッジが入力されたとき、キー入力割り込みが発生します。このとき、他のキー入力割り込み端子のレベルは、“H”である必要があります。他のキー入力割り込み端子のレベルが“L”の場合、割り込みは発生しません。

- キー入力割り込みの判定方法

キー入力割り込みは、4箇所の端子の入力によって発生しますが、すべて同じベクタアドレスです。

したがって、キー入力割り込みルーチンの中で、P104～P107の入力レベルを読み込んで、発生した端子を判断してください。

- キー入力割り込み関連レジスタ

[図2.13.1](#)にキー入力割り込み関連レジスタのメモリ配置図を、[図2.13.2](#)にキー入力割り込み制御レジスタの構成を示します。

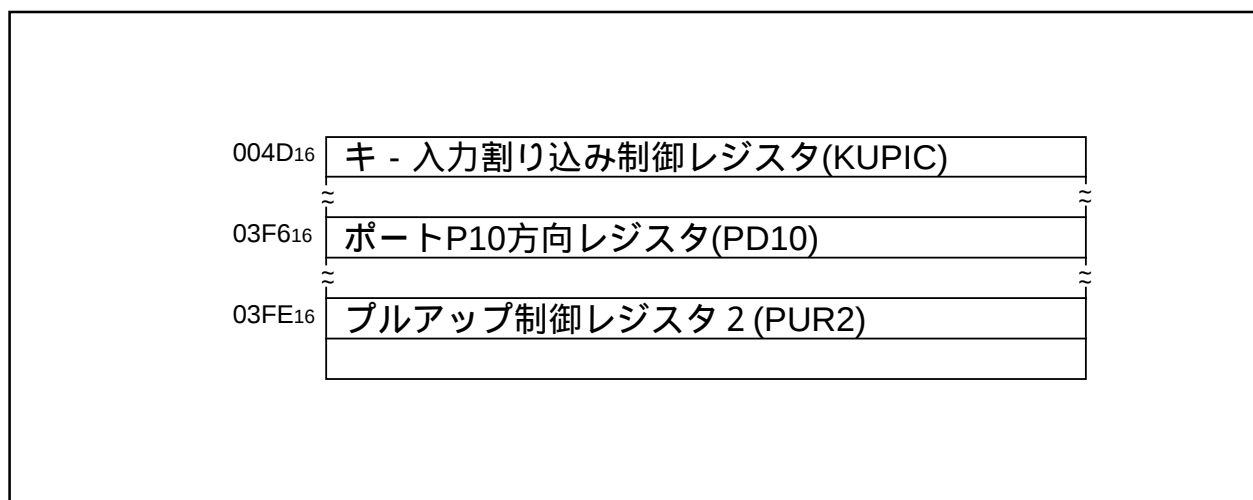
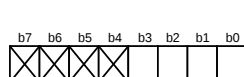


図2.13.1. キー入力割り込み関連レジスタのメモリ配置図

キー入力割り込み

割り込み制御レジスタ(注2)

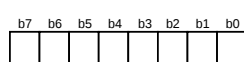
シンボル
KUPICアドレス
004D₁₆番地リセット時
XXXXX000₂

ビットシンボル	ビット名	機 能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR			○	○
	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

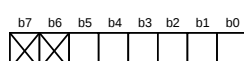
注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

ポートP10方向レジスタ

シンボル
PD10アドレス
03F6₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
PD10_0	ポートP10 ₀ 方向レジスタ	0 : 入力モード (入力ポートとして機能) 1 : 出力モード (出力ポートとして機能)	○	○
PD10_1	ポートP10 ₁ 方向レジスタ		○	○
PD10_2	ポートP10 ₂ 方向レジスタ		○	○
PD10_3	ポートP10 ₃ 方向レジスタ		○	○
PD10_4	ポートP10 ₄ 方向レジスタ		○	○
PD10_5	ポートP10 ₅ 方向レジスタ		○	○
PD10_6	ポートP10 ₆ 方向レジスタ		○	○
PD10_7	ポートP10 ₇ 方向レジスタ		○	○

プルアップ制御レジスタ2

シンボル
PUR2アドレス
03FE₁₆番地リセット時
00₁₆

ビットシンボル	ビット名	機 能	R	W
PU20	P80～P83のプルアップ	対応するポートのプルアップの設定 を行う 0：プルアップなし 1：プルアップあり	○	○
PU21	P84～P87のプルアップ (ただしP85は除く)		○	○
PU22	P90～P93のプルアップ		○	○
PU23	P94～P97のプルアップ		○	○
PU24	P100～P103のプルアップ		○	○
PU25	P104～P107のプルアップ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その内容は“0”。			-	-
			-	-

図2.13.2. キー入力割り込み関連レジスタの構成

キー入力割り込み

2.13.2 キー入力割り込みの動作

キー入力割り込みの動作を説明します。また、図2.13.3にキー入力割り込みに用いる回路例を、図2.13.4にキー入力割り込みの動作例を、図2.13.5にキー入力割り込みの設定手順を示します。

- 動作
- (1) キー入力割り込み端子にするポートの方向レジスタを入力に設定し、プルアップ機能を設定します。
 - (2) キー入力割り込み割り込み制御レジスタ、割り込み許可フラグを設定すると割り込み許可状態になります。
 - (3) $\overline{KI0} \sim \overline{KI3}$ に立ち下がりエッジが入力されるとキー入力割り込み要求ビットが“1”になります。

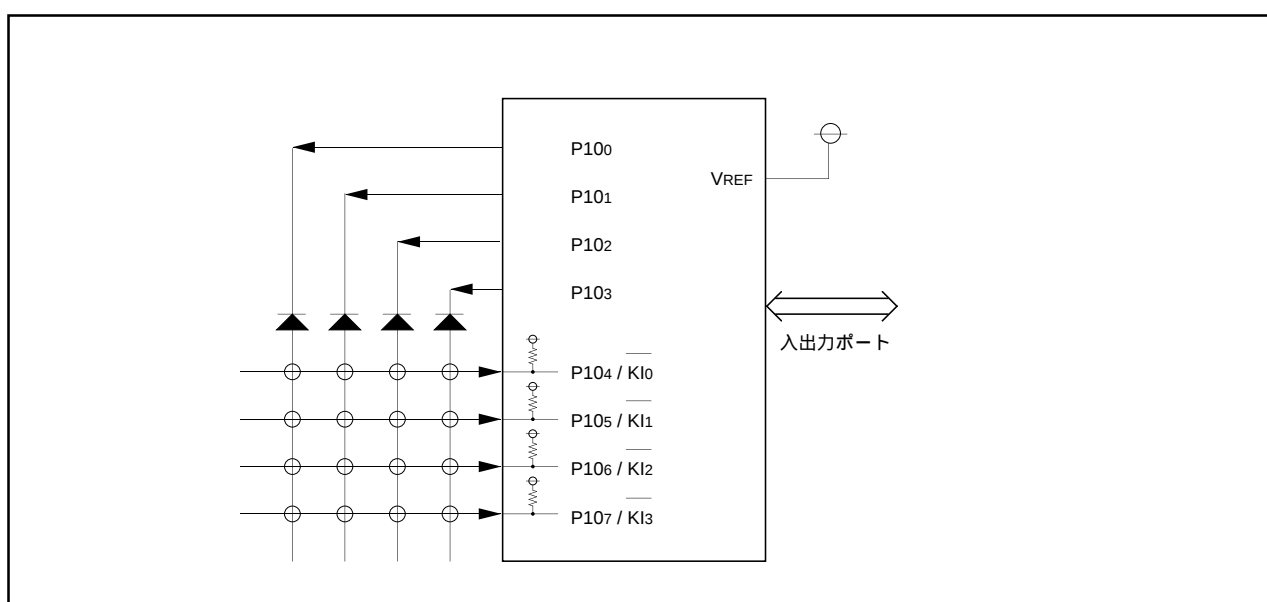


図2.13.3. キー入力割り込みに用いる回路例

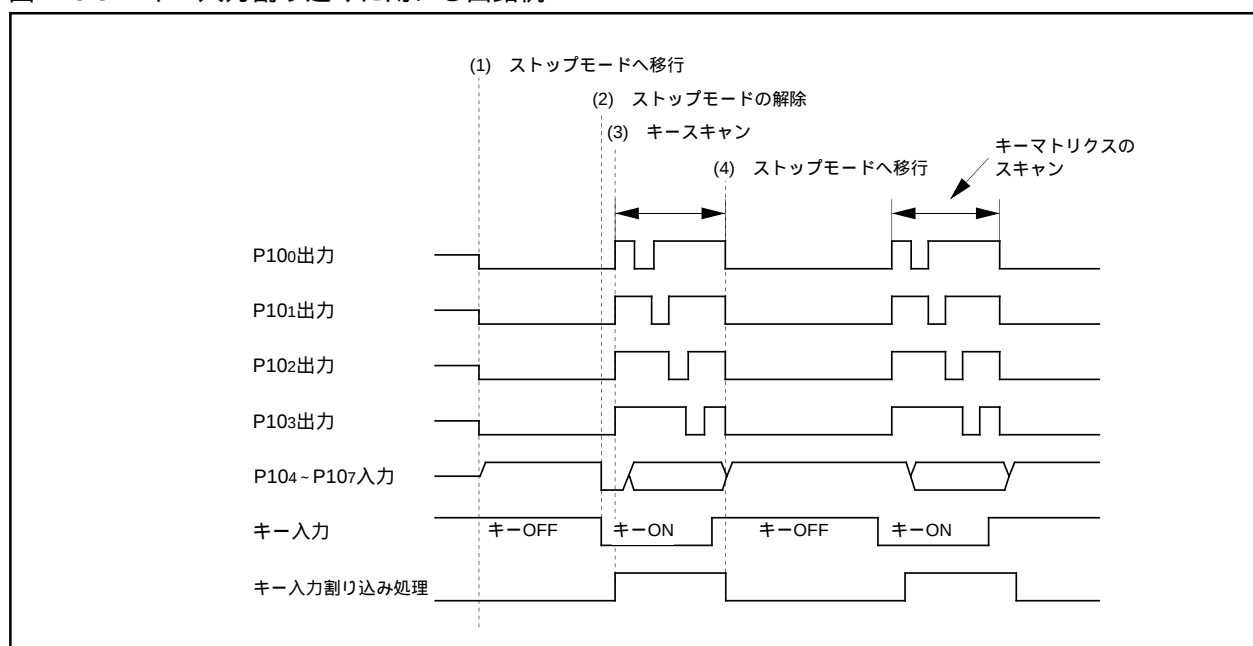
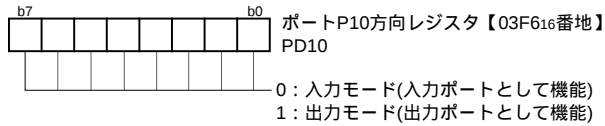


図2.13.4. キー入力割り込みの動作例

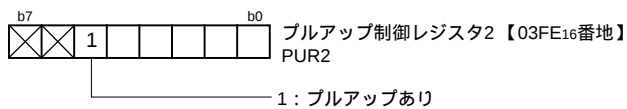
キー入力割り込み

ポートP10方向レジスタの設定



⋮

プルアップ制御レジスタ2の設定



⋮

割り込み制御レジスタの設定

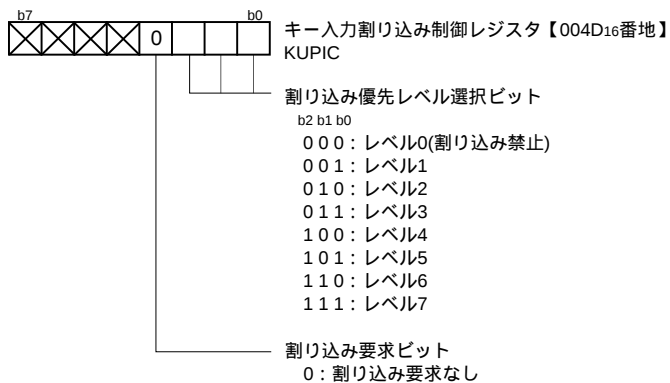


図2.13.5. キー入力割り込みの設定手順

多重割り込み

2.14 多重割り込み使い方

2.14.1 多重割り込み使い方の概要

多重割り込み使い方の概要について説明します。

- 割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

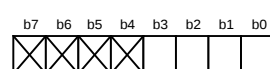
マスカブル割り込みの許可および禁止は、[割り込み許可フラグ\(Iフラグ\)](#)、[割り込み優先レベル選択ビット](#)、および[プロセッサ割り込み優先レベル\(IPL\)](#)によって行います。また、割り込み要求の有無は、[割り込み要求ビット](#)に示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの[割り込み制御レジスタ](#)に配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、[フラグレジスタ\(FLG\)](#)に配置されています。

[図2.14.1](#)に割り込み制御レジスタのメモリ配置図を、[図2.14.2](#)に割り込み制御レジスタの構成を示します。

0044 ₁₆	INT3割り込み制御レジスタ (BCNIC)
0045 ₁₆	タイマB5割り込み制御レジスタ (TB5IC)
0046 ₁₆	タイマB4割り込み制御レジスタ (TB4IC)
0047 ₁₆	タイマB3割り込み制御レジスタ (TB3IC)
0048 ₁₆	SI/O4割り込み制御レジスタ (S4IC)
	INT5割り込み制御レジスタ (INT5IC)
0049 ₁₆	SI/O3割り込み制御レジスタ (S3IC)
	INT4割り込み制御レジスタ (INT4IC)
004A ₁₆	バス衝突検出割り込み制御レジスタ (BCNIC)
004B ₁₆	DMA0割り込み制御レジスタ (DM0IC)
004C ₁₆	DMA1割り込み制御レジスタ (DM1IC)
004D ₁₆	キ - 入力割り込み制御レジスタ (KUPIC)
004E ₁₆	A - D 変換割り込み制御レジスタ (ADIC)
004F ₁₆	UART2送信割り込み制御レジスタ (S2TIC)
0050 ₁₆	UART2受信割り込み制御レジスタ (S2RIC)
0051 ₁₆	UART0送信割り込み制御レジスタ (S0TIC)
0052 ₁₆	UART0受信割り込み制御レジスタ (S0RIC)
0053 ₁₆	UART1送信割り込み制御レジスタ (S1TIC)
0054 ₁₆	UART1受信割り込み制御レジスタ (S1RIC)
0055 ₁₆	タイマA0割り込み制御レジスタ (TA0IC)
0056 ₁₆	タイマA1割り込み制御レジスタ (TA1IC)
0057 ₁₆	タイマA2割り込み制御レジスタ (TA2IC)
0058 ₁₆	タイマA3割り込み制御レジスタ (TA3IC)
0059 ₁₆	タイマA4割り込み制御レジスタ (TA4IC)
005A ₁₆	タイマB0割り込み制御レジスタ (TB0IC)
005B ₁₆	タイマB1割り込み制御レジスタ (TB1IC)
005C ₁₆	タイマB2割り込み制御レジスタ (TB2IC)
005D ₁₆	INT0割り込み制御レジスタ (INT0IC)
005E ₁₆	INT1割り込み制御レジスタ (INT1IC)
005F ₁₆	INT2割り込み制御レジスタ (INT2IC)

図2.14.1. 割り込み制御レジスタのメモリ配置図

割り込み制御レジスタ(注2)

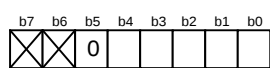


シンボル	アドレス	リセット時
TBiC(i=3 ~ 5)	0045 ₁₆ ~ 0047 ₁₆ 番地	XXXXX0002
BCNiC	004A ₁₆ 番地	XXXXX0002
DMiC(i=0,1)	004B ₁₆ , 004C ₁₆ 番地	XXXXX0002
KUPiC	004D ₁₆ 番地	XXXXX0002
ADiC	004E ₁₆ 番地	XXXXX0002
SiTiC(i=0 ~ 2)	0051 ₁₆ , 0053 ₁₆ , 004F ₁₆ 番地	XXXXX0002
SiRiC(i=0 ~ 2)	0052 ₁₆ , 0054 ₁₆ , 0050 ₁₆ 番地	XXXXX0002
TAiC(i=0 ~ 4)	0055 ₁₆ ~ 0059 ₁₆ 番地	XXXXX0002
TBiC(i=0 ~ 2)	005A ₁₆ ~ 005C ₁₆ 番地	XXXXX0002

ビットシンボル	ビット名	機 能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	○	○
ILVL1		0 0 1 : レベル1		
		0 1 0 : レベル2		
		0 1 1 : レベル3	○	○
ILVL2		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6	○	○
		1 1 1 : レベル7		
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	○	○ (注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiC(i=3)	0044 ₁₆ 番地	XX00X0002
SiIC/INTjiC(i=4, 3)	0048 ₁₆ , 0049 ₁₆ 番地	XX00X0002
(j=5, 4)	0048 ₁₆ , 0049 ₁₆ 番地	XX00X0002
INTiC(i=0 ~ 2)	005D ₁₆ ~ 005F ₁₆ 番地	XX00X0002

ビットシンボル	ビット名	機 能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	○	○
ILVL1		0 0 1 : レベル1	○	○
		0 1 0 : レベル2		
		0 1 1 : レベル3		
ILVL2		1 0 0 : レベル4	○	○
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	○	○ (注1)
POL	極性切り替えビット	0 : 立ち下がりがエッジを選択 1 : 立ち上がりがエッジを選択	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。			-	-

注1. “0”だけ書き込み可(“1”を書き込まないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図2.14.2. 割り込み制御レジスタの構成

- 割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止 / 許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

Iフラグを変化させたとき、変化した内容が割り込み要求受付判定に反映されるのは次のタイミングです。

- ・ REIT命令で変化させたとき、そのREIT命令から反映される。
- ・ FCLR、FSET、POPC、LDC各命令で変化させたとき、次の命令から反映される。

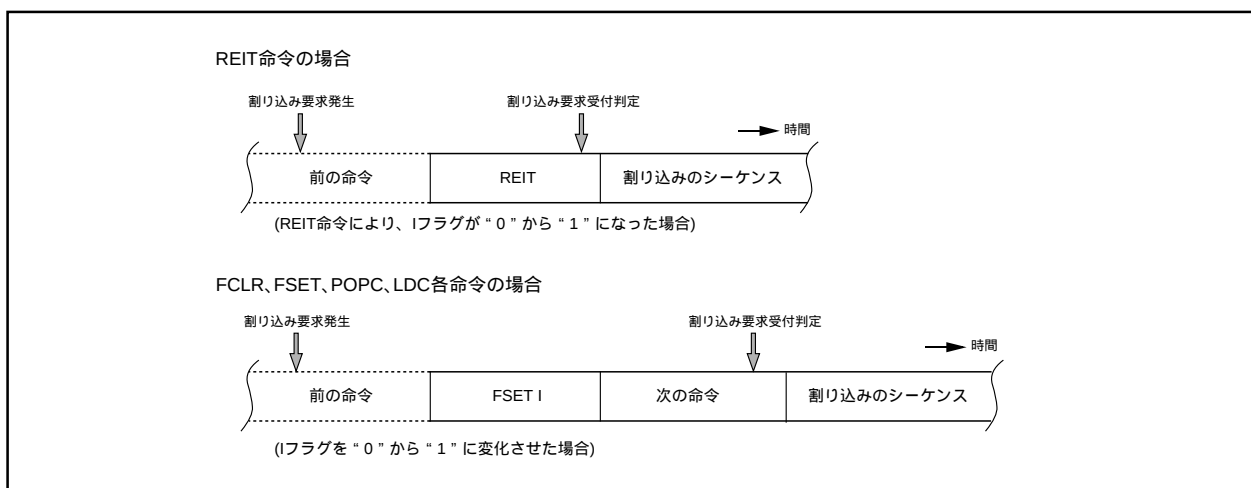


図2.14.3. Iフラグを変化させたときの割り込みへの反映のタイミング

- 割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

- 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表2.14.1に割り込み優先レベルの設定を、表2.14.2にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “1”
- ・ 割り込み要求ビット = “1”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表2.14.1. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表2.14.2. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

プロセッサ割り込み優先レベル(IPL)、または各割り込み優先レベルを変更させたとき、変化したレベルが割り込みに反映するのは次のタイミングです。

- ・ REIT命令でプロセッサ割り込み優先レベル(IPL)を変化させたとき、REIT命令の最後のクロックから2クロック後に実行されている命令から反映される。
- ・ POPC、LDC、LDIPL各命令でプロセッサ割り込み優先レベル(IPL)を変化させたとき、使用した命令の最後のクロックから3クロック後に実行されている命令から反映される。
- ・ 各割り込みの割り込み優先レベルをMOV命令等で変化させたとき、使用した命令の最後のクロックから2クロック後に実行されている命令から反映される。

● 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、[割り込み優先レベル選択ビット](#)によって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を[図2.14.4](#)に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

リセット > $\overline{\text{NMI}}$ > $\overline{\text{DBC}}$ > 監視タイマ > 周辺I/O > シングルステップ > アドレス一致

図2.14.4. ハードウェア割り込みの割り込み優先順位

● 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

[図2.14.5](#)に割り込み優先レベルの判定回路を示します。

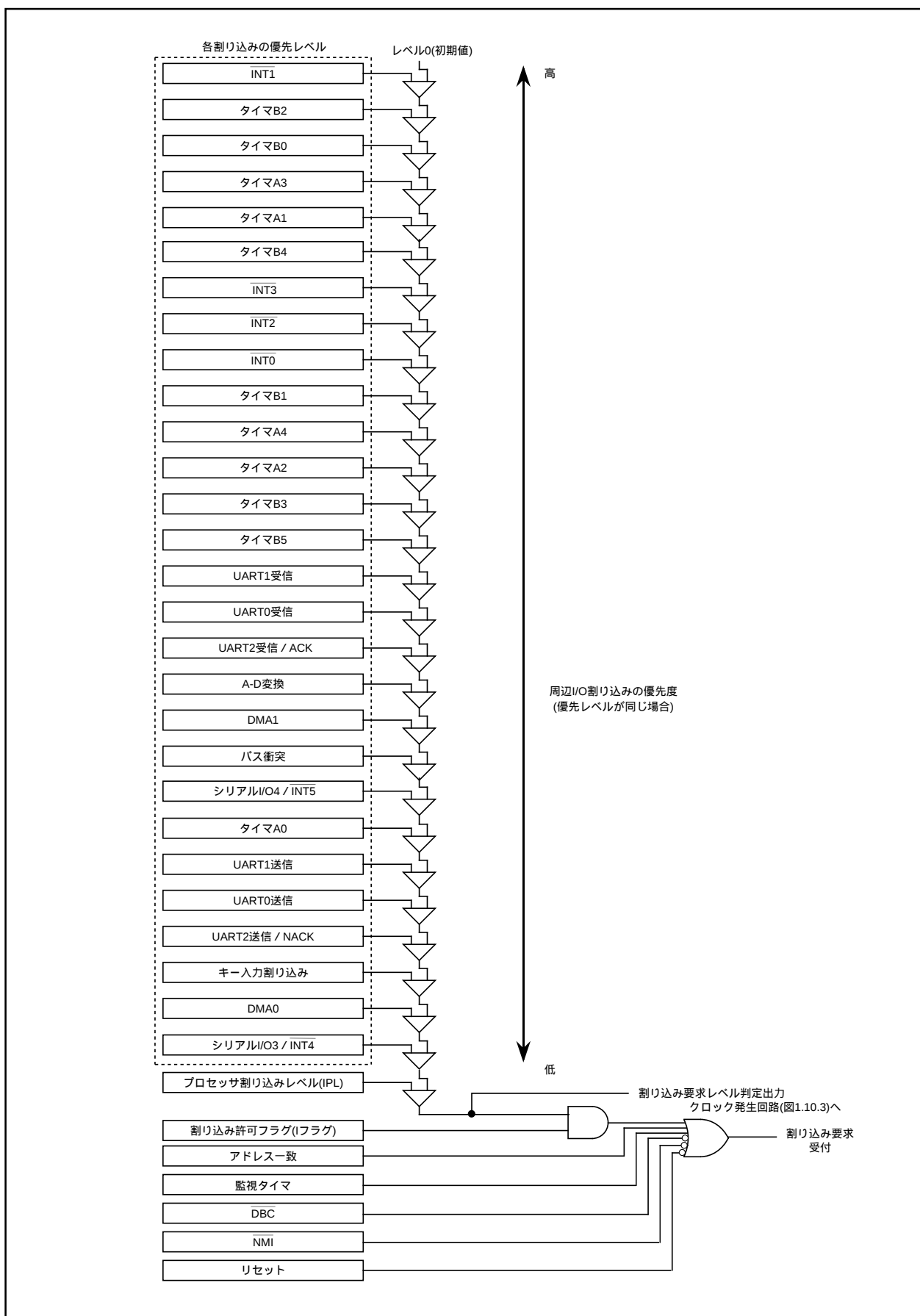


図2.14.5. 割り込み優先レベル判定回路

2.14.2 多重割り込みの動作

割り込みルーチンへ分岐したときの状態を以下に示します。

- ・ **割り込み許可フラグ(Iフラグ)**は“0”(割り込み禁止状態)
- ・ 受け付けた割り込みの**割り込み要求ビット**は“0”
- ・ **プロセッサ割り込み優先レベル(IPL)**は受け付けた割り込みの割り込み優先レベル

割り込みルーチン内で割り込み許可フラグ(Iフラグ)を“1”にすることによって、プロセッサ割り込み優先レベル(IPL)より高い優先順位をもつ割り込み要求を受け付けることができます。

なお、優先順位が低いために受け付けられなかった割り込み要求は保持されます。そして、REIT命令によってIPLが復帰され、割り込み優先順位の判定が行われたとき、以下の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の 割り込み優先レベル	>	復帰されたプロセッサ割り込み優先レベル(IPL)
-----------------------------	---	--------------------------

図2.14.6に多重割り込みの動作例を示します。

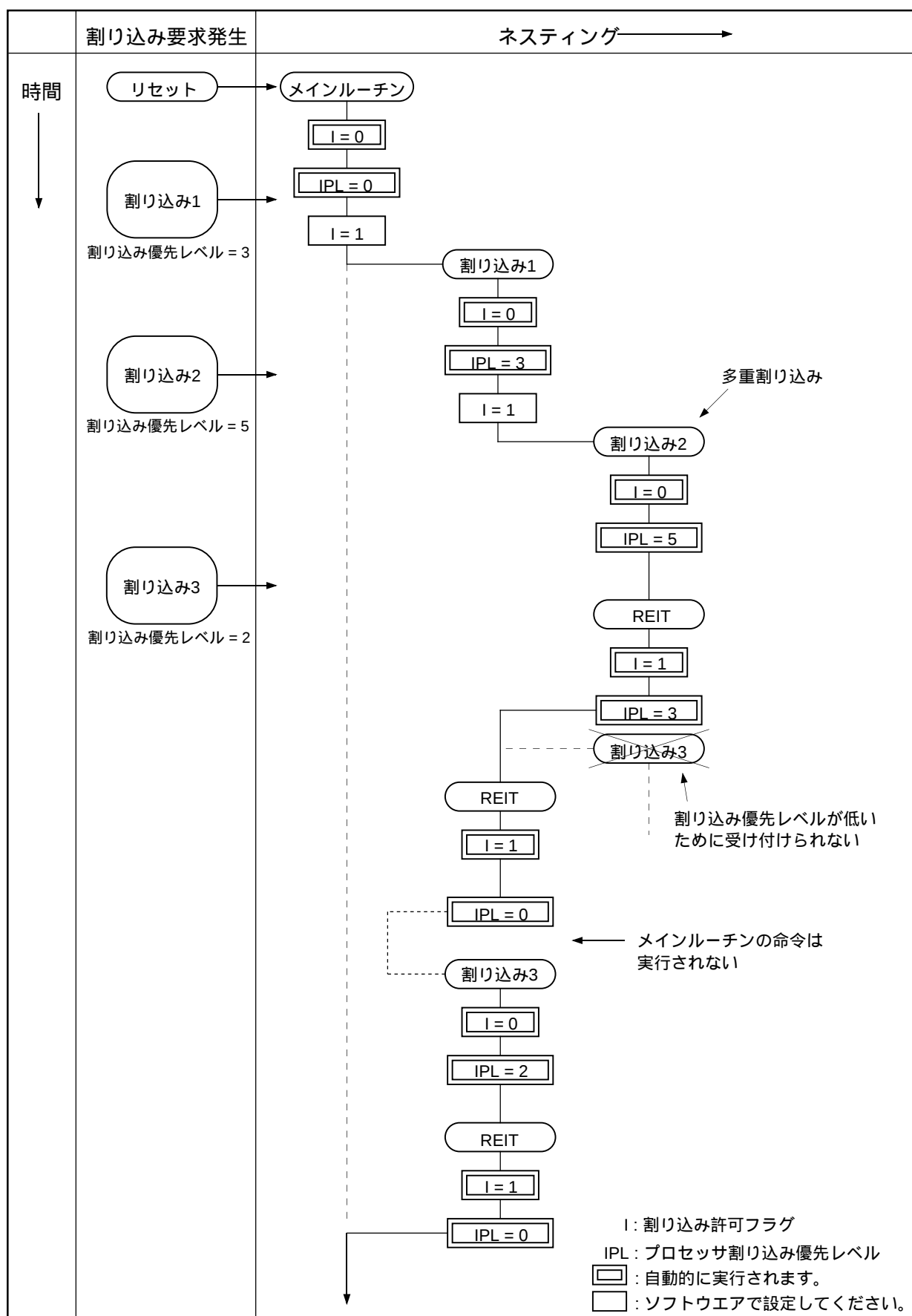


図2.14.6. 多重割り込み動作例

2.15 パワーコントロール使い方

2.15.1 パワーコントロール使い方の概要

パワーコントロール使い方の概要について説明します。

- モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

- 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUは選択された内部クロックで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

- 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUは選択された内部クロックで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

- 低速モード

fCがBCLKとなるモードです。CPUは、fCのクロックで動作します。fCとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

- 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fCのクロックで動作します。fCとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

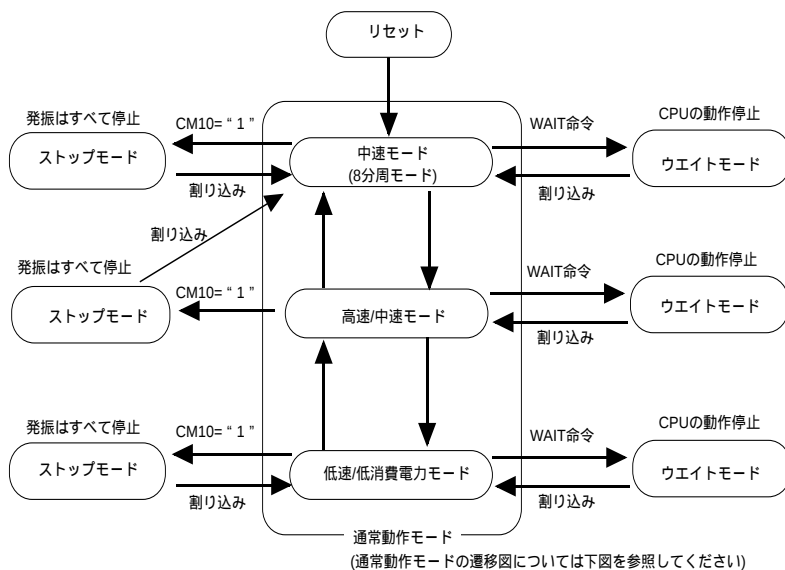
すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を[図2.15.1](#)に示します。

- 発振回路駆動能力切り替え

メインクロックおよびサブクロックには、駆動能力の切り替え機能があります。発振が安定した後に駆動能力を弱めることで、さらに消費電力を小さくすることができます。

ストップモード、ウェイトモードの遷移図



通常動作モードの遷移図

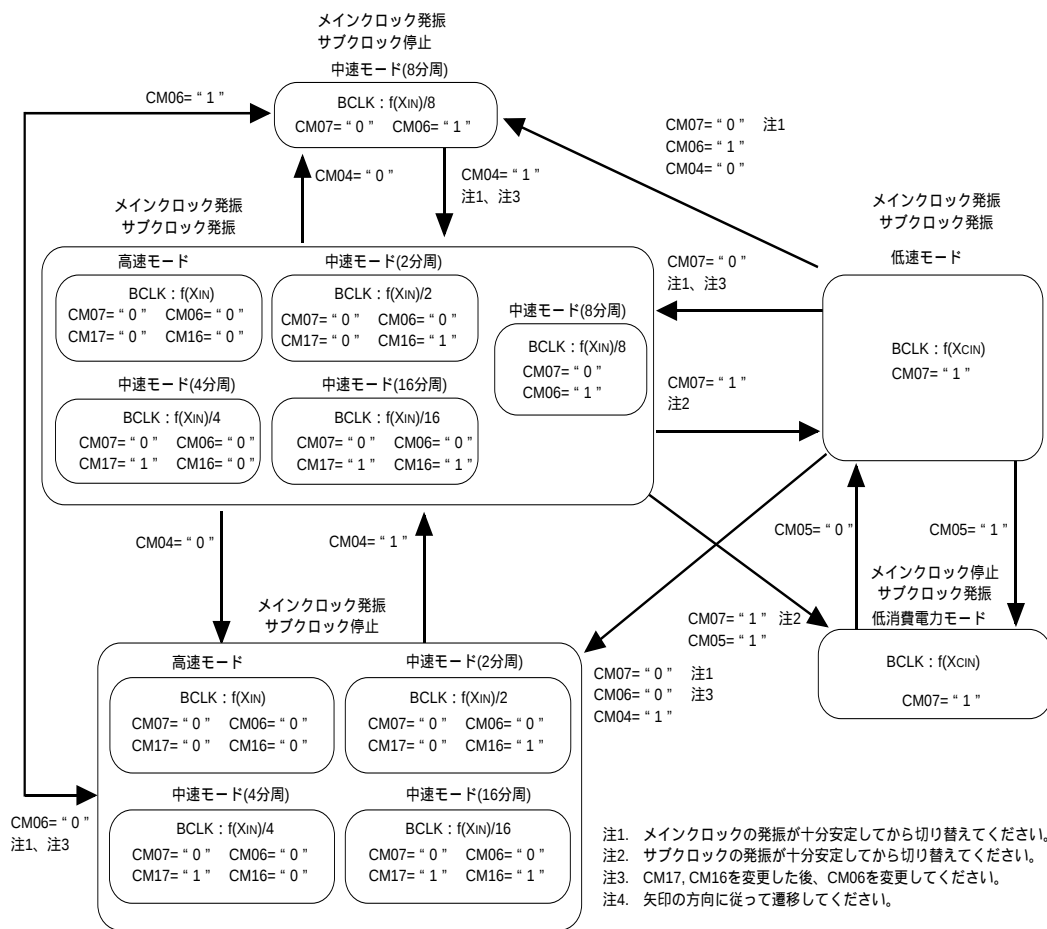


図2.15.1. 状態遷移図

パワーコントロール

● ストップおよびウエイトモードからの復帰

ストップモードおよびウエイトモードは、割り込み要求の発生、またはハードウェアリセットで解除します。解除に使用する割り込み優先レベルをプロセッサ割り込み優先レベル(IPL)より高く設定し、解除に使用しない割り込み優先レベルを0にし、割り込み許可フラグ(Iフラグ)を許可状態にしてください。解除のための割り込みが発生すると、発生した割り込み処理を実行します。

ストップモードおよびウエイトモードの解除に使用できる割り込みを表2.15.1に示します。

● 復帰時のBCLK

(1)ウエイトモードからの復帰時

ウエイトモードに入る前に使用していたBCLKで直ちに復帰します。

(2)ストップモードからの復帰時

BCLKにメインクロックを選択しストップモードに移行したとき、CM06は“1”となります。CM17、CM16およびCM07は変化しません。この場合、ストップモードから復帰したとき、8分周モードから動作します。

BCLKにサブクロックを選択しストップモードに移行したとき、CM06、CM17、CM16およびCM07は変化しません。この場合、ストップモードから復帰したとき、低速モードから動作します。

表2.15.1. 各モードの解除に使用できる割り込み

解除用割り込み	ウエイトモード時		ストップモード時
	CM02=0の場合	CM02=1(注6)、CM07=0、CM05=0の場合	
バス衝突検出割り込み	○	注1	注1
DMA0割り込み	×	×	×
DMA1割り込み	×	×	×
キー入力割り込み	○	○	○
A-D割り込み	注3	×	×
UART0送信割り込み	○	注1	注1
UART0受信割り込み	○	注1	注1
UART1送信割り込み	○	注1	注1
UART1受信割り込み	○	注1	注1
UART2送信割り込み	○	注1	注1
UART2受信割り込み	○	注1	注1
SI/O3割り込み	○	注4	注4
SI/O4割り込み	○	注4	注4
タイマA0割り込み	○	注2、注5	注2
タイマA1割り込み	○	注2、注5	注2
タイマA2割り込み	○	注2、注5	注2
タイマA3割り込み	○	注2、注5	注2
タイマA4割り込み	○	注2、注5	注2
タイマB0割り込み	○	注2、注5	注2
タイマB1割り込み	○	注2、注5	注2
タイマB2割り込み	○	注2、注5	注2
タイマB3割り込み	○	注2、注5	注2
タイマB4割り込み	○	注2、注5	注2
タイマB5割り込み	○	注2、注5	注2
INT0割り込み	○	○	○
INT1割り込み	○	○	○
INT2割り込み	○	○	○
INT3割り込み	○	○	○
INT4割り込み	○	○	○
INT5割り込み	○	○	○
NMI割り込み	○	○	○

注1. 外部クロックを選択している場合、使用可。ただし、UART2は、クロック同期形シリアルI/Oモードで外部クロックを選択している場合、使用可。

注2. イベントカウンタモードで、外部信号をカウントしているとき使用可。

注3. 単発モードおよび単掃引モードで使用可。

注4. 外部クロックを選択している場合、使用可。

注5. カウントソースにfc32を選択している場合、使用可。

注6. 低速モードおよび低消費電力モード時にはCM02に“1”を設定してウエイトモードに移行しないでください。

パワーコントロール

● ストップモードからの復帰シーケンス

ストップモードからの復帰シーケンスは、発振立ち上がりと割り込みシーケンスからなります。ストップモード中に割り込みが発生すると、CM10が“0”になり、ストップモードが解除されます。その後、発振が開始しBCLKが供給され始めると、下記の割り込みシーケンスを実行します。

割り込みシーケンスでは次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

注1. ユーザは使用できません。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

図2.15.2にストップモードからの復帰シーケンスを示します。

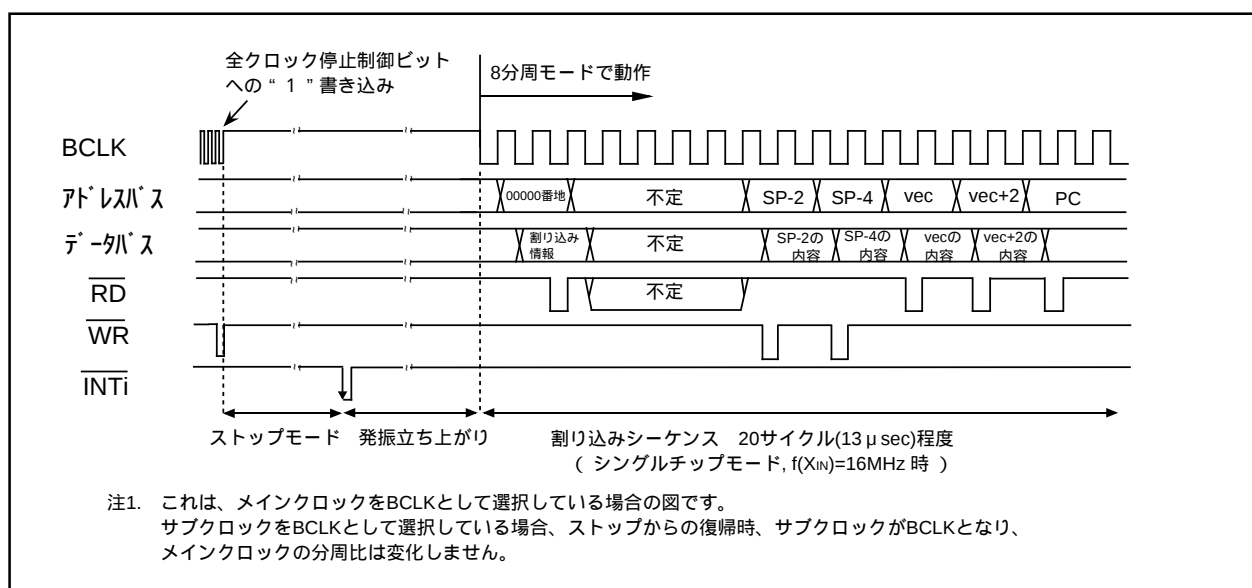


図2.15.2. ストップモードからの復帰シーケンス

● パワーコントロール関連レジスタ

図2.15.3にパワーコントロール関連レジスタのメモリ配置図を、図2.15.4にパワーコントロール関連レジスタの構成を示します。

0006 ₁₆	システムクロック制御レジスタ 0 (CM0)
0007 ₁₆	システムクロック制御レジスタ 1 (CM1)
0008 ₁₆	

図2.15.3. パワーコントロール関連レジスタのメモリ配置図

パワーコントロール

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時	
								CM0	0006 ₁₆ 番地	48 ₁₆	
								ビットシンボル	ビット名	機 能	R/W
								CM00	クロック出力機能選択ビット (シングルチップモード時のみ有効)	b1 b0 0 0 : 入出力ポートP5 ₇ 0 1 : fcを出力 1 0 : fbを出力 1 1 : fs ₂ を出力	○ ○
								CM01			
								CM02	WAIT時周辺機能クロック停止ビット	0 : ウェイトモード時、周辺機能クロック停止しない 1 : ウェイトモード時、周辺機能クロック停止する(注8)	○ ○
								CM03	XCIN-XCOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○ ○
								CM04	ポートXc切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUT発振機能(注9)	○ ○
								CM05	メインクロック (XIN-XOUT) 停止ビット(注3、注4、注5)	0 : 発振 1 : 停止	○ ○
								CM06	メインクロック分周比選択ビット0(注7)	0 : CM16,CM17有効 1 : 8分周モード	○ ○
								CM07	システムクロック選択ビット(注6)	0 : XIN,XOUT選択 1 : XCIN,XCOUT選択	○ ○

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット0を“1”にしてください。

注2. ストップモードへの移行時およびリセット時、“1”になります。

注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックを停止させる場合、サブクロックが安定して発振している状態で、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。

注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。

注5. このビットが“1”の場合、XOUTは“H”レベルになります。また、内蔵している帰還抵抗は接続したままです。XINは帰還抵抗を介して、XOUT(“H”レベル)にプルアップされた状態となります。

注6. このビットを“0”から“1”にする場合、ポートXc切り替えビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。

注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

注8. fc32は含みません。低速モードおよび低消費電力モード時は“1”にしないでください。

注9. XCIN/XCOUTを使用する場合、ポートP8₆、P8₇は入力ポートで、プルアップなしを設定してください。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット時	
			0	0	0	0		CM1	0007 ₁₆ 番地	20 ₁₆	
								ビットシンボル	ビット名	機 能	R/W
								CM10	全クロック停止制御ビット (注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	○ ○
								予約ビット	必ず“0”を設定してください	○ ○	
								予約ビット	必ず“0”を設定してください	○ ○	
								予約ビット	必ず“0”を設定してください	○ ○	
								予約ビット	必ず“0”を設定してください	○ ○	
								CM15	XIN-XOUT駆動能力選択ビット (注2)	0 : LOW 1 : HIGH	○ ○
								CM16	メインクロック分周比 選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	○ ○
CM17											

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット0を“1”にしてください。

注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

注3. システムクロック制御レジスタ0(0006₁₆番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。

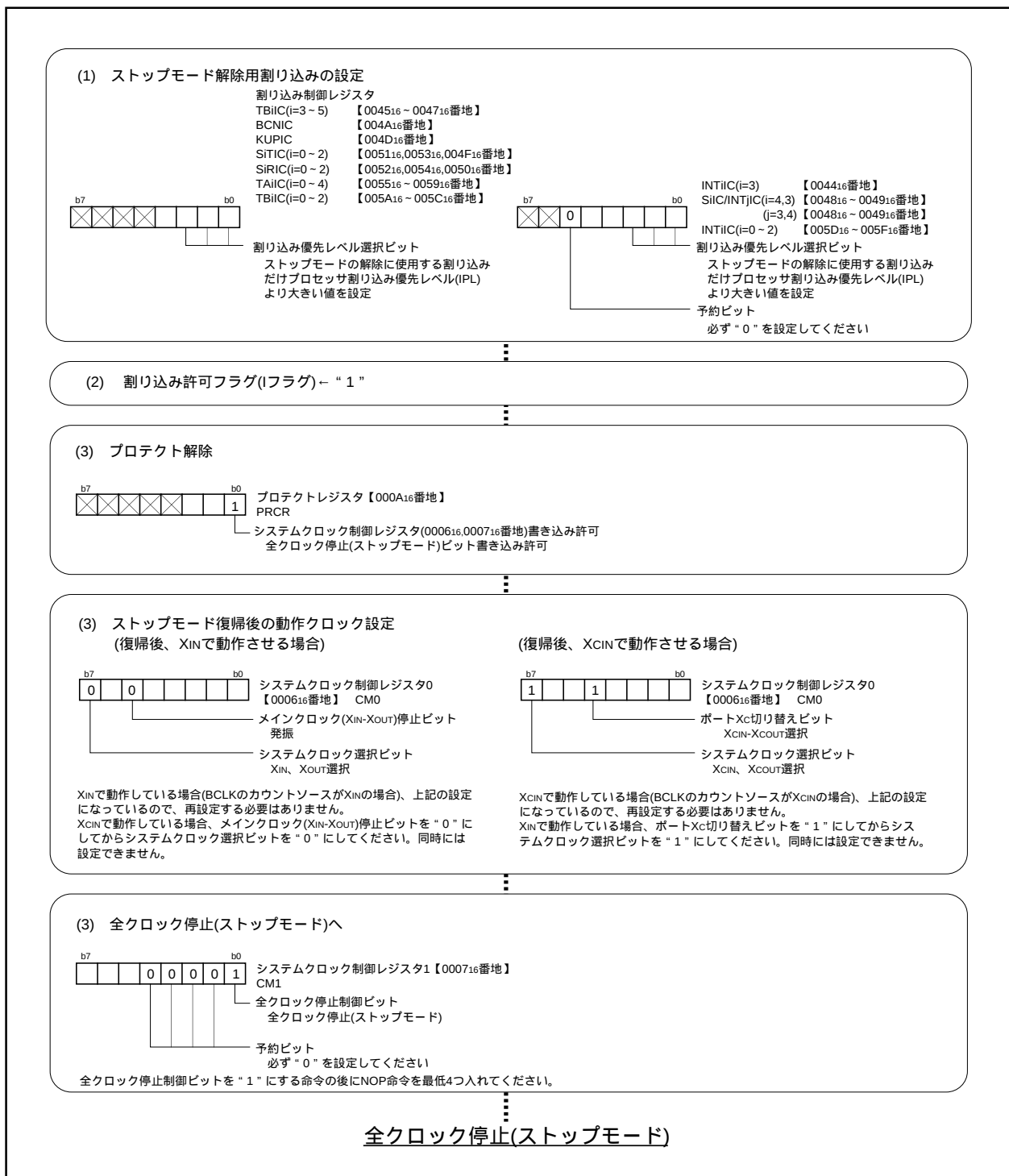
注4. このビットが“1”の場合、XOUTは“H”レベルとなり、内蔵している帰還抵抗は切り離されます。XCIN、XCOUTは、ハイインピーダンスになります。

図2.15.4. パワーコントロール関連レジスタの構成

2.15.2 ストップモードへの設定

ストップモードへ移行するための設定と動作について説明します。

- 動作
- (1) ストップモードから復帰する割り込みを許可します。
 - (2) **割り込み許可フラグ(IFLAG)**を“1”にします。
 - (3) プロテクトを解除して、**全クロック停止制御ビット**を“1”にすることで発振が停止しストップモードへ移行します。



2.15.3 ウェイトモードへの設定

ウェイトモードへ移行するための設定と動作について説明します。

- 動作
- (1) ウェイトモードから復帰する割り込みを許可します。
 - (2) **割り込み許可フラグ(IFLAG)**を“1”にします。
 - (3) プロテクトを解除して、**システムクロック制御レジスタ**の内容を変更します。
 - (4) WAIT命令を実行します。

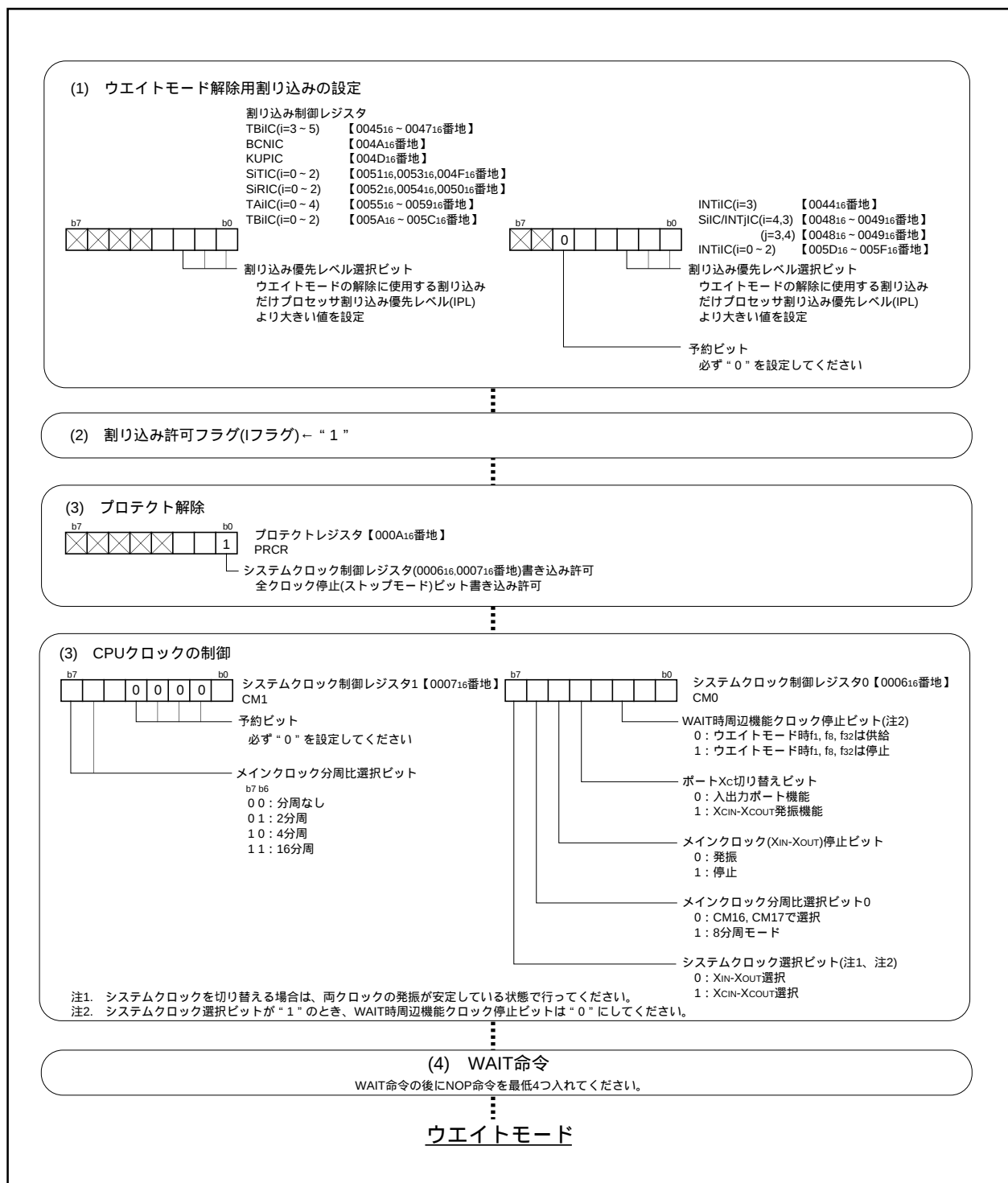


図2.15.6. ウェイトモードへ移行するための設定例

2.15.4 パワーコントロールの注意事項

- 内 容
- (1) $\overline{\text{NMI}}$ 端子が“L”のときストップモードへ移行しないでください。
 - (2) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
 - (3) ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および**全クロック停止制御ビット**を“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止制御ビットを“1”にする命令の後にはNOPを最低4つ入れてください。
 - (4) BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。
 - (5) 消費電力を小さくするためのポイント
消費電力を小さくするため、ポイントを示します。システム設計やプログラムを作成するときに参考にしてください。
 - ポート
ウェイトモード、ストップモードに移行してもプログラマブル入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。フローティングになる入力ポートは貫通電流が流れます。ウェイトモード、ストップモードに移行するとき、不要なポートは入力に設定し、安定した電位に固定してください。
 - A-D変換器
VREF端子には、常時、電流が流れ込みます。ウェイトモード、ストップモードに移行する場合、**Vref接続ビット**を“0”にしてVREFに電流が流れ込まないようにしてください。
 - D-A変換器
ウェイトモード、ストップモードに移行してもD-Aの状態は保持します。D-A変換器の出力は禁止して、プログラマブル入出力ポートの処理をしてください。
DAレジスタには“00₁₆”を設定してください。
 - 周辺機能の停止
ウェイトモード時に**WAIT時周辺機能クロック停止ビット**で、不要な周辺機能を停止させてください。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに“1”を設定してウェイトモードに移行しないでください。
 - 発振駆動能力の切り替え
発振が安定している場合、駆動能力を“LOW”にしてください。
 - 外部クロック
CPUのクロックに外部クロック入力を使用している場合、**メインクロック停止ビット**を“1”にしてください。メインクロック停止ビットを“1”にすることでXOUT端子が動作しなくなり、消費電流が小さくなります(外部クロック入力を使用している場合、メインクロック停止ビットの内容にかかわらず、クロックは入力されます)。

2.16 プログラマブル入出力ポート使い方

2.16.1 プログラマブルポート使い方の概要

プログラマブル入出力ポートは87本、入力専用ポートは1本あります。各入出力端子は、内蔵周辺機能の入出力端子と兼用になっています。

各ポートは、入出力の方向を決定する**方向レジスタ**とデータの入出力を行う**ポートレジスタ**を持ちます。さらに4ビット単位でプルアップを行う**プルアップ制御レジスタ**を持ちます。入力専用ポートには、方向レジスタおよび**プルアップ制御ビット**はありません。

プログラマブル入出力ポート使い方の概要について説明します。

- ポートレジスタへの書き込み

方向レジスタを出力に設定しているとき、ポートレジスタに書き込めば、それぞれの端子から書き込んだ値のレベルを出力します。出力のレベルは、CMOS出力です。ただし、ポートP70、P71はNチャネルオープンドレイン出力です。

方向レジスタを入力に設定しているとき、ポートレジスタに書き込めば、ポートレジスタには書き込まれますが、それぞれの端子には出力されません。出力のレベルは、フローティングのままです。

メモリ拡張モード時またはマイクロプロセッサモード時、A0～A19、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 $\overline{RD}$ 、 $\overline{WRL}$ / $\overline{WR}$ 、 $\overline{WRH}$ / $\overline{BHE}$ 、ALE、 $\overline{RDY}$ 、 $\overline{HOLD}$ 、 $\overline{HLDA}$ 、BCLKに設定している端子のポートレジスタおよび方向レジスタの内容は変更できません。

- ポートレジスタからの読み込み

方向レジスタを出力に設定しているとき、ポートレジスタから読み込めば、端子の内容ではなくポートレジスタの内容を読み込みます。方向レジスタを入力に設定しているとき、ポートレジスタから読み込みを行えば、端子の内容を読み込みます。

- プロテクトレジスタの影響

P9の**方向レジスタ**の書き込みは、**プロテクトレジスタ**の影響を受けます。P9の方向レジスタを容易に書き替えることができません。

- 入力専用ポート

入力専用ポートは、P85で $\overline{NMI}$ と兼用の端子です。P85は、方向レジスタをもちません。また、プルアップも設定できません。 $\overline{NMI}$ は、禁止することができませんので、P85に立ち下がりエッジが入力された場合、 $\overline{NMI}$ 割り込みが発生します。P85は、そのときのレベル入力読み込み用としてだけ使用してください。

- プルアップ設定

プルアップ制御ビットによって4ビット単位でプルアップあり/なしを設定できます。プルアップは、選択された4ビットの中で方向レジスタを入力に設定しているポートに対してだけ有効になります。方向レジスタを出力に設定しているポートはプルアップされません。

XCIN/XCOUTを設定している場合や、A-D入力でポートを使用する場合は、該当する端子のプルアップを設定しないでください。

また、P0～P3、P40～P43、P5のプルアップはシングルチップモードのみ設定できます。

メモリ拡張モード、マイクロプロセッサモード時、P0～P3、P40～P43、P5のプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

- 内蔵周辺装置の入出力機能

表2.16.1に各ポートと内蔵周辺装置の入出力の対応を示します。

表2.16.1. 各ポートと内蔵周辺装置の入出力の対応

ポート	内蔵周辺装置の入出力端子
P15 ~ P17	外部割り込みの入力端子
P6	シリアルI/Oの入出力端子
P70	シリアルI/Oの入出力端子/タイマAの出力端子
P71	シリアルI/Oの入出力端子/タイマAの入力端子/タイマBの入力端子
P72, P73	シリアルI/Oの入出力端子/タイマAの入出力端子/三相モータ制御用タイマ機能の出力端子
P74, P75	タイマAの入出力端子/三相モータ制御用タイマ機能の出力端子
P76, P77	タイマAの入出力端子
P80, P81	タイマAの入出力端子/三相モータ制御用タイマ機能の出力端子
P82 ~ P84	外部割り込みの入力端子
P86, P87	サブクロック発振回路の入出力端子
P90 ~ P92	タイマBの入力端子/シリアルI/Oの入出力端子
P93, P94	D-A変換器の出力端子/タイマBの入力端子
P95, P96	A-D変換器の拡張入力端子/シリアルI/Oの入出力端子
P97	A-Dトリガ入力端子/シリアルI/Oの入力端子
P100 ~ P103	A-D変換器の入力端子
P104 ~ P107	A-D変換器の入力端子 / キー入力割り込み機能の入力端子

- 未使用端子の処理例

未使用端子の処理例を以下に示します。

ここで説明する例は一例です。ご使用に際しては、ユーザアプリケーションに対応して適宜変更、および十分な評価をしてください。

(1) シングルチップモード時

表2.16.2. シングルチップモード時の未使用端子の処理例

端 子 名	処 理 内 容
ポートP0 ~ P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssまたはVccに接続、あるいは出力モードに設定し開放 (注1、注3)
XOUT (注2)	開放
NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVSS, VREF, BYTE	Vssに接続

注1. 出力モードに設定し、開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. XIN端子に外部クロックを入力しているとき。

注3. ポートP70、P71を出力モードに設定する場合は“L”を出力してください。
ポートP70、P71はNチャネルオープンドレイン出力です。

(2) メモリ拡張モード、マイクロプロセッサモード時

表2.16.3. メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端 子 名	処 理 内 容
ポートP6～P10(P85は除く)	入力モードに設定し、端子ごとに抵抗を介してVssまたはVccに接続、あるいは出力モードに設定し開放(注1、注2、注5)
P45/ $\overline{\text{CS1}}$ ～P47/ $\overline{\text{CS3}}$	ポートを入力モードに設定し、 $\overline{\text{CS1}}$ ～ $\overline{\text{CS3}}$ 出力許可ビットを“0”に設定し、抵抗を介してVccに接続(プルアップ)
$\overline{\text{BHE}}$, $\overline{\text{ALE}}$, $\overline{\text{HLDA}}$	開放(注3)
XOUT(注4), BCLK(注6)	開放
$\overline{\text{HOLD}}$, $\overline{\text{RDY}}$, $\overline{\text{NMI}}$	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVSS, VREF	Vssに接続

注1. 出力モードに設定し、開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. CNVss端子にVssレベルを印加している場合、リセットからソフトウェアによってプロセッサモードを切り替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不安定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。

注4. XIN端子に外部クロックを入力しているとき。

注5. ポートP70、P71を出力モードに設定する場合は“L”を出力してください。

ポートP70、P71はNチャネルオープンドレイン出力です。

注6. BCLK出力禁止ビット(0004₁₆番地のビット7)を“1”にした場合、抵抗を介してVccに接続(プルアップ)してください。

- プログラマブル入出力ポート関連レジスタ

図2.16.1にプログラマブル入出力ポート関連レジスタのメモリ配置図を、図2.16.2～図2.16.4にプログラマブル入出力ポート関連レジスタの構成を示します。

03E0 ₁₆	ポートP0(P0)
03E1 ₁₆	ポートP1(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2(P2)
03E5 ₁₆	ポートP3(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4(P4)
03E9 ₁₆	ポートP5(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6(P6)
03ED ₁₆	ポートP7(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8(P8)
03F1 ₁₆	ポートP9(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
≈	
03FC ₁₆	プルアップ制御レジスタ 0 (PUR0)
03FD ₁₆	プルアップ制御レジスタ 1 (PUR1)
03FE ₁₆	プルアップ制御レジスタ 2 (PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

図2.16.1. プログラマブル入出力ポート関連レジスタのメモリ配置図

ポートPi方向レジスタ(注1、注2)

シンボル	アドレス	リセット時
PDi(i=0~10 ただし8は除く)	03E216,03E316,03E616,03E716,03EA16番地 03EB16,03EE16,03EF16,03F316,03F616番地	0016

ビットシンボル	ビット名	機 能	R/W
PDi_0	ポートPi0方向レジスタ	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能) (i=0~10 ただし8は除く)	○ ○
PDi_1	ポートPi1方向レジスタ		○ ○
PDi_2	ポートPi2方向レジスタ		○ ○
PDi_3	ポートPi3方向レジスタ		○ ○
PDi_4	ポートPi4方向レジスタ		○ ○
PDi_5	ポートPi5方向レジスタ		○ ○
PDi_6	ポートPi6方向レジスタ		○ ○
PDi_7	ポートPi7方向レジスタ		○ ○

注1. ポートP9方向レジスタを書き替える場合、プロテクトレジスタ(000A16番地)のビット2に“1”を設定してください。

注2. メモリ拡張モード時またはマイクロプロセッサモード時、A0~A19、D0~D15、CS0~CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLKに設定している端子のポートPi方向レジスタの内容は変更できません。

ポートP8方向レジスタ

シンボル		アドレス	リセット時
PD8		03F216番地	00X000002

b7

b6

b5

b4

b3

b2

b1

b0

✕

ビットシンボル	ビット名	機 能	R/W
PD8_0	ポートP80方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○ ○
PD8_1	ポートP81方向レジスタ		○ ○
PD8_2	ポートP82方向レジスタ		○ ○
PD8_3	ポートP83方向レジスタ		○ ○
PD8_4	ポートP84方向レジスタ		○ ○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			- -
PD8_6	ポートP86方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○ ○
PD8_7	ポートP87方向レジスタ		○ ○

図2.16.2. プログラマブル入出力ポート関連レジスタの構成(1)

ポート

ポートPiレジスタ(注2)

シンボル	アドレス	リセット時
Pi(i=0 ~ 10 ただし8は除く)	03E016,03E116,03E416,03E516,03E816番地 03E916,03EC16,03ED16,03F116,03F416番地	不定 不定

ビットシンボル	ビット名	機 能	R	W
Pi_0	ポートPi0レジスタ		○	○
Pi_1	ポートPi1レジスタ		○	○
Pi_2	ポートPi2レジスタ		○	○
Pi_3	ポートPi3レジスタ		○	○
Pi_4	ポートPi4レジスタ		○	○
Pi_5	ポートPi5レジスタ		○	○
Pi_6	ポートPi6レジスタ		○	○
Pi_7	ポートPi7レジスタ		○	○

注1. P70、P71はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。

注2. メモリ拡張モード時またはマイクロプロセッサモード時、A0 ~ A19、D0 ~ D15、CS0 ~ CS3、RD、WRL / WR、WRH / BHE、ALE、RDY、HOLD、HLDA、BCLKに設定している端子のポートPiレジスタの内容は変更できません。

ポートP8レジスタ

シンボル	アドレス	リセット時
P8	03F016番地	不定

ビットシンボル	ビット名	機 能	R	W
P8_0	ポートP80レジスタ		○	○
P8_1	ポートP81レジスタ		○	○
P8_2	ポートP82レジスタ		○	○
P8_3	ポートP83レジスタ		○	○
P8_4	ポートP84レジスタ		○	○
P8_5	ポートP85レジスタ		○	×
P8_6	ポートP86レジスタ		○	○
P8_7	ポートP87レジスタ		○	○

図2.16.3. プログラマブル入出力ポート関連レジスタの構成(2)

プルアップ制御レジスタ0(注1)

シンボル	アドレス	リセット時
PUR0	03FC ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R/W
PU00	P0 ₀ ~ P0 ₃ のプルアップ	対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり	○ ○
PU01	P0 ₄ ~ P0 ₇ のプルアップ		○ ○
PU02	P1 ₀ ~ P1 ₃ のプルアップ		○ ○
PU03	P1 ₄ ~ P1 ₇ のプルアップ		○ ○
PU04	P2 ₀ ~ P2 ₃ のプルアップ		○ ○
PU05	P2 ₄ ~ P2 ₇ のプルアップ		○ ○
PU06	P3 ₀ ~ P3 ₃ のプルアップ		○ ○
PU07	P3 ₄ ~ P3 ₇ のプルアップ		○ ○

注1. メモリ拡張モード時またはマイクロプロセッサモード時、このレジスタの内容は変更できませんが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ1

シンボル	アドレス	リセット時
PUR1	03FD ₁₆ 番地	00 ₁₆ (注2)

ビットシンボル	ビット名	機 能	R/W
PU10	P4 ₀ ~ P4 ₃ のプルアップ(注3)	対応するポートのプルアップの設定を行う 0: プルアップなし 1: プルアップあり	○ ○
PU11	P4 ₄ ~ P4 ₇ のプルアップ		○ ○
PU12	P5 ₀ ~ P5 ₃ のプルアップ(注3)		○ ○
PU13	P5 ₄ ~ P5 ₇ のプルアップ		○ ○
PU14	P6 ₀ ~ P6 ₃ のプルアップ		○ ○
PU15	P6 ₄ ~ P6 ₇ のプルアップ		○ ○
PU16	P7 ₂ ~ P7 ₃ のプルアップ (注1)		○ ○
PU17	P7 ₄ ~ P7 ₇ のプルアップ		○ ○

注1. P7₀、P7₁はNチャネルオープンドレインポートのため、プルアップはありません。

注2. CNVss端子にVccレベルを印加しているときは、リセット時02₁₆になります(PU11が“1”になります)。

注3. メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更できませんが、プルアップ抵抗は接続されません。

プルアップ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
シンボル		アドレス		リセット時			
PUR2		03FE ₁₆ 番地		00 ₁₆			

ビットシンボル	ビット名	機 能	R	W
PU20	P8 ₀ ~ P8 ₃ のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU21	P8 ₄ ~ P8 ₇ のプルアップ (ただしP8 ₈ は除く)		○	○
PU22	P9 ₀ ~ P9 ₃ のプルアップ		○	○
PU23	P9 ₄ ~ P9 ₇ のプルアップ		○	○
PU24	P10 ₀ ~ P10 ₃ のプルアップ		○	○
PU25	P10 ₄ ~ P10 ₇ のプルアップ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			-	-

図2.16.4. プログラマブル入出力ポート関連レジスタの構成(3)

レイアウトの都合上、このページは白紙です。

第 3 章

周辺機能の応用例

この章では、M16C/62Aグループに内蔵された周辺機能を使用した応用事例を紹介します。なお、ここで示す応用事例は一例です。ご使用に際しては、適宜変更、および十分な評価を行ってください。基本的な使い方については、「第2章 周辺機能の使い方」を参照してください。

この章で掲載している応用例を示します。

- 3.1 長い周期のタイマ P2-192
- 3.2 周期およびデューティ可変のPWM出力 P2-196
- 3.3 ディレードワンショット出力 P2-200
- 3.4 ブザーの出力 P2-204
- 3.5 外部割り込み端子が不足したときの対処方法 P2-206
- 3.6 メモリからメモリのDMA転送 P2-208
- 3.7 ストップモードを使用したパワーコントロール P2-212
- 3.8 ウェイトモードを使用したパワーコントロール P2-216

レイアウトの都合上、このページは白紙です。

タイマAの応用例

3.1 長い周期のタイマ

概要 タイマAを2本接続して16ビットプリスケアラ付き16ビットタイマを実現します。その動作タイミングを図3.1.1に、接続図を図3.1.2に、設定手順を図3.1.3、図3.1.4に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- タイマAのイベントカウンタモード

仕様 (1) タイマA0はタイマモードに、タイマA1はイベントカウンタモードに設定します。
 (2) タイマA0でカウントソース f_1 をカウントして1msを作成し、タイマA1でタイマA0をカウントして1秒を作成します。
 (3) X_{IN} には16MHzの発振子を接続します。

動作 (1) **カウント開始フラグ**を“1”にすると、カウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソース f_1 をダウncountします。
 (2) タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、**タイマA0割り込み要求ビット**が“1”になります。タイマA1のカウンタはタイマA0のアンダフローをダウncountします。
 (3) タイマA1のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、**タイマA1割り込み要求ビット**が“1”になります。

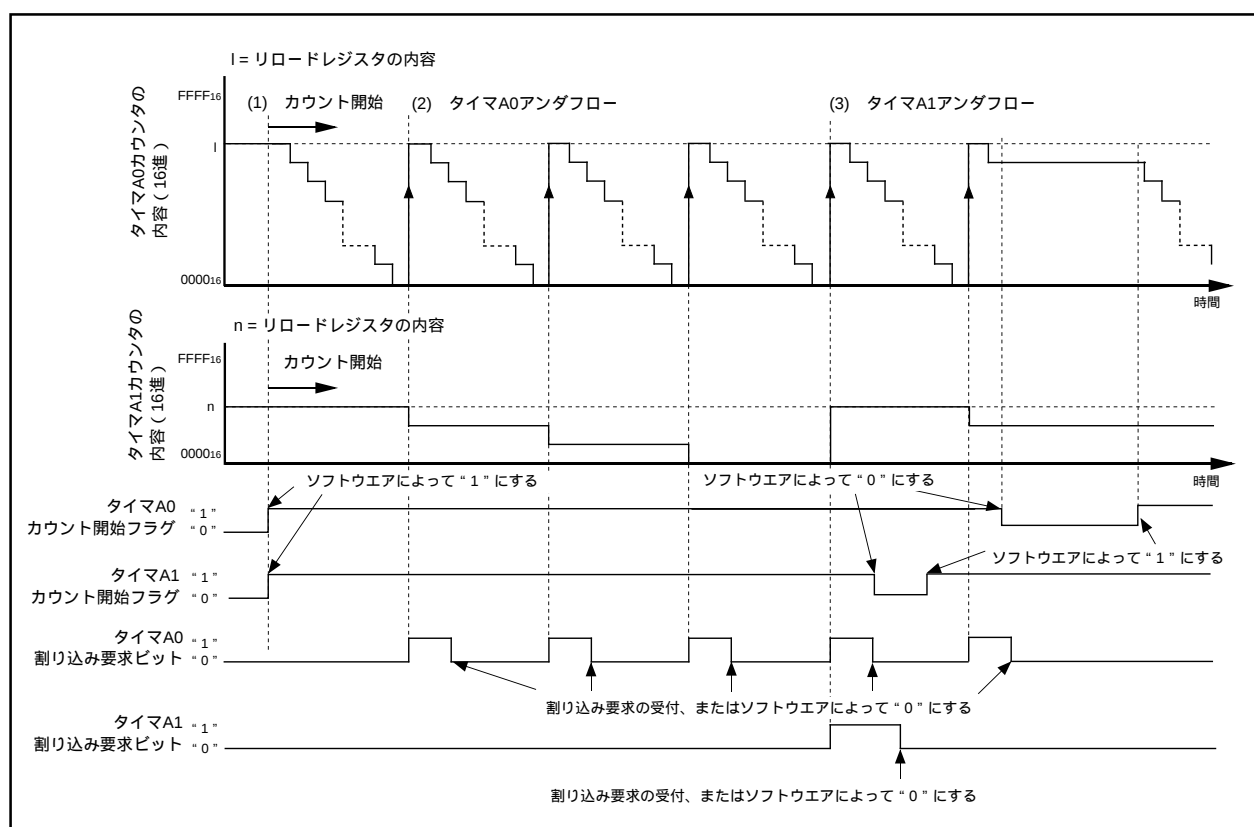


図3.1.1. 長い周期のタイマの動作タイミング

タイマAの応用例

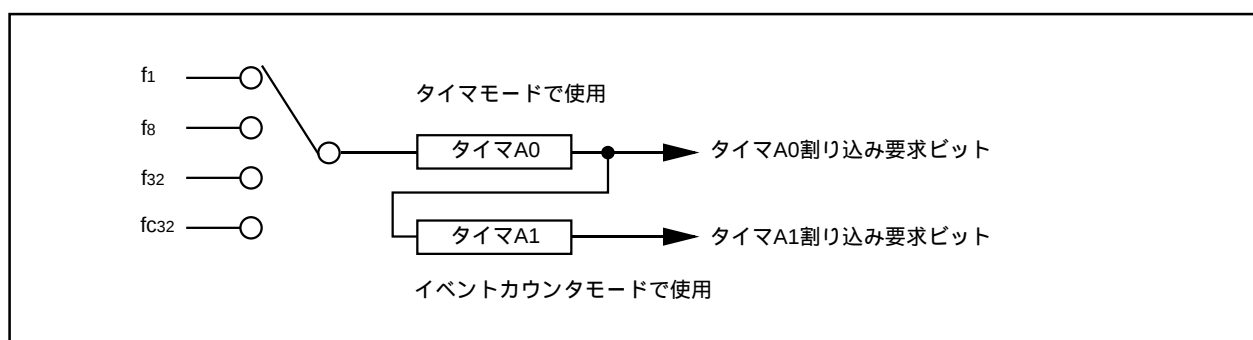
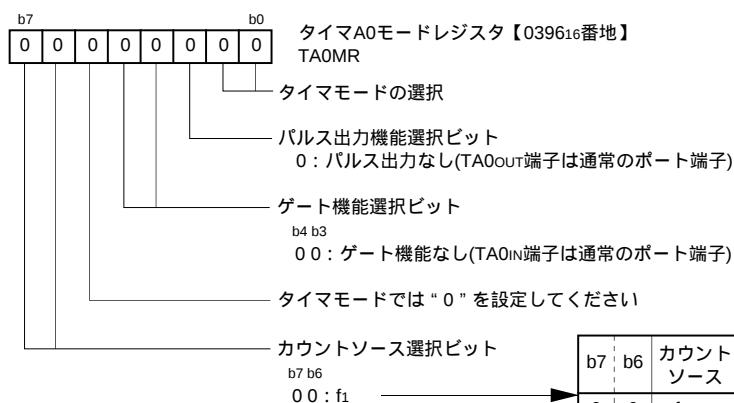


図3.1.2. 長い周期のタイマのタイマ接続図

タイマAの応用例

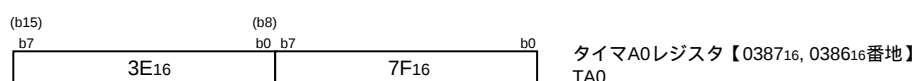
タイマA0の設定

タイマモードの選択および各機能の選択



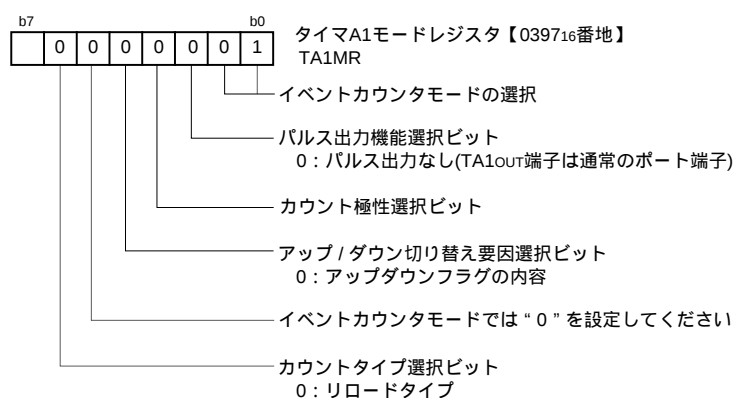
b7	b6	カウント ソース	カウントソースの周期	
			f(X _{IN}): 16MHz	f(X _{CIN}): 32.768kHz
0	0	f ₁	62.5ns	
0	1	f ₈	500ns	
1	0	f ₃₂	2 μs	
1	1	f _{C32}	976.56 μs	

分周比の設定



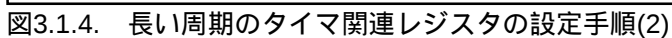
タイマA1の設定

イベントカウンタモードの選択および各機能の選択



次ページへ続く

図3.1.3. 長い周期のタイマ関連レジスタの設定手順(1)



タイマAの応用例

3.2 周期およびデューティ - 可変のPWM出力

概要 タイマAを2本使用し、周期およびデューティ - 可変のPWM出力を行います。その動作タイミングを図3.2.1に、接続図を図3.2.2に、設定手順を図3.2.3、図3.2.4に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- タイマAのワンショットタイマモード

- 仕様
- (1) タイマA0はタイマモードに、タイマA1はパルス出力機能付きワンショットタイマモードに設定します。
 - (2) タイマA0にはPWMの周期1msを設定します。タイマA1にはPWMの“H”幅500 μ sを設定します。タイマA0、タイマA1ともカウントソースにはf₁を使用します。
 - (3) X_{IN}には16MHzの発振子を接続します。

- 動作
- (1) カウント開始フラグを“1”にすると、タイマA0のカウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソースf₁をダウンカウントします。
 - (2) タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA0割り込み要求ビットは“1”になります。
 - (3) タイマA0のアンダフローをトリガにしてタイマA1のカウンタはカウント動作を開始します。タイマA1のカウンタがカウントを開始するとTA1_{OUT}端子の出力レベルは“H”になります。
 - (4) タイマA1のカウンタの値が“0000₁₆”になるとき、TA1_{OUT}端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時にタイマA1割り込み要求ビットが“1”になります。

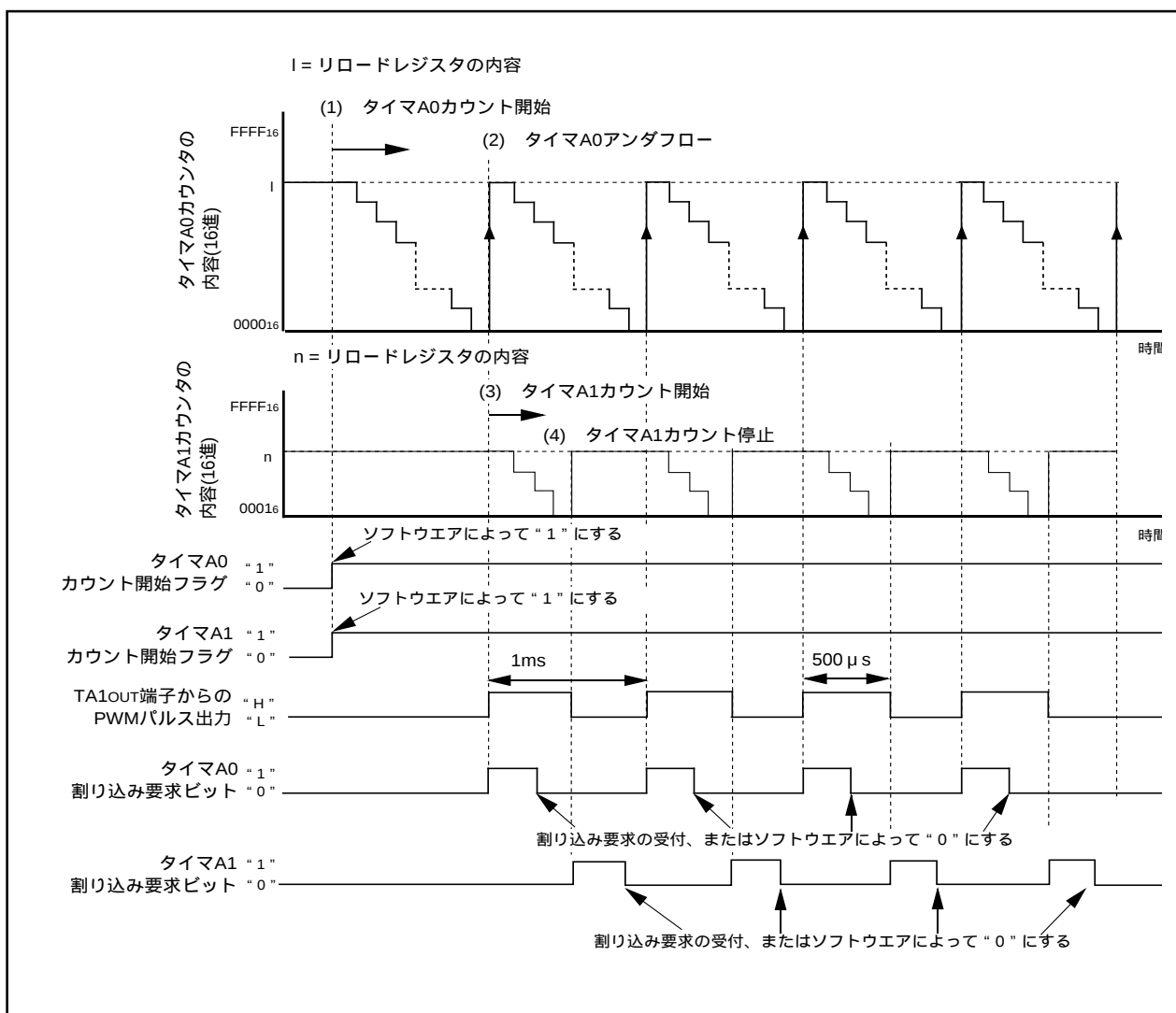


図3.2.1. 周期およびデューティ可変のPWM出力の動作タイミング

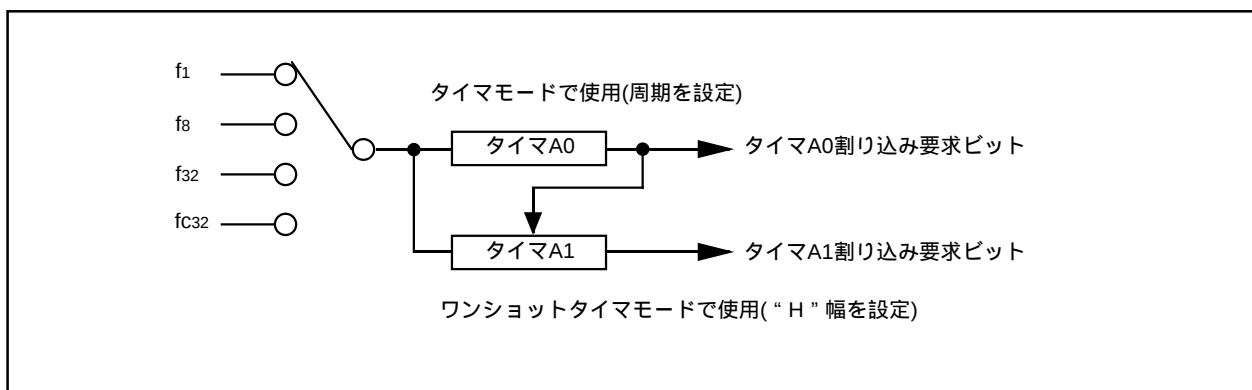
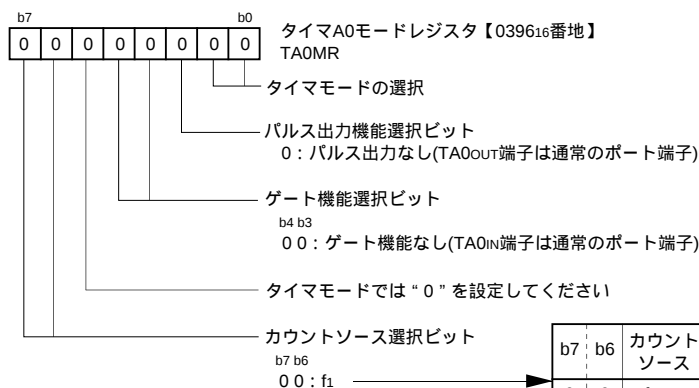


図3.2.2. 周期およびデューティ可変のPWM出力のタイマ接続図

タイマAの応用例

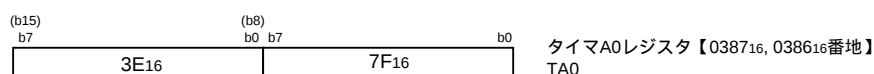
タイマA0の設定

タイマモードの選択および各機能の選択



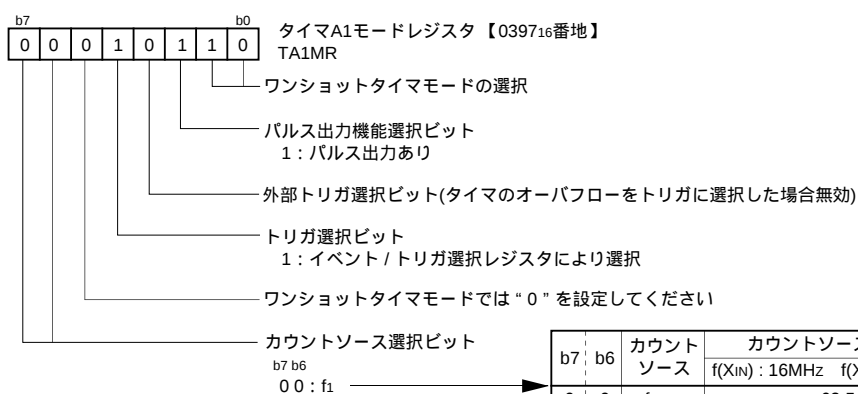
b7	b6	カウント ソース	カウントソースの周期	
			f(X _{IN}) : 16MHz	f(X _{CIN}) : 32.768kHz
0	0	f ₁	62.5ns	
0	1	f ₈	500ns	
1	0	f ₃₂	2 μs	
1	1	f _{c32}	976.56 μs	

分周比の設定



タイマA1の設定

ワンショットタイマモードの選択および各機能の選択



b7	b6	カウント ソース	カウントソースの周期	
			f(X _{IN}) : 16MHz	f(X _{CIN}) : 32.768kHz
0	0	f ₁	62.5ns	
0	1	f ₈	500ns	
1	0	f ₃₂	2 μs	
1	1	f _{c32}	976.56 μs	

次ページへ続く

図3.2.3. 周期およびデューティ可変のPWM出力関連レジスタの設定手順(1)

タイマAの応用例

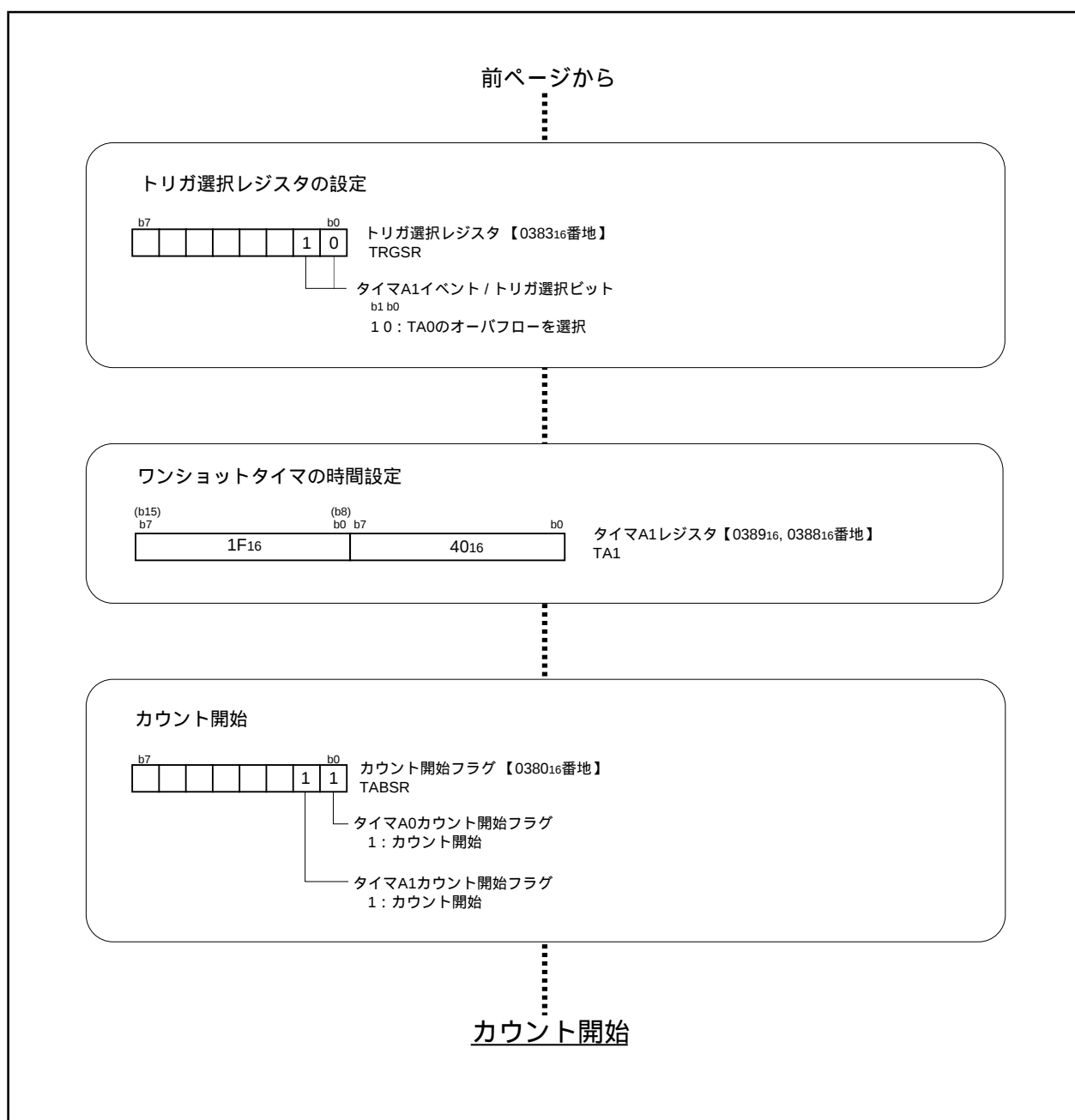


図3.2.4. 周期およびデューティー可変のPWM出力関連レジスタの設定手順(2)

タイマAの応用例

3.3 ディレードワンショット出力

概要 外部トリガを入力してから一定時間経過後に1度だけパルス出力を行います。その動作タイミングを図3.3.1に、接続図を図3.3.2に、設定手順を図3.3.3、図3.3.4に示します。

使用する周辺機能は次のとおりです。

- タイマAのワンショットタイマモード

- 仕様**
- (1) タイマA0はワンショットタイマモードに、タイマA1はパルス出力機能付きワンショットタイマモードに設定します。
 - (2) タイマA0にパルスが出るまでの時間1msを、タイマA1にパルス幅50 μ sを設定します。タイマA0、タイマA1ともカウントソースにはf₁を使用します。
 - (3) X_{IN}には16MHzの発振子を接続します。

- 動作**
- (1) **トリガ選択ビット**を“1”、**カウント開始フラグ**を“1”にすると、タイマA0のカウンタはカウント許可状態になります。
 - (2) TA0_{IN}端子に外部トリガ選択ビットで選択した有効エッジが入力されるとカウンタはカウントを開始します。タイマA0のカウンタは、カウントソースf₁をダウンカウントします。
 - (3) タイマA0のカウンタが“0000₁₆”になるとき、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時に、**タイマA0割り込み要求ビット**が“1”になります。
 - (4) タイマA0のアンダフローをトリガにしてタイマA1のカウンタはカウント動作を開始します。タイマA1がカウントを開始すると、TA1_{OUT}端子の出力レベルは“H”になります。
 - (5) タイマA1のカウンタが“0000₁₆”になるとき、TA1_{OUT}端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時に**タイマA1割り込み要求ビット**が“1”になります。

タイマAの応用例

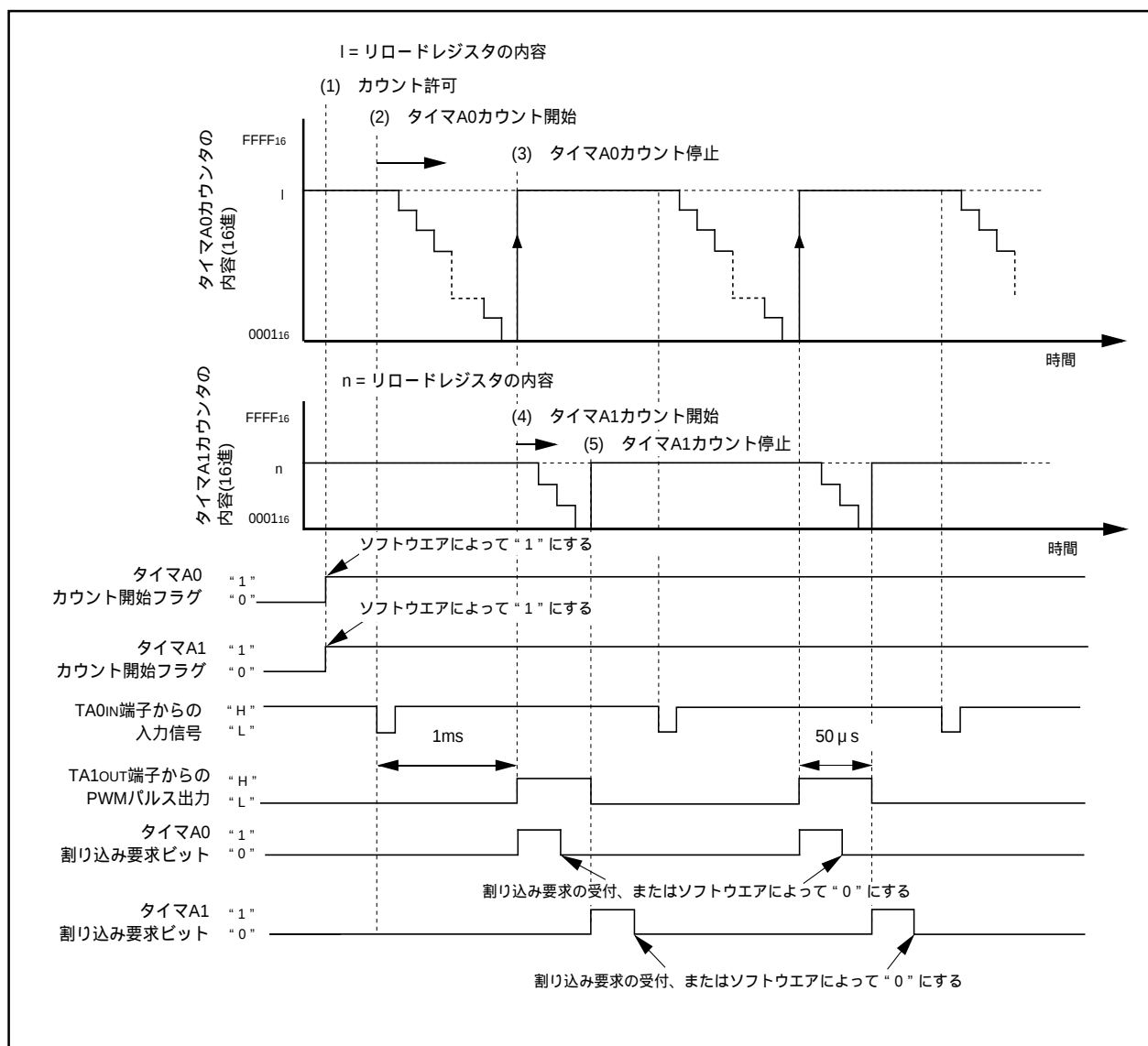


図3.3.1. デイレードワンショット出力の動作タイミング

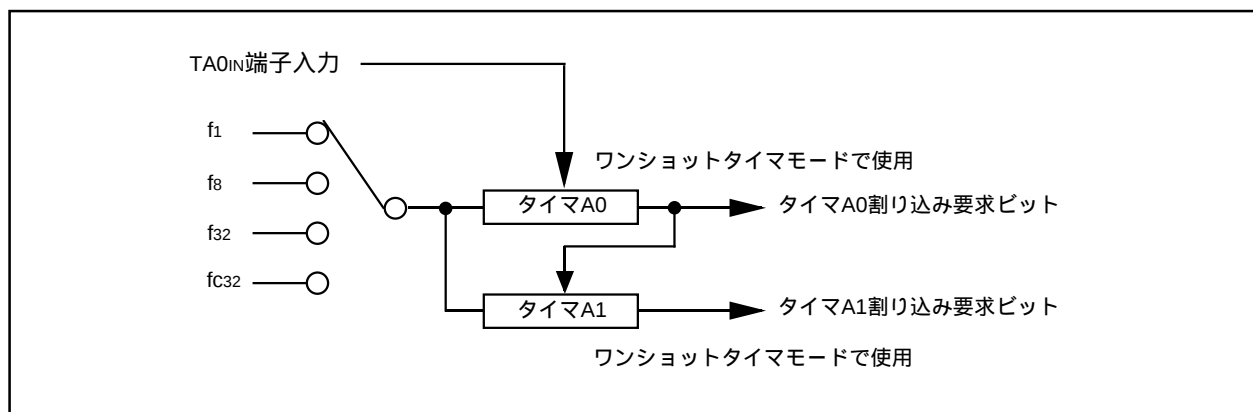
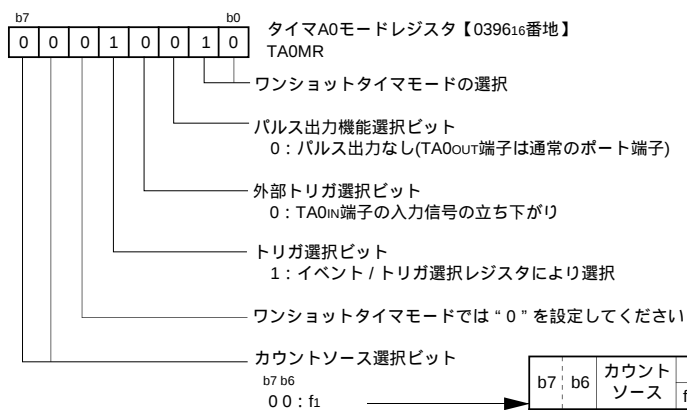


図3.3.2. デイレードワンショット出力のタイマ接続図

タイマAの応用例

タイマA0の設定

ワンショットタイマモードの選択および各機能の選択



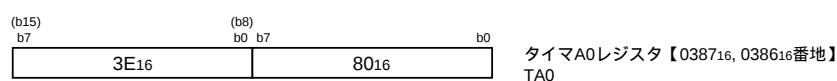
b7	b6	カウント ソース	カウントソースの周期	
			f(X _{IN}): 16MHz	f(X _{CIN}): 32.768kHz
0	0	f ₁		62.5ns
0	1	f ₈		500ns
1	0	f ₃₂		2 μs
1	1	f _{C32}		976.56 μs

ワンショット開始フラグの設定 (TA0のトリガにTA0_{IN}端子を選択)



注1. 対応するポート方向レジスタは“0”にしてください。

遅延時間設定



次ページへ続く

図3.3.3. デイレードワンショット出力の関連レジスタの設定手順(1)

タイマAの応用例

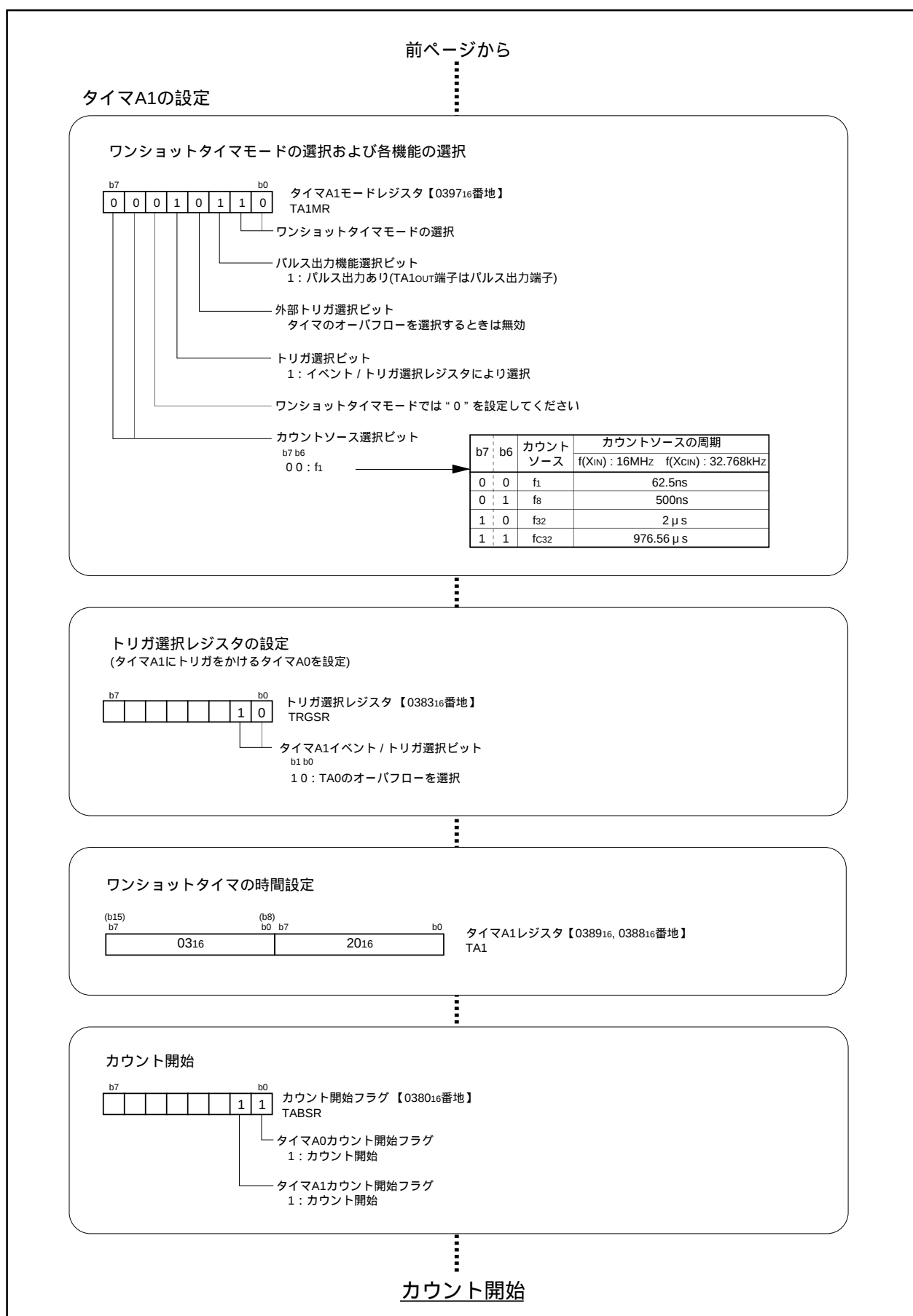


図3.3.4. ディレードワンショット出力の関連レジスタの設定手順(2)

タイマAの応用例

3.4 ブザーの出力

概要 タイマモードを使用してブザーを鳴らします。その動作タイミングを図3.4.1に、設定手順を図3.4.2に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード パルス出力機能

仕様

- (1) タイマA0を利用して2kHzのブザーを鳴らします。
- (2) ポートにはプルアップ抵抗でプルアップします。ブザーがOFFのときは、ポートをハイインピーダンスにしてプルアップした電位に固定します。
- (3) XINには16MHzの発振子を接続します。

動作

- (1) タイマA0のカウントを開始します。タイマA0は、割り込み禁止に設定します。
- (2) **パルス出力機能選択ビット**を“パルス出力あり”としてパルスを開始します。P70は、TA0OUT端子となり2kHzのパルスを出力します。
- (3) パルス出力機能選択ビットをパルスを出力なしとしてパルスの出力を停止します。P70は、入力端子となり端子の出力はハイインピーダンスになります。

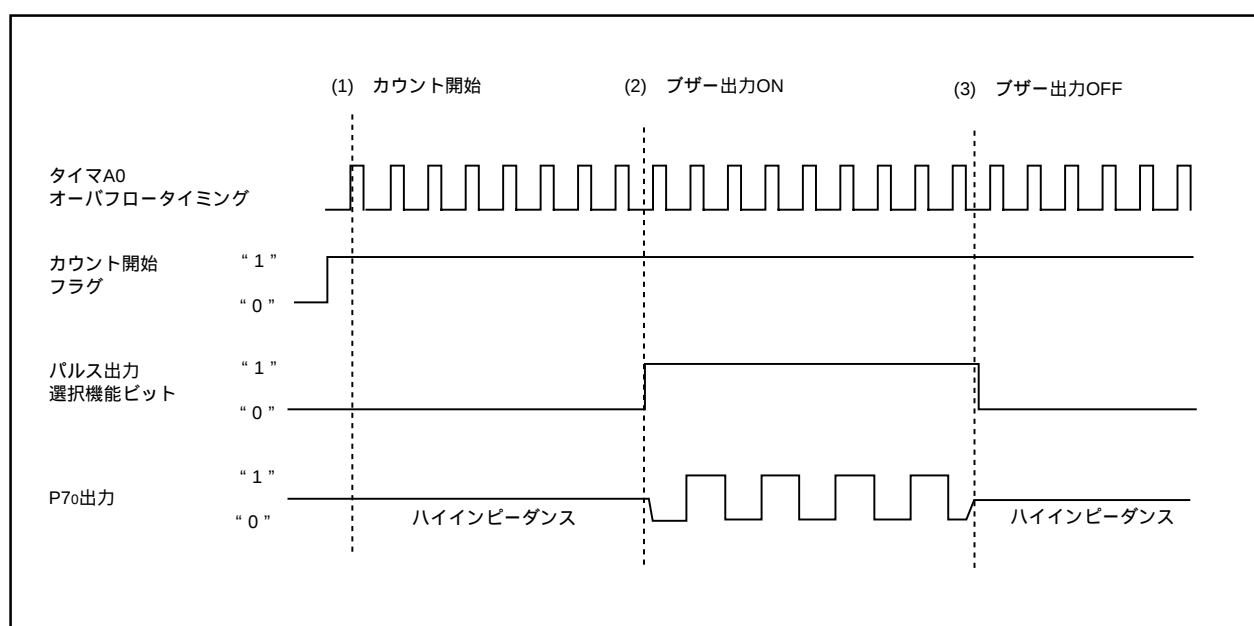


図3.4.1. ブザー出力の動作図

タイマAの応用例

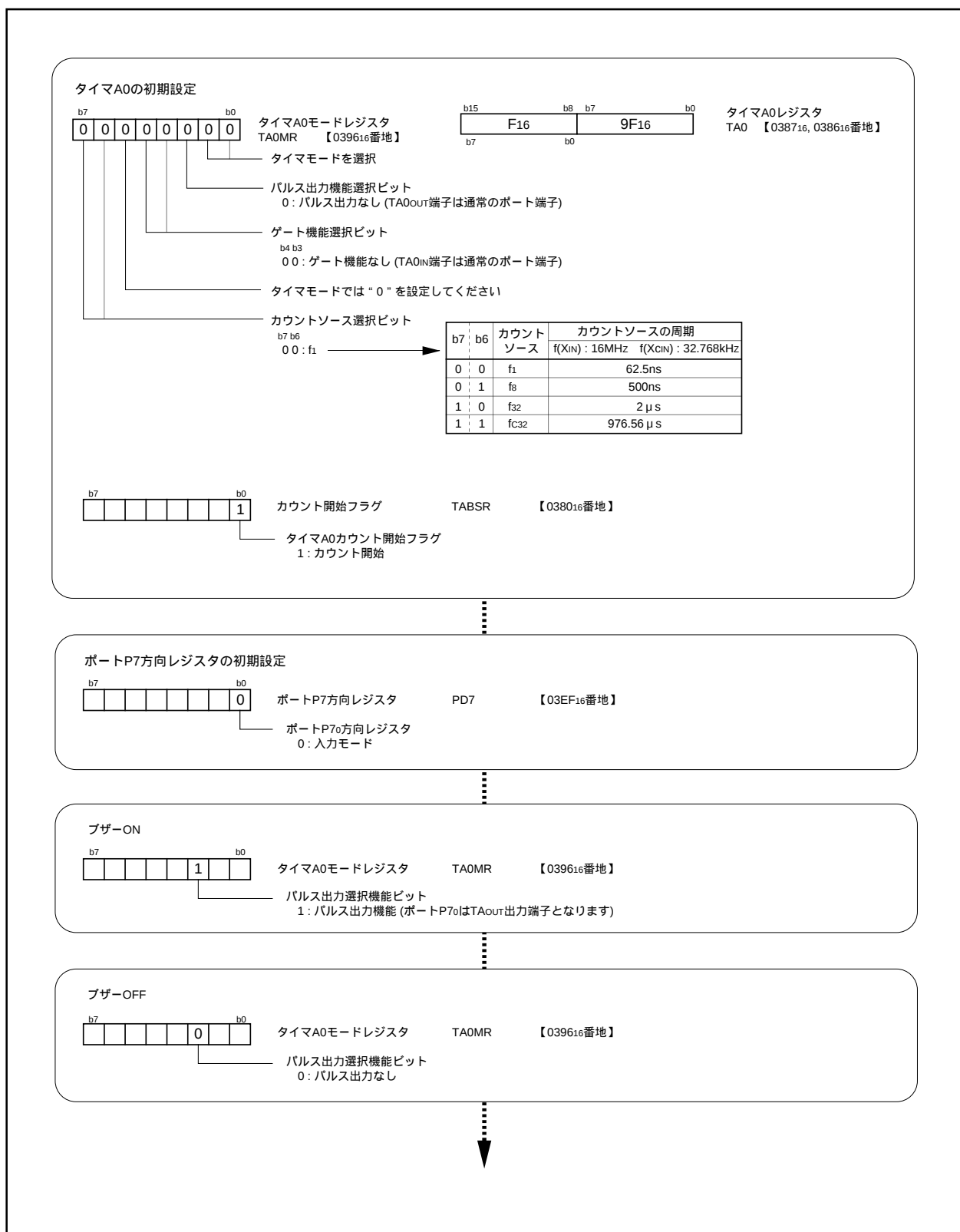


図3.4.2. ブザー出力の設定手順

3.5 外部割り込み端子が不足したときの対処方法

概 要 外部割り込み端子が不足したときの対処例を示します。その設定手順を[図3.5.1](#)に示します。
使用する周辺機能は次のとおりです。

- タイマAのイベントカウントモード

仕 様 (1) TA0IN端子に立ち下がりエッジを入力するとタイマA0割り込みが発生します。

動 作 (1) タイマA0をイベントカウントモードにします。タイマ値は、“0”に設定します。タイマA0
の割り込み許可レベルを設定します。
(2) TA0IN端子に立ち下がりエッジを入力するとタイマA0割り込みが発生します。

タイマAの応用例

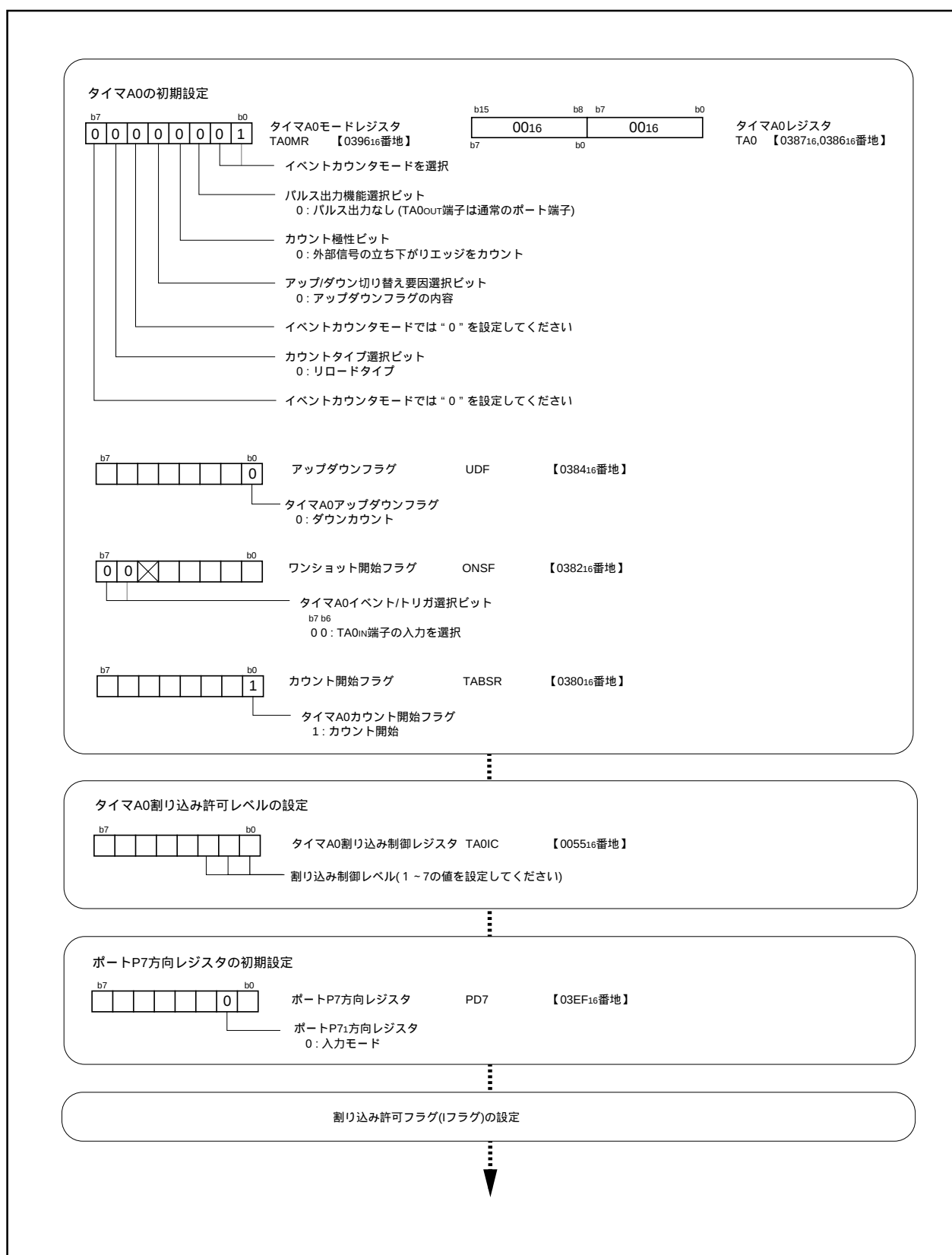


図3.5.1. 割り込み端子が不足したときの対処方法のレジスタ設定手順

3.6 メモリからメモリへのDMA転送例

概要 転送先のアドレスと転送元のアドレスを共に変えて、メモリからメモリへDMA転送を行います。
このDMA転送は、2チャンネルのDMAに同時に転送要求が発生するとDMA0の転送を優先するという仕様を利用したものです。その動作タイミングを図3.6.1に、ブロック図を図3.6.2に、設定手順を図3.6.3、図3.6.4に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- DMAC 2チャンネル
- テンポラリRAM(0800₁₆番地) 1バイト

仕様 (1) A0000₁₆番地から128バイトのメモリの内容をC0000₁₆番地から128バイトの領域へ転送します。転送は、タイマA0の割り込み要求が発生するたびに行います。
(2) DMA0を転送元から内蔵メモリへの転送、DMA1を内蔵メモリから転送先への転送で使います。

動作 (1) タイマAの割り込み要求が発生します。DMA0の転送要求とDMA1の転送要求が同時に発生しますが、DMA0が優先して実行されます。
(2) 転送要求を受けてDMA0が転送元から内蔵メモリへ転送します。同時に、転送元アドレスがインクリメントします。
(3) 次にDMA1が転送要求を受けて内蔵メモリから転送先へ転送します。同時に、転送先アドレスがインクリメントします。

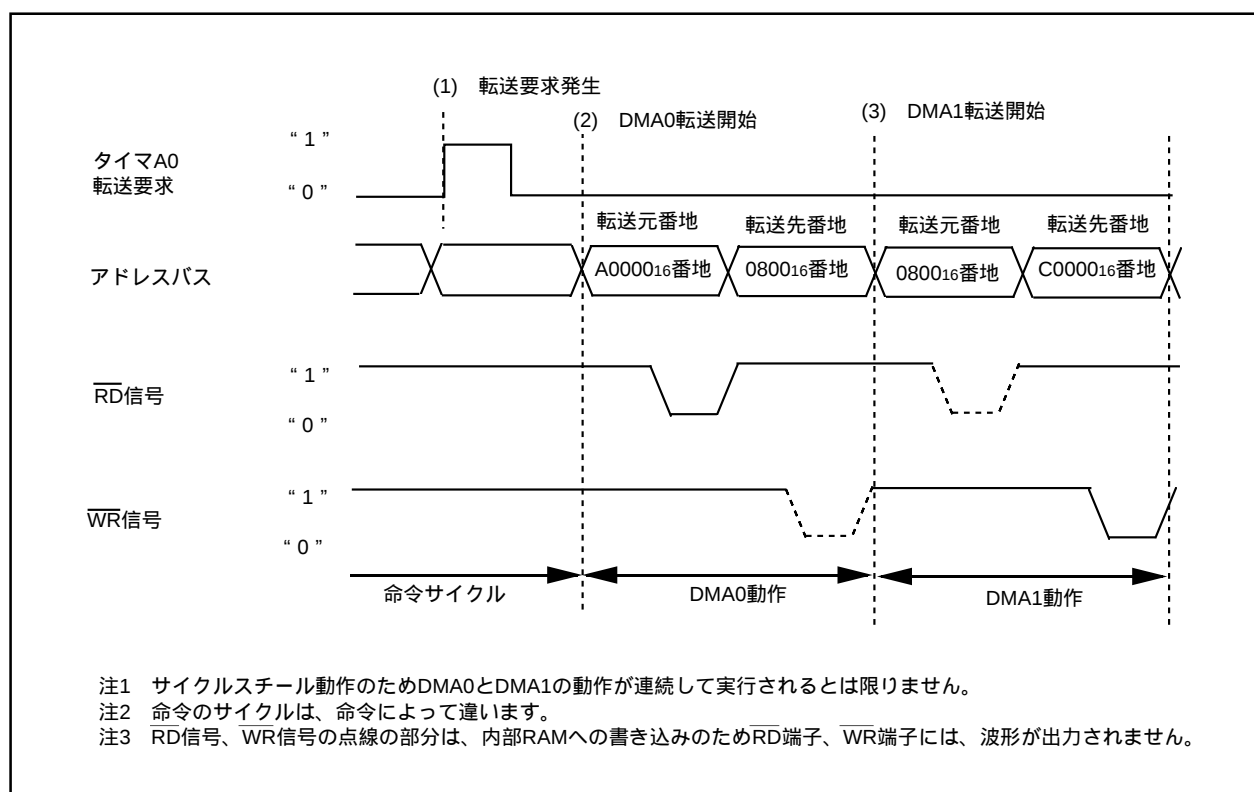


図3.6.1. メモリからメモリへのDMA転送動作タイミング

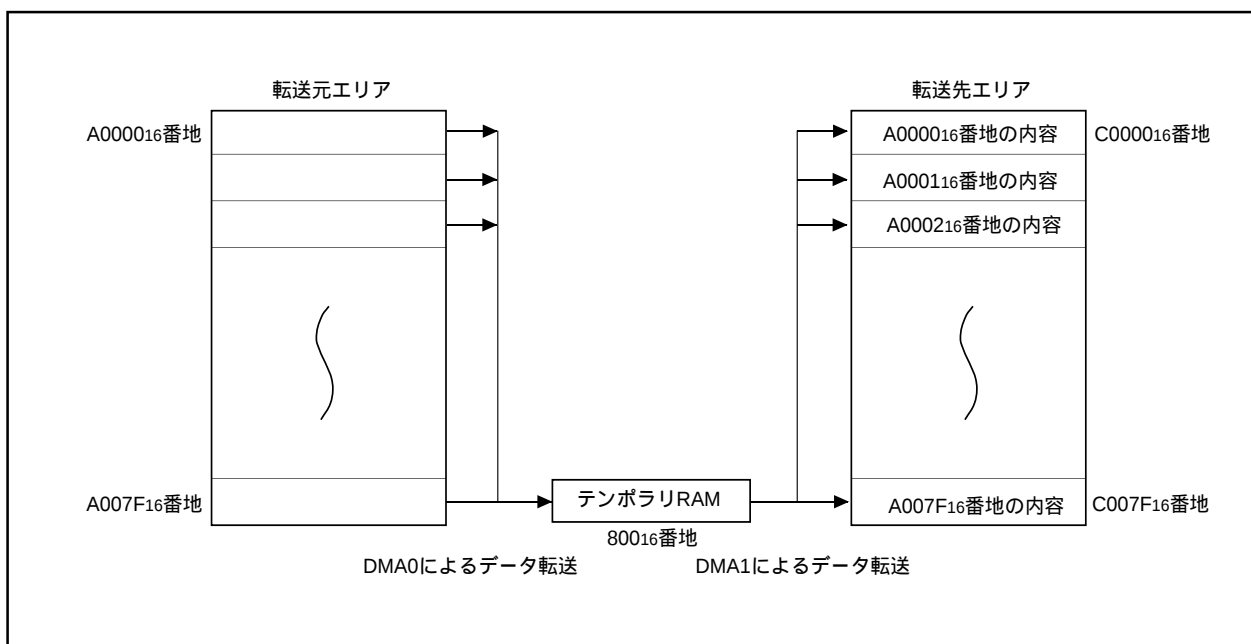


図3.6.2. メモリからメモリへのDMA転送のブロック図

DMACの応用例

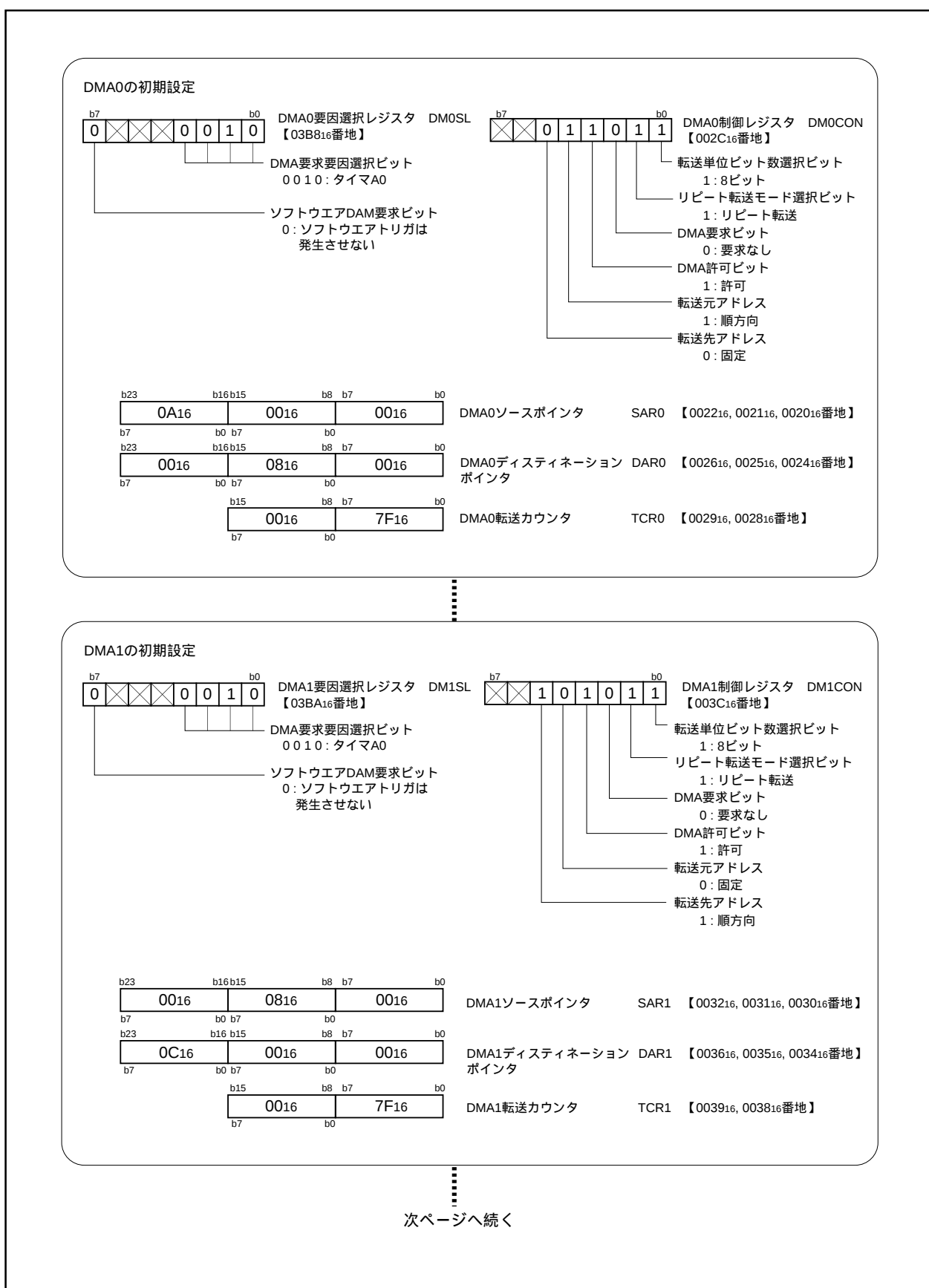


図3.6.3. メモリからメモリへのDMA転送関連レジスタの設定手順(1)

DMACの応用例

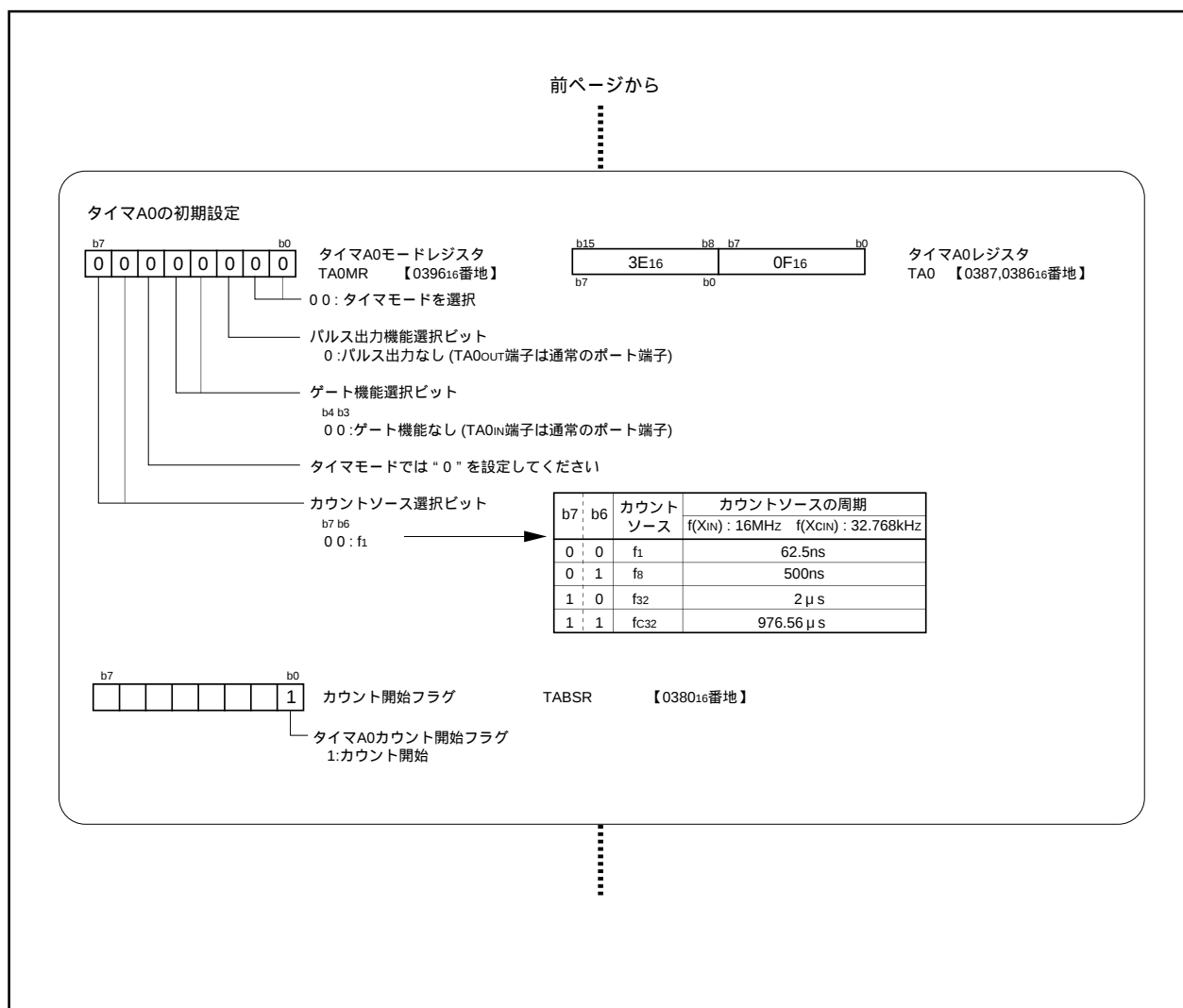


図3.6.4. メモリからメモリへのDMA転送関連レジスタの設定手順(2)

パワーコントロールの応用例

3.7 ストップモードを使用したパワーコントロール例

概要 ストップモードを使用してパワーコントロールを行います。その動作タイミングを図3.7.1に、回路例を図3.7.2に、設定手順を図3.7.3、図3.7.4に示します。

使用する周辺機能は次のとおりです。

- キー入力割り込み
- ストップモード
- プルアップ機能

仕様 (1) キーマトリックスのスキャン出力端子にはP100～P103を使用します。キー入力の読み込み端子にはキー入力割り込み機能の入力端子($\overline{KI0} \sim \overline{KI3}$)を使用し、プルアップ機能も使用します。
(2) キー入力割り込み要求の発生で、ストップモードを解除してキーの読み込みを行います。

動作 (1) キー入力割り込みを許可にして、 $\overline{KI0} \sim \overline{KI3}$ 端子はプルアップ機能を設定します。
P100～P103の出力を“L”にしてストップモードに移行します。
(2) キーが押されると $\overline{KI0} \sim \overline{KI3}$ 端子のいずれかに“L”が入力されストップモードを解除します。
キー入力割り込みが発生して、キー入力割り込み処理を実行します。
(3) P100～P103の出力を順番に“L”にし、どのキーを押されたか判断します。
(4) 入力キーに対する処理が終了すれば、再度P100～P103の出力を“L”にしてストップモードに移行します。

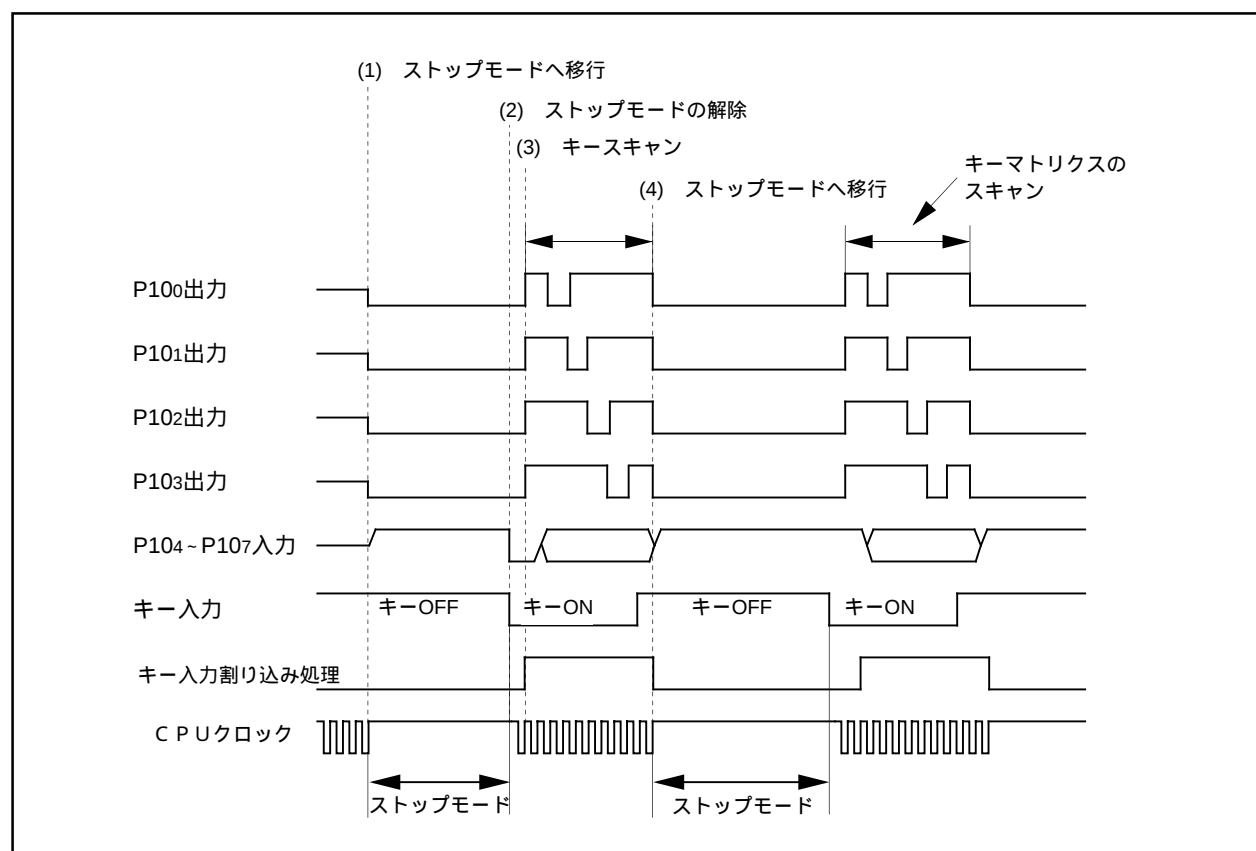
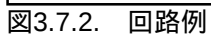


図3.7.1. ストップモードを使用したパワーコントロールの動作タイミング図



パワーコントロールの応用例

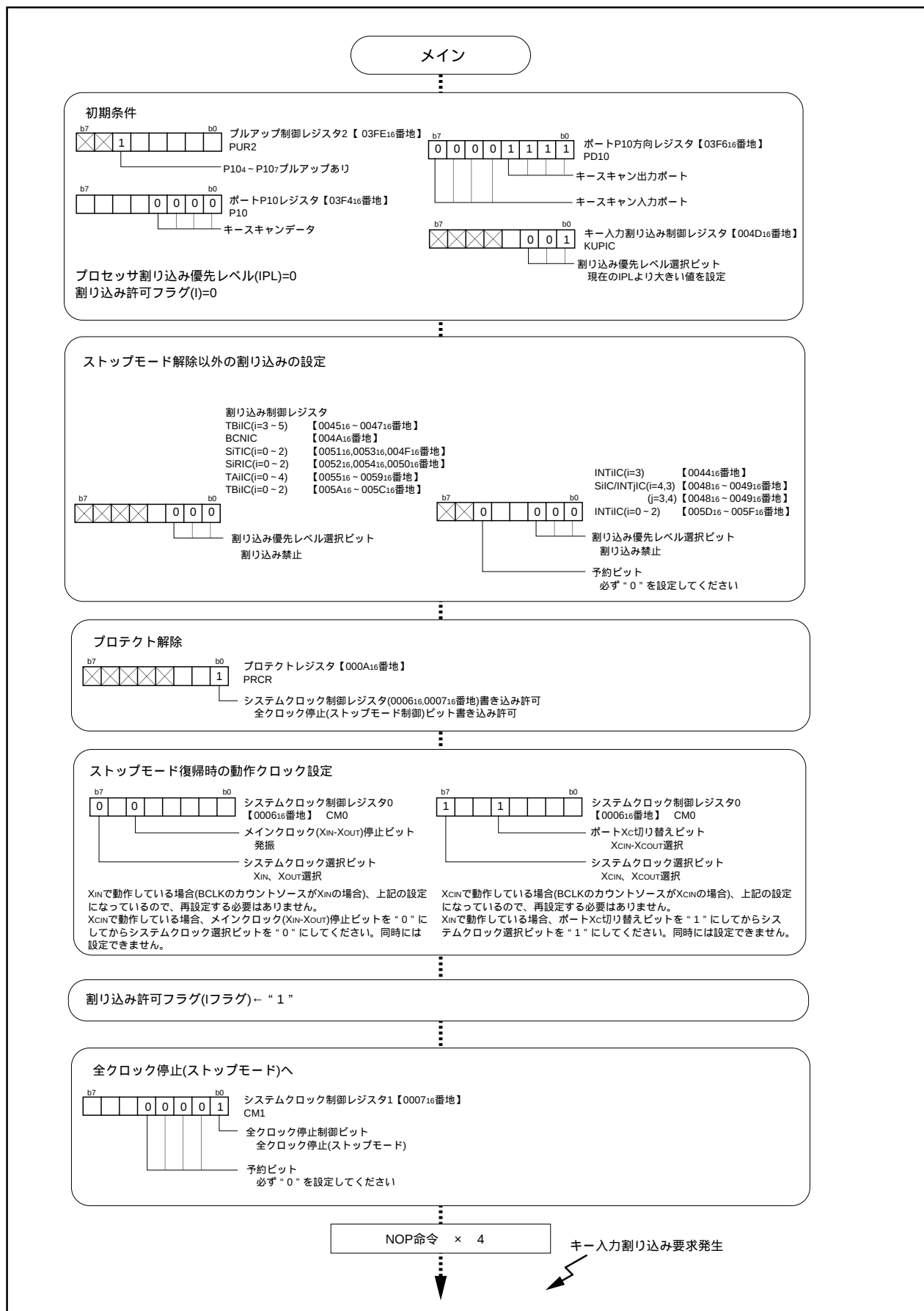


図3.7.3. ストップモードを使用したパワーコントロールの関連レジスタの設定手順(1)

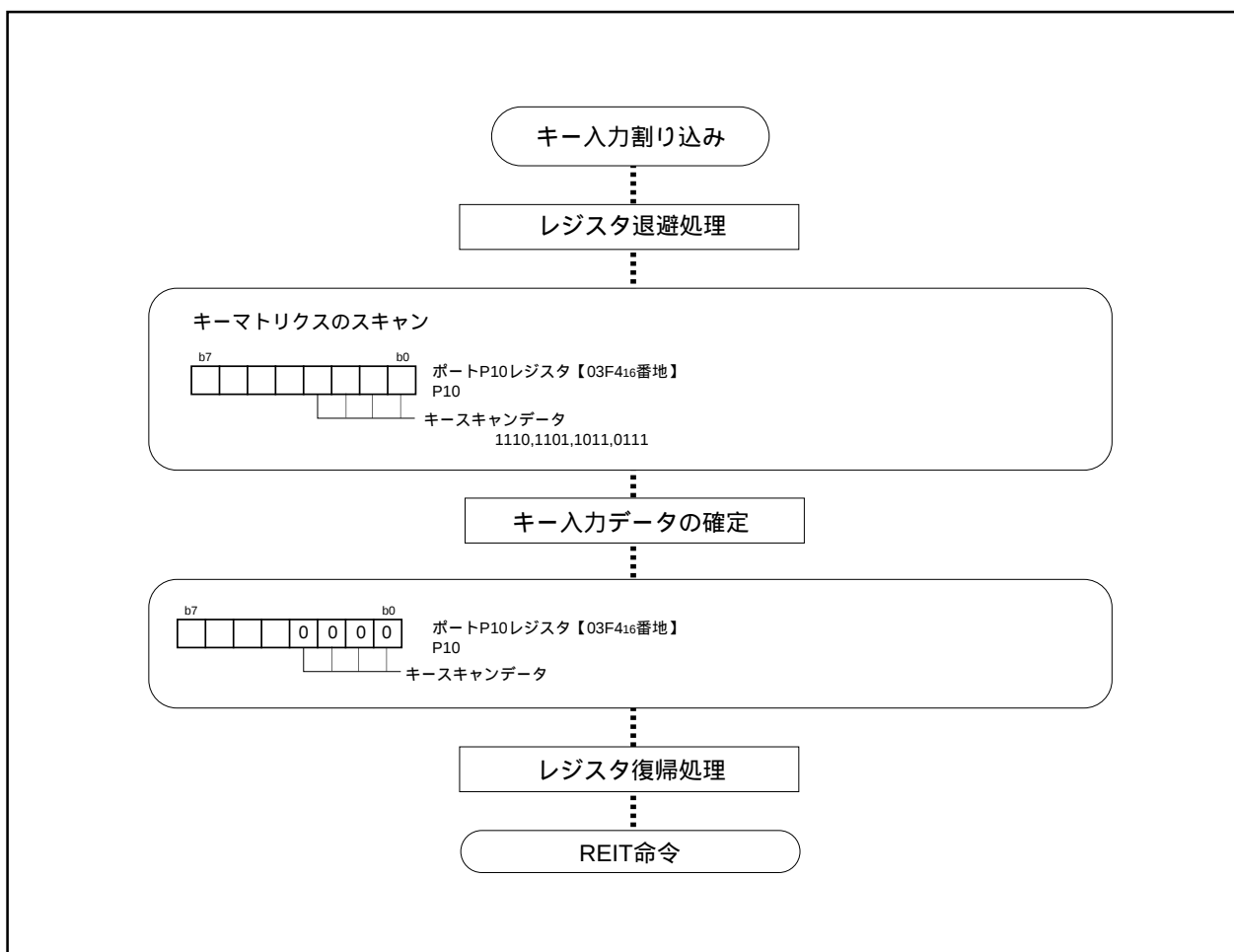


図3.7.4. ストップモードを使用したパワーコントロールの関連レジスタの設定手順(2)

パワーコントロールの応用例

3.8 ウェイトモードを使用したパワーコントロール例

概要 ウェイトモードを使用してパワーコントロールを行います。その動作タイミングを図3.8.1に、設定手順を図3.8.2～図3.8.4に示します。

使用する周辺機能は次のとおりです。

- タイマBのタイマモード
- ウェイトモード

設定手順の中で「F_WIT」というフラグを使用しています。このフラグはウェイトモードを解除するかどうかを判断するためのフラグです。メインプログラムの中でF_WIT = “1” のときはウェイトモードへ移行し、F_WIT = “0” のときはウェイトモードを解除します。

仕様 (1) XCINには、32.768kHzの発振子を接続してタイマのカウントソースとします。タイマで1秒をカウントし割り込みが発生するごとに、ウェイトモードから復帰してプログラムで時計をカウントします。

(2) $\overline{\text{INT0}}$ の割り込み要求が発生すると、ウェイトモードを解除します。

動作 (1) BCLKのカウントソースをXINからXCINに切り替え、低速モードにします。

(2) XINを停止させてウェイトモードへ移行します。このとき、タイマB2割り込みと $\overline{\text{INT0}}$ の割り込みは許可にしてください。

(3) タイマB2割り込み要求(割り込み間隔1秒)が発生すると、XCINからのBCLKが供給されはじめます。

同時に、タイマB2割り込み処理の中で時計をカウントして、再度ウェイトモードに移行します。

(4) $\overline{\text{INT0}}$ 割り込み要求が発生すると、XCINからのBCLKが供給されはじめます。 $\overline{\text{INT0}}$ 割り込みの中で、XINの発振を開始し、発振が安定した後、BCLKのカウントソースをXINに切り替えます。

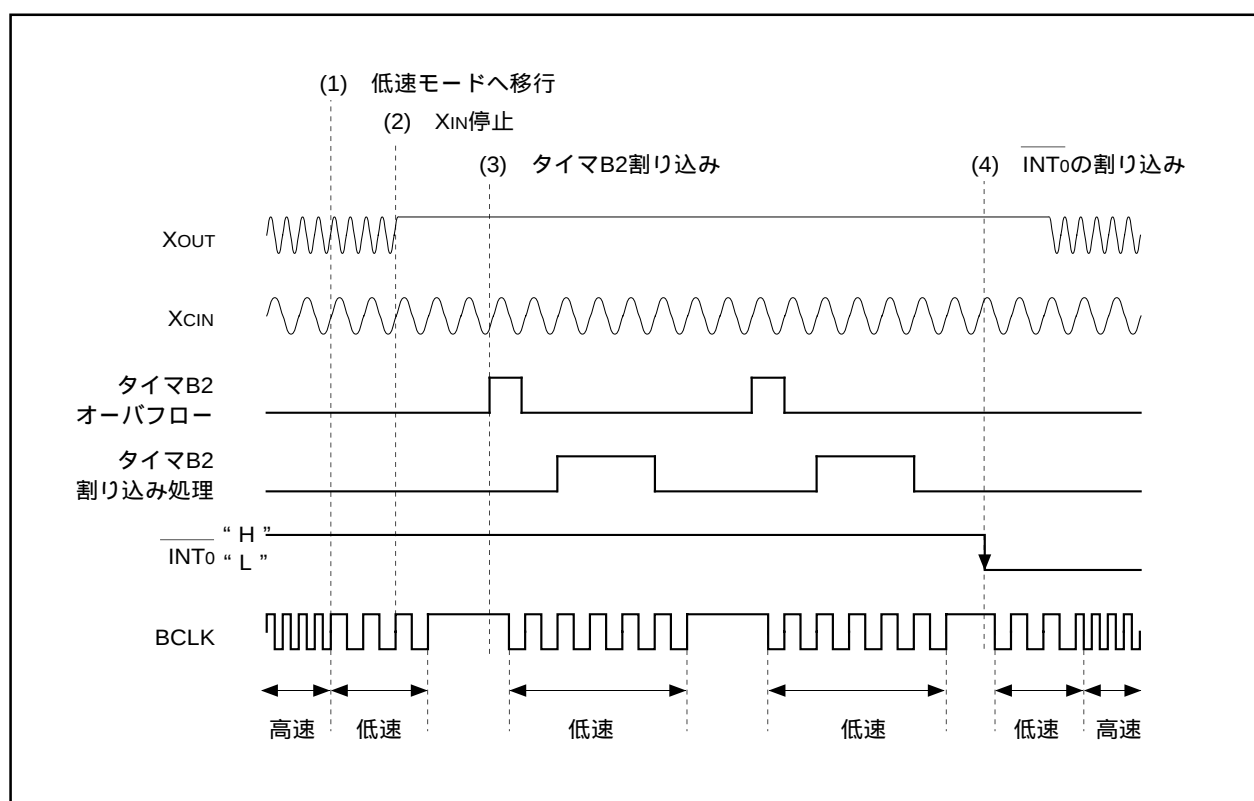


図3.8.1. ウェイトモードを使用したパワーコントロールの動作タイミング図

パワーコントロールの応用例

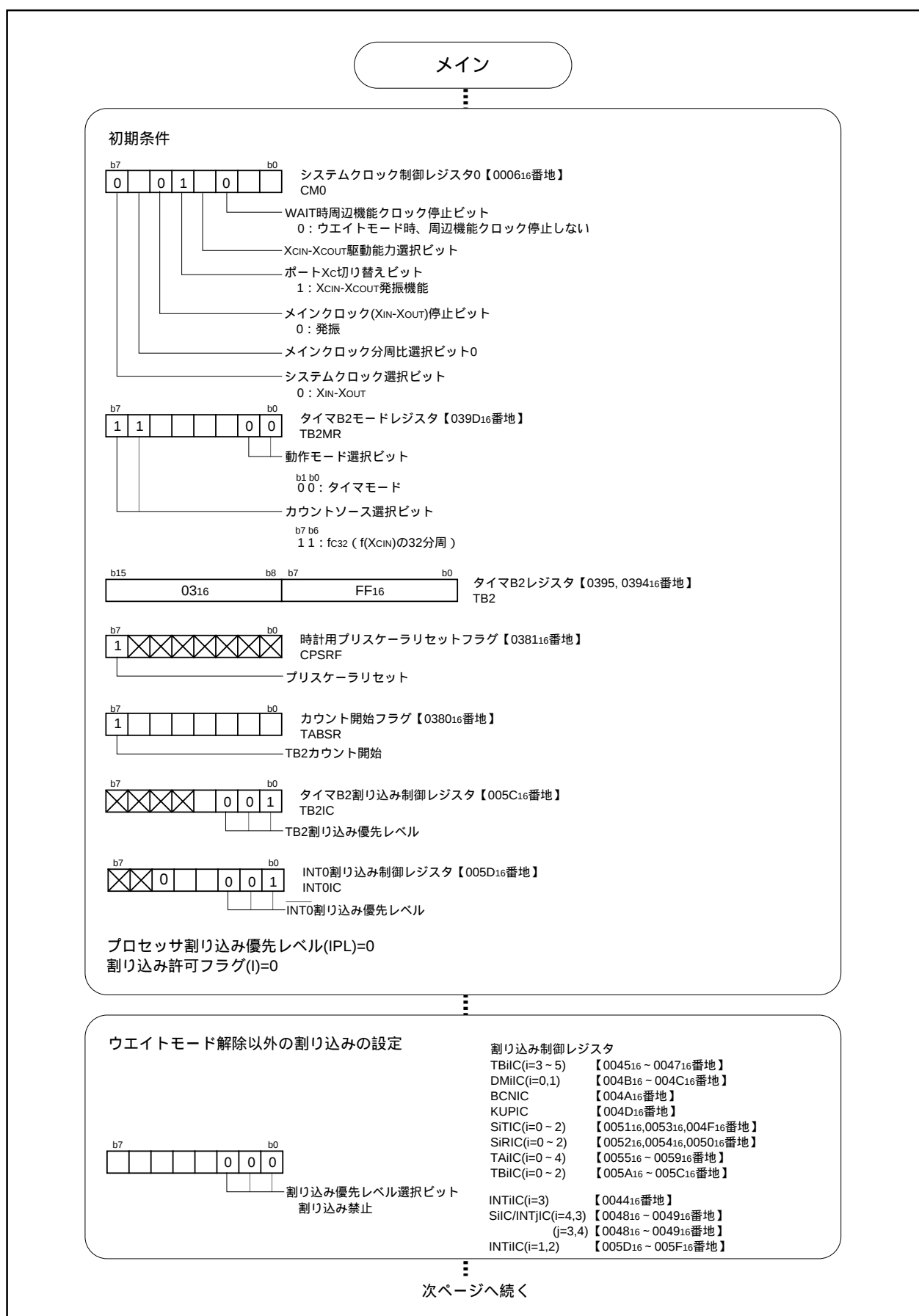


図3.8.2. ウェイトモードを使用したパワーコントロール関連レジスタの設定手順(1)

パワーコントロールの応用例

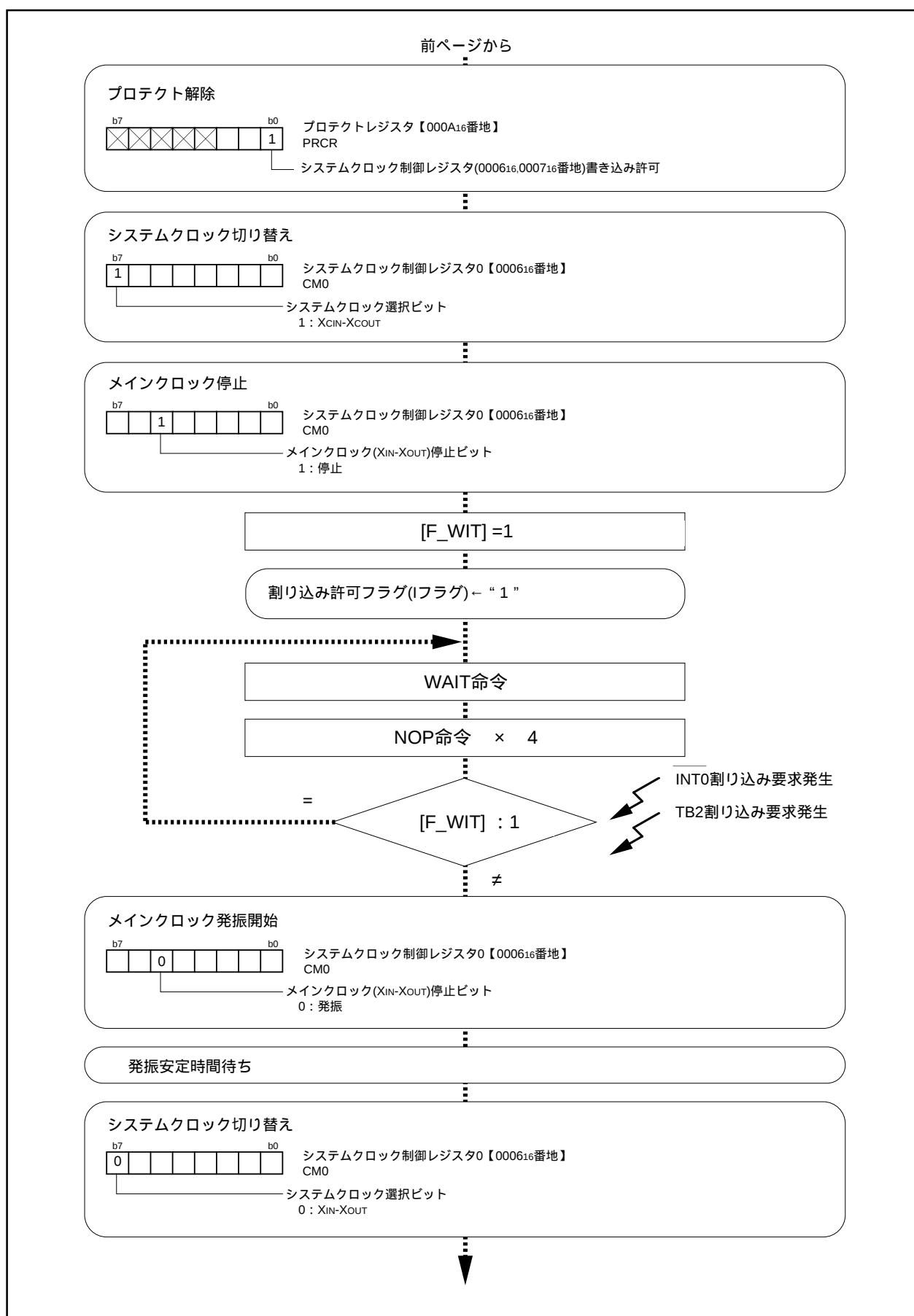


図3.8.3. ウェイトモードを使用したパワーコントロール関連レジスタの設定手順(2)

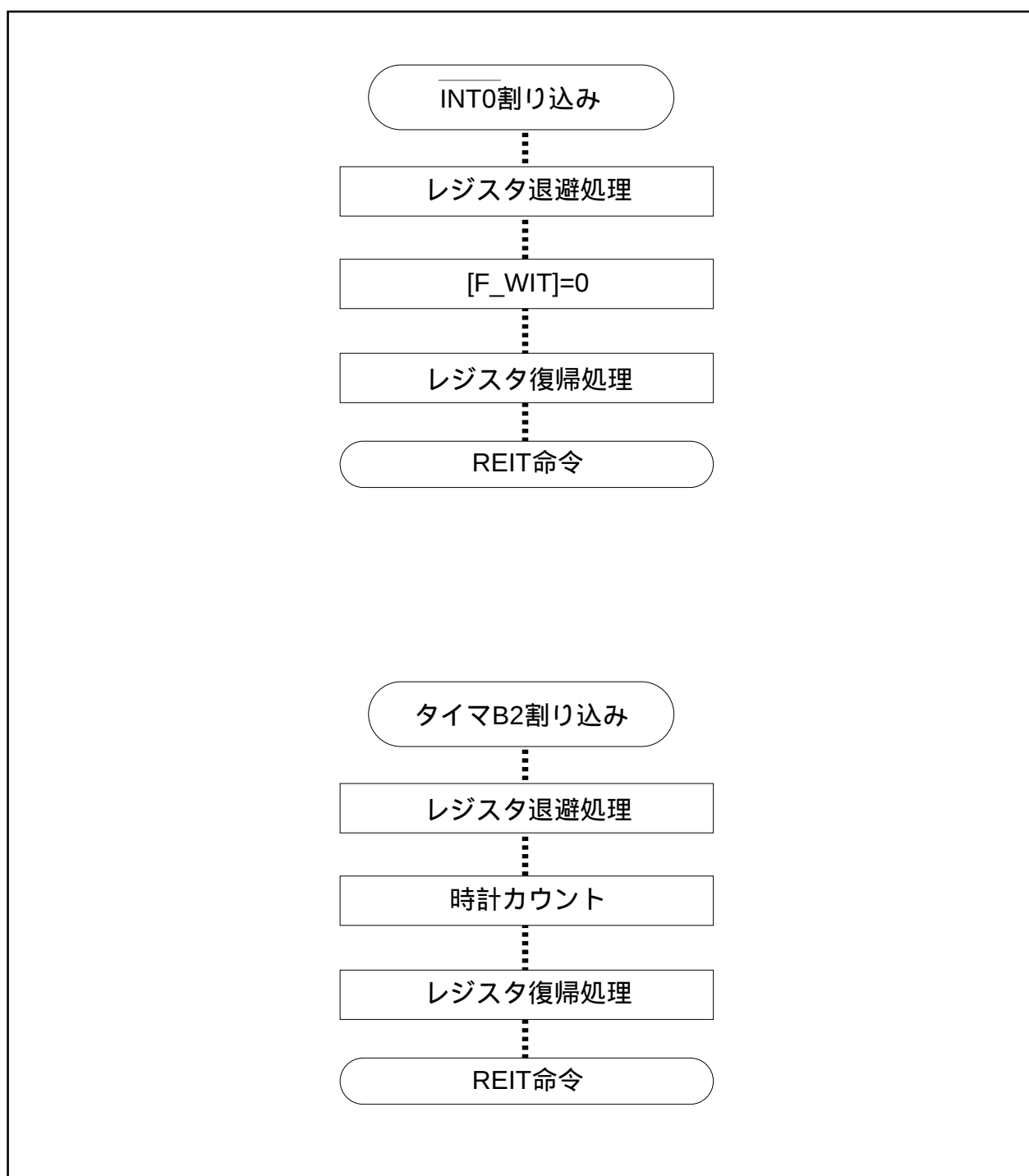


図3.8.4. ウェイトモードを使用したパワーコントロール関連レジスタの設定手順(3)

レイアウトの都合上、このページは白紙です。

第 4 章

外部バス

4.1 外部バスの概要

外部バスの機能を用いることで、マイクロコンピュータと外部のメモリやI/Oを簡単に接続することができます。外部バスは、プロセッサモードとしてメモリ拡張モードまたはマイクロプロセッサモードを選択したとき、一部の端子がデータバス、アドレスバス、制御信号用の端子として機能することにより動作します。

データバス幅は、外部領域をアクセスする場合、BYTE端子のレベルによって8ビットまたは16ビットから選択できます。内部領域をアクセスする場合、BYTE端子のレベルに関係なく、データバス幅は16ビット固定です。外部領域に8ビットおよび16ビットのデータバス幅を混在することはできません。必ず、BYTE端子は8ビットバス幅選択時は“H”レベルに固定し、16ビットバス幅選択時は“L”レベルに固定してください。

外部バス

4.2 データアクセス

4.2.1 データバス幅

BYTE端子に入力される電圧レベルが“H”の場合、外部データバス幅は8ビットとなり、P10(/D8)～P17(/D15)は入出力ポートとして使用できます(図4.2.1)。

BYTE端子に入力される電圧レベルが“L”の場合、外部データバス幅は16ビットとなり、P10(/D8)～P17(/D15)はデータバス(D8～D15)として動作します(図4.2.1)。

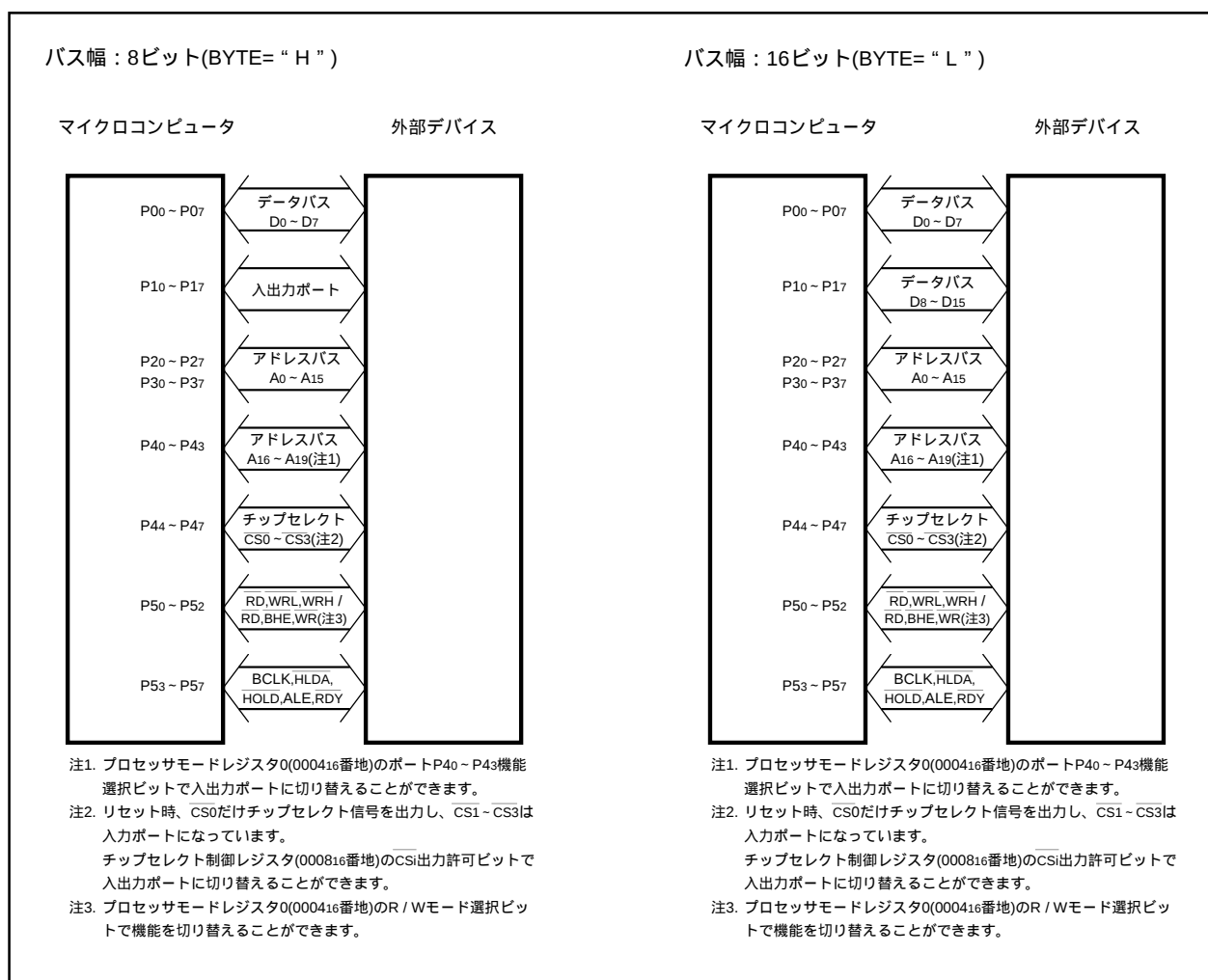


図4.2.1. BYTE端子のレベルと外部データバス幅

4.2.2 チップセレクトとアドレスバス

チップセレクト(P44/ $\overline{CS0}$ ~ P47/ $\overline{CS3}$)は、1Mバイトの空間を4分割した領域で出力します。チップセレクトを使用する場合、チップセレクト制御レジスタの設定で、チップセレクト出力許可状態にする必要があります。各チップセレクトがアクティブ(“L”)になるアドレスを図4.2.2に示します。ただし、メモリ拡張モードとマイクロプロセッサモードで内部領域と外部領域の範囲が異なるため、 $\overline{CS0}$ が出力される領域は異なります。また、内部のROM/RAM領域がアクセスされているときは、チップセレクトは出力されず、アドレスバスも変化しません(直前にアクセスされた外部領域のアドレスが保持されます)。

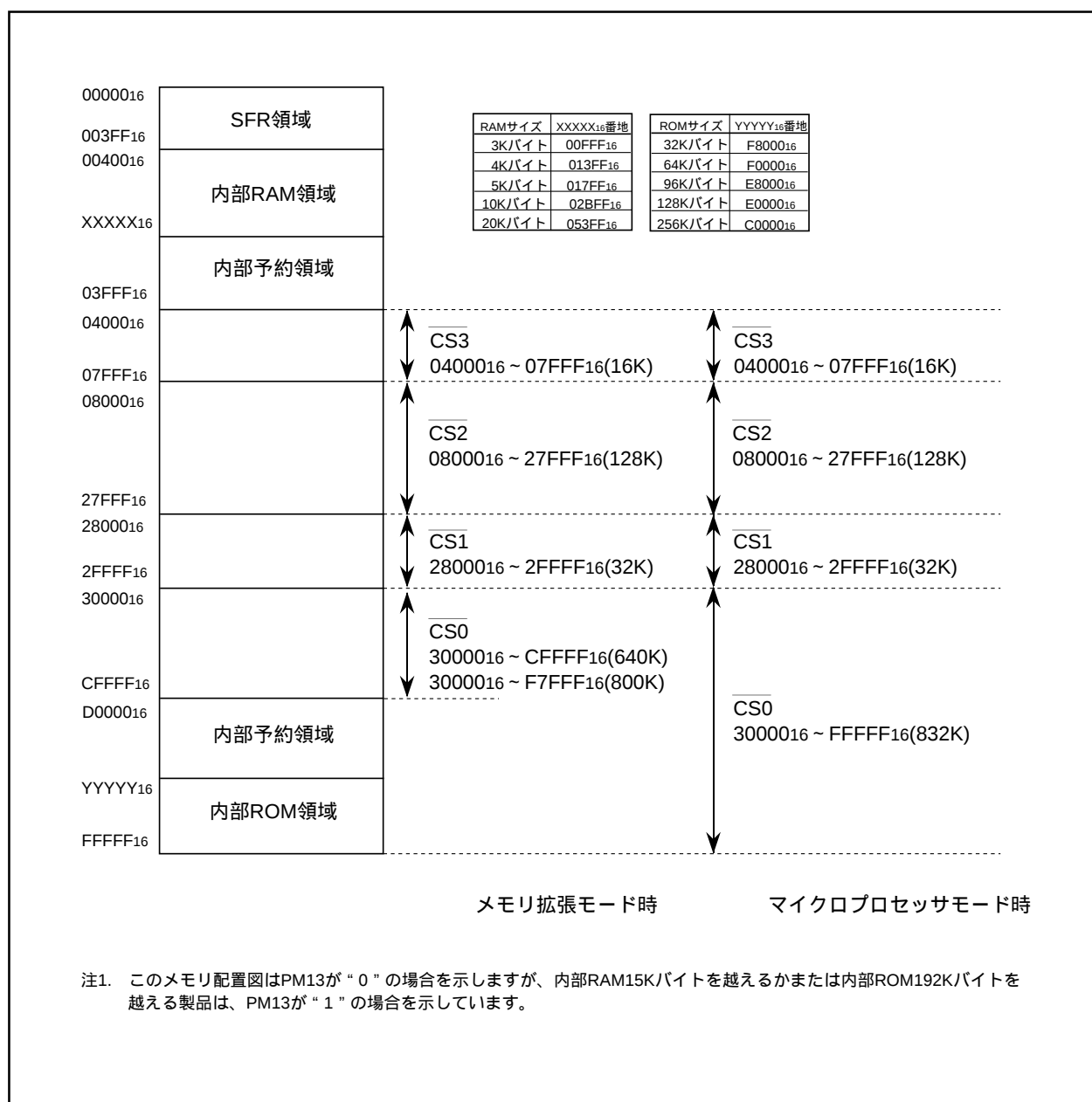


図4.2.2. 各チップセレクトがアクティブ(“L”)になるアドレス

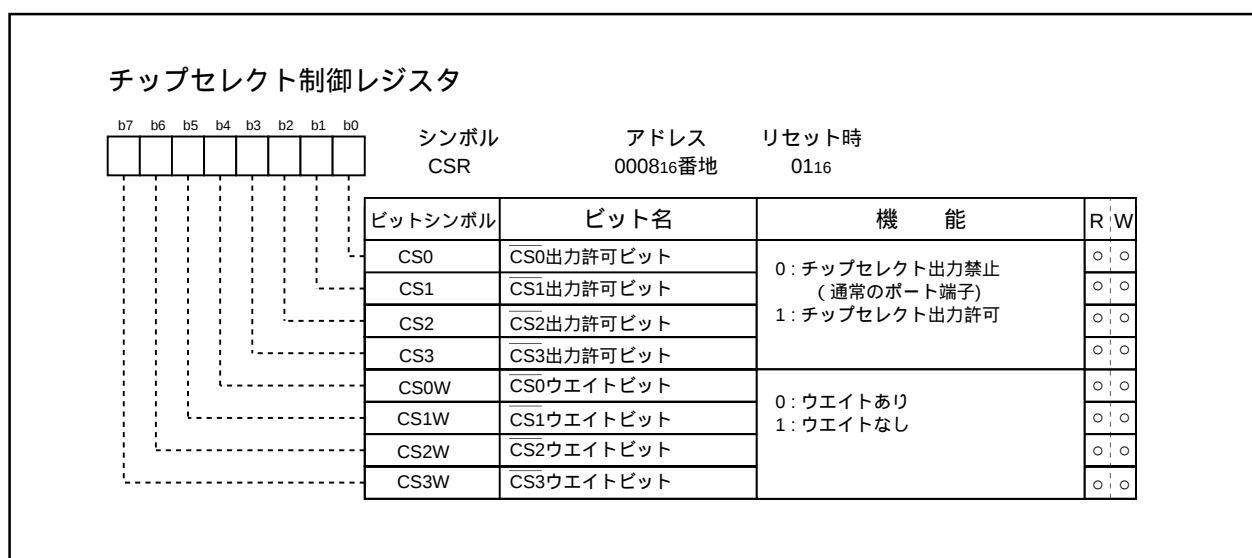


図4.2.3. チップセレクト制御レジスタ

4.2.3 バスタイプ

M16C/62Aグループでは、アドレスの出力とデータの入出力に別々の端子を使用するセパレートバスと、アドレスの出力とデータの入出力が時分割で切り替わり、使用する端子を節約することができるマルチプレクスバスの2つのタイプのバスを持ちます。

セパレートバスは、ROMやRAMなどセパレートバスをもつデバイスをアクセスするときに使用します。セパレートバスでアクセスする領域には、プログラムやデータを配置することができます。

マルチプレクスバスは、ASSPなどマルチプレクスバスをもつデバイスをアクセスするときに使用します。マルチプレクスバスでアクセスする領域にはデータだけ配置し、プログラムを配置しないでください。

プロセッサモードレジスタ0(0004₁₆番地)の**マルチプレクスバス空間選択ビット**(ビット4とビット5)の設定で、マルチプレクスバスでアクセスする領域を、CS2の領域、CS1の領域、全空間の3種類から選択することができます。ただし、マイクロプロセッサモード時、全空間を選択することはできません。

マルチプレクスバスでアクセスしない領域は、セパレートバスでアクセスします。

マルチプレクスバスに設定した領域をアクセスした場合、BYTE端子が“H”レベルのとき、データバスのD₀～D₇がアドレスバスA₀～A₇と時分割で切り替わります。

BYTE端子が“L”レベルのとき、データバスのD₀～D₇がアドレスバスA₁～A₈と時分割で切り替わります。このため、M16C/62Aグループの偶数番地ごと(2番地ごと)に、接続されたデバイスの番地が配置されますので、接続されたデバイスをアクセスするときは、M16C/62Aグループの偶数番地をバイト長でアクセスしてください。

4.2.4 R / Wモード

外部領域をアクセスする場合に出力されるリード / ライト信号は、プロセッサモードレジスタ0(0004₁₆番地)の**R / Wモード選択ビット(ビット2)**の設定で、 $\overline{\text{RD}}/\text{BHE}/\overline{\text{WR}}$ または $\overline{\text{RD}}/\overline{\text{WRH}}/\text{WRL}$ を選択することができます。 $\overline{\text{RD}}/\text{BHE}/\overline{\text{WR}}$ は、16ビット幅をもつRAMをアクセスする場合に使用し、 $\overline{\text{RD}}/\overline{\text{WRH}}/\text{WRL}$ は8ビット幅をもつRAMをアクセスする場合に使用します。

リセット時、M16C/62Aグループは、 $\overline{\text{RD}}/\text{BHE}/\overline{\text{WR}}$ の設定になっています。 $\overline{\text{RD}}/\overline{\text{WRH}}/\text{WRL}$ に切り替える場合は、外部のRAMをアクセスする前に切り替えてください。

「4.3 接続例」に $\overline{\text{RD}}/\text{BHE}/\overline{\text{WR}}$ および $\overline{\text{RD}}/\overline{\text{WRH}}/\text{WRL}$ の接続例を示しますので参照してください。

4.3 接続例

メモリの接続例を示します。

4.3.1 16ビット幅のメモリの接続例

図4.3.1にM5M51016BTP(SRAM)との接続例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

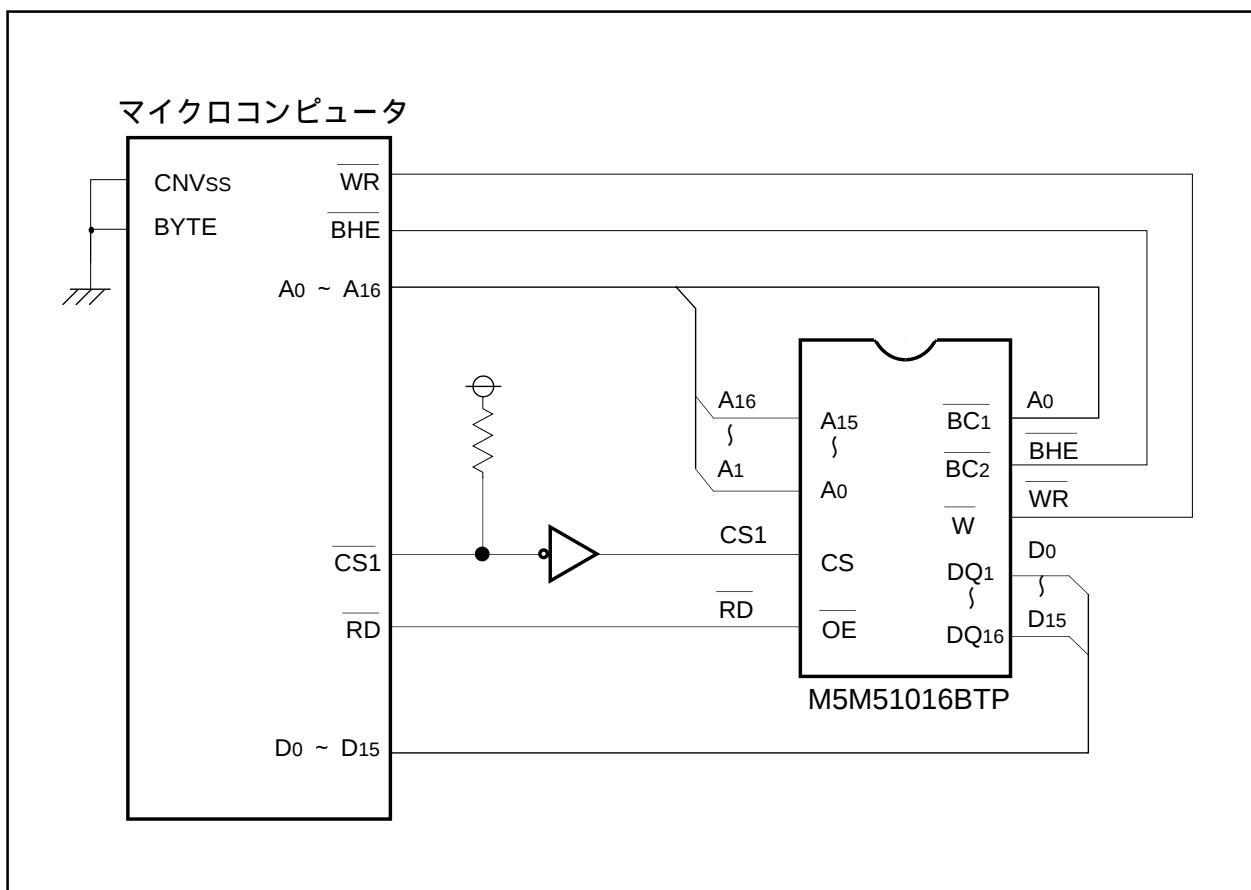


図4.3.1. M5M51016BTPとの接続例

4.3.2 16ビット幅のデータバスと8ビットメモリとの接続例

図4.3.2に16ビットのデータバスに2個のM5M5278(SRAM)と接続した例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

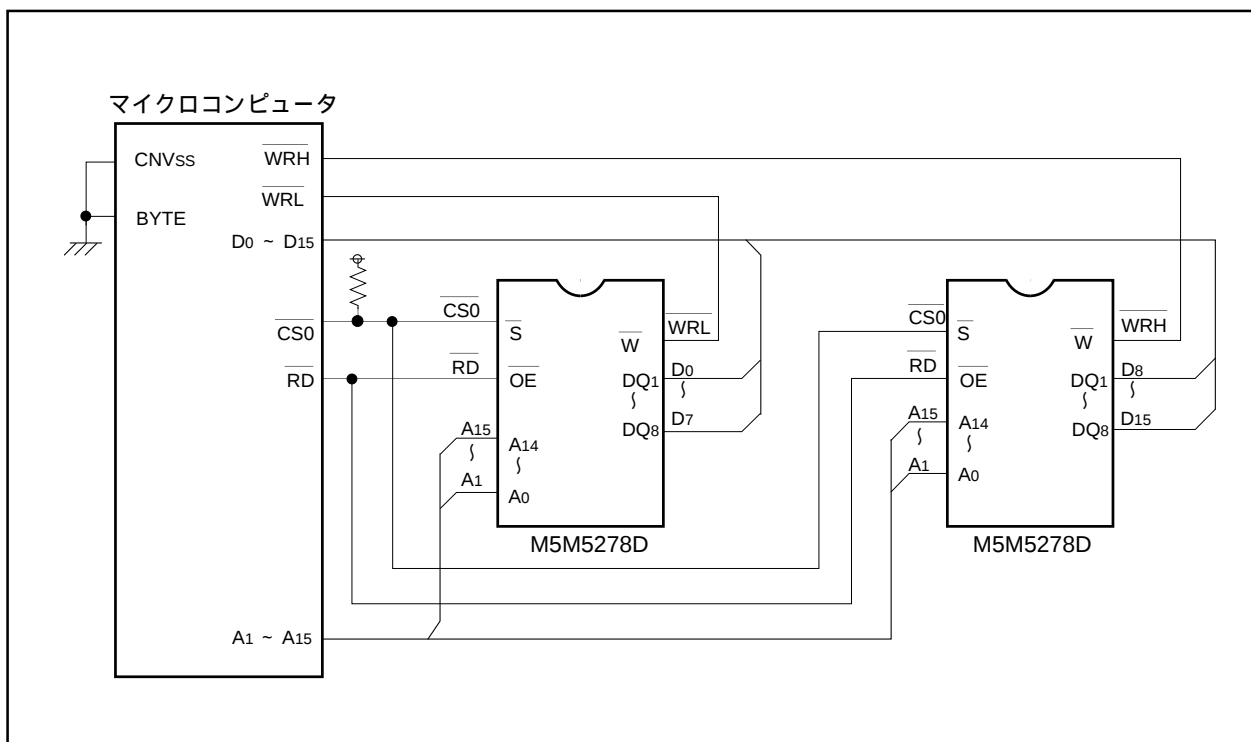


図4.3.2. M5M5278(32K×8ビット)を2個、16ビットバス幅で使用する場合の接続例

図4.3.3に16ビットのデータバスに2個のAm29LV008B(フラッシュメモリ)と接続した例を示します。16ビットバスモードではリセット解除後、BHE/WRH端子はBHEとして動作し信号が出力されます。16ビットバスモードに8ビットフラッシュメモリを接続する場合、両方のフラッシュのWR端子にWRL端子を接続し、フラッシュメモリへは偶数アドレスから16ビット単位で書き込むようにしてください。

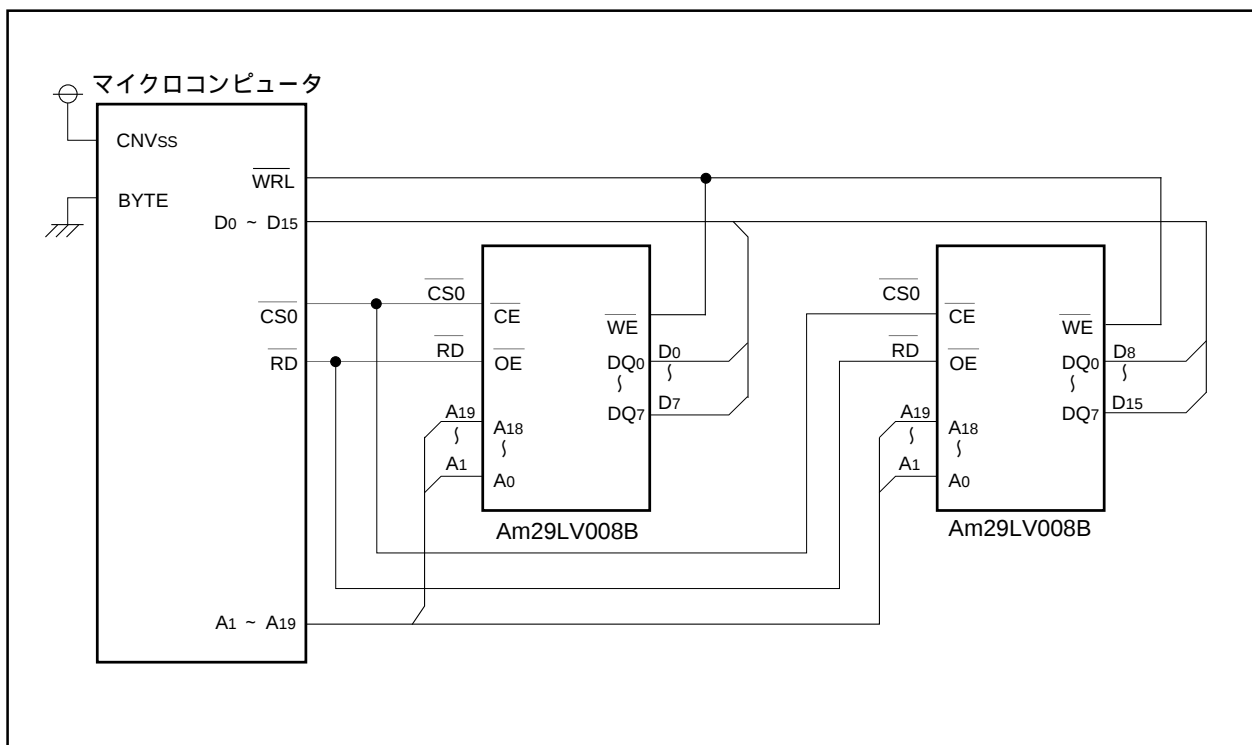


図4.3.3. Am29LV008B(1M×8ビット)を2個、16ビットバス幅で使用する場合の接続例

4.3.3 8ビット幅のデータバスと8ビットメモリとの接続例

図4.3.4に8ビットのデータバスに2個のM5M5278(SRAM)と接続した例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

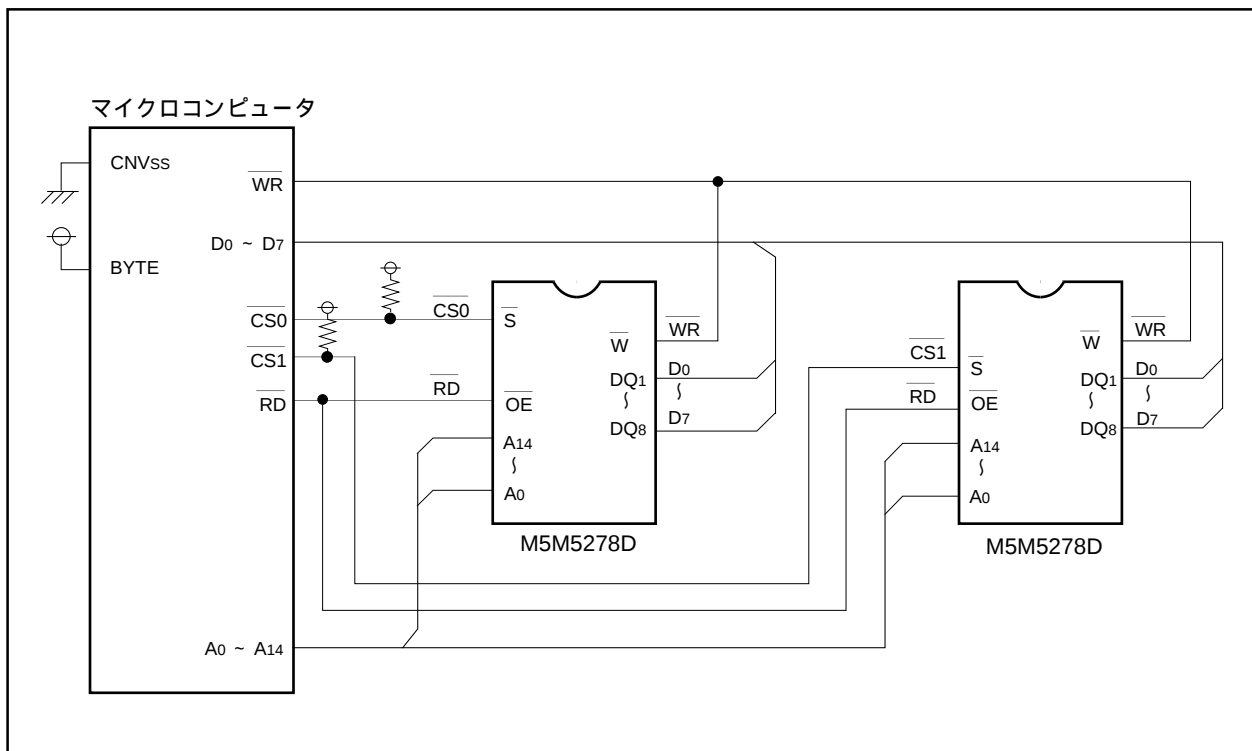


図4.3.4. M5M5278(32K×8ビット)を2個、8ビットバス幅で使用する場合の接続例

4.3.4 16ビット幅のデータバスに8ビットメモリと16ビットメモリの接続例

図4.3.5に16ビットのデータバスにM5M28F102(16ビットのフラッシュメモリ)とM5M5278(8ビットのSRAM) 2個の接続例を示します。

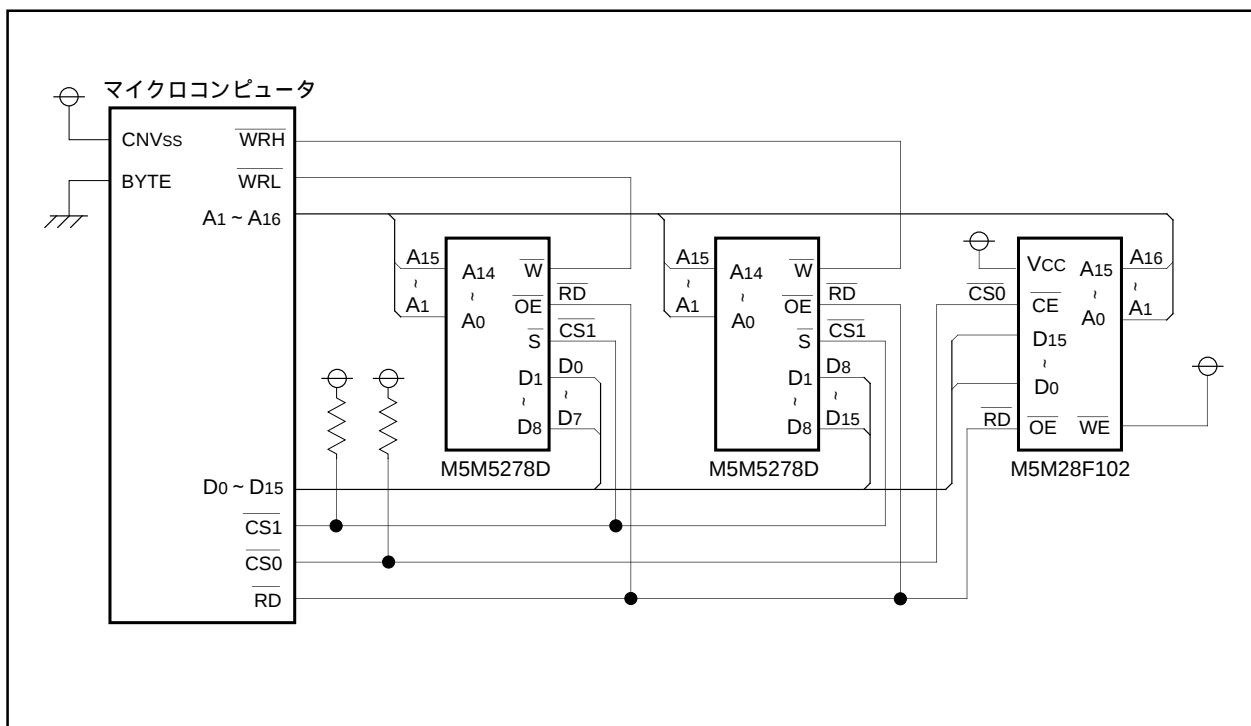


図4.3.5. 16ビットバス幅で8ビット / 16ビットのメモリを混在させた場合の接続例

4.3.5 チップセレクトとアドレスバス

内蔵しているチップセレクト信号が不足する場合、外部でチップセレクト信号を生成する必要があります。CS2(128Kバイト)の領域を32Kバイト単位で4個に分割する接続例を図4.3.6に示します。

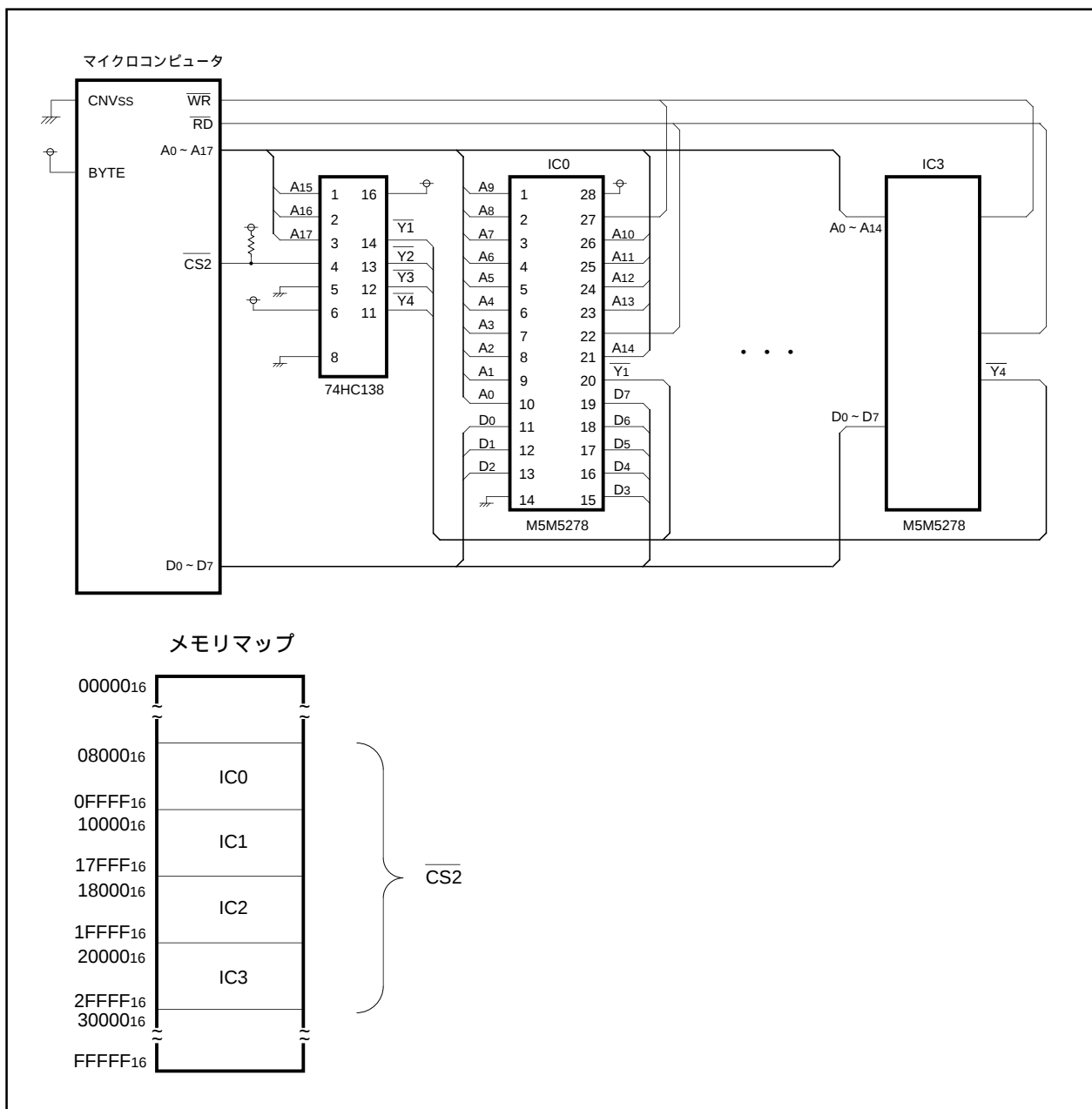


図4.3.6. チップセレクトとアドレスバス

4.4 接続可能なメモリ

4.4.1 動作周波数とアクセス時間

接続可能なメモリは、BCLKの周波数 $f(\text{BCLK})$ により異なります。 $f(\text{BCLK})$ は、発振子の周波数とシステムクロック選択ビット(0006₁₆番地のビット6、0007₁₆番地のビット6、7)の設定で決まります。

以下に接続条件式を示します。最低限、これらの条件を満たすようにしてください。また、BCLKの周波数とメモリの関係を図4.4.1、図4.4.2に示します。

- リードサイクル時間(t_{CR}) / ライトサイクル時間(t_{CW})

リードサイクル時間 (t_{CR}) / ライトサイクル時間 (t_{CW}) は次の条件式を満たす必要があります。

- ・ ウェイトなし

$$t_{\text{CR}} < 10^9 / f(\text{BCLK}) \quad \text{かつ} \quad t_{\text{CW}} < 10^9 / f(\text{BCLK})$$

- ・ ウェイトあり

$$t_{\text{CR}} < 2 \times 10^9 / f(\text{BCLK}) \quad \text{かつ} \quad t_{\text{CW}} < 2 \times 10^9 / f(\text{BCLK})$$

- アドレスアクセス時間 $t_{\text{a}}(\text{A})$

アドレスアクセス時間 $t_{\text{a}}(\text{A})$ は次の条件を満たす必要があります。

(1) $V_{\text{CC}}=5\text{V}$ の場合

- ・ ウェイトなし

$$t_{\text{a}}(\text{A}) < 10^9 / f(\text{BCLK}) - 65(\text{ns})$$

- ・ ウェイトあり

$$t_{\text{a}}(\text{A}) < 2 \times 10^9 / f(\text{BCLK}) - 65(\text{ns})$$

$$65(\text{ns}) = t_{\text{d}}(\text{BCLK-AD}) + t_{\text{su}}(\text{DB-RD}) - t_{\text{h}}(\text{BCLK-RD})$$

$$= (\text{アドレス出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

(2) $V_{\text{CC}}=3\text{V}$ の場合

- ・ ウェイトなし

$$t_{\text{a}}(\text{A}) < 10^9 / f(\text{BCLK}) - 140(\text{ns})$$

- ・ ウェイトあり

$$t_{\text{a}}(\text{A}) < 2 \times 10^9 / f(\text{BCLK}) - 140(\text{ns})$$

$$140(\text{ns}) = t_{\text{d}}(\text{BCLK-AD}) + t_{\text{su}}(\text{DB-RD}) - t_{\text{h}}(\text{BCLK-RD})$$

$$= (\text{アドレス出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

- チップセレクトアクセス時間 $t_{\text{a}}(\text{S})$

チップセレクトアクセス時間 $t_{\text{a}}(\text{S})$ は次の条件式を満たす必要があります。

(1) $V_{\text{CC}}=5\text{V}$ の場合

- ・ ウェイトなし

$$t_{\text{a}}(\text{S}) < 10^9 / f(\text{BCLK}) - 65(\text{ns})$$

- ・ ウェイトあり

$$t_{\text{a}}(\text{S}) < 2 \times 10^9 / f(\text{BCLK}) - 65(\text{ns})$$

$$65(\text{ns}) = t_{\text{d}}(\text{BCLK-CS}) + t_{\text{su}}(\text{DB-RD}) - t_{\text{h}}(\text{BCLK-RD})$$

$$= (\text{チップセレクト出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

(2)Vcc=3Vの場合

- ・ ウエイトなし

$$t_a(S) < 10^9 / f(BCLK) - 140(ns)$$

- ・ ウエイトあり

$$t_a(S) < 2 \times 10^9 / f(BCLK) - 140(ns)$$

$$140(ns) = t_d(BCLK-CS) + t_{su}(DB-RD) - t_h(BCLK-RD)$$

$$=(\text{チップセレクト出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

● 出力イネーブル時間 $t_a(OE)$

出力イネーブル時間 $t_a(OE)$ は次の条件式を満たす必要があります。

(1)Vcc = 5Vの場合

- ・ ウエイトなし

$$t_a(OE) < 10^9 / (f(BCLK) \times 2) - 45(ns) = t_{ac1}(RD - DB)$$

- ・ ウエイトあり

$$t_a(OE) < 3 \times 10^9 / (f(BCLK) \times 2) - 45(ns) = t_{ac2}(RD - DB)$$

(2)Vcc=3Vの場合

- ・ ウエイトなし

$$t_a(OE) < 10^9 / (f(BCLK) \times 2) - 90(ns) = t_{ac1}(RD - DB)$$

- ・ ウエイトあり

$$t_a(OE) < 3 \times 10^9 / (f(BCLK) \times 2) - 90(ns) = t_{ac2}(RD - DB)$$

● データセットアップ時間 $t_{su}(D)$

データセットアップ時間 $t_{su}(D)$ は次の条件式を満たす必要があります。

(1)Vcc=5Vの場合

- ・ ウエイトなし

$$t_{su}(D) < 10^9 / (f(BCLK) \times 2) - 40(ns)$$

- ・ ウエイトあり

$$t_{su}(D) < 10^9 / f(BCLK) - 40(ns)$$

$$40(ns) = t_d(BCLK-DB) - t_h(BCLK-WR)$$

$$=(\text{データ出力遅延時間}) - (\text{WR信号出力保持時間})$$

(2)Vcc=3Vの場合

- ・ ウエイトなし

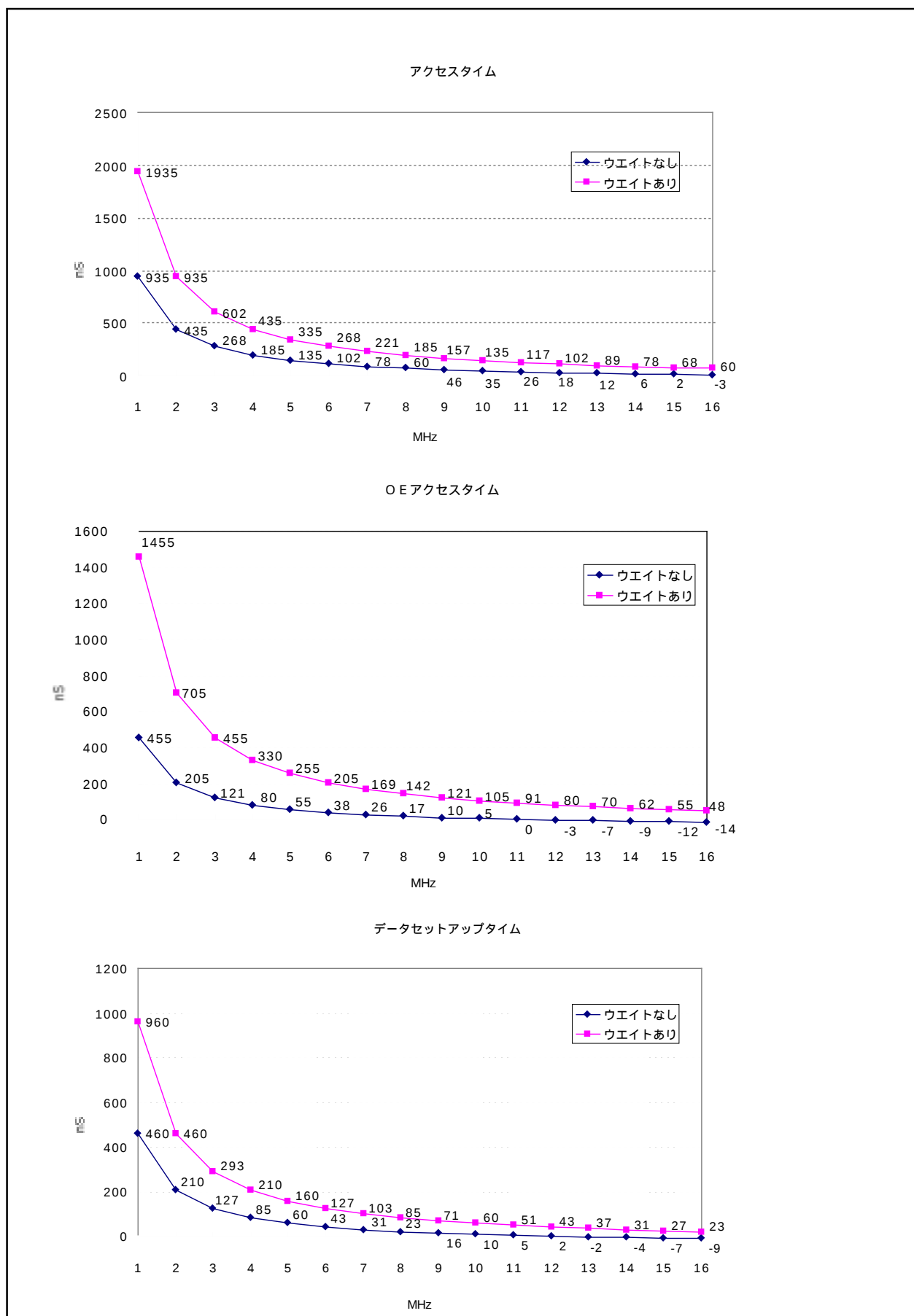
$$t_{su}(D) < 10^9 / (f(BCLK) \times 2) - 80(ns)$$

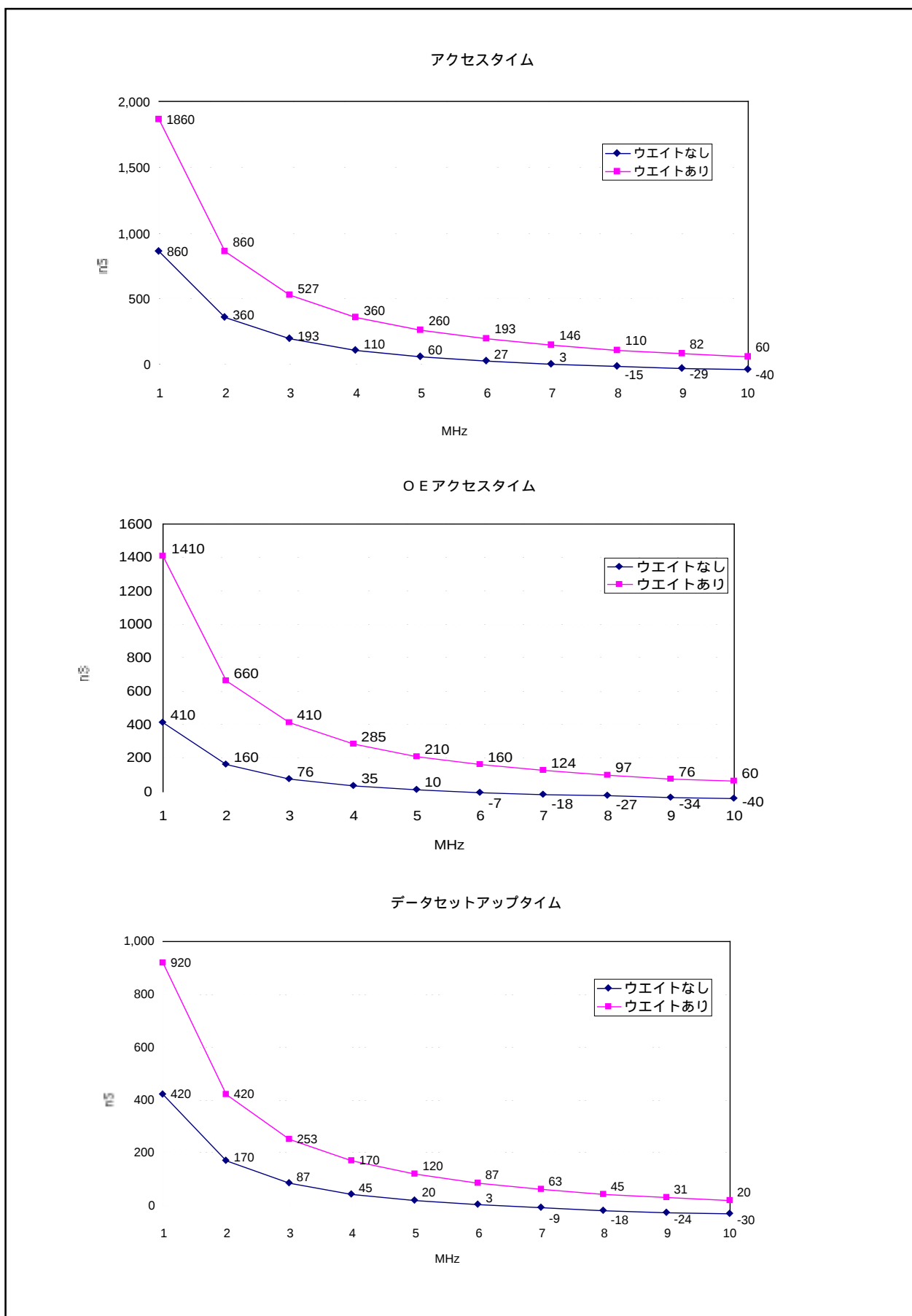
- ・ ウエイトあり

$$t_{su}(D) < 10^9 / f(BCLK) - 80(ns)$$

$$80(ns) = t_d(BCLK-DB) - t_h(BCLK-WR)$$

$$=(\text{データ出力遅延時間}) - (\text{WR信号出力保持時間})$$

図4.4.1. BCLKの周波数とメモリの関係($V_{CC} = 5V$)

図4.4.2. BCLKの周波数とメモリの関係($V_{CC} = 3V$)

4.4.2 低速メモリの接続

アクセスタイム $t_a(A)$ の大きいメモリを接続する場合、BCLKの周波数を下げるか、ソフトウェアウエイトを設定してください。ソフトウェアウエイトを設定しても、接続できないタイミングのメモリは、 $\overline{\text{RDY}}$ 機能を使用することにより接続可能となります。

(1) ソフトウェアウエイトの使用

ソフトウェアウエイトは、**プロセッサモードレジスタ1のビット7(PM17)**、または**チップセレクト制御レジスタのビット4～ビット7(CS0W～CS3W)**により設定できます。ソフトウェアウエイトを設定した場合、セパレートバスが選択されているアドレス空間をアクセスすると、バスサイクルは、BCLKの2サイクルとなり、マルチプレクスバスが選択されているアドレス空間をアクセスすると、バスサイクルは、BCLKの3サイクルとなります。

プロセッサモードレジスタ1のビット7(PM17)をウエイトありに設定した場合、すべての領域をウエイトありでアクセスします。プロセッサモードレジスタ1(PM17)のビット7をウエイトなしに設定した場合、チップセレクト制御レジスタのビット4～ビット7(CS0W～CS3W)の設定により、各チップセレクトごとにウエイトの有無を設定できます。図4.4.3～図4.4.5に各プロセッサモードとウエイトビット(PM17, CSiW)の関係を示します。

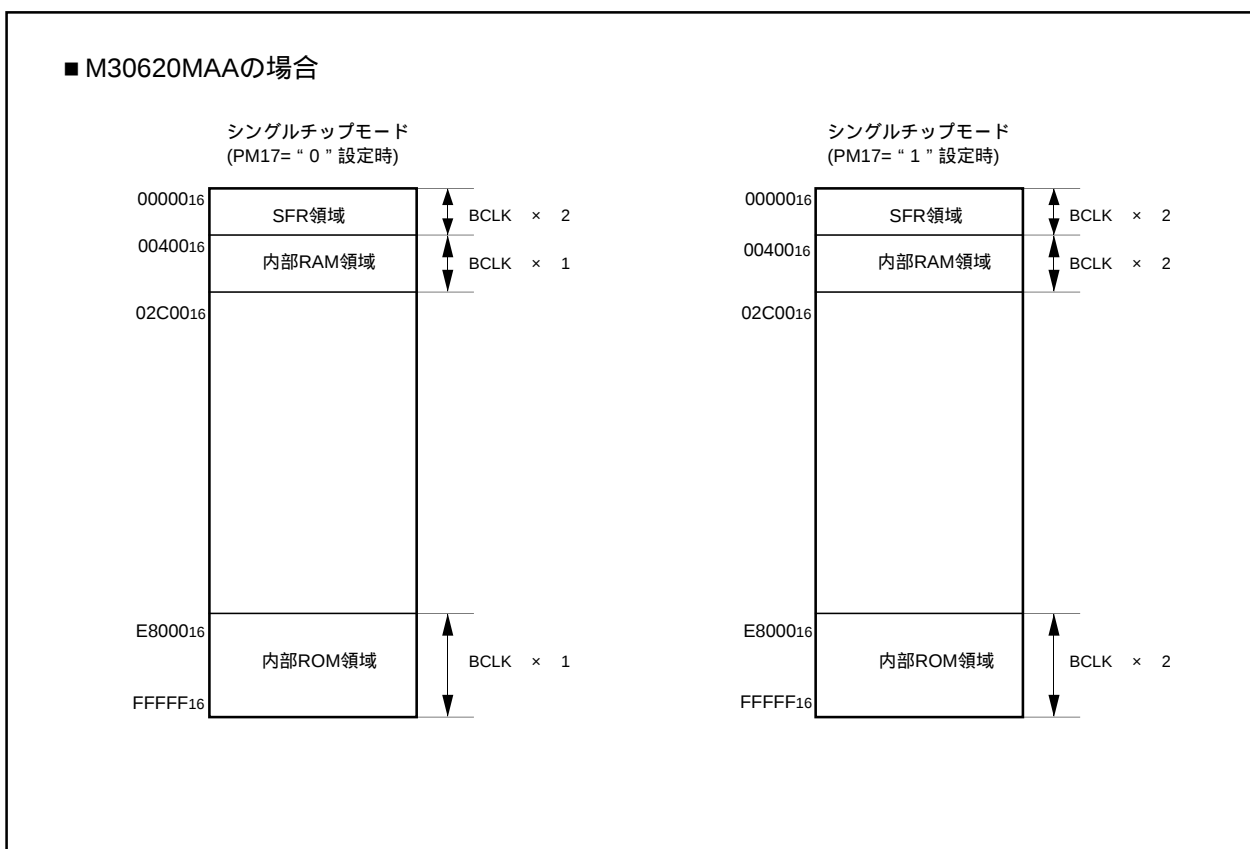


図4.4.3. 各プロセッサモードとウエイトビット(PM17, CSiW)の関係(1)

■ M30620MAAの場合

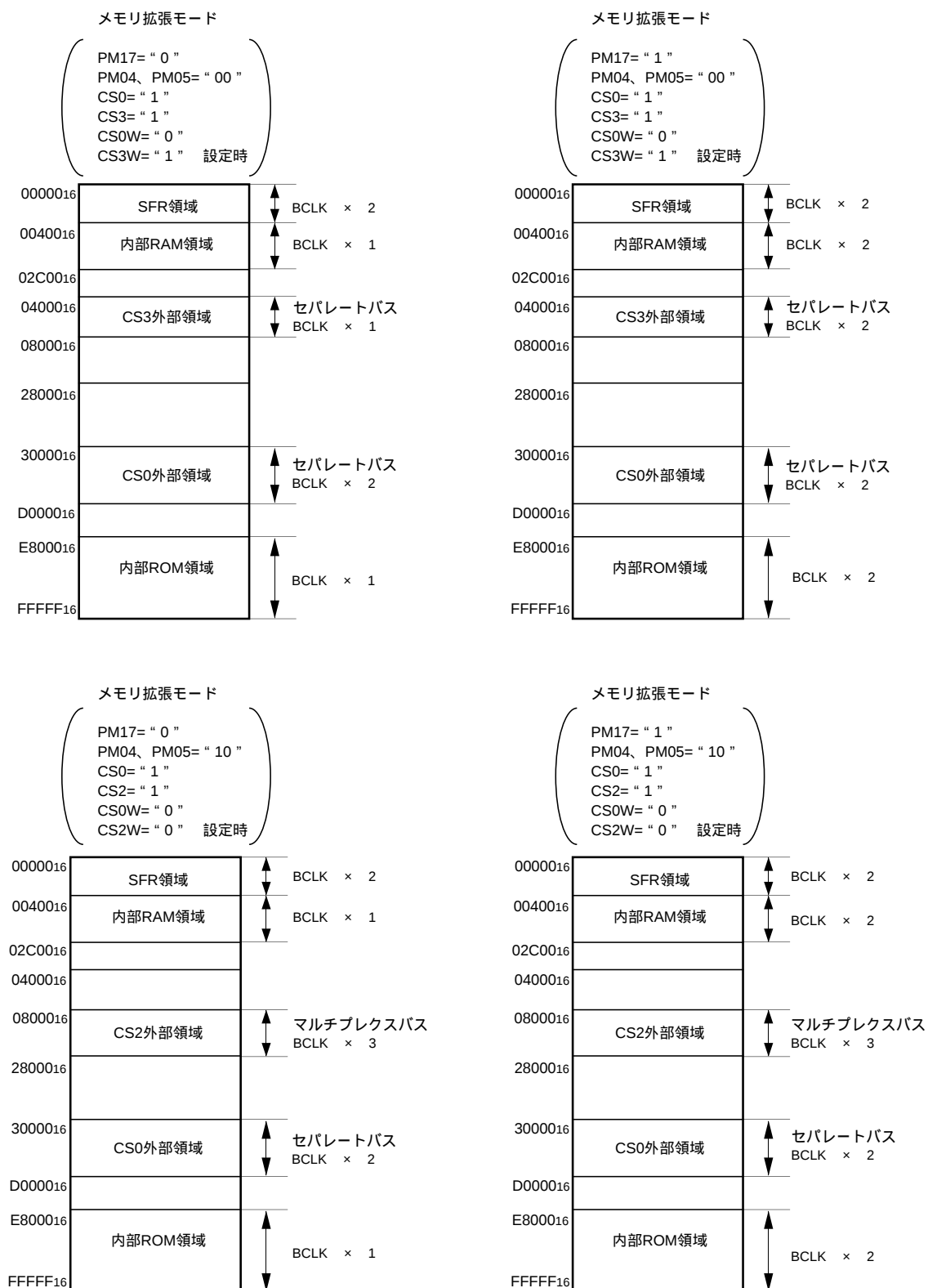


図4.4.4. 各プロセッサモードとウェイトビット(PM17, CSiW)の関係(2)

■ M30620MAAの場合

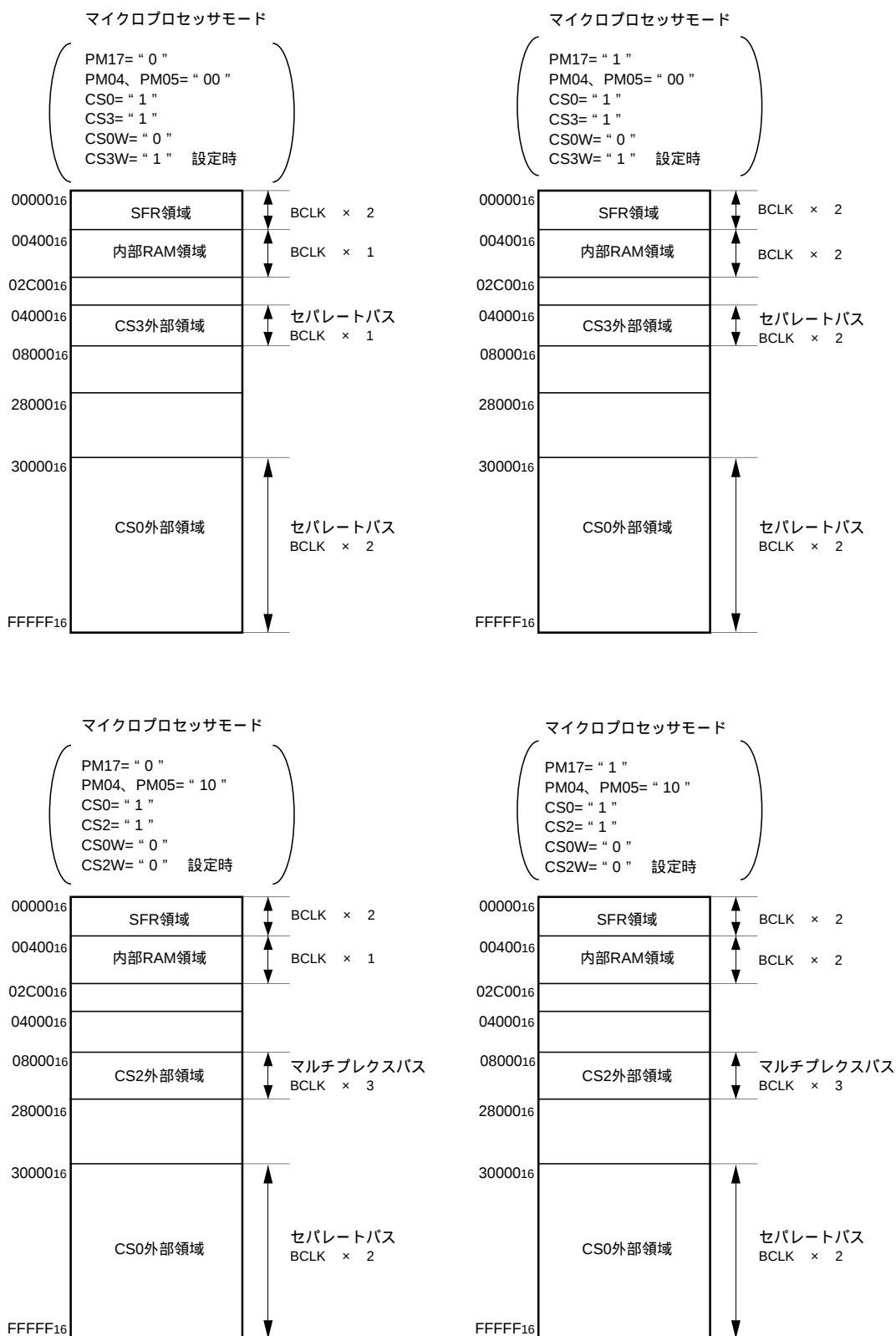


図4.4.5. 各プロセッサモードとウェイトビット(PM17, CSiW)の関係(3)

(2) RDY機能の使用

RDY機能を使用する場合は、ソフトウェアウエイトを設定してください。

RDY機能は、BCLK信号の立ち下がり時RDY端子が“L”の場合に動作し、1BCLKの間バスは変化せず、そのときの状態を保持します。

RDY機能は、RDY端子が“L”の間バスの状態が保持され、BCLK信号の立ち下がり時RDY端子が“H”の場合に解除されます。図4.4.6に1BCLKの間バスを保持させるためのRDY回路例を示します。

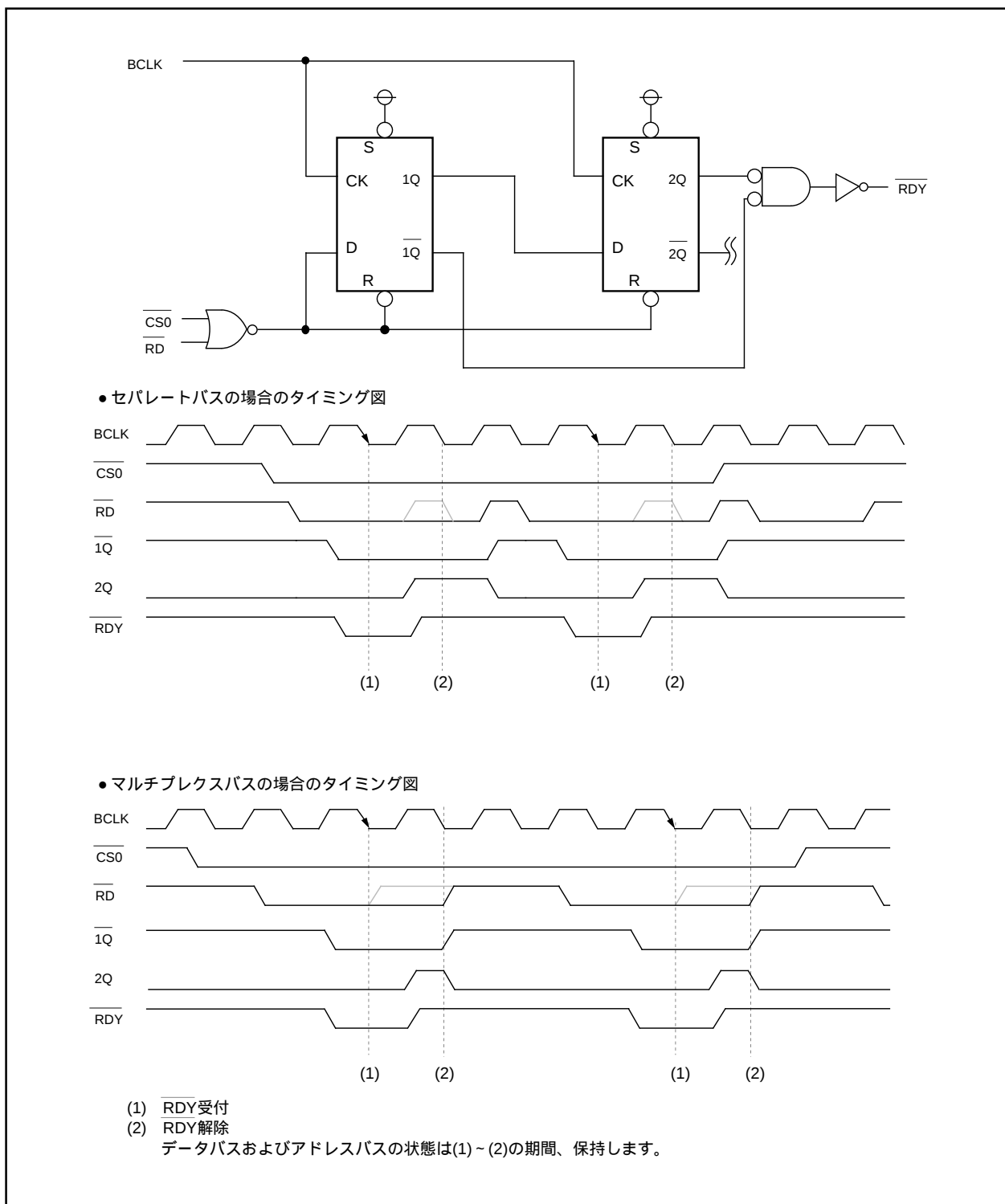


図4.4.6. 1BCLKの間バスを保持させるためのRDY回路例

4.4.3 接続可能なメモリ

接続可能なメモリとそのときの最大周波数を示します。

なお、M16C/62Aグループの最大周波数は、下記のとおりです。

VCC = 5V時 16MHz、ノーウエイト

VCC = 3V時 10MHz、1ウエイト

(1) フラッシュメモリ(リードオンリモード)

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
3.57	M5M29GB/T160BVP-80

(b)接続条件 3V、1ウエイト

最大周波数(MHz)	形 名
8.33	M5M29GB/T160BVP-80

(2) SRAM

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
5.12	M5M54R08AJ-12 M5M54R16AJ,ATP-12

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
10.0	M5M54R08AJ-12 M5M54R16AJ,ATP-12

4.5 外部バスの開放($\overline{\text{HOLD}}$ 入力と $\overline{\text{HLDA}}$ 出力)

ホールド機能とは、複数のバスマスタがアドレスバス、データバス、コントロールバスを共有する場合に、M16C/62Aグループ以外のバスマスタからのホールド要求によって、M16C/62Aグループ側のアドレスバス、データバス、コントロールバス端子を開放する機能です。ホールド機能は、マイクロプロセッサモード、メモリ拡張モード時のみ有効です。

ホールド機能を使用する順序としては、

1. $\overline{\text{HOLD}}$ 端子の入力レベルを"L"にする。
2. M16C/62Aグループがバスを開放できる状態になると、BCLKの立ち下りのタイミングで各バスがハイインピーダンス状態になる。
3. 次のBCLKの立ち上りのタイミングで $\overline{\text{HLDA}}$ 端子出力が"L"になる。
4. 外部のバスマスタがバスを使用する。
5. 外部のバスマスタがバスを使用し終わると、 $\overline{\text{HOLD}}$ 端子の入力レベルを"H"に戻す。
6. 次のBCLKの立ち上りのタイミングで $\overline{\text{HLDA}}$ 端子出力が"H"になる。
7. 次のBCLKの立ち下りのタイミングでハイインピーダンス状態から元に戻る。

上記のように、 $\overline{\text{HLDA}}$ 出力が"L"の間は必ず各バスはハイインピーダンス状態となります。

また、バスを開放できる状態とは、バスサイクル中ではないことを意味します。すなわち、バスサイクル中にホールド要求が入った場合、そのバスサイクルが終了するまで $\overline{\text{HLDA}}$ 出力は"L"になりません。

ホールド状態では、各端子の状態は、下記のようになります。

- ・ アドレスバス A0 ~ A19

ハイインピーダンス状態。マイクロプロセッサモード時、メモリ拡張モード時に、A16 ~ A19をポートP40 ~ P43として使用する場合(アドレス空間64Kバイト)やA9 ~ A19をポートP31 ~ P37、P40 ~ P43として使用する場合(全領域マルチプレクス)も該当する。

- ・ データバス D0 ~ D15

ハイインピーダンス状態。マイクロプロセッサモード時、メモリ拡張モード時に、D8 ~ D15をポートP10 ~ P17として使用する場合(外部バス幅8ビット)やD0 ~ D15をポートP00 ~ P07、P10 ~ P17として使用する場合(全領域マルチプレクス)も該当する。

- ・ $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, BHE

ハイインピーダンス状態。

- ・ ALE

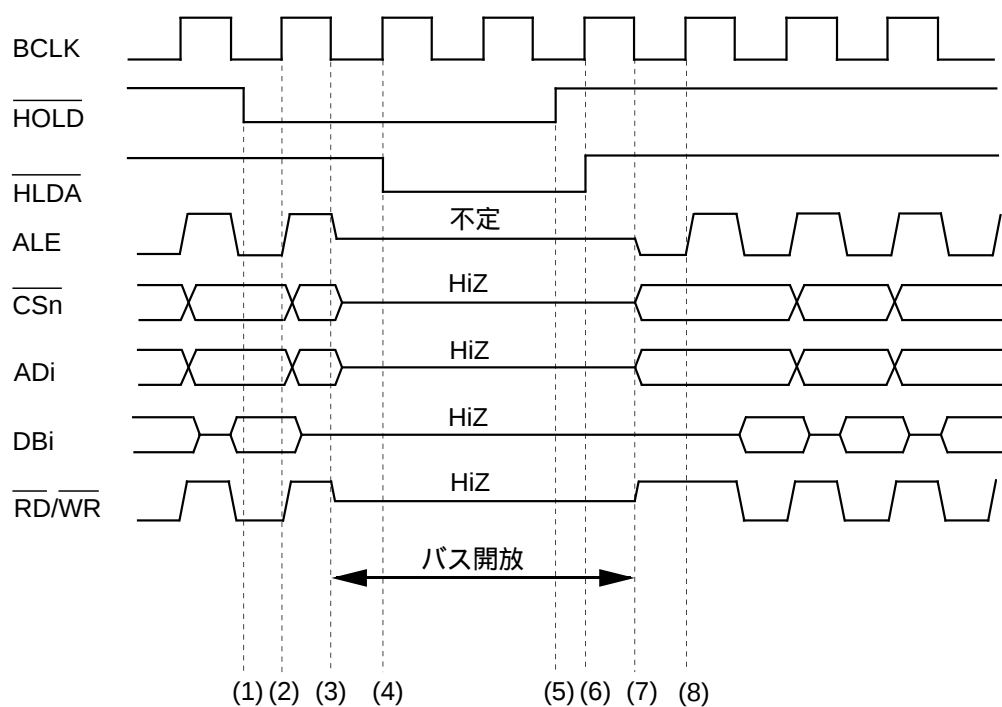
BCLKと同位相の内部クロックが出力される。

- ・ $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$

ハイインピーダンス状態。ただし、チップセレクト制御レジスタによって、ポートが選択されている場合も該当する。

図4.5.1に外部バスの開放例を示します。

タイミング図



- (1) $\overline{\text{HOLD}}$ 端子に"L"レベルを入力
- (2) $\overline{\text{HOLD}}$ 検出
- (3) バスを開放
- (4) $\overline{\text{HLDA}}$ 端子に"L"レベルを出力
- (5) $\overline{\text{HOLD}}$ 端子に"H"レベルを入力
- (6) $\overline{\text{HLDA}}$ 端子に"H"レベルを出力
- (7) バスの開放を停止
- (8) CPUがバスの使用を再開

図4.5.1. 外部バスの開放例

4.6 外部バスの注意事項

- 内容 (1) ROM外付け版はマイクロプロセッサモード専用のため、必ず以下の設定を行ってください。
- ・ CNVss端子は、Vccに接続してください。

第 5 章

ROM外付け版

ROM外付け版

ROM外付け版はマイクロプロセッサモード専用です。ROM外付け版は下記の機能がマスクROM版とは異なります。この章では異なる点だけ説明します。したがって、下記の事項以外は、1章～5章を参照してください。

- ・メモリ配置
- ・マイクロプロセッサモードでだけ動作すること

5.1 ピン接続図

図5.1.1、図5.1.2にピン接続図(上面図)を示します。

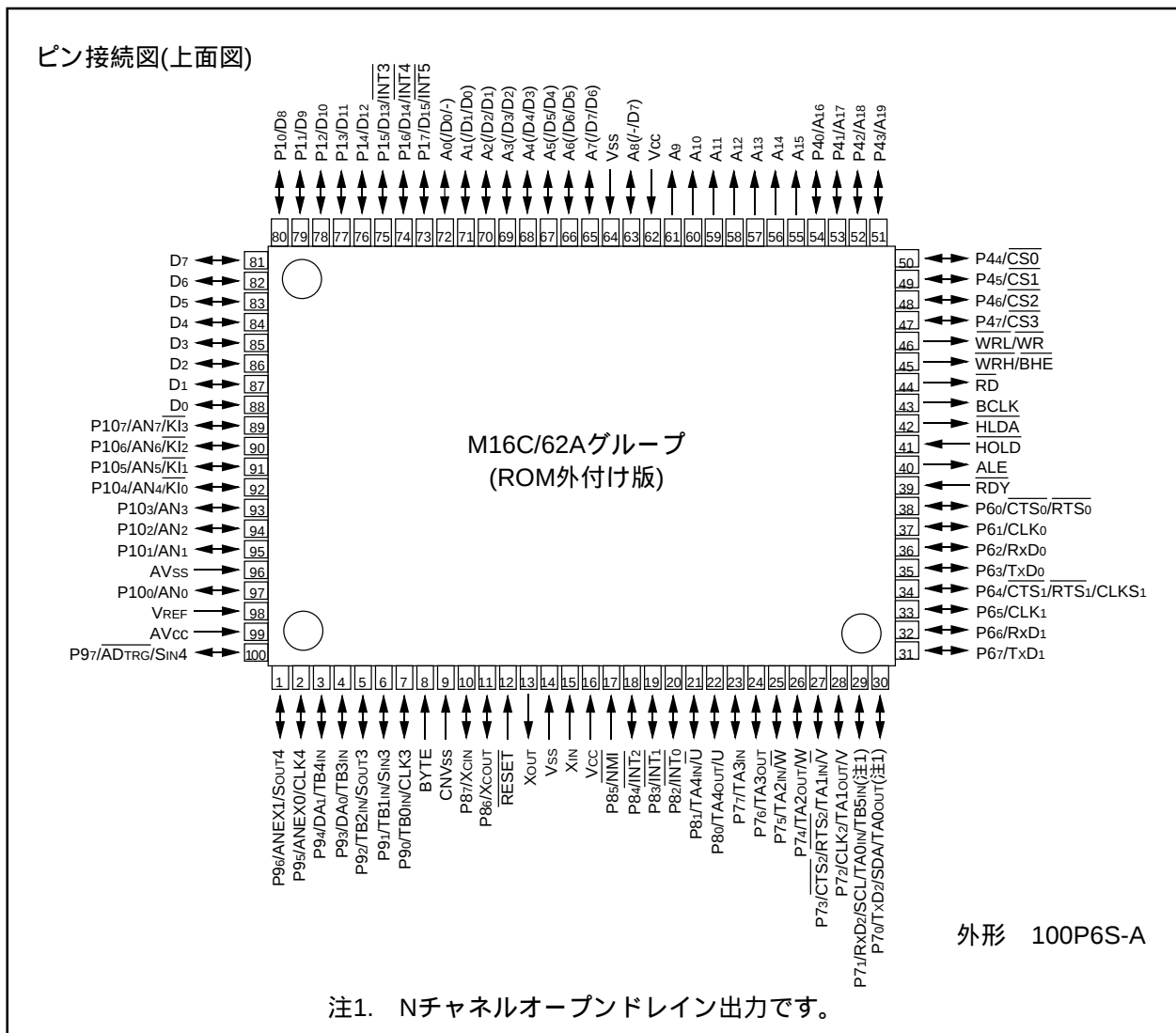


図5.1.1. ピン接続図(上面図)

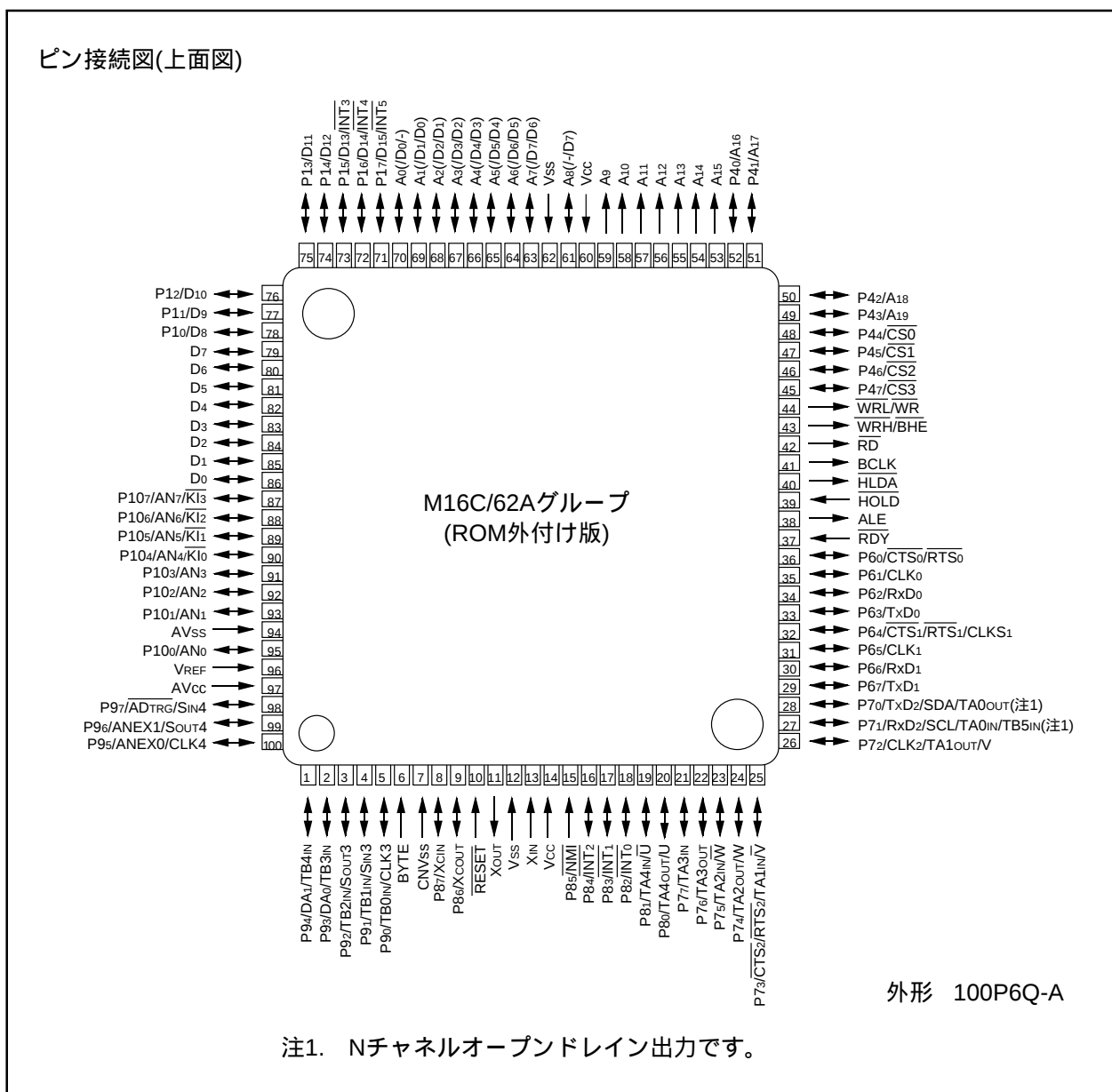


図5.1.2. ピン接続図(上面図)

5.2 端子の機能説明

表5.2.1、表5.2.2に端子の機能説明を示します。

表5.2.1. 端子の機能説明(1)

端子名	名 称	入出力	機 能
VCC, VSS	電源入力		VCC端子には、2.7V～5.5Vを印加してください。VSS端子には、0Vを印加してください。
CNVSS	CNVSS	入力	VCC端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
BYTE	外部データバス幅切り替え入力	入力	外部データバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
D0～D7	データバス	入出力	セパレートバス設定時データ(D0～D7)の入出力を行います。
P10～P17	入出力ポートP1	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。P15～P17はソフトウェアで選択することによって、外部割り込み端子として機能します。
D8～D15	データバス	入出力	セパレートバス設定時データ(D8～D15)の入出力を行います。
A0～A7	アドレスバス	出力	アドレスの下位8ビット(A0～A7)の出力を行います。
A0/D0～ A7/D7	アドレスバス/ データバス	入出力	外部データバス幅が8ビットでマルチプレクスバス設定時、データ(D0～D7)の入出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
A0 A1/D0～ A7/D6		出力 入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D0～D6)の入出力と、アドレス(A1～A7)の出力を時分割で行います。また、アドレス(A0)の出力を行います。
A8～A15	アドレスバス	出力	アドレスの中位8ビット(A8～A15)の出力を行います。
A8/D7、 A9～A15	アドレスバス/ データバス	入出力 出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D7)の入出力と、アドレス(A8)の出力を時分割で行います。また、アドレス(A9～A15)の出力を行います。
P40～P47 A16～A19、 CS0～CS3	入出力ポートP4	入出力 出力 出力	P1と同等の機能を持つ8ビット入出力ポートです。 A16～A19、CS0～CS3信号を出力します。A16～A19はアドレスの上位4ビットです。CS0～CS3はチップセレクト信号でアクセス空間の指定に使用します。

表5.2.2. 端子の機能説明(2)

端子名	名 称	入出力	機 能
WRL/WR、 WRH/BHE、 RD、 BCLK、 HLDA、 HOLD、 ALE、 RDY	WRL/WR、 WRH/BHE、 RD、 BCLK、 HLDA、 HOLD、 ALE、 RDY	出力 出力 出力 出力 入力 出力 入力	WRL、WRH、(WR、BHE)、RD、BCLK、HLDA、ALE信号を出力します。なお、ソフトウェアによってWRL、WRHまたは、BHE、WRを切り替えることができます。 ■WRL、WRH、RD選択時 外部データバス幅が16ビットの場合、WRL信号が“L”レベルのとき偶数番地に、WRH信号が“L”レベルのときは奇数番地に書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。 ■WR、BHE、RD選択時 WR信号が“L”レベルのとき書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。BHE信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 HOLD端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、HLDAは“L”レベルを出力します。ALEはアドレスをラッチするための信号です。RDY端子の入力レベルが“L”の期間、マイクロコンピュータはレディー状態になります。
P60 ~ P67	入出力ポートP6	入出力	P1と同等の機能を持つ8ビット入出力ポートです。入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、UART0、UART1の入出力端子として機能します。
P70 ~ P77	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、タイマA0~A3、タイマB5、またはUART2の入出力端子として機能します。
P80 ~ P84、 P86、 P87、 P85	入出力ポートP8 入力ポートP85	入出力 入出力 入出力 入力	P80~P84、P86、P87はP6と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。P86、P87はソフトウェアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。P85はNMIと兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。この端子は、プルアップ抵抗は設定できません。
P90 ~ P97	入出力ポートP9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってSI/O3,4の入出力端子、タイマB0~B4の入力端子、D-A変換器の出力端子、およびA-D変換器の拡張入力端子、A-Dトリガ入力端子として機能します。
P100 ~ P107	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってA-D変換器の入力端子として機能します。また、P104~P107はキー入力割り込み機能の入力端子としても機能します。

5.3 メモリ配置

図5.3.1にメモリ配置図を、図5.3.2～図5.3.4にSFR領域のメモリ配置図を示します。

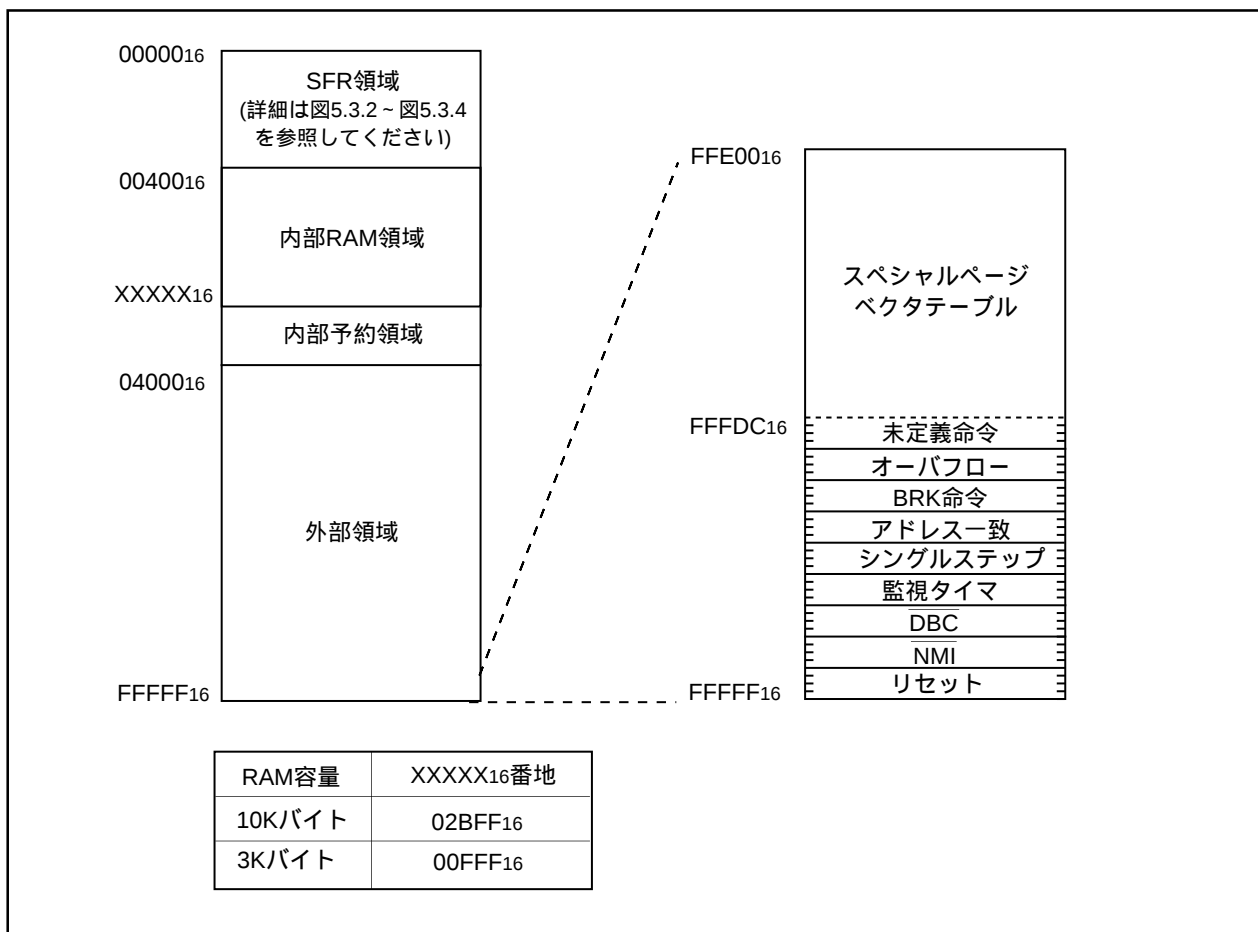


図5.3.1. メモリ配置図

ROM外付け版

0000 ₁₆		0040 ₁₆	
0001 ₁₆		0041 ₁₆	
0002 ₁₆		0042 ₁₆	
0003 ₁₆		0043 ₁₆	
0004 ₁₆	プロセッサモードレジスタ0(PM0)	0044 ₁₆	INT3割り込み制御レジスタ(INT3IC)
0005 ₁₆	プロセッサモードレジスタ1(PM1)	0045 ₁₆	タイマB5割り込み制御レジスタ(TB5IC)
0006 ₁₆	システムクロック制御レジスタ 0 (CM0)	0046 ₁₆	タイマB4割り込み制御レジスタ(TB4IC)
0007 ₁₆	システムクロック制御レジスタ 1 (CM1)	0047 ₁₆	タイマB3割り込み制御レジスタ(TB3IC)
0008 ₁₆	チップセレクト制御レジスタ(CSR)	0048 ₁₆	SI/O4割り込み制御レジスタ(S4IC)
0009 ₁₆	アドレス一致割り込み許可レジスタ(AIER)		INT5割り込み制御レジスタ(INT5IC)
000A ₁₆	プロテクトレジスタ(PRCR)	0049 ₁₆	SI/O3割り込み制御レジスタ(S3IC)
000B ₁₆			INT4割り込み制御レジスタ(INT4IC)
000C ₁₆		004A ₁₆	バス衝突検出割り込み制御レジスタ (BCNIC)
000D ₁₆		004B ₁₆	DMA0割り込み制御レジスタ (DM0IC)
000E ₁₆	監視タイマスタートレジスタ(WDTS)	004C ₁₆	DMA1割り込み制御レジスタ(DM1IC)
000F ₁₆	監視タイマ制御レジスタ(WDC)	004D ₁₆	キ - 入力割り込み制御レジスタ(KUPIC)
0010 ₁₆		004E ₁₆	A - D 変換割り込み制御レジスタ(ADIC)
0011 ₁₆	アドレス一致割り込みレジスタ 0 (RMAD0)	004F ₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0012 ₁₆		0050 ₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0013 ₁₆		0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0014 ₁₆	アドレス一致割り込みレジスタ 1 (RMAD1)	0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0015 ₁₆		0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0016 ₁₆		0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0017 ₁₆		0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0018 ₁₆		0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0019 ₁₆		0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
001A ₁₆		0058 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
001B ₁₆		0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
001C ₁₆		005A ₁₆	タイマB0割り込み制御レジスタ(TB0IC)
001D ₁₆		005B ₁₆	タイマB1割り込み制御レジスタ(TB1IC)
001E ₁₆		005C ₁₆	タイマB2割り込み制御レジスタ(TB2IC)
001F ₁₆		005D ₁₆	INT0割り込み制御レジスタ(INT0IC)
0020 ₁₆		005E ₁₆	INT1割り込み制御レジスタ(INT1IC)
0021 ₁₆	DMA0ソ - スポインタ(SAR0)	005F ₁₆	INT2割り込み制御レジスタ(INT2IC)
0022 ₁₆		0060 ₁₆	
0023 ₁₆		0061 ₁₆	
0024 ₁₆		0062 ₁₆	
0025 ₁₆	DMA0ディスティネ - ションポインタ(DAR0)	0063 ₁₆	
0026 ₁₆		0064 ₁₆	
0027 ₁₆		0065 ₁₆	
0028 ₁₆	DMA0転送カウンタ(TCR0)		
0029 ₁₆		0066 ₁₆	
002A ₁₆		0067 ₁₆	
002B ₁₆		0068 ₁₆	
002C ₁₆	DMA0制御レジスタ(DM0CON)	0069 ₁₆	
002D ₁₆		006A ₁₆	
002E ₁₆		006B ₁₆	
002F ₁₆		006C ₁₆	
0030 ₁₆		006D ₁₆	
0031 ₁₆	DMA1ソ - スポインタ(SAR1)	006E ₁₆	
0032 ₁₆		006F ₁₆	
0033 ₁₆		0070 ₁₆	
0034 ₁₆		0071 ₁₆	
0035 ₁₆	DMA1ディスティネ - ションポインタ(DAR1)	0072 ₁₆	
0036 ₁₆		0073 ₁₆	
0037 ₁₆		0074 ₁₆	
0038 ₁₆		0075 ₁₆	
0039 ₁₆	DMA1転送カウンタ(TCR1)	0076 ₁₆	
003A ₁₆		0077 ₁₆	
003B ₁₆		0078 ₁₆	
003C ₁₆	DMA1制御レジスタ(DM1CON)	0079 ₁₆	
003D ₁₆		007A ₁₆	
003E ₁₆		007B ₁₆	
003F ₁₆		007C ₁₆	
		007D ₁₆	
		007E ₁₆	
		007F ₁₆	
		0080 ₁₆	
		0081 ₁₆	
		0082 ₁₆	
		0083 ₁₆	
		0084 ₁₆	
		0085 ₁₆	
		0086 ₁₆	
		0087 ₁₆	
		0088 ₁₆	
		0089 ₁₆	
		008A ₁₆	
		008B ₁₆	
		008C ₁₆	
		008D ₁₆	
		008E ₁₆	
		008F ₁₆	
		0090 ₁₆	
		0091 ₁₆	
		0092 ₁₆	
		0093 ₁₆	
		0094 ₁₆	
		0095 ₁₆	
		0096 ₁₆	
		0097 ₁₆	
		0098 ₁₆	
		0099 ₁₆	
		009A ₁₆	
		009B ₁₆	
		009C ₁₆	
		009D ₁₆	
		009E ₁₆	
		009F ₁₆	
		00A0 ₁₆	
		00A1 ₁₆	
		00A2 ₁₆	
		00A3 ₁₆	
		00A4 ₁₆	
		00A5 ₁₆	
		00A6 ₁₆	
		00A7 ₁₆	
		00A8 ₁₆	
		00A9 ₁₆	
		00AA ₁₆	
		00AB ₁₆	
		00AC ₁₆	
		00AD ₁₆	
		00AE ₁₆	
		00AF ₁₆	
		00B0 ₁₆	
		00B1 ₁₆	
		00B2 ₁₆	
		00B3 ₁₆	
		00B4 ₁₆	
		00B5 ₁₆	
		00B6 ₁₆	
		00B7 ₁₆	
		00B8 ₁₆	
		00B9 ₁₆	
		00BA ₁₆	
		00BB ₁₆	
		00BC ₁₆	
		00BD ₁₆	
		00BE ₁₆	
		00BF ₁₆	
		00C0 ₁₆	
		00C1 ₁₆	
		00C2 ₁₆	
		00C3 ₁₆	
		00C4 ₁₆	
		00C5 ₁₆	
		00C6 ₁₆	
		00C7 ₁₆	
		00C8 ₁₆	
		00C9 ₁₆	
		00CA ₁₆	
		00CB ₁₆	
		00CC ₁₆	
		00CD ₁₆	
		00CE ₁₆	
		00CF ₁₆	
		00D0 ₁₆	
		00D1 ₁₆	
		00D2 ₁₆	
		00D3 ₁₆	
		00D4 ₁₆	
		00D5 ₁₆	
		00D6 ₁₆	
		00D7 ₁₆	
		00D8 ₁₆	
		00D9 ₁₆	
		00DA ₁₆	
		00DB ₁₆	
		00DC ₁₆	
		00DD ₁₆	
		00DE ₁₆	
		00DF ₁₆	
		00E0 ₁₆	
		00E1 ₁₆	
		00E2 ₁₆	
		00E3 ₁₆	
		00E4 ₁₆	
		00E5 ₁₆	
		00E6 ₁₆	
		00E7 ₁₆	
		00E8 ₁₆	
		00E9 ₁₆	
		00EA ₁₆	
		00EB ₁₆	
		00EC ₁₆	
		00ED ₁₆	
		00EE ₁₆	
		00EF ₁₆	
		00F0 ₁₆	
		00F1 ₁₆	
		00F2 ₁₆	
		00F3 ₁₆	
		00F4 ₁₆	
		00F5 ₁₆	
		00F6 ₁₆	
		00F7 ₁₆	
		00F8 ₁₆	
		00F9 ₁₆	
		00FA ₁₆	
		00FB ₁₆	
		00FC ₁₆	
		00FD ₁₆	
		00FE ₁₆	
		00FF ₁₆	

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図5.3.2. SFRのメモリ配置図

ROM外付け版

0340 ₁₆	タイマB3.4.5カウント開始フラグ(TBSR)
0341 ₁₆	
0342 ₁₆	タイマA1-1レジスタ(TA11)
0343 ₁₆	
0344 ₁₆	タイマA2-1レジスタ(TA21)
0345 ₁₆	
0346 ₁₆	タイマA4-1レジスタ(TA41)
0347 ₁₆	
0348 ₁₆	三相PWM制御レジスタ0(INVC0)
0349 ₁₆	三相PWM制御レジスタ1(INVC1)
034A ₁₆	三相出力バッファレジスタ0(IDB0)
034B ₁₆	三相出力バッファレジスタ1(IDB1)
034C ₁₆	短絡防止タイマ(DTT)
034D ₁₆	タイマB2割り込み発生頻度設定カウンタ(ICTB2)
034E ₁₆	
034F ₁₆	
0350 ₁₆	タイマB3レジスタ(TB3)
0351 ₁₆	
0352 ₁₆	タイマB4レジスタ(TB4)
0353 ₁₆	
0354 ₁₆	タイマB5レジスタ(TB5)
0355 ₁₆	
0356 ₁₆	
0357 ₁₆	
0358 ₁₆	
0359 ₁₆	
035A ₁₆	
035B ₁₆	タイマB3モードレジスタ(TB3MR)
035C ₁₆	タイマB4モードレジスタ(TB4MR)
035D ₁₆	タイマB5モードレジスタ(TB5MR)
035E ₁₆	
035F ₁₆	割り込み要因選択レジスタ(IFSR)
0360 ₁₆	SI/O3送受信レジスタ(S3TRR)
0361 ₁₆	
0362 ₁₆	SI/O3制御レジスタ(S3C)
0363 ₁₆	SI/O3転送速度レジスタ(S3BRG)
0364 ₁₆	SI/O4送受信レジスタ(S4TRR)
0365 ₁₆	
0366 ₁₆	SI/O4制御レジスタ(S4C)
0367 ₁₆	SI/O4転送速度レジスタ(S4BRG)
0368 ₁₆	
0369 ₁₆	
036A ₁₆	
036B ₁₆	
036C ₁₆	
036D ₁₆	
036E ₁₆	
036F ₁₆	
0370 ₁₆	
0371 ₁₆	
0372 ₁₆	
0373 ₁₆	
0374 ₁₆	
0375 ₁₆	
0376 ₁₆	UART2特殊モードレジスタ2(U2SMR2)
0377 ₁₆	UART2特殊モードレジスタ(U2SMR)
0378 ₁₆	UART2送受信モードレジスタ(U2MR)
0379 ₁₆	UART2転送速度レジスタ(U2BRG)
037A ₁₆	
037B ₁₆	UART2送信バッファレジスタ(U2TB)
037C ₁₆	
037D ₁₆	UART2送受信制御レジスタ0(U2C0)
037E ₁₆	UART2送受信制御レジスタ1(U2C1)
037F ₁₆	UART2受信バッファレジスタ(U2RB)

0380 ₁₆	カウント開始フラグ(TABSR)
0381 ₁₆	時計用プリスケアラセットフラグ(CPSRF)
0382 ₁₆	ワンショット開始フラグ(ONSF)
0383 ₁₆	トリガ選択レジスタ(TRGSR)
0384 ₁₆	アップダウンフラグ(UDF)
0385 ₁₆	
0386 ₁₆	
0387 ₁₆	タイマA0レジスタ(TA0)
0388 ₁₆	
0389 ₁₆	タイマA1レジスタ(TA1)
038A ₁₆	
038B ₁₆	タイマA2レジスタ(TA2)
038C ₁₆	
038D ₁₆	タイマA3レジスタ(TA3)
038E ₁₆	
038F ₁₆	タイマA4レジスタ(TA4)
0390 ₁₆	
0391 ₁₆	タイマB0レジスタ(TB0)
0392 ₁₆	
0393 ₁₆	タイマB1レジスタ(TB1)
0394 ₁₆	
0395 ₁₆	タイマB2レジスタ(TB2)
0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)
039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)
039B ₁₆	タイマB0モ - ドレジスタ(TB0MR)
039C ₁₆	タイマB1モ - ドレジスタ(TB1MR)
039D ₁₆	タイマB2モ - ドレジスタ(TB2MR)
039E ₁₆	
039F ₁₆	
03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
03A2 ₁₆	
03A3 ₁₆	UART0送信バッファレジスタ(U0TB)
03A4 ₁₆	UART0送受信制御レジスタ 0 (U0C0)
03A5 ₁₆	UART0送受信制御レジスタ 1 (U0C1)
03A6 ₁₆	
03A7 ₁₆	UART0受信バッファレジスタ(U0RB)
03A8 ₁₆	
03A9 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
03AA ₁₆	UART1転送速度レジスタ(U1BRG)
03AB ₁₆	
03AC ₁₆	UART1送信バッファレジスタ(U1TB)
03AD ₁₆	UART1送受信制御レジスタ 0 (U1C0)
03AE ₁₆	UART1送受信制御レジスタ 1 (U1C1)
03AF ₁₆	
03B0 ₁₆	UART1受信バッファレジスタ(U1RB)
03B1 ₁₆	UART送受信制御レジスタ2(UCON)
03B2 ₁₆	
03B3 ₁₆	
03B4 ₁₆	
03B5 ₁₆	
03B6 ₁₆	
03B7 ₁₆	
03B8 ₁₆	DMA0要因選択レジスタ(DM0SL)
03B9 ₁₆	
03BA ₁₆	DMA1要因選択レジスタ(DM1SL)
03BB ₁₆	
03BC ₁₆	
03BD ₁₆	CRCデータレジスタ(CRCD)
03BE ₁₆	CRCインプットレジスタ(CRCIN)
03BF ₁₆	

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図5.3.3. SFRのメモリ配置図

03C0 ₁₆	A-Dレジスタ0(AD0)
03C1 ₁₆	
03C2 ₁₆	A-Dレジスタ1(AD1)
03C3 ₁₆	
03C4 ₁₆	A-Dレジスタ2(AD2)
03C5 ₁₆	
03C6 ₁₆	A-Dレジスタ3(AD3)
03C7 ₁₆	
03C8 ₁₆	A-Dレジスタ4(AD4)
03C9 ₁₆	
03CA ₁₆	A-Dレジスタ5(AD5)
03CB ₁₆	
03CC ₁₆	A-Dレジスタ6(AD6)
03CD ₁₆	
03CE ₁₆	A-Dレジスタ7(AD7)
03CF ₁₆	
03D0 ₁₆	
03D1 ₁₆	
03D2 ₁₆	
03D3 ₁₆	
03D4 ₁₆	A-D制御レジスタ2(ADCON2)
03D5 ₁₆	
03D6 ₁₆	A-D制御レジスタ0(ADCON0)
03D7 ₁₆	A-D制御レジスタ1(ADCON1)
03D8 ₁₆	D-Aレジスタ0(DA0)
03D9 ₁₆	
03DA ₁₆	D-Aレジスタ1(DA1)
03DB ₁₆	
03DC ₁₆	D-A制御レジスタ(DACON)
03DD ₁₆	
03DE ₁₆	
03DF ₁₆	
03E0 ₁₆	ポートP0レジスタ(P0)
03E1 ₁₆	ポートP1レジスタ(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2レジスタ(P2)
03E5 ₁₆	ポートP3レジスタ(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4レジスタ(P4)
03E9 ₁₆	ポートP5レジスタ(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆	ポートP6レジスタ(P6)
03ED ₁₆	ポートP7レジスタ(P7)
03EE ₁₆	ポートP6方向レジスタ(PD6)
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8レジスタ(P8)
03F1 ₁₆	ポートP9レジスタ(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10レジスタ(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
03F7 ₁₆	
03F8 ₁₆	
03F9 ₁₆	
03FA ₁₆	
03FB ₁₆	
03FC ₁₆	プルアップ制御レジスタ 0 (PUR0)
03FD ₁₆	プルアップ制御レジスタ 1 (PUR1)
03FE ₁₆	プルアップ制御レジスタ 2 (PUR2)
03FF ₁₆	ポート制御レジスタ(PCR)

注1. SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図5.3.4. SFRのメモリ配置図

5.4 プロセッサモード

ROM外付け版はマイクロプロセッサモードでだけ動作します。

必ず以下の設定を行ってください。

- ・ CNVss端子は、Vccに接続してください。

図5.4.1にプロセッサモードレジスタ0の構成を示します。

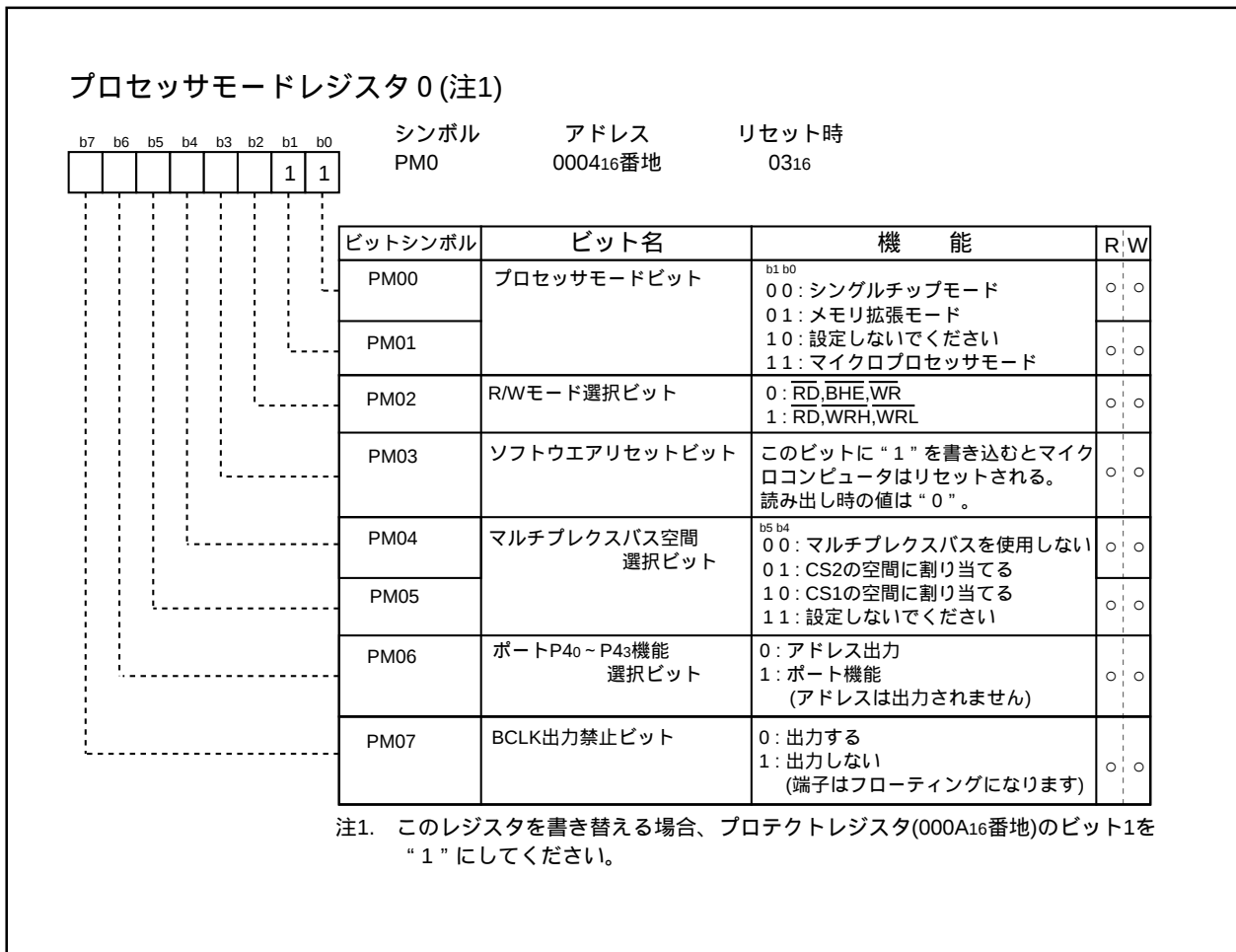


図5.4.1. プロセッサモードレジスタ0の構成

付録1 チェックシート

付録1 チェックシート

過去に発生した問題の原因となった項目などをもとにチェックシートにしてまとめました。不具合対策の一策として参考にされることをお奨めします。

- ☐ テクニカルニュースへの対応は行っていますか？

最新のテクニカルニュースの入手は、特約店にお問い合わせください。

レジスタの初期設定に関するチェック事項

- ☐ プログラムの先頭で割り込みスタックポインタ(ISP)に初期値を設定していますか？
- ☐ ユーザスタックポインタ(USP)を使用する場合、初期値を設定していますか？
- ☐ USPを使用する場合、ISPの領域と重なりませんか？
- ☐ ISPやUSPを設定してから割り込み許可を行っていますか？
- ☐ 割り込みテーブルレジスタ(INTB)に、可変割り込みベクタテーブルの先頭番地を設定していますか？
- ☐ INTBを設定してから割り込み許可を行っていますか？
- ☐ フレームベースレジスタ(FB)を使用する場合、初期値を設定していますか？
- ☐ スタックベースレジスタ(SB)を使用する場合、初期値を設定していますか？

内蔵メモリに関するチェック事項

- ☐ プログラムで使用しているRAM容量は、マイコンのRAM容量を超えていませんか？
- ☐ プログラムで使用しているROM容量は、マイコンのROM容量を超えていませんか？

プロテクトレジスタに関するチェック事項

- ☐ システムクロック制御レジスタ(0006₁₆番地、0007₁₆番地)に書き込む前にプロテクトレジスタ(000A₁₆番地)を書き込み許可にしていますか？
- ☐ プロセッサモードレジスタ(0004₁₆番地、0005₁₆番地)に書き込む前にプロテクトレジスタを書き込み許可にしていますか？
- ☐ ポートP9方向レジスタ(03F3₁₆番地)に書き込む前にプロテクトレジスタを書き込み許可にしていますか？
- ☐ プロテクトレジスタを書き込み許可にした次の命令でポートP9方向レジスタに書き込んでいますか？
- ☐ プロテクトレジスタの書き込み許可とポートP9方向レジスタへの書き込みの間には割り込みが入りませんか？
- ☐ プロテクトレジスタの書き込み許可とポートP9方向レジスタへの書き込みの間にはDMA転送が発生しませんか？

付録1 チェックシート

- ☐ SI/Oi制御レジスタ(i=3,4) (0362₁₆番地、0366₁₆番地) に書き込む前にプロテクトレジスタを書き込み許可にしていますか？
- ☐ プロテクトレジスタを書き込み許可にした次の命令でSI/Oi制御レジスタ(i=3,4)に書き込んでいますか？
- ☐ プロテクトレジスタの書き込み許可とSI/Oi制御レジスタ(i=3,4)への書き込みの間には割り込みが入りませんか？
- ☐ プロテクトレジスタの書き込み許可とSI/Oi制御レジスタ(i=3,4)への書き込みの間にはDMA転送が発生しませんか？

タイマに関するチェック事項

- ☐ タイマレジスタに値を設定してから、タイマをスタートさせていますか？

割り込みに関するチェック事項

- ☐ 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行っていますか？

低電圧、低消費電力に関するチェック事項

- ☐ 低電圧で使用する場合、推奨動作条件を参照の上、ウェイトビット(0005₁₆番地、ビット7)を“1”にしていますか？
- ☐ BCLKのカウントソースをXINからXCIN、XCINからXINに切り替える時、切り替え先の発振子は充分安定して発振していますか？
- ☐ 低消費電力モード時、Vref接続ビット(03D7₁₆番地、ビット5)の設定等によりVrefから電流が流れ込まないようにしていますか？
- ☐ 低消費電力モード時、ポートの電位は確定していますか？

A-D変換器に関するチェック事項

- ☐ Vcc=2.7V ~ 4.0VでA-D変換器を使用する場合、 ϕ_{AD} にfAD(分周なし)以外を選択していますか？
- ☐ Vcc=2.7V ~ 4.0VでA-D変換器を使用する場合、サンプル&ホールド機能なしを選択していますか？
- ☐ Vcc=2.7V ~ 4.0VでA-D変換器を使用する場合、8ビットモードを選択していますか？
- ☐ ϕ_{AD} は10MHz以下で使用していますか？

付録2 16進命令コード対応表

付録2 16進命令コード対応表

	D7～D4	0000	0001	0010	0011	0100	0101	0110	0111
D3～D0		0	1	2	3	4	5	6	7
0000	0	BRK	AND.B:S R0H,R0L	ADD.B:S R0H,R0L	MOV.B:S R0H,A0	BCLR:S 0,11[SB]	BNOT:S 0,11[SB]	JMP.S label	MULU.B src,dest
0001	1	MOV.B:S R0L,dsp:8[SB]	AND.B:S dsp:8[SB],R0L	ADD.B:S dsp:8[SB],R0L	MOV.B:S dsp:8[SB],A0	BCLR:S 1,11[SB]	BNOT:S 1,11[SB]	JMP.S label	MULU.W src,dest
0010	2	MOV.B:S R0L,dsp:8[FB]	AND.B:S dsp:8[FB],R0L	ADD.B:S dsp:8[FB],R0L	MOV.B:S dsp:8[FB],A0	BCLR:S 2,11[SB]	BNOT:S 2,11[SB]	JMP.S label	MOV.B:G src,dest
0011	3	MOV.B:S R0L,abs16	AND.B:S abs16,R0L	ADD.B:S abs16,R0L	MOV.B:S abs16,A0	BCLR:S 3,11[SB]	BNOT:S 3,11[SB]	JMP.S label	MOV.W:G src,dest
0100	4	NOP	AND.B:S R0L,R0H	ADD.B:S R0L,R0H	MOV.B:S R0L,A1	BCLR:S 4,11[SB]	BNOT:S 4,11[SB]	JMP.S label	CODE_74
0101	5	MOV.B:S R0H,dsp:8[SB]	AND.B:S dsp:8[SB],R0H	ADD.B:S dsp:8[SB],R0H	MOV.B:S dsp:8[SB],A1	BCLR:S 5,11[SB]	BNOT:S 5,11[SB]	JMP.S label	CODE_75
0110	6	MOV.B:S R0H,dsp:8[FB]	AND.B:S dsp:8[FB],R0H	ADD.B:S dsp:8[FB],R0H	MOV.B:S dsp:8[FB],A1	BCLR:S 6,11[SB]	BNOT:S 6,11[SB]	JMP.S label	CODE_76
0111	7	MOV.B:S R0H,abs16	AND.B:S abs16,R0H	ADD.B:S abs16,R0H	MOV.B:S abs16,A1	BCLR:S 7,11[SB]	BNOT:S 7,11[SB]	JMP.S label	CODE_77
1000	8	MOV.B:S R0H,R0L	OR.B:S R0H,R0L	SUB.B:S R0H,R0L	CMP.B:S R0H,R0L	BSET:S 0,11[SB]	BTST:S 0,11[SB]	JGEU/C label	MUL.B src,dest
1001	9	MOV.B:S dsp:8[SB],R0L	OR.B:S dsp:8[SB],R0L	SUB.B:S dsp:8[SB],R0L	CMP.B:S dsp:8[SB],R0L	BSET:S 1,11[SB]	BTST:S 1,11[SB]	JGTU label	MUL.W src,dest
1010	A	MOV.B:S dsp:8[FB],R0L	OR.B:S dsp:8[FB],R0L	SUB.B:S dsp:8[FB],R0L	CMP.B:S dsp:8[FB],R0L	BSET:S 2,11[SB]	BTST:S 2,11[SB]	JEQ/Z label	CODE_7A
1011	B	MOV.B:S abs16,R0L	OR.B:S abs16,R0L	SUB.B:S abs16,R0L	CMP.B:S abs16,R0L	BSET:S 3,11[SB]	BTST:S 3,11[SB]	JN label	CODE_7B
1100	C	MOV.B:S R0L,R0H	OR.B:S R0L,R0H	SUB.B:S R0L,R0H	CMP.B:S R0L,R0H	BSET:S 4,11[SB]	BTST:S 4,11[SB]	JLTU/NC label	CODE_7C
1101	D	MOV.B:S dsp:8[SB],R0H	OR.B:S dsp:8[SB],R0H	SUB.B:S dsp:8[SB],R0H	CMP.B:S dsp:8[SB],R0H	BSET:S 5,11[SB]	BTST:S 5,11[SB]	JLEU label	CODE_7D
1110	E	MOV.B:S dsp:8[FB],R0H	OR.B:S dsp:8[FB],R0H	SUB.B:S dsp:8[FB],R0H	CMP.B:S dsp:8[FB],R0H	BSET:S 6,11[SB]	BTST:S 6,11[SB]	JNE/JNZ label	CODE_7E
1111	F	MOV.B:S abs16,R0H	OR.B:S abs16,R0H	SUB.B:S abs16,R0H	CMP.B:S abs16,R0H	BSET:S 7,11[SB]	BTST:S 7,11[SB]	JPZ label	

各CODEには、次の命令が配置されています。

CODE_74:STE,MOV,PUSH,NEG,ROT,NOT,LDE,POP,SHL,SHA

CODE_75:STE,MOV,PUSH,NEG,ROT,NOT,LDE,POP,SHL,SHA

CODE_76:TST,XOR,AND,OR,ADD,SUB,ADC,SBB,CMP,DIVX,ROL,C,RORC,DIVU,DIV,ADCF,ABS

CODE_77:TST,XOR,AND,OR,ADD,SUB,ADC,SBB,CMP,DIVX,ROL,C,RORC,DIVU,DIV,ADCF,ABS

CODE_7A:XCHG,LDC

CODE_7B:XCHG,STC

CODE_7C:MOVDir,MULU,MUL,EXTS,STC,DIVU,DIV,PUSH,DIVX,DADD,DSUB,DADC,DSBB,SMOVF,SMOVB,SSTR,ADD,LDCTX,RMPA,ENTER

CODE_7D:JMPL,JSRI,MULU,MUL,PUSHA,LDIPL,ADD,JCnd,BMCnd,DIVU,DIV,PUSH,DIVX,DADD,DSUB,DADC,DSBB,SMOVF,SMOVB,SSTR,STCTX,RMPA,EXITD,WAIT

CODE_7E:BTSTC,BMCnd,BNTST,BAND,BNAND,BOR,BNOR,BCLR,BSET,BNOT,BTST,BXOR,BNXOR

CODE_7F:SHL,FSET,FCLR,MOVA,LDC,SHA,PUSHC,POPC,INT

付録2 16進命令コード対応表

	D7 ~ D4	1000	1001	1010	1011	1100	1101	1110	1111
D3 ~ D0		8	9	A	B	C	D	E	F
0000	0	TST.B src,dest	AND.B:G src,dest	ADD.B:G src,dest	ADC.B src,dest	CMP.B:G src,dest	CMP.B:Q #IMM,dest	ROT.B #IMM,dest	SHA.B #IMM,dest
0001	1	TST.W src,dest	AND.W:G src,dest	ADD.W:G src,dest	ADC.w src,dest	CMP.W:G src,dest	CMP.W:Q #IMM,dest	ROT.W #IMM,dest	SHA.W #IMM,dest
0010	2	PUSH.B:S R0L	POP.B:S R0L	MOV.W:S #IMM,A0	INC.W A0	PUSH.W:S A0	POP.W:S A0	MOV.B:S #IMM,A0	DEC.W A0
0011	3	ADD.B:S #IMM8,R0H	AND.B:S #IMM8,R0H	INC.B R0H	MOV.B:Z #0,R0H	MOV.B:S #IMM8,R0H	STNZ #IMM8,R0H	CMP.B:S #IMM8,R0H	RTS
0100	4	ADD.B:S #IMM8,R0L	AND.B:S #IMM8,R0L	INC.B R0L	MOV.B:Z #0,R0L	MOV.B:S #IMM8,R0L	STNZ #IMM8,R0L	CMP.B:S #IMM8,R0L	JMP.W label
0101	5	ADD.B:S #IMM8,dsp:8[SB]	AND.B:S #IMM8,dsp:8[SB]	INC.B dsp:8[SB]	MOV.B:Z #0,dsp:8[SB]	MOV.B:S #IMM8,dsp:8[SB]	STNZ #IMM8,dsp:8[SB]	CMP.B:S #IMM8,dsp:8[SB]	JSR.W label
0110	6	ADD.B:S #IMM8,dsp:8[FB]	AND.B:S #IMM8,dsp:8[FB]	INC.B dsp:8[FB]	MOV.B:Z #0,dsp:8[FB]	MOV.B:S #IMM8,dsp:8[FB]	STNZ #IMM8,dsp:8[FB]	CMP.B:S #IMM8,dsp:8[FB]	INTO
0111	7	ADD.B:S #IMM8,abs16	AND.B:S #IMM8,abs16	INC.B abs16	MOV.B:Z #0,abs16	MOV.B:S #IMM8,abs16	STNZ #IMM8,abs16	CMP.B:S #IMM8,abs16	
1000	8	XOR.B src,dest	OR.B: src,dest	SUB.B:G src,dest	SBB.B src,dest	ADD.B:Q #IMM,dest	MOV.B:Q #IMM,dest	SHL.B #IMM,dest	ADJNZ.B #IMM,dest,label
1001	9	XOR.W src,dest	OR.W: src,dest	SUB.W:G src,dest	SBB.W src,dest	ADD.W:Q #IMM,dest	MOV.W:Q #IMM,dest	SHL.W #IMM,dest	ADJNZ.W #IMM,dest,label
1010	A	PUSH.B:S R0H	POP.B:S R0H	MOV.W:S #IMM,A1	INC.W A1	PUSH.W:S A1	POP.W:S A1	MOV.B:S #IMM,A1	DEC.W A1
1011	B	SUB.B:S #IMM8,R0H	OR.B:S #IMM8,R0H	DEC.B R0H	NOT.B:S R0H	STZ #IMM8,R0H	STZX #IMM8,#IMM8,R0H	CODE_EB	REIT
1100	C	SUB.B:S #IMM8,R0L	OR.B:S #IMM8,R0L	DEC.B R0L	NOT.B:S R0L	STZ #IMM8,R0L	STZX #IMM8,#IMM8,R0L	PUSHM src	JMP.A label
1101	D	SUB.B:S #IMM8,dsp:8[SB]	OR.B:S #IMM8,dsp:8[SB]	DEC.B dsp:8[SB]	NOT.B:S dsp:8[SB]	STZ #IMM8,dsp:8[SB]	STZX #IMM8,#IMM8,dsp:8[SB]	POPM dest	JSR.A label
1110	E	SUB.B:S #IMM8,dsp:8[FB]	OR.B:S #IMM8,dsp:8[FB]	DEC.B dsp:8[FB]	NOT.B:S dsp:8[FB]	STZ #IMM8,dsp:8[FB]	STZX #IMM8,#IMM8,dsp:8[FB]	JMPS #IMM8	JMP.B label
1111	F	SUB.B:S #IMM8,abs16	OR.B:S #IMM8,abs16	DEC.B abs16	NOT.B:S abs16	STZ #IMM8,abs16	STZX #IMM8,#IMM8,abs16	JSRS #IMM8	UND

付録3 端子機能選択時のレジスタ設定

付録3 端子機能選択時のレジスタ設定

端子機能を選択するレジスタとその設定値を以下に示します。

表は次のように参照してください。

端子名	P96/ANEX1/SOUT4	端子番号	1 (FP版)	99 (GP版)	レジスタの設定					備 考	参 照
選択機能		6,3F3h	3,3FEh	7,3D7h	6,3D7h	3,366h	2,366h				
ANEX1	I AD拡張入力	0	0	1	0	0	X				1-148
SOUT4	O シリアルI/Oデータ出力	0	0	0	0	1	0				1-144
P96	I ポート入力 (プルアップ無し)	0	0	0	0	0	X				1-162
P96	I ポート入力 (プルアップ有り)	0	1	0	0	0	X				1-162
P96	O ポート出力	1	X	0	0	0	X				1-162
		6,3F3h	ポートP96方向レジスタ								1-167
		3,3FEh	P94 ~ P97プルアップ制御レジスタ								1-169
		7,3D7h	A-D制御レジスタ1の外部オペアンプ接続モードビット								1-150
		6,3D7h	A-D制御レジスタ1の外部オペアンプ接続モードビット								1-150
		3,366h	SI/O4制御レジスタのSI/O4ポート選択ビット								1-145
		2,366h	SI/O4制御レジスタのSOUT4出力禁止ビット								1-145

ビットの設定値

0: “0” にしてください。

1: “1” にしてください。

X: “0” または “1” いずれでも良い。

レジスタの記載ページ

端子機能を選択するためのビットを示す記号 (ビット番号、番地)

付録3 端子機能選択時のレジスタ設定

端子名			端子番号			1 (FP版)			99 (GP版)						
選択機能						レジスタの設定								備 考	参 照
						6,3F3h	3,3FEh	7,3D7h	6,3D7h	3,366h	2,366h				
ANEX1	I	AD拡張入力	0	0	1	0	0	X						1-148	
SOUT4	O	シリアル/Oデータ出力	0	0	0	0	1	0						1-144	
P96	I	ポート入力 (プルアップ無し)	0	0	0	0	0	X						1-162	
P96	I	ポート入力 (プルアップ有り)	0	1	0	0	0	X						1-162	
P96	O	ポート出力	1	X	0	0	0	X						1-162	
			6,3F3h	ポートP96方向レジスタ											1-167
			3,3FEh	P94 ~ P97プルアップ制御レジスタ											1-169
			7,3D7h	A-D制御レジスタ1の外部オペアンプ接続モードビット											1-150
			6,3D7h	A-D制御レジスタ1の外部オペアンプ接続モードビット											1-150
			3,366h	SI/O4制御レジスタのSI/O4ポート選択ビット											1-145
			2,366h	SI/O4制御レジスタのSOUT4出力禁止ビット											1-145

端子名			P95/ANEX0/CLK4			端子番号		2 (FP版)		100 (GP版)					
選択機能						レジスタの設定								備 考	参 照
						5,3F3h	3,3FEh	7,3D7h	6,3D7h	3,366h	6,366h				
ANEX0	I	AD拡張入力	0	0	0	1	0	X						1-148	
ANEX0	O	外部オペアンプ接続モード時出力	0	0	1	1	0	X						1-148	
SCLK4	O	シリアルクロック出力	0	0	0	0	1	1						1-144	
SCLK4	I	シリアルクロック入力	0	0	0	0	1	0						1-144	
P95	I	ポート入力 (プルアップ無し)	0	0	0	0	0	X						1-162	
P95	I	ポート入力 (プルアップ有り)	0	1	0	0	0	X						1-162	
P95	O	ポート出力	1	X	0	0	0	X						1-162	
						5,3F3h	ポートP95方向レジスタ								1-167
						3,3FEh	P94 ~ P97プルアップ制御レジスタ								1-169
						7,3D7h	A-D制御レジスタ1の外部オペアンプ接続モードビット								1-150
						6,3D7h	A-D制御レジスタ1の外部オペアンプ接続モードビット								1-150
						3,366h	SI/O4制御レジスタのSI/O4ポート選択ビット								1-145
						6,366h	SI/O4制御レジスタの同期クロック選択ビット								1-145

端子名			P94/DA1/TB4IN		端子番号	3 (FP版)		1 (GP版)				備 考	参 照	
選択機能					レジスタの設定									
					4,3F3h	3,3FEh	1,3DCh	7,35Ch						
DA1	O	DA出力	0	0	1	0							1-158	
TB4IN	I	カウントソース入力	0	0	0	0							1-89	
P94	I	ポート入力 (プルアップ無し)	0	0	0	0							1-162	
P94	I	ポート入力 (プルアップ有り)	0	1	0	0							1-162	
P94	O	ポート出力	1	X	0	0							1-162	
			4,3F3h	ポートP94方向レジスタ										1-167
			3,3FEh	P94 ~ P97プルアップ制御レジスタ										1-169
			1,3DCh	D-A制御レジスタのD-A1出力許可ビット										1-159
			7,35Ch	タイマB4モードレジスタのイベントクロック選択ビット										1-89

付録3 端子機能選択時のレジスタ設定

端子名			P93/DA0/TB3IN			端子番号		4 (FP版)		2 (GP版)						
選択機能						レジスタの設定								備 考	参 照	
						3,3F3h	2,3FEh	0,3DCh	7,35Bh							
DA0	O	DA出力	0	0	1	0									1-158	
TB3IN	I	カウントソース入力	0	0	0	0									1-89	
P93	I	ポート入力 (プルアップ無し)	0	0	0	0									1-162	
P93	I	ポート入力 (プルアップ有り)	0	1	0	0									1-162	
P93	O	ポート出力	1	X	0	0									1-162	
						3,3F3h	ポートP93方向レジスタ									1-167
						2,3FEh	P90～P93プルアップ制御レジスタ									1-169
						0,3DCh	D-A制御レジスタのD-A0出力許可ビット									1-159
						7,35Bh	タイマB3モードレジスタのイベントクロック選択ビット									1-89

端子名			P92/TB2IN/SOUT3			端子番号		5 (FP版)		3 (GP版)					
選択機能			レジスタの設定										備 考	参 照	
			2,3F3h	2,3FEh	7,39Dh	3,362h	2,362h								
TB2IN	I	カウントソース入力	0	0	0	0	X							1-89	
SOUT3	O	シリアルI/Oデータ出力	0	0	0	1	0							1-144	
P92	I	ポート入力 (プルアップ無し)	0	0	X	0	X							1-162	
P92	I	ポート入力 (プルアップ有り)	0	1	X	0	X							1-162	
P92	O	ポート出力	1	X	X	0	X							1-162	
			2,3F3h	ポートP92方向レジスタ											1-167
			2,3FEh	P90～P93プルアップ制御レジスタ											1-169
			7,39Dh	タイマB2モードレジスタのイベントクロック選択ビット											1-89
			3,362h	SI/O3制御レジスタのSI/O3ポート選択ビット											1-145
			2,362h	SI/O3制御レジスタのSOUT3出力禁止ビット											1-145

端子名	P91/TB1IN/SIN3		端子番号	6 (FP版)		4 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			1,3F3h	2,3FEh	7,39Ch	3,362h							
TB1IN	I	カウントソース入力	0	0	0	0						1-89	
SIN3	I	シリアルI/Oデータ入力	0	0	0	1						1-144	
P91	I	ポート入力 (プルアップ無し)	0	0	X	0						1-162	
P91	I	ポート入力 (プルアップ有り)	0	1	X	0						1-162	
P91	O	ポート出力	1	X	X	0						1-162	
			1,3F3h	ポートP91方向レジスタ									1-167
			2,3FEh	P90～P93プルアップ制御レジスタ									1-169
			7,39Ch	タイマB1モードレジスタのイベントクロック選択ビット									1-89
			3,362h	SI/O3制御レジスタのSI/O3ポート選択ビット									1-145

付録3 端子機能選択時のレジスタ設定

端子名	P90/TB0IN/CLK3		端子番号	7 (FP版)		5 (GP版)						備 考	参 照
選択機能			レジスタの設定										
			0,3F3h	2,3FEh	7,39Bh	3,362h	6,362h						
TB0IN	I	カウントソース入力	0	0	0	0	X						1-89
CLK3	O	シリアルクロック出力	0	0	X	1	1						1-144
CLK3	I	シリアルクロック入力	0	0	X	1	0						1-144
P90	I	ポート入力 (プルアップ無し)	0	0	X	0	X						1-162
P90	I	ポート入力 (プルアップ有り)	0	1	X	0	X						1-162
P90	O	ポート出力	1	X	X	0	X						1-162
			0,3F3h	ポートP90方向レジスタ									1-167
			2,3FEh	P90 ~ P93プルアップ制御レジスタ									1-169
			7,39Bh	タイマB0モードレジスタのイベントクロック選択ビット									1-89
			3,362h	SI/O3制御レジスタのSI/O3ポート選択ビット									1-145
			6,362h	SI/O3制御レジスタの同期クロック選択ビット									1-145

端子名			P87/XCIN		端子番号		10 (FP版)		8 (GP版)							
選択機能					レジスタの設定									備 考	参 照	
					7,3F2h	1,3FEh	4,006h									
XCIN	I	サブクロック入力			0	0	1								1-36	
P87	I	ポート入力 (プルアップ無し)			0	0	0								1-162	
P87	I	ポート入力 (プルアップ有り)			0	1	0								1-162	
P87	O	ポート出力			1	X	0								1-162	
					7,3F2h	ポートP87方向レジスタ										1-167
					1,3FEh	P84 ~ P87プルアップ制御レジスタ										1-169
					4,006h	システムクロック制御レジスタ0のポートXct切り替えビット										1-39

端子名			端子番号			11 (FP版)			9 (GP版)						
選択機能						レジスタの設定								備 考	参 照
						6,3F2h	1,3FEh	4,006h							
XCOUT	O	サブクロック出力	0	0	1									1-36	
P86	I	ポート入力 (プルアップ無し)	0	0	0									1-162	
P86	I	ポート入力 (プルアップ有り)	0	1	0									1-162	
P86	O	ポート出力	1	X	0									1-162	
						6,3F2h	ポートP86方向レジスタ								1-167
						1,3FEh	P84 ~ P87プルアップ制御レジスタ								1-169
						4,006h	システムクロック制御レジスタ0のポートXct切り替えビット								1-39

付録3 端子機能選択時のレジスタ設定

端子名	P84/INT2		端子番号	18 (FP版)	16 (GP版)					備 考	参 照	
選択機能			レジスタの設定									
			4,3F2h	1,3FEh								
INT2	I	割り込み入力	0	X						1	1-60	
P84	I	ポート入力 (プルアップ無し)	0	0							1-162	
P84	I	ポート入力 (プルアップ有り)	0	1							1-162	
P84	O	ポート出力	1	X							1-162	
			4,3F2h	ポートP84方向レジスタ								1-167
			1,3FEh	P84～P87プルアップ制御レジスタ								1-169

備考1. レジスタの設定値に関係なくポートの状態変化により割り込み要求ビット発生

端子名	P83/INT1		端子番号	19 (FP版)		17 (GP版)					備 考	参 照	
選択機能			レジスタの設定										
			3,3F2h	0,3FEh									
INT1	I	割り込み入力	0	X							1	1-60	
P83	I	ポート入力 (プルアップ無し)	0	0								1-162	
P83	I	ポート入力 (プルアップ有り)	0	1								1-162	
P83	O	ポート出力	1	X								1-162	
			3,3F2h	ポートP83方向レジスタ								1-167	
			0,3FEh	P80～P83プルアップ制御レジスタ								1-169	

備考1. レジスタの設定値に関係なくポートの状態変化により割り込み要求ビット発生

端子名	P82/INT0		端子番号	20 (FP版)		18 (GP版)					備 考	参 照
選択機能			レジスタの設定									
			2,3F2h	0,3FEh								
INT0	I	割り込み入力	0	X							1	1-60
P82	I	ポート入力 (プルアップ無し)	0	0								1-162
P82	I	ポート入力 (プルアップ有り)	0	1								1-162
P82	O	ポート出力	1	X								1-162
			2,3F2h	ポートP82方向レジスタ								1-167
			0,3FEh	P80～P83プルアップ制御レジスタ								1-169

備考1. レジスタの設定値に関係なくポートの状態変化により割り込み要求ビット発生

端子名	P81/TA4IN/ $\bar{U}$		端子番号	21 (FP版)		19 (GP版)					備 考	参 照
機能選択			レジスタの設定									
			1,3F2h	0,3FEh	7,383h	6,383h	4,39Ah	2,348h				
TA4IN	I	ゲート機能レベル入力	0	X	0	0	1	0				1-77
TA4IN	I	カウントソース入力	0	X	0	0	X	0				1-77
TA4IN	I	外部トリガ入力	0	X	0	0	1	0				1-77
$\bar{U}$	O	$\bar{U}$ 相出力	X	X	X	X	X	1				1-95
P81	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0				1-162
P81	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0				1-162
P81	O	ポート出力	1	X	X	X	X	0				1-162
			1,3F2h	ポートP81方向レジスタ								1-167
			0,3FEh	P80～P83プルアップ制御レジスタ								1-169
			7,383h	トリガ選択レジスタのタイマA4イベント／トリガ選択ビット								1-81
			6,383h	トリガ選択レジスタのタイマA4イベント／トリガ選択ビット								1-81
			4,39Ah	タイマA4モードレジスタのビット4								1-79
			2,348h	三相PWM制御レジスタ0のモード選択ビット								1-95

付録3 端子機能選択時のレジスタ設定

端子名	P80/TA4OUT/U		端子番号	22 (FP版)		20 (GP版)						備 考	参 照	
選択機能			レジスタの設定											
			0,3F2h	0,3FEh	4,39Ah	2,39Ah	7,384h	2,348h						
TA4OUT	O	パルス出力	X	X	X	1	0	0				1	1-77	
TA4OUT	I	アップ/ダウン極性選択入力	0	X	1	0	0	0					1-77	
TA4OUT	I	二相パルス信号入力	0	X	1	0	1	0					1-77	
U	O	U相出力	X	X	X	X	X	1					1-95	
P80	I	ポート入力 (プルアップ無し)	0	0	X	0	0	0					1-162	
P80	I	ポート入力 (プルアップ有り)	0	1	X	0	0	0					1-162	
P80	O	ポート出力	1	X	X	0	0	0					1-162	
			0,3F2h	ポートP80方向レジスタ										1-167
			0,3FEh	P80～P83プルアップ制御レジスタ										1-169
			4,39Ah	タイマA4モードレジスタのビット4										1-79
			2,39Ah	タイマA4モードレジスタのビット2										1-79
			7,384h	アップダウンフラグのタイマA4二相パルス信号処理機能選択ビット										1-80
			2,348h	三相PWM制御レジスタ0のモード選択ビット										1-95

備考1. 二相パルス信号処理時は使用不可

端子名	P77/TA3IN		端子番号	23 (FP版)		21 (GP版)				備 考	参 照		
選択機能			レジスタ設定										
			7,3EFh	7,3FDh	5,383h	4,383h	4,399h						
TA3IN	I	ゲート機能レベル入力	0	X	0	0	1					1-77	
TA3IN	I	カウントソース入力	0	X	0	0	X					1-77	
TA3IN	I	外部トリガ入力	0	X	0	0	1					1-77	
P77	I	ポート入力 (プルアップ無し)	0	0	X	X	X					1-162	
P77	I	ポート入力 (プルアップ有り)	0	1	X	X	X					1-162	
P77	O	ポート出力	1	X	X	X	X					1-162	
			7,3EFh	ポートP77方向レジスタ									1-167
			7,3FDh	P74～P77プルアップ制御レジスタ									1-169
			5,383h	トリガ選択レジスタのタイマA3イベント / トリガ選択ビット									1-81
			4,383h	トリガ選択レジスタのタイマA3イベント / トリガ選択ビット									1-81
			4,399h	タイマA3モードレジスタのビット4									1-79

端子名	P77/TA3IN		端子番号	23 (FP版)		21 (GP版)								備 考	参 照
選択機能			レジスタ設定												
			7,3EFh	7,3FDh	5,383h	4,383h	4,399h								
TA3IN	I	ゲート機能レベル入力	0	X	0	0	1							1-77	
TA3IN	I	カウントソース入力	0	X	0	0	X							1-77	
TA3IN	I	外部トリガ入力	0	X	0	0	1							1-77	
P77	I	ポート入力 (プルアップ無し)	0	0	X	X	X							1-162	
P77	I	ポート入力 (プルアップ有り)	0	1	X	X	X							1-162	
P77	O	ポート出力	1	X	X	X	X							1-162	
			7,3EFh	ポートP77方向レジスタ										1-167	
			7,3FDh	P74～P77プルアップ制御レジスタ										1-169	
			5,383h	トリガ選択レジスタのタイマA3イベント / トリガ選択ビット										1-81	
			4,383h	トリガ選択レジスタのタイマA3イベント / トリガ選択ビット										1-81	
			4,399h	タイマA3モードレジスタのビット4										1-79	

付録3 端子機能選択時のレジスタ設定

端子名	P75/TA2IN/ $\overline{W}$		端子番号	25 (FP版)		23 (GP版)					備 考	参 照
選択機能			レジスタの設定									
			5,3EFh	7,3FDh	3,383h	2,383h	4,398h	2,348h				
TA2IN	I	ゲート機能レベル入力	0	X	0	0	1	0				1-77
TA2IN	I	カウントソース入力	0	X	0	0	X	0				1-77
TA2IN	I	外部トリガ入力	0	X	0	0	1	0				1-77
$\overline{W}$	O	$\overline{W}$ 相入力	0	0	X	X	X	1				1-95
P75	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0				1-162
P75	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0				1-162
P75	O	ポート出力	1	X	X	X	X	0				1-162
			5,3EFh	ポートP75方向レジスタ								1-167
			7,3FDh	P74 ~ P77プルアップ制御レジスタ								1-169
			3,383h	トリガ選択レジスタのタイマA2イベント / トリガ選択ビット								1-81
			2,383h	トリガ選択レジスタのタイマA2イベント / トリガ選択ビット								1-81
			4,398h	タイマA2モードレジスタのビット4								1-79
			2,348h	三相PWM制御レジスタ0のモード選択ビット								1-95

端子名	P74/TA2OUT/W		端子番号	26 (FP版)		24 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			4,3EFh	7,3FDh	4,398h	2,398h	5,384h	2,348h					
TA2OUT	O	パルス出力	X	X	X	1	0	0				1	1-77
TA2OUT	I	アップ/ダウン極性選択入力	0	X	1	0	0	0					1-77
TA2OUT	I	二相パルス信号入力	0	X	1	0	1	0					1-77
W	O	W相出力	X	X	X	X	X	1					1-95
P74	I	ポート入力 (プルアップ無し)	0	0	X	0	0	0					1-162
P74	I	ポート入力 (プルアップ有り)	0	1	X	0	0	0					1-162
P74	O	ポート出力	1	X	X	0	0	0					1-162
			4,3EFh	ポートP74方向レジスタ									1-167
			7,3FDh	P74～P77プルアップ制御レジスタ									1-169
			4,398h	タイマA2モードレジスタのビット4									1-79
			2,398h	タイマA2モードレジスタのビット2									1-79
			5,384h	アップダウンフラグのタイマA2二相パルス信号処理機能選択ビット									1-80
			2,348h	三相PWM制御レジスタ0のモード選択ビット									1-95

備考1. 二相パルス信号処理時は使用不可

付録3 端子機能選択時のレジスタ設定

端子名	P73/CTS2/RTS2/TA1IN/V		端子番号	27 (FP版)		25 (GP版)								
選択機能			レジスタの設定									備 考	参 照	
			3,3EFh	6,3FDh	1,383h	0,383h	4,397h	4,37Ch	2,37Ch	2,348h				
TA1IN	I	ゲート機能レベル入力	0	X	0	0	1	X	X	0			1-77	
TA1IN	I	カウントソース入力	0	X	0	0	X	X	X	0			1-77	
TA1IN	I	外部トリガ入力	0	X	0	0	1	X	X	0			1-77	
RTS2	O	RTS出力	X	X	X	X	X	0	1	0		1	1-107	
CTS2	I	CTS入力	0	X	X	X	X	0	0	0		1	1-107	
V	O	V相出力	X	X	X	X	X	X	X	1			1-95	
P73	I	ポート入力 (プルアップ無し)	0	0	X	X	X	X	X	0			1-162	
P73	I	ポート入力 (プルアップ有り)	0	1	X	X	X	X	X	0			1-162	
P73	O	ポート出力	1	X	X	X	X	X	X	0			1-162	
			3,3EFh	ポートP73方向レジスタ										1-167
			6,3FDh	P70～P73プルアップ制御レジスタ										1-169
			1,383h	トリガ選択レジスタのビット1										1-81
			0,383h	トリガ選択レジスタのビット0										1-81
			4,397h	タイマA1モードレジスタのビット4										1-79
			4,37Ch	UART2送受信制御レジスタ0のCTS/RTS禁止ビット										1-113
			2,37Ch	UART2送受信制御レジスタ0のCTS/RTS機能選択ビット										1-113
			2,348h	三相PWM制御レジスタ0のモード選択ビット										1-95

備考1. UART2送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

端子名	P72/CLK2/TA1OUT/V		端子番号	28 (FP版)		26 (GP版)								
選択機能			レジスタの設定										備 考	参 照
			2,3EFh	6,3FDh	4,397h	2,397h	3,378h	2,348h						
TA1OUT	O	パルス出力	X	X	X	1	X	0					1-77	
TA1OUT	I	アップ/ダウン極性選択入力	0	X	1	0	X	0					1-77	
CLK2	I	シリアルI/Oクロック入力	0	0	X	X	1	0				1	1-107	
CLK2	O	シリアルI/Oクロック出力	X	0	X	X	0	0				1,2	1-107	
V	O	V相出力	X	X	X	X	X	1					1-95	
P72	I	ポート入力 (プルアップ無し)	0	0	X	0	X	1					1-162	
P72	I	ポート入力 (プルアップ有り)	0	1	X	0	X	0					1-162	
P72	O	ポート出力	1	X	X	0	X	0					1-162	
			2,3EFh	ポートP72方向レジスタ										1-167
			6,3FDh	P70～P73プルアップ制御レジスタ										1-169
			4,397h	タイマA1モードレジスタのビット4										1-79
			2,397h	タイマA1モードレジスタのビット2										1-79
			3,378h	UART2送受信モードレジスタの内/外部クロック選択ビット										1-112
			2,348h	三相PWM制御レジスタ0のモード選択ビット										1-95

備考1. UART2送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にください

備考2. クロック非同期シリアルI/O選択時は入出力ポートになります

付録3 端子機能選択時のレジスタ設定

端子名			P71/RXD2/TA0IN/TB5IN/SCL	端子番号	29 (FP版)			27 (GP版)					
選択機能				レジスタの設定								備 考	参 照
				1,3EFh	6,3FDh	7,382h	6,382h	4,396h	7,35Dh	0,377h	3,378h		
TA0IN	I	ゲート機能レベル入力		0	X	0	0	1	0	0	X		1-77
TA0IN	I	カウントソース入力		0	X	0	0	X	0	0	X		1-77
TA0IN	I	外部トリガ入力		0	X	0	0	1	0	0	X		1-77
TB5IN	I	カウントソース入力		0	0	X	X	X	1	X	0		1-89
SCL	O	IICクロック出力		0	0	X	X	X	0	1	0	1	1-136
SCL	I	IICクロック入力		0	0	X	X	X	0	1	1	1	1-136
RXD2	I	シリアルI/Oデータ入力		0	0	X	X	X	0	0	X	1	1-107
P71	I	ポート入力		0	0	X	X	X	0	0	X		1-162
P71	O	ポート出力		1	X	X	X	X	0	0	X		1-162
				1,3EFh	ポートP71方向レジスタ								1-167
				6,3FDh	P70～P73プルアップ制御レジスタ								1-169
				7,382h	ワンショット開始フラグのビット7								1-81
				6,382h	ワンショット開始フラグのビット6								1-81
				4,396h	タイマA0モードレジスタのビット4								1-79
				7,35Dh	タイマB5モードレジスタのイベントクロック選択ビット								1-89
				0,377h	UART2特殊モードレジスタのIICモード選択ビット								1-136
				3,378h	UART2送受信モードレジスタ内/外クロック選択ビット								1-126

備考1. UART2送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

端子名			P70/TXD2/TA0OUT/SDA			端子番号		30 (FP版)			28 (GP版)		
選択機能			レジスタの設定								備 考	参 照	
			0,3EFh	6,3FDh	4,396h	2,396h	0,377h	6,376h					
TA0OUT	O	パルス出力	X	X	X	1	0	X				1-77	
TA0OUT	I	アップ/ダウン極性選択入力	0	X	1	0	0	X				1-77	
TXD2	O	シリアルI/Oデータ出力	X	X	X	X	0	X			1, 2	1-107	
SDA	I	IICデータ入力	0	0	0	0	1	1			1	1-136	
SDA	O	IICデータ出力	0	0	0	0	1	0			1,2	1-136	
P70	I	ポート入力	0	0	0	0	0	X				1-162	
P70	O	ポート出力	1	X	0	0	0	X				1-162	
			0,3EFh	ポートP70方向レジスタ								1-167	
			6,3FDh	P70～P73プルアップ制御レジスタ								1-169	
			4,396h	タイマA0モードレジスタのビット4								1-79	
			2,396h	タイマA0モードレジスタのビット2								1-79	
			0,377h	UART2特殊モードレジスタのIICモード選択ビット								1-136	
			6,376h	UART2特殊モードレジスタ2のSDA出力禁止ビット								1-140	

備考1. UART2送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

備考2. Nチャネルオープンドレイン出力

付録3 端子機能選択時のレジスタ設定

端子名			P67/TXD1		端子番号	31 (FP版)		29 (GP版)						
選択機能					レジスタの設定							備 考	参 照	
					7,3EEh	5,3FDh								
TXD1	O	シリアル/I/Oデータ出力			X	X						1, 2	1-107	
P67	I	ポート入力 (プルアップ無し)			0	0							1-162	
P67	I	ポート入力 (プルアップ有り)			0	1							1-162	
P67	O	ポート出力			1	X							1-162	
					7,3EEh	ポートP67方向レジスタ								1-167
					5,3FDh	P64 ~ P67プルアップ制御レジスタ								1-169

備考1. UART1送受信モードレジスタのシリアル/I/Oモード選択ビットでシリアル/I/Oを有効にしてください

備考2. CMOS出力、Nチャネルオープンドレイン出力を選択可

端子名		P66/RXD1		端子番号	32 (FP版)		30 (GP版)							
選択機能				レジスタの設定								備 考	参 照	
				6,3EEh	5,3FDh									
RXD1	I	シリアル/I/Oデータ入力		0	X							1	1-107	
P66	I	ポート入力 (プルアップ無し)		0	0								1-162	
P66	I	ポート入力 (プルアップ有り)		0	1								1-162	
P66	O	ポート出力		1	X								1-162	
				6,3EEh	ポートP66方向レジスタ									1-167
				5,3FDh	P64～P67プルアップ制御レジスタ									1-169

備考1. UART1送受信モードレジスタのシリアル/I/Oモード選択ビットでシリアル/I/Oを有効にしてください

端子名	P65/CLK1		端子番号	33 (FP版)		31 (GP版)						備 考	参 照	
選択機能			レジスタの設定											
			5,3EEh	5,3FDh	3,3A8h									
CLK1	I	シリアルI/Oクロック入力	0	X	1							1	1-107	
CLK1	O	シリアルI/Oクロック出力	X	X	0							1, 2	1-107	
P65	I	ポート入力 (プルアップ無し)	0	0	X								1-162	
P65	I	ポート入力 (プルアップ有り)	0	1	X								1-162	
P65	O	ポート出力	1	X	X								1-162	
			5,3EEh	ポートP65方向レジスタ										1-167
			5,3FDh	P64 ~ P67プルアップ制御レジスタ										1-169
			3,3A8h	UART1送受信モードレジスタの内 / 外部クロック選択ビット										1-112

備考1. UART1送受信モードレジスタのシリアル/I/Oモード選択ビットでシリアル/I/Oを有効にしてください

備考2. クロック非同期シリアル/I/O選択時は入出力ポートになります

付録3 端子機能選択時のレジスタ設定

端子名			P64/CTS1/RTS1/CLKS1			端子番号	34 (FP版)	32 (GP版)							
選択機能						レジスタの設定					備 考	参 照			
						4,3EEh	5,3FDh	5,3B0h	4,3B0h	4,3ACh			2,3ACh	3,3A8h	
CLKS1	O	シリアル/Oクロック出力				X	X	1	1	1	X	0		1	1-107
RTS1	O	RTS出力				X	X	0	0	0	1	X		1	1-107
CTS1	I	CTS入力				0	X	0	0	0	0	X		1	1-107
P64	I	ポート入力 (プルアップ無し)				0	0	X	X	X	X	X			1-162
P64	I	ポート入力 (プルアップ有り)				0	1	X	X	X	X	X			1-162
P64	O	ポート出力				1	X	X	X	X	X	X			1-162
						4,3EEh	ポートP64方向レジスタ								1-167
						5,3FDh	P64 ~ P67プルアップ制御レジスタ								1-169
						5,3B0h	UART送受信制御レジスタ2のCLK,CLKS選択ビット1								1-115
						4,3B0h	UART送受信制御レジスタ2のCLK,CLKS選択ビット0								1-115
						4,3ACh	UART1送受信制御レジスタ0のCTS/RTS禁止ビット								1-113
						2,3ACh	UART1送受信制御レジスタ0のCTS/RTS機能選択ビット								1-113
						3,3A8h	UART1送受信モードレジスタの内 / 外部クロック選択ビット								1-112

備考1. UART1送受信モードレジスタのシリアル/Oモード選択ビットでシリアル/Oを有効にしてください

端子名			P63/TXD0		端子番号		35 (FP版)		33 (GP版)							
選択機能					レジスタの設定								備 考	参 照		
					3,3EEh	4,3FDh										
TXD0	O	シリアルI/Oデータ出力			X	X								1, 2	1-107	
P63	I	ポート入力 (プルアップ無し)			0	0									1-162	
P63	I	ポート入力 (プルアップ有り)			0	1									1-162	
P63	O	ポート出力			1	X									1-162	
					3,3EEh	ポートP63方向レジスタ										1-167
					4,3FDh	P60 ~ P63プルアップ制御レジスタ										1-169

備考1. UART0送受信モードレジスタのシリアル/Oモード選択ビットでシリアル/Oを有効にしてください

備考2. CMOS出力、Nチャネルオープンドレイン出力を選択可

端子名	P62/RXD0		端子番号	36 (FP版)		34 (GP版)								
選択機能			レジスタの設定									備 考	参 照	
			2,3EEh	4,3FDh										
RXD0	I	シリアルI/Oデータ入力	0	X								1	1-107	
P62	I	ポート入力 (プルアップ無し)	0	0									1-162	
P62	I	ポート入力 (プルアップ有り)	0	1									1-162	
P62	O	ポート出力	1	X									1-162	
			2,3EEh	ポートP62方向レジスタ										1-167
			4,3FDh	P60 ~ P63プルアップ制御レジスタ										1-169

備考1. UART0送受信モードレジスタのシリアル/Oモード選択ビットでシリアル/Oを有効にしてください

付録3 端子機能選択時のレジスタ設定

端子名	P61/CLK0		端子番号	37 (FP版)		35 (GP版)				備 考	参 照		
選択機能			レジスタの設定										
			1,3EEh	4,3FDh	3,3A0h								
CLK0	I	シリアル/Oクロック入力	0	X	1						1	1-107	
CLK0	O	シリアル/Oクロック出力	X	X	0						1, 2	1-107	
P61	I	ポート入力 (プルアップ無し)	0	0	X							1-162	
P61	I	ポート入力 (プルアップ有り)	0	1	X							1-162	
P61	O	ポート出力	1	X	X							1-162	
			1,3EEh	ポートP61方向レジスタ									1-167
			4,3FDh	P60～P63プルアップ制御レジスタ									1-169
			3,3A0h	UART0送受信モードレジスタの内 / 外部クロック選択ビット									1-112

備考1. UART0送受信モードレジスタのシリアル/Oモード選択ビットでシリアル/Oを有効にしてください

備考2. クロック非同期シリアル/O選択時は入出力ポートになります

端子名	P60/CTS0/RTS0		端子番号	38 (FP版)		36 (GP版)							備 考	参 照
選択機能			レジスタの設定											
			0,3EEh	4,3FDh	4,3A4h	2,3A4h								
RTS0	O	RTS出力	X	X	0	1						1	1-107	
CTS0	I	CTS入力	0	X	0	0						1	1-107	
P60	I	ポート入力 (プルアップ無し)	0	0	X	X							1-162	
P60	I	ポート入力 (プルアップ有り)	0	1	X	X							1-162	
P60	O	ポート出力	1	X	X	X							1-162	
			0,3EEh	ポートP60方向レジスタ										1-167
			4,3FDh	P60～P63プルアップ制御レジスタ										1-169
			4,3A4h	UART0送受信制御レジスタ0のCTS/RTS禁止ビット										1-113
			2,3A4h	UART0送受信制御レジスタ0のCTS/RTS機能選択ビット										1-113

備考1. UART0送受信モードレジスタのシリアル/Oモード選択ビットでシリアル/Oを有効にしてください

端子名	P57/RDY/CLKOUT		端子番号	39 (FP版)			37 (GP版)							
選択機能			レジスタの設定									備 考	参 照	
			7,3EBh	3,3FDh	1,004h	0,004h	1,006h	0,006h						
CLKOUT	O	CLKOUT出力	X	X	0	0	00以外						1-40	
RDY	I	RDY入力	X	X	X	1	X	X				1	1-32	
P57	I	ポート入力 (プルアップ無し)	0	0	0	0	0	0					1-162	
P57	I	ポート入力 (プルアップ有り)	0	1	0	0	0	0					1-162	
P57	O	ポート出力	1	X	0	0	0	0					1-162	
			7,3EBh	ポートP57方向レジスタ										1-167
			3,3FDh	P54 ~ P57プルアップ制御レジスタ										1-169
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			1,006h	システムクロック制御レジスタ0のクロック出力機能選択ビット										1-39
			0,006h	システムクロック制御レジスタ0のクロック出力機能選択ビット										1-39

備考1. RDYを有効にするためには該当するチップセレクトのウェイトビットを“0”にする必要があります

付録3 端子機能選択時のレジスタ設定

端子名			P56/ALE	端子番号	40 (FP版)		38 (GP版)						備 考	参 照
選択機能				レジスタの設定										
				6,3EBh	3,3FDh	1,004h	0,004h							
ALE	O	ALE出力		X	X	X	1							1-31
P56	I	ポート入力 (プルアップ無し)		0	0	0	0							1-162
P56	I	ポート入力 (プルアップ有り)		0	1	0	0							1-162
P56	O	ポート出力		1	X	0	0							1-162
				6,3EBh	ポートP56方向レジスタ									1-167
				3,3FDh	P54 ~ P57プルアップ制御レジスタ									1-169
				1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
				0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

端子名			P55/HOLD	端子番号	41 (FP版)			39 (GP版)					
選択機能				レジスタの設定								備 考	参 照
				5,3EBh	3,3FDh	1,004h	0,004h						
HOLD	I	HOLD入力		X	X	X	1						1-33
P55	I	ポート入力 (プルアップ無し)		0	0	0	0						1-162
P55	I	ポート入力 (プルアップ有り)		0	1	0	0						1-162
P55	O	ポート出力		1	X	0	0						1-162
				5,3EBh	ポートP55方向レジスタ								1-167
				3,3FDh	P54 ~ P57プルアップ制御レジスタ								1-169
				1,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23
				0,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23

端子名			P54/HLDA		端子番号	42 (FP版)		40 (GP版)						
選択機能					レジスタの設定								備 考	参 照
					4,3EBh	3,3FDh	1,004h	0,004h						
HLDA	O	HLDA出力			X	X	X	1						1-28
P54	I	ポート入力 (プルアップ無し)			0	0	0	0						1-162
P54	I	ポート入力 (プルアップ有り)			0	1	0	0						1-162
P54	O	ポート出力			1	X	0	0						1-162
					4,3EBh	ポートP54方向レジスタ								1-167
					3,3FDh	P54 ~ P57プルアップ制御レジスタ								1-169
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23

付録3 端子機能選択時のレジスタ設定

端子名	P53/BCLK		端子番号	43 (FP版)		41 (GP版)						備 考	参 照
選択機能			レジスタの設定										
			3,3EBh	2,3FDh	7,004h	1,004h	0,004h						
BCLK	O	BCLK出力	X	X	0	X	1						1-28
P53	I	ポート入力 (プルアップ無し)	0	0	X	0	0						1-162
P53	I	ポート入力 (プルアップ有り)	0	1	X	0	0						1-162
P53	O	ポート出力	1	X	X	0	0						1-162
			3,3EBh	ポートP53方向レジスタ									1-167
			2,3FDh	P50～P53プルアップ制御レジスタ									1-169
			7,004h	プロセッサモードレジスタ0のBCLK出力禁止ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

端子名	P52/ $\overline{\text{RD}}$		端子番号	44 (FP版)		42 (GP版)						備 考	参 照
選択機能			レジスタの設定										
			2,3EBh	2,3FDh	1,004h	0,004h							
$\overline{\text{RD}}$	O	$\overline{\text{RD}}$ 出力	X	X	X	1							1-28
P52	I	ポート入力 (プルアップ無し)	0	0	0	0							1-162
P52	I	ポート入力 (プルアップ有り)	0	1	0	0							1-162
P52	O	ポート出力	1	X	0	0							1-162
			2,3EBh	ポートP52方向レジスタ									1-167
			2,3FDh	P50～P53プルアップ制御レジスタ									1-169
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

端子名	P51/WRH/BHE		端子番号	45 (FP版)		43 (GP版)									
選択機能			レジスタの設定										備 考	参 照	
			1,3EBh	2,3FDh	2,004h	1,004h	0,004h								
BHE	O	BHE出力	X	X	0	X	1							1-28	
WRH	O	WRH出力	X	X	1	X	1							1-28	
P51	I	ポート入力 (プルアップ無し)	0	0	X	0	0							1-162	
P51	I	ポート入力 (プルアップ有り)	0	1	X	0	0							1-162	
P51	O	ポート出力	1	X	X	0	0							1-162	
			1,3EBh	ポートP51方向レジスタ											1-167
			2,3FDh	P50～P53プルアップ制御レジスタ											1-169
			2,004h	プロセッサモードレジスタ0のR/Wモード選択ビット											1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット											1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット											1-23

端子名	P50/WRL/WR		端子番号	46 (FP版)		44 (GP版)						備 考	参 照	
選択機能			レジスタの設定											
			0,3EBh	2,3FDh	2,004h	1,004h	0,004h							
WR	O	WR出力	X	X	0	X	1						1-28	
WRL	O	WRL出力	X	X	1	X	1						1-28	
P50	I	ポート入力 (プルアップ無し)	0	0	X	0	0						1-162	
P50	I	ポート入力 (プルアップ有り)	0	1	X	0	0						1-162	
P50	O	ポート出力	1	X	X	0	0						1-162	
			0,3EBh	ポートP50方向レジスタ										1-167
			2,3FDh	P50～P53プルアップ制御レジスタ										1-169
			2,004h	プロセッサモードレジスタ0のR/Wモード選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23

付録3 端子機能選択時のレジスタ設定

端子名			P47/CS3		端子番号	47 (FP版)		45 (GP版)						備 考	参 照	
選択機能					レジスタの設定											
					7,3EAh	1,3FDh	3,008h	1,004h	0,004h							
CS3	O	チップセレクト出力	X	X	1	X	1							1-28		
P47	I	ポート入力 (プルアップ無し)	0 0	0 0	X 0	0 X	0 1							1-162		
P47	I	ポート入力 (プルアップ有り)	0 0	1 1	X 0	0 X	0 1							1-162		
P47	O	ポート出力	1 1	X X	X 0	0 X	0 1							1-162		
					7,3EAh	ポートP47方向レジスタ										1-167
					1,3FDh	P44 ~ P47プルアップ制御レジスタ										1-169
					3,008h	チップセレクト制御レジスタのCS3出力許可ビット1										1-29
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23

端子名	P46/CS2		端子番号	48 (FP版)		46 (GP版)						備 考	参 照	
選択機能			レジスタの設定											
			6,3EAh	1,3FDh	2,008h	1,004h	0,004h							
CS2	O	チップセレクト出力	X	X	1	X	1						1-28	
P46	I	ポート入力 (プルアップ無し)	0 0	0 0	X 0	0 X	0 1						1-162	
P46	I	ポート入力 (プルアップ有り)	0 0	1 1	X 0	0 X	0 1						1-162	
P46	O	ポート出力	1 1	X X	X 0	0 X	0 1						1-162	
			6,3EAh	ポートP46方向レジスタ										1-167
			1,3FDh	P44 ~ P47プルアップ制御レジスタ										1-169
			2,008h	チップセレクト制御レジスタのCS2出力許可ビット										1-29
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23

端子名			P45/CS1		端子番号	49 (FP版)		47 (GP版)						備 考	参 照
選択機能					レジスタの設定										
					5,3EAh	1,3FDh	1,008h	1,004h	0,004h						
CS1	O	チップセレクト出力	X	X	1	X	1							1-28	
P45	I	ポート入力 (プルアップ無し)	0 0	0 0	X 0	0 X	0 1							1-162	
P45	I	ポート入力 (プルアップ有り)	0 0	1 0	X 0	0 X	0 1							1-162	
P45	O	ポート出力	1 1	X X	X 0	0 X	0 1							1-162	
					5,3EAh	ポートP45方向レジスタ									1-167
					1,3FDh	P44 ~ P47プルアップ制御レジスタ									1-169
					1,008h	チップセレクト制御レジスタのCS1出力許可ビット									1-29
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

付録3 端子機能選択時のレジスタ設定

端子名	P44/CS0		端子番号	50 (FP版)		48 (GP版)						備 考	参 照	
選択機能			レジスタの設定											
			4,3EAh	1,3FDh	0,008h	1,004h	0,004h							
CS0	O	チップセレクト出力	X	X	1	X	1						1-28	
P44	I	ポート入力 (プルアップ無し)	0 0	0 0	X 0	0 X	0 1						1-162	
P44	I	ポート入力 (プルアップ有り)	0 0	1 0	X 0	0 X	0 1						1-162	
P44	O	ポート出力	1 1	X X	X 0	0 X	0 1						1-162	
			4,3EAh	ポートP44方向レジスタ										1-167
			1,3FDh	P44～P47プルアップ制御レジスタ										1-169
			0,008h	チップセレクト制御レジスタのCS0出力許可ビット										1-29
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23

端子名	P43/A19		端子番号	51 (FP版)		49 (GP版)						備 考	参 照	
選択機能			レジスタの設定											
			3,3EAh	0,3FDh	6,004h	5,004h	4,004h	1,004h	0,004h					
A19	O	アドレスバス	X	X	0	11以外		X	1				1-28	
P43	I	ポート入力 (プルアップ無し)	0 0 0	0 0 0	X 0 1	X 1 11以外	X 1 X	0 0 X	0 1 1				1-162	
P43	I	ポート入力 (プルアップ有り)	0 0 0	1 1 1	X 0 1	X 1 11以外	X 1 X	0 0 X	0 1 1				1-162	
P43	O	ポート出力	1 1 1	X X X	X 0 1	X 1 11以外	X 1 X	0 0 X	0 1 1				1-162	
			3,3EAh	ポートP43方向レジスタ										1-167
			0,3FDh	P40 ~ P43プルアップ制御レジスタ										1-169
			6,004h	プロセッサモードレジスタ0のポートP40 ~ P43機能選択ビット										1-23
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23

端子名	P42/A18		端子番号	52 (FP版)		50 (GP版)								
選択機能			レジスタの設定									備 考	参 照	
			2,3EAh	0,3FDh	6,004h	5,004h	4,004h	1,004h	0,004h					
A18	O	アドレスバス	X	X	0	11以外		X	1				1-28	
P42	I	ポート入力 (プルアップ無し)	0 0 0	0 0 0	X 0 1	X 1 11以外	X 1	0 0 X	0 1 1				1-162	
P42	I	ポート入力 (プルアップ有り)	0 0 0	1 1 1	X 0 1	X 1 11以外	X 1	0 0 X	0 1 1				1-162	
P42	O	ポート出力	1 1 1	X X X	X 0 1	X 1 11以外	X 1	0 0 X	0 1 1				1-162	
			2,3EAh	ポートP42方向レジスタ										1-167
			0,3FDh	P40 ~ P43プルアップ制御レジスタ										1-169
			6,004h	プロセッサモードレジスタ0のポートP40 ~ P43機能選択ビット										1-23
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23

付録3 端子機能選択時のレジスタ設定

端子名			P41/A17		端子番号		53 (FP版)		51 (GP版)							備 考	参 照
選択機能					レジスタの設定												
					1,3EAh	0,3FDh	6,004h	5,004h	4,004h	1,004h	0,004h						
A17	O	アドレスバス			X	X	0	11以外		X	1					1-28	
P41	I	ポート入力 (プルアップ無し)			0	0	X	X	X	0	0					1-162	
					0	0	0	1	1	0	1						
					0	0	1	11以外		X	1						
P41	I	ポート入力 (プルアップ有り)			0	1	X	X	X	0	0					1-162	
					0	1	0	1	1	0	1						
					0	1	1	11以外		X	1						
P41	O	ポート出力			1	X	X	X	X	0	0					1-162	
					1	X	0	1	1	0	1						
					1	X	1	11以外		X	1						
					1,3EAh	ポートP41方向レジスタ											1-167
					0,3FDh	P40 ~ P43プルアップ制御レジスタ											1-169
					6,004h	プロセッサモードレジスタ0のポート P40 ~ P43機能選択ビット											1-23
					5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット											1-23
					4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット											1-23
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット											1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット											1-23

端子名			P40/A16		端子番号		54 (FP版)		52 (GP版)						備 考	参 照
選択機能					レジスタの設定											
					0,3EAh	0,3FDh	6,004h	5,004h	4,004h	1,004h	0,004h					
A16	O	アドレスバス	X	X	0	11以外		X	1						1-28	
P40	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0	0						1-162	
			0	0	0	1	1	0	1							
			0	0	1	11以外		X	1							
P40	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0	0						1-162	
			0	1	0	1	1	0	1							
			0	1	1	11以外		X	1							
P40	O	ポート出力	1	X	X	X	X	0	0						1-162	
			1	X	0	1	1	0	1							
			1	X	1	11以外		X	1							
			0,3EAh	ポートP40方向レジスタ										1-167		
			0,3FDh	P40 ~ P43プルアップ制御レジスタ										1-169		
			6,004h	プロセッサモードレジスタ0のポートP40 ~ P43機能選択ビット										1-23		
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23		
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23		
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23		
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23		

端子名			P37/A15		端子番号	55 (FP版)		53 (GP版)								
選択機能					レジスタの設定								備 考	参 照		
					7,3E7h	7,3FCh	5,004h	4,004h	1,004h	0,004h						
A15	O	アドレスバス			X	X	11以外		X	1					1-28	
P37	I	ポート入力 (プルアップ無し)			0 0	0 0	X 1	X 1	0 0	0 1					1-162	
P37	I	ポート入力 (プルアップ有り)			0 0	1 1	0 1	0 1	0 0	0 1					1-162	
P37	O	ポート出力			1 1	X X	0 0	0 0	0 0	0 1					1-162	
					7,3E7h	ポートP37方向レジスタ										1-167
					7,3FCh	P34 ~ P37プルアップ制御レジスタ										1-169
					5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
					4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23

付録3 端子機能選択時のレジスタ設定

端子名			P36/A14	端子番号	56 (FP版)		54 (GP版)								
選択機能				レジスタの設定								備 考	参 照		
				6,3E7h	7,3FCh	5,004h	4,004h	1,004h	0,004h						
A14	O	アドレスバス		X	X	11以外		X	1					1-28	
P36	I	ポート入力 (プルアップ無し)		0 0	0 0	X 1	X 1	0 0	0 1					1-162	
P36	I	ポート入力 (プルアップ有り)		0 0	1 1	0 1	0 1	0 0	0 1					1-162	
P36	O	ポート出力		1 1	X X	0 0	0 0	0 0	0 1					1-162	
				6,3E7h	ポートP36方向レジスタ										1-167
				7,3FCh	P34 ~ P37プルアップ制御レジスタ										1-169
				5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
				4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
				1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
				0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23

端子名	P35/A13		端子番号	57 (FP版)		55 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			5,3E7h	7,3FCh	5,004h	4,004h	1,004h	0,004h					
A13	O	アドレスバス	X	X	11以外		X	1					1-28
P35	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	0 0	0 1					1-162
P35	I	ポート入力 (プルアップ有り)	0 0	1 1	0 1	0 1	0 0	0 1					1-162
P35	O	ポート出力	1 1	X X	0 0	0 0	0 0	0 1					1-162
			5,3E7h	ポートP35方向レジスタ									1-167
			7,3FCh	P34 ~ P37プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

端子名			P34/A12		端子番号	58 (FP版)		56 (GP版)					
選択機能			レジスタの設定								備 考	参 照	
			4,3E7h	7,3FCh	5,004h	4,004h	1,004h	0,004h					
A12	O	アドレスバス	X	X	11以外		X	1					1-28
P34	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	0 0	0 1					1-162
P34	I	ポート入力 (プルアップ有り)	0 0	1 1	0 1	0 1	0 0	0 1					1-162
P34	O	ポート出力	1 1	X X	0 0	0 0	0 0	0 1					1-162
			4,3E7h	ポートP34方向レジスタ									1-167
			7,3FCh	P34 ~ P37プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

付録3 端子機能選択時のレジスタ設定

端子名			P33/A11		端子番号		59 (FP版)		57 (GP版)						
選択機能					レジスタの設定								備 考	参 照	
					3,3E7h	6,3FCh	5,004h	4,004h	1,004h	0,004h					
A11	O	アドレスバス			X	X	11以外		X	1					1-28
P33	I	ポート入力 (プルアップ無し)			0 0	0 0	X 1	X 1	0 0	0 1					1-162
P33	I	ポート入力 (プルアップ有り)			0 0	1 1	0 1	0 1	0 0	0 1					1-162
P33	O	ポート出力			1 1	X X	0 0	0 0	0 0	0 1					1-162
					3,3E7h	ポートP33方向レジスタ									1-167
					6,3FCh	P30～P33プルアップ制御レジスタ									1-169
					5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
					4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

端子名			P32/A10		端子番号	60 (FP版)		58 (GP版)							
選択機能					レジスタの設定								備 考	参 照	
					2,3E7h	6,3FCh	5,004h	4,004h	1,004h	0,004h					
A10	O	アドレスバス			X	X	11以外		X	1					1-28
P32	I	ポート入力 (プルアップ無し)			0 0	0 0	X 1	X 1	0 0	0 1					1-162
P32	I	ポート入力 (プルアップ有り)			0 0	1 1	0 1	0 1	0 0	0 1					1-162
P32	O	ポート出力			1 1	X X	0 0	0 0	0 0	0 1					1-162
					2,3E7h	ポートP32方向レジスタ									1-167
					6,3FCh	P30 ~ P33プルアップ制御レジスタ									1-169
					5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
					4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

端子名			P31/A9	端子番号	61 (FP版)		59 (GP版)							
選択機能				レジスタの設定								備 考	参 照	
				1,3E7h	6,3FCh	5,004h	4,004h	1,004h	0,004h					
A9	O	アドレスバス		X	X	11以外		X	1					1-28
P31	I	ポート入力 (プルアップ無し)		0 0	0 0	X 1	X 1	0 0	0 1					1-162
P31	I	ポート入力 (プルアップ有り)		0 0	1 1	X 1	X 1	0 0	0 1					1-162
P31	O	ポート出力		1 1	X X	X 1	X 1	0 0	0 1					1-162
				1,3E7h	ポートP31方向レジスタ									1-167
				6,3FCh	P30～P33プルアップ制御レジスタ									1-169
				5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
				4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
				1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
				0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23

付録3 端子機能選択時のレジスタ設定

端子名	P30/A8(/-/D7)		Pin No.	63 (FP版)		61 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			0,3E7h	6,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
A8/D7	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28
A8/-	O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28
A8	O	アドレスバス	X	X	0	0	X	1	X				1-28
P30	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162
P30	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162
P30	O	ポート出力	1	X	X	X	0	0	X				1-162
			0,3E7h	ポートP30方向レジスタ									1-167
			6,3FCh	P30 ~ P33プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			BYTE	BYTE端子									1-26

端子名	P27/A7(/D7/D6)		端子番号	65 (FP版)		63 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			7,3E6h	5,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
A7/D6	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28
A7/D7	I/O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28
A7	O	アドレスバス	X	X	0	0	X	1	X				1-28
P27	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162
P27	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162
P27	O	ポート出力	1	X	X	X	0	0	X				1-162
			7,3E6h	ポートP27方向レジスタ									1-167
			5,3FCh	P24～P27プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			BYTE	BYTE端子									1-26

端子名	P26/A6(/D6/D5)		端子番号	66 (FP版)		64 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			6,3E6h	5,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
A6/D5	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28
A6/D6	I/O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28
A6	O	アドレスバス	X	X	0	0	X	1	X				1-28
P26	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162
P26	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162
P26	O	ポート出力	1	X	X	X	0	0	X				1-162
			6,3E6h	ポートP26方向レジスタ									1-167
			5,3FCh	P24～P27プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			BYTE	BYTE端子									1-26

付録3 端子機能選択時のレジスタ設定

端子名	P25/A5(/D5/D4)		端子番号	67 (FP版)		65 (GP版)					備 考	参 照	
選択機能			レジスタの設定										
			5,3E6h	5,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
A5/D4	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28
A5/D5	I/O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28
A5	O	アドレスバス	X	X	0	0	X	1	X				1-28
P25	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162
P25	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162
P25	O	ポート出力	1	X	X	X	0	0	X				1-162
			5,3E6h	ポートP25方向レジスタ									1-167
			5,3FCh	P24 ~ P27プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			BYTE	BYTE端子									1-26

端子名	P24/A4(/D4/D3)		端子番号	68 (FP版)		66 (GP版)					備 考	参 照	
選択機能			レジスタの設定										
			4,3E6h	5,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
A4/D3	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28
A4/D4	I/O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28
A4	O	アドレスバス	X	X	0	0	X	1	X				1-28
P24	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162
P24	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162
P24	O	ポート出力	1	X	X	X	0	0	X				1-162
			4,3E6h	ポートP24方向レジスタ									1-167
			5,3FCh	P24 ~ P27プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			BYTE	BYTE端子									1-26

端子名	P23/A3(/D3/D2)		端子番号	69 (FP版)		67 (GP版)								
選択機能			レジスタの設定									備 考	参 照	
			3,3E6h	4,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE					
A3/D2	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28	
A3/D3	I/O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28	
A3	O	アドレスバス	X	X	0	0	X	1	X				1-28	
P23	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162	
P23	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162	
P23	O	ポート出力	1	X	X	X	0	0	X				1-162	
			3,3E6h	ポートP23方向レジスタ										1-167
			4,3FCh	P20 ~ P23プルアップ制御レジスタ										1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			BYTE	BYTE端子										1-26

付録3 端子機能選択時のレジスタ設定

端子名	P22/A2/(D2/D1)		端子番号	70 (FP版)		68 (GP版)						備 考	参 照
選択機能			レジスタの設定										
			2,3E6h	4,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
A2/D1	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28
A2/D2	I/O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28
A2	O	アドレスバス	X	X	0	0	X	1	X				1-28
P22	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162
P22	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162
P22	O	ポート出力	1	X	X	X	0	0	X				1-162
			2,3E6h	ポートP22方向レジスタ									1-167
			4,3FCh	P20 ~ P23プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			BYTE	BYTE端子									1-26

端子名	P21/A1/(D1/D0)		端子番号	71 (FP版)		69 (GP版)								
選択機能			レジスタの設定									備 考	参 照	
			1,3E6h	4,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE					
A1/D0	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28	
A1/D1	I/O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28	
A1	O	アドレスバス	X	X	0	0	X	1	X				1-28	
P21	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162	
P21	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162	
P21	O	ポート出力	1	X	X	X	0	0	X				1-162	
			1,3E6h	ポートP21方向レジスタ										1-167
			4,3FCh	P20 ~ P23プルアップ制御レジスタ										1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			BYTE	BYTE端子										1-26

端子名	P20/A0(/D0/-)		端子番号	72 (FP版)		70 (GP版)								
選択機能			レジスタの設定									備 考	参 照	
			0,3E6h	4,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE					
A0/-	I/O	マルチプレクスバス	X X	X X	0 1	1 0	X X	1 1	L L				1-28	
A0/D0	I/O	マルチプレクスバス	X X	X X	X 1	1 X	X X	1 1	H H				1-28	
A0	O	アドレスバス	X	X	0	0	X	1	X				1-28	
P20	I	ポート入力 (プルアップ無し)	0	0	X	X	0	0	X				1-162	
P20	I	ポート入力 (プルアップ有り)	0	1	X	X	0	0	X				1-162	
P20	O	ポート出力	1	X	X	X	0	0	X				1-162	
			0,3E6h	ポートP20方向レジスタ										1-167
			4,3FCh	P20～P23プルアップ制御レジスタ										1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			BYTE	BYTE端子										1-26

付録3 端子機能選択時のレジスタ設定

端子名			P17/D15/INT5		端子番号	73 (FP版)		71 (GP版)					
選択機能			レジスタの設定									備 考	参 照
			7,3E3h	3,3FCh	5,004h		4,004h	1,004h	0,004h	BYTE			
D15	I/O	データバス	X	X	11以外		X	1	L				1-28
INT5	I	割り込み入力	0 0	X X	X X	X X	0 X	0 1	X H				1-60
P17	I	ポート入力 (プルアップ無し)	0 0	0 0	X X	X X	0 X	0 1	X H				1-162
P17	I	ポート入力 (プルアップ有り)	0 0	1 1	X X	X X	0 X	0 1	X H				1-162
P17	O	ポート出力	1 1	X X	X X	X X	0 X	0 1	X H				1-162
			7,3E3h	ポートP17方向レジスタ									1-167
			3,3FCh	P14～P17プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			BYTE	BYTE端子									1-26

端子名			P16/D14/INT4			端子番号	74 (FP版)		72 (GP版)					
選択機能			レジスタの設定									備 考	参 照	
			6,3E3h	3,3FCh	5,004h		4,004h	1,004h	0,004h	BYTE				
D14	I/O	データバス	X	X	11以外		X	1	L				1-28	
INT4	I	割り込み入力	0 0	X X	X X	X X	0 X	0 1	X H				1-60	
P16	I	ポート入力 (プルアップ無し)	0 0	0 0	X X	X X	0 X	0 1	X H				1-162	
P16	I	ポート入力 (プルアップ有り)	0 0	1 1	X X	X X	0 X	0 1	X H				1-162	
P16	O	ポート出力	1 1	X X	X X	X X	0 X	0 1	X H				1-162	
			6,3E3h	ポートP16方向レジスタ									1-167	
			3,3FCh	P14～P17プルアップ制御レジスタ									1-169	
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23	
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23	
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23	
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23	
			BYTE	BYTE端子									1-26	

端子名	P15/D13/INT3		端子番号	75 (FP版)		73 (GP版)								
機能選択			レジスタの設定									備 考	参 照	
			5,3E3h	3,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE					
D13	I/O	データバス	X	X	11以外		X	1	L				1-28	
INT3	I	割り込み入力	0 0	X X	X X	X X	0 X	0 1	X H				1-60	
P15	I	ポート入力 (プルアップ無し)	0 0	0 0	X X	X X	0 X	0 1	X H				1-162	
P15	I	ポート入力 (プルアップ有り)	0 0	1 1	X X	X X	0 X	0 1	X H				1-162	
P15	O	ポート出力	1 1	X X	X X	X X	0 X	0 1	X H				1-162	
			5,3E3h	ポートP15方向レジスタ										1-167
			3,3FCh	P14～P17プルアップ制御レジスタ										1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			BYTE	BYTE端子										1-26

付録3 端子機能選択時のレジスタ設定

端子名			P14/D12		端子番号	76 (FP版)		74 (GP版)							
選択機能			レジスタの設定									備 考	参 照		
			4,3E3h	3,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE						
D12	I/O	データバス	X	X	11以外		X	1	L					1-28	
P14	I	ポート入力 (プルアップ無し)	0 0	0 0	X X	X X	0 X	0 1	X H					1-162	
P14	I	ポート入力 (プルアップ有り)	0 0	1 1	X X	X X	0 X	0 1	X H					1-162	
P14	O	ポート出力	1 1	X X	X X	X X	0 X	0 1	X H					1-162	
			4,3E3h	ポートP14方向レジスタ										1-167	
			3,3FCh	P14～P17プルアップ制御レジスタ										1-169	
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23	
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23	
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23	
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23	
			BYTE	BYTE端子										1-26	

端子名			P13/D11		端子番号	77 (FP版)		75 (GP版)							
選択機能			レジスタの設定										備 考	参 照	
			3,3E3h	2,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE						
D11	I/O	データバス	X	X	11以外		X	1	L					1-28	
P13	I	ポート入力 (プルアップ無し)	0 0	0 0	X X	X X	0 X	0 1	X H					1-162	
P13	I	ポート入力 (プルアップ有り)	0 0	1 1	X X	X X	0 X	0 1	X H					1-162	
P13	O	ポート出力	1 1	X X	X X	X X	0 X	0 1	X H					1-162	
			3,3E3h	ポートP13方向レジスタ											1-167
			2,3FCh	P10～P13プルアップ制御レジスタ											1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット											1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット											1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット											1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット											1-23
			BYTE	BYTE端子											1-26

端子名			P12/D10		端子番号	78 (FP版)		76 (GP版)							
選択機能			レジスタの設定									備 考	参 照		
			2,3E3h	2,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE						
D10	I/O	データバス	X	X	11以外		X	1	L					1-28	
P12	I	ポート入力 (プルアップ無し)	0 0	0 0	X X	X X	0 X	0 1	X H					1-162	
P12	I	ポート入力 (プルアップ有り)	0 0	1 1	X X	X X	0 X	0 1	X H					1-162	
P12	O	ポート出力	1 1	X X	X X	X X	0 X	0 1	X H					1-162	
			2,3E3h	ポートP12方向レジスタ										1-167	
			2,3FCh	P10～P13プルアップ制御レジスタ										1-169	
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23	
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23	
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23	
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23	
			BYTE	BYTE端子										1-26	

付録3 端子機能選択時のレジスタ設定

端子名			P11/D9		端子番号	79 (FP版)		77 (GP版)				
選択機能			レジスタの設定								備 考	参 照
			1,3E3h	2,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE			
D9	I/O	データバス	X	X	11以外		X	1	L			1-28
P11	I	ポート入力 (プルアップ無し)	0 0	0 0	X X	X X	0 X	0 1	X H			1-162
P11	I	ポート入力 (プルアップ有り)	0 0	1 1	X X	X X	0 X	0 1	X H			1-162
P11	O	ポート出力	1 1	X X	X X	X X	0 X	0 1	X H			1-162
			1,3E3h	ポートP11方向レジスタ								1-167
			2,3FCh	P10～P13プルアップ制御レジスタ								1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット								1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット								1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23
			BYTE	BYTE端子								1-26

端子名			P10/D8		端子番号	80 (FP版)		78 (GP版)					
選択機能			レジスタの設定									備 考	参 照
			0,3E3h	2,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
D8	I/O	データバス	X	X	11以外		X	1	L			1-28	
P10	I	ポート入力 (プルアップ無し)	0 0	0 0	X X	X X	0 X	0 1	X H			1-162	
P10	I	ポート入力 (プルアップ有り)	0 0	1 1	X X	X X	0 X	0 1	X H			1-162	
P10	O	ポート出力	1 1	X X	X X	X X	0 X	0 1	X H			1-162	
			0,3E3h	ポートP10方向レジスタ								1-167	
			2,3FCh	P10～P13プルアップ制御レジスタ								1-169	
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット								1-23	
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット								1-23	
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23	
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23	
			BYTE	BYTE端子								1-26	

端子名			P07/D7		端子番号	81 (FP版)		79 (GP版)						
選択機能					レジスタの設定							備 考	参 照	
					7,3E2h	1,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE			
D7	I/O	データバス	X	X	11以外		X	1	X				1-28	
P07	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	X 0	0 1	X H				1-162	
P07	I	ポート入力 (プルアップ有り)	0 0	1 1	X 1	X 1	0 0	0 1	X H				1-162	
P07	O	ポート出力	1 1	X X	X 1	X 1	0 0	0 1	X H				1-162	
					7,3E2h	ポートP07方向レジスタ								1-167
					1,3FCh	P04～P07プルアップ制御レジスタ								1-169
					5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット								1-23
					4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット								1-23
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット								1-23
					BYTE	BYTE端子								1-26

付録3 端子機能選択時のレジスタ設定

端子名	P06/D6		端子番号	82 (FP版)		80 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			6,3E2h	1,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
D6	I/O	データバス	X	X	11以外		X	1	X				1-28
P06	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	0 0	0 1	X H				1-162
P06	I	ポート入力 (プルアップ有り)	0 0	1 1	X 1	X 1	0 0	0 1	X H				1-162
P06	O	ポート出力	1 1	X X	X 1	X 1	0 0	0 1	X H				1-162
			6,3E2h	ポートP06方向レジスタ									1-167
			1,3FCh	P04 ~ P07プルアップ制御レジスタ									1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
			BYTE	BYTE端子									1-26

端子名	P05/D5		端子番号	83 (FP版)		81 (GP版)								
選択機能			レジスタの設定									備 考	参 照	
			5,3E2h	1,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE					
D5	I/O	データバス	X	X	11以外		X	1	X				1-28	
P05	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	0 0	0 1	X H				1-162	
P05	I	ポート入力 (プルアップ有り)	0 0	1 1	X 1	X 1	0 0	0 1	X H				1-162	
P05	O	ポート出力	1 1	X X	X 1	X 1	0 0	0 1	X H				1-162	
			5,3E2h	ポートP05方向レジスタ										1-167
			1,3FCh	P04 ~ P07プルアップ制御レジスタ										1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			BYTE	BYTE端子										1-26

端子名	P04/D4		端子番号	84 (FP版)		82 (GP版)									
選択機能			レジスタの設定										備 考	参 照	
			4,3E2h	1,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE						
D4	I/O	データバス	X	X	11以外		X	1	X					1-28	
P04	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	0 0	0 1	X H					1-162	
P04	I	ポート入力 (プルアップ有り)	0 0	1 1	X 1	X 1	0 0	0 1	X H					1-162	
P04	O	ポート出力	1 1	X X	X 1	X 1	0 0	0 1	X H					1-162	
			4,3E2h	ポートP04方向レジスタ											1-167
			1,3FCh	P04 ~ P07プルアップ制御レジスタ											1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット											1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット											1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット											1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット											1-23
			BYTE	BYTE端子											1-26

付録3 端子機能選択時のレジスタ設定

端子名			P03/D3		端子番号	85 (FP版)		83 (GP版)						
選択機能			レジスタの設定									備 考	参 照	
			3,3E2h	0,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE					
D3	I/O	データバス	X	X	11以外		X	1	X				1-28	
P03	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	0 0	0 1	X H				1-162	
P03	I	ポート入力 (プルアップ有り)	0 0	1 1	X 1	X 1	0 0	0 1	X H				1-162	
P03	O	ポート出力	1 1	X X	X 1	X 1	0 0	0 1	X H				1-162	
			3,3E2h	ポートP03方向レジスタ										1-167
			0,3FCh	P00～P03プルアップ制御レジスタ										1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			BYTE	BYTE端子										1-26

端子名			P02/D2		端子番号	86 (FP版)		84 (GP版)						
選択機能			レジスタの設定								備 考	参 照		
			2,3E2h	0,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE					
D2	I/O	データバス	X	X	11以外		X	1	X				1-28	
P02	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	0 0	0 1	X H				1-162	
P02	I	ポート入力 (プルアップ有り)	0 0	1 1	X 1	X 1	0 0	0 1	X H				1-162	
P02	O	ポート出力	1 1	X X	X 1	X 1	0 0	0 1	X H				1-162	
			2,3E2h	ポートP02方向レジスタ										1-167
			0,3FCh	P00～P03プルアップ制御レジスタ										1-169
			5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット										1-23
			1,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			0,004h	プロセッサモードレジスタ0のプロセッサモードビット										1-23
			BYTE	BYTE端子										1-26

端子名			P01/D1		端子番号		87 (FP版)		85 (GP版)						
選択機能					レジスタの設定								備 考	参 照	
					1,3E2h	0,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE				
D1	I/O	データバス	X	X	11以外		X	1	X					1-28	
P01	I	ポート入力 (プルアップ無し)	0 0	0 0	X 1	X 1	0 0	0 1	X H					1-162	
P01	I	ポート入力 (プルアップ有り)	0 0	1 1	X 1	X 1	0 0	0 1	X H					1-162	
P01	O	ポート出力	1 1	X X	X 1	X 1	0 0	0 1	X H					1-162	
					1,3E2h	ポートP01方向レジスタ									1-167
					0,3FCh	P00～P03プルアップ制御レジスタ									1-169
					5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
					4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23
					1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
					0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23
					BYTE	BYTE端子									1-26

付録3 端子機能選択時のレジスタ設定

端子名			P00/D0	端子番号	88 (FP版)		86 (GP版)								
選択機能				レジスタの設定								備 考	参 照		
				0,3E2h	0,3FCh	5,004h	4,004h	1,004h	0,004h	BYTE					
D0	I/O	データバス		X	X	11以外		X	1	X				1-28	
P00	I	ポート入力 (プルアップ無し)		0 0	0 0	X 1	X 1	0 0	0 1	X H				1-162	
P00	I	ポート入力 (プルアップ有り)		0 0	1 1	X 1	X 1	0 0	0 1	X H				1-162	
P00	O	ポート出力		1 1	X X	X 1	X 1	0 0	0 1	X H				1-162	
				0,3E2h	ポートP00方向レジスタ									1-167	
				0,3FCh	P00 ~ P03プルアップ制御レジスタ									1-169	
				5,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23	
				4,004h	プロセッサモードレジスタ0のマルチプレクスバス空間選択ビット									1-23	
				1,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23	
				0,004h	プロセッサモードレジスタ0のプロセッサモードビット									1-23	
				BYTE	BYTE端子									1-26	

端子名			P107/AN7/KI3		端子番号	89 (FP版)		87 (GP版)							
選択機能					レジスタの設定								備 考	参 照	
					7,3F6h	5,3FEh									
KI3	I	キー入力			0	X								1-61	
AN7	I	A-D入力			0	0								1-148	
P107	I	ポート入力 (プルアップ無し)			0	0								1-162	
P107	I	ポート入力 (プルアップ有り)			0	1								1-162	
P107	O	ポート出力			1	X								1-162	
					7,3F6h	ポートP107方向レジスタ									1-167
					5,3FEh	P104 ~ P107プルアップ制御レジスタ									1-169

端子名	P106/AN6/KI2		端子番号	90 (FP版)		88 (GP版)						備 考	参 照
選択機能			レジスタの設定										
			6,3F6h	5,3FEh									
KI2	I	キー入力	0	X									1-61
AN6	I	A-D入力	0	0									1-148
P106	I	ポート入力 (プルアップ無し)	0	0									1-162
P106	I	ポート入力 (プルアップ有り)	0	1									1-162
P106	O	ポート出力	1	X									1-162
			6,3F6h	ポートP106方向レジスタ									1-167
			5,3FEh	P104 ~ P107プルアップ制御レジスタ									1-169

端子名			P105/AN5/KI1		端子番号	91 (FP版)		89 (GP)版						
選択機能					レジスタの設定								備 考	参 照
					5,3F6h	5,3FEh								
KI1	I	キー入力			0	X								1-61
AN5	I	A-D入力			0	0								1-148
P105	I	ポート入力 (プルアップ無し)			0	0								1-162
P105	I	ポート入力 (プルアップ有り)			0	1								1-162
P105	O	ポート出力			1	X								1-162
					5,3F6h	ポートP105方向レジスタ								1-167
					5,3FEh	P104 ~ P107プルアップ制御レジスタ								1-169

付録3 端子機能選択時のレジスタ設定

端子名	P104/AN4/KI0		端子番号	92 (FP版)	90 (GP版)						備 考	参 照
選択機能			レジスタの設定									
			4,3F6h	5,3FEh								
KI0	I	キー入力	0	X								1-61
AN4	I	A-D入力	0	0								1-148
P104	I	ポート入力 (プルアップ無し)	0	0								1-162
P104	I	ポート入力 (プルアップ有り)	0	1								1-162
P104	O	ポート出力	1	X								1-162
			4,3F6h	ポートP104方向レジスタ								1-167
			5,3FEh	P104 ~ P107プルアップ制御レジスタ								1-169

端子名	P103/AN3		端子番号	93 (FP版)		91 (GP版)						備 考	参 照	
選択機能			レジスタの設定											
			3,3F6h	4,3FEh										
AN3	I	A-D入力	0	0									1-148	
P103	I	ポート入力 (プルアップ無し)	0	0									1-162	
P103	I	ポート入力 (プルアップ有り)	0	1									1-162	
P103	O	ポート出力	1	X									1-162	
			3,3F6h	ポートP103方向レジスタ										1-167
			4,3FEh	P100 ~ P103プルアップ制御レジスタ										1-169

端子名	P102/AN2		端子番号	94 (FP版)		92 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			2,3F6h	4,3FEh									
AN2	I	A-D入力	0	0								1-148	
P102	I	ポート入力 (プルアップ無し)	0	0								1-162	
P102	I	ポート入力 (プルアップ有り)	0	1								1-162	
P102	O	ポート出力	1	X								1-162	
			2,3F6h	ポートP102方向レジスタ									1-167
			4,3FEh	P100～P103プルアップ制御レジスタ									1-169

端子名	P101/AN1		端子番号	95 (FP版)		93 (GP版)						備 考	参 照	
選択機能			レジスタの設定											
			1,3F6h	4,3FEh										
AN1	I	A-D入力	0	0									1-148	
P101	I	ポート入力 (プルアップ無し)	0	0									1-162	
P101	I	ポート入力 (プルアップ有り)	0	1									1-162	
P101	O	ポート出力	1	X									1-162	
			1,3F6h	ポートP101方向レジスタ										1-167
			4,3FEh	P100 ~ P103プルアップ制御レジスタ										1-169

付録3 端子機能選択時のレジスタ設定

端子名	P100/AN0		端子番号	97 (FP版)		95 (GP版)							
選択機能			レジスタの設定									備 考	参 照
			0,3F6h	4,3FEh									
AN0	I	A-D入力	0	0								1-148	
P100	I	ポート入力 (プルアップ無し)	0	0								1-162	
P100	I	ポート入力 (プルアップ有り)	0	1								1-162	
P100	O	ポート出力	1	X								1-162	
			0,3F6h	ポートP100方向レジスタ								1-167	
			4,3FEh	P100 ~ P103プルアップ制御レジスタ								1-169	

端子名	P97/ADTRG/SIN4		端子番号	100 (FP版)		98 (GP版)							
選択機能			レジスタの設定								備 考	参 照	
			7,3F3h	3,3FEh	5,3D6h	3,366h							
ADTRG	I	A-Dトリガ入力	0	0	1	0						1-148	
SIN4	I	シリアルI/Oデータ入力	0	0	X	1						1-144	
P97	I	ポート入力 (プルアップ無し)	0	0	X	0						1-162	
P97	I	ポート入力 (プルアップ有り)	0	1	X	0						1-162	
P97	O	ポート出力	1	X	X	0						1-162	
			7,3F3h	ポートP97方向レジスタ									1-167
			3,3FEh	P94 ~ P97プルアップ制御レジスタ									1-169
			5,3D6h	A-D制御レジスタ0のトリガ選択ビット									1-150
			3,366h	SI/O4制御レジスタのSI/O4ポート選択ビット									1-144

付録4 リセットICとの応用接続例

付録4 リセットICとの応用接続例

M62015、M62016は、M16Cのバックアップモードに対応したリセットICです。以下にこのリセットICの概要と特徴、及び $V_{CC} = 3V$ 時のM16Cとの接続例を示します。

● リセットICの概要

M62015、M62016は、3V系マイコンシステムの電源立ち上がり、あるいは立ち下がり、及び電源電圧異常を検出して、マイコンシステムに対しリセットを掛けたり、又は解除するのに最適な半導体集積回路です。

M62015、M62016は、電源の2段階電圧検出を実施し、2本の出力端子(強制リセット信号出力 $\overline{RESET}$ 、割り込み処理信号出力 $\overline{INT}$)を備えています。M62015、M62016は、BiCMOSプロセスと低消費電力回路を採用したことにより、特にRAMバックアップが必要なシステムにとっては、低消費電力で最適な信号をそれぞれの出力端子より出力します。

● リセットICの特徴

・ BiCMOSプロセス低消費回路構成

回路電流 $I_{CC} = 3\mu A$ (標準値) 通常モード $V_{CC} = 3.0V$

$I_{CC} = 3\mu A$ (標準値) バックアップモード $V_{CC} = 2.5V$

・ 電源電圧2段階検出

通常電源検出 $V_S = 2.7V$ (標準値)

バックアップ用電源検出 $V_{BATT} = 2.0V$ (標準値)

・ 2出力

強制リセット信号出力 $\overline{RESET}$

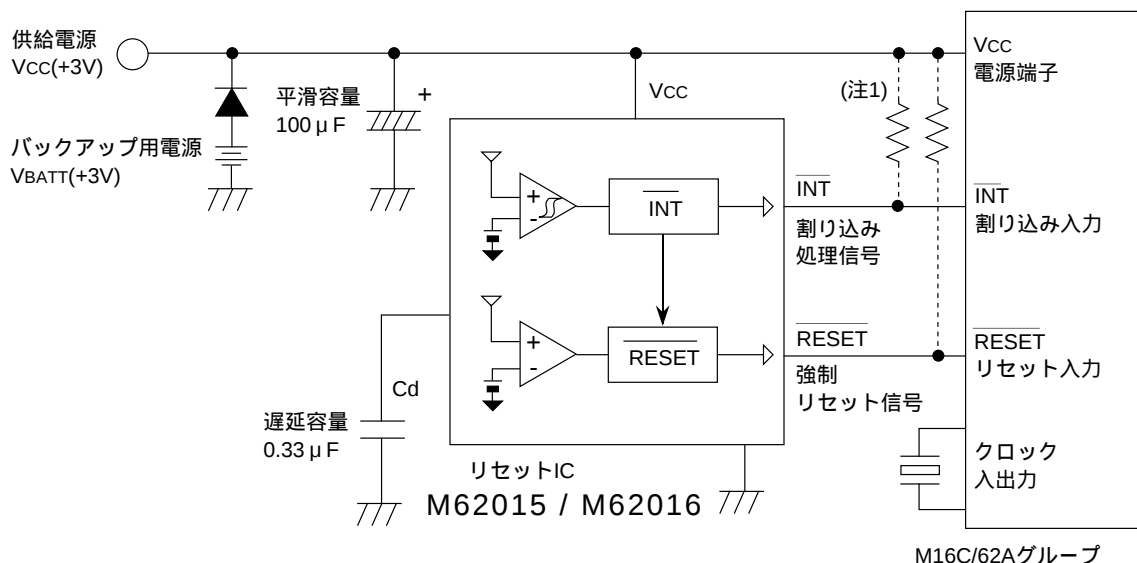
割り込み処理信号出力 $\overline{INT}$

・ 出力形式

CMOS出力 : M62015

オープンドレイン出力 : M62016

● 応用接続例



付録5 ノイズに関する注意事項と対策例

付録5 ノイズに関する注意事項と対策例

ノイズに関する注意事項およびその対策例を以下に示します。本対策例はノイズ対策として一般的に有効な手段ですが、実使用に際しては本対策を実施した後も十分なシステム評価を行ってください。

1.1 配線長の短縮

基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短い (mm単位) ほどノイズをマイコン内部に引き込む可能性は低くなります。

1.1.1 パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

●理由

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

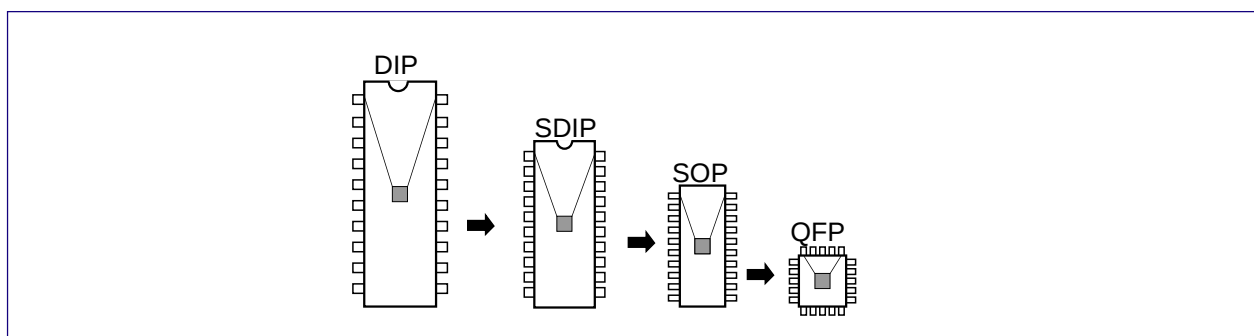


図1.1.1 パッケージの選択

1.1.2 リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサや、リセットICとそれぞれの端子とはできるだけ短い (20mm以内) 配線で接続してください。

●理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

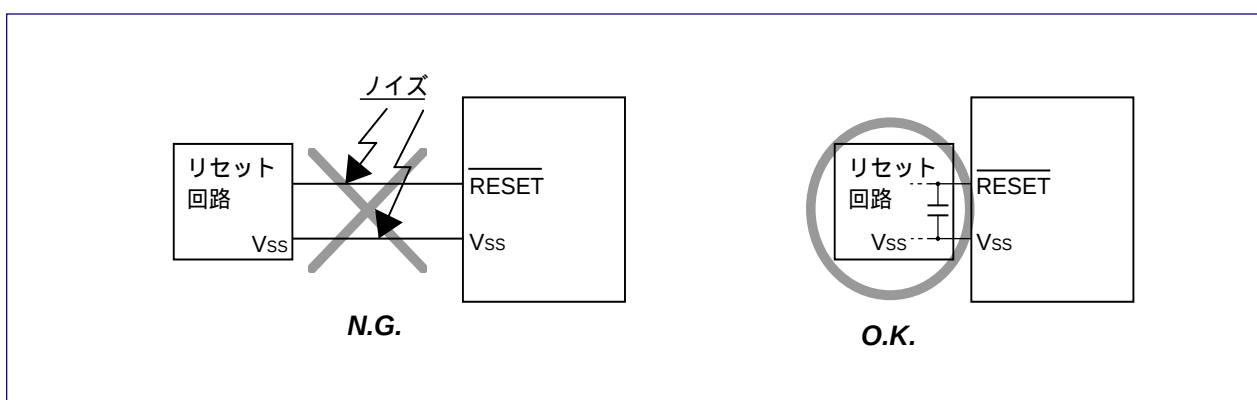


図1.1.2 リセット入力端子の配線

付録5 ノイズに関する注意事項と対策例

1.1.3 クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短（20mm以内）の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください（図1.4.3参照）。

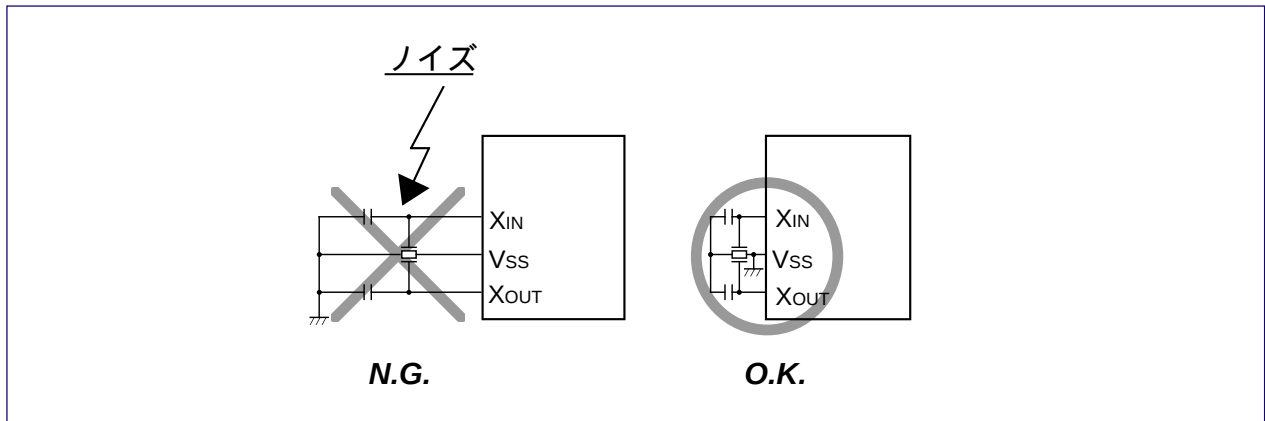


図1.1.3 クロック入出力端子の配線

●理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

1.1.4 CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

●理由

CNVss端子のレベルはマイコンのプロセッサモードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じるとプロセッサモードが不安定となり、誤動作や暴走の原因となります。

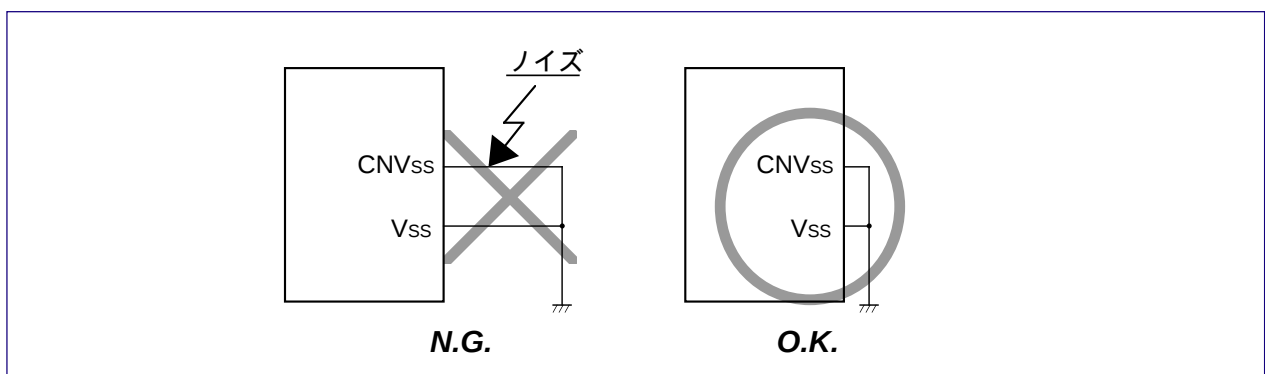


図1.1.4 CNVss端子の配線

付録5 ノイズに関する注意事項と対策例

1.2 Vss-Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・ VssラインおよびVccラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してVss端子およびVcc端子へ接続する

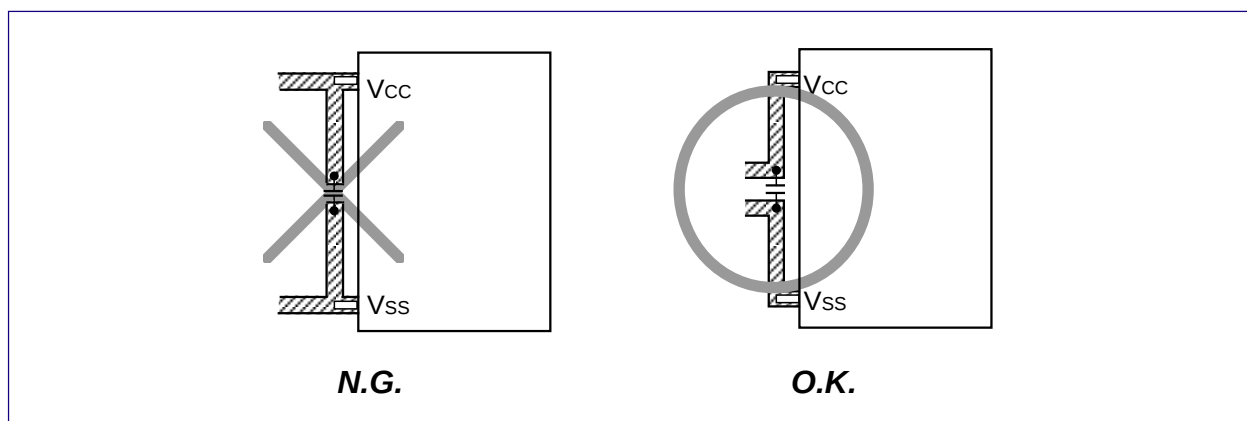


図1.2.1 Vss - Vccライン間のバイパスコンデンサ

1.3 アナログ入力端子の配線処理

- ・ アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100 ~ 1k Ω 程度の抵抗を直列に接続してください。
- ・ アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線およびVss端子 - コンデンサ間の配線長を等しくしてください。

●理由

通常、アナログ入力端子（A - D変換器 / 比較器入力端子など）に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

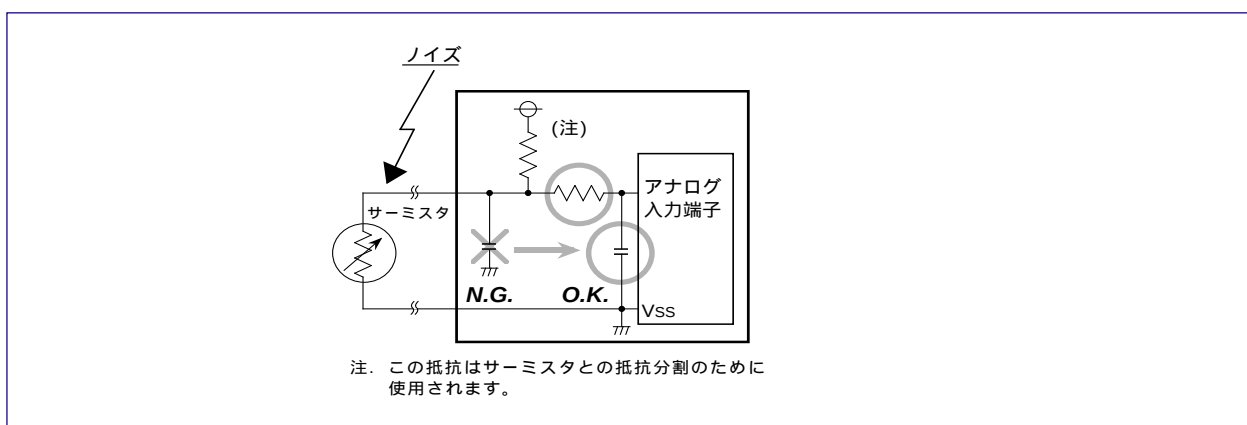


図1.3.1 アナログ信号線と抵抗およびコンデンサ

付録5 ノイズに関する注意事項と対策例

1.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

1.4.1 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン（特に発振子）からできるだけ遠い位置に配置してください。

●理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

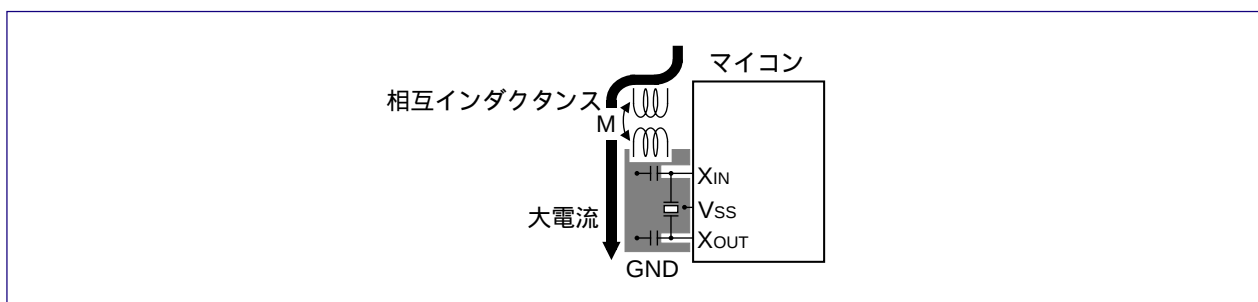


図1.4.1 大電流が流れる信号線の配線

1.4.2 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差および平行に長く引き回さないでください。

●理由

高速にレベル変化するTAOUT端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

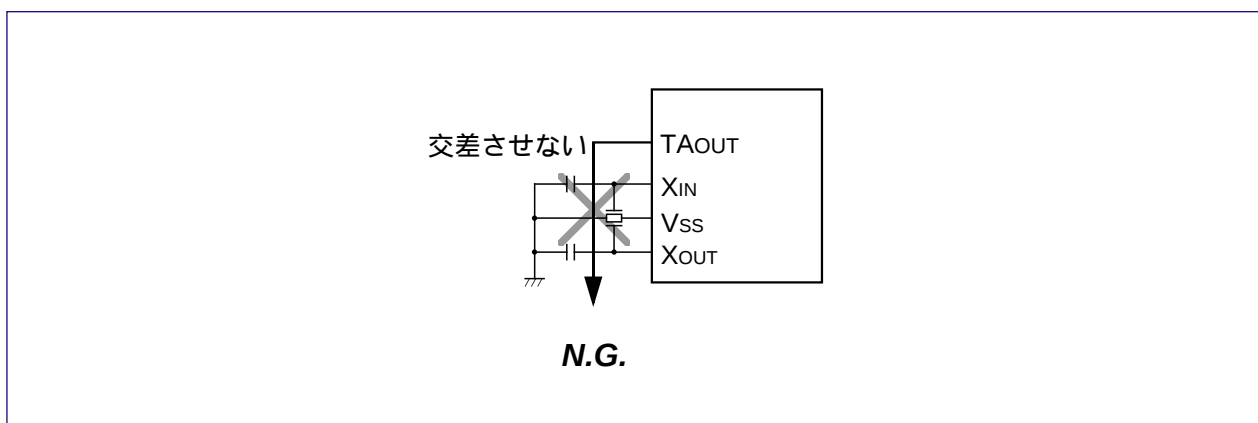


図1.4.2 高速にレベル変化する信号線の配線

付録5 ノイズに関する注意事項と対策例

1.4.3 Vssパターンによる保護

両面基板の場合、発振子が実装される面（実装面）の裏側（ハンダ面）の発振子と同じ位置はVssパターンにしてください。このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

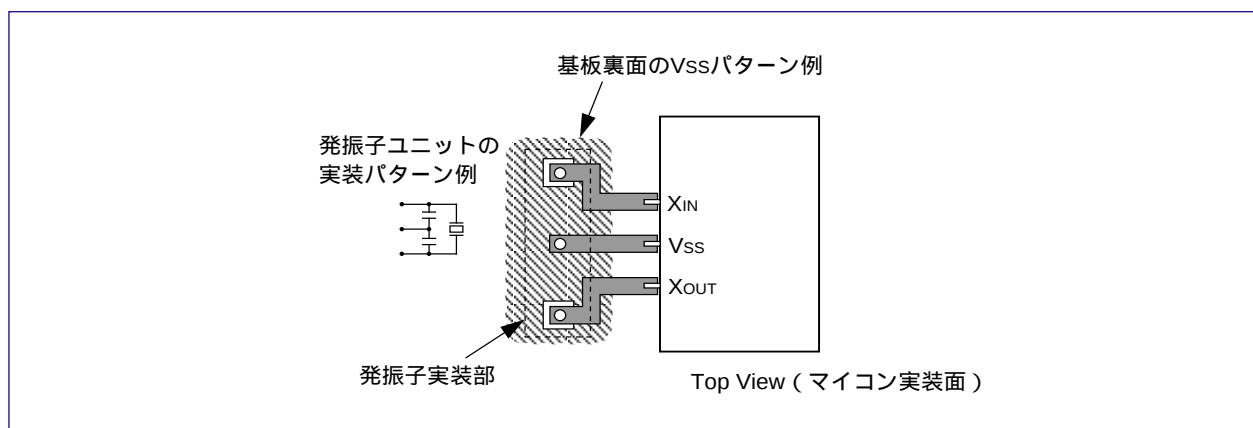


図1.4.3 発振子の裏面のVssパターン

1.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに接続される信号線の、マイコンのできるだけ近い位置に、100Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタ（内蔵する品種のみ）の再書き込みを行ってください。

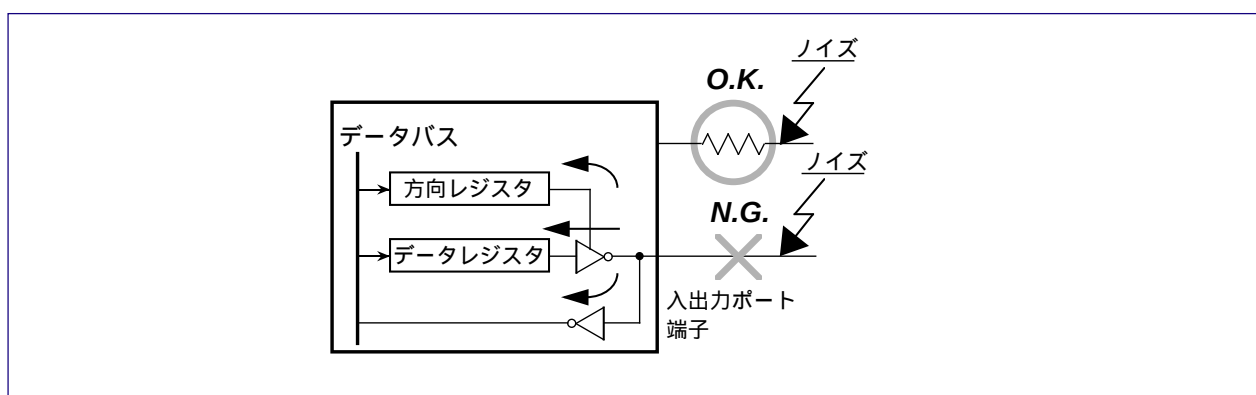


図1.5.1 入出力ポート処理

付録5 ノイズに関する注意事項と対策例

1.6 ソフトウェアによる監視タイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによる監視タイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアの監視タイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによる監視タイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- ・RAMの1バイトをソフトウェア監視タイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

メインルーチンの1周期
N+1 中に行われる割り込み
処理の回数

メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- ・SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- ・割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- ・SWDTの内容を1回の割り込み処理で1減算します。
- ・ほぼ一定の周期（一定の割り込み処理回数）でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- ・SWDTの内容がNに初期化されことなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

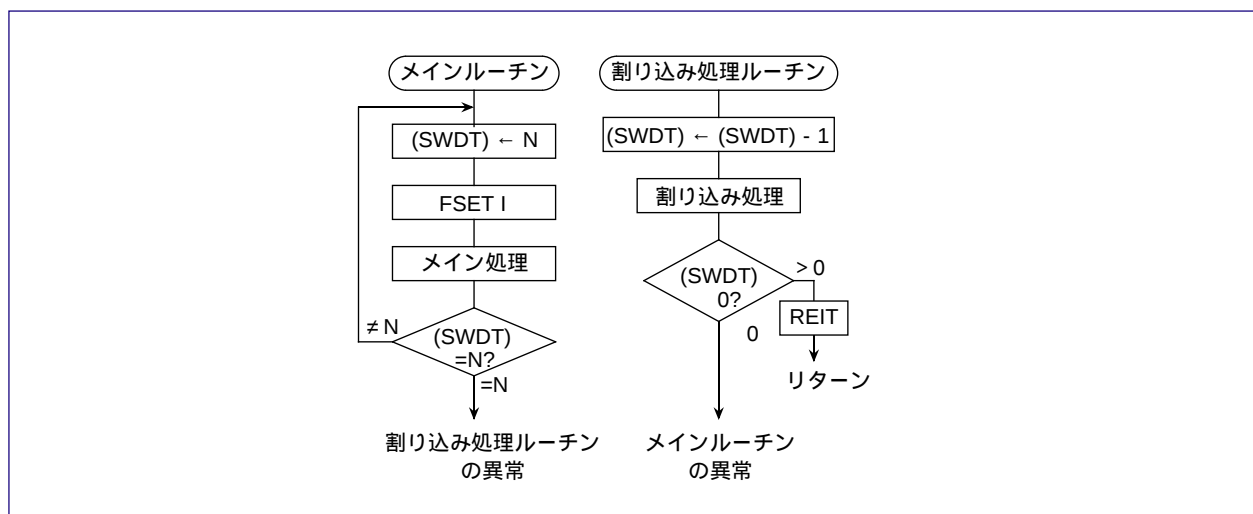


図1.6.1 ソフトウェアによる監視タイマ

索引

A	サ行
A-D 変換器 1-148	三相モータ制御用タイマ機能 1-95
A-D 変換器使い方 2-110	周期およびデューティ - 可変の PWM 出力 2-196
B	シリアル I/O 1-107
BCLK の状態遷移 1-42	ストップモード 1-40
C	ストップモードを使用したパワーコントロール例2-212
CPU 書き換えモード 1-218	性能概要 1-6
CRC 演算回路 1-160	性能概要 (フラッシュメモリ版) 1-216
CRC 演算回路の使い方 2-152	接続可能なメモリ 2-232
D	接続例 2-226
D-A 変換器 1-158	ソフトウェアリセット 1-22
D-A 変換器使い方 2-142	タ行
DMAC 1-67	タイマ 1-77
DMAC 使い方 2-144	タイマ A 1-79
M	タイマ A 使い方 2-6
M16C/62M グループ (低電圧版) 1-273	タイマ B 1-89
S	タイマ B 使い方 2-38
SI/O3,4 使い方 2-106	多重割り込み使い方 2-166
ア行	端子の機能説明 1-9
アドレス一致割り込み使い方 2-158	端子の機能説明(ROM 外付け版) 2-247
ウェイトモード 1-41	中央演算処理装置 1-12
ウェイトモードを使用したパワーコントロール例2-216	データアクセス 2-223
応 用 1-2	ディレードワンショット出力 2-200
カ行	特 長 1-2
外部バスの開放(HOLD 入力と HLDA 出力) 2-241	ナ行
外部バスの概要 2-222	長い周期のタイマ 2-192
外部バスの注意事項 2-242	ハ行
外部割り込み端子が不足したときの対処方法 2-206	バス制御 1-28
概 要 1-2	バス設定 1-26
監視タイマ 1-65	発振回路例 1-36
監視タイマ使い方 2-154	パワーコントロール 1-43
キー入力割り込み使い方 2-162	パワーコントロール使い方 2-173
機能ブロック動作説明 1-11	ピン接続図 1-3
クロック出力 1-40	ピン接続図(ROM 外付け版) 2-245
クロック同期形シリアル I/O 使い方 2-52	ブザーの出力 2-204
クロックの制御 1-37	フラッシュメモリ版 1-217
クロック発生回路 1-36	プログラマブル入出力ポート 1-162
クロック非同期形シリアル I/O 使い方 2-74	プログラマブル入出力ポート使い方 2-181
	プロセッサモード 1-22
	プロセッサモード(ROM 外付け版) 2-253
	ブロック図 1-5
	プロテクト 1-45

プロテクト使い方	2-2
----------------	-----

マ行

マスク化発注時の提出資料	1-172
メモリ	1-11
メモリからメモリへの DMA 転送例	2-208
メモリ配置(ROM 外付け版)	2-249

ラ行

リセット	1-15
------------	------

ワ行

割り込みの概要	1-46
---------------	------

三菱シングルチップマイクロコンピュータ
ユーザーズマニュアル
M16C/62(M16C / 62A)グループ Rev.1.0

2001 年 5 月発行
編集 三菱電機セミコンダクタ・アプリケーション・エンジニアリング株式会社
発行 三菱電機株式会社

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

©2001 MITSUBISHI ELECTRIC CORPORATION

M16C/62(M16C/62A) グループ ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668