

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/30Pグループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ／ M16C/30シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M16C/30Pグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M16C/30Pグループ データシート	RJJ03B0091
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法是アプリケーションノートを参照してください。	M16C/30Pグループ ハードウェアマニュアル	本ハードウェア マニュアル
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス テクノロジホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

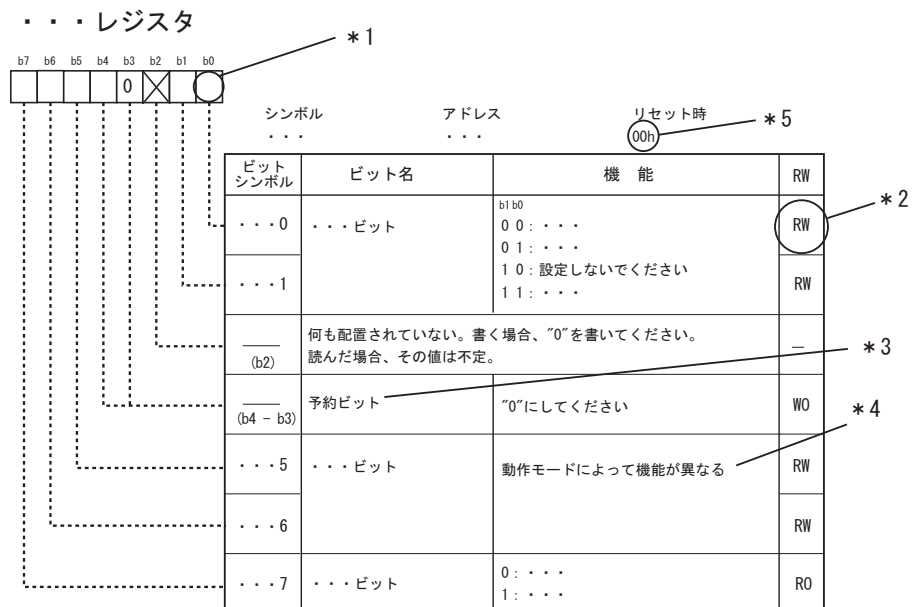
2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5端子、VCC端子
- (2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数: 11b
16進数: EFA0h
10進数: 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。



* 1

- 空白 : 用途に応じて “0” または “1” にしてください。
- 0 : “0” にしてください。
- 1 : “1” にしてください。
- × : 何も配置されていないビットです。

* 2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

* 3

- ・ 予約ビット
予約ビットです。指定された値にしてください。

* 4

- ・ 何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は “0” を書いてください。
- ・ 設定しないでください
設定した場合の動作は保証されません。
- ・ 動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のIC カード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。
IEBusは、NECエレクトロニクス株式会社の登録商標です。

目次

番地別ページ早見表	B - 1
1. 概要.....	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	3
1.4 製品一覧	4
1.5 ピン接続図	8
1.6 端子機能の説明	12
2. 中央演算処理装置	14
2.1 データレジスタ (R0、R1、R2、R3).....	14
2.2 アドレスレジスタ (A0、A1).....	14
2.3 フレームベースレジスタ (FB)	15
2.4 割り込みテーブルレジスタ (INTB)	15
2.5 プログラムカウンタ (PC)	15
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	15
2.7 スタティックベースレジスタ (SB)	15
2.8 フラグレジスタ (FLG).....	15
2.8.1 キャリーフラグ (C フラグ)	15
2.8.2 デバッグフラグ (D フラグ)	15
2.8.3 ゼロフラグ (Z フラグ)	15
2.8.4 サインフラグ (S フラグ)	15
2.8.5 レジスタバンク指定フラグ (B フラグ)	15
2.8.6 オーバフローフラグ (O フラグ)	15
2.8.7 割り込み許可フラグ (I フラグ)	15
2.8.8 スタックポインタ指定フラグ (U フラグ)	16
2.8.9 プロセッサ割り込み優先レベル (IPL).....	16
2.8.10 予約領域	16
3. メモリ	17
4. SFR.....	18
5. リセット	23
5.1 ハードウェアリセット	23
5.1.1 電源安定時	23
5.1.2 電源投入時	23
5.2 ソフトウェアリセット	25
5.3 内部領域の状態	26
5.4 コールドスタート / ウォームスタート判定機能	27
6. プロセッサモード	29
6.1 プロセッサモードの種類	29
6.2 プロセッサモードの設定	29

7.	バス	34
7.1	バス形式	34
7.2	バス制御	34
7.2.1	アドレスバス	34
7.2.2	データバス	34
7.2.3	チップセレクト信号	35
7.2.4	リード信号、ライト信号	37
7.2.5	ALE 信号	37
7.2.6	RDY 信号	38
7.2.7	HOLD 信号	39
7.2.8	BCLK 出力	39
7.2.9	内部領域をアクセスしたときの外部バスの状態	41
7.2.10	ソフトウェアウェイト	41
8.	メモリ空間拡張機能	43
8.1	1M バイトモード	43
9.	クロック発生回路	45
9.1	クロック発生回路の種類	45
9.1.1	メインクロック	50
9.1.2	サブクロック	51
9.2	CPU クロックと周辺機能クロック	52
9.2.1	CPU クロックと BCLK	52
9.2.2	周辺機能クロック (f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fC32)	52
9.3	クロック出力機能	52
9.4	パワーコントロール	53
9.4.1	通常動作モード	53
9.4.2	ウェイトモード	54
9.4.3	ストップモード	56
10.	プロテクト	61
11.	割り込み	62
11.1	割り込みの分類	62
11.2	ソフトウェア割り込み	63
11.2.1	未定義命令割り込み	63
11.2.2	オーバフロー割り込み	63
11.2.3	BRK 割り込み	63
11.2.4	INT 命令割り込み	63
11.3	ハードウェア割り込み	64
11.3.1	特殊割り込み	64
11.3.2	周辺機能割り込み	64
11.4	割り込みと割り込みベクタ	65
11.4.1	固定ベクタテーブル	65
11.4.2	可変ベクタテーブル	66

11.5	割り込み制御	67
11.5.1	I フラグ	69
11.5.2	IR ビット	69
11.5.3	ILVL2 ~ ILVL0 ビット、IPL	69
11.5.4	割り込みシーケンス	70
11.5.5	割り込み応答時間	71
11.5.6	割り込み要求受付時の IPL の変化	71
11.5.7	レジスタ退避	72
11.5.8	割り込みルーチンからの復帰	73
11.5.9	割り込み優先順位	73
11.5.10	割り込み優先レベル判定回路	74
11.6	INT 割り込み	75
11.7	NMI 割り込み	76
11.8	キー入力割り込み	76
11.9	アドレス一致割り込み	77
12.	ウォッチドッグタイマ	79
13.	DMAC	81
13.1	転送サイクル	87
13.1.1	転送元番地、転送先番地の影響	87
13.1.2	BYTE 端子の影響	87
13.1.3	ソフトウェアウェイトの影響	87
13.1.4	RDY 信号の影響	87
13.2	DMAC 転送サイクル数	89
13.3	DMA 許可	90
13.4	DMA 要求	90
13.5	チャンネルの優先順位と DMA 転送タイミング	91
14.	タイマ	92
14.1	タイマ A	94
14.1.1	タイマモード	98
14.1.2	イベントカウンタモード	99
14.1.3	ワンショットタイマモード	102
14.1.4	パルス幅変調モード (PWM モード)	104
14.2	タイマ B	107
14.2.1	タイマモード	110
14.2.2	イベントカウンタモード	111
14.2.3	パルス周期測定モード、パルス幅測定モード	113
15.	シリアルインタフェース	116
15.1	UART _i (i=0 ~ 2)	116
15.1.1	クロック同期形シリアル I/O モード	127
15.1.2	クロック非同期形シリアル I/O(UART) モード	135
15.1.3	特殊モード 1(I ² C モード)	143
15.1.4	特殊モード 2	153
15.1.5	特殊モード 3(IE モード)(UART2)	157
15.1.6	特殊モード 4(SIM モード)(UART2)	159

16.	A/D コンバータ	164
16.1	モードの説明	168
16.1.1	単発モード	168
16.1.2	繰り返しモード	170
16.2	機能	172
16.2.1	分解能選択機能	172
16.2.2	サンプル & ホールド	172
16.2.3	拡張アナログ入力端子	172
16.2.4	消費電流低減機能	172
16.2.5	A/D 変換時のセンサーの出力インピーダンス	173
17.	CRC 演算	174
18.	プログラマブル入出力ポート	176
18.1	ポート Pi 方向レジスタ (PDi レジスタ i=0 ~ 10)	176
18.2	ポート Pi レジスタ (Pi レジスタ i=0 ~ 10)	176
18.3	プルアップ制御レジスタ 0 ~ プルアップ制御レジスタ 2(PUR0 ~ PUR2 レジスタ)	176
18.4	ポート制御レジスタ (PCR レジスタ)	176
19.	フラッシュメモリ版	190
19.1	メモリ配置	191
19.1.1	ブートモード	192
19.2	フラッシュメモリ書き換え禁止機能	192
19.2.1	ROM コードプロテクト機能	192
19.2.2	ID コードチェック機能	193
19.2.3	強制イレーズ機能	193
19.3	CPU 書き換えモード	195
19.3.1	EW0 モード	196
19.3.2	EW1 モード	196
19.3.3	フラッシュメモリ制御レジスタ (FMR0、FMR1 レジスタ)	196
19.3.4	CPU 書き換えモードの注意事項	203
19.3.5	ソフトウェアコマンド	205
19.3.6	データ保護機能	210
19.3.7	ステータスレジスタ	210
19.3.8	フルステータスチェック	212
19.4	標準シリアル入出力モード	214
19.4.1	ID コードチェック機能	214
19.4.2	標準シリアル入出力モード 1 時の端子処理例	218
19.5	パラレル入出力モード	220
19.5.1	ブート ROM 領域	220
19.5.2	ROM コードプロテクト機能	220

20.	ワンタイムフラッシュ版	221
20.1	低消費電力モード	222
20.2	ワンタイムフラッシュ版読み出し禁止機能	224
20.2.1	ROM コードプロテクト機能	224
20.2.2	ID コードチェック機能	224
20.3	標準シリアル入出力モード	225
20.3.1	ID コードチェック機能	225
20.3.2	標準シリアル入出力モード時の端子処理例	228
21.	電気的特性	230
22.	使用上の注意事項	260
22.1	SFR	260
22.1.1	レジスタ設定時の注意事項	260
22.2	リセット	261
22.3	外部バス	262
22.4	パワーコントロール	263
22.5	プロテクト	265
22.6	割り込み	266
22.6.1	00000h 番地の読み出し	266
22.6.2	SP の設定	266
22.6.3	NMI 割り込み	266
22.6.4	割り込み要因の変更	267
22.6.5	INT 割り込み	267
22.6.6	割り込み制御レジスタの変更	268
22.6.7	ウォッチドッグタイマ割り込み	268
22.7	DMAC	269
22.7.1	DMAiCON レジスタの DMAE ビットへの書き込み (i=0 ~ 1)	269
22.8	タイマ	270
22.8.1	タイマ A	270
22.8.2	タイマ B	273
22.9	シリアルインタフェース	275
22.9.1	クロック同期形シリアル I/O モード	275
22.9.2	クロック非同期形シリアル I/O モード (UART モード)	276
22.10	A/D コンバータ	277
22.11	プログラマブル入出力ポート	279
22.12	ワンタイムフラッシュ版、フラッシュメモリ版とマスク ROM 版の相違点	280
22.13	マスク ROM 版	281

22.14	フラッシュメモリ版	282
22.14.1	フラッシュメモリ書き換え禁止機能	282
22.14.2	ストップモード	282
22.14.3	ウェイトモード	282
22.14.4	低消費電力モード	282
22.14.5	コマンド、データの書き込み	282
22.14.6	プログラムコマンド	282
22.14.7	ロックビットプログラムコマンド	282
22.14.8	動作速度	283
22.14.9	使用禁止命令	283
22.14.10	割り込み	283
22.14.11	アクセス方法	283
22.14.12	ユーザ ROM 領域の書き換え	283
22.14.13	DMA 転送	283
22.15	ワンタイムフラッシュ版	284
22.15.1	ストップモード	284
22.15.2	ウェイトモード	284
22.15.3	動作速度	284
22.15.4	使用禁止命令	284
22.15.5	割り込み	284
22.15.6	アクセス方法	284
22.16	ノイズに関する注意事項	285
付録 1.	外形寸法図	286
付録 2.	M16C/62P と M16C/30P との相違点	287
索引		289

番地別ページ早見表

番地	レジスタ	シンボル	掲載 ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	30
0005h	プロセッサモードレジスタ1	PM1	31
0006h	システムクロック制御レジスタ0	CM0	47
0007h	システムクロック制御レジスタ1	CM1	48
0008h	チップセレクト制御レジスタ	CSR	35
0009h	アドレス一致割り込み許可レジスタ	AIER	78
000Ah	プロテクトレジスタ	PRCR	61
000Bh			
000Ch			
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTs	80
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	28, 80
0010h	アドレス一致割り込みレジスタ0	RMAD0	78
0011h			
0012h			
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	78
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch			
001Dh			
001Eh			
001Fh			
0020h	DMA0 ソースポインタ	SAR0	86
0021h			
0022h			
0023h			
0024h	DMA0 ディスティネーションポインタ	DAR0	86
0025h			
0026h			
0027h			
0028h	DMA0 転送カウンタ	TCR0	86
0029h			
002Ah			
002Bh			
002Ch	DMA0 制御レジスタ	DM0CON	85
002Dh			
002Eh			
002Fh			
0030h	DMA1 ソースポインタ	SAR1	86
0031h			
0032h			
0033h			
0034h	DMA1 ディスティネーションポインタ	DAR1	86
0035h			
0036h			
0037h			
0038h	DMA1 転送カウンタ	TCR1	86
0039h			
003Ah			
003Bh			
003Ch	DMA1 制御レジスタ	DM1CON	85
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。
 注2. このレジスタはフラッシュメモリ版にあります。
 注3. このレジスタはワンタイムフラッシュ版にあります。

番地	レジスタ	シンボル	掲載 ページ
0040h			
0041h			
0042h			
0043h			
0044h	INT3 割り込み制御レジスタ	INT3IC	68
0045h			
0046h	UART1 バス衝突検出割り込み制御レジスタ	U1BCNIC	67
0047h	UART0 バス衝突検出割り込み制御レジスタ	U0BCNIC	67
0048h			
0049h	INT4 割り込み制御レジスタ	INT4IC	68
004Ah	UART2 バス衝突検出割り込み制御レジスタ	BCNIC	67
004Bh	DMA0 割り込み制御レジスタ	DM0IC	67
004Ch	DMA1 割り込み制御レジスタ	DM1IC	67
004Dh	キー入力割り込み制御レジスタ	KUPIC	67
004Eh	A/D 変換割り込み制御レジスタ	ADIC	67
004Fh	UART2 送信割り込み制御レジスタ	S2TIC	67
0050h	UART2 受信割り込み制御レジスタ	S2RIC	67
0051h	UART0 送信割り込み制御レジスタ	S0TIC	67
0052h	UART0 受信割り込み制御レジスタ	S0RIC	67
0053h	UART1 送信割り込み制御レジスタ	S1TIC	67
0054h	UART1 受信割り込み制御レジスタ	S1RIC	67
0055h	タイマ A0 割り込み制御レジスタ	TA0IC	67
0056h	タイマ A1 割り込み制御レジスタ	TA1IC	67
0057h	タイマ A2 割り込み制御レジスタ	TA2IC	67
0058h			
0059h			
005Ah	タイマ B0 割り込み制御レジスタ	TB0IC	67
005Bh	タイマ B1 割り込み制御レジスタ	TB1IC	67
005Ch	タイマ B2 割り込み制御レジスタ	TB2IC	67
005Dh	INT0 割り込み制御レジスタ	INT0IC	68
005Eh	INT1 割り込み制御レジスタ	INT1IC	68
005Fh	INT2 割り込み制御レジスタ	INT2IC	68
0060h ～ 01B3h 01B4h			
01B5h	フラッシュメモリ制御レジスタ1 (注2)	FMR1	198
01B6h			
01B7h	フラッシュメモリ制御レジスタ0 (注2)	FMR0	197
01B8h ～ 0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	49
025Fh			
0260h ～ 0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			

番地	レジスタ	シンボル	掲載 ページ
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh	割り込み要因選択レジスタ2	IFSR2A	75
035Fh	割り込み要因選択レジスタ	IFSR	75
0360h			
0361h			
0362h			
0363h			
0364h			
0365h			
0366h			
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch	UART0 特殊モードレジスタ4	U0SMR4	126
036Dh	UART0 特殊モードレジスタ3	U0SMR3	125
036Eh	UART0 特殊モードレジスタ2	U0SMR2	125
036Fh	UART0 特殊モードレジスタ	U0SMR	124
0370h	UART1 特殊モードレジスタ4	U1SMR4	126
0371h	UART1 特殊モードレジスタ3	U1SMR3	125
0372h	UART1 特殊モードレジスタ2	U1SMR2	125
0373h	UART1 特殊モードレジスタ	U1SMR	124
0374h	UART2 特殊モードレジスタ4	U2SMR4	126
0375h	UART2 特殊モードレジスタ3	U2SMR3	125
0376h	UART2 特殊モードレジスタ2	U2SMR2	125
0377h	UART2 特殊モードレジスタ	U2SMR	124
0378h	UART2 送受信モードレジスタ	U2MR	121
0379h	UART2 ビットレートレジスタ	U2BRG	121
037Ah	UART2 送信バッファレジスタ	U2TB	120
037Bh			
037Ch	UART2 送受信制御レジスタ0	U2C0	122
037Dh	UART2 送受信制御レジスタ1	U2C1	123
037Eh	UART2 受信バッファレジスタ	U2RB	120
037Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0380h	カウント開始フラグ	TABSR	96,109
0381h	時計用プリスケアラリセットフラグ	CPSRF	97,109
0382h	ワンショット開始フラグ	ONSF	97
0383h	トリガ選択レジスタ	TRGSR	97
0384h	アッパダウンフラグ	UDF	96
0385h			
0386h	タイマA0 レジスタ	TA0	95
0387h			
0388h	タイマA1 レジスタ	TA1	95
0389h			
038Ah	タイマA2 レジスタ	TA2	95
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	タイマB0 レジスタ	TB0	108
0391h			
0392h	タイマB1 レジスタ	TB1	108
0393h			
0394h	タイマB2 レジスタ	TB2	108
0395h			
0396h	タイマA0 モードレジスタ	TA0MR	95
0397h	タイマA1 モードレジスタ	TA1MR	95
0398h	タイマA2 モードレジスタ	TA2MR	95
0399h			
039Ah			
039Bh	タイマB0 モードレジスタ	TB0MR	108
039Ch	タイマB1 モードレジスタ	TB1MR	108
039Dh	タイマB2 モードレジスタ	TB2MR	108
039Eh			
039Fh			
03A0h	UART0 送受信モードレジスタ	U0MR	121
03A1h	UART0 ビットレートレジスタ	U0BRG	121
03A2h	UART0 送信バッファレジスタ	U0TB	120
03A3h			
03A4h	UART0 送受信制御レジスタ0	U0C0	122
03A5h	UART0 送受信制御レジスタ1	U0C1	123
03A6h	UART0 受信バッファレジスタ	U0RB	120
03A7h			
03A8h	UART1 送受信モードレジスタ	U1MR	121
03A9h	UART1 ビットレートレジスタ	U1BRG	121
03AAh	UART1 送信バッファレジスタ	U1TB	120
03ABh			
03ACh	UART1 送受信制御レジスタ0	U1C0	122
03ADh	UART1 送受信制御レジスタ1	U1C1	123
03AEh	UART1 受信バッファレジスタ	U1RB	120
03AFh			
03B0h	UART 送受信制御レジスタ2	UCON	124
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0 要因選択レジスタ	DM0SL	83
03B9h			
03BAh	DMA1 要因選択レジスタ	DM1SL	84
03BBh			
03BCh	CRC データレジスタ	CRCD	174
03BDh			
03BEh	CRC インพุットレジスタ	CRCIN	174
03BFh			

番地	レジスタ	シンボル	掲載 ページ
03C0h	A/D レジスタ 0	AD0	167
03C1h			
03C2h	A/D レジスタ 1	AD1	167
03C3h			
03C4h	A/D レジスタ 2	AD2	167
03C5h			
03C6h	A/D レジスタ 3	AD3	167
03C7h			
03C8h	A/D レジスタ 4	AD4	167
03C9h			
03CAh	A/D レジスタ 5	AD5	167
03CBh			
03CCh	A/D レジスタ 6	AD6	167
03CDh			
03CEh	A/D レジスタ 7	AD7	167
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D 制御レジスタ 2	ADCON2	167
03D5h			
03D6h	A/D 制御レジスタ 0	ADCON0	166
03D7h	A/D 制御レジスタ 1	ADCON1	166
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h	ポート P0 レジスタ	P0	183
03E1h	ポート P1 レジスタ	P1	183
03E2h	ポート P0 方向レジスタ	PD0	182
03E3h	ポート P1 方向レジスタ	PD1	182
03E4h	ポート P2 レジスタ	P2	183
03E5h	ポート P3 レジスタ	P3	183
03E6h	ポート P2 方向レジスタ	PD2	182
03E7h	ポート P3 方向レジスタ	PD3	182
03E8h	ポート P4 レジスタ	P4	183
03E9h	ポート P5 レジスタ	P5	183
03EAh	ポート P4 方向レジスタ	PD4	182
03EBh	ポート P5 方向レジスタ	PD5	182
03ECh	ポート P6 レジスタ	P6	183
03EDh	ポート P7 レジスタ	P7	183
03EEh	ポート P6 方向レジスタ	PD6	182
03EFh	ポート P7 方向レジスタ	PD7	182
03F0h	ポート P8 レジスタ	P8	183
03F1h	ポート P9 レジスタ	P9	183
03F2h	ポート P8 方向レジスタ	PD8	182
03F3h	ポート P9 方向レジスタ	PD9	182
03F4h	ポート P10 レジスタ	P10	183
03F5h			
03F6h	ポート P10 方向レジスタ	PD10	182
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh	ブルアップ制御レジスタ 0	PUR0	184
03FDh	ブルアップ制御レジスタ 1	PUR1	184
03FEh	ブルアップ制御レジスタ 2	PUR2	185
03FFh	ポート制御レジスタ	PCR	186

注1. 空欄は予約領域です。アクセスしないでください。

M16C/30P グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

1. 概要

M16C/30P グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1 応用

オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、他

1.2 性能概要

表1.1に性能概要を示します。

表 1.1 性能概要

項目		性能
CPU	基本命令数	91 命令
	最小命令実行時間	62.5ns(f(XIN)=16MHz、VCC1=VCC2=3.0～5.5V、ウェイトなし) 100ns(f(XIN)=10MHz、VCC1=VCC2=2.7～5.5V、ウェイトなし)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ
	アドレス空間	1Mバイト
	メモリ容量	「表 1.2 製品一覧表」を参照してください
周辺機能	ポート	入出力：87本、入力：1本
	多機能タイマ	タイマ A：16ビット×3チャンネル、 タイマ B：16ビット×3チャンネル
	シリアルインタフェース	1チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O I ² C bus (注1)、IE bus (注2) 2チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C bus (注1)
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、18チャンネル
	DMAC	2チャンネル
	CRC演算回路	CRC-CCITT方式
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケール付)
	割り込み	内部：20要因、外部：7要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
	クロック発生回路	2回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 (*)発振回路には帰還抵抗内蔵
	電气的特性	
	電源電圧(注3)	VCC1=VCC2=3.0～5.5V(f(XIN)=16MHz) VCC1=VCC2=2.7～5.5V(f(XIN)=10MHz、ウェイトなし)
	消費電流	10mA(VCC1=VCC2=5V、f(XIN)=16MHz) 8mA (VCC1=VCC2=3V、f(XIN)=10MHz) 1.8μA (VCC1=VCC2=3V、f(XCIN)=32kHz、ウェイトモード) 0.7μA (VCC1=VCC2=3V、ストップモード)
ワнтаイム フラッシュ版	プログラム電圧	3.3V±0.3Vまたは5.0V±0.5V
フラッシュ メモリ版	プログラム、イレーズ電圧	3.3V±0.3Vまたは5.0V±0.5V
	プログラム、イレーズ回数	100回(全領域)
動作周囲温度		-20℃～85℃、-40℃～85℃
パッケージ		100ピンプラスチックモールドQFP、LQFP

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注3. VCC1=VCC2で使用してください。

1.3 ブロック図

図 1.1 にブロック図を示します。

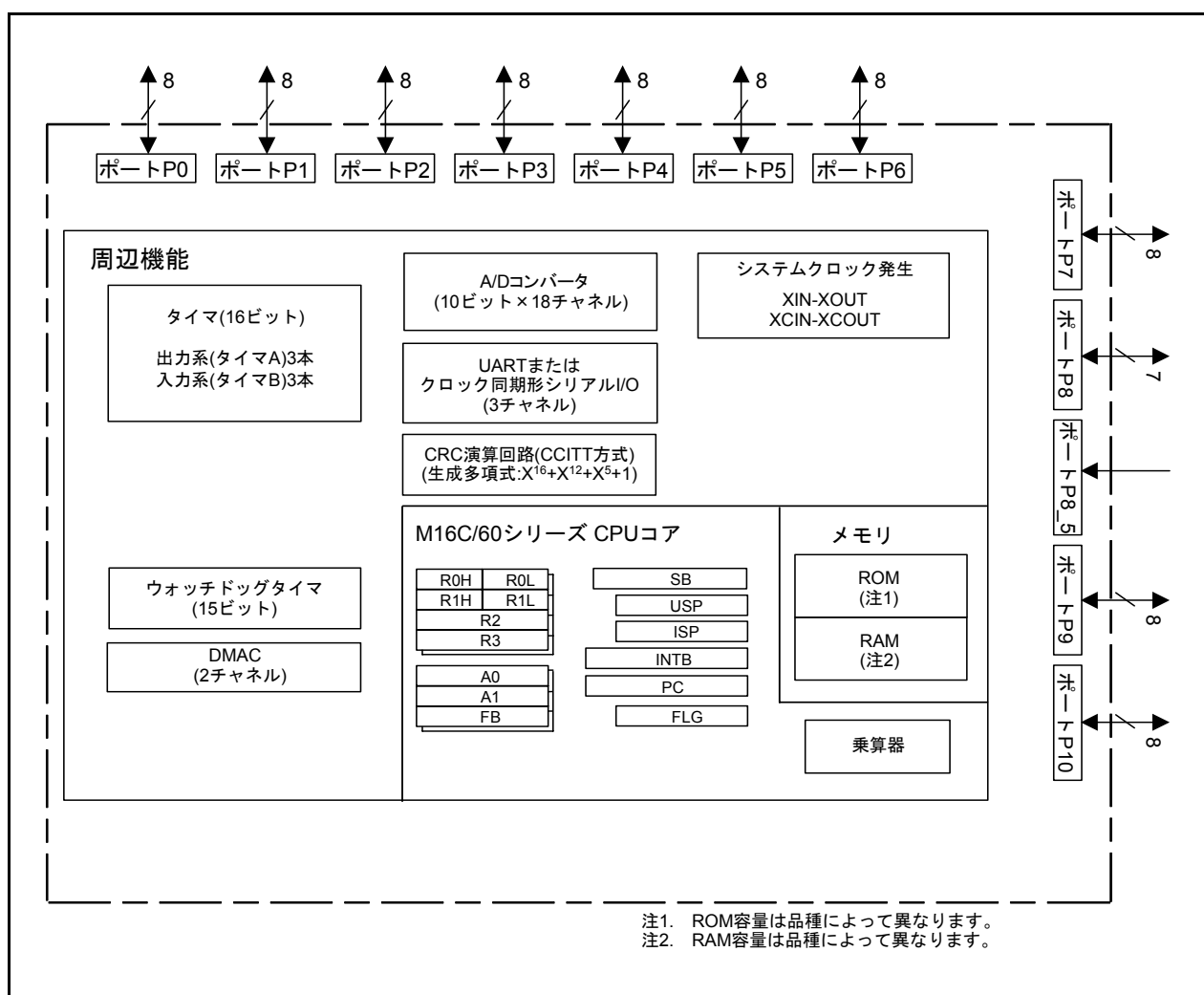


図 1.1 ブロック図

1.4 製品一覧

表1.2～1.3に製品一覧表、図1.2に型名とメモリサイズ・パッケージ、表1.4にマスクROM版の製品コード、図1.3にマスクROM版マーキング図(上面図)、表1.5にワнтаイムフラッシュ版、フラッシュメモリ版、ROMレス版の製品コード、図1.4にワнтаイムフラッシュ版、フラッシュメモリ版、ROMレス版のマーキング図(上面図)を示します。M16C/30PのマスクROM版のマーキングは、ROM発注時にご指定ください。

表1.2 製品一覧表 (1)

2007年03月現在

型名	ROM容量	RAM容量	パッケージコード (注1)	備考
M30302MAP-XXXFP	96Kバイト	5Kバイト	PRQP0100JB-A	マスクROM版
M30302MAP-XXXGP			PLQP0100KB-A	
M30302MCP-XXXFP	128Kバイト		PRQP0100JB-A	
M30302MCP-XXXGP			PLQP0100KB-A	
M30302MDP-XXXFP	160Kバイト	6Kバイト	PRQP0100JB-A	
M30302MDP-XXXGP			PLQP0100KB-A	
M30302MEP-XXXFP	192Kバイト		PRQP0100JB-A	
M30302MEP-XXXGP			PLQP0100KB-A	
M30302GAPFP	96Kバイト	5Kバイト	PRQP0100JB-A	ワンタイムフラッシュ版 (ブランク出荷品)
M30302GAPGP (開)			PLQP0100KB-A	
M30302GCPFP	128Kバイト		PRQP0100JB-A	
M30302GCPGP (開)			PLQP0100KB-A	
M30302GDPFP	160Kバイト	6Kバイト	PRQP0100JB-A	
M30302GDPGP (開)			PLQP0100KB-A	
M30304GDPFP (開)	192Kバイト	12Kバイト	PRQP0100JB-A	
M30304GDPGP (開)			PLQP0100KB-A	
M30302GEPFP		6Kバイト	PRQP0100JB-A	
M30302GEPGP (開)			PLQP0100KB-A	
M30304GEPFP (開)		12Kバイト	PRQP0100JB-A	
M30304GEPGP (開)			PLQP0100KB-A	
M30302GGPFP (開)	256Kバイト	12Kバイト	PRQP0100JB-A	
M30302GGPGP (開)			PLQP0100KB-A	
M30302GAP-XXXFP	96Kバイト	5Kバイト	PRQP0100JB-A	ワンタイムフラッシュ版 (書き込み出荷品)
M30302GAP-XXXGP (開)			PLQP0100KB-A	
M30302GCP-XXXFP	128Kバイト		PRQP0100JB-A	
M30302GCP-XXXGP (開)			PLQP0100KB-A	
M30302GDP-XXXFP	160Kバイト	6Kバイト	PRQP0100JB-A	
M30302GDP-XXXGP (開)			PLQP0100KB-A	
M30304GDP-XXXFP (開)		12Kバイト	PRQP0100JB-A	
M30304GDP-XXXGP (開)			PLQP0100KB-A	
M30302GEP-XXXFP	192Kバイト	6Kバイト	PRQP0100JB-A	
M30302GEP-XXXGP (開)			PLQP0100KB-A	
M30304GEP-XXXFP (開)		12Kバイト	PRQP0100JB-A	
M30304GEP-XXXGP (開)			PLQP0100KB-A	
M30302GGP-XXXFP (開)	256Kバイト	12Kバイト	PRQP0100JB-A	
M30302GGP-XXXGP (開)			PLQP0100KB-A	

(開): 開発中

(計): 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A: 100P6S-A、

PLQP0100KB-A: 100P6Q-A

表 1.3 製品一覧表 (2)

2007年03月現在

型名	ROM容量	RAM容量	パッケージコード (注1)	備考
M30302FAPFP	96K+4Kバイト	5Kバイト	PRQP0100JB-A	フラッシュメモリ版 (注2)
M30302FAPGP			PLQP0100KB-A	
M30302FCPFP	128K+4Kバイト		PRQP0100JB-A	
M30302FCPGP			PLQP0100KB-A	
M30302FEPFP	192K+4Kバイト	6Kバイト	PRQP0100JB-A	ROMレス版
M30302FEPGP			PLQP0100KB-A	
M30302SPFP	—		PRQP0100JB-A	
M30302SPGP			PLQP0100KB-A	

(開): 開発中

(計): 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A: 100P6S-A、

PLQP0100KB-A: 100P6Q-A

注2. フラッシュメモリ版には、4Kバイトの領域（ブロックA）があります。

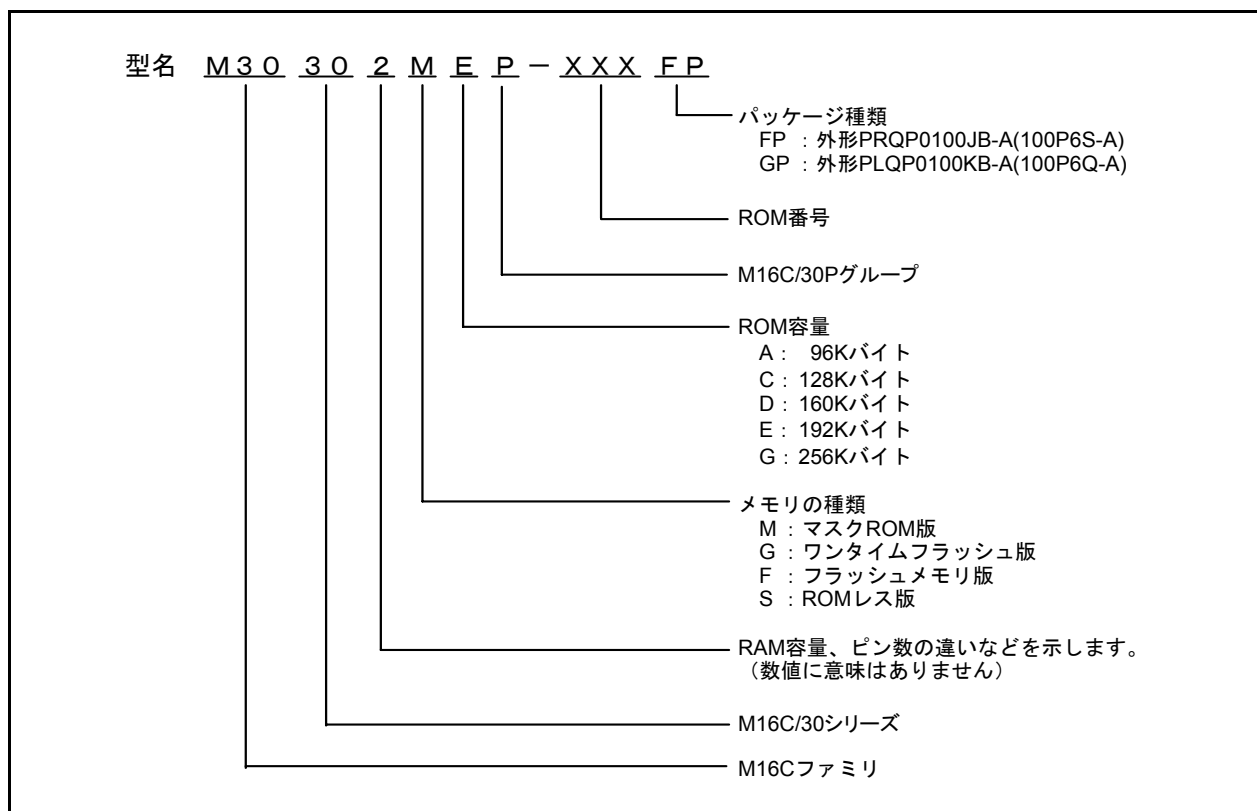


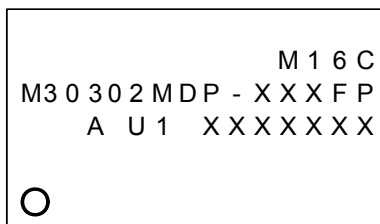
図 1.2 型名とメモリサイズ・パッケージ

表 1.4 マスクROM版の製品コード

製品コード	パッケージ	MCU 動作周囲温度
U1	鉛フリー	-20℃～85℃
U4		-40℃～85℃

PRQP0100JB-A (100P6S-A)

1. ルネサス標準マーク



型名 (「図1.2 型名とメモリサイズ・パッケージ」参照)

チップバージョン、製品コード、デートコード

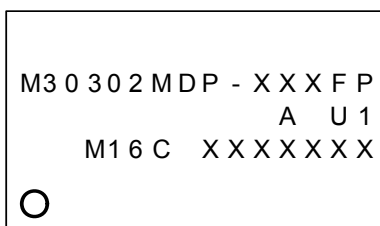
A : チップバージョンを示します。

以後、チップバージョン変更ごとにA, B, Cと続きます。

U1 : 製品コードを示します。(「表1.3 製品コード」参照)

XXXXXXX : デートコード7桁

2. 貴社パーツナンバ + ルネサス型名



型名 (「図1.2 型名とメモリサイズ・パッケージ」参照)

チップバージョン、製品コード

A : チップバージョンを示します。

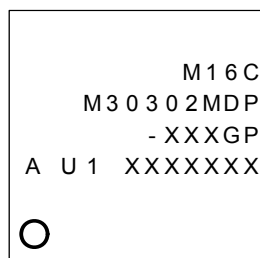
以後、チップバージョン変更ごとにA, B, Cと続きます。

U1 : 製品コードを示します。(「表1.3 製品コード」参照)

デートコード7桁

PLQP0100KB-A (100P6Q-A)

1. ルネサス標準マーク



型名 (「図1.2 型名とメモリサイズ・パッケージ」参照)

チップバージョン、製品コード、デートコード

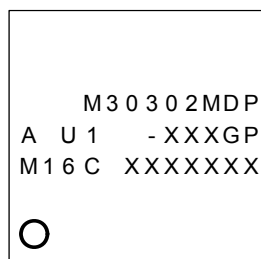
A : チップバージョンを示します。

以後、チップバージョン変更ごとにA, B, Cと続きます。

U1 : 製品コードを示します。(「表1.3 製品コード」参照)

XXXXXXX : デートコード7桁

2. 貴社パーツナンバ + ルネサス型名



型名 (「図1.2 型名とメモリサイズ・パッケージ」参照)

チップバージョン、製品コード

A : チップバージョンを示します。

以後、チップバージョン変更ごとにA, B, Cと続きます。

U1 : 製品コードを示します。(「表1.3 製品コード」参照)

デートコード7桁

注1. マスクROM版のマーキングの詳細は、マーク指定書をご参照ください。

図 1.3 マスクROM版マーキング図(上面図)

表 1.5 ワンタイムフラッシュ版、フラッシュメモリ版、ROMレス版の製品コード

	製品コード	パッケージ	内部ROM		動作周囲温度
			書き換え回数	温度範囲	
ワンタイムフラッシュ版(注1)	U3	鉛フリー	0	0℃～60℃	-40℃～85℃
	U5				-20℃～85℃
フラッシュメモリ版	U3	鉛フリー	100	0℃～60℃	-40℃～85℃
	U5				-20℃～85℃
ROMレス版	U3	鉛フリー	—	—	-40℃～85℃
	U5				-20℃～85℃

注1. ワンタイムフラッシュ版では、1回のみ書き込みが可能です。

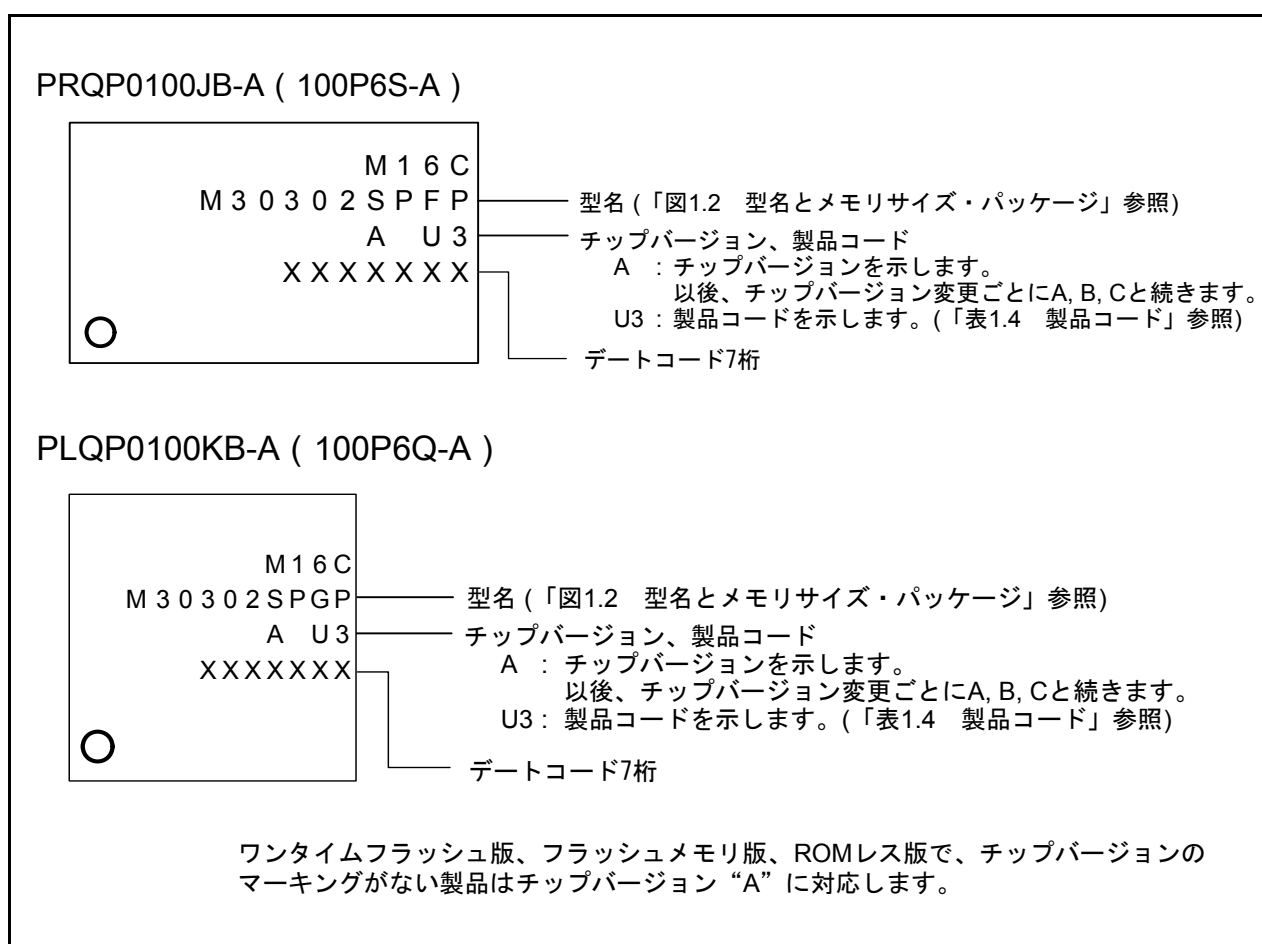


図 1.4 ワンタイムフラッシュ版、フラッシュメモリ版、ROMレス版のマーキング図(上面図)

1.5 ピン接続図

図 1.5～図 1.6 にピン接続図(上面図)を示します。

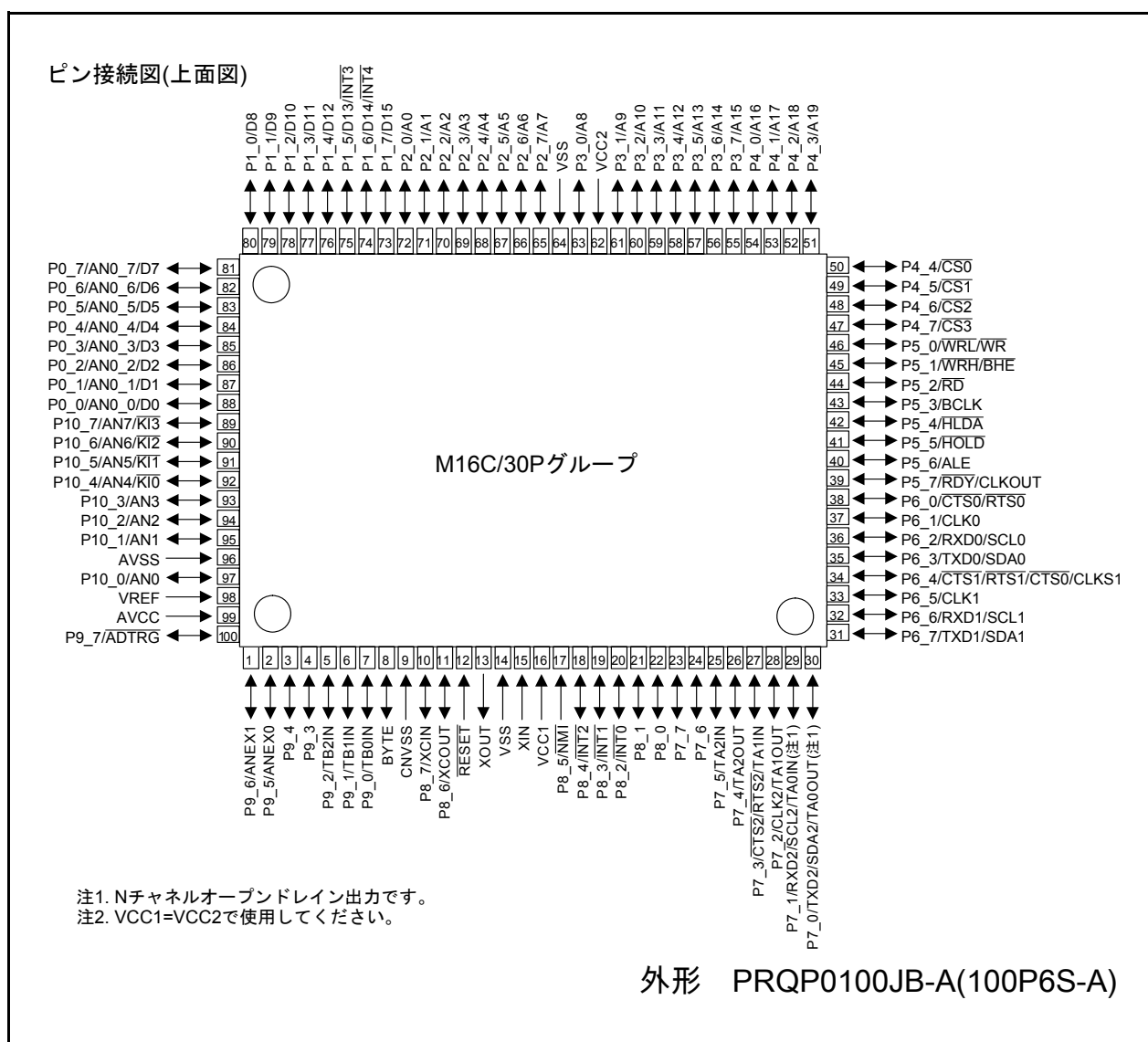


図 1.5 ピン接続図(上面図)

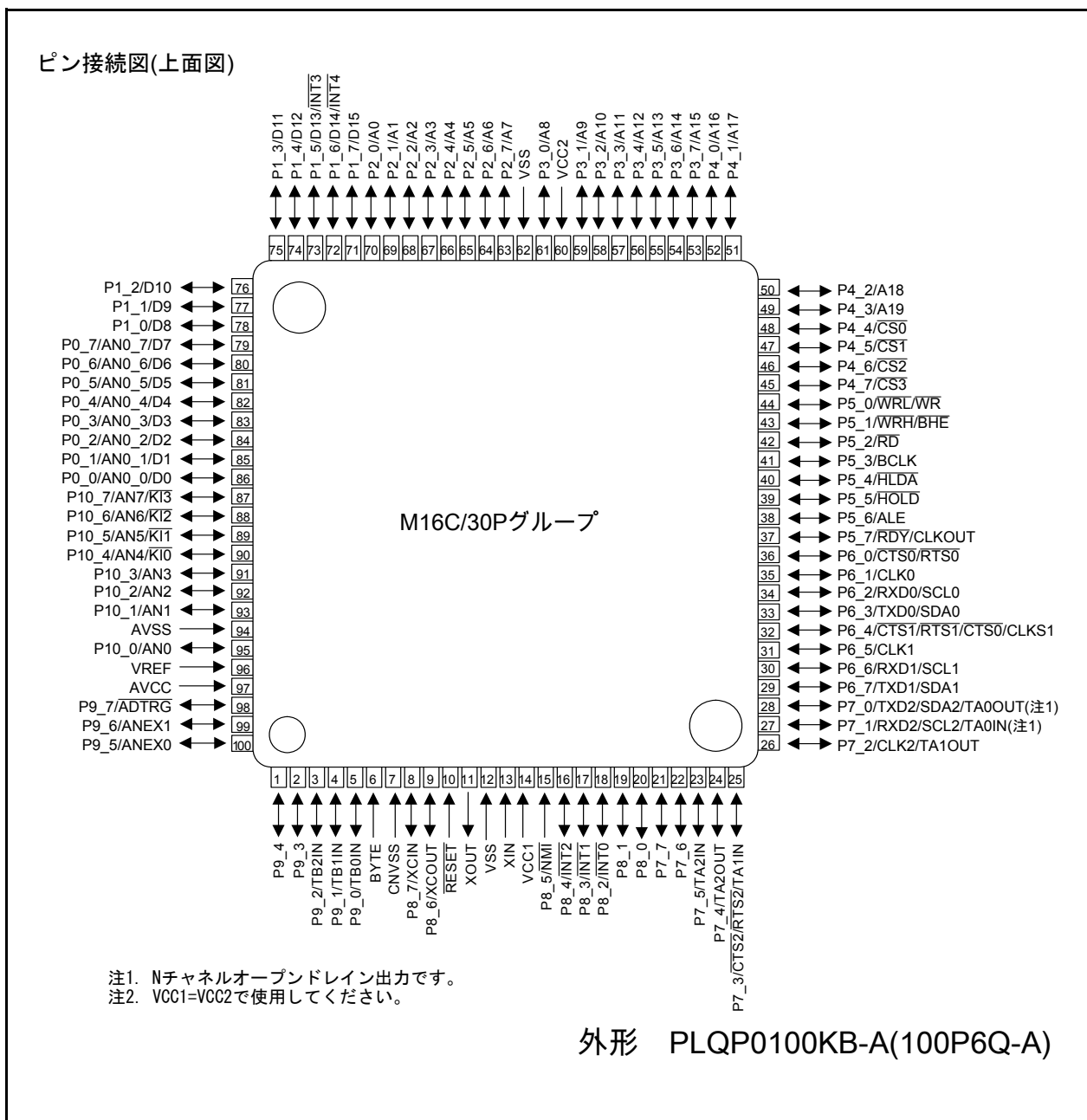


図 1.6 ピン接続図(上面図)

表 1.6 端子名一覧表(1)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
FP	GP							
1	99		P9_6				ANEX1	
2	100		P9_5				ANEX0	
3	1		P9_4					
4	2		P9_3					
5	3		P9_2		TB2IN			
6	4		P9_1		TB1IN			
7	5		P9_0		TB0IN			
8	6	BYTE						
9	7	CNVSS						
10	8	XCIN	P8_7					
11	9	XCOUT	P8_6					
12	10	RESET						
13	11	XOUT						
14	12	VSS						
15	13	XIN						
16	14	VCC1						
17	15		P8_5	NMI				
18	16		P8_4	INT2				
19	17		P8_3	INT1				
20	18		P8_2	INT0				
21	19		P8_1					
22	20		P8_0					
23	21		P7_7					
24	22		P7_6					
25	23		P7_5		TA2IN			
26	24		P7_4		TA2OUT			
27	25		P7_3		TA1IN	CTS2/RTS2		
28	26		P7_2		TA1OUT	CLK2		
29	27		P7_1		TA0IN	RXD2/SCL2		
30	28		P7_0		TA0OUT	TXD2/SDA2		
31	29		P6_7			TXD1/SDA1		
32	30		P6_6			RXD1/SCL1		
33	31		P6_5			CLK1		
34	32		P6_4			CTS1/RTS1/CTS0/CLKS1		
35	33		P6_3			TXD0/SDA0		
36	34		P6_2			RXD0/SCL0		
37	35		P6_1			CLK0		
38	36		P6_0			CTS0/RTS0		
39	37		P5_7					RDY/CLKOUT
40	38		P5_6					ALE
41	39		P5_5					HOLD
42	40		P5_4					HLDA
43	41		P5_3					BCLK
44	42		P5_2					RD
45	43		P5_1					WRH/BHE
46	44		P5_0					WRL/WR
47	45		P4_7					CS3
48	46		P4_6					CS2
49	47		P4_5					CS1
50	48		P4_4					CS0

表 1.7 端子名一覧表(2)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
FP	GP							
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8
64	62	VSS						
65	63		P2_7					A7
66	64		P2_6					A6
67	65		P2_5					A5
68	66		P2_4					A4
69	67		P2_3					A3
70	68		P2_2					A2
71	69		P2_1					A1
72	70		P2_0					A0
73	71		P1_7					D15
74	72		P1_6	INT4				D14
75	73		P1_5	INT3				D13
76	74		P1_4					D12
77	75		P1_3					D11
78	76		P1_2					D10
79	77		P1_1					D9
80	78		P1_0					D8
81	79		P0_7				AN0_7	D7
82	80		P0_6				AN0_6	D6
83	81		P0_5				AN0_5	D5
84	82		P0_4				AN0_4	D4
85	83		P0_3				AN0_3	D3
86	84		P0_2				AN0_2	D2
87	85		P0_1				AN0_1	D1
88	86		P0_0				AN0_0	D0
89	87		P10_7	KI3			AN7	
90	88		P10_6	KI2			AN6	
91	89		P10_5	KI1			AN5	
92	90		P10_4	KI0			AN4	
93	91		P10_3				AN3	
94	92		P10_2				AN2	
95	93		P10_1				AN1	
96	94	AVSS						
97	95		P10_0				AN0	
98	96	VREF						
99	97	AVCC						
100	98		P9_7				ADTRG	

1.6 端子機能の説明

表 1.8 端子の機能説明(1)

分類	端子名	入出力	機能
電源入力	VCC1、VCC2 VSS	入力	VCC1、VCC2端子には、2.7V～5.5Vを入力してください。入力条件はVCC1=VCC2です。VSSには、0Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス 切り替え入力	BYTE	入力	外部のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、VSSに接続してください。
バス制御端子	D0～D7	入出力	セパレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力を行います。
	D8～D15	入出力	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力を行います。
	A0～A19	出力	アドレスA0～A19を出力します。
	CS0～CS3	出力	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。 ・WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 ・WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのとき、このモードを使用してください。
	ALE	出力	アドレスをラッチするための信号です。
	HOLD	入力	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
	HLDA	出力	ホールド状態の期間、“L”を出力します。
	RDY	入力	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。

表 1.9 端子の機能説明 (2)

分類	端子名	入出力	機能
メインクロック 入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック 出力	XOUT	出力	
サブクロック入 力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出 力	XCOUT	出力	
クロック出力	CLKOUT	出力	fC、f8、またはf32と同じ周期のクロックを出力します。
INT 割り込み 入力	INT0 ~ INT4	入力	INT 割り込みの入力です。
NMI 割り込み 入力	NMI	入力	NMI 割り込みの入力です。
キー入力割り込 み入力	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマA	TA0OUT ~ TA2OUT	入出力	タイマA0 ~ A2の入出力です（ただし、TA0OUTの出力はNチャネルオープンドレイン）。
	TA0IN ~ TA2IN	入力	タイマA0 ~ A2入力です。
タイマB	TB0IN ~ TB2IN	入力	タイマB0 ~ B2の入力です。
シリアルインタ フェース	CTS0 ~ CTS2	入力	送信制御用入力です。
	RTS0 ~ RTS2	出力	受信制御用出力です。
	CLK0 ~ CLK2	入出力	転送クロック入出力です。
	RXD0 ~ RXD2	入力	シリアルデータ入力です。
	TXD0 ~ TXD2	出力	シリアルデータ出力です（ただし、TXD2の出力はNチャネルオープンドレイン）。
	CLKS1	出力	転送クロック複数端子出力機能の出力です。
I ² Cモード	SDA0 ~ SDA2	入出力	シリアルデータ入出力です（ただし、SDA2の出力はNチャネルオープンドレイン）。
	SCL0 ~ SCL2	入出力	転送クロック入出力です（ただし、SCL2の出力はNチャネルオープンドレイン）。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN7 AN0_0 ~ AN0_7	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です。
入出力ポート	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_0 ~ P7_7, P9_0 ~ P9_7, P10_0 ~ P10_7	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4ビット単位でプルアップ抵抗の有無を選択できます。（ただし、P7_0、P7_1の出力はNチャネルオープンドレイン出力。）
	P8_0 ~ P8_4, P8_6, P8_7	入出力	P0と同等の機能を持つ入出力ポートです。
入力ポート	P8_5	入力	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

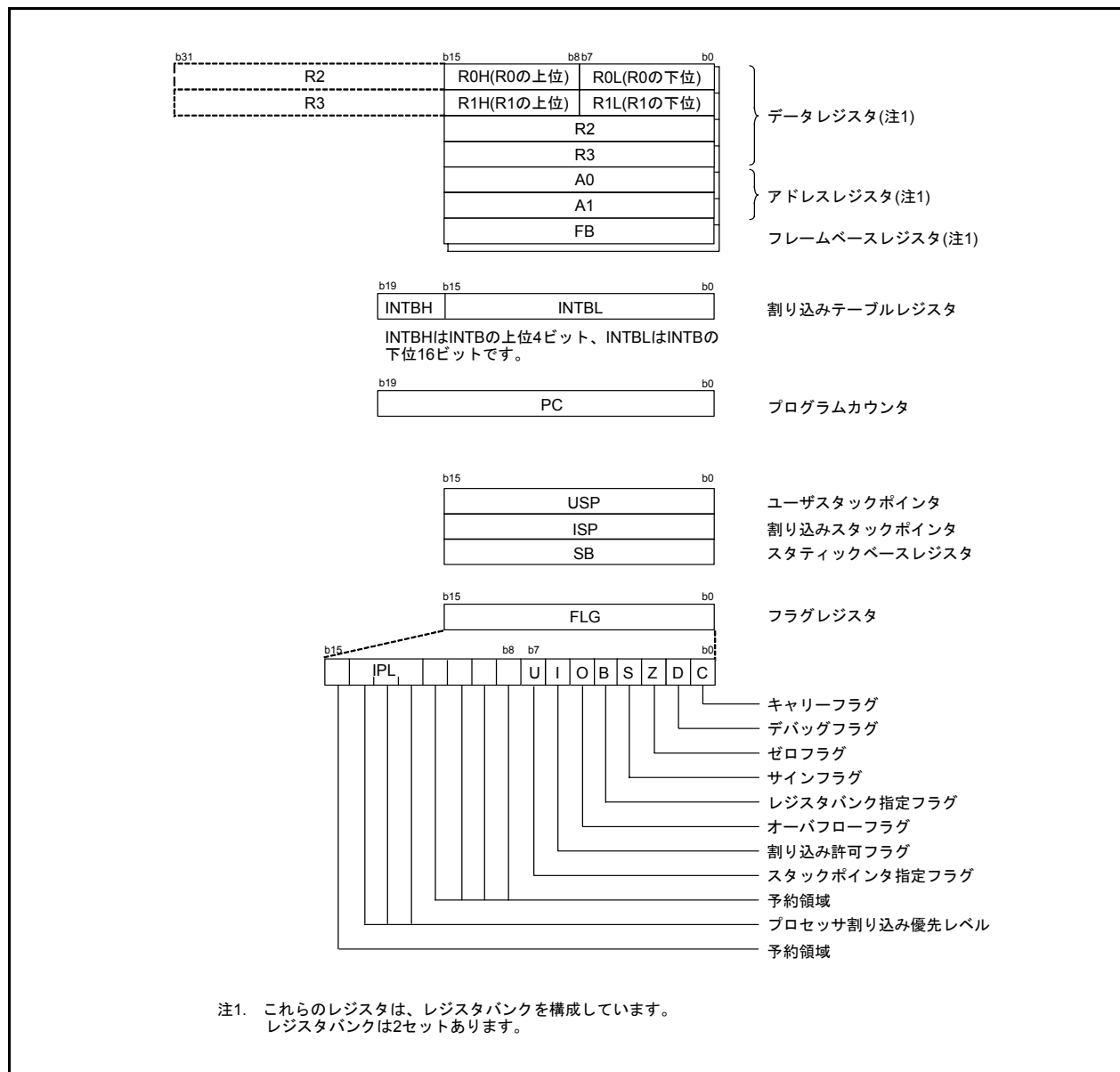


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP) は、USP と ISP の2種類あり、共に16ビットで構成されています。

USP と ISP は FLG の U フラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外の場合“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外の場合“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ (Iフラグ)

マスクابل割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクابل割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。

内部ROMはFFFFFh番地から下位方向に配置されます。例えば64Kバイトの内部ROMは、F0000h番地からFFFFFh番地に配置されます。フラッシュメモリ版には、0F000h番地から0FFFFh番地に4Kバイトの領域(ブロックA)があります。4Kバイトの領域は主にデータ格納用ですが、プログラムを格納することもできます。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば5Kバイトの内部RAMは、00400h番地から017FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から003FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFDCh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20 シリーズソフトウェアマニュアル」を参照してください。

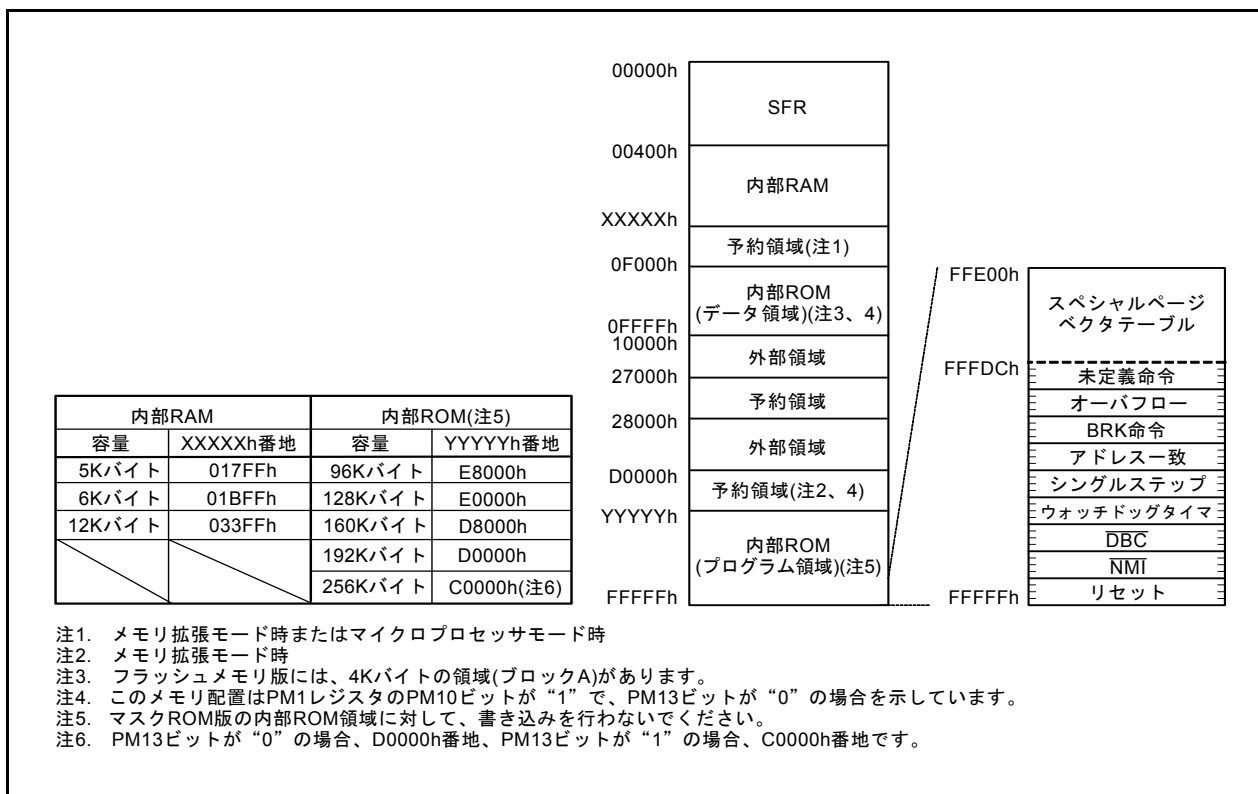


図3.1 メモリ配置

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.5にSFR一覧を示します。

表4.1 SFR一覧 (1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0 (注2)	PM0	00000000b(CNVSS端子が“L”) 00000011b(CNVSS端子が“H”)
0005h	プロセッサモードレジスタ1	PM1	00XXX0X0b
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	チップセレクト制御レジスタ	CSR	00000001b
0009h	アドレス一致割り込み許可レジスタ	AIER	XXXXXXXX00b
000Ah	プロテクトレジスタ	PRCR	XX000000b
000Bh			
000Ch			
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXb
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch			
001Dh			
001Eh			
001Fh			
0020h	DMA0 ソースポインタ	SAR0	XXh
0021h			XXh
0022h			XXh
0023h			
0024h	DMA0 ディスティネーションポインタ	DAR0	XXh
0025h			XXh
0026h			XXh
0027h			
0028h	DMA0 転送カウンタ	TCR0	XXh
0029h			XXh
002Ah			
002Bh			
002Ch	DMA0 制御レジスタ	DM0CON	00000X00b
002Dh			
002Eh			
002Fh			
0030h	DMA1 ソースポインタ	SAR1	XXh
0031h			XXh
0032h			XXh
0033h			
0034h	DMA1 ディスティネーションポインタ	DAR1	XXh
0035h			XXh
0036h			XXh
0037h			
0038h	DMA1 転送カウンタ	TCR1	XXh
0039h			XXh
003Ah			
003Bh			
003Ch	DMA1 制御レジスタ	DM1CON	00000X00b
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PM00、PM01ビットはソフトウェアリセット時は変化しません。

X: 不定です。

表 4.2 SFR一覧 (2) (注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
0045h			
0046h	UART1 バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXXX000b
0047h	UART0 バス衝突検出割り込み制御レジスタ	U0BCNIC	XXXXX000b
0048h			
0049h	INT4 割り込み制御レジスタ	INT4IC	XX00X000b
004Ah	UART2 バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX000b
004Bh	DMA0 割り込み制御レジスタ	DM0IC	XXXXX000b
004Ch	DMA1 割り込み制御レジスタ	DM1IC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D 変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	UART2 送信割り込み制御レジスタ	S2TIC	XXXXX000b
0050h	UART2 受信割り込み制御レジスタ	S2RIC	XXXXX000b
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1 送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1 受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	タイマ A0 割り込み制御レジスタ	TA0IC	XXXXX000b
0056h	タイマ A1 割り込み制御レジスタ	TA1IC	XXXXX000b
0057h	タイマ A2 割り込み制御レジスタ	TA2IC	XXXXX000b
0058h			
0059h			
005Ah	タイマ B0 割り込み制御レジスタ	TB0IC	XXXXX000b
005Bh	タイマ B1 割り込み制御レジスタ	TB1IC	XXXXX000b
005Ch	タイマ B2 割り込み制御レジスタ	TB2IC	XXXXX000b
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	INT2 割り込み制御レジスタ	INT2IC	XX00X000b
0060h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1 (注2)	FMR1	0X00XX0Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0 (注3)	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h			
~			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	00000011b
025Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. このレジスタはフラッシュメモリ版にあります。

注3. このレジスタはフラッシュメモリ版、ワンタイムフラッシュ版にあります。

X: 不定です。

表 4.3 SFR一覧 (3) (注1)

番地	レジスタ	シンボル	リセット後の値
0260h			
~			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh	割り込み要因選択レジスタ2	IFSR2A	00XXXXXXb
035Fh	割り込み要因選択レジスタ	IFSR	00h
0360h			
0361h			
0362h			
0363h			
0364h			
0365h			
0366h			
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch	UART0 特殊モードレジスタ4	U0SMR4	00h
036Dh	UART0 特殊モードレジスタ3	U0SMR3	000X0X0Xb
036Eh	UART0 特殊モードレジスタ2	U0SMR2	X0000000b
036Fh	UART0 特殊モードレジスタ	U0SMR	X0000000b
0370h	UART1 特殊モードレジスタ4	U1SMR4	00h
0371h	UART1 特殊モードレジスタ3	U1SMR3	000X0X0Xb
0372h	UART1 特殊モードレジスタ2	U1SMR2	X0000000b
0373h	UART1 特殊モードレジスタ	U1SMR	X0000000b
0374h	UART2 特殊モードレジスタ4	U2SMR4	00h
0375h	UART2 特殊モードレジスタ3	U2SMR3	000X0X0Xb
0376h	UART2 特殊モードレジスタ2	U2SMR2	X0000000b
0377h	UART2 特殊モードレジスタ	U2SMR	X0000000b
0378h	UART2 送受信モードレジスタ	U2MR	00h
0379h	UART2 ビットレートレジスタ	U2BRG	XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.4 SFR一覧 (4) (注1)

番地	レジスタ	シンボル	リセット後の値
037Ah 037Bh	UART2送信バッファレジスタ	U2TB	XXh XXh
037Ch	UART2送受信制御レジスタ0	U2C0	00001000b
037Dh	UART2送受信制御レジスタ1	U2C1	00000010b
037Eh 037Fh	UART2受信バッファレジスタ	U2RB	XXh XXh
0380h	カウンタ開始フラグ	TABSR	000XX000b
0381h	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXXb
0382h	ワンショット開始フラグ	ONSF	00XXX000b
0383h	トリガ選択レジスタ	TRGSR	XXXX0000b
0384h	アップダウンフラグ	UDF	XX0XX000b (注2)
0385h			
0386h 0387h	タイマA0レジスタ	TA0	XXh XXh
0388h 0389h	タイマA1レジスタ	TA1	XXh XXh
038Ah 038Bh	タイマA2レジスタ	TA2	XXh XXh
038Ch			
038Dh			
038Eh			
038Fh			
0390h 0391h	タイマB0レジスタ	TB0	XXh XXh
0392h 0393h	タイマB1レジスタ	TB1	XXh XXh
0394h 0395h	タイマB2レジスタ	TB2	XXh XXh
0396h	タイマA0モードレジスタ	TA0MR	00h
0397h	タイマA1モードレジスタ	TA1MR	00h
0398h	タイマA2モードレジスタ	TA2MR	00h
0399h			
039Ah			
039Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
039Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
039Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
039Eh			
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	00h
03A1h	UART0ビットレートレジスタ	U0BRG	XXh
03A2h 03A3h	UART0送信バッファレジスタ	U0TB	XXh XXh
03A4h	UART0送受信制御レジスタ0	U0C0	00001000b
03A5h	UART0送受信制御レジスタ1	U0C1	00XX0010b
03A6h 03A7h	UART0受信バッファレジスタ	U0RB	XXh XXh
03A8h	UART1送受信モードレジスタ	U1MR	00h
03A9h	UART1ビットレートレジスタ	U1BRG	XXh
03AAh 03ABh	UART1送信バッファレジスタ	U1TB	XXh XXh
03ACh	UART1送受信制御レジスタ0	U1C0	00001000b
03ADh	UART1送受信制御レジスタ1	U1C1	00XX0010b
03AEh 03AFh	UART1受信バッファレジスタ	U1RB	XXh XXh
03B0h	UART送受信制御レジスタ2	UCON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	00h
03B9h			
03BAh 03BBh	DMA1要因選択レジスタ	DM1SL	00h
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. アップダウンフラグのビット5は、リセットによりレジスタ値は“0”ですが、このビットを読んだ場合、不定です。

X: 不定です。

表4.5 SFR一覽 (5) (注1)

番地	レジスタ	シンボル	リセット後の値
03C0h 03C1h	A/D レジスタ 0	AD0	XXh XXh
03C2h 03C3h	A/D レジスタ 1	AD1	XXh XXh
03C4h 03C5h	A/D レジスタ 2	AD2	XXh XXh
03C6h 03C7h	A/D レジスタ 3	AD3	XXh XXh
03C8h 03C9h	A/D レジスタ 4	AD4	XXh XXh
03CAh 03CBh	A/D レジスタ 5	AD5	XXh XXh
03CCh 03CDh	A/D レジスタ 6	AD6	XXh XXh
03CEh 03CFh	A/D レジスタ 7	AD7	XXh XXh
03D0h			
03D1h			
03D2h			
03D3h			
03D4h 03D5h	A/D 制御レジスタ 2	ADCON2	XXX000X0b
03D6h	A/D 制御レジスタ 0	ADCON0	000X0XXXb
03D7h	A/D 制御レジスタ 1	ADCON1	00000XXXb
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h	ポート P0 レジスタ	P0	XXh
03E1h	ポート P1 レジスタ	P1	XXh
03E2h	ポート P0 方向レジスタ	PD0	00h
03E3h	ポート P1 方向レジスタ	PD1	00h
03E4h	ポート P2 レジスタ	P2	XXh
03E5h	ポート P3 レジスタ	P3	XXh
03E6h	ポート P2 方向レジスタ	PD2	00h
03E7h	ポート P3 方向レジスタ	PD3	00h
03E8h	ポート P4 レジスタ	P4	XXh
03E9h	ポート P5 レジスタ	P5	XXh
03EAh	ポート P4 方向レジスタ	PD4	00h
03EBh	ポート P5 方向レジスタ	PD5	00h
03EC h	ポート P6 レジスタ	P6	XXh
03EDh	ポート P7 レジスタ	P7	XXh
03EEh	ポート P6 方向レジスタ	PD6	00h
03EFh	ポート P7 方向レジスタ	PD7	00h
03F0h	ポート P8 レジスタ	P8	XXh
03F1h	ポート P9 レジスタ	P9	XXh
03F2h	ポート P8 方向レジスタ	PD8	00X00000b
03F3h	ポート P9 方向レジスタ	PD9	00h
03F4h	ポート P10 レジスタ	P10	XXh
03F5h			
03F6h	ポート P10 方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh	ブルアップ制御レジスタ 0	PUR0	00h
03FDh	ブルアップ制御レジスタ 1	PUR1	00000000b (注2) 00000010b
03FEh	ブルアップ制御レジスタ 2	PUR2	00h
03FFh	ポート制御レジスタ	PCR	00h

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセットでは次のようになります。

- ・ CNVSS 端子に“L”を入力している場合、“00000000b”
 - ・ CNVSS 端子に“H”を入力している場合、“00000010b”
- ソフトウェアリセットでは次のようになります。
- ・ PM0 レジスタの PM01～PM00 ビットが“00b”（シングルチップモード）の場合、“00000000b”
 - ・ PM0 レジスタの PM01～PM00 ビットが“01b”（メモリ拡張モード）または“11b”（マイクロプロセッサモード）の場合、“00000010b”

X: 不定です。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセットがあります。

5.1 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子は初期化されます(「表 5.1 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態」を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。 $\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にすると CPU と SFR が初期化され、リセットベクタで示される番地からプログラムを実行します。内部 RAM は初期化されません。また、内部 RAM に書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部 RAM は不定となります。

図 5.1 リセット回路の一例を、図 5.2 リセットシーケンスを、表 5.1 に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を示します。

5.1.1 電源安定時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) XIN 端子に 20 サイクル以上のクロックを入力する
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

5.1.2 電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4) XIN 端子に 20 サイクル以上のクロックを入力する
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

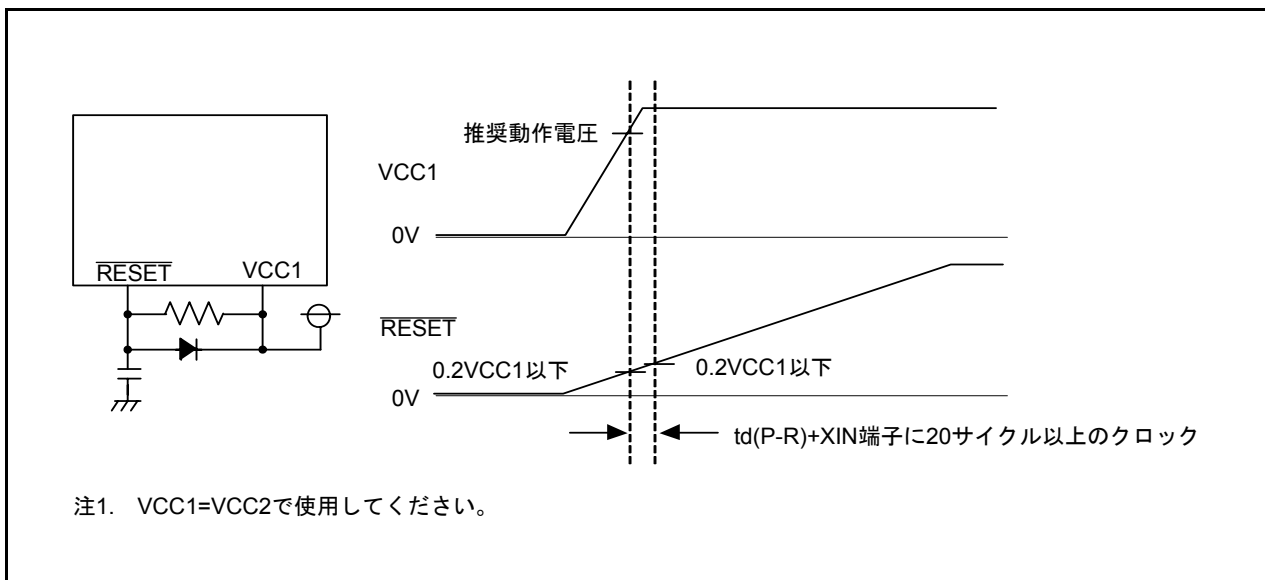


図 5.1 リセット回路の一例

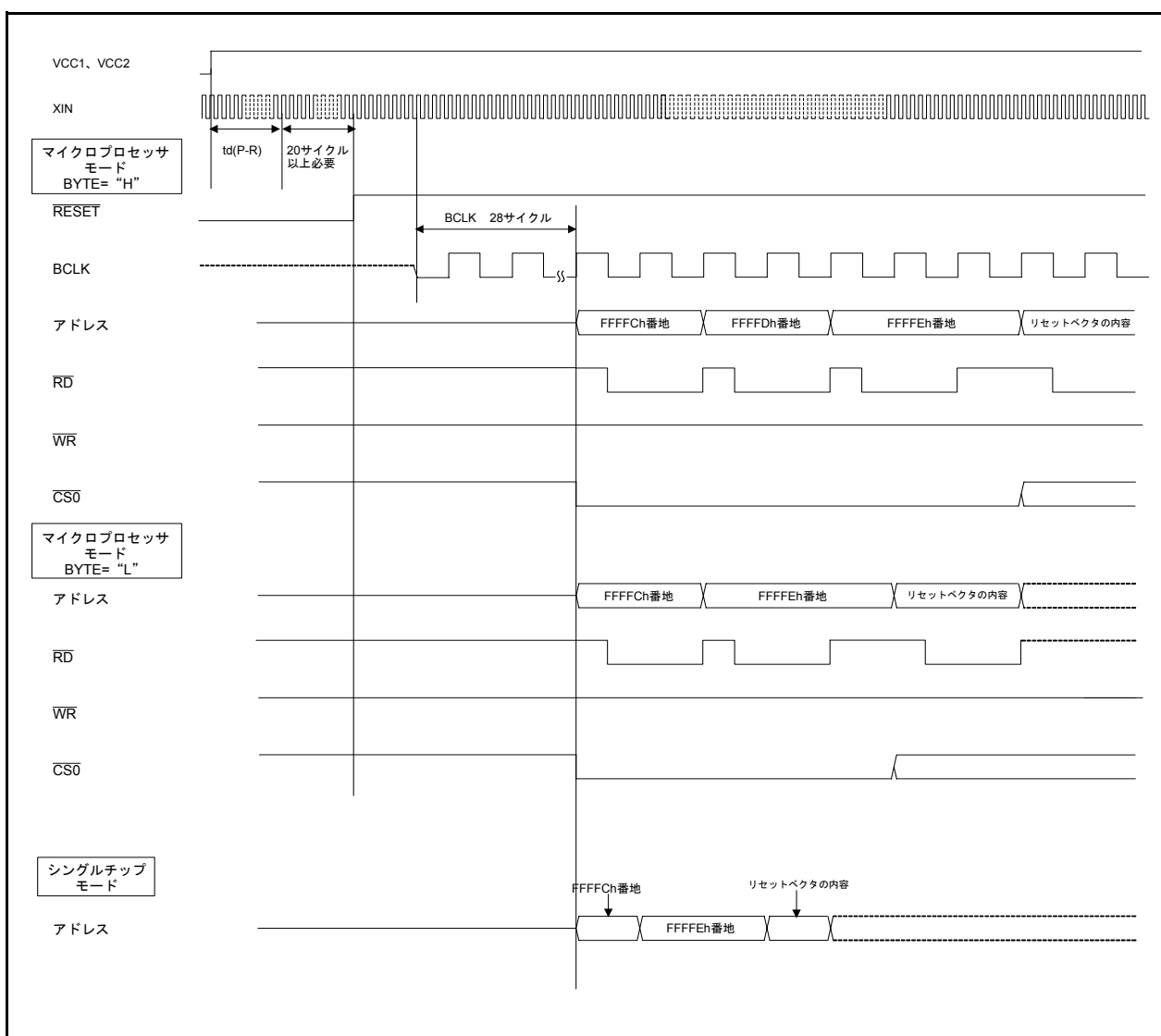


図5.2 リセットシーケンス

表 5.1 RESET 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVSS = VSS	CNVSS = VCC1 (注 1)	
		BYTE = VSS	BYTE = VCC1
P0	入力ポート	データ入力	データ入力
P1	入力ポート	データ入力	入力ポート
P2, P3, P4_0～P4_3	入力ポート	アドレス出力(不定)	アドレス出力(不定)
P4_4	入力ポート	$\overline{\text{CS0}}$ 出力(“H”を出力)	$\overline{\text{CS0}}$ 出力(“H”を出力)
P4_5～P4_7	入力ポート	入力ポート(プルアップあり)	入力ポート(プルアップあり)
P5_0	入力ポート	$\overline{\text{WR}}$ 出力(“H”を出力)	$\overline{\text{WR}}$ 出力(“H”を出力)
P5_1	入力ポート	$\overline{\text{BHE}}$ 出力(不定)	$\overline{\text{BHE}}$ 出力(不定)
P5_2	入力ポート	$\overline{\text{RD}}$ 出力(“H”を出力)	$\overline{\text{RD}}$ 出力(“H”を出力)
P5_3	入力ポート	BCLK出力	BCLK出力
P5_4	入力ポート	$\overline{\text{HLDA}}$ 出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存)	$\overline{\text{HLDA}}$ 出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存)
P5_5	入力ポート	$\overline{\text{HOLD}}$ 入力	$\overline{\text{HOLD}}$ 入力
P5_6	入力ポート	ALE出力(“L”を出力)	ALE出力(“L”を出力)
P5_7	入力ポート	$\overline{\text{RDY}}$ 入力	$\overline{\text{RDY}}$ 入力
P6, P7, P8_0～P8_4, P8_6, P8_7, P9, P10	入力ポート	入力ポート	入力ポート

注 1. CNVSS=VCC1時は、電源投入後、内部電源電圧が安定してからの状態です。

内部電源電圧が安定するまでは不定です。

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.3 内部領域の状態

図5.3 リセット後のCPUレジスタの状態を示します。リセット後のSFRの詳細は「4. SFR」を参照してください。

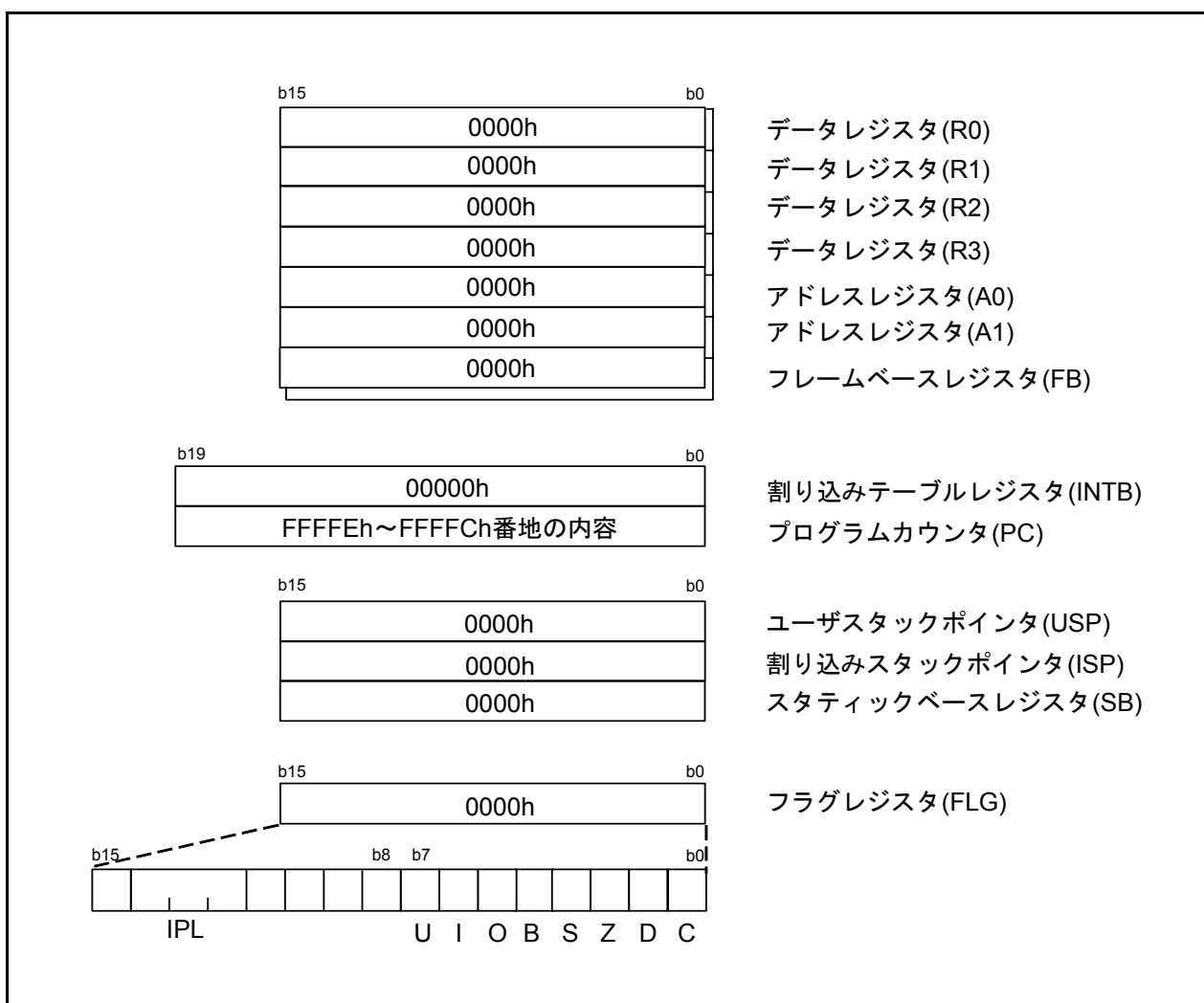


図5.3 リセット後のCPUレジスタの状態

5.4 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、WDCレジスタのWDC5フラグによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセット信号が入力されたときのウォームスタート(リセット処理)を判定することができます。

WDC5フラグは、電源投入時“0”で、WDCレジスタに書き込み動作(レジスタへの書き込む値は任意)を行うと“1”になり、ソフトウェアリセットやリセット信号の入力に対しても“0”になりません。図5.4にコールドスタート/ウォームスタート判定機能のブロック図を、図5.5にコールドスタート/ウォームスタート判定機能の動作例を示します。図5.6にWDCレジスタを示します。

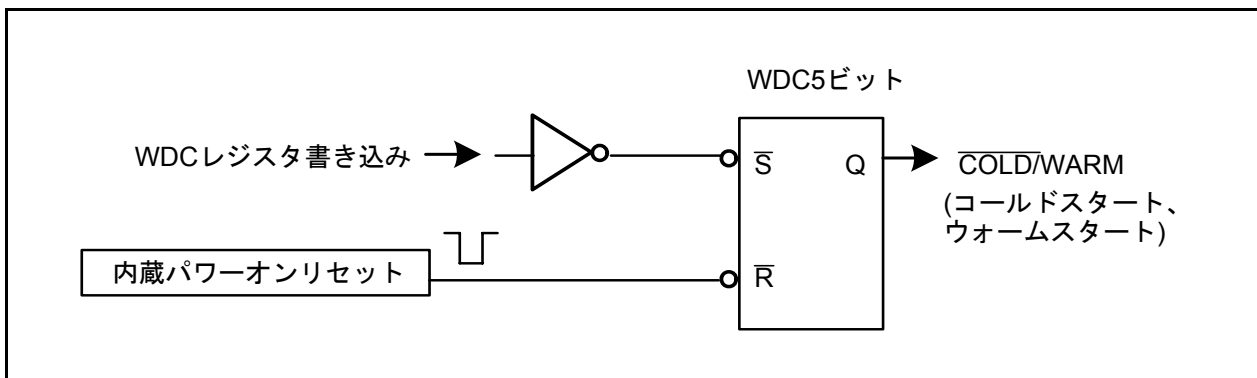


図5.4 コールドスタート/ウォームスタート判定機能のブロック図

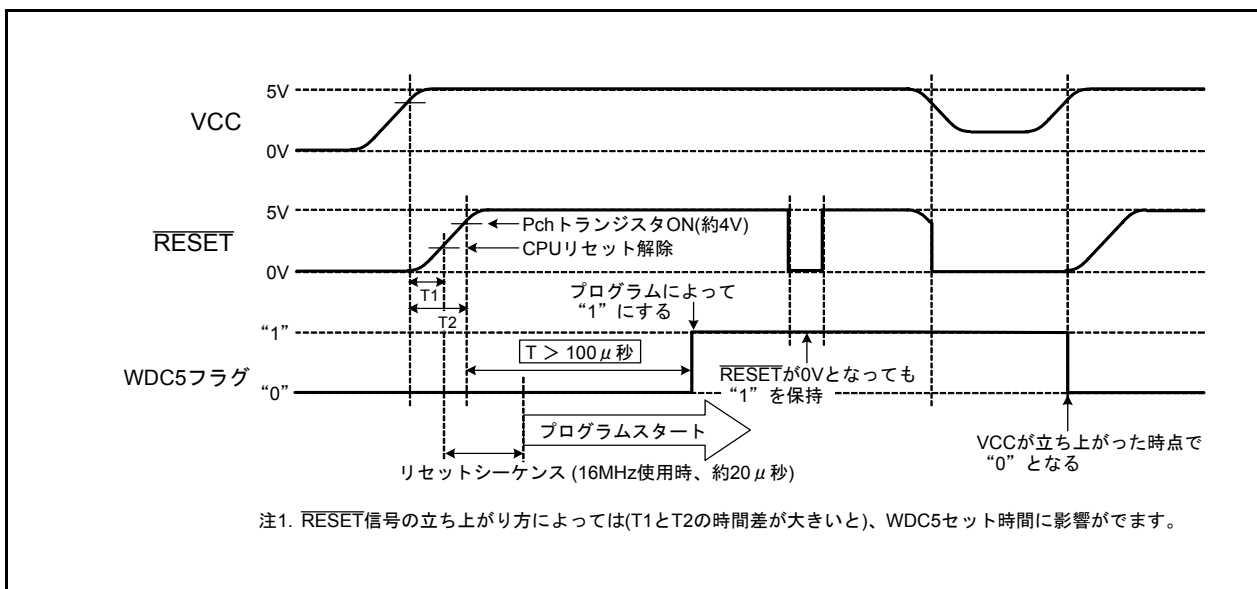


図5.5 コールドスタート/ウォームスタート判定機能の動作例

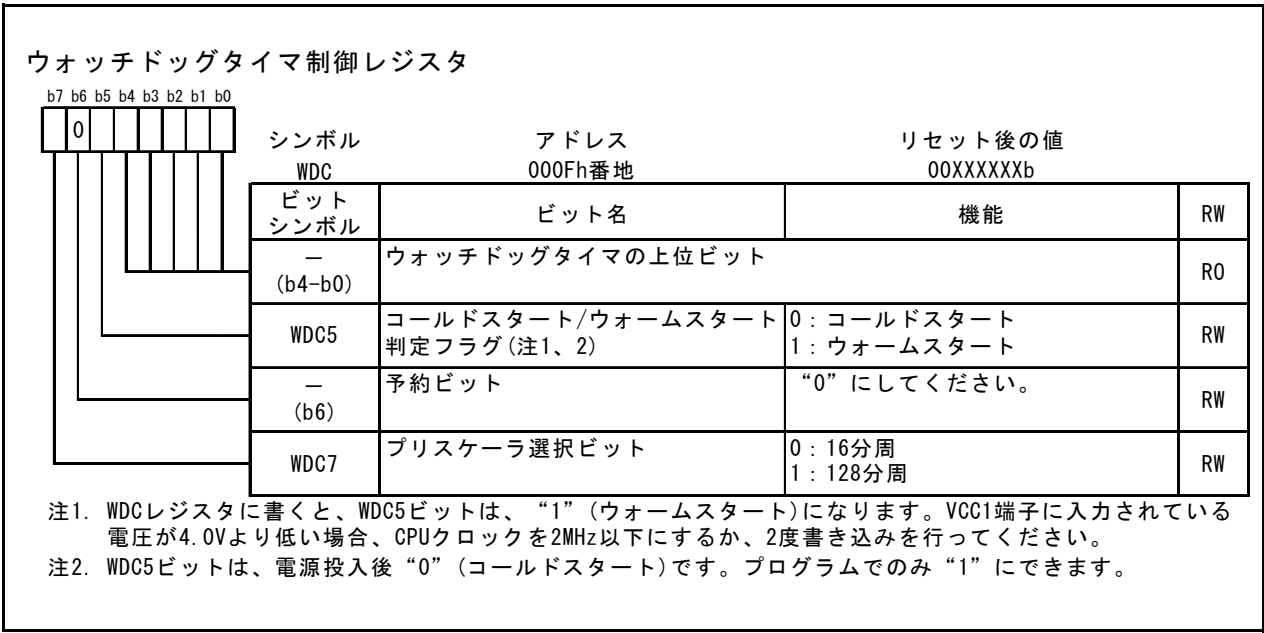


図 5.6 WDC レジスタ

6. プロセッサモード

6.1 プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードを選択できます。表6.1 プロセッサモードの特長を示します。

表6.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子
メモリ拡張モード	SFR、内部RAM、内部ROM、外部領域(注1)	一部の端子がバス制御端子(注1)
マイクロプロセッサモード	SFR、内部RAM、外部領域(注1)	一部の端子がバス制御端子(注1)

注1. 詳細は、「7.バス」を参照してください。

6.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS端子、PM0レジスタのPM01～PM00ビットで行います。表6.2にハートウェアリセット後のプロセッサモード、表6.3にPM01～PM00ビットの設定値に対するプロセッサモードを示します。

表6.2 ハートウェアリセット後のプロセッサモード

CNVSS端子の入力レベル	プロセッサモード
VSS	シングルチップモード
VCC1(注1)	マイクロプロセッサモード

注1. CNVSS端子にVCC1を入力し、ハードウェアリセットした場合、PM01～PM00ビットにかかわらず、内部ROMはアクセスできません。

表6.3 PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
00b	シングルチップモード
01b	メモリ拡張モード
10b	設定しないでください
11b	マイクロプロセッサモード

PM01～PM00ビットを書き換えると、CNVSS端子の入力レベルにかかわらず、PM01～PM00ビットに対応するモードになります。PM01～PM00ビットを“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)に書き換える場合、PM07～PM06、PM03～PM02ビットと同時に書き換えしないでください。また、内部ROMでのマイクロプロセッサモードへの移行、内部ROMと重なる領域でのマイクロプロセッサモードからの移行は行わないでください。

CNVSS端子にVCC1を入力し、ハードウェアリセットした場合、PM01～PM00ビットにかかわらず、内部ROMはアクセスできません。

図6.1～図6.3にプロセッサモード関連レジスタ、図6.4 シングルチップモード時のメモリ配置を示します。

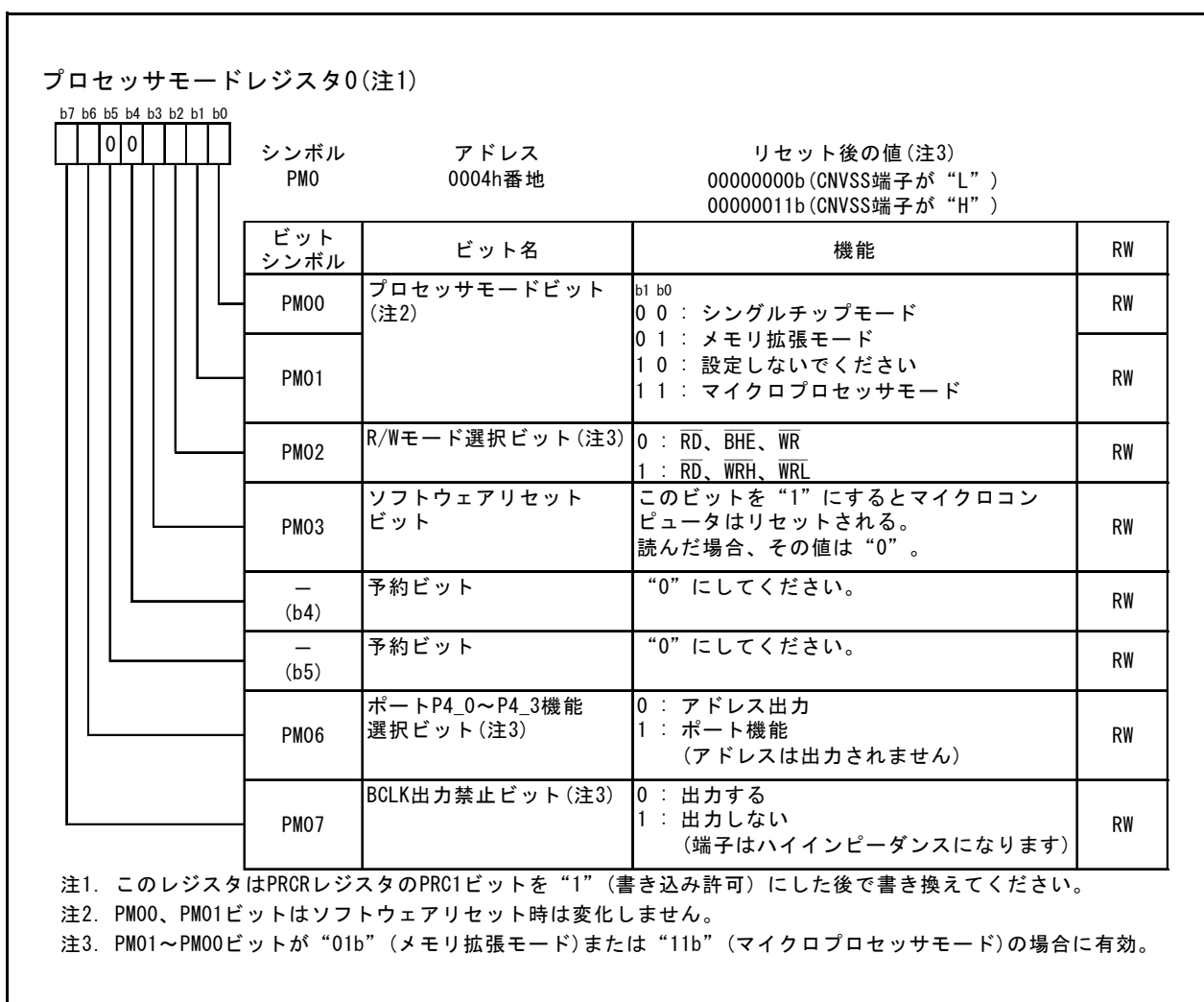


図6.1 PM0 レジスタ

プロセッサモードレジスタ1(注1)

b7

b6

b5

b4

b3

b2

b1

b0

0

X

X

X

0

X

シンボル

PM1

アドレス

0005h番地

リセット後の値

00XXX0X0b

ビットシンボル	ビット名	機能	RW
PM10	CS2領域切り替えビット (データブロック有効ビット) (注2)	0 : 08000h~26FFFh(ブロックA無効) 1 : 10000h~26FFFh(ブロックA有効)	RW
— (b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b2)	予約ビット	“0”にしてください。	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b6)	予約ビット	“0”にしてください。	RW
PM17	ウェイトビット(注3)	0 : ウェイトなし 1 : ウェイトあり(1ウェイト)	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. マスクROM版、ワンタイムフラッシュ版では、“0”にしてください。フラッシュメモリ版の場合、PM10ビットはブロックAが有効か無効かも制御します。PM10ビットが“1”の場合、0F000h~0FFFFhが内部ROM領域になります。なお、フラッシュメモリ版、ワンタイムフラッシュ版では、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードまたはFMSTPビット有効)の期間、PM10ビットは自動的に“1”になります。

注3. PM17ビットが“1”(ウェイトあり)の場合、内部RAM、内部ROMアクセス時に1ウェイトが挿入されます。PM17ビットが“1”で、外部領域をアクセスする場合は、CSRレジスタのCSiWビット(i=0~3)を“0”(ウェイトあり)にしてください。

図6.2 PM1レジスタ(1)

プロセッサモードレジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値	
0	×	×	×	0	×	×	×	PM1	0005h番地	00XX0X0b	
								ビット シンボル	ビット名	機能	RW
								PM10	CS2領域切り替えビット (注2)	0 : 08000h～26FFFh 1 : 10000h～26FFFh	RW
								— (b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
								— (b2)	予約ビット	“0”にしてください。	RW
								PM13	内部予約領域拡張ビット (注4)	注5を参照してください	RW
								— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
								— (b6)	予約ビット	“0”にしてください。	RW
								PM17	ウェイトビット(注3)	0: ウェイトなし 1: ウェイトあり(1ウェイト)	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注2. ワンタイムフラッシュ版では、“0”にしてください。

注3. PM17ビットが“1”（ウェイトあり）の場合、内部RAM、内部ROMアクセス時に1ウェイトが挿入されます。
PM17ビットが“1”で、外部領域をアクセスする場合は、CSRレジスタのCSiWビット(i=0~3)を“0”（ウェイトあり）にしてください。

注4. FMR0レジスタのFMR01ビットが“1”（FMSTPビット有効、またはCPU書き換えモード有効）の期間、PM13ビットは自動的に“1”になります。

注5. PM13ビットで次のとおりアクセス領域が変化します。

アクセス領域		PM13=0	PM13=1
内部	RAM	最大00400h~03FFFh番地(15Kバイト)	全領域を使用可能
	ROM	最大D0000h~FFFFFh番地(192Kバイト)	全領域を使用可能
外部		04000h~07FFFh番地を使用可能 80000h~CFFFFh番地を使用可能	04000h~07FFFh番地は予約領域 80000h~CFFFFh番地は予約領域 (メモリ拡張モード時)

図6.3 PM1レジスタ(2) (M30304GDPFP、M30304GDPGP、M30304GEPFP、M30304GEPGP、M30302GGPFP、M30302GGPGP)

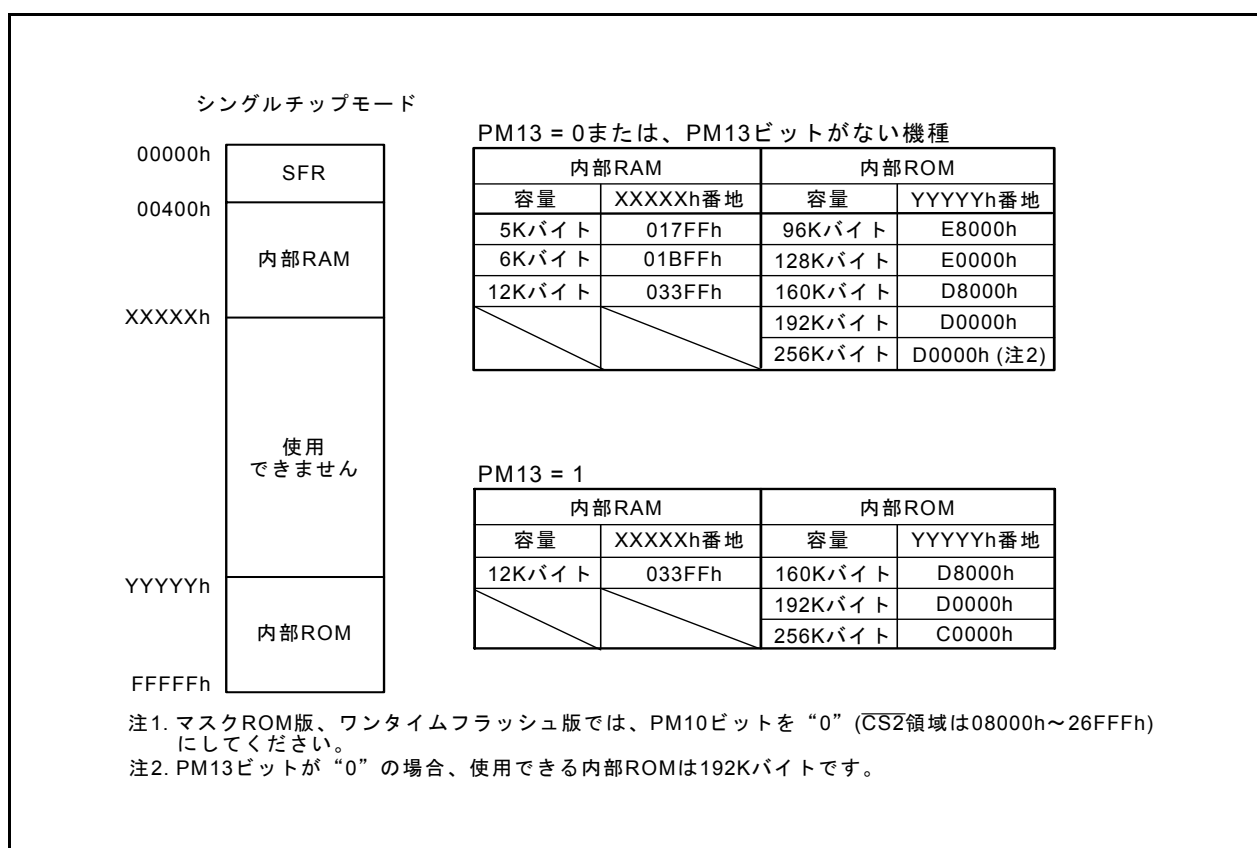


図6.4 シングルチップモード時のメモリ配置

7. バス

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子が外部デバイスとのデータ入出力を行うバス制御端子となります。バス制御端子にはA0～A19、D0～D15、CS0～CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLKがあります。

7.1 バス形式

バス形式は、データとアドレスを分離するセパレートバス形式です。

7.2 バス制御

外部デバイスのアクセスに必要な信号とソフトウェアウェイトについて説明します。

7.2.1 アドレスバス

アドレスバスはA0～A19の20本あります。アドレスバス幅はPM0レジスタのPM06ビットによって16ビット、20ビットから選択できます。表7.1 PM06ビットの設定値とアドレスバス幅を示します。

表7.1 PM06ビットの設定値とアドレスバス幅

設定値(注1)	端子の機能	アドレスバス幅
PM06=1	P4_0～P4_3	16ビット
PM06=0	A16～A19	20ビット

注1. この表で示す値以外を設定しないでください。

なお、シングルチップモードからメモリ拡張モードに変更した場合、アドレスバスは外部領域をアクセスするまで不定です。

7.2.2 データバス

BYTE端子に“H”を入力している(データバス幅が8ビット)場合、D0～D7の8本がデータバスに、BYTE端子に“L”を入力している(データバス幅が16ビット)場合、D0～D15の16本がデータバスになります。

BYTE端子の入力レベルは変更しないでください。

7.2.3 チップセレクト信号

チップセレクト信号(以下、 $\overline{CS}$ と称す)は $\overline{CSi}(i=0\sim 3)$ 端子から出力されます。CSRレジスタの CSi ビットによって、端子の機能を入出力ポートにするか $\overline{CS}$ にするかを選択できます。図7.1にCSRレジスタを示します。

1Mバイトモードは $\overline{CSi}$ 端子から出力される $\overline{CSi}$ 信号によって外部領域を最大4つに分割できます。図7.2に1Mバイトモードのアドレスバスと $\overline{CSi}$ 信号の出力例(セパレートバス、ウェイトなし)を示します。

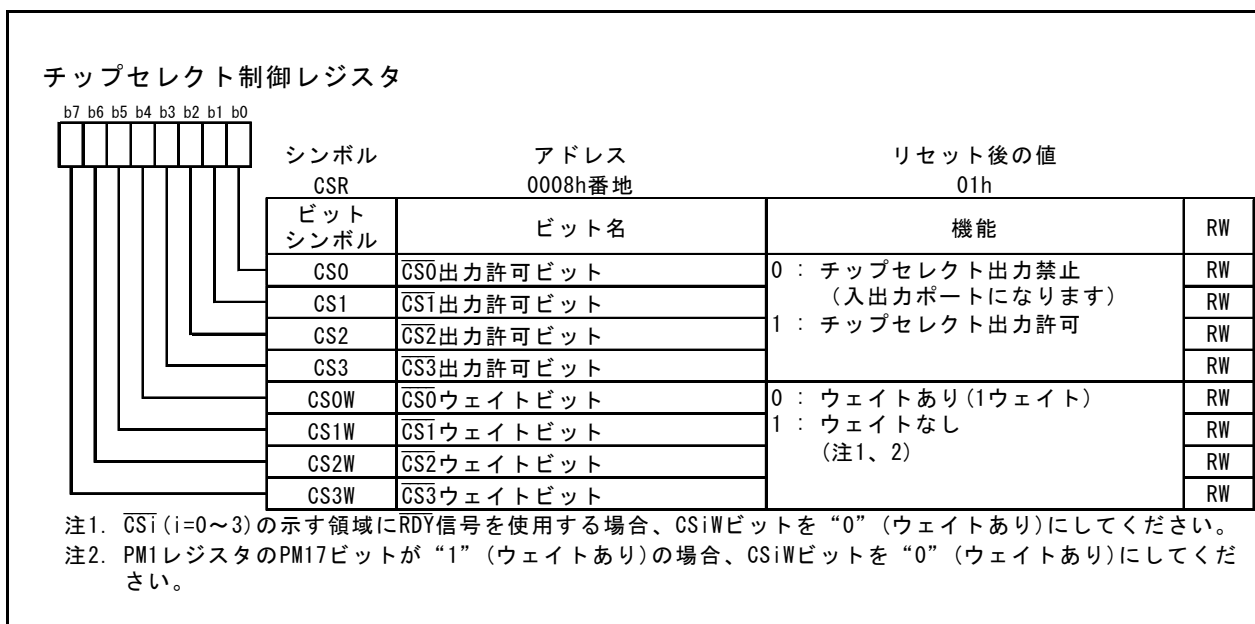
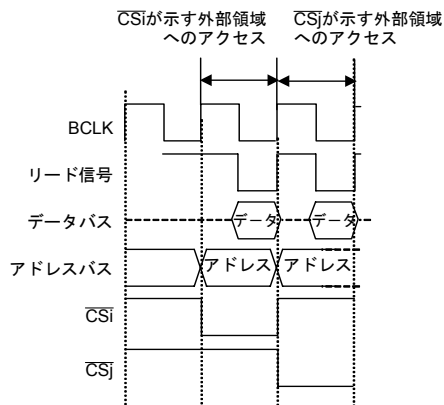


図7.1 CSRレジスタ

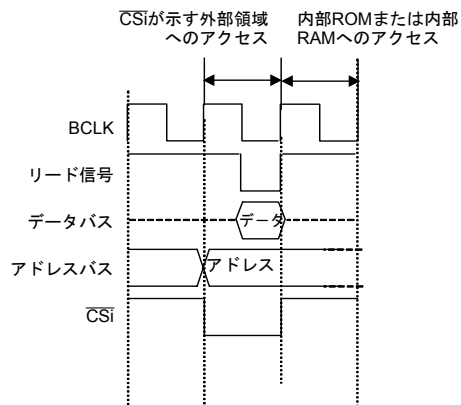
例1. $\overline{CSi}$ が示す外部領域へアクセス後、次のサイクルで $\overline{CSj}$ が示す外部領域へアクセスする場合

この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化する。



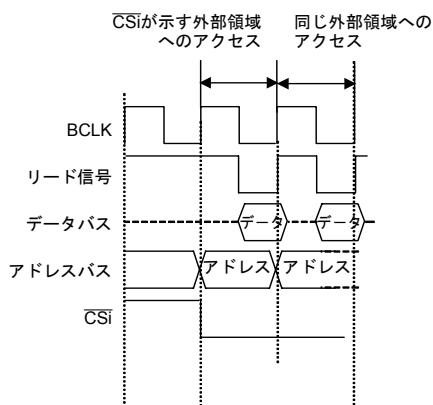
例2. $\overline{CSi}$ が示す外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合

この2つのサイクル間でチップセレクト信号は変化するが、アドレスバスは変化しない。



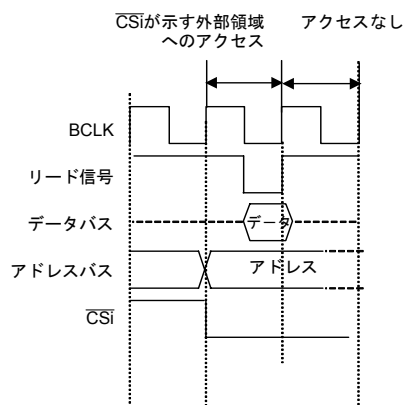
例3. $\overline{CSi}$ が示す外部領域へアクセス後、次のサイクルで同じ $\overline{CSi}$ が示す外部領域へアクセスする場合

この2つのサイクル間でアドレスバスは変化するが、チップセレクト信号は変化しない。



例4. $\overline{CSi}$ が示す外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合

この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化しない。



注1. これらの例は、連続する2つのサイクルのアドレスバスとチップセレクト信号を示しています。これらの例の組み合わせにより、チップセレクトは2バスサイクル以上、伸びる場合があります。

上図は、セバレートバス、ウェイトなし、読み出しの場合です。i=0~3、j=0~3(ただし、iを除く)。

図7.2 1Mバイトモードのアドレスバスと $\overline{CSi}$ 信号の出力例

7.2.4 リード信号、ライト信号

データバス幅が 16 ビットの場合、リード信号、ライト信号は PM0 レジスタの PM02 ビットによって、 $\overline{\text{RD}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$ の組み合わせ、または $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ の組み合わせを選択できます。データバス幅が 8 ビットの場合、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ の組み合わせにしてください。表 7.2 に $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 信号の動作、表 7.3 に $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 信号の動作を示します。

表 7.2 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 信号の動作

データバス	$\overline{\text{RD}}$	$\overline{\text{WRL}}$	$\overline{\text{WRH}}$	外部データバスの状態
16 ビット (BYTE 端子に “L” を入力)	L	H	H	データを読む
	H	L	H	偶数番地に 1 バイトデータを書く
	H	H	L	奇数番地に 1 バイトデータを書く
	H	L	L	偶数番地、奇数番地ともにデータを書く

表 7.3 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 信号の動作

データバス	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{BHE}}$	A0	外部データバスの状態
16 ビット (BYTE 端子に “L” を入力)	H	L	L	H	奇数番地に 1 バイトデータを書く
	L	H	L	H	奇数番地の 1 バイトデータを読む
	H	L	H	L	偶数番地に 1 バイトデータを書く
	L	H	H	L	偶数番地の 1 バイトデータを読む
	H	L	L	L	偶数番地、奇数番地ともにデータを書く
	L	H	L	L	偶数番地、奇数番地ともにデータを読む
8 ビット (BYTE 端子に “H” を入力)	H	L	-(注 1)	H または L	1 バイトのデータを書く
	L	H	-(注 1)	H または L	1 バイトのデータを読む

注 1. 使用しないでください。

7.2.5 ALE 信号

アドレスをラッチするための信号です。

7.2.6 $\overline{\text{RDY}}$ 信号

アクセス速度が遅い外部デバイスをアクセスするための信号です。バスサイクルの最後のBCLKの立ち下がり時に $\overline{\text{RDY}}$ 端子へ“L”が入力されている場合、バスサイクルにウェイトが挿入されます。 $\overline{\text{RDY}}$ 信号によるウェイト中、次の信号は $\overline{\text{RDY}}$ 信号を受け付けたときの状態を保持します。

A0～A19、D0～D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、ALE、 $\overline{\text{HLDA}}$

その後、BCLKの立ち下がり時に $\overline{\text{RDY}}$ 端子へ“H”が入力されていると、残りのバスサイクルを実行します。図7.3に $\overline{\text{RDY}}$ 信号によってリードサイクルにウェイトが挿入された例を示します。

$\overline{\text{RDY}}$ 信号を使用する場合、CSRレジスタの対応するビット(CS3W～CS0Wビット)を“0”(ウェイトあり)にしてください。 $\overline{\text{RDY}}$ 信号を使用しない場合、 $\overline{\text{RDY}}$ 端子をプルアップにしてください。

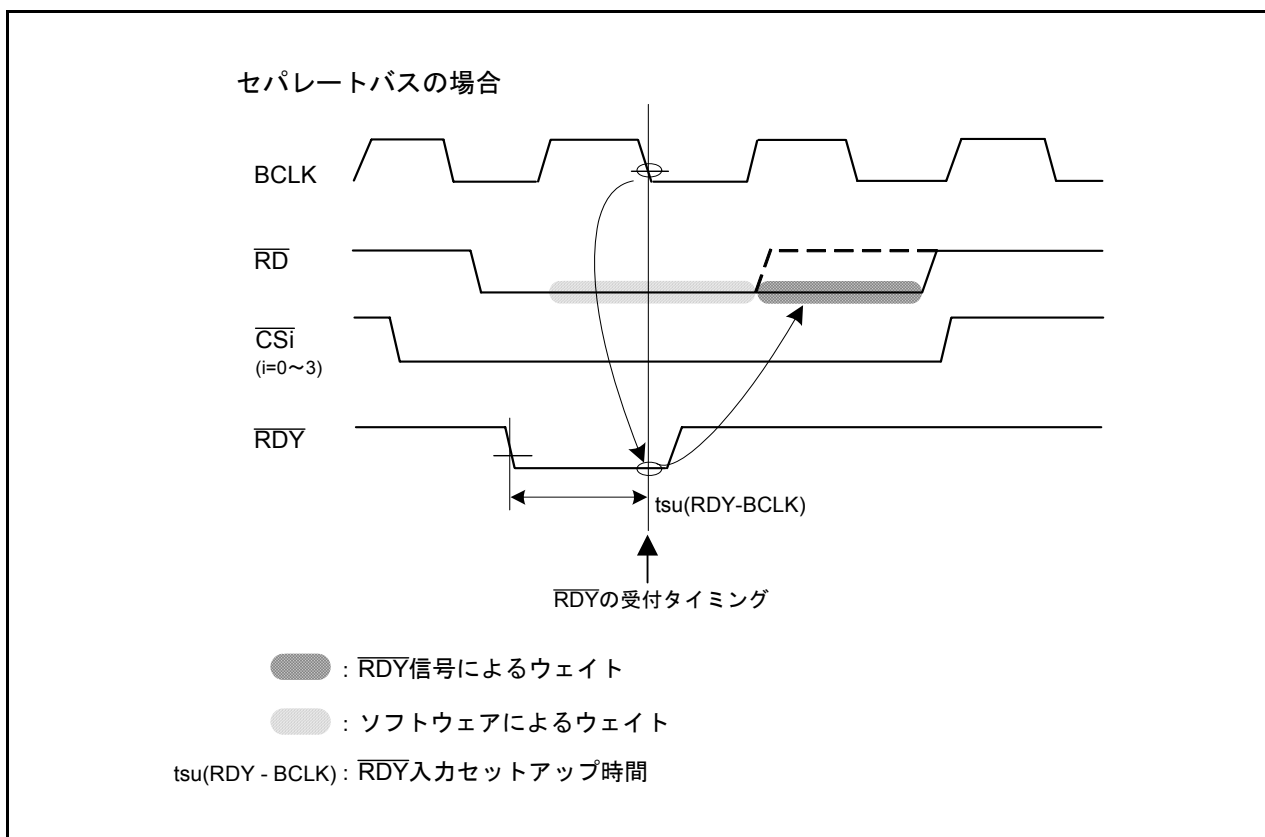


図7.3 $\overline{\text{RDY}}$ 信号によってリードサイクルにウェイトが挿入された例

7.2.7 $\overline{\text{HOLD}}$ 信号

バスの使用権を CPU や DMA から外部回路へ移行するための信号です。 $\overline{\text{HOLD}}$ 端子に “L” を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。 $\overline{\text{HOLD}}$ 端子が “L” の期間、ホールド状態を保持し、 $\overline{\text{HLDA}}$ 端子からホールド状態の間、“L” を出力します。表 7.4 ホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{\text{HOLD}}$ 、DMAC、CPU となります。ただし、CPU が奇数番地をワード単位でアクセスしている場合、2 回に分けられたアクセスの間、DMA はバス使用権を得ることはできません。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

図 7.4 バス使用優先順位

表 7.4 ホールド状態におけるマイクロコンピュータの状態

項目		状態
BCLK		出力
$\overline{\text{A0}} \sim \overline{\text{A19}}$ 、 $\overline{\text{D0}} \sim \overline{\text{D15}}$ 、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$		ハイインピーダンス
入出力ポート	P0、P1、P3、P4(注1)	ハイインピーダンス
	P6 ~ P10	$\overline{\text{HOLD}}$ 信号を受け付けたときの状態を保持
$\overline{\text{HLDA}}$		“L” を出力
内部周辺機能		動作(ただしウォッチドッグタイマは停止)
ALE		不定

注 1. 入出力ポートを選択した場合です。

7.2.8 BCLK 出力

PM0 レジスタの PM07 ビットを “0” (出力する) にすると、CPU クロックと同一周波数のクロックが BCLK として BCLK 端子から出力されます。詳細は「9.2 CPU クロックと周辺機能クロック」を参照してください。

表 7.5 プロセッサモードと端子の機能表

プロセッサモード		メモリ拡張モードまたはマイクロプロセッサモード	
データバス幅 BYTE 端子		8ビット “H”	16ビット “L”
P0_0～P0_7		D0～D7	D0～D7
P1_0～P1_7		入出力ポート	D8～D15
P2_0		A0	A0
P2_1～P2_7		A1～A7	A1～A7
P3_0		A8	A8
P3_1～P3_7		A9～A15	
P4_0～P4_3	PM06=0	A16～A19	
	PM06=1	入出力ポート	
P4_4	CS0=0	入出力ポート	
	CS0=1	$\overline{\text{CS0}}$	
P4_5	CS1=0	入出力ポート	
	CS1=1	$\overline{\text{CS1}}$	
P4_6	CS2=0	入出力ポート	
	CS2=1	$\overline{\text{CS2}}$	
P4_7	CS3=0	入出力ポート	
	CS3=1	$\overline{\text{CS3}}$	
P5_0	PM02=0	$\overline{\text{WR}}$	
	PM02=1	– (注1)	$\overline{\text{WRL}}$
P5_1	PM02=0	$\overline{\text{BHE}}$	
	PM02=1	– (注1)	$\overline{\text{WRH}}$
P5_2		$\overline{\text{RD}}$	
P5_3		$\overline{\text{BCLK}}$	
P5_4		$\overline{\text{HLDA}}$	
P5_5		$\overline{\text{HOLD}}$	
P5_6		$\overline{\text{ALE}}$	
P5_7		$\overline{\text{RDY}}$	

入出力ポート：入出力ポートまたは周辺機能入出力端子として機能する

注1. データバス幅8ビットの場合、PM02ビットは“0” (RD、BHE、WR)にしてください。

7.2.9 内部領域をアクセスしたときの外部バスの状態

表 7.6 内部領域をアクセスしたときの外部バスの状態を示します。

表 7.6 内部領域をアクセスしたときの外部バスの状態

項 目		SFRをアクセスしたときの状態	内部ROM、RAMをアクセスしたときの状態
A0～A19		アドレスを出力	直前にアクセスされた外部領域またはSFRのアドレスを保持
D0～D15	リード時	ハイインピーダンス	ハイインピーダンス
	ライト時	データを出力	不定
RD、WR、WRL、WRH		RD、WR、WRL、WRHを出力	“H” を出力
BHE		BHEを出力	直前にアクセスされた外部領域またはSFRの状態を保持
CS0～CS3		“H” を出力	“H” を出力
ALE		“L” を出力	“L” を出力

7.2.10 ソフトウェアウェイト

PM1レジスタのPM17ビット、CSRレジスタのCS0W～CS3Wビット、ソフトウェアウェイトを挿入できます。詳細は「表 7.7 ソフトウェアウェイト関連ビットとバスサイクル」を参照してください。

RDY信号を使用する場合、CS0W～CS3Wビットの該当するビットを“0”（ウェイトあり）にしてください。

表 7.7 ソフトウェアウェイト関連ビットとバスサイクルを示します。

表 7.7 ソフトウェアウェイト関連ビットとバスサイクル

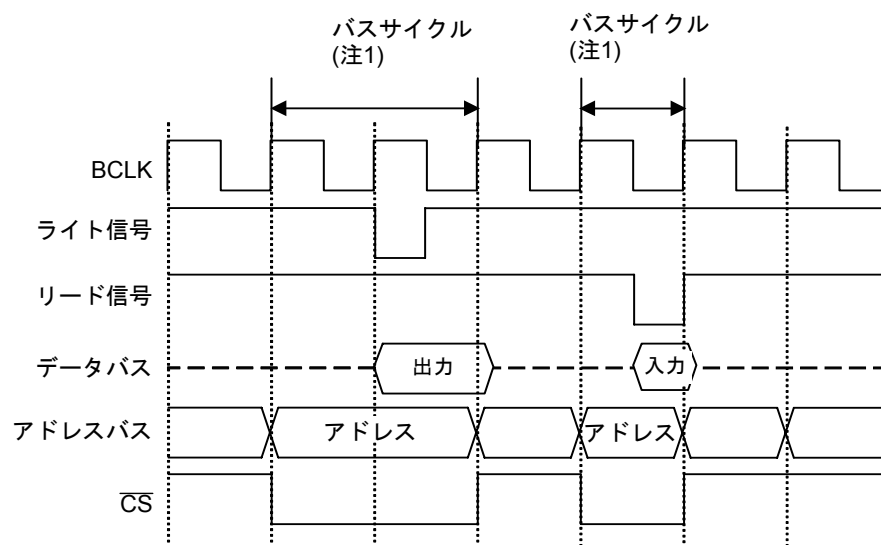
領域	PM1レジスタ PM17ビット(注3)	CSRレジスタ CS3Wビット(注1) CS2Wビット(注1) CS1Wビット(注1) CS0Wビット(注1)	ソフトウェア ウェイト	バスサイクル
内部 RAM、ROM	0	—	なし	BCLKの1サイクル(注2)
	1	—	1ウェイト	BCLKの2サイクル
外部領域	0	1	なし	BCLKの1サイクル (リード)
				BCLKの2サイクル (ライト)
	—	0	1ウェイト	BCLKの2サイクル(注2)
	1	0	1ウェイト	BCLKの2サイクル

注1. RDY信号を使用する場合“0”（ウェイトあり）にしてください。

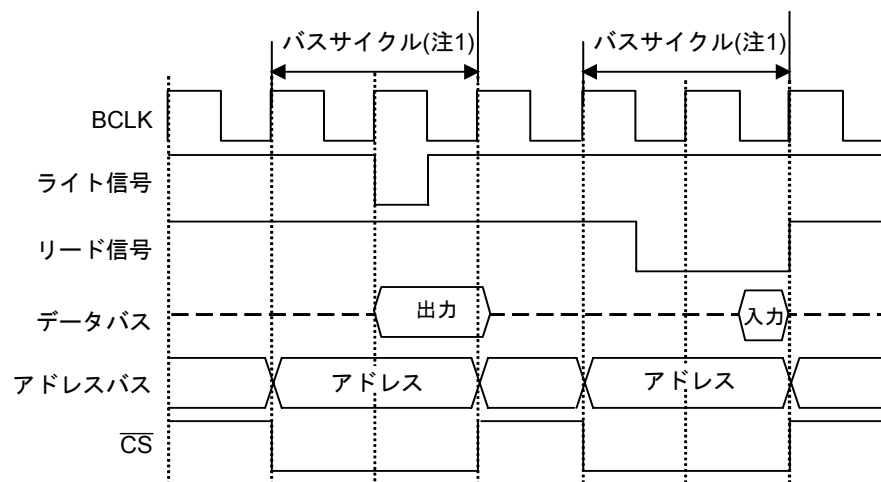
注2. リセット後、PM17ビットは“0”（ウェイトなし）、CS0W～CS3Wビットはすべて“0”（ウェイトあり）、内部RAMと内部ROMはウェイトなし、外部領域はすべて1ウェイトになります。

注3. PM17ビットが“1”で外部領域をアクセスする場合は、CSRレジスタのCSiWビット(i=0～3)を“0”（ウェイトあり）にしてください。

(1) セパレートバス、ウェイトなし設定



(2) セパレートバス、1ウェイト設定



注1. 本タイミング例はバスサイクルの長さを示したものです。本バスサイクルの後にリードサイクル、ライトサイクルが連続する場合があります。

図7.5 ソフトウェアウェイトを使用した場合のバスタイミング例

8. メモリ空間拡張機能

メモリ空間拡張機能について説明します。

メモリ拡張モードまたはマイクロプロセッサモードのときに、メモリ空間拡張機能によってアクセス空間を拡張できます。

8.1 1Mバイトモード

メモリ空間が1Mバイトのモードです。1Mバイトモードでは、 $\overline{CSi}(i=0\sim3)$ 信号によってアクセスできる外部領域(以下 $\overline{CSi}$ 領域と称す)を指定します。図8.1、図8.2に1Mモード時のメモリ配置、 $\overline{CS}$ 領域を示します。PM13ビットがない機種は図8.1を参照してください。PM13ビットの有無は、「図6.2 PM1レジスタ(1)」「図6.3 PM1レジスタ(2)」で確認してください。

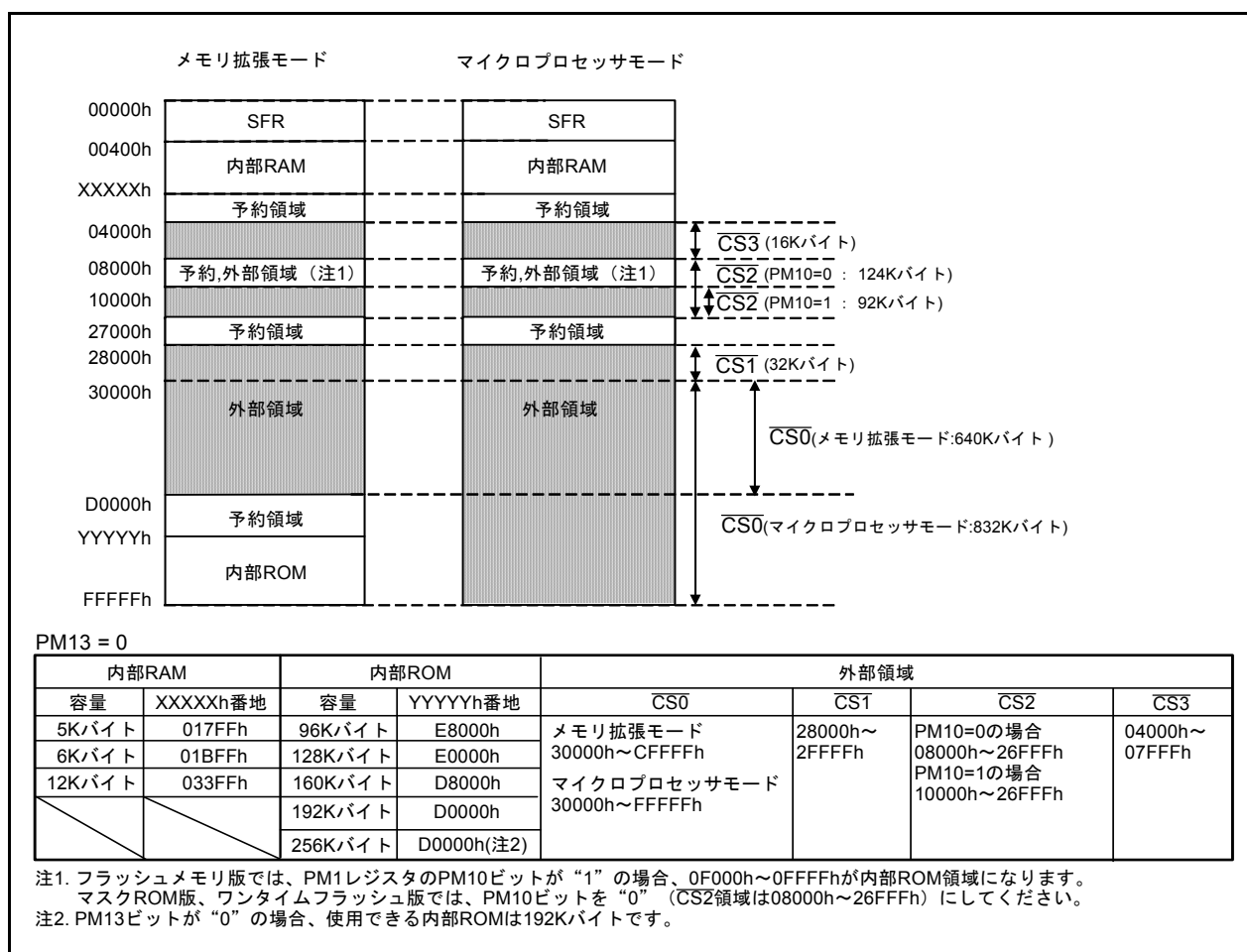


図8.1 1Mバイトモード時のメモリ配置、 $\overline{CS}$ 領域 (PM13=0)

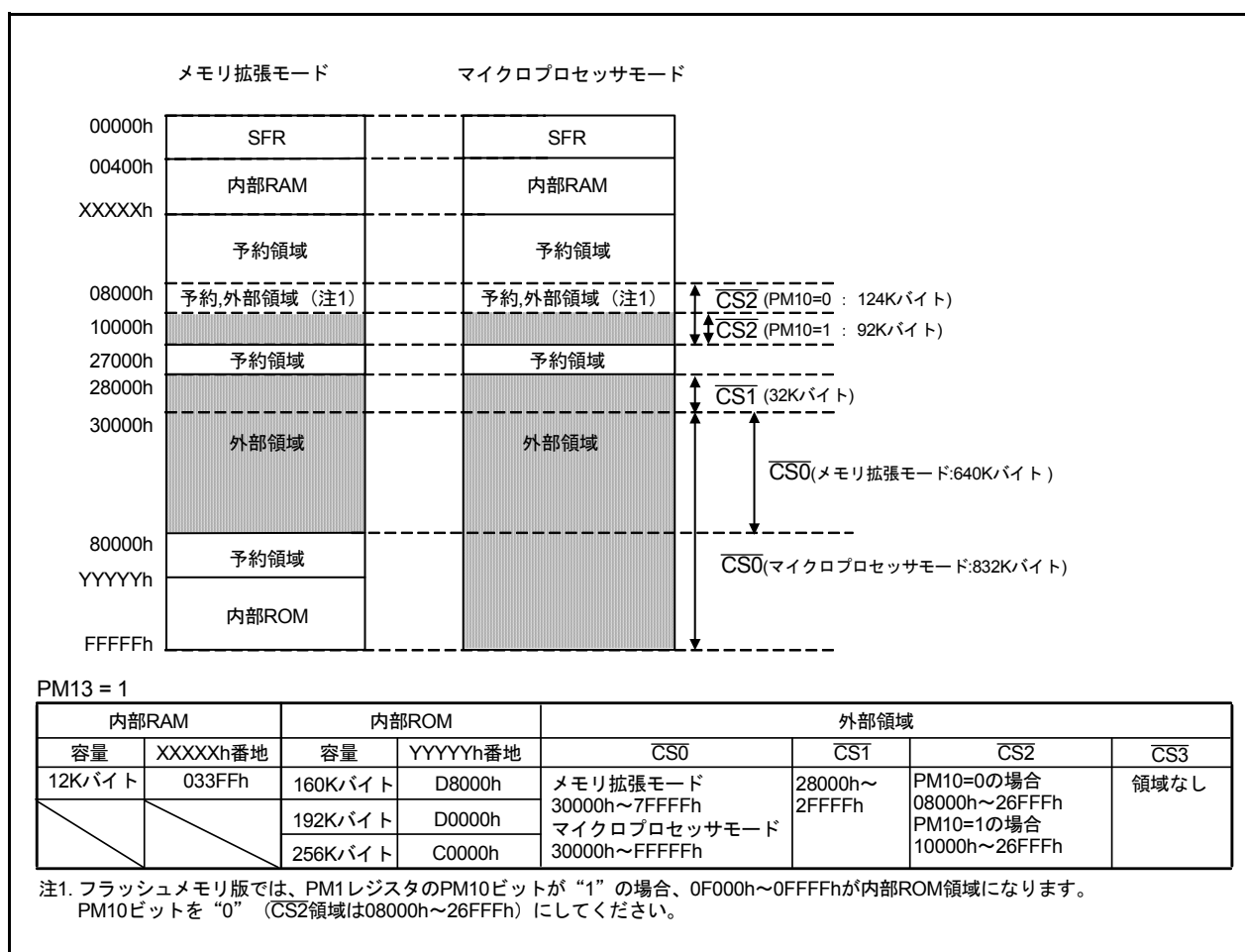


図8.2 1Mバイトモード時のメモリ配置、CS領域 (PM13=1)

9. クロック発生回路

9.1 クロック発生回路の種類

クロック発生回路として、2つの回路を内蔵します。

- メインクロック発振回路
- サブクロック発振回路

表 9.1 クロック発生回路の概略仕様を示します。また、図 9.1 システムクロック発生回路のブロック図、図 9.2～図 9.4 にクロック関連レジスタを示します。

表 9.1 クロック発生回路の概略仕様

項 目	メインクロック発振回路	サブクロック発振回路
用 途	•CPUのクロック源 •周辺機能のクロック源	•CPUのクロック源 •タイマ A、B のクロック源
クロック周波数	0～16MHz	32.768kHz
接続できる発振子	•セラミック共振子 •水晶発振子	•水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振停止、再開機能	あり	あり
リセット後の状態	発振	停止
その他	外部で生成されたクロックを入力可能	

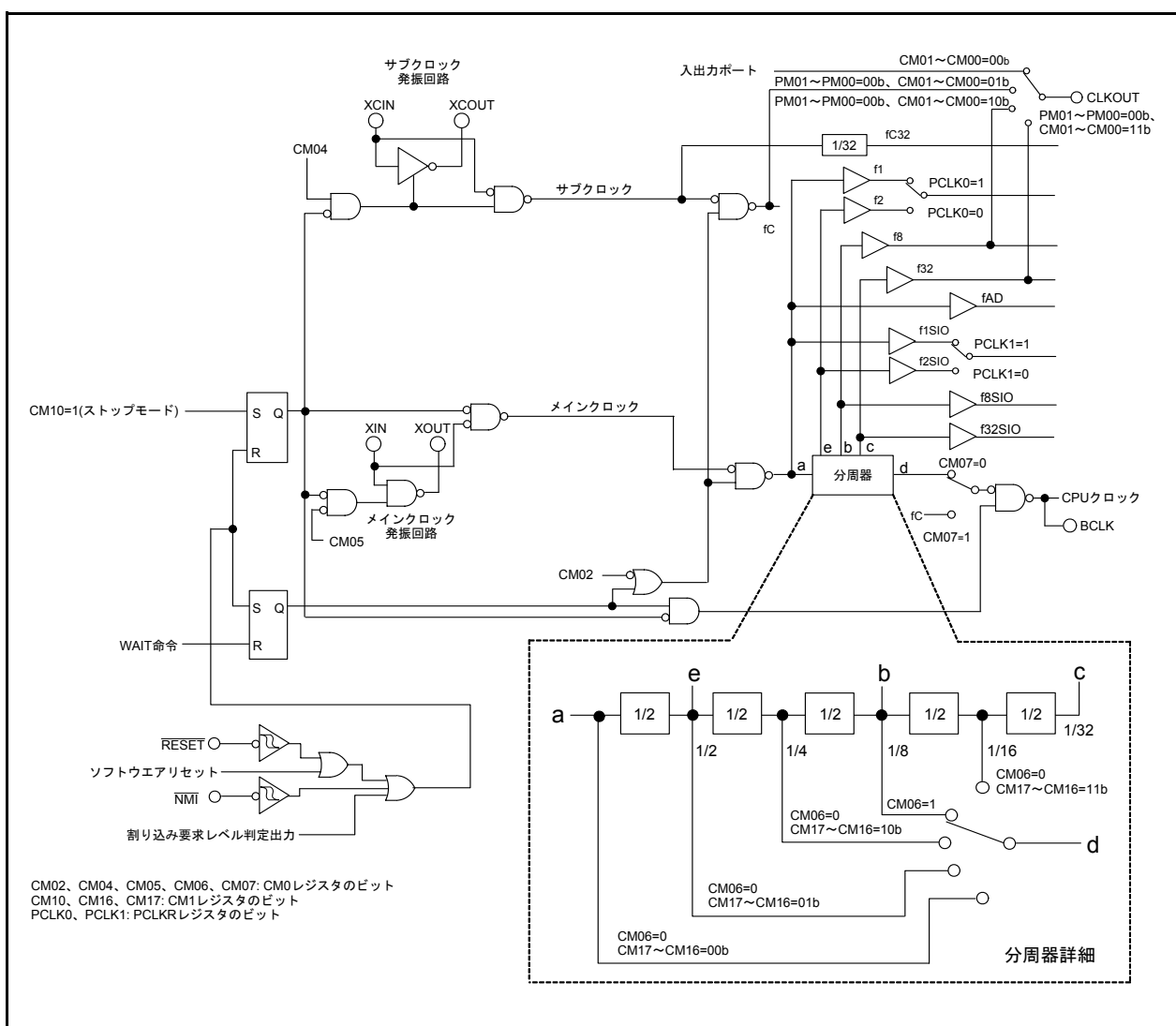


図9.1 システムクロック発生回路

システムクロック制御レジスタ0(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル CM0		アドレス 0006h番地		リセット後の値 01001000b			
ビット シンボル	ビット名	機能		RW			
CM00	クロック出力機能選択ビット (シングルチップモード時のみ有効)	b1 b0 0 0 : 入出力ポートP5_7 0 1 : fCを出力 1 0 : f8を出力 1 1 : f32を出力		RW			
CM01				RW			
CM02	ウェイトモード時周辺機能 クロック停止ビット	0 : ウェイトモード時、周辺機能クロック 停止しない 1 : ウェイトモード時、周辺機能クロック 停止する(注8)		RW			
CM03	XCIN-XCOUT駆動能力選択 ビット(注2)	0 : Low 1 : High		RW			
CM04	ポートXC切り替えビット (注2)	0 : 入出力ポートP8_6、P8_7 1 : XCIN-XCOUT発振機能(注9)		RW			
CM05	メインクロック停止ビット (注3、10、11)	0 : 発振 1 : 停止(注4、5)		RW			
CM06	メインクロック分周比選択 ビット0(注7、11)	0 : CM16、CM17ビット有効 1 : 8分周モード		RW			
CM07	システムクロック選択 ビット(注6、10)	0 : メインクロック 1 : サブクロック		RW			

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. CM04ビットを“0”(入出力ポート)の間、またはストップモードへ移行したとき、CM03ビットは“1”(HIGH)になります。

注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、次のようにしてください。

- (1) サブクロックが安定して発振している状態で、CM07ビットを“1”(サブクロック選択)にする
- (2) CM05ビットを“1”(停止)にする

注4. 外部クロック入力時は、0”(発振)にしてください。

注5. CM05ビットが“1”の場合、XOUT端子は“H”になります。また、内蔵している帰還抵抗は接続したままですので、XIN端子は帰還抵抗を介して、XOUT(“H”)にプルアップされた状態となります。

注6. CM04ビットを“1”(XCIN-XCOUT発振機能)にし、サブクロックの発振が安定した後に、CM07ビットを“0”から“1”(サブクロック)にしてください。

注7. 高速モードまたは中速モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注8. fC32は停止しません。低速モードまたは低消費電力モード時は“1”(ウェイトモード時、周辺機能クロック停止する)にしないでください。

注9. サブクロックを使用する場合、このビットを“1”にしてください。また、ポートP8_6、P8_7は入力ポートで、プルアップなしにしてください。

注10. CPUクロックのクロック源をメインクロックにする場合、次のようにしてください。

- (1) CM05ビットを“0”(発振)にする。
- (2) メインクロック発振安定時間を待つ。
- (3) CM07ビットを“0”にする。

注11. CM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。

図9.2 CM0レジスタ

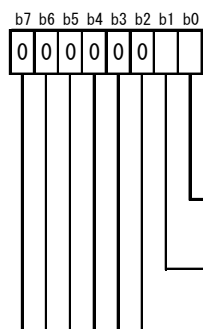
システムクロック制御レジスタ1(注1)

b7 b6 b5 b4 b3 b2 b1 b0										
0 0 0 0								シンボル CM1	アドレス 0007h番地	リセット後の値 00100000b
ビット シンボル		ビット名	機能	RW						
CM10		全クロック停止制御ビット (注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW						
— (b4-b1)		予約ビット	“0” にしてください。	RW						
CM15		XIN-XOUT駆動能力選択ビット (注2)	0 : LOW 1 : HIGH	RW						
CM16		メインクロック分周比 選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW						
CM17				RW						

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. 高速モード、中速モードからストップモードへの移行時、または低速モードで、CM05ビットを“1”(メインクロック停止)にしたとき、CM15ビットは“1”(駆動能力HIGH)になります。
- 注3. CM06ビットが“0”(CM16、CM17ビット有効)の場合、有効となります。
- 注4. CM10ビットが“1”(ストップモード)の場合、XOUTは“H”となり、内蔵している帰還抵抗は切り離されます。XCIN端子、XCOUT端子は、ハイインピーダンスになります。

図9.3 CM1レジスタ

周辺クロック選択レジスタ (注1)



シンボル

アドレス

リセット後の値

025Eh番地

00000011b

ビット シンボル	ビット名	機能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマBのクロック源)	0 : f2 1 : f1	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2のクロック源)	0 : f2SIO 1 : f1SIO	RW
— (b7-b2)	予約ビット	“0” にしてください。	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

図9.4 PCLKRレジスタ

クロック発生回路で生成するクロックを説明します。

9.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図9.5 メインクロックの接続回路例を示します。

リセット後は、メインクロックの8分周がCPUクロックになります。

CPUクロックのクロック源をサブクロックに切り替えた後、CM0レジスタのCM05ビットを“1”（メインクロック発振回路の発振停止）にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままです。XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしても、サブクロックをCPUクロックに選択していない限り、メインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「9.4 パワーコントロール」を参照してください。

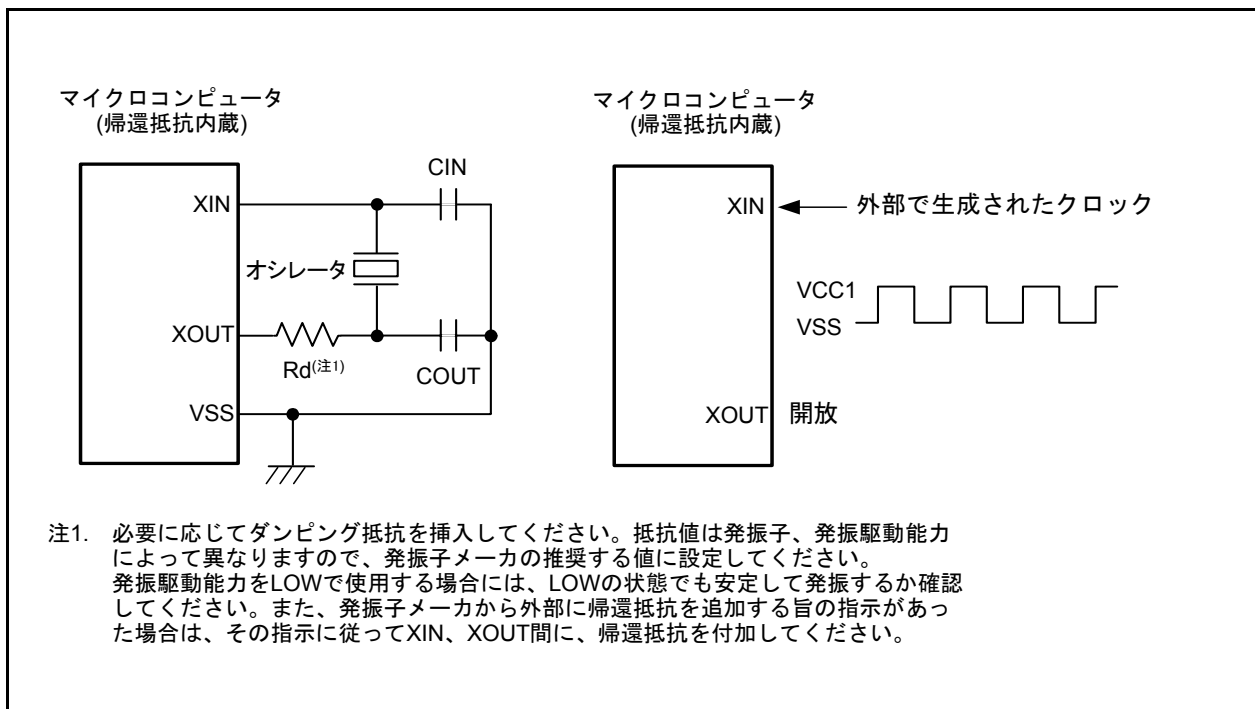


図9.5 メインクロックの接続回路例

9.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。また、サブクロックと同一周波数のfCをCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路では、外部で生成されたクロックをXCIN端子へ入力することもできます。図9.6 サブクロックの接続回路例を示します。

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「9.4 パワーコントロール」を参照してください。

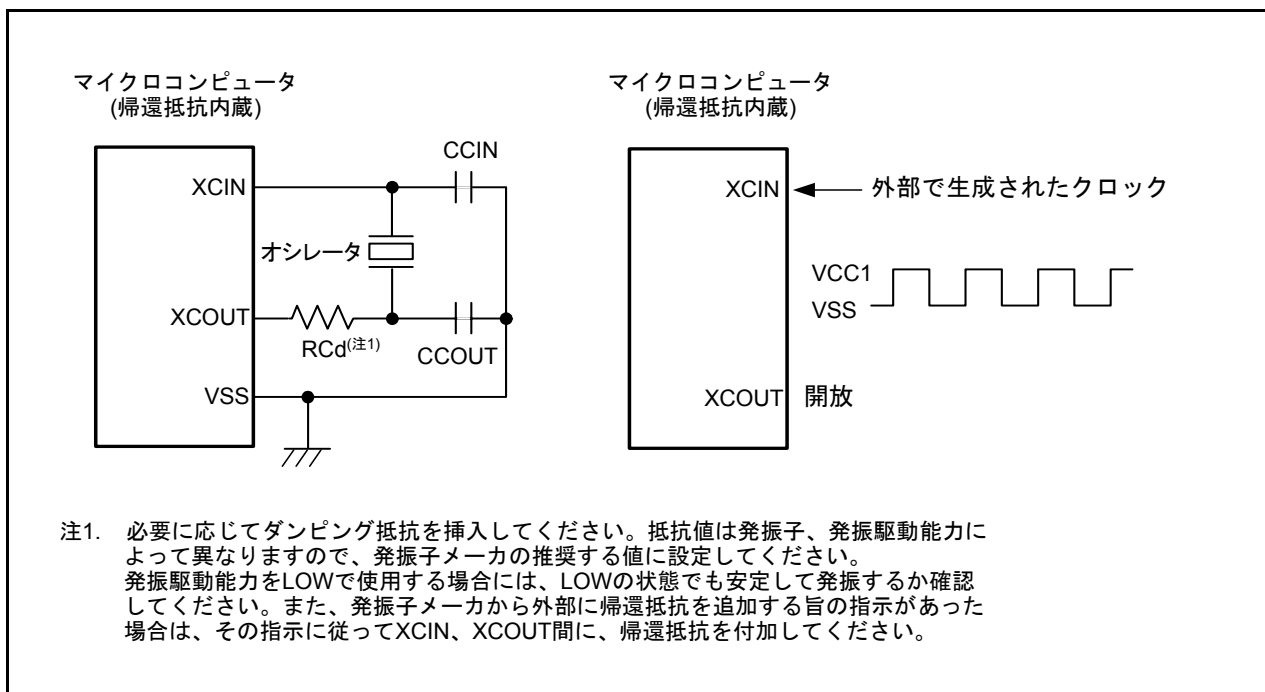


図9.6 サブクロックの接続回路例

9.2 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

9.2.1 CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、またはサブクロックが選択できます。

CPUクロックのクロック源としてメインクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

リセット後、メインクロックの8分周がCPUクロックになります。

なお、高速モード、または中速モードからストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

9.2.2 周辺機能クロック(f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fC32)

周辺機能の動作クロックです。

f_i(i=1、2、8、32)とf_iSIOはメインクロックをi分周したクロックです。f_iはタイマA、タイマBで、f_iSIOはシリアルインタフェースで使用します。f8とf32はCLKOUT端子から出力できます。

fADは、メインクロックをクロック源とし、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、f_i、f_iSIO、fADは停止します。

fC32はサブクロックをクロック源とし、タイマA、タイマBで使用します。fC32はサブクロックが供給されているときに使用できます。

9.3 クロック出力機能

シングルチップモード時、CLKOUT端子からf8、f32、またはfCを出力できます。CM0レジスタのCM01～CM00ビットで選択してください。

9.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

9.4.1 通常動作モード

通常動作モードは、さらに4つのモードに分けられます。

通常動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が高いほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

9.4.1.1 高速モード

メインクロックの1分周がCPU クロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

9.4.1.2 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPU クロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

9.4.1.3 低速モード

サブクロックがCPU クロックとなります。

fC32がタイマA、タイマBのカウントソースに使用できます。

9.4.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPU クロックとなります。fC32がタイマA、タイマBのカウントソースに使用できます。

このモードにすると同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。

表9.2 クロック関連ビットの設定とモード

モード		CM1 レジスタ	CM0 レジスタ			
		CM17、CM16	CM07	CM06	CM05	CM04
高速モード		00b	0	0	0	—
中速モード	2分周	01b	0	0	0	—
	4分周	10b	0	0	0	—
	8分周	—	0	1	0	—
	16分周	11b	0	0	0	—
低速モード		—	1	—	0	1
低消費電力モード		—	1	1(注1)	1(注1)	1

— : “0” または “1”

注1. 低速モードでCM05ビットを“1”(メインクロック停止)にすると低消費電力モードになり、同時に、CM06ビットは“1”(8分周モード)になります。

9.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。メインクロック、サブクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

9.4.2.1 周辺機能クロック停止機能

CM02 ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時に f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD が停止しますので、消費電力が低減できます。fC32は停止しません。

9.4.2.2 ウェイトモードへの移行

WAIT 命令を実行するとウェイトモードになります。

9.4.2.3 ウェイトモード時の端子の状態

表9.3にウェイトモード時の端子の状態を示します。

表9.3 ウェイトモード時の端子の状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0～A19、D0～D15、 CS0～CS3、BHE		ウェイトモードに入る直前の状態を保持	バス制御端子にはなりません
RD、WR、WRL、WRH		“H”	
HLDA、BCLK		“H”	
ALE		“L”	
入出力ポート		ウェイトモードに入る直前の状態を保持	ウェイトモードに入る直前の状態を保持
CLKOUT	fC選択時	CLOCKOUT 端子にはなりません	停止しません
	f8、f32選択時		CM02 ビットが“0”のとき停止しません CM02 ビットが“1”のときウェイトモードに入る直前の状態を保持

9.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットまたは $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みの ILVL2 ～ ILVL0 ビットを“000b” (割り込み禁止) にした後、WAIT 命令を実行してください。

周辺機能割り込みは CM02 ビットの影響を受けます。CM02 ビットが“0” (ウェイトモード時、周辺機能クロックを停止しない) の場合は、周辺機能割り込みがウェイトモードから復帰に使用できます。CM02 ビットが“1” (ウェイトモード時、周辺機能クロックを停止する) の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できません。

表 9.4 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0 の場合	CM02=1 の場合
NMI 割り込み	使用可	使用可
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D 変換割り込み	単発モードで使用可	使用しないでください
タイマ A 割り込み タイマ B 割り込み	すべてのモードで使用可	イベントカウンタモードまたはカウンタソースが fC32 のとき使用可
INT 割り込み	使用可	使用可

表 9.4 にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT 命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL2 ～ ILVL0 ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みの ILVL2 ～ ILVL0 ビットをすべて“000b” (割り込み禁止) にする。
- (2) I フラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して CPU クロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときの CPU クロックは、WAIT 命令実行時の CPU クロックと同じクロックです。

9.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPU クロックと周辺機能クロックも停止し、これらのクロックで動作する CPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC1 端子と VCC2 端子に印加する電圧が VRAM 以上のとき、内部 RAM は保持されます。VCC1 端子と VCC2 端子に印加する電圧を 2.7V 以下にする場合、 $VCC1 = VCC2 \geq VRAM$ にしてください。

また、外部信号によって動作する周辺機能は動作します。表 9.5 ストップモードからの復帰に使用できる割り込みと使用条件を示します。

表 9.5 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=1 の場合
NMI 割り込み	使用可
キー入力割り込み	使用可
INT 割り込み	使用可
タイマ A 割り込み タイマ B 割り込み	イベントカウンタモードで外部パルスをカウント時、使用可
シリアルインタフェース割り込み	外部クロック選択時、使用可

9.4.3.1 ストップモードへの移行

CM1 レジスタの CM10 ビットを“1” (全クロック停止) にすると、ストップモードになります。同時に CM0 レジスタの CM06 ビットは“1” (8 分周モード)、CM1 レジスタの CM15 ビットは“1” (メインクロック発振回路の駆動能力 HIGH) になります。

9.4.3.2 ストップモード時の端子の状態

表 9.6 にストップモード時の端子の状態を示します。

表 9.6 ストップモード時の端子の状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0 ~ A19、D0 ~ D15、CS0 ~ CS3、BHE		ストップモードに入る直前の状態を保持	バス制御端子にはなりません
RD、WR、WRL、WRH		“H”	
HLDA、BCLK		“H”	
ALE		不定	
入出力ポート		ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	fC 選択時	CLOCKOUT 端子にはなりません	“H”
	f8、f32 選択時		ストップモードに入る直前の状態を保持

9.4.3.3 ストップモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットまたは $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みの ILVL2 ~ ILVL0 ビットをすべて “000b” (割り込み禁止) にした後、CM10 ビットを “1” にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10 ビットを “1” にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みの ILVL2 ~ ILVL0 ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みの ILVL2 ~ ILVL0 ビットをすべて “000b” (割り込み禁止) にする。
- (2) Iフラグを “1” にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPU クロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、または $\overline{\text{NMI}}$ 割り込みでストップモードから復帰した場合の CPU クロックは、ストップモード移行前の CPU クロックにしたがって、次のようになります。

ストップモード移行前の CPU クロックがサブクロックの場合	: サブクロック
ストップモード移行前の CPU クロック源がメインクロックの場合	: メインクロックの 8 分周

図9.7に通常動作モードからのストップモード、ウェイトモードへの状態遷移を示します。図9.8に通常動作モード状態遷移を示します。

表9.7に現在の状態から次に遷移可能な状態と設定方法を示します。表の縦軸は現在の状態、横軸は次に遷移する状態です。

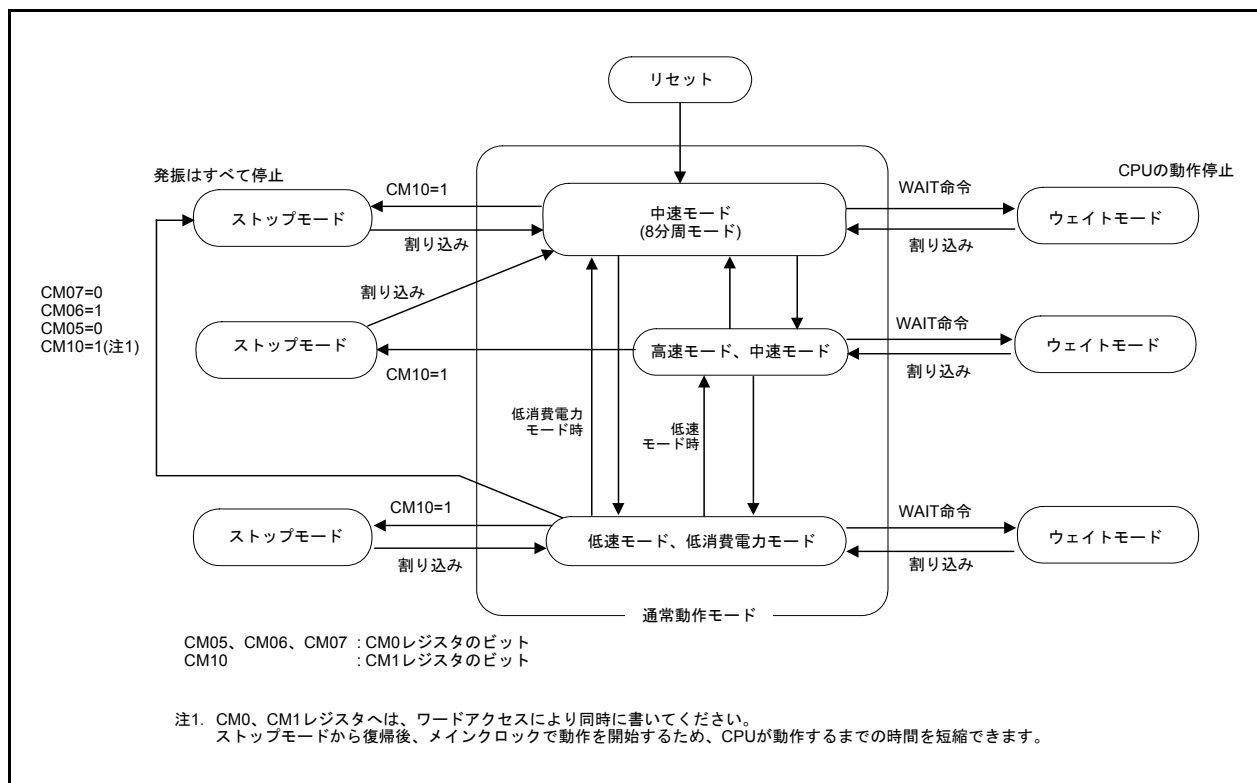


図9.7 ストップモード、ウェイトモード状態遷移

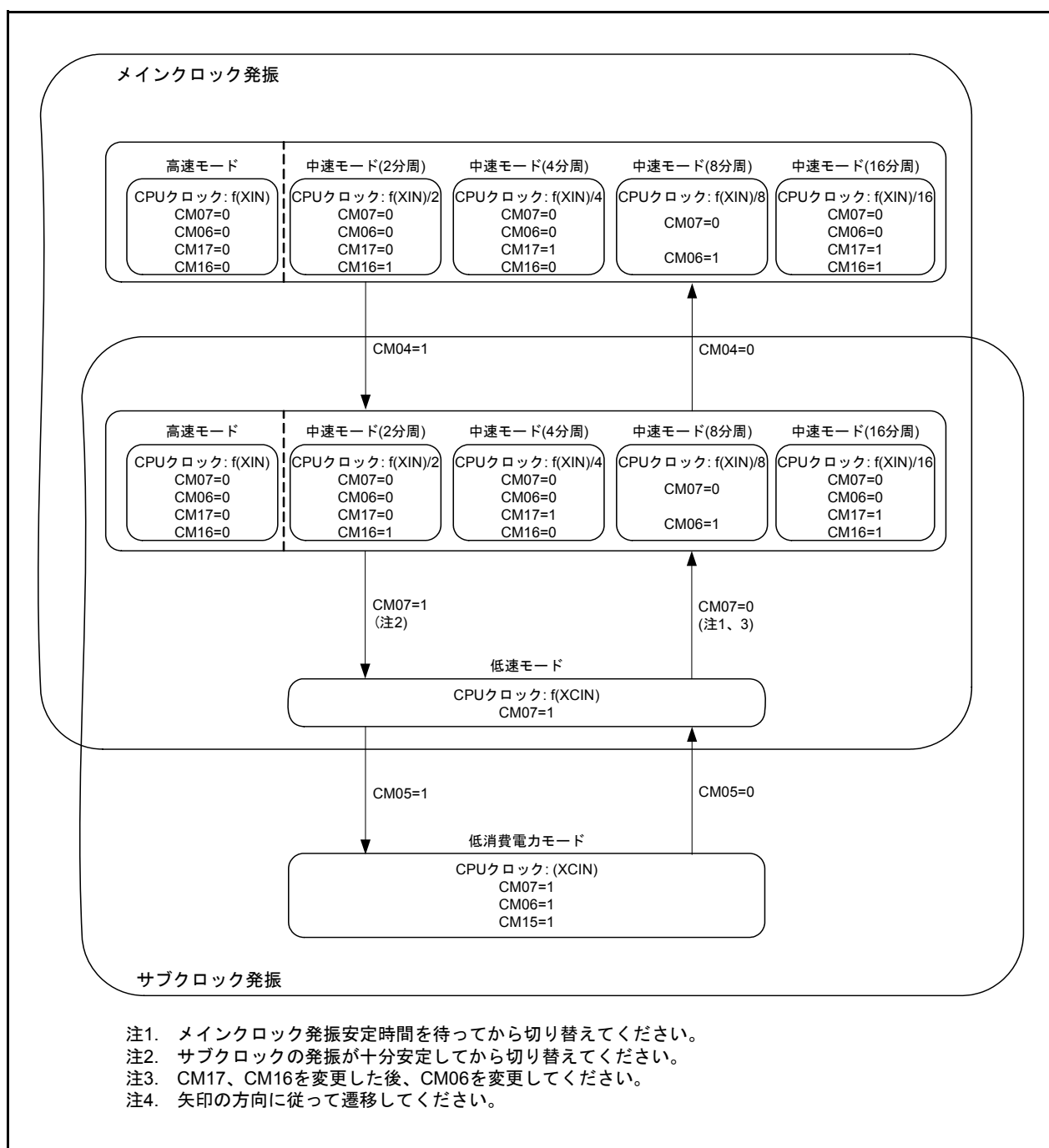


図9.8 通常動作モード状態遷移

表9.7 現在の状態から次に遷移可能な状態と設定方法

		次の状態				
		高速 中速モード	低速モード	低消費電力モード	ストップモード	ウェイトモード
現在の状態	高速、中速モード	(注4)	(9) (注3)	—	(12)	(13)
	低速モード	(8)		(11) (注2)	(12)	(13)
	低消費電力モード	—	(10)		(12)	(13)
	ストップモード	(14) (注1)	(14)	(14)		—
	ウェイトモード	(14)	(14)	(14)	—	

—: 遷移できません。

注1. ストップモードから復帰した場合、CM06ビットが“1” (8分周モード)になります。

注2. CM05ビットを“1” (メインクロック停止)にすると、CM06ビットが“1” (8分周モード)になります。

注3. サブクロックが発振しているときに移行できます。

注4. 同モード内での遷移(分周の変更とサブクロック発振または停止)は次のとおりです。

		サブクロック発振					サブクロック停止				
		分周なし	2分周	4分周	8分周	16分周	分周なし	2分周	4分周	8分周	16分周
サブクロック発振	分周なし		(4)	(5)	(7)	(6)	(1)	—	—	—	—
	2分周	(3)		(5)	(7)	(6)	—	(1)	—	—	—
	4分周	(3)	(4)		(7)	(6)	—	—	(1)	—	—
	8分周	(3)	(4)	(5)		(6)	—	—	—	(1)	—
	16分周	(3)	(4)	(5)	(7)		—	—	—	—	(1)
サブクロック停止	分周なし	(2)	—	—	—	—		(4)	(5)	(7)	(6)
	2分周	—	(2)	—	—	—	(3)		(5)	(7)	(6)
	4分周	—	—	(2)	—	—	(3)	(4)		(7)	(6)
	8分周	—	—	—	(2)	—	(3)	(4)	(5)		(6)
	16分周	—	—	—	—	(2)	(3)	(4)	(5)	(7)	

注5. ()内は設定方法。下表参照。

	設定内容	動作内容
(1)	CM04 = 0	サブクロック停止
(2)	CM04 = 1	サブクロック発振
(3)	CM06 = 0 CM17 = 0, CM16 = 0	CPUクロック分周なしモード
(4)	CM06 = 0 CM17 = 0, CM16 = 1	CPUクロック2分周モード
(5)	CM06 = 0 CM17 = 1, CM16 = 0	CPUクロック4分周モード
(6)	CM06 = 0 CM17 = 1, CM16 = 1	CPUクロック16分周モード
(7)	CM06 = 1	CPUクロック8分周モード
(8)	CM07 = 0	メインクロック選択
(9)	CM07 = 1	サブクロック選択
(10)	CM05 = 0	メインクロック発振
(11)	CM05 = 1	メインクロック停止
(12)	CM10 = 1	ストップモードに移行
(13)	wait 命令	ウェイトモードに移行
(14)	ハードウェア割り込み	ストップモード、ウェイトモードから復帰

CM04, CM05, CM06, CM07 : CM0 レジスタのビット

CM10, CM16, CM17 : CM1 レジスタのビット

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図10.1 PRCR レジスタを示します。PRCR レジスタが保護するレジスタは次のとおりです。

- PRC0 ビットで保護されるレジスタ : CM0、CM1、PCLKR レジスタ
- PRC1 ビットで保護されるレジスタ : PM0、PM1 レジスタ
- PRC2 ビットで保護されるレジスタ : PD9 レジスタ

PRC2 ビットを“1”（書き込み許可状態）にした後、任意の番地に書き込みを実行すると“0”（書き込み禁止状態）になります。PRC2 ビットで保護されるレジスタはPRC2 ビットを“1”にした次の命令で変更してください。PRC2 ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1 ビットは任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

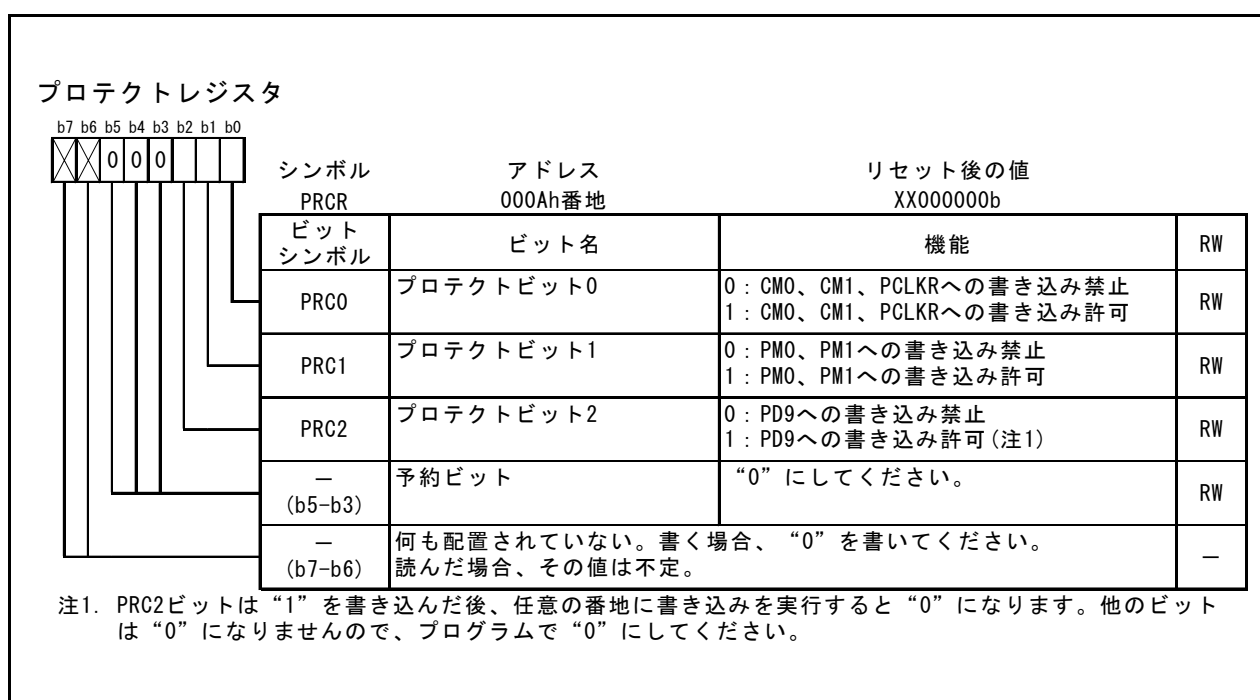


図10.1 PRCR レジスタ

11. 割り込み

11.1 割り込みの分類

図11.1 割り込みの分類を示します。

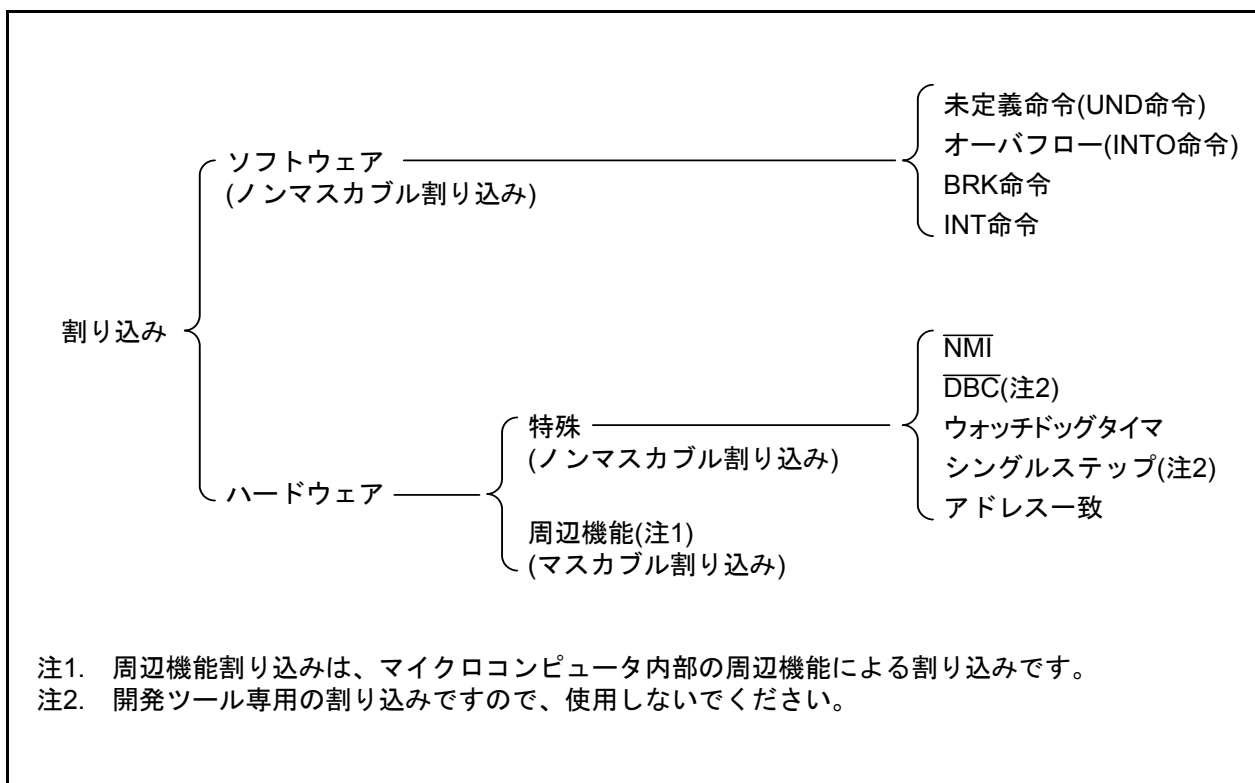


図11.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

11.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.2.1 未定義命令割り込み

未定義命令割り込みは、UND 命令を実行すると発生します。

11.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLG レジスタの O フラグが“1”（演算の結果がオーバフロー）の場合、INTO 命令を実行すると発生します。演算によって O フラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.2.3 BRK 割り込み

BRK 割り込みは、BRK 命令を実行すると発生します。

11.2.4 INT 命令割り込み

INT 命令割り込みは、INT 命令を実行すると発生します。INT 命令で指定できるソフトウェア割り込み番号は 0～63 です。ソフトウェア割り込み番号 4～31 は周辺機能割り込みに割り当てられますので、INT 命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号 0～31 では、命令実行時に U フラグを退避し、U フラグを“0”（ISP を選択）にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいた U フラグを復帰します。ソフトウェア割り込み番号 32～63 では、命令実行時 U フラグは変化せず、そのとき選択されている SP を使用します。

11.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

11.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は「11.7 $\overline{\text{NMI}}$ 割り込み」を参照してください。

11.3.1.2 $\overline{\text{DBC}}$ 割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.3.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

ウォッチドッグタイマの詳細は「12. ウォッチドッグタイマ」を参照してください。

11.3.1.4 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.3.1.5 アドレス一致割り込み

アドレス一致割り込みは、AIER レジスタの AIER0 ビット、AIER1 ビットのうち、いずれか1つが“1” (アドレス一致割り込み許可) の場合、対応する RMAD0～RMAD1 レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.9 アドレス一致割り込み」を参照してください。

11.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 11.2 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図11.2 割り込みベクタを示します。

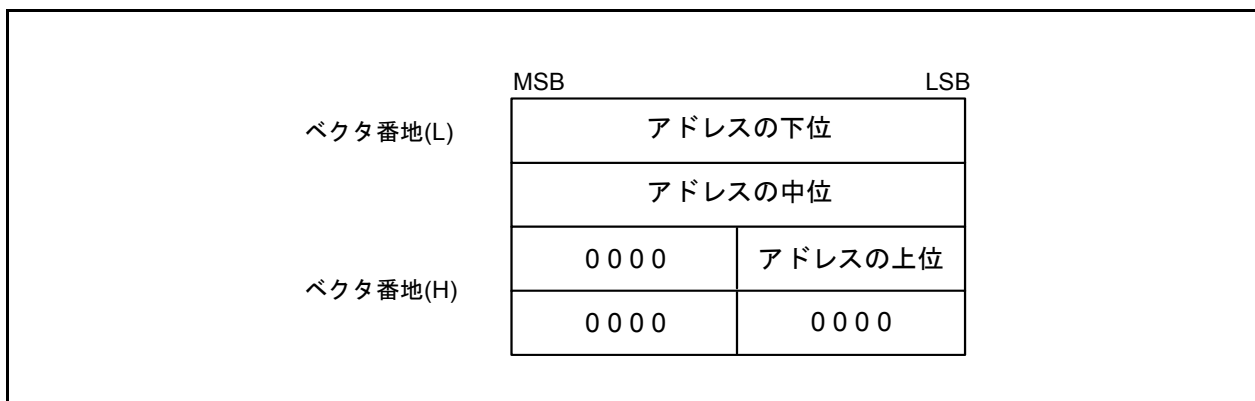


図11.2 割り込みベクタ

11.4.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh 番地から FFFFFh 番地に配置されています。表 11.1 に固定ベクタテーブルを示します。ワンタイムフラッシュ版、フラッシュメモリ版では、固定ベクタのベクタ番地 (H) を ID コードチェック機能で使します。詳細は「19.2 フラッシュメモリ書き換え禁止機能」を参照してください。

表 11.1 固定ベクタテーブル

割り込み要因	ベクタ番地番地 (L)～番地(H)	参照先
未定義命令 (UND 命令)	FFFDCh～FFFDh	M16C/60、M16C/20 シリーズ ソフトウェアマニュアル
オーバフロー (INTO 命令)	FFFE0h～FFFE3h	
BRK 命令 (注2)	FFFE4h～FFFE7h	
アドレス一致	FFFE8h～FFFEb	11.9 アドレス一致割り込み
シングルステップ (注1)	FFFECh～FFFEFh	—
ウォッチドッグタイマ	FFFF0h～FFFF3h	12. ウォッチドッグタイマ
DBC (注1)	FFFF4h～FFFF7h	—
NMI	FFFF8h～FFFFBh	11.7 NMI 割り込み
リセット	FFFFCh～FFFFFh	5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFE7h 番地の内容が FFh の場合は可変ベクタテーブル内のベクタが示す番地から実行

11.4.2 可変ベクタテーブル

INTB レジスタに設定された先頭番地から 256 バイトが可変ベクタテーブルの領域となります。

表 11.2 可変ベクタテーブルを示します。INTB レジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表 11.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	参照先
BRK 命令(注5)	+0～+3(0000h～0003h)	0	M16C/60、M16C/20 シリーズ ソフトウェアマニュアル
—(予約)	—	1～3	
INT3	+16～+19(0010h～0013h)	4	11.6 INT 割り込み
—	—	5	
UART1 バス衝突検出(注4)、(注6)	+24～+27(0018h～001Bh)	6	15. シリアルインタフェース
UART0 バス衝突検出(注4)、(注6)	+28～+31(001Ch～001Fh)	7	
—	—	8	—
INT4(注2)	+36～+39(0024h～0027h)	9	11.6 INT 割り込み
UART2 バス衝突検出(注6)	+40～+43(0028h～002Bh)	10	15. シリアルインタフェース
DMA0	+44～+47(002Ch～002Fh)	11	13. DMAC
DMA1	+48～+51(0030h～0033h)	12	
キー入力割り込み	+52～+55(0034h～0037h)	13	11.8 キー入力割り込み
A/D	+56～+59(0038h～003Bh)	14	16. A/D コンバータ
UART2 送信、NACK2(注3)	+60～+63(003Ch～003Fh)	15	15. シリアルインタフェース
UART2 受信、ACK2(注3)	+64～+67(0040h～0043h)	16	
UART0 送信、NACK0(注3)	+68～+71(0044h～0047h)	17	
UART0 受信、ACK0(注3)	+72～+75(0048h～004Bh)	18	
UART1 送信、NACK1(注3)	+76～+79(004Ch～004Fh)	19	
UART1 受信、ACK1(注3)	+80～+83(0050h～0053h)	20	
タイマ A0	+84～+87(0054h～0057h)	21	14. タイマ
タイマ A1	+88～+91(0058h～005Bh)	22	
タイマ A2	+92～+95(005Ch～005Fh)	23	
—	—	24	—
—	—	25	—
タイマ B0	+104～+107(0068h～006Bh)	26	14. タイマ
タイマ B1	+108～+111(006Ch～006Fh)	27	
タイマ B2	+112～+115(0070h～0073h)	28	
INT0	+116～+119(0074h～0077h)	29	11.6 INT 割り込み
INT1	+120～+123(0078h～007Bh)	30	
INT2	+124～+127(007Ch～007Fh)	31	
INT 命令割り込み(注5)	+128～+131(0080h～0083h) ～ +252～+255(00FCh～00FFh)	32 ～ 63	M16C/60、M16C/20 シリーズ ソフトウェアマニュアル

注1. INTB レジスタが示す番地からの相対番地です。

注2. IFSR レジスタの IFSR6 ビットで選択してください。

注3. I²C モード時に NACK、ACK が割り込み要因になります。

注4. IFSR2A レジスタの IFSR26、27 ビットで選択してください。

注5. I フラグによる禁止はできません。

注6. バス衝突検出：IE モード時はバス衝突検出が割り込み要因になります。

I²C モード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

11.5 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLG レジスタの I フラグ、IPL、各割り込み制御レジスタの ILVL2 ~ ILVL0 ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタの IR ビットに示されます。

図 11.3、図 11.4 に割り込み制御レジスタを示します。

割り込み制御レジスタ (注2)			
シンボル	アドレス	リセット後の値	
U1BCNIC (注3)	0046h 番地	XXXXX000b	
U0BCNIC (注3)	0047h 番地	XXXXX000b	
BCNIC	004Ah 番地	XXXXX000b	
DM0IC、DM1IC	004Bh、004Ch 番地	XXXXX000b	
KUPIC	004Dh 番地	XXXXX000b	
ADIC	004Eh 番地	XXXXX000b	
S0TIC ~ S2TIC	0051h、0053h、004Fh 番地	XXXXX000b	
S0RIC ~ S2RIC	0052h、0054h、0050h 番地	XXXXX000b	
TA0IC ~ TA2IC	0055h ~ 0057h 番地	XXXXX000b	
TB0IC ~ TB2IC	005Ah ~ 005Ch 番地	XXXXX000b	

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	RW
ILVL1		0 0 1 : レベル1	RW
ILVL2		0 1 0 : レベル2	
		0 1 1 : レベル3	RW
		1 0 0 : レベル4	
		1 0 1 : レベル5	
		1 1 0 : レベル6	
		1 1 1 : レベル7	
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RW (注1)
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. IRビットは“0”のみ書けます (“1”を書かないでください)。
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、「21.5 割り込みの注意事項」を参照してください。
 注3. IFSR2Aレジスタで設定してください。

図 11.3 割り込み制御レジスタ (1)

INT_i (0~4) 割り込み制御レジスタ (注2)

b7 b6 b5 b4 b3 b2 b1 b0



シンボル

アドレス

リセット後の値

INT3IC (注4)

0044h番地

XX00X000b

INT4IC (注4)

0049h番地

XX00X000b

INT0IC~INT2IC

005Dh~005Fh番地

XX00X000b

ビット シンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	RW
ILVL1		0 0 1 : レベル1	RW
ILVL2		0 1 0 : レベル2	
		0 1 1 : レベル3	RW
		1 0 0 : レベル4	
		1 0 1 : レベル5	
		1 1 0 : レベル6	RW
		1 1 1 : レベル7	
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	RW (注1)
POL	極性切り替えビット	0 : 立ち下がリエッジを選択 (注3) 1 : 立ち上がりエッジを選択	RW
— (b5)	予約ビット	“0” にしてください。	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. IRビットは“0”のみ書きます (“1”を書かないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、「21.5 割り込みの注意事項」を参照してください。

注3. IFSRレジスタのIFSR_iビット (i=0~4) が“1” (両エッジ) の場合、INT_iICレジスタのPOLビットを“0” (立ち下がリエッジ) にしてください。

注4. BYTE端子が“L”でメモリ拡張モード、マイクロプロセッサモード時は、INT4IC~INT3ICレジスタのILVL2~ILVL0ビットを“000b” (割り込み禁止) にしてください。

図 11.4 割り込み制御レジスタ (2)

11.5.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

11.5.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

11.5.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表11.3に割り込み優先レベルの設定、表11.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 11.3 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い  高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 11.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

11.5.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、CPUは、その命令の実行終了後に優先順位が判定し、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図 11.5 割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルスステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

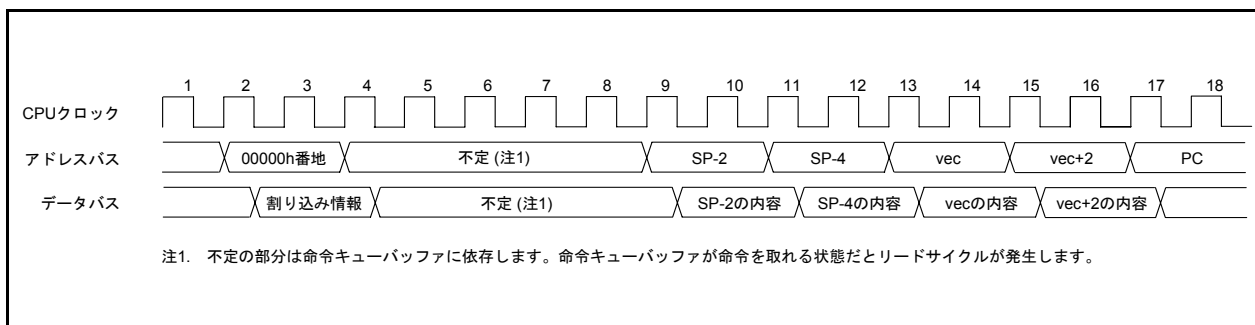


図 11.5 割り込みシーケンスの実行時間

11.5.5 割り込み応答時間

図 11.6 割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.6 の (a)) と割り込みシーケンスを実行する時間 (図 11.6 の (b)) で構成されます。

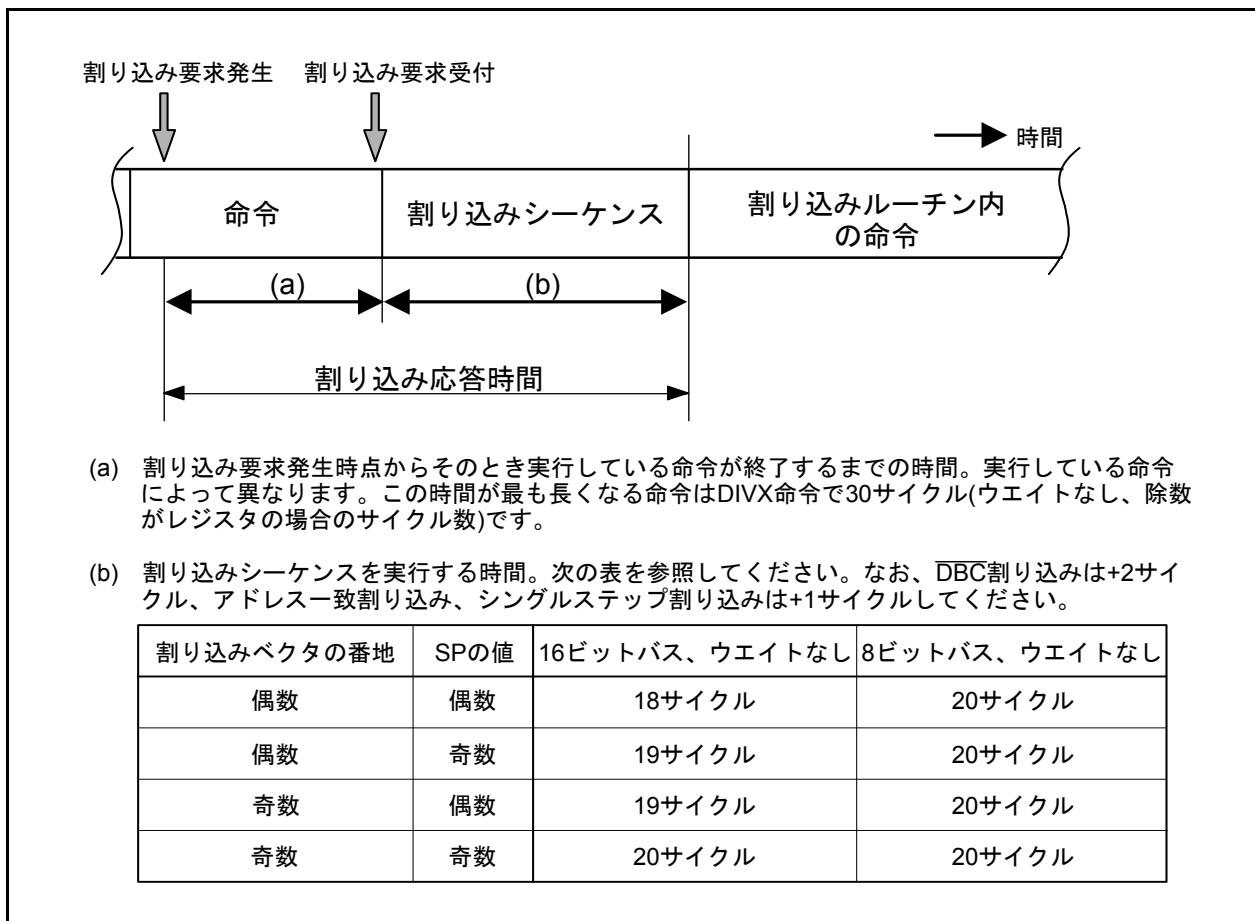


図 11.6 割り込み応答時間

11.5.6 割り込み要求受付時のIPLの変化

マスクابل割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.5 に示す値がIPLに設定されます。表 11.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 11.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、NMI	7
ソフトウェア、アドレス一致、DBC、シングルステップ	変化しない

11.5.7 レジスタ退避

割り込みシーケンスでは、FLG レジスタと PC をスタックに退避します。

スタックへは PC の上位 4 ビットと FLG レジスタの上位 4 ビット (IPL)、下位 8 ビットの合計 16 ビットをまず退避し、次に PC の下位 16 ビットを退避します。図 11.7 割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM 命令を用いると、1 命令で SP を除くすべてのレジスタを退避できます。

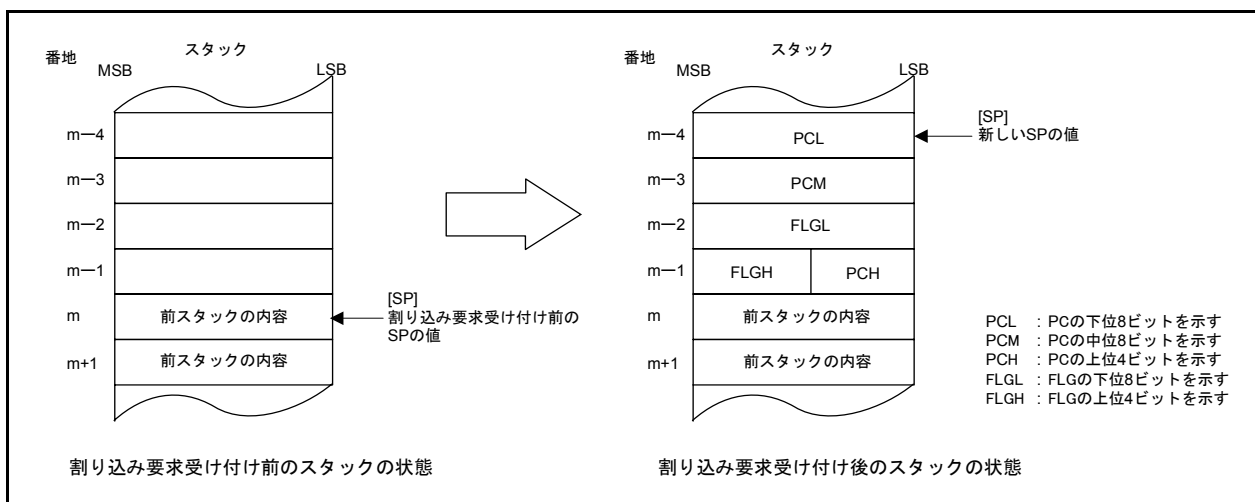


図 11.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時の SP (注 1) が偶数の場合と奇数の場合で異なります。SP (注 1) が偶数の場合は、FLG レジスタ、PC がそれぞれ 16 ビット同時に退避されます。奇数の場合は、8 ビットずつ 2 回に分けて退避されます。図 11.8 レジスタ退避動作を示します。

注 1. ソフトウェア番号 32～63 の INT 命令を実行した場合は、U フラグが示す SP です。それ以外は、ISP です。

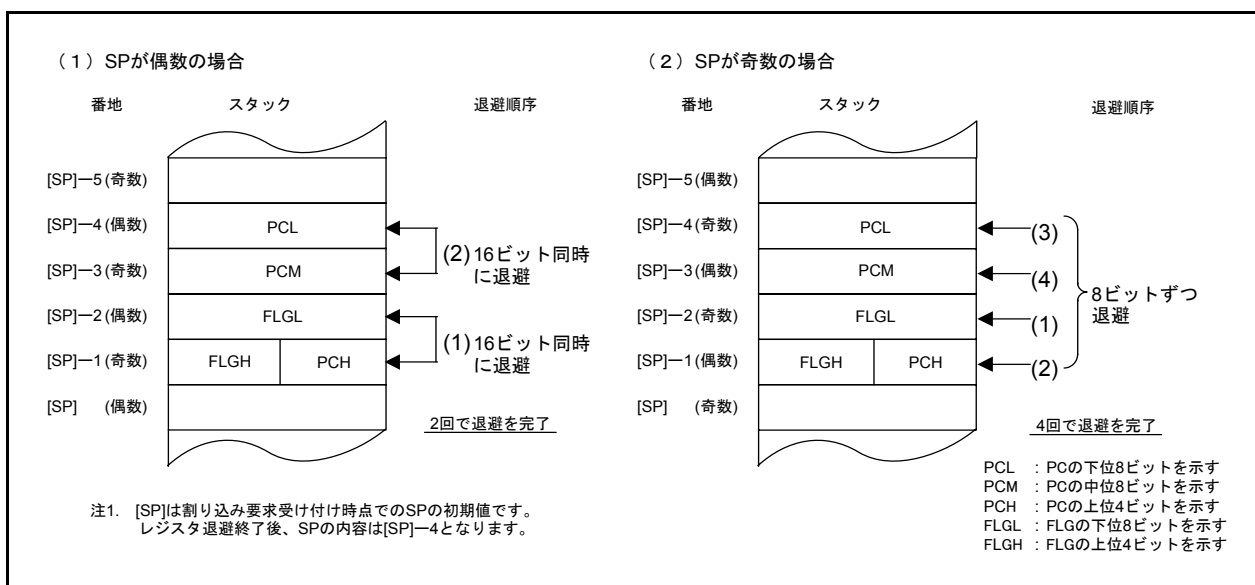


図 11.8 レジスタ退避動作

11.5.8 割り込みルーチンからの復帰

割り込みルーチンの最後で REIT 命令を実行すると、スタックに退避していた割り込みシーケンス直前の FLG レジスタと PC が復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT 命令実行前に POPM 命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT 命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

11.5.9 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先レベルは、ILVL2～ILVL0 ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図11.9 ハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

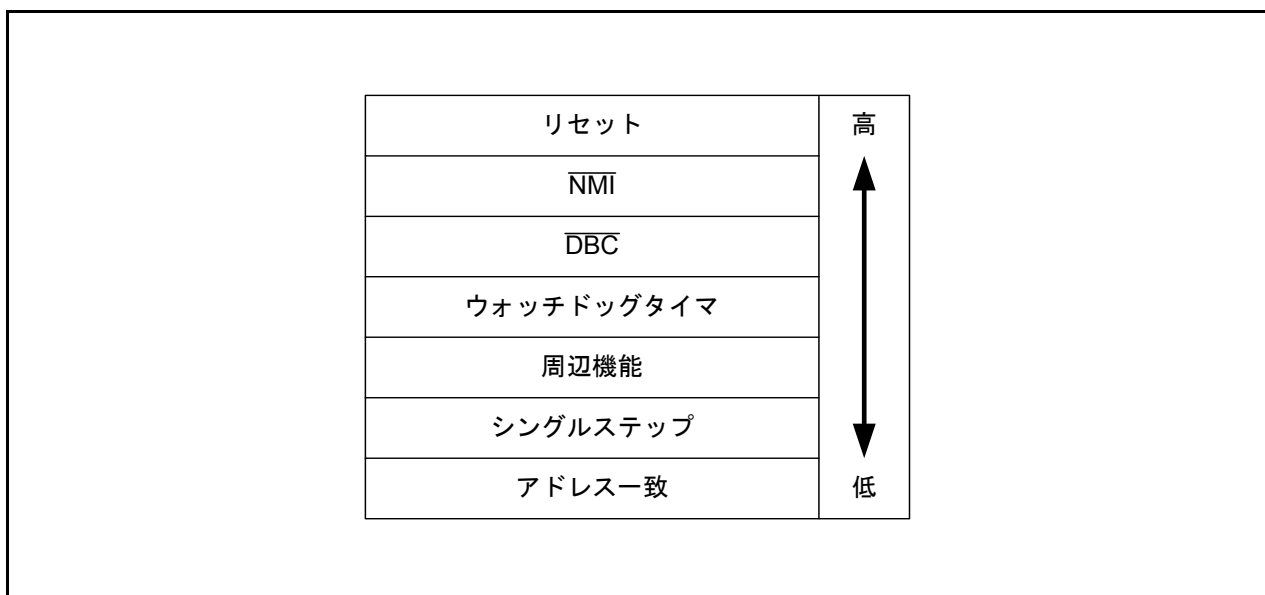


図11.9 ハードウェア割り込みの割り込み優先順位

11.5.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図 11.10 割り込み優先レベル判定回路を示します。

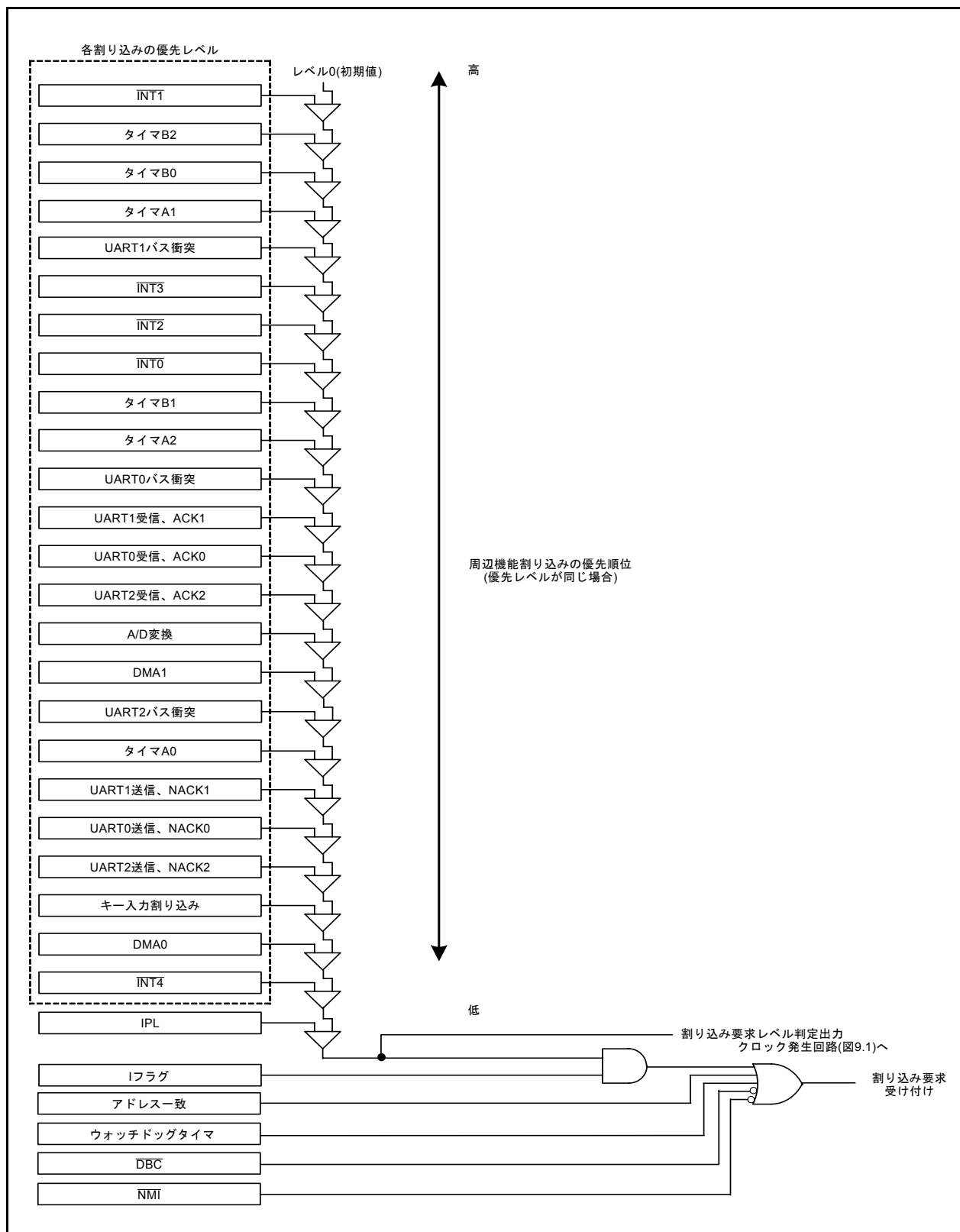


図 11.10 割り込み優先レベル判定回路

11.6 INT 割り込み

INT_i 割り込み (i=0~4) は外部入力による割り込みです。極性を IFSR レジスタの IFSR_i ビットで選択できます。

INT4 割り込みを使用するときは、IFSR レジスタの IFSR6 ビットを “1” (INT4) にしてください。

IFSR6 を変更した後、対応する IR ビットを “0” (割り込み要求なし) にしてから、割り込みを許可してください。

図 11.11 IFSR、IFSR2A レジスタを示します。

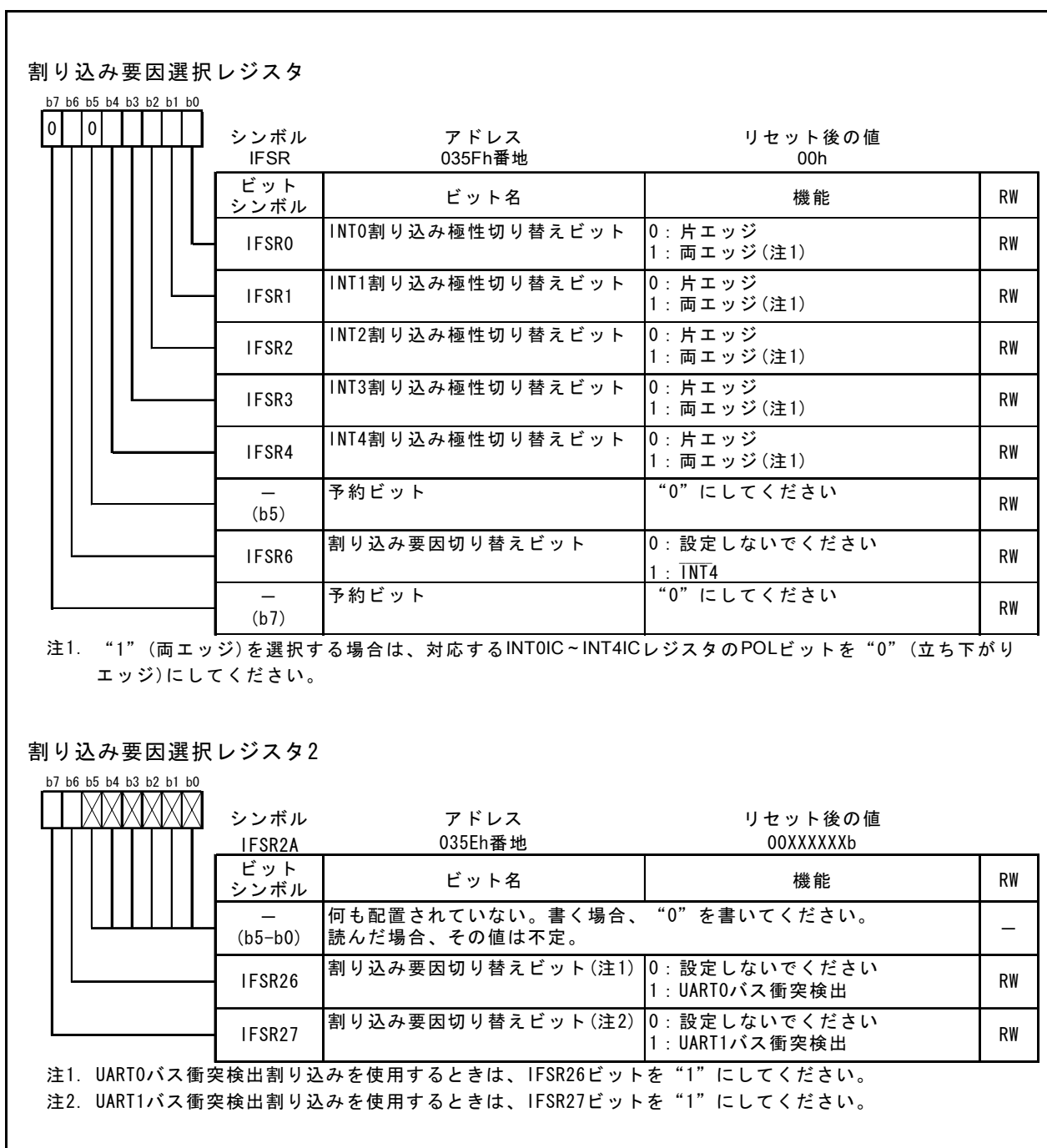


図 11.11 IFSR、IFSR2A レジスタ

11.7 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込み要求が発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスカブル割り込みです。また、この端子は $\overline{\text{NMI}}$ 割り込み入力端子ですが、端子の入力レベルをP8レジスタのP8_5ビットで読めます。

この端子は入力ポートとして使用できません。

11.8 キー入力割り込み

P10_4～P10_7のうち、PD10レジスタのPD10_4～PD10_7ビットを“0”（入力）にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P10_4～P10_7をアナログ入力端子として使用しないでください。図11.12にキー入力割り込みのブロック図を示します。なお、PD10_4～PD10_7ビットを“0”（入力モード）にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

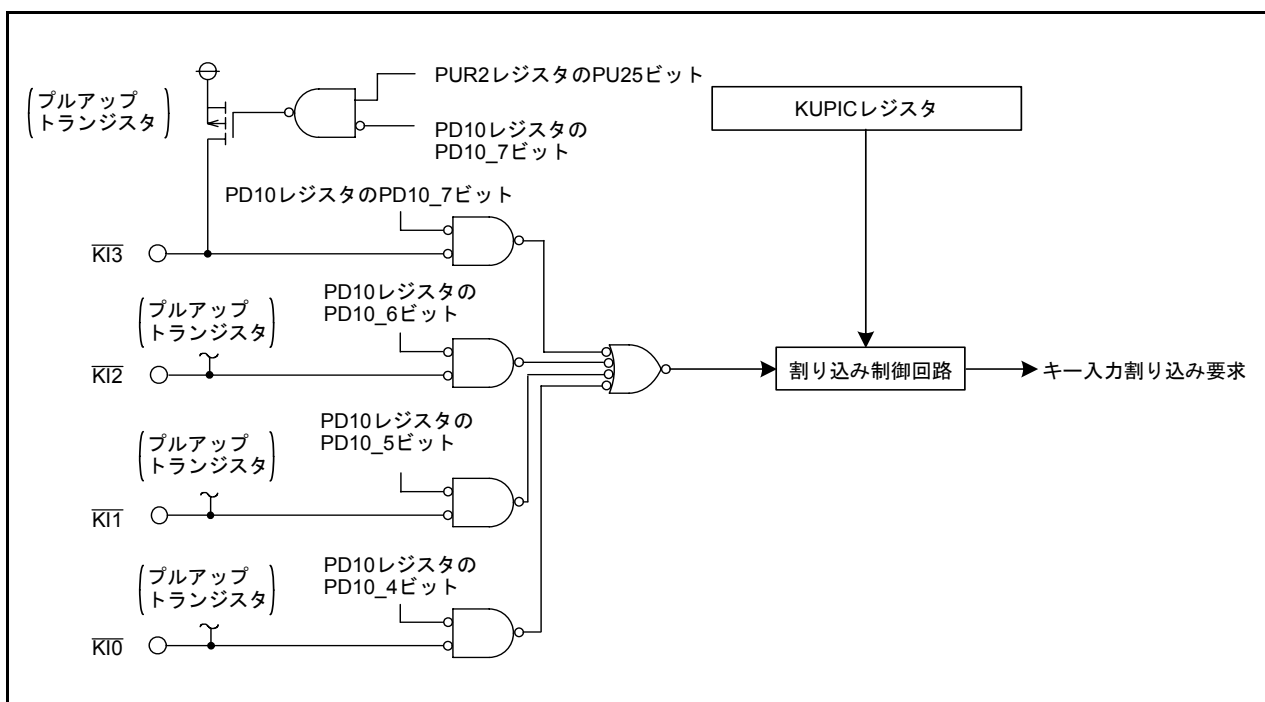


図11.12 キー入力割り込みのブロック図

11.9 アドレス一致割り込み

RMADi レジスタ (i=0～1) で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMADi レジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIER レジスタの AIER0、AIER1 ビットで選択できます。アドレス一致割り込みは、I フラグ、IPL の影響を受けません。アドレス一致割り込み要求を受け付けたときに退避される PC の値 (「11.5.7 レジスタ退避」参照) は、RMADi レジスタで示される番地の命令によって異なります (正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えて REIT 命令で復帰する
- スタックを POP 命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 11.6 アドレス一致割り込み要求受け付け時に退避される PC の値を示します。

なお、外部データベースを 8 ビットで使用している場合、外部領域に対してアドレス一致割り込みは使用できません。

図 11.13 AIER、RMAD0～RMAD1 レジスタを示します。

表 11.6 アドレス一致割り込み要求受け付け時に退避される PC の値

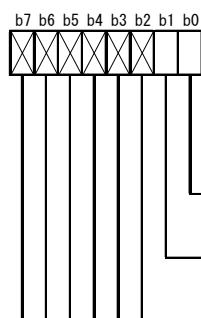
RMADi レジスタで示される番地の命令						退避される PC の値
・16 ビットオペコード命令 ・8 ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0 または A1)						RMADi レジスタで示される番地+2
上記以外						RMADi レジスタで示される番地+1

退避される PC の値: 「11.5.7 レジスタ退避」参照

表 11.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

アドレス一致割り込み許可レジスタ



シンボル

アドレス

リセット後の値

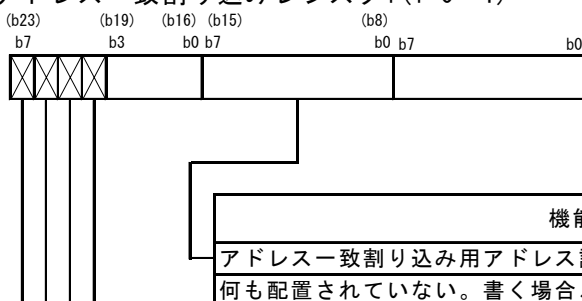
AIER

0009h 番地

XXXXXX00b

ビット シンボル	ビット名	機能	RW
AIER0	アドレス一致割り込み0許可ビット	0 : 禁止 1 : 許可	RW
AIER1	アドレス一致割り込み1許可ビット	0 : 禁止 1 : 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

アドレス一致割り込みレジスタ i (i=0~1)



シンボル

アドレス

リセット後の値

RMAD0

0012h~0010h 番地

X00000h

RMAD1

0016h~0014h 番地

X00000h

機能	設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ	00000h~FFFFFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

図 11.13 AIER、RMAD0~RMAD1 レジスタ

12. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたとき、ウォッチドッグタイマ割り込み要求を発生します。

CPUクロック源にメインクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケアラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

CPUクロックにメインクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周(16または128)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周(2)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

例えば、CPUクロックが16MHzで、プリスケアラが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

ウォッチドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケアラは、リセット後に初期化されています。なお、リセット後はウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード時、ウェイトモード時、またはホールド状態時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

図12.1 ウォッチドッグタイマのブロック図、図12.2にウォッチドッグタイマ関連レジスタを示します。

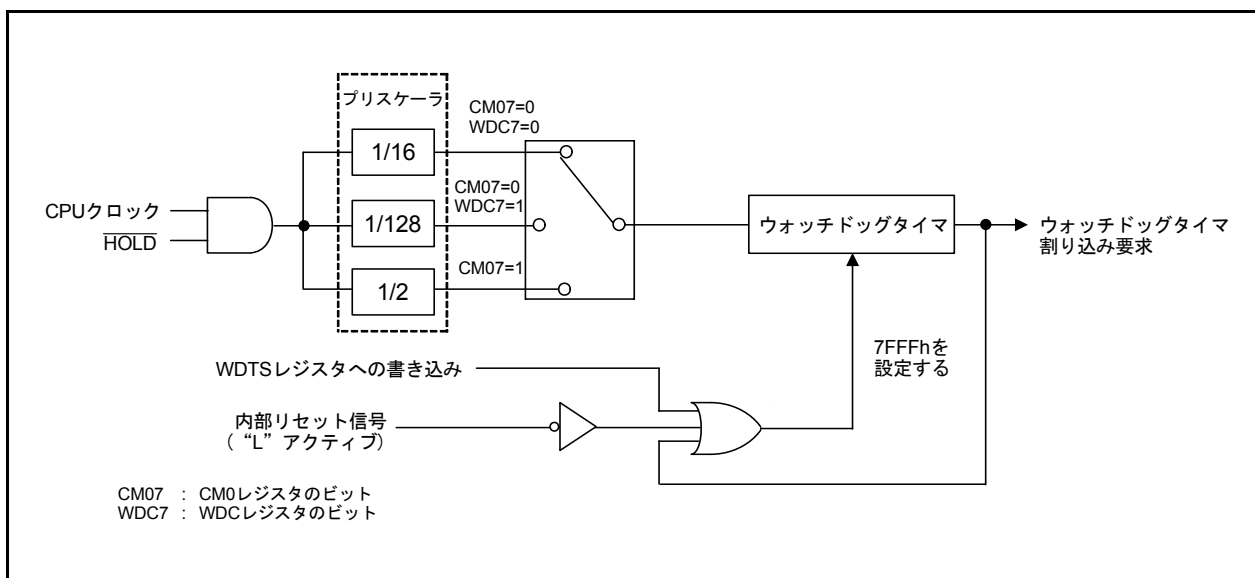


図12.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 0 b7 b0								シンボル WDC	アドレス 000Fh番地	リセット後の値 00XXXXXXb
ビット シンボル		ビット名		機能		RW				
— (b4-b0)		ウォッチドッグタイマの上位ビット				RO				
WDC5		コールドスタート/ウォームスタート 判定フラグ(注1、2)		0 : コールドスタート 1 : ウォームスタート		RW				
— (b6)		予約ビット		“0” にしてください。		RW				
WDC7		プリスケアラ選択ビット		0 : 16分周 1 : 128分周		RW				

注1. WDCレジスタに書くと、WDC5ビットは、“1” (ウォームスタート) になります。VCC1端子に入力されている電圧が4.0Vより低い場合、CPUクロックを2MHz以下にするか、2度書き込みを行ってください。

注2. WDC5ビットは、電源投入後“0” (コールドスタート) です。プログラムでのみ“1”にできます。

ウォッチドッグタイマスタートレジスタ(注1)

b7 b0 b7 b0		シンボル WDTS	アドレス 000Eh番地	リセット後の値 不定
		機能		RW
		このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートします。 ウォッチドッグタイマの初期値は、書き込む値にかかわらず“7FFFh”が設定されます。		WO

注1. ウォッチドッグタイマ割り込み発生後は、WDTSレジスタに書き込みを行ってください。

図 12.2 WDC、WDTS レジスタ

表 13.1 DMAC の仕様

項目		仕様
チャンネル数		2チャンネル(サイクルスチール方式)
転送空間		• 1Mバイトの任意の空間から固定番地 • 固定番地から1Mバイトの任意の空間 • 固定番地から固定番地
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA 要求要因(注1)、(注2)		INT0またはINT1端子の立ち下がりエッジ INT0またはINT1端子の両エッジ タイマA0～タイマA2割り込み要求 タイマB0～タイマB2割り込み要求 UART0送信、UART0受信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 A/D変換割り込み要求 ソフトウェアトリガ
チャンネル優先順位		DMA0 > DMA1(DMA0が優先)
転送単位		8ビットまたは16ビット
転送番地方向		順方向または固定(転送元と転送先の両方を順方向にしないでください)
転送モード	単転送	DMAi転送カウンタ(i=0～1)がアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA 割り込み要求発生タイミング		DMAi転送カウンタがアンダフローしたとき
DMA 転送開始		DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される
DMA 転送停止	単転送	• DMAEビットを“0”(禁止)にする • DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング		DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード
DMA 転送サイクル数		SFR、内蔵RAM間: 3サイクル

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。

注2. 選択できる要因はチャンネルによって異なります。

注3. DMAC関連レジスタ(0020h～003Fh番地)をDMACでアクセスしないでください。

DMA0要因選択レジスタ

b7

b6

b5

b4

b3

b2

b1

b0

注1. DMA0の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3～DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 b	INT0端子の立ち下がリエッジ	—
0 0 0 1 b	ソフトウェアトリガ	—
0 0 1 0 b	タイマA0	—
0 0 1 1 b	タイマA1	—
0 1 0 0 b	タイマA2	—
0 1 0 1 b	—	—
0 1 1 0 b	—	INT0端子の両エッジ
0 1 1 1 b	タイマB0	—
1 0 0 0 b	タイマB1	—
1 0 0 1 b	タイマB2	—
1 0 1 0 b	UART0送信	—
1 0 1 1 b	UART0受信	—
1 1 0 0 b	UART2送信	—
1 1 0 1 b	UART2受信	—
1 1 1 0 b	A/D変換	—
1 1 1 1 b	UART1送信	—

図 13.2 DM0SL レジスタ

DMA1要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 シンボル DM1SL ビット シンボル ビット名 機能 RW							
アドレス 03BAh 番地 リセット後の値 00h							
DSEL0	DMA要求要因選択ビット		注1を参照してください		RW		
DSEL1					RW		
DSEL2					RW		
DSEL3					RW		
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。				—		
DMS	DMA要因拡張選択ビット		0: 基本要因 1: 拡張要因		RW		
DSR	ソフトウェアDMA要求ビット		DMSビットが“0”（基本要因）、DSEL3～DSEL0ビットが“0001b”（ソフトウェアトリガ）のとき、このビットを“1”にするとDMA要求が発生する（読んだ場合、その値は“0”）		RW		

注1. DMA1の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3～DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 b	INT1端子の立ち下がリエッジ	—
0 0 0 1 b	ソフトウェアトリガ	—
0 0 1 0 b	タイマA0	—
0 0 1 1 b	タイマA1	—
0 1 0 0 b	タイマA2	—
0 1 0 1 b	—	—
0 1 1 0 b	—	—
0 1 1 1 b	タイマB0	INT1端子の両エッジ
1 0 0 0 b	タイマB1	—
1 0 0 1 b	タイマB2	—
1 0 1 0 b	UART0送信	—
1 0 1 1 b	UART0受信/ACK0	—
1 1 0 0 b	UART2送信	—
1 1 0 1 b	UART2受信/ACK2	—
1 1 1 0 b	A/D変換	—
1 1 1 1 b	UART1受信/ACK1	—

図 13.3 DM1SL レジスタ

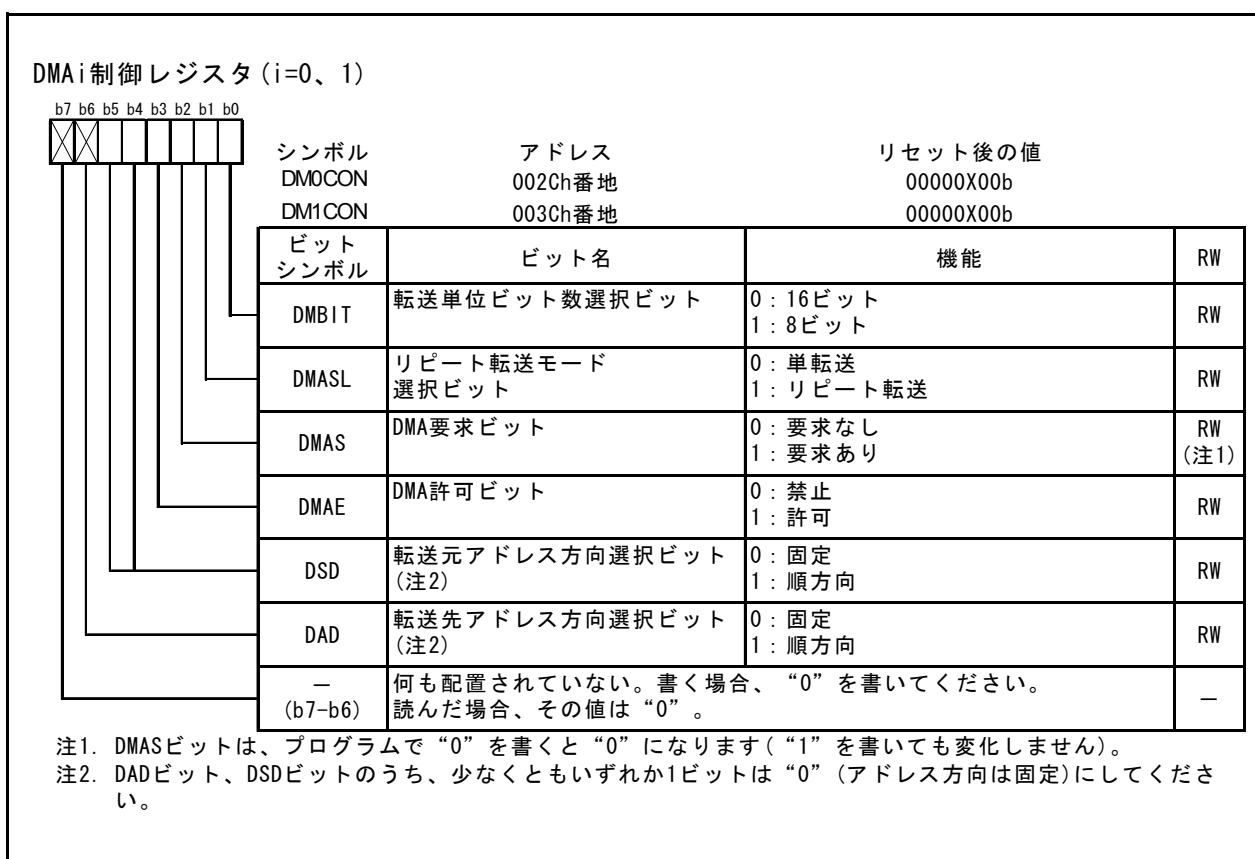
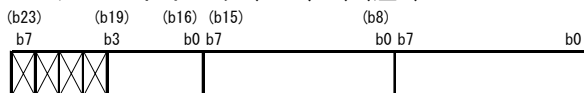


図13.4 DM0CON、DM1CONレジスタ

DMA*i* ソースポインタ (*i*=0、1) (注1)

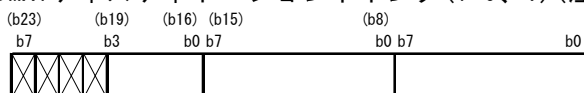
シンボル	アドレス	リセット後の値
SAR0	0022h~0020h番地	不定
SAR1	0032h~0030h番地	不定

機能	設定範囲	RW
転送元番地を設定してください	00000h~FFFFFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. DMiCONレジスタのDSDビットが“0”（固定）の場合は、DMiCONレジスタのDMAEビットが“0”（DMA禁止）のとき書いてください。

DSDビットが“1”（順方向）の場合は、いつでも書けます。

DSDビットが“1”かつDMAEビットが“1”（DMA許可）の場合は、DMA*i*順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

DMA*i* ディスティネーションポインタ (*i*=0、1) (注1)

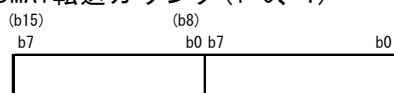
シンボル	アドレス	リセット後の値
DAR0	0026h~0024h番地	不定
DAR1	0036h~0034h番地	不定

機能	設定範囲	RW
転送先番地を設定してください	00000h~FFFFFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. DMiCONレジスタのDADビットが“0”（固定）の場合は、DMiCONレジスタのDMAEビットが“0”（DMA禁止）のとき書いてください。

DADビットが“1”（順方向）の場合は、いつでも書けます。

DADビットが“1”かつDMAEビットが“1”（DMA許可）の場合は、DMA*i*順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

DMA*i* 転送カウンタ (*i*=0、1)

シンボル	アドレス	リセット後の値
TCR0	0029h~0028h番地	不定
TCR1	0039h~0038h番地	不定

機能	設定範囲	RW
転送回数-1を設定してください。書いた値はDMA <i>i</i> 転送カウンタリロードレジスタに格納され、DMiCONレジスタのDMAEビットを“1”（DMA許可）にしたとき、またはDMiCONレジスタのDMASLビットが“1”（リピータ転送）でDMA <i>i</i> 転送カウンタがアンダフローしたとき、DMA <i>i</i> 転送カウンタリロードレジスタの値がDMA <i>i</i> 転送カウンタへ転送されます。 読んだ場合、DMA <i>i</i> 転送カウンタが読めます。	0000h~FFFFh	RW

図13.5 SAR0、SAR1、DAR0、DAR1、TCR0、TCR1レジスタ

13.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウェイトやRDY信号の影響により、バスサイクル自体が長くなります。

13.1.1 転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

13.1.2 BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子に“H”を入力している場合)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データを読むのに2バスサイクル、書くのに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

13.1.3 ソフトウェアウェイトの影響

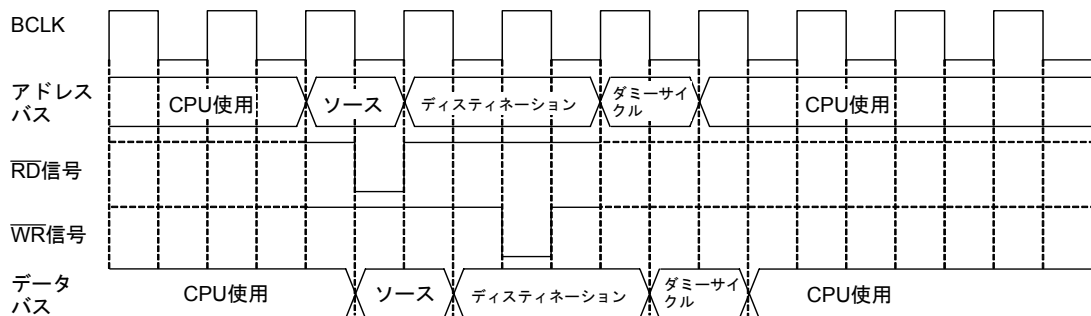
ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

13.1.4 RDY信号の影響

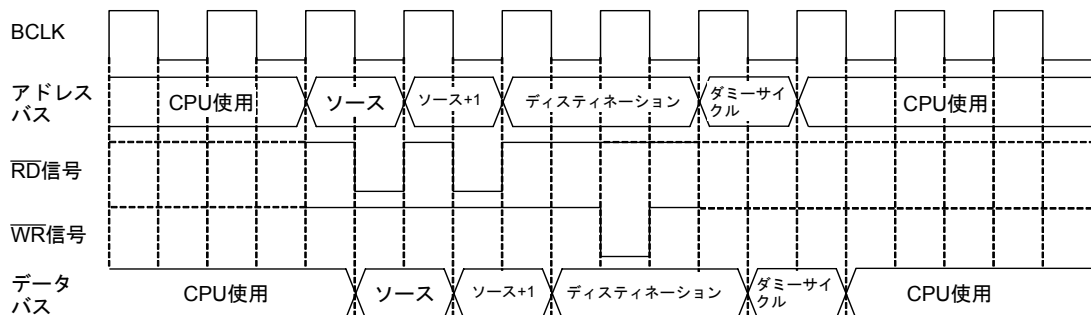
メモリ拡張モードとマイクロプロセッサモード時、外部領域ではRDY信号の影響を受けます。詳細は「7.2.6 RDY信号」を参照してください。

図13.6 ソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、8ビットバスを使用している場合(図13.6の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

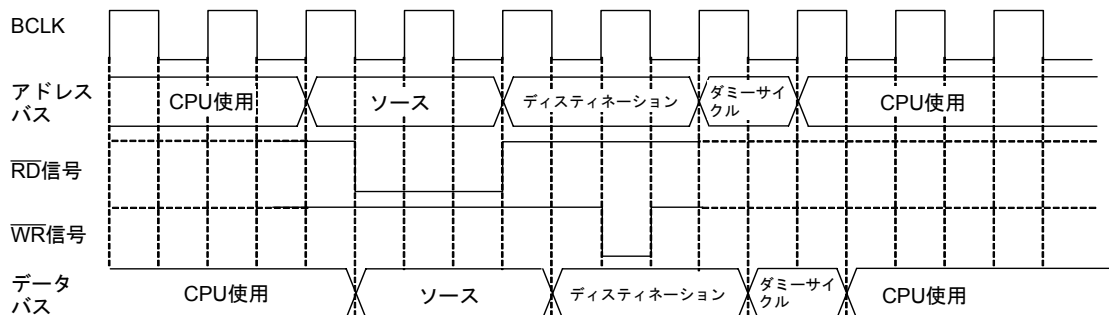
(1) 転送単位が8ビットの場合または 転送単位が16ビットでソースが偶数番地の場合



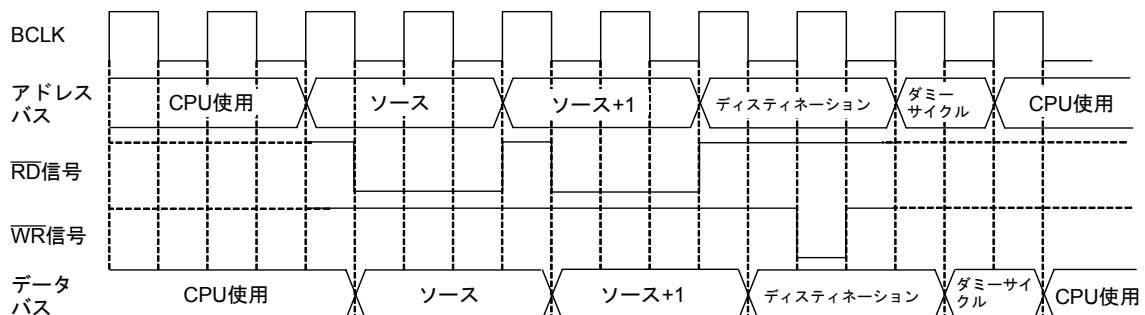
(2) 転送単位が16ビットでソースが奇数番地の場合または転送単位が16ビットで8ビットバスを使用している場合



(3) (1)の条件でソースリードに1ウェイトが入った場合



(4) (2)の条件でソースリードに1ウェイトが入った場合



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図 13.6 ソースリードサイクル例

13.2 DMAC 転送サイクル数

DMA 転送サイクル数は次のとおり計算できます。

表 13.2 DMAC 転送サイクル数、表 13.3 係数 j、k を示します。

1 転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表 13.2 DMAC 転送サイクル数

転送単位	バス	アクセス 番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8 ビット転送 (DMBIT= “1”)	16 ビット (BYTE= “L”)	偶 数	1	1	1	1
		奇 数	1	1	1	1
	8 ビット (BYTE= “H”)	偶 数	—	—	1	1
		奇 数	—	—	1	1
16 ビット転送 (DMBIT= “0”)	16 ビット (BYTE= “L”)	偶 数	1	1	1	1
		奇 数	2	2	2	2
	8 ビット (BYTE= “H”)	偶 数	—	—	2	2
		奇 数	—	—	2	2

— : この条件はありません

表 13.3 係数 j、k

	内部領域			外部領域	
	内部 ROM、RAM		SFR	セパレートバス	
	ウェイトなし	ウェイトあり	1ウェイト	ウェイトなし	1ウェイト
j	1	2	2	1	2
k	1	2	2	2	2

13.3 DMA許可

DMiCON レジスタ (i=0, 1) の DMAE ビットを “1” (許可) にした後のデータ転送開始時に、DMAC は次のように動作します。

- (a) DMiCON レジスタの DSD ビットが “1” (順方向) の場合は SARi レジスタの、DMiCON レジスタの DAD ビットが “1” (順方向) の場合は DARi レジスタの値を順方向アドレスポインタへリロードする
- (b) DMAi 転送カウンタリロードレジスタの値を DMAi 転送カウンタへリロードする

DMAE ビットが “1” の場合、再度 “1” を書くと、上記動作を行います。

ただし、DMAE ビットへの書き込みと同時に DMA 要求が発生する可能性がある場合は、次の手順で書いてください。

- (1) DMiCON レジスタの DMAE ビットと DMAS ビットに同時に “1” を書く。
- (2) DMAi が初期状態 (上記 (a)(b) の状態) になっていることをプログラムで確認する。
DMAi が初期状態になっていない場合は、(1)(2) を繰り返す。

13.4 DMA要求

DMAC は、チャンネルごとに DMiSL レジスタ (i=0, 1) の DMS ビット、DESL3～DESL0 ビットで選択した要因をトリガとして、DMA 要求が発生できます。表 13.4 DMAS ビットが変化するタイミングを示します。

DMAS ビットは、DMAE ビットの状態にかかわらず、DMA 要求が発生すると “1” (要求あり) になります。DMAE ビットが “1” (許可) の場合、データ転送が開始される直前に DMAS ビットは “0” (要求なし) になります。また、プログラムで “0” にできますが “1” にはできません。

DMS ビット、DESL3～DESL0 ビットを変更すると、DMAS ビットは “1” になることがあります。したがって、DMS ビット、DESL3～DESL0 ビットを変更した後は、DMAS ビットを “0” にしてください。

DMAE ビットが “1” であれば、DMA 要求発生後、すぐにデータ転送が開始されるので、プログラムで DMAS ビットを読んでも、ほとんどの場合 “0” が読めます。DMAC が許可されていることを判断するには、DMAE ビットを読んでください。

表 13.4 DMAS ビットが変化するタイミング

DMA 要因	DMiCON レジスタの DMAS ビット	
	“1” になるタイミング	“0” になるタイミング
ソフトウェアトリガ	DMiSL レジスタの DSR ビットを “1” にしたとき	• データ転送開始直前 • プログラムで “0” を書いたとき
周辺機能	DMiSL レジスタの DSEL3～DSEL0 ビットと DMS ビットで選択した周辺機能の、割り込み制御レジスタの IR ビットが “1” になるとき	

13.5 チャンネルの優先順位とDMA転送タイミング

DMA0 と DMA1 の両方が許可されている場合、DMA0 と DMA1 の DMA 転送の要求信号が同一サンプリング期間 (BCLK の立ち下がりエッジから次の立ち下がりエッジの一周期) に入ると、各チャンネルの DMAS ビットは同時に “1” (要求あり) になります。この場合のチャンネル優先順位は DMA0 > DMA1 です。次に DMA0 と DMA1 の要求が同一サンプリング期間に入った場合の動作を説明します。図 13.7 に外部要因による DMA 転送例を示します。

図 13.7 では DMA0 の要求と DMA1 の要求が同時に発生したので、チャンネル優先順位が高い DMA0 が先に受け付けられ転送を開始します。DMA0 が 1 転送単位を終了すると CPU にバス使用权をゆずり、CPU が 1 回のバスアクセスを終了すると、次に DMA1 が転送を開始し、1 転送単位終了後 CPU にバス使用权を返します。

なお、DMAS ビットは各チャンネル 1 ビットですので、DMA 要求の回数はカウントできません。したがって、図 13.7 の DMA1 のようにバス使用权を得るまでに複数回 DMA 要求が発生した場合も、バス使用权を得ると DMAS ビットを “0” にして、1 転送単位終了後、CPU にバス使用权を返します。

CPU とのバスの使用優先順位については「7.2.7 HOLD 信号」も参照ください。

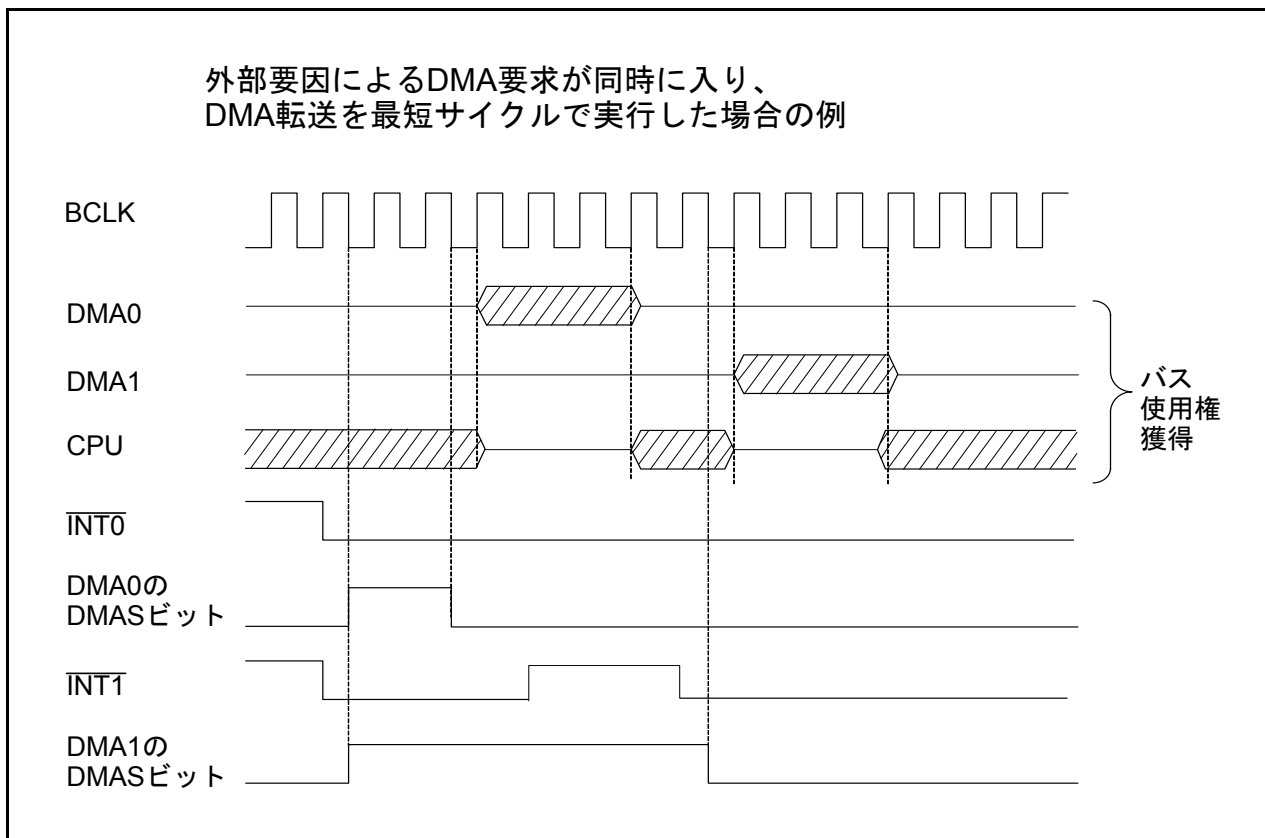


図 13.7 外部要因によるDMA転送例

14. タイマ

16ビットタイマが6本あります。6本のタイマは持っている機能によってタイマA(3本)とタイマB(3本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図14.1 タイマA構成、図14.2 タイマB構成を示します。

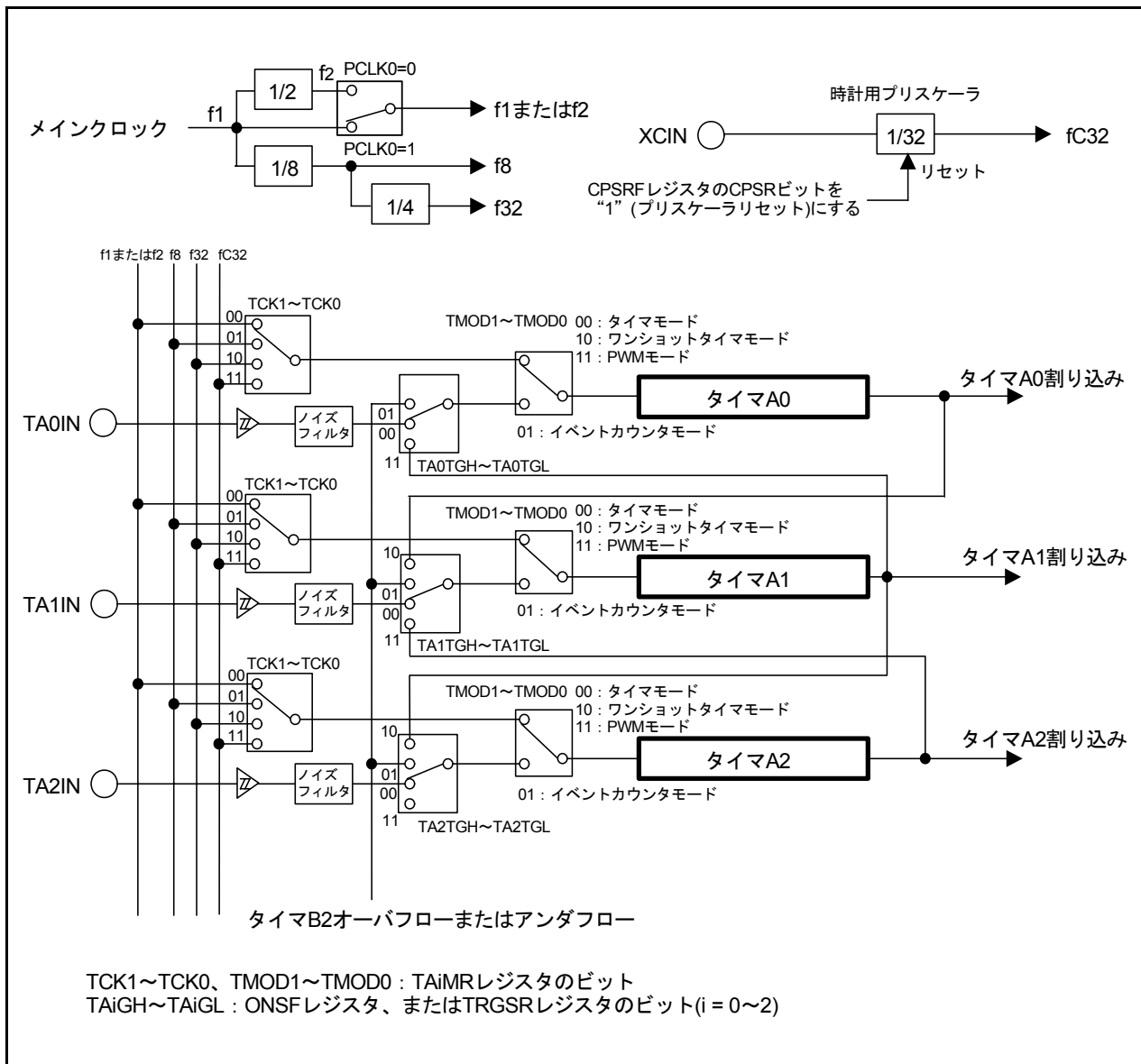


図14.1 タイマA構成

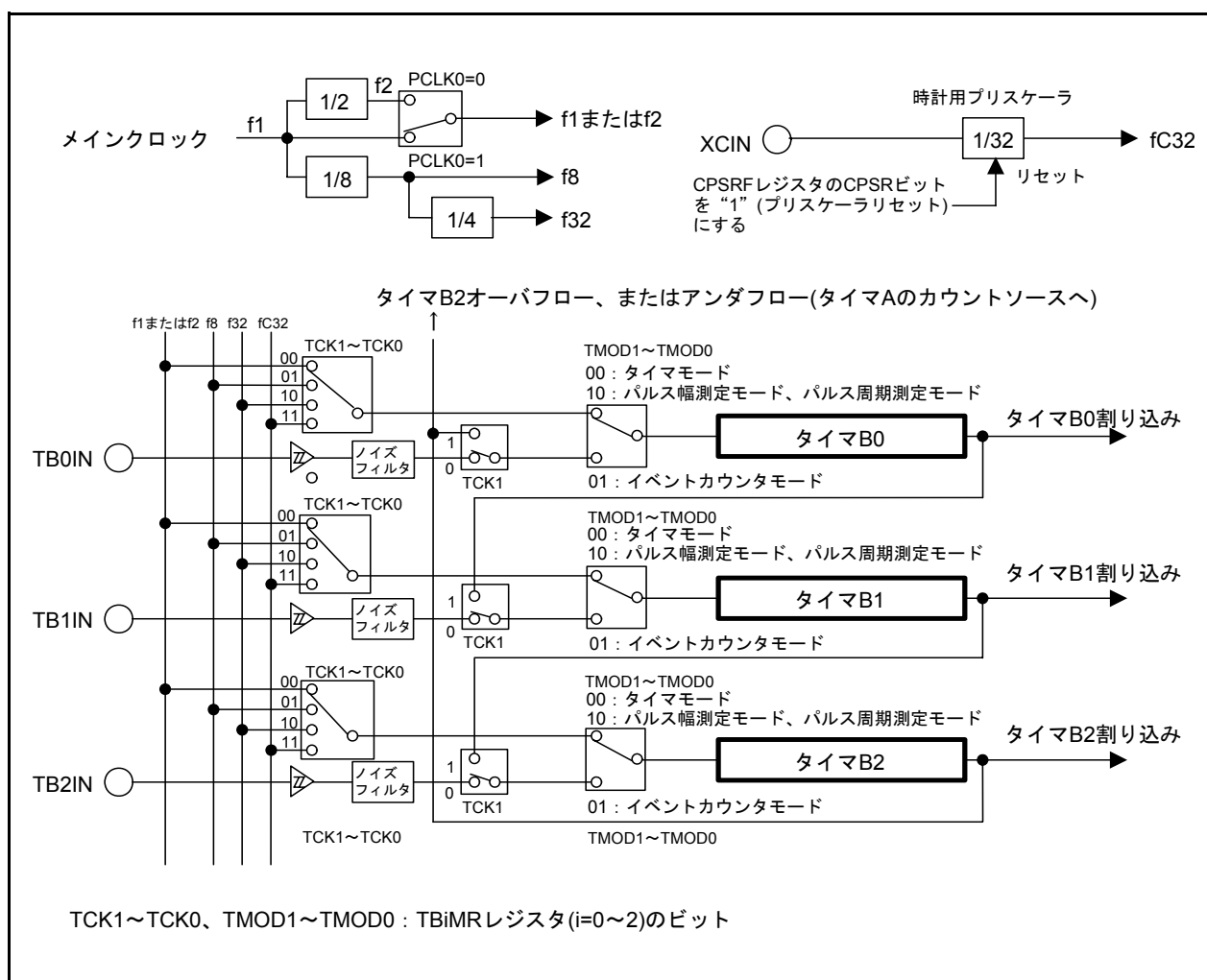


図 14.2 タイマB構成

14.1 タイマA

図14.3 タイマAブロック図、図14.4～図14.6にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A2は同一の機能を持ちます。モードは、TAiMRレジスタ(i=0～2)のTMOD1～TMOD0ビットで選択できます。

- | | |
|---------------|---|
| ・タイマモード | 内部カウントソースをカウントするモード |
| ・イベントカウンタモード | 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード |
| ・ワンショットタイマモード | カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード |
| ・PWMモード | 任意の幅のパルスを連続して出力するモード |

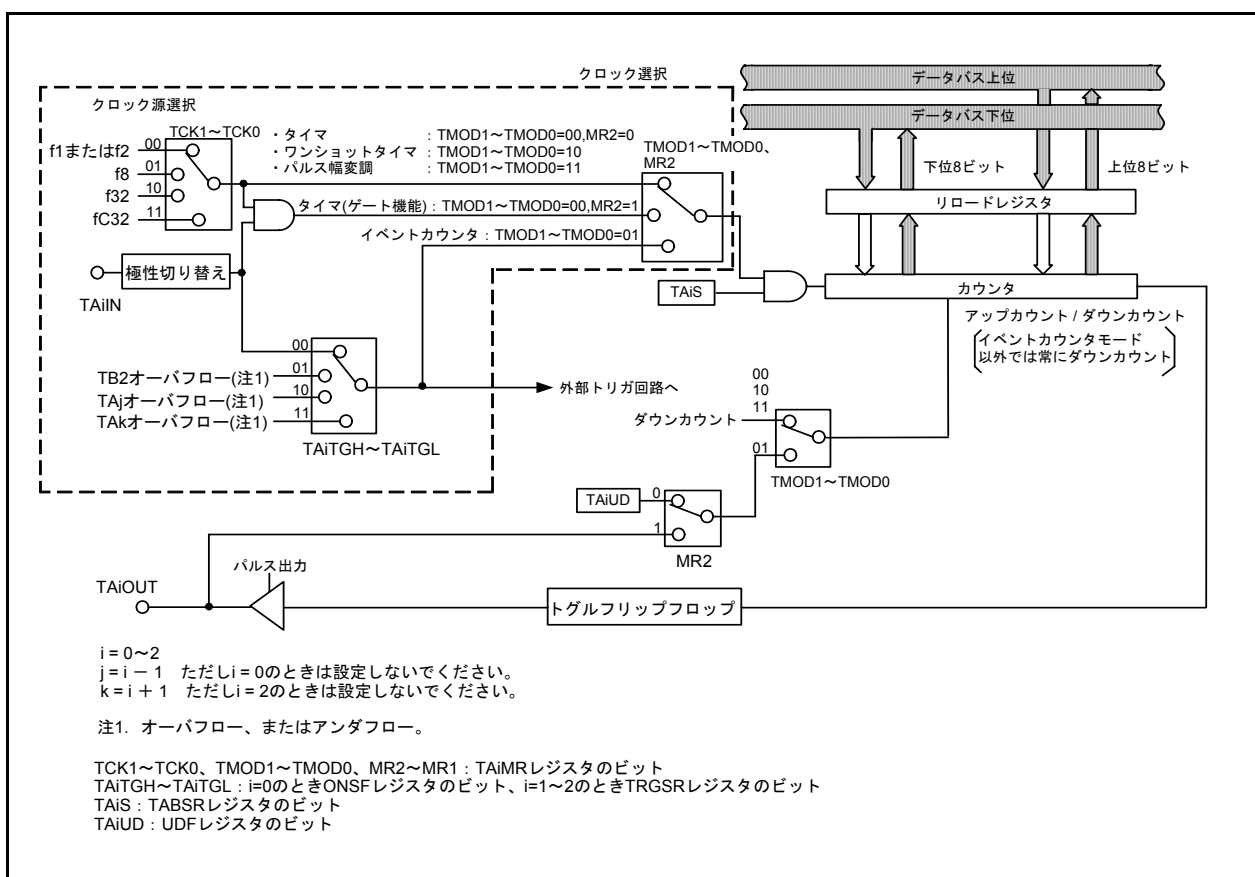


図 14.3 タイマAブロック図

タイマAiモードレジスタ (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル				アドレス		リセット後の値	
TA0MR ~ TA2MR				0396h ~ 0398h番地		00h	
ビット シンボル		ビット名		機能		RW	
TMOD0		動作モード選択ビット		b1 b0 00 : タイマモード 01 : イベントカウンタモード 10 : ワンショットタイマモード 11 : パルス幅変調(PWM)モード		RW	
TMOD1						RW	
MR0		動作モードによって機能が異なる				RW	
MR1						RW	
MR2						RW	
MR3						RW	
TCK0		カウントソース選択ビット (動作モードによって機能が異なる)				RW	
TCK1						RW	

タイマAiレジスタ (i=0~2) (注1)

(b15) b7		(b8) b0 b7	b0	シンボル	アドレス	リセット後の値	
				TA0	0387h ~ 0386h 番地	不定	
				TA1	0389h ~ 0388h 番地	不定	
				TA2	038Bh ~ 038Ah 番地	不定	
モード		機能				設定範囲	RW
タイマモード		設定値をnとすると、カウントソースをn+1分周する				0000h ~ FFFFh	RW
イベントカウンタモード		設定値をnとすると、アップカウント時、カウントソースをFFFFh-n+1分周し、ダウンカウント時、カウントソースをn+1分周する(注5)				0000h ~ FFFFh	RW
ワンショットタイマモード		設定値をnとすると、カウントソースをn分周し、停止する				0000h ~ FFFFh (注2、4)	WO
パルス幅変調モード (16ビットPWM)		設定値をn、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期: $(2^{16} - 1) / fj$ PWMパルスの“H”幅: n / fj				0000h ~ FFFEh (注3、4)	WO
パルス幅変調モード (8ビットPWM)		上位番地の設定値をn、下位番地の設定値をm、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期: $(2^8 - 1) \times (m+1) / fj$ PWMパルスの“H”幅: $(m+1)n / fj$				00h ~ FEh (上位番地) 00h ~ FFh (下位番地) (注3、4)	WO

注1. 16ビット単位でアクセスしてください。

注2. TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。

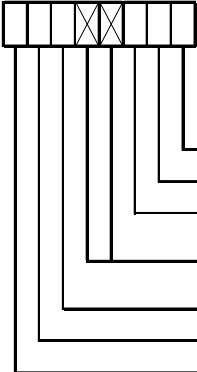
注3. TAiレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットに“00h”を設定した場合も同様です。

注4. TAiレジスタへはMOV命令を使用して書いてください。

注5. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

図 14.4 TA0MR ~ TA2MR、TA0 ~ TA2 レジスタ

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0							
		シンボル TABSR	アドレス 0380h番地	リセット後の値 000XX000b			
ビット シンボル	ビット名			機能		RW	
TA0S	タイマA0カウント開始フラグ			0 : カウント停止 1 : カウント開始		RW	
TA1S	タイマA1カウント開始フラグ					RW	
TA2S	タイマA2カウント開始フラグ					RW	
— (b4-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。					—	
TB0S	タイマB0カウント開始フラグ			0 : カウント停止 1 : カウント開始		RW	
TB1S	タイマB1カウント開始フラグ					RW	
TB2S	タイマB2カウント開始フラグ					RW	

アップダウンフラグ(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル		アドレス		リセット後の値			
UDF		0384h番地		XX0XX000b			
ビット シンボル	ビット名			機能			RW
TA0UD	タイマA0アップダウンフラグ			0 : ダウンカウント 1 : アップカウント			RW
TA1UD	タイマA1アップダウンフラグ			イベントカウンタモード時、 TAiMRレジスタのMR2ビットを“0”（切り 替え要因はUDFレジスタ）にすると有効に なります			RW
TA2UD	タイマA2アップダウンフラグ						RW
— (b4-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。						—
TA2P	タイマA2二相パルス信号処理機 能選択ビット			0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可 （注2、3）			WO
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。						—

注1. UDFレジスタへはMOV命令を使用して書いてください。

注2. TA2IN、TA2OUT端子に対応するポート方向ビットは“0”（入力モード）にしてください。

注3. 二相パルス信号処理機能を使用しない場合、タイマA2に対応するビットを“0”にしてください。

図 14.5 TABSR、UDF レジスタ

14.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 14.1)。図 14.7 タイマモード時の TAI_{MR} レジスタを示します。

表 14.1 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAi レジスタ(i=0~2)の設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタの TAI _S ビットを“1”(カウント開始)にする
カウント停止条件	TAi _S ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAi _{IN} 端子機能	入出力ポートまたはゲート入力
TAi _{OUT} 端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAi レジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAI レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAI レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	・ゲート機能 TAi_{IN} 端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとに TAI_{OUT} 端子の出力極性が反転。TAi_S ビットが“0”(カウント停止)の期間は“L”を出力

タイマAiモードレジスタ(i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0						
0		0		0		
シンボル			アドレス		リセット後の値	
TA0MR～TA2MR			0396h～0398h番地		00h	
ビット シンボル	ビット名			機能		RW
TMOD0	動作モード選択ビット			b1 b0		RW
TMOD1				0 0 : タイマモード		RW
MR0	パルス出力機能選択ビット			0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)		RW
MR1	ゲート機能選択ビット			b4 b3		RW
MR2				0 0 : }ゲート機能なし (TAiIN端子は入出力ポート) 0 1 : } 1 0 : TAiIN端子に“L”が入力されている 期間カウントする(注2) 1 1 : TAiIN端子に“H”が入力されている 期間カウントする(注2)		RW
MR3	タイマモードでは“0”にしてください					RW
TCK0	カウントソース選択ビット			b7 b6		RW
TCK1				0 0 : f1またはf2(注3) 0 1 : f8 1 0 : f32 1 1 : fC32		RW

注1. TA0_{OUT}端子はNチャンネルオープンドレイン出力。

注2. TAI_{IN}端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注3. PCLKRレジスタのPCLK0ビットで選択してください。

図 14.7 タイマモード時の TAI_{MR} レジスタ

14.1.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。タイマ A2 は二相の外部信号をカウントできます。表 14.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図 14.8 イベントカウンタモード時の TAI_{MR} レジスタ(二相パルス信号処理を使用しない場合)を示します。

表 14.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	- TAi_{IN}端子(i=0~2)に入力された外部信号(プログラムで有効エッジを選択可能) - タイマ B2 のオーバフローまたはアンダフロー、タイマ A_j(j=i-1、ただし i=0 のときは設定しないでください)のオーバフローまたはアンダフロー、タイマ A_k(k=i+1、ただし i=2 のときは設定しないでください)のオーバフローまたはアンダフロー
カウント動作	- アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 - オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	- アップカウント時 $1/(FFFFh - n + 1)$ - ダウンカウント時 $1/(n + 1)$ n:TAi レジスタの設定値 0000h ~ FFFFh
カウント開始条件	TABSR レジスタの TAI _S ビットを “1” (カウント開始)にする
カウント停止条件	TAI _S ビットを “0” (カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAi _{IN} 端子機能	入出力ポートまたはカウントソース入力
TAi _{OUT} 端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAi レジスタを読むと、カウント値が読める
タイマの書き込み	- カウント停止中とカウント開始後 1 回目のカウントソースが入力されるまで TAI レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる - カウント中(ただし、1 回目のカウントソース入力後) TAI レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	- フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない - パルス出力機能 オーバフローまたはアンダフローするごとに TAI_{OUT} 端子の出力極性が反転。TAI_S ビットが “0” (カウント停止)の期間は “L” を出力

タイマAiモードレジスタ (i=0~2) (二相パルス信号処理を使用しない場合)

b7 b6 b5 b4 b3 b2 b1 b0							
0 0 1							
シンボル				アドレス		リセット後の値	
TA0MR~TA2MR				0396h~0398h番地		00h	
ビット シンボル	ビット名			機能		RW	
TMOD0	動作モード選択ビット			b1 b0		RW	
TMOD1				0 1: イベントカウンタモード (注1)		RW	
MR0	パルス出力機能選択ビット			0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (注2) (TAiOUT端子はパルス出力端子)		RW	
MR1	カウント極性選択ビット (注3)			0: 外部信号の立ち下がりを実カウント 1: 外部信号の立ち上がりを実カウント		RW	
MR2	アップ/ダウン切り替え 要因選択ビット			0: UDFレジスタ 1: TAiOUT端子の入力信号 (注4)		RW	
MR3	イベントカウンタモードでは“0”にしてください					RW	
TCK0	カウントタイプ選択ビット			0: リロードタイプ 1: フリーランタイプ		RW	
TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可					RW	

注1. イベントカウンタモードではカウントソースをONSFレジスタ、TRGSRレジスタで選択できます。

注2. TA0OUT端子はNチャンネルオープンドレイン出力。

注3. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b” (TAiIN端子の入力) のとき有効。

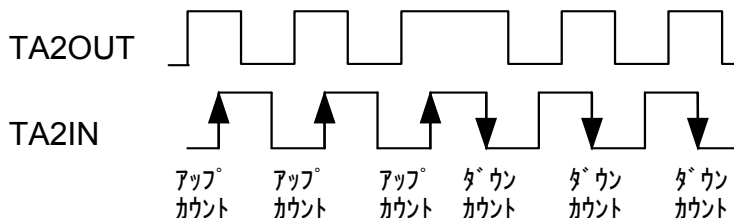
注4. TAiOUT端子に“L”が入力されているときダウンカウント、“H”が入力されているときアップカウントします。TAiOUT端子に対応するポート方向ビットは“0” (入力モード) にしてください。

図 14.8 イベントカウンタモード時のTAiMRレジスタ (二相パルス信号処理を使用しない場合)

表 14.3 イベントカウンタモードの仕様(タイマ A2 で二相パルス信号処理を使用する場合)、図 14.9 イベントカウンタモード時の TA2MR レジスタ(タイマ A2 で二相パルス信号処理を使用する場合)を示します。

表 14.3 イベントカウンタモードの仕様(タイマ A2 で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	・TA2IN、TA2OUT 端子に入力された二相パルス信号
カウント動作	・アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ・オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	・アップカウント時 $1/(FFFFh - n + 1)$ ・ダウンカウント時 $1/(n + 1)$ n :TAi レジスタの設定値 0000h ~ FFFFh
カウント開始条件	TABSR レジスタの TA2S ビットを“1”(カウント開始)にする
カウント停止条件	TA2S ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TA2IN 端子機能	二相パルス入力
TA2OUT 端子機能	二相パルス入力
タイマの読み出し	タイマ A2 レジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後 1 回目のカウントソースが入力されるまで TA2 レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1 回目のカウントソース入力後)TA2 レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	・TA2OUT 端子の入力信号が“H”の期間、TA2IN 端子の立ち上がりをアップカウントし、立ち下がりダウンカウントします。



タイマ A2 モードレジスタ(二相パルス信号処理を使用する場合)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル TA2MR	アドレス 0398h 番地	リセット後の値 00h
0 0 1 0 0 0 1	ビット シンボル	ビット名	機能
	TMOD0	動作モード選択ビット	b1 b0
	TMOD1		0 1 : イベントカウンタモード
	MR0	二相パルス信号処理を使用する場合、“0”にしてください。	RW
	MR1	二相パルス信号処理を使用する場合、“0”にしてください。	RW
	MR2	二相パルス信号処理を使用する場合、“1”にしてください。	RW
	MR3	二相パルス信号処理を使用する場合、“0”にしてください。	RW
	TCK0	カウント動作タイプ選択 ビット	0 : リロードタイプ 1 : フリーランタイプ
	TCK1	二相パルス信号処理を使用する場合、“0”にしてください。(注1)	RW

注1. 二相パルス信号処理を行う場合、次のとおりしてください。

- ・UDF レジスタの TA2P ビットを“1”(二相パルス信号処理機能を許可)にする
- ・TRGSR レジスタの TA2TGH、TA2TGL ビットを“00b”(TA2IN 端子入力)にする
- ・TA2IN、TA2OUT に対応するポート方向ビットを“0”(入力モード)にする

図 14.9 イベントカウンタモード時の TA2MR レジスタ(タイマ A2 で二相パルス信号処理を使用する場合)

14.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表 14.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図 14.10 ワンショットタイマモード時の TAI_{MR} レジスタを示します。

表 14.4 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	・ダウンカウント ・カウンタが0000hになるタイミングでリロードしてカウントを停止 ・カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAi レジスタ (i=0~2) の設定値 0000h~FFFFh ただし、0000hを設定した場合、カウンタは動作しない
カウント開始条件	TABSR レジスタの TAI _S ビットが “1” (カウント開始) で、かつ次のトリガが発生 ・TAI_{IN} 端子からの外部トリガ入力 ・タイマ B2 のオーバフローまたはアンダフロー、タイマ A_j (j=i-1、ただし i=0 のときは設定しないでください) のオーバフローまたはアンダフロー、タイマ A_k (k=i+1、ただし i=2 のときは設定しないでください) のオーバフローまたはアンダフロー ・ONSF レジスタの TAI_{OS} ビットを “1” (タイマスタート) にする
カウント停止条件	・カウント値が0000hになりリロードした後 ・TAI_S ビットを “0” (カウント停止) にする
割り込み要求発生タイミング	カウント値が0000hになるタイミング
TAI _{IN} 端子機能	入出力ポートまたはトリガ入力
TAI _{OUT} 端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAi レジスタを読むと、不定値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAI レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAI レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	・パルス出力機能 カウント停止中は “L”、カウント中は “H” を出力

タイマAiモードレジスタ (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値
		0				1	0	TA0MR～TA2MR	0396h～0398h番地	00h
ビット シンボル								ビット名	機能	RW
TMOD0								動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	RW
TMOD1										RW
MR0								パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW
MR1								外部トリガ選択ビット(注2)	0 : TAiIN端子の入力信号の立ち下がり(注3) 1 : TAiIN端子の入力信号の立ち上がり(注3)	RW
MR2								トリガ選択ビット	0 : TAiOSビットが有効 1 : TAiTGH～TAiTGLビットで選択	RW
MR3								ワンショットタイマモードでは“0”にしてください		RW
TCK0								カウントソース選択ビット	b7 b6 0 0 : f1またはf2(注4) 0 1 : f8 1 0 : f32 1 1 : fC32	RW
TCK1										RW

注1. TA0OUT端子はNチャンネルオープンドレイン出力。

注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。

注3. TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注4. PCLKRレジスタのPCLK0ビットで選択してください。

図 14.10 ワンショットタイマモード時のTAiMRレジスタ

14.1.4 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです(表14.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図14.11パルス幅変調モード時のTAiMRレジスタ、図14.12 16ビットパルス幅変調器の動作例、図14.13 8ビットパルス幅変調器の動作例を示します。

表 14.5 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	・ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ・PWMパルスの立ち上がりでリロードしてカウントを継続 ・カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	・“H” 幅 n / f_j n:TAi レジスタの設定値($i=0 \sim 2$) ・周期 $(2^{16} - 1) / f_j$ 固定 f_j: カウントソースの周波数(f1、f2、f8、f32、fC32)
8ビットPWM	・“H” 幅 $n \times (m+1) / f_j$ n:TAi レジスタの上位番地の設定値 ・周期 $(2^8 - 1) \times (m+1) / f_j$ m:TAi レジスタの下位番地の設定値
カウント開始条件	・TABSR レジスタのTAiS ビットを“1”(カウント開始)にする ・TAiS ビットが“1”で、かつTAiIN端子からの外部トリガ入力 ・TAiS ビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj($j=i-1$、ただし$i=0$のときは設定しないでください)のオーバフローまたはアンダフロー、タイマAk($k=i+1$、ただし$i=2$のときは設定しないでください)のオーバフローまたはアンダフロー
カウント停止条件	・TAiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAi レジスタを読むと、不定値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後)TAi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマAiモードレジスタ (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0							
1 1							
シンボル	アドレス	リセット後の値					
TA0MR~TA2MR	0396h~0398h番地	00h					
ビット シンボル	ビット名	機能					RW
TMOD0	動作モード選択ビット	b1 b0 1 1 : パルス幅変調(PWM)モード(注1)					RW
TMOD1							RW
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり(注4) (TAiOUT端子はパルス出力端子)					RW
MR1	外部トリガ選択ビット (注2)	0 : TAiIN端子の入力信号の立ち下がり(注3) 1 : TAiIN端子の入力信号の立ち上がり(注3)					RW
MR2	トリガ選択ビット	0 : TABSRレジスタのTAISビットへの“1”書き込み 1 : TAiTGH~TAiTGLビットで選択					RW
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作					RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1またはf2(注5) 0 1 : f8 1 0 : f32 1 1 : fC32					RW
TCK1							RW

注1. TA0OUT端子はNチャンネルオープンドレイン出力。

注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。

注3. TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注4. PWMパルスを出力する場合は、“1”(パルス出力あり)にしてください。

注5. PCLKRレジスタのPCLK0ビットで選択してください。

図 14.11 パルス幅変調モード時のTAiMRレジスタ

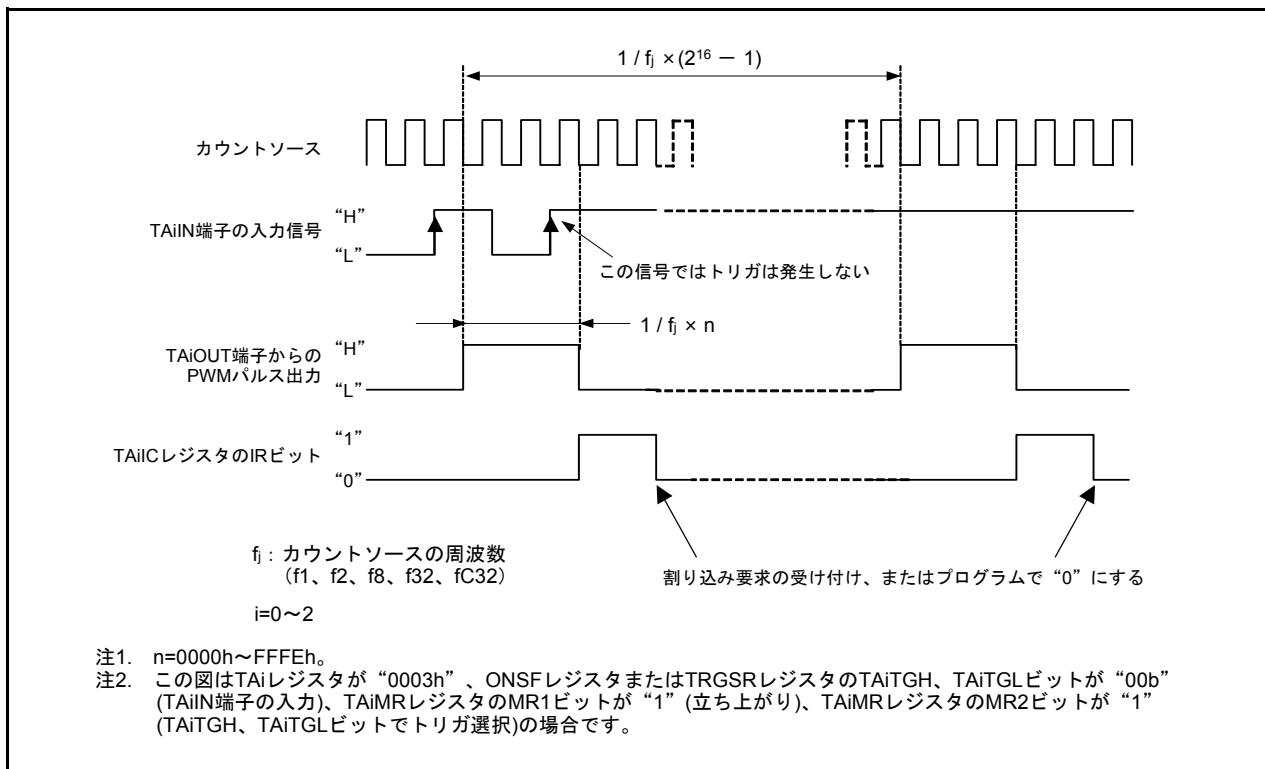


図 14.12 16ビットパルス幅変調器の動作例

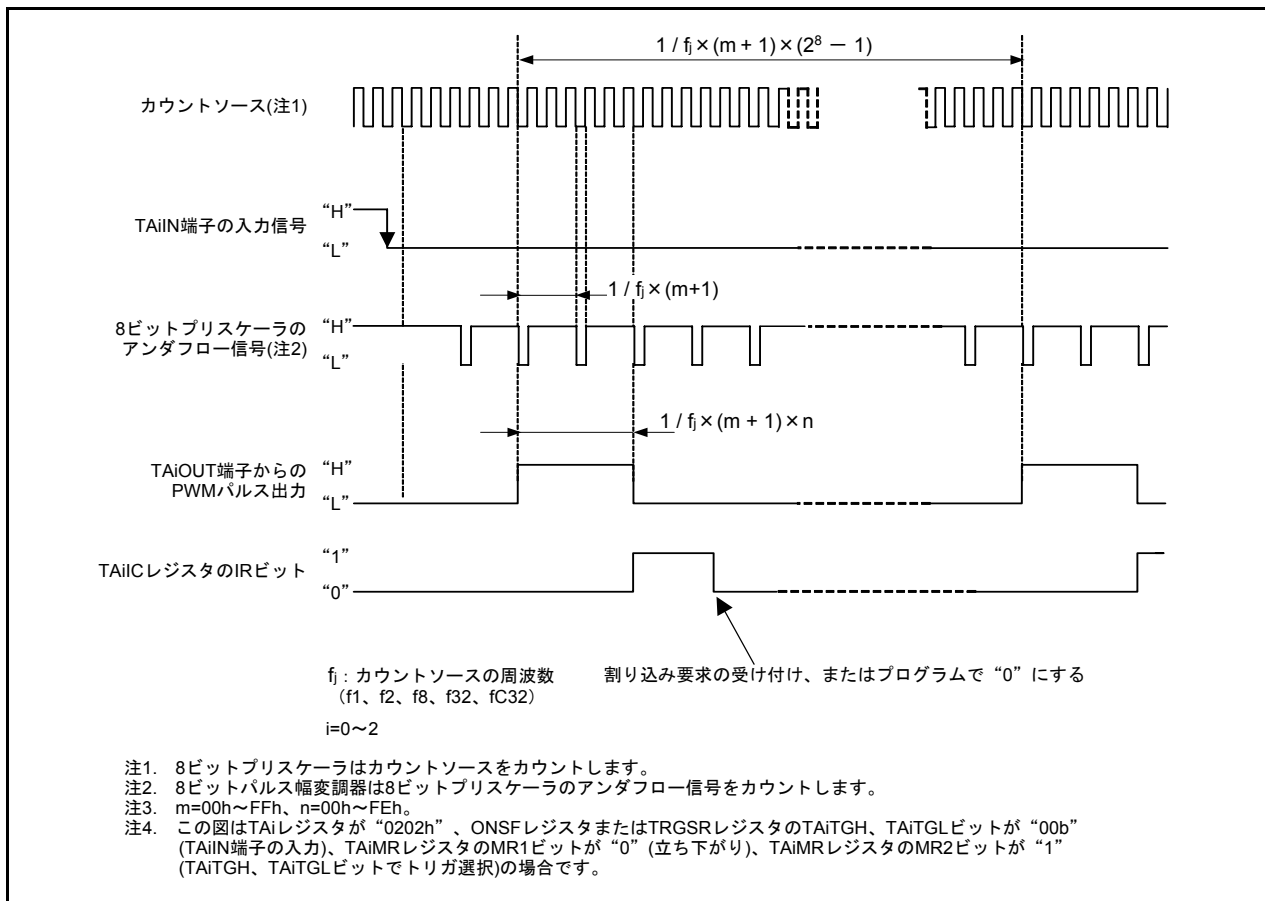


図 14.13 8ビットパルス幅変調器の動作例

14.2 タイマB

図 14.14 タイマBブロック図、図 14.15、図 14.16にタイマB関連レジスタを示します。

タイマBは次の3種類のモードがあり、モードは、TBiMRレジスタ ($i=0\sim 2$)のTMOD1～TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- パルス周期測定モード、パルス幅変調モード 外部パルスの周期またはパルス幅を測定するモード

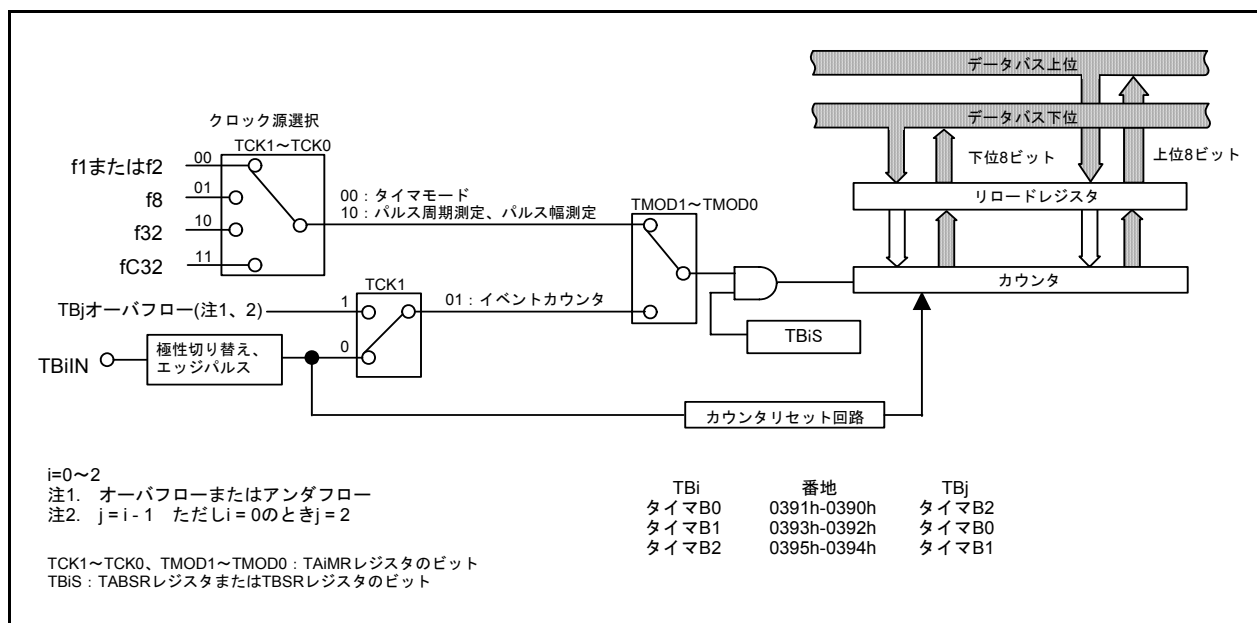


図 14.14 タイマBブロック図

タイマBiモードレジスタ (i=0~2)

シンボル TB0MR～TB2MR		アドレス 039Bh～039Dh番地	リセット後の値 00XX0000b	
ビット シンボル	ビット名	機能	RW	
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定モード、 パルス幅測定モード 1 1 : 設定しないでください	RW	
TMOD1			RW	
MR0			動作モードによって機能が異なる	RW
MR1				RW
MR2	RW (注1)			
MR3	— (注2)			
TCK0	RW			
TCK1	カウントソース選択ビット (動作モードによって機能が異なる)		RW	

注1. タイマB0。

注2. タイマB1、タイマB2。

タイマBiレジスタ (i=0~2) (注1)

シンボル	アドレス	リセット後の値
TB0	0391h~0390h番地	不定
TB1	0393h~0392h番地	不定
TB2	0395h~0394h番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する(注2)	0000h~FFFFh	RW
パルス周期測定モード パルス幅測定モード	パルス周期またはパルス幅を測定する	—	RO

注1. 16ビット単位でアクセスしてください。

注2. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

図 14.15 TB0MR~TB2MR、TB0~TB2 レジスタ

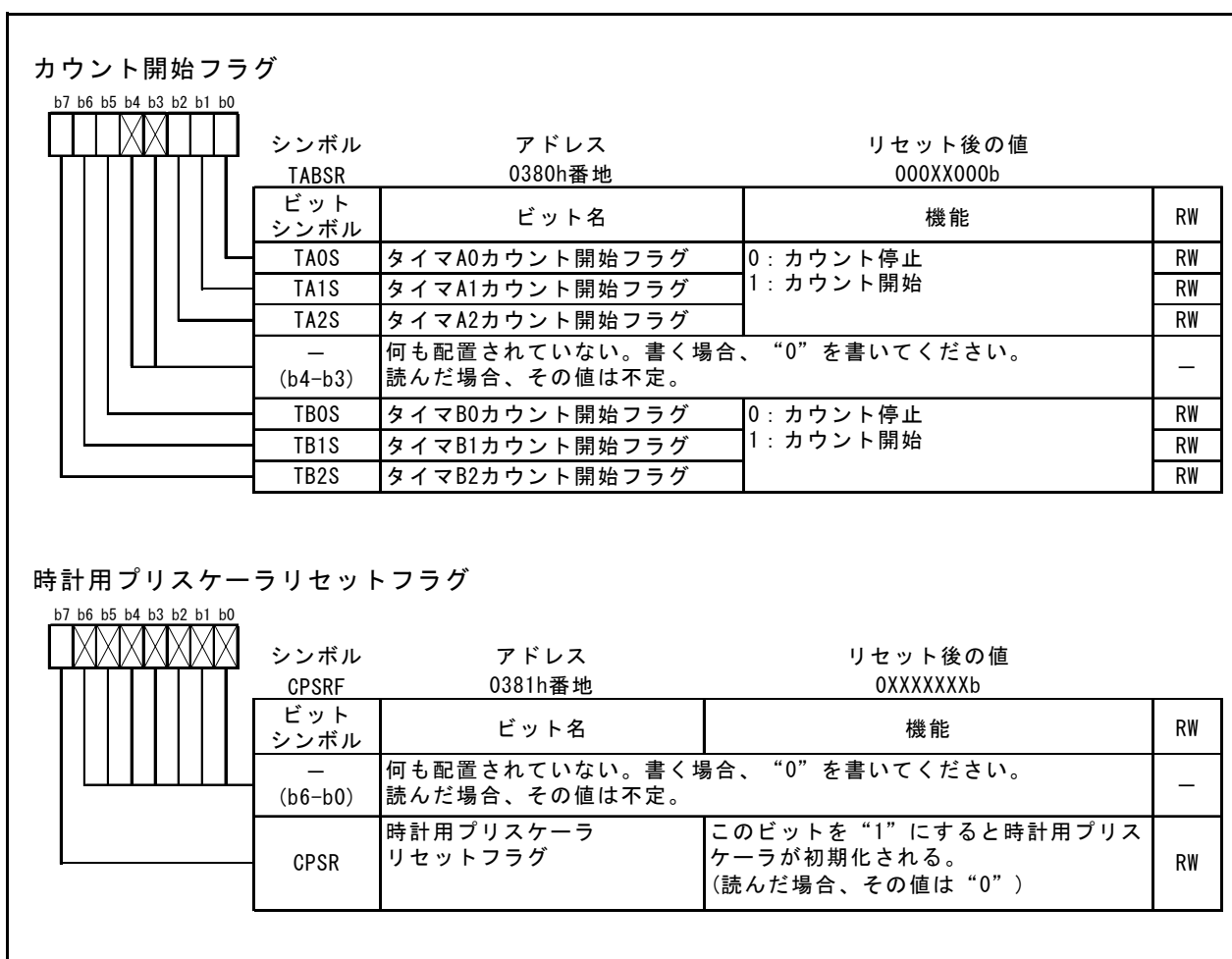


図 14.16 TABSR、CPSRF レジスタ

14.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです (表 14.6)。図 14.17 タイマモード時の TBiMR レジスタを示します。

表 14.6 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBi レジスタの設定値 (i=0~2) 0000h~FFFFh
カウント開始条件	TBiS ビット (注1) を “1” (カウント開始) にする
カウント停止条件	TBiS ビットを “0” (カウント停止) にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	入出力ポート
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中 (ただし、1回目のカウントソース入力後) TBi レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)

注1. TB0S~TB2S ビットは TABSR レジスタのビット5~7です。

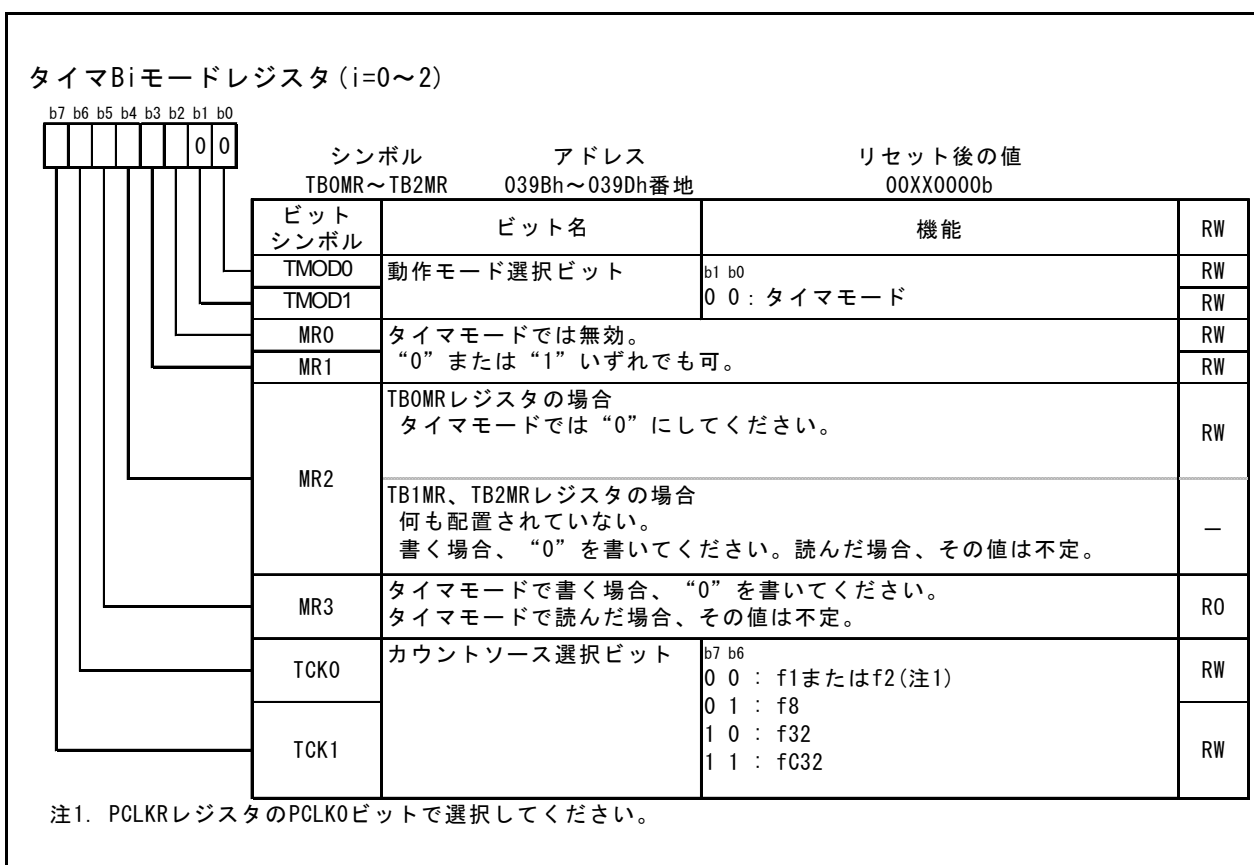


図 14.17 タイマモード時の TBiMR レジスタ

14.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです(表 14.7)。図 14.18 イベントカウンタモード時の TBiMR レジスタを示します。

表 14.7 イベントカウンタモードの仕様

項目	仕様
カウントソース	• TBiIN 端子 ($i=0\sim 2$) に入力された外部信号 (カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可) • タイマ Bj のオーバフローまたはアンダフロー ($j=i-1$、ただし $i=0$ のとき $j=2$)
カウント動作	• ダウンカウント • アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	• $1/(n+1)$ n : TBi レジスタの設定値 0000h ~ FFFFh
カウント開始条件	TBiS ビット (注1) を “1” (カウント開始) にする
カウント停止条件	TBiS ビットを “0” (カウント停止) にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	カウントソース入力
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	• カウント停止中とカウント開始後 1 回目のカウントソースが入力されるまで TBi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中 (ただし、1 回目のカウントソース入力後) TBi レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)

注1. TB0S ~ TB2S ビットは TABSR レジスタのビット 5 ~ 7 です。

タイマBiモードレジスタ (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0							
						0	1
シンボル TB0MR～TB2MR				アドレス 039Bh～039Dh番地		リセット後の値 00XX0000b	
ビット シンボル	ビット名			機能		RW	
TMOD0	動作モード選択ビット			b1 b0		RW	
TMOD1				0 1 : イベントカウンタモード		RW	
MR0	カウント極性選択ビット (注1)			b3 b2		RW	
MR1				0 0 : 外部信号の立ち下がりをカウント 0 1 : 外部信号の立ち上がりをカウント 1 0 : 外部信号の立ち下がりと 立ち上がりをカウント 1 1 : 設定しないでください		RW	
MR2	TB0MRレジスタの場合					RW	
	イベントカウンタモードでは“0”にしてください。						
MR2	TB1MR、TB2MRレジスタの場合					—	
	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。						
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。					RO	
TCK0	イベントカウンタモードでは無効。 “0” または “1” いずれでも可。					RW	
TCK1	イベントクロック選択			0 : TBiIn端子からの入力(注2) 1 : TBjのオーバーフローまたはアンダフロー (j=i-1 ただしi=0のときj=2)		RW	

注1. TCK1ビットが“0” (TBiIN端子からの入力)の場合に有効です。TCK1ビットが“1” (TBjのオーバーフローまたはアンダフロー) の場合は、“0”でも“1”でも可。

注2. TBiIN端子に対応するポート方向ビットは“0” (入力モード)にしてください。

図 14.18 イベントカウンタモード時のTBiMRレジスタ

14.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表 14.8)。図 14.19 パルス周期測定モード、パルス幅測定モード時の TBiMR レジスタを示します。図 14.20 パルス周期測定時の動作図、図 14.21 パルス幅測定時の動作図を示します。

表 14.8 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	・アップカウント ・測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	・TBiS ビット(i=0～2)(注3)を“1”(カウント開始)にする
カウント停止条件	・TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	・測定パルスの有効エッジ入力時(注1) ・オーバフロー時。オーバフローと同時に TBiMR レジスタの MR3 ビットが“1”(オーバフローあり)になります。TBiS ビットが“1”(カウント開始)のとき、MR3 ビットが“1”になった後の次のカウントタイミング以降に、TBiMR レジスタに書くと、MR3 ビットは“0”(オーバフローなし)になります。
TBiIN 端子機能	測定パルス入力
タイマの読み出し	TBi レジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBi レジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、TBi レジスタを読んでも値は不定です。

注3. TB0S～TB2S ビットは TABSR レジスタのビット5～7です。

タイマBiモードレジスタ (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0							
						1	0
シンボル		アドレス		リセット後の値			
TB0MR~TB2MR		039Bh~039Dh番地		00XX0000b			
ビットシンボル	ビット名	機能		RW			
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定モード、パルス幅測定モード		RW			
TMOD1				RW			
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 (測定パルスの立ち下がりから次の立ち下がり間の測定)		RW			
		0 1 : パルス周期測定 (測定パルスの立ち上がりから次の立ち上がり間の測定)					
MR1		1 0 : パルス幅測定 (測定パルスの立ち下がりから次の立ち上がり間の測定 と立ち上がりから次の立ち下がり間の測定)		RW			
		1 1 : 設定しないでください					
MR2	TB0MRレジスタの場合 パルス周期測定モード、パルス幅測定モードでは“0”にしてください。			RW			
	TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			—			
MR3	タイマBiオーバーフローフラグ(注1)	0 : オーバーフローなし 1 : オーバーフローあり		RO			
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1またはf2 (注2) 0 1 : f8 1 0 : f32 1 1 : fC32		RW			
TCK1				RW			

注1. リセット後は不定です。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバーフローあり)になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバーフローなし)になります。MR3ビットをプログラムで“1”にできません。TB0S~TB2SビットはTABSRレジスタのビット5~7です。

注2. PCLKRレジスタのPCLK0ビットで選択してください。

図 14.19 パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ

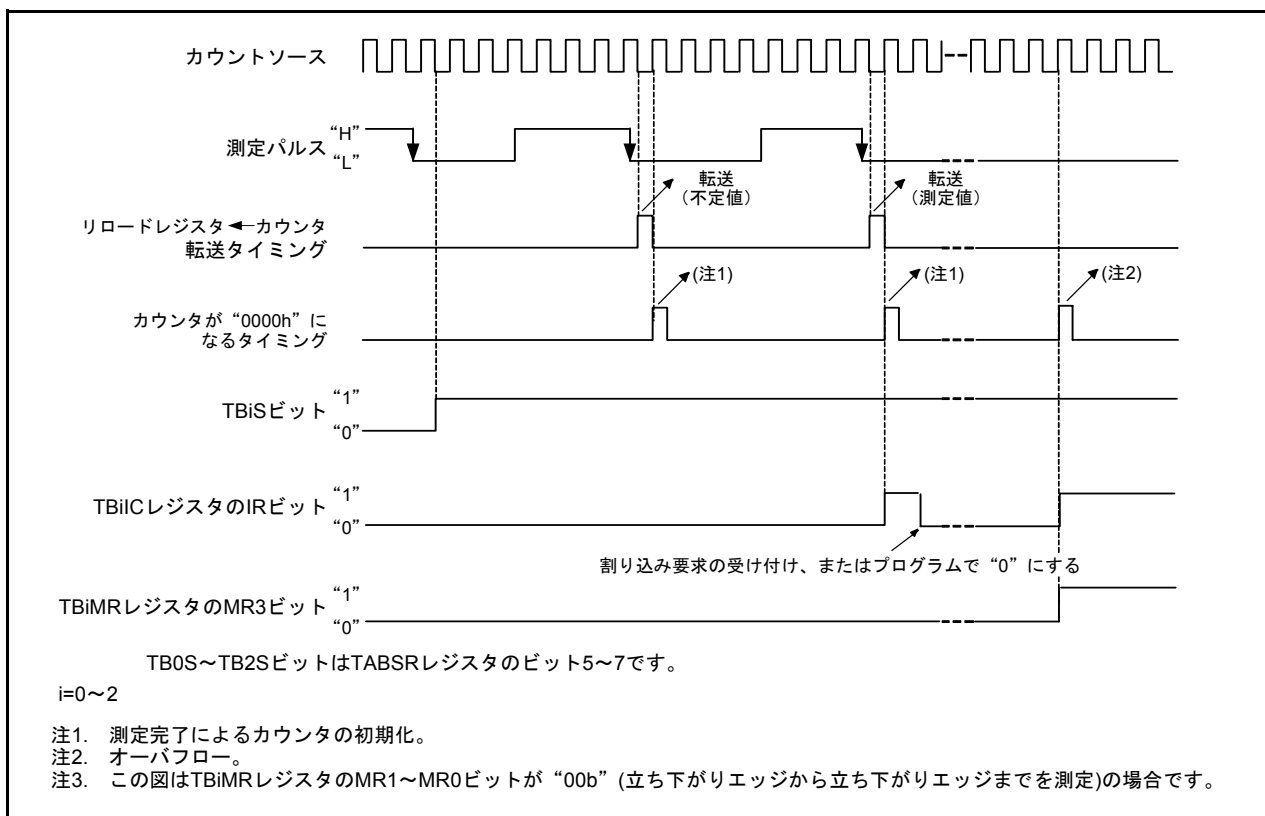


図 14.20 パルス周期測定時の動作図

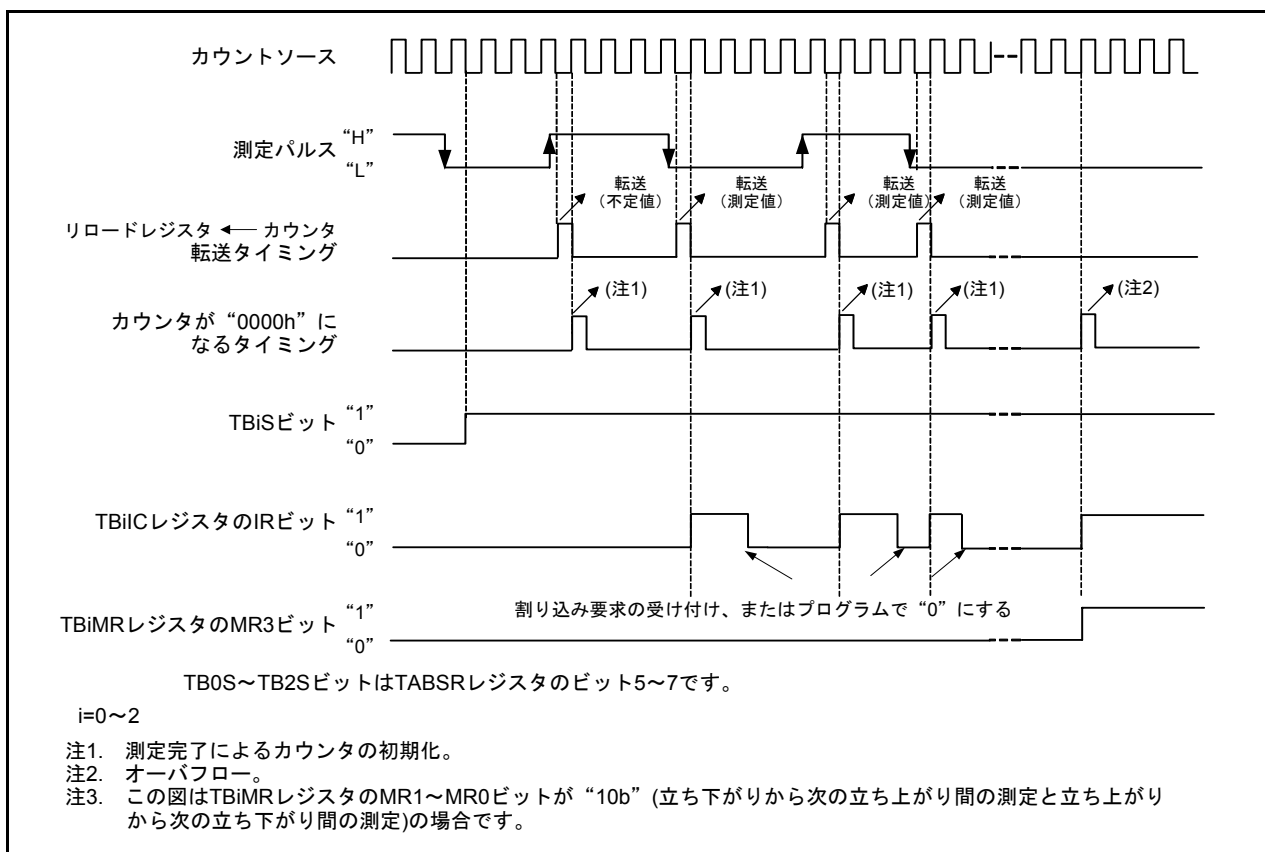


図 14.21 パルス幅測定時の動作図

15. シリアルインタフェース

シリアルインタフェースは、UART0～UART2の3チャンネルで構成しています。
次にそれぞれについて説明します。

15.1 UARTi(i=0～2)

UARTiはそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。
図15.1～図15.3にUARTiブロック図、図15.4 UARTi送受信部ブロック図を示します。
UARTiには、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I²Cモード)
- 特殊モード2
- 特殊モード3(バス衝突検出機能、IEモード) : UART2
- 特殊モード4(SIMモード) : UART2

図15.5～図15.11に、UARTi関連のレジスタを示します。
レジスタの設定はモードごとの表を参照してください。

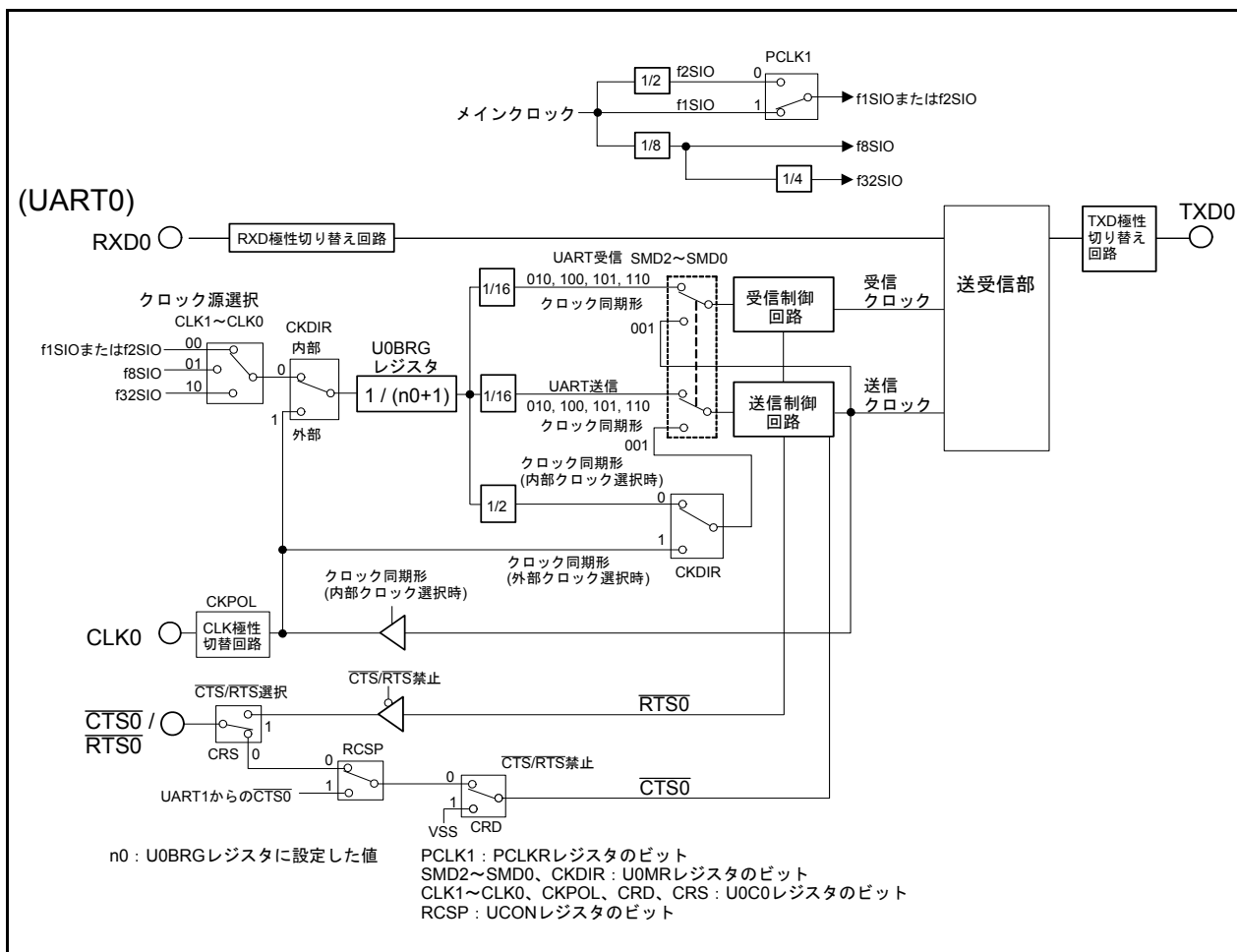


図15.1 UART0ブロック図

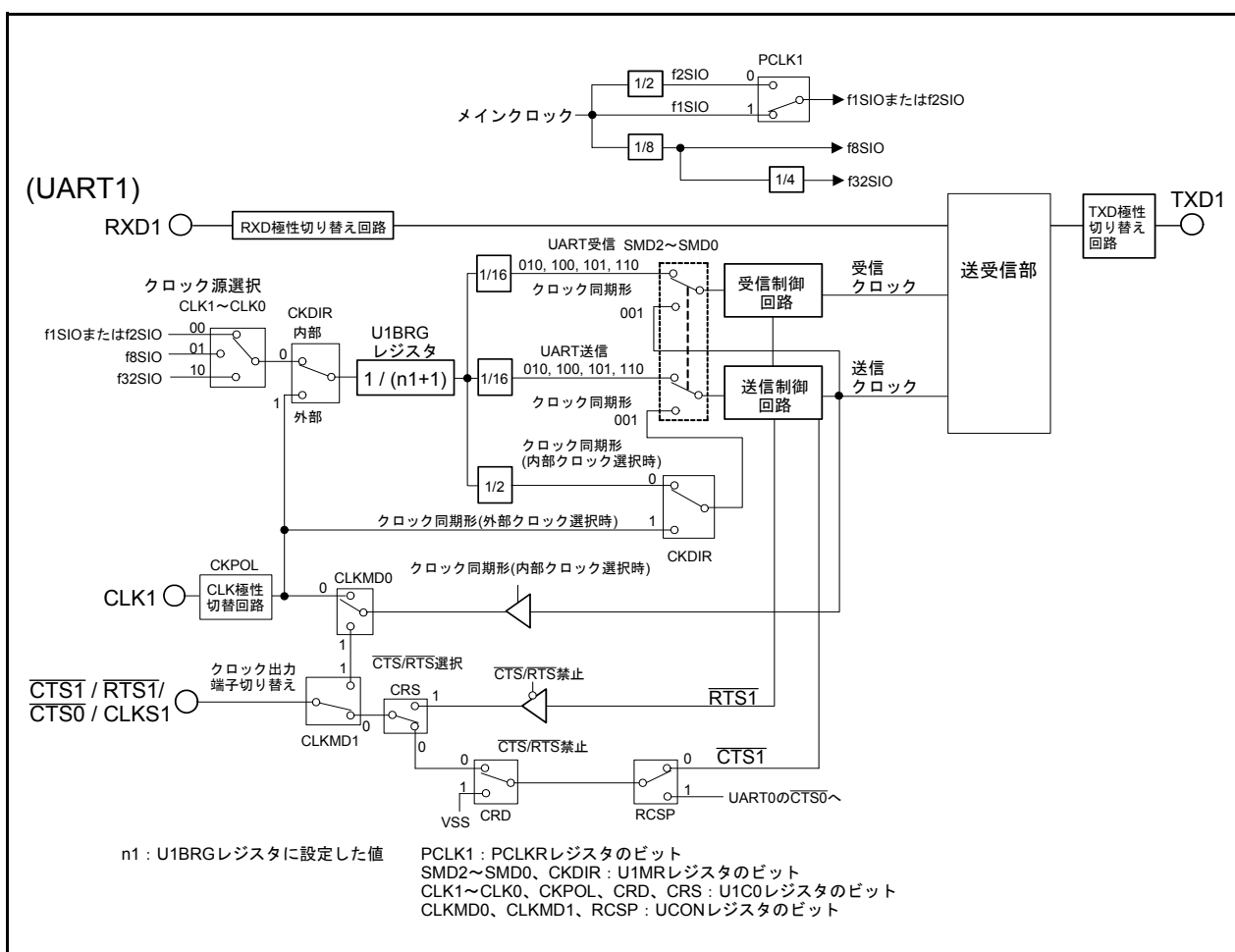


図 15.2 UART1 ブロック図

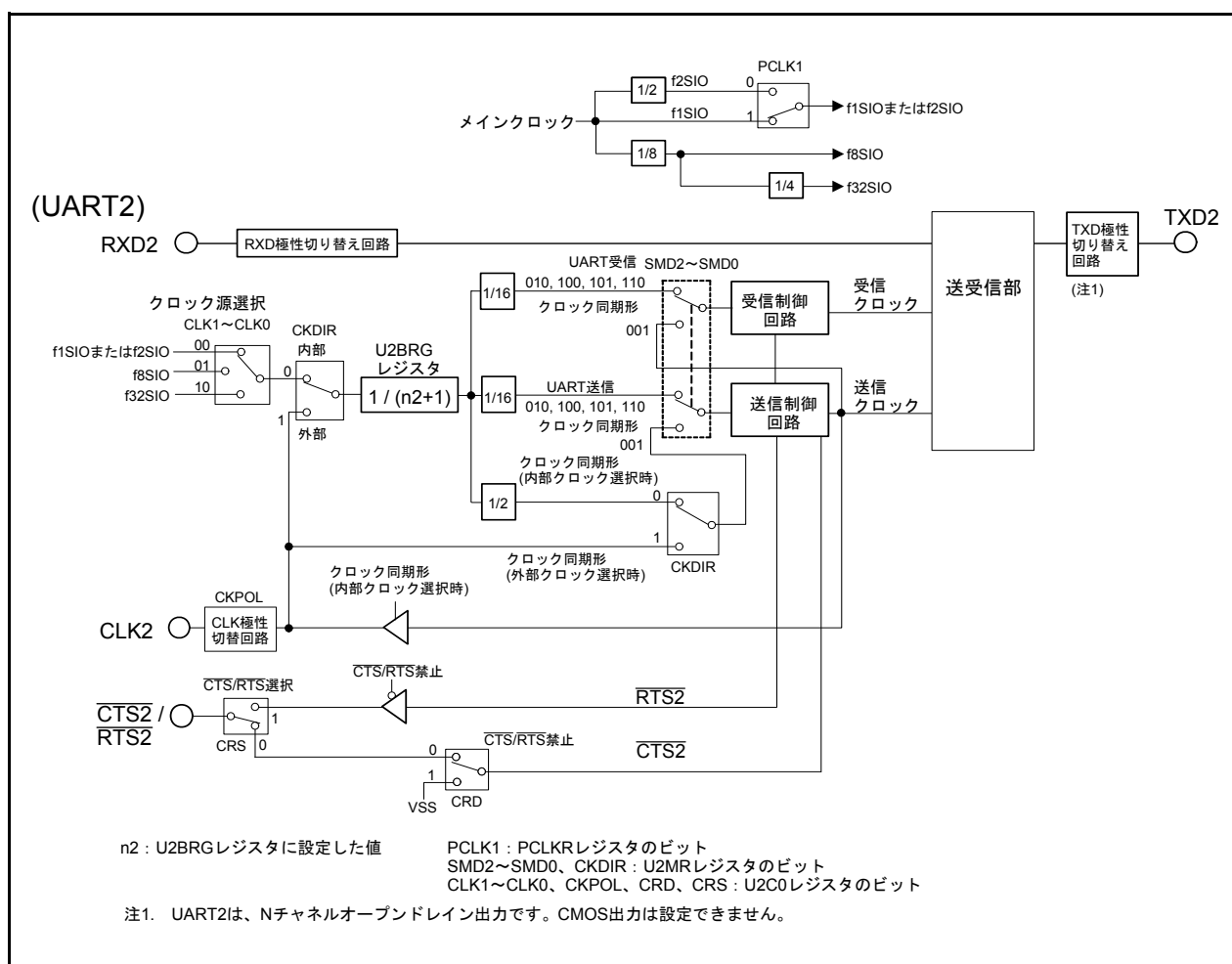


図 15.3 UART2ブロック図

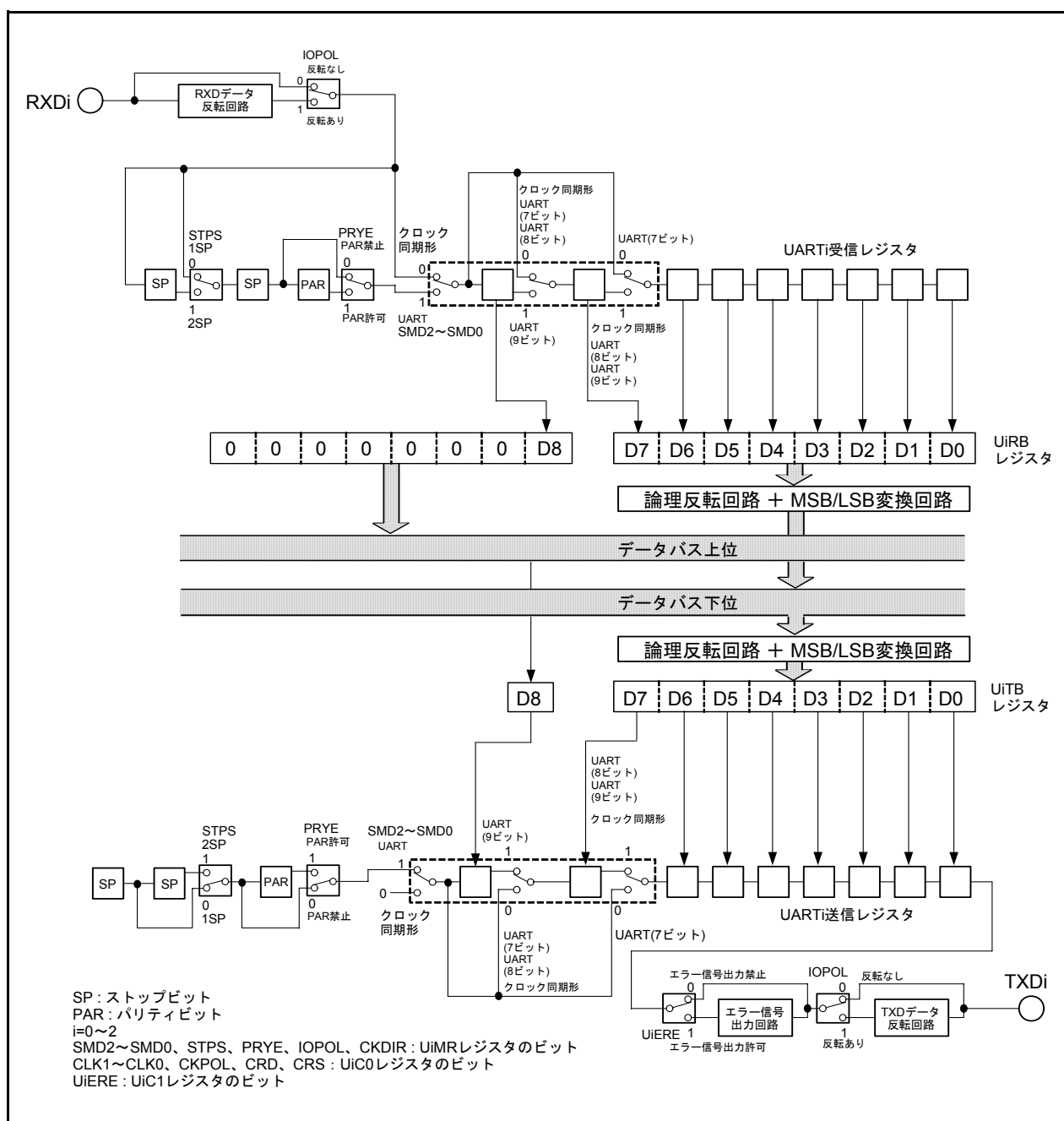
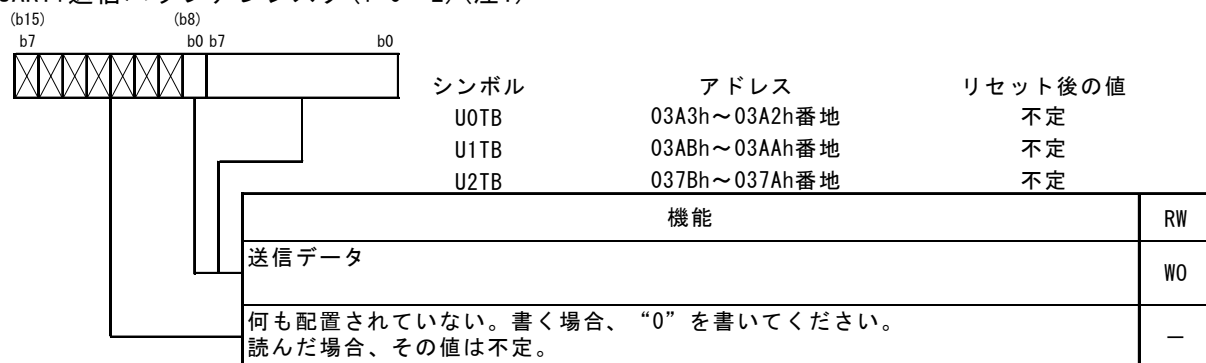
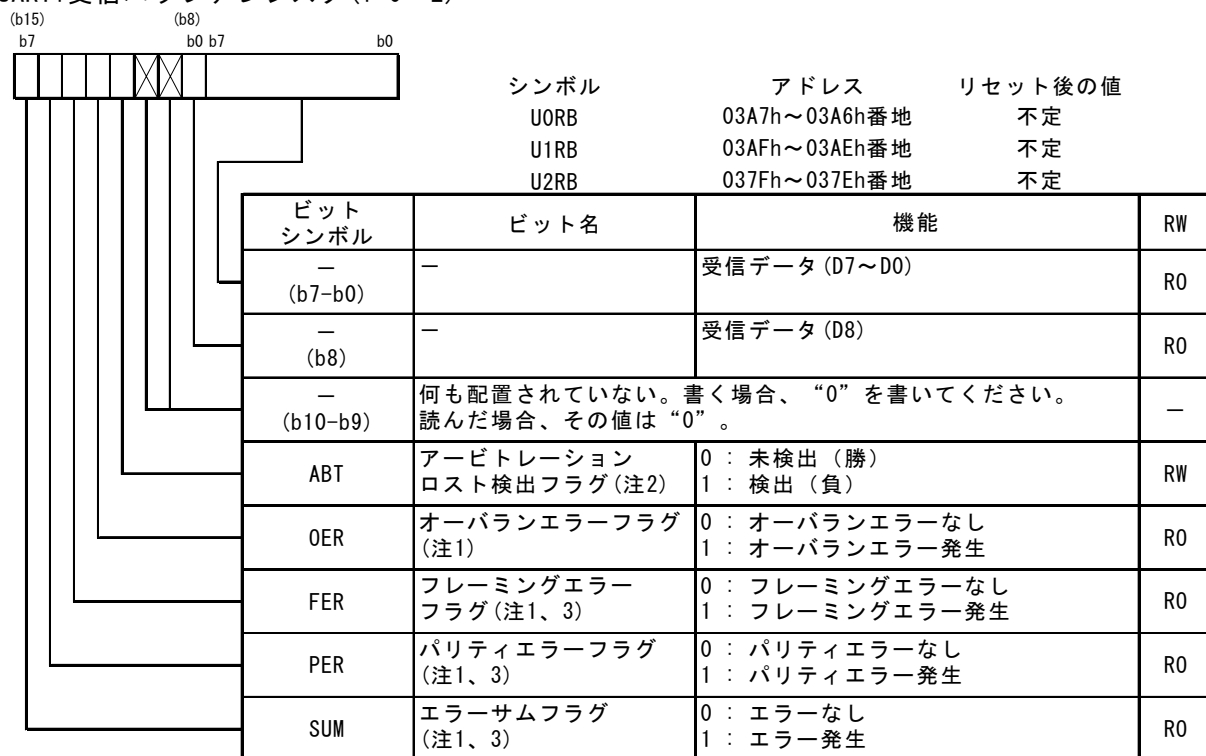


図 15.4 UARTi送受信部ブロック図

UART_i送信バッファレジスタ (i=0~2) (注1)

注1. このレジスタはMOV命令を使用して書いてください。

UART_i受信バッファレジスタ (i=0~2)

注1. UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0” (受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0” (エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0” (エラーなし)になると“0” (エラーなし)になります。また、PER、FERビットは、UiRBレジスタの下位バイトを読んだとき、“0”になります。

注2. ABTビットはプログラムで“0”を書くと“0”になります (“1”を書いても変化しません)。

注3. SMD2~SMD0ビットが“001b” (クロック同期形シリアルI/Oモード)または“010b” (I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定。

図 15.5 U0TB~U2TB、U0RB~U2RB レジスタ

UARTi ビットレートレジスタ (i=0~2) (注1、2、3)

b7 b0				
		シンボル	アドレス	リセット後の値
		U0BRG	03A1h番地	不定
		U1BRG	03A9h番地	不定
		U2BRG	0379h番地	不定
		機能		設定範囲
		設定値をnとすると、UiBRGはカウントソースをn+1分周する		00h~FFh
				RW
				WO

注1. 送受信停止中に書いてください。

注2. このレジスタはMOV命令を使用して書いてください。

注3. このレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

UARTi 送受信モードレジスタ (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0				
		シンボル	アドレス	リセット後の値
		U0MR~U2MR	03A0h、03A8h、0378h番地	00h
		ビット シンボル	ビット名	機能
		SMD0	シリアルI/Oモード選択 ビット (注2)	b2 b1 b0 0 0 0 : シリアルインタフェースは無効 0 0 1 : クロック同期形シリアルI/Oモード 0 1 0 : I ² Cモード (注3) 1 0 0 : UARTモード転送データ長7ビット 1 0 1 : UARTモード転送データ長8ビット 1 1 0 : UARTモード転送データ長9ビット 上記以外: 設定しないでください
		SMD1		
		SMD2		
		CKDIR	内/外部クロック選択 ビット	0 : 内部クロック 1 : 外部クロック (注1)
		STPS	ストップビット長選択 ビット	0 : 1ストップビット 1 : 2ストップビット
		PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ
		PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可
		IOPOL	TXD、RXD入出力極性 切り替えビット	0 : 反転なし 1 : 反転あり

注1. CLKi端子に対応するポート方向ビットは“0” (入力モード)にしてください。

注2. 受信する場合、RXDi端子に対応するポート方向ビットは“0” (入力モード)にしてください。

注3. SDA、SCL端子に対応するポート方向ビットは“0” (入力モード)にしてください。

図 15.6 U0BRG~U2BRG、U0MR~U2MR レジスタ

UART_i 送受信制御レジスタ0 (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル				アドレス			
U0C0~U2C0				03A4h, 03ACh, 037Ch番地			
				リセット後の値			
				00001000b			
ビット シンボル	ビット名			機能			RW
CLK0	UiBRGカウン ト ソース 選択ビット(注5)			b1 b0 0 0 : f1SIO または f2SIO を選択 (注6) 0 1 : f8SIO を選択 1 0 : f32SIO を選択 1 1 : 設定しないでください			RW
CLK1							RW
CRS	CTS/RTS機能選 択ビット(注4)			CRD=0のとき有効 0 : CTS機能を選択(注1) 1 : RTS機能を選択			RW
TXEPT	送信レジスタ空 フラグ			0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)			RO
CRD	CTS/RTS禁止ビット			0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P6_0、P6_4、P7_3は入出力ポートとして使用 できる)			RW
NCH	データ出力選 択ビット(注2)			0 : TXDi/SDAi、SCLi端子はCMOS出力 1 : TXDi/SDAi、SCLi端子はNチャネルオー プンドレイン出力			RW
CKPOL	CLK極性選 択ビット			0 : 転送クロックの立ち下がり で送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上 がり で送信データ出力、 立ち下がり で受信データ入力			RW
UFORM	転送フォー マット 選択ビット(注3)			0 : LSBファースト 1 : MSBファースト			RW

注1. CTS_i端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注2. TXD2/SDA2、SCL2は、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。

注3. UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。

SMD2~SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

注4. CTS₁/RTS₁はU0CONレジスタのCLKMD1ビットが“0”(CLK出力はCLK1のみ)、かつU0CONレジスタのRCSPビットが“0”(CTS₀/RTS₀分離しない)のとき使用できます。

注5. CLK1~CLK0ビットを変更した場合は、UiBRGレジスタを設定してください。

注6. PCLKRレジスタのPCLK1ビットで選択してください。

図 15.7 U0C0~U2C0 レジスタ

UART送受信制御レジスタ2

シンボル UCON	アドレス 03B0h番地	リセット後の値 X0000000b	
ビット シンボル	ビット名	機能	RW
U0IRS	UART0送信割り込み要因 選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW
U1IRS	UART1送信割り込み要因 選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW
U0RRM	UART0連続受信モード許可 ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
U1RRM	UART1連続受信モード許可 ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択 ビット0	CLKMD1=1のとき有効 0 : CLK1からクロックを出力 1 : CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択 ビット1(注1)	0 : CLK出力はCLK1のみ 1 : 転送クロック複数端子出力機能選択	RW
RCSP	UART0CTS/RTS分離ビット	0 : CTS/RTS共通端子 1 : CTS/RTS分離 (CTS0をP6.4端子から入力)	RW
— (b7)	何も配置されていない。書く場合、 読んだ場合、その値は不定。	“0” を書いてください。	—

注1. 複数の転送クロック出力端子を使用する場合、次の条件を満たしてください。
U1MRレジスタのCKDIRビット=0(内部クロック)

UARTi特殊モードレジスタ (i=0~2)

シンボル U0SMR~U2SMR	アドレス 036Fh、0373h、0377h番地	リセット後の値 X0000000b	
ビット シンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0 : I ² Cモード以外 1 : I ² Cモード	RW
ABC	アービトラションロスト 検出フラグ制御ビット	0 : ビットごとに更新 1 : バイトごとに更新	RW
BBS	バスビジーフラグ	0 : ストップコンディション検出 1 : スタートコンディション検出(ビジー)	RW (注1)
— (b3)	予約ビット	“0” にしてください	RW
ABSCS	バス衝突検出サンプリング クロック選択ビット	0 : 転送クロックの立ち上がり 1 : タイマAjのアンダフロー信号 (注2)	RW
ACSE	送信許可ビット自動クリア 機能選択ビット	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0 : RXDiに同期しない 1 : RXDiに同期する (注3)	RW
— (b7)	何も配置されていない。書く場合、 読んだ場合、その値は不定。	“0” を書いてください。	—

注1. BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注2. UART2ではタイマA0のアンダフロー信号。
注3. 転送が始まると、SSSビットは“0”(RXDiに同期しない)になります。

図 15.9 UCON、U0SMR~U2SMR レジスタ

UARTi 特殊モードレジスタ 2 (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0



シンボル	アドレス	リセット後の値	
U0SMR2～U2SMR2	036Eh、0372h、0376h 番地	X0000000b	
ビット シンボル	ビット名	機能	RW
IICM2	I ² Cモード選択ビット2	「表 15.13 I ² Cモード時の各機能」参照	RW
CSC	クロック同期化ビット	0：禁止 1：許可	RW
SWC	SCLウエイト出力ビット	0：禁止 1：許可	RW
ALS	SDA出力停止ビット	0：禁止 1：許可	RW
STAC	UARTi初期化ビット	0：禁止 1：許可	RW
SWC2	SCLウエイト出力ビット2	0：転送クロック 1：“L”出力	RW
SDH1	SDA出力禁止ビット	0：許可 1：禁止（ハイインピーダンス）	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

UARTi 特殊モードレジスタ 3 (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0



シンボル	アドレス	リセット後の値	
U0SMR3～U2SMR3	036Dh、0371h、0375h番地	000X0X0Xb	
ビット シンボル	ビット名	機能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CKPH	クロック位相設定ビット	0：クロック遅れなし 1：クロック遅れあり	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
NODC	クロック出力選択ビット	0：CLKiはCMOS出力 1：CLKiはNチャネルオープンドレイン出力	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DL0	SDAi デジタル 遅延値設定ビット (注1、2)	b7 b6 b5 0 0 0：遅延なし	RW
DL1		0 0 1：UiBRGカウントソースの1～2サイクル 0 1 0：UiBRGカウントソースの2～3サイクル 0 1 1：UiBRGカウントソースの3～4サイクル	RW
DL2		1 0 0：UiBRGカウントソースの4～5サイクル 1 0 1：UiBRGカウントソースの5～6サイクル 1 1 0：UiBRGカウントソースの6～7サイクル	
		1 1 1：UiBRGカウントソースの7～8サイクル	RW

注1. DL2~DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b” (遅延なし) にしてください。

注2. 遅延量はSCLi端子、SDAi端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

図 15.10 U0SMR2~U2SMR2、U0SMR3~U2SMR3 レジスタ

UART_i 特殊モードレジスタ 4 (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0							
シンボル		アドレス		リセット後の値			
U0SMR4~U2SMR4		036Ch、0370h、0374h番地		00h			
ビット シンボル	ビット名	機能				RW	
STAREQ	スタートコンディション 生成ビット(注1)	0 : クリア 1 : スタート				RW	
RSTAREQ	リスタートコンディション 生成ビット(注1)	0 : クリア 1 : スタート				RW	
STPREQ	ストップコンディション 生成ビット(注1)	0 : クリア 1 : スタート				RW	
STSPSEL	SCL、SDA出力選択ビット	0 : スタートコンディション、ストップコン ディション出力しない 1 : スタートコンディション、ストップコン ディション出力する				RW	
ACKD	ACKデータビット	0 : ACK 1 : NACK				RW	
ACKC	ACKデータ出力許可ビット	0 : シリアルインタフェースデータ出力 1 : ACKデータ出力				RW	
SCLHI	SCL出力停止許可ビット	0 : 禁止 1 : 許可				RW	
SWC9	SCLウエイトビット3	0 : SCL “L” ホールド禁止 1 : SCL “L” ホールド許可				RW	

注1. 各コンディションが生成されたとき、“0”になります。

図 15.11 U0SMR4~U2SMR4 レジスタ

15.1.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表 15.1 クロック同期形シリアルI/Oモードの仕様、表 15.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します

表 15.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	• UiMR レジスタ (i=0~2)のCKDIRビットが“0”(内部クロック) : $f_j/(2(n+1))$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ $n=UiBRG$ レジスタの設定値 00h~FFh • CKDIR ビットが“1”(外部クロック) : CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要(注1) • UiC1 レジスタのTEビットが“1”(送信許可) • UiC1 レジスタのTIビットが“0”(UiTB レジスタにデータあり) • CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) • UiC1 レジスタのREビットが“1”(受信許可) • UiC1 レジスタのTEビットが“1”(送信許可) • UiC1 レジスタのTIビットが“0”(UiTB レジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 • UiIRS ビット(注3)が“0”(送信バッファ空) : UiTB レジスタから UARTi送信レジスタへデータ転送時(送信開始時) • UiIRS ビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信する場合 • UARTi受信レジスタから UiRB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	• CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 UiRB レジスタを読むことで、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの論理値を反転する機能 • 転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 • CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

注1. 外部クロックを選択している場合、UiC0 レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタの受信データは不定になります。また SiRIC レジスタのIRビットは“1”(割り込み要求あり)に変化しません。

注3. U0IRS、U1IRS ビットは UCON レジスタのビット0、1で、U2IRS ビットは U2C1 レジスタのビット4です。

表 15.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0～7	送信データを設定してください
UiRB(注3)	0～7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0～7	ビットレートを設定してください
UiMR(注3)	SMD2～SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1～CLK0	UiBRGレジスタのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0～7	“0” にしてください
UiSMR2	0～7	“0” にしてください
UiSMR3	0～2	“0” にしてください
	NODC	クロック出力形式を選択してください
	4～7	“0” にしてください
UiSMR4	0～7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、“1” にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“1” にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1” にしてください
	7	“0” にしてください

注1. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“0” にしてください。

注3. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。
i=0～2

表 15.3 にクロック同期形シリアル I/O モード時の入出力端子の機能を示します。表 15.3 は、転送クロック複数端子出力選択機能を非選択の場合です。また、表 15.4 クロック同期形シリアル I/O モード時の P6_4 端子の機能を示します。

なお、UARTi の動作モード選択後、転送開始までは、TXDi 端子は“H”を出力します(N チャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 15.3 クロック同期形シリアル I/O モード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXDi(i=0~2) (P6_3、P6_7、P7_0)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi (P6_2、P6_6、P7_1)	シリアルデータ入力	PD6 レジスタの PD6_2 ビット=0、PD6_6 ビット=0、PD7 レジスタの PD7_1 ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P6_1、P6_5、P7_2)	転送クロック出力	UiMR レジスタの CKDIR ビット=0
	転送クロック入力	UiMR レジスタの CKDIR ビット=1 PD6 レジスタの PD6_1 ビット=0、PD6_5 ビット=0、PD7 レジスタの PD7_2 ビット=0
CTS _i /RTS _i (P6_0、P6_4、P7_3)	CTS 入力	UiC0 レジスタの CRD ビット=0 UiC0 レジスタの CRS ビット=0 PD6 レジスタの PD6_0 ビット=0、PD6_4 ビット=0、PD7 レジスタの PD7_3 ビット=0
	RTS 出力	UiC0 レジスタの CRD ビット=0 UiC0 レジスタの CRS ビット=1
	入出力ポート	UiC0 レジスタの CRD ビット=1

表 15.4 クロック同期形シリアル I/O モード時の P6_4 端子の機能

端子の機能	ビットの設定値					
	U1C0 レジスタ		UCON レジスタ			PD6 レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	入力 : 0、出力 : 1
CTS1	0	0	0	0	—	0
RTS1	0	1	0	0	—	—
CTS0 (注1)	0	0	1	0	—	0
CLKS1	—	—	—	1(注2)	1	—

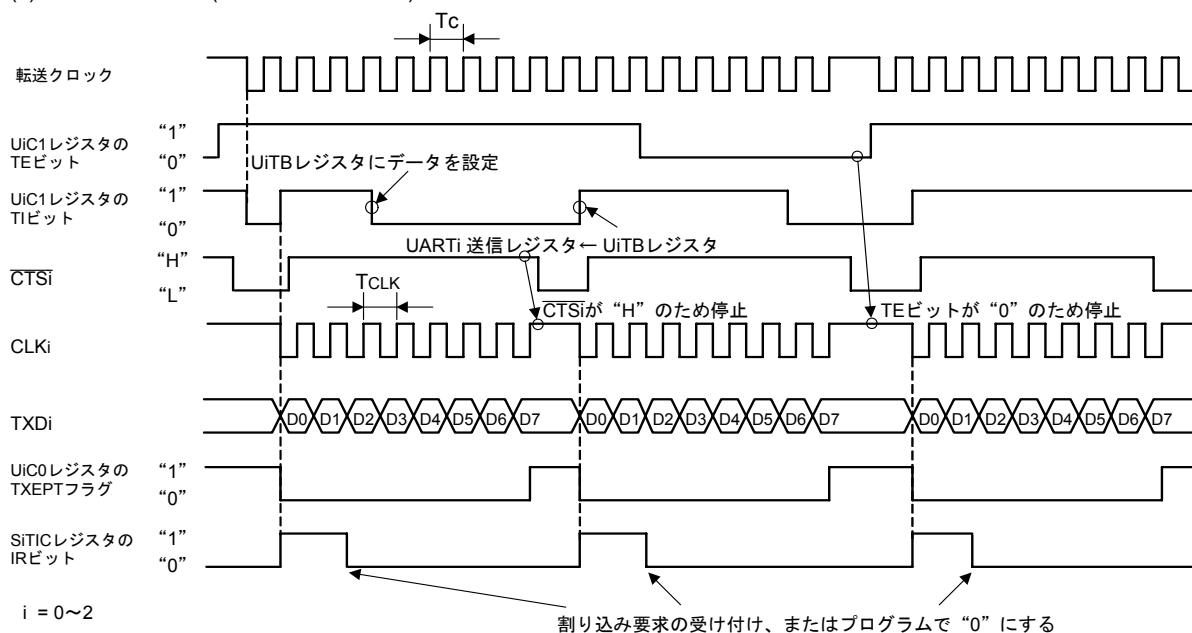
— : “0” または “1”

注1. この他に U0C0 レジスタの CRD ビットを “0” (CTS0/RTS0 許可)、U0C0 レジスタの CRS ビットを “1” (RTS0 選択)にしてください。

注2. CLKMD1 ビットが “1” で CLKMD0 ビットが “0” の場合は、次のレベルを出力します。

- U1C0 レジスタの CKPOL ビットが “0” : H
- U1C0 レジスタの CKPOL ビットが “1” : L

(1) 送信タイミング例(内部クロック選択時)



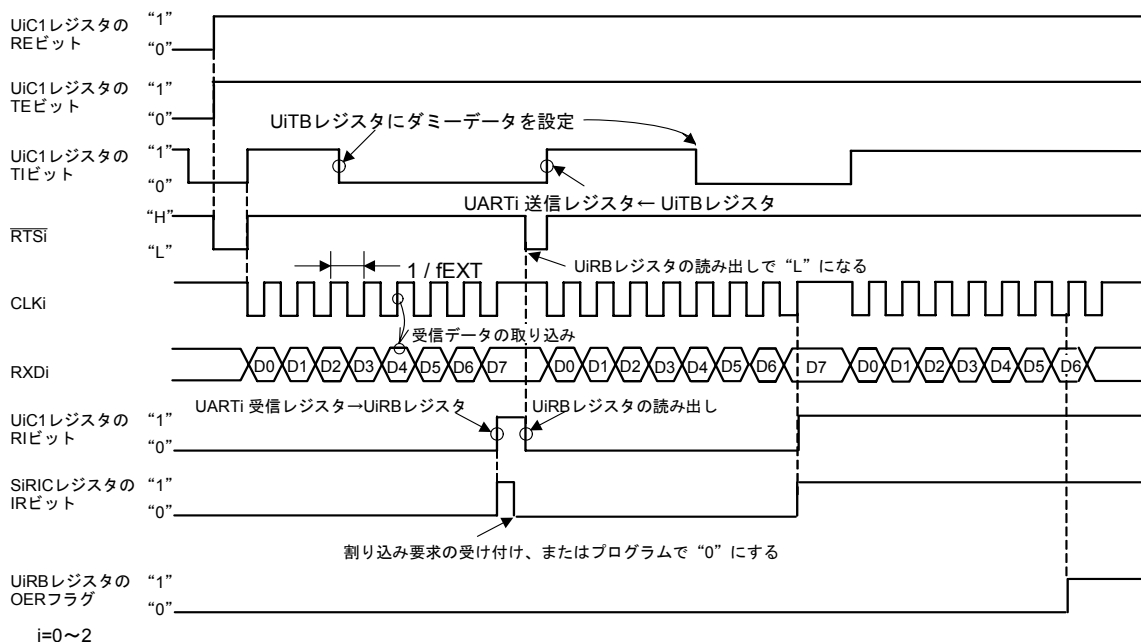
この図は次の設定条件の場合です。

- UiMRレジスタのCKDIRビット = 0(内部クロック選択)
- UIC0レジスタのCRDビット = 0(CTS/RTS機能許可)、CRSビット = 0(CTS機能選択)
- UIC0レジスタのCKPOLビット = 0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- UIC1レジスタのUIIRSビット = 0(UiTBレジスタ空で割り込み要求発生)

$$T_c = T_{CLK} = 2(n+1) / f_j$$

f_j : UiBRGカウントソースの周波数
(f1SIO, f2SIO, f8SIO, f32SIO)
n : UiBRGレジスタに設定した値

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。

- UiMRレジスタのCKDIRビット = 1(外部クロック選択)
- UIC0レジスタのCRDビット = 0(CTS/RTS機能許可)、CRSビット = 1(RTS機能選択)
- UIC0レジスタのCKPOLビット = 0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

データ受信前のCLKi端子の入力が“H”のときに、次の条件が揃うようにしてください。

- UIC1レジスタのTEビット = 1(送信許可)
- UIC1レジスタのREビット = 1(受信許可)
- UiTBレジスタへのダミーデータの書き込み

図 15.12 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

15.1.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

• UiRBレジスタ(i=0~2)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのREビットを“1”(受信許可)にする。

• UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

15.1.1.2 CLK極性選択

UiC0レジスタ(i=0~2)のCKPOLビットで転送クロックの極性を選択できます。図15.13 転送クロックの極性を示します。

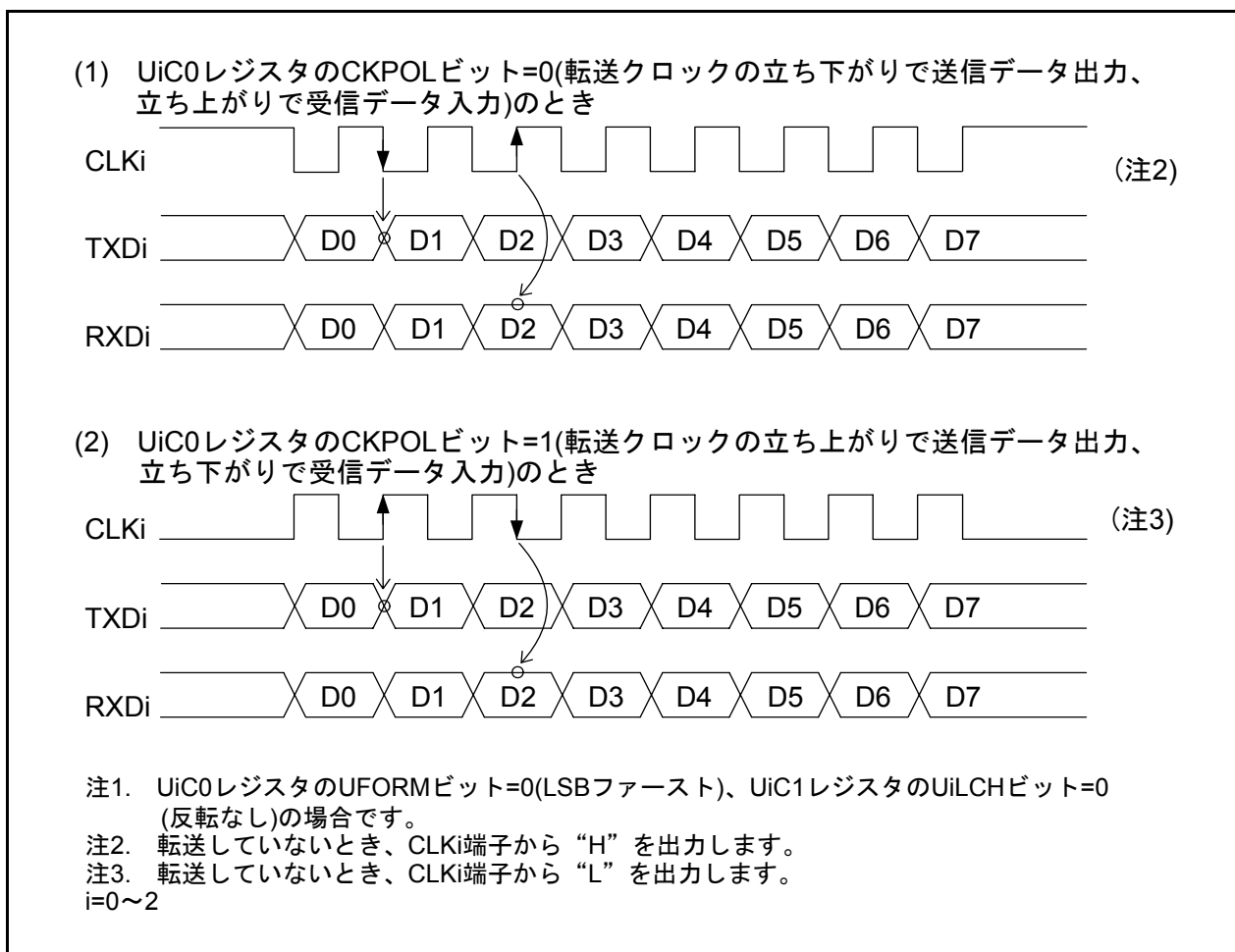


図15.13 転送クロックの極性

15.1.1.3 LSB ファースト、MSB ファースト選択

UiC0 レジスタ ($i=0\sim 2$) の UFORM ビットで転送フォーマットを選択できます。図 15.14 転送フォーマットを示します。

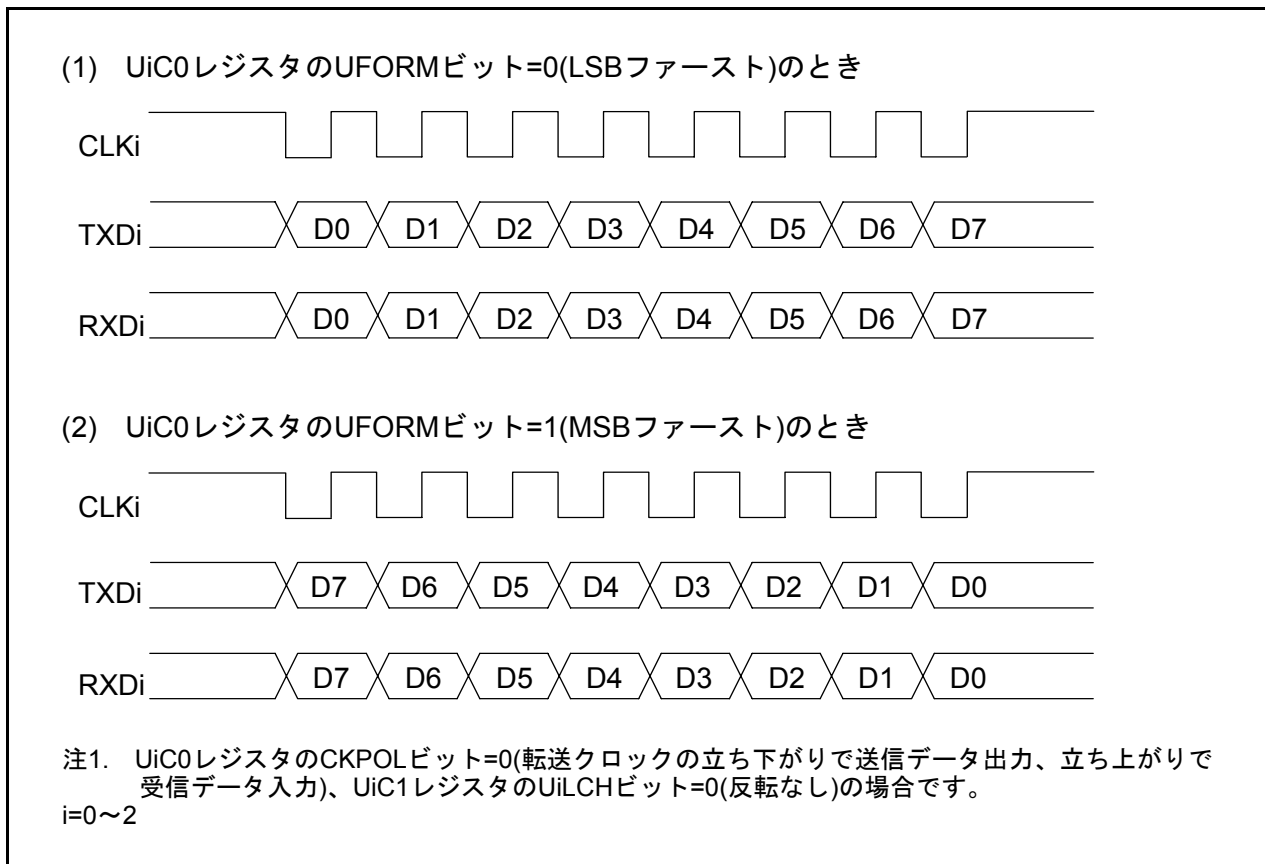


図 15.14 転送フォーマット

15.1.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiRRM ビット ($i=0\sim 2$) を “1” (連続受信モード) にすると、UiRB レジスタを読むことで UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり) になります。UiRRM ビットが “1” の場合、プログラムで UiTB レジスタにダミーデータを書かないでください。U0RRM、U1RRM ビットは UCON レジスタのビット 2、3 で、U2RRM ビットは U2C1 レジスタのビット 5 です。

15.1.1.5 シリアルデータ論理切り替え

UiC1 レジスタ (i=0~2) の UiLCH ビットが “1” (反転あり) の場合、UiTB レジスタに書いた値の論理を反転して送信します。UiRB レジスタを読むと、受信データの論理を反転した値が読めます。図 15.15 シリアルデータ論理を示します。

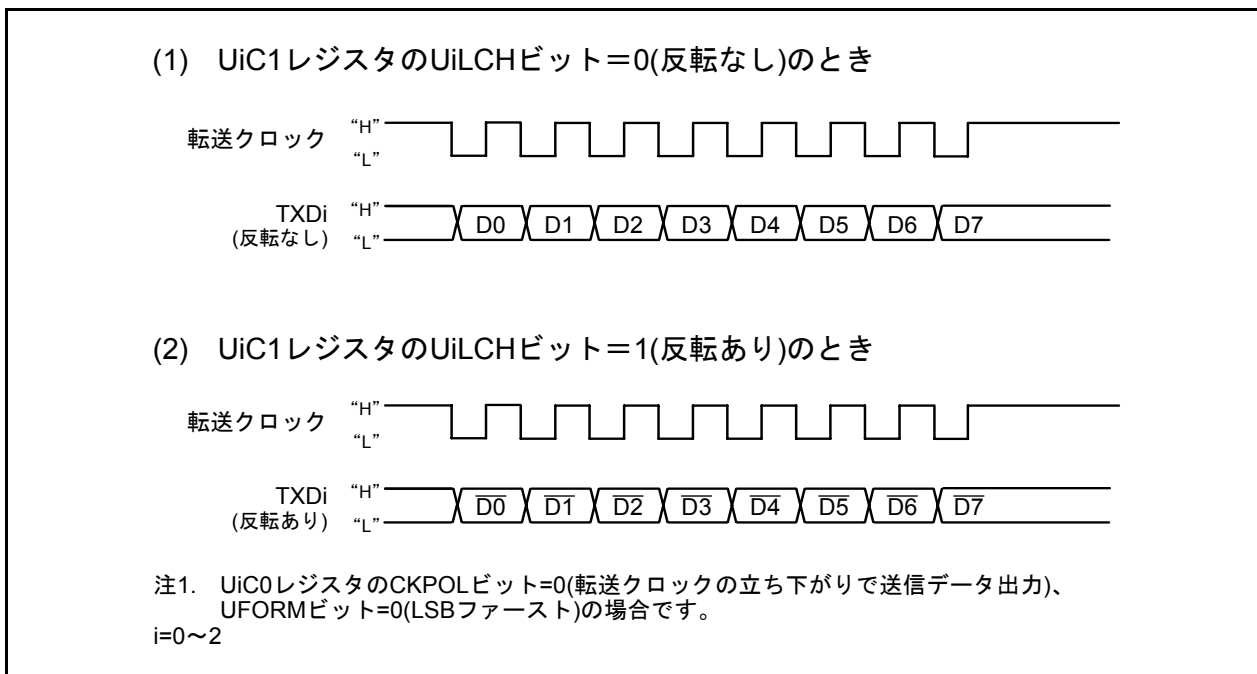


図 15.15 シリアルデータ論理

15.1.1.6 転送クロック複数端子出力選択(UART1)

UCON レジスタの CLKMD1~CLKMD0 ビットで 2 本の転送クロック出力端子から 1 本を選択できます(図 15.16)。この機能は、UART1 の転送クロックが内部クロックの場合に使用できます。

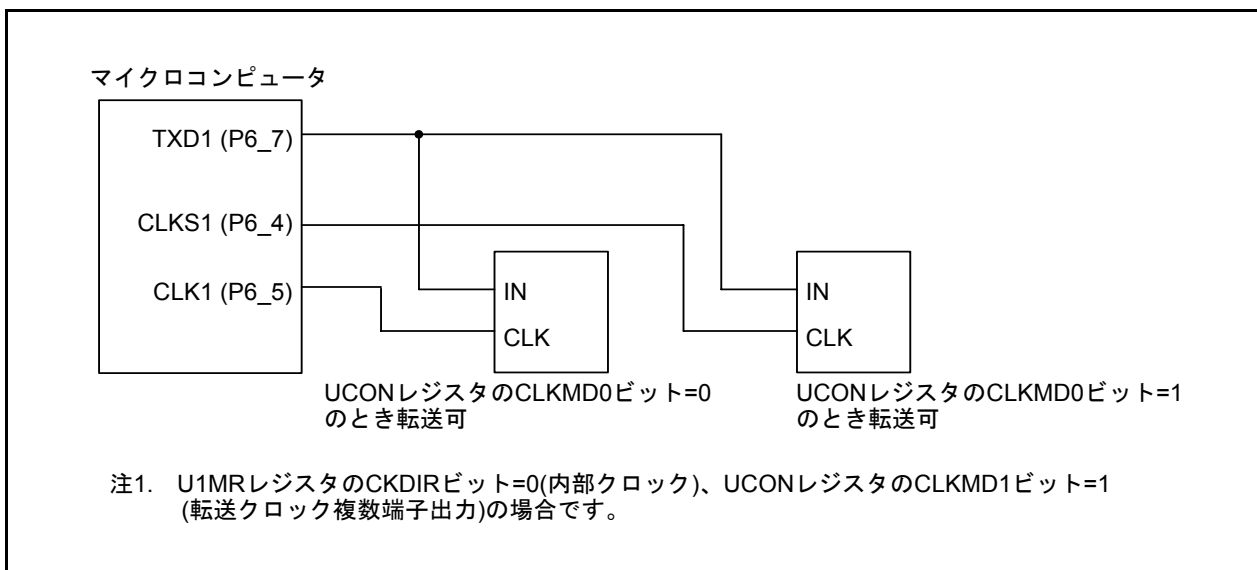


図 15.16 転送クロック複数端子出力機能の使用例

15.1.1.7 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\text{RTS}_i$ ($i=0 \sim 2$) 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子の出力レベルが“L”になります。CLK_i 端子の最初の立ち上がりで出力レベルが“H”になります。

- UiC0レジスタのCRDビット=1($\overline{\text{CTS}}/\text{RTS}$ 機能禁止) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0(CTS機能選択) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はCTS機能
- CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はRTS機能

15.1.1.8 CTS/RTS分離機能(UART0)

$\overline{\text{CTS}}_0/\text{RTS}_0$ を分離し、 RTS_0 をP6_0端子から出力、 $\overline{\text{CTS}}_0$ をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\text{RTS}$ 許可)
- U0C0レジスタのCRSビット=1(UART0の RTS 出力)
- U1C0レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\text{RTS}$ 許可)
- U1C0レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- UCONレジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0(CLKS1を使用しない)

なお、 $\overline{\text{CTS}}/\text{RTS}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\text{RTS}$ 機能は使用できません。

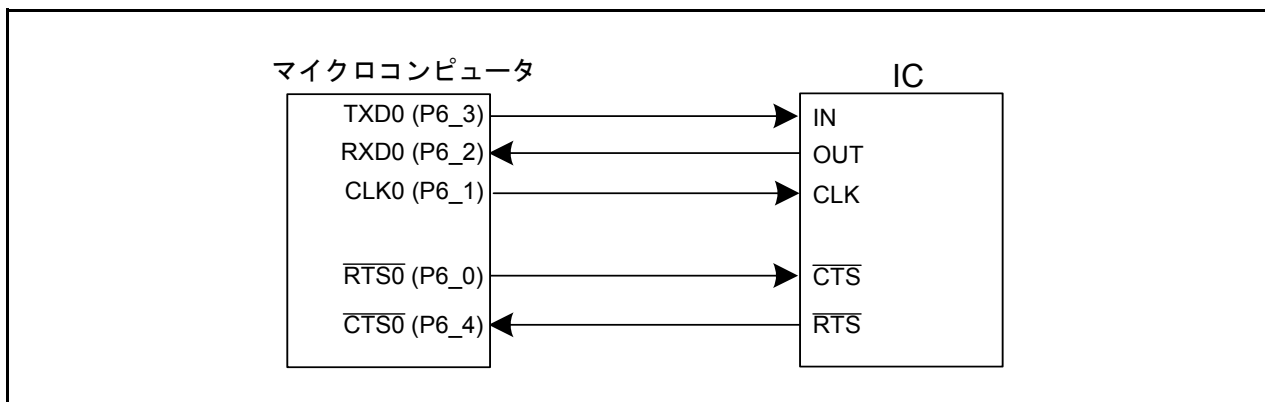


図 15.17 $\overline{\text{CTS}}/\text{RTS}$ 分離機能の使用例

15.1.2 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。表 15.5 UARTモードの仕様を示します。

表 15.5 UARTモードの仕様

項目	仕様
転送データフォーマット	• キャラクタビット (転送データ) 7ビット、8ビット、9ビットを選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、なしを選択可 • ストップビット 1ビット、2ビットを選択可
転送クロック	• UiMR レジスタ (i=0~2) の CKDIR ビットが “0” (内部クロック) : $f_j/(16(n+1))$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$. n=UiBRG レジスタの設定値 00h~FFh • CKDIR ビットが “1” (外部クロック) : $fEXT/(16(n+1))$ $fEXT$はCLKi端子からの入力。n=UiBRG レジスタの設定値 00h~FFh
送信制御、受信制御	CTS機能、 $\overline{RTS}$ 機能、 $\overline{CTS/RTS}$ 機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 • UiC1 レジスタの TE ビットが “1” (送信許可) • UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり) • CTS機能を選択している場合、$\overline{CTS}$i端子の入力が “L”
受信開始条件	受信開始には、次の条件が必要 • UiC1 レジスタの RE ビットが “1” (受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 • UiIRS ビット (注2) “0” (送信バッファ空) : UiTB レジスタから UARTi送信レジスタへデータ転送時 (送信開始時) • UiIRS ビットが “1” (送信完了) : UARTi送信レジスタからデータ送信完了時 受信する場合 • UARTi受信レジスタから UiRB レジスタへデータ転送時 (受信完了時)
エラー検出	• オーバランエラー (注1) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー (注3) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー (注3) パリティ許可時にパリティビットとキャラクタビット中の “1” の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 “1” になる
選択機能	• LSB ファースト、MSB ファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • シリアルデータ論理切り替え 送受信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD 入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • $\overline{CTS/RTS}$分離機能 (UART0) CTS0とRTS0を別の端子から入出力する

注1. オーバランエラーが発生した場合、UiRB レジスタの受信データは不定になります。また SiRIC レジスタの IR ビットは “1” (割り込み要求あり) に変化しません。

注2. U0IRS、U1IRS ビットは UCON レジスタのビット0、1で、U2IRS ビットは U2C1 レジスタのビット4です。

注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UARTi受信レジスタから UiRB レジスタにデータが転送されるときに検出されます。

表 15.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～8	送信データを設定してください(注1)
UiRB	0～8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	ビットレートを設定してください
UiMR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD / RXD 入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS / RTS機能の許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注3)
	CKPOL	“0” にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。転送データ長7ビットまたは9ビット時は“0” にしてください。
UiC1	TE	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	“0” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0～7	“0” にしてください
UiSMR2	0～7	“0” にしてください
UiSMR3	0～7	“0” にしてください
UiSMR4	0～7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0” にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1” にしてください
	7	“0” にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

注2. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注3. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“0” にしてください。
i=0～2

表 15.7 UART モード時の入出力端子の機能を示します。表 15.8 UART モード時の P6_4 端子の機能を示します。なお、UARTi の動作モード選択後、転送開始までは、TXDi 端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 15.7 UART モード時の入出力端子の機能

端子名	機能	選択方法
TXDi(i=0~2) (P6_3、P6_7、P7_0)	シリアルデータ出力	(受信だけを行うときは“H”が出力)
RXDi (P6_2、P6_6、P7_1)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P6_1、P6_5、P7_2)	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTSi/RTSi (P6_0、P6_4、P7_3)	CTSi入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTSi出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表 15.8 UART モード時の P6_4 端子の機能

端子の機能	ビットの設定値				
	U1C0 レジスタ		U0C0 レジスタ		PD6 レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	入力 : 0、出力 : 1
CTSi	0	0	0	0	0
RTSi	0	1	0	0	—
CTS0 (注1)	0	0	1	0	0

— : “0” または “1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTSi/RTSi許可)、U0C0レジスタのCRSビットを“1”(RTSi選択)にしてください。

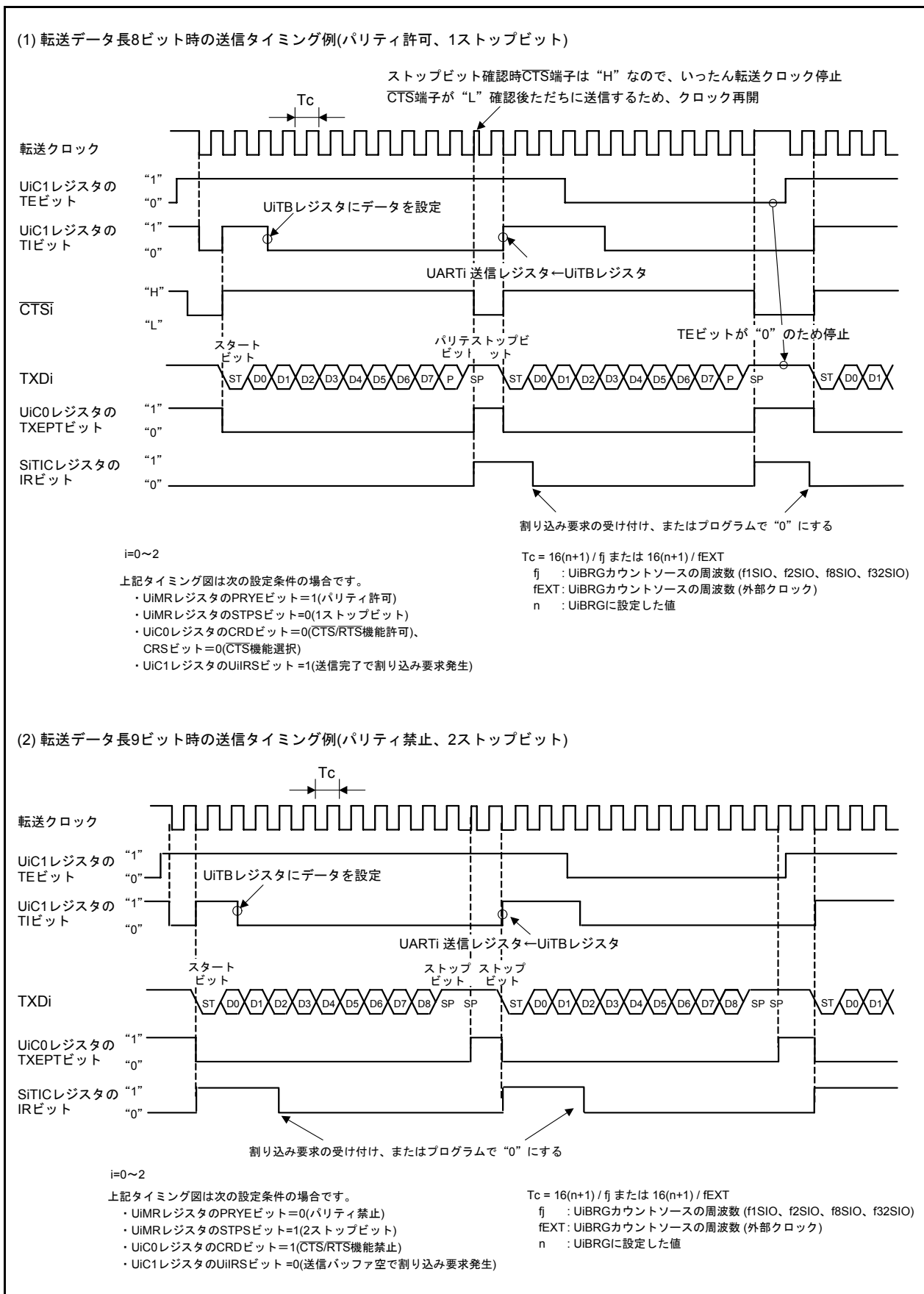


図 15.18 UART モード時の送信タイミング例

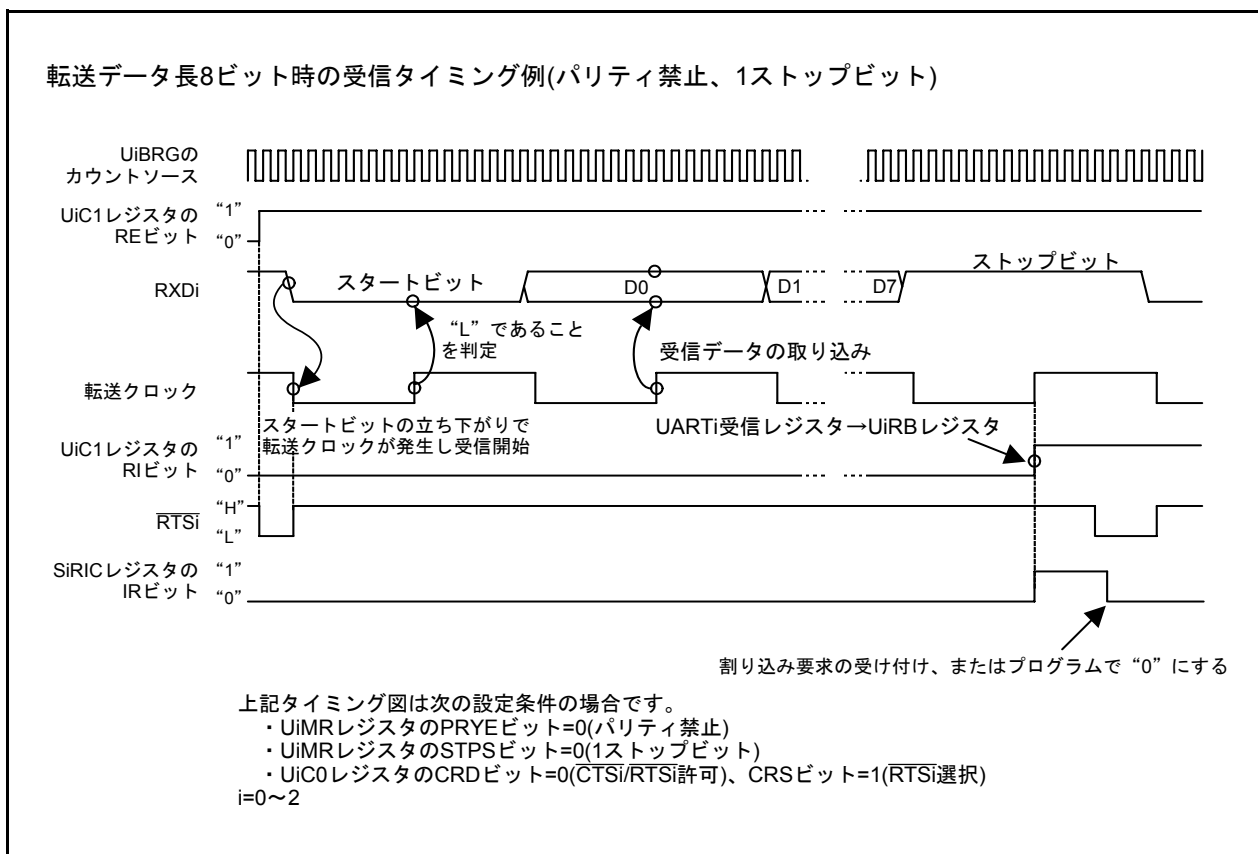


図 15.19 UARTモード時の受信タイミング例

15.1.2.1 ビットレート

UARTモードは、UiBRG レジスタ (i=0~2) で分周した周波数の16分周がビットレートになります。
表 15.9 にビットレートの設定例を示します。

表 15.9 ビットレート

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロック: 16 MHz	
		UiBRG の 設定値: n	ビットレート (bps)
1200	f8	103 (67h)	1202
2400	f8	51 (33h)	2404
4800	f8	25 (19h)	4808
9600	f1	103 (67h)	9615
14400	f1	68 (44h)	14493
19200	f1	51 (33h)	19231
28800	f1	34 (22h)	28571
31250	f1	31 (1Fh)	31250
38400	f1	25 (19h)	38462
51200	f1	19 (13h)	50000

15.1.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

• UiRBレジスタ(i=0~2)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiC1レジスタのREビットを“1”(受信許可)にする。

• UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

15.1.2.3 LSBファースト、MSBファースト選択

図15.20に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

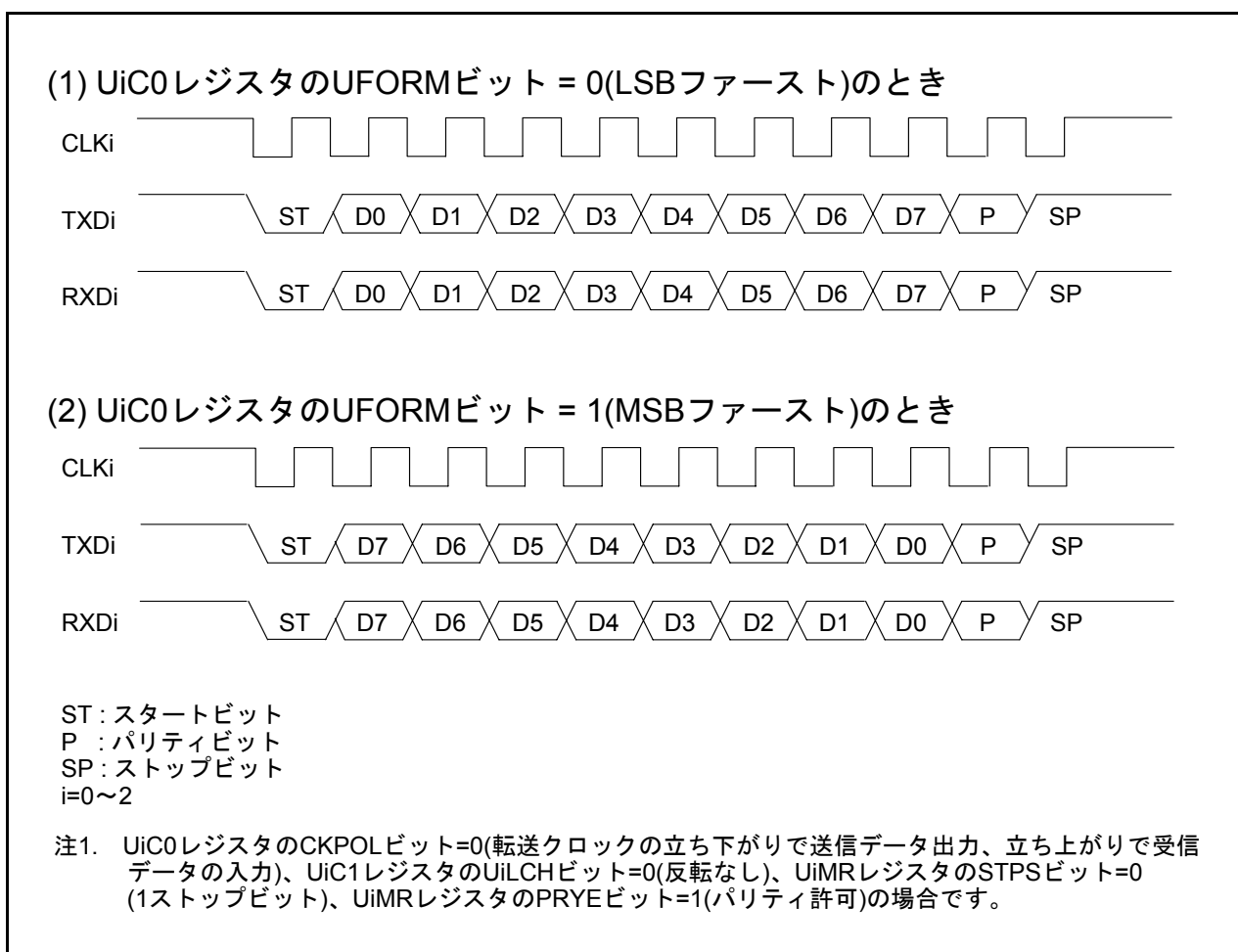


図 15.20 転送フォーマット

15.1.2.4 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図15.21 シリアルデータ論理を示します。

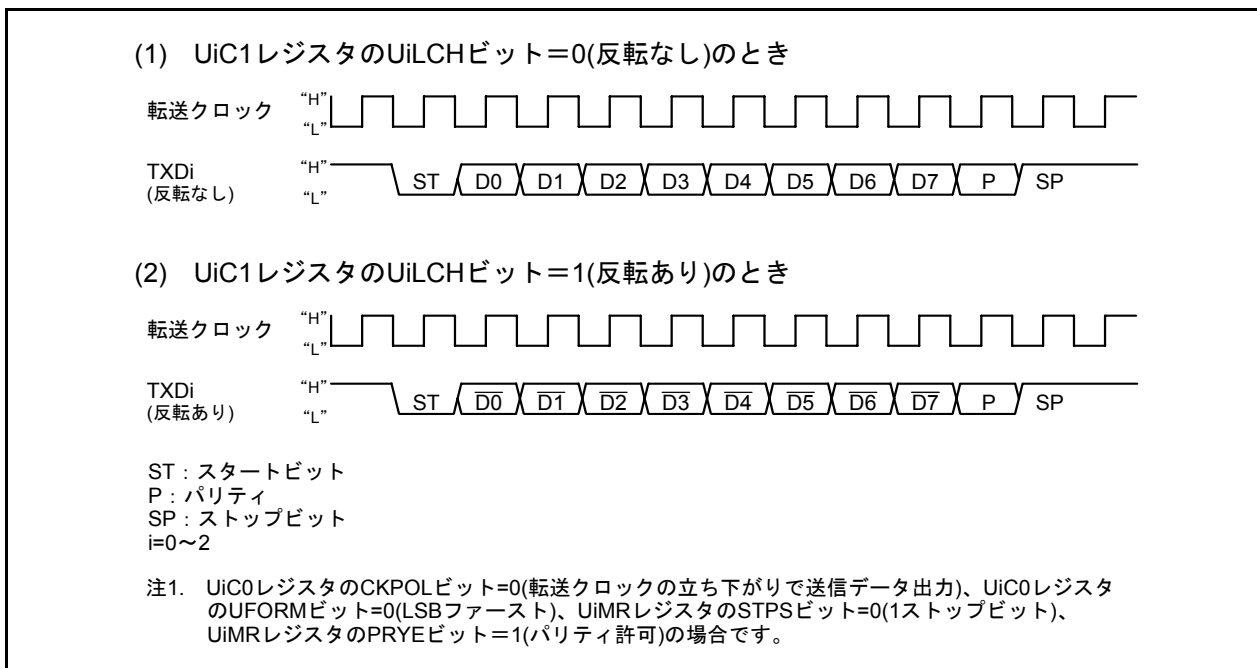


図 15.21 シリアルデータ論理

15.1.2.5 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図15.22 TXD、RXD入出力極性切り替えを示します。

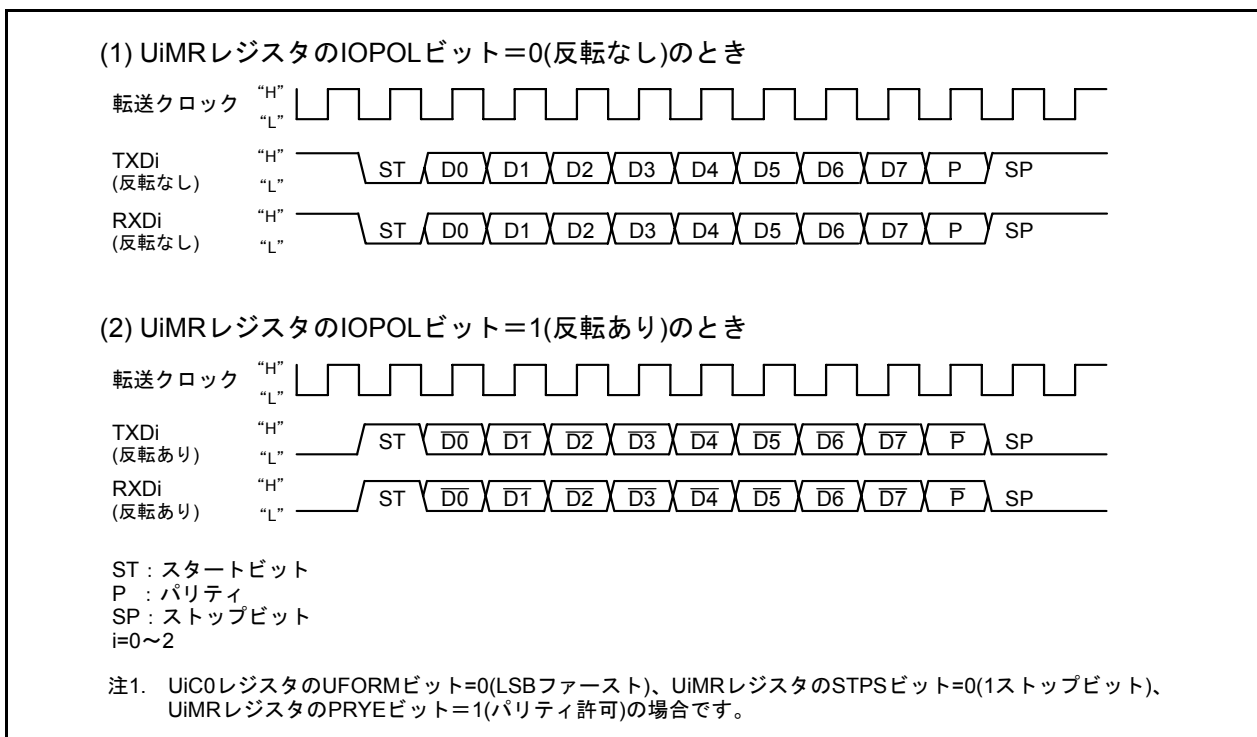


図 15.22 TXD、RXD入出力極性切り替え

15.1.2.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0\sim 2$) 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。CLK_i 端子の最初の立ち上がりで出力レベルが“H”になります。

- U_iC0 レジスタの CRD ビット = 1 (CTS/RTS 機能禁止) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はプログラマブル入出力機能
- CRD ビット = 0、CRS ビット = 0 (CTS 機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は CTS 機能
- CRD ビット = 0、CRS ビット = 1 (RTS 機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は RTS 機能

15.1.2.7 CTS/RTS分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ を P6_0 端子から出力、 $\overline{\text{CTS}}_0$ を P6_4 端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0 レジスタの CRD ビット = 0 (UART0 の $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ 許可)
- U0C0 レジスタの CRS ビット = 1 (UART0 の $\overline{\text{RTS}}_0$ 出力)
- U1C0 レジスタの CRD ビット = 0 (UART1 の $\overline{\text{CTS}}_1/\overline{\text{RTS}}_1$ 許可)
- U1C0 レジスタの CRS ビット = 0 (UART1 の $\overline{\text{CTS}}_1$ 入力)
- UCON レジスタの RCSP ビット = 1 (CTS0 を P6_4 端子から入力)
- UCON レジスタの CLKMD1 ビット = 0 (CLKS1 を使用しない)

なお、CTS/RTS 分離機能使用時、UART1 の $\overline{\text{CTS}}_1/\overline{\text{RTS}}_1$ 機能は使用できません。

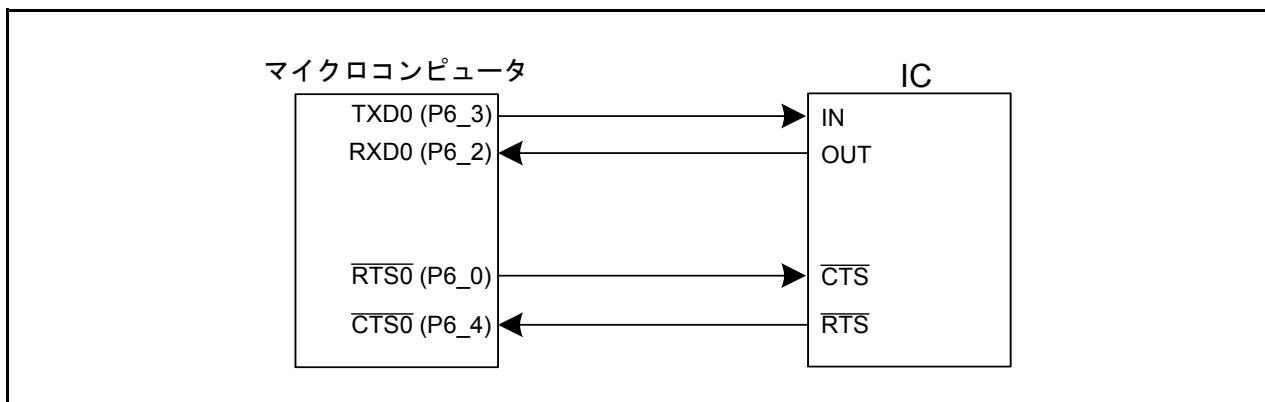


図 15.23 CTS/RTS分離機能の使用例

15.1.3 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表15.10にI²Cモードの仕様を、表15.11～表15.12にI²Cモード時の使用レジスタと設定値を、表15.13にI²Cモード時の各機能、図15.24にI²Cモードのブロック図を、図15.25 UiRB レジスタへの転送、割り込みのタイミングを示します。

表15.13に示すように、SMD2～SMD0 ビットを“010b”に、IICM ビットを“1”にするとI²Cモードになります。SDAi 送信出力には遅延回路が付加されますので、SCLi が“L”になり安定した後、SDAi 出力が変化します。

表 15.10 I²Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	• マスタ時 UiMR レジスタ (i=0～2) の CKDIR ビットが “0” (内部クロック) : $f_j/(2(n+1))$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ $n=UiBRG$ レジスタの設定値 00h～FFh • スレーブ時 CKDIR ビットが “1” (外部クロック) : SCLi 端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) • UiC1 レジスタの TE ビットが “1” (送信許可) • UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) • UiC1 レジスタの RE ビットが “1” (受信許可) • UiC1 レジスタの TE ビットが “1” (送信許可) • UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	• オーバランエラー (注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	• アービトレーションロスト UiRB レジスタの ABT ビットの更新タイミングを選択可 • SDAi デジタル遅延 デジタル遅延なし、または UiBRG カウントソースの2～8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタの受信データは不定になります。また SiRIC レジスタの IR ビットは“1”(割り込み要求あり)に変化しません。

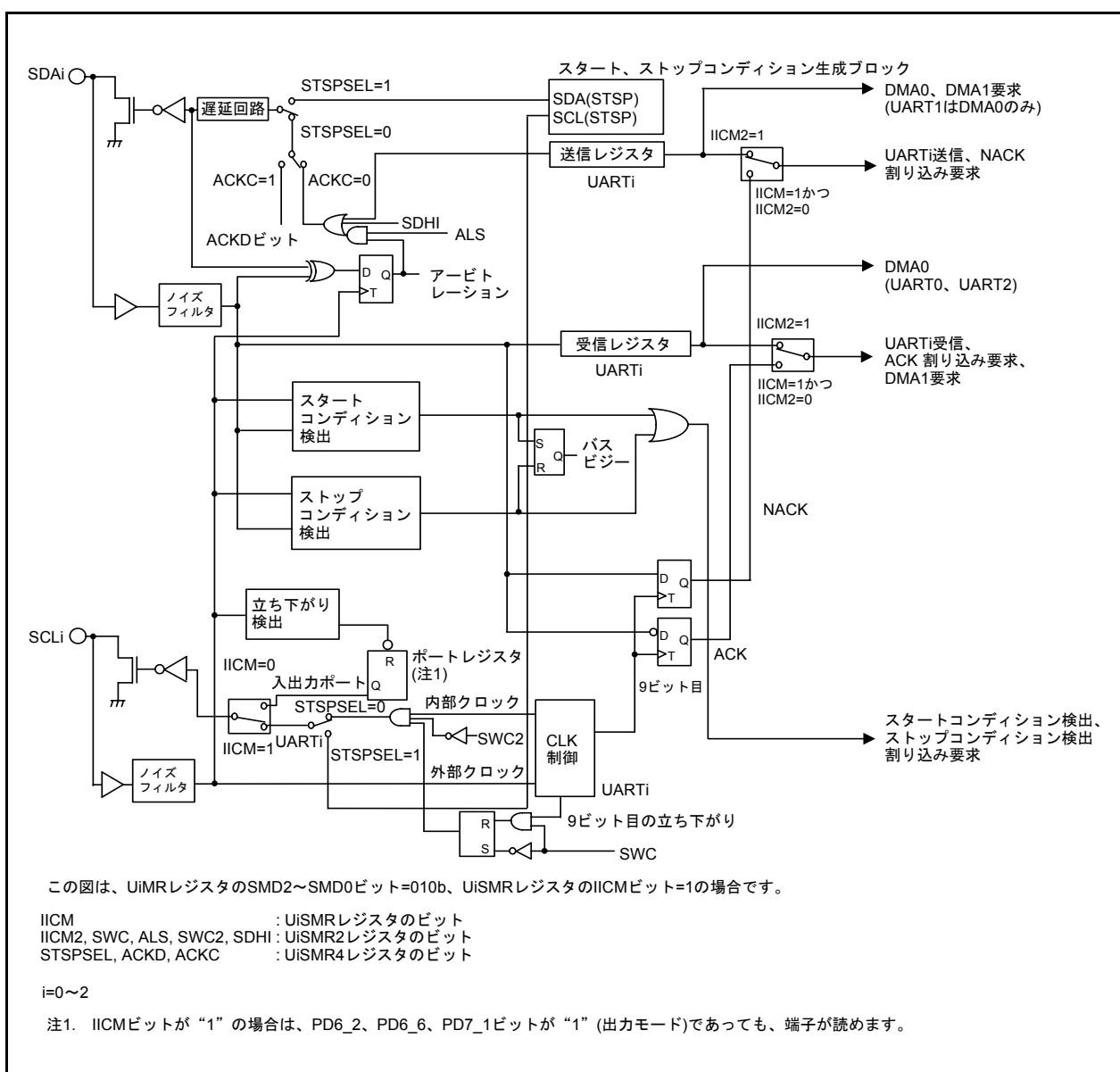
図 15.24 I²Cモードのブロック図

表 15.11 I²C モード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiTB	0~7	送信データを設定してください	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください	無効
UiMR(注3)	SMD2~SMD0	“010b” にしてください	“010b” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD(注4)	“1” にしてください	“1” にしてください
	NCH	“1” にしてください(注2)	“1” にしてください(注2)
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
UiC1	TE	送信を許可する場合、“1” にしてください	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS(注1)	無効	無効
	U2RRM(注1)、 UiLCH、UiERE	“0” にしてください	“0” にしてください
UiSMR	IICM	“1” にしてください	“1” にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0” にしてください	“0” にしてください
UiSMR2	IICM2	「表 15.13 I ² C モード時の各機能」参照	「表 15.13 I ² C モード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1” にしてください	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1” にしてください
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合“1” にしてください	“0” にしてください
	STAC	“0” にしてください	スタートコンディション検出でUARTiを初期化する場合、“1” にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1” にしてください	SCLiの出力を強制的に“L”にする場合、“1” にしてください
	SDHI	SDAi出力を禁止をする場合、“1” にしてください	SDAi出力を禁止をする場合、“1” にしてください
	7	“0” にしてください	“0” にしてください

注1. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCON レジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

注3. この表に記載していないビットはI²Cモード時に書く場合、“0”を書いてください。

注4. UART1をI²Cモードで使用しているときに、UART0のCTS/RTS分離機能を許可する場合、U1C0レジスタのCRDビットを“0”(CTS/RTS許可)、CRSビットを“0”(CTS入力)にしてください。

i=0~2

表 15.12 I²C モード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR3	0、2、4、NODC	“0” にしてください	“0” にしてください
	CKPH	「表 15.13 I ² C モード時の各機能」参照	「表 15.13 I ² C モード時の各機能」参照
	DL2～DL0	SDAi のデジタル遅延値を設定してください	SDAi のデジタル遅延値を設定してください
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1” にしてください	“0” にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1” にしてください	“0” にしてください。
	STPREQ	ストップコンディションを生成する場合、“1” にしてください	“0” にしてください。
	STSPSEL	各コンディション出力時に “1” にしてください	“0” にしてください。
	ACKD	ACK、NACK を選択してください	ACK、NACK を選択してください
	ACKC	ACK データを出力する場合、“1” にしてください	ACK データを出力する場合、“1” にしてください
	SCLHI	ストップコンディション検出時に SCLi 出力を停止する場合、“1” にしてください	“0” にしてください。
	SWC9	“0” にしてください	クロックの 9 ビット目の次の立ち下がりで SCLi を “L” ホールドにする場合、“1” にしてください
IFSR2A	IFSR26、IFSR27	“1” にしてください	“1” にしてください
UCON	U0IRS、U1IRS	無効	無効
	U0RRM、U1RRM	“0” にしてください	“0” にしてください
	CLKMD0	“0” にしてください	“0” にしてください
	CLKMD1	“0” にしてください	“0” にしてください
	RCSP	“0” にしてください	“0” にしてください
	7	“0” にしてください	“0” にしてください

i=0～2

表 15.13 I²C モード時の各機能

機 能	クロック同期シリアル I/O モード (SMD2~SMD0=001b, IICM=0)	I ² C モード (SMD2~SMD0=010b, IICM=1)			
		IICM2=0(NACK/ACK 割り込み)		IICM2=1(UART 送信 /UART 受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 6, 7, 10の要因 (注1、5、7)	—	スタートコンディション検出、ストップコンディション検出 (「表 15.14 STSPSEL ビットの機能」参照)			
割り込み番号 15, 17, 19の要因 (注1、6)	UARTi 送信 送信開始、または送信 完了 (UIIRS で選択)	アクノリッジ未検出 (NACK) 9ビット目の SCLi の立ち上がり		UARTi 送信 9ビット目の SCLi の立ち上がり	UARTi 送信 9ビット目の次の SCLi の立ち下がり
割り込み番号 16, 18, 20の要因 (注1、6)	UARTi 受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出 (ACK) 9ビット目の SCLi の立ち上がり		UART 受信 9ビット目の SCLi の立ち下がり	
UART 受信シフト レジスタから UiRB レジスタへのデータ 転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目の SCLi の立ち上がり		9ビット目の SCLi の立ち下がり	9ビット目の SCLi の 立ち下がりと、立ち 上がり
UARTi 送信出力遅延	遅延なし	遅延あり			
P6_3, P6_7, P7_0 端子 の機能	TXDi 出力	SDAi 入出力			
P6_2, P6_6, P7_1 端子 の機能	RXDi 入力	SCLi 入出力			
P6_1, P6_5, P7_2 端子 の機能	CLKi 入力または出力選 択	— (I ² C モードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RXDi, SCLi 端子レベル の読み込み	対応するポート方向 ビットが“0”の場合、 可能	対応するポート方向ビットの内容に関係なく、可能			
TXDi, SDAi 出力の初 期値	CKPOL=0(H) CKPOL=1(L)	I ² C モード設定前に、ポートレジスタに設定した値(注2)			
SCLi の初期値、終了 値	—	H	L	H	L
DMA1 要因 (注6)	UARTi 受信	アクノリッジ検出 (ACK)		UARTi 受信 9ビット目の SCLi の立ち下がり	
受信データ格納	1~8ビット目を UiRB レジ スタのビット0~7に格納	1~8ビット目を UiRB レジスタのビット 7~0に格納		1~7ビット目を UiRB レジスタのビット6~0に、 8ビット目を UiRB レジスタのビット8に格納	
					1~8ビット目を UiRB レ ジスタのビット7~0 に格納(注3)
受信データ読み出し	UiRB レジスタの状態をそのまま読み出す				UiRB レジスタのビット 6~0はビット7~1とし て、ビット8はビット0 として読み出す(注4)

i=0~2

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタの IR ビットが“1”(割り込み要求あり)になることがあります(「22.6 割り込み注意事項」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IR ビットを“0”(割り込み要求なし)にしてください。

UIMR レジスタの SMD2~SMD0 ビット、UiSMR レジスタの IICM ビット、
UiSMR2 レジスタの IICM2 ビット、UiSMR3 レジスタの CKPH ビット

注2. SDAi 出力の初期値は、SMD2~SMD0 ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注3. UiRB レジスタへのデータ転送2回目(9ビット目 SCLi 立ち上がり時)

注4. UiRB レジスタへのデータ転送1回目(9ビット目 SCLi 立ち下がり時)

注5. 「図 15.27 STSPSEL ビットの機能」参照。

注6. 「図 15.25 UiRB レジスタへの転送、割り込みのタイミング」参照。

注7. UART0 使用時は IFSR2A レジスタの IFSR26 ビットを“1”(割り込み要因は UART0 バス衝突)にしてください。
UART1 使用時は IFSR2A レジスタの IFSR27 ビットを“1”(割り込み要因は UART1 バス衝突)にしてください。

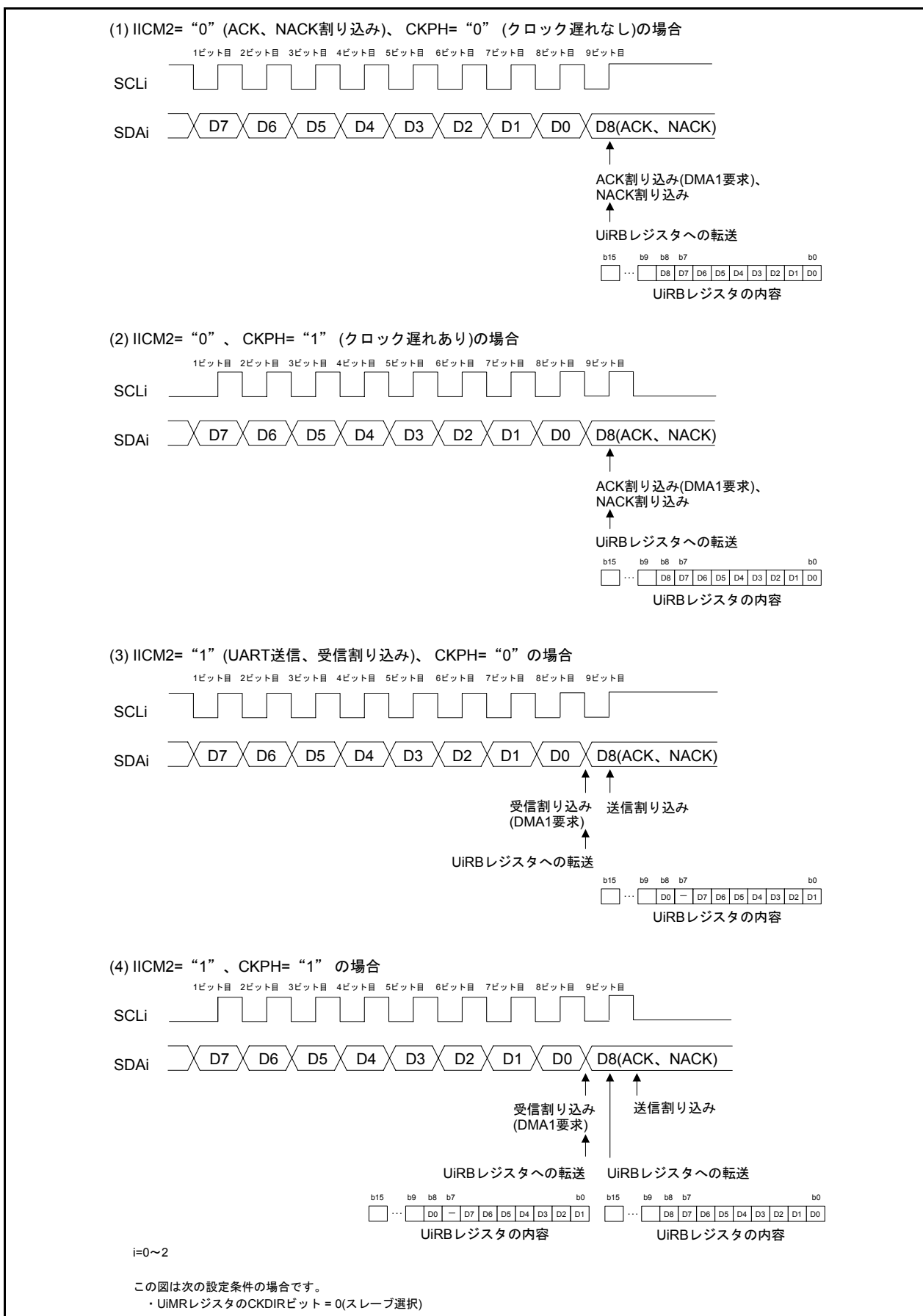


図 15.25 UiRB レジスタへの転送、割り込みのタイミング

15.1.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCLi 端子が “H” の状態で SDAi 端子が “H” から “L” に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi 端子が “H” の状態で SDAi 端子が “L” から “H” に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMR レジスタの BBS ビットで判定してください。

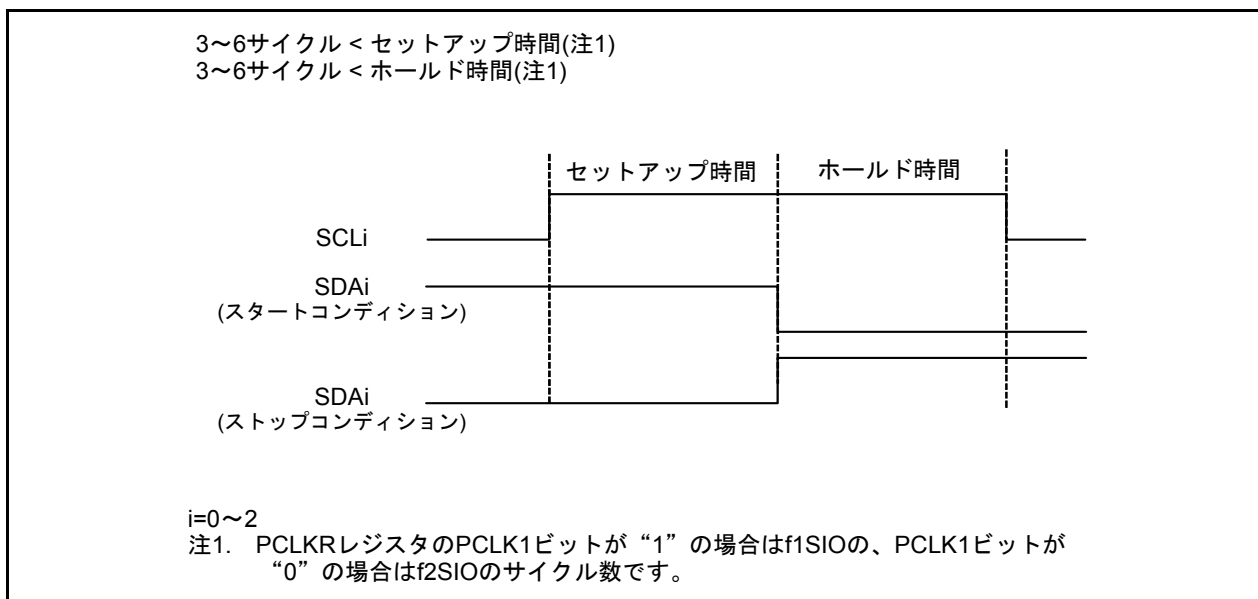


図 15.26 スタートコンディション、ストップコンディションの検出

15.1.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4 レジスタ (i=0~2) の STAREQ ビットを “1” (スタート) にするとスタートコンディションを生成します。

UiSMR4 レジスタの RSTAREQ ビットを “1” (スタート) にするとリスタートコンディションを生成します。

UiSMR4 レジスタの STPREQ ビットを “1” (スタート) にするとストップコンディションを生成します。

出力の手順は次の通りです。

- (1) STAREQ ビット、RSTAREQ ビット、または STPREQ ビットを “1” (スタート) にする
- (2) UiSMR4 レジスタの STSPSEL ビット “1” (出力) にする

表 15.14 と図 15.27 に STSPSEL ビットの機能を示します。

表 15.14 STSPSEL ビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi 端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコン ディションの出力はポートを使ったプロ グラムで実現 (ハードウェアによる自動生成はしない)	STAREQ ビット、RSTAREQ ビット、 STPREQ ビットに従って、スタートコン ディション、ストップコンディションを 出力
スタートコンディション、ス トップコンディション割り込 み要求発生タイミング	スタートコンディション、ストップコン ディション検出	スタートコンディション、ストップコン ディション生成終了

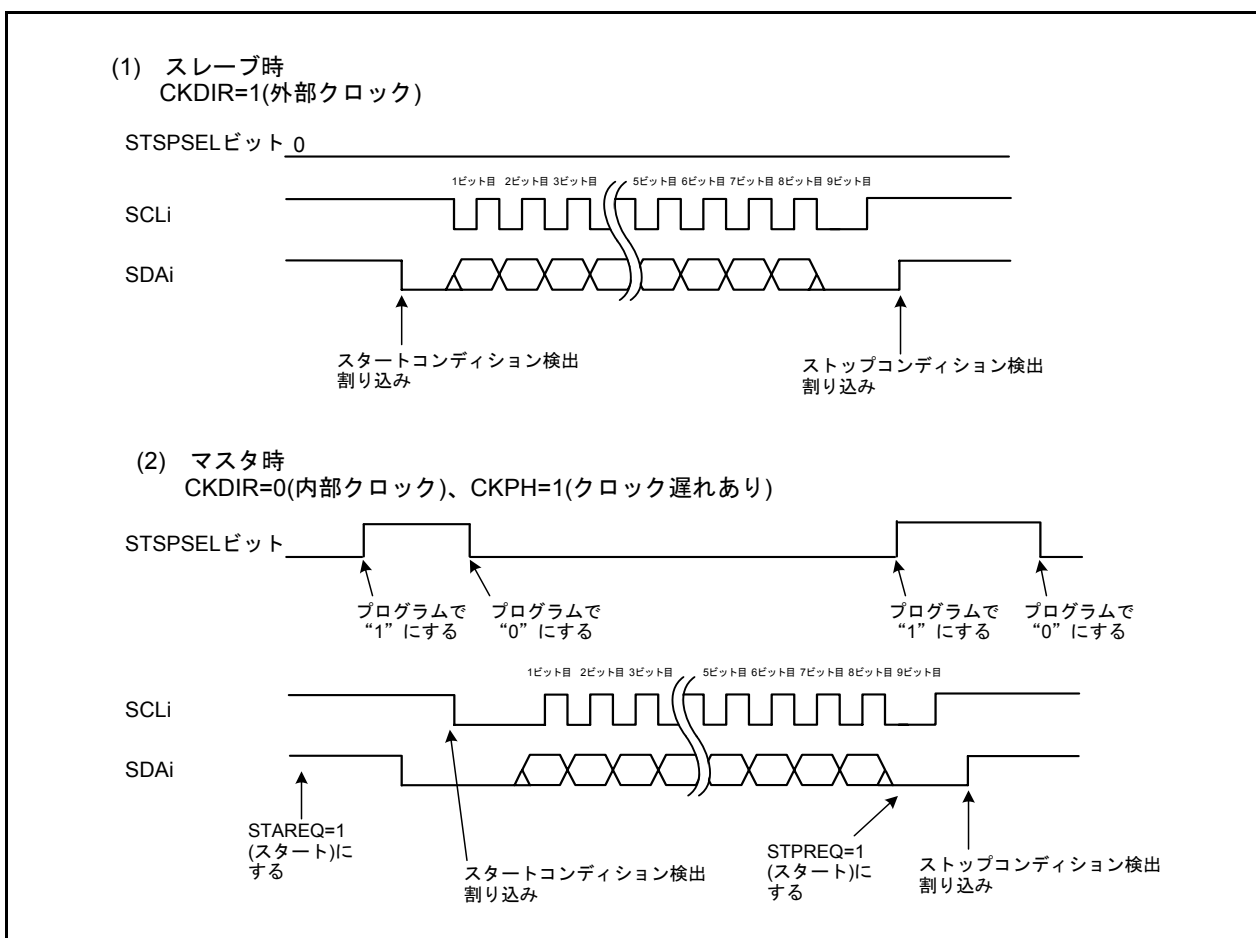


図 15.27 STSPSEL ビットの機能

15.1.3.3 アービトレーション

SCLi の立ち上がりのタイミングで、送信データと SDAi 端子入力データの不一致を判定します。UiSMR レジスタの ABC ビットで、UiRB レジスタの ABT ビットの更新タイミングを選択します。ABC ビットが “0” (ビットごとに更新) の場合、判定時に不一致を検出すると同時に ABT ビットが “1” に、検出しないと “0” になります。ABC ビットを “1” にすると、判定時に一度でも不一致が検出された場合、9 ビット目のクロックの立ち下がり ABT ビットが “1” (不一致検出) になります。なお、バイトごとに更新する場合は、1 バイト目のアクノリッジ検出完了後、ABT ビットを “0” (未検出) にしてから、次の 1 バイトを転送してください。

UiSMR2 レジスタの ALS ビットを “1” (SDA 出力停止許可) にすると、アービトレーションロストが発生し ABT ビットが “1” (不一致検出) になったとき、同時に SDAi 端子がハイインピーダンス状態になります。

15.1.3.4 転送クロック

「図 15.25 UiRB レジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

UiSMR2 レジスタの CSC ビットは内部で生成したクロック (内部 SCLi) と、SCLi 端子に入力される外部クロックの同期をとるためのビットです。CSC ビットを “1” (クロック同期化を許可) にすると、内部 SCLi が “H” の場合、SCLi 端子に立ち下がりエッジがあれば内部 SCLi を “L” とし、UiBRG レジスタの値をリロードして L 区間のカウントを開始します。また、SCLi 端子が “L” のとき、内部 SCLi が “L” から “H” に変化するとカウントを停止し、SCLi 端子が “H” になるとカウントを再開します。したがって、UARTi の転送クロックは、内部 SCLi と SCLi 端子の信号の論理積になります。なお、転送クロックは内部 SCLi の 1 ビット目の立ち下がりの半周期前から 9 ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UiSMR2 レジスタの SWC ビットでクロックの 9 ビット目の立ち下がりで、SCLi 端子は “L” 出力固定になるか “L” 出力固定を解除するかを選択できます。

UiSMR4 レジスタの SCLHI ビットを “1” (許可) にすると、ストップコンディション検出時に SCLi 出力を停止します (ハイインピーダンス状態)。

UiSMR2 レジスタの SWC2 ビットを “1” (0 出力) にすると、送受信中でも SCLi 端子から強制的に “L” を出力できます。SWC2 ビットを “0” (転送クロック) にすると、SCLi 端子からの “L” 出力は解除され、転送クロックが入出力されます。

UiSMR3 レジスタの CKPH ビットが “1” のとき、UiSMR4 レジスタの SWC9 ビットを “1” (SCL “L” ホールド許可) にすると、クロックの 9 ビット目の次の立ち下がりで SCLi 端子は “L” 出力固定になります。SWC9 ビットを “0” (SCL “L” ホールド禁止) にすると “L” 出力固定は解除されます。

15.1.3.5 SDA 出力

UiTB レジスタのビット 7～0 (D7～D0) に書いた値を、D7 から順に出力します。9 ビット目 (D8) は ACK または NACK です。

SDAi 送信出力の初期値は、IICM=1 (I²C モード) で、UiMR レジスタの SMD2～SMD0 ビットが “000b” (シリアルインタフェースは無効) の状態で設定してください。

UiSMR3 レジスタの DL2～DL0 ビットにより SDAi の出力を遅延なし、または UiBRG カウントソースの 2～8 サイクルの遅延を設定できます。

UiSMR2 レジスタの SDHI ビットを “1” (SDA 出力禁止) にすると、SDAi 端子が強制的にハイインピーダンス状態になります。なお、SDHI ビットは UARTi の転送クロックの立ち上がりのタイミングで書かないでください。ABT ビットが “1” (検出) になる場合があります。

15.1.3.6 SDA 入力

IICM2 ビットが “0” のとき、受信したデータの 1～8 ビット目 (D7～D0) を UiRB レジスタのビット 7～0 に格納します。9 ビット目 (D8) は ACK または NACK です。

IICM2 ビットが “1” のとき、受信したデータの 1～7 ビット目 (D7～D1) を UiRB レジスタのビット 6～0 に、8 ビット目 (D0) を UiRB レジスタのビット 8 に格納します。IICM2 ビットが “1” のときでも、CKPH ビットが “1” であれば、9 ビット目のクロックの立ち上がり後に UiRB レジスタを読み出すことにより、IICM2 ビットが “0” のときと同様のデータが読めます。

15.1.3.7 ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できます。

15.1.3.8 送受信初期化

STACビットを“1”(UARTi 初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCL ウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

15.1.4 特殊モード2

1つのマスタから、複数のスレーブへシリアル通信できます。また、転送クロックの極性と位相を選択できます。表 15.15 特殊モード2の仕様を、表 15.16 特殊モード2時の使用レジスタと設定値を、図 15.28 特殊モード2の通信制御例(UART2)を示します。

表 15.15 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	- マスタモード UiMR レジスタ (i=0~2)のCKDIR ビットが“0” (内部クロック選択) : $f_j/(2(n+1))$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ n : UiBRG レジスタ設定値。00h~FFh - スレーブモード CKDIR ビットが“1” (外部クロック選択) : CLKi 端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要(注1) - UiC1 レジスタのTE ビットが“1” (送信許可) - UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) - UiC1 レジスタのRE ビットが“1” (受信許可) - TE ビットが“1” (送信許可) - TI ビットが“0” (UiTB レジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択可 - UiC1 レジスタのUiIRS ビットが“0” (送信バッファ空) : UiTB レジスタから UARTi 送信レジスタへデータ転送時(送信開始時) - UiIRS ビットが“1” (送信完了) : UARTi 送信レジスタからデータ送信完了時 受信時 - UARTi 受信レジスタから UiRB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	- CLK 極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 - LSB ファースト、MSB ファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 - 連続受信モード選択 UiRB レジスタを読むことで、同時に受信許可状態になる - シリアルデータ論理切り替え 送受信データの論理値を反転する機能 - クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

注1. 外部クロックを選択している場合、UiC0 レジスタのCKPOL ビットが“0” (転送クロックの立ち下がり で送信データ出力、立ち上がり で受信データ入力)のときは外部クロックが“H”の状態 で、CKPOL ビットが“1” (転送クロックの立ち上がり で送信データ出力、立ち下がり で受信データ入力)のときは外部クロックが“L”の状態 で条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタの受信データは不定になります。また SiRIC レジスタの IR ビットは“1”(割り込み要求あり)に変化しません。

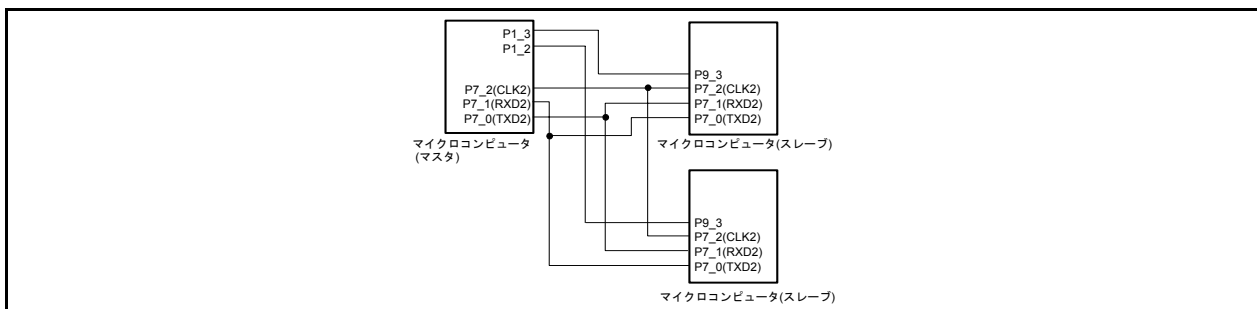


図 15.28 特殊モード2の通信制御例(UART2)

表 15.16 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR(注3)	SMD2~SMD0	“001b” にしてください
	CKDIR	マスタモードの場合 “0” に、スレーブモードの場合 “1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD= “1” なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	LSB ファースト、またはMSB ファーストを選択してください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0” にしてください
	0、2、4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、“1” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. U0C0、U1C1レジスタのビット4、5は “0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合 “0” を書いてください。

注3. この表に記載していないビットは特殊モード2時に書く場合、“0” を書いてください。
i=0~2

15.1.4.1 クロック位相設定機能

UiSMR3 レジスタの CKPH ビットと UiC0 レジスタの CKPOL ビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

図 15.29 マスタ(内部クロック)の場合の送受信のタイミングを示します。

図 15.30 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図 15.31 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

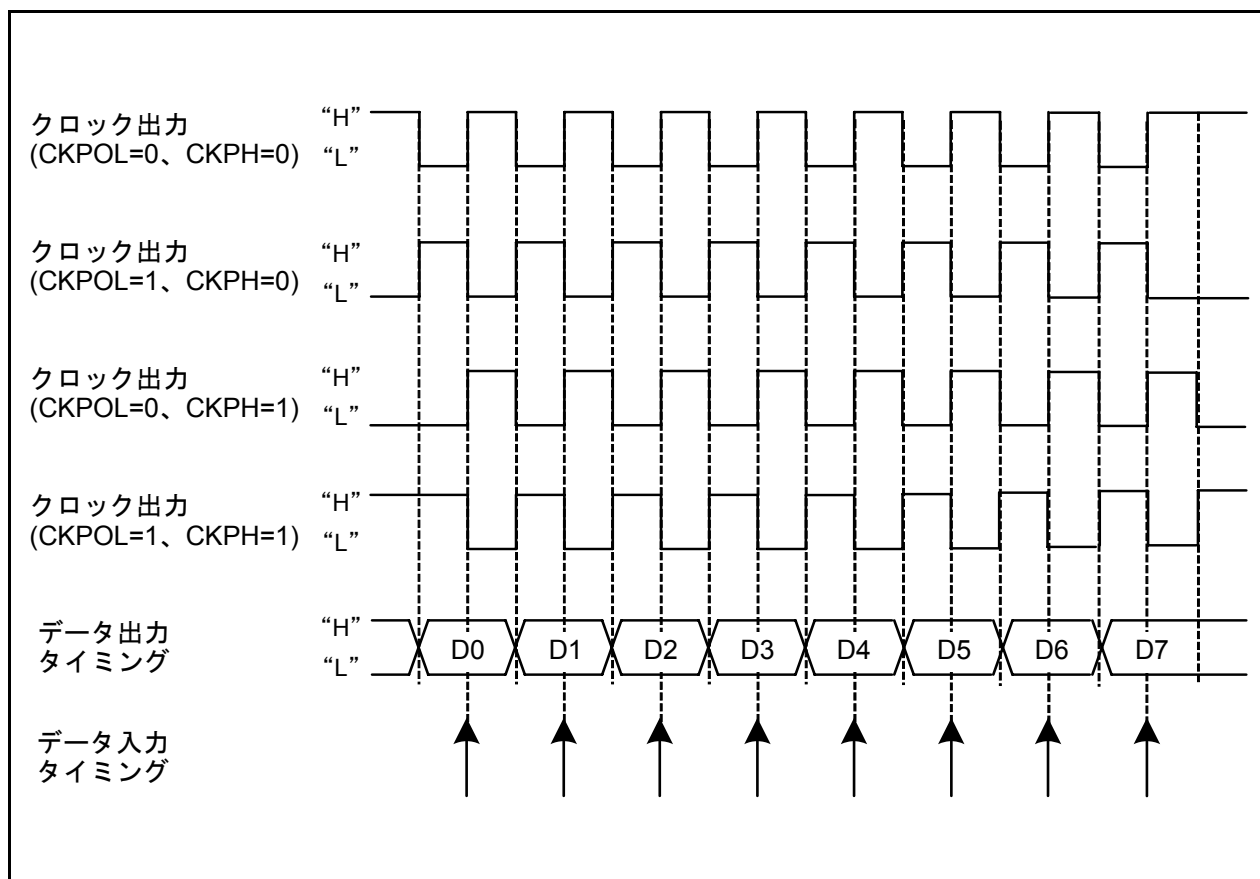


図 15.29 マスタ(内部クロック)の場合の送受信のタイミング

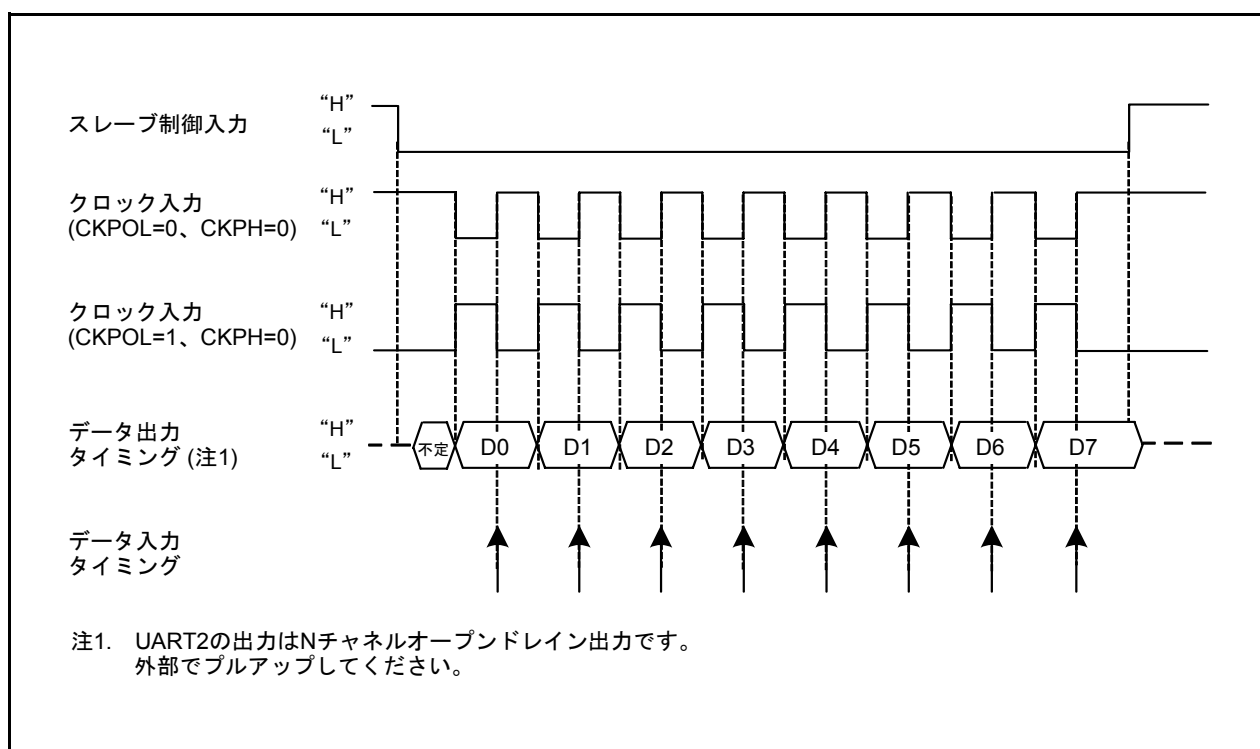


図 15.30 スレーブ (外部クロック) の場合の送受信のタイミング (CKPH=0)

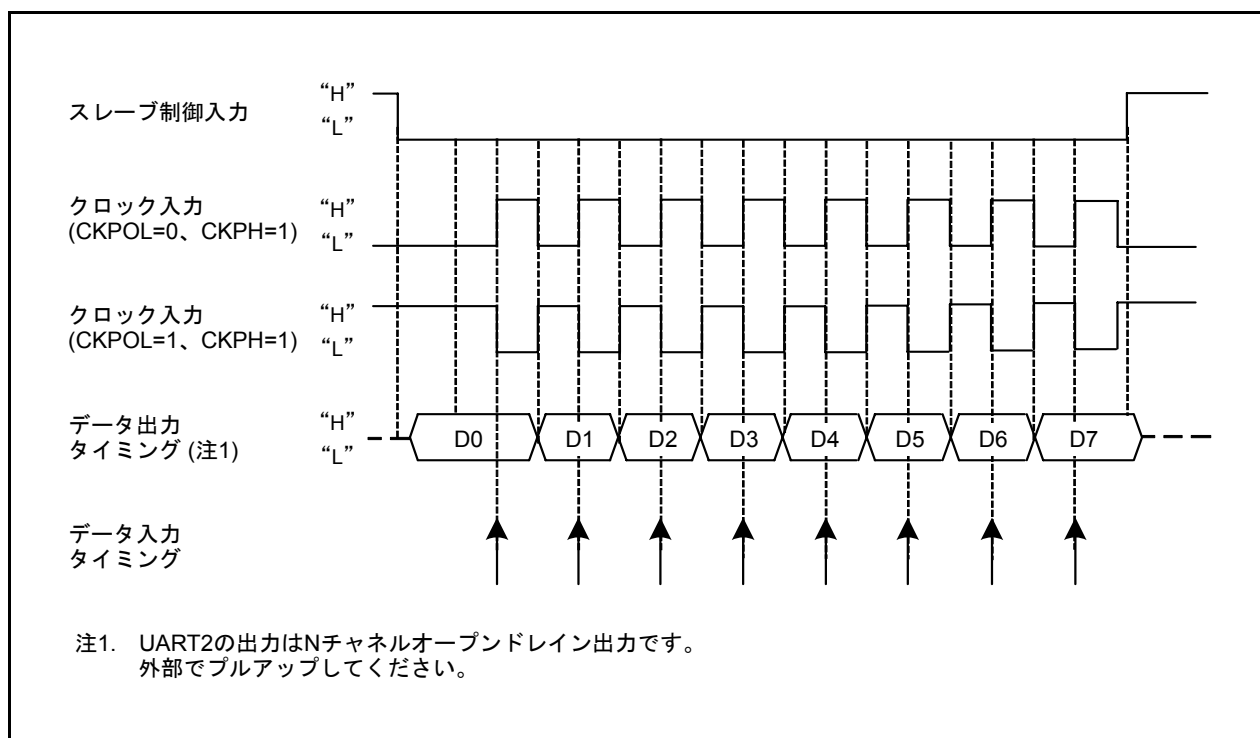


図 15.31 スレーブ (外部クロック) の場合の送受信のタイミング (CKPH=1)

15.1.5 特殊モード3(IEモード)(UART2)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表 15.17 IEモード時の使用レジスタと設定値を、図 15.32 バス衝突検出機能関連ビットの機能を示します。

TXD2端子の出力レベルとRXD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

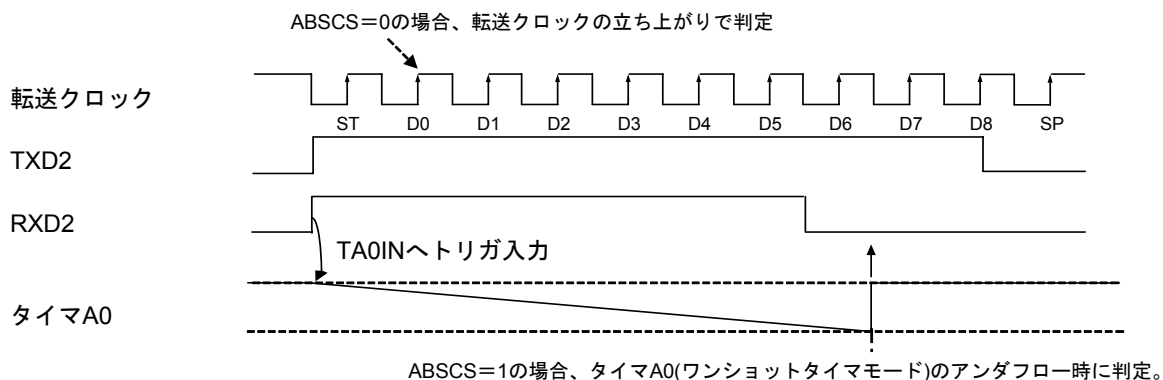
表 15.17 IEモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	0～8	送信データを設定してください
U2RB(注2)	0～8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0～7	ビットレートを設定してください
U2MR	SMD2～SMD0	“110b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
U2C0	CLK1～CLK0	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TXD2端子の出力形式を選択してください(注1)
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
U2C1	TE	送信を許可する場合 “1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM、U2LCH、U2ERE	“0” にしてください
U2SMR	0～3、7	“0” にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1” にしてください
	SSS	送信開始条件を選択してください
U2SMR2	0～7	“0” にしてください
U2SMR3	0～7	“0” にしてください
U2SMR4	0～7	“0” にしてください

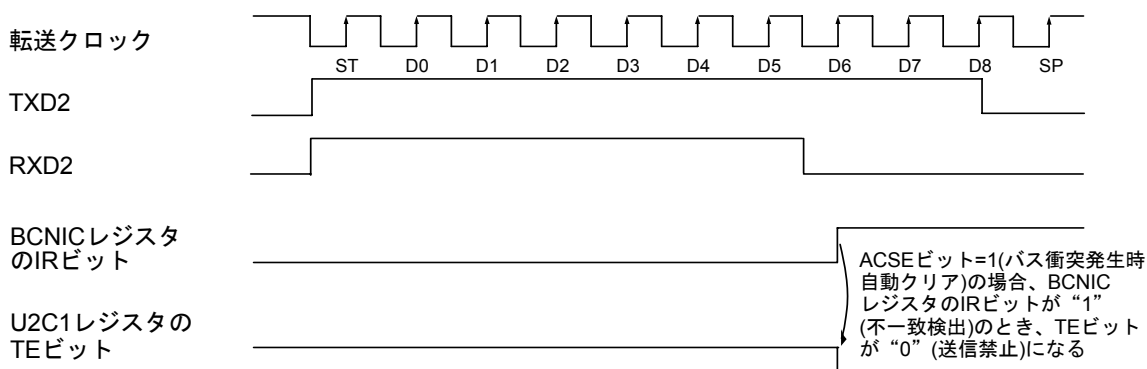
注1. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合は“0”を書いてください。

注2. この表に記載していないビットはIEモード時に書く場合、“0”を書いてください。

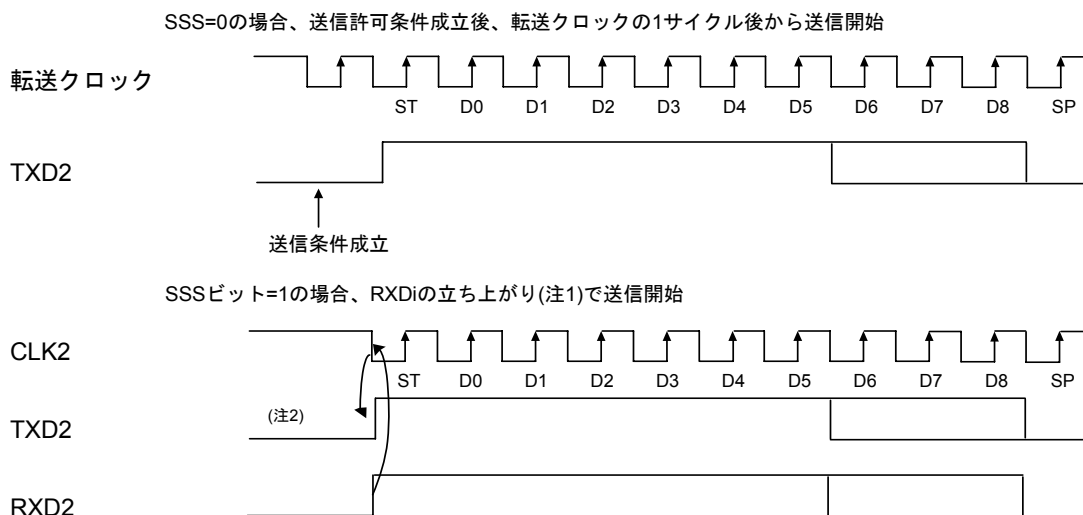
(1) U2SMRレジスタのABSCSビット (バス衝突検出サンプリングクロック選択)



(2) U2SMRレジスタのACSEビット (送信許可ビット自動クリア)



(3) U2SMRレジスタのSSSビット(送信開始条件選択)



注1. IOPOL=0の場合、RXD2の立ち下がり。IOPOL=1の場合、RXD2の立ち上がり。
 注2. 送信条件は、RXDの立ち下がり(注1)前に成立している必要があります。

この図は、IOPOL=1(反転あり)の場合です。

図 15.32 バス衝突検出機能関連ビットの機能

15.1.6 特殊モード4(SIMモード)(UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表15.18 SIMモードの仕様を、表15.19 SIMモード時の使用レジスタと設定値を示します。

表 15.18 SIMモードの仕様

項目	仕様
転送データフォーマット	・ダイレクトフォーマット ・インバースフォーマット
転送クロック	・U2MR レジスタのCKDIR ビットが “0” (内部クロック) : $f_i/(16(n+1))$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$ $n=U2BRG$ レジスタの設定値 00h~FFh ・CKDIR ビットが “1” (外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT} は CLK2 端子からの入力 $n=U2BRG$ レジスタの設定値 00h~FFh
送信開始条件	送信開始には、次の条件が必要 ・U2C1 レジスタのTE ビットが “1” (送信許可) ・U2C1 レジスタのTI ビットが “0” (U2TB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 ・U2C1 レジスタのRE ビットが “1” (受信許可) ・スタートビットの検出
割り込み要求発生タイミング (注2)	送信時 UART2送信レジスタからデータ転送完了時(U2IRS ビット= “1”) 受信時 UART2受信レジスタからU2RB レジスタへデータ転送(受信完了)時
エラー検出	オーバランエラー (注1) U2RB レジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー (注3) 設定した個数のストップビットが検出されなかったときに発生 パリティエラー (注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2 端子の入力レベルによりパリティエラーを検知 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 “1” になる

注1. オーバランエラーが発生した場合、U2RB レジスタの受信データは不定になります。またS2RIC レジスタのIR ビットは“1”(割り込み要求あり)に変化しません。

注2. リセット解除後、U2C1 レジスタのU2IRS ビットを “1” (送信完了)、U2ERE ビットを “1” (エラー信号出力) にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IR ビットを “0” (割り込み要求なし)にしてください。

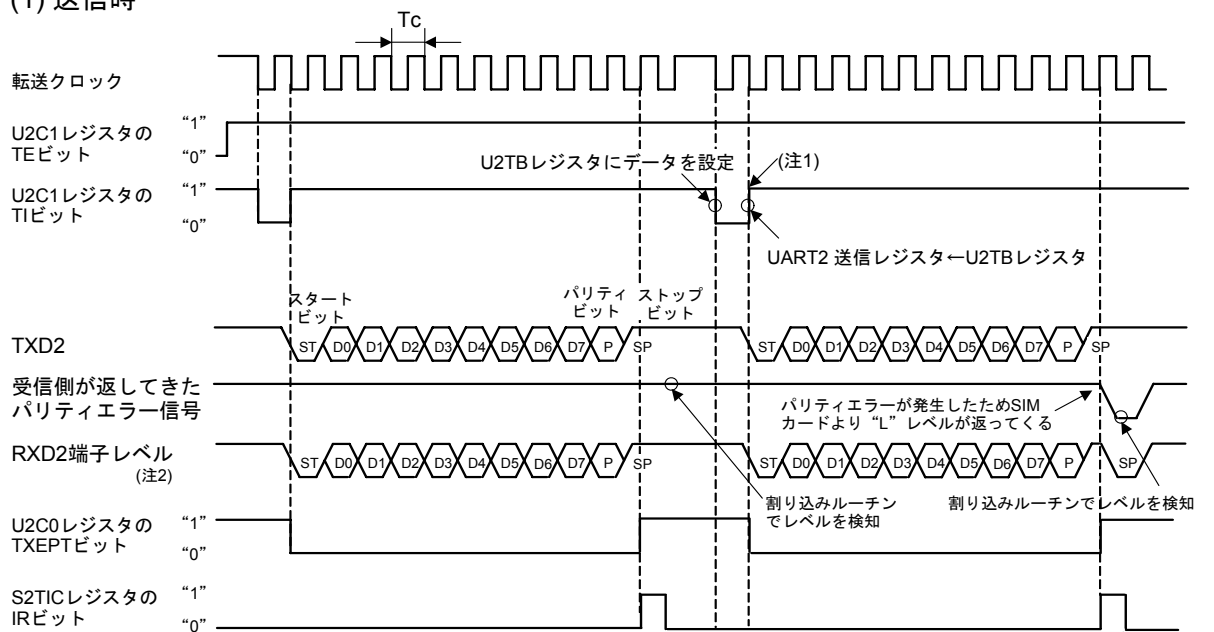
注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UARTi受信レジスタからUiRB レジスタにデータが転送されるときに検出されます。

表 15.19 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	0～7	送信データを設定してください
U2RB(注1)	0～7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0～7	ビットレートを設定してください
U2MR	SMD2～SMD0	“101b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合 “1” に、インバースフォーマットの場合 “0” にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“0” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合 “0” に、インバースフォーマットの場合 “1” にしてください
U2C1	TE	送信を許可する場合 “1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合 “1” にしてください
	RI	受信完了フラグ
	U2IRS	“1” にしてください
	U2RRM	“0” にしてください
	U2LCH	ダイレクトフォーマットの場合 “0” に、インバースフォーマットの場合 “1” にしてください
	U2ERE	“1” にしてください
U2SMR(注1)	0～3	“0” にしてください
U2SMR2	0～7	“0” にしてください
U2SMR3	0～7	“0” にしてください
U2SMR4	0～7	“0” にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、“0” を書いてください。

(1) 送信時



上記タイミング図はダイレクトフォーマットで送信した場合です。

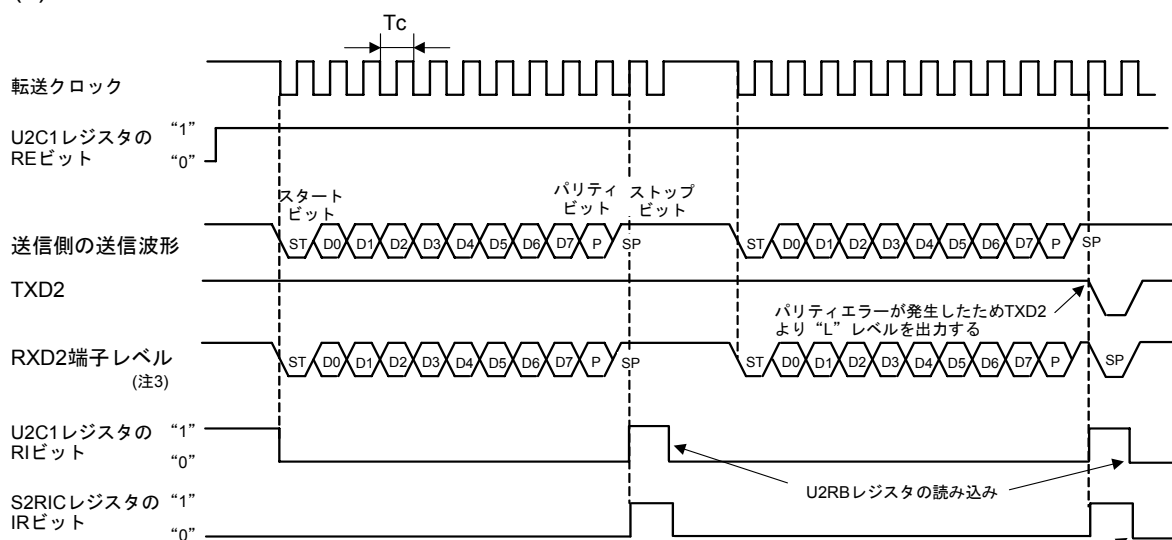
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYビット=1(偶数パリティ)
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2C1レジスタのU2LCHビット=0(反転なし)
- U2C1レジスタのU2IRSビット=1(送信完了)

割り込み要求の受け付け、またはプログラムで“0”にする

$$T_c = 16(n+1) / f_j \text{ または } 16(n+1) / f_{EXT}$$

f_j : U2BRGカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
 f_{EXT} : U2BRGのカウントソースの周波数 (外部クロック)
 n : U2BRGに設定した値

(2) 受信時



上記タイミング図はダイレクトフォーマットで受信した場合です。

- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYビット=1(偶数パリティ)
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2C1レジスタのU2LCHビット=0(反転なし)
- U2C1レジスタのU2IRSビット=1(送信完了)

割り込み要求の受け付け、またはプログラムで“0”にする

$$T_c = 16(n+1) / f_j \text{ または } 16(n+1) / f_{EXT}$$

f_j : U2BRGカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
 f_{EXT} : U2BRGのカウントソースの周波数 (外部クロック)
 n : U2BRGに設定した値

注1. 上記タイミングで、U2TBレジスタに値を書いた後、BRGのオーバフロータイミングで送信が開始されます。

注2. TXD2とRXD2を接続しているため、TXD2の送信波形と受信側が返してきたパリティエラー信号を合成した波形になります。

注3. TXD2とRXD2を接続しているため、送信側の送信波形とTXD2のパリティエラー信号出力を合成した波形になります。

図 15.33 SIMモードの送受信タイミング例

図 15.34 に SIM インタフェース接続例を示します。TXD2 と RXD2 を接続してプルアップしてください。

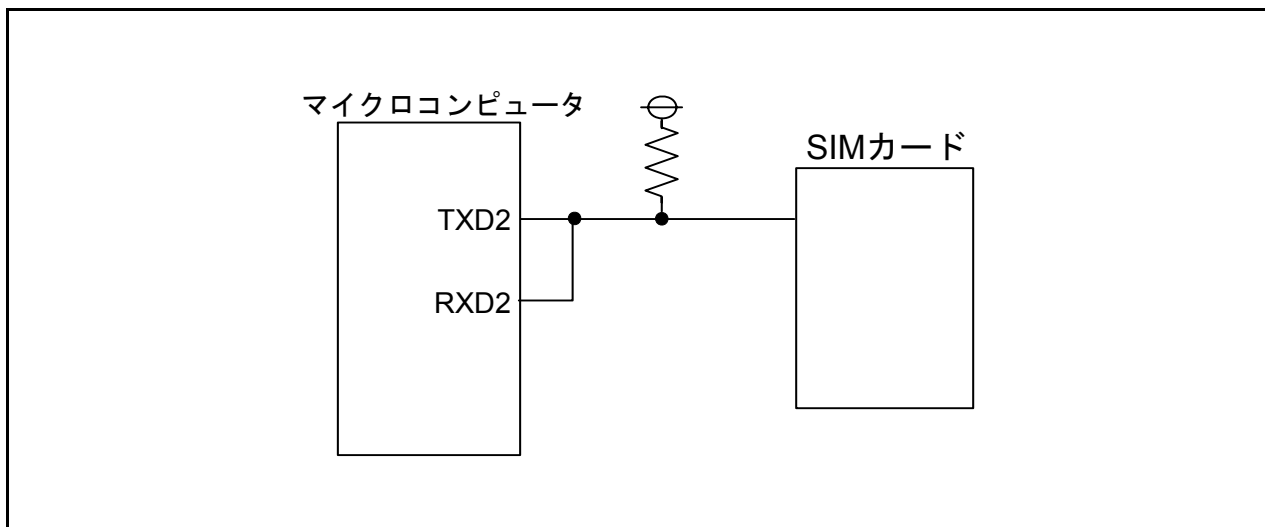


図 15.34 SIM インタフェース接続例

15.1.6.1 パリティエラー信号出力機能

U2C1 レジスタの U2ERE ビットを “1” にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図 15.35 に示すタイミングで TXD2 出力が “L” になります。ただし、パリティエラー信号出力中に U2RB レジスタを読むと、PER ビットが “0” になり、同時に TXD2 出力も “H” に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の転送クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RXD2 と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

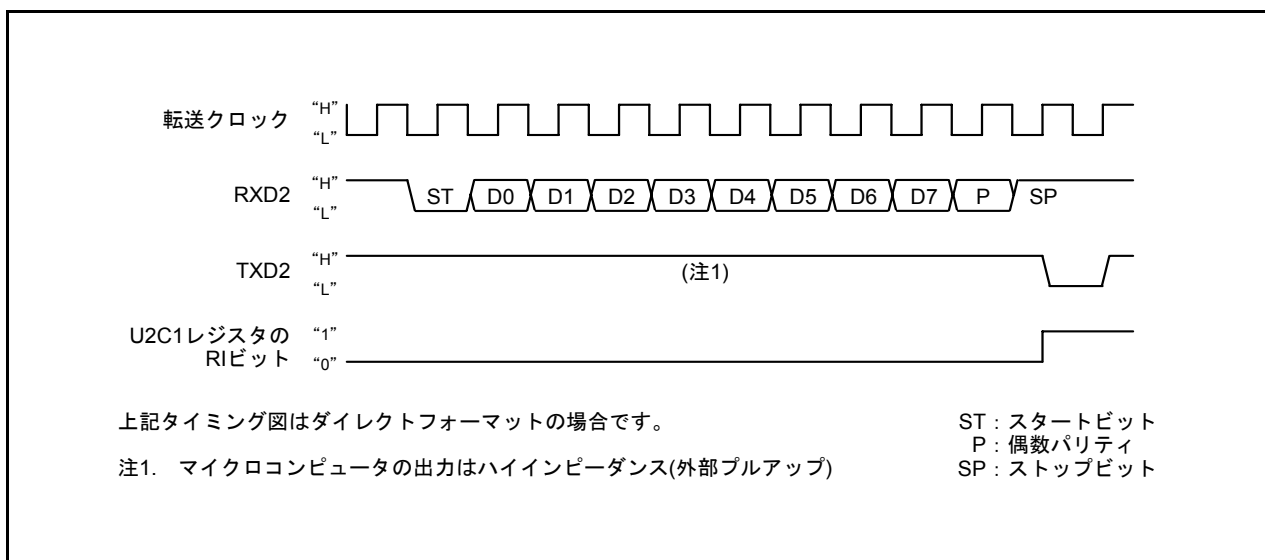


図 15.35 パリティエラー信号出力タイミング

15.1.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図 15.36 SIMインタフェースフォーマットを示します。

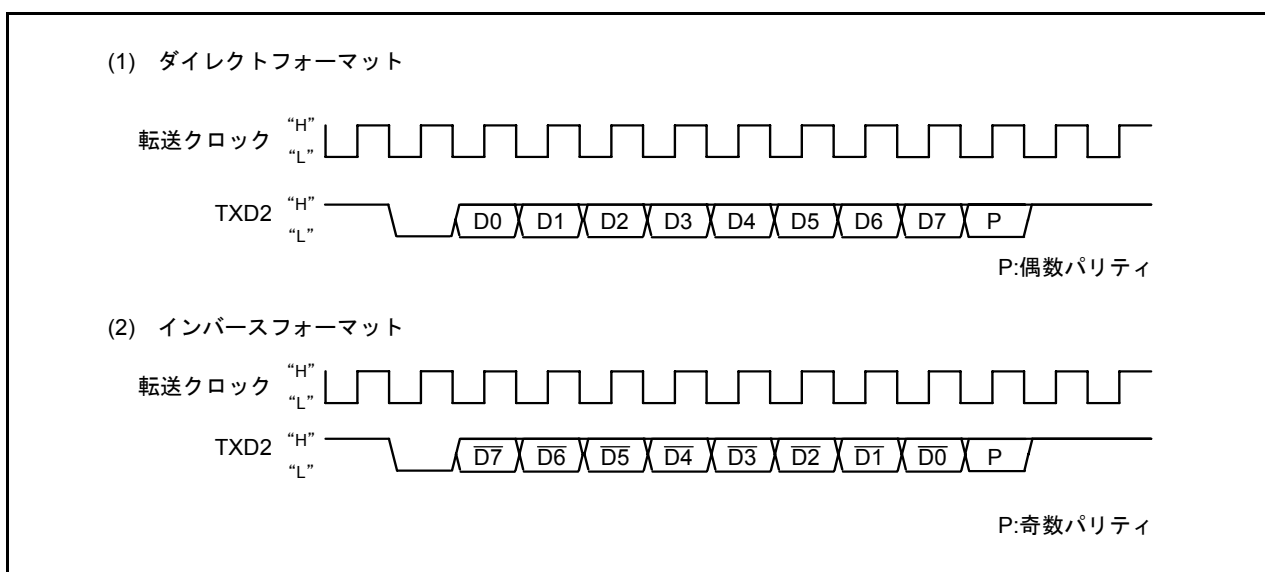


図 15.36 SIMインタフェースフォーマット

16. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P10_0～P10_7、P9_5、P9_6、P0_0～P0_7と端子を共用しています。また、ADTRG入力はP9_7と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”（入力モード）にしてください。

A/Dコンバータを使用しない場合、VCUTビットを“0”（Vref未接続）にすると、VREF端子からラダー抵抗には電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、AN_i、AN0_i(*i*=0～7)に対応したAD_iレジスタに格納されます。

表16.1 A/Dコンバータの仕様、図16.1 A/Dコンバータのブロック図、図16.2～図16.3にA/Dコンバータ関連レジスタを示します。

表 16.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC(VCC1)
動作クロックφAD(注2)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周、またはfADの12分周
分解能	8ビットまたは10ビット
積分非直線性誤差	AVCC=VREF=5V ・分解能8ビットの場合 ±2LSB ・分解能10ビット AN0～AN7、AN0_0～AN0_7、ANEX0、ANEX1入力の場合 ±5LSB ・AVCC=VREF=3.3V ・分解能8ビットの場合 ±2LSB ・分解能10ビット AN0～AN7、AN0_0～AN0_7、ANEX0、ANEX1入力の場合 ±7LSB
動作モード	単発モード、繰り返しモード
アナログ入力端子	8本(AN0～AN7) + 2本(ANEX0、ANEX1) + 8本(AN0_0～AN0_7)
A/D変換開始条件	・ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”（A/D変換開始）にする ・外部トリガ(再トリガ可能) ADSTビットを“1”（A/D変換開始）にした後、ADTRG端子の入力が“H”から“L”へ変化
変換速度	・サンプル&ホールドなし 分解能8ビットの場合49φADサイクル 分解能10ビットの場合59φADサイクル ・サンプル&ホールドあり 分解能8ビットの場合28φADサイクル 分解能10ビットの場合33φADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. φADの周波数は10MHz以下にしてください。

サンプル&ホールドなしの場合、φADの周波数は250kHz以上にしてください。

サンプル&ホールドありの場合、φADの周波数は1MHz以上にしてください。

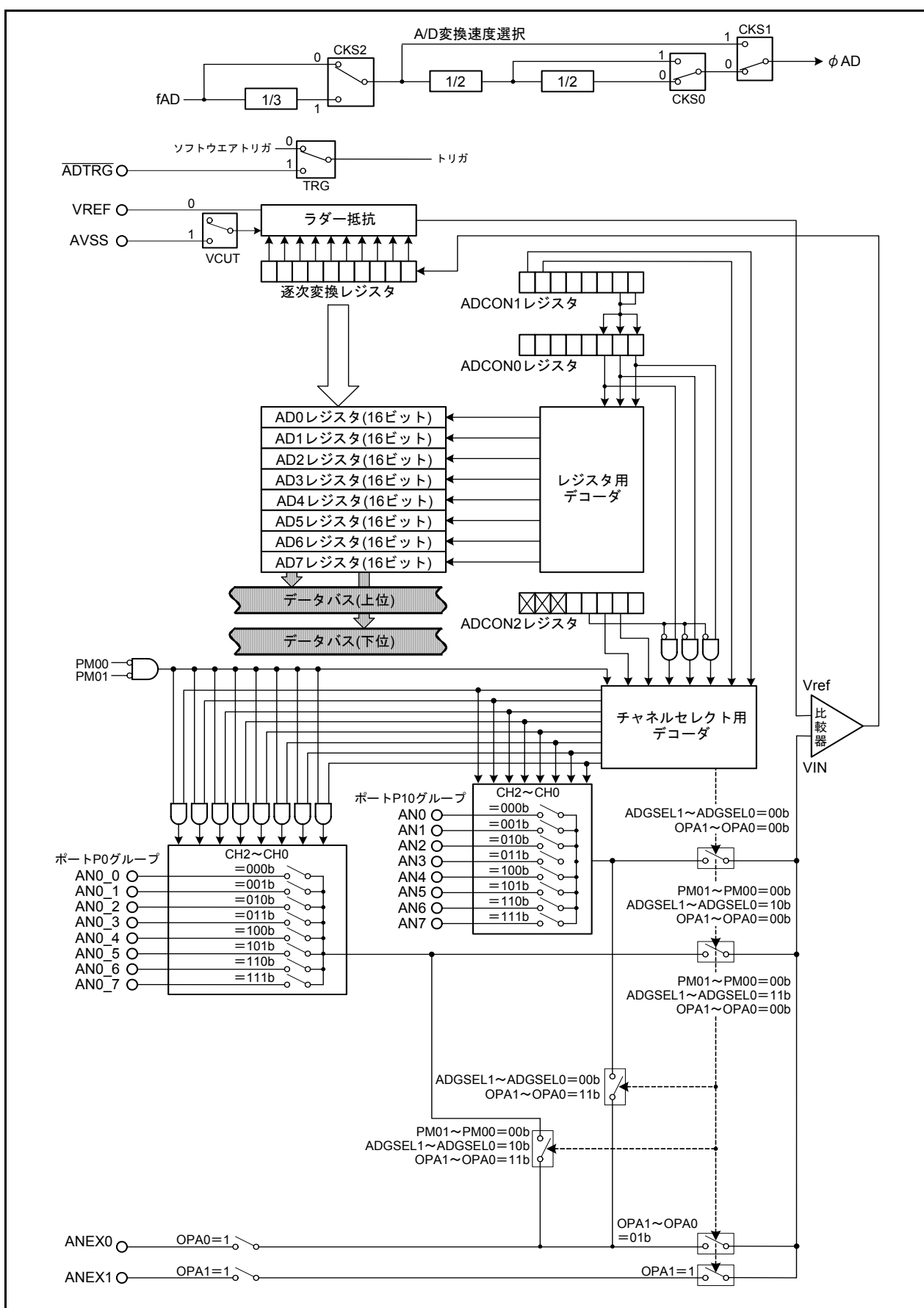


図 16.1 A/Dコンバータのブロック図

A/D制御レジスタ0 (注1)

ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN0を選択 0 0 1 : AN1を選択 0 1 0 : AN2を選択 0 1 1 : AN3を選択 1 0 0 : AN4を選択 1 0 1 : AN5を選択 1 1 0 : AN6を選択 1 1 1 : AN7を選択	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	0 : 単発モード 1 : 繰り返しモード	RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1 (注1)

ビット シンボル	ビット名	機能	RW
— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b1)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット (注2)	0 : Vref未接続 1 : Vref接続	RW
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 設定しないでください	RW
OPA1			RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図16.2 ADCON0～ADCON1 レジスタ

16.1 モードの説明

16.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表 16.2 単発モードの仕様、図 16.4 単発モード時のADCON0～ADCON1レジスタを示します。

表 16.2 単発モードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	•ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	•A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) •ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN7、AN0_0～AN0_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0							

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2. AN0～AN7と同様にAN0_0～AN0_7を使用できます。ADCON2レジスタのADGSEL1～ADGSEL0ビットで選択してください。

注3. MD0ビットを書き換えた後、別の命令でCH2～CH0ビットを再設定してください。

A/D制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0							
1		シンボル ADCON1		アドレス 03D7h番地		リセット後の値 00000XXXb	
ビット シンボル		ビット名		機能		RW	
— (b0)		何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。				—	
— (b1)		何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。				—	
— (b2)		何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。				—	
BITS		8/10ビットモード選択 ビット		0 : 8ビットモード 1 : 10ビットモード		RW	
CKS1		周波数選択ビット1		ADCON2レジスタの注2を参照してください		RW	
VCUT		Vref接続ビット(注2)		1 : Vref接続		RW	
OPA0		外部オペアンプ接続モード ビット		b7 b6 0 0 : ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 設定しないでください		RW	
OPA1						RW	

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図 16.4 単発モード時のADCON0～ADCON1レジスタ

16.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表16.3 繰り返しモードの仕様、図16.5 繰り返しモード時のADCON0～ADCON1レジスタを示します。

表 16.3 繰り返しモードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	•ADCON0レジスタのTRGビットが“0”（ソフトウェアトリガ）の場合 ADCON0レジスタのADSTビットを“1”（A/D変換開始）にする •TRGビットが“1”（ADTRGによるトリガ）の場合 ADSTビットを“1”（A/D変換開始）にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”（A/D変換停止）にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN7、AN0_0～AN0_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0 (注1)

シンボル ADCON0	アドレス 03D6h番地	リセット後の値 000X0XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN0を選択 0 0 1 : AN1を選択 0 1 0 : AN2を選択 0 1 1 : AN3を選択 1 0 0 : AN4を選択 1 0 1 : AN5を選択 1 1 0 : AN6を選択 (注2) 1 1 1 : AN7を選択 (注3)	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	1 : 繰り返しモード (注3)	RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2. AN0～AN7と同様にAN0_0～AN0_7を使用できます。ADCON2レジスタのADGSEL1～ADGSEL0ビットで選択してください。

注3. MD0ビットを書き換えた後、別の命令でCH2～CH0ビットを再設定してください。

A/D制御レジスタ1 (注1)

シンボル ADCON1	アドレス 03D7h番地	リセット後の値 00000XXXb	
ビット シンボル	ビット名	機能	RW
— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b1)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット (注2)	1 : Vref接続	RW
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 : ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 設定しないでください	RW
OPA1			RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. VCUTビットを“0”（未接続）から“1”（接続）にしたときは、1μs以上経過した後にA/D変換を開始してください。

図 16.5 繰り返しモード時のADCON0～ADCON1レジスタ

16.2 機能

16.2.1 分解能選択機能

ADCON1 レジスタのBITS ビットで分解能を選択できます。BITS ビットを“1” (変換精度を10ビット) にすると、A/D 変換結果がADi レジスタ (i=0～7) のビット0～9に格納されます。BITS ビットを“0” (変換精度を8ビット) にすると、A/D 変換結果がADi レジスタのビット0～7に格納されます。

16.2.2 サンプル&ホールド

ADCON2 レジスタのSMP ビットを“1” (サンプル&ホールドあり) にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

16.2.3 拡張アナログ入力端子

単発モード、繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。ADCON1 レジスタのOPA1～OPA0 ビットで選択してください。

ANEX0入力のA/D変換結果は、AD0レジスタに格納され、ANEX1入力のA/D変換結果は、AD1レジスタに格納されます。

16.2.4 消費電流低減機能

A/D コンバータを使用しないとき、ADCON1 レジスタのVCUT ビットにより A/D コンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF 端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/D コンバータを使用する場合は、VCUT ビットを“1” (Vref 接続) にした後で、ADCON0 レジスタのADST ビットを“1” (A/D 変換開始) にしてください。ADST ビットとVCUT ビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUT ビットを“0” (Vref未接続) にしないでください。

16.2.5 A/D変換時のセンサーの出カインピーダンス

A/D変換を正しく行うためには、図16.6の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VC \text{ は一般に } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t = T \text{ のとき、 } VC = VIN - \frac{X}{Y} \quad VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、 } R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図16.6にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(φAD)=10MHzの時、サンプル&ホールド付きA/D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます

T=0.3μs、R=7.8kΩ、C=1.5pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.3 \times 10^{-6}}{1.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} = -7.8 \times 10^3 = 13.9 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大13.9kΩになります。

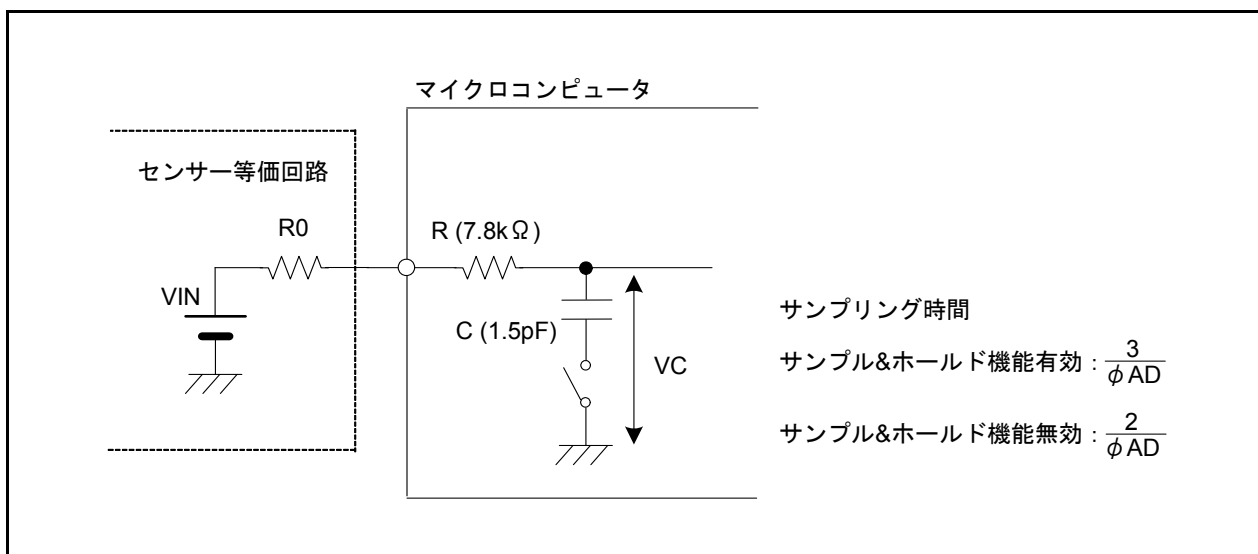


図16.6 アナログ入力端子と外部センサーの等価回路例

17. CRC 演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図17.1 CRCブロック図、図17.2にCRC関連レジスタを示します。また、図17.3 CRC演算例を示します。

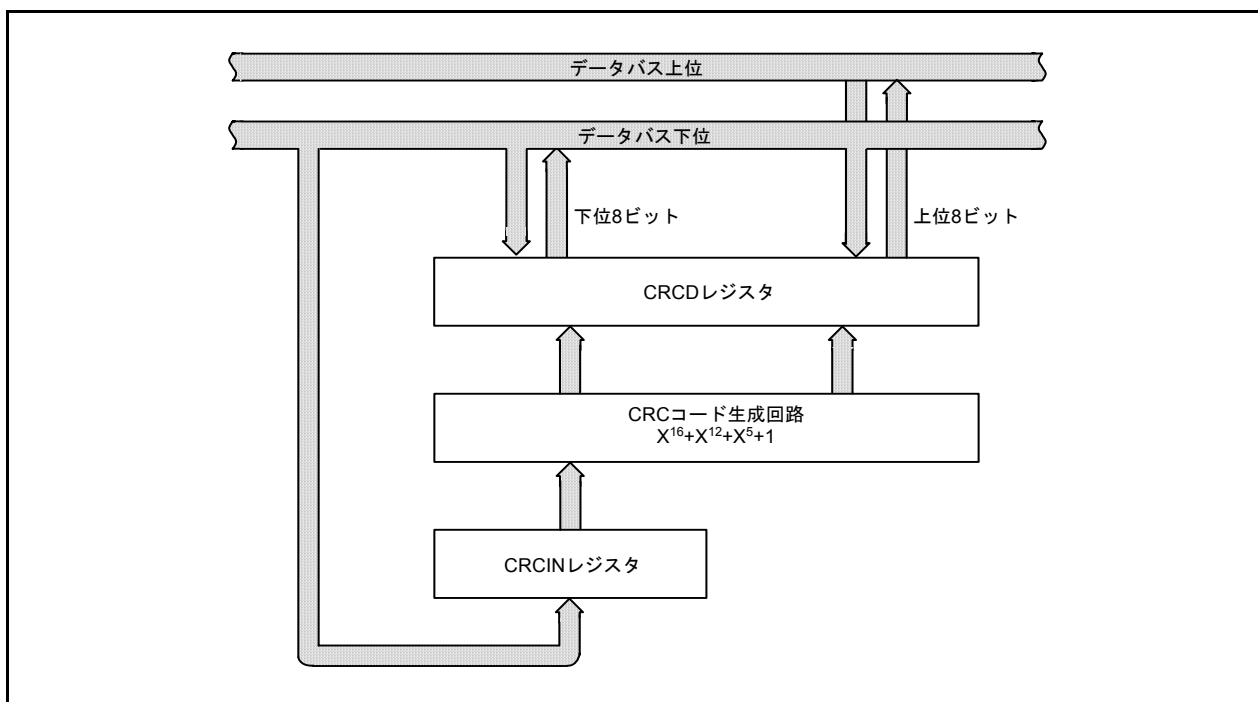


図17.1 CRCブロック図

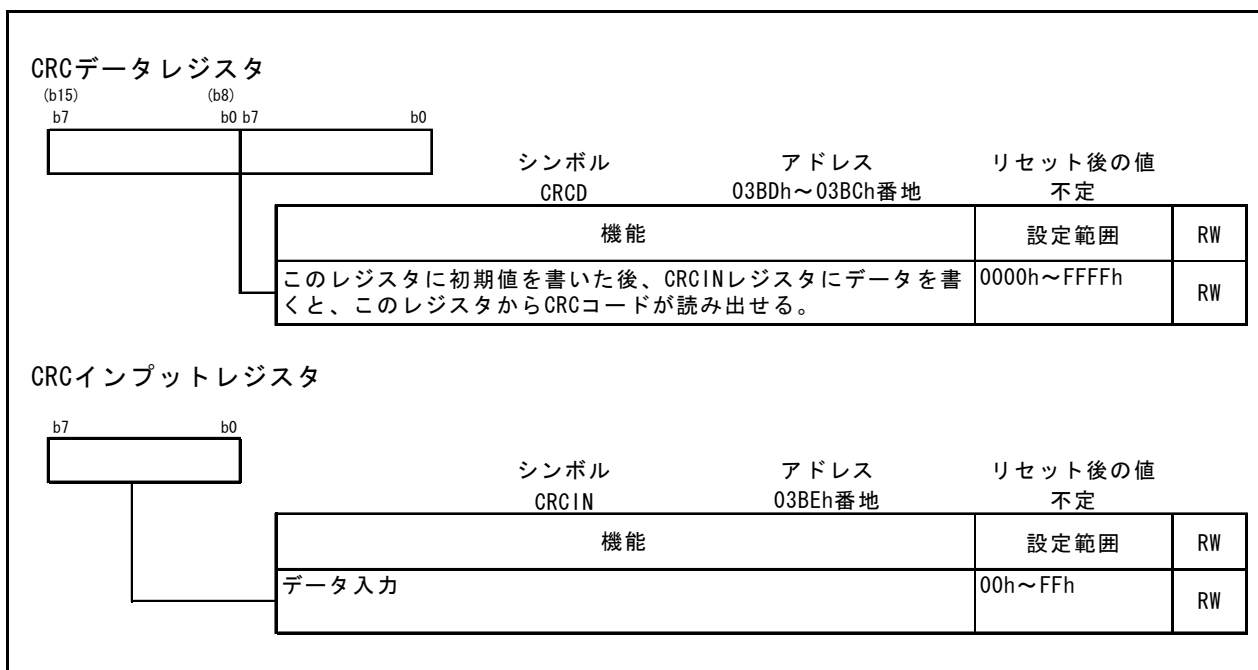


図17.2 CRCD、CRCIN レジスタ

“80C4h” のCRCコードを生成する場合の設定手順とCRC演算

・ M16CのCRC演算

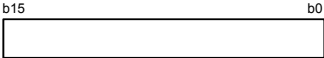
CRCコード : CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余

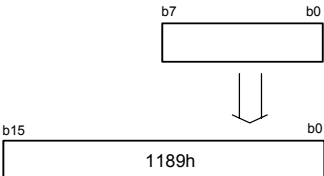
生成多項式 : $X^{16}+X^{12}+X^5+1$ (1 0001 0000 0010 0001b)

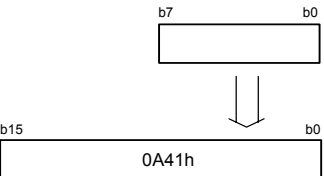
・ 設定手順

- (1) プログラムで “80C4h” のビット位置をバイト単位で反転させる

“80h” → “01h” 、 “C4h” → “23h”

- (2) 0000h(初期値)を書く →  CRCDレジスタ

- (3) 01hを書く →  CRCINレジスタ
2サイクル後、“80h” のCRCコード(9188h)のビット位置を反転した “1189h” が、CRCDレジスタに格納される
CRCDレジスタ

- (4) 23hを書く →  CRCINレジスタ
2サイクル後、“80C4h” のCRCコード(8250h)のビット位置を反転した “0A41h” が、CRCDレジスタに格納される
CRCDレジスタ

・ CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値 “01h(00000001b)” はビット位置を反転され “10000000b” になる。これに16桁追加した “1000 0000 0000 0000 0000b” と、CRCDレジスタの初期値 “0000 0000 0000 0000b” に8桁を追加した “0000 0000 0000 0000 0000b” を加算した値をモジュロ2除算する。

$$\begin{array}{r}
 \text{生成多項式} \quad 1\ 0001\ 0000\ 0010\ 0001 \quad \left| \begin{array}{r} 1000\ 0000 \\ 1000\ 0000\ 0001\ 0000\ 1 \\ 1000\ 0001\ 0000\ 1000\ 0 \\ 1000\ 1000\ 0001\ 0000\ 1 \\ 1001\ 0001\ 1000\ 1000 \end{array} \right. \begin{array}{l} \text{データ} \\ \\ \\ \\ \text{CRCコード} \end{array}
 \end{array}$$

モジュロ2の演算とは...
次の法則に基づいた演算
です。

$$\begin{array}{l}
 0 + 0 = 0 \\
 0 + 1 = 1 \\
 1 + 0 = 1 \\
 1 + 1 = 0 \\
 -1 = 1
 \end{array}$$

剰余 “1001 0001 1000 1000b(9188h)” のビット位置を反転した “0001 0001 1000 1001b(1189h)” がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値 “23h(00100011b)” はビット位置を反転され “11000100b” になる。これに16桁追加した “1100 0100 0000 0000 0000 0000b” と、CRCDレジスタに残っている(3)の剰余 “1001 0001 1000 1000b” に8桁追加した “1001 0001 1000 1000 0000 0000b” を加算した値をモジュロ2除算する。
剰余のビット位置を反転した “0000 1010 0100 0001b(0A41h)” がCRCDレジスタから読める。

図 17.3 CRC演算例

18. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0～P10(P8_5は除く)の87本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。P8_5は入力専用でプルアップ抵抗はありません。ポートP8_5はNMIと端子を共用していますので、NMI入力レベルをP8レジスタのP8_5ビットから読めます。

図18.1～図18.5に入出力ポートの構成、図18.6 端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力、またはバス制御端子として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

バス制御端子として使用する場合は、「7.2 バス制御」を参照してください。

18.1 ポートPi方向レジスタ(PDiレジスタ i=0～10)

図18.7にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A19、D0～D15、CS0～CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPDiレジスタは変更できません。

なお、P8_5に対応する方向レジスタのビットはありません。

18.2 ポートPiレジスタ(Piレジスタ i=0～10)

図18.8にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポータラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポータラッチを読み、書くとポータラッチに書きます。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A19、D0～D15、CS0～CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPiレジスタは変更できません。

18.3 プルアップ制御レジスタ0～プルアップ制御レジスタ2(PUR0～PUR2レジスタ)

図18.9にPUR0～PUR1レジスタ、図18.10にPUR2レジスタを示します。

PUR0～PUR2レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

メモリ拡張モード、マイクロプロセッサモード時は、P0～P3、P4_0～P4_3、P5はプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

18.4 ポート制御レジスタ(PCRレジスタ)

図18.11にPCRレジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポータラッチを読みます。

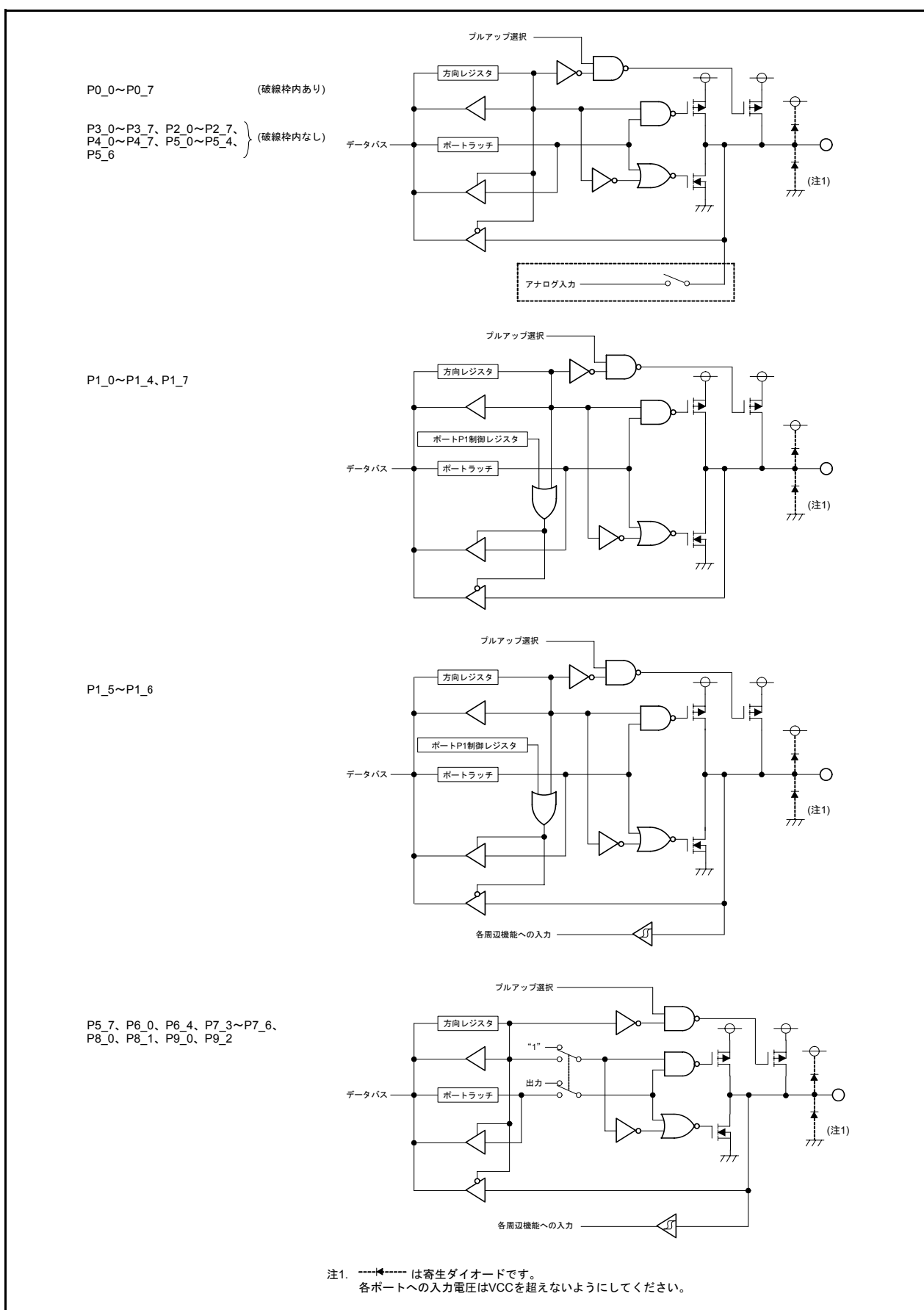


図 18.1 入出力ポートの構成 (1)

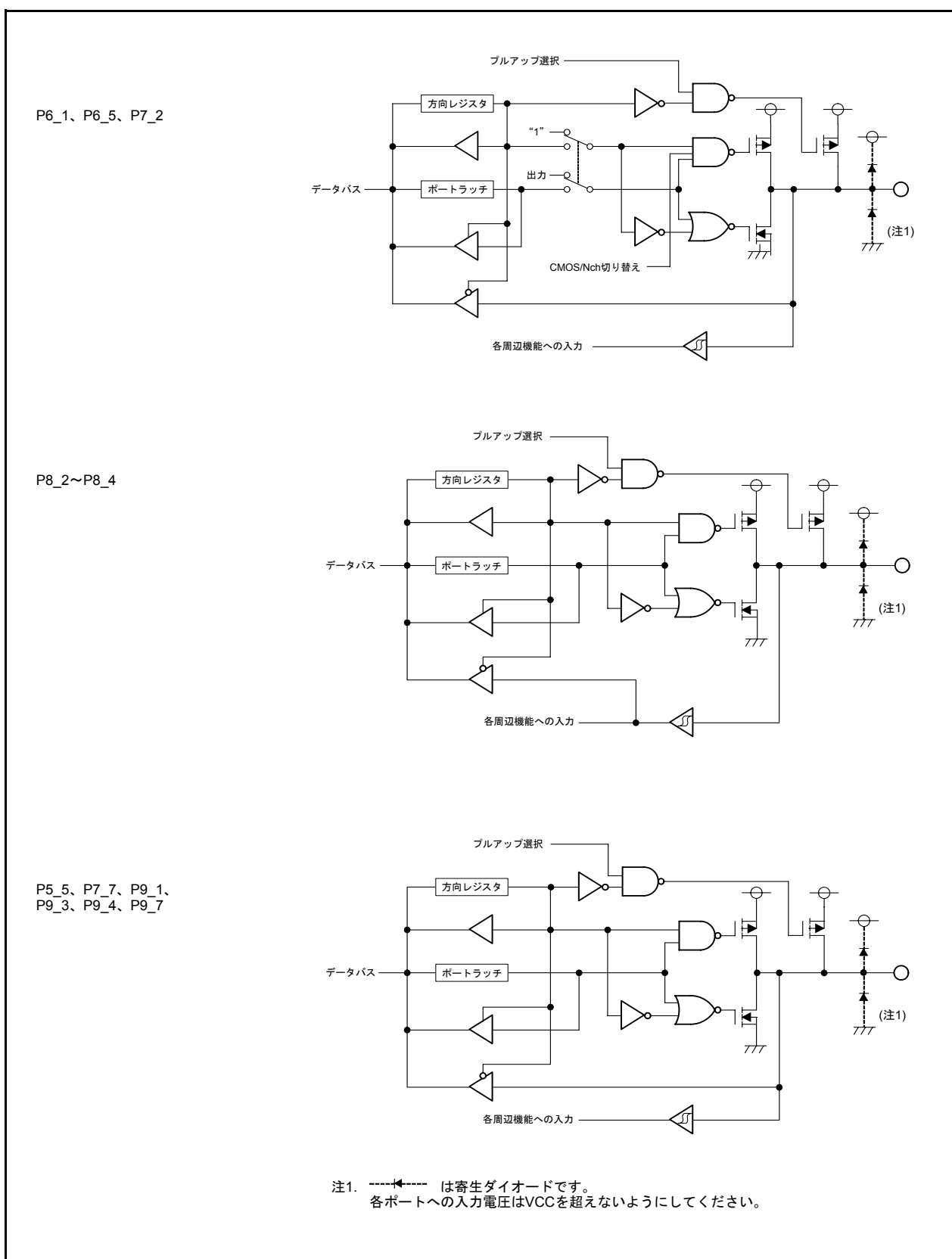


図 18.2 入出力ポートの構成(2)

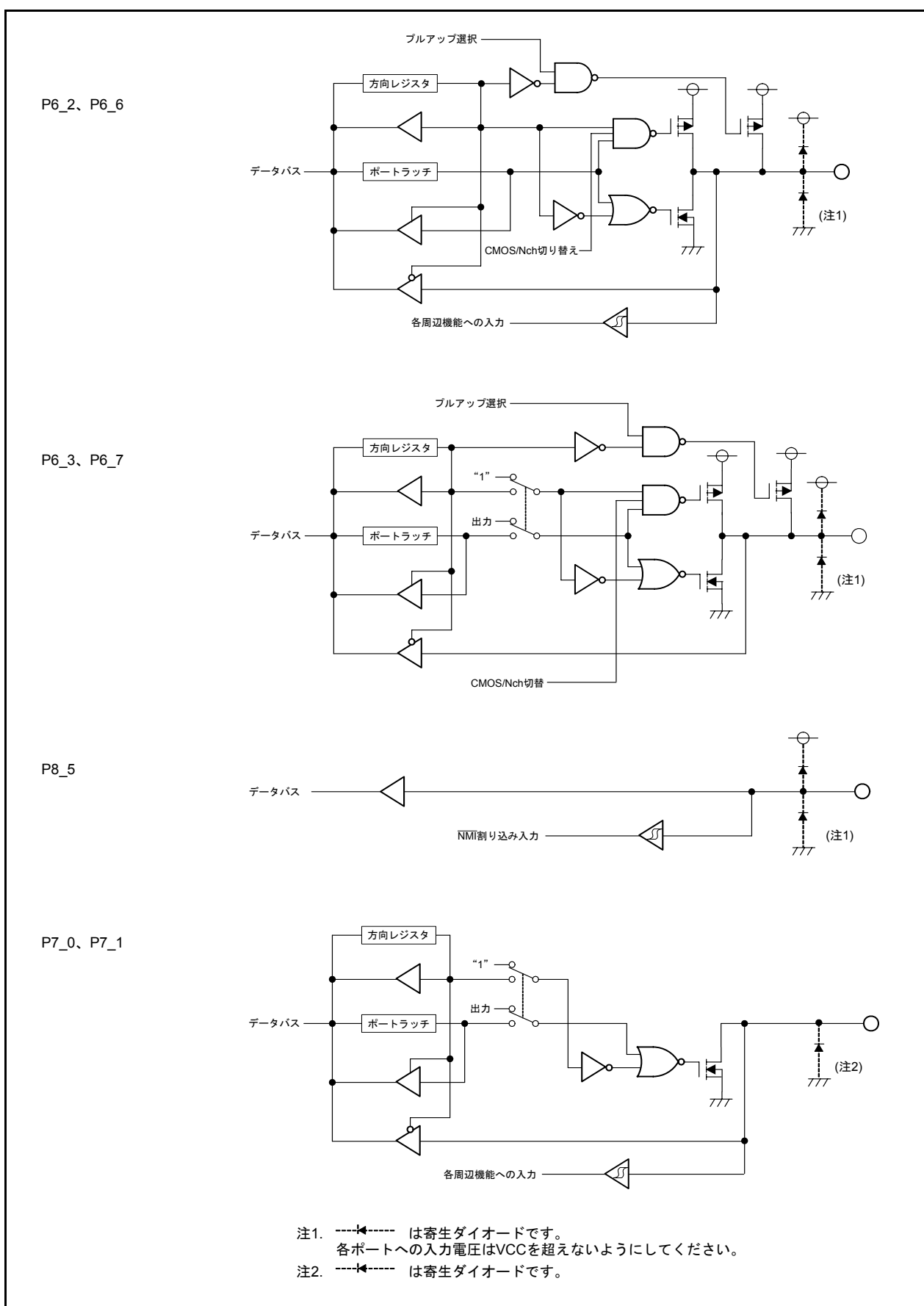


図18.3 入出力ポートの構成(3)

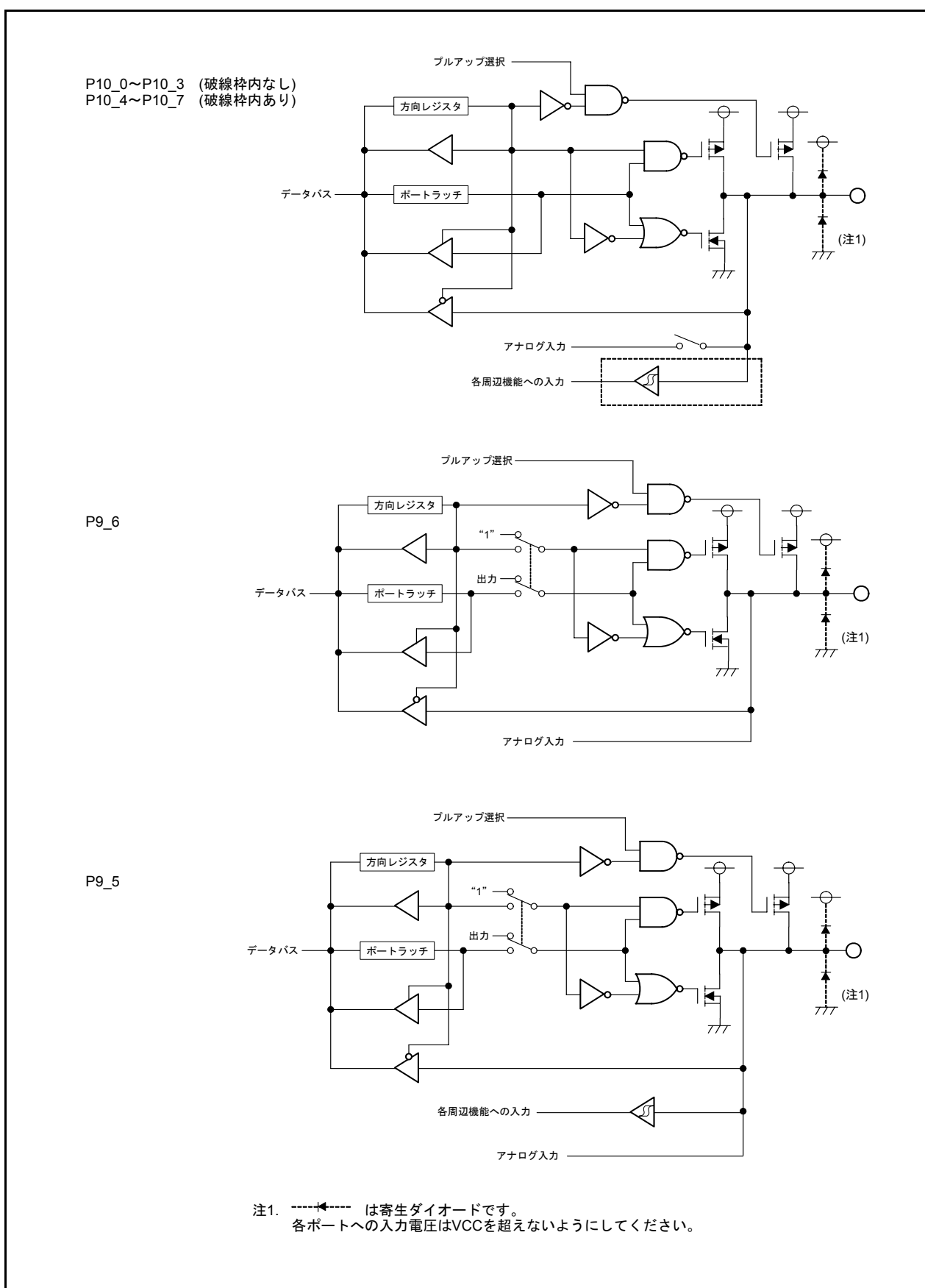


図 18.4 入出力ポートの構成 (4)

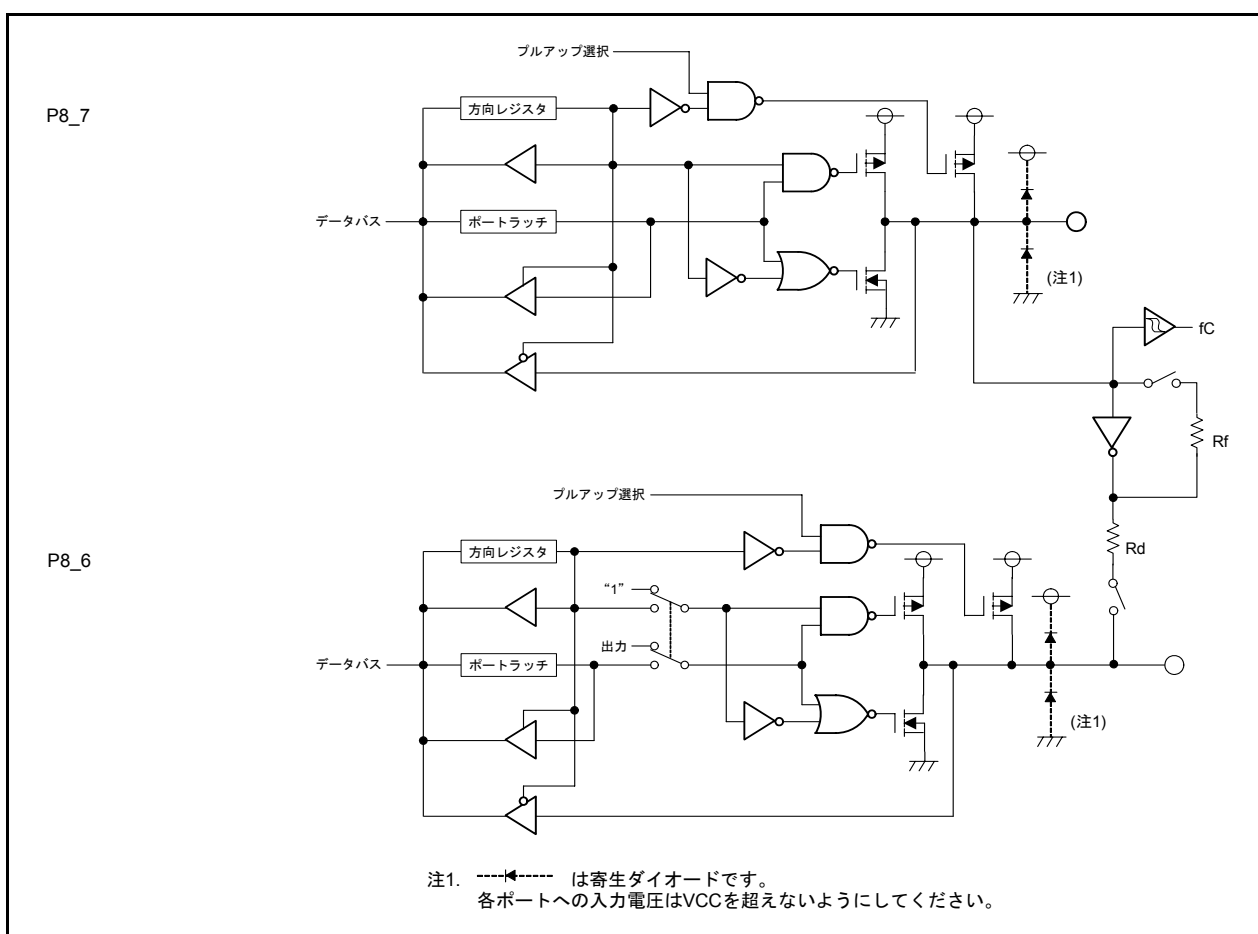


図 18.5 入出力ポートの構成(5)

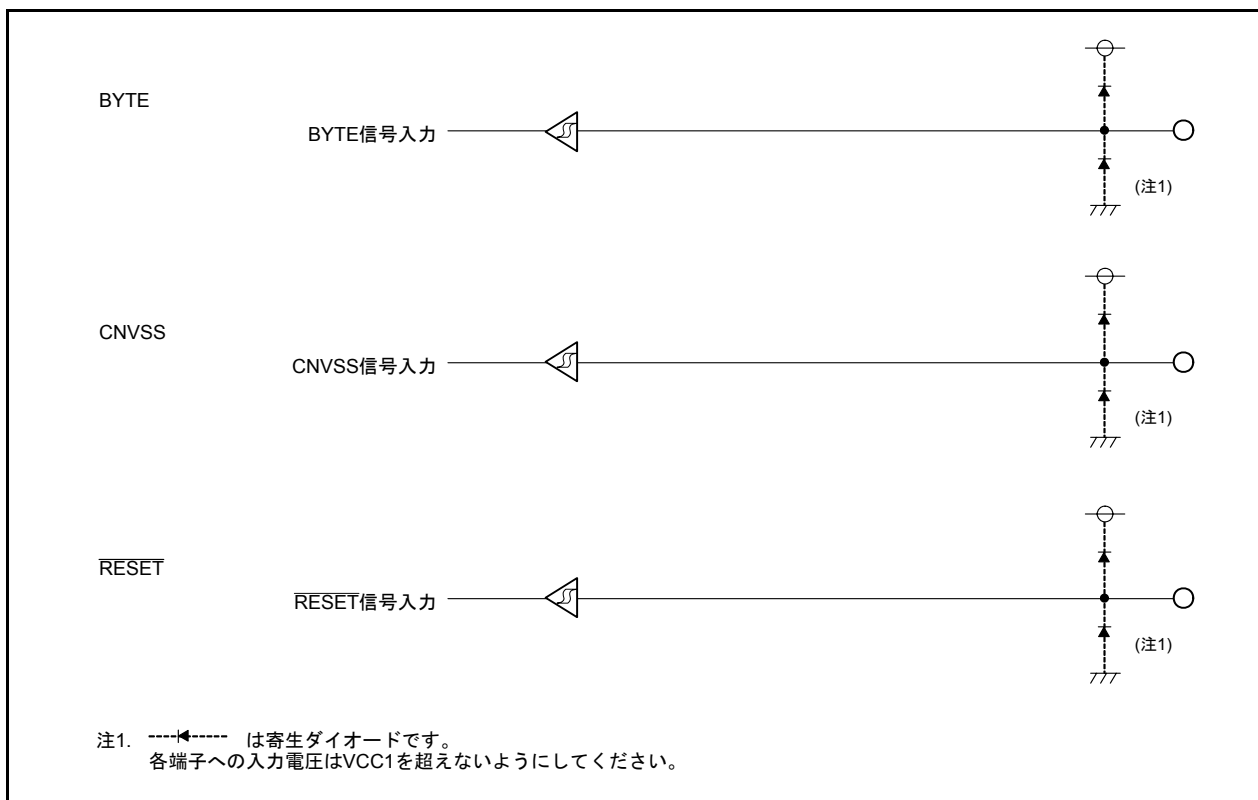


図 18.6 端子の構成

ポートPi方向レジスタ (i=0~7、9~10) (注1、注2)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	PD0~PD3	03E2h、03E3h、03E6h、03E7h番地	00h
	PD4~PD7	03EAh、03EBh、03EEh、03EFh番地	00h
	PD9~PD10	03F3h、03F6h番地	00h
ビット シンボル	ビット名	機能	RW
PDi_0	ポートPi_0方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能) (i=0~7、9~10)	RW
PDi_1	ポートPi_1方向ビット		RW
PDi_2	ポートPi_2方向ビット		RW
PDi_3	ポートPi_3方向ビット		RW
PDi_4	ポートPi_4方向ビット		RW
PDi_5	ポートPi_5方向ビット		RW
PDi_6	ポートPi_6方向ビット		RW
PDi_7	ポートPi_7方向ビット		RW

- 注1. PD9レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書いてください。
 注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子 (A0~A19、D0~D15、CS0~CS3、RD、WRL / WR、WRH / BHE、ALE、RDY、HOLD、HLDA、BCLK) になっている端子のPDiレジスタは変更できません。

ポートP8方向レジスタ

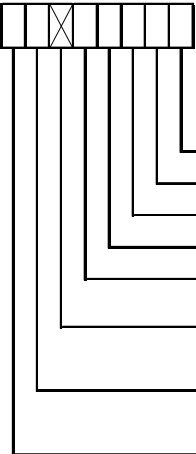
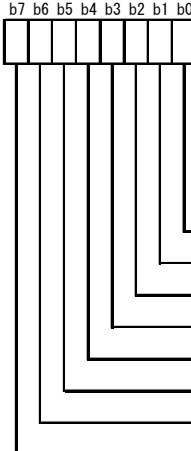
b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値
		PD8	03F2h番地	00X00000b
ビット シンボル	ビット名	機能	RW	
PD8_0	ポートP8_0方向ビット	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	RW	
PD8_1	ポートP8_1方向ビット		RW	
PD8_2	ポートP8_2方向ビット		RW	
PD8_3	ポートP8_3方向ビット		RW	
PD8_4	ポートP8_4方向ビット		RW	
— (b5)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—	
PD8_6	ポートP8_6方向ビット	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	RW	
PD8_7	ポートP8_7方向ビット		RW	

図 18.7 PD0~PD10 レジスタ

ポートPiレジスタ (i=0~7、9~10) (注2)

							
シンボル		アドレス		リセット後の値			
P0～P3		03E0h、03E1h、03E4h、03E5h番地		不定			
P4～P7		03E8h、03E9h、03ECh、03EDh番地		不定			
P9～P10		03F1h、03F4h番地		不定			
ビット シンボル	ビット名		機能			RW	
Pi_0	ポートPi_0ビット		入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。			RW	
Pi_1	ポートPi_1ビット					RW	
Pi_2	ポートPi_2ビット		出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる			RW	
Pi_3	ポートPi_3ビット					RW	
Pi_4	ポートPi_4ビット		0: “L” レベル 1: “H” レベル (注1)			RW	
Pi_5	ポートPi_5ビット					RW	
Pi_6	ポートPi_6ビット		(i=0～7、9～10)			RW	
Pi_7	ポートPi_7ビット					RW	

注1. P7_0、P7_1はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。

注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子 (A0~A19、D0~D15、CS0~CS3、RD、WRL / WR、WRH / BHE、ALE、RDY、HOLD、HLDA、BCLK) になっている端子のPiレジスタは変更できません。

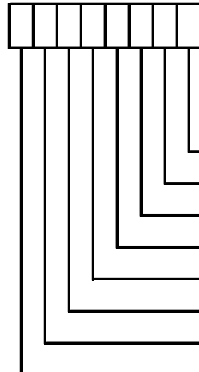
ポートP8レジスタ

b7b6b5b4b3b2b1b0								シンボル	アドレス	リセット後の値	
								P8	03F0h番地	不定	
								ビットシンボル	ビット名	機能	RW
								P8_0	ポートP8_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。	RW
								P8_1	ポートP8_1ビット		RW
								P8_2	ポートP8_2ビット	出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる (P8_5は除く)	RW
								P8_3	ポートP8_3ビット		RW
								P8_4	ポートP8_4ビット	0: “L” レベル 1: “H” レベル	RW
								P8_5	ポートP8_5ビット		RO
								P8_6	ポートP8_6ビット		RW
								P8_7	ポートP8_7ビット		RW

図 18.8 P0~P10 レジスタ

プルアップ制御レジスタ0(注2)

b7 b6 b5 b4 b3 b2 b1 b0



シンボル

PUR0

アドレス

03FCh番地

リセット後の値

00h

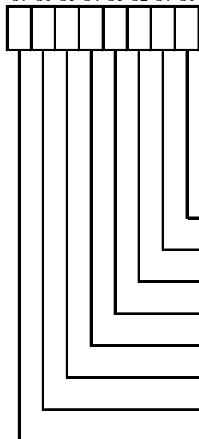
ビット シンボル	ビット名	機能	RW
PU00	P0_0~P0_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	RW
PU01	P0_4~P0_7のプルアップ		RW
PU02	P1_0~P1_3のプルアップ		RW
PU03	P1_4~P1_7のプルアップ		RW
PU04	P2_0~P2_3のプルアップ		RW
PU05	P2_4~P2_7のプルアップ		RW
PU06	P3_0~P3_3のプルアップ		RW
PU07	P3_4~P3_7のプルアップ		RW

注1. このビットが“1”（プルアップあり）でかつ方向ビットが“0”（入力モード）の端子がプルアップされます。

注2. メモリ拡張モード時またはマイクロプロセッサモード時、レジスタの内容は変更できますが、プルアップされません。

プルアップ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



シンボル

PUR1

アドレス

03FDh番地

リセット後の値(注5)

00000000b

00000010b

ビット シンボル	ビット名	機能	RW
PU10	P4_0~P4_3のプルアップ(注3)	0 : プルアップなし 1 : プルアップあり(注2)	RW
PU11	P4_4~P4_7のプルアップ(注4)		RW
PU12	P5_0~P5_3のプルアップ(注3)		RW
PU13	P5_4~P5_7のプルアップ(注3)		RW
PU14	P6_0~P6_3のプルアップ		RW
PU15	P6_4~P6_7のプルアップ		RW
PU16	P7_2~P7_3のプルアップ(注1)		RW
PU17	P7_4~P7_7のプルアップ		RW

注1. P7_0、P7_1端子には、プルアップはありません。

注2. このビットが“1”（プルアップあり）でかつ方向ビットが“0”（入力モード）の端子がプルアップされます。

注3. メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更できますが、プルアップされません。

注4. シングルチップモード時、プログラムでPM01~PM00ビットを“01b”（メモリ拡張モード）または“11b”（マイクロプロセッサモード）にすると、PU11ビットが“1”になります。

注5. ハードウェアリセットでは次のようになります。

- ・ CNVSS端子に“L”を入力している場合、“00000000b”
- ・ CNVSS端子に“H”を入力している場合、“00000010b”

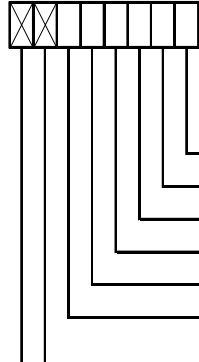
ソフトウェアリセットでは次のようになります。

- ・ PM0レジスタのPM01~PM00ビットが“00b”（シングルチップモード）の場合、“00000000b”
- ・ PM0レジスタのPM01~PM00ビットが“01b”（メモリ拡張モード）または“11b”（マイクロプロセッサモード）の場合、“00000010b”

図18.9 PUR0~PUR1 レジスタ

プルアップ制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
PUR2アドレス
03FEh番地リセット後の値
00h

ビット シンボル	ビット名	機能	RW
PU20	P8_0～P8_3のプルアップ	0：プルアップなし 1：プルアップあり(注1)	RW
PU21	P8_4～P8_7のプルアップ(注2)		RW
PU22	P9_0～P9_3のプルアップ		RW
PU23	P9_4～P9_7のプルアップ		RW
PU24	P10_0～P10_3のプルアップ		RW
PU25	P10_4～P10_7のプルアップ		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. このビットが“1”（プルアップあり）でかつ方向ビットが“0”（入力モード）の端子がプルアップされます。

注2. P8_5端子は、プルアップはありません。

図 18.10 PUR2 レジスタ

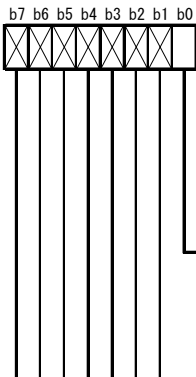
ポート制御レジスタ			
			
シンボル PCR	アドレス 03FFh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の入力レベルを読む 出力ポートのとき、ポータラッチを読む 1: 入力ポート、出力ポートにかかわらず、ポータラッチを読む	RW
— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

図 18.11 PCRレジスタ

表 18.1 シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポート P0～P7、P8_0～P8_4、 P8_6～P8_7、P9～P10	入力モードに設定し、端子ごとに抵抗を介して VSS に接続 (プルダウン) するか、または出力モードに設定し、端子を開放 (注 1、2、3)
XOUT (注 4)	開放
NMI (P8_5)	抵抗を介して VCC に接続 (プルアップ)
AVCC	VCC に接続
AVSS、VREF、BYTE	VSS に接続

注 1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注 2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線 (2cm 以内) で処理してください。

注 3. ポート P7_0、P7_1 を出力モードに設定する場合は “L” を出力してください。

ポート P7_0、P7_1 は N チャネルオープンドレイン出力です。

注 4. XIN 端子に外部クロックを入力している場合。

表 18.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポート P0～P7、P8_0～P8_4、 P8_6～P8_7、P9～P10	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1、2、3、4)
P4_4/CS0～P4_7/CS3	PD4レジスタのCSi(i=0～3)に対応する方向ビットを“0”(入力モード)、CSRレジスタのCSiビットを“0”(チップセレクト禁止)にし、抵抗を介してVCCに接続(プルアップ)
BHE、ALE、HLDA、 XOUT(注5)、BCLK(注6)	開放
HOLD、RDY	抵抗を介してVCCに接続(プルアップ)
NMI(P8_5)	抵抗を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS、VREF	VSSに接続

注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. CNVSS端子にVSSレベルを印加している場合、リセットからプログラムによってプロセッサモードを切り替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。

注4. ポートP7_0、P7_1を出力モードに設定する場合は“L”を出力してください。

ポートP7_0、P7_1はNチャネルオープンドレイン出力です。

注5. XIN端子に外部クロックを入力している場合。

注6. PM0レジスタのPM07ビットを“1”(BCLK出力しない)にした場合、抵抗を介してVCCに接続(プルアップ)してください。

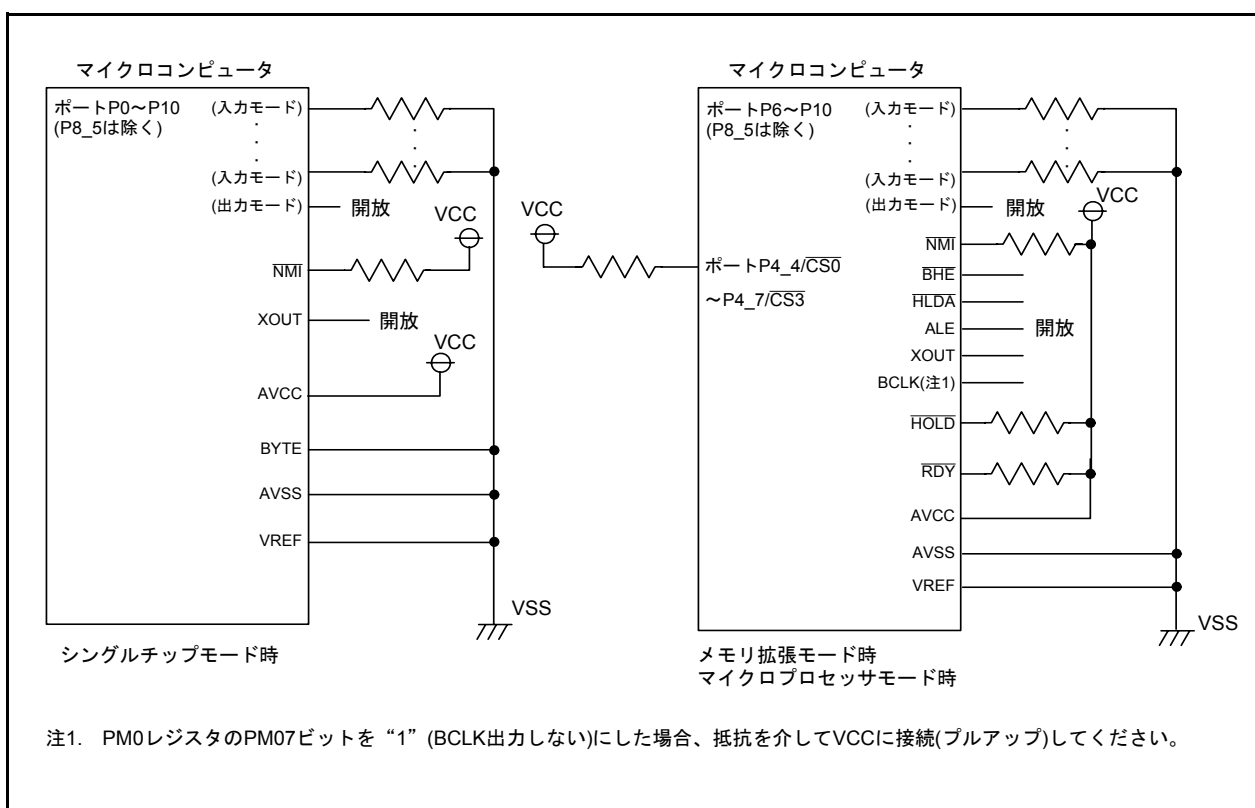


図 18.12 未使用端子の処理例

19. フラッシュメモリ版

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表 19.1 フラッシュメモリ版の性能概要を示します(表 19.1 に示す以外の項目は「表 1.1 性能概要」を参照してください)。

表 19.1 フラッシュメモリ版の性能概要

項目		性能
フラッシュメモリの書き換えモード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割	ユーザROM領域	「図 19.1 フラッシュメモリのブロック図」を参照してください。
	ブートROM領域	1分割(4Kバイト)(注1)
プログラム方式		ワード単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム、イレーズ回数		100回(注2)
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード、標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ書き換えられます。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

例えば、4KバイトのブロックAについて、1ワードの書き込みを2,048回に分けて書き込みを行った後、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。

プログラム、イレーズ回数が100回の場合、ブロックごとに100回ずつイレーズすることができます。

表 19.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能(注1) EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O	専用パラレルライタを使用して、ブートROM領域、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域
動作モード	シングルチップモード メモリ拡張モード(EW0モード) ブートモード(EW0モード)	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ

注1. CPU書き換えモードはPM1レジスタのPM10ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAMまたはPM10ビットが“1”の場合に使用できる外部領域で実行してください。

19.1 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域に分けられます。図19.1 フラッシュメモリのブロック図を示します。ユーザROM領域には、シングルチップモード、またはメモリ拡張モード時のマイコン動作プログラムを格納する領域とは別に、4KバイトのブロックAがあります。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。ブロックAは、PM1レジスタのPM10ビットを“1”(ブロックA有効、CS2領域は10000h～26FFFh)にすると使用できます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モードでだけ書き換えられます。また、CNVSS端子とP5_0端子に“H”を、P5_5端子に“L”を入力してハードウェアリセットすると、リセット後、ブートROM領域のプログラムが実行されます。CNVSS端子に“L”を入力してハードウェアリセットするとリセット後、ユーザROM領域のプログラムが実行され、ブートROM領域は読めません。

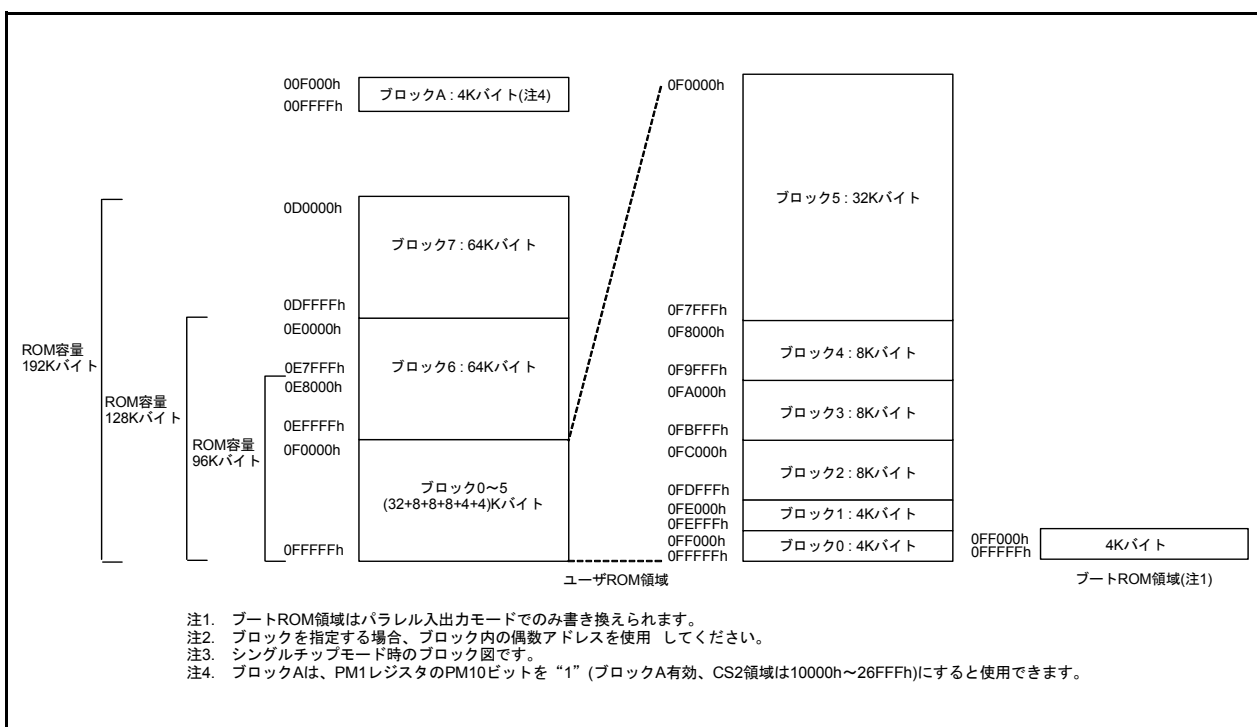


図19.1 フラッシュメモリのブロック図

19.1.1 ブートモード

P5_5端子に“L”、CNVSS端子に“H”、P5_0端子に“H”を入力してハードウェアリセットすると、ブートモードになり、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR0レジスタのFMR05ビットで切り替えられます。

ブートROM領域には、出荷時、標準シリアル入出力モードの書き換え制御プログラムが格納されています。

また、ブートROM領域はパラレル入出力モードで書き換えられます。EW0モードを使用した任意の書き換え制御プログラムをブートROM領域に書いておくと、システムに合わせた書き換えができます。

19.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込みを禁止するため、パラレル入出力モードにはROMコードプロテクト機能、標準シリアル入出力モードにはIDコードチェック機能があります。

19.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。図19.2 ROMCP番地を示します。ROMCP番地は、ユーザROM領域に存在します。

ROMCP1ビットを“11b”以外にすると、ROMコードプロテクトが有効になります。その場合、ビット5～ビット0は“111111b”にしてください。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでROMCP番地を含むブロックを消去してください。

19.2.2 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライタから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDfH、0FFFE3h、0FFFEbH、0FFFEfH、0FFFF3h、0FFFF7h、0FFFFbH番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。図 19.3 IDコードの格納番地を示します。

なお、IDコードがASCIIコードの“A”、“L”、“e”、“R”、“A”、“S”、“E”になる組み合わせは、強制イレーズ機能で使用する予約語です。表 19.3 IDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表 19.3 と一致する場合が予約語です。強制イレーズ機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表 19.3 IDコードの予約語

IDコード格納番地		IDコード
		16進コード (ASCIIコード)
FFFDfH	ID1	41h (A)
FFFE3h	ID2	4Ch (L)
FFFEbH	ID3	65h (e)
FFFEfH	ID4	52h (R)
FFFF3h	ID5	41h (A)
FFFF7h	ID6	53h (S)
FFFFbH	ID7	45h (E)

IDコード格納番地のアドレスとデータがすべて表 19.3 と一致する場合が予約語です。

19.2.3 強制イレーズ機能

標準シリアル入出力モードで使用します。シリアルライタから送られてくるIDコードが、ASCIIコードの“A”、“L”、“e”、“R”、“A”、“S”、“E”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外（「表 19.3 IDコードの予約語」以外）、かつROMCP番地のROMCP1ビットが“11b”以外(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表 19.4 強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表 19.4 強制イレーズ機能の条件と動作

条件			動作
シリアルライタから送られてくるIDコード	IDコード格納番地のIDコード	ROMCP番地のROMCP1ビット	
ALeRASE	ALeRASE	—	ユーザROM領域をすべて消去 (強制イレーズ機能)
	ALeRASE 以外	11b(ROMコードプロテクト無効)	
		11b以外(ROMコードプロテクト有効)	IDコードの判定(IDコードチェック機能)
ALeRASE 以外	ALeRASE	—	IDコードの判定(IDコードチェック機能。 IDコード不一致になる)
	ALeRASE 以外	—	IDコードの判定(IDコードチェック機能)

ROMコードプロテクト制御番地(注5)

b7b6b5b4b3b2b1b0 シンボル ROMCP アドレス 0FFFFFFh番地 出荷時の値 FFh(注4)							
ビット シンボル	ビット名		機能	RW			
— (b5-b0)	予約ビット		“1” にしてください	RW			
ROMCP1	ROMコードプロテクトレベル1設定 ビット (注1、2、3、4)		b7b6 0 0 :0 1 :1 0 :1 1 : } プロテクト有効 プロテクト無効	RW			

- 注1. ROMCP1ビットを“11b”以外(ROMコードプロテクトを有効)にすると、パラレル入出力モードでのフラッシュメモリの読み出しや書き換えが禁止されます。
- 注2. ROMCP1ビットを“11b”以外にする場合、ビット5～ビット0は“11111b”にしてください。
ビット5～ビット0を“11111b”以外にすると、ROMCP1を“11b”以外にしても、ROMコードプロテクトは有効にならない場合があります。
- 注3. ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードで、ROMCP番地を含むブロックを消去してください。
- 注4. ROMCP番地を含むブロックを消去すると、ROMCP番地は“FFh”になります。
- 注5. ROMCP番地の値が“00h”または“FFh”の場合、ROMコードプロテクト機能はプロテクト無効になります。

図 19.2 ROMCP番地

アドレス		
0FFFDfFh～0FFFDCh	ID1	未定義命令ベクタ
0FFFE3h～0FFFE0h	ID2	オーバフローベクタ
0FFFE7h～0FFFE4h		BRK命令ベクタ
0FFFEbFh～0FFFE8h	ID3	アドレス一致ベクタ
0FFFEfFh～0FFFECh	ID4	シングルステップベクタ
0FFFF3h～0FFFF0h	ID5	ウォッチドッグタイマベクタ
0FFFF7h～0FFFF4h	ID6	DBCベクタ
0FFFFbFh～0FFFF8h	ID7	NMIベクタ
0FFFFfFh～0FFFFCh	ROMCP	リセットベクタ
4バイト		

図 19.3 IDコードの格納番地

19.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。

CPU書き換えモードでは、図19.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1)モードがあります。表19.5 EW0モードとEW1モードの違いを示します。

表 19.5 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	・シングルチップモード ・メモリ拡張モード ・ブートモード	シングルチップモード
書き換え制御プログラムを配置できる領域	・ユーザROM領域 ・ブートROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり(注2)	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み(NMIを除く)、DMA転送が起こらないようにしてください。

注2. CPU書き換えモードはPM1レジスタのPM10ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAMまたはPM10ビットが“1”の場合に使用できる外部領域で実行してください。

19.3.1 EW0モード

FMR0 レジスタのFMR01 ビットを“1” (CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR1 レジスタのFMR11 ビットが“0”の場合、EW0モードになります。FMR01 ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0 レジスタまたはステータスレジスタで確認できます。

19.3.2 EW1モード

FMR01 ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11 ビットを“1”にする(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0 レジスタで確認できます。EW1モードでは、ステータスレジスタを読めません。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

19.3.3 フラッシュメモリ制御レジスタ (FMR0、FMR1 レジスタ)

図19.4 FMR0 レジスタ、図19.5 FMR1 レジスタを示します。

フラッシュメモリ制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0 0								シンボル FMR0	アドレス 01B7h番地	リセット後の値 00000001b
ビット シンボル	ビット名								機能	RW
FMR00	RY/ $\overline{\text{BY}}$ ステータスフラグ								0 : ビジー(書き込み、消去実行中)(注6) 1 : レディ	RO
FMR01	CPU書き換えモード選択 ビット(注1)								0 : CPU書き換えモード無効 1 : CPU書き換えモード有効	RW
FMR02	ロックビット無効選択 ビット(注2)								0 : ロックビット有効 1 : ロックビット無効	RW
FMSTP	フラッシュメモリ停止 ビット(注3、5)								0 : フラッシュメモリ動作 1 : フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ 初期化)	RW
— (b4)	予約ビット								“0” にしてください	RW
FMR05	ユーザROM領域選択ビット (注3) (ブートモード時のみ有効)								0 : ブートROM領域アクセス 1 : ユーザROM領域アクセス	RW
FMR06	プログラムステータス フラグ(注4)								0 : 正常終了 1 : エラー終了	RO
FMR07	イレーズステータス フラグ(注4)								0 : 正常終了 1 : エラー終了	RO

- 注1. “1” にするときは、“0” を書いた後、続けて “1” を書いてください。“0” を書いた後、“1” を書くまでに割り込み、DMA転送が入らないようにしてください。
このビットは、 $\overline{\text{NM}}\overline{\text{I}}$ 端子が “H” の状態で書いてください。また、EWOモード時はフラッシュメモリ以外の領域のプログラムで書いてください。
このビットはリードアレイモードにしてから “0” にしてください。
- 注2. “1” にするときは、FMR01ビットが “1” の状態で、このビットに “0” を書いた後、続けて “1” を書いてください。“0” を書いた後、“1” を書くまでに割り込み、DMA転送が入らないようにしてください。
このビットは、 $\overline{\text{NM}}\overline{\text{I}}$ 端子が “H” の状態で書いてください。
- 注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。
- 注4. クリアステータスコマンドを実行すると “0” になります。
- 注5. FMR01ビットが “1” (CPU書き換えモード) のとき有効です。FMR01ビットが “0” のとき、FMSTPビットに “1” を書くとFMSTPビットは “1” になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

図 19.4 FMR0 レジスタ

フラッシュメモリ制御レジスタ1

ビット シンボル	ビット名	機能	RW
— (b0)	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット(注1)	0 : EW0モード 1 : EW1モード	RW
— (b3-b2)	予約ビット	読んだ場合、不定	RO
— (b5-b4)	予約ビット	“0” にしてください	RW
FMR16	ロックビットステータス フラグ	0 : ロック 1 : 非ロック	RO
— (b7)	予約ビット	“0” にしてください	RW

注1. “1” にするときは、FMR01ビットが“1”の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。このビットは、NMI端子が“H”の状態を書いてください。
FMR01ビットを“0”にすると、FMR01ビットとFMR11ビットは、いずれも“0”になります。

図 19.5 FMR1 レジスタ

19.3.3.1 FMR00 ビット

フラッシュメモリの動作状況を示すビットです。プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータスコマンド実行中には“0”、それ以外のときは“1”になります。

19.3.3.2 FMR01 ビット

FMR01 ビットを“1” (CPU 書き換えモード) にすると、コマンドの受け付けが可能になります。
なお、ブートモード時は FMR05 ビットも“1” (ユーザ ROM 領域アクセス) にしてください。

19.3.3.3 FMR02 ビット

FMR02 ビットを“1” (ロックビット無効) にすると、ロックビットを無効にできます (「19.3.6 データ保護機能」参照)。“0” にすると、ロックビットが有効になります。

FMR02 ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02 ビットを“1” にした状態でイレーズを実行した場合には、“0” (ロック状態) であったロックビットデータは、消去終了後“1” (非ロック状態) になります。

19.3.3.4 FMSTP ビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTP ビットを“1” (フラッシュメモリ停止) にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTP ビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTP ビットを“1” にしてください。

- EW0 モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった (FMR00 ビットが“1” (レディ) に戻らなくなった) 場合
- 低消費電力モードにする場合

FMSTP ビットは次の手順で書き換えてください。

フラッシュメモリを停止させるとき

- (1) FMSTP ビットを“1” にする
- (2) フラッシュメモリ回路安定待ち時間 (tps) 待つ

フラッシュメモリを再び動作させるとき

- (1) FMSTP ビットを“0” にする
- (2) フラッシュメモリ回路安定待ち時間 (tps) 待つ

図 19.8 に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。

なお、ストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要がありません。

19.3.3.5 FMR05 ビット

ブートモード時、ブート ROM 領域とユーザ ROM 領域を切り替えるビットです。ブート ROM 領域にアクセス (読み出し) するときは“0” に、ユーザ ROM 領域にアクセス (読み出し、書き込み、消去) するときは“1” (ユーザ ROM アクセス) にしてください。

19.3.3.6 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「19.3.8 フルスステータスチェック」を参照してください。

19.3.3.7 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「19.3.8 フルスステータスチェック」を参照してください。

19.3.3.8 FMR11ビット

FMR11ビットが“0” (EW0モード)の場合、EW0モードになります。

FMR11ビットが“1” (EW1モード)の場合、EW1モードになります。

19.3.3.9 FMR16ビット

リードロックビットステータス実行結果を示す読み出し専用ビットです。

ブロックがロック状態の場合“0”、非ロック状態の場合“1”になります。

図19.6 EW0モードの設定と解除方法、図19.7 EW1モードの設定と解除方法を示します。

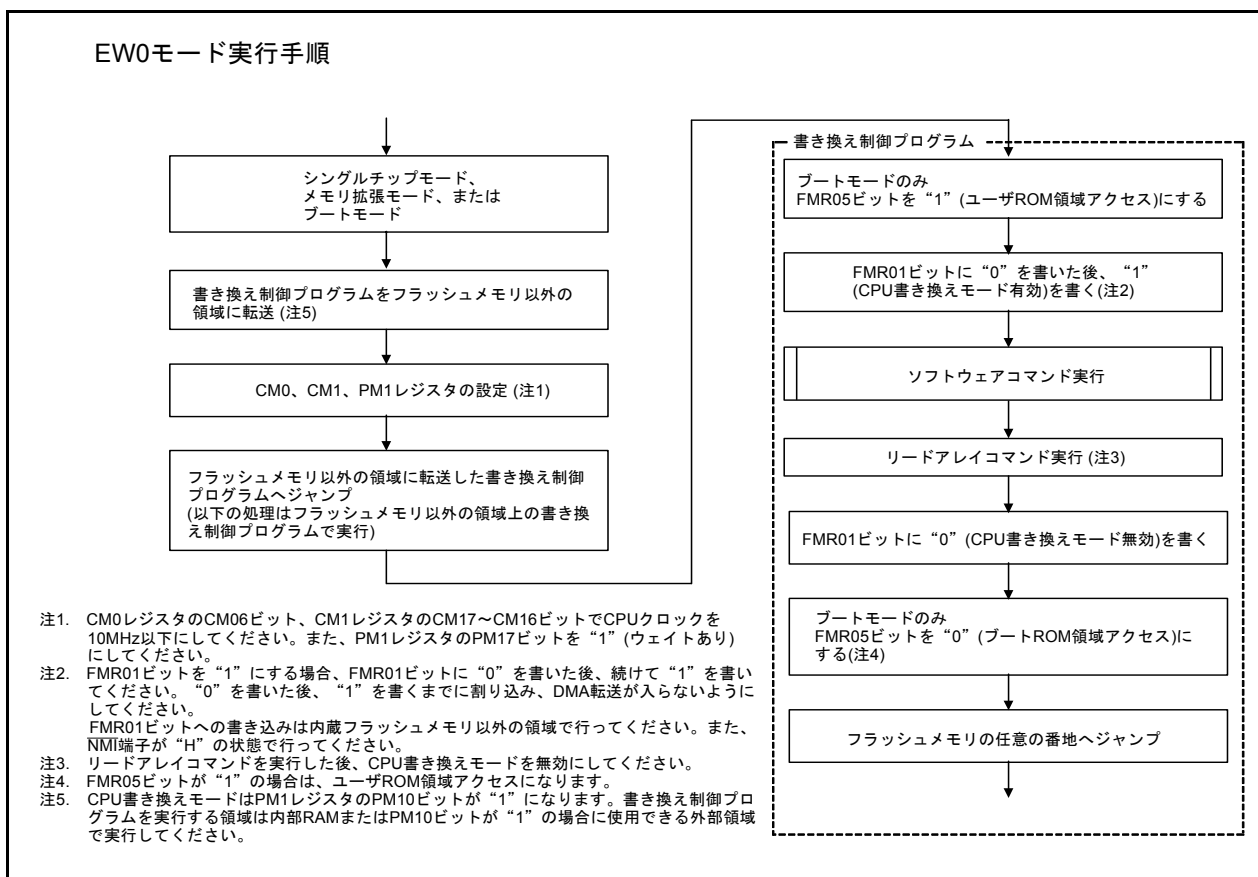


図 19.6 EW0モードの設定と解除方法

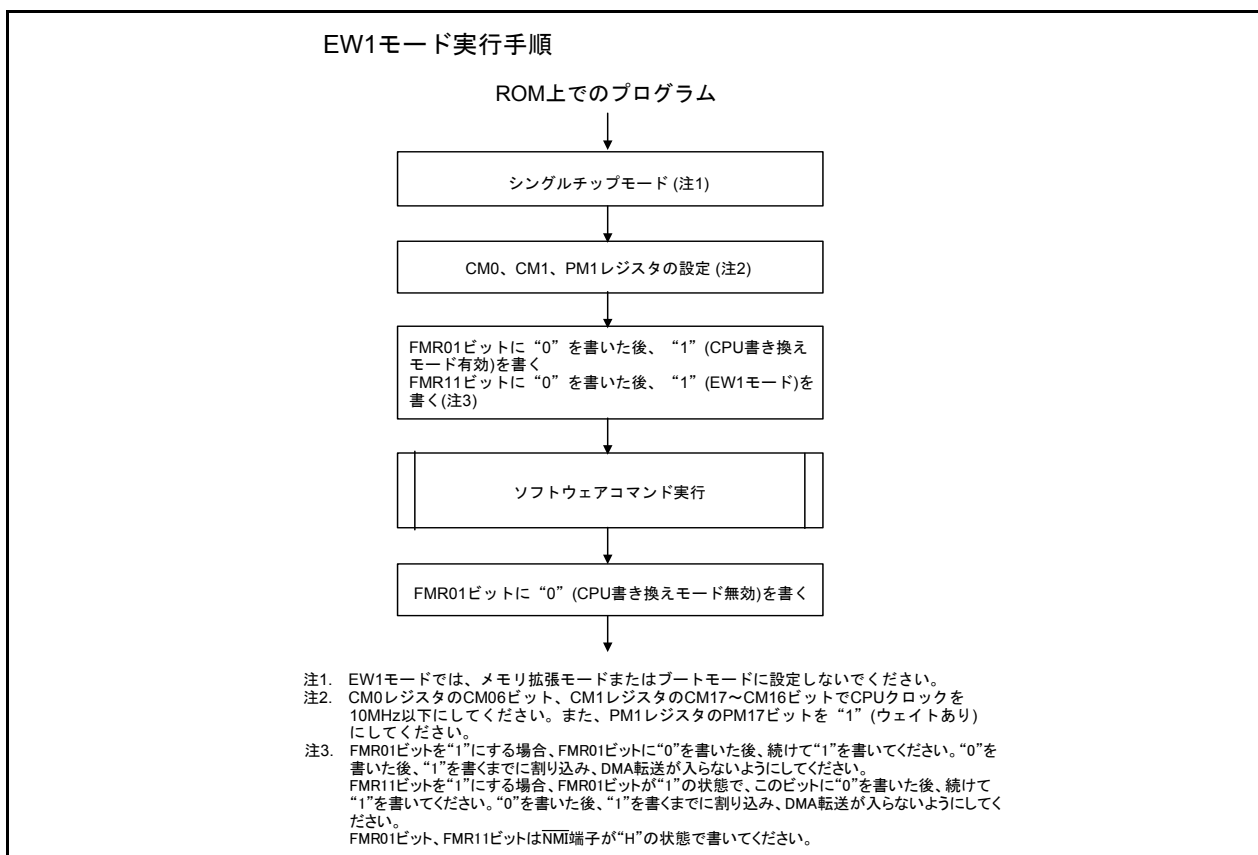


図 19.7 EW1モードの設定と解除方法

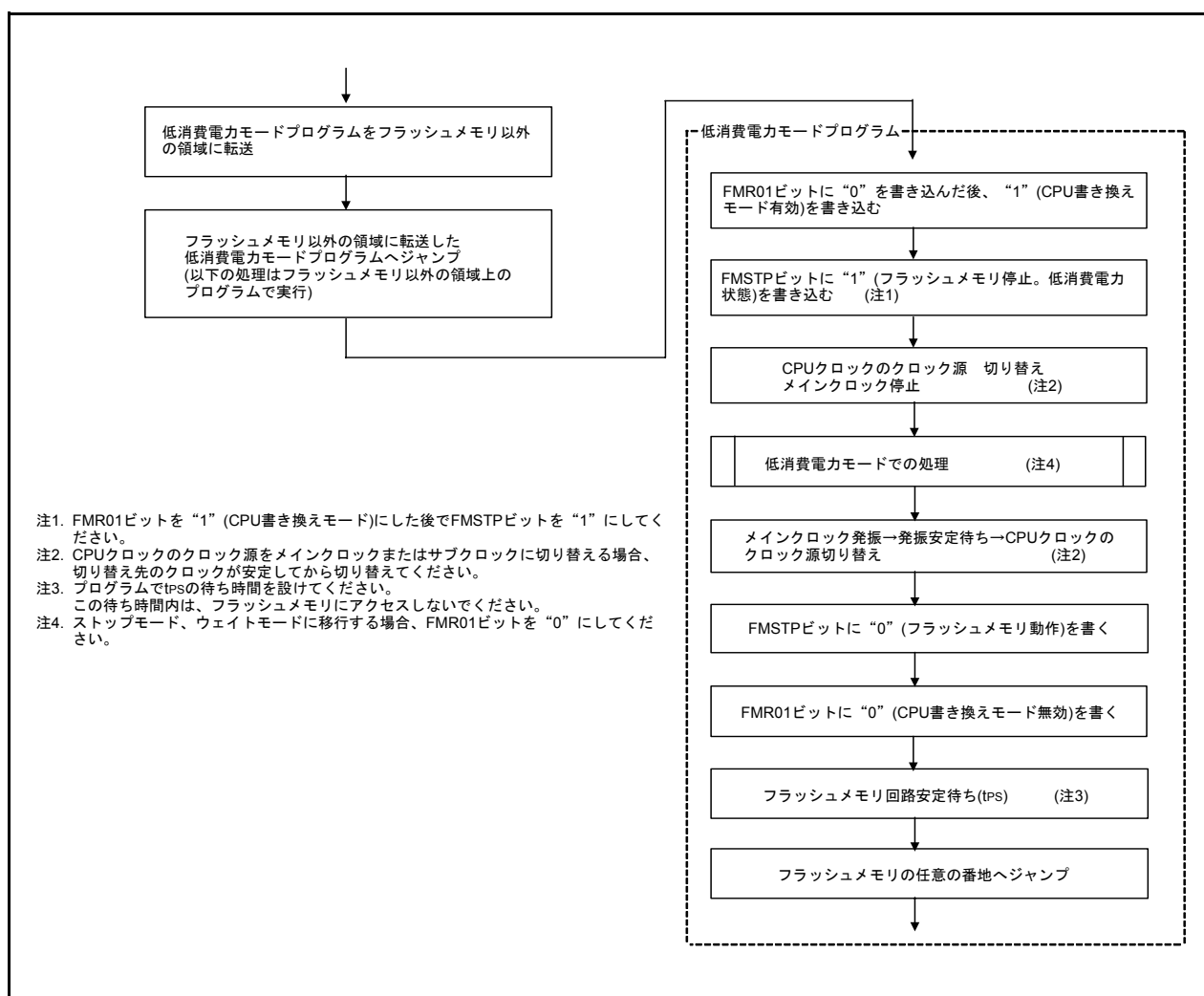


図 19.8 低消費電力モード前後の処理

19.3.4 CPU書き換えモードの注意事項

19.3.4.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

19.3.4.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND 命令、INT0 命令、JMPS 命令、JSRS 命令、BRK 命令

19.3.4.3 割り込み(EW0モード)

- ・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ・NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み発生時、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- ・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

19.3.4.4 割り込み(EW1モード)

- ・自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ・ウォッチドッグタイマ割り込みは使用しないでください。
- ・NMI割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。

19.3.4.5 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI端子に“H”を入力した状態で行ってください。

19.3.4.6 ユーザROM領域の書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

19.3.4.7 ユーザROM領域の書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

19.3.4.8 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)の場合にDMA転送が入らないようにしてください。

19.3.4.9 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

19.3.4.10 ウェイトモード

ウェイトモードに移行する場合は、FMR01 ビットを“0” (CPU 書き換えモード無効) にした後、WAIT 命令を実行してください。

19.3.4.11 ストップモード

ストップモードに移行する場合は、FMR01 ビットを“0” (CPU 書き換えモード無効) にし、DMA 転送を禁止した後で、CM10 ビットを“1” (ストップモード) の命令を実行してください。

19.3.4.12 低消費電力モード

CM05 ビットが“1” (メインクロック停止) のときは、次のコマンドを実行しないでください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス

19.3.5 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

SRD : ステータスレジスタデータ (D7～D0)

表 19.6 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	x	xxFFh			
リードステータスレジスタ	ライト	x	xx70h	リード	x	SRD
クリアステータスレジスタ	ライト	x	xx50h			
プログラム	ライト	WA	xx40h	ライト	WA	WD
ブロックイレーズ	ライト	x	xx20h	ライト	BA	xxD0h
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h
リードロックビットステータス	ライト	x	xx71h	ライト	BA	xxD0h

WA : 書き込み番地(第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください。)

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位番地(ただし、偶数番地)

x : ユーザROM領域内の任意の偶数番地

xx : コマンドコード上位8ビット(無視されます)

19.3.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

19.3.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「19.3.7 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

19.3.5.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで“xx50h”を書くと、FMR0 レジスタの FMR07～FMR06 ビットは“00b”、ステータスレジスタの SR5～SR4 は“00b”になります。

19.3.5.4 プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一の偶数番地にしてください。

自動書き込み終了はFMR0 レジスタのFMR00 ビットで確認できます。FMR00 ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込み終了後、FMR0 レジスタのFMR06 ビットで自動書き込みの結果を知ることができます(「19.3.8 フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みはできません。図 19.9 プログラムフローチャートを示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「19.3.6 データ保護機能」参照)。

EW1 モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0 モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

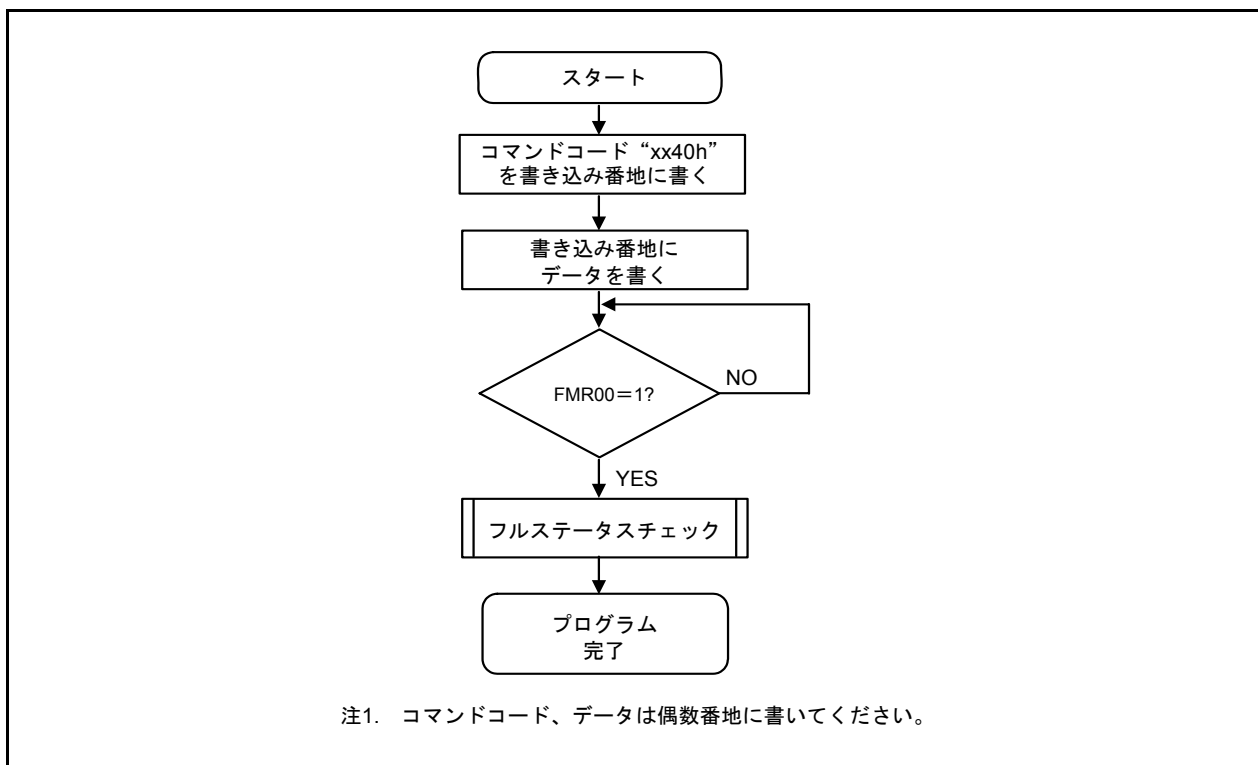


図 19.9 プログラムフローチャート

19.3.5.5 ブロックイレーズ

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「19.3.8 フルステータスチェック」参照)。

図19.10 ブロックイレーズフローチャート例を示します。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「19.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。なお、イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

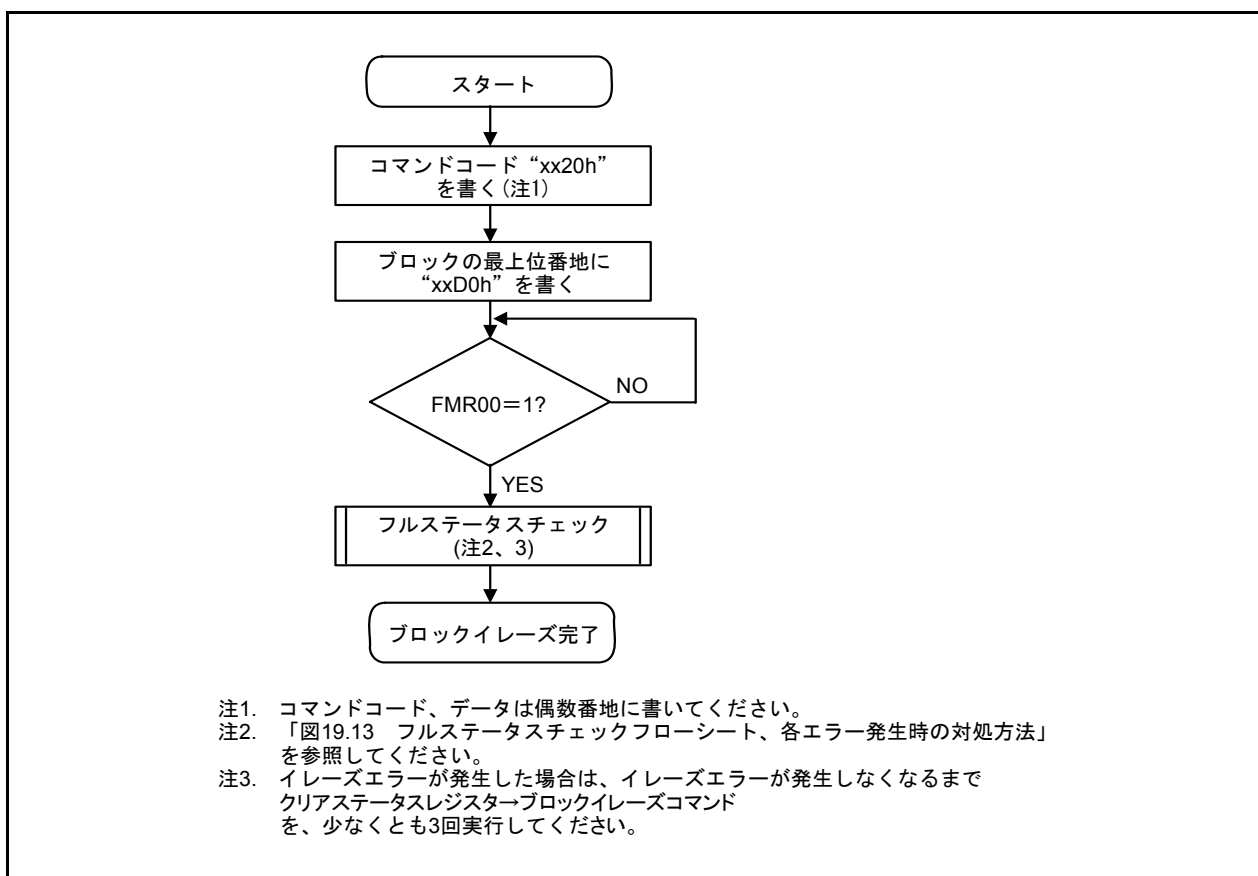


図19.10 ブロックイレーズフローチャート

19.3.5.6 ロックビットプログラム

任意のブロックのロックビットを“0” (ロック状態)にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図 19.11 ロックビットプログラムフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0 レジスタの FMR00 ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1” (非ロック状態)にする方法については、「19.3.6 データ保護機能」を参照してください。

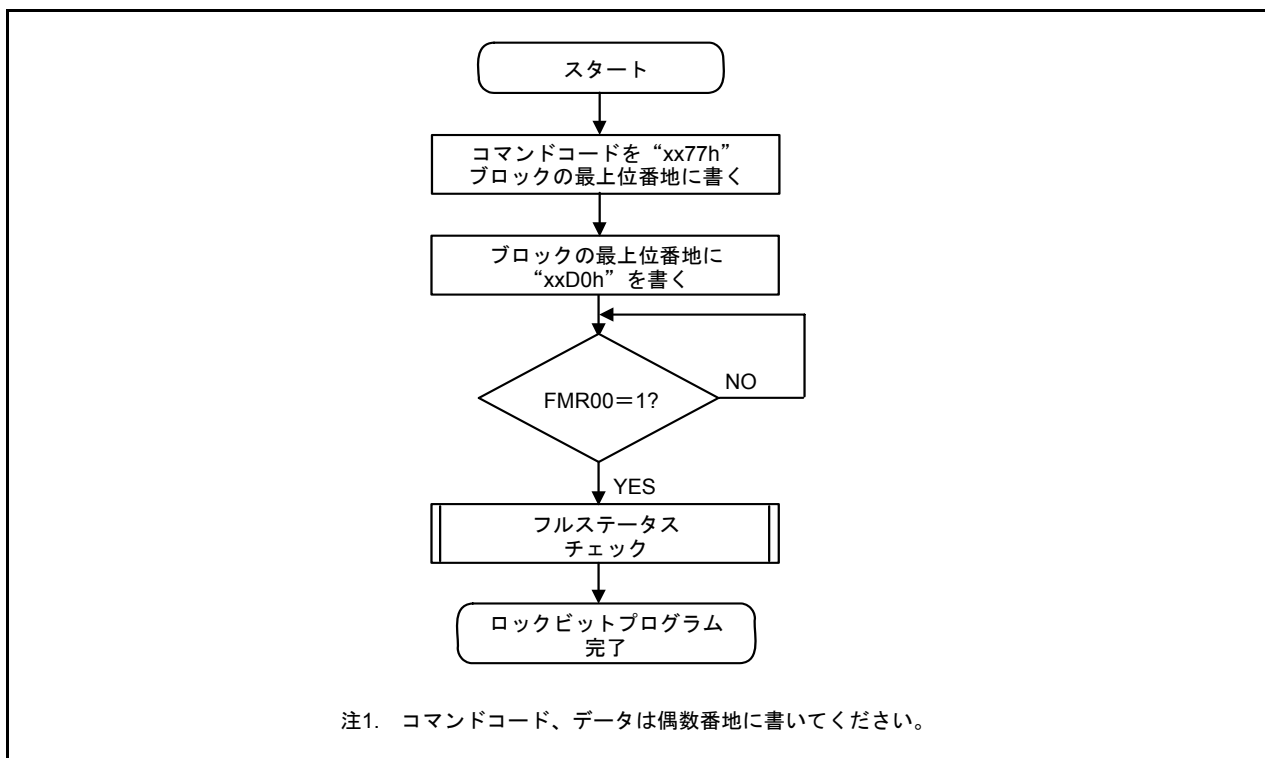


図 19.11 ロックビットプログラムフローチャート

19.3.5.7 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1 レジスタのFMR16 ビットに格納されます。FMR0 レジスタのFMR00 ビットが“1” (レディ)になった後、FMR16 ビットを読んでください。

図 19.12 リードロックビットステータスフローチャート例を示します。

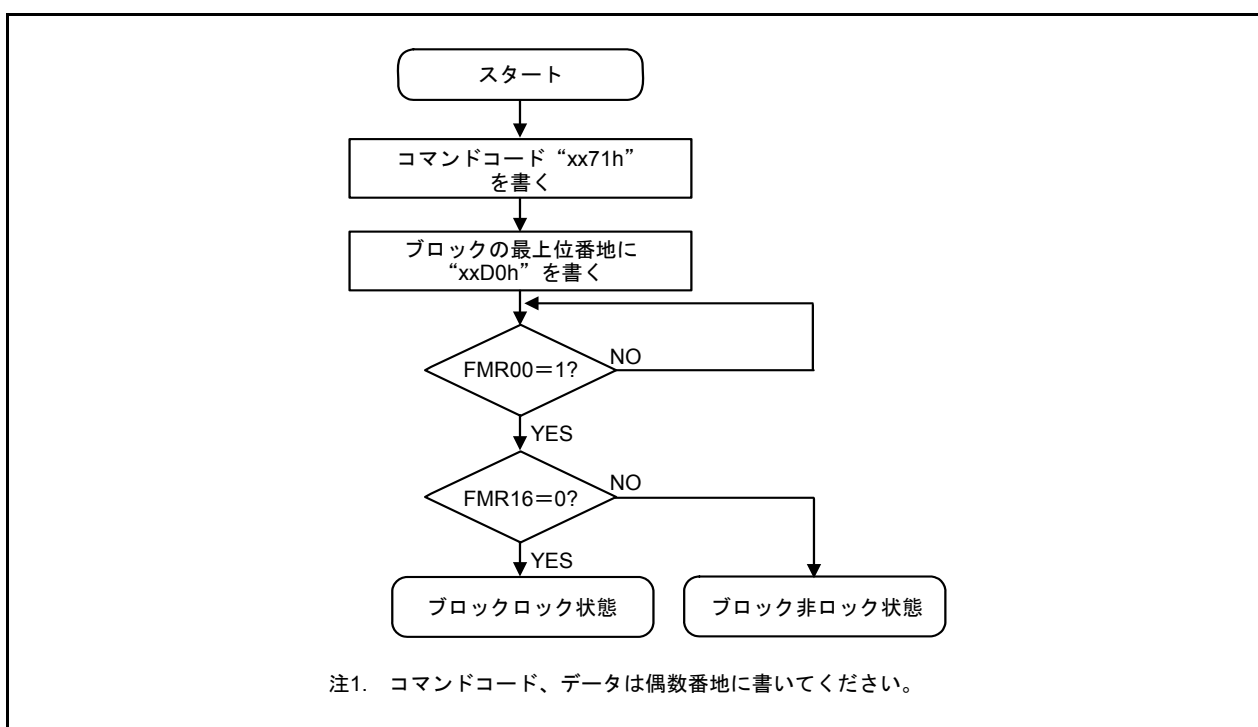


図 19.12 リードロックビットステータスフローチャート

19.3.6 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータをコマンドで“1”にできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR02ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、各ブロックのロックビットは“1”になります。各コマンドの詳細は、「19.3.5 ソフトウェアコマンド」を参照してください。

19.3.7 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表19.7 ステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- プログラムコマンド、ブロックイレーズコマンド、またはロックビットコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

19.3.7.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータスコマンド実行中には“0”、それ以外のときは“1”になります。

19.3.7.2 イレーズステータス(SR5、FMR07ビット)

「19.3.8 フルステータスチェック」を参照してください。

19.3.7.3 プログラムステータス(SR4、FMR06ビット)

「19.3.8 フルステータスチェック」を参照してください。

表 19.7 ステータスレジスタ

ステータス レジスタの ビット	FMR0 レジスタの ビット	ステータス名	内容		リセット後 の値
			“0”	“1”	
SR0 (D0)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR3 (D3)	—	予約ビット	—	—	—
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6 (D6)	—	予約ビット	—	—	—
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5ビット)、FMR06ビット(SR4ビット)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR07ビット(SR5ビット)またはFMR06ビット(SR4ビット)が“1”の場合、プログラム、ブロックイレーズ、ロックビットプログラムコマンドは受け付けられません。

19.3.8 フルスステータスチェック

エラーが発生すると、FMR0 レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 19.8 エラーと FMR0 レジスタの状態を、図 19.13 フルスステータスチェックフロチャート、各エラー発生時の対処方法を示します。

表 19.8 エラーと FMR0 レジスタの状態

FMR0 レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 ビット (SR5)	FMR06 ビット (SR4)		
1	1	コマンド シーケンス エラー	• コマンドを正しく書かなかったとき • ロックビットプログラム、またはブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0h” または “xxFFh”)以外のデータを書いたとき(注1)
1	0	イレーズエラー	• ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) • ロックされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラム エラー	• ロックされたブロックにプログラムコマンドを実行したとき(注2) • ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき • ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02 ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

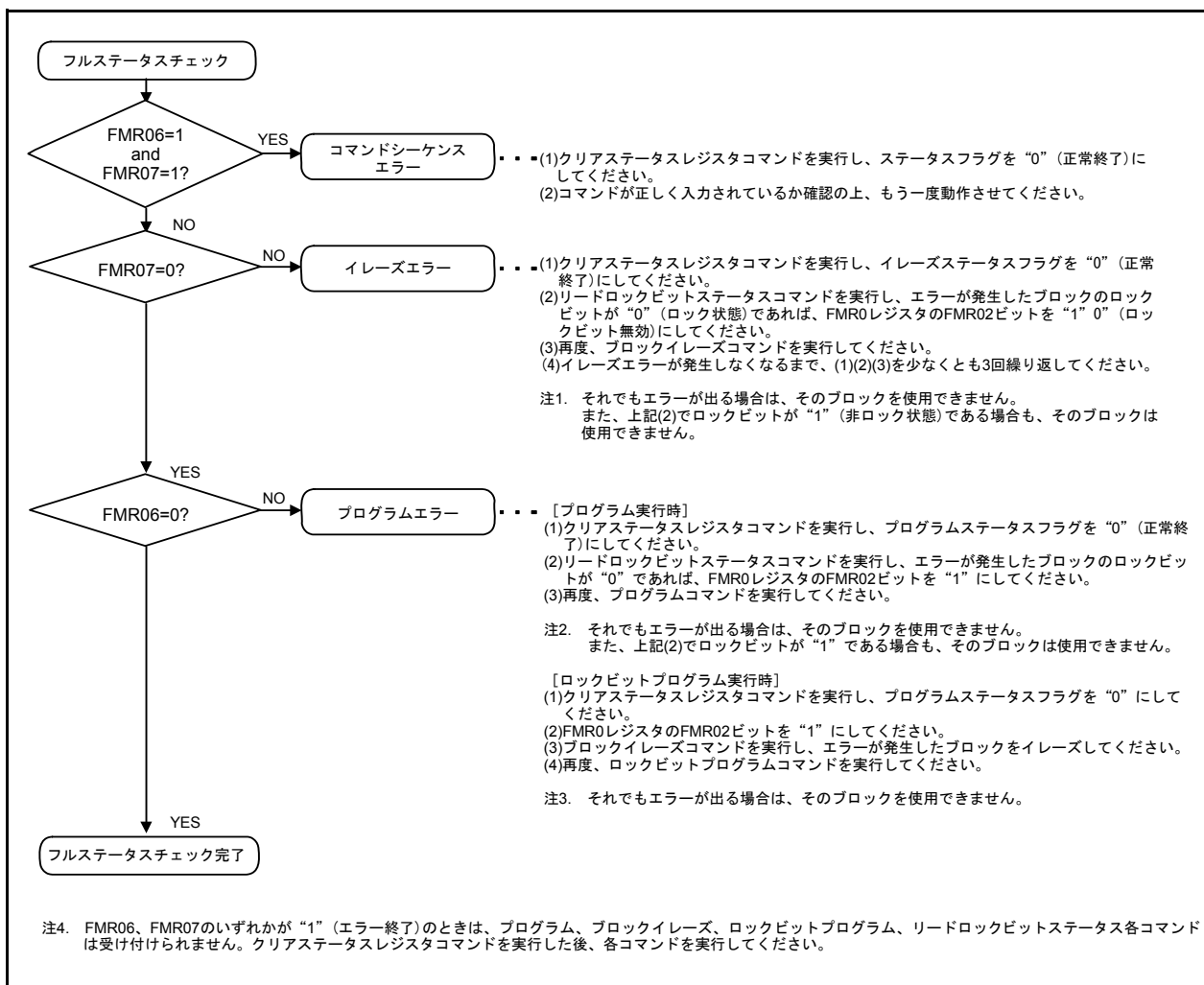


図 19.13 フルステータスチェックフロチャート、各エラー発生時の対処方法

19.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/30P グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザ ROM 領域を書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザズマニュアルを参照してください。

表 19.9 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図 19.14～図 19.17 に標準シリアル入出力モード時の端子結線図を示します。

19.4.1 IDコードチェック機能

シリアルライターから送られてくる ID コードと、フラッシュメモリに書かれている ID コードが一致するかどうかを判定します(「19.2 フラッシュメモリ書き換え禁止機能」参照)。

表 19.9 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
VCC1、VCC2、VSS	電源入力		VCC1、VCC2端子にはフラッシュ書き込み、消去電圧を入力してください。VSSには0Vを入力してください。
CNVSS	CNVSS	入力	VCC1に接続してください。
RESET	リセット入力	入力	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。
XOUT	クロック出力	出力	外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
BYTE	BYTE入力	入力	VSSまたはVCC1に接続してください。
AVCC、AVSS	アナログ電源入力		AVCCはVCC1に、AVSSはVSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
P0_0～P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0～P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0～P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0～P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_0～P4_7	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P5_1～P5_4, P5_6, P5_7	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P5_0	CE入力	入力	“H”を入力してください。
P5_5	EPM入力	入力	“L”を入力してください。
P6_0～P6_3	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: “L”を入力してください。
P6_6/RXD1	RXD入力	入力	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	シリアルデータの出力端子です。(注1)
P7_0～P7_7	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0～P8_3, P8_6, P8_7	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P8_4	P8_4入力	入力	“L”を入力してください。(注2)
P8_5/NMI	NMI入力	入力	VCC1に接続してください。
P9_0～P9_7	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P10_0～P10_7	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

注1. 標準シリアル入出力モードを使用する場合、RESET端子が“L”の期間中、TXD1(P6_7)端子は、内蔵プルアップが有効になります。

注2. 標準シリアル入出力モードを使用する場合、P8_4端子が“H”でRESET端子が“L”の期間中、P0_0～P0_7、P1_0～P1_7から不定値が出力されることがあります。このことが問題となる場合は、P8_4端子に“L”を入力してください。

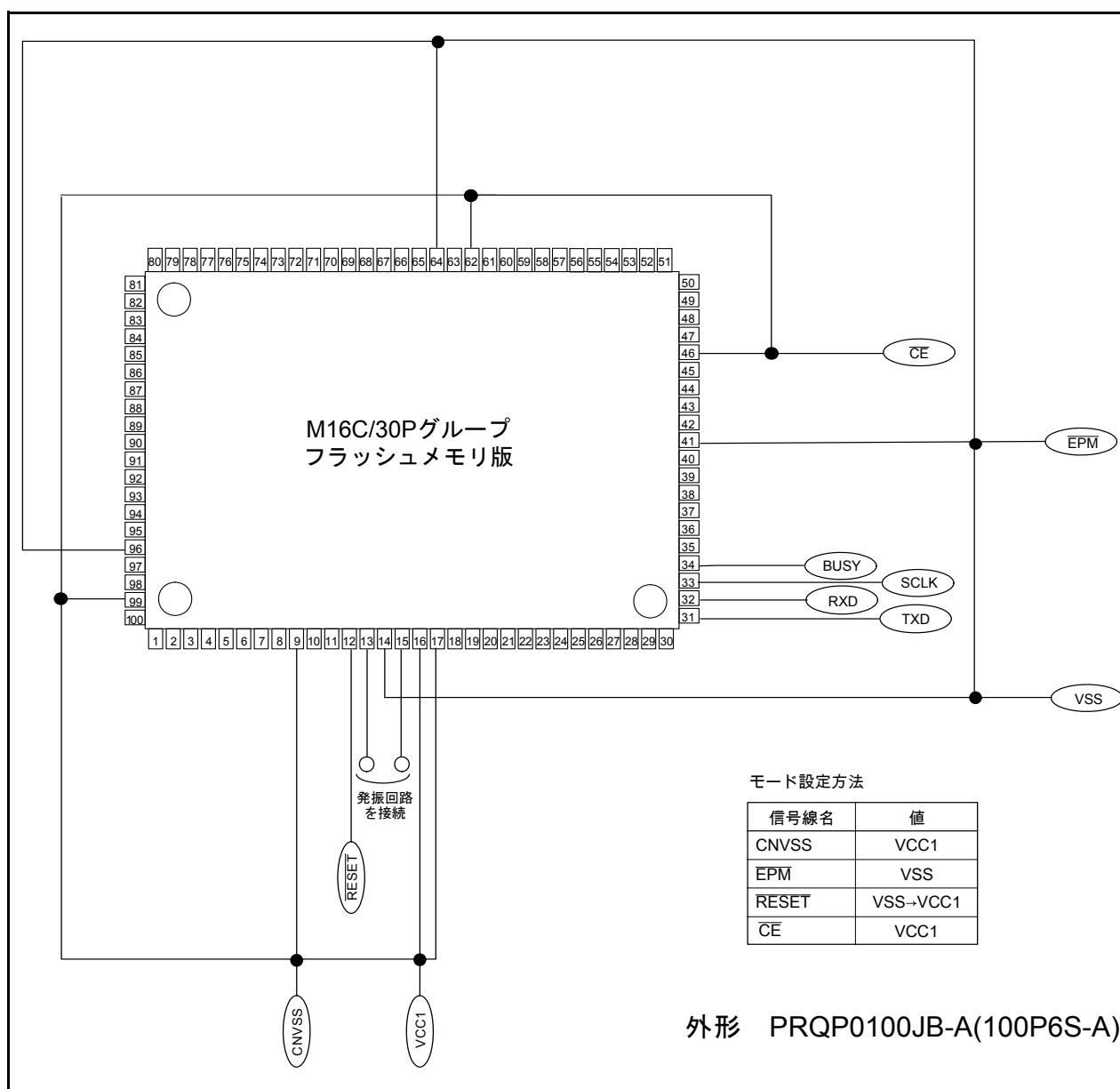


図 19.14 標準シリアル入出力モード時の端子結線図(1)

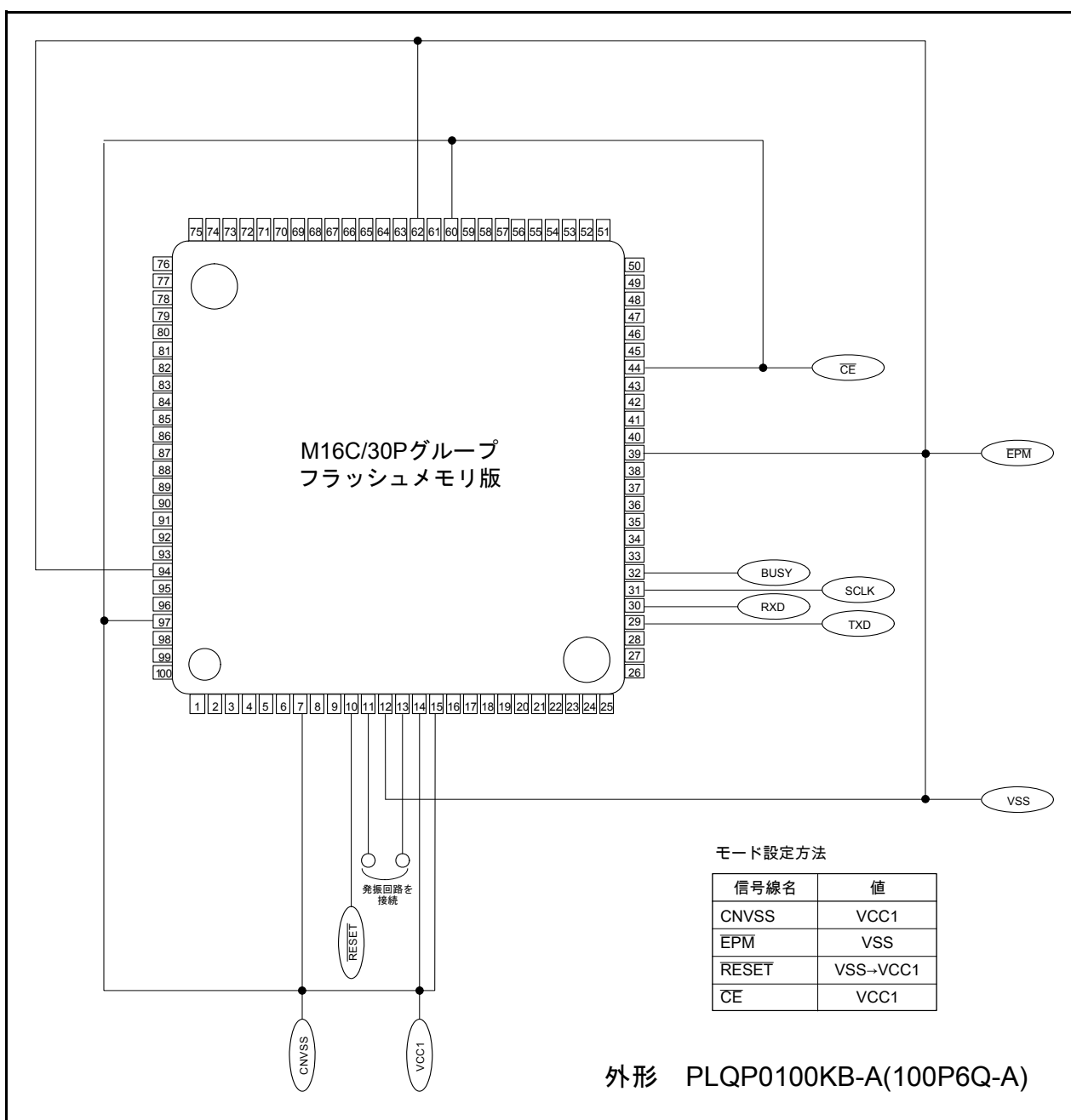


図 19.15 標準シリアル入出力モード時の端子結線図(2)

19.4.2 標準シリアル入出力モード1時の端子処理例

図 19.16 標準シリアル入出力モード1を使用する場合の端子処理例、図 19.17 標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライタによって制御するピンなどが違いますので、詳細はライタのマニュアルを参照してください。

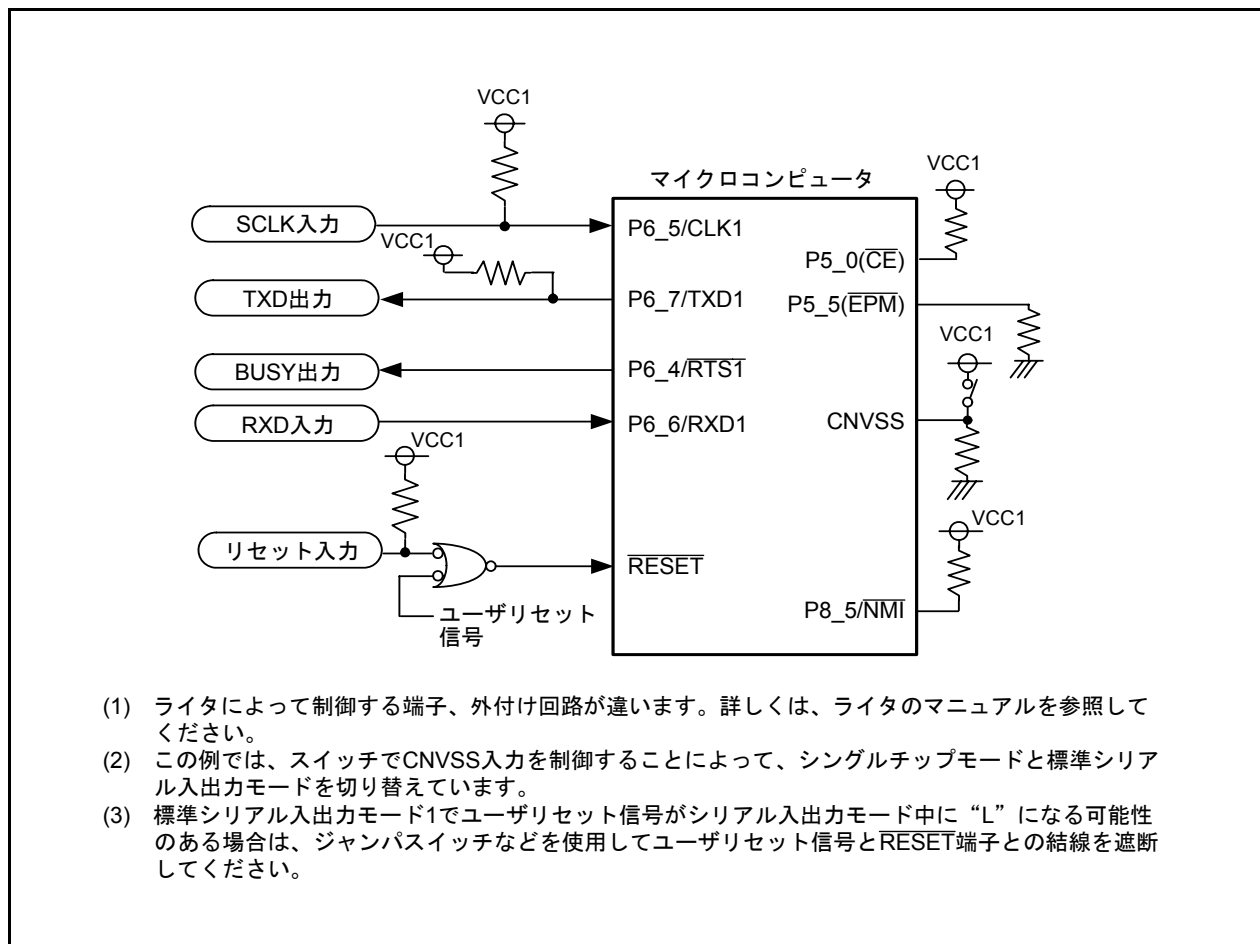


図 19.16 標準シリアル入出力モード1を使用する場合の端子処理例

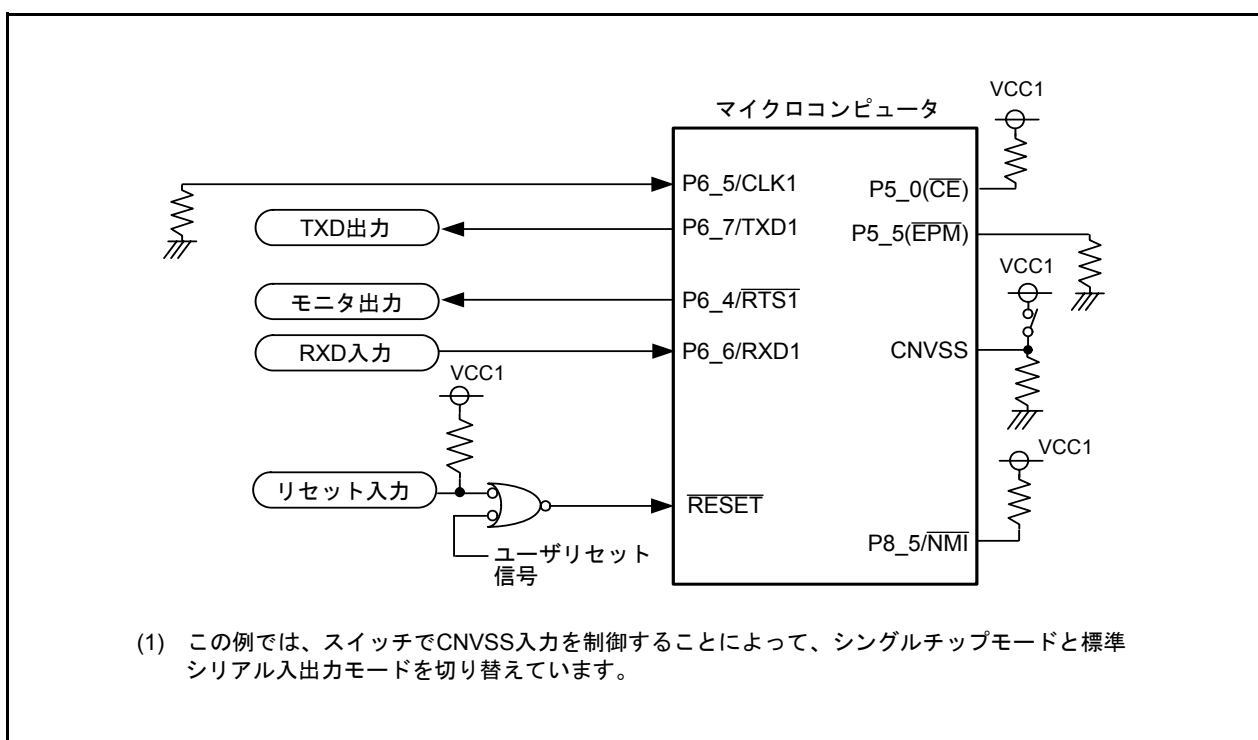


図 19.17 標準シリアル入出力モード2を使用する場合の端子処理例

19.5 パラレル入出力モード

パラレル入出力モードでは、M16C/30P グループに対応したパラレルライターを使用して、ユーザROM領域とブートROM領域を書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

19.5.1 ブートROM領域

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、ルネサスからの出荷時に標準シリアル入出力モードの書き換え制御プログラムが書かれます。したがって、シリアルライターを使用される場合には、ブートROM領域を書き換えないでください。

ブートROM領域は、パラレル入出力モードでは、0FF000h ~ 0FFFFFFh 番地に配置されています。ブートROM領域を書き換える必要がある場合、この範囲のみ書き換えてください(0FF000h~0FFFFFFh 番地以外へはアクセスしないでください)。

19.5.2 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「19.2 フラッシュメモリ書き換え禁止機能」参照)。

20. ワンタイムフラッシュ版

ワンタイムフラッシュ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。ワンタイムフラッシュ版の説明ではフラッシュメモリをワンタイムフラッシュメモリと称します。

ワンタイムフラッシュ版では、標準シリアル入出力モードで、ワンタイムフラッシュメモリにプログラムを書くことができます。消去はできません。

表20.1 ワンタイムフラッシュ版の性能概要を示します(表20.1に示す以外の項目は「表1.1 性能概要」を参照してください)。

表20.1 ワンタイムフラッシュ版の性能概要

項目	性能
プログラム方式	ワード単位
プログラム回数	1回
データ保持	10年間
ROMコードプロテクト	パラレル入出力モード、標準シリアル入出力モード対応

表20.2 ワンタイムフラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	専用シリアルライタを使用して、ユーザROM領域に書く 標準シリアル入出力モード1: クロック同期形シリアルI/O 標準シリアル入出力モード2: クロック非同期形シリアルI/O	専用パラレルライタを使用して、ブートROM領域、ユーザROM領域を書き換える
ROMライタ	シリアルライタ	パラレルライタ

20.1 低消費電力モード

ワンタイムフラッシュ版で低消費電力モードにする場合、ワンタイムフラッシュメモリを停止させると、消費電力が低減できます。図20.1 ワンタイムフラッシュ版のFMR0レジスタを、図20.2 低消費電力モード前後の処理を示します。

ただし、ストップモードまたはウェイトモードに移行する場合は、FMR0レジスタのFMR01ビットを“0”（FMSTPビット無効）にしてください。

なお、PM13ビットのある機種では、FMR0レジスタのFMR01ビットが“1”（FMSTPビット有効）の期間、PM13ビットが“1”になります。FMSTPビットを変更するプログラムはPM13ビットが“1”の場合に使用できる外部領域で実行してください。FMR01ビットを“0”（FMSTPビット無効）にすると、PM13ビットは元の値に戻ります。ただし、FMR01ビットが“1”の期間にPM13ビットを変更すると、変更した値がFMR01ビットを“0”にした後、反映されます。PM13ビットがない機種では、FMR01ビットで外部領域が変化することはありません。PM13ビットの有無は、「図6.2 PM1レジスタ(1)」「図6.3 PM1レジスタ(2)」で確認してください。

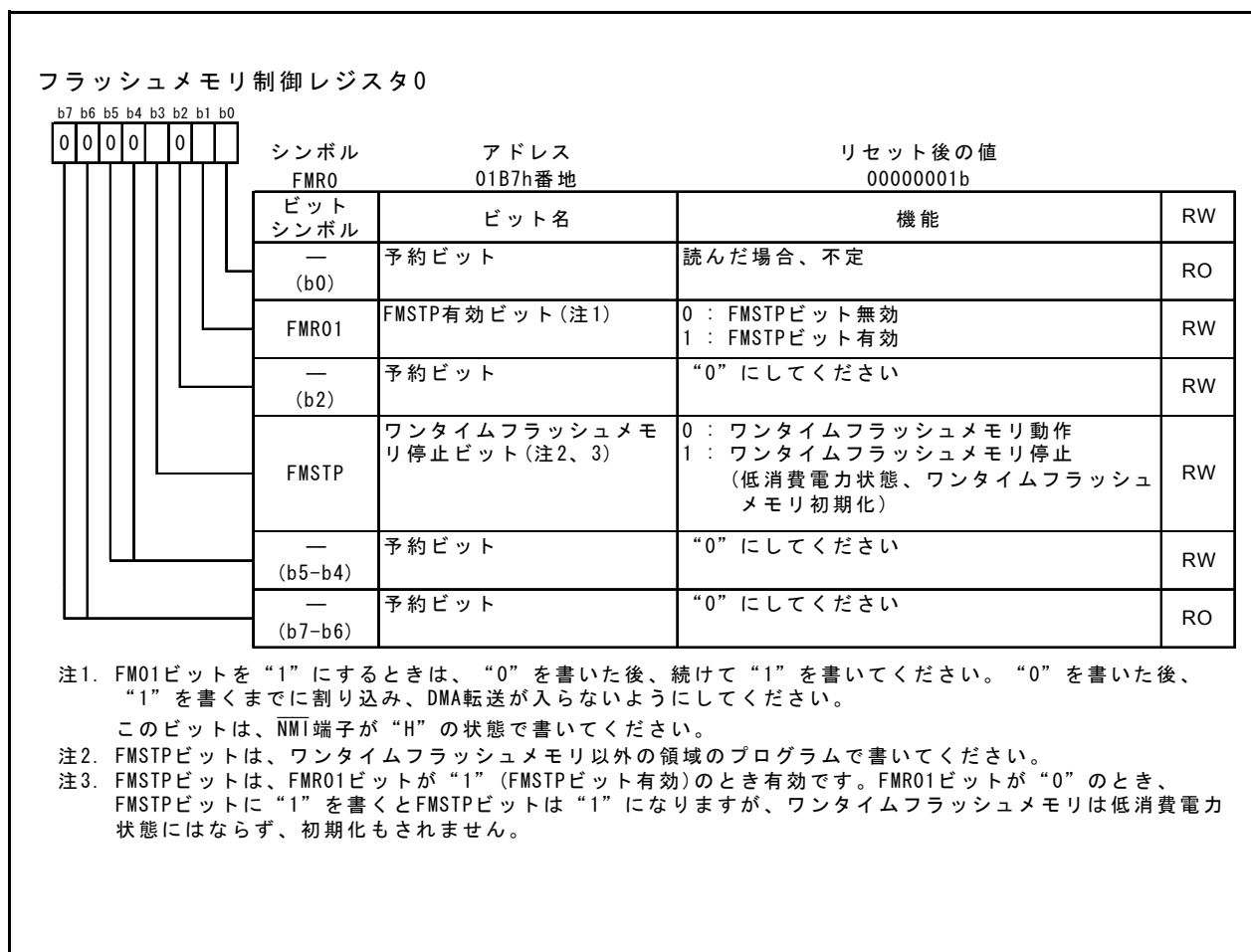


図20.1 ワンタイムフラッシュ版のFMR0レジスタ

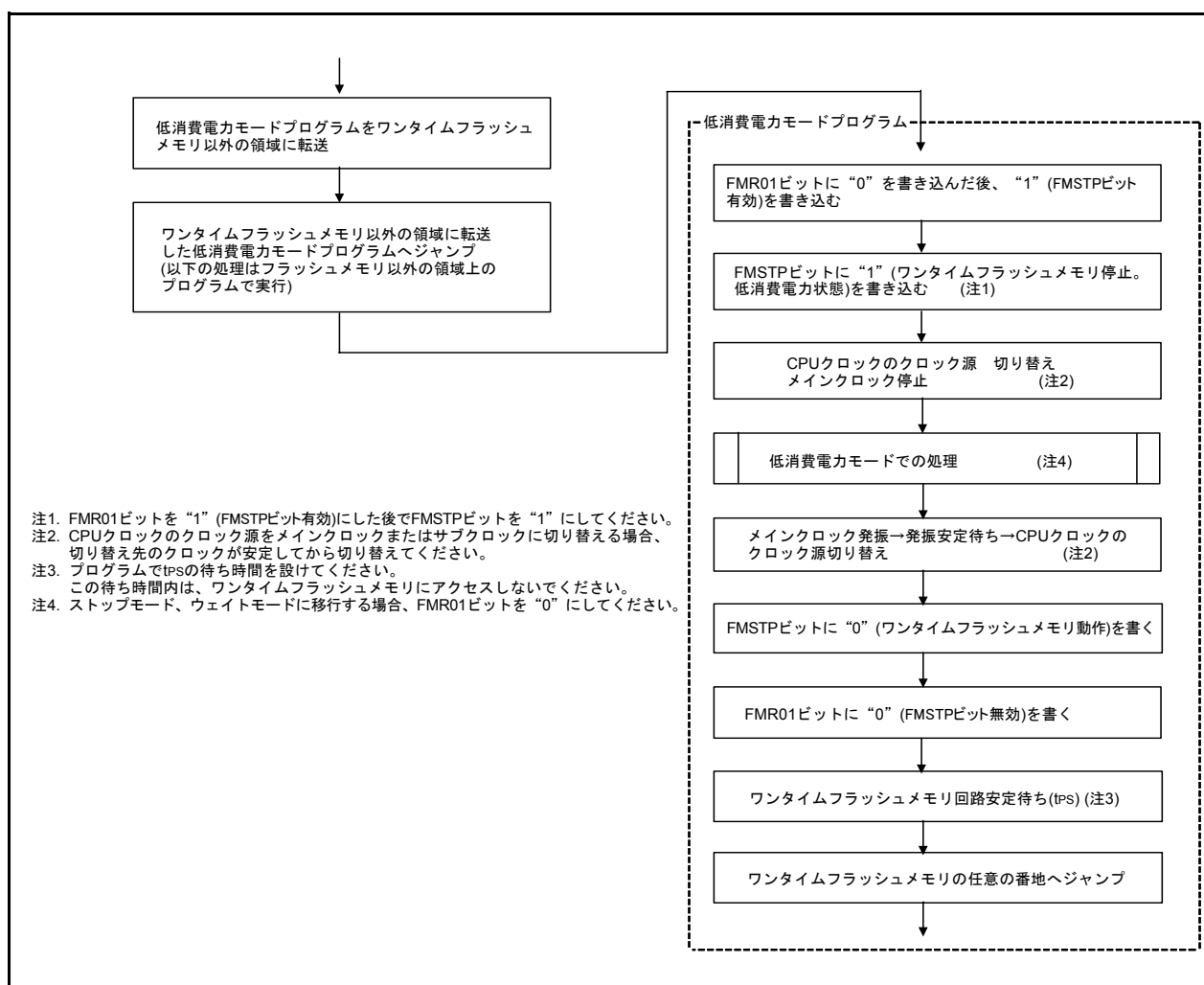


図20.2 低消費電力モード前後の処理

20.2 ワンタイムフラッシュ版読み出し禁止機能

ワンタイムフラッシュの平行入出力モードにはROM コードプロテクト機能、標準シリアル入出力モードにはIDコードチェック機能があります。

20.2.1 ROMコードプロテクト機能

ROM コードプロテクトは、平行入出力モードを使用する場合に、ワンタイムフラッシュの読み出しを禁止する機能です。0FFFFFFh番地を“3Fh”にするとROMコードプロテクトが有効になります。0FFFFFFh番地を“00h”または“FFh”にするとROMコードプロテクトは無効になります。0FFFFFFh番地にいずれかを設定したプログラムをワンタイムフラッシュ版へ書いてください。

表 20.3 0FFFFFFh番地の値と機能を示します。

表 20.3 0FFFFFFh番地の値と機能

設定値	機能
3Fh	ROMコードプロテクト有効
00h	ROMコードプロテクト無効
FFh	
上記以外	設定しないでください

20.2.2 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライタから送られてくるIDコードとワンタイムフラッシュ版に書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライタから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

ワンタイムフラッシュ版のIDコードは、1バイト目からそれぞれ0FFFDf、0FFFE3h、0FFFEb、0FFFEf、0FFFF3h、0FFFF7h、0FFFFBh番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをワンタイムフラッシュ版へ書いてください。

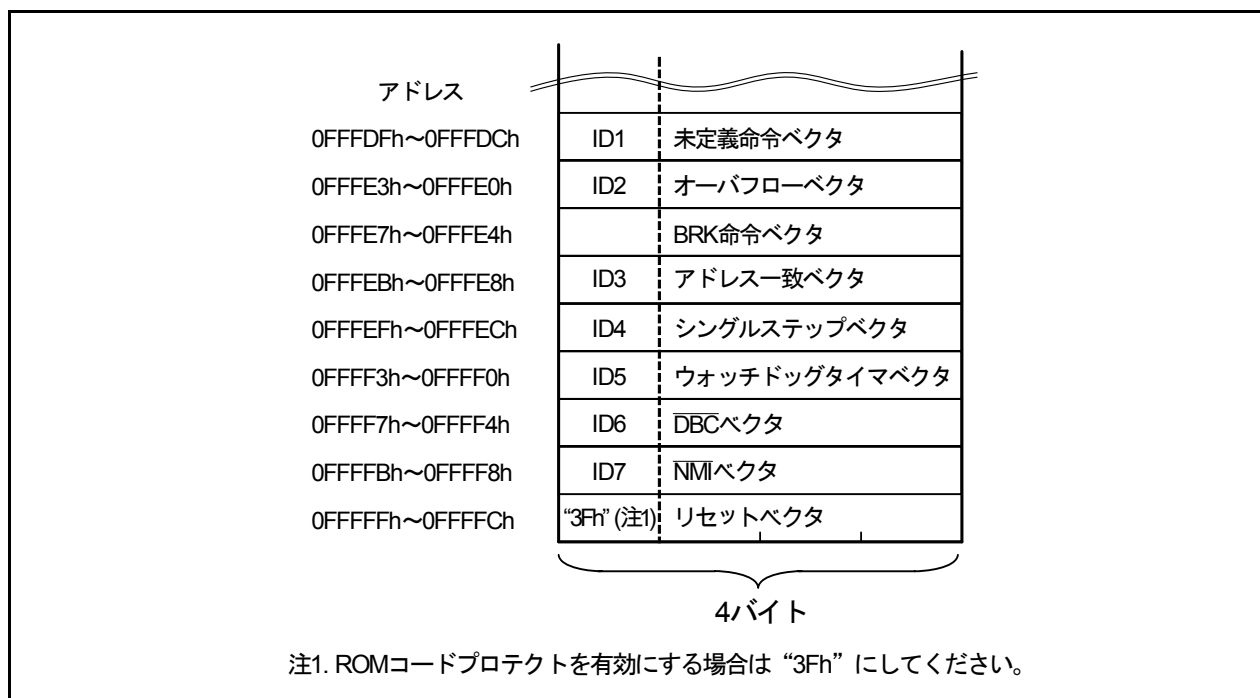


図 20.3 ワンタイムフラッシュ版のIDコードの格納番地

20.3 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/30P グループに対応したシリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザ ROM 領域を書き込むことができます。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。図20.3 ワンタイムフラッシュ版のIDコードの格納番地、図20.4 標準シリアル入出力モード時の端子結線図を示します。

20.3.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、ワンタイムフラッシュ版に書かれているIDコードが一致するかどうかを判定します(「20.2 ワンタイムフラッシュ版読み出し禁止機能」参照)。

表 20.4 端子の機能説明(ワンタイムフラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
VCC1、VCC2、VSS	電源入力		VCC1、VCC2端子にはフラッシュ書き込み電圧を入力してください。VSSには0Vを入力してください。
CNVSS	CNVSS	入力	VCC1に接続してください。
RESET	リセット入力	入力	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。
XOUT	クロック出力	出力	外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
BYTE	BYTE入力	入力	VSSまたはVCC1に接続してください。
AVCC、AVSS	アナログ電源入力		AVCCはVCC1に、AVSSはVSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
P0_0～P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0～P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0～P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0～P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_0～P4_7	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P5_1～P5_4, P5_6, P5_7	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P5_0	CE入力	入力	“H”を入力してください。
P5_5	EPM入力	入力	“L”を入力してください。
P6_0～P6_3	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: “L”を入力してください。
P6_6/RXD1	RXD入力	入力	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	シリアルデータの出力端子です。(注1)
P7_0～P7_7	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0～P8_3, P8_6, P8_7	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P8_4	P8_4入力	入力	“L”を入力してください。(注2)
P8_5/NMI	NMI入力	入力	VCC1に接続してください。
P9_0～P9_7	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P10_0～P10_7	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

注1. 標準シリアル入出力モードを使用する場合、RESET端子が“L”の期間中、TXD1(P6_7)端子は、内蔵プルアップが有効になります。

注2. 標準シリアル入出力モードを使用する場合、P8_4端子が“H”でRESET端子が“L”の期間中、P0_0～P0_7、P1_0～P1_7から不定値が出力されることがあります。このことが問題となる場合は、P8_4端子に“L”を入力してください。

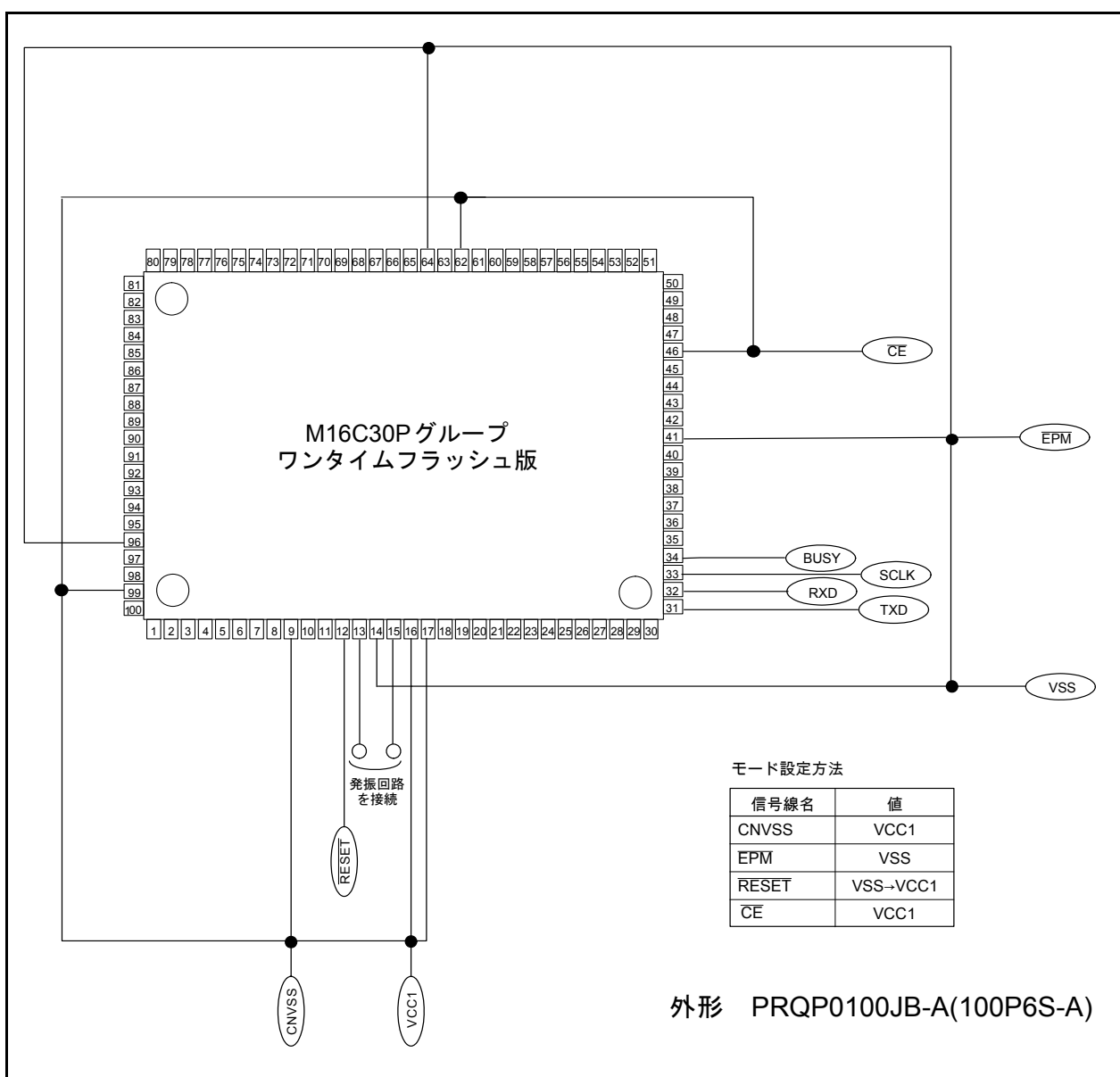


図 20.4 標準シリアル入出力モード時の端子結線図

20.3.2 標準シリアル入出力モード時の端子処理例

図20.5 標準シリアル入出力モード1を使用する場合の端子処理例、図20.6 標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

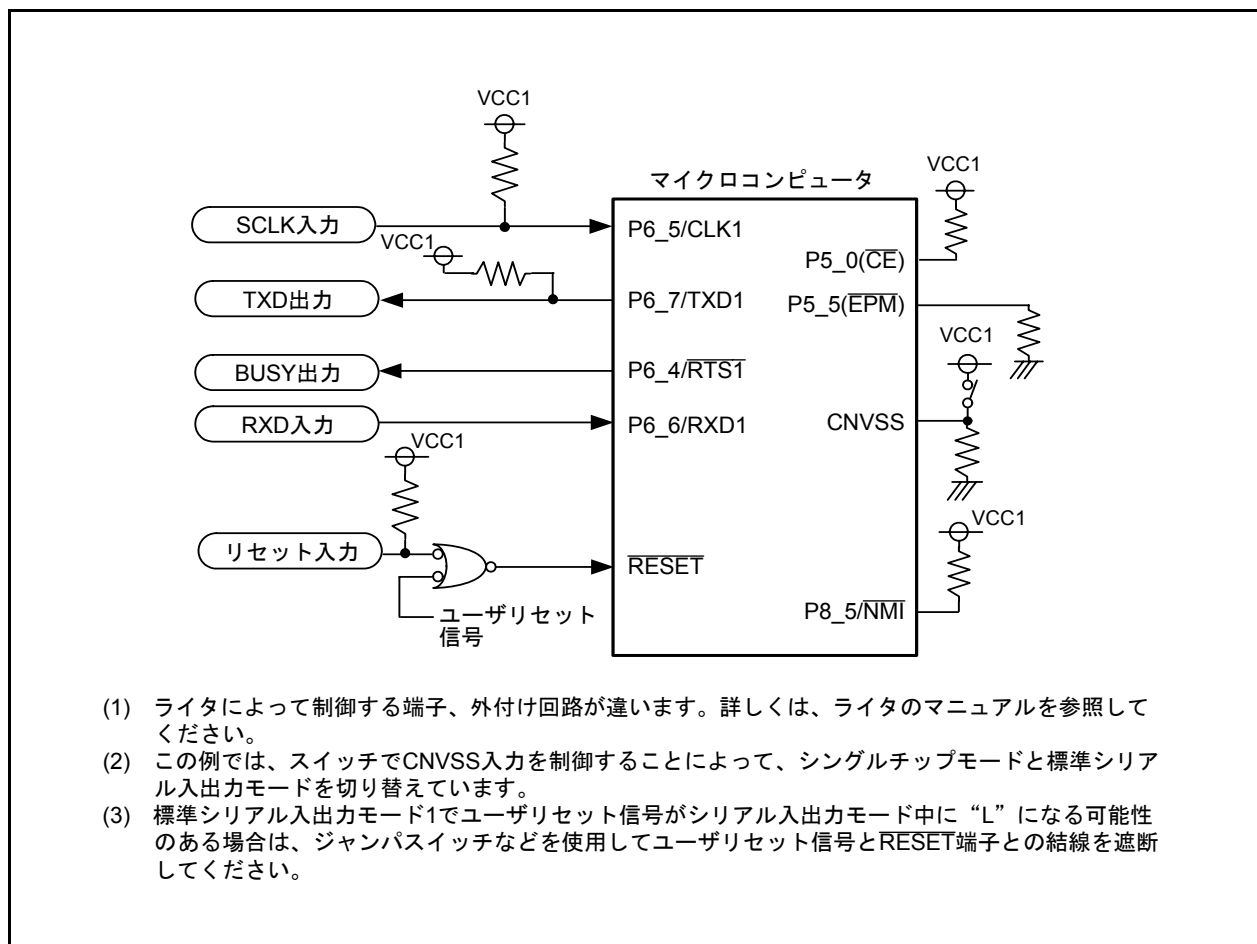


図20.5 標準シリアル入出力モード1を使用する場合の端子処理例

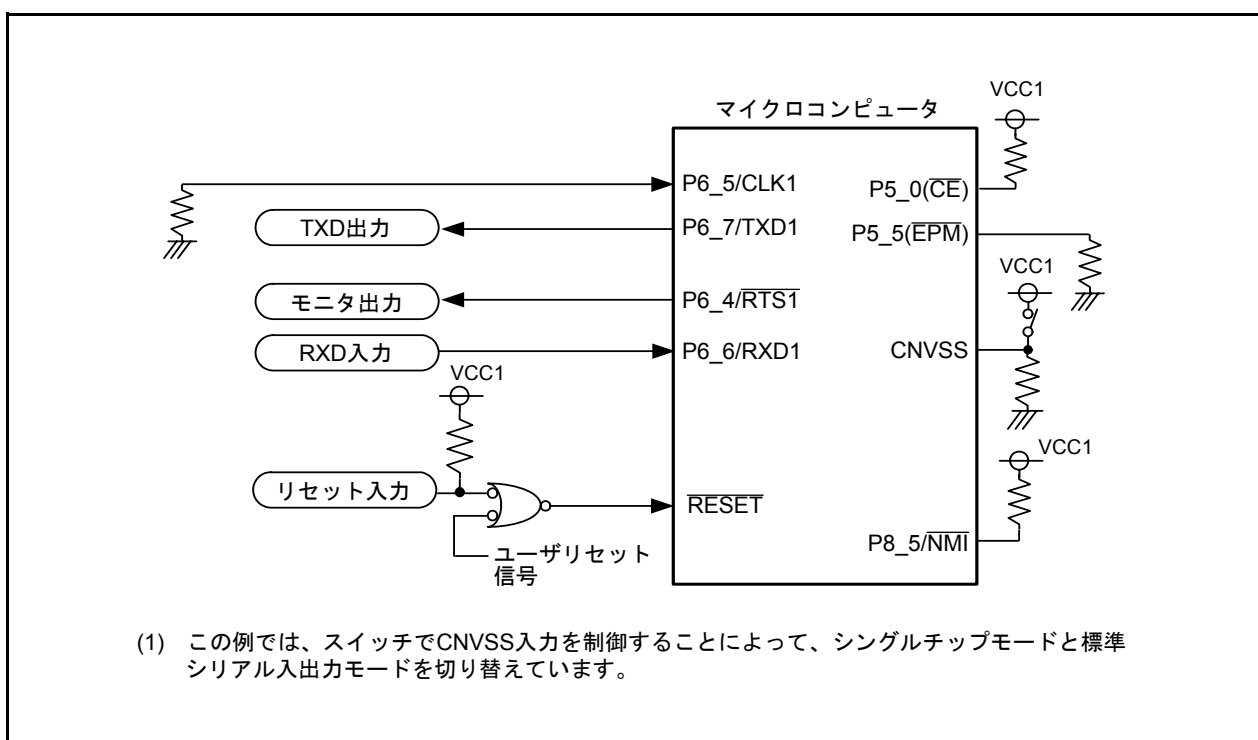


図20.6 標準シリアル入出力モード2を使用する場合の端子処理例

21. 電気的特性

表 21.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC}	電源電圧 (V _{CC1} = V _{CC2})		V _{CC1} = V _{CC2} = AV _{CC}	− 0.3 ~ 6.5	V
AV _{CC}	アナログ電源電圧		V _{CC1} = V _{CC2} = AV _{CC}	− 0.3 ~ 6.5	V
V _I	入力電圧	RESET, CNVSS, BYTE, P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, VREF, XIN		− 0.3 ~ V _{CC} + 0.3	V
		P7_0, P7_1		− 0.3 ~ 6.5	V
V _O	出力電圧	P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, XOUT		− 0.3 ~ V _{CC} + 0.3	V
		P7_0, P7_1		− 0.3 ~ 6.5	V
P _d	消費電力		− 40 °C < T _{opr} ≤ 85 °C	300	mW
T _{opr}	動作周囲温度	マイコン動作時		− 20 ~ 85 / − 40 ~ 85	°C
		ワンタイムフラッシュ書き込み時		0 ~ 60	
		フラッシュ書き込み消去時		0 ~ 60	
T _{stg}	保存温度			− 65 ~ 150	°C

表21.2 推奨動作条件(注1)

記号	項目	規格値			単位
		最小	標準	最大	
VCC	電源電圧 (VCC1=VCC2)	2.7	5.0	5.5	V
AVCC	アナログ電源電圧		VCC		V
VSS	電源電圧		0		V
AVSS	アナログ電源電圧		0		V
VIH	“H”入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0.8VCC	VCC	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0.8VCC	VCC	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0.5VCC	VCC	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	0.8VCC	VCC	V
		P7_0, P7_1	0.8VCC	6.5	V
VIL	“L”入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0	0.2VCC	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0	0.2VCC	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0	0.16VCC	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	0	0.2VCC	V
IOH(peak)	“H”尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		-10.0	mA
IOH(avg)	“H”平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		-5.0	mA
IOL(peak)	“L”尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		10.0	mA
IOL(avg)	“L”平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7		5.0	mA
f(XIN)	メインクロック 入力発振周波数 (注4)	VCC=3.0V~5.5V	0	16	MHz
		VCC=2.7V~3.0V	0	20 × VCC1 - 44	MHz
f(XCIN)	サブクロック発振周波数		32.768	50	kHz
f(BCLK)	CPU動作周波数	0		16	MHz

注1. 指定のない場合は、VCC1=VCC2=2.7V~5.5V、T_{opr}=-20~85℃ / -40~85℃です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0, P1, P2, P8_6, P8_7, P9, P10のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4のIOL(peak)の合計は80mA以下、ポートP0, P1, P2のIOH(peak)の合計は-40mA以下、ポートP3, P4, P5のIOH(peak)の合計は-40mA以下、ポートP6, P7, P8_0~P8_4のIOH(peak)の合計は-40mA以下、ポートP8_6, P8_7, P9, P10のIOH(peak)の合計は-40mA以下にしてください。平均出力電流はpeakの1/2にしてください。

注4. メインクロック入力周波数と電源電圧の関係を以下に示します。

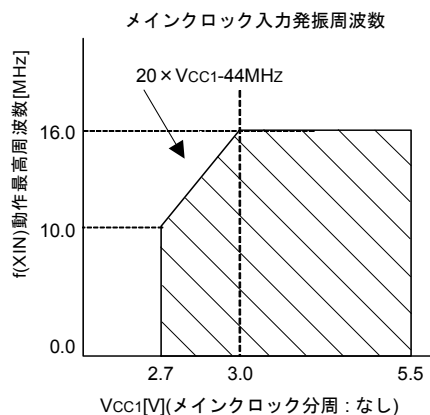


表 21.3 A/D 変換特性 (注 1)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
—	分解能		VREF=VCC				10	Bits
INL	積分 非直線性 誤差	10bit	VREF= VCC= 5V	AN0～AN7入力、 AN0_0～AN0_7入力、 ANEX0、ANEX1入力			±5	LSB
			VREF= VCC= 3.3V	AN0～AN7入力、 AN0_0～AN0_7入力、 ANEX0、ANEX1入力			±7	LSB
		8bit	VREF=VCC=5V、3.3V				±2	LSB
—	絶対精度	10bit	VREF= VCC= 5V	AN0～AN7入力、 AN0_0～AN0_7入力、 ANEX0、ANEX1入力			±5	LSB
			VREF= VCC= 3.3V	AN0～AN7入力、 AN0_0～AN0_7入力、 ANEX0、ANEX1入力			±7	LSB
		8bit	VREF=VCC=5V、3.3V				±2	LSB
—	許容信号源インピーダンス					3		kΩ
DNL	微分非直線性誤差						±2	LSB
—	オフセット誤差						±5	LSB
—	ゲイン誤差						±5	LSB
RLADDER	ラダー抵抗		VREF=VCC		10		40	kΩ
tCONV	変換時間(10bit)、サンプル&ホールドあり		VREF=VCC=5V、φAD=10MHz		3.3			μs
tCONV	変換時間(8bit)、サンプル&ホールドあり		VREF=VCC=5V、φAD=10MHz		2.8			μs
tsAMP	サンプリング時間				0.3			μs
VREF	基準電圧				3.0		VCC	V
VIA	アナログ入力電圧				0		VREF	V

注 1. 指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.3\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$ です。

注 2. ϕAD の周波数は 10MHz 以下にしてください。

注 3. サンプル&ホールドなしのときは、注 2 の制限に加え ϕAD の周波数は 250kHz 以上にしてください。
サンプル&ホールドありのときは、注 2 の制限に加え ϕAD の周波数は 1MHz 以上にしてください。

表 21.4 フラッシュメモリの電気的特性(注1)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数 (注2)	100(注3)			回
-	ワードプログラム時間 ($V_{CC1}=5.0V$)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 ($V_{CC1}=5.0V$)	4K バイトブロック	0.3	4	s
		8K バイトブロック	0.3	4	s
		32K バイトブロック	0.5	4	s
		64K バイトブロック	0.8	4	s
t _{PS}	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間 (注4)	10			年

注1. 指定のない場合は、 $V_{CC1}=4.5\sim 5.5V$ 、 $3.0\sim 3.6V$ 、 $T_{opr}=0\sim 60^{\circ}C$ (U3, U5)です。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数が100回の場合、ブロックごとに、それぞれ100回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注3. プログラム/イレーズ後の全ての電気的特性を保証する最小回数です。(保証は1～“最小”値の範囲です。)

注4. $T_{opr}=-40\sim 85^{\circ}C$ (U3)/ $-20\sim 85^{\circ}C$ (U5)の条件です。

表 21.5 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
$V_{CC1}=3.3\pm 0.3V$ または $5.0\pm 0.5V$ ($T_{opr}=0\sim 60^{\circ}C$)	$V_{CC1}=2.7\sim 5.5V$ ($T_{opr}=-40\sim 85^{\circ}C$ (U3), $-20\sim 85^{\circ}C$ (U5))

表 21.6 ワンタイムフラッシュの電気的特性(注1)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム回数			1	回
-	ワードプログラム時間 ($V_{CC1}=5.0V$)		50	500	μs
tPS	ワンタイムフラッシュ回路安定待ち時間			15	μs
-	データ保持時間(注2)	10			年

注1. 指定のない場合は、 $V_{CC1}=4.5\sim 5.5V$ 、 $3.0\sim 3.6V$ 、 $T_{opr}=0\sim 60^{\circ}C$ (U3, U5)です。

注2. $T_{opr}=-40\sim 85^{\circ}C$ (U3)/ $-20\sim 85^{\circ}C$ (U5)の条件です。

表 21.7 ワンタイムフラッシュの書き込み電圧と読み出し動作電圧特性

フラッシュ書き込み電圧	フラッシュ読み出し動作電圧
$V_{CC1}=3.3\pm 0.3V$ または $5.0\pm 0.5V$ ($T_{opr}=0\sim 60^{\circ}C$)	$V_{CC1}=2.7\sim 5.5V$ ($T_{opr}=-40\sim 85^{\circ}C$ (U3), $-20\sim 85^{\circ}C$ (U5))

表21.8 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(P-R)$	電源投入時内部電源安定時間	$V_{CC}=2.7V \sim 5.5V$			2	ms
$t_d(R-S)$	STOP 解除時間				1500	μs
$t_d(W-S)$	低消費電力モードウェイトモード解除時間				1500	μs

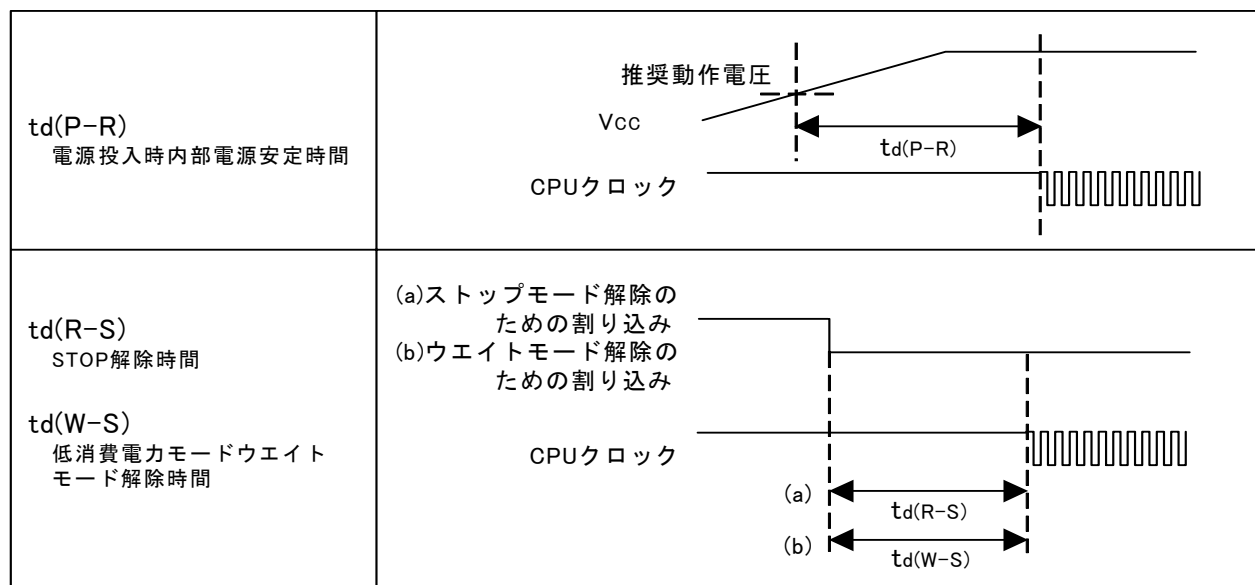


図21.1 電源回路のタイミング図

$$V_{CC1}=V_{CC2}=5V$$

表 21.9 電気的特性(1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H" 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOH = -5mA	V _{CC} - 2.0		V _{CC}	V
VOH	"H" 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOH = -200 μ A	V _{CC} - 0.3		V _{CC}	V
VOH	"H" 出力電圧 XOUT	HIGHPOWER	IOH = -1mA	V _{CC} - 2.0		V _{CC}	V
		LOWPOWER	IOH = -0.5mA	V _{CC} - 2.0		V _{CC}	
	"H" 出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
VOL	"L" 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOL = 5mA			2.0	V
VOL	"L" 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOL = 200 μ A			0.45	V
VOL	"L" 出力電圧 XOUT	HIGHPOWER	IOL = 1mA			2.0	V
		LOWPOWER	IOL = 0.5mA			2.0	
	"L" 出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
VT+-VT-	ヒステリシス	TA0IN~TA2IN, TB0IN~TB2IN, INT0~INT4, NMI, ADTRG, CTS0~CTS2, CLK0~CLK2, TA0OUT~TA2OUT, K10~K13, RXD0~RXD2, SCL0~SCL2, SDA0~SDA2		0.2		1.0	V
VT+-VT-	ヒステリシス	RESET		0.2		2.5	V
I _{IH}	"H" 入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	VI = 5V			5.0	μ A
I _{IL}	"L" 入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	VI = 0V			-5.0	μ A
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	VI = 0V	30	50	170	k Ω
R _{IXIN}	帰還抵抗	XIN			1.5		M Ω
R _{IXCIN}	帰還抵抗	XCIN			15		M Ω
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注 1. 指定のない場合は、V_{CC1}=V_{CC2}=4.2~5.5V、V_{SS}=0V、T_{opr}=-20~85℃ / -40~85℃、f(XIN)=16MHz です。

$$V_{CC1}=V_{CC2}=5V$$

表 21.10 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 (V _{CC1} =4.0~5.5V) シングルチップモードで、 出力端子は開放、 その他の端子はV _{SS}	マスクROM	f(XIN)=16MHz 分周なし	10	15	mA
		ワнтаイムフラッシュ	f(XIN)=16MHz 分周なし	10	18	mA
		フラッシュメモリ	f(XIN)=16MHz 分周なし	12	18	mA
		ワнтаイムフラッシュ プログラム	f(XIN)=10MHz V _{CC1} =5.0V	15		mA
		フラッシュメモリプロ グラム	f(XIN)=10MHz V _{CC1} =5.0V	15		mA
		フラッシュメモリー レーズ	f(XIN)=10MHz V _{CC1} =5.0V	25		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)	25		μA
		ワнтаイムフラッシュ	f(XCIN)=32kHz 低消費電力モード時 RAM上(注3)	25		μA
			f(XCIN)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)	350		μA
		フラッシュメモリ	f(XCIN)=32kHz 低消費電力モード時 RAM上(注3)	25		μA
			f(XCIN)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)	420		μA
		マスクROM、 ワнтаイムフラッシュ、 フラッシュメモリ	f(XCIN)=32kHz ウェイトモード時(注2) 発振能力High	7.5		μA
			f(XCIN)=32kHz ウェイトモード時(注2) 発振能力Low	2.0		μA
			ストップモード時 Topr=25℃	0.8	3.0	μA

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.2~5.5V、V_{SS}=0V、Topr=−20~85℃ / −40~85℃、f(XIN)=16MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表21.11 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	62.5		ns
$t_w(H)$	外部クロック入力“H”パルス幅	25		ns
$t_w(L)$	外部クロック入力“L”パルス幅	25		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

注1. 条件は $V_{CC1}=V_{CC2}=3.0\sim 5.0V$ です。

表21.12 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	40		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	30		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	40		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK -RDY)$	RDY入力ホールド時間	0		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 45[ns]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 45[ns] \quad n \text{ は 1 ウェイト設定の場合 “2”}$$

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表21.13 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	40		ns

表21.14 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	200		ns

表21.15 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	100		ns

表21.16 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	100		ns

表21.17 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT 入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT 入力“H”パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT 入力“L”パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT 入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAiOUT 入力ホールド時間	400		ns

表21.18 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	800		ns
$t_{su(TAIN-TAOUT)}$	TAiOUT 入力セットアップ時間	200		ns
$t_{su(TAOUT-TAIN)}$	TAiIN 入力セットアップ時間	200		ns

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表 21.19 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 21.20 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 21.21 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 21.22 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅	125		ns

表 21.23 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

表 21.24 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅	250		ns
$t_{w(INL)}$	INTi入力“L”パルス幅	250		ns

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表 21.25 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(BCLK-AD)$	アドレス出力遅延時間	図 21.2		25	ns
$t_h(BCLK-AD)$	アドレス出力保持時間 (BCLK 基準)		-3		ns
$t_h(RD-AD)$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(WR-AD)$	アドレス出力保持時間 (WR 基準)		(注 2)		ns
$t_d(BCLK-CS)$	チップセレクト出力遅延時間			25	ns
$t_h(BCLK-CS)$	チップセレクト出力保持時間 (BCLK 基準)		-3		ns
$t_d(BCLK-ALE)$	ALE 信号出力遅延時間			15	ns
$t_h(BCLK-ALE)$	ALE 信号出力保持時間		-4		ns
$t_d(BCLK-RD)$	RD 信号出力遅延時間			25	ns
$t_h(BCLK-RD)$	RD 信号出力保持時間		0		ns
$t_d(BCLK-WR)$	WR 信号出力遅延時間			25	ns
$t_h(BCLK-WR)$	WR 信号出力保持時間		0		ns
$t_d(BCLK-DB)$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(BCLK-DB)$	データ出力保持時間 (BCLK 基準) (注 3)		4		ns
$t_d(DB-WR)$	データ出力遅延時間 (WR 基準)		(注 1)		ns
$t_h(WR-DB)$	データ出力保持時間 (WR 基準) (注 3)		(注 2)		ns
$t_d(BCLK-HLDA)$	HLDA 出力遅延時間			40	ns

注 1. BCLK の周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 40[ns] \quad f(BCLK) \text{ は } 12.5MHz \text{ 以下}$$

注 2. BCLK の周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10[ns]$$

注 3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC1})$$

で表されます。

例えば、 $V_{OL}=0.2V_{CC1}$ 、 $C=30pF$ 、 $R=1k\Omega$ とすると、

出力 “L” レベルの保持時間は、

$$t = -30pF \times 1k\Omega \times \ln(1 - 0.2V_{CC1}/V_{CC1})$$

$$= 6.7ns$$

となります。

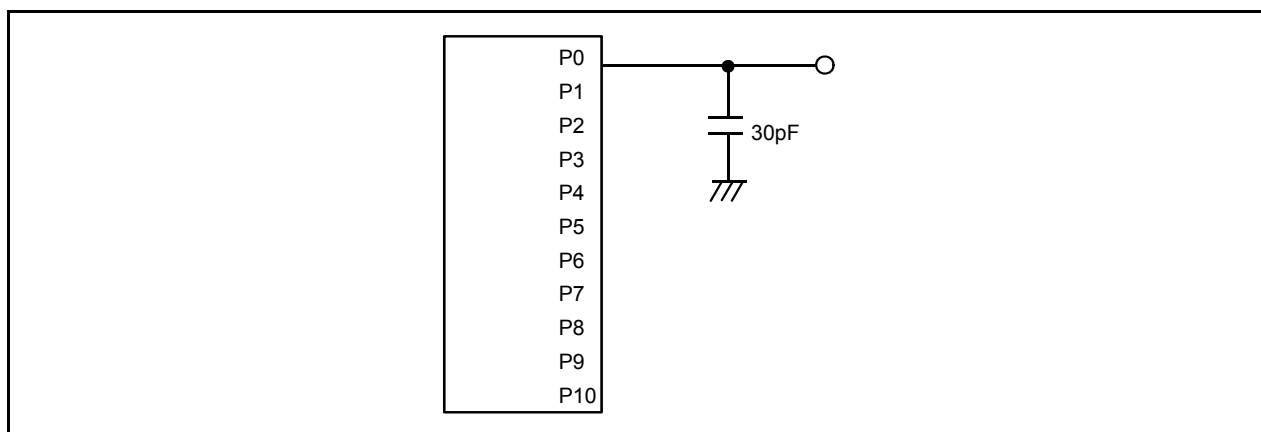
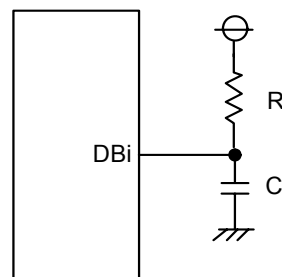


図 21.2 ポート P0～P10 の測定回路

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表 21.26 メモリ拡張モード、マイクロプロセッサモード
(1ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(BCLK-AD)$	アドレス出力遅延時間	図 21.2		25	ns
$t_h(BCLK-AD)$	アドレス出力保持時間 (BCLK 基準)		-3		ns
$t_h(RD-AD)$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(WR-AD)$	アドレス出力保持時間 (WR 基準)		(注 2)		ns
$t_d(BCLK-CS)$	チップセレクト出力遅延時間			25	ns
$t_h(BCLK-CS)$	チップセレクト出力保持時間 (BCLK 基準)		-3		ns
$t_d(BCLK-ALE)$	ALE 信号出力遅延時間			15	ns
$t_h(BCLK-ALE)$	ALE 信号出力保持時間		-4		ns
$t_d(BCLK-RD)$	RD 信号出力遅延時間			25	ns
$t_h(BCLK-RD)$	RD 信号出力保持時間		0		ns
$t_d(BCLK-WR)$	WR 信号出力遅延時間			25	ns
$t_h(BCLK-WR)$	WR 信号出力保持時間		0		ns
$t_d(BCLK-DB)$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(BCLK-DB)$	データ出力保持時間 (BCLK 基準) (注 3)		4		ns
$t_d(DB-WR)$	データ出力遅延時間 (WR 基準)		(注 1)		ns
$t_h(WR-DB)$	データ出力保持時間 (WR 基準) (注 3)		(注 2)		ns
$t_d(BCLK-HLDA)$	HLDA 出力遅延時間			40	ns

注 1. BCLK の周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 40 [ns] \quad n \text{ は 1 ウェイト設定の場合 "1"、} n=1 \text{ の場合は、} f(BCLK) \text{ は } 12.5MHz \text{ 以下}$$

注 2. BCLK の周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 10 [ns]$$

注 3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

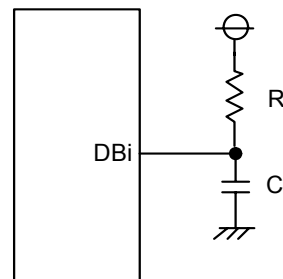
$$t = -CR \times \ln(1 - V_{OL}/V_{CC1})$$

で表されます。

例えば、 $V_{OL}=0.2V_{CC1}$ 、 $C=30pF$ 、 $R=1k\Omega$ とすると、出力 "L" レベルの保持時間は、

$$t = -30pF \times 1k\Omega \times \ln(1 - 0.2V_{CC1}/V_{CC1}) = 6.7ns$$

となります。



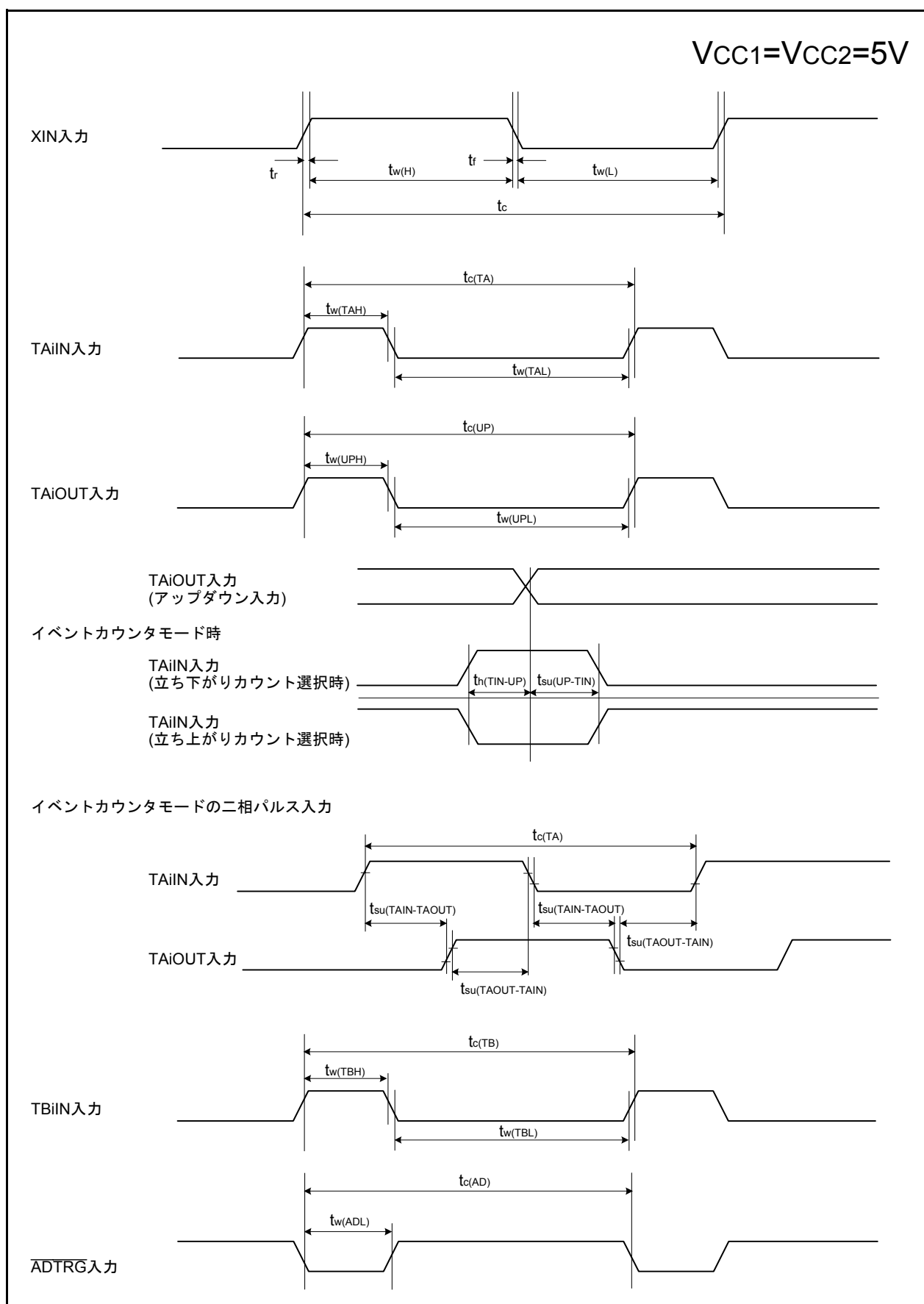


図 21.3 タイミング図(1)

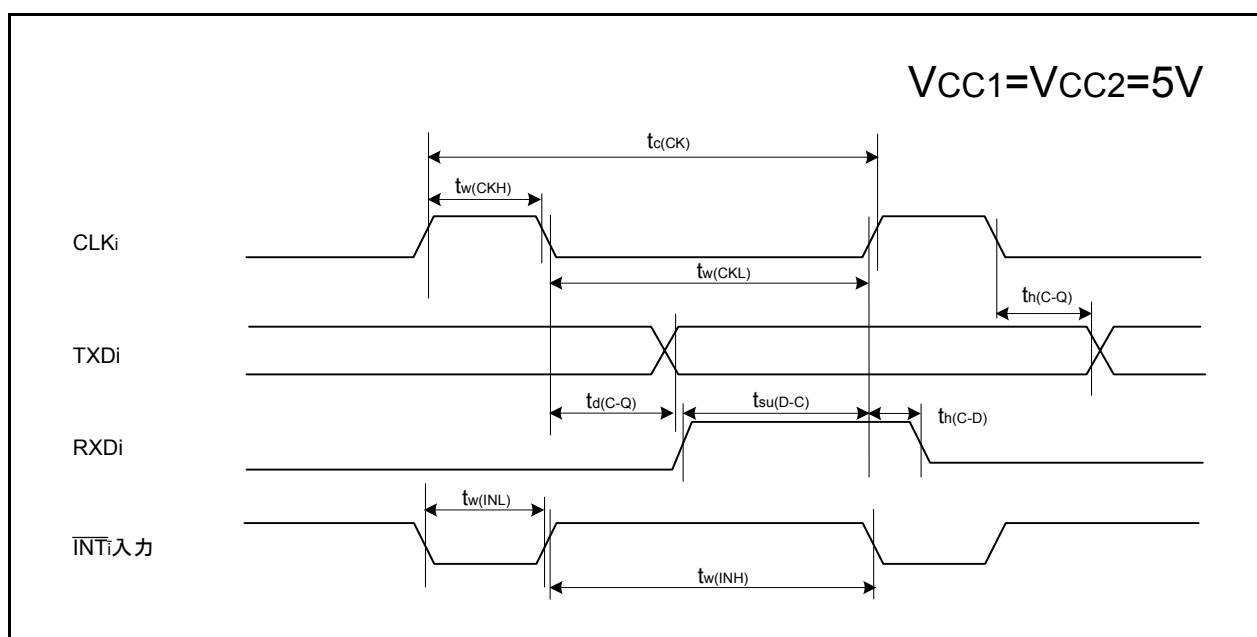
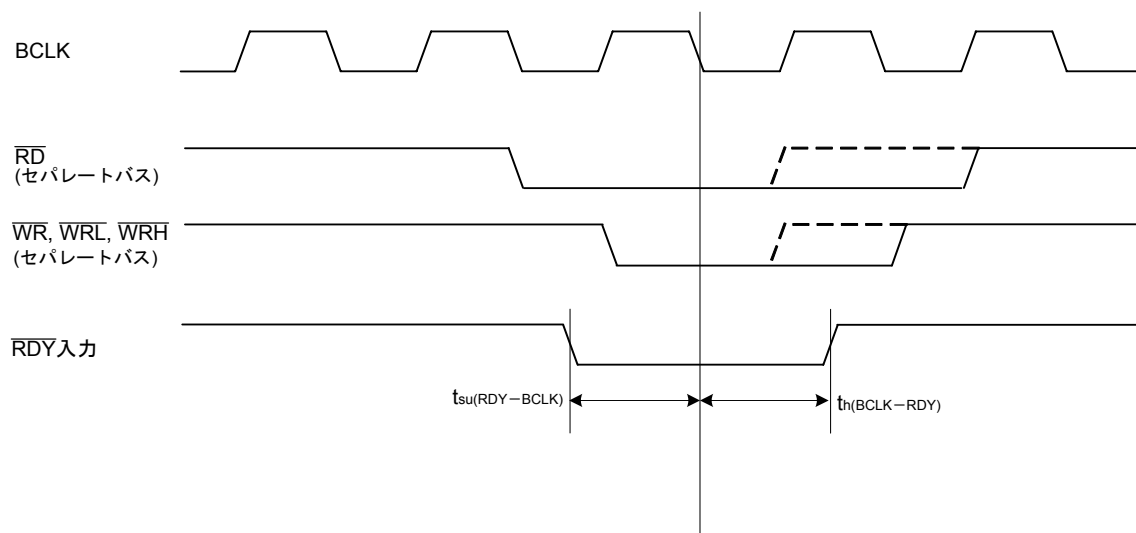


図 21.4 タイミング図 (2)

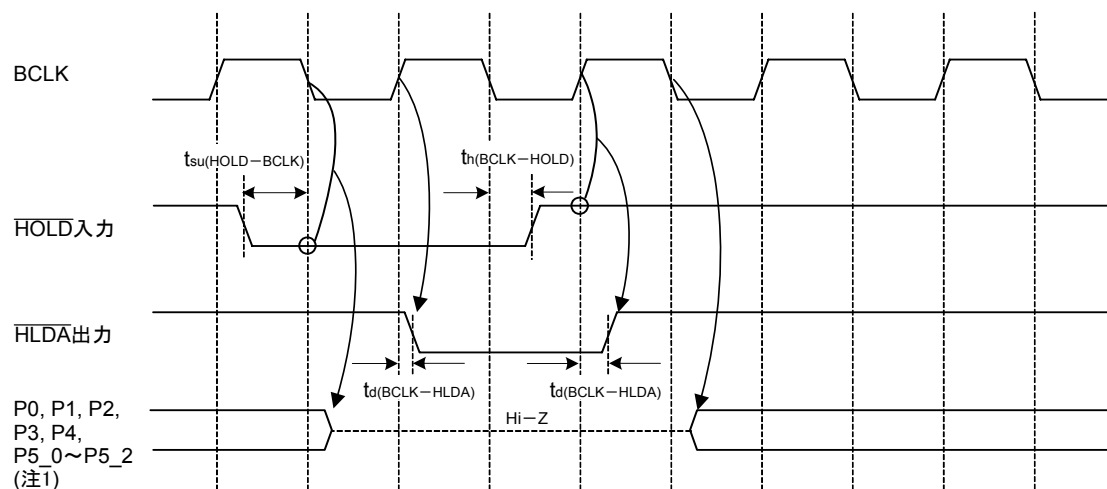
$V_{CC1}=V_{CC2}=5V$

メモリ拡張モード、マイクロプロセッサモード

(ウェイトあり設定の場合に有効)



(ウェイトあり設定、ウェイトなし設定共通)



注1. BYTE端子の入力レベル、PM0レジスタのPM06ビットにかかわらずハイインピーダンス状態になります。

測定条件

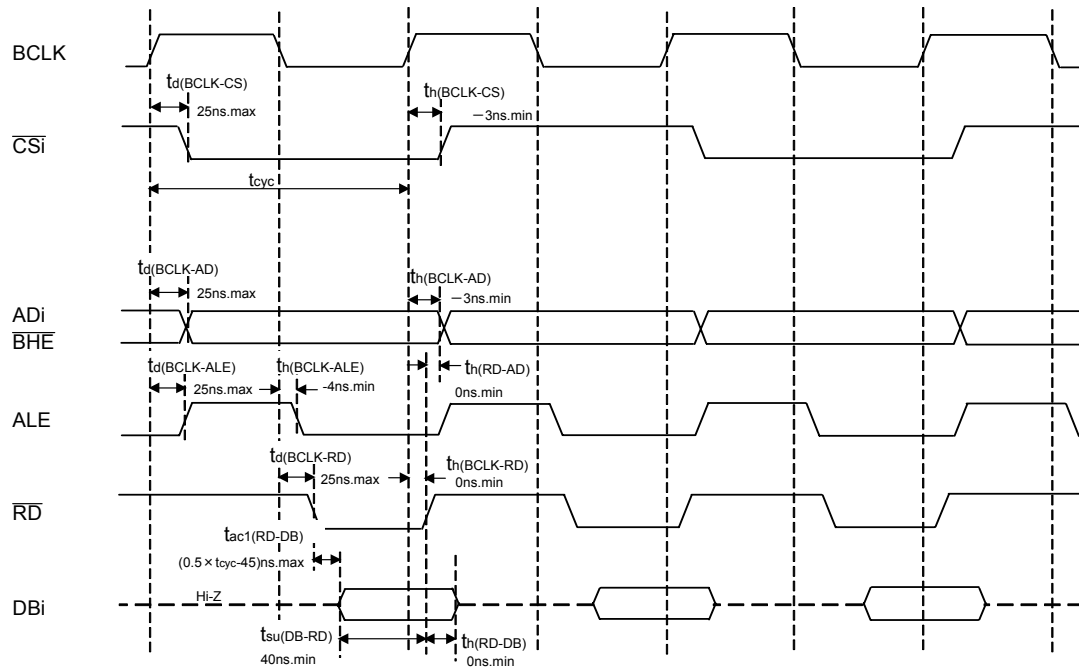
- $V_{CC1}=V_{CC2}=5V$
- 入力タイミング電圧: $V_{IL}=1.0V$, $V_{IH}=4.0V$
- 出力タイミング電圧: $V_{OL}=2.5V$, $V_{OH}=2.5V$

図 21.5 タイミング図(3)

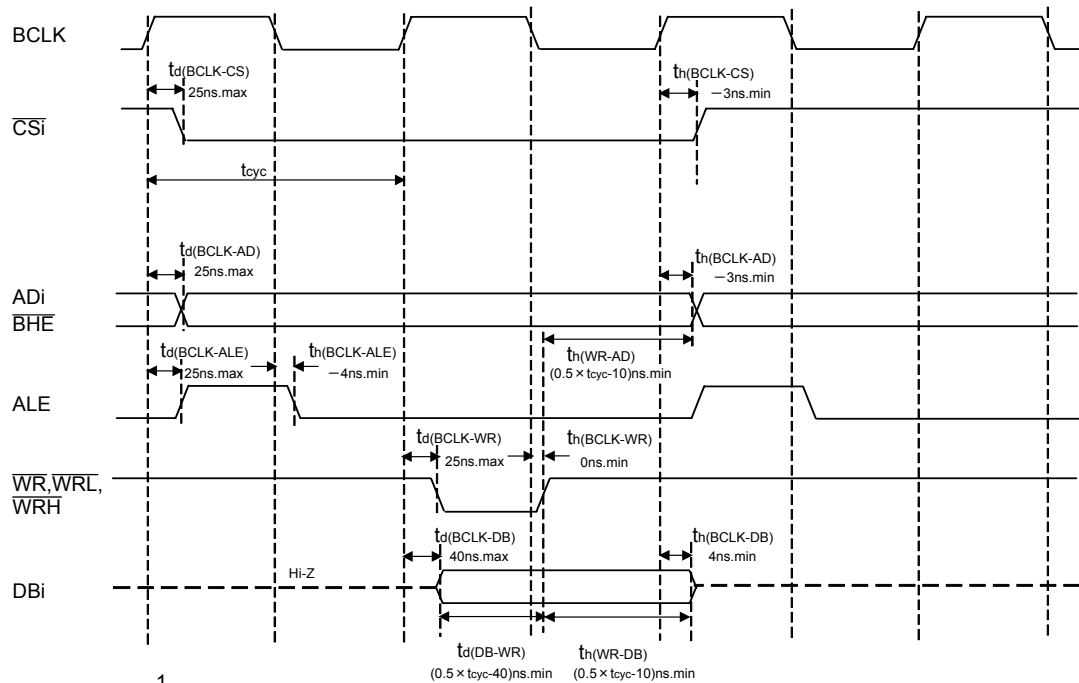
VCC1=VCC2=5V

メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

読み出しタイミング



書き込みタイミング



$$t_{cyc} = \frac{1}{f(\text{BCLK})}$$

測定条件

- VCC1=VCC2=5V
- 入力タイミング電圧: $V_{IL}=0.8\text{V}$, $V_{IH}=2.0\text{V}$
- 出力タイミング電圧: $V_{OL}=0.4\text{V}$, $V_{OH}=2.4\text{V}$

図 21.6 タイミング図(4)

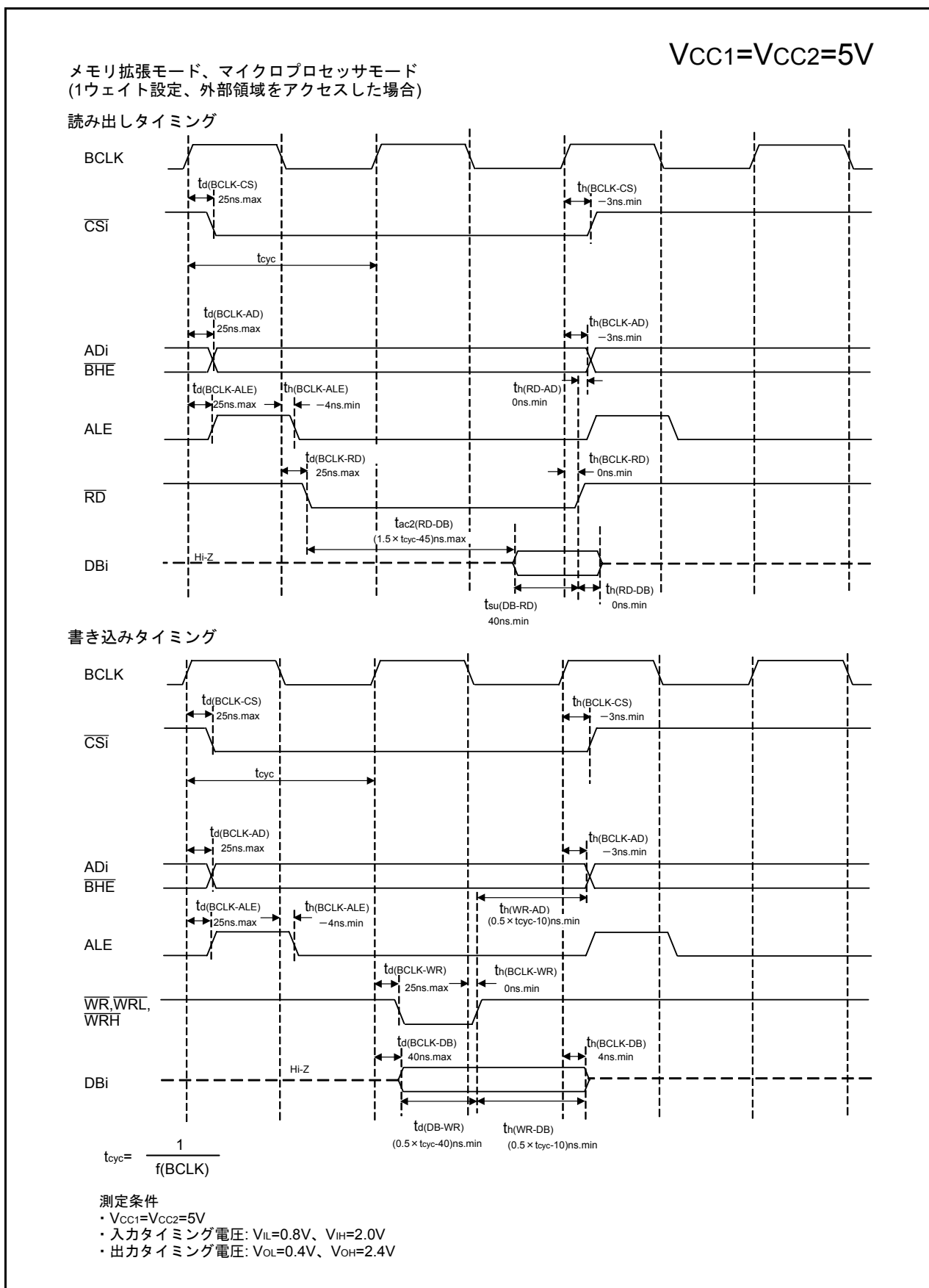


図 21.7 タイミング図(5)

$$V_{CC1}=V_{CC2}=3V$$

表21.27 電気的特性(1)(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOH= -1mA	V _{CC} - 0.5		V _{CC}	V
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH= -0.1mA	V _{CC} - 0.5		V _{CC}	V
		LOWPOWER	IOH= -50 μ A	V _{CC} - 0.5		V _{CC}	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
VOL	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	IOL=1mA			0.5	V
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=0.1mA			0.5	V
		LOWPOWER	IOL=50 μ A			0.5	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
VT+-VT-	ヒステリシス	TA0IN ~ TA2IN, $\overline{\text{TB0IN}}$ ~ $\overline{\text{TB2IN}}$, INT0 ~ INT4, NMI, ADTRG, CTS0 ~ CTS2, CLK0 ~ CLK2, TA0OUT ~ TA2OUT, KI0 ~ KI3, RXD0 ~ RXD2, SCL0 ~ SCL2, SDA0 ~ SDA2		0.2		0.8	V
VT+-VT-	ヒステリシス	$\overline{\text{RESET}}$		0.2	(0.7)	1.8	V
IiH	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	Vi=3V			4.0	μ A
IiL	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	Vi=0V			-4.0	μ A
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	Vi=0V	50	100	500	k Ω
RfXIN	帰還抵抗	XIN			3.0		M Ω
RfXCIN	帰還抵抗	XCIN			25		M Ω
VRAM	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7~3.3V、V_{SS}=0V、T_{opr}= -20~85℃ / -40~85℃、f(XIN)=10MHz、ウェイトなしです。

$$V_{CC1}=V_{CC2}=3V$$

表21.28 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{CC}	電源電流 (V _{CC1} =2.7 ~ 3.6V)	シングルチップモードで、 出力端子は開放、 その他の端子はV _{SS}	マスクROM	f(XIN)=10MHz 分周なし		8	11	mA
			ワンタイムフラッシュ	f(XIN)=10MHz 分周なし		8	13	mA
			フラッシュメモリ	f(XIN)=10MHz 分周なし		8	13	mA
			ワンタイムフラッシュ プログラム	f(XIN)=10MHz V _{CC1} =3.0V		12		mA
			フラッシュメモリプロ グラム	f(XIN)=10MHz V _{CC1} =3.0V		12		mA
			フラッシュメモリー レーズ	f(XIN)=10MHz V _{CC1} =3.0V		22		mA
			マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)		25		μA
			ワンタイムフラッシュ	f(XCIN)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
				f(XCIN)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		350		μA
			フラッシュメモリ	f(XCIN)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
				f(XCIN)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		420		μA
			マスクROM、 ワンタイムフラッシュ、 フラッシュメモリ	f(XCIN) = 32kHz ウェイトモード時(注2) 発振能力High		6.0		μA
				f(XCIN) = 32kHz ウェイトモード時(注2) 発振能力Low		1.8		μA
				ストップモード時 T _{OPR} =25℃		0.7	3.0	μA

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7~3.3V、V_{SS}=0V、T_{opr}=-20~85℃ / -40~85℃、f(XIN)=10MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表21.29 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	(注2)		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	(注3)		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	(注3)		ns
t_r	外部クロック立ち上がり時間		(注4)	ns
t_f	外部クロック立ち下がり時間		(注4)	ns

注1. 条件は $V_{CC1}=V_{CC2}=2.7\sim 3.0V$ です。

注2. V_{CC1} の電圧に応じて次の計算式で算出されます。

$$\frac{10^{-6}}{20 \times V_{CC1} - 44} [ns]$$

注3. V_{CC1} の電圧に応じて次の計算式で算出されます。

$$\frac{10^{-6}}{20 \times V_{CC1} - 44} \times 0.4 [ns]$$

注4. V_{CC1} の電圧に応じて次の計算式で算出されます。

$$-10 \times V_{CC1} + 45 [ns]$$

表21.30 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	50		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	40		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	50		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 60 [ns]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 60 [ns] \quad n \text{は1ウェイト設定の場合“2”}$$

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表21.31 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	60		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	60		ns

表21.32 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	300		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	300		ns

表21.33 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	150		ns

表21.34 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN 入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN 入力“L”パルス幅	150		ns

表21.35 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT 入力サイクル時間	3000		ns
$t_{w(UPH)}$	TAiOUT 入力“H”パルス幅	1500		ns
$t_{w(UPL)}$	TAiOUT 入力“L”パルス幅	1500		ns
$t_{su(UP-TIN)}$	TAiOUT 入力セットアップ時間	600		ns
$t_{h(TIN-UP)}$	TAiOUT 入力ホールド時間	600		ns

表21.36 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN 入力サイクル時間	2		μs
$t_{su(TAIN-TAOUT)}$	TAiOUT 入力セットアップ時間	500		ns
$t_{su(TAOUT-TAIN)}$	TAiIN 入力セットアップ時間	500		ns

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表21.37 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表21.38 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表21.39 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表21.40 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅	200		ns

表21.41 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TXDi出力遅延時間		160	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

表21.42 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅	380		ns
$t_{w(INL)}$	INTi入力“L”パルス幅	380		ns

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表21.43 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 21.8		30	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			30	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			25	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			30	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			30	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は } 12.5\text{MHz 以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC1})$$

で表されます。

例えば、 $V_{OL}=0.2V_{CC1}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC1}/V_{CC1})$$

$$= 6.7\text{ns}$$

となります。

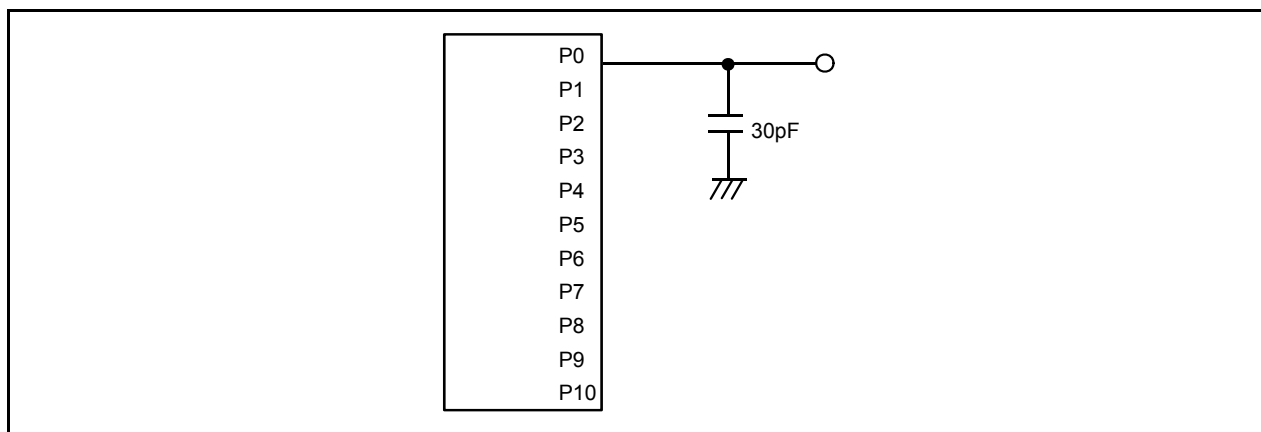
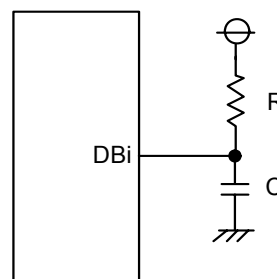


図21.8 ポートP0～P10の測定回路

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表 21.44 メモリ拡張モード、マイクロプロセッサモード
(1ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 21.8		30	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK 基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR 基準)		(注 2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			30	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK 基準)		0		ns
$t_d(\text{BCLK-ALE})$	ALE 信号出力遅延時間			25	ns
$t_h(\text{BCLK-ALE})$	ALE 信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD 信号出力遅延時間			30	ns
$t_h(\text{BCLK-RD})$	RD 信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR 信号出力遅延時間			30	ns
$t_h(\text{BCLK-WR})$	WR 信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK 基準) (注 3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR 基準)		(注 1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR 基準) (注 3)		(注 2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA 出力遅延時間			40	ns

注 1. BCLK の周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad n \text{ は 1 ウェイト設定の場合 "1"、} n=1 \text{ の場合は、} f(\text{BCLK}) \text{ は } 12.5\text{MHz 以下}$$

注 2. BCLK の周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC1})$$

で表されます。

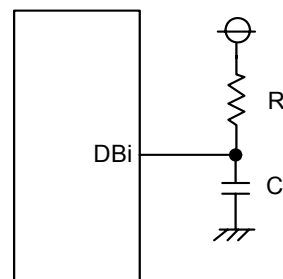
例えば、 $V_{OL}=0.2V_{CC1}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力 "L" レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC1}/V_{CC1})$$

$$= 6.7\text{ns}$$

となります。



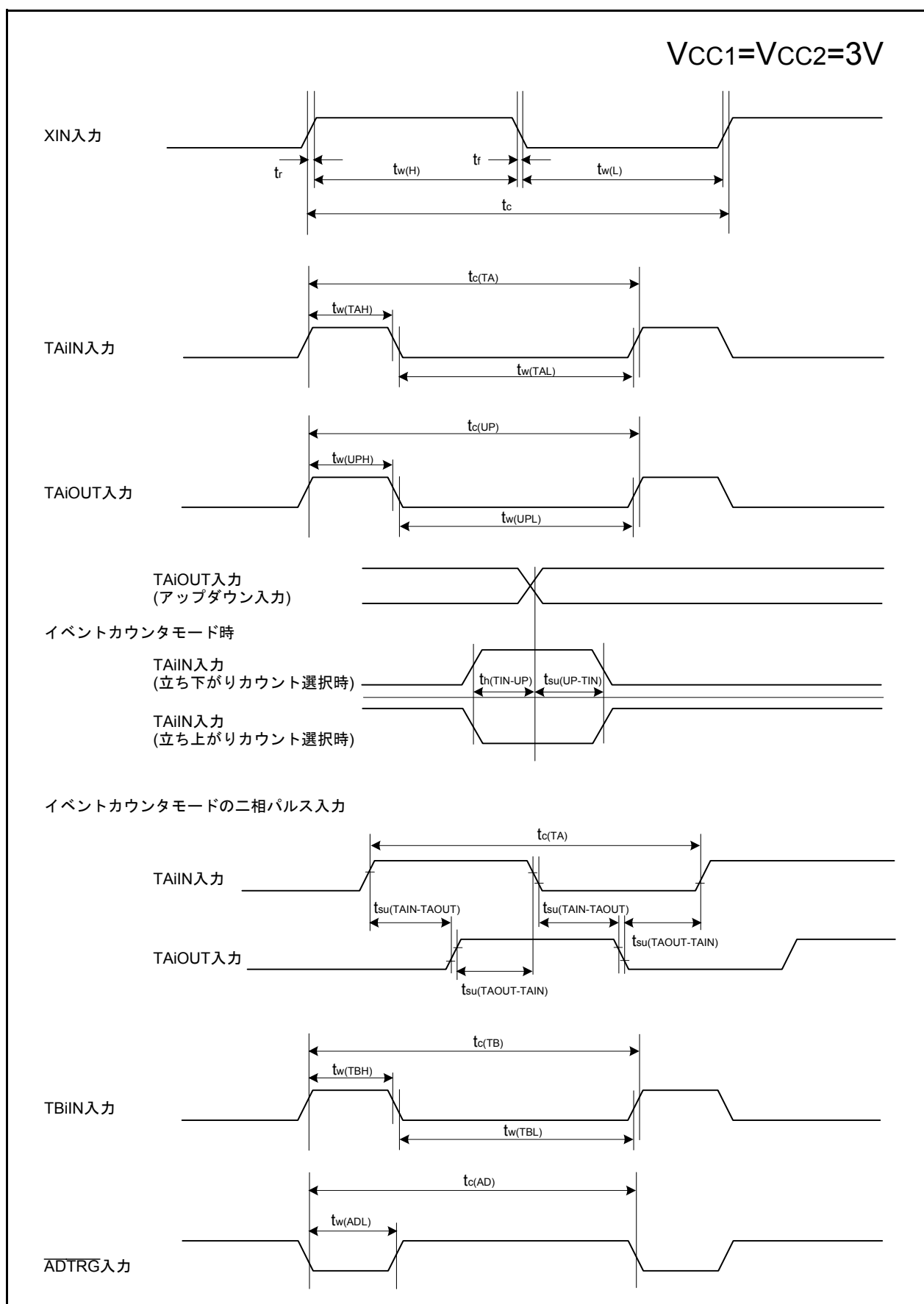


図 21.9 タイミング図(1)

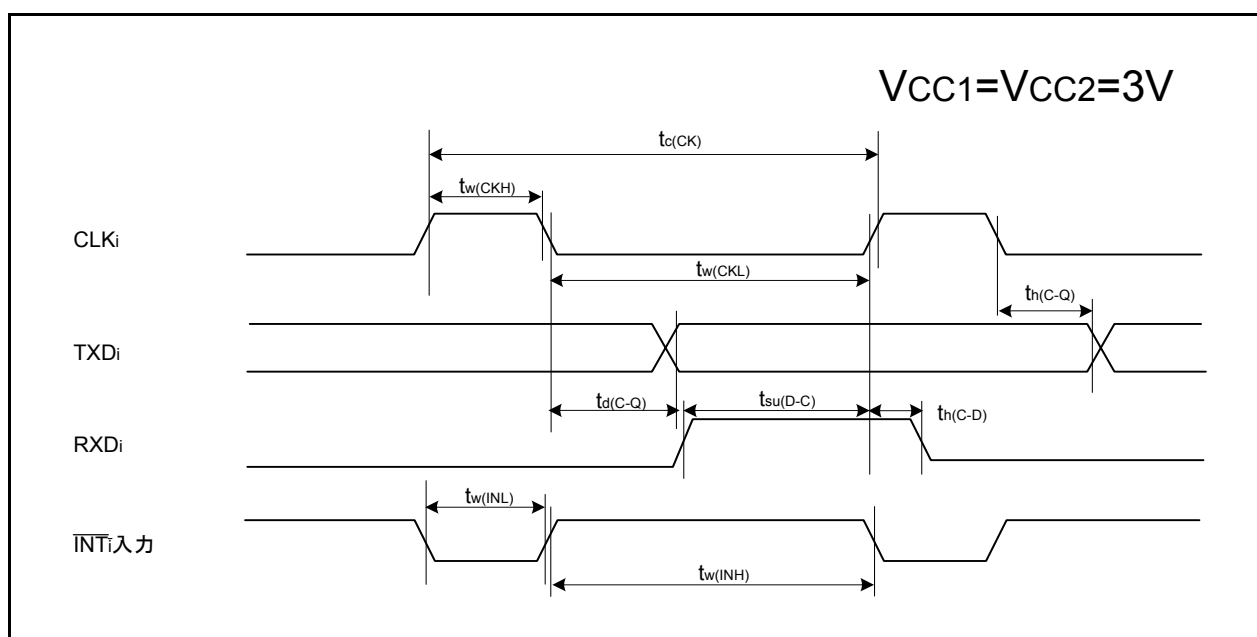
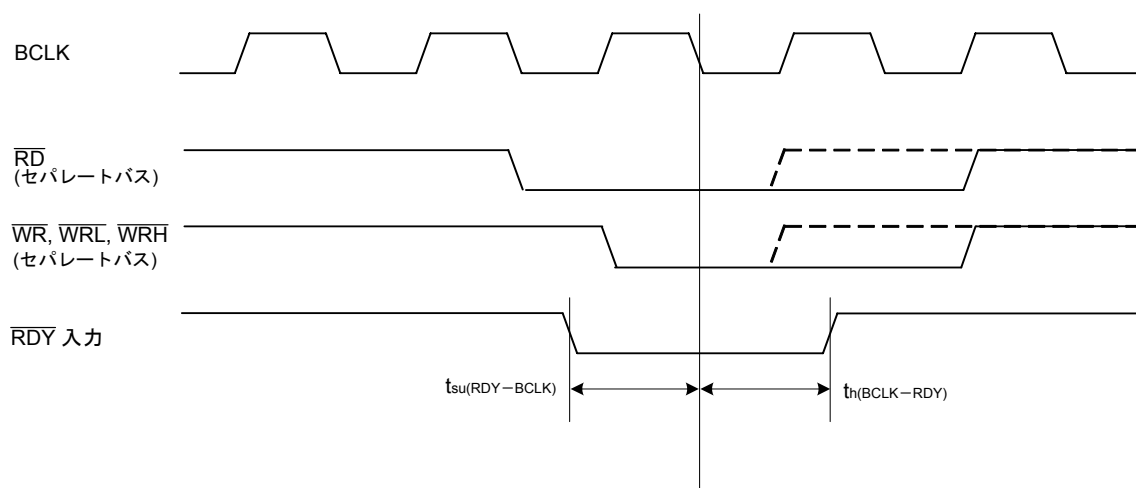


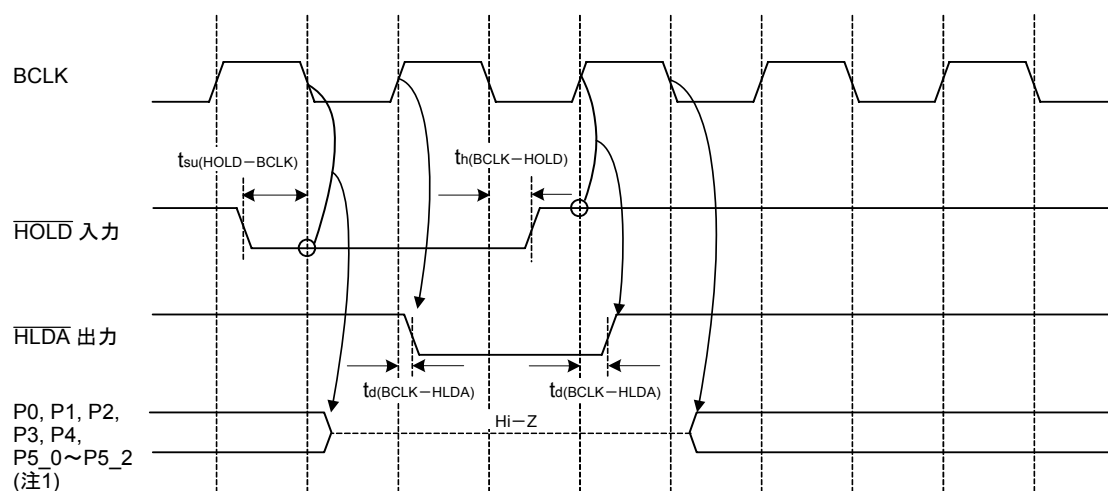
図 21.10 タイミング図 (2)

メモリ拡張モード、マイクロプロセッサモード
(ウェイトあり設定の場合に有効)

$V_{CC1}=V_{CC2}=3V$



(ウェイトあり設定、ウェイトなし設定共通)



注1. BYTE端子の入カレベル、PM0レジスタのPM06ビットにかかわらずハイインピーダンス状態になります。

測定条件

- ・ $V_{CC1}=V_{CC2}=3V$
- ・ 入力タイミング電圧 : $V_{IL}=0.6V$, $V_{IH}=2.4V$
- ・ 出力タイミング電圧 : $V_{OL}=1.5V$, $V_{OH}=1.5V$

図 21.11 タイミング図(3)

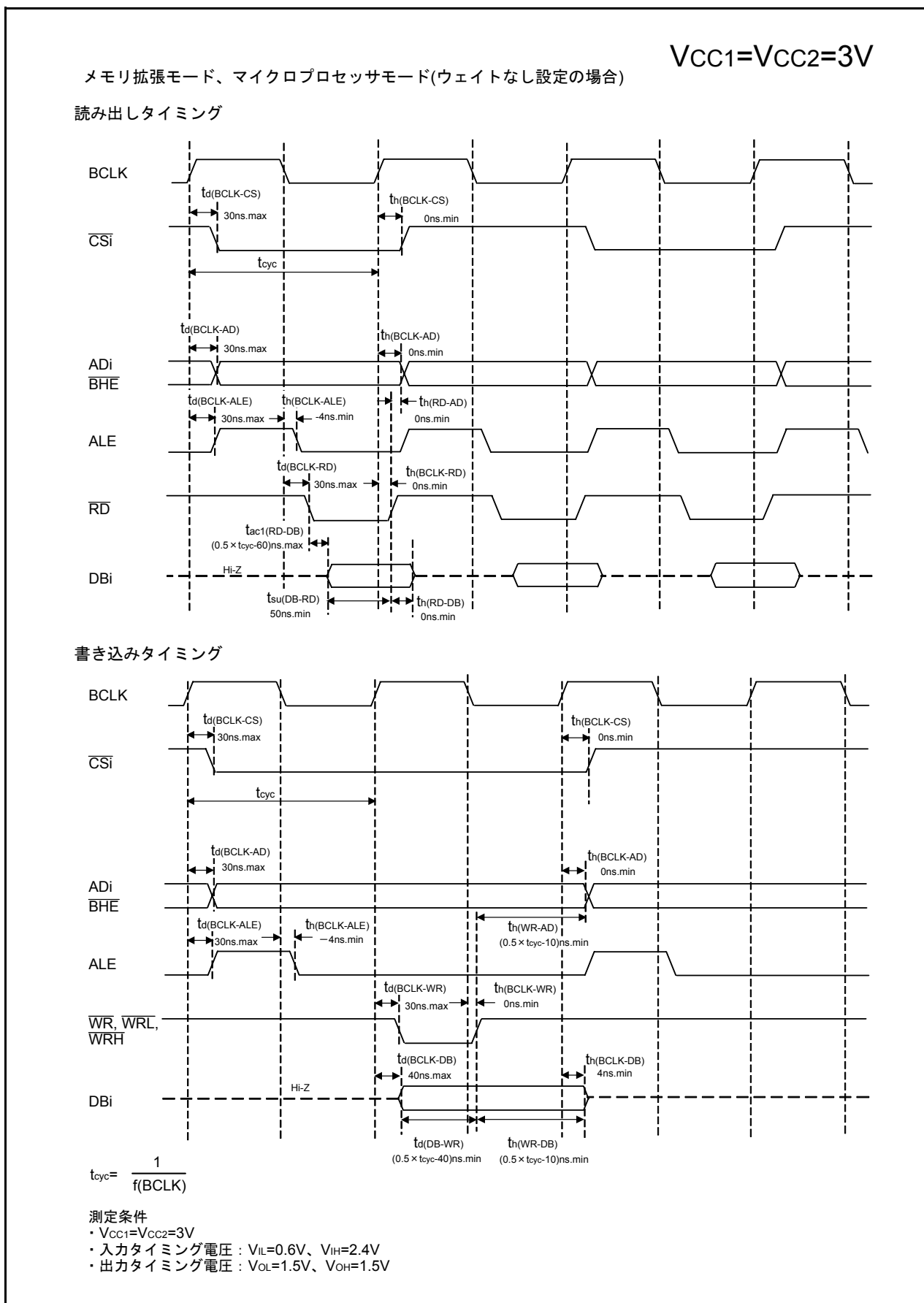


図21.12 タイミング図(4)

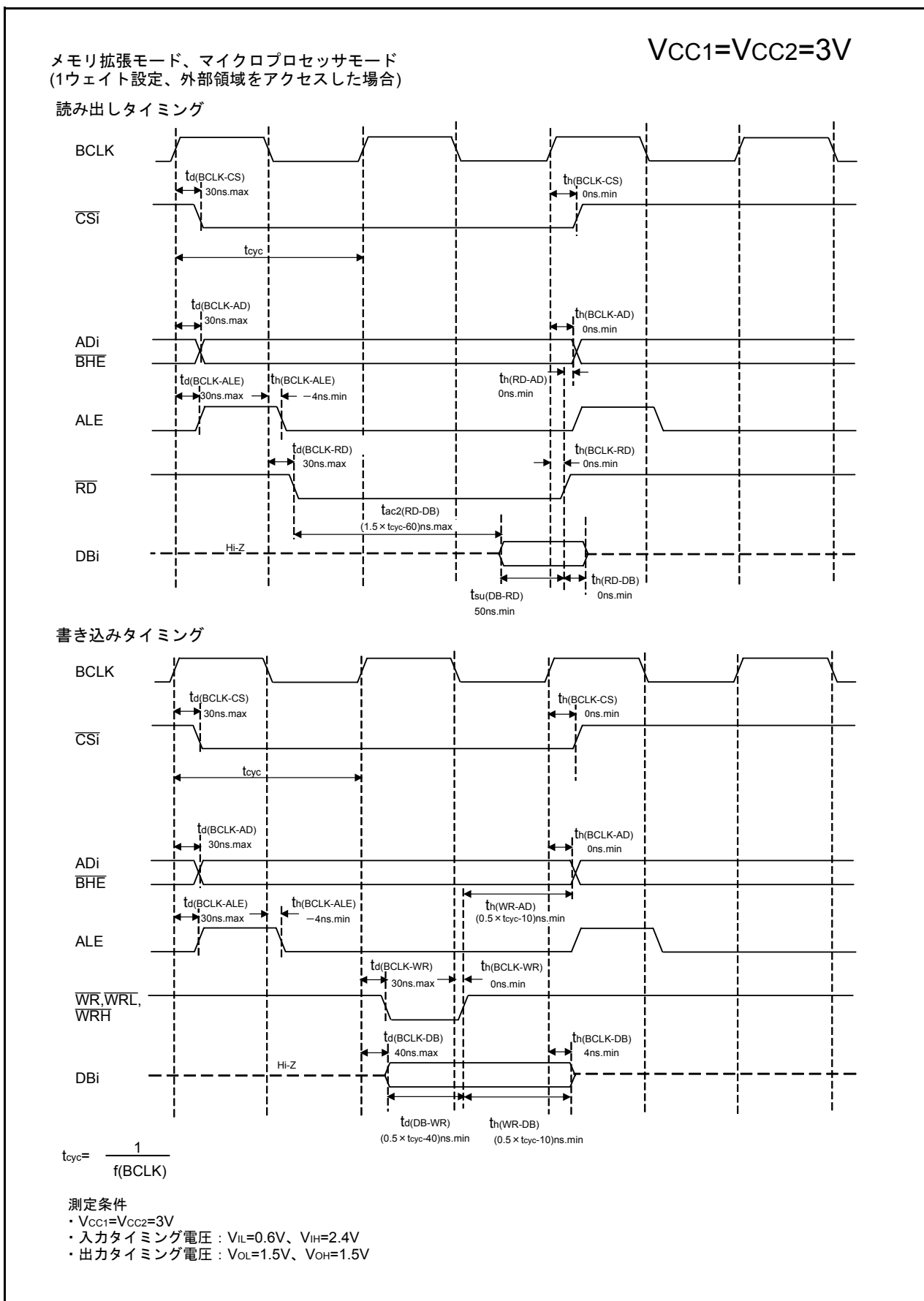


図 21.13 タイミング図 (5)

22. 使用上の注意事項

22.1 SFR

22.1.1 レジスタ設定時の注意事項

表22.1に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表22.1 書き込みのみ可能なビットを含むレジスタ

レジスタ名	シンボル	アドレス
ウォッチドッグタイマスタートレジスタ	WDC	000E
UART0転送速度レジスタ	U0BRG	03A1
UART1転送速度レジスタ	U1BRG	03A9
UART2転送速度レジスタ	U2BRG	0379
UART0送信バッファレジスタ	U0TB	03A3 ~ 03A2
UART1送信バッファレジスタ	U1TB	03AB ~ 03AA
UART2送信バッファレジスタ	U2TB	037B ~ 037A
アップダウンフラグ	UDF	0384
タイマA0レジスタ	TA0	0387 ~ 0386
タイマA1レジスタ	TA1	0389 ~ 0388
タイマA2レジスタ	TA2	038B ~ 038A

22.2 リセット

電源投入時等、VCC1、VCC2端子に入力される電圧がSVCCの規格を満たすようにしてください。

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
SV _{CC}	電源立ち上がり勾配(V _{CC1})	0.05			V/ms

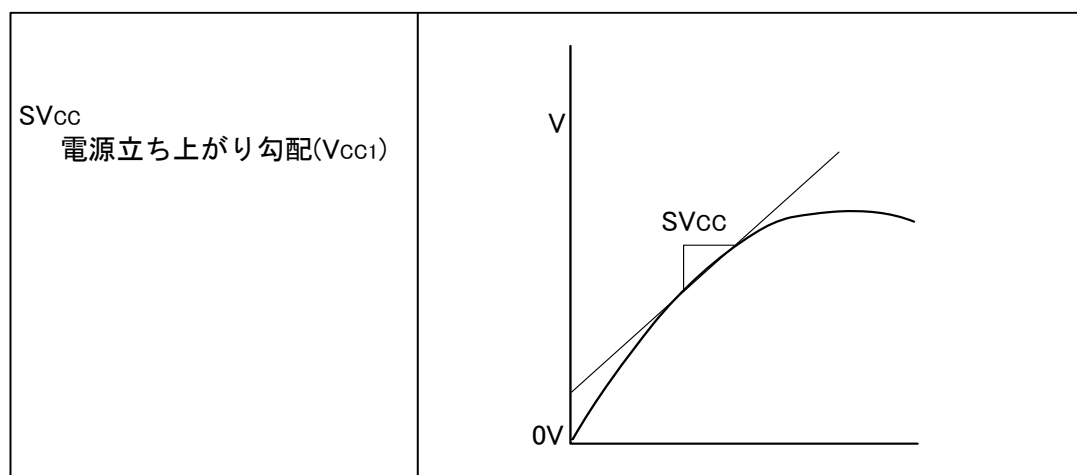


図22.1 SV_{CC}のタイミング図

22.3 外部バス

- ROM外付け版はマイクロプロセッサモード専用のため、CNVSS 端子は、VCC1に接続してください。
- CNVSS 端子に “H” を入力してハードウェアリセットすると、内部ROMは読めません。

22.4 パワーコントロール

- ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまで RESET 端子に “L” を入力してください。
- ストップモードからの復帰にタイマ A を使用する場合、TAiMR レジスタ (i=0 ~ 2) の MR0 ビットを “0” (パルス出力なし) にしてください。
- ウェイトモードに移行するとき、WAIT 命令の前に JMP.B 命令を挿入してください。JMP.B 命令と WAIT 命令実行の間に、RAM への書き込みが発生する命令を実行しないでください。JMP.B 命令と WAIT 命令の間に DMA 転送が発生する可能性がある場合は、DMA 転送を禁止してください。また、WAIT 命令の後には NOP 命令を 4 つ以上入れてください。ウェイトモードに移行する場合、命令キューは WAIT 命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

ウェイトモードに移行するときのプログラム例を示します。

```

例:          JMP.B      L1          ;WAIT 命令の前に JMP.B 命令を挿入
              L1:
              FSET       I          ;
              WAIT       ;ウェイトモードに移行
              NOP        ;NOP 命令を 4 つ以上
              NOP
              NOP
              NOP

```

- ストップモードに移行するとき、CM1 レジスタの CM10 ビットを “1” にする命令の直後に JMP.B 命令を挿入し、その後に NOP 命令を 4 つ以上入れてください。ストップモードに移行する場合、命令キューは CM10 ビットを “1” (全クロック停止) にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。

ストップモードに移行するときのプログラム例を示します。

```

例:          FSET       I
              BSET       0, CM1    ;ストップモードに移行
              JMP.B      L2        ;JMP.B 命令を挿入
              L2:
              NOP        ;NOP 命令を 4 つ以上
              NOP
              NOP
              NOP

```

- CPU クロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を待ってから切り替えてください。
CPU クロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。

- 消費電力を小さくするためのポイント

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください

【ポート】

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

【A/D コンバータ】

A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(Vref接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

【周辺機能の停止】

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。

ただし、サブクロックから生成している周辺機能クロック(fC32)は停止しませんので、消費電力の削減にはなりません。低速モードまたは低消費電力モードから、ウェイトモードに移行する場合はCM02ビットを“0”(ウェイトモード時、周辺機能クロック停止しない)にしてウェイトモードに移行してください。

【発振駆動能力の切り替え】

発振が安定している場合、駆動能力を“LOW”にしてください。

22.5 プロテクト

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

22.6 割り込み

22.6.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスクابل割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報 (割り込み番号と割り込み要求レベル) を 00000h 番地から読みます。このとき、受け付けられた割り込みの IR ビットが “0” になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが “0” になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

22.6.2 SP の設定

割り込みを受け付ける前に、SP(USP、ISP) に値を設定してください。リセット後、SP(USP、ISP) は “0000h” です。そのため、SP(USP、ISP) に値を設定する前に割り込みを受け付けると、暴走の要因となります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭で ISP に値を設定してください。リセット後の先頭の 1 命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

22.6.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介して VCC1 に接続 (プルアップ) してください。
- $\overline{\text{NMI}}$ 端子は、P8 レジスタの P8_5 ビットを読むことで端子の値を読めます。P8_5 ビットは、 $\overline{\text{NMI}}$ 割り込みルーチンで、端子のレベルを判定する場合のみ読んでください。
- $\overline{\text{NMI}}$ 端子に “L” を入力している場合、ストップモードに移行できません。 $\overline{\text{NMI}}$ 端子に “L” が入力されている場合、CM1 レジスタの CM10 ビットが “0” に固定されています。
- $\overline{\text{NMI}}$ 端子に “L” を入力している場合、ウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子に “L” が入力されている場合、CPU は停止しますが CPU クロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の “L” 幅、“H” 幅は、いずれも CPU クロックの 2 サイクル + 300ns 以上にしてください。

22.6.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IR ビットを “0” (割り込み要求なし) にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IR ビットを “0” (割り込み要求なし) にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 22.2 割り込み要因の変更手順例を示します。

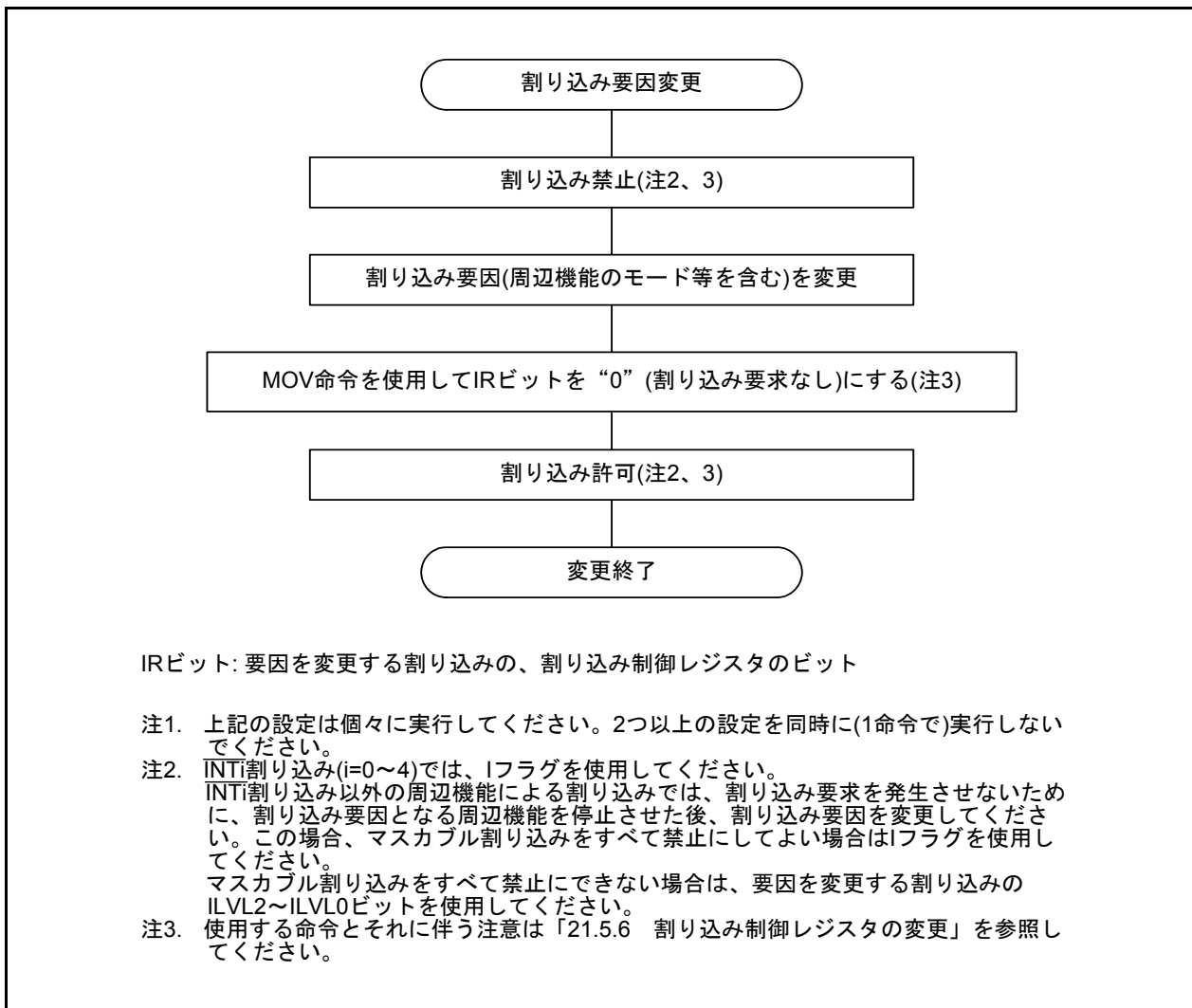


図 22.2 割り込み要因の変更手順例

22.6.5 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT0}}\sim\overline{\text{INT4}}$ 端子に入力する信号には、CPU クロックに関係なく $\text{tw}(\text{INL})$ 以上の “L” 幅または $\text{tw}(\text{INH})$ 以上の “H” 幅が必要です。
- $\text{INT0IC}\sim\text{INT4IC}$ レジスタの POL ビット、IFSR レジスタの $\text{IFSR7}\sim\text{IFSR0}$ ビットを変更すると、IR ビットが “1” (割り込み要求あり) になることがあります。これらのビットを変更した後、IR ビットを “0” (割り込み要求なし) にしてください。

22.6.6 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

• IR ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IR ビットが“1” (割り込み要求あり) にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令…AND、OR、BCLR、BSET

• IR ビットの変更

IR ビットを“0” (割り込み要求なし) にする場合、使用する命令によってはIR ビットが“0” にならないことがあります。IR ビットはMOV 命令を使用して“0” にしてください。

- (c) I フラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってI フラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は (b) を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にI フラグが“1” (割り込み許可) になることを防ぐ方法です。

例1: NOP 命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
    FCLR      I                ; 割り込み禁止
    AND.B     #00H, 0055H      ; TA0IC レジスタを“00h”にする
    NOP                          ;
    NOP                          ;
    FSET      I                ; 割り込み許可
NOP 命令の数は、次の通り
    HOLD使用時、4個。
```

例2: ダミーリードでFSET 命令を待たせる例

```
INT_SWITCH2 :
    FCLR      I                ; 割り込み禁止
    AND.B     #00H, 0055H      ; TA0IC レジスタを“00h”にする
    MOV.W     MEM, R0          ; ダミーリード
    FSET      I                ; 割り込み許可
```

例3: POPC 命令でI フラグを変更する例

```
INT_SWITCH3 :
    PUSHC     FLG
    FCLR      I                ; 割り込み禁止
    AND.B     #00H, 0055H      ; TA0IC レジスタを“00h”にする
    POPC      FLG              ; 割り込み許可
```

22.6.7 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

22.7 DMAC

22.7.1 DMAiCONレジスタのDMAEビットへの書き込み(i=0～1)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1”(DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

(1) DMAiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。

(2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。

DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1.DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。

したがって、DMAEビットへ“1”を書くために、DMAiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2.TCRiレジスタの値で確認してください。

TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

22.8 タイマ

22.8.1 タイマA

22.8.1.1 タイマA(タイマモード)

リセット後、タイマは停止しています。TAiMR(i=0~2)レジスタ、TAiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

22.8.1.2 タイマA(イベントカウンタモード)

リセット後、タイマは停止しています。TAiMR(i=0~2)レジスタ、TAiレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

22.8.1.3 タイマA(ワンショットタイマモード)

リセット後、タイマは停止しています。TAiMR(i=0～2)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- TAiOUT端子は“L”を出力します。
- CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
- 動作モードをタイマモードからワンショットタイマモードに変更したとき
- 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

22.8.1.4 タイマA(パルス幅変調モード)

リセット後、タイマは停止しています。TAiMR(i=0~2)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードを選択したとき
- 動作モードをタイマモードからPWMモードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

22.8.2 タイマB

22.8.2.1 タイマB(タイマモード)

リセット後、タイマは停止しています。TBiMR(i=0~2)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

22.8.2.2 タイマB(イベントカウンタモード)

リセット後、タイマは停止しています。TBiMR(i=0~2)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

22.8.2.3 タイマB(パルス周期測定/パルス幅測定モード)

リセット後、タイマは停止しています。TBiMR(i=0~2)レジスタによって、モードやカウントソース等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態、TBiMRレジスタへ書く場合、TM0D0、TM0D1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、MR2へは“0”を書いてください。

TBiICレジスタ(i=0~2)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。

測定パルス入力がタイマのオーバフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバフローの回数を別のタイマでカウントしてください。

MR3ビットを“0”(オーバフローなし)にするには、TBiSビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書いてください。

オーバフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

22.9 シリアルインタフェース

22.9.1 クロック同期形シリアルI/Oモード

22.9.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTSi}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

22.9.1.2 送信

外部クロックを選択している場合、UiC0 レジスタの CKPOL ビットが“0” (転送クロックの立ち下がり) で送信データ出力、立ち上がりで受信データ入力) のときは外部クロックが“H”の状態、CKPOL ビットが“1” (転送クロックの立ち上がり) で送信データ出力、立ち下がりで受信データ入力) のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1 レジスタの TE ビットが“1” (送信許可)
- UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTSi}}$ 端子の入力が“L”

22.9.1.3 受信

クロック同期形シリアル I/O では送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TXDi 端子からはダミーデータが外部に出力されます。

内部クロック選択時は UiC1 レジスタ (i=0~2) の TE ビットを“1” (送信許可) にし、ダミーデータを UiTB レジスタに設定するとシフトクロックが発生します。外部クロック選択時は TE ビットを“1”にし、ダミーデータを UiTB レジスタに設定し、外部クロックが CLKi 端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1 レジスタ (i=0~2) の RE ビットが“1” (UiRB レジスタにデータあり) で UARTi 受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、UiRB レジスタの OER ビットが“1” (オーバーランエラー発生) になります。この場合、UiRB レジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときは SiRIC レジスタの IR ビットは変化しません。

連続してデータを受信する場合は、1 回の受信ごとに UiTB レジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOL ビットが“0” のときは外部クロックが“H”の状態、CKPOL ビットが“1” のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1 レジスタの RE ビットが“1” (受信許可)
- UiC1 レジスタの TE ビットが“1” (送信許可)
- UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)

22.9.2 クロック非同期形シリアルI/Oモード(UARTモード)

22.9.2.1 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

22.9.2.2 特殊モード4(SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

22.10 A/Dコンバータ

ADCON0 レジスタ (ビット 6 を除く)、ADCON1 レジスタ、ADCON2 レジスタは、A/D 変換停止時 (トリガ発生前) に書いてください。

ADCON1 レジスタの VCUT ビットを “0” (Vref 未接続) から “1” (Vref 接続) にしたときは、 $1\mu\text{s}$ 以上経過した後に A/D 変換を開始させてください。

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC 端子、VREF 端子、アナログ入力端子 (ANi (i=0~7)、AN0_i) と AVSS 端子の間には、それぞれコンデンサを挿入してください。同様に VCC1 端子と VSS 端子の間にもコンデンサを挿入してください。図 22.3 に各端子の処理例を示します。

アナログ入力端子として使用する端子に対応するポート方向ビットは “0” (入力モード) にしてください。また、ADCON0 レジスタの TRG ビットが “1” (外部トリガ) の場合は、ADTRG 端子に対応するポート方向ビットは “0” (入力モード) にしてください。

キー入力割り込みを使用する場合、AN4~AN7 は 4 本ともアナログ入力端子として使用しないでください (A/D 入力電圧が “L” になると、キー入力割り込み要求が発生します)。

ϕ AD の周波数を 10MHz 以下にしてください。サンプル & ホールド機能なしの場合、 ϕ AD の周波数は 250kHz 以上にしてください。サンプル & ホールド機能ありの場合、 ϕ AD の周波数は 1MHz 以上にしてください。

A/D 動作モードを変更した場合は、ADCON0 レジスタの CH2~CH0 ビットでアナログ入力端子を再選択してください。

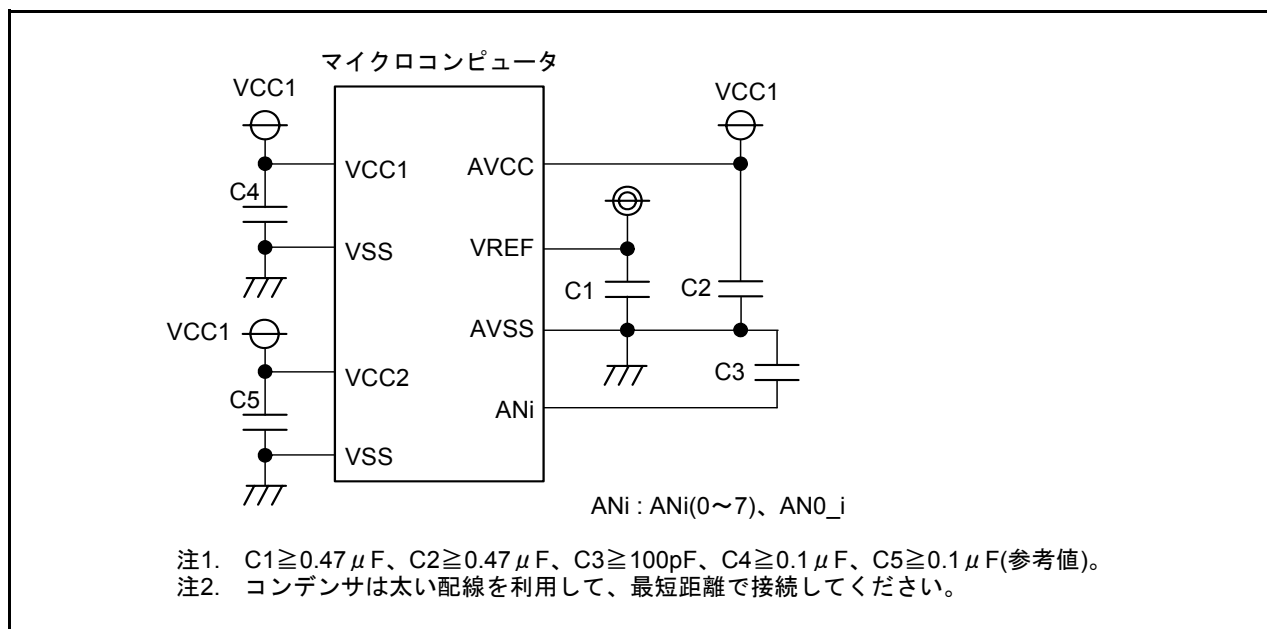


図 22.3 各端子の処理例

A/D変換が完了し、その結果をADiレジスタ(i=0～7)に格納するタイミングでCPUがADiレジスタを読んだ場合、誤った値がADiレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。

- 単発モードで使用する場合
A/D変換が完了したことを確認してから、対象となるADiレジスタを読んでください(A/D変換の完了はADICレジスタのIRビットで判定できます)。
- 繰り返しモードで使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

AN4～AN7は、KI0～KI3と共用しているため、中間電位を入力すると、他のアナログ入力端子(AN0～AN3、AN0_0～AN0_7)より消費電流が増加します。

22.11 プログラマブル入出力ポート

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。

したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件の V_{IH} 、 V_{IL} の範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

22.12 ワンタイムフラッシュ版、フラッシュメモリ版とマスクROM版の相違点

ワンタイムフラッシュ版、フラッシュメモリ版とマスクROM版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

22.13 マスクROM版

マスクROM版の内部ROM領域に対して、書き込みを行わないでください。

22.14 フラッシュメモリ版

22.14.1 フラッシュメモリ書き換え禁止機能

0FFFDh、0FFFE3h、0FFFEb、0FFFEh、0FFFF3h、0FFFF7h、0FFFFBh 番地は、ID コードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFh 番地はROMCP 番地です。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

22.14.2 ストップモード

ストップモードに移行する場合は、FMR0 レジスタのFMR01 ビットを“0”(CPU 書き換えモード無効)にし、DMA 転送を禁止した後で、CM1 レジスタのCM10 ビットを“1”(ストップモード)の命令を実行してください。

22.14.3 ウェイトモード

ウェイトモードに移行する場合は、FMR01 ビットを“0”(CPU 書き換えモード無効)にした後、WAIT 命令を実行してください。

22.14.4 低消費電力モード

CM0 レジスタのCM05 ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- ・プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス

22.14.5 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

22.14.6 プログラムコマンド

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

22.14.7 ロックビットプログラムコマンド

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

22.14.8 動作速度

CPU 書き換えモード (EW0、EW1 モード) に入る前に、CM1 レジスタの CM11 ビットを “0” (メインクロック)、CM0 レジスタの CM06 ビット、CM1 レジスタの CM17～CM16 ビットで、CPU クロックを 10MHz 以下にしてください。また、PM1 レジスタの PM17 ビットは “1” (ウェイトあり) にしてください。

22.14.9 使用禁止命令

EW0 モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND 命令、INTO 命令、JMPS 命令、JSRS 命令、BRK 命令

22.14.10 割り込み

EW0 モード

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタを RAM 領域に移すことで使用できます。
- NMI 割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的に FMR0 レジスタ、FMR1 レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI 割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1 モード

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ割り込みは使用しないでください。
- NMI 割り込みは、割り込み発生時に強制的に FMR0 レジスタ、FMR1 レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI 割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

22.14.11 アクセス方法

FMR01 ビット、FMR02 ビット、FMR11 ビットを “1” にする場合、対象となるビットに “0” を書いた後、続けて “1” を書いてください。なお、“0” を書いた後、“1” を書くまでに割り込み、DMA 転送が入らないようにしてください。また、NMI 端子に “H” を入力した状態で行ってください。

22.14.12 ユーザROM領域の書き換え

EW0 モード

- 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

EW1 モード

- 書き換え制御プログラムが格納されているブロックを書き換えしないでください。

22.14.13 DMA 転送

EW1 モードでは、FMR0 レジスタの FMR00 ビットが “0” (自動書き込み、自動消去の期間) に DMA 転送が入らないようにしてください。

22.15 ワンタイムフラッシュ版

22.15.1 ストップモード

ストップモードに移行する場合は、FMR0レジスタのFMR01ビットを“0”にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)の命令を実行してください。

22.15.2 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0”にした後、WAIT命令を実行してください。

22.15.3 動作速度

FMR01ビットを“1”にする前に、CM1レジスタのCM11ビットを“0”(メインクロック)、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

22.15.4 使用禁止命令

FMR01ビットが“1”の場合、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

22.15.5 割り込み

FMR01ビットが“1”の場合

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み発生時は、割り込みルーチン終了後、再度、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしたい場合、FMR01ビットを“1”にしてください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

22.15.6 アクセス方法

FMR01ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI端子に“H”を入力した状態で行ってください。

22.16 ノイズに関する注意事項

ノイズ対策として、VCC1 端子と VSS 端子間、VCC2 端子と VSS 端子間にバイパスコンデンサ ($0.1\mu\text{F}$ 程度) を最短でかつ、比較的太い配線を使って接続してください。図 22.4 バイパスコンデンサの接続例を示します。

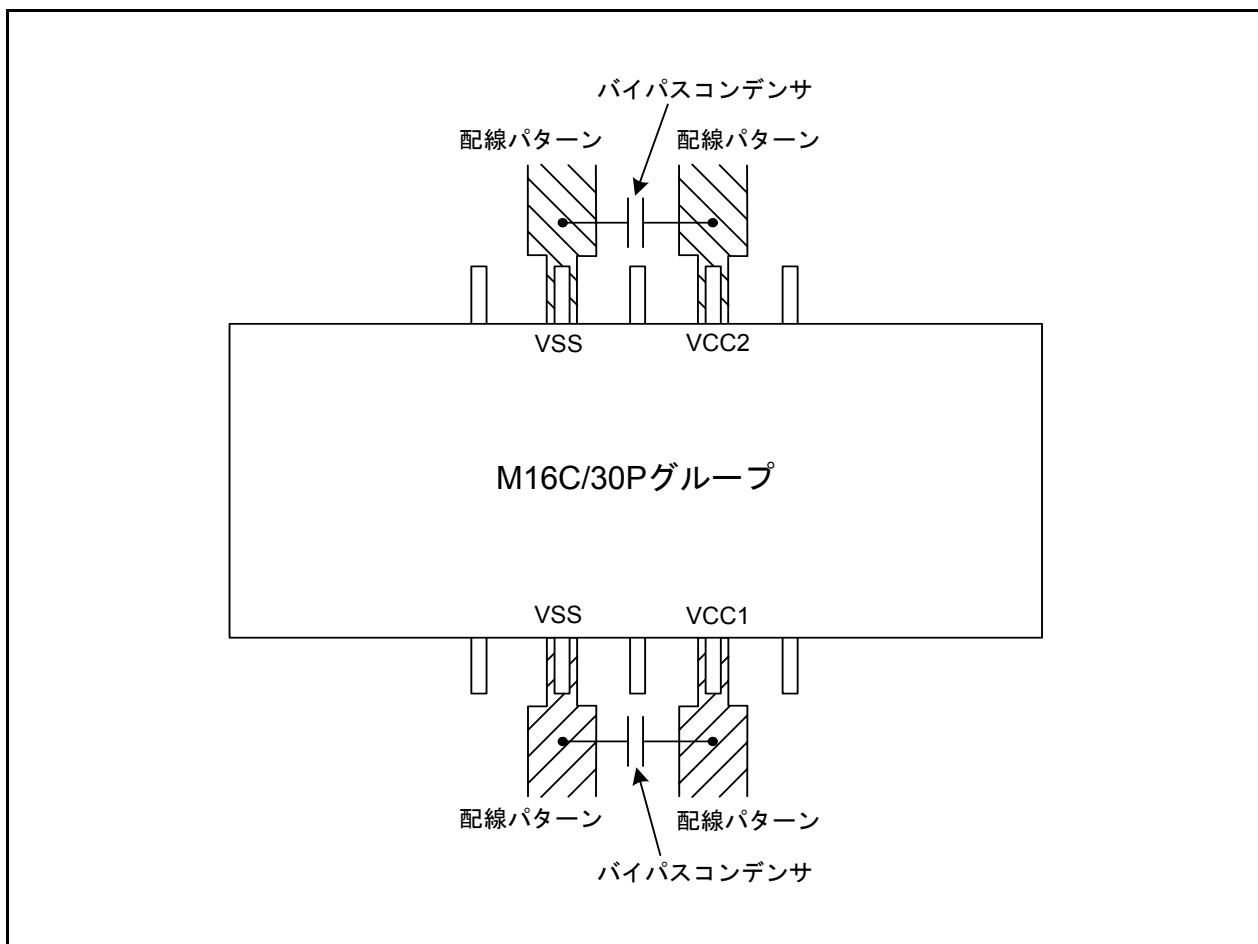
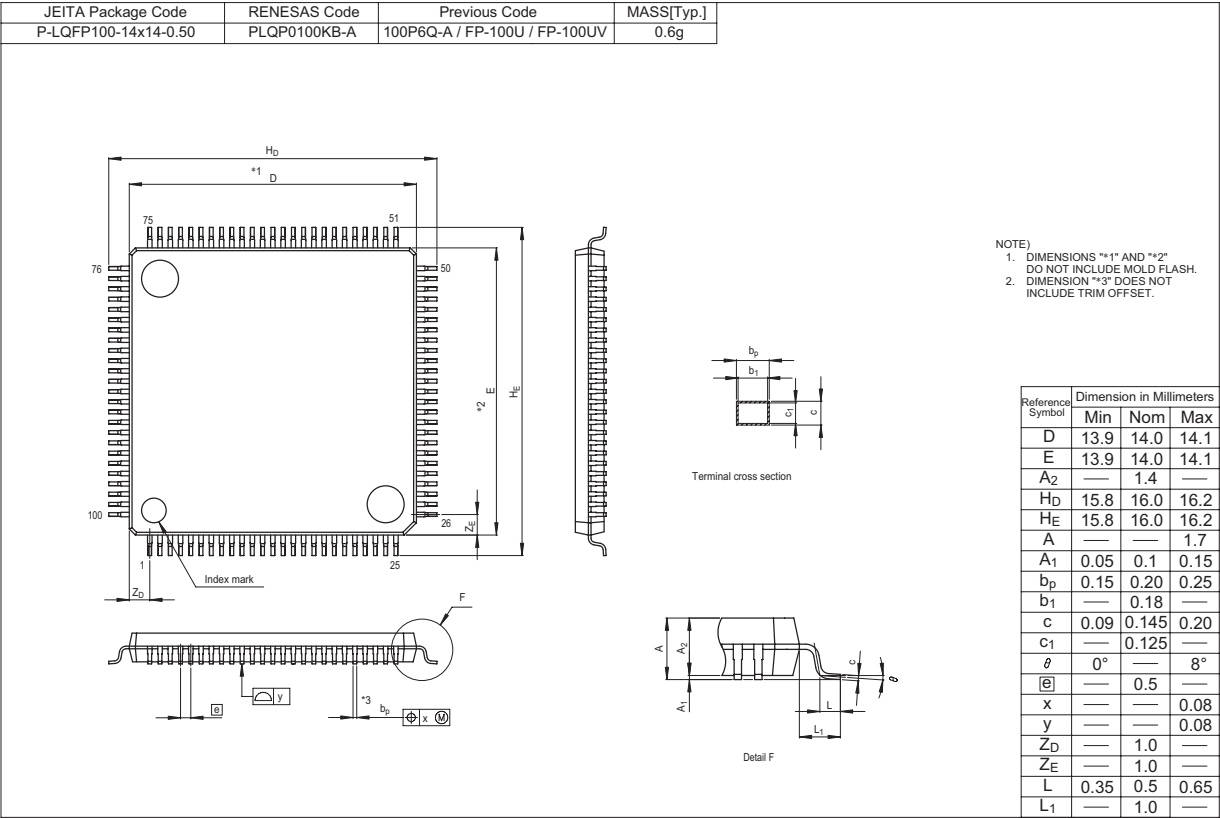
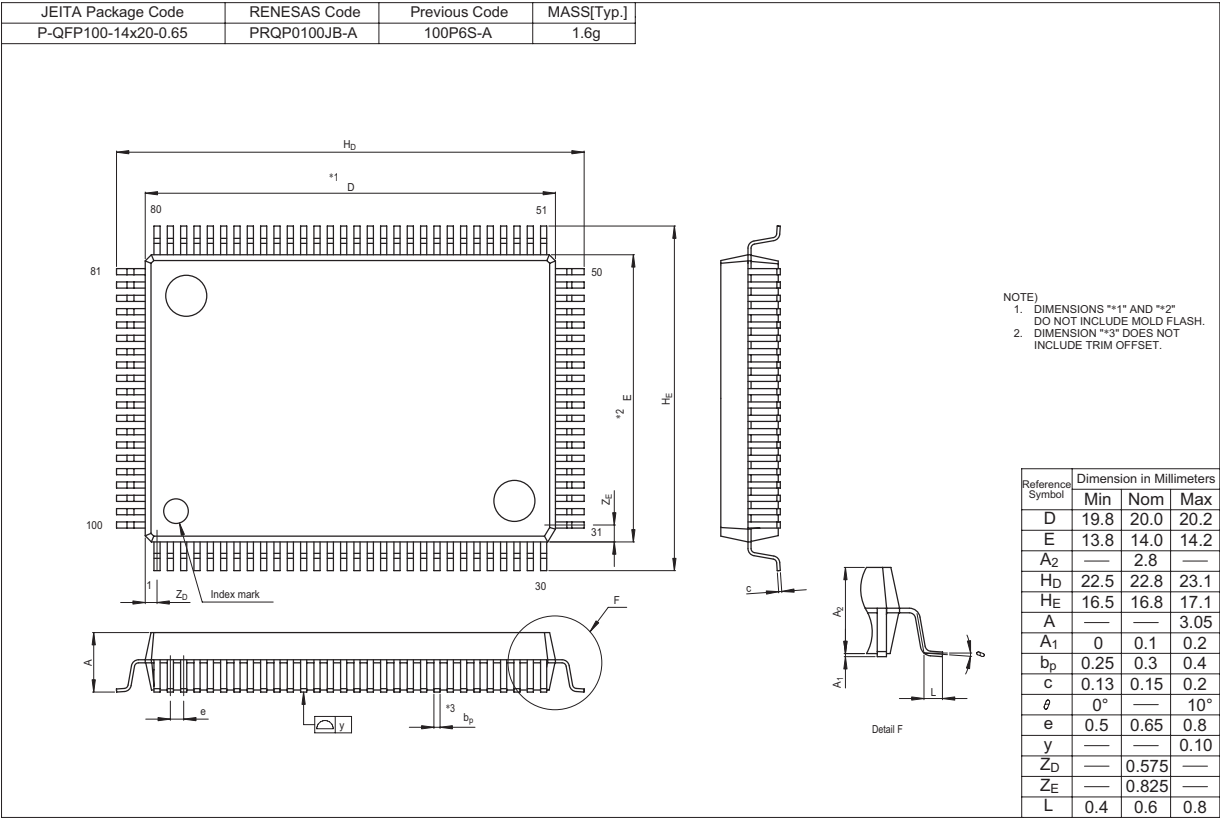


図 22.4 バイパスコンデンサの接続例

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。



付録2. M16C/62P と M16C/30P との相違点

付表2.1 機能の相違点 (1)(注1)

項目	M16C/62P	M16C/30P
最小命令実行時間	41.7ns(f(BCLK)=24MHz、VCC1=3.0～5.5V) 100ns(f(BCLK)=10MHz、VCC1=2.7～5.5V)	62.5ns(f(XIN)=16MHz、VCC=3.0～5.5V) 100ns(f(XIN)=10MHz、VCC=2.7～5.5V)
電源電圧	VCC1=3.0～5.5V、VCC2=3.0V～VCC1 (f(BCLK)=24MHz) VCC1=VCC2=2.7～5.5V(f(BCLK)=10MHz)	VCC1=VCC2=3.0～5.5V(f(XIN)=16MHz) VCC1=VCC2=2.7～5.5V(f(XIN)=10MHz)
I/O 電源	2 電源 (VCC1、VCC2)	1 電源 (VCC1=VCC2)
パッケージ	80 ピン、100 ピン、128 ピン プラスチック モールド QFP	100 ピン プラスチック モールド QFP
メモリ	マスク ROM フラッシュメモリ ROM 外付け	マスク ROM フラッシュメモリ ワンタイムフラッシュメモリ ROM 外付け
電圧検出回路	あり Vdet3、Vdet4 検出 電圧低下検出割り込み 電圧低下検出リセット (ハードウェアリセ ット2)	なし
クロック発生回路	PLL、XIN、XCIN、オンチップオシレータ	XIN、XCIN
システムクロック保護 機能	あり	なし (プロテクトレジスタで保護)
発振停止、再発振検出 機能	あり	なし
消費電流	18mA(VCC1=VCC2=5V、f(BCLK)=24MHz) 8mA(VCC1=VCC2=3V、f(BCLK)=10MHz) 1.8 μ A(VCC1=VCC2=3V、f(XCIN)=32kHz、 ウェイトモード)	10mA(VCC=5V、f(XIN)=16MHz) 8mA(VCC=3V、f(XIN)=10MHz) 1.8 μ A(VCC=3V、f(XCIN)=32kHz、ウェ イトモード)
メモリ空間	メモリ空間拡張あり (4M バイト)	1M バイト固定
外部デバイス接続可能 領域	04000h～07FFFh (PM13=0 の場合) 08000h～0FFFFh (PM10=0 の場合) 10000h～26FFFh 28000h～7FFFFh 80000h～CFFFFh (PM13=0 の場合) D0000h～FFFFFh (マイクロプロセッサモ ードの場合)	04000h～07FFFh 08000h～0FFFFh (PM10=0 の場合) 10000h～26FFFh 28000h～7FFFFh 80000h～CFFFFh (PM13=0 の場合または PM13 ビットのない機種) D0000h～FFFFFh (マイクロプロセ ッサモードの場合)
バス形式	セパレートバス マルチプレクスバス	セパレートバス

注1. 詳細と電気的特性についてはハードウェアマニュアルを参照してください。

付表2.2 機能の相違点 (2)(注1)

項目	M16C/62P	M16C/30P
メモリ拡張モード、 マイクロプロセッサ モード時の上位アドレ ス	P4_0～P4_3(A16～A19)、 P3_4～P3_7(A12～A15) : アドレスバスまたは入出力ポートを切り替 え可	P4_0～P4_3(A16～A19) : アドレスバスまたは入出力ポートを切り 替え可 P3_4～P3_7(A12～A15) : 切り替えできない
SFRへのアクセス	可変(1～2ウェイト)	1ウェイト限定
外部領域へのソフト ウェアウェイト	可変(0～3ウェイト)	可変(0～1ウェイト)
プロテクト	PM0、PM1、PM2、CM0、CM1、CM2、 PLC0、INVC0、INVC1、PD9、S3C、S4C、 TB2SC、PCLKR、VCR2、D4INT レジスタへ のプロテクト設定可	PM0、PM1、CM0、CM1、PD9 レジスタ へのプロテクト設定可
ウォッチドッグタイマ	ウォッチドッグタイマ割り込み、または ウォッチ ドッグタイマリセットを選択 カウントソース保護モードあり	ウォッチドッグタイマ割り込み カウントソース保護モードなし
INT 割り込み	6本(INT0～INT5)	5本(INT0～INT4)
アドレス一致割り込み	4本	2本
多機能タイマ	タイマA×5、タイマB×6 計11本	タイマA×3、タイマB×3 計6本
タイマA二相パルス 信号処理	Z相(カウンタリセット)入力機能あり	Z相(カウンタリセット)入力機能なし
三相モータ制御用 タイマ機能	あり	なし
シリアルインタフェー ス(UART0～UART2)	(UART、クロック同期、I ² C bus TM (注2)、 IEBus TM (注3)×3)×3	(UART、クロック同期、I ² C bus TM (注2)) ×2 (UART、クロック同期、I ² C bus TM (注2)、 IEBus TM (注3))×1
クロック同期型シリア ルI/O (SI/O3、SI/O4)	2チャンネル	なし
A/D コンバータ	10ビット×8チャンネル (最大26チャンネルまで拡張可)	10ビット×8チャンネル (最大18チャンネルまで拡張可)
A/D コンバータの動作 モード	単発モード、繰り返しモード、 単掃引モード、繰り返し掃引モード0、 繰り返し掃引モード1 外部オペアンプモードあり	単発モード、繰り返しモード 外部オペアンプモードなし
A/D コンバータの入力 端子	ポートP0、P2、P10から選択	ポートP0、P10から選択
D/A コンバータ	8ビット×2	なし
フラッシュメモリの 強制イレーズ機能	なし	あり

注1. 詳細と電気的特性についてはハードウェアマニュアルを参照してください。

注2. I²C busは、オランダPHILIPS社の登録商標です。

注3. IEBusは、NECエレクトロニクス株式会社の登録商標です。

索引

【A】		
AD0 ~ AD7	167	
ADCON0 ~ ADCON1	166, 169, 171	
ADCON2	167	
ADIC	67	
AIER	78	
【B】		
BCNIC	67	
【C】		
CM0	47	
CM1	48	
CPSRF	97, 109	
CRCD	174	
CRCIN	174	
CSR	35	
【D】		
DAR0, DAR1	86	
DM0CON, DM1CON	85	
DM0IC, DM1IC	67	
DM0SL	83	
DM1SL	84	
【F】		
FMR0	197, 222	
FMR1	198	
【I】		
IFSR	75	
IFSR2A	75	
INT0IC ~ INT2IC	68	
INT3IC	68	
INT4IC	68	
【K】		
KUPIC	67	
【O】		
ONSF	97	
【P】		
P0 ~ P10	183	
PCLKR	49	
PCR	186	
PD0 ~ PD10	182	
PM0	30	
PM1	31, 32	
PRCR	61	
PUR0 ~ PUR1	184	
PUR2	185	
【R】		
RMAD0 ~ RMAD1	78	
ROMCP	194	
【S】		
S0RIC ~ S2RIC	67	
S0TIC ~ S2TIC	67	
SAR0, SAR1	86	
【T】		
TA0IC ~ TA2IC	67	
TA0MR ~ TA2MR	95, 98, 100, 103, 105	
TA0 ~ TA2	95	
TABSR	96, 109	
TB0IC ~ TB2IC	67	
TB0MR ~ TB2MR	108, 110, 112, 114	
TB0 ~ TB2	108	
TCR0, TCR1	86	
TRGSR	97	
【U】		
U0BCNIC	67	
U0BRG ~ U2BRG	121	
U0C0 ~ U2C0	122	
U0C1, U1C1	123	
U0MR ~ U2MR	121	
U0RB ~ U2RB	120	
U0SMR2 ~ U2SMR2	125	
U0SMR3 ~ U2SMR3	125	
U0SMR4 ~ U2SMR4	126	
U0SMR ~ U2SMR	124	
U0TB ~ U2TB	120	
U1BCNIC	67	
U2C1	123	
UCON	124	
UDF	96	
【W】		
WDC	28, 80	
WDTS	80	

改訂記録	M16C/30P グループハードウェアマニュアル
------	--------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.70	2004.08.26	-	初版発行
0.80	2005.03.18	-	開発サポートツール→開発ツール
		-	BCLK→CPUクロック
		-	ディジタル→デジタル
		2	表 1.1 性能概要 シリアルI/Oを変更。 消費電流を変更。
		4	図 1.2 形名とメモリサイズ・パッケージ M16C/30P グループを追加。
		18	5.1 ハードウェアリセット1 ハードウェアリセット1→ハードウェアリセット
		25	図 7.1 システムクロック発生回路 BCLKを削除。
		32	7.4.1 通常モード 1行目 7つのモード→4つのモード
		34	表 7.4 ウェイトモードからの復帰に使用できる割り込み 単掃引モードを削除。
		58	10. ウォッチドッグタイマ 9行目 PLLクロックを削除。
		60	図 10.3 コールドスタート/ウォームスタートの動作例を変更。
		64	図 11.3 DM1SLレジスタを変更。
		72	図 12.1 タイマA構成を変更。
		74	図 12.3 タイマAブロック図を変更。
		82	表 12.1.3 ワンショットモードの仕様 カウント開始条件を変更。
		84	表 12.1.4 パルス幅変調モード(PWMモード)の仕様 カウント開始条件を変更。
		106	表 13.1 クロック同期形シリアルI/Oモードの仕様 $f_j/2(n+1) \rightarrow f_j/(2(n+1))$
		110	13.1.1.1 通信エラー発生時の対処方法 UiTBレジスタの初期化 受信許可→送信許可
		114	表 13.1 UARTモードの仕様 $f_j/16(n+1) \rightarrow f_j/(16(n+1))$ $f_{EXT}/16(n+1) \rightarrow f_{EXT}/(16(n+1))$
		118	13.1.2.1 転送速度 転送速度→ビットレート 表 13.9 転送速度 転送速度→ビットレート BRGの設定値を変更。 BRG→UiBRG 実時間→ビットレート

改訂記録		M16C/30P グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
		119	13.1.2.2 通信エラー発生時の対処方法 UiTB レジスタの初期化 受信許可→送信許可
		122	表 13.10 I ² C モードの仕様 fj/2(n+1)→fj/(2(n+1))
		132	表 13.15 特殊モード2の仕様 fj/2(n+1)→fj/(2(n+1))
		136	13.1.5 特殊モード3(IE モード) UART2 限定とする。 6～7 行目削除。 表 13.17 IE モード時の使用レジスタと設定値を変更。 注1 を削除。
		137	図 13.32 パス衝突検出機能関連ビットの機能を変更。
		138	表 13.1 SIM モードの仕様 fj/16(n+1)→fj/(16(n+1)) fEXT/16(n+1)→fEXT/(16(n+1))
		143	表 14.1 A/D コンバータの仕様 積分非直線性誤差を変更。 注2 を変更。
		145	図 14.2 ADCON0～ADCON1 レジスタ ADCON1 レジスタの注2 10 μs→1 μs
		146	図 14.3 ADCON2、AD0～AD7 レジスタ ADCON2 レジスタの注2 12MHz→10MHz
		148	図 14.4 単発モード時のADCON0～ADCON1 レジスタ ADCON1 レジスタの注2 10 μs→1 μs
		150	図 14.5 繰り返しモード時のADCON0～ADCON1 レジスタ ADCON1 レジスタの注2 10 μs→1 μs
		152	14.2.5 A/D 変換時のセンサーの出カインピーダンス 3～4 行目 分解されるレベル間隔→分解能 数式 ≡→=
			図 14.6 アナログ入力端子と外部センサーの等価回路例 f→φ
		168	表 17.3 A/D 変換特性 注2 を変更。
		169	表 17.4 電源回路のタイミング特性 td(P-S)→td(R-S)

改訂記録		M16C/30P グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
		170	表 17.5 電気的特性 ヒステリシス TB1IN、→TB0IN ヒステリシス RESETの規格値を変更。 Iccの規格値を変更。
		176	表 17.19 電気的特性 ヒステリシス TB1IN、→TB0IN Iccの規格値を変更。 f(XIN)=5MHz を削除。 f(XIN)=10MHz 1ウェイト→ウェイトなし
		183	18.2 パワーコントロール 【A/D コンバータ】 10 μ s→1 μ s
		196	18.8 A/D コンバータ 下から5行目 12MHz→10MHz
		197	18.8 A/D コンバータ 繰り返しモードを使用する場合を追加。
1.00	2005.09.01	2	表 1.1 性能概要 最小命令実行時間、電源電圧を変更。
		6	図 1.4 ピン接続図(上面図) バス端子を追加。
		7-8	表 1.3～表 1.4 端子名一覧表を追加。
		9	表 1.5 端子の機能説明 バス制御端子を追加。
		14	3. メモリ 6～7行目 10Kバイト→5Kバイト 02BFFh→017FFh
		15	表 4.1 SFR一覧(1) 0008h チップセレクト制御レジスタを追加。
		19	表 4.5 SFR一覧(5) 03FDh リセット値を変更。 注2を追加。
		20-24	5. リセット 記載順序を変更。
		21	図 5.2 リセットシーケンスを変更。
		22	表 5.1 RESET端子のレベルが“L”の期間の端子の状態を変更。
		25-26	5.4 コールドスタート/ウォームスタート判定機能を追加。
		27	6. プロセッサモードを変更。
		28	図 6.1 PM0 レジスタを変更。
		29	図 6.2 PM1 レジスタ 注2を変更。

改訂記録		M16C/30P グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
		31-39	7. バスを追加。
		40	8. メモリ空間拡張機能を追加。
		46	図9.5 メインクロックの接続回路例を変更。
		47	図9.6 サブクロックの接続回路例を変更。
		51	表9.4 ウェイトモードからの復帰に使用できる割り込み 表題を変更。 記載位置を変更。
		52	9.4.3 ストップモード 文章の一部を表7.5 ストップモードからの復帰に使用できる割り込みと 使用条件に変更。 表9.6 ストップモード時の端子の状態を変更。 記載位置を変更。
		78	表13.1 DMACの仕様 DMA転送サイクル数を追加。
		126	図15.12 クロック同期形シリアルI/Oモード時の送信、受信タイミング 例を変更。
		134	図15.18 UARTモード時の送信タイミング例を変更。
		135	表15.9 ビットレートを変更。
		141	表15.11 I ² Cモード時の使用レジスタと設定値(1) 注4を追加。
		157	図15.33 SIMモードの送受信タイミング例を変更。
		159	15.1.6.2 フォーマットを変更。
		169	16.2.5 A/D変換時のセンサーの出カインピーダンス f(XIN)→f(ϕ AD)
		171	図17.3 CRC演算例を変更。
		172	18.1 ポートPi方向レジスタ文章を追加。 18.2 ポートPiレジスタ 文章を追加。 18.3 プルアップ制御レジスタ0～プルアップ制御レジスタ2 文章を追加。
		177	図18.6 端子の構成 注2を削除。
		178	図18.7 PD0～PD10レジスタ 注2を追加。
		179	図18.8 P0～P10レジスタ 注2を追加。
		180	図18.9 PUR0レジスタ 注2を追加。 PUR1レジスタ 注3～注5を追加。

改訂記録		M16C/30P グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
		184	表 18.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例を追加。
		185	図 18.12 未使用端子の処理例を変更。
		187	表 19.2 推奨動作条件 メインクロック入力周波数を変更。 注4の図を変更。
		188	表 19.3 A/D変換特性8bit 測定条件 VREF=VCC=3.3V→VREF=VCC=5V, 3.3V
		191	表 19.6 外部クロック入力(XIN入力) 注1を追加。 表 19.7 メモリ拡張モード、マイクロプロセッサモードを追加。
		194	表 19.20 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)を追加。 図 19.2 ポートP0～P10の測定回路を追加。
		195	表 19.21 メモリ拡張モード、マイクロプロセッサモード(1ウェイト、外部領域をアクセスした場合)を追加。
		198	図 19.5 タイミング図(3)を追加。
		199	図 19.6 タイミング図(4)を追加。
		200	図 19.7 タイミング図(5)を追加。
		202	表 19.23 外部クロック(XIN) 注1～注4を追加。 表 19.24 メモリ拡張モード、マイクロプロセッサモードを追加。
		205	表 19.37 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)を追加。 図 19.8 ポートP0～P10の測定回路を追加。
		206	表 19.38 メモリ拡張モード、マイクロプロセッサモード(1ウェイト、外部領域をアクセスした場合)を追加。
		209	図 19.11 タイミング図(3)を追加。
		210	図 19.12 タイミング図(4)を追加。
		211	図 19.13 タイミング図(5)を追加。
		213	20.2 外部バスを追加。
		214	20.3 パワーコントロールを変更。
		219	20.5.6 割り込み制御レジスタの変更 例1を変更。
		228	図 20.3 各端子の処理例を変更。
		229	18.8 A/Dコンバータ 最後から2行目～最後 AN4～AN7は、～消費電力が増加します。追加。
		234	付表 2.1 機能の相違点(1)を変更。
		235	付表 2.2 機能の相違点(2)を変更。

改訂記録		M16C/30P グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2005.10.01	4	表 1.2 製品一覧表 ROM容量 160Kバイト、ROMレス版を追加。
			図 1.2 型名とメモリサイズ・パッケージ ROM容量 160Kバイト、ROMレス版を追加。
		5	表 1.3 製品コードを追加。
		5-6	図 1.3～図 1.4 マーキング図を追加。
		16	図 3.1 内部ROMの容量追加。
		32	図 6.3 内部ROMの容量追加。
		119	図 15.6 U0BRG～U2BRG、U0MR～U2MR レジスタ UiRTi ビットレートレジスタ 注3を追加。
		120	図 15.7 U0C0～U2C0 レジスタ 注5を追加。
		236	付表 2.1 一部追加
1.11	2006.05.31	1	1. 概要頁に注意書き追加
		4	1.4 製品一覧 文章追加
			表 1.2 製品一覧表 一部修正と注 2 追加
		6	図 1.4 フラッシュメモリ版、ROM レス版のマーキング図 (上面図) 説明文追加
		22	5.1 ハードウェアリセット 文章一部削除
		28	表 6.1 プロセッサモードの特長 一部削除
		38	表 7.5 プロセッサモードと端子の機能表 注 1 削除
		41	図 8.1 1M バイトモード時のメモリ配置、CS 領域 注 1 の変更
		56	図 9.8 通常動作モード状態遷移 一部変更
		63	表 11.2 可変ベクタテーブル 一部追加
		72	図 11.11 IFSR、IFSR2A レジスタ 注 1、2 追加
		76	図 12.1 ウォッチドッグタイマのブロック図 変更
		89	図 14.1 タイマ A 構成 注 1 削除
		95	図 14.7 タイマモード時の TAI _{MR} レジスタ 注 3 追加
		100	図 14.10 ワンショットタイマモード時の TAI _{MR} レジスタ 注 4 追加
		102	図 14.11 パルス幅変調モード時の TAI _{MR} レジスタ 注 5 追加
		107	図 14.17 タイマモード時の TBI _{MR} レジスタ 注 1 追加
		111	図 14.19 パルス周期測定モード、パルス幅測定モード時の TBI _{MR} レジスタ 注2追加
		119	図 15.7 U0C0～U2C0 レジスタ 注 6 追加
		124	表 15.1 クロック同期形シリアル I/O モードの仕様 注 2 一部削除
		132	表 15.5 UART モードの仕様 注 1 一部変更と削除
		140	表 15.10 I ² C モードの仕様 注 2 一部追加
		141	図 15.24 I ² C モードのブロック図 一部変更
		143	表 15.12 I ² C モード時の使用レジスタと設定値 (2) 一部追加
		150	表 15.15 特殊モード 2 の仕様 選択機能 文章追加 注 2 一部追加
		151	表 15.16 特殊モード 2 時の使用レジスタと設定値 一部変更
		156	表 15.18 SIM モードの仕様 注 1 一部追加

改訂記録		M16C/30P グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
		173	18. プログラマブル入出力ポート 文章一部追加
		186	図 18.12 未使用端子の処理例 一部変更
		187-216	19. フラッシュメモリ版の章追加
		201	表 19.4 ソフトウェアコマンド一覧表 注 1. 一部変更
		204	19.3.5.6 イレーズ全アンロックブロック 一部変更
		218	表 20.2 推奨動作条件 一部変更
		223	表 20.8 電気的特性 (2) 一部削除
		235	表 20.26 電気的特性 (2) 一部削除
		246	21.1 SFR 追加
		248	21.3 外部バス 文章追加
		263	図 21.3 各端子の処理例 電源変更
		266	21.12 フラッシュメモリ版とマスク ROM 版の相違点 追加
		268-269	21.14 フラッシュメモリ版 追加
		272	付録 2. M16C/62P と M16C/30P との相違点 メモリ項目削除
1.20	2007.01.24	全ページ	全章にワンタイムフラッシュ版の関連する内容を本文、表、図に追記 全章の“イレーズ全アンロックブロックコマンド”を削除
		4	表 1.2 製品一覧表 一部削除と変更
		17	図 3.1 メモリ配置 追加
		19	表 4.2 SFR一覧 (2) 追加と変更
		31	図 6.2 PM1 レジスタ (1) 追加と一部修正
		32	図 6.3 PM1 レジスタ (2) 追加
		33	図 6.4 シングルチップモード時のメモリ配置 一部削除と追加
		43	8.1 1M バイトモード 文章一部追加 図 8.1 1M バイトモード時のメモリ配置、 $\overline{CS}$ 領域 追加と修正
		44	図 8.2 1M バイトモード時のメモリ配置、 $\overline{CS}$ 領域 図追加
		127	表 15.1 クロック同期形シリアル I/O モードの仕様 一部追加
		135	表 15.5 UART モードの仕様 一部追加
		143	表 15.10 I ² C モードの仕様 一部追加
		145	表 15.11 I ² C モード時の使用レジスタと設定値 (1) 一部削除
		153	表 15.15 特殊モード 2 の仕様 一部追加
		159	表 15.18 SIM モードの仕様 一部追加
		188	表 18.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子 の処理例 変更
		191	図 19.1 フラッシュメモリのブロック図 修正と一部削除
		193	19.2.3 強制イレーズ機能 追加 表 19.4 強制イレーズ機能の条件と動作 追加
		205	表 19.6 ソフトウェアコマンド一覧表 一部削除
		221~229	20章にワンタイムフラッシュ版 追加
		233	表 21.4 フラッシュメモリの電気的特性 一部削除
		237	表 21.10 電気的特性 (2) 変更と追加

改訂記録		M16C/30P グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
		249	表 21.28 電气的特性 (2) 変更と追加
		287	付表 2.1 機能の相違点 (1) 追加
		288	付表 2.1 機能の相違点 (2) 追加
1.21	2007.03.28	4	表 1.2-1.3 製品一覧表 変更と追加
		19	表 4.2 SFR 一覧 (2) 変更と追加
		31	図 6.2 PM1 レジスタ (1) 注 2 一部変更
		190	表 19.2 フラッシュメモリ書き換えモードの概要 注 変更
		195	表 19.5 EW0 モードと EW1 モードの違い 注 変更
		197	図 19.4 FMR0 レジスタ 注 2 一部追加
		199	19.3.3.4 FMSTP ビット 一部追加
		201	図 19.6 EW0 モードの設定と解除方法 注 変更
		221	20. ワンタイムフラッシュ版 一部追加と変更 表 20.1 ワンタイムフラッシュ版の性能概要、 表 20.2 ワンタイムフラッシュメモリ書き換えモードの概要 一部追加と変更
		237	表 21.10 電气的特性 (2) 一部追加
		249	表 21.28 電气的特性 (2) 一部追加

ルネサス 16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
M16C/30P グループ

発行年月日 2007年03月28日 Rev.1.21

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/30P グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0184-0121