お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1．本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。

2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。

3. 当社製品を改造、改変、複製等しないでください。

4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。

5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。

6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。

7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。

9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。

10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。

11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。

12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

User's Manual

16

M16C/26グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ／ M16C/20シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.11　2004.05

安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

・本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ（http://www.renesas.com）などを通じて公開される情報に常にご注意ください。

・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。

・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。

・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。

・本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。

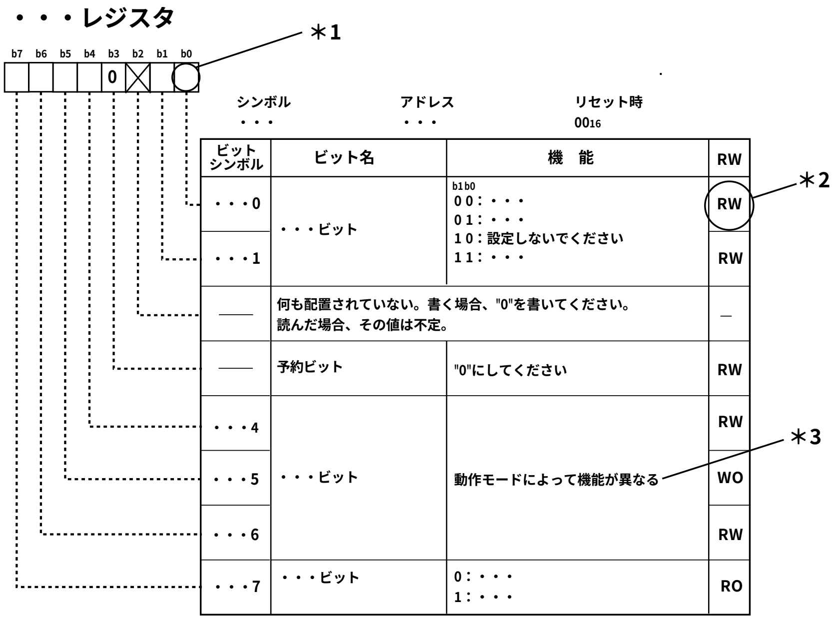
・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

このマニュアルはM16C/26グループのハードウエアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

各レジスタ構成は次のように参照してください。



＊1
空白　：用途に応じて“0”または“1”にしてください。
0　　：“0”にしてください。
1　　：“1”にしてください。
×　　：何も配置されてないビットです。

＊2
RW　：読むとビットの状態が読めます。
　　　書くと有効データになります。
RO　：読むとビットの状態が読めます。
　　　書いた値は無効になります。
WO　：書くと有効データになります。
　　　ビットの状態は読めません。
−　　：何も配置されていないビットです。

＊3
ここで使用する用語を示します。

・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

・予約ビット

予約ビットです。指定された値にしてください。

・設定しないでください

設定した場合の動作は保証されません。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

Ｍ１６Ｃファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。

ドキュメントの種類	記載内容
ショートシート	ハードウエアの概要
データシート	ハードウエアの概要と電気的特性
ハードウエアマニュアル	ハードウエアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウエアマニュアル	命令 (アセンブリ言語) の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法

目次

番地別ページ早見表 B-1

1. 概要 1

1.1 応　用 1

1.2 性能概要 2

1.3 ブロック図 3

1.4 製品一覧 4

1.5 ピン接続図 5

1.6 端子の機能説明 6

2. 中央演算処理装置 7

2.1 データレジスタ(R0、R1、R2、R3) 7

2.2 アドレスレジスタ(A0、A1) 7

2.3 フレームベースレジスタ(FB) 8

2.4 割り込みテーブルレジスタ(INTB) 8

2.5 プログラムカウンタ(PC) 8

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP) 8

2.7 スタティックベースレジスタ(SB) 8

2.8 フラグレジスタ(FLG) 8

2.8.1 キャリーフラグ(Cフラグ) 8

2.8.2 デバッグフラグ(Dフラグ) 8

2.8.3 ゼロフラグ(Zフラグ) 8

2.8.4 サインフラグ(Sフラグ) 8

2.8.5 レジスタバンク指定フラグ(Bフラグ) 8

2.8.6 オーバフローフラグ(Oフラグ) 8

2.8.7 割り込み許可フラグ(Iフラグ) 8

2.8.8 スタックポインタ指定フラグ(Uフラグ) 8

2.8.9 プロセッサ割り込み優先レベル(IPL) 8

2.8.10 予約領域 8

3. メモリ 9

4. SFR 10

5. リセット 16
5.1 リセット 16
5.1.1 ハードウエアリセット 16
5.1.3 ウォッチドッグタイマリセット 17
5.1.4 発振停止検出リセット 17
5.1.2 ソフトウエアリセット 17
5.2 電圧検出回路 20
5.2.1 電圧低下検出割り込み 23
5.2.2 注意事項 23
6. プロセッサモード 25
6.1 プロセッサモードの種類 25
6.2 プロセッサモードの設定 25
6.3 ソフトウエアウエイト 25
7. クロック発生回路 27
7.1 メインクロック 33
7.2 サブクロック 34
7.3 オンチップオシレータクロック 34
7.4 CPUクロックと周辺機能クロック 35
7.4.1 CPUクロックとBCLK 35
7.4.2 周辺機能クロック
(f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fC32) 35
7.5 パワーコントロール 36
7.5.1 通常動作モード 36
7.5.2 ウエイトモード 37
7.5.3 ストップモード 39
7.6 システムクロック保護機能 42
7.7 発振停止、再発振検出機能 43
7.7.1 CM27ビットが“0”(発振停止検出リセット)の場合の動作 43
7.7.2 CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作 43
8. プロテクト 45

9. 割り込み 46
9.1 割り込みの分類 46
9.2 ソフトウエア割り込み 47
9.2.1 未定義命令割り込み 47
9.2.2 オーバフロー割り込み 47
9.2.3 BRK割り込み 47
9.2.4 INT命令割り込み 47
9.3 ハードウエア割り込み 48
9.3.1 特殊割り込み 48
9.3.2 周辺機能割り込み 48
9.4 割り込みと割り込みベクタ 49
9.4.1 固定ベクタテーブル 49
9.4.2 可変ベクタテーブル 50
9.5 割り込み制御 51
9.5.1 Iフラグ 53
9.5.2 IRビット 53
9.5.3 ILVL2～0ビット、IPL 53
9.6 割り込みシーケンス 54
9.7 割り込み応答時間 55
9.8 割り込み要求受付時のIPLの変化 55
9.9 レジスタ退避 56
9.10 割り込みルーチンからの復帰 57
9.11 割り込み優先順位 57
9.12 割り込み優先レベル判定回路 57
9.13 $\overline{\text{INT}}$割り込み 59
9.14 $\overline{\text{NMI}}$割り込み 60
9.15 キー入力割り込み 60
9.16 アドレス一致割り込み 61
10. ウォッチドッグタイマ 63
10.1. カウントソース保護モード 63

11. DMAC ... 65

11.1 転送サイクル ... 70

11.1.1 転送元番地、転送先番地の影響 ... 70

11.1.2 ソフトウエアウエイトの影響 ... 70

11.2 DMA転送サイクル数 ... 72

11.3 DMA許可 ... 72

11.4 DMA要求 ... 72

11.5 チャネルの優先順位とDMA転送タイミング ... 73

12. タイマ ... 74

12.1 タイマA ... 76

12.1.1 タイマモード ... 79

12.1.2 イベントカウンタモード ... 80

12.1.3 ワンショットタイマモード ... 83

12.1.4 パルス幅変調モード(PWMモード) ... 84

12.2 タイマB ... 86

12.2.1 タイマモード ... 88

12.2.2 イベントカウンタモード ... 89

12.2.3 パルス周期測定モード、パルス幅測定モード ... 90

12.3 三相モータ制御用タイマ機能 ... 92

13. シリアルI/O ... 103

13.1 UARTi(i=0～2) ... 103

13.2 クロック同期形シリアルI/Oモード ... 112

13.2.1 CLK極性選択 ... 116

13.2.2 LSBファースト、MSBファースト選択 ... 116

13.2.3 連続受信モード ... 117

13.2.4 シリアルデータ論理切り替え(UART2) ... 117

13.2.5 転送クロック複数端子出力選択(UART1) ... 117

13.2.6 $\overline{CTS}$/$\overline{RTS}$分離機能(UART0) ... 118

13.3 クロック非同期形シリアルI/O(UART)モード ... 119

13.3.1 LSBファースト、MSBファースト選択 ... 123

13.3.2 シリアルデータ論理切り替え(UART2) ... 124

13.3.3 TXD、RXD入出力極性切り替え機能(UART2) ... 124

13.3.4 $\overline{CTS}$/$\overline{RTS}$分離機能(UART0) ... 125

13.4 特殊モード1(I²C Busモード)(UART2) 126
13.4.1 スタートコンディション、ストップコンディションの検出 132
13.4.2 スタートコンディション、ストップコンディションの出力 132
13.4.3 アービトレーション 133
13.4.4 転送クロック 134
13.4.5 SDA出力 134
13.4.6 SDA入力 134
13.4.7 ACK、NACK 135
13.4.8 送受信初期化 135
13.5 特殊モード2(UART2) 136
13.5.1 クロック位相設定機能 138
13.6 特殊モード3(IE Busモード)(UART2) 140
13.7 特殊モード4(SIMモード)(UART2) 142
13.7.1 パリティエラー信号出力機能 145
13.7.2 フォーマット 146
14. A/Dコンバータ 147
14.1 単発モード 151
14.2 繰り返しモード 153
14.3 単掃引モード 155
14.4 繰り返し掃引モード0 157
14.5 繰り返し掃引モード1 159
14.6 分解能選択機能 161
14.7 サンプル&ホールド 161
14.8 消費電流低減機能 161
14.9 アナログ入力端子と外部センサーの等価回路例 161
15. プログラマブル入出力ポート 162
15.1 ポートPi方向レジスタ(PDiレジスタ　i=1、6～10) 162
15.2 ポートPiレジスタ(Piレジスタ　i=1、6～10) 162
15.3 プルアップ制御レジスタ0～プルアップ制御レジスタ2(PUR0～PUR2レジスタ) 162
15.4 ポート制御レジスタ(PCRレジスタ) 162

16. 電気的特性 171
16.1 絶対最大定格 171
16.2 推奨動作条件 172
16.3 A/D変換特性 173
16.4 フラッシュメモリの電気的特性 174
16.5 低電圧検出回路の電気的特性 175
16.6 電気的特性(VCC=5V) 176
16.7 タイミング必要条件(VCC=5V) 178
16.8 電気的特性(VCC=3V) 183
16.9 タイミング必要条件(VCC=3V) 185
17. フラッシュメモリ版 190
17.1 メモリ配置 191
17.2 フラッシュメモリ書き換え禁止機能 195
17.2.1 ROMコードプロテクト機能 195
17.2.2 IDコードチェック機能 195
17.3 CPU書き換えモード 197
17.3.1 EW0モード 198
17.3.2 EW1モード 198
17.3.3 CPU書き換えモードの注意事項 204
17.3.4 ソフトウエアコマンド 206
17.4 標準シリアル入出力モード 213
17.4.1 IDコードチェック機能 213
17.4.2 標準シリアル入出力モード1時の端子処理例 215
17.5 パラレル入出力モード 217
17.5.1 ROMコードプロテクト機能 217
18. 外形寸法図 218
レジスタ索引 219

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000$_{16}$			
0001$_{16}$			
0002$_{16}$			
0003$_{16}$			
0004$_{16}$	プロセッサモードレジスタ0	PM0	26
0005$_{16}$	プロセッサモードレジスタ1	PM1	26
0006$_{16}$	システムクロック制御レジスタ0	CM0	29
0007$_{16}$	システムクロック制御レジスタ１	CM1	30
0008$_{16}$			
0009$_{16}$	アドレス一致割り込み許可レジスタ	AIER	62
000A$_{16}$	プロテクトレジスタ	PRCR	45
000B$_{16}$			
000C$_{16}$	発振停止検出レジスタ	CM2	31
000D$_{16}$			
000E$_{16}$	ウォッチドッグタイマスタートレジスタ	WDTS	64
000F$_{16}$	ウォッチドッグタイマ制御レジスタ	WDC	20, 64
0010$_{16}$			
0011$_{16}$	アドレス一致割り込みレジスタ0	RMAD0	62
0012$_{16}$			
0013$_{16}$			
0014$_{16}$			
0015$_{16}$	アドレス一致割り込みレジスタ1	RMAD1	62
0016$_{16}$			
0017$_{16}$			
0018$_{16}$			
0019$_{16}$	電圧検出レジスタ1	VCR1	21
001A$_{16}$	電圧検出レジスタ2	VCR2	21
001B$_{16}$			
001C$_{16}$			
001D$_{16}$			
001E$_{16}$	プロセッサモードレジスタ2	PM2	32
001F$_{16}$	電圧低下検出割り込みレジスタ	D4INT	21
0020$_{16}$			
0021$_{16}$	DMA0ソースポインタ	SAR0	69
0022$_{16}$			
0023$_{16}$			
0024$_{16}$			
0025$_{16}$	DMA0ディスティネーションポインタ	DAR0	69
0026$_{16}$			
0027$_{16}$			
0028$_{16}$	DMA0転送カウンタ	TCR0	69
0029$_{16}$			
002A$_{16}$			
002B$_{16}$			
002C$_{16}$	DMA0制御レジスタ	DM0CON	68
002D$_{16}$			
002E$_{16}$			
002F$_{16}$			
0030$_{16}$			
0031$_{16}$	DMA1ソースポインタ	SAR1	69
0032$_{16}$			
0033$_{16}$			
0034$_{16}$			
0035$_{16}$	DMA1ディスティネーションポインタ	DAR1	69
0036$_{16}$			
0037$_{16}$			
0038$_{16}$	DMA1転送カウンタ	TCR1	69
0039$_{16}$			
003A$_{16}$			
003B$_{16}$			
003C$_{16}$	DMA1制御レジスタ	DM1CON	68
003D$_{16}$			
003E$_{16}$			
003F$_{16}$			

番地	レジスタ	シンボル	掲載ページ
0040$_{16}$			
0041$_{16}$			
0042$_{16}$			
0043$_{16}$			
0044$_{16}$	INT3割り込み制御レジスタ	INT3IC	52
0045$_{16}$			
0046$_{16}$			
0047$_{16}$			
0048$_{16}$	INT5割り込み制御レジスタ	INT5IC	52
0049$_{16}$	INT4割り込み制御レジスタ	INT4IC	52
004A$_{16}$	UART2バス衝突検出割り込み制御レジスタ	BCNIC	52
004B$_{16}$	DMA0割り込み制御レジスタ	DM0IC	52
004C$_{16}$	DMA1割り込み制御レジスタ	DM1IC	52
004D$_{16}$	キー入力割り込み制御レジスタ	KUPIC	52
004E$_{16}$	A/D変換割り込み制御レジスタ	ADIC	52
004F$_{16}$	UART2送信割り込み制御レジスタ	S2TIC	52
0050$_{16}$	UART2受信割り込み制御レジスタ	S2RIC	52
0051$_{16}$	UART0送信割り込み制御レジスタ	S0TIC	52
0052$_{16}$	UART0受信割り込み制御レジスタ	S0RIC	52
0053$_{16}$	UART1送信割り込み制御レジスタ	S1TIC	52
0054$_{16}$	UART1受信割り込み制御レジスタ	S1RIC	52
0055$_{16}$	タイマA0割り込み制御レジスタ	TA0IC	52
0056$_{16}$	タイマA1割り込み制御レジスタ	TA1IC	52
0057$_{16}$	タイマA2割り込み制御レジスタ	TA2IC	52
0058$_{16}$	タイマA3割り込み制御レジスタ	TA3IC	52
0059$_{16}$	タイマA4割り込み制御レジスタ	TA4IC	52
005A$_{16}$	タイマB0割り込み制御レジスタ	TB0IC	52
005B$_{16}$	タイマB1割り込み制御レジスタ	TB1IC	52
005C$_{16}$	タイマB2割り込み制御レジスタ	TB2IC	52
005D$_{16}$	INT0割り込み制御レジスタ	INT0IC	52
005E$_{16}$	INT1割り込み制御レジスタ	INT1IC	52
005F$_{16}$			
0060$_{16}$			
0061$_{16}$			
0062$_{16}$			
0063$_{16}$			
0064$_{16}$			
0065$_{16}$			
0066$_{16}$			
0067$_{16}$			
0068$_{16}$			
0069$_{16}$			
006A$_{16}$			
006B$_{16}$			
006C$_{16}$			
006D$_{16}$			
006E$_{16}$			
006F$_{16}$			
0070$_{16}$			
0071$_{16}$			
0072$_{16}$			
0073$_{16}$			
0074$_{16}$			
0075$_{16}$			
0076$_{16}$			
0077$_{16}$			
0078$_{16}$			
0079$_{16}$			
007A$_{16}$			
007B$_{16}$			
007C$_{16}$			
007D$_{16}$			
007E$_{16}$			
007F$_{16}$			

注1.　空欄は予約領域です。アクセスしないでください。

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0080_{16}			
0081_{16}			
0082_{16}			
0083_{16}			
0084_{16}			
0085_{16}			
0086_{16}			
≈			
$01B0_{16}$			
$01B1_{16}$			
$01B2_{16}$			
$01B3_{16}$	フラッシュメモリ制御レジスタ4 (注2)	FMR4	201
$01B4_{16}$			
$01B5_{16}$	フラッシュメモリ制御レジスタ1 (注2)	FMR1	201
$01B6_{16}$			
$01B7_{16}$	フラッシュメモリ制御レジスタ0 (注2)	FMR0	200
$01B8_{16}$			
$01B9_{16}$			
$01BA_{16}$			
$01BB_{16}$			
$01BC_{16}$			
$01BD_{16}$			
$01BE_{16}$			
$01BF_{16}$			
≈			
0250_{16}			
0251_{16}			
0252_{16}			
0253_{16}			
0254_{16}			
0255_{16}			
0256_{16}			
0257_{16}			
0258_{16}			
0259_{16}			
$025A_{16}$			
$025B_{16}$			
$025C_{16}$			
$025D_{16}$			
$025E_{16}$	周辺クロック選択レジスタ	PCLKR	32
$025F_{16}$			
≈			
0330_{16}			
0331_{16}			
0332_{16}			
0333_{16}			
0334_{16}			
0335_{16}			
0336_{16}			
0337_{16}			
0338_{16}			
0339_{16}			
$033A_{16}$			
$033B_{16}$			
$033C_{16}$			
$033D_{16}$			
$033E_{16}$			
$033F_{16}$			

番地	レジスタ	シンボル	掲載ページ
0340_{16}			
0341_{16}			
0342_{16} 0343_{16}	タイマA1-1レジスタ	TA11	97
0344_{16} 0345_{16}	タイマA2-1レジスタ	TA21	97
0346_{16} 0347_{16}	タイマA4-1レジスタ	TA41	97
0348_{16}	三相PWM制御レジスタ0	INVC0	94
0349_{16}	三相PWM制御レジスタ1	INVC1	95
$034A_{16}$	三相出力バッファレジスタ0	IDB0	96
$034B_{16}$	三相出力バッファレジスタ1	IDB1	96
$034C_{16}$	短絡防止タイマ	DTT	96
$034D_{16}$	タイマB2割り込み発生頻度設定カウンタ	ICTB2	97
$034E_{16}$			
$034F_{16}$			
0350_{16}			
0351_{16}			
0352_{16}			
0353_{16}			
0354_{16}			
0355_{16}			
0356_{16}			
0357_{16}			
0358_{16}			
0359_{16}			
$035A_{16}$			
$035B_{16}$			
$035C_{16}$			
$035D_{16}$			
$035E_{16}$			
$035F_{16}$	割り込み要因選択レジスタ	IFSR	59
0360_{16}			
0361_{16}			
0362_{16}			
0363_{16}			
0364_{16}			
0365_{16}			
0366_{16}			
0367_{16}			
0368_{16}			
0369_{16}			
$036A_{16}$			
$036B_{16}$			
$036C_{16}$			
$036D_{16}$			
$036E_{16}$			
$036F_{16}$			
0370_{16}			
0371_{16}			
0372_{16}			
0373_{16}			
0374_{16}	UART2特殊モードレジスタ4	U2SMR4	111
0375_{16}	UART2特殊モードレジスタ3	U2SMR3	111
0376_{16}	UART2特殊モードレジスタ2	U2SMR2	110
0377_{16}	UART2特殊モードレジスタ	U2SMR	110
0378_{16}	UART2送受信モードレジスタ	U2MR	107
0379_{16}	UART2転送速度レジスタ	U2BRG	106
$037A_{16}$ $037B_{16}$	UART2送信バッファレジスタ	U2TB	106
$037C_{16}$	UART2送受信制御レジスタ0	U2C0	108
$037D_{16}$	UART2送受信制御レジスタ1	U2C1	109
$037E_{16}$ $037F_{16}$	UART2受信バッファレジスタ	U2RB	106

注1.　空欄は予約領域です。アクセスしないでください。
注2.　このレジスタはフラッシュメモリ版にあります。

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0380_{16}	カウント開始フラグ	TABSR	77, 87, 99
0381_{16}	時計用プリスケーラリセットフラグ	CPSRF	78, 87
0382_{16}	ワンショット開始フラグ	ONSF	78
0383_{16}	トリガ選択レジスタ	TRGSR	78, 99
0384_{16}	アップダウンフラグ	UDF	77
0385_{16}			
0386_{16} 0387_{16}	タイマA0レジスタ	TA0	77
0388_{16} 0389_{16}	タイマA1レジスタ	TA1	77, 97
$038A_{16}$ $038B_{16}$	タイマA2レジスタ	TA2	77, 97
$038C_{16}$ $038D_{16}$	タイマA3レジスタ	TA3	77
$038E_{16}$ $038F_{16}$	タイマA4レジスタ	TA4	77, 97
0390_{16} 0391_{16}	タイマB0レジスタ	TB0	87
0392_{16} 0393_{16}	タイマB1レジスタ	TB1	87
0394_{16} 0395_{16}	タイマB2レジスタ	TB2	87, 99
0396_{16}	タイマA0モードレジスタ	TA0MR	76
0397_{16}	タイマA1モードレジスタ	TA1MR	76, 100
0398_{16}	タイマA2モードレジスタ	TA2MR	76, 100
0399_{16}	タイマA3モードレジスタ	TA3MR	76
$039A_{16}$	タイマA4モードレジスタ	TA4MR	76, 100
$039B_{16}$	タイマB0モードレジスタ	TB0MR	86
$039C_{16}$	タイマB1モードレジスタ	TB1MR	86
$039D_{16}$	タイマB2モードレジスタ	TB2MR	86, 100
$039E_{16}$	タイマB2特殊モードレジスタ	TB2SC	98
$039F_{16}$			
$03A0_{16}$	UART0送受信モードレジスタ	U0MR	107
$03A1_{16}$	UART0転送速度レジスタ	U0BRG	106
$03A2_{16}$ $03A3_{16}$	UART0送信バッファレジスタ	U0TB	106
$03A4_{16}$	UART0送受信制御レジスタ0	U0C0	108
$03A5_{16}$	UART0送受信制御レジスタ１	U0C1	109
$03A6_{16}$ $03A7_{16}$	UART0受信バッファレジスタ	U0RB	106
$03A8_{16}$	UART1送受信モードレジスタ	U1MR	107
$03A9_{16}$	UART1転送速度レジスタ	U1BRG	106
$03AA_{16}$ $03AB_{16}$	UART1送信バッファレジスタ	U1TB	106
$03AC_{16}$	UART1送受信制御レジスタ0	U1C0	108
$03AD_{16}$	UART1送受信制御レジスタ１	U1C1	109
$03AE_{16}$ $03AF_{16}$	UART1受信バッファレジスタ	U1RB	106
$03B0_{16}$	UART送受信制御レジスタ2	UCON	108
$03B1_{16}$			
$03B2_{16}$			
$03B3_{16}$			
$03B4_{16}$			
$03B5_{16}$			
$03B6_{16}$			
$03B7_{16}$			
$03B8_{16}$	DMA0要因選択レジスタ	DM0SL	67
$03B9_{16}$			
$03BA_{16}$	DMA1要因選択レジスタ	DM1SL	68
$03BB_{16}$			
$03BC_{16}$			
$03BD_{16}$			
$03BE_{16}$			
$03BF_{16}$			

番地	レジスタ	シンボル	掲載ページ
$03C0_{16}$ $03C1_{16}$	A/Dレジスタ0	AD0	150
$03C2_{16}$ $03C3_{16}$	A/Dレジスタ1	AD1	150
$03C4_{16}$ $03C5_{16}$	A/Dレジスタ2	AD2	150
$03C6_{16}$ $03C7_{16}$	A/Dレジスタ3	AD3	150
$03C8_{16}$ $03C9_{16}$	A/Dレジスタ4	AD4	150
$03CA_{16}$ $03CB_{16}$	A/Dレジスタ5	AD5	150
$03CC_{16}$ $03CD_{16}$	A/Dレジスタ6	AD6	150
$03CE_{16}$ $03CF_{16}$	A/Dレジスタ7	AD7	150
$03D0_{16}$			
$03D1_{16}$			
$03D2_{16}$			
$03D3_{16}$			
$03D4_{16}$	A/D制御レジスタ2	ADCON2	150
$03D5_{16}$			
$03D6_{16}$	A/D制御レジスタ0	ADCON0	149
$03D7_{16}$	A/D制御レジスタ1	ADCON1	149
$03D8_{16}$			
$03D9_{16}$			
$03DA_{16}$			
$03DB_{16}$			
$03DC_{16}$			
$03DD_{16}$			
$03DE_{16}$			
$03DF_{16}$			
$03E0_{16}$			
$03E1_{16}$	ポートP1レジスタ	P1	167
$03E2_{16}$			
$03E3_{16}$	ポートP1方向レジスタ	PD1	166
$03E4_{16}$			
$03E5_{16}$			
$03E6_{16}$			
$03E7_{16}$			
$03E8_{16}$			
$03E9_{16}$			
$03EA_{16}$			
$03EB_{16}$			
$03EC_{16}$	ポートP6レジスタ	P6	167
$03ED_{16}$	ポートP7レジスタ	P7	167
$03EE_{16}$	ポートP6方向レジスタ	PD6	166
$03EF_{16}$	ポートP7方向レジスタ	PD7	166
$03F0_{16}$	ポートP8レジスタ	P8	167
$03F1_{16}$	ポートP9レジスタ	P9	167
$03F2_{16}$	ポートP8方向レジスタ	PD8	166
$03F3_{16}$	ポートP9方向レジスタ	PD9	166
$03F4_{16}$	ポートP10レジスタ	P10	167
$03F5_{16}$			
$03F6_{16}$	ポートP10方向レジスタ	PD10	166
$03F7_{16}$			
$03F8_{16}$			
$03F9_{16}$			
$03FA_{16}$			
$03FB_{16}$			
$03FC_{16}$	プルアップ制御レジスタ0	PUR0	168
$03FD_{16}$	プルアップ制御レジスタ1	PUR1	168
$03FE_{16}$	プルアップ制御レジスタ2	PUR2	168
$03FF_{16}$	ポート制御レジスタ	PCR	169

注1.　空欄は予約領域です。アクセスしないでください。

1. 概要

M16C/26グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、48ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1 応　用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

本仕様書はできる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。
また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

1.2 性能概要

表1.1に性能概要を示します。

表1.1. 性能概要

項目		性能
基本命令数		91命令
最短命令実行時間		50ns(f(BCLK)=20MHz、V_{CC}=3.0～5.5V) 100ns(f(BCLK)=10MHz、V_{CC}=2.7～5.5V)
メモリ容量	ROM	製品一覧表を参照してください
	RAM	製品一覧表を参照してください
入出力ポート	$P1_5$～$P1_7$、P6、P7、$P8_0$～$P8_3$ $P8_5$～$P8_7$、$P9_0$～$P9_3$、P10	8ビット×3、7ビット×1、4ビット×1、3ビット×1
多機能タイマ	TA0、TA1、TA2、TA3、TA4 TB0、TB1、TB2	出力系16ビット×5 入力系16ビット×3
シリアルI/O	UART0、UART1、UART2	(UART、クロック同期形シリアルI/O)×2 (UART、クロック同期形シリアルI/O、I^2C bus(注1)、IEBus(注2))×1
A/Dコンバータ		10ビット×8チャネル
DMAC		2チャネル(スタート条件:20要因)
ウォッチドッグタイマ		15ビット×1(プリスケーラ付)
割り込み		内部20要因、外部7要因、ソフトウエア4要因、7レベル
クロック発生回路		3回路 ・メインクロック発振回路 ・サブクロック発振回路 上記2回路には、帰還抵抗内蔵、セラミック共振子または水晶 発振子外付け ・オンチップオシレータ(メインクロック発振停止検出機能用)
電源電圧		V_{CC}=3.0～5.5V　(f(BCLK)=20MHz) V_{CC}=2.7～5.5V　(f(BCLK)=10MHz)
フラッシュメモリ版	プログラム、イレーズ電圧	V_{CC}=2.7～5.5V
	プログラム、イレーズ回数	100回(全領域) または1000回(プログラム領域)/10000回(データ領域)(注3)
消費電流		16mA(V_{CC}=3V、f(BCLK)=20MHz) 25μA(f(X_{CIN})=32kHz、RAM上) 1.8μA(V_{CC}=3V、f(X_{CIN})=32kHz、ウエイトモード時) 0.7μA(V_{CC}=3V、ストップモード時)
入出力特性	入出力耐電圧	5.0V
	出力電流	5mA
動作周囲温度		-20～85°C/-40～85°C(注3)
素子構造		CMOS高性能シリコンゲート
パッケージ		48ピンプラスチックモールドQFP

注1.　I^2C busは、オランダPHILIPS社の登録商標です。
注2.　IEBusは、NECエレクトロニクス株式会社の商標です。
注3.　書き換え回数および動作周囲温度は、表1.3 製品コードを参照してください。

1.3 ブロック図

図1.1にブロック図を示します。

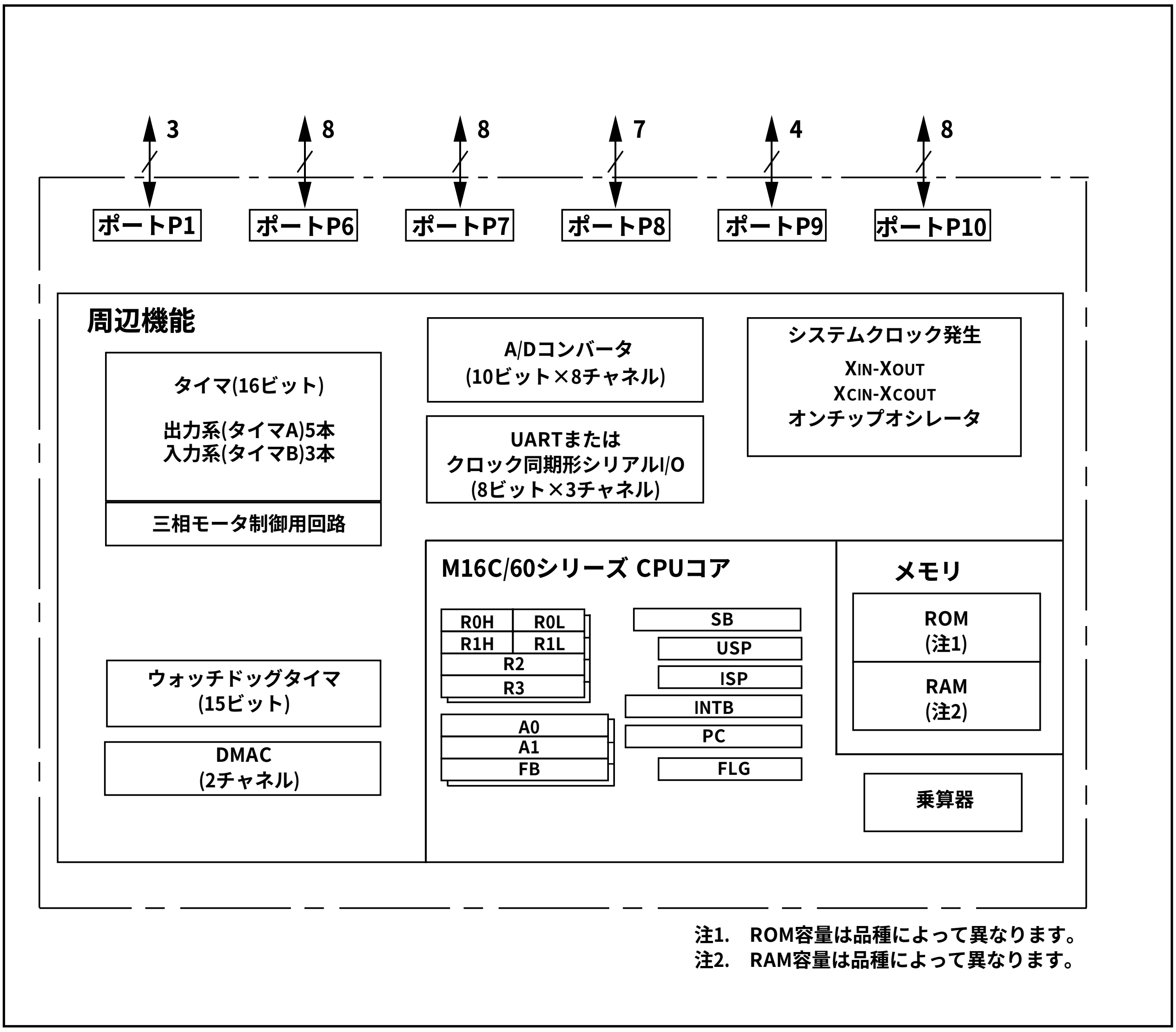


図1.1. ブロック図

1.4 製品一覧

表1.2に製品一覧表、図1.2に形名とメモリサイズ・パッケージ、表1.3に製品コード、図1.3にマーキング図を示します。

表1.2. 製品一覧表　　2003年6月現在

形　名	ROM容量	RAM容量	パッケージ	備　　考
M30262F3GP	24K+4Kバイト	1Kバイト	48P6Q-A	フラッシュメモリ版
M30262F4GP	32K+4Kバイト	1Kバイト		
M30262F6GP	48K+4Kバイト	2Kバイト		
M30262F8GP	64K+4Kバイト	2Kバイト		

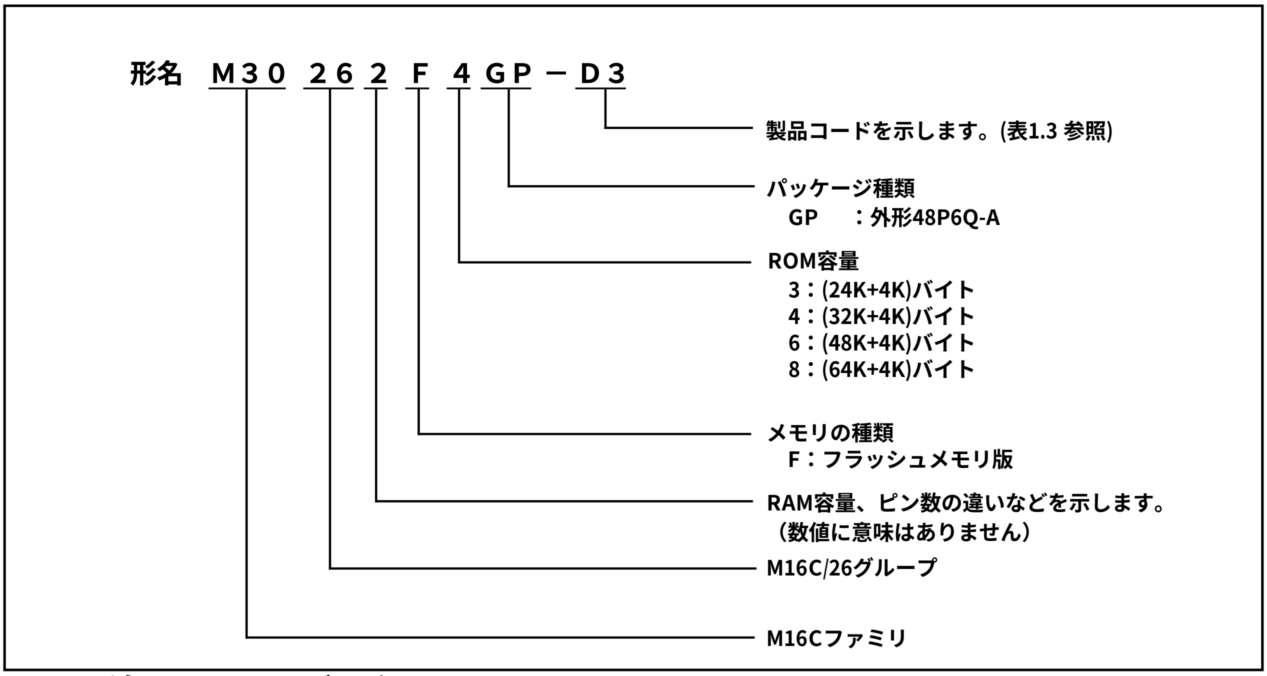


図1.2. 形名とメモリサイズ・パッケージ

表 1.3. 製品コード

製品コード	パッケージ	内部 ROM (プログラム領域) 書き換え回数	内部 ROM (プログラム領域) 温度範囲	内部 ROM (データ領域) 書き換え回数	内部 ROM (データ領域) 温度範囲	MCU動作周囲温度
D3	非鉛フリー	100	0°C～60°C	100	0°C～60°C	-40°C～85°C
D5						-20°C～85°C
D7		1,000		10,000	-40°C～85°C	-40°C～85°C
D9					-20°C～85°C	-20°C～85°C
U3	鉛フリー	100		100	0°C～60°C	-40°C～85°C
U5						-20°C～85°C
U7		1,000		10,000	-40°C～85°C	-40°C～85°C
U9					-20°C～85°C	-20°C～85°C

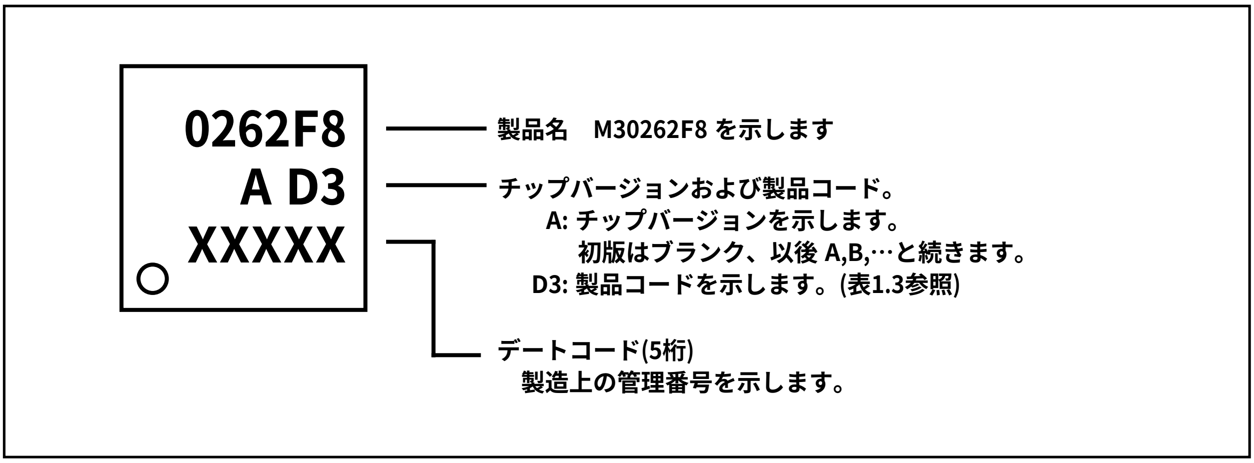


図1.3. マーキング図(上面図)

1.5 ピン接続図

図1.4にピン接続図(上面図)を示します。

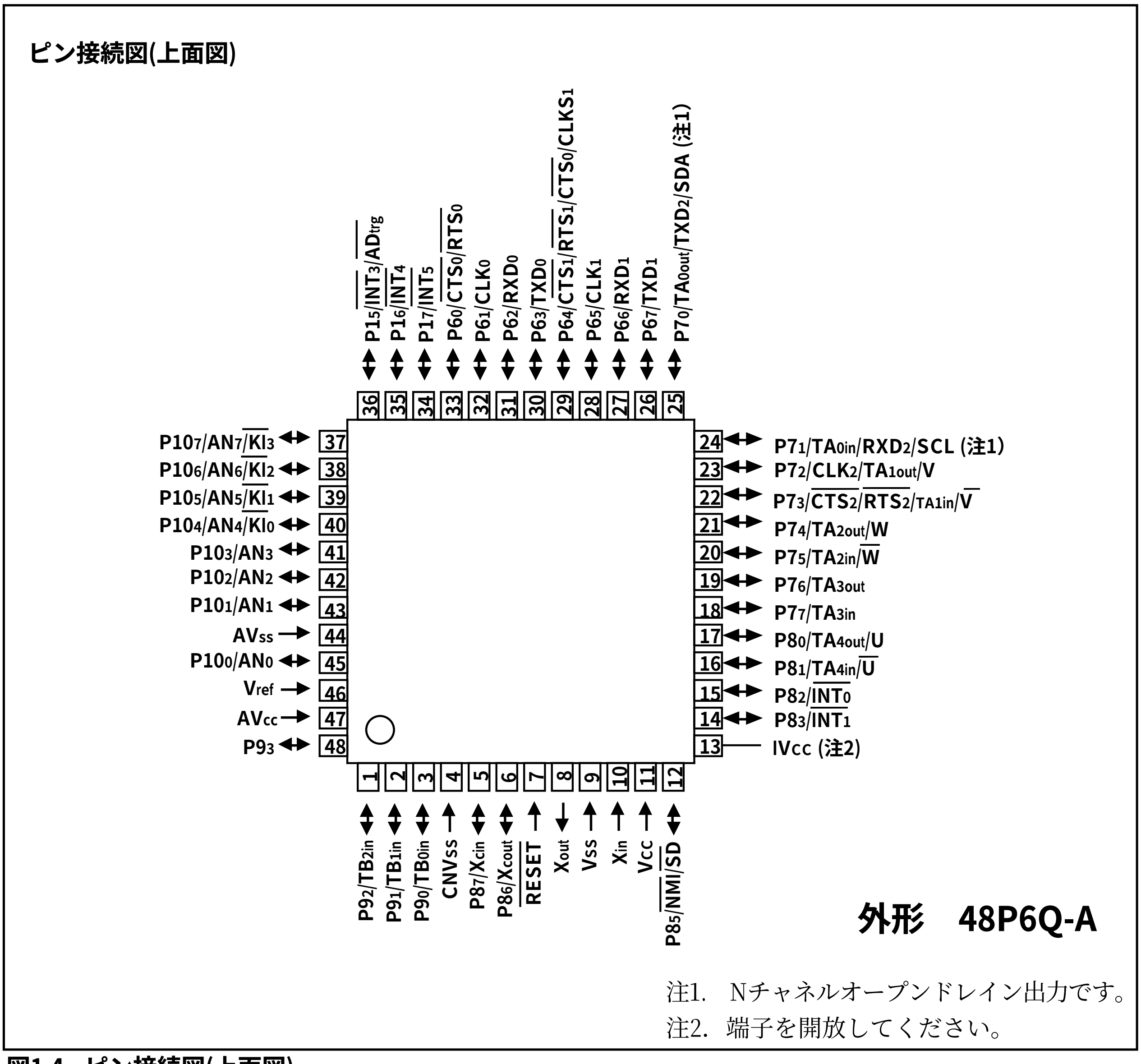


図1.4. ピン接続図(上面図)

1.6 端子の機能説明

表1.4に本マイコンの端子の説明を示します。

表1.4. 端子の機能説明

端子名	名 称	入出力	機 能
V_{CC}、V_{SS}	電源入力		V_{CC}端子には、2.7V〜5.5Vを入力してください。V_{SS}端子には、0Vを入力してください。
CNV_{SS}	CNV_{SS}	入力	V_{SS}に接続してください。
IV_{CC}	IV_{CC}		端子を開放してください。
$\overline{RESET}$	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
X_{IN} X_{OUT}	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、X_{IN}端子からクロックを入力し、X_{OUT}端子は開放にしてください。
AV_{CC}	アナログ電源入力		A/Dコンバータの電源入力端子です。V_{CC}に接続してください。
AV_{SS}	アナログ電源入力		A/Dコンバータの電源入力端子です。V_{SS}に接続してください。
V_{REF}	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
$P1_5$〜$P1_7$	入出力ポートP1	入出力	CMOSの3ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで3ビット単位でプルアップ抵抗の有無を選択できます。$P1_5$〜$P1_7$はプログラムで選択することによって$\overline{INT}$割り込みの入力端子として、また$P1_5$はA/Dトリガ入力端子としても機能します。
$P6_0$〜$P6_7$	入出力ポートP6	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4ビット単位でプルアップ抵抗の有無を選択できます。プログラムで選択することによって、UART0、UART1の入出力端子として機能します。
$P7_0$〜$P7_7$	入出力ポートP7	入出力	P6と同等の機能を持つ8ビット入出力ポートです。(ただし､P70、P71はNチャネルオープンドレイン出力)。プログラムで選択することによって、タイマA0〜A3の入出力端子として機能します。また、$P7_0$〜$P7_3$はUART2の入出力端子、$P7_2$〜$P7_5$は三相モータ制御用タイマの出力端子としても機能します。
$P8_0$〜$P8_3$、 $P8_5$〜$P8_7$	入出力ポートP8	入出力 入出力	$P8_0$〜$P8_3$、$P8_5$〜$P8_7$は、P6と同等の機能を持つ7ビット入出力ポートです。入力ポートは、プログラムで4ビット単位、または3ビット単位でプルアップ抵抗の有無を選択できます。プログラムで選択することによって、$P8_0$〜$P8_1$はタイマA4の入出力端子または三相モータ制御用タイマの出力端子として、$P8_2$、$P8_3$は$\overline{INT}$割り込みの入力端子として、また$P8_5$は$\overline{NMI}/\overline{SD}$の入力端子として機能します。三相出力使用時は、$P8_5$を通常ポートとして使用できません。三相出力使用時は、$P8_5$の方向レジスタを”0”にした上、通常は”H”入力固定としてください。$P8_6$、$P8_7$はプログラムで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、$P8_6$(X_{COUT}端子)と$P8_7$(X_{CIN}端子)の間には水晶発振子を接続してください。
$P9_0$〜$P9_3$	入出力ポートP9	入出力	P6と同等の機能を持つ4ビット入出力ポートです。$P9_0$〜$P9_2$はプログラムで選択することによって、タイマB0〜B2の入力端子として機能します。
$P10_0$〜$P10_7$	入出力ポートP10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。プログラムで選択することによってA/Dコンバータの入力端子として機能します。また、$P10_4$〜$P10_7$はキー入力割り込み機能の入力端子としても機能します。

RENESAS

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

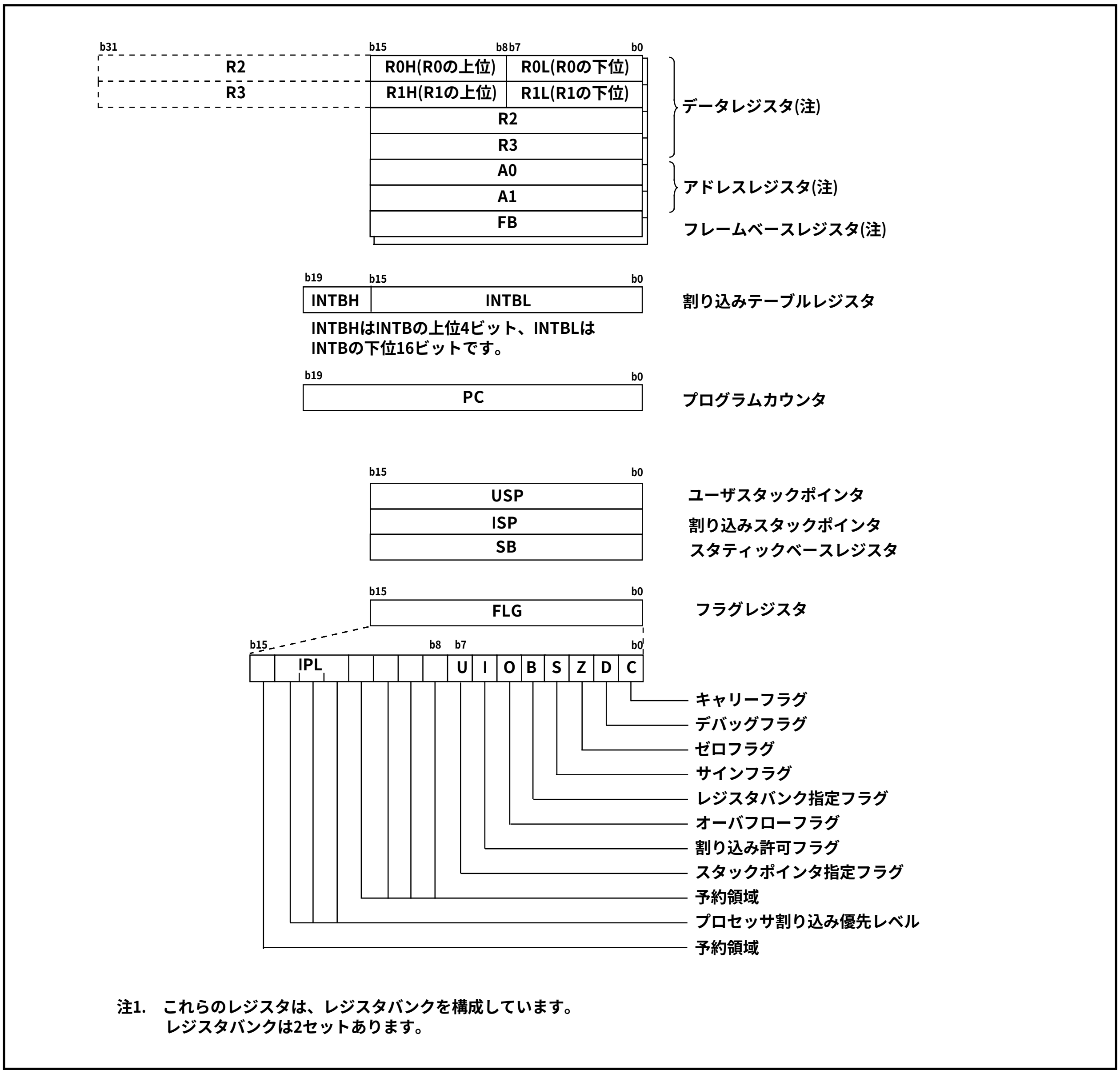


図2.1. CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。
USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。
Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。
割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。
ハードウエア割り込み要求を受け付けたとき、またはソフトウエア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。
要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000_{16}番地から$FFFFF_{16}$番地までの1Mバイトあります。

内部ROMは$FFFFF_{16}$番地から下位方向に配置されます。例えば32Kバイトの内部ROMは、$F8000_{16}$番地から$FFFFF_{16}$番地に配置されます。

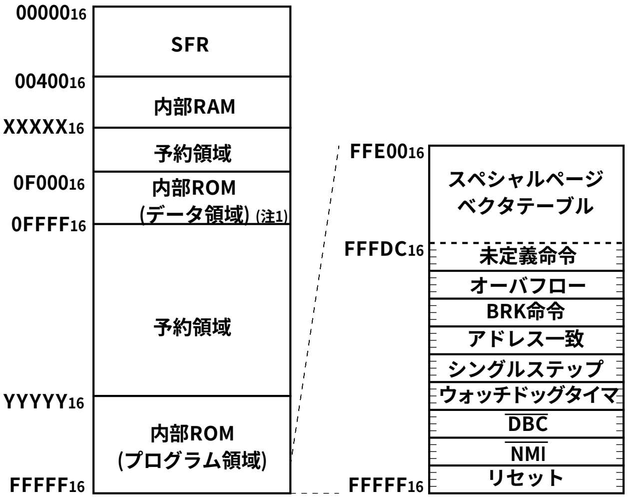
固定割り込みベクタテーブルは$FFFDC_{16}$番地から$FFFFF_{16}$番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。詳細は「割り込み」を参照してください。

内部RAMは00400_{16}番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400_{16}番地から$007FF_{16}$番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000_{16}番地から$003FF_{16}$番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルは$FFE00_{16}$番地から$FFFDB_{16}$番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウエアマニュアル」を参照してください。

内部RAM		内部ROM	
容量	$XXXXX_{16}$番地	容量	$YYYYY_{16}$番地
1Kバイト	$007FF_{16}$	24Kバイト	$FA000_{16}$
2Kバイト	$00BFF_{16}$	32Kバイト	$F8000_{16}$
		48Kバイト	$F4000_{16}$
		64Kバイト	$F0000_{16}$



注1:ブロックA(2Kバイト)、およびブロックB(2Kバイト)を示します。(フラッシュメモリ版のみ)

図3.1. メモリ配置

4. SFR

番地	レジスタ	シンボル	リセット後の値
0000_{16}			
0001_{16}			
0002_{16}			
0003_{16}			
0004_{16}	プロセッサモードレジスタ0 (注2)	PM0	00_{16}
0005_{16}	プロセッサモードレジスタ1	PM1	00001000_2
0006_{16}	システムクロック制御レジスタ0	CM0	01001000_2
0007_{16}	システムクロック制御レジスタ１	CM1	00100000_2
0008_{16}			
0009_{16}	アドレス一致割り込み許可レジスタ	AIER	$XXXXXX00_2$
$000A_{16}$	プロテクトレジスタ	PRCR	$XX000000_2$
$000B_{16}$			
$000C_{16}$	発振停止検出レジスタ (注4)	CM2	$0X000000_2$
$000D_{16}$			
$000E_{16}$	ウォッチドッグタイマスタートレジスタ	WDTS	XX_{16}
$000F_{16}$	ウォッチドッグタイマ制御レジスタ	WDC	$00XXXXXX_2$(注3)
0010_{16}	アドレス一致割り込みレジスタ0	RMAD0	00_{16}
0011_{16}			00_{16}
0012_{16}			$X0_{16}$
0013_{16}			
0014_{16}	アドレス一致割り込みレジスタ1	RMAD1	00_{16}
0015_{16}			00_{16}
0016_{16}			$X0_{16}$
0017_{16}			
0018_{16}			
0019_{16}	電圧検出レジスタ1 (注2)	VCR1	00001000_2
$001A_{16}$	電圧検出レジスタ2 (注2)	VCR2	00_{16}
$001B_{16}$			
$001C_{16}$			
$001D_{16}$			
$001E_{16}$	プロセッサモードレジスタ2	PM2	$XXX00000_2$
$001F_{16}$	電圧低下割り込みレジスタ	D4INT	00_{16}
0020_{16}	DMA0ソースポインタ	SAR0	XX_{16}
0021_{16}			XX_{16}
0022_{16}			XX_{16}
0023_{16}			
0024_{16}	DMA0ディスティネーションポインタ	DAR0	XX_{16}
0025_{16}			XX_{16}
0026_{16}			XX_{16}
0027_{16}			
0028_{16}	DMA0転送カウンタ	TCR0	XX_{16}
0029_{16}			XX_{16}
$002A_{16}$			
$002B_{16}$			
$002C_{16}$	DMA0制御レジスタ	DM0CON	$00000X00_2$
$002D_{16}$			
$002E_{16}$			
$002F_{16}$			
0030_{16}	DMA1ソースポインタ	SAR1	XX_{16}
0031_{16}			XX_{16}
0032_{16}			XX_{16}
0033_{16}			
0034_{16}	DMA1ディスティネーションポインタ	DAR1	XX_{16}
0035_{16}			XX_{16}
0036_{16}			XX_{16}
0037_{16}			
0038_{16}	DMA1転送カウンタ	TCR1	XX_{16}
0039_{16}			XX_{16}
$003A_{16}$			
$003B_{16}$			
$003C_{16}$	DMA1制御レジスタ	DM1CON	$00000X00_2$
$003D_{16}$			
$003E_{16}$			
$003F_{16}$			

注1.　空欄は何も配置されていない領域です。何も配置されていない領域は予約領域です。使用しないでください。
注2.　ソフトウエアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。
注3.　WDC5ビットは電源投入後 “０” (コールドスタート)です。プログラムでのみ “１” にできます。
注4.　CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
X：不定です。

番地	レジスタ	シンボル	リセット後の値
0040_{16}			
0041_{16}			
0042_{16}			
0043_{16}			
0044_{16}	INT3割り込み制御レジスタ	INT3IC	$XX00X000_2$
0045_{16}			
0046_{16}			
0047_{16}			
0048_{16}	INT5割り込み制御レジスタ	INT5IC	$XX00X000_2$
0049_{16}	INT4割り込み制御レジスタ	INT4IC	$XX00X000_2$
$004A_{16}$	UART2バス衝突検出割り込み制御レジスタ	BCNIC	$XXXXX000_2$
$004B_{16}$	DMA0割り込み制御レジスタ	DM0IC	$XXXXX000_2$
$004C_{16}$	DMA1割り込み制御レジスタ	DM1IC	$XXXXX000_2$
$004D_{16}$	キー入力割り込み制御レジスタ	KUPIC	$XXXXX000_2$
$004E_{16}$	A/D変換割り込み制御レジスタ	ADIC	$XXXXX000_2$
$004F_{16}$	UART2送信割り込み制御レジスタ	S2TIC	$XXXXX000_2$
0050_{16}	UART2受信割り込み制御レジスタ	S2RIC	$XXXXX000_2$
0051_{16}	UART0送信割り込み制御レジスタ	S0TIC	$XXXXX000_2$
0052_{16}	UART0受信割り込み制御レジスタ	S0RIC	$XXXXX000_2$
0053_{16}	UART1送信割り込み制御レジスタ	S1TIC	$XXXXX000_2$
0054_{16}	UART1受信割り込み制御レジスタ	S1RIC	$XXXXX000_2$
0055_{16}	タイマA0割り込み制御レジスタ	TA0IC	$XXXXX000_2$
0056_{16}	タイマA1割り込み制御レジスタ	TA1IC	$XXXXX000_2$
0057_{16}	タイマA2割り込み制御レジスタ	TA2IC	$XXXXX000_2$
0058_{16}	タイマA3割り込み制御レジスタ	TA3IC	$XXXXX000_2$
0059_{16}	タイマA4割り込み制御レジスタ	TA4IC	$XXXXX000_2$
$005A_{16}$	タイマB0割り込み制御レジスタ	TB0IC	$XXXXX000_2$
$005B_{16}$	タイマB1割り込み制御レジスタ	TB1IC	$XXXXX000_2$
$005C_{16}$	タイマB2割り込み制御レジスタ	TB2IC	$XXXXX000_2$
$005D_{16}$	INT0割り込み制御レジスタ	INT0IC	$XX00X000_2$
$005E_{16}$	INT1割り込み制御レジスタ	INT1IC	$XX00X000_2$
$005F_{16}$			
0060_{16}			
0061_{16}			
0062_{16}			
0063_{16}			
0064_{16}			
0065_{16}			
0066_{16}			
0067_{16}			
0068_{16}			
0069_{16}			
$006A_{16}$			
$006B_{16}$			
$006C_{16}$			
$006D_{16}$			
$006E_{16}$			
$006F_{16}$			
0070_{16}			
0071_{16}			
0072_{16}			
0073_{16}			
0074_{16}			
0075_{16}			
0076_{16}			
0077_{16}			
0078_{16}			
0079_{16}			
$007A_{16}$			
$007B_{16}$			
$007C_{16}$			
$007D_{16}$			
$007E_{16}$			
$007F_{16}$			

注1.　空欄は何も配置されていない領域です。何も配置されていない領域は予約領域です。使用しないでください。

X：不定です。

番地	レジスタ	シンボル	リセット後の値
0080_{16}			
0081_{16}			
0082_{16}			
0083_{16}			
0084_{16}			
0085_{16}			
0086_{16}			
≈			≈
$01B0_{16}$			
$01B1_{16}$			
$01B2_{16}$			
$01B3_{16}$	フラッシュメモリ制御レジスタ4(注2)	FMR4	01000000_2
$01B4_{16}$			
$01B5_{16}$	フラッシュメモリ制御レジスタ1(注2)	FMR1	$0100XX0X_2$
$01B6_{16}$			
$01B7_{16}$	フラッシュメモリ制御レジスタ0 (注2)	FMR0	$XX000001_2$
$01B8_{16}$			
$01B9_{16}$			
$01BA_{16}$			
$01BB_{16}$			
$01BC_{16}$			
$01BD_{16}$			
$01BE_{16}$			
$01BF_{16}$			
≈			≈
0250_{16}			
0251_{16}			
0252_{16}			
0253_{16}			
0254_{16}			
0255_{16}			
0256_{16}			
0257_{16}			
0258_{16}			
0259_{16}			
$025A_{16}$			
$025B_{16}$			
$025C_{16}$			
$025D_{16}$			
$025E_{16}$	周辺クロック選択レジスタ	PCLKR	00000011_2
$025F_{16}$			
≈			≈
0330_{16}			
0331_{16}			
0332_{16}			
0333_{16}			
0334_{16}			
0335_{16}			
0336_{16}			
0337_{16}			
0338_{16}			
0339_{16}			
$033A_{16}$			
$033B_{16}$			
$033C_{16}$			
$033D_{16}$			
$033E_{16}$			
$033F_{16}$			

注1.　空欄は何も配置されていない領域です。何も配置されていない領域は予約領域です。使用しないでください。
注2.　このレジスタはフラッシュメモリ版にあります。

X：不定です。

番地	レジスタ	シンボル	リセット後の値
0340$_{16}$			
0341$_{16}$			
0342$_{16}$ 0343$_{16}$	タイマA1-1レジスタ	TA11	XX$_{16}$ XX$_{16}$
0344$_{16}$ 0345$_{16}$	タイマA2-1レジスタ	TA21	XX$_{16}$ XX$_{16}$
0346$_{16}$ 0347$_{16}$	タイマA4-1レジスタ	TA41	XX$_{16}$ XX$_{16}$
0348$_{16}$	三相PWM制御レジスタ0	INVC0	00$_{16}$
0349$_{16}$	三相PWM制御レジスタ1	INVC1	00$_{16}$
034A$_{16}$	三相出力バッファレジスタ0	IDB0	00$_{16}$
034B$_{16}$	三相出力バッファレジスタ1	IDB1	00$_{16}$
034C$_{16}$	短絡防止タイマ	DTT	XX$_{16}$
034D$_{16}$	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XX$_{16}$
034E$_{16}$			
034F$_{16}$			
0350$_{16}$			
0351$_{16}$			
0352$_{16}$			
0353$_{16}$			
0354$_{16}$			
0355$_{16}$			
0356$_{16}$			
0357$_{16}$			
0358$_{16}$			
0359$_{16}$			
035A$_{16}$			
035B$_{16}$			
035C$_{16}$			
035D$_{16}$			
035E$_{16}$			
035F$_{16}$	割り込み要因選択レジスタ	IFSR	00$_{16}$
0360$_{16}$			
0361$_{16}$			
0362$_{16}$			
0363$_{16}$			
0364$_{16}$			
0365$_{16}$			
0366$_{16}$			
0367$_{16}$			
0368$_{16}$			
0369$_{16}$			
036A$_{16}$			
036B$_{16}$			
036C$_{16}$			
036D$_{16}$			
036E$_{16}$			
036F$_{16}$			
0370$_{16}$			
0371$_{16}$			
0372$_{16}$			
0373$_{16}$			
0374$_{16}$	UART2特殊モードレジスタ4	U2SMR4	00$_{16}$
0375$_{16}$	UART2特殊モードレジスタ3	U2SMR3	000X0X0X$_{2}$
0376$_{16}$	UART2特殊モードレジスタ2	U2SMR2	X0000000$_{2}$
0377$_{16}$	UART2特殊モードレジスタ	U2SMR	X0000000$_{2}$
0378$_{16}$	UART2送受信モードレジスタ	U2MR	00$_{16}$
0379$_{16}$	UART2転送速度レジスタ	U2BRG	XX$_{16}$
037A$_{16}$ 037B$_{16}$	UART2送信バッファレジスタ	U2TB	XXXXXXXX$_{2}$ XXXXXXXX$_{2}$
037C$_{16}$	UART2送受信制御レジスタ0	U2C0	00001000$_{2}$
037D$_{16}$	UART2送受信制御レジスタ1	U2C1	00000010$_{2}$
037E$_{16}$ 037F$_{16}$	UART2受信バッファレジスタ	U2RB	XXXXXXXX$_{2}$ XXXXXXXX$_{2}$

注1.　空欄は何も配置されていない領域です。何も配置されていない領域は予約領域です。使用しないでください。

X：不定です。

番地	レジスタ	シンボル	リセット後の値
0380_{16}	カウント開始フラグ	TABSR	00_{16}
0381_{16}	時計用プリスケーラリセットフラグ	CPSRF	$0XXXXXXX_2$
0382_{16}	ワンショット開始フラグ	ONSF	00_{16}
0383_{16}	トリガ選択レジスタ	TRGSR	00_{16}
0384_{16}	アップダウンフラグ	UDF	00_{16}
0385_{16}			
0386_{16}	タイマA0レジスタ	TA0	XX_{16}
0387_{16}			XX_{16}
0388_{16}	タイマA1レジスタ	TA1	XX_{16}
0389_{16}			XX_{16}
$038A_{16}$	タイマA2レジスタ	TA2	XX_{16}
$038B_{16}$			XX_{16}
$038C_{16}$	タイマA3レジスタ	TA3	XX_{16}
$038D_{16}$			XX_{16}
$038E_{16}$	タイマA4レジスタ	TA4	XX_{16}
$038F_{16}$			XX_{16}
0390_{16}	タイマB0レジスタ	TB0	XX_{16}
0391_{16}			XX_{16}
0392_{16}	タイマB1レジスタ	TB1	XX_{16}
0393_{16}			XX_{16}
0394_{16}	タイマB2レジスタ	TB2	XX_{16}
0395_{16}			XX_{16}
0396_{16}	タイマA0モードレジスタ	TA0MR	00_{16}
0397_{16}	タイマA1モードレジスタ	TA1MR	00_{16}
0398_{16}	タイマA2モードレジスタ	TA2MR	00_{16}
0399_{16}	タイマA3モードレジスタ	TA3MR	00_{16}
$039A_{16}$	タイマA4モードレジスタ	TA4MR	00_{16}
$039B_{16}$	タイマB0モードレジスタ	TB0MR	$00XX0000_2$
$039C_{16}$	タイマB1モードレジスタ	TB1MR	$00XX0000_2$
$039D_{16}$	タイマB2モードレジスタ	TB2MR	$00XX0000_2$
$039E_{16}$	タイマB2特殊モードレジスタ	TB2SC	$XXXXXX00_2$
$039F_{16}$			
$03A0_{16}$	UART0送受信モードレジスタ	U0MR	00_{16}
$03A1_{16}$	UART0転送速度レジスタ	U0BRG	XX_{16}
$03A2_{16}$	UART0送信バッファレジスタ	U0TB	$XXXXXXXX_2$
$03A3_{16}$			$XXXXXXXX_2$
$03A4_{16}$	UART0送受信制御レジスタ0	U0C0	00001000_2
$03A5_{16}$	UART0送受信制御レジスタ１	U0C1	00000010_2
$03A6_{16}$	UART0受信バッファレジスタ	U0RB	$XXXXXXXX_2$
$03A7_{16}$			$XXXXXXXX_2$
$03A8_{16}$	UART1送受信モードレジスタ	U1MR	00_{16}
$03A9_{16}$	UART1転送速度レジスタ	U1BRG	XX_{16}
$03AA_{16}$	UART1送信バッファレジスタ	U1TB	$XXXXXXXX_2$
$03AB_{16}$			$XXXXXXXX_2$
$03AC_{16}$	UART1送受信制御レジスタ0	U1C0	00001000_2
$03AD_{16}$	UART1送受信制御レジスタ１	U1C1	00000010_2
$03AE_{16}$	UART1受信バッファレジスタ	U1RB	$XXXXXXXX_2$
$03AF_{16}$			$XXXXXXXX_2$
$03B0_{16}$	UART送受信制御レジスタ2	UCON	$X0000000_2$
$03B1_{16}$			
$03B2_{16}$			
$03B3_{16}$			
$03B4_{16}$			
$03B5_{16}$			
$03B6_{16}$			
$03B7_{16}$			
$03B8_{16}$	DMA0要因選択レジスタ	DM0SL	00_{16}
$03B9_{16}$			
$03BA_{16}$	DMA1要因選択レジスタ	DM1SL	00_{16}
$03BB_{16}$			
$03BC_{16}$			
$03BD_{16}$			
$03BE_{16}$			
$03BF_{16}$			

注1.　空欄は何も配置されていない領域です。何も配置されていない領域は予約領域です。使用しないでください。

X：不定です。

番地	レジスタ	シンボル	リセット後の値
03C0$_{16}$ 03C1$_{16}$	A/Dレジスタ0	AD0	XXXXXXXX$_2$ XXXXXXXX$_2$
03C2$_{16}$ 03C3$_{16}$	A/Dレジスタ1	AD1	XXXXXXXX$_2$ XXXXXXXX$_2$
03C4$_{16}$ 03C5$_{16}$	A/Dレジスタ2	AD2	XXXXXXXX$_2$ XXXXXXXX$_2$
03C6$_{16}$ 03C7$_{16}$	A/Dレジスタ3	AD3	XXXXXXXX$_2$ XXXXXXXX$_2$
03C8$_{16}$ 03C9$_{16}$	A/Dレジスタ4	AD4	XXXXXXXX$_2$ XXXXXXXX$_2$
03CA$_{16}$ 03CB$_{16}$	A/Dレジスタ5	AD5	XXXXXXXX$_2$ XXXXXXXX$_2$
03CC$_{16}$ 03CD$_{16}$	A/Dレジスタ6	AD6	XXXXXXXX$_2$ XXXXXXXX$_2$
03CE$_{16}$ 03CF$_{16}$	A/Dレジスタ7	AD7	XXXXXXXX$_2$ XXXXXXXX$_2$
03D0$_{16}$			
03D1$_{16}$			
03D2$_{16}$			
03D3$_{16}$			
03D4$_{16}$	A/D制御レジスタ2	ADCON2	00$_{16}$
03D5$_{16}$			
03D6$_{16}$	A/D制御レジスタ0	ADCON0	00000XXX$_2$
03D7$_{16}$	A/D制御レジスタ1	ADCON1	00$_{16}$
03D8$_{16}$			
03D9$_{16}$			
03DA$_{16}$			
03DB$_{16}$			
03DC$_{16}$			
03DD$_{16}$			
03DE$_{16}$			
03DF$_{16}$			
03E0$_{16}$			
03E1$_{16}$	ポートP1レジスタ	P1	XX$_{16}$
03E2$_{16}$			
03E3$_{16}$	ポートP1方向レジスタ	PD1	00$_{16}$
03E4$_{16}$			
03E5$_{16}$			
03E6$_{16}$			
03E7$_{16}$			
03E8$_{16}$			
03E9$_{16}$			
03EA$_{16}$			
03EB$_{16}$			
03EC$_{16}$	ポートP6レジスタ	P6	XX$_{16}$
03ED$_{16}$	ポートP7レジスタ	P7	XX$_{16}$
03EE$_{16}$	ポートP6方向レジスタ	PD6	00$_{16}$
03EF$_{16}$	ポートP7方向レジスタ	PD7	00$_{16}$
03F0$_{16}$	ポートP8レジスタ	P8	XX$_{16}$
03F1$_{16}$	ポートP9レジスタ	P9	XX$_{16}$
03F2$_{16}$	ポートP8方向レジスタ	PD8	00X00000$_2$
03F3$_{16}$	ポートP9方向レジスタ	PD9	00$_{16}$
03F4$_{16}$	ポートP10レジスタ	P10	XX$_{16}$
03F5$_{16}$			
03F6$_{16}$	ポートP10方向レジスタ	PD10	00$_{16}$
03F7$_{16}$			
03F8$_{16}$			
03F9$_{16}$			
03FA$_{16}$			
03FB$_{16}$			
03FC$_{16}$	プルアップ制御レジスタ0	PUR0	00$_{16}$
03FD$_{16}$	プルアップ制御レジスタ1	PUR1	00$_{16}$
03FE$_{16}$	プルアップ制御レジスタ2	PUR2	00$_{16}$
03FF$_{16}$	ポート制御レジスタ	PCR	00$_{16}$

注1.　空欄は何も配置されていない領域です。何も配置されていない領域は予約領域です。使用しないでください。

X：不定です。

5. リセット

5.1 リセット

リセットには、ハードウエアリセット、ソフトウエアリセット、ウォッチドッグタイマリセット、発振停止検出リセットがあります。

5.1.1 ハードウエアリセット

ハードウエアリセットには、ハードウエアリセット1とハードウエアリセット2があります。

5.1.1.1 ハードウエアリセット1

$\overline{\text{RESET}}$端子によるリセットです。電源電圧が推奨動作条件を満たすとき、$\overline{\text{RESET}}$端子に“L”を入力すると端子は初期化されます(「表5.1.　$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態」を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。$\overline{\text{RESET}}$端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中に$\overline{\text{RESET}}$端子が“L”になると、内部RAMは不定となります。

図5.1にリセット回路の一例を、図5.2にリセットシーケンスを、表5.1に$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態を、図5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「SFR」を参照してください。

5.1.1.1.1 電源が安定している場合

(1)$\overline{\text{RESET}}$端子に“L”を入力する
(2)XIN端子に20サイクル以上のクロックを入力する
(3)$\overline{\text{RESET}}$端子に“H”を入力する

5.1.1.1.2 電源投入時

(1)$\overline{\text{RESET}}$端子に“L”を入力する
(2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
(3)内部電源が安定するまでtd(P-R)待つ
(4)XIN端子に20サイクル以上のクロックを入力する
(5)$\overline{\text{RESET}}$端子に“H”を入力する

5.1.1.2 ハードウエアリセット2

マイクロコンピュータに内蔵している電圧検出回路によるリセットです。電圧検出回路は、VCC端子に入力する電圧を監視します。

VCR2レジスタのVC26ビットが“1”(リセット領域検出回路有効)の場合、VCC端子に入力する電圧がVdet3以下になると、リセットされます。

次にVCC端子に入力する電圧がVdet3r以上になると端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。Vdet3rを検出してから、td(S-R)後にプログラムを実行します。初期化される端子、レジスタと、これらの状態は、ハードウエアリセット1と同じです。

ストップモード時、VC26ビットに設定した値は無効となります。したがって、VCC端子に入力する電圧がVdet3を下回ってもリセットされません。

5.1.2 ソフトウエアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウエアリセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

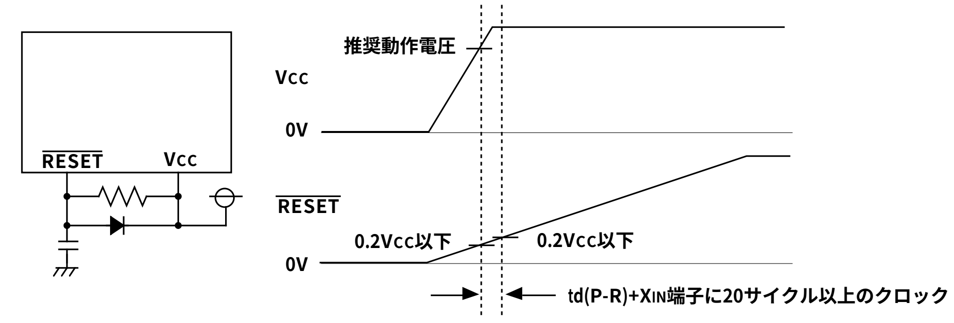


図5.1.　リセット回路の一例

5.1.3 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.1.4 発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。詳細は「発振停止、再発振検出機能」を参照してください。

発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

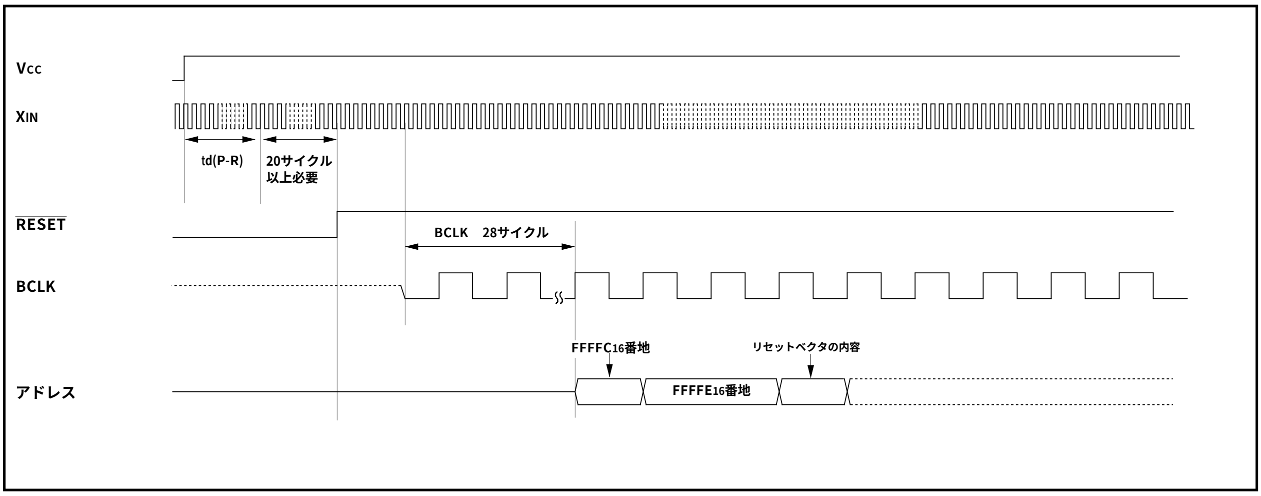


図5.2.　リセットシーケンス

表5.1.　$\overline{RESET}$端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P1～P10	入力ポート(ハイインピーダンス)

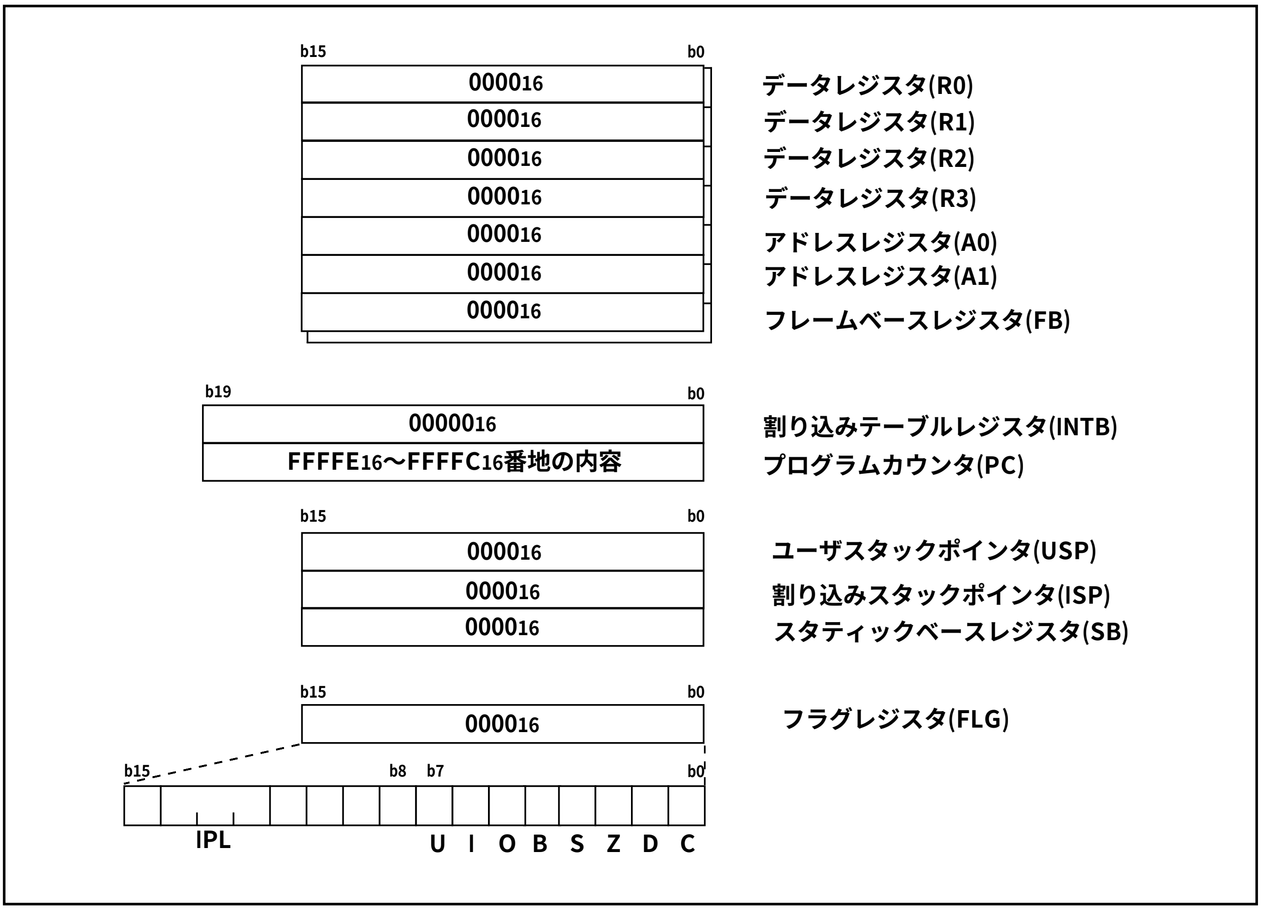


図5.3.　リセット後のCPUレジスタの状態

5.2 電圧検出回路

電圧検出回路は、Vcc端子に入力する電圧をVdet3、Vdet4で監視する回路を持ち、これらの回路を有効にするか、無効にするかをVCR2レジスタのVC26、VC27ビットで選択できます。

リセット領域検出回路は、ハードウエアリセット２に使用します。

電圧低下検出回路はVCR1レジスタのVC13ビットでVdet4以上か、Vdet4未満かを検出できます。また、電圧低下検出割り込みが使用できます。

なお、Vdet3およびVdet4は、Vcc=5Vでの使用を想定しています。

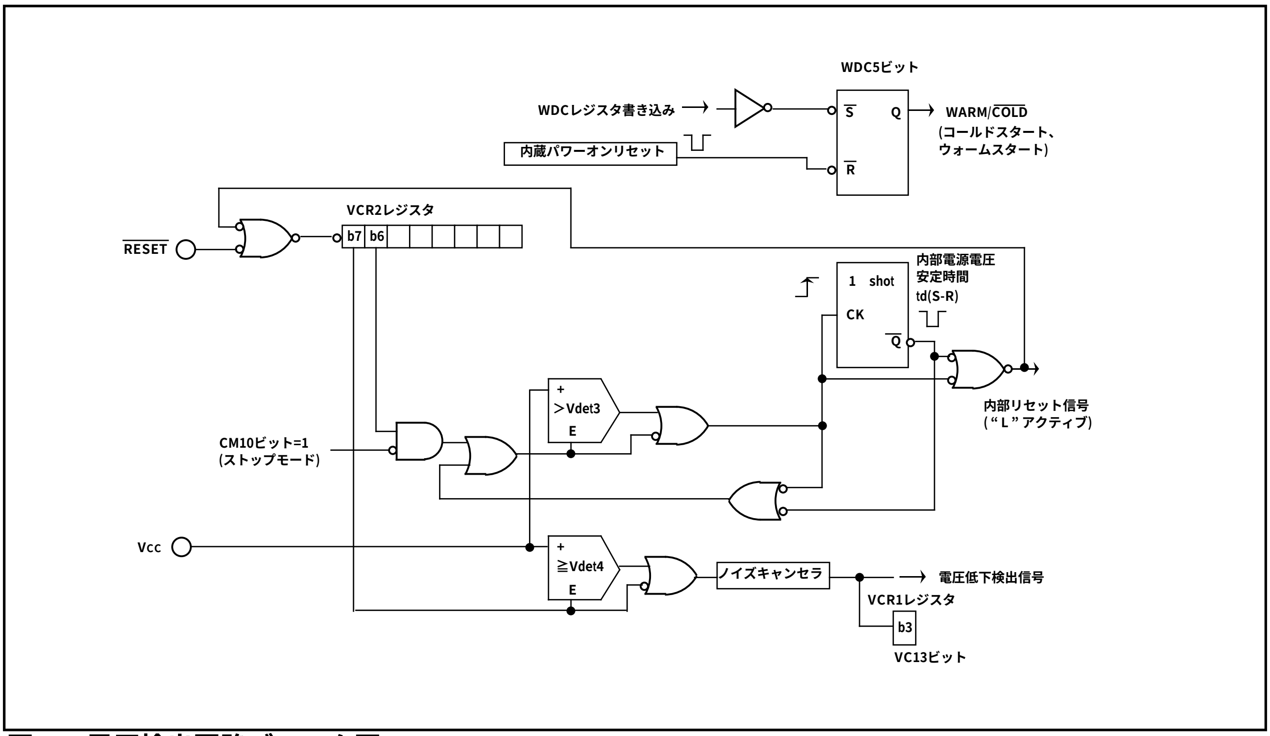


図5.4. 電圧検出回路ブロック図

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0						

シンボル	アドレス	リセット後の値
WDC	000F16番地	00XXXXXX2(注2)

ビットシンボル	ビット名	機　　能	RW
— (b4-b0)	ウォッチドッグタイマの上位ビット		RO
WDC5	コールドスタート/ウォーム スタート判定フラグ(注1)	0 : コールドスタート 1 : ウォームスタート	RW
— (b6)	予約ビット	“0”にしてください	RW
WDC7	プリスケーラ選択ビット	0 : 16分周 1 : 128分周	RW

注1.　WDC5ビットに“0”、“1”のいずれを書いても、“1”(ウォームスタート)になります。
注2.　WDC5ビットは電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

図5.5.　WDCレジスタ

電圧検出レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0		0	0	0

シンボル	アドレス	リセット後の値(注2)
VCR1	0019₁₆番地	00001000₂

ビットシンボル	ビット名	機能	RW
(b2-b0)	予約ビット	“0”にしてください	RW
VC13	電圧低下モニタフラグ(注1)	0:Vcc＜Vdet4 1:Vcc≧Vdet4	RO
(b7-b4)	予約ビット	“0”にしてください	RW

注1. VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)のとき、VC13ビットは有効です。
VCR2レジスタのVC27ビットが“0”(電圧低下検出回路無効)のとき、VC13ビットは“1”(Vcc≧Vdet4)になります。
注2. ソフトウエアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

電圧検出レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0	0	0	0

シンボル	アドレス	リセット後の値(注4)
VCR2	001A₁₆番地	00₁₆

ビットシンボル	ビット名	機能	RW
(b5-b0)	予約ビット	“0”にしてください	RW
VC26	リセット領域監視ビット(注2、注5、注6)	0 : リセット領域検出回路無効 1 : リセット領域検出回路有効	RW
VC27	電圧低下監視ビット(注3、注5)	0 : 電圧低下検出回路無効 1 : 電圧低下検出回路有効	RW

注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. ハードウエアリセット2を使用する場合、VC26ビットを“1”(リセット領域検出回路有効)にしてください。
ストップモード時、VC26ビットは無効です(Vcc端子の入力電圧がVdet3より低くなってもリセットされません)。
注3. VCR1レジスタのVC13ビット、D4INTレジスタのD42ビットを使用する場合、またはD40ビットを“1”(電圧低下検出割り込み許可)にする場合、VC27ビットを“1”(電圧低下検出回路有効)にしてください。
注4. ソフトウエアリセット、ウォッチドッグタイマリセット、発振停止検出時は変化しません。
注5. VC26ビットまたはVC27ビットを“1”にした後、td(E-A)経過してから、検出回路が動作します。
注6. ストップモード時、VC26ビットは無効です(Vcc端子の入力電圧がVdet3より低くなってもリセットされません)。

電圧低下検出割り込みレジスタ(注1)

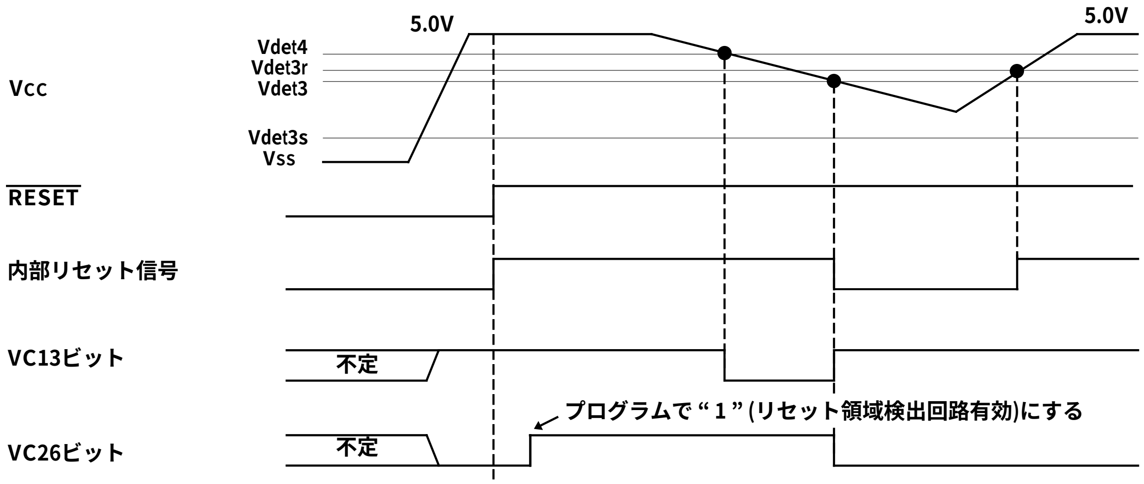
b7	b6	b5	b4	b3	b2	b1	b0
×	×						

シンボル	アドレス	リセット後の値
D4INT	001F₁₆番地	00₁₆

ビットシンボル	ビット名	機能	RW
D40	電圧低下検出割り込み許可ビット(注5)	0 : 禁止 1 : 許可	RW
D41	STOP解除制御ビット(注4)	0 : 無効(電圧低下検出割り込みをストップモードからの復帰に使用しない) 1 :有効(電圧低下検出割り込みをストップモードからの復帰に使用する)	RW
D42	電圧変化検出フラグ(注2)	0 : 未検出 1 : Vdet4通過検出	RW(注3)
D43	WDTアンダフロー検出フラグ	0 : 未検出 1 : 検出	RW(注3)
DF0	サンプリングクロック選択ビット	b5b4 00 : CPUクロックの8分周 01 : CPUクロックの16分周 10 : CPUクロックの32分周 11 : CPUクロックの64分周	RW
DF1			RW
(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)のとき有効。VC27ビットを“0”(電圧低下検出回路無効)にすると、D42ビットは“0”(未検出)になります。
注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。
注4. 電圧低下検出割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、D41ビットに“0”を書き込み後、“1”を書き込んでください。
注5. D40ビットは、VCR2レジスタのVCR27ビットが“1”のとき有効です。
D40ビットを“1”にする場合は次の手順で設定してください。
(1) VC27ビットを“1”にする
(2) 検出回路が動作するまでtd(E-A)待つ
(3) サンプリング時間(「表5.3. サンプリング時間」参照)待つ
(4) D40ビットを“1”にする

図5.6. VCR1、VCR2、D4INTレジスタ



上図は次の条件の場合です。
・CM1レジスタのCM10ビットが“0”(クロック発振。ストップモードではない状態)
・VCR2レジスタのVC27ビットをリセット後“1”(電圧低下検出回路有効)にする(VC13を使用するため)

図5.7.　ハードウエアリセット2動作例

5.2.1 電圧低下検出割り込み

D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)の場合、Vcc端子に入力する電圧が上昇してVdet4以上になったとき、または降下してVdet4以下になったとき、電圧低下検出割り込み要求が発生します。電圧低下検出割り込みは、ウォッチドッグタイマ割り込み、発振停止、再発振検出割り込みと割り込みベクタを共用しています。

電圧低下検出割り込みをストップモードからの復帰に使用する場合、D4INTレジスタのD41ビットを“1”(有効)にしてください。

D4INTレジスタのD42ビットはVcc端子に入力する電圧が上昇または降下してVdet4を通過したことを検出したとき“1”になります。D42ビットが“0”から“1”に変化すると、電圧低下検出割り込み要求が発生します。D42ビットはプログラムで“0”にしてください。ただし、D41ビットが“1”でかつストップモードの場合、Vcc端子に入力する電圧が上昇してVdet4を通過したことを検出すると、D42ビットの状態にかかわらず、電圧低下検出割り込み要求が発生し、ストップモードから復帰します。

表5.2に電圧低下検出割り込み要求発生条件を示します。

Vcc端子に入力する電圧がVdet4を通過したことを検出するサンプリングクロックをD4INTレジスタのDF1～DF0ビットで設定できます。表5.3にサンプリング時間を示します。

表5.2.　電圧低下検出割り込み要求発生条件

<table>
<tr><th>動作モード</th><th>VC27ビット</th><th>D40ビット</th><th>D41ビット</th><th>D42ビット</th><th>CM02ビット</th><th>VC13ビット</th></tr>
<tr><td rowspan="2">通常動作モード
(注1)</td><td rowspan="6">1</td><td rowspan="6">1</td><td rowspan="2">—</td><td rowspan="2">0→1</td><td rowspan="2">—</td><td>0→1　(注3)</td></tr>
<tr><td>1→0　(注3)</td></tr>
<tr><td rowspan="3">ウエイトモード
(注2)</td><td rowspan="3">—</td><td rowspan="2">0→1</td><td rowspan="2">0</td><td>0→1　(注3)</td></tr>
<tr><td>1→0　(注3)</td></tr>
<tr><td>—</td><td>1</td><td>0→1</td></tr>
<tr><td>ストップモード
(注2)</td><td>1</td><td>—</td><td>0</td><td>0→1</td></tr>
</table>

—:“0”または“1”

注1.　ウエイトモード、ストップモード以外の状態を通常動作モードとします(「クロック発生回路」参照)。
注2.　ストップモードの制約、WAIT命令の制約参照。
注3.　VC13ビットの値が変化してからサンプリング時間経過した後、割り込み要求が発生します。
　　　詳細は「図5.9.　電圧低下検出割り込み発生回路の動作例」を参照してください。

表5.3.　サンプリング時間

CPUクロック(MHz)	サンプリング時間(μs)			
	DF1～DF0=00 (CPUクロックの8分周)	DF1～DF0=01 (CPUクロックの16分周)	DF1～DF0=10 (CPUクロックの32分周)	DF1～DF0=11 (CPUクロックの64分周)
20	2.4	4.8	9.6	19.2

5.2.2 注意事項

5.2.2.1 ストップモードの制約

CM1レジスタのCM10ビットを“1”(ストップモード)にする場合、CM0レジスタのCM02ビットを“0”(周辺機能クロックを停止にしない)にしてください。

VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)、D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)、D41ビットが“1”(ストップモードからの復帰に電圧低下検出割り込みを使用する)の場合、VCR1レジスタのVC13ビットが“1”(Vcc≧Vdet4)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にすると、すぐに電圧低下検出割り込み要求が発生し、ストップモードから復帰します。

Vcc端子に入力する電圧がVdet4以下になったときストップモードに移行し、Vdet4以上になったときストップモードから復帰するシステムでは、VC13ビットが“0”(Vcc＜Vdet4)のとき、CM10ビットを“1”にしてください。

5.2.2.2 WAIT命令の制約

VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)、D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)の場合、CM0レジスタのCM02ビットが“1”(周辺機能クロックを停止する)の場合、VCR1レジスタのVC13ビットが“1”(Vcc≧Vdet4)のとき、WAIT命令を実行すると、すぐに電圧低下検出割り込み要求が発生し、ウエイトモードから復帰します。

Vcc端子に入力する電圧がVdet4以下になったときウエイトモードに移行し、Vdet4以上になったときウエイトモードから復帰するシステムでは、VC13ビットが“0”(Vcc＜Vdet4)のとき、D42ビットを“0”にしてから、WAIT命令を実行してください。

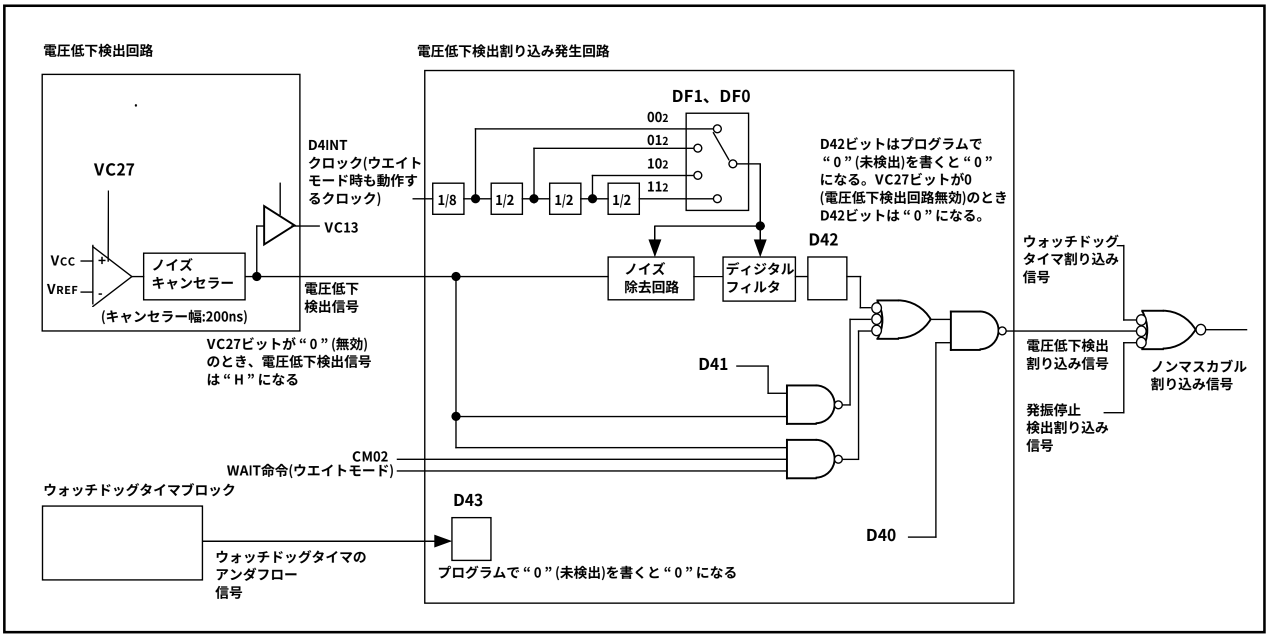


図5.8.　電圧低下検出割り込み発生回路ブロック図

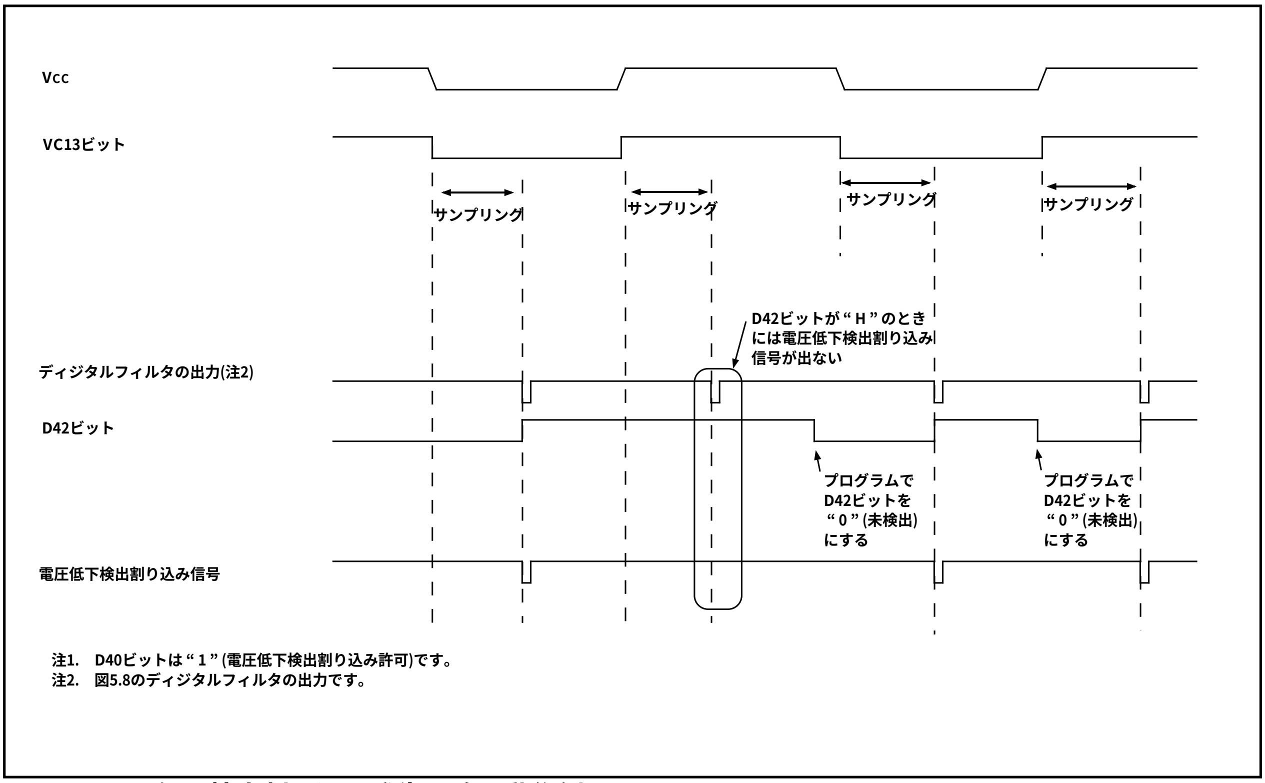


図5.9.　電圧低下検出割り込み発生回路の動作例

6. プロセッサモード

6.1 プロセッサモードの種類

プロセッサモードは、シングルチップモードとなります。表6.1にプロセッサモードの特長を示します。

表6.1.　プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子($P1_5$-$P1_7$,P6,P7,$P8_0$-$P8_3$,$P8_5$-$P8_7$,$P9_0$-$P9_3$,P10)が入出力ポートまたは周辺機能入出力端子

6.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS端子、PM0レジスタのPM01～0ビットで行います。表6.2にPM01～0ビットの設定値に対するプロセッサモードを示します。

表6.2.　PM01～0ビットの設定値に対するプロセッサモード

PM01～0ビット	プロセッサモード
00_2	シングルチップモード
01_2	設定しないでください
10_2	設定しないでください
11_2	設定しないでください

CNVSS端子にVCCを入力し、ハードウエアリセット(ハードウエアリセット1またはハードウエアリセット2)した場合、PM01～0ビットにかかわらず、内部ROMはアクセスできません。図6.1にプロセッサモード関連レジスタを示します。

6.3 ソフトウエアウエイト

PM1レジスタのPM17ビットによって、ソフトウエアウエイトを挿入できます。
表6.3にソフトウエアウエイト関連ビットとバスサイクルを示します。

表6.3. ソフトウエアウエイト関連ビットとバスサイクル

領域	PM1レジスタ PM17ビット	ソフトウエアウエイト	バスサイクル
内部 RAM、ROM	0	なし	BCLKの1サイクル(注1)
	1	1ウエイト	BCLKの2サイクル

注1.　リセット後、PM17ビットは“0”(ウエイトなし)ですので、内部RAMと内部ROMはウエイトなしになります。

プロセッサモードレジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0		0	0	0

シンボル	アドレス	リセット後の値(注2)
PM0	0004₁₆番地	00000000₂

ビットシンボル	ビット名	機　能	RW
PM00	プロセッサモードビット	b1 b0 0 0 : シングルチップモード 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 設定しないでください	RW
PM01			RW
(b2)	予約ビット	“0”にしてください	RW
PM03	ソフトウエアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。 読んだ場合、その値は“0”。	RW
(b7-b4)	予約ビット	“0”にしてください	RW

注1.　このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2.　PM00、PM01ビットは、ソフトウエアリセット、ウォッチドッグタイマリセット、発進停止検出リセット時は変化しません。

プロセッサモードレジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	1		0	

シンボル	アドレス	リセット後の値
PM1	0005₁₆番地	0X001000₂

ビットシンボル	ビット名	機　能	RW
PM10	データ領域アクセス許可ビット	0 : 禁止 1 : 許可　(注4)	RW
(b1)	予約ビット	“0”にしてください	RW
PM12	ウォッチドッグタイマ機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : ウォッチドッグタイマリセット(注2)	RW
(b3)	予約ビット	“1”にしてください	RW
(b4-b5)	予約ビット	“0”にしてください	RW
(b6)	予約ビット	“0”にしてください。 読んだ場合、その値は不定。	WO
PM17	ウエイトビット(注3)	0 : ウエイトなし 1 : ウエイトあり(1ウエイト)	RW

注1.　このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2.　PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。
注3.　PM17ビットが“1”(ウエイトあり)の場合、内部RAM、内部ROMアクセス時に1ウエイトが挿入されます。
注4.　FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード)の期間、PM10ビットは自動的に“1”になります。

図6.1.　PM0、PM1レジスタ

7. クロック発生回路

クロック発生回路として、3つの回路を内蔵します。

・ メインクロック発振回路
・ サブクロック発振回路
・ オンチップオシレータ(発振停止検出機能)

表7.1にクロック発生回路の概略仕様を示します。また、図7.1にシステムクロック発生回路のブロック図、図7.2～図7.5にクロック関連レジスタを示します。

表7.1. クロック発生回路の概略仕様

項　目	メインクロック発振回路	サブクロック発振回路	オンチップオシレータ
用途	・CPUのクロック源 ・周辺機能のクロック源	・CPUのクロック源 ・タイマA、Bのクロック源	・CPUのクロック源 ・周辺機能のクロック源 ・メインクロック発振停止時のCPU、周辺機能のクロック源
クロック周波数	0～20MHz	32.768kHz	約1MHz
接続できる発振子	・セラミック共振子 ・水晶発振子	・水晶発振子	―――
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	―――
発振停止、再開機能	あり	あり	あり
リセット後の状態	発振	停止	停止
その他	外部で生成されたクロックを入力可能		―――

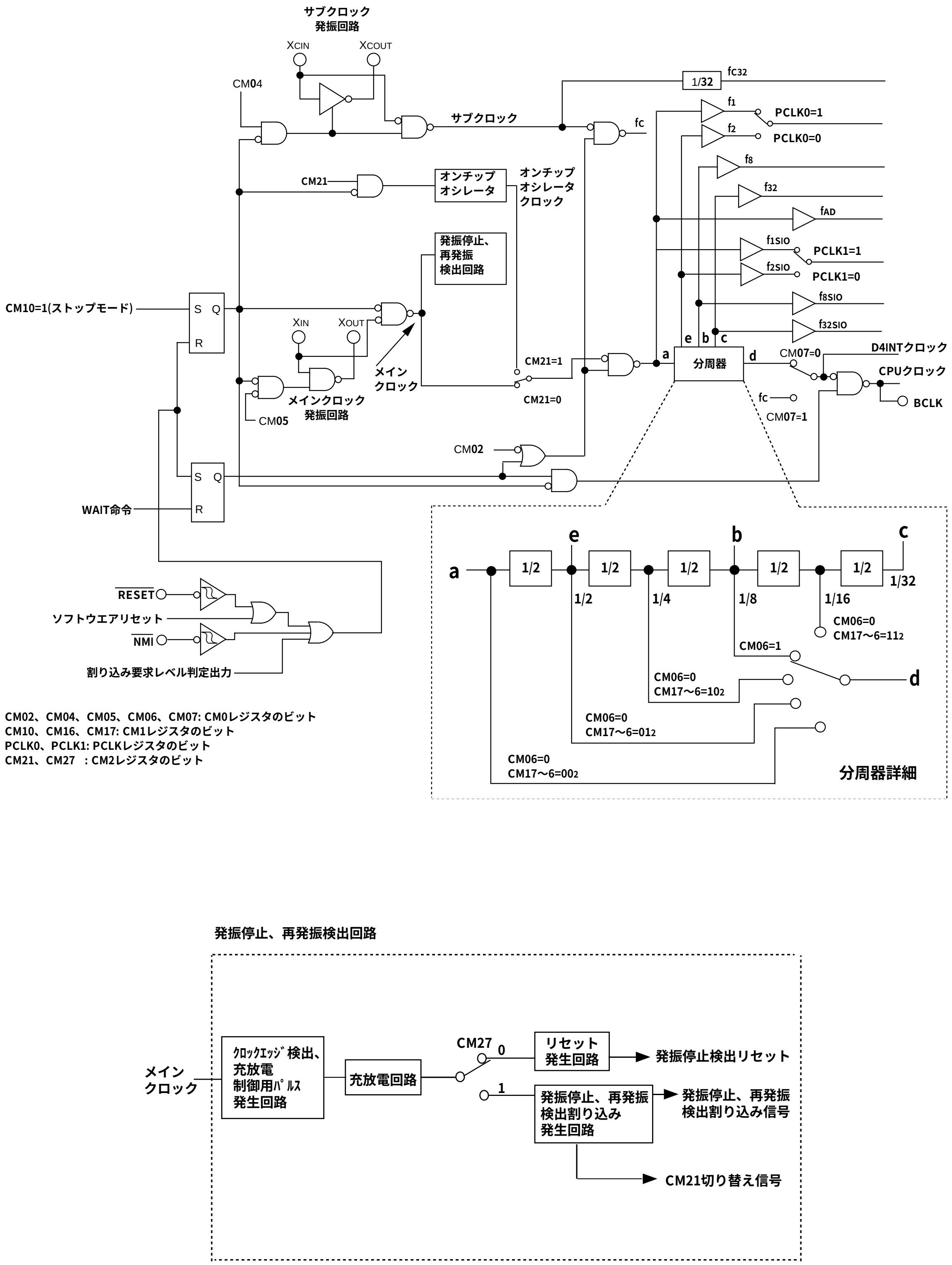


図7.1. システムクロック発生回路

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット後の値
CM0	0006_{16}番地	01001000_2

ビットシンボル	ビット	機　能	RW
(b1-b0)	予約ビット	“0”にしてください	RW
CM02	ウエイトモード時周辺機能クロック停止ビット(注10)	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する(注8)	RW
CM03	X_{CIN}-X_{COUT}駆動能力選択ビット(注2)	0 : Low 1 : High	RW
CM04	ポートX_C切り替えビット(注2)	0 : 入出力ポート$P8_6$、$P8_7$ 1 : X_{CIN}-X_{COUT}発振機能(注9)	RW
CM05	メインクロック停止ビット(注3、注10、注12、注13)	0 : 発振(注4) 1 : 停止(注5)	RW
CM06	メインクロック分周比選択ビット0(注7、注13、注14)	0 : CM16、CM17ビット有効 1 : 8分周モード	RW
CM07	システムクロック選択ビット(注6、注10、注11、注12)	0 : メインクロック、またはオンチップオシレータクロック 1 : サブクロック	RW

注1.　このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2.　CM04ビットを“0”(入出力ポート)にしたとき、またはストップモードへ移行したとき、CM03ビットは“1”(HIGH)になります。
注3.　このビットは低消費電力モード、またはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、次のようにしてください。
(1)　サブクロックが安定して発振している状態で、CM07ビットを“1”(サブクロック選択)にする、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータ選択)にする
(2)　CM2レジスタのCM20ビットを“0”(発振停止、再発振検出機能無効)にする
(3)　CM05ビットを“1”(停止)にする
注4.　外部クロック入力時には、“0”(発振)にしてください。
注5.　CM05ビットが“1”の場合、X_{OUT}端子は“H”になります。また、内蔵している帰還抵抗は接続したままですので、X_{IN}端子は帰還抵抗を介して、X_{OUT}(“H”)にプルアップされた状態となります。
注6.　CM04ビットを“1”(X_{CIN}-X_{COUT}発振機能)にし、サブクロックの発振が安定した後に、CM07ビットを“0”から“1”(サブクロック)にしてください。
注7.　高速モード、中速モード、オンチップオシレータモード、またはオンチップオシレータ低消費電力モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
注8.　fc_{32}は停止しません。低速モードまたは低消費電力モード時は“1”(ウエイトモード時、周辺機能クロック停止する)にしないでください。
注9.　サブクロックを使用する場合、このビットを“1”にしてください。また、ポート$P8_6$、$P8_7$は入力ポートで、プルアップなしにしてください。
注10.　PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。
注11.　PM21ビットを“1”にする場合、CM07ビットを“0”(メインクロック)にした後で、PM21ビットを“1”にしてください。
注12.　CPUクロックのクロック源をメインクロックにする場合、次のようにしてください。
(1) CM05ビットを“0”(発振)にする
(2) td(M-L)またはメインクロックの発振安定時間のうち長い方を待つ
(3) CM21ビットを“0”、CM07ビットを“0”にする
注13.　CM21ビットが“0”(オンチップオシレータ停止)、CM05ビットを“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。
注14.　オンチップオシレータモードから高速、中速モード戻すときは、CM06ビットを“1”、CM15ビットを“1”にしてください。

図7.2.　CM0レジスタ

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	

シンボル	アドレス	リセット後の値
CM1	0007_{16}番地	00100000_2

ビットシンボル	ビット	機　能	RW
CM10	全クロック停止制御ビット(注4、注5)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
――― (b4-b1)	予約ビット	“0”にしてください	RW
CM15	X_{IN}-X_{OUT}駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	RW
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. 高速モード、中速モードからストップモードへの移行時、またはCM05ビットを“1”(メインクロック停止)したとき、CM15ビットは“1”(駆動能力HIGH)になります。
注3. CM06ビットが“0”(CM16、CM17ビット有効)の場合、有効となります。
注4. CM10ビットが“1”(ストップモード)の場合、X_{OUT}は“H”となり、内蔵している帰還抵抗は切り離されます。X_{CIN}端子、X_{COUT}端子は、ハイインピーダンスになります。CM2レジスタのCM20ビットが“1”(発振停止検出機能有効)の場合、CM10ビットを“1”にしないでください。
注5. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM10ビットに書いても変化しません。
PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、CM10ビットに書いても変化しません。

図7.3. CM1レジスタ

発振停止検出レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
	×	0	0				

シンボル	アドレス	リセット後の値
CM2	000C16番地	0X0000002(注11)

ビットシンボル	ビット名	機　能	RW
CM20	発振停止、再発振検出許可ビット(注7、注8、注9、注10)	0：発振停止、再発振検出機能無効 1：発振停止、再発振検出機能有効	RW
CM21	システムクロック選択ビット2　(注2、注3、注6、注10、注11)	0：メインクロック(オンチップオシレータ停止) 1：オンチップオシレータクロック(オンチップオシレータ発振)	RW
CM22	発振停止、再発振検出フラグ　(注4)	0：メインクロック停止、再発振を未検出 1：メインクロック停止、再発振を検出	RW
CM23	XINモニタフラグ(注5)	0：メインクロック発振 1：メインクロック停止	RO
(b5-b4)	予約ビット	“0”にしてください	RW
(b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CM27	発振停止、再発振検出時の動作選択ビット(注10)	0：発振停止検出リセット 1：発振停止、再発振検出割り込み	RW

注1．このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2．CM20ビットが“1”(発振停止、再発振検出機能有効)、CM27ビットが“1”(発振停止、再発振検出割り込み)、CPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは“1”(オンチップオシレータクロック)になります。
注3．CM20ビットが“1”で、かつCM23ビットが“1”(メインクロック停止)のとき、CM21ビットを“0”にしないでください。
注4．メインクロック停止検出時とメインクロック再発振検出時“1”になります。このビットが“0”から“1”に変化すると発振停止、再発振検出割り込み要求が発生します。割り込み処理プログラムで発振停止、再発振検出割り込みと、ウォッチドッグタイマ割り込みの要因判別のために使用してください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません。また、発振停止、再発振検出割り込み要求が受け付けられても“0”になりません)。
CM22ビットが“1”のとき、発振停止または再発振を検出しても、発振停止、再発振検出割り込みは発生しません。
注5．発振停止、再発振検出割り込み処理プログラムで、CM23ビットを数回読むことによりメインクロックの状態を判定してください。
注6．CM0レジスタのCM07ビットが“0”のとき有効。
注7．PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM20ビットに書いても変化しません。
注8．ストップモードへ移行する場合、CM20ビットを“0”(無効)にしてください。ストップモードからの復帰後、改めてCM20ビットを“1”(有効)にしてください。
注9.CM0レジスタのCM05ビットを“1”(メインクロック停止)にする前にCM2レジスタのCM20ビットを“0”(無効)にしてください。
注10.CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
注11.CM21ビットが“0”(オンチップオシレータ停止)、CM05ビット“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。

図7.4.　CM2レジスタ

周辺クロック選択レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		

シンボル	アドレス	リセット後の値
PCLKR	$025E_{16}$番地	00000011_2

ビットシンボル	ビット名	機　能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、短絡防止タイマのクロック源)	0 : f_2 1 : f_1	RW
PCLK1	SI/Oクロック選択ビット (UART0～UART2のクロック源)	0 : f_{2SIO} 1 : f_{1SIO}	RW
— (b7-b2)	予約ビット	“0”にしてください	RW

注1.　このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

プロセッサモードレジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X		0			

シンボル	アドレス	リセット後の値
PM2	$001E_{16}$番地	$XXX00000_2$

ビットシンボル	ビット名	機　能	RW
— (b0)	予約ビット	“0”にしてください	RW
PM21	システムクロック保護ビット (注2、注3)	0 : PRCRレジスタでクロックを保護 1 : クロックの変更禁止	RW
PM22	WDTカウントソース保護ビット(注2、注4)	0 : ウォッチドッグタイマのカウントソースはCPUクロック 1 : ウォッチドッグタイマのカウントソースはオンチップオシレータクロック	RW
— (b3)	予約ビット	“0”にしてください	RW
PM24	$P8_5$/$\overline{NMI}$ 機能切り替えビット (注5、注6)	0 : $P8_5$ 選択($\overline{NMI}$機能禁止) 1 : $\overline{NMI}$選択	RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1.　このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2.　一度“1”にすると、プログラムでは“0”にできません。
注3.　PM21ビットを“1”にすると次のビットに書き込んでも変化しません。
　　CM0レジスタのCM02ビット
　　CM0レジスタのCM05ビット(メインクロックは停止しない)
　　CM0レジスタのCM07ビット(CPUクロックのクロック源は変化しない)
　　CM1レジスタのCM10ビット(ストップモードに移行しない)
　　CM1レジスタのCM11ビット(CPUクロックのクロック源は変化しない)
　　CM2レジスタのCM20ビット(発振停止、再発振検出機能の設定は変化しない)
　　PLC0レジスタの全ビット(PLL周波数シンセサイザの設定は変化しない)
　なお、PM21ビットが“1”のときは、WAIT命令を実行しないでください。
注4.　PM22ビットを“1”にすると次の状態になります。
・オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる
・CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
・ウエイトモードのとき、ウォッチドッグタイマは停止しない
注5.　$\overline{NMI}$機能を使用する場合は、リセット直後の命令でPM24ビットを“1”($\overline{NMI}$選択)にしてください。
　一度“1”にすると、プログラムでは“0”にできません。
　PM24ビットを“1”($\overline{NMI}$選択)にする場合は、必ずPD8_5ビットを“0”(入力)にしてください。
注6.　PM24の設定によらず$\overline{SD}$の入力は有効です。

図7.5.　PCLKR、PM2レジスタ

クロック発生回路で生成するクロックを説明します。

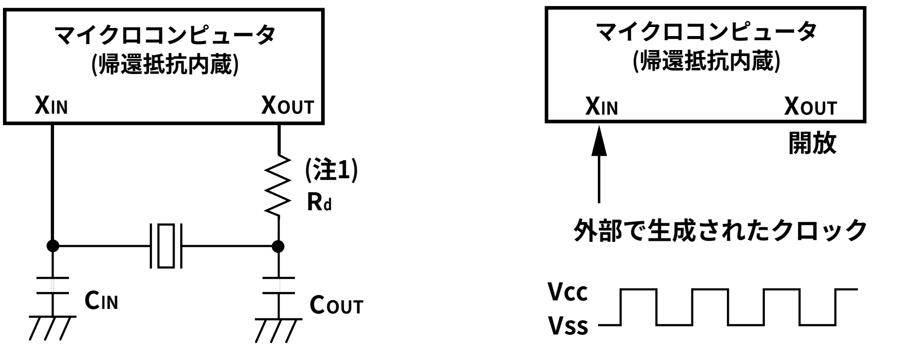
7.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図7.6にメインクロックの接続回路例を示します。

リセット後は、メインクロックの8分周がCPUクロックになります。

CPUクロックのクロック源をサブクロックまたはオンチップオシレータクロックに切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「パワーコントロール」を参照してください。



注1.　必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXIN、XOUT間に、帰還抵抗を付加してください。

図7.6. メインクロックの接続回路例

7.2 サブクロック

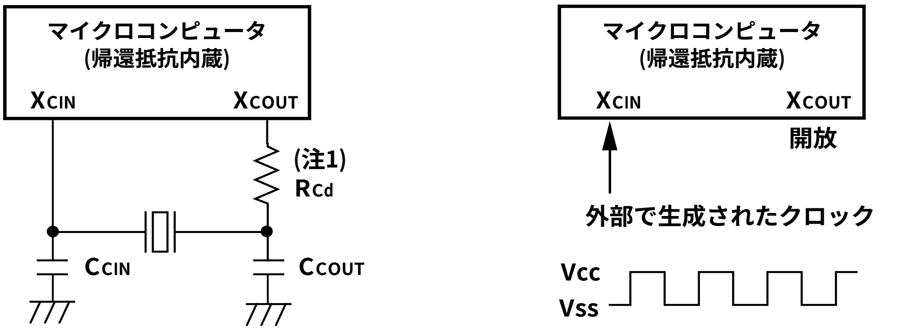
サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図7.7にサブクロックの接続回路例を示します。

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「パワーコントロール」を参照してください。



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXCIN、XCOUT間に、帰還抵抗を付加してください。

図7.7. サブクロックの接続回路例

7.3 オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマのカウントソースになります。(「10.1. カウントソース保護モード」参照)

リセット後、オンチップオシレータクロックは停止しています。CM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にすると発振を始め、オンチップオシレータクロックがメインクロックに代わって、CPUクロックと周辺機能クロックのクロック源になります。また、CM2レジスタのCM20ビットが“1”(発振停止、再発振検出機能有効)、かつCM27ビットが“1”(発振停止、再発振検出割り込み)の場合、メインクロックが停止したときに、自動的にオンチップオシレータが動作を開始し、クロックを供給します。

7.4 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

7.4.1 CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、サブクロック、またはオンチップオシレータクロックが選択できます。

CPUクロックのクロック源としてメインクロック、またはオンチップオシレータクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

リセット後、メインクロックの8分周がCPUクロックになります。

なお、高速モード、中速モード、オンチップオシレータモード、またはオンチップオシレータ低消費電力モードからストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

7.4.2 周辺機能クロック(f_1、f_2、f_8、f_{32}、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}、f_{AD}、f_{C32})

周辺機能の動作クロックです。

f_i(i=1、2、8、32)とf_{iSIO}はメインクロック、またはオンチップオシレータクロックをi分周したクロックです。f_iはタイマA、タイマBで、f_{iSIO}はシリアルI/Oで使用します。

f_{AD}は、メインクロック、またはオンチップオシレータクロックをクロック源とし、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウエイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、f_i、f_{iSIO}、f_{AD}は停止します。

f_{C32}はサブクロックをクロック源とし、タイマA、タイマBで使用します。f_{C32}はサブクロックが供給されているときに使用できます。

7.5 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウエイトモード、ストップモード以外の状態を通常動作モードと呼びます。

7.5.1 通常動作モード

通常動作モードには、さらに6つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、またはサブクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

なお、低速モードまたは低消費電力モードから、オンチップオシレータモードまたはオンチップオシレータ低消費電力モードへ切り替えないでください。同様にオンチップオシレータモードまたはオンチップオシレータ低消費電力モードから、低速モードまたは低消費電力モードへ切り替えないでください。

CPUクロックのクロック源をオンチップオシレータからメインクロックに切り替える場合は、オンチップオシレータモードで8分周(CM0レジスタのCM06ビット=“1”)にした後、中速モード(8分周)に切り替えてください。

7.5.1.1 高速モード

メインクロックの1分周がCPUクロックとなります。サブクロックが供給されている場合はf_{C32}がタイマA、タイマBのカウントソースに使用できます。

7.5.1.2 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。サブクロックが供給されている場合はf_{C32}がタイマA、タイマBのカウントソースに使用できます。

7.5.1.3 低速モード

サブクロックがCPUクロックとなります。周辺機能クロックのクロック源は、CM21ビットが“0”(オンチップオシレータ停止)の場合はメインクロック、CM21ビットが“1”(オンチップオシレータ発振)の場合はオンチップオシレータクロックです。

f_{C32}がタイマA、タイマBのカウントソースに使用できます。

7.5.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックとなります。f_{C32}がタイマA、タイマBのカウントソースに使用できます。周辺機能クロックはf_{C32}のみです。

このモードにすると同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。

7.5.1.5 オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はf_{C32}がタイマA、タイマBのカウントソースに使用できます。高速、中速モードに戻すときにはCM06ビットを“1”(8分周)モードにしてください。

7.5.1.6 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータモードと同様にCPUクロックを選択できます。オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はf_{C32}がタイマA、タイマBのカウントソースに使用できます。

RENESAS

表7.2. クロック関連ビットの設定とモード

モード		CM2レジスタ	CM1レジスタ	CM0レジスタ			
		CM21	CM17、CM16	CM07	CM06	CM05	CM04
高速モード		0	00_2	0	0	0	—
中速モード	2分周	0	01_2	0	0	0	—
	4分周	0	10_2	0	0	0	—
	8分周	0	—	0	1	0	—
	16分周	0	11_2	0	0	0	—
低速モード		—	—	1	—	0	1
低消費電力モード		—	—	1	1(注1)	1(注1)	1
オンチップオシレータモード	分周なし	1	00_2	0	0	0	—
	2分周	1	01_2	0	0	0	—
	4分周	1	10_2	0	0	0	—
	8分周	1	—	0	1	0	—
	16分周	1	11_2	0	0	0	—
オンチップオシレータ低消費電力モード		1	(注2)	0	(注2)	1	—

注1. 低速モードでCM05ビットを“1”(メインクロック停止)にすると低消費電力モードになり、同時に、CM06ビットは“1”(8分周モード)になります。
注2. オンチップオシレータモードと同様に分周値を選択できます。

7.5.2 ウエイトモード

ウエイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

7.5.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウエイトモード時、周辺機能クロックを停止する)の場合、ウエイトモード時にf_1、f_2、f_8、f_{32}、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}、f_{AD}が停止しますので、消費電力が低減できます。f_{C32}は停止しません。

7.5.2.2 ウエイトモードへの移行

WAIT命令を実行するとウエイトモードになります。

7.5.2.3 ウエイトモード時の端子の状態

各入出力ポートは、ウエイトモードに入る直前の状態を保持します。

7.5.2.4 ウエイトモードからの復帰

ハードウエアリセット、$\overline{NMI}$割り込み、または周辺機能割り込みにより、ウエイトモードから復帰します。

ハードウエアリセットまたは$\overline{NMI}$割り込みで復帰する場合、周辺機能割り込みのILVL2〜0ビットを“000_2”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウエイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウエイトモードからの復帰に使用できます。CM02ビットが“1”(ウエイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウエイトモードからの復帰に使用できます。

表7.3にウエイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウエイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

(1)ウエイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～0ビットに割り込み優先レベルを設定する。

また、ウエイトモードからの復帰に使用しない周辺機能割り込みのILVL2～0ビットをすべて“000$_2$”(割り込み禁止)にする。

(3) Iフラグを“1”にする。

(4) ウエイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウエイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表7.3. ウエイトモードからの復帰に使用できる割り込み

割り込み	CM02=0の場合	CM02=1の場合
$\overline{NMI}$割り込み	使用可	使用可
シリアルI/O割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードまたは単掃引モードで使用可	— (使用しないでください)
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモードまたはカウントソースがf_{C32}のとき使用可
$\overline{INT}$割り込み	使用可	使用可

7.5.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、V_{CC}端子に印加する電圧がV_{RAM}以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。ストップモードからの復帰に使用できる割り込みは次のとおりです。

- $\overline{\text{NMI}}$割り込み
- キー入力割り込み
- $\overline{\text{INT}}$割り込み
- タイマA、タイマBの割り込み(イベントカウンタモードで外部パルスをカウント時)
- シリアルI/Oの割り込み(外部クロック選択時)
- 電圧低下検出割り込み(使用条件は「電圧低下割り込み」参照)

7.5.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM10レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてからストップモードにしてください。

7.5.3.2 ストップモード時の端子の状態

各入出力ポートは、ストップモードに入る直前の状態を保持します。

7.5.3.3 ストップモードからの復帰

ハードウエアリセット、$\overline{\text{NMI}}$割り込み、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウエアリセットまたは$\overline{\text{NMI}}$割り込みで復帰する場合、周辺機能割り込みのILVL2〜0ビットをすべて“000_2”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

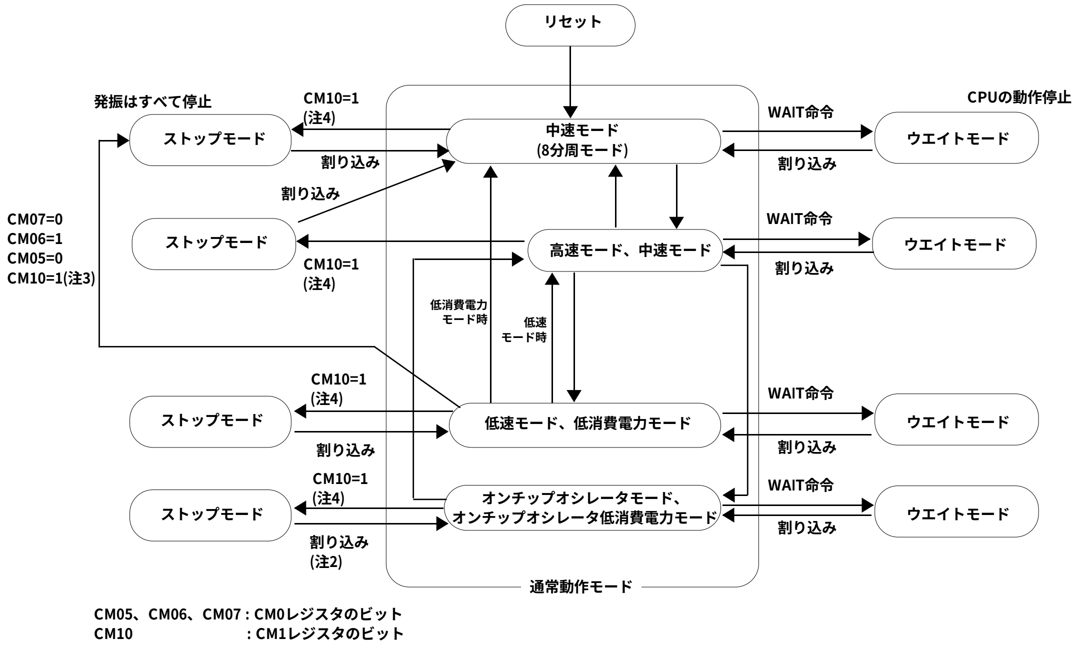
周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

(1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2〜0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2〜0ビットをすべて“000_2”(割り込み禁止)にする。
(3) Iフラグを“1”にする。
(4) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、または$\overline{\text{NMI}}$割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックにしたがって、次のようになります。

ストップモード移行前のCPUクロックがサブクロックの場合　：サブクロック
ストップモード移行前のCPUクロックがメインクロックの場合　：メインクロックの8分周
ストップモード移行前のCPUクロックがオンチップオシレータクロックの場合
：オンチップオシレータクロックの8分周

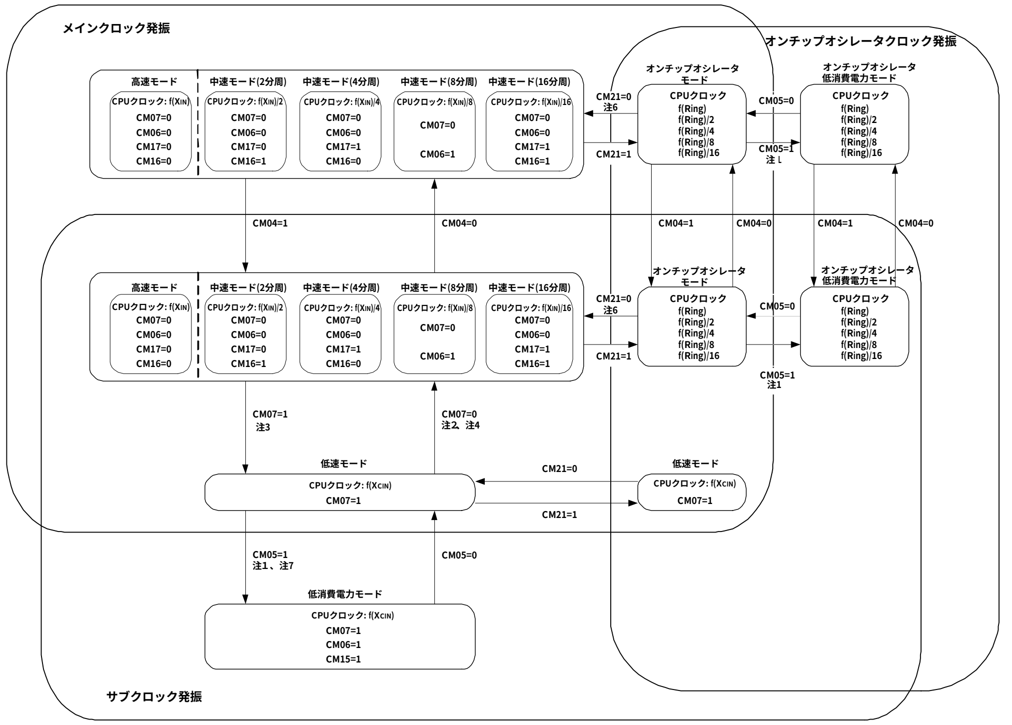
図7.8に通常モードからストップモード、ウエイトモードへの状態遷移を示します。図7.9に通常モードの状態遷移を示します。表7.4に現在の状態から次に遷移可能な状態と設定方法を示します。表の縦軸は現在の状態、横軸は次に遷移する状態です。



CM05、CM06、CM07 : CM0レジスタのビット
CM10　　　　　　　: CM1レジスタのビット

──►：矢印の向きに遷移できます。矢印のないモードからモードへの遷移はしないでください。
注1.　上図はPM2レジスタのPM21ビットが“0”(システムクロック保護機能を使用しない)の場合です。
注2.　オンチップオシレータクロックの8分周がCPUクロックになります。
注3.　CM21=0(オンチップオシレータ停止)の状態で、CM0、CM1レジスタへは、ワードアクセスにより、同時に書いてください。
注4.　ストップモードへ移行する場合は、CM2レジスタのCM20ビットを“0”(発振停止、再発信検出機能無効)にした後、移行してください。

図7.8.　ストップモード、ウエイトモード状態遷移



──►：矢印の向きに遷移できます。矢印のないモードからモードへの遷移はしないでください。
注1.　CM20ビットが“1”(発振停止、再発振検出機能有効)のとき遷移しないでください。遷移する場合はCM20ビットを“0”(発振停止 再発振検出機能無効)にしてください。
注2.　td(M-L)またはメインクロック発信安定時間のうち長い方を待ってから切り替えてください。
注3　サブクロックの発振が十分安定してから切り替えてください。
注4.　CM17、CM16を変更した後、CM06を変更してください。
注5.　矢印の方向に従って遷移してください。
注6.　オンチップオシレータモードから高速、中速モードに戻すときはCM06ビットを“1”(8分周)モードにしてください。
注7.　CM21ビットが“0”(オンチップオシレータ停止)、CM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。

図7.9.　通常動作モード状態遷移

表7.4. 現在の状態から次に遷移可能な状態と設定方法

現在の状態 ＼ 次の状態	高速､中速モード	低速モード(注2)	低消費電力モード(注2)	オンチップオシレータモード	オンチップオシレータ低消費電力モード	ストップモード	ウェイトモード
高速､中速モード	表A参照	(9)(注6)	ー	(13)	ー	(14)(注1)	(15)
低速モード(注2)	(8)		(11)(注1、注5)	ー	ー	(14)(注1)	(15)
低消費電力モード(注2)	ー	(10)		ー	ー	(14)(注1)	(15)
オンチップオシレータモード	(12)(注3)	ー	ー	表A参照	(11)(注1)	(14)(注1)	(15)
オンチップオシレータ低消費電力モード	ー	ー	ー	(10)	表A参照	(14)(注1)	(15)
ストップモード	(16)(注4)	(16)	(16)	(16)(注4)	(16)(注4)		ー
ウェイトモード	(16)	(16)	(16)	(16)	(16)	ー	

ー: 遷移できません。

表A. 高速、中速モード、オンチップオシレータモード、オンチップオシレータ低消費電力モードでのメインクロック分周比状態遷移表

		サブクロック発振					サブクロック停止				
		分周なし	2分周	4分周	8分周	16分周	分周なし	2分周	4分周	8分周	16分周
サブクロック発振	分周なし		(4)	(5)	(7)	(6)	(1)	ー	ー	ー	ー
	2分周	(3)		(5)	(7)	(6)	ー	(1)	ー	ー	ー
	4分周	(3)	(4)		(7)	(6)	ー	ー	(1)	ー	ー
	8分周	(3)	(4)	(5)		(6)	ー	ー	ー	(1)	ー
	16分周	(3)	(4)	(5)	(7)		ー	ー	ー	ー	(1)
サブクロック停止	分周なし	(2)	ー	ー	ー	ー		(4)	(5)	(7)	(6)
	2分周	ー	(2)	ー	ー	ー	(3)		(5)	(7)	(6)
	4分周	ー	ー	(2)	ー	ー	(3)	(4)		(7)	(6)
	8分周	ー	ー	ー	(2)	ー	(3)	(4)	(5)		(6)
	16分周	ー	ー	ー	ー	(2)	(3)	(4)	(5)	(7)	

ー: 遷移できません。

注1. CM20ビットが“1”(発振停止 再発振検出機能有効)のとき遷移しないでください。遷移する場合はCM20ビットを“0”(発振停止、再発振検出機能無効)にしてください。
注2. 低速モード、低消費電力モードはオンチップオシレータクロックの発振、停止が出来ます。この時のオンチップオシレータクロックは周辺機能クロックとして使用できます。この時のサブクロックは周辺機能クロックとして使用できます。
注3. オンチップオシレータモードから高速、中速モードに移行するときはCM06ビットを“1”(8分周モード)にしてください。
注4. ストップモードから復帰した場合、CM06ビットが“1”(8分周モード)になります。
注5. CM05ビットを“1”(メインクロック停止)にすると、CM06ビットが“1”(8分周モード)になります。
注6. サブクロックが発振しているときに移行できます。

表B. 各番号に対する設定内容と動作

	設定内容	動作内容
(1)	CM04 = 0	サブクロック停止
(2)	CM04 = 1	サブクロック発振
(3)	CM06 = 0 CM17 = 0 , CM16 = 0	CPUクロック分周なしモード
(4)	CM06 = 0 CM17 = 0 , CM16 = 1	CPUクロック2分周モード
(5)	CM06 = 0 CM17 = 1 , CM16 = 0	CPUクロック4分周モード
(6)	CM06 = 0 CM17 = 1 , CM16 = 1	CPUクロック16分周モード
(7)	CM06 = 1	CPUクロック8分周モード
(8)	CM07 = 0	メインクロック、または オンチップオシレータクロック選択
(9)	CM07 = 1	サブクロック選択
(10)	CM05 = 0	メインクロック発振
(11)	CM05 = 1	メインクロック停止
(12)	CM21 = 0	メインクロック選択
(13)	CM21 = 1	オンチップオシレータクロック選択
(14)	CM10 = 1	ストップモードに移行
(15)	wait命令	ウェイトモードに移行
(16)	ハードウェア割り込み	ストップモード、ウェイトモードから復帰

7.6 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込めなくなります。

・CM0レジスタのCM02ビット、CM05ビット、CM07ビット
・CM1レジスタのCM10ビット
・CM2レジスタのCM20ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態で次の処理をしてください。

(1)PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
(2)PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
(3)PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする

PM21ビットが“1”のとき、WAIT命令を実行しないでください。

7.7 発振停止、再発振検出機能

発振停止、再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止、再発振検出時にはリセットまたは発振停止、再発振検出割り込みを発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

発振停止、再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

表7.5に発振停止、再発振検出機能の仕様を示します。

表7.5.　発振停止、再発振検出機能の仕様

項　　目	仕　　　　様
発振停止検出可能クロックと周波数域	f(XIN)≧2MHz
発振停止、再発振検出機能有効条件	CM20ビットを“1”(有効)にする
発振停止、再発振検出時の動作	●発振停止検出リセット発生(CM27ビット=0) ●発振停止、再発振検出割り込み発生(CM27ビット=1)

7.7.1 CM27ビットが“0”(発振停止検出リセット)の場合の動作

CM20ビットが“1”(発振停止、再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します(発振停止検出リセット。「SFR」、「リセット」参照)。

この状態はハードウエアリセット1またはハードウエアリセット2によって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

7.7.2 CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作

メインクロックがCPUクロック源でCM20ビットが“1”(発振停止、再発振検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

・発振停止、再発振検出割り込み要求が発生する
・オンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能のクロック源になる
　CM21ビット＝1(オンチップオシレータクロックがCPUクロック、周辺機能クロックのクロック源)
・CM22ビット＝1(メインクロック停止を検出)
・CM23ビット＝1(メインクロック停止)

CM20ビットが“1”の場合、メインクロックが停止した状態から再発振すると、次の状態になります。

・発振停止、再発振検出割り込み要求が発生する
・CM22ビット=1(メインクロック再発振を検出)
・CM23ビット=0(メインクロック発振)
・CM21ビットは変化しない

●発振停止、再発振検出機能使用方法

・ 発振停止、再発振検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止、再発振検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、割り込み処理プログラムでCM22ビットを読み、どちらの割り込み要因による割り込み要求かを判定してください。
・ 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図7.10にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
・ 発振停止、再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止、再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止、再発振検出割り込みが許可されます。
・ 低速モード時、CM20ビットが“1”で、メインクロックが停止すると、発振停止、再発振検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックはオンチップオシレータクロックがクロック源になります。
・ 発振停止、再発振検出機能を使用中にウエイトモードへ移行する場合は、CM02ビットを“0”(ウエイトモード時周辺機能クロックを停止しない)にしてください。
・ 発振停止、再発振検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてください。
・ メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

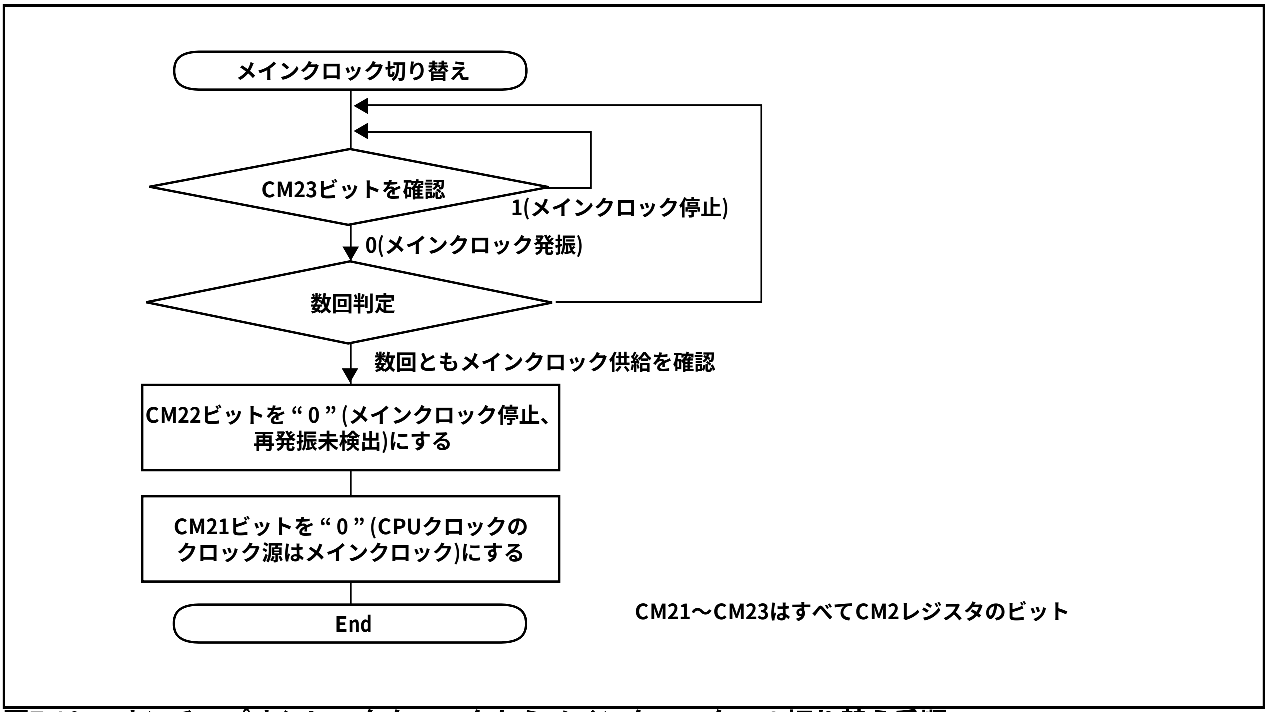


図7.10.　オンチップオシレータクロックからメインクロックへの切り替え手順

8. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図8.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

・PRC0ビットで保護されるレジスタ　：CM0、CM1、CM2、PCLKRレジスタ
・PRC1ビットで保護されるレジスタ　：PM0、PM1、PM2、TB2SC、INVC0、INVC1レジスタ
・PRC2ビットで保護されるレジスタ　：PD9レジスタ
・PRC3ビットで保護されるレジスタ　：VCR2、D4INTレジスタ

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1、PRC3ビットは任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
X	X	0	0				

シンボル	アドレス	リセット後の値
PRCR	000A$_{16}$番地	XX000000$_2$

ビットシンボル	ビット名	機　能	RW
PRC0	プロテクトビット0	CM0、CM1、CM2、PCLKRレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC1	プロテクトビット1	PM0、PM1、PM2、TB2SC、INVC0、INVC1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC2	プロテクトビット2	PD9レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	RW
PRC3	プロテクトビット3	VCR2、D4INTレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
―― (b5-b4)	予約ビット	“0”にしてください	RW
―― (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		―

注1.　PRC2ビットは“1”を書き込んだ後、任意の番地に書き込みを実行すると“0”になります。他のビットは“0”になりませんので、プログラムで“0”にしてください。

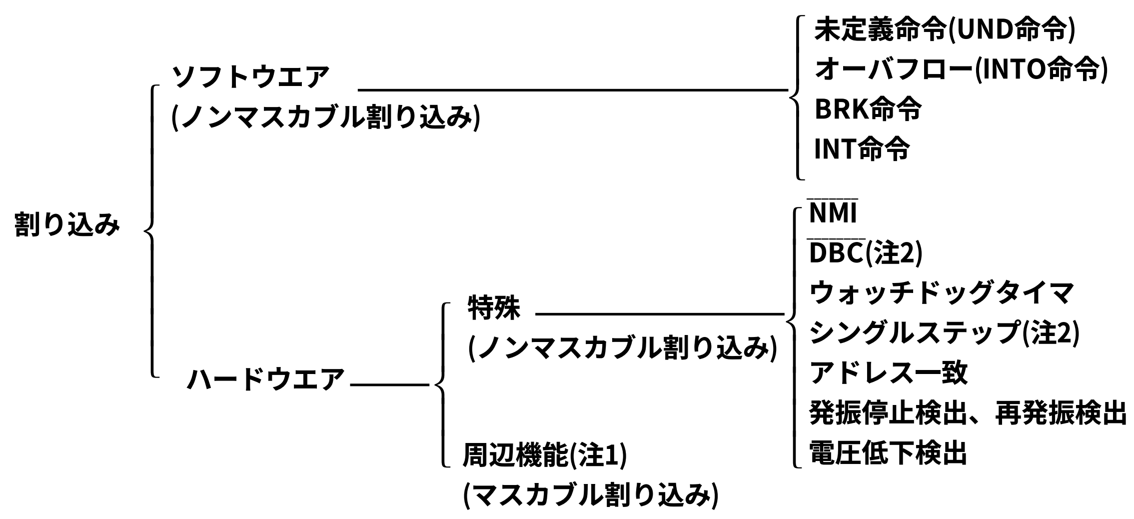
図8.1. PRCRレジスタ

RENESAS

9. 割り込み

9.1 割り込みの分類

図9.1に割り込みの分類を示します。



注1.　周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。
注2.　開発サポートツール専用の割り込みですので、使用しないでください。

図9.1.　割り込みの分類

●マスカブル割り込み　：割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が<u>可能</u>

●ノンマスカブル割り込み　：割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が<u>不可能</u>

9.2 ソフトウエア割り込み

ソフトウエア割り込みは、命令の実行によって発生します。ソフトウエア割り込みはノンマスカブル割り込みです。

9.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

9.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

9.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

9.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウエア割り込み番号は0～63です。ソフトウエア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウエア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウエア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

9.3 ハードウエア割り込み

ハードウエア割り込みには、特殊割り込みと周辺機能割り込みがあります。

9.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

9.3.1.1 $\overline{NMI}$割り込み

$\overline{NMI}$割り込みは、PM24ビットが“1”(P85/$\overline{NMI}$機能切り替えビットが$\overline{NMI}$機能選択時)で$\overline{NMI}$端子の入力が“H”から“L”に変化すると発生します。$\overline{NMI}$割り込みの詳細は「$\overline{NMI}$割り込み」を参照してください。

9.3.1.2 $\overline{DBC}$割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

9.3.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は「ウォッチドッグタイマ」を参照してください。

9.3.1.4 発振停止、再発振検出割り込み

発振停止、再発振検出機能による割り込みです。発振停止、再発振検出機能の詳細は「クロック発生回路」を参照してください。

9.3.1.5 電圧低下検出割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「電圧検出回路」を参照してください。

9.3.1.6 シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

9.3.1.7 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットの、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0、RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「アドレス一致割り込み」を参照してください。

9.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は表9.2を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

9.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図9.2に割り込みベクタを示します。

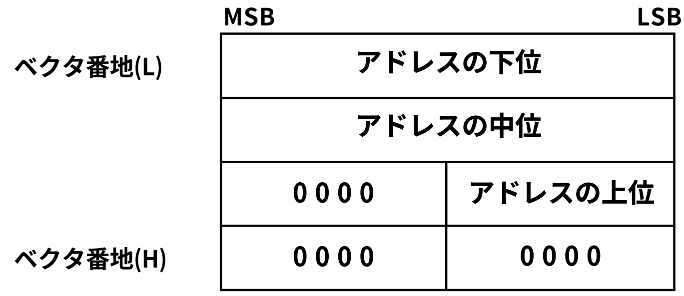


図9.2.　割り込みベクタ

9.4.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDC$_{16}$番地からFFFFF$_{16}$番地に配置されています。表9.1に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「フラッシュメモリ書き換え禁止機能」を参照してください。

表9.1.　固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	FFFDC$_{16}$ ～ FFFDF$_{16}$	UND命令で割り込み	M16C/60、M16C/20シリーズソフトウエアマニュアル
オーバフロー	FFFE0$_{16}$ ～ FFFE3$_{16}$	INTO命令で割り込み	
BRK命令	FFFE4$_{16}$ ～ FFFE7$_{16}$	FFFE7$_{16}$番地の内容がFF$_{16}$の場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	FFFE8$_{16}$ ～ FFFEB$_{16}$		アドレス一致割り込み
シングルステップ(注1)	FFFEC$_{16}$ ～ FFFEF$_{16}$		
ウォッチドッグタイマ、発振停止、再発振検出、電圧低下検出	FFFF0$_{16}$ ～ FFFF3$_{16}$		ウォッチドッグタイマ、クロック発生回路、電圧検出回路
$\overline{\text{DBC}}$(注1)	FFFF4$_{16}$ ～ FFFF7$_{16}$		
$\overline{\text{NMI}}$(注2)	FFFF8$_{16}$ ～ FFFFB$_{16}$		$\overline{\text{NMI}}$割り込み
リセット	FFFFC$_{16}$ ～ FFFFF$_{16}$		リセット

注1.　開発サポートツール専用の割り込みですので、使用しないでください。
注2.　PM2レジスタのPM24ビットを“1”にしてください。

9.4.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表9.2に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表9.2. 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウエア 割り込み番号	参照先
BRK命令(注4)	+0～+3(0000_{16}～0003_{16})	0	M16C/60、M16C/20シリーズ ソフトウエアマニュアル
── (予約)		1～3	
$\overline{\text{INT3}}$	+16～+19(0010_{16}～0013_{16})	4	$\overline{\text{INT}}$割り込み
── (予約)		5～7	
$\overline{\text{INT5}}$ (注2)	+32～+35(0020_{16}～0023_{16})	8	$\overline{\text{INT}}$割り込み
$\overline{\text{INT4}}$ (注2)	+36～+39(0024_{16}～0027_{16})	9	
UART2バス衝突検出 (注5)	+40～+43(0028_{16}～$002B_{16}$)	10	シリアルI/O
DMA0	+44～+47 ($002C_{16}$～$002F_{16}$)	11	DMAC
DMA1	+48～+51 (0030_{16}～0033_{16})	12	
キー入力割り込み	+52～+55 (0034_{16}～0037_{16})	13	キー入力割り込み
A/D	+56～+59 (0038_{16}～$003B_{16}$)	14	A/Dコンバータ
UART2送信、NACK2 (注3)	+60～+63 ($003C_{16}$～$003F_{16}$)	15	シリアルI/O
UART2受信、ACK2 (注3)	+64～+67 (0040_{16}～0043_{16})	16	
UART0送信	+68～+71 (0044_{16}～0047_{16})	17	
UART0受信	+72～+75 (0048_{16}～$004B_{16}$)	18	
UART1送信	+76～+79 ($004C_{16}$～$004F_{16}$)	19	
UART1受信	+80～+83 (0050_{16}～0053_{16})	20	
タイマA0	+84～+87 (0054_{16}～0057_{16})	21	タイマ
タイマA1	+88～+91 (0058_{16}～$005B_{16}$)	22	
タイマA2	+92～+95 ($005C_{16}$～$005F_{16}$)	23	
タイマA3	+96～+99 (0060_{16}～0063_{16})	24	
タイマA4	+100～+103 (0064_{16}～0067_{16})	25	
タイマB0	+104～+107 (0068_{16}～$006B_{16}$)	26	
タイマB1	+108～+111 ($006C_{16}$～$006F_{16}$)	27	
タイマB2	+112～+115 (0070_{16}～0073_{16})	28	
$\overline{\text{INT0}}$	+116～+119 (0074_{16}～0077_{16})	29	$\overline{\text{INT}}$割り込み
$\overline{\text{INT1}}$	+120～+123 (0078_{16}～$007B_{16}$)	30	
── (予約)		31	
ソフトウエア割り込み(注5)	+128～+131 (0080_{16}～0083_{16}) ≀ +252～+255 ($00FC_{16}$～$00FF_{16}$)	32 ≀ 63	M16C/60、M16C/20シリーズ ソフトウエアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。
注2. IFSRレジスタのIFSR6、7ビットを“1”にしてください。
注3. I^2C busモード時にNACK、ACKが割り込み要因になります。
注4. Iフラグによる禁止はできません。
注5. バス衝突検出：IE Busモード時はバス衝突検出が割り込み要因になります。
I^2C busモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

RENESAS

9.5 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図9.3に割り込み制御レジスタを示します。

割り込み制御レジスタ(注2)

b7	b6	b5	b4	b3	b2	b1	b0
☒	☒	☒	☒				

シンボル	アドレス	リセット後の値
BCNIC	004A16番地	XXXXX0002
DM0IC、DM1IC	004B16、004C16番地	XXXXX0002
KUPIC	004D16番地	XXXXX0002
ADIC	004E16番地	XXXXX0002
S0TIC～S2TIC	005116、005316、004F16番地	XXXXX0002
S0RIC～S2RIC	005216、005416、005016番地	XXXXX0002
TA0IC～TA4IC	005516～005916番地	XXXXX0002
TB0IC～TB2IC	005A16～005C16番地	XXXXX0002

ビットシンボル	ビット名	機　能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	RW (注1)
―― (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		―

注1.　IRビットは“0”のみ書けます(“1”を書かないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。
詳細は、「割り込みの注意事項」を参照してください。

b7	b6	b5	b4	b3	b2	b1	b0
☒	☒	0					

シンボル	アドレス	リセット後の値
INT3IC	004416番地	XX00X0002
INT5IC	004816番地	XX00X0002
INT4IC	004916番地	XX00X0002
INT0IC、INT1IC	005D16、005E16番地	XX00X0002

ビットシンボル	ビット名	機　能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	RW (注1)
POL	極性切り替えビット	0：立ち下がりエッジを選択 (注3) 1：立ち上がりエッジを選択	RW
(b5)	予約ビット	“0”にしてください	RW
―― (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		―

注1.　IRビットは“0”のみ書けます(“1”を書かないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。
詳細は、「割り込みの注意事項」を参照してください。
注3.　IFSRレジスタのIFSRiビット(i=0、1、3～5)が“1”(両エッジ)の場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

図9.3.　割り込み制御レジスタ

RENESAS

9.5.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

9.5.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

9.5.3 ILVL2～0ビット、IPL

割り込み優先レベルは、ILVL2～0ビットで設定できます。

表9.3に割り込み優先レベルの設定、表9.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ ＝ 1
- IRビット ＝ 1
- 割り込み優先レベル ＞ IPL

Iフラグ、IRビット、ILVL2～0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表9.3. 割り込み優先レベルの設定

ILVL2～0ビット	割り込み優先レベル	優先順位
000_2	レベル0 (割り込み禁止)	―――
001_2	レベル1	低い
010_2	レベル2	↓
011_2	レベル3	↓
100_2	レベル4	↓
101_2	レベル5	↓
110_2	レベル6	↓
111_2	レベル7	高い

表9.4. IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000_2	レベル1以上を許可
001_2	レベル2以上を許可
010_2	レベル3以上を許可
011_2	レベル4以上を許可
100_2	レベル5以上を許可
101_2	レベル6以上を許可
110_2	レベル7以上を許可
111_2	すべてのマスカブル割り込みを禁止

9.6 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図9.4に割り込みシーケンスの実行時間を示します。

(1) 00000$_{16}$番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
(2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
(3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません。
(4) CPU内部の一時レジスタ(注1)をスタックに退避します。
(5) PCをスタックに退避します。
(6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
(7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

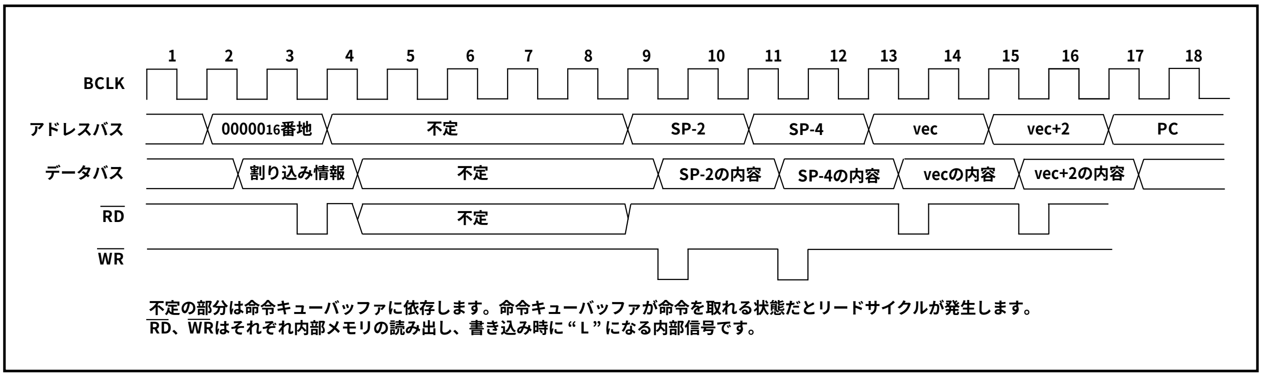
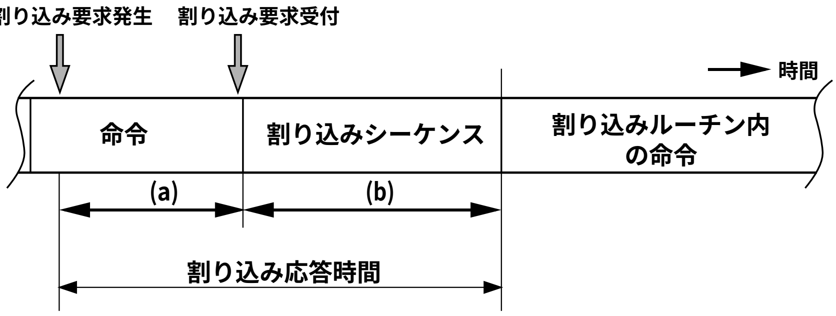


図9.4. 割り込みシーケンスの実行時間

9.7 割り込み応答時間

図9.5に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図9.5の(a))と割り込みシーケンスを実行する時間(図9.5の(b))で構成されます。



(a)　割り込み要求発生時点からそのとき実行している命令が終了するまでの時間。実行している命令によって異なります。この時間が最も長くなる命令はDIVX命令で30サイクル(ウエイトなし、除数がレジスタの場合のサイクル数)です。

(b)　割り込みシーケンスを実行する時間。次の表を参照してください。なお、$\overline{\text{DBC}}$割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

割り込みベクタの番地	SPの値	ウエイトなし
偶数	偶数	18サイクル
偶数	奇数	19サイクル
奇数	偶数	19サイクル
奇数	奇数	20サイクル

図9.5.　割り込み応答時間

9.8 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウエア割り込みと特殊割り込み要求が受け付けられると表9.5に示す値がIPLに設定されます。表9.5にソフトウエア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表9.5.　ソフトウエア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定される IPL の値
ウォッチドッグタイマ、$\overline{\text{NMI}}$、発振停止、再発振検出、電圧低下検出	7
ソフトウエア、アドレス一致、$\overline{\text{DBC}}$、シングルステップ	変化しない

9.9 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図9.6に割り込み要求受付前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

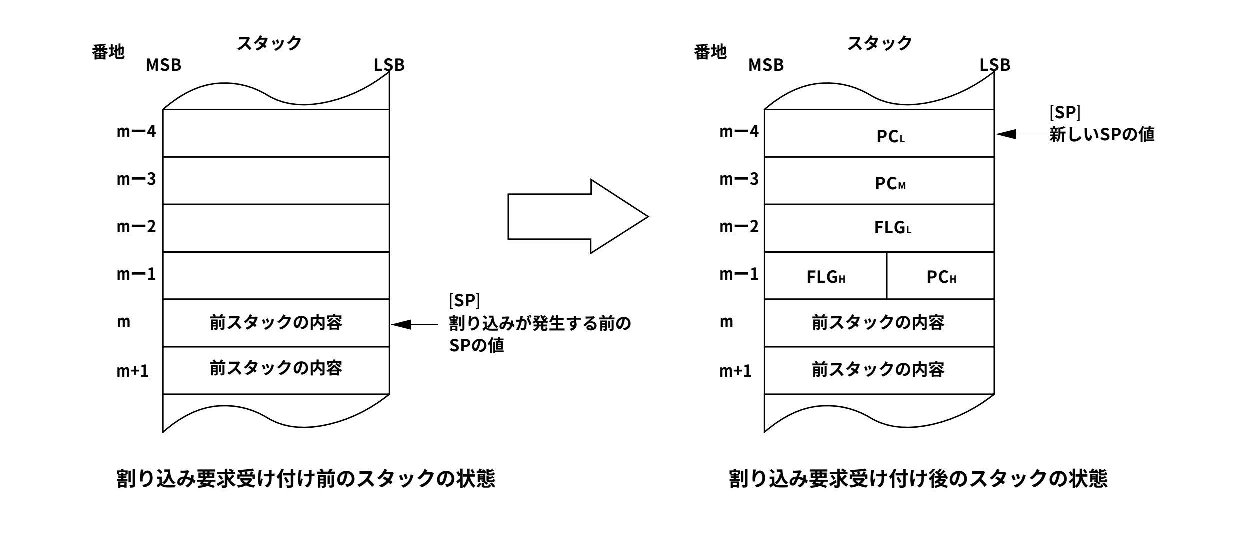


図9.6.　割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図9.7にレジスタ退避動作を示します。

注1.　ソフトウエア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

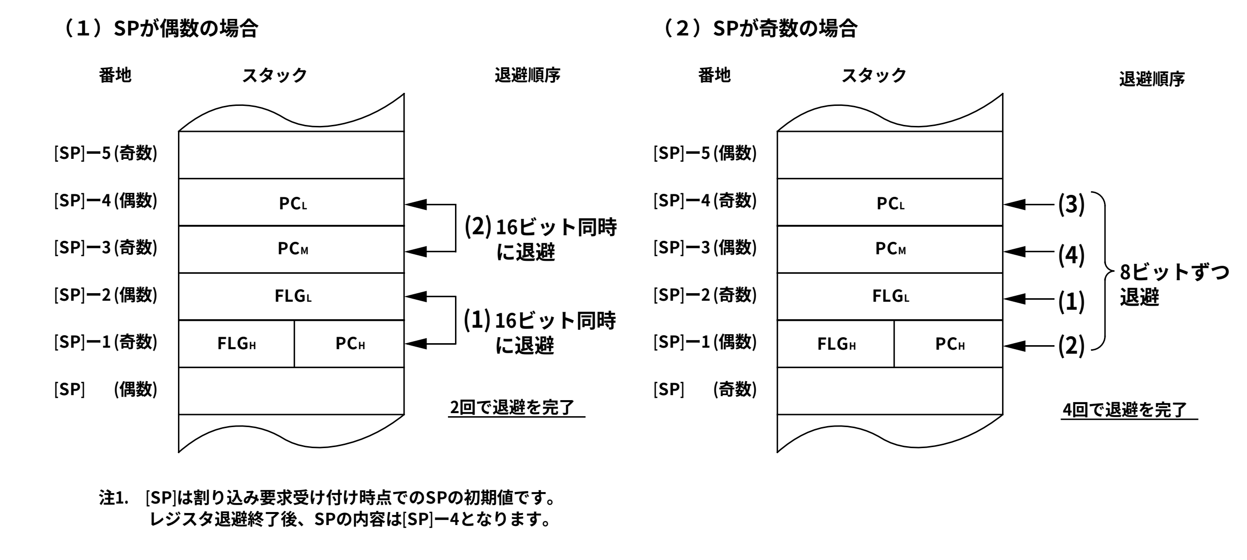


図9.7.　レジスタ退避動作

9.10 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

9.11 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウエアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウエアで設定されています。図9.8にハードウエア割り込みの割り込み優先順位を示します。

ソフトウエア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

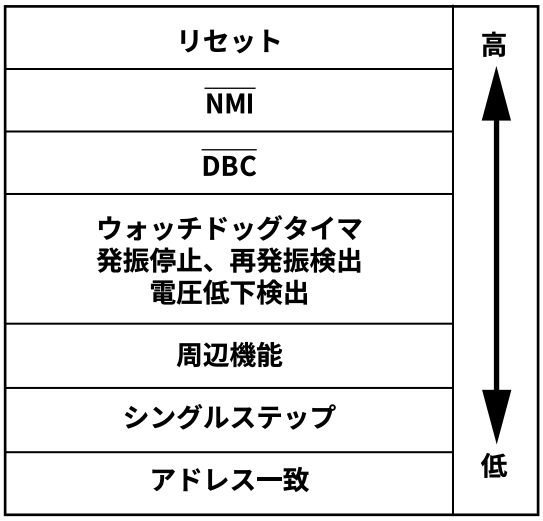


図9.8. ハードウエア割り込みの割り込み優先順位

9.12 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。

図9.9に割り込み優先レベルの判定回路を示します。

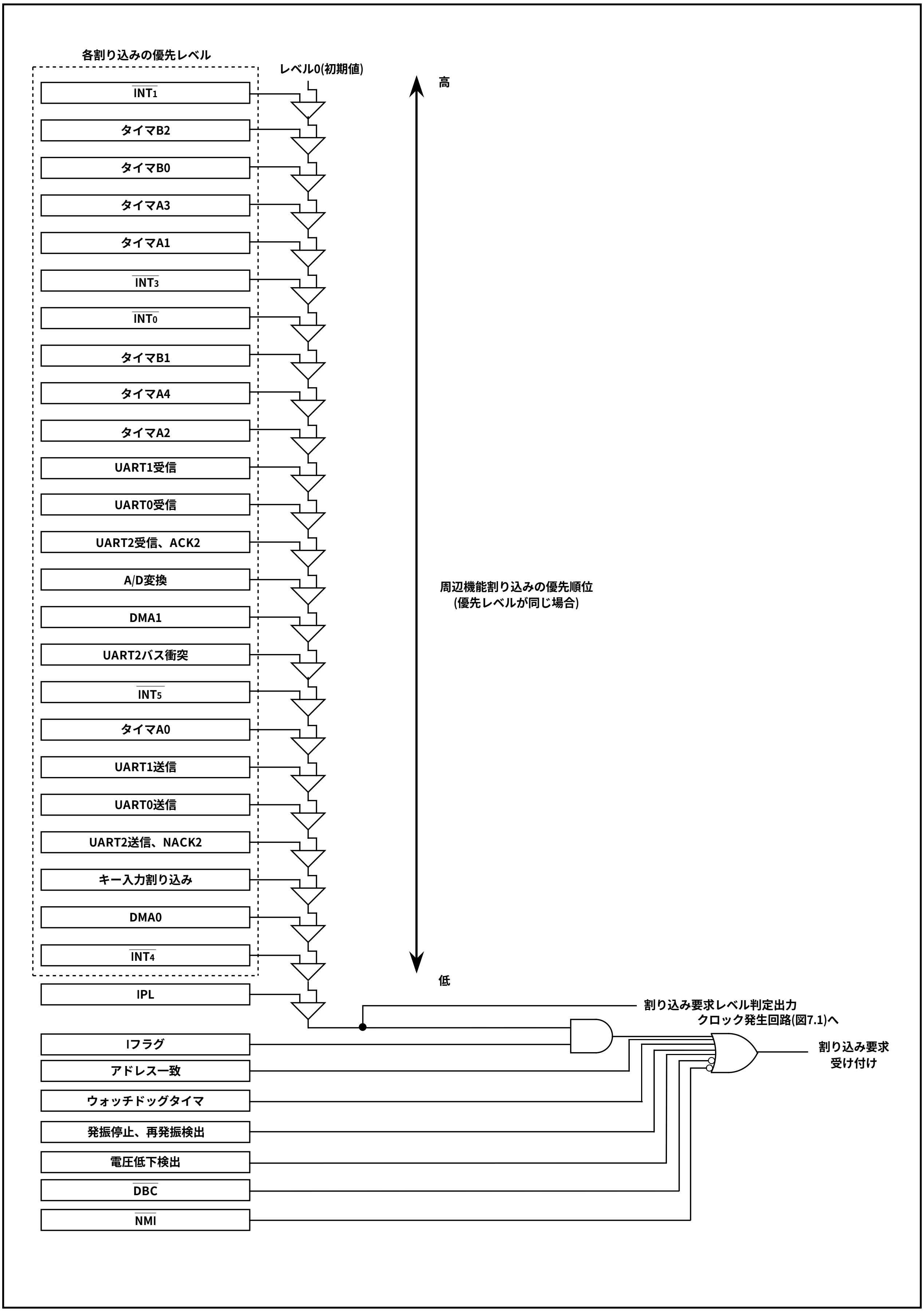


図9.9.　割り込み優先レベル判定回路

9.13 $\overline{\mathrm{INT}}$割り込み

$\overline{\mathrm{INT}}$i割り込み(i=0、1、3～5)は外部入力による割り込みです。極性をIFSRレジスタのIFSRiビットで選択できます。

$\overline{\mathrm{INT4}}$割り込みを使用するときは、IFSRレジスタのIFSR6ビットを“1”($\overline{\mathrm{INT4}}$)に、$\overline{\mathrm{INT5}}$割り込みを使用するときは、IFSRレジスタのIFSR7ビットを“1”($\overline{\mathrm{INT5}}$)にしてください。

IFSR6、IFSR7ビットを変更した後、対応するIRビットを“0”(割り込み要求なし)にしてから、割り込みを許可してください。

図9.10にIFSRレジスタを示します。

割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
IFSR	035F$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能	RW
IFSR0	INT0割り込み極性切り替えビット	0 : 片エッジ 1 : 両エッジ（注1）	RW
IFSR1	INT1割り込み極性切り替えビット	0 : 片エッジ 1 : 両エッジ（注1）	RW
$\overline{\text{(b2)}}$	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
IFSR3	INT3割り込み極性切り替えビット	0 : 片エッジ 1 : 両エッジ（注1）	RW
IFSR4	INT4割り込み極性切り替えビット	0 : 片エッジ 1 : 両エッジ（注1）	RW
IFSR5	INT5割り込み極性切り替えビット	0 : 片エッジ 1 : 両エッジ（注1）	RW
IFSR6	割り込み要因切り替えビット	0 : 予約 1 : INT4	RW
IFSR7	割り込み要因切り替えビット	0 : 予約 1 : INT5	RW

注1.　“1”(両エッジ)を選択する場合は、対応するINTiIC（i=0、1、3～5)レジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

図9.10. IFSRレジスタ

RENESAS

9.14 $\overline{\text{NMI}}$割り込み

PM2 レジスタのPM24ビットを“1”($\overline{\text{NMI}}$割り込み)にして$\overline{\text{NMI}}$割り込みを許可した後で、P8$_5$/$\overline{\text{NMI}}$/$\overline{\text{SD}}$端子の入力が“H”から“L”に変化したとき、$\overline{\text{NMI}}$割り込みが発生します。$\overline{\text{NMI}}$割り込みは、ノンマスカブル割り込みです。リセット後、$\overline{\text{NMI}}$割り込みは無効です。$\overline{\text{NMI}}$割り込みは、PM2レジスタのPM24を“1”(1:許可)にすることで有効になります。$\overline{\text{NMI}}$割り込みを許可した後、プログラムで再度禁止することはできません。また、この端子の入力レベルをP8レジスタのP8_5ビットで読めます。

$\overline{\text{NMI}}$割り込みを許可せず、かつINV03=”0”(三相出力禁止)、IVPCR1=”0”($\overline{\text{SD}}$入力による三相出力強制遮断禁止)の場合は、この端子はプログラマブル入出力ポートとして使用できます。

9.15 キー入力割り込み

P10$_4$～P10$_7$のうち、PD10レジスタのPD10_4～PD10_7ビットを“0”(入力)にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウエイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P10$_4$～P10$_7$をアナログ入力端子として使用しないでください。図9.11にキー入力割り込みのブロック図を示します。なお、PD10_4～PD10_7ビットを“0”(入力モード)にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

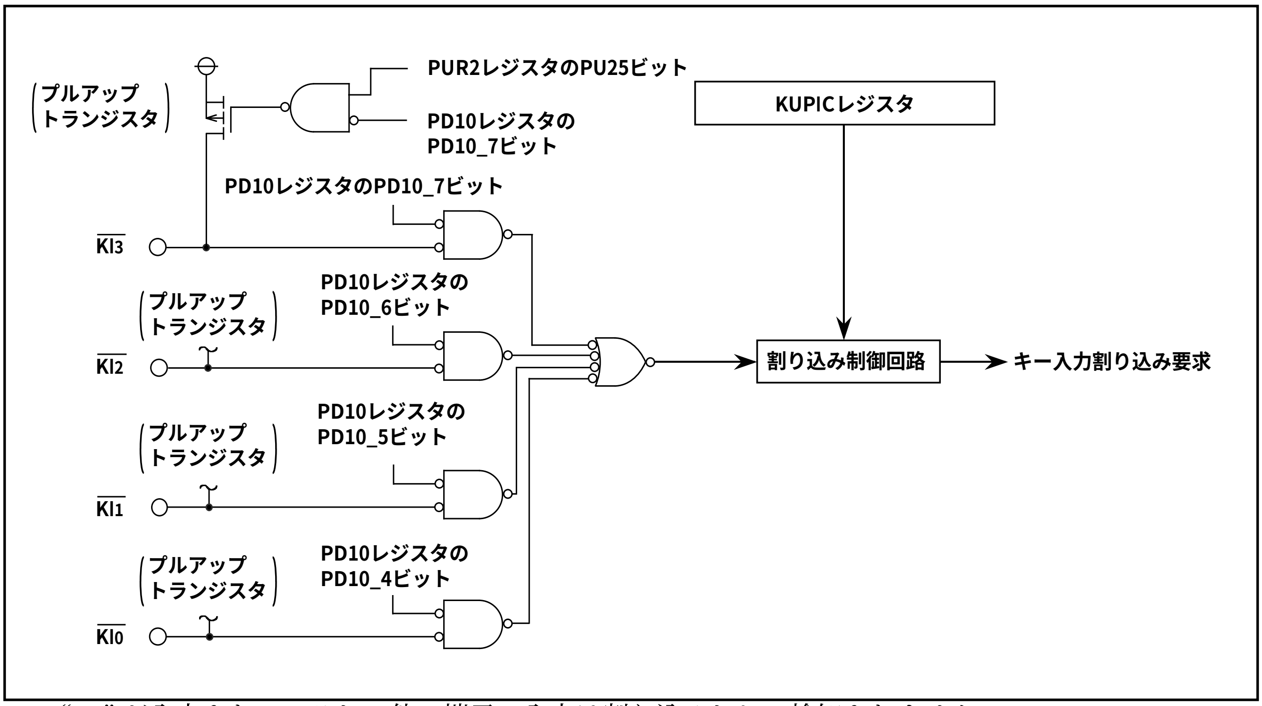


図9.11. キー入力割り込みのブロック図

9.16 アドレス一致割り込み

RMADiレジスタ(i=0、1)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMADiレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPC値(「レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

・スタックの内容を書き換えてREIT命令で復帰する
・スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する。

表9.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図9.12にAIER、RMAD0、RMAD1レジスタを示します。

表9.6.　アドレス一致割り込み要求受け付け時に退避されるPCの値

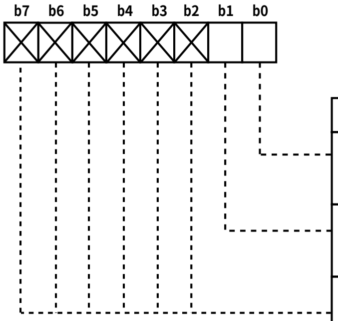
RMADiレジスタで示される番地の命令	退避されるPCの値
・16ビットオペコード命令 ・8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest　SUB.B:S #IMM8,dest　AND.B:S #IMM8,dest OR.B:S #IMM8,dest　MOV.B:S #IMM8,dest　STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest　STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest　PUSHM src　POPM dest JMPS #IMM8　JSRS #IMM8 MOV.B:S #IMM,dest（ただし、dest＝A0またはA1）	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

退避されるPCの値：「レジスタ退避」参照

表9.7.　アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

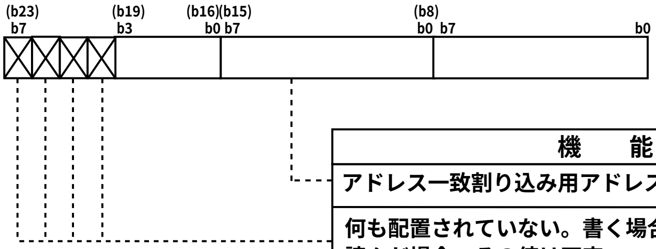
アドレス一致割り込み許可レジスタ



シンボル	アドレス	リセット後の値
AIER	0009_{16}番地	$XXXXXX00_2$

ビットシンボル	ビット名	機　　能	RW
AIER0	アドレス一致割り込み0 許可ビット	0 : 禁止 1 : 許可	RW
AIER1	アドレス一致割り込み1 許可ビット	0 : 禁止 1 : 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

アドレス一致割り込みレジスタi(i=0、1)



シンボル	アドレス	リセット後の値
RMAD0	0012_{16}〜0010_{16}番地	$X00000_{16}$
RMAD1	0016_{16}〜0014_{16}番地	$X00000_{16}$

機　　能	設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ	00000_{16}〜$FFFFF_{16}$	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

図9.12. AIER、RMAD0、RMAD1レジスタ

10. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケーラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、リセットをかけるかをPM1レジスタのPM12ビットで選択できます。PM12ビットには“1”(ウォッチドッグタイマリセット)のみ書けます。一度、PM12ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にはできません。

PM12ビットが“1”のとき、ウォッチドッグタイマがアンダフローした場合に初期化される端子、CPU、SFRはソフトウエアリセットと同じです。

CPUクロックにメインクロック、オンチップオシレータクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケーラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケーラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケーラによる誤差が生じます。

CPUクロックにメインクロック、オンチップオシレータクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケーラの分周(16または128)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケーラの分周(2)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

例えば、CPUクロックが16MHzで、プリスケーラが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

ウォッチドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケーラは、リセット後に初期化されています。なお、リセット後はウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード時、ウエイトモード時、またはEW1モードでコマンド実行中（イレーズサスペンドモード中は除く）は、ウォッチドッグタイマとプリスケーラは停止し、解除すると保持された値からカウントします。

図10.1にウォッチドッグタイマのブロック図、図10.2にウォッチドッグタイマ関連レジスタを示します。

10.1. カウントソース保護モード

ウォッチドッグタイマのカウントソースとして、オンチップオシレータクロックを使用するモードです。暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

このモードを使用する場合、次の処理をしてください。

(1)PRCRレジスタのPRC1ビットを“1”(PM1、PM2レジスタ書き込み許可)にする
(2)PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマアンダフロー時リセット)にする
(3)PM2レジスタのPM22ビットを“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)にする
(4)PRCRレジスタのPRC1ビットを“0”(PM1、PM2レジスタ書き込み禁止)にする
(5)WDTSレジスタへの書き込み(ウォッチドッグタイマのカウント開始)

PM22ビットを“1”にすると次の状態になります。

・オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる

$$\text{ウォッチドッグタイマの周期} = \frac{\text{ウォッチドッグタイマのカウント値(32768)}}{\text{オンチップオシレータクロック}}$$

・CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
・ウエイトモードのとき、ウォッチドッグタイマは停止しない

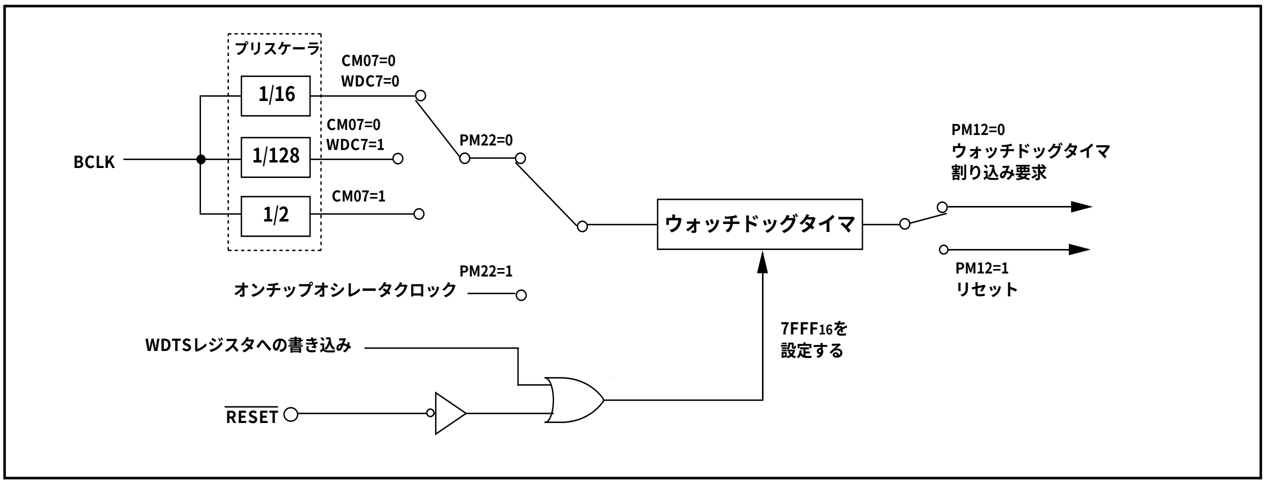


図10.1. ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0						

シンボル　WDC　　アドレス　000F16番地　　リセット後の値　00XXXXXX2(注2)

ビットシンボル	ビット名	機　能	RW
(b4-b0)	ウォッチドッグタイマの上位ビット		RO
WDC5	コールドスタート/ウォームスタート判定フラグ(注1)	0：コールドスタート 1：ウォームスタート	RW
(b6)	予約ビット	“0”にしてください	RW
WDC7	プリスケーラ選択ビット	0：16分周 1：128分周	RW

注1.　WDC5ビットに“0”、“1”のいずれを書いても、“1”(ウォームスタート)になります。
注2.　WDC5ビットは電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

ウォッチドッグタイマスタートレジスタ(注1)

b7　b0

シンボル　WDTS　　アドレス　000E16番地　　リセット後の値　不定

機　能	RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートします。 ウォッチドッグタイマの初期値は、書き込む値にかかわらず“7FFF16”が設定されます。	WO

注1.　ウォッチドッグタイマ割り込み発生後は、WDTSレジスタに書き込みを行い、ウォッチドッグタイマを初期化してください。

図10.2. WDC、WDTSレジスタ

11. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、2チャネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図11.1にDMACブロック図、表11.1にDMACの仕様、図11.2〜図11.4にDMAC関連レジスタを示します。

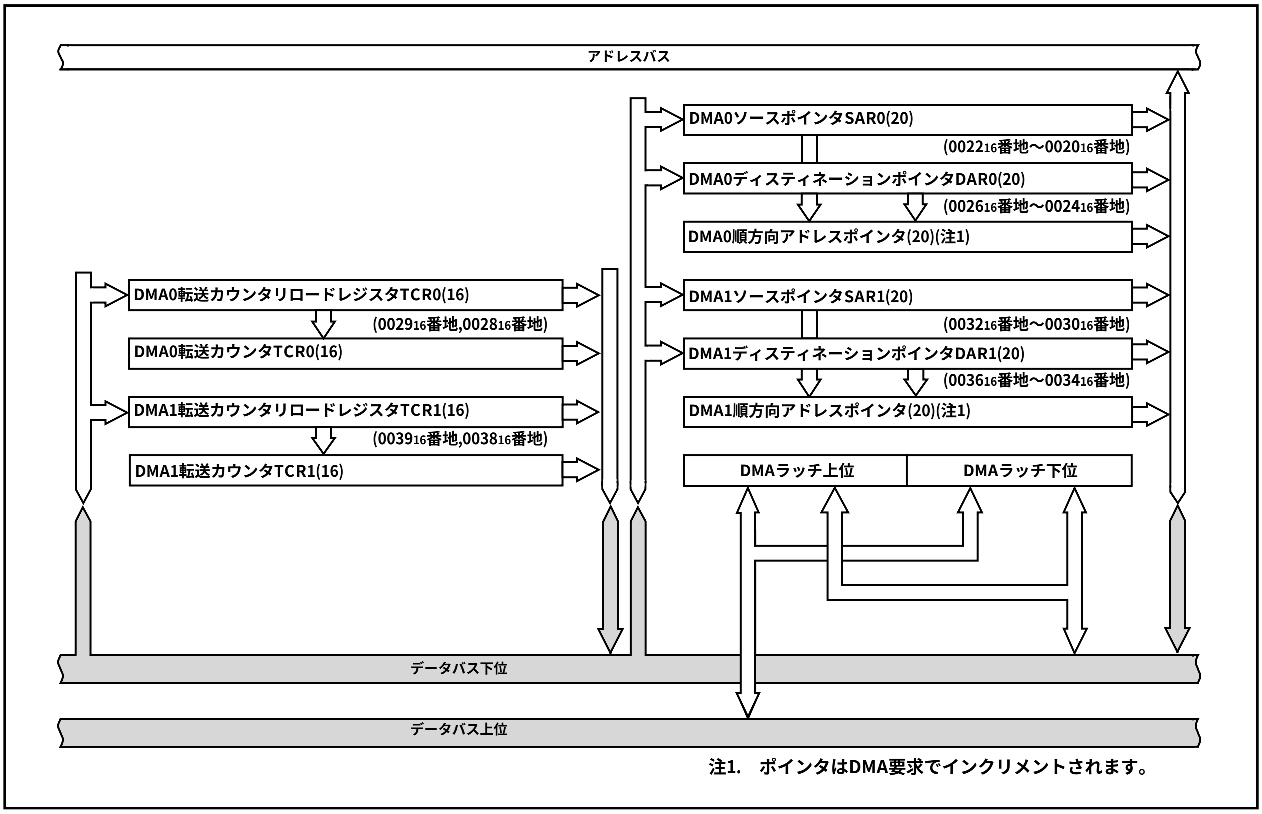


図11.1. DMACブロック図

DMA要求は、DMiSLレジスタ(i=0〜1)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL3〜DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、Iフラグ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えませんので、DMA転送では割り込み制御レジスタのIRビットは変化しません。

DMiCONレジスタのDMAEビットが"1"(DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「DMA要求」を参照してください。

表11.1. DMACの仕様

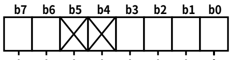
項　目		仕　様
チャネル数		2チャネル(サイクルスチール方式)
転送空間		●1Mバイトの任意の空間から固定番地 ●固定番地から1Mバイトの任意の空間 ●固定番地から固定番地
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1、注2)		$\overline{INT0}$または$\overline{INT1}$端子の立ち下がりエッジ $\overline{INT0}$または$\overline{INT1}$端子の両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB2割り込み要求 UART0送信、UART0受信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 A/D変換割り込み要求 ソフトウエアトリガ
チャネル優先順位		DMA0＞DMA1(DMA0が優先)
転送単位		8ビットまたは16ビット
転送番地方向		順方向または固定(転送元と転送先の両方を順方向にしないでください)
転送モード	単転送	DMAi転送カウンタ(i=0～1)がアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DMAi転送カウンタがアンダフローしたとき
DMA転送開始		DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される
DMA転送停止	単転送	●DMAEビットを“0”(禁止)にする ●DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング		DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード

注1.　DMA転送は、各割り込みに影響を与えません。また、DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。

注2.　選択できる要因はチャネルによって異なります。

注3　DMAC関連レジスタ(0020_{16}～$003F_{16}$番地)をDMACでアクセスしないでください。

DMA0要因選択レジスタ



シンボル	アドレス	リセット後の値
DM0SL	$03B8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	RW
DSEL0	DMA要求要因選択ビット	注1を参照してください	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
―― (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		――
DMS	DMA要因拡張選択ビット	0：基本要因 1：拡張要因	RW
DSR	ソフトウエアDMA要求ビット	DMSビットが“0”(基本要因)、DSEL3～DSEL0ビットが“0001_2”(ソフトウエアトリガ)のとき、このビットを“1”にするとDMA要求が発生する(読んだ場合、その値は“0”)	RW

注1.　DMA0の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3～DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
0000_2	$\overline{\text{INT0}}$端子の立ち下がりエッジ	-
0001_2	ソフトウエアトリガ	-
0010_2	タイマA0	-
0011_2	タイマA1	-
0100_2	タイマA2	-
0101_2	タイマA3	-
0110_2	タイマA4	$\overline{\text{INT0}}$端子の両エッジ
0111_2	タイマB0	-
1000_2	タイマB1	-
1001_2	タイマB2	-
1010_2	UART0送信	-
1011_2	UART0受信	-
1100_2	UART2送信	-
1101_2	UART2受信	-
1110_2	A/D変換	-
1111_2	UART1送信	-

図11.2. DM0SLレジスタ

DMA1要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
DM1SL	$03BA_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	RW
DSEL0	DMA要求要因選択ビット	注1を参照してください	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
―― (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		――
DMS	DMA要因拡張選択ビット	0 : 基本要因 1 : 拡張要因	RW
DSR	ソフトウエアDMA要求ビット	DMSビットが“0”(基本要因)、DSEL3～DSEL0ビットが“0001_2”(ソフトウエアトリガ)のとき、このビットを“1”にするとDMA要求が発生する(読んだ場合、その値は“0”)	RW

注1.　DMA1の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3～DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
0 0 0 0_2	INT1端子の立ち下がりエッジ	-
0 0 0 1_2	ソフトウエアトリガ	-
0 0 1 0_2	タイマA0	-
0 0 1 1_2	タイマA1	-
0 1 0 0_2	タイマA2	-
0 1 0 1_2	タイマA3	-
0 1 1 0_2	タイマA4	-
0 1 1 1_2	タイマB0	INT1端子の両エッジ
1 0 0 0_2	タイマB1	-
1 0 0 1_2	タイマB2	-
1 0 1 0_2	UART0送信	-
1 0 1 1_2	UART0受信	-
1 1 0 0_2	UART2送信	-
1 1 0 1_2	UART2受信/ACK2	-
1 1 1 0_2	A/D変換	-
1 1 1 1_2	UART1受信	-

DMAi制御レジスタ(i=0、1)

b7 b6 b5 b4 b3 b2 b1 b1

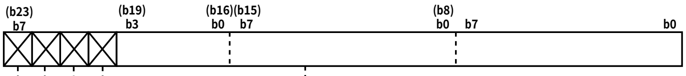
シンボル	アドレス	リセット後の値
DM0CON	$002C_{16}$番地	$00000X00_2$
DM1CON	$003C_{16}$番地	$00000X00_2$

ビットシンボル	ビット名	機　能	RW
DMBIT	転送単位ビット数選択ビット	0 : 16ビット 1 : 8ビット	RW
DMASL	リピート転送モード選択ビット	0 : 単転送 1 : リピート転送	RW
DMAS	DMA要求ビット	0 : 要求なし 1 : 要求あり	RW (注1)
DMAE	DMA許可ビット	0 : 禁止 1 : 許可	RW
DSD	転送元アドレス方向選択ビット(注2)	0 : 固定 1 : 順方向	RW
DAD	転送先アドレス方向選択ビット(注2)	0 : 固定 1 : 順方向	RW
―― (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		――

注1.　DMASビットは“0”のみ書けます。
注2.　DADビット、DSDビットのうち、少なくともいずれか1ビットは“0”(アドレス方向は固定)にしてください。

図11.3.　DM1SL、DM0CON、DM1CONレジスタ

DMAiソースポインタ(i=0、1)(注1)

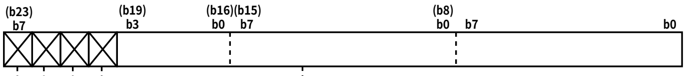


シンボル	アドレス	リセット後の値
SAR0	0022_{16}番地 ～0020_{16}番地	不定
SAR1	0032_{16}番地 ～0030_{16}番地	不定

機　能	設定範囲	RW
転送元番地を設定してください	00000_{16}～$FFFFF_{16}$	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1.　DMiCONレジスタのDSDビットが“0”(固定)の場合は、DMiCONレジスタのDMAEビットが“0”(DMA禁止)のとき書いてください。
DSDビットが“1”(順方向)の場合は、いつでも書けます。
DSDビットが“1”かつDMAEビットが“1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

DMAiディスティネーションポインタ(i=0、1)(注1)

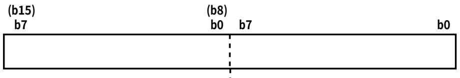


シンボル	アドレス	リセット後の値
DAR0	0026_{16}番地 ～ 0024_{16}番地	不定
DAR1	0036_{16}番地 ～ 0034_{16}番地	不定

機　能	設定範囲	RW
転送先番地を設定してください	00000_{16}～$FFFFF_{16}$	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1.　DMiCONレジスタのDADビットが“0”(固定)の場合は、DMiCONレジスタのDMAEビットが“0”(DMA禁止)のとき書いてください。
DADビットが“1”(順方向)の場合は、いつでも書けます。
DADビットが“1”かつDMAEビットが“1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

DMAi転送カウンタ(i=0、1)



シンボル	アドレス	リセット後の値
TCR0	0029_{16}番地-0028_{16}番地	不定
TCR1	0039_{16}番地-0038_{16}番地	不定

機　能	設定範囲	RW
転送回数−1を設定してください。書いた値はDMAi転送カウンタリロードレジスタに格納され、DMiCONレジスタのDMAEビットを“1”(DMA許可)にしたとき、またはDMiCONレジスタのDMASLビットが“1”(リピート転送)でDMAi転送カウンタがアンダフローしたとき、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタへ転送されます。 読んだ場合、DMAi転送カウンタが読めます。	0000_{16}～$FFFF_{16}$	RW

図11.4.　SAR0、SAR1、DAR0、DAR1、TCR0、TCR1レジスタ

11.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。また、ソフトウエアウエイトにより、バスサイクル自体が長くなります。

11.1.1 転送元番地、転送先番地の影響

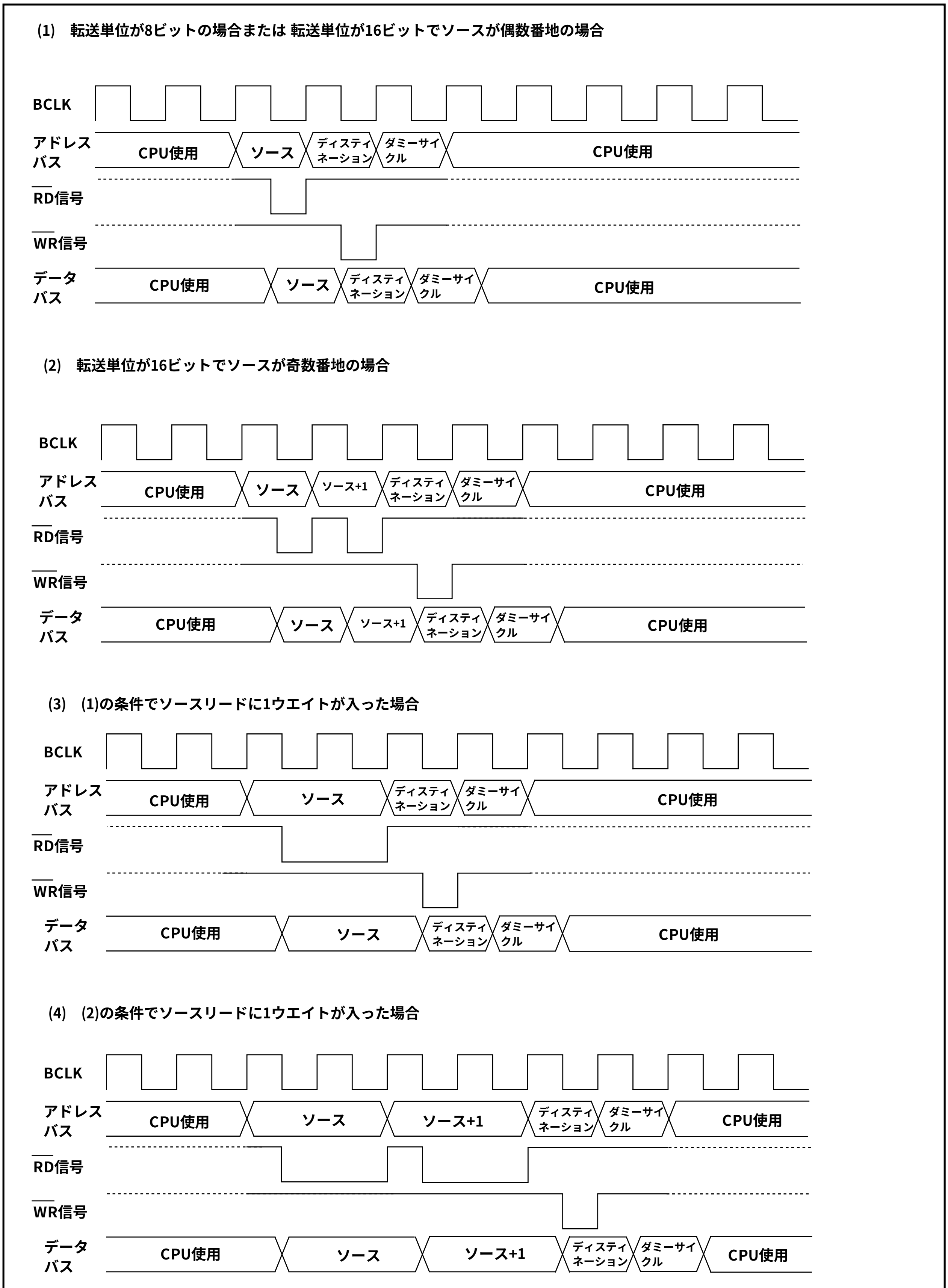
転送単位が16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位が16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

11.1.2 ソフトウエアウエイトの影響

ソフトウエアウエイトが入るメモリまたはSFRをアクセスする場合、ソフトウエアウエイトの分だけ1バスサイクルに要するサイクル数が増えます。

図11.5にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、ソースアドレス、ディスティネーションアドレスがともに奇数番地の場合(図11.5の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図11.5. ソースリードサイクル例

11.2 DMA転送サイクル数

DMA転送サイクル数は次のとおり計算できます。
表11.2にDMAC転送サイクル数を示します。

1転送単位の転送サイクル数 =読み出しサイクル数 × j + 書き込みサイクル 数 × k

表11.2. DMA転送サイクル数

転送単位	アクセス番地	読み出しサイクル数	書き込みサイクル数
8ビット転送 (DMBIT=“1”)	偶数	1	1
	奇数	1	1
16ビット転送 (DMBIT=“0”)	偶数	1	1
	奇数	2	2

係数 j,k

	内部領域		
	内部ROM、RAM		SFR
	ウエイトなし	ウエイトあり	
j	1	2	2
k	1	2	2

11.3 DMA許可

DMiCONレジスタのDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMACは次のように動作します。

(a) DMiCONレジスタ(i=0、1)のDSDビットが“1”(順方向)の場合はSARiレジスタの、DMiCONレジスタのDADビットが“1”(順方向)の場合はDARiレジスタの値を順方向アドレスポインタへリロードする
(b) DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

(1) DMiCONレジスタ(i=0、1)のDMAEビットとDMASビットに同時に“1”を書く。
(2) DMAiが初期状態(上記(a)(b)の状態)になっていることをプログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

11.4 DMA要求

DMACは、チャネルごとにDMiSLレジスタ(i=0、1)のDMSビット、DESL3～DESL0ビットで選択した要因をトリガとして、DMA要求を発生できます。表11.3にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL3～DESL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL3～DESL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表11.3. DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウエアトリガ	DMiCONレジスタのDSRビットを“1”にしたとき	・データ転送開始直前 ・プログラムで“0”を書いたとき
周辺機能	DMiCONレジスタのDSEL3～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

11.5 チャネルの優先順位とDMA転送タイミング

DMA0とDMA1の両方が許可されている場合、DMA0とDMA1のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャネルのDMASビットは同時に“１”(要求あり)になります。この場合のチャネル優先順位はDMA0＞DMA1です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図11.6に外部要因によるDMA転送例を示します。

図11.6ではDMA0の要求とDMA1の要求が同時に発生したので、チャネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャネル1ビットですので、DMA要求の回数はカウントできません。したがって、図11.6のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“０”にして、1転送単位終了後、CPUにバス使用権を返します。

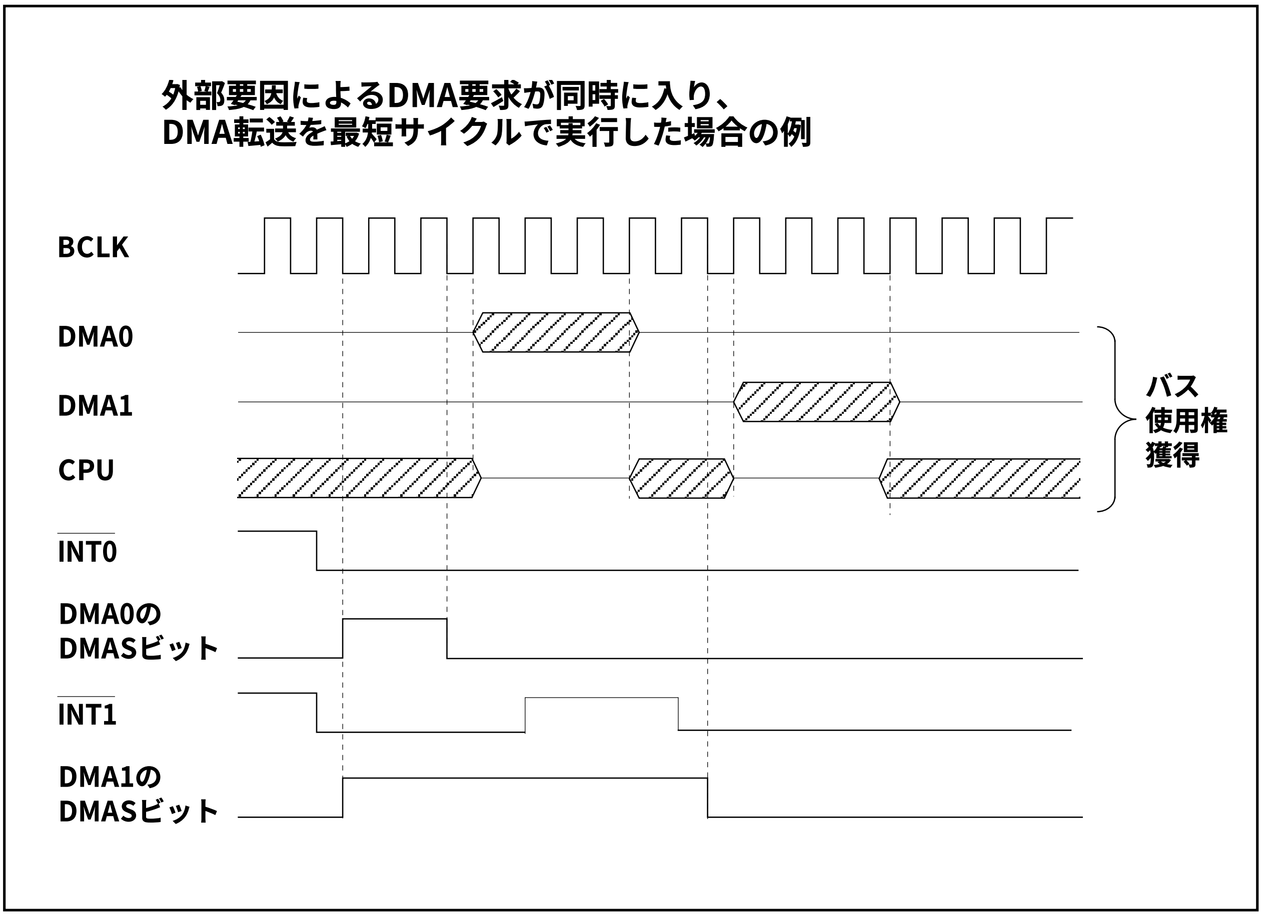


図11.6.　外部要因によるDMA転送例

12. タイマ

16ビットタイマが8本あります。8本のタイマは、持っている機能によってタイマA(5本)とタイマB(3本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図12.1にタイマA構成、図12.2にタイマB構成を示します。

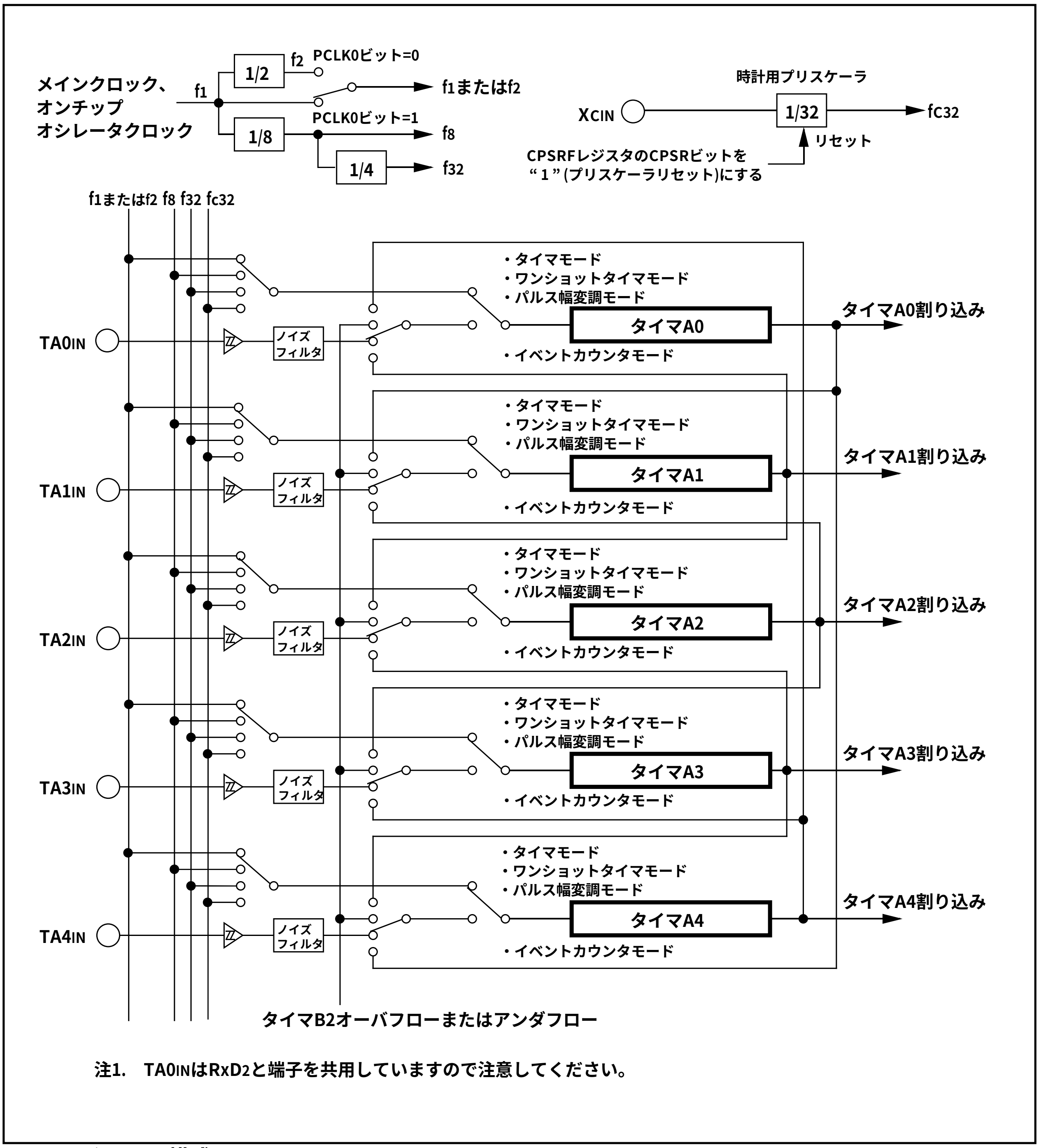


図12.1. タイマA構成

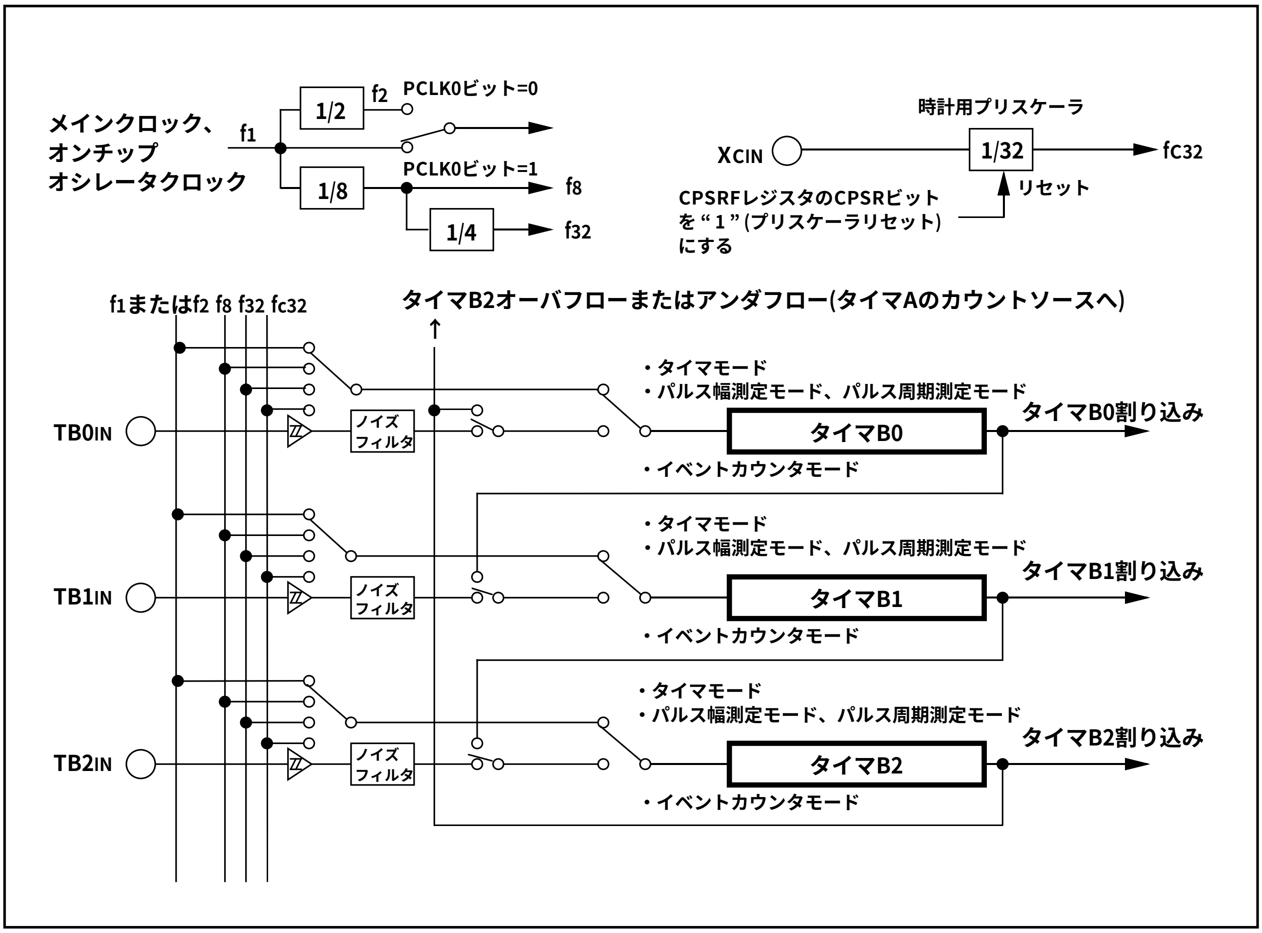

メインクロック、
オンチップ
オシレータクロック
f1
1/2
f2
PCLK0ビット=0
1/8
PCLK0ビット=1
f8
1/4
f32
時計用プリスケーラ
XCIN
1/32
fC32
リセット
CPSRFレジスタのCPSRビット
を“1”(プリスケーラリセット)
にする
f1またはf2 f8 f32 fc32
タイマB2オーバフローまたはアンダフロー(タイマAのカウントソースへ)
・タイマモード
・パルス幅測定モード、パルス周期測定モード
TB0IN
ノイズ
フィルタ
タイマB0
タイマB0割り込み
・イベントカウンタモード
TB1IN
タイマB1
タイマB1割り込み
TB2IN
タイマB2
タイマB2割り込み

図12.2. タイマB構成

12.1 タイマA

図12.3にタイマAブロック図、図12.4～図12.6にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード　　　　　　内部カウントソースをカウントするモード
- ・イベントカウンタモード　外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- ・ワンショットタイマモード　カウント値が“000016”になるまでの間、1度だけパルスを出力するモード
- ・パルス幅変調モード　　　任意の幅のパルスを連続して出力するモード

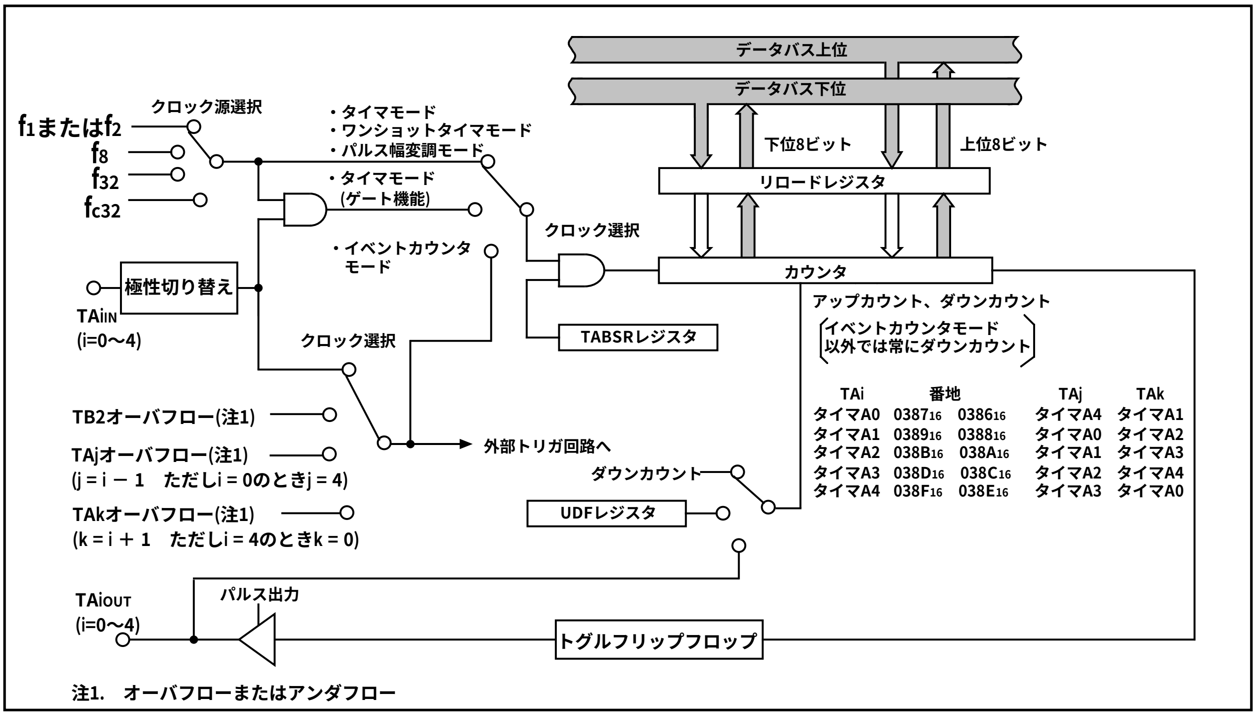


図12.3. タイマAブロック図

タイマAiモードレジスタ(i=0～4)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TA0MR～TA4MR	039616～039A16番地	0016

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調(PWM)モード	RW
TMOD1			RW
MR0	動作モードによって機能が異なる		RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		RW
TCK1			RW

図12.4. TA0MR～TA4MRレジスタ

タイマAiレジスタ(i=0～4)(注1)

(b15) b7 ／ (b8) b0 b7 ／ b0

シンボル	アドレス	リセット後の値
TA0	0387_{16}-0386_{16}番地	不定
TA1	0389_{16}-0388_{16}番地	不定
TA2	$038B_{16}$-$038A_{16}$番地	不定
TA3	$038D_{16}$-$038C_{16}$番地	不定
TA4	$038F_{16}$-$038E_{16}$番地	不定

モード	機　能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000_{16}～$FFFF_{16}$	RW
イベントカウンタモード	設定値をnとすると、アップカウント時、カウントソースを$FFFF_{16}$-n+1分周し、ダウンカウント時、カウントソースをn+1分周する　(注5)	0000_{16}～$FFFF_{16}$	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する	0000_{16}～$FFFF_{16}$ (注2、注4)	WO
パルス幅変調モード (16ビットPWM)	設定値をn、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期 : $(2^{16}-1)$ / fj PWMパルスの“H”幅 : n / fj	0000_{16}～$FFFE_{16}$ (注3、注4)	WO
パルス幅変調モード (8ビットPWM)	上位番地の設定値をn、下位番地の設定値をm、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期 : $(2^{8}-1)\times(m+1)$ / fj PWMパルスの“H”幅 : (m+1)n / fj	00_{16}～FE_{16} (上位番地) 00_{16}～FF_{16} (下位番地) (注3、注4)	WO

注1.　16ビット単位でアクセスしてください。
注2.　TAiレジスタを“0000_{16}”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAi_{OUT}端子からパルスは出力されません。
注3.　TAiレジスタを“0000_{16}”にした場合、パルス幅変調器は動作せず、TAi_{OUT}端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットに“00_{16}”を設定した場合も同様です。
注4.　TAiレジスタへはMOV命令を使用して書いてください。
注5.　外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TABSR	0380_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

アップダウンフラグ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
UDF	0384_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TA0UD	タイマA0アップダウンフラグ	0 : ダウンカウント 1 : アップカウント イベントカウンタモード時、TAiMRレジスタのMR2ビットを“0”(切り替え要因はUDFレジスタ)にすると有効になります	RW
TA1UD	タイマA1アップダウンフラグ		RW
TA2UD	タイマA2アップダウンフラグ		RW
TA3UD	タイマA3アップダウンフラグ		RW
TA4UD	タイマA4アップダウンフラグ		RW
TA2P	タイマA2二相パルス信号処理機能選択ビット	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可 (注2、注3)	WO
TA3P	タイマA3二相パルス信号処理機能選択ビット		WO
TA4P	タイマA4二相パルス信号処理機能選択ビット		WO

注1.　UDFレジスタへはMOV命令を使用して書いてください。
注2.　$TA2_{IN}$～$TA4_{IN}$、$TA2_{OUT}$～$TA4_{OUT}$端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注3.　二相パルス信号処理機能を使用しない場合、タイマA2～タイマA4に対応するビットを“0”にしてください。

図12.5. TA0～TA4、TABSR、UDFレジスタ

ワンショット開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0（b5 = 0）

シンボル	アドレス	リセット後の値
ONSF	0382_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TA0OS	タイマA0ワンショット開始フラグ	TAiMRレジスタ(i=0〜4)のTMOD1〜0ビットが“10_2”(ワンショットタイマモード)、かつTAiMRレジスタのMR2ビットが“0”(TAiOSビット有効)の場合、このビットを“1”にすると、タイマのカウントを開始する。読んだ場合、その値は“0”。	RW
TA1OS	タイマA1ワンショット開始フラグ		RW
TA2OS	タイマA2ワンショット開始フラグ		RW
TA3OS	タイマA3ワンショット開始フラグ		RW
TA4OS	タイマA4ワンショット開始フラグ		RW
(b5)	予約ビット	“0”にしてください	RW
TA0TGL	タイマA0イベント／トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択(注2) 1 0 : TA4のオーバフローを選択(注2) 1 1 : TA1のオーバフローを選択(注2)	RW
TA0TGH			RW

注1.　PD7レジスタのPD7_1ビットを“0”(入力モード)にしてください。
注2.　オーバフローまたはアンダフロー

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TRGSR	0383_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TA1TGL	タイマA1イベント／トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択(注2) 1 0 : TA0のオーバフローを選択(注2) 1 1 : TA2のオーバフローを選択(注2)	RW
TA1TGH			RW
TA2TGL	タイマA2イベント／トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択(注2) 1 0 : TA1のオーバフローを選択(注2) 1 1 : TA3のオーバフローを選択(注2)	RW
TA2TGH			RW
TA3TGL	タイマA3イベント／トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択(注2) 1 0 : TA2のオーバフローを選択(注2) 1 1 : TA4のオーバフローを選択(注2)	RW
TA3TGH			RW
TA4TGL	タイマA4イベント／トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択(注2) 1 0 : TA3のオーバフローを選択(注2) 1 1 : TA0のオーバフローを選択(注2)	RW
TA4TGH			RW

注1.　TA1IN〜TA4IN端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注2.　オーバフローまたはアンダフロー

時計用プリスケーラリセットフラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
CPSRF	0381_{16}番地	$0XXXXXXX_2$

ビットシンボル	ビット名	機　能	RW
― (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		―
CPSR	時計用プリスケーラリセットフラグ	このビットを“1”にすると時計用プリスケーラが初期化される(読んだ場合、その値は“0”)	RW

図12.6. ONSF、TRGSR、CPSRFレジスタ

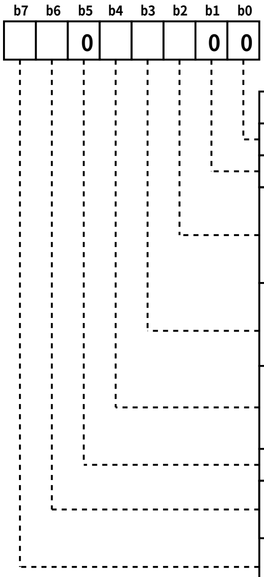
12.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.1)。図12.7にタイマモード時のTAiMRレジスタを示します。

表12.1. タイマモードの仕様

項　　目	仕　　様
カウントソース	f_1、f_2、f_8、f_{32}、f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:TAiMRレジスタ(i=0〜4)の設定値　0000_{16}〜$FFFF_{16}$
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAi_{IN}端子機能	入出力ポートまたはゲート入力
TAi_{OUT}端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	●ゲート機能 TAi_{IN}端子の入力信号によってカウント開始、停止が可能 ●パルス出力機能 アンダフローするごとにTAi_{OUT}端子の出力極性が反転。カウント停止中は“L”を出力

タイマAiモードレジスタ(i=0〜4)



シンボル	アドレス	リセット後の値
TA0MR〜TA4MR	0396_{16}〜$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAi_{OUT}端子は入出力ポート) 1 : パルス出力あり(注1) (TAi_{OUT}端子はパルス出力端子)	RW
MR1	ゲート機能選択ビット	b4 b3 0 0: } ゲート機能なし 0 1: } (TAi_{IN}端子は入出力ポート) 1 0: TAi_{IN}端子に“L”が入力されている期間カウントする(注2) 1 1: TAi_{IN}端子に“H”が入力されている期間カウントする(注2)	RW
MR2			RW
MR3	タイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1またはf_2 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	RW
TCK1			RW

注1. $TA0_{OUT}$端子はNチャネルオープンドレイン出力。
注2. TAi_{IN}端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図12.7. タイマモード時のTAiMRレジスタ

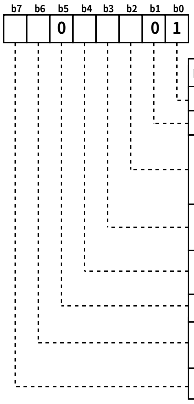
12.1.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2、A3、A4は二相の外部信号をカウントできます。表12.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図12.8にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)を示します。

表12.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項　　目	仕　　様
カウントソース	●TAiIN端子(i=0～4)に入力された外部信号(プログラムで有効エッジを選択可能) ●タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i－1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント動作	●アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:TAiレジスタの設定値　000016～FFFF16
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	●フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない ●パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。カウント停止中は“L”を出力

タイマAiモードレジスタ(i=0～4)(二相パルス信号処理を使用しない場合)



シンボル　TA0MR～TA4MR　アドレス　039616～039A16番地　リセット後の値　0016

ビットシンボル	ビット名	機　　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり(注2) (TAiOUT端子はパルス出力端子)	RW
MR1	カウント極性選択ビット(注3)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	RW
MR2	アップ／ダウン切り替え要因選択ビット	0 : UDFレジスタ 1 : TAiOUT端子の入力信号(注4)	RW
MR3	イベントカウンタモードでは“0”にしてください		RW
TCK0	カウントタイプ選択ビット	0 :リロードタイプ 1 :フリーランタイプ	RW
TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可		RW

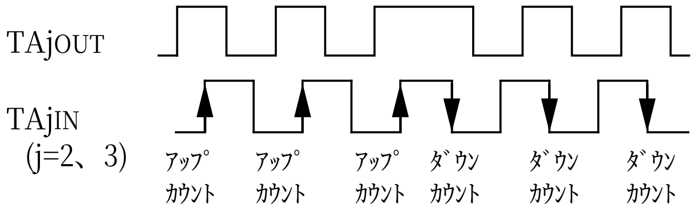
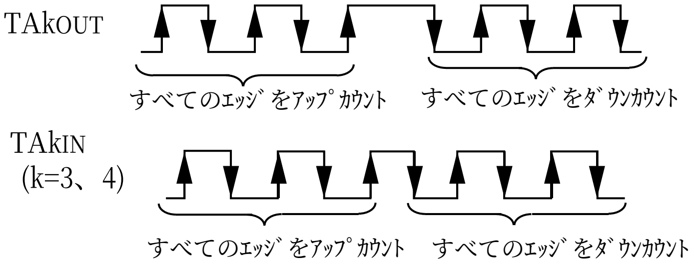
注1.　イベントカウンタモードではカウントソースをONSFレジスタ、TRGSRレジスタで選択できます。
注2.　TA0OUT端子はNチャネルオープンドレイン出力。
注3.　ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“002”(TAiIN端子の入力)のとき有効。
注4.　TAiOUT端子に“L”が入力されているときダウンカウント、“H”が入力されているときアップカウントします。
TAiOUT端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図12.8. イベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)

RENESAS

表12.3にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)、図12.9にイベントカウンタモード時のTA2MR〜TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

表12.3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項　目	仕　様
カウントソース	●TAiIN、TAiOUT端子(i＝2〜4)に入力された二相パルス信号
カウント動作	●アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	●アップカウント時　1/($FFFF_{16}$−n+1) ●ダウンカウント時　1/(n+1)　　n:TAiレジスタの設定値　0000_{16}〜$FFFF_{16}$
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能(注1)	●通常処理動作(タイマA2、タイマA3) TAjOUT端子(j=2、3)の入力信号が“H”の期間、TAjIN端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。  ●4逓倍処理動作(タイマA3、タイマA4) TAkOUT端子(k=2、3)の入力信号が“H”の期間にTAkIN端子が立ち上がる位相関係の場合、TAkOUT、TAkIN端子の立ち上がり、立ち下がりをアップカウントします。TAkOUT端子の入力信号が“H”の期間にTAkIN端子が立ち下がる位相関係の場合、TAkOUT、TAkIN端子の立ち上がり、立ち下がりをダウンカウントします。 

注1.　タイマA3は選択できます。タイマA2は通常処理動作、タイマA4は4逓倍処理動作です。

タイマAiモードレジスタ(i=2～4)(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0	0	0	1

シンボル	アドレス	リセット後の値
TA2MR～TA4MR	0398_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	RW
TMOD1			RW
MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	RW
TCK1	二相パルス処理動作選択ビット(注1)(注2)	0 : 通常処理動作 1 : 4逓倍処理動作	RW

注1.　タイマA3は選択できます。このビットにかかわらずタイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。
注2.　二相パルス信号処理を行う場合、次のとおりしてください。
- UDFレジスタのTAiPビットを“1”(二相パルス信号処理機能を許可)にする
- TRGSRレジスタのTAiTGH、TAiTGLビットを“00_2”(TAi_{IN}端子入力)にする
- TAi_{IN}、TAi_{OUT}に対応するポート方向ビットを“0”(入力モード)にする

図12.9.　イベントカウンタモード時のTA2MRレジスタ～TA4MRレジスタ
(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

12.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表12.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図12.10にワンショットタイマモード時のTAiMRレジスタを示します。

表12.4. ワンショットタイマモードの仕様

項　目	仕　様
カウントソース	f_1、f_2、f_8、f_{32}、fC_{32}
カウント動作	●ダウンカウント ●カウンタが0000_{16}になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0～4)の設定値　0000_{16}～$FFFF_{16}$ ただし、0000_{16}を設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 ●TAiIN端子からの外部トリガ入力 ●タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i－1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー ●ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	●カウント値が0000_{16}になりリロードした後 ●TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が0000_{16}になるタイミング
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	●パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

タイマAiモードレジスタ(i=0～4)

b7	b6	b5	b4	b3	b2	b1	b0
		0				1	0

シンボル	アドレス	リセット後の値
TA0MR～TA4MR	0396_{16}～$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット(注2)	0 : TAiIN端子の入力信号の立ち下がり(注3) 1 : TAiIN端子の入力信号の立ち上がり(注3)	RW
MR2	トリガ選択ビット	0 : TAiOSビットが有効 1 : TAiTGH～TAiTGLビットで選択	RW
MR3	ワンショットタイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1またはf_2 0 1 : f_8 1 0 : f_{32} 1 1 : fC_{32}	RW
TCK1			RW

注1. TA0OUT端子はNチャネルオープンドレイン出力。
注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00_2”(TAiIN端子の入力)のとき有効。
注3. TAiIN端子に対応するポート方向ビットは“0”(入力モード)に してください。

図12.10. ワンショットタイマモード時のTAiMRレジスタ

12.1.4 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです(表12.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図12.11にパルス幅変調モード時のTAiMRレジスタ、図12.12に16ビットパルス幅変調器の動作例、図12.13に8ビットパルス幅変調器の動作例を示します。

表12.5. パルス幅変調モードの仕様

項　　目	仕　　様
カウントソース	f_1、f_2、f_8、f_{32}、fC_{32}
カウント動作	●ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	●“H”幅　n / fj　　n:TAiレジスタの設定値(i=0〜4) ●周期　$(2^{16}-1)$ / fj固定　fj:カウントソースの周波数(f_1、f_2、f_8、f_{32}、fC_{32})
8ビットPWM	●“H”幅　n×(m+1) / fj　　n:TAiレジスタの上位番地の設定値 ●周期　$(2^{8}-1)$×(m+1) / fj　　m:TAiレジスタの下位番地の設定値
カウント開始条件	●TABSRレジスタのTAiSビットを“1”(カウント開始)にする ●TAiSビットが“1”で、かつTAi_{IN}端子からの外部トリガ入力 ●TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i－1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント停止条件	●TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAi_{IN}端子機能	入出力ポートまたはトリガ入力
TAi_{OUT}端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマAiモードレジスタ(i=0〜4)

b7	b6	b5	b4	b3	b2	b1	b0
					1	1	1

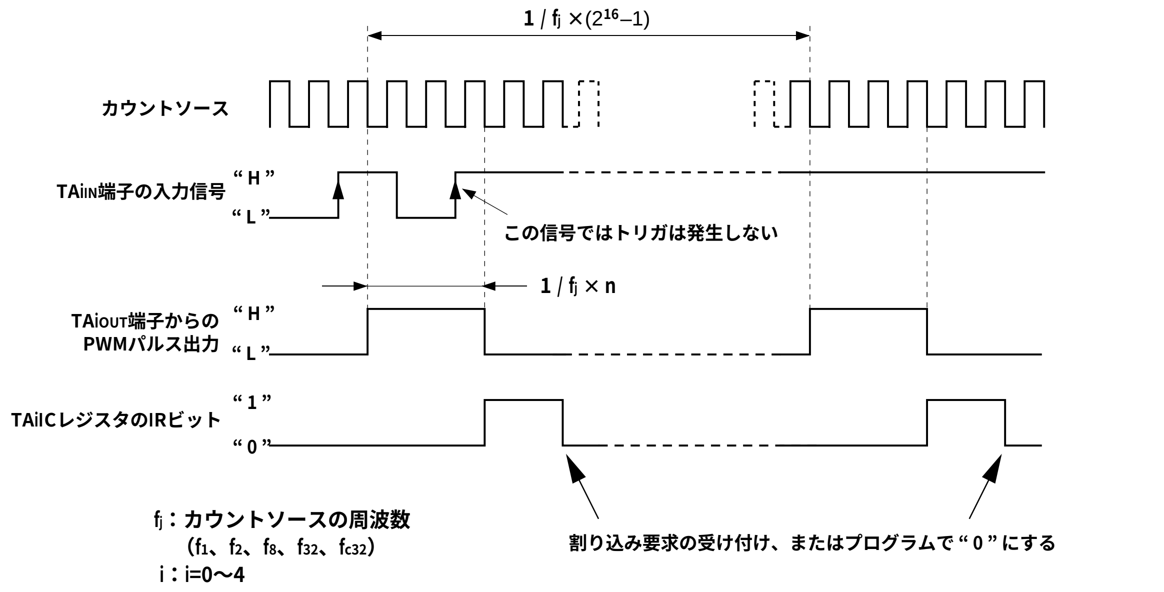
シンボル	アドレス	リセット後の値
TA0MR〜TA4MR	039_{16}〜$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1 : パルス幅変調(PWM)モード(注1)	RW
TMOD1			RW
MR0	PWMモードでは、“1”にしてください。		RW
MR1	外部トリガ選択ビット(注2)	0 : TAi_{IN}端子の入力信号の立ち下がり(注3) 1 : TAi_{IN}端子の入力信号の立ち上がり(注3)	RW
MR2	トリガ選択ビット	0 : TABSRレジスタのTAiSビットへの“1”書き込み 1 : TAiTGH〜TAiTGLビットで選択	RW
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1またはf_2 0 1 : f_8 1 0 : f_{32} 1 1 : fC_{32}	RW
TCK1			RW

注1. $TA0_{OUT}$端子はNチャネルオープンドレイン出力。
注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00_2”(TAi_{IN}端子の入力)のとき有効。
注3. TAi_{IN}端子に対応するポート方向ビットは“0”(入力モード)に してください。

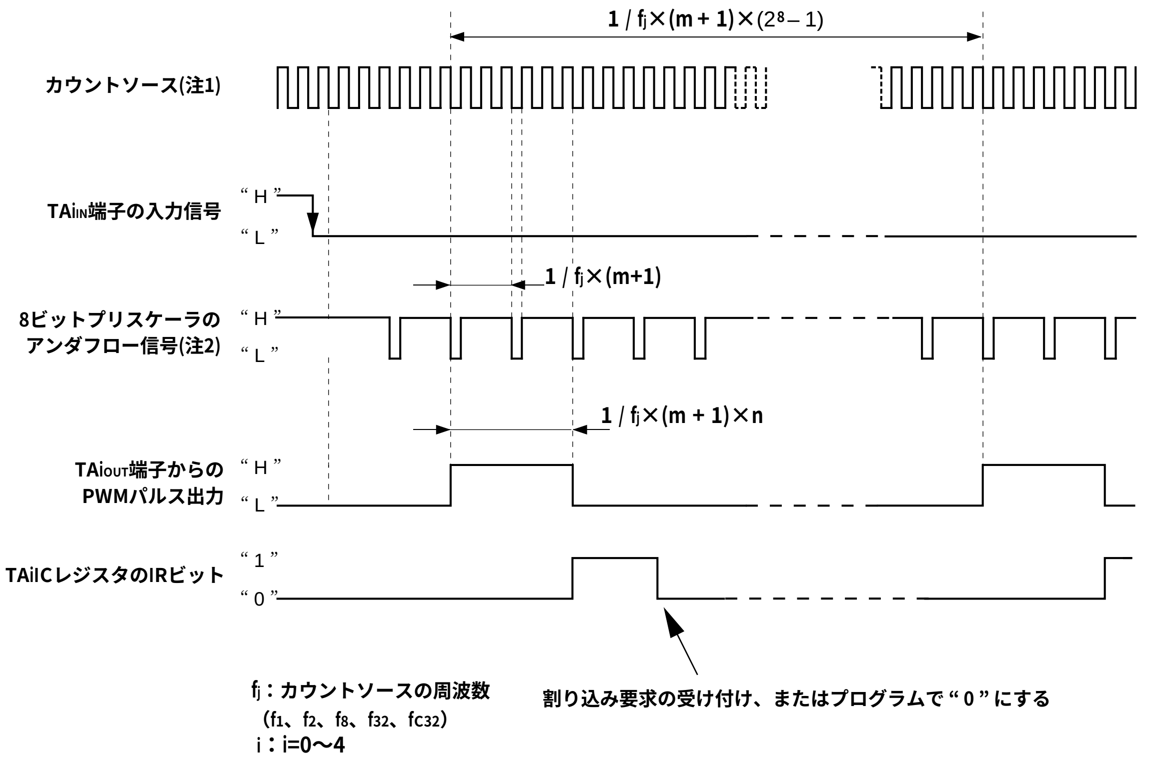
図12.11. パルス幅変調モード時のTAiMRレジスタ

RENESAS



注1. n=0000₁₆〜FFFE₁₆。
注2. この図はTAiレジスタが"0003₁₆"、ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが"00₂"(TAiIN端子の入力)、TAiMRレジスタのMR1ビットが"1"(立ち上がり)、TAiMRレジスタのMR2ビットが"1"(TAiTGH、TAiTGLビットでトリガ選択)の場合です。

図12.12. 16ビットパルス幅変調器の動作例



注1. 8ビットプリスケーラはカウントソースをカウントします。
注2. 8ビットパルス幅変調器は8ビットプリスケーラのアンダフロー信号をカウントします。
注3. m=00₁₆〜FF₁₆、n=00₁₆〜FE₁₆。
注4. この図はTAiレジスタが"0202₁₆"、ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが"00₂"(TAiIN端子の入力)、TAiMRレジスタのMR1ビットが"0"(立ち下がり)、TAiMRレジスタのMR2ビットが"1"(TAiTGH、TAiTGLビットでトリガ選択)の場合です。

図12.13. 8ビットパルス幅変調器の動作例

12.2 タイマB

図12.14にタイマBブロック図、図12.15、図12.16にタイマB関連レジスタを示します。

タイマBは次の3種類のモードがあり、モードは、TBiMRレジスタ(i=0～2)のTMOD1～TMOD0ビットで選択できます。

・タイマモード　　　　　　内部カウントソースをカウントするモード
・イベントカウンタモード　外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
・パルス周期測定モード、パルス幅測定モード
　　　　　　　　　　　　　外部パルスの周期またはパルス幅を測定するモード

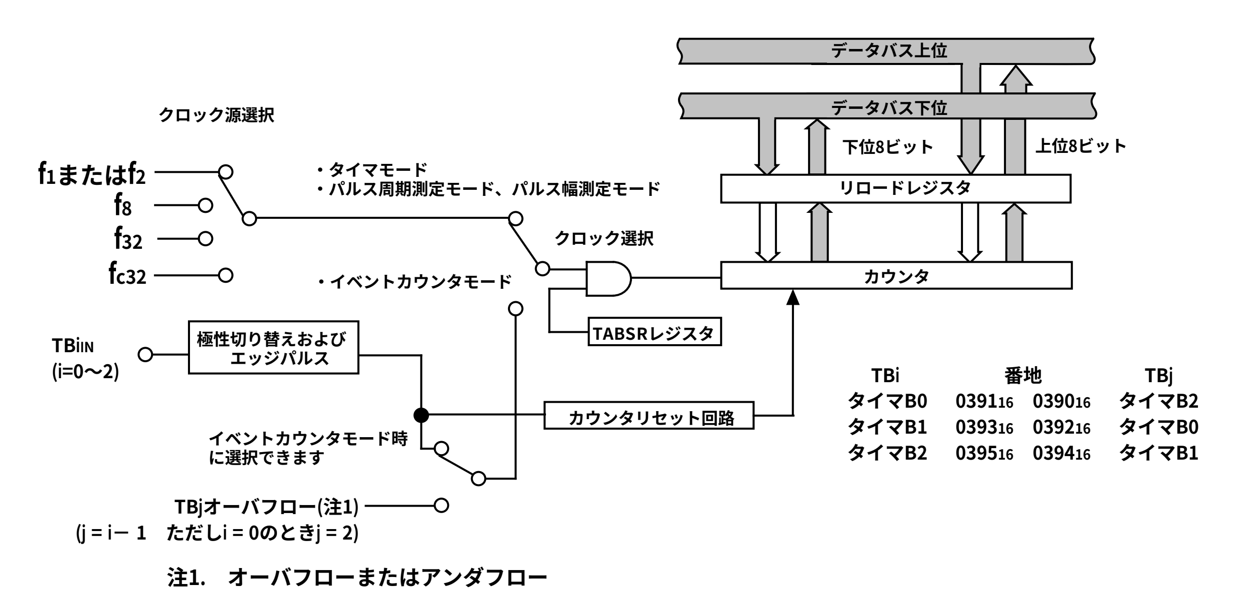


図12.14. タイマBブロック図

タイマBiモードレジスタ(i=0～2)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TB0MR～TB2MR	$039B_{16}$～$039D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定モード、パルス幅測定モード 1 1 : 設定しないでください	RW
TMOD1			RW
MR0	動作モードによって機能が異なる		RW
MR1			RW
MR2			RW (注1) — (注2)
MR3			RO
TCK0	カウントソース選択ビット（動作モードによって機能が異なる）		RW
TCK1			RW

注1.　タイマB0。
注2.　タイマB1、タイマB2。

図12.15. TB0MR～TB2MRレジスタ

タイマBiレジスタ(注1)

(b15) b7　(b8) b0 b7　b0

シンボル	アドレス	リセット後の値
TB0	0391$_{16}$-0390$_{16}$番地	不定
TB1	0393$_{16}$-0392$_{16}$番地	不定
TB2	0395$_{16}$-0394$_{16}$番地	不定

モード	機　能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	000$_{16}$～FFFF$_{16}$	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する(注2)	000$_{16}$～FFFF$_{16}$	RW
パルス周期測定モード パルス幅測定モード	パルス周期またはパルス幅を測定する	——	RO

注1.　16ビット単位でアクセスしてください。
注2.　外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TABSR	0380$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	RW
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

時計用プリスケーラリセットフラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
CPSRF	0381$_{16}$番地	0XXXXXXX$_2$

ビットシンボル	ビット名	機　能	RW
—— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケーラリセットフラグ	このビットを“1”にすると時計用プリスケーラが初期化される (読んだ場合、その値は“0”)	RW

図12.16.　TB0～TB2、TABSR、CPSRFレジスタ

12.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.6)。図12.17にタイマモード時のTBiMRレジスタを示します。

表12.6. タイマモードの仕様

項　　目	仕　　様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:TBiMRレジスタの設定値(i=0～2)　0000_{16}～$FFFF_{16}$
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマBiモードレジスタ(i=0～2)

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット後の値
TB0MR～TB2MR	$039B_{16}$～$039D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	RW
TMOD1			RW
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		RW
MR1			RW
MR2	TB0MRレジスタの場合 タイマモードでは“0”にしてください。		RW
	TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	タイマモードでは無効。 書く場合、“0”を書いてください。 タイマモードで読んだ場合、その値は不定。		RO
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1またはf2 0 1 : f8 1 0 : f32 1 1 : fC32	RW
TCK1			RW

図12.17. タイマモード時のTBiMRレジスタ

RENESAS

12.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです(表12.7)。図12.18にイベントカウンタモード時のTBiMRレジスタを示します。

表12.7. イベントカウンタモードの仕様

項　目	仕　様
カウントソース	●TBiIN端子(i=0～2)に入力された外部信号(プログラムで有効エッジを選択可能) ●タイマBj(j=i－1、ただしi=0 のときj=2)のオーバフロー
カウント動作	●ダウンカウント ●アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	●1/(n+1)　n:TBiレジスタの設定値　0000_{16}～$FFFF_{16}$
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	●カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ●カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマBiモードレジスタ(i=0～2)

b7	b6	b5	b4	b3	b2	b1	b0
						0	1

シンボル	アドレス	リセット後の値
TB0MR～TB2MR	$039B_{16}$～$039D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	RW
TMOD1			RW
MR0	カウント極性選択ビット(注1)	b3 b2 0 0 : 外部信号の立ち下がりをカウント 0 1 : 外部信号の立ち上がりをカウント 1 0 : 外部信号の立ち下がりと立ち上がりをカウント 1 1 : 設定しないでください	RW
MR1			RW
MR2	TB0MRレジスタの場合 イベントカウンタモードでは“0”にしてください。		RW
	TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	イベントカウンタモードでは無効。 書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。		RO
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		RW
TCK1	イベントクロック選択	0 : TBiIN端子からの入力(注2) 1 : TBjのオーバフローまたはアンダフロー (j = i - 1　ただしi = 0のときj = 2)	RW

注1. TCK1ビットが“0”(TBiIN端子からの入力)の場合に有効です。TCK1ビットが“1”(TBjのオーバフローまたはアンダフロー)の場合は、“0”でも“1”でも可。
注2. TBiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図12.18. イベントカウンタモード時のTBiMRレジスタ

12.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表12.8)。図12.19にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタを示します。図12.20にパルス周期測定時の動作図、図12.21にパルス幅測定時の動作図を示します。

表12.8. パルス周期測定モード、パルス幅測定モードの仕様

項　　目	仕　　様
カウントソース	f_1、f_2、f_8、f_{32}、f_{C32}
カウント動作	●アップカウント ●測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000_{16}”にしてカウントを継続
カウント開始条件	●TBiSビット(i=0～2)を“1”(カウント開始)にする
カウント停止条件	●TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	●測定パルスの有効エッジ入力時(注1) ●オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になります。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1.　カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。
注2.　カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。

タイマBiモードレジスタ(i=0～2)

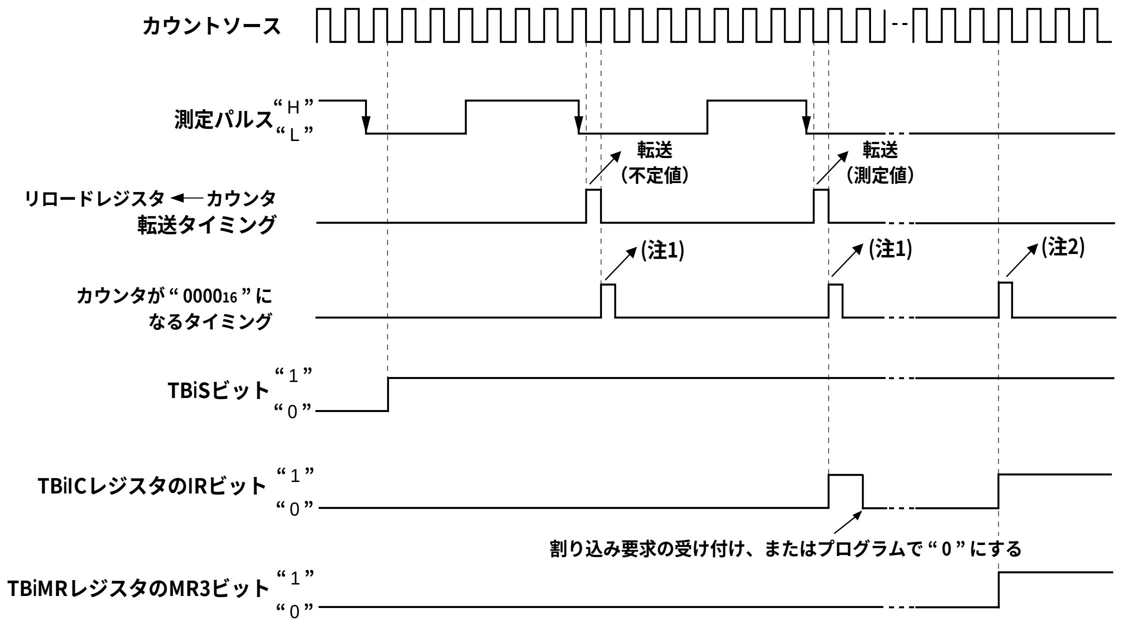
b7	b6	b5	b4	b3	b2	b1	b0
						1	0

シンボル: TB0MR～TB2MR　　アドレス: $039B_{16}$～$039D_{16}$番地　　リセット後の値: $00XX0000_2$

ビットシンボル	ビット名	機　　能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定モード、パルス幅測定モード	RW
TMOD1			RW
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 (測定パルスの立ち下がりから次の立ち下がり間の測定) 0 1 : パルス周期測定 (測定パルスの立ち上がりから次の立ち上がり間の測定) 1 0 : パルス幅測定 (測定パルスの立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定) 1 1 : 設定しないでください	RW
MR1			RW
MR2	TB0MRレジスタの場合 パルス周期測定モード、パルス幅測定モードでは“0”にしてください。		RW
	TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり	RO
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1またはf_2 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	RW
TCK1			RW

注1.　リセット後は不定です。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバフローあり)になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。MR3ビットをプログラムで“1”にできません。

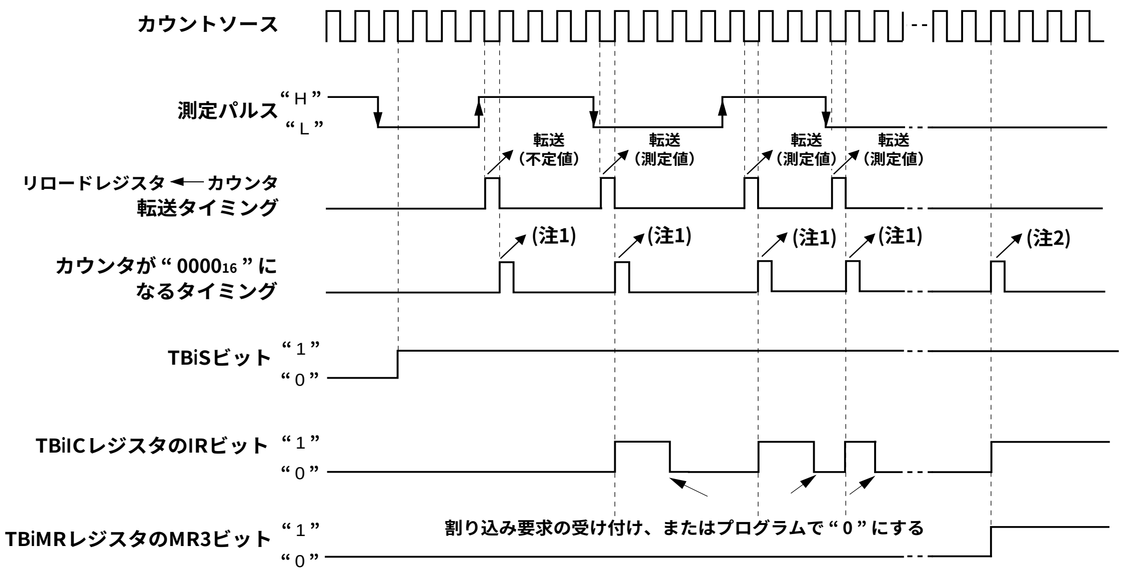
図12.19. パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ



i=0〜2

注1. 測定完了によるカウンタの初期化。
注2. オーバフロー。
注3. この図はTBiMRレジスタのMR1〜0ビットが"00_2"(立ち下がりエッジから立ち下がりエッジまでを測定)の場合です。

図12.20. パルス周期測定時の動作図



i=0〜2

注1. 測定完了によるカウンタの初期化。
注2. オーバフロー。
注3. この図はTBiMRレジスタのMR1〜0ビットが"10_2"(立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定)の場合です。

図12.21. パルス幅測定時の動作図

12.3 三相モータ制御用タイマ機能

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。表12.9に三相モータ制御用タイマ機能の仕様を、図12.22に三相モータ制御用タイマ機能のブロック図を示します。また、図12.23～図12.29に三相モータ制御用タイマ機能関連レジスタを示します。

表12.9　三相モータ制御用タイマ機能の仕様

項　目	仕　様
三相波形出力端子	6本(U、$\overline{U}$、V、$\overline{V}$、W、$\overline{W}$)
強制遮断入力(注1)	$\overline{SD}$端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4：U、$\overline{U}$相波形制御 タイマA1：V、$\overline{V}$相波形制御 タイマA2：W、$\overline{W}$相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・正相レベルと逆相レベルを独立設定可能
搬送波周期	三角波変調：カウントソース×(m+1)×2 鋸波変調　：カウントソース×(m+1) m：TB2レジスタ設定値。0～65535　カウントソース：f_1、f_2、f_8、f_{32}、fc_{32}
三相PWM出力幅	三角波変調：カウントソース×n×2 鋸波変調　：カウントソース×n n：TA4、TA1、TA2、(INV11が“1”のときはTA4、TA41、TA1、TA11、TA2、 TA21)レジスタ設定値。1～65535 カウントソース：f_1、f_2、f_8、f_{32}、fc_{32}
短絡防止時間(幅)	カウントソース×p、または短絡防止時間なし p：DTTレジスタ設定値。1～255 カウントソース：f_1、f_2、f_1の2分周、f_2の2分周
アクティブレベル	“H”または“L”選択可能
正逆同時アクティブ禁止機能	正逆同時アクティブ禁止機能あり。正逆同時アクティブ検出機能あり。
割り込み頻度	タイマB2割り込みは、搬送波周期ごと～搬送波周期15回ごと選択

注1. INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能)のとき、$P8_5$/$\overline{SD}$端子は$\overline{SD}$機能が有効になります。この時、$P8_5$をプログラマブル入出力ポートとして使用できません。$\overline{SD}$機能を使用しない場合は$P8_5$/$\overline{SD}$端子に“H”を入力してください。
TB2SCレジスタのIVPCR1ビットが“1”($\overline{SD}$端子入力による三相出力強制遮断を許可)のとき、$\overline{SD}$端子に“L”が入力されると対象端子は使用している機能に関係なくハイインピーダンス状態になります。IVPCR1ビットが“0”($\overline{SD}$端子入力による三相出力強制遮断を禁止)のとき、$\overline{SD}$端子に“L”が入力されると対象端子はプログラマブル入出力ポートとなり、ポートレジスタおよびポート方向レジスタの設定にしたがいます。

対象端子 $P7_2$/CLK_2/$TA1_{OUT}$/V
$P7_3$/$\overline{CTS_2}$/$\overline{RTS_2}$/$TA1_{IN}$/$\overline{V}$
$P7_4$/$TA2_{OUT}$/W
$P7_5$/$TA2_{IN}$/$\overline{W}$
$P8_0$/$TA4_{OUT}$/U
$P8_1$/$TA4_{IN}$/$\overline{U}$

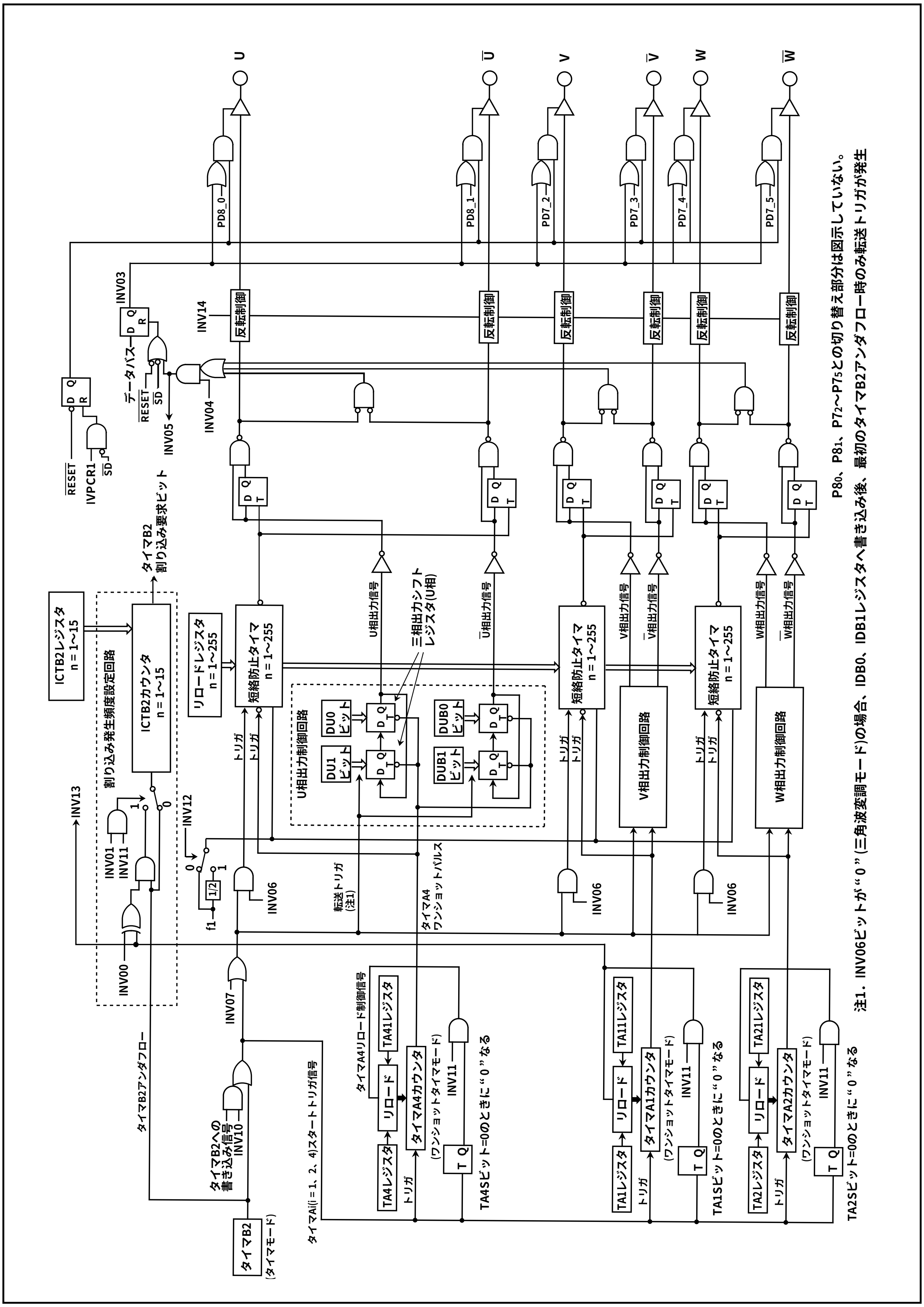


図12.22.　三相モータ制御用タイマ機能のブロック図

三相PWM制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
INVC0	0348_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	RW
INV00	割り込み有効出力極性選択ビット (注3)	0：タイマA1リロード制御信号の立ち上がりでICTB2カウンタのカウントを1進める 1：タイマA1リロード制御信号の立ち下がりでICTB2カウンタのカウントを1進める	RW
INV01	割り込み有効出力指定ビット (注2、注3)	0：タイマB2アンダフローでICTB2カウンタのカウントを1進める 1：INV00ビットで選択	RW
INV02	モード選択ビット (注4)	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能 (注5)	RW
INV03	出力制御ビット (注6)	0：三相モータ制御用タイマ出力禁止 (注5) 1：三相モータ制御用タイマ出力許可	RW
INV04	正逆相同時アクティブ出力禁止機能許可ビット	0：同時アクティブ出力許可 1：同時アクティブ出力禁止	RW
INV05	正逆相同時アクティブ出力検出フラグ	0：未検出 1：検出 (注7)	RW
INV06	変調モード選択ビット (注8)	0：三角波変調モード 1：鋸波変調モード (注9)	RW
INV07	ソフトウエアトリガ選択ビット	このビットを“1”にすると転送トリガが発生する。INV06ビットが“1”の場合、短絡防止タイマへのトリガも発生する。読んだ場合、その値は“0”。	RW

注1．このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。また、タイマA1、A2、A4、B2が停止中に書き換えてください。
注2．このビットを“1”にする場合は、ICTB2レジスタに値を設定してから書いてください。
注3．INV11ビットが“1”(三相モード1)のとき有効。“0”(三相モード0)のときは、INV00、INV01ビットに関係なくタイマB2アンダフローごとにICTB2カウンタのカウントを1進める。
INV01ビットを“1”にする場合、タイマA1カウント開始フラグを最初のタイマB2アンダフローまでに“1”にしてください。
INV00ビットを“1”にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはタイマB2アンダフローのn-1回目で発生し、2回目以降の割り込みはタイマB2アンダフローのn回目ごとに発生します。
注4．INV02ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。
注5．U、$\overline{U}$、V、$\overline{V}$、W、$\overline{W}$端子は、INV02ビットを“1”(三相モータ制御用タイマ機能)にし、かつINV03ビットを“0”(三相モータ制御用タイマ出力禁止)にすると、すべてハイインピーダンスになります。INV03ビットが“1”のとき、U/V/W対応端子は三相PWM出力を行います。
注6．INV03ビットは次のとき“0”になります。
・リセット
・INV04ビットが“1”のとき、同時アクティブ(INV05=1)になった場合
・プログラムで“0”にしたとき
・$\overline{SD}$端子入力が“H”から“L”に変化したとき（IVPCR1ビットの設定に依存しません。また、$\overline{SD}$入力が“L”のとき、INV03ビットは“1”にできません。）
INV04ビットとINV05ビットが共に“1”のとき、INV03ビットは“0”になります。
注7．プログラムで“0”は書けますが“1”は書けません。
注8．INV06ビットの影響は下表のとおりです。

項　目	INV06 = 0の場合	INV06 = 1の場合
モード	三角波変調モード	鋸波変調モード
IDB0、1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0、1レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16 = 0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの立ち下がりと、転送トリガに同期
INV13ビット	INV11 = 1かつINV06 = 0のとき有効	無効

転送トリガ：タイマB2アンダフロー、INV07ビットへの書き込み、またはINV10＝1のときのTB2レジスタへの書き込み
注9．INV06ビットが“1”の場合、INV11ビットを“0”(三相モード0)、PWCONビットを“0”(タイマB2のアンダフローでタイマB2リロード)にしてください。

図12.23.　INVC0レジスタ

三相PWM制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット後の値
INVC1	0349_{16}番地	00_{16}

ビットシンボル	ビット名	機能	RW
INV10	タイマA1、A2、A4スタートトリガ選択ビット	0：タイマB2アンダフロー 1：タイマB2アンダフローと、TB2レジスタへの書き込み (注2)	RW
INV11	タイマA1-1、A2-1、A4-1制御ビット (注3)	0：三相モード0 (注4) 1：三相モード1	RW
INV12	短絡防止タイマカウントソース選択ビット	0：f_1またはf_2 1：f_1の2分周またはf_2の2分周	RW
INV13	搬送波状態検出フラグ (注5)	0：タイマAリロード制御信号が“0” 1：タイマAリロード制御信号が“1”	RO
INV14	出力極性制御ビット	0：出力波形“L”アクティブ 1：出力波形“H”アクティブ	RW
INV15	短絡防止時間無効ビット	0：短絡防止時間有効 1：短絡防止時間無効	RW
INV16	短絡防止時間タイマトリガ選択ビット	0：タイマ(A4、A1、A2)のワンショットパルスの立ち下がり 1：三相シフトレジスタ(U、V、W相)出力の立ち下がり (注6)	RW
(b7)	予約ビット	“0”にしてください	RW

注1．このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。また、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2．TB2レジスタへの書き込みによって、スタートトリガが発生するのは、タイマB2が停止中のみです。

注3．INV11ビットの影響は下表のとおりです。

項　目	INV11＝0の場合	INV11＝1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41レジスタ	使用しない	使用する
INV00ビット、INV01ビット	無効。INV00、INV01ビットの値に関係なく、タイマB2アンダフローごとにICTB2カウント	有効。
INV13ビット	無効。	INV11＝1かつINV06＝0のとき有効。

注4．INV06ビットが“1”(鋸波変調モード)の場合は、“0”(三相モード0)にしてください。また、INV11ビットが“0”の場合、PWCONビットを“0”(タイマB2のアンダフローでタイマB2リロード)にしてください。

注5．INV13ビットはINV06ビットが“0”(三角波変調モード)かつINV11ビットが“1”(三相モード1)のときのみ有効です。

注6．次の条件がすべて当てはまる場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相シフトレジスタの出力の立ち上がり)にしてください。
- INV15ビットが“0”(短絡防止タイマ使用)
- INV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、常にDij(i:U、VまたはW、j: 0～1)ビットとDiBjビットの値が違う(短絡防止時間以外の期間、正相と逆送は常に逆のレベルを出力する)。

また、上記の条件のいずれかが当てはまらない場合はINV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

図12.24.　INVC1レジスタ

三相出力バッファレジスタi (i=0、1)(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
IDB0	034A16番地	0016
IDB1	034B16番地	0016

ビットシンボル	ビット名	機　能	RW
DUi	U相出力バッファi	出力レベルを書いてください。 0：アクティブレベル 1：アクティブでないレベル 読んだ場合は三相シフトレジスタの値を読む。	RW
DUBi	$\overline{U}$相出力バッファi		RW
DVi	V相出力バッファi		RW
DVBi	$\overline{V}$相出力バッファi		RW
DWi	W相出力バッファi		RW
DWBi	$\overline{W}$相出力バッファi		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1．IDB0、IDB1レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ後、IDB0レジスタに書いた値が初めに各相出力信号となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりでIDB1レジスタに書いた値が各相出力信号となります。

短絡防止タイマ (注1)

b7 b0

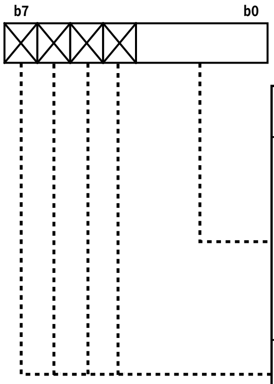
シンボル	アドレス	リセット後の値
DTT	034C16番地	不定

機　能	設定範囲	RW
設定値をnとすると、スタートトリガ後、INV12ビットで選択したカウントソースをn回カウントして停止する。 正逆相のうちアクティブでないレベルから、アクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化する。	1～255	WO

注1．このレジスタの書き込みはMOV 命令を使用してください。
注2．INV15ビットが“0”(短絡防止時間有効)のとき有効です。“1”のとき短絡防止時間はありません。

図12.25.　IDB0、IDB1、DTTレジスタ

タイマB2割り込み発生頻度設定カウンタ

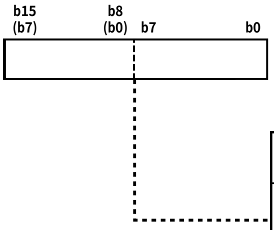


シンボル	アドレス	リセット後の値
ICTB2	034D16番地	不定

機　能	設定範囲	RW
INV01ビットが“０”(タイマB2アンダフローごとにICTB2カウンタカウント)の場合、設定値をnとすると、タイマB2アンダフローのn回目ごとにタイマB2割り込み要求が発生する。INV01ビットが“１”(ICTB2カウンタカウントタイミングはINV00ビットで選択)の場合、設定値をnとすると、INV00ビットで選択した条件に合うタイマB2アンダフローのn回目ごとにタイマB2割り込み要求が発生する。　(注1)	1～15	WO
何も配置されていない。書く場合、“０”を書いてください。読んだ場合、その値は不定。		—

注1．ICTB2レジスタへは、MOV命令を使用して書いてください。
INV01ビットが“１”の場合は、更にTB2Sビットが“０”(タイマB2カウント停止)のときに書いてください。
INV01ビットが“０”の場合は、TB2Sビットが“１”(タイマB2カウント開始)でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。

タイマAj、Aj-1レジスタ(j＝1、2、4) (注1、2、3、4、5)



シンボル	アドレス	リセット後の値
TA1	038916-038816番地	不定
TA2	038B16-038A16番地	不定
TA4	038F16-038E16番地	不定
TA11(注7、6)	034316-034216番地	不定
TA21(注7、6)	034516-034416番地	不定
TA41(注7、6)	034716-034616番地	不定

機　能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで正逆相が変化する。	000016～FFFF16	WO

注1．16ビット単位でアクセスしてください。
注2．これらのレジスタに“000016”を書いた場合、カウンタは動作せず、タイマAi割り込要求は発生しません。
注3．これらのレジスタへの書き込みにはMOV 命令を使用してください。
注4．INV15ビットが“０”(短絡防止時間有効)の場合、正逆相のうちアクティブでないレベルからアクティブレベルに変化する相は、短絡防止時タイマが停止するタイミングで変化します。
注5．INV11ビットが“０”(三相モード0)の場合、タイマAj(j=1、2、4)スタートトリガによってTAjレジスタの値がリロードレジスタに転送されます。
INV11ビットが“１”(三相モード1)の場合、タイマAjスタートトリガによって、まずTAj1レジスタの値が、次のタイマAjスタートトリガ時にTAjレジスタの値がリロードレジスタに転送されます。以降、TAj1レジスタの値とTAjレジスタの値が交互にリロードレジスタに転送されます。
注6．三相モード1の時は、タイマB2アンダフローのタイミングで、Aj-1レジスタに書かないでください。
注7．TAi1レジスタは次の手順で書いてください。
(1) TAi1レジスタに値を書く
(2) タイマAiカウントソースの１サイクル分待つ
(3) もう一度、TAi1レジスタに値を書く

図12.26.　ICTB2、TA1、TA2、TA4、TA11、TA21、TA41レジスタ

タイマB2特殊モードレジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TB2SC	$039E_{16}$番地	$XXXXXX00_2$

ビットシンボル	ビット名	機能	RW
PWCON	タイマB2リロード タイミング切り替えビット	0 : タイマB2アンダフロー 1 : 奇数回目のタイマA出力(注2)	RW
IVPCR1	三相出力ポート$\overline{SD}$制御 ビット1(注3、注4)	0 : $\overline{SD}$入力による三相出力 強制遮断(ハイインピーダンス) 禁止 1 : $\overline{SD}$入力による三相出力 強制遮断(ハイインピーダンス) 許可	RW
―― (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		―

注1.　このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2.　INV11ビットが“0”(三相モード0)、またはINV06ビットが“1”(鋸波変調モード)の場合は、“0”(タイマB2アンダフロー)にしてください。
注3.　IVPCR1ビットを“1”に設定する場合、必ずPD85ビットを“0”(入力)にしてください。
注4.　対象端子は、U($P8_0$)、$\overline{U}$($P8_1$)、V($P7_2$)、$\overline{V}$($P7_3$)、W($P7_4$)、$\overline{W}$($P7_5$)。強制遮断後は、$P8_5$/$\overline{NMI}$/$\overline{SD}$端子に“H”を入力し、IVPCR1ビットを“0”にすると強制遮断が解除されます。$P8_5$/$\overline{NMI}$/$\overline{SD}$端子に“L”が入力されると、対象端子の三相モータ制御用タイマ出力は禁止(INV03=“0”)になります。この時、対象端子は使用している機能に関係なく、IVPCR1ビットが“0”の場合は通常ポートに、IVPCR1ビットが“1”の場合はハイインピーダンスになります。

$P8_5$/$\overline{NMI}$/$\overline{SD}$端子入力の影響は以下の通りです。
1. INV03ビットが“1”(三相モータ制御用タイマ許可)の場合

IVPCR1ビット	$P8_5$/$\overline{NMI}$/$\overline{SD}$端子入力(注3)	U/V/W対応端子の状態	備考
“1” (三相出力強制遮断許可)	H	三相PWM出力	
	L (注1)	ハイインピーダンス	三相出力強制遮断
“0” (三相出力強制遮断禁止)	H	三相PWM出力	
	L (注1)	入出力ポート(注2)	

注1.　$P8_5$/$\overline{NMI}$/$\overline{SD}$端子に“L”が入力されると、同時にINV03ビットは“0”に変化します。
注2.　ポートレジスタおよびポート方向レジスタの値が有効になります。
注3.　$\overline{SD}$機能を使わない場合は、$PD8_5$ビットを“0”(入力)にしたうえで、$P8_5$/$\overline{NMI}$/$\overline{SD}$端子を外部より“H”にプルアップしてください。

2. INV03ビットが“0”(三相モータ制御用タイマ禁止)の場合

IVPCR1ビット	$P8_5$/$\overline{NMI}$/$\overline{SD}$端子入力	U/V/W対応端子の状態	備考
“1” (三相出力強制遮断許可)	H	周辺機能の入出力 または入出力ポート	
	L	ハイインピーダンス	三相出力強制遮断(注1)
“0” (三相出力強制遮断禁止)	H	周辺機能の入出力 または入出力ポート	
	L	周辺機能の入出力 または入出力ポート	

注1.　INV03ビットが“0”(三相モータ制御用タイマ禁止)の場合でもIVPCR1ビットが“1”(三相出力強制遮断許可)であれば三相出力強制遮断機能は有効になります。

図12.27.　TB2SCレジスタ

タイマB2レジスタ (注1)

b15 (b7) b8 (b0) b7 b0

シンボル	アドレス	リセット後の値
TB2	0395₁₆-0394₁₆番地	不定

機　能	設定範囲	RW
設定値をnとすると、カウントソースをn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000₁₆～FFFF₁₆	RW

注1．16ビット単位でアクセスしてください。

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TRGSR	0383₁₆番地	00₁₆

ビットシンボル	ビット名	機　能	RW
TA1TGL	タイマA1イベント/トリガ選択ビット	V相出力制御回路を使用する場合は、“01₂”(TB2のアンダフロー)にしてください。	RW
TA1TGH			RW
TA2TGL	タイマA2イベント/トリガ選択ビット	W相出力制御回路を使用する場合は、“01₂”(TB2のアンダフロー)にしてください。	RW
TA2TGH			RW
TA3TGL	タイマA3イベント/トリガ選択ビット	b5 b4 0 0：TA3IN端子の入力を選択 (注1) 0 1：TB2のオーバフローを選択 (注2) 1 0：TA2のオーバフローを選択 (注2) 1 1：TA4のオーバフローを選択 (注2)	RW
TA3TGH			RW
TA4TGL	タイマA4イベント/トリガ選択ビット	U相出力制御回路を使用する場合は、“01₂”(TB2のアンダフロー)にしてください。	RW
TA4TGH			RW

注1．対応するポート方向ビットは“0”(入力モード)にしてください。
注2．オーバフローまたはアンダフロー

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TABSR	0380₁₆番地	00₁₆

ビットシンボル	ビット名	機　能	RW
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

図12.28.　TB2、TRGSR、TABSRレジスタ

タイマAiモードレジスタ (i=1、2、4)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1		0	1	0

シンボル	アドレス	リセット後の値
TA1MR	0397_{16}番地	00_{16}
TA2MR	0398_{16}番地	00_{16}
TA4MR	$039A_{16}$番地	00_{16}

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では“10_2”(ワンショットタイマモード)にしてください	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	三相モータ制御用タイマ機能では“0”にしてください	—
MR1	外部トリガ選択ビット	三相モータ制御用タイマ機能では無効	RW
MR2	トリガ選択ビット	三相モータ制御用タイマ機能では“1”(TRGSRレジスタにより選択)にしてください	RW
MR3	三相モータ制御用タイマ機能では“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0：f_1またはf_2 0 1：f_8 1 0：f_{32} 1 1：fc_{32}	RW
TCK1			RW

タイマB2モードレジスタ

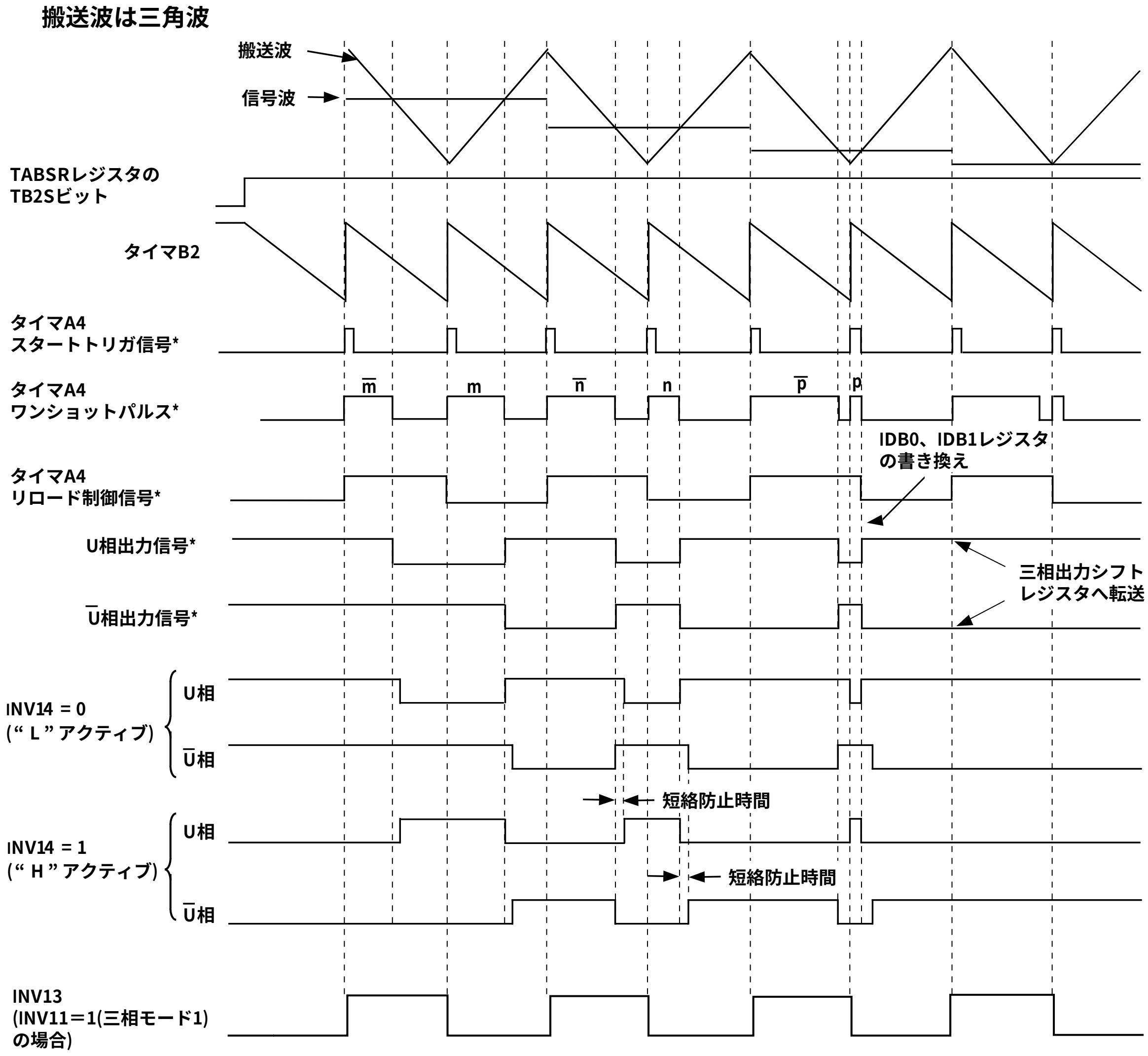
b7	b6	b5	b4	b3	b2	b1	b0
			0			0	0

シンボル	アドレス	リセット後の値
TB2MR	$039D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では“00_2”(タイマモード)にしてください	RW
TMOD1			RW
MR0	三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定。		RW
MR1			RW
MR2	三相モータ制御用タイマ機能では“0”にしてください		RW
MR3	三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定。		RO
TCK0	カウントソース選択ビット	b7 b6 0 0：f_1またはf_2 0 1：f_8 1 0：f_{32} 1 1：fc_{32}	RW
TCK1			RW

図12.29.　TA1MR、TA2MR、TA4MR、TB2MRレジスタ

INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U、$\overline{U}$、V、$\overline{V}$、W、$\overline{W}$)の制御に使用します。短絡防止時間は専用の短絡防止タイマで制御します。図12.30に三角波変調波形例を、図12.31に鋸波変調波形例を示します。



*　内部信号。三相モータ制御用タイマ機能のブロック図を参照。

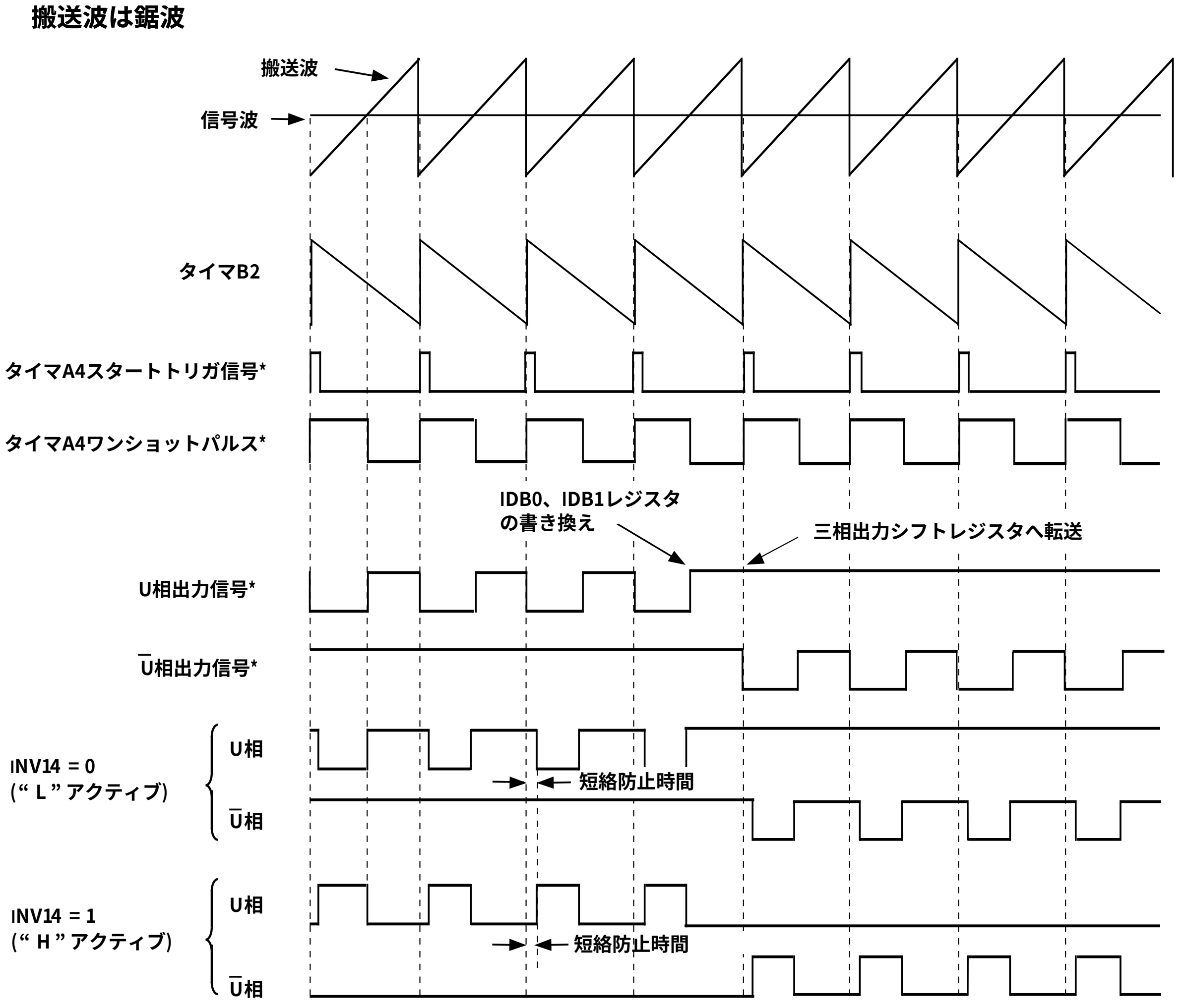
INVC0=00XX11XX$_2$(X: システムに合わせて設定)、INVC1=010XXXX0$_2$の場合の波形例です。
PWM出力変更例は次のとおりです。

(1)INV11=1(三相モード1)の場合
- INV01=0、ICTB2=2$_{16}$(タイマB2アンダフロー2回目ごとにタイマB2割り込み)、または、INV01=1、INV00=1、ICTB2=1$_{16}$(偶数回目のタイマB2アンダフローごとにタイマB2割り込み)。
- タイマの初期値　TA41=$\overline{m}$、TA4=m。
  タイマB2割り込みごとに、TA4、TA41レジスタを変更。
  1回目　TA41=$\overline{n}$、TA4=n。2回目　TA41=$\overline{p}$、TA4=p。
- IDB0、IDB1レジスタの初期値　DU0=1、DUB0=0、DU1=0、DUB1=1。
  3回目のタイマB2割り込みで、DU0=1、DUB0=0、DU1=1、DUB1=0に変更。

(2)INV11=0（三相モード0）の場合
- INV01=0、ICTB2=1$_{16}$（タイマB2アンダフローごとにタイマB2割り込み）。
- タイマの初期値　TA4=$\overline{m}$。タイマB2割り込みごとに、TA4レジスタを変更。
  1回目　TA4=m。2回目　TA4=$\overline{n}$。3回目　TA4=n。
  4回目　TA4=$\overline{p}$。5回目　TA4=p。
- IDB0、IDB1レジスタの初期値　DU0=1、DUB0=0、DU1=0、DUB1=1。
  6回目のタイマB2割り込みで、DU0=1、DUB0=0、DU1=1、DUB1=0に変更。

TA4、TA41レジスタに書いた値は奇数回目のタイマA出力時に反映されます。

図12.30.　三角波変調動作例



*　内部信号。三相モータ制御用タイマ機能のブロック図を参照。

INVC0＝01XX110X2（X：システムに合わせて設定）、INVC1＝010XXX002の場合の波形例です。
PWM出力変更例は次のとおりです
・IDB0、IDB1レジスタの初期値　DU0＝0、DUB0＝1、DU1＝1、DUB1＝1。
タイマB2割り込みで、DU0＝1、DUB0＝0、DU1＝1、DUB1＝1に変更。

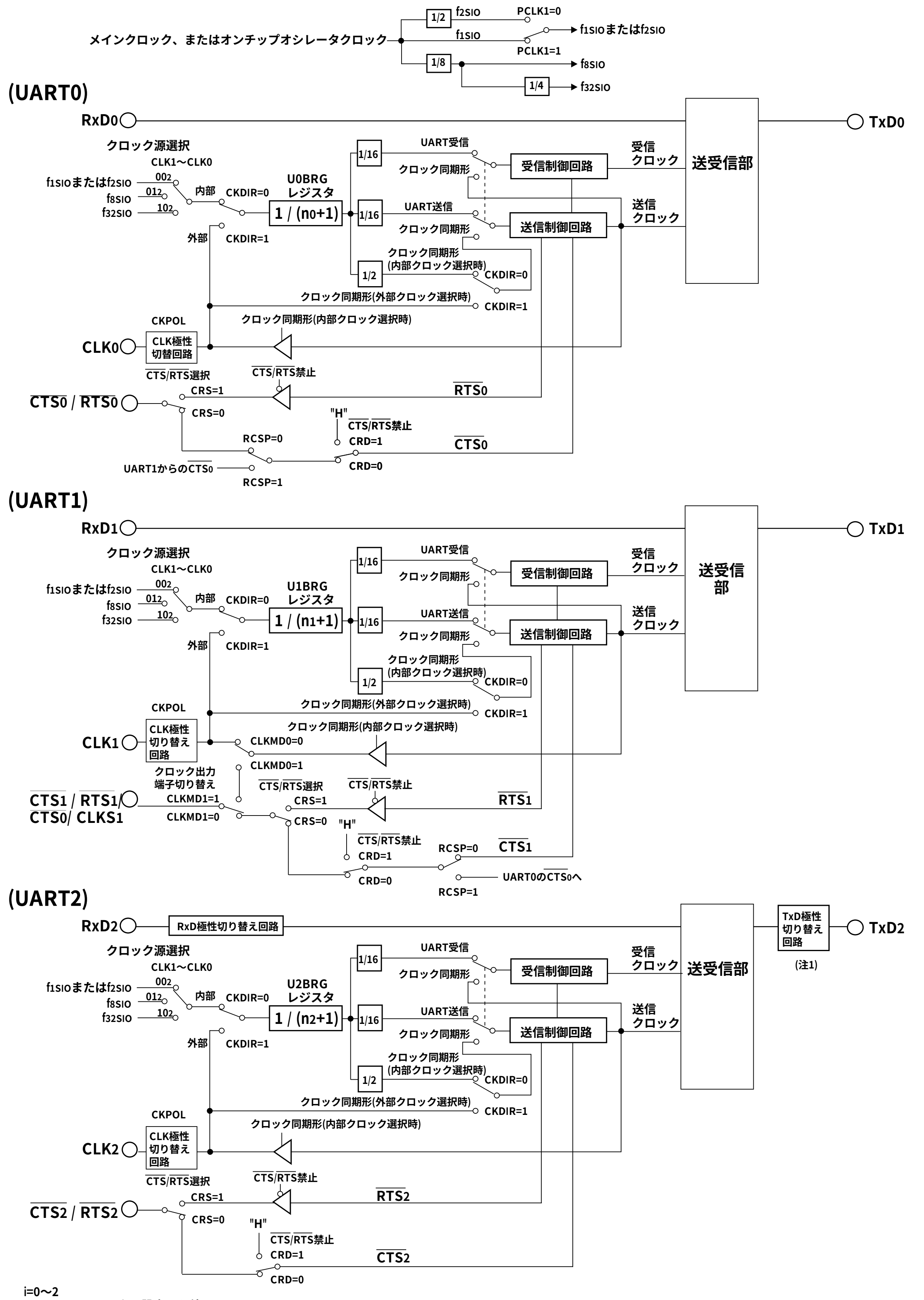
図12.31.　鋸波変調動作例

13. シリアルI/O

シリアルI/Oは、UART0～UART2の3チャネルで構成しています。
次にそれぞれについて説明します。

13.1 UARTi(i=0～2)

UARTiはそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。
図13.1にUARTiブロック図、図13.2にUARTi送受信ブロック図を示します。
UARTiには、次のモードがあります。
・クロック同期形シリアルI/Oモード
・クロック非同期形シリアルI/Oモード (UARTモード)
・特殊モード1(I^2C busモード)：UART2
・特殊モード2：UART2
・特殊モード3(バス衝突検出機能、IEBusモード)：UART2
・特殊モード4(SIMモード)：UART2
図13.3～図13.8に、UARTi関連のレジスタを示します。
レジスタの設定はモードごとの表を参照してください。



i=0～2
ni：UiBRGレジスタに設定した値
SMD2～SMD0、CKDIR：UiMRレジスタのビット
CLK1～CLK0、CKPOL、CRD、CRS：UiC0レジスタのビット
CLKMD0、CLKMD1、RCSP：UCONレジスタのビット
注1.　UART2は、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。

図13.1.　UARTiブロック図

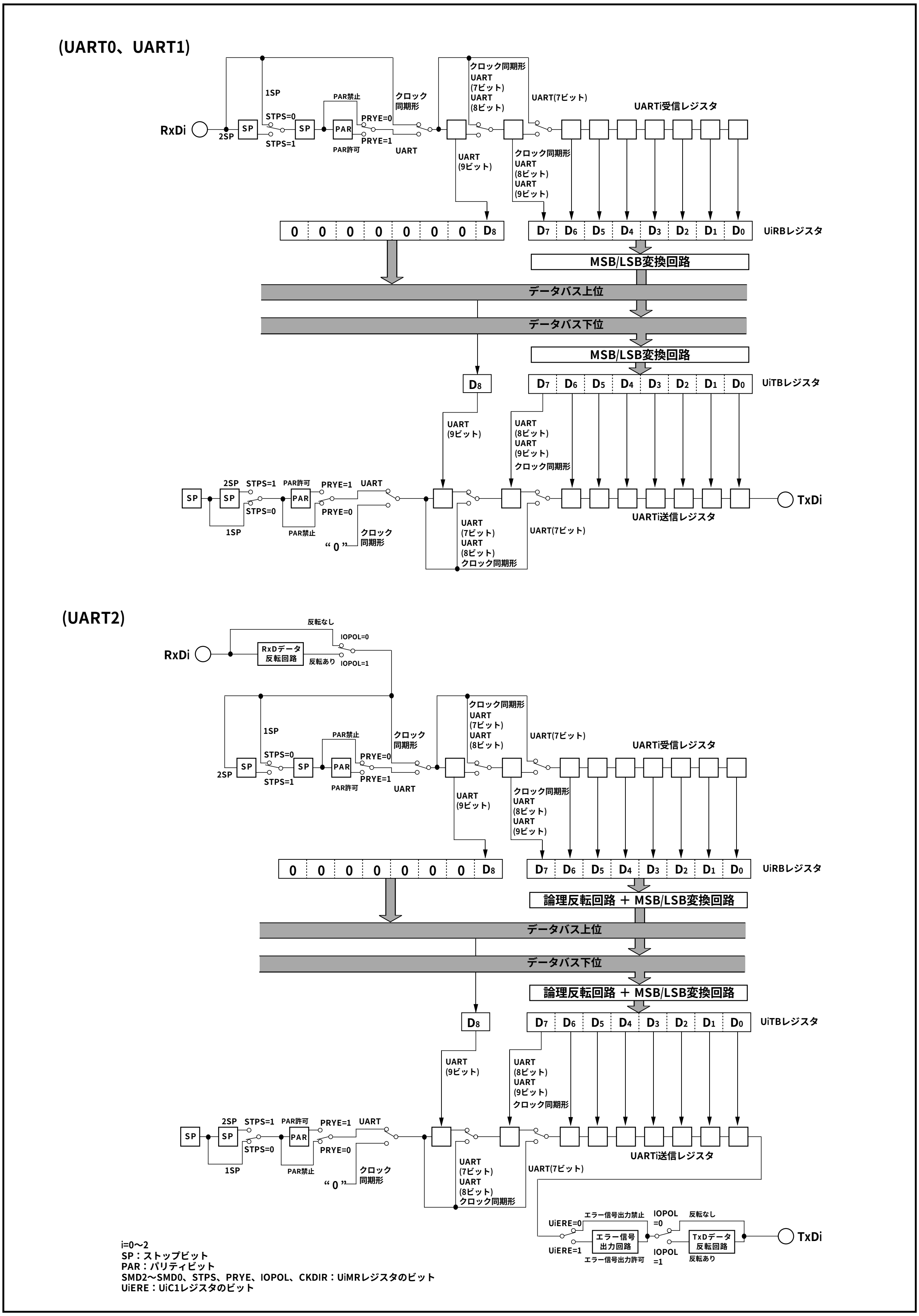
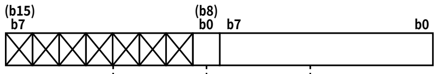


図13.2. UARTi送受信部ブロック図

UARTi送信バッファレジスタ(i=0〜2)(注1)

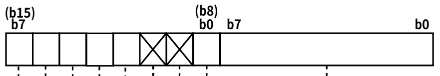


シンボル	アドレス	リセット後の値
U0TB	03A3₁₆-03A2₁₆番地	不定
U1TB	03AB₁₆-03AA₁₆番地	不定
U2TB	037B₁₆-037A₁₆番地	不定

機　能	RW
送信データ	WO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

注1.　このレジスタはMOV命令を使用して書いてください。

UARTi受信バッファレジスタ(i=0〜2)

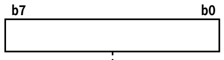


シンボル	アドレス	リセット後の値
U0RB	03A7₁₆-03A6₁₆番地	不定
U1RB	03AF₁₆-03AE₁₆番地	不定
U2RB	037F₁₆-037E₁₆番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	———	受信データ(D_7〜D_0)	RO
(b8)	———	受信データ(D_8)	RO
— (b10-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
ABT	アービトレーション ロスト検出フラグ(注2)	0 : 未検出（勝） 1 : 検出（負）	RW
OER	オーバランエラーフラグ(注1)	0 : オーバランエラーなし 1 : オーバランエラー発生	RO
FER	フレーミングエラー フラグ(注1)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	RO
PER	パリティエラーフラグ (注1)	0 : パリティエラーなし 1 : パリティエラー発生	RO
SUM	エラーサムフラグ (注1)	0 : エラーなし 1 : エラー発生	RO

注1.　UiMRレジスタのSMD2〜SMD0ビットを“000₂”(シリアルI/Oは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、UiRBレジスタの下位バイトを読んだとき、“0”になります。
注2.　ABTビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。U0RBレジスタおよびU1RBレジスタでは、ビット11には何も配置されていませんが、書く場合“0”を書いてください。読んだ場合、その値は“0”になります。

UARTi転送速度レジスタ(i=0〜2)(注1、注2)



シンボル	アドレス	リセット後の値
U0BRG	03A1₁₆番地	不定
U1BRG	03A9₁₆番地	不定
U2BRG	0379₁₆番地	不定

機　能	設定範囲	RW
設定値を nとすると、UiBRGはカウントソースをn+1分周する	00₁₆〜FF₁₆	WO

注1.　送受信停止中に書いてください。
注2.　このレジスタはMOV命令を使用して書いてください。

図13.3.　U0TB〜U2TB、U0RB〜U2RB、U0BRG〜U2BRGレジスタ

UARTi送受信モードレジスタ(i=0、1)

シンボル	アドレス	リセット後の値
U0MR、U1MR	03A016、03A816番地	0016

ビットシンボル	ビット名	機能	RW
SMD0	シリアルI/Oモード選択ビット (注2)	b2 b1 b0 0 0 0 シリアルI/Oは無効 0 0 1 : クロック同期形シリアルI/Oモード 1 0 0 : UARTモード転送データ長7ビット 1 0 1 : UARTモード転送データ長8ビット 1 1 0 : UARTモード転送データ長9ビット 上記以外 : 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	RW
— (b7)	予約ビット	"0"にしてください。	RW

注1. CLKi端子に対応するポート方向ビットは"0"(入力モード)にしてください。
注2. 受信する場合、RxDi端子に対応するポート方向ビットは"0"(入力モード)にしてください。

UART2送受信モードレジスタ

シンボル	アドレス	リセット後の値
U2MR	037816番地	0016

ビットシンボル	ビット名	機能	RW
SMD0	シリアルI/Oモード選択ビット (注2)	b2 b1 b0 0 0 0 シリアルI/Oは無効 0 0 1 : クロック同期形シリアルI/Oモード 0 1 0 : I^2C Busモード (注3) 1 0 0 : UARTモード転送データ長7ビット 1 0 1 : UARTモード転送データ長8ビット 1 1 0 : UARTモード転送データ長9ビット 上記以外 : 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	RW
IOPOL	TxD、RxD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり	RW

注1. CLK2端子に対応するポート方向ビットは"0"(入力モード)にしてください。
注2. 受信する場合、RxD2端子に対応するポート方向ビットは"0"(入力モード)にしてください。
注3. SDA、SCL端子に対応するポート方向ビットは"0"(入力モード)にしてください。

図13.4. U0MR～U2MRレジスタ

UARTi 送受信制御レジスタ0 (i=0～2)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U0C0～U2C0	03A4₁₆、03AC₁₆、037C₁₆番地	00001000₂

ビット シンボル	ビット名	機　能	RW
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f1SIO または f2SIOを選択 0 1 : f8SIOを選択 1 0 : f32SIOを選択 1 1 : 設定しないでください	RW
CLK1			RW
CRS	CTS/RTS機能選択ビット (注4)	CRD=0のとき有効 0 : CTS機能を選択(注1) 1 : RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	RO
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P60、P64、P73は入出力ポートとして使用できる)	RW
NCH	データ出力選択ビット (注2)	0 : TxDi端子は CMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択ビット(注3)	0 : LSBファースト 1 : MSBファースト	RW

注1. CTSi端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注2. TxD2/SDA、SCLは、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは“0”にしてください。
注3. クロック同期形シリアルI/Oモード、UARTモード転送データ長8ビット時に有効です。
注4. CTS1/RTS1はUCONレジスタのCLKMD1ビットが“0”(CLK出力はCLK1のみ)、かつUCONレジスタのRCSPビットが“0”(CTS0/RTS0分離しない)のとき使用できます。

UART送受信制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
UCON	03B0₁₆番地	X0000000₂

ビット シンボル	ビット名	機　能	RW
U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	RW
U1IRS	UART1送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	RW
U0RRM	UART0連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
U1RRM	UART1連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択ビット0	CLKMD1=1のとき有効 0 : CLK1からクロックを出力 1 : CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択ビット1 (注1)	0 : CLK出力はCLK1のみ 1 : 転送クロック複数端子 出力機能選択	RW
RCSP	UART0CTS/RTS分離ビット	0 : CTS/RTS共通端子 1 : CTS/RTS分離(CTS0をP64端子から入力)	RW
―― (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		―

注1. 複数の転送クロック出力端子を使用する場合、次の条件を満たしてください。
U1MRレジスタのCKDIRビット=0(内部クロック)

図13.5. U0C0～U2C0、UCONレジスタ

UARTi送受信制御レジスタ1(i=0、1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U0C1、U1C1	03A5₁₆、03AD₁₆番地	00000010₂

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : UiTBレジスタにデータあり 1 : UiTBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : UiRBレジスタにデータなし 1 : UiRBレジスタにデータあり	RO
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

UART2送受信制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U2C1	037D₁₆番地	00000010₂

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : U2TBレジスタにデータあり 1 : U2TBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : U2RBレジスタにデータなし 1 : U2RBレジスタにデータあり	RO
U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	RW
U2RRM	UART2連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
U2LCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	RW
U2ERE	エラー信号出力許可ビット	0 : 出力しない 1 : 出力する	RW

図13.6. U0C1～U2C1レジスタ

UART2特殊モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0
(b3 = 0)

シンボル	アドレス	リセット後の値
U2SMR	0377_{16}番地	$X0000000_2$

ビット シンボル	ビット名	機　能	RW
IICM	I2C Busモード選択ビット	0 : I2C Busモード以外 1 : I2C Busモード	RW
ABC	アービトレーションロスト検出フラグ制御ビット	0 : ビットごとに更新 1 : バイトごとに更新	RW
BBS	バスビジーフラグ	0 : ストップコンディション検出 1 : スタートコンディション検出(ビジー)	RW (注1)
—— (b3)	予約ビット	“0”にしてください。	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0 : 転送クロックの立ち上がり 1 : タイマA0のアンダフロー信号	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0：RxD2に同期しない 1：RxD2に同期する　(注2)	RW
—— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		——

注1.　BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注2.　転送が始まると、SSSビットは“0”(RxD2に同期しない)になります。

UART2特殊モードレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U2SMR2	0376_{16}番地	$X0000000_2$

ビット シンボル	ビット名	機　能	RW
IICM2	I2C Busモード選択ビット2	表13.11「I2C Busモード時の各機能」参照	RW
CSC	クロック同期化ビット	0 : 禁止 1 : 許可	RW
SWC	SCLウエイト出力ビット	0 : 禁止 1 : 許可	RW
ALS	SDA出力停止ビット	0 : 禁止 1 : 許可	RW
STAC	UARTi初期化ビット	0 : 禁止 1 : 許可	RW
SWC2	SCLウエイト出力ビット2	0 : 転送クロック 1 : “L”出力	RW
SDHI	SDA出力禁止ビット	0 : 許可 1 : 禁止 (ハイインピーダンス)	RW
—— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		——

図13.7. U2SMR、U2SMR2レジスタ

UART2特殊モードレジスタ3

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U2SMR3	037516番地	000X0X0X2

ビットシンボル	ビット名	機能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKPH	クロック位相設定ビット	0 : クロック遅れなし 1 : クロック遅れあり	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
NODC	クロック出力選択ビット	0 : CLK2はCMOS出力 1 : CLK2はNチャネルオープンドレイン出力	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
DL0	SDAディジタル遅延値設定ビット (注1、注2)	b7 b6 b5 0 0 0 : 遅延なし 0 0 1 : U2BRGカウントソースの1～2サイクル 0 1 0 : U2BRGカウントソースの2～3サイクル 0 1 1 : U2BRGカウントソースの3～4サイクル 1 0 0 : U2BRGカウントソースの4～5サイクル 1 0 1 : U2BRGカウントソースの5～6サイクル 1 1 0 : U2BRGカウントソースの6～7サイクル 1 1 1 : U2BRGカウントソースの7～8サイクル	RW
DL1			RW
DL2			RW

注1. DL2～DL0ビットはI2C Busモードで、SDA出力にディジタル的に遅延を発生させるものです。I2C Busモード以外の場合、“0 002”(遅延なし)にしてください。

注2. 遅延量はSCL端子、SDA端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

UART2特殊モードレジスタ4

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U2SMR4	037416番地	0016

ビットシンボル	ビット名	機能	RW
STAREQ	スタートコンディション生成ビット (注1)	0 : クリア 1 : スタート	RW
RSTAREQ	リスタートコンディション生成ビット (注1)	0 : クリア 1 : スタート	RW
STPREQ	ストップコンディション生成ビット (注1)	0 : クリア 1 : スタート	RW
STSPSEL	SCL、SDA出力選択ビット	0 : スタートコンディション、ストップコンディション出力しない 1 : スタートコンディション、ストップコンディション出力する	RW
ACKD	ACKデータビット	0 : ACK 1 : NACK	RW
ACKC	ACKデータ出力許可ビット	0 :シリアルI/Oデータ出力 1 : ACKデータ出力	RW
SCLHI	SCL出力停止許可ビット	0 : 禁止 1 : 許可	RW
SWC9	SCLウエイトビット3	0 : SCL“L”ホールド禁止 1 : SCL“L”ホールド許可	RW

注1. 各コンディションが生成されたとき、“0”になります。

図13.8. U2SMR3、U2SMR4レジスタ

13.2 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表13.1にクロック同期形シリアルI/Oモードの仕様、表13.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表13.1. クロック同期形シリアルI/Oモードの仕様

項　目	仕　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●UiMRレジスタ(i=0～2)のCKDIRビットが“0”(内部クロック)：fj/2(n+1) fj=f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}　n=UiBRGレジスタの設定値　00_{16}～FF_{16} ●CKDIRビットが“1”(外部クロック)：CLKi端子からの入力
送信制御、受信制御	●CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	●送信開始には、次の条件が必要です(注1)。 ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	●受信開始には、次の条件が必要です(注1)。 ・UiC1レジスタのREビットが“1”(受信許可) ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	●送信する場合、次の条件のいずれかを選択できます。 ・UiIRSビット(注3)が“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 ●受信する場合 ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	●オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	●CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 ●連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる ●シリアルデータ論理切り替え(UART2) 送受信データの論理値を反転する機能 ●転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 ●CTS/RTS分離機能(UART0) CTS_0とRTS_0を別の端子から入出力する

注1.　外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2.　オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

注3.　U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

表13.2. クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機　能
UiTB(注3)	0〜7	送信データを設定してください
UiRB(注3)	0〜7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0〜7	転送速度を設定してください
UiMR(注3)	SMD2〜SMD0	“ 001_2 ”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL(i=2)(注5)	“ 0 ”にしてください
UiC0	CLK1〜CLK0	UiBRGレジスタのカウントソースを選択してください
	CRS	$\overline{CTS}$または$\overline{RTS}$を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{CTS}$または$\overline{RTS}$機能の許可、または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“ 1 ”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“ 1 ”にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)	UART2の連続受信モードを使用する場合、“ 1 ”にしてください
	U2LCH(注4)	UART2のデータ論理反転を使用する場合、“ 1 ”にしてください
	U2ERE(注4)	“ 0 ”にしてください
U2SMR	0〜7	“ 0 ”にしてください
U2SMR2	0〜7	“ 0 ”にしてください
U2SMR3	0〜2	“ 0 ”にしてください
	NODC	クロック出力形式を選択してください
	4〜7	“ 0 ”にしてください
U2SMR4	0〜7	“ 0 ”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、“ 1 ”にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“ 1 ”にしてください
	RCSP	UART0の$\overline{CTS_0}$信号を$P6_4$端子から入力する場合、“ 1 ”にしてください
	7	“ 0 ”にしてください

注1.　U0C1、U1C1レジスタのビット4、5は“ 0 ”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2.　TxD_2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“ 0 ”にしてください。

注3.　この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“ 0 ”を書いてください。

注4.　U0C1、U1C1レジスタのビット6、7は“ 0 ”にしてください。

注5.　U0MR、U1MRレジスタのビット7は“ 0 ”にしてください。

i=0〜2

表13.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表13.3は、転送クロック複数端子出力選択機能を非選択の場合です。また、表13.4にクロック同期形シリアルI/Oモード時のP64端子の機能を示します。

なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表13.3. クロック同期形シリアルI/Oモード時の入出力端子の機能 (転送クロック複数端子出力機能を非選択の場合)

端子名	機　　能	選択方法
TxDi(i=0～2) (P63、P67、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P66、P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	転送クロック出力	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$ (P60、P64、P73)	$\overline{\text{CTS}}$入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	$\overline{\text{RTS}}$出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

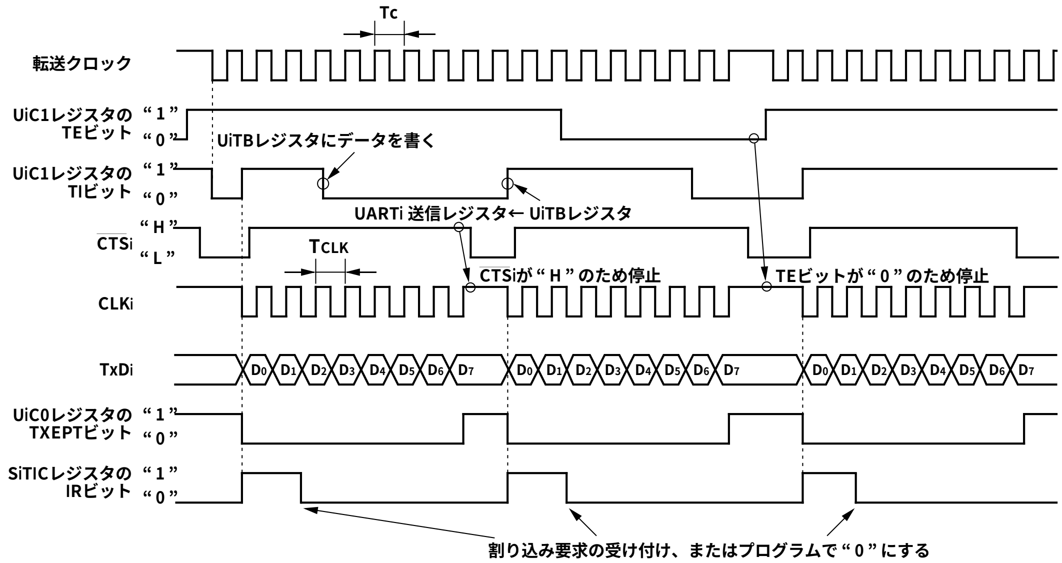
表13.4. クロック同期形シリアルI/Oモード時のP64端子の機能

端子の機能	ビットの設定値					
	U1C0レジスタ		UCONレジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P64	1	—	0	0	—	入力：0、出力：1
$\overline{\text{CTS1}}$	0	0	0	0	—	0
$\overline{\text{RTS1}}$	0	1	0	0	—	—
$\overline{\text{CTS0}}$(注1)	0	0	1	0	—	0
CLKS1	—	—	—	1(注2)	1	—

注1.　この他にU0C0レジスタのCRDビットを“0”($\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$許可)、U0C0レジスタのCRSビットを“1”($\overline{\text{RTS0}}$選択)にしてください。

注2.　CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。
・U1C0レジスタのCKPOLビットが“0”：H
・U1C0レジスタのCKPOLビットが“1”：L

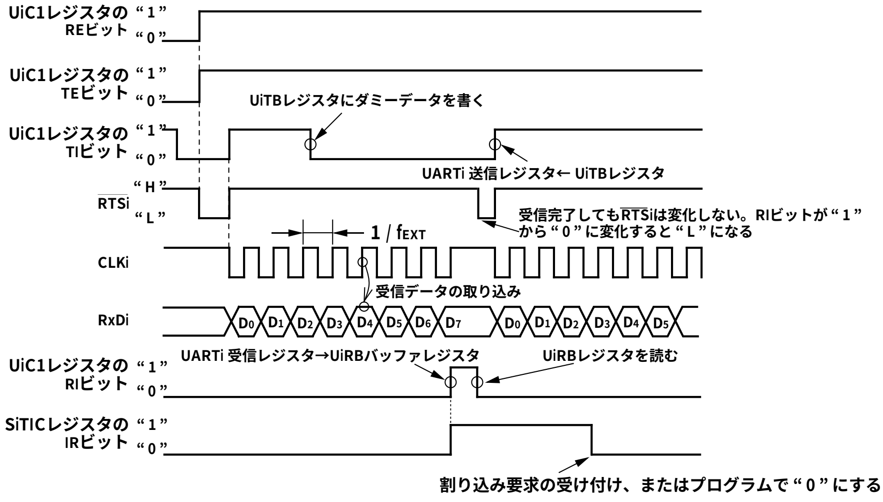
(1)　送信タイミング例(内部クロック選択時)



$T_C = T_{CLK} = 2(n+1) / fj$
　fj：UiBRGのカウントソースの周波数(f1SIO、f2SIO、f8SIO、f32SIO)
　n：UiBRGレジスタに設定した値
　i=0～2

上記タイミング図は次の設定条件の場合です。
- ●UiMRレジスタのCKDIRビット=0(内部クロック)
- ●UiC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=0(CTS選択)
- ●UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- ●UiIRSビット=0(送信バッファが空になると割り込み要求発生)：U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

(2)　受信タイミング例(外部クロック選択時)



上記タイミング図は次の設定条件の場合です。
- ●UiMRレジスタのCKDIRビット=1(外部クロック)
- ●UiC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=1(RTS選択)
- ●UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

fEXT：外部クロックの周波数

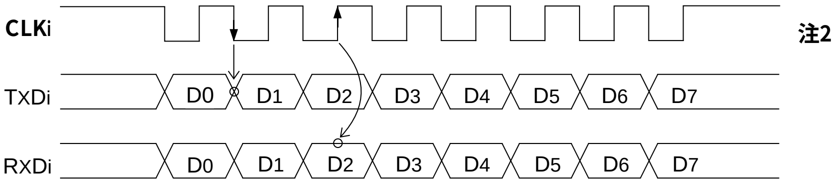
データ受信前のCLKi端子への入力が“H”のときに、次の条件が揃うようにしてください。
- ●UiC1レジスタのTEビット=1(送信許可)
- ●UiC1レジスタのREビット=1(受信許可)
- ●UiTBレジスタにダミーデータを書く

図13.9.　クロック同期形シリアルI/Oモード時の送信、受信タイミング例

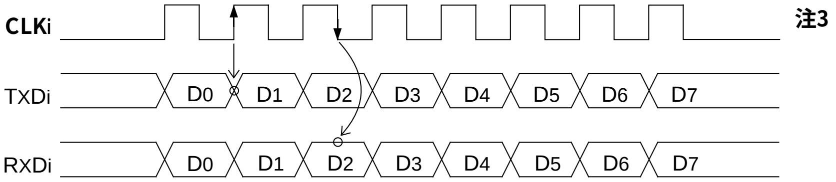
13.2.1 CLK極性選択

UiC0レジスタ(i=0～2)のCKPOLビットで転送クロックの極性を選択できます。図13.10に転送クロックの極性を示します。

(1)　UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のとき



(2)　UiC0レジスタのCKPOLビット=1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のとき



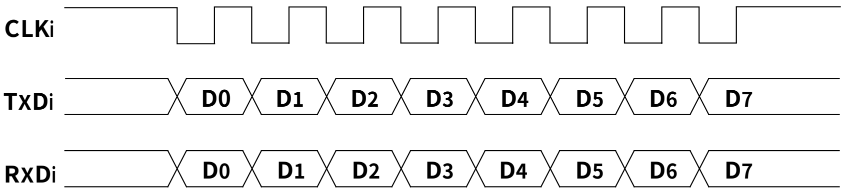
注1.　UiC0レジスタのUFORMビット=0(LSBファースト)、U2C1レジスタのU2LCHビット=0 (UART2:反転なし)の場合です。
注2.　転送していないとき、CLKi端子から“H”を出力します。
注3.　転送していないとき、CLKi端子から“L”を出力します。
i=0～2

図13.10. 転送クロックの極性

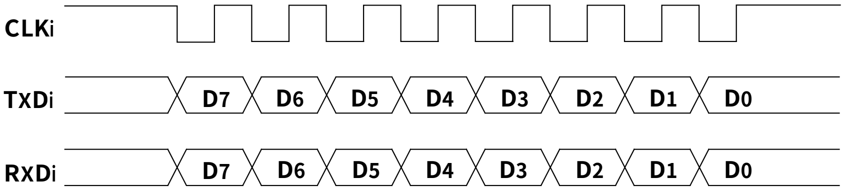
13.2.2 LSBファースト、MSBファースト選択

UiC0レジスタ(i=0～2)のUFORMビットで転送フォーマットを選択できます。図13.11に転送フォーマットを示します。

(1)　UiC0レジスタのUFORMビット=0(LSBファースト)のとき



(2)　UiC0レジスタのUFORMビット=1(MSBファースト)のとき



注1.　UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)、U2C1レジスタのU2LCHビット=0(UART2:反転なし)の場合です。
i=0～2

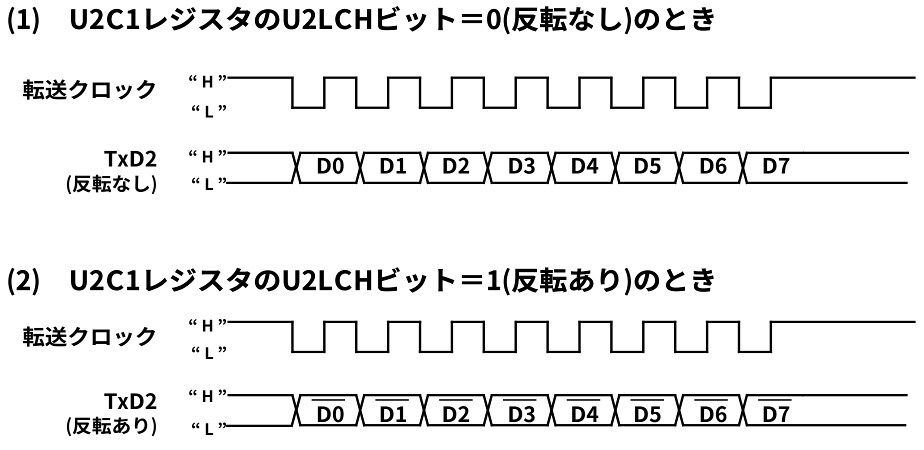
図13.11. 転送フォーマット

13.2.3 連続受信モード

UiRRMビット(i=0～2)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。U0RRM、U1RRMビットはUCONレジスタのビット2、3で、U2RRMビットはU2C1レジスタのビット5です。

13.2.4 シリアルデータ論理切り替え(UART2)

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図13.12にシリアルデータ論理を示します。

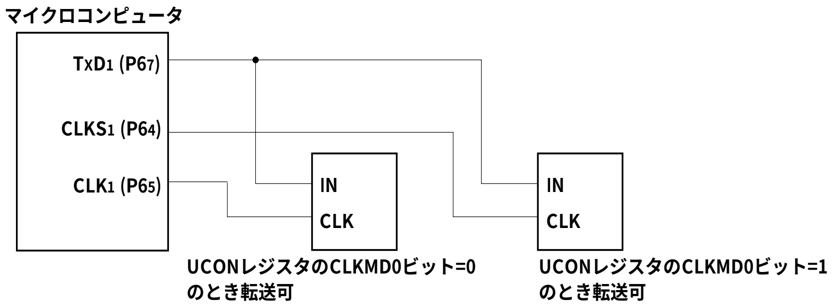


注1.　U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力)、UFORMビット=0(LSBファースト)の場合です。

図13.12. シリアルデータ論理

13.2.5 転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1～CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます(図13.13)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。



注1.　U1MRレジスタのCKDIRビット=0(内部クロック)、UCONレジスタのCLKMD1ビット=1(転送クロック複数端子出力)の場合です。

図13.13. 転送クロック複数端子出力機能の使用例

13.2.6 $\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$分離機能(UART0)

$\overline{\mathrm{CTS_0}}$/$\overline{\mathrm{RTS_0}}$を分離し、$\overline{\mathrm{RTS_0}}$をP60端子から出力、$\overline{\mathrm{CTS_0}}$をP64端子から入力する機能です。この機能を使用する場合は次のようにしてください。

・U0C0レジスタのCRDビット=0(UART0の$\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$許可)
・U0C0レジスタのCRSビット=1(UART0の$\overline{\mathrm{RTS}}$出力)
・U1C0レジスタのCRDビット=0(UART1の$\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$許可)
・U1C0レジスタのCRSビット=0(UART1の$\overline{\mathrm{CTS}}$入力)
・UCONレジスタのRCSPビット=1($\overline{\mathrm{CTS_0}}$をP64端子から入力)
・UCONレジスタのCLKMD1ビット=0(CLKS1を使用しない)

なお、$\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$分離機能使用時、UART1の$\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能は使用できません。

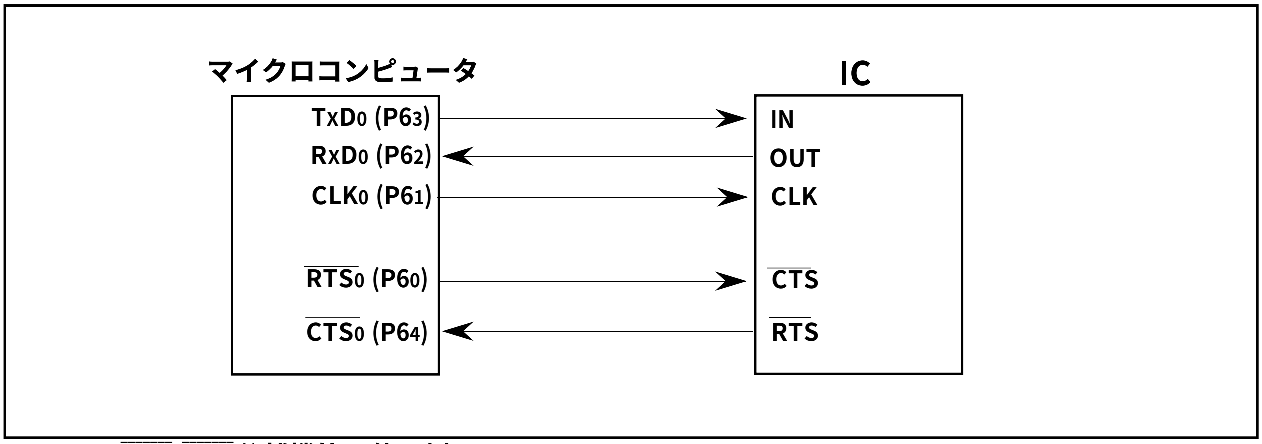


図13.14. $\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$分離機能の使用例

13.3 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表13.5にUARTモードの仕様を示します。

表13.5. UARTモードの仕様

項　目	仕　様
転送データフォーマット	●キャラクタビット(転送データ)　7ビット、8ビット、9ビットを選択可 ●スタートビット　1ビット ●パリティビット　奇数、偶数、なしを選択可 ●ストップビット　1ビット、2ビットを選択可
転送クロック	●UiMRレジスタ(i=0～2)のCKDIRビットが“0”(内部クロック)：fj/16(n+1) fj=f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}。n=UiBRGレジスタの設定値　00_{16}～FF_{16} ●CKDIRビットが“1”(外部クロック)：f_{EXT}/16(n+1) f_{EXT}はCLKi端子からの入力。n=UiBRGレジスタの設定値　00_{16}～FF_{16}
送信制御、受信制御	●$\overline{CTS}$機能、$\overline{RTS}$機能、$\overline{CTS}$/$\overline{RTS}$機能禁止を選択可
送信開始条件	●送信開始には、次の条件が必要です。 ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・$\overline{CTS}$機能を選択している場合、$\overline{CTSi}$端子の入力が“L”
受信開始条件	●受信開始には、次の条件が必要です。 ・UiC1レジスタのREビットが“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	●送信する場合、次の条件のいずれかを選択できます ・UiIRSビット(注2)が“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 ●受信する場合 ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	●オーバーランエラー(注1)　UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ●フレーミングエラー　設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー　パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ●エラーサムフラグ　オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	●LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 ●シリアルデータ論理切り替え(UART2) 送受信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力とRxD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 ●$\overline{CTS}$/$\overline{RTS}$分離機能(UART0) $\overline{CTS_0}$と$\overline{RTS_0}$を別の端子から入出力する

注1.　オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。
注2.　U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

表13.6. UARTモード時の使用レジスタと設定値

レジスタ	ビット	機　能
UiTB	0～8	送信データを設定してください (注1)
UiRB	0～8	受信データが読めます (注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	転送データが7ビットの場合、“100_2”を設定してください。 転送データが8ビットの場合、“101_2”を設定してください。 転送データが9ビットの場合、“110_2”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL(i=2)(注5)	TxD / RxD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS / RTS機能の許可または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください(注3)
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	“0”にしてください
	U2LCH(注4)	UART2のデータ論理反転を使用する場合、“1”にしてください
	U2ERE(注4)	“0”にしてください
U2SMR	0～7	“0”にしてください
U2SMR2	0～7	“0”にしてください
U2SMR3	0～7	“0”にしてください
U2SMR4	0～7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0の$\overline{CTS_0}$信号をP64端子から入力する場合、“1”にしてください
	7	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

注2. U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注3. TxD$_2$端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“0”にしてください。

注4. U0C1、U1C1レジスタのビット6、7は“0”にしてください。

注5. U0MR、U1MRレジスタのビット7は“0”にしてください。

i=0～2

表13.7にUARTモード時の入出力端子の機能を示します。表13.8にUARTモード時のP64端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表13.7. UARTモード時の入出力端子の機能

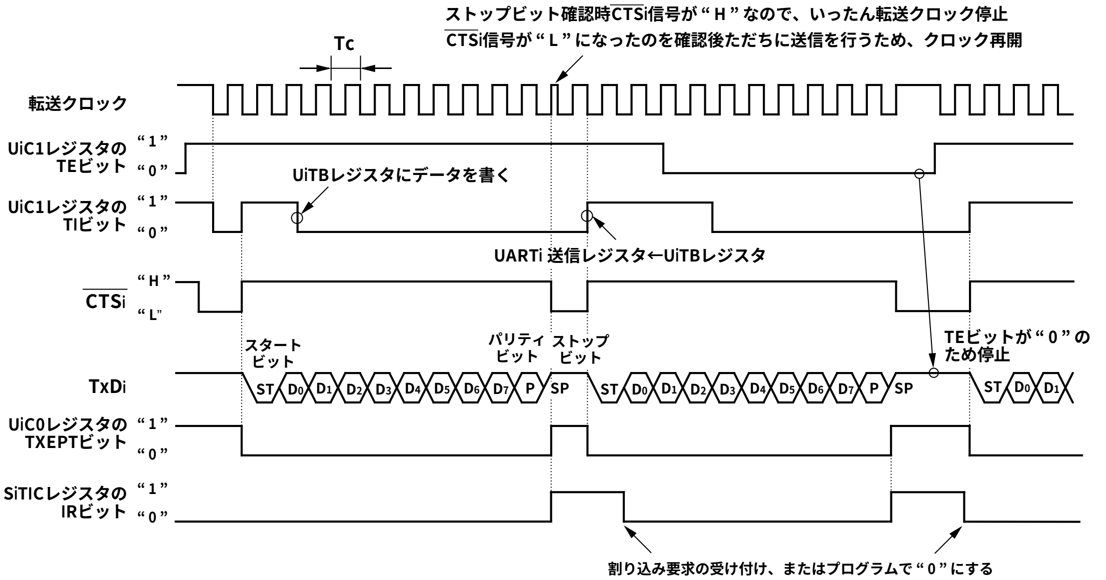
端子名	機　能	選択方法
TxDi(i=0～2) (P63、P67、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P66、P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
$\overline{\mathrm{CTSi}}$/$\overline{\mathrm{RTSi}}$ (P60、P64、P73)	$\overline{\mathrm{CTS}}$入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	$\overline{\mathrm{RTS}}$出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表13.8. クロック同期形シリアルI/Oモード時のP64端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P64	1	—	0	0	入力：0、出力：1
$\overline{\mathrm{CTS1}}$	0	0	0	0	0
$\overline{\mathrm{RTS1}}$	0	1	0	0	—
$\overline{\mathrm{CTS0}}$(注1)	0	0	1	0	0

注1.　この他にU0C0レジスタのCRDビットを“0”($\overline{\mathrm{CTS0}}$/$\overline{\mathrm{RTS0}}$許可)、U0C0レジスタのCRSビットを“1”($\overline{\mathrm{RTS0}}$選択)にしてください。

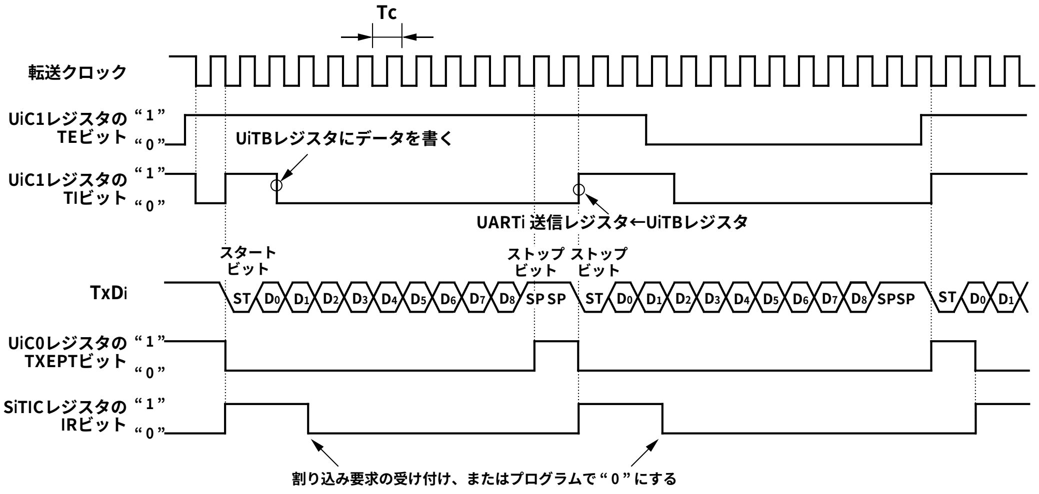
(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



上記タイミング図は次の設定条件の場合です。
- ●UiMRレジスタのPRYEビット=1(パリティ許可)
- ●UiMRレジスタのSTPSビット=0(1ストップビット)
- ●UiC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=0(CTS選択)
- ●UiIRSビット=1(送信完了すると割り込み要求発生)
  ：U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

Tc = 16(n+1) / fj または 16(n+1) / fEXT
fj：UiBRGのカウントソースの周波数(f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO})
fEXT：UiBRGのカウントソースの周波数(外部クロック)
n：UiBRGレジスタに設定した値
i=0〜2

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)

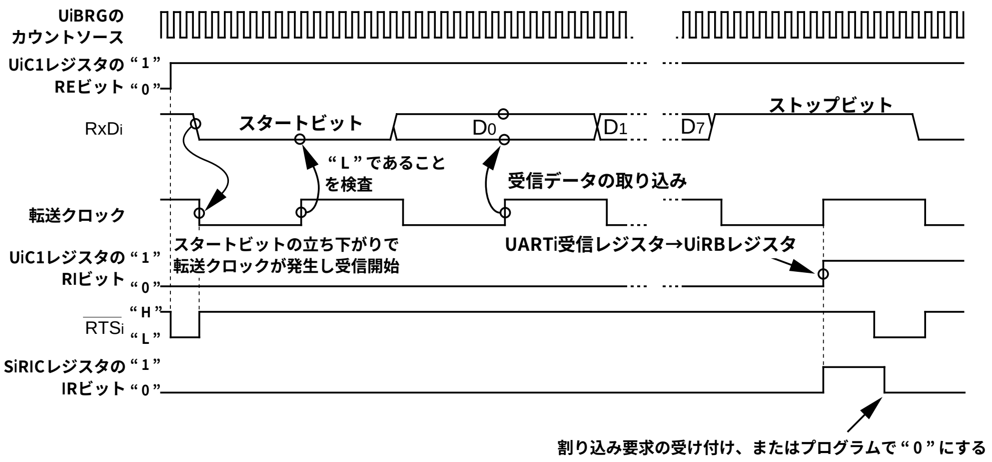


上記タイミング図は次の設定条件の場合です。
- ●UiMRレジスタのPRYEビット=0(パリティ禁止)
- ●UiMRレジスタのSTPSビット=1(2ストップビット)
- ●UiC0レジスタのCRDビット=1(CTS/RTS禁止)
- ●UiIRSビット=0(送信バッファが空になると割り込み要求発生)
  ：U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

Tc = 16(n+1) / fj または 16(n+1) / fEXT
fj：UiBRGのカウントソースの周波数(f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO})
fEXT：UiBRGのカウントソースの周波数(外部クロック)
n：UiBRGレジスタに設定した値
i=0〜2

図13.15. UARTモード時の送信タイミング例

●転送データ長8ビット時の受信タイミング例(パリティ禁止、1ストップビット)



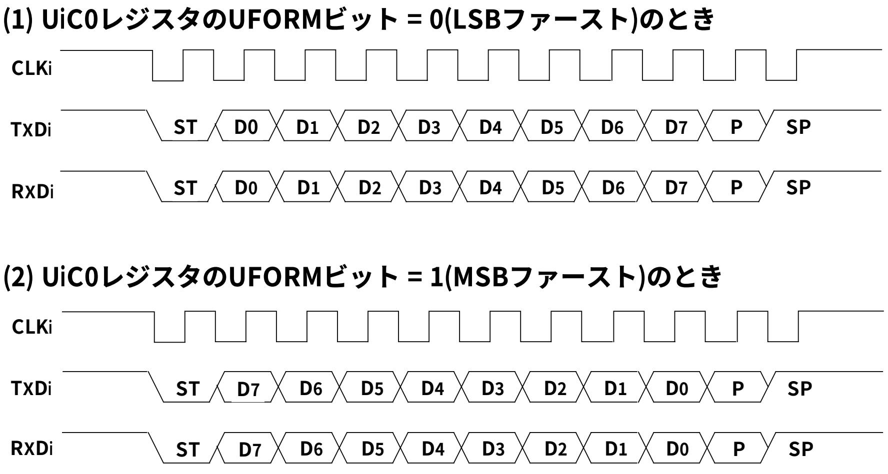
上記タイミング図は次の設定条件の場合です。
- ●UiMRレジスタのPRYEビット=0(パリティ禁止)
- ●UiMRレジスタのSTPSビット=0(1ストップビット)
- ●UiC0レジスタのCRDビット=0(CTSi/RTSi許可)、CRSビット=1(RTSi選択)

i=0～2

図13.16. UARTモード時の受信タイミング例

13.3.1 LSBファースト、MSBファースト選択

図13.17に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。



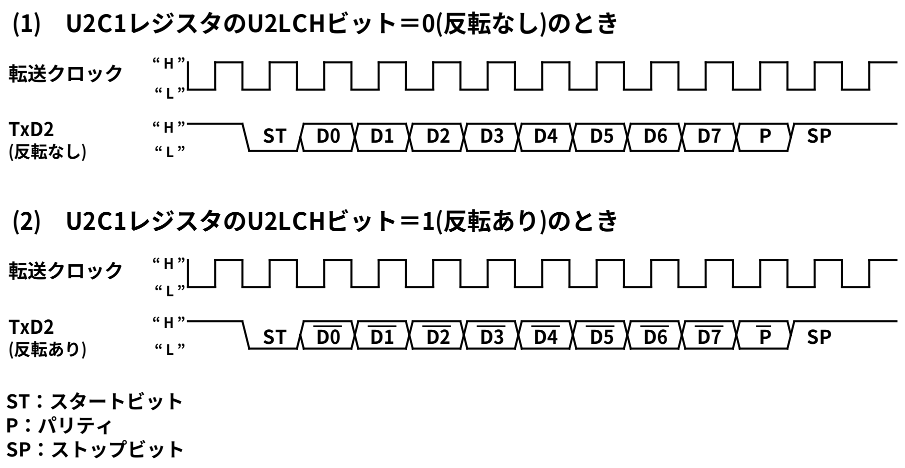
ST : スタートビット
P : パリティビット
SP : ストップビット
i=0～2

注1. UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データの入力)、UiC1レジスタのUiLCHビット=0(反転なし、i=2)、UiMRレジスタのSTPSビット=0(1ストップビット)、UiMRレジスタのPRYEビット=1(パリティ許可)の場合です。

図13.17. 転送フォーマット

13.3.2 シリアルデータ論理切り替え(UART2)

U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図13.18にシリアルデータ論理を示します。

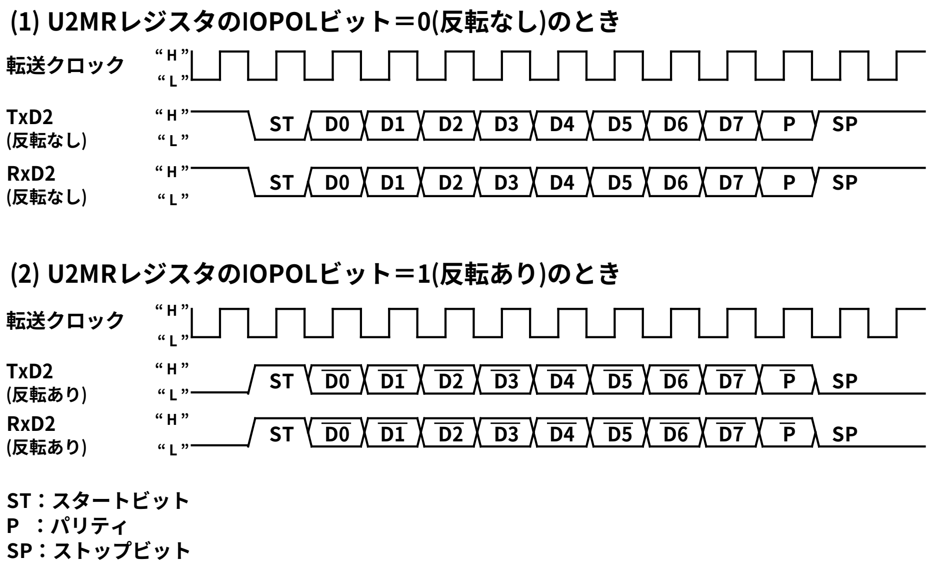


注1. U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力)、U2C0レジスタのUFORMビット=0(LSBファースト)、U2MRレジスタのSTPSビット=0(1ストップビット)、U2MRレジスタのPRYEビット＝1(パリティ許可)の場合です。

図13.18. シリアルデータ論理

13.3.3 TxD、RxD入出力極性切り替え機能(UART2)

TxD2端子出力とRxD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図13.19にTxD、RxD入出力極性切り替えを示します。



注1. U2C0レジスタのUFORMビット=0(LSBファースト)、U2MRレジスタのSTPSビット=0(1ストップビット)、U2MRレジスタのPRYEビット＝1(パリティ許可)の場合です。

図13.19. TxD、RxD入出力極性切り替え

13.3.4 $\overline{\text{CTS}}/\overline{\text{RTS}}$分離機能(UART0)

$\overline{\text{CTS}_0}/\overline{\text{RTS}_0}$を分離し、$\overline{\text{RTS}_0}$を$P6_0$端子から出力、$\overline{\text{CTS}_0}$を$P6_4$端子から入力する機能です。この機能を使用する場合は次のようにしてください。

・U0C0レジスタのCRDビット=0(UART0の$\overline{\text{CTS}}/\overline{\text{RTS}}$許可)
・U0C0レジスタのCRSビット=1(UART0の$\overline{\text{RTS}}$出力)
・U1C0レジスタのCRDビット=0(UART1の$\overline{\text{CTS}}/\overline{\text{RTS}}$許可)
・U1C0レジスタのCRSビット=0(UART1の$\overline{\text{CTS}}$入力)
・UCONレジスタのRCSPビット=1($\overline{\text{CTS}_0}$を$P6_4$端子から入力)
・UCONレジスタのCLKMD1ビット=0(CLKS_1を使用しない)

なお、$\overline{\text{CTS}}/\overline{\text{RTS}}$分離機能使用時、UART1の$\overline{\text{CTS}}/\overline{\text{RTS}}$機能は使用できません。

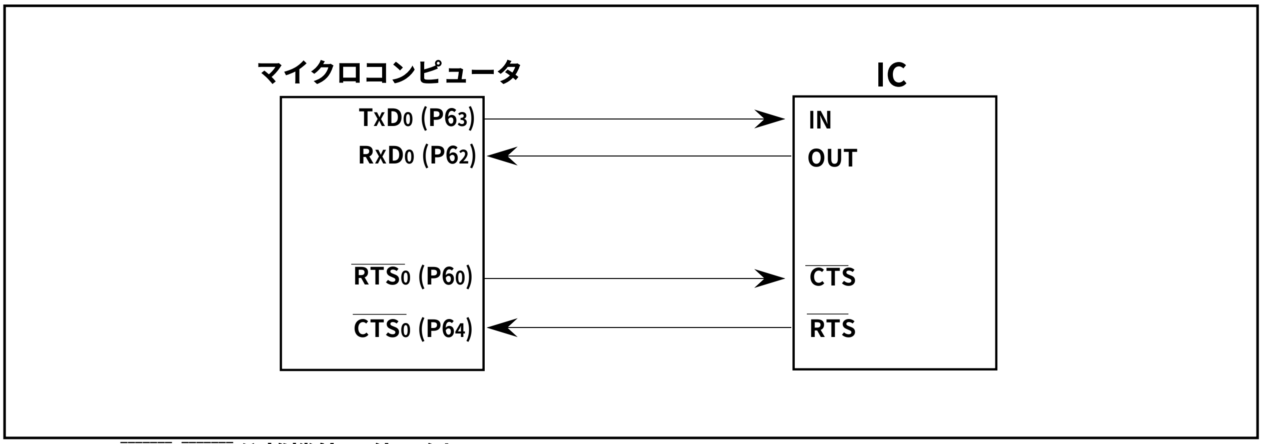


図13.20. $\overline{\text{CTS}}/\overline{\text{RTS}}$分離機能の使用例

13.4 特殊モード1(I^{2}C busモード)(UART2)

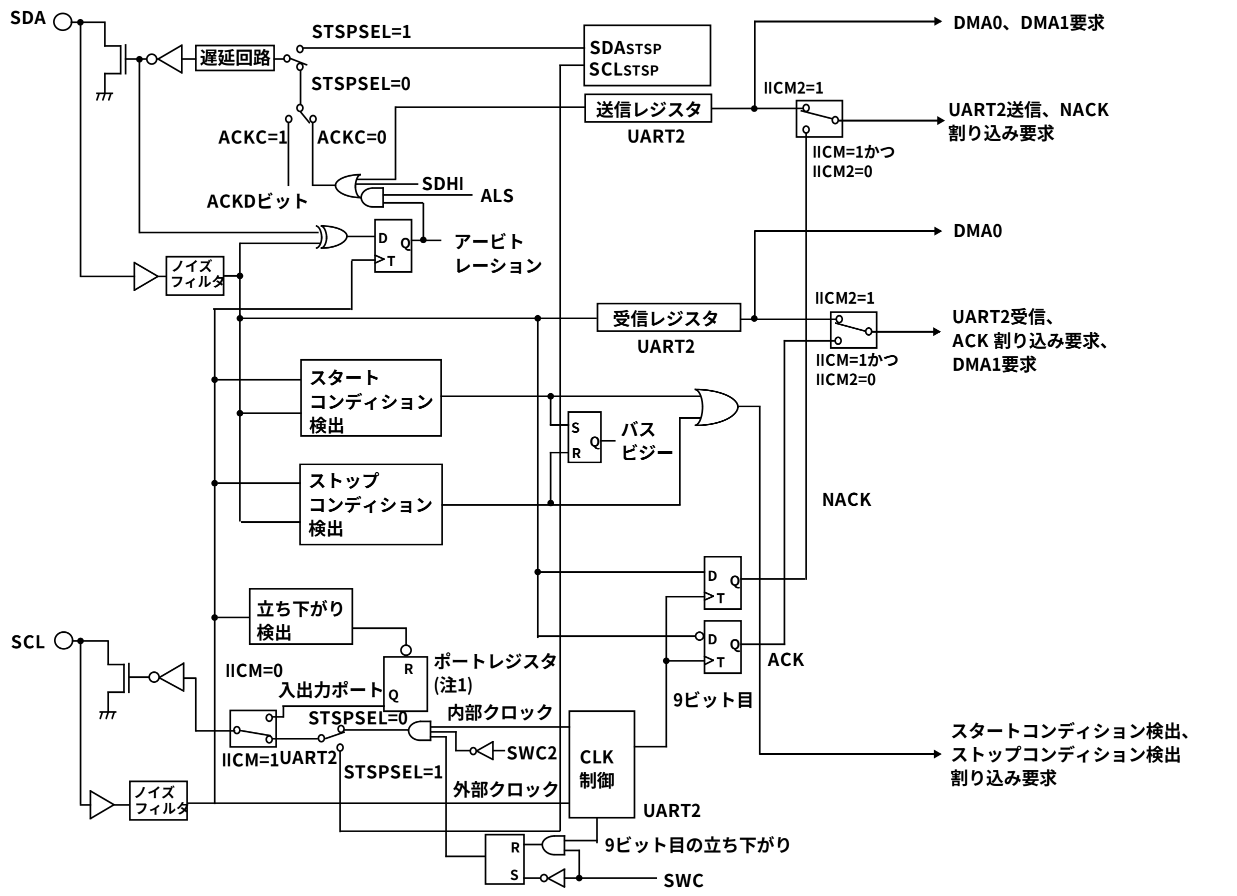
I^{2}C busモードは、簡易形I^{2}C busインタフェースに対応したモードです。表13.9にI^{2}C busモードの仕様を、表13.10.と表13.11.にI^{2}C busモード時の使用レジスタと設定値を、表13.12にI^{2}C busモード時の各機能を、図13.21にI^{2}C busモード時のブロック図を、図13.22にSCLタイミングを示します。

表13.11に示すように、SMD2～SMD0ビットを“010_2”に、IICMビットを“1”にするとI^{2}C busモードになります。SDA送信出力には遅延回路が付加されますので、SCLが“L”になり安定した後、SDA出力が変化します。

表13.9. I^{2}C busモードの仕様

項　目	仕　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●マスタ時 U2MRレジスタのCKDIRビットが“0”(内部クロック)：fj/2(n+1) fj=f1SIO、f2SIO、f8SIO、f32SIO　n=U2BRGレジスタの設定値　00_{16}～FF_{16} ●スレーブ時 CKDIRビットが“1”(外部クロック)：SCL端子からの入力
送信開始条件	●送信開始には、次の条件が必要です(注1)。 ・U2C1レジスタのTEビットが“1”(送信許可) ・U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	●受信開始には、次の条件が必要です(注1)。 ・U2C1レジスタのREビットが“1”(受信許可) ・U2C1レジスタのTEビットが“1”(送信許可) ・U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	●オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	●アービトレーションロスト U2RB レジスタのABT ビットの更新タイミングを選択可 ●SDAディジタル遅延 ディジタル遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を選択可 ●クロック位相設定 クロック遅れあり、なしを選択可

注1.　外部クロックを選択している場合、外部クロックが“H”の状態で条件を満たしてください。
注2.　オーバランエラーが発生した場合、U2RBレジスタは不定になります。またS2RICレジスタのIRビットは変化しません。



この図は、U2MRレジスタのSMD2～SMD0ビット=010$_2$、U2SMRレジスタのIICMビット=1の場合です。
IICM：U2SMRレジスタのビット
IICM2：U2SMR2レジスタのビット
STSPSEL, ACKD, ACKC：U2SMR4レジスタのビット

注1.　IICMビットが“1”の場合は、PD7_1ビットが“1”(出力)であっても、端子が読めます。

図13.21.　I^{2}C busモードのブロック図

表13.10.　I^{2}C busモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB(注1)	0～7	送信データを設定してください	送信データを設定してください
U2RB(注1)	0～7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
U2BRG	0～7	転送速度を設定してください	無効
U2MR(注1)	SMD2～SMD0	“010_2”にしてください	“010_2”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	IOPOL	“0”にしてください	“0”にしてください
U2C0	CLK1～CLK0	U2BRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1”にしてください	“1”にしてください
	NCH	“0”にしてください	“0”にしてください
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
U2C1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	無効	無効
	U2RRM、U2LCH、U2ERE	“0”にしてください	“0”にしてください
U2SMR	IICM	“1”にしてください	“1”にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3～7	“0”にしてください	“0”にしてください
U2SMR2	IICM2	「表13.11. I^{2}C busモード時の各機能」参照	「表13.11. I^{2}C busモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	クロックの9ビット目の立ち下がりでSCL出力を“L”出力固定にする場合、“1”にしてください	クロックの9ビット目の立ち下がりでSCL出力を“L”出力固定にする場合、“1”にしてください
	ALS	アービトレーションロスト検出時にSDAの出力を停止する場合“1”にしてください	“0”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUART2を初期化する場合、“1”にしてください
	SWC2	SCLの出力を強制的に“L”にする場合、“1”にしてください	SCLの出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDA出力を禁止をする場合、“1”にしてください	SDA出力を禁止をする場合、“1”にしてください
	7	“0”にしてください	“0”にしてください
U2SMR3	0、2、4、NODC	“0”にしてください	“0”にしてください
	CKPH	「表13.11. I^{2}C busモード時の各機能」参照	「表13.11. I^{2}C busモード時の各機能」参照
	DL2～DL0	SDAのディジタル遅延値を設定してください	SDAのディジタル遅延値を設定してください

注1.　この表に記載していないビットはI^{2}C busモード時に書く場合、“0”を書いてください。

表13.11. I2C busモード時の使用レジスタと設定値(2)

レジスタ	ビット	機　能	
		マスタ時	スレーブ時
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL出力を停止する場合、“1”にしてください	“0”にしてください
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりでSCLを“L”ホールドにする場合、“1”にしてください

注1.　この表に記載していないビットはI2C busモード時に書く場合、“0”を書いてください。

表13.12. I²C busモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2～SMD0=001_2, IICM=0)	I²C busモード(SMD2～SMD0=010_2,IICM=1) IICM2=0(NACK/ACK割り込み) CKPH=0 (クロック遅れなし)	IICM2=0 CKPH=1 (クロック遅れあり)	IICM2=1 (UART送信/UART受信割り込み) CKPH=0 (クロック遅れなし)	IICM2=1 CKPH=1 (クロック遅れあり)
割り込み番号10の要因(注1) (図13.24参照)	—	スタートコンディション検出、ストップコンディション検出 (「表13.13. STSPSELビットの機能」参照)			
割り込み番号 15の要因(注1) (図13.22参照)	UART2送信 送信開始、または送信完了(U2IRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLの立ち上がり		UART2送信 9ビット目のSCLの立ち上がり	UART2送信 9ビット目の次の SCLの立ち下がり
割り込み番号16,の要因(注1) (図13.22参照)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLの立ち上がり		UARTi受信 9ビット目のSCLの立ち下がり	
UART受信シフトレジスタからU2RBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLの立ち上がり		9ビット目のSCLの立ち下がり	9ビット目のSCLの立ち下がりと、立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
$P7_0$端子の機能	TxD2出力	SDA入出力			
$P7_1$端子の機能	RxD2入力	SCL入出力			
$P7_2$端子の機能	CLK2入力または出力選択	—(I²C busモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RxD2, SCL端子レベルの読み込み	対応するポート方向ビットが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TxD2, SDA出力の初期値	CKPOL=0(H) CKPOL=1(L)	I²C busモード設定前に、ポートレジスタに設定した値(注2)			
SCLの初期値、終了値	—	H	L	H	L
DMA1要因 (図13.22参照)	UART2受信	アクノリッジ検出(ACK)		UART2受信 9ビット目のSCLの立ち下がり	
受信データ格納	1～8ビット目をU2RBレジスタのビット0～7に格納	1～8ビット目をU2RBレジスタのビット7～0に格納		1～7ビット目をU2RBレジスタのビット6～0に、8ビット目をU2RBレジスタのビット8に格納	1～8ビット目をU2RBレジスタのビット7～0に格納(注3)
受信データ読み出し	U2RBレジスタの状態をそのまま読み出す				U2RBレジスタのビット6～0はビット7～1として、ビット8はビット0から読み出す(注4)

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。(「注意事項集の「割り込み注意事項」参照」)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2～SMD0ビット、U2SMRレジスタのIICMビット、
U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

注2. SDA出力の初期値は、U2MRレジスタのSMD2～SMD0ビットが“000_2”(シリアルI/Oが無効)の状態で設定してください。

注3. U2RBレジスタへのデータ転送2回目(9ビット目SCL立ち上がり時)

注4. U2RBレジスタへのデータ転送1回目(9ビット目SCL立ち下がり時)

この図は次の設定条件の場合です。
●U2MRレジスタのCKDIRビット = 0(スレーブ選択)

図13.22.　U2RBレジスタへの転送、割り込みのタイミング

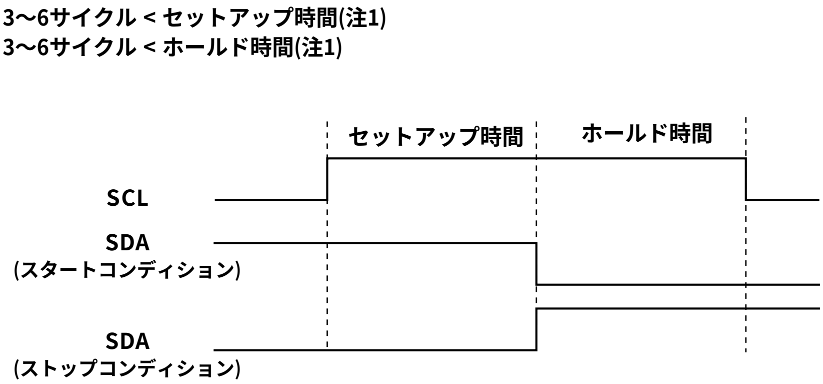
RENESAS

13.4.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL端子が“H”の状態でSDA端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL端子が“H”の状態でSDA端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。



注1. PCLKRレジスタのPCLK1ビットが“1”の場合はf_{1SIO}の、PCLK1ビットが“0”の場合はf_{2SIO}のサイクル数です。

図13.23. スタートコンディション、ストップコンディションの検出

13.4.2 スタートコンディション、ストップコンディションの出力

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

出力の手順は次の通りです。

(1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする

(2) U2SMR4レジスタのSTSPSELビット“1”(出力)にする

表13.13と図13.24にSTSPSELビットの機能を示します。

表13.13.　STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL、SDA端子の出力	転送クロック、データを出力。スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウエアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

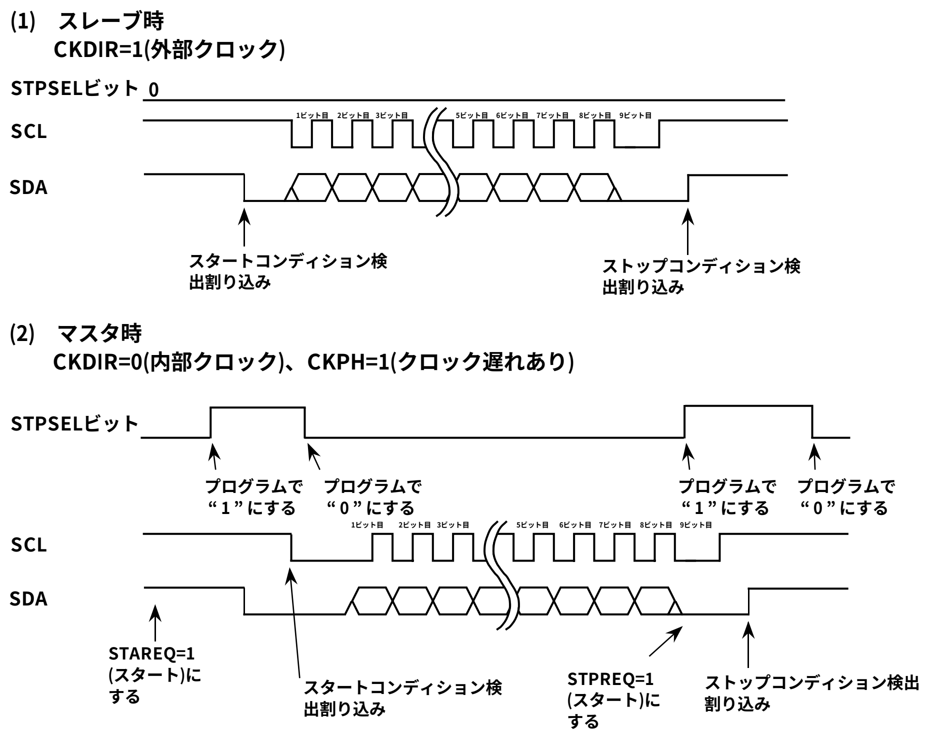


図13.24.　STSPSELビットの機能

13.4.3 アービトレーション

SCLの立ち上がりのタイミングで、送信データとSDA端子入力データの不一致を判定します。U2SMRレジスタのABCビットで、U2RBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9発目のクロックの立ち下がりでABTビットが“1”(不一致検出)になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトを転送してください。

U2SMR2レジスタのALSビットを“1”(SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”(不一致検出)になったとき、同時にSDA端子がハイインピーダンス状態になります。

13.4.4 転送クロック

図13.24に示すような転送クロックで送受信を行います。

U2SMR2レジスタのCSCビットは内部で生成したクロック(内部SCL)と、SCL端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLが“H”の場合、SCL端子に立ち下がりエッジがあれば内部SCLを“L”とし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL端子が“L”のとき、内部SCLが“L”から“H”に変化するとカウントを停止し、SCL端子が“H”になるとカウントを再開します。したがって、UART2の転送クロックは、内部SCLとSCL端子の信号の論理積になります。なお、転送クロックは内部SCLの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCL端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCL出力を停止します(ハイインピーダンス状態)。

U2SMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCL端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCL端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3レジスタのCKPHビットが“1”のとき、U2SMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCL端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

13.4.5 SDA出力

U2TBレジスタのビット7～0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDA送信出力の初期値は、IICM=1(I²C Busモード)で、U2MRレジスタのSMD2～SMD0ビットが“000₂”(シリアルI/Oは無効)の状態で設定してください。

U2SMR3レジスタのDL2～DL0ビットによりSDAの出力を遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

13.4.6 SDA入力

IICM2ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビット7～0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビット6～0に、8ビット目(D0)をU2RBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

13.4.7 ACK、NACK

U2SMR4レジスタのSTSPSELビットが“０”(スタートコンディション、ストップコンディションを生成しない)でU2SMR4レジスタのACKCビットが“１”(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA端子から出力されます。

IICM2ビットが“０”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA端子が“Ｈ”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA端子が“Ｌ”ならば発生します。

DMA1要求要因にACKを選択すると、アクノリッジ検出によってDMA転送を起動できます。

13.4.8 送受信初期化

STACビットを“１”(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

・送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。

・受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。

・SWCビットが“１”(SCLウエイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCL端子が“Ｌ”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

13.5 特殊モード2(UART2)

1つのマスタから、複数のスレーブへシリアル通信できます。また、転送クロックの極性と位相を選択できます。表13.14に特殊モード2の仕様を、表13.15に特殊モード2時の使用レジスタと設定値を、図13.25に特殊モード2の通信制御例を示します。

表13.14.　特殊モード2の仕様

項　　目	仕　　様
転送データフォーマット	転送データ長　8ビット
転送クロック	●マスタモード U2MRレジスタのCKDIRビットが“0”(内部クロック選択)：fj/2(n+1) fj=f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}　n：U2BRGレジスタ設定値。00_{16}～FF_{16}。 ●スレーブモード CKDIRビットが“1”(外部クロック選択)：CLK2端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要です。(注1) ・U2C1レジスタのTEビットが“1”(送信許可) ・U2C1レジスタのTIビット が“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です。(注1) ・U2C1レジスタのREビットが“1”(受信許可) ・TEビットが“1”(送信許可) ・TIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます。 ・U2C1レジスタのU2IRSビットが“0”(送信バッファ空)： U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) ・U2IRSビットが“1”(送信完了)：UART2送信レジスタからデータ送信完了時 受信時 ・UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	●クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

注1.　外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2.　オーバランエラーが発生した場合、U2RBレジスタは不定になります。またS2RICレジスタのIRビットは変化しません。

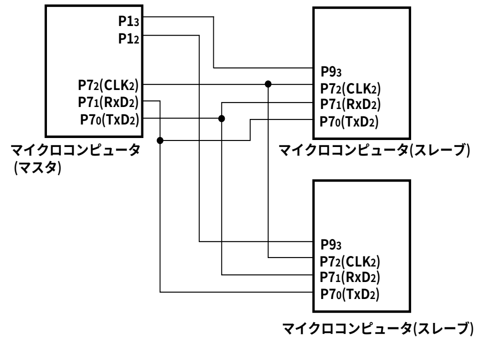


図13.25.　特殊モード2の通信制御例(UART2)

表13.15. 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機　能
U2TB(注1)	0～7	送信データを設定してください
U2RB(注1)	0～7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	0～7	転送速度を設定してください
U2MR(注1)	SMD2～SMD0	“ 001_2 ” にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	IOPOL	“ 0 ” にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=“ 1 ” なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“ 1 ” にしてください
	NCH	“ 0 ” にしてください
	CKPOL	U2SMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信許可する場合、“ 1 ” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“ 1 ” にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM、U2LCH、U2ERE	“ 0 ” にしてください
U2SMR	0～7	“ 0 ” にしてください
U2SMR2	0～7	“ 0 ” にしてください
U2SMR3	CKPH	U2C0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“ 0 ” にしてください
	0、2、4～7	“ 0 ” にしてください
U2SMR4	0～7	“ 0 ” にしてください

注1.　この表に記載していないビットは特殊モード2時に書く場合、“ 0 ” を書いてください。

13.5.1 クロック位相設定機能

U2SMR3レジスタのCKPHビットとU2C0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

●マスタ(内部クロック)の場合

図13.26にマスタ(内部クロック)の場合の送受信のタイミングを示します。

●スレーブ（外部クロック）の場合

図13.27にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図13.28にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

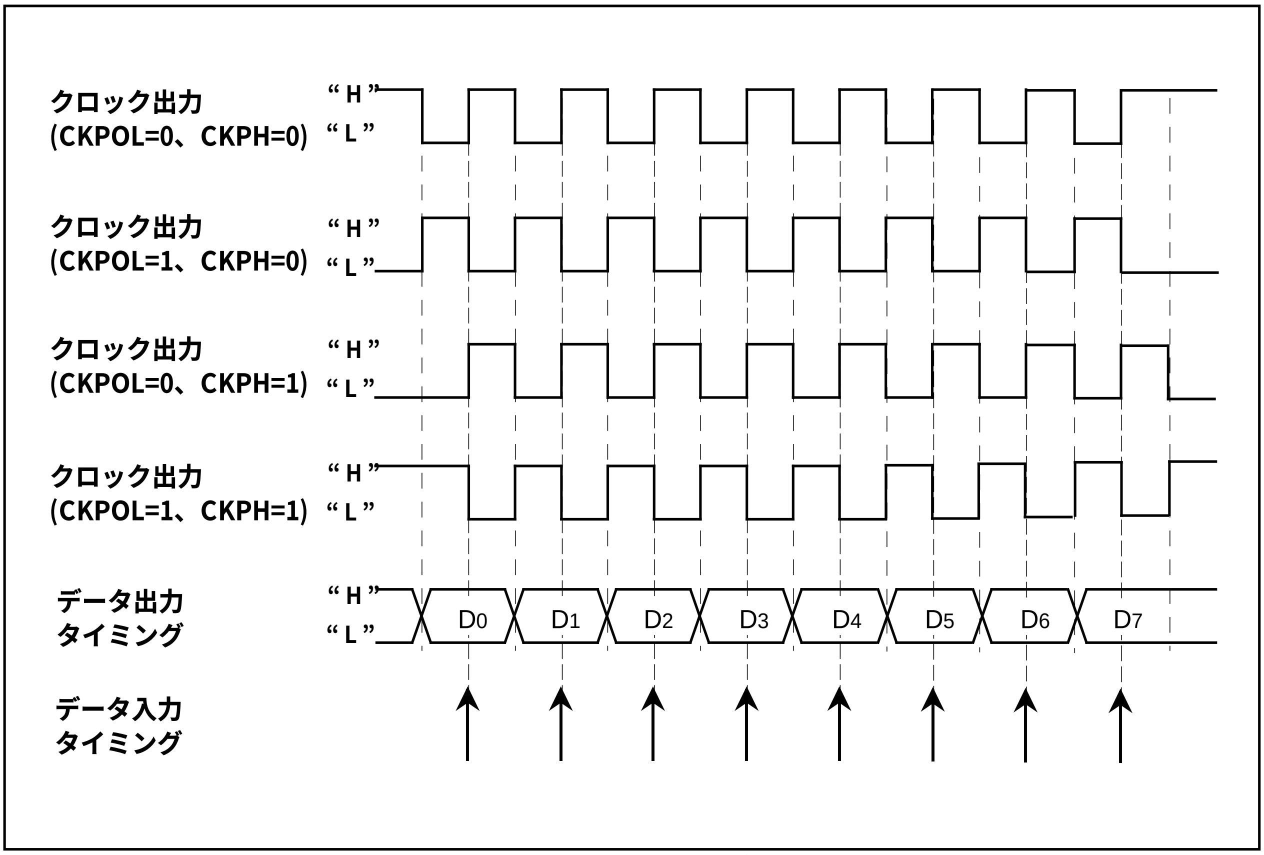


図13.26.　マスタ(内部クロック)の場合の送受信のタイミング

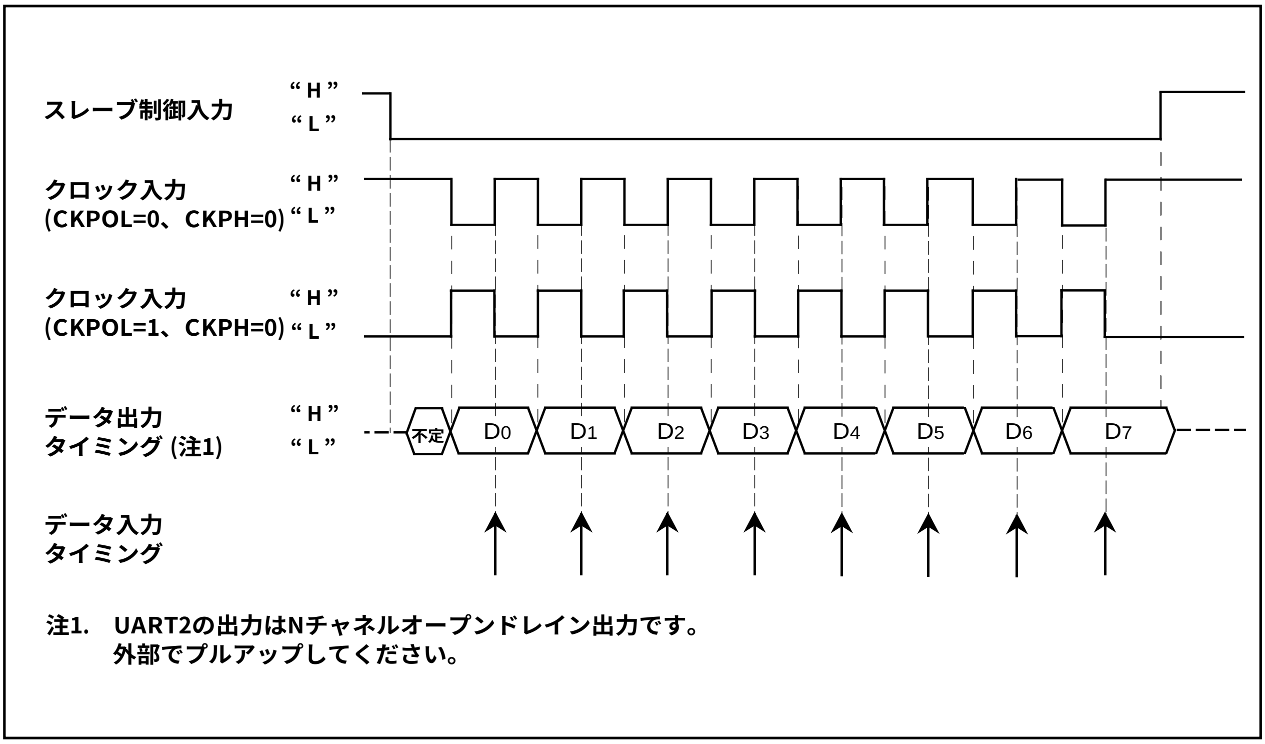


図13.27.　スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

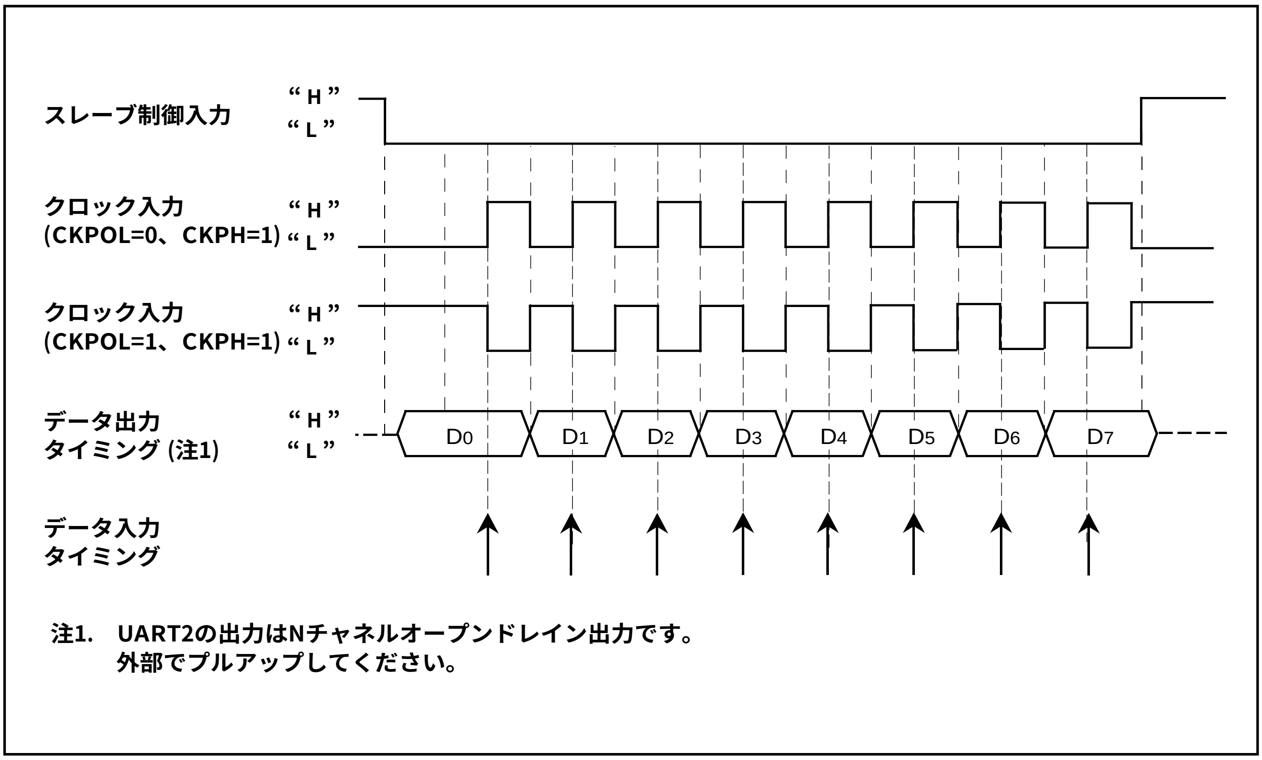


図13.28.　スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

13.6 特殊モード3(IEBusモード)(UART2)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表13.16にIEBusモード時の使用レジスタと設定値を、図13.29にバス衝突検出機能関連ビットの機能を示します。

TxD2端子の出力レベルとRxD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

表13.16.　IEBusモード時の使用レジスタと設定値

レジスタ	ビット	機　能
U2TB	0～8	送信データを設定してください
U2RB(注1)	0～8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0～7	転送速度を設定してください
U2MR	SMD2～SMD0	“110_2”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	PRYE=0なので無効
	PRYE	“0”にしてください
	IOPOL	TxD、RxD入出力極性を選択してください
U2C0	CLK1～CLK0	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	“0”にしてください
	CKPOL	“0”にしてください
	UFORM	“0”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS	URAT2送信割り込み要因を選択してください
	U2RRM、U2LCH、U2ERE	“0”にしてください
U2SMR	0～3、7	“0”にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1”にしてください
	SSS	送信開始条件を選択してください
U2SMR2	0～7	“0”にしてください
U2SMR3	0～7	“0”にしてください
U2SMR4	0～7	“0”にしてください

注1.　この表に記載していないビットはIEBusモード時に書く場合、“0”を書いてください。

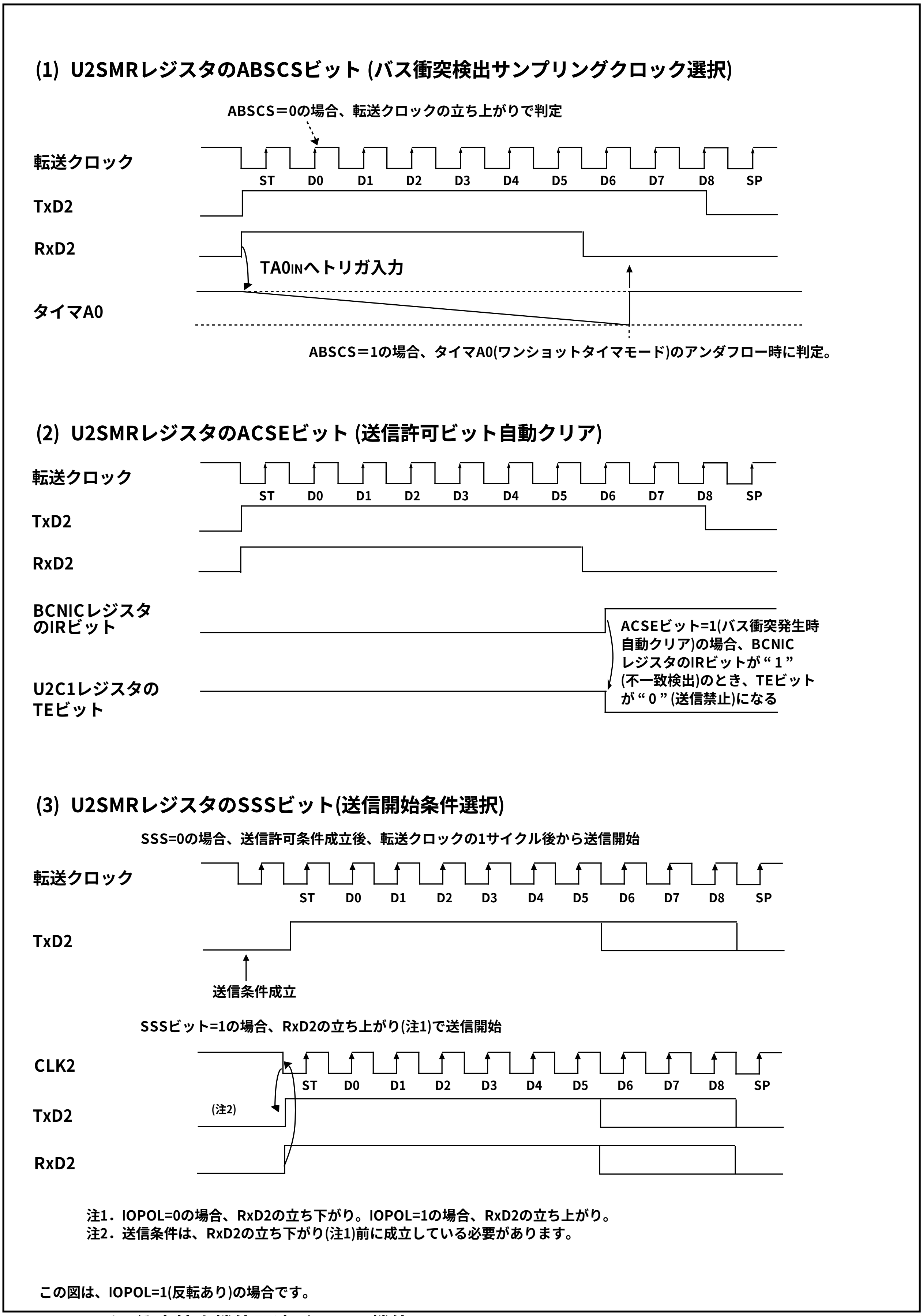


図13.29.　バス衝突検出機能関連ビットの機能

13.7 特殊モード4(SIMモード)(UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTxD2端子から“L”を出力できます。

表13.17にSIMモードの仕様を、表13.18にSIMモード時の使用レジスタと設定値を示します。

表13.17. SIMモードの仕様

項　目	仕　様
転送データフォーマット	●ダイレクトフォーマット ●インバースフォーマット
転送クロック	●U2MRレジスタのCKDIRビットが“0”(内部クロック)：fi/16(n+1) fi=f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}。n=U2BRGレジスタの設定値　00_{16}～FF_{16} ●CKDIRビットが“1”(外部クロック)：f_{EXT}/16(n+1) f_{EXT}はCLK2端子からの入力。n=U2BRGレジスタの設定値　00_{16}～FF_{16}
送信開始条件	●送信開始には、次の条件が必要です。 ・U2C1レジスタのTEビットが“1”(送信許可) ・U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	●受信開始には、次の条件が必要です。 ・U2C1レジスタのREビットが“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング(注2)	●送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット=“1”) ●受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	●オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー 受信時、パリティエラーを検出すると、パリティエラー信号をTxD2端子から出力 送信時、送信割り込み発生時、RxD2端子の入力レベルによりパリティエラーを検知 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタは不定になります。またS2RICレジスタのIRビットは変化しません。

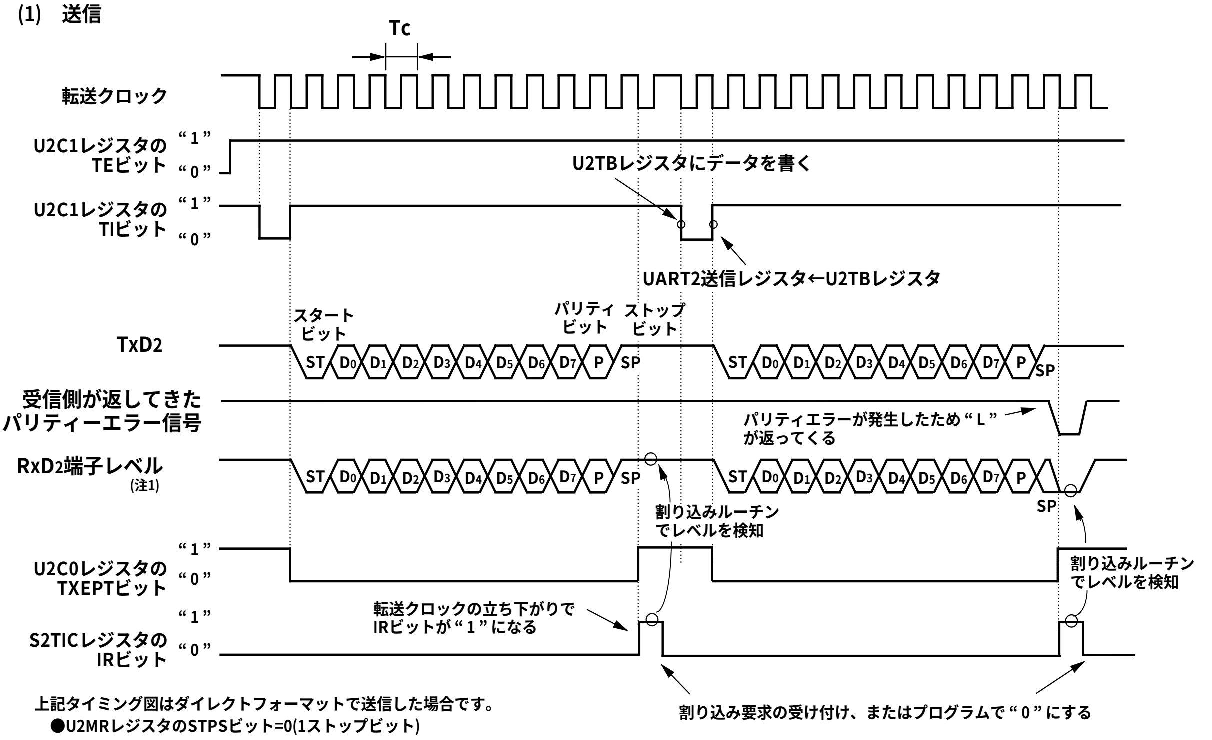
注2. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

表13.18. SIMモード時の使用レジスタと設定値

レジスタ	ビット	機　能
U2TB(注1)	0～7	送信データを設定してください
U2RB(注1)	0～7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0～7	転送速度を設定してください
U2MR	SMD2～SMD0	“101_2”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合“0”にしてください
	PRYE	“1”にしてください
	IOPOL	“0”にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	“0”にしてください
	CKPOL	“0”にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1”にしてください
	RI	受信完了フラグ
	U2IRS	“1”にしてください
	U2RRM	“0”にしてください
	U2LCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
	U2ERE	“1”にしてください
U2SMR(注1)	0～3	“0”にしてください
U2SMR2	0～7	“0”にしてください
U2SMR3	0～7	“0”にしてください
U2SMR4	0～7	“0”にしてください

注1.　この表に記載していないビットはSIMモード時に書く場合、“0”を書いてください。

(1)　送信

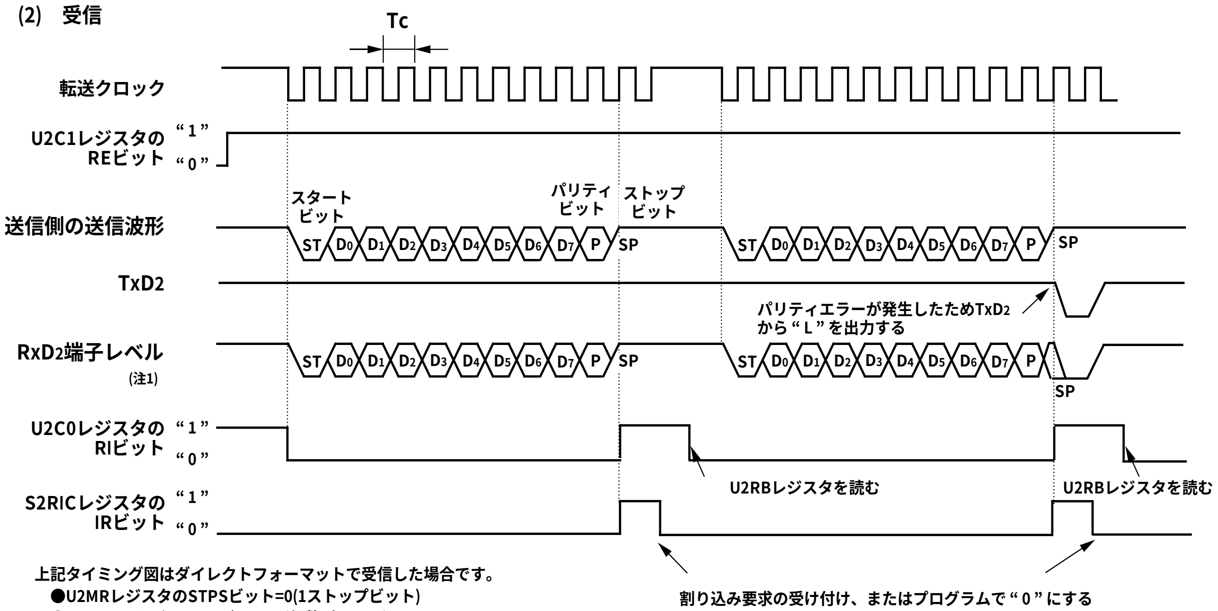


上記タイミング図はダイレクトフォーマットで送信した場合です。
- ●U2MRレジスタのSTPSビット=0(1ストップビット)
- ●U2MRレジスタのPRYビット=1(偶数パリティ)
- ●U2C0レジスタのUFORMビット=0(LSBファースト)
- ●U2C1レジスタのU2LCHビット=0(反転なし)
- ●U2C1レジスタのU2IRSビット=1(送信完了)

Tc = 16(n+1) / fiまたは16(n+1)/fEXT
fi : U2BRGのカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
fEXT : U2BRGのカウントソースの周波数 (外部クロック)
n : U2BRGに設定した値

注1.　TxD2とRxD2を接続しているためTxD2出力と受信側が返してきたパリティーエラー信号出力を合成した波形になる。

(2)　受信



上記タイミング図はダイレクトフォーマットで受信した場合です。
- ●U2MRレジスタのSTPSビット=0(1ストップビット)
- ●U2MRレジスタのPRYビット=1(偶数パリティ)
- ●U2C0レジスタのUFORMビット=0(LSBファースト)
- ●U2C1レジスタのU2LCHビット=0(反転なし)
- ●U2C1レジスタのU2IRSビット=1(送信完了)

Tc = 16(n+1) / fiまたは16(n+1)/fEXT
fi : U2BRGのカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
fEXT : U2BRGのカウントソースの周波数 (外部クロック)
n : U2BRGに設定した値

注1.　TxD2とRxD2を接続しているため送信側の送信波形とパリティーエラー信号出力を合成した波形になる。

図13.30.　SIMモードの送受信タイミング例

図13.31にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

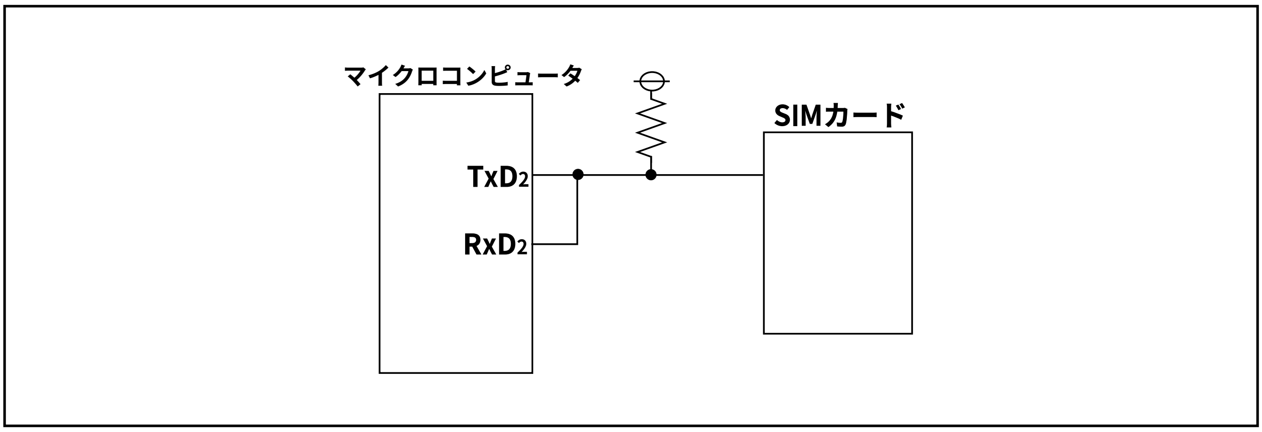


図13.31. SIMインタフェース接続例

13.7.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”にすると、パリティエラー信号を使用できます。

・受信時

パリティエラー信号は、受信時にパリティーエラーを検出した場合に出力する信号で、図13.32に示すタイミングでTxD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、PERビットが“0”になり、同時にTxD2出力も“H”に戻ります。

・送信時

送信時、送信完了割り込み要求がストップビットを出力した次の転送クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RxD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうかが判定できます。

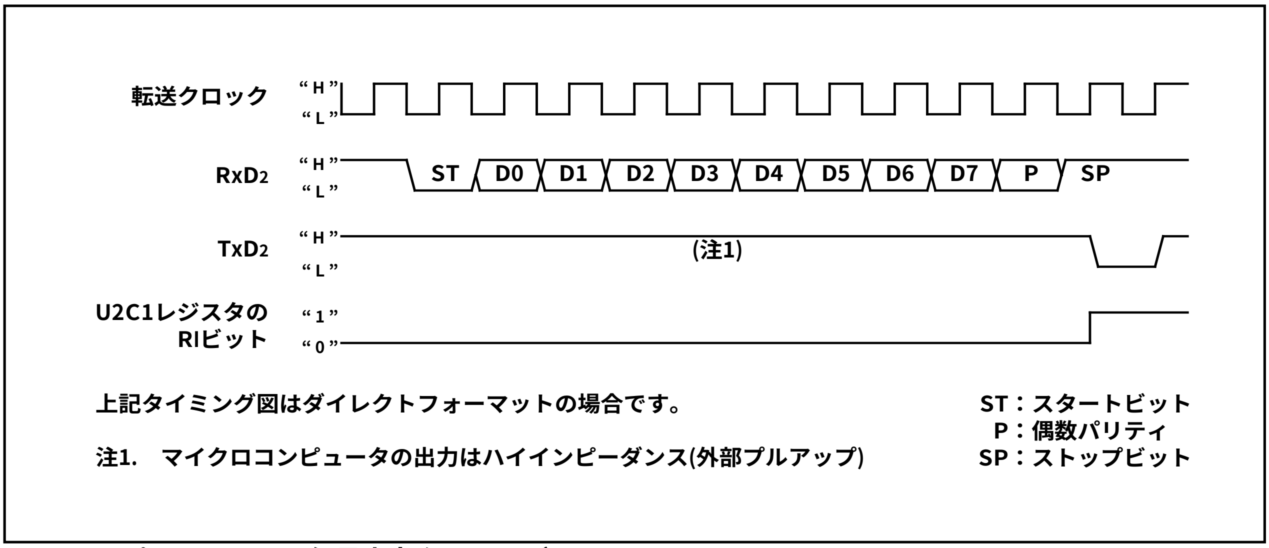


図13.32. パリティエラー信号出力タイミング

13.7.2 フォーマット

・ダイレクトフォーマット

U2MRレジスタのPRYビットを“1”、U2C0レジスタのUFORMビットを“0”、U2C1レジスタのU2LCHビットを“0”にしてください。

・インバースフォーマット

PRYビットを“0”、UFORMビットを“1”、U2LCHビットを“1”にしてください。

図13.33にSIMインタフェースフォーマットを示します。

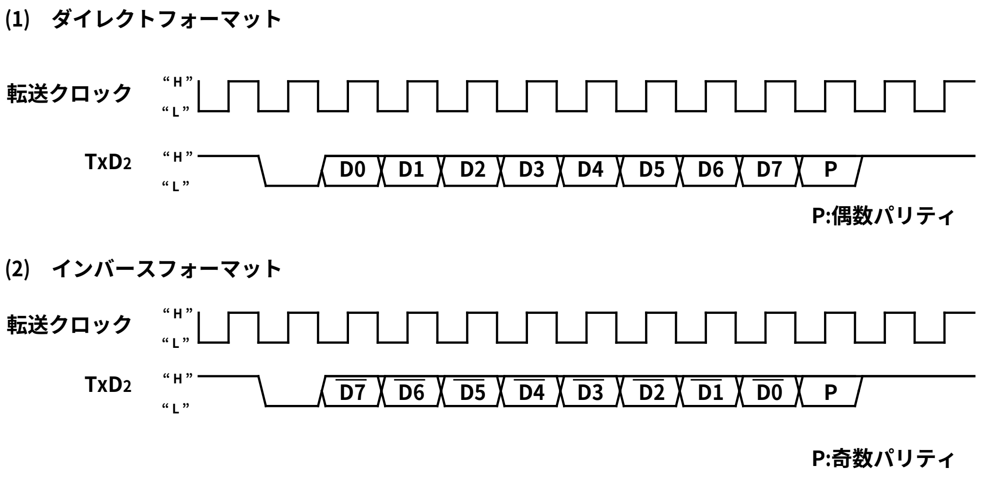


図13.33. SIMインタフェースフォーマット

14. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P10₀～P10₇と端子を共用しています。また、$\overline{AD_{TRG}}$入力はP1₅と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。

A/Dコンバータを使用しない場合、VCUTビットを“0”(Vref未接続)にすると、V_{REF}端子からラダー抵抗には電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、AN_i端子(i=0～7)に対応したADiレジスタに格納されます。

表14.1にA/Dコンバータの仕様、図14.1にA/Dコンバータのブロック図、図14.2～図14.3にA/Dコンバータ関連レジスタを示します。

表14.1. A/Dコンバータの仕様

項　目	仕　様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AV_{CC}(V_{CC})
動作クロックφAD(注2)	f_{AD}、f_{AD}の2分周、f_{AD}の3分周、f_{AD}の4分周、f_{AD}の6分周、またはf_{AD}の12分周
分解能	8ビットまたは10ビット
積分非直線性誤差	AV_{CC}=V_{REF}=5Vのとき ●分解能8ビットの場合　±2LSB ●分解能10ビット　±3LSB AV_{CC}=V_{REF}=3.3Vのとき ●分解能8ビットの場合　±2LSB ●分解能10ビット　±5LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子(注3)	8本(AN_0～AN_7)
A/D変換開始条件	●ソフトウエアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ●外部トリガ(再トリガ可能) ADSTビットを“1”(A/D変換開始)にした後、$\overline{AD_{TRG}}$端子の入力が“H”から“L”へ変化
1端子あたりの変換速度	●サンプル&ホールドなし 分解能8ビットの場合49φADサイクル 分解能10ビットの場合59φADサイクル ●サンプル&ホールドあり 分解能8ビットの場合28φADサイクル 分解能10ビットの場合33φADサイクル

注1.　サンプル&ホールド機能の有無に依存しません。
注2.　φADの周波数を10MHz以下にしてください。
　　サンプル&ホールド機能なしの場合、φADの周波数は250kHz以上にしてください。
　　サンプル&ホールド機能ありの場合、φADの周波数は1MHz以上にしてください。

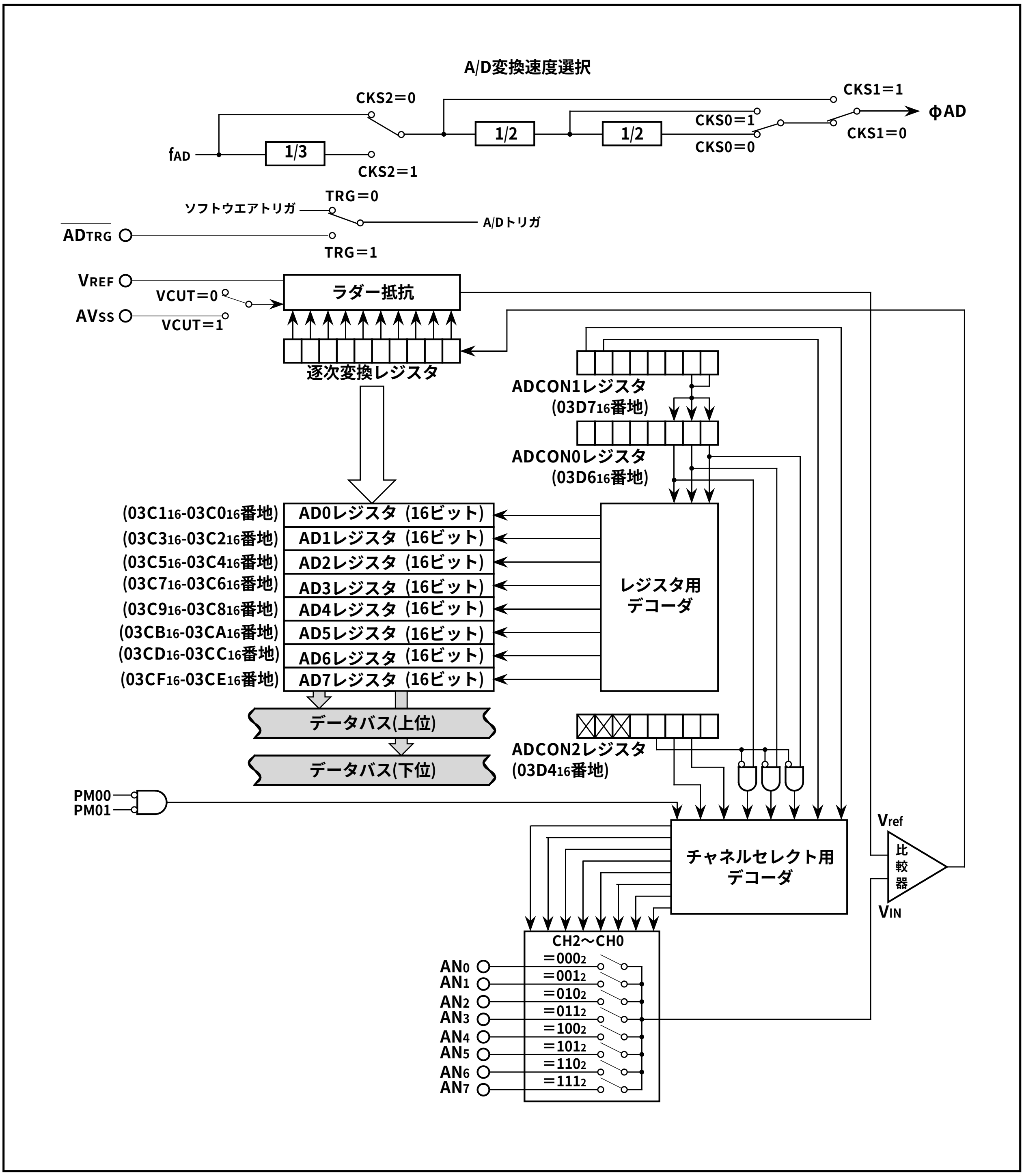


図14.1. A/Dコンバータのブロック図

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
ADCON0	03D6$_{16}$番地	00000XXX$_2$

ビットシンボル	ビット名	機　能	RW
CH0	アナログ入力端子選択ビット	動作モードによって機能が異なる	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0 または繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注3を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0						

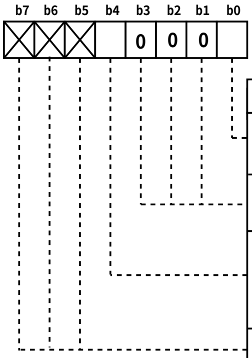
シンボル	アドレス	リセット後の値
ADCON1	03D7$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　能	RW
SCAN0	A/D掃引端子選択ビット	動作モードによって機能が異なる	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注3を参照してください	RW
VCUT	Vref接続ビット(注2)	0 : Vref未接続 1 : Vref接続	RW
(b7-b6)	予約ビット	“0”にしてください	RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.2.　ADCON0～ADCON1レジスタ

A/D制御レジスタ2(注1)



シンボル	アドレス	リセット後の値
ADCON2	03D4$_{16}$番地	00$_{16}$

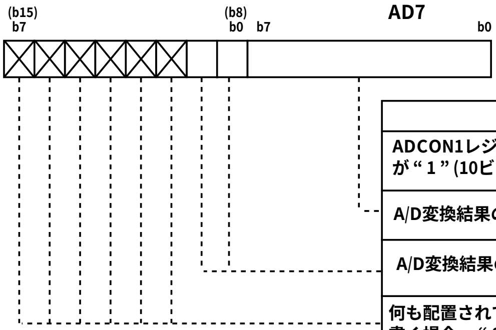
ビットシンボル	ビット名	機　能	RW
SMP	A/D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	RW
(b1-b3)	予約ビット	“0”にしてください	RW
CKS2	周波数選択ビット2(注2)	0 : f_{AD}、f_{AD}の2分周、または f_{AD}の4分周を選択 1 : f_{AD}の3分周、f_{AD}の6分周、または f_{AD}の12分周を選択	RW
(b7-b5)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1.　A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。
注2.　ϕ_{AD}の周波数は10MHz以下にしてください。ϕ_{AD}はADCON0レジスタのCKS0ビット、ADCON1レジスタのCKS1ビット、ADCON2レジスタのCKS2ビットの組み合わせで選択できます。

CKS2	CKS1	CKS0	ϕ_{AD}
0	0	0	f_{AD}の4分周
0	0	1	f_{AD}の2分周
0	1	0	f_{AD}
0	1	1	
1	0	0	f_{AD}の12分周
1	0	1	f_{AD}の6分周
1	1	0	f_{AD}の3分周
1	1	1	

A/Dレジスタi(i=0〜7)

シンボル	アドレス	リセット後の値
AD0	03C1$_{16}$-03C0$_{16}$番地	不定
AD1	03C3$_{16}$-03C2$_{16}$番地	不定
AD2	03C5$_{16}$-03C4$_{16}$番地	不定
AD3	03C7$_{16}$-03C6$_{16}$番地	不定
AD4	03C9$_{16}$-03C8$_{16}$番地	不定
AD5	03CB$_{16}$-03CA$_{16}$番地	不定
AD6	03CD$_{16}$-03CC$_{16}$番地	不定
AD7	03CF$_{16}$-03CE$_{16}$番地	不定



機　能		RW
ADCON1レジスタのBITSビットが“1”(10ビットモード)の場合	ADCON1レジスタのBITSビットが“0”(8ビットモード)の場合	RW
A/D変換結果の下位8ビット	A/D変換結果	RO
A/D変換結果の上位2ビット	読んだ場合、その値は不定	RO
何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

図14.3.　ADCON2、AD0〜AD7レジスタ

14.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表14.2に単発モードの仕様、図14.4に単発モード時のADCON0～ADCON1レジスタを示します。

表14.2. 単発モードの仕様

項　目	仕　様
機能	ADCON0レジスタのCH2～CH0ビットで選択した1本の端子の入力電圧を、1回A/D変換する
A/D変換開始条件	●ADCON0レジスタのTRGビットが“0”(ソフトウエアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ●TRGビットが“1”($\overline{ADTRG}$によるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、$\overline{ADTRG}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	●A/D変換終了(ソフトウエアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ●ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN_0～AN_7から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

RENESAS

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0			

シンボル	アドレス	リセット後の値
ADCON0	03D6₁₆番地	00000XXX₂

ビットシンボル	ビット名	機　　能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 0 0 : 単発モード　(注2)	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。
注2.　MD1～MD0ビットを書き換えた後、別の命令でCH2～CH0ビットを再設定してください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル	アドレス	リセット後の値
ADCON1	03D7₁₆番地	00₁₆

ビットシンボル	ビット名	機　　能	RW
SCAN0	A/D掃引端子選択ビット	単発モードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	単発モードでは“0”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1 : Vref接続	RW
(b7-b6)	予約ビット	“0”にしてください	RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.4.　単発モード時のADCON0～ADCON1レジスタ

14.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表14.3に繰り返しモードの仕様、図14.5に繰り返しモード時のADCON0～ADCON1レジスタを示します。

表14.3. 繰り返しモードの仕様

項　目	仕　様
機能	ADCON0レジスタのCH2～CH0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	●ADCON0レジスタのTRGビットが“0”(ソフトウエアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ●TRGビットが“1”($\overline{\text{ADTRG}}$によるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN_0～AN_7から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	1			

シンボル	アドレス	リセット後の値
ADCON0	03D6₁₆番地	00000XXX₂

ビットシンボル	ビット名	機　能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN0を選択 0 0 1 : AN1を選択 0 1 0 : AN2を選択 0 1 1 : AN3を選択 1 0 0 : AN4を選択 1 0 1 : AN5を選択 1 1 0 : AN6を選択 1 1 1 : AN7を選択　(注2)	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 0 1 : 繰り返しモード　(注2)	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。
注2.　MD1～MD0ビットを書き換えた後、別の命令でCH2～CH0ビットを再設定してください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル	アドレス	リセット後の値
ADCON1	03D7₁₆番地	00₁₆

ビットシンボル	ビット名	機　能	RW
SCAN0	A/D掃引端子選択ビット	繰り返しモードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	繰り返しモードでは“0”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1 : Vref接続	RW
(b7-b6)	予約ビット	“0”にしてください	RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.5.　繰り返しモード時のADCON0～ADCON1レジスタ

14.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表14.4に単掃引モードの仕様、図14.6に単掃引モード時のADCON0～ADCON1レジスタを示します。

表14.4. 単掃引モードの仕様

項　　目	仕　　様
機能	ADCON1レジスタのSCAN1, SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	●ADCON0レジスタのTRGビットが“0”(ソフトウエアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ●TRGビットが“1”($\overline{AD_{TRG}}$によるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、$\overline{AD_{TRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	●A/D変換終了(ソフトウエアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ●ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN_0～AN_1(2端子)、AN_0～AN_3(4端子)、AN_0～AN_5(6端子)、AN_0～AN_7(8端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

RENESAS

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	0			

シンボル	アドレス	リセット後の値
ADCON0	03D6₁₆番地	00000XXX₂

ビットシンボル	ビット名	機　能	RW
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 1 0 : 単掃引モード	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット	ADCON2レジスタの注2を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル	アドレス	リセット後の値
ADCON1	03D7₁₆番地	00₁₆

ビットシンボル	ビット名	機　能	RW
SCAN0	A/D掃引端子選択ビット	単掃引モードを選択している場合 b1 b0 0 0 : AN_0～AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	単掃引モードでは“0”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1 : Vref接続	RW
(b7-b6)	予約ビット	“0”にしてください	RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.6. 単掃引モード時のADCON0～ADCON1レジスタ

RENESAS

14.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表14.5に繰り返し掃引モード0の仕様、図14.7に繰り返し掃引モード0時のADCON0～ADCON1レジスタを示します。

表14.5. 繰り返し掃引モード0の仕様

項　目	仕　様
機能	ADCON1レジスタのSCAN1, SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	●ADCON0レジスタのTRGビットが“0”(ソフトウエアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ●TRGビットが“1”($\overline{ADTRG}$によるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、$\overline{ADTRG}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0(注1)

シンボル	アドレス	リセット後の値
ADCON0	03D6₁₆番地	00000XXX₂

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

ビットシンボル	ビット名	機　能	RW
CH0	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0または繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : AD_{TRG}によるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

シンボル	アドレス	リセット後の値
ADCON1	03D7₁₆番地	00₁₆

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

ビットシンボル	ビット名	機　能	RW
SCAN0	A/D掃引端子選択ビット	繰り返し掃引モード0を選択している場合 b1 b0 0 0 : AN_0～AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	繰り返し掃引モード0では“0”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1 : Vref接続	RW
(b7-b6)	予約ビット	“0”にしてください	RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.7.　繰り返し掃引モード0時のADCON0～ADCON1レジスタ

14.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表14.6に繰り返し掃引モード1の仕様、図14.8に繰り返し掃引モード1時のADCON0～ADCON1レジスタを示します。

表14.6. 繰り返し掃引モード1の仕様

項　目	仕　様
機能	ADCON1レジスタのSCAN1, SCAN0ビットで選択した端子に重点をおいて、ADGSEL1～0ビットで選択した全端子の入力電圧を繰り返しA/D変換する 例 : AN_0を選択した場合 AN_0→AN_1→AN_0→AN_2→AN_0→AN_3 ・・・ の順にA/D変換する
A/D変換開始条件	●ADCON0レジスタのTRGビットが“0”(ソフトウエアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ●TRGビットが“1”($\overline{AD_{TRG}}$によるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、$\overline{AD_{TRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換するアナログ入力端子	AN_0(1端子)、AN_0～AN_1(2端子)、AN_0～AN_2(3端子)、AN_0～AN_3(4端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

シンボル ADCON0　　アドレス 03D6₁₆番地　　リセット後の値 00000XXX₂

ビットシンボル	ビット名	機　能	RW
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0または繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			1		

シンボル ADCON1　　アドレス 03D7₁₆番地　　リセット後の値 00₁₆

ビットシンボル	ビット名	機　能	RW
SCAN0	A/D掃引端子選択ビット	繰り返し掃引モード1を選択している場合 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0～AN_1(2端子) 1 0 : AN_0～AN_2(3端子) 1 1 : AN_0～AN_3(4端子)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	繰り返し掃引モード1では“1”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1 : Vref接続	RW
— (b7-b6)	予約ビット	“0”にしてください	RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.8. 繰り返し掃引モード1時のADCON0～ADCON1レジスタ

14.6 分解能選択機能

ADCON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度を10ビット)にすると、A/D変換結果がADiレジスタ(i=0〜7)のビット0〜9に格納されます。BITSビットを“0”(変換精度を8ビット)にすると、A/D変換結果がADiレジスタのビット0〜7に格納されます。

14.7 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

14.8 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1”(VREF接続)にした後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとVCUTビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”(VREF未接続)にしないでください。

14.9 アナログ入力端子と外部センサーの等価回路例

図14.9にアナログ入力端子と外部センサーの等価回路例を示します。

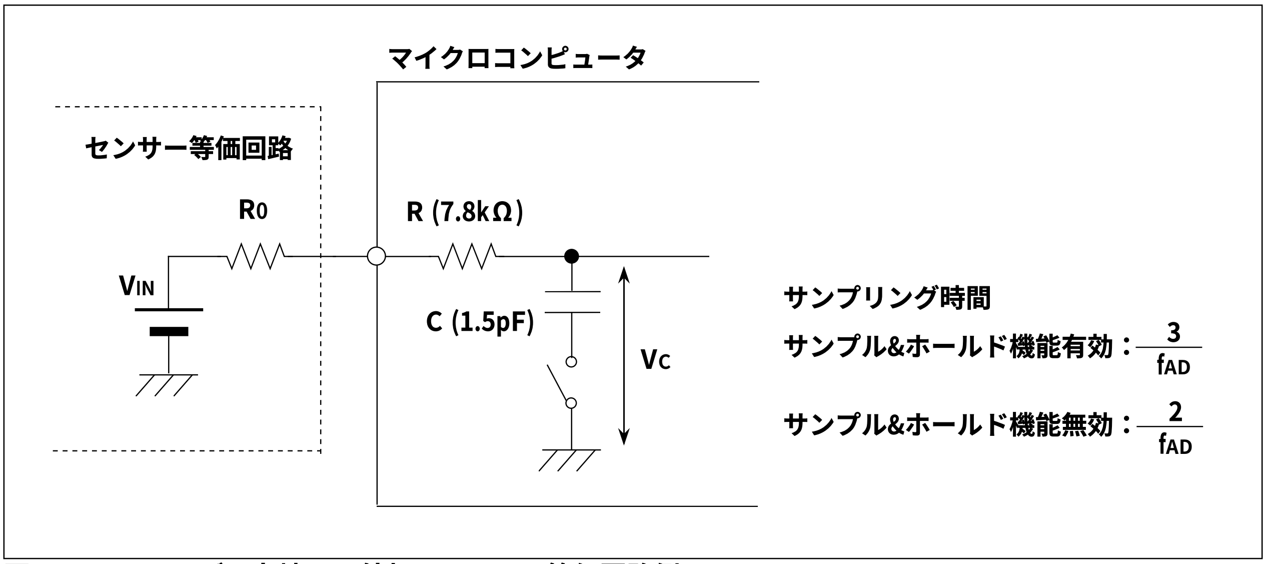


図14.9. アナログ入力端子と外部センサーの等価回路例

15. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、$P1_5$〜$P1_7$、P6、P7、$P8_0$〜$P8_3$、$P8_5$〜$P8_7$、$P9_0$〜$P9_3$、P10の38本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。

図15.1〜図15.3に入出力ポートの構成、図15.4に端子の構成を示します。

各端子は、入出力ポート、または周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

15.1 ポートPi方向レジスタ(PDiレジスタ　i=1、6〜10)

図15.5にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

15.2 ポートPiレジスタ(Piレジスタ　i=1、6〜10)

図15.6にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

15.3 プルアップ制御レジスタ0〜プルアップ制御レジスタ2(PUR0〜PUR2レジスタ)

図15.7にPUR0〜PUR2レジスタを示します。

PUR0〜PUR2レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。またCNVss端子が“H”、RESET端子が“L”の期間、ポート$P6_7$ビットにプルアップ抵抗が接続されます。

15.4 ポート制御レジスタ(PCRレジスタ)

図15.8にPCRレジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

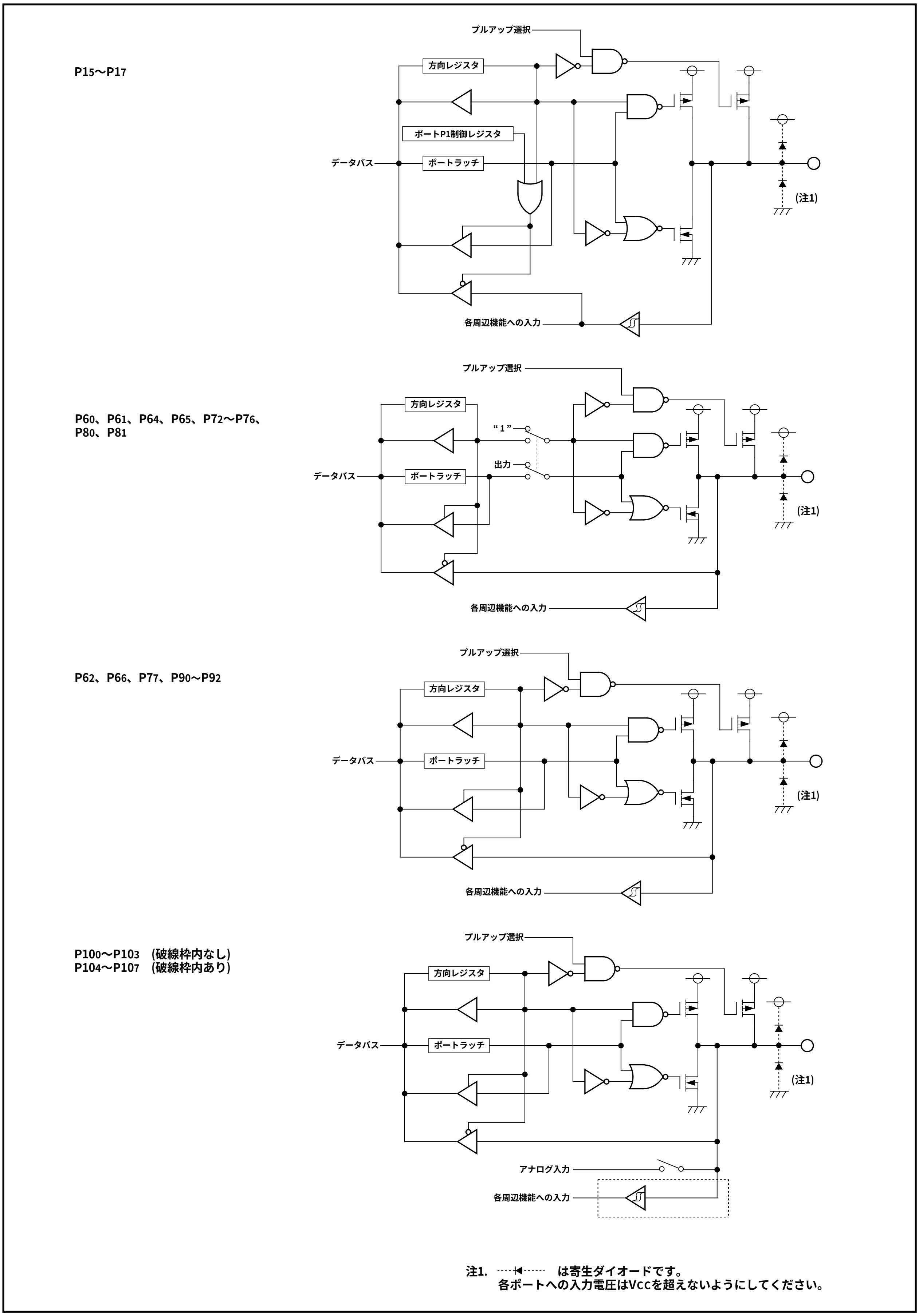
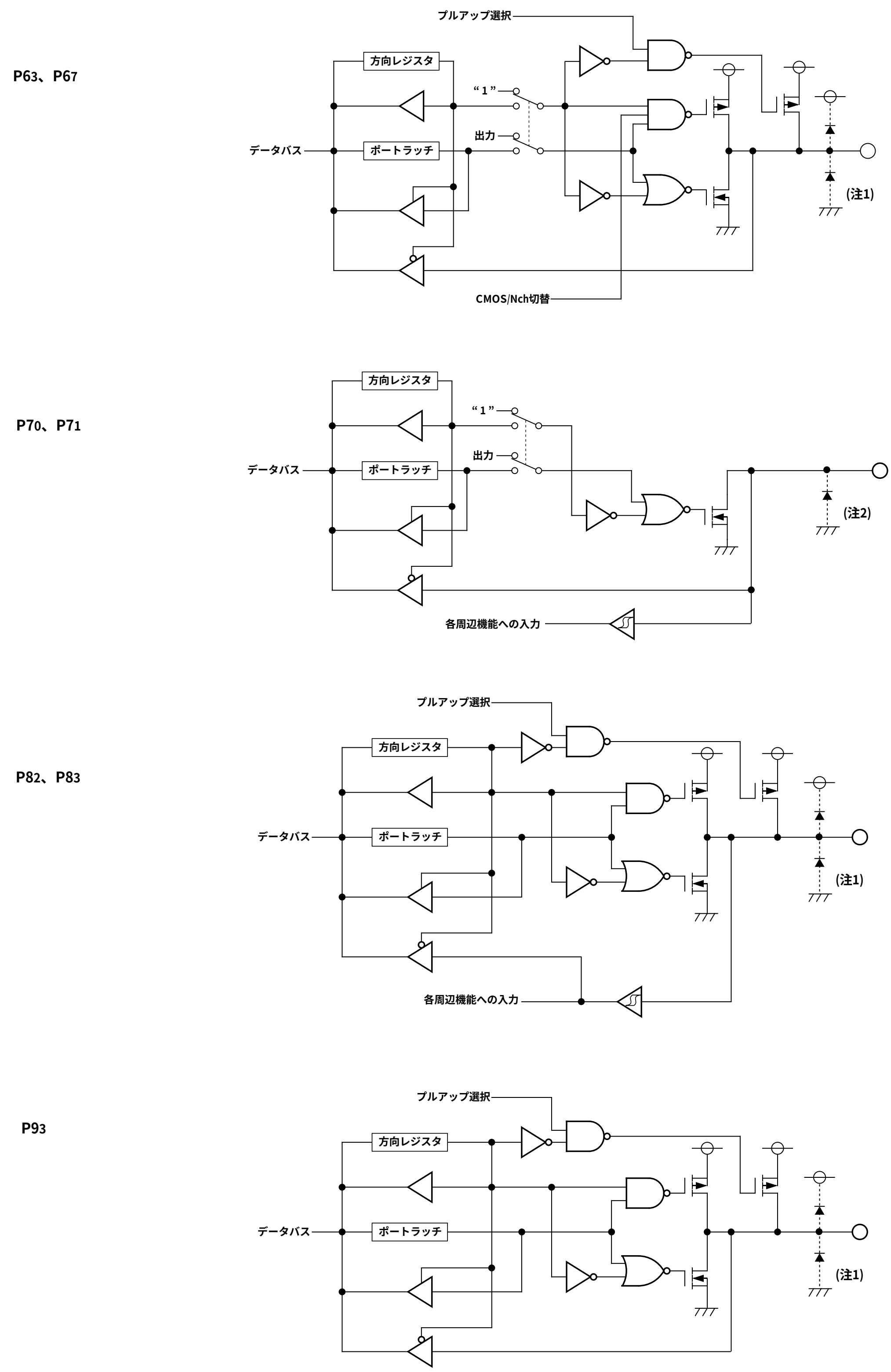


図15.1. 入出力ポートの構成(1)



注1.　　は寄生ダイオードです。
各ポートへの入力電圧はVccを超えないようにしてください。

注2.　　は寄生ダイオードです。

図15.2. 入出力ポートの構成(2)

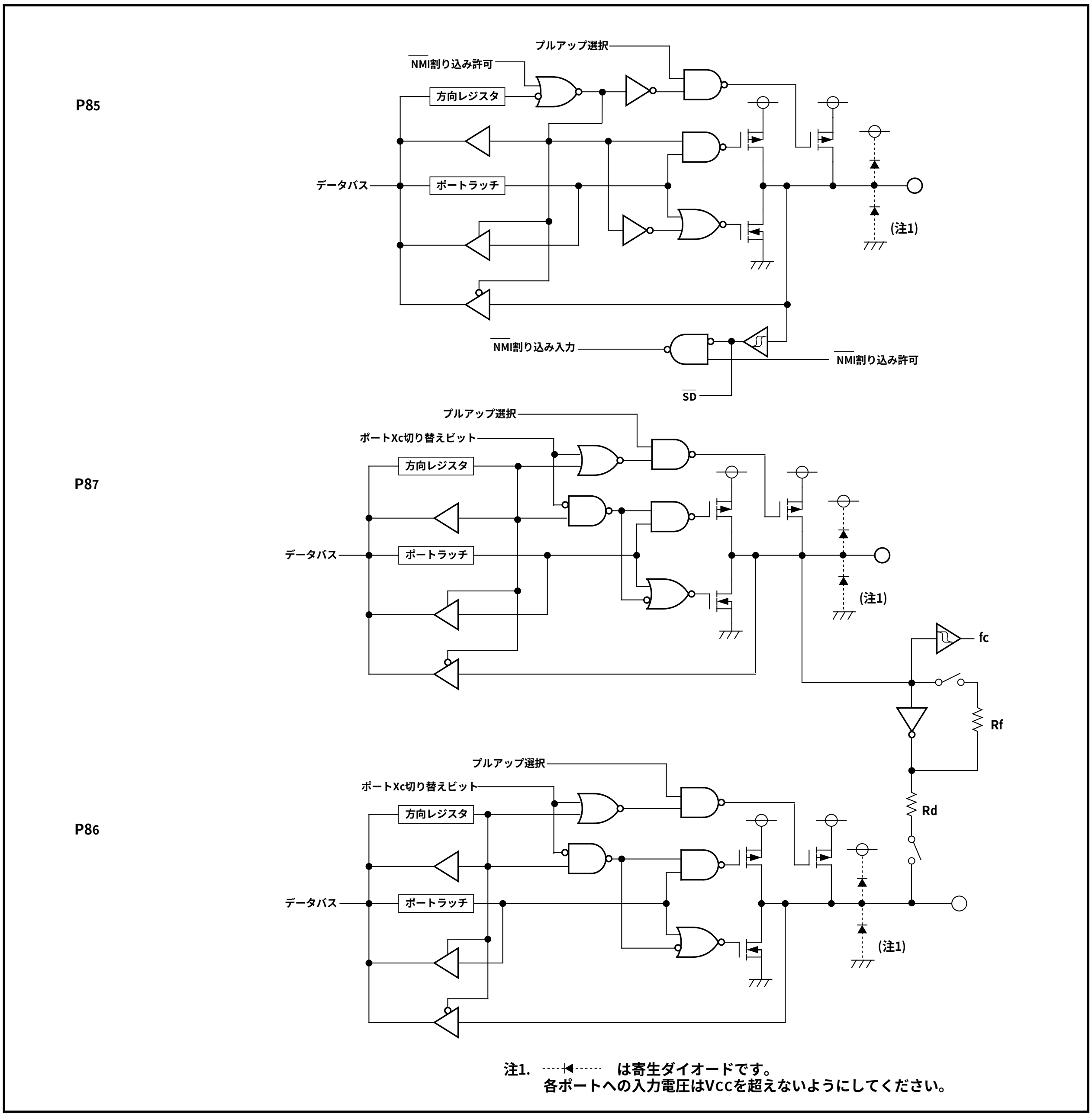


図15.3. 入出力ポートの構成(3)

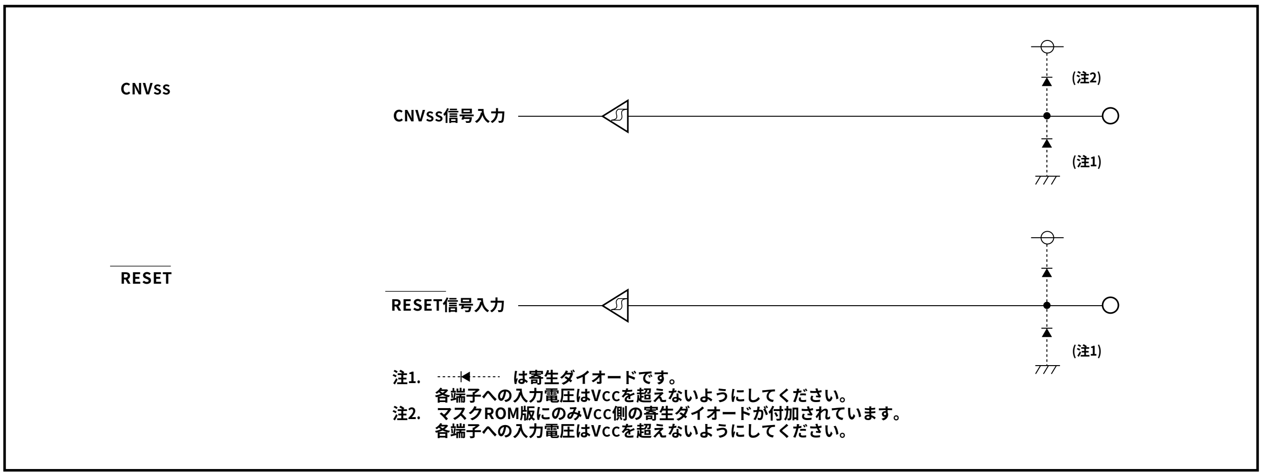


図15.4. 端子の構成

ポートPi方向レジスタ(i=6、7、10)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PD6	03EE16番地	0016
PD7	03EF16番地	0016
PD10	03F616番地	0016

ビットシンボル	ビット	機　能	RW
PDi_0	ポートPi0方向ビット	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能） (i=6、7、10)	RW
PDi_1	ポートPi1方向ビット		RW
PDi_2	ポートPi2方向ビット		RW
PDi_3	ポートPi3方向ビット		RW
PDi_4	ポートPi4方向ビット		RW
PDi_5	ポートPi5方向ビット		RW
PDi_6	ポートPi6方向ビット		RW
PDi_7	ポートPi7方向ビット		RW

ポートP1方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PD1	03E316番地	000XXXXX2

ビットシンボル	ビット名	機　能	RW
―― (b0-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		――
PD1_5	ポートP15方向ビット	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	RW
PD1_6	ポートP16方向ビット		RW
PD1_7	ポートP17方向ビット		RW

ポートP8方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PD8	03F216番地	000X00002

ビットシンボル	ビット名	機　能	RW
PD8_0	ポートP80方向ビット	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	RW
PD8_1	ポートP81方向ビット		RW
PD8_2	ポートP82方向ビット		RW
PD8_3	ポートP83方向ビット		RW
―― (b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		――
PD8_5	ポートP85方向ビット	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	RW
PD8_6	ポートP86方向ビット		RW
PD8_7	ポートP87方向ビット		RW

ポートP9方向レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PD9	03F316番地	XXXX00002

ビットシンボル	ビット名	機　能	RW
PD9_0	ポートP90方向ビット	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	RW
PD9_1	ポートP91方向ビット		RW
PD9_2	ポートP92方向ビット		RW
PD9_3	ポートP93方向ビット		RW
―― (b4-b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		――

注1.　PD9レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

図15.5. PD1、PD6～PD10レジスタ

ポートPiレジスタ(i=6、7、10)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P6	$03EC_{16}$番地	不定
P7	$03ED_{16}$番地	不定
P10	$03F4_{16}$番地	不定

ビットシンボル	ビット	機　能	RW
Pi_0	ポートPi_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル(注1) (i=6、7、10)	RW
Pi_1	ポートPi_1ビット		RW
Pi_2	ポートPi_2ビット		RW
Pi_3	ポートPi_3ビット		RW
Pi_4	ポートPi_4ビット		RW
Pi_5	ポートPi_5ビット		RW
Pi_6	ポートPi_6ビット		RW
Pi_7	ポートPi_7ビット		RW

注1.　$P7_0$、$P7_1$はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。

ポートP1レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P1	$03E1_{16}$番地	不定

ビットシンボル	ビット名	機　能	RW
(b0-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
P1_5	ポート$P1_5$ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル	RW
P1_6	ポート$P1_6$ビット		RW
P1_7	ポート$P1_7$ビット		RW

ポートP8レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P8	$03F0_{16}$番地	不定

ビットシンボル	ビット名	機　能	RW
P8_0	ポート$P8_0$ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル	RW
P8_1	ポート$P8_1$ビット		RW
P8_2	ポート$P8_2$ビット		RW
P8_3	ポート$P8_3$ビット		RW
(b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
P8_5	ポート$P8_5$ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル	RW
P8_6	ポート$P8_6$ビット		RW
P8_7	ポート$P8_7$ビット		RW

ポートP9レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P9	$03F1_{16}$番地	$XXXX0000_2$

ビットシンボル	ビット名	機　能	RW
P9_0	ポート$P9_0$ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル	RW
P9_1	ポート$P9_1$ビット		RW
P9_2	ポート$P9_2$ビット		RW
P9_3	ポート$P9_3$ビット		RW
(b4-b7)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1.　PD9レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

図15.6.　P1、P6～P10レジスタ

プルアップ制御レジスタ0

シンボル	アドレス	リセット後の値
PUR0	$03FC_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	RW
(b0-b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PU03	$P1_5$～$P1_7$のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	RW
(b4-b7)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1.　このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

プルアップ制御レジスタ1

シンボル	アドレス	リセット後の値(注3)
PUR1	$03FD_{16}$番地	00000000_2

ビットシンボル	ビット名	機　能	RW
(b0-b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PU14	$P6_0$～$P6_3$のプルアップ	0 : プルアップなし 1 : プルアップあり(注2)	RW
PU15	$P6_4$～$P6_7$のプルアップ		RW
PU16	$P7_2$～$P7_3$のプルアップ (注1)		RW
PU17	$P7_4$～$P7_7$のプルアップ		RW

注1.　$P7_0$、$P7_1$端子は、プルアップはありません。
注2.　このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。
注3.　ソフトウエアリセット時は変化しません。

プルアップ制御レジスタ2

シンボル	アドレス	リセット後の値
PUR2	$03FE_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	RW
PU20	$P8_0$～$P8_3$のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	RW
PU21	$P8_5$～$P8_7$のプルアップ		RW
PU22	$P9_0$～$P9_3$のプルアップ		RW
(b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
PU24	$P10_0$～$P10_3$のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	RW
PU25	$P10_4$～$P10_7$のプルアップ		RW
(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1.　このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

図15.7.　PUR0～PUR2レジスタ

ポート制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PCR	03FF16番地	0016

ビットシンボル	ビット名	機　能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0：入力ポートのとき、$P1_0$～$P1_7$端子の入力レベルを読む 出力ポートのとき、ポートラッチを読む 1：入力ポート、出力ポートにかかわらず、ポートラッチを読む	RW
——— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

図15.8.　PCRレジスタ

RENESAS

表15.1.　未使用端子の処理例

端　子　名	処　理　内　容
ポートP1$_5$～P1$_7$、P6、P7、P8$_0$～P8$_3$、P8$_5$～P8$_7$、P9$_0$～P9$_3$、P10	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1、注2、注3)
XOUT(注4)、IVCC	開放
AVCC	VCCに接続
AVSS、VREF	VSSに接続

注1.　出力モードに設定し、解放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮してソフトウエアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2.　未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3.　ポートP7$_0$、P7$_1$を出力モードに設定する場合は、"L"を出力してください。
ポートP7$_0$、P7$_1$はNチャネルオープンドレイン出力です。

注4.　XIN端子に外部クロックを入力している場合

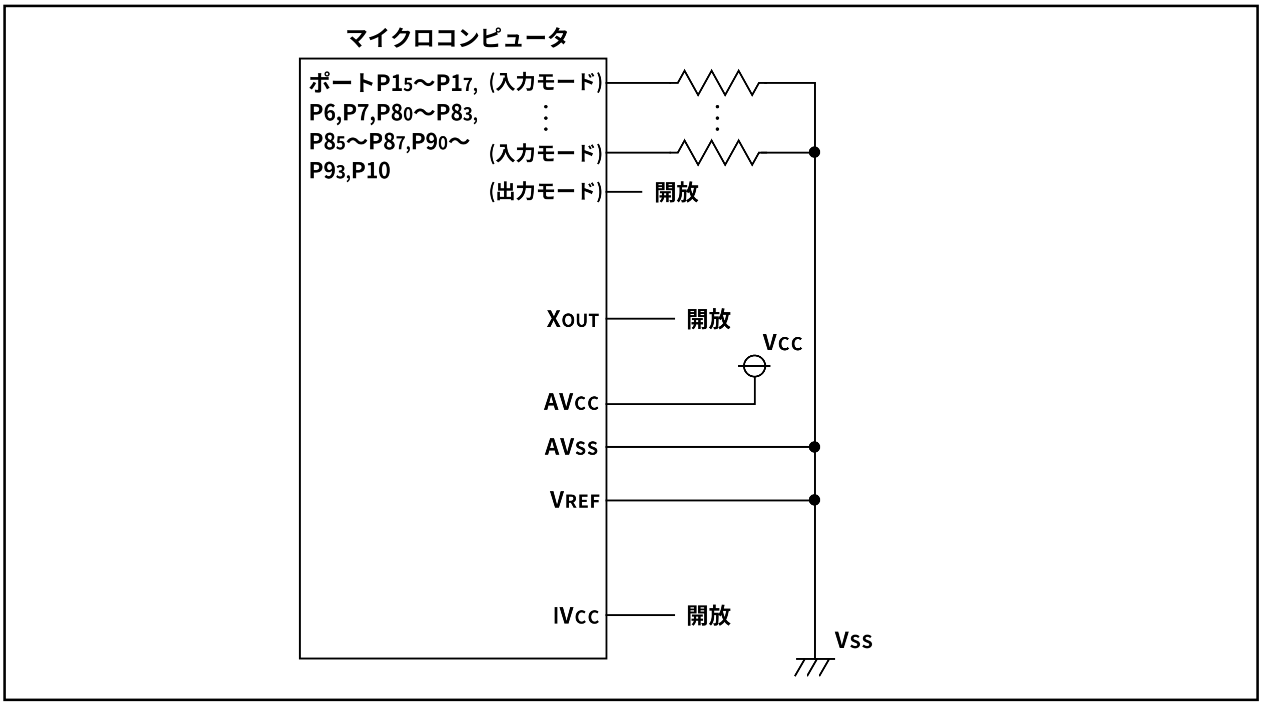


図15.9.　未使用端子の処理例

16. 電気的特性

16.1 絶対最大定格

表16.1.　絶対最大定格

記　号	項　　目		条　件	定　格　値	単位
V_{CC}	電源電圧		V_{CC}=AV_{CC}	−0.3〜6.5	V
AV_{CC}	アナログ電源電圧		V_{CC}=AV_{CC}	−0.3〜6.5	V
V_I	入力電圧	$\overline{RESET}$,CNV_{SS}, $P1_5$〜$P1_7$, $P6_0$〜$P6_7$, $P7_2$〜$P7_7$, $P8_0$〜$P8_3$,$P8_5$〜$P8_7$,$P9_0$〜$P9_3$, $P10_0$〜$P10_7$, V_{REF}, X_{IN}		−0.3〜V_{CC}+0.3	V
		$P7_0$, $P7_1$		−0.3〜6.5	V
V_O	出力電圧	$P1_5$〜$P1_7$, $P6_0$〜$P6_7$, $P7_2$〜$P7_7$, $P8_0$〜$P8_3$,$P8_5$〜$P8_7$, $P9_0$〜$P9_3$, $P10_0$〜$P10_7$, X_{OUT}		−0.3〜V_{CC}+0.3	V
		$P7_0$, $P7_1$		−0.3〜6.5	V
P_d	消費電力		T_{opr}=25 ℃	300	mW
T_{opr}	動作周囲温度			−20〜 85 / −40〜85	℃
T_{stg}	保存温度			−65〜150	℃

RENESAS

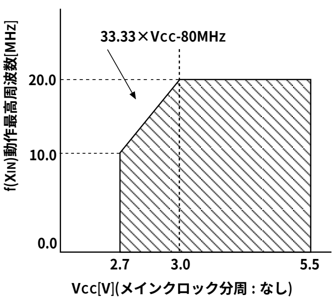
16.2 推奨動作条件

表16.2.　推奨動作条件(注1)

記号	項目		規格値			単位
			最小	標準	最大	
V_{CC}	電源電圧		2.7		5.5	V
AV_{CC}	アナログ電源電圧			V_{CC}		V
V_{SS}	電源電圧			0		V
AV_{SS}	アナログ電源電圧			0		V
V_{IH}	"H"入力電圧	$\overline{RESET}$, $\overline{CNV_{SS}}$, X_{IN}, $P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$,	$0.8V_{CC}$		V_{CC}	V
		$P7_0$, $P7_1$	$0.8V_{CC}$		6.5	V
V_{IL}	"L "入力電圧	$\overline{RESET}$, $\overline{CNV_{SS}}$, X_{IN}, $P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$,	0		$0.2V_{CC}$	V
$I_{OH (peak)}$	"H"尖頭出力電流	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_3$,$P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$			−10.0	mA
$I_{OH (avg)}$	"H"平均出力電流	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_3$,$P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$			−5.0	mA
$I_{OL (peak)}$	"L "尖頭出力電流	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_3$,$P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$			10.0	mA
$I_{OL (avg)}$	"L "平均出力電流	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_3$,$P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$			5.0	mA
$f(X_{IN})$	メインクロック入力発振周波数(注4)	V_{CC}=3.0～5.5V	0		20	MHz
		V_{CC}=2.7～3.0V	0		33.33× V_{CC}−80	MHz
$f(X_{CIN})$	サブクロック発振周波数			32.768	50	kHz
f (Ring)	オンチップオシレータ発振周波数			1		MHz
f (BCLK)	CPU動作周波数		0		20	MHz

注1.　指定のない場合は、V_{CC}=2.7～5.5V、Topr=−20～85°C/−40～85°Cです。
注2.　平均出力電流は100msの期間内での平均値です。
注3.　全ポートのI_{OL}(peak)の合計は80mA以下、全ポートのI_{OH}(peak)の合計は−80mA以下にしてください。
注4.　メインクロック入力周波数と電源電圧の関係は次のとおりです。

メインクロック入力発振周波数



16.3 A/D変換特性

表16.3. A/D変換特性(注1)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
−	分解能		$V_{REF}=V_{CC}$				10	Bits
INL	積分非直線性誤差	10bit	$V_{REF}=V_{CC}=5V$	AN_0〜AN_7入力			±3	LSB
			$V_{REF}=V_{CC}=3.3V$	AN_0〜AN_7入力			±5	LSB
		8bit	$V_{REF}=V_{CC}=3.3V$				±2	LSB
−	絶対精度	10bit	$V_{REF}=V_{CC}=5V$	AN_0〜AN_7入力			±3	LSB
			$V_{REF}=V_{CC}=3.3V$	AN_0〜AN_7入力			±5	LSB
		8bit	$V_{REF}=V_{CC}=3.3V$				±2	LSB
DNL	微分非直線性誤差						±1	LSB
−	オフセット誤差						±3	LSB
−	ゲイン誤差						±3	LSB
R_{LADDER}	ラダー抵抗		$V_{REF}=V_{CC}$		10		40	kΩ
t_{CONV}	変換時間(10bit)、サンプル&ホールド機能あり		$V_{REF}=V_{CC}=5V$、$\phi_{AD}=10MHz$		3.3			μs
t_{CONV}	変換時間(8bit)、サンプル&ホールド機能あり		$V_{REF}=V_{CC}=5V$、$\phi_{AD}=10MHz$		2.8			μs
t_{SAMP}	サンプリング時間				0.3			μs
V_{REF}	基準電圧				2.0		V_{CC}	V
V_{IA}	アナログ入力電圧				0		V_{REF}	V

注1. 指定のない場合は、$V_{CC}=AV_{CC}=V_{REF}=3.3$〜$5.5V$、$V_{SS}=AV_{SS}=0V$、Topr=−20〜85°C / −40〜85°Cです。
注2. AD動作クロックの周波数(ϕ_{AD}の周波数)は10MHz以下にしてください。
また、V_{CC}が4.2V未満の場合はf_{AD}を分周し、ϕ_{AD}の周波数は$f_{AD}/2$以下にしてください。
注3. サンプル&ホールド機能なしのときは、注2の制限に加えϕ_{AD}の周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのときは、注2の制限に加えϕ_{AD}の周波数は1MHz以上にしてください。

16.4 フラッシュメモリの電気的特性

表16.4.　フラッシュメモリの電気的特性(注1)　100回品(D3, D5, U3, U5)

記　号	項　目		規格値 最　小	規格値 標　準(注2)	規格値 最　大	単位
-	プログラム、イレーズ回数(注3)		100(注4)			回
-	ワードプログラム時間 (Vcc=5.0V、Topr=25°C)			75	600	µs
-	ブロックイレーズ時間 (Vcc=5.0V、Topr=25°C)	2Kバイト ブロック		0.2	9	s
		8Kバイト ブロック		0.4	9	s
		16Kバイト ブロック		0.7	9	s
		32Kバイト ブロック		1.2	9	s
td(SR-ES)	消去動作→イレーズサスペンド遷移時間				8	ms
-	データ保持時間(注5)		20			年

表16.5.　フラッシュメモリの電気的特性(注6)　10000回品(D7, D9, U7, U9) (ブロックA、ブロックB (注7))

記　号	項　目	規格値 最　小	規格値 標　準(注2)	規格値 最　大	単位
-	プログラム、イレーズ回数(注3、注8、注9)	10000(注4、注10)			回
-	ワードプログラム時間(Vcc=5.0V、Topr=25°C)		100		µs
-	ブロックイレーズ時間(Vcc=5.0V、Topr=25°C) (2Kバイト ブロック)		0.3		s
td(SR-ES)	消去動作→イレーズサスペンド遷移時間			8	ms

注1.　指定のない場合は、Vcc=2.7～5.5V、Topr=0～60°Cです。
注2.　Vcc=5.0V、Topr=25°C時
注3.　プログラム、イレーズ回数の定義
　プログラム、イレーズ回数はブロックごとのイレーズ回数です。
　プログラム、イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。
　例えば、2KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム／イレーズ回数は１回と数えます。ただし、イレーズ１回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。
注4.　プログラム／イレーズ後の全ての電気的特性を保証する最小回数です。(保証は1～”最小”値の範囲です。)
注5.　Topr=55°Cの条件です。
注6.　指定のない場合は、Vcc=2.7～5.5V、Topr=-40～85°C(D7, U7) / -20～85°C(D9, U9)です。
注7.　プログラム、イレーズ回数が1000回を超えたときのブロックA、ブロックBの規格です。
　1000回までのワードプログラム時間、ブロックイレーズ時間は全ブロック100回品と同じです。
注8.　多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組8ワードをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズが均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロック毎に何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めいたします。
注9.　ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。
注10.　100回以上の書き換えを実施する場合(D7, D9, U7, U9)はブロックA、ブロックBの読み出しを1ウエイトにしてください。フラッシュメモリ制御レジスタ1のビット7(アドレス01B5$_{16}$番地のFMR17) を"1"(ウエイトあり)に設定するとPM17ビットに関わらずブロックA、およびブロックBアクセス時に1ウエイトが挿入されます。その他のブロックおよび内部RAMへのアクセスはFMR17ビットに関わらずPM17ビットの設定になります。
注11.　不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。

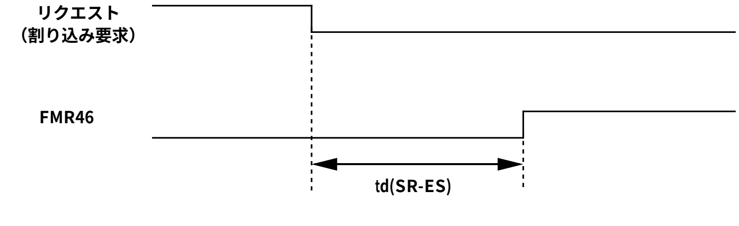


表16.6.　フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 (T_{opr}=0～60°C)

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
Vcc=2.7～5.5V	Vcc=2.7～5.5V

16.5 低電圧検出回路の電気的特性

表16.7.　低電圧検出回路の電気的特性 (注4)

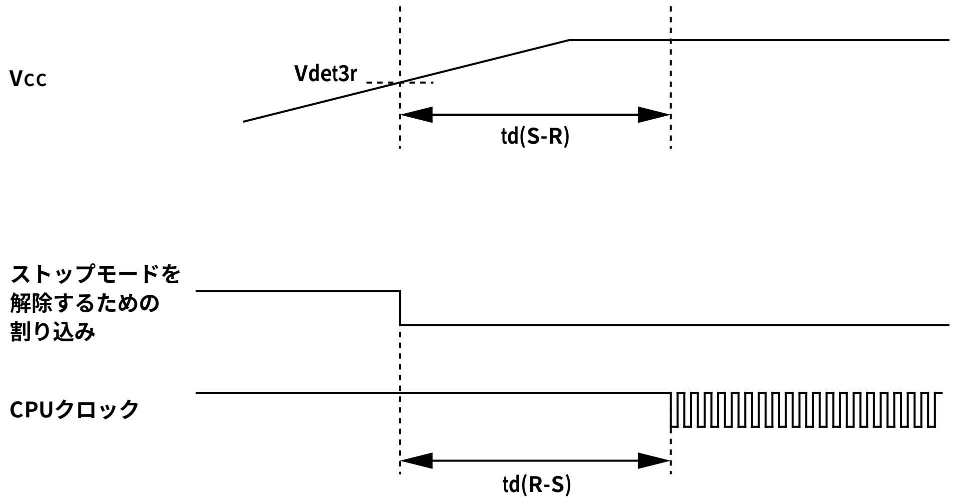
記　号	項　　目	測　定　条　件	規格値 最　小	規格値 標　準	規格値 最　大	単位
Vdet4	電圧低下検出電圧(注1)	VCC=0.8～5.5V	3.3	3.8	4.4	V
Vdet3	リセット領域検出電圧(注1、2)		2.2	2.8	3.6	V
Vdet3s	低電圧リセット保持電圧		0.8			V
Vdet3r	低電圧リセット解除電圧(注3)		2.2	2.9	4.0	V

注1.　Vdet4＞Vdet3になります。
注2.　リセット領域検出電圧が2.7V未満の場合、電源電圧がリセット領域検出電圧以上であれば、f(BCLK)≦10MHzで動作することを保証します。
注3.　Vdet3r＞Vdet3は保証されません。
注4.　低電圧検出回路のVdet3, Vdet4は、VCC=5Vでの使用を想定しています。

表16.8.　電源回路のタイミング特性

記　号	項　　目	測　定　条　件	規格値 最　小	規格値 標　準	規格値 最　大	単位
td(P-R)	電源投入時内部電源安定時間	VCC=2.7～5.5V			2	ms
td(R-S)	STOP解除時間				150	μs
td(W-S)	低消費電力モードウエイトモード解除時間				150	μs
td(M-L)	メインクロック発振開始時内部電源安定時間				50	μs
td(S-R)	ハードウエアリセット2解除待ち時間	VCC=Vdet3r～5.5V		6 (注1)	20	ms
td(E-A)	低電圧検出回路動作開始時間	VCC=2.7～5.5V			20	μs

注1.　VCC=5V時の標準値



16.6 電気的特性(Vcc=5V)

Vcc = 5V

表16.9.　電気的特性(注1)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$	I_{OH}=－5mA	V_{CC}－2.0		V_{CC}	V
V_{OH}	"H"出力電圧	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$	I_{OH}=－200μA	V_{CC}－0.3		V_{CC}	V
V_{OH}	"H"出力電圧　X_{OUT}	HIGHPOWER	I_{OH}=－1mA	V_{CC}－2.0		V_{CC}	V
		LOWPOWER	I_{OH}=－0.5mA	V_{CC}－2.0		V_{CC}	
	"H"出力電圧　X_{COUT}	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$	I_{OL}=5mA			2.0	V
V_{OL}	"L"出力電圧	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$	I_{OL}=200μA			0.45	V
V_{OL}	"L"出力電圧　X_{OUT}	HIGHPOWER	I_{OL}=1mA			2.0	V
		LOWPOWER	I_{OL}=0.5mA			2.0	
	"L"出力電圧　X_{COUT}	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス	$TA0_{IN}$～$TA4_{IN}$, $TB0_{IN}$～$TB2_{IN}$, $\overline{INT_0}$, $\overline{INT_1}$, $\overline{INT_3}$, ～$\overline{INT_5}$, $\overline{NMI}$, $\overline{AD_{TRG}}$, SCL, SDA, RxD_0～RxD_2, $\overline{CTS_0}$～$\overline{CTS_2}$ CLK_0～CLK_2,$TA2_{OUT}$～$TA4_{OUT}$, $\overline{KI_0}$～$\overline{KI_3}$		0.2		1.0	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{RESET}$		0.2		2.5	V
I_{IH}	"H"入力電流	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$, X_{IN}, RESET, CNVss	V_I=5V			5.0	μA
I_{IL}	"L"入力電流	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$, X_{IN}, RESET, CNVss	V_I=0V			－5.0	μA
R_{PULLUP}	プルアップ抵抗	$P1_5$～$P1_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_3$, $P8_5$～$P8_7$, $P9_0$～$P9_3$, $P10_0$～$P10_7$	V_I=0V	30	50	170	kΩ
R_{fXIN}	帰還抵抗　X_{IN}				1.5		MΩ
R_{fXCIN}	帰還抵抗　X_{CIN}				15		MΩ
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1.　指定のない場合は、V_{CC}=4.2～5.5V、V_{SS}=0V、Topr=－20～85℃ / －40～85℃、f(BCLK)=20MHzです。

Vcc = 5V

表16.10.　電気的特性(2)(注1)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
I_{CC}	電源電流 (V_{CC}=3.0〜5.5V)	シングルチップモードで、 出力端子は開放、その他の 端子はV_{SS}	フラッシュメモリ	f(BCLK)=20MHz 分周なし		16	19	mA
				オンチップオシレータ発振動作時 分周なし		T.B.D		mA
			フラッシュメモリ プログラム	f(BCLK)=10MHz V_{CC}=5.0V		T.B.D		mA
			フラッシュメモリ イレーズ	f(BCLK)=10MHz V_{CC}=5.0V		T.B.D		mA
			フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
				f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		420		μA
				オンチップオシレータ発振動作、 ウエイトモード時		T.B.D		μA
			フラッシュメモリ	f(BCLK)＝32kHz ウエイトモード時(注2) 発振能力High		7.5		μA
				f(BCLK)＝32kHz ウエイトモード時(注2) 発振能力Low		2.0		μA
				ストップモード時　T_{opr}=25℃		0.8	3.0	μA

注1.　指定のない場合は、V_{CC}=4.2〜5.5V、V_{SS}=0V、Topr=－20〜85℃ / －40〜85℃、f(BCLK)=20MHzです。
注2.　f_{C32}にてタイマ1本を動作させている状態です。
注3.　実行するプログラムが存在するメモリを示す。

16.7 タイミング必要条件(Vcc=5V)

Vcc = 5V

タイミング必要条件
(指定のない場合は、VCC=5V、VSS=0V、Topr=−20〜85°C / −40〜85°C)

表16.11. 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	25		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	25		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

Vcc = 5V

タイミング必要条件
(指定のない場合は、VCC=5V、VSS=0V、Topr=－20～85°C / －40～85°C)

表16.12.　タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力 "H" パルス幅	40		ns
tw(TAL)	TAiIN入力 "L " パルス幅	40		ns

表16.13.　タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力 "H" パルス幅	200		ns
tw(TAL)	TAiIN入力 "L " パルス幅	200		ns

表16.14.　タイマA入力(ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力 "H" パルス幅	100		ns
tw(TAL)	TAiIN入力 "L " パルス幅	100		ns

表16.15.　タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
tw(TAH)	TAiIN入力 "H" パルス幅	100		ns
tw(TAL)	TAiIN入力 "L " パルス幅	100		ns

表16.16.　タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力 "H" パルス幅	1000		ns
tw(UPL)	TAiOUT入力 "L " パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

表16.17.　タイマA入力(イベントカウンタモードの二相パルス入力)

記　号	項　　目	規格値 最小	規格値 最大	単位
tc(TA)	TAiIN入力サイクル時間	800		ns
tsu(TAIN-TAOUT)	TAiOUT入力セットアップ時間	200		ns
tsu(TAOUT-TAIN)	TAiIN入力セットアップ時間	200		ns

Vcc = 5V

タイミング必要条件
(指定のない場合は、Vcc=5V、Vss=0V、Topr=－20～85°C / －40～85°C)

表16.18.　タイマB入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規格値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅(両エッジカウント)	80		ns

表16.19.　タイマB入力(パルス周期測定モード)

記　号	項　　目	規格値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	200		ns

表16.20.　タイマB入力(パルス幅測定モード)

記　号	項　　目	規格値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	200		ns

表16.21.　A/Dトリガ入力

記　号	項　　目	規格値		単位
		最　小	最　大	
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L" パルス幅	125		ns

表16.22.　シリアルI/O

記　号	項　　目	規格値		単位
		最　小	最　大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 "L" パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表16.23.　外部割り込み$\overline{INTi}$入力

記　号	項　　目	規格値		単位
		最　小	最　大	
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L" パルス幅	250		ns

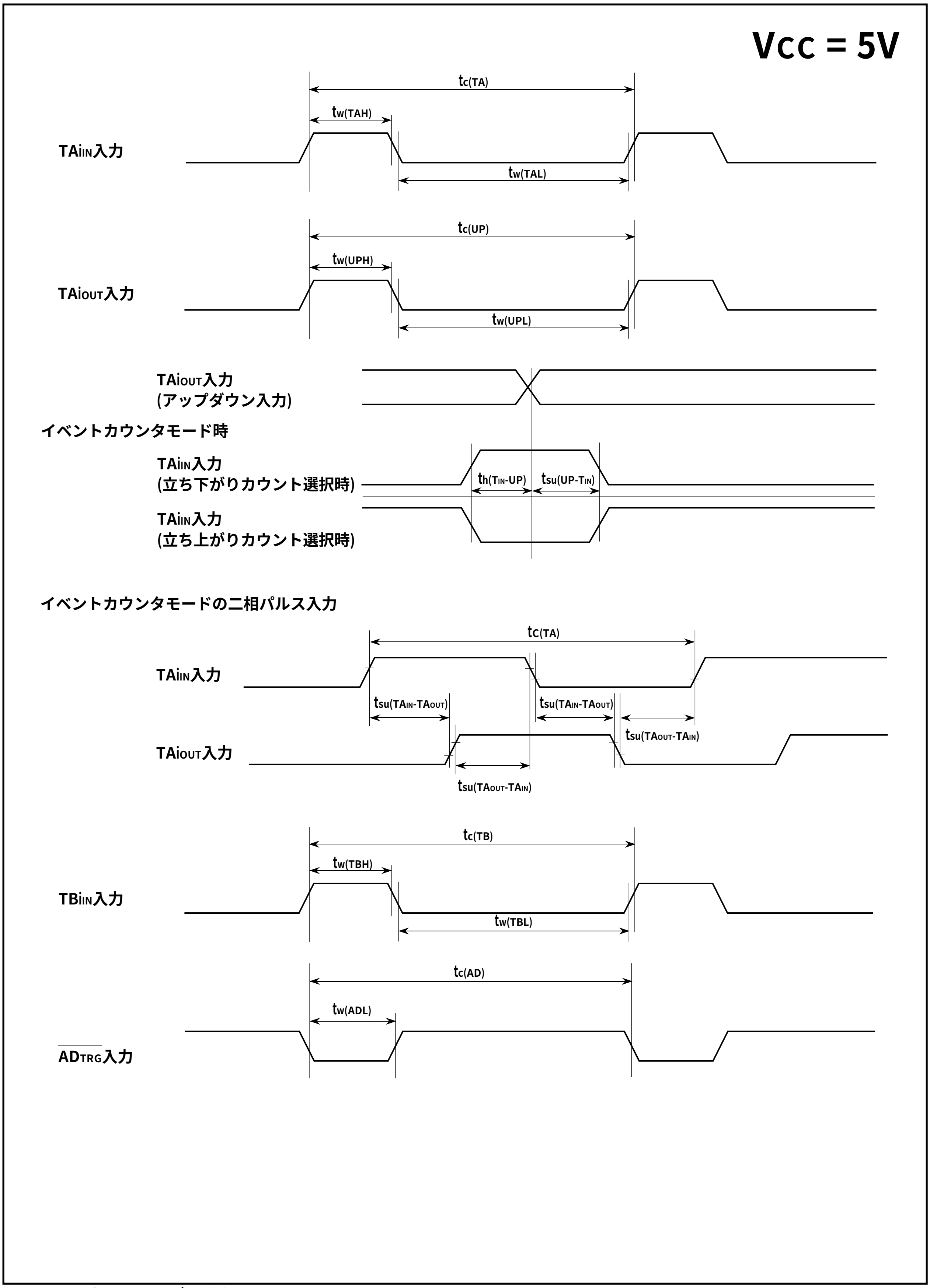


図16.1.　タイミング図(1)

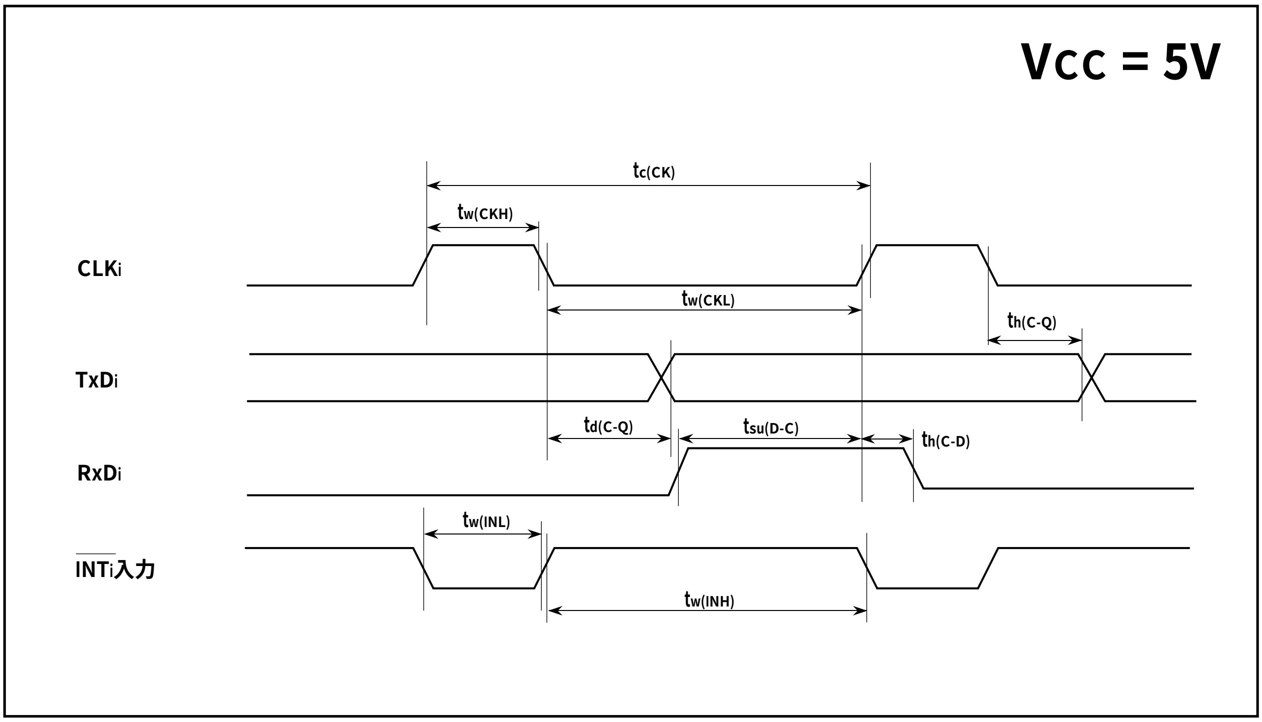


図16.2. タイミング図(2)

16.8 電気的特性(Vcc=3V)

Vcc=3V

表16.24. 電気的特性(Vcc=3V))(注1)

記号	項目			測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	$P1_5$〜$P1_7$, $P6_0$〜$P6_7$, $P7_2$〜$P7_7$, $P8_0$〜$P8_3$,$P8_5$〜$P8_7$, $P9_0$〜$P9_3$,$P10_0$〜$P10_7$		I_{OH}=−1mA	V_{CC}−0.5		V_{CC}	V
V_{OH}	"H"出力電圧	X_{OUT}	HIGHPOWER	I_{OH}=−0.1mA	V_{CC}−0.5		V_{CC}	V
			LOWPOWER	I_{OH}=−50μA	V_{CC}−0.5		V_{CC}	
	"H"出力電圧	X_{COUT}	HIGHPOWER	無負荷時		2.5		V
			LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	$P1_5$〜$P1_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_3$,$P8_5$〜$P8_7$, $P9_0$〜$P9_3$,$P10_0$〜$P10_7$		I_{OL}=1mA			0.5	V
V_{OL}	"L"出力電圧	X_{OUT}	HIGHPOWER	I_{OL}=0.1mA			0.5	V
			LOWPOWER	I_{OL}=50μA			0.5	
	"L"出力電圧	X_{COUT}	HIGHPOWER	無負荷時		0		V
			LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス	$\overline{TA0_{IN}}$〜$\overline{TA4_{IN}}$, $\overline{TB0_{IN}}$〜$\overline{TB2_{IN}}$, $\overline{INT_0}$, $\overline{INT_1}$, $\overline{INT_3}$〜INT_5, $\overline{NMI}$, $\overline{AD_{TRG}}$, SCL, SDA, RxD_0〜RxD_2, $\overline{CTS_0}$〜$\overline{CTS_2}$, $\overline{CLK_0}$〜CLK_2, $TA2_{OUT}$〜$TA4_{OUT}$, $\overline{KI_0}$〜$\overline{KI_3}$			0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{RESET}$			0.2		1.8	V
I_{IH}	"H"入力電流	$P1_5$〜$P1_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_3$,$P8_5$〜$P8_7$, $P9_0$〜$P9_3$,$P10_0$〜$P10_7$ X_{IN}, $\overline{RESET}$, CNV_{SS}		V_I=3V			4.0	μA
I_{IL}	"L"入力電流	$P1_5$〜$P1_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_3$,$P8_5$〜$P8_7$, $P9_0$〜$P9_3$,$P10_0$〜$P10_7$ X_{IN}, $\overline{RESET}$, CNV_{SS}		V_I=0V			−4.0	μA
R_{PULLUP}	プルアップ抵抗	$P1_5$〜$P1_7$, $P6_0$〜$P6_7$, $P7_2$〜$P7_7$, $P8_0$〜$P8_3$,$P8_5$〜$P8_7$, $P9_0$〜$P9_3$,$P10_0$〜$P10_7$		V_I=0V	50	100	500	kΩ
R_{fXIN}	帰還抵抗	X_{IN}				3.0		MΩ
R_{fXCIN}	帰還抵抗	X_{CIN}				25		MΩ
V_{RAM}	RAM保持電圧			ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC}=2.7〜3.3V、V_{SS}=0V、Topr=−20〜85℃ /−40〜85℃、f(BCLK)=10MHzです。

Vcc=3V

表16.25.　電気的特性(Vcc=3V)(2)(注1)

記号	項目		測定条件		規格値 最小	標準	最大	単位
ICC	電源電流 (VCC=2.7～3.6V)	シングルチップモードで、出力端子は開放、その他の端子はVss	フラッシュメモリ	f(BCLK)=10MHz 分周なし		8	13	mA
				オンチップオシレータ発振動作時 分周なし		T.B.D		mA
			フラッシュメモリプログラム	f(BCLK)=10MHz VCC=3.0V		T.B.D		mA
			フラッシュメモリイレーズ	f(BCLK)=10MHz VCC=3.0V		T.B.D		mA
			フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
				f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		420		μA
				オンチップオシレータ発振動作、ウエイトモード時		T.B.D		μA
			フラッシュメモリ	f(BCLK)＝32kHz ウエイトモード時(注2) 発振能力High		6.0		μA
				f(BCLK)＝32kHz ウエイトモード時(注2) 発振能力Low		1.8		μA
				ストップモード時　Topr=25℃		0.7	3.0	μA

注1.　指定のない場合は、VCC=2.7～3.3V、VSS=0V、Topr=－20～85℃ / －40～85℃、f(BCLK)=10MHzです。
注2.　fC32にてタイマ1本を動作させている状態です。
注3.　実行するプログラムが存在するメモリを示す。

16.9 タイミング必要条件(Vcc=3V)

Vcc=3V

タイミング必要条件
(指定のない場合は、Vcc=3V、Vss=0V、Topr=－20～85°C / －40～85°C)

表16.26.　外部クロック入力(XIN入力)

記　号	項　　目	規格値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	100		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	40		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		18	ns
t_f	外部クロック立ち下がり時間		18	ns

Vcc=3V

タイミング必要条件
(指定のない場合は、Vcc=3V、Vss=0V、Topr=－20～85℃ / －40～85℃)

表16.27.　タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規 格 値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	60		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	60		ns

表16.28.　タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規 格 値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	300		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	300		ns

表16.29.　タイマA入力(ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規 格 値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	150		ns

表16.30.　タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規 格 値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	150		ns

表16.31.　タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規 格 値		単位
		最　小	最　大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	3000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1500		ns
$t_{w(UPL)}$	TAiOUT入力 "L" パルス幅	1500		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	600		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	600		ns

表16.32.　タイマA入力(イベントカウンタモードの二相パルス入力)

記　号	項　　目	規 格 値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	2		µs
$t_{su(TAIN-TAOUT)}$	TAiOUT入力セットアップ時間	500		ns
$t_{su(TAOUT-TAIN)}$	TAiIN入力セットアップ時間	500		ns

Vcc=3V

タイミング必要条件
(指定のない場合は、Vcc=3V、Vss=0V、Topr=−20〜85℃ / −40〜85℃)

表16.33.　タイマB入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規格値 最　小	規格値 最　大	単位
tc(TB)	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
tw(TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
tw(TBL)	TBiIN 入力 "L " パルス幅(片エッジカウント)	60		ns
tc(TB)	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
tw(TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
tw(TBL)	TBiIN 入力 "L " パルス幅(両エッジカウント)	160		ns

表16.34.　タイマB入力(パルス周期測定モード)

記　号	項　　目	規格値 最　小	規格値 最　大	単位
tc(TB)	TBiIN入力サイクル時間	600		ns
tw(TBH)	TBiIN入力 "H" パルス幅	300		ns
tw(TBL)	TBiIN入力 "L " パルス幅	300		ns

表16.35.　タイマB入力(パルス幅測定モード)

記　号	項　　目	規格値 最　小	規格値 最　大	単位
tc(TB)	TBiIN入力サイクル時間	600		ns
tw(TBH)	TBiIN入力 "H" パルス幅	300		ns
tw(TBL)	TBiIN入力 "L " パルス幅	300		ns

表16.36.　A/Dトリガ入力

記　号	項　　目	規格値 最　小	規格値 最　大	単位
tc(AD)	$\overline{\text{ADTRG}}$入力サイクル時間(トリガ可能最小)	1500		ns
tw(ADL)	$\overline{\text{ADTRG}}$入力 "L " パルス幅	200		ns

表16.37.　シリアルI/O

記　号	項　　目	規格値 最　小	規格値 最　大	単位
tc(CK)	CLKi入力サイクル時間	300		ns
tw(CKH)	CLKi入力 "H" パルス幅	150		ns
tw(CKL)	CLKi入力 "L " パルス幅	150		ns
td(C-Q)	TxDi出力遅延時間		160	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-C)	RxDi入力セットアップ時間	50		ns
th(C-D)	RxDi入力ホールド時間	90		ns

表16.38.　外部割り込み$\overline{\text{INTi}}$入力

記　号	項　　目	規格値 最　小	規格値 最　大	単位
tw(INH)	$\overline{\text{INTi}}$入力 "H" パルス幅	380		ns
tw(INL)	$\overline{\text{INTi}}$入力 "L " パルス幅	380		ns

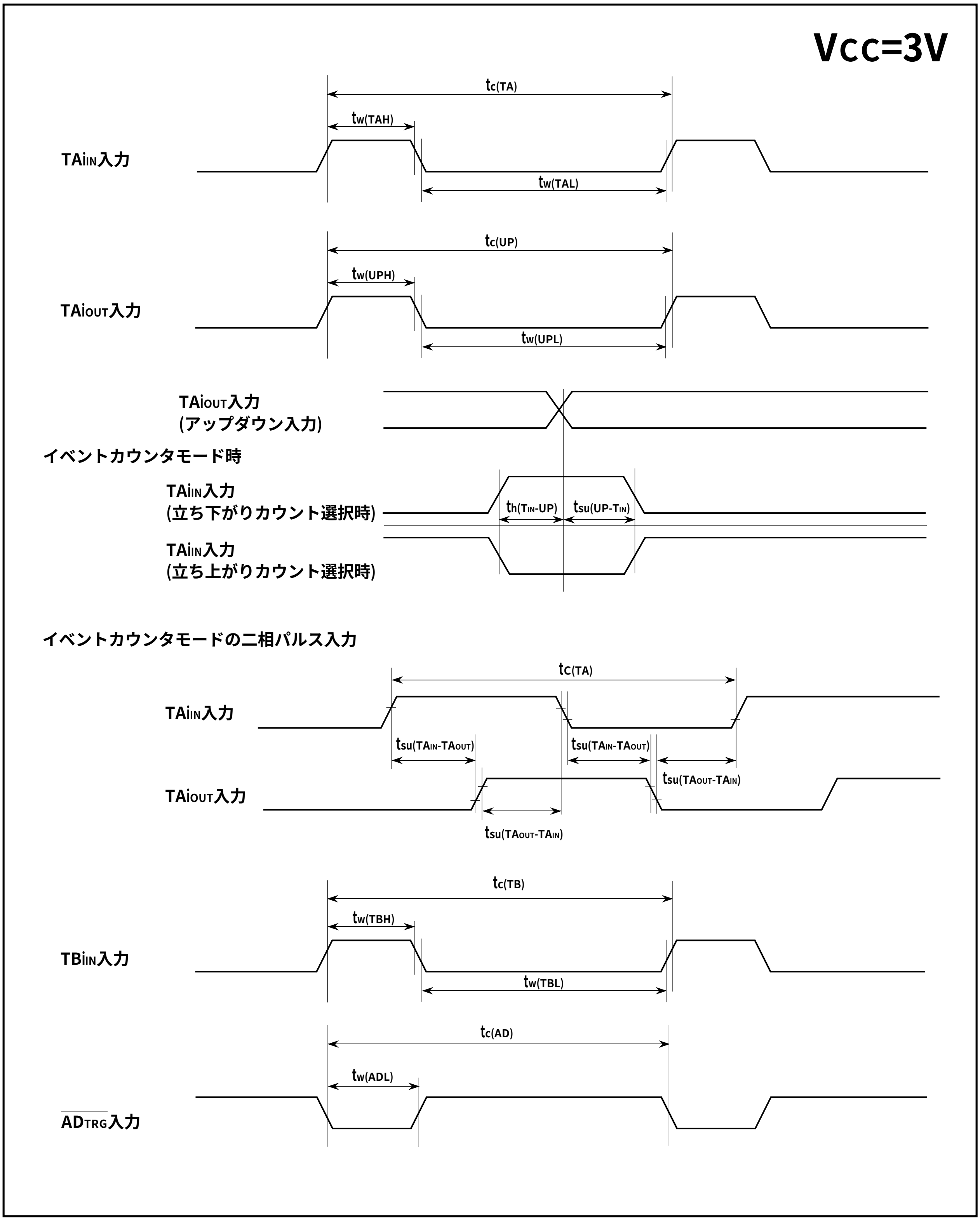


図16.3.　タイミング図(1)

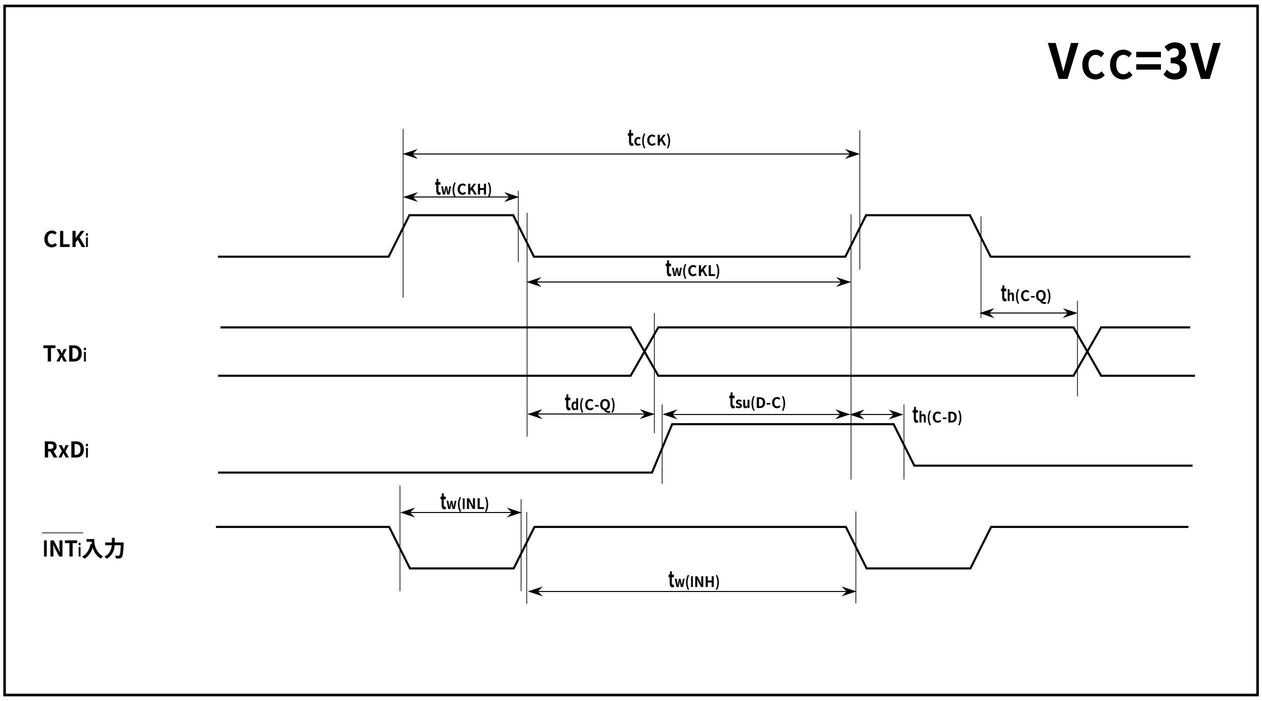


図16.4.　タイミング図(2)

17. フラッシュメモリ版

フラッシュメモリ版は、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの３つの書き換えモードで、フラッシュメモリを操作できます。

表17.1にフラッシュメモリ版の性能概要を示します(表17.1に示す以外の項目は「表1.1. 性能概要」を参照してください)。

表17.1.　フラッシュメモリ版の性能概要

項　目		性　能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図17.1～図17.4を参照してください。
プログラム方式		ワード単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウエアコマンドによるプログラム、イレーズ制御
プロテクト方式		ブロック0,1書き換え許可ビットによるブロック0、ブロック1に対するプロテクト
コマンド数		5コマンド
プログラム、イレーズ回数(注1)	ブロック0～ブロック3(プログラム領域)	100回(D3,D5,U3,U5)、1,000回(D7,D9,U7,U9)
	ブロックA、ブロックB(データ領域)(注2)	100回(D3,D5,U3,U5)、10,000回(D7,D9,U7,U9)
データ保持		20年間 (Topr=55°C)
ROMコードプロテクト		パラレル入出力モード、標準シリアル入出力モード対応

注1．プログラム、イレーズ回数の定義
　プログラム、イレーズ回数はブロックごとのイレーズ回数です。
　プログラム、イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。
　例えば、2KブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合もプログラム／イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません。(上書き禁止)

注2．多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。
　例えば、一組8ワードをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロック毎に何回イレーズを実施したかを情報として残し、制限回数を設けることをお勧めいたします。

表17.2.　フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウエアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード：フラッシュメモリ以外の領域で書き換え可能 EW1モード：フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1：クロック同期形シリアルI/O 標準シリアル入出力モード2：クロック非同期形シリアルI/O	専用パラレルライタを使用してユーザROM領域を書き換える。
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ

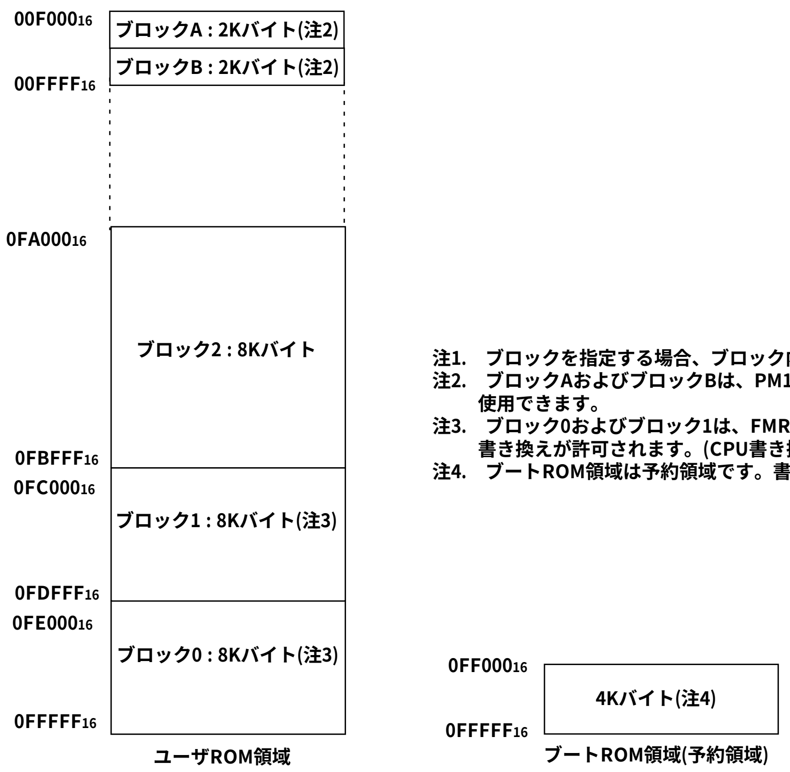
17.1 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域(予約領域)に分けられます。図17.1～図17.4にフラッシュメモリのブロック図を示します。

ユーザROM領域には、シングルチップモード時のマイコン動作プログラムを格納する領域とは別に、2KバイトのブロックAおよび2KバイトのブロックBがあります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。ただし、ブロック0、ブロック1を、CPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを“1”(ブロック0,1書き換え許可)にすることで書き換えが許可されます。またブロックA、ブロックBは、PM1レジスタのPM10ビットを“1”にすると使用できます。

ブートROM領域は、予約領域です。出荷時には標準シリアル入出力モードの書き換え制御プログラムが格納されております。書き換えないでください。



注1.　ブロックを指定する場合、ブロック内の偶数アドレスを使用してください。
注2.　ブロックAおよびブロックBは、PM1レジスタのPM10ビットを“1”にすると使用できます。
注3.　ブロック0およびブロック1は、FMR0レジスタのFMR02ビットを“1”にすると書き換えが許可されます。(CPU書き換えモードのみ)
注4.　ブートROM領域は予約領域です。書き換えないでください。

図17.1.　フラッシュメモリのブロック図 (ROM容量24kバイト)

注1. ブロックを指定する場合、ブロック内の偶数アドレスを使用してください。
注2. ブロックAおよびブロックBは、PM1レジスタのPM10ビットを“1”にすると使用できます。
注3. ブロック0およびブロック1は、FMR0レジスタのFMR02ビットを“1”にすると書き換えが許可されます。(CPU書き換えモードのみ)
注4. ブートROM領域は予約領域です。書き換えないでください。

図17.2. フラッシュメモリのブロック図 (ROM容量32kバイト)

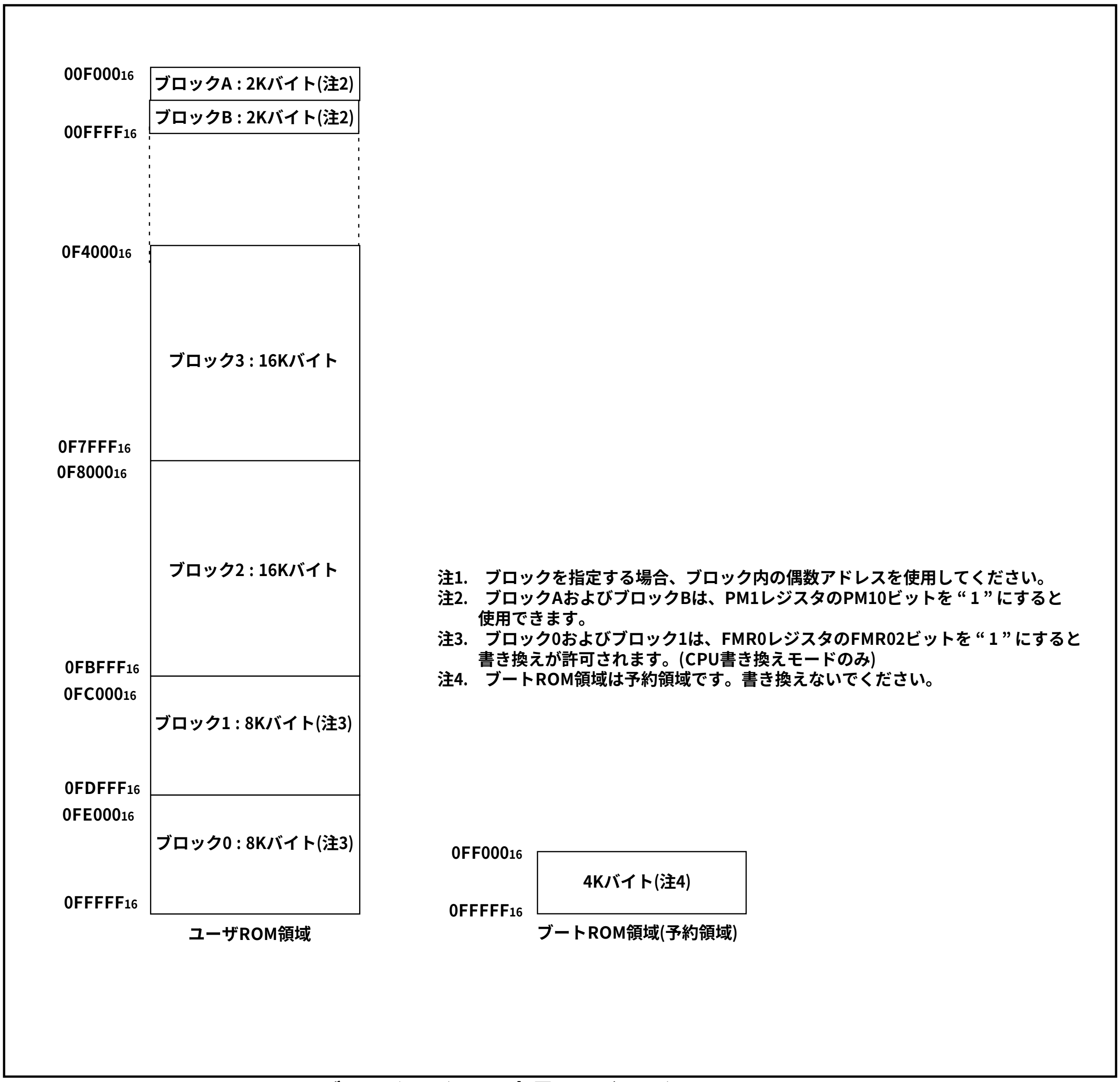


図17.3.　フラッシュメモリのブロック図 (ROM容量48kバイト)

注1.　ブロックを指定する場合、ブロック内の偶数アドレスを使用　してください。
注2.　ブロックAおよびブロックBは、PM1レジスタのPM10ビットを“1”にすると使用できます。
注3.　ブロック0およびブロック1は、FMR0レジスタのFMR02ビットを“1”にすると書き換えが許可されます。(CPU書き換えモードのみ)
注4.　ブートROM領域は予約領域です。書き換えないでください。

図17.4.　フラッシュメモリのブロック図 (ROM容量64kバイト)

17.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、パラレル入出力モードにはROMコードプロテクト、標準シリアル入出力モードにはIDコードチェック機能があります。

17.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、フラッシュメモリの読み出しや書き換えを禁止する機能です。図17.5にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットは2ビットで構成されています。ROMCRビットが“00_2”以外の場合、ROMCP1ビットの2ビットのうちどちらか一方または両方を“0”にすると、ROMコードプロテクトが有効になり、フラッシュメモリの読み出しや書き換えが禁止されます。ただし、ROMCRビットを“00_2”(ROMコードプロテクト解除)にすると、フラッシュメモリを読んだり書き換えたりできます。一度ROMコードプロテクトを有効にすると、パラレル入出力モードでは、ROMCRビットを変更できませんので、標準シリアル入出力モードなど、他のモードで書き換えてください。

17.2.2 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFDF_{16}$、$0FFFE3_{16}$、$0FFFEB_{16}$、$0FFFEF_{16}$、$0FFFF3_{16}$、$0FFFF7_{16}$、$0FFFFB_{16}$番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

ROMコードプロテクト制御番地

b7	b6	b5	b4	b3	b2	b1	b0
				1	1	1	1

シンボル	アドレス	出荷時の値
ROMCP	$0FFFFF_{16}$番地	FF_{16}(注4)

ビットシンボル	ビット名	機　能	RW
―― (b0)	予約ビット	"1"にしてください	RW
―― (b1)	予約ビット	"1"にしてください	RW
―― (b2)	予約ビット	"1"にしてください	RW
―― (b3)	予約ビット	"1"にしてください	RW
ROMCR (b5 b4)	ROMコードプロテクト解除ビット (注2、注4)	b5 b4 0 0 : プロテクト解除 0 1 : 1 0 : } ROMCP1ビット有効 1 1 :	RW
ROMCP1 (b7 b6)	ROMコードプロテクトレベル1設定ビット (注1、注3、注4)	b7 b6 0 0 : 0 1 : } プロテクト有効 1 0 : 1 1 : プロテクト無効	RW

注1. ROMCRビットを"00_2"以外、かつROMCP1ビットを"11_2"以外(ROMコードプロテクトを有効)にすると、パラレル入出力モードでのフラッシュメモリの読み出しや書き換えが禁止されます。
注2. ROMCRビットが"00_2"以外、かつROMCP1ビットが"11_2"以外の場合、ROMCRビットを"00_2"にすると、ROMコードプロテクト・レベル1が解除されます。ただし、ROMCRビットをパラレル入出力モードでは変更できないため、標準シリアル入出力モードなどで変更してください。
注3. ROMCP1ビットはROMCRビットが"01_2"、"10_2"、"11_2"のとき有効です。
注4. 一度"0"にしたビットは、"1"にできません。ROMCPレジスタを含むブロックを消去すると、ROMCPレジスタは"FF_{16}"になります。

図17.5.　ROMCPレジスタ

アドレス		
$0FFFDC_{16}$～$0FFFDF_{16}$	ID1	未定義命令ベクタ
$0FFFE0_{16}$～$0FFFE3_{16}$	ID2	オーバフローベクタ
$0FFFE4_{16}$～$0FFFE7_{16}$		BRK命令ベクタ
$0FFFE8_{16}$～$0FFFEB_{16}$	ID3	アドレス一致ベクタ
$0FFFEC_{16}$～$0FFFEF_{16}$	ID4	シングルステップベクタ
$0FFFF0_{16}$～$0FFFF3_{16}$	ID5	ウォッチドッグタイマベクタ
$0FFFF4_{16}$～$0FFFF7_{16}$	ID6	$\overline{DBC}$ベクタ
$0FFFF8_{16}$～$0FFFFB_{16}$	ID7	$\overline{NMI}$ベクタ
$0FFFFC_{16}$～$0FFFFF_{16}$		リセットベクタ

4バイト

図17.6.　IDコードの格納番地

17.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウエアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1)モードがあります。表17.3にEW0モードとEW1モードの違いを示します。

表17.3.　EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く(注2)
ソフトウエアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御ログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)(注1)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件(注3)	プログラムでFMR4レジスタのFMR40、およびFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可された割り込みの割り込み要求が発生

注1.　DMA転送が起こらないようにしてください。
注2.　ブロック0、ブロック1は、FMR0 レジスタのFMR02ビットを“1”にすると書き換えが許可されます。
注3.　条件成立後、イレーズサスペンドに移行しフラッシュメモリの読み出しが可能となるまでの時間は、最大 td(SR-ES) です。

17.3.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウエアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”になり、EW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウエアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(イレーズサスペンド許可)、およびFMR41ビットを“1”(サスペンドリクエスト)にしてください。そして、td(SR-ES)待ち、FMR46ビットが“1”(自動消去停止)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

17.3.2 EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”する(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタのソフトウエアコマンドを実行しないでください。

プログラム、イレーズのコマンドを実行するとコマンドの実行が終了するか、またはイレーズサスペンドの要求が発生するまで、CPUは停止します。

イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(イレーズサスペンド許可)にしてからブロックイレーズのコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。割り込み要求からtd(SR-ES)後、イレーズサスペンドに移行すると、割り込みが受け付けられます。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(サスペンドリクエスト)になり自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして再度ブロックイレーズのコマンドを実行してください。

RENESAS

図17.7にFMR0レジスタを、図17.8にFMR1、FMR4レジスタを示します。

●FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中、およびイレーズサスペンドモード中は“0”、それ以外のときには“1”になります。

●FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

●FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0およびブロック1はプログラムおよびブロックイレーズのコマンドを受け付けません。

●FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、内蔵フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合

・低消費電力モードまたはオンチップオシレータ低消費電力モードにする場合

図17.11に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウエイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定しないでください。

●FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

●FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

●FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

●FMR17ビット

FMR17ビットを“1”(ウエイトあり)にすると、PM17ビットに関わらず、ブロックAおよびブロックBアクセス時に1ウエイトが挿入されます。そのほかのブロックおよび内部RAMへのアクセスはFMR17ビットに関わらずPM17の設定になります。

100回以上の書き換えを実施する場合(D7,D9,U7,U9)は、このビットを“1”(ウエイトあり)に設定してください。

●FMR40ビット

FMR40ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

●FMR41ビット

EW0モードでは、自動消去中にプログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(サスペンドリクエスト）になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレーズリスタート）にしてください。

●FMR46ビット

自動消去実行中は、FMR46ビットが“0”になります。イレーズサスペンドモード中は“1”になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

フラッシュメモリ制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
			0				

シンボル	アドレス	リセット後の値
FMR0	01B7$_{16}$番地	XX000001$_2$

ビットシンボル	ビット名	機　能	RW
FMR00	RY/BYステータスフラグ	0 : ビジー (書き込み、消去実行中) 1 : レディ	RO
FMR01	CPU書き換えモード選択ビット (注1)	0 : CPU書き換えモード無効 1 : CPU書き換えモード有効	RW
FMR02	ブロック0,1書き換え許可ビット (注2)	0 : 書き換え禁止 1 : 書き換え許可	RW
FMSTP	フラッシュメモリ停止ビット (注3、注5)	0 : フラッシュメモリ動作 1 : フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
— (b4-b5)	予約ビット	“0”にしてください	RW
FMR06	プログラムステータスフラグ(注4)	0 : 正常終了 1 : エラー終了	RO
FMR07	イレーズステータスフラグ(注4)	0 : 正常終了 1 : エラー終了	RO

注1. “1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
このビットは、NMI機能選択時はP8$_5$/NMI/SD端子が“H”の状態で書いてください。また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。
このビットはリードアレイモードにしてから“0”にしてください。
注2. “1”にするときは、FMR01ビットが“1”の状態で、このビットに“0”を書いた後、続けて“1”を書いてください。
“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。
注4. クリアステータスコマンドを実行すると“0”になります。
注5. FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

図17.7.　FMR0レジスタ

フラッシュメモリ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
0	X	0	0				0

シンボル: FMR1　　アドレス: $01B5_{16}$番地　　リセット後の値: $0100XX0X_2$

ビットシンボル	ビット名	機　能	RW
(b0)	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット (注1)	0 : EW0モード 1 : EW1モード	RW
(b3-b2)	予約ビット	読んだ場合、不定	RO
(b5-b4)	予約ビット	“0”にしてください	RW
(b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
FMR17	ブロックA,Bアクセスウエイトビット(注2)	0 : PM17の設定値が有効 1 : ウエイトあり(1ウエイト)	RW

注1. “1”にするときは、FMR01ビットが“1”の状態で、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
このビットは、NMI機能選択時は$P8_5$/NMI/SD端子が“H”の状態で書いてください。
FMR01ビットを“0”にすると、FMR01ビットとFMR11ビットは、いずれも“0”になります。
注2. 100回以上の書き換えを実施する場合(D7,D9,U7,U9)は、このビットを“1”(ウエイトあり)に設定してください。
FMR17ビットが“1”(ウエイトあり)の場合、PM17ビットに関わらず、ブロックAおよびブロックBアクセス時に1ウエイトが挿入されます。その他のブロックおよび内部RAMへのアクセスはFMR17ビットに関わらずPM17ビットの設定になります。

フラッシュメモリ制御レジスタ4

b7	b6	b5	b4	b3	b2	b1	b0
0		0	0	0	0		

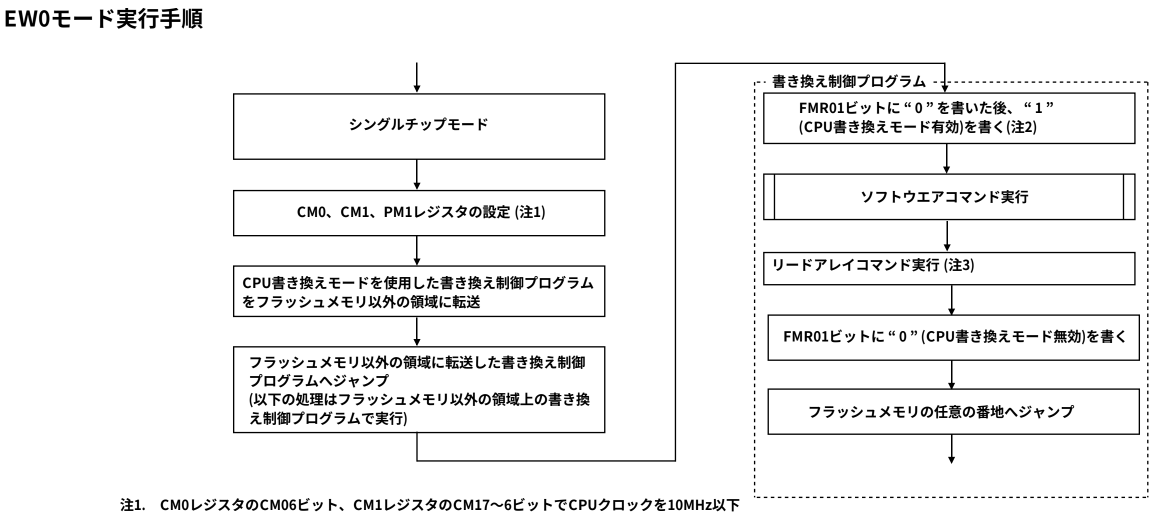
シンボル: FMR4　　アドレス: $01B3_{16}$番地　　リセット後の値: 01000000_2

ビットシンボル	ビット名	機　能	RW
FMR40	イレーズサスペンド機能許可ビット(注1)	0 : 禁止 1 : 許可	RW
FMR41	イレーズサスペンドリクエストビット(注2)	0 : イレーズリスタート 1 : サスペンドリクエスト	RW
(b5-b2)	予約ビット	“0”にしてください	RO
FMR46	イレーズステータス	0 : 自動消去動作中 1 : 自動消去停止 (イレーズサスペンドモード)	RO
(b7)	予約ビット	“0”にしてください	RW

注1. "1"にするときは、このビットに"0"を書いた後、続けて"1" を書いてください。
"0"を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。
注2. このビットはイレーズサスペンド許可ビット(FMR40)が"1"の時のみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ書き込みが可能となります。(上記期間以外は"1"になります。)
EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。
EW1モードではFMR40ビットが"1"のとき消去中にマスカブル割り込みが発生すると自動的に"1"になります。プログラムによって"1"を書き込むことは出来ません。("0"書き込みは可能)

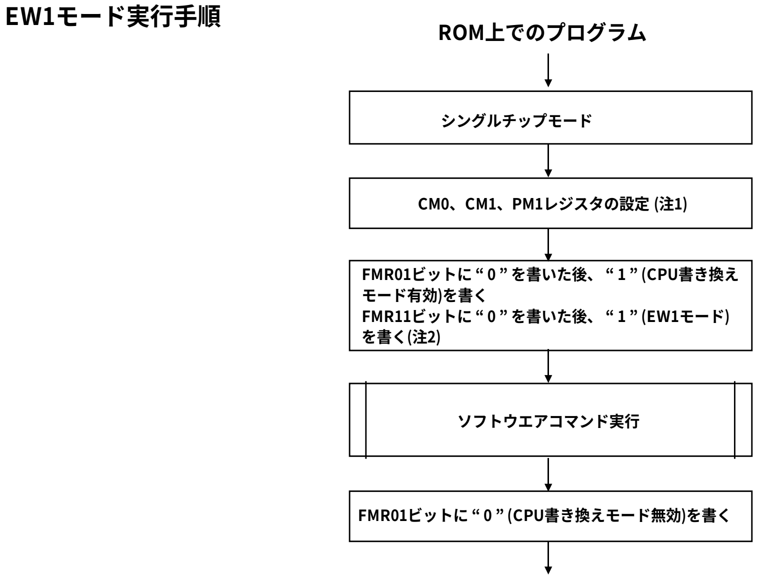
図17.8.　FMR1、FMR4レジスタ

図17.9にEW0モードの設定と解除方法、図17.10にEW1モードの設定と解除方法を示します。



注1.　CM0レジスタのCM06ビット、CM1レジスタのCM17～6ビットでCPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットを“1”(ウエイトあり) にしてください。
注2.　FMR01ビットを“1”にする場合、FMR01ビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
FMR01ビットへの書き込みは内蔵フラッシュメモリ以外の領域で行ってください。また、$\overline{\text{NMI}}$機能選択時はP8₅/$\overline{\text{NMI}}$/$\overline{\text{SD}}$端子が“H”の状態で行ってください。
注3.　リードアレイコマンドを実行した後、CPU書き換えモードを無効にしてください。

図17.9.　EW0モードの設定と解除方法



注1.　CM0レジスタのCM06ビット、CM1レジスタのCM17～6ビットでCPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットを“1”(ウエイトあり) にしてください。
注2.　FMR01ビットを“1”にする場合、FMR01ビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
また、$\overline{\text{NMI}}$機能選択時はP8₅/$\overline{\text{NMI}}$/$\overline{\text{SD}}$端子が“H”の状態で行ってください。

図17.10.　EW1モードの設定と解除方法

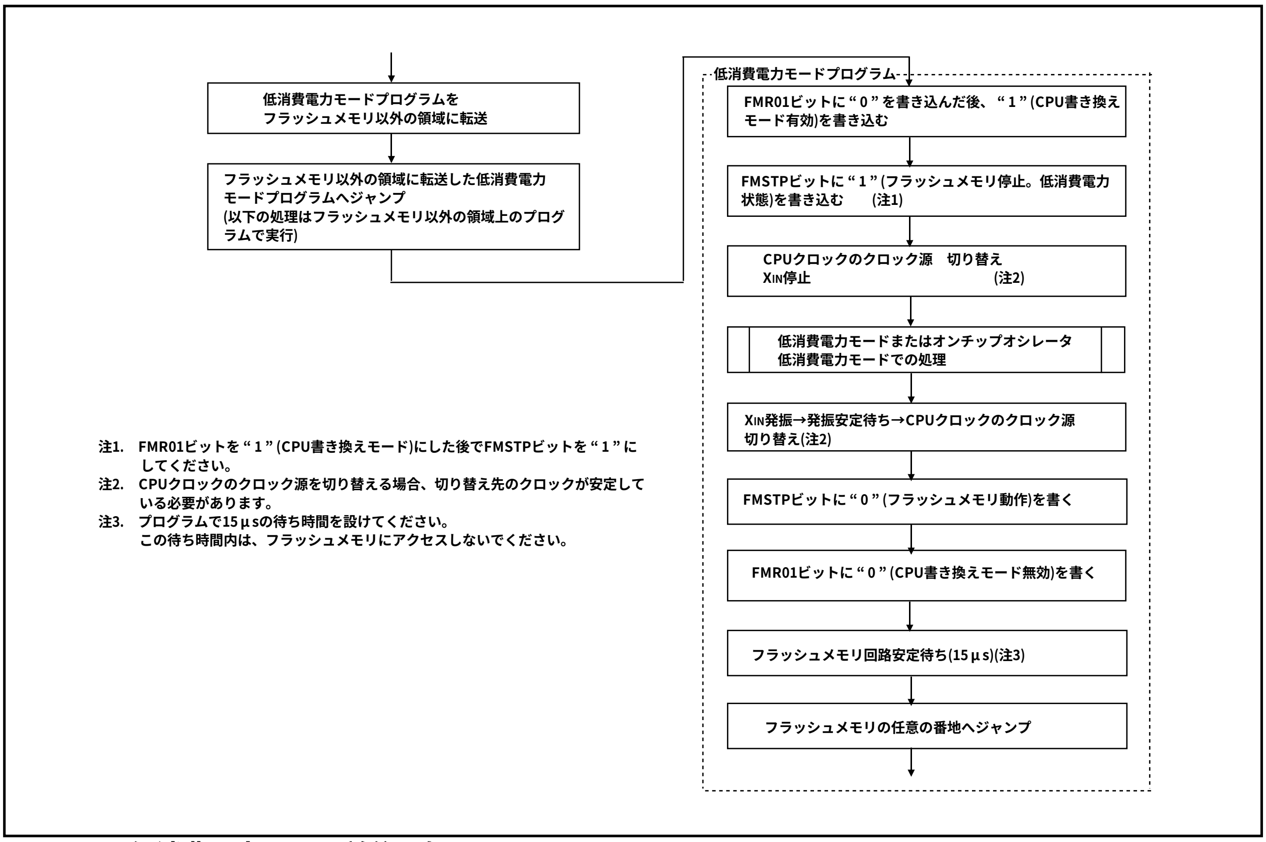


図17.11.　低消費電力モード前後の処理

17.3.3 CPU書き換えモードの注意事項

17.3.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～6ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウエイトあり)にしてください。

17.3.3.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、イレーズサスペンド中以外は使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

17.3.3.3 割り込み

EW0モード

・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。

・$\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。ただし、固定ベクタテーブルに各割り込みの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。$\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、FMR01ビットを“1”にし、消去またはプログラムの動作が必要です。

・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

・自動書き込み、またはイレーズサスペンド機能を禁止した自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。

17.3.3.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、$\overline{\text{NMI}}$機能選択時はP85/$\overline{\text{NMI}}$/$\overline{\text{SD}}$端子に“H”を入力した状態で行ってください。

17.3.3.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

17.3.3.6 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

17.3.3.7 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

17.3.3.8 ウエイトモード

ウエイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

17.3.3.9 ストップモード

ストップモードに移行する場合は、次のようにしてください。

・FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM10ビットを“1”(ストップモード)にする

・CM10ビットを“1”にする命令の次にJMP.B命令を実行する

プログラム例

```
        BSET     0, CM1        ；ストップモード
        JMP.B    L1
L1：
        ストップモード復帰後のプログラム
```

17.3.3.10 低消費電力モード、オンチップオシレータ低消費電力モード

CM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

・プログラム

・ブロックイレーズ

17.3.4 ソフトウエアコマンド

ソフトウエアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表17.4.　ソフトウエアコマンド一覧表

ソフトウエアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	×	$xxFF_{16}$			
リードステータスレジスタ	ライト	×	$xx70_{16}$	リード	×	SRD
クリアステータスレジスタ	ライト	×	$xx50_{16}$			
プログラム	ライト	WA	$xx40_{16}$	ライト	WA	WD
ブロックイレーズ	ライト	×	$xx20_{16}$	ライト	BA	$xxD0_{16}$

SRD：ステータスレジスタデータ(D7～D0)。
WA：書き込み番地(ただし、偶数番地)
WD：書き込みデータ(16ビット)
BA：ブロックの最上位番地(ただし、偶数番地)
×：ユーザROM領域内の任意の偶数番地
xx：コマンドコード上位8ビット(無視されます)

●リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“$xxFF_{16}$”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

●リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“$xx70_{16}$”を書くと、第2バスサイクルでステータスレジスタが読めます(「ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

●クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“$xx50_{16}$”を書くと、FMR0レジスタのFMR06, FMR07ビットとステータスレジスタのSR4, SR5が“0”になります。

●プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx40₁₆”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「フルステータスチェック」参照)。

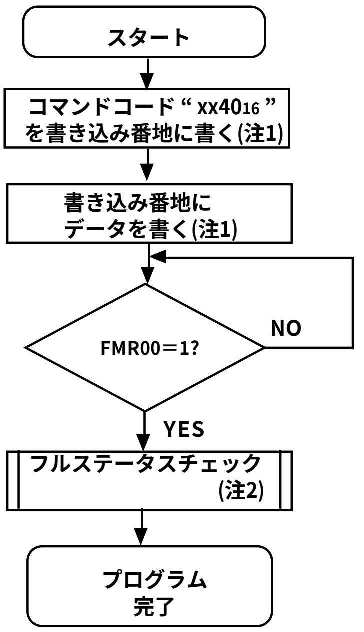
既にプログラムされた番地に対する追加書き込みは禁止します。

また、FMR0レジスタのFMR02ビットが“0”（書き換え禁止）のときは、ブロック0、およびブロック1に対するプログラムコマンドは受け付けられません。

プログラムコマンドの直後に、プログラムコマンド以外のコマンドを実行する場合、プログラムコマンドの第2バスサイクルで指定した書き込み番地と同じ番地を、次のコマンドの第1バスサイクルで指定するアドレス値にしてください。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。



注1.　コマンドコード、データは偶数番地に書いてください。
注2.　”図17.11 フルステータスチェックフローチャート、各エラー発生時の対処方法”を参照してください。

図17.12.　プログラムフローチャート

●ブロックイレーズ

第1バスサイクルで“xx20₁₆”、第2バスサイクルで“xxD0₁₆”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

EW0モードでイレーズサスペンド機能を使用する時は、イレーズサスペンドへの移行をFMR4レジスタのFMR46ビットで確認してください。FMR46ビットは、自動消去動作中は“0”、自動消去停止（イレーズサスペンドに移行）後“1”になります。

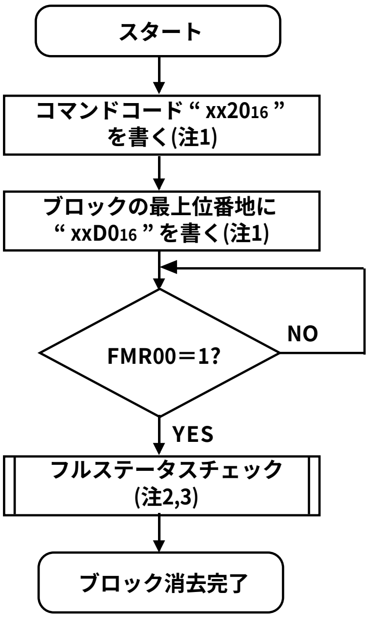
自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”（書き換え禁止）のときは、ブロック0、およびブロック1に対するブロックイレーズコマンドは受け付けられません。

図17.13にイレーズサスペンド機能を使用しない時のブロックイレーズのフローチャート例を、図17.14にイレーズサスペンド機能を使用する時のブロックイレーズのフローチャート例を示します。

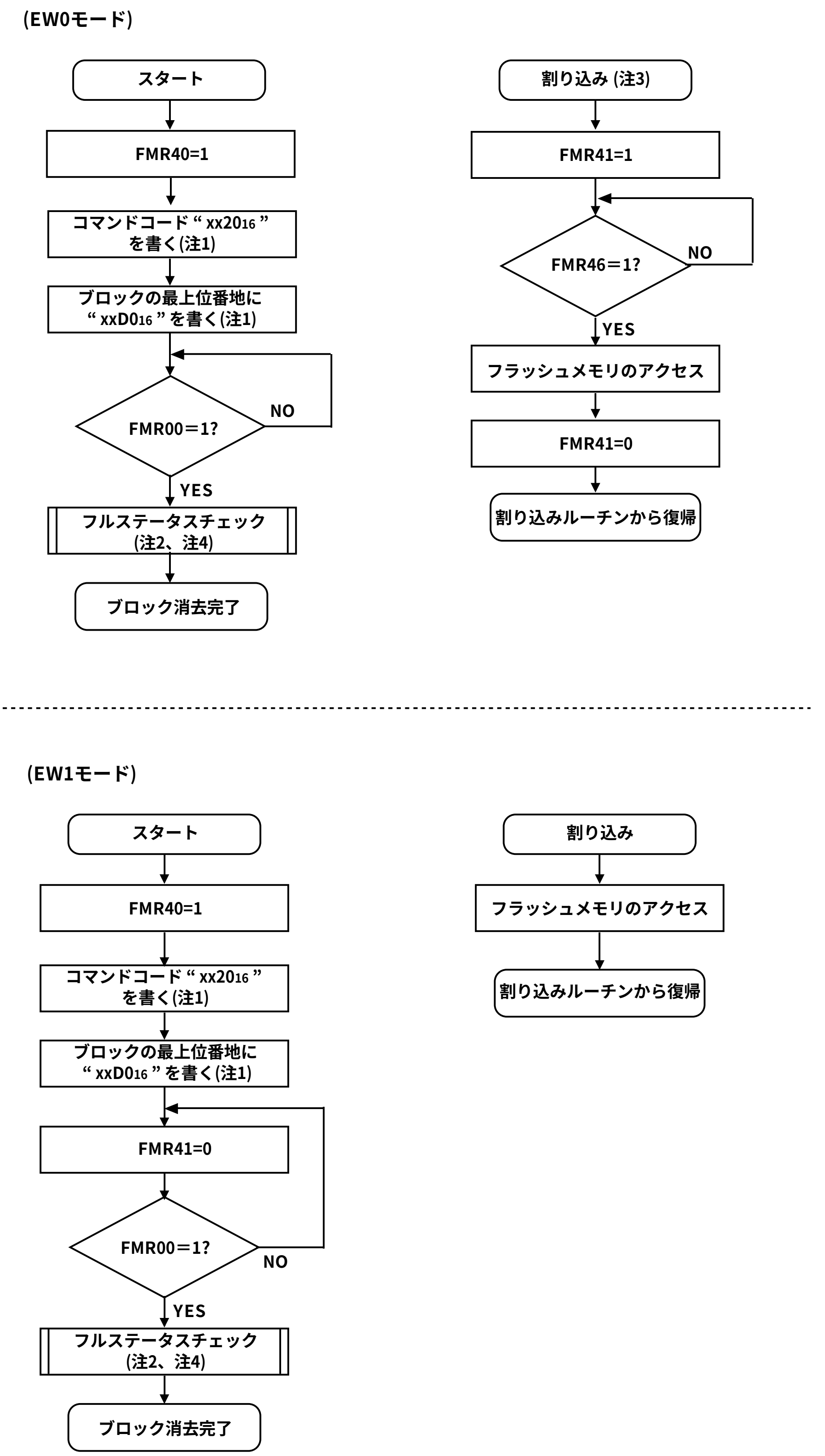
EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。なお、イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも３回実行してください。



注1.　コマンドコード、データは偶数番地に書いてください。
注2.　”図17.11 フルステータスチェックフローチャート、各エラー発生時の対処方法”を参照してください。
注3.　イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも３回実行してください。

図17.13.　ブロックイレーズフローチャート（イレーズサスペンド機能不使用時）



注1.　コマンドコード、データは偶数番地に書いてください。
注2.　イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも３回実行してください。
注3.　EW0モードでは、使用する割り込みの割り込みベクタテーブルはRAM領域に配置して下さい。
注4.　”図17.11 フルステータスチェックフローチャート、各エラー発生時の対処方法”を参照してください。

図17.14.　ブロックイレーズフローチャート（イレーズサスペンド機能使用時）

●ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表17.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

(1)　リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき

(2)　プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。イレーズサスペンドモード中は“0”(ビジー)を示します。

イレーズステータス(SR5、FMR07ビット)

「フルステータスチェック」を参照してください。

プログラムステータス(SR4、FMR06ビット)

「フルステータスチェック」を参照してください。

表17.5.　ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR7 (D_7)	FMR00	シーケンサステータス	ビジー	レディ	1
SR6 (D_6)	−	リザーブ	−	−	−
SR5 (D_5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR4 (D_4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR3 (D_3)	−	リザーブ	−	−	−
SR2 (D_2)	−	リザーブ	−	−	−
SR1 (D_1)	−	リザーブ	−	−	−
SR0 (D_0)	−	リザーブ	−	−	−

D_0〜D_7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。
FMR07ビット(SR5)、FMR06ビット(SR4)は、クリアステータスレジスタコマンドを実行すると“0”になります。
FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズ、コマンドは受け付けられません。

●フルステータスチェック

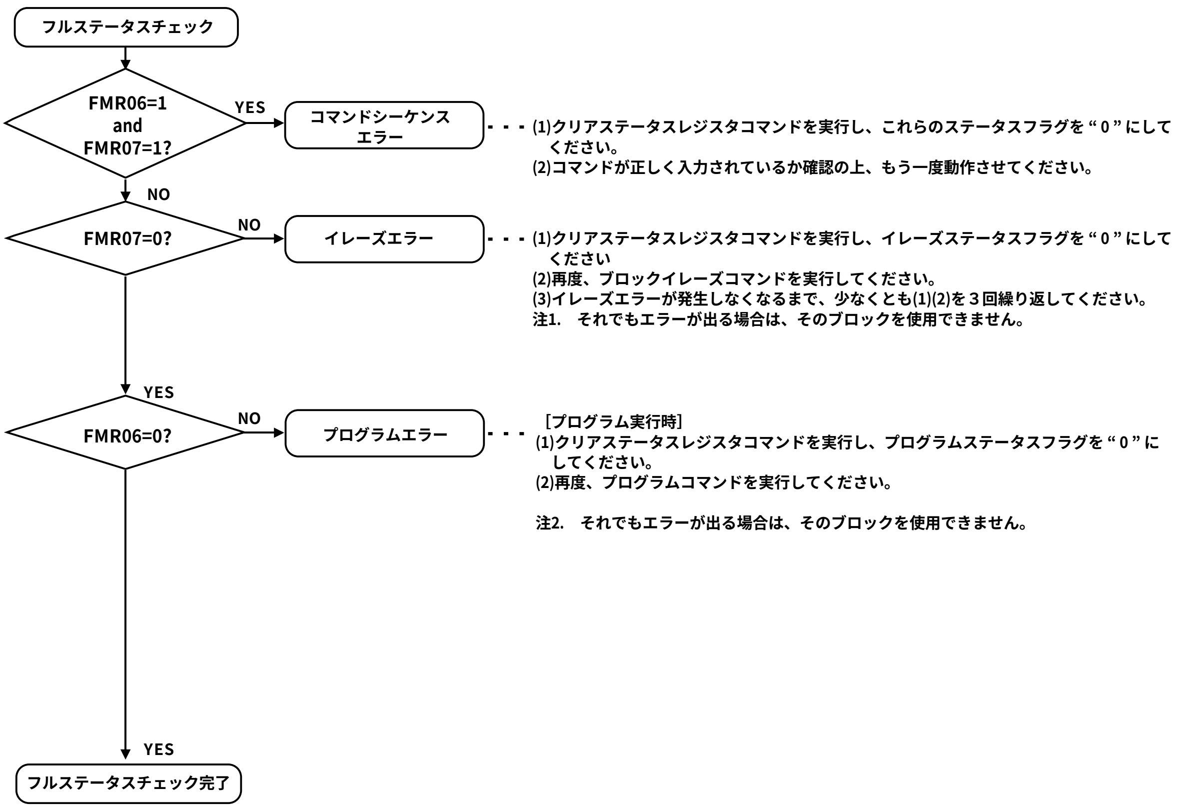
エラーが発生すると、FMR0レジスタのFMR06, FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表17.6にエラーとFMR0レジスタの状態を、図17.15にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表17.6. エラーとFMR0レジスタの状態

FMR00レジスタ(ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“xxD016”または“xxFF16”)以外のデータを書いたとき(注1) ・FMR0レジスタのFMR02ビットを“0”(ブロック0,1書き換え禁止)にした状態で、ブロック0,1に対してプログラムコマンドまたはブロックイレーズコマンドを実行した場合
1	0	イレーズエラー	・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	・プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFF16”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。



注4.　FMR06、FMR07のいずれかが“1”のときは、プログラム、ブロックイレーズ　の各コマンドは受け付けられません。
クリアステータスレジスタコマンドを実行した後、各コマンドを実行してください。

図17.15.　フルステータスチェックフローチャート、各エラー発生時の対処方法

17.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/26グループに対応したシリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライタについては、各メーカにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表17.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図17.16に標準シリアル入出力モード時の端子結線図を示します。

17.4.1 IDコードチェック機能

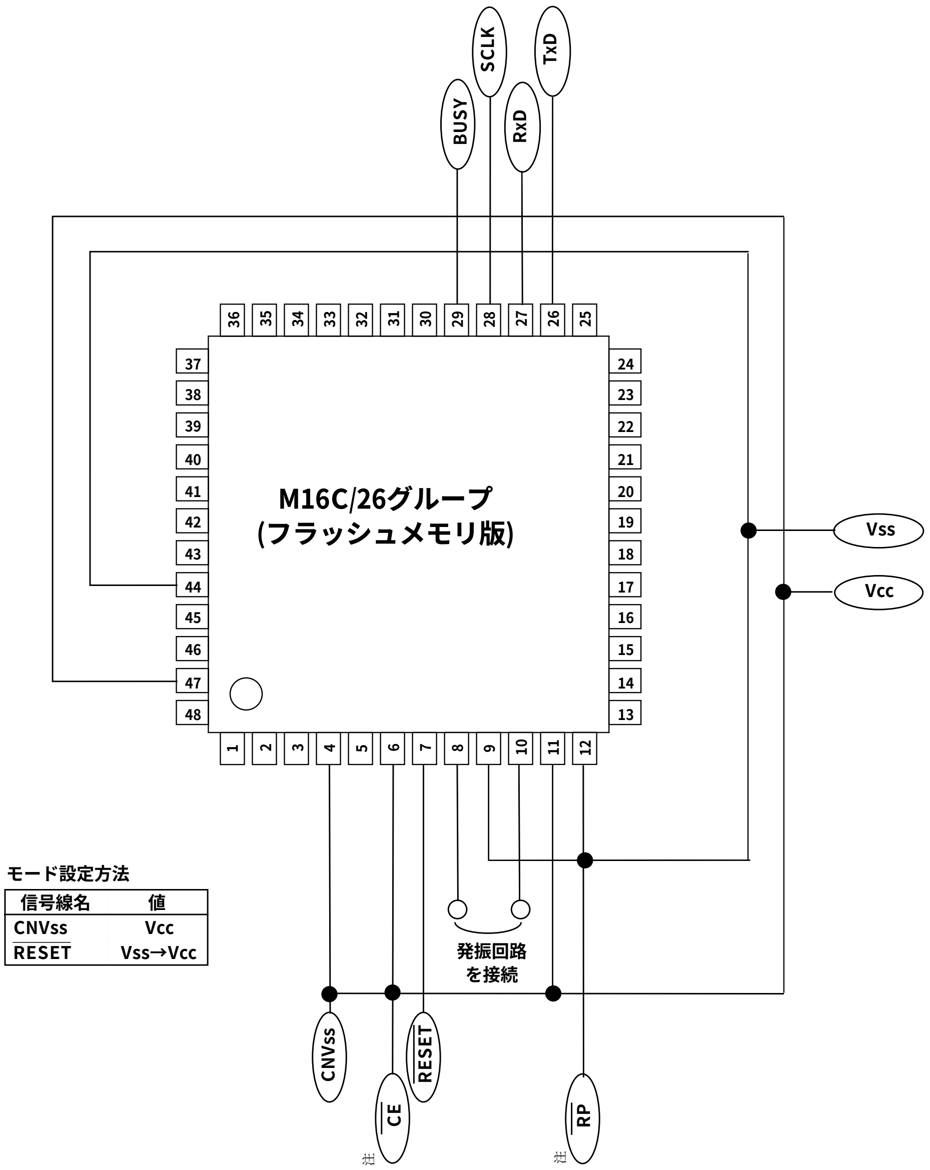
シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「17.2. フラッシュメモリ書き換え禁止機能」参照)。

表17.7.　端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名　称	入出力	機　能
V_{CC}、V_{SS}	電源入力		V_{CC}端子にはフラッシュ書き込み消去電圧を、V_{SS}には0Vを入力してください。
CNV_{SS}	CNV_{SS}	入力	V_{CC}に接続してください。
IV_{CC}	IV_{CC}		端子を開放してください。
$\overline{RESET}$	リセット入力	入力	リセット入力端子です。$\overline{RESET}$端子が“L”の間、X_{IN}端子には20サイクル以上のクロックを入力してください。
X_{IN}	クロック入力	入力	X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力するときは、X_{IN}から入力しX_{OUT}は開放してください。
X_{OUT}	クロック出力	出力	
AV_{CC}、AV_{SS}	アナログ電源入力	入力	AV_{CC}はV_{CC}に、AV_{SS}はV_{SS}に接続してください。
V_{REF}	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
$P1_5$～$P1_7$	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
$P6_0$～$P6_3$	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
$P6_4$	BUSY出力	出力	標準シリアル入出力モード1 : BUSY信号の出力端子です。 標準シリアル入出力モード2 : ブートプログラム動作チェック用モニタ信号出力端子です。
$P6_5$	SCLK入力	入力	標準シリアル入出力モード1 : シリアルクロックの入力端子です。 標準シリアル入出力モード2 : “L”を入力してください。
$P6_6$	RxD入力	入力	シリアルデータの入力端子です。
$P6_7$	TxD出力	出力	シリアルデータの出力端子です。(注1)
$P7_0$～$P7_7$	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
$P8_0$～$P8_3$,$P8_7$	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
$P8_5$	$\overline{RP}$入力	入力	$\overline{RESET}$端子が“L”の間、V_{SS}に接続してください。(注2)
$P8_6$	$\overline{CE}$入力	入力	$\overline{RESET}$端子が“L”の間、V_{CC}に接続してください。(注2)
$P9_0$～$P9_3$	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
$P10_0$～$P10_7$	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

注1.　標準シリアル入出力モード1を使用する場合、$\overline{RESET}$端子が“L”の期間中TxD端子に“H”を入力する必要があります。そのため、この端子を抵抗を介してV_{CC}に接続してください。リセット後この端子はデータ出力端子になりますので、データ転送に影響を与えないようプルアップ抵抗値をシステム上で調整してください。

注2.　$\overline{RP}$端子、または$\overline{CE}$端子のいずれかを設定してください。



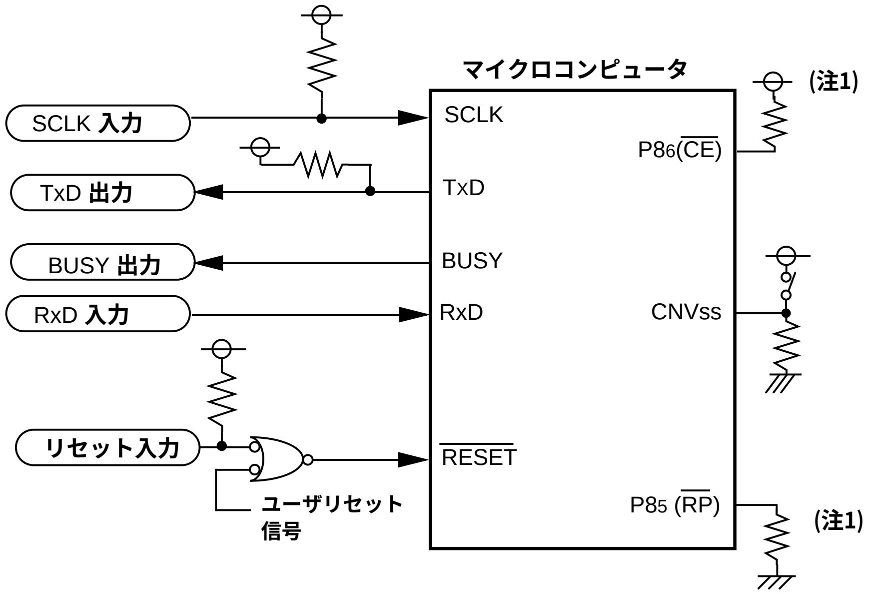
注：シリアル入出力モードでは、RESET端子が“L”の間、CE端子を“H”に、またはRP端子を“L”に接続する必要があります。

外形　48P6Q-A

図17.16.　標準シリアル入出力モード時の端子結線図

17.4.2 標準シリアル入出力モード1時の端子処理例

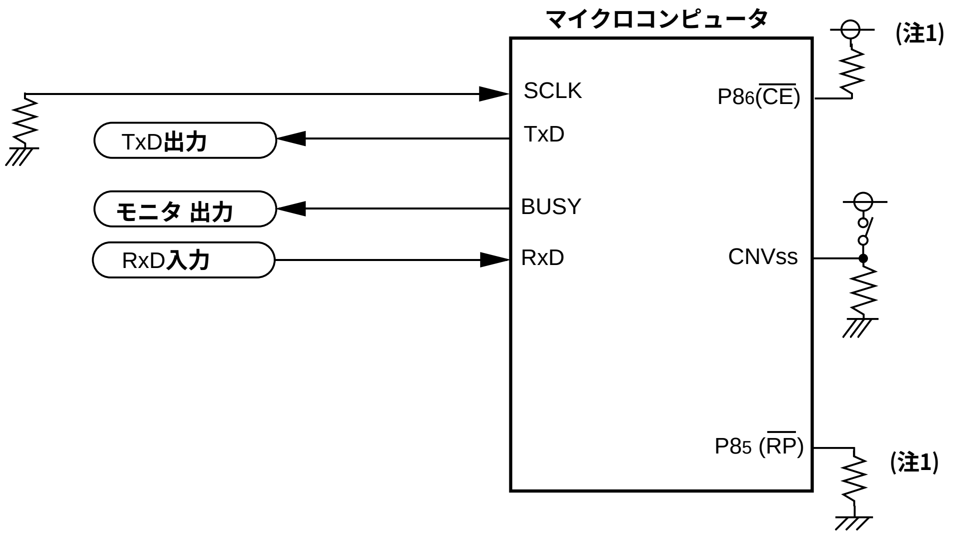
図17.17に標準シリアル入出力モード1を使用する場合の端子処理例、図17.18に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライタによって制御するピンなどが違いますので、詳細はライタのマニュアルを参照してください。



(1) ライタによって制御する端子、外付け回路が違います。詳しくは、ライタのマニュアルを参照してください。
(2) この例では、スイッチでCNVss入力を制御することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
(3) 標準シリアル入出力モード1でユーザリセット信号がシリアル入出力モード中に“L”になる可能性のある場合は、ジャンパスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください。

注1. P86(CE)端子、またはP85(RP)端子のいずれかを設定してください。

図17.17.　標準シリアル入出力モード1を使用する場合の端子処理例



(1) この例では、スイッチでCNVss入力を制御することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。

注1. P86(CE)端子、またはP85(RP)端子のいずれかを設定してください。

図17.18.　標準シリアル入出力モード2時の端子処理例

17.5 パラレル入出力モード

パラレル入出力モードでは、M16C/26グループに対応したパラレルライタを使用して、ユーザROM領域を書き換えられます。パラレルライタについては、各メーカにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

17.5.1 ROMコードプロテクト機能

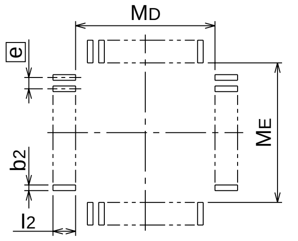
フラッシュメモリの読み出しや書き換えを禁止する機能です(「17.2. フラッシュメモリ書き換え禁止機能」参照)。

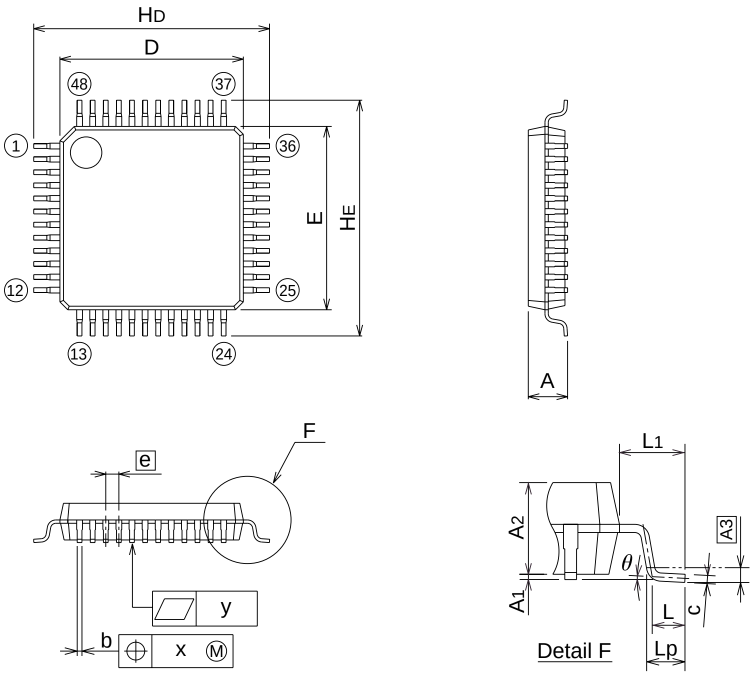
18. 外形寸法図

48P6Q-A Recommended

Plastic 48pin 7×7mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP48-P-77-0.50	–	–	Cu Alloy





Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.7
A_1	0	0.1	0.2
A_2	–	1.4	–
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	6.9	7.0	7.1
E	6.9	7.0	7.1
e	–	0.5	–
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
L	0.35	0.5	0.65
L_1	–	1.0	–
Lp	0.45	0.6	0.75
A_3	–	0.25	–
x	–	–	0.08
y	–	–	0.1
θ	0°	–	8°
b_2	–	0.225	–
I_2	1.0	–	–
M_D	–	7.4	–
M_E	–	7.4	–

レジスタ索引

A

AD0～AD7　150
ADCON0　149
ADCON1　149
ADCON2　150
ADIC　52
AIER　62

B

BCNIC　52

C

CM0　29
CM1　30
CM2　31
CPSRF　78, 87

D

D4INT　21
DAR0　69
DAR1　69
DM0CON　68
DM0IC～DM1IC　52
DM0SL　67
DM1CON　68
DM1SL　68
DTT　96

F

FMR0　200
FMR1　201
FMR4　201

I

ICTB2　97
IDB0　96
IDB1　96
IFSR　59
INT0IC　52
INT1IC　52
INT3IC　52
INT4IC　52
INT5IC　52
INVC0　94
INVC1　95

K

KUPIC　52

O

ONSF　78

P

P1、P6～P10　167
PCLKR　32
PCR　169
PD1、PD6～PD10　166
PM0　26
PM1　26
PM2　32
PRCR　45
PUR0～PUR2　168

R

RMAD0　62
RMAD1　62

S

S0RIC～S2RIC　52
S0TIC～S2TIC　52
SAR0　69
SAR1　69

T

TA0　77
TA0IC～TA4IC　52
TA0MR　76
TA1　77, 97
TA11　97
TA1MR　76, 100
TA2　77, 97
TA21　97
TA2MR　76, 100
TA3　77
TA3MR　76
TA4　77, 97
TA41　97
TA4MR　76, 100
TABSR　77, 87, 99
TB0　87
TB0IC～TB2IC　52
TB0MR　86
TB1　87
TB1MR　86
TB2　87, 99
TB2MR　86, 100
TB2SC　98
TCR0　69
TCR1　69
TRGSR　78, 99

U

U0BRG～U2BRG　106
U0C0～U2C0　108
U0C1～U2C1　109
U0MR～U2MR　107
U0RB～U2RB　106
U2SMR　110
U2SMR2　110
U2SMR3　111
U2SMR4　111
U0TB～U2TB　106
UCON　108
UDF　77

V

VCR1　21
VCR2　21

W

WDC　20, 64
WDTS　64

改訂履歴	M16C/26 グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	03/09/01		初版
1.10	04/02/10	12	フラッシュメモリ制御レジスタ4のリセット後の値を修正
		26	図6.1　PM12ビットの機能説明の誤記を修正
		32	図7.5　PM20ビットの誤記を修正
		40	図7.9　低消費電力モードの削除
		46	図9.1　誤記を修正
		48	9.3.1.4 “ 発振停止検出割り込み ”を“ 発振停止、再発振検出割り込み ”に変更
		49	9.4.1 “ 内臓フラッシュメモリ書き換え禁止機能 ”を“ フラッシュメモリ書き換え禁止機能 ”に修正
		52	図9.3　予約ビットのビットシンボルを追加
		54	図9.4　$\overline{RD}$,$\overline{WR}$の説明を追加
		55	表9.5 “ 発進停止、再発信検出 ”を“ 発振停止、再発振検出 ”に修正
		60	9.14　$\overline{NMI}$割り込み未使用時の説明を修正
		63	10 本文を修正
		64	ホールド状態を削除
		65	DSEL3～0をDSEL3～DSEL0に修正
		67	図11.2　表　DSEL3～0をDSEL3～DSEL0に修正、２進数表記に変更
		68	図11.3　表　DSEL3～0をDSEL3～DSEL0に修正、２進数表記に変更
		72	表11.2　一部修正
			11.4　DSEL3～0をDSEL3～DSEL0に修正
		76	TMOD1～0をTMOD1～TMOD0に修正　図12.3　ASBSRレジスタをTABSRレジスタに修正
		77	図12.5　アップダウンフラグの注３を修正
		80	図12.8　注3　TAiGH,TAiGLビットをTAiTGH,TAiTGLビットに修正
		82	図12.9　注2　TAiGH,TAiGLビットをTAiTGH,TAiTGLビットに修正
		83	図12.10　注2　TAiGH,TAiGLビットをTAiTGH,TAiTGLビットに修正
		85	図12.12　注2　TAiGH,TAiGLビットをTAiTGH,TAiTGLビットに修正
			図12.13　注4　TAiGH,TAiGLビットをTAiTGH,TAiTGLビットに修正
		86	TMOD1～0をTMOD1～TMOD0に修正
		104	図13.1　CLK1～0をCLK1～CLK0に修正、SMD2～0をSMD2～SMD0に修正
		105	図13.2　SMD2～0をSMD2～SMD0に修正
		106	図13.3　UARTIi受信バッファレジスタのビット0～8のビットシンボルを追加
		108	図13.5　UARTi送受信制御レジスタ0のCTS/RTSを$\overline{CTS}$/$\overline{RTS}$に変更
		127	図13.21　NOIZE Filterをノイズフィルタに変更、ビットの説明を追加
		132	13.4.2(2)　UiSMR4をU2SMR4に修正
		137	表13.15　UFORMビットの機能を修正
		147	AD_{TRG}を$\overline{AD_{TRG}}$に修正
		148	CH2～0をCH2～CH0に修正
		149	図14.2　A-D制御レジスタ1のb6-b7をb7-b6に修正
		152	図14.4　A-D制御レジスタ0のMD1～0をMD1～MD0に、CH2～0をCH2～CH0に修正
			図14.4　A-D制御レジスタ1のb6-b7をb7-b6に修正
		154	図14.5　A-D制御レジスタ0のMD1～0をMD1～MD0に、CH2～0をCH2～CH0に修正
			図14.5　A-D制御レジスタ1のb6-b7をb7-b6に修正
		156	図14.6　A-D制御レジスタ0のMD1～0をMD1～MD0に、CH2～0をCH2～CH0に修正
		158	図14.7　A-D制御レジスタ0のMD1～0をMD1～MD0に、CH2～0をCH2～CH0に修正
		160	図14.8　A-D制御レジスタ0のMD1～0をMD1～MD0に、CH2～0をCH2～CH0に修正
		162	15.3　ポート$P6_7$に関する注意事項を追記
		163	図15.1　P15～P17のデータバスへの入力もヒステリシスを持つように修正
		172	表16.2　I_{OH}, I_{OL}の$P8_4$を$P8_3$に修正、V_{IL}, I_{OL}の$P7_2$を$P7_0$に修正
		173	表16.3　絶対精度の8bitの測定条件を修正
		174	表16.4、表16.5　イレーズサスペンド遷移時間を8msecに変更
			データ保持時間を最低20年に修正、注5を55℃に変更

改訂履歴	M16C/26 グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
		176	表16.9　VOLの'L'出力電圧のP7₂をP7₀に修正
		183	表16.24　VOLの'L'出力電圧のP7₂をP7₀に修正
			プルアップ抵抗値の最小値を50KΩに、標準値を100kΩに修正
		199	FMSTPビット　モード名称を修正
		201	図17.8　フラッシュメモリ制御レジスタ4のリセット後の値を01000000₂に修正
		211	表17.6　コマンドシーケンスエラーのエラー発生条件を追加
		213	表17.7　RP端子を追加、注2を追加
		214	図17.16　CE端子、RP端子に対応した図に変更
		215	図17.17　CE端子、RP端子に対応した図に変更
		216	図17.18　CE端子、RP端子に対応した図に変更
1.11	04/05/30	B-1, B-3	"監視タイマ"を"ウォッチドッグタイマ"に"A-D 変換"を"A/D 変換"に用語を統一
		2	表 1.1 と注 2 を修正。表 1.1 用語を統一
		3	図 1.1 用語を統一
		4	"1.4 製品一覧"の注意事項を削除
		6	"A-D 変換器"を"A/D コンバータ"に、"A-D トリガ"を"A/D トリガ"に用語を統一
		9, 10	"監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		10	"4.SFR"のプロテクトレジスタと発振停止検出レジスタのリセット後の値を修正
		11	"A-D 変換"を"A/D 変換"に用語を統一
		12	"フラッシュメモリ制御レジスタ 1"のリセット後の値を修正
		15	"A-D"を"A/D"に用語を統一
		16, 17	"監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		20	"5.2 電圧検出回路"に使用条件の文章を追加
		20, 21	図 5.5 と図 5.6 で"監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		23, 24	"5.2.1 電圧低下検出割り込み"と図 5.8 で"監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		24	図 5.8 と図 5.9 "デジタル"を"ディジタル"に修正
		24	図 5.8 を一部修正
		26	図 6.1 "監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		27	"7. クロック発生回路"と表 7.1 の用語を統一
		28	図 7.4 用語を統一
		29	図 7.2　CM02 のビット名称と CM05 の機能、注 4 を修正
			CM07 の機能、注 3、注 7、注 13、注 14 の用語を統一
		30 ～ 32	図 7.3 ～図 7.5 "監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		30	図 7.3　注 5 の用語を統一
		31	図 7.4　CM21 の機能、注 2、注 11 の用語を統一
		32	図 7.5 の PM2 レジスタ　PM22 の機能、注 4 の用語を統一
		33	"7.1. メインクロック"の本文より無意味な文章を削除し、用語を統一
		34, 35	"7.3 オンチップオシレータクロック"と"7.4.1 CPU クロックと BCLK"で用語を統一
		35	"7.4.1.CPU クロックと BCLK"と"7.4.2. 周辺機能クロック"の用語を統一
		36	"7.5.1 通常動作モード"の用語を統一
		37	表 7.2 と"7.5.1 ウエイトモード"、"7.5.2 ウエイトモード"の用語を統一
		38	表 7.3 で"A-D 変換"を"A/D 変換"に用語を統一
		39	"7.5.3.3. ストップモードからの復帰"の用語を統一
		40	図 7.8 と図 7.9 の用語を統一、説明文を追加
		41	表 7.4 の用語を統一
		43	"7.7.2"　用語を統一
		44	"●発振停止、再発振検出機能使用方法"と図 7.10 の用語を統一
		46	図 9.1 で"監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		48, 49	"9.3.1.3"と表 9.1 で"監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		50	表 9.2　"A-D 変換器"を"A/D コンバータ"に用語を統一
		55	表 9.5 で"監視タイマ"を"ウォッチドッグタイマ"に用語を統一
		56	"9.11　割り込み優先順位"と図 9.8 で"監視タイマ"を"ウォッチドッグタイマ"に

Rev.	発行日	改訂内容 ページ	改訂内容 ポイント
			用語を統一
		58	図 9.9 “ 監視タイマ ” を “ ウォッチドッグタイマ ” に “ A-D 変換 ” を “ A/D 変換 ” に用語を統一
		60	“ 9.14.NMI割り込み ” の本文を修正
		63, 64	“ 10. 監視タイマ ” と “ 10.1. カウントソース保護モード ”、図 10.1 の用語を統一
		66	表 11.1 で “ A-D 変換 ” を “ A/D 変換 ” に用語を統一
		67, 68	図 11.2 と図 11.3 で “ A-D 変換 ” を “ A/D 変換 ” に用語を統一
		74, 75	図 12.1 と図 12.1 の用語を統一
		78	図 12.6 のワンショット開始フラグの b5 に “ 0 ” を追加
		92	表 12.9　強制遮断入力の仕様と注 1 を修正
		93	図 12.22 を修正
		94	図 12.23 の注 5 を誤記を修正。図 12.23 の INVC0 レジスタを修正
		95	図 12.24 の INVC1 レジスタを修正
		96	図 12.25 の三相出力バッファレジスタを修正
		97	図 12.26 のタイマ Aj, Aj-1 レジスタの注 6 を修正
		98	図 12.27 を一部修正。図 12.27 の注 4 と表の注 3 を修正
		100	図 12.29 のタイマ Ai モードレジスタを修正
		103	“ 13.1 UARTi(i=0 〜 2 ” の用語を統一
		104	図 13.1 用語を統一。UART0 と UART1 の RxD 極性切り替え回路を削除
		105	図 13.2 の UART0 と UART1 の論理反転回路を削除
		114	表 13.3 を一部修正
		212	表 13.7 を一部修正
		126 〜 135	“ 13.4 特殊モード 1 ” の用語を統一
		140, 141	“ 13.6 特殊モード 3 ” の用語を統一
		147 〜 161	“ 14. A-D 変換器 ” で “ A-D 変換器 ” を “ A/D コンバータ ” に、“ A-D 変換 ” を “ A/D 変換 ” に “ A-D 制御 ” を “ A/D 制御 ” に、“ A-D トリガ ” を “ A/D トリガ ” に用語を統一
		167	図 15.6 のポート P8 レジスタの図を修正
		170	表 15.1 と図 15.9 を修正
		172	表 16.2　用語を統一
		173	“ A-D 変換 ” を “ A/D 変換 ” に用語を統一
		174	消去動作→イレーズサスペンド遷移時間説明図を修正
		175	表 16.7 に注 4 を追加
		177	表 16.10 用語を統一
		180	表 16.21 表題の用語を統一
		184	表 16.25 用語を統一
		187	表 16.36 表題の用語を統一
		190	表 17.1 のデータ保持の性能を修正
		193	図 17.3 のブロック３の大きさをブロック２に合わせた
		196	図 17.6 “ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		198	“ 17.3.2.EW1 モード ” の説明を追加
		199	“ ● FMSTP ビット ” 本文を一部修正、用語を統一
		201	図 17.8 の FMR1 レジスタを一部修正
		202	図 17.9 の注 4 を削除
		203	図 17.11 でフラッシュメモリ回路安定待ち時間を修正、用語を統一
		204	“ 17.3.3.3 割り込み ” “ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		205	“ 17.3.3.10 ” 用語を統一
		213	表 17.7 “ A-D 変換器 ” を “ A/D コンバータ ” に用語を統一

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウエアマニュアル
発行年月日　2003年9月1日　　Rev. 1.00
　　　　　　2004年5月30日　Rev. 1.11

発行　　　　株式会社 ルネサス テクノロジ　営業企画統括部
　　　　　　〒100-0004　東京都千代田区大手町2-6-2

© 2004. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/26グループ
ハードウェアマニュアル

株式会社ルネサス テクノロジ
東京都千代田区大手町2-6-2 日本ビル 〒100-0004

RJJ09B0065-0111Z

Everywhere you imagine. RENESAS

16

M16C/26グループ
注意事項集

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ／M16C/20シリーズ

Hardware Manual

本資料の最新版はルネサス テクノロジホームページに掲載されています。
本資料が最新版であることを必ずご確認の上ご使用ください。

Rev.1.11
発行：2004年5月30日

ルネサス テクノロジ
www.renesas.com

安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

・本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ（http://www.renesas.com）などを通じて公開される情報に常にご注意ください。

・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。

・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。

・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。

・本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。

・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

はじめに

本書は、M16C/26グループの注意事項集です。「注意事項集」とは、ユーザーズマニュアルの注意事項の節と関連するテクニカルニュースをまとめた資料です。システム開発時の参考にしてください。ただし、すべての注意事項を網羅している訳ではありませんので、システム開発時には、十分な評価を行ってください。

目次

1. 使用上の注意 1
1.1　パワーコントロール注意事項 1
1.2　プロテクト注意事項 2
1.3　割り込み注意事項 3
1.3.1　00000_{16}番地の読み出し 3
1.3.2　SPの設定 3
1.3.3　$\overline{\text{NMI}}$割り込み 3
1.3.4　割り込み要因の変更 4
1.3.5　$\overline{\text{INT}}$割り込み 4
1.3.6　割り込み制御レジスタの変更 5
1.3.7　ウォッチドッグタイマ割り込み 6
1.4　DMACの注意事項 7
1.4.1　DMAiCONレジスタのDMAEビットへの書き込み(i=0～1) 7
1.5　タイマ注意事項 8
1.5.1　タイマA注意事項 8
1.5.1.1　タイマA注意事項(タイマモード) 8
1.5.1.2　タイマA注意事項(イベントカウンタモード) 9
1.5.1.3　タイマA注意事項(ワンショットタイマモード) 10
1.5.1.4　タイマA注意事項(パルス幅変調モード) 11
1.5.2　タイマB注意事項 12
1.5.2.1　タイマB注意事項(タイマモード) 12
1.5.2.2　タイマB注意事項(イベントカウンタモード) 13
1.5.2.3　タイマB注意事項(パルス周期測定 / パルス幅測定モード) 14
1.6　シリアルI / O注意事項(クロック同期形シリアルI / Oモード) 15
1.6.1　送受信 15
1.6.2　送信 16
1.6.3　受信 16

1.7　シリアルI / O注意事項(UARTモード) 17
1.7.1.　特殊モード2 17
1.7.2.　特殊モード4(SIMモード) 17
1.8　A/Dコンバータの注意事項 18
1.9　プログラマブル入出力ポート注意事項 20
1.10　フラッシュメモリ版の注意事項 21
1.10.1　フラッシュメモリ書き換え禁止機能の注意事項 21
1.10.2　ストップモードに関する注意事項 21
1.10.3　ウエイトモードに関する注意事項 21
1.10.4　低消費電力モード、オンチップオシレータ低消費電力モードの注意事項 . 21
1.10.5　コマンド、データの書き込み 21
1.10.6　プログラムコマンドの注意事項 21
1.10.7　動作速度 22
1.10.8　使用禁止命令 22
1.10.9　割り込み 22
1.10.10　アクセス方法 22
1.10.11　ユーザROM領域の書き換え 22
1.10.12　DMA転送 22
1.10.13　プログラム、イレーズ回数と実行時間について 23
1.10.14 プログラム、イレーズ回数の定義 23
1.10.15 多数回の書き換えを実施するシステムについて
(製品コード:D7, D9, U7, U9) 23
1.10.16 ブートモードの注意事項 23

2.　製造時期による相違 24
2.1　リセット入力 24

1. 使用上の注意

1.1 パワーコントロール注意事項

1. ストップモードからリセットによって復帰する場合、メインクロックの発振が充分に安定するまで$\overline{\mathrm{RESET}}$端子に“L”を入力してください。

2. WAIT命令またはCM1レジスタのCM10ビットを“1”にする命令の後には、NOP命令を4つ以上入れてください。ウエイトモードまたはストップモードに移行する場合、命令キューはWAIT命令やCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウエイトモードやストップモードに入る前に次の命令を実行する場合があります。

3. CPUクロックのクロック源をメインクロックに切り替えるときは、td(M-L)とメインクロック発振安定時間のうち、長い方を待ってから切り替えてください。
CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。

4. 消費電力を小さくするためのポイント
消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。
●ポート
ウエイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウエイトモードまたはストップモードに移行してください。
●A/Dコンバータ
A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(Vref接続)にしてから1μs以上経過した後、A/D変換を開始させてください。
●周辺機能の停止
ウエイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。
　ただし、サブクロックから生成している周辺機能クロック(f_{C32})は停止しませんので、消費電力の削減にはなりません。低速モードまたは低消費電力モードから、ウエイトモードに移行する場合はCM02ビットを“0”(ウエイトモード時、周辺機能クロック停止しない)にしてウエイトモードに移行してください。
●発振駆動能力の切り替え
発振が安定している場合、駆動能力を“LOW”にしてください。

1.2　プロテクト注意事項

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

1.3 割り込み注意事項

1.3.1 00000$_{16}$番地の読み出し

プログラムで00000$_{16}$番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000$_{16}$番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000$_{16}$番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

1.3.2 SPの設定

割り込みを受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後、SP(USP、ISP)は“0000$_{16}$”です。そのため、SP(USP、ISP)に値を設定する前に割り込みを受け付けると、暴走の要因となります。

1.3.3 $\overline{\text{NMI}}$割り込み

1. リセット後、$\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。一度、有効にすると、リセットされるまで、無効にできません。

2. $\overline{\text{NMI}}$ 端子は、P8 レジスタのP8_5 ビットを読むことで端子の値を読めます。P8_5 ビットは、$\overline{\text{NMI}}$ 割り込みが発生した後、端子のレベルを判定できます。

3. $\overline{\text{NMI}}$選択時、$\overline{\text{NMI}}$ 端子に“L”を入力していると、ストップモードに移行できません。$\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1 レジスタのCM10 ビットが“0”に固定されています。

4. $\overline{\text{NMI}}$選択時、$\overline{\text{NMI}}$ 端子に“L”を入力しているとき、ウエイトモードに移行しないでください。$\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPU は停止しますがCPU クロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。

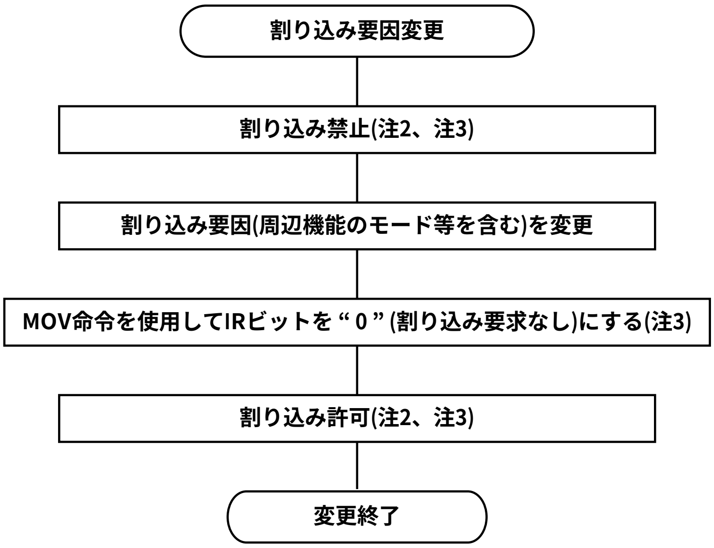
5. $\overline{\text{NMI}}$選択時、$\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPU クロックの2 サイクル＋300ns 以上にしてください。

1.3.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウエア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図1.3.1に割り込み要因の変更手順例を示します。



IRビット : 要因を変更する割り込みの、割り込み制御レジスタのビット

注1. 上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。
注2. $\overline{\mathrm{INTi}}$割り込み(i=0～1、3～5)では、Iフラグを使用してください。
$\overline{\mathrm{INTi}}$割り込み以外の周辺機能による割り込みでは、割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIフラグを使用してください。マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL2～ILVL0ビットを使用してください。
注3. 使用する命令とそれに伴う注意は「割り込み制御レジスタの変更」を参照してください。

図1.3.1. 割り込み要因の変更手順例

1.3.5 $\overline{\mathrm{INT}}$割り込み

1. $\overline{\mathrm{INT0}}$～$\overline{\mathrm{INT1}}$、$\overline{\mathrm{INT3}}$～$\overline{\mathrm{INT5}}$端子に入力する信号には、CPUクロックに関係なく$t_{w(INL)}$以上の“L”幅または$t_{w(INH)}$以上の“H”幅が必要です。

2. INT0IC～INT1IC、INT3IC～INT5ICレジスタのPOLビット、IFSRレジスタのIFSR7～IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

1.3.6 割り込み制御レジスタの変更

(1) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(2) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令…AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(3) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(2)を参照してください。)

例1〜例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1 : NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1：
  FCLR     I              ; 割り込み禁止
  AND.B    #00H，0055H    ; TA0ICレジスタを“0016”にする
  NOP                     ;
  NOP
  FSET     I              ; 割り込み許可
```

NOP命令の数は、2個必要です。

例2 : ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2：
  FCLR     I              ; 割り込み禁止
  AND.B    #00H，0055H    ; TA0ICレジスタを“0016”にする
  MOV.W    MEM，R0        ; ダミーリード
  FSET     I              ; 割り込み許可
```

例3 : POPC命令でIフラグを変更する例

```
INT_SWITCH3：
  PUSHC    FLG
  FCLR     I              ; 割り込み禁止
  AND.B    #00H，0055H    ; TA0ICレジスタを“0016”にする
  POPC     FLG            ; 割り込み許可
```

1.3.7　ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

1.4 DMACの注意事項

1.4.1 DMAiCONレジスタのDMAEビットへの書き込み(i=0〜1)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

・DMAEビットが“1”(DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
・DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

(1) DMAiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
(2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。
したがって、DMAEビットへ“1”を書くために、DMAiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。
DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRiレジスタの値で確認してください。
TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

1.5　タイマ注意事項

1.5.1　タイマA注意事項

1.5.1.1　タイマA注意事項(タイマモード)

1. リセット後、タイマは停止しています。TAiMR(i=0～4)レジスタ、TAiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。
   なお、TAiMRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

2. カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“$FFFF_{16}$”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

3. TB2SCレジスタのIVPCR1ビットが“1”($\overline{SD}$端子入力による三相出力強制遮断許可)のとき、$\overline{SD}$端子に“L”を入力すると、$TA1_{OUT}$、$TA2_{OUT}$、$TA4_{OUT}$端子はハイインピーダンスになります。

RENESAS

1.5.1.2　タイマA注意事項(イベントカウンタモード)

1. リセット後、タイマは停止しています。TAiMR(i=0～4)レジスタ、TAiレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。
   なお、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

2. カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“$FFFF_{16}$”が、オーバフロー時は“0000_{16}”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

3. TB2SCレジスタのIVPCR1ビットが“1”($\overline{SD}$端子入力による三相出力強制遮断許可)のとき、$\overline{SD}$端子に“L”を入力すると、$TA1_{OUT}$、$TA2_{OUT}$、$TA4_{OUT}$端子はハイインピーダンスになります。

1.5.1.3　タイマA注意事項(ワンショットタイマモード)

1. リセット後、タイマは停止しています。TAiMR(i=0～4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。
   なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

2. カウント中にTAiSビットを“0”(カウント停止)にすると次のようになります。
   ・カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
   ・TAiOUT端子は“L”を出力します。
   ・CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

3. ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

4. 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
   ・リセット後、ワンショットタイマモードを選択したとき
   ・動作モードをタイマモードからワンショットタイマモードに変更したとき
   ・動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
   したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

5. カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

6. TB2SCレジスタのIVPCR1ビットが“1”($\overline{SD}$端子入力による三相出力強制遮断許可)のとき、$\overline{SD}$端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

1.5.1.4　タイマA注意事項(パルス幅変調モード)

1. リセット後、タイマは停止しています。TAiMR(i=0～4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。
   なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

2. 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
   ・リセット後、PWMモードを選択したとき
   ・動作モードをタイマモードからPWMモードに変更したとき
   ・動作モードをイベントカウンタモードからPWMモードに変更したとき

   したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

3. PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。
   ・カウンタはカウントを停止します。
   ・TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
   ・TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

4. TB2SCレジスタのIVPCR1ビットが“1”($\overline{SD}$端子入力による三相出力強制遮断許可)のとき、$\overline{SD}$端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

1.5.2　タイマB注意事項

1.5.2.1　タイマB注意事項(タイマモード)

1. リセット後、タイマは停止しています。TBiMR(i=0～2)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTBiSビットを“1”(カウント開始)にしてください。
   なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

2. カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“$FFFF_{16}$”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

1.5.2.2　タイマB注意事項(イベントカウンタモード)

1. リセット後、タイマは停止しています。TBiMR(i=0～2)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTBiSビットを“1”(カウント開始)にしてください。
   なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

2. カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF16”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

1.5.2.3 タイマB注意事項(パルス周期測定 / パルス幅測定モード)

1. リセット後、タイマは停止しています。TBiMR(i=0～2)レジスタよって、モードやカウントソース等を設定した後、TABSRレジスタのTBiSビットを“1”(カウント開始)にしてください。
   なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態で、TBiMRレジスタへ書く場合、TM0D0、TM0D1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、MR2へは“0”を書いてください。

2. TBiICレジスタ(i=0～2)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。

3. 測定パルス入力がタイマのオーバフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバフローの回数を別のタイマでカウントしてください。

4. MR3ビットを“0”(オーバフローなし)にするには、TBiSビットが“1”(カウント開始)の状態で、MR3ビットが“1”(オーバフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書いてください。

5. オーバフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。

6. カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

7. カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。

8. パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”パルスに対するものであるか“L”パルスに対するものであるかプログラムで判断してください。

1.6　シリアルI / O注意事項(クロック同期形シリアルI / Oモード)

1.6.1　送受信

1. 外部クロック選択時、$\overline{\mathrm{RTS}}$機能を選択した場合は、受信可能状態になると$\overline{\mathrm{RTS_i}}$端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{\mathrm{RTS_i}}$端子の出力レベルは“H”になります。このため、$\overline{\mathrm{RTS_i}}$端子を送信側の$\overline{\mathrm{CTS_i}}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{\mathrm{RTS}}$機能は無効です。

2. TB2SCレジスタのIVPCR1ビットが“1”($\overline{\mathrm{SD}}$端子入力による三相出力強制遮断許可)のとき、$\overline{\mathrm{SD}}$端子に“L”を入力すると、$\overline{\mathrm{RTS_2}}$端子と$\mathrm{CLK_2}$端子はハイインピーダンスになります。

1.6.2　送信

外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で次の条件を満たしてください。

・UiC1レジスタのTEビットが“1”(送信許可)
・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
・$\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTSi}}$端子の入力が“L”

1.6.3　受信

1. クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TxDi端子からはダミーデータが外部に出力されます。

2. 内部クロック選択時はUiC1レジスタ(i=0～2)のTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

3. 連続してデータを受信する場合、UiC1レジスタ(i=0～2)のREビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

4. 連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

5. 外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態で、CKPOLビットが“1”のときは外部クロックが“L”の状態で次の条件を満たしてください。
   ・UiC1レジスタのREビットが“1”(受信許可)
   ・UiC1レジスタのTEビットが“1”(送信許可)
   ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

1.7　シリアルI / O注意事項(UARTモード)

1.7.1.　特殊モード2

TB2SCレジスタのIVPCR1ビットが“１”($\overline{SD}$端子入力による三相出力強制遮断許可)のとき、$\overline{SD}$端子に“Ｌ”を入力すると、$\overline{RTS_2}$端子とCLK_2端子はハイインピーダンスになります。

1.7.2.　特殊モード4(SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“１”(送信完了)、U2EREビットを“１”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“０”(割り込み要求なし)にしてください。

1.8 A/Dコンバータの注意事項

1. ADCON0レジスタ(ビット6を除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

2. ADCON1レジスタのVCUTビットを“0”(Vref未接続)から“1”(Vref接続)にしたときは、1μs以上経過した後にA/D変換を開始させてください。

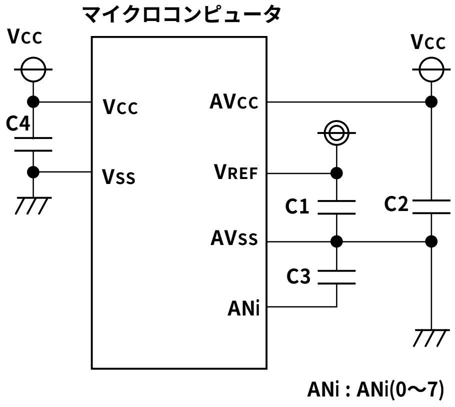
3. ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(ANi(i=0～7))とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。図1.8.1に各端子の処理例を示します。

4. アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。また、ADCON0レジスタのTRGビットが“1”(外部トリガ)の場合は、$\overline{\text{ADTRG}}$端子に対応するポート方向ビットは“0”(入力モード)にしてください。

5. キー入力割り込みを使用する場合、AN4～AN7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。

6. φADの周波数を10MHz以下にしてください。サンプル&ホールド機能なしの場合、φADの周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、φADの周波数は1MHz以上にしてください。

7. A/D動作モードを変更した場合は、ADCON0レジスタのCH2～CH0ビットまたはADCON1レジスタのSCAN1～SCAN0ビットでアナログ入力端子を再選択してください。



注1. C1≧0.47μF、C2≧0.47μF、C3≧100pF、C4≧0.1μF(参考値)。
注2. コンデンサは太い配線を利用して、最短距離で接続してください。

図1.8.1. 各端子の処理例

8. A/D変換が完了し、その結果をADiレジスタ(i=0～7)に格納するタイミングでCPUがADiレジスタを読んだ場合、誤った値がADiレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。
   ●単発モードまたは単掃引モードで使用する場合
   A/D変換が完了したことを確認してから、対象となるADiレジスタを読んでください(A/D変換の完了はADICレジスタのIRビットで判定できます)。
   ●繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
   CPUクロックは、メインクロックを分周せずに使用してください。

9. A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

10. 単掃引変換モードに置いて、A/D変換動作中にプログラムでADCONレジスタのADSTビットを“0”にして強制終了した場合、A/D割り込み要求が発生する可能性があります。それが問題になる場合には、割り込みを禁止にした後、ADSTビットを“0”にしてください。

1.9 プログラマブル入出力ポート注意事項

1. TB2SCレジスタのIVPCR1ビットが“1”($\overline{\mathrm{SD}}$入力による三相出力強制遮断許可)のとき、$\overline{\mathrm{SD}}$端子に“L”を入力すると、$P7_2$～$P7_5$、$P8_0$～$P8_1$端子はハイインピーダンスになります。

2. プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のV_{IH}、V_{IL}の範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

3. INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、$P8_5/\overline{\mathrm{NMI}}/\overline{\mathrm{SD}}$端子に“L”を入力すると以下のようになります。

   - TB2SCレジスタのIVPCR1ビットが“1”($\overline{\mathrm{SD}}$入力による三相出力強制遮断許可)の時、$U/\overline{U}/V/\overline{V}/W/\overline{W}$相端子はハイインピーダンスになります。
   - TB2SCレジスタのIVPCR1ビットが“0”($\overline{\mathrm{SD}}$入力による三相出力強制遮断禁止)の時、$U/\overline{U}/V/\overline{V}/W/\overline{W}$相端子は通常ポートになります。

   このため、INV03ビットが“1”の時は、$P8_5$をプログラマブル入出力ポートとして使用できません。
   $\overline{\mathrm{SD}}$機能を使わない場合は、PD8_5ビットを“0”(入力)にしたうえで、$P8_5/\overline{\mathrm{NMI}}/\overline{\mathrm{SD}}$端子を外部より“H”にプルアップしてください

1.10 フラッシュメモリ版の注意事項

1.10.1 フラッシュメモリ書き換え禁止機能の注意事項

0FFFDF16、0FFFE316、0FFFEB16、0FFFEF16、0FFFF316、0FFFF716、0FFFFB16番地は、IDコードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFF16番地はROMCPレジスタです。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

1.10.2 ストップモードに関する注意事項

ストップモードに移行する場合は、次のようにしてください。

- FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM10ビットを“1”(ストップモード)にする
- CM10ビットを“1”にする命令の次にJMP.B命令を実行する

プログラム例

```
        BSET    0, CM1      ；ストップモード
        JMP.B   L1
L1：
        ストップモード復帰後のプログラム
```

1.10.3 ウエイトモードに関する注意事項

ウエイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

1.10.4 低消費電力モード、オンチップオシレータ低消費電力モードの注意事項

CM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- プログラム、ブロックイレーズ

1.10.5 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

1.10.6 プログラムコマンドの注意事項

第1バスサイクルで“xx4016”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

1.10.7　動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウエイトあり)にしてください。

1.10.8　使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

1.10.9　割り込み

EW0モード

・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
・$\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。$\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

・自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
・ウォッチドッグタイマ割り込みは使用しないでください。
・$\overline{\text{NMI}}$割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。$\overline{\text{NMI}}$割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

1.10.10　アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。PM24=“0”(P85選択($\overline{\text{NMI}}$機能禁止))または、PM24=“1”($\overline{\text{NMI}}$選択)かつ、$\overline{\text{NMI}}$端子に“H”を入力した状態で行ってください。

1.10.11　ユーザROM領域の書き換え

EW0モード

・書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

EW1モード

・書き換え制御プログラムが格納されているブロックを書き換えないでください。

1.10.12　DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

1.10.13　プログラム、イレーズ回数と実行時間について

ソフトウエアコマンド(プログラムコマンド、ブロックイレーズコマンド)の実行時間はプログラム、イレーズ回数とともに長くなります。

ソフトウエアコマンドはハードウエアリセット1、ハードウエアリセット2、$\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込みで中断されます。ソフトウエアコマンドを中断した場合、そのブロックをイレーズした後に再度実行してください。

1.10.14 プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロック毎のイレーズ回数です。

プログラム、イレーズ回数がn回品(n=100、1,000、10,000)の場合、ブロック毎にそれぞれn回ずつイレーズすることができます。

例えば、2KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム／イレーズ回数は1回と数えます。ただし、イレーズ１回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)

1.10.15 多数回の書き換えを実施するシステムについて(製品コード:D7, D9, U7, U9)

ブロックAおよびブロックBに対して、100回以上の書き換えを実施する可能性がある場合(D7, D9, U7, U9)は、リセット後、FMR1レジスタのFMR17ビットを常時“１”(ウエイトあり)に設定して使用してください。FMR17ビットを“１”(ウエイトあり)に設定すると、PM17ビットに関わらずブロックA、およびブロックBアクセス時に1ウエイトが挿入されます。その他のブロックおよび内部RAMへのアクセスはFMR17ビットに関わらずPM17ビットの設定になります。

実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組8ワードをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。

加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると更に実効的な書き換え回数を少なくすることができます。

また、ブロック毎に何回イレーズを実施したかを情報として残し、制限回数を設けることをお勧めいたします。

1.10.16 ブートモードの注意事項

電源投入時等、内部電源が安定していない状態でCNVss端子に“Ｈ”、$\overline{\text{RESET}}$端子に“Ｌ”を入力すると内部電源が安定するまで入出力ポートに不定値が出力されることがあります。

CNVss端子に“Ｈ”を入力する場合は以下の手順で行ってください。

(1) $\overline{\text{RESET}}$**端子に“Ｌ”**、CNVss端子に“Ｌ”を入力
(2) Vcc端子が2.7V以上になって2ms以上待つ(内部電源安定待ち時間)
(3) CNVss端子に“Ｈ”を入力
(4) $\overline{\text{RESET}}$端子に“Ｈ”を入力(リセット解除)

CNVss端子が“Ｈ”、 $\overline{\text{RESET}}$端子が**“Ｌ”**の期間、$\mathbf{P6_7}$にはプルアップ抵抗が接続されます。

2. 製造時期による相違

2.1 リセット入力

電源立ち上がり時のリセット入力が持ち上がらないように配慮してください。

リセットICを使用する場合はCMOSタイプを使用するか、リセットICがオープンドレインタイプの場合は、リセット入力とVssの間にコンデンサを挿入し、プルアップ抵抗との時定数が電源立ち上がり時間の10倍以上になるように調整してください。

改訂履歴	M16C/26 グループ注意事項集

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	03/09/01		初版
1.10	04/02/10	5 23	1.3.6　NOP 命令の数を 2 個に変更 1.10.16　P67 の注意事項を追加
1.11	04/05/30	1	“ 消費電力を小さくするためのポイント ” より “ ●外部クロック ” の項を削除。 “ ● A-D 変換器 ” を “ ● A/D コンバータ ” に、“ A-D 変換 ” を “ A/D 変換 ” に用語を統一。
		3	1.3.2 SP の設定の本文を一部削除。“ 1.3.3　$\overline{\text{NMI}}$ 割り込み ” の本文を修正。
		6	“ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		8 ～ 11	IVPCR1 ビットが “ 1 ” のときの注意事項を修正
		15, 17	IVPCR1 ビットが “ 1 ” のときの注意事項を修正
		18, 19	“ A-D 変換器 ” を “ A/D コンバータ ” に、“ A-D 変換 ” を “ A/D 変換 ” に用語を統一
		19	“ 1.10 A-D 変換器の注意事項 ” に 10 項を追加
		20	“ 1.12 プログラマブル入出力ポート注意事項 ” の 3 項を修正。 IVPCR1 ビットが “ 1 ” のときの注意事項を修正
		21	1.10.4 用語を統一
		22	“ 1.10.9 割り込み ” で “ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一
		23	“ 1.10.13 ” で “ 監視タイマ ” を “ ウォッチドッグタイマ ” に用語を統一 1.10.14 使用禁止語句を修正 1.10.15 文章を修正

ルネサス16ビットシングルチップマイクロコンピュータ
注意事項集
発行年月日　2003年9月1日　Rev. 1.00
　　　　　　2004年5月30日　Rev. 1.11

発行　株式会社 ルネサス テクノロジ　営業企画統括部
　　　〒100-0004　東京都千代田区大手町2-6-2

© 2004. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/26 グループ
ハードウェアマニュアル

ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0033-0111Z