

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

# H8S/2268グループ、 H8S/2264グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2200シリーズ

H8S/2268	HD64F2268
H8S/2266	HD64F2266
H8S/2265	HD64F2265
H8S/2264	HD6432264
	HD6432264W
H8S/2262	HD6432262
	HD6432262W

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
  - 1.1 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
  - 1.2 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
  - 1.3 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
  - ・ CPU およびシステム制御系
  - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

---

# はじめに

---

本 LSI は、内部 32 ビット構成の H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

内蔵 ROM は、単一電源フラッシュメモリ (F-ZTAT™)\*、マスク ROM 版があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。

【注】 \* F-ZTAT は (株) ルネサス テクノロジーの商標です。

**対象者** このマニュアルは、H8S/2268 グループ、H8S/2264 グループを用いた応用システムを設計するユーザを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、H8S/2268 グループ、H8S/2264 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

## 読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

本書の後ろに「索引」があります。索引からページ番号を検索してください。

「第24章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

**凡例** レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX

信号の表記 : ローアクティブの信号にはオーバーを付けます。XXXX

- 内蔵周辺機能一覧

グループ名	H8S/2268 グループ	H8S/2264 グループ
製品名	H8S/2268、H8S/2266、 H8S/2265	H8S/2264、H8S/2262
PC ブレークコントローラ (PBC)	×2	-
データトランスファコントローラ (DTC)		-
16 ビットタイムパルスユニット (TPU)	×3	×2
8 ビットタイマ (TMR_0~TMR_3)	×4	×2
8 ビットリロードタイマ (TMR_4)	×4	-
ウォッチドッグタイマ (WDT)	×2	×2
シリアルコミュニケーションインタフェース (SCI)	×3	×3
I <sup>2</sup> C バスインタフェース (IIC)	×2	×1 (オプション)
A/D 変換器	×10	×10
D/A 変換器	×2	-
LCD コントローラ/ドライバ	40SEG / 4COM	40SEG / 4COM
DTMF 発生回路		-
ポート	1、3、4、7、9、F、H、J~N	1、3、4、7、9、F、H、J~L
外部割り込み	14 本	13 本
割り込み優先順位	8 レベル	-

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。  
( <http://japan.renesas.com/> )

- H8S/2268グループ、H8S/2264グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2268 グループ、H8S/2264 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ Ver.6.01 ユーザーズマニュアル	RJJ10B0166
High-performance Embedded Workshop V.4.00 ユーザーズマニュアル	RJJ10J2184

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ-502-055

すべての商標および登録商標は、それぞれの所有者に帰属します。



---

# 目次

---

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-3
1.3	ピン配置図	1-5
1.4	端子機能	1-7
2.	CPU	2-1
2.1	特長	2-1
2.1.1	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2	H8/300 CPU との相違点	2-3
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.2.1	ノーマルモード	2-4
2.2.2	アドバンスモード	2-6
2.3	アドレス空間	2-8
2.4	レジスタの構成	2-9
2.4.1	汎用レジスタ	2-10
2.4.2	プログラムカウンタ (PC)	2-11
2.4.3	エクステンドレジスタ (EXR) (H8S/2268 グループのみ)	2-11
2.4.4	コンディションコードレジスタ (CCR)	2-12
2.4.5	CPU 内部レジスタの初期値	2-13
2.5	データ形式	2-14
2.5.1	汎用レジスタのデータ形式	2-14
2.5.2	メモリ上でのデータ形式	2-16
2.6	命令セット	2-17
2.6.1	命令の機能別一覧	2-18
2.6.2	命令の基本フォーマット	2-28
2.7	アドレッシングモードと実効アドレスの計算方法	2-29
2.7.1	レジスタ直接 Rn	2-29
2.7.2	レジスタ間接 @ERn	2-29
2.7.3	ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)	2-29
2.7.4	ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn	2-30
2.7.5	絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32	2-30
2.7.6	イミディエイト #xx:8 / #xx:16 / #xx:32	2-31

2.7.7	プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC) .....	2-31
2.7.8	メモリ間接 @@aa:8 .....	2-31
2.7.9	実効アドレスの計算方法.....	2-32
2.8	処理状態.....	2-34
2.9	使用上の注意事項 .....	2-36
2.9.1	TAS 命令.....	2-36
2.9.2	STM/LDM 命令.....	2-36
2.9.3	ビット操作命令.....	2-36
2.9.4	ライト専用ビットを含むレジスタのアクセス方法.....	2-38
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択 .....	3-1
3.2	レジスタの説明 .....	3-1
3.2.1	モードコントロールレジスタ (MDCR) .....	3-1
3.3	動作モードの説明 .....	3-2
3.4	アドレスマップ.....	3-2
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-2
4.3	リセット.....	4-3
4.3.1	リセット例外処理 .....	4-3
4.3.2	リセット直後の割り込み.....	4-4
4.3.3	リセット解除後の内蔵周辺機能.....	4-4
4.4	トレース例外処理 (H8S/2268グループのみ) .....	4-5
4.5	割り込み例外処理 .....	4-5
4.6	トラップ命令例外処理 .....	4-6
4.7	例外処理後のスタックの状態.....	4-7
4.8	使用上の注意事項 .....	4-7
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1
5.2	入出力端子.....	5-4
5.3	レジスタの説明.....	5-4
5.3.1	システムコントロールレジスタ (SYSCR) .....	5-5
5.3.2	インタラプトプライオリティレジスタ A ~ G、I ~ M、O (IPRA ~ IPRG、IPRI ~ IPRM、IPRO) (H8S/2268 グループのみ) .....	5-7
5.3.3	IRQ イネーブルレジスタ (IER) .....	5-8
5.3.4	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL) .....	5-9
5.3.5	IRQ ステータスレジスタ (ISR) .....	5-10

5.3.6	ウェイクアップ割り込み要求レジスタ (IWPR) .....	5-12
5.3.7	割り込み許可レジスタ 1 (IENR1) .....	5-12
5.4	割り込み要因 .....	5-13
5.4.1	外部割り込み .....	5-13
5.4.2	内部割り込み .....	5-16
5.4.3	割り込み例外処理ベクタテーブル .....	5-16
5.5	割り込み動作 .....	5-20
5.5.1	割り込み制御モードと割り込み動作 .....	5-20
5.5.2	割り込み制御モード 0 .....	5-24
5.5.3	割り込み制御モード 2 (H8S/2268 グループのみ) .....	5-26
5.5.4	割り込み例外処理シーケンス .....	5-27
5.5.5	割り込み応答時間 .....	5-29
5.5.6	割り込みによる DTC の起動 (H8S/2268 グループのみ) .....	5-30
5.6	使用上の注意事項 .....	5-32
5.6.1	割り込みの発生とディスエーブルとの競合 .....	5-32
5.6.2	割り込みを禁止している命令 .....	5-33
5.6.3	割り込み禁止期間 .....	5-33
5.6.4	EPMOV 命令実行中の割り込み .....	5-33
5.6.5	IRQ 割り込み .....	5-33
5.6.6	NMI 割り込み使用上の注意 .....	5-33
6.	PC ブレークコントローラ (PBC) .....	6-1
6.1	特長 .....	6-1
6.2	レジスタの説明 .....	6-2
6.2.1	ブレークアドレスレジスタ A (BARA) .....	6-2
6.2.2	ブレークアドレスレジスタ B (BARB) .....	6-2
6.2.3	ブレークコントロールレジスタ A (BCRA) .....	6-3
6.2.4	ブレークコントロールレジスタ B (BCRB) .....	6-3
6.3	動作説明 .....	6-4
6.3.1	命令フェッチによる PC ブレーク割り込み動作 .....	6-4
6.3.2	データアクセスによる PC ブレーク割り込み動作 .....	6-4
6.3.3	データ連続転送時の PC ブレーク動作 .....	6-5
6.3.4	低消費電力モード遷移時の動作 .....	6-5
6.3.5	命令実行が 1 ステート遅れる場合 .....	6-6
6.4	使用上の注意事項 .....	6-6
6.4.1	モジュールストップモードの設定 .....	6-6
6.4.2	PC ブレーク割り込み .....	6-6
6.4.3	CMFA、CMFB .....	6-6
6.4.4	DTC がバスマスタのときに発生した PC ブレーク割り込み .....	6-6
6.4.5	BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令フェッチに PC ブレークを設定した場合 .....	6-6

6.4.6	LDC、ANDC、ORC、XORC 命令により I ビットを設定した場合	6-7
6.4.7	Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合	6-7
6.4.8	Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合	6-7
7.	バスコントローラ	7-1
7.1	基本動作タイミング	7-1
7.1.1	内蔵メモリアクセスタイミング (ROM、RAM)	7-1
7.1.2	内蔵周辺モジュールアクセスタイミング (H'FFFDAC ~ H'FFFFBF)	7-2
7.1.3	内蔵周辺モジュールアクセスタイミング (H'FFFC30 ~ H'FFFC33)	7-3
7.2	バスアービトレーション (H8S/2268グループのみ)	7-4
7.2.1	バスマスタの優先順位	7-4
7.2.2	バス権移行タイミング	7-4
7.2.3	リセットとバスコントローラ	7-4
8.	データトランスファコントローラ (DTC)	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-2
8.2.1	DTC モードレジスタ A (MRA)	8-3
8.2.2	DTC モードレジスタ B (MRB)	8-4
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-4
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-4
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-5
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-5
8.2.7	DTC イネーブルレジスタ (DTCER)	8-5
8.2.8	DTC ベクタレジスタ (DTVECR)	8-6
8.3	起動要因	8-7
8.4	レジスタ情報の配置とDTCベクタテーブル	8-8
8.5	動作説明	8-11
8.5.1	ノーマルモード	8-12
8.5.2	リピートモード	8-13
8.5.3	ブロック転送モード	8-14
8.5.4	チェイン転送	8-15
8.5.5	割り込み要因	8-16
8.5.6	動作タイミング	8-16
8.5.7	DTC 実行ステート数	8-17
8.6	DTC使用手順	8-19
8.6.1	割り込みによる起動	8-19
8.6.2	ソフトウェアによる起動	8-19
8.7	DTC使用例	8-20
8.7.1	ノーマルモード	8-20

8.7.2	ソフトウェア起動 .....	8-21
8.8	使用上の注意事項 .....	8-22
8.8.1	モジュールストップモードの設定 .....	8-22
8.8.2	内蔵 RAM .....	8-22
8.8.3	DTCE ビットの設定 .....	8-22
9.	I/O ポート .....	9-1
9.1	ポート1 .....	9-6
9.1.1	ポート1 データディレクションレジスタ (PIDDDR) .....	9-6
9.1.2	ポート1 データレジスタ (PIDR) .....	9-6
9.1.3	ポート1 レジスタ (PORT1) .....	9-7
9.1.4	端子機能 .....	9-7
9.2	ポート3 .....	9-11
9.2.1	ポート3 データディレクションレジスタ (P3DDR) .....	9-11
9.2.2	ポート3 データレジスタ (P3DR) .....	9-12
9.2.3	ポート3 レジスタ (PORT3) .....	9-12
9.2.4	ポート3 オープンドレインコントロールレジスタ (P3ODR) .....	9-13
9.2.5	端子機能 .....	9-13
9.3	ポート4 .....	9-16
9.3.1	ポート4 レジスタ (PORT4) .....	9-16
9.3.2	端子機能 .....	9-16
9.4	ポート7 .....	9-16
9.4.1	ポート7 データディレクションレジスタ (P7DDR) .....	9-16
9.4.2	ポート7 データレジスタ (P7DR) .....	9-17
9.4.3	ポート7 レジスタ (PORT7) .....	9-17
9.4.4	端子機能 .....	9-18
9.5	ポート9 .....	9-20
9.5.1	ポート9 レジスタ (PORT9) .....	9-20
9.5.2	端子機能 .....	9-20
9.6	ポートF .....	9-21
9.6.1	ポートF データディレクションレジスタ (PFDDR) .....	9-21
9.6.2	ポートF データレジスタ (PFDR) .....	9-21
9.6.3	ポートF レジスタ (PORTF) .....	9-22
9.6.4	端子機能 .....	9-22
9.7	ポートH .....	9-23
9.7.1	ポートH データディレクションレジスタ (PHDDR) .....	9-23
9.7.2	ポートH データレジスタ (PHDR) .....	9-23
9.7.3	ポートH レジスタ (PORTH) .....	9-24
9.7.4	端子機能 .....	9-24
9.8	ポートJ .....	9-27

9.8.1	ポートJデータディレクションレジスタ (PJDDR) .....	9-27
9.8.2	ポートJデータレジスタ (PJDR) .....	9-27
9.8.3	ポートJレジスタ (PORTJ) .....	9-28
9.8.4	ポートJプルアップ MOS コントロールレジスタ (PJPCR) .....	9-28
9.8.5	ウェイクアップコントロールレジスタ (WPCR) .....	9-29
9.8.6	端子機能 .....	9-29
9.8.7	入力プルアップ MOS .....	9-30
9.9	ポートK .....	9-31
9.9.1	ポートKデータディレクションレジスタ (PKDDR) .....	9-31
9.9.2	ポートKデータレジスタ (PKDR) .....	9-31
9.9.3	ポートKレジスタ (PORTK) .....	9-32
9.9.4	端子機能 .....	9-32
9.10	ポートL .....	9-33
9.10.1	ポートLデータディレクションレジスタ (PLDDR) .....	9-33
9.10.2	ポートLデータレジスタ (PLDR) .....	9-33
9.10.3	ポートLレジスタ (PORTL) .....	9-34
9.10.4	端子機能 .....	9-34
9.11	ポートM (H8S/2268グループのみ) .....	9-35
9.11.1	ポートMデータディレクションレジスタ (PMDDR) .....	9-35
9.11.2	ポートMデータレジスタ (PMDR) .....	9-35
9.11.3	ポートMレジスタ (PORTM) .....	9-36
9.11.4	端子機能 .....	9-36
9.12	ポートN (H8S/2268グループのみ) .....	9-37
9.12.1	ポートNデータディレクションレジスタ (PNDDR) .....	9-37
9.12.2	ポートNデータレジスタ (PNDR) .....	9-37
9.12.3	ポートNレジスタ (PORTN) .....	9-38
9.12.4	端子機能 .....	9-38
9.13	未使用端子の処理 .....	9-39
10.	16ビットタイマパルスユニット (TPU) .....	10-1
10.1	特長 .....	10-1
10.2	入出力端子 .....	10-6
10.3	レジスタの説明 .....	10-7
10.3.1	タイマコントロールレジスタ (TCR) .....	10-8
10.3.2	タイマモードレジスタ (TMDR) .....	10-11
10.3.3	タイマI/Oコントロールレジスタ (TIOR) .....	10-12
10.3.4	タイマインタラプトイネーブルレジスタ (TIER) .....	10-21
10.3.5	タイマステータスレジスタ (TSR) .....	10-23
10.3.6	タイマカウンタ (TCNT) .....	10-25
10.3.7	タイマジェネラルレジスタ (TGR) .....	10-26

10.3.8	タイマスタートレジスタ (TSTR) .....	10-26
10.3.9	タイマシンクロレジスタ (TSYR) .....	10-27
10.4	バスマスタとのインタフェース .....	10-27
10.4.1	16ビットレジスタ .....	10-27
10.4.2	8ビットレジスタ .....	10-28
10.5	動作説明 .....	10-29
10.5.1	基本動作 .....	10-29
10.5.2	同期動作 .....	10-35
10.5.3	バッファ動作 (H8S/2268 グループのみ) .....	10-37
10.5.4	PWM モード .....	10-41
10.5.5	位相計数モード (H8S/2268 グループのみ) .....	10-45
10.6	割り込み要因 .....	10-50
10.7	DTCの起動 (H8S/2268グループのみ) .....	10-51
10.8	A/D変換器の起動 .....	10-51
10.9	動作タイミング .....	10-52
10.9.1	入出力タイミング .....	10-52
10.9.2	割り込み信号タイミング .....	10-56
10.10	使用上の注意事項 .....	10-59
10.10.1	モジュールストップモードの設定 .....	10-59
10.10.2	入力クロックの制限事項 .....	10-59
10.10.3	周期設定上の注意事項 .....	10-59
10.10.4	TCNT のライトとクリアの競合 .....	10-60
10.10.5	TCNT のライトとカウントアップの競合 .....	10-60
10.10.6	TGR のライトとコンペアマッチの競合 .....	10-61
10.10.7	バッファレジスタのライトとコンペアマッチの競合 (H8S/2268 グループのみ) .....	10-61
10.10.8	TGR のリードとインプットキャプチャの競合 .....	10-62
10.10.9	TGR のライトとインプットキャプチャの競合 .....	10-62
10.10.10	バッファレジスタのライトとインプットキャプチャの競合 (H8S/2268 グループのみ) .....	10-63
10.10.11	オーバフロー / アンダフローとカウンタクリアの競合 .....	10-64
10.10.12	TCNT のライトとオーバフロー / アンダフローの競合 .....	10-65
10.10.13	入出力端子の兼用 .....	10-65
10.10.14	モジュールストップ時の割り込み .....	10-65
11.	8ビットタイマ (TMR) .....	11-1
11.1	8ビットタイマ (TMR_0、TMR_1、TMR_2、TMR_3) .....	11-1
11.1.1	特長 .....	11-1
11.2	入出力端子 .....	11-3
11.3	レジスタの説明 .....	11-3
11.3.1	タイマカウンタ (TCNT) .....	11-4
11.3.2	タイムコンスタントレジスタ A (TCORA) .....	11-4

11.3.3	タイムコンスタントレジスタ B (TCORB) .....	11-4
11.3.4	タイマコントロールレジスタ (TCR) .....	11-4
11.3.5	タイマコントロール/ステータスレジスタ (TCSR) .....	11-6
11.4	動作説明 .....	11-10
11.4.1	パルス出力 .....	11-10
11.5	動作タイミング .....	11-10
11.5.1	TCNT のカウントタイミング .....	11-10
11.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング .....	11-11
11.5.3	コンペアマッチ時のタイマ出力タイミング .....	11-12
11.5.4	コンペアマッチによるカウンタクリアタイミング .....	11-12
11.5.5	TCNT の外部リセットタイミング .....	11-13
11.5.6	オーバフローフラグ (OVF) のセットタイミング .....	11-13
11.6	カスケード接続時の動作 .....	11-14
11.6.1	16 ビットカウントモード .....	11-14
11.6.2	コンペアマッチカウントモード .....	11-14
11.7	割り込み要因 .....	11-15
11.7.1	割り込み要因と DTC 起動 .....	11-15
11.7.2	A/D 変換器の起動 .....	11-15
11.8	使用上の注意 .....	11-16
11.8.1	モジュールストップモードの設定 .....	11-16
11.8.2	TCNT のライトとカウンタクリアの競合 .....	11-16
11.8.3	TCNT のライトとカウントアップの競合 .....	11-16
11.8.4	TCOR のライトとコンペアマッチの競合 .....	11-17
11.8.5	コンペアマッチ A、B の競合 .....	11-18
11.8.6	内部クロックの切り替えと TCNT の動作 .....	11-18
11.8.7	モジュールストップ時の割り込み .....	11-20
11.9	8ビットリロードタイマ (TMR_4) (H8S/2268グループのみ) .....	11-20
11.9.1	特長 .....	11-20
11.9.2	入出力端子 .....	11-21
11.10	レジスタの説明 .....	11-22
11.10.1	タイマコントロールレジスタ 4~7 (TCR_4~TCR_7) .....	11-22
11.10.2	タイマカウンタ 4~7 (TCNT_4~TCNT_7) .....	11-23
11.10.3	タイマリロードレジスタ 4~7 (TLR_4~TLR_7) .....	11-23
11.11	動作説明 .....	11-24
11.11.1	インターバルタイマの動作 .....	11-24
11.11.2	オートリロードタイマの動作 .....	11-24
11.11.3	カスケード接続 .....	11-25
11.12	使用上の注意事項 .....	11-27
11.12.1	TLR のライトとカウントアップ/オートリロードの競合 .....	11-27
11.12.2	内部クロックの切り替えと TCNT の動作 .....	11-27
11.12.3	モジュールストップ時の割り込み .....	11-27



12. ウォッチドッグタイマ (WDT) .....	12-1
12.1  特長 .....	12-1
12.2  レジスタの説明 .....	12-3
12.2.1  タイマカウンタ (TCNT) .....	12-3
12.2.2  タイマコントロール/ステータスレジスタ (TCSR) .....	12-3
12.2.3  リセットコントロール/ステータスレジスタ (RSTCSR) (WDT_0のみ) .....	12-6
12.3  動作説明 .....	12-7
12.3.1  ウォッチドッグタイマモード .....	12-7
12.3.2  インターバルタイマモード .....	12-8
12.3.3  オーバフローフラグ (OVF) のセットタイミング .....	12-9
12.3.4  ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング .....	12-9
12.4  割り込み要因 .....	12-10
12.5  使用上の注意事項 .....	12-10
12.5.1  レジスタアクセス時の注意 .....	12-10
12.5.2  タイマカウンタ (TCNT) のライトとカウントアップの競合 .....	12-12
12.5.3  CKS2 ~ CKS0 ビットの書き換え .....	12-12
12.5.4  ウォッチドッグタイマモードとインターバルタイマモードの切り替え .....	12-12
12.5.5  ウォッチドッグタイマモードでの内部リセット .....	12-13
12.5.6  インターバルタイマモードでの OVF フラグのクリア .....	12-13
12.5.7  TME ビットによる TCNT 初期化時の注意 .....	12-13
13. シリアルコミュニケーションインタフェース (SCI) .....	13-1
13.1  特長 .....	13-1
13.2  入出力端子 .....	13-5
13.3  レジスタの説明 .....	13-5
13.3.1  レシーブシフトレジスタ (RSR) .....	13-6
13.3.2  レシーブデータレジスタ (RDR) .....	13-6
13.3.3  トランスミットデータレジスタ (TDR) .....	13-6
13.3.4  トランスミットシフトレジスタ (TSR) .....	13-6
13.3.5  シリアルモードレジスタ (SMR) .....	13-7
13.3.6  シリアルコントロールレジスタ (SCR) .....	13-10
13.3.7  シリアルステータスレジスタ (SSR) .....	13-14
13.3.8  スマートカードモードレジスタ (SCMR) .....	13-18
13.3.9  ビットレートレジスタ (BRR) .....	13-19
13.3.10  シリアル拡張モードレジスタ 0 (SEMR_0) .....	13-26
13.4  調歩同期式モードの動作 .....	13-29
13.4.1  送受信フォーマット .....	13-29
13.4.2  調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	13-31
13.4.3  クロック .....	13-32
13.4.4  SCI の初期化 (調歩同期式) .....	13-33

13.4.5	シリアルデータ送信（調歩同期式）	13-34
13.4.6	シリアルデータ受信（調歩同期式）	13-36
13.5	マルチプロセッサ通信機能	13-39
13.5.1	マルチプロセッサシリアルデータ送信	13-40
13.5.2	マルチプロセッサシリアルデータ受信	13-41
13.6	クロック同期式モードの動作	13-44
13.6.1	クロック	13-44
13.6.2	SCI の初期化	13-45
13.6.3	シリアルデータ送信（クロック同期式）	13-46
13.6.4	シリアルデータ受信（クロック同期式）	13-48
13.6.5	シリアルデータ送受信同時動作（クロック同期式）	13-50
13.7	スマートカードインタフェースの動作説明	13-52
13.7.1	接続例	13-52
13.7.2	データフォーマット（ブロック転送モード時を除く）	13-52
13.7.3	ブロック転送モード	13-54
13.7.4	受信データサンプリングタイミングと受信マージン	13-54
13.7.5	初期設定	13-55
13.7.6	シリアルデータ送信（ブロック転送モードを除く）	13-56
13.7.7	シリアルデータ受信（ブロック転送モードを除く）	13-59
13.7.8	クロック出力制御	13-60
13.8	割り込み要因	13-62
13.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	13-62
13.8.2	スマートカードインタフェースモードにおける割り込み	13-63
13.9	使用上の注意事項	13-63
13.9.1	モジュールストップモードの設定	13-63
13.9.2	ブレークの検出と処理について（調歩同期式モードのみ）	13-63
13.9.3	マーク状態とブレークの送付（調歩同期式モードのみ）	13-64
13.9.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	13-64
13.9.5	DTC 使用上の制約事項（H8S/2268 グループのみ）	13-64
13.9.6	モード遷移時の動作について	13-65
13.9.7	SCK 端子からポート端子へ切り替えるときの注意事項	13-68
13.9.8	レジスタアドレスの割り当てと選択	13-69
14.	I <sup>2</sup> C バスインタフェース（IIC）〔H8S/2264 グループではオプション〕	14-1
14.1	特長	14-1
14.2	入出力端子	14-4
14.3	レジスタの説明	14-5
14.3.1	I <sup>2</sup> C バスデータレジスタ（ICDR）	14-5
14.3.2	スレーブアドレスレジスタ（SAR）	14-7
14.3.3	第2スレーブアドレスレジスタ（SARX）	14-7

14.3.4	I <sup>2</sup> C バスモードレジスタ (ICMR) .....	14-8
14.3.5	シリアルコントロールレジスタ X (SCRX) .....	14-10
14.3.6	I <sup>2</sup> C バスコントロールレジスタ (ICCR) .....	14-11
14.3.7	I <sup>2</sup> C バスステータスレジスタ (ICSR) .....	14-15
14.3.8	DDC スイッチレジスタ (DDCSWR) .....	14-18
14.4	動作説明 .....	14-19
14.4.1	I <sup>2</sup> C バスデータフォーマット .....	14-19
14.4.2	初期設定 .....	14-21
14.4.3	マスタ送信動作 .....	14-22
14.4.4	マスタ受信動作 .....	14-25
14.4.5	スレーブ受信動作 .....	14-30
14.4.6	スレーブ送信動作 .....	14-34
14.4.7	IRIC セットタイミングと SCL 制御 .....	14-37
14.4.8	DTC による動作 (H8S/2268 グループのみ) .....	14-39
14.4.9	ノイズ除去回路 .....	14-40
14.4.10	内部状態の初期化 .....	14-40
14.5	割り込み要因 .....	14-42
14.6	使用上の注意事項 .....	14-42
15.	A/D 変換器 .....	15-1
15.1	特長 .....	15-1
15.2	入出力端子 .....	15-3
15.3	レジスタの説明 .....	15-4
15.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D) .....	15-4
15.3.2	A/D コントロール/ステータスレジスタ (ADCSR) .....	15-5
15.3.3	A/D コントロールレジスタ (ADCR) .....	15-7
15.4	バスマスタとのインタフェース .....	15-7
15.5	動作説明 .....	15-8
15.5.1	シングルモード .....	15-9
15.5.2	スキャンモード .....	15-10
15.5.3	入力サンプリングと A/D 変換時間 .....	15-11
15.5.4	外部トリガ入力タイミング .....	15-12
15.6	割り込み要因 .....	15-13
15.7	A/D 変換精度の定義 .....	15-13
15.8	使用上の注意事項 .....	15-15
15.8.1	モジュールストップモードの設定 .....	15-15
15.8.2	許容信号源インピーダンスについて .....	15-15
15.8.3	絶対精度への影響 .....	15-15
15.8.4	アナログ電源端子ほかの設定範囲 .....	15-16
15.8.5	ボード設計上の注意事項 .....	15-16

15.8.6	ノイズ対策上の注意事項.....	15-16
16.	D/A 変換器.....	16-1
16.1	特長.....	16-1
16.2	入出力端子.....	16-2
16.3	レジスタの説明.....	16-2
16.3.1	D/A データレジスタ 0、1 (DADR0、DADR1).....	16-2
16.3.2	D/A コントロールレジスタ (DACR).....	16-3
16.4	動作説明.....	16-4
16.5	使用上の注意事項.....	16-5
16.5.1	低消費電力モード時のアナログ電源電流.....	16-5
16.5.2	モジュールストップモードの設定.....	16-5
17.	LCD コントローラ/ドライバ.....	17-1
17.1	特長.....	17-1
17.2	入出力端子.....	17-3
17.3	レジスタの説明.....	17-3
17.3.1	LCD ポートコントロールレジスタ (LPCR).....	17-4
17.3.2	LCD コントロールレジスタ (LCR).....	17-6
17.3.3	LCD コントロールレジスタ 2 (LCR2).....	17-7
17.4	動作説明.....	17-10
17.4.1	LCD 表示までのセッティング.....	17-10
17.4.2	LCD RAM と表示の関係.....	17-11
17.4.3	3 倍昇圧回路 (H8S/2268 グループのみ).....	17-16
17.4.4	低消費電力モード時の動作.....	17-17
17.4.5	低消費電力 LCD 駆動方式.....	17-18
17.4.6	LCD 駆動電源の強化.....	17-19
18.	DTMF 発生回路.....	18-1
18.1	特長.....	18-2
18.2	入出力端子.....	18-3
18.3	レジスタの説明.....	18-3
18.3.1	DTMF コントロールレジスタ (DTCR).....	18-3
18.3.2	DTMF ロードレジスタ (DTLR).....	18-5
18.4	動作説明.....	18-6
18.4.1	出力波形.....	18-6
18.4.2	動作フロー.....	18-7
18.5	応用回路例.....	18-8
18.6	使用上の注意事項.....	18-8

19. RAM	19-1
20. ROM	20-1
20.1  特長	20-1
20.2  モード遷移図	20-3
20.3  ブロック構成	20-6
20.4  入出力端子	20-9
20.5  レジスタの説明	20-9
20.5.1  フラッシュメモリコントロールレジスタ 1 (FLMCR1)	20-10
20.5.2  フラッシュメモリコントロールレジスタ 2 (FLMCR2)	20-11
20.5.3  消去ブロック指定レジスタ 1 (EBR1)	20-11
20.5.4  消去ブロック指定レジスタ 2 (EBR2)	20-12
20.5.5  RAM エミュレーションレジスタ (RAMER)	20-13
20.5.6  フラッシュメモリパワーコントロールレジスタ (FLPWCR)	20-14
20.5.7  シリアルコントロールレジスタ X (SCRX)	20-14
20.6  オンボードプログラミングモード	20-15
20.6.1  ブートモード	20-15
20.6.2  ユーザプログラムモード	20-18
20.7  RAMによるフラッシュメモリのエミュレーション	20-19
20.8  フラッシュメモリの書き込み / 消去	20-21
20.8.1  プログラム / プログラムベリファイ	20-21
20.8.2  イレース / イレースベリファイ	20-23
20.8.3  フラッシュメモリの書き込み / 消去時の割り込み	20-23
20.9  書き込み / 消去プロテクト	20-25
20.9.1  ハードウェアプロテクト	20-25
20.9.2  ソフトウェアプロテクト	20-25
20.9.3  エラープロテクト	20-25
20.10  フラッシュメモリの書き込み / 消去時の割り込み	20-26
20.11  ライターモード	20-26
20.12  フラッシュメモリの低消費電力動作	20-28
20.13  フラッシュメモリの書き込み / 消去時の注意	20-29
20.14  F-ZTATマイコンのマスクROM化時の注意事項	20-34
21. クロック発振器	21-1
21.1  レジスタの説明	21-2
21.1.1  システムクロックコントロールレジスタ (SCKCR)	21-2
21.1.2  ローパワーコントロールレジスタ (LPWRCR)	21-3
21.2  システムクロック発振器	21-5
21.2.1  水晶発振子を接続する方法	21-5
21.2.2  外部クロックを入力する方法	21-6

21.2.3	外部クロック切り替え時の注意	21-8
21.3	デューティ補正回路	21-9
21.4	中速クロック分周器	21-9
21.5	バスマスタクロック選択回路	21-9
21.6	サブクロック発振器	21-9
21.6.1	32.768kHz 水晶発振子を接続する方法	21-9
21.6.2	サブクロックを使用しない場合の端子処理	21-10
21.7	サブクロック波形成形回路	21-10
21.8	使用上の注意事項	21-11
21.8.1	発振子に関する注意事項	21-11
21.8.2	ボード設計上の注意事項	21-11
21.8.3	水晶発振子をご使用の場合の注意事項	21-11
22.	低消費電力状態	22-1
22.1	レジスタの説明	22-5
22.1.1	スタンバイコントロールレジスタ (SBYCR)	22-6
22.1.2	モジュールストップコントロールレジスタ A ~ D (MSTPCRA ~ MSTPCRD)	22-7
22.2	中速モード	22-8
22.3	スリープモード	22-9
22.3.1	スリープモードへの遷移	22-9
22.3.2	スリープモードの解除	22-9
22.4	ソフトウェアスタンバイモード	22-10
22.4.1	ソフトウェアスタンバイモードへの遷移	22-10
22.4.2	ソフトウェアスタンバイモードの解除	22-10
22.4.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	22-11
22.4.4	ソフトウェアスタンバイモードの応用例	22-12
22.5	ハードウェアスタンバイモード	22-12
22.5.1	ハードウェアスタンバイモードへの遷移	22-12
22.5.2	ハードウェアスタンバイモードの解除	22-13
22.5.3	ハードウェアスタンバイモードのタイミング	22-13
22.6	モジュールストップモード	22-13
22.7	ウォッチモード	22-14
22.7.1	ウォッチモードへの遷移	22-14
22.7.2	ウォッチモードの解除	22-14
22.8	サブスリープモード	22-15
22.8.1	サブスリープモードへの遷移	22-15
22.8.2	サブスリープモードの解除	22-15
22.9	サブアクティブモード	22-16
22.9.1	サブアクティブモードへの遷移	22-16
22.9.2	サブアクティブモードの解除	22-16

22.10	直接遷移	22-17
22.10.1	高速モードからサブアクティブモードへの直接遷移	22-17
22.10.2	サブアクティブモードから高速モードへの直接遷移	22-17
22.11	使用上の注意事項	22-17
22.11.1	I/O ポートの状態	22-17
22.11.2	発振安定待機中の消費電流	22-17
22.11.3	DTC のモジュールストップ (H8S/2268 グループのみ)	22-17
22.11.4	内蔵周辺モジュールの割り込み	22-17
22.11.5	MSTPCR のライト	22-18
22.11.6	サブアクティブモード/ウォッチモード遷移と DTC のモジュールストップ (H8S/2268 グループのみ)	22-18
23.	電源回路	23-1
23.1	内部電源降圧回路を使用する場合	23-1
24.	レジスタ一覧	24-1
24.1	レジスタアドレス一覧 (アドレス順)	24-2
24.2	レジスタビット一覧	24-9
24.3	各動作モードにおけるレジスタの状態	24-16
25.	電気的特性	25-1
25.1	電源電圧と動作周波数範囲	25-1
25.2	H8S/2268グループの電気的特性	25-3
25.2.1	絶対最大定格	25-3
25.2.2	DC 特性	25-3
25.2.3	AC 特性	25-11
25.2.4	A/D 変換特性	25-14
25.2.5	D/A 変換特性	25-15
25.2.6	LCD 特性	25-15
25.2.7	DTMF 特性	25-17
25.2.8	フラッシュメモリ特性	25-17
25.3	H8S/2264グループの電気的特性	25-19
25.3.1	絶対最大定格	25-19
25.3.2	DC 特性	25-20
25.3.3	AC 特性	25-27
25.3.4	A/D 変換特性	25-31
25.3.5	LCD 特性	25-32
25.4	動作タイミング	25-33
25.4.1	発振安定時間タイミング	25-33
25.4.2	制御信号タイミング	25-33

25.4.3	内蔵周辺モジュールタイミング .....	25-34
25.5	使用上の注意事項 .....	25-36
付録	.....	付録-1
A.	各処理状態におけるI/Oポートの状態 .....	付録-1
A.1	H8S/2268 グループの各処理状態における I/O ポートの状態 .....	付録-1
A.2	H8S/2264 グループの各処理状態における I/O ポートの状態 .....	付録-2
B.	型名一覧 .....	付録-4
C.	外形寸法図 .....	付録-8
本版で改訂された箇所.....	.....	改-1
索引	.....	索引-1



---

# 目次

---

1. 概要	1-1
図 1.1 H8S/2268 グループの内部ブロック図	1-3
図 1.2 H8S/2264 グループの内部ブロック図	1-4
図 1.3 H8S/2268 グループピン配置図	1-5
図 1.4 H8S/2264 グループピン配置図	1-6
2. CPU	2-1
図 2.1 例外処理ベクタテーブル（ノーマルモード）	2-5
図 2.2 ノーマルモードのスタック構造	2-5
図 2.3 例外処理ベクタテーブル（アドバンスモード）	2-6
図 2.4 アドバンスモードのスタック構造	2-7
図 2.5 アドレス空間	2-8
図 2.6 CPU 内部レジスタ構成	2-9
図 2.7 汎用レジスタの使用法	2-10
図 2.8 スタックの状態	2-11
図 2.9 汎用レジスタのデータ形式（1）	2-14
図 2.9 汎用レジスタのデータ形式（2）	2-15
図 2.10 メモリ上でのデータ形式	2-16
図 2.11 命令フォーマットの例	2-28
図 2.12 メモリ間接による分岐アドレスの指定	2-32
図 2.13 状態遷移図	2-35
図 2.14 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例	2-38
3. MCU 動作モード	3-1
図 3.1 アドレスマップ（1）	3-2
図 3.1 アドレスマップ（2）	3-3
4. 例外処理	4-1
図 4.1 リセットシーケンス（アドバンスモード/内蔵 ROM 有効）	4-4
図 4.2 例外処理終了後のスタックの状態（アドバンスモード）	4-7
図 4.3 SP を奇数に設定したときの動作	4-8
5. 割り込みコントローラ	5-1
図 5.1 H8S/2268 グループの割り込みコントローラのブロック図	5-2

図 5.2	H8S/2264 グループの割り込みコントローラのブロック図.....	5-3
図 5.3	IRQn 割り込みのブロック図.....	5-13
図 5.4	IRQnF のセットタイミング.....	5-14
図 5.5	WKP7 ~ WKP0 割り込みのブロック図.....	5-15
図 5.6	IWPFn のセットタイミング.....	5-15
図 5.7	H8S/2268 グループの割り込み制御動作のブロック図.....	5-21
図 5.8	H8S/2264 グループの割り込み制御動作のブロック図.....	5-21
図 5.9	割り込み制御モード 0 の割り込み受け付けまでのフロー.....	5-25
図 5.10	割り込み制御モード 2 の割り込み受け付けまでのフロー.....	5-27
図 5.11	割り込み例外処理.....	5-28
図 5.12	DTC と割り込み制御.....	5-30
図 5.13	割り込みの発生とディスエーブルの競合.....	5-32
6.	PC ブレークコントローラ (PBC) .....	6-1
図 6.1	PC ブレークコントローラのブロック図.....	6-2
図 6.2	低消費電力モード遷移時の動作.....	6-5
7.	バスコントローラ.....	7-1
図 7.1	内蔵メモリアクセスサイクル.....	7-1
図 7.2	内蔵周辺モジュールアクセスサイクル (H'FFFDAC ~ H'FFFFBF) .....	7-2
図 7.3	内蔵周辺モジュールアクセスサイクル (H'FFFC30 ~ H'FFFC33) .....	7-3
8.	データトランスファコントローラ (DTC) .....	8-1
図 8.1	DTC のブロック図.....	8-2
図 8.2	DTC 起動要因制御ブロック図.....	8-7
図 8.3	アドレス空間上での DTC レジスタ情報の配置.....	8-8
図 8.4	DTC ベクタアドレスとレジスタ情報との対応.....	8-9
図 8.5	DTC 動作フローチャート.....	8-11
図 8.6	ノーマルモードのメモリマップ.....	8-12
図 8.7	リピートモードのメモリマップ.....	8-13
図 8.8	ブロック転送モードのメモリマップ.....	8-14
図 8.9	チェイン転送の動作.....	8-15
図 8.10	DTC の動作タイミング (ノーマルモード、リピートモードの例) .....	8-16
図 8.11	DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例) .....	8-17
図 8.12	DTC の動作タイミング (チェイン転送の例) .....	8-17
9.	I/O ポート.....	9-1
図 9.1	オープンドレイン出力形式の違い.....	9-13

10.	16 ビットタイムパルスユニット (TPU) .....	10-1
図 10.1	H8S/2268 グループの TPU ブロック図 .....	10-4
図 10.2	H8S/2264 グループの TPU ブロック図 .....	10-5
図 10.3	16 ビットレジスタのアクセス動作 (バスマスタ TCNT (16 ビット)) .....	10-27
図 10.4	8 ビットレジスタのアクセス動作 (バスマスタ TCR (上位 8 ビット)) .....	10-28
図 10.5	8 ビットレジスタのアクセス動作 (バスマスタ TMDR (下位 8 ビット)) .....	10-28
図 10.6	8 ビットレジスタのアクセス動作 (バスマスタ TCR、TMDR (16 ビット)) .....	10-28
図 10.7	カウンタ動作設定手順例 .....	10-29
図 10.8	フリーランニングカウンタの動作 .....	10-30
図 10.9	周期カウンタの動作 .....	10-31
図 10.10	コンペアマッチによる波形出力動作例 .....	10-31
図 10.11	0 出力 / 1 出力の動作例 .....	10-32
図 10.12	トグル出力の動作例 .....	10-32
図 10.13	インプットキャプチャ動作の設定例 .....	10-33
図 10.14	インプットキャプチャ動作例 .....	10-34
図 10.15	同期動作の設定手順例 .....	10-35
図 10.16	同期動作の動作例 .....	10-36
図 10.17	コンペアマッチバッファ動作 .....	10-37
図 10.18	インプットキャプチャバッファ動作 .....	10-37
図 10.19	バッファ動作の設定手順例 .....	10-38
図 10.20	バッファ動作例 (1) .....	10-39
図 10.21	バッファ動作例 (2) .....	10-40
図 10.22	PWM モードの設定手順例 .....	10-42
図 10.23	PWM モードの動作例 (1) .....	10-43
図 10.24	PWM モードの動作例 (2) .....	10-43
図 10.25	PWM モードの動作例 (3) .....	10-44
図 10.26	位相計数モードの設定手順例 .....	10-45
図 10.27	位相計数モード 1 の動作例 .....	10-46
図 10.28	位相計数モード 2 の動作例 .....	10-47
図 10.29	位相計数モード 3 の動作例 .....	10-48
図 10.30	位相計数モード 4 の動作例 .....	10-49
図 10.31	内部クロック動作時のカウントタイミング .....	10-52
図 10.32	外部クロック動作時のカウントタイミング .....	10-52
図 10.33	アウトプットコンペア出力タイミング .....	10-53
図 10.34	インプットキャプチャ入力信号タイミング .....	10-53
図 10.35	カウンタクリアタイミング (コンペアマッチ) .....	10-54
図 10.36	カウンタクリアタイミング (インプットキャプチャ) .....	10-54
図 10.37	バッファ動作タイミング (コンペアマッチ) .....	10-55
図 10.38	バッファ動作タイミング (インプットキャプチャ) .....	10-55
図 10.39	TGI 割り込みタイミング (コンペアマッチ) .....	10-56

図 10.40	TGI 割り込みタイミング (インプットキャプチャ) .....	10-56
図 10.41	TCIV 割り込みのセットタイミング .....	10-57
図 10.42	TCIU 割り込みのセットタイミング (H8S/2268 グループのみ) .....	10-57
図 10.43	CPU によるステータスフラグのクリアタイミング .....	10-58
図 10.44	DTC の起動によるステータスフラグのクリアタイミング (H8S/2268 グループのみ) .....	10-58
図 10.45	位相計数モード時の位相差、オーバーラップ、およびパルス幅 (H8S/2268 グループのみ) .....	10-59
図 10.46	TCNT のライトとクリアの競合 .....	10-60
図 10.47	TCNT のライトとカウントアップの競合 .....	10-60
図 10.48	TGR のライトとコンペアマッチの競合 .....	10-61
図 10.49	バッファレジスタのライトとコンペアマッチの競合 .....	10-61
図 10.50	TGR のリードとインプットキャプチャの競合 .....	10-62
図 10.51	TGR のライトとインプットキャプチャの競合 .....	10-62
図 10.52	バッファレジスタのライトとインプットキャプチャの競合 .....	10-63
図 10.53	オーバフローとカウンタクリアの競合 .....	10-64
図 10.54	TCNT のライトとオーバフローの競合 .....	10-65
11.	8 ビットタイマ (TMR) .....	11-1
図 11.1	8 ビットタイマのブロック図 .....	11-2
図 11.2	パルス出力例 .....	11-10
図 11.3	内部クロック動作時のカウントタイミング .....	11-10
図 11.4	外部クロック動作時のカウントタイミング .....	11-11
図 11.5	コンペアマッチ時の CMF フラグのセットタイミング .....	11-11
図 11.6	コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング .....	11-12
図 11.7	コンペアマッチによるカウンタクリアタイミング .....	11-12
図 11.8	外部リセット入力によるクリアタイミング .....	11-13
図 11.9	OVF フラグのセットタイミング .....	11-13
図 11.10	TCNT のライトとクリアの競合 .....	11-16
図 11.11	TCNT のライトとカウントアップの競合 .....	11-17
図 11.12	TCOR のライトとコンペアマッチの競合 .....	11-17
図 11.13	8 ビットリロードタイマのブロック図 .....	11-21
図 11.14	インターバルタイマモード時の動作 .....	11-24
図 11.15	オートリロードタイマモード時の動作 .....	11-25
図 11.16	カスケード接続時のチャンネル関係 .....	11-26
12.	ウォッチドッグタイマ (WDT) .....	12-1
図 12.1	WDT_0 のブロック図 .....	12-2
図 12.2	WDT_1 のブロック図 .....	12-2
図 12.3	ウォッチドッグタイマモード時の動作 .....	12-8
図 12.4	インターバルタイマモード時の動作 .....	12-8
図 12.5	OVF のセットタイミング .....	12-9

図 12.6	WOVF のセットタイミング .....	12-9
図 12.7	TCNT、TCSR へのライト (WDT_0 の例) .....	12-10
図 12.8	RSTCSR へのライト .....	12-11
図 12.9	TCNT のライトとカウントアップの競合 .....	12-12
13.	シリアルコミュニケーションインタフェース (SCI) .....	13-1
図 13.1	SCI_0 のブロック図 .....	13-3
図 13.2	SCI_1、SCI_2 のブロック図 .....	13-4
図 13.3	平均転送レートが選択されたときの内部基本クロック例 (1) .....	13-27
図 13.4	平均転送レートが選択されたときの内部基本クロック例 (2) .....	13-28
図 13.5	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例) .....	13-29
図 13.6	調歩同期モードの受信データサンプリングタイミング .....	13-31
図 13.7	出カクロックと送信データの位相関係 (調歩同期モード) .....	13-32
図 13.8	SCI の初期化フローチャートの例 .....	13-33
図 13.9	調歩同期モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例) .....	13-34
図 13.10	シリアル送信のフローチャートの例 .....	13-35
図 13.11	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例) .....	13-36
図 13.12	シリアル受信データフローチャートの例 (1) .....	13-37
図 13.12	シリアル受信データフローチャートの例 (2) .....	13-38
図 13.13	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例) .....	13-39
図 13.14	マルチプロセッサシリアル送信のフローチャートの例 .....	13-40
図 13.15	SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例) .....	13-41
図 13.16	マルチプロセッサシリアル受信のフローチャートの例 (1) .....	13-42
図 13.16	マルチプロセッサシリアル受信のフローチャートの例 (2) .....	13-43
図 13.17	クロック同期式通信のデータフォーマット (LSB ファーストの場合) .....	13-44
図 13.18	SCI の初期化フローチャートの例 .....	13-45
図 13.19	クロック同期モードの送信時の動作例 .....	13-46
図 13.20	シリアル送信のフローチャートの例 .....	13-47
図 13.21	SCI の受信時の動作例 .....	13-48
図 13.22	シリアルデータ受信フローチャートの例 .....	13-49
図 13.23	シリアル送受信同時動作のフローチャートの例 .....	13-51
図 13.24	スマートカードインタフェース端子接続概要 .....	13-52
図 13.25	通常のスマートカードインタフェースのデータフォーマット .....	13-53
図 13.26	ダイレクトコンベンション (SDIR = SINV = $O/\bar{E}$ = 0) .....	13-53
図 13.27	インバースコンベンション (SDIR = SINV = $O/\bar{E}$ = 1) .....	13-53
図 13.28	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時) .....	13-55

図 13.29	SCI 送信モードの場合の再転送動作	13-57
図 13.30	送信動作時の TEND フラグ発生タイミング	13-57
図 13.31	送信処理フローの例	13-58
図 13.32	SCI 受信モードの場合の再転送動作	13-59
図 13.33	受信フローの例	13-60
図 13.34	クロック出力固定タイミング	13-60
図 13.35	クロック停止・再起動手順	13-61
図 13.36	DTC によるクロック同期式送信時の例	13-64
図 13.37	送信時のモード遷移フローチャートの例	13-65
図 13.38	内部クロック、調歩同期送信の場合のポート端子状態	13-66
図 13.39	内部クロック、クロック同期送信の場合のポート端子状態	13-66
図 13.40	受信時のモード遷移フローチャートの例	13-67
図 13.41	SCK 端子からポート端子へ切り替えるときの動作	13-68
図 13.42	SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)	13-69
14.	I <sup>2</sup> C バスインタフェース (IIC) [ H8S/2264 グループではオプション ]	14-1
図 14.1	I <sup>2</sup> C バスインタフェースのブロック図	14-3
図 14.2	I <sup>2</sup> C バスインタフェース接続例 (本 LSI がマスタの場合)	14-4
図 14.3	I <sup>2</sup> C バスデータフォーマット (I <sup>2</sup> C バスフォーマット)	14-19
図 14.4	I <sup>2</sup> C バスデータフォーマット (クロック同期式シリアルフォーマット)	14-19
図 14.5	I <sup>2</sup> C バスタイミング	14-20
図 14.6	IIC の初期化フローチャートの例	14-21
図 14.7	マスタ送信モードフローチャート例	14-22
図 14.8	マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)	14-24
図 14.9	マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)	14-25
図 14.10	マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)	14-26
図 14.11	マスタ受信モード (1 バイトのみ受信) のフローチャート例 (WAIT=1)	14-27
図 14.12	マスタ受信モード動作タイミング例 (MLS=ACKB = 0、WAIT=1 のとき)	14-29
図 14.13	マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB = 0、WAIT=1 のとき)	14-30
図 14.14	スレーブ受信モードフローチャート例	14-31
図 14.15	スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0 のとき)	14-32
図 14.16	スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0 のとき)	14-33
図 14.17	スレーブ送信モードフローチャート例	14-34
図 14.18	スレーブ送信モード動作タイミング例 (MLS = 0 のとき)	14-36
図 14.19	IRIC セットタイミングと SCL 制御	14-38
図 14.20	ノイズ除去回路のブロック図	14-40
図 14.21	マスタ受信データの読み出しにおける注意	14-45
図 14.22	再送のための開始条件命令発行フローチャートおよびタイミング	14-46
図 14.23	停止条件発行タイミング	14-47
図 14.24	WAIT=1 状態での IRIC フラグクリアタイミング	14-47

	図 14.25	スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング .....	14-48
	図 14.26	スレーブモードでの TRS ビット設定タイミング .....	14-49
	図 14.27	アービトレーションロスト時の動作模式図 .....	14-50
	図 14.28	ウェイト動作時の IRIC フラグクリアタイミング .....	14-51
15.	A/D 変換器 .....		15-1
	図 15.1	A/D 変換器のブロック図 .....	15-2
	図 15.2	ADDR のアクセス動作 (H'AA40 リード時) .....	15-8
	図 15.3	A/D 変換器の動作例 (シングルモード チャンネル 1 選択時) .....	15-9
	図 15.4	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時) .....	15-10
	図 15.5	A/D 変換タイミング .....	15-11
	図 15.6	外部トリガ入力タイミング .....	15-12
	図 15.7	A/D 変換精度の定義 (1) .....	15-14
	図 15.8	A/D 変換精度の定義 (2) .....	15-14
	図 15.9	アナログ入力回路の例 .....	15-15
	図 15.10	アナログ入力保護回路の例 .....	15-17
	図 15.11	アナログ入力端子等価回路 .....	15-17
16.	D/A 変換器 .....		16-1
	図 16.1	D/A 変換器のブロック図 .....	16-1
	図 16.2	D/A 変換器の動作例 .....	16-4
17.	LCD コントローラ / ドライバ .....		17-1
	図 17.1	LCD コントローラ / ドライバのブロック図 .....	17-2
	図 17.2	A 波形 1/2 デューティ 1/2 バイアスの例 .....	17-9
	図 17.3	1/2 デューティ時の LCD 駆動電源の処理 .....	17-10
	図 17.4	LCD RAM マップ (1/4 デューティ) .....	17-11
	図 17.5	LCD RAM マップ (1/3 デューティ) .....	17-12
	図 17.6	LCD RAM マップ (1/2 デューティ) .....	17-12
	図 17.7	LCD RAM マップ (スタティック) .....	17-13
	図 17.8	各デューティでの出力波形 (A 波形) .....	17-14
	図 17.9	各デューティでの出力波形 (B 波形) .....	17-15
	図 17.10	3 倍昇圧回路使用時の接続方法 (H8S/2268 グループのみ) .....	17-17
	図 17.11	低消費電力 LCD 駆動方式動作例 .....	17-19
	図 17.12	外部分割抵抗の接続方法 .....	17-19
18.	DTMF 発生回路 .....		18-1
	図 18.1	DTMF 周波数 .....	18-1
	図 18.2	DTMF 発生回路のブロック図 .....	18-2
	図 18.3	TONED 端子出力等価回路 .....	18-6

図 18.4	TONED 端子出力波形 ( Row グループ、 Column グループ単独時 )	18-6
図 18.5	HA16808ANT との接続例	18-8
20.	ROM	20-1
図 20.1	フラッシュメモリのブロック図	20-2
図 20.2	フラッシュメモリに関する状態遷移	20-3
図 20.3	ブートモード	20-4
図 20.4	ユーザプログラムモード ( 例 )	20-5
図 20.5	フラッシュメモリのブロック構成 ( H8S/2268 )	20-7
図 20.6	フラッシュメモリのブロック構成 ( H8S/2266、 H8S/2265 )	20-8
図 20.7	ユーザモードにおける書き込み/消去例	20-18
図 20.8	RAM によるエミュレーションフロー	20-19
図 20.9	RAM のオーバーラップ例	20-20
図 20.10	プログラム / プログラムベリファイフロー	20-22
図 20.11	イレース / イレースベリファイフロー	20-24
図 20.12	ソケットアダプタの端子対応図	20-27
図 20.13	電源投入 / 切断タイミング ( ブートモード )	20-31
図 20.14	電源投入 / 切断タイミング ( ユーザプログラムモード )	20-32
図 20.15	モード遷移タイミング ( 例 : ブートモード ユーザモード ↔ ユーザプログラムモード )	20-33
21.	クロック発振器	21-1
図 21.1	クロック発振器のブロック図	21-1
図 21.2	水晶発振子の接続例	21-5
図 21.3	水晶発振子の等価回路	21-5
図 21.4	外部クロックの接続例	21-6
図 21.5	外部クロック入力タイミング	21-7
図 21.6	外部クロック切り替え回路例	21-8
図 21.7	外部クロック切り替えタイミング例	21-8
図 21.8	32.768kHz 水晶発振子の接続例	21-9
図 21.9	32.768kHz 水晶発振子の等価回路	21-10
図 21.10	サブクロックを使用しない場合の端子処理	21-10
図 21.11	発振回路部のボード設計に関する注意事項	21-11
22.	低消費電力状態	22-1
図 22.1	モード遷移図	22-4
図 22.2	中速モードの遷移・解除タイミング	22-9
図 22.3	ソフトウェアスタンバイモードの応用例	22-12
図 22.4	ハードウェアスタンバイモードのタイミング	22-13



23. 電源回路 .....	23-1
図 23.1 内部電源降圧回路を使用する場合の電源接続図 .....	23-1
25. 電気的特性 .....	25-1
図 25.1 電源電圧と動作範囲 (1) .....	25-1
図 25.1 電源電圧と動作範囲 (2) .....	25-2
図 25.2 出力負荷回路 .....	25-11
図 25.3 出力負荷回路 .....	25-27
図 25.4 発振安定時間タイミング .....	25-33
図 25.5 リセット入力タイミング .....	25-33
図 25.6 割り込み入力タイミング .....	25-34
図 25.7 TPU クロック入力タイミング .....	25-34
図 25.8 8 ビットタイマクロック入力タイミング .....	25-34
図 25.9 SCK クロック入力タイミング .....	25-34
図 25.10 SCI 入出力タイミング / クロック同期式モード .....	25-35
図 25.11 I <sup>2</sup> C バスインタフェース入出力タイミング【オプション】 .....	25-35
図 25.12 TONED 負荷回路 (H8S/2268 グループのみ) .....	25-36
付録 .....	付録-1
図 C.1 TFP-100B、TFP-100BV の外形寸法図 (H8S/2268 グループのみ) .....	付録-8
図 C.2 TFP-100G、TFP-100GV の外形寸法図 .....	付録-9
図 C.3 FP-100B、FP-100BV の外形寸法図 .....	付録-10



---

# 表目次

---

1. 概要 .....	1-1
表 1.1 端子機能 .....	1-7
2. CPU .....	2-1
表 2.1 命令の分類 .....	2-17
表 2.2 オペレーションの記号 .....	2-18
表 2.3 データ転送命令 .....	2-19
表 2.4 算術演算命令 (1) .....	2-20
表 2.4 算術演算命令 (2) .....	2-21
表 2.5 論理演算命令 .....	2-22
表 2.6 シフト命令 .....	2-22
表 2.7 ビット操作命令 (1) .....	2-23
表 2.7 ビット操作命令 (2) .....	2-24
表 2.8 分岐命令 .....	2-25
表 2.9 システム制御命令 .....	2-26
表 2.10 ブロック転送命令 .....	2-27
表 2.11 アドレッシングモード一覧表 .....	2-29
表 2.12 絶対アドレスのアクセス範囲 .....	2-30
表 2.13 実行アドレスの計算方法 (1) .....	2-32
表 2.13 実行アドレスの計算方法 (2) .....	2-33
3. MCU 動作モード .....	3-1
表 3.1 MCU 動作モードの選択 .....	3-1
4. 例外処理 .....	4-1
表 4.1 例外処理の種類と優先度 .....	4-1
表 4.2 例外処理ベクタテーブル .....	4-2
表 4.3 トレース例外処理後の CCR、EXR の状態 .....	4-5
表 4.4 トラップ命令例外処理後の CCR、EXR の状態 .....	4-6
5. 割り込みコントローラ .....	5-1
表 5.1 端子構成 .....	5-4
表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 .....	5-17
表 5.3 割り込み制御モード .....	5-20

表 5.4	割り込み制御モードと選択される割り込み (1)	5-22
表 5.5	割り込み制御モードと選択される割り込み (2)	5-22
表 5.6	割り込み制御モードと動作および制御信号機能	5-23
表 5.7	割り込み応答時間 (ステート)	5-29
表 5.8	割り込み例外処理の実行状態のステート数	5-29
表 5.9	割り込み要因の選択とクリア制御	5-31
8.	データトランスファコントローラ (DTC)	8-1
表 8.1	起動要因と DTCER のクリア	8-7
表 8.2	割り込み要因と DTC ベクタアドレスおよび対応する DTCE	8-10
表 8.3	ノーマルモードのレジスタ機能	8-12
表 8.4	リピートモードのレジスタ機能	8-13
表 8.5	ブロック転送モードのレジスタ機能	8-14
表 8.6	DTC の実行状態	8-17
表 8.7	実行状態に必要なステート数	8-18
9.	I/O ポート	9-1
表 9.1 (1)	H8S/2268 グループのポート機能一覧	9-2
表 9.1 (2)	H8S/2264 グループのポート機能一覧	9-4
表 9.2	入力プルアップ MOS の状態 (ポート J)	9-30
表 9.3	未使用の入力端子の処理例	9-39
10.	16 ビットタイマパルスユニット (TPU)	10-1
表 10.1	TPU の機能一覧 (1)	10-2
表 10.1	TPU の機能一覧 (2)	10-3
表 10.2	端子構成	10-6
表 10.3	CCLR2 ~ CCLR0 (チャンネル 0) (H8S/2268 グループのみ)	10-9
表 10.4	CCLR2 ~ CCLR0 (チャンネル 1、2)	10-9
表 10.5	TPSC2 ~ TPSC0 (チャンネル 0) (H8S/2268 グループのみ)	10-10
表 10.6	TPSC2 ~ TPSC0 (チャンネル 1)	10-10
表 10.7	TPSC2 ~ TPSC0 (チャンネル 2)	10-10
表 10.8	MD3 ~ MD0	10-12
表 10.9	TIORH_0 (チャンネル 0) (H8S/2268 グループのみ)	10-13
表 10.10	TIORL_0 (チャンネル 0) (H8S/2268 グループのみ)	10-14
表 10.11	TIOR_1 (チャンネル 1)	10-15
表 10.12	TIOR_2 (チャンネル 2)	10-16
表 10.13	TIORH_0 (チャンネル 0) (H8S/2268 グループのみ)	10-17
表 10.14	TIORL_0 (チャンネル 0) (H8S/2268 グループのみ)	10-18
表 10.15	TIOR_1 (チャンネル 1)	10-19
表 10.16	TIOR_2 (チャンネル 2)	10-20

表 10.17	レジスタの組み合わせ.....	10-37
表 10.18	各 PWM 出力のレジスタと出力端子 .....	10-42
表 10.19	位相計数モードクロック入力端子.....	10-45
表 10.20	位相計数モード 1 のアップ/ダウンカウント条件 .....	10-46
表 10.21	位相計数モード 2 のアップ/ダウンカウント条件 .....	10-47
表 10.22	位相計数モード 3 のアップ/ダウンカウント条件 .....	10-48
表 10.23	位相計数モード 4 のアップ/ダウンカウント条件 .....	10-49
表 10.24	TPU 割り込み一覧.....	10-50
11.	8 ビットタイマ (TMR) .....	11-1
表 11.1	端子構成 .....	11-3
表 11.2	8 ビットタイマの割り込み要因.....	11-15
表 11.3	タイマ出力の優先順位.....	11-18
表 11.4	内部クロックの切り替えと TCNT の動作.....	11-18
12.	ウォッチドッグタイマ (WDT) .....	12-1
表 12.1	WDT の割り込み要因.....	12-10
13.	シリアルコミュニケーションインタフェース (SCI) .....	13-1
表 13.1	端子構成 .....	13-5
表 13.2	BRR の設定値 N とビットレート B の関係.....	13-19
表 13.3	ビットレートに対する BRR の設定例 (調歩同期式モード) .....	13-20
表 13.4	各動作周波数における最大ビットレート (調歩同期式モード) .....	13-23
表 13.5	外部クロック入力時の最大ビットレート (調歩同期式モード) .....	13-23
表 13.6	ビットレートに対する BRR の設定例 (クロック同期式モード) .....	13-24
表 13.7	外部クロック入力時の最大ビットレート (クロック同期式モード) .....	13-24
表 13.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき) .....	13-25
表 13.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき) .....	13-25
表 13.10	シリアル送信/受信フォーマット (調歩同期式モード) .....	13-30
表 13.11	SSR のステータスフラグの状態と受信データの処理 .....	13-37
表 13.12	シリアルコミュニケーションインタフェースモードの割り込み要因 .....	13-62
表 13.13	スマートカードインタフェースモードの割り込み要因.....	13-63
14.	I <sup>2</sup> C バスインタフェース (IIC) [H8S/2264 グループではオプション] .....	14-1
表 14.1	端子構成 .....	14-4
表 14.2	転送フォーマット .....	14-7
表 14.3	転送レート.....	14-9
表 14.4	フラグと転送状態の関係.....	14-14

表 14.5	DTC による動作例 .....	14-39
表 14.6	IIC 割り込み要因 .....	14-42
表 14.7	I <sup>2</sup> C バスタイミング (SCL、SDA 出力) .....	14-42
表 14.8	SCL 立ち上がり時間 (t <sub>Sr</sub> ) の許容範囲 .....	14-43
表 14.9	I <sup>2</sup> C バスタイミング (t <sub>Sr</sub> /t <sub>Sf</sub> 影響最大の場合) .....	14-44
15.	A/D 変換器 .....	15-1
表 15.1	端子構成 .....	15-3
表 15.2	アナログ入力チャンネルと ADDR の対応 .....	15-4
表 15.3	A/D 変換時間 (シングルモード) .....	15-12
表 15.4	A/D 変換時間 (スキャンモード) .....	15-12
表 15.5	A/D 変換器の割り込み要因 .....	15-13
表 15.6	アナログ端子の規格 .....	15-17
16.	D/A 変換器 .....	16-1
表 16.1	端子構成 .....	16-2
表 16.2	D/A 変換の制御 .....	16-3
17.	LCD コントローラ/ドライバ .....	17-1
表 17.1	端子構成 .....	17-3
表 17.2	デューティ比、コモン機能の選択 .....	17-4
表 17.3	セグメントドライバの選択 (1) (H8S/2268 グループ) .....	17-5
表 17.4	セグメントドライバの選択 (2) (H8S/2264 グループ) .....	17-5
表 17.5	フレーム周波数の選択 .....	17-7
表 17.6	出力レベルの関係 .....	17-16
表 17.7	低消費電力モードと表示動作の関係 .....	17-17
18.	DTMF 発生回路 .....	18-1
表 18.1	端子構成 .....	18-3
表 18.2	DTMF 出力信号と標準信号との周波数偏差 .....	18-7
20.	ROM .....	20-1
表 20.1	ブートモードとユーザプログラムモードの相違点 .....	20-3
表 20.2	端子構成 .....	20-9
表 20.3	オンボードプログラミングモード設定方法 .....	20-15
表 20.4	ブートモードの動作 .....	20-17
表 20.5	ビットレート自動合わせ込みが可能なシステムクロック周波数 .....	20-17
表 20.6	フラッシュメモリの動作状態 .....	20-28
表 20.7	F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ .....	20-34

21. クロック発振器 .....	21-1
表 21.1 ダンピング抵抗値 .....	21-5
表 21.2 水晶発振子の特性 .....	21-5
表 21.3 外部クロック入力条件 .....	21-6
表 21.4 外部クロック入力条件 ( デューティ補正回路未使用 ) .....	21-7
22. 低消費電力状態 .....	22-1
表 22.1 各モードでの本 LSI の内部状態 .....	22-2
表 22.2 低消費電力モード遷移条件 .....	22-5
表 22.3 発振安定時間の設定 .....	22-11
25. 電気的特性 .....	25-1
表 25.1 絶対最大定格 .....	25-3
表 25.2 DC 特性 ( 1 ) .....	25-3
表 25.2 DC 特性 ( 2 ) .....	25-5
表 25.2 DC 特性 ( 3 ) .....	25-6
表 25.2 DC 特性 ( 4 ) .....	25-8
表 25.3 出力許容電流 .....	25-9
表 25.4 バス駆動特性 ( 1 ) .....	25-10
表 25.4 バス駆動特性 ( 2 ) .....	25-10
表 25.5 クロックタイミング .....	25-12
表 25.6 制御信号タイミング .....	25-12
表 25.7 内蔵周辺タイミング .....	25-13
表 25.8 I <sup>2</sup> C バスタイミング .....	25-13
表 25.9 A/D 変換特性 .....	25-14
表 25.10 D/A 変換特性 .....	25-15
表 25.11 LCD 特性 .....	25-15
表 25.12 DTMF 特性 .....	25-17
表 25.13 フラッシュメモリ特性 .....	25-17
表 25.14 絶対最大定格 .....	25-19
表 25.15 DC 特性 ( 1 ) .....	25-20
表 25.15 DC 特性 ( 2 ) .....	25-21
表 25.15 DC 特性 ( 3 ) .....	25-23
表 25.15 DC 特性 ( 4 ) .....	25-24
表 25.16 出力許容電流 .....	25-26
表 25.17 バス駆動特性 ( 1 ) .....	25-26
表 25.17 バス駆動特性 ( 2 ) .....	25-27
表 25.18 クロックタイミング .....	25-28
表 25.19 制御信号タイミング .....	25-28
表 25.20 内蔵周辺タイミング .....	25-29

表 25.21	I <sup>2</sup> C パスタイミング .....	25-30
表 25.22	A/D 変換特性 .....	25-31
表 25.23	LCD 特性 .....	25-32



---

# 1. 概要

---

## 1.1 特長

- 16ビット高速H8S/2000 CPU  
H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換  
汎用レジスタ：16ビット×16本  
基本命令：65種類
- 豊富な周辺機能  
割り込みコントローラ  
PCブ레이크コントローラ（H8S/2268グループのみ）  
データトランスファコントローラ（DTC）（H8S/2268グループのみ）  
16ビットタイマパルスユニット（TPU）  
8ビットタイマ（TMR）  
ウォッチドッグタイマ（WDT）  
シリアルコミュニケーションインタフェース（SCI）  
I<sup>2</sup>Cバスインタフェース（IIC）（H8S/2264グループではオプション）  
A/D変換器  
D/A変換器（H8S/2268グループのみ）  
LCDコントローラ/ドライバ  
DTMF発生回路（H8S/2268グループのみ）

## 1. 概要

---

- 内蔵メモリ

### H8S/2268 グループ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2268	256k バイト	16k バイト	
	HD64F2266	128k バイト	8k バイト	
	HD64F2265	128k バイト	4k バイト	

### H8S/2264 グループ

ROM	型名	ROM	RAM	備考
マスク ROM 版	HD6432264	128k バイト	4k バイト	
	HD6432264W	128k バイト	4k バイト	
	HD6432262	64k バイト	2k バイト	
	HD6432262W	64k バイト	2k バイト	

- 汎用入出力ポート

入出力ポート：67本（H8S/2268グループ）

：51本（H8S/2264グループ）

入力ポート：11本

- 各種低消費電力モードをサポート

- 小型パッケージ

パッケージ	コード*2	ボディサイズ	ピンピッチ
TQFP-100*1	TFP-100B、TFP-100BV	14.0 × 14.0mm	0.5mm
TQFP-100	TFP-100G、TFP-100GV	12.0 × 12.0mm	0.4mm
QFP-100	FP-100B、FP-100BV	14.0 × 14.0mm	0.5mm

【注】 \*1 H8S/2268 グループのみです。

\*2 パッケージコードの末尾がVのパッケージは鉛フリー対応品です。

## 1.2 内部ブロック図

H8S/2268 グループの内部ブロック図を図 1.1 に、H8S/2264 グループの内部ブロック図を図 1.2 に示します。

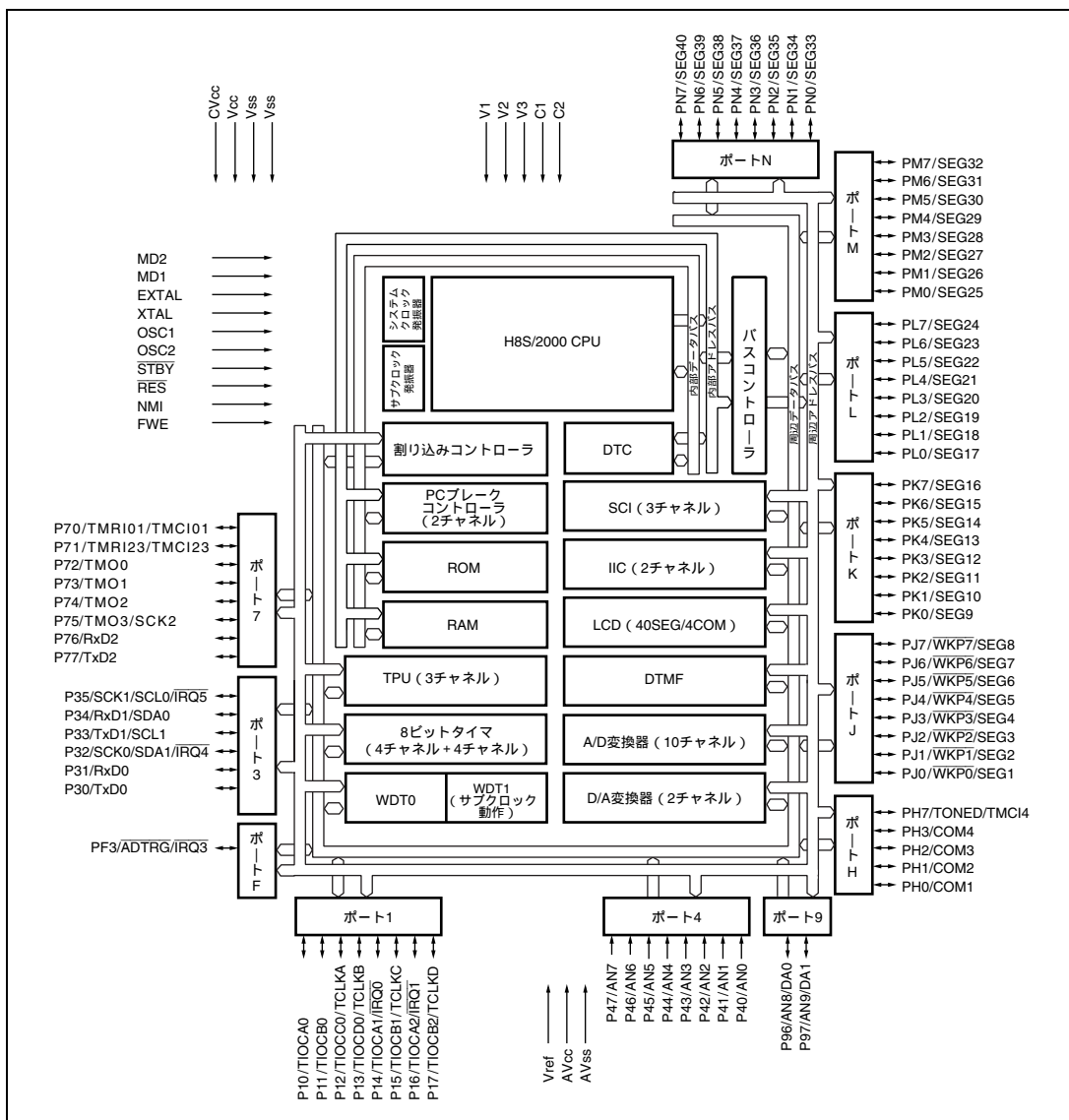


図 1.1 H8S/2268 グループの内部ブロック図

# 1. 概要

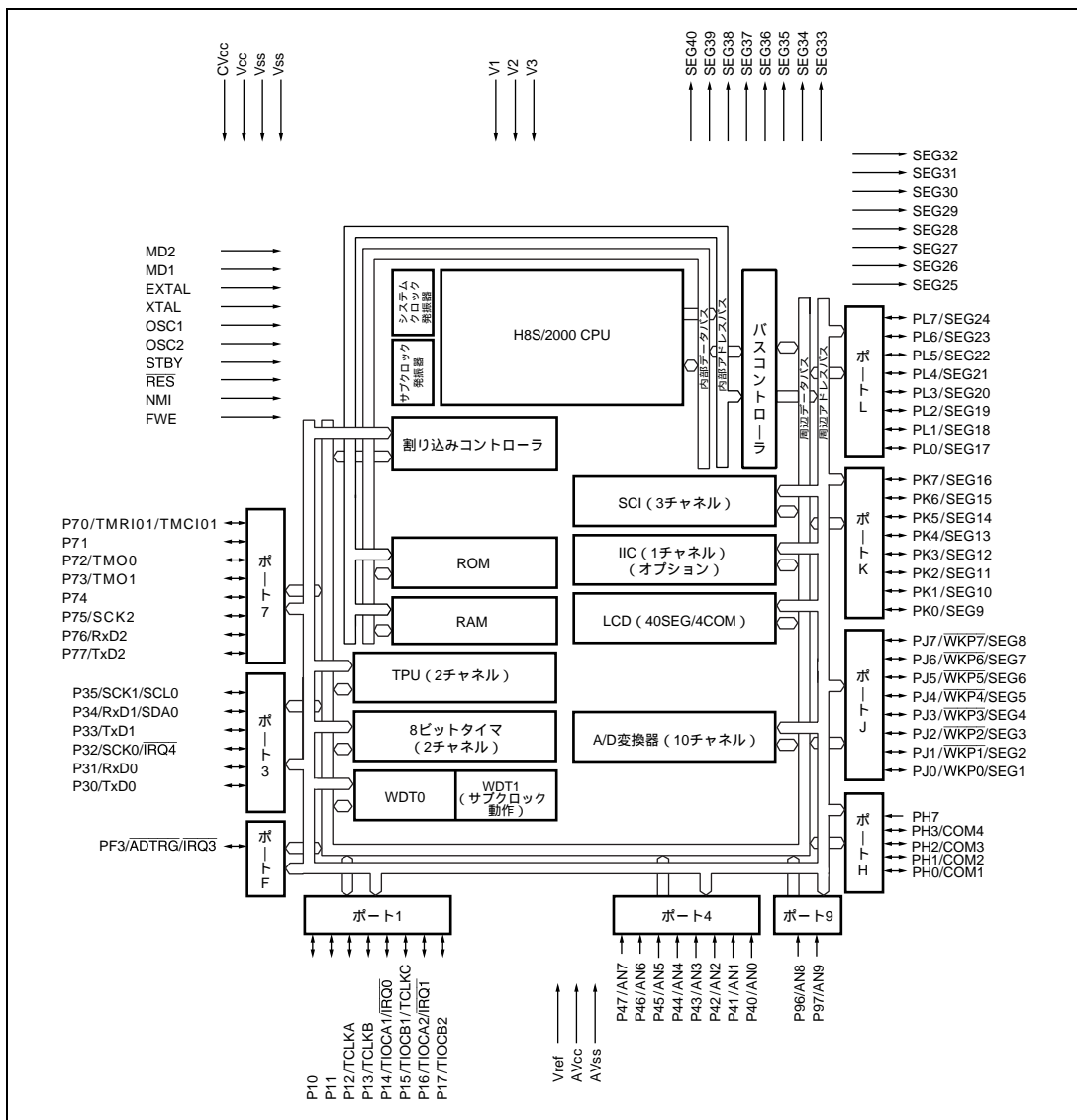


図 1.2 H8S/2264 グループの内部ブロック図

### 1.3 ピン配置図

H8S/2268 グループのピン配置図を図 1.3 に、H8S/2264 グループのピン配置図を図 1.4 に示します。

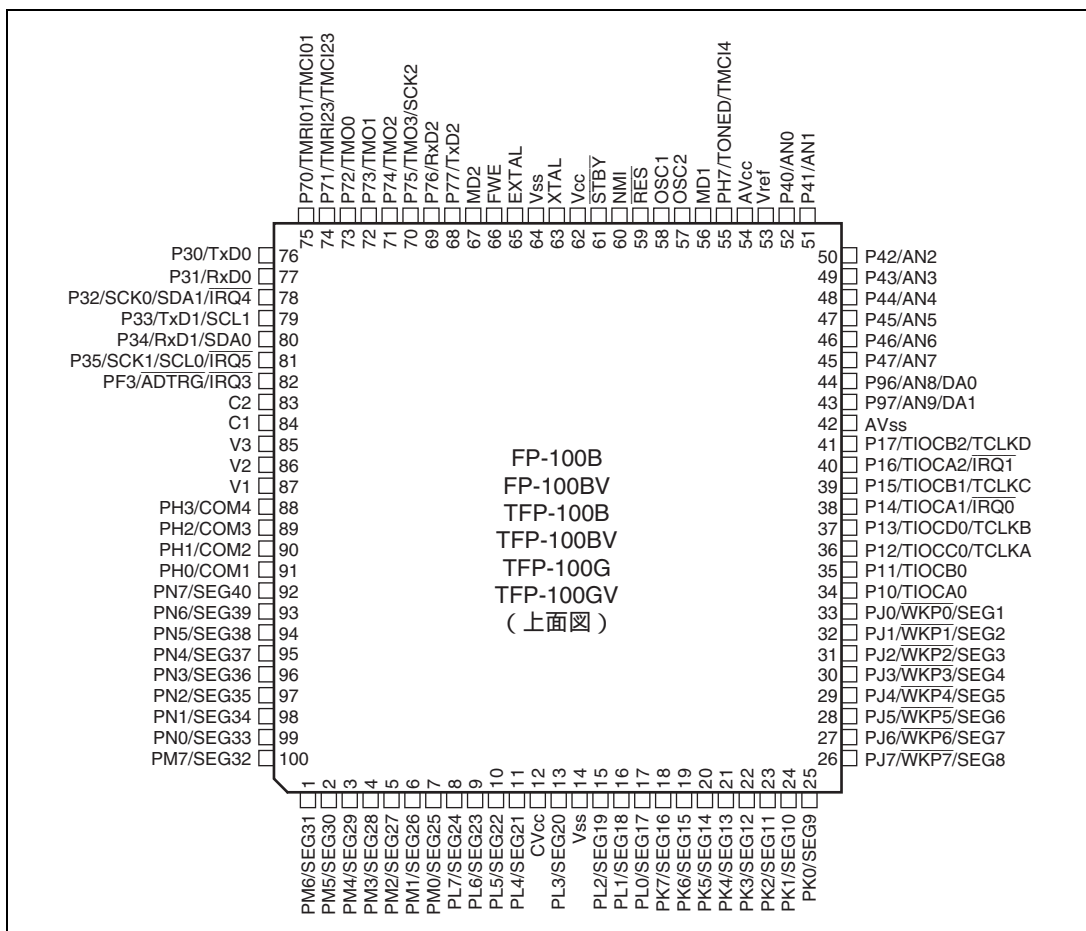


図 1.3 H8S/2268 グループピン配置図

1. 概要

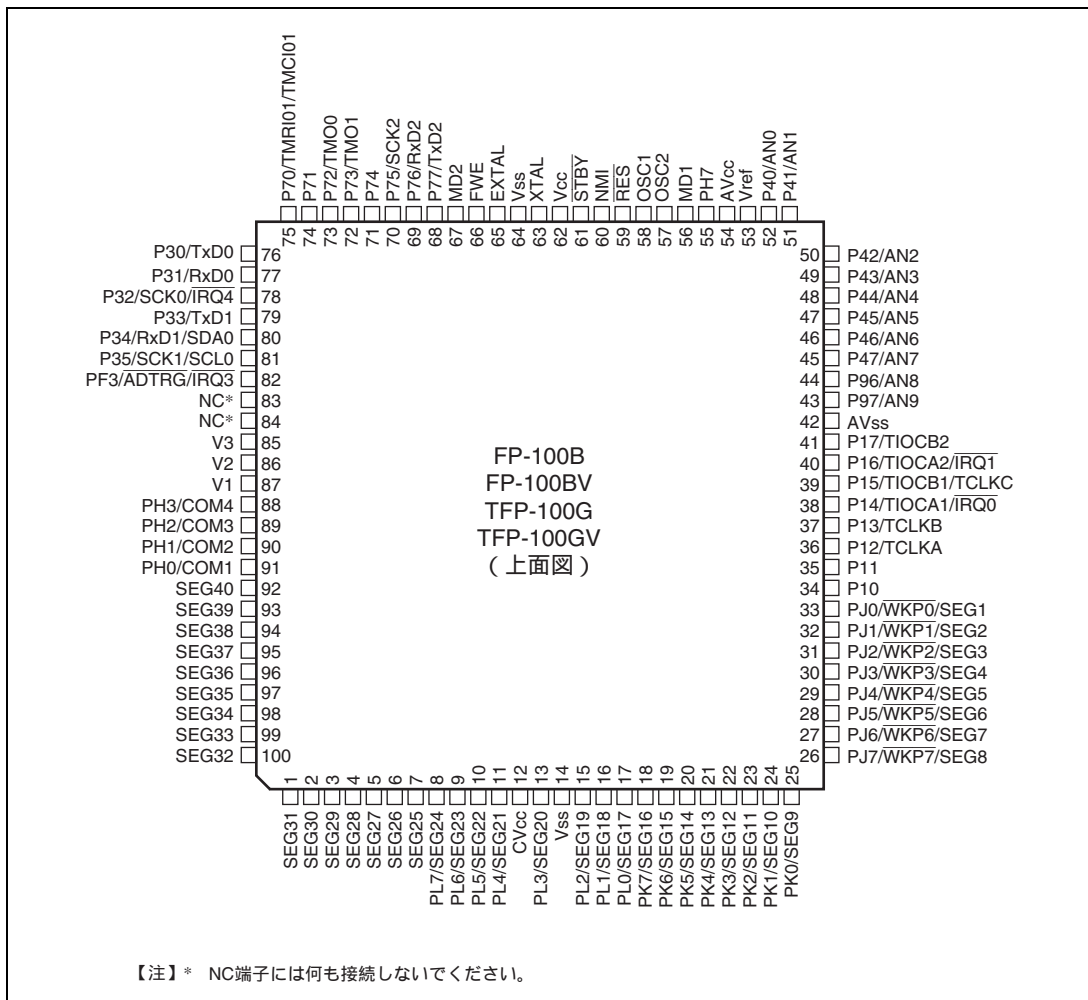


図 1.4 H8S/2264 グループピン配置図

## 1.4 端子機能

各端子の機能について表 1.1 に示します。

表 1.1 端子機能

分類	記号	ピン番号	入出力	名称および機能
電源	V <sub>CC</sub>	62	入力	電源端子です。システムの電源に接続してください。
	CV <sub>CC</sub>	12	入力	安定化容量 (H8S/2268 グループ : 0.1 μF/0.2 μF、H8S/2264 グループ : 0.2 μF) をグラウンドの間に接続してください。 CV <sub>CC</sub> 端子に絶対最大定格値 4.3V を超える電源を印加した場合、LSI の永久破壊となることがありますので、CV <sub>CC</sub> 端子には電源を接続しないでください。接続例については「第 23 章 電源回路」を参照してください。
	V3 V2 V1	85 86 87	入力	LCD コントローラ/ドライバ用の電源端子です。電源分割抵抗が内蔵されており、通常は解放で用います。電源条件は V <sub>CC</sub> V1 V2 V3 V <sub>SS</sub> です。 3 倍昇圧回路*1 を使用する場合、V3 端子は液晶入力基準電源となります。
	V <sub>SS</sub>	14 64	入力	グラウンド端子です。システム電源 (0V) に接続してください。
クロック	XTAL	63	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 21 章 クロック発振器」を参照してください。
	EXTAL	65	入力	
	OSC1	58	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 21 章 クロック発振器」を参照してください。
	OSC2	57	入力	
動作モード コントロール	MD2 MD1	67 56	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。 モード端子 (MD2、MD1) は、モード切替え以外は、パワーオフまでプルダウンまたはプルアップしてレベルを必ず固定してください。

## 1. 概要

分類	記号	ピン番号	入出力	名称および機能	
システム制御	RES* <sup>2</sup>	59	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。	
	STBY* <sup>2</sup>	61	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。	
	FWE	66	入力	フラッシュメモリの書き換えを禁止 / 許可します。	
割り込み	NMI* <sup>2</sup>	60	入力	ノンマスクابل割り込み要求端子です。使用しない場合は High レベルに固定してください。	
	IRQ5* <sup>1</sup> IRQ4 IRQ3 IRQ1 IRQ0	81 78 82 40 38	入力	マスク可能な割り込みを要求します。	
	WKP7 - WKP0	26 ~ 33	入力	ウェイクアップ割り込み要求です。マスク可能な割り込みを要求します。	
16 ビット タイマパルス ユニット (TPU)	TCLKD* <sup>1</sup> TCLKC TCLKB TCLKA	41 39 37 36	入力	タイマの外部クロック入力端子です。	
	TIOCA0* <sup>1</sup> TIOCBO* <sup>1</sup> TIOCC0* <sup>1</sup> TIOCD0* <sup>1</sup>	34 35 36 37	入出力	TGRA_0 ~ TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。	
	TIOCA1 TIOCB1	38 39	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。	
	TIOCA2 TIOCB2	40 41	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。	
	8 ビットタイマ	TMO3* <sup>1</sup> TMO2* <sup>1</sup> TMO1 TMO0	70 71 72 73	出力	コンペアマッチ出力端子です。
		TMCI23* <sup>1</sup> TMCI01 TMCI4* <sup>1</sup>	74 75 55	入力	カウンタに入力する外部クロックの入力端子です。
		TMRI23* <sup>1</sup> TMRI01	74 75	入力	カウンタリセット入力端子です。



分類	記号	ピン番号	入出力	名称および機能
シリアル コミュニ ケーション	TxD2	68	出力	データ出力端子です。
	TxD1	79		
	TxD0	76		
インタフェース (SCI)/スマート カードインタ フェース	RxD2	69	入力	データ入力端子です。
	RxD1	80		
	RxD0	77		
	SCK2	70	入出力	クロック入出力端子です。 SCK1の出力形式は NMOS プッシュプル出力です。
	SCK1	81		
	SCK0	78		
I <sup>2</sup> C バスインタ フェース (IIC) * <sup>3</sup>	SCL1* <sup>1</sup>	79	入出力	I <sup>2</sup> C クロック入出力端子です。 バス駆動機能を持っています。SCL0の出力形式は NMOS オープンドレインです。
	SCL0	81		
A/D 変換器	SDA1* <sup>1</sup>	78	入出力	I <sup>2</sup> C のデータ入出力端子です。 バス駆動機能を持っています。SDA0の出力形式は NMOS オープンドレインです。
	SDA0	80		
A/D 変換器	AN9 ~ AN0	43 ~ 52	入力	アナログ入力端子です。
	ADTRG	82	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器* <sup>1</sup>	DA1	43	出力	D/A 変換器のアナログ出力端子です。
	DA0	44		
A/D 変換器、 D/A 変換器* <sup>1</sup>	AV <sub>cc</sub>	54	入力	A/D 変換器、D/A 変換器* <sup>1</sup> 、および DTMF 発生回路* <sup>1</sup> の 電源端子です。 A/D 変換器、D/A 変換器* <sup>1</sup> 、および DTMF 発生回路* <sup>1</sup> を 使用しない場合はシステム電源 (Vcc レベル) に接続し てください。
	AV <sub>ss</sub>	42	入力	A/D 変換器、D/A 変換器* <sup>1</sup> 、および DTMF 発生回路* <sup>1</sup> の グラウンド端子です。 システムの電源 (0V) に接続してください。
	Vref	53	入力	A/D 変換器および D/A 変換器* <sup>1</sup> の基準電圧入力端子で す。A/D 変換器および D/A 変換器* <sup>1</sup> を使用しない場合は システムの電源 (Vcc レベル) に接続してください。

## 1. 概要

分類	記号	ピン番号	入出力	名称および機能
LCD コントローラ ドライバ	SEG40	92	出力	LCD のセグメント出力端子です。
	SEG39	93		
	SEG38	94		
	SEG37	95		
	SEG36	96		
	SEG35	97		
	SEG34	98		
	SEG33	99		
	SEG32	100		
	SEG31	1		
	SEG30	2		
	SEG29	3		
	SEG28	4		
	SEG27	5		
	SEG26	6		
	SEG25	7		
	SEG24	8		
	SEG23	9		
	SEG22	10		
	SEG21	11		
	SEG20	13		
	SEG19	15		
	SEG18	16		
	SEG17	17		
	SEG16	18		
	SEG15	19		
	SEG14	20		
	SEG13	21		
	SEG12	22		
	SEG11	23		
	SEG10	24		
	SEG9	25		
	SEG8	26		
SEG7	27			
SEG6	28			
SEG5	29			
SEG4	30			
SEG3	31			
SEG2	32			
SEG1	33			
	COM4 ~ COM1	88 ~ 91	出力	LCD のコモン出力端子です。
	C2* <sup>1</sup>	83		LCD 駆動電源昇圧用容量端子です。
	C1* <sup>1</sup>	84		

分類	記号	ピン番号	入出力	名称および機能
DTMF 発生回路* <sup>1</sup>	TONED	55	出力	DTMF 信号の出力端子です。
I/O ポート	P17 ~ P10	41 ~ 34	入出力	8 ビットの入出力端子です。
	P35 ~ P30	81 ~ 76	入出力	6 ビットの入出力端子です。P34、P35 の出力形式は NMOS プッシュプル出力です。
	P47 ~ P40	45 ~ 52	入力	8 ビットの入力端子です。
	P77 ~ P70	68 ~ 75	入出力	8 ビットの入出力端子です。
	P97 P96	43 44	入力	2 ビットの入力端子です。
	PF3	82	入出力	1 ビットの入出力端子です。
	PH7	55	入力	1 ビットの入力端子です。
	PH3 ~ PH0	88 ~ 91	入出力	4 ビットの入出力端子です。
	PJ7 ~ PJ0	26 ~ 33	入出力	8 ビットの入出力端子です。
	PK7 ~ PK0	18 ~ 25	入出力	8 ビットの入出力端子です。
	PL7 PL6 PL5 PL4 PL3 PL2 PL1 PL0	8 9 10 11 13 15 16 17	入出力	8 ビットの入出力端子です。
	PM7* <sup>1</sup> PM6* <sup>1</sup> PM5* <sup>1</sup> PM4* <sup>1</sup> PM3* <sup>1</sup> PM2* <sup>1</sup> PM1* <sup>1</sup> PM0* <sup>1</sup>	100 1 2 3 4 5 6 7	入出力	8 ビットの入出力端子です。
	PN7 ~ PN0* <sup>1</sup>	92 ~ 99	入出力	8 ビットの入出力端子です。

【注】 \*1 H8S/2268 グループのみサポートします。

\*2 誤動作の原因になる可能性がありますのでノイズ対策を行ってください。

\*3 H8S/2264 グループではオプションです。

## 1. 概要

---

---

## 2. CPU

---

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

### 2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換  
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本  
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：65 種類  
8 / 16 / 32 ビット演算命令  
乗除算命令  
強力なビット操作命令
- アドレッシングモード：8 種類  
レジスタ直接 (Rn)  
レジスタ間接 (@ERn)  
ディスプレイメント付レジスタ間接 (@(d:16,ERn) / @(d:32,ERn))  
ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)  
絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)  
イミディエイト (#xx:8 / #xx:16 / #xx:32)  
プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))  
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト  
プログラム：16M バイト  
データ：16M バイト

## 2. CPU

---

- 高速動作

頻出命令をすべて1~2ステートで実行

8 / 16 / 32ビットレジスタ間加減算：1ステート

8×8ビットレジスタ間乗算：12ステート

16÷8ビットレジスタ間除算：12ステート

16×16ビットレジスタ間乗算：20ステート

32÷16ビットレジスタ間除算：20ステート

- CPU動作モード：2種類

ノーマルモード / アドバンスモード

【注】 本LSIではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

### 2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXR\*の機能、低消費電力状態などが異なる場合があります。

【注】 \* H8S/2268 グループのみサポートします。

### 2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張  
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張  
ノーマルモードのとき、H8/300 CPUと同一の64kバイトのアドレス空間を使用可能  
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化  
16Mバイトのアドレス空間を有効に使用可能
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
符号付き乗除算命令などを追加  
2ビットシフト命令を追加  
複数レジスタの退避 / 復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張  
8ビット×1本のコントロールレジスタを追加
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
2ビットシフト命令を追加  
複数レジスタの退避 / 復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64k バイト、アドバンスモードでは 16M バイトです。動作モードはモード端子によって決まります。

#### 2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大64kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。



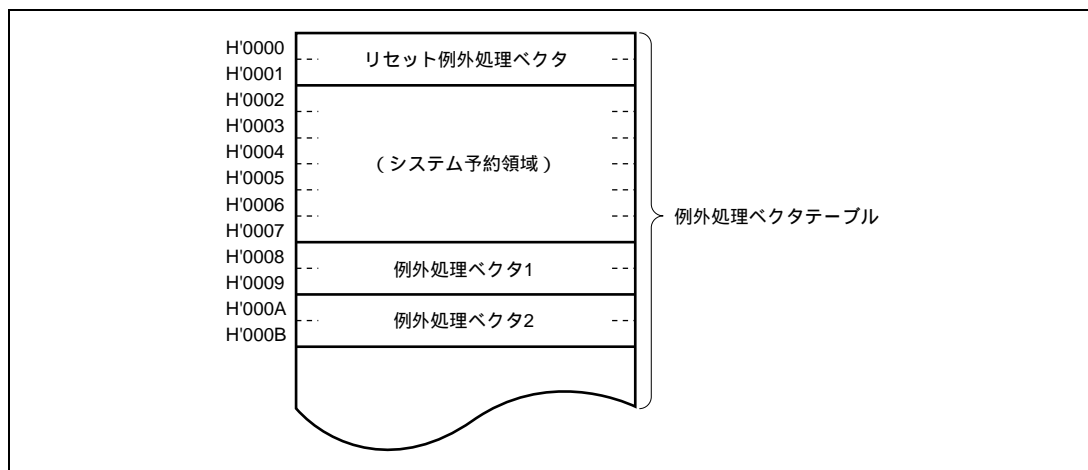


図 2.1 例外処理ベクタテーブル ( ノーマルモード )

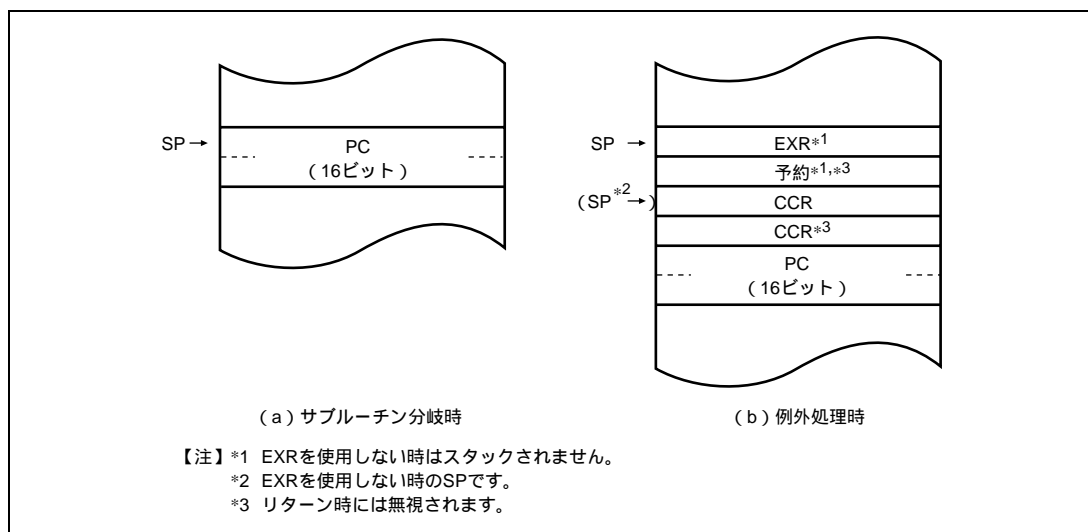


図 2.2 ノーマルモードのスタック構造

## 2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

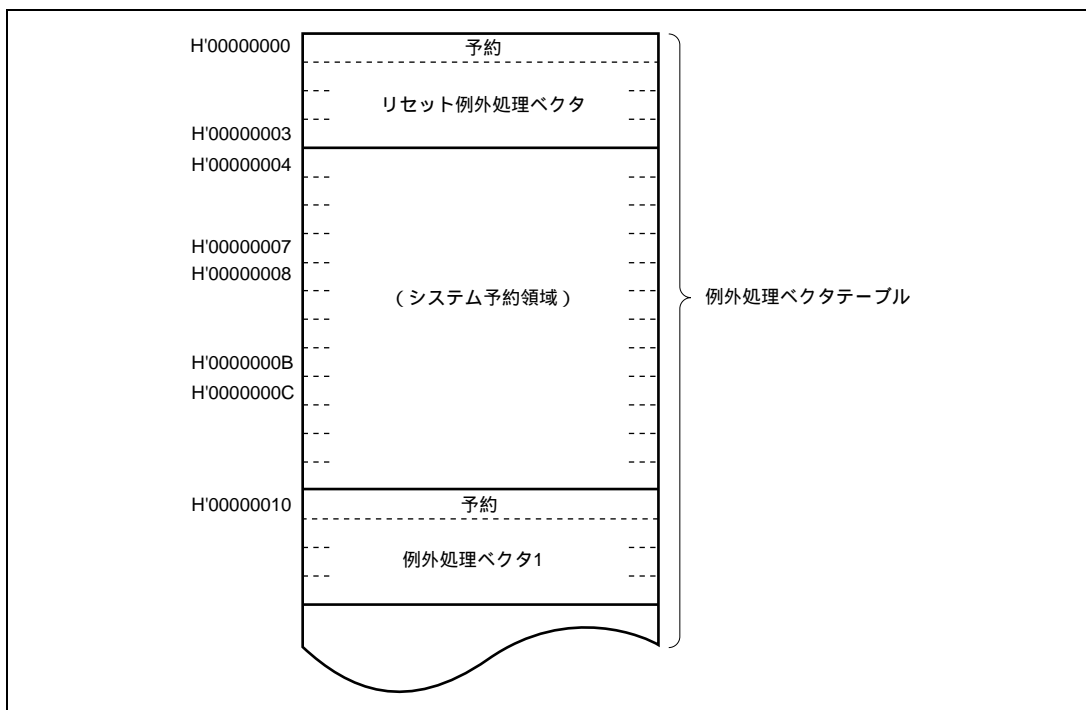


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXR\*のスタックの構造を図2.4に示します。EXR\*は割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】\* H8S/2268グループのみサポートします。

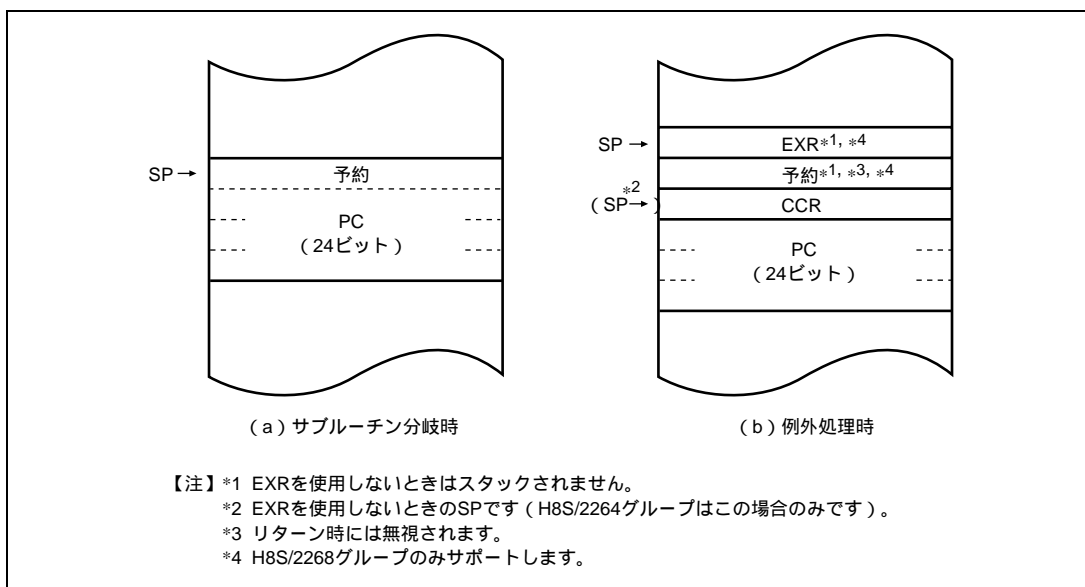


図 2.4 アドバンスモードのスタック構造

## 2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64k バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

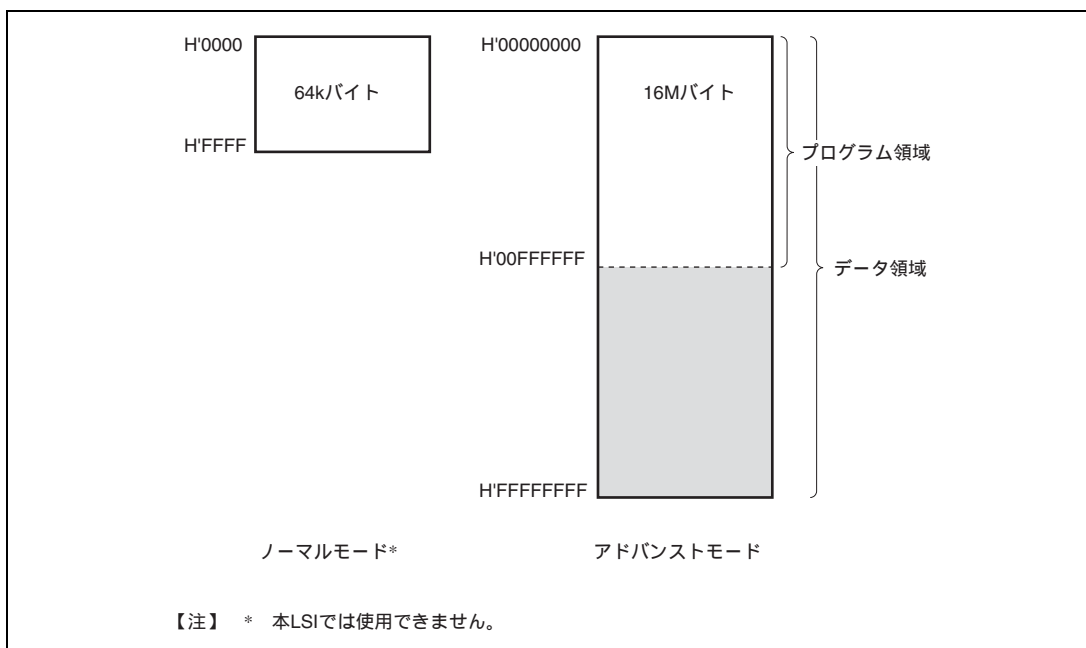


図 2.5 アドレス空間

## 2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)\*、8 ビットのコンディションコードレジスタ (CCR)があります。

【注】\* H8S/2268 グループのみサポートします。

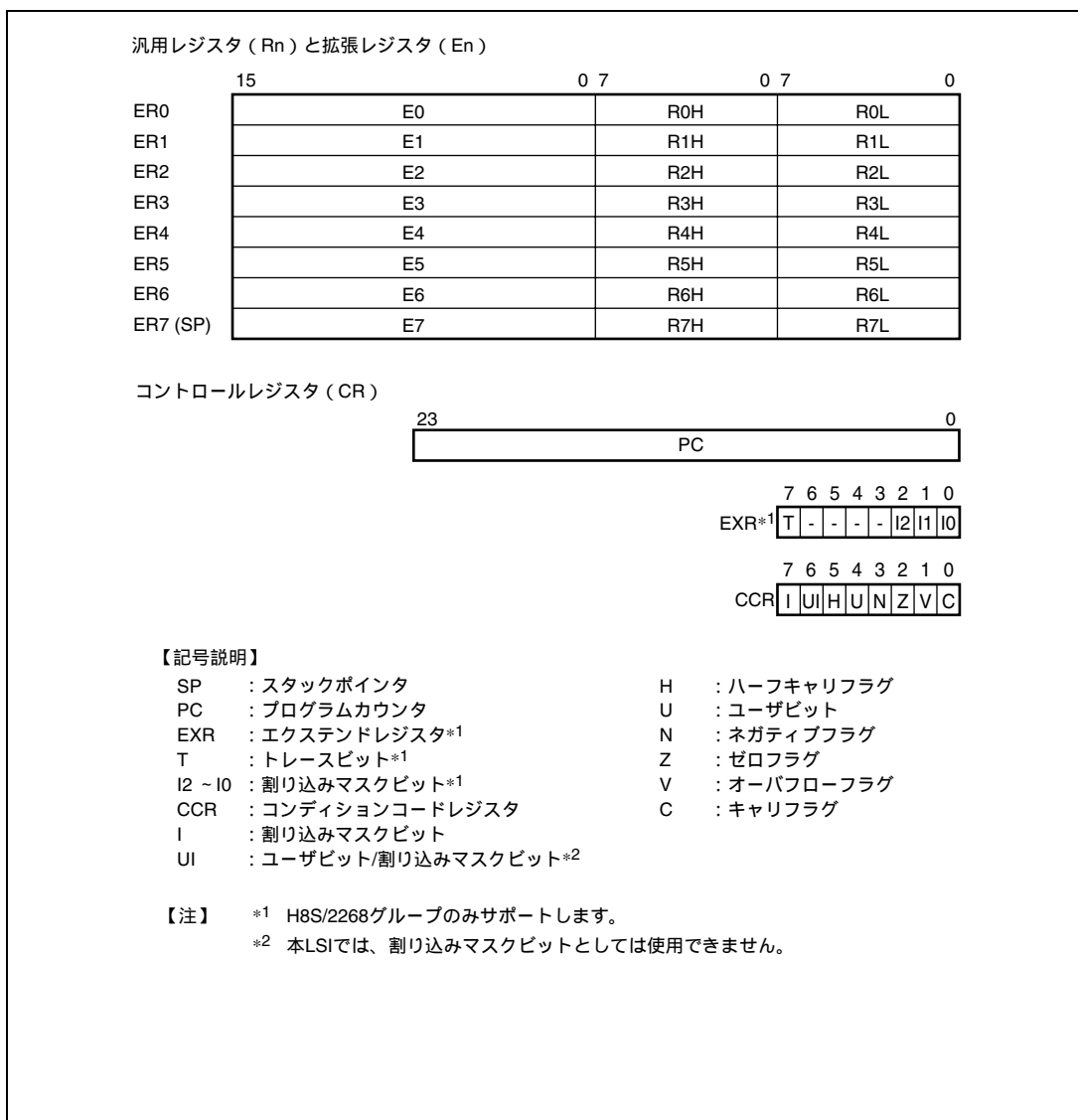


図 2.6 CPU 内部レジスタ構成

### 2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

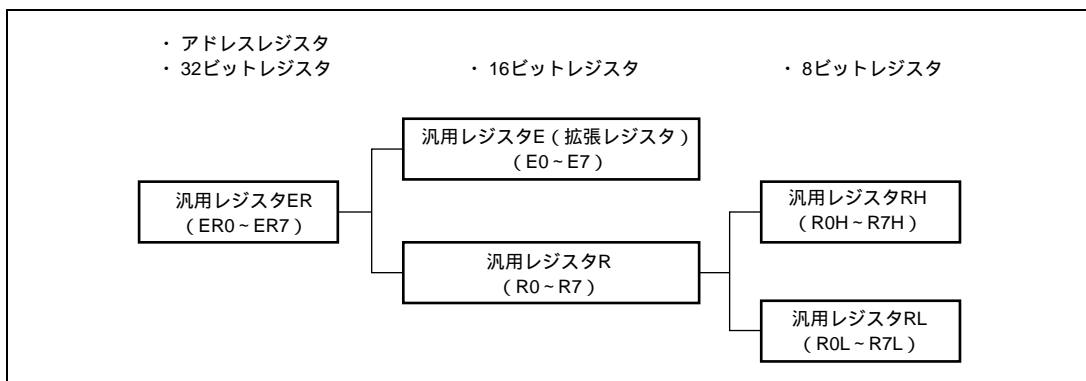


図 2.7 汎用レジスタの使用方法

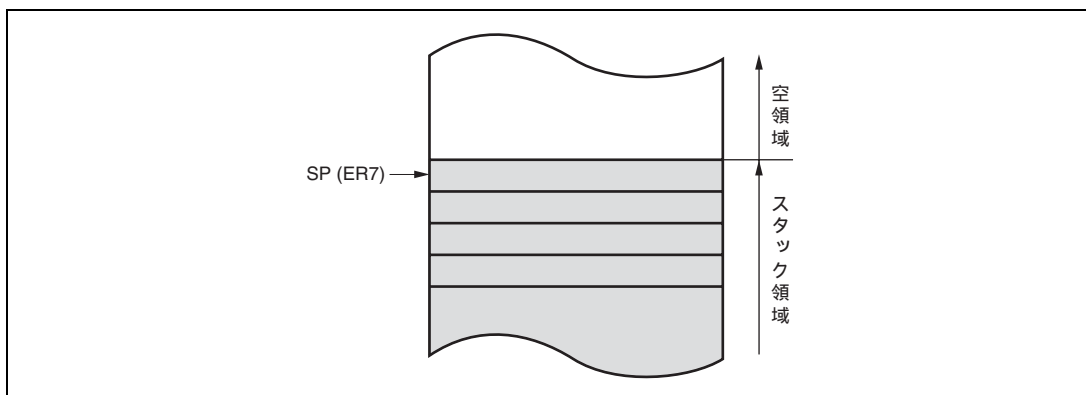


図 2.8 スタックの状態

## 2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

## 2.4.3 エクステンドレジスタ (EXR) (H8S/2268 グループのみ)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行することにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3		1		リザーブビット リードすると常に 1 がリードされます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

### 2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。



ビット	ビット名	初期値	R/W	説明
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> <li>• 加算結果のキャリ</li> <li>• 減算結果のポロー</li> <li>• シフト/ローテートのキャリ</li> </ul> また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

### 2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR\*の T ビットは 0 にクリアされ、EXR\*、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

【注】\* H8S/2268 グループのみサポートします。

## 2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第  $n$  ビット ( $n=0,1,2,\dots,7$ ) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

### 2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

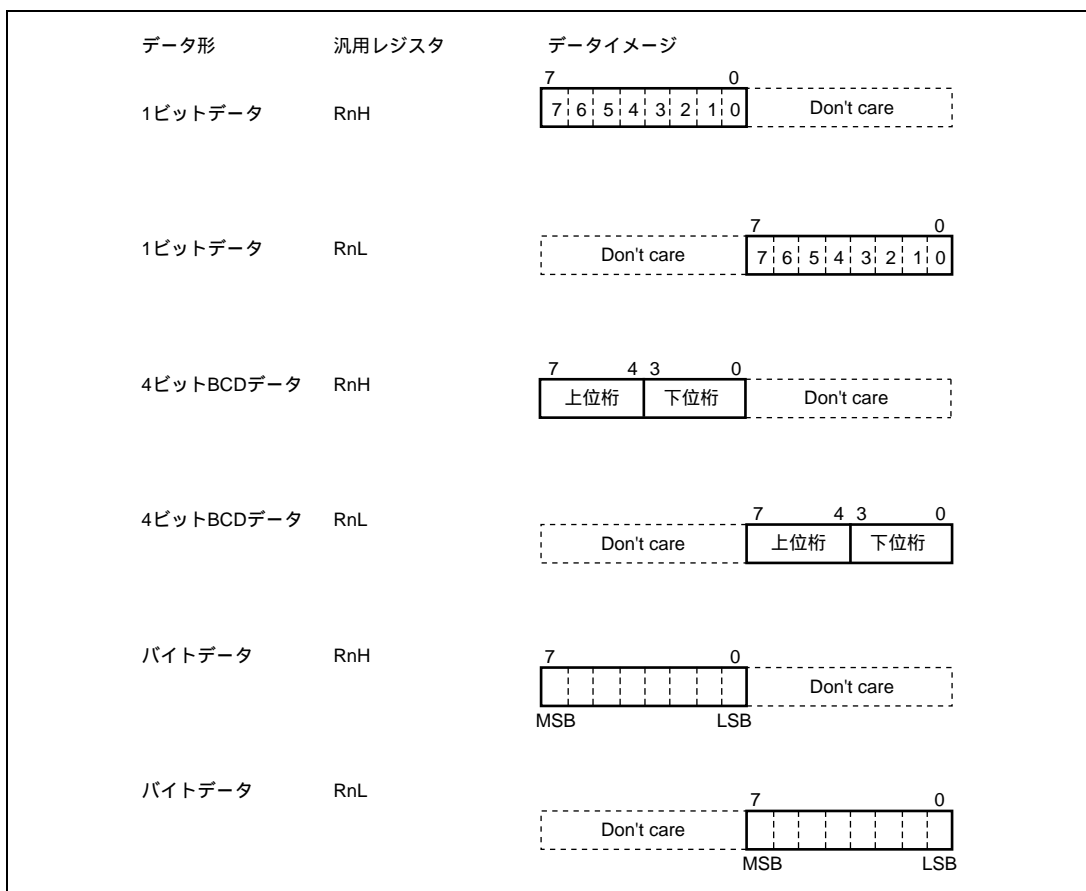


図 2.9 汎用レジスタのデータ形式 (1)

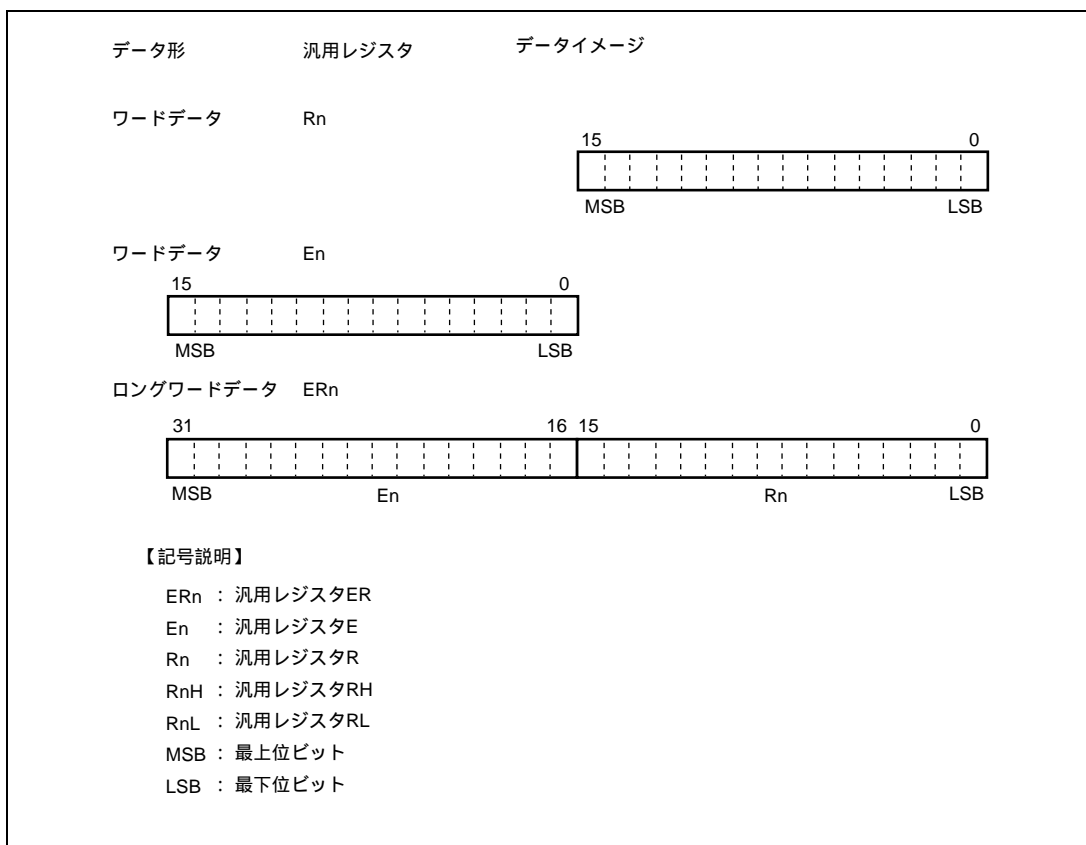


図 2.9 汎用レジスタのデータ形式 (2)

## 2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

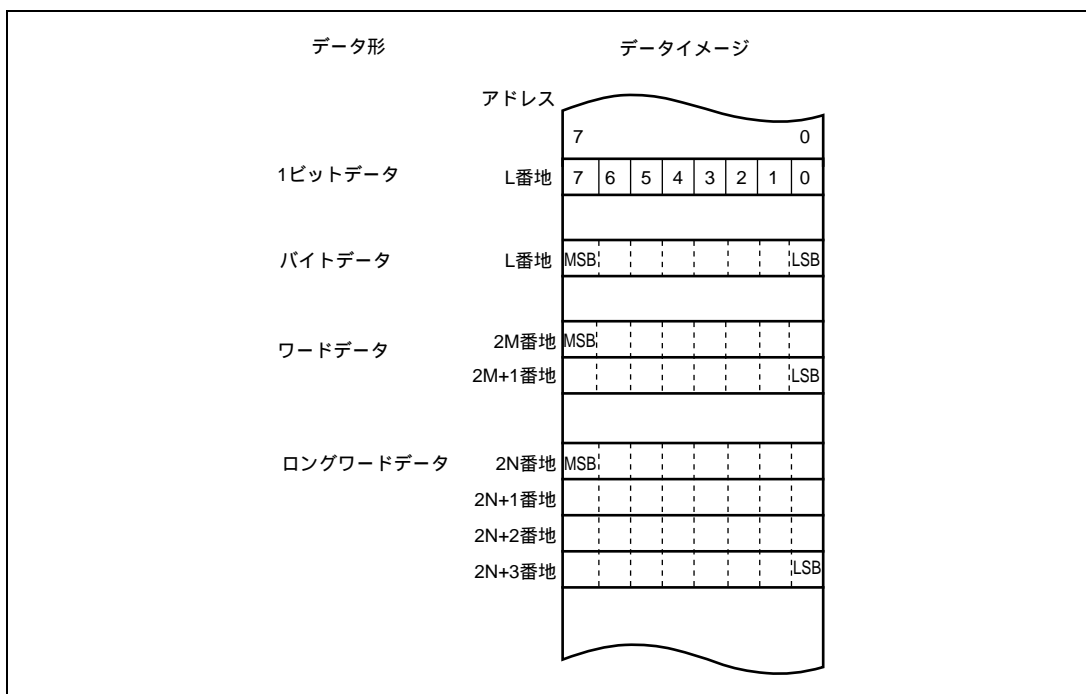


図 2.10 メモリ上でのデータ形式

## 2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B / W / L	5
	POP* <sup>1</sup> , PUSH* <sup>1</sup>	W / L	
	LDM* <sup>5</sup> , STM* <sup>5</sup>	L	
	MOVFP* <sup>3</sup> , MOVTP* <sup>3</sup>	B	
算術演算命令	ADD, SUB, CMP, NEG	B / W / L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B / W / L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B / W	
	EXTU, EXTS	W / L	
	TAS* <sup>4</sup>	B	
論理演算命令	AND, OR, XOR, NOT	B / W / L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B / W / L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * <sup>2</sup> , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【注】 B: バイトサイズ W: ワードサイズ L: ロングワードサイズ

- \*1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn, MOV.W Rn,@-SP と同一です。  
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn, MOV.L ERn,@-SP と同一です。
- \*2 Bcc は条件分岐命令の総称です。
- \*3 本 LSI では使用できません。
- \*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- \*5 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

## 2. CPU

### 2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)* <sup>1</sup>
Rs	汎用レジスタ (ソース側)* <sup>1</sup>
Rn	汎用レジスタ* <sup>1</sup>
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ* <sup>2</sup>
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 \*1 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

\*2 H8S/2268 グループのみサポートします。

表 2.3 データ転送命令

命令	サイズ* <sup>1</sup>	機能
MOV	B / W / L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W / L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* <sup>2</sup>	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* <sup>2</sup>	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

## 2. CPU

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B / W / L	$Rd \pm Rs$ $Rd$ , $Rd \pm \#IMM$ $Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ $Rd$ , $Rd \pm \#IMM \pm C$ $Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1$ $Rd$ , $Rd \pm 2$ $Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ $Rd$ , $Rd \pm 2$ $Rd$ , $Rd \pm 4$ $Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10$ 進補正) $Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット $\times$ 8 ビット 16 ビット、16 ビット $\times$ 16 ビット 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット $\times$ 8 ビット 16 ビット、16 ビット $\times$ 16 ビット 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット $\div$ 8 ビット 商 8 ビット余り 8 ビット、 32 ビット $\div$ 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード



表 2.4 算術演算命令 (2)

命令	サイズ*1	機能
DIVXS	B / W	Rd ÷ Rs Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット 商 8 ビット余り 8 ビット、 32 ビット ÷ 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
CMP	B / W / L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	0 - Rd Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W / L	Rd(ゼロ拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W / L	Rd(符号拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd - 0、1 (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット (ビット 7) を 1 にセットします。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

## 2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】\* サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】\* サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】\* サイズはオペランドサイズを示します。

B : バイト

## 2. CPU

表 2.7 ビット操作命令 (2)

命令	サイズ*	機 能
BXOR	B	$C \oplus (<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [ \sim (<\text{ビット番号}> \text{of} <\text{EAd}>)]$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V)=1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	C Z=0	BLS	Low or Same	C Z=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z (N⊕V)=0	BLE	Less or Equal	Z (N⊕V)=1
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low or Same	C Z=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z (N⊕V)=0																																																			
BLE	Less or Equal	Z (N⊕V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

## 2. CPU

表 2.9 システム制御命令

命令	サイズ* <sup>1</sup>	機 能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に移移します。
LDC	B / W	(EAs) CCR、(EAs) EXR* <sup>2</sup> 汎用レジスタまたはメモリの内容を CCR、EXR* <sup>2</sup> に転送します。また、イミディエイトデータを CCR、EXR* <sup>2</sup> に転送します。CCR、EXR* <sup>2</sup> は 8 ビットですが、メモリと CCR、EXR* <sup>2</sup> 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR (EAd)、EXR* <sup>2</sup> (EAd) CCR、EXR* <sup>2</sup> の内容を汎用レジスタまたはメモリに転送します。CCR、EXR* <sup>2</sup> は 8 ビットですが、CCR、EXR* <sup>2</sup> とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR* <sup>2</sup> CCR、EXR* <sup>2</sup> とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR* <sup>2</sup> CCR、EXR* <sup>2</sup> とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR* <sup>2</sup> CCR、EXR* <sup>2</sup> とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

\*2 H8S/2268 グループのみサポートします。

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then   Repeat @ER5+ @ER6+     R4L - 1 R4L   Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then   Repeat @ER5+ @ER6+     R4 - 1 R4   Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

## 2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

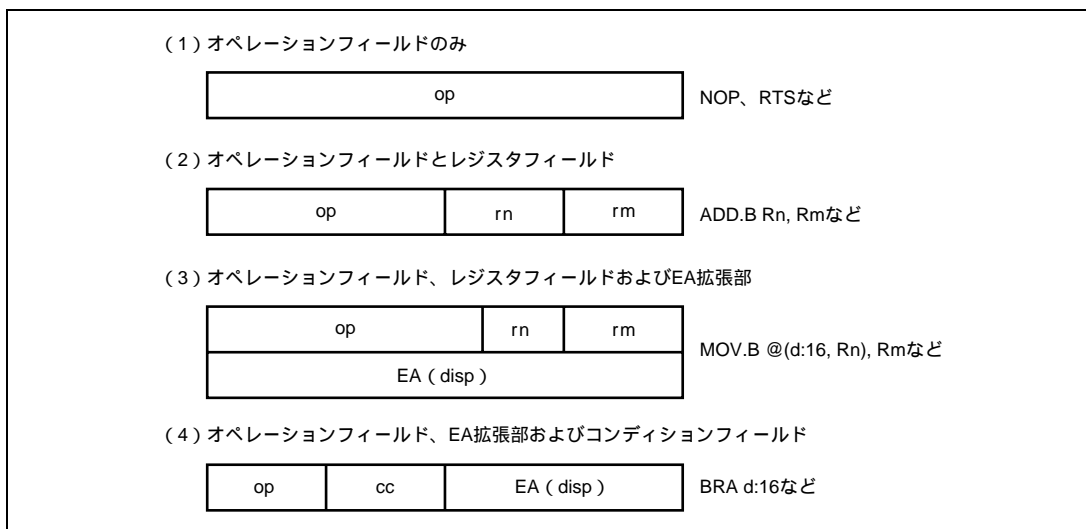


図 2.11 命令フォーマットの例



## 2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

### 2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

### 2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

### 2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

## 2.7.4 ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

### (1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。

### (2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数になるようにしてください。

## 2.7.5 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスドモード
データ領域	8 ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 \* 本 LSI では使用できません。

### 2.7.6 イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

### 2.7.7 プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト ( - 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト ( - 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

### 2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 ( ノーマルモード\*のとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF ) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします ( 「2.5.2 メモリ上でのデータ形式」を参照してください)。

【注】 \* 本 LSI では使用できません。

## 2. CPU

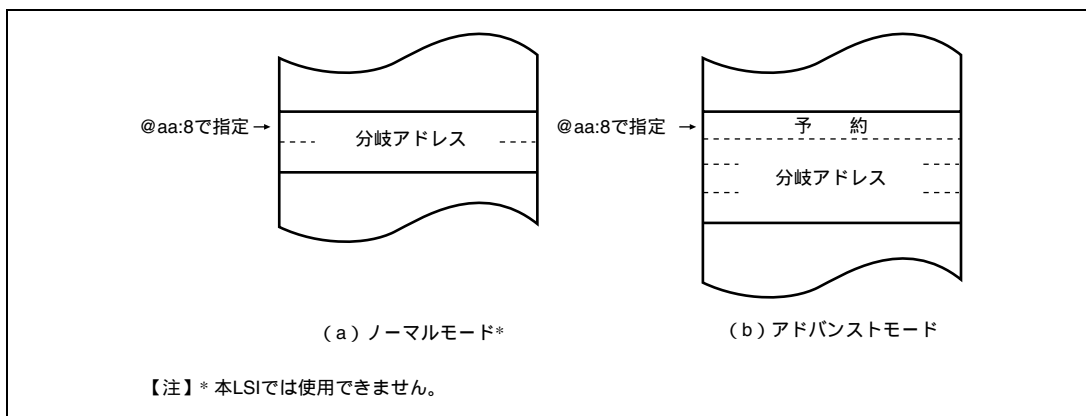


図 2.12 メモリ間接による分岐アドレスの指定

### 2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

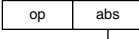

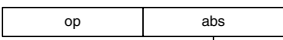
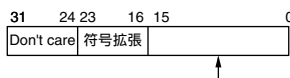
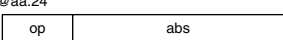
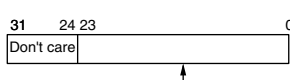

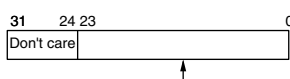
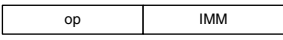
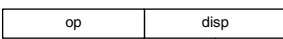
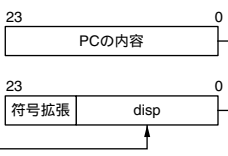
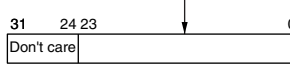
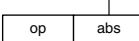
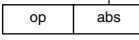
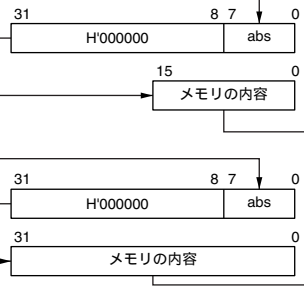
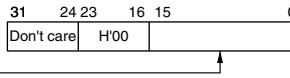
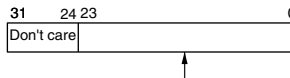
ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） 		
3	ディスプレースメント付きレジスタ間接 @d:16,ERn / @(d:32,ERn) 		
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 		

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8 / #xx:16 / #xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード*  ・アドバンスドモード 		 

【注】\* 本LSIでは使用できません。

### 2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態（H8S/2268グループのみ）

データトランスファコントローラ（DTC）を内蔵している製品で、CPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- 低消費電力状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第22章 低消費電力状態」を参照してください。

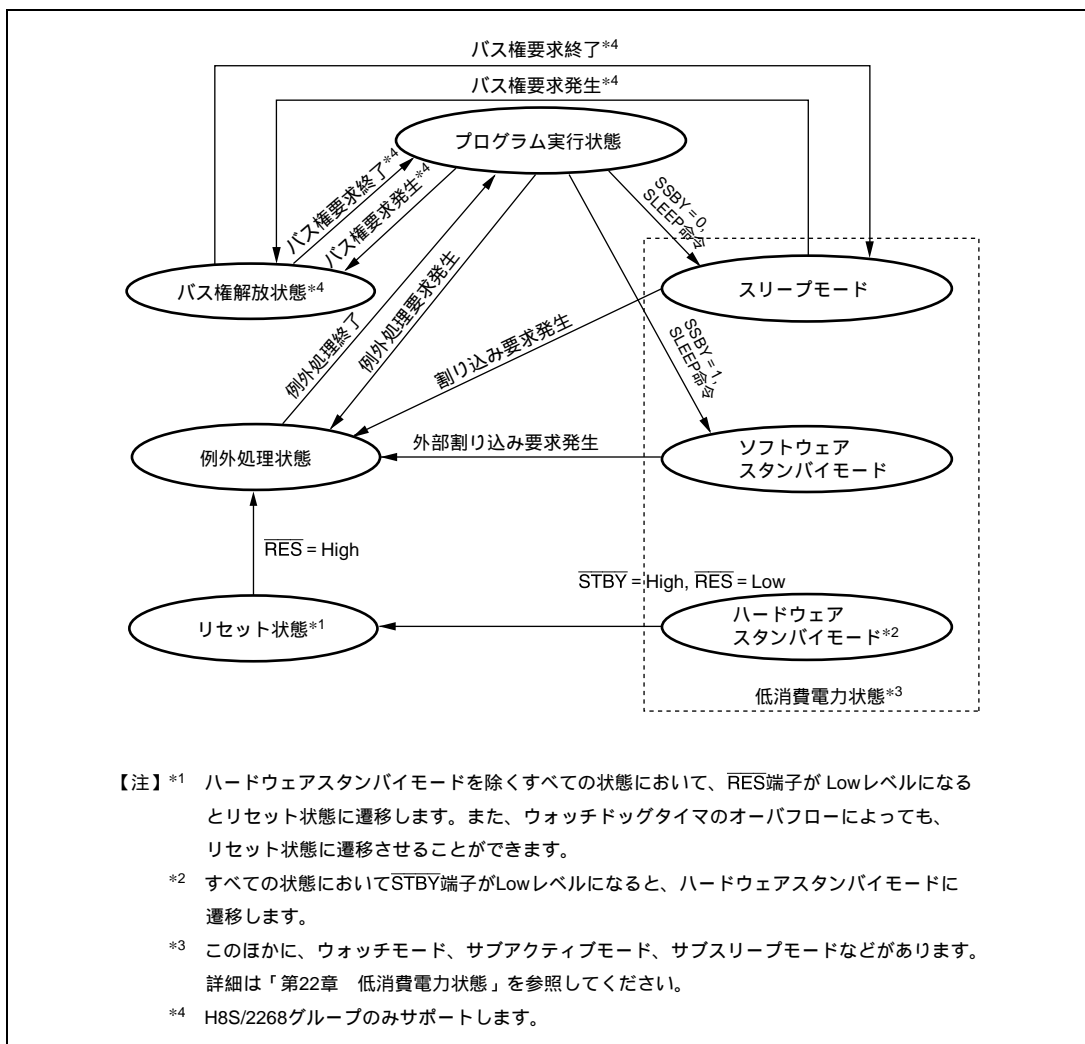


図 2.13 状態遷移図

## 2.9 使用上の注意事項

### 2.9.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

### 2.9.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、待避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

一命令で待避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。

そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0 ER1、ER2 ER3、ER4 ER5

3 本 : ER0 ER2、ER4 ER6

4 本 : ER0 ER3

また、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

### 2.9.3 ビット操作命令

ライト専用ビットを含むレジスタに対してビット操作命令を使用すると本来操作すべきビットが正しく操作されない場合や、ビット操作に無関係のビットが変化することがあります。

ライト専用ビットを含むレジスタをリードすると固定値や不定値をリードします。したがって、リードした値を演算に使用するビット操作命令 (BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD) は正しいビット操作がされません。

また、演算したあとにリードしたデータに対してライトを伴うビット操作命令 (BSET、BCLR、BNOT、BST、BIST) はビット操作に無関係のビットが変化することがありますので、ライト専用ビットを含むレジスタに対してビット操作命令を行う場合は注意が必要です。

BSET、BCLR、BNOT、BST、BIST の各命令は、

1. バイト単位でデータをリード
2. リードしたデータを命令に従いビット操作
3. 再びバイト単位でデータをライト

の順番で動作を行います。



- 例 ポート1のP1DDRのビット4のみをクリアするのにBCLR命令を実行した場合

P1DDRは、8ビットのライト専用ビットで構成されたレジスタで、ポート1の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR命令でP14を入力ポートに指定する例を示します。現時点では、P17～P14は出力端子に、P13～P10は入力端子に設定されているとします。この時点で、P1DDRの値はH'F0です。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

P14を出力端子から入力端子に切り替えるには、P1DDRのビット4の値を1から0(H'F0→H'E0)に変えなければなりません。ここでBCLR命令を使ってP1DDRのビット4をクリアするとします。

BCLR #4, @P1DDR

しかし、ライト専用レジスタであるP1DDRに対して上記のようにビット操作命令を行うと以下のような不具合が発生する場合があります。

P1DDRに対して、最初にバイト単位でデータをリードしますが、このとき、リードされる値は不定値です。不定値は、レジスタ上では0または1となりますが、どちらの値がリードされるか解かりません。P1DDRはすべてライト専用ビットなので、どのビットでも不定値をリードします。ここでは、本来のP1DDRの値はH'F0ですが、ビット3が1となるH'F8がリードされたとします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
リード値	1	1	1	1	1	0	0	0

ビット操作は、このリードされた値に対して行われます。この例ではH'F8に対してビット4をクリアします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
ビット操作後	1	1	1	0	1	0	0	0

ビット操作を行ったあと、そのデータをP1DDRにライトしてBCLR命令を終了します。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	出力	入力	入力	入力
P1DDR	1	1	1	0	1	0	0	0
ライト値	1	1	1	0	1	0	0	0

## 2. CPU

本来は P1DDR の値を H'E0 に書き換えるはずでしたが、実際は H'E8 がライトされ、入力端子であるはずの P13 が出力端子に変化してしまいます。ここではリードしたときに P1DDR のビット 3 が 1 の場合について説明しましたが、P1DDR のビット 7～ビット 0 をリードした場合にはリード値は不定ですので、ビット操作命令終了後には 0 が 1 に変化したり、1 が 0 に変化したりしますので注意してください。このような事態を避けるために、ライト専用ビットを含むレジスタの値を変更する場合は、「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

### 2.9.4 ライト専用ビットを含むレジスタのアクセス方法

ライト専用ビットを含むレジスタからのデータ転送命令、またはライト専用ビットを含むレジスタに対してビット操作命令を行うと不定値をリードします。不定値をリードしないために、以下のような方法を用いてライト専用ビットを含むレジスタにアクセスしてください。

ライト専用ビットを含むレジスタにライトする際は、内蔵 RAM などのメモリ上にワークエリアを設け、そこに一度データをライトしてから、そのメモリに対してアクセスを行い、そのメモリのデータをライト専用ビットを含むレジスタにライトするようにしてください。

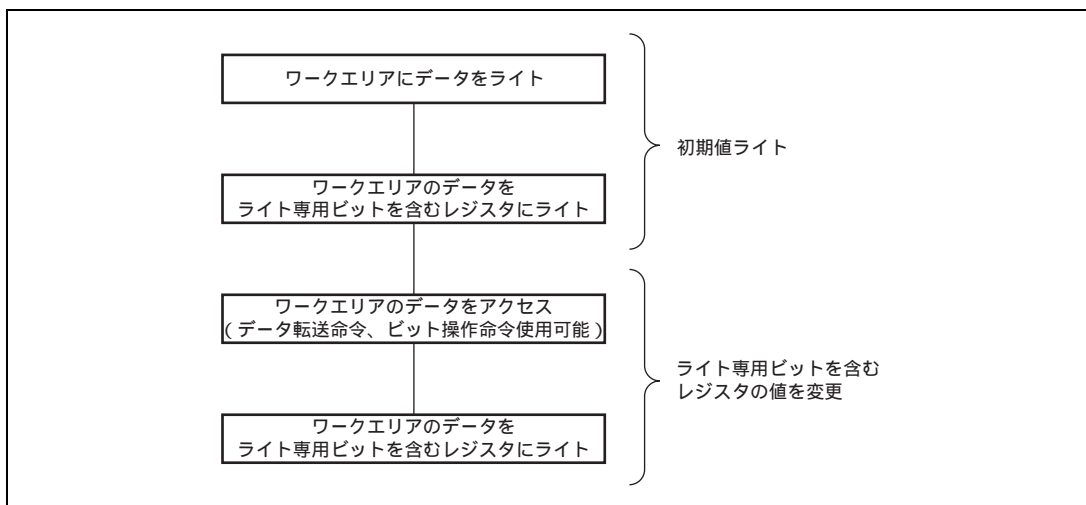


図 2.14 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例

- 例 ポート1のP1DDRのビット4のみをクリアする場合

P1DDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。まず P1DDR にライトする初期値 H'F0 をあらかじめメモリ上のワークエリア (RAM0) にライトしておきます。

```
MOV.B #H'F0, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	1	0	0	0	0
------	---	---	---	---	---	---	---	---

P14 を出力端子から入力端子に切り替えるには、P1DDR のビット 4 の値を 1 から 0 (H'F0 → H'E0) に変えなければなりません。ここで BCLR 命令を RAM0 に対して行います。

```
BCLR #4, @RAM0
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

RAM0 はリード/ライト可能なので、ビット操作命令を行うと、RAM0 のビット 4 のみがクリアされます。この RAM0 の値を P1DDR にライトします。

```
MOV.B @RAM0, R0L
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	入力	入力	入力	入力
P1DDR	1	1	1	0	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

この手順でライト専用ビットを含むレジスタのアクセスを行えば、命令の種類に依存せずにプログラムを作ることができます。



## 3. MCU 動作モード

### 3.1 動作モードの選択

本 LSI は、アドバンスト・シングルチップモードをサポートしています。

動作モードは、モード端子 (MD2、MD1) の設定で決まります。アドバンスト・シングルチップモード以外は、本 LSI は使用できません。モード端子はすべて High レベルに固定してください。また、モード端子は動作中に変化させないでください。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	CPU 動作モード	内容	内蔵 ROM	外部データバス	
						初期値	最大値
7	1	1	アドバンスト	シングルチップモード	有効	-	-

### 3.2 レジスタの説明

動作モードに関連するレジスタは以下のものがあります。

- モードコントロールレジスタ (MDCR)

#### 3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、本 LSI の現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6~3		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2 1	MDS2 MDS1		R R	モードセレクト 2、1 モード端子 (MD2、MD1) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2、MDS1 ビットは MD2、MD1 端子にそれぞれ対応します。これらのビットはリード専用でライト無効です。MDCR をリードすると、モード端子 (MD2、MD1) の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
0		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

### 3. MCU 動作モード

## 3.3 動作モードの説明

CPU はアドバンスト・シングルチップモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

## 3.4 アドレスマップ

アドレスマップを図 3.1 に示します。

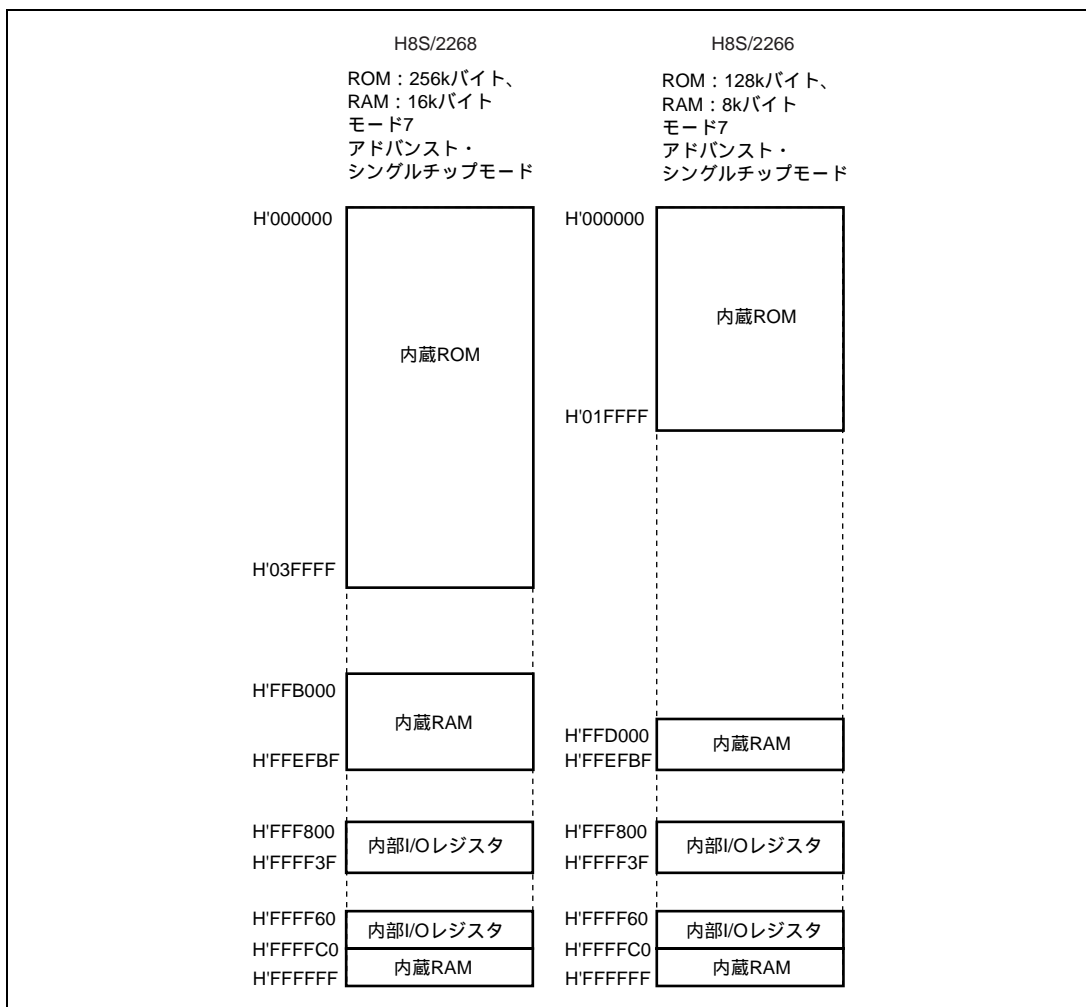


図 3.1 アドレスマップ (1)

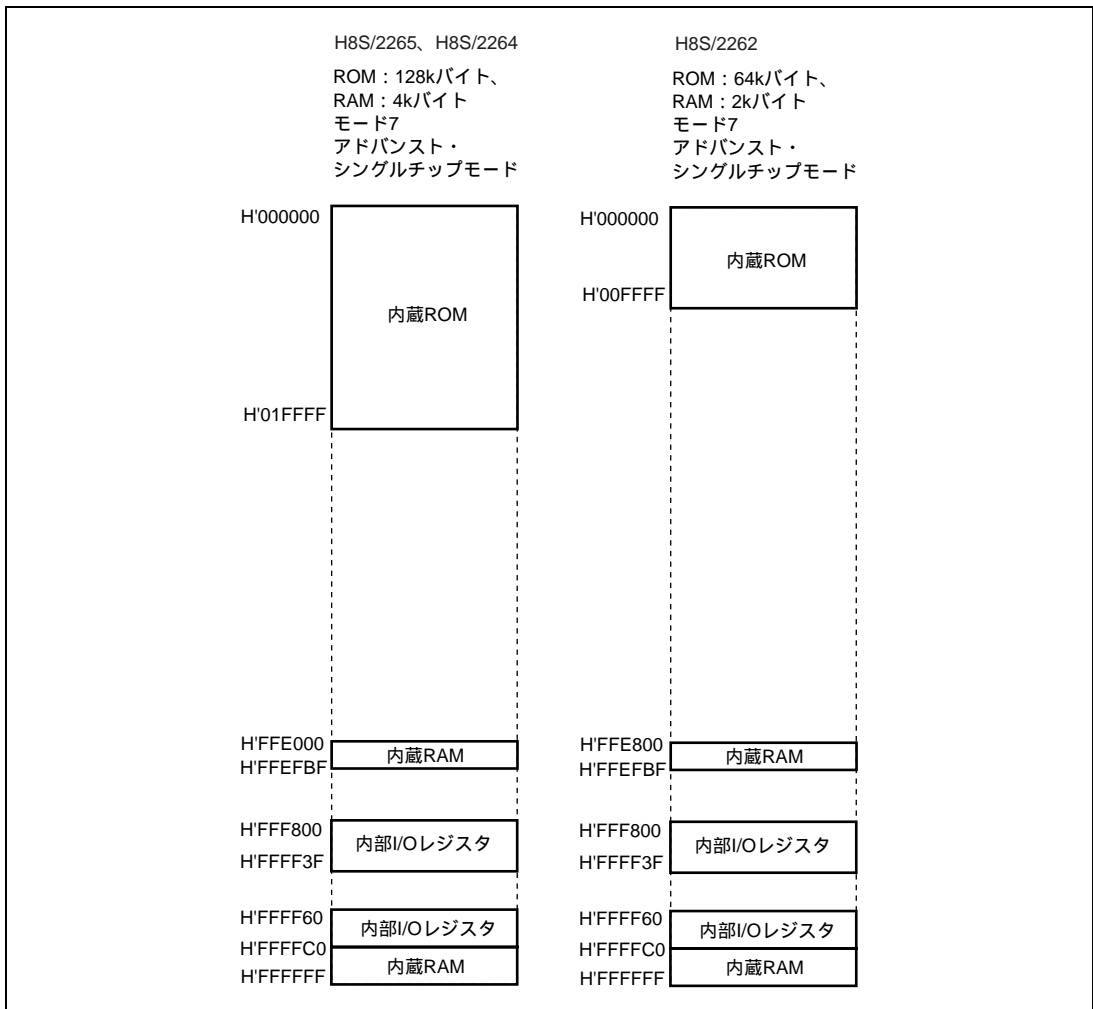


図 3.1 アドレスマップ (2)

### 3. MCU 動作モード

---



---

## 4. 例外処理

---

### 4.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トレース\*、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。RES 端子が Low レベルのときリセット状態になります。
	トレース*	トレース (T) ビットが 1 の状態で、命令または例外処理の実行終了時に開始します。トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

【注】\* H8S/2268 グループのみサポートします。

## 4. 例外処理

### 4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス* <sup>1</sup>
		アドバンストモード
リセット	0	H'0000 ~ H'0003
システム予約	1	H'0004 ~ H'0007
	2	H'0008 ~ H'000B
	3	H'000C ~ H'000F
	4	H'0010 ~ H'0013
トレース* <sup>4</sup>	5	H'0014 ~ H'0017
直接遷移* <sup>3</sup>	6	H'0018 ~ H'001B
外部割り込み NMI	7	H'001C ~ H'001F
トラップ命令 (4 要因)	8	H'0020 ~ H'0023
	9	H'0024 ~ H'0027
	10	H'0028 ~ H'002B
	11	H'002C ~ H'002F
システム予約	12	H'0030 ~ H'0033
	13	H'0034 ~ H'0037
	14	H'0038 ~ H'003B
	15	H'003C ~ H'003F
外部割り込み IRQ0	16	H'0040 ~ H'0043
外部割り込み IRQ1	17	H'0044 ~ H'0047
システム予約	18	H'0048 ~ H'004B
外部割り込み IRQ3	19	H'004C ~ H'004F
外部割り込み IRQ4	20	H'0050 ~ H'0053
外部割り込み IRQ5* <sup>4</sup>	21	H'0054 ~ H'0057
システム予約	22	H'0058 ~ H'005B
	23	H'005C ~ H'005F
内部割り込み* <sup>2</sup>	24	H'0060 ~ H'0063
	107	H'01AC ~ H'01AF
外部割り込み WKP0 ~ WKP7	108	H'01B0 ~ H'01B3

例外処理要因	ベクタ番号	ベクタアドレス*1
		アドバンスモード
内部割り込み	120	H'01E0 ~ H'01E3
	123	H'01EC ~ H'01EF

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 内部割り込みのベクタテーブルは、「5.4.3 割り込み例外処理ベクタテーブル」を参照してください。

\*3 直接遷移については、「22.10 直接遷移」を参照してください。

\*4 H8S/2268 グループのみサポートします。

## 4.3 リセット

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$  端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ (WDT)」を参照してください。

### 4.3.1 リセット例外処理

$\overline{\text{RES}}$  端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。また、動作中は  $\overline{\text{RES}}$  端子を最低 20 ステートの間、Low レベルにしてください。

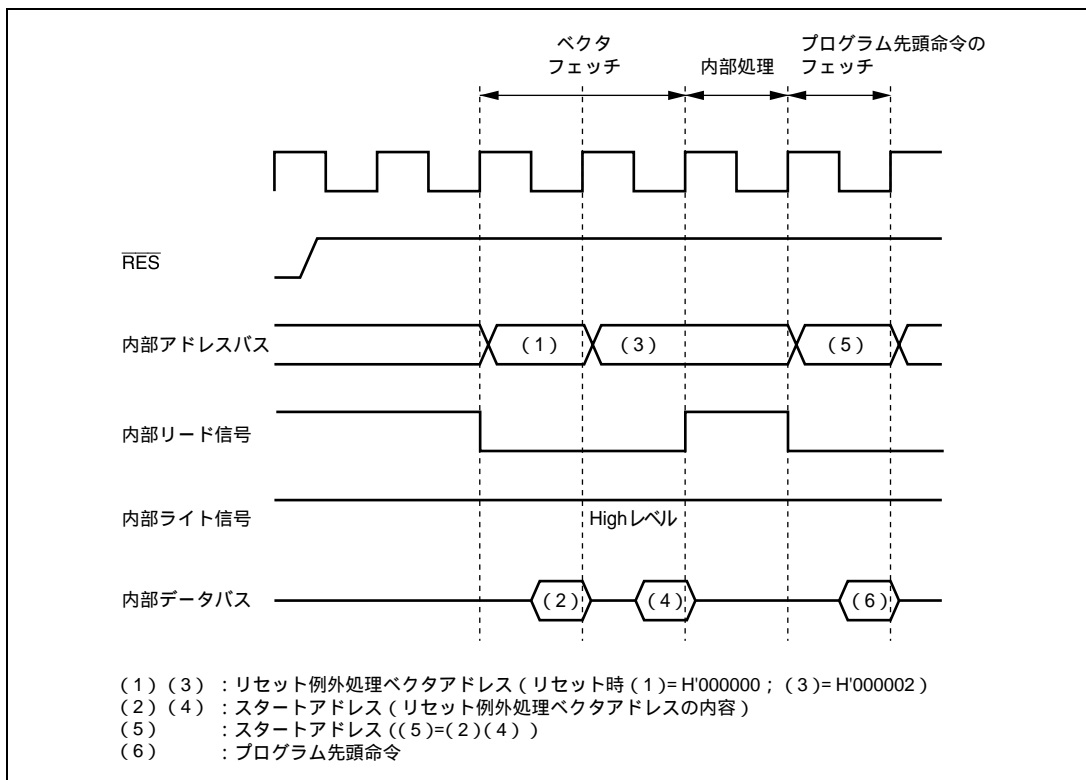
$\overline{\text{RES}}$  端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。  
EXR\* の T ビットは 0 にクリアされ、EXR\* の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

【注】 \* H8S/2268 グループのみサポートします。

## 4. 例外処理

リセットシーケンスの例を図 4.1 に示します。



### 4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

### 4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'3F、MSTPCRB ~ MSTPCRD は H'FF に初期化され、DTC (H8S/2268 グループのみ) を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

## 4.4 トレース例外処理（H8S/2268 グループのみ）

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットが1にセットされていると、トレースモードになります。トレースモードが設定されていると、1命令の実行を終了するたびにトレース例外処理を開始します。トレース例外処理実行後、EXRのTビットが0にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。表4.3にトレース命令例外処理実行後のCCR、EXRの状態を示します。トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避されたTビットは1を保持しており、RTE命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。RTE命令実行後は、トレース例外処理を行いません。

表 4.3 トレース例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

### 【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

## 4.5 割り込み例外処理

割り込みは、割り込みコントローラによって制御されます。

H8S/2268グループの割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）、エクステンドレジスタ（EXR）\*をスタックに退避します。
2. 割り込みマスクビットを更新します。  
Tビット\*を0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

【注】 \* H8S/2268グループのみサポートします。

## 4. 例外処理

---

### 4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR)\* をスタックに退避します。
2. 割り込みマスクビットを更新します。  
Tビット\*を0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR\*の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR\*の状態

割り込み制御モード	CCR		EXR*	
	I	UI	I2~I0	T
0	1	-	-	-
2*	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。  
0 : 0 にクリアされます。  
- : 実行前の値が保持されます。

【注】 \* H8S/2268 グループのみサポートします。

## 4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

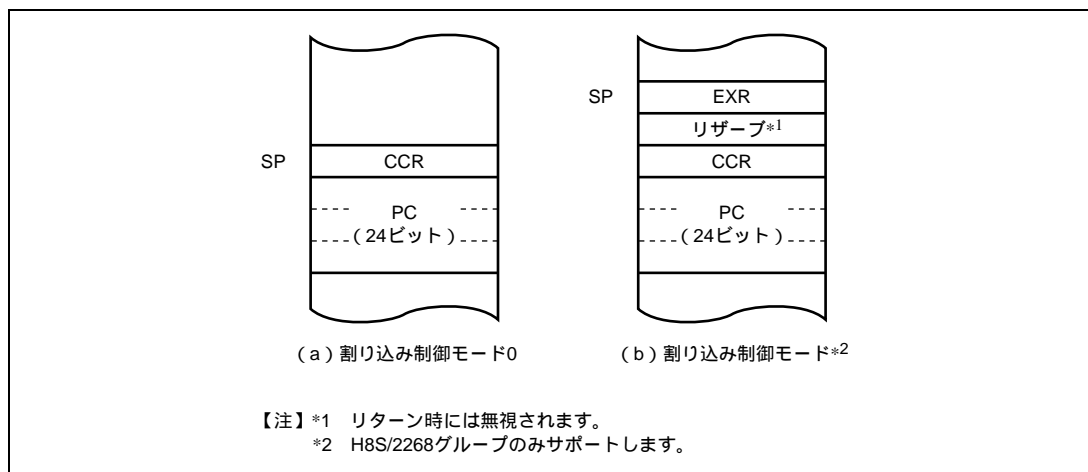


図 4.2 例外処理終了後のスタックの状態 (アドバンスモード)

## 4.8 使用上の注意事項

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.3 に示します。

#### 4. 例外処理

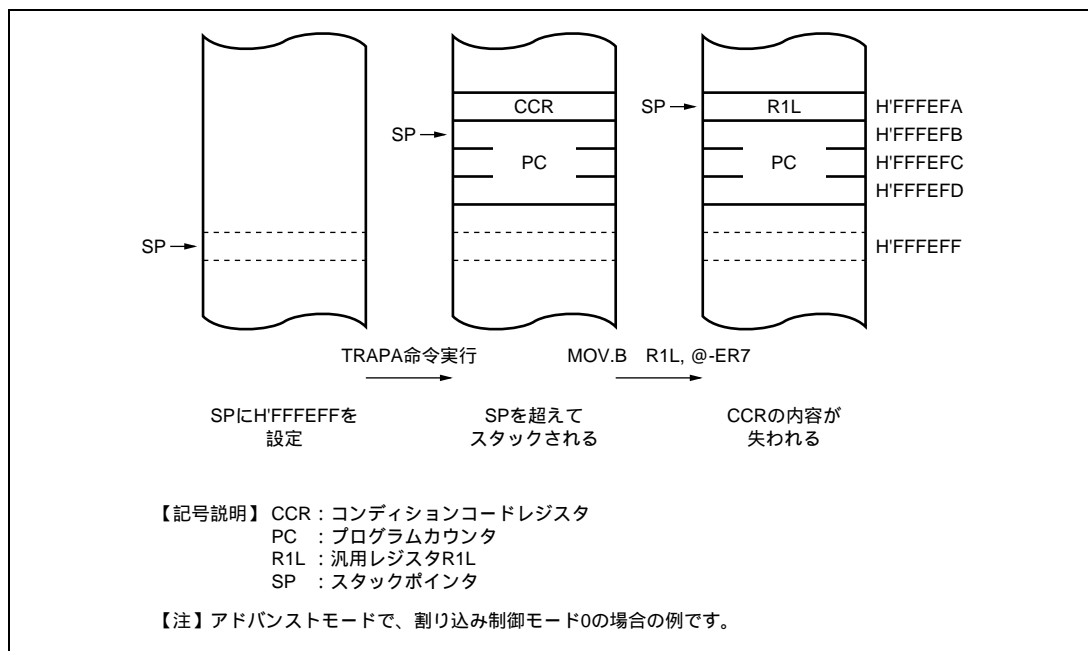


図 4.3 SP を奇数に設定したときの動作



---

## 5. 割り込みコントローラ

---

### 5.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

- 2種類の割り込み制御モード (H8S/2268グループのみ)  
システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードを設定できます。
- IPRにより、優先順位を設定可能 (H8S/2268グループのみ)  
割り込み優先順位を設定するインタラプトプライオリティレジスタ (IPR) を備えており、NMI以外の割り込みは、モジュールごとに8レベルの優先順位を設定できます。  
NMIは、最優先のレベル8の割り込み要求として、常に受け付けられます。
- 独立したベクタアドレス  
WKP7～WKP0を除くすべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 外部割り込み端子  
H8S/2268グループ：14本 (NMI、IRQ5～3、IRQ1、IRQ0、WKP7～WKP0)  
H8S/2264グループ：13本 (NMI、IRQ4、IRQ3、IRQ1、IRQ0、WKP7～WKP0)  
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。  
IRQ5～IRQ3、IRQ1、IRQ0は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。  
WKP7～WKP0は立ち下がりエッジで受け付けられます。
- DTCの制御 (H8S/2268グループのみ)  
割り込みによるDTCの起動の制御を行います。

## 5. 割り込みコントローラ

H8S/2268 グループの割り込みコントローラのブロック図を図 5.1 に、H8S/2264 グループの割り込みコントローラのブロック図を図 5.2 に示します。

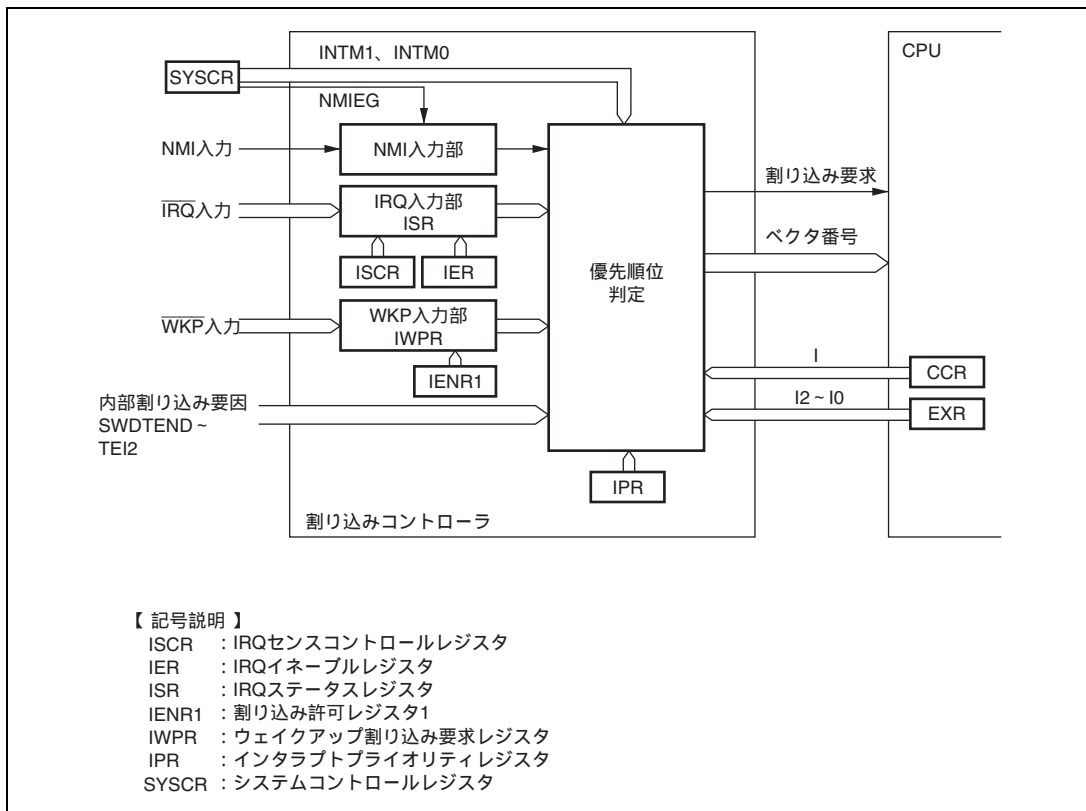


図 5.1 H8S/2268 グループの割り込みコントローラのブロック図

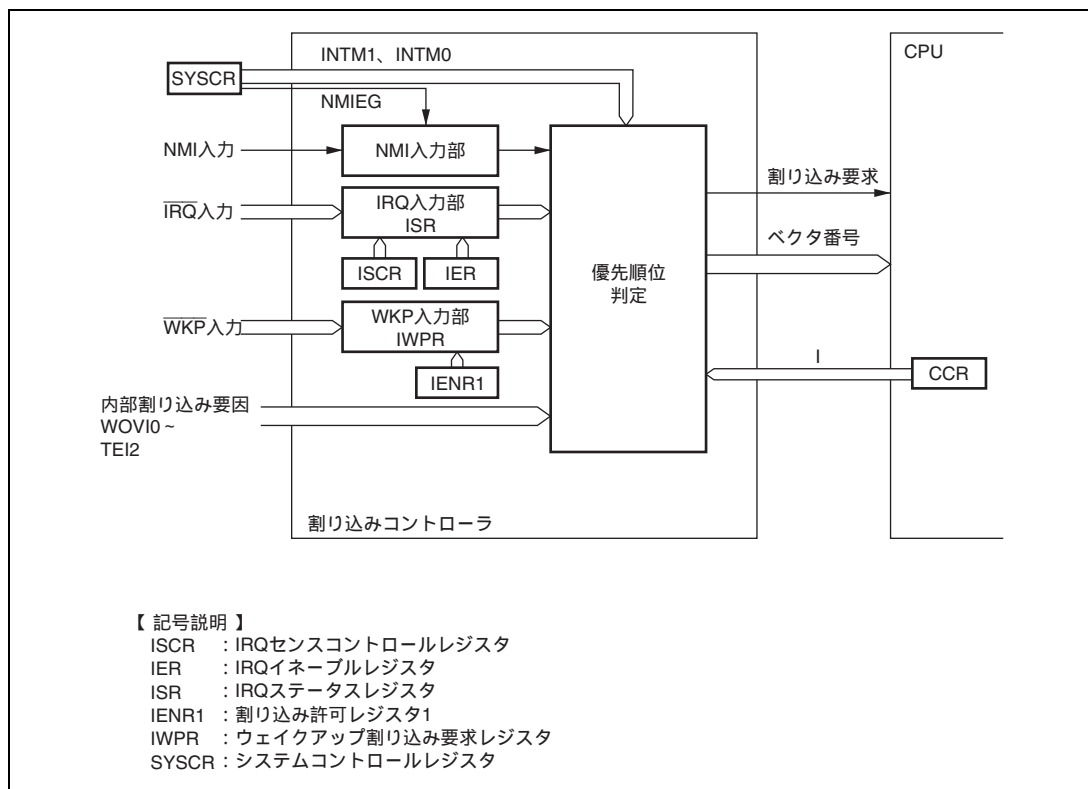


図 5.2 H8S/2264 グループの割り込みコントローラのブロック図

## 5. 割り込みコントローラ

---

### 5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスクابل外部割り込み。立ち上がりエッジまたは立ち下がりエッジを選択可能
$\overline{\text{IRQ5}}^*$	入力	マスク可能な外部割り込み。立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可能
$\overline{\text{IRQ4}}$	入力	
$\overline{\text{IRQ3}}$	入力	
$\overline{\text{IRQ1}}$	入力	
$\overline{\text{IRQ0}}$	入力	
$\overline{\text{WKP7}}$	入力	マスク可能な外部割り込み。立ち下がりエッジで受け付け
$\overline{\text{WKP6}}$	入力	
$\overline{\text{WKP5}}$	入力	
$\overline{\text{WKP4}}$	入力	
$\overline{\text{WKP3}}$	入力	
$\overline{\text{WKP2}}$	入力	
$\overline{\text{WKP1}}$	入力	
$\overline{\text{WKP0}}$	入力	

【注】 \* H8S/2268 グループのみサポートします。

### 5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- システムコントロールレジスタ (SYSCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCR L)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA) \*
- インタラプトプライオリティレジスタB (IPRB) \*
- インタラプトプライオリティレジスタC (IPRC) \*
- インタラプトプライオリティレジスタD (IPRD) \*
- インタラプトプライオリティレジスタE (IPRE) \*

- インタラプトプライオリティレジスタF (IPRF) \*
- インタラプトプライオリティレジスタG (IPRG) \*
- インタラプトプライオリティレジスタI (IPRI) \*
- インタラプトプライオリティレジスタJ (IPRJ) \*
- インタラプトプライオリティレジスタK (IPRK) \*
- インタラプトプライオリティレジスタL (IPRL) \*
- インタラプトプライオリティレジスタM (IPRM) \*
- インタラプトプライオリティレジスタO (IPRO) \*
- ウェイクアップ割り込み要求レジスタ (IWPR)
- 割り込み許可レジスタ1 (IENR1)

【注】 \* H8S/2268 グループのみサポートします。

### 5.3.1 システムコントロールレジスタ (SYSCR)

SYSCR は、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット ライト時は必ず0としてください。
6		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込み制御選択モード 1、0 (H8S/2268 グループ) 割り込みコントローラの割り込み制御モードを2つのモードの中から選択します。 00：割り込み制御モード0 (1ビットで、割り込みを制御します。) 01：設定禁止 10：割り込み制御モード2 (12~10ビットとIPRで、割り込みを制御します。) 11：設定禁止 (H8S/2264 グループ) ライト時は必ず0としてください。 00：割り込み制御モード0 (1ビットで、割り込みを制御します。) 01：設定禁止 10：設定禁止 11：設定禁止

## 5. 割り込みコントローラ

---

ビット	ビット名	初期値	R/W	説明
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います 0 : NMI 入力の立ち下がリエッジで割り込み要求を発生 1 : NMI 入力の立ち上がりエッジで割り込み要求を発生
2		0	R/W	リザーブビット ライト時は必ず 0 としてください。
1		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0		1	R/W	リザーブビット ライト時は必ず 1 としてください。

### 5.3.2 インタラプトプライオリティレジスタ A~G、I~M、O (IPRA~IPRG、IPRI~IPRM、IPRO) (H8S/2268 グループのみ)

IPR は 8 ビットのリード/ライト可能な 13 本のレジスタで、NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。各割り込み要因と IPR の対応を表 5.2 に示します。

ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値をセットすることによって、対応する割り込み要求の優先順位が決まります。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

## 5. 割り込みコントローラ

### 5.3.3 IRQ イネーブルレジスタ (IER)

IER は、IRQ<sub>n</sub> (H8S/2268 グループ : n=5~3、1、0、H8S/2264 グループ : n=4、3、1、0) 割り込み要求の許可または禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット
6		0	R/W	ライト時は必ず 0 としてください。
5	IRQ5E	0	R/W	(H8S/2268 グループ) IRQ5 イネーブル このビットが 1 のとき IRQ5 割り込み要求がイネーブルになります。 (H8S/2264 グループ) リザーブビット ライト時は必ず 0 としてください。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2		0	R/W	リザーブビット ライト時は必ず 0 としてください。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります



## 5.3.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCR L)

ISCR は、 $\overline{\text{IRQ}}_n$  (H8S/2268 グループ : n=5~3、1、0、H8S/2264 グループ : n=4、3、1、0) 端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ビット	ビット名	初期値	R/W	説明
15~12		0	R/W	リザーブビット ライト時は必ず 0 としてください。
11 10	IRQ5SCB IRQ5SCA	0 0	R/W R/W	(H8S/2268 グループ) IRQ5 センスコントロール B IRQ5 センスコントロール A 00 : $\overline{\text{IRQ}}_5$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ}}_5$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ}}_5$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ}}_5$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (H8S/2264 グループ) リザーブビット ライト時は必ず 0 としてください。
9 8	IRQ4SCB IRQ4SCA	0 0	R/W R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00 : $\overline{\text{IRQ}}_4$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ}}_4$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ}}_4$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ}}_4$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7 6	IRQ3SCB IRQ3SCA	0 0	R/W R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00 : $\overline{\text{IRQ}}_3$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ}}_3$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ}}_3$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ}}_3$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5 4		0 0	R/W R/W	リザーブビット ライト時は必ず 0 としてください。
3 2	IRQ1SCB IRQ1SCA	0 0	R/W R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00 : $\overline{\text{IRQ}}_1$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ}}_1$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ}}_1$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ}}_1$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

## 5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
1	IRQ0SCB	0	R/W	IRQ0 センスコントロール B
0	IRQ0SCA	0	R/W	IRQ0 センスコントロール A 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

### 5.3.5 IRQ ステータスレジスタ (ISR)

ISR は、IRQn (H8S/2268 グループ : n=5 ~ 3、1、0、H8S/2264 グループ : n=4、3、1、0) 割り込み要求のステータス表示を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット
6		0	R/W	ライト時は必ず 0 としてください。
5	IRQ5F	0	R/(W)* <sup>1</sup>	(H8S/2268 グループ) IRQ5 フラグ IRQ5 割り込み要求のステータスの表示を行います。 [ セット条件 ] • ISCRH、L で選択した割り込み要因が発生したとき [ クリア条件 ] • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出の状態かつ $\overline{\text{IRQ5}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQ5 割り込み例外処理を実行したとき • IRQ5 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (H8S/2264 グループ) リザーブビット ライト時は必ず 0 としてください。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
4 3	IRQ4F IRQ3F	0 0	R/(W)* <sup>2</sup> R/(W)* <sup>2</sup>	IRQ4、IRQ3 フラグ IRQ4、IRQ3 割り込み要求のステータスの表示を行います。 [ セット条件 ] • ISCRH、L で選択した割り込み要因が発生したとき [ クリア条件 ] • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき (H8S/2268 グループのみ)
2		0	R/W	リザーブビット ライト時は必ず 0 としてください。
1 0	IRQ1F IRQ0F	0 0	R/(W)* <sup>2</sup> R/(W)* <sup>2</sup>	IRQ1、IRQ0 フラグ IRQ1、IRQ0 割り込み要求のステータスの表示を行います。 [ セット条件 ] • ISCRH、L で選択した割り込み要因が発生したとき [ クリア条件 ] • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき (H8S/2268 グループのみ)

【注】 \*1 H8S/2268 グループではフラグをクリアするための 0 ライトのみ可能です。

H8S/2264 グループではリード/ライト可能です。

\*2 フラグをクリアするための 0 ライトのみ可能です。

## 5. 割り込みコントローラ

### 5.3.6 ウェイクアップ割り込み要求レジスタ (IWPR)

IWPR は、WKP7 ~ WKP0 割り込み要求のステータス表示を行います。

ビット	ビット名	初期値	R/W	説明
7	IWPF7	0	R/(W)*	ウェイクアップ割り込み要求フラグ
6	IWPF6	0	R/(W)*	WKP7 ~ WKP0 割り込み要求のステータス表示を行います。
5	IWPF5	0	R/(W)*	[ セット条件 ]
4	IWPF4	0	R/(W)*	• $\overline{WKP7} \sim \overline{WKP0}$ 端子がウェイクアップ入力に設定されており、かつ当該端子に立ち下りエッジが発生したとき。
3	IWPF3	0	R/(W)*	
2	IWPF2	0	R/(W)*	[ クリア条件 ]
1	IWPF1	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき。
0	IWPF0	0	R/(W)*	

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 5.3.7 割り込み許可レジスタ 1 (IENR1)

IENR1 は、ウェイクアップ割り込み要求の許可 / 禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	IENWP	0	R/W	ウェイクアップ割り込みイネーブル WKP7 ~ WKP0 割り込み要求の許可 / 禁止を制御します。 0 : $\overline{WKP7} \sim \overline{WKP0}$ 端子の割り込み要求を禁止 1 : $\overline{WKP7} \sim \overline{WKP0}$ 端子の割り込み要求を許可
6~1		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0		0	R/W	リザーブビット リードする時は必ず 0 としてください。

## 5.4 割り込み要因

### 5.4.1 外部割り込み

外部割り込みには、H8S/2268 グループでは NMI、IRQ5 ~ IRQ3、IRQ1、IRQ0、WKP7 ~ WKP0 の 14 要因、H8S/2264 グループでは NMI、IRQ4、IRQ3、IRQ1、IRQ0、WKP7 ~ WKP0 の 13 要因があります。各外部割り込みは、ソフトウェアスタンバイモードからの復帰に使用できます。

#### (1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

#### (2) IRQn 割り込み (H8S/2268 グループ : n=5~3、1、0、H8S/2264 グループ : n=4、3、1、0)

IRQn 割り込みは  $\overline{\text{IRQn}}$  端子の入力信号により要求されます。IRQn 割り込みには次の特長があります。

- $\overline{\text{IRQn}}$ 端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCRで選択できます。
- IRQn割り込み要求を許可するか禁止するかを、IERで選択できます。
- IPRにより割り込みプライオリティレベルを設定できます (H8S/2268グループのみ)。
- IRQn割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQn 割り込みのブロック図を図 5.3 に示します。

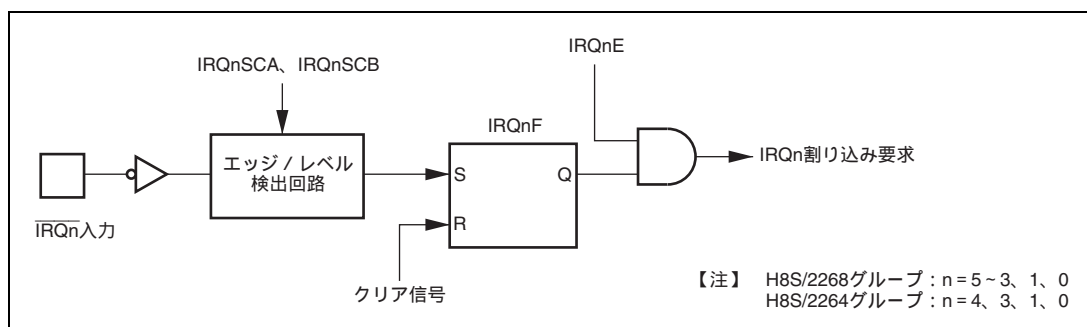


図 5.3 IRQn 割り込みのブロック図

## 5. 割り込みコントローラ

IRQnF のセットタイミングを図 5.4 に示します。

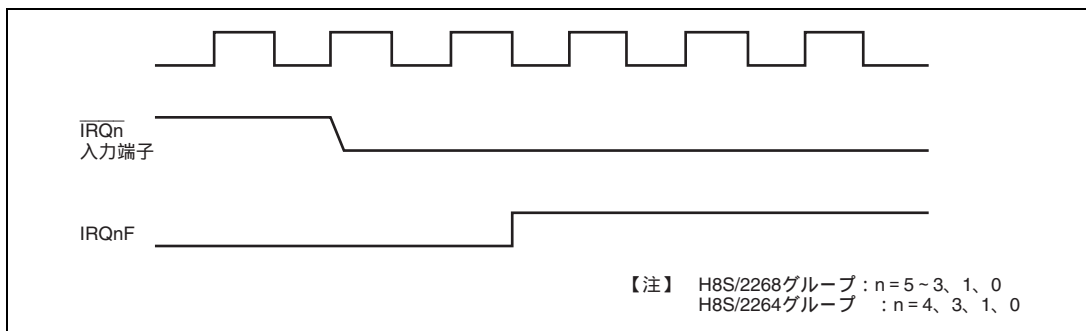


図 5.4 IRQnF のセットタイミング

IRQn 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。また、割り込み要求フラグ IRQnF は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

### (3) WKP7 ~ WKP0 割り込み

WKP7 ~ WKP0 割り込みは、 $\overline{\text{WKP7}} \sim \overline{\text{WKP0}}$  端子の立ち下りエッジ入力信号により要求されます。

WKP7 ~ WKP0 割り込みには次の特長があります。

- $\text{PJn}/\overline{\text{WKPn}}/\text{SEGn+1}$  端子を  $\text{SEGn+1}$  端子として使用しない場合に、 $\text{PJn}$  端子として使用するか、 $\overline{\text{WKPn}}$  端子として使用するかを、WPCR で選択できます。(n=7~0)  
端子切り替えについては、「9.8.5 ウェイクアップコントロールレジスタ (WPCR)」を参照してください。
- WKP7 ~ WKP0 割り込みを許可するか禁止するかを、IENR1 で選択できます。
- IPR により割り込みプライオリティレベルを設定できます (H8S/2268グループのみ)。
- WKP7 ~ WKP0 割り込み要求のステータスは、IWPR に表示されます。IWPR のフラグはソフトウェアで 0 にクリアすることができます。

WKP7 ~ WKP0 割り込みのブロック図を図 5.5 に示します。

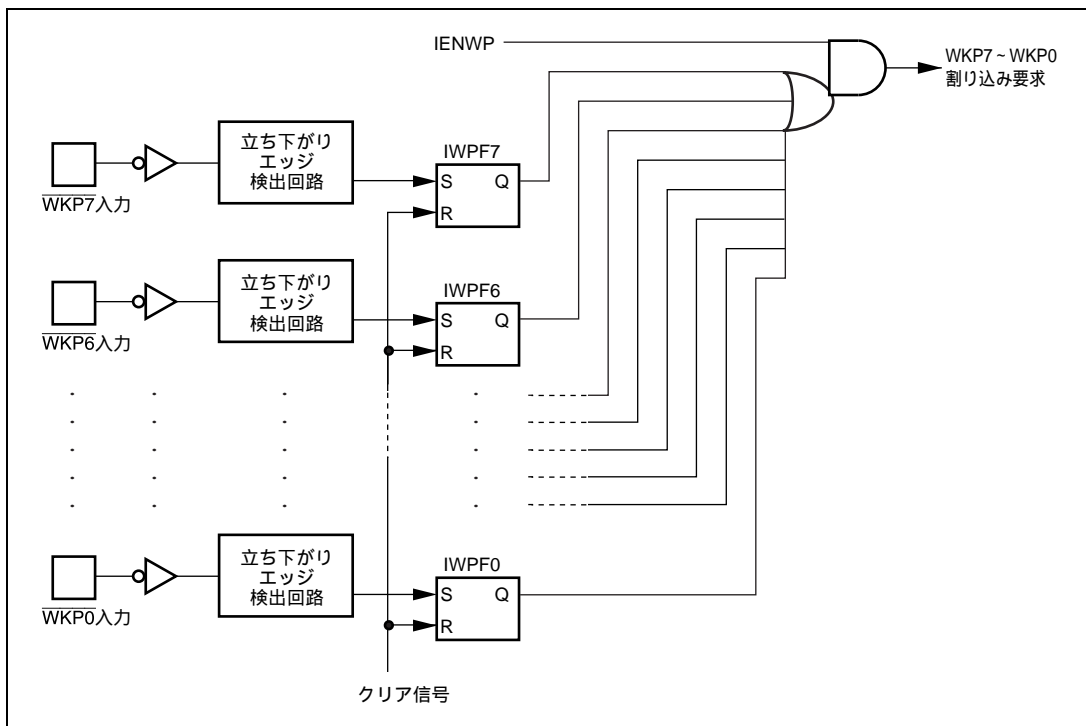


図 5.5 WKP7 ~ WKP0 割り込みのブロック図

IWPFn のセットタイミングを図 5.6 に示します。

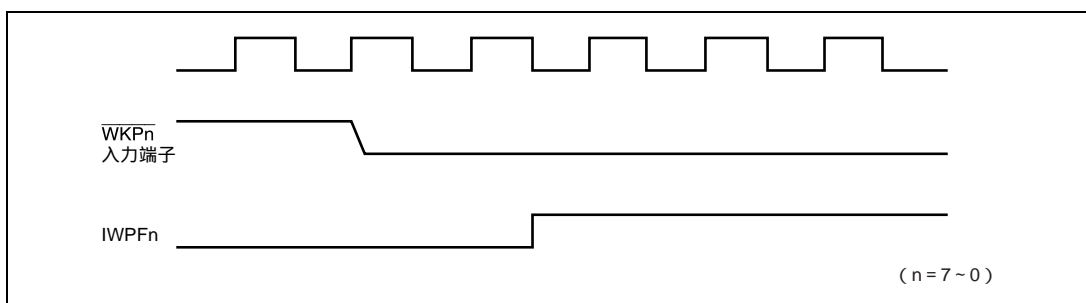


図 5.6 IWPFn のセットタイミング

WKP7 ~ WKP0 割り込み例外処理のベクタ番号は、108 です。8 本の割り込み端子が 1 つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

WKP7 ~ WKP0 割り込みの検出は、当該端子が入力に設定されているか、出力に設定されているかに依存しませ

## 5. 割り込みコントローラ

---

ん。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能を入出力端子として使用しないでください。

### 5.4.2 内部割り込み

各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割り込み要求が割り込みコントローラに要求されます。

### 5.4.3 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、IPR により設定することができます (H8S/2268 グループのみ)。

2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.2 のとおり固定です。



表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*1	IPR*2*3	優先 順位
			アドバンストモード		
外部端子	NMI	7	H'001C		↑ 高
	IRQ0	16	H'0040	IPRA6 ~ IPRA4	
	IRQ1	17	H'0044	IPRA2 ~ IPRA0	
	リザーブ	18	H'0048	IPRB6 ~ IPRB4	
	IRQ3	19	H'004C		
	IRQ4	20	H'0050	IPRB2 ~ IPRB0	
	IRQ5*3	21	H'0054		
	リザーブ	22	H'0058	IPRC6 ~ IPRC4	
	23	H'005C			
DTC*3	SWDTEND (ソフトウェア起動データ転送終了)	24	H'0060	IPRC2 ~ IPRC0	
ウォッチドッグ タイマ 0	WOVI0 (インターバルタイマ 0)	25	H'0064	IPRD6 ~ IPRD4	
PC ブレーク*3	PC ブレーク	27	H'006C	IPRE6 ~ IPRE4	
A/D	ADI (A/D 変換終了)	28	H'0070	IPRE2 ~ IPRE0	
ウォッチドック タイマ 1	WOVI1 (インターバルタイマ 1)	29	H'0074		
-	リザーブ	30 31	H'0078 H'007C		
TPU チャネル0*3	TGI0A (TGR0A インพุットキャプチャ / コンペアマッチ)	32	H'0080	IPRF6 ~ IPRF4	
	TGI0B (TGR0B インพุットキャプチャ / コンペアマッチ)	33	H'0084		
	TGI0C (TGR0C インพุットキャプチャ / コンペアマッチ)	34	H'0088		
	TGI0D (TGR0D インพุットキャプチャ / コンペアマッチ)	35	H'008C		
	TCI0V (オーバフロー-0)	36	H'0090		
-	リザーブ	37 38 39	H'0094 H'0098 H'009C		↓ 低

## 5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*1	IPR*2*3	優先 順位
			アドバンスモード		
TPU チャンネル 1	TGI1A (TGR1A インพุットキャプチャ/ コンペアマッチ)	40	H'00A0	IPRF2 ~ IPRF0	高 ↑
	TGI1B (TGR1B インพุットキャプチャ/ コンペアマッチ)	41	H'00A4		
	TCI1V (オーバフロー-1)	42	H'00A8		
	TCI1U (アンダフロー-1)*3	43	H'00AC		
TPU チャンネル 2	TGI2A (TGR2A インพุットキャプチャ/ コンペアマッチ)	44	H'00B0	IPRG6 ~ IPRG4	
	TGI2B (TGR2B インพุットキャプチャ/ コンペアマッチ)	45	H'00B4		
	TCI2V (オーバフロー-2)	46	H'00B8		
	TCI2U (アンダフロー-2)*3	47	H'00BC		
8 ビットタイマ チャンネル 0	CMIA0 (コンペアマッチ A0)	64	H'0100	IPRI6 ~ IPRI4	
	CMIB0 (コンペアマッチ B0)	65	H'0104		
	OVI0 (オーバフロー-0)	66	H'0108		
-	リザーブ	67	H'010C		
8 ビットタイマ チャンネル 1	CMIA1 (コンペアマッチ A1)	68	H'0110	IPRI2 ~ IPRI0	
	CMIB1 (コンペアマッチ B1)	69	H'0114		
	OVI1 (オーバフロー-1)	70	H'0118		
-	リザーブ	71	H'011C		
SCI チャンネル 0	ERI0 (受信エラー-0)	80	H'0140	IPRJ2 ~ IPRJ0	
	RXI0 (受信完了-0)	81	H'0144		
	TXI0 (送信データエンプティ-0)	82	H'0148		
	TEI0 (送信終了-0)	83	H'014C		
SCI チャンネル 1	ERI1 (受信エラー-1)	84	H'0150	IPRK6 ~ IPRK4	
	RXI1 (受信完了-1)	85	H'0154		
	TXI1 (送信データエンプティ-1)	86	H'0158		
	TEI1 (送信終了-1)	87	H'015C		
8 ビットタイマ チャンネル 2*3	CMIA2 (コンペアマッチ A2)	92	H'0170	IPRL6 ~ IPRL4	
	CMIB2 (コンペアマッチ B2)	93	H'0174		
	OVI2 (オーバフロー-2)	94	H'0178		
-	リザーブ	95	H'017C		低

5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*1	IPR**2*3	優先 順位
			アドバンスモード		
8ビットタイマ チャンネル3*3	CMIA3 (コンペアマッチ A3)	96	H'0180	IPRL6 ~ IPRL4	高 ↑          低
	CMIB3 (コンペアマッチ B3)	97	H'0184		
	OVI3 (オーバフロー-3)	98	H'0188		
-	リザーブ	99	H'018C		
IICチャンネル0*4	IIC10 (1バイト送信/受信完了)	100	H'0190	IPRL2 ~ IPRL0	
	リザーブ	101	H'0194		
IICチャンネル1*3	IIC11 (1バイト送信/受信完了)	102	H'0198		
	リザーブ	103	H'019C		
8ビット リロードタイマ チャンネル4~7*3	OVI4 (オーバフロー-4)	104	H'01A0	IPRM6 ~ IPRM4	
	OVI5 (オーバフロー-5)	105	H'01A4		
	OVI6 (オーバフロー-6)	106	H'01A8		
	OVI7 (オーバフロー-7)	107	H'01AC		
外部端子	WKP7~WKP0	108	H'01B0	IPRM2 ~ IPRM0	
SCIチャンネル2	ERI2 (受信エラー-2)	120	H'01E0	IPRO6 ~ IPRO4	
	RXI2 (受信完了-2)	121	H'01E4		
	TXI2 (送信データエンプティ-2)	122	H'01E8		
	TEI2 (送信終了-2)	123	H'01EC		

【注】 \*1 先頭アドレスの下位 16 ビットを示しています。

\*2 対応する割り込みのない IPR6 ~ IPR4 ビット、IPR2 ~ IPR0 ビットはリザーブビットとなります。リードすると常に 0 が読み出されます。ライトは無効です。

\*3 H8S/2268 グループのみサポートします。

\*4 H8S/2264 グループではオプションです。

## 5.5 割り込み動作

### 5.5.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込み、WKP 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.3 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、IPR による割り込み優先順位の設定\*、および、CPU の CCR の I ビット、EXR の I2~I0 ビット\*によるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

【注】 \* H8S/2268 グループのみサポートします。

表 5.3 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ*	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0		1	1ビットにより、割り込みマスク制御を行います。
		1			設定禁止
2*	1	0	IPR	I2~I0	I2~I0ビットにより、8レベルの割り込みマスク制御を行います。 IPRにより、8レベルの優先順位の設定ができます。
		1			設定禁止

【注】 \* H8S/2268 グループのみサポートします。

図 5.7 に H8S/2268 グループの優先順位判定回路のブロック図、図 5.8 に H8S/2264 グループの優先順位判定回路のブロック図を示します。

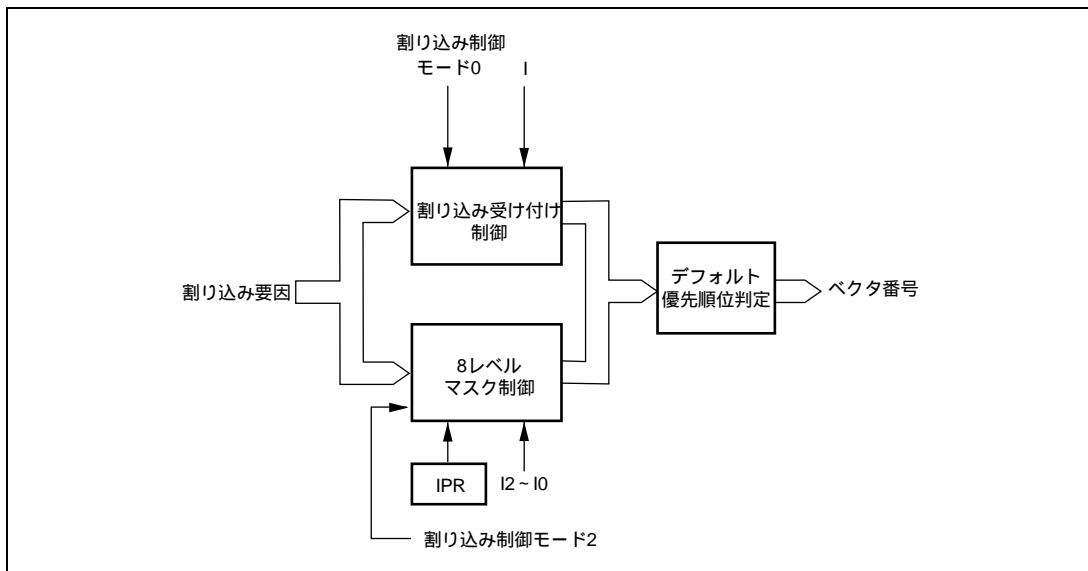


図 5.7 H8S/2268 グループの割り込み制御動作のブロック図

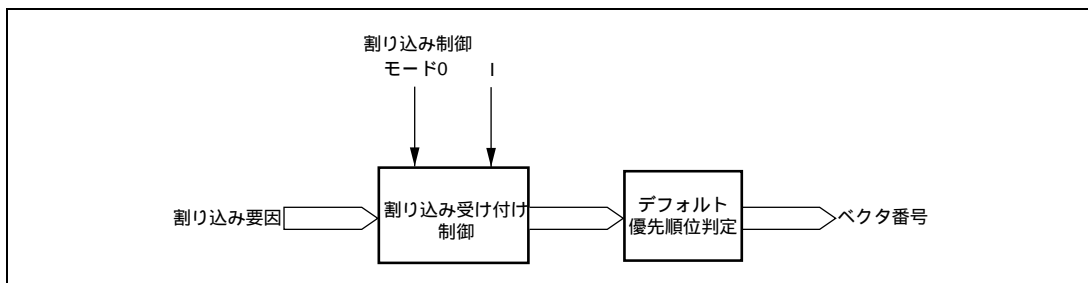


図 5.8 H8S/2264 グループの割り込み制御動作のブロック図

## 5. 割り込みコントローラ

---

### (1) 割り込み受け付け制御

割り込み制御モード 0 のとき、CCR の I ビットにより割り込み受け付け制御を行います。

表 5.4 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.4 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット	選択される割り込み
	I	
0	0	すべての割り込み
	1	NMI 割り込み
2*	x	すべての割り込み

【記号説明】 x : Don't care

【注】 \* H8S/2268 グループのみサポートします。

### (2) 8 レベル制御 (H8S/2268 グループのみ)

割り込み制御モード 2 のとき、割り込み受け付け制御において、選択された割り込みに対して割り込みプライオリティレベル (IPR) に従った 8 レベルのマスクレベル判定を行います。

IPR で設定したプライオリティレベルが、マスクレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

表 5.5 割り込み制御モードと選択される割り込み (2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
2	プライオリティレベルがマスクレベルより大きい (IPR > I2 ~ I0) かつ、プライオリティレベル (IPR) が最大の割り込み

## (3) デフォルト優先順位判定

8 レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

IPR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します (H8S/2268 グループのみ)。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.6 に割り込み制御モードと動作および制御信号機能を示します。

表 5.6 割り込み制御モードと動作および制御信号機能

割り込み制御 モード	設 定		割り込み受け付け制御		8 レベル制御 <sup>*3</sup>			デフォルト優先順位 判定	T (トレース)
	INTM1	INTM0		I	I2 ~ I0 <sup>*3</sup>	IPR <sup>*3</sup>			
0	0	0		IM	x	-	- <sup>*2</sup>		-
2 <sup>*3</sup>	1	0	x	- <sup>*1</sup>		IM	PR		T

## 【記号説明】

- : 割り込み動作制御を行います。
- x : 動作しません。(割り込みはすべて許可)
- IM : 割り込みマスクビットとして使用。
- PR : 優先順位を設定。
- : 使用しません。

【注】 \*1 割り込み受け付け時に 1 にセットされます。

\*2 初期設定値を保持してください。

\*3 H8S/2268 グループのみサポートします。

## 5. 割り込みコントローラ

---

### 5.5.2 割り込み制御モード 0

IRQ 割り込み、WKP 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の 1 ビットによって許可または禁止を設定できます。1 ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。

この場合の割り込み受け付けの動作フローチャートを図 5.9 に示します。

1. 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
2. 1 ビットを参照します。1 ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。1 ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
3. 割り込みコントローラに対して割り込み要求が送られ、優先順位に従って最高位の割り込みが選択され、その他は保留となります。
4. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
5. 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
6. 次に CCR の 1 ビットが 1 にセットされます。これにより、NMI を除く割り込みはマスクされます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。



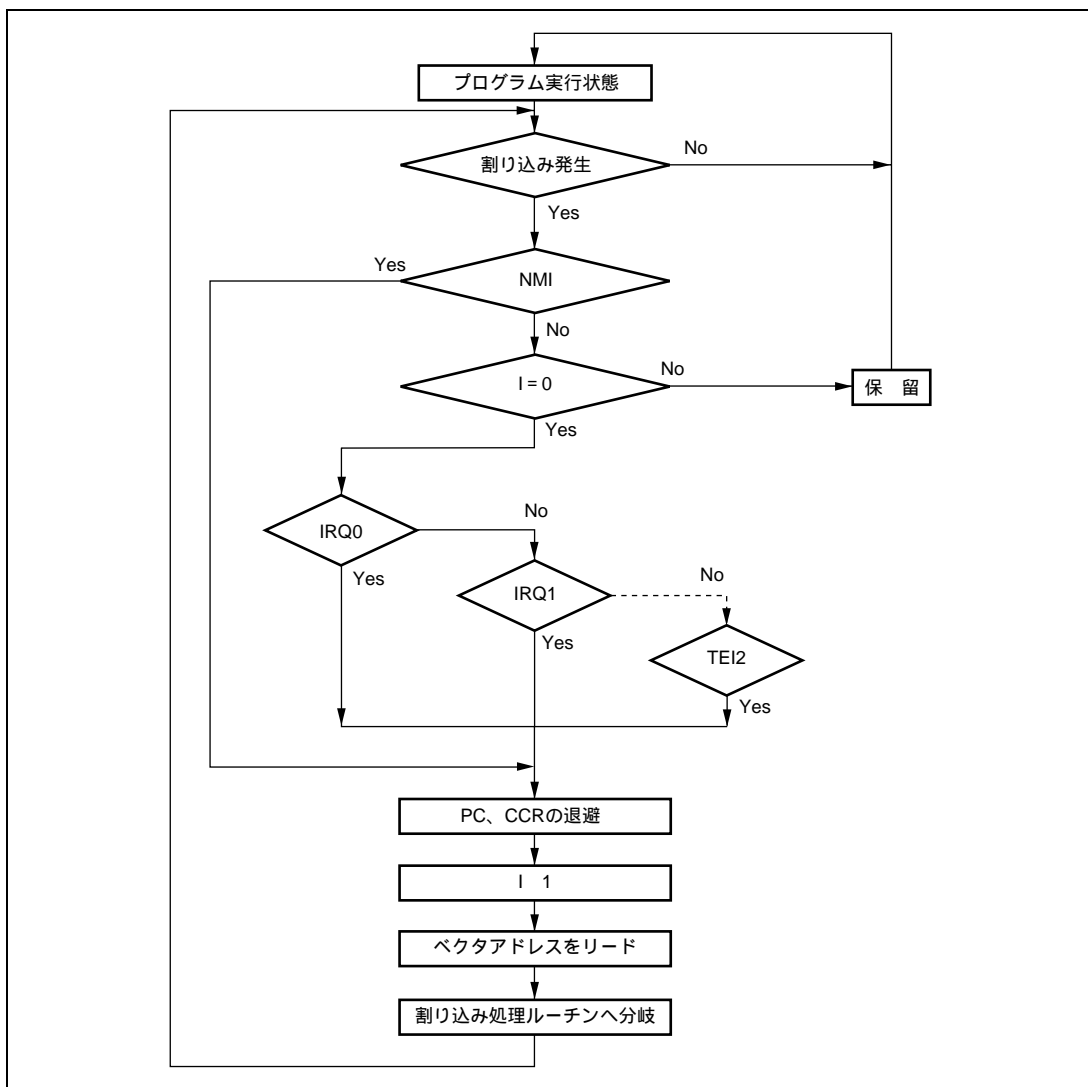


図 5.9 割り込み制御モード 0 の割り込み受け付けまでのフロー

## 5. 割り込みコントローラ

---

### 5.5.3 割り込み制御モード 2 (H8S/2268 グループのみ)

IRQ 割り込み、WKP 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル (I2~I0 ビット) と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.10 に示します。

1. 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
2. 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.2に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
3. その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
4. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。  
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

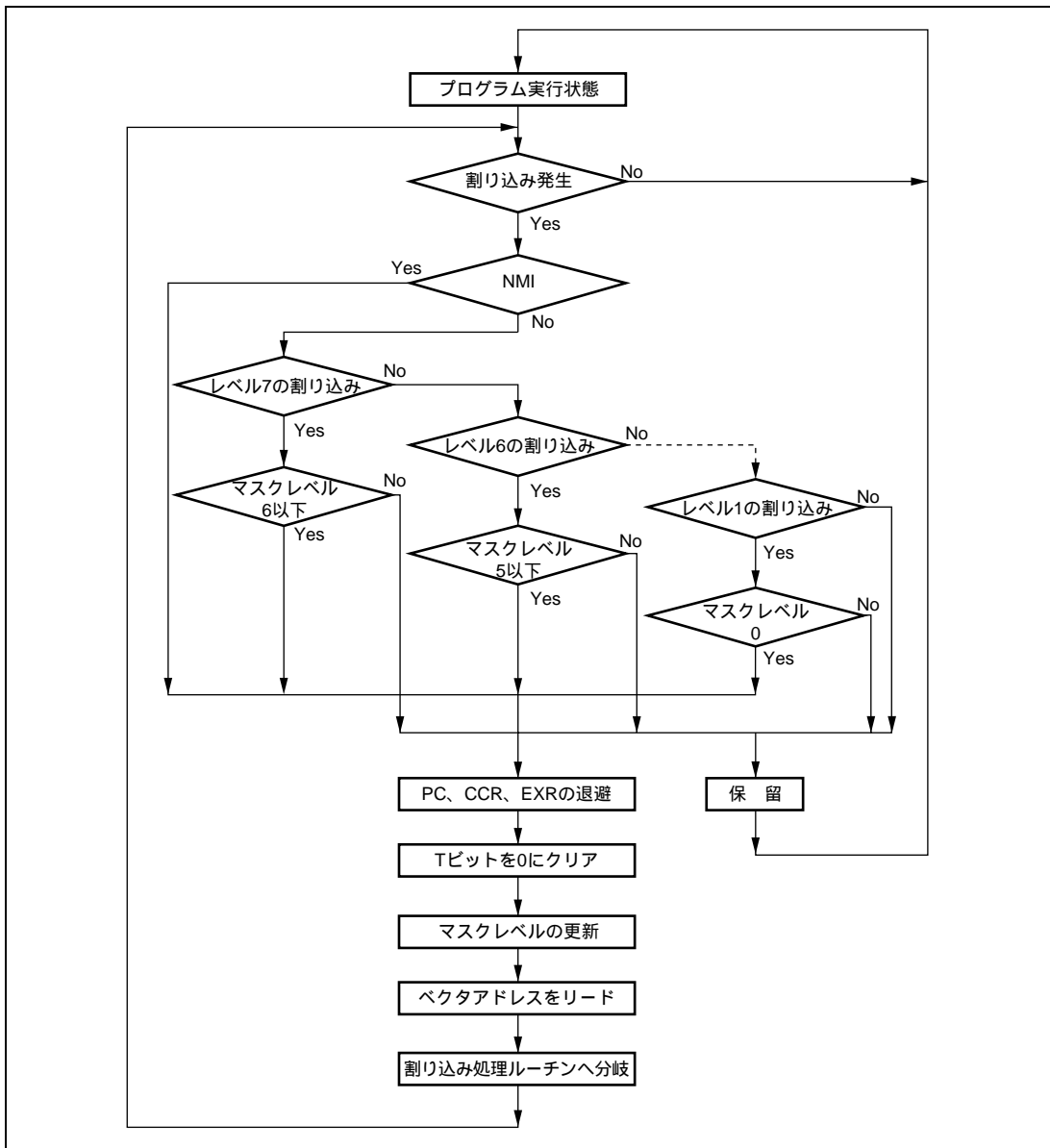


図 5.10 割り込み制御モード 2 の割り込み受け付けまでのフロー

#### 5.5.4 割り込み例外処理シーケンス

図 5.11 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

## 5. 割り込みコントローラ

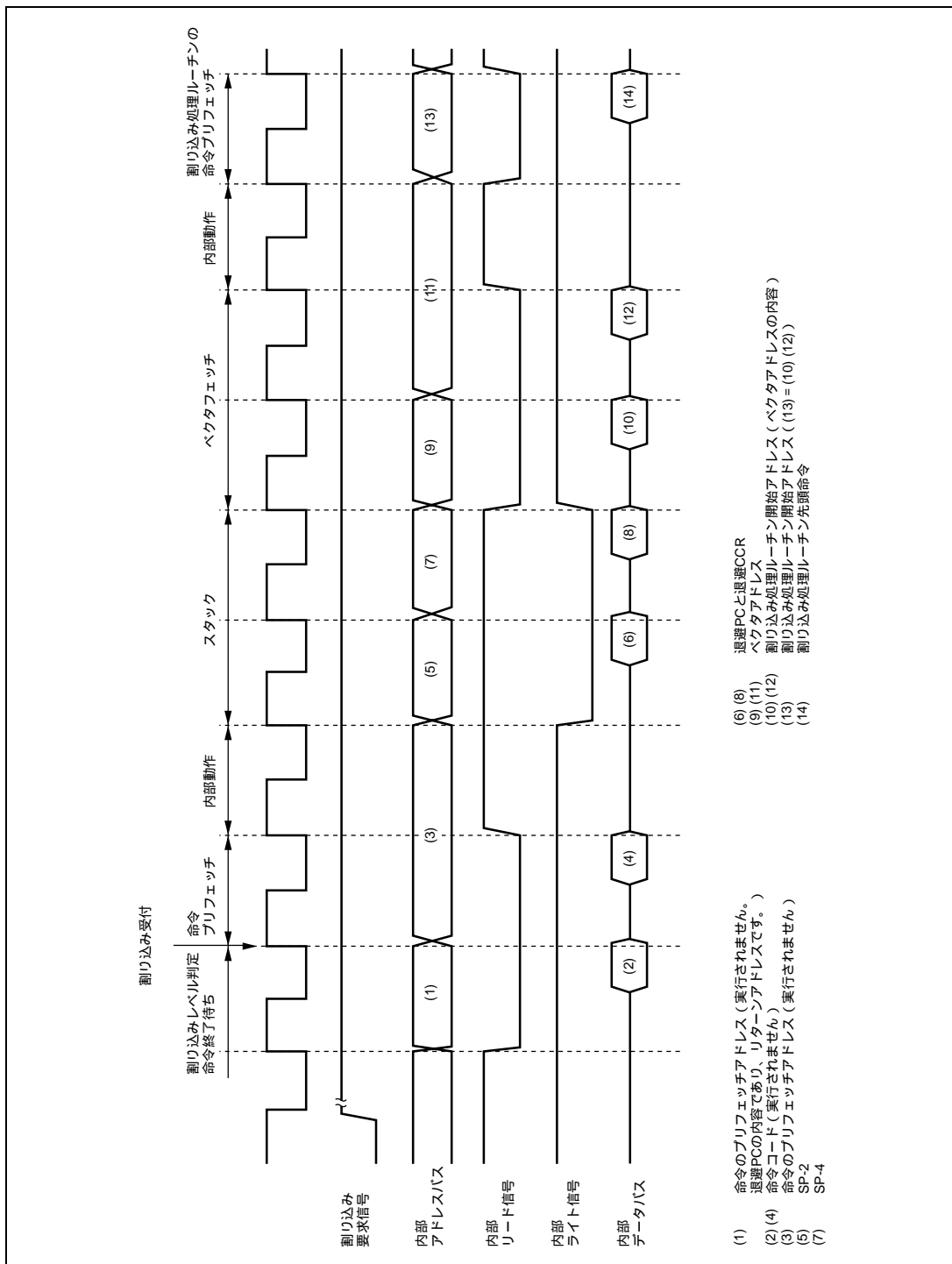


図 5.11 割り込み例外処理

## 5.5.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.7 に示します。表 5.7 の実行状態の記号については表 5.8 を参照してください。

表 5.7 割り込み応答時間 (ステート)

No	実行状態	ノーマルモード*5		アドバンスモード	
		INTM1 = 0	INTM1 = 1	INTM1 = 0	INTM1 = 1
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	$(1 \sim 19) + 2 \cdot S_i$			
3	PC、CCR および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	$S_i$		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

- 【注】 \*1 内部割り込みの場合 2 ステートとなります。  
 \*2 MULXS、DIVXS 命令について示しています。  
 \*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。  
 \*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。  
 \*5 本 LSI では使用できません。

表 5.8 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス*			
		8ビットバス		16ビットバス	
		2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ $S_i$	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード $S_j$					
スタック操作 $S_k$					

## 【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

【注】\* 本 LSI では使用できません。

## 5. 割り込みコントローラ

### 5.5.6 割り込みによる DTC の起動 (H8S/2268 グループのみ)

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. 1.~2.の複数の選択

なお、DTC を起動できる割り込み要求については、「第 8 章 データトランスファコントローラ (DTC) 」を参照してください。図 5.12 に DTC と割り込みコントローラのブロック図を示します。

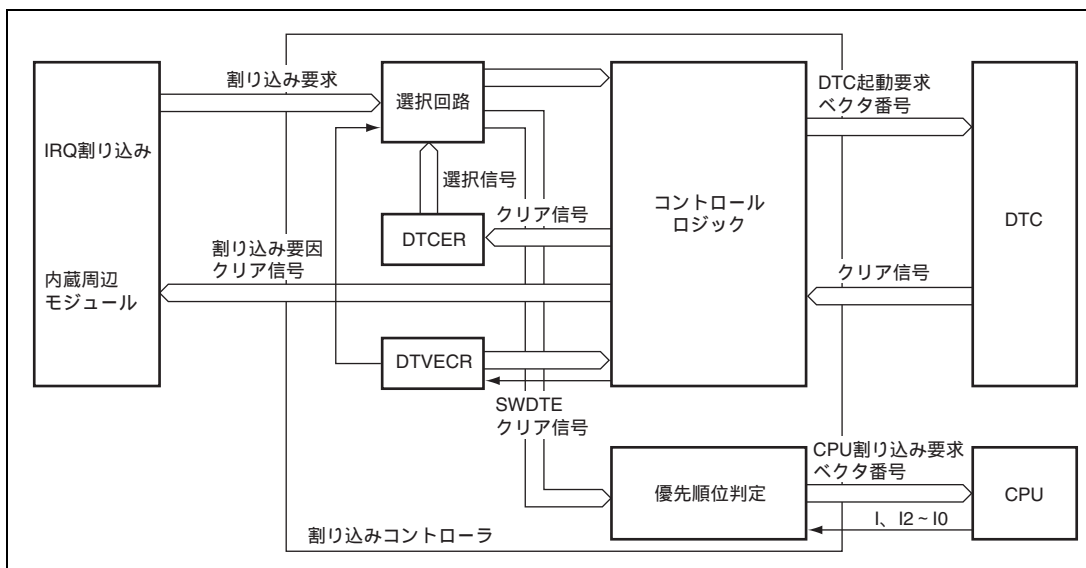


図 5.12 DTC と割り込み制御

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

#### (1) 割り込み要因の選択

割り込み要因は、DTCのDTCERA ~ DTCERF、DTCERIのDTCEビットにより、DTC起動要求とするか、CPU割り込み要求とするかを選択します。DTCのMRBのDISELビットの指定により、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求することができます。なお、DTCが所定回数のデータ転送を行い、転送カウンタが0になった場合には、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求します。

## (2) 優先順位判定

DTCの起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「8.4 レジスタ情報の配置とDTCベクタテーブル」を参照してください。

## (3) 動作順序

同一の割り込みをDTCの起動要因とCPUの割り込み要因に選択した場合、DTCのデータ転送が行われ、その後、CPUの割り込み例外処理が行われます。

表 5.9 に DTC の DTCERA ~ DTCERF、DTCERI の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.9 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	
1	0		×
	1		

## 【記号説明】

: 当該割り込みを使用します。割り込み要因のクリアを行います。

( CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。 )

: 当該割り込みを使用します。割り込み要因をクリアしません。

× : 当該割り込みは使用できません。

\* : Don't care

## (4) 使用上の注意事項

SCI および A/D 変換器の割り込み要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされ、DTCE ビットや DISEL ビットには依存しません。

## 5.6 使用上の注意事項

### 5.6.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込み要求を禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令等で割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

8ビットタイマのTCRのCMIEAビットを0にクリアする場合の例を図5.13にします。

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

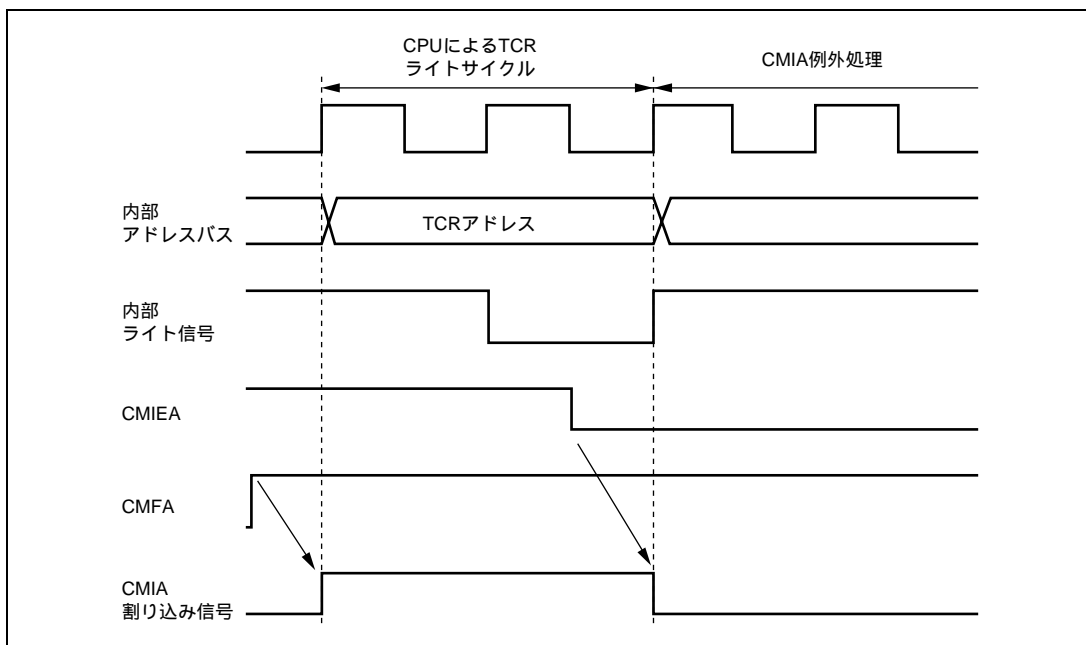


図 5.13 割り込みの発生とディスエーブルの競合



## 5.6.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

## 5.6.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

## 5.6.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W   R4, R4
      BNE    L1
```

## 5.6.5 IRQ 割り込み

クロック動作時、IRQ はクロック同期で入力を受け付けます。

ソフトウェアスタンバイモード、ウォッチモード時は非同期で入力を受け付けます。

入力条件については「25.2.3 (2)、25.3.3 (2) 制御信号タイミング」を参照してください。

## 5.6.6 NMI 割り込み使用上の注意

NMI 割り込みは、電気的特性で規定された条件下で正常に動作している場合に、本 LSI に内蔵している割り込みコントローラ、CPU の連携で実行される例外処理です。ソフトウェアの不具合や、LSI 端子への異常入力などで正常動作を行っていない場合（暴走状態）は、NMI 割り込みを含めすべての動作は保証されません。本ケースにおいては、外部リセットを投入することで、再び、LSI を正常のプログラム実行状態に遷移させることが可能です。



---

## 6. PC ブレークコントローラ (PBC)

---

H8S/2268 グループは、PC ブレークコントローラ(PBC)を内蔵しています。H8S/2264 グループには内蔵していません。

PC ブレークコントローラ (PBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても LSI 単体で手軽にプログラムをデバッグできます。PC ブレークコントローラのブロック図を図 6.1 に示します。

### 6.1 特長

- チャンネル数：2チャンネル (チャンネルA、B)
- ブレークアドレス：24ビット
  - 部分的にマスク可能
- コンペア条件：4種類
  - 命令フェッチ
  - データリード
  - データライト
  - データリード/ライト
- 対象バスマスタ
  - CPU、CPU / DTCのいずれか選択可能
- ブレーク条件成立後、下記タイミングでPCブレーク例外処理を実行
  - 設定したアドレスでフェッチした命令の実行直前 (命令フェッチ)
  - 設定したアドレスのデータをアクセスする命令の実行直後 (データアクセス)
- モジュールストップモードの設定可能

## 6. PC ブレークコントローラ (PBC)

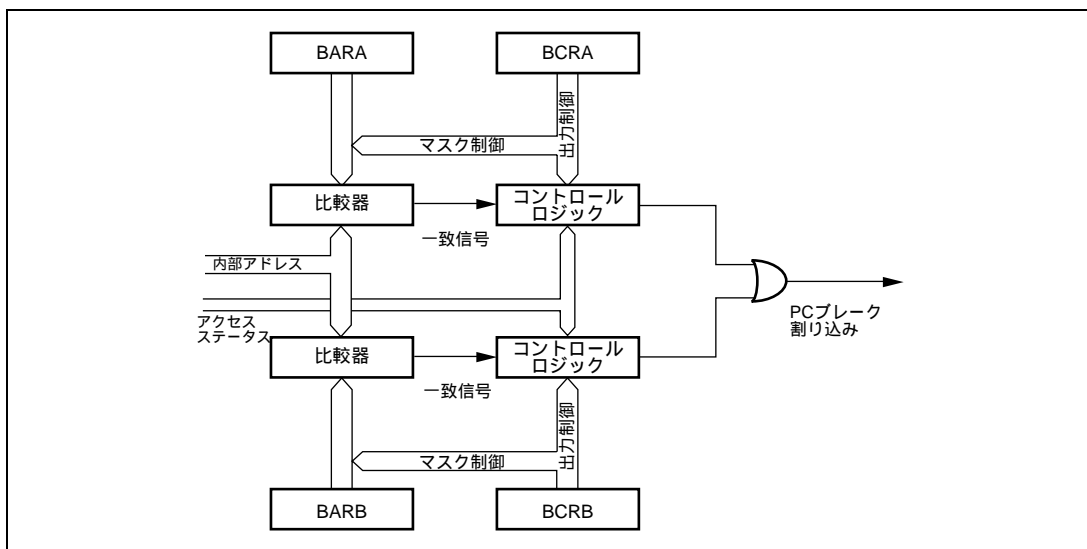


図 6.1 PC ブレークコントローラのブロック図

## 6.2 レジスタの説明

PC ブレークコントローラには以下のレジスタがあります。

- ブレークアドレスレジスタA (BARA)
- ブレークアドレスレジスタB (BARB)
- ブレークコントロールレジスタA (BCRA)
- ブレークコントロールレジスタB (BCRB)

### 6.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットのリード/ライト可能なレジスタで、チャンネル A のブレークアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~24		すべて不定		リザーブビット リード値は不定で、ライトは無効です。
23~0	BAA23~BAA0	H'000000	R/W	チャンネル A の PC ブレークのアドレスを設定します。

### 6.2.2 ブレークアドレスレジスタ B (BARB)

チャンネル B のブレークアドレスレジスタです。ビット構成は BARA と同様です。

### 6.2.3 ブレークコントロールレジスタ A (BCRA)

BCRA はチャンネル A の PC ブレークを制御します。

ビット	ビット名	初期値	R/W	説明
7	CMFA	0	R/(W)* <sup>1</sup>	コンディションマッチフラグ A [セット条件] チャンネル A に設定したブレーク条件が成立したとき [クリア条件] 1 の状態をリード**後、0 をライトしたとき
6	CDA	0	R/W	CPU サイクル / DTC サイクルセレクト A チャンネル A のブレーク条件のバスマスタを選択します。 0 : CPU 1 : CPU または DTC
5 4 3	BAMRA2 BAMRA1 BAMRA0	0 0 0	R/W R/W R/W	ブレークアドレスマスクレジスタ A2 ~ A0 BARA に設定されているブレークアドレスの有効ビットを指定します。 000 : BAA23 ~ 0 (全ビット有効) 001 : BAA23 ~ 1 (下位 1 ビットをマスク) 010 : BAA23 ~ 2 (下位 2 ビットをマスク) 011 : BAA23 ~ 3 (下位 3 ビットをマスク) 100 : BAA23 ~ 4 (下位 4 ビットをマスク) 101 : BAA23 ~ 8 (下位 8 ビットをマスク) 110 : BAA23 ~ 12 (下位 12 ビットをマスク) 111 : BAA23 ~ 16 (下位 16 ビットをマスク)
2 1	CSELA1 CSELA0	0 0	R/W R/W	ブレーク条件選択 チャンネル A のブレーク条件を選択します。 00 : 命令フェッチ 01 : データリードサイクル 10 : データライトサイクル 11 : データリード / ライトサイクル
0	BIEA	0	R/W	ブレーク割り込みイネーブル 1 のときチャンネル A の PC ブレーク割り込み要求がイネーブルになります。

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 PC ブレーク割り込みを禁止して、CMFA をポーリングした場合、CMFA=1 の状態を 2 回以上リードしてください。

### 6.2.4 ブレークコントロールレジスタ B (BCRB)

チャンネル B のブレークコントロールレジスタです。ビット構成は BCRA と同様です。

### 6.3 動作説明

チャンネル A を例にブレーク条件の初期設定から PC ブレーク割り込み例外処理までの動作の流れを「6.3.1 命令フェッチによる PC ブレーク割り込み動作」、「6.3.2 データアクセスによる PC ブレーク割り込み動作」に示します。

#### 6.3.1 命令フェッチによる PC ブレーク割り込み動作

1. ブレークアドレスをBARAに設定します。

命令フェッチによるPCブレークでは、命令の第1バイトが存在するアドレスにブレークアドレスを設定してください。

2. ブレーク条件をBCRに設定します。

命令フェッチによるPCブレークではバスマスタはCPUに限定されるため、ビット6 (CDA) には0を設定してCPUを選択してください。ビット5~3 (BAMA2~0) にマスクするアドレスのビットを設定します。ビット2~1 (CSELA1~0) には00を設定して命令フェッチをブレーク条件とします。ビット0 (BIEA) には1を設定してブレーク割り込みをイネーブルにします。

3. 設定したアドレスの命令をフェッチすると、フェッチした命令を実行する直前でPCブレーク割り込み要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
4. 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

#### 6.3.2 データアクセスによる PC ブレーク割り込み動作

1. ブレークアドレスをBARAに設定します。

データアクセスによるPCブレークでは、ブレークアドレスを対象のROMまたはRAM、I/Oあるいは外部アドレス空間のアドレスに設定してください。データアクセスにはスタック動作や分岐アドレスのリードも含まれます。

2. ブレーク条件をBCRAに設定します。

ビット6 (CDA) でバスマスタを選択してください。ビット5~3 (BAMA2~0) にマスクするアドレスのビットを設定します。ビット2~1 (CSELA1~0) に01、10または11を設定してデータアクセスのブレーク条件を設定します。ビット0 (BIEA) には1を設定してブレーク割り込みをイネーブルにします。

3. 設定したアドレスのデータをアクセスした命令の実行後、PCブレーク割り込み要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
4. 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

### 6.3.3 データ連続転送時の PC ブレーク動作

- EEPROMOV.B命令の転送アドレスにPCブレーク割り込みが発生した場合  
すべてのデータの転送が終了しEEPMOV.B命令が終了した後、PCブレーク例外処理を実行します。
- DTCの転送アドレスにブレーク割り込みが発生した場合  
DTCが指定された回数のデータ転送を終了した後、あるいはDISELビットが1にセットされたデータを転送終了した後、PCブレーク例外処理を実行します。

### 6.3.4 低消費電力モード遷移時の動作

SLEEP命令の次のアドレスの命令フェッチにPCブレーク割り込みを設定した場合、以下のように動作します。

- SLEEP命令により高速(中速)モードからスリープモードへ、サブアクティブモードからサブスリープモードへ遷移する場合  
SLEEP命令実行後、スリープモード、サブスリープモードに遷移せず、PCブレーク例外処理を実行します。PCブレーク例外処理実行後、SLEEP命令の次のアドレスの命令を実行します(図6.2(A))。
- SLEEP命令により高速モードからサブアクティブへ遷移する場合(図6.2(B))
- SLEEP命令によりサブアクティブから高速(中速)モードへ遷移する場合(図6.2(C))
- SLEEP命令によりソフトウェアスタンバイモード、ウォッチモードへ遷移する場合  
SLEEP命令実行後、各モードに遷移し、PCブレーク例外処理は実行しません。ただし、CMFA、CMFBはセットされます(図6.2(D))。

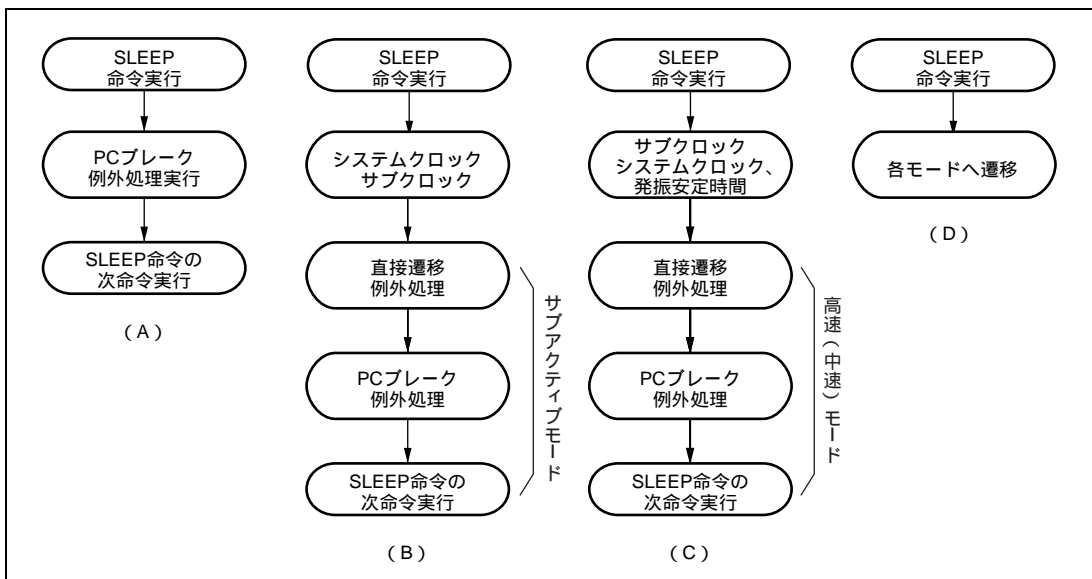


図 6.2 低消費電力モード遷移時の動作

## 6. PC ブレークコントローラ (PBC)

---

### 6.3.5 命令実行が 1 ステート遅れる場合

ブレーク割り込みイネーブルビットがセットされている期間、通常の動作と比較して以下の命令の実行が 1 ステート遅れます。

- 内蔵ROM/RAM内に存在する1ワード分岐命令 (Bcc d:8、BSR、JSR、JMP、TRAPA、RTE、RTS)
- 命令フェッチによるブレーク割り込みを設定した場合で、ブレークアドレスが内蔵ROM/RAM空間にあって、同一アドレスをデータアクセスする命令
- 命令フェッチによるブレーク割り込みが発生する場合で、設定した命令より一つ前に実行される命令が以下のアドレッシングモードを持ち、そのアドレスが内蔵ROM/RAM空間にある場合  
(@ERn,@(d:16,ERn),@(d:32,ERn),@-ERn/ERn+,@aa:8,@aa:24,@aa:32,@(d:8,PC),@(d:16,:PC),@aa:8)
- 命令フェッチによるブレーク割り込みが発生する場合で、設定した命令より一つ前に実行される命令がNOP、SLEEPであるか、あるいは#xx,Rnをアドレッシングモードとして持ち、かつその命令が内蔵ROM/RAM空間に存在する場合

## 6.4 使用上の注意事項

### 6.4.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PBC の動作禁止 / 許可を設定することが可能です。初期値では、PBC の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### 6.4.2 PC ブレーク割り込み

PC ブレーク割り込みは、チャンネル A とチャンネル B の兼用です。割り込み処理の中でどちらのチャンネルからの要求かを判定してください。

### 6.4.3 CMFA、CMFB

CMFA、CMFB は自動的にクリアされませんので、CMFA = 1 または CMFB = 1 の状態で、CMFA または CMFB をリード後、0 をライトしてください。1 にセットしたままの状態では、割り込み処理後、再度割り込み要求が発生します。

### 6.4.4 DTC がバスマスタのときに発生した PC ブレーク割り込み

DTC がバスマスタのときに発生した PC ブレーク割り込みはバス権が CPU に移行した後受け付けられます。

### 6.4.5 BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令フェッチに PC ブレークを設定した場合

BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令はフェッチされても実行しないため、次のアド



レスの命令フェッチで PC ブレーク割り込みは発生しません。

#### 6.4.6 LDC、ANDC、ORC、XORC 命令により 1 ビットを設定した場合

LDC、ANDC、ORC、XORC 命令により 1 ビットを設定した場合、実行命令終了の 2 ステート後に PC ブレーク割り込みが有効になります。また、これらの命令の次命令に PC ブレーク割り込みを設定した場合、LDC、ANDC、ORC、XOR は、3 ステート期間、NMI 割り込みを含めて割り込みが禁止されるため、必ず次の命令を実行します。詳細は「第 5 章 割り込みコントローラ」を参照してください。

#### 6.4.7 Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合

分岐条件により次のアドレスの命令を実行するときは PC ブレーク割り込みが発生しますが、次のアドレスの命令を実行しないときは PC ブレーク割り込みが発生しません。

#### 6.4.8 Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合

分岐条件により分岐先の命令を実行するときは PC ブレーク割り込みが発生しますが、分岐先の命令を実行しないときは PC ブレーク割り込みが発生しません。

## 6. PC ブレークコントローラ (PBC)

---

## 7. バスコントローラ

CPU はシステムクロック ( ) を基準に動作します。メモリサイクルまたはバスサイクルはバスコントローラによって制御され、内蔵メモリ、内蔵周辺モジュールによってそれぞれ異なるアクセスを行います。また、H8S/2268 グループのバスコントローラはバス権調停機能をもっており、内部バスマスタである CPU およびデータトランスファコントローラ (DTC) の動作を制御します。

### 7.1 基本動作タイミング

の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは 1、2 または 4 ステートで構成され、内蔵メモリ、内蔵周辺モジュールによってそれぞれ異なるアクセスを行います。

#### 7.1.1 内蔵メモリアクセスタイミング (ROM、RAM)

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 7.1 に示します。

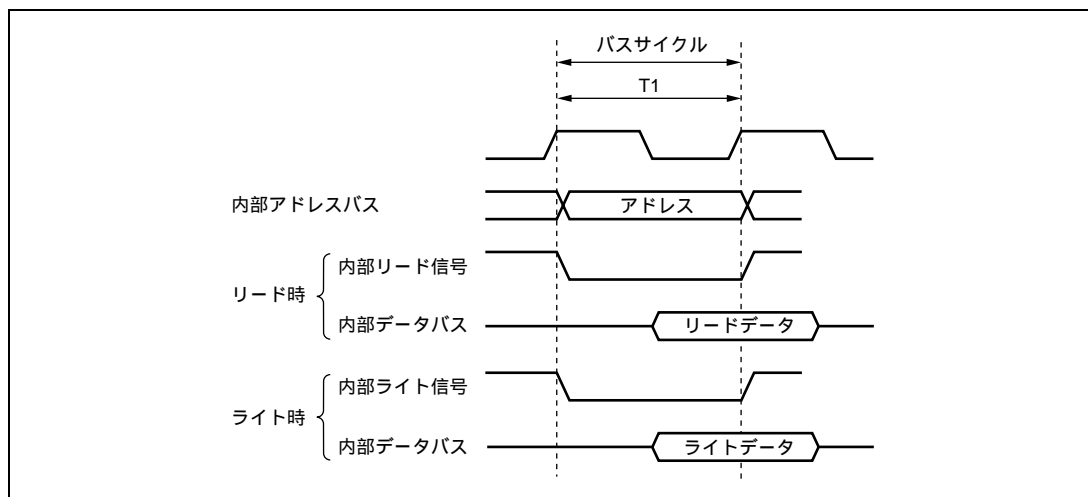


図 7.1 内蔵メモリアクセスサイクル

## 7. バスコントローラ

### 7.1.2 内蔵周辺モジュールアクセスタイミング (H'FFFDAC ~ H'FFFFBF)

アドレス H'FFFDAC ~ H'FFFFBF の内蔵周辺モジュールのアクセスは 2 ステートで行います。このとき、データバス幅は 8 ビットまたは 16 ビットで内部 I/O レジスタにより異なります。詳細は「第 24 章 レジスタ一覧」を参照してください。内蔵周辺モジュールアクセスタイミング (H'FFFDAC ~ H'FFFFBF) を図 7.2 に示します。

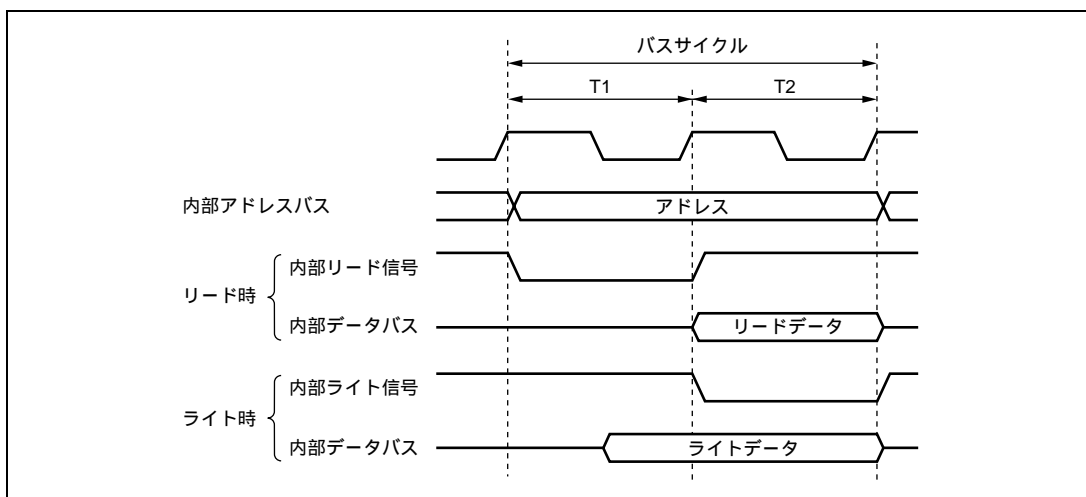


図 7.2 内蔵周辺モジュールアクセスサイクル (H'FFFDAC ~ H'FFFFBF)

### 7.1.3 内蔵周辺モジュールアクセスタイミング (H'FFFC30 ~ H'FFCA3)

アドレス H'FFFC30 ~ H'FFCA3 の内蔵周辺モジュール、レジスタのアクセスは 4 ステートで行います。このとき、データバス幅は 8 ビットまたは 16 ビットで内部 I/O レジスタにより異なります。詳細は「第 24 章 レジスタ一覧」を参照してください。内蔵周辺モジュールアクセスタイミング (H'FFFC30 ~ H'FFCA3) を図 7.3 に示します。

また、アドレス H'FFFC30 ~ H'FFCA3 番地の内蔵モジュールは、LCD、DTMF\*、TMR4\*、ポート H~L、ポート M\*、N\*、レジスタは WKP レジスタ、モジュールストップコントロールレジスタ D です。

【注】 \* H8S/2268 グループのみサポートします。

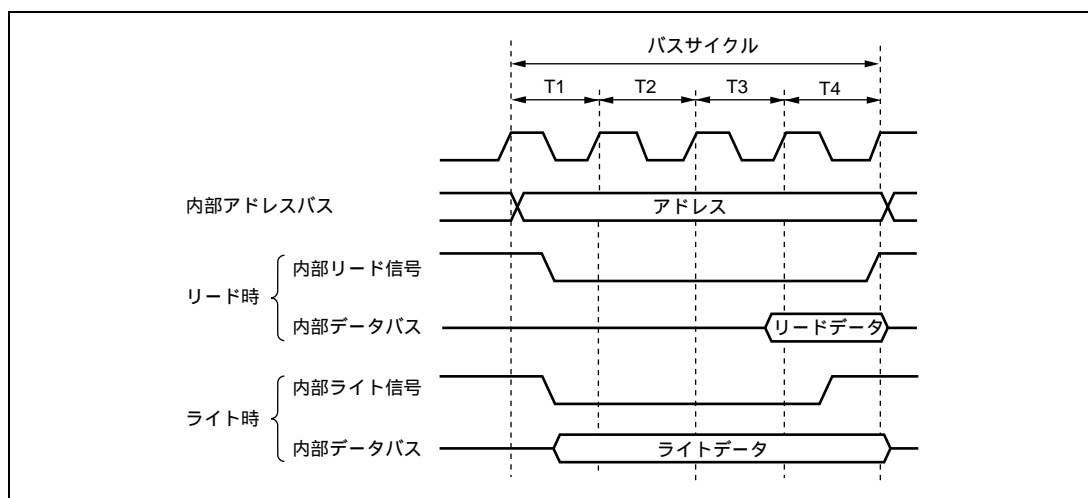


図 7.3 内蔵周辺モジュールアクセスサイクル (H'FFFC30 ~ H'FFCA3)

### 7.2 バスアービトレーション (H8S/2268 グループのみ)

バスコントローラはバスマスタ間のバス権を調停 (バスアービトレーション) するバスアービタの機能を内蔵しています。バスマスタには CPU、DTC の 2 つがあり、バス権を占有した状態でリード/ライト動作を行います。

#### 7.2.1 バスマスタの優先順位

各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは、バスマスタのバス権要求信号を検出し、バス権要求があれば所定のタイミングでそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。バスマスタの優先順位は以下のとおりです。

(高) DTC > CPU (低)

#### 7.2.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。CPU は最も優先順位が低いバスマスタで、DTC からバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- バスサイクルの切れ目で、バス権を移行します。

ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。詳細は H8S/2600 シリーズ、H8S/2000 シリーズソフトウェアマニュアルの「2.7 命令実行中のバス状態」を参照してください。

- CPU がスリープモードの場合はただちにバス権を移行します。

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

#### 7.2.3 リセットとバスコントローラ

リセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

---

## 8. データトランスファコントローラ (DTC)

---

H8S/2268 グループは、データトランスファコントローラ (DTC) を内蔵しています。H8S/2264 グループは内蔵していません。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 8.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときは必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

### 8.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類  
ノーマルモード、リピートモード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能

## 8. データトランスファコントローラ (DTC)

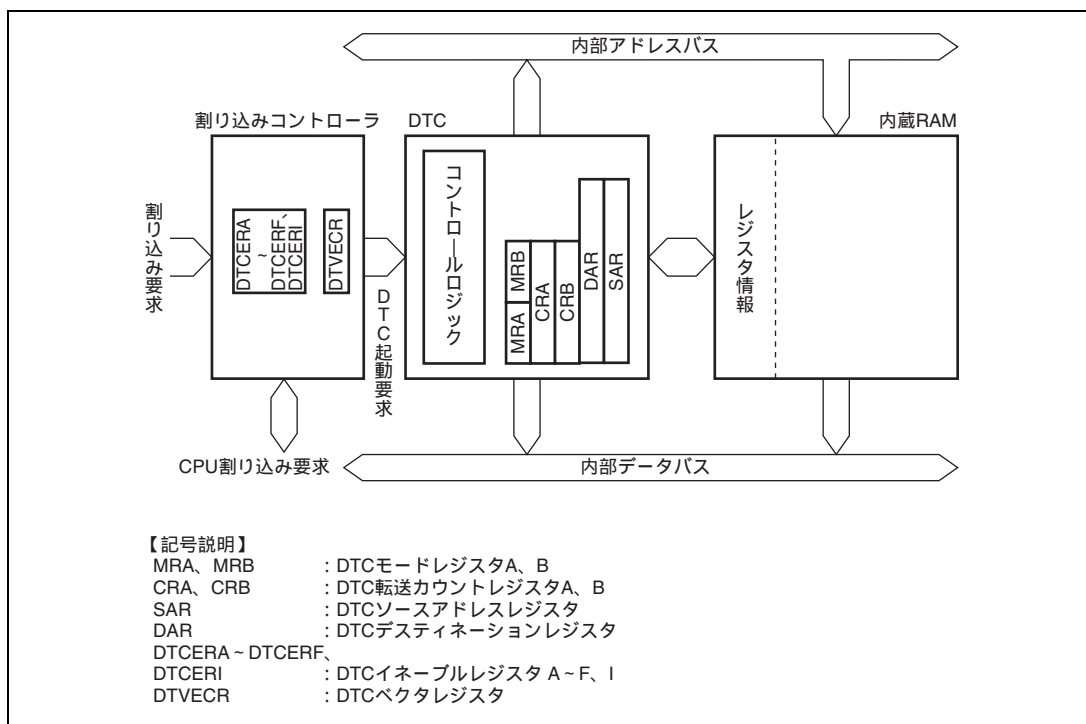


図 8.1 DTC のブロック図

### 8.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタ (DTCER)
- DTCベクタレジスタ (DTVECR)



## 8.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0x : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0x : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定		DTC モード 1、0 DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 :
1	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定		DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【記号説明】 x : Don't care

## 8. データトランスファコントローラ (DTC)

### 8.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定		DTC チェイン転送イネーブル チェイン転送を指定するビットです。チェイン転送の詳細は「8.5.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。 0 : DTC データ転送終了 (起動待ち状態) 1 : DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)
6	DISSEL	不定		DTC インタラプトセレクト 1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定するビットです。 0 : 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します (DTC は、起動要因となった割り込み要求フラグを 0 にクリア)。 1 : DTC データ転送のたびに CPU に対して割り込み要求を発生します (DTC は、起動要因となった割り込み要求フラグを 0 にクリアしない)
5-0		すべて不定		リザーブビット DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。

### 8.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 8.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されません。リピートモードでは CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。また、ブロック転送モードでは、CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。

### 8.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

### 8.2.7 DTC イネーブルレジスタ (DTCER)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERF、DTCERI があります。各割り込み要因と DTCE ビットの対応については表 8.1 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし複数の起動要因を一度に設定する時には、初期設定に限り、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。 [クリア条件] • MRB の DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき
5	DTCE5	0	R/W	
4	DTCE4	0	R/W	
3	DTCE3	0	R/W	
2	DTCE2	0	R/W	
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

## 8. データトランスファコントローラ (DTC)

### 8.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、ソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。1 のライトのみ可能です。 [クリア条件] • DISEL ビットが 0 で、指定した回数の転送が終了しないとき • CPU に対し、ソフトウェア起動データ転送終了割り込みが要求 (SWDTEND) が発生したあと、0 をライトしたとき DISEL ビットが 1 でデータ転送を終了したとき、指定した回数の転送が終了したときおよびソフトウェア起動によるデータ転送中はクリアされません。
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE = 0 のときライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

### 8.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。表 8.1 に起動要因と DTCER クリアを示します。たとえば RXI0 の場合、起動要因フラグは、SCI\_0 の RDRF フラグになります。DTC の起動要因は多数あるため、最終バイト (またはワード) の転送に対しては起動要因となったフラグをクリアしません。各割り込み処理にて必要な処理をしてください。

割り込みで DTC を起動する場合は CPU のマスケレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 8.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

表 8.1 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	<ul style="list-style-type: none"> <li>• SWDTE ビットは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>• SWDTE ビットは 1 を保持</li> <li>• CPU に割り込みを要求</li> </ul>
割り込み起動	<ul style="list-style-type: none"> <li>• DTCER の対応するビットは 1 を保持</li> <li>• 起動要因フラグは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>• DTCER の対応するビットは 0 にクリア</li> <li>• 起動要因フラグは 1 を保持</li> <li>• 起動要因となった割り込みを CPU に要求</li> </ul>

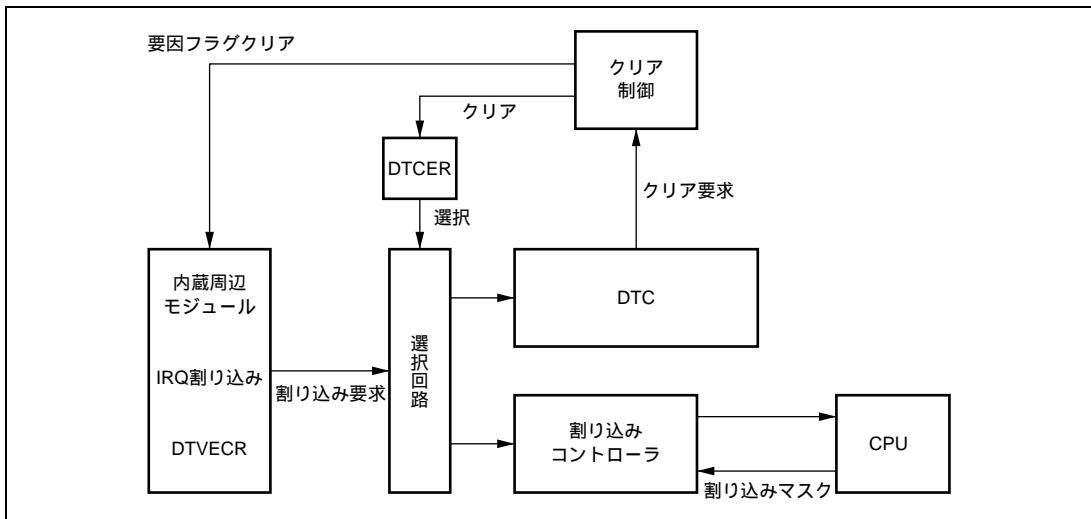


図 8.2 DTC 起動要因制御ブロック図

## 8.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFEB00 ~ H'FFEFBF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは 4 の倍数の番地としてください。図 8.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 8.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 8.4 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは  $H'0400 + (DTVECR[6:0] \times 2)$  となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモード\*とアドバンスモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

【注】 \* 本 LSI では使用できません。

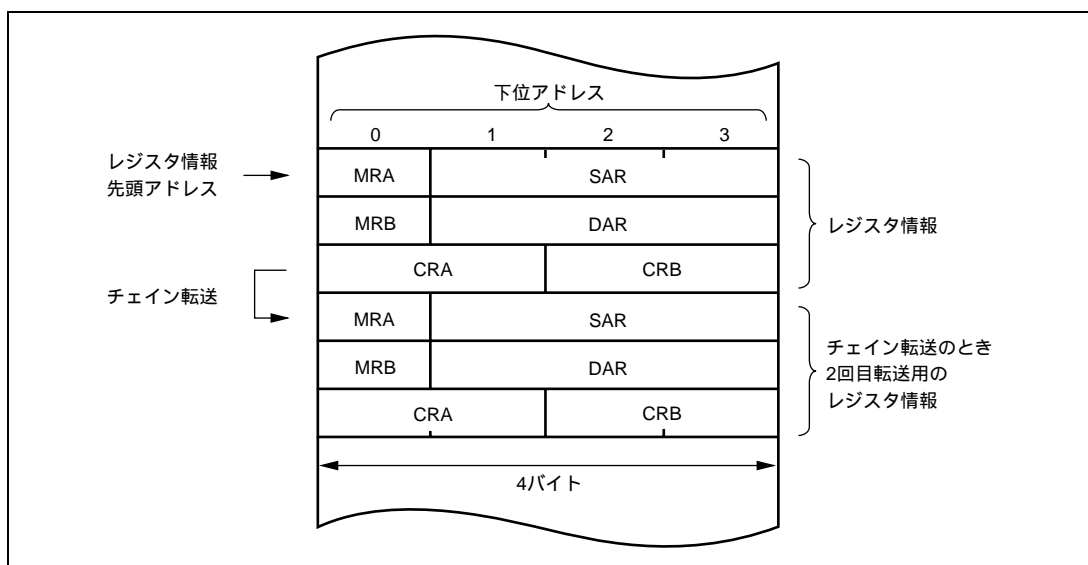


図 8.3 アドレス空間上での DTC レジスタ情報の配置

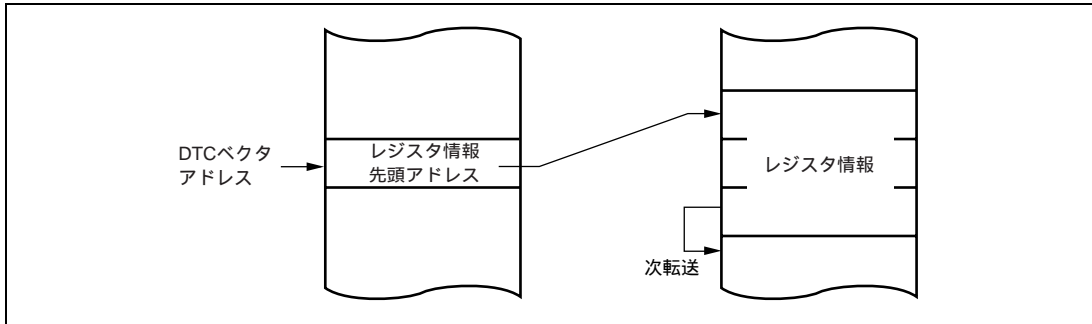


図 8.4 DTC ベクタアドレスとレジスタ情報との対応





## 8.5 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

図 8.5 に DTC の動作フローチャートを示します。

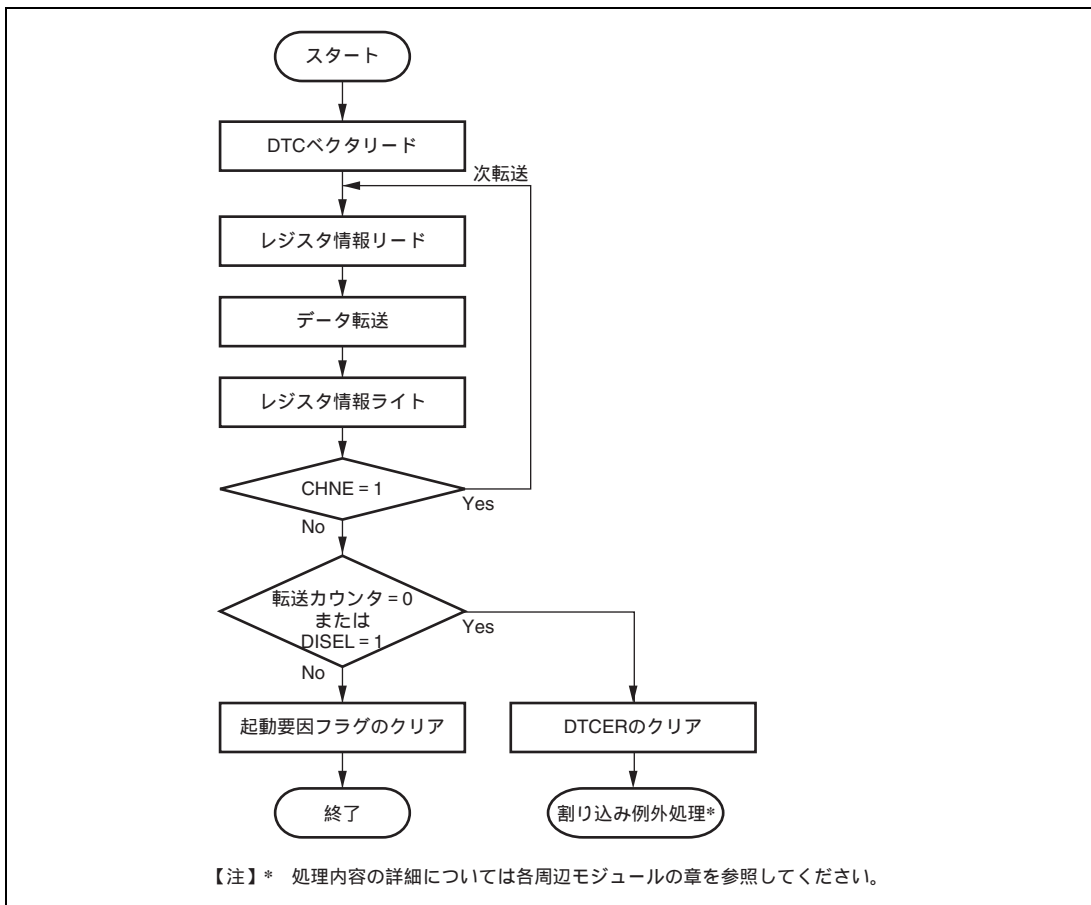


図 8.5 DTC 動作フローチャート

## 8. データトランスファコントローラ (DTC)

### 8.5.1 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。表 8.3 にノーマルモードにおけるレジスタ機能を、図 8.6 にノーマルモードのメモリマップを示します。

表 8.3 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

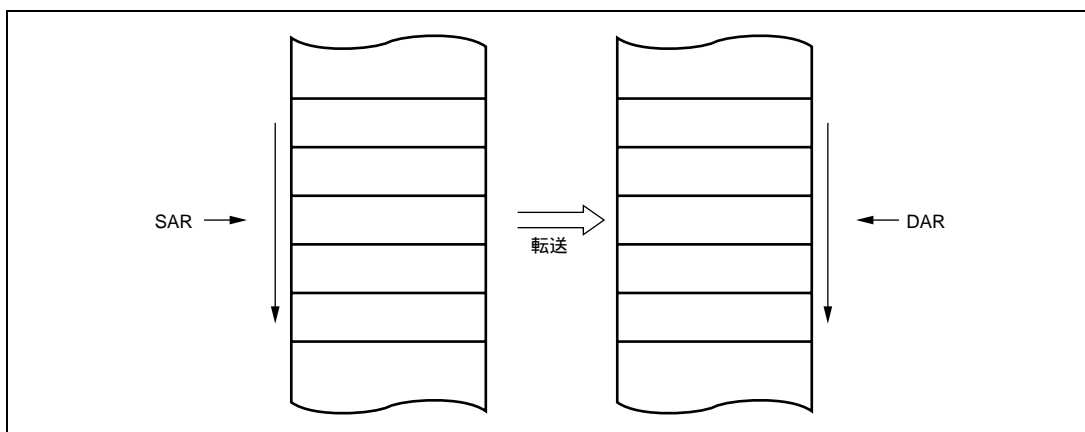


図 8.6 ノーマルモードのメモリマップ

### 8.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。表8.4にリピートモードにおけるレジスタ機能を、図8.7にリピートモードのメモリマップを示します。

表 8.4 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

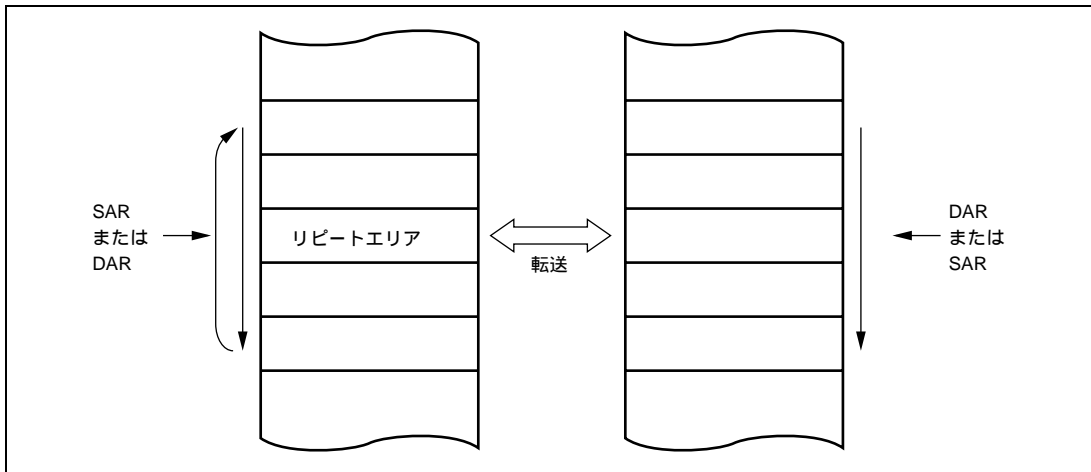


図 8.7 リピートモードのメモリマップ

### 8.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。表 8.5 にブロック転送モードにおけるレジスタ機能を、図 8.8 にブロック転送モードのメモリマップを示します。

表 8.5 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウンタレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウンタレジスタ B	CRB	転送カウンタ

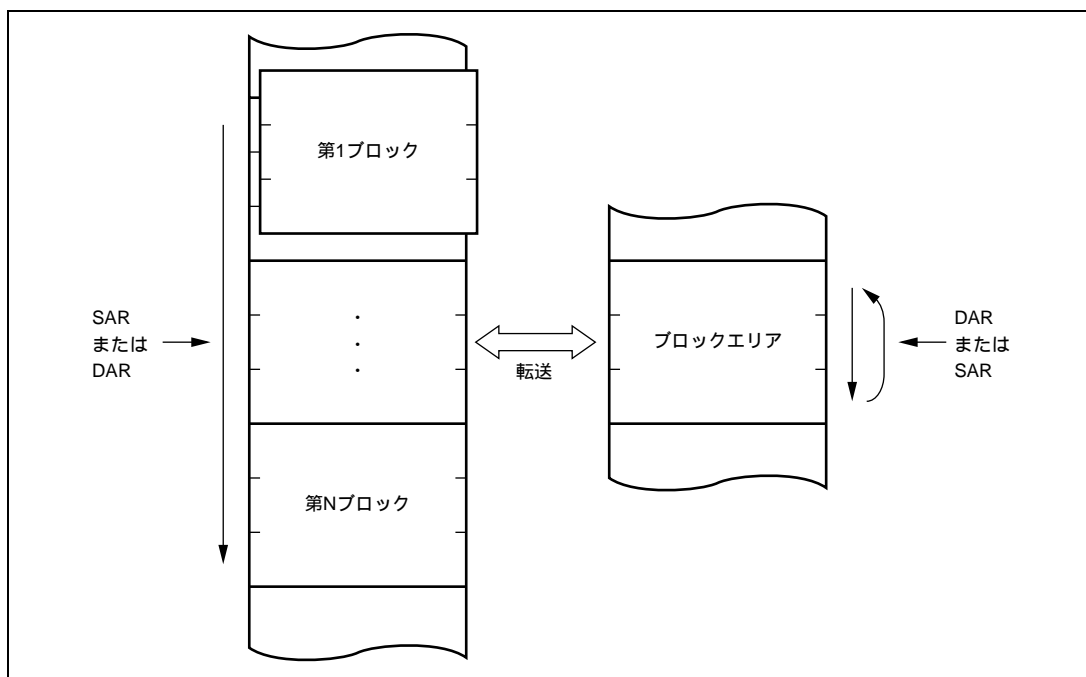


図 8.8 ブロック転送モードのメモリマップ

### 8.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 8.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISSEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

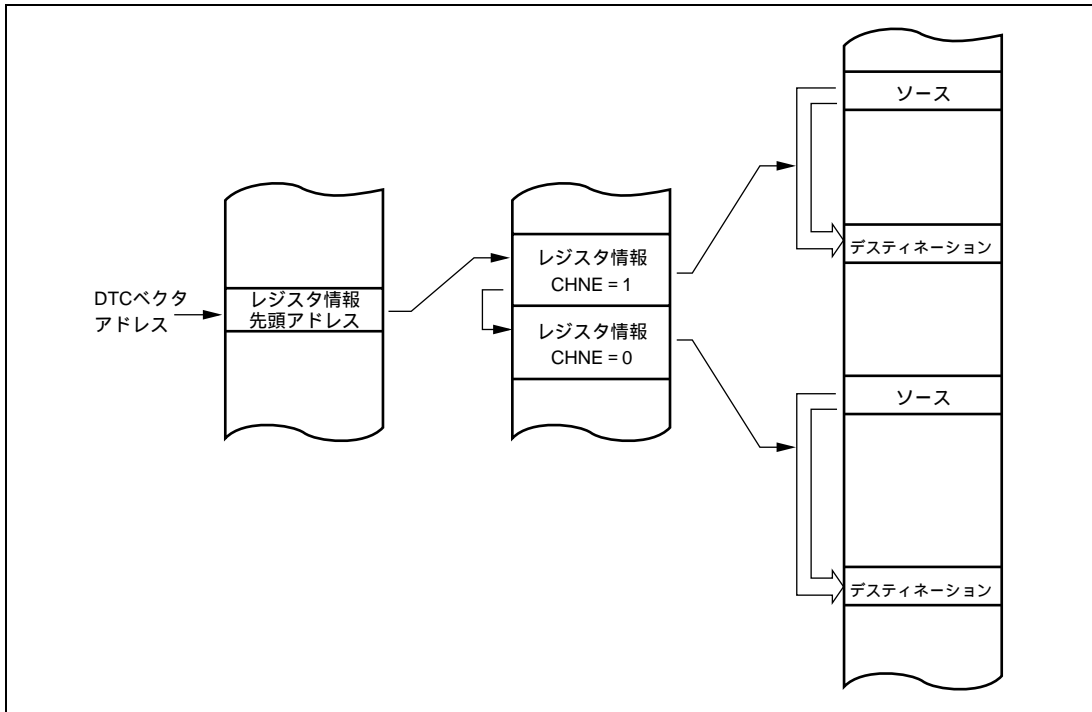


図 8.9 チェイン転送の動作

## 8. データトランスファコントローラ (DTC)

### 8.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

### 8.5.6 動作タイミング

図 8.10 ~ 図 8.12 に DTC の動作タイミングを示します。

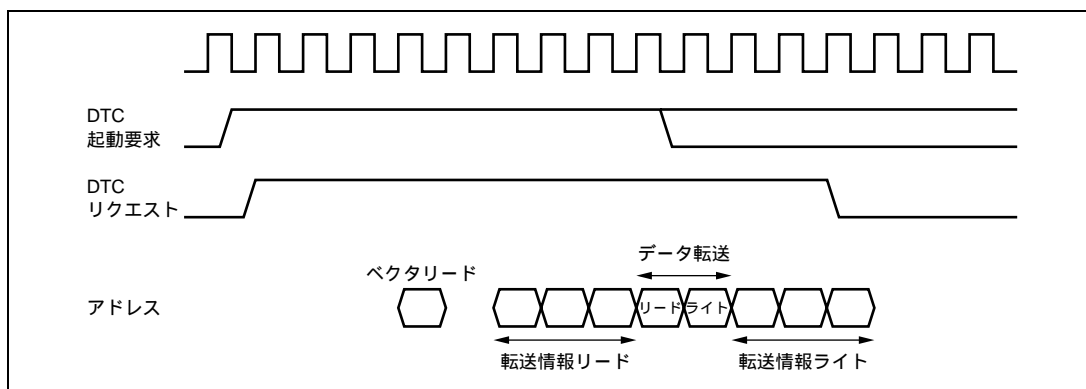


図 8.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

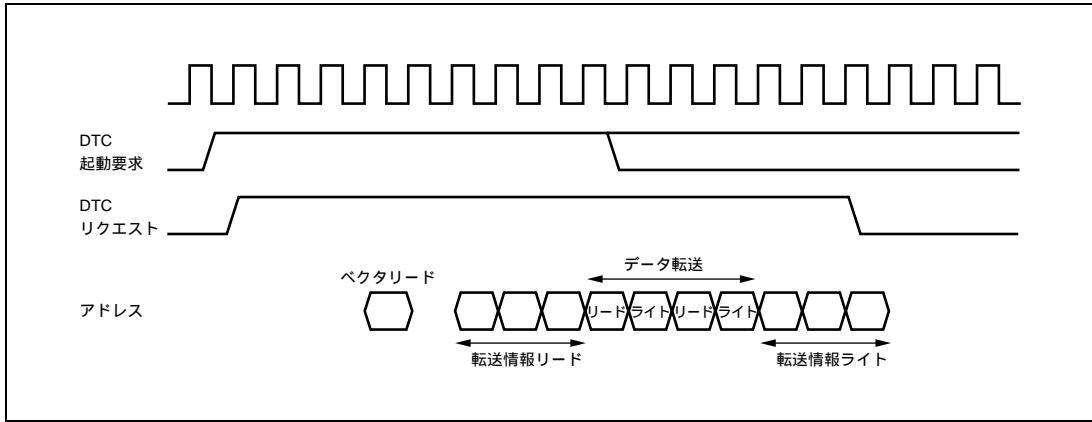


図 8.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

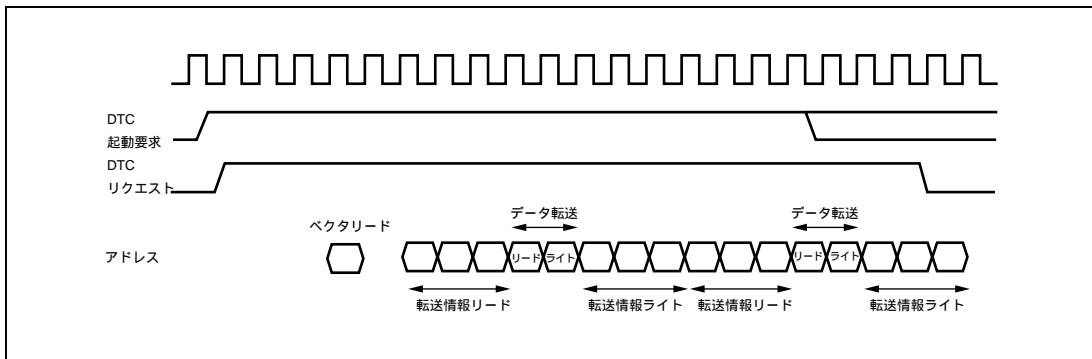


図 8.12 DTC の動作タイミング (チェイン転送の例)

### 8.5.7 DTC 実行ステート数

表 8.6 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.7 に、実行状態に必要なステート数を示します。

表 8.6 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

【記号説明】 N : ブロックサイズ (CRAH、CRAL の初期設定値)

## 8. データトランスファコントローラ (DTC)

表 8.7 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス*			
						8		16	
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実 行 状 態	ベクタリードSi	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報Sj リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリードSk	1	1	2	2	2	3+m	2	3+m
	ワードデータリードSk	1	1	4	2	4	6+2m	2	3+m
	バイトデータライトSl	1	1	2	2	2	3+m	2	3+m
	ワードデータライトSl	1	1	4	2	4	6+2m	2	3+m
	内部動作Sm	1							

【記号説明】 m : 外部デバイスアクセス時のウェイトステート数

【注】 \* 本 LSI では使用できません。

実行ステート数は次の計算式で計算されます。なお、は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_i + (J \cdot S_j + K \cdot S_k + L \cdot S_l) + M \cdot S_m$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。



## 8.6 DTC 使用手順

### 8.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。  
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

### 8.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

### 8.7 DTC 使用例

#### 8.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE = 0、DISEL = 0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### 8.7.2 ソフトウェア起動

DTCの使用例として、ソフトウェア起動による1ブロック128バイトのデータ転送を行う例を示します。転送元アドレスはH'1000、転送先アドレスはH'2000です。ベクタ番号はH'60、したがって、ベクタアドレスはH'04C0です。

1. MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはHE0です。
5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表わします。3.と4. 間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、3.に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

### 8.8 使用上の注意事項

#### 8.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTC の動作禁止 / 許可を設定することが可能です。初期値では、DTC の動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中にはモジュールストップモードに設定できません。詳細は、「第 22 章 低消費電力状態」を参照してください。

#### 8.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合には、SYSCR の RAME ビットを 0 にクリアしないでください。

#### 8.8.3 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード / ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

---

## 9. I/O ポート

---

H8S/2268 グループには、10 本の入出力ポート（ポート 1、3、7、F、H、J~N）と 2 本の入力専用ポート（ポート 4、9）があります。H8S/2264 グループには、8 本の入出力ポート（ポート 1、3、7、F、H、J~L）と 2 本の入力専用ポート（ポート 4、9）があります。

ポート機能一覧を表 9.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR）と、端子の状態をリードするポートレジスタ（PORT）から構成されています。なお、入力専用ポートには DDR、DR はありません。

本 LSI のポート J には、入力プルアップ MOS が内蔵されており、DDR、DR の他に、入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン/オフを制御します。

本 LSI のポート 3 には、オープンドレインコントロールレジスタ（ODR）が内蔵されており、出力バッファの PMOS のオン/オフを制御します。

すべてのポートは 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

ポート 3 の P34、P35 の出力形式は、NMOS プッシュプル出力となっています。

$\overline{\text{IRQ}}$  端子と  $\overline{\text{WKP}}$  端子は、シュミットトリガ入力です。また、H8S/2268 グループの PH0~PH3、ポート J~N、H8S/2264 グループの PH0~PH3、ポート J~L は液晶表示用セグメント端子、コモン端子と兼用されており、8 ビット単位で選択できます。

## 9. I/O ポート

表 9.1 (1) H8S/2268 グループのポート機能一覧

ポート名	概要	端子名	入出力形態他
ポート 1	TPU 入出力端子、割り込み入力端子と兼用汎用入出力ポート	P17/TIOCB2/TCLKD P16/TIOCA2/ $\overline{IRQ1}$ P15/TIOCB1/TCLKC P14/TIOCA1/ $\overline{IRQ0}$ P13/TIOCD0/TCLKB P12/TIOCC0/TCLKA P11/TIOCB0 P10/TIOCA0	シュミットトリガ入力 ( $\overline{IRQ1}$ 、 $\overline{IRQ0}$ )
ポート 3	SCI_0、SCI_1 入出力端子、 $\mu$ C バスインタフェース入出力端子、割り込み入力端子と兼用汎用入出力ポート	P35/SCK1/SCL0/ $\overline{IRQ5}$ P34/RxD1/SDA0 P33/TxD1/SCL1 P32/SCK0/SDA1/ $\overline{IRQ4}$ P31/RxD0 P30/TxD0	オープンドレイン出力可能 シュミットトリガ入力 ( $\overline{IRQ5}$ 、 $\overline{IRQ4}$ ) NMOS プッシュプル出力 (P35、P34、SCK1)
ポート 4	A/D 変換器のアナログ入力端子と兼用汎用入力ポート	P47/AN7 P46/AN6 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0	
ポート 7	SCI_2 入出力端子、8 ビットタイマ入出力端子と兼用汎用入出力ポート	P77/TxD2 P76/RxD2 P75/TMO3/SCK2 P74/TMO2 P73/TMO1 P72/TMO0 P71/TMRI23/TMCI23 P70/TMRI01/TMCI01	
ポート 9	A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子と兼用汎用入力ポート	P97/AN9/DA1 P96/AN8/DA0	
ポート F	割り込み入力端子、A/D 変換器の入力端子と兼用汎用入出力ポート	PF3/ADTRG/ $\overline{IRQ3}$	シュミットトリガ入力 ( $\overline{IRQ3}$ )
ポート H	兼用汎用入力ポート	PH7	
	LCD コモン出力端子と兼用汎用入出力ポート	PH3/COM4 PH2/COM3 PH1/COM2 PH0/COM1	

ポート名	概要	端子名	入出力形態他
ポート J	ウェイクアップ入力端子、LCD のセグメント出力端子と兼用汎用入出力ポート	PJ7/WKP7/SEG8 PJ6/WKP6/SEG7 PJ5/WKP5/SEG6 PJ4/WKP4/SEG5 PJ3/WKP3/SEG4 PJ2/WKP2/SEG3 PJ1/WKP1/SEG2 PJ0/WKP0/SEG1	<ul style="list-style-type: none"> <li>入力プルアップ MOS 内蔵</li> <li>シュミットトリガ入力 (WKP7 ~ WKP0)</li> </ul>
ポート K	LCD のセグメント出力端子と兼用汎用入出力ポート	PK7/SEG16 PK6/SEG15 PK5/SEG14 PK4/SEG13 PK3/SEG12 PK2/SEG11 PK1/SEG10 PK0/SEG9	
ポート L	LCD のセグメント出力端子と兼用汎用入出力ポート	PL7/SEG24 PL6/SEG23 PL5/SEG22 PL4/SEG21 PL3/SEG20 PL2/SEG19 PL1/SEG18 PL0/SEG17	
ポート M	LCD のセグメント出力端子と兼用汎用入出力ポート	PM7/SEG32 PM6/SEG31 PM5/SEG30 PM4/SEG29 PM3/SEG28 PM2/SEG27 PM1/SEG26 PM0/SEG25	
ポート N	LCD のセグメント出力端子と兼用汎用入出力ポート	PN7/SEG40 PN6/SEG39 PN5/SEG38 PN4/SEG37 PN3/SEG36 PN2/SEG35 PN1/SEG34 PN0/SEG33	

## 9. I/O ポート

表 9.1 (2) H8S/2264 グループのポート機能一覧

ポート名	概要	端子名	入出力形態他
ポート 1	TPU 入出力端子、割り込み入力端子と兼用汎用入出力ポート	P17/TIOCB2 P16/TIOCA2/ $\overline{\text{IRQ1}}$ P15/TIOCB1/TCLKC P14/TIOCA1/ $\overline{\text{IRQ0}}$ P13/TCLKB P12/TCLKA P11 P10	シュミットトリガ入力 ( $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ )
ポート 3	SCI_0、SCI_1 入出力端子、 $\mu\text{C}$ バスインタフェース入出力端子、割り込み入力端子と兼用汎用入出力ポート	P35/SCK1/SCL0 P34/RxD1/SDA0 P33/TxD1 P32/SCK0/ $\overline{\text{IRQ4}}$ P31/RxD0 P30/TxD0	オープンドレイン出力可能 シュミットトリガ入力 ( $\overline{\text{IRQ4}}$ ) NMOS プッシュプル出力 (P35、P34、SCK1)
ポート 4	A/D 変換器のアナログ入力端子と兼用汎用入力ポート	P47/AN7 P46/AN6 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0	
ポート 7	SCI_2 入出力端子、8 ビットタイマ入出力端子と兼用汎用入出力ポート	P77/TxD2 P76/RxD2 P75/SCK2 P74 P73/TMO1 P72/TMO0 P71 P70/TMRI01/TMCI01	
ポート 9	A/D 変換器のアナログ入力端子と兼用汎用入力ポート	P97/AN9 P96/AN8	
ポート F	割り込み入力端子、A/D 変換器の入力端子と兼用汎用入出力ポート	PF3/ $\overline{\text{ADTRG}}$ / $\overline{\text{IRQ3}}$	シュミットトリガ入力 ( $\overline{\text{IRQ3}}$ )
ポート H	汎用入力ポート	PH7	
	LCD コモン出力端子と兼用汎用入出力ポート	PH3/COM4 PH2/COM3 PH1/COM2 PH0/COM1	



ポート名	概要	端子名	入出力形態他
ポート J	ウェイクアップ入力端子、LCD のセグメント出力端子と兼用汎用入出力ポート	PJ7/WKP7/SEG8 PJ6/WKP6/SEG7 PJ5/WKP5/SEG6 PJ4/WKP4/SEG5 PJ3/WKP3/SEG4 PJ2/WKP2/SEG3 PJ1/WKP1/SEG2 PJ0/WKP0/SEG1	<ul style="list-style-type: none"> <li>入力プルアップ MOS 内蔵</li> <li>シュミットトリガ入力 (WKP7 ~ WKP0)</li> </ul>
ポート K	LCD のセグメント出力端子と兼用汎用入出力ポート	PK7/SEG16 PK6/SEG15 PK5/SEG14 PK4/SEG13 PK3/SEG12 PK2/SEG11 PK1/SEG10 PK0/SEG9	
ポート L	LCD のセグメント出力端子と兼用汎用入出力ポート	PL7/SEG24 PL6/SEG23 PL5/SEG22 PL4/SEG21 PL3/SEG20 PL2/SEG19 PL1/SEG18 PL0/SEG17	

## 9. I/O ポート

### 9.1 ポート 1

ポート 1 は、8 ビットの入出力ポートです。ポート 1 には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

#### 9.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR は、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを 1 にセットすると対応するポート 1 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

#### 9.1.2 ポート 1 データレジスタ (P1DR)

P1DR は、ポート 1 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

### 9.1.3 ポート 1 レジスタ (PORT1)

PORT1 は、ポート 1 の各端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P17	*	R	このレジスタをリードすると、P1DDR がセットされているビットは P1DR の値が読み出されます。P1DDR がクリアされているビットは端子の状態が読み出されます。
6	P16	*	R	
5	P15	*	R	
4	P14	*	R	
3	P13	*	R	
2	P12	*	R	
1	P11	*	R	
0	P10	*	R	

【注】\* P17～P10 端子の状態により決定されます。

### 9.1.4 端子機能

ポート 1 の各端子は、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD\*、TIOCA0\*、TIOCB0\*、TIOCC0\*、TIOCD0\*、TIOCA1、TIOCB1、TIOCA2、TIOCB2)、外部割り込み入力端子 ( $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ ) と兼用になっています。ポート 1 の端子機能は以下の通りです。なお、TPU チャンネルの設定については「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

【注】\* H8S/2268 グループのみサポートします。

- P17/TIOCB2/TCLKD\*<sup>3</sup>

TPU チャンネル 2 の設定、TCR0 の TPSC2～TPSC0 ビット\*<sup>3</sup>および P17DDR ビットの組み合わせにより、次のように切り替ります。

TPU チャンネル 2 の設定	出力設定	入力設定または初期値	
P17DDR		0	1
端子機能	TIOCB2 出力端子	P17 入力端子	P17 出力端子
		TIOCB2 入力端子* <sup>2</sup>	
TCLKD 入力端子* <sup>1*3</sup>			

【注】 \*1 H8S/2268 グループでは、TCR0 の TPSC2～TPSC0=111 のとき、TCLKD 入力端子となります。また、チャンネル 2 を位相計数モードに設定すると TCLKD 入力端子となります。

\*2 TPU チャンネル 2 のタイマの動作モードが通常動作または位相計数モード\*<sup>3</sup>で TIOR\_2 の IOB3=1 のとき、TIOCB2 入力端子となります。

\*3 H8S/2268 グループのみサポートします。

## 9. I/O ポート

- P16/TIOCA2/ $\overline{\text{IRQ1}}$

TPU チャンネル 2 の設定と P16DDR ビットの組み合わせにより、次のように切り替えます。

TPU チャンネル 2 の設定	出力設定	入力設定または初期値	
P16DDR		0	1
端子機能	TIOCA2 出力端子	P16 入力端子	P16 出力端子
		TIOCA2 入力端子*2	
	$\overline{\text{IRQ1}}$ 入力端子*1		

【注】 \*1 外部割り込み端子として使用する場合は他の機能として使用しないでください。

\*2 TPU チャンネル 2 のタイマの動作モードが通常動作または位相計数モード\*3で TIOR\_2 の IOA3=1 のとき、TIOCA2 入力端子となります。

\*3 H8S/2268 グループのみサポートします。

- P15/TIOCB1/TCLKC

TPU チャンネル 1 の設定、TCR0\*3、TCR2 の TPSC2 ~ TPSC0 ビットおよび P15DDR ビットの組み合わせにより、次のように切り替えます。

TPU チャンネル 1 の設定	出力設定	入力設定または初期値	
P15DDR		0	1
端子機能	TIOCB1 出力端子	P15 入力端子	P15 出力端子
		TIOCB1 入力端子*2	
	TCLKC 入力端子*1		

【注】 \*1 TCR0\*3、TCR2 のいずれかの設定が TPSC2 ~ TPSC0=110 のとき、TCLKC 入力端子となります。

また、チャンネル 2 を位相計数モード\*3に設定すると TCLKC 入力端子となります。

\*2 TPU チャンネル 1 のタイマの動作モードが通常動作または位相計数モード\*3で TIOR\_1 の IOB3 ~ IOB0=10xx のとき、TIOCB1 入力端子となります。

\*3 H8S/2268 グループのみサポートします。

- P14/TIOCA1/ $\overline{\text{IRQ0}}$

TPU チャンネル 1 の設定と P14DDR ビットの組み合わせにより、次のように切り替えます。

TPU チャンネル 1 の設定	出力設定	入力設定または初期値	
P14DDR		0	1
端子機能	TIOCA1 出力端子	P14 入力端子	P14 出力端子
		TIOCA1 入力端子* <sup>2</sup>	
	$\overline{\text{IRQ0}}$ 入力端子* <sup>1</sup>		

【注】 \*1 外部割り込み端子として使用する場合は他の機能として使用しないでください。

\*2 TPU チャンネル 1 のタイマの動作モードが通常動作または位相計数モード\*<sup>3</sup>で TIOR\_1 の IOA3 ~ IOA0=10xx のとき、TIOCA1 入力端子となります。

\*3 H8S/2268 グループのみサポートします。

- P13/TIOCD0\*<sup>3</sup>/TCLKB

TPU チャンネル 0\*<sup>3</sup>の設定、TCR0\*<sup>3</sup>、TCR1、TCR2 の TPSC2 ~ TPSC0 ビットおよび P13DDR ビットの組み合わせにより、次のように切り替えます。

TPU チャンネル 0 の設定* <sup>3</sup>	出力設定	入力設定または初期値	
P13DDR		0	1
端子機能	TIOCD0 出力端子* <sup>3</sup>	P13 入力端子	P13 出力端子
		TIOCD0 入力端子* <sup>2</sup> * <sup>3</sup>	
	TCLKB 入力端子* <sup>1</sup>		

【注】 \*1 TCR0\*<sup>3</sup>、TCR1、TCR2 のいずれかの設定が TPSC2 ~ TPSC0=101 のとき、TCLKB 入力端子となります。

また、チャンネル 1 を位相計数モード\*<sup>3</sup>に設定すると TCLKB 入力端子となります。

\*2 H8S/2268 グループでは、TPU チャンネル 0 のタイマの動作モードが通常動作で TIORL\_0 の IOD3 ~ IOD0=10xx のとき、TIOCD0 入力端子となります。

\*3 H8S/2268 グループのみサポートします。

## 9. I/O ポート

- P12/TIOCC0<sup>\*3</sup>/TCLKA

TPU チャンネル0<sup>\*3</sup>の設定、TCR0<sup>\*3</sup>、TCR1、TCR2 の TPSC2 ~ TPSC0 ビットおよび P12DDR ビットの組み合わせにより、次のように切り替えます。

TPU チャンネル0 の設定 <sup>*3</sup>	出力設定	入力設定または初期値	
P12DDR		0	1
端子機能	TIOCC0 出力端子 <sup>*3</sup>	P12 入力端子	P12 出力端子
		TIOCC0 入力端子 <sup>*2 *3</sup>	
TCLKA 入力端子 <sup>*1</sup>			

【注】 \*1 TCR0<sup>\*3</sup>、TCR1、TCR2 のいずれかの設定が TPSC2 ~ TPSC0=100 のとき、TCLKA 入力端子となります。  
また、チャンネル1 を位相計数モード<sup>\*3</sup>に設定すると TCLKA 入力端子となります。

\*2 H8S/2268 グループでは、TPU チャンネル0 のタイマの動作モードが通常動作で TIORL\_0 の IOC3 ~ IOC0=10xx のとき、TIOCC0 入力端子となります。

\*3 H8S/2268 グループのみサポートします。

- P11/TIOCB0<sup>\*2</sup>

TPU チャンネル0<sup>\*2</sup>の設定と P11DDR ビットの組み合わせにより、次のように切り替えます。

TPU チャンネル0 の設定 <sup>*2</sup>	出力設定	入力設定または初期値	
P11DDR		0	1
端子機能	TIOCB0 出力端子	P11 入力端子	P11 出力端子
		TIOCB0 入力端子 <sup>*1 *2</sup>	

【注】 \*1 H8S/2268 グループでは、TPU チャンネル0 のタイマの動作モードが通常動作で TIORH\_0 の IOB3 ~ IOB0=10xx のとき、TIOCB0 入力端子となります。

\*2 H8S/2268 グループのみサポートします。

- P10/TIOCA0<sup>\*2</sup>

TPU チャンネル0<sup>\*2</sup>の設定と P10DDR ビットの組み合わせにより、次のように切り替えます。

TPU チャンネル0 の設定 <sup>*2</sup>	出力設定	入力設定または初期値	
P10DDR		0	1
端子機能	TIOCA0 出力端子 <sup>*2</sup>	P10 入力端子	P10 出力端子
		TIOCA0 入力端子 <sup>*1 *2</sup>	

【注】 \*1 H8S/2268 グループでは、TPU チャンネル0 のタイマの動作モードが通常動作で TIORH\_0 の IOA3 ~ IOA0=10xx のとき、TIOCA0 入力端子となります。

\*2 H8S/2268 グループのみサポートします。

## 9.2 ポート 3

ポート 3 は、6 ビットの入出力ポートです。P34、P35、SCK1 は NMOS プッシュプル出力になります。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オープンドレインコントロールレジスタ (P3ODR)

### 9.2.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると、不定値が読み出されます。ライトは無効です。
6		不定		
5	P35DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを 1 にセットすると対応するポート 3 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

## 9. I/O ポート

---

### 9.2.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7		不定		リザーブビット
6		不定		リードすると、不定値が読み出されます。ライトは無効です。
5	P35DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

### 9.2.3 ポート 3 レジスタ (PORT3)

PORT3 は、ポート 3 の各端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7		不定		リザーブビット
6		不定		リードすると、不定値が読み出されます。ライトは無効です。
5	P35	*	R	このレジスタをリードすると、P3DDR がセットされているビットは P3DR の値が読み出されます。P3DDR がクリアされているビットは端子の状態が読み出されます。
4	P34	*	R	
3	P33	*	R	
2	P32	*	R	
1	P31	*	R	
0	P30	*	R	

【注】 \* P35 ~ P30 端子の状態により決定されます。



### 9.2.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の各端子の PMOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット
6		不定		リードすると、不定値が読み出されます。ライトは無効です。
5	P35ODR	0	R/W	P33ODR ~ P30ODR の各ビットを 1 にセットすると P33 ~ P30 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。P35ODR、P34ODR の各ビットを 1 にセットすると、P35、P34 端子は NMOS オープンドレイン出力となり、0 にクリアすると、NMOS プッシュプル出力となります。
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

### 9.2.5 端子機能

ポート 3 の各端子は、SCI の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1)、I<sup>2</sup>C バスインタフェースの入出力端子 (SCL0、SDA0、SCL1\*、SDA1\*)、割り込み入力端子 ( $\overline{IRQ4}$ 、 $\overline{IRQ5}$ \*) と兼用になっています。図 9.1 に示すように、P34、P35、SCK1、SCL0、SDA0 のタイプのオープンドレイン出力形式の場合、本 LSI の電源がダウンした場合でも、バスラインに影響を与えることはありません。システムで、本 LSI に電源が供給されない状態があるバスラインを使用する場合は (a) のオープンドレイン出力を使用してください。

【注】 \* H8S/2268 グループのみサポートします。

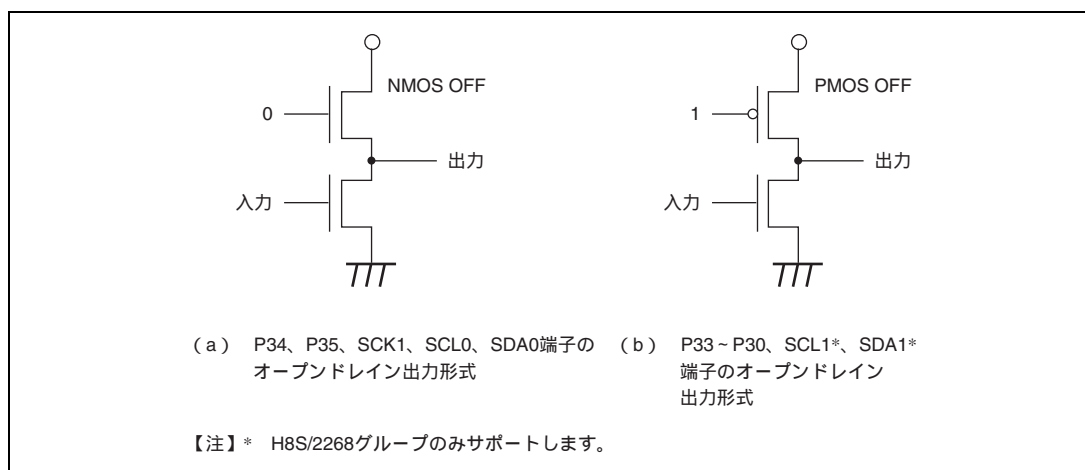


図 9.1 オープンドレイン出力形式の違い

## 9. I/O ポート

ポート P34、P35、SCK1 の NMOS プッシュプル出力は High 出力を設定しても負荷にかかわらず Vcc レベルは出力されません。Vcc レベルを出力するにはプルアップ抵抗を外付けする必要があります。

- 【注】
1. プルアップ抵抗を外付けした場合、信号の立ち下がり、立ち上がり時間が長くなりますのでご注意ください。信号の立ち下がり、立ち上がり時間が長い信号を入力する場合、シュミットトリガ回路などノイズ除去信号機能がある入力回路を使用してください。
  2. 高速で動作させる場合にはレベルシフタを入れるなど外付け回路で対策してください。
  3. 出力特性に関しては、「表 25.15 DC 特性 (1)」の出力 High レベル電圧 P34、P35 を参照してください。プルアップ抵抗値に関しては、「表 25.16 出力許容電流」を満足する値にしてください。

ポート 3 の端子機能を以下に示します。

- P35/SCK1/SCL0/ $\overline{\text{IRQ5}}$ \*2

IIC\_0 の ICCR\_0 の ICE ビット、SCL\_1 の SMR の C/ $\overline{\text{A}}$  ビット、SCR の CKE0、CKE1 ビットと P35DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0					1
CKE1	0				1	0
C/ $\overline{\text{A}}$	0			1	0	
CKE0	0		1	0		
P35DDR	0	1				
端子機能	P35 入力端子	P35 出力端子	SCK1 出力端子	SCK1 出力端子	SCK1 入力端子	SCL0 入出力端子
	$\overline{\text{IRQ5}}$ 入力*1*2					

【注】 \*1 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

\*2 H8S/2268 グループのみサポートします。

- P34/RxD1/SDA0

IIC\_0 の ICCR\_0 の ICE ビット、SCL\_1 の SCR の RE ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0			1
RE	0		1	
P34DDR	0	1	-	
端子機能	P34 入力端子	P34 出力端子	RxD1 入力端子	SDA0 入出力端子

- P33/TxD1/SCL1\*

IIC\_1 の ICCR\_1 の ICE ビット\*、SCI\_1 の SCR の TE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。

ICE*	0			1
TE	0		1	
P33DDR	0	1		
端子機能	P33 入力端子	P33 出力端子	TxD1 出力端子	SCL1 入出力端子*

【注】\* H8S/2268 グループのみサポートします。

- P32/SCK0/SDA1\*<sup>2</sup>/IRQ4

IIC\_1 の ICCR\_1 の ICE ビット\*<sup>2</sup>、SCI\_0 の SMR の C/A ビット、SCR の CKE0、CKE1 ビットと P32DDR ビットの組み合わせにより、次のように切り替わります。

ICE* <sup>2</sup>	0				1	
CKE1	0			1	0	
C/A	0		1		0	
CKE0	0		1		0	
P32DDR	0	1				
端子機能	P32 入力端子	P32 出力端子	SCK0 出力端子	SCK0 出力端子	SCK0 入力端子	SDA1 入出力端子* <sup>2</sup>
	IRQ4 入力* <sup>1</sup>					

【注】 \*<sup>1</sup> 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

\*<sup>2</sup> H8S/2268 グループのみサポートします。

- P31/RxD0

SCI\_0 の SCR の RE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P31DDR	0	1	
端子機能	P31 入力端子	P31 出力端子	RxD0 入力端子

- P30/TxD0

SCI\_0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P30DDR	0	1	
端子機能	P30 入力端子	P30 出力端子	TxD0 出力端子

## 9. I/O ポート

---

### 9.3 ポート 4

ポート 4 は、8 ビットの入力専用ポートです。ポート 4 には以下のレジスタがあります。

- ポート4レジスタ (PORT4)

#### 9.3.1 ポート 4 レジスタ (PORT4)

PORT4 は、ポート 4 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	P47	*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P46	*	R	
5	P45	*	R	
4	P44	*	R	
3	P43	*	R	
2	P42	*	R	
1	P41	*	R	
0	P40	*	R	

【注】\* P47～P40 端子の状態により決定されます。

#### 9.3.2 端子機能

ポート 4 の各端子は、A/D 変換器のアナログ入力端子 (AN0～AN7) との兼用になっています。

### 9.4 ポート 7

ポート 7 は、8 ビットの入出力ポートです。ポート 7 には以下のレジスタがあります。

- ポート7データディレクションレジスタ (P7DDR)
- ポート7データレジスタ (P7DR)
- ポート7レジスタ (PORT7)

#### 9.4.1 ポート 7 データディレクションレジスタ (P7DDR)

P7DDR は、ポート 7 の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	P77DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを1にセットすると対応するポート7の各端子は出力ポートとなり、0にクリアすると入力ポートになります。
6	P76DDR	0	W	
5	P75DDR	0	W	
4	P74DDR	0	W	
3	P73DDR	0	W	
2	P72DDR	0	W	
1	P71DDR	0	W	
0	P70DDR	0	W	

#### 9.4.2 ポート7データレジスタ (P7DR)

P7DRは、ポート7の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P77DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P76DR	0	R/W	
5	P75DR	0	R/W	
4	P74DR	0	R/W	
3	P73DR	0	R/W	
2	P72DR	0	R/W	
1	P71DR	0	R/W	
0	P70DR	0	R/W	

#### 9.4.3 ポート7レジスタ (PORT7)

PORT7は、ポート7の各端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P77	*	R	このレジスタをリードすると、P7DDRがセットされているビットはP7DRの値が読み出されます。P7DDRがクリアされているビットは端子の状態が読み出されます。
6	P76	*	R	
5	P75	*	R	
4	P74	*	R	
3	P73	*	R	
2	P72	*	R	
1	P71	*	R	
0	P70	*	R	

【注】\* P77～P70端子の状態により決定されます。

## 9. I/O ポート

### 9.4.4 端子機能

ポート7の各端子は、8ビットタイマの入出力端子 (TMRI01、TMCI01、TMRI23\*、TMCI23\*、TMO0、TMO1、TMO2\*、TMO3\* )、SCIの入出力端子 (SCK2、RxD2、TxD2) と兼用になっています。

ポート7の端子機能を以下に示します。

【注】\* H8S/2268 グループのみサポートします。

- P77/TxD2

SCI<sub>2</sub>のSCRのTEビットとP77DDRビットの組み合わせにより、次のように切り替わります。

TE	0		1
P77DDR	0	1	
端子機能	P77 入力端子	P77 出力端子	TxD2 出力端子

- P76/RxD2

SCI<sub>2</sub>のSCRのREビットとP76DDRビットの組み合わせにより、次のように切り替わります。

RE	0		1
P76DDR	0	1	
端子機能	P76 入力端子	P76 出力端子	RxD2 入力端子

- P75/TMO3\*/SCK2

8ビットタイマのTCSR<sub>3</sub>のOS3~OS0ビット\*、SCI<sub>2</sub>のSMRのC/A<sup>¯</sup>ビット、SCRのCKE0、CKE1ビットとP75DDRビットの組み合わせにより、次のように切り替わります。

OS3~OS0*	すべてが0				いずれかが1	
CKE1	0			1		
C/A <sup>¯</sup>	0		1			
CKE0	0	1				
P75DDR	0	1				
端子機能	P75 入力端子	P75 出力端子	SCK2 出力端子	SCK2 出力端子	SCK2 入力端子	TMO3 出力端子*

【注】\* H8S/2268 グループのみサポートします。

- P74/TMO2\*

8 ビットタイマの TCSR\_2 の OS3 ~ OS0 ビット\*と P74DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0*	すべてが 0		いずれかが 1
P74DDR	0	1	
端子機能	P74 入力端子	P74 出力端子	TMO2 出力端子*

【注】\* H8S/2268 グループのみサポートします。

- P73/TMO1

8 ビットタイマの TCSR\_1 の OS3 ~ OS0 ビットと P73DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0	すべてが 0		いずれかが 1
P73DDR	0	1	
端子機能	P73 入力端子	P73 出力端子	TMO1 出力端子

- P72/TMO0

8 ビットタイマの TCSR\_0 の OS3 ~ OS0 ビットと P72DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0	すべてが 0		いずれかが 1
P72DDR	0	1	
端子機能	P72 入力端子	P72 出力端子	TMO0 出力端子

- P71/TMRI23\*/TMCI23\*

P71DDR ビットにより、次のように切り替わります。

P71DDR	0	1
端子機能	P71 入力端子	P71 出力端子
	TMRI23、TMCI23 入力端子*	

【注】\* H8S/2268 グループのみサポートします。

- P70/TMRI01/TMCI01

P70DDR ビットにより、次のように切り替わります。

P70DDR	0	1
端子機能	P70 入力端子	P70 出力端子
	TMRI01、TMCI01 入力端子	

## 9. I/O ポート

---

### 9.5 ポート 9

ポート9は、2ビットの入力専用ポートです。ポート9には以下のレジスタがあります。

- ポート9レジスタ (PORT9)

#### 9.5.1 ポート 9 レジスタ (PORT9)

PORT9は、ポート9の各端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P97	*	R	これらのビットをリードすると、常に端子の状態が読み出されます。
6	P96	*	R	
5~0		不定	R	リザーブビット リードすると不定値が読み出されます。ライトは無効です。

【注】\* P97、P96 端子の状態により決定されます。

#### 9.5.2 端子機能

ポート9の各端子は、A/D変換器のアナログ入力端子 (AN8、AN9) と D/A変換器のアナログ出力端子 (DA0、DA1) \*との兼用になっています。

【注】\* H8S/2268 グループのみサポートします。



## 9.6 ポート F

ポート F は、1 ビットの入出力ポートです。ポート F には以下のレジスタがあります。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)

### 9.6.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、ポート F の端子の入出力を指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PF3DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応するポート F の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2~0		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。

### 9.6.2 ポート F データレジスタ (PFDR)

PFDR は、ポート F の端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PF3DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
2~0		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。

## 9. I/O ポート

### 9.6.3 ポート F レジスタ (PORTF)

PORTF は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PF3	*	R	このレジスタをリードすると、PFDDR がセットされているビットは、PFDR の値が読み出されます。PFDDR がクリアされている場合は PF3 端子の状態が読み出されます。
2~0		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。

【注】\* PF3 端子の状態により決定されます。

### 9.6.4 端子機能

ポート F は、外部割り込み入力端子 ( $\overline{\text{IRQ3}}$ )、A/D トリガ入力 ( $\overline{\text{ADTRG}}$ ) 端子と兼用になっています。ポート F の端子機能を以下に示します。

- PF3/ADTRG/IRQ3

A/D 変換器の ADCR の TRGS1、TRGS0 ビットと PF3DDR ビットにより、次のように切り替わります。

PF3DDR	0	1
端子機能	PF3 入力端子	PF3 出力端子
	$\overline{\text{ADTRG}}$ 入力端子* <sup>1</sup>	
	$\overline{\text{IRQ3}}$ 入力端子* <sup>2</sup>	

【注】 \*1 TRGS0=TRGS1=1 のとき  $\overline{\text{ADTRG}}$  入力端子となります。

\*2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

## 9.7 ポート H

ポート H は、1 ビットの入力ポートと 4 ビットの入出力ポートです。ポート H には以下のレジスタがあります。

- ポート H データディレクションレジスタ (PHDDR)
- ポート H データレジスタ (PHDR)
- ポート H レジスタ (PORTH)

### 9.7.1 ポート H データディレクションレジスタ (PHDDR)

PHDDR は、ポート H の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~4		すべて不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PH3DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを 1 にセットすると対応するポート H の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	PH2DDR	0	W	
1	PH1DDR	0	W	
0	PH0DDR	0	W	

### 9.7.2 ポート H データレジスタ (PHDR)

PHDR は、ポート H の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PH3DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

## 9. I/O ポート

### 9.7.3 ポートHレジスタ (PORTH)

PORTH は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PH7	*	R	このビットをリードすると、常に PH7 端子の状態が読み出されます。
6~4		すべて 不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PH3	*	R	これらのビットをリードすると、PHDDR がセットされているビットは PHDR の値が読み出されます。PHDDR がクリアされているビットは端子の状態が読み出されます。
2	PH2	*	R	
1	PH1	*	R	
0	PH0	*	R	

【注】 \* PH7、PH3 ~ PH0 端子状態により決定されます。

### 9.7.4 端子機能

ポートHの各端子は、DTMF 発生回路のアナログ出力端子 (TONED)\*、8 ビットリロードタイマの入力端子 (TMC14)\*、LCD ドライバのコモン出力端子 (COM4 ~ COM1) と兼用になっています。ポートHの端子機能を以下に示します。

【注】 \* H8S/2268 グループのみサポートします。

- PH7/TONED/TMC14 (H8S/2268グループ)

DTMF 発生回路の DTCR の CLOE、RWOE ビットの組み合わせにより、次のように切り替わります。

CLOE、RWOE	すべてが 0	いずれかが 1
端子機能	PH7 入力端子* <sup>1</sup>	TONED 出力端子
	TMC14 入力端子* <sup>1</sup> * <sup>2</sup>	

【注】 \*<sup>1</sup> PH7 入力端子、TMC14 入力端子に印加する電圧は、AVss (PH7、TMC14) AVcc の範囲としてください。

\*<sup>2</sup> TMC14 入力端子として使用する場合は、他の機能として使用しないでください。

- PH7 (H8S/2264グループ)

入力端子です。印加する場合は、Vss (PH7) Vcc の範囲としてください。

- PH3/COM4

LCD コントローラ / ドライバの LPCR の DTS1、DTS0、CMX、SGS3 ~ SGS0 ビットと LCR2 の SUPS ビット\* および PH3DDR ビットの組み合わせにより、次のように切り替わります。

SGS3 ~ SGS0	B'0000		H8S/2268 グループ : B'0001、B'001x または B'010x H8S/2264 グループ : B'001x または B'010x							
DTS1、DTS0	B'xx		B'0x				B'10			B'11
CMX	-		0		1		0		1	-
SUPS*	-		-		-		0		1	-
PH3DDR	0	1	0	1	-	0	1	-	-	-
端子機能	PH3 入力端子	PH3 出力端子	PH3 入力端子	PH3 出力端子	COM4 出力端子	PH3 入力端子	PH3 出力端子	使用禁止	COM4 出力端子	COM4 出力端子

【記号説明】 x:Don't care

【注】\* H8S/2268 グループのみサポートします。

- PH2/COM3

LCD コントローラ / ドライバの LPCR の DTS1、DTS0、CMX、SGS3 ~ SGS0 ビットと PH2DDR ビットの組み合わせにより、次のように切り替わります。

SGS3 ~ SGS0	B'0000		H8S/2268 グループ : B'0001、B'001x または B'010x H8S/2264 グループ : B'001x または B'010x							
DTS1、DTS0	B'xx		B'0x						B'1x	
CMX	-		0				1		-	
PH2DDR	0	1	0	1	-					
端子機能	PH2 入力端子	PH2 出力端子	PH2 入力端子	PH2 出力端子	COM3 出力端子					

【記号説明】 x:Don't care

## 9. I/O ポート

---

- PH1/COM2

LCD コントローラ/ドライバの LPCR の DTS1、DTS0、CMX、SGS3 ~ SGS0 ビットと PH1DDR ビットの組み合わせにより、次のように切り替わります。

SGS3 ~ SGS0	B'0000		H8S/2268 グループ : B'0001、B'001x または B'010x H8S/2264 グループ : B'001x または B'010x		
DTS1、DTS0	B'xx		B'00		B'00 以外
CMX	-		0	1	-
PH1DDR	0	1	0	1	-
端子機能	PH1 入力端子	PH1 出力端子	PH1 入力端子	PH1 出力端子	COM2 出力端子

【記号説明】 x:Don't care

- PH0/COM1

LCD コントローラ/ドライバの LPCR の SGS3 ~ SGS0 ビットと PH0DDR ビットの組み合わせにより、次のように切り替わります。

SGS3 ~ SGS0	B'0000		H8S/2268 グループ : B'0001、B'001x または B'010x H8S/2264 グループ : B'001x または B'010x		
PH0DDR	0	1			
端子機能	PH0 入力端子	PH0 出力端子	COM1 出力端子		

【記号説明】 x:Don't care

## 9.8 ポート J

ポート J は、8 ビットの入出力ポートです。ポート J には以下のレジスタがあります。

- ポート J データディレクションレジスタ (PJDDR)
- ポート J データレジスタ (PJDR)
- ポート J レジスタ (PORTJ)
- ポート J プルアップ MOS コントロールレジスタ (PJPCR)
- ウェイクアップコントロールレジスタ (WPCR)

### 9.8.1 ポート J データディレクションレジスタ (PJDDR)

PJDDR は、ポート J の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PJ7DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを 1 にセットすると対応するポート J の各端子は出力となり、0 にクリアすると入力ポートになります。
6	PJ6DDR	0	W	
5	PJ5DDR	0	W	
4	PJ4DDR	0	W	
3	PJ3DDR	0	W	
2	PJ2DDR	0	W	
1	PJ1DDR	0	W	
0	PJ0DDR	0	W	

### 9.8.2 ポート J データレジスタ (PJDR)

PJDR は、ポート J の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PJ7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PJ6DR	0	R/W	
5	PJ5DR	0	R/W	
4	PJ4DR	0	R/W	
3	PJ3DR	0	R/W	
2	PJ2DR	0	R/W	
1	PJ1DR	0	R/W	
0	PJ0DR	0	R/W	

## 9. I/O ポート

---

### 9.8.3 ポート J レジスタ (PORTJ)

PORTJ は、ポート J の各端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PJ7	*	R	このレジスタをリードすると、PJDDR がセットされているビットは PJDR の値が読み出されます。PJDDR がクリアされているビットは端子の状態が読み出されません。
6	PJ6	*	R	
5	PJ5	*	R	
4	PJ4	*	R	
3	PJ3	*	R	
2	PJ2	*	R	
1	PJ1	*	R	
0	PJ0	*	R	

【注】\* PJ7～PJ0 端子の状態により決定されます。

### 9.8.4 ポート J プルアップ MOS コントロールレジスタ (PJPCR)

PJPCR は、ポート J に内蔵された入力プルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PJ7PCR	0	R/W	PJDDR を 0 にクリアした (入力ポート) 状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PJ6PCR	0	R/W	
5	PJ5PCR	0	R/W	
4	PJ4PCR	0	R/W	
3	PJ3PCR	0	R/W	
2	PJ2PCR	0	R/W	
1	PJ1PCR	0	R/W	
0	PJ0PCR	0	R/W	



### 9.8.5 ウェイクアップコントロールレジスタ (WPCR)

WPCR は、ポート J の各端子の機能の切り替えを制御します。割り込み要求フラグについては、「5.3.6 ウェイクアップ割り込み要求レジスタ (IWPR)」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	WPC7	0	R/W	これらのビットを 1 に設定すると、対応する PJn/WKPn 端子は WKPn 入力端子となり、0 にクリアすると、PJn 入出力端子になります。 (n=7~0)
6	WPC6	0	R/W	
5	WPC5	0	R/W	
4	WPC4	0	R/W	
3	WPC3	0	R/W	
2	WPC2	0	R/W	
1	WPC1	0	R/W	
0	WPC0	0	R/W	

### 9.8.6 端子機能

ポート J の各端子は、ウェイクアップ入力端子 ( $\overline{WKP7} \sim \overline{WKP0}$ ) と LCD ドライバのセグメント出力端子 (SEG8 ~ SEG1) と兼用になっています。ポート J の端子機能を以下に示します。

- PJn/ $\overline{WKPn}$ /SEGn+1

LCD コントローラ/ドライバの LPCR の SGS3 ~ SGS0 ビット、WPCR の WPC7 ~ WPC0 ビット、および PJDDR ビットの組み合わせにより、次のように切り替わります。

SGS3 ~ SGS0	H8S/2268 グループ : B'00xx または B'0100 H8S/2264 グループ : B'0000、B'001x または B'0100		B'0101
WPCn	0	1	
PJnDDR	0	1	
端子機能	PJn 入力端子	PJn 出力端子	$\overline{WKPn}$ 入力端子 SEGn+1 出力端子

【記号説明】x : Don't care

【注】n=7~0

## 9. I/O ポート

---

### 9.8.7 入力プルアップ MOS

ポート J は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

ポート入力、ウェイクアップ入力の際、PJDDR を 0 にクリアした状態で、PJPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは、直前の状態を保持します。ポート J の入力プルアップ MOS の状態を表 9.2 に示します。

表 9.2 入力プルアップ MOS の状態 (ポート J)

端子	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
セグメント出力、 ポート出力	OFF		OFF	
ポート入力、 ウェイクアップ入力			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PJDDR=0 かつ PJPCR=1 のときオン状態、その他のときはオフ状態です。

## 9.9 ポート K

ポート K は、8 ビットの入出力ポートです。ポート K には以下のレジスタがあります。

- ポートKデータディレクションレジスタ (PKDDR)
- ポートKデータレジスタ (PKDR)
- ポートKレジスタ (PORTK)

### 9.9.1 ポート K データディレクションレジスタ (PKDDR)

PKDDR は、ポート K の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PK7DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを 1 にセットすると対応するポート K の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PK6DDR	0	W	
5	PK5DDR	0	W	
4	PK4DDR	0	W	
3	PK3DDR	0	W	
2	PK2DDR	0	W	
1	PK1DDR	0	W	
0	PK0DDR	0	W	

### 9.9.2 ポート K データレジスタ (PKDR)

PKDR は、ポート K の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PK7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PK6DR	0	R/W	
5	PK5DR	0	R/W	
4	PK4DR	0	R/W	
3	PK3DR	0	R/W	
2	PK2DR	0	R/W	
1	PK1DR	0	R/W	
0	PK0DR	0	R/W	

## 9. I/O ポート

### 9.9.3 ポート K レジスタ (PORTK)

PORTK は、ポート K の各端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PK7	*	R	このレジスタをリードすると、PKDDR がセットされているビットは PKDR の値が読み出されます。PKDDR がクリアされているビットは端子の状態が読み出されます。
6	PK6	*	R	
5	PK5	*	R	
4	PK4	*	R	
3	PK3	*	R	
2	PK2	*	R	
1	PK1	*	R	
0	PK0	*	R	

【注】 PK7 ~ PK0 端子の状態により決定されます。

### 9.9.4 端子機能

ポート K の各端子は、LCD ドライバのセグメント出力端子 (SEG16 ~ SEG9) と兼用になっています。ポート K の端子機能を次に示します。

- PKn/SEGN+9

LCD コントローラ/ドライバの LPCR の SGS3 ~ SGS0 ビットと PKnDDR ビットの組み合わせにより、次のように切り替わります。

SGS3 ~ SGS0	H8S/2268 グループ : B'00xx H8S/2264 グループ : B'0000 または B'001x		B'010x
	0	1	
PKnDDR			
端子機能	PKn 入力端子	PKn 出力端子	SEGN+9 出力端子

【記号説明】 x : Don't care

【注】 n=7 ~ 0

## 9.10 ポート L

ポート L は、8 ビットの入出力ポートです。ポート L には以下のレジスタがあります。

- ポート L データディレクションレジスタ (PLDDR)
- ポート L データレジスタ (PLDR)
- ポート L レジスタ (PORTL)

### 9.10.1 ポート L データディレクションレジスタ (PLDDR)

PLDDR は、ポート L の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PL7DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを 1 にセットすると対応するポート L の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PL6DDR	0	W	
5	PL5DDR	0	W	
4	PL4DDR	0	W	
3	PL3DDR	0	W	
2	PL2DDR	0	W	
1	PL1DDR	0	W	
0	PL0DDR	0	W	

### 9.10.2 ポート L データレジスタ (PLDR)

PLDR は、ポート L の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PL7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PL6DR	0	R/W	
5	PL5DR	0	R/W	
4	PL4DR	0	R/W	
3	PL3DR	0	R/W	
2	PL2DR	0	R/W	
1	PL1DR	0	R/W	
0	PL0DR	0	R/W	

## 9. I/O ポート

### 9.10.3 ポート L レジスタ (PORTL)

PORTL は、ポート L の各端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PL7	*	R	このレジスタをリードすると、PLDDR がセットされているビットは PLDR の値が読み出されます。PLDDR がクリアされているビットは端子の状態が読み出されます。
6	PL6	*	R	
5	PL5	*	R	
4	PL4	*	R	
3	PL3	*	R	
2	PL2	*	R	
1	PL1	*	R	
0	PL0	*	R	

【注】\* PL7～PL0 端子の状態により決定されます。

### 9.10.4 端子機能

ポート L の各端子は、LCD ドライバのセグメント出力端子 (SEG24～SEG17) と兼用になっています。ポート L の端子機能を次に示します。

- PLn/SEGn+17

LCD コントローラ / ドライバの LPCR の SGS3～SGS0 ビットと PLnDDR ビットの組み合わせにより、次のように切り替わります。

SGS3～SGS0	H8S/2268 グループ : B'000x または B'0010 H8S/2264 グループ : B'00x0		B'0011 または B'010x
PLnDDR	0	1	
端子機能	PLn 入力端子	PLn 出力端子	SEGn+17 出力端子

【記号説明】x : Don't care

【注】n=7～0

## 9.11 ポート M (H8S/2268 グループのみ)

ポート M は、8 ビットの入出力ポートです。ポート M には以下のレジスタがあります。

- ポートMデータディレクションレジスタ (PMDDR)
- ポートMデータレジスタ (PMDR)
- ポートMレジスタ (PORTM)

### 9.11.1 ポート M データディレクションレジスタ (PMDDR)

PMDDR は、ポート M の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PM7DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを 1 にセットすると対応するポート M の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PM6DDR	0	W	
5	PM5DDR	0	W	
4	PM4DDR	0	W	
3	PM3DDR	0	W	
2	PM2DDR	0	W	
1	PM1DDR	0	W	
0	PM0DDR	0	W	

### 9.11.2 ポート M データレジスタ (PMDR)

PMDR は、ポート M の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PM7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PM6DR	0	R/W	
5	PM5DR	0	R/W	
4	PM4DR	0	R/W	
3	PM3DR	0	R/W	
2	PM2DR	0	R/W	
1	PM1DR	0	R/W	
0	PM0DR	0	R/W	

## 9. I/O ポート

### 9.11.3 ポート M レジスタ (PORTM)

PORTM は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PM7	*	R	このレジスタをリードすると、PMDDR がセットされているビットは PMDR の値が読み出されます。PMDDR がクリアされているビットは端子の状態が読み出されます。
6	PM6	*	R	
5	PM5	*	R	
4	PM4	*	R	
3	PM3	*	R	
2	PM2	*	R	
1	PM1	*	R	
0	PM0	*	R	

【注】\* PM7～PM0 端子の状態により決定されます。

### 9.11.4 端子機能

ポート M の各端子は、LCD ドライバのセグメント出力端子 (SEG32～SEG25) と兼用になっています。ポート M の端子機能を次に示します。

- PMn/SEGn+25

LCD コントローラ/ドライバの LPCR の SGS3～SGS0 ビットと PMnDDR ビットの組み合わせにより、次のように切り替わります。

SGS3～SGS0	B'000x		B'001x または B'010x
PMnDDR	0	1	
端子機能	PMn 入力端子	PMn 出力端子	SEGn+25 出力端子

【記号説明】x : Dont' care

【注】n=7～0



## 9.12 ポート N (H8S/2268 グループのみ)

ポート N は、8 ビットの入出力ポートです。ポート N には以下のレジスタがあります。

- ポート N データディレクションレジスタ (PNDDR)
- ポート N データレジスタ (PNDR)
- ポート N レジスタ (PORTN)

### 9.12.1 ポート N データディレクションレジスタ (PNDDR)

PNDDR は、ポート N の各端子の入出力をビットごとに指定します。リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PN7DDR	0	W	汎用入出力ポートの機能が選択されているとき、これらのビットを 1 にセットすると対応するポート N の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PN6DDR	0	W	
5	PN5DDR	0	W	
4	PN4DDR	0	W	
3	PN3DDR	0	W	
2	PN2DDR	0	W	
1	PN1DDR	0	W	
0	PN0DDR	0	W	

### 9.12.2 ポート N データレジスタ (PNDR)

PNDR は、ポート L の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PN7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PN6DR	0	R/W	
5	PN5DR	0	R/W	
4	PN4DR	0	R/W	
3	PN3DR	0	R/W	
2	PN2DR	0	R/W	
1	PN1DR	0	R/W	
0	PN0DR	0	R/W	

## 9. I/O ポート

### 9.12.3 ポート N レジスタ (PORTN)

PORTN は、端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PN7	*	R	このレジスタをリードすると、PNDDR がセットされているビットは PNDR の値が読み出されます。PNDDR がクリアされているビットは端子の状態が読み出されます。
6	PN6	*	R	
5	PN5	*	R	
4	PN4	*	R	
3	PN3	*	R	
2	PN2	*	R	
1	PN1	*	R	
0	PN0	*	R	

【注】\* PN7～PN0 端子の状態により決定されます

### 9.12.4 端子機能

ポート N の各端子は、LCD ドライバのセグメント出力端子 (SEG40～SEG33) と兼用になっています。ポート N の端子機能を次に示します。

- PNn/SEGn+33

LCD コントローラ/ドライバの LPCR の SGS3～SGS0 ビットと PNnDDR ビットの組み合わせにより、次のように切り替わります。

SGS3～SGS0	B'0000		B'0001、B'001x または B'010x
PNnDDR	0	1	
端子機能	PNn 入力端子	PNn 出力端子	SEGn+33 出力端子

【記号説明】x : Don't care

【注】n=7～0

## 9.13 未使用端子の処理

未使用の入力端子は High または Low レベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を解放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子の処理例を表 9.3 に示します。NC 端子は開放としてください。

表 9.3 未使用の入力端子の処理例

ポート名	端子処理例
ポート 1	端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート 3	
ポート 4	端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン)
ポート 7	端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート 9	端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン)
ポート F	【注】* ポート M、ポート N は H8S/2268 グループのみです。
ポート H	
ポート J	
ポート K	
ポート L	
ポート M*	
ポート N*	
ポート N*	

LCD の SEG 端子に設定した場合は (「17.3.1 LCD ポートコントロールレジスタ (LPCR)」を参照してください) LCD 駆動電源の能力とご使用になる LCD の容量を加味して適正な処理を行ってください。



---

## 10. 16ビットタイマパルスユニット (TPU)

---

H8S/2268 グループは3チャンネル、H8S/2264 グループは2チャンネルの16ビットタイマにより構成される16ビットタイマパルスユニット (TPU) を内蔵しています。16ビットタイマパルスユニットの機能一覧を表10.1に、H8S/2268 グループのブロック図を図10.1に、H8S/2264 グループのブロック図を図10.2に示します。

### 10.1 特長

- 最大8本のパルス入出力が可能 (H8S/2268グループ)
- 最大4本のパルス入出力が可能 (H8S/2264グループ)
- 各チャンネルごとに7~8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能

コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、任意デューティのPWM出力が可能、同期動作と組み合わせることにより、H8S/2268グループは最大7相、H8S/2264グループは最大3相のPWM出力が可能

- チャンネル0はパッファ動作を設定可能 (H8S/2268グループのみ)
- チャンネル1、2は各々独立に位相計数モードを設定可能 (H8S/2268グループのみ)
- 内部16ビットバスによる高速アクセス
- 13種類の割り込み要因 (H8S/2268グループ)
- 6種類の割り込み要因 (H8S/2264グループ)
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

10. 16 ビットタイムパルスユニット (TPU)

表 10.1 TPU の機能一覧 (1)

項 目		チャンネル 0* <sup>1</sup>	チャンネル 1	チャンネル 2
カウントクロック		/ 1 / 4 / 16 / 64 TCLKA TCLKB TCLKC TCLKD	/ 1 / 4 / 16 / 64 / 256 TCLKA TCLKB	/ 1 / 4 / 16 / 64 / 1024 TCLKA TCLKB TCLKC
ジェネラルレジスタ (TGR)		TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2
ジェネラルレジスタ/ バッファレジスタ* <sup>1</sup>		TGRC_0 TGRD_0	-	-
入出力端子		TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2
カウンタクリア機能		TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
コンペア マッチ出力	0 出力			
	1 出力			
	トグル出力			
インプットキャプチャ機能				
同期動作				
PWM モード				
位相計数モード* <sup>1</sup>		-		
バッファ動作* <sup>1</sup>			-	-
DTC の起動* <sup>1</sup>		TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
A/D 変換開始トリガ		TGRA_0 の コンペアマッチ または インプットキャプチャ	TGRA_1 の コンペアマッチ または インプットキャプチャ	TGRA_2 の コンペアマッチ または インプットキャプチャ

表 10.1 TPU の機能一覧 (2)

項 目	チャンネル 0* <sup>1</sup>	チャンネル 1	チャンネル 2
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ0A ・コンペアマッチ /インプットキャプチャ0B ・コンペアマッチ /インプットキャプチャ0C ・コンペアマッチ /インプットキャプチャ0D ・オーバフロー	4 要因* <sup>1</sup> 3 要因* <sup>2</sup> ・コンペアマッチ /インプットキャプチャ1A ・コンペアマッチ /インプットキャプチャ1B  ・オーバフロー ・アンドフロー* <sup>1</sup>	4 要因* <sup>1</sup> 3 要因* <sup>2</sup> ・コンペアマッチ /インプットキャプチャ2A ・コンペアマッチ /インプットキャプチャ2B  ・オーバフロー ・アンドフロー* <sup>1</sup>

【記号説明】

○ : 可能

- : 不可

【注】 \*1 H8S/2268 グループのみサポートします。

\*2 H8S/2264 グループのみサポートします。

## 10. 16 ビットタイマパルスユニット (TPU)

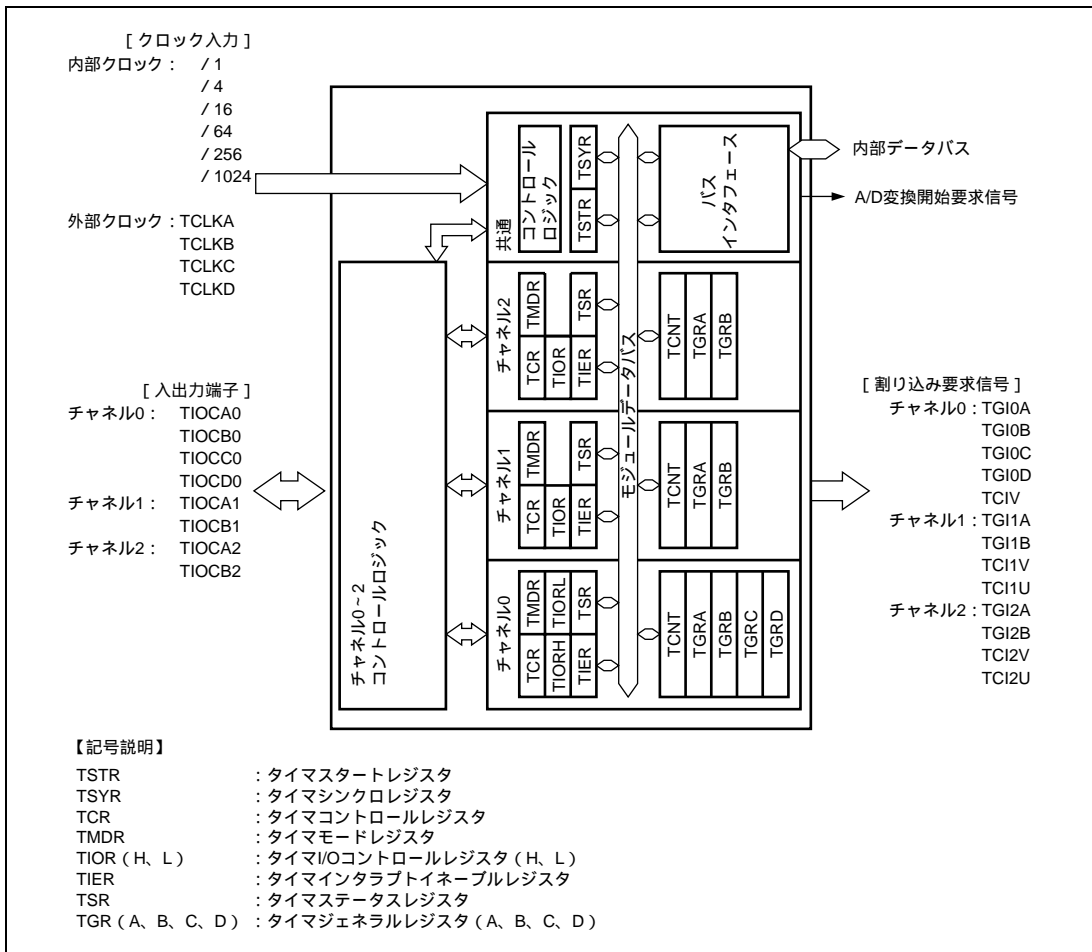


図 10.1 H8S/2268 グループの TPU ブロック図



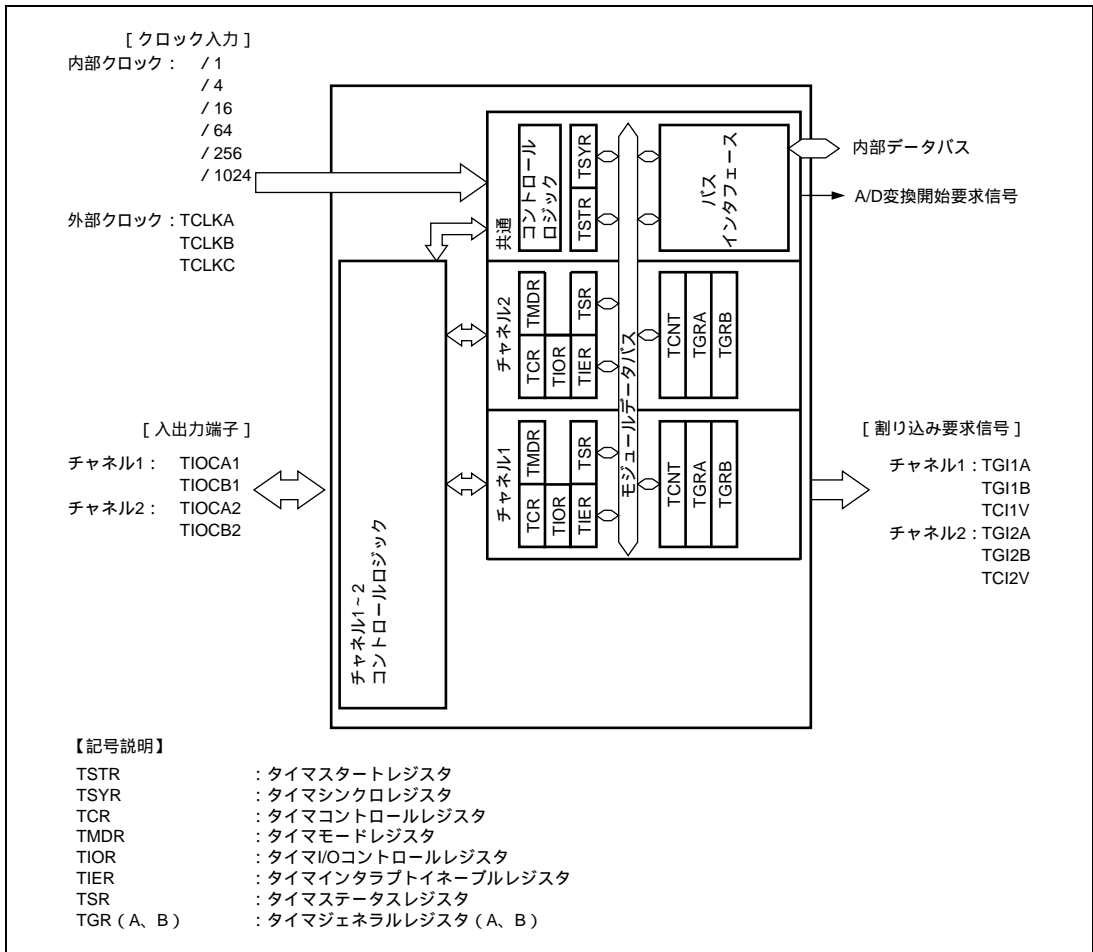


図 10.2 H8S/2264 グループの TPU ブロック図

## 10.2 入出力端子

表 10.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル1の位相計数モード A 相入力*)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル1の位相計数モード B 相入力*)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル2の位相計数モード A 相入力*)
	TCLKD*	入力	外部クロック D 入力端子 (チャンネル2の位相計数モード B 相入力*)
0*	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

【注】 \* H8S/2268 グループのみサポートします。

### 10.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。各チャンネルのレジスタ名はチャンネル0のTCRはTCR\_0と表記してあります。

- タイマコントロールレジスタ\_0 (TCR\_0) \*
- タイマモードレジスタ\_0 (TMDR\_0) \*
- タイマI/OコントロールレジスタH\_0 (TIORH\_0) \*
- タイマI/OコントロールレジスタL\_0 (TIORL\_0) \*
- タイマインタラプトイネーブルレジスタ\_0 (TIER\_0) \*
- タイマステータスレジスタ\_0 (TSR\_0) \*
- タイマカウンタ\_0 (TCNT\_0) \*
- タイマジェネラルレジスタA\_0 (TGRA\_0) \*
- タイマジェネラルレジスタB\_0 (TGRB\_0) \*
- タイマジェネラルレジスタC\_0 (TGRC\_0) \*
- タイマジェネラルレジスタD\_0 (TGRD\_0) \*
- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマモードレジスタ\_1 (TMDR\_1)
- タイマI/Oコントロールレジスタ\_1 (TIOR\_1)
- タイマインタラプトイネーブルレジスタ\_1 (TIER\_1)
- タイマステータスレジスタ\_1 (TSR\_1)
- タイマカウンタ\_1 (TCNT\_1)
- タイマジェネラルレジスタA\_1 (TGRA\_1)
- タイマジェネラルレジスタB\_1 (TGRB\_1)
- タイマコントロールレジスタ\_2 (TCR\_2)
- タイマモードレジスタ\_2 (TMDR\_2)
- タイマI/Oコントロールレジスタ\_2 (TIOR\_2)
- タイマインタラプトイネーブルレジスタ\_2 (TIER\_2)
- タイマステータスレジスタ\_2 (TSR\_2)
- タイマカウンタ\_2 (TCNT\_2)
- タイマジェネラルレジスタA\_2 (TGRA\_2)
- タイマジェネラルレジスタB\_2 (TGRB\_2)

## 10. 16ビットタイムパルスユニット (TPU)

### 共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

【注】\* H8S/2268 グループのみサポートします。

### 10.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、チャンネル0~2 に各1本、H8S/2268 グループは計3本、H8S/2264 グループは計2本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 10.3、表 10.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	
3	CKEG0	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: /4 の両エッジ = /2 の立ち上がりエッジ)。内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1 を選択した場合は本設定は無視され、の立ち下がりエッジでカウントされます。H8S/2268 グループにおいて、チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント 【記号説明】X: Don't care
2	TPSC2	0	R/W	タイムプリスケラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.5 ~ 表 10.7 を参照してください。
0	TPSC0	0	R/W	

表 10.3 CCLR2 ~ CCLR0 (チャンネル 0) (H8S/2268 グループのみ)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 10.4 CCLR2 ~ CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 チャンネル 1、2 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

## 10. 16ビットタイムパルスユニット (TPU)

表 10.5 TPSC2~TPSC0 (チャンネル0) (H8S/2268 グループのみ)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： /1でカウント
	0	0	1	内部クロック： /4でカウント
	0	1	0	内部クロック： /16でカウント
	0	1	1	内部クロック： /64でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	外部クロック：TCLKD 端子入力でカウント

表 10.6 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： /1でカウント
	0	0	1	内部クロック： /4でカウント
	0	1	0	内部クロック： /16でカウント
	0	1	1	内部クロック： /64でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	内部クロック： /256でカウント
	1	1	1	設定禁止

【注】チャンネル1が位相計数モード時、この設定は無効になります (H8S/2268 グループのみ)。

表 10.7 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： /1でカウント
	0	0	1	内部クロック： /4でカウント
	0	1	0	内部クロック： /16でカウント
	0	1	1	内部クロック： /64でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	内部クロック： /1024でカウント

【注】チャンネル2が位相計数モード時、この設定は無効になります (H8S/2268 グループのみ)。

## 10.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、チャンネル 0~2 に各 1 本、H8S/2268 グループは計 3 本、H8S/2264 グループは計 2 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	1		リザーブビット
6	—	1	—	リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	(H8S/2268 グループ) バッファ動作 : B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作 (H8S/2264 グループ) リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	BFA	0	R/W	(H8S/2268 グループ) バッファ動作 : A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作 (H8S/2264 グループ) リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	MD3	0	R/W	モード 3~0
2	MD2	0		MD3~MD0 はタイマの動作モードを設定します。
1	MD1	0		MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0		詳細は表 10.8 を参照してください。

## 10. 16 ビットタイマパルスユニット (TPU)

表 10.8 MD3 ~ MD0

ビット 3	ビット 2	ビット 1	ビット 0	説 明
MD3* <sup>1</sup>	MD2* <sup>2</sup>	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	

【記号説明】 x : Don't care

【注】 \*1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

\*2 H8S/2268 グループのチャンネル 0、および H8S/2264 グループでは、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

### 10.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、H8S/2268 グループは計 4 本、H8S/2264 グループは計 2 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

H8S/2268 グループにおいて TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH\_0 (H8S/2268 グループのみ)、TIOR\_1、TIOR\_2

ビット	ビット名	初期値	R/W	説 明
7	IOB3	すべて 0	R/W	I/O コントロール B3 ~ B0 TGRB の機能を設定します。詳細は表 10.9、表 10.11、表 10.12 を参照してください。
6	IOB2			
5	IOB1			
4	IOB0			
3	IOA3	すべて 0	R/W	I/O コントロール A3 ~ A0 TGRA の機能を設定します。詳細は表 10.13、表 10.15、表 10.16 を参照してください。
2	IOA2			
1	IOA1			
0	IOA0			



10. 16 ビットタイムパルスユニット (TPU)

• TIORL\_0 (H8S/2268グループのみ)

ビット	ビット名	初期値	R/W	説明
7	IOD3	すべて 0	R/W	I/O コントロール D3 ~ D0 TGRD の機能を設定します。詳細は表 10.10 を参照してください。
6	IOD2			
5	IOD1			
4	IOD0			
3	IOC3	すべて 0	R/W	I/O コントロール C3 ~ C0 TGRC の機能を設定します。詳細は表 10.14 を参照してください。
2	IOC2			
1	IOC1			
0	IOC0			

表 10.9 TIORH\_0 (チャンネル 0) (H8S/2268 グループのみ)

ビット 7	ビット 6	ビット 5	ビット 4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

## 10. 16 ビットタイムパルスユニット (TPU)

表 10.10 TIORL\_0 (チャンネル0) (H8S/2268 グループのみ)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

【注】 \* TMDR\_0 の BFB ビットを 1 にセットして TGRD\_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 10.11 TIOR\_1 (チャンネル1)

ビット7 IOB3	ビット6 IOB2	ビット5 IOB1	ビット4 IOB0	説 明	
				TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

10. 16 ビットタイムパルスユニット (TPU)

表 10.12 TIOR\_2 (チャンネル2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

表 10.13 TIORH\_0 (チャンネル 0) (H8S/2268 グループのみ)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

## 10. 16 ビットタイムパルスユニット (TPU)

表 10.14 TIORL\_0 (チャンネル0) (H8S/2268 グループのみ)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

【注】 \* TMDR\_0 の BFA ビットを 1 にセットして TGRC\_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 10.15 TIOR\_1 (チャンネル1)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元はTIOCA1端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA1端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA1端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

10. 16ビットタイムパルスユニット (TPU)

表 10.16 TIOR\_2 (チャンネル2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOCA2端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA2端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCA2端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCA2端子 両エッジでインプットキャプチャ

【記号説明】x : Don't care



### 10.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、チャンネル 0~2 に各 1 本、H8S/2268 グループは計 3 本、H8S/2264 グループは計 2 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1		リザーブビット リードすると 1 が読み出されます。ライトは無効です
5	TCIEU	0	R/W	(H8S/2268 グループ) アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可 (H8S/2264 グループ) リザーブビット ライト時は必ず 0 を書き込んでください。
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0 で TSR の TGF D ビットが 1 にセットされたとき、TGF D ビットによる割り込み要求 (TGID) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されず。ライトは無効です。 0 : TGF D ビットによる割り込み要求 (TGID) を禁止 1 : TGF D ビットによる割り込み要求 (TGID) を許可

## 10. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されず。ライトは無効です。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

## 10.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、チャンネル 0~2 に各 1 本、H8S/2268 グループは計 3 本、H8S/2264 グループは計 2 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	(H8S/2268 グループ) カウント方向フラグ チャンネル 1、2 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。リードすると常に 1 が読み出されます。 ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント (H8S/2264 グループ) リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6		1		リードすると常に 1 がリードされます。ライトは無効です
5	TCFU	0	R/(W)* <sup>1</sup>	(H8S/2268 グループ) アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。リードすると常に 0 が読み出されます。 ライトは無効です。 [セット条件] TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき (H8S/2264 グループ) リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	TCFV	0	R/(W)* <sup>1</sup>	オーバフローフラグ (TCFV) TCNT のオーバフローの発生を示すステータスフラグです。 [セット条件] TCNT の値がオーバフローしたとき (H'FFFF H'0000) [クリア条件] TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

## 10. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* <sup>1</sup>	<p>(H8S/2268 グループ)</p> <p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されず。ライトは無効です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき</li> <li>• TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 でかつ転送カウンタが 0 でないとき</li> <li>• TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</li> </ul> <p>(H8S/2264 グループ)</p> <p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>
2	TGFC	0	R/(W)* <sup>1</sup>	<p>(H8S/2268 グループ)</p> <p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されず。ライトは無効です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき</li> <li>• TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 でかつ転送カウンタが 0 でないとき</li> <li>• TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき</li> </ul> <p>(H8S/2264 グループ)</p> <p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>

## 10. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
1	TGFB	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき</li> <li>• TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGIB 割り込みにより DTC*<sup>2</sup> が起動され、DTC*<sup>2</sup> の MRB の DISEL ビットが 0 でかつ転送カウンタが 0 でないとき</li> <li>• TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき</li> </ul>
0	TGFA	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき</li> <li>• TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGIA 割り込みにより DTC*<sup>2</sup> が起動され、DTC*<sup>2</sup> の MRB の DISEL ビットが 0 でかつ転送カウンタが 0 でないとき</li> <li>• TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき</li> </ul>

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 H8S/2268 グループのみサポートします。

### 10.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。チャンネル 0~2 に各 1 本、H8S/2268 グループは計 3 本、H8S/2264 グループは計 2 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

## 10. 16ビットタイムパルスユニット (TPU)

### 10.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード / ライト可能なアウトプットコンペア / インพุットキャプチャ兼用のレジスタです。チャンネル 0 に各 4 本、チャンネル 1、2 に各 2 本、H8S/2268 グループは計 8 本、H8S/2264 グループは計 4 本のジェネラルレジスタがあります。TGR は、リセットまたはハードウェアスタンバイモード時に H'FFFF に初期化されます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。H8S/2268 グループはチャンネル 0 の TGRC と TGRD は、パッファレジスタとして動作設定することができます。TGR とパッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

### 10.3.8 タイマスタートレジスタ (TSTR)

TSTR は、H8S/2268 グループではチャンネル 0~2、H8S/2264 グループではチャンネル 1、2 の TCNT の動作 / 停止を選択します。対応するビットを 1 にセットしたチャンネルの TCNT がカウント動作を行います。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0		リザーブビット ライトするときは必ず 0 としてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0*	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_n のカウント動作は停止 1 : TCNT_n はカウント動作 (n=2~0)

【注】\* H8S/2264 グループではリザーブビットです。ライトするときは必ず 0 としてください。

### 10.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、H8S/2268 グループではチャンネル 0~2、H8S/2264 グループではチャンネル 1、2 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0		リザーブビット ライトするときは必ず 0 としてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0*	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。  同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。  0 : TCNT_n は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1 : TCNT_n は同期動作 TCNT の同期プリセット/同期クリアが可能 (n=2~0)

【注】\* H8S/2264 グループではリザーブビットです。ライトするときは必ず 0 としてください。

## 10.4 バスマスタとのインタフェース

### 10.4.1 16 ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。

8 ビット単位での読み出し/書き込みはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 10.3 に示します。

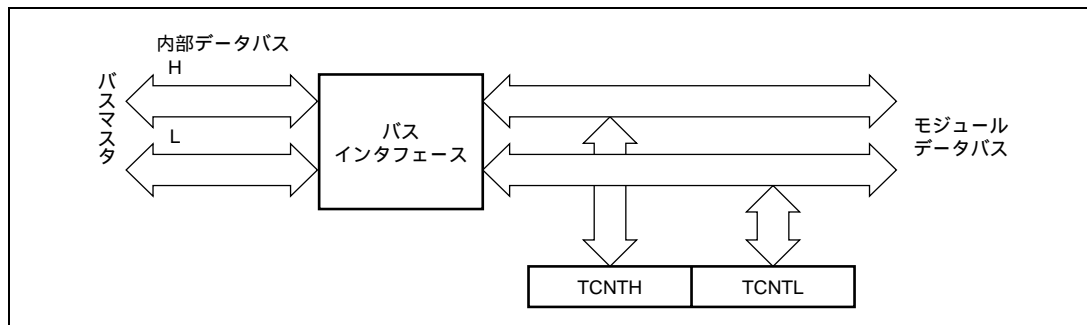


図 10.3 16 ビットレジスタのアクセス動作 (バスマスタ TCNT (16 ビット))

### 10.4.2 8ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

8 ビットレジスタのアクセス動作例を図 10.4、図 10.5、図 10.6 に示します。

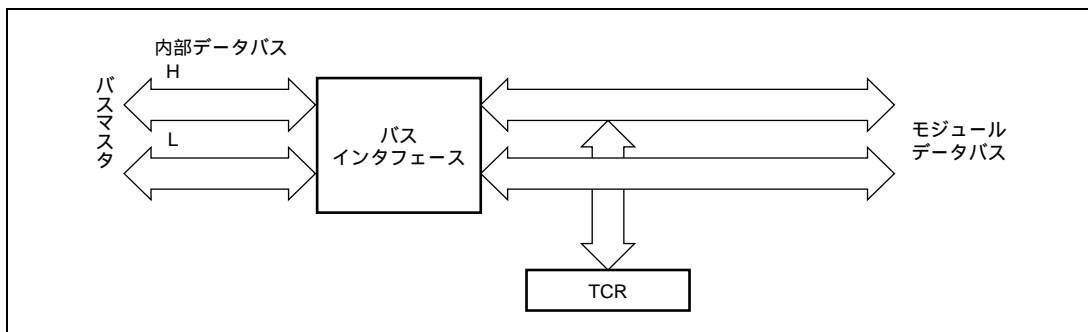


図 10.4 8 ビットレジスタのアクセス動作 (バスマスタ TCR (上位 8 ビット))

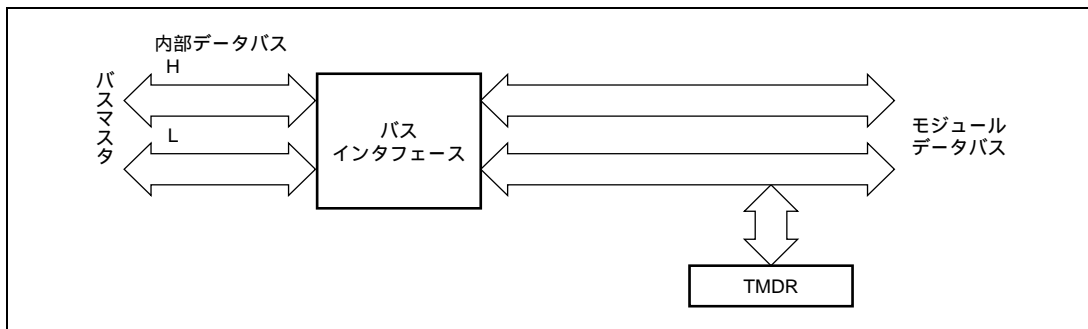


図 10.5 8 ビットレジスタのアクセス動作 (バスマスタ TMDR (下位 8 ビット))

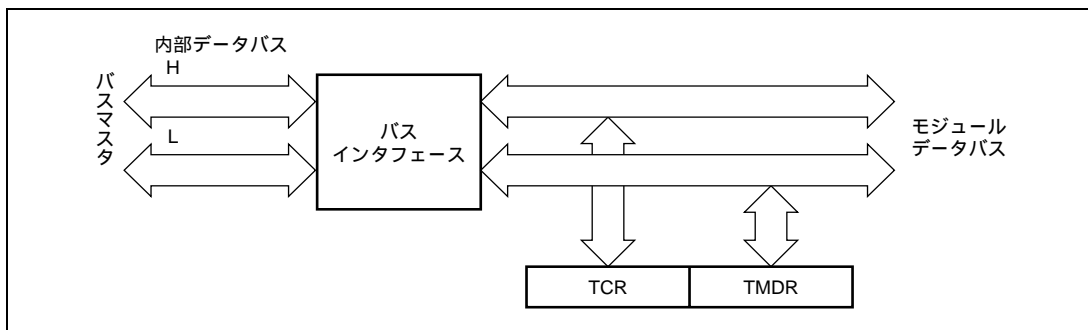


図 10.6 8 ビットレジスタのアクセス動作 (バスマスタ TCR、TMDR (16 ビット))



## 10.5 動作説明

### 10.5.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (1) カウンタの動作

H8S/2268 グループでは TSTR の CST2 ~ CST0 ビット、H8S/2264 グループでは TSTR の CST2、CST1 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.7 に示します。

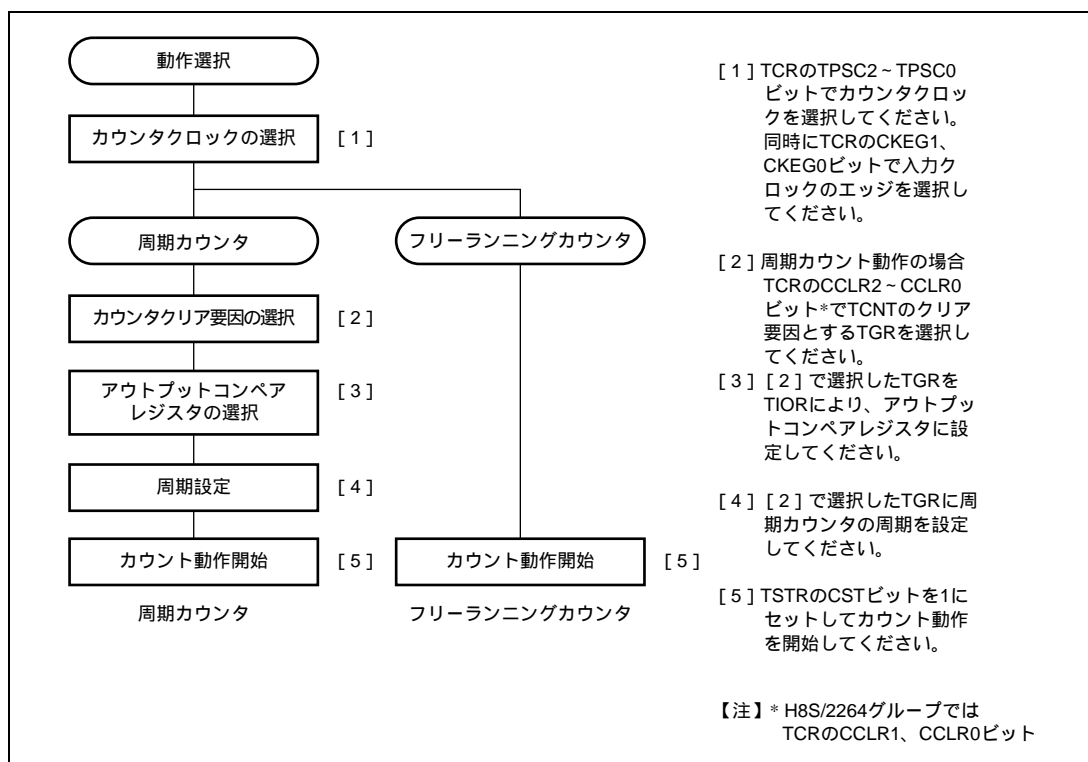


図 10.7 カウンタ動作設定手順例

## 10. 16ビットタイムパルスユニット (TPU)

### (b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 10.8 に示します。

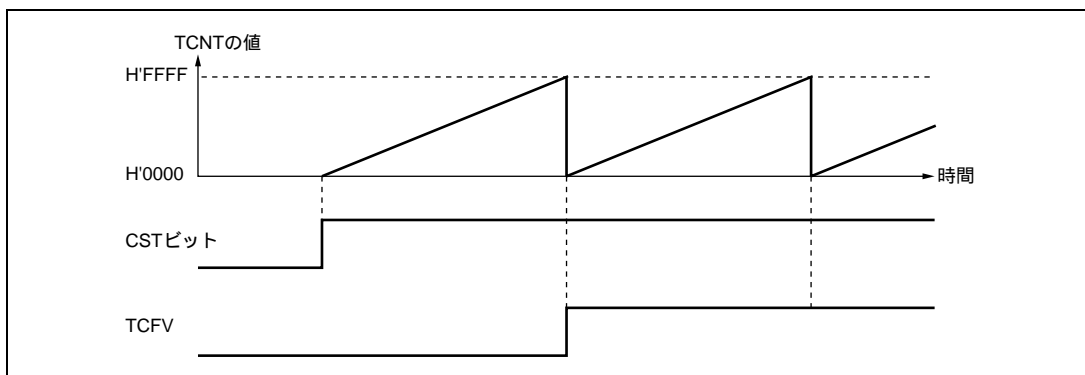


図 10.8 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、H8S/2268 グループでは TCR の CCLR2 ~ CCLR0 ビット、H8S/2264 グループでは TCR の CCLR1、CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウンタ動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウンタ動作を継続します。

周期カウンタの動作を図 10.9 に示します。

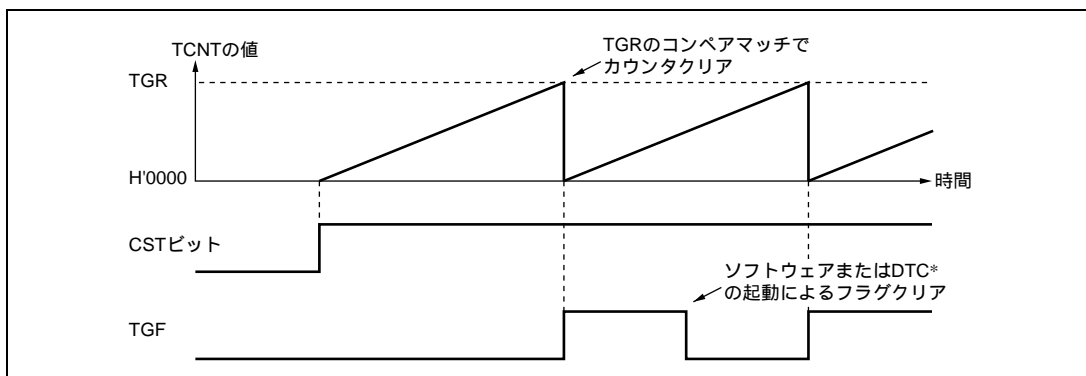


図 10.9 周期カウンタの動作

【注】\* H8S/2268 グループのみサポートします。

## (2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

### (a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.10 に示します。

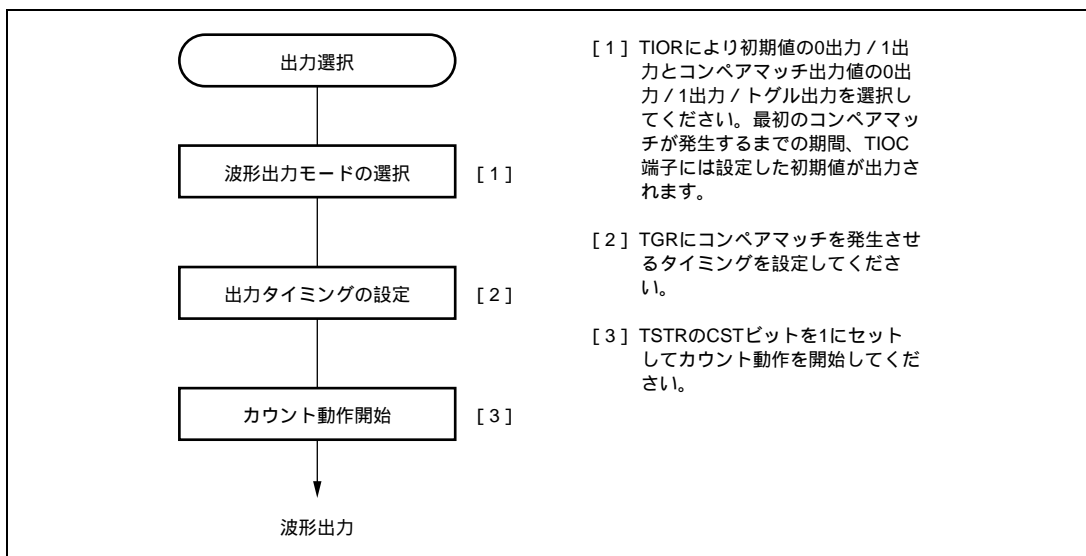


図 10.10 コンペアマッチによる波形出力動作例

## 10. 16 ビットタイマパルスユニット (TPU)

### (b) 波形出力動作例

0 出力 / 1 出力例を図 10.11 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

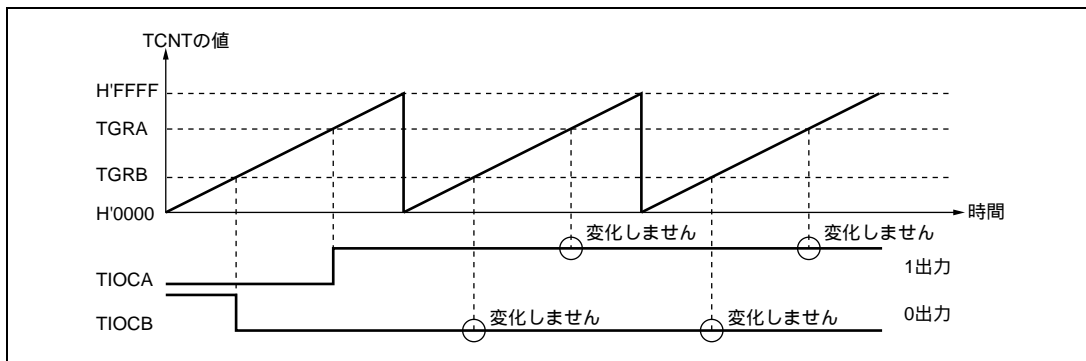


図 10.11 0 出力 / 1 出力の動作例

トグル出力の例を図 10.12 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

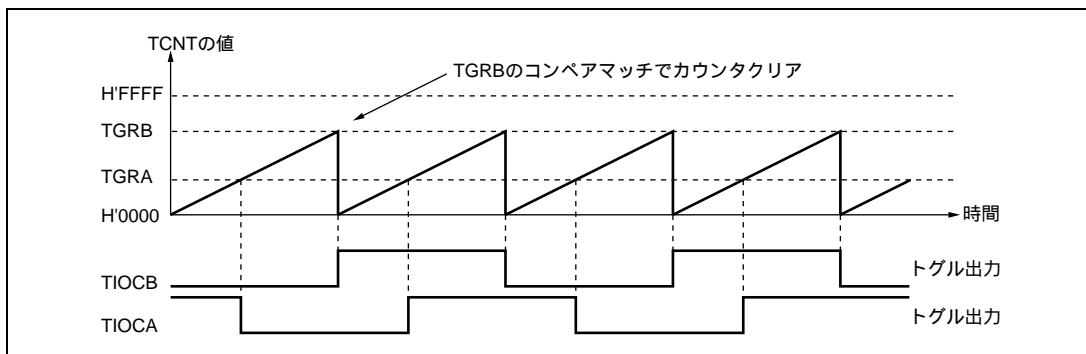


図 10.12 トグル出力の動作例

## (3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。

## (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.13 に示します。

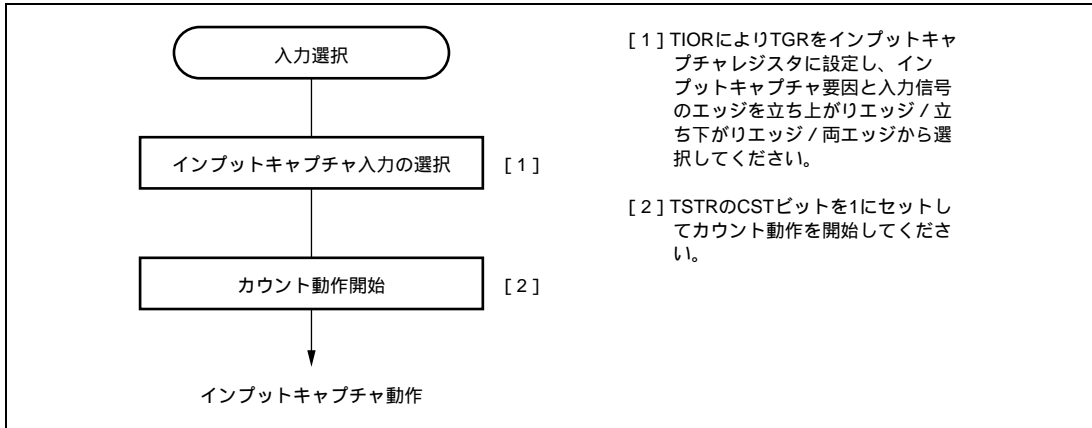


図 10.13 インพุットキャプチャ動作の設定例

## 10. 16ビットタイマパルスユニット(TPU)

### (b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.14 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

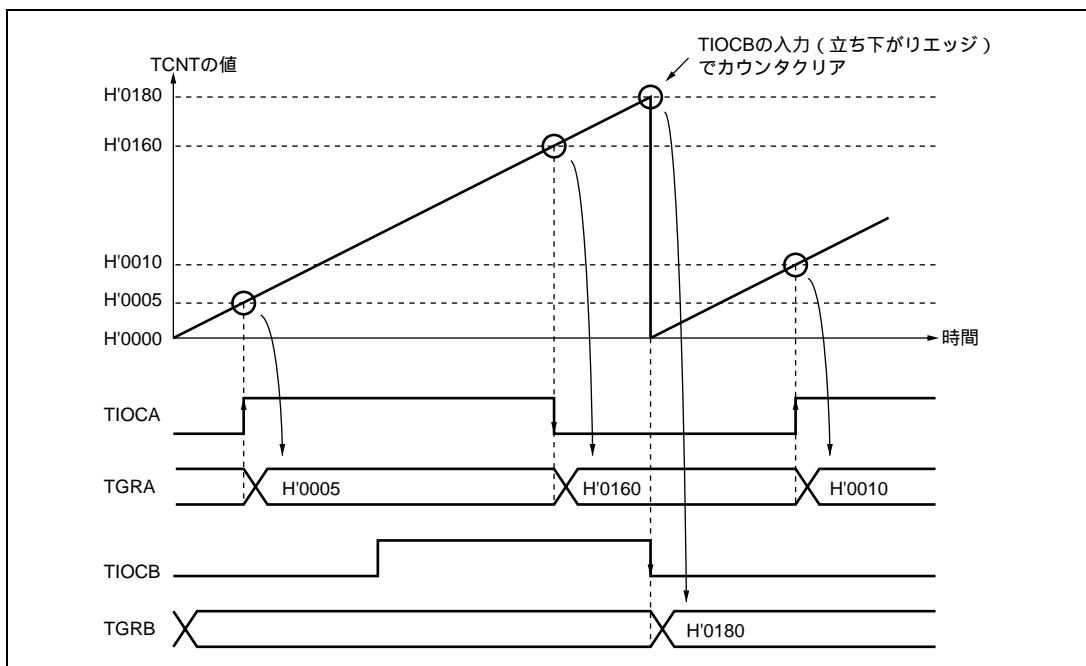


図 10.14 インพุットキャプチャ動作例

## 10.5.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

H8S/2268 グループのチャンネル 0~2、H8S/2264 グループのチャンネル 1、2 はすべて同期動作の設定が可能です。

### (1) 同期動作の設定手順例

同期動作の設定手順例を図 10.15 に示します。

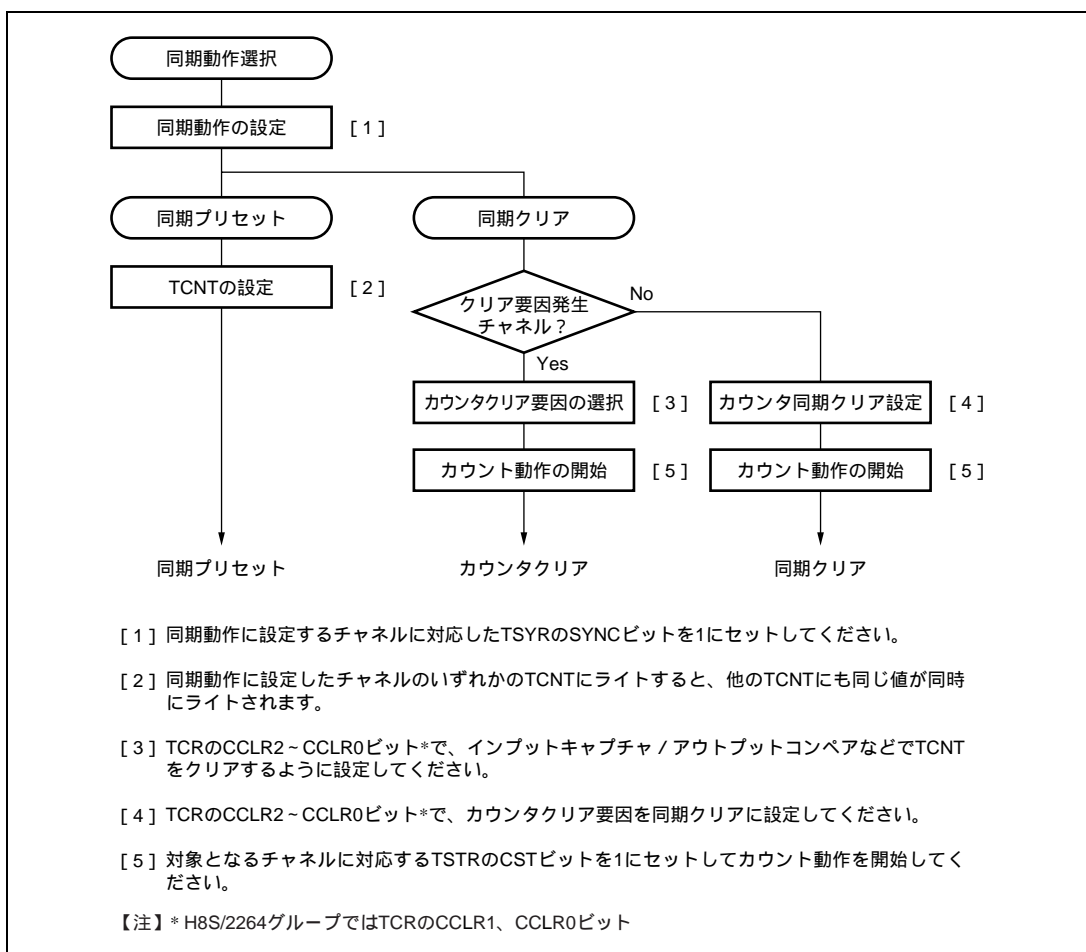


図 10.15 同期動作の設定手順例

## 10. 16 ビットタイマパルスユニット (TPU)

### (2) 同期動作の例

同期動作の例を図 10.16 に示します。

H8S/2268 グループでチャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB\_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB\_0 のコンペアマッチによる同期クリアを行い、TGRB\_0 に設定したデータが PWM 周期となります。

PWM モードについては、「10.5.4 PWM モード」を参照してください。

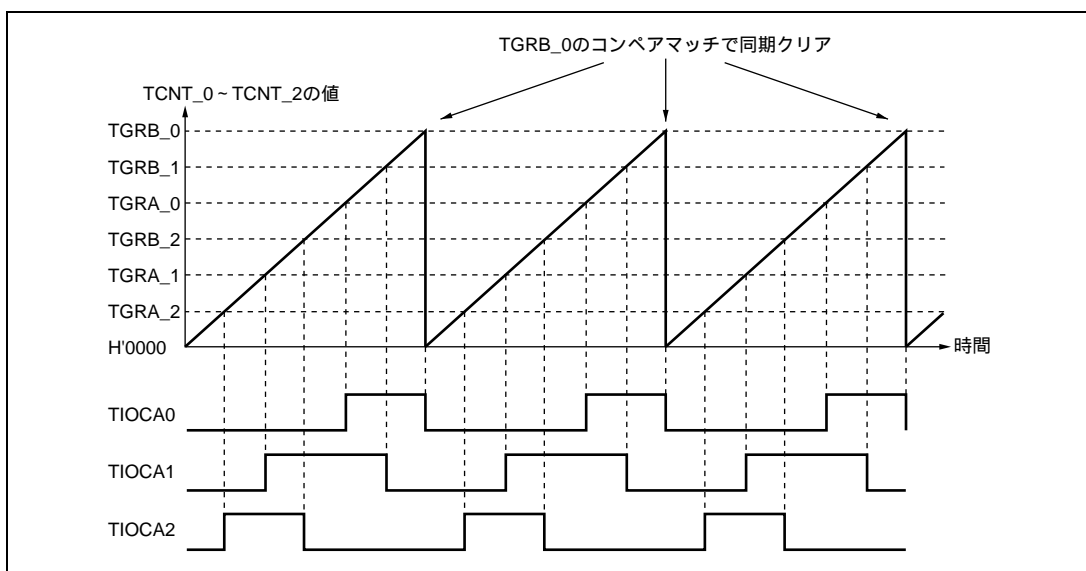


図 10.16 同期動作の動作例



### 10.5.3 バッファ動作 (H8S/2268 グループのみ)

バッファ動作は、チャンネル0が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.17 にバッファ動作時のレジスタの組み合わせを示します。

表 10.17 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.17 に示します。

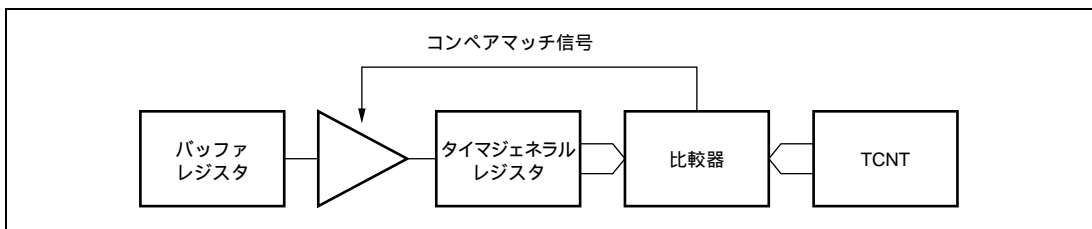


図 10.17 コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 10.18 に示します。

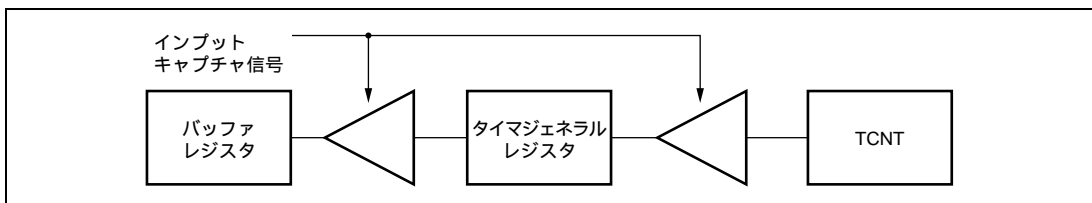


図 10.18 インプットキャプチャバッファ動作

## 10. 16ビットタイムパルスユニット (TPU)

### (1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.19 に示します。

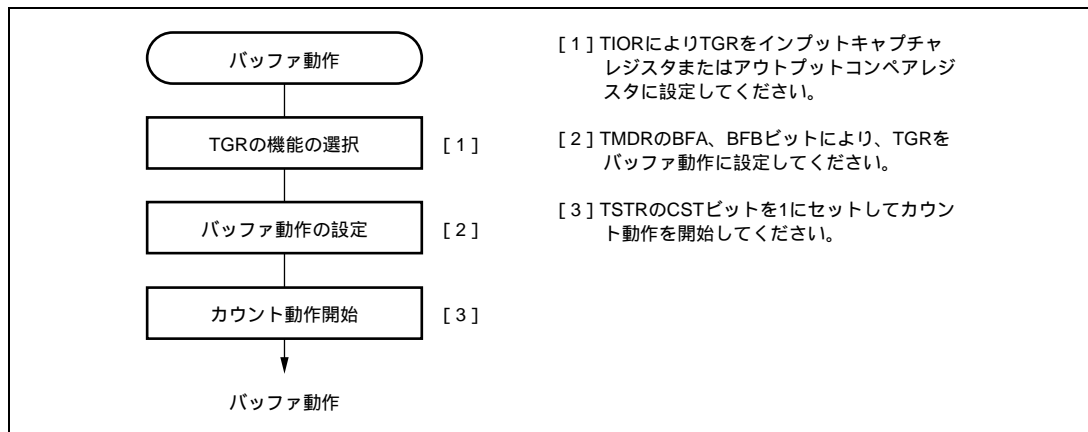


図 10.19 バッファ動作の設定手順例

## (2) バッファ動作例

## (a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図10.20に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「10.5.4 PWMモード」を参照してください。

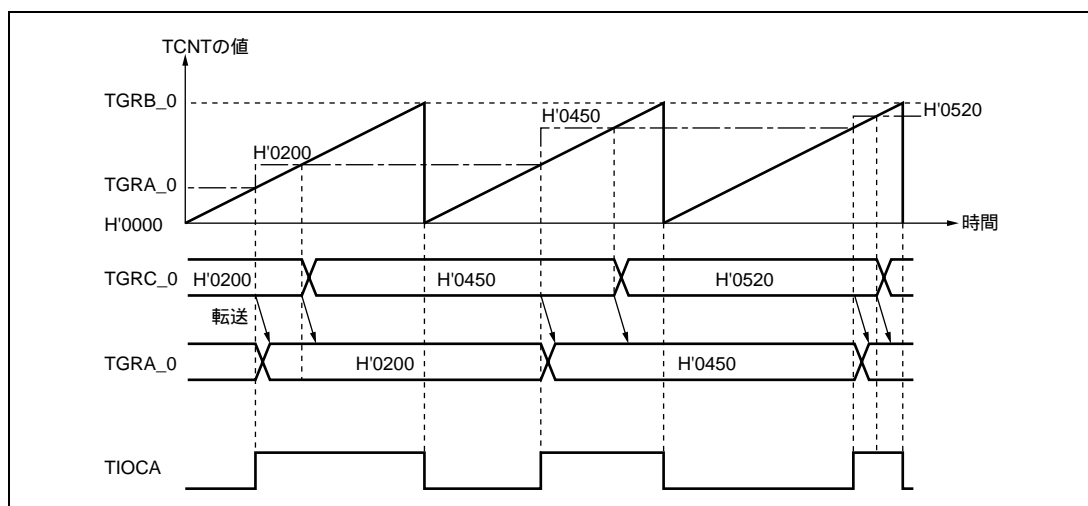


図 10.20 バッファ動作例 (1)

## 10. 16ビットタイマパルスユニット(TPU)

### (b) TGRがインプットキャプチャレジスタの場合

TGRAをインプットキャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図10.21に示します。

TCNTはTGRAのインプットキャプチャでカウンタクリア、TIOCA端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

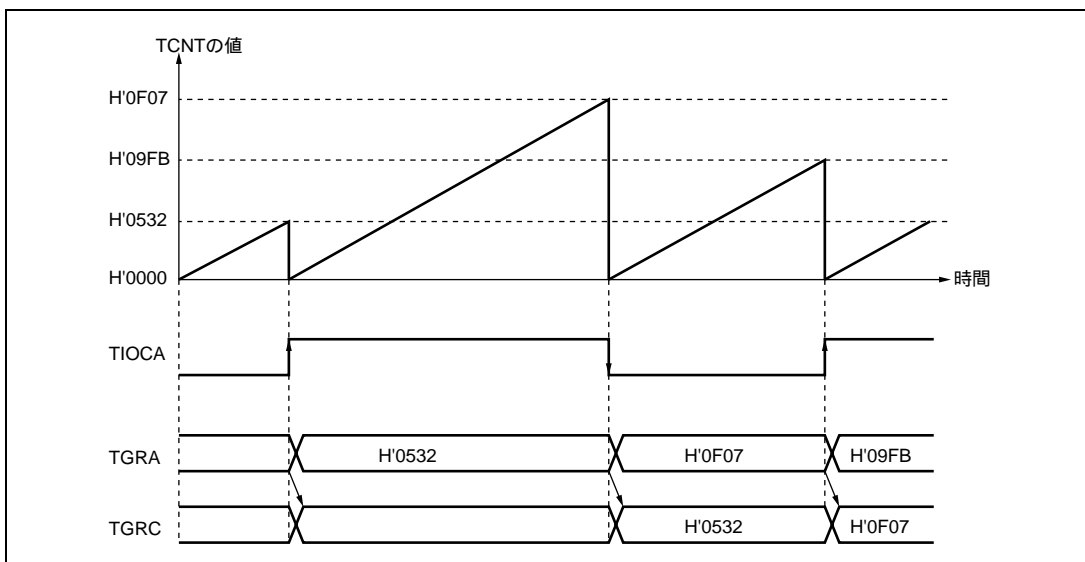


図 10.21 バッファ動作例(2)

### 10.5.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

#### (a) PWM モード 1

- H8S/2268グループ

TGRAとTGRB、TGRCとTGRDをペアで使用して、TIOCA、TIOCC端子からPWM出力を生成します。TIOCA、TIOCC端子からコンペアマッチA、CによってTIORのIOA3～IOA0、IOC3～IOC0ビットで指定した出力を、また、コンペアマッチB、DによってTIORのIOB3～IOB0、IOD3～IOD0ビットで指定した出力を行います。初期出力値はTGRA、TGRCに設定した値になります。ペアで使用するTGRの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード1では、最大4相のPWM出力が可能です。

- H8S/2264グループ

TGRAとTGRBをペアで使用して、TIOCA端子からPWM出力を生成します。TIOCA端子からコンペアマッチAによってTIORのIOA3～IOA0ビットで指定した出力を、また、コンペアマッチBによってTIORのIOB3～IOB0ビットで指定した出力を行います。初期出力値はTGRAに設定した値になります。ペアで使用するTGRの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード1では、最大2相のPWM出力が可能です。

#### (b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作を併用することにより H8S/2268 グループは最大 7 相、H8S/2264 グループは最大 3 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.18 に示します。

## 10. 16ビットタイマパルスユニット (TPU)

表 10.18 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2 <sup>*2</sup>
0 <sup>*1</sup>	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2

【注】 \*1 H8S/2268 グループのみサポートします。

\*2 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

### (1) PWM モードの設定手順例

PWM モードの設定手順例を図 10.22 に示します。

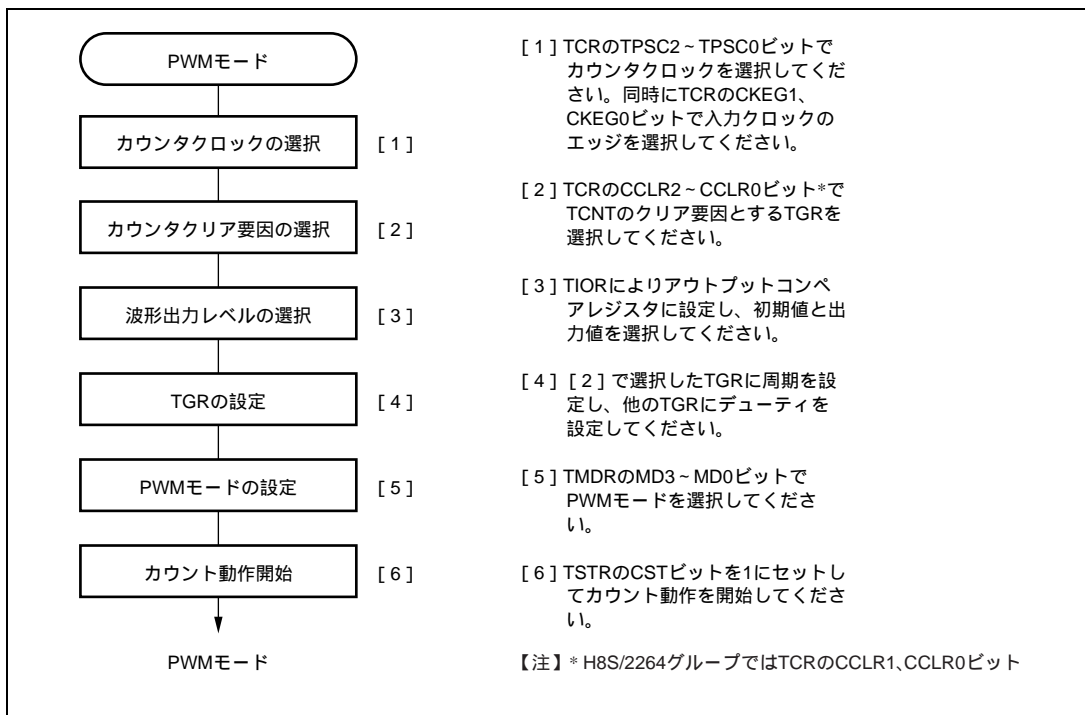


図 10.22 PWM モードの設定手順例

## (2) PWM モードの動作例

PWM モード1の動作例を図 10.23 に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

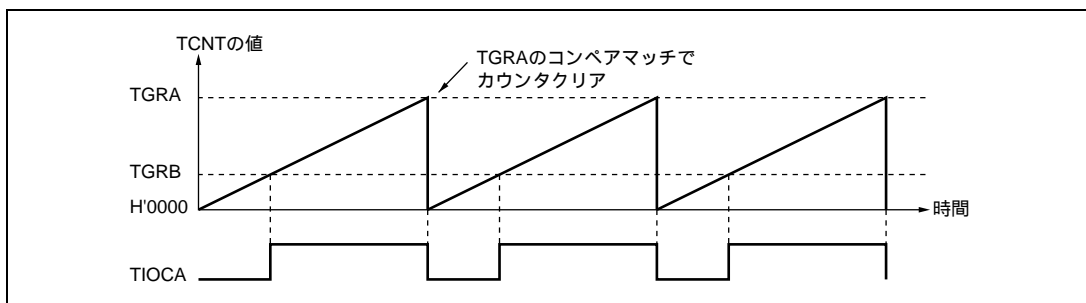


図 10.23 PWM モードの動作例 (1)

PWM モード2の動作例を図 10.24 に示します。

この図は、H8S/2268 グループで、チャンネル0と1を同期動作させ、TCNTのクリア要因をTGRB\_1のコンペアマッチとし、他のTGR (TGRA\_0~TGRD\_0, TGRA\_1)の初期出力値を0、出力値を1に設定して5相のPWM波形を出力させた場合の例です。

この場合、TGRB\_1に設定した値が周期となり、他のTGRに設定した値がデューティになります。

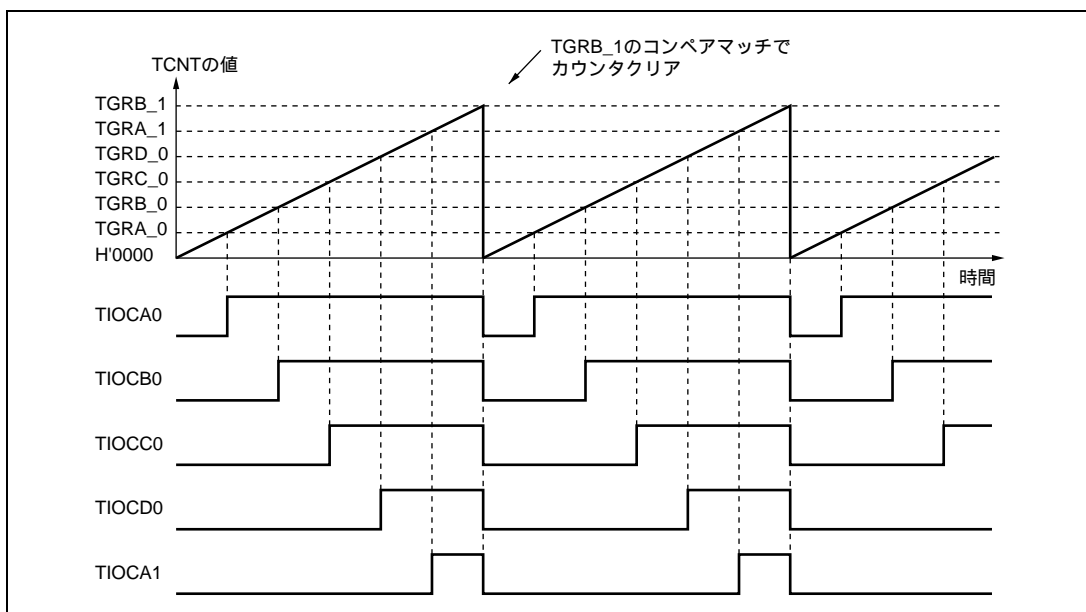


図 10.24 PWM モードの動作例 (2)

## 10. 16ビットタイマパルスユニット (TPU)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 10.25 に示します。

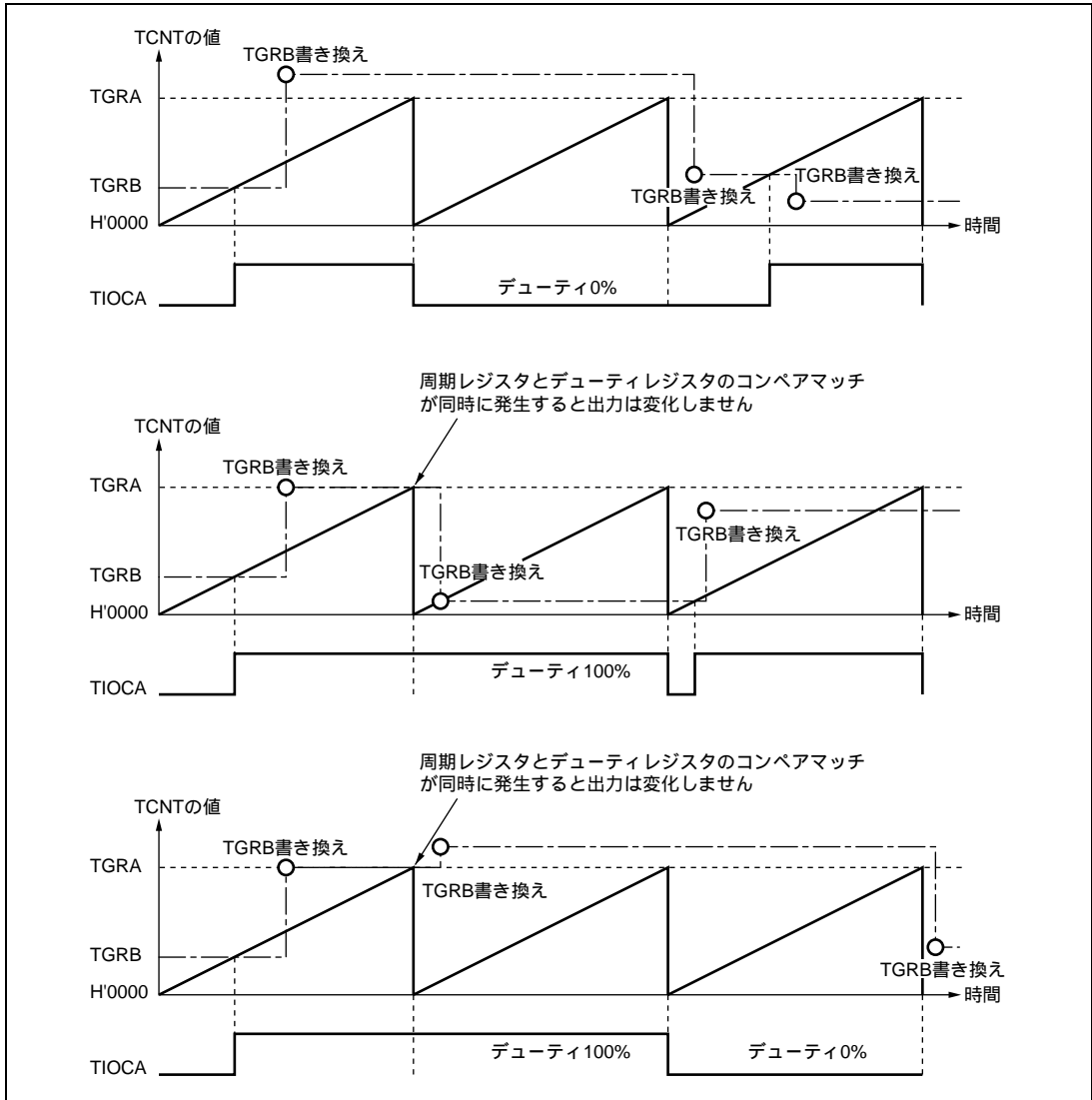


図 10.25 PWM モードの動作例 (3)



### 10.5.5 位相計数モード (H8S/2268 グループのみ)

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.19 に外部クロック端子とチャンネルの対応を示します。

表 10.19 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.26 に示します。

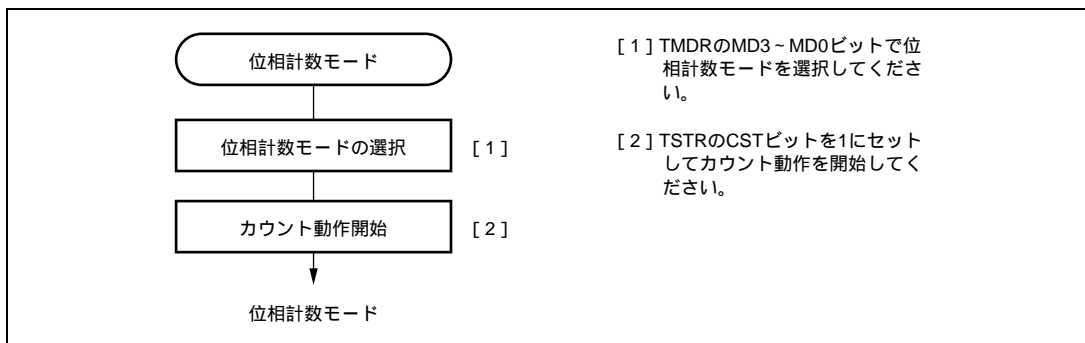


図 10.26 位相計数モードの設定手順例

## 10. 16 ビットタイマパルスユニット (TPU)

### (2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

#### (a) 位相計数モード1

位相計数モード1の動作例を図10.27に、TCNTのアップ/ダウンカウント条件を表10.20に示します。

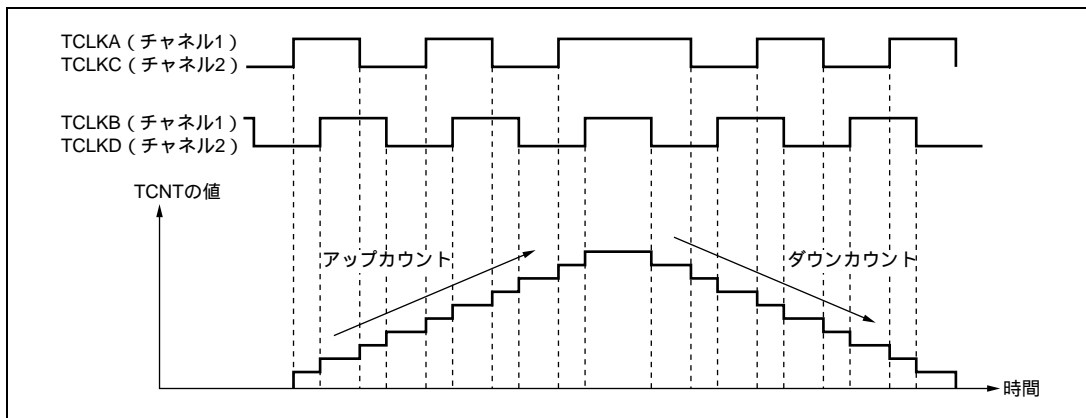


図 10.27 位相計数モード1の動作例

表 10.20 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

#### 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## (b) 位相計数モード2

位相計数モード2の動作例を図10.28に、TCNTのアップ/ダウンカウント条件を表10.21に示します。

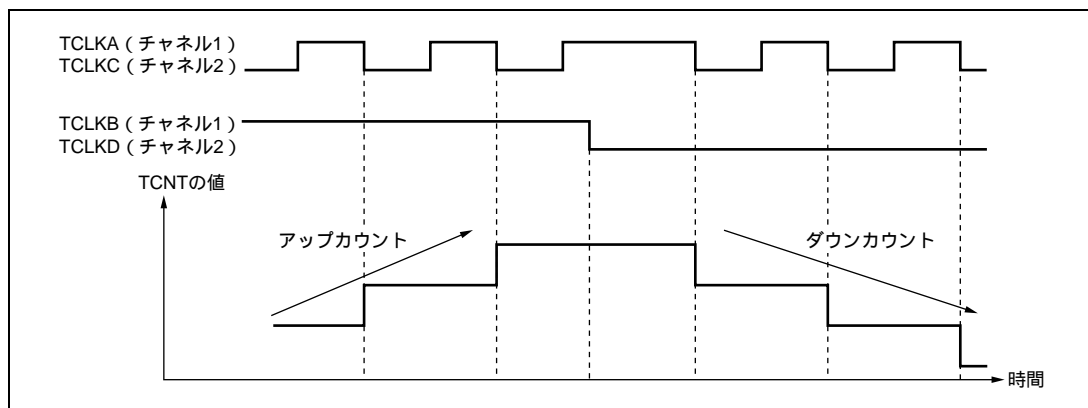


図 10.28 位相計数モード2の動作例

表 10.21 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

## 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## 10. 16 ビットタイマパルスユニット (TPU)

### (c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.29 に、TCNT のアップ/ダウンカウント条件を表 10.22 に示します。

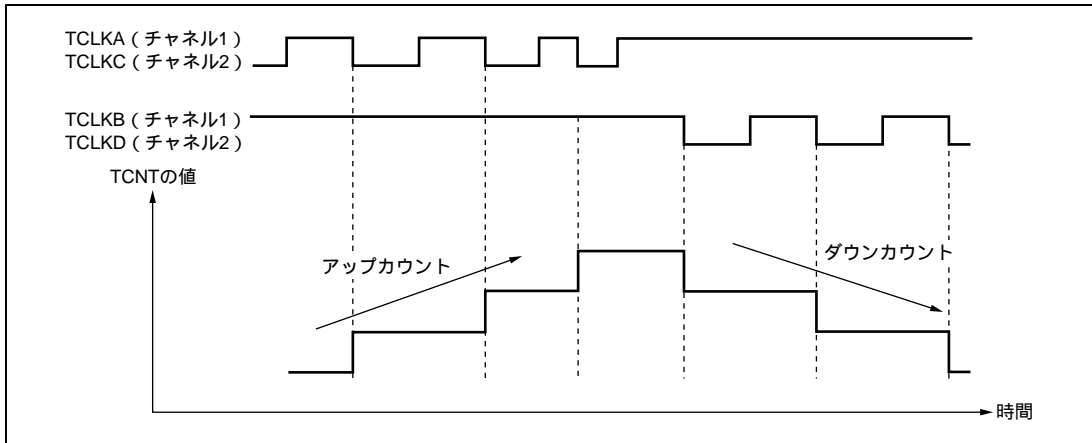


図 10.29 位相計数モード 3 の動作例

表 10.22 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## (d) 位相計数モード4

位相計数モード4の動作例を図10.30に、TCNTのアップ/ダウンカウント条件を表10.23に示します。

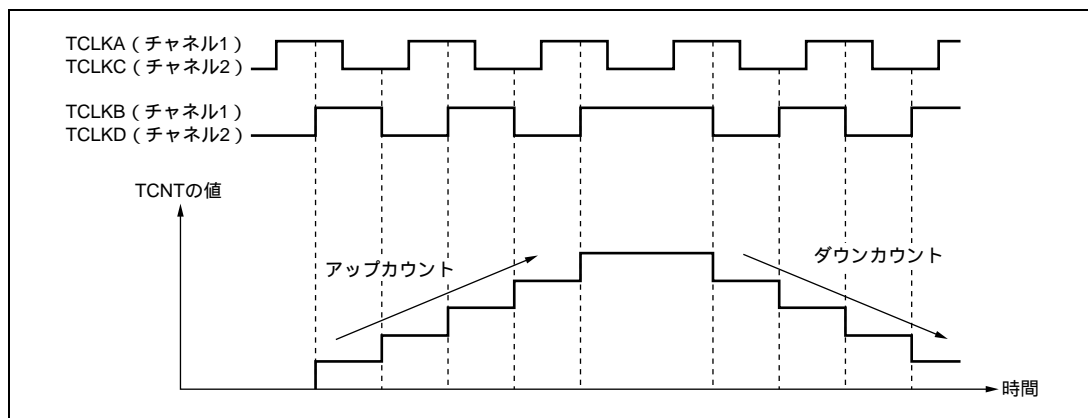


図 10.30 位相計数モード4の動作例

表 10.23 位相計数モード4のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

## 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## 10.6 割り込み要因

H8S/2268 グループの TPU の割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類、H8S/2264 グループの TPU の割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフローの 2 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可 / 禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

H8S/2268 グループのチャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

表 10.24 に TPU の割り込み要因の一覧を示します。

表 10.24 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動*	優先順位
0*	TGI0A	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA_0	可	高 ↑ 低
	TGI0B	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB_0	可	
	TGI0C	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC_0	可	
	TGI0D	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD_0	可	
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	
1	TGI1A	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA_1	可	↑ 低
	TGI1B	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB_1	可	
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	
	TCI1U*	TCNT_1 のアンダフロー	TCFU_1	不可	
2	TGI2A	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA_2	可	↑ 低
	TGI2B	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB_2	可	
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	
	TCI2U*	TCNT_2 のアンダフロー	TCFU_2	不可	

【注】\* H8S/2268 グループのみサポートします。

### (1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0 に各 4 本、チャンネル 1、2 に各 2 本、H8S/2268 グループは計 8 本、H8S/2264 グループは計 4 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

### (2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル0~2に各1本、H8S/2268グループは計3本、H8S/2264グループは計2本のオーバフロー割り込みがあります。

### (3) アンダフロー割り込み (H8S/2268グループのみ)

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2に各1本、計2本のアンダフロー割り込みがあります。

## 10.7 DTCの起動 (H8S/2268グループのみ)

各チャンネルのTGRのインプットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第8章 データトランスファコントローラ (DTC)」を参照してください。

TPUでは、チャンネル0が各4本、チャンネル1、2が各2本、計8本のインプットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

## 10.8 A/D変換器の起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/D変換器を起動することができます。

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。

TPUでは、チャンネル0~2に各1本、H8S/2268グループは計3本、H8S/2264グループは計2本のTGRAのインプットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

## 10.9 動作タイミング

### 10.9.1 入出力タイミング

#### (1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.31 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.32 に示します。

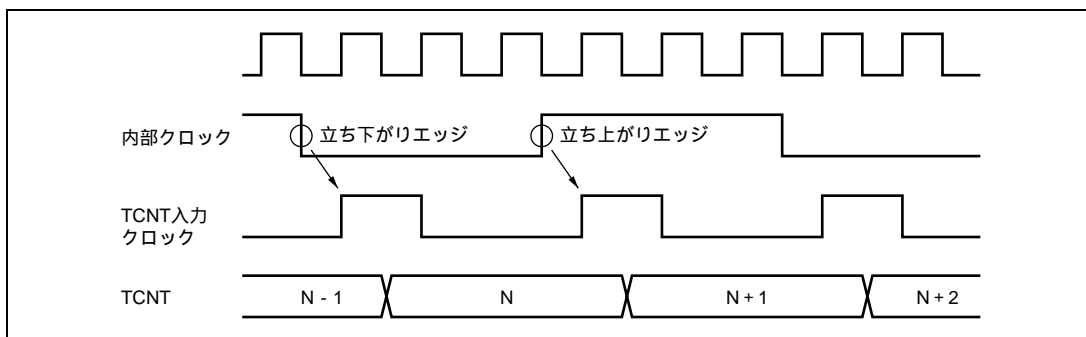


図 10.31 内部クロック動作時のカウントタイミング

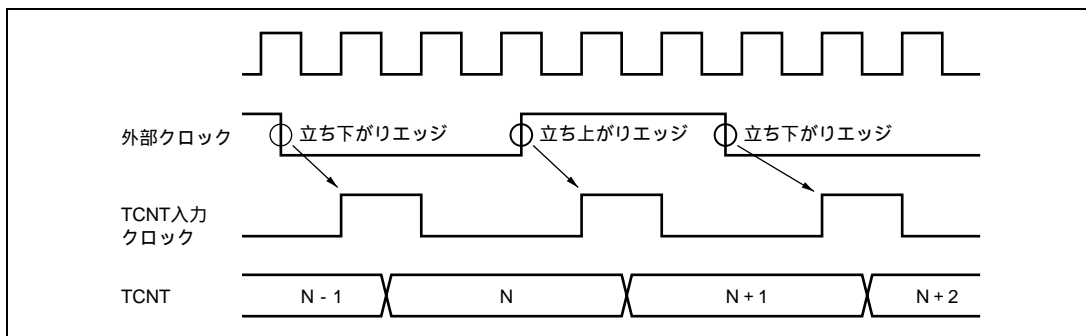


図 10.32 外部クロック動作時のカウントタイミング



## (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.33 に示します。

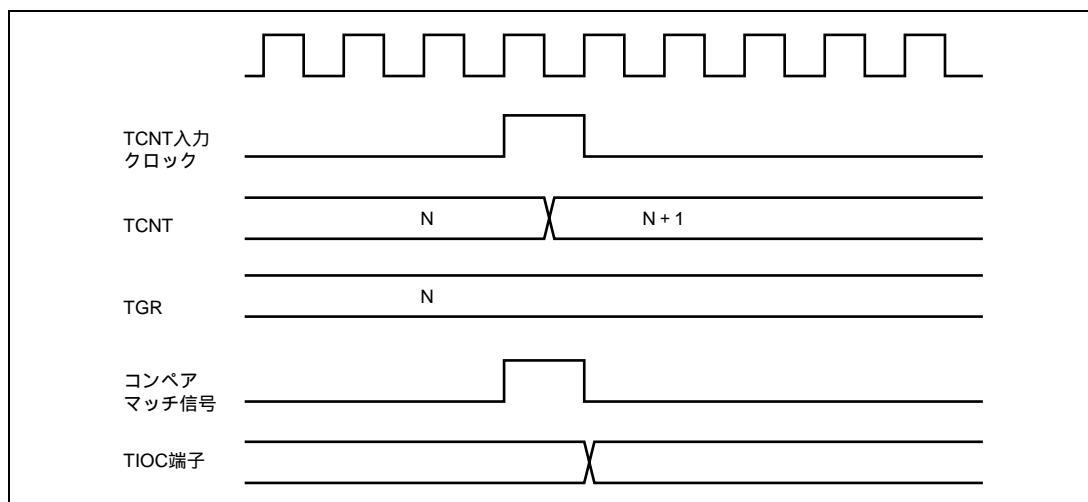


図 10.33 アウトプットコンペア出力タイミング

## (3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 10.34 に示します。

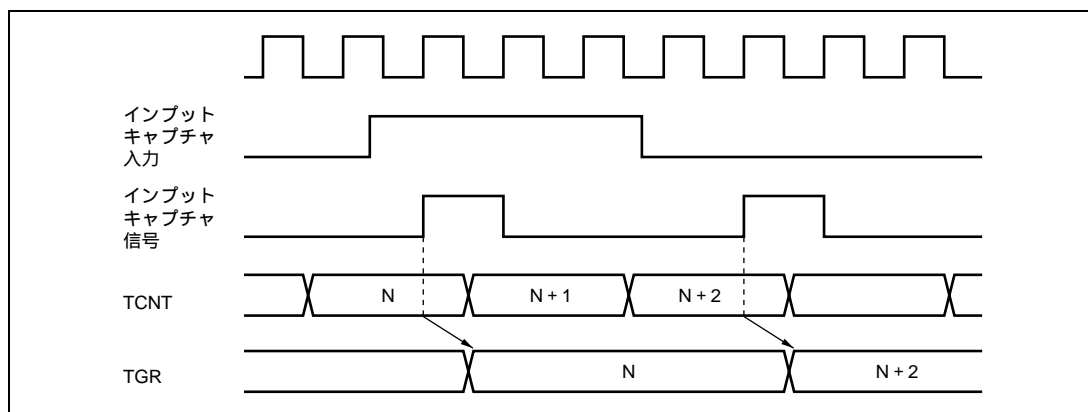


図 10.34 インพุットキャプチャ入力信号タイミング

## 10. 16 ビットタイマパルスユニット (TPU)

### (4) コンペアマッチ / インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.35 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.36 に示します。

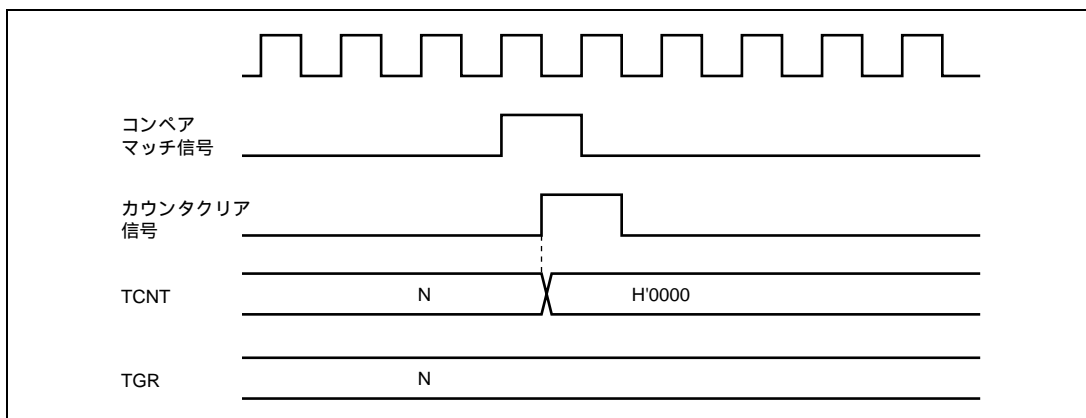


図 10.35 カウンタクリアタイミング (コンペアマッチ)

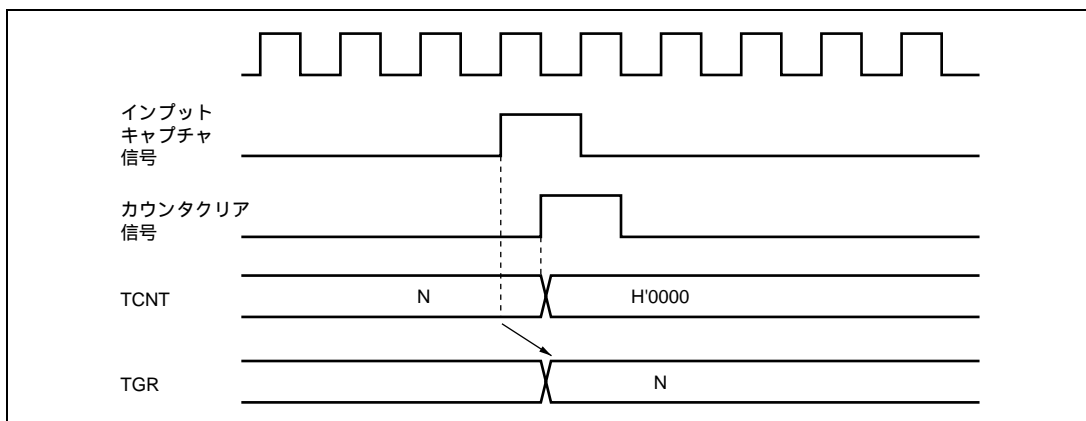


図 10.36 カウンタクリアタイミング (インพุットキャプチャ)

## (5) バッファ動作タイミング (H8S/2268 グループのみ)

バッファ動作の場合のタイミングを図 10.37、図 10.38 に示します。

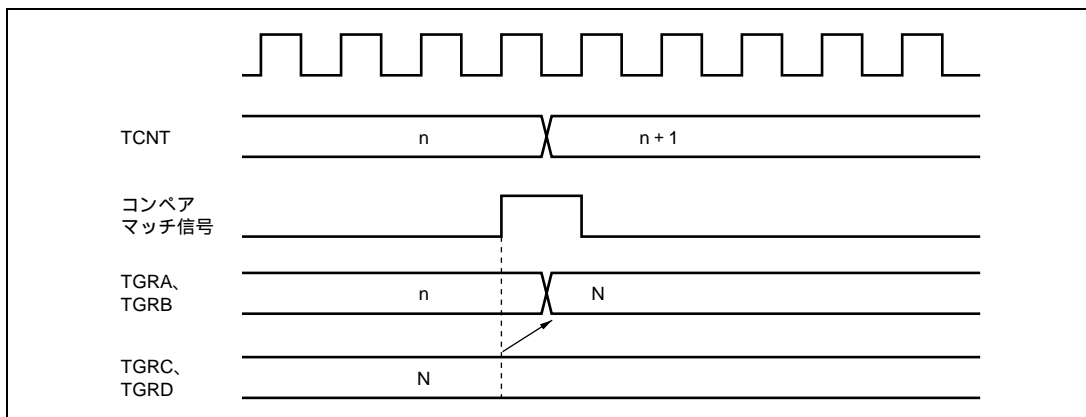


図 10.37 バッファ動作タイミング (コンペアマッチ)

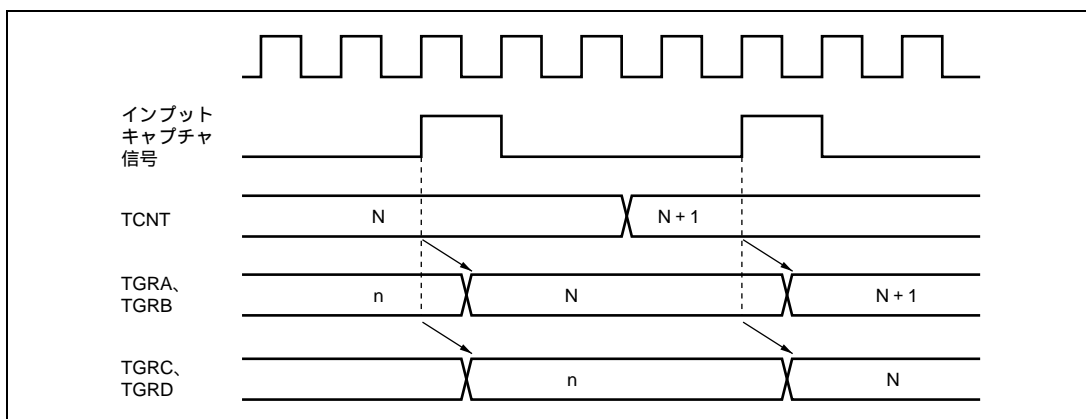


図 10.38 バッファ動作タイミング (インプットキャプチャ)

### 10.9.2 割り込み信号タイミング

#### (1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.39 に示します。

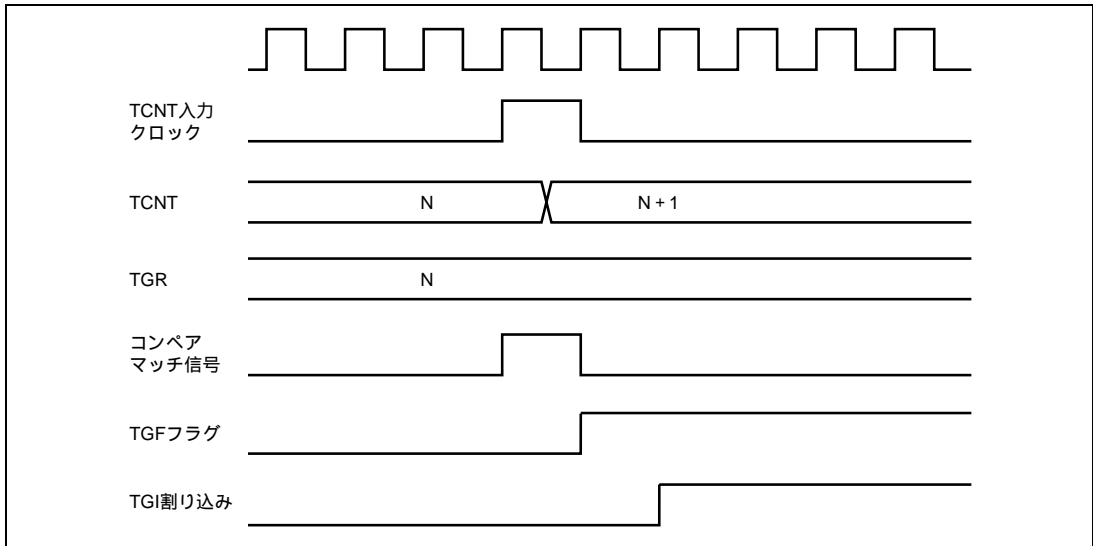


図 10.39 TGI 割り込みタイミング (コンペアマッチ)

#### (2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.40 に示します。

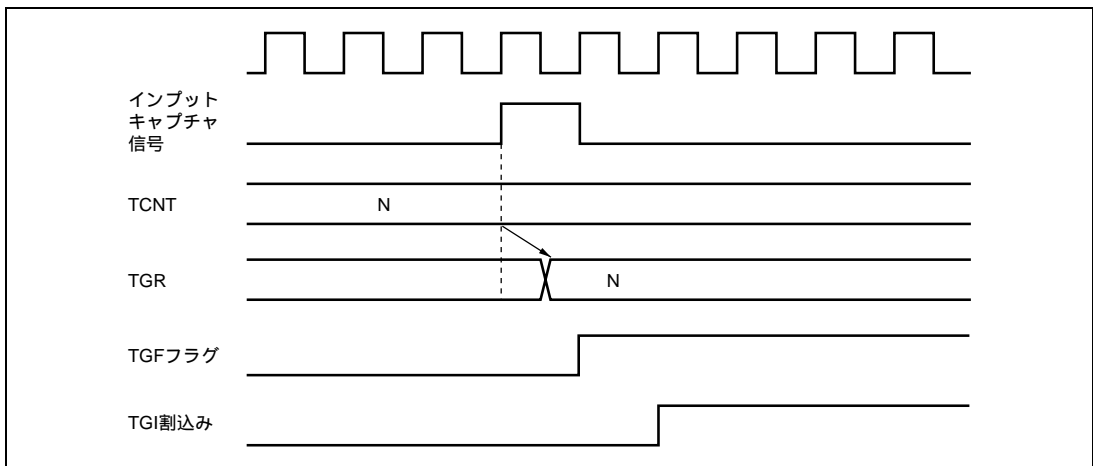


図 10.40 TGI 割り込みタイミング (インพุットキャプチャ)

## (3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.41 に示します。

H8S/2268 グループでのアンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.42 に示します。

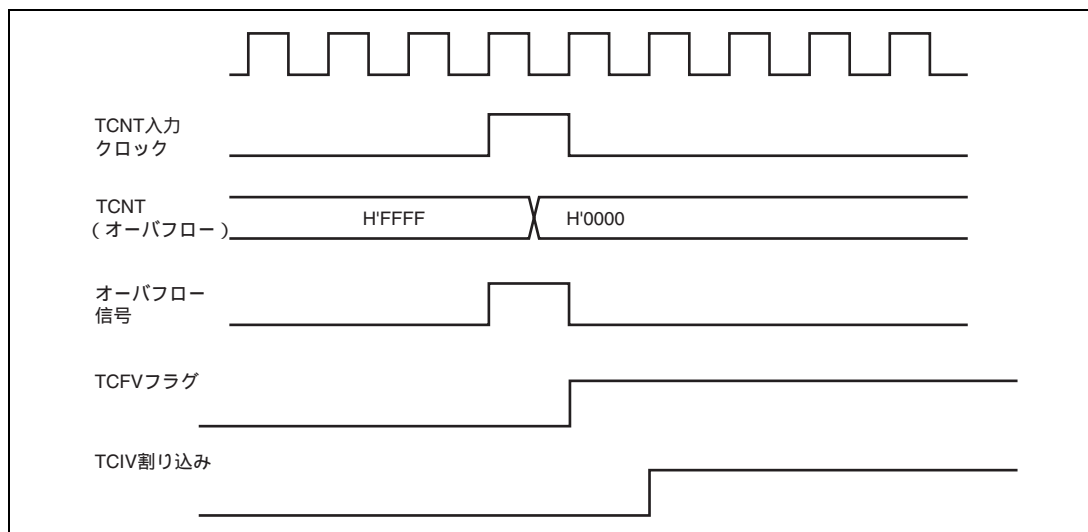


図 10.41 TCIV 割り込みのセットタイミング

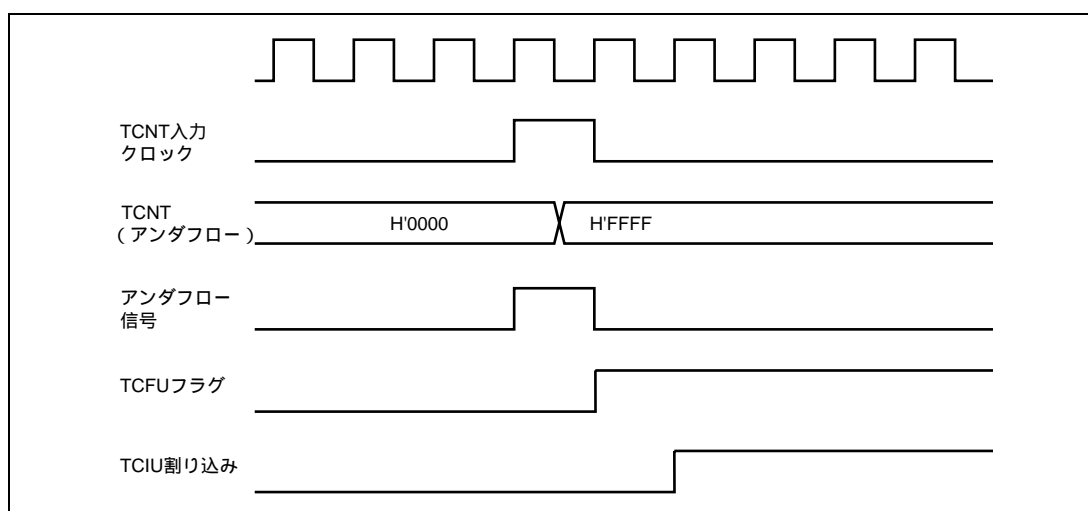


図 10.42 TCIU 割り込みのセットタイミング (H8S/2268 グループのみ)

## 10. 16 ビットタイマパルスユニット (TPU)

### (4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。H8S/2268グループではDTCを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.43に、DTCによるステータスフラグのクリアのタイミングを図10.44に示します。

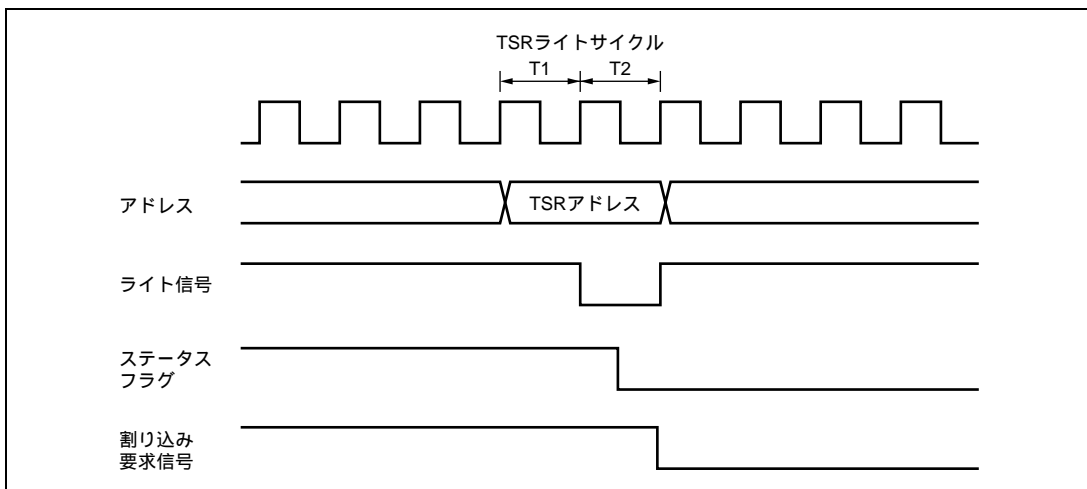


図 10.43 CPU によるステータスフラグのクリアタイミング

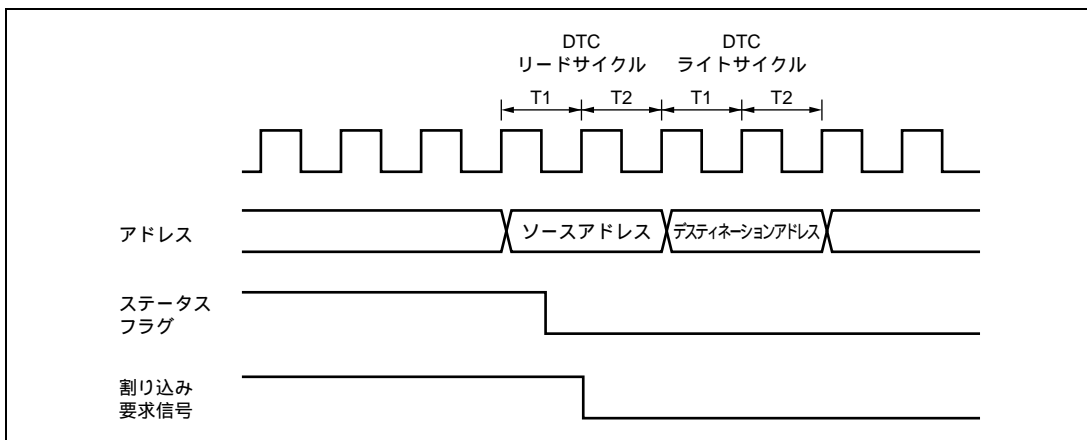


図 10.44 DTC の起動によるステータスフラグのクリアタイミング (H8S/2268 グループのみ)

## 10.10 使用上の注意事項

### 10.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### 10.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

H8S/2268 グループでの位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 10.45 に示します。

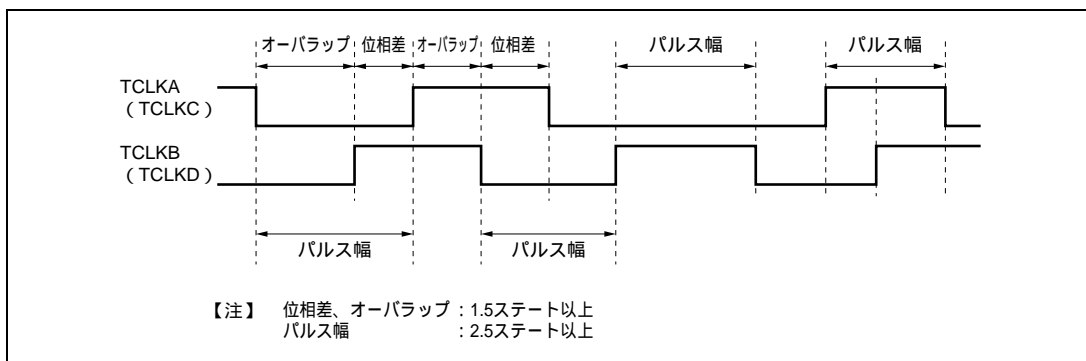


図 10.45 位相計数モード時の位相差、オーバーラップ、およびパルス幅 (H8S/2268 グループのみ)

### 10.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{1}{(N+1)}$$

- f : カウンタ周波数  
 : 動作周波数  
 N : TGR の設定値

## 10. 16ビットタイマパルスユニット (TPU)

### 10.10.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。

このタイミングを図 10.46 に示します。

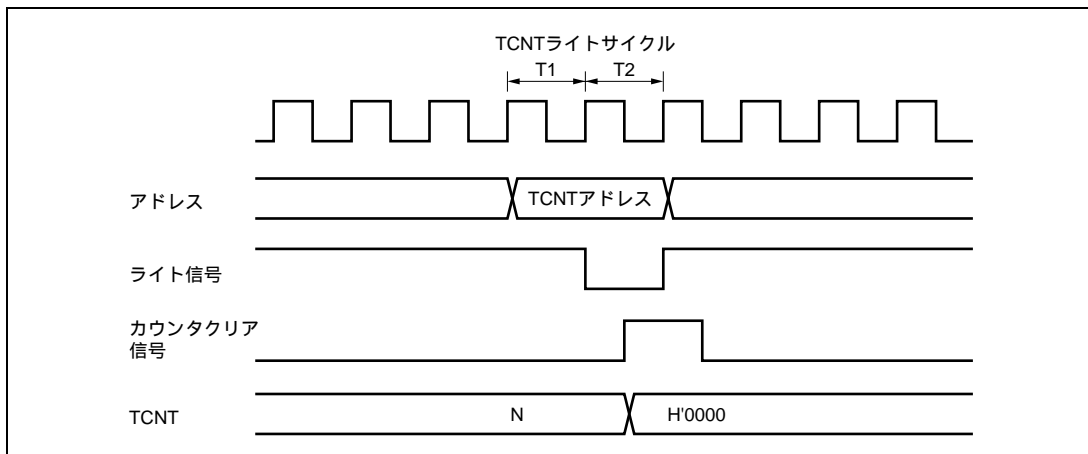


図 10.46 TCNT のライトとクリアの競合

### 10.10.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.47 に示します。

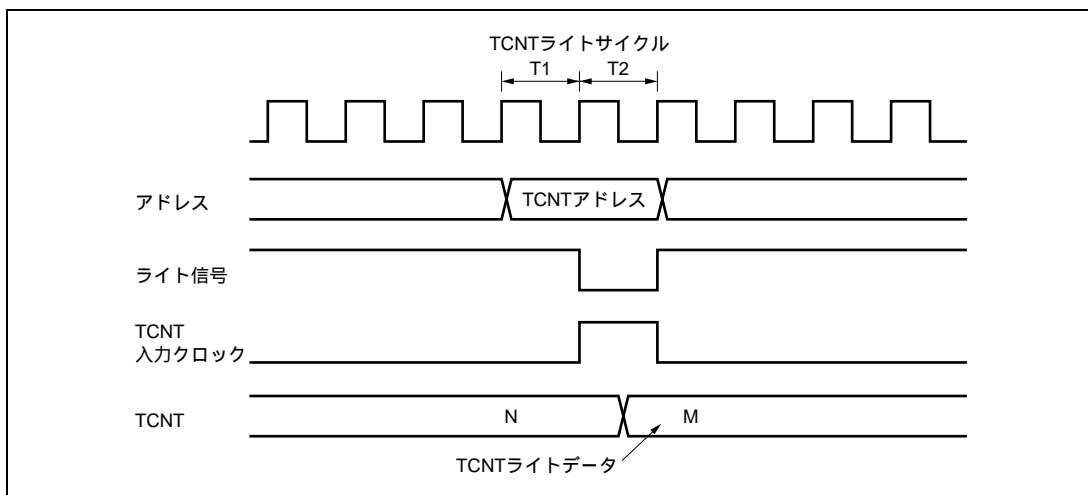


図 10.47 TCNT のライトとカウントアップの競合



### 10.10.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 10.48 に示します。

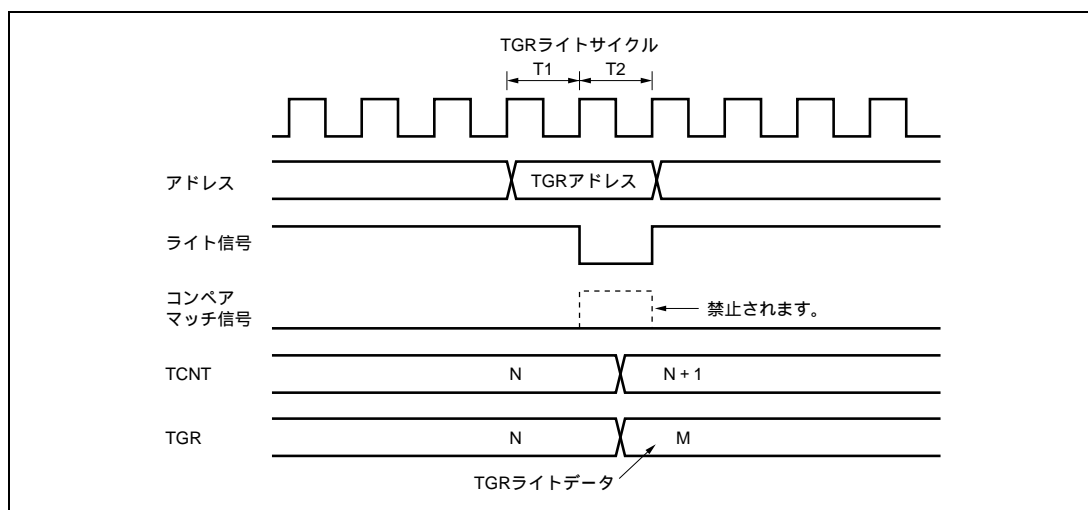


図 10.48 TGR のライトとコンペアマッチの競合

### 10.10.7 バッファレジスタのライトとコンペアマッチの競合 (H8S/2268 グループのみ)

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 10.49 に示します。

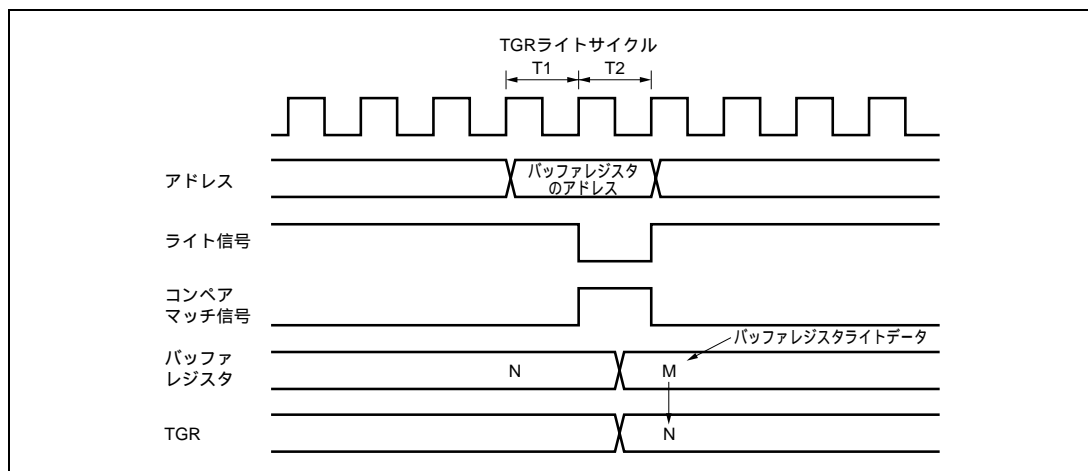


図 10.49 バッファレジスタのライトとコンペアマッチの競合

## 10. 16ビットタイムパルスユニット (TPU)

### 10.10.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.50 に示します。

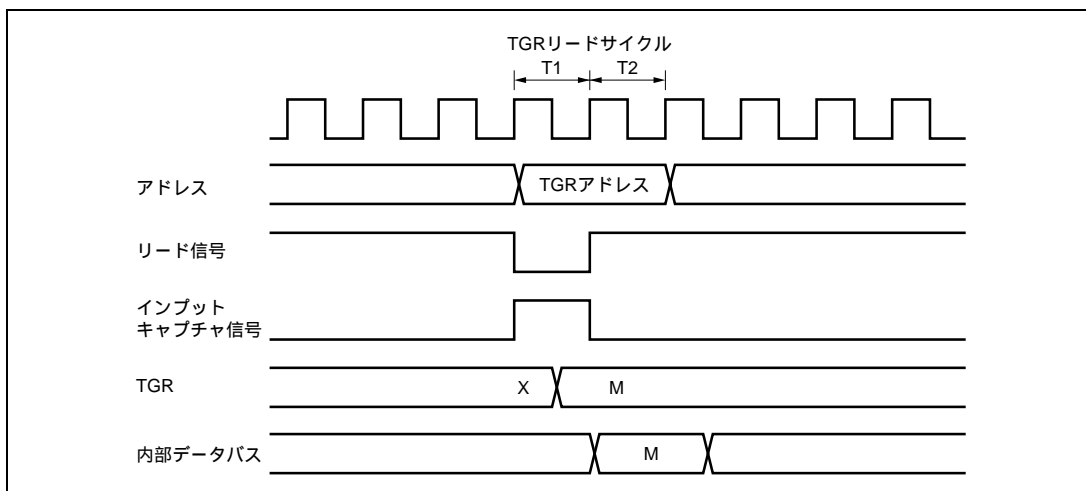


図 10.50 TGR のリードとインプットキャプチャの競合

### 10.10.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 10.51 に示します。

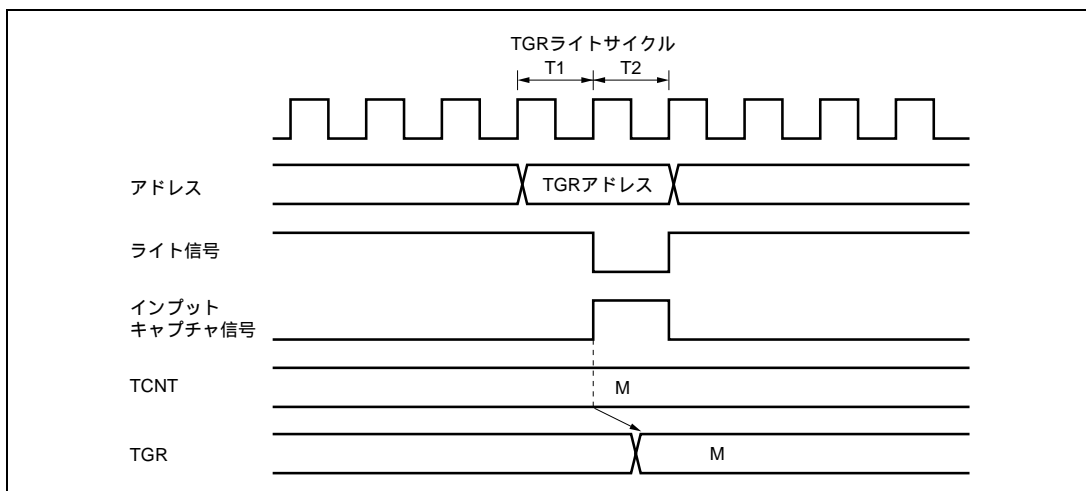


図 10.51 TGR のライトとインプットキャプチャの競合

### 10.10.10 バッファレジスタのライトと入力キャプチャの競合 (H8S/2268 グループのみ)

バッファレジスタのライトサイクル中のT2状態で入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.52 に示します。

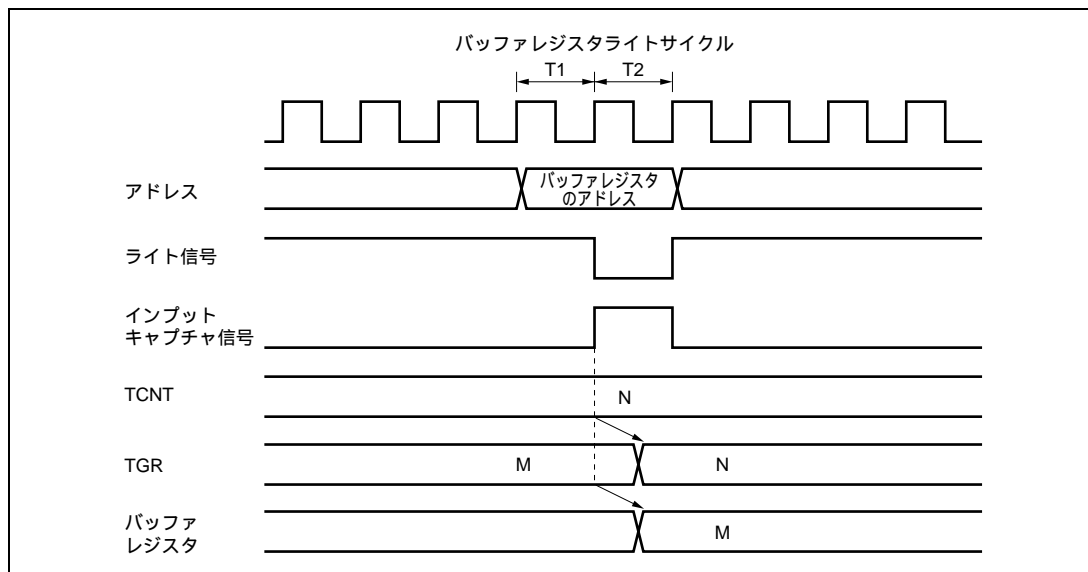


図 10.52 バッファレジスタのライトと入力キャプチャの競合

## 10. 16 ビットタイマパルスユニット (TPU)

### 10.10.11 オーバフロー / アンダフローとカウンタクリアの競合

H8S/2268 グループでは、オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

H8S/2264 グループでは、オーバフローとカウンタクリアが同時に発生すると、TSR の TCFV フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.53 に示します。

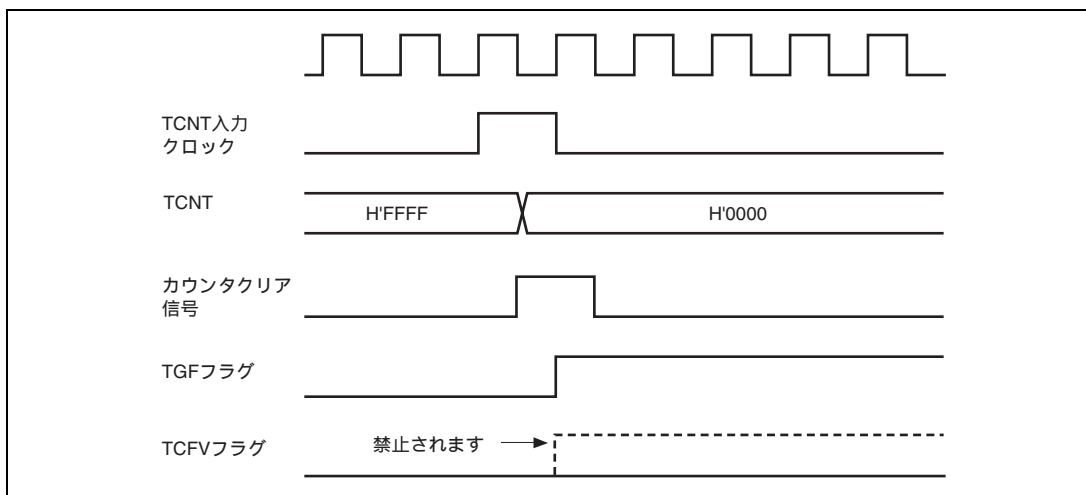


図 10.53 オーバフローとカウンタクリアの競合

### 10.10.12 TCNT のライトとオーバーフロー / アンダフローの競合

H8S/2268 グループでは、TCNT のライトサイクル中の T2 ステートでカウントアップ / カウントダウンが発生し、オーバーフロー / アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

H8S/2264 グループでは、TCNT のライトサイクル中の T2 ステートでカウントアップが発生し、オーバーフローが発生しても TCNT へのライトが優先され、TSR の TCFV フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 10.54 に示します。

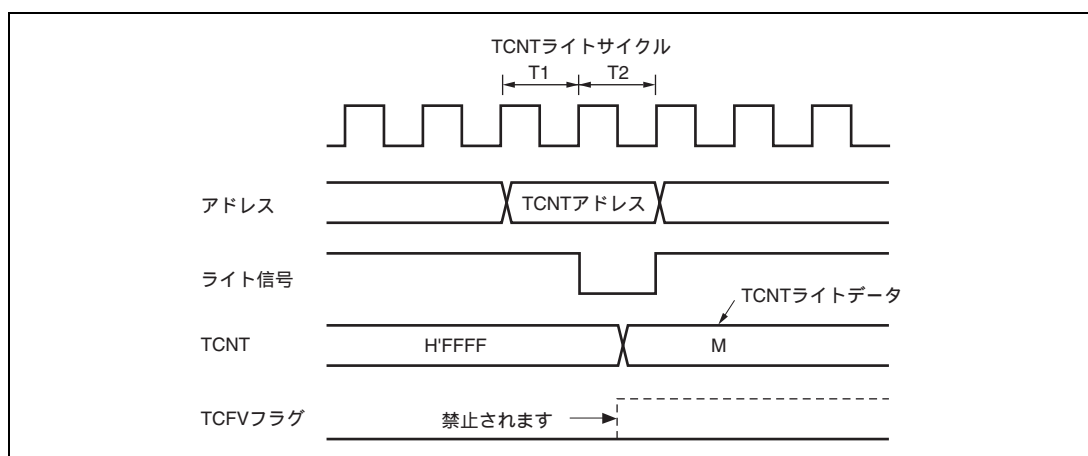


図 10.54 TCNT のライトとオーバーフローの競合

### 10.10.13 入出力端子の兼用

H8S/2268 グループでは、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCDO 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子が、H8S/2264 グループでは、TCLKC 入力と TIOCB1 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンパママッチ出力を行わないでください。

### 10.10.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、または DTC (H8S/2268 グループのみ) の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

## 10. 16ビットタイマパルスユニット (TPU)

---

---

## 11. 8ビットタイマ (TMR)

---

H8S/2268 グループは、8ビットのカウンタをベースにした4チャンネルの8ビットタイマ(TMR\_0、TMR\_1、TMR\_2、TMR\_3)と、4チャンネルの8ビットリロードタイマ(TMR\_4)を内蔵しています。H8S/2264 グループは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ(TMR\_0、TMR\_1)を内蔵しています。

### 11.1 8ビットタイマ (TMR\_0、TMR\_1、TMR\_2、TMR\_3)

8ビットタイマは外部のイベントのカウンタが可能のほか、2本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

#### 11.1.1 特長

- 4種類のクロックを選択可能  
3種類の内部クロック ( /8、 /64、 /8192 ) と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能  
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御  
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能  
チャンネル0 (チャンネル2\*) を上位、チャンネル1 (チャンネル3\*) を下位とする16ビットタイマとして動作可能です (16ビットカウントモード)。  
チャンネル1 (チャンネル3\*) はチャンネル0 (チャンネル2\*) のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- 各チャンネル3種類の割り込み要因  
コンペアマッチ×2要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。
- A/D変換器の変換スタートトリガを生成可能  
A/D変換器の交換開始トリガとしてチャンネル0のコンペアマッチA信号を使用可能
- モジュールストップモードの設定可能  
初期値では8ビットタイマの動作は停止、モジュールストップモードの解除によりレジスタのアクセスが可能

【注】\* H8S/2268 グループのみサポートします。

## 11. 8ビットタイマ (TMR)

8ビットタイマ (TMR\_0、TMR\_1) のブロック図を図 11.1 に示します。

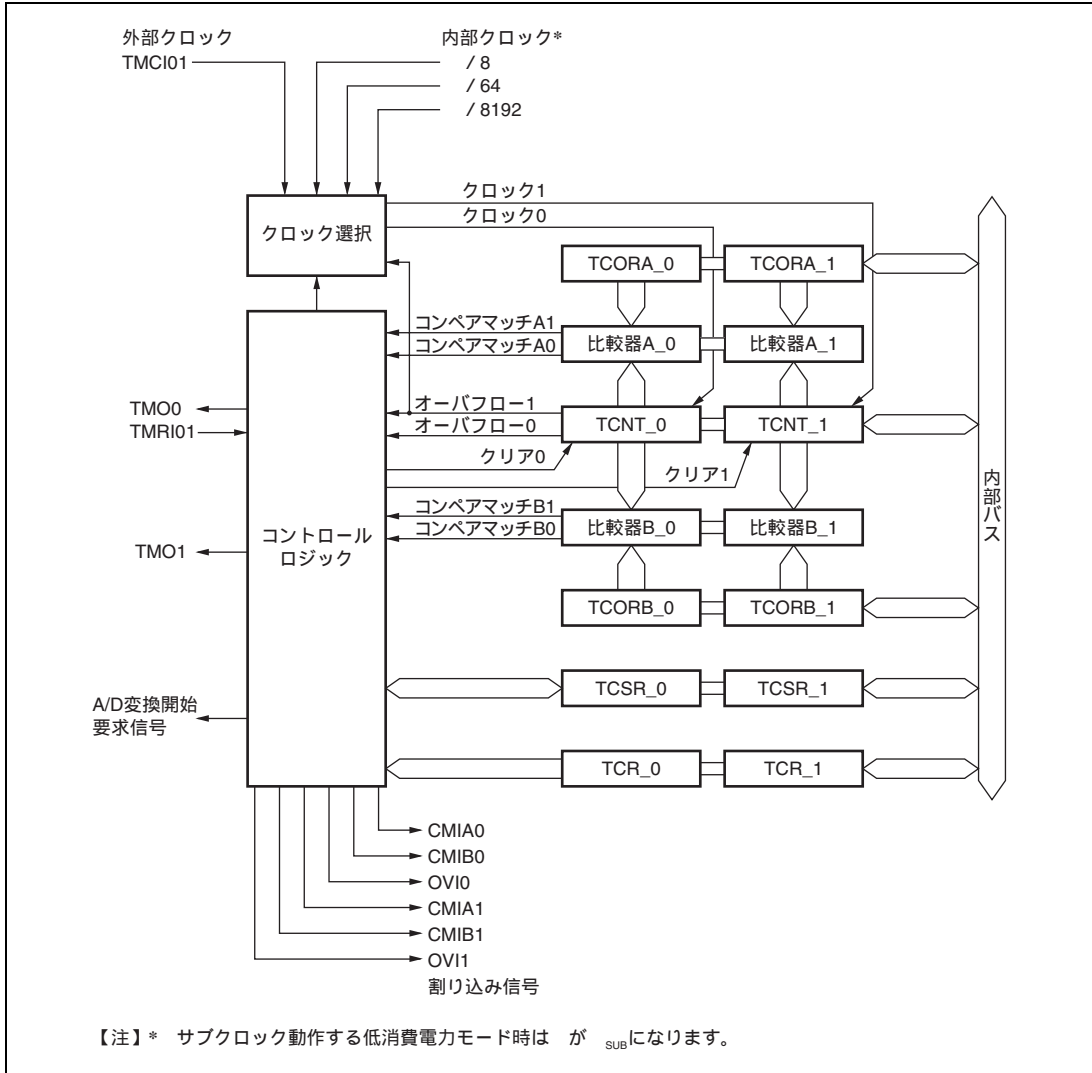


図 11.1 8ビットタイマのブロック図

### 【記号説明】

TCORA\_0: タイムコンスタントレジスタ A\_0

TCORA\_1: タイムコンスタントレジスタ A\_1

TCORB\_0: タイムコンスタントレジスタ B\_0

TCORB\_1: タイムコンスタントレジスタ B\_1

TCNT\_0: タイマカウンタ\_0

TCNT\_1: タイマカウンタ\_1

TCSR\_0: タイマコントロール/ステータスレジスタ\_0

TCSR\_1: タイマコントロール/ステータスレジスタ\_1

TCR\_0: タイマコントロールレジスタ\_0

TCR\_1: タイマコントロールレジスタ\_1



## 11.2 入出力端子

8ビットタイマの端子構成を表 11.1 に示します。

表 11.1 端子構成

チャンネル	名 称	略称	入出力	機 能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
0、1 共通	タイマクロック入力端子	TMCIO1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI01	入力	カウンタ外部リセット入力
2*	タイマ出力端子	TMO2	出力	コンペアマッチ出力
3*	タイマ出力端子	TMO3	出力	コンペアマッチ出力
2、3 共通*	タイマクロック入力端子	TMCI23	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI23	入力	カウンタ外部リセット入力

【注】\* H8S/2268 グループのみサポートします。

## 11.3 レジスタの説明

8ビットタイマには以下のレジスタがあります。モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A~D (MSTPCRA~MSTPCRD)」を参照してください。

- タイマカウンタ\_0 (TCNT\_0)
- タイムコンスタントレジスタA\_0 (TCORA\_0)
- タイムコンスタントレジスタB\_0 (TCORB\_0)
- タイマコントロールレジスタ\_0 (TCR\_0)
- タイマコントロール/ステータスレジスタ\_0 (TCSR\_0)
- タイマカウンタ\_1 (TCNT\_1)
- タイムコンスタントレジスタA\_1 (TCORA\_1)
- タイムコンスタントレジスタB\_1 (TCORB\_1)
- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマコントロール/ステータスレジスタ\_1 (TCSR\_1)
- タイマカウンタ\_2 (TCNT\_2) \*
- タイムコンスタントレジスタA\_2 (TCORA\_2) \*
- タイムコンスタントレジスタB\_2 (TCORB\_2) \*
- タイマコントロールレジスタ\_2 (TCR\_2) \*
- タイマコントロール/ステータスレジスタ\_2 (TCSR\_2) \*

## 11. 8ビットタイマ (TMR)

---

- タイマカウンタ\_3 (TCNT\_3) \*
- タイムコンスタントレジスタA\_3 (TCORA\_3) \*
- タイムコンスタントレジスタB\_3 (TCORB\_3) \*
- タイマコントロールレジスタ\_3 (TCR\_3) \*
- タイマコントロール/ステータスレジスタ\_3 (TCSR\_3) \*

【注】\* H8S/2268 グループのみサポートします。

### 11.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのアップカウンタです。TCNT\_0、TCNT\_1 (TCNT\_2、TCNT\_3)を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー (H'FF H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

### 11.3.2 タイムコンスタントレジスタA (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA\_0、TCORA\_1 (TCORA\_2、TCORA\_3)を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

### 11.3.3 タイムコンスタントレジスタB (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB\_0、TCORB\_1 (TCORB\_2、TCORB\_3)を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

### 11.3.4 タイマコントロールレジスタ (TCR)

TCRはTCNTの入力クロックの選択、TCNTのクリア条件指定、各割り込み要求の制御を行います。

## 11. 8ビットタイマ (TMR)

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2-0 内部クロックは、システムロック ( ) を分周した 3 種類のクロックから選択できます。外部クロックのとき、クロック入力は立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウンタの 3 種類から選択できます。 000 : クロック入力を禁止 001 : 内部クロック : /8 立ち下がりエッジでカウント 010 : 内部クロック : /64 立ち下がりエッジでカウント 011 : 内部クロック : /8192 立ち下がりエッジでカウント 100 : チャネル 0 の場合 : TCNT1 のオーバフロー信号でカウント* チャネル 1 の場合 : TCNT0 のコンペアマッチ A でカウント* チャネル 2 の場合 : TCNT3 のオーバフロー信号でカウント* チャネル 3 の場合 : TCNT2 のコンペアマッチ A でカウント* 101 : 外部クロック : 立ち上がりエッジでカウント 110 : 外部クロック : 立ち下がりエッジでカウント 111 : 外部クロック : 立ち上がり / 立ち下がり両エッジでカウント

【注】\* チャネル 0 (チャネル 2) のクロック入力を TCNT1 (TCNT3) のオーバフロー信号とし、チャネル 1 (チャネル 3) のクロック入力を TCNT0 (TCNT2) のコンペアマッチ信号とすると、カウンタアップクロックが発生しません。この設定は行わないでください。

## 11. 8 ビットタイマ (TMR)

### 11.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* <sup>1</sup>	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC* <sup>2</sup> が起動され、DTC* <sup>2</sup> の MRB の DIESEL ビットが 0 でかつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)* <sup>1</sup>	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC* <sup>2</sup> が起動され、DTC* <sup>2</sup> の MRB の DIESEL ビットが 0 でかつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)* <sup>1</sup>	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

## 11. 8ビットタイマ(TMR)

ビット	ビット名	初期値	R/W	説明
1	OS1	0	R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
0	OS0	0	R/W	

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 H8S/2268 グループのみサポートします。

## 11. 8ビットタイマ (TMR)

### • TCSR\_1、TCSR\_3

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* <sup>1</sup>	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC* <sup>2</sup> が起動され、DTC* <sup>2</sup> の MRB の DISEL ビットが 0 であつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)* <sup>1</sup>	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC* <sup>2</sup> が起動され、DTC* <sup>2</sup> の MRB の DISEL ビットが 0 であつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)* <sup>1</sup>	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 H8S/2268 グループのみサポートします。

## • TCSR\_2

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* <sup>1</sup>	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC* <sup>2</sup> が起動され、DTC* <sup>2</sup> の MRB の DISEL ビットが 0 であつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)* <sup>1</sup>	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC* <sup>2</sup> が起動され、DTC* <sup>2</sup> の MRB の DISEL ビットが 0 であつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)* <sup>1</sup>	タイマオーバフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4		0	R/W	リザーブビット リード/ライト可能です。ライトするときは 0 をライトしてください。
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 H8S/2268 グループのみサポートします。

## 11.4 動作説明

### 11.4.1 パルス出力

任意のデューティパルスを出力させる例を図 11.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

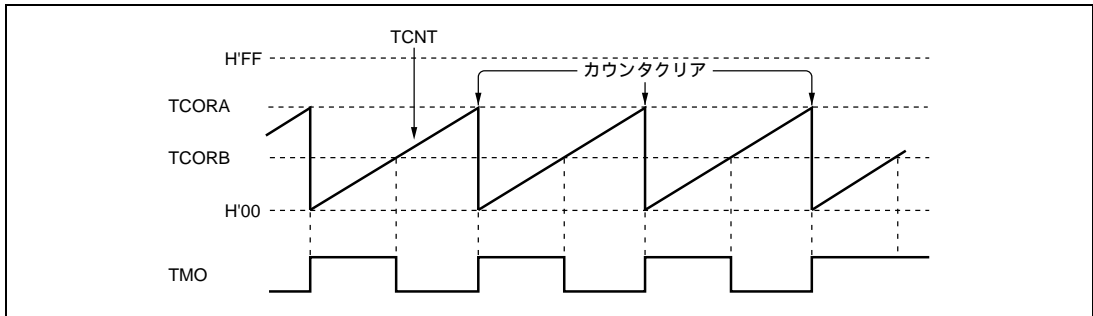


図 11.2 パルス出力例

## 11.5 動作タイミング

### 11.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.3 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.4 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

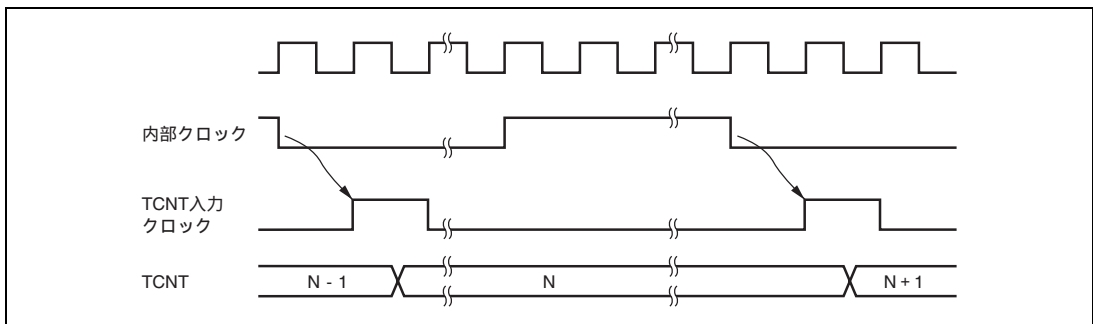


図 11.3 内部クロック動作時のカウントタイミング



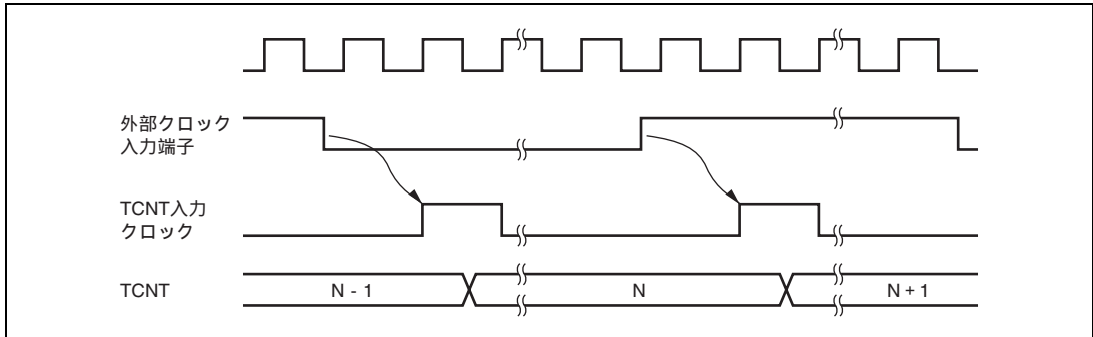


図 11.4 外部クロック動作時のカウントタイミング

### 11.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 11.5 に示します。

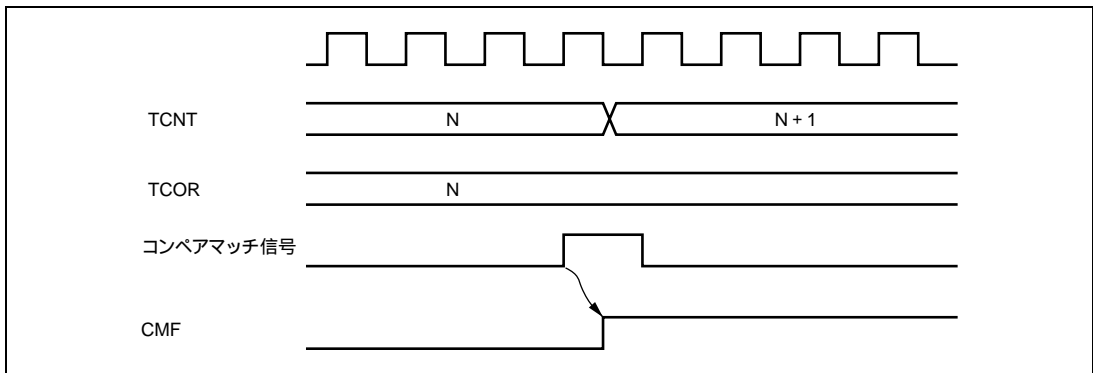


図 11.5 コンペアマッチ時の CMF フラグのセットタイミング

### 11.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 11.6 に示します。

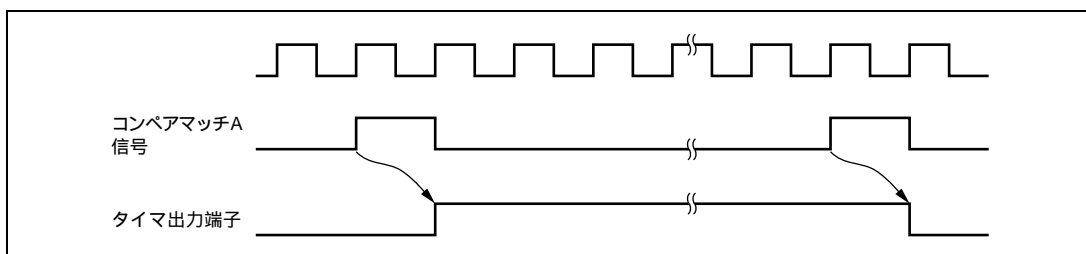


図 11.6 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

### 11.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 11.7 に示します。

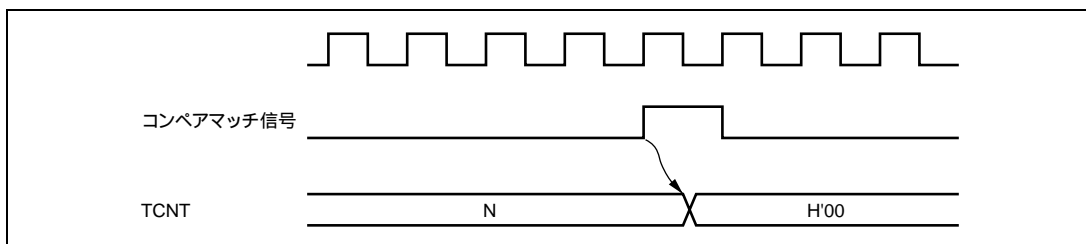


図 11.7 コンペアマッチによるカウンタクリアタイミング

### 11.5.5 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図11.8に示します。

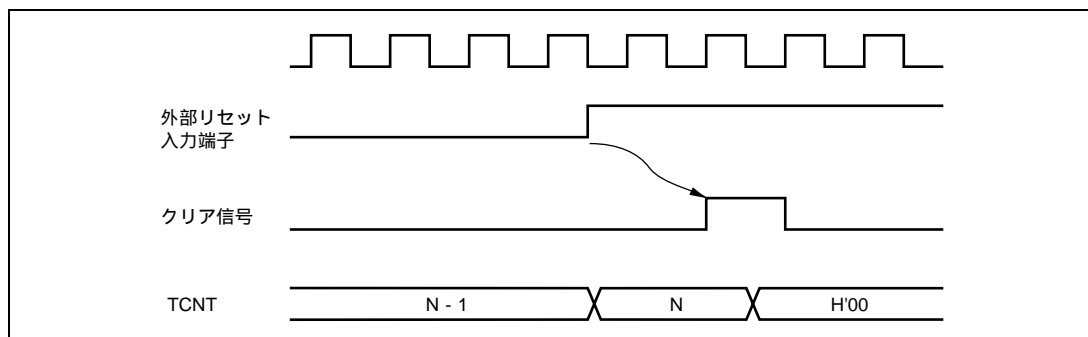


図 11.8 外部リセット入力によるクリアタイミング

### 11.5.6 オーバフローフラグ(OVF)のセットタイミング

TCSRのOVFは、TCNTがオーバフロー(H'FF H'00)したとき出力されるオーバフロー信号により1にセットされます。OVFフラグのセットタイミングを図11.9に示します。

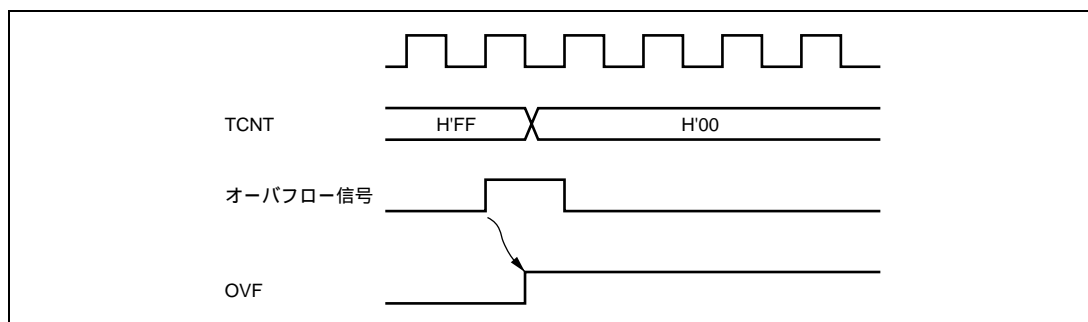


図 11.9 OVF フラグのセットタイミング

### 11.6 カスケード接続時の動作

TCR\_0、TCR\_1 (TCR\_2、TCR\_3) のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットタイマモードか、またはチャンネル0 (チャンネル2) の8ビットタイマのコンペアマッチをチャンネル1 (チャンネル3) のタイマでカウントするコンペアマッチカウントモードにすることができます。チャンネル0とチャンネル1をカスケード接続する場合で以下説明します。

#### 11.6.1 16ビットカウントモード

TCR\_0のCKS2~CKS0ビットがB'100のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

##### (1) コンペアマッチフラグのセット

- TCSR\_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR\_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

##### (2) カウンタクリア指定

- TCR\_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされます。また、TMR101端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされます。
- TCR\_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

##### (3) 端子出力

- TCSR\_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR\_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

#### 11.6.2 コンペアマッチカウントモード

TCR\_1のCKS2~CKS0ビットがB'100のとき、TCNT\_1はチャンネル0のコンペアマッチAをカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

## 11.7 割り込み要因

### 11.7.1 割り込み要因と DTC 起動

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表11.2に各割り込み要因と優先順位を示します。各割り込み要因は、TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、H8S/2268グループではCMIA、CMIB割り込みによりDTCを起動できます。

表 11.2 8ビットタイマの割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動*	優先順位
CMIA0	TCORA_0のコンペアマッチ	CMFA	可	高 ↑ 低
CMIB0	TCORB_0のコンペアマッチ	CMFB	可	
OVI0	TCNT_0のオーバーフロー	OVF	不可	
CMIA1	TCORA_1のコンペアマッチ	CMFA	可	高 ↑ 低
CMIB1	TCORB_1のコンペアマッチ	CMFB	可	
OVI1	TCNT_1のオーバーフロー	OVF	不可	
CMIA2*	TCORA_2のコンペアマッチ	CMFA	可	高 ↑ 低
CMIB2*	TCORB_2のコンペアマッチ	CMFB	可	
OVI2*	TCNT_2のオーバーフロー	OVF	不可	
CMIA3*	TCORA_3のコンペアマッチ	CMFA	可	高 ↑ 低
CMIB3*	TCORB_3のコンペアマッチ	CMFB	可	
OVI3*	TCNT_3のオーバーフロー	OVF	不可	

【注】\* H8S/2268グループのみサポートします。

### 11.7.2 A/D変換器の起動

チャンネル0のコンペアマッチAのみ、A/D変換器を起動することができます。チャンネル0のコンペアマッチAの発生により、TCSR0のCMFAフラグが1にセットされたとき、ADTEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、8ビットタイマの変換開始トリガが選択されていれば、A/D変換が開始されます。

## 11.8 使用上の注意

### 11.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TMR の動作禁止 / 許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップモードを解除することによりレジスタのアクセスが可能になります。

詳細は「第 22 章 低消費電力状態」を参照してください。

### 11.8.2 TCNT のライトとカウンタクリアの競合

図 11.10 のように TCNT のライトサイクル中の T2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

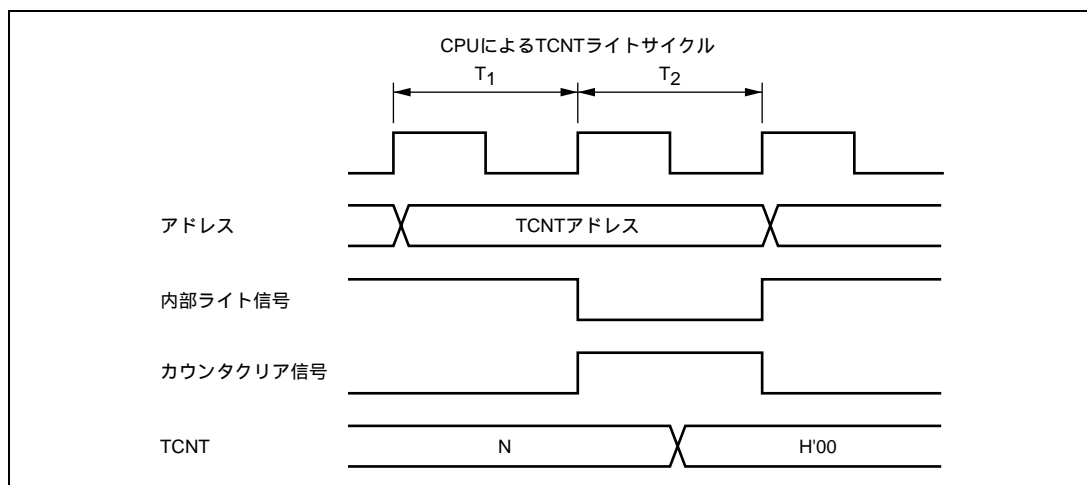


図 11.10 TCNT のライトとクリアの競合

### 11.8.3 TCNT のライトとカウントアップの競合

図 11.11 のように TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

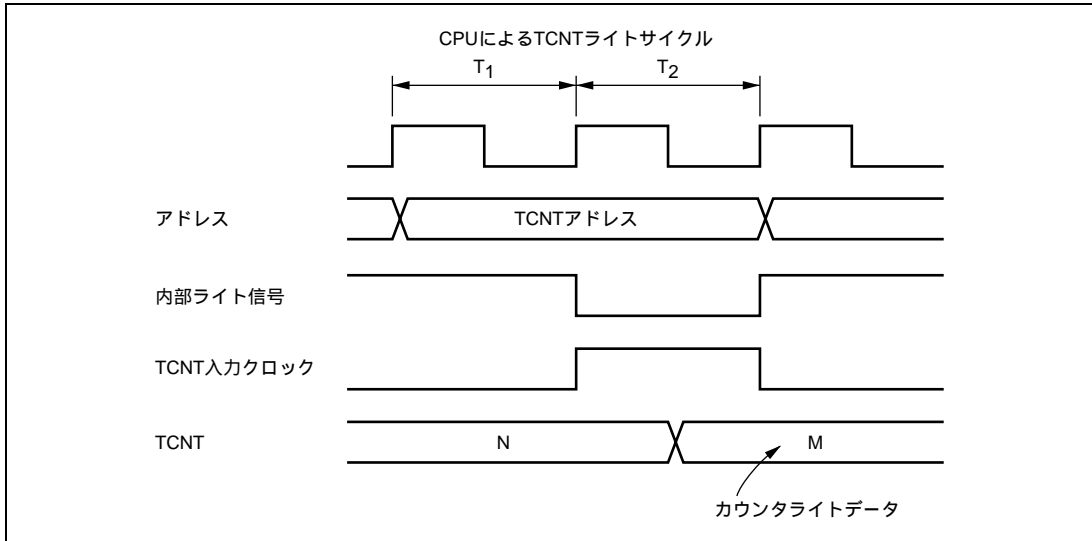


図 11.11 TCNT のライトとカウントアップの競合

#### 11.8.4 TCOR のライトとコンペアマッチの競合

図 11.12 のように TCOR のライトサイクル中の  $T_2$  ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

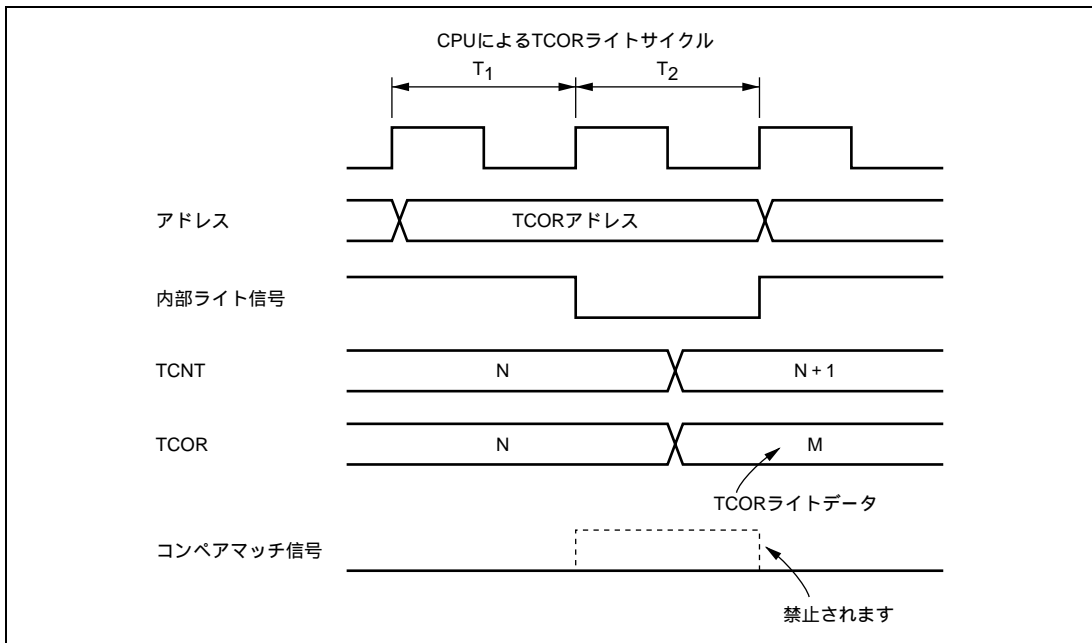


図 11.12 TCOR のライトとコンペアマッチの競合

## 11. 8ビットタイマ (TMR)

### 11.8.5 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 11.3 に示すタイマ出力の優先順位にしたがって動作します。

表 11.3 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

### 11.8.6 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 11.4 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 11.4 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 11.4 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル*1 の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>



No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
2	Low High レベル <sup>*2</sup> の切り替え	<p style="text-align: center;">CKSビット書き換え</p>
3	High Low レベル <sup>*3</sup> の切り替え	<p style="text-align: center;">CKSビット書き換え</p>
4	High High レベル の切り替え	<p style="text-align: center;">CKSビット書き換え</p>

- 【注】 \*1 Low レベル 停止、および停止 Low レベルの場合を含みます。  
 \*2 停止 High レベルの場合を含みます。  
 \*3 High レベル 停止を含みます。  
 \*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

## 11. 8ビットタイマ (TMR)

---

### 11.8.7 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPUの割り込み要因、またはH8S/2268グループでのDTCの起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

## 11.9 8ビットリロードタイマ (TMR\_4) (H8S/2268グループのみ)

8ビットリロードタイマは、4チャンネルの8ビットのアップカウンタで構成されています。インターバル機能、オートリロード機能の2種類の機能があります。

### 11.9.1 特長

- 14種類の内部クロック ( /32768、 /8192、 /2048、 /512、 /128、 /32、 /8、 /2、  
/256、<sub>SUB</sub> /128、<sub>SUB</sub> /64、<sub>SUB</sub> /32、<sub>SUB</sub> /8、<sub>SUB</sub> /2 ) と外部のクロックからの選択が可能です。
- カウンタのオーバフローで割り込み要求を発生します。
- カスケード接続が可能 (チャンネル番号の低い方を上位、チャンネル番号の高い方を下位として接続)  
タイマ2本 (チャンネル4と5、チャンネル5と6、チャンネル6と7) を接続して16ビットタイマとして動作可能。  
タイマ3本 (チャンネル4~6またはチャンネル5~7) を接続して24ビットタイマとして動作可能。  
タイマ4本 (チャンネル4~7) を接続して32ビットタイマとして動作可能。
- モジュールストップモードの設定可能  
初期値では8ビットリロードタイマの動作は停止、モジュールストップモードの解除によりレジスタのアクセスが可能

8ビットリロードタイマのブロック図を図 11.13 に示します。

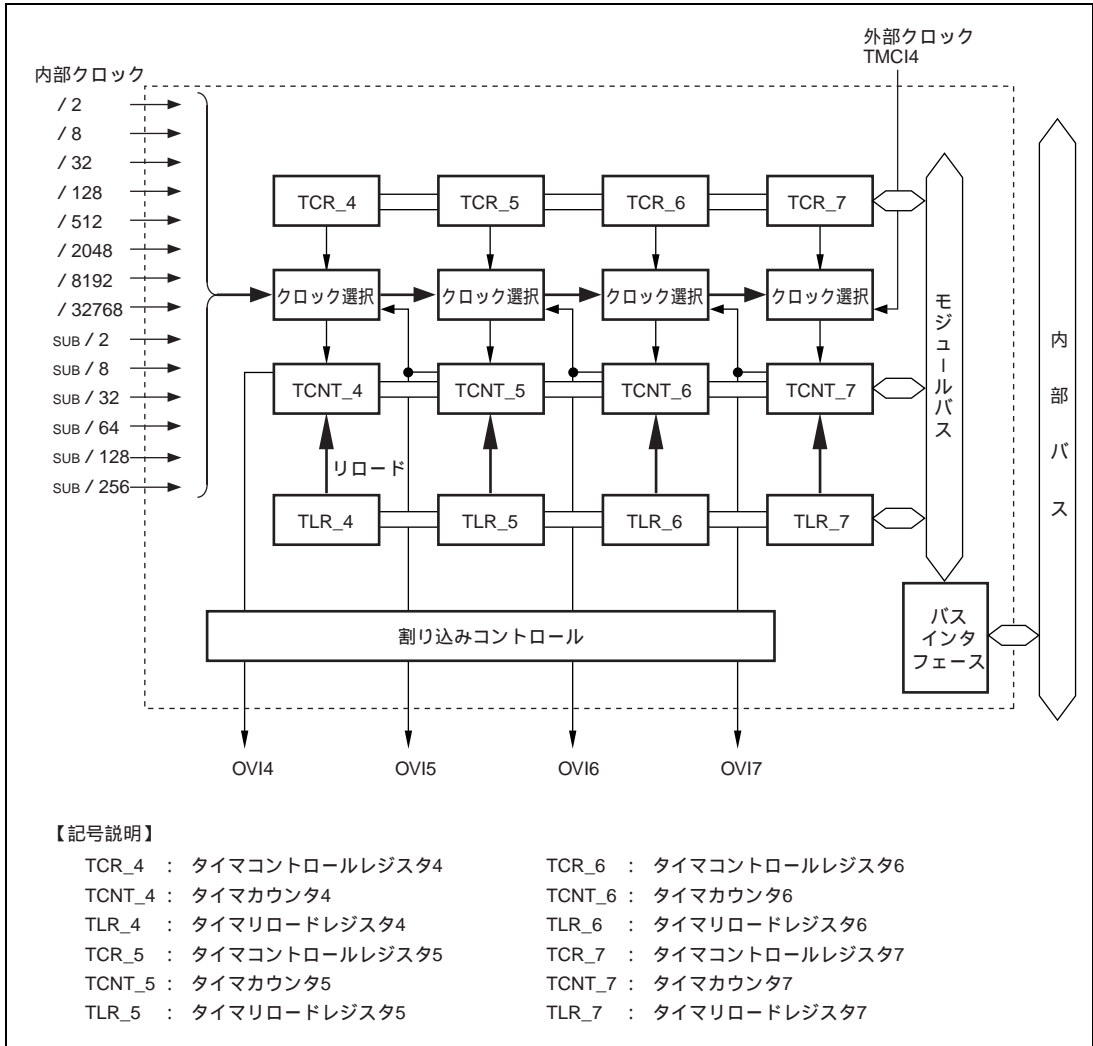


図 11.13 8ビットリロードタイマのブロック図

### 11.9.2 入出力端子

8ビットリロードタイマの端子を以下に示します。

名称	記号	入出力	機能
タイマクロック入力端子	TMC14	入力	カウンタ外部クロック入力

【注】TMC14 入力端子に印加する電圧は、AVss TMC14 AVcc の範囲としてください。

## 11.10 レジスタの説明

8ビットリロードタイマには以下のレジスタがあります。モジュールストップコントロールレジスタについては、「22.1.2 モジュールストップコントロールレジスタ A~D (MSTPCRA~MSTPCRD)」を参照してください。

- タイマコントロールレジスタ (TCR)
- タイマカウンタ (TCNT)
- タイマリロードレジスタ (TLR)

チャンネル4 (チャンネル6) とチャンネル5 (チャンネル7) の対応する TCNT、TLR は、チャンネル4 (チャンネル6) を上位、チャンネル5 (チャンネル7) を下位とする。16ビットレジスタとしてワードアクセスすることができます。

### 11.10.1 タイマコントロールレジスタ 4~7 (TCR\_4~TCR\_7)

TCR は、オートリロード機能の選択、割り込みの制御および TCNT の入力クロックの選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	ARSL	0	R/W	オートリロード機能選択 オートリロード機能を選択します。 0: インターバル機能を選択 1: オートリロード機能を選択
6	OVF	0	R/(W)*	タイマオーバーフローフラグ TCNT がオーバーフロー (H'FF H'00) したことを示すステータスフラグです。 0: [クリア条件] OVF=1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき 1: [セット条件] TCNT が H'FF H'00 になったとき
5	OVIE	0	R/W	タイマオーバーフローインタラプトイネーブル OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0: OVF による割り込み要求 (OVI) を禁止 1: OVF による割り込み要求 (OVI) を許可
4		1		リザーブビット
3		1		リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明																																													
2	CKS2	0	R/W	クロックセレクト																																													
1	CKS1	0	R/W	TCNT に入力するクロックを、内部クロックまたは外部クロックから選択します。内部クロックはシステムクロック ( ) またはサブクロック ( <sub>SUB</sub> ) を分周したクロックから選択できます。																																													
0	CKS0	0	R/W																																														
				<table border="1"> <thead> <tr> <th></th> <th>チャンネル 4</th> <th>チャンネル 5</th> <th>チャンネル 6</th> <th>チャンネル 7</th> </tr> </thead> <tbody> <tr> <td>000 :</td> <td>/ 32768</td> <td>/ 8192</td> <td>/ 32768</td> <td>/ 8192</td> </tr> <tr> <td>001 :</td> <td>/ 2048</td> <td>/ 512</td> <td>/ 2048</td> <td>/ 512</td> </tr> <tr> <td>010 :</td> <td>/ 128</td> <td>/ 32</td> <td>/ 128</td> <td>/ 32</td> </tr> <tr> <td>011 :</td> <td>/ 8</td> <td>/ 2</td> <td>/ 8</td> <td>/ 2</td> </tr> <tr> <td>100 :</td> <td><sub>SUB</sub> / 256</td> <td><sub>SUB</sub> / 128</td> <td><sub>SUB</sub> / 256</td> <td><sub>SUB</sub> / 128</td> </tr> <tr> <td>101 :</td> <td><sub>SUB</sub> / 64</td> <td><sub>SUB</sub> / 32</td> <td><sub>SUB</sub> / 64</td> <td><sub>SUB</sub> / 32</td> </tr> <tr> <td>110 :</td> <td><sub>SUB</sub> / 8</td> <td><sub>SUB</sub> / 2</td> <td><sub>SUB</sub> / 8</td> <td><sub>SUB</sub> / 2</td> </tr> <tr> <td>111 :</td> <td>TCNT_5 の オーバーフロー</td> <td>TCNT_6 の オーバーフロー</td> <td>TCNT_7 の オーバーフロー</td> <td>外部クロック 立ち上がり エッジでカウン ト</td> </tr> </tbody> </table>		チャンネル 4	チャンネル 5	チャンネル 6	チャンネル 7	000 :	/ 32768	/ 8192	/ 32768	/ 8192	001 :	/ 2048	/ 512	/ 2048	/ 512	010 :	/ 128	/ 32	/ 128	/ 32	011 :	/ 8	/ 2	/ 8	/ 2	100 :	<sub>SUB</sub> / 256	<sub>SUB</sub> / 128	<sub>SUB</sub> / 256	<sub>SUB</sub> / 128	101 :	<sub>SUB</sub> / 64	<sub>SUB</sub> / 32	<sub>SUB</sub> / 64	<sub>SUB</sub> / 32	110 :	<sub>SUB</sub> / 8	<sub>SUB</sub> / 2	<sub>SUB</sub> / 8	<sub>SUB</sub> / 2	111 :	TCNT_5 の オーバーフロー	TCNT_6 の オーバーフロー	TCNT_7 の オーバーフロー	外部クロック 立ち上がり エッジでカウン ト
	チャンネル 4	チャンネル 5	チャンネル 6	チャンネル 7																																													
000 :	/ 32768	/ 8192	/ 32768	/ 8192																																													
001 :	/ 2048	/ 512	/ 2048	/ 512																																													
010 :	/ 128	/ 32	/ 128	/ 32																																													
011 :	/ 8	/ 2	/ 8	/ 2																																													
100 :	<sub>SUB</sub> / 256	<sub>SUB</sub> / 128	<sub>SUB</sub> / 256	<sub>SUB</sub> / 128																																													
101 :	<sub>SUB</sub> / 64	<sub>SUB</sub> / 32	<sub>SUB</sub> / 64	<sub>SUB</sub> / 32																																													
110 :	<sub>SUB</sub> / 8	<sub>SUB</sub> / 2	<sub>SUB</sub> / 8	<sub>SUB</sub> / 2																																													
111 :	TCNT_5 の オーバーフロー	TCNT_6 の オーバーフロー	TCNT_7 の オーバーフロー	外部クロック 立ち上がり エッジでカウン ト																																													

【注】\* フラグをクリアするための 0 をライトのみ可能です。

### 11.10.2 タイマカウンタ 4~7 (TCNT\_4~TCNT\_7)

TCNT\_4~TCNT\_7 は 8 ビットのリード可能なアップカウンタで、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、TCR の CKS2~0 ビットで選択します。TCNT\_4~TCNT\_7 の値は、CPU から常にリード可能です。

TCNT\_4、TCNT\_5 (TCNT\_6/TCNT\_7) を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。また、TCNT がオーバーフロー (H'FF H'00) すると、TCR の OVF が 1 にセットされます。TCNT は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

### 11.10.3 タイマリロードレジスタ 4~7 (TLR\_4~TLR\_7)

TLR\_4~TLR\_7 は 8 ビットのライト可能なレジスタで、TCNT のリロード値を設定します。

TLR にリロード値を設定すると、同時にその値は TCNT にもロードされ、TCNT はその値からカウントアップを開始します。また、オートリロード動作時、TCNT がオーバーフローすると TCNT に TLR の値がロードされます。したがって、オーバーフロー周期を 1~256 入力クロックの範囲で設定することができます。

TLR\_4、TLR\_5 (TLR\_6/TLR\_7) を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。TLR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

## 11.11 動作説明

### 11.11.1 インターバルタイマの動作

TCR の ARSL を 0 に設定するとタイマはインターバルタイマとして動作します。

リセット時、TCNT は H'00、TLR は 0 にクリアされるため、モジュールストップモード解除後は、インターバルタイマとして停止することなくカウントアップを続けます。クロックソースは、TCR の CKS2~0 により、プリスケラユニットの出力する 14 種類の内部クロック、TMCI4 入力端子からの外部クロックを選択できます。

TCNT のカウント値が H'FF になったあと、クロックが入力されると、タイマはオーバーフローし、TCR の OVF がセットされます。このとき、TCR の OVIE が 1 ならば、割り込みを発生します。

オーバーフロー時には、TCNT のカウント値は H'00 に戻り、再び、カウントアップを開始します。インターバルタイマ動作時に、TLR に値を設定すると、同時に TCNT にも TLR の値をロードします。

これらのタイミングを図 11.14 に示します。

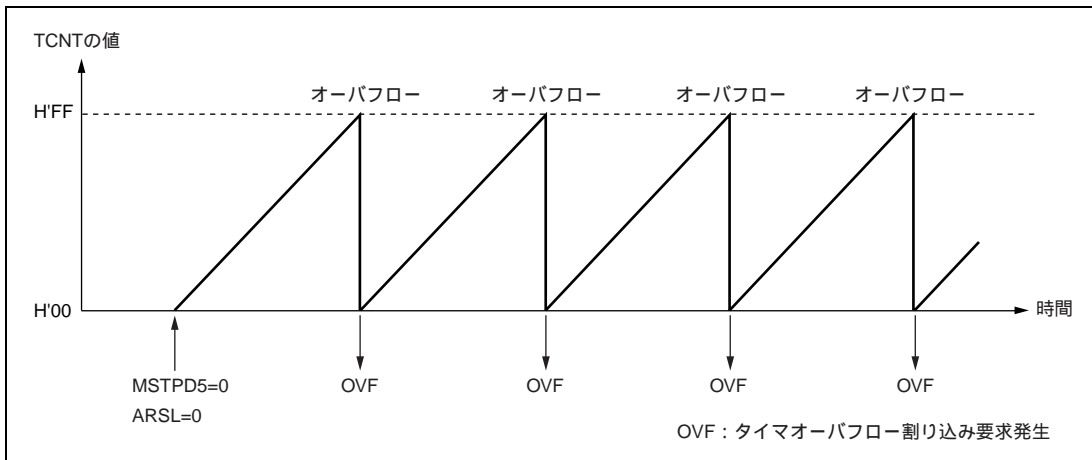


図 11.14 インターバルタイマモード時の動作

### 11.11.2 オートリロードタイマの動作

TCR の ARSL を 1 に設定すると、タイマはオートリロードタイマとして動作します。

TLR にリロード値を設定すると、同時にその値が TCNT にロードされ、TCNT はその値からカウントアップを開始します。

TCNT のカウント値が H'FF になったあと、クロックが入力されると、タイマはオーバーフローし、TLR の値が TCNT にロードされ、その値からカウントアップを続けます。したがって、TLR の値により、オーバーフロー周期を 1~256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックソース、割り込みについてはインターバル動作時と同様です。オートリロード動作時に、TLR の値を再設定すると、同時に TCNT にも TLR の値をロードします。

これらのタイミングを図 11.15 に示します。

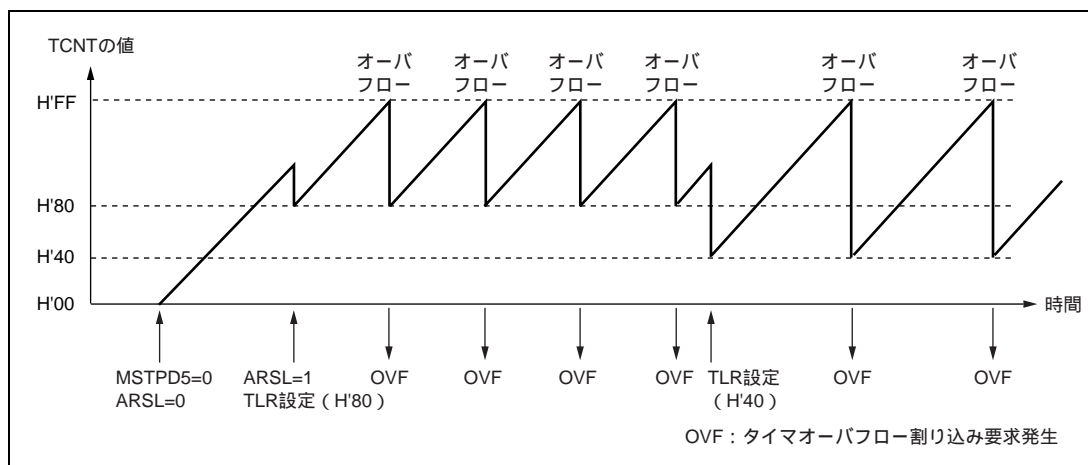


図 11.15 オートリロードタイマモード時の動作

### 11.11.3 カスケード接続

#### (1) TCNT のリード

カスケード接続時のチャンネル関係を図 11.16 に示します。

ワードエリアを越えてアクセスする場合、つまり、`TCNT5`、`TCNT6`、`TCNT7` のようにチャンネル 5 と 6 を含むカスケード接続をする場合、`TCNT5` をリードしたタイミングで下位チャンネルのカウント値が読み出され `TCNT` レジスタに格納されます。例えば、チャンネル 5~7 をカスケード接続した場合、`TCNT5` をリードしたタイミングでチャンネル 6 と 7 のカウント値が読み出され、`TCNT6/7` レジスタに格納します。したがって、カスケード接続状態にある `TCNT` をリードする場合、チャンネル上位側から下位側の順番でリードしてください。

ワードエリア内で読み出される接続では、ワードアクセスでリードしてください。

## 11. 8ビットタイマ (TMR)

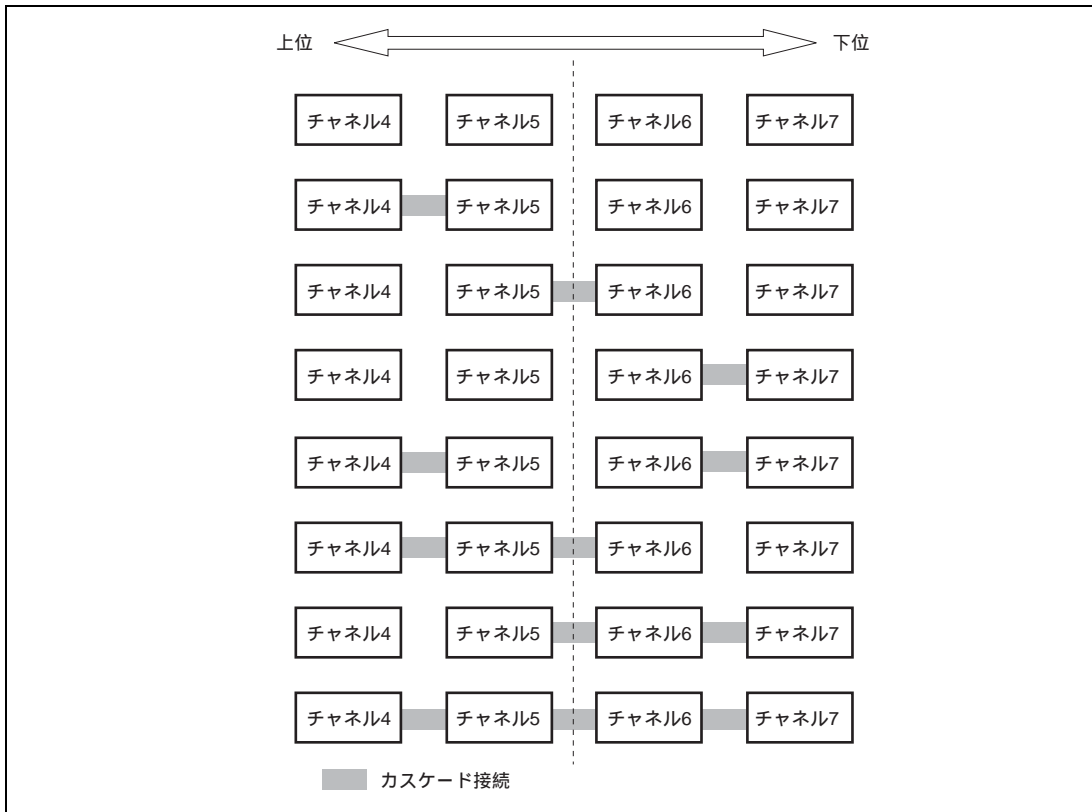


図 11.16 カスケード接続時のチャンネル関係

### (2) TLR へのライト

カスケード接続状態にある TLR にライトする場合、これらの TLR のうち、ひとつでも TLR に値が書き込まれた時点で、カスケード接続状態にあるすべての TLR が更新されたと判断します。このタイミングで、カスケード接続状態にあるすべての TLR 設定値がそれぞれ対応する TCNT にロードされます。一連の TLR アクセスで最後にライトされた TLR 設定値からタイマ動作を続けます。

### (3) 動作クロック

通常、各チャンネルはそれぞれ独立のクロックで動作しますが、カスケード接続時には各チャンネルは同一のクロックで動作します。カスケード接続時の最下位チャンネルの動作クロックを各チャンネル共通のクロックとして動作します。

カスケード接続時において、最下位以外の各チャンネルのクロックに対する設定は無効になります。



#### (4) オートリロード機能選択および動作タイミング

通常、オートリロード機能選択は各チャンネルで独立に設定/動作しますが、カスケード接続状態には、最上位チャンネルのオートリロード機能選択設定にしたがって動作します。

カスケード接続時において、最上位以外の各チャンネルのオートリロード機能選択設定は無効になります。カスケード接続しオートリロード機能を選択している場合、最上位チャンネルのリロード・タイミングで各チャンネルのTLR 設定値を一斉にオートリロードします。

#### (5) タイマオーバフローフラグ (OVF)

通常、OVF は各チャンネルで独立にセットされますが、カスケード接続時には、最上位チャンネルの OVF のみセットされます。カスケード接続時において、最上位以外の各チャンネルの OVF は無効になります。

## 11.12 使用上の注意事項

### 11.12.1 TLR のライトとカウントアップ / オートリロードの競合

TLR のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TLR ライト (TCNT へのロード) が優先されます (図 11.11 と同様)。

同様に、ライトサイクルとオートリロードとの競合の場合も、TLR ライト (TCNT へのロード) が優先されません。

### 11.12.2 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります (表 11.4 参照)。系と SUB 系を切り替えた場合、上記と同様にカウントアップされる場合とカウントアップされない場合があります。そのため、内部クロックを切り替えた場合、TLR を再設定してタイマ動作を再開させてください (インターバルタイマ動作時は TLR に H'00 ライト)。

カスケード接続に切り替えた場合も TLR を再設定してタイマ動作を再開させてください。

### 11.12.3 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

## 11. 8ビットタイマ (TMR)

---

---

## 12. ウォッチドッグタイマ (WDT)

---

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、2 チャンネルを内蔵しています。システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 12.1、図 12.2 に示します。

### 12.1 特長

- WDT\_0は8種類、WDT\_1は16種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

#### ウォッチドッグタイマモード

- WDT\_0ではカウンタがオーバーフローすると、本LSI内部をリセットするかしないかを選択可能
- WDT\_1ではカウンタがオーバーフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能

#### インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

## 12. ウォッチドッグタイマ (WDT)

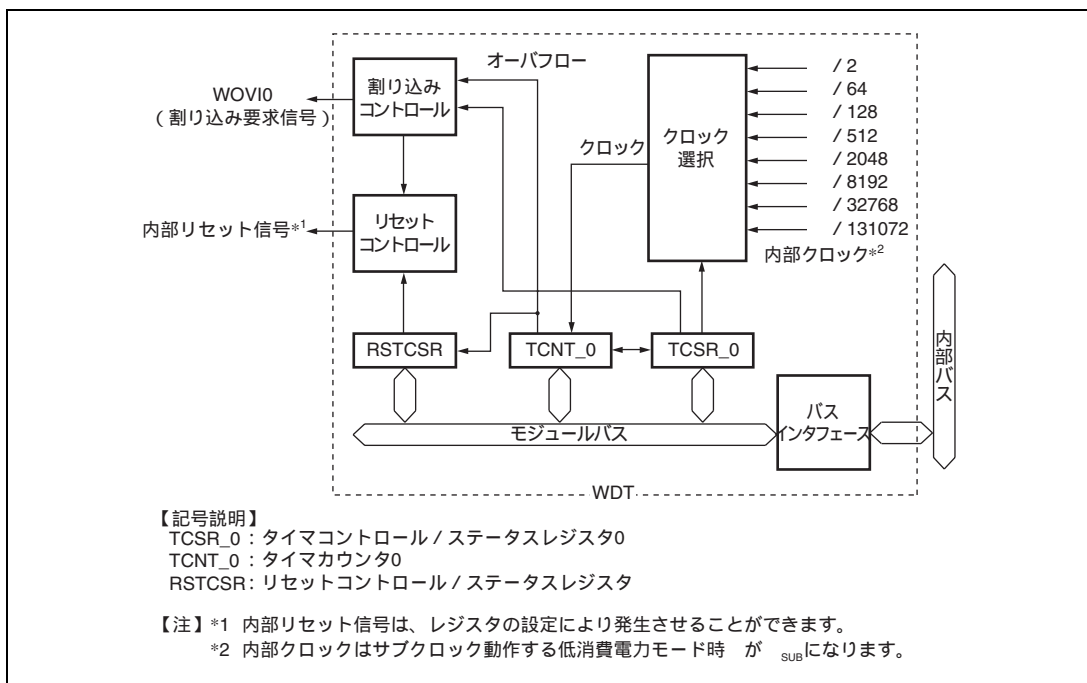


図 12.1 WDT\_0 のブロック図

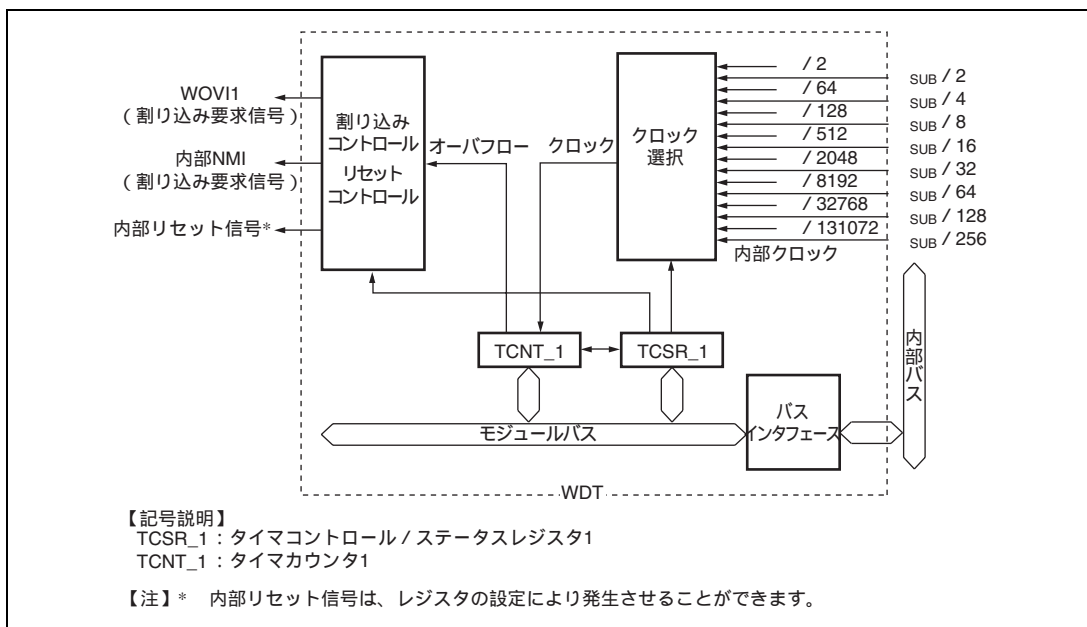


図 12.2 WDT\_1 のブロック図

## 12.2 レジスタの説明

WDT には、以下のレジスタがあります。TCSR、TCNT は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「12.5.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

### 12.2.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

タイマ動作中に TCNT を H'00 にする場合には直接 TCNT に H'00 をライトしてください。

「12.5.7 TME ビットによる TCNT 初期化時の注意」も参照してください。

### 12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います

- TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* <sup>1</sup>	<p>オーバフローフラグ</p> <p>TCNT がオーバフローしたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TCNT がオーバフロー (H'FF H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード*<sup>2</sup>後、OVF に 0 をライトしたとき</p>
6	WT/ $\bar{T}$	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード (CPU ヘインターバルタイマ割り込み (WOV1) を要求)</p> <p>1: ウォッチドッグタイマモード (内部リセットを選択可能)</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>

## 12. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
4, 3		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	CKS2	0	R/W	クロックセレクト 2-0
1	CKS1	0	R/W	TCNT に入力するクロックを選択します。( )内は =20MHz のときのオーバフロー周期* <sup>3</sup> を表します。  000 : クロック /2 (周期 25.6μs) 001 : クロック /64 (周期 819.2μs) 010 : クロック /128 (周期 1.6ms) 011 : クロック /512 (周期 6.6ms) 100 : クロック /2048 (周期 26.2ms) 101 : クロック /8192 (周期 104.9ms) 110 : クロック /32768 (周期 419.4ms) 111 : クロック /131072 (周期 1.68s)
0	CKS0	0	R/W	

- 【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。
- \*2 インターバルタイマ割り込みを禁止して、OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。
- \*3 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

### • TCSR\_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R(W)* <sup>1</sup>	オーバフローフラグ TCNT がオーバフローしたことを示します。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] TCNT がオーバフロー(H'FF H'00)したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。 [クリア条件] TME ビットに 0 をライトしたとき OVF=1 の状態で、TCSR をリード* <sup>2</sup> 後、OVF に 0 をライトしたとき
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。 0 : インターバルタイマモード (CPU ヘインターバルタイマ割り込み (WOV1) を要求) 1 : ウォッチドッグタイマモード (内部リセットまたは NMI 割り込みを要求)
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。

## 12. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
4	PSS	0	R/W	プリスケラセレクト WDT_1 の TCNT の入力クロックソースを選択します。 0 : TCNT は ベースのプリスケラ (PSM) の分周クロックをカウント 1 : TCNT は <sub>SUB</sub> ベースのプリスケラ (PSS) の分周クロックをカウント
3	RST/NMI	0	R/W	リセットまたは NMI ウォッチドッグタイマモードで TCNT オーバフロー時に内部リセットと NMI 割り込み要求のいずれかを選択します。 0 : NMI 割り込みを要求 1 : リセットを要求
2	CKS2	0	R/W	クロックセレクト 2 ~ 0
1	CKS1	0	R/W	TCNT に入力するクロックを選択します。( ) 内は = 20MHz または
0	CKS0	0	R/W	<sub>SUB</sub> = 32.768kHz のときのオーバフロー周期* <sup>3</sup> を表します。 PSS=0 のとき 000 : クロック /2 (周期 25.6μs) 001 : クロック /64 (周期 819.2μs) 010 : クロック /128 (周期 1.6ms) 011 : クロック /512 (周期 6.6ms) 100 : クロック /2048 (周期 26.2ms) 101 : クロック /8192 (周期 104.9ms) 110 : クロック /32768 (周期 419.4ms) 111 : クロック /131072 (周期 1.68s) PSS=1 のとき 000 : クロック <sub>SUB</sub> /2 (周期 15.6ms) 001 : クロック <sub>SUB</sub> /4 (周期 31.3ms) 010 : クロック <sub>SUB</sub> /8 (周期 62.5ms) 011 : クロック <sub>SUB</sub> /16 (周期 125.0ms) 100 : クロック <sub>SUB</sub> /32 (周期 250.0ms) 101 : クロック <sub>SUB</sub> /64 (周期 500.0ms) 110 : クロック <sub>SUB</sub> /128 (周期 1s) 111 : クロック <sub>SUB</sub> /256 (周期 2s)

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 インターバルタイマ割り込みを禁止して、OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

\*3 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

## 12. ウォッチドッグタイマ (WDT)

### 12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR) (WDT\_0のみ)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$  端子からのリセット信号で初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。フラグをクリアするための 0 ライトのみ可能です。 [ セット条件 ] ウォッチドッグタイマモードで TCNT がオーバーフロー (H'FF H'00) したとき [ クリア条件 ] 1 の状態をリードした後、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 ( 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。 ) 1 : TCNT がオーバーフローすると内部がリセットされます。
5		0	R/W	リザーブビット リード/ライト可能ですが 0 をライトしてください。
4~0		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】\* フラグをクリアするための 0 ライトのみ可能です。



## 12.3 動作説明

### 12.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の  $WT/\overline{IT}$  ビット = 1 に、TME ビット = 1 に設定してください。

TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローは発生しません。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、WDT\_0 では RSTCSR の RSTE ビットを 1 にセットした場合、LSI 内部をリセットする信号が 518 システムクロックの間出力されます。

WDT\_1 では、TCSR の  $RST/\overline{NMI}$  ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、本 LSI の内部をリセットする信号が 516 システムクロックの間出力されます。また、 $RST/\overline{NMI}$  ビットを 0 にクリアしておく、TCNT がオーバーフローしたときに、NMI 割り込み要求を発生 (クロックソースを  $\text{SUB}$  (PSS=1) とした場合、515 または 516 システムクロック) します。

ウォッチドッグタイマからの内部リセット要求と  $\overline{RES}$  端子からのリセット入力、同一ベクタで処理されます。ウォッチドッグタイマからの内部リセット要求と  $\overline{RES}$  端子からのリセット入力が同時に発生したときは、 $\overline{RES}$  端子からのリセット入力が優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

## 12. ウォッチドッグタイマ (WDT)

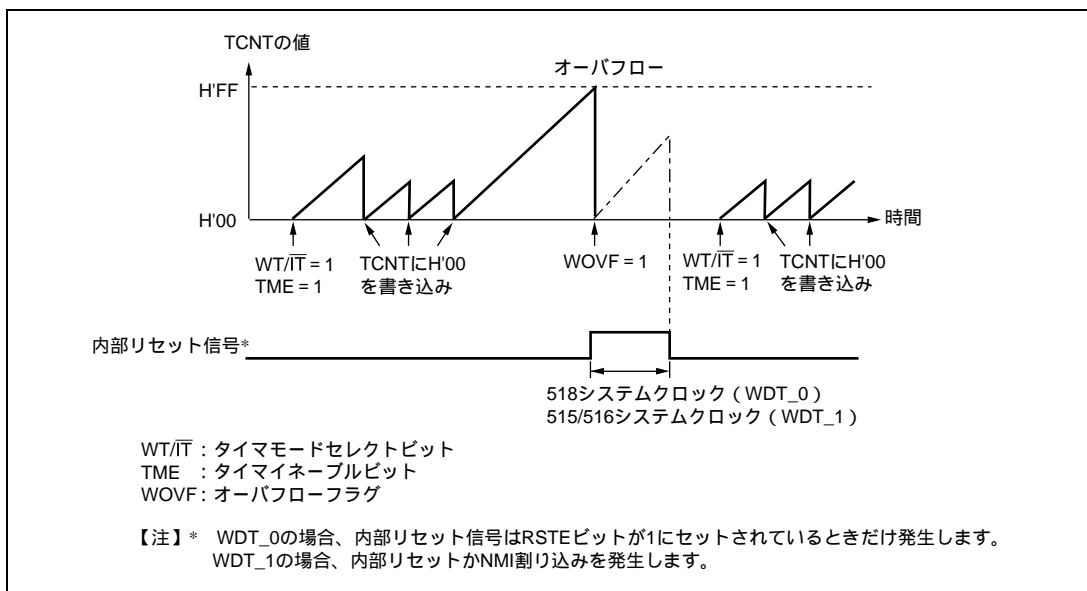


図 12.3 ウォッチドッグタイマモード時の動作

### 12.3.2 インターバルタイマモード

インターバルタイマモードとして使用するときは、TCSRのWT/ITビットを0に、TMEビットを1に設定してください。

インターバルタイマとして動作しているときは、TCNTがオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。(NMI割り込み要求は発生しません。)したがって、一定時間ごとに、割り込みを発生させることができます。

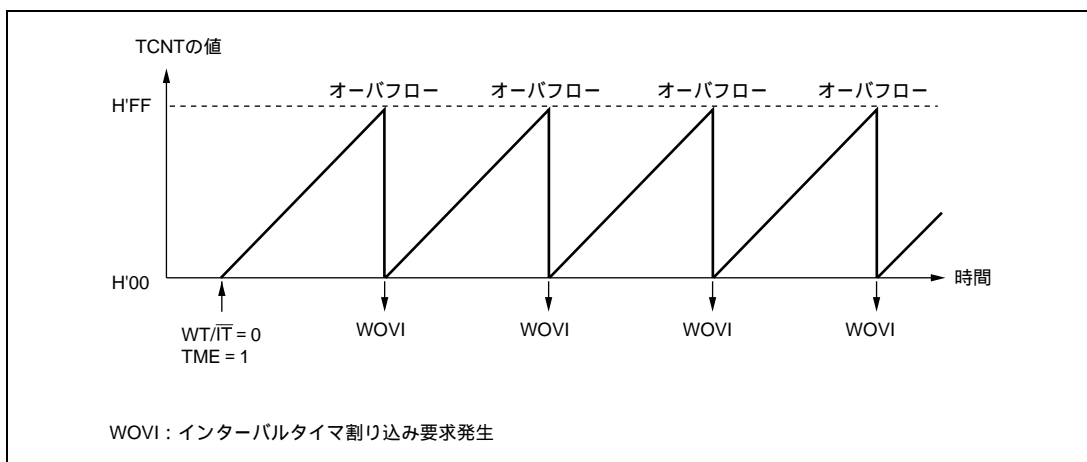


図 12.4 インターバルタイマモード時の動作

### 12.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 12.5 に示します。

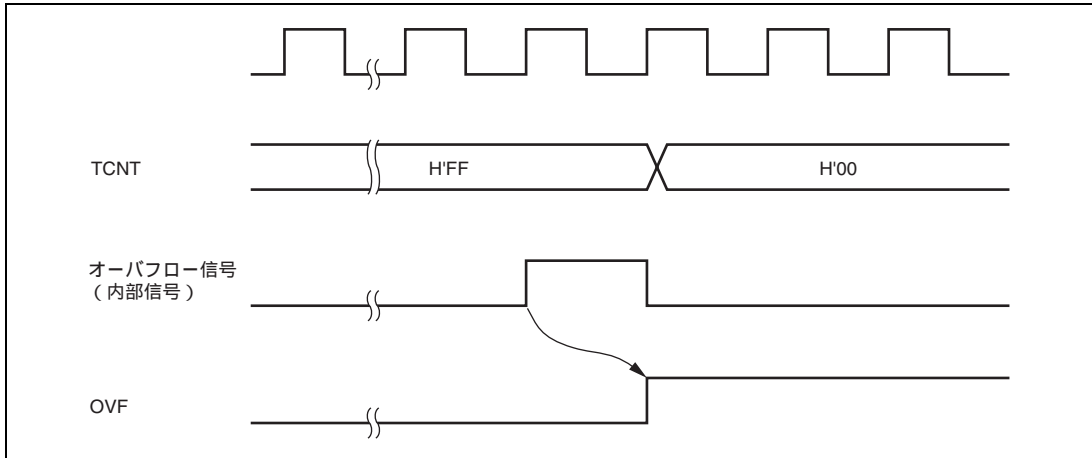


図 12.5 OVF のセットタイミング

### 12.3.4 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

WDT\_0 の場合、ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。(WOVI 割り込みは発生しません。) これらのタイミングを図 12.6 に示します。

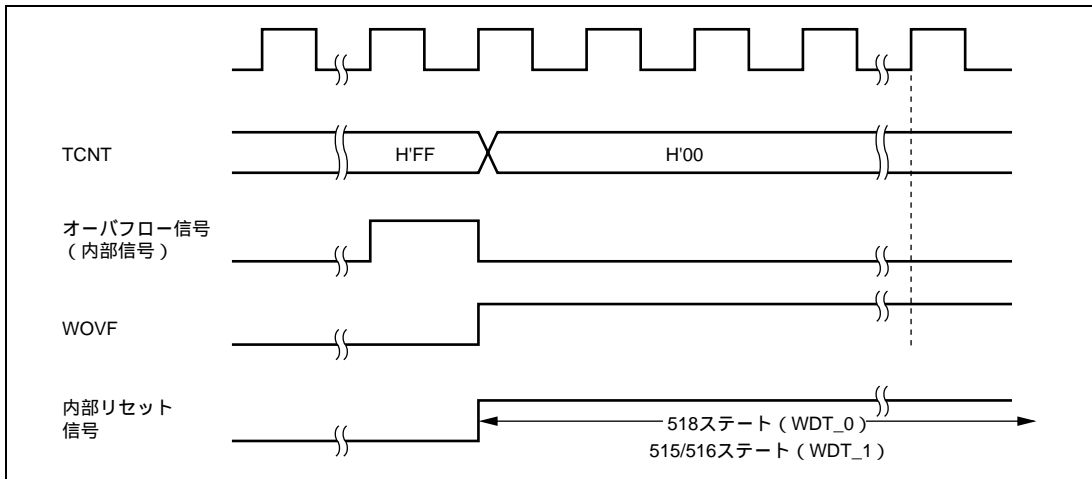


図 12.6 WOVF のセットタイミング

## 12. ウォッチドッグタイマ (WDT)

### 12.4 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求を選択時は、オーバーフローにより NMI 割り込み要求が発生します。

表 12.1 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNT のオーバーフロー (インターバルタイマモード)	OVF
NMI	TCNT のオーバーフロー (ウォッチドッグタイマモード)	OVF

### 12.5 使用上の注意事項

#### 12.5.1 レジスタアクセス時の注意

TCNT、TCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。次の方法で、リード/ライトを行ってください。

##### (1) TCNT、TCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。これを図 12.7 に示します。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

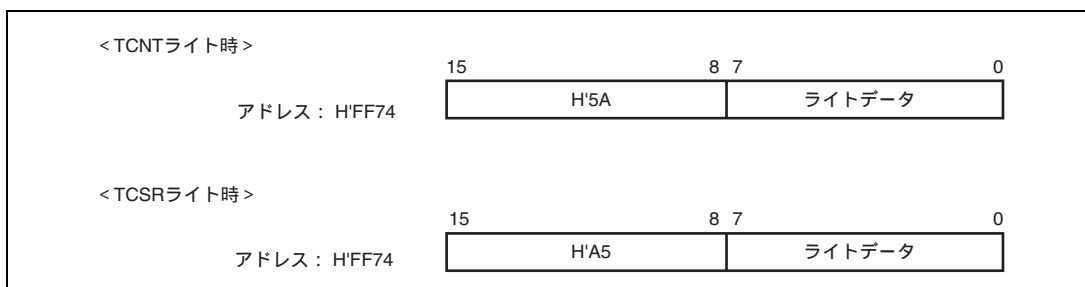


図 12.7 TCNT、TCSR へのライト (WDT\_0 の例)

##### (2) RSTCSR へのライト

RSTCSR へライトするときは、ワード転送を行ってください。バイト転送命令では、ライトできません。これを図 12.8 に示します。

WOVF ビットへ0をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、ライトの方法が異なります。

WOVF ビットへ0をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが0にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット6と5の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

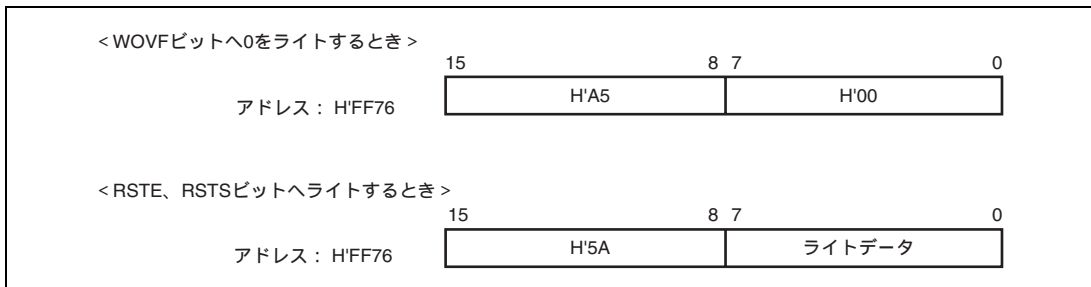


図 12.8 RSTCSR へのライト

### (3) TCNT、TCSR、RSTCSR からのリード (WDT\_0 の例)

リードは一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

## 12. ウォッチドッグタイマ (WDT)

### 12.5.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 12.9 に示します。

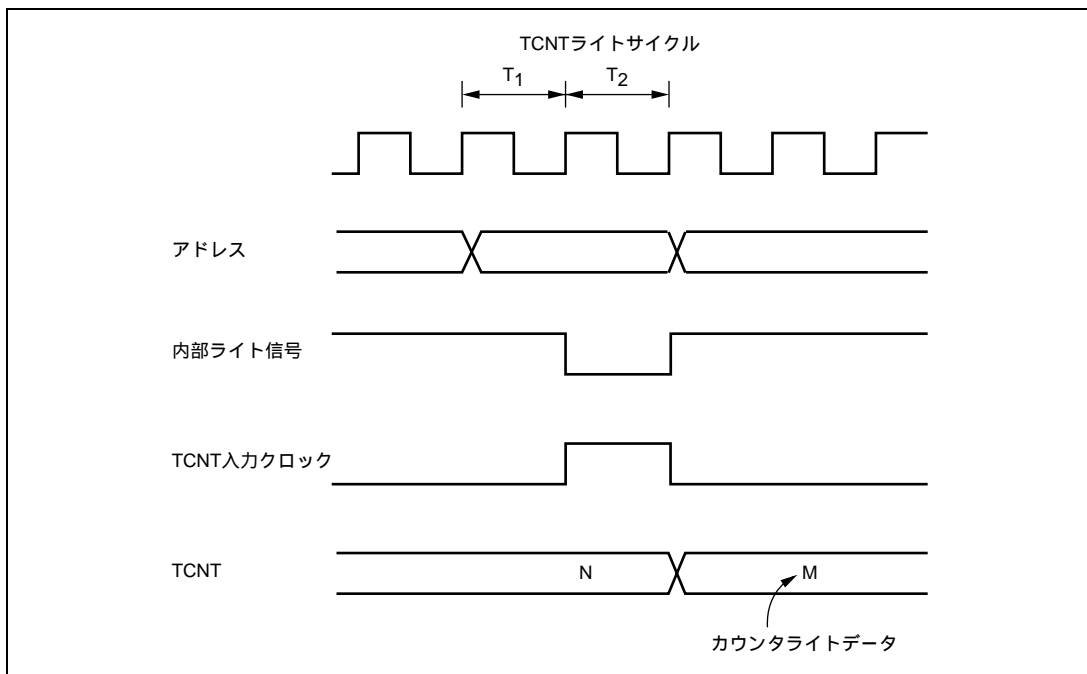


図 12.9 TCNT のライトとカウントアップの競合

### 12.5.3 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われなかった場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 12.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われなかった場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 12.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT\_0 の TCNT\_0、TCSR\_0 はリセットされます。

オーバーフローが発生してから 132 ステートの期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、オーバーフローが発生してから 132 ステート待ったあと、WOVF フラグに 0 をライトしてください。

### 12.5.6 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF=1 の状態をリードしたにも関わらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合等、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF=1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

### 12.5.7 TME ビットによる TCNT 初期化時の注意

TCNT の入力クロックに SUB (サブクロック) の分周クロックを選択 (TCSR の PSS=1 にセット) し、カウンタ (TCNT) が動作中に高速 / 中速モードで TCSR の TME=0 にクリアしてカウンタ (TCNT) の初期化を行った後、再度 TME=1 にセットして TCNT を動作させたとき、TCNT が初期化されない場合があります。この場合 TCNT の初期化は以下のいずれかの方法で実施してください。

- (1) TCNT に H'00 をライトしてください。
- (2) サブアクティブモードで TME ビットを "0" にしてください。

## 12. ウォッチドッグタイマ (WDT)

---



---

## 13. シリアルコミュニケーションインタフェース (SCI)

---

本 LSI は独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。

### 13.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能  
送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。
- LSBファースト / MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類  
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。  
また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます (H8S/2268グループのみ)。
- モジュールストップモードの設定可能

#### 調歩同期式モード

- データ長 : 7ビット / 8ビット選択可能
- ストップビット長 : 1ビット / 2ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時Rx/D端子のレベルを直接リードすることでブレークを検出可能
- 平均転送レートジェネレータ (SCI<sub>0</sub>) : 16MHz動作時に720kbps/460.784kbps/115.196kbpsの選択が可能

### 13. シリアルコミュニケーションインタフェース (SCI)

---

- TPUからの転送レートクロック入力が可能 (SCI\_0)
- マルチプロセッサ間通信が可能

#### クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

#### スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送付
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

図 13.1 に SCI\_0 のブロック図、図 13.2 に SCI\_1、SCI\_2 のブロック図を示します。

### 13. シリアルコミュニケーションインタフェース (SCI)

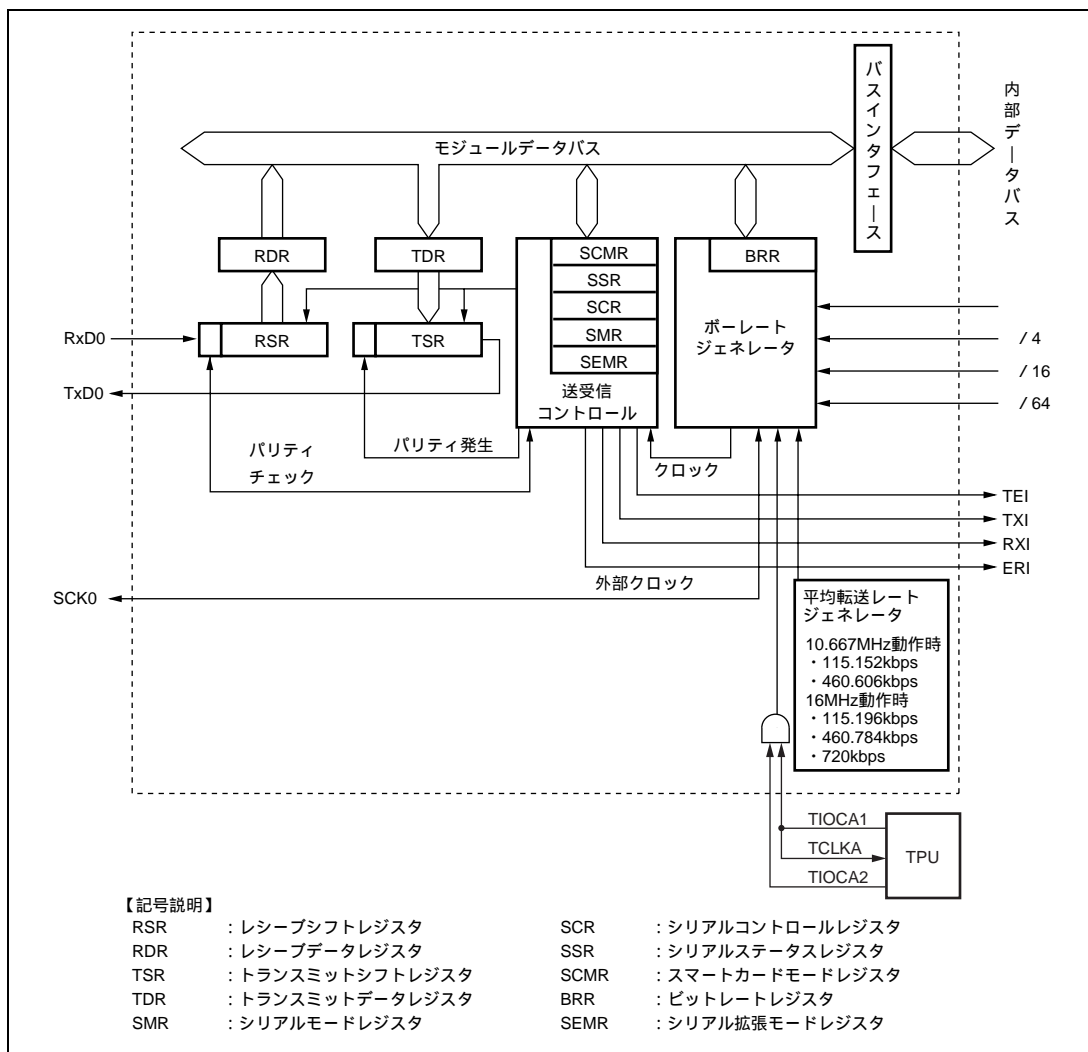


図 13.1 SCI\_0 のブロック図

### 13. シリアルコミュニケーションインタフェース (SCI)

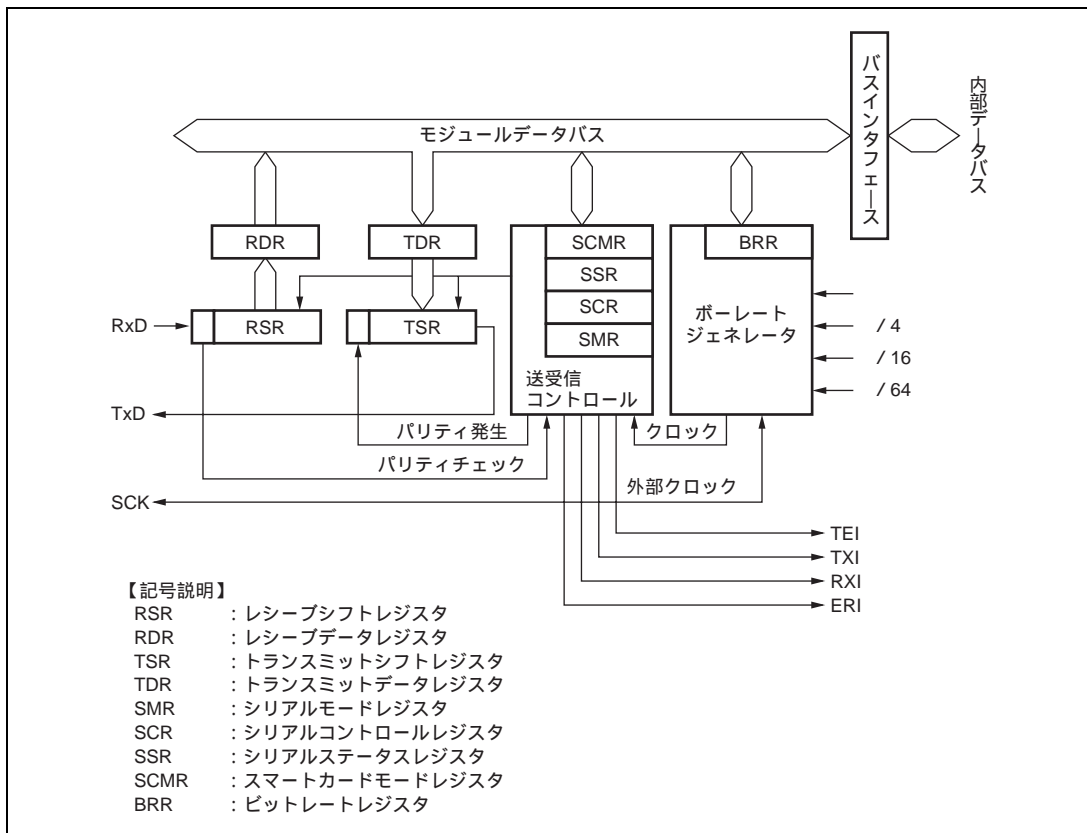


図 13.2 SCI\_1、SCI\_2のブロック図

## 13.2 入出力端子

SCI には、表 13.1 の入出力端子があります。

表 13.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子

【注】 \* 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

## 13.3 レジスタの説明

SCI にはチャンネルごとに以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- スマートカードモードレジスタ (SCMR)
- ビットレートレジスタ (BRR)

SCI\_0 にはこのほかに以下のレジスタがあります。

- シリアル拡張モードレジスタ0 (SEMR0)

### 13.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

### 13.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

RDR はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

### 13.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR の空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

### 13.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

## 13.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/A	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレンクス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 1: 奇数パリティで送受信します。 送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3	STOP	0	R/W	ストップビットレンクス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/E ビットの設定は無効です。 詳細は「13.5 マルチプロセッサ通信機能」を参照してください。

### 13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1-0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: クロック (n=0) 01: /4 クロック (n=1) 10: /16 クロック (n=2) 11: /64 クロック (n=3) このビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「13.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

#### ● スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.8 クロック出力制御」を参照してください。 0: 通常のスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> <li>• TEND フラグが開始ビットの先頭から 12.5etu (ブロック転送モード時は 11.5etu) のタイミングで発生</li> <li>• クロック出力の ON/OFF 制御のみ</li> </ul> 1: GSM モードのスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> <li>• TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生</li> <li>• クロック出力の ON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)</li> </ul>
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.3 ブロック転送モード」を参照してください。 0: 通常のスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> <li>• エラーシグナルの送出、検出、データの自動再送信を行う</li> <li>• TXI 割り込みが TEND フラグにより発生する</li> <li>• TEND フラグの設定タイミングが、送信開始から 12.5etu 後 (GSM モードでは 11.0etu 後)</li> </ul> 1: ブロック転送モードでの動作 <ul style="list-style-type: none"> <li>• エラーシグナルの送出、検出、データの自動再送信を行わない</li> <li>• TXI 割り込みが TDRE フラグにより発生する</li> <li>• TEND フラグの設定タイミングが、送信開始から 11.5etu 後 (GSM モードでは 11.0etu 後)</li> </ul>



### 13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードでPE=1のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「13.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス1~0 スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を選択します。 00: 32クロック (S=32) 01: 64クロック (S=64) 10: 372クロック (S=372) 11: 256クロック (S=256) 詳細は、「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。Sは「13.3.9 ビットレートレジスタ (BRR)」中のSの値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト1~0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: クロック (n=0) 01: /4クロック (n=1) 10: /16クロック (n=2) 11: /64クロック (n=3) このビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「13.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。

【注】 etu (Elementary Time Unit) : 1ビットの転送期間の略

## 13. シリアルコミュニケーションインタフェース (SCI)

### 13.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「13.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI、および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、または RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にクリアすると、送信動作が禁止され、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にクリアすると、受信動作が禁止されます。0 にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

### 13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「13.5 マルチプロセッサ通信機能」を参照してください。</p> <p>MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。</p> <p>TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1~0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</p> <p>01 : 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1x : 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。)</p> <p>クロック同期式の場合</p> <p>0x : 内部クロック (SCK 端子はクロック出力端子となります。)</p> <p>1x : 外部クロック (SCK 端子はクロック入力端子となります。)</p>

【記号説明】 x : Don't care

### 13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求を許可します。 TXI 割り込み要求の解除は、SSR の TDRE フラグから1をリードした後、0にクリアするか、またはTIE ビットを0にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求を許可します。 RXI、および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、または RIE ビットを0にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、1にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを0にクリアすると、送信動作が禁止され、SSR の TDRE フラグは1に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを0にクリアすると、受信動作が禁止されます。0にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) スマートカードインタフェースではこのビットには0をライトして使用してください。 MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI 割り込み要求の発生(SCR の TIE、RIE ビットが1にセットされている場合)と FER、ORER フラグのセットが許可されます。

### 13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。 TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。
1	CKE1	0	R/W	クロックイネーブル1~0 SCK端子からのクロック出力を制御します。GSMモードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.8 クロック出力制御」を参照してください。 SMRのGM=0の場合 00：出力ディスエーブル（SCK端子は入出力ポートとして使用可） 01：クロック出力 1x：リザーブ SMRのGM=1の場合 00：Low出力固定 01：クロック出力 10：High出力固定 11：クロック出力
0	CKE0	0	R/W	

【記号説明】 x : Don't care

## 13. シリアルコミュニケーションインタフェース (SCI)

### 13.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* <sup>1</sup>	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCR の TE が 0 のとき</li> <li>• TDR から TSR にデータが転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• TXI 割り込み要求により DTC*<sup>2</sup>で TDR へ送信データを転送したとき (H8S/2268 グループのみ)</li> </ul>
6	RDRF	0	R/(W)* <sup>1</sup>	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 受信が正常終了し、RSR から RDR へ受信データが転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• RXI 割り込みにより DTC*<sup>2</sup>で RDR からデータを転送したとき (H8S/2268 グループのみ)</li> </ul> <p>SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* <sup>1</sup>	<p>オーバランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• RDRF=1 の状態で次のデータを受信したとき</li> </ul> <p>RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> </ul> <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>

### 13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R(W)* <sup>1</sup>	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• ストップビットが0のとき</li> </ul> <p>2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1の状態をリードした後、0をライトしたとき</li> </ul> <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>
3	PER	0	R(W)* <sup>1</sup>	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 受信中にパリティエラーを検出したとき</li> </ul> <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、PER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1の状態をリードした後、0をライトしたとき</li> </ul> <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCRのTEが0のとき</li> <li>• 送信キャラクタの最後尾ビットの送信時、TDREが1のとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき</li> <li>• TXI割り込み要求によりDTC*<sup>2</sup>でTDRへ送信データを転送したとき (H8S/2268グループのみ)</li> </ul>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

### 13. シリアルコミュニケーションインタフェース (SCI)

【注】 \*1 フラグをクリアするための0ライトのみ可能です。

\*2 DTCによりクリアされるのはDISEL=0でかつ転送カウンタが0でない場合です。

• スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* <sup>1</sup>	トランスミットデータレジスタエンプティ TDR内の送信データの有無を表示します。 [セット条件] • SCRのTEが0のとき • TDRからTSRにデータが転送されたとき [クリア条件] • 1の状態をリードした後、0をライトしたとき • TXI割り込み要求によりDTC* <sup>2</sup> でTDRへ送信データを転送したとき (H8S/2268グループのみ)
6	RDRF	0	R/(W)* <sup>1</sup>	レシーブデータレジスタフル RDR内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSRからRDRへ受信データが転送されたとき [クリア条件] • 1の状態をリードした後、0をライトしたとき • RXI割り込みによりDTC* <sup>2</sup> でRDRからデータを転送したとき (H8S/2268グループのみ) SCRのREをクリアしてもRDRFは影響を受けず状態を保持します。 RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)* <sup>1</sup>	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] • RDRF=1の状態では次のデータを受信したとき RDRではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。 [クリア条件] • 1の状態をリードした後、0をライトしたとき SCRのREをクリアしても、ORERは影響を受けず以前の状態を保持します。



### 13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/(W)* <sup>1</sup>	<p>エラーシグナルステータス</p> <p>送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>エラーシグナル Low をサンプリングしたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> </ul> <p>SCR の TE をクリアしても ERS は影響を受けず状態を保持します。</p>
3	PER	0	R/(W)* <sup>1</sup>	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>受信中にパリティエラーを検出したとき</li> </ul> <p>パリティエラーが発生したときの受信データは RDR に転送されませんが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> </ul> <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>SCR の TE=0 かつ ERS=0 のとき</li> <li>1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき。</li> </ul> <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 12.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 11.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 11.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 11.0etu 後</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき</li> <li>TXI 割り込み要求により DTC*<sup>2</sup> で TDR へ送信データを転送したとき (H8S/2268 グループのみ)</li> </ul>

### 13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	MPB	0	R	マルチプロセッサビット スマートカードインタフェースでは使用しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ スマートカードインタフェースではこのビットには0をライトして使用してください。

【注】 \*1 フラグをクリアするための0ライトのみ可能です。

\*2 DTCによりクリアされるのはDISEL=0でかつ転送カウンタが0でない場合です。

#### 13.3.8 スマートカードモードレジスタ (SCMR)

SCMRはスマートカードインタフェースおよび通信フォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		1		リザーブビット リードすると常に1が読み出されます。ライトは無効です。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSBファーストで送受信 1: MSBファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。7ビットデータの場合はLSBファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合はSMRのO/Eビットを反転してください。 0: TDRの内容をそのまま送信、受信データをそのままRDRに格納 1: TDRの内容を反転して送信、受信データを反転してRDRに格納
1		1		リザーブビット リードすると常に1が読み出されます。ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき1をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

## 13.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 13.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 13.2 BRR の設定値 N とビットレート B の関係

通信モード	ABCS ビット	ビットレート	誤差
調歩同期式	0	$B = \frac{\times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{\times 10^6}{32 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式		$B = \frac{\times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	—————
スマートカード インタフェース		$B = \frac{\times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bps)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

n : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		クロック ソース	n
CKS1	CKS0		
0	0		0
0	1	/ 4	1
1	0	/ 16	2
1	1	/ 64	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 13.3 に、各動作周波数における設定可能な最大ビットレートを表 13.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 13.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 13.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 13.5、表 13.7 に外部クロック入力時の最大ビットレートを示します。

### 13. シリアルコミュニケーションインタフェース (SCI)

調歩同期式モードで、SCI\_0のSEMR\_0のABCSビットを1にセットしたときは、最大ビットレートは表13.4、表13.5の2倍になります。

表 13.3 ビットレートに対するBRRの設定例 (調歩同期式モード)

ビットレート (bps)	動作周波数 (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bps)	動作周波数 (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

### 13. シリアルコミュニケーションインタフェース (SCI)

ビットレート ( bps )	動作周波数 ( MHz )											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート ( bps )	動作周波数 ( MHz )											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

### 13. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bps)	動作周波数 (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bps)	動作周波数 (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25
150	2	233	0.16	2	255	0.00	2	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	1	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	0	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36
31250	0	17	0.00	0	19	- 1.70	0	19	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73

### 13. シリアルコミュニケーションインタフェース (SCI)

表 13.4 各動作周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート ( kbps )	n	N	(MHz)	最大ビットレート ( kbps )	n	N
2	62.5	0	0	9.8304	307.2	0	0
2.097152	65.536	0	0	10	312.5	0	0
2.4576	76.8	0	0	12	375.0	0	0
3	93.75	0	0	12.288	384.0	0	0
3.6864	115.2	0	0	14	437.5	0	0
4	125.0	0	0	14.7456	460.8	0	0
4.9152	153.6	0	0	16	500.0	0	0
5	156.25	0	0	17.2032	537.6	0	0
6	187.5	0	0	18	562.5	0	0
6.144	192.0	0	0	19.6608	614.4	0	0
7.3728	230.4	0	0	20	625.0	0	0
8	250.0	0	0				

表 13.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック ( MHz )	最大ビットレート ( kbps )	(MHz)	外部入力クロック ( MHz )	最大ビットレート ( kbps )
2	0.5000	31.25	9.8304	2.4576	153.6
2.097152	0.5243	32.768	10	2.5000	156.25
2.4576	0.6144	38.4	12	3.0000	187.5
3	0.7500	46.875	12.288	3.0720	192.0
3.6864	0.9216	57.6	14	3.5000	218.75
4	1.0000	62.5	14.7456	3.6864	230.4
4.9152	1.2288	76.8	16	4.0000	250.0
5	1.2500	78.125	17.2032	4.3008	268.8
6	1.5000	93.75	18	4.5000	281.25
6.144	1.5360	96.0	19.6608	4.9152	307.2
7.3728	1.8432	115.2	20	5.0000	312.5
8	2.0000	125.0			

### 13. シリアルコミュニケーションインタフェース (SCI)

表 13.6 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート (bps)	動作周波数 (MHz)													
	2		4		6		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-										
250	2	124	2	249			3	124	-	-	3	249		
500	1	249	2	124			2	249	-	-	3	124	-	-
1k	1	124	1	249			2	124	-	-	2	249	-	-
2.5k	0	199	1	99	1	149	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	74	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	149	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	59	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	29	0	39	0	49	0	79	0	99
100k	0	4	0	9	0	14	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	5	0	7	0	9	0	15	0	19
500k	0	0*	0	1	0	2	0	3	0	4	0	7	0	9
1M			0	0*			0	1			0	3	0	4
2.5M									0	0*			0	1
5M													0	0*

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

\* : 連続送信 / 連続受信はできません。

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
2	0.3333	0.333
4	0.6667	0.667
6	1.0000	1.000
8	1.3333	1.333
10	1.6667	1.667
12	2.0000	2.000
14	2.3333	2.333
16	2.6667	2.667
18	3.0000	3.000
20	3.3333	3.333



### 13. シリアルコミュニケーションインタフェース (SCI)

表 13.8 ビットレートに対する BRR の設定例  
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bps)	動作周波数 (MHz)											
	5.00		7.00		7.1424		10.00		10.7136		13.00	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
6720	0	0.01	1	30	1	28.75	1	0.01	1	7.14	2	13.33
9600	0	30.00	0	1.99	0	0.00	1	30	1	25	1	8.99

ビットレート (bps)	動作周波数 (MHz)							
	14.2848		16.00		18.00		20.00	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
6720	2	4.76	2	6.67	3	9.99	3	0.01
9600	1	0.00	1	12.01	2	15.99	2	6.66

表 13.9 各動作周波数における最大ビットレート  
(スマートカードインタフェースモードで S=372 のとき)

(MHz)	最大ビットレート (bps)	n	N
5.00	6720	0	0
7.00	9409	0	0
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0

## 13. シリアルコミュニケーションインタフェース (SCI)

### 13.3.10 シリアル拡張モードレジスタ 0 (SEMR\_0)

SEMR\_0 は、SCI\_0 の機能を拡張する 8 ビットのレジスタです。調歩同期式モード時の基本クロック設定、クロックソースの選択、転送レートの自動設定ができます。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット リード/ライト可能ですが、ライト時には 0 をライトしてください。
6~4		すべて 0		リザーブビット ライト時は 0 をライトしてください。
3	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。 ABCS の設定は、調歩同期式モード (SMR の $C/\bar{A}=0$ ) のとき有効です。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作
2	ACS2	0	R/W	調歩同期式クロックソースセレクト 平均転送レート選択時は、ABCS の設定に関係なく基本クロックが自動設定されます。また、平均転送レートは、10.667MHz と 16MHz の動作周波数に対応しています。それ以外には対応していません。 ACS2~ACS0 の設定は、調歩同期式モード (SMR の $C/\bar{A}=0$ ) で外部クロック入力 (SCR の $CKE1=1$ ) のとき有効です。 000: 外部クロック入力 001: = 10.667MHz 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 010: = 10.667MHz 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 011: リザーブ 100: TPU クロック入力 (TIOCA1 と TIOCA2 の論理積) 101: = 16MHz 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 110: = 16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 111: = 16MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)
1	ACS1	0	R/W	
0	ACS0	0	R/W	

図 13.3、図 13.4 は、平均転送レートが選択されたときの内部基本クロックの例を示します。

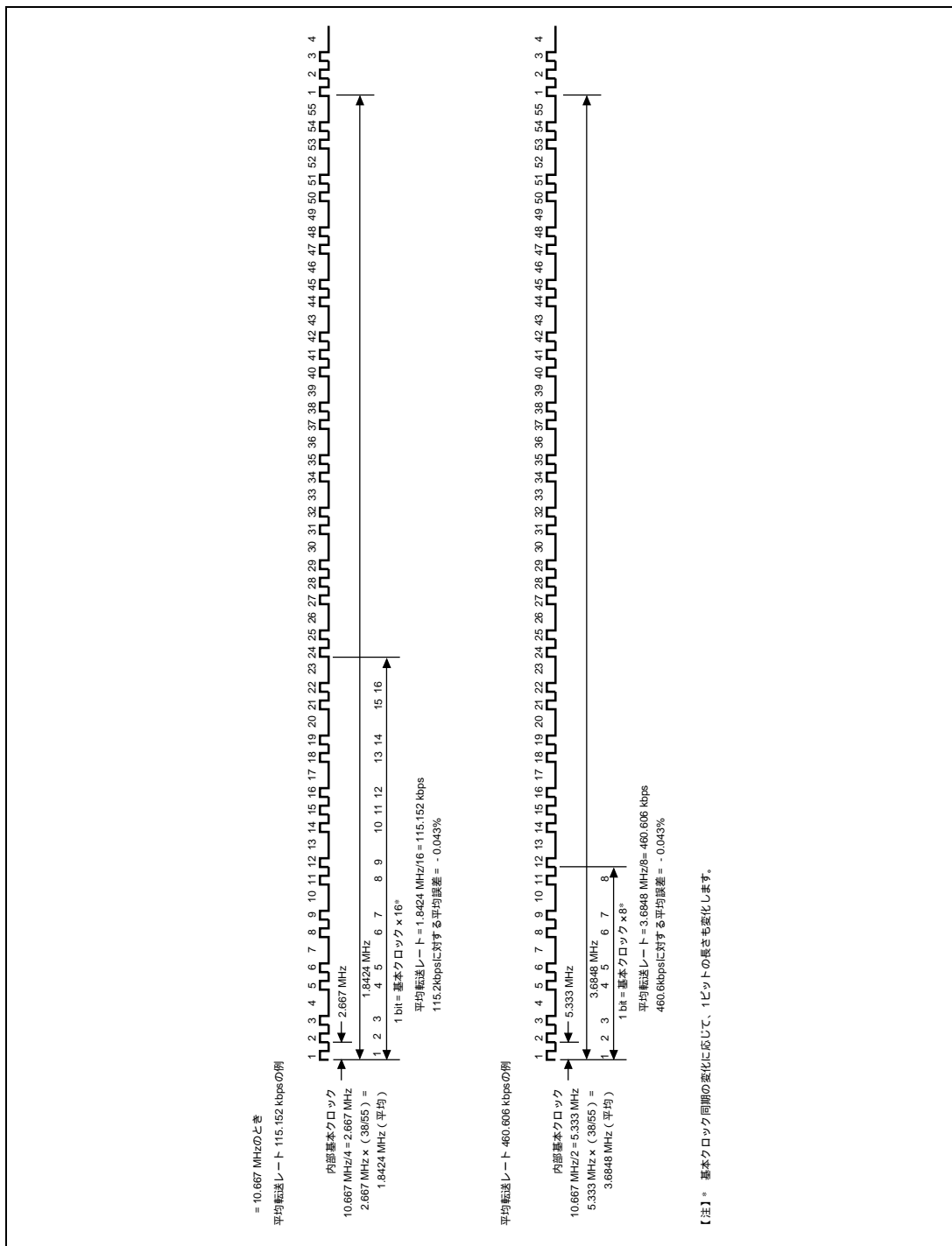


図 13.3 平均転送レートが選択されたときの内部基本クロック例 (1)

### 13. シリアルコミュニケーションインタフェース (SCI)

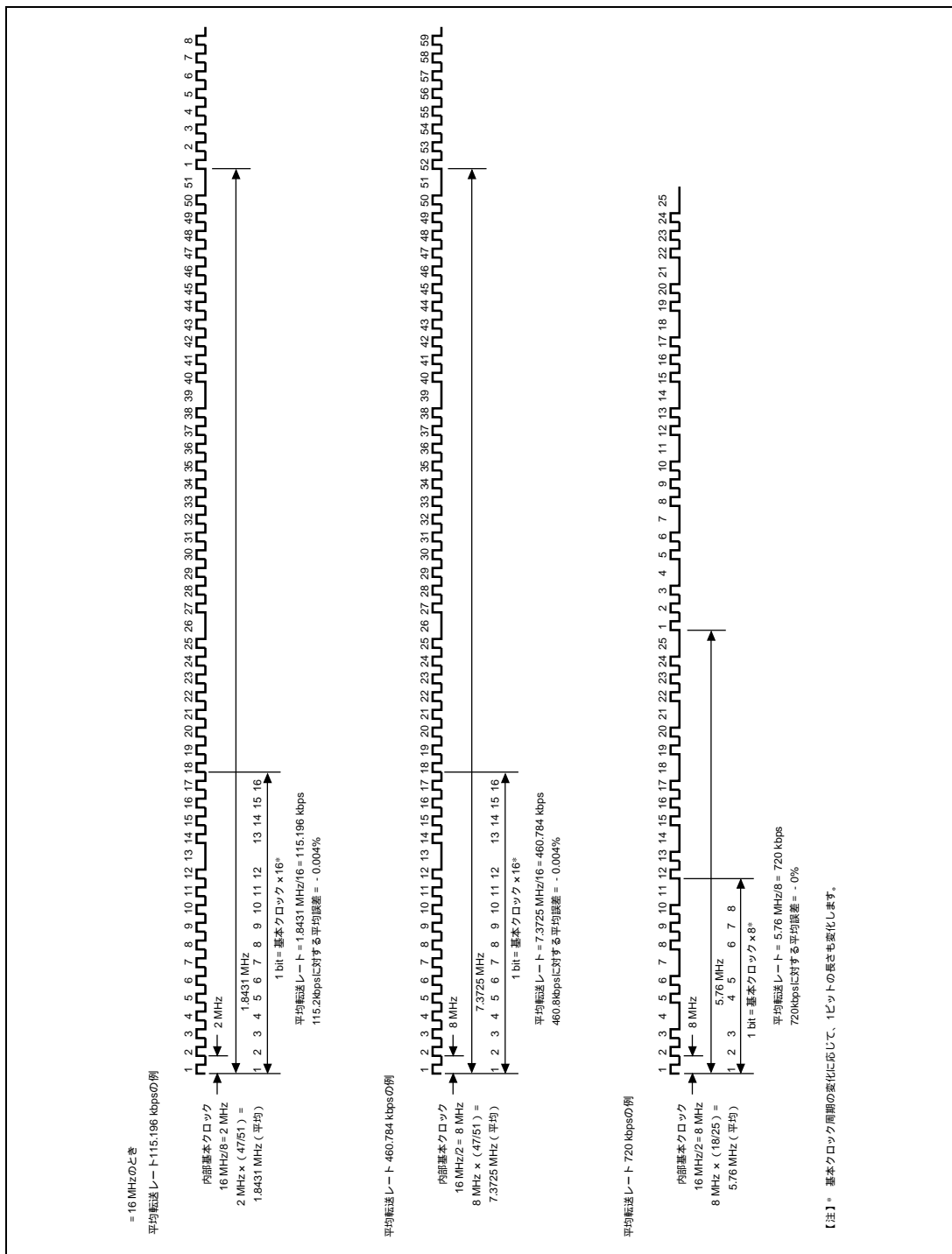


図 13.4 平均転送レートが選択されたときの内部基本クロック例 (2)

## 13.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 13.5 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

SEMR\_0 の ABCS ビット=1 のとき、SCI\_0 はデータを 1 ビット期間の 8 倍の周波数のクロックの 4 番目でサンプリングします。

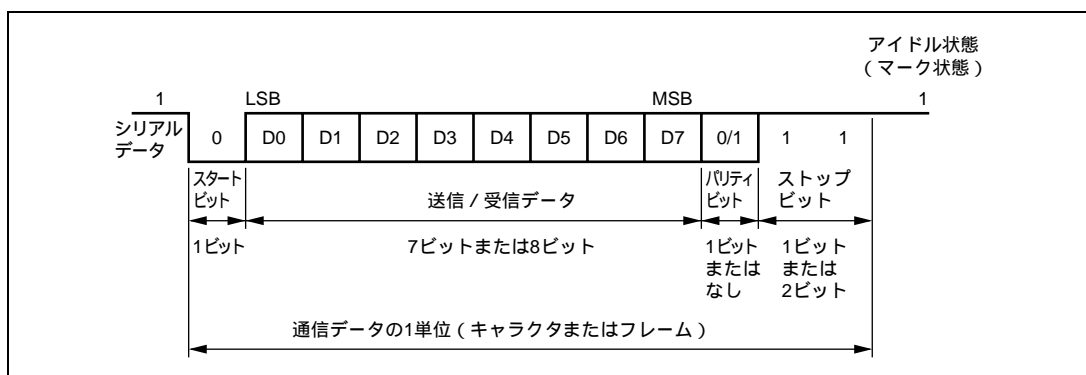


図 13.5 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

### 13.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 13.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「13.5 マルチプロセッサ通信機能」を参照してください。

### 13. シリアルコミュニケーションインタフェース (SCI)

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

### 13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図13.6に示すように受信データを基本クロックの8番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%] \quad \dots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5、N(クロックに対するビットレートの比)=16とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

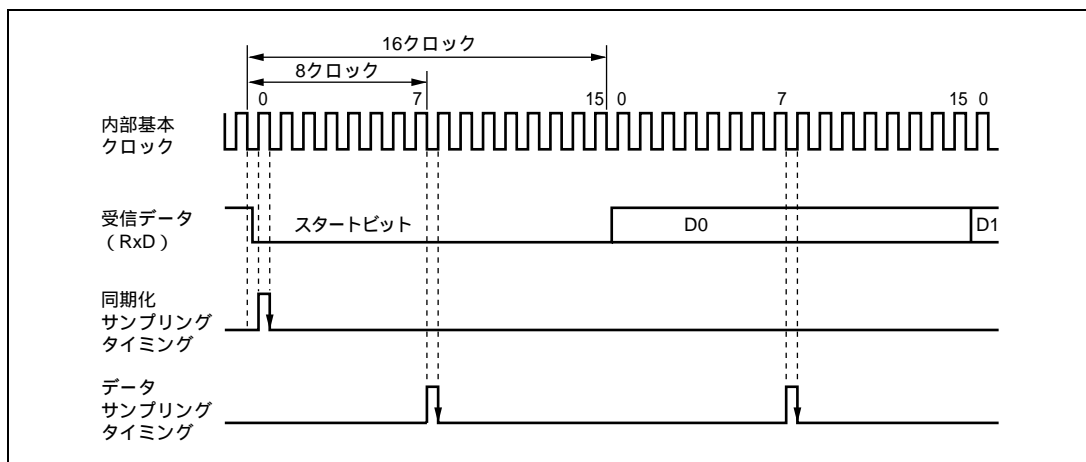


図 13.6 調歩同期式モードの受信データサンプリングタイミング

### 13.4.3 クロック

SCIの送受信クロックは、SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

また、外部クロックを選択した場合は、SEMR\_0のACS2～ACS0ビットの設定により平均転送レートの基本クロックを選択することも可能です。

内部クロックで動作させるときはCKE1=0、CKE0=1に設定するとSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図13.7に示すように送信データの中央でクロックが立ち上がります。

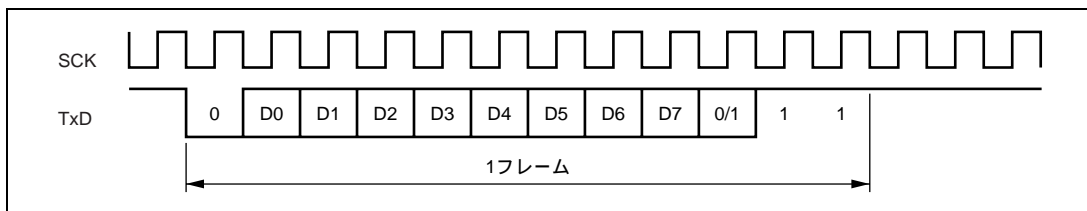


図 13.7 出力クロックと送信データの位相関係 (調歩同期式モード)



## 13.4.4 SCIの初期化 (調歩同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図13.8のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

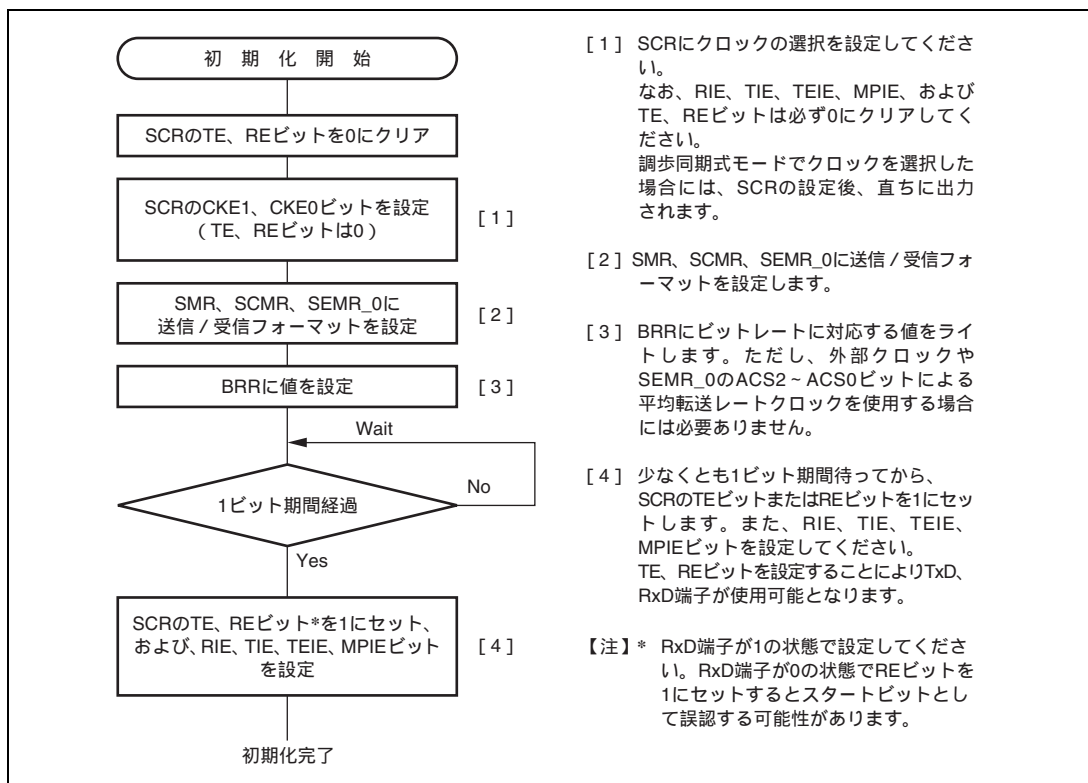


図 13.8 SCIの初期化フローチャートの例

### 13.4.5 シリアルデータ送信 (調歩同期式)

図 13.9 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

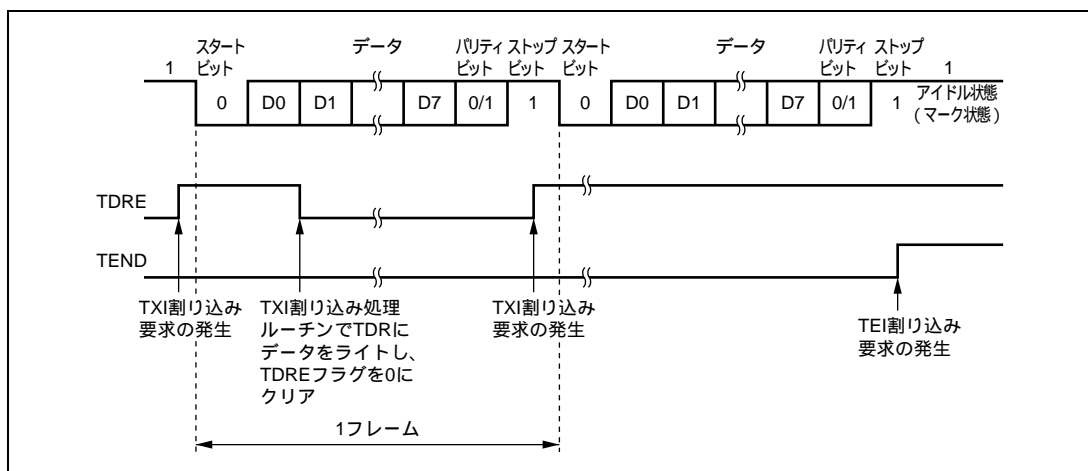


図 13.9 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

図 13.10 にデータ送信のフローチャートの例を示します。

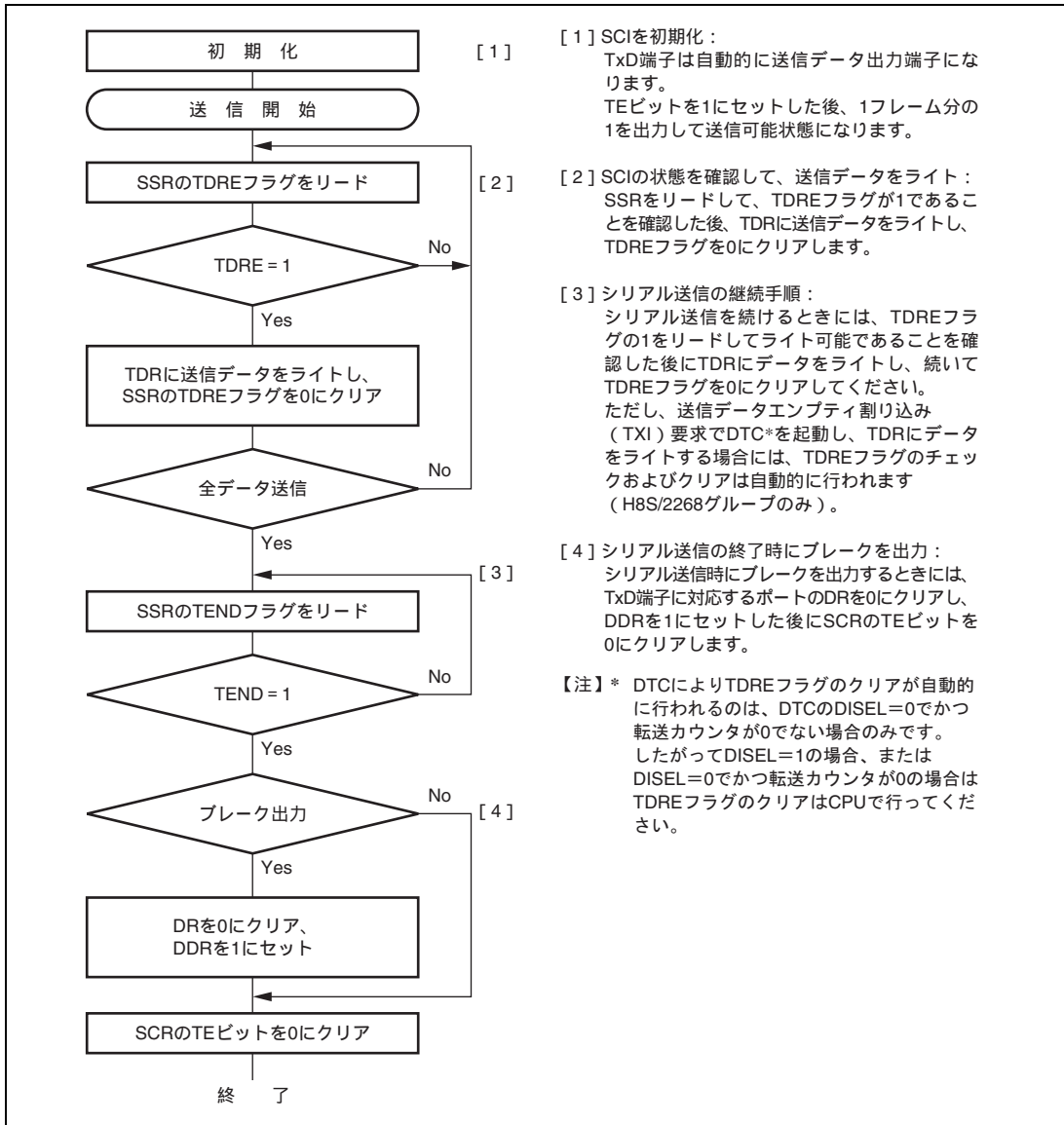


図 13.10 シリアル送信のフローチャートの例

## 13.4.6 シリアルデータ受信 (調歩同期式)

図 13.11 に調歩同期式モードの送信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データを RSR に取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. パリティエラーを検出した場合は SSR の PER をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。
4. フレーミングエラー (ストップビットが 0 のとき) を検出した場合は SSR の FER をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。
5. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

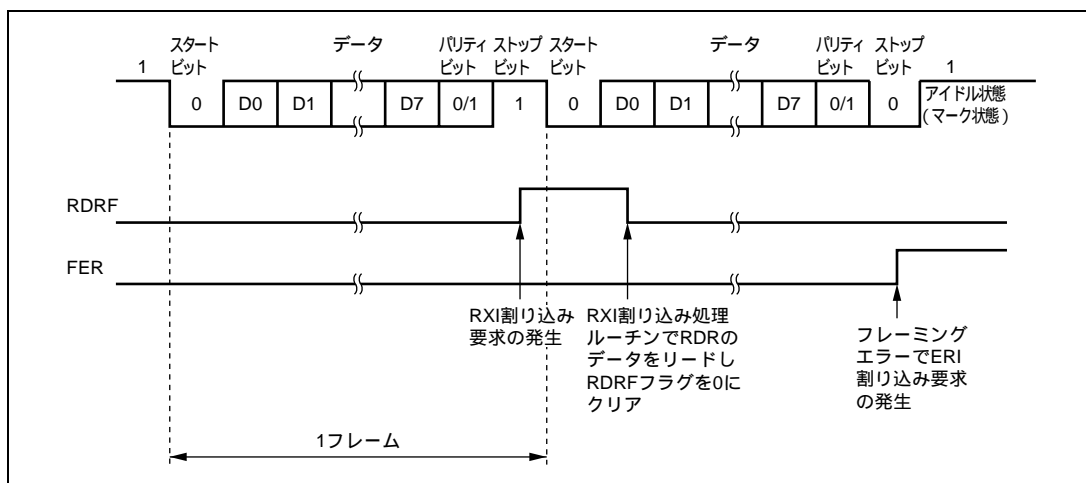


図 13.11 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 13.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.12 にデータ受信のためのフローチャートの例を示します。

表 13.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 \* RDRF は、データ受信前の状態を保持します。

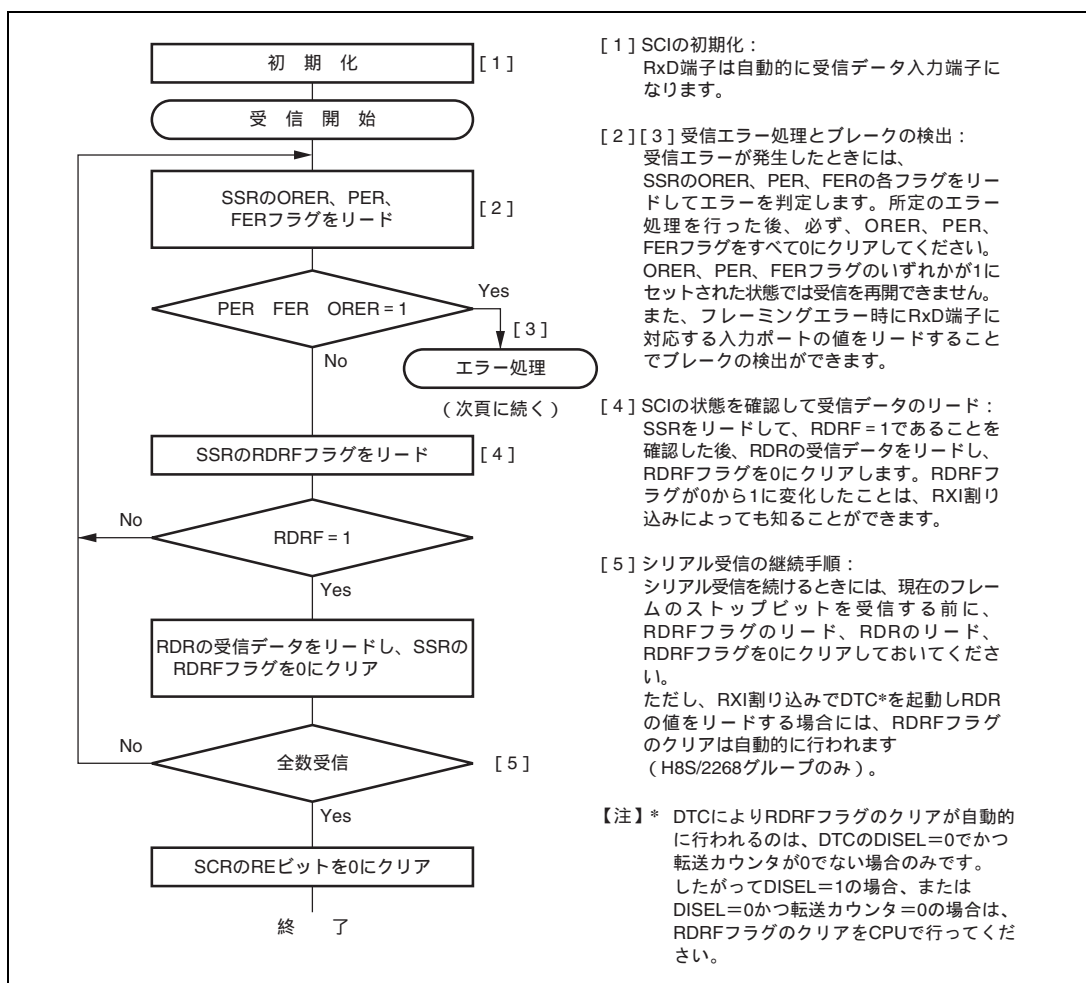


図 13.12 シリアル受信データフローチャートの例 (1)

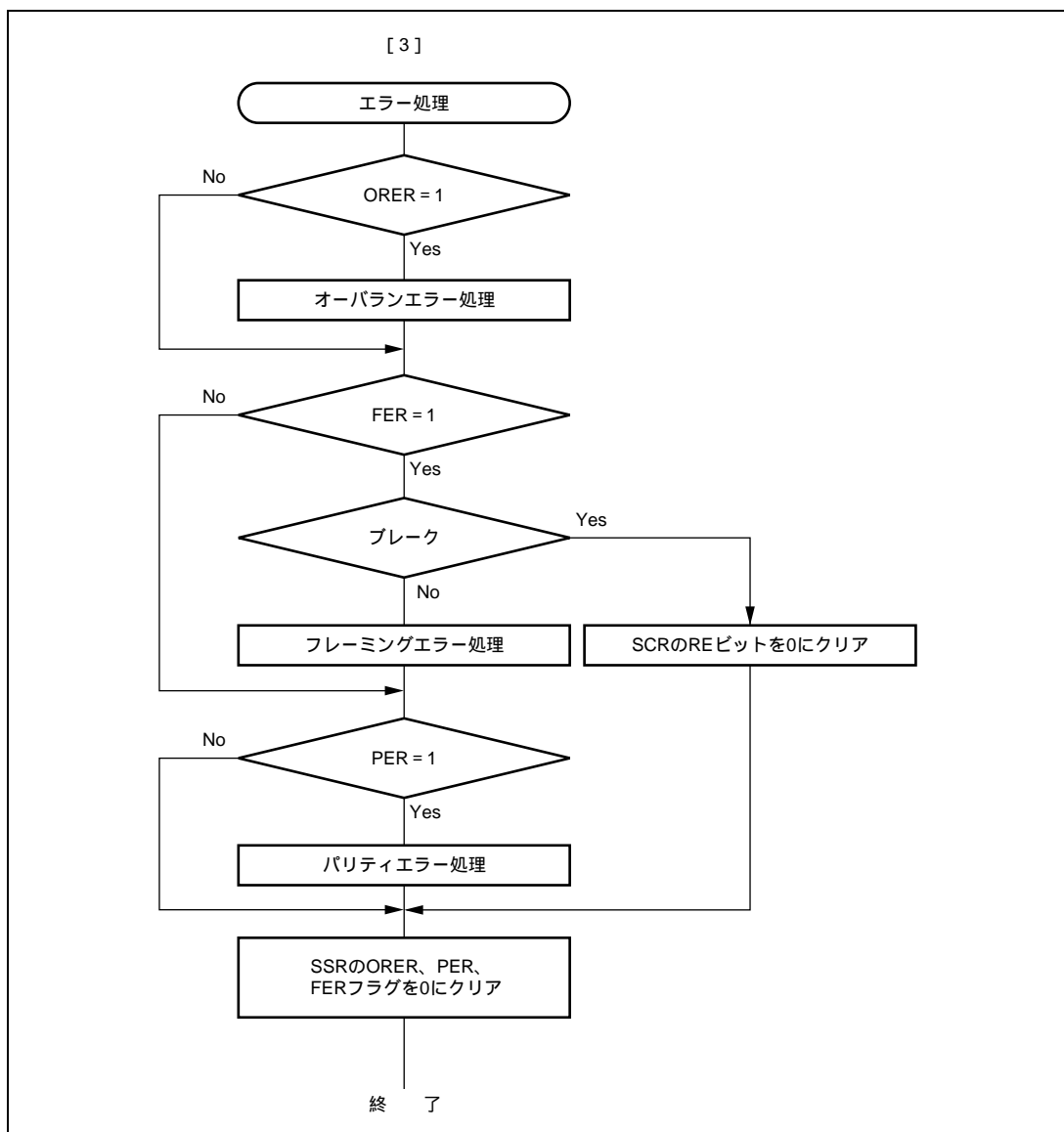


図 13.12 シリアル受信データフローチャートの例 (2)

## 13.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 13.13 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

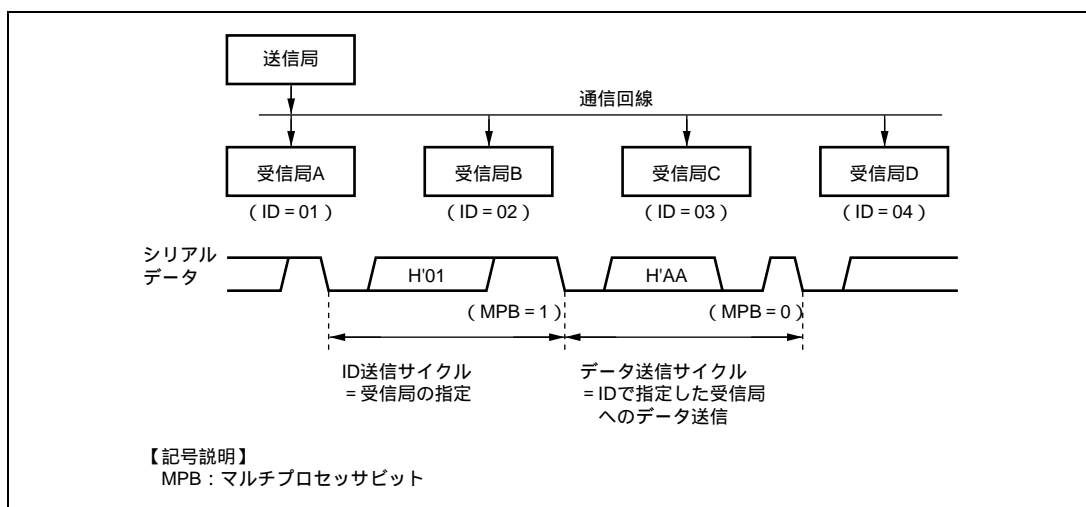


図 13.13 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

### 13.5.1 マルチプロセッサシリアルデータ送信

図 13.14 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

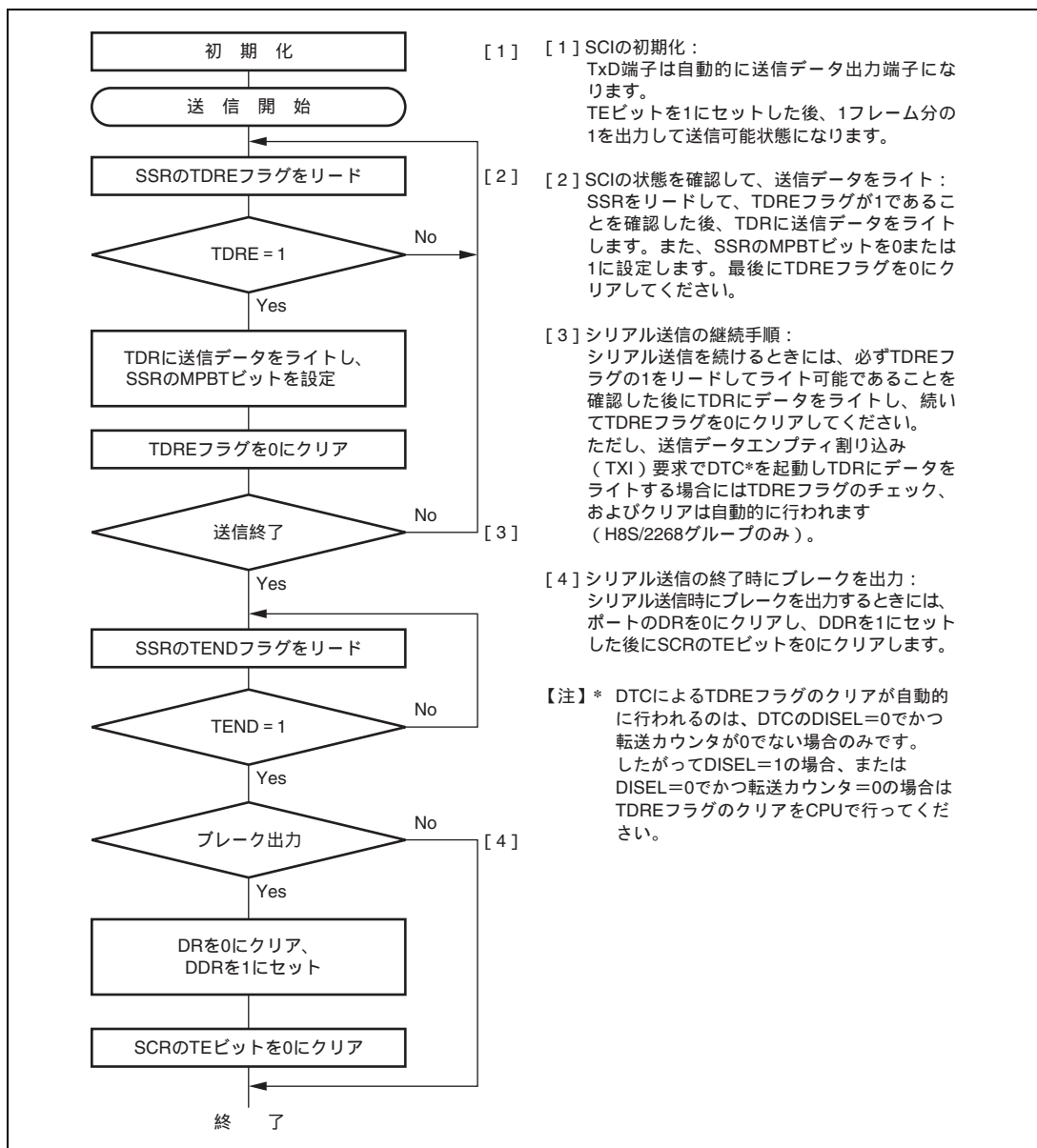


図 13.14 マルチプロセッサシリアル送信のフローチャートの例



## 13.5.2 マルチプロセッサシリアルデータ受信

図 13.16 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 13.15 に受信時の動作例を示します。

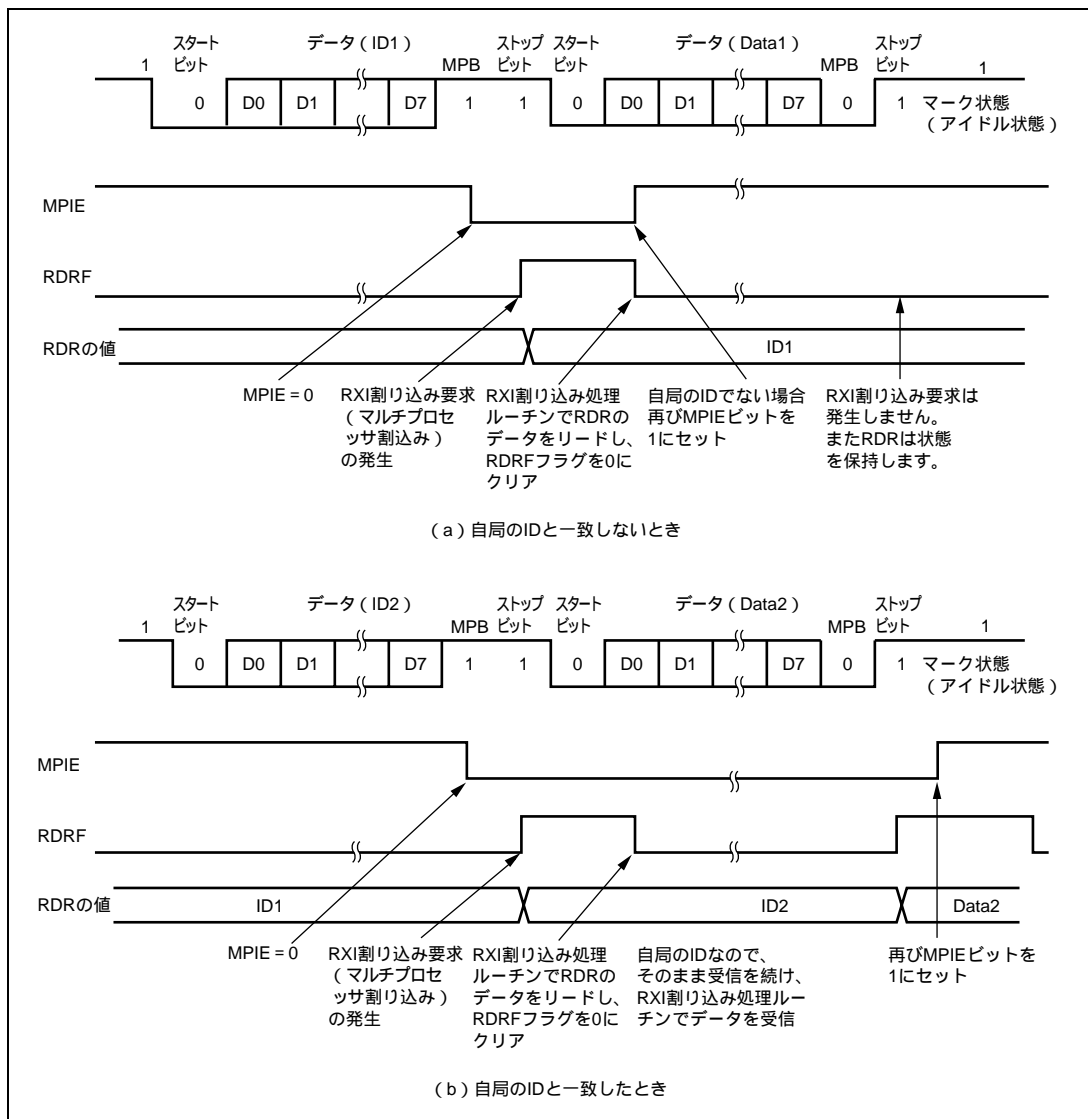


図 13.15 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

### 13. シリアルコミュニケーションインタフェース (SCI)

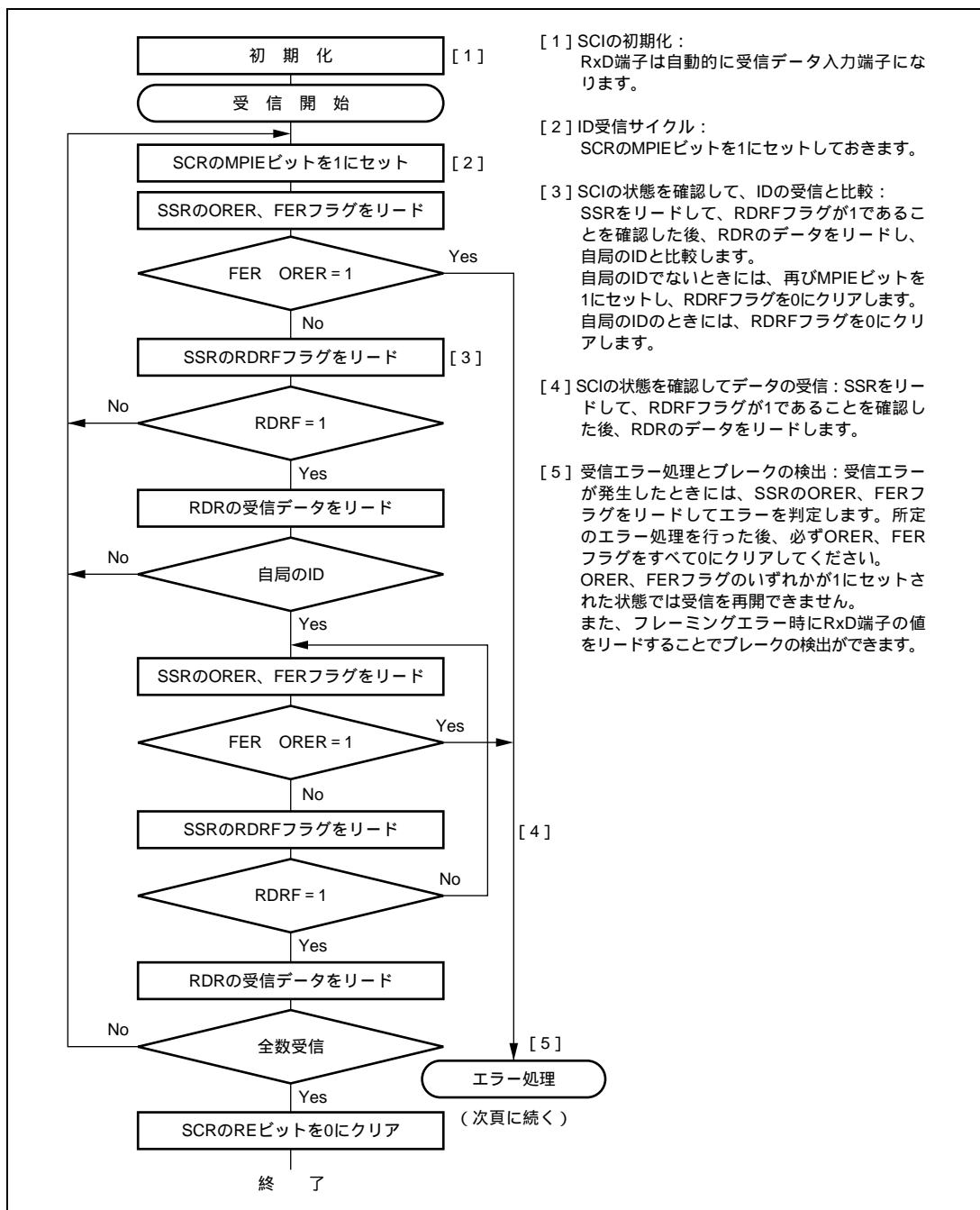


図 13.16 マルチプロセッサシリアル受信のフローチャートの例 (1)

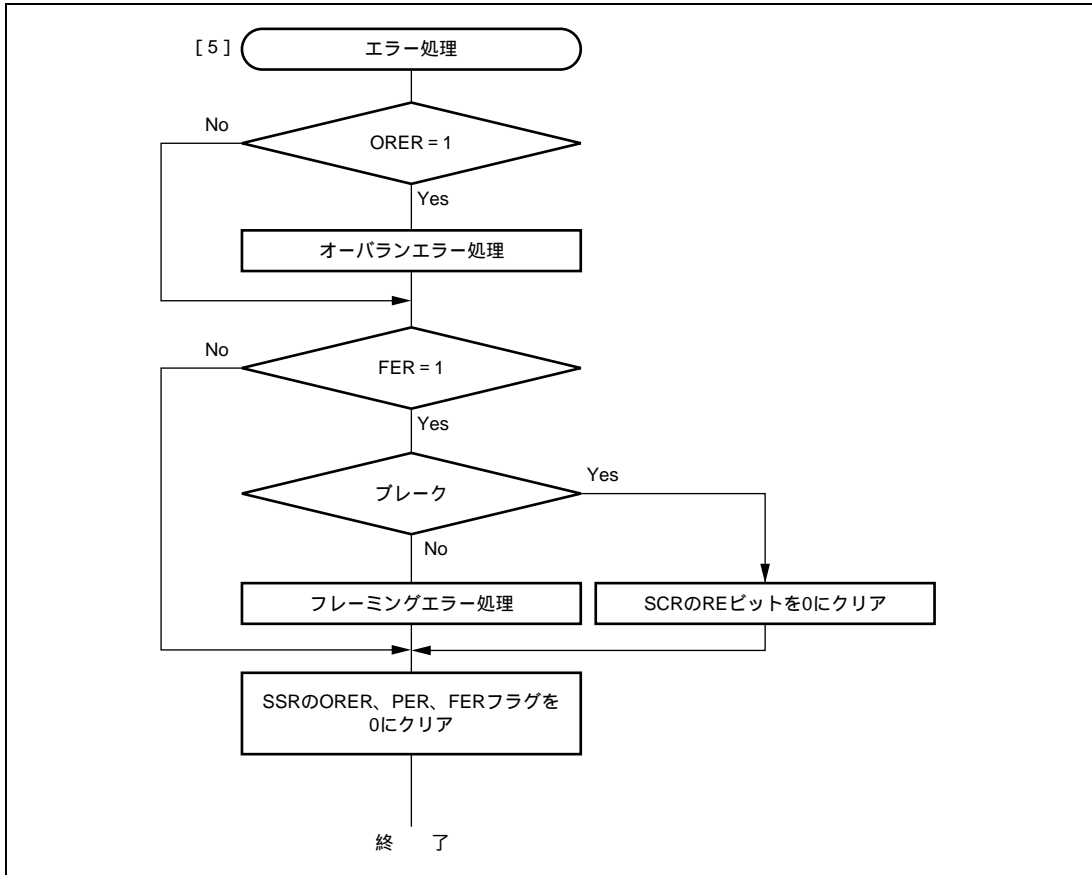


図 13.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

## 13.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 13.17 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

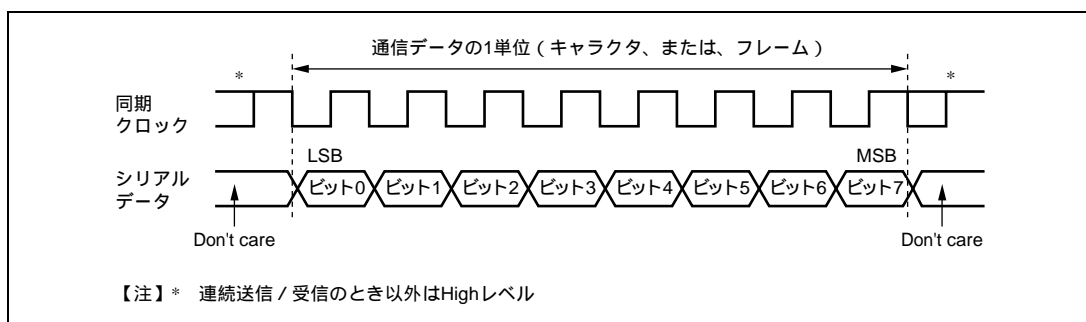


図 13.17 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

### 13.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

## 13.6.2 SCIの初期化

データの送受信前に、SCRのTE、REビットをクリアした後、図13.18のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

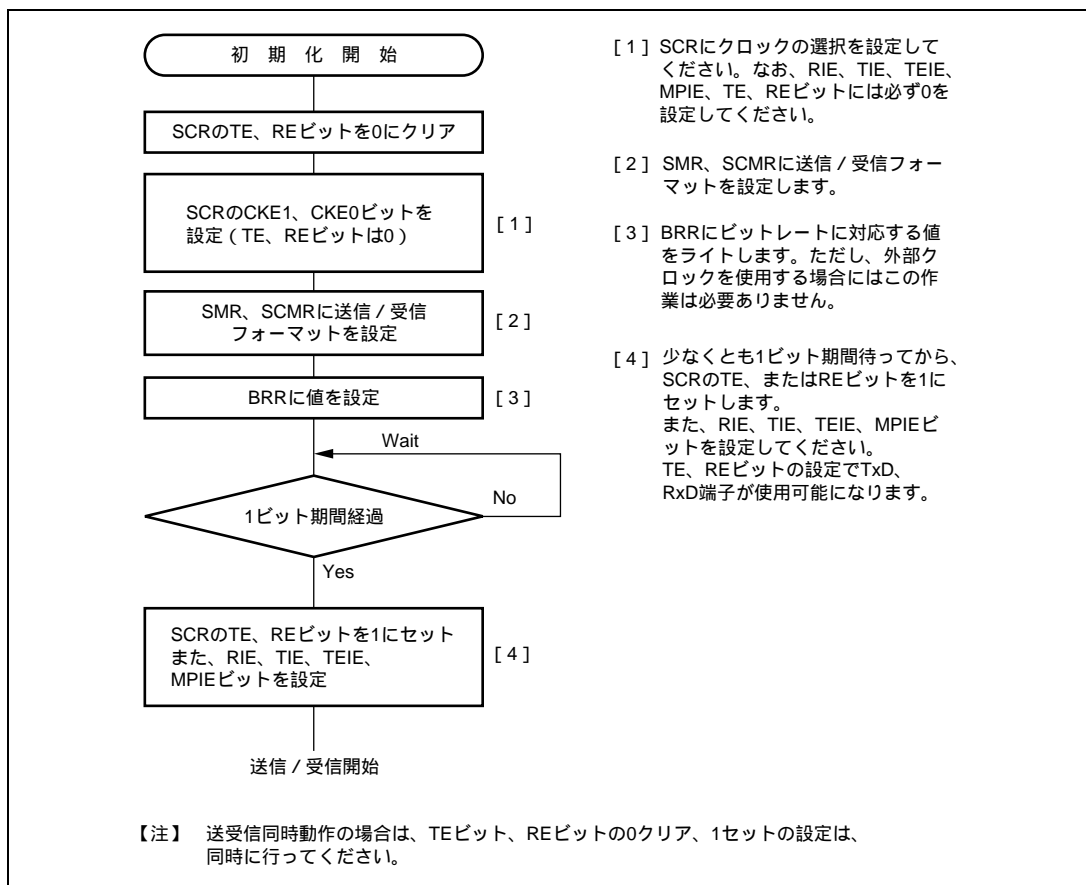


図 13.18 SCIの初期化フローチャートの例

### 13.6.3 シリアルデータ送信 (クロック同期式)

図 13.19 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 13.20 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはREビットをクリアしただけではクリアされませんので注意してください。

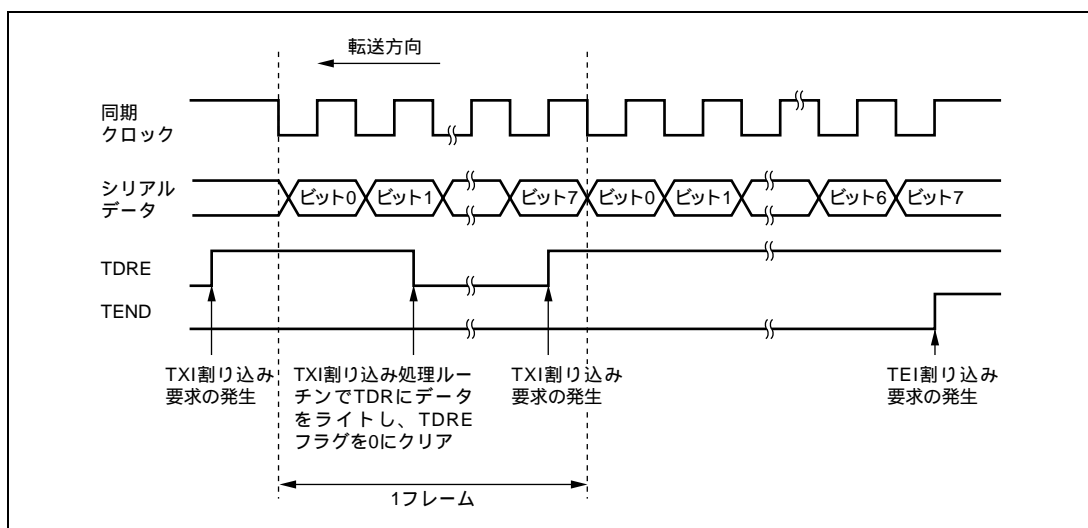


図 13.19 クロック同期式モードの送信時の動作例

### 13. シリアルコミュニケーションインタフェース (SCI)

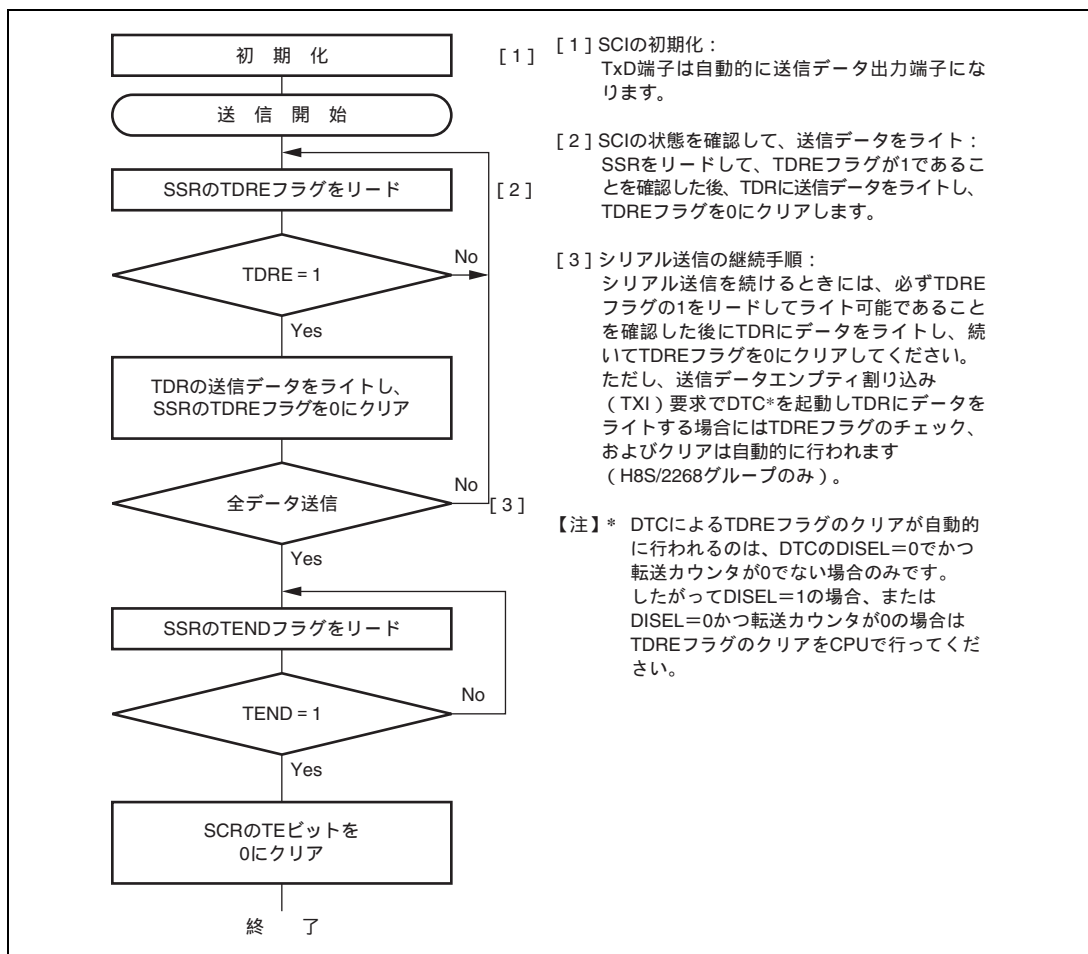


図 13.20 シリアル送信のフローチャートの例

### 13.6.4 シリアルデータ受信 (クロック同期式)

図 13.21 にクロック同期モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCI は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを RSR に取り込みます。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求が発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

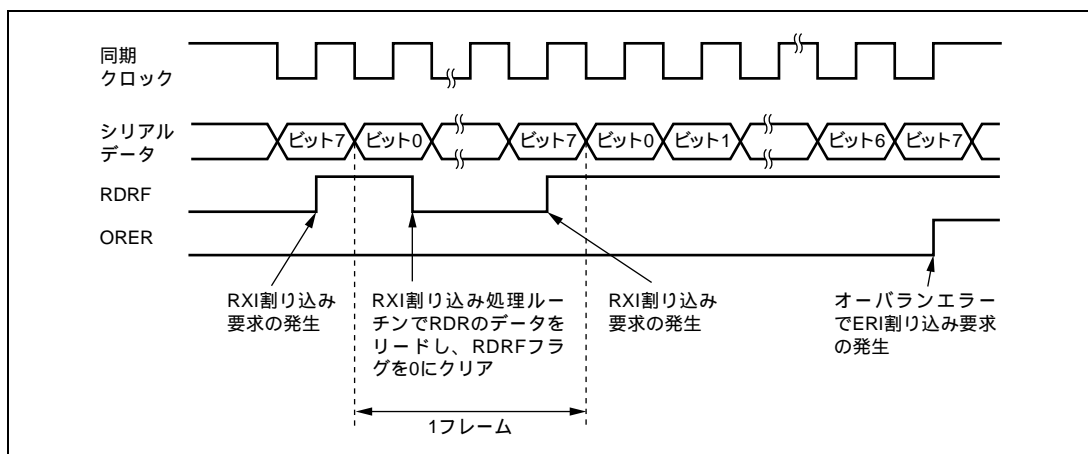


図 13.21 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.22 にデータ受信のためのフローチャートの例を示します。

内部クロックを選択し、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックが出力されます。1 フレーム単位の受信動作を行いたいときは、送受信同時動作による 1 フレームだけのダミー送信も同時に行ってください。



### 13. シリアルコミュニケーションインタフェース (SCI)

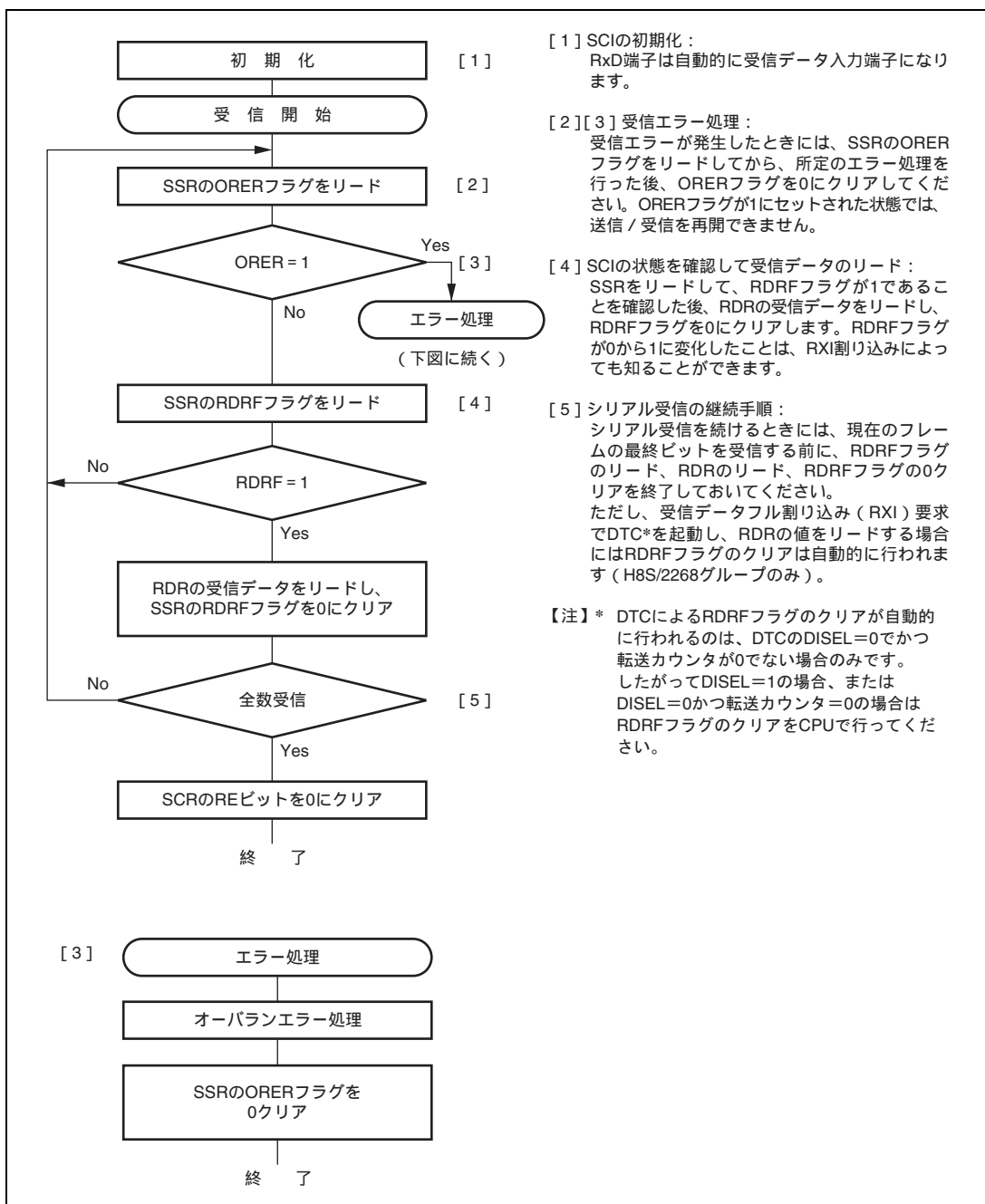


図 13.22 シリアルデータ受信フローチャートの例

### 13.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 13.23 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

### 13. シリアルコミュニケーションインタフェース (SCI)

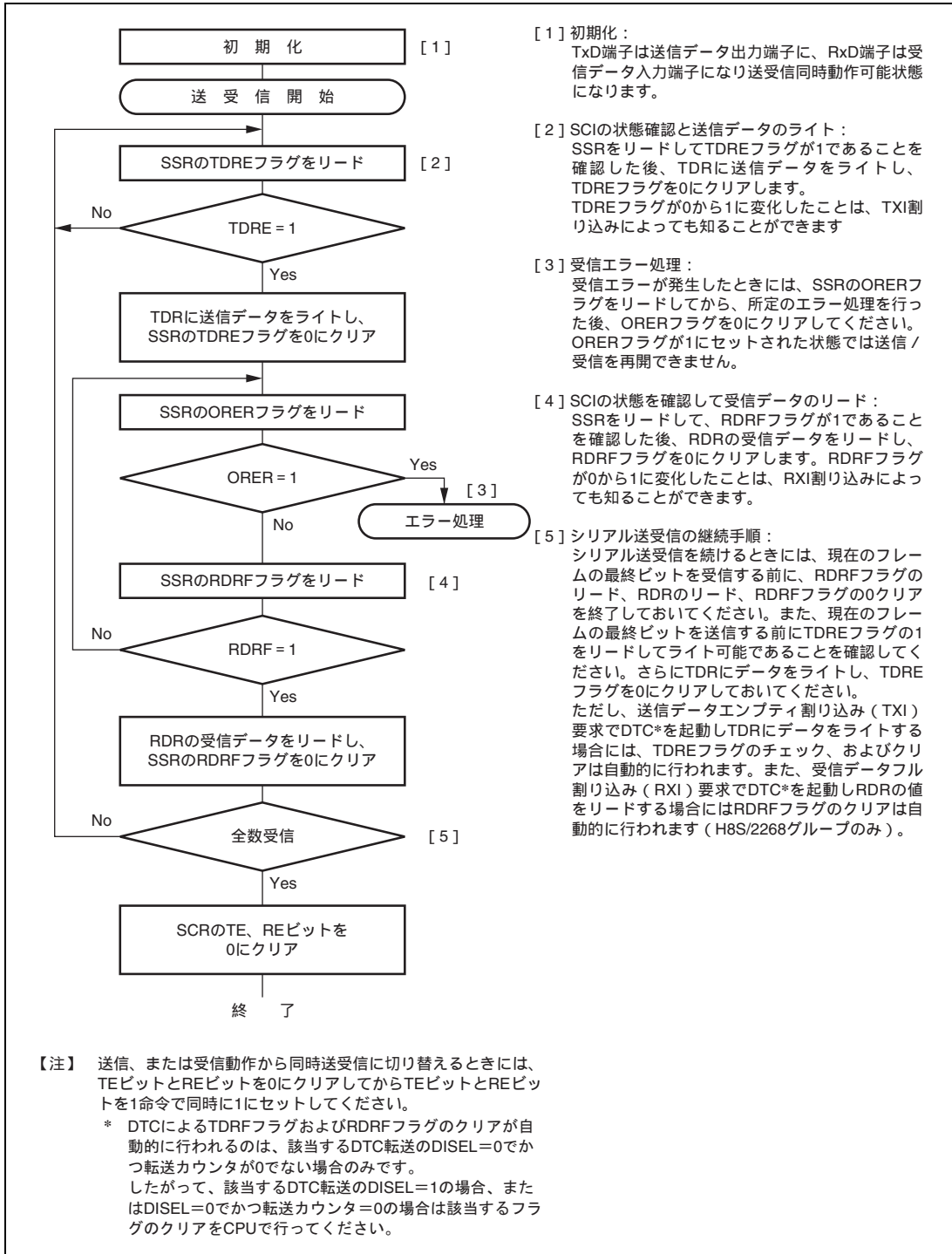


図 13.23 シリアル送受信同時動作のフローチャートの例

## 13.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード(スマートカード)とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 13.7.1 接続例

図 13.24 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD端子とRxD端子とを結線し、データ伝送線は抵抗で電源V<sub>CC</sub>側にプルアップしてください。ICカードを接続しない状態でRE=TE=1に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。ICカードで、内部クロックを使用する場合は接続不要です。リセット信号の出力には本LSIの出力ポートを使用できます。端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

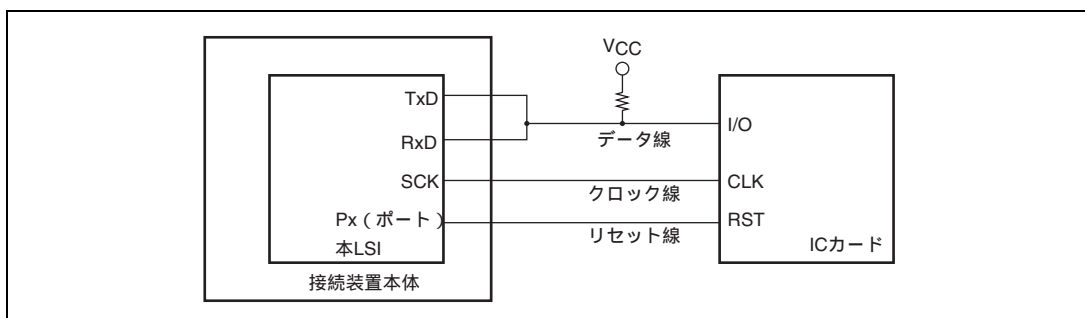


図 13.24 スマートカードインタフェース端子接続概要

### 13.7.2 データフォーマット（ブロック転送モード時を除く）

図 13.25 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu（Elementary Time Unit：1ビットの転送期間）以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

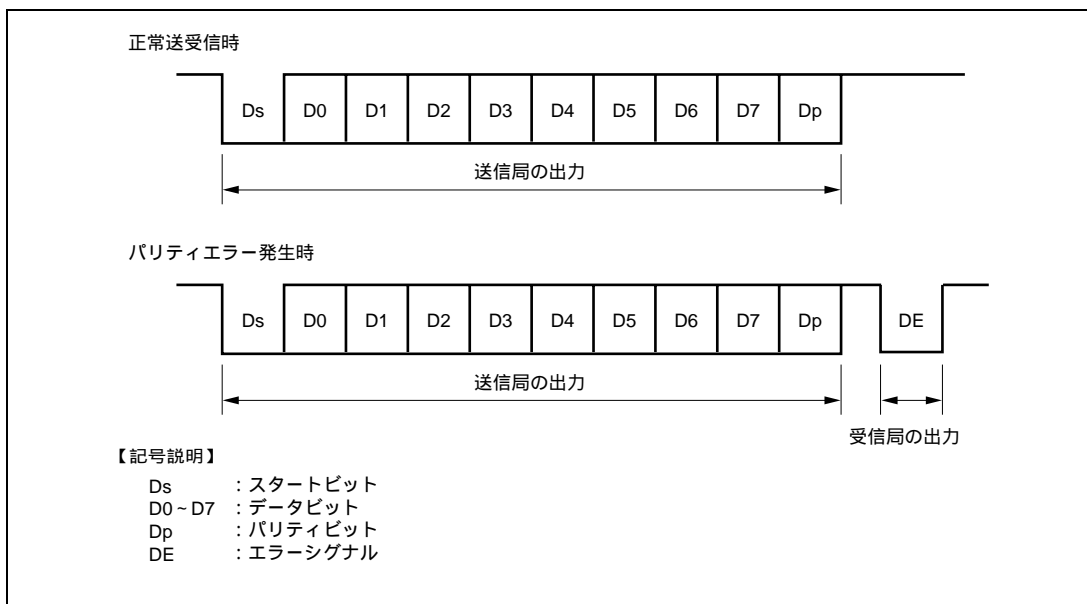


図 13.25 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

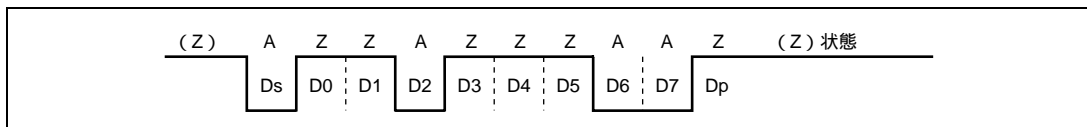


図 13.26 ダイレクトコンベンション (SDIR = SINV = O/E = 0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO/Eビットには0をセットしてください。

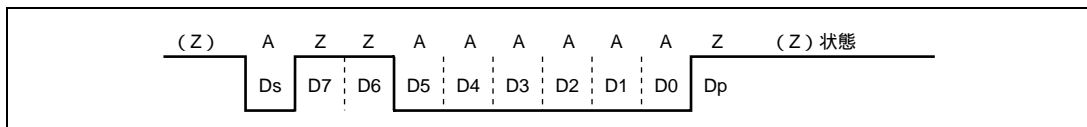


図 13.27 インバースコンベンション (SDIR = SINV = O/E = 1)

## 13. シリアルコミュニケーションインタフェース (SCI)

---

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7 ~ D0 のみ反転させます。このため、送受信とも SMR の  $O\bar{E}$  ビットに 1 を設定してパリティビットを反転させてください。

### 13.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小 1etu 以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から 11.5etu 後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に 0 となります。

### 13.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCI は BCP1、BCP0 の設定によりビットレートの 32 倍、64 倍、372 倍、256 倍 (通常の調歩同期式モードでは 16 倍に固定されています) の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 13.28 に示すように受信データを基本クロックのそれぞれ 16、32、186、128 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 32、64、372、256)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\%$$

$$= 49.866\%$$

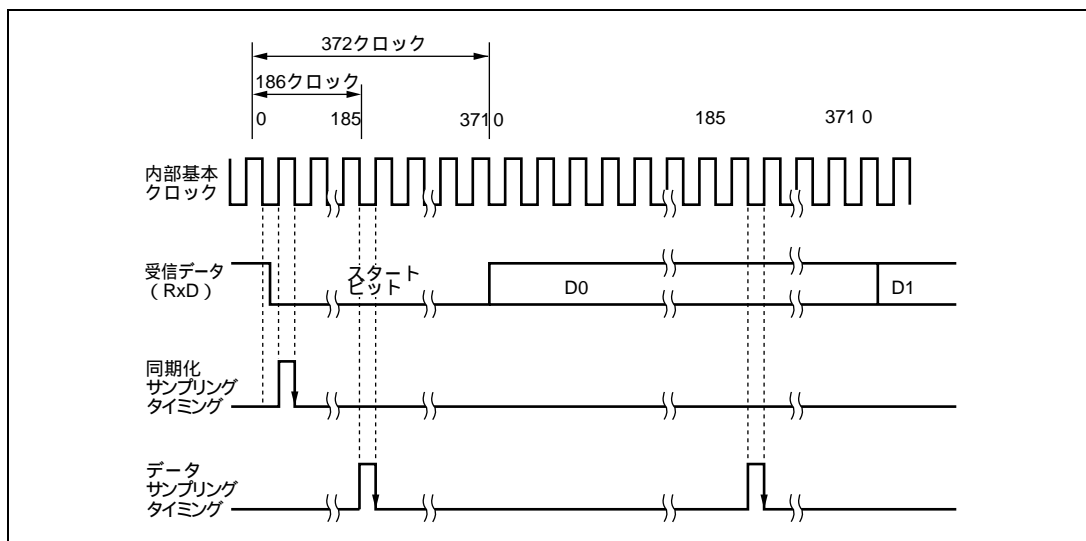


図 13.28 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

### 13.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、 $O/\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。  
SMIFビットを1にセットすると、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。  
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外

## 13. シリアルコミュニケーションインタフェース (SCI)

---

はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

### 13.7.6 シリアルデータ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 13.29 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されません。

送信処理フローの例を図 13.31 に示します。

H8S/2268 グループでは、これら一連の処理はTXI 割り込み要因によってDTCを起動することで、自動的に行うことができます。

送信動作では、SSRのTENDフラグが1にセットされると同時にTDREフラグもセットされ、SCRのTIEをセットしておくことでTXI割り込み要求を発生します。

あらかじめDTCの起動要因にTXI要求を設定しておけば、TXI要求によりDTCが起動されて送信データの転送を行います。このときDTCのDISEL=0で転送カウンタが0でない場合には、TDREおよびTENDフラグは、DTCによるデータ転送時に自動的に0にクリアされます。

なお、DTCのDISELが1の場合、またはDISEL=0でも転送カウンタが0の場合は、DTCにより転送データはTDRにライトされますがフラグはクリアされませんので、CPUにてフラグクリアの処理を行ってください。また、エラーが発生した場合はSCIが自動的に同じデータを再送信します。この間TENDは0のまま保持され、DTCは起動されません。したがって、エラー発生時の再送信を含め、SCIとDTCが指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERSフラグは自動的にクリアされませんので、RIEビットを1にセットしておき、エラー発生時にERI割り込み要求を発生させ、ERSをクリアしてください。



なお、DTCを使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

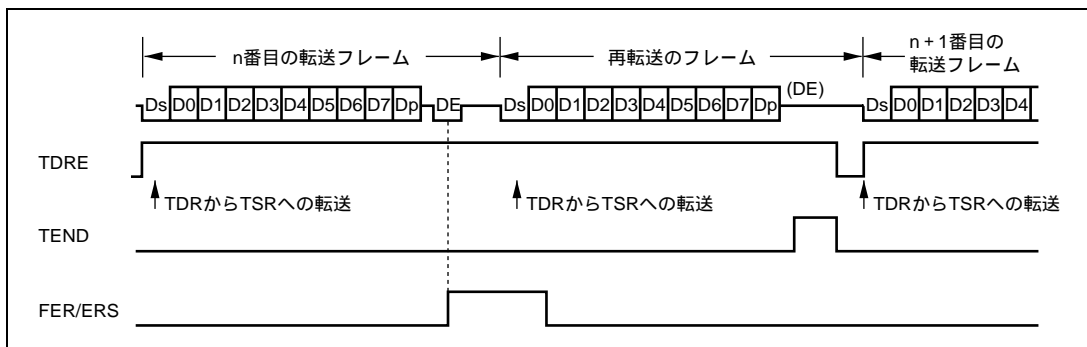


図 13.29 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 13.30 に TEND フラグ発生タイミングを示します。

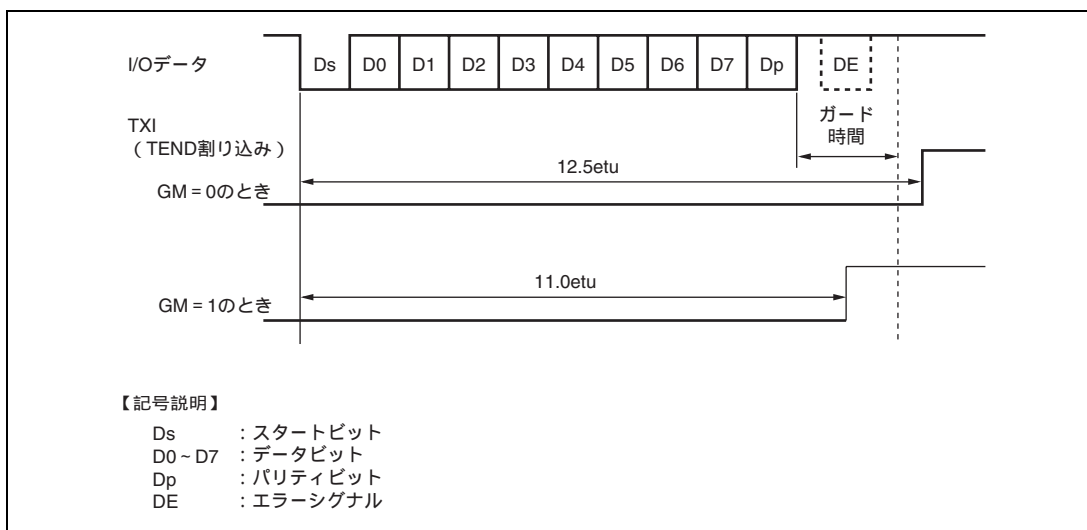


図 13.30 送信動作時の TEND フラグ発生タイミング

### 13. シリアルコミュニケーションインタフェース (SCI)

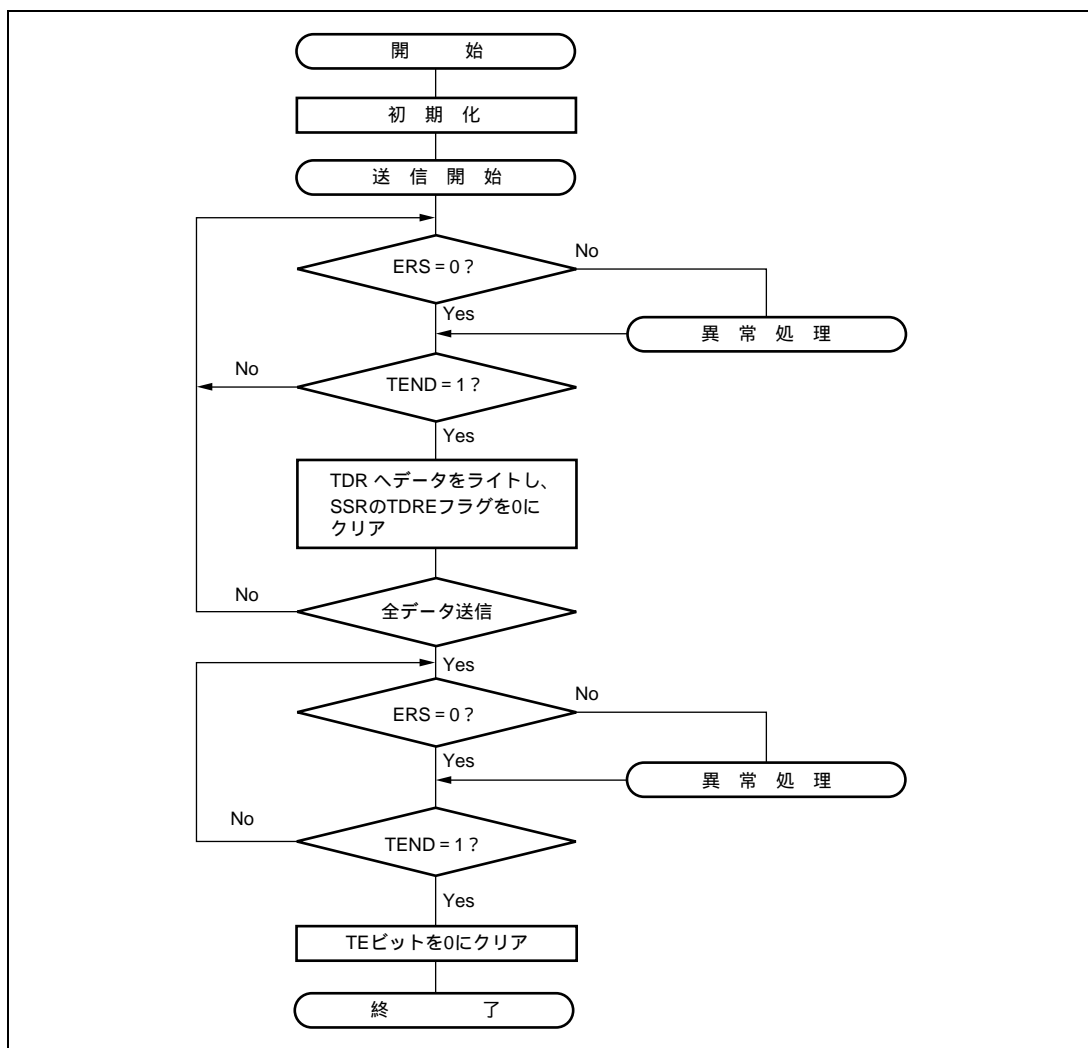


図 13.31 送信処理フローの例

## 13.7.7 シリアルデータ受信 (ブロック転送モードを除く\*)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 13.32 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 13.33 に示します。

H8S/2268 グループでは、これら一連の処理は RXI 割り込み要因によって DTC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DTC の起動要因に RXI 要求を設定しておけば、RXI 要求により DTC が起動されて受信データの転送を行います。このとき、DTC の DISEL = 0 で、かつ転送カウンタが 0 でない場合は、RDRF フラグは自動的にクリアされます。なお、DTC の DISEL が 1 の場合、または DISEL = 0 でも転送カウンタが 0 の場合は、DTC により受信データの転送は行われますがフラグのクリアは行われません。CPU にてフラグクリア処理を行ってください。

また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。

エラーが発生した場合は DTC は起動されず、受信データはスキップされるため DTC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 \* ブロック転送モードの場合は「13.4 調歩同期式モードの動作」を参照してください。

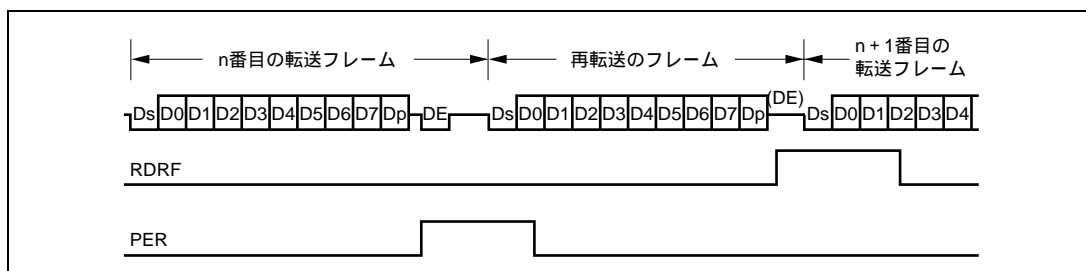


図 13.32 SCI 受信モードの場合の再転送動作

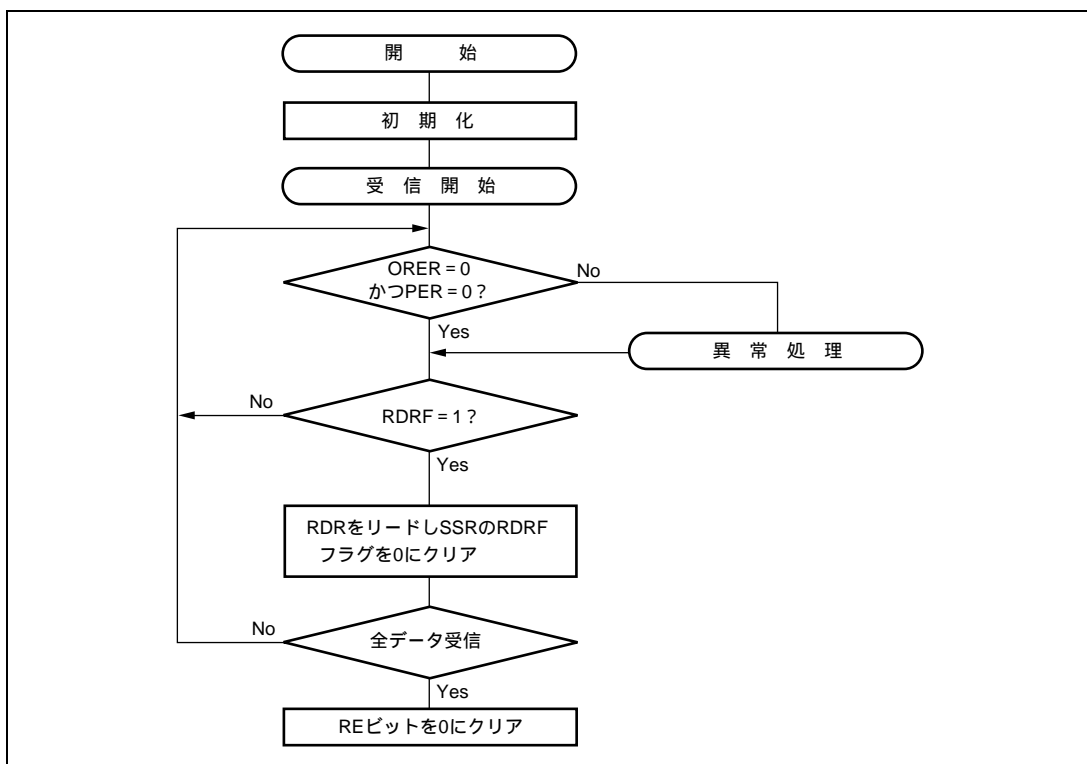


図 13.33 受信フローの例

### 13.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.34 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

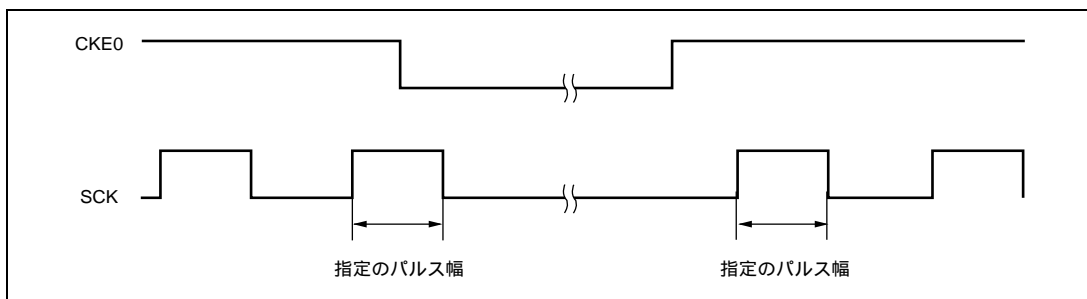


図 13.34 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。  
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信 / 受信動作を停止させてください。  
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。  
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

- ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

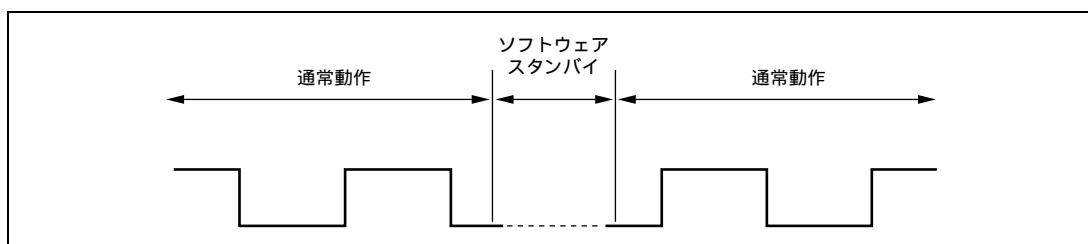


図 13.35 クロック停止・再起動手順

## 13.8 割り込み要因

### 13.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 13.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます (H8S/2268 グループのみ)。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。

RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます\* (H8S/2268 グループのみ)。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき要求されます。TEI 割り込みと TXI 割り込みが同時に要求されている状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

【注】 \* フラグクリアが実行されるのは DTC の DISSEL = 0 でかつ転送カウンタが 0 でない場合です。

表 13.12 シリアルコミュニケーションインタフェースモードの割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動 <sup>*2</sup>	優先順位 <sup>*1</sup>
0	ERI0	受信エラー	ORER、FER、PER	不可	↑ 高         ↓ 低
	RXI0	受信データフル	RDRF	可	
	TXI0	送信データエンpty	TDRE	可	
	TEI0	送信終了	TEND	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	
	RXI1	受信データフル	RDRF	可	
	TXI1	送信データエンpty	TDRE	可	
	TEI1	送信終了	TEND	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	
	RXI2	受信データフル	RDRF	可	
	TXI2	送信データエンpty	TDRE	可	
	TEI2	送信終了	TEND	不可	

【注】 \*1 リセット直後の初期状態について示しています。

チャネル間の優先順位は割り込みコントローラにより変更可能です (H8S/2268 グループのみ)。

\*2 H8S/2268 グループのみサポートします。

### 13.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 13.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

【注】 ブロック転送モードの場合は、「13.8.1 シリアルコミュニケーションインタフェースモードにおける割り込み」を参照してください。

表 13.13 スマートカードインタフェースモードの割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動 <sup>*2</sup>	優先順位 <sup>*1</sup>
0	ERI0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	高 ↑ 低
	RX10	受信データフル	RDRF	可	
	TX10	送信データエンプティ	TEND	可	
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RX11	受信データフル	RDRF	可	
	TX11	送信データエンプティ	TEND	可	
2	ERI2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RX12	受信データフル	RDRF	可	
	TX12	送信データエンプティ	TEND	可	

【注】 \*1 リセット直後の初期状態について示しています。

チャンネル間の優先順位は割り込みコントローラにより変更可能です (H8S/2268 グループのみ)。

\*2 H8S/2268 グループのみサポートします。

## 13.9 使用上の注意事項

### 13.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作禁止 / 許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### 13.9.2 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、また PER フラグもセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER フラグを 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

### 13.9.3 マーク状態とブレークの送出 (調歩同期式モードのみ)

TE が 0 のとき、TxD 端子は DDR で入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR = 1、DR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR = 1、DR = 0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

### 13.9.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

### 13.9.5 DTC 使用上の制約事項 (H8S/2268 グループのみ)

1. 同期クロックに外部クロックソースを使用する場合、DTCによるTDRの更新後、クロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります (図13.36)。
2. DTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。
3. データ転送時DTCによりフラグが自動的にクリアされるのは、DTCのDISELが0でかつ転送カウンタが0でない場合のみです。したがって、DTCのDISEL = 1の場合またはDISEL = 0でかつ転送カウンタが0の場合は、CPUにてフラグクリア処理を行ってください。特に送信時はCPUにてTDREフラグをクリアしないと正しく送信されませんのでご注意ください。

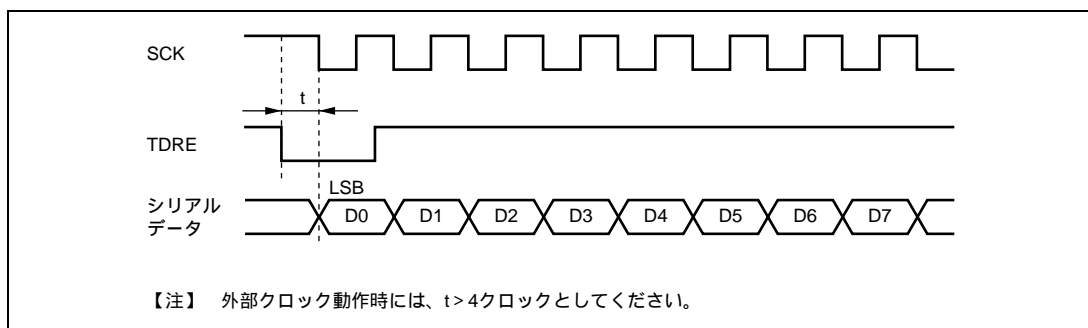


図 13.36 DTC によるクロック同期式送信時の例



## 13.9.6 モード遷移時の動作について

## (a) 送信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード遷移時には、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、 $TE = 1$  に戻し、SSR リード TDR ライト TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 13.37 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 13.38、図 13.39 に示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードまたはサブスリープモードに遷移時には、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。解除後 DTC による送信をする場合は  $TE = 1$ 、 $TIE = 1$  に設定すれば TXI フラグが立ち、DTC による送信が始まります (H8S/2268 グループのみ)。

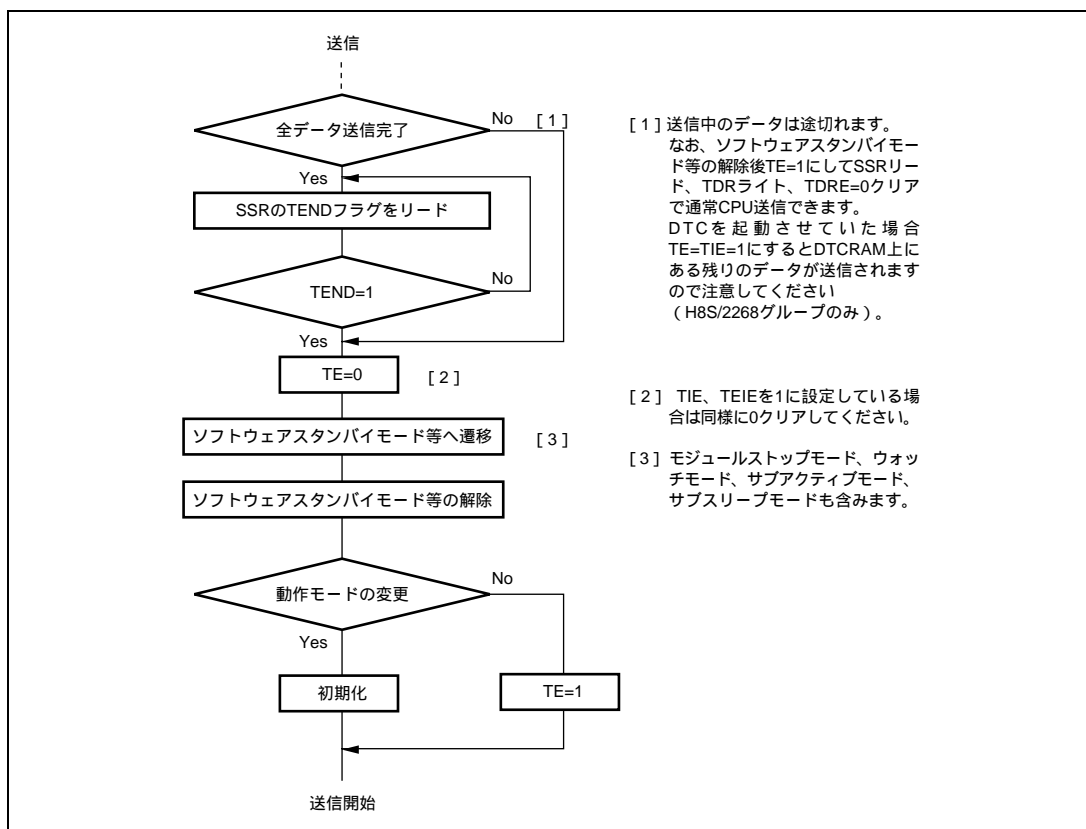


図 13.37 送信時のモード遷移フローチャートの例

### 13. シリアルコミュニケーションインタフェース (SCI)

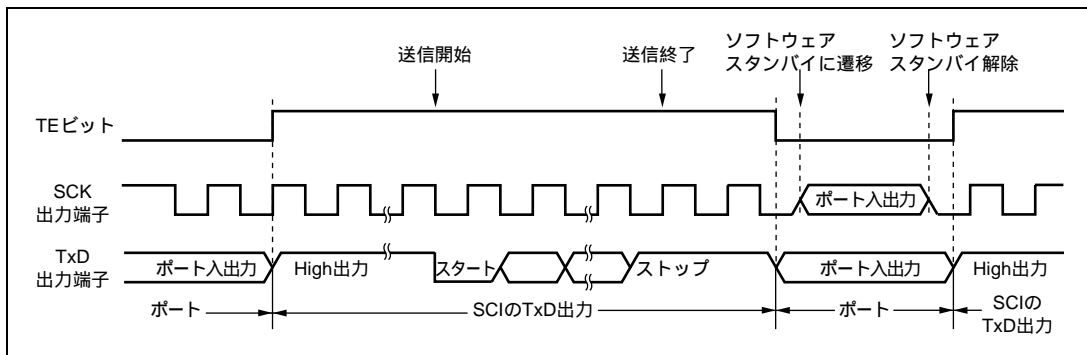
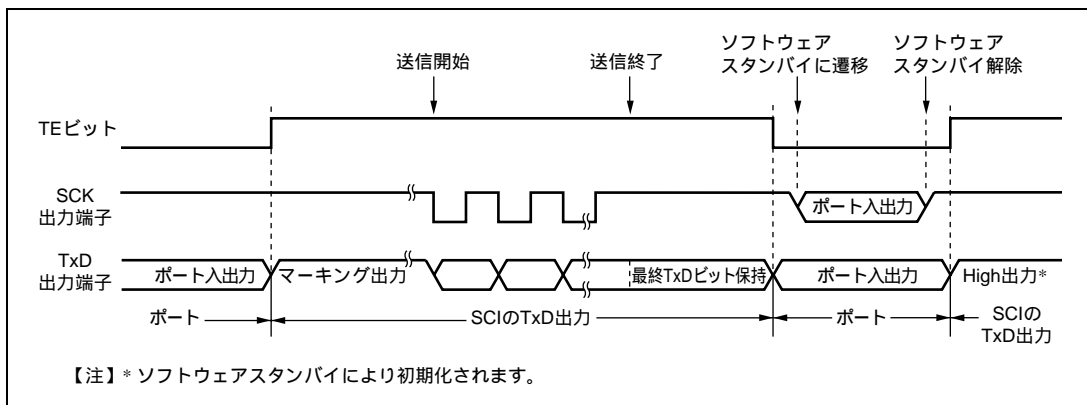


図 13.38 内部クロック、調歩同期送信の場合のポート端子状態



【注】\* ソフトウェアスタンバイにより初期化されます。

図 13.39 内部クロック、クロック同期送信の場合のポート端子状態

## (b) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード遷移時には、受信動作を停止 ( $RE=0$ ) してから行ってください。RSR、RDR および SSR はリセットされます。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE=1$  に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 13.40 に受信時のモード遷移フローチャートの例を示します。

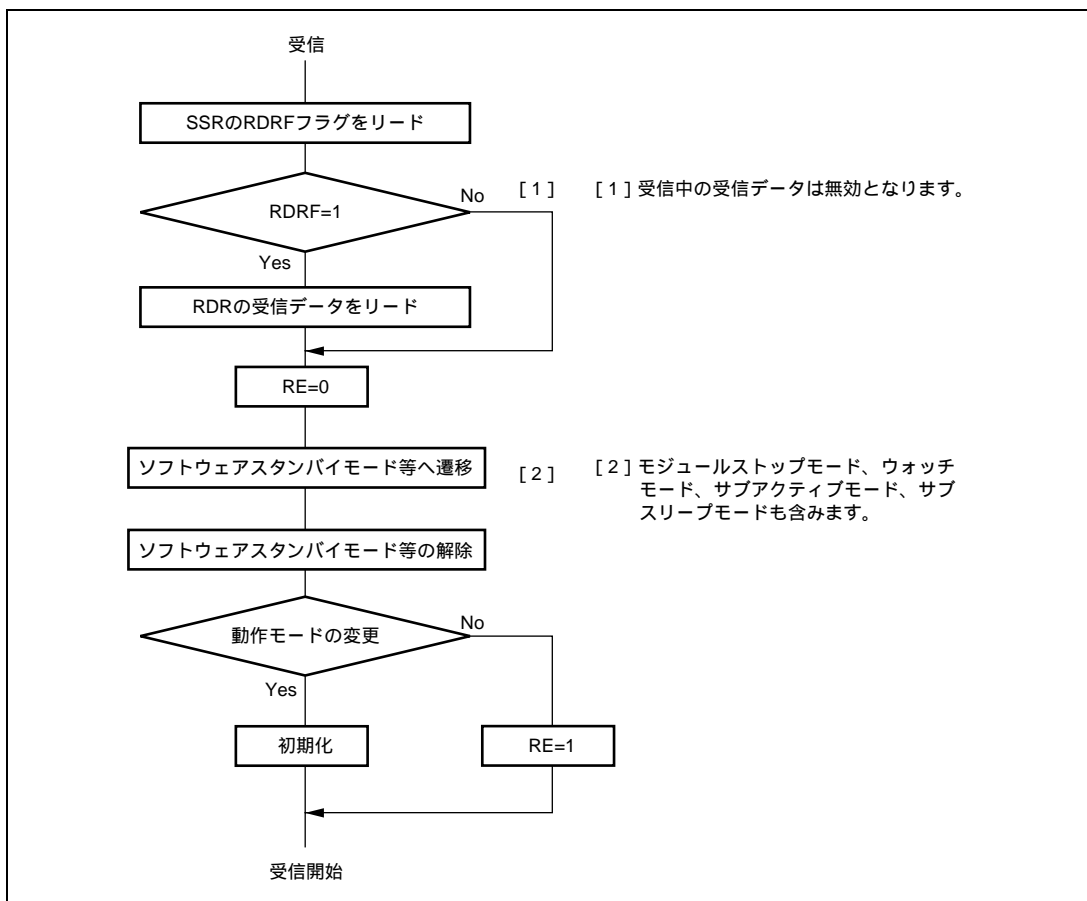


図 13.40 受信時のモード遷移フローチャートの例

### 13.9.7 SCK 端子からポート端子へ切り替えるときの注意事項

(a) 動作現象

DDR = 1、DR = 1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替え時に、半サイクルの Low 出力後、ポート出力になります。

DDR = 1、DR = 1、 $\overline{C/A}$  = 1、CKE1 = 0、CKE0 = 0、TE = 1 の状態より、以下の設定でポートに切り替え時に半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TEビット = "0"
3.  $\overline{C/A}$ ビット = "0" ... ポート出力に切り替え
4. Low出力発生 (図13.41参照)

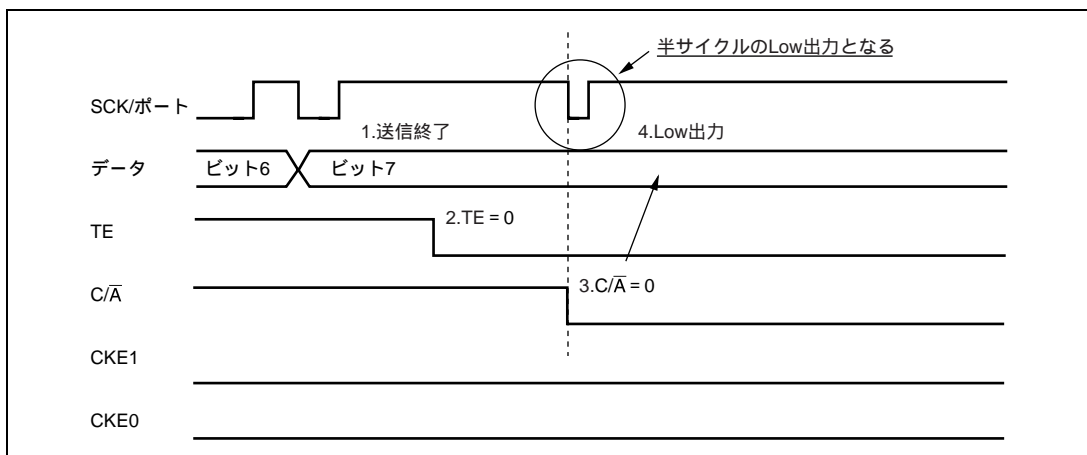


図 13.41 SCK 端子からポート端子へ切り替えるときの動作

## (b) 使用上の注意事項

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。

この手順は、SCK端子を一度入力状態にするため、あらかじめSCK/ポート端子を外部回路でプルアップしてください。

DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1の状態より以下の1~5の順で設定してください。

1. シリアルデータ送信終了
2. TEビット = "0"
3. CKE1ビット = "1"
4.  $C/\bar{A}$ ビット = "0" ... ポート出力に切り替え
5. CKE1ビット = "0"

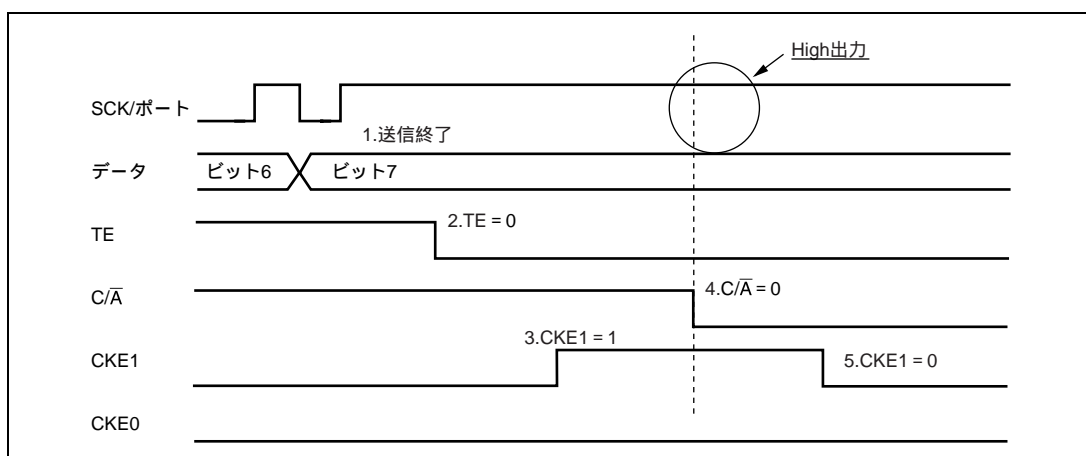


図 13.42 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

### 13.9.8 レジスタアドレスの割り当てと選択

シリアルコミュニケーションインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルコントロールレジスタ (SCRX) の IICE ビットで行います。レジスタアドレスの詳細は「第 24 章 レジスタ一覧」を参照してください。

### 13. シリアルコミュニケーションインタフェース (SCI)

---

---

## 14. I<sup>2</sup>C バスインタフェース (IIC) 〔H8S/2264 グループではオプション〕

---

H8S/2264 グループでは、I<sup>2</sup>C バスインタフェースはオプションです。オプション機能を仕様する場合には次の点にご注意ください。

- マスクROM版では、オプション機能を使用する製品型名にはWが付加されます。

例:HD6432264WTFなど

H8S/2268 グループは2チャンネル、H8S/2264 グループは1チャンネルのI<sup>2</sup>C バスインタフェースを内蔵しています。I<sup>2</sup>C バスインタフェースは、フィリップス社が提唱するI<sup>2</sup>C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。I<sup>2</sup>C バスを制御するレジスタの構成が一部フィリップス社と異なります。I<sup>2</sup>C バスインタフェースを用いたデータ転送は、各チャンネルで、データライン(SDA)1本、クロックライン(SCL)1本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。

### 14.1 特長

- I<sup>2</sup>Cバスフォーマットまたはクロック同期式シリアルフォーマットに設定可能

I<sup>2</sup>Cバスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作

クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

#### I<sup>2</sup>C バスフォーマット

- スレーブアドレスを2通り設定可能
- マスタモードでは開始条件、停止条件を自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- マスタモード時のウェイト機能

アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグをクリアすることで解除。

- スレーブモード時のウェイト機能

アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

---

- 割り込み要因

データ転送終了時 (送信モードに遷移したとき、およびマスタ競合負けの後のアドレス受信を含む)

アドレス一致時 (スレーブ受信モードでスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき)

開始条件検出時 (マスタモード時)

停止条件検出時 (スレーブモード時)

- マスタモード時、16種類の内部クロック選択可能

- バスを直接駆動可能

P35/SCL0、P34/SDA0の2端子は、バス駆動機能選択時NMOSオープンドレイン出力

P33/SCL1、P32/SDA1の2端子は、バス駆動機能選択時はNMOSのみで出力 (H8S/2268グループのみ)

I<sup>2</sup>C バスインタフェースのブロック図を図 14.1 に示します。入出力端子の外部回路接続例を、図 14.2 に示します。チャンネル0の入出力端子は、NMOS オープンドレインであり、本 LSI の電源 ( $V_{CC}$ ) 電圧を超える電圧印加が可能です。印加電圧の上限は、電源 ( $V_{CC}$ ) 電圧範囲+0.3V にあたる 5.8V としてください。チャンネル1 (H8S/2268グループのみ)の入出力端子はNMOSのみにより駆動されるため、見かけ上NMOSオープンドレインと同様の動作をします。しかし、入出力端子に印加可能な電圧は、本 LSI の電源 ( $V_{CC}$ ) 電圧に依存します。



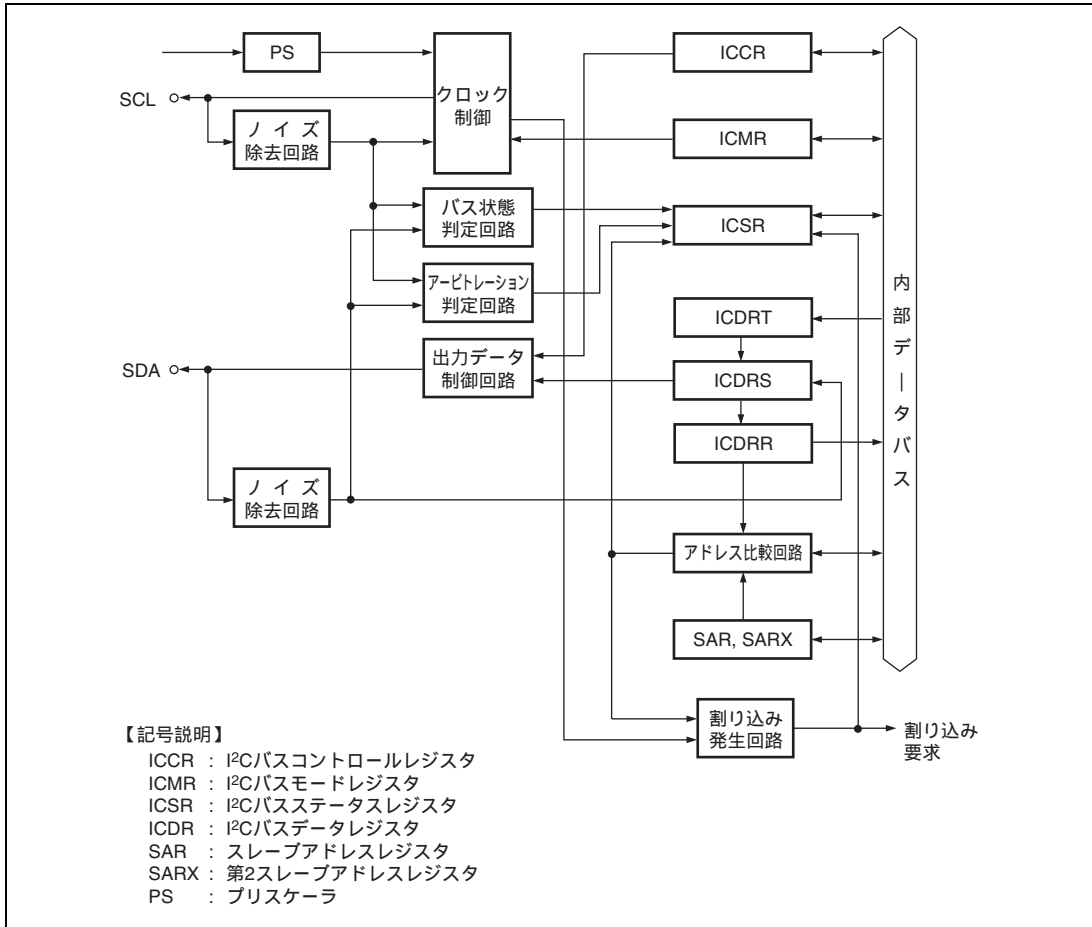


図 14.1 I<sup>2</sup>C バスインタフェースのブロック図

## 14. I<sup>2</sup>C バスインタフェース (IIC)

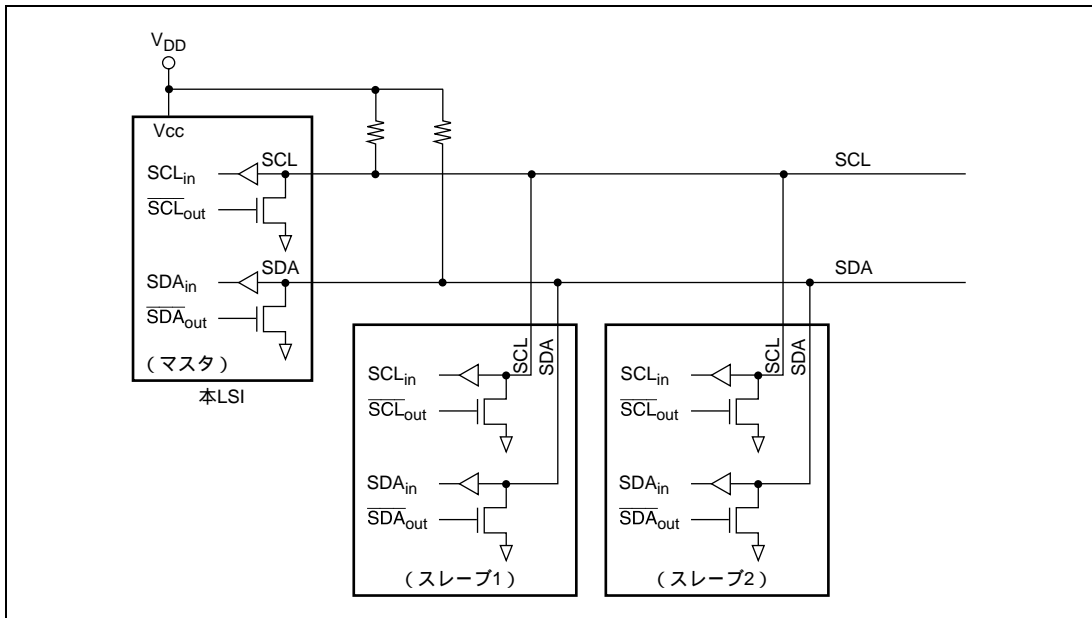


図 14.2 I<sup>2</sup>C バスインタフェース接続例 (本 LSI がマスタの場合)

### 14.2 入出力端子

I<sup>2</sup>C バスインタフェースで使用する端子を表 14.1 に示します。

表 14.1 端子構成

名 称	記号* <sup>1</sup>	入出力	機 能
シリアルクロック端子	SCL0	入出力	IIC_0 シリアルクロック入出力端子
シリアルデータ端子	SDA0	入出力	IIC_0 シリアルデータの入出力端子
シリアルクロック端子* <sup>2</sup>	SCL1	入出力	IIC_1 シリアルクロック入出力端子
シリアルデータ端子* <sup>2</sup>	SDA1	入出力	IIC_1 シリアルデータの入出力端子

【注】 \*1 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

\*2 H8S/2268 グループのみサポートします。

### 14.3 レジスタの説明

IIC には以下のレジスタがあります。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCR の ICE ビットによりアクセスできるレジスタが変わります。ICE = 0 のとき SAR と SARX、ICE = 1 のとき ICMR と ICDR がアクセスできます。モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A ~ D (MSTPCRA ~ MSTPCRD)」を参照してください。

- I<sup>2</sup>C バスデータレジスタ\_0 (ICDR\_0) \*<sup>2</sup>
- スレーブアドレスレジスタ\_0 (SAR\_0) \*<sup>2</sup>
- 第2スレーブアドレスレジスタ\_0 (SARX\_0) \*<sup>2</sup>
- I<sup>2</sup>C バスモードレジスタ\_0 (ICMR\_0) \*<sup>2</sup>
- I<sup>2</sup>C バスコントロールレジスタ\_0 (ICCR\_0) \*<sup>2</sup>
- I<sup>2</sup>C バスステータスレジスタ\_0 (ICSR\_0) \*<sup>2</sup>
- I<sup>2</sup>C バスデータレジスタ\_1 (ICDR\_1) \*<sup>1</sup>\*<sup>2</sup>
- スレーブアドレスレジスタ\_1 (SAR\_1) \*<sup>1</sup>\*<sup>2</sup>
- 第2スレーブアドレスレジスタ\_1 (SARX\_1) \*<sup>1</sup>\*<sup>2</sup>
- I<sup>2</sup>C バスモードレジスタ\_1 (ICMR\_1) \*<sup>1</sup>\*<sup>2</sup>
- I<sup>2</sup>C バスコントロールレジスタ\_1 (ICCR\_1) \*<sup>1</sup>\*<sup>2</sup>
- I<sup>2</sup>C バスステータスレジスタ\_1 (ICSR\_1) \*<sup>1</sup>\*<sup>2</sup>
- DDC スイッチレジスタ (DDCSWR)
- シリアルコントロールレジスタ X (SCRX)

【注】 \*1 H8S/2268 グループのみサポートしています。

\*2 I<sup>2</sup>C バスインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択は、シリアルコントロールレジスタ X (SCRX) の IICE ビットで行います。

#### 14.3.1 I<sup>2</sup>C バスデータレジスタ (ICDR)

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして機能します。ICDR は内部でシフトレジスタ (ICDRS)、受信バッファ (ICDRR)、送信バッファ (ICDRT) に分かれています。3 本のレジスタ間のデータ転送はバス状態の変化に関連付けられて自動的に行われ、TDRE や RDRF などの内部フラグの状態に影響を与えます。TDRE は 1 のとき受信バッファが空の状態 CPU から次の送信データをライト可能であることを示します。RDRF は 1 のとき受信バッファに有効な受信データが格納されていることを示します。

シフトレジスタで 1 フレームのデータを送受信後、送信モードでは送信バッファに次の送信データがあると (TDRE フラグが 0 の場合) 自動的にシフトレジスタへ転送されます。シフトレジスタで 1 フレームのデータを送受信後、受信モードでは受信バッファに以前のデータがない場合 (RDRF フラグが 0 の場合)、自動的にシフトレジスタから受信バッファにデータが転送されます。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

1 フレームのアクロリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS = 0 のとき MSB 側に、MLS = 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS = 0 のとき LSB 側に、MLS = 1 のとき MSB 側に詰めて格納されます。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR の初期値は不定です。

内部フラグ TDRE、RDRF は次のような条件でセット/クリアされます。TDRE、RDRF は割り込みフラグの状態に影響を与えます。

ビット	ビット名	初期値	R/W	説明
	TDRE			トランスミットデータレジスタエンティ [セット条件] <ul style="list-style-type: none"> <li>• 送信モードのとき、I<sup>2</sup>C バスフォーマット、シリアルフォーマットのマスターモードで開始条件を発行後、バスラインの状態から開始条件成立を検出したとき</li> <li>• 送信バッファからシフトレジスタにデータが転送されたとき</li> <li>• 開始条件検出後、受信モードから送信モードに切り替えたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 送信モードで ICDR (送信バッファ) に送信データをライトしたとき</li> <li>• I<sup>2</sup>C バスフォーマットまたはシリアルフォーマットで停止条件を発行後、バスラインの状態から停止条件成立を検出したとき</li> <li>• I<sup>2</sup>C バスフォーマットで停止条件を検出したとき</li> <li>• 受信モードのとき</li> </ul>
	RDRF			レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> <li>• シフトレジスタから受信バッファにデータが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 受信モードで ICDR (受信バッファ) の受信データをリードしたとき</li> </ul>

### 14.3.2 スレーブアドレスレジスタ (SAR)

SAR はスレーブアドレスと転送フォーマットを設定します。ICCR の ICE ビットが 0 にクリアされているときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVA6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	SARX の FSX との組み合わせで転送フォーマットを選択します。表 14.2 を参照してください。

### 14.3.3 第 2 スレーブアドレスレジスタ (SARX)

SARX は第 2 スレーブアドレスと転送フォーマットを設定します。ICCR の ICE ビットが 0 にクリアされているときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVAX6	0	R/W	第 2 スレーブアドレス 6~0 第 2 スレーブアドレスを設定します。
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	SAR の FS との組み合わせで転送フォーマットを選択します。表 14.2 を参照してください。

表 14.2 転送フォーマット

SAR	SARX	転送フォーマット
FS	FSX	
0	0	I <sup>2</sup> C バスフォーマットで SAR と SARX をスレーブアドレスとして使用
0	1	I <sup>2</sup> C バスフォーマットで SAR のみスレーブアドレスとして使用
1	0	I <sup>2</sup> C バスフォーマットで SARX のみスレーブアドレスとして使用
1	1	クロック同期式シリアルフォーマット (SAR と SARX は無効となります)

## 14. I<sup>2</sup>C バスインタフェース (IIC)

### 14.3.4 I<sup>2</sup>C バスモードレジスタ (ICMR)

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットが 1 のときだけアクセスできます。

ビット	ビット名	初期値	R/W	説明																		
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I <sup>2</sup> C バスフォーマットで使用するときには 0 に設定してください。																		
6	WAIT	0	R/W	ウェイト挿入ビット I <sup>2</sup> C バスフォーマットでマスタモードのときのみ有効 WAIT = 1 のとき、データの最終ビットのクロックが立ち下がった後、ICCR の IRIC フラグが 1 にセットされウェイト状態 (SCL = Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 WAIT = 0 のときはウェイトは挿入されず、データとアクノリッジを連続して転送します。 ICCR の IRIC フラグは、WAIT の設定にかかわらず、アクノリッジの転送が完了した時点で 1 にセットされます。																		
5	CKS2	0	R/W	転送クロック選択 2~0																		
4	CKS1	0	R/W	マスタモードのときのみ有効																		
3	CKS0	0	R/W	SCRX レジスタの IICX1、IICX0 との組み合わせで転送レートを選択します。表 14.3 を参照してください。																		
2	BC2	0	R/W	ビットカウンタ 2~0																		
1	BC1	0	R/W	次に転送するデータのビット数を指定します。I <sup>2</sup> C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。																		
0	BC0	0	R/W																			
				<table border="0"> <thead> <tr> <th>I<sup>2</sup>C バスフォーマット</th> <th>クロック同期式シリアルフォーマット</th> </tr> </thead> <tbody> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </tbody> </table>	I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

表 14.3 転送レート

SCRX ビット 5、6	ICMR			クロック	転送レート				
	ビット 5	ビット 4	ビット 3		=5MHz	=8MHz	=10MHz	=16MHz	=20MHz
IICX	CKS2	CKS1	CKS0						
0	0	0	0	/28	179kHz	286kHz	357kHz	571kHz*	714kHz*
0	0	0	1	/40	125kHz	200kHz	250kHz	400kHz	500kHz*
0	0	1	0	/48	104kHz	167kHz	208kHz	333kHz	417kHz*
0	0	1	1	/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
0	1	0	0	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
0	1	0	1	/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
0	1	1	0	/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
0	1	1	1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
1	0	0	1	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
1	0	1	0	/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
1	0	1	1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	1	0	0	/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
1	1	0	1	/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
1	1	1	0	/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
1	1	1	1	/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

【注】 \* I<sup>2</sup>C バスインタフェース仕様(通常モード:最大 100kHz、高速モード:最大 400kHz)の範囲外となります。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

### 14.3.5 シリアルコントロールレジスタ X (SCRX)

SCRX は、IIC の動作モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット 初期値を変更しないでください。
6	IICX1*	0	R/W	I <sup>2</sup> C トランスファレートセレクト 1、0
5	IICX0	0	R/W	IIC の動作を制御するビットです。I <sup>2</sup> C バスモードレジスタ (ICMR) の CKS2 ~ CKS0 と組み合わせて、マスタモードでの転送レートを選択します。転送レートについては表 14.3 を参照してください。 IICX1 は IIC_1 を、IICX0 は IIC_0 を制御します。
4	IICE	0	R/W	I <sup>2</sup> C マスタイネーブル IIC のデータレジスタと制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) の CPU アクセスを制御します。 0 : データレジスタと制御レジスタの CPU アクセスを禁止 1 : データレジスタと制御レジスタの CPU アクセスを許可
3	FLSHE	0	R/W	ビット 3 の詳細は、「20.5.7 シリアルコントロールレジスタ X (SCRX)」を参照してください。
2~0		すべて 0	R/W	リザーブビット 初期値を変更しないでください。

【注】 \* H8S/2264 グループではリザーブビットです。初期値を変更しないでください。



14.3.6 I<sup>2</sup>C バスコントロールレジスタ (ICCR)

ICCR は I<sup>2</sup>C バスインタフェースの制御ビットと割り込み要求フラグで構成されています。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I <sup>2</sup> C バスインタフェースイネーブル このビットを 1 にセットすると I <sup>2</sup> C バスインタフェースモジュールは送受信可能となり、SCL、SDA 端子と接続されてバスを駆動できる状態になります。また、ICMR、ICDR がアクセス可能となります。 このビットがクリアされた状態ではモジュールは停止状態となり、SCL、SDA 端子から切り離されます。SAR、SARX がアクセス可能となります。
6	IEIC	0	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル このビットが 1 のとき IRIC による割り込み要求がイネーブルになります。
5 4	MST TRS	0 0	R/W R/W	マスタ/スレーブ選択 送受信選択 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード  I <sup>2</sup> C バスフォーマットのマスタモードでバス競合負けをするとこれらのビットは共にハードウェアによってクリアされます。スレーブ受信モードでは、開始条件直後の第 1 フレームの R/W ビットによりハードウェアによって自動的に受信モードまたは送信モードに設定されます。これらハードウェアによってセットまたはクリアされたビットは一度読み出すことによって再設定が可能になります。転送中の TRS ビットの変更はアクノリッジを含めたフレーム転送完了まで保留され、転送完了後に切り替わります。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
3	ACKE	0	R/W	<p>ACKノリッジビット判定選択</p> <p>1: 受信したACKノリッジビットが1のとき転送を中断します。</p> <p>0: 受信したACKノリッジビットを無視して連続的に転送を行います。受信したACKノリッジビットはACKBビットに反映されず、常時0となります。</p> <p>H8S/2268 グループでは転送を連続的に行うために、DTC*を利用することができます。DTC*は、2つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが1にセットされた場合に起動します。ACKE ビットが0の場合、ACKノリッジビットの内容にかかわらずデータ送信完了時に TDRE、IRIC、IRTR フラグがセットされます。ACKE ビットが1の場合、ACKノリッジビットが0でデータ送信が完了すると TDRE、IRIC、IRTR フラグがセットされ、ACKノリッジビットが1でデータ送信が完了すると IRIC フラグだけがセットされます。</p> <p>DTC*が起動されると、所定のデータ転送を実行した後、TDRE、IRIC、IRTR フラグを0にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが1の場合にACKノリッジビットが1でデータ送信が完了すると、DTC*は起動されず、許可されていれば割り込みが発生します。</p> <p>ACKノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、まったく意味をもたせず1固定の場合があります。</p> <p>【注】* H8S/2268 グループのみサポートします。</p>
2	BBSY	0	R/W	<p>バスビジー</p> <p>スレープモードではBBSY フラグをリードすることにより、I<sup>2</sup>C バスが占有されているか解放されているかを確認できます。BBSY フラグは、SCL = High レベルの状態ではSDAがHighレベルからLowレベルに変化すると開始条件が発行されると認識し、1にセットされます。SCL = High レベルの状態ではSDAがLowレベルからHighレベルに変化すると停止条件が発行されると認識し、0にクリアされます。スレープモード時のBBSY フラグのライトは無効です。</p> <p>マスタモードでは開始条件、停止条件の発行に使用します。開始条件を発行する場合、BBSY に1、SCP に0をライトします。開始条件の再送信も同様です。停止条件の発行はBBSY に0、SCP に0をライトすることで行います。開始条件/停止条件の発行には、MOV 命令を用いてください。開始条件の発行に先立って、I<sup>2</sup>C バスインタフェースをマスタ送信モードに設定する必要があります。</p>

14. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R/W	<p>I<sup>2</sup>C バスインタフェース割り込み要求フラグ</p> <p>表 14.4 を併せて参照してください。</p> <p>[ セット条件 ]</p> <p>I<sup>2</sup>C バスフォーマットでマスタモードのとき</p> <ul style="list-style-type: none"> <li>開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため TDRE フラグが 1 にセットされたとき)</li> <li>WAIT=1 で、データとアクノリッジの間にウェイトを挿入したとき</li> <li>データ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</li> <li>バス競合負けの後、スレーブアドレスを受信したとき</li> <li>ACKE ビットが 1 で、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</li> </ul> <p>I<sup>2</sup>C バスフォーマットでスレーブモードのとき</p> <ul style="list-style-type: none"> <li>スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、およびその後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</li> <li>ゼネラルコールアドレス (R<math>\bar{W}</math> ビットも含めた 1 フレームが H'00) を検出したとき (ADZ フラグが 1 にセットされたとき)、およびその後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</li> <li>ACKE ビットが 1 で、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</li> <li>停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき)</li> </ul> <p>クロック同期式シリアルフォーマットのとき</p> <ul style="list-style-type: none"> <li>データ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</li> <li>シリアルフォーマットで開始条件を検出したとき</li> </ul> <p>上記のほか、TDRE、RDRF 内部フラグが 1 にセットされる条件が発生したとき</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> <li>DTC で ICDR をリード/ライトしたとき (H8S/2268 グループのみ) (TDRE または RDRF フラグが 0 にクリアされたとき) (クリア条件とならない場合もあるため詳細は「14.4.8 DTC による動作」を参照)</li> </ul>
0	SCP	1	W	<p>開始条件 / 停止条件発行禁止ビット</p> <p>SCP ビットはマスタモードでの開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットは、リードすると常に 1 が読み出されます。ライトしてもデータは格納されません。</p>

## 14. I<sup>2</sup>C バスインタフェース (IIC)

I<sup>2</sup>C バスフォーマットで IRIC = 1 となり割り込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

内部フラグである TDRE または RDRF フラグがセットされたとき、リード可能な IRTR フラグがセットされる場合とされない場合があります。H8S/2268 グループにおいて DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I<sup>2</sup>C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、内部フラグである TDRE または RDRF フラグがセットされていない場合があります。H8S/2268 グループにて DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため TDRE または RDRF フラグはクリアされています。

各フラグと転送状態の関係を表 14.4 に示します。

表 14.4 フラグと転送状態の関係

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	状態
1/0	1/0	0	0	0	0	0	0	0	0	0	アイドル状態 (フラグクリア要)
1	1	0	0	0	0	0	0	0	0	0	開始条件発行
1	1	1	0	0	1	0	0	0	0	0	開始条件成立
1	1/0	1	0	0	0	0	0	0	0	0/1	マスタモードウェイト
1	1/0	1	0	0	1	0	0	0	0	0/1	マスタモード送受信終了
0	0	1	0	0	0	1/0	1	1/0	1/0	0	アービトレーションロスト
0	0	1	0	0	0	0	0	1	0	0	スレーブモード第1フレームで SAR に一致
0	0	1	0	0	0	0	0	1	1	0	ゼネラルコールアドレスに一致
0	0	1	0	0	0	1	0	0	0	0	SARX に一致
0	1/0	1	0	0	0	0	0	0	0	0/1	スレーブモード送受信終了 (SARX 一致後以外)
0	1/0	1	0	0	1	1	0	0	0	0	スレーブモード送受信終了 (SARX 一致後)
0	1	1	0	0	0	1	0	0	0	1	スレーブモード送受信終了 (SARX 一致後)
0	1/0	0	1/0	1/0	0	0	0	0	0	0/1	停止条件検出

14.3.7 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ICSR はステータスフラグで構成されます。

ビット	ビット名	初期値	R/W	説明
7	ESTP	0	R/(W)*	エラー停止条件検出フラグ I <sup>2</sup> C バスフォーマットでスレーブモードのとき有効 [セット条件] <ul style="list-style-type: none"> <li>フレームの転送の途中で停止条件を検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> <li>IRIC フラグが0にクリアされたとき</li> </ul>
6	STOP	0	R/(W)*	正常停止条件検出フラグ I <sup>2</sup> C バスフォーマットでスレーブモードのとき有効 [セット条件] <ul style="list-style-type: none"> <li>フレームの転送の完了後に停止条件を検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> <li>IRIC フラグが0にクリアされたとき</li> </ul>
5	IRTR	0	R/(W)*	I <sup>2</sup> C バスインタフェース連続送受信割り込み要求フラグ [セット条件] I <sup>2</sup> C バスフォーマットでスレーブモードのとき <ul style="list-style-type: none"> <li>AASX = 1 の状態で TDRE または RDRF フラグが1にセットされたとき</li> </ul> I <sup>2</sup> C バスフォーマットでスレーブモードのとき以外 <ul style="list-style-type: none"> <li>TDRE または RDRF フラグが1にセットされたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> <li>ICE = 1 の状態で IRIC フラグが0にクリアされたとき</li> </ul>
4	AASX	0	R/(W)*	第2スレーブアドレス認識フラグ [セット条件] <ul style="list-style-type: none"> <li>スレーブ受信モード、FSX = 0 で第2スレーブアドレスを検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> <li>開始条件を検出したとき</li> <li>マスタモードのとき</li> </ul>

## 14. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
3	AL	0	R/(W)*	<p>アービトレーションロストフラグ</p> <p>マスタモード時にバス競合負けをしたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき</li> <li>• SCL の立ち下がり で内部 SCL が High レベルのとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• ICDR をライト (送信時) またはリード (受信時) したとき</li> </ul>
2	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• スレーブ受信モードかつ FS=0 でスレーブアドレスまたはゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき</li> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• マスタモードのとき</li> </ul>
1	ADZ	0	R/(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードで開始条件直前の第 1 フレームでゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• スレーブ受信モードかつ (FSX=0 または FS=0) でゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき</li> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• マスタモードのとき</li> </ul> <p>FS=1 かつ FSX=0 でゼネラルコールアドレスを検出した場合、ADZ フラグは 1 にセットされますがゼネラルコールアドレスは認識されません。(AAS フラグは 1 にセットされません。)</p>

ビット	ビット名	初期値	R/W	説明
0	ACKB	0	R/W	<p>アクノリッジビット</p> <p>アクノリッジデータを格納するビットです。</p> <p>送信モード</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>送信モードかつ ACKE=1 でアクノリッジビットとして1を受信したとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>送信モードかつ ACKE=1 でアクノリッジビットとして0を受信したとき</li> <li>ACKE ビットに0をライトしたとき</li> </ul> <p>受信モード</p> <p>0: データを受信した後、アクノリッジデータとして0を送出します。</p> <p>1: データを受信した後、アクノリッジデータとして1を送出します。</p> <p>本ビットをリードすると、送信時 (TRS=1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS=0 のとき) には設定した値が読み出されます。</p> <p>また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。ICSR レジスタのフラグをビット操作命令によって書き換えた場合は、ACKB ビットのリード値でアクノリッジデータの設定値を書き換えますので、再度アクノリッジデータを設定し直してください。</p> <p>マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに0をライトして ACKB フラグを0にクリアしてください。</p>

【注】 \* フラグをクリアするための0ライトのみ可能です。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

### 14.3.8 DDC スイッチレジスタ (DDCSWR)

DDCSWR は I<sup>2</sup>C バスインタフェースの内部ラッチクリアの制御を行います。

ビット	ビット名	初期値	R/W	説 明
7~4		すべて 0	R/(W)* <sup>1</sup>	リザーブビット 0 をライトしてください。
3	CLR3	1	W	I <sup>2</sup> C バスインタフェースクリア 3~0 CLR3~CLR0 ビットの設定により、I <sup>2</sup> C バスインタフェースの内部ラッチ回路へのクリア信号が発生し、内部状態を初期化します。なお、CLR3~CLR0 へのライトデータは保持されません。I <sup>2</sup> C バスインタフェースをクリアする場合は必ず MOV 命令を使用してください。BCLR 命令などのビット操作命令は使用しないでください。  00xx : 設定禁止 0100 : 設定禁止 0101 : IIC_0 内部ラッチクリア 0110 : IIC_1* <sup>2</sup> 内部ラッチクリア 0111 : IIC_0、IIC_1* <sup>2</sup> 内部ラッチクリア 1xxx : 設定無効
2	CLR2	1	W	
1	CLR1	1	W	
0	CLR0	1	W	

【記号説明】 x : Don't Care

【注】 \*1 0 ライトのみ可能です。

\*2 H8S/2268 グループのみサポートします。



## 14.4 動作説明

I<sup>2</sup>C バスインタフェースには、I<sup>2</sup>C バスフォーマットとクロック同期式シリアルフォーマットがあります。

### 14.4.1 I<sup>2</sup>C バスデータフォーマット

I<sup>2</sup>C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットが付加されます。アドレッシングフォーマットは開始条件に続く第1フレームは必ず8ビット構成となります。I<sup>2</sup>C バスフォーマットを図14.3に示します。クロック同期式シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットはありません。これを図14.4に示します。I<sup>2</sup>C バスタイミングを図14.5に示します。

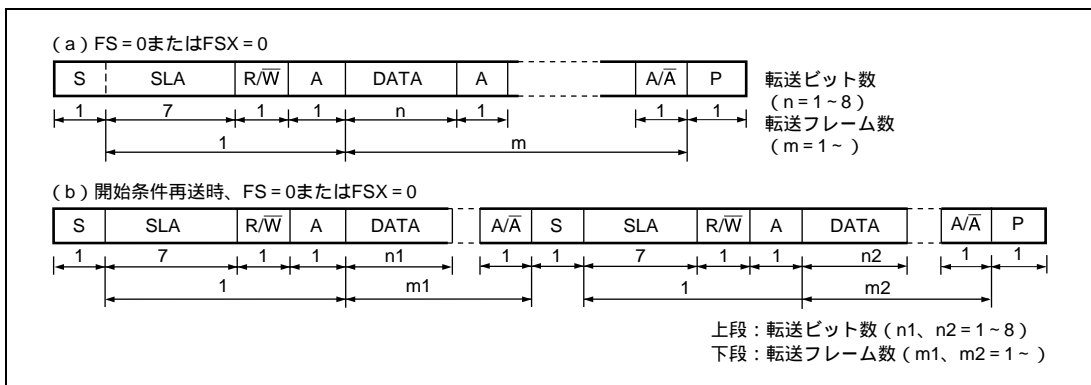


図 14.3 I<sup>2</sup>C バスデータフォーマット (I<sup>2</sup>C バスフォーマット)

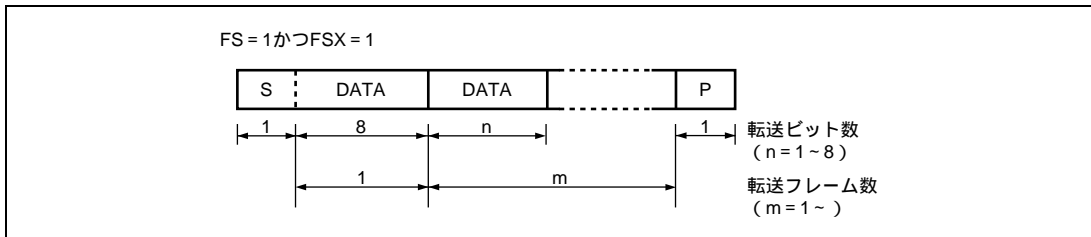


図 14.4 I<sup>2</sup>C バスデータフォーマット (クロック同期式シリアルフォーマット)

## 14. I<sup>2</sup>C バスインタフェース (IIC)

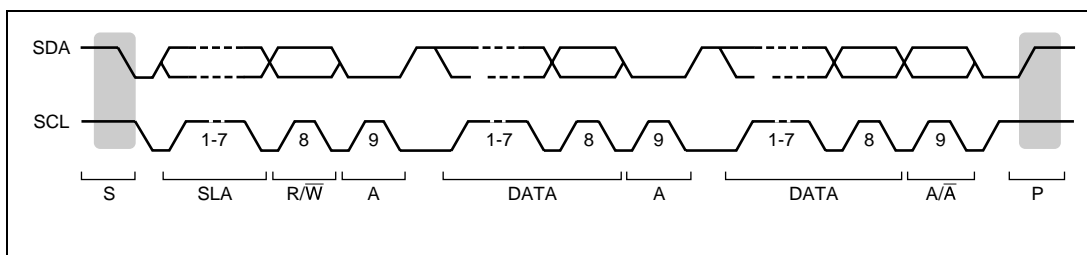


図 14.5 I<sup>2</sup>C バスタイミング

### 記号の説明

- S : 開始条件。マスタデバイスが SCL = High レベルの状態 で SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態 で SDA を Low レベルから High レベルに変化させます。

## 14.4.2 初期設定

データ送信 / 受信を開始するとき、以下の手順に従い IIC を初期化してください。

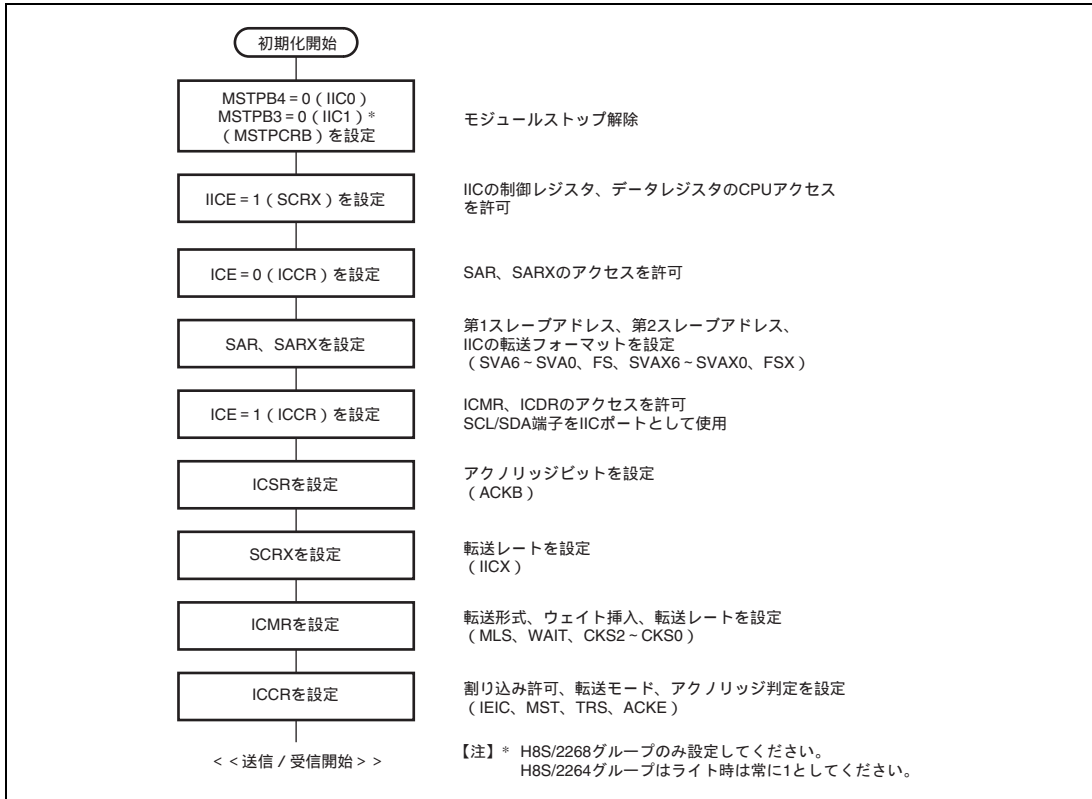


図 14.6 IIC の初期化フローチャートの例

- 【注】 ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。  
送受信動作の途中でICMRレジスタに対しライト動作を行うと、ビットカウンタBC2 ~ BC0の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

### 14.4.3 マスタ送信動作

I<sup>2</sup>C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

図 14.7 にマスタ送信モードのフローチャート例を示します。

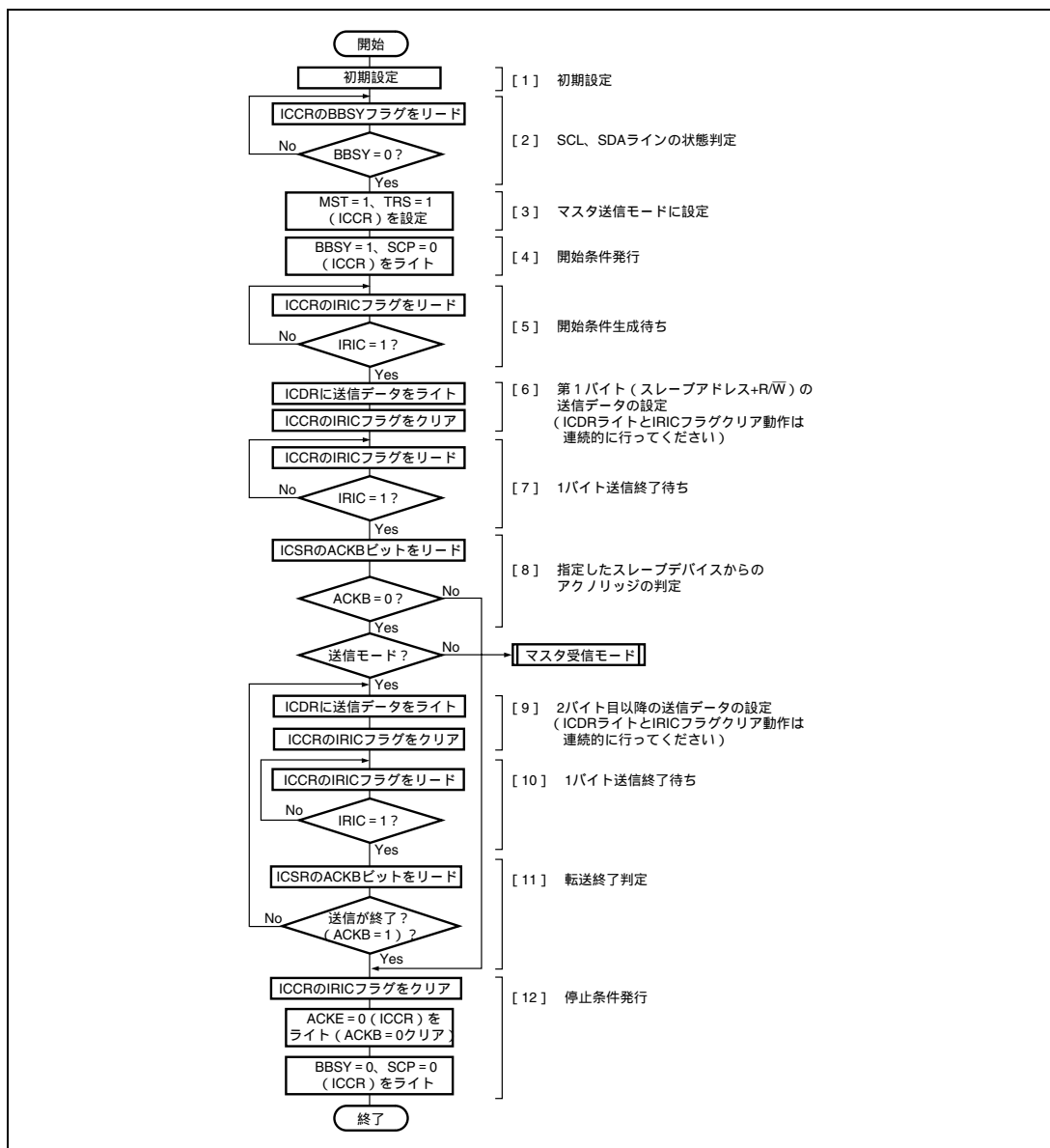


図 14.7 マスタ送信モードフローチャート例

以下に ICDR のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「14.4.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY = 1かつSCP = 0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ (スレーブアドレス + R/W) をライトします。  
I<sup>2</sup>Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信 / 受信の方向 (R/W) を示します。  
次に転送終了を判断するためIRICフラグを0にクリアします。ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。  
マスタデバイスは図14.8で示すタイミングで送信クロックとICDRにライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB = 0であることを確認します。スレーブデバイスがアクノリッジを返さずACKB = 1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。  
次に転送終了を判断するためIRICフラグを0にクリアします。  
ここで6.と同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。  
次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
11. ICSRのACKBビットをリードします。  
スレーブデバイスがアクノリッジを返しACKB = 0となっていることを確認します。引き続きデータを送信する場合には、9.に戻り次の送信動作に移ります。一方、スレーブデバイスがアクノリッジを返さずACKB = 1となっている場合は、12.の送信終了処理を行います。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

### 12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY = 0かつSCP = 0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

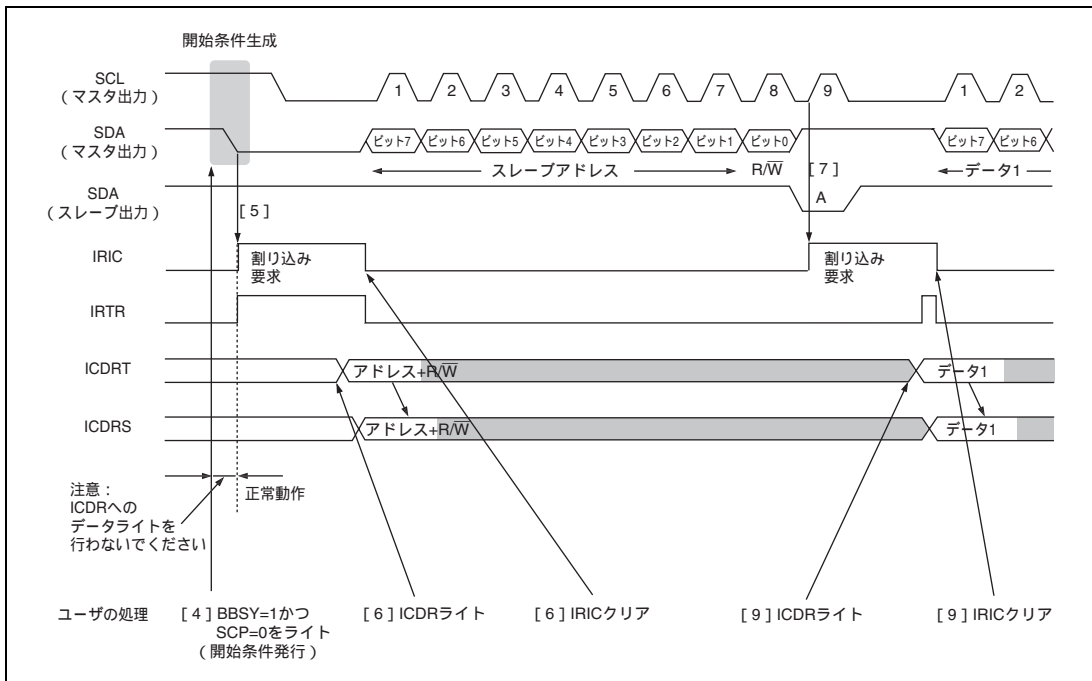


図 14.8 マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

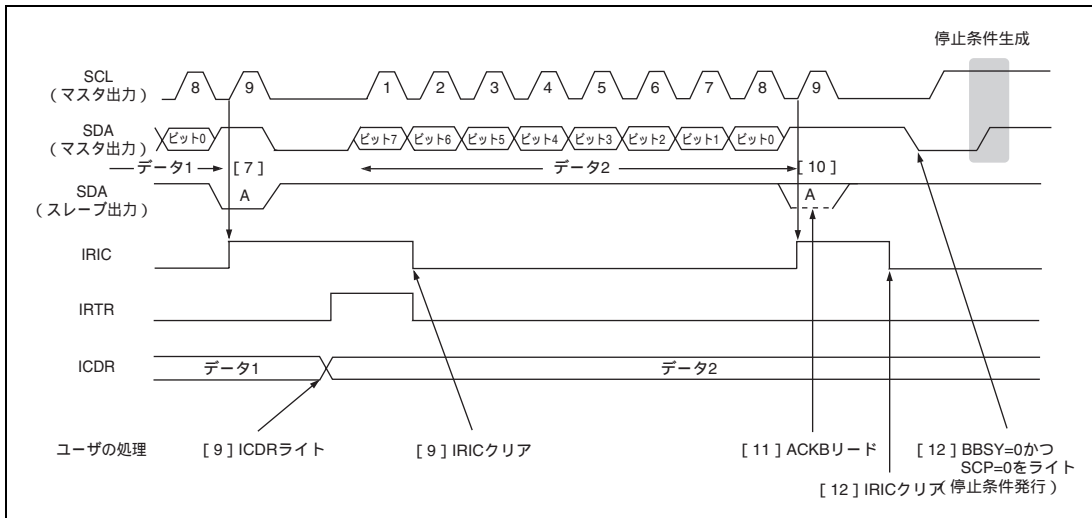


図 14.9 マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)

#### 14.4.4 マスタ受信動作

I<sup>2</sup>C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アックノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス + R $\bar{W}$  (0: リード) のデータを送信し、スレーブデバイスを選択したあと、受信動作に切り替えます。

##### (1) ウェイトを利用した受信動作

図 14.10、図 14.11 にマスタ受信モードのフローチャート例 (WAIT=1) を示します。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

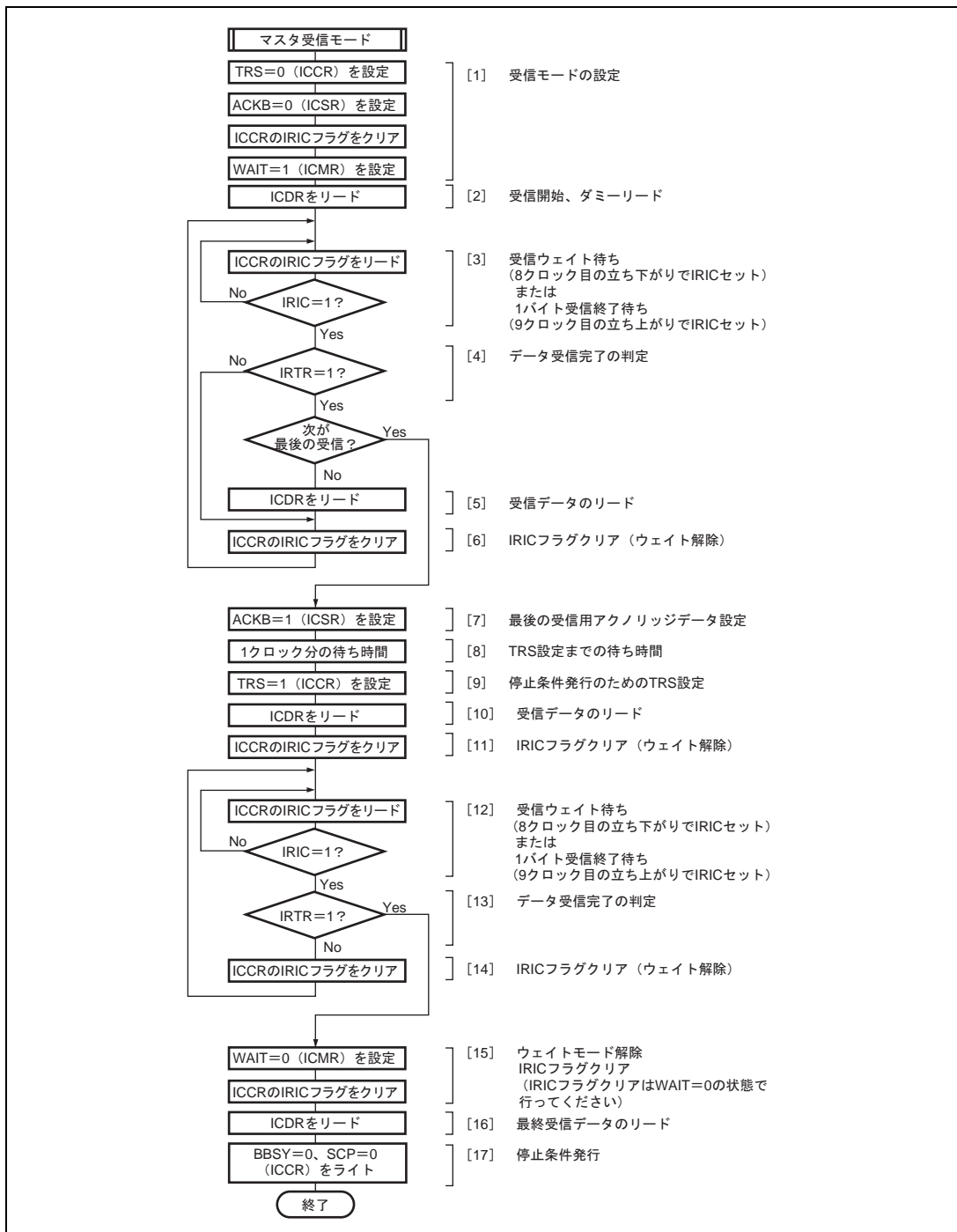


図 14.10 マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)



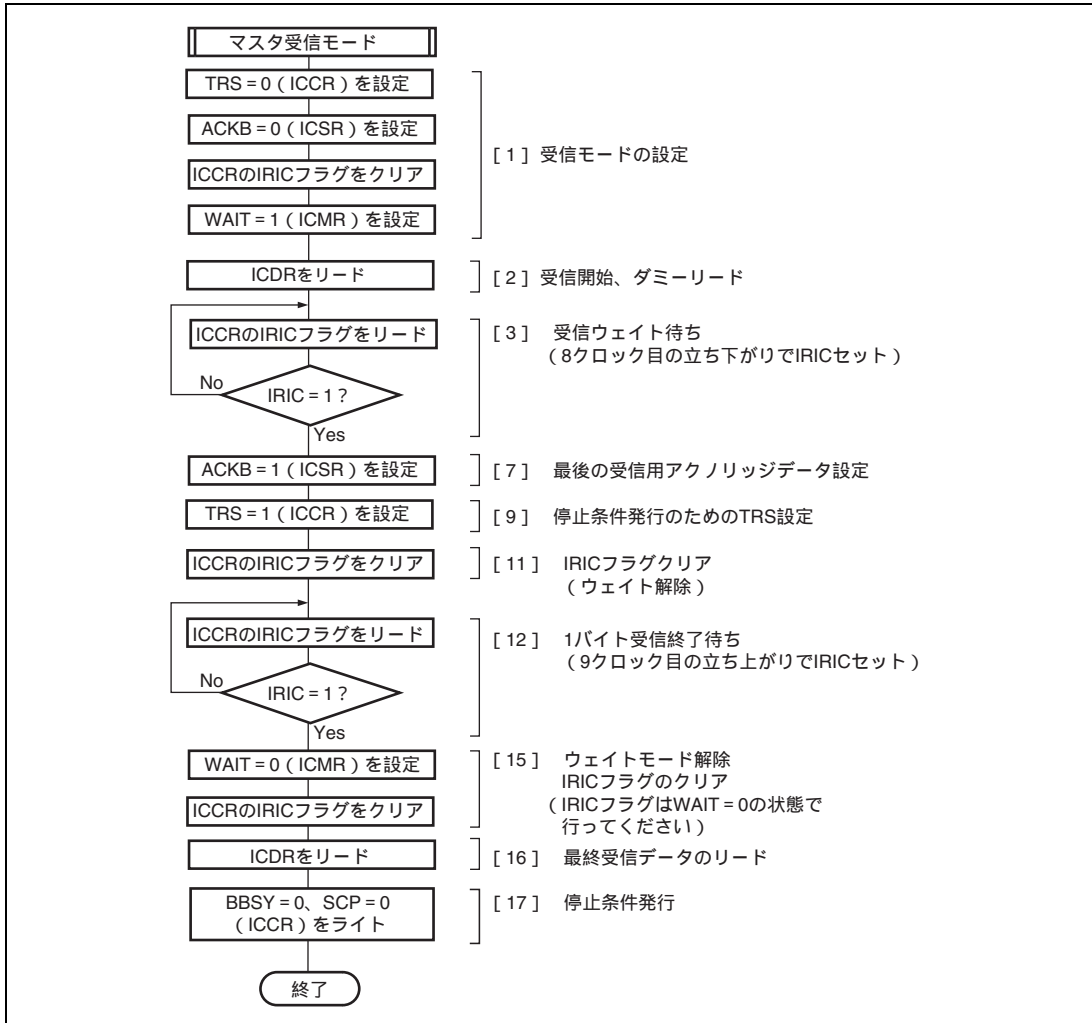


図 14.11 マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

以下にウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1バイトのみ受信の場合は一部手順が省略されますので、図 14.11 のフローチャートに従って動作を行ってください。

- ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。  
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)  
IRICフラグを0にクリアし、そのあとにICMRのWAITビットを1にセットします。
- ICDRをリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、デ

## 14. I<sup>2</sup>C バスインタフェース (IIC)

---

ータを受信します。

3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。

(1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。

(2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

IRTRフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。

4. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は6.のIRICフラグクリアでウェイト解除を行います。

IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、7.の終了処理を行ってください。

5. IRTRフラグが1の場合は、ICDRの受信データをリードします。

6. IRICフラグを0にクリアします。ここで5.のICDRのリードとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。ウェイト動作時はBC2~0カウンタの値が2以上のときにIRICフラグのクリアを行ってください。BC2~0カウンタの値が1または0のときにIRICフラグのクリアを行うと転送終了を判定することができなくなります。3.(1)の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

3.から6.を繰り返し行うことにより、データを受信することができます。

7. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。

8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間を取り、次の受信データの1クロック目が立ち上がるのを待ちます。

9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。

10. ICDRの受信データをリードします。

11. IRICフラグを0にクリアします。ここで6.と同様にICDRのリードとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。ウェイト動作時はBC2~0カウンタの値が2以上のときにIRICフラグのクリアを行ってください。

12. IRICフラグが以下の2条件で1にセットされます。

(1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。

(2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

IRTRフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。

13. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は14.のIRICフラグクリアでウェイト解除を行います。

IRTRフラグが1で受信動作が完了している場合は、15.の停止条件発行処理を行ってください。

14. IRTRフラグが0の場合は、IRICフラグを0にクリアし、ウェイトを解除します。

受信動作の完了を検出するため12.のIRICフラグリードに戻ります。

15. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。

その後、IRICフラグを0にクリアします。

IRICフラグのクリアはWAIT=0の状態で行ってください。

(IRICフラグを0にクリアしたあとにWAITビットを0にクリアし、停止条件発行命令を実行した場合、停止条件が正常に出力されない場合があります。)

16. ICDRにある最終受信データをリードします。

17. ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

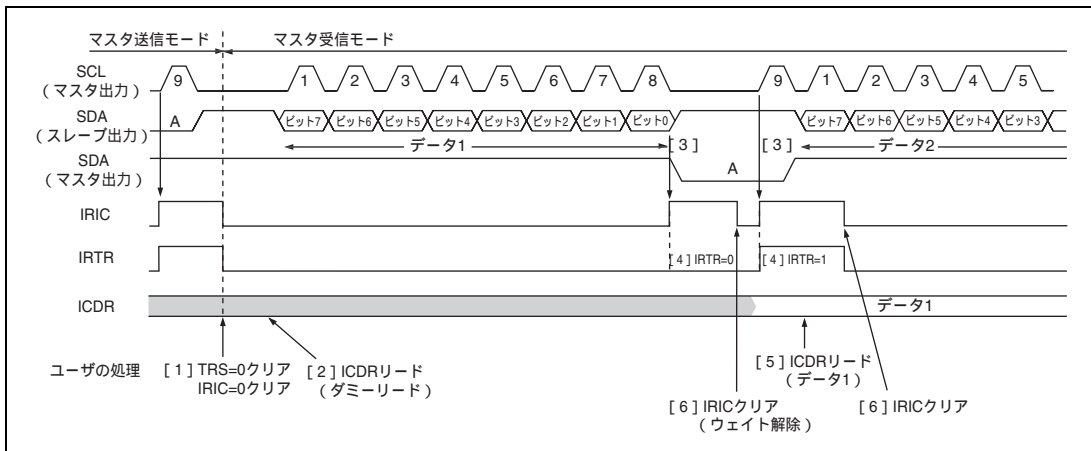


図 14.12 マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

## 14. I<sup>2</sup>C バスインタフェース (IIC)

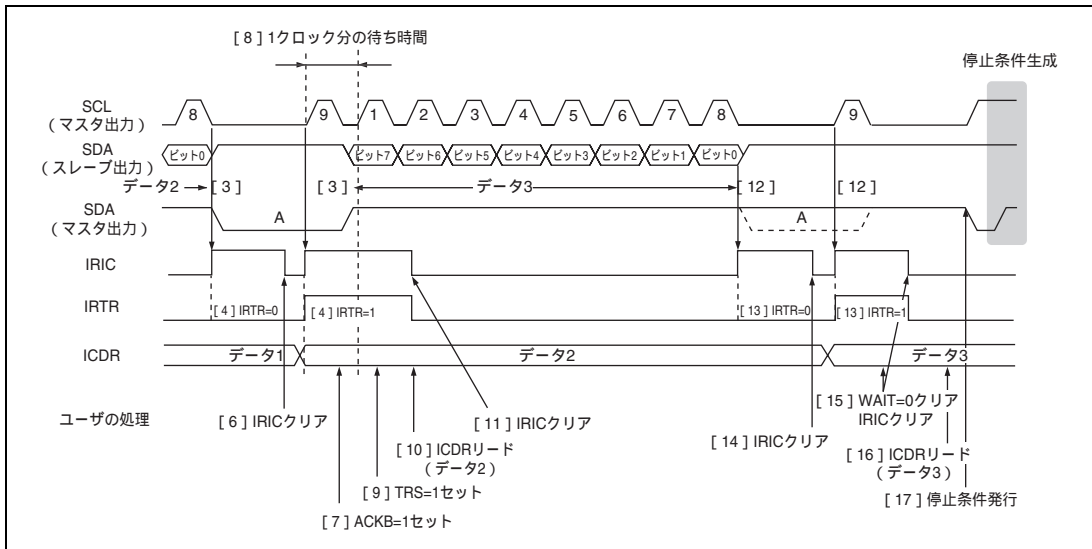


図 14.13 マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

### 14.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブデバイスは、マスタが発行する開始条件後の第1フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

図 14.14 にスレーブ受信モード時のフローチャート例を示します。

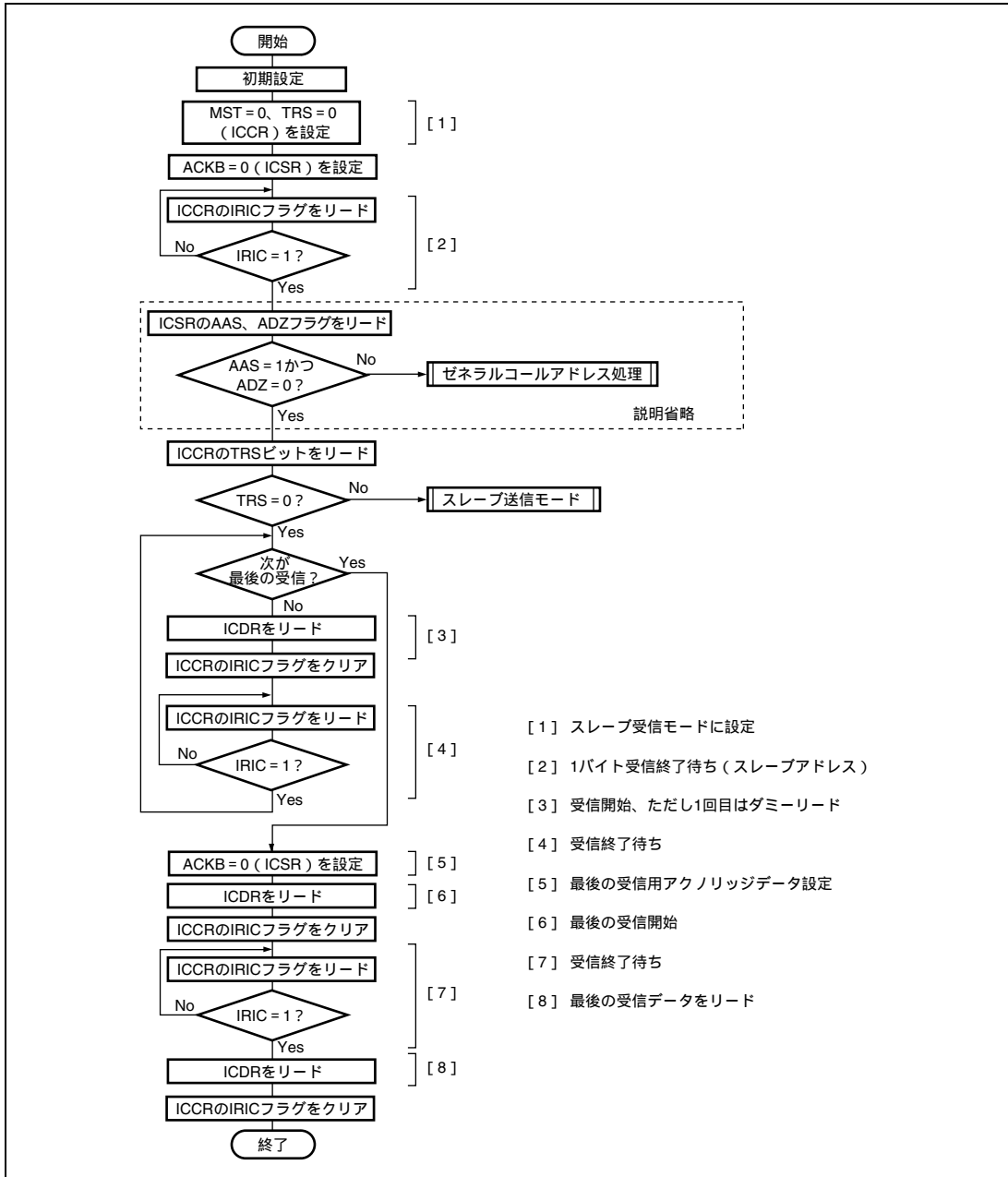


図 14.14 スレープ受信モードフローチャート例

## 14. I<sup>2</sup>C バスインタフェース (IIC)

1. ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
2. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。
3. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R/W) が0のときICCRのTRSビットは0のまま変化せず、スレーブ受信動作を行います。
4. 受信フレームの9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。このとき、RDRF内部フラグが0にクリアされていると、RDRF内部フラグを1にセットして引き続き受信動作を行います。RDRF内部フラグが1にセットされていると、スレーブデバイスは受信クロックの立ち上がりからICDRにデータをリードするまでSCLをLowレベルにします。
5. ICDRをリードし、ICCRのIRICフラグを0にクリアします。このときRDRFフラグが0にクリアされます。ここでICDRのリードとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

4から5を繰り返し行うことにより、受信動作を継続できます。SCLがHighレベルのとき、SDAがLowレベルからHighレベルに変化し停止条件を検出すると、ICCRのBBSYフラグが0にクリアされます。

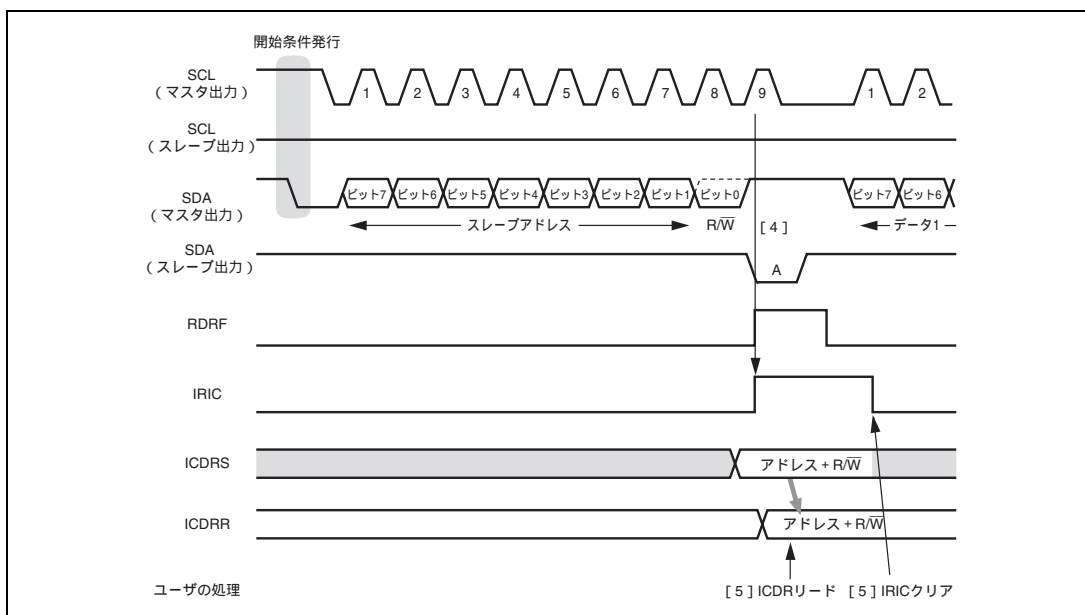


図 14.15 スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0 のとき)

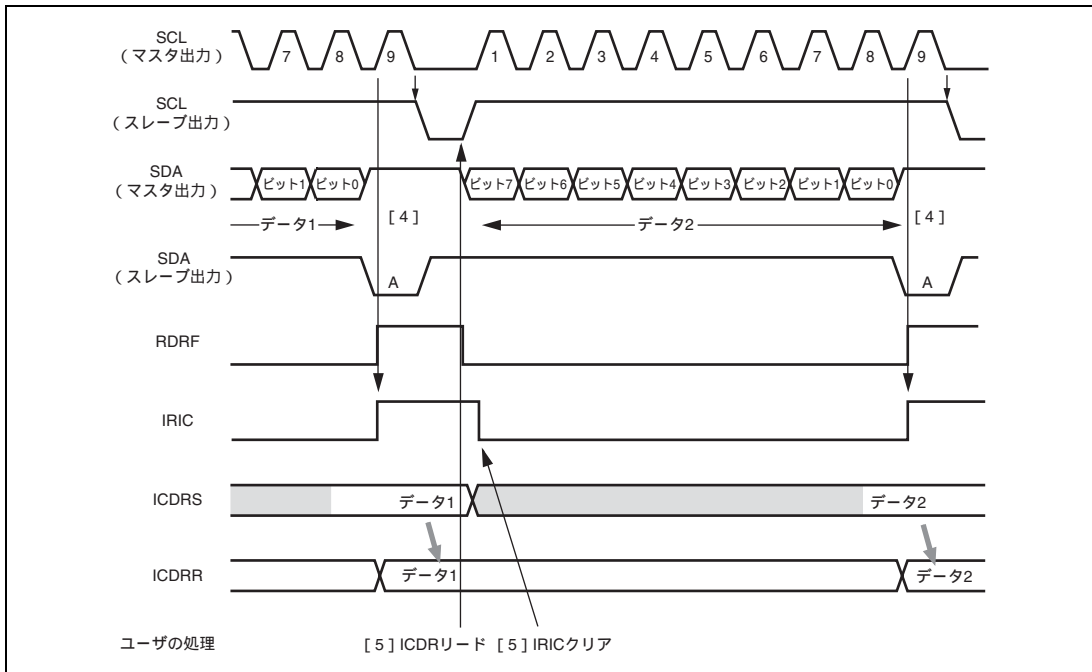


図 14.16 スレープ受信モード動作タイミング例 2 (MLS = ACKB = 0 のとき)

## 14.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第1フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ8ビット目のデータ（R/W）が1（リード）のときに ICCR の TRS ビットが自動的に1にセットされ、スレーブ送信モードになります。

図 14.17 にスレーブ送信モードのフローチャート例を示します。

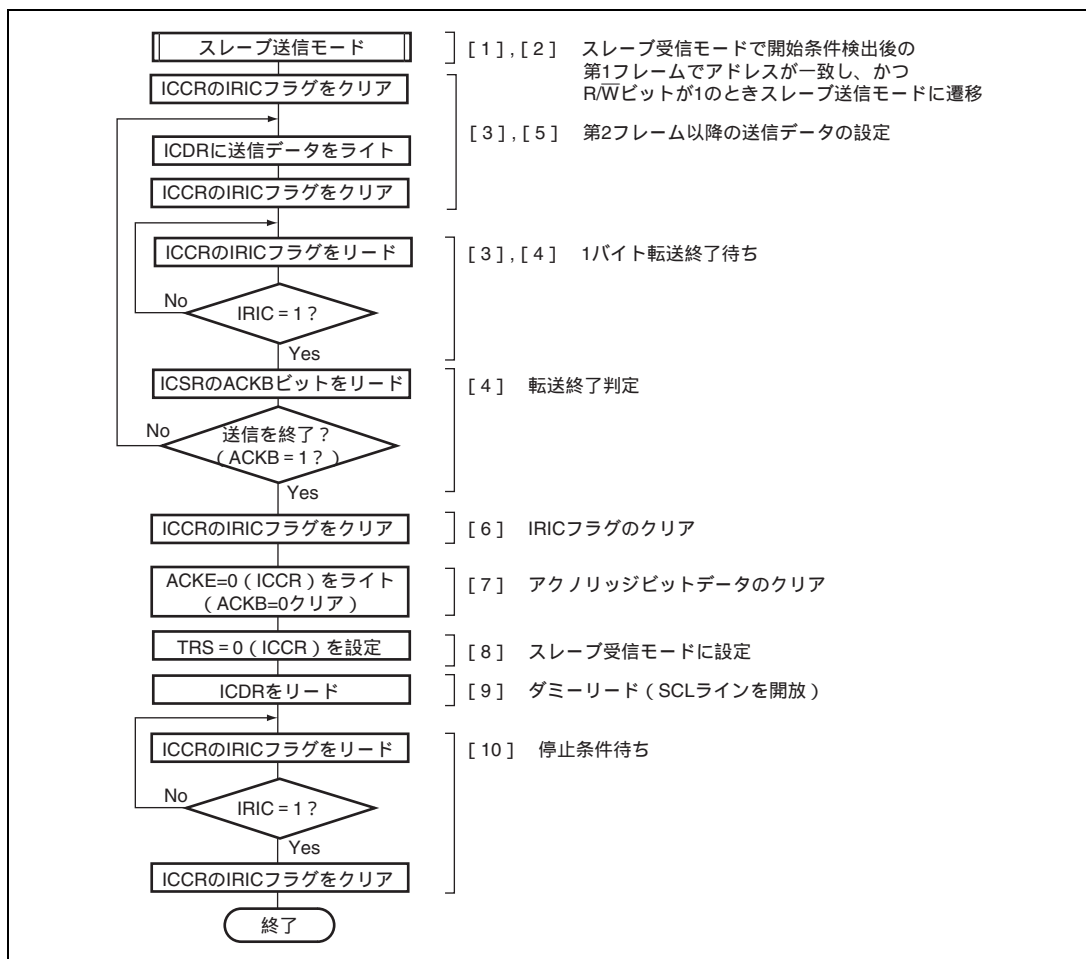


図 14.17 スレーブ送信モードフローチャート例

スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。

スレーブ受信モードの初期設定時、ICCRのACKEビットに1をライトしてください。



スレーブ送信モードに遷移後、アクノリッジビットの受信を有効にするために必要になります。

2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。また、8ビット目のデータ (R/W) が1のときTRSビットが1にセットされ、自動的にスレーブ送信モードになります。9クロックの立ち上がりのタイミングでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされているとCPUに対し割り込み要求を発生します。このとき、TDRE内部フラグは1にセットされています。スレーブデバイスは送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにしマスタデバイスが次の転送クロックを出力できないようにします。

3. IRICフラグを0にクリア後、ICDRに送信データをライトします。このときTDRE内部フラグは0にクリアされます。ライトされたデータはICDRSに転送され、TDRE内部フラグとIRICフラグが再び1にセットされます。スレーブデバイスはマスタデバイスが出力するクロックに従い、ICDRSに転送されたデータを順次送出します。

送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に割り込み処理を含む他の処理が入らないようにしてください。もし、IRICフラグのクリアまでに1バイト分の転送時間が経過した場合には、転送終了を判定することができなくなります。

4. マスタデバイスは転送フレームの9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKCビットが1のとき、ACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。TDRE内部フラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、TDRE内部フラグとIRICフラグが再び1にセットされます。TDRE内部フラグが1にセットされていると、送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにします。

5. 送信を続ける場合は、次に送信するデータをICDRにライトします。このときTDRE内部フラグは0にクリアされます。送信完了を検知するためにIRICフラグを0にクリアします。ICDRライトからIRICフラグクリアまでは連続的に行い、この間に割り込み処理を含む他の処理が入らないようにしてください。

4.から5.を繰り返し行うことにより、送信動作を継続できます。

6. IRICフラグを0にクリアします。
7. 送信を終了する場合は、ICCRのACKCビットを0にクリアし、ACKBビットに格納されているアクノリッジビットの値を0にクリアします。
8. 次のアドレス受信動作のため、TRSビットを0にクリアし、スレーブ受信モードに設定します。
9. スレーブ側でSCLを開放するためにICDRをダミーリードします。
10. SCLがHighレベルのときSDAがLowレベルからHighレベルに変化して停止条件を検出すると、ICCRのBBSYフラグが0にクリアされ、ICSRのSTOPフラグが1にセットされます。同時にIRICフラグが1にセットされます。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

IRICフラグがセットされているときは、IRICフラグを0にクリアします。  
 再度スレーブ送信動作を行う場合は、初期設定から実施してください。

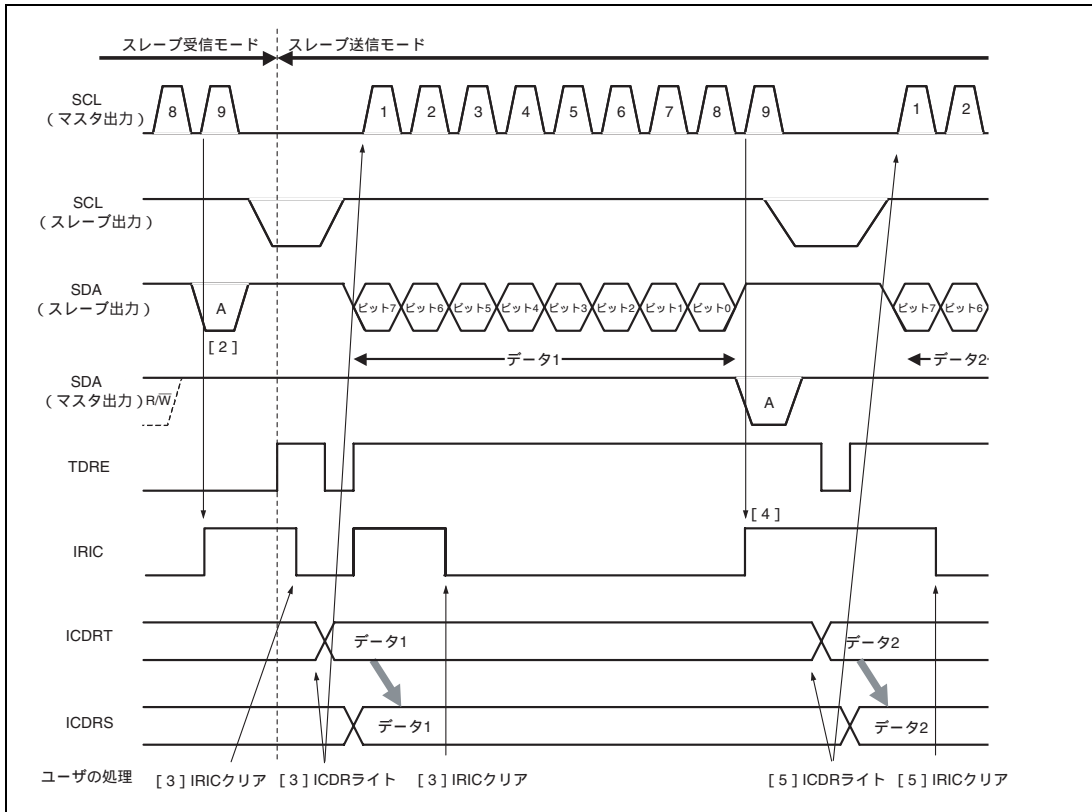


図 14.18 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

#### 14.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、TDRE や RDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 14.19 に IRIC セットタイミングと SCL 制御を示します。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

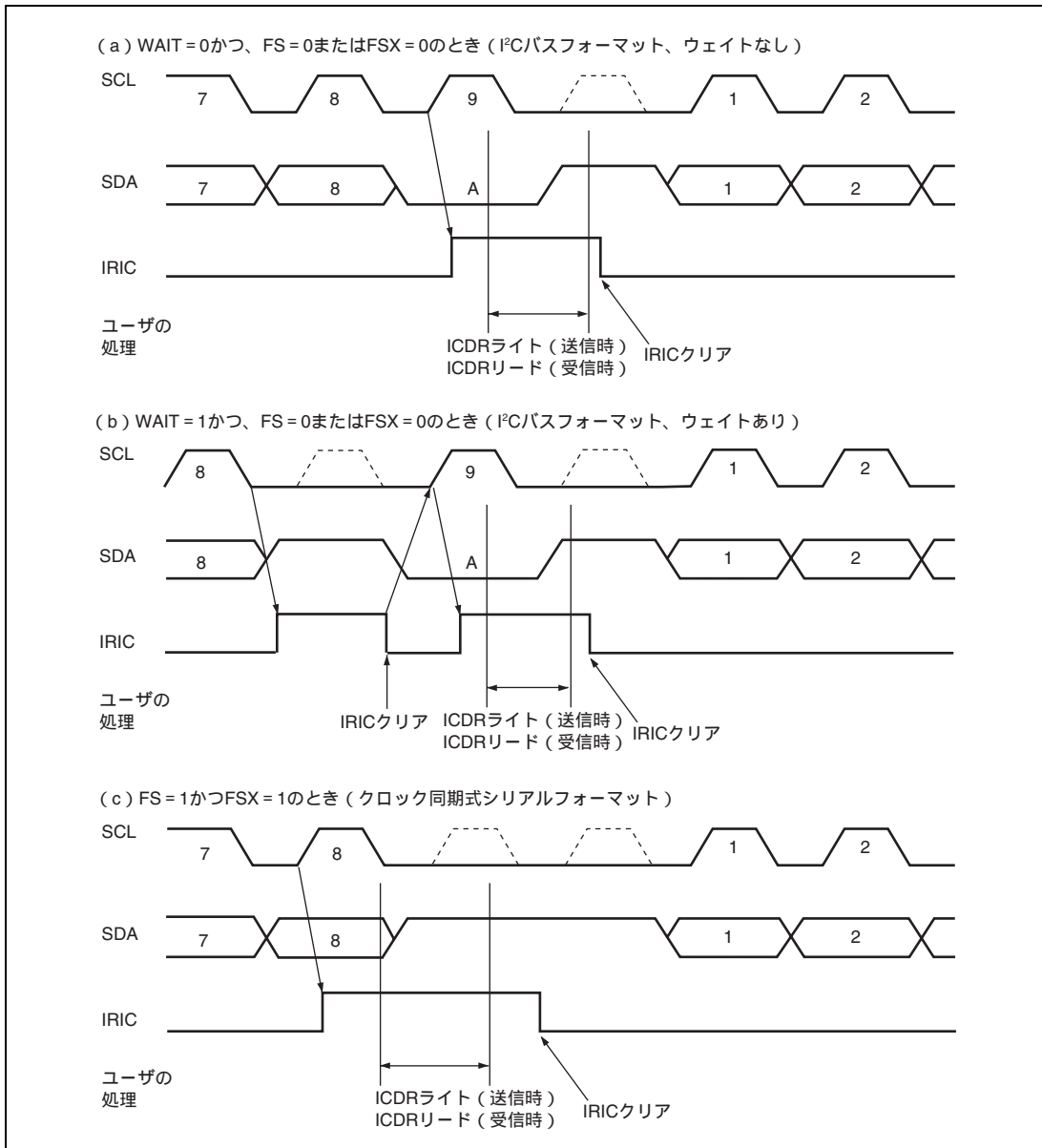


図 14.19 IRIC セットタイミングと SCL 制御

## 14.4.8 DTC による動作 (H8S/2268 グループのみ)

I<sup>2</sup>C バスフォーマットでは、スレーブアドレスと R/W ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 14.5 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数がわかっていると仮定しています。

表 14.5 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R/W ビット送信 / 受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	—	CPU で処理 (ICDR リード)	—	—
本体データ送信 / 受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H'FF) ライト	—	—	DTC で処理 (ICDR ライト)	—
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の転送要求処理	1 回目 : CPU でクリア 2 回目 : CPU で終了条件発生	不要	ダミーデータ (H'FF) 送出中に終了条件を検出して自動的にクリア	不要
DTC 転送データフレーム数設定	送信 : 実データ数 + 1 (+1 は、スレーブアドレス + R/W ビット分)	受信 : 実データ数	送信 : 実データ数 + 1 (+1 は、ダミーデータ (H'FF) 分)	受信 : 実データ数

## 14.4.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 14.20 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

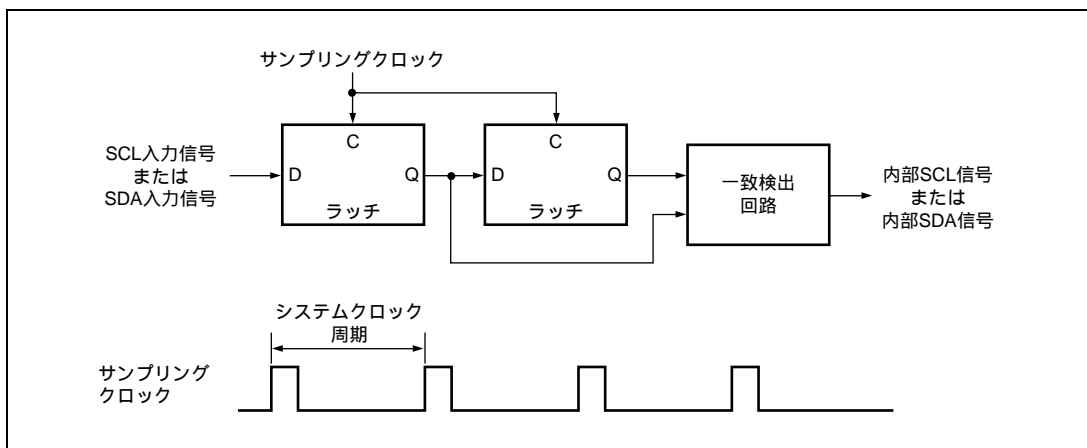


図 14.20 ノイズ除去回路のブロック図

## 14.4.10 内部状態の初期化

本 IIC は、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能を持っています。

初期化は、(1) DDCSWR レジスタの CLR3~CLR0 ビットの設定、または(2) ICE ビットのクリアにより実行されます。CLR3~CLR0 ビット設定の詳細は、「14.3.8 DDC スイッチレジスタ (DDCSWR)」を参照してください。

## (1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- TDRE、RDRF内部フラグ
- 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA端子出力状態を保持するための内部ラッチ（ウェイト、クロック、データ出力など）

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、DDCSWR、STCR)
- ICMR、ICCR、ICSR、DDCSWR各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ
- ICMRレジスタのビットカウンタ (BC2~BC0) の値

- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

#### (2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- DDCSWRレジスタにより初期化を行う場合、CLR3 ~ CLR0ビットのライトデータは保持されません。IICクリアを行う場合は、必ずMOV命令を使用し、CLR3 ~ CLR0ビットを同時に書き込んでください。BCLRなどのビット操作命令は使用しないでください。  
また、再度クリアが必要な場合は、同様にすべてのビットとも設定を行い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点でIICモジュールは送受信を中止しSCL、SDA端子を解放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、解放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

- (1) CLR3 ~ CLR0 ビットの設定、または ICE ビットによる内部状態の初期化実行
- (2) BBSY ビットを 0 にクリアするための、停止条件発行命令実行 (BBSY = 0 かつ SCP = 0 ライト) および、転送レート of 2 クロック分の期間ウェイト
- (3) CLR3 ~ CLR0 ビットの設定、または ICE ビットによる内部状態の初期化の再実行
- (4) IIC の各レジスタの初期化 (再設定)

## 14.5 割り込み要因

IIC の割り込み要因は、IIC1 があります。表 14.6 に各割り込み要因と優先順位を示します。各割り込み要因は、ICCR 割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 14.6 IIC 割り込み要因

チャンネル	名称	イネーブルビット	割り込み要因	割り込みフラグ	優先順位
0	IIC0	IEIC	I <sup>2</sup> C バスインタフェース割り込み要求	IRIC	高 ↑ 低
1	IIC1	IEIC	I <sup>2</sup> C バスインタフェース割り込み要求	IRIC	

## 14.6 使用上の注意事項

- マスタモードで、開始条件生成のための命令を発行した際、実際に開始条件が I<sup>2</sup>C バスに出力される前に停止条件生成のための命令を連続して発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を続けて出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDA が共に Low レベルになっていることを確認して、停止条件生成のための命令を発行してください。BBSY=0 となったタイミングでは、まだ SCL が Low レベルになっていない場合がありますので注意してください。
- 次の転送の開始条件は以下の2条件となっています。ICDR をアクセスする場合は注意してください。
  - ICE = 1、TRS = 1 の状態で ICDR にデータをライトしたとき (ICDRT ICDRS の自動転送を含む)
  - ICE = 1、TRS = 0 の状態で ICDR をリードしたとき (ICDRS ICDRR の自動転送を含む)
- SCL、SDA 出力は、内部クロックに同期して表 14.6 に示すタイミングで出力されます。実際のバス上でのタイミングは、さらにバスの負荷容量、直列抵抗、および並列抵抗によって決まる信号の立ち上がり / 立ち下がり時間の影響を受けます。

表 14.7 I<sup>2</sup>C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	tsCLO	28t <sub>cy</sub> ~ 256t <sub>cy</sub>	ns	
SCL 出力 High パルス幅	tsLHO	0.5tsCLO	ns	
SCL 出力 Low パルス幅	tsLLO	0.5tsCLO	ns	
SDA 出力バスフリー時間	tBUFO	0.5tsCLO 1t <sub>cy</sub>	ns	
開始条件出力ホールド時間	tSTAHO	0.5tsCLO 1t <sub>cy</sub>	ns	
再送開始条件出力セットアップ時間	tSTASO	1tsCLO	ns	
停止条件出力セットアップ時間	tSTOSO	0.5tsCLO+2t <sub>cy</sub>	ns	
データ出力セットアップ時間 (マスタ時)	tSDASO	1tsLLO 3t <sub>cy</sub>	ns	
データ出力セットアップ時間 (スレーブ時)		1tsLCL 3t <sub>cy</sub>	ns	
データ出力ホールド時間	tSDAHO	3t <sub>cy</sub>	ns	



- SCL、SDA入力は内部クロックに同期してサンプリングされます。そのため、ACタイミングは、「第25章 電気的特性」の表25.8のようにシステムクロックの周期 $t_{cyc}$ に依存します。システムクロック周波数が5MHzに満たないと、I<sup>2</sup>CバスインタフェースのACタイミング仕様を満足しなくなりますので注意してください。
- SCLの立ち上がり時間 $t_{sr}$ はI<sup>2</sup>Cバスインタフェースの仕様で1000ns(高速モード時は300ns)以内と定められています。本I<sup>2</sup>Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 $t_{sr}$ (Lowレベルから $V_{IH}$ まで変化する時間)が、I<sup>2</sup>Cバスインタフェースの入力クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表14.8に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 14.8 SCL 立ち上がり時間 ( $t_{sr}$ ) の許容範囲

IICX	$t_{cyc}$ 表示		時間表示 [ns]					
			I <sup>2</sup> C バス仕様(max.)	= 5MHz	= 8MHz	= 10MHz	= 16MHz	= 20MHz
0	7.5 $t_{cyc}$	標準モード	1000		937	750	468	375
		高速モード	300					
1	17.5 $t_{cyc}$	標準モード	1000					875
		高速モード	300					

- SCL、SDAの立ち上がり、立ち下がり時間は、I<sup>2</sup>Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I<sup>2</sup>CバスインタフェースのSCL、SDA出力タイミングは、表14.7に示すように $t_{cyc}$ によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI<sup>2</sup>Cバスインタフェースの仕様を満足しない場合があります。表14.9は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。表の値はIICX、CKS2～CKS0の設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I<sup>2</sup>Cバスインタフェースの仕様を満足するか検討してください。

$t_{BUFO}$ はどの周波数でもI<sup>2</sup>Cバスインタフェースの仕様を満足しません。これに対しては

- プログラムで停止条件発行から開始条件の発行まで必要なインターバル(1 $\mu$ s程度)を確保する。
- 入力タイミングがこの出力タイミングを許容するスレーブデバイスを選択する。

等検討してください。また、高速モード時の $t_{SCLLO}$ 、標準モード時の $t_{STASO}$ では、 $t_{sr} / t_{sf}$ をワーストケースとして計算した場合にI<sup>2</sup>Cバスインタフェースの仕様を満足しません。これに対しては

- プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整する。
  - 転送レートを下げて仕様を満足するよう調整する。
  - 入力タイミングがこの出力タイミングを許容するスレーブデバイスを選択する。
- 等検討してください。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

表 14.9 I<sup>2</sup>C バスタイミング (tsr/tsr 影響最大の場合)

項目	t <sub>cyc</sub> 表示	時間表示 (最大転送レート時) [ns]							
			tsr / tsr 影響 (max.)	I <sup>2</sup> C バス 仕様 (min.)	= 5MHz	= 8MHz	= 10MHz	= 16MHz	= 20MHz
tsCLHO	0.5tsCLO (-tsr)	標準モード	-1000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950
tsCLO	0.5tsCLO (-tsr)	標準モード	-250	4700	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000 <sup>*1</sup>	1000 <sup>*1</sup>	1000 <sup>*1</sup>	1000 <sup>*1</sup>	1000 <sup>*1</sup>
tBUFO	0.5tsCLO-1t <sub>cyc</sub> (-tsr)	標準モード	-1000	4700	3800 <sup>*1</sup>	3875 <sup>*1</sup>	3900 <sup>*1</sup>	3938 <sup>*1</sup>	3950 <sup>*1</sup>
		高速モード	-300	1300	750 <sup>*1</sup>	825 <sup>*1</sup>	850 <sup>*1</sup>	888 <sup>*1</sup>	900 <sup>*1</sup>
tSTAHO	0.5tsCLO-1t <sub>cyc</sub> (-tsr)	標準モード	-250	4000	4550	4625	4650	4688	4700
		高速モード	-250	600	800	875	900	938	950
tSTASO	1tsCLO (-tsr)	標準モード	-1000	4700	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200
tSTOSO	0.5tsCLO+2t <sub>cyc</sub> (-tsr)	標準モード	-1000	4000	4400	4250	4200	4125	4100
		高速モード	-300	600	1350	1200	1150	1075	1050
tsDASO マスタ時	1tsCLO* <sup>2</sup> - 3t <sub>cyc</sub> (-tsr)	標準モード	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
tsDASO スレーブ時	1tsCLO* <sup>2</sup> - 3t <sub>cyc</sub> * <sup>2</sup> (-tsr)	標準モード	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
tsDAHO	3t <sub>cyc</sub>	標準モード	0	0	600	375	300	188	150
		高速モード	0	0	600	375	300	188	150

【注】 \*1 I<sup>2</sup>C バスインタフェースの仕様を満足するために、次の対策を行ってください。

(1) 開始 / 停止条件発行のインターバルを確保する。(2) ブルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。(3) 転送レートを下げて調整する。(4) 入力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2 ~ CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I<sup>2</sup>C バスインタフェースの仕様を満足するか検討してください。

\*2 I<sup>2</sup>C バス仕様値 (標準モード : 4700ns min.、高速モード : 1300ns min.) で計算しています。

## 7. マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、ICCRのTRSビットを1にセットし、ICCRのBBSY = 0かつSCP = 0をライトします。これにより、SCL端子がHighレベルのとき、SDA端子をLowレベルからHighレベルに変化させて停止条件を生成します。この後で受信データはICDRをリードすることにより読み出すことができますが、バッファにデータが残っている場合はICDRSの受信データがICDRに転送されないため第2バイト目のデータを読み出すことができなくなります。第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態（TRSビットが0の状態）で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認した後、TRSが0の状態でICDRをリードしてください。このとき、停止条件発行のための命令実行（ICCRのBBSY = 0かつSCP = 0をライト）から実際に停止条件が生成されるまでの期間に受信データ（ICDRのデータ）を読み出すと、次のマスタ送信時に正しくクロックが出力されなくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず図14.21の(a)期間中（ICCRレジスタのBBSYビットの0クリア確認）に行ってください。

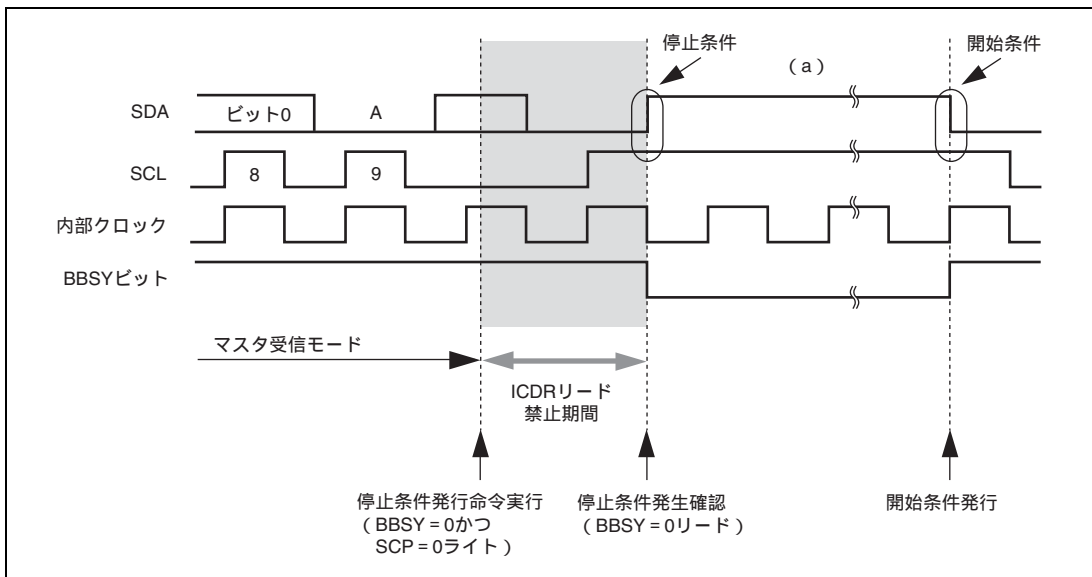


図 14.21 マスタ受信データの読み出しにおける注意

## 14. I<sup>2</sup>C バスインタフェース (IIC)

### 8. 再送開始条件発行時の注意

再送開始条件発行と次バイト転送命令の実行タイミングにより、再送開始条件生成や再送開始条件生成後のデータ送信が正常に動作しない場合があります。そのため、再送開始条件を発行し、開始条件が生成した後でICDRに送信データをライトしてください。再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを図14.22に示します。

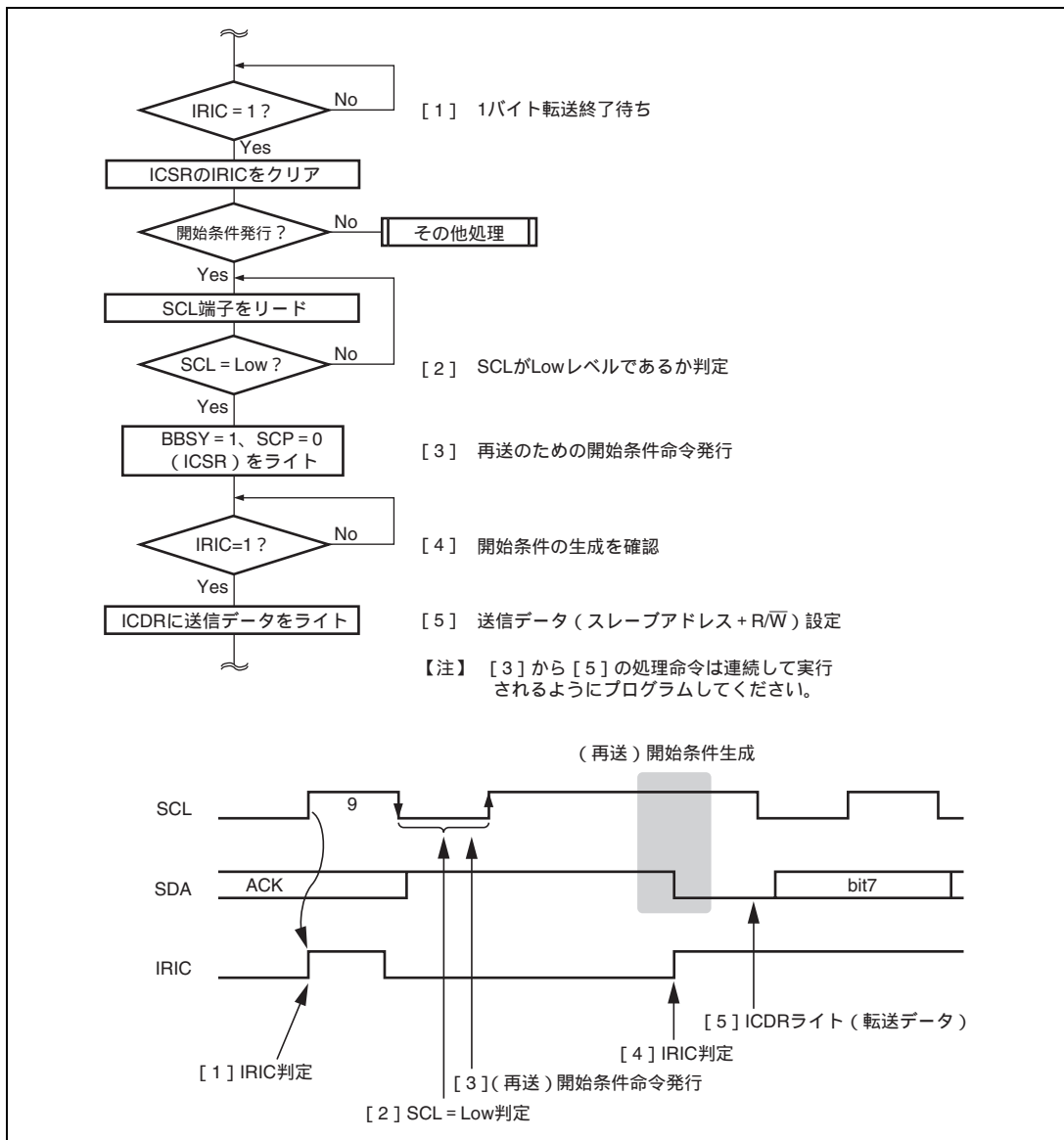


図 14.22 再送のための開始条件命令発行フローチャートおよびタイミング

9. I<sup>2</sup>Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

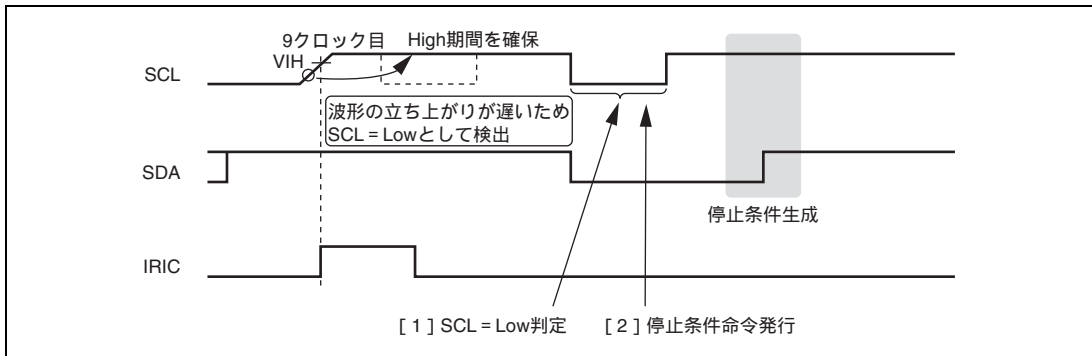


図 14.23 停止条件発行タイミング

## 10. ウェイト機能使用時のIRICフラグクリアの注意事項

I<sup>2</sup>Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT=1の状態ではIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

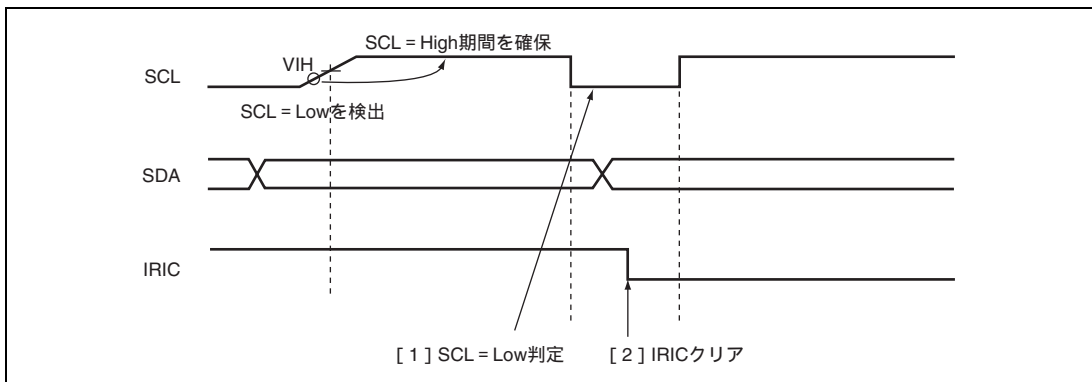


図 14.24 WAIT=1 状態での IRIC フラグクリアタイミング

## 14. I<sup>2</sup>C バスインタフェース (IIC)

### 11. スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I<sup>2</sup>Cバスインタフェースのスレーブモード送信動作では、図14.25の網がけ期間中にICDRのリードまたは、ICCRのリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRのリード動作および、ICCRのリード/ライト動作を完了させるようにしてください。
- ICMRのBC2～BC0ビットカウンタをモニタし、BC2～BC0=000(8クロック目または9クロック目)の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRのリードまたは、ICCRのリード/ライト動作を行ってください。

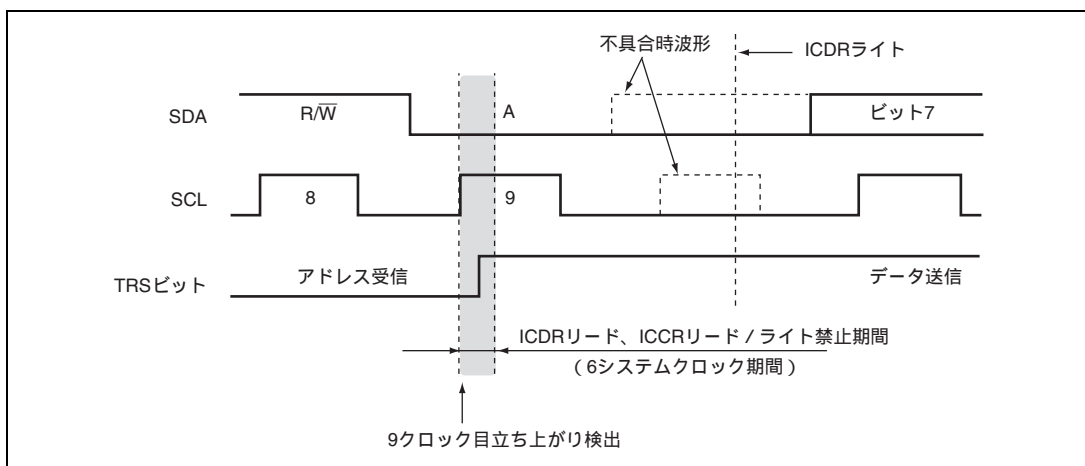


図 14.25 スレーブ送信モードでのICDRリード、ICCRアクセスタイミング

### 12. スレーブモードでのTRSビット設定の注意事項

I<sup>2</sup>Cバスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで(図14.26(a)の期間)は、ICCRのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間(図14.26(b)の期間)に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効

値は1 (送信モード) のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレープモードのアドレス受信を行う場合は、図14.26 (a) の期間中に、TRSビットを0クリアしてください。

スレープモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRのダミーリードにより行います。

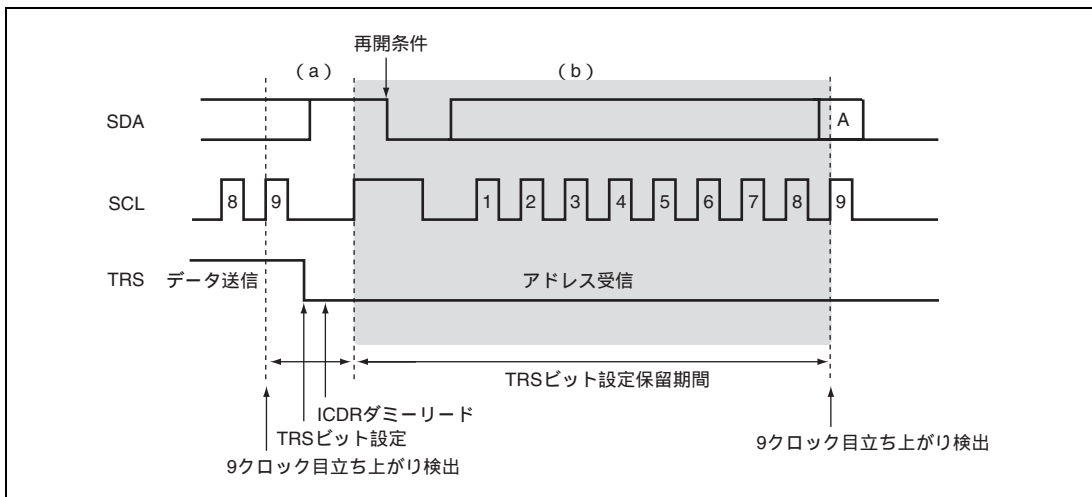


図 14.26 スレープモードでの TRS ビット設定タイミング

### 13. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード (TRS=1) でのICDRリード動作または、受信モード (TRS=0) でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRのアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定したあとにリード動作を行うか、または送信モードに設定したあとにライト動作を行うようにしてください。

### 14. スレープモードでのACKBビットとTRSビットの注意事項

I<sup>2</sup>Cバスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして1を受信 (ACKB=1) したあとに、その状態のままスレープモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレープモードで送信モード (TRS=1) の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDREフラグセットおよびアクノリッジビットとして1を受信 (ACKB=1) することでIRICフラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I<sup>2</sup>Cバスインタフェースモジュールでスレープモード動作を行う際は、下記処置を行ってください。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

- 一連の送信動作の終了時、最終送信データに対するアクリリッジビットとして1を受信した場合には、ICCRのACKBビットをいったん0にクリアすることで、ACKBビットを0に初期化してください。
- スレープモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。

スレープ送信モードから確実にスレープ受信モードに切り替えるために、図14.17に従って送信を終了してください。

### 15. マスタモードでのアービトレーションロスト発生時の注意事項

I<sup>2</sup>Cバスインタフェースではマスタモードでアービトレーションロストにより、スレープ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I<sup>2</sup>Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。(図14.27参照)

マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

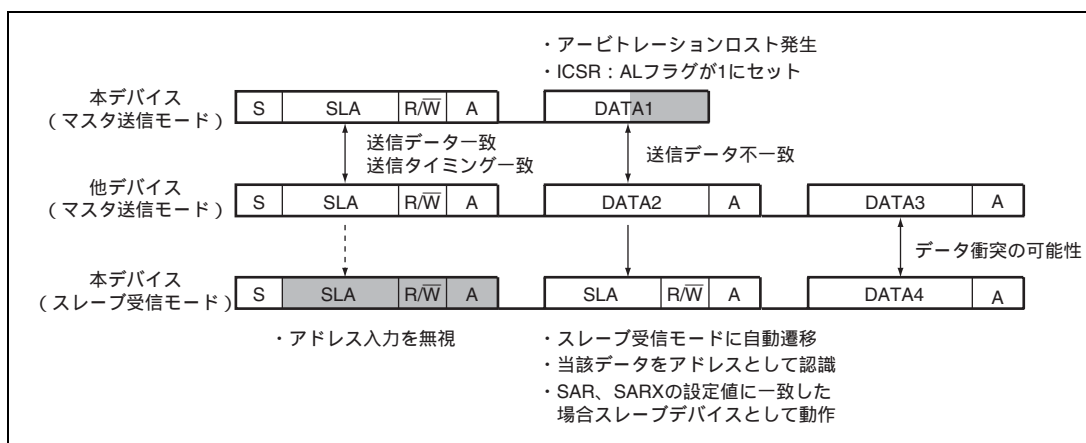


図 14.27 アービトレーションロスト時の動作模式図

本来のI<sup>2</sup>Cバスプロトコルでは禁止されている動作ですが、スレープモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。

マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。



- (1) MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する
- (2) MSTビットに1を設定する
- (3) MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後にも、ICCRのBBSYフラグが0であることを確認する

#### 16. マスタモードでのウェイト動作時の注意事項

ウェイト機能を使用したマスタモード動作において割り込みフラグIRICビットを7クロック目の立ち下がりから、8クロック目の立ち下がりの間の期間に1から0にクリアした場合、8クロック目の立ち下がり後にウェイトが入らず、9クロック目のクロックパルスが連続的に出力されることがあります。

ウェイト動作を使用する際はIRICフラグのクリアに関し、以下の点に注意してください。

9クロック目の立ち上がり時にIRICフラグが1にセットされた後、7クロック目が立ち上がる前 (BC2~BC0カウンタの値が2以上のとき) にIRICフラグをクリアしてください。

もし、割り込み処理等でIRICフラグクリアが遅れてBCカウンタの値が1または0になった場合は、BC2~BC0カウンタが0になった後、SCL端子がLになったことを確認してからIRICフラグをクリアしてください。(図14.28参照)

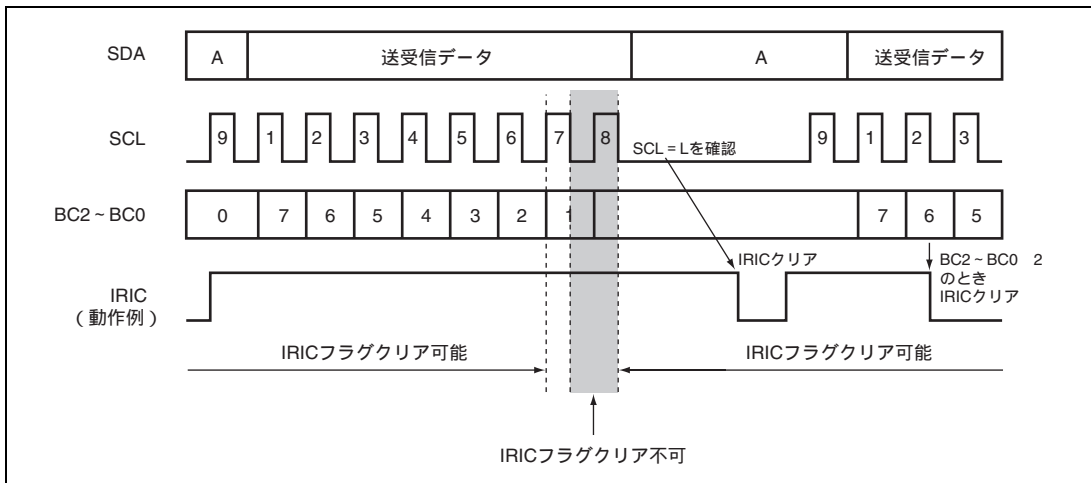


図 14.28 ウェイト動作時の IRIC フラグクリアタイミング

#### 17. モジュールストップモード時の割り込み

割り込みが要求された状態でモジュールストップするとCPUの割り込み要因、またはDTC\*の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

【注】\* H8S/2268 グループのみサポートします。

## 14. I<sup>2</sup>C バスインタフェース (IIC)

---

### 18. レジスタアドレスの割り当てと選択

I<sup>2</sup>Cバスインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択は、シリアルコントロールレジスタX (SCRX) のIICEビットで行います。レジスタアドレスの詳細は「第24章 レジスタ一覧」を参照してください。

---

## 15. A/D 変換器

---

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 10 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 15.1 に示します。

### 15.1 特長

- 分解能：10ビット
- 入力チャンネル：10チャンネル
- 変換時間：1チャンネル当たり6.3  $\mu$ s (20.5MHz動作時)
- 動作モード：2種類
  - シングルモード：1チャンネルのA/D変換
  - スキャンモード：1~4チャンネルの連続A/D変換
- データレジスタ：4本
  - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
  - ソフトウェア
  - タイマ (TPUまたは8ビットタイマ) の変換開始トリガ
  - 外部トリガ信号
- 割り込み要因
  - A/D変換終了割り込み要求 (ADI) を発生
- モジュールストップモードの設定可能
- アナログ変換電圧範囲の設定可能
  - リファレンス電圧端子 ( $V_{ref}$ ) をアナログ基準電圧としてアナログ変換電圧範囲を設定

## 15. A/D 変換器

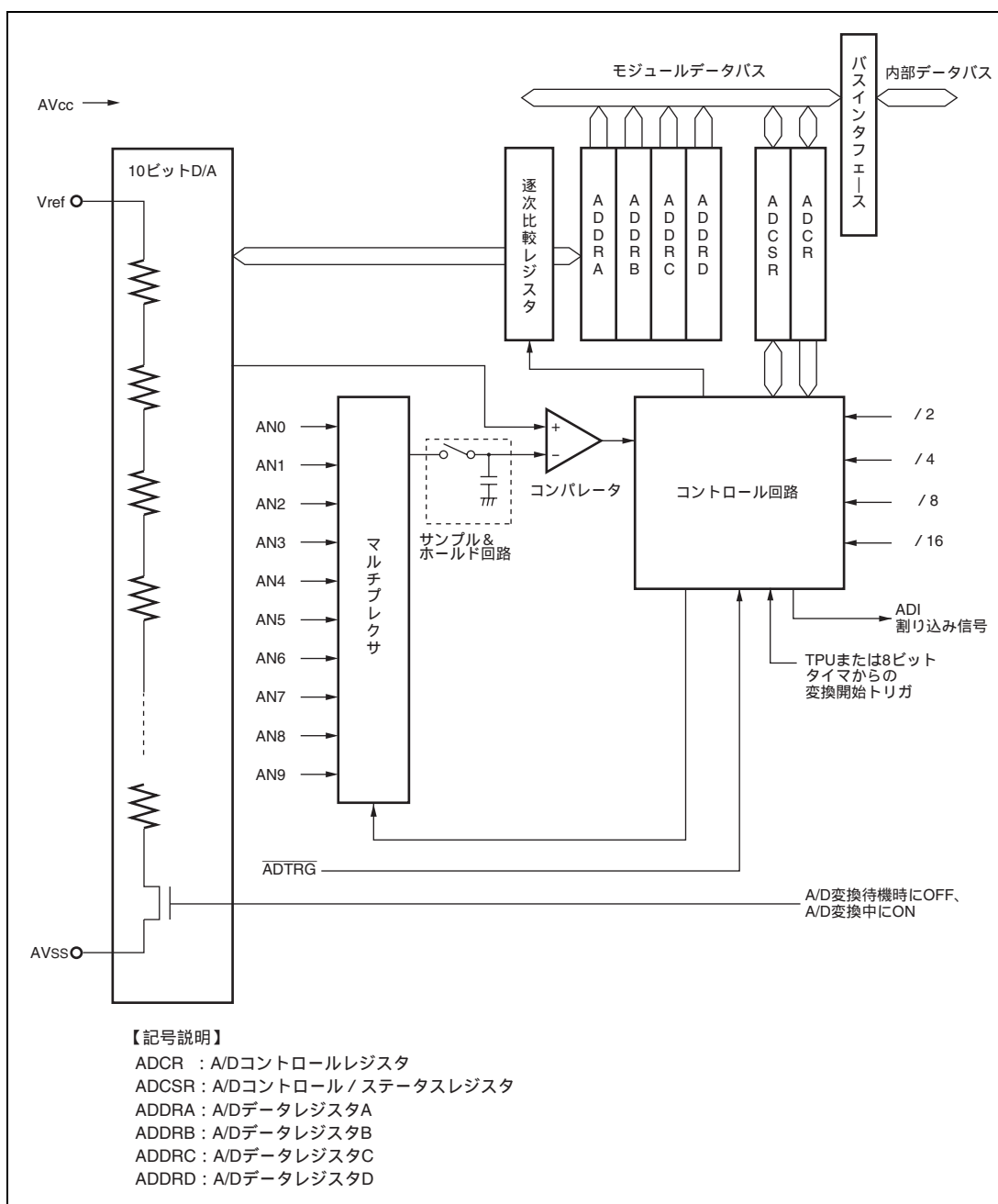


図 15.1 A/D 変換器のブロック図

## 15.2 入出力端子

A/D 変換器で使用する端子を表 15.1 に示します。アナログ入力端子 (AN0 ~ AN7) は 4 チャンネル×2 グループに分割されています。アナログ入力端子 0 ~ 3 (AN0 ~ AN3) がグループ 0、アナログ入力端子 4 ~ 7 (AN4 ~ AN7) がグループ 1 になっています。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。Vref は、A/D 変換基準電圧端子です。

表 15.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	Vref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0*	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1*	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	アナログ入力端子
アナログ入力端子 9	AN9	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力端子

【注】 \* AN0、AN1 は VCC = AVCC 時のみ使用可能です。

## 15.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A~D (MSTPCRA~MSTPCRD)」を参照してください。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

### 15.3.1 A/D データレジスタ A ~ D (ADDRA ~ ADDR D)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA ~ ADDR D の 4 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 15.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。

表 15.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル				変換結果が格納される A/D データレジスタ
CH3=0		CH3=1		
グループ 0 (CH2=0)	グループ 1 (CH2=1)	(CH2=0)	(CH2=1)	
AN0	AN4	設定禁止	設定禁止	ADDRA
AN1	AN5	設定禁止	設定禁止	ADDRB
AN2	AN6	設定禁止	AN8	ADDRC
AN3	AN7	設定禁止	AN9	ADDRD

## 15.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)* <sup>1</sup>	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> <li>• シングルモードで A/D 変換が終了したとき</li> <li>• スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• ADI 割り込みによりデータトランスファコントローラ (DTC*<sup>2</sup>) が起動され、DTC の DISEL が 0 でかつ転送カウンタが 0 でないとき</li> </ul>
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、または表 22.1 に示す A/D 変換器が停止する低消費電力モードによってクリアされるまで選択されたチャンネルを順次連続変換します。 ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力端子 ( $\overline{\text{ADTRG}}$ ) によって 1 にセットすることができます。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 SCAN ビットの設定は A/D 変換停止中 (ADST = 0) に行ってください。 0 : シングルモード 1 : スキャンモード

## 15. A/D 変換器

ビット	ビット名	初期値	R/W	説明
3	CH3	0	R/W	チャンネルセレクト 3-0
2	CH2	0	R/W	アナログ入力チャンネルを選択します。
1	CH1	0	R/W	SCAN=0 のとき    SCAN=1 のとき
0	CH0	0	R/W	0000 : AN0            0000 : AN0 0001 : AN1            0001 : AN0、AN1 0010 : AN2            0010 : AN0 ~ AN2 0011 : AN3            0011 : AN0 ~ AN3 0100 : AN4            0100 : AN4 0101 : AN5            0101 : AN4、AN5 0110 : AN6            0110 : AN4 ~ AN6 0111 : AN7            0111 : AN4 ~ AN7 1000 : 設定禁止      1000 : 設定禁止 1001 : 設定禁止      1001 : 設定禁止 1010 : 設定禁止      1010 : 設定禁止 1011 : 設定禁止      1011 : 設定禁止 1100 : 設定禁止      1100 : 設定禁止 1101 : 設定禁止      1101 : 設定禁止 1110 : AN8            1110 : 設定禁止 1111 : AN9            1111 : 設定禁止

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 H8S/2268 グループのみサポートします。



### 15.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時(ADST=0)に行ってください。 00 : ソフトウェアによる A/D 変換の開始 01 : TPU からの変換トリガによる A/D 変換の開始 10 : 8 ビットタイマの変換開始トリガによる A/D 変換開始 11 : ADTRG による A/D 変換の開始
5		1		リザーブビット
4		1		リードすると常に 1 が読み出されます。ライトは無効です。
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	A/D 変換時間の設定を行います。A/D 変換時間の切り替えは、A/D 変換停止時(ADST=0)に行ってください。A/D 変換時間は「第 25 章 電気的特性」の表 26.9 または表 26.22 に示す範囲に設定してください。 00 : 530 ステート(max.) 01 : 266 ステート(max.) 10 : 134 ステート(max.) 11 : 68 ステート(max.)
1		1		リザーブビット
0		1		リードすると常に 1 が読み出されます。ライトは無効です。

## 15.4 バスマスタとのインタフェース

ADDRA ~ ADDR D は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

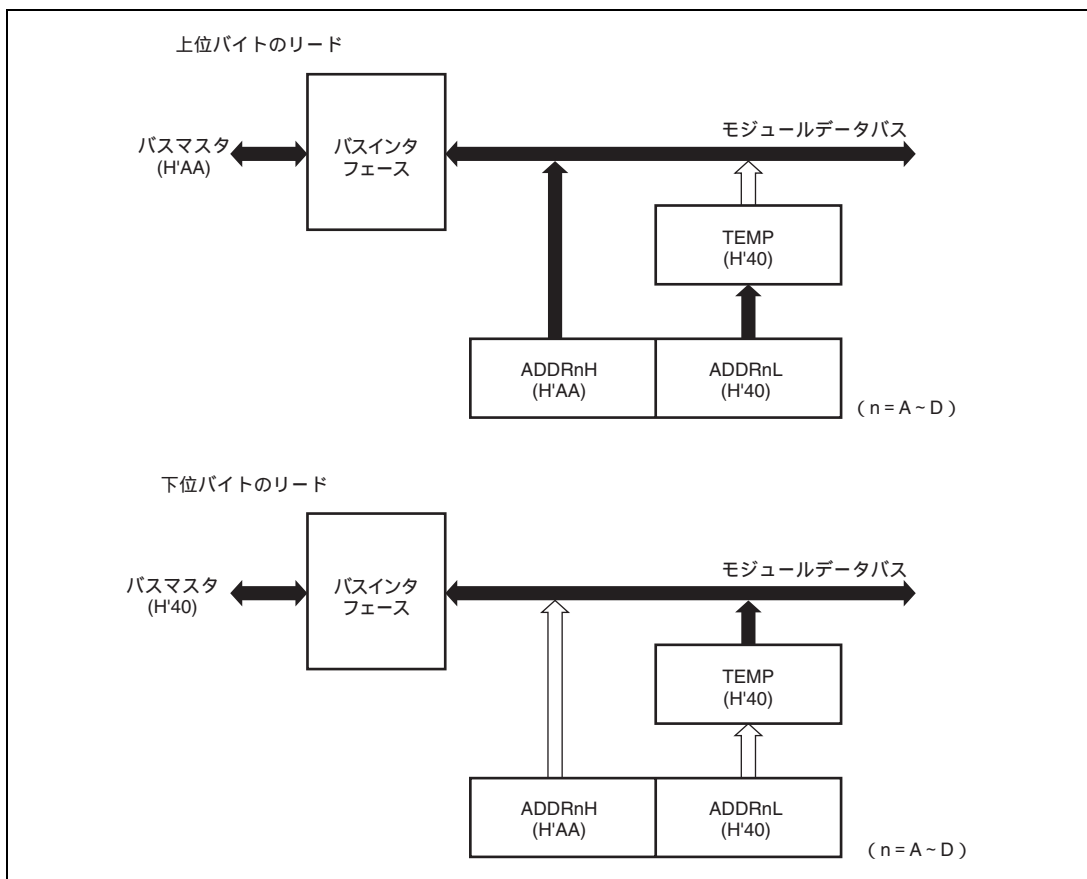


図 15.2 ADDR のアクセス動作 (H'AA40 リード時)

## 15.5 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

### 15.5.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると変換を中止し、A/D 変換器は待機状態になります。

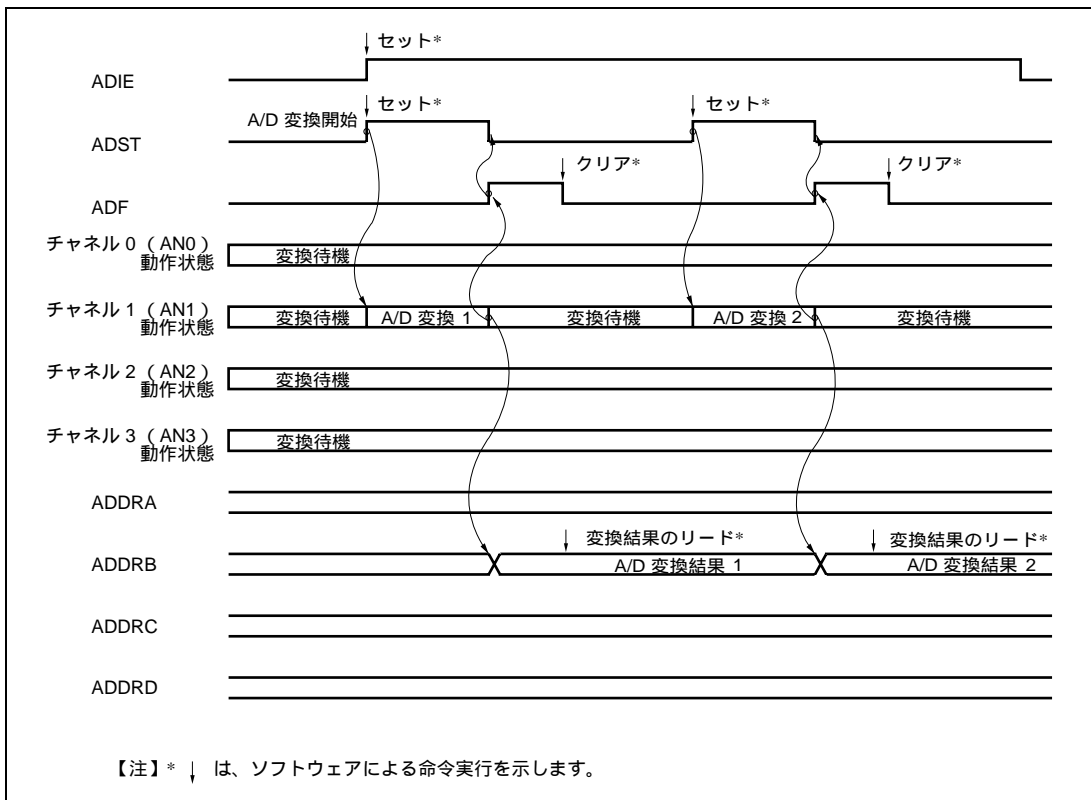


図 15.3 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

## 15.5.2 スキャンモード

スキャンモードは指定された最大 4 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH3、CH2=00 のとき AN0、CH3、CH2=01 のとき AN4) から A/D 変換を開始します。
2. それぞれのチャンネルの A/D 変換が終了すると A/D 変換結果は順次そのチャンネルに対応する A/D レジスタに転送されます。
3. 選択されたすべてのチャンネルの A/D 変換が終了すると ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。A/D 変換器は再びグループの第 1 チャンネルから A/D 変換を開始します。
4. ADST ビットは自動的にクリアされず、1 にセットされている間は [2] ~ [3] を繰り返します。ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

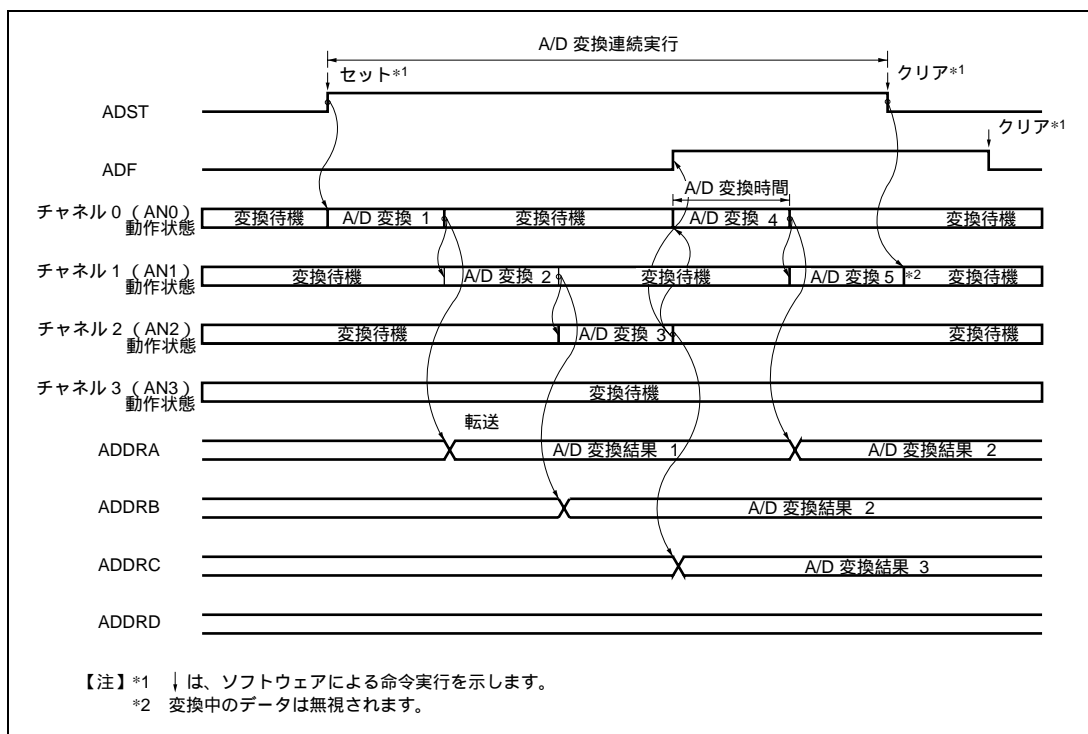


図 15.4 A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)

### 15.5.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間( $t_D$ )時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また、A/D 変換時間を表 15.3 に示します。

A/D 変換時間( $t_{CONV}$ )は、図 15.5 に示すように、 $t_D$ と入力サンプリング時間( $t_{SPL}$ )を含めた時間となります。ここで  $t_D$ は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.3 に示す範囲で変化します。

A/D 変換時間の設定は ADST = 0 の状態で ADCR の CKS1、CKS0 ビットを操作してください。また変換時間の設定は「第 25 章 電気的特性」の A/D 変換特性の変換時間以上にしてください。

スキャンモードの変換時間は、表 15.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 15.4 に示す値となります。

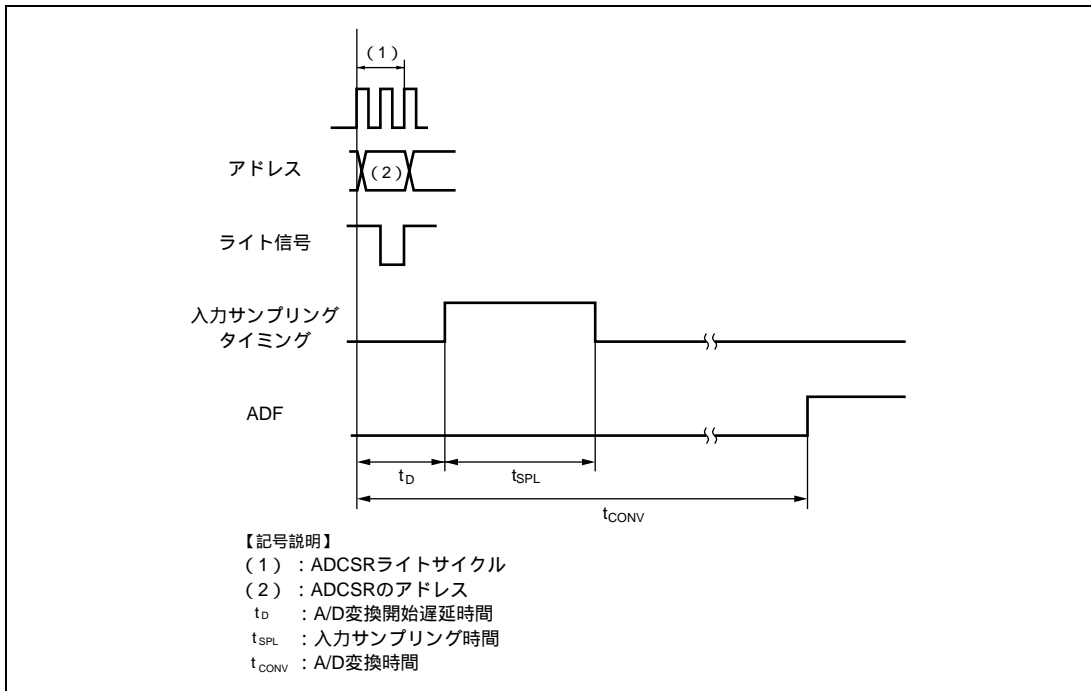


図 15.5 A/D 変換タイミング

## 15. A/D 変換器

表 15.3 A/D 変換時間（シングルモード）

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.
A/D 変換開始遅延時間	td	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	tsPL	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	tCONV	515	-	530	259	-	266	131	-	134	67	-	68

【注】表中の数値の単位はステートです。

表 15.4 A/D 変換時間（スキャンモード）

CKS1	CKS0	変換時間（ステート）
0	0	512（固定）
	1	256（固定）
1	0	128（固定）
	1	64（固定）

### 15.5.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{\text{ADTRG}}$  端子から入力されます。 $\overline{\text{ADTRG}}$  の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.6 に示します。

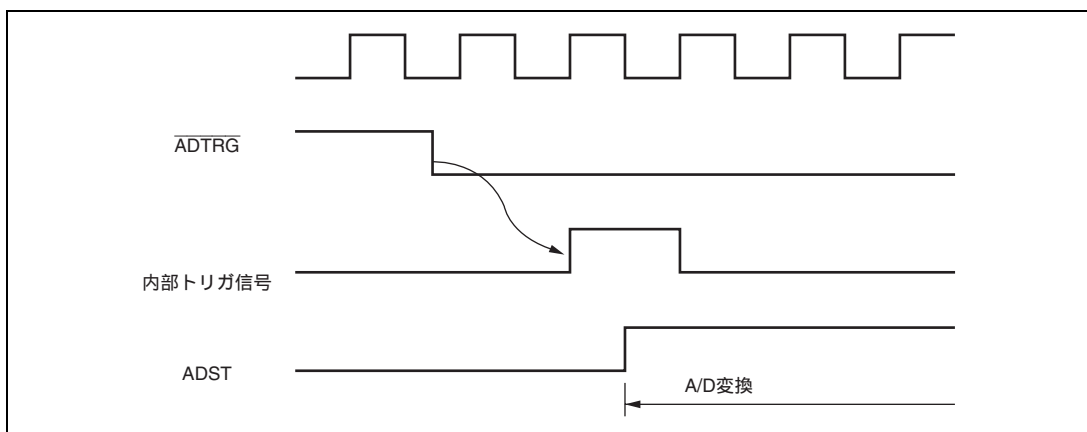


図 15.6 外部トリガ入力タイミング

## 15.6 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。H8S/2268 グループでは、ADI 割り込みで DTC\*の起動ができます。ADI 割り込みで変換されたデータのリードを DTC\*で行うと、連続変換がソフトウェアの負担なく実現できます。

表 15.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動*
ADI	A/D 変換終了	ADF	可

【注】\* H8S/2268 グループのみサポートします。

## 15.7 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図15.7)

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.8)

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.8)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図15.8)

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

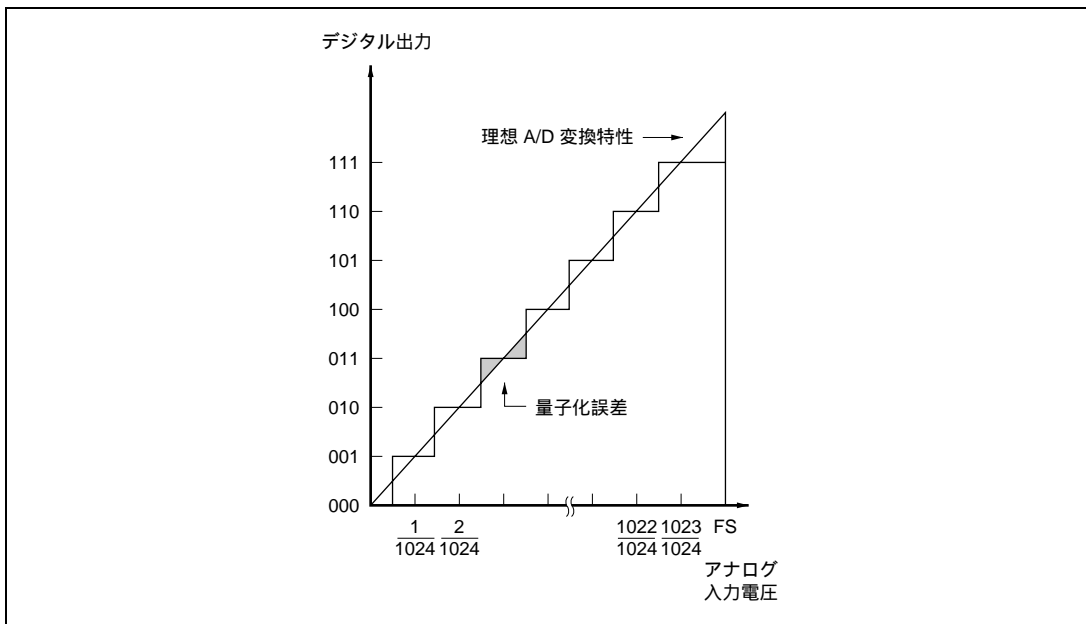


図 15.7 A/D 変換精度の定義 (1)

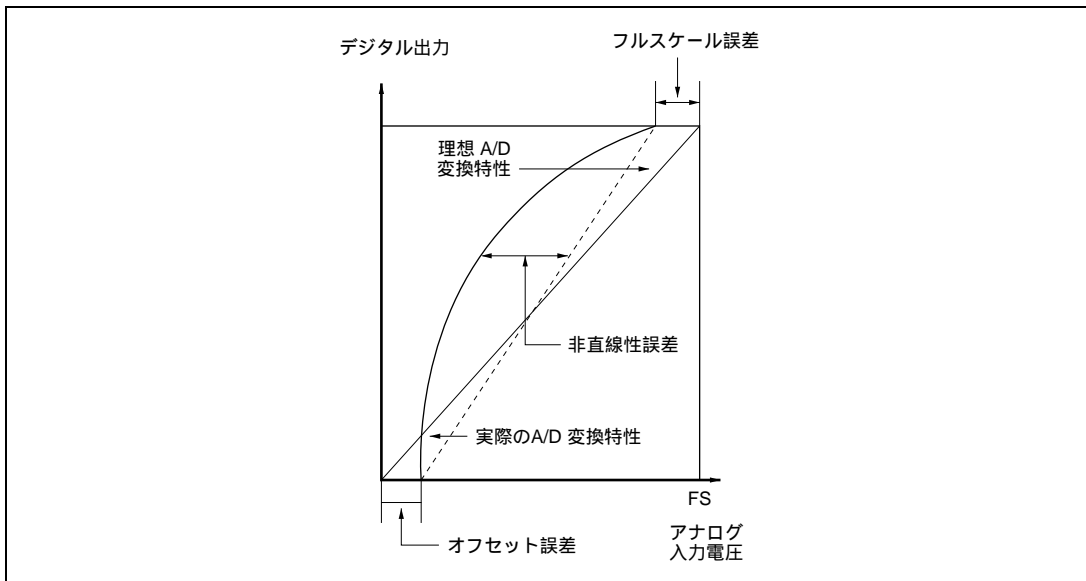


図 15.8 A/D 変換精度の定義 (2)



## 15.8 使用上の注意事項

### 15.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### 15.8.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが  $5k$  以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが  $5k$  を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $10k$  だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば  $5mV/\mu s$  以上)には追従できないことがあります(図 15.9)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

### 15.8.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AVSS 等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

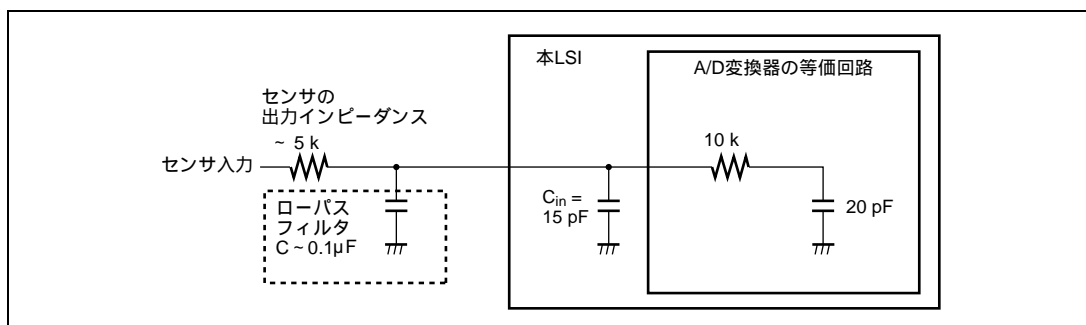


図 15.9 アナログ入力回路の例

### 15.8.4 アナログ電源端子ほかの設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧はAVSS ANn AVCCの範囲としてください。

- AVCC、AVSSとVCC、VSSの関係

AVCC、AVSSとVCC、VSSとの関係はAVSS = VSSとし、さらに、A/D変換器を使用しないときもAVCC、AVSS端子をオープンにしないでください。また、アナログ入力端子AN0、AN1はVCC = AVCC時のみ使用可能となります。

- Vrefの設定範囲

Vref端子によるリファレンス電圧の設定範囲はVref AVCCにしてください。

### 15.8.5 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN9）、アナログ電源電圧（AVCC）は、アナロググランド（AVSS）で、デジタル回路と分離してください。さらに、アナロググランド（AVSS）は、ボード上の安定したグランド（VSS）に一点接続してください。

### 15.8.6 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN9）の破壊を防ぐために、図 15.10 に示すように AVCC - AVSS 間に保護回路を接続してください。AVCC に接続するバイパスコンデンサ、AN0～AN9 に接続するフィルタ用のコンデンサは、必ず AVSS に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN9 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス ( $R_{in}$ ) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

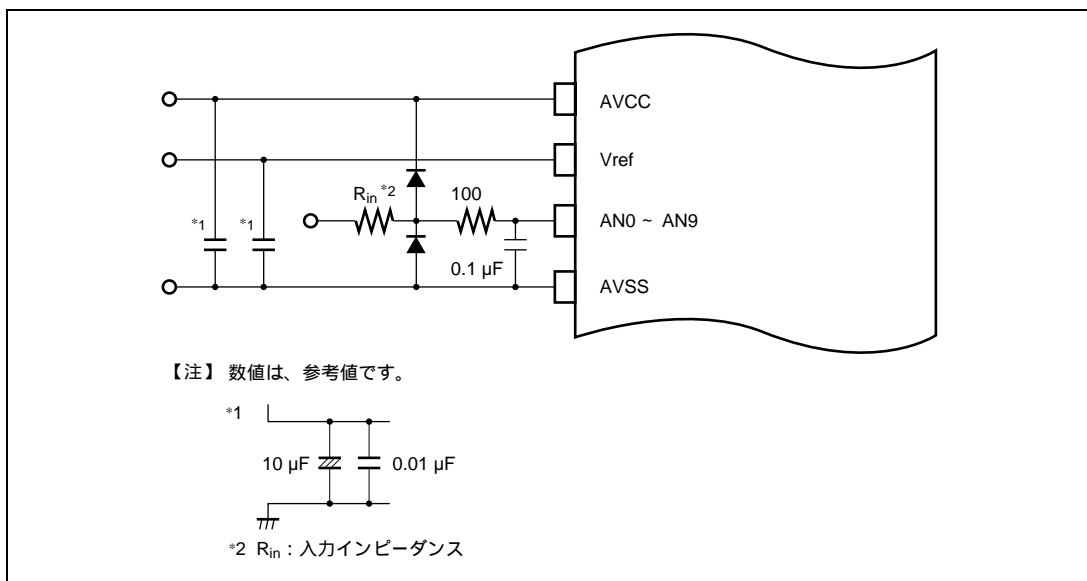


図 15.10 アナログ入力保護回路の例

表 15.6 アナログ端子の規格

項目	min.	max.	単位
アナログ入力容量	-	20	$\mu$ F
許容信号源インピーダンス	-	5	k

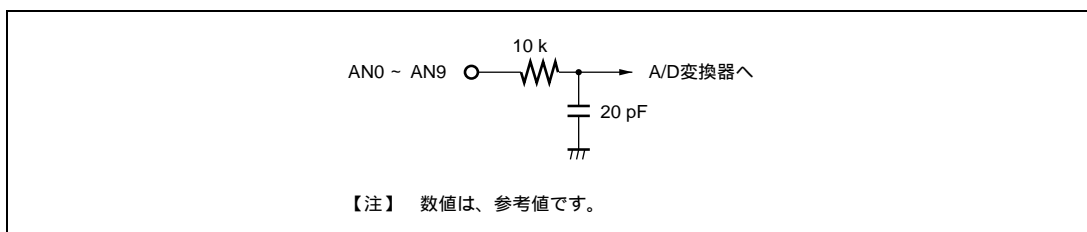


図 15.11 アナログ入力端子等価回路



## 16. D/A 変換器

H8S/2268グループは D/A 変換器を内蔵しています。H8S/2264 グループは内蔵していません。

### 16.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 $\mu$ s（負荷容量20pF時）
- 出力電圧：0V～Vref
- モジュールストップモードの設定可能

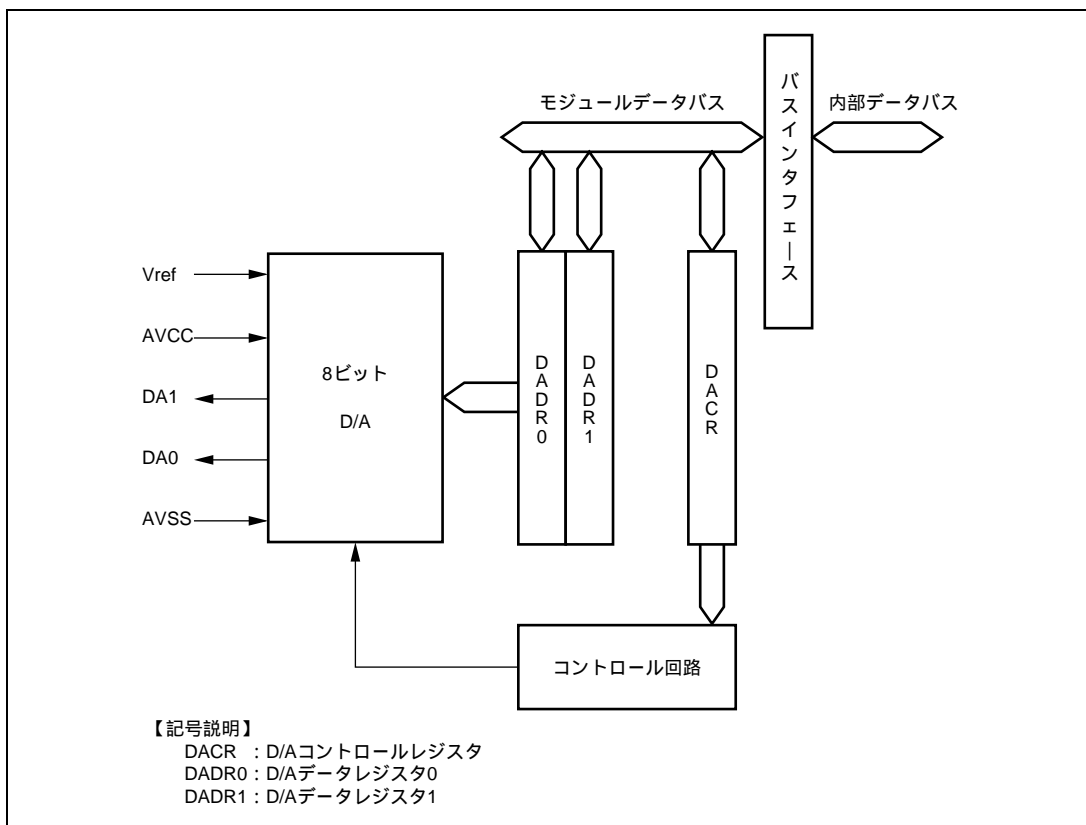


図 16.1 D/A 変換器のブロック図

### 16.2 入出力端子

D/A 変換器で使用する入出力端子を表 16.1 に示します。

表 16.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	Vref	入力	アナログ部の基準電圧

### 16.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。なお、モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A~D (MSTPCRA~MSTPCRD)」を参照してください。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ (DACR)

#### 16.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタは、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、D/A データレジスタの値が変換され、アナログ出力端子に出力されます。

### 16.3.2 D/A コントロールレジスタ (DACR)

DACR は D/A 変換器の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA1 を禁止 1 : チャネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA0 を禁止 1 : チャネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。DAE ビットが 0 にクリアされているとチャネル 0、1 の D/A 変換は独立に制御されます。DAE ビットが 1 にセットされているとチャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。詳細は表 16.2 を参照してください。
4~0		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 16.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可
	1	0	チャネル 1 の D/A 変換を許可
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
	1	0	
		1	

## 16.4 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。

DACRのDAOE0ビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図16.2に示します。

1. DADR0に変換データをライトします。
2. DACRのDAOE0ビットを1にセットすると、D/A変換が開始されます。 $t_{DCONV}$ 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表わされます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR0を書き換えると、ただちに变換が開始されます。 $t_{DCONV}$ 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアすると、アナログ出力を禁止します。

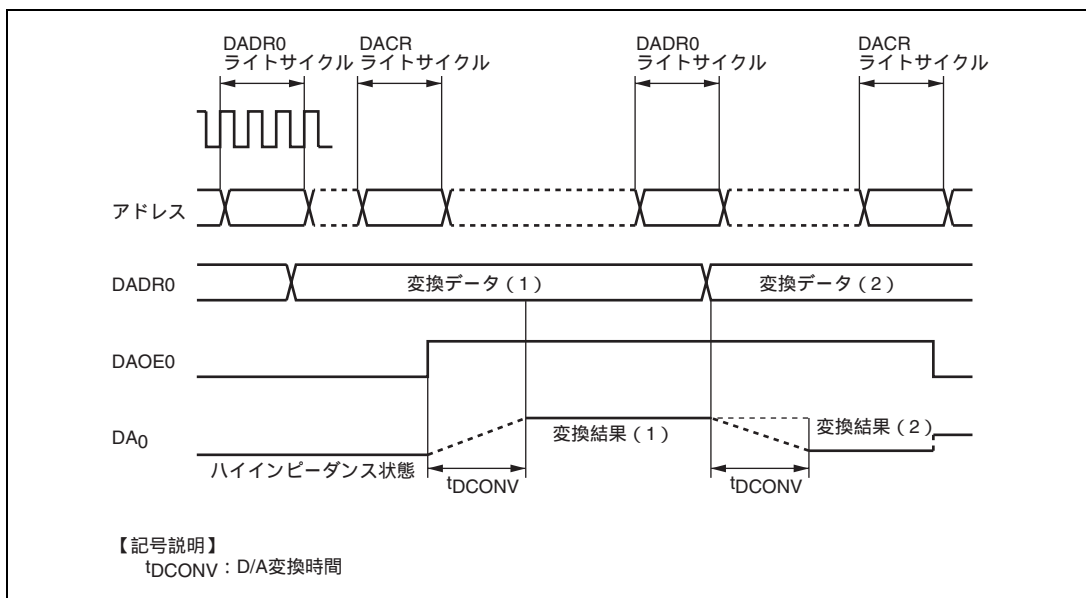


図 16.2 D/A 変換器の動作例



## 16.5 使用上の注意事項

### 16.5.1 低消費電力モード時のアナログ電源電流

D/A 変換を許可した状況で本 LSI がソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモードの低消費電力モードになると、デジタル値は保持されますが、アナログ出力値は規定の D/A 絶対精度を満足できません。また、アナログ電源電流は D/A 変換中と同等になります。これらの低消費電力モードでアナログ電源電流を低減する必要がある場合は各モード遷移する前に DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

### 16.5.2 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止 / 許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。



---

## 17. LCD コントローラ/ドライバ

---

本 LSI は、セグメントタイプの LCD コントロール回路と LCD ドライバと電源回路を内蔵しているので、LCD パネルを直接駆動することができます。

### 17.1 特長

- 表示容量

デューティ比	内部ドライバ
スタティック	40SEG
1/2	40SEG
1/3	40SEG
1/4	40SEG

- 表示用LCD RAM

8ビット×20バイト(160ビット)

バイトアクセス/ワードアクセス可能

- セグメント出力端子をポートとして使用可能

H8S/2268グループ：SEG40～SEG1端子を8端子ごとにポートとして使用可能

H8S/2264グループ：SEG24～SEG1端子を8端子ごとにポートとして使用可能

- 使用しないコモン出力端子をコモンダブルバッファ用として使用可能

1/2デューティではCOM1とCOM2、COM3とCOM4を並列接続で使用可

スタティックではCOM1とCOM2、COM3、COM4を並列接続で使用可

- フレーム周波数を11種類より選択可能

- ソフトウェアによりA波形、B波形の選択可能

- 電源分割抵抗を内蔵

- スタンバイモード、モジュールストップモード以外の動作モードで表示可能

- 3倍昇圧回路内蔵により、低電圧時でもLCDの表示可能 (H8S/2268グループのみ)

- モジュールストップモードの設定可能

初期値ではLCDの動作は停止。モジュールストップモードを解除することによりレジスタ、LCD RAMのアクセスが可能

## 17. LCD コントローラ / ドライバ

LCD コントローラ / ドライバのブロック図を図 17.1 に示します。

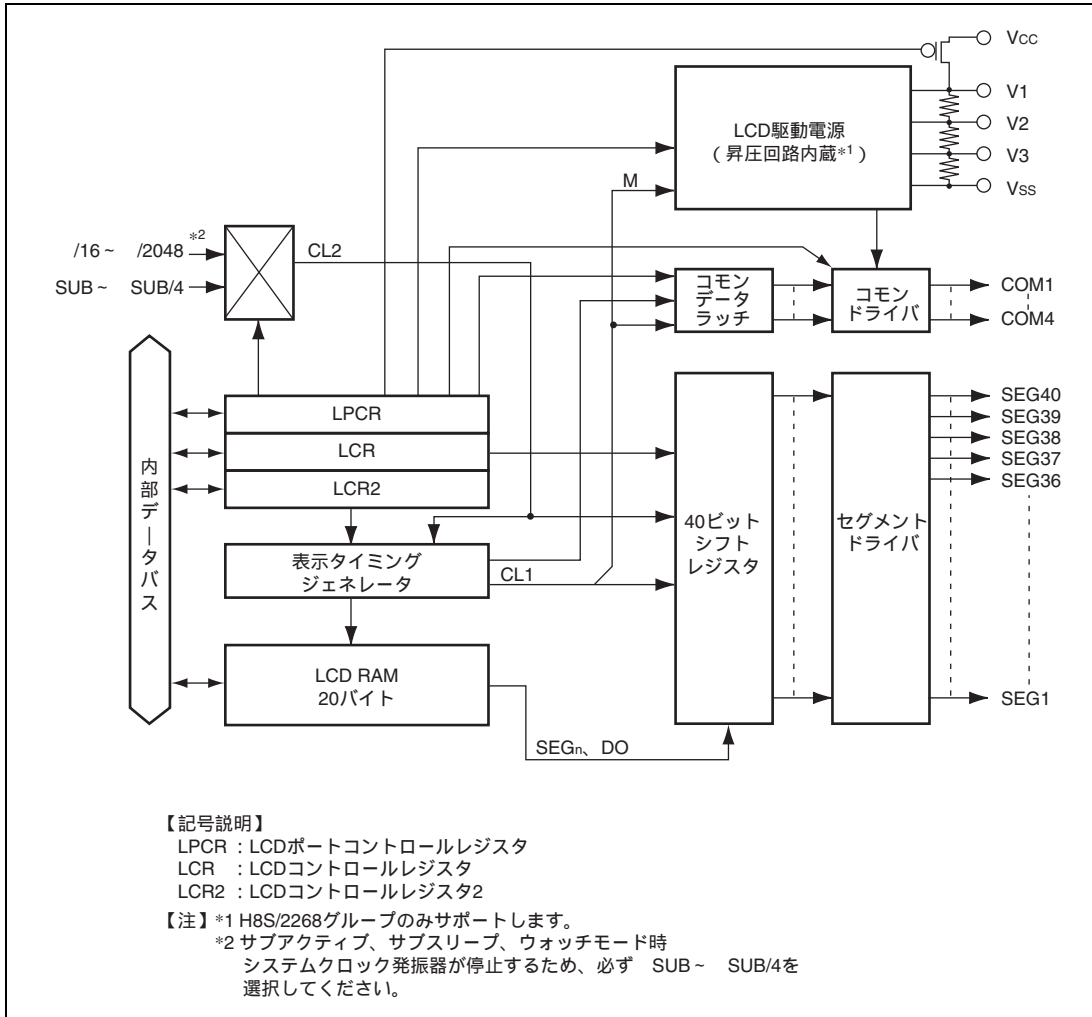


図 17.1 LCD コントローラ / ドライバのブロック図

## 17.2 入出力端子

LCD コントローラ / ドライバの端子構成を表 17.1 に示します。

表 17.1 端子構成

端子名	記号	入出力	機能
セグメント出力端子	SEG40 ~ SEG1	出力	液晶のセグメント駆動用端子 (H8S/2268 グループ) 全端子、ポートと兼用でプログラマブルに設定可能 (H8S/2264 グループ) SEG24 ~ SEG1 はポートと兼用でプログラマブルに設定可能
コモン出力端子	COM4 ~ COM1	出力	液晶のコモン駆動端子 スタティック、1/2 デューティ時には端子の並列化が可能
LCD 電源端子	V1、V2、V3		外付けでバスコンを接続する場合、外部電源回路を使用する場合に使用 3 倍昇圧回路を使用する場合、V3 端子は、液晶入力基準電源となります*。
LCD 昇圧用容量端子*	C1、C2		LCD 駆動電源昇圧用容量端子

【注】\* H8S/2268 グループのみサポートします。

## 17.3 レジスタの説明

LCD コントローラ / ドライバには以下のレジスタがあります。

- LCDポートコントロールレジスタ (LPCR)
- LCDコントロールレジスタ (LCR)
- LCDコントロールレジスタ2 (LCR2)
- LCDRAM

## 17. LCD コントローラ/ドライバ

### 17.3.1 LCD ポートコントロールレジスタ (LPCR)

LPCR は、デューティ比の選択、LCD ドライバや端子機能の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	DTS1	0	R/W	デューティ比選択 1、0
6	DTS0	0	R/W	コモン機能選択
5	CMX	0	R/W	DTS1、DTS0 の組合わせで、スタティック、1/2 ~ 1/4 デューティのいずれかを選択します。 CMX は、デューティによって使用しないコモン端子をコモンドライブ能力を大きくするために複数の端子から同じ波形を出力するか否かを選択します。 詳細は表 17.2 を参照してください。
4		0		リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 をライトしてください。
3	SGS3	0	R/W	セグメントドライバ選択 3 ~ 0
2	SGS2	0	R/W	SGS3 ~ SGS0 は使用するセグメントドライバを選択します。
1	SGS1	0	R/W	詳細は表 17.3、表 17.4 を参照してください。
0	SGS0	0	R/W	

表 17.2 デューティ比、コモン機能の選択

ビット7	ビット6	ビット5	デューティ比	コモンドライバ	補足説明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM1	COM4、COM3、COM2 はポートとして使用可能。
		1		COM4 ~ COM1	COM4、COM3、COM2 は COM1 と同じ波形を出力。
0	1	0	1/2 デューティ	COM2 ~ COM1	COM4、COM3 はポートとして使用可能。
		1		COM4 ~ COM1	COM4 は COM3、COM2 は COM1 と同じ波形を出力。
1	0	0	1/3 デューティ	COM3 ~ COM1	COM4 はポートとして使用可能。*
		1		COM4 ~ COM1	COM4 は使用しないでください。
1	1	x	1/4 デューティ	COM4 ~ COM1	

【記号説明】 x : Don't care

【注】 SGS3 ~ SGS0 が 0000 のときは、COM4 ~ COM1 はポートになります。

\* H8S/2268 グループにおいて LCR2 の SUPS ビットが 1 のときは、ポートとして使用できません。ポートとして使用する場合は SUPS ビットを 0 に設定してください。

表 17.3 セグメントドライバの選択 (1) (H8S/2268 グループ)

ビット 3	ビット 2	ビット 1	ビット 0	SEG40 ~ SEG1 端子の機能				
SGS3	SGS2	SGS1	SGS0	SEG40 ~ SEG33	SEG32 ~ SEG25	SEG24 ~ SEG17	SEG16 ~ SEG9	SEG8 ~ SEG1
0	0	0	0	ポート	ポート	ポート	ポート	ポート
0	0	0	1	SEG	ポート	ポート	ポート	ポート
0	0	1	0	SEG	SEG	ポート	ポート	ポート
0	0	1	1	SEG	SEG	SEG	ポート	ポート
0	1	0	0	SEG	SEG	SEG	SEG	ポート
0	1	0	1	SEG	SEG	SEG	SEG	SEG
0	1	1	x	設定禁止				
1	x	x	x	設定禁止				

【記号説明】 x : Don't care

【注】 SGS3 ~ SGS0 が 0000 のときは COM4 ~ COM1 もポートになります。

表 17.4 セグメントドライバの選択 (2) (H8S/2264 グループ)

ビット 3	ビット 2	ビット 1	ビット 0	SEG40 ~ SEG1 端子の機能			
SGS3	SGS2	SGS1	SGS0	SEG40 ~ SEG25	SEG24 ~ SEG17	SEG16 ~ SEG9	SEG8 ~ SEG1
0	0	0	0		ポート	ポート	ポート
0	0	0	1	設定禁止			
0	0	1	0	SEG	ポート	ポート	ポート
0	0	1	1	SEG	SEG	ポート	ポート
0	1	0	0	SEG	SEG	SEG	ポート
0	1	0	1	SEG	SEG	SEG	SEG
0	1	1	x	設定禁止			
1	x	x	x	設定禁止			

【記号説明】 x : Don't care

【注】 SGS3 ~ SGS0 が 0000 のときは COM4 ~ COM1 もポートになります。

## 17. LCD コントローラ/ドライバ

### 17.3.2 LCD コントロールレジスタ (LCR)

LCR は、LCD 電源分割抵抗接続制御、表示データの制御、フレーム周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7		1	R/W	LCD ディスエーブルビット リードすると常に 1 が読み出されますが、ライト時は必ず 0 をライトしてください。*
6	PSW	0	R/W	LCD 電源分割抵抗接続制御 低消費電力モードで LCD 表示を必要としない場合、また外部電源を使用する場合に LCD 電源分割抵抗を Vcc から切断することができます。ACT を 0 とした場合、またスタンバイモード時には本ビットとは無関係に LCD 電源分割抵抗が Vcc から切断されます。 0 : LCD 電源分割抵抗を Vcc から切断 1 : LCD 電源分割抵抗を Vcc に接続
5	ACT	0	R/W	表示機能開始 LCD コントローラ/ドライバを使用するかしないかを選択します。本ビットを 0 にクリアすることにより、LCD コントローラ/ドライバは動作を停止します。また、PSW の値と無関係に LCD 駆動電源用ラダー抵抗が OFF 状態になります。ただし、レジスタの内容は保持されます。 0 : LCD コントローラ/ドライバ動作停止 1 : LCD コントローラ/ドライバ動作
4	DISP	0	R/W	表示データ制御 DISP は LCD RAM の内容を表示するか LCD RAM の内容に関係なくブランクデータを表示するかを選択します。 0 : ブランクデータを表示 1 : LCD RAM データを表示
3	CKS3	0	R/W	フレーム周波数選択 3~0 使用クロックの選択とフレーム周波数の選択を行います。サブアクティブモード、ウォッチモード、サブスリープモードではシステムクロック ( ) が停止するので、 /16 ~ /2048 を選択している場合は表示動作を行いません。これらのモードにおいて LCD 表示を行う場合は、必ず使用クロックとして $\frac{SUB}{2}$ または $\frac{SUB}{4}$ を選択するようにしてください。 詳細は表 17.5 を参照してください。
2	CKS2	0	R/W	
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】\* 他ビット設定後、最後にビット 7 に 0 をライトしてください。



表 17.5 フレーム周波数の選択

ビット 3	ビット 2	ビット 1	ビット 0	使用クロック	フレーム周波数*1	
					=20MHz	=2MHz
0	x	0	0	SUB	128Hz*2	
0	x	0	1	SUB/2	64Hz*2	
0	x	1	x	SUB/4	32Hz*2	
1	0	0	0	/16		488Hz
1	0	0	1	/32		244Hz
1	0	1	0	/64	-	122Hz
1	0	1	1	/128	610Hz	61Hz
1	1	0	0	/256	305Hz	30.5Hz
1	1	0	1	/512	152.6Hz	
1	1	1	0	/1024	76.3Hz	
1	1	1	1	/2048	38.1Hz	

【記号説明】 x : Don't care

【注】 \*1 1/3 デューティ選択時は、フレーム周波数が表で示した値の 4/3 倍となります。

\*2  $f_{SUB} = 32.768\text{kHz}$  時のフレーム周波数です。

### 17.3.3 LCD コントロールレジスタ 2 (LCR2)

LCR2 は、A 波形/B 波形切り替えの制御、昇圧回路用クロックの選択、駆動電源の選択、電源分割抵抗を電源回路から切り離しの制御をする充放電パルスのデューティ比選択を行います。

ビット	ビット名	初期値	R/W	説明
7	LCDAB	0	R/W	A 波形/B 波形切り替えの制御 LCD の駆動波形を A 波形にするか B 波形にするかを選択します。 0 : A 波形で駆動 1 : B 波形で駆動
6		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

## 17. LCD コントローラ / ドライバ

ビット	ビット名	初期値	R/W	説明
5	HCKS	0	R/W	<p>(H8S/2268 グループ)</p> <p>3倍昇圧回路のクロック選択</p> <p>3倍昇圧回路に使用するクロックを選択します。本ビットはLCDコントロールレジスタ(LCR)で設定した使用クロックに対して、4分周もしくは8分周したクロックを、昇圧回路用クロックとして選択します。</p> <p>0: LCD使用クロックの4分周を昇圧回路用クロックに選択 1: LCD使用クロックの8分周を昇圧回路用クロックに選択</p> <p>(H8S/2264 グループ)</p> <p>リザーブビット</p> <p>ライト時は必ず0としてください。</p>
4	SUPS	0	R/W	<p>(H8S/2268 グループ)</p> <p>駆動電源の選択、3倍昇圧回路の制御</p> <p>駆動電源としてVCCを選択すると同時に3倍昇圧回路は動作を停止し、駆動電源として液晶入力基準電圧(<math>V_{LCD3}</math>)の3倍昇圧電圧を選択すると同時に3倍昇圧回路は動作します。</p> <p>0: 駆動電源はVCC、3倍昇圧回路は動作停止 1: 駆動電源は液晶入力基準電圧(<math>V_{LCD3}</math>)の3倍昇圧電圧、3倍昇圧回路動作</p> <p>(H8S/2264 グループ)</p> <p>リザーブビット</p> <p>ライト時は必ず0としてください。</p>
3 2 1 0	CDS3 CDS2 CDS1 CDS0	0 0 0 0	R/W R/W R/W R/W	<p>充放電パルスのデューティ比選択</p> <p>電源分割抵抗を電源回路に接続している期間のデューティ比選択を行います。デューティ比0を選択した場合は電源分割抵抗が電源回路から切り離された状態に固定されますので、外部回路によりV1、V2、V3端子に電源を供給してください。</p> <p>0000: デューティ比は1 (High 固定) 0001: デューティ比は1/8 0010: デューティ比は2/8 0011: デューティ比は3/8 0100: デューティ比は4/8 0101: デューティ比は5/8 0110: デューティ比は6/8 0111: デューティ比は0 (Low 固定) 10xx: デューティ比は1/16 11xx: デューティ比は1/32</p> <p>充放電パルスは図 17.2 に示す波形となり、デューティ比は <math>T_c/T_w</math> です。</p>

【記号説明】 x: Don't care

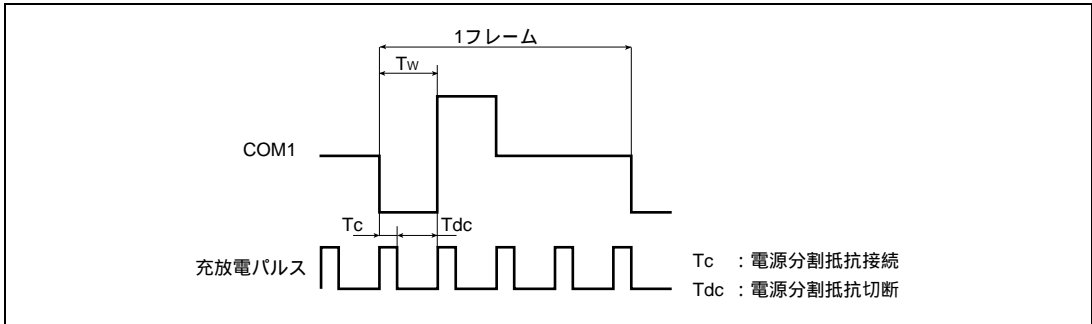


図 17.2 A 波形 1/2 デューティ 1/2 バイアスの例

LCD 使用クロックと昇圧クロック、LCD コントロールレジスタ (LCR) の CKS3 ~ CKS0 と LCD コントロールレジスタ 2 (LCR2) の HCKS の関係を次に示します。

LCR				LCR2 ビット 5 HCKS*	LCD 使用 クロック	昇圧 回路用 クロック*	フレーム周波数		昇圧回路用 クロック周波数*	
ビット 3 CKS3	ビット 2 CKS2	ビット 1 CKS1	ビット 0 CKS0				= 20MHz	= 2MHz	= 20MHz	= 2MHz
0	x	0	0	0	SUB	SUB/4	128Hz		8192Hz	
				1						
0	x	0	1	0	SUB/2	SUB/8	64Hz		2048Hz	
				1						
0	x	1	x	0	SUB/4	SUB/16	32Hz		1024Hz	
				1						
1	0	0	0	0	/16	/64	488Hz	31.3kHz		
				1						/128
1	0	0	1	0	/32	/256	244Hz	7.81kHz		
				1						
1	0	1	0	0	/64	/512	122Hz	3.91kHz		
				1						
1	0	1	1	0	/128	/1024	610Hz	61Hz	39.1kHz	
				1						
1	1	0	0	0	/256	/2048	305Hz	30.5Hz	9.77kHz	
				1						
1	1	0	1	0	/512	/4096	152.6Hz	4.88kHz		
				1						
1	1	1	0	0	/1024	/8192	76.3Hz	2.44kHz		
				1						
1	1	1	1	0	/2048	/16384	38.1Hz	1.22kHz		
				1						

## 17. LCD コントローラ/ドライバ

【記号説明】x : Don't care

【注】\* H8S/2268 グループのみサポートします。

### 17.4 動作説明

#### 17.4.1 LCD 表示までのセッティング

LCD 表示を行うにはハードウェア、ソフトウェアのそれぞれについて以下のことを決定しておく必要があります。

##### (1) ハードウェアのセッティング

###### (a) 1/2 デューティ使用

1/2 デューティで使用する際は V2、V3 端子を接続してください(図 17.3 参照)。

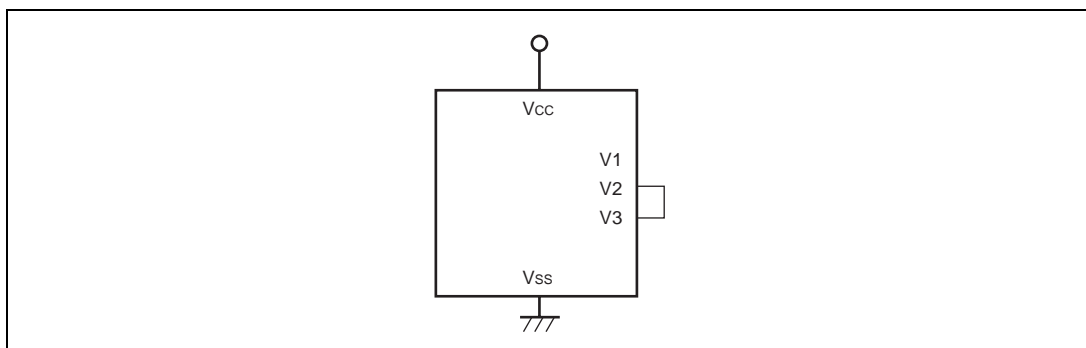


図 17.3 1/2 デューティ時の LCD 駆動電源の処理

###### (b) 大パネル表示

内蔵の電源分割抵抗はインピーダンスが大きいので、大きなパネルの駆動には適さないことがあります。大きなパネルを使用し表示が不鮮明になるときは「17.4.6 LCD 駆動電源の強化」を参照してください。また、スタティック、1/2 デューティを選択した場合、コモン出力の駆動能力を強化することができます。デューティ比の選択時に CMX を 1 にしてください。このモードではスタティック時に COM4 ~ COM1 端子が同じ波形となり、1/2 デューティ時は COM2、COM1 端子から COM1 波形が、COM4、COM3 端子からは COM2 波形が出力されます。

###### (c) LCD 駆動電源の設定

本 LSI は LCD 駆動電源として内蔵の電源回路を使用する方法と、外部電源回路を使用する方法があります。

LCD 駆動電源として外部電源回路を使用する場合は、V1 端子に外部電源を接続してください。

##### (2) ソフトウェアのセッティング

###### (a) デューティの選択

デューティは、DTS1、DTS0 によりスタティック、1/2 デューティ、1/3 デューティ、1/4 デューティから選択で

きます。

(b) セグメントドライバの選択

SGS3 ~ SGS0 により、使用するセグメントドライバを選択できます。

(c) フレーム周波数の選択

CKS3 ~ CKS0 を設定することでフレーム周波数を選択することができます。フレーム周波数は LCD パネルの指定にしたがって選択してください。ウォッチモード、サブアクティブモード、サブスリープモード時のクロックの選択方法は「17.4.4 低消費電力モード時の動作」を参照してください。

(d) A 波形、B 波形の選択

LCDAB により、使用する LCD 波形を A 波形か B 波形のどちらかを選択できます。

(e) LCD 駆動電源の選択

外部電源回路を使用する場合には PSW で LCD 駆動電源を OFF 状態にしてください。

## 17.4.2 LCD RAM と表示の関係

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。それぞれのデューティ比に対応した LCD RAM のマップを図 17.4 ~ 図 17.8 に示します。

表示に必要なレジスタ群を設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書込み、表示を ON すれば自動的に表示を開始します。RAM 設定にはワード / バイトアクセス命令が使用できます。

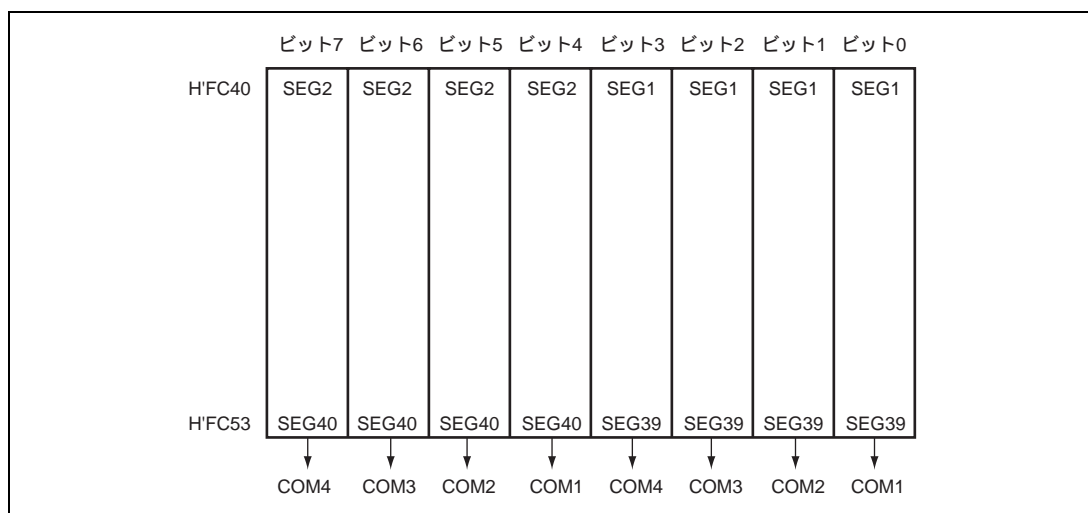


図 17.4 LCD RAM マップ (1/4 デューティ)

## 17. LCD コントローラ/ドライバ

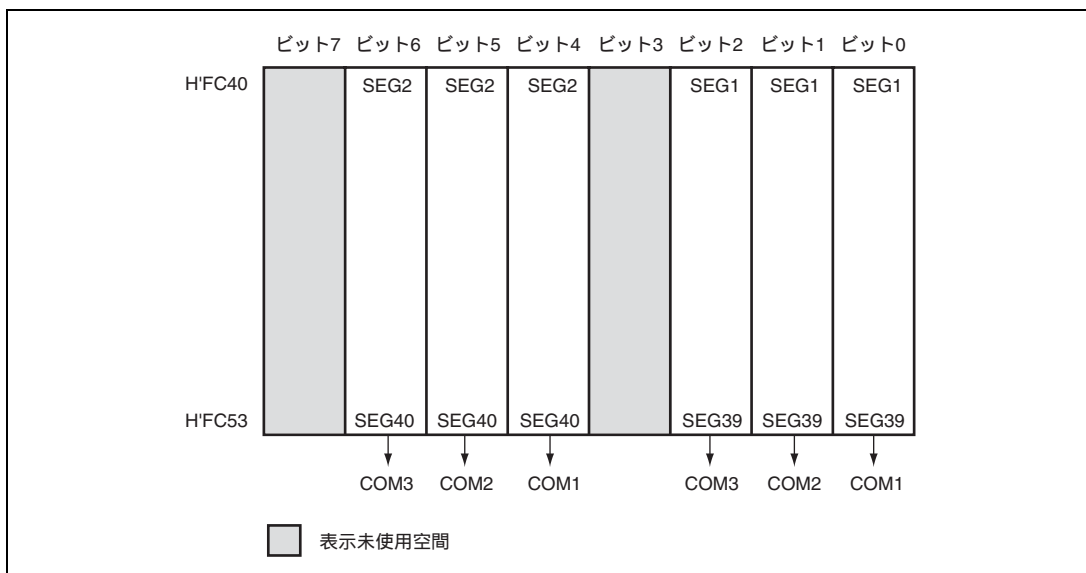


図 17.5 LCD RAM マップ (1/3 デューティ)

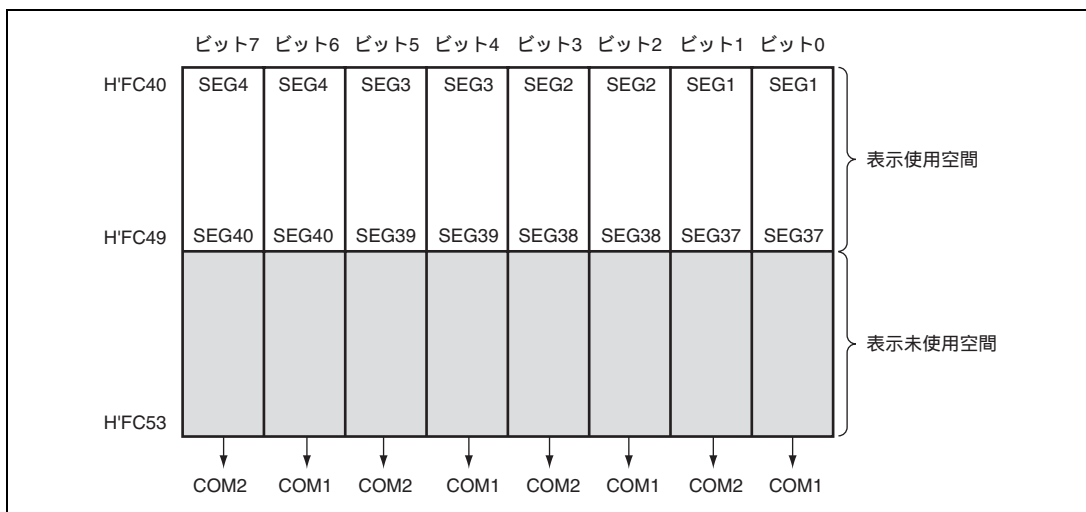


図 17.6 LCD RAM マップ (1/2 デューティ)

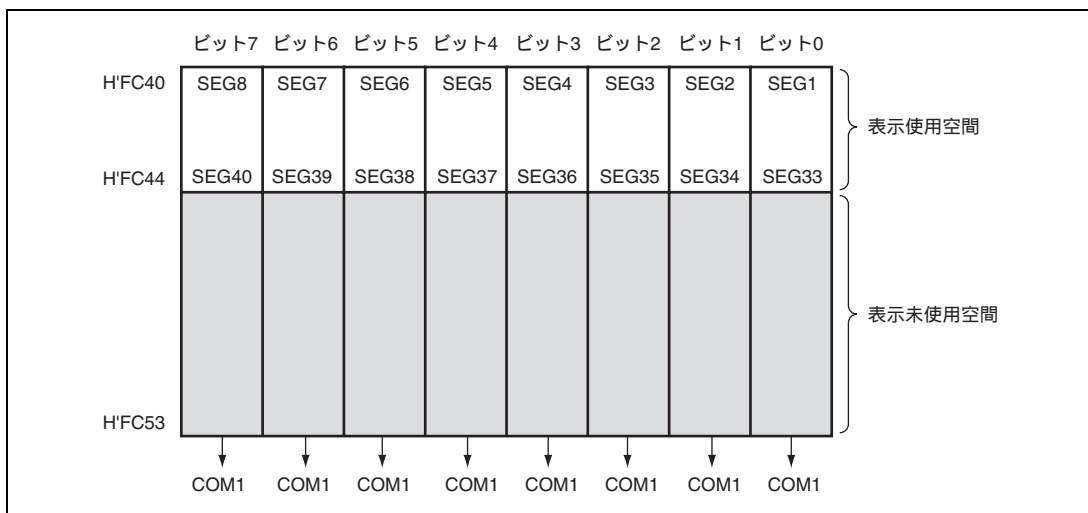


図 17.7 LCD RAM マップ (スタティック)

## 17. LCD コントローラ / ドライバ

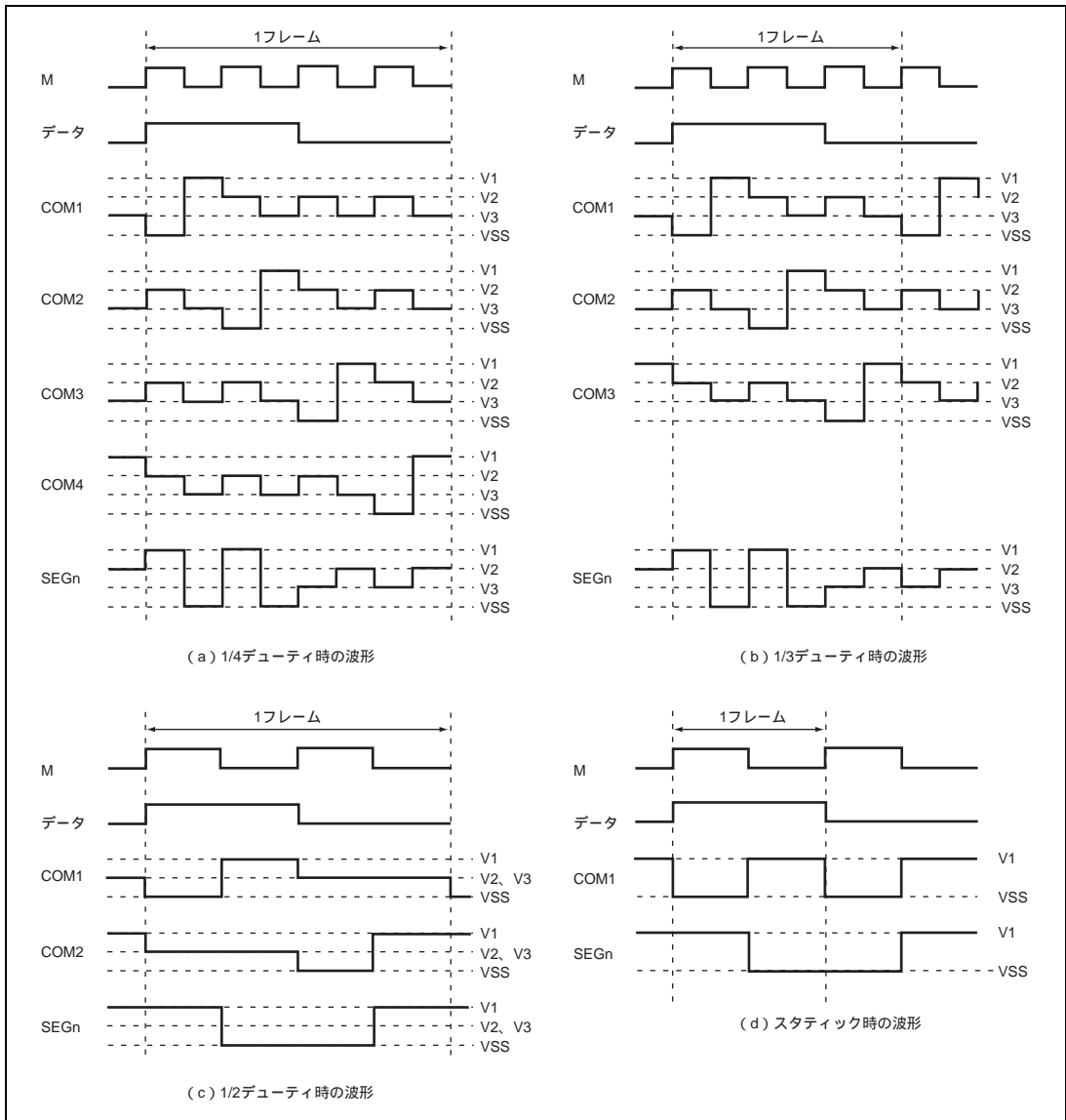


図 17.8 各デューティでの出力波形 (A 波形)



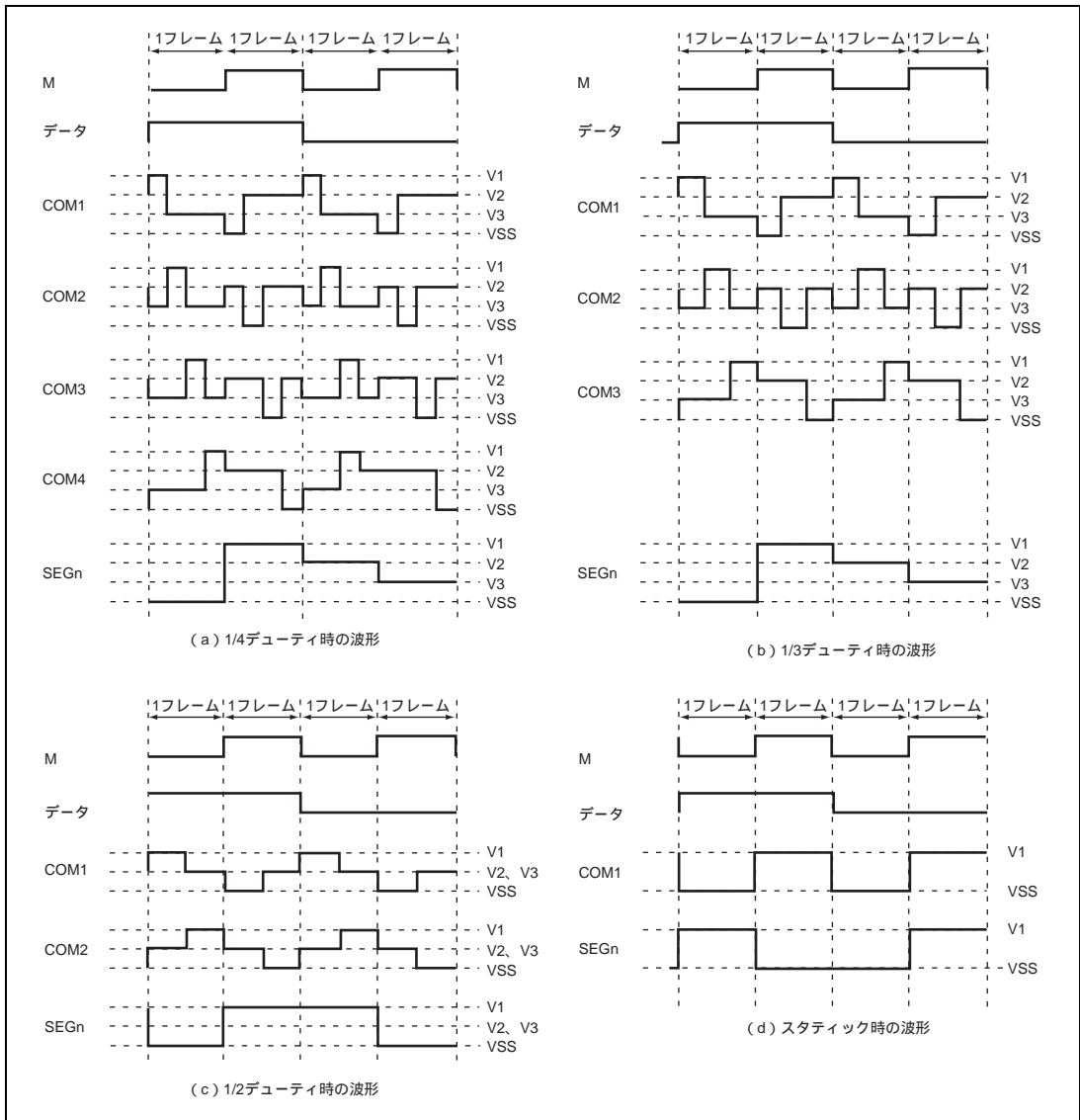


図 17.9 各デューティでの出力波形 (B 波形)

## 17. LCD コントローラ / ドライバ

表 17.6 出力レベルの関係

データ		0	0	1	1
M		0	1	0	1
スタティック	コモン出力	V1	VSS	V1	VSS
	セグメント出力	V1	VSS	VSS	V1
1/2 デューティ	コモン出力	V2、V3	V2、V3	V1	VSS
	セグメント出力	V1	VSS	VSS	V1
1/3 デューティ	コモン出力	V3	V2	V1	VSS
	セグメント出力	V2	V3	VSS	V1
1/4 デューティ	コモン出力	V3	V2	V1	VSS
	セグメント出力	V2	V3	VSS	V1

### 17.4.3 3倍昇圧回路 (H8S/2268 グループのみ)

H8S/2268 グループは、3倍昇圧回路を内蔵しており、V3 端子から入力される液晶入力基準電圧 ( $V_{LCD3}$ ) の3倍の電圧を、LCD ドライバ用に用いることができます。

昇圧回路を動作させる前に、デューティ比の選択 (1/3 デューティまたは 1/4 デューティ)、LCD ドライバもしくは I/O の端子機能の選択、表示データ、フレーム周波数選択等の設定を行い、C1 と C2 の間には約 0.1  $\mu$ F の容量を接続し、V3 端子に「25.2.6 LCD 特性」で定める電圧を印加してください。

この設定の後、LCD コントロールレジスタ 2 (LCR2) の昇圧回路用クロック選択し SUPS を 1 にすることにより、3倍昇圧回路が動作し、V2 端子に  $V_{LCD3}$  の2倍の電圧が発生し、V1 端子に  $V_{LCD3}$  の3倍の電圧が発生します。

- 【注】
- \*1 3倍昇圧回路は、H8S/2268 グループの LCD 駆動電源以外に使用しないでください。また、大きなパネルを駆動する場合、電源容量が不足する場合があります。この場合には、Vcc を電源とするか、外部電源回路を使用してください。
  - \*2 3倍昇圧回路を使用する場合は、デューティ比をスタティック、1/2 デューティとしないでください。
  - \*3 C1、C2 に接続する容量は、電解コンデンサのような極性があるものは使用しないでください。

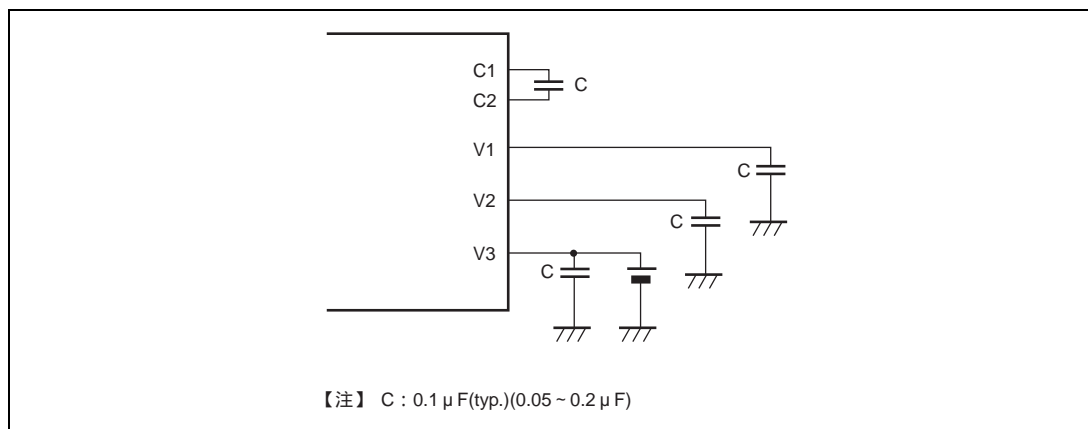


図 17.10 3倍昇圧回路使用時の接続方法 (H8S/2268 グループのみ)

#### 17.4.4 低消費電力モード時の動作

本 LSI は低消費電力モード時でも、LCD コントローラ / ドライバを動作させることができます。低消費電力モード時の LCD コントローラ / ドライバの動作状態を表 17.7 に示します。

サブアクティブモード / ウォッチモード / サブスリープモードではシステムクロック発振器が停止するので、CKS3 ~ CKS0 で  $\text{SUB}^{\wedge} \text{SUB} / 2$  または  $\text{SUB}^{\wedge} / 4$  を選択していないとクロックが供給されず、表示が停止します。この場合 LCD パネルには直流電圧がかかる可能性がありますので必ず  $\text{SUB}^{\wedge} \text{SUB} / 2$  または  $\text{SUB}^{\wedge} / 4$  を選択するようにしてください。

ソフトウェアスタンバイモードでは、セグメント出力とコモン出力が入出力ポートに切り替わります。この場合ポートの DDR または PCR が 1 に設定されていると、LCD パネルに直流電圧がかかる可能性があります。セグメント出力とコモン出力に使用するポートの DDR と PCR は 1 に設定しないでください。

表 17.7 低消費電力モードと表示動作の関係

モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール ストップ
クロック		動作	動作	動作	停止	停止	停止	停止	停止* 4
	$\text{SUB}^{\wedge}$	動作	動作	動作	動作	動作	動作	停止* 1</td <td>停止*<!--4</td--> </td>	停止* 4</td
表示 動作	ACT = 0	停止	停止	停止	停止	停止	停止	停止* 2</td <td>停止</td>	停止
	ACT = 1	停止	表示	表示	表示* 3</td <td>表示*<!--3</td--> <td>表示*<!--3</td--> <td>停止*<!--2</td--> <td>停止*<!--2</td--> </td></td></td></td>	表示* 3</td <td>表示*<!--3</td--> <td>停止*<!--2</td--> <td>停止*<!--2</td--> </td></td></td>	表示* 3</td <td>停止*<!--2</td--> <td>停止*<!--2</td--> </td></td>	停止* 2</td <td>停止*<!--2</td--> </td>	停止* 2</td

【注】 \*1 サブクロック発振器は停止しませんがクロックの供給は停止します。

\*2 PSW に関係なく LCD 駆動電源を OFF します。

\*3 使用クロックに  $\text{SUB}^{\wedge} \text{SUB} / 2$  または  $\text{SUB}^{\wedge} / 4$  を選択していないと表示動作を行いません。

\*4 LCD に供給されるクロックは停止します。

### 17.4.5 低消費電力 LCD 駆動方式

LCD 電源回路には、通常内蔵分割抵抗を用いるのが最も簡単な方法でありますが、内蔵抵抗が固定のため、常に内蔵抵抗の VCC から VSS へ一定の直流電流が流れていることとなります。この電流は LCD パネルの消費電流に依存しないため、消費電流の小さな LCD パネルを使用する場合、無駄な電力を消費していることとなります。本 LSI にはこの無駄な電力を改善する機能が内蔵されています。この機能を活用することにより、LCD パネルの消費電流に最適な電源回路を得ることができます。

#### (1) 原理

1. 図17.11に示すように、LCD電源端子のV1、V2、V3にコンデンサを外付回路として接続します。
2. V1、V2、V3に接続されたコンデンサは図17.11に示すような周期で充電と放電を繰り返し、電位を保持します。
3. このとき、充電される電位はV1、V2、V3各々の端子に相当する電位です。  
(例えば、1/3バイアス駆動の場合、V2はV1の3分の2、V3はV1の3分の1の電位を充電します。)
4. これらのコンデンサに充電された電荷によりLCDパネルに電源を供給します。
5. したがって、LCDパネルの消費電流の値によって、これらのコンデンサの容量と充放電期間が決まります。
6. 充放電期間はソフトウェアにより選択することができます。

#### (2) 動作例 (1/3 バイアス駆動の場合)

1. 図17.11に示すように、充電期間 $T_{c}$ の間、V1、V2、V3端子には電位 (V2はV1の3分の2、V3はV1の3分の1の電位) が内蔵分割抵抗により分圧され、外付けコンデンサのC1、C2、C3を充電します。この期間もLCDパネルは駆動されています。
2. 次の放電期間 $T_{dc}$ には、充電は停止し、各コンデンサに充電された電荷を放電することにより、LCDパネルを駆動します。
3. このとき、放電により若干の電圧降下が生じますが、充電期間とコンデンサの容量に適切な値を選択し、LCDパネルの駆動に影響がないようにしなければなりません。
4. このようにしてV1、V2、V3に接続されたコンデンサは図17.11に示すような周期で充電と放電を繰り返し、電位を保持しながらLCDパネルを駆動続けます。
5. 以上から分かるように、コンデンサの容量の値と充放電期間は、使用するLCDパネルの消費電流の値によって決まります。また充放電期間はCDS3 ~ CDS0により選択することができます。
6. 実際のコンデンサの容量と充放電期間は、LCDパネルの消費電流の要求に合わせて実験的に決める必要がありますが、内部分割抵抗に常時直流電流が流れる場合に比べ、最適な電流を選択することができます。

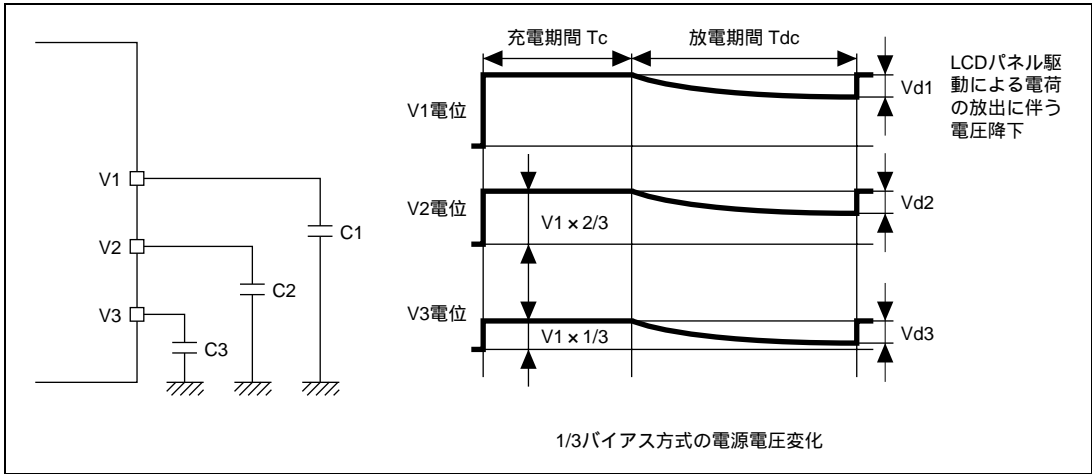


図 17.11 低消費電力 LCD 駆動方式動作例

### 17.4.6 LCD 駆動電源の強化

大きなパネルを駆動する場合、内蔵の電源容量では足りないことがあります。このような場合は、電源のインピーダンスを下げる必要があります。この対策として、図 17.12 に示すように V1 ~ V3 端子に 0.1 ~ 0.3 μF 程度のバイパスコンデンサを接続する方法や、新たに分割抵抗を外部に設ける方法があります。

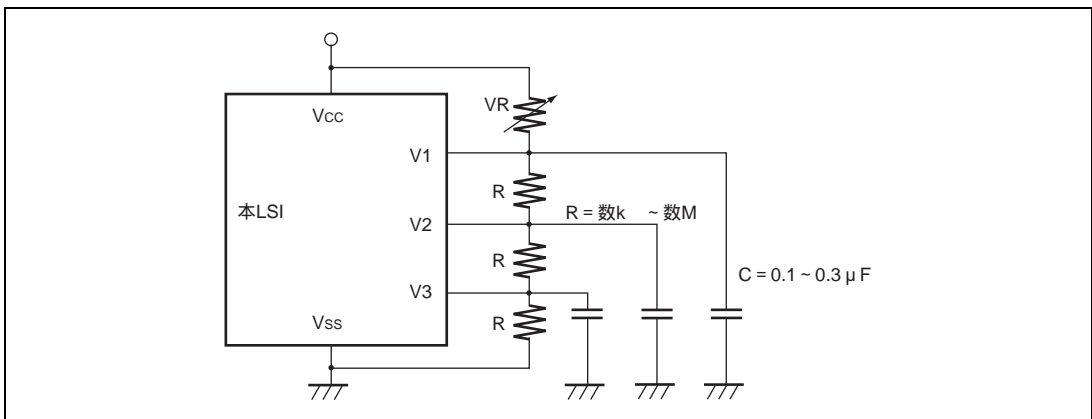


図 17.12 外部分割抵抗の接続方法



## 18. DTMF 発生回路

H8S/2268 グループは、DTMF (Dual Tone Multi Frequency) 発生回路を内蔵しており、DTMF 信号を発生させることができます。H8S/2264 グループは内蔵していません。

DTMF 信号は、交換機をアクセスする 2 種類の正弦波で構成され、図 18.1 に示す周波数のマトリックスで表されます。DTMF 発生回路は、各数字、記号に対応する周波数を発生させます。

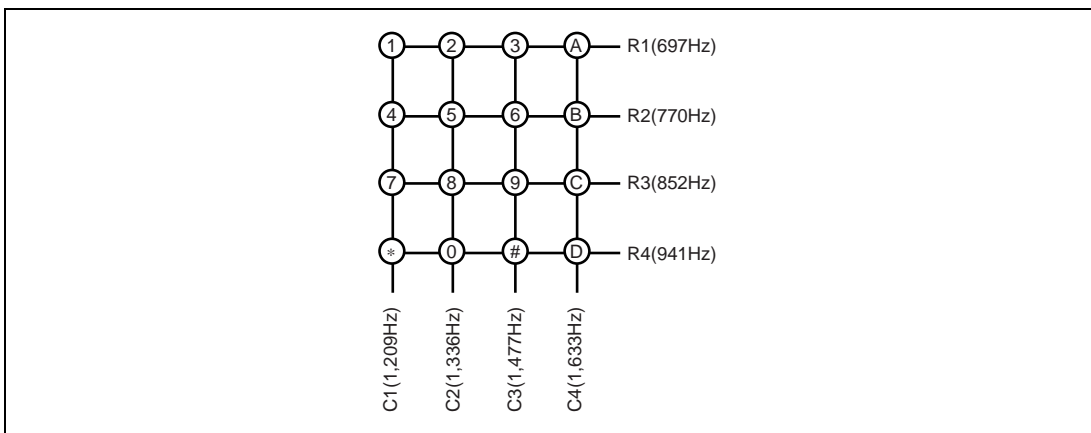


図 18.1 DTMF 周波数

## 18.1 特長

- システムクロック ( ) からDTMF周波数の正弦波を生成

システムクロック (2.0MHz~20.4MHz、400kHz刻み) を分周して、400kHzのクロックを生成し、これを変形プログラムデバイダ、正弦波カウンタのフィードバックループに入力することでDTMF周波数の正弦波を生成します。

- 低歪率の安定した正弦波出力可能

正弦波は、高精度抵抗ラダー型D/A変換回路で出力され、また1サイクルを32分割しているため、低歪率の安定な波形を得られます。

- 合成または単独の波形出力選択可能

レジスタ設定によりRowグループとColumnグループの合成出力または、Rowグループ、Columnグループ単独の出力を選択できます。

- モジュールストップモードの設定可能

DTMF 発生回路のブロック図を、図 18.2 に示します。

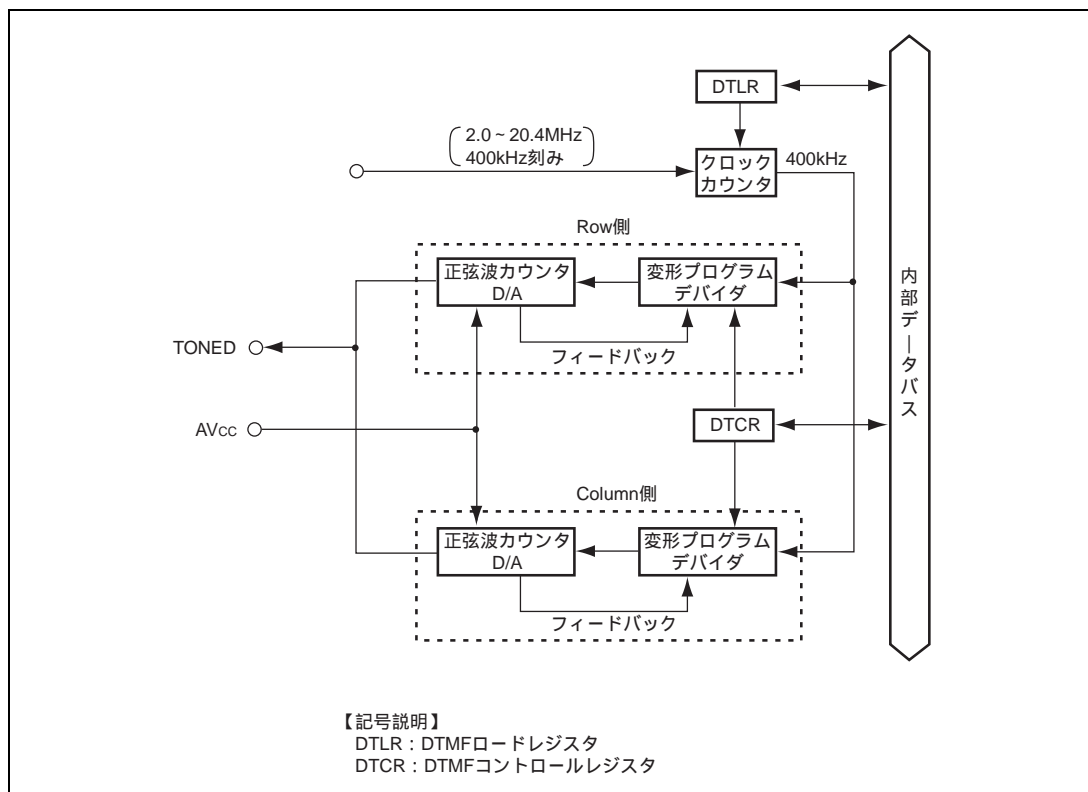


図 18.2 DTMF 発生回路のブロック図



## 18.2 入出力端子

DTMF 発生回路の端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源
DTMF 信号出力	TONED	出力	DTMF 信号出力端子

## 18.3 レジスタの説明

DTMF 発生回路には以下のレジスタがあります。

- DTMFコントロールレジスタ (DTCR)
- DTMFロードレジスタ (DTLR)

### 18.3.1 DTMF コントロールレジスタ (DTCR)

DTCR は、DTMF 発生回路動作、Column 側出力、Row 側出力の制御、出力周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	DTEN	0	R/W	DTMF 発生回路動作制御 DTMF 発生回路を動作または停止させます。 0 : DTMF 発生回路を停止 1 : DTMF 発生回路を動作
6	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	CLOE	0	R/W	Column 側出力制御 Column 側 DTMF 信号出力を許可または禁止します。 0 : Column 側 DTMF 信号出力を禁止 (ハイインピーダンス) 1 : Column 側 DTMF 信号を許可
4	RWOE	0	R/W	Row 側出力制御 Row 側 DTMF 信号出力を許可または禁止します。 0 : Row 側 DTMF 信号出力を禁止 (ハイインピーダンス) 1 : Row 側 DTMF 信号を許可

## 18. DTMF 発生回路

ビット	ビット名	初期値	R/W	説明
3 2	CLF1 CLF0	0 0	R/W R/W	Column 側 DTMF 信号出力周波数 1、0 Column 側 DTMF 信号 ( C1 ~ C4 ) の周波数を選択します。 00 : Column 側 DTMF 信号出力周波数 : 1209Hz ( C1 ) 01 : Column 側 DTMF 信号出力周波数 : 1336Hz ( C2 ) 10 : Column 側 DTMF 信号出力周波数 : 1447Hz ( C3 ) 11 : Column 側 DTMF 信号出力周波数 : 1633Hz ( C4 )
1 0	RWF1 RWF0	0 0	R/W R/W	Row 側 DTMF 信号出力周波数 1、0 Row 側 DTMF 信号 ( R1 ~ R4 ) の周波数を選択します。 00 : Row 側 DTMF 信号出力周波数 : 697Hz ( R1 ) 01 : Row 側 DTMF 信号出力周波数 : 770Hz ( R2 ) 10 : Row 側 DTMF 信号出力周波数 : 852Hz ( R3 ) 11 : Row 側 DTMF 信号出力周波数 : 941Hz ( R4 )

### 18.3.2 DTMF ロードレジスタ (DTLR)

DTLR は、DTMF 発生回路用にシステムクロックの分周比を設定します。

ビット	ビット名	初期値	R/W	説明
7	-	1	-	リザーブビット
6	-	1	-	リードすると常に 1 が読み出されます。ライトは無効です。
5	DTL5	0	R/W	メインクロック分周比 5~0 DTMF 発生回路に入力する 400kHz クロックを生成するために、システムクロックの分周比を設定します。分周比は 2.0~20.4MHz (400kHz 刻み) に対応して、6b'000101~6b'110011 (D'5~D'51) のカウンタ値を設定します。 000000 : 設定禁止 000001 : 設定禁止 000010 : 設定禁止 000011 : 設定禁止 000100 : 設定禁止 000101 : 分周比 (5) メインクロック周波数 (2.0MHz) 000110 : 分周比 (6) メインクロック周波数 (2.4MHz) 000111 : 分周比 (7) メインクロック周波数 (2.8MHz) : : : 110001 : 分周比 (49) メインクロック周波数 (19.6MHz) 110010 : 分周比 (50) メインクロック周波数 (20.0MHz) 110011 : 分周比 (51) メインクロック周波数 (20.4MHz) 110100 : 設定禁止 : : : 111111 : 設定禁止
4	DTL4	0	R/W	
3	DTL3	0	R/W	
2	DTL2	0	R/W	
1	DTL1	0	R/W	
0	DTL0	0	R/W	

DTL5~DTL0 の設定が、システムクロックと合っていない場合、正常な DTMF 信号の出力周波数が得られません。また、DTL5~DTL0 の設定値が、5~51 (分周比 5~51) 以外の場合、動作が保証されませんので、本ビットには正しい値を設定してください。

## 18.4 動作説明

### 18.4.1 出力波形

DTMF 発生回路は、TONED 端子より Row グループ、Column グループの合成波または Row グループ、Column グループ単独の正弦波（DTMF 信号）を出力します。これらの信号は、高精度抵抗ラダー型 D/A 変換回路で生成されます。出力周波数は、DTCR により設定します。

TONED 端子出力の等価回路を図 18.3 に、また Row グループ、Column グループ単独時の出力波形を図 18.4 に示します。出力波形は 1 サイクルを 32 分割しているため、低歪率で安定な出力を得られます。

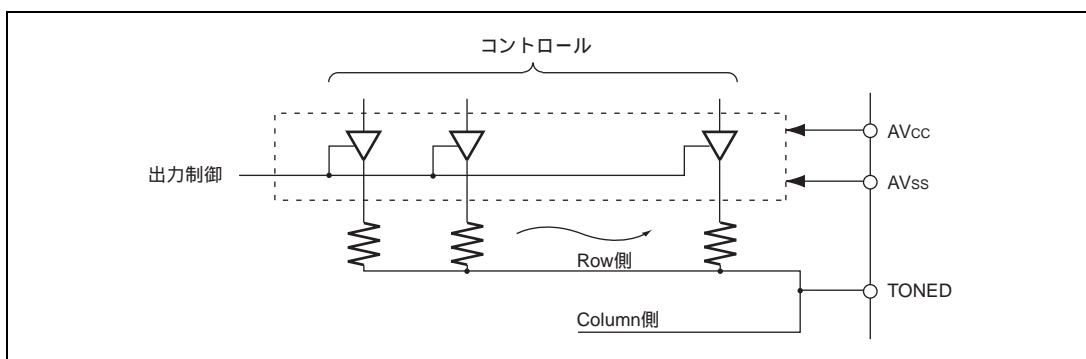


図 18.3 TONED 端子出力等価回路

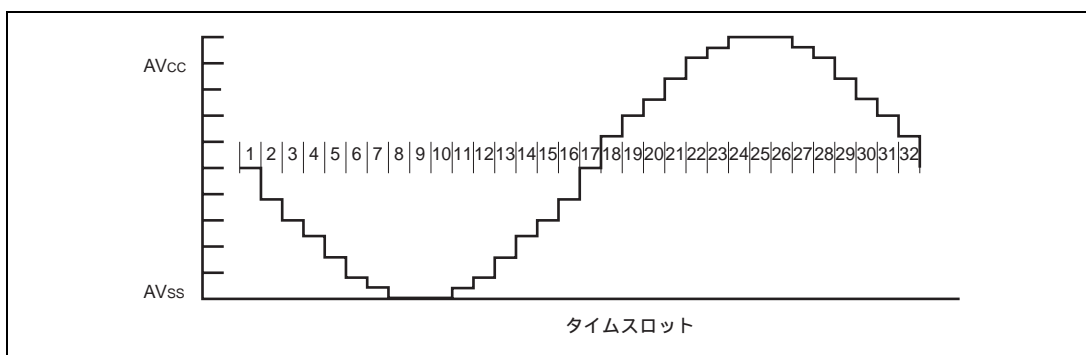


図 18.4 TONED 端子出力波形（Row グループ、Column グループ単独時）

DTMF 発生回路の出力信号と標準信号との周波数偏差を表 18.2 に示します。

表 18.2 DTMF 出力信号と標準信号との周波数偏差

記号	標準信号 (Hz)	DTMF 信号出力 (Hz)	周波数偏差 (%)
R1	697	694.44	- 0.37
R2	770	769.23	- 0.10
R3	852	851.06	- 0.11
R4	941	938.97	- 0.22
C1	1209	1212.12	0.26
C2	1336	1333.33	- 0.20
C3	1477	1481.48	0.30
C4	1633	1639.34	0.39

### 18.4.2 動作フロー

DTMF 発生回路の操作手順を以下に示します。

1. 接続されているシステムクロック発振子の周波数に合わせて、システムクロック分周比を DTLR に設定します (2.0MHz ~ 20.4MHz、400kHz 刻み)。
2. DTCR の CLF1、CLF0、RWF1、RWF0 により、Row 側 (R1 ~ R4)、Column 側 (C1 ~ C4) の周波数を設定します。
3. DTCR の CLOE、RWOE により、Row 側、Column 側の出力を選択し、DTEN を 1 にセットして、DTMF 発生回路を動作させます。

上記の手順で、設定された DTMF 信号が TONED 端子より出力されます。

## 18.5 応用回路例

DTMF 発生回路の応用例を図 18.5 に示します。

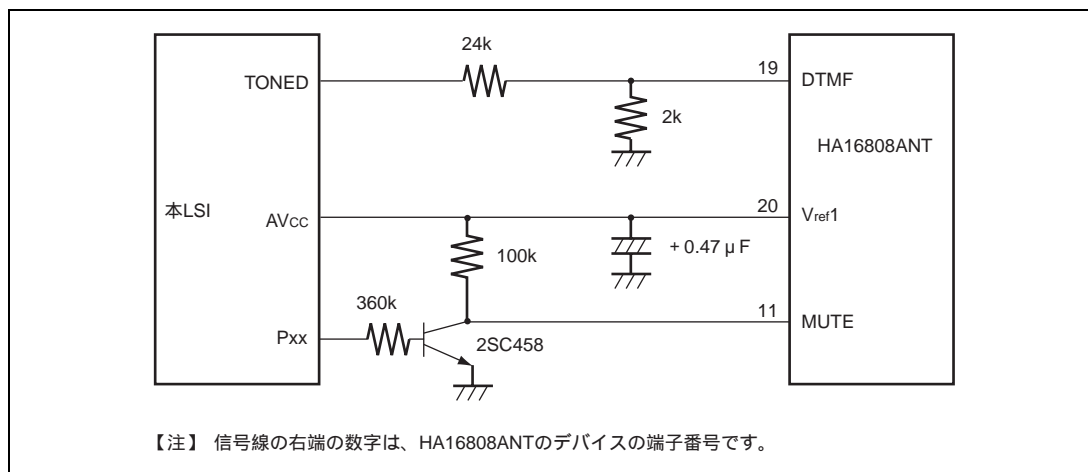


図 18.5 HA16808ANT との接続例

## 18.6 使用上の注意事項

### (1) モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTMF 発生回路の動作禁止/許可を設定することができます。初期値では、DTMF 発生回路の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### (2) DTLR の設定とシステムクロック

DTMF発生回路を使用するときには、次の点に注意してください。

DTLRの設定値と、システムクロックを必ず合わせてください。DTLRの設定値とシステムクロックが異なる場合には、正常なDTMF信号の出力周波数が得られません。

### (3) AVCC、AVSS と VCC、VSS の関係

AVCC、AVSSとVCC、VSSとの関係は、AVSS=VSSとし、さらにDTMF発生回路を使用しないときもAVCC、AVSS端子を決してオープンにしないでください。

【注】 上記が守られない場合、LSIの信頼性に悪影響を及ぼすことがあります。

---

## 19. RAM

---

H8S/2268 グループ、H8S/2264 グループは、高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータとも 1 ステートでアクセスします。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8S/2268F	16K バイト	H'FFB000 ~ H'FFEFBF、H'FFF0C0 ~ H'FFFFFF
	H8S/2266F	8K バイト	H'FFD000 ~ H'FFEFBF、H'FFF0C0 ~ H'FFFFFF
	H8S/2265F	4K バイト	H'FFE000 ~ H'FFEFBF、H'FFF0C0 ~ H'FFFFFF
マスク ROM 版	H8S/2264	4K バイト	H'FFE000 ~ H'FFEFBF、H'FFF0C0 ~ H'FFFFFF
	H8S/2262	2K バイト	H'FFE800 ~ H'FFEFBF、H'FFF0C0 ~ H'FFFFFF





---

## 20. ROM

---

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 20.1 に示します。

### 20.1 特長

- 容量

製品型名	ROM 容量	ROM アドレス
H8S/2268F	256k バイト	H'000000 ~ H'03FFFF
H8S/2266F	128k バイト	H'000000 ~ H'01FFFF
H8S/2265F	128k バイト	H'000000 ~ H'01FFFF

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。H8S/2268のフラッシュメモリは64kバイト×3ブロック、32kバイト×1ブロック、4kバイト×8ブロックで、H8S/2266、H8S/2265のフラッシュメモリは64kバイト×1ブロック、32kバイト×1ブロック、4kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

100回書き換え可能です。

- オンボードプログラミングモード：2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。この他、通常のユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み / 消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- ライタモード

オンボードプログラミングの他にPROMライタを用いて書き込み / 消去を行うライタモードがあります。

## 20. ROM

- RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

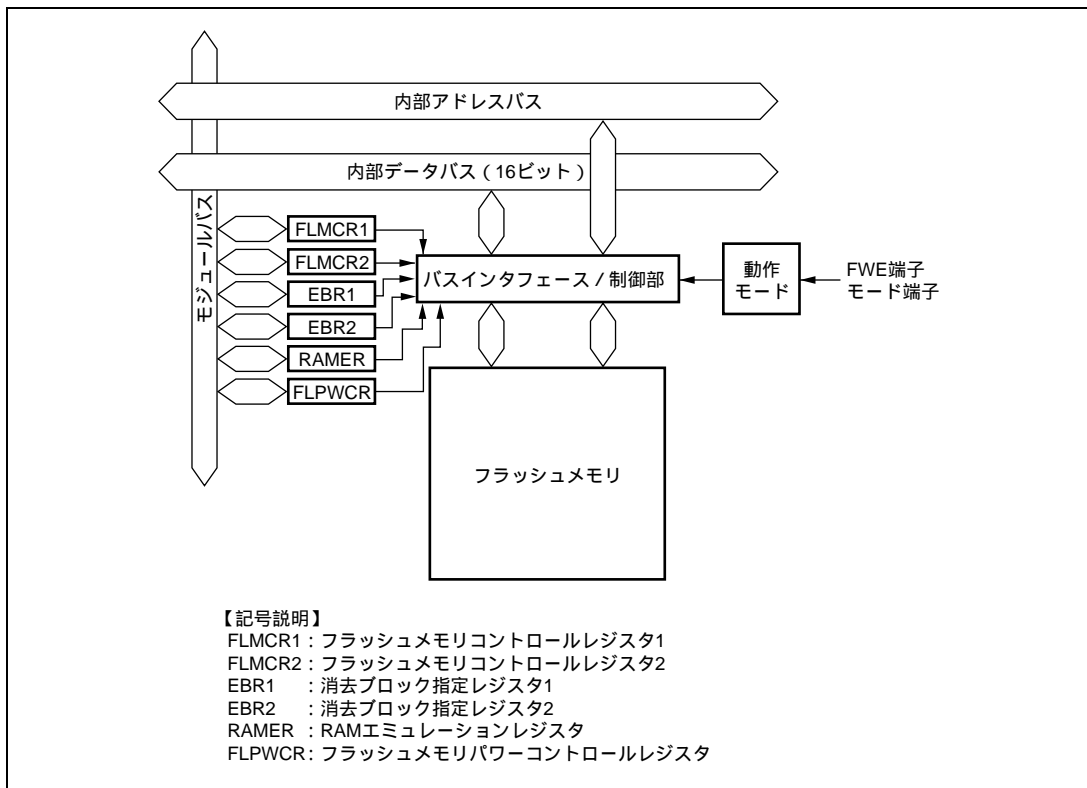


図 20.1 フラッシュメモリのブロック図

## 20.2 モード遷移図

リセット状態でモード端子とFWE端子を設定しリセットスタートすると、本LSIは図20.2に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

表20.1にブートモードとユーザプログラムモードの相違点を示します。図20.3にブートモードを、図20.4にユーザプログラムモードを示します。

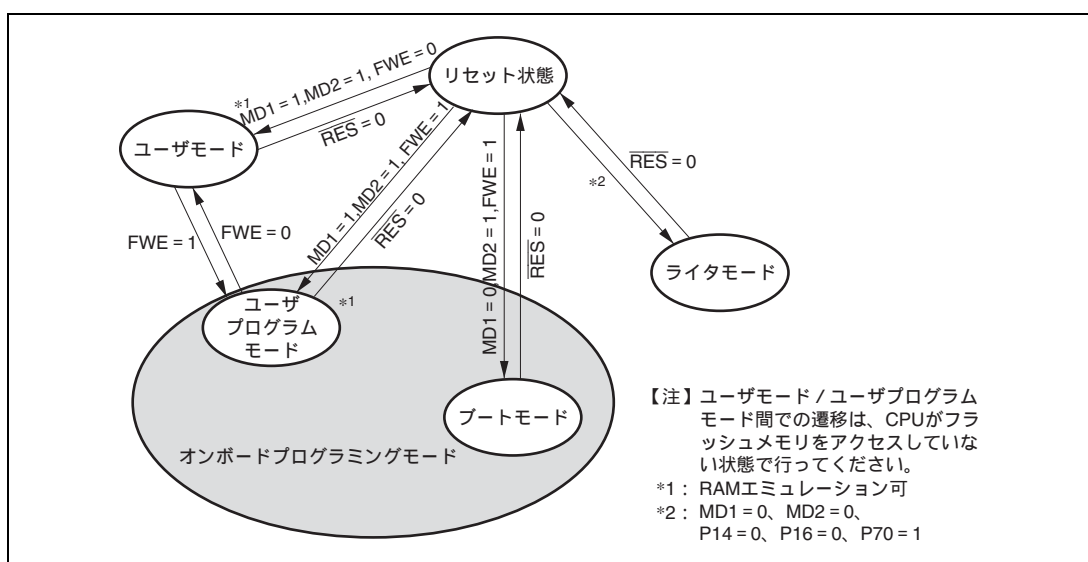


図 20.2 フラッシュメモリに関する状態遷移

表 20.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/プログラムベリファイ	プログラム/プログラムベリファイ イレース/イレースベリファイ エミュレーション

【注】\* 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

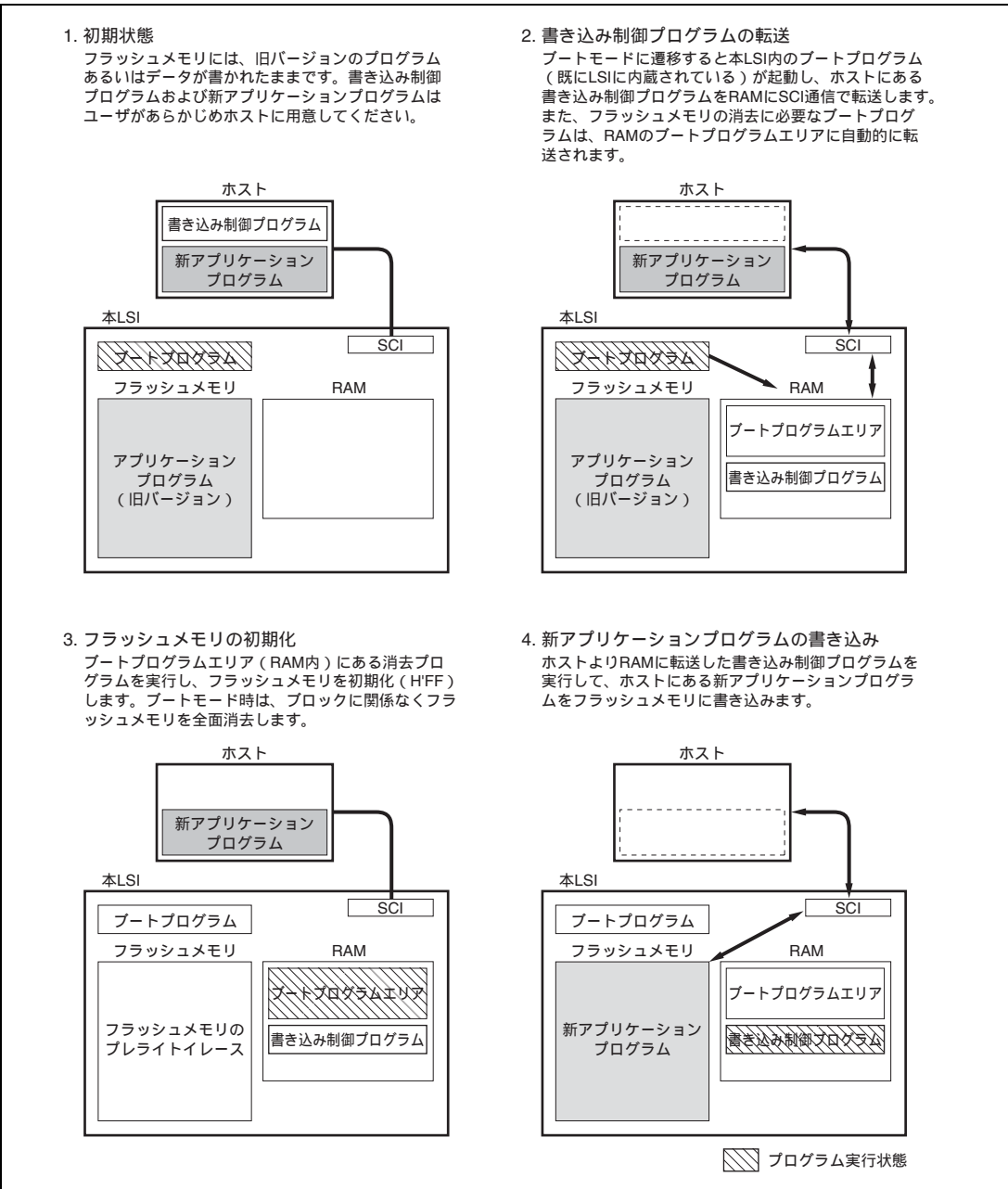
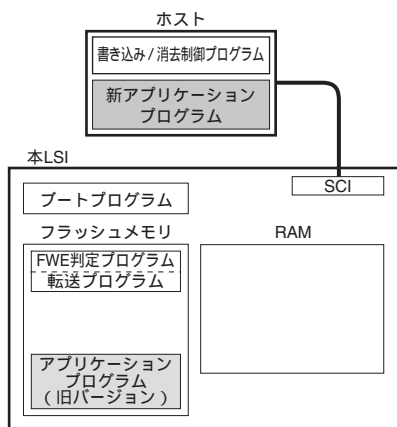


図 20.3 ブートモード

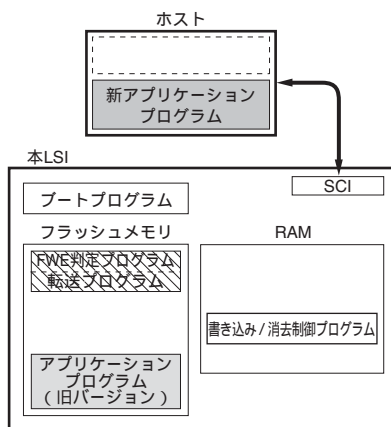
## 1. 初期状態

(1) ユーザプログラムモードに移移したことを確認するFWE判定プログラム、(2)フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3)書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



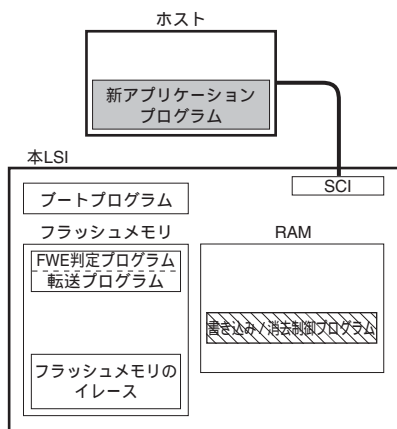
## 2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに移移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



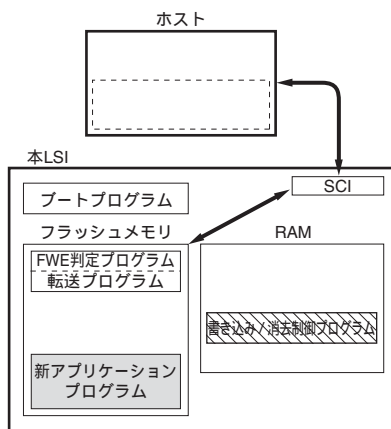
## 3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化(H'FF)します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



## 4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 20.4 ユーザプログラムモード (例)

## 20.3 ブロック構成

図 20.5 に H8S/2268 の 256k バイトフラッシュメモリのブロック構成を、図 20.6 に H8S/2266、H8S/2265 の 128k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。H8S/2268 のフラッシュメモリは 4k バイト (8 ブロック)、32k バイト (1 ブロック)、64k バイト (3 ブロック) に、H8S/2266、H8S/2265 のフラッシュメモリは 4k バイト (8 ブロック)、32k バイト (1 ブロック)、64k バイト (1 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

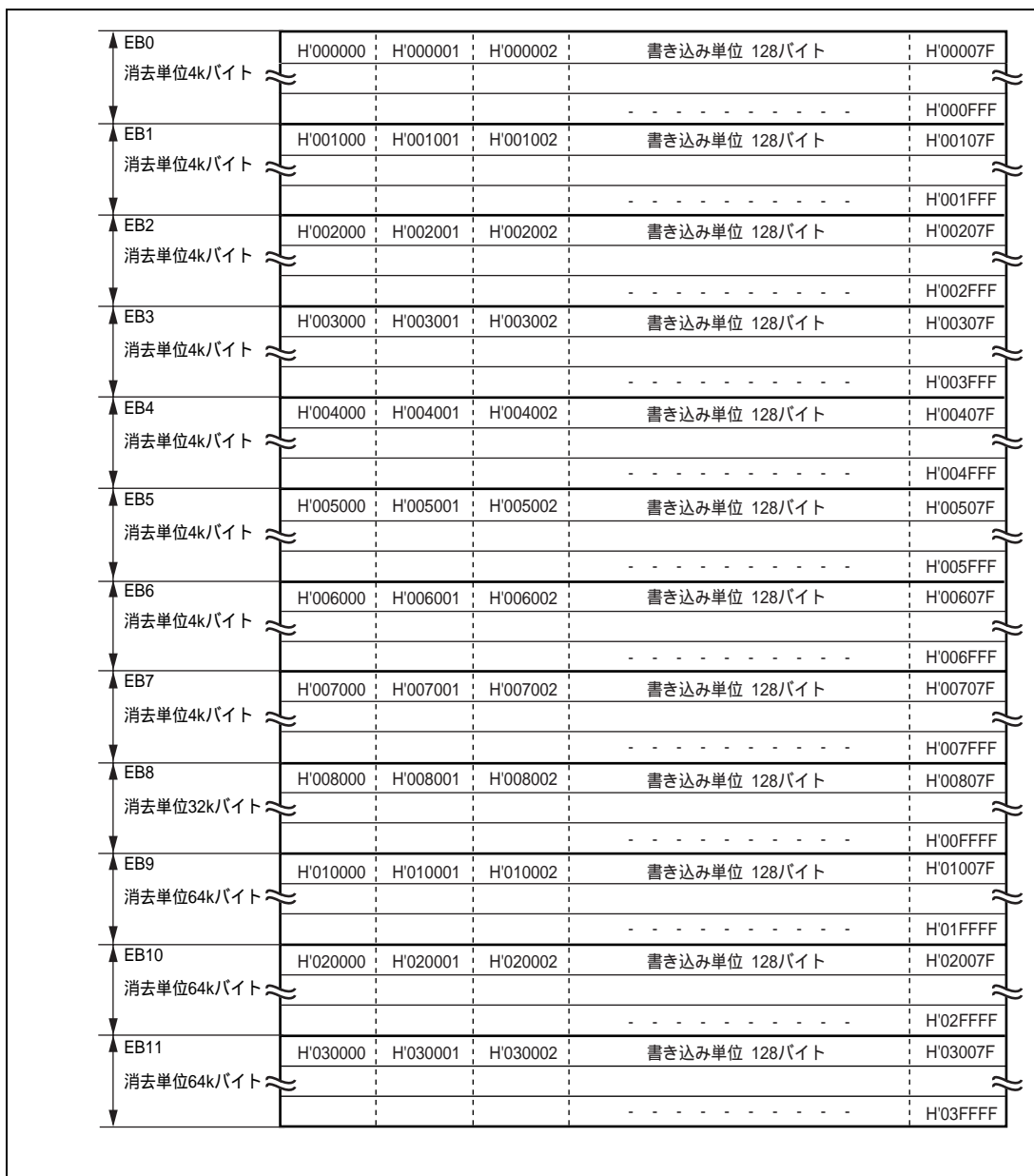


図 20.5 フラッシュメモリのブロック構成 (H8S/2268)

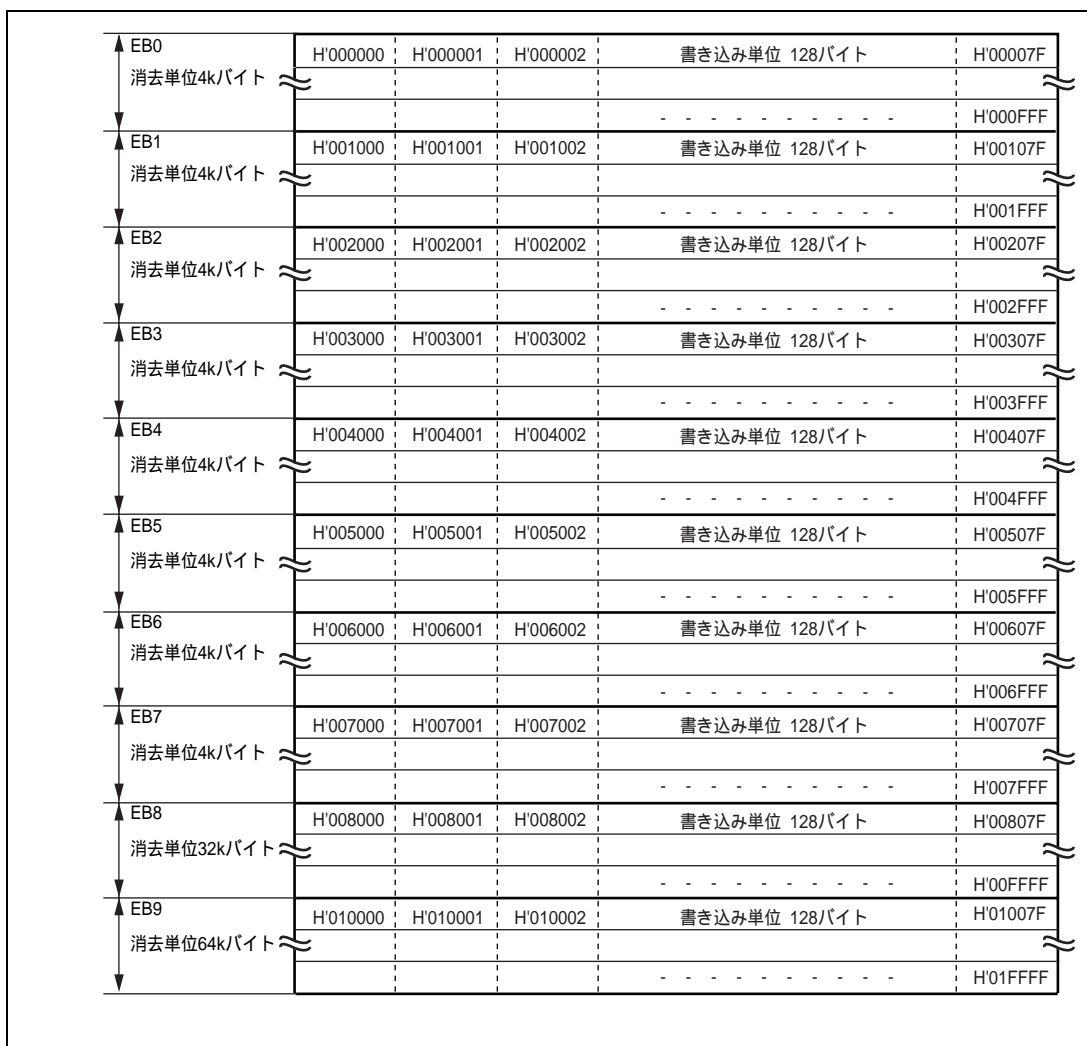


図 20.6 フラッシュメモリのブロック構成 (H8S/2266、H8S/2265)



## 20.4 入出力端子

フラッシュメモリは表 20.2 に示す端子により制御されます。

表 20.2 端子構成

端子名	入出力	機能
$\overline{\text{RES}}$	入力	リセット
FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
MD2	入力	動作モードを設定
MD1	入力	動作モードを設定
P70	入力	ライタモードの動作モードを設定
P16	入力	ライタモードの動作モードを設定
P14	入力	ライタモードの動作モードを設定
TxD0	出力	シリアル送信データ出力
RxD0	入力	シリアル受信データ入力

## 20.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)
- シリアルコントロールレジスタX (SCRX)

マスク ROM 版には上記レジスタは存在しませんので、リードすると不定値が読み出されます。ライトは無効です。

### 20.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「20.8 フラッシュメモリの書き込み / 消去」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FWE		R	フラッシュライトイネーブル FWE 端子の入力レベルが反映されます。FWE 端子が Low レベルのとき 0、High レベルのとき 1 となります。0 のときハードウェアプロテクト状態になります。
6	SWE1	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み / 消去が可能となります。0 のときこのレジスタの 5~0 ビットと EBR1、EBR2 の各ビットはセットできません。 [セット条件] FWE=1 のとき
5	ESU1	0	R/W	イレースセットアップ 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。E1 ビットを 1 にセットする前にセットしてください。 [セット条件] FWE=1、SWE=1 のとき
4	PSU1	0	R/W	プログラムセットアップ 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。P1 ビットを 1 にセットする前にセットしてください。 [セット条件] FWE=1、SWE1=1 のとき
3	EV1	0	R/W	イレースベリファイ 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。 [セット条件] FWE=1、SWE1=1 のとき
2	PV1	0	R/W	プログラムベリファイ 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。 [セット条件] FWE=1、SWE1=1 のとき
1	E1	0	R/W	イレース SWE1=1、ESU1=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。 [セット条件] FWE=1、SWE1=1、ESU1=1 のとき

ビット	ビット名	初期値	R/W	説明
0	P1	0	R/W	プログラム SWE1=1、PSU1=1の状態でのビットを1にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。 [セット条件] FWE=1、SWE1=1、PSU1=1のとき

### 20.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2はフラッシュメモリの書き込み/消去の状態を表示します。FLMCR2は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「20.9.3 エラープロテクト」を参照してください。
6~0		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。

### 20.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1のSWE1ビットが0のときはEBR1はH'00に初期化されます。このレジスタはEBR2と合わせて2ビット以上同時に1に設定しないでください。設定するとEBR1とEBR2は0にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが1のときEB7(H'007000~H'007FFF)の4kバイトが消去対象となります。
6	EB6	0	R/W	このビットが1のときEB6(H'006000~H'006FFF)の4kバイトが消去対象となります。
5	EB5	0	R/W	このビットが1のときEB5(H'005000~H'005FFF)の4kバイトが消去対象となります。
4	EB4	0	R/W	このビットが1のときEB4(H'004000~H'004FFF)の4kバイトが消去対象となります。
3	EB3	0	R/W	このビットが1のときEB3(H'003000~H'003FFF)の4kバイトが消去対象となります。
2	EB2	0	R/W	このビットが1のときEB2(H'002000~H'002FFF)の4kバイトが消去対象となります。
1	EB1	0	R/W	このビットが1のときEB1(H'001000~H'001FFF)の4kバイトが消去対象となります。
0	EB0	0	R/W	このビットが1のときEB0(H'000000~H'000FFF)の4kバイトが消去対象となります。

### 20.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE1 ビットが 0 のときは EBR2 は H'00 に初期化されます。このレジスタは EBR1 と合わせて 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 と EBR2 は 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0	R/W	リザーブビット ライトするときは、必ず 0 をライトしてください。
3	EB11*	0	R/W	このビットが 1 のとき EB11 (H'030000 ~ H'03FFFF) の 64k バイトが消去対象となります。
2	EB10*	0	R/W	このビットが 1 のとき EB10 (H'020000 ~ H'02FFFF) の 64k バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB 9 (H'010000 ~ H'01FFFF) の 64k バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB 8 (H'008000 ~ H'00FFFF) の 32k バイトが消去対象となります。

【注】\* H8S/2266、H8S/2265 ではリザーブビットです。ライトするときは必ず 0 をライトしてください。

### 20.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMER の設定は、ユーザモード、ユーザプログラミングモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット	ビット名	初期値	R/W	説明
7~5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
4		0	R/W	リザーブビット 書き込み時は必ず 0 としてください。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。このビットが 1 のとき、RAM の一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み / 消去プロテクト状態となります。
2 1 0	RAM2 RAM1 RAM0	0 0 0	R/W R/W R/W	フラッシュメモリアリア選択 RAMS が 1 のとき、RAM の領域とオーバーラップさせるフラッシュメモリアリアを選択します。これらのエリアは 4k バイトの消去ブロックに対応しています。  000 : H'000000 ~ H'000FFF(EB0) 001 : H'001000 ~ H'001FFF(EB1) 010 : H'002000 ~ H'002FFF(EB2) 011 : H'003000 ~ H'003FFF(EB3) 100 : H'004000 ~ H'004FFF(EB4) 101 : H'005000 ~ H'005FFF(EB5) 110 : H'006000 ~ H'006FFF(EB6) 111 : H'007000 ~ H'007FFF(EB7)

## 20. ROM

### 20.5.6 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

本 LSI がサブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可 / 禁止を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	パワーダウンスイープル サブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可 / 禁止を設定するビットです。 0 : フラッシュメモリの低消費電力モードへの遷移を許可 1 : フラッシュメモリの低消費電力モードへの遷移を禁止
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

### 20.5.7 シリアルコントロールレジスタ X (SCRX)

SCRX は、レジスタアクセスの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット 0 をライトしてください。
6	IICX1	0	R/W	I <sup>2</sup> C トランスファセレクト 1、0
5	IICX0	0	R/W	詳細は「14.3.5 シリアルコントロールレジスタ X (SCRX)」を参照してください。
4	IICE	0	R/W	I <sup>2</sup> C マスタイネーブル 詳細は「14.3.5 シリアルコントロールレジスタ X (SCRX)」を参照してください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) の CPU アクセスを制御します。FLSHE ビットを 1 にセットすると、フラッシュメモリ制御レジスタをリード / ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。 0 : アドレス H'FFFFA8 ~ H'FFFFAC のエリアはフラッシュ制御レジスタを非選択 1 : アドレス H'FFFFA8 ~ H'FFFFAC のエリアはフラッシュ制御レジスタを選択
2~0	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。

## 20.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。本モードには2種類の動作モード（ブートモード、ユーザプログラムモード）があります。各モードの設定方法は、表 20.3 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図は、図 20.2 を参照してください。

表 20.3 オンボードプログラミングモード設定方法

モード設定	FWE	MD2	MD1
ブートモード	1	1	0
ユーザプログラムモード	1	1	1
ユーザモード	0	1	1

### 20.6.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 20.4 に示します。

- ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「20.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。  
ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムに従って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- SCL\_0は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
- ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCL\_0のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
- ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表20.5の範囲としてください。

5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FFFC000 ~ H'FFDFFF番地です。H8S/2266、H8S/2265の場合ブートモード時のみ、このエリアのRAMは有効です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCL\_0は送受信動作を終了(SCRのRE=0、TE=0)しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、FWE端子とMD端子を設定してリセットを解除\*してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

【注】 \* FWE 端子とモード端子の入力はリセット解除時、モードプログラミングセットアップ時間 ( $t_{MDS} = 200ns$ ) を満足する必要があります。



表 20.4 ブートモードの動作

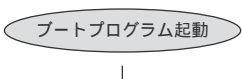
項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐  
ビットレートの合わせ込み	<p>所定のビットレートでH'00を連続送信</p> <p>↓</p> <p>H'00を正常に受信したらH'55送信</p> <p>↓</p> <p>H'AA受信</p>	<p>H'00、H'00・・・H'00</p> <p>H'00</p> <p>H'55</p> <p>H'AA</p>	<ul style="list-style-type: none"> <li>受信データH'00のLow期間を測定</li> <li>ビットレートを計算し、SCI_2のBRRを設定</li> <li>ビットレート合わせ込み終了後、ホストへH'00を送信</li> </ul> <p>↓</p> <p>H'55を受信したらホストへH'AAを送信</p>
書き込み制御プログラムの転送	<p>転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信</p> <p>↓</p> <p>書き込み制御プログラムを1バイトごとに送信(N回繰り返し)</p>	<p>上位バイト、下位バイト</p> <p>エコーバック</p> <p>H'XX</p> <p>エコーバック</p>	<p>受信した2バイトデータをホストへエコーバック</p> <p>↓</p> <p>受信したデータをホストへエコーバックすると共にRAMへ転送(N回繰り返し)</p>
フラッシュメモリ消去	<p>ブートプログラム消去エラー</p> <p>↓</p> <p>H'AA受信</p>	<p>H'FF</p> <p>H'AA</p>	<p>フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信 (消去できなかった場合はH'FFを送信して、動作を停止)</p>
書き込み制御プログラムの実行			<p>↓</p> <p>内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始</p>

表 20.5 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本LSIのシステムクロック周波数範囲
19200bps	8 ~ 20.5MHz
9600bps	4 ~ 20.5MHz
4800bps	2 ~ 20.5MHz

## 20.6.2 ユーザプログラムモード

ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。あらかじめ基板上の FWE 制御手段、オンボードでの書き換えデータ供給手段、分岐のための条件設定をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 20.7 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「20.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。

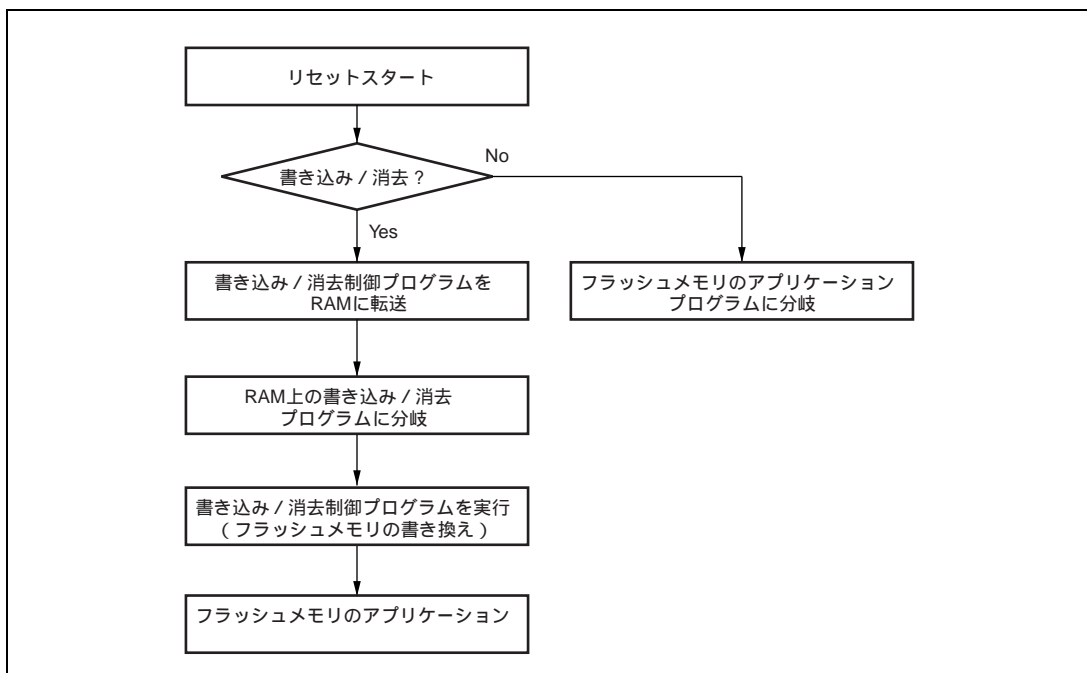


図 20.7 ユーザモードにおける書き込み/消去例

## 20.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるよう、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができます。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 20.8 フラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSピットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間に書き込みます。

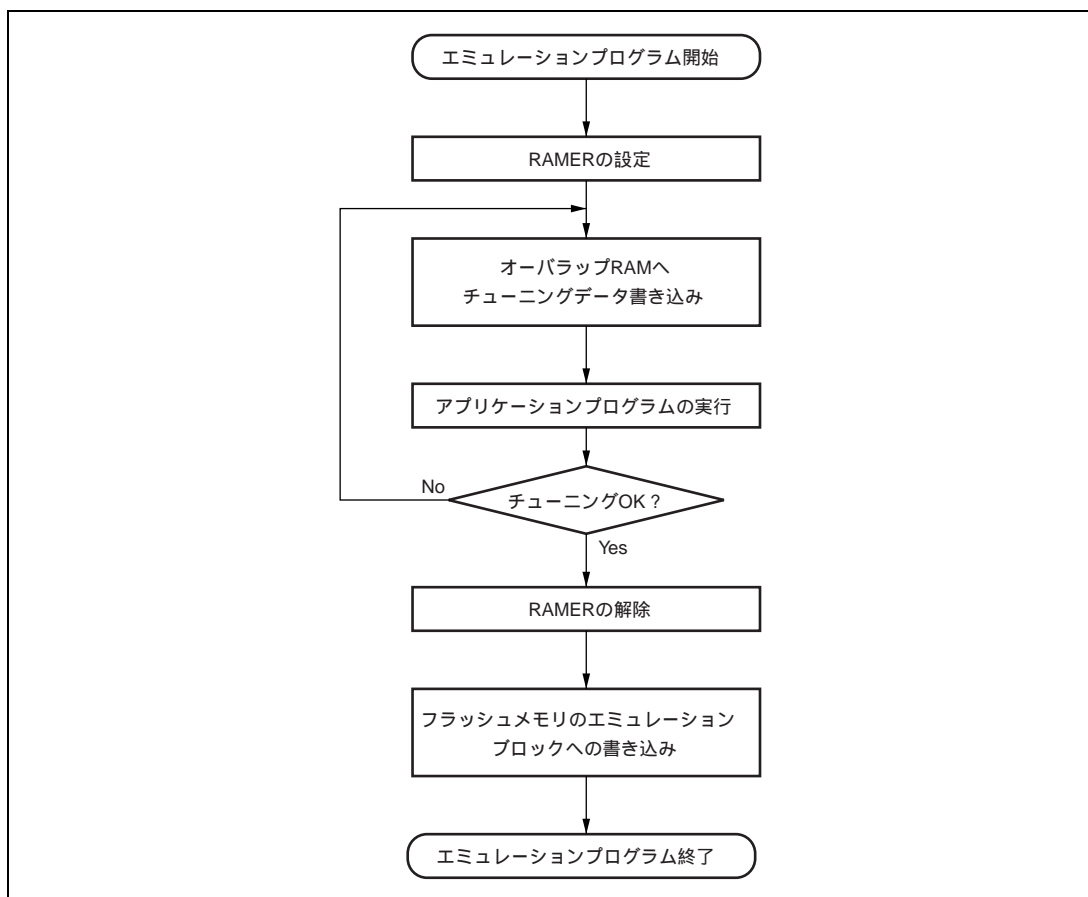


図 20.8 RAM によるエミュレーションフロー

## 20. ROM

フラッシュメモリのブロックをオーバーラップさせる例を図 20.9 に示します。

1. オーバーラップさせるRAMのエリアは、H'FFD000 ~ H'FFDFFFの4kバイトに固定されています。H8S/2265はRAMエミュレート時のみ、このエリアのRAMは有効です。
2. オーバーラップできるフラッシュメモリのエリアは、4kバイトのEB0 ~ EB7のうちの1ブロックでRAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスともとのRAMのアドレスの両方からアクセスできます。
4. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり(エミュレーションプロテクト)、FLMCR1のP1ビットまたはE1ビットをセットしてもプログラムモード、イレースモードへは遷移しません。
5. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
6. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

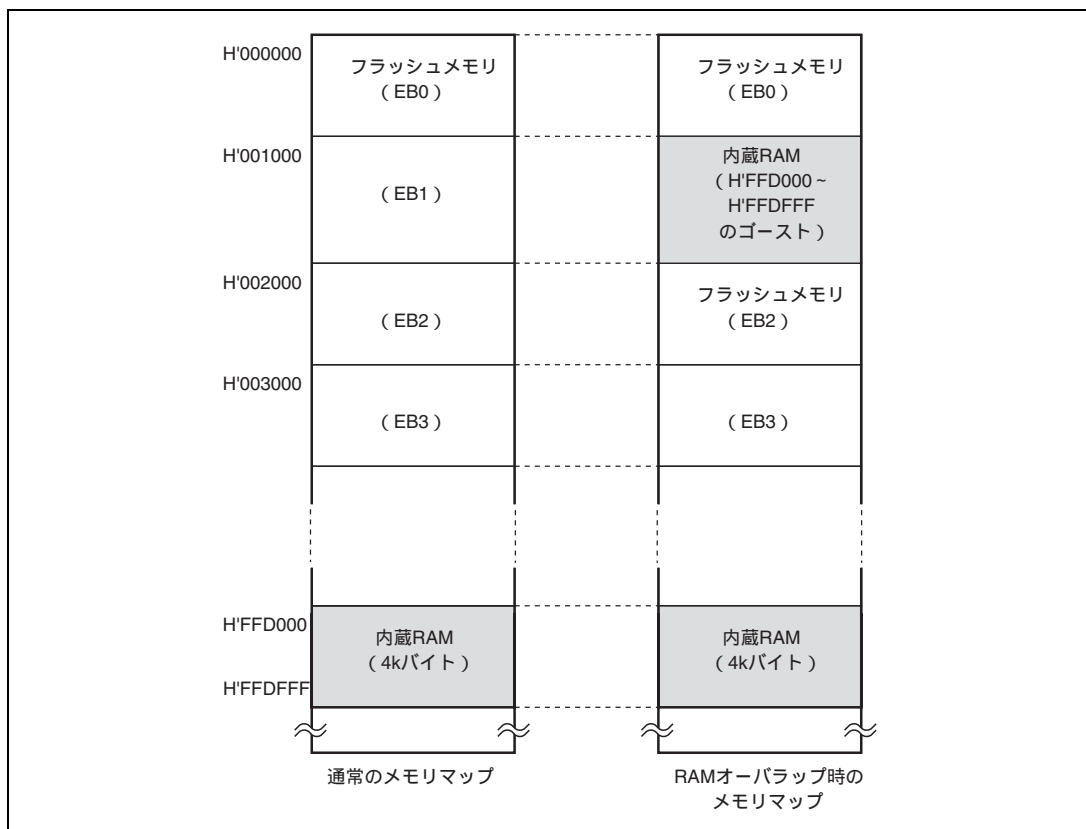


図 20.9 RAM のオーバーラップ例

## 20.8 フラッシュメモリの書き込み / 消去

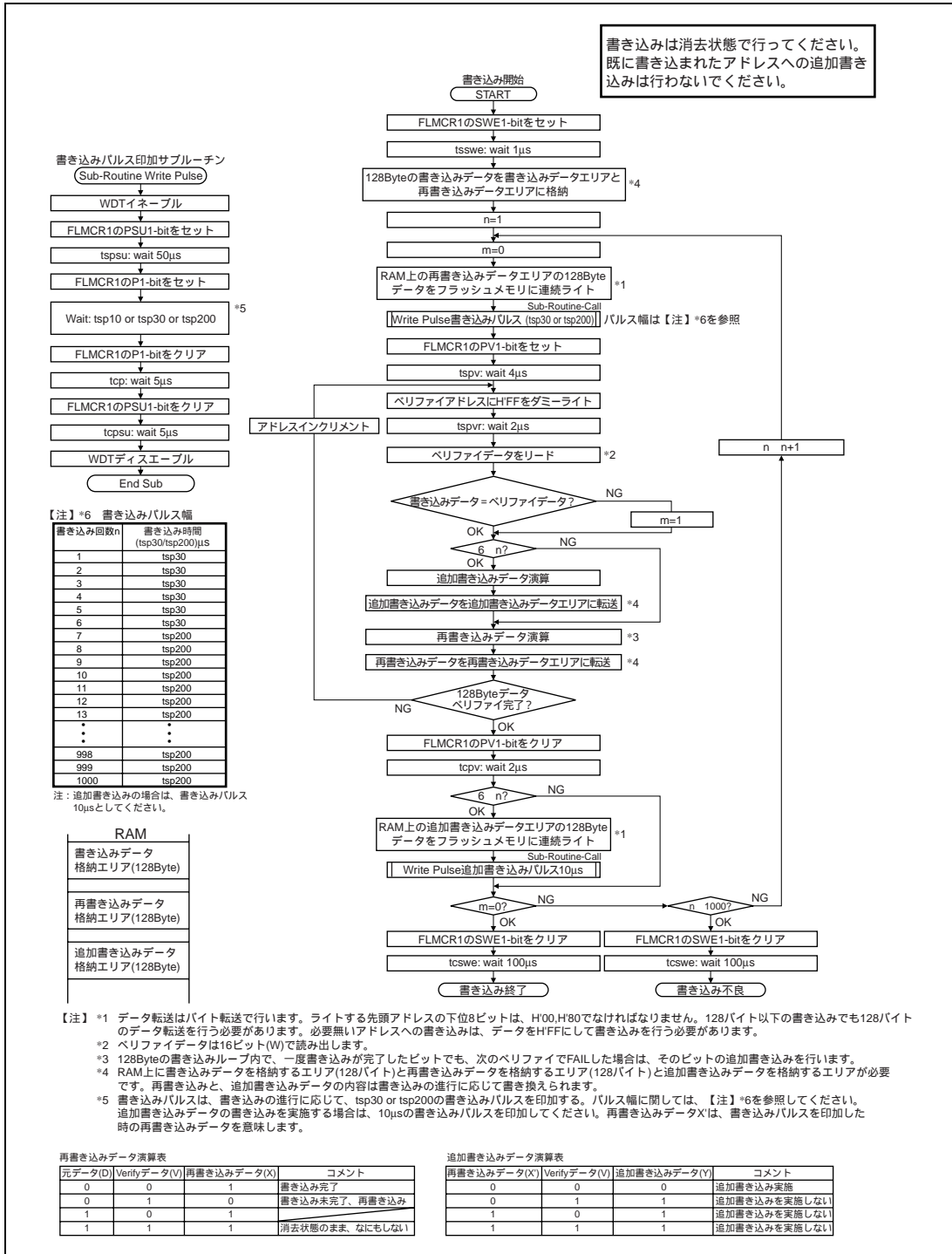
オンボードでのフラッシュメモリの書き込み / 消去は CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリは FLMCR1 の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせで書き込み / 消去を行います。フラッシュメモリへの書き込みは「20.8.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「20.8.2 イレース / イレースベリファイ」に沿って行ってください。

### 20.8.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 20.10 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、既書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図20.10に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. P1ビットがセットされている時間が書き込み時間となります。書き込み時間は図20.10に従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバーフロー周期は  $(t_{\text{spss}} + t_{\text{sp200}} + t_{\text{cp}} + t_{\text{cpss}})$   $\mu\text{s}$ より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位1ビットがb'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、(N)回を超えないようにしてください。

20. ROM



## 20.8.2 イレース/イレースベリファイ

消去は図 20.11 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、2（EBR1、EBR2）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. EIビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は  $(t_{\text{sesu}} + t_{\text{sc}} + t_{\text{ccsu}})$  msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位1ビットがb'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が（N）回を超えないようにしてください。

## 20.8.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中またはブートプログラム実行中は以下の理由から  $\overline{\text{NMI}}$  を含むすべての割り込み要求を禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

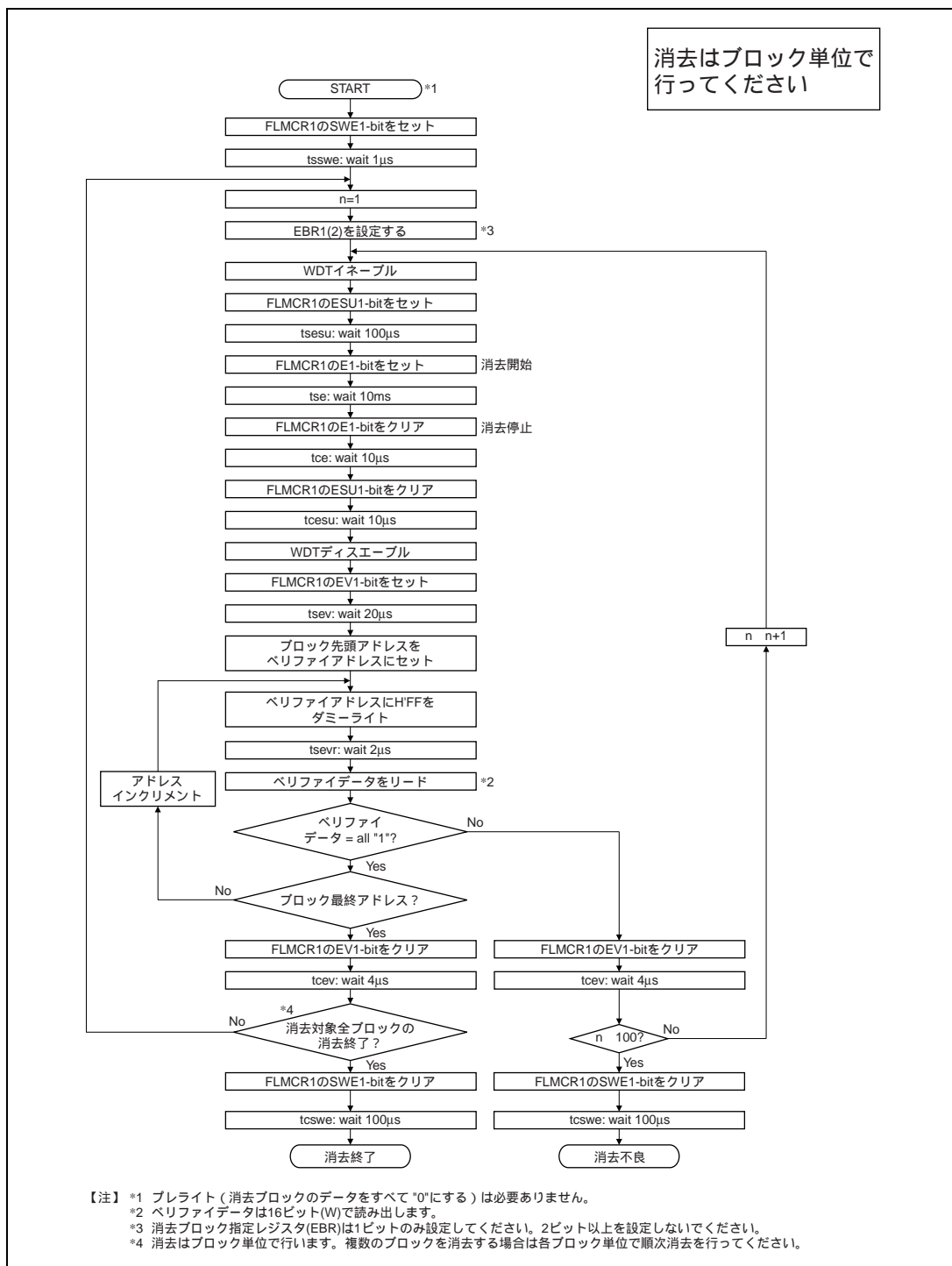


図 20.11 イレース/イレースベリファイフロー



## 20.9 書き込み/消去プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

### 20.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) が初期化されます。 $\overline{\text{RES}}$  端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$  端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$  パルス幅の間 $\overline{\text{RES}}$  端子を Low レベルに保持してください。

### 20.9.2 ソフトウェアプロテクト

ソフトウェアでFLMCR1のSWE1ビットをクリアすることで全ブロック書き込み/消去プロテクト状態になります。この状態でFLMCR1のP1ビットまたはE1ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2をH'00に設定すると全ブロックが消去プロテクト状態になります。RAMERのRAMSビットをセットすることで全ブロックの書き込み/消去プロテクト状態になります。

### 20.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み/消去中にCPUの暴走や書き込み/消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み/消去動作を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中に以下のエラーを検出すると、FLMCR2のFLERビットが1にセットされ、エラープロテクト状態となります。

- 書き込み/消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み/消去中のリセットを除く例外処理開始
- 書き込み/消去中のSLEEP命令実行
- 書き込み/消去中にCPUがDTCにバス権を開放

このとき、FLMCR1、FLMCR2、EBR1、EBR2の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1ビット、E1ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV1ビット、EV1ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットまたハードウェアスタンバイによってのみ解除できます。

## 20.10 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット)、またはブートプログラム実行中\*<sup>1</sup>は書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。

1. 書き込み、消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
2. 書き込み / 消去中の割り込み例外処理では正常なベクタリードができず\*<sup>2</sup>、CPUが暴走してしまう。
3. ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

【注】 \*<sup>1</sup> 書き込み制御プログラムによる書き込みが完了するまでは、CPU 内部と外部で割り込み要求を禁止する必要があります。

\*<sup>2</sup> 以下の 2 つの理由によってベクタリードが正常に行われません。

- ・ 書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません。(値は不定)。
- ・ 割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

## 20.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス テクノロジ 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256V3A) をサポートしているライタを使用してください。

図 20.12 にソケットアダプタの端子対応図を示します。

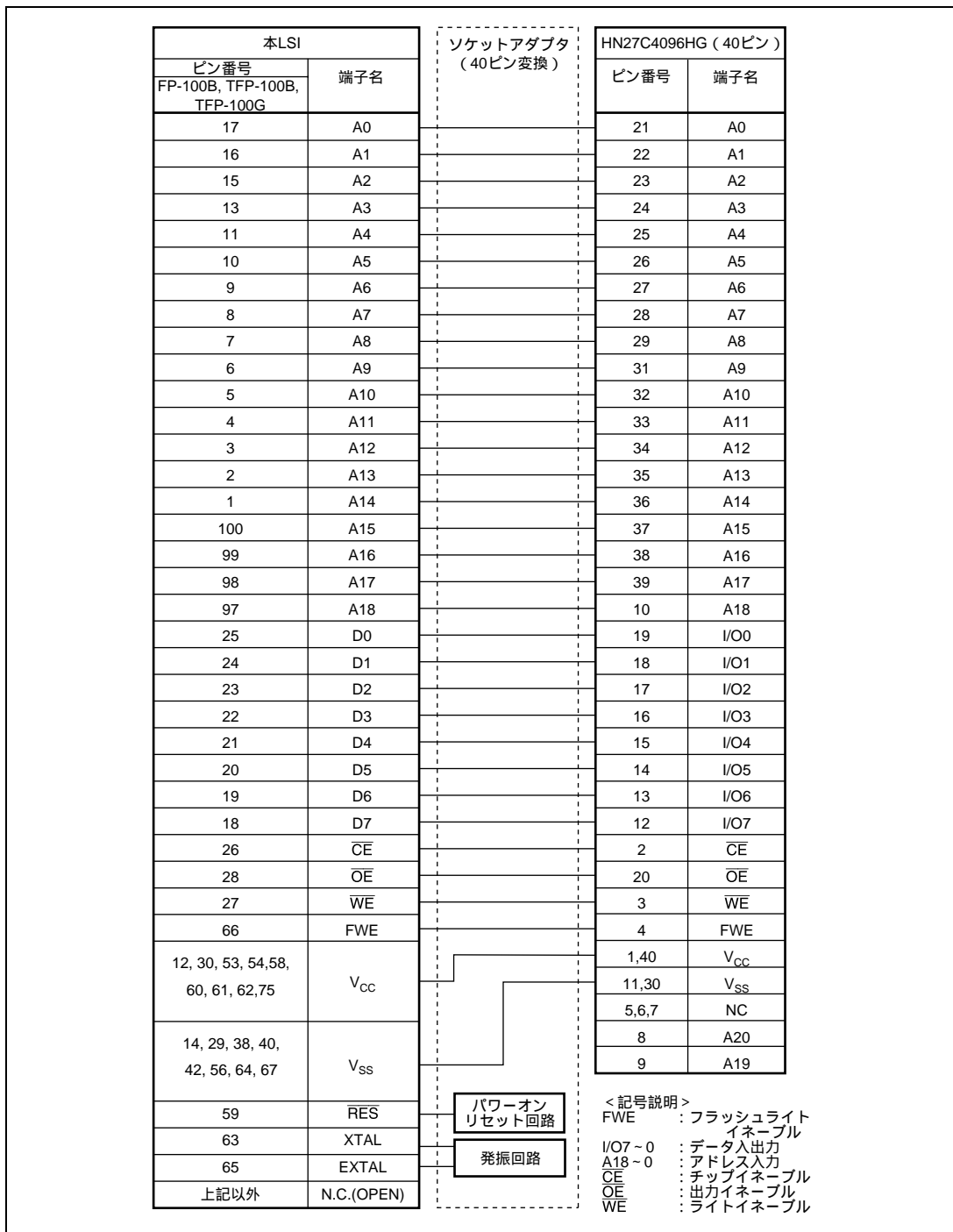


図 20.12 ソケットアダプタの端子対応図

## 20.12 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態  
高速でフラッシュメモリの読み出しが可能です。
- 低消費電力状態  
電源回路の一部を停止して、LSIがサブクロック動作時にフラッシュメモリのリードのみ可能です。
- スタンバイ状態  
フラッシュメモリのすべての回路が停止します。

表 20.6 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰する時は、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 100  $\mu$ s 以上になるよう SBYCR の STS2 ~ STS0 を設定してください。

表 20.6 フラッシュメモリの動作状態

本 LSI の動作モード	フラッシュメモリの状態
アクティブモード	通常動作状態
スリープモード	通常動作状態
ウォッチモード スタンバイモード	スタンバイ状態
サブアクティブモード サブスリープモード	PDWND=0 のとき：低消費電力状態（リードのみ） PDWND=1 のとき：通常動作状態（リードのみ）

## 20.13 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能およびライターモード使用時の注意事項を示します。

(1) 規定された電圧タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

PROM ライタは、ルネサス テクノロジ 256k バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256V3A) をサポートしているものを使用してください。ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

(2) 電源投入 / 切断時の注意 (図 20.13 ~ 図 20.15 参照)

FWE 端子への High レベル印加は VCC 確定後に行ってください。また、VCC を切断する前に FWE 端子を Low レベルにしてください。VCC 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

(3) FWE の印加 / 解除の注意 (図 20.13 ~ 図 20.15 参照)

FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。FWE の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- VCC電圧が定格電圧の範囲で安定している状態でFWEを印加してください。
- ブートモードでは、FWEの印加 / 解除はリセット中に行ってください。
- ユーザプログラムモードでは、リセットの状態にかかわらず、FWE=Highレベル / Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE入力切り替えが可能です。
- プログラムが暴走していない状態でFWEを印加してください。
- FWEの解除はFLMCR1のSWE1、ESU1、PSU1、EV1、PV1、P1、E1ビットをクリアした状態で行ってください。FWEの印加 / 解除時に、誤ってSWE1、ESU1、PSU1、EV1、PV1、P1、E1ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

(5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1のPIビット、EIビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

(6) SWE1ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1ビットをクリアした後100 $\mu$ s以上待ってから行ってください。

SWE1ビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ(プログラム/イレース中のベリファイ)以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中にSWE1ビットのクリアを行わないでください。FWE端子にHighレベルを入力した状態で、RAMによるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータ読み出しは、SWE1ビットをクリアした後に行ってください。

ただし、フラッシュメモリ空間とオーバーラップしたRAMエリアについては、SWE1ビットのセット/クリアにかかわらずリード/ライト可能です。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWE印加状態では書き込み/消去動作を再優先とするため、NMIを含む全ての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しくPROMライターに装着されていることを確認してください。

PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

(11) 電源投入時は、リセット状態にしてください。

発振安定期間中に100 $\mu$ s以上はリセットを入れてください。

(12) 動作中にリセットを入れる場合は、SWE1のLow期間で入れてください。

SWE1ビットクリア後100 $\mu$ s以上待ってからリセットをいれてください。

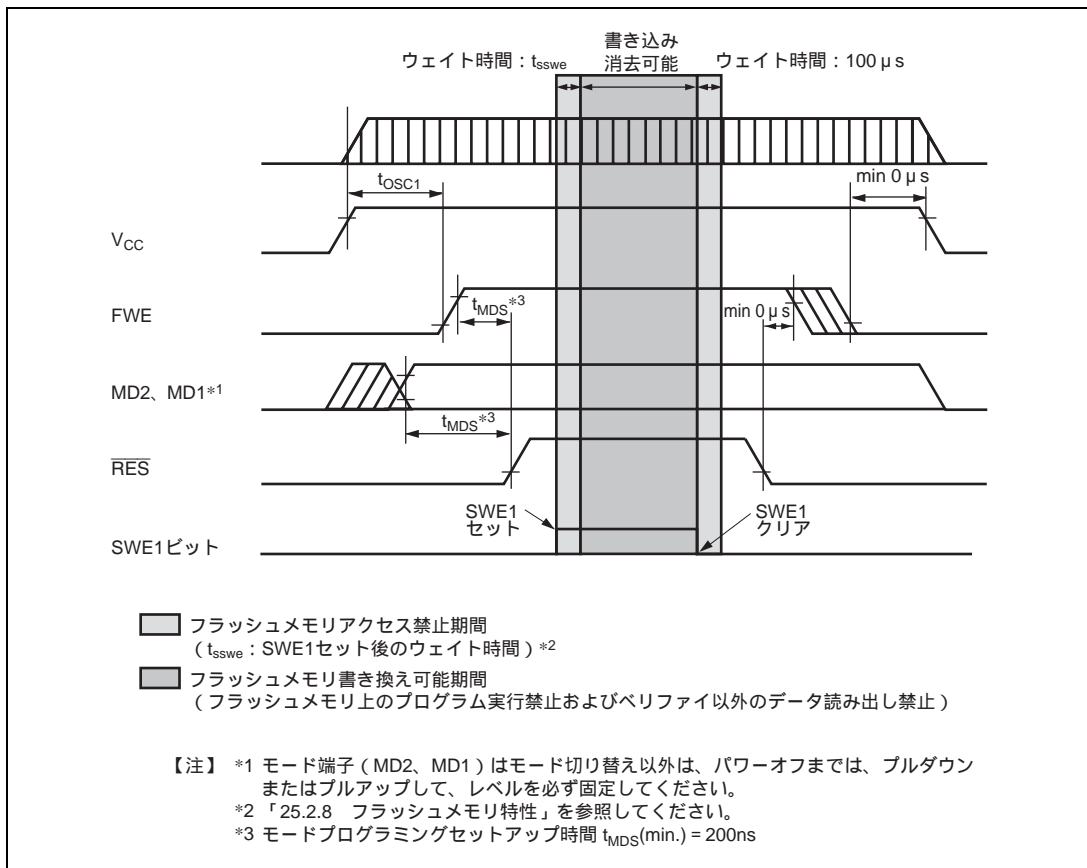


図 20.13 電源投入/切断タイミング (ブートモード)

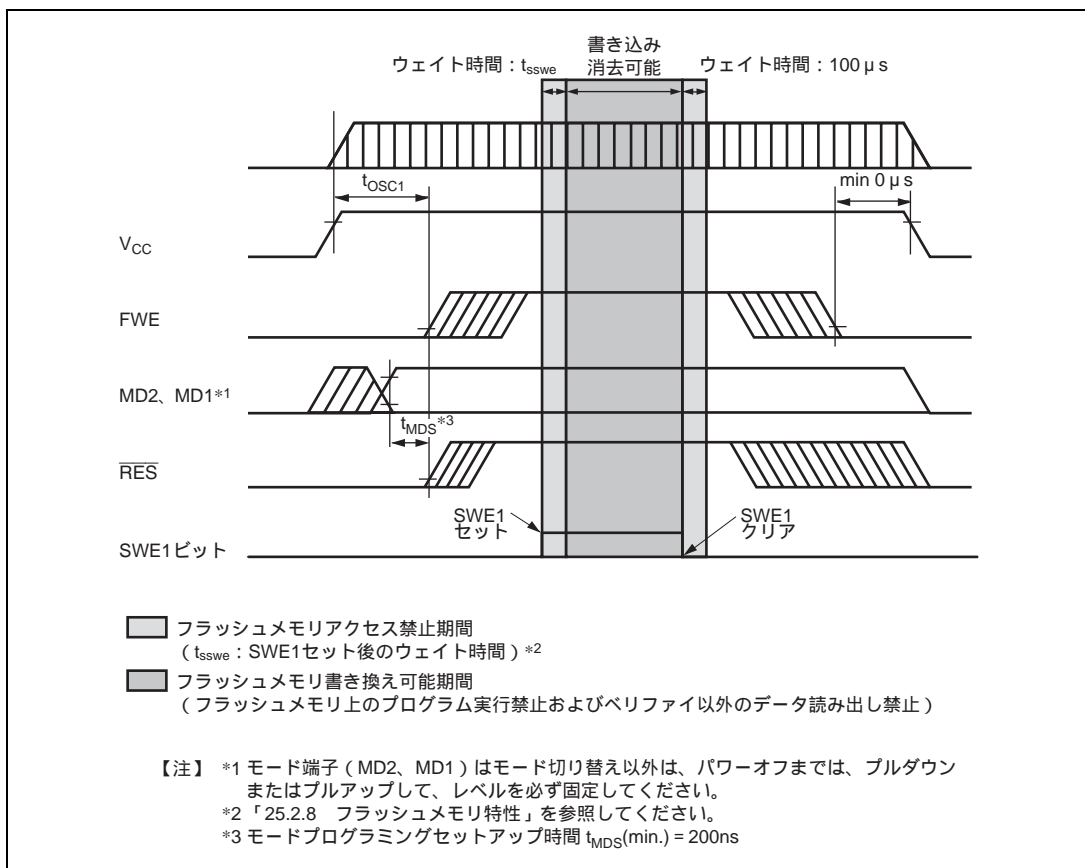


図 20.14 電源投入/切断タイミング (ユーザプログラムモード)



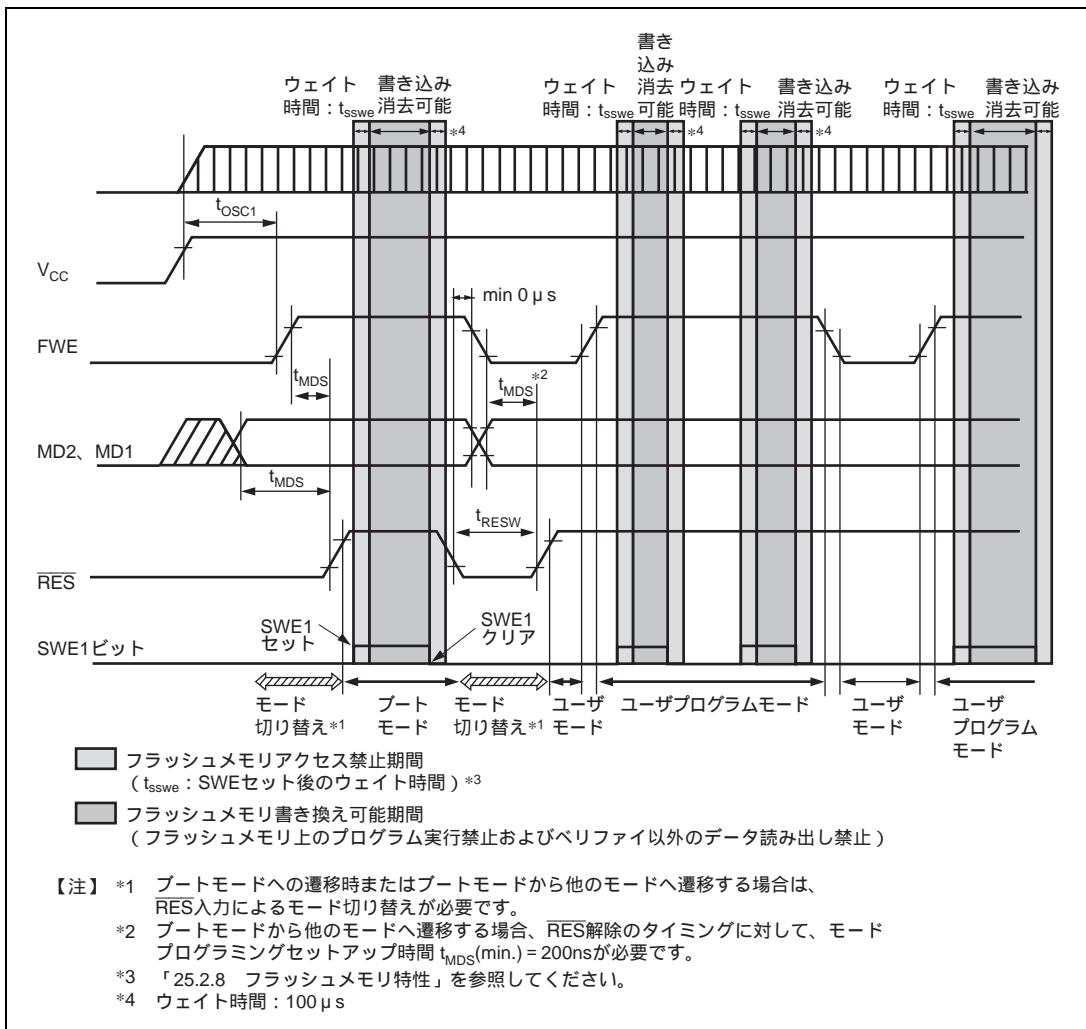


図 20.15 モード遷移タイミング (例: ブートモード ユーザモード ↔ ユーザプログラムモード)

## 20.14 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 20.7 に F-ZTAT 版に存在して、マスク版に存在しないレジスタを示します。表 20.7 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 20.7 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 20.7 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFA9
消去ブロック指定レジスタ 1	EBR1	H'FFAA
消去ブロック指定レジスタ 2	EBR2	H'FFAB
RAM エミュレーションレジスタ	RAMER	H'FEDB
フラッシュメモリパワーコントロールレジスタ	FLPWCR	H'FFAC
シリアルコントロールレジスタ X (ビット 3 のみ)	SCRX	H'FDB4

## 21. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック ( )、バスマスタクロック、内部クロックを生成します。クロック発振器は、システムクロック発振器、デューティ補正回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック発振器、波形形成回路で構成されます。クロック発振器のブロック図を図 21.1 に示します。

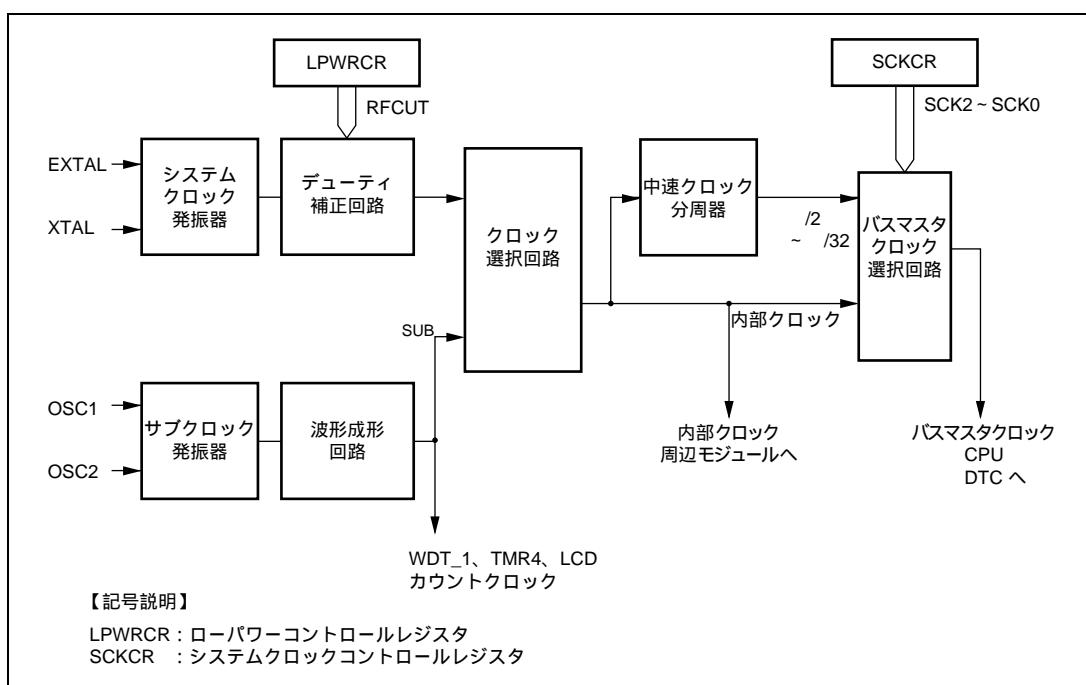


図 21.1 クロック発振器のブロック図

周波数の変更は、ローパワーコントロールレジスタ (LPWRCR) とシステムクロックコントロールレジスタ (SCKCR) の設定によりソフトウェアで行います。

## 21. クロック発振器

---

### 21.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- ローパワーコントロールレジスタ (LPWRCR)

#### 21.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は、中速モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット
6		0	R/W	リード/ライト可能ですが、ライト時には0をライトしてください。
5		0		リザーブビット
4		0		リードすると常に0が読み出されます。ライトは無効です。
3		0	R/W	リザーブビット リード/ライト可能ですが、ライト時には0をライトしてください。
2	SCK2	0	R/W	システムクロックセレクト 2-0
1	SCK1	0	R/W	バスマスタクロックを選択します。
0	SCK0	0	R/W	000 : 高速モード 001 : 中速クロック /2 010 : 中速クロック /4 011 : 中速クロック /8 100 : 中速クロック /16 101 : 中速クロック /32 11x : 設定禁止

【記号説明】 x : Don't care

## 21.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は低消費モードの制御、ノイズ除去サンプリング周波数の選択、サブクロック発振器の制御、周波数通倍率の設定を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	<p>ダイレクトトランスファオンフラグ</p> <p>0: 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードまたはウォッチモードに遷移</p> <p>1: 高速モード、あるいは中速モードで SLEEP 命令実行したとき、サブアクティブモードに直接遷移、あるいはスリープモード、ソフトウェアスタンバイモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移</p>
6	LSON	0	R/W	<p>ロースピードオンフラグ</p> <p>0: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード*に遷移、または高速モードに直接遷移 ウォッチモード解除後に高速モードに遷移</p> <p>1: 高速モードで SLEEP 命令を実行したとき、ウォッチモード、またはサブアクティブモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ウォッチモード解除後にサブアクティブモードに遷移</p>
5	NESEL	0	R/W	<p>ノイズ除去サンプリング周波数選択</p> <p>サブクロック発振器より生成されたサブクロック ( <math>f_{sub}</math> ) を、システムクロック発振器より生成されたクロック ( ) により、サンプリングする周波数を決定します。</p> <p><math>f_{sub} = 2.1\text{MHz}</math> 以上のときは、0 をセットしてください。 <math>f_{sub} = 2.1\text{MHz}</math> 以下のときは、1 をセットしてください。 <math>f_{sub} = 2.1\text{MHz} \sim 5\text{MHz}</math> のときは、任意の値を設定可能です。</p> <p>0: <math>f_{sub}</math> の 32 分周クロックでサンプリング</p> <p>1: <math>f_{sub}</math> の 4 分周クロックでサンプリング</p>
4	SUBSTP	0	R/W	<p>サブクロック発振器制御</p> <p>サブクロック発振器の動作、停止を制御します。サブクロックを使用しないときは、1 をセットしてください。</p> <p>0: サブクロック発振器を動作</p> <p>1: サブクロック発振器を停止</p>

## 21. クロック発振器

ビット	ビット名	初期値	R/W	説明
3	RFCUT	0	R/W	<p>内蔵帰還抵抗制御</p> <p>外部クロック入力時にシステムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用するか、使用しないかの選択をします。水晶発振子を使用するときは、アクセスしないでください。</p> <p>外部クロック入力状態で本ビットを設定後、いったんソフトウェアスタンバイモード、ウォッチモード、またはサブアクティブモードに遷移してください。ソフトウェアスタンバイモード、ウォッチモード、またはサブアクティブモードに遷移したときに、発振器内蔵帰還抵抗とデューティ補正回路を使用するか、使用しないかを切り替えます。</p> <p>0：システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用する</p> <p>1：システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用しない。</p>
2		0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、ライト時には0をライトしてください。</p>
1 0	STC1 STC0	0 0	R/W R/W	<p>周波数通倍率設定</p> <p>エバリュエーションチップに内蔵するPLL回路の周波数通倍率を設定します。指定した周波数通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードに遷移後、有効となります。本LSIでは必ず11の設定で使用してください。リセット後の値はSTC1=STC0=0となりますので、リセット後は必ずSTC1=STC0=1の設定を行ってください。</p> <p>00：×1</p> <p>01：×2（設定禁止）</p> <p>10：×4（設定禁止）</p> <p>11：PLLはバイパス</p>

【注】 \* ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

## 21.2 システムクロック発振器

システムクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

### 21.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 21.2 に示します。ダンピング抵抗  $R_d$  は、表 21.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

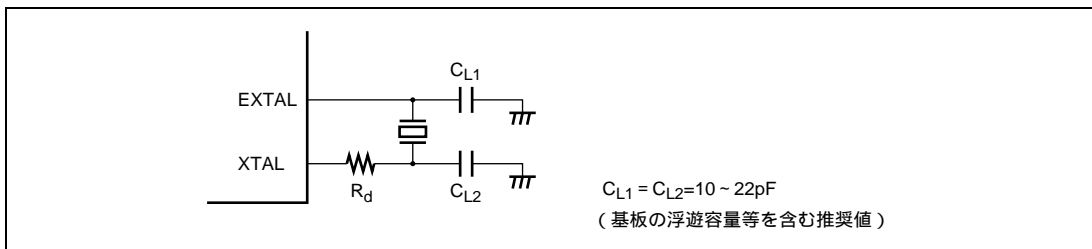


図 21.2 水晶発振子の接続例

表 21.1 ダンピング抵抗値

周波数 (MHz)	2	4	6	8	10	12	16	20
$R_d$ ( )	1K	500	300	200	100	0	0	0

水晶発振子の等価回路を図 21.3 に示します。水晶発振子は表 21.2 に示す特性のものを使用してください。

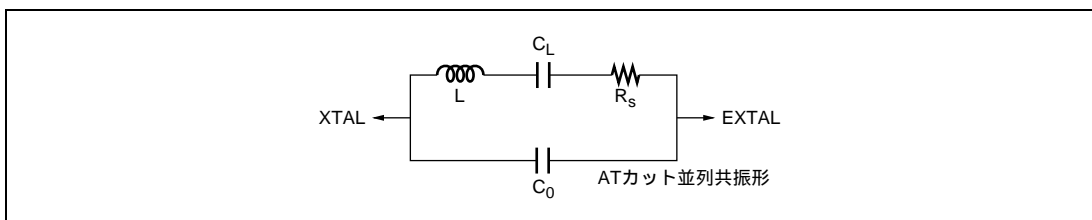


図 21.3 水晶発振子の等価回路

表 21.2 水晶発振子の特性

周波数 (MHz)	2	4	6	8	10	12	16	20
$R_s$ max. ( )	500	120	100	80	60	60	50	40
$C_0$ max. ( pF )	7							

### 21.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 21.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード、サブアクティブモード、サブスリープモードおよびウォッチモード時は外部クロックを High レベルにしてください。

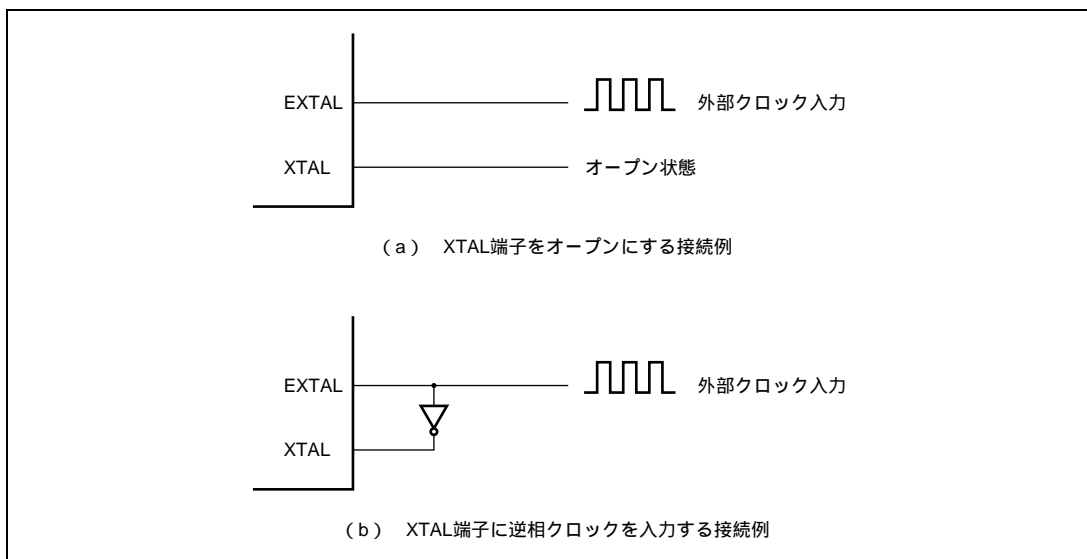


図 21.4 外部クロックの接続例

外部クロックの入力条件を表 21.3 に示します。デューティ補正回路を使用しない場合の外部クロック入力条件を表 21.4 に示します。

表 21.3 外部クロック入力条件

項目	記号	Vcc = 2.7 ~ 5.5V		Vcc = 4.0 ~ 5.5V		単位	測定条件
		min.	max.	min.	max.		
外部クロック入力 パルス幅 Low レベル	tEXL	30	-	20	-	ns	図 21.5
外部クロック入力 パルス幅 High レベル	tEXH	30	-	20	-	ns	
外部クロック 立ち上がり時間	tEXr	-	7	-	5	ns	
外部クロック 立ち下がり時間	tEXf	-	7	-	5	ns	



表 21.4 外部クロック入力条件 (デューティ補正回路未使用)

項目	記号	V <sub>CC</sub> = 2.7 ~ 5.5V		V <sub>CC</sub> = 4.0 ~ 5.5V		単位	測定条件
		min.	max.	min.	max.		
外部クロック入力 パルス幅 Low レベル	t <sub>EXL</sub>	37	-	25	-	ns	図 21.5
外部クロック入力 パルス幅 High レベル	t <sub>EXH</sub>	37	-	25	-	ns	
外部クロック 立ち上がり時間	t <sub>EXr</sub>	-	7	-	5	ns	
外部クロック 立ち下がり時間	t <sub>EXf</sub>	-	7	-	5	ns	

【注】デューティ補正回路を使用しない場合、入力波形に応じて最高動作周波数は低下します。

(例 : t<sub>EXL</sub> = t<sub>EXH</sub> = 50ns、t<sub>EXr</sub> = t<sub>EXf</sub> = 10ns の場合、クロックサイクル時間 = 120ns したがって、最高動作周波数 = 8.3MHz)

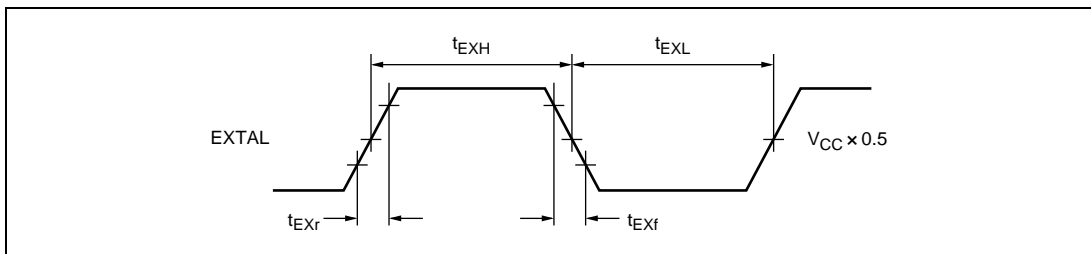


図 21.5 外部クロック入力タイミング

### 21.2.3 外部クロック切り替え時の注意

2種類以上の外部クロック（例：10MHzと2MHz）をシステムクロックとして使用し、入力クロックを切り替える場合は、ソフトウェアスタンバイモードで行ってください。

外部クロック切り替え回路例を図 21.6 に、外部クロック切り替えタイミング図を図 21.7 に示します。

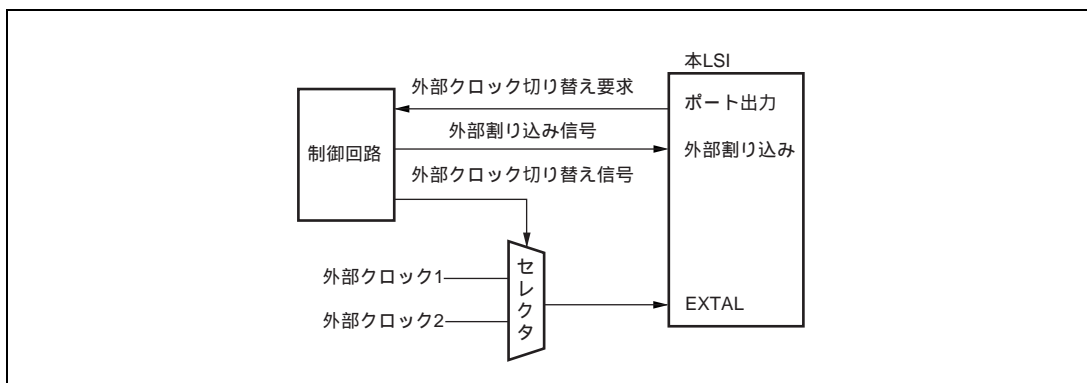


図 21.6 外部クロック切り替え回路例

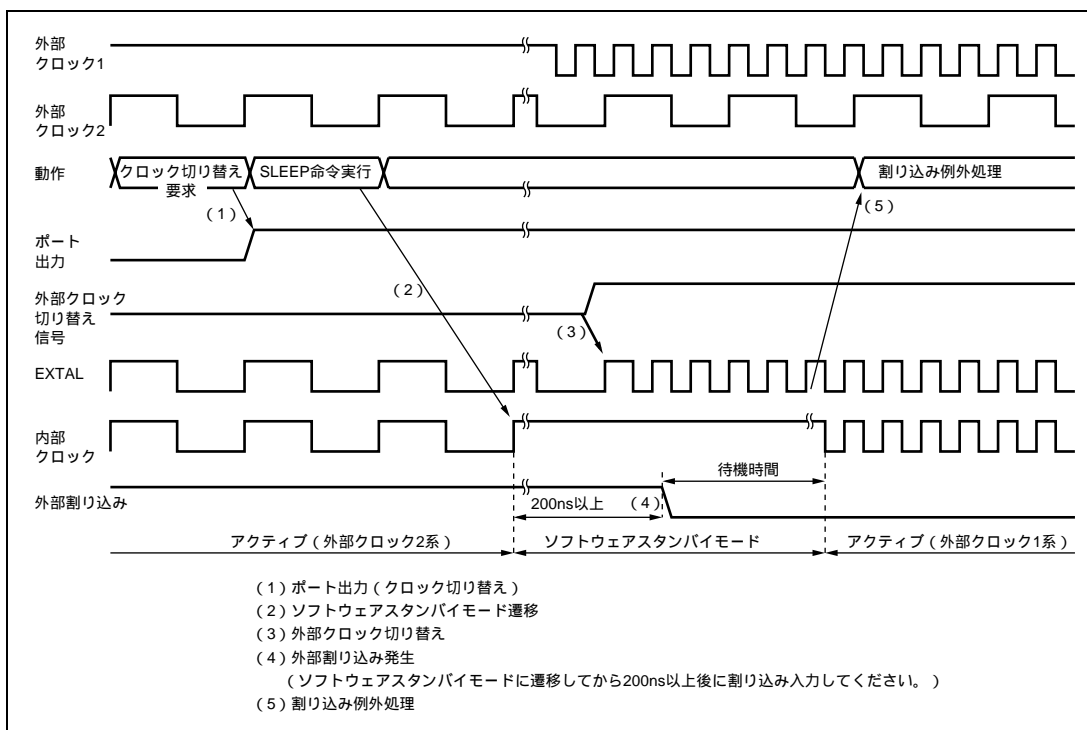


図 21.7 外部クロック切り替えタイミング例

### 21.3 デューティ補正回路

デューティ補正回路は発振周波数 5MHz 以上の場合有効になり、システムクロック発振器の出力するクロックのデューティを補正し、システムクロック ( ) を生成します。

### 21.4 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$  を生成します。

### 21.5 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SCKCR の SCK2 ~ SCK0 ビットによりシステムクロック ( )、または中速クロック ( $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ ) から選択します。

### 21.6 サブクロック発振器

#### 21.6.1 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには図 21.8 に示すように 32.768kHz の水晶発振子を接続します。図 21.9 に 32.768kHz 水晶発振子の等価回路を示します。

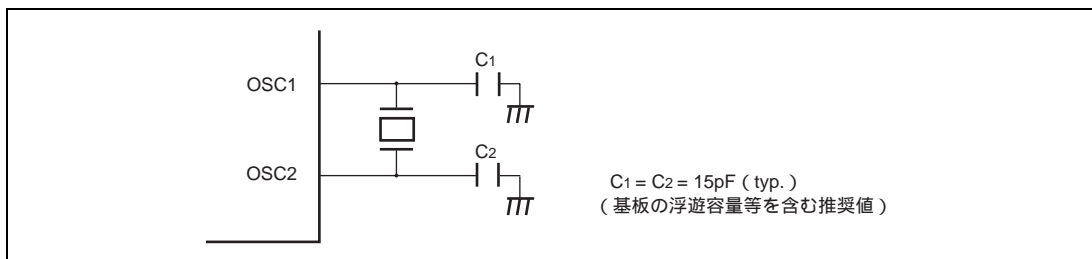


図 21.8 32.768kHz 水晶発振子の接続例

## 21. クロック発振器

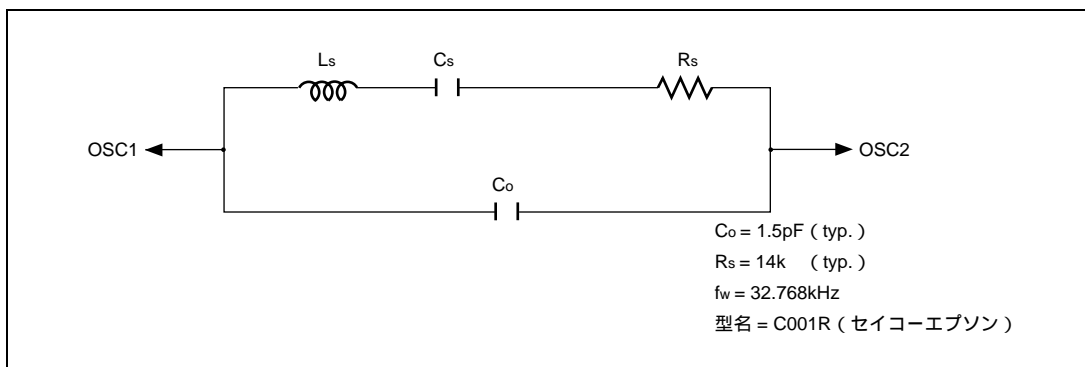


図 21.9 32.768kHz 水晶発振子の等価回路

### 21.6.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 21.10 に示すように OSC1 端子を  $V_{SS}$  に接続し、OSC2 端子をオープンとして、LPWRCR の SUBSTP ビットを 1 に設定してください。

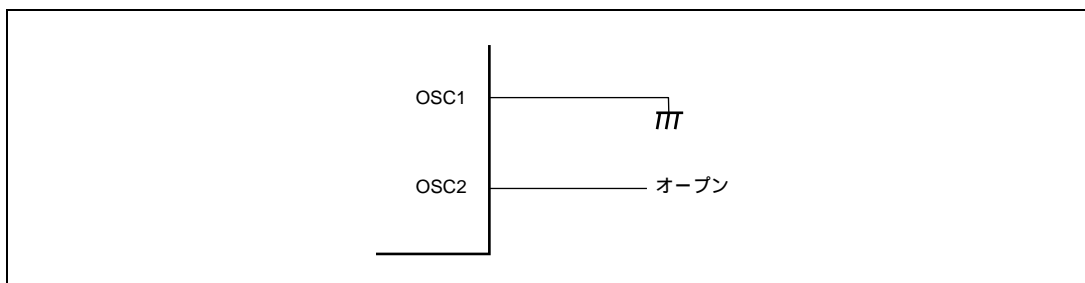


図 21.10 サブクロックを使用しない場合の端子処理

## 21.7 サブクロック波形成形回路

OSC1 端子から入力されたサブクロックのノイズ除去のため、クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は「21.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードではサンプリングされません。

## 21.8 使用上の注意事項

### 21.8.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 21.8.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ EXTAL、XTAL、OSC1、OSC2 端子の近くに配置してください。配線は極力短くしてください。図 21.11 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

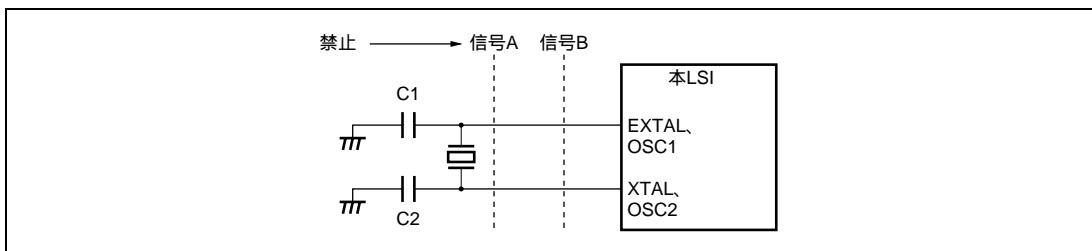


図 21.11 発振回路部のボード設計に関する注意事項

### 21.8.3 水晶発振子をご使用の場合の注意事項

マイコンが動作すると、システムクロックに同期して内部の電源電位が多少変動します。また水晶発振子個別の特性によっては、発振安定時間直後に発振波形の振幅が十分に成長していない場合があり、発振波形が電源電圧変動の影響を受け易い状態にあります。この状態では発振波形が乱れる場合があり、システムクロックが不安定になってマイコンの誤作動につながります。

誤作動を起こす場合には、スタンバイコントロールレジスタ(SBYCR)のスタンバイタイムセレクト2~0(STS2~STS0)の設定を変更し、待機時間をさらに長い時間の設定にしておいてください。

例えば、待機時間=8192 ステートの設定で誤作動する場合、待機時間=16384 ステート以上の設定で動作をご確認してください。また、リセット時に状態遷移時と同様の誤作動が起こる場合、 $\overline{\text{RES}}$ 端子を Low レベルに保持する時間を長くしてください。



---

## 22. 低消費電力状態

---

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードの他、

- 中速モード
- サブアクティブモード
- スリープモード
- サブスリープモード
- ウォッチモード
- モジュールストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。

スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。

リセット後は、高速モードになっています。

表 22.1 に、各動作状態へ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を示します。

## 22. 低消費電力状態

表 22.1 各モードでの本 LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止
サブクロック 発振器		動作/ 停止	動作/ 停止	動作/ 停止	動作/ 停止	動作	動作	動作	動作/ 停止	停止
CPU 動作	命令	動作	中速 動作	停止	動作	停止	サブ クロック 動作	停止	停止	停止
	レジスタ			保持		保持				
RAM		動作	動作	動作 (DTC) <sup>*2</sup>	動作	保持	動作	保持	保持	保持
I/O		動作	動作	動作	動作	保持	動作	動作	保持	ハイ インピー ダンス
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	動作
	IRQn									
	WKPn									
周辺機能	PBC <sup>*2</sup>	動作	中速 動作	動作	動作/停止 (保持)	停止 (保持)	サブ クロック 動作	停止 (保持)	停止 (保持)	停止 (リセット)
	DTC <sup>*2</sup>									
	TMR_4 <sup>*2</sup>									
	LCD									
	WDT_1									
	WDT_0									
	TMR_0 TMR_1 TMR_2 <sup>*2</sup> TMR_3 <sup>*2</sup>									



機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
周辺機能	TPU	動作	動作	動作	動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	SCI									
	I <sup>2</sup> C									
	DTMF* <sup>2</sup>									
	D/A* <sup>2</sup> * <sup>3</sup>									
A/D	動作	動作	動作	動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	

【注】 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。

停止（リセット）は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。

\*1 TMR\_4\*<sup>2</sup>、WDT\_1、LCD をウォッチ、サブアクティブ、サブスリープで動作させる場合は、サブクロックを使用してください。

\*2 H8S/2268 グループのみサポートします。

\*3 停止（保持）は内部レジスタ値保持。

内部状態は動作中断のため、アナログ出力値は規定の D/A 精度を満足できません。

## 22. 低消費電力状態

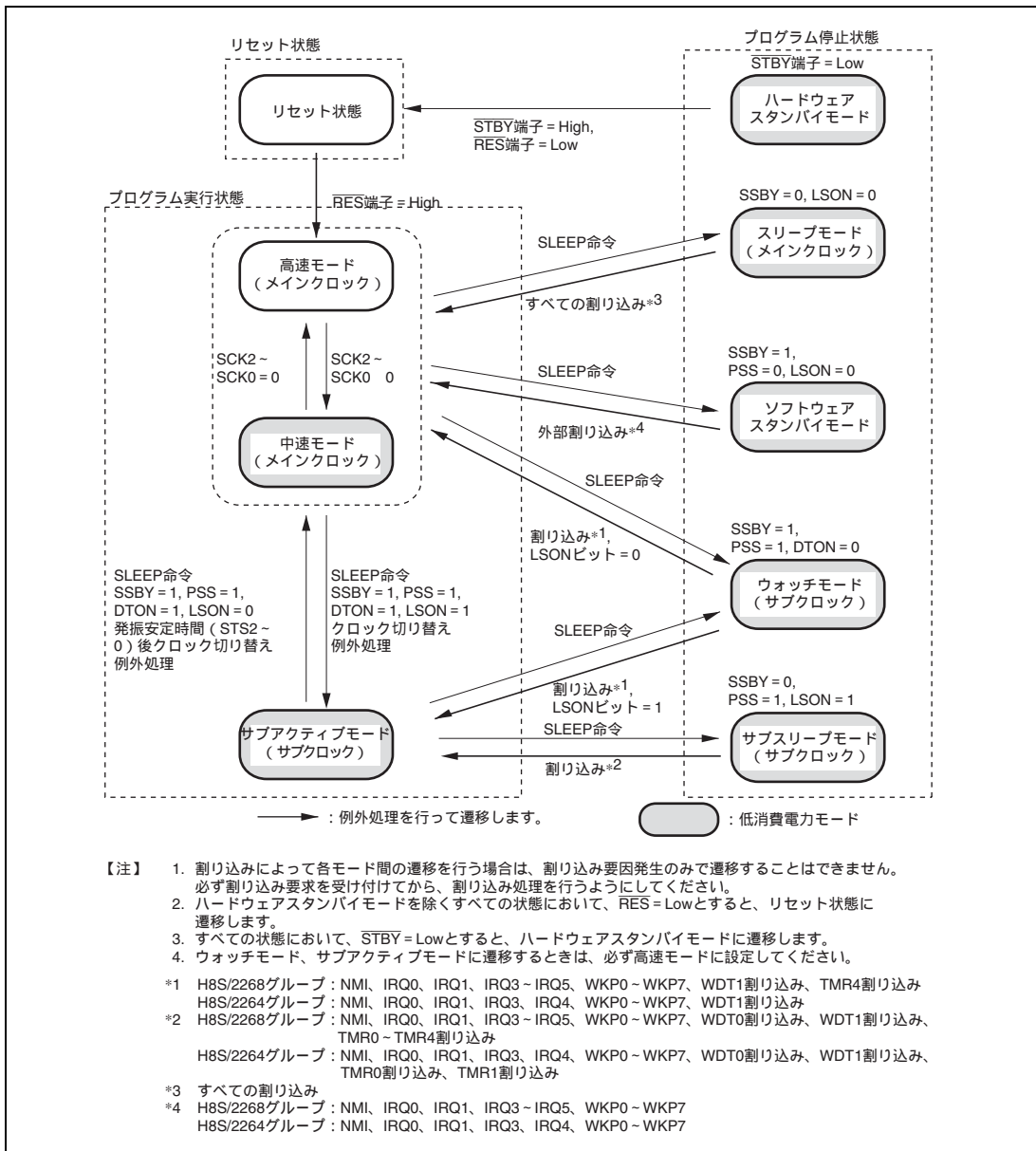


図 22.1 モード遷移図

表 22.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速 / 中速	0	x	0	x	スリープ	高速 / 中速
	0	x	1	x		
	1	0	0	x	ソフトウェアスタンバイ	高速 / 中速
	1	0	1	x		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1		
	1	1	1	1	サブアクティブ	
サブアクティブ	0	0	x	x		
	0	1	0	x		
	0	1	1	x	サブスリープ	サブアクティブ
	1	0	x	x		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	
	1	1	1	1		—

【記号説明】 x : Don't care

【注】 : 設定しないでください

## 22.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「21.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

また、ローパワーコントロールレジスタ (LPWRCR) については「21.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。タイマコントロール / ステータスレジスタ (TCSR\_1) については「12.2.2 タイマコントロール / ステータスレジスタ (TCSR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)
- モジュールストップコントロールレジスタD (MSTPCRD)
- ローパワーコントロールレジスタ (LPWRCR)
- システムクロックコントロールレジスタ (SCKCR)

## 22. 低消費電力状態

- タイマコントロール/ステータスレジスタ (TCSR\_1)

### 22.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。  0: 高速モード、中速モードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 1: 高速モード、中速モードで SLEEP 命令実行後、ソフトウェアスタンバイ モード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモード、あるいは 高速モードに遷移  なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常 動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場 合は 0 をライトしてください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0  外部割り込みによってソフトウェアスタンバイモード、ウォッチモード、サブ アクティブモードを解除する場合に、クロックが安定するまで MCU が待機す る時間を選択します。  水晶発振の場合、表 22.3 を参照し、動作周波数に応じて待機時間が 8ms (発 振安定時間) 以上となるように選択してください。外部クロックの場合、任意 の選択が可能です。  000: 待機時間 = 8192 ステート 001: 待機時間 = 16384 ステート 010: 待機時間 = 32768 ステート 011: 待機時間 = 65536 ステート 100: 待機時間 = 131072 ステート 101: 待機時間 = 262144 ステート 110: 待機時間 = 2048 ステート 111: 待機時間 = リザーブ
5	STS1	0	R/W	
4	STS0	0	R/W	
3		1	R/W	リザーブビット ライト時は必ず 1 としてください。
2~0		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

### 22.1.2 モジュールストップコントロールレジスタ A~D (MSTPCRA~MSTPCRD)

MSTPCR は、モジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

#### • MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7* <sup>1</sup>	0	R/W	
6	MSTPA6* <sup>2</sup>	0	R/W	データトランスファコントローラ (DTC)
5	MSTPA5	1	R/W	16 ビットタイムパルスユニット (TPU)
4	MSTPA4	1	R/W	8 ビットタイマ (TMR_0、TMR_1)
3	MSTPA3* <sup>1</sup>	1	R/W	
2	MSTPA2* <sup>1</sup>	1	R/W	
1	MSTPA1	1	R/W	A/D 変換器
0	MSTPA0* <sup>2</sup>	1	R/W	8 ビットタイマ (TMR_2、TMR_3)

#### • MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPB7	1	R/W	シリアルコミュニケーションインタフェース 0 (SCI_0)
6	MSTPB6	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI_1)
5	MSTPB5* <sup>1</sup>	1	R/W	
4	MSTPB4	1	R/W	I <sup>2</sup> C バスインタフェース 0 (I <sup>2</sup> C_0) (オプション)
3	MSTPB3* <sup>2</sup>	1	R/W	I <sup>2</sup> C バスインタフェース 1 (I <sup>2</sup> C_1) (オプション)
2	MSTPB2* <sup>1</sup>	1	R/W	
1	MSTPB1* <sup>1</sup>	1	R/W	
0	MSTPB0* <sup>1</sup>	1	R/W	

#### • MSTPCRC

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPC7	1	R/W	シリアルコミュニケーションインタフェース 2 (SCI_2)
6	MSTPC6* <sup>1</sup>	1	R/W	
5	MSTPC5* <sup>2</sup>	1	R/W	D/A 変換器
4	MSTPC4* <sup>2</sup>	1	R/W	PC ブレークコントローラ (PBC)
3	MSTPC3* <sup>1</sup>	1	R/W	
2	MSTPC2* <sup>2</sup>	1	R/W	DTMF 発生回路
1	MSTPC1* <sup>1</sup>	1	R/W	
0	MSTPC0* <sup>1</sup>	1	R/W	

## 22. 低消費電力状態

### • MSTPCR

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPD7* <sup>1</sup>	1	R/W	
6	MSTPD6	1	R/W	LCD コントローラ/ドライバ
5	MSTPD5* <sup>2</sup>	1	R/W	8 ビットリロードタイマ (TMR_4)
4	MSTPD4* <sup>1</sup>	1	R/W	
3	MSTPD3* <sup>1</sup>	1	R/W	
2	MSTPD2* <sup>1</sup>	1	R/W	
1	MSTPD1* <sup>1</sup>	1	R/W	
0	MSTPD0* <sup>1</sup>	1	R/W	

【注】 \*1 MSTPA7 は、リード/ライト可、初期値は 0 です。ライト時は常に 1 としてください。  
MSTPA3、MSTPA2、MSTPB5、MSTPB2 ~ MSTPB0、MSTPC6、MSTPC3、MSTPC1、MSTPC0、MSTPD7、  
MSTPD4 ~ MSTPD0 はリード/ライト可、初期値は 1 です。ライト時は常に 1 としてください

\*2 H8S/2264 グループでは、ライト時は常に 1 としてください。

## 22.2 中速モード

SCKCR の SCK2 ~ SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は SCK2 ~ SCK0 ビットで指定した動作クロック ( /2、 /4、 /8、 /16、 /32 ) で動作します。CPU 以外のバスマスタ (DTC\*) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック ( ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして /4 を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2 ~ SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットと LPWRCR の LSON ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセット、LSON ビットと TCSR\_1 (WDT\_1) の PSS ビットを 0 にクリアした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$  端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 22.2 に示します。

【注】 \* H8S/2268 グループのみサポートします。

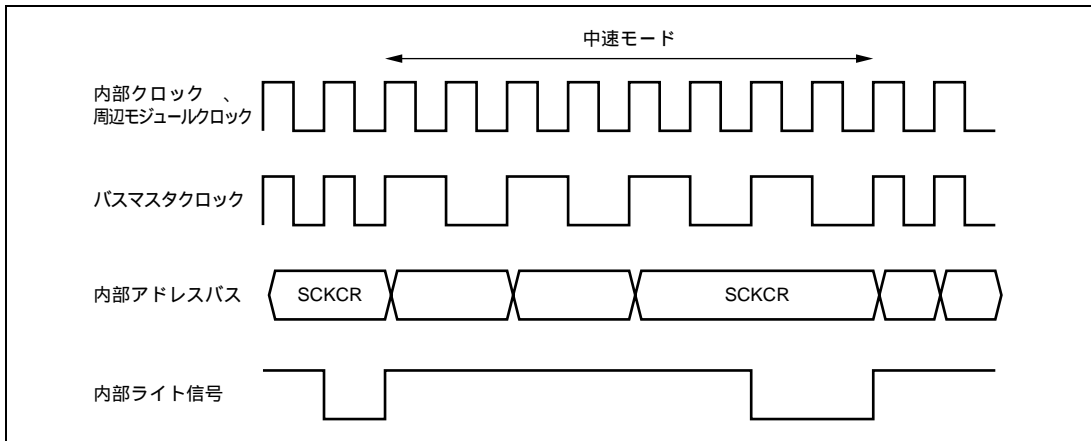


図 22.2 中速モードの遷移・解除タイミング

## 22.3 スリープモード

### 22.3.1 スリープモードへの遷移

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

### 22.3.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$  端子、または  $\overline{\text{STBY}}$  端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

## 22.4 ソフトウェアスタンバイモード

### 22.4.1 ソフトウェアスタンバイモードへの遷移

SBYCRのSSBYビットを1にセット、LPWRCRのLSONビットとTCSR\_1(WDT\_1)のPSSを0クリアした状態でSLEEP命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPUの内部レジスタの内容と内蔵RAMのデータおよびA/D変換器を除く内蔵周辺機能と、I/Oポートの状態は保持されます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

### 22.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み(NMI端子、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$ \*、 $\overline{\text{WKP0}}$  ~  $\overline{\text{WKP7}}$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

NMI、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$ \*、 $\overline{\text{WKP0}}$  ~  $\overline{\text{WKP7}}$ 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS2 ~ STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

$\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$ \*、 $\overline{\text{WKP0}}$  ~  $\overline{\text{WKP7}}$ 割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビット/端子機能切り替えビットを1にセットし、かつ $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$ \*、 $\overline{\text{WKP0}}$  ~  $\overline{\text{WKP7}}$ 割り込みより高い優先順位の割り込みが発生しないようにしてください。

なお、CPU側でマスクした場合、またはDTC\*の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 \* H8S/2268 グループのみサポートします。



### 22.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

- 水晶発振の場合

待機時間が8ms（発振安定時間）以上となるようにSTS2 ~ STS0ビットを設定してください。

表22.3に、動作周波数とSTS2 ~ STS0ビットの設定に対する待機時間を示します。

- 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。

【注】 F-ZTAT 版では待機時間 16 ステートは使用できません。2048 ステート以上を使用してください。

表 22.3 発振安定時間の設定

STS2	STS1	STS0	待機時間	20M Hz	16M Hz	13M Hz	10M Hz	8M Hz	6M Hz	4M Hz	2M Hz	単位
0	0	0	8192 ステート	0.41	0.51	0.63	0.82	1.0	1.4	2.0	4.1	ms
		1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	1.6	2.0	2.5	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	3.3	4.1	5.0	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	6.6	8.2	10.1	13.1	16.4	21.8	32.8	65.5	
		1	262144 ステート	13.1	16.4	20.2	26.2	32.8	43.7	65.5	131.1	
	1	0	2048 ステート	0.10	0.13	0.16	0.20	0.26	0.34	0.51	1.0	
		1	16 ステート	0.8	1.0	1.2	1.6	2.0	2.7	4.0	8.0	

■ : 推奨設定時間

### 22.4.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 22.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

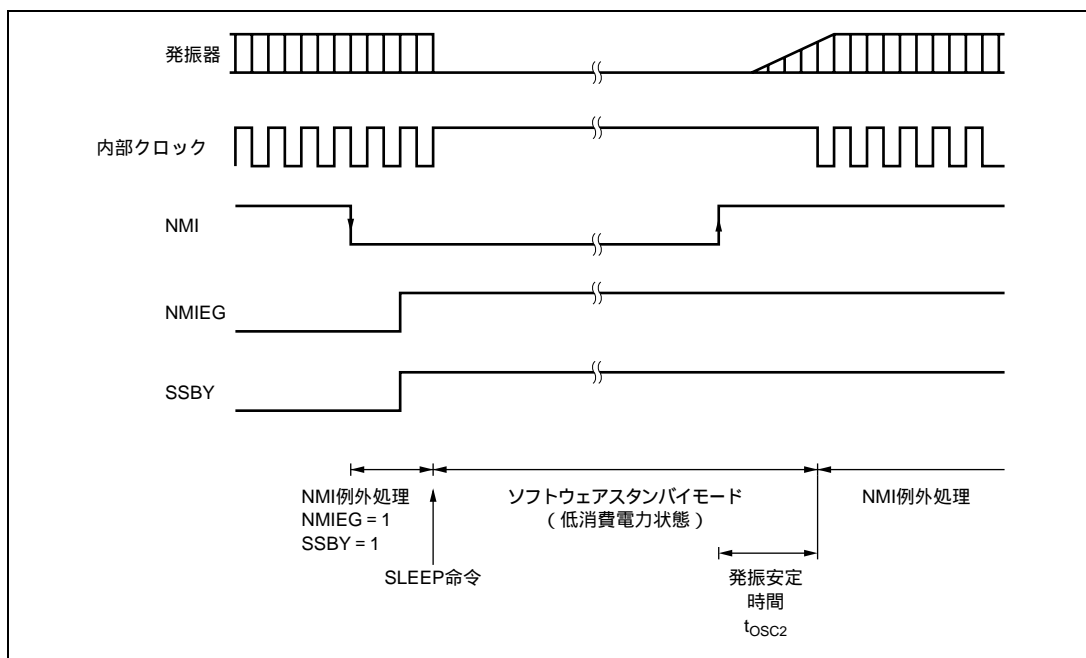


図 22.3 ソフトウェアスタンバイモードの応用例

## 22.5 ハードウェアスタンバイモード

### 22.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$  端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

ハードウェアスタンバイモード中には、モード端子 (MD2、MD1) の状態を変化させないでください。

### 22.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子と  $\overline{\text{RES}}$  端子によって行われます。 $\overline{\text{RES}}$  端子を Low レベルにした状態で、 $\overline{\text{STBY}}$  端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで（水晶発振/セラミック発振の場合、発振安定時間  $t_{\text{osc1}}$  以上）Low レベルを保持してください。その後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

### 22.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 22.4 に示します。

$\overline{\text{RES}}$  端子を Low レベルにした後、 $\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$  端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$  端子を Low レベルから High レベルにすることにより行われます。

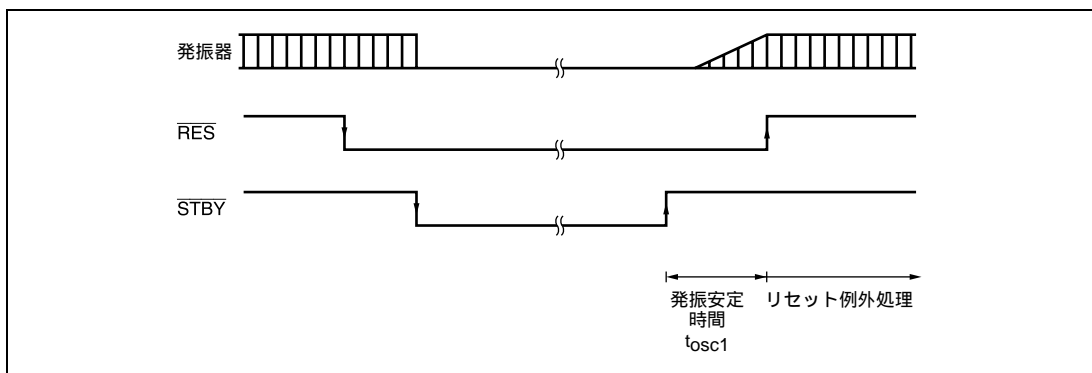


図 22.4 ハードウェアスタンバイモードのタイミング

## 22.6 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC\*を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

また、全モジュールストップ (MSTPCR=H'FFFFFFF) の状態でスリープモードに遷移すると、バスコントローラと I/O ポートも動作を停止しますので、さらに消費電流を低減することができます。

【注】 \* H8S/2268 グループのみサポートします。

## 22.7 ウォッチモード

### 22.7.1 ウォッチモードへの遷移

高速あるいはサブアクティブモードにおいて、SBYCRのSSBYビット=1、LPWRCRのDTONビット=0、TCSR\_1(WDT\_1)のPSSビット=1の状態ではSLEEP命令を実行すると、CPUはウォッチモードに遷移します。

ウォッチモード時、CPUは動作を停止します。また、WDT\_1、TMR\_4\*、LCD以外の周辺機能も動作を停止します。CPUの内部レジスタの内容と内蔵RAMのデータ、および内蔵周辺機能(A/D変換器を除く)とI/Oポートの状態は保持されます。ウォッチモードに遷移する場合は、SCKCRのSCK2~SCK0の各ビットをかならず0にしてください。

【注】 \* H8S/2268 グループのみサポートします。

### 22.7.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み(WOV11割り込み、OV14~OV17割り込み\*、NMI端子、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$ \*、 $\overline{\text{WKP0}}$ ~ $\overline{\text{WKP7}}$ )

$\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生するとウォッチモードは解除され、LPWRCRのLSONビット=0のときは高速モードあるいは中速モードに、LSONビット=1のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCRのSTS2~STS0により設定された時間が経過した後、安定したクロックがLSI全体に供給され、割り込み例外処理を開始します。なお、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$ \*、 $\overline{\text{WKP0}}$ ~ $\overline{\text{WKP7}}$ 割り込みについては対応するイネーブルビット/端子機能切り替えビットが0にクリアされている場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、またはCPUでマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「22.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「22.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 \* H8S/2268 グループのみサポートします。

## 22.8 サブスリープモード

### 22.8.1 サブスリープモードへの遷移

サブアクティブモードにおいて、SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 1、TCSR\_1(WDT\_1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、TMR\_0、TMR\_1、TMR\_2~TMR\_4\*、WDT\_0、WDT\_1、LCD 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容 RAM のデータ、および内蔵周辺機能(A/D 変換器を除く)と I/O ポートの状態は保持されます。

【注】 \* H8S/2268 グループのみサポートします。

### 22.8.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み(内蔵周辺機能からの割り込み、NMI 端子、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 $\overline{IRQ5}$ \*、 $\overline{WKP0}$ ~ $\overline{WKP7}$ )、 $\overline{RES}$  端子、または  $\overline{STBY}$  端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 $\overline{IRQ5}$ \*、 $\overline{WKP0}$ ~ $\overline{WKP7}$ 割り込みについては、対応するイネーブルビット/端子機能切り替えビットが0にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、またはCPUでマスクされている場合には、サブスリープモードは解除されません。

- $\overline{RES}$ 端子による解除

$\overline{RES}$ 端子による解除については、「22.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- $\overline{STBY}$ 端子による解除

$\overline{STBY}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 \* H8S/2268 グループのみサポートします。

### 22.9 サブアクティブモード

#### 22.9.1 サブアクティブモードへの遷移

高速モードにおいて、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、LSONビット=1、TCSR<sub>1</sub>(WDT<sub>1</sub>)のPSSビット=1の状態ではSLEEP命令を実行すると、CPUはサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCRのLSONビット=1の状態であれば、サブアクティブモードに遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPUはサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、PBC\*、TMR<sub>0</sub>、TMR<sub>1</sub>、TMR<sub>2</sub>~TMR<sub>4</sub>\*、WDT<sub>0</sub>、WDT<sub>1</sub>、LCD以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SCKCRのSCK2~SCK0の各ビットを必ず0としてください。

【注】 \* H8S/2268グループのみサポートします。

#### 22.9.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令、 $\overline{\text{RES}}$ 端子または $\overline{\text{STBY}}$ 端子によって行われます。

- SLEEP命令による解除

SBYCRのSSBYビット=1、LPWRCRのDTONビット=0、TCSR<sub>1</sub>(WDT<sub>1</sub>)のPSSビット=1の状態ではSLEEP命令を実行すると、ウォッチモードに遷移します。また、SBYCRのSSBYビット=0、LPWRCRのLSONビット=1、TCSR(WDT<sub>1</sub>)のPSSビット=1の状態ではSLEEP命令を実行するとサブスリープモードに遷移します。また、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、LSONビット=0、TCSR(WDT<sub>1</sub>)のPSSビット=1の状態ではSLEEP命令を実行すると、高速モード(SCK0~SCK2がすべて0)に直接遷移します。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「22.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

## 22.10 直接遷移

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。

### 22.10.1 高速モードからサブアクティブモードへの直接遷移

高速モードで SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 1、DTON ビット = 1、TSCR\_1 (WDT\_1) の PSS ビット = 1 にセットした状態で SLEEP 命令を実行するとサブアクティブモードに遷移します。

### 22.10.2 サブアクティブモードから高速モードへの直接遷移

サブアクティブモードで SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 0、DTON ビット = 1、TSCR\_1 (WDT\_1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、SBYCR の STS2 ~ STS0 により設定された時間を経過した後、直接高速モードに遷移します。

## 22.11 使用上の注意事項

### 22.11.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびウォッチモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

### 22.11.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

### 22.11.3 DTC のモジュールストップ (H8S/2268 グループのみ)

DTC の動作状態によっては、MSTPA6 ビットは 1 にセットされない場合があります。DTC のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

### 22.11.4 内蔵周辺モジュールの割り込み

- モジュールストップモード

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DTC\* の起動要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにした後、モジュールストップモードとしてください。

【注】 \* H8S/2268 グループのみサポートします。

## 22. 低消費電力状態

---

- サブアクティブモード/ウォッチモード

サブアクティブモードで動作停止する内蔵周辺モジュール (DTC\*、TPU、IIC) は、当該割り込みをサブアクティブモードでクリアできません。したがって、割り込みが要求された状態でサブアクティブモードに遷移すると、CPU の割り込み要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにした後、SLEEP 命令を実行しサブアクティブモード/ウォッチモードに遷移してください。

【注】 \* H8S/2268 グループのみサポートします。

### 22.11.5 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

### 22.11.6 サブアクティブモード/ウォッチモード遷移と DTC のモジュールストップ (H8S/2268 グループのみ)

サブアクティブモード、ウォッチモードに遷移する場合は、DTC をモジュールストップ (MSTPA6 ビットに 1 ライト) 設定し、MSTPA6 ビットの 1 リード確認後、モード遷移してください。サブアクティブモードからアクティブモードに遷移後、モジュールストップ解除してください。

なお、サブアクティブモード中に DTC 起動要因が発生した場合、アクティブモードに遷移後モジュールストップ解除時に DTC 起動されます。



## 23. 電源回路

本 LSI には内部電源降圧回路が内蔵されています。この内部電源降圧回路を使用することにより、外部  $V_{cc}$  端子に接続された電源電圧に依存することなく、内部電源を約 3.0V に固定することができます。このため外部電源を 3.0V 以上で使用した場合に消費される電流値を約 3.0V で使用した場合とほぼ同等に抑えることができます。外部電圧が 3.0V 以下の場合には内部電圧は外部電圧とほぼ同一となります。

### 23.1 内部電源降圧回路を使用する場合

図 23.1 のように、 $V_{cc}$  端子に外部電源を接続し、 $CV_{cc}$  と  $V_{ss}$  間に容量 (H8S/2268 グループ :  $0.1\mu\text{F}/0.2\mu\text{F}$ 、H8S/2264 グループ :  $0.2\mu\text{F}$ ) をできるだけ短い配線にして接続してください。この外部回路を付加することにより内部降圧回路が有効になります。 $CV_{cc}$  端子に絶対最大定格値 4.3V を超える電源を印加した場合、LSI の永久破壊となることがありますので、 $CV_{cc}$  端子には電源を接続しないでください。外部回路の入出力レベルは  $V_{cc}$  に接続されている外部電源電圧と  $V_{ss}$  に接続されている GND 電位が基準となります。例えば、ポートの入出力レベルは High が  $V_{cc}$  基準、Low が  $V_{ss}$  基準となります。A/D 変換器、D/A 変換器\*、DTMF 発生回路\*のアナログ電源は内部降圧回路の影響は受けません。

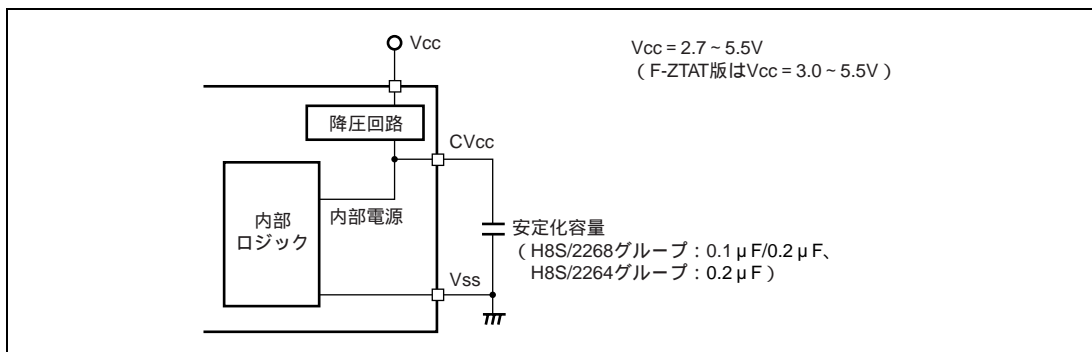


図 23.1 内部電源降圧回路を使用する場合の電源接続図

【注】 \* H8S/2268 グループのみサポートします。



---

## 24. レジスタ一覧

---

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

### レジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載します。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

### レジスタビット一覧

- 「レジスタアドレス一覧(アドレス順)」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

### 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧(アドレス順)」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 24.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス* <sup>1</sup>	モジュール	データ バス幅	アクセス ステート数
DTC モードレジスタ A* <sup>4</sup>	MRA	8	H'EBC0 ~	DTC	16/32* <sup>2</sup>	1
DTC ソースアドレスレジスタ* <sup>4</sup>	SAR	24	H'EFBF	DTC	16/32* <sup>2</sup>	1
DTC モードレジスタ B* <sup>4</sup>	MRB	8		DTC	16/32* <sup>2</sup>	1
DTC デスティネーションアドレスレジスタ* <sup>4</sup>	DAR	24		DTC	16/32* <sup>2</sup>	1
DTC 転送カウントレジスタ A* <sup>4</sup>	CRA	16		DTC	16/32* <sup>2</sup>	1
DTC 転送カウントレジスタ B* <sup>4</sup>	CRB	16		DTC	16/32* <sup>2</sup>	1
LCD ポートコントロールレジスタ	LPCR	8	H'FC30	LCD	8/16	4
LCD コントロールレジスタ	LCR	8	H'FC31	LCD	8/16	4
LCD コントロールレジスタ 2	LCR2	8	H'FC32	LCD	8/16	4
LCD RAM		8	H'FC40 ~ H'FC53	LCD	8/16	4
モジュールストップコントロールレジスタ D	MSTPCRD	8	H'FC60	SYSTEM	8	4
DTMF コントロールレジスタ* <sup>4</sup>	DTCR	8	H'FC68	DTMF	8	4
DTMF ロードレジスタ* <sup>4</sup>	DTLR	8	H'FC69	DTMF	8	4
タイマコントロールレジスタ_4* <sup>4</sup>	TCR_4	8	H'FC70	TMR_4	8/16	4
タイマコントロールレジスタ_5* <sup>4</sup>	TCR_5	8	H'FC71	TMR_4	8/16	4
タイマコントロールレジスタ_6* <sup>4</sup>	TCR_6	8	H'FC72	TMR_4	8/16	4
タイマコントロールレジスタ_7* <sup>4</sup>	TCR_7	8	H'FC73	TMR_4	8/16	4
タイマカウンタ 4 / タイマリロードレジスタ 4* <sup>4</sup>	TCNT_4(R) /TLR_4(W)	8	H'FC74	TMR_4	8/16	4
タイマカウンタ 5 / タイマリロードレジスタ 5* <sup>4</sup>	TCNT_5(R) /TLR_5(W)	8	H'FC75	TMR_4	8/16	4
タイマカウンタ 6 / タイマリロードレジスタ 6* <sup>4</sup>	TCNT_6(R) /TLR_6(W)	8	H'FC76	TMR_4	8/16	4
タイマカウンタ 7 / タイマリロードレジスタ 7* <sup>4</sup>	TCNT_7(R) /TLR_7(W)	8	H'FC77	TMR_4	8/16	4
ポート H データディレクションレジスタ	PHDDR	8	H'FC80	PORT	8	4
ポート J データディレクションレジスタ	PJDDR	8	H'FC81	PORT	8	4
ポート K データディレクションレジスタ	PKDDR	8	H'FC82	PORT	8	4

## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス* <sup>1</sup>	モジュール	データ バス幅	アクセス ステート数
ポートLデータディレクションレジスタ	PLDDR	8	H'FC83	PORT	8	4
ポートMデータディレクションレジスタ* <sup>4</sup>	PMDDR	8	H'FC84	PORT	8	4
ポートNデータディレクションレジスタ* <sup>4</sup>	PNDDR	8	H'FC85	PORT	8	4
ポートHデータレジスタ	PHDR	8	H'FC88	PORT	8	4
ポートJデータレジスタ	PJDR	8	H'FC89	PORT	8	4
ポートKデータレジスタ	PKDR	8	H'FC8A	PORT	8	4
ポートLデータレジスタ	PLDR	8	H'FC8B	PORT	8	4
ポートMデータレジスタ* <sup>4</sup>	PMDR	8	H'FC8C	PORT	8	4
ポートNデータレジスタ* <sup>4</sup>	PNDR	8	H'FC8D	PORT	8	4
ポートHレジスタ	PORTH	8	H'FC90	PORT	8	4
ポートJレジスタ	PORTJ	8	H'FC91	PORT	8	4
ポートKレジスタ	PORTK	8	H'FC92	PORT	8	4
ポートLレジスタ	PORTL	8	H'FC93	PORT	8	4
ポートMレジスタ* <sup>4</sup>	PORTM	8	H'FC94	PORT	8	4
ポートNレジスタ* <sup>4</sup>	PORTN	8	H'FC95	PORT	8	4
ポートJプルアップMOSコントロール レジスタ	PJPCR	8	H'FC99	PORT	8	4
ウェイクアップコントロールレジスタ	WPCR	8	H'FC9F	PORT	8	4
ウェイクアップ割り込み要求レジスタ	IWPR	8	H'FCA0	INT	8	4
割り込み許可レジスタ	IENR1	8	H'FCA1	INT	8	4
D/Aデータレジスタ_0* <sup>4</sup>	DADR_0	8	H'FDAC	D/A	8	2
D/Aデータレジスタ_1* <sup>4</sup>	DADR_1	8	H'FDAD	D/A	8	2
D/Aコントロールレジスタ* <sup>4</sup>	DACR	8	H'FDAE	D/A	8	2
シリアルコントロールレジスタX	SCRX	8	H'FDB4	IIC, FLASH	8	2
DDCスイッチレジスタ	DDCSWR	8	H'FDB5	IIC	8	2
タイマコントロールレジスタ_2* <sup>4</sup>	TCR_2	8	H'FDC0	TMR_2	8	2
タイマコントロールレジスタ_3* <sup>4</sup>	TCR_3	8	H'FDC1	TMR_3	8	2
タイマコントロール/ステータス レジスタ_2* <sup>4</sup>	TCSR_2	8	H'FDC2	TMR_2	8	2
タイマコントロール/ステータス レジスタ_3* <sup>4</sup>	TCSR_3	8	H'FDC3	TMR_3	8	2
タイムコンスタントレジスタA_2* <sup>4</sup>	TCORA_2	8	H'FDC4	TMR_2	8/16	2
タイムコンスタントレジスタA_3* <sup>4</sup>	TCORA_3	8	H'FDC5	TMR_3	8/16	2
タイムコンスタントレジスタB_2* <sup>4</sup>	TCORB_2	8	H'FDC6	TMR_2	8/16	2
タイムコンスタントレジスタB_3* <sup>4</sup>	TCORB_3	8	H'FDC7	TMR_3	8/16	2
タイマカウンタ_2* <sup>4</sup>	TCNT_2	8	H'FDC8	TMR_2	8/16	2

## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ_3*4	TCNT_3	8	H'FDC9	TMR_3	8/16	2
シリアルモードレジスタ_2	SMR_2	8	H'FDD0	SCI_2	8	2
ビットレートレジスタ_2	BRR_2	8	H'FDD1	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FDD2	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FDD3	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FDD4	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FDD5	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FDD6	SCI_2	8	2
スタンバイコントロールレジスタ	SBYCR	8	H'FDE4	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FDE5	SYSTEM	8	2
システムクロックコントロールレジスタ	SCKCR	8	H'FDE6	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FDE7	SYSTEM	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FDE8	SYSTEM	8	2
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FDE9	SYSTEM	8	2
モジュールストップコントロールレジスタ C	MSTPCRC	8	H'FDEA	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FDEC	SYSTEM	8	2
シリアル拡張モードレジスタ_0	SEMR_0	8	H'FDF8	SCI_0	8	2
ブレイクアドレスレジスタ A*4	BARA	32	H'FE00	PBC	8/16	2
ブレイクアドレスレジスタ B*4	BARB	32	H'FE04	PBC	8/16	2
ブレイクコントロールレジスタ A*4	BCRA	8	H'FE08	PBC	8/16	2
ブレイクコントロールレジスタ B*4	BCRB	8	H'FE09	PBC	8/16	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FE12	INT	8	2
IRQ センスコントロールレジスタ L	ISCR L	8	H'FE13	INT	8	2
IRQ イネーブルレジスタ	IER	8	H'FE14	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FE15	INT	8	2
DTC イネーブルレジスタ*4	DT CER	8	H'FE16 ~ H'FE1B、 H'FE1E	DTC	8	2
DTC ベクタレジスタ*4	DTVECR	8	H'FE1F	DTC	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE30	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE32	PORT	8	2
ポート 7 データディレクションレジスタ	P7DDR	8	H'FE36	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'FE3E	PORT	8	2
ポート 3 オープンドレインコントロール レジスタ	P3ODR	8	H'FE46	PORT	8	2

## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス* <sup>1</sup>	モジュール	データ バス幅	アクセス ステート数
タイマスタートレジスタ	TSTR	8	H'FEB0	TPU	8	2
タイマシンクロレジスタ	TSYR	8	H'FEB1	TPU	8	2
インタラプトプライオリティレジスタ A* <sup>4</sup>	IPRA	8	H'FEC0	INT	8	2
インタラプトプライオリティレジスタ B* <sup>4</sup>	IPRB	8	H'FEC1	INT	8	2
インタラプトプライオリティレジスタ C* <sup>4</sup>	IPRC	8	H'FEC2	INT	8	2
インタラプトプライオリティレジスタ D* <sup>4</sup>	IPRD	8	H'FEC3	INT	8	2
インタラプトプライオリティレジスタ E* <sup>4</sup>	IPRE	8	H'FEC4	INT	8	2
インタラプトプライオリティレジスタ F* <sup>4</sup>	IPRF	8	H'FEC5	INT	8	2
インタラプトプライオリティレジスタ G* <sup>4</sup>	IPRG	8	H'FEC6	INT	8	2
インタラプトプライオリティレジスタ I* <sup>4</sup>	IPRI	8	H'FEC8	INT	8	2
インタラプトプライオリティレジスタ J* <sup>4</sup>	IPRJ	8	H'FEC9	INT	8	2
インタラプトプライオリティレジスタ K* <sup>4</sup>	IPRK	8	H'FECA	INT	8	2
インタラプトプライオリティレジスタ L* <sup>4</sup>	IPRL	8	H'FECB	INT	8	2
インタラプトプライオリティレジスタ M* <sup>4</sup>	IPRM	8	H'FECC	INT	8	2
インタラプトプライオリティレジスタ O* <sup>4</sup>	IPRO	8	H'FECE	INT	8	2
RAM エミュレーションレジスタ* <sup>4</sup>	RAMER	8	H'FEDB	FLASH	8	2
ポート 1 データレジスタ	P1DR	8	H'FF00	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FF02	PORT	8	2
ポート 7 データレジスタ	P7DR	8	H'FF06	PORT	8	2
ポート F データレジスタ	PFDR	8	H'FF0E	PORT	8	2
タイマコントロールレジスタ_0* <sup>4</sup>	TCR_0	8	H'FF10	TPU_0	8	2
タイマモードレジスタ_0* <sup>4</sup>	TMDR_0	8	H'FF11	TPU_0	8	2
タイマ I/O コントロールレジスタ H_0* <sup>4</sup>	TIORH_0	8	H'FF12	TPU_0	8	2
タイマ I/O コントロールレジスタ L_0* <sup>4</sup>	TIORL_0	8	H'FF13	TPU_0	8	2
タイマインタラプトイネーブルレジスタ_0* <sup>4</sup>	TIER_0	8	H'FF14	TPU_0	8	2
タイマステータスレジスタ_0* <sup>4</sup>	TSR_0	8	H'FF15	TPU_0	8	2
タイマカウンタ_0* <sup>4</sup>	TCNT_0	16	H'FF16	TPU_0	16	2
タイマジェネラルレジスタ A_0* <sup>4</sup>	TGRA_0	16	H'FF18	TPU_0	16	2
タイマジェネラルレジスタ B_0* <sup>4</sup>	TGRB_0	16	H'FF1A	TPU_0	16	2
タイマジェネラルレジスタ C_0* <sup>4</sup>	TGRC_0	16	H'FF1C	TPU_0	16	2
タイマジェネラルレジスタ D_0* <sup>4</sup>	TGRD_0	16	H'FF1E	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FF20	TPU_1	8	2
タイマモードレジスタ_1	TMDR_1	8	H'FF21	TPU_1	8	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FF22	TPU_1	8	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FF24	TPU_1	8	2
タイマステータスレジスタ_1	TSR_1	8	H'FF25	TPU_1	8	2

## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ_1	TCNT_1	16	H'FF26	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FF28	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FF2A	TPU_1	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FF30	TPU_2	8	2
タイマモードレジスタ_2	TMDR_2	8	H'FF31	TPU_2	8	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FF32	TPU_2	8	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FF34	TPU_2	8	2
タイマステータスレジスタ_2	TSR_2	8	H'FF35	TPU_2	8	2
タイマカウンタ_2	TCNT_2	16	H'FF36	TPU_2	16	2
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FF38	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FF3A	TPU_2	16	2
タイマコントロールレジスタ_0	TCR_0	8	H'FF68	TMR_0	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FF69	TMR_1	8	2
タイマコントロール / ステータスレジスタ_0	TCSR_0	8	H'FF6A	TMR_0	8	2
タイマコントロール / ステータスレジスタ_1	TCSR_1	8	H'FF6B	TMR_1	8	2
タイマコンスタントレジスタ A_0	TCORA_0	8	H'FF6C	TMR_0	8/16	2
タイマコンスタントレジスタ A_1	TCORA_1	8	H'FF6D	TMR_1	8/16	2
タイマコンスタントレジスタ B_0	TCORB_0	8	H'FF6E	TMR_0	8/16	2
タイマコンスタントレジスタ B_1	TCORB_1	8	H'FF6F	TMR_1	8/16	2
タイマカウンタ_0	TCNT_0	8	H'FF70	TMR_0	8/16	2
タイマカウンタ_1	TCNT_1	8	H'FF71	TMR_1	8/16	2
タイマコントロール / ステータスレジスタ_0	TCSR_0	8	H'FF74(W) H'FF74(R)	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FF74(W) H'FF75(R)	WDT_0	16	2
リセットコントロール / ステータスレジスタ	RSTCSR	8	H'FF76(W) H'FF77(R)	WDT_0	16	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78*3	SCI_0	8	2
I <sup>2</sup> C バスコントロールレジスタ_0	ICCR_0	8	H'FF78*3	IIC_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79*3	SCI_0	8	2
I <sup>2</sup> C バスステータスレジスタ_0	ICSR_0	8	H'FF79*3	IIC_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2



## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E*3	SCI_0	8	2
I <sup>2</sup> C バスデータレジスタ_0 / 第2スレーブアドレスレジスタ_0	ICDR_0 /SARX_0	8	H'FF7E*3	IIC_0	8	2
I <sup>2</sup> C バスモードレジスタ_0 / スレーブアドレスレジスタ_0	ICMR_0 /SAR_0	8	H'FF7F	IIC_0	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF80*3	SCI_1	8	2
I <sup>2</sup> C バスコントロールレジスタ_1*4	ICCR_1	8	H'FF80*3	IIC_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF81*3	SCI_1	8	2
I <sup>2</sup> C バスステータスレジスタ_1*4	ICSR_1	8	H'FF81*3	IIC_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86*3	SCI_1	8	2
I <sup>2</sup> C バスデータレジスタ_1 / 第2スレーブアドレスレジスタ_1*4	ICDR_1 /SARX_1	8	H'FF86*3	IIC_1	8	2
I <sup>2</sup> C バスモードレジスタ_1 / スレーブアドレスレジスタ_1*4	ICMR_1 /SAR_1	8	H'FF87	IIC_1	8	2
A/D データレジスタ AH	ADDRAH	8	H'FF90	A/D	8	2
A/D データレジスタ AL	ADDRAL	8	H'FF91	A/D	8	2
A/D データレジスタ BH	ADDRBH	8	H'FF92	A/D	8	2
A/D データレジスタ BL	ADDRBL	8	H'FF93	A/D	8	2
A/D データレジスタ CH	ADDRCH	8	H'FF94	A/D	8	2
A/D データレジスタ CL	ADDRCL	8	H'FF95	A/D	8	2
A/D データレジスタ DH	ADDRDH	8	H'FF96	A/D	8	2
A/D データレジスタ DL	ADDRDL	8	H'FF97	A/D	8	2
A/D コントロール / ステータスレジスタ	ADCSR	8	H'FF98	A/D	8	2
A/D コントロールレジスタ	ADCR	8	H'FF99	A/D	8	2
タイマコントロール / ステータスレジスタ_1	TCSR_1	8	H'FFA2(W) H'FFA2(R)	WDT_1	16	2
タイマカウンタ_1	TCNT_1	8	H'FFA2(W) H'FFA3(R)	WDT_1	16	2
フラッシュメモリコントロールレジスタ 1*4	FLMCR1	8	H'FFA8	FLASH	8	2
フラッシュメモリコントロールレジスタ 2*4	FLMCR2	8	H'FFA9	FLASH	8	2
消去ブロック指定レジスタ 1*4	EBR1	8	H'FFAA	FLASH	8	2

## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス* <sup>1</sup>	モジュール	データ バス幅	アクセス ステート数
消去ブロック指定レジスタ 2* <sup>4</sup>	EBR2	8	H'FFAB	FLASH	8	2
フラッシュメモリパワーコントロール レジスタ* <sup>4</sup>	FLPWCR	8	H'FFAC	FLASH	8	2
ポート 1 レジスタ	PORT1	8	H'FFB0	PORT	8	2
ポート 3 レジスタ	PORT3	8	H'FFB2	PORT	8	2
ポート 4 レジスタ	PORT4	8	H'FFB3	PORT	8	2
ポート 7 レジスタ	PORT7	8	H'FFB6	PORT	8	2
ポート 9 レジスタ	PORT9	8	H'FFB8	PORT	8	2
ポート F レジスタ	PORTF	8	H'FFBE	PORT	8	2

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。

\*3 SCI\_0、SCI\_1 の一部のレジスタと IIC\_0、IIC\_1 の一部のレジスタは同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルコントロールレジスタ X(SCRX)の IICE ビットで行います。

\*4 H8S/2268 グループのみサポートします。

## 24.2 レジスタビット一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MRA* <sup>1</sup>	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC
SAR* <sup>1</sup>									
MRB* <sup>1</sup>	CHNE	DISEL	-	-	-	-	-	-	
DAR* <sup>1</sup>									
CRA* <sup>1</sup>									
CRB* <sup>1</sup>									
LPCR	DTS1	DTS0	CMX	-	SGS3	SGS2	SGS1	SGS0	LCD
LCR	-	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	
LCR2	LCDAB	-	HCKS* <sup>2</sup>	SUPS* <sup>2</sup>	CDS3	CDS2	CDS1	CDS0	
LCD RAM	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MSTPCRD	MSTPD7	MSTPD6	MSTPD5	MSTPD4	MSTPD3	MSTPD2	MSTPD1	MSTPD0	SYSTEM
DTCR* <sup>1</sup>	DTEN	-	CLOE	RWOE	CLF1	CLF0	RWF1	RWF0	DTMF
DTLR* <sup>1</sup>	-	-	DTL5	DTL4	DTL3	DTL2	DTL1	DTL0	
TCR_4* <sup>1</sup>	ARSL	OVF	OVIE	-	-	CKS2	CKS1	CKS0	TMR_4
TCR_5* <sup>1</sup>	ARSL	OVF	OVIE	-	-	CKS2	CKS1	CKS0	
TCR_6* <sup>1</sup>	ARSL	OVF	OVIE	-	-	CKS2	CKS1	CKS0	
TCR_7* <sup>1</sup>	ARSL	OVF	OVIE	-	-	CKS2	CKS1	CKS0	
TCNT_4(R)/ TLR_4(W)* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_5(R)/ TLR_5(W)* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_6(R)/ TLR_6(W)* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_7(R)/ TLR_7(W)* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
PHDDR	-	-	-	-	PH3DDR	PH2DDR	PH1DDR	PH0DDR	PORT
PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR	
PKDDR	PK7DDR	PK6DDR	PK5DDR	PK4DDR	PK3DDR	PK2DDR	PK1DDR	PK0DDR	

## 24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PLDDR	PL7DDR	PL6DDR	PL5DDR	PL4DDR	PL3DDR	PL2DDR	PL1DDR	PL0DDR	PORT
PMDDR* <sup>1</sup>	PM7DDR	PM6DDR	PM5DDR	PM4DDR	PM3DDR	PM2DDR	PM1DDR	PM0DDR	
PNDDR* <sup>1</sup>	PN7DDR	PN6DDR	PN5DDR	PN4DDR	PN3DDR	PN2DDR	PN1DDR	PN0DDR	
PHDR	-	-	-	-	PH3DR	PH2DR	PH1DR	PH0DR	
PJDR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	
PKDR	PK7DR	PK6DR	PK5DR	PK4DR	PK3DR	PK2DR	PK1DR	PK0DR	
PLDR	PL7DR	PL6DR	PL5DR	PL4DR	PL3DR	PL2DR	PL1DR	PL0DR	
PMDR* <sup>1</sup>	PM7DR	PM6DR	PM5DR	PM4DR	PM3DR	PM2DR	PM1DR	PM0DR	
PNDR* <sup>1</sup>	PN7DR	PN6DR	PN5DR	PN4DR	PN3DR	PN2DR	PN1DR	PN0DR	
PORTH	PH7	-	-	-	PH3	PH2	PH1	PH0	
PORTJ	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	
PORTK	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0	
PORTL	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	
PORTM* <sup>1</sup>	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0	
PORTN* <sup>1</sup>	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0	
PJPCR	PJ7PCR	PJ6PCR	PJ5PCR	PJ4PCR	PJ3PCR	PJ2PCR	PJ1PCR	PJ0PCR	
WPCR	WPC7	WPC6	WPC5	WPC4	WPC3	WPC2	WPC1	WPC0	
IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	INT
IENR1	IENWP	-	-	-	-	-	-	-	
DADR_0* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	D/A
DADR_1* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR* <sup>1</sup>	DAOE1	DAOE0	DAE	-	-	-	-	-	
SCRX	-	IICX1* <sup>2</sup>	IICX0	IICE	FLSHE* <sup>1</sup>	-	-	-	IIC, FLASH
DDCSWR	-	-	-	-	CLR3	CLR2	CLR1	CLR0	IIC
TCR_2* <sup>1</sup>	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_2
TCR_3* <sup>1</sup>	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_3
TCSR_2* <sup>1</sup>	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0	TMR_2
TCSR_3* <sup>1</sup>	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0	TMR_3
TCORA_2* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_2
TCORA_3* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_3
TCORB_2* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_2
TCORB_3* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_3
TCNT_2* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_2
TCNT_3* <sup>1</sup>	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_3
SMR_2	C / $\bar{A}$	CHR	PE	O / $\bar{E}$	STOP	MP	CKS1	CKS0	SCI_2

## 24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR_2	GM	BLK	PE	O / E	BCP1	BCP0	CKS1	CKS0	SCI_2
BRR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_2	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
RDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SYSTEM
SCMR_2	-	-	-	-	SDIR	SINV	-	SMIF	
SBYCR	SSBY	STS2	STS1	STS0	-	-	-	-	
SYSCR	-	-	INTM1	INTM0	NMIEG	-	-	-	
SCKCR	-	-	-	-	-	SCK2	SCK1	SCK0	
MDCR	-	-	-	-	-	MDS2	MDS1	-	
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	
LPWRCR	DTON	LSON	NESEL	SUBSTP	RFCUT	-	STC1	STC0	
SEMR0	-	-	-	-	ABCS	ACS2	ACS1	ACS0	
BARA* <sup>1</sup>	-	-	-	-	-	-	-	-	
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BARB* <sup>1</sup>	-	-	-	-	-	-	-	-	
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BCRA* <sup>1</sup>	CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA	
BCRB* <sup>1</sup>	CMFB	CDB	BAMRB2	BAMRB1	BAMRB0	CSELB1	CSELB0	BIEB	
ISCRH	-	-	-	-	IRQ5SCB* <sup>2</sup>	IRQ5SCA* <sup>2</sup>	IRQ4SCB	IRQ4SCA	INT
ISCR_L	IRQ3SCB	IRQ3SCA	-	-	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IER	-	-	IRQ5E* <sup>2</sup>	IRQ4E	IRQ3E	-	IRQ1E	IRQ0E	
ISR	-	-	IRQ5F* <sup>2</sup>	IRQ4F	IRQ3F	-	IRQ1F	IRQ0F	
DTCE* <sup>1</sup>	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	DTC
DTVEC* <sup>1</sup>	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P3DDR	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P7DDR	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR	

## 24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PFDDR	-	-	-	-	PF3DDR	-	-	-	PORT
P3ODR	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR	
TSTR	-	-	-	-	-	CST2	CST1	CST0* <sup>2</sup>	TPU
TSYR	-	-	-	-	-	SYNC2	SYNC1	SYNC0* <sup>2</sup>	
IPRA* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	INT
IPRB* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	
IPRC* <sup>1</sup>	-	-	-	-	-	IPR2	IPR1	IPR0	
IPRD* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	-	-	-	
IPRE* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	
IPRF* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	
IPRG* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	-	-	-	
IPRI* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	
IPRJ* <sup>1</sup>	-	-	-	-	-	IPR2	IPR1	IPR0	
IPRK* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	
IPRL* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	
IPRM* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	
IPRO* <sup>1</sup>	-	IPR6	IPR5	IPR4	-	-	-	-	
RAMER* <sup>1</sup>	-	-	-	-	RAMS	RAM2	RAM1	RAM0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	PORT
P3DR	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P7DR	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR	
PFDR	-	-	-	-	PF3DR	-	-	-	
TCR_0* <sup>1</sup>	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0* <sup>1</sup>	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0* <sup>1</sup>	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0* <sup>1</sup>	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0* <sup>1</sup>	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0* <sup>1</sup>	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0* <sup>1</sup>	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_0* <sup>1</sup>	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_0* <sup>1</sup>	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_0* <sup>1</sup>	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

## 24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TGRD_0* <sup>1</sup>	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	TPU_0
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	-	TCIEU* <sup>2</sup>	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD* <sup>2</sup>	-	TCFU* <sup>2</sup>	TCFV	-	-	TGFB	TGFA	
TCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	-	TCIEU* <sup>2</sup>	TCIEV	-	-	TGIEB	TGIEA	
TSR_2	TCFD* <sup>2</sup>	-	TCFU* <sup>2</sup>	TCFV	-	-	TGFB	TGFA	
TCNT_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_0
TCSR_1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0	TMR_1
TCORA_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCORA_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCORB_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCORB_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCSR_0	OVF	WT / $\bar{I}$ T	TME	-	-	CKS2	CKS1	CKS0	WDT_0
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

## 24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
RSTCSR	WOVF	RSTE	-	-	-	-	-	-	WDT_0
SMR_0	C / $\bar{A}$	CHR	PE	O / $\bar{E}$	STOP	MP	CKS1	CKS0	SCI_0
SMR_0	GM	BLK	PE	O / $\bar{E}$	BCP1	BCP0	CKS1	CKS0	
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_0
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SCI_0
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_0
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_0
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_0	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_0	-	-	-	-	SDIR	SINV	-	SMIF	
ICDR_0 / SARX_0	ICDR7 / SVAX6	ICDR6 / SVAX5	ICDR5 / SVAX4	ICDR4 / SVAX3	ICDR3 / SVAX2	ICDR2 / SVAX1	ICDR1 / SVAX0	ICDR0 / FSX	IIC_0
ICMR_0 / SAR_0	MLS / SVA6	WAIT / SVA5	CKS2 / SVA4	CKS1 / SVA3	CKS0 / SVA2	BC2 / SVA1	BC1 / SVA0	BC0 / FS	
SMR_1	C / $\bar{A}$	CHR	PE	O / $\bar{E}$	STOP	MP	CKS1	CKS0	SCI_1
SMR_1	GM	BLK	PE	O / $\bar{E}$	BCP1	BCP0	CKS1	CKS0	
ICCR_1* <sup>1</sup>	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_1
BRR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SCI_1
ICSR_1* <sup>1</sup>	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_1
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_1
TDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_1	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
RDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_1	-	-	-	-	SDIR	SINV	-	SMIF	
ICDR_1 / SARX_1* <sup>1</sup>	ICDR7 / SVAX6	ICDR6 / SVAX5	ICDR5 / SVAX4	ICDR4 / SVAX3	ICDR3 / SVAX2	ICDR2 / SVAX1	ICDR1 / SVAX0	ICDR0 / FSX	IIC_1
ICMR_1 / SAR_1* <sup>1</sup>	MLS / SVA6	WAIT / SVA5	CKS2 / SVA4	CKS1 / SVA3	CKS0 / SVA2	BC2 / SVA1	BC1 / SVA0	BC0 / FS	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A / D
ADDRAL	AD1	AD0	-	-	-	-	-	-	
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0	-	-	-	-	-	-	
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	



レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ADDRCL	AD1	AD0	-	-	-	-	-	-	A / D
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0	-	-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	-	-	CKS1	CKS0	-	-	
TCSR_1	OVF	WT / $\overline{IT}$	TME	PSS	RST / $\overline{NMI}$	CKS2	CKS1	CKS0	WDT_1
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
FLMCR1* <sup>1</sup>	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLASH
FLMCR2* <sup>1</sup>	FLER	-	-	-	-	-	-	-	
EBR1* <sup>1</sup>	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2* <sup>1</sup>	-	-	-	-	EB11	EB10	EB9	EB8	
FLPWCR* <sup>1</sup>	PDWND	-	-	-	-	-	-	-	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT3	-	-	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT7	P77	P76	P75	P74	P73	P72	P71	P70	
PORT9	P97	P96	-	-	-	-	-	-	
PORTF	-	-	-	-	PF3	-	-	-	

【注】 \*1 H8S/2268 グループのみサポートします。

\*2 H8S/2264 グループではリザーブビットです。

## 24. レジスタ一覧

### 24.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MRA*	-	-	-	-	-	-	-	-	-	-	DTC
SAR*	-	-	-	-	-	-	-	-	-	-	
MRB*	-	-	-	-	-	-	-	-	-	-	
DAR*	-	-	-	-	-	-	-	-	-	-	
CRA*	-	-	-	-	-	-	-	-	-	-	
CRB*	-	-	-	-	-	-	-	-	-	-	
LPCR	初期化	-	-	-	-	-	-	-	-	初期化	LCD
LCR	初期化	-	-	-	-	-	-	-	-	初期化	
LCR2	初期化	-	-	-	-	-	-	-	-	初期化	
LCD RAM	-	-	-	-	-	-	-	-	-	-	
MSTPCRD	初期化	-	-	-	-	-	-	-	-	初期化	SYSTEM
DTCR*	初期化	-	-	-	-	-	-	-	-	初期化	DTMF
DTLR*	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_4*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_4
TCR_5*	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_6*	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_7*	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_4/ TLR_4*	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_5/ TLR_5*	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_6/ TLR_6*	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_7/ TLR_7*	初期化	-	-	-	-	-	-	-	-	初期化	
PHDDR	初期化	-	-	-	-	-	-	-	-	初期化	PORT
PJDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PKDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PLDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PMDDR*	初期化	-	-	-	-	-	-	-	-	初期化	
PNDDR*	初期化	-	-	-	-	-	-	-	-	初期化	
PHDR	初期化	-	-	-	-	-	-	-	-	初期化	
PJDR	初期化	-	-	-	-	-	-	-	-	初期化	

## 24. レジスタ一覧

レジスタ 略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PKDR	初期化	-	-	-	-	-	-	-	-	初期化	PORT
PLDR	初期化	-	-	-	-	-	-	-	-	初期化	
PMDR*	初期化	-	-	-	-	-	-	-	-	初期化	
PNDR*	初期化	-	-	-	-	-	-	-	-	初期化	
PORTH	初期化	-	-	-	-	-	-	-	-	初期化	
PORTJ	初期化	-	-	-	-	-	-	-	-	初期化	
PORTK	初期化	-	-	-	-	-	-	-	-	初期化	
PORTL	初期化	-	-	-	-	-	-	-	-	初期化	
PORTM*	初期化	-	-	-	-	-	-	-	-	初期化	
PORTN*	初期化	-	-	-	-	-	-	-	-	初期化	
PJPCR	初期化	-	-	-	-	-	-	-	-	初期化	
WPCR	初期化	-	-	-	-	-	-	-	-	初期化	
IWPR	初期化	-	-	-	-	-	-	-	-	初期化	INT
IENR1	初期化	-	-	-	-	-	-	-	-	初期化	
DADR_0*	初期化	-	-	-	-	-	-	-	-	初期化	D/A
DADR_1*	初期化	-	-	-	-	-	-	-	-	初期化	
DACR*	初期化	-	-	-	-	-	-	-	-	初期化	
SCRX	初期化	-	-	-	-	-	-	-	-	初期化	IIC、FLASH
DDCSWR	初期化	-	-	-	-	-	-	-	-	初期化	IIC
TCR_2*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_2
TCR_3*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_3
TCSR_2*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_2
TCSR_3*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_3
TCORA_2*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_2
TCORA_3*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_3
TCORB_2*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_2
TCORB_3*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_3
TCNT_2*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_2
TCNT_3*	初期化	-	-	-	-	-	-	-	-	初期化	TMR_3
SMR_2	初期化	-	-	-	-	-	-	-	-	初期化	SCI_2
BRR_2	初期化	-	-	-	-	-	-	-	-	初期化	
SCR_2	初期化	-	-	-	-	-	-	-	-	初期化	
TDR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SSR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
RDR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_2	初期化	-	-	-	-	-	-	-	-	初期化	

## 24. レジスタ一覧

レジスタ 略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
SBYCR	初期化	-	-	-	-	-	-	-	-	初期化	SYSTEM
SYSCR	初期化	-	-	-	-	-	-	-	-	初期化	
SCKCR	初期化	-	-	-	-	-	-	-	-	初期化	
MDCR	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRA	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRB	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRC	初期化	-	-	-	-	-	-	-	-	初期化	
LPWRCR	初期化	-	-	-	-	-	-	-	-	初期化	
SEMR_0	初期化	-	-	-	-	-	-	-	-	初期化	SCI_0
BARA*	初期化	-	-	-	-	-	-	-	-	初期化	PBC
BARB*	初期化	-	-	-	-	-	-	-	-	初期化	
BCRA*	初期化	-	-	-	-	-	-	-	-	初期化	
BCRB*	初期化	-	-	-	-	-	-	-	-	初期化	
ISCRH	初期化	-	-	-	-	-	-	-	-	初期化	INT
ISURL	初期化	-	-	-	-	-	-	-	-	初期化	
IER	初期化	-	-	-	-	-	-	-	-	初期化	
ISR	初期化	-	-	-	-	-	-	-	-	初期化	
DTCECR*	初期化	-	-	-	-	-	-	-	-	初期化	DTC
DTVECR*	初期化	-	-	-	-	-	-	-	-	初期化	
P1DDR	初期化	-	-	-	-	-	-	-	-	初期化	PORT
P3DDR	初期化	-	-	-	-	-	-	-	-	初期化	
P7DDR	初期化	-	-	-	-	-	-	-	-	初期化	
PFDDR	初期化	-	-	-	-	-	-	-	-	初期化	
P3ODR	初期化	-	-	-	-	-	-	-	-	初期化	
TSTR	初期化	-	-	-	-	-	-	-	-	初期化	TPU
TSYR	初期化	-	-	-	-	-	-	-	-	初期化	
IPRA*	初期化	-	-	-	-	-	-	-	-	初期化	INT
IPRB*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRC*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRD*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRE*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRF*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRG*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRI*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRJ*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRK*	初期化	-	-	-	-	-	-	-	-	初期化	

## 24. レジスタ一覧

レジスタ 略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
IPRL*	初期化	-	-	-	-	-	-	-	-	初期化	INT
IPRM*	初期化	-	-	-	-	-	-	-	-	初期化	
IPRO*	初期化	-	-	-	-	-	-	-	-	初期化	
RAMER*	初期化	-	-	-	-	-	-	-	-	初期化	FLASH
P1DR	初期化	-	-	-	-	-	-	-	-	初期化	PORT
P3DR	初期化	-	-	-	-	-	-	-	-	初期化	
P7DR	初期化	-	-	-	-	-	-	-	-	初期化	
PFDR	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_0*	初期化	-	-	-	-	-	-	-	-	初期化	TPU_0
TMDR_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TIORH_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TIORL_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TIER_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TSR_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TGRA_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TGRB_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TGRC_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TGRD_0*	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_1	初期化	-	-	-	-	-	-	-	-	初期化	TPU_1
TMDR_1	初期化	-	-	-	-	-	-	-	-	初期化	
TIOR_1	初期化	-	-	-	-	-	-	-	-	初期化	
TIER_1	初期化	-	-	-	-	-	-	-	-	初期化	
TSR_1	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_1	初期化	-	-	-	-	-	-	-	-	初期化	
TGRA_1	初期化	-	-	-	-	-	-	-	-	初期化	
TGRB_1	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_2	初期化	-	-	-	-	-	-	-	-	初期化	
TMDR_2	初期化	-	-	-	-	-	-	-	-	初期化	TPU_2
TIOR_2	初期化	-	-	-	-	-	-	-	-	初期化	
TIER_2	初期化	-	-	-	-	-	-	-	-	初期化	
TSR_2	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_2	初期化	-	-	-	-	-	-	-	-	初期化	
TGRA_2	初期化	-	-	-	-	-	-	-	-	初期化	
TGRB_2	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_0	初期化	-	-	-	-	-	-	-	-	初期化	TMR_0

## 24. レジスタ一覧

レジスタ 略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
TCR_1	初期化	-	-	-	-	-	-	-	-	初期化	TMR_1
TCSR_0	初期化	-	-	-	-	-	-	-	-	初期化	TMR_0
TCSR_1	初期化	-	-	-	-	-	-	-	-	初期化	TMR_1
TCORA_0	初期化	-	-	-	-	-	-	-	-	初期化	TMR_0
TCORA_1	初期化	-	-	-	-	-	-	-	-	初期化	TMR_1
TCORB_0	初期化	-	-	-	-	-	-	-	-	初期化	TMR_0
TCORB_1	初期化	-	-	-	-	-	-	-	-	初期化	TMR_1
TCNT_0	初期化	-	-	-	-	-	-	-	-	初期化	TMR_0
TCNT_1	初期化	-	-	-	-	-	-	-	-	初期化	TMR_1
TCSR_0	初期化	-	-	-	-	-	-	-	-	初期化	WDT_0
TCNT_0	初期化	-	-	-	-	-	-	-	-	初期化	
RSTCSR	初期化	-	-	-	-	-	-	-	-	初期化	
SMR_0	初期化	-	-	-	-	-	-	-	-	初期化	SCI_0
ICCR_0	初期化	-	-	-	-	-	-	-	-	初期化	IIC_0
BRR_0	初期化	-	-	-	-	-	-	-	-	初期化	SCI_0
ICSR_0	初期化	-	-	-	-	-	-	-	-	初期化	IIC_0
SCR_0	初期化	-	-	-	-	-	-	-	-	初期化	SCI_0
TDR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SSR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
RDR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_0	初期化	-	-	-	-	-	-	-	-	初期化	
ICDR_0/ SARX_0	初期化	-	-	-	-	-	-	-	-	初期化	IIC_0
ICMR_0/ SAR_0	初期化	-	-	-	-	-	-	-	-	初期化	
SMR_1	初期化	-	-	-	-	-	-	-	-	初期化	SCI_1
ICCR_1*	初期化	-	-	-	-	-	-	-	-	初期化	IIC_1
BRR_1	初期化	-	-	-	-	-	-	-	-	初期化	SCI_1
ICSR_1*	初期化	-	-	-	-	-	-	-	-	初期化	IIC_1
SCR_1	初期化	-	-	-	-	-	-	-	-	初期化	SCI_1
TDR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SSR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
RDR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_1	初期化	-	-	-	-	-	-	-	-	初期化	

## 24. レジスタ一覧

レジスタ 略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
ICDR_1/ SARX_1*	初期化	-	-	-	-	-	-	-	-	初期化	IIC_1
ICMR_1/ SAR_1*	初期化	-	-	-	-	-	-	-	-	初期化	
ADDRAH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	A/D
ADDRAL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRBH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	-	-	-	-	-	-	-	-	初期化	WDT_1
TCNT_1	初期化	-	-	-	-	-	-	-	-	初期化	
FLMCR1*	初期化	-	-	-	-	-	-	初期化	初期化	初期化	FLASH
FLMCR2*	初期化	-	-	-	-	-	-	初期化	初期化	初期化	
EBR1*	初期化	-	-	-	-	-	-	初期化	初期化	初期化	
EBR2*	初期化	-	-	-	-	-	-	初期化	初期化	初期化	
FLPWCR*	初期化	-	-	-	-	-	-	初期化	初期化	初期化	
PORT1	初期化	-	-	-	-	-	-	-	-	初期化	PORT
PORT3	初期化	-	-	-	-	-	-	-	-	初期化	
PORT4	初期化	-	-	-	-	-	-	-	-	初期化	
PORT7	初期化	-	-	-	-	-	-	-	-	初期化	
PORT9	初期化	-	-	-	-	-	-	-	-	初期化	
PORTF	初期化	-	-	-	-	-	-	-	-	初期化	

【注】 - は初期化されません。

\* H8S/2268 グループのみサポートします。





## 25. 電気的特性

### 25.1 電源電圧と動作周波数範囲

電源電圧と動作範囲（網かけ部）を図 25.1 に示します。

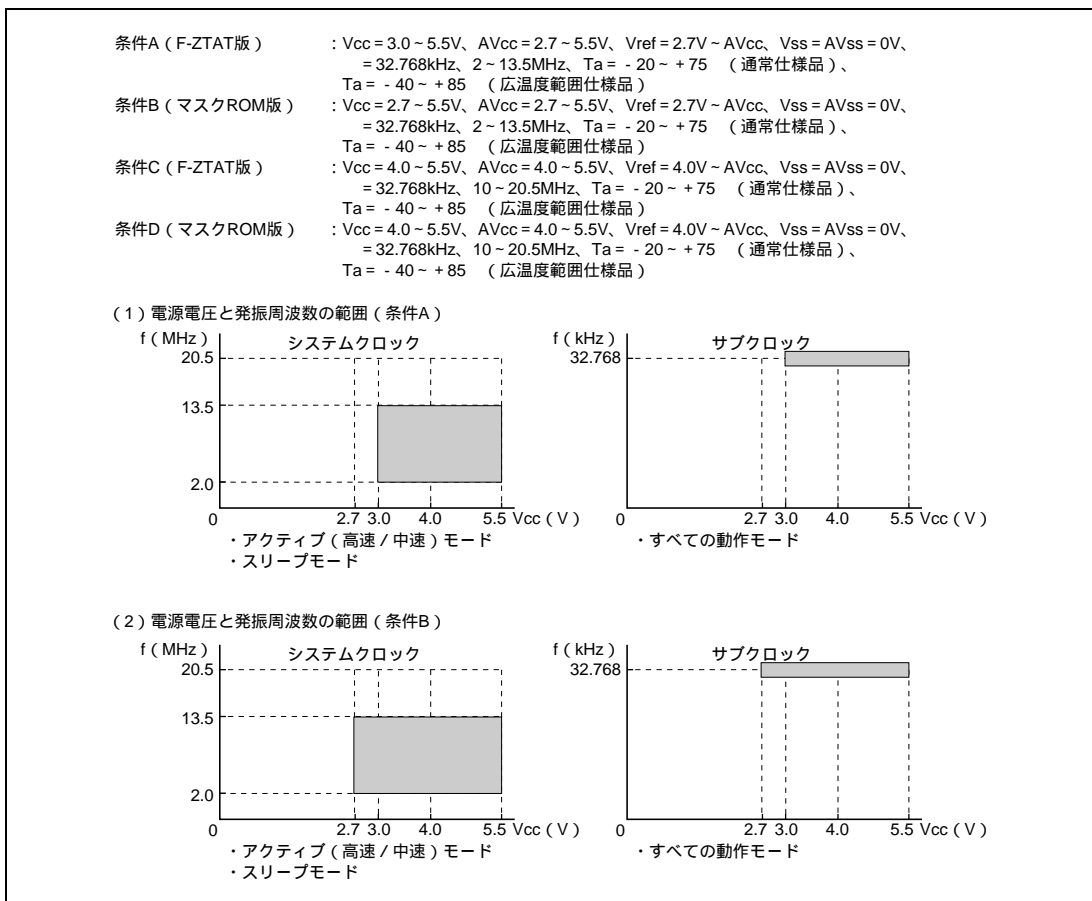


図 25.1 電源電圧と動作範囲 (1)

## 25. 電氣的特性

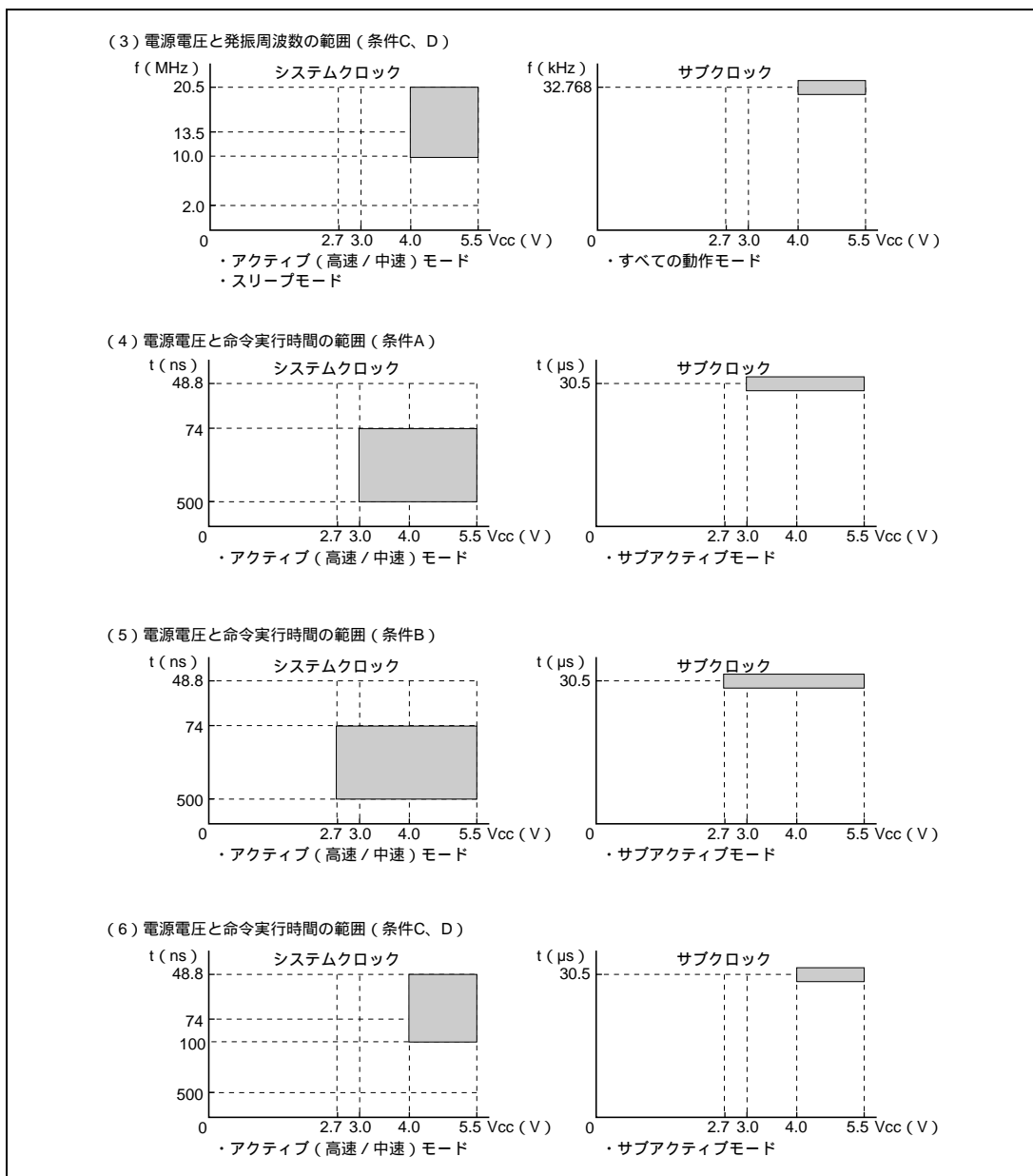


図 25.1 電源電圧と動作範囲 (2)

## 25.2 H8S/2268 グループの電気的特性

### 25.2.1 絶対最大定格

表 25.1 に絶対最大定格を示します。

表 25.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
	$CV_{CC}$	-0.3 ~ +4.3	V
入力電圧 (ポート 4、9、PH7/TMC14 以外)	$V_{in}$	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート 4、9、PH7/TMC14)	$V_{in}$	-0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	$V_{ref}$	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +7.0	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC}+0.3$	V
動作温度	$T_{opr}$	通常仕様品 : -20 ~ +75*	
		広温度範囲仕様品 : -40 ~ +85*	
保存温度	$T_{stg}$	-55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】\* フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = -20 \sim +75$  です。

### 25.2.2 DC 特性

表 25.2 に DC 特性を、表 25.3 に出力許容電流を、表 25.4 にバス駆動特性を示します。

表 25.2 DC 特性 (1)

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min.	typ.	max.	単位	測定条件
シュミット トリガ入力 電圧	$VT^+$	$V_{CC} \times 0.2$			V	$V_{CC} = 4.0 \sim 5.5V$ $V_{CC} = 3.0 \sim 4.0V$
	$VT^-$			$V_{CC} \times 0.8$	V	
	$VT^+ - VT^-$	$V_{CC} \times 0.05$			V	
		$V_{CC} \times 0.04$			V	
入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL、ポート 1、3、 7、F、J ~ N、PH0 ~ PH3	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 4* <sup>4</sup> 、9、PH7	$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ * <sup>4</sup>	V	

## 25. 電気的特性

項目		記号	min.	typ.	max.	単位	測定条件
入力 Low レベル電圧	RES、STBY、FWE、 MD2、MD1	$V_{IL}$	-0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、 ポート 1、3、4、7、9、 F、H、J~N		-0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	P34 ~ P35、PH0 ~ PH3、 ポート J ~ N を除く 全出力端子	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
			$V_{CC} - 1.0$			V	$I_{OH} = -1mA$
	$V_{CC} - 2.7$				V	$I_{OH} = -100 \mu A$ 、 $V_{CC} = 4.0 \sim 5.5V$	
	PH0 ~ PH3、 ポート J ~ N		$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
$V_{CC} - 1.0$				V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.0 \sim 5.5V$		
出力 Low レベル電圧	全出力端子*3	$V_{OL}$			0.4	V	$I_{OL} = 0.8mA$
	ポート 7				1.0	V	$I_{OL} = 5mA$ $I_{OL} = 10mA$ 、 $V_{CC} = 4.0 \sim 5.5V$
入力リーク 電流	RES	$ I_{in} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、FWE、 MD2、MD1				1.0	$\mu A$	
	ポート 4、9				1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
	PH7				1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープステ ートリーク電流 (オフ状態)	ポート 1、3、7、F、 J~N、PH0 ~ PH3	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアッ プ MOS 電流	ポート J	$-I_p$	10		300	$\mu A$	$V_{in} = 0V$

【注】 \*1 A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、AVCC、Vref 端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$ 、 $AV_{CC}$  としてください。

\*2 P35/SCK1/SCL0、P34/SDA0 は NMOS プッシュプル出力です。  
SCL0、SDA0 (ICE = 1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。  
P35/SCK1、P34 (ICE = 0) の High レベルは NMOS で駆動されます。P35/SCK1、P34 (ICE = 0) から High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。

\*3 ICE = 0 の場合です。バス駆動機能を選択した場合の Low レベル出力は「表 25.4 バス駆動特性」で定めます。

\*4  $V_{CC} < AV_{CC}$  のとき、P40、P41 の max. は  $V_{CC} + 0.3V$  になります。

表 25.2 DC 特性 (2)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*1

項目	記号	min.	typ.	max.	単位	測定条件	
シュミット トリガ入力 電圧	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、	$VT^-$	$V_{CC} \times 0.2$		V		
	$\overline{IRQ3} \sim \overline{IRQ5}$ 、	$VT^+$		$V_{CC} \times 0.8$	V		
	$\overline{WKP0} \sim \overline{WKP7}$	$VT^- - VT^-$	$V_{CC} \times 0.05$		V		
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $\overline{NMI}$ 、 $\overline{FWE}$ 、 $\overline{MD2}$ 、 $\overline{MD1}$	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL、ポート 1、3、 7、F、J~N、PH0~PH3		$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 4*4、9、PH7		$V_{CC} \times 0.8$		$AV_{CC} + 0.3^{*4}$	V	
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $\overline{FWE}$ 、 $\overline{MD2}$ 、 $\overline{MD1}$	$V_{IL}$	- 0.3		$V_{CC} \times 0.1$	V	
	$\overline{NMI}$ 、EXTAL、 ポート 1、3、4、7、9、 F、H、J~N、		- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	P34~P35、 PH0~PH3、 ポート J~N を除く 全出力端子	$V_{OH}$	$V_{CC} - 0.5$		V	$I_{OH} = -200 \mu A$	
			$V_{CC} - 1.0$		V	$I_{OH} = -1mA$	
	P34~P35*2		$V_{CC} - 2.7$		V	$I_{OH} = -100 \mu A$	
	PH0~PH3、 ポート J~N		$V_{CC} - 0.5$		V	$I_{OH} = -200 \mu A$	
			$V_{CC} - 1.0$		V	$I_{OH} = -1mA$	
出力 Low レベル電圧	全出力端子*3	$V_{OL}$			0.4	V	$I_{OL} = 0.8mA$
	ポート 7				1.0	V	$I_{OL} = 10mA$
入力リーク 電流	$\overline{RES}$	$ I_{in} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	$\overline{STBY}$ 、 $\overline{NMI}$ 、 $\overline{FWE}$ 、 $\overline{MD2}$ 、 $\overline{MD1}$				1.0	$\mu A$	
	ポート 4、9				1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
	PH7				1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリーステ ートリーク電流 (オフ状態)	ポート 1、3、7、F、 J~N、PH0~PH3	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プリアッ プ MOS 電流	ポート J	$-I_p$	50		300	$\mu A$	$V_{in} = 0V$

【注】 \*1 A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、AVCC、Vref 端子は  $V_{CC}$  に接続するなどの方法で、4.0~5.5V の電圧を印加してください。このとき、 $V_{ref}$ 、 $AV_{CC}$  としてください。

## 25. 電気的特性

- \*2 P35/SCK1/SCL0、P34/SDA0 は NMOS プッシュプル出力です。  
SCL0、SDA0 (ICE = 1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。  
P35/SCK1、P34 (ICE = 0) の High レベルは NMOS で駆動されます。P35/SCK1、P34 (ICE = 0) から High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。
- \*3 ICE = 0 の場合です。バス駆動機能を選択した場合の Low レベル出力は「表 25.4 バス駆動特性」で定めます。
- \*4  $V_{cc} < AV_{cc}$  のとき、P40、P41 の max. は  $V_{cc} + 0.3V$  になります。

表 25.2 DC 特性 (3)

条件 A (F-ZTAT 版) :  $V_{cc} = 3.0 \sim 5.5V$ 、 $AV_{cc} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{cc}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min.	typ.	max.	単位	測定条件
入力容量	RES	$C_{in}$		30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI			30	pF	
	P32 ~ P35			20	pF	
	上記以外の全入力端子			15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{cc}$ * <sup>4</sup>	18 $V_{cc} = 3.0V$	30 $V_{cc} = 5.5V$	mA	$f = 13.5MHz$
	スリープ時		13 $V_{cc} = 3.0V$	22 $V_{cc} = 5.5V$	mA	$f = 13.5MHz$
	全モジュール ストップ時		10		mA	$f = 13.5MHz$ 、 $V_{cc} = 3.0V$ (参考値)
	中速モード ( /32) 時		12		mA	$f = 13.5MHz$ 、 $V_{cc} = 3.0V$ (参考値)
	サブアクティブ モード時		60	110	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{cc} = 3.0V$ (LCD 点灯)
	サブスリープ モード時		50	90	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{cc} = 3.0V$ (LCD 点灯)
	ウォッチモード時		4	25	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{cc} = 3.0V$ (LCD、TMR4 未使用、 WDT_1 動作)
	スタンバイ時* <sup>3</sup>		0.5 $V_{cc} = 3.0V$	10 $V_{cc} = 5.5V$	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
		50 $V_{cc} = 5.5V$	$50 < T_a$ 、 32.768kHz 未使用時			
アナログ 電源電流	A/D、D/A 変換中、 DTMF 出力中	$AI_{cc}$		1.0	2.4	mA
	A/D、D/A 変換待機、 DTMF 停止時			0.01	5.0	$\mu A$

項目		記号	min.	typ.	max.	単位	測定条件
リファレンス 電源電流	A/D、D/A 変換中	$I_{CC}$		1.0	2.2	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu$ A	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、AVCC、Vref 端子は  $V_{CC}$  に接続するなどの方法で、2.0~5.5V の電圧を印加してください。このとき、 $V_{ref} = AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \text{ min.} = V_{CC} - 0.2V$ 、 $V_{IL} \text{ max.} = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM} = V_{CC} < 3.0V$  のとき、 $V_{IH} \text{ min.} = V_{CC} - 0.2$ 、 $V_{IL} \text{ max.} = 0.2V$  とした場合の値です。

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します (参考)。

$$I_{CC} \text{ max.} = 4.0 \text{ (mA)} + 0.64 \text{ (mA/V)} \times V_{CC} + 0.75 \text{ (mA/MHz)} \times f + 0.15 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \text{ max.} = 3.0 \text{ (mA)} + 0.60 \text{ (mA/V)} \times V_{CC} + 0.60 \text{ (mA/MHz)} \times f + 0.10 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

## 25. 電氣的特性

表 25.2 DC 特性 (4)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min.	typ.	max.	単位	測定条件
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}^{*4}$		30 $V_{CC} = 5.0V$	40 $V_{CC} = 5.5V$	mA	$f = 20.5MHz$
	スリープ時			22 $V_{CC} = 5.0V$	30 $V_{CC} = 5.5V$	mA	$f = 20.5MHz$
	全モジュール ストップ時			15		mA	$f = 20.5MHz$ 、 $V_{CC} = 5.0V$ (参考値)
	中速モード ( /32) 時			19		mA	$f = 20.5MHz$ 、 $V_{CC} = 5.0V$ (参考値)
	サブアクティブ モード時			70	120	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 5.0V$ (LCD 点灯)
	サブスリープ モード時			60	100	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 5.0V$ (LCD 点灯)
	ウォッチモード時			5	30	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 5.0V$ (LCD、TMR4 未使用、 WDT_1 動作)
	スタンバイ時* <sup>3</sup>			1.0 $V_{CC} = 5.0V$	10 $V_{CC} = 5.5V$	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
			50 $V_{CC} = 5.5V$	$50 < T_a$ 、 32.768kHz 未使用時			
アナログ 電源電流	A/D、D/A 変換中、 DTMF 出力中	$AI_{CC}$		1.5	2.5	mA	
	A/D、D/A 変換待機、 DTMF 停止時			0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$AI_{CC}$		1.5	2.2	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、AVCC、Vref 端子は  $V_{CC}$  に接続するなどの方法で、4.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$  AV<sub>CC</sub> としてください。



- \*2 消費電流値は、 $V_{IH} \text{ min.} = V_{CC} - 0.2V$ 、 $V_{IL} \text{ max.} = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- \*3  $V_{RAM} = V_{CC} < 4.0V$  のとき、 $V_{IH} \text{ min.} = V_{CC} - 0.2$ 、 $V_{IL} \text{ max.} = 0.2V$  とした場合の値です。
- \*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します (参考)。  
 $I_{CC} \text{ max.} = 4.0 \text{ (mA)} + 0.64 \text{ (mA/V)} \times V_{CC} + 0.75 \text{ (mA/MHz)} \times f + 0.15 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f$  (通常動作時)  
 $I_{CC} \text{ max.} = 3.0 \text{ (mA)} + 0.60 \text{ (mA/V)} \times V_{CC} + 0.60 \text{ (mA/MHz)} \times f + 0.10 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f$  (スリープ時)

表 25.3 出力許容電流

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項 目		記号	min.	typ.	max.	単位
出力 (1 端子あたり) Low レベル許容電流	ポート 7	$I_{OL}$	-	-	10	mA
	SCL1 ~ SCL0、SDA1 ~ SDA0		-	-	10	
	上記以外の出力端子		-	-	1.0	
出力 Low レベル許容電流 (総和)	ポート 7、8 端子の総和	$\Sigma I_{OL}$	-	-	30	mA
	上記を含む全出力端子の総和		-	-	60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	-	-	1.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	-	-	30	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25.3 の値を超えないようにしてください。

## 25. 電氣的特性

表 25.4 バス駆動特性 (1)

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*、  
 対象端子 : SCL1~0、SDA1~0

項 目	記号	min.	typ.	max.	単位	測定条件
シュミットトリガ入力電圧	$VT^-$	$V_{CC} \times 0.3$	-	-	V	
	$VT^+$	-	-	$V_{CC} \times 0.7$		
	$VT^+ - VT^-$	0.4	-	-		
		$V_{CC} \times 0.05$	-	-		$V_{CC} = 4.0 \sim 5.5V$
						$V_{CC} = 3.0 \sim 4.0V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$	-	$V_{CC} + 0.5$	V	
入力 Low レベル電圧	$V_{IL}$	- 0.5	-	$V_{CC} \times 0.3$	V	
出力 Low レベル電圧	$V_{OL}$	-	-	0.5	V	$I_{OL} = 8mA$ 、 $V_{CC} = 4.0 \sim 5.5V$
		-	-	0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$	-	-	20	pF	$V_{IN} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステートリーク電流 (オフ状態)	$ I_{STT} $	-	-	1.0	$\mu A$	$V_{IN} = 0.5 \sim V_{CC} - 0.5$
SCL、SDA 出力 立ち下がり時間	$t_{of}$	$20 + 0.1Cb$	-	250	ns	

【注】\* A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。  
 A/D 変換器、D/A 変換器、DTMF 発生回路を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、  
 2.0~5.5V の電圧を印加してください。このとき、 $V_{ref}$ 、 $AV_{CC}$  としてください。

表 25.4 バス駆動特性 (2)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*、  
 対象端子 : SCL1~0、SDA1~0

項 目	記号	min.	typ.	max.	単位	測定条件
シュミットトリガ入力電圧	$VT^-$	$V_{CC} \times 0.3$	-	-	V	
	$VT^+$	-	-	$V_{CC} \times 0.7$		
	$VT^+ - VT^-$	0.4	-	-		
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$	-	$V_{CC} + 0.5$	V	
入力 Low レベル電圧	$V_{IL}$	- 0.5	-	$V_{CC} \times 0.3$	V	
出力 Low レベル電圧	$V_{OL}$	-	-	0.5	V	$I_{OL} = 8mA$
		-	-	0.4		$I_{OL} = 3mA$

項目	記号	min.	typ.	max.	単位	測定条件
入力容量	$C_{in}$	-	-	20	pF	$V_{IN} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステートリーク電流 (オフ状態)	$ I_{SM} $	-	-	1.0	$\mu A$	$V_{IN} = 0.5 \sim V_{CC} - 0.5$
SCL、SDA 出力 立ち下がり時間	$t_{of}$	$20+0.1Cb$	-	250	ns	

【注】\* A/D変換器、D/A変換器、DTMF発生回路を使用しない場合でも、AVCC、Vref、AVSS端子を開放しないでください。  
A/D変換器、D/A変換器、DTMF発生回路を使用しない場合でも、AVCC、Vref端子はVCCに接続するなどの方法で、4.0~5.5Vの電圧を印加してください。このとき、V<sub>ref</sub>、AV<sub>CC</sub>としてください。

### 25.2.3 AC特性

図 25.2 に AC 測定条件を示します。

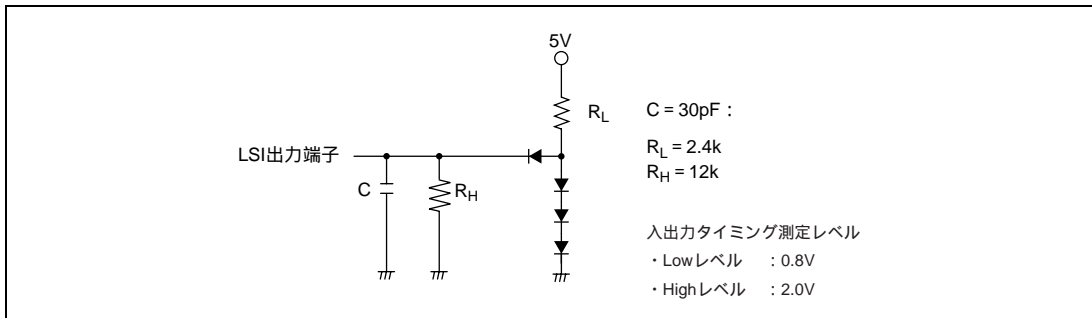


図 25.2 出力負荷回路

## 25. 電氣的特性

### (1) クロックタイミング

表 25.5 にクロックタイミングを示します。

表 25.5 クロックタイミング

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $10 \sim 20.5MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A			条件 C			単位	測定条件
		13.5MHz			20.5MHz				
		min.	typ.	max.	min.	typ.	max.		
クロックサイクル時間	$t_{cyc}$	74		500	48.8		100	ns	
リセット発振安定時間 (水晶)	$t_{osc1}$	20			10			ms	図 25.4
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{osc2}$	8			8			ms	図 22.3
外部クロック安定遅延時間	$t_{DEXT}$	500			500			$\mu s$	図 25.4
サブクロック発振安定時間	$t_{osc3}$			2			2	s	
サブクロック発振器発振周波数	$f_{SUB}$		32.768			32.768		kHz	
サブクロック ( $t_{SUB}$ ) サイクル時間	$t_{SUB}$		30.5			30.5		$\mu s$	

### (2) 制御信号タイミング

表 25.6 に制御信号タイミングを示します。

表 25.6 制御信号タイミング

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $10 \sim 20.5MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min.	max.	単位	測定条件
RES パルス幅	$t_{RESW}$	20		$t_{cyc}$	図 25.5
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMW}$	200		ns	図 25.6
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IROW}$	200		ns	

## (3) 内蔵周辺モジュールタイミング

表 25.7 に内蔵周辺タイミングを、表 25.8 に I<sup>2</sup>C バスタイミングを示します。

表 25.7 内蔵周辺タイミング

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $10 \sim 20.5MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目			記号	条件 A		条件 C		単位	測定条件
				min.	max.	min.	max.		
TPU	タイムクロック	単エッジ指定	$t_{TKWH}$	1.5		1.5		$t_{cyc}$	図 25.7
	パルス幅	両エッジ指定	$t_{TKWL}$	2.5		2.5			
TMR_0 ~ TMR_3	タイムクロック	単エッジ指定	$t_{TMCWH}$	1.5		1.5		$t_{cyc}$	図 25.8
	パルス幅	両エッジ指定	$t_{TMCWL}$	2.5		2.5			
TMR_4	タイムクロックパルス幅		$t_{TMCVWH}$ $t_{TMCVWL}$	1.5		1.5		$t_{cyc}$	
SCI	入力クロック サイクル	調歩同期	$t_{Syc}$	4		4		$t_{cyc}$	図 25.9
		クロック同期		6		6			
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6	0.4	0.6	$t_{Syc}$	
	入力クロック立ち上がり時間		$t_{SCKr}$		1.5		1.5	$t_{cyc}$	
	入力クロック立ち下がり時間		$t_{SCKf}$		1.5		1.5	$t_{cyc}$	
	送信データ遅延時間		$t_{TXD}$	-	75	-	50	ns	図 25.10
	受信データセットアップ時間 (クロック同期)		$t_{RXS}$	75		50		ns	
	受信データホールド時間 (クロック同期)		$t_{RXH}$	75		50		ns	

表 25.8 I<sup>2</sup>C バスタイミング

条件 :  $V_{CC} = 3.0 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $f_{osc} = 5MHz$  ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)  $T_a = -40 \sim +85$  (広温度範囲仕様)

項目	記号	min.	typ.	max.	単位	測定条件	備考
SCL 入力サイクル時間	$t_{SCL}$	$12t_{cyc}$			ns		図 25.11
SCL 入力 High パルス幅	$t_{SCLH}$	$3t_{cyc}$			ns		
SCL 入力 Low パルス幅	$t_{SCLL}$	$5t_{cyc}$			ns		
SCL、SDA 入力立ち上がり時間	$t_{Sr}$			$7.5t_{cyc}^*$	ns		

## 25. 電気的特性

項目	記号	min.	typ.	max.	単位	測定条件	備考
SCL、SDA 入力立ち下がり時間	$t_{SF}$			300	ns		図 25.11
SCL、SDA 入力 スパイクパルス除去時間	$t_{SP}$			$1t_{cyc}$	ns		
SDA 入力バスフリー時間	$t_{BUF}$	$5t_{cyc}$			ns		
開始条件入力ホールド時間	$t_{STAH}$	$3t_{cyc}$			ns		
再送開始条件入力セットアップ時間	$t_{STAS}$	$3t_{cyc}$			ns		
停止条件入力セットアップ時間	$t_{STOS}$	$3t_{cyc}$			ns		
データ入力セットアップ時間	$t_{SDAS}$	$0.5t_{cyc}$			ns		
データ入力ホールド時間	$t_{SDAH}$	0			ns		
SCL、SDA の容量性負荷	$C_b$			400	pF		

【注】\* I<sup>2</sup>C モジュールで使用するクロックの選択により、 $7.5t_{cyc}$ 、 $17.5t_{cyc}$  とすることが可能です。詳細は「14.6 使用上の注意事項」を参照してください。

### 25.2.4 A/D 変換特性

表 25.9 に A/D 変換特性を示します。

表 25.9 A/D 変換特性

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V^*$ 、 $AV_{CC} = 2.7 \sim 5.5V^*$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 13.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V^*$ 、 $AV_{CC} = 4.0 \sim 5.5V^*$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 10 \sim 20.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			条件 C			単位
	13.5MHz			20.5MHz			
	min.	typ.	max.	min.	typ.	max.	
分解能	10	10	10	10	10	10	ビット
変換時間	9.6			6.3			$\mu s$
アナログ入力容量			20			20	pF
許容信号源インピーダンス			5			5	k
非直線性誤差			$\pm 6.0$			$\pm 3.0$	LSB
オフセット誤差			$\pm 4.0$			$\pm 2.0$	LSB
フルスケール誤差			$\pm 4.0$			$\pm 2.0$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$			$\pm 4.0$	LSB

【注】\* AN0、AN1 は  $V_{CC} = AV_{CC}$  時のみ使用可能です。

## 25.2.5 D/A 変換特性

表 25.10 に D/A 変換特性を示します。

表 25.10 D/A 変換特性

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 13.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 10 \sim 20.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A, C			単位	測定条件
	min.	typ.	max.		
分解能	8	8	8	ビット	
変換時間			10	$\mu s$	負荷容量 20pF
絶対精度*		$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M
			$\pm 2.0$	LSB	負荷抵抗 4M

【注】 \* モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、およびサプスリープモード時は除きます。

## 25.2.6 LCD 特性

表 25.11 に LCD 特性を示します。

表 25.11 LCD 特性

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $2 \sim 13.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $10 \sim 20.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	適用端子	測定条件	条件 A			条件 C			単位	備考
				規格値			規格値				
				min.	typ.	max.	min.	typ.	max.		
セグメント ドライバ 降下電圧	$V_{DS}$	SEG1 ~ SEG40	ID = 2 $\mu A$			0.6			0.6	V	*1
コモン ドライバ 降下電圧	$V_{DC}$	COM1 ~ COM4	ID = 2 $\mu A$			0.3			0.3	V	*1

## 25. 電気的特性

項目	記号	適用端子	測定条件	条件 A			条件 C			単位	備考
				規格値			規格値				
				min.	typ.	max.	min.	typ.	max.		
LCD 電源 分割抵抗	$R_{LCD}$		V1 ~ Vss 間	40	360	1000	40	360	1000	k $\Omega$	
液晶表示 電圧 (昇圧回路 未使用時)	$V_{LCD}$	V1		3.0 <sup>*4</sup>		$V_{cc}$	4.0		$V_{cc}$	V	<sup>*2</sup>
液晶入力 基準電圧 (昇圧回路 使用時) <sup>*3</sup>	$V_{LCD3}$	V3		1.0	1.67	1.83	-	-	-	V	
液晶表示 電圧 (昇圧回路 使用時) <sup>*3</sup>	$V_{LCD2}$	V2	無負荷		2 × $V_{LCD3}$			-		V	参考値
	$V_{LCD1}$	V1			3 × $V_{LCD3}$			-			
液晶入力 基準電源 電流(昇圧回 路使用時) <sup>*3</sup>	$I_{LCD3}$	V3	無負荷、 フレーム周 波数 64Hz、 $V_{LCD3}=1.67V$		2.0			-		$\mu A$	参考値

【注】 \*1 電源端子 V1、V2、V3、VSS から各セグメント端子またはコモン端子までの電圧降下です。

\*2 液晶表示電圧を外部電源より供給する場合は、 $V_{cc}$  V1 V2 V3 Vss の関係を維持してください。

\*3 昇圧回路使用時は、デューティ比を 1/3 デューティまたは、1/4 デューティで使用してください。

\*4 昇圧回路未使用時の下限値は、 $V_1 = 3.0V$  になります。 $V_1 < 3.0V$  で使用する場合は、昇圧回路を使用してください。



## 25.2.7 DTMF 特性

表 25.12 に DTMF 特性を示します。

表 25.12 DTMF 特性

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 2 \sim 13.2MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版) :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 2.7^{*1} \sim 5.5V$ 、 $V_{ref} = 2.7^{*1}V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f = 10 \sim 20.4MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
DTMF 出力電圧 (Row 側)	$V_{OR}$	TONED	$AV_{CC} - GND = 2.7V$ $R_L = 100k$	750	924		mVrms	図 25.12 <sup>*2</sup>
DTMF 出力電圧 (Column 側)	$V_{OC}$	TONED	$AV_{CC} - GND = 2.7V$ $R_L = 100k$	770	945		mVrms	図 25.12 <sup>*2</sup>
DTMF 出力歪	% DISDT	TONED	$AV_{CC} - GND = 2.7V$ $R_L = 100k$		3	7	%	図 25.12
DTMF 出力比	$dB_{CR}$	TONED	$AV_{CC} - GND = 2.7V$ $R_L = 100k$		2.5		dB	図 25.12

【注】 \*1  $AV_{CC} = 2.7 \sim 4.0V$ 、 $V_{ref} = 2.7 \sim 4.0V$  の場合、DTMF のみ使用可能です。

\*2  $V_{OR}$ 、 $V_{OC}$  はそれぞれ単独波形出力時の出力電圧です。

## 25.2.8 フラッシュメモリ特性

表 25.13 にフラッシュメモリ特性を示します。

表 25.13 フラッシュメモリ特性

条件 :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -25 \sim +75$  (書き込み / 消去時の動作温度範囲)

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間 <sup>*1*</sup> <sup>*2*</sup> <sup>*4</sup>		$t_p$	-	30	200	ms/128 バイト	
消去時間 <sup>*1*</sup> <sup>*3*</sup> <sup>*5</sup>		$t_E$	-	100	1200	ms/ブロック	
書き換え回数		$N_{WEC}$	100 <sup>*6</sup>	10000 <sup>*7</sup>	-	回	
データ保持時間		$t_{DRP}$ <sup>*8</sup>	10	-	-	年	
書き込み時	SWE1 ビットセット後の ウェイト時間 <sup>*1</sup>	$t_{SSWE}$	1	1	-	$\mu s$	
	PSU1 ビットセット後の ウェイト時間 <sup>*1</sup>	$t_{SPSU}$	50	50	-	$\mu s$	

## 25. 電気的特性

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時	P1 ビットセット後の ウェイト時間*1*4	$t_{sp10}$	8	10	12	$\mu s$	
		$t_{sp30}$	28	30	32	$\mu s$	1 n 6
		$t_{sp200}$	198	200	202	$\mu s$	7 n 1000
書き込み時	P1 ビットクリア後の ウェイト時間*1	$t_{cp}$	5	5	-	$\mu s$	
	PSU1 ビットクリア後の ウェイト時間*1	$t_{cpsu}$	5	5	-	$\mu s$	
	PV1 ビットセット後の ウェイト時間*1	$t_{spv}$	4	4	-	$\mu s$	
	H'FF ダミーライト後の ウェイト時間*1	$t_{spvr}$	2	2	-	$\mu s$	
	PV1 ビットクリア後の ウェイト時間*1	$t_{cpv}$	2	2	-	$\mu s$	
	SWE1 ビットクリア後の ウェイト時間	$t_{cswe}$	100	100	-	$\mu s$	
	最大書き込み回数*1*4	N1	-	-	6*4	回	
N2		-	-	994*4			
消去時	SWE1 ビットセット後の ウェイト時間*1	$t_{sswe}$	1	1	-	$\mu s$	
	ESU1 ビットセット後の ウェイト時間*1	$t_{ssesu}$	100	100	-	$\mu s$	
	E1 ビットセット後の ウェイト時間*1*5	$t_{se}$	10	10	100	ms	
	E1 ビットクリア後の ウェイト時間*1	$t_{ce}$	10	10	-	$\mu s$	
	ESU1 ビットクリア後の ウェイト時間*1	$t_{cesu}$	10	10	-	$\mu s$	
	EV1 ビットセット後の ウェイト時間*1	$t_{sev}$	20	20	-	$\mu s$	
	H'FF ダミーライト後の ウェイト時間*1	$t_{sevr}$	2	2	-	$\mu s$	
	EV1 ビットクリア後の ウェイト時間*1	$t_{cev}$	4	4	-	$\mu s$	
	SWE1 ビットクリア後の ウェイト時間	$t_{cswe}$	100	100	-	$\mu s$	
	最大消去回数*1*5	N	-	-	100	回	

【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

\*2 128 バイト当たりの書き込み時間（フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みペリファイ時間は含まれません。）

- \*3 1ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません。)
- \*4 書き込み時間の最大値  
 $(t_p(\text{max.}) = P1 \text{ ビットセット後のウェイト時間}(t_{sp}) \times \text{最大書き込み回数}(N))$   
 $(t_{sp30} + t_{sp10}) \times 6 + (t_{sp200}) \times 994$
- \*5 消去時間の最大値 ( $t_e(\text{max.})$ ) に対して、E1 ビットセット後のウェイト時間 ( $t_{se}$ ) と最大消去回数 ( $N$ ) は以下の関係にあります。  
 $t_e(\text{max.}) = E1 \text{ ビットセット後のウェイト時間}(t_{se}) \times \text{最大消去回数}(N)$
- \*6 書き換えた後のすべての特性を保証する min.回数です。(保証は 1 ~ min.値の範囲です)
- \*7 25 のときの参考値 (通常この値まで書き換えは機能するという目安です)
- \*8 書き換えが min.値を含む仕様範囲内で行われたときのデータ保持特性です。

## 25.3 H8S/2264 グループの電気的特性

### 25.3.1 絶対最大定格

表 25.14 に絶対最大定格を示します。

表 25.14 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	- 0.3 ~ +7.0	V
	$CV_{CC}$	- 0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	$V_{in}$	- 0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート 4、9)	$V_{in}$	- 0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	$V_{ref}$	- 0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	$AV_{CC}$	- 0.3 ~ +7.0	V
アナログ入力電圧	$V_{AN}$	- 0.3 ~ $AV_{CC}+0.3$	V
動作温度	$T_{opr}$	通常仕様品 : - 20 ~ +75	
		広温度範囲仕様品 : - 40 ~ +85	
保存温度	$T_{stg}$	- 55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

## 25. 電氣的特性

### 25.3.2 DC 特性

表 25.15 に DC 特性を、表 25.16 に出力許容電流を、表 25.17 にバス駆動特性を示します。

表 25.15 DC 特性 (1)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min.	typ.	max.	単位	測定条件		
シュミット トリガ入力 電圧	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、	$VT^-$	$V_{CC} \times 0.2$		V	$V_{CC} = 4.0 \sim 5.5V$ $V_{CC} = 2.7 \sim 4.0V$		
	$\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、	$VT^+$		$V_{CC} \times 0.8$	V			
	$\overline{WKP0} \sim \overline{WKP7}$	$VT^- - VT^-$	$V_{CC} \times 0.05$				V	
			$V_{CC} \times 0.04$				V	
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $NMI$ 、 $FWE$ 、 $MD2$ 、 $MD1$	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V		
	$EXTAL$ 、ポート 1、3、 7、F、H、J~L		$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V		
	ポート 4* <sup>4</sup> 、9		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ * <sup>4</sup>	V		
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 $FWE$ 、 $MD2$ 、 $MD1$	$V_{IL}$	- 0.3		$V_{CC} \times 0.1$	V		
	$NMI$ 、 $EXTAL$ 、 ポート 1、3、4、7、9、 F、H、J~L		- 0.3		$V_{CC} \times 0.2$	V		
出力 High レベル電圧	P34 ~ P35 を除く全出 力端子	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$	
			$V_{CC} - 1.0$			V	$I_{OH} = -1mA$	
	P34 ~ P35* <sup>2</sup>		$V_{CC} - 2.7$			V	$I_{OH} = -100 \mu A$ 、 $V_{CC} = 4.0 \sim 5.5V$	
出力 Low レベル電圧	全出力端子* <sup>3</sup>	$V_{OL}$			0.4	V	$I_{OL} = 0.8mA$	
	ポート 7				1.0	V	$I_{OL} = 5mA$	
							V	$I_{OL} = 10mA$ 、 $V_{CC} = 4.0 \sim 5.5V$
入力リーク 電流	$\overline{RES}$	$ I_{in} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	$\overline{STBY}$ 、 $NMI$ 、 $FWE$ 、 $MD2$ 、 $MD1$				1.0	$\mu A$		
	ポート 4、9				1.0	$\mu A$		$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
	PH7				1.0	$\mu A$		$V_{in} = 0.5 \sim V_{CC} - 0.5V$

項目		記号	min.	typ.	max.	単位	測定条件
スリーステート トリーク電流 (オフ状態)	ポート 1、3、7、F、 J~L、PH0~PH3	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート J	$-I_p$	10		300	$\mu A$	$V_{in} = 0V$

- 【注】 \*1 A/D変換器を使用しない場合でも、AVCC、Vref、AVSS端子を開放しないでください。A/D変換器を使用しない場合でも、AVCC、Vref端子はV<sub>CC</sub>に接続するなどの方法で、2.0~5.5Vの電圧を印加してください。このとき、V<sub>ref</sub>、AV<sub>CC</sub>としてください。
- \*2 P35/SCK1/SCL0、P34/SDA0はNMOSプッシュプル出力です。  
SCL0、SDA0 (ICE = 1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。  
P35/SCK1、P34 (ICE = 0) の High レベルはNMOSで駆動されます。SCK1、P34 (ICE = 0) から High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。
- \*3 ICE = 0 の場合です。バス駆動機能を選択した場合の Low レベル出力は「表 25.17 バス駆動特性」で定めます。
- \*4  $V_{CC} < AV_{CC}$  のとき、P40、P41 の max. は  $V_{CC} + 0.3V$  になります。

表 25.15 DC 特性 (2)

条件 D (マスク ROM 版) :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*1

項目		記号	min.	typ.	max.	単位	測定条件
シュミット トリガ入力 電圧	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、	$VT^-$	$V_{CC} \times 0.2$			V	
	$\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、	$VT^+$			$V_{CC} \times 0.8$	V	
	WKP0~WKP7	$VT^- - VT^+$	$V_{CC} \times 0.05$			V	
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、NMI、 FWE、MD2、MD1	$V_{HI}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL、ポート 1、3、 7、F、H、J~L		$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 4*4、9		$V_{CC} \times 0.8$		$AV_{CC} + 0.3^{*4}$	V	
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、FWE、 MD2、MD1	$V_{LI}$	-0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、 ポート 1、3、4、7、9、 F、H、J~L、		-0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	P34~P35を除く	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
	全出力端子		$V_{CC} - 1.0$			V	$I_{OH} = -1mA$
	P34~P35*2		$V_{CC} - 2.7$			V	$I_{OH} = -100 \mu A$
出力 Low レベル電圧	全出力端子*3	$V_{OL}$			0.4	V	$I_{OL} = 0.8mA$
	ポート 7				1.0	V	$I_{OL} = 10mA$

## 25. 電気的特性

項目		記号	min.	typ.	max.	単位	測定条件
入力リーク 電流	RES	$I_{in}$			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
	STBY、NMI、FWE、 MD2、MD1				1.0	$\mu A$	
	ポート 4、9				1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{cc} - 0.5V$
	PH7				1.0	$\mu A$	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
スリーステータ トリーク電流 (オフ状態)	ポート 1、3、7、F、 J~L、PH0~PH3	$I_{TSI}$			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
入力プルアッ プ MOS 電流	ポート J	$-I_p$	50		300	$\mu A$	$V_{in} = 0V$

- 【注】 \*1 A/D 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器を使用しない場合でも、AVCC、Vref 端子は  $V_{cc}$  に接続するなどの方法で、4.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$ 、 $AV_{cc}$  としてください。
- \*2 P35/SCK1/SCL0、P34/SDA0 は NMOS プッシュプル出力です。SCL0、SDA0 (ICE = 1) から High レベルを出力するためにはプルアップ抵抗を外付けする必要があります。  
P35/SCK1、P34 (ICE = 0) の High レベルは NMOS で駆動されます。SCK1、P34 (ICE = 0) から High レベルを出力するためにはプルアップ抵抗を外付けする必要があります。
- \*3 ICE = 0 の場合です。バス駆動機能を選択した場合の Low レベル出力は「表 25.17 バス駆動特性」で定めます。
- \*4  $V_{cc} < AV_{cc}$  のとき、P40、P41 の max. は  $V_{cc} + 0.3V$  になります。

表 25.15 DC 特性 (3)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min.	typ.	max.	単位	測定条件	
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI				30	pF		
	P34、P35				20	pF		
	上記以外の全入力端子				15	pF		
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		11 $V_{CC} = 3.0V$	18 $V_{CC} = 5.5V$	mA	$f = 13.5MHz$	
	スリープ時			7 $V_{CC} = 3.0V$	12.5 $V_{CC} = 5.5V$	mA	$f = 13.5MHz$	
	全モジュール ストップ時			7		mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)	
	中速モード ( /32) 時			6		mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)	
	サブアクティブ モード時			20	40	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$ (LCD 点灯)	
	サブスリープ モード時			8	25	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$ (LCD 点灯)	
	ウォッチモード時				2.5	8	$\mu A$	$T_a = 50$ 、 32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$ (LCD 未使用、 WDT_1 動作)
						10		$50 < T_a$ 、 32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$ (LCD 未使用、 WDT_1 動作)
スタンバイ時* <sup>3</sup>				0.5 $V_{CC} = 3.0V$	5 $V_{CC} = 5.5V$	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時	
					20 $V_{CC} = 5.5V$		$50 < T_a$ 、 32.768kHz 未使用時	
アナログ 電源電流	A/D 変換中	$AI_{CC}$		0.3	1.5	mA		
	A/D 変換待機時			0.01	5.0	$\mu A$		
リファレンス 電源電流	A/D 変換中	$AI_{CC}$		0.4	1.0	mA		
	A/D 変換待機時			0.01	5.0	$\mu A$		
RAM スタンバイ電圧		$V_{RAM}$	2.0			V		

## 25. 電気的特性

- 【注】 \*1 A/D 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器を使用しない場合でも、AVCC、Vref 端子は V<sub>CC</sub> に接続するなどの方法で、2.0 ~ 5.5V の電圧を印加してください。このとき、V<sub>ref</sub>、AV<sub>CC</sub> としてください。
- \*2 消費電流値は、V<sub>IH</sub> min. = V<sub>CC</sub> - 0.2V、V<sub>IL</sub> max. = 0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- \*3 V<sub>RAM</sub> V<sub>CC</sub> < 2.7V のとき、V<sub>IH</sub> min. = V<sub>CC</sub> - 0.2、V<sub>IL</sub> max. = 0.2V とした場合の値です。
- \*4 I<sub>CC</sub> は下記の式に従って V<sub>CC</sub> と f に依存します (参考)。
- $$I_{CC} \text{ max.} = 3.0 \text{ (mA)} + 1.24 \text{ (mA/V)} \times (V_{CC} - 2.7\text{(V)}) + 1.00 \text{ (mA/MHz)} \times (f - 2.0 \text{ (MHz)}) \text{ (通常動作時)}$$
- $$I_{CC} \text{ max.} = 2.0 \text{ (mA)} + 1.12 \text{ (mA/V)} \times (V_{CC} - 2.7\text{(V)}) + 0.64 \text{ (mA/MHz)} \times (f - 2.0 \text{ (MHz)}) \text{ (スリープ時)}$$

表 25.15 DC 特性 (4)

条件 D (マスク ROM 版) : V<sub>CC</sub> = 4.0 ~ 5.5V、AV<sub>CC</sub> = 4.0 ~ 5.5V、V<sub>ref</sub> = 4.0V ~ AV<sub>CC</sub>、V<sub>SS</sub> = AV<sub>SS</sub> = 0V、

T<sub>a</sub> = -20 ~ +75 (通常仕様品)、T<sub>a</sub> = -40 ~ +85 (広温度範囲仕様品) \*1

項目		記号	min.	typ.	max.	単位	測定条件
入力容量	RES	C <sub>in</sub>			30	pF	V <sub>in</sub> = 0V f = 1MHz T <sub>a</sub> = 25
	NMI				30	pF	
	P34、P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流*2	通常動作時	I <sub>CC</sub> *4		18 V <sub>CC</sub> = 5.0V	25 V <sub>CC</sub> = 5.5V	mA	f = 20.5MHz
	スリープ時			12 V <sub>CC</sub> = 5.0V	17 V <sub>CC</sub> = 5.5V	mA	f = 20.5MHz
	全モジュール ストップ時			11		mA	f = 20.5MHz、 V <sub>CC</sub> = 5.0V (参考値)
	中速モード ( /32) 時			10		mA	f = 20.5MHz、 V <sub>CC</sub> = 5.0V (参考値)
	サブアクティブ モード時			20	40	μA	32.768kHz 水晶発振子 使用時、V <sub>CC</sub> = 5.0V (LCD 点灯)
	サブスリープ モード時			8	25	μA	32.768kHz 水晶発振子 使用時、V <sub>CC</sub> = 5.0V (LCD 点灯)
	ウォッチモード時			3	10	μA	T <sub>a</sub> 50、 32.768kHz 水晶発振子 使用時、V <sub>CC</sub> = 5.0V (LCD 未使用、 WDT_1 動作)



項目		記号	min.	typ.	max.	単位	測定条件
消費電流*2	ウォッチモード時	$I_{CC}^{*4}$			12	$\mu A$	$50 < T_a$ 、 32.768kHz 水晶発振子 使用時、 $V_{CC} = 5.0V$  (LCD 未使用、 WDT_1 動作)
	スタンバイ時*3			0.5 $V_{CC} = 5.0V$	5 $V_{CC} = 5.5V$	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
					20 $V_{CC} = 5.5V$		$50 < T_a$ 、 32.768kHz 未使用時
アナログ 電源電流	A/D 変換中	$I_{CC}$		0.8	1.6	$mA$	
	A/D 変換待機時			0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D 変換中	$I_{CC}$		0.6	1.0	$mA$	
	A/D 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0			$V$	

【注】 \*1 A/D 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器を使用しない場合でも、AVCC、Vref 端子は  $V_{CC}$  に接続するなどの方法で、4.0~5.5V の電圧を印加してください。このとき、 $V_{ref}$ 、 $AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \text{ min.} = V_{CC} - 0.2V$ 、 $V_{IL} \text{ max.} = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 4.0V$  のとき、 $V_{IH} \text{ min.} = V_{CC} - 0.2$ 、 $V_{IL} \text{ max.} = 0.2V$  とした場合の値です。

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します (参考)。

$$I_{CC} \text{ max.} = 3.0 \text{ (mA)} + 1.24 \text{ (mA/V)} \times (V_{CC} - 2.7\text{(V)}) + 1.00 \text{ (mA/MHz)} \times (f - 2.0 \text{ (MHz)}) \text{ (通常動作時)}$$

$$I_{CC} \text{ max.} = 2.0 \text{ (mA)} + 1.12 \text{ (mA/V)} \times (V_{CC} - 2.7\text{(V)}) + 0.64 \text{ (mA/MHz)} \times (f - 2.0 \text{ (MHz)}) \text{ (スリープ時)}$$

## 25. 電気的特性

表 25.16 出力許容電流

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)  
 条件 D (マスク ROM 版) :  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項 目		記号	min.	typ.	max.	単位
出力 (1 端子あたり) Low レベル許容電流	ポート 7	$I_{OL}$	-	-	10	mA
	SCL0, SDA0		-	-	10	
	上記以外の出力端子		-	-	1.0	
出力 Low レベル許容電流 (総和)	ポート 7, 8 端子の総和	$\Sigma I_{OL}$	-	-	30	mA
	上記を含む全出力端子の総和		-	-	60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	-	-	1.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	-	-	30	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25.16 の値を超えないようにしてください。

表 25.17 バス駆動特性 (1)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -20 \sim +75$   
 (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*、対象端子 : SCL0, SDA0

項 目	記号	min.	typ.	max.	単位	測定条件	
シュミットトリガ入力電圧	$VT^-$	$V_{CC} \times 0.3$	-	-	V		
	$VT^+$	-	-	$V_{CC} \times 0.7$			
	$VT^- - VT^+$	0.4	-	-			$V_{CC} = 4.5 \sim 5.5V$
		$V_{CC} \times 0.05$	-	-			$V_{CC} = 2.7 \sim 4.5V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$	-	$V_{CC} + 0.5$	V		
入力 Low レベル電圧	$V_{IL}$	-0.5	-	$V_{CC} \times 0.3$	V		
出力 Low レベル電圧	$V_{OL}$	-	-	0.5	V	$I_{OL} = 8mA$ , $V_{CC} = 4.5 \sim 5.5V$	
		-	-	0.4			$I_{OL} = 3mA$
入力容量	$C_{in}$	-	-	20	pF	$V_{in} = 0V$ , $f = 1MHz$ , $T_a = 25$	
スリーステートリク電流 (オフ状態)	$ I_{SM} $	-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
SCL, SDA 出力 立ち下がり時間	$t_{of}$	$20 + 0.1Cb$	-	250	ns		

【注】\* A/D 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。

A/D 変換器を使用しない場合でも、AVCC、Vref 端子は VCC に接続するなどの方法で、2.0~5.5V の電圧を印加してください。このとき、Vref、AVCC としてください。

表 25.17 バス駆動特性 (2)

条件 D (マスク ROM 版) :  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -20 \sim +75$   
 (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*、対象端子 : SCL0、SDA0

項目	記号	min.	typ.	max.	単位	測定条件	
シュミットトリガ入力電圧	$VT^-$	$V_{CC} \times 0.3$	-	-	V		
	$VT^+$	-	-	$V_{CC} \times 0.7$			
	$VT^+ - VT^-$	0.4	-	-			$V_{CC} = 4.5 \sim 5.5V$
		$V_{CC} \times 0.05$	-	-			$V_{CC} = 4.0 \sim 4.5V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$	-	$V_{CC} + 0.5$	V		
入力 Low レベル電圧	$V_{IL}$	-0.5	-	$V_{CC} \times 0.3$	V		
出力 Low レベル電圧	$V_{OL}$	-	-	0.5	V	$I_{OL} = 8mA$	
		-	-	0.4		$I_{OL} = 3mA$	
入力容量	$C_{in}$	-	-	20	pF	$V_{in} = 0V$ , $f = 1MHz$ , $T_a = 25$	
スリープスタートリーク電流 (オフ状態)	$ I_{ST} $	-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
SCL、SDA 出力 立ち下がり時間	$t_{df}$	$20 + 0.1Cb$	-	250	ns		

【注】\* A/D 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。

A/D 変換器を使用しない場合でも、AVCC、Vref 端子は VCC に接続するなどの方法で、4.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$ 、 $AV_{CC}$  としてください。

### 25.3.3 AC 特性

図 25.3 に AC 測定条件を示します。

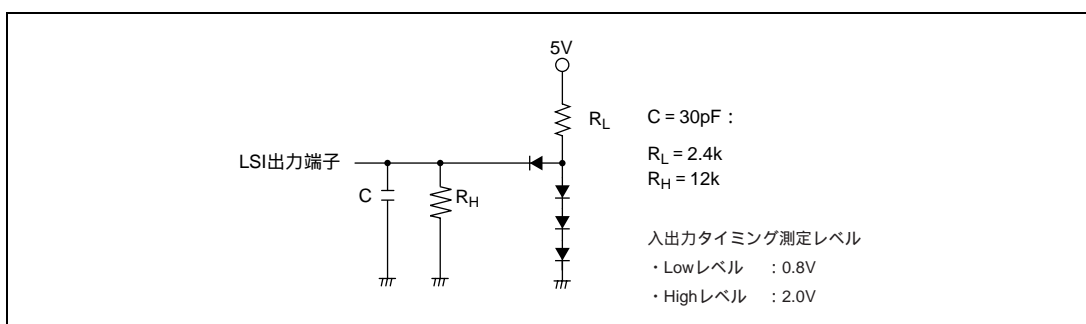


図 25.3 出力負荷回路

## 25. 電氣的特性

### (1) クロックタイミング

表 25.18 にクロックタイミングを示します。

表 25.18 クロックタイミング

条件 B( マスク ROM 版 ):  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  
 $T_a = -20 \sim +75$  ( 通常仕様品 )、 $T_a = -40 \sim +85$  ( 広温度範囲仕様品 )

条件 D( マスク ROM 版 ):  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $10 \sim 20.5MHz$ ,  
 $T_a = -20 \sim +75$  ( 通常仕様品 )、 $T_a = -40 \sim +85$  ( 広温度範囲仕様品 )

項 目	記号	条件 B			条件 D			単位	測定条件
		13.5MHz			20.5MHz				
		min.	typ.	max.	min.	typ.	max.		
クロックサイクル時間	$t_{cyc}$	74		500	48.8		100	ns	
リセット発振安定時間 (水晶)	$t_{osc1}$	20			10			ms	図 25.4
ソフトウェアスタンバイ 発振安定時間 (水晶)	$t_{osc2}$	8			8			ms	図 22.3
外部クロック安定時間*	$t_{dext}$	500			500			$\mu s$	図 25.4
サブクロック発振安定時間	$t_{osc3}$			2			2	s	
サブクロック発振器発振周波数	$f_{sub}$		32.768			32.768		kHz	
サブクロック ( $f_{sub}$ ) サイクル時間	$t_{sub}$		30.5			30.5		$\mu s$	

### (2) 制御信号タイミング

表 25.19 に制御信号タイミングを示します。

表 25.19 制御信号タイミング

条件 B( マスク ROM 版 ):  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  
 $T_a = -20 \sim +75$  ( 通常仕様品 )、 $T_a = -40 \sim +85$  ( 広温度範囲仕様品 )

条件 D( マスク ROM 版 ):  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc} = 32.768kHz$ ,  $10 \sim 20.5MHz$ ,  
 $T_a = -20 \sim +75$  ( 通常仕様品 )、 $T_a = -40 \sim +85$  ( 広温度範囲仕様品 )

項 目	記号	min.	max.	単位	測定条件
RES パルス幅	$t_{RESW}$	20		$t_{cyc}$	図 25.5
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		ns	図 25.6
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		ns	

## (3) 内蔵周辺モジュールタイミング

表 25.20 に内蔵周辺タイミングを、表 25.21 に I<sup>2</sup>C バスタイミングを示します。

表 25.20 内蔵周辺タイミング

条件 B( マスク ROM 版 ):  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{clk} = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  
 $T_a = -20 \sim +75$  ( 通常仕様品 )、 $T_a = -40 \sim +85$  ( 広温度範囲仕様品 )

条件 D( マスク ROM 版 ):  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{clk} = 32.768kHz$ ,  $10 \sim 20.5MHz$ ,  
 $T_a = -20 \sim +75$  ( 通常仕様品 )、 $T_a = -40 \sim +85$  ( 広温度範囲仕様品 )

項 目			記号	条件 B		条件 D		単位	測定条件	
				min.	max.	min.	max.			
TPU	タイマクロック パルス幅	単エッジ指定	$t_{TKWH}$	1.5		1.5		$t_{cyc}$	図 25.7	
		両エッジ指定	$t_{TKWL}$	2.5		2.5				
TMR_0 ~ TMR_1	タイマクロック パルス幅	単エッジ指定	$t_{TMCWH}$	1.5		1.5		$t_{cyc}$	図 25.8	
		両エッジ指定	$t_{TMCWL}$	2.5		2.5				
SCI	入力クロック サイクル	調歩同期	$t_{Scyc}$	4		4		$t_{cyc}$	図 25.9	
		クロック同期		6		6				
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6	0.4	0.6	$t_{Scyc}$		
	入力クロック立ち上がり時間		$t_{SCKr}$		1.5		1.5	$t_{cyc}$		
	入力クロック立ち下がり時間		$t_{SCKf}$		1.5		1.5	$t_{cyc}$		
	送信データ遅延時間		$t_{TXD}$	-	75	-	50	ns		図 25.10
	受信データセットアップ時間 (クロック同期)		$t_{RXS}$	75		50		ns		
受信データホールド時間 (クロック同期)		$t_{RXH}$	75		50		ns			

## 25. 電気的特性

表 25.21 I<sup>2</sup>C バスタイミング

条件：V<sub>CC</sub> = 2.7 ~ 5.5V、V<sub>SS</sub> = 0V、f<sub>clk</sub> = 5MHz ~ 最大動作周波数、

T<sub>a</sub> = -20 ~ +75 (通常仕様品)、T<sub>a</sub> = -40 ~ +85 (広温度範囲仕様)

項目	記号	min.	typ.	max.	単位	測定条件	備考
SCL 入力サイクル時間	t <sub>SCL</sub>	12t <sub>cyc</sub>			ns		図 25.11
SCL 入力 High パルス幅	t <sub>SCLH</sub>	3t <sub>cyc</sub>			ns		
SCL 入力 Low パルス幅	t <sub>SCLL</sub>	5t <sub>cyc</sub>			ns		
SCL、SDA 入力立ち上がり時間	t <sub>Sr</sub>			7.5t <sub>cyc</sub> *	ns		
SCL、SDA 入力立ち下がり時間	t <sub>Sf</sub>			300	ns		
SCL、SDA 入力 スパイクパルス除去時間	t <sub>SP</sub>			1t <sub>cyc</sub>	ns		
SDA 入力バスフリー時間	t <sub>BUF</sub>	5t <sub>cyc</sub>			ns		
開始条件入力ホールド時間	t <sub>STAHL</sub>	3t <sub>cyc</sub>			ns		
再送開始条件入力セットアップ時間	t <sub>STAS</sub>	3t <sub>cyc</sub>			ns		
停止条件入力セットアップ時間	t <sub>STOS</sub>	3t <sub>cyc</sub>			ns	図 25.11	
データ入力セットアップ時間	t <sub>SDAS</sub>	0.5t <sub>cyc</sub>			ns		
データ入力ホールド時間	t <sub>SDAH</sub>	0			ns		
SCL、SDA の容量性負荷	C <sub>b</sub>			400	pF		

【注】\* I<sup>2</sup>C モジュールで使用するクロックの選択により、7.5t<sub>cyc</sub>、17.5t<sub>cyc</sub> とすることが可能です。詳細は「14.5 使用上の注意事項」を参照してください。

## 25.3.4 A/D 変換特性

表 25.22 に A/D 変換特性を示します。

表 25.22 A/D 変換特性

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V^*$ 、 $AV_{CC} = 2.7 \sim 5.5V^*$ 、 $V_{ref} = 2.7V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 D (マスク ROM 版) :  $V_{CC} = 4.0 \sim 5.5V^*$ 、 $AV_{CC} = 4.0 \sim 5.5V^*$ 、 $V_{ref} = 4.0V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 10 \sim 20.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 B			条件 D			単位
	13.5MHz			20.5MHz			
	min.	typ.	max.	min.	typ.	max.	
分解能	10	10	10	10	10	10	ビット
変換時間	9.6			6.3			$\mu s$
アナログ入力容量			20			20	pF
許容信号源インピーダンス			5			5	k
非直線性誤差			$\pm 6.0$			$\pm 3.0$	LSB
オフセット誤差			$\pm 4.0$			$\pm 2.0$	LSB
フルスケール誤差			$\pm 4.0$			$\pm 2.0$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$			$\pm 4.0$	LSB

【注】 \* AN0、AN1 は  $V_{CC} = AV_{CC}$  時のみ使用可能です。

## 25. 電氣的特性

### 25.3.5 LCD 特性

表 25.23 に LCD 特性を示します。

表 25.23 LCD 特性

条件 B (マスク ROM 版):  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 D (マスク ROM 版):  $V_{CC} = 4.0 \sim 5.5V$ ,  $AV_{CC} = 4.0 \sim 5.5V$ ,  $V_{ref} = 4.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f = 32.768kHz$ ,  $10 \sim 20.5MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	適用端子	測定条件	条件 B			条件 D			単位	備考
				規格値			規格値				
				min.	typ.	max.	min.	typ.	max.		
セグメント ドライバ 降下電圧	$V_{DS}$	SEG1 ~ SEG40	ID = 2 $\mu$ A			0.6			0.6	V	*1
コモン ドライバ 降下電圧	$V_{DC}$	COM1 ~ COM4	ID = 2 $\mu$ A			0.3			0.3	V	*1
LCD 電源 分割抵抗	$R_{LCD}$		V1 ~ Vss 間	150	360	800	150	360	800	k $\Omega$	
液晶表示 電圧	$V_{LCD}$	V1		3.0		$V_{CC}$	4.0		$V_{CC}$	V	*2

【注】 \*1 電源端子 V1、V2、V3、Vss から各セグメント端子またはコモン端子までの電圧降下です。

\*2 液晶表示電圧を外部電源より供給する場合は、 $V_{CC} > V1 > V2 > V3 > Vss$  の関係を維持してください。



## 25.4 動作タイミング

動作タイミングを以下に示します。

### 25.4.1 発振安定時間タイミング

図 25.4 に発振安定時間タイミングを示します。

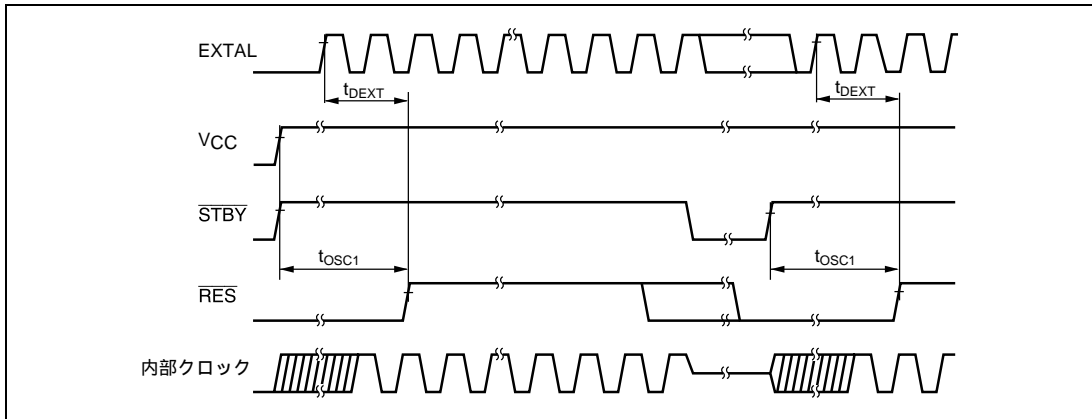


図 25.4 発振安定時間タイミング

### 25.4.2 制御信号タイミング

制御信号タイミングを以下に示します。

- リセット入力タイミング

図25.5にリセット入力タイミングを示します。

- 割り込み入力タイミング

図25.6にNMI、 $\overline{IRQ}$ 割り込みリセット入力タイミングを示します。

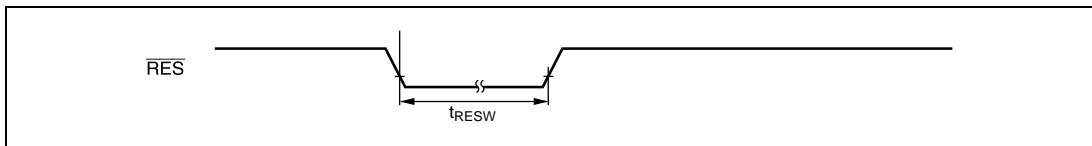


図 25.5 リセット入力タイミング

## 25. 電気的特性

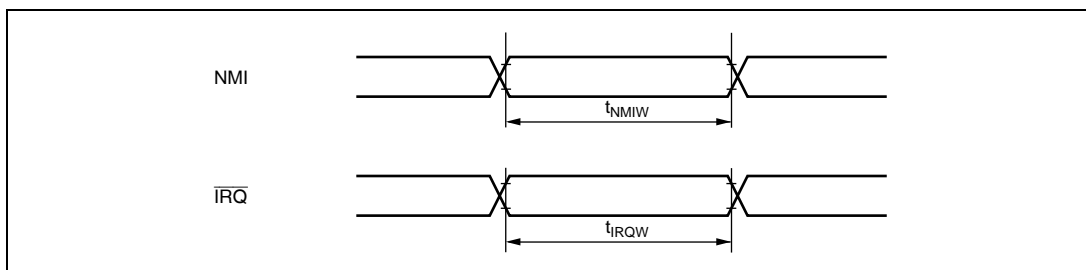


図 25.6 割り込み入力タイミング

### 25.4.3 内蔵周辺モジュールタイミング

図 25.7 ~ 図 25.11 に内蔵周辺モジュールタイミングを示します。

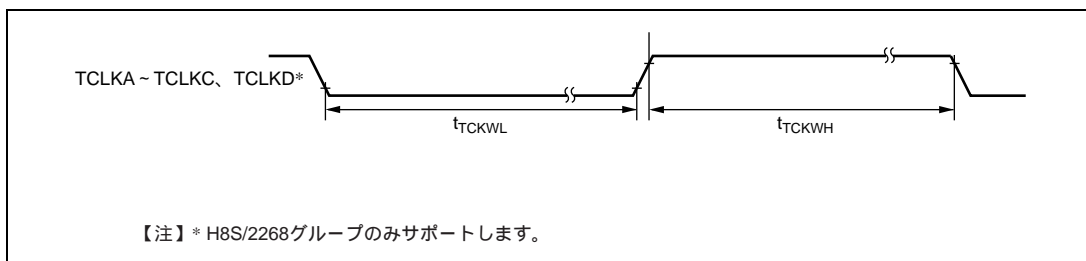


図 25.7 TPU クロック入力タイミング

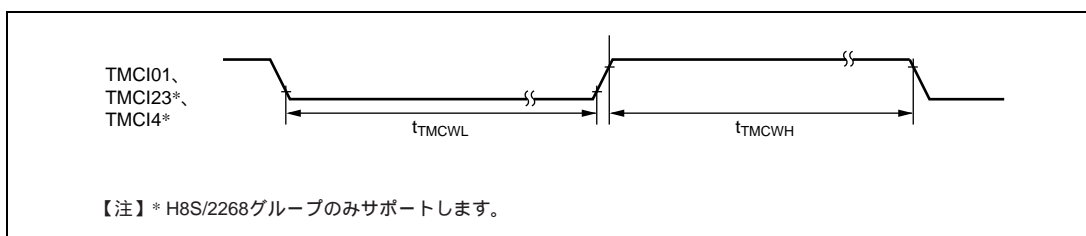


図 25.8 8ビットタイマクロック入力タイミング

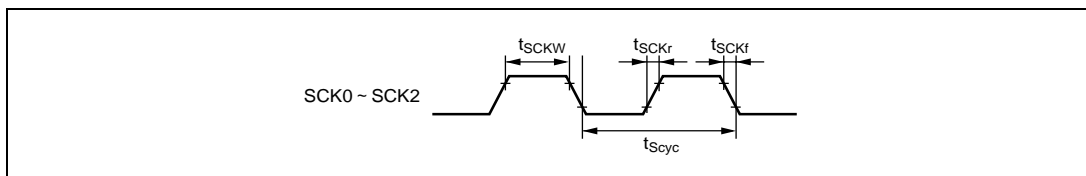


図 25.9 SCK クロック入力タイミング

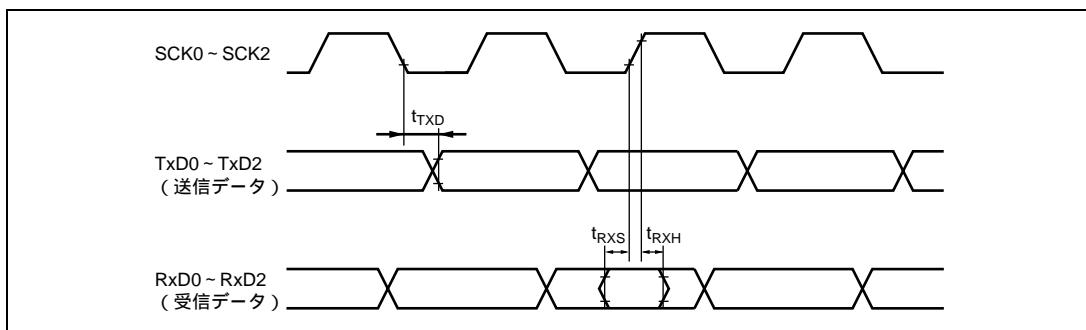
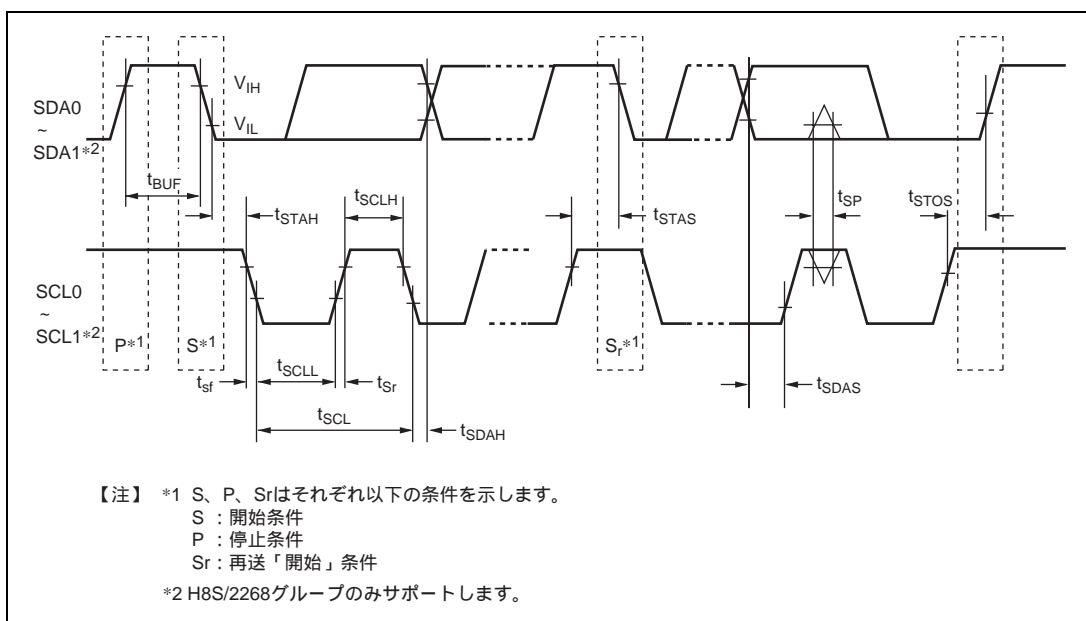


図 25.10 SCI 入出力タイミング/クロック同期式モード

図 25.11 I<sup>2</sup>C バスインタフェース入出力タイミング【オプション】

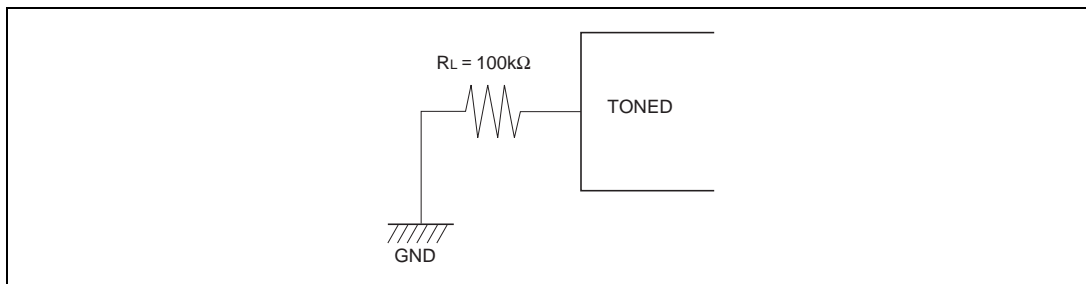


図 25.12 TONED 負荷回路 (H8S/2268 グループのみ)

## 25.5 使用上の注意事項

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。F-ZTAT 版を使用するシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

また、H8S/2268 グループの F-ZTAT 版と H8S/2264 グループのマスク ROM 版を組み合わせる場合は以下の条件で使用してください。

1. CVCC端子とグラウンド間の安定化容量は $0.2\ \mu\text{F}$
2.  $V_{cc} = AV_{cc}$

# 付録

## A. 各処理状態における I/O ポートの状態

### A.1 H8S/2268 グループの各処理状態における I/O ポートの状態

ポート名 端子名	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	ウォッチモード	プログラム実行状態 スリープモード サブスリープモード
ポート 1	T	T	keep	keep	入出力ポート
ポート 3	T	T	keep	keep	入出力ポート
ポート 4	T	T	T	T	入力ポート
ポート 7	T	T	keep	keep	入出力ポート
P97/DA1 P96/DA0	T	T	[DAOEn=1] keep [DAOEn=0] T	[DAOEn=1] keep [DAOEn=0] T	入力ポート
ポート F	T	T	keep	keep	入出力ポート
PH7	T	T	T	T	入力ポート
PH3 ~ PH0	T	T	[コモン出力時] Port [上記以外] keep	[コモン出力時] COM4 ~ COM1 [上記以外] keep	[コモン出力時] COM4 ~ COM1 [上記以外] 入出力ポート
ポート J	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG8 ~ SEG1 [上記以外] keep	[セグメント出力時] SEG8 ~ SEG1 [上記以外] 入出力ポート
ポート K	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG16 ~ SEG9 [上記以外] keep	[セグメント出力時] SEG16 ~ SEG9 [上記以外] 入出力ポート
ポート L	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG24 ~ SEG17 [上記以外] keep	[セグメント出力時] SEG24 ~ SEG17 [上記以外] 入出力ポート

ポート名 端子名	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	ウォッチモード	プログラム実行状態 スリープモード サブスリープモード
ポート M	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG32 ~ SEG25 [上記以外] keep	[セグメント出力時] SEG32 ~ SEG25 [上記以外] 入出力ポート
ポート N	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG40 ~ SEG33 [上記以外] keep	[セグメント出力時] SEG40 ~ SEG33 [上記以外] 入出力ポート

## A.2 H8S/2264 グループの各処理状態における I/O ポートの状態

ポート名 端子名	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	ウォッチモード	プログラム実行状態 スリープモード サブスリープモード
ポート 1	T	T	keep	keep	入出力ポート
ポート 3	T	T	keep	keep	入出力ポート
ポート 4	T	T	T	T	入力ポート
ポート 7	T	T	keep	keep	入出力ポート
ポート 9	T	T	T	T	入力ポート
ポート F	T	T	keep	keep	入出力ポート
PH7	T	T	T	T	入力ポート
PH3 ~ PH0	T	T	[コモン出力時] Port [上記以外] keep	[コモン出力時] COM4 ~ COM1 [上記以外] keep	[コモン出力時] COM4 ~ COM1 [上記以外] 入出力ポート
ポート J	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG8 ~ SEG1 [上記以外] keep	[セグメント出力時] SEG8 ~ SEG1 [上記以外] 入出力ポート
ポート K	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG16 ~ SEG9 [上記以外] keep	[セグメント出力時] SEG16 ~ SEG9 [上記以外] 入出力ポート

ポート名 端子名	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	ウォッチモード	プログラム実行状態 スリープモード サブスリープモード
ポート L	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG24 ~ SEG17 [上記以外] keep	[セグメント出力時] SEG24 ~ SEG17 [上記以外] 入出力ポート
SEG40 ~ SEG25	T	T	T	[セグメント出力時] SEG40 ~ SEG25 [上記以外] T	[セグメント出力時] SEG40 ~ SEG25 [上記以外] T

## 【記号説明】

H: High レベル

T: ハイインピーダンス

keep: 入力ポートはハイインピーダンス、出力ポートは保持

Port: ポート設定に従う(入力はハイインピーダンス)

## B. 型名一覧

## • H8S/2268グループ

製品分類			製品型名	マーク型名	パッケージ (コード)	動作電圧	
H8S/2268	F-ZTAT	標準品	HD64F2268	HD64F2268TE13	100ピン TQFP (TFP-100B、TFP-100BV)	3.0 - 5.5V	
				HD64F2268TF13	100ピン TQFP (TFP-100G、TFP-100GV)		
				HD64F2268FA13	100ピン QFP (FP-100B、FP-100BV)		
				HD64F2268TE20	100ピン TQFP (TFP-100B、TFP-100BV)	4.0 - 5.5V	
					HD64F2268TF20		100ピン TQFP (TFP-100G、TFP-100GV)
					HD64F2268FA20		100ピン QFP (FP-100B、FP-100BV)
H8S/2266	F-ZTAT	標準品	HD64F2266	HD64F2266TE13	100ピン TQFP (TFP-100B、TFP-100BV)	3.0 - 5.5V	
				HD64F2266TF13	100ピン TQFP (TFP-100G、TFP-100GV))		
				HD64F2266FA13	100ピン QFP (FP-100B、FP-100BV)		
				HD64F2266TE20	100ピン TQFP (TFP-100B、TFP-100BV)	4.0 - 5.5V	
					HD64F2266TF20		100ピン TQFP (TFP-100G、TFP-100GV)
					HD64F2266FA20		100ピン QFP (FP-100B、FP-100BV)



製品分類			製品型名	マーク型名	パッケージ (コード)	動作電圧
H8S/2265	F-ZTAT	標準品	HD64F2265	HD64F2265TE13	100ピン TQFP (TFP-100B、TFP-100BV)	3.0 ~ 5.5V
				HD64F2265TF13	100ピン TQFP (TFP-100G、TFP-100GV)	
				HD64F2265FA13	100ピン QFP (FP-100B、FP-100BV)	
				HD64F2265TE20	100ピン TQFP (TFP-100B、TFP-100BV)	4.0 ~ 5.5V
				HD64F2265TF20	100ピン TQFP (TFP-100G、TFP-100GV)	
				HD64F2265FA20	100ピン QFP (FP-100B、FP-100BV)	

• H8S/2264グループ

製品分類			製品型名	マーク型名	パッケージ (コード)	動作電圧
H8S/2264	マスク ROM 版	標準品	HD6432264	HD6432264(A**)TF	100 ピン TQFP (TFP-100G、TFP-100GV)	2.7 ~ 5.5V
				HD6432264(A**)FA	100 ピン QFP (FP-100B、FP-100BV)	
				HD6432264(F**)TF	100 ピン TQFP (TFP-100G、TFP-100GV)	4.0 ~ 5.5V
				HD6432264(F**)FA	100 ピン QFP (FP-100B、FP-100BV)	
		I <sup>2</sup> C バス インタフェース 内蔵版	HD6432264W	HD6432264W(A**)TF	100 ピン TQFP (TFP-100G、TFP-100GV)	2.7 ~ 5.5V
				HD6432264W(A**)FA	100 ピン QFP (FP-100B、FP-100BV)	
				HD6432264W(F**)TF	100 ピン TQFP (TFP-100G、TFP-100GV)	4.0 ~ 5.5V
				HD6432264W(F**)FA	100 ピン QFP (FP-100B、FP-100BV)	

製品分類			製品型名	マーク型名	パッケージ (コード)	動作電圧
H8S/2262	マスク ROM 版	標準品	HD6432262	HD6432262(A**)TF	100 ピン TQFP (TFP-100G、TFP-100GV)	2.7 ~ 5.5V
				HD6432262(A**)FA	100 ピン QFP (FP-100B、FP-100BV)	
				HD6432262(F**)TF	100 ピン TQFP (TFP-100G、TFP-100GV)	4.0 ~ 5.5V
				HD6432262(F**)FA	100 ピン QFP (FP-100B、FP-100BV)	
		I <sup>2</sup> C バス インタフェース 内蔵版	HD6432262W	HD6432262W(A**)TF	100 ピン TQFP (TFP-100G、TFP-100GV)	2.7 ~ 5.5V
				HD6432262W(A**)FA	100 ピン QFP (FP-100B、FP-100BV)	
				HD6432262W(F**)TF	100 ピン TQFP (TFP-100G、TFP-100GV)	4.0 ~ 5.5V
				HD6432262W(F**)FA	100 ピン QFP (FP-100B、FP-100BV)	

## 【記号説明】

(A\*\*) (F\*\*) は ROM コードです。

【注】 上記製品は開発中、計画中の製品も含まれます。各製品の状況につきましては、当社営業担当者に確認してください。

### C. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている外形寸法図を優先します。

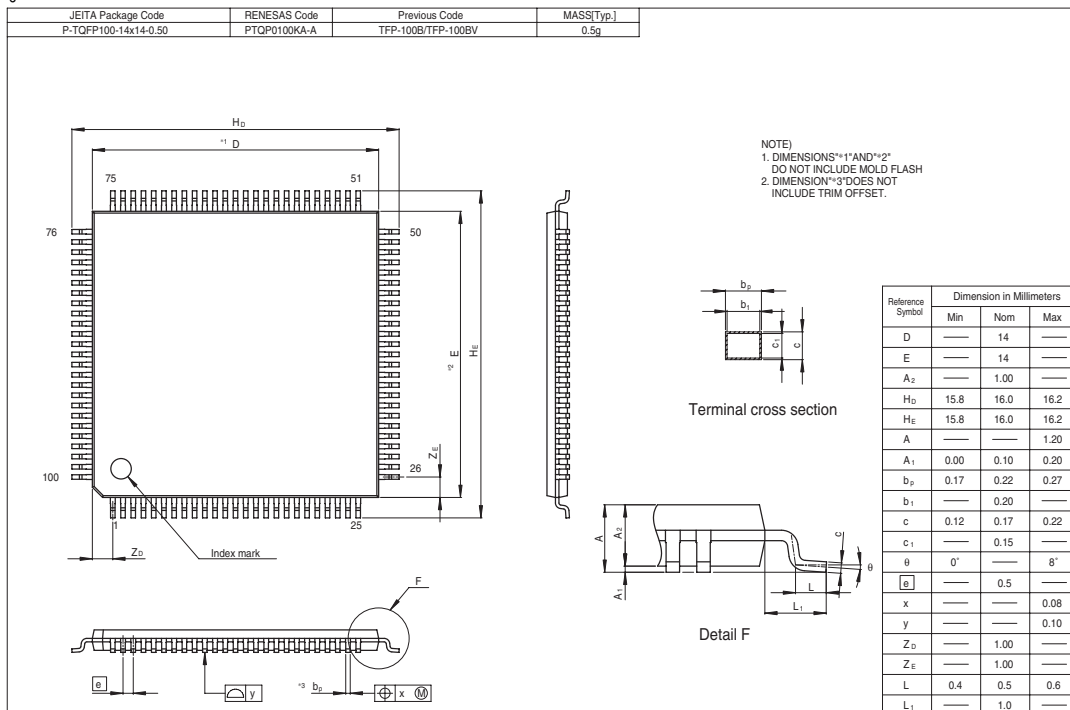


図 C.1 TFP-100B、TFP-100BV の外形寸法図 (H8S/2268 グループのみ)

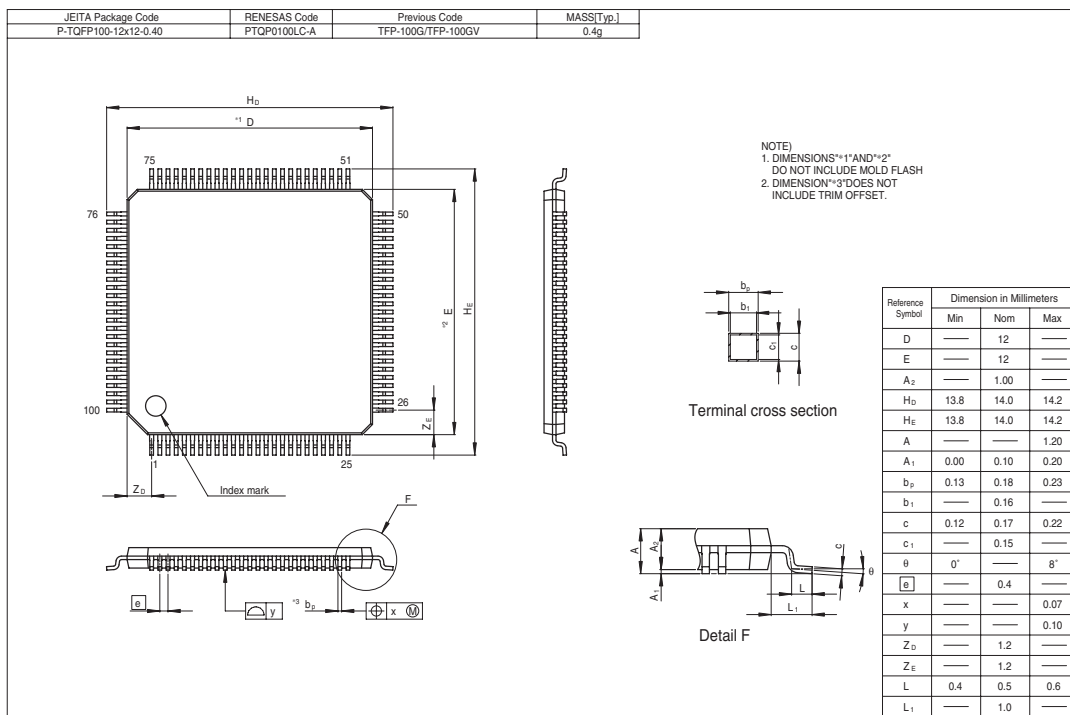


図 C.2 TFP-100G、TFP-100GV の外形寸法図

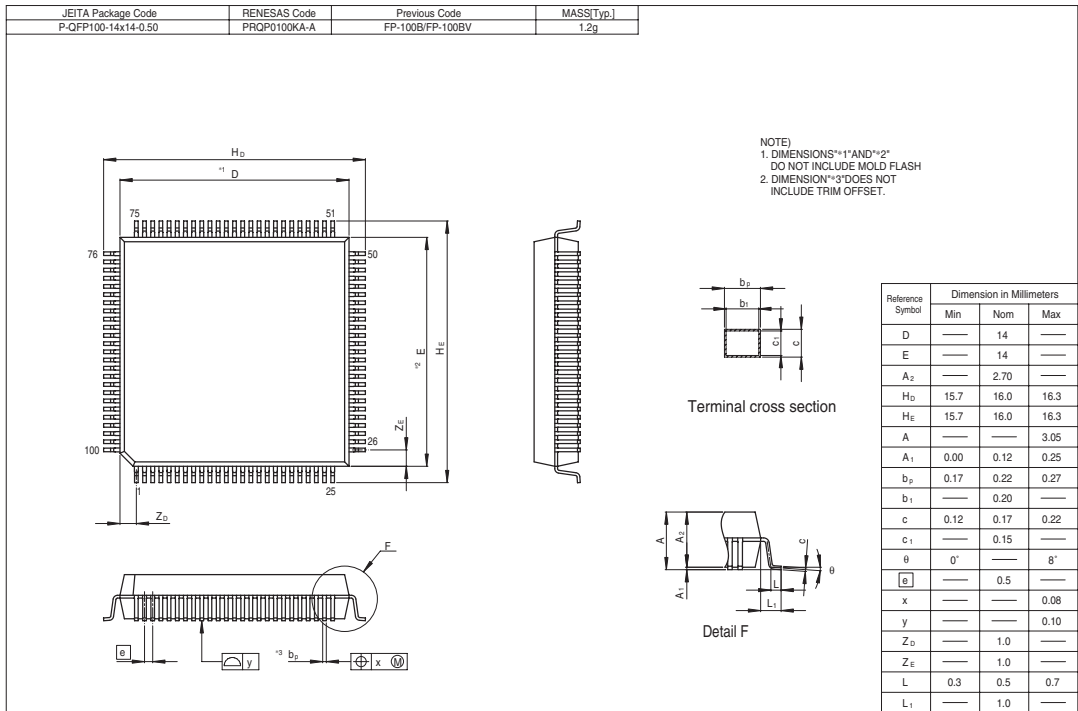



図 C.3 FP-100B、FP-100BV の外形寸法図

## 本版で改訂された箇所

修正項目	ページ	修正箇所															
1.4 端子機能 表 1.1 端子機能	1-9	<p>表を修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>記号</th> <th>ピン番号</th> <th>入出力</th> <th>名称および機能</th> </tr> </thead> <tbody> <tr> <td>A/D 変換器、 D/A 変換器*</td> <td>AV<sub>cc</sub></td> <td>54</td> <td>入力</td> <td>A/D 変換器、D/A 変換器*、および DTMF 発生回路*の電源端子です。 A/D 変換器、D/A 変換器*、および DTMF 発生回路*を使用しない場合はシステム電源 (V<sub>cc</sub> レベル) に接続してください。</td> </tr> <tr> <td></td> <td>Vref</td> <td>53</td> <td>入力</td> <td>A/D 変換器および D/A 変換器*の基準電圧入力端子です。A/D 変換器および D/A 変換器*を使用しない場合はシステムの電源 (V<sub>cc</sub> レベル) に接続してください。</td> </tr> </tbody> </table>	分類	記号	ピン番号	入出力	名称および機能	A/D 変換器、 D/A 変換器*	AV <sub>cc</sub>	54	入力	A/D 変換器、D/A 変換器*、および DTMF 発生回路*の電源端子です。 A/D 変換器、D/A 変換器*、および DTMF 発生回路*を使用しない場合はシステム電源 (V <sub>cc</sub> レベル) に接続してください。		Vref	53	入力	A/D 変換器および D/A 変換器*の基準電圧入力端子です。A/D 変換器および D/A 変換器*を使用しない場合はシステムの電源 (V <sub>cc</sub> レベル) に接続してください。
分類	記号	ピン番号	入出力	名称および機能													
A/D 変換器、 D/A 変換器*	AV <sub>cc</sub>	54	入力	A/D 変換器、D/A 変換器*、および DTMF 発生回路*の電源端子です。 A/D 変換器、D/A 変換器*、および DTMF 発生回路*を使用しない場合はシステム電源 (V <sub>cc</sub> レベル) に接続してください。													
	Vref	53	入力	A/D 変換器および D/A 変換器*の基準電圧入力端子です。A/D 変換器および D/A 変換器*を使用しない場合はシステムの電源 (V <sub>cc</sub> レベル) に接続してください。													
2.6 命令セット 表 2.1 命令の種類	2-17	<p>表を修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>命令</th> <th>サイズ</th> <th>種類</th> </tr> </thead> <tbody> <tr> <td rowspan="4">データ転送命令</td> <td>MOV</td> <td>B / W / L</td> <td rowspan="4">5</td> </tr> <tr> <td>POP*, PUSH*</td> <td>W / L</td> </tr> <tr> <td>LDM*, STM*</td> <td>L</td> </tr> <tr> <td>MOVFP*, MOVTP*</td> <td>B</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*5 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。</p>	分類	命令	サイズ	種類	データ転送命令	MOV	B / W / L	5	POP*, PUSH*	W / L	LDM*, STM*	L	MOVFP*, MOVTP*	B	
分類	命令	サイズ	種類														
データ転送命令	MOV	B / W / L	5														
	POP*, PUSH*	W / L															
	LDM*, STM*	L															
	MOVFP*, MOVTP*	B															
2.6.1 命令の機能別一覧 表 2.3 データ転送命令	2-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th>命令</th> <th>サイズ*</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>LDM*</td> <td>L</td> <td>@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。</td> </tr> <tr> <td>STM*</td> <td>L</td> <td>Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*2 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。</p>	命令	サイズ*	機能	LDM*	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。	STM*	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。						
命令	サイズ*	機能															
LDM*	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。															
STM*	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。															
5.6.5 IRQ 割り込み	5-33	5.6.5 を追加															
5.6.6 NMI 割り込み使用上の注意	5-33	5.6.6 を追加															
6.3.4 低消費電力モード遷移時の動作	6-5	<p>説明を修正</p> <ul style="list-style-type: none"> <li>SLEEP 命令により高速モードからサブアクティブへ遷移する場合 (図 6.2 (B))</li> </ul>															

修正項目	ページ	修正箇所																			
8.2.5 DTC 転送カウントレジスタ A (CRA)	8-5	<p>説明を修正</p> <p>リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。リピートモードでは CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。また、ブロック転送モードでは、CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。</p>																			
8.5 動作説明 図 8.5 DTC 動作フローチャート	8-11	<p>図を修正</p>  <p>【注】* 処理内容の詳細については各周辺モジュールの章を参照してください。</p>																			
9.1.1 ポート 1 データディレクションレジスタ (P1DDR)	9-6	<p>説明を追加</p> <p>リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。</p>																			
9.2.1 ポート 3 データディレクションレジスタ (P3DDR)	9-11	<p>説明を追加</p> <p>リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。</p>																			
9.2.5 端子機能 • P34/RxD1/SDA0	9-14	<p>説明を修正</p> <p>IIC_0 の ICCR_0 の ICE ビット、SCI_1 の SCR の RE ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。</p> <p>表を修正</p> <table border="1" data-bbox="583 1232 1214 1348"> <thead> <tr> <th rowspan="2"></th> <th colspan="3">0</th> <th>1</th> </tr> <tr> <th>0</th> <th>1</th> <th>1</th> <th></th> </tr> </thead> <tbody> <tr> <td>P34DDR</td> <td>0</td> <td>1</td> <td>-</td> <td></td> </tr> <tr> <td>端子機能</td> <td>P34 入力端子</td> <td>P34 出力端子</td> <td>RxD1 入力端子</td> <td>SDA0 入出力端子</td> </tr> </tbody> </table>		0			1	0	1	1		P34DDR	0	1	-		端子機能	P34 入力端子	P34 出力端子	RxD1 入力端子	SDA0 入出力端子
	0			1																	
	0	1	1																		
P34DDR	0	1	-																		
端子機能	P34 入力端子	P34 出力端子	RxD1 入力端子	SDA0 入出力端子																	
9.4.1 ポート 7 データディレクションレジスタ (P7DDR)	9-16	<p>説明を追加</p> <p>リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。</p>																			
9.6.1 ポート F データディレクションレジスタ (PFDDR)	9-21	<p>説明を追加</p> <p>リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。</p>																			



修正項目	ページ	修正箇所															
9.7.1 ポートHデータディレクションレジスタ (PHDDR)	9-23	説明を追加 リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。															
9.8.1 ポートJデータディレクションレジスタ (PJDDR)	9-27	説明を追加 リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。															
9.9.1 ポートKデータディレクションレジスタ (PKDDR)	9-31	説明を追加 リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。															
9.10.1 ポートLデータディレクションレジスタ (PLDDR)	9-33	説明を追加 リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。															
9.11.1 ポートMデータディレクションレジスタ (PMDDR)	9-35	説明を追加 リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。															
9.12.1 ポートNデータディレクションレジスタ (PNDDR)	9-37	説明を追加 リードは無効です。本レジスタに対し、ビット操作命令を行うと不定値をリードします。不定値をリードしないために本レジスタにビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。															
9.13 未使用端子の処理	9-39	9.13 を追加															
10.3.1 タイマコントロールレジスタ (TCR)	10-8	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>CKEG1</td> <td>0</td> <td>RW</td> <td>クロックエッジ、0</td> </tr> <tr> <td>3</td> <td>CKEG0</td> <td>0</td> <td>RW</td> <td>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります(例: /4の両エッジ = /2の立ち上がりエッジ)。内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1を選択した場合は本設定は無視され、の立ち上がりエッジでカウントされます。H8S/2268グループにおいて、チャンネル1、2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント 【記号説明】 X: Don't care</td> </tr> </tbody> </table>	ビット	ビット名	初期値	RW	説明	4	CKEG1	0	RW	クロックエッジ、0	3	CKEG0	0	RW	入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります(例: /4の両エッジ = /2の立ち上がりエッジ)。内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1を選択した場合は本設定は無視され、の立ち上がりエッジでカウントされます。H8S/2268グループにおいて、チャンネル1、2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント 【記号説明】 X: Don't care
ビット	ビット名	初期値	RW	説明													
4	CKEG1	0	RW	クロックエッジ、0													
3	CKEG0	0	RW	入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります(例: /4の両エッジ = /2の立ち上がりエッジ)。内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1を選択した場合は本設定は無視され、の立ち上がりエッジでカウントされます。H8S/2268グループにおいて、チャンネル1、2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント 【記号説明】 X: Don't care													

修正項目	ページ	修正箇所
11.8.1 モジュールストップモードの設定	11-16	11.8.1 を追加
12.2.1 タイマカウンタ(TCNT)	12-3	説明を追加 TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。 タイマー動作中に TCNT を H'00 にする場合には直接 TCNT に H'00 をライトしてください。 「12.5.7 TME ビットによる TCNT 初期化時の注意」も参照してください。
12.5.7 TME ビットによる TCNT 初期化時の注意	12-13	12.5.7 を追加
13.3.7 シリアルステータスレジスタ (SSR)	13-15	表を修正 (修正前) DTC (修正後) DTC* <sup>2</sup>
	13-16、 13-17	表を修正 (修正前) R/(W)* (修正後) R/(W)* <sup>1</sup> (修正前) DTC (修正後) DTC* <sup>2</sup>
	13-18	注を修正 【注】* <sup>1</sup> フラグをクリアするための 0 ライトのみ可能です。 * <sup>2</sup> DTC によりクリアされるのは DISEL = 0 でかつ転送カウンタが 0 でない場合です。
14.4.4 マスタ受信動作 図 14.10 マスタ受信モード(複数バイト数受信)のフローチャート例 (WAIT=1)	14-26	図を修正 
14.4.6 スレーブ送信動作	14-34	図を修正 

修正項目	ページ	修正箇所												
14.4.6 スレープ送信動作	14-34 ~ 14-36	<p>説明を追加・修正</p> <p>1. スレープ受信モードの初期設定を行い、自分のアドレス受信を待ちます。 スレープ受信モードの初期設定時、ICCR の ACKC ビットに 1 をライトしてください。 スレープ送信モードに遷移後、アクノリッジビットの受信を有効にするために必要になります。</p> <p>...</p> <p>4. マスタデバイスは転送フレームの 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。このアクノリッジは ICSR の ACKC ビットが 1 のとき、ACKB ビットに格納されるので転送動作が正常に行われたかどうかを確認することができます。...</p> <p>...</p> <p>10. SCL が High レベルのとき SDA が Low レベルから High レベルに変化して停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされ、ICSR の STOP フラグが 1 にセットされます。同時に IRIC フラグが 1 にセットされます。IRIC フラグがセットされているときは、IRIC フラグを 0 にクリアします。 再度スレープ送信動作を行う場合は、初期設定から実施してください。</p>												
15.2 入出力端子 表 15.1 端子構成	15-3	<p>表を修正</p> <table border="1" data-bbox="583 962 1210 1033"> <thead> <tr> <th>端子名</th> <th>記号</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>アナログ入力端子 0</td> <td>AN0*</td> <td>入力</td> <td>グループ 0 のアナログ入力端子</td> </tr> <tr> <td>アナログ入力端子 1</td> <td>AN1*</td> <td>入力</td> <td></td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】* AN0、AN1 は VCC = AVCC 時のみ使用可能です。</p>	端子名	記号	入出力	機能	アナログ入力端子 0	AN0*	入力	グループ 0 のアナログ入力端子	アナログ入力端子 1	AN1*	入力	
端子名	記号	入出力	機能											
アナログ入力端子 0	AN0*	入力	グループ 0 のアナログ入力端子											
アナログ入力端子 1	AN1*	入力												
15.8.4 アナログ電源端子ほかの設定範囲 • AVCC、AVSS と VCC、VSS の関係	15-16	<p>説明を追加</p> <p>AVCC、AVSS と VCC、VSS との関係は AVSS = VSS とし、さらに、A/D 変換器を使用しないときも AVCC、AVSS 端子をオープンにしないでください。また、アナログ入力端子 AN0、AN1 は VCC = AVCC 時のみ使用可能となります。</p>												
20.6.1 ブートモード 表 20.4 ブートモードの動作	20-17	<p>表を差し替え</p>												

修正項目	ページ	修正箇所																			
25.2.2 DC 特性 表 25.2 DC 特性 (1)	25-3	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力 High レベル電圧</td> <td>RES、STBY、NMI、 FWE、MD2、MD1</td> <td rowspan="3"><math>V_{IH}</math></td> <td><math>V_{CC} \times 0.9</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> </tr> <tr> <td>EXTAL、ポート 1、3、 7、F、J-N、PH0~PH3</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> </tr> <tr> <td>ポート 4<sup>*4</sup>、9、PH7</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>AV_{CC} + 0.3</math><sup>*4</sup></td> </tr> </tbody> </table>	項目	記号	min.	typ.	max.	入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	EXTAL、ポート 1、3、 7、F、J-N、PH0~PH3	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	ポート 4 <sup>*4</sup> 、9、PH7	$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ <sup>*4</sup>
	項目	記号	min.	typ.	max.																
入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$																
	EXTAL、ポート 1、3、 7、F、J-N、PH0~PH3		$V_{CC} \times 0.8$		$V_{CC} + 0.3$																
	ポート 4 <sup>*4</sup> 、9、PH7		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ <sup>*4</sup>																
25-4	注を追加 <b>【注】</b> <sup>*4</sup> $V_{CC} < AV_{CC}$ のとき、P40、P41 の max. は $V_{CC} + 0.3V$ になります。																				
25.2.2 DC 特性 表 25.2 DC 特性 (2)	25-5	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力 High レベル電圧</td> <td>RES、STBY、NMI、 FWE、MD2、MD1</td> <td rowspan="3"><math>V_{IH}</math></td> <td><math>V_{CC} \times 0.9</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> </tr> <tr> <td>EXTAL、ポート 1、3、 7、F、J-N、PH0~PH3</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> </tr> <tr> <td>ポート 4<sup>*4</sup>、9、PH7</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>AV_{CC} + 0.3</math><sup>*4</sup></td> </tr> </tbody> </table>	項目	記号	min.	typ.	max.	入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	EXTAL、ポート 1、3、 7、F、J-N、PH0~PH3	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	ポート 4 <sup>*4</sup> 、9、PH7	$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ <sup>*4</sup>
	項目	記号	min.	typ.	max.																
入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$																
	EXTAL、ポート 1、3、 7、F、J-N、PH0~PH3		$V_{CC} \times 0.8$		$V_{CC} + 0.3$																
	ポート 4 <sup>*4</sup> 、9、PH7		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ <sup>*4</sup>																
25-6	注を追加 <b>【注】</b> <sup>*4</sup> $V_{CC} < AV_{CC}$ のとき、P40、P41 の max. は $V_{CC} + 0.3V$ になります。																				
25.2.4 A/D 変換特性 表 25.9 A/D 変換特性	25-14	表条件を修正 条件 A (F-ZTAT 版) : $V_{CC} = 3.0 \sim 5.5V$ <sup>*4</sup> 、 $AV_{CC} = 2.7 \sim 5.5V$ <sup>*4</sup> 、... 条件 C (F-ZTAT 版) : $V_{CC} = 4.0 \sim 5.5V$ <sup>*4</sup> 、 $AV_{CC} = 4.0 \sim 5.5V$ <sup>*4</sup> 、...																			
		注を追加 <b>【注】</b> <sup>*</sup> AN0、AN1 は $V_{CC} = AV_{CC}$ 時のみ使用可能です。																			
25.3.2 DC 特性 表 25.15 DC 特性 (1)	25-20	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力 High レベル電圧</td> <td>RES、STBY、NMI、 FWE、MD2、MD1</td> <td rowspan="3"><math>V_{IH}</math></td> <td><math>V_{CC} \times 0.9</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> </tr> <tr> <td>EXTAL、ポート 1、3、 7、F、J-L</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> </tr> <tr> <td>ポート 4<sup>*4</sup>、9</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>AV_{CC} + 0.3</math><sup>*4</sup></td> </tr> </tbody> </table>	項目	記号	min.	typ.	max.	入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	EXTAL、ポート 1、3、 7、F、J-L	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	ポート 4 <sup>*4</sup> 、9	$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ <sup>*4</sup>
	項目	記号	min.	typ.	max.																
入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$																
	EXTAL、ポート 1、3、 7、F、J-L		$V_{CC} \times 0.8$		$V_{CC} + 0.3$																
	ポート 4 <sup>*4</sup> 、9		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ <sup>*4</sup>																
25-21	注を追加 <b>【注】</b> <sup>*4</sup> $V_{CC} < AV_{CC}$ のとき、P40、P41 の max. は $V_{CC} + 0.3V$ になります。																				
25.3.2 DC 特性 表 25.15 DC 特性 (2)	25-21	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力 High レベル電圧</td> <td>RES、STBY、NMI、 FWE、MD2、MD1</td> <td rowspan="3"><math>V_{IH}</math></td> <td><math>V_{CC} \times 0.9</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> </tr> <tr> <td>EXTAL、ポート 1、3、 7、F、J-L</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>V_{CC} + 0.3</math></td> </tr> <tr> <td>ポート 4<sup>*4</sup>、9</td> <td><math>V_{CC} \times 0.8</math></td> <td></td> <td><math>AV_{CC} + 0.3</math><sup>*4</sup></td> </tr> </tbody> </table>	項目	記号	min.	typ.	max.	入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	EXTAL、ポート 1、3、 7、F、J-L	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	ポート 4 <sup>*4</sup> 、9	$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ <sup>*4</sup>
	項目	記号	min.	typ.	max.																
入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2、MD1	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$																
	EXTAL、ポート 1、3、 7、F、J-L		$V_{CC} \times 0.8$		$V_{CC} + 0.3$																
	ポート 4 <sup>*4</sup> 、9		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ <sup>*4</sup>																
25-22	注を追加 <b>【注】</b> <sup>*4</sup> $V_{CC} < AV_{CC}$ のとき、P40、P41 の max. は $V_{CC} + 0.3V$ になります。																				

修正項目	ページ	修正箇所
25.3.4 A/D 変換特性 表 25.22 A/D 変換特性	25-31	表条件を修正 条件 B (マスク ROM 版) : VCC = 2.7 ~ 5.5V*、AVCC = 2.7 ~ 5.5V* ... 条件 D (マスク ROM 版) : VCC = 4.0 ~ 5.5V*、AVCC = 4.0 ~ 5.5V* ... 注を追加 【注】* AN0、AN1 は $V_{CC} = AV_{CC}$ 時のみ使用可能です。
B. 型名一覧	付録-4 ~ 付録-7	パッケージを追加 (TFP-100B、TFP-100BV) (TFP-100G、TFP-100GV) (FP-100B、FP-100BV)
C. 外形寸法図 図 C.1 TFP-100B、TFP-100BV の外形寸法図 (H8S/2268 グループのみ)	付録-8	図タイトルを修正
図 C.2 TFP-100G、TFP-100GV の外形寸法図	付録-9	図タイトルを修正
図 C.3 FP-100B、FP-100BV の 外形寸法図	付録-10	図タイトルを修正



# 索引

16 ビットタイマパルスユニット.....	10-1	セグメントドライバ.....	17-5
PWM モード.....	10-41	デューティ比.....	17-1
コンペアマッチによる波形出力.....	10-31	PC ブレークコントローラ.....	6-1
トグル出力.....	10-31	アドレスマップ.....	3-2
バッファ動作.....	10-37	アドレス空間.....	2-8
フリーランニングカウント動作.....	10-30	アドレッシングモード.....	2-29
位相計数モード.....	10-45	イミディエイト.....	2-31
同期動作.....	10-35	ディスプレイメント付きレジスタ間接.....	2-29
8 ビットタイマ.....	11-1	プリデクリメントレジスタ間接.....	2-30
16 ビットカウントモード.....	11-14	プログラムカウンタ相対.....	2-31
TCNT のカウントタイミング.....	11-10	ポストインクリメントレジスタ間接.....	2-30
カスケード接続.....	11-14	メモリ間接.....	2-31
コンペアマッチカウントモード.....	11-14	レジスタ間接.....	2-29
トグル出力.....	11-18	レジスタ直接.....	2-29
パルス出力.....	11-10	絶対アドレス.....	2-30
8 ビットリロードタイマ.....	11-20	インタフェース.....	13-1
インターバルタイマ.....	11-24	ウォッチドッグタイマ.....	12-1
オートリロードタイマ.....	11-24	インターバルタイマモード.....	12-8
A/D 変換器.....	15-1	ウォッチドッグタイマモード.....	12-7
A/D 変換器の起動.....	10-51	オーバフロー.....	12-8
アナログ入力チャネル.....	15-4	エクステンドレジスタ.....	2-11
シングルモード.....	15-9	オペレーションフィールド.....	2-28
スキャンモード.....	15-10	オンボードプログラミング.....	20-15
外部トリガ.....	15-12	クロック発振器.....	21-1
変換時間.....	15-11	コンディションコードレジスタ.....	2-12
Bcc.....	2-25	コンディションフィールド.....	2-28
D/A 変換器.....	16-1	シリアルコミュニケーションインタフェース.....	13-1
DTMF 発生回路.....	18-1	オーバランエラー.....	13-36
EA 拡張部.....	2-28	クロック同期式モード.....	13-44
I2C バスインタフェース.....	14-1	パリティエラー.....	13-36
I <sup>2</sup> C バスフォーマット.....	14-19	ビットレート.....	13-19
シリアルフォーマット.....	14-19	ブレーク.....	13-63
ノイズ除去回路.....	14-40	フレーミングエラー.....	13-36
LCD コントローラ / ドライバ.....	17-1	マーク状態.....	13-64
LCD RAM.....	17-11	マルチプロセッサ通信機能.....	13-39
LCD 表示.....	17-10	調歩同期式モード.....	13-29
コマンドドライバ.....	17-4		

スタックポインタ (SP) .....	2-10	CRB .....	8-5, 24-2, 24-9, 24-16
スマートカード .....	13-1	DACR .....	16-3, 24-3, 24-10, 24-17
スマートカードインタフェース .....	13-52	DADR .....	16-2, 24-3, 24-10, 24-17
データディレクションレジスタ .....	9-1	DAR .....	8-4, 24-2, 24-9, 24-16
データトランスファコントローラ .....	8-1	DDCSWR .....	14-18, 24-3, 24-10, 24-17
DTCベクタテーブル .....	8-8	DTCER .....	8-5, 24-4, 24-11, 24-18
ソフトウェアによる起動 .....	8-16, 8-19	DTCR .....	18-3, 24-2, 24-9, 24-16
ソフトウェア起動 .....	8-21	DTLR .....	18-5, 24-2, 24-9, 24-16
ソフトウェア起動割り込み用ベクタ番号 .....	8-6	DTVECR .....	8-6, 24-4, 24-11, 24-18
チェイン転送 .....	8-15	EBR1 .....	20-11, 24-7, 24-15, 24-21
ノーマルモード .....	8-20	EBR2 .....	20-12, 24-8, 24-15, 24-21
ブロック転送モード .....	8-14	FLMCR1 .....	20-10, 24-7, 24-15, 24-21
リピートモード .....	8-13	FLMCR2 .....	20-11, 24-7, 24-15, 24-21
レジスタ情報 .....	8-8	FLPWCR .....	20-14, 24-8, 24-15, 24-21
データレジスタ .....	9-1	ICCR .....	14-11, 24-6, 24-14, 24-20
バスアービトラージョン .....	7-4	ICDR .....	14-5, 24-7, 24-14, 24-20
バスサイクル .....	7-1	ICMR .....	14-8, 24-7, 24-14, 24-20
バスマスタ .....	7-4	ICSR .....	14-15, 24-6, 24-14, 24-20
フラッシュメモリ .....	20-1	IENR1 .....	5-12, 24-3, 24-10, 24-17
イレース/イレースベリファイ .....	20-23	IER .....	5-8, 24-4, 24-11, 24-18
エラープロテクト .....	20-25	IPR .....	5-7, 24-5, 24-12, 24-18
ソフトウェアプロテクト .....	20-25	ISCR .....	5-9, 24-4, 24-11, 24-18
ハードウェアプロテクト .....	20-25	ISR .....	5-10, 24-4, 24-11, 24-18
ブートモード .....	20-15	IWPR .....	5-12, 24-3, 24-10, 24-17
プログラム/プログラムベリファイ .....	20-21	LCD RAM .....	17-11, 24-2, 24-9, 24-16
ユーザプログラムモード .....	20-18	LCR .....	17-6, 24-2, 24-9, 24-16
消去ブロック .....	20-6	LCR2 .....	17-7, 24-2, 24-9, 24-16
ブレイクアドレス .....	6-4	LPCR .....	17-4, 24-2, 24-9, 24-16
ブレイク条件 .....	6-4	LPWRCR .....	21-3, 24-4, 24-11, 24-18
プログラムカウンタ .....	2-11	MDCR .....	3-1, 24-4, 24-11, 24-18
メモリサイクル .....	7-1	MRA .....	8-3, 24-2, 24-9, 24-16
ライターモード .....	20-26	MRB .....	8-4, 24-2, 24-9, 24-16
リセット .....	4-3	MSTPCR .....	22-7, 24-4, 24-11, 24-18
レジスタ		P1DDR .....	9-6, 24-4, 24-11, 24-18
ADCR .....	15-7, 24-7, 24-15, 24-21	P1DR .....	9-6, 24-5, 24-12, 24-19
ADCSR .....	15-5, 24-7, 24-15, 24-21	P3DDR .....	9-11, 24-4, 24-11, 24-18
ADDR .....	15-4, 24-7, 24-14, 24-21	P3DR .....	9-12, 24-5, 24-12, 24-19
BARA .....	6-2, 24-4, 24-11, 24-18	P3ODR .....	9-13, 24-4, 24-12, 24-18
BARB .....	6-2, 24-4, 24-11, 24-18	P7DDR .....	9-16, 24-4, 24-11, 24-18
BCRA .....	6-3, 24-4, 24-11, 24-18	P7DR .....	9-17, 24-5, 24-12, 24-19
BCRB .....	6-3, 24-4, 24-11, 24-18	PFDDR .....	9-21, 24-4, 24-12, 24-18
BRR .....	13-19, 24-6, 24-14, 24-20	PFDR .....	9-21, 24-5, 24-12, 24-19
CRA .....	8-5, 24-2, 24-9, 24-16	PHDDR .....	9-23, 24-2, 24-9, 24-16



PHDR .....	9-23, 24-3, 24-10, 24-16	TCR .....	10-8, 11-4, 11-22, 24-5, .....	24-6, 24-12, 24-13, 24-19
PJDDR .....	9-27, 24-2, 24-9, 24-16	TCSR .....	12-3, 24-6, 24-13, 24-20	
PJDR .....	9-27, 24-3, 24-10, 24-16	TDR .....	13-6, 24-6, 24-14, 24-20	
PJPCR .....	9-28, 24-3, 24-10, 24-17	TGR .....	10-26, 24-5, 24-12, 24-19	
PKDDR .....	9-31, 24-2, 24-9, 24-16	TIER .....	10-21, 24-5, 24-12, 24-19	
PKDR .....	9-31, 24-3, 24-10, 24-17	TIOR .....	10-12, 24-5, 24-12, 24-19	
PLDDR .....	9-33, 24-3, 24-10, 24-16	TLR .....	11-23, 24-2, 24-9, 24-16	
PLDR .....	9-33, 24-3, 24-10, 24-17	TMDR .....	10-11, 24-5, 24-12, 24-19	
PMDDR .....	9-35, 24-3, 24-10, 24-16	TSR .....	10-23, 24-5, 24-12, 24-19	
PMDR .....	9-35, 24-3, 24-10, 24-17	TSTR .....	10-26, 24-5, 24-12, 24-18	
PNDDR .....	9-37, 24-3, 24-10, 24-16	TSYR .....	10-27, 24-5, 24-12, 24-18	
PNDR .....	9-37, 24-3, 24-10, 24-17	WPCR .....	9-29, 24-3, 24-10, 24-17	
PORT1 .....	9-7, 24-8, 24-15, 24-21	エミュレーション .....	20-19	
PORT3 .....	9-12, 24-8, 24-15, 24-21	レジスタフィールド .....	2-28	
PORT4 .....	9-16, 24-8, 24-15, 24-21	割り込み		
PORT7 .....	9-17, 24-8, 24-15, 24-21	ADI .....	15-13	
PORT9 .....	9-20, 24-8, 24-15, 24-21	CMIA .....	11-15	
PORTF .....	9-22, 24-8, 24-15, 24-21	CMIB .....	11-15	
PORTH .....	9-24, 24-3, 24-10, 24-17	ERI .....	13-62	
PORTJ .....	9-28, 24-3, 24-10, 24-17	NMI 割り込み .....	5-13, 12-10	
PORTK .....	9-32, 24-3, 24-10, 24-17	OVI .....	11-15	
PORTL .....	9-34, 24-3, 24-10, 24-17	RXI .....	13-62	
PORTM .....	9-36, 24-3, 24-10, 24-17	SWDTEND .....	8-16	
PORTN .....	9-38, 24-3, 24-10, 24-17	TCI .....	10-50	
RAMER .....	20-13, 24-5, 24-12, 24-19	TEI .....	13-62	
RDR .....	13-6, 24-6, 24-14, 24-20	TGI .....	10-50	
RSR .....	13-6	TXI .....	13-62	
RSTCSR .....	12-6, 24-6, 24-14, 24-20	WOVI .....	12-10	
SAR .....	8-4, 24-2, 24-7, 24-9, 24-14, 24-16, 24-20	割り込みコントローラ .....	5-1	
SARX .....	14-7, 24-7, 24-14, 24-20	割り込みマスクビット .....	2-12	
SBYCR .....	22-6, 24-4, 24-11, 24-18	割り込み制御モード .....	5-20	
SCKCR .....	21-2, 24-4, 24-11, 24-18	割り込み例外処理ベクタテーブル .....	5-16	
SCMR .....	13-18, 24-7, 24-14, 24-20	実効アドレス .....	2-29, 2-32	
SCR .....	13-10, 24-6, 24-14, 24-20	書き込み / 消去プロテクト .....	20-25	
SCRX .....	14-10, 24-3, 24-10, 24-17	低消費電力状態 .....	22-1	
SEMR .....	13-26, 24-4, 24-11, 24-18	ウォッチモード .....	22-14	
SMR .....	13-7, 24-6, 24-14, 24-20	サブアクティブモード .....	22-16	
SSR .....	13-14, 24-6, 24-14, 24-20	サブスリープモード .....	22-15	
SYSCR .....	5-5, 24-4, 24-11, 24-18	スリープモード .....	22-9	
TCNT .....	10-25, 11-4, 11-23, 12-3, 24-5, .....	ソフトウェアスタンバイモード .....	22-10	
TCORA .....	11-4, 24-6, 24-13, 24-20	ハードウェアスタンバイモード .....	22-12	
TCORB .....	11-4, 24-6, 24-13, 24-20	モジュールストップモード .....	22-13	

中速モード .....	22-8	ブロック転送命令 .....	2-27
直接遷移 .....	22-17	算術演算命令 .....	2-20
動作モードの選択 .....	3-1	分岐命令 .....	2-25
内部電源降圧回路 .....	23-1	論理演算命令 .....	2-22
入力プルアップ MOS .....	9-1	例外処理 .....	4-1
汎用レジスタ .....	2-10	スタックの状態 .....	4-7
命令セット .....	2-17	トラップ命令例外処理 .....	4-6
システム制御命令 .....	2-26	トレース例外処理 .....	4-5
シフト命令 .....	2-22	リセット例外処理 .....	4-3
データ転送命令 .....	2-19	割り込み例外処理 .....	4-5
ビット操作命令 .....	2-23	例外処理ベクタテーブル .....	4-2

---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8S/2268グループ、H8S/2264グループ

発行年月日 2001年3月 第1版

2009年9月1日 Rev.5.00

発行 株式会社ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口  
株式会社ルネサス販売

# RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



# H8S/2268 グループ、H8S/2264 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0062-0500