

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8S/2144B, H8S/2134B

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8S ファミリ / H8S/2100 シリーズ

H8S/2144B

HD64F2144B

H8S/2134B

HD64F2134B

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上で
ご確認ください。

11. 索引

はじめに

H8S/2144B、H8S/2134B は、ルネサス テクノロジ オリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ（MCU）です。

対象者 このマニュアルは、H8S/2144B、H8S/2134B を用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2144B、H8S/2134B のハードウェア機能と電気的特性をユーザーに理解して頂くことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき。
 - 目次にしたがって読んでください。
 - 本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
 - 別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。
- レジスタ名が分かっていて、詳細機能を知りたいとき。
 - 本書の後ろに「索引」があります。索引からページ番号を検索してください。
 - 「第19章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例

レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。
XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。XXXX

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(<http://www.renesas.com/jpn/>)

- H8S/2144B、H8S/2134Bに関するユーザーズマニュアル

資料名	資料番号
H8S/2144B、H8S/2134B ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッガユーザーズマニュアル	ADJ-702-355
H8S、H8/300 シリーズ High-performance Embedded Workshop3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop3 ユーザーズマニュアル	RJJ10B0029

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ アプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ-502-055

目次

1. 概要	1-1
1.1 特長	1-1
1.2 内部ブロック図	1-3
1.3 端子説明	1-5
1.3.1 ピン配置図	1-5
1.3.2 動作モード別端子機能	1-7
1.3.3 端子機能	1-13
2. CPU	2-1
2.1 特長	2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2 H8/300 CPU との相違点	2-3
2.1.3 H8/300H CPU との相違点	2-3
2.2 CPU動作モード	2-4
2.2.1 ノーマルモード	2-4
2.2.2 アドバンスモード	2-6
2.3 アドレス空間	2-8
2.4 レジスタの構成	2-9
2.4.1 汎用レジスタ	2-10
2.4.2 プログラムカウンタ (PC)	2-11
2.4.3 エクステンドレジスタ (EXR)	2-11
2.4.4 コンディションコードレジスタ (CCR)	2-11
2.4.5 CPU 内部レジスタの初期値	2-12
2.5 データ形式	2-13
2.5.1 汎用レジスタのデータ形式	2-13
2.5.2 メモリ上でのデータ形式	2-15
2.6 命令セット	2-16
2.6.1 命令の機能別一覧	2-17
2.6.2 命令の基本フォーマット	2-26
2.7 アドレッシングモードと実効アドレスの計算方法	2-27
2.7.1 レジスタ直接 Rn	2-27
2.7.2 レジスタ間接 @ERn	2-27
2.7.3 ディスプレースメント付きレジスタ間接 @ (d:16,ERn) /@ (d:32,ERn)	2-27
2.7.4 ポストインクリメントレジスタ間接@ERn+ / プリデクリメントレジスタ間接@-ERn	2-28

2.7.5	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32.....	2-28
2.7.6	イミディエイト #xx:8/#xx:16/#xx:32.....	2-29
2.7.7	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)	2-29
2.7.8	メモリ間接 @@aa:8.....	2-29
2.7.9	実効アドレスの計算方法.....	2-30
2.8	処理状態.....	2-32
2.9	使用上の注意事項.....	2-33
2.9.1	TAS 命令使用上の注意事項.....	2-33
2.9.2	STM/LDM 命令使用上の注意事項.....	2-34
2.9.3	ビット操作命令.....	2-34
2.9.4	EPMOV 命令.....	2-35
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択.....	3-1
3.2	レジスタの説明.....	3-1
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-2
3.2.3	シリアルタイマコントロールレジスタ (STCR)	3-4
3.3	各動作モードの説明.....	3-5
3.3.1	モード1.....	3-5
3.3.2	モード2.....	3-5
3.3.3	モード3.....	3-5
3.3.4	端子機能.....	3-6
3.4	アドレスマップ.....	3-7
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-2
4.3	リセット.....	4-3
4.3.1	リセット例外処理.....	4-3
4.3.2	リセット直後の割り込み.....	4-4
4.3.3	リセット解除後の内蔵周辺機能.....	4-4
4.4	割り込み例外処理.....	4-4
4.5	トラップ命令例外処理.....	4-5
4.6	例外処理後のスタックの状態.....	4-5
4.7	使用上の注意事項.....	4-6
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1
5.2	入出力端子.....	5-2

5.3	レジスタの説明.....	5-3
5.3.1	インタラプトコントロールレジスタ A~C (ICRA~ICRC)	5-3
5.3.2	アドレスブレイクコントロールレジスタ (ABRKCR)	5-4
5.3.3	ブレイクアドレスレジスタ A~C (BARA~BARC)	5-4
5.3.4	IRQ センスコントロールレジスタ (ISCRH、ISCRL)	5-5
5.3.5	IRQ イネーブルレジスタ (IER)	5-5
5.3.6	IRQ ステータスレジスタ (ISR)	5-6
5.3.7	キーボードマトリクス割り込みレジスタ (KMIMRA、KMIMR)	5-6
5.4	割り込み要因.....	5-7
5.4.1	外部割り込み要因.....	5-7
5.4.2	内部割り込み要因.....	5-9
5.5	割り込み例外処理ベクタテーブル.....	5-9
5.6	割り込み制御モードと割り込み動作.....	5-12
5.6.1	割り込み制御モード 0.....	5-12
5.6.2	割り込み制御モード 1.....	5-14
5.6.3	割り込み例外処理シーケンス.....	5-16
5.6.4	割り込み応答時間.....	5-18
5.7	アドレスブレイク.....	5-19
5.7.1	特長.....	5-19
5.7.2	ブロック図.....	5-19
5.7.3	動作説明.....	5-19
5.7.4	使用上の注意事項.....	5-20
5.8	使用上の注意事項.....	5-22
5.8.1	割り込みの発生とディスエーブルとの競合.....	5-22
5.8.2	割り込みを禁止している命令.....	5-23
5.8.3	EEMOV 命令実行中の割り込み.....	5-23
5.8.4	IRQ ステータスレジスタ (ISR) について.....	5-23
6.	バスコントローラ (BSC)	6-1
6.1	特長.....	6-1
6.2	入出力端子.....	6-2
6.3	レジスタの説明.....	6-2
6.3.1	バスコントロールレジスタ (BCR)	6-3
6.3.2	ウェイトステートコントロールレジスタ (WSCR)	6-4
6.4	バス制御.....	6-5
6.4.1	バス仕様.....	6-5
6.4.2	アドバンストモード.....	6-6
6.4.3	ノーマルモード.....	6-6
6.4.4	I/O セレクト信号.....	6-6
6.5	基本バスインタフェース.....	6-7

6.5.1	データサイズとデータアライメント	6-7
6.5.2	有効ストロープ	6-9
6.5.3	基本動作タイミング	6-10
6.5.4	ウェイト制御	6-18
6.6	バーストROMインタフェース	6-20
6.6.1	基本動作タイミング	6-20
6.6.2	ウェイト制御	6-21
6.7	アイドルサイクル	6-22
7.	I/O ポート	7-1
7.1	概要	7-1
7.2	ポート1	7-6
7.2.1	ポート1 データディレクションレジスタ (P1DDR)	7-6
7.2.2	ポート1 データレジスタ (P1DR)	7-7
7.2.3	ポート1 プルアップ MOS コントロールレジスタ (P1PCR)	7-7
7.2.4	端子機能	7-7
7.2.5	ポート1 入力プルアップ MOS	7-8
7.3	ポート2	7-8
7.3.1	ポート2 データディレクションレジスタ (P2DDR)	7-8
7.3.2	ポート2 データレジスタ (P2DR)	7-9
7.3.3	ポート2 プルアップ MOS コントロールレジスタ (P2PCR)	7-9
7.3.4	端子機能	7-9
7.3.5	ポート2 入力プルアップ MOS	7-10
7.4	ポート3	7-11
7.4.1	ポート3 データディレクションレジスタ (P3DDR)	7-11
7.4.2	ポート3 データレジスタ (P3DR)	7-11
7.4.3	ポート3 プルアップ MOS コントロールレジスタ (P3PCR)	7-12
7.4.4	端子機能	7-12
7.4.5	ポート3 入力プルアップ MOS	7-12
7.5	ポート4	7-13
7.5.1	ポート4 データディレクションレジスタ (P4DDR)	7-13
7.5.2	ポート4 データレジスタ (P4DR)	7-13
7.5.3	端子機能	7-14
7.6	ポート5	7-16
7.6.1	ポート5 データディレクションレジスタ (P5DDR)	7-16
7.6.2	ポート5 データレジスタ (P5DR)	7-16
7.6.3	端子機能	7-16
7.7	ポート6	7-17
7.7.1	ポート6 データディレクションレジスタ (P6DDR)	7-17
7.7.2	ポート6 データレジスタ (P6DR)	7-18

7.7.3	ポート6プルアップMOSコントロールレジスタ (KMPCR)	7-18
7.7.4	システムコントロールレジスタ2 (SYSCR2)	7-19
7.7.5	端子機能	7-19
7.7.6	ポート6入力プルアップMOS	7-21
7.8	ポート7	7-22
7.8.1	ポート7入力データレジスタ (P7PIN)	7-22
7.8.2	端子機能	7-22
7.9	ポート8	7-23
7.9.1	ポート8データディレクションレジスタ (P8DDR)	7-23
7.9.2	ポート8データレジスタ (P8DR)	7-24
7.9.3	端子機能	7-24
7.10	ポート9	7-26
7.10.1	ポート9データディレクションレジスタ (P9DDR)	7-26
7.10.2	ポート9データレジスタ (P9DR)	7-27
7.10.3	端子機能	7-27
7.11	ポートA [H8S/2144Bのみ]	7-29
7.11.1	ポートAデータディレクションレジスタ (PADDR)	7-29
7.11.2	ポートA出力データレジスタ (PAODR)	7-29
7.11.3	ポートA入力データレジスタ (PAPIN)	7-30
7.11.4	端子機能	7-30
7.11.5	ポートA入力プルアップMOS	7-33
7.12	ポートB [H8S/2144Bのみ]	7-33
7.12.1	ポートBデータディレクションレジスタ (PBDDR)	7-33
7.12.2	ポートB出力データレジスタ (PBODR)	7-34
7.12.3	ポートB入力データレジスタ (PBPIN)	7-34
7.12.4	端子機能	7-34
7.12.5	ポートB入力プルアップMOS	7-35
8.	14ビットPWMタイマ (PWMX)	8-1
8.1	特長	8-1
8.2	入出力端子	8-2
8.3	レジスタの説明	8-3
8.3.1	PWM (D/A) カウンタH、L (DACNTH、DACNTL)	8-3
8.3.2	PWM (D/A) データレジスタA、B (DADRA、DADRB)	8-4
8.3.3	PWM (D/A) コントロールレジスタ (DACR)	8-6
8.4	バスマスタとのインタフェース	8-7
8.5	動作説明	8-8
8.6	使用上の注意事項	8-14
8.6.1	モジュールストップモードの設定	8-14

9.	16ビットフリーランニングタイマ (FRT)	9-1
9.1	特長	9-1
9.2	入出力端子	9-3
9.3	レジスタの説明	9-3
9.3.1	フリーランニングカウンタ (FRC)	9-4
9.3.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	9-4
9.3.3	インプットキャプチャレジスタ A~D (ICRA~ICRD)	9-4
9.3.4	アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)	9-5
9.3.5	アウトプットコンペアレジスタ DM (OCRDM)	9-5
9.3.6	タイマインタラプトイネーブルレジスタ (TIER)	9-5
9.3.7	タイマコントロール/ステータスレジスタ (TCSR)	9-7
9.3.8	タイマコントロールレジスタ (TCR)	9-9
9.3.9	タイマアウトプットコンペアコントロールレジスタ (TOCR)	9-10
9.4	動作説明	9-11
9.4.1	パルス出力	9-11
9.5	動作タイミング	9-12
9.5.1	FRC のカウントタイミング	9-12
9.5.2	アウトプットコンペア出力タイミング	9-13
9.5.3	FRC のクリアタイミング	9-13
9.5.4	インプットキャプチャ入力タイミング	9-14
9.5.5	バッファ動作時のインプットキャプチャ入力タイミング	9-15
9.5.6	インプットキャプチャ時のフラグセットタイミング	9-16
9.5.7	アウトプットコンペア時のフラグセットタイミング	9-16
9.5.8	オーバフロー時のフラグセットタイミング	9-17
9.5.9	自動加算タイミング	9-17
9.5.10	マスク信号生成タイミング	9-18
9.6	割り込み要因	9-19
9.7	使用上の注意事項	9-19
9.7.1	FRC のライトとクリアの競合	9-19
9.7.2	FRC のライトとカウントアップの競合	9-20
9.7.3	OCR のライトとコンペアマッチの競合	9-21
9.7.4	内部クロックの切り替えとカウンタの動作	9-23
9.7.5	モジュールストップモードの設定	9-24
10.	8ビットタイマ (TMR)	10-1
10.1	特長	10-1
10.2	入出力端子	10-4
10.3	レジスタの説明	10-4
10.3.1	タイマカウンタ (TCNT)	10-5
10.3.2	タイムコンスタントレジスタ A (TCORA)	10-5

10.3.3	タイムコンスタントレジスタ B (TCORB)	10-5
10.3.4	タイマコントロールレジスタ (TCR)	10-6
10.3.5	タイマコントロール/ステータスレジスタ (TCSR)	10-8
10.3.6	タイムインプットセレクトレジスタ (TISR)	10-11
10.4	動作説明	10-11
10.4.1	パルス出力	10-11
10.5	動作タイミング	10-12
10.5.1	TCNT のカウントタイミング	10-12
10.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	10-12
10.5.3	コンペアマッチ時のタイマ出力タイミング	10-13
10.5.4	コンペアマッチによるカウンタクリアタイミング	10-13
10.5.5	TCNT の外部リセットタイミング	10-14
10.5.6	オーバフローフラグ (OVF) のセットタイミング	10-14
10.6	カスケード接続時の動作	10-15
10.6.1	16 ビットカウントモード	10-15
10.6.2	コンペアマッチカウントモード	10-15
10.7	割り込み要因	10-16
10.8	使用上の注意事項	10-17
10.8.1	TCNT のライトとカウンタクリアの競合	10-17
10.8.2	TCNT のライトとカウントアップの競合	10-18
10.8.3	TCOR のライトとコンペアマッチの競合	10-19
10.8.4	コンペアマッチ A、B の競合	10-19
10.8.5	内部クロックの切り替えと TCNT の動作	10-20
10.8.6	カスケード接続時のモード設定	10-21
10.8.7	モジュールストップモードの設定	10-21
11.	ウォッチドッグタイマ (WDT)	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-3
11.3.1	タイマカウンタ (TCNT)	11-3
11.3.2	タイマコントロール/ステータスレジスタ (TCSR)	11-3
11.4	動作説明	11-6
11.4.1	ウォッチドッグタイマモード	11-6
11.4.2	インターバルタイマモード	11-7
11.4.3	$\overline{\text{RESO}}$ 信号出力タイミング (H8S/2144B のみ)	11-8
11.5	割り込み要因	11-8
11.6	使用上の注意事項	11-9
11.6.1	レジスタアクセス時の注意事項	11-9
11.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	11-10

11.6.3	CKS2~CKS0 ビットの書き換え.....	11-10
11.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....	11-10
11.6.5	RESO 信号によるシステムのリセット (H8S/2144B のみ)	11-11
11.6.6	高速モード、サブアクティブモード、ウォッチモード間遷移時の カウンタ値.....	11-11
12.	シリアルコミュニケーションインタフェース (SCI、IrDA)	12-1
12.1	特長.....	12-1
12.2	入出力端子.....	12-3
12.3	レジスタの説明.....	12-3
12.3.1	レシーブシフトレジスタ (RSR)	12-4
12.3.2	レシーブデータレジスタ (RDR)	12-4
12.3.3	トランスミットデータレジスタ (TDR)	12-4
12.3.4	トランスミットシフトレジスタ (TSR)	12-4
12.3.5	シリアルモードレジスタ (SMR)	12-5
12.3.6	シリアルコントロールレジスタ (SCR)	12-6
12.3.7	シリアルステータスレジスタ (SSR)	12-7
12.3.8	シリアルインタフェースモードレジスタ (SCMR)	12-9
12.3.9	ビットレートレジスタ (BRR)	12-10
12.3.10	キーボードコンパレータコントロールレジスタ (KBCOMP)	12-16
12.4	調歩同期式モードの動作.....	12-17
12.4.1	送受信フォーマット.....	12-18
12.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン.....	12-19
12.4.3	クロック	12-20
12.4.4	SCI の初期化 (調歩同期式)	12-21
12.4.5	データ送信 (調歩同期式)	12-22
12.4.6	シリアルデータ受信 (調歩同期式)	12-24
12.5	マルチプロセッサ通信機能.....	12-27
12.5.1	マルチプロセッサシリアルデータ送信	12-28
12.5.2	マルチプロセッサシリアルデータ受信	12-29
12.6	クロック同期式モードの動作.....	12-32
12.6.1	クロック	12-32
12.6.2	SCI の初期化 (クロック同期式)	12-33
12.6.3	シリアルデータ送信 (クロック同期式)	12-34
12.6.4	シリアルデータ受信 (クロック同期式)	12-36
12.6.5	シリアルデータ送受信同時動作 (クロック同期式)	12-38
12.7	IrDA動作.....	12-40
12.8	割り込み要因.....	12-43
12.9	使用上の注意事項.....	12-44
12.9.1	モジュールストップモードの設定.....	12-44
12.9.2	ブレークの検出と処理.....	12-44

12.9.3	マーク状態とブレークの送り出し.....	12-44
12.9.4	受信エラーフラグと送信動作（クロック同期式モードのみ）.....	12-44
12.9.5	TDR へのライトと TDRE フラグの関係.....	12-44
12.9.6	モード遷移時の動作.....	12-45
12.9.7	SCK 端子からポート端子への切り替え.....	12-48
13.	D/A 変換器.....	13-1
13.1	特長.....	13-1
13.2	入出力端子.....	13-2
13.3	レジスタの説明.....	13-2
13.3.1	D/A データレジスタ 0、1（DADR0、DADR1）.....	13-2
13.3.2	D/A コントロールレジスタ（DACR）.....	13-2
13.4	動作説明.....	13-3
13.5	使用上の注意事項.....	13-4
13.5.1	モジュールストップモードの設定.....	13-4
14.	A/D 変換器.....	14-1
14.1	特長.....	14-1
14.2	入出力端子.....	14-3
14.3	レジスタの説明.....	14-3
14.3.1	A/D データレジスタ A～D（ADDRA～ADDRD）.....	14-4
14.3.2	A/D コントロール/ステータスレジスタ（ADCSR）.....	14-4
14.3.3	A/D コントロールレジスタ（ADCR）.....	14-5
14.3.4	キーボードコンパレータコントロールレジスタ（KBCOMP）.....	14-6
14.4	動作説明.....	14-7
14.4.1	シングルモード.....	14-7
14.4.2	スキャンモード.....	14-7
14.4.3	入力サンプリングと A/D 変換時間.....	14-8
14.4.4	外部トリガ入力タイミング.....	14-9
14.5	割り込み要因.....	14-10
14.6	A/D変換精度の定義.....	14-10
14.7	使用上の注意事項.....	14-12
14.7.1	許容信号源インピーダンスについて.....	14-12
14.7.2	絶対精度への影響.....	14-12
14.7.3	アナログ電源端子他の設定範囲.....	14-12
14.7.4	ボード設計上の注意.....	14-13
14.7.5	ノイズ対策上の注意.....	14-13
14.7.6	モジュールストップモードの設定.....	14-14

15. RAM.....	15-1
16. ROM.....	16-1
16.1 特長.....	16-1
16.2 モード遷移図.....	16-3
16.3 ブロック構成.....	16-6
16.3.1 ブロック構成.....	16-6
16.4 入出力端子.....	16-7
16.5 レジスタの説明.....	16-7
16.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1).....	16-8
16.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2).....	16-9
16.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2).....	16-10
16.6 動作モード.....	16-11
16.7 オンボードプログラミング.....	16-11
16.7.1 ブートモード.....	16-12
16.7.2 ユーザプログラムモード.....	16-16
16.8 フラッシュメモリの書き込み／消去.....	16-17
16.8.1 プログラム／プログラムベリファイ.....	16-17
16.8.2 イレース／イレースベリファイ.....	16-19
16.9 書き込み／消去プロテクト.....	16-21
16.9.1 ハードウェアプロテクト.....	16-21
16.9.2 ソフトウェアプロテクト.....	16-21
16.9.3 エラープロテクト.....	16-21
16.10 フラッシュメモリの書き込み／消去時の割り込み.....	16-22
16.11 ライタモード.....	16-22
16.12 使用上の注意事項.....	16-23
17. クロック発振器.....	17-1
17.1 発振器.....	17-2
17.1.1 水晶発振子を接続する方法.....	17-2
17.1.2 外部クロックを入力する方法.....	17-3
17.2 デューティ補正回路.....	17-5
17.3 中速クロック分周器.....	17-5
17.4 バスマスタクロック選択回路.....	17-5
17.5 サブクロック入力回路.....	17-6
17.6 波形成形回路.....	17-6
17.7 クロック選択回路.....	17-7
17.8 使用上の注意事項.....	17-7
17.8.1 発振子に関する注意事項.....	17-7
17.8.2 ボード設計上の注意事項.....	17-7

18. 低消費電力状態	18-1
18.1 レジスタの説明.....	18-2
18.1.1 スタンバイコントロールレジスタ (SBYCR)	18-2
18.1.2 ローパワーコントロールレジスタ (LPWRCR)	18-4
18.1.3 モジュールストップコントロールレジスタ H、L (MSTPCRH、MSTPCRL)	18-5
18.2 モード間遷移とLSIの状態.....	18-5
18.3 中速モード.....	18-8
18.4 スリープモード.....	18-9
18.5 ソフトウェアスタンバイモード.....	18-9
18.6 ハードウェアスタンバイモード.....	18-11
18.7 ウォッチモード.....	18-12
18.8 サブスリープモード.....	18-12
18.9 サブアクティブモード.....	18-13
18.10 モジュールストップモード.....	18-13
18.11 直接遷移.....	18-14
18.12 使用上の注意事項.....	18-14
18.12.1 I/O ポートの状態.....	18-14
18.12.2 発振安定待機中の消費電流.....	18-14
19. レジスタ一覧	19-1
19.1 レジスタアドレス一覧 (アドレス順)	19-2
19.2 レジスタビット一覧.....	19-6
19.3 各動作モードにおけるレジスタの状態.....	19-10
19.4 レジスタ選択条件.....	19-14
20. 電気的特性	20-1
20.1 H8S/2144Bの電気的特性.....	20-1
20.1.1 絶対最大定格.....	20-1
20.1.2 DC 特性.....	20-2
20.1.3 AC 特性.....	20-9
20.1.4 A/D 変換特性.....	20-25
20.1.5 D/A 変換特性.....	20-27
20.1.6 フラッシュメモリ特性.....	20-27
20.1.7 使用上の注意事項.....	20-29
20.2 H8S/2134Bの電気的特性.....	20-30
20.2.1 絶対最大定格.....	20-30
20.2.2 DC 特性.....	20-31
20.2.3 AC 特性.....	20-36
20.2.4 A/D 変換特性.....	20-49
20.2.5 D/A 変換特性.....	20-51

20.2.6	フラッシュメモリ特性.....	20-51
20.2.7	使用上の注意事項.....	20-53
付録	付録-1
A.	各処理状態におけるI/Oポートの状態.....	付録-1
B.	型名一覧.....	付録-4
C.	外形寸法図.....	付録-5
索引	索引-1

図目次

1. 概要	
図1.1 H8S/2144B内部ブロック図	1-3
図1.2 H8S/2134B内部ブロック図	1-4
図1.3 H8S/2144Bピン配置図	1-5
図1.4 H8S/2134Bピン配置図	1-6
2. CPU	
図2.1 例外処理ベクタテーブル（ノーマルモード）	2-5
図2.2 ノーマルモードのスタック構造	2-5
図2.3 例外処理ベクタテーブル（アドバンストモード）	2-6
図2.4 アドバンストモードのスタック構造	2-7
図2.5 アドレス空間	2-8
図2.6 CPU内部レジスタ構成	2-9
図2.7 汎用レジスタの使用方法	2-10
図2.8 スタックの状態	2-10
図2.9 汎用レジスタのデータ形式（1）	2-13
図2.9 汎用レジスタのデータ形式（2）	2-14
図2.10 メモリ上でのデータ形式	2-15
図2.11 命令フォーマットの例	2-26
図2.12 メモリ間接による分岐アドレスの指定	2-30
図2.13 状態遷移図	2-33
3. MCU 動作モード	
図3.1 アドレスマップ（1）	3-7
図3.2 アドレスマップ（2）	3-8
4. 例外処理	
図4.1 リセットシーケンス（モード3）	4-3
図4.2 例外処理終了後のスタックの状態	4-5
図4.3 SPを奇数に設定したときの動作	4-6
5. 割り込みコントローラ	
図5.1 割り込みコントローラのブロック図	5-2
図5.2 IRQ7、IRQ6割り込みとKIN15～KIN0割り込み、KMIMR、KMIMRAとの関係	5-7
図5.3 IRQ7～IRQ0割り込みのブロック図	5-8
図5.4 割り込み制御モード0の割り込み受け付けまでのフロー	5-13
図5.5 割り込み制御モード1の状態遷移	5-14
図5.6 割り込み制御モード1の割り込み受け付けまでのフロー	5-16
図5.7 割り込み例外処理	5-17
図5.8 アドレスブレイクのブロック図	5-19
図5.9 アドレスブレイクタイミング例	5-21
図5.10 割り込みの発生とディスエーブルの競合	5-22

6.	バスコントローラ (BSC)	
図6.1	バスコントローラのブロック図	6-1
図6.2	\overline{IOS} 信号出力タイミング	6-6
図6.3	アクセスサイズとデータアライメント制御 (8ビットアクセス空間)	6-8
図6.4	アクセスサイズとデータアライメント制御 (16ビットアクセス空間)	6-8
図6.5	8ビット2ステートアクセス空間のバスタイミング	6-10
図6.6	8ビット3ステートアクセス空間のバスタイミング	6-11
図6.7	16ビット2ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-12
図6.8	16ビット2ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-13
図6.9	16ビット2ステートアクセス空間のバスタイミング (ワードアクセス)	6-14
図6.10	16ビット3ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-15
図6.11	16ビット3ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-16
図6.12	16ビット3ステートアクセス空間のバスタイミング (ワードアクセス)	6-17
図6.13	ウェイトステート挿入タイミング例 (端子ウェイトモード)	6-19
図6.14	バーストROM空間のアクセスタイミング例 (AST=BRSTS1=1の場合)	6-20
図6.15	バーストROM空間のアクセスタイミング例 (AST=BRSTS1=0の場合)	6-21
図6.16	アイドルサイクルの動作例	6-22
8.	14ビットPWMタイマ (PWMX)	
図8.1	PWM (D/A) のブロック図	8-2
図8.2	PWM (D/A) の動作	8-8
図8.3	出力波形 (OS=0, DADRはTLに対応)	8-10
図8.4	出力波形 (OS=1, DADRはTHに対応)	8-11
図8.5	CFS=1のときのD/Aデータレジスタの構成	8-12
図8.6	DADR=H'0207のときの出力波形 (OS=1)	8-12
9.	16ビットフリーランニングタイマ (FRT)	
図9.1	16ビットフリーランニングタイマのブロック図	9-2
図9.2	パルス出力例	9-11
図9.3	内部クロック動作時のカウントタイミング	9-12
図9.4	外部クロック動作時のカウントタイミング	9-12
図9.5	アウトプットコンペアA出力タイミング	9-13
図9.6	コンペアマッチA信号によるFRCのクリアタイミング	9-13
図9.7	インプットキャプチャ入力信号タイミング (通常時)	9-14
図9.8	インプットキャプチャ入力信号タイミング (ICRA~ICRDのリード時)	9-14
図9.9	バッファ動作タイミング (インプットキャプチャ)	9-15
図9.10	バッファ動作タイミング (BUFEA=1)	9-15
図9.11	ICFA~ICFDフラグのセットタイミング	9-16
図9.12	OCFA, OCFBフラグのセットタイミング	9-16
図9.13	OVFフラグのセットタイミング	9-17
図9.14	OCRAの自動加算タイミング	9-17
図9.15	インプットキャプチャマスク信号のセットタイミング	9-18
図9.16	インプットキャプチャマスク信号のクリアタイミング	9-18
図9.17	FRCのライトとクリアの競合	9-19

図9.18	FRCのライトとカウントアップの競合	9-20
図9.19	OCRのライトとコンペアマッチの競合（自動加算機能を使用していない場合）	9-21
図9.20	OCRAR/OCRAFのライトとコンペアマッチの競合 （自動加算機能を使用している場合）	9-22
10. 8ビットタイマ（TMR）		
図10.1	8ビットタイマ（TMR_0、TMR_1）のブロック図	10-2
図10.2	8ビットタイマ（TMR_Y）のブロック図	10-3
図10.3	パルス出力例	10-11
図10.4	内部クロック動作時のカウントタイミング	10-12
図10.5	外部クロック動作時のカウントタイミング（両エッジの場合）	10-12
図10.6	コンペアマッチ時のCMFフラグのセットタイミング	10-13
図10.7	コンペアマッチA信号によるトグル出力のタイマ出力タイミング	10-13
図10.8	コンペアマッチによるカウンタクリアタイミング	10-13
図10.9	外部リセット入力によるクリアタイミング	10-14
図10.10	OVFフラグのセットタイミング	10-14
図10.11	TCNTのライトとクリアの競合	10-17
図10.12	TCNTのライトとカウントアップの競合	10-18
図10.13	TCORのライトとコンペアマッチの競合	10-19
11. ウォッチドッグタイマ（WDT）		
図11.1	WDTのブロック図	11-2
図11.2	ウォッチドッグタイマモード時（RST/NMI=1）の動作	11-6
図11.3	インターバルタイマモード時の動作	11-7
図11.4	OVFのセットタイミング	11-7
図11.5	RESO信号の出力タイミング	11-8
図11.6	TCNT、TCSRへのライト（WDT_0の例）	11-9
図11.7	TCNTのライトとカウントアップの競合	11-10
図11.8	RESO信号によるシステムのリセット回路例	11-11
12. シリアルコミュニケーションインタフェース（SCI、IrDA）		
図12.1	SCIのブロック図	12-2
図12.2	調歩同期式通信のデータフォーマット （8ビットデータ/パリティあり/2ストップビットの例）	12-17
図12.3	調歩同期式モードの受信データサンプリングタイミング	12-19
図12.4	出力クロックと送信データの位相関係（調歩同期式モード）	12-20
図12.5	SCIの初期化フローチャートの例	12-21
図12.6	調歩同期式モードの送信時の動作例 （8ビットデータ/パリティあり/1ストップビットの例）	12-22
図12.7	シリアル送信のフローチャートの例	12-23
図12.8	SCIの受信時の動作例（8ビットデータ/パリティあり/1ストップビットの例）	12-24
図12.9	シリアル受信データフローチャートの例（1）	12-25
図12.9	シリアル受信データフローチャートの例（2）	12-26
図12.10	マルチプロセッサフォーマットを使用した通信例 （受信局AへのデータH'AAの送信の例）	12-27
図12.11	マルチプロセッサシリアル送信のフローチャートの例	12-28
図12.12	SCIの受信時の動作例 （8ビットデータ/マルチプロセッサビットあり/1ストップビットの例）	12-29

図12.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	12-30
図12.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	12-31
図12.14	クロック同期式通信のデータフォーマット (LSBファーストの場合)	12-32
図12.15	SCIの初期化フローチャートの例	12-33
図12.16	クロック同期式モードの送信時の動作例	12-34
図12.17	シリアル送信のフローチャートの例	12-35
図12.18	SCIの受信時の動作例	12-36
図12.19	シリアルデータ受信フローチャートの例	12-37
図12.20	シリアル送受信同時動作のフローチャートの例	12-39
図12.21	IrDAブロック図	12-40
図12.22	IrDA送信／受信動作	12-41
図12.23	送信時のモード遷移フローチャートの例	12-46
図12.24	調歩同期式モード送信時 (内部クロック) の端子状態	12-46
図12.25	クロック同期式モード送信時 (内部クロック) の端子状態	12-47
図12.26	受信時のモード遷移フローチャートの例	12-47
図12.27	SCK端子からポート端子へ切り替える時の動作	12-48
図12.28	SCK端子からポート端子へ切り替え時のLow出力の回避例	12-48
13. D/A 変換器		
図13.1	D/A変換器のブロック図	13-1
図13.2	D/A変換器の動作例	13-4
14. A/D 変換器		
図14.1	A/D変換器のブロック図	14-2
図14.2	A/D変換器の動作例 (スキャンモード AN0~AN2の3チャンネル選択時)	14-8
図14.3	A/D変換タイミング	14-9
図14.4	外部トリガ入力タイミング	14-10
図14.5	A/D変換精度の定義	14-11
図14.6	A/D変換精度の定義	14-11
図14.7	アナログ入力回路の例	14-12
図14.8	アナログ入力保護回路の例	14-14
図14.9	アナログ入力端子等価回路	14-14
16. ROM		
図16.1	フラッシュメモリのブロック図	16-2
図16.2	フラッシュメモリに関する状態遷移	16-3
図16.3	ブートモード	16-4
図16.4	ユーザプログラムモード (例)	16-5
図16.5	フラッシュメモリのブロック構成	16-6
図16.6	ブートモード時の内蔵RAMエリア	16-15
図16.7	IDコードエリア	16-15
図16.8	ユーザプログラムモードにおける書き込み／消去例	16-16
図16.9	プログラム／プログラムベリファイフロー	16-18
図16.10	イレース／イレースベリファイフロー	16-20
図16.11	ライターモード時のメモリマップ	16-22
17. クロック発振器		
図17.1	クロック発振器のブロック図	17-1
図17.2	水晶発振子の接続例	17-2

図17.3	水晶発振子の等価回路	17-2
図17.4	外部クロックの接続例	17-3
図17.5	外部クロック入力タイミング	17-4
図17.6	外部クロック出力安定遅延時間タイミング	17-5
図17.7	サブクロック入力タイミング	17-6
図17.8	発振回路部のボード設計に関する注意事項	17-7
18. 低消費電力状態		
図18.1	モード遷移図	18-6
図18.2	中速モードのタイミング	18-8
図18.3	ソフトウェアスタンバイモードの応用例	18-10
図18.4	ハードウェアスタンバイモードのタイミング	18-11
20. 電気的特性		
図20.1	ダーリントントランジスタ駆動回路例	20-8
図20.2	LED駆動回路例	20-8
図20.3	出力負荷回路	20-9
図20.4	システムクロックタイミング	20-10
図20.5	発振安定時間タイミング	20-11
図20.6	発振安定時間タイミング (ソフトウェアスタンバイからの復帰)	20-11
図20.7	リセット入力タイミング	20-13
図20.8	割り込み入力タイミング	20-13
図20.9	基本バスタイミング/2ステートアクセス	20-16
図20.10	基本バスタイミング/3ステートアクセス	20-17
図20.11	基本バスタイミング/3ステートアクセス1ウェイト	20-18
図20.12	バーストROMアクセスタイミング/2ステートアクセス	20-19
図20.13	バーストROMアクセスタイミング/1ステートアクセス	20-19
図20.14	I/Oポート入出力タイミング	20-21
図20.15	FRT入出力タイミング	20-21
図20.16	FRTクロック入力タイミング	20-22
図20.17	8ビットタイマ出力タイミング	20-22
図20.18	8ビットタイマクロック入力タイミング	20-22
図20.19	8ビットタイマリセット入力タイミング	20-22
図20.20	PWM、PWMX出力タイミング	20-23
図20.21	SCKクロック入力タイミング	20-23
図20.22	SCI入出力タイミング/クロック同期式モード	20-23
図20.23	A/D変換器外部トリガ入力タイミング	20-23
図20.24	WDT出力タイミング (RESO)	20-24
図20.25	テスト測定条件	20-24
図20.26	VCLコンデンサ接続方法	20-29
図20.27	ダーリントントランジスタ駆動回路例	20-35
図20.28	LED駆動回路例	20-35
図20.29	出力負荷回路	20-36
図20.30	システムクロックタイミング	20-37
図20.31	発振安定時間タイミング	20-37
図20.32	発振安定時間タイミング (ソフトウェアスタンバイからの復帰)	20-37
図20.33	リセット入力タイミング	20-39
図20.34	割り込み入力タイミング	20-39

図20.35	基本バスタイミング/2ステートアクセス.....	20-41
図20.36	基本バスタイミング/3ステートアクセス.....	20-42
図20.37	基本バスタイミング/3ステートアクセス1ウェイト.....	20-43
図20.38	バーストROMアクセスタイミング/2ステートアクセス.....	20-44
図20.39	バーストROMアクセスタイミング/1ステートアクセス.....	20-44
図20.40	I/Oポート入出力タイミング.....	20-46
図20.41	FRT入出力タイミング.....	20-46
図20.42	FRTクロック入力タイミング.....	20-46
図20.43	8ビットタイマ出力タイミング.....	20-47
図20.44	8ビットタイマクロック入力タイミング.....	20-47
図20.45	8ビットタイマリセット入力タイミング.....	20-47
図20.46	PWM、PWMX出力タイミング.....	20-47
図20.47	SCKクロック入力タイミング.....	20-48
図20.48	SCI入出力タイミング/クロック同期式モード.....	20-48
図20.49	A/D変換器外部トリガ入力タイミング.....	20-48
図20.50	テスト測定条件.....	20-48
図20.51	VCLコンデンサ接続方法.....	20-53

付録

図C.1	FP-100Bの外形寸法図.....	付録-5
図C.2	TFP-100Bの外形寸法図.....	付録-6
図C.3	FP-80Aの外形寸法図.....	付録-7
図C.4	TFP-80Cの外形寸法図.....	付録-8

表目次

1. 概要	
表1.1 H8S/2144B動作モード別端子機能一覧	1-7
表1.2 H8S/2134B動作モード別端子機能一覧	1-10
表1.3 端子機能	1-13
2. CPU	
表2.1 命令の分類	2-16
表2.2 オペレーションの記号	2-17
表2.3 データ転送命令	2-18
表2.4 算術演算命令 (1)	2-19
表2.4 算術演算命令 (2)	2-20
表2.5 論理演算命令	2-21
表2.6 シフト命令	2-21
表2.7 ビット操作命令 (1)	2-22
表2.7 ビット操作命令 (2)	2-23
表2.8 分岐命令	2-24
表2.9 システム制御命令	2-25
表2.10 ブロック転送命令	2-25
表2.11 アドレッシングモード一覧表	2-27
表2.12 絶対アドレスのアクセス範囲	2-28
表2.13 実行アドレスの計算方法 (1)	2-30
表2.13 実行アドレスの計算方法 (2)	2-31
3. MCU 動作モード	
表3.1 MCU動作モードの選択	3-1
表3.2 各動作モードにおける端子機能	3-6
4. 例外処理	
表4.1 例外処理の種類と優先度	4-1
表4.2 例外処理ベクタテーブル	4-2
表4.3 トラップ命令例外処理後のCCRの状態	4-5
5. 割り込みコントローラ	
表5.1 端子構成	5-2
表5.2 各割り込み要因とICRの対応	5-3
表5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-10
表5.4 割り込み制御モード	5-12
表5.5 割り込み応答時間	5-18
表5.6 割り込み例外処理の実行状態のステート数	5-18
6. バスコントローラ (BSC)	
表6.1 H8S/2144Bの端子構成	6-2
表6.2 H8S/2134Bの端子構成	6-2

表6.3	基本拡張エリア／基本バスインタフェースのバス仕様	6-5
表6.4	$\overline{\text{IOS}}$ 信号を出力するアドレスの範囲	6-7
表6.5	使用するデータバスと有効ストロープ	6-9
表6.6	アイドルサイクルでの端子状態	6-22
7. I/Oポート		
表7.1	H8S/2144Bポートの機能一覧	7-2
表7.2	H8S/2134Bポートの機能一覧	7-4
表7.3	ポート1入力プルアップMOSの状態	7-8
表7.4	ポート2入力プルアップMOSの状態	7-10
表7.5	ポート3入力プルアップMOSの状態	7-12
表7.6	ポート6入力プルアップMOSの状態	7-21
表7.7	ポートA入力プルアップMOSの状態	7-33
表7.8	ポートB入力プルアップMOSの状態	7-35
8. 14ビットPWMタイマ (PWMX)		
表8.1	端子構成	8-2
表8.2	16ビットビットレジスタのリード／ライト別アクセス方式	8-7
表8.3	設定値と動作内容 (φ:10MHz時の例)	8-9
表8.4	基本パルスに対する付加パルスの位置 (CFS=1の場合)	8-13
9. 16ビットフリーランニングタイマ (FRT)		
表9.1	端子構成	9-3
表9.2	FRT割り込み要因	9-19
表9.3	内部クロックの切り替えとFRC動作	9-23
10. 8ビットタイマ (TMR)		
表10.1	端子構成	10-4
表10.2	TCNTに入力するクロックとカウント条件	10-7
表10.3	8ビットタイマTMR_0、TMR_1、TMR_Yの割り込み要因	10-16
表10.4	タイマ出力の優先順位	10-19
表10.5	内部クロックの切り替えとTCNTの動作	10-20
11. ウォッチドッグタイマ (WDT)		
表11.1	端子構成	11-3
表11.2	WDTの割り込み要因	11-8
12. シリアルコミュニケーションインタフェース (SCI、IrDA)		
表12.1	端子構成	12-3
表12.2	BRRの設定値NとビットレートBの関係	12-10
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (1)	12-11
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (2)	12-12
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (3)	12-13
表12.4	各動作周波数における最大ビットレート (調歩同期式モード)	12-14
表12.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	12-14
表12.6	ビットレートに対するBRRの設定例〔クロック同期式モード〕	12-15
表12.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	12-15
表12.8	シリアル送信／受信フォーマット (調歩同期式モード)	12-18
表12.9	SSRのステータスフラグの状態と受信データの処理	12-25

表12.10	IrCKS2~IrCKS0ビットの設定	12-42
表12.11	SCI割り込み要因.....	12-43
13.	D/A 変換器	
表13.1	端子構成.....	13-2
表13.2	D/A変換の制御.....	13-3
14.	A/D 変換器	
表14.1	端子構成.....	14-3
表14.2	アナログ入力チャネルとADDRの対応.....	14-4
表14.3	A/D変換時間（シングルモード）.....	14-9
16.	ROM	
表16.1	ブートモードとユーザプログラムモードの相違点.....	16-3
表16.2	端子構成.....	16-7
表16.3	動作モードとROM.....	16-11
表16.4	オンボードプログラミングモードの設定方法.....	16-11
表16.5	ブートモードの動作.....	16-14
表16.6	ビットレート自動合わせ込みが可能なシステムクロック周波数.....	16-14
17.	クロック発振器	
表17.1	ダンピング抵抗値.....	17-2
表17.2	水晶発振子の特性.....	17-2
表17.3	外部クロック入力条件.....	17-3
表17.4	外部クロック出力安定遅延時間.....	17-4
表17.5	サブクロック入力条件.....	17-6
18.	低消費電力状態	
表18.1	動作周波数と待機時間.....	18-3
表18.2	各動作モードでのLSIの内部状態.....	18-7
20.	電気的特性	
表20.1	絶対最大定格.....	20-1
表20.2	DC特性（1）.....	20-2
表20.2	DC特性（2）.....	20-4
表20.2	DC特性（3）.....	20-5
表20.2	DC特性（4）.....	20-7
表20.3	出力許容電流値.....	20-8
表20.4	バス駆動特性.....	20-9
表20.5	クロックタイミング.....	20-10
表20.6	制御信号タイミング.....	20-12
表20.7	バスタイミング（1）（ノーマルモード使用時）.....	20-14
表20.7	バスタイミング（2）（アドバンスモード使用時）.....	20-15
表20.8	内蔵周辺モジュールタイミング.....	20-20
表20.9	A/D変換特性（AN7~AN0入力：134/266ステート変換）.....	20-25
表20.10	A/D変換特性（CIN15~CIN0入力：134/266ステート変換）.....	20-26
表20.11	D/A変換特性.....	20-27
表20.12	フラッシュメモリ特性（書き込み/消去時の動作範囲）.....	20-27
表20.13	絶対最大定格.....	20-30

表20.14	DC特性 (1)	20-31
表20.14	DC特性 (2)	20-32
表20.14	DC特性 (3)	20-33
表20.14	DC特性 (4)	20-34
表20.15	出力許容電流値	20-35
表20.16	クロックタイミング	20-36
表20.17	制御信号タイミング	20-38
表20.18	バスタイミング	20-40
表20.19	内蔵周辺モジュールタイミング	20-45
表20.20	A/D変換特性 (AN7~AN0入力：134/266ステート変換)	20-49
表20.21	A/D変換特性 (CIN7~CIN0入力：134/266ステート変換)	20-50
表20.22	D/A変換特性	20-51
表20.23	フラッシュメモリ特性 (書き込み/消去時の動作範囲)	20-51

付録

表A.1	各処理状態におけるI/Oポートの状態	付録-1
------	--------------------	-------	------

1. 概要

1.1 特長

- 16ビット高速H8S/2000 CPU
H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：65種類
- 豊富な周辺機能
14ビットPWMタイマ (PWMX)
16ビットフリーランニングタイマ (FRT)
8ビットタイマ (TMR)
ウォッチドッグタイマ (WDT)
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI、IrDA)
8ビットD/A変換器
10ビットA/D変換器
クロック発振器

1. 概要

- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2144B	128K バイト	4K バイト	
	HD64F2134B	128K バイト	4K バイト	

- 汎用入出力ポート

入出力ポート：74本（H8S/2144B）、58本（H8S/2134B）

入力ポート：8本

- 各種低消費電力モードをサポート

- 小型パッケージ

製品	パッケージ	コード	ボディサイズ	ピンピッチ
H8S/2144B	QFP-100B	FP-100B	16.0×16.0 mm	0.5 mm
	TQFP-100B	TFP-100B		
H8S/2134B	QFP-80A	FP-80A	17.2×17.2 mm	0.65 mm
	TQFP-80C	TFP-80C	14.0×14.0 mm	0.5 mm

1.2 内部ブロック図

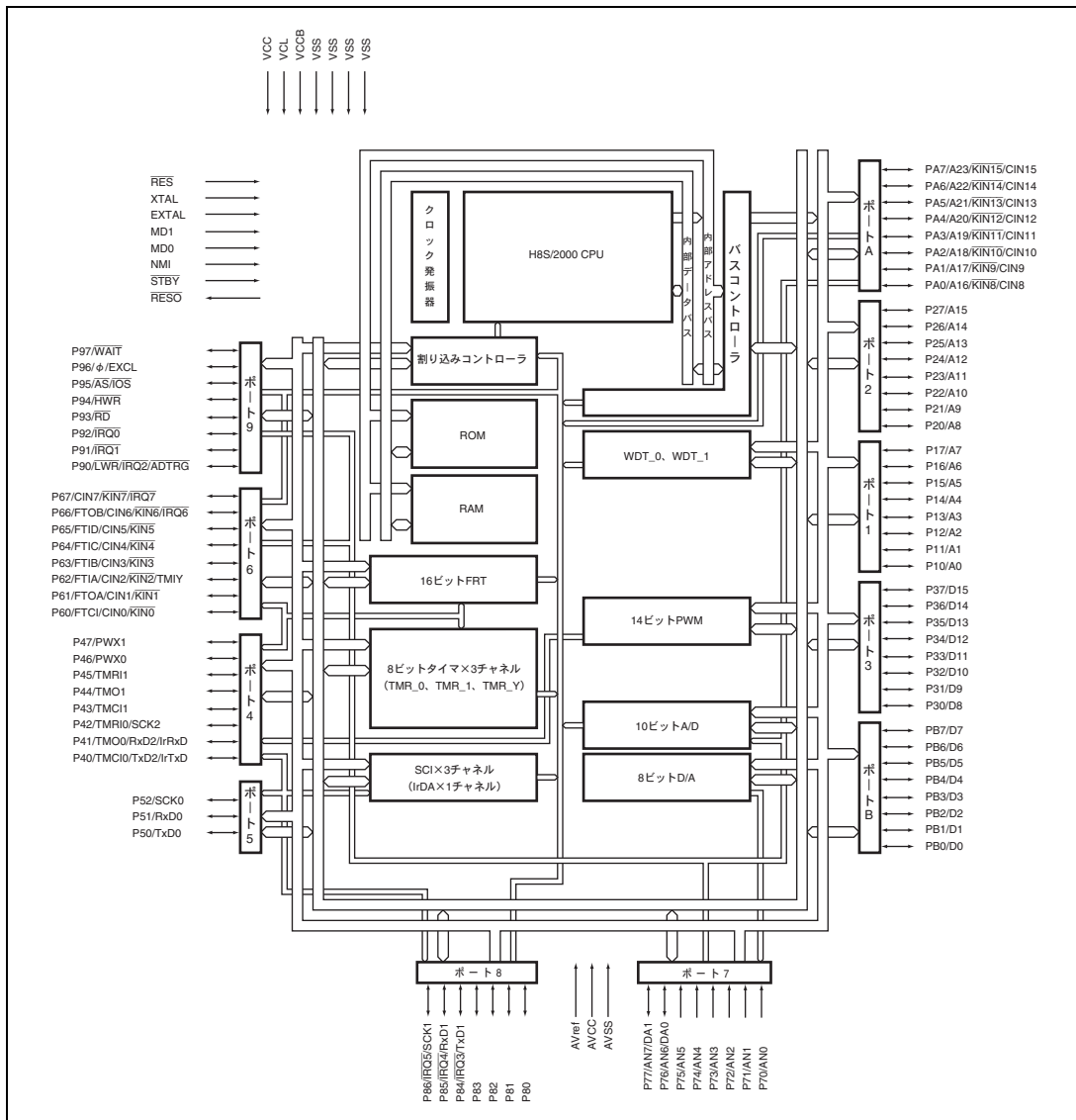


図 1.1 H8S/2144B 内部ブロック図

1. 概要

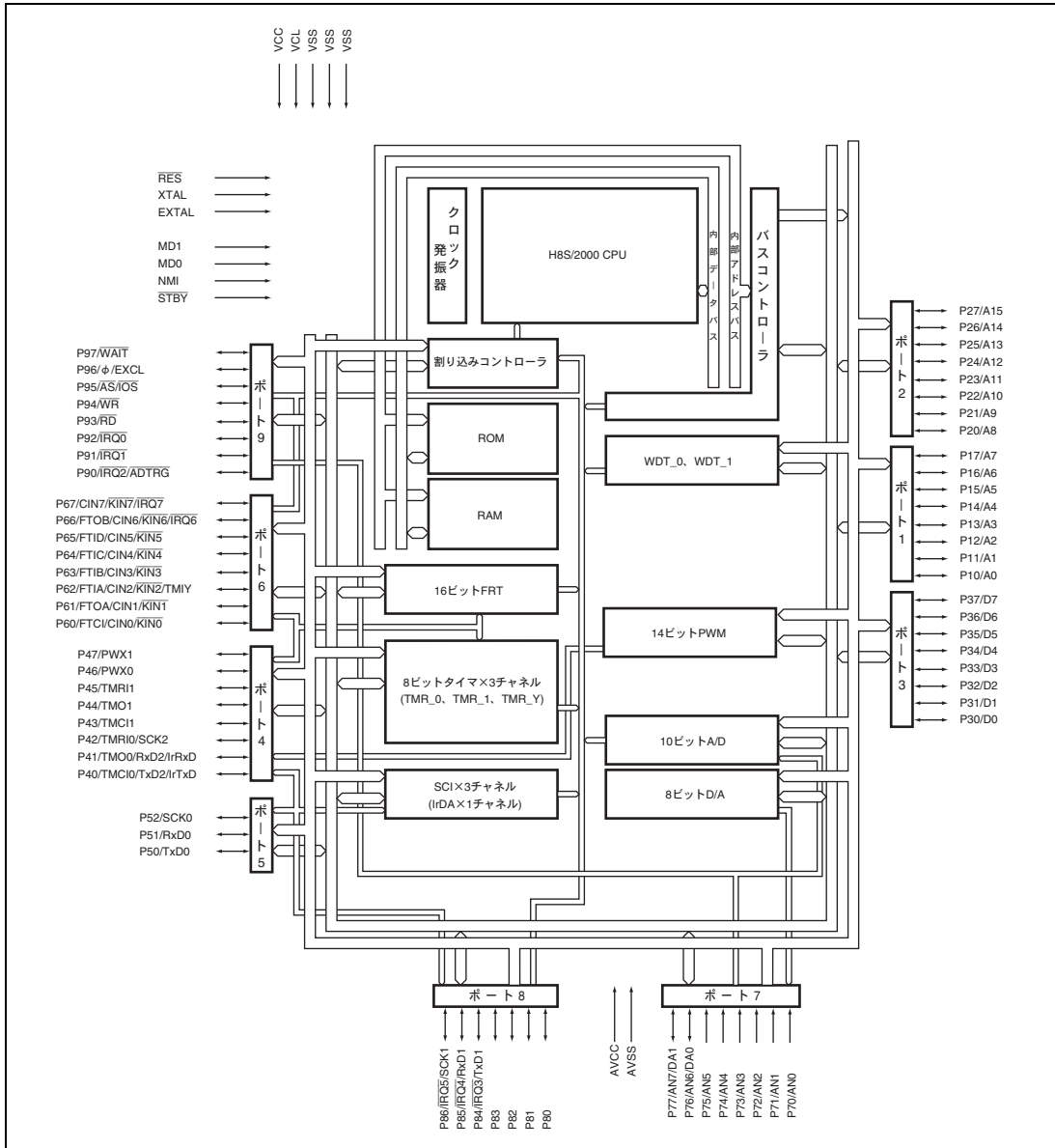


図 1.2 H8S/2134B 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

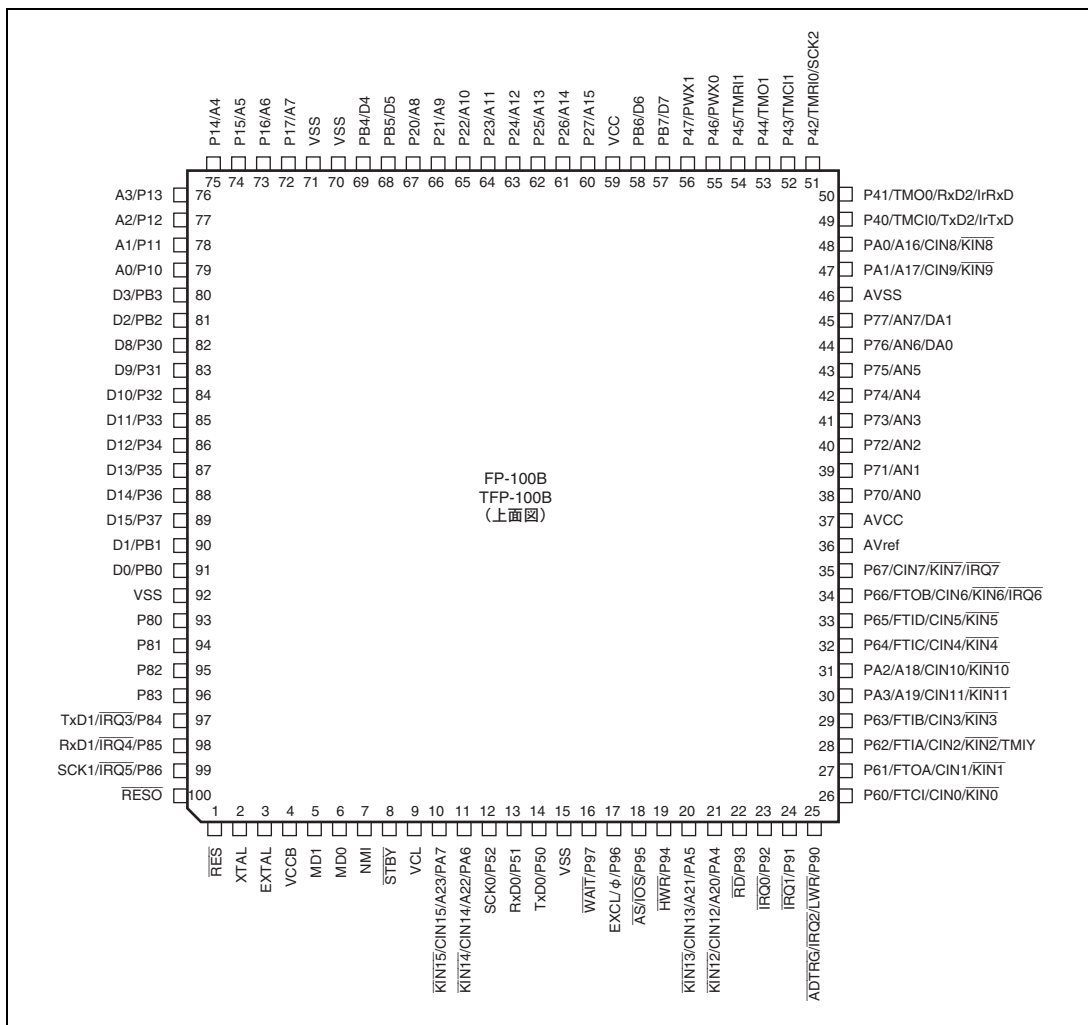


図 1.3 H8S/2144B ピン配置図

1. 概要

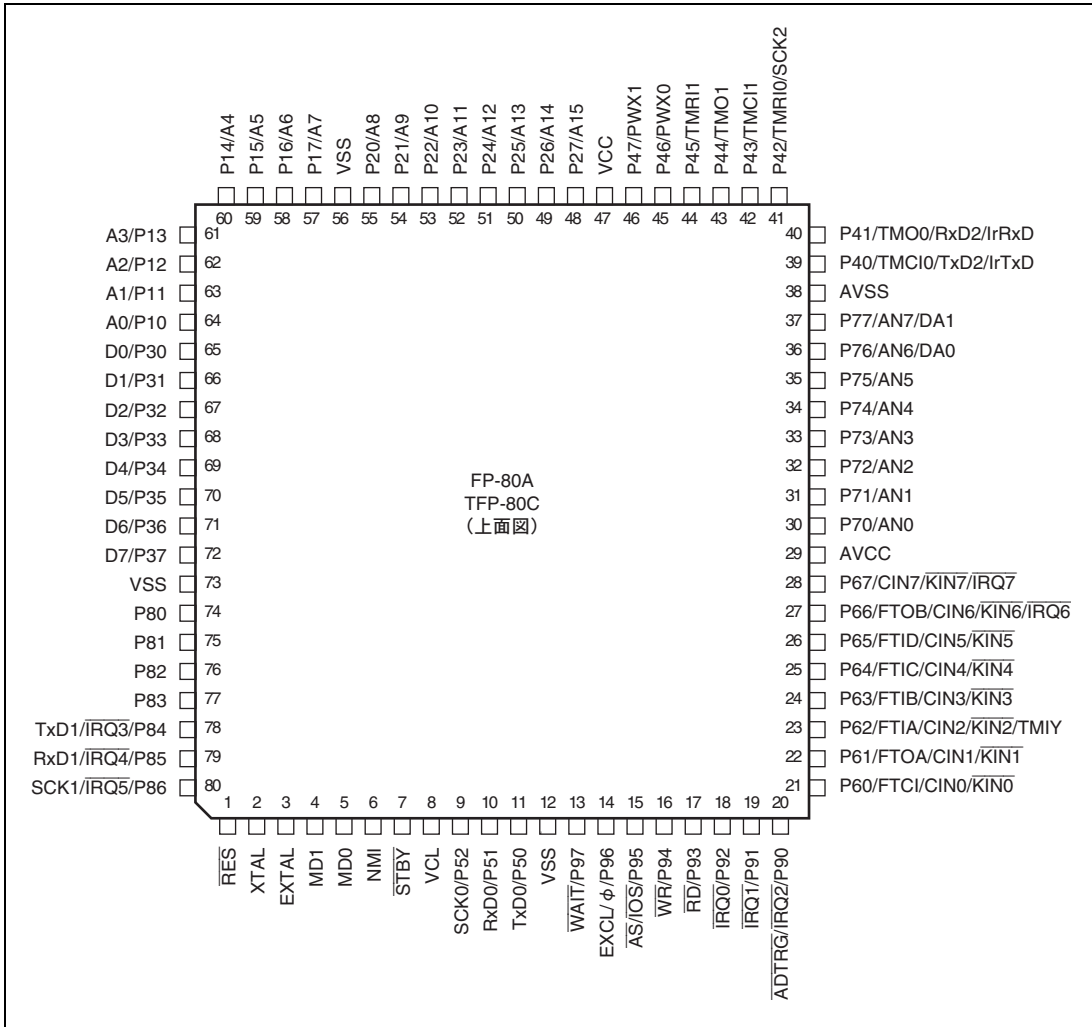


図 1.4 H8S/2134B ピン配置図

1.3.2 動作モード別端子機能

表 1.1 H8S/2144B 動作モード別端子機能一覧

ピン番号	端子名		
	拡張モード		シングルチップモード
FP-100B TFP-100B	モード 1	モード 2 (EXPE=1) モード 3 (EXPE=1)	モード 2 (EXPE=0) モード 3 (EXPE=0)
1	RES	RES	RES
2	XTAL	XTAL	XTAL
3	EXTAL	EXTAL	EXTAL
4	VCCB	VCCB	VCCB
5	MD1	MD1	MD1
6	MD0	MD0	MD0
7	NMI	NMI	NMI
8	STBY	STBY	STBY
9	VCL	VCL	VCL
10 (B)	PA7/CIN15/ $\overline{KIN15}$	A23/PA7/CIN15/ $\overline{KIN15}$	PA7/CIN15/ $\overline{KIN15}$
11 (B)	PA6/CIN14/ $\overline{KIN14}$	A22/PA6/CIN14/ $\overline{KIN14}$	PA6/CIN14/ $\overline{KIN14}$
12	P52/SCK0	P52/SCK0	P52/SCK0
13	P51/RxD0	P51/RxD0	P51/RxD0
14	P50/TxD0	P50/TxD0	P50/TxD0
15	VSS	VSS	VSS
16	P97/WAIT	P97/WAIT	P97
17	ϕ /P96/EXCL	ϕ /P96/EXCL	P96/ ϕ /EXCL
18	$\overline{AS}/\overline{IOS}$	$\overline{AS}/\overline{IOS}$	P95
19	HWR	HWR	P94
20 (B)	PA5/CIN13/ $\overline{KIN13}$	A21/PA5/CIN13/ $\overline{KIN13}$	PA5/CIN13/ $\overline{KIN13}$
21 (B)	PA4/CIN12/ $\overline{KIN12}$	A20/PA4/CIN12/ $\overline{KIN12}$	PA4/CIN12/ $\overline{KIN12}$
22	\overline{RD}	\overline{RD}	P93
23	P92/ $\overline{IRQ0}$	P92/ $\overline{IRQ0}$	P92/ $\overline{IRQ0}$
24	P91/ $\overline{IRQ1}$	P91/ $\overline{IRQ1}$	P91/ $\overline{IRQ1}$
25	$\overline{LWR}/\overline{P90}/\overline{IRQ2}/\overline{ADTRG}$	$\overline{LWR}/\overline{P90}/\overline{IRQ2}/\overline{ADTRG}$	P90/ $\overline{IRQ2}/\overline{ADTRG}$
26	P60/FTCI/CIN0/ $\overline{KIN0}$	P60/FTCI/CIN0/ $\overline{KIN0}$	P60/FTCI/CIN0/ $\overline{KIN0}$
27	P61/FTOA/CIN1/ $\overline{KIN1}$	P61/FTOA/CIN1/ $\overline{KIN1}$	P61/FTOA/CIN1/ $\overline{KIN1}$
28	P62/FTIA/CIN2/KIN2/TMIY	P62/FTIA/CIN2/KIN2/TMIY	P62/FTIA/CIN2/KIN2/TMIY
29	P63/FTIB/CIN3/ $\overline{KIN3}$	P63/FTIB/CIN3/ $\overline{KIN3}$	P63/FTIB/CIN3/ $\overline{KIN3}$
30 (B)	PA3/CIN11/ $\overline{KIN11}$	A19/PA3/CIN11/ $\overline{KIN11}$	PA3/CIN11/ $\overline{KIN11}$

1. 概要

ピン番号	端子名		
	拡張モード		シングルチップモード
FP-100B TFP-100B	モード 1	モード 2 (EXPE=1) モード 3 (EXPE=1)	モード 2 (EXPE=0) モード 3 (EXPE=0)
31 (B)	PA2/CIN10/ $\overline{KIN10}$	A18/PA2/CIN10/ $\overline{KIN10}$	PA2/CIN10/ $\overline{KIN10}$
32	P64/FTIC/CIN4/ $\overline{KIN4}$	P64/FTIC/CIN4/ $\overline{KIN4}$	P64/FTIC/CIN4/ $\overline{KIN4}$
33	P65/FTID/CIN5/ $\overline{KIN5}$	P65/FTID/CIN5/ $\overline{KIN5}$	P65/FTID/CIN5/ $\overline{KIN5}$
34	P66/FTOB/CIN6/ $\overline{KIN6}$ / $\overline{IRQ6}$	P66/FTOB/CIN6/ $\overline{KIN6}$ / $\overline{IRQ6}$	P66/FTOB/CIN6/ $\overline{KIN6}$ / $\overline{IRQ6}$
35	P67/CIN7/ $\overline{KIN7}$ / $\overline{IRQ7}$	P67/CIN7/ $\overline{KIN7}$ / $\overline{IRQ7}$	P67/CIN7/ $\overline{KIN7}$ / $\overline{IRQ7}$
36	AVref	AVref	AVref
37	AVCC	AVCC	AVCC
38	P70/AN0	P70/AN0	P70/AN0
39	P71/AN1	P71/AN1	P71/AN1
40	P72/AN2	P72/AN2	P72/AN2
41	P73/AN3	P73/AN3	P73/AN3
42	P74/AN4	P74/AN4	P74/AN4
43	P75/AN5	P75/AN5	P75/AN5
44	P76/AN6/DA0	P76/AN6/DA0	P76/AN6/DA0
45	P77/AN7/DA1	P77/AN7/DA1	P77/AN7/DA1
46	AVSS	AVSS	AVSS
47 (B)	PA1/CIN9/ $\overline{KIN9}$	A17/PA1/CIN9/ $\overline{KIN9}$	PA1/CIN9/ $\overline{KIN9}$
48 (B)	PA0/CIN8/ $\overline{KIN8}$	A16/PA0/CIN8/ $\overline{KIN8}$	PA0/CIN8/ $\overline{KIN8}$
49	P40/TMC10/TxD2/IrTxD	P40/TMC10/TxD2/IrTxD	P40/TMC10/TxD2/IrTxD
50	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD
51	P42/TMRI0/SCK2	P42/TMRI0/SCK2	P42/TMRI0/SCK2
52	P43/TMC11	P43/TMC11	P43/TMC11
53	P44/TMO1	P44/TMO1	P44/TMO1
54	P45/TMRI1	P45/TMRI1	P45/TMRI1
55	P46/PWX0	P46/PWX0	P46/PWX0
56	P47/PWX1	P47/PWX1	P47/PWX1
57	PB7/D7	PB7/D7	PB7
58	PB6/D6	PB6/D6	PB6
59	VCC	VCC	VCC
60	A15	A15/P27	P27
61	A14	A14/P26	P26
62	A13	A13/P25	P25
63	A12	A12/P24	P24

ピン番号	端子名		
	拡張モード		シングルチップモード
FP-100B TFP-100B	モード 1	モード 2 (EXPE=1) モード 3 (EXPE=1)	モード 2 (EXPE=0) モード 3 (EXPE=0)
64	A11	A11/P23	P23
65	A10	A10/P22	P22
66	A9	A9/P21	P21
67	A8	A8/P20	P20
68	PB5/D5	PB5/D5	PB5
69	PB4/D4	PB4/D4	PB4
70	VSS	VSS	VSS
71	VSS	VSS	VSS
72	A7	A7/P17	P17
73	A6	A6/P16	P16
74	A5	A5/P15	P15
75	A4	A4/P14	P14
76	A3	A3/P13	P13
77	A2	A2/P12	P12
78	A1	A1/P11	P11
79	A0	A0/P10	P10
80	PB3/D3	PB3/D3	PB3
81	PB2/D2	PB2/D2	PB2
82	D8	D8	P30
83	D9	D9	P31
84	D10	D10	P32
85	D11	D11	P33
86	D12	D12	P34
87	D13	D13	P35
88	D14	D14	P36
89	D15	D15	P37
90	PB1/D1	PB1/D1	PB1
91	PB0/D0	PB0/D0	PB0
92	VSS	VSS	VSS
93	P80	P80	P80
94	P81	P81	P81
95	P82	P82	P82
96	P83	P83	P83
97	P84/IRQ3/TxD1	P84/IRQ3/TxD1	P84/IRQ3/TxD1

1. 概要

ピン番号	端子名		
	拡張モード		シングルチップモード
FP-100B TFP-100B	モード 1	モード 2 (EXPE=1) モード 3 (EXPE=1)	モード 2 (EXPE=0) モード 3 (EXPE=0)
98	P85/IRQ4/RxD1	P85/IRQ4/RxD1	P85/IRQ4/RxD1
99	P86/IRQ5/SCK1	P86/IRQ5/SCK1	P86/IRQ5/SCK1
100	RES0	RES0	RES0

【注】 ピン番号の (B) は VCCB 駆動を示します。

表 1.2 H8S/2134B 動作モード別端子機能一覧

ピン番号	端子名		
	拡張モード		シングルチップモード
FP-80A TFP-80C	モード 1	モード 2 (EXPE=1) モード 3 (EXPE=1)	モード 2 (EXPE=0) モード 3 (EXPE=0)
1	RES	RES	RES
2	XTAL	XTAL	XTAL
3	EXTAL	EXTAL	EXTAL
4	MD1	MD1	MD1
5	MD0	MD0	MD0
6	NMI	NMI	NMI
7	STBY	STBY	STBY
8	VCL	VCL	VCL
9	P52/SCK0	P52/SCK0	P52/SCK0
10	P51/RxD0	P51/RxD0	P51/RxD0
11	P50/TxD0	P50/TxD0	P50/TxD0
12	VSS	VSS	VSS
13	P97/WAIT	P97/WAIT	P97
14	ϕ /P96/EXCL	P96/ ϕ /EXCL	P96/ ϕ /EXCL
15	AS/IOS	AS/IOS	P95
16	WR	WR	P94
17	RD	RD	P93
18	P92/IRQ0	P92/IRQ0	P92/IRQ0
19	P91/IRQ1	P91/IRQ1	P91/IRQ1
20	P90/IRQ2/ADTRG	P90/IRQ2/ADTRG	P90/IRQ2/ADTRG
21	P60/FTCI/CIN0/KIN0	P60/FTCI/CIN0/KIN0	P60/FTCI/CIN0/KIN0
22	P61/FTOA/CIN1/KIN1	P61/FTOA/CIN1/KIN1	P61/FTOA/CIN1/KIN1
23	P62/FTIA/CIN2/KIN2/TMIY	P62/FTIA/CIN2/KIN2/TMIY	P62/FTIA/CIN2/KIN2/TMIY
24	P63/FTIB/CIN3/KIN3	P63/ FTIB/CIN3/KIN3	P63/ FTIB/CIN3/KIN3

ピン番号	端子名		
	拡張モード		シングルチップモード
FP-80A TFP-80C	モード 1	モード 2 (EXPE=1) モード 3 (EXPE=1)	モード 2 (EXPE=0) モード 3 (EXPE=0)
25	P64/FTIC/CIN4/KIN4	P64/FTIC/CIN4/KIN4	P64/FTIC/CIN4/KIN4
26	P65/FTID/CIN5/KIN5	P65/FTID/CIN5/KIN5	P65/FTID/CIN5/KIN5
27	P66/FTOB/CIN6/KIN6/IRQ6	P66/FTOB/CIN6/KIN6/IRQ6	P66/FTOB/CIN6/KIN6/IRQ6
28	P67/CIN7/KIN7/IRQ7	P67/CIN7/KIN7/IRQ7	P67/CIN7/KIN7/IRQ7
29	AVCC	AVCC	AVCC
30	P70/AN0	P70/AN0	P70/AN0
31	P71/AN1	P71/AN1	P71/AN1
32	P72/AN2	P72/AN2	P72/AN2
33	P73/AN3	P73/AN3	P73/AN3
34	P74/AN4	P74/AN4	P74/AN4
35	P75/AN5	P75/AN5	P75/AN5
36	P76/AN6/DA0	P76/AN6/DA0	P76/AN6/DA0
37	P77/AN7/DA1	P77/AN7/DA1	P77/AN7/DA1
38	AVSS	AVSS	AVSS
39	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD
40	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD
41	P42/TMRI0/SCK2	P42/TMRI0/SCK2	P42/TMRI0/SCK2
42	P43/TMC11	P43/TMC11	P43/TMC11
43	P44/TMO1	P44/TMO1	P44/TMO1
44	P45/TMRI1	P45/TMRI1	P45/TMRI1
45	P46/PWX0	P46/PWX0	P46/PWX0
46	P47/PWX1	P47/PWX1	P47/PWX1
47	VCC	VCC	VCC
48	A15	A15/P27	P27
49	A14	A14/P26	P26
50	A13	A13/P25	P25
51	A12	A12/P24	P24
52	A11	A11/P23	P23
53	A10	A10/P22	P22
54	A9	A9/P21	P21
55	A8	A8/P20	P20
56	VSS	VSS	VSS
57	A7	A7/P17	P17

1. 概要

ピン番号	端子名		
	拡張モード		シングルチップモード
	モード 1	モード 2 (EXPE=1) モード 3 (EXPE=1)	モード 2 (EXPE=0) モード 3 (EXPE=0)
FP-80A TFP-80C			
58	A6	A6/P16	P16
59	A5	A5/P15	P15
60	A4	A4/P14	P14
61	A3	A3/P13	P13
62	A2	A2/P12	P12
63	A1	A1/P11	P11
64	A0	A0/P10	P10
65	D0	D0	P30
66	D1	D1	P31
67	D2	D2	P32
68	D3	D3	P33
69	D4	D4	P34
70	D5	D5	P35
71	D6	D6	P36
72	D7	D7	P37
73	VSS	VSS	VSS
74	P80	P80	P80
75	P81	P81	P81
76	P82	P82	P82
77	P83	P83	P83
78	P84/ $\overline{\text{IRQ3}}$ /TxD1	P84/ $\overline{\text{IRQ3}}$ /TxD1	P84/ $\overline{\text{IRQ3}}$ /TxD1
79	P85/ $\overline{\text{IRQ4}}$ /RxD1	P85/ $\overline{\text{IRQ4}}$ /RxD1	P85/ $\overline{\text{IRQ4}}$ /RxD1
80	P86/ $\overline{\text{IRQ5}}$ /SCK1	P86/ $\overline{\text{IRQ5}}$ /SCK1	P86/ $\overline{\text{IRQ5}}$ /SCK1

1.3.3 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	ピン番号		入出力	名称および機能																
		[H8S/2144B] FP-100B TFP-100B	[H8S/2134B] FP-80A TFP-80C																		
電源	VCC	59	47	入力	電源端子です。全端子をシステムの電源に接続してください。																
	VCL	9	8	入力	内部降圧電源用の外付け容量端子です。内部降圧電源安定化のための外付けコンデンサを介して、VSS に接続してください。VCC とは接続しないでください。詳細は「第 20 章 電気的特性」を参照してください。																
	VCCB	4	—	入力	[H8S/2144B のみ] ポート A の入出力バッファ用電源端子です。																
	VSS	15、70、71、92	12、56、73	入力	グランド端子です。全端子をシステムの電源 (0V) に接続してください。																
クロック	XTAL	2	2	入力	水晶発振器接続端子です。また、EXTAL 端子は外部クロックを入力することもできます。接続例については、「第 17 章 クロック発振器」を参照してください。																
	EXTAL	3	3	入力																	
	φ	17	14	出力	外部デバイスにシステムクロックを供給します。																
	EXCL	17	14	入力	サブクロック用 32.768kHz の外部クロックを入力してください。																
動作モード コントロール	MD1	5	4	入力	動作モードを設定します。MD1、MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。																
	MD0	6	5																		
<table border="1"> <thead> <tr> <th>MD1</th> <th>MD0</th> <th>動作モード</th> <th>内容</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>モード1</td> <td>ノーマル 内蔵ROM無効拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード2</td> <td>アドバンスト 内蔵ROM有効拡張モード シングルチップモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>モード3</td> <td>ノーマル 内蔵ROM有効拡張モード シングルチップモード</td> </tr> </tbody> </table>						MD1	MD0	動作モード	内容	0	1	モード1	ノーマル 内蔵ROM無効拡張モード	1	0	モード2	アドバンスト 内蔵ROM有効拡張モード シングルチップモード	1	1	モード3	ノーマル 内蔵ROM有効拡張モード シングルチップモード
MD1	MD0	動作モード	内容																		
0	1	モード1	ノーマル 内蔵ROM無効拡張モード																		
1	0	モード2	アドバンスト 内蔵ROM有効拡張モード シングルチップモード																		
1	1	モード3	ノーマル 内蔵ROM有効拡張モード シングルチップモード																		

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		[H8S/2144B] FP-100B TFP-100B	[H8S/2134B] FP-80A TFP-80C		
システム制御	$\overline{\text{RES}}$	1	1	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{RESO}}$	100	—	出力	[H8S/2144B のみ] 外部デバイスに対し、リセット信号を出力します。
	$\overline{\text{STBY}}$	8	7	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
アドレスバス	A23~A16	10、11、20、21、 30、31、47、48	—	出力	[H8S/2144B のみ] アドレス出力端子です。(16 ビットアクセス空間使用時)
	A15~A0	60~67、 72~79	48~55、 57~64	出力	アドレス出力端子です。
データバス	D15~D8	89~82	—	入出力	[H8S/2144B のみ] 上位双方向データバスです。8 ビットデータおよび 16 ビットデータの上位バイトとして動作します。
	D7~D0	57、58、68、69、 80、81、90、91	72~65	入出力	H8S/2144B では下位双方向データバスです。16 ビットデータの下位バイトとして動作します。 H8S/2134B では上位双方向データバスです。8 ビットデータとして動作します。
バス制御	$\overline{\text{WAIT}}$	16	13	入力	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
	$\overline{\text{RD}}$	22	17	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{WR}}$	—	16	出力	[H8S/2134B のみ] この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。
	$\overline{\text{HWR}}$	19	—	出力	[H8S/2144B のみ] この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの上位側が有効です。

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		[H8S/2144B] FP-100B TFP-100B	[H8S/2134B] FP-80A TFP-80C		
バス制御	$\overline{\text{LWR}}$	25	—	出力	[H8S/2144B のみ] この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの下位側が有効です。
	$\overline{\text{AS}}/\text{IOS}$	18	15	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示すストロブ信号であることを示します。または I/O セレクト信号を出力していることを示します。レジスタの設定により $\overline{\text{AS}}$ か IOS かを選択できます。
割り込み	NMI	7	6	入力	ノンマスクابل割り込み割り込み要求入力端子です。
	$\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$	35、34、 99~97、 25~23	28、27、 80~78、 20~18	入力	マスク可能な割り込みを要求します。
16 ビット フリーランニ ングタイマ (FRT)	FTCI	26	21	入力	外部カウンタクロック入力端子です。
	FTOA	27	22	出力	アウトプットコンペア A の出力端子です。
	FTOB	34	27	出力	アウトプットコンペア B の出力端子です。
	FTIA	28	23	入力	インプットキャプチャ A の入力端子です。
	FTIB	29	24	入力	インプットキャプチャ B の入力端子です。
	FTIC	32	25	入力	インプットキャプチャ C の入力端子です。
	FTID	33	26	入力	インプットキャプチャ D の入力端子です。
8 ビットタイマ (TMR_0、 TMR_1 TMR_Y)	TMO1	53	43	出力	アウトプットコンペア機能による波形出力端子です。
	TMO0	50	40		
	TMCI1	52	42	入力	カウンタに入力する外部クロックの入力端子です。
	TMCI0	49	39		
	TMRI1	54	44	入力	カウンタリセット入力端子です。
TMRI0	51	41			
TMIY	28	23	入力	カウンタ外部クロック入力端子/リセット入力端子です。	
14 ビット PWM タイマ (PWMX)	PWX1	56	46	出力	PWM D/A のパルス出力端子です。
	PWX0	55	45		

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		[H8S/2144B] FP-100B TFP-100B	[H8S/2134B] FP-80A TFP-80C		
シリアルコミュニケーション インタフェース	TxD2	49	39	出力	送信データ出力端子です。
	TxD1	97	78		
	TxD0	14	11		
(SCI_0、SCI_1、 SCI_2)	RxD2	50	40	入力	受信データ入力端子です。
	RxD1	98	79		
	RxD0	13	10		
	SCK2	51	41	入出力	クロック入出力端子です。
	SCK1	99	80		
	SCK0	12	9		
IrDA 付き SCI (SCI_2)	IrTxD	49	39	出力	IrDA 用にエンコードされたデータの入出力端子です。
	IrRxD	50	40	入力	
キーボード制御	[H8S/2144B] $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ [H8S/2134B] $\overline{\text{KIN7}}\sim\overline{\text{KIN0}}$	10、11、20、 21、30、31、 47、48、 35~32、 29~26	28~21	入力	マトリクスキーボードの入力端子です。通常は P10~P17 と P20~P27 をキースキャン用出力として使用します。これにより、H8S/2144B では最大 16 出力×16 入力、256 キー、H8S/2134B では最大 16 出力×8 入力、128 キーのマトリクスが構成できます。
A/D 変換器	AN7~AN0	45~38	37~30	入力	A/D 変換器のアナログ入力端子です。
	[H8S/2144B] CIN15~CIN0 [H8S/2134B] CIN7~CIN0	10、11、20、 21、30、31、 47、48、 35~32、 29~26	28~21	入力	拡張 A/D 変換（アナログ）入力端子です。デジタル入出力端子と兼用であるため、精度は低下します。
	ADTRG	25	20	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1	45	37	出力	D/A 変換器のアナログ出力端子です。
	DA0	44	36		

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		[H8S/2144B] FP-100B TFP-100B	[H8S/2134B] FP-80A TFP-80C		
A/D 変換器 D/A 変換器	AVCC	37	29	入力	A/D 変換器、D/A 変換器のアナログ電源端子です。A/D 変換器、D/A 変換器を使用しない場合、システムの電源 (+5V) に接続してください。
	AVref	36	—	入力	[H8S/2144B のみ] A/D 変換器、D/A 変換器の基準電源端子です。A/D 変換器、D/A 変換器を使用しない場合、システムの電源 (+5V) に接続してください。
	AVSS	46	38	入力	A/D 変換器、D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
I/O ポート	P17~P10	72~79	57~64	入出力	8 ビットの入出力端子です。入力プルアップ MOS が内蔵されています。また、LED 駆動が可能です。
	P27~P20	60~67	48~55	入出力	8 ビットの入出力端子です。入力プルアップ MOS が内蔵されています。また、LED 駆動が可能です。
	P37~P30	89~82	72~65	入出力	8 ビットの入出力端子です。入力プルアップ MOS が内蔵されています。また、LED 駆動が可能です。
	P47~P40	56~49	46~39	入出力	8 ビットの入出力端子です。
	P52~P50	12~14	9~11	入出力	3 ビットの入出力端子です。
	P67~P60	35~32 29~26	28~21	入出力	8 ビットの入出力端子です。入力プルアップ MOS が内蔵されています。
	P77~P70	45~38	37~30	入力	8 ビットの入力端子です。
	P86~P80	99~93	80~74	入出力	7 ビットの入出力端子です。
	P97~P90	16~19 22~25	13~20	入出力	8 ビットの入出力端子です。
	PA7~PA0	10、11、20、 21、30、31、 47、48	—	入出力	[H8S/2144B のみ] 8 ビットの入出力端子です。入力プルアップ MOS が内蔵されています。 VCCB 駆動端子です。
PB7~PB0	57、58、68、 69、80、81、 90、91	—	入出力	[H8S/2144B のみ] 8 ビットの入出力端子です。入力プルアップ MOS が内蔵されています。	

1. 概要

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：65 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイースメント付レジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

2. CPU

- 高速動作
頻出命令をすべて1~2ステートで実行
8/16/32ビットレジスタ間加減算：1ステート
8×8ビットレジスタ間乗算：12ステート (MULXU.B)、13ステート (MULXS.B)
16÷8ビットレジスタ間除算：12ステート (DIVXU.B)
16×16ビットレジスタ間乗算：20ステート (MULXU.W)、21ステート (MULXS.W)
32÷16ビットレジスタ間除算：20ステート (DIVXU.W)
- CPU動作モード：2種類
ノーマルモード/アドバンスモード
- 低消費電力状態
SLEEP命令により低消費電力状態に遷移
CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成
MACレジスタは、H8S/2600 CPUのみサポートしています。
- 基本命令
MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。
- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, Erd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, Erd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタおよび8ビット×1本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモードのとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64K バイト、アドバンスモードでは 16M バイトです。動作モードは LSI のモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大64Kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000~H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を図2.2に示します。EXRはスタックされません。詳細は「第4章 例外処理」を参照してください。

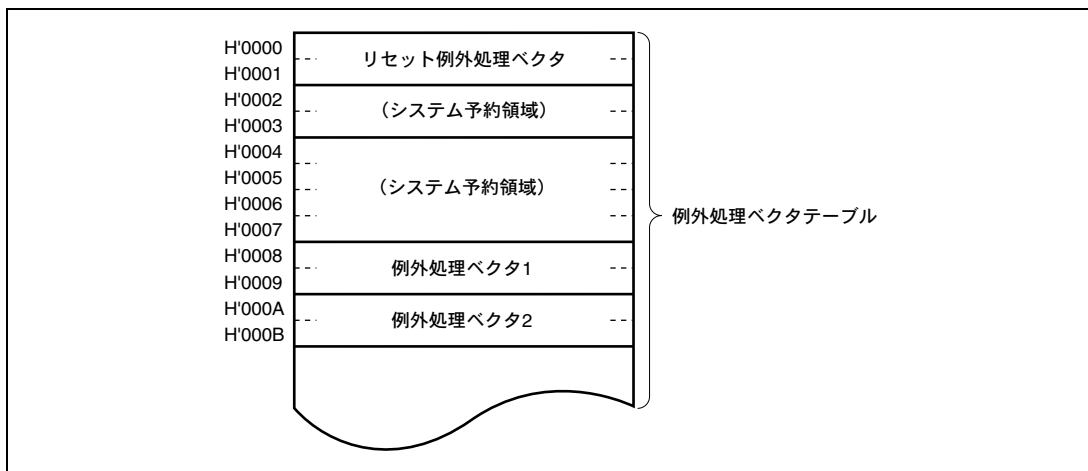


図 2.1 例外処理ベクタテーブル（ノーマルモード）

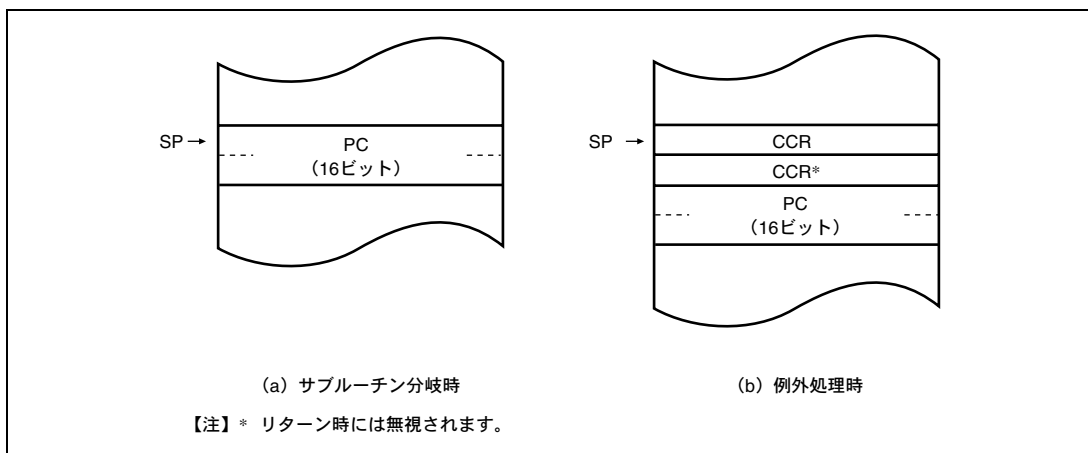


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

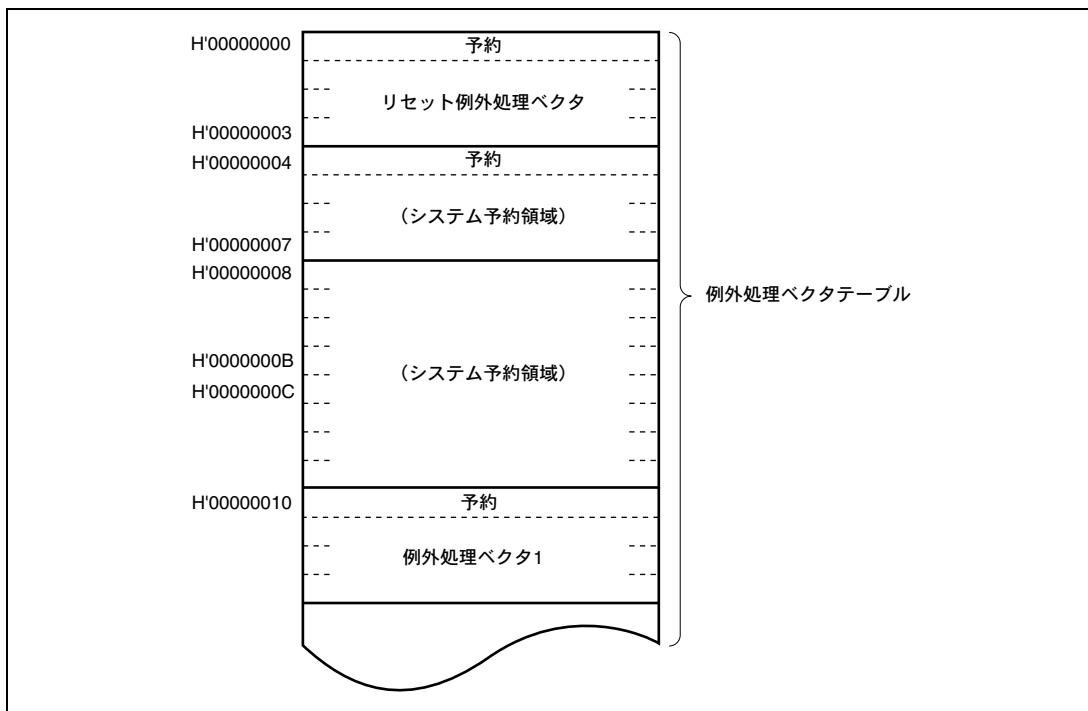


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を図2.4に示します。EXRはスタックされません。詳細は「第4章 例外処理」を参照してください。

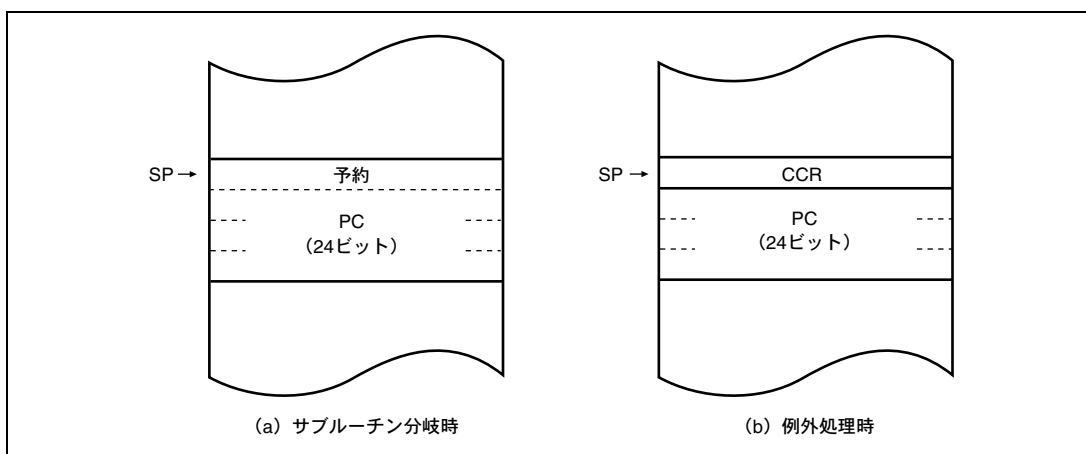


図2.4 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64K バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

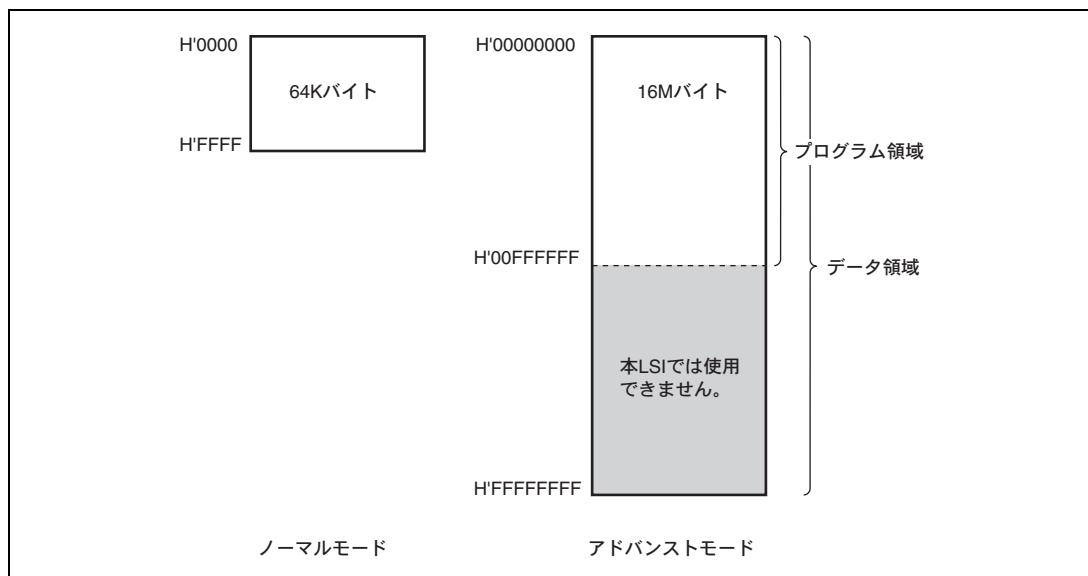


図 2.5 アドレス空間

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

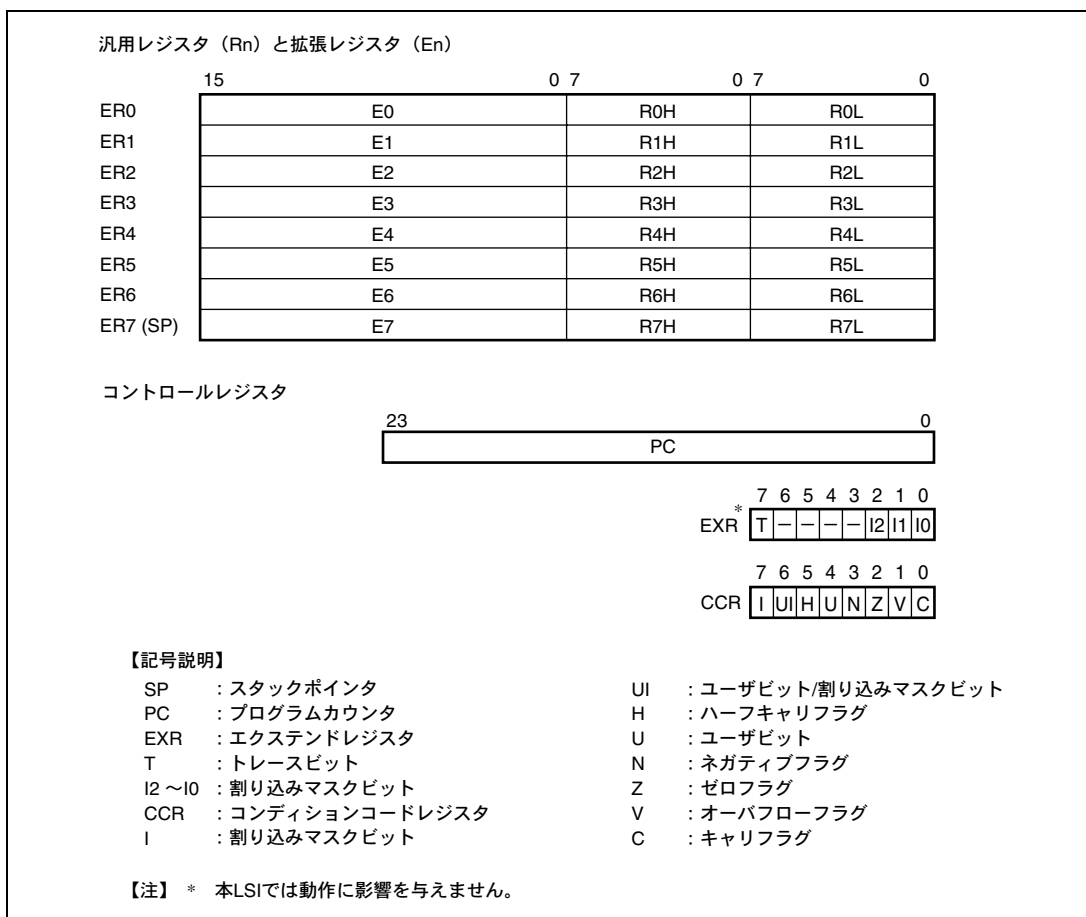


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPUは、32ビット長の汎用レジスタを8本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては32ビット、16ビットまたは8ビットレジスタとして使用できます。汎用レジスタの使用方法を図2.7に示します。

アドレスレジスタまたは32ビットレジスタとして使用する場合は一括して汎用レジスタER (ER0~ER7)として指定します。

16ビットレジスタとして使用する場合は汎用レジスタERを分割して汎用レジスタE (E0~E7)、汎用レジスタR (R0~R7)として指定します。これらは同等の機能を持っており、16ビットレジスタを最大16本まで使用することができます。なお、汎用レジスタE (E0~E7)を特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタとして使用する場合は汎用レジスタRを分割して汎用レジスタRH (R0H~R7H)、汎用レジスタRL (R0L~R7L)として指定します。これらは同等の機能を持っており、8ビットレジスタを最大16本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタER7には、汎用レジスタとしての機能に加えて、スタックポインタ (SP)としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図2.8に示します。

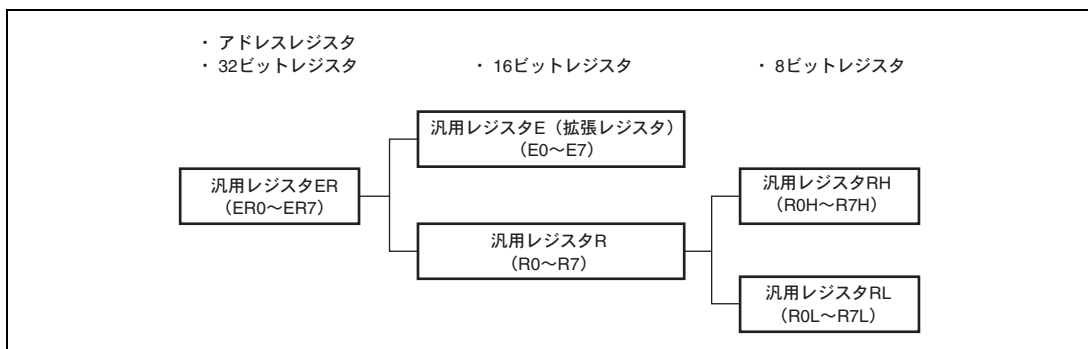


図 2.7 汎用レジスタの使用方法

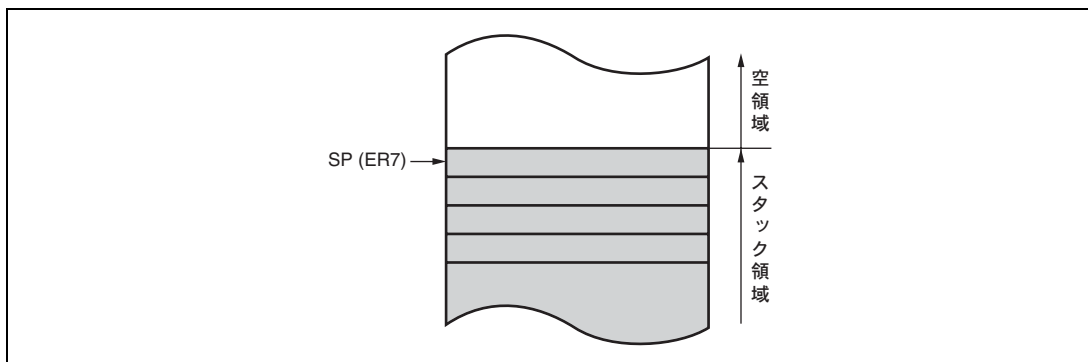


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンדרレジスタ (EXR)

本 LSI では動作に影響を与えません。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット 本 LSI では動作に影響を与えません。
6~3	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。
2	I2	1	R/W	割り込みマスクビット 2~0 本 LSI では動作に影響を与えません。
1	I1	1	R/W	
0	I0	1	R/W	

2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはポローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

2. CPU

ビット	ビット名	初期値	R/W	説明
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバーフローフラグ 算術演算命令の実行により、オーバーフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none">• 加算結果のキャリ• 減算結果のポロー• シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0,1,2,\dots,7$ ）という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	
1ビットデータ	RnL	
4ビットBCDデータ	RnH	
4ビットBCDデータ	RnL	
バイトデータ	RnH	
バイトデータ	RnL	

図 2.9 汎用レジスタのデータ形式 (1)

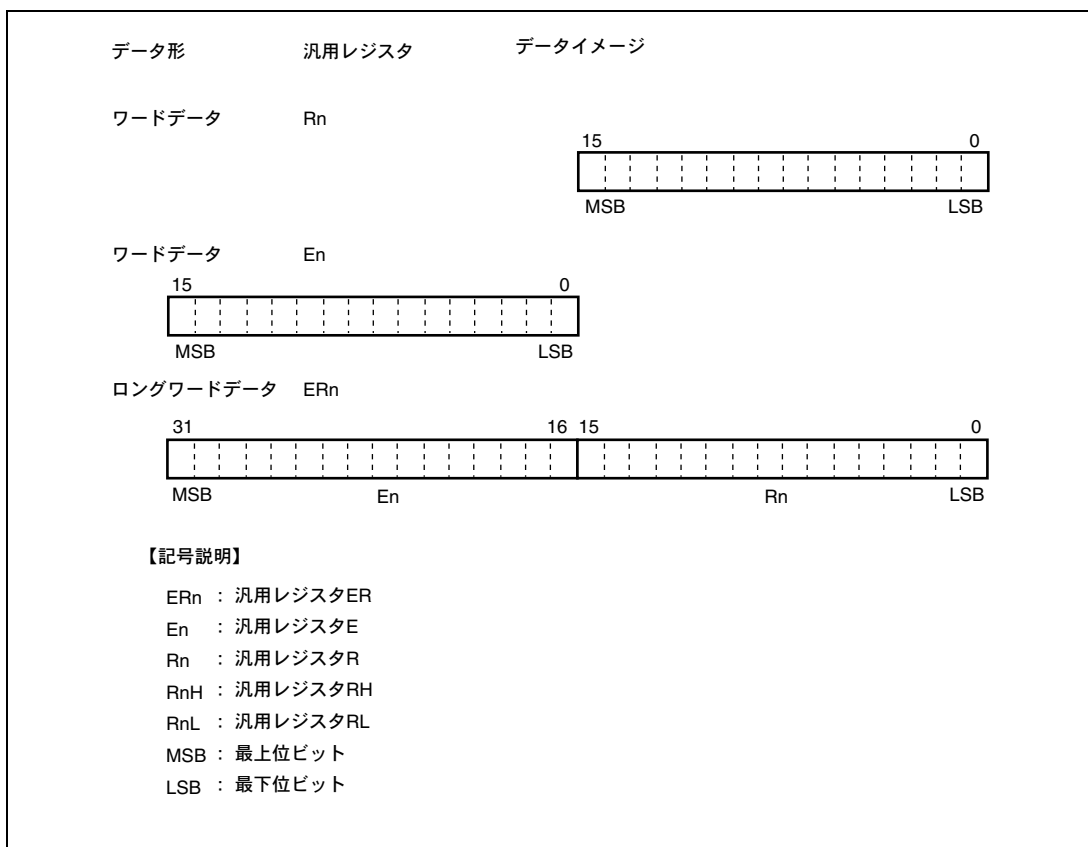


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

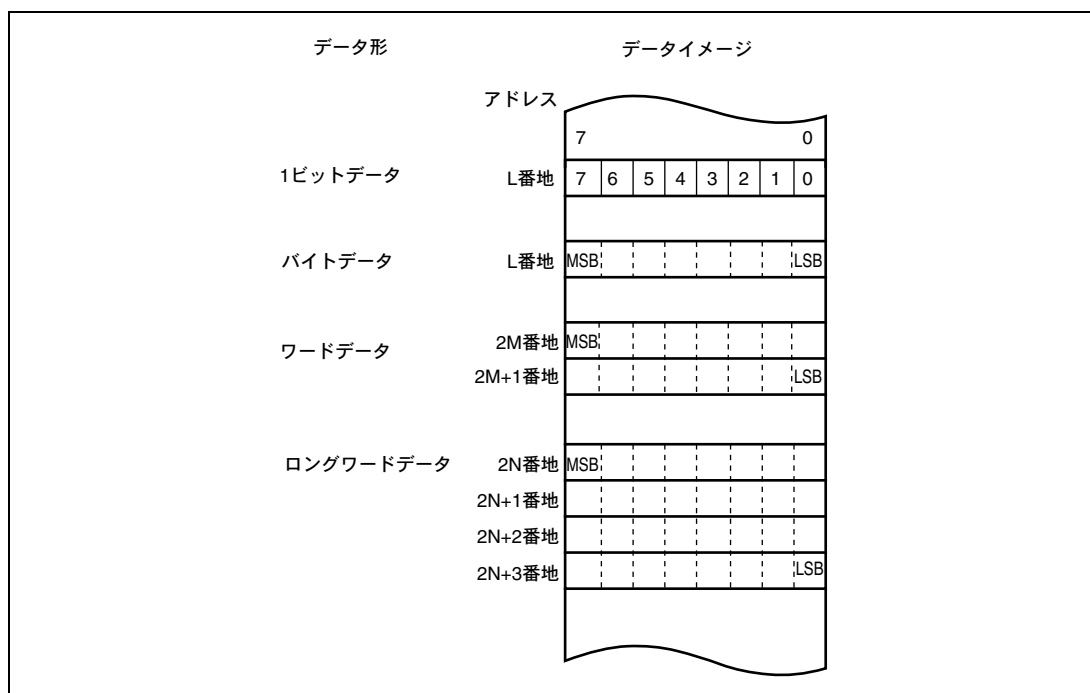


図 2.10 メモリ上でのデータ形式

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP * ¹ , PUSH * ¹	W/L	
	LDM* ⁵ , STM* ⁵	L	
	MOVFP* ³ , MOVTP* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* ⁴	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	—	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	—	9
ブロック転送命令	EEPMOV	—	1

合計 65 種類

【注】 B : バイトサイズ W : ワードサイズ L : ロングワードサイズ

- *1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn, MOV.W Rn,@-SP と同一です。
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn, MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *5 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

2. CPU

表 2.3 データ転送命令

命令	サイズ* ¹	機能
MOV	B/W/L	(EAs)→Rd, Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* ²	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* ²	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

2. CPU

表 2.4 算術演算命令 (2)

命令	サイズ* ¹	機能
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd-Rs、Rd-#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0-Rd→Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd-0、1 → (<ビット 7>of @ERd) メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

2. CPU

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C∧(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧ [~(<ビット番号>of<EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C∨(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨ [~(<ビット番号>of<EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.7 ビット操作命令 (2)

命令	サイズ*	機能
BXOR	B	$C \oplus \langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim \langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim \langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow \langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow \langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2. CPU

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	－	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>CVZ=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>CVZ=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(Low)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z∨(N⊕V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z∨(N⊕V)=1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	CVZ=0	BLS	Low or Same	CVZ=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(Low)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z∨(N⊕V)=0	BLE	Less or Equal	Z∨(N⊕V)=1
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	CVZ=0																																																			
BLS	Low or Same	CVZ=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(Low)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z∨(N⊕V)=0																																																			
BLE	Less or Equal	Z∨(N⊕V)=1																																																			
JMP	－	指定されたアドレスへ無条件に分岐します。																																																			
BSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	－	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	—	if R4L≠0 then Repeat @ER5+→@ER6+ R4L-1→R4L Until R4L=0 else next;
EEPMOV.W	—	if R4≠0 then Repeat @ER5+→@ER6+ R4-1→R4 Until R4=0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

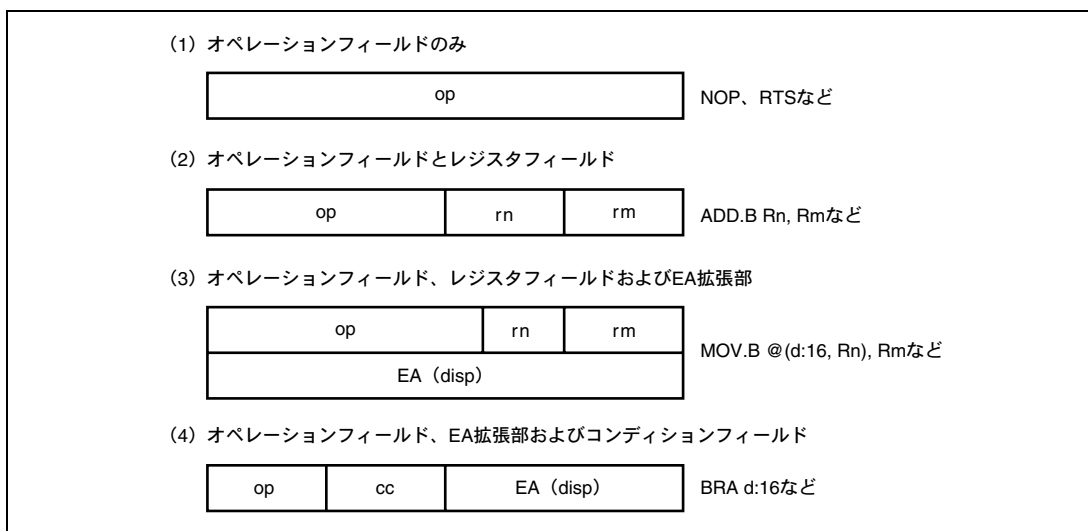


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPUは表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。32 ビットレジスタとしては ER0~ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) /@(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズまたはロングワードサイズの場合、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2または4を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズまたはロングワードサイズの場合、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32) を使用します。8ビット絶対アドレスの場合、上位24ビットはすべて1 (H'FFFF) となります。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24) を使用します。上位8ビットはすべて0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンスモード
データ領域	8ビット (@aa:8)	H'FF00~H'FFFF	H'FFFF00~H'FFFFFF
	16ビット (@aa:16)	H'0000~H'FFFF	H'000000~H'007FFF、 H'FF8000~H'FFFFFF
	32ビット (@aa:32)		H'000000~H'FFFFFF
プログラム領域	24ビット (@aa:24)		

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

2. CPU

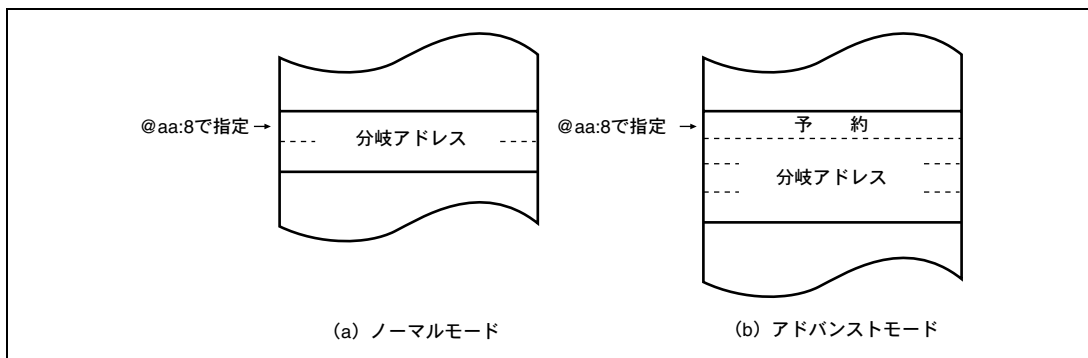


図 2.12 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

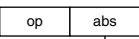

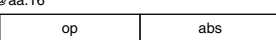
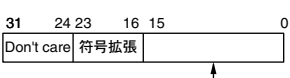
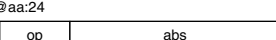



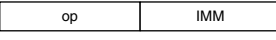
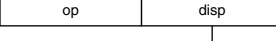
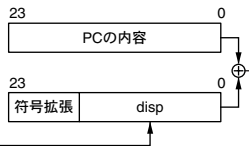
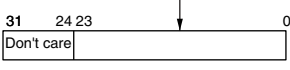
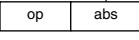
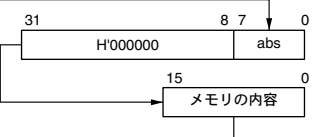
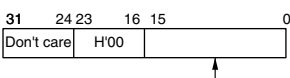
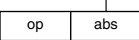
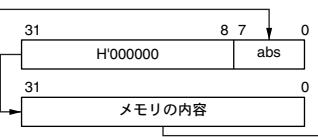

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。
 ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） 		
3	ディスペースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 		
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ ・プリデクリメントレジスタ間接 @-ERn 		

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8		
	@aa:16		
	@aa:24		
	@aa:32		
6	イミディエイト #xx:8/#xx:16/#xx:32 	オペランドはイミディエイトデータです。	
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード 		
	・アドバンストモード 		

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、およびプログラム停止状態の 4 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第18章 低消費電力状態」を参照してください。

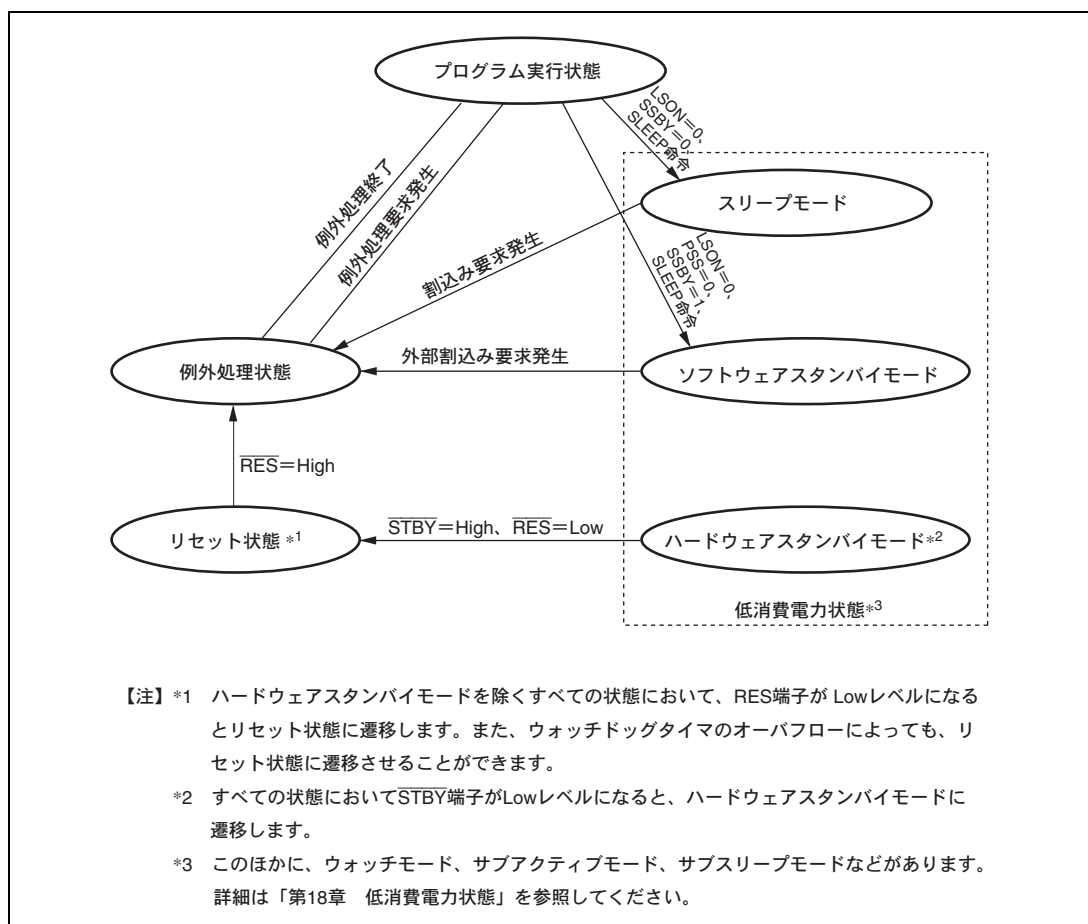


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 TAS 命令使用上の注意事項

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

2. CPU

2.9.2 STM/LDM 命令使用上の注意事項

STM/LDM 命令において、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0—ER1、ER2—ER3、ER4—ER5

3 本 : ER0—ER2、ER4—ER6

4 本 : ER0—ER3

また、ルネサス テクノロジ製 H8S、H8S/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

2.9.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる 1 ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き変わる可能性がありますので注意してください。

例：ポート4のDDRにBCLR命令を実行した場合

P47、P46 は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。P45～P40 は出力端子に設定され、それぞれ Low レベル出力状態とします。以下に、BCLR 命令で P40 を入力端子に設定する例を示します。

【BCLR命令実行前】

	P47	P46	P45	P44	P43	P42	P41	P40
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

【BCLR命令実行】

BCLR #0 , @P4DDR

DDR に対して BCLR 命令を実行します。

【BCLR命令実行後】

	P47	P46	P45	P44	P43	P42	P41	P40
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

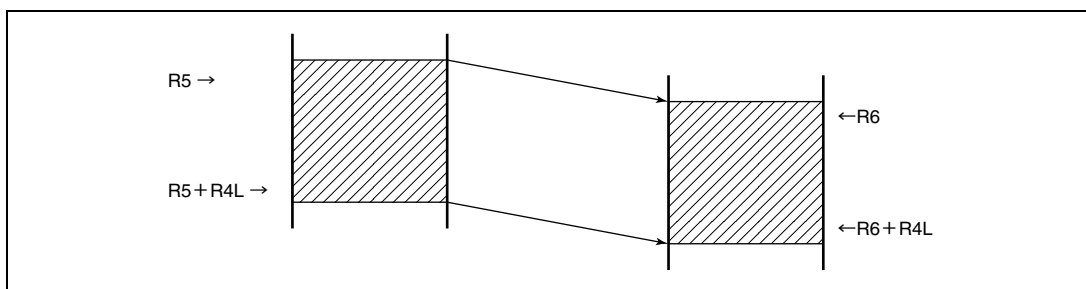
【動作説明】

1. BCLR 命令を実行すると、CPU は P4DDR をリードします。P4DDR はライト専用レジスタですので、CPU は H'FF をリードします。したがって、この例では DDR は H'3F ですが、CPU がリードしたデータは H'FF となります。
2. CPU はリードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。
3. H'FE を DDR に書き込んで、BCLR 命令を終了します。

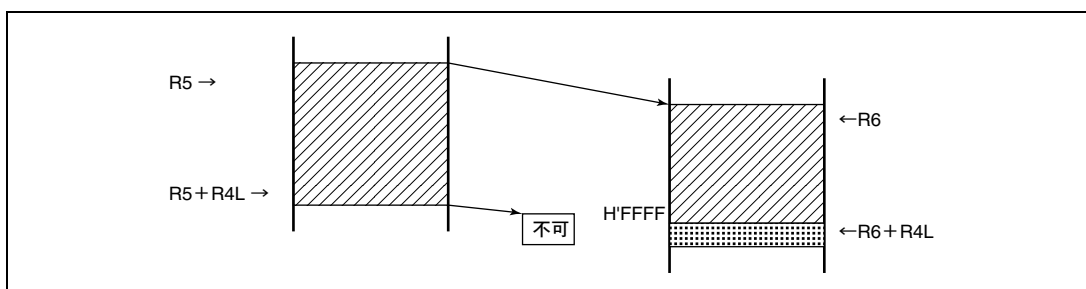
その結果、DDR のビット 0 が 0 になり、P40 は入力端子になります。しかし、DDR のビット 7、6 が 1 になり、P47、P46 は出力端子に変化してしまいます。

2.9.4 EEPROMOV 命令

1. EEPROMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



2. 転送先の最終アドレス (R6+R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF → H'0000 とならないように)、R4L、R6 を設定してください。



2. CPU

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 1～3）があります。動作モードは、モード端子（MD1、MD0）の設定で決まります。表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD1	MD0	CPU 動作モード	内容	内蔵 ROM
0	0	0	—	—	—
1	0	1	ノーマル	内蔵 ROM 無効拡張モード	無効
2	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード	有効
3	1	1	ノーマル	内蔵 ROM 有効拡張モード シングルチップモード	有効

モード 1 は、外部メモリおよび周辺デバイスをアクセスすることができる拡張モードです。

モード 2、3 は、リセット後はシングルチップモードで動作を開始します。MDCR の EXPE ビットを 1 にセットすることにより拡張モードに移行することができます。

モード 0 は、本 LSI では使用できません。したがって、通常のプログラム実行状態では、モード端子は必ずモード 1～3 になるように設定してください。また、モード端子は動作中に変化させないでください。

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。バスコントロールレジスタ (BCR) については「6.3.1 バスコントロールレジスタ (BCR)」を参照してください。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)
- シリアルタイムコントロールレジスタ (STCR)

3. MCU 動作モード

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、動作モードの設定および現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7	EXPE	—*	R/W*	拡張モードイネーブル 拡張モードを設定します。モード 1 の場合、1 に固定されておりライトは無効です。モード 2、3 の場合、初期値は 0 でリード/ライト可能です。 0 : シングルチップモード 1 : 拡張モード
6~2	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	MDS1	—*	R	モードセレクト 1、0
0	MDS0	—*	R	モード端子 (MD1、MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1、MDS0 ビットは MD1、MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD1、MD0) の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。

【注】 * MD1、MD0 端子により決定されます

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、システム端子機能の選択、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、端子位置の選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードライト可能ですが、1 にセットしないでください。
6	IOSE	0	R/W	IOS イネーブル 拡張モード時の $\overline{AS}/\overline{IOS}$ 端子の機能を制御します。 0 : \overline{AS} 端子 外部エリアアクセス時に Low 出力 1 : \overline{IOS} 端子 アドレス H'(FF)F000~H'(FF)F7FF の指定アドレスアクセス時に Low 出力
5	INTM1	0	R	割り込み制御選択モード 1、0
4	INTM0	0	R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00 : 割り込み制御モード 0 01 : 割り込み制御モード 1 10 : 設定禁止 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
3	XRST	1	R	<p>外部リセット</p> <p>リセット要因を表すビットです。リセットは、外部リセット入力、または、ウォッチドッグタイマオーバフローにより発生できます。</p> <p>0：ウォッチドッグタイマオーバフローで発生</p> <p>1：外部リセットで発生</p>
2	NMIEG	0	R/W	<p>NMI エッジセレクト</p> <p>NMI 端子の入力エッジ選択を行います。</p> <p>0：NMI 入力の立ち下がりがエッジで割り込み要求を発生</p> <p>1：NMI 入力の立ち上がりがエッジで割り込み要求を発生</p>
1	HIE	0	R/W	<p>ホストインタフェースイネーブル</p> <p>キーボードマトリクス割り込みおよび入力プルアップ MOS の制御レジスタ (KMIMR、KMPCR、KMIMRA)、8 ビットタイマ TMR_Y のレジスタ (TCR_Y、TCSR_Y、TCORA_Y、TCORB_Y、TCNT_Y、TISR) の CPU アクセスを制御します。</p> <p>0：アドレス H'(FF)FFF0~H'(FF)FFF7、H'(FF)FFFC~H'(FF)FFFF のエリアは、TMR_Y のレジスタの CPU アクセスを許可</p> <p>1：アドレス H'(FF)FFF0~H'(FF)FFF7、H'(FF)FFFC~H'(FF)FFFF のエリアは、キーボードマトリクス割り込みおよび入力プルアップ MOS 制御レジスタの CPU アクセスを許可</p>
0	RAME	1	R/W	<p>RAM イネーブル</p> <p>内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したときに初期化されます。</p> <p>0：内蔵 RAM 無効</p> <p>1：内蔵 RAM 有効</p>

3. MCU 動作モード

3.2.3 シリアルタイムコントロールレジスタ (STCR)

STCR は、レジスタアクセスの制御、内蔵フラッシュメモリの制御、タイマカウンタの入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IICS	0	R/W	I ² C エクストラバッファセレクト ポートAのビット7~4をオープンドレイン出力バッファとなるように設定します。ソフトウェアのみによるI ² C インタフェースを実現する場合に利用します。 0 : PA7~PA4 は通常入出力端子 1 : PA7~PA4 はバス駆動可能な入出力端子
6	—	0	R/W	リザーブビット
5	—	0	R/W	初期値を変更しないでください。
4	IICE	0	R/W	I ² C マスタイネーブル PWMX のレジスタ (DADRAH/DACR, DADRAL, DADRBH/DACNTH, DADRBL/DACNTL)、SCI のレジスタ (SMR, BRR, SCMR) の CPU アクセスを制御します。 0 : アドレス H'(FF)FF88~H'(FF)FF89、H'(FF)FF8E~H'(FF)FF8F のエリアは、SCI_1 のレジスタをアクセス アドレス H'(FF)FFA0~H'(FF)FFA1、H'(FF)FFA6~H'(FF)FFA7 のエリアは、SCI_2 のレジスタをアクセス アドレス H'(FF)FFD8~H'(FF)FFD9、H'(FF)FFDE~H'(FF)FFDF のエリアは、SCI_0 のレジスタをアクセス 1 : アドレス H'(FF)FF88~H'(FF)FF89、H'(FF)FF8E~H'(FF)FF8F のエリアは、何もアクセスされません アドレス H'(FF)FFA0~H'(FF)FFA1、H'(FF)FFA6~H'(FF)FFA7 のエリアは、PWMX のレジスタをアクセス アドレス H'(FF)FFD8~H'(FF)FFD9、H'(FF)FFDE~H'(FF)FFDF のエリアは、何もアクセスされません
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリのレジスタ (FLMCR1, FLMCR2, EBR1, EBR2)、低消費電力状態の制御レジスタ (SBYCR, LPWRCR, MSTPCR, MSTPCRL)、および周辺モジュールの制御レジスタ (PCSR, SYSCR2) の CPU アクセスを制御します。 0 : アドレス H'(FF)FF80~H'(FF)FF87 のエリアは、低消費電力状態および周辺モジュールの制御レジスタをアクセス 1 : アドレス H'(FF)FF80~H'(FF)FF87 のエリアは、フラッシュメモリの制御レジスタをアクセス
2	—	0	R/W	リザーブビット 1 にセットしないでください。

ビット	ビット名	初期値	R/W	説明
1	ICKS1	0	R/W	インターナルクロックソースセレクト 1、0
0	ICKS0	0	R/W	タイマコントロールレジスタ (TCR) の CKS2~CKS0 ビットと組み合わせてタイマカウンタ (TCNT) に入力するクロックとカウント条件を選択します。詳細は「10.3.4 タイマコントロールレジスタ (TCR)」を参照してください。

3.3 各動作モードの説明

3.3.1 モード 1

CPU はノーマルモードで、アドレス空間は 64K バイトです。内蔵 ROM は無効です。ポート 1、2 がアドレスバス、ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR レジスタの ABW ビットを 0 にクリアすることでポート B がデータバスとなります。

3.3.2 モード 2

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。

リセット後はシングルチップモードに設定されており、外部アドレス空間を使用するには MDCR の EXPE ビットを 1 にセットしてください。

MDCR の EXPE ビットを 1 にセットすると、ポート 1、2、A はリセット後は入力ポートになっています。対応するデータディレクションレジスタ (DDR) を 1 にセットすることによりアドレスを出力できます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR の ABW ビットを 0 にクリアすることで、ポート B がデータバスとなります。

3.3.3 モード 3

CPU はノーマルモードで、アドレス空間は 64K バイトです。内蔵 ROM は有効です。モード 3 では使用できる ROM 容量は 56K バイトです。

リセット後はシングルチップモードに設定されており、外部アドレス空間を使用するには MDCR の EXPE ビットを 1 にセットしてください。

MDCR の EXPE ビットを 1 にセットすると、ポート 1、2 はリセット後は入力ポートになっています。対応するデータディレクションレジスタ (DDR) を 1 にセットすることによりアドレスバスを出力ができます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR の ABW ビットを 0 にクリアすることで、ポート B がデータバスとなります。

3. MCU 動作モード

3.3.4 端子機能

動作モードにより、ポート 1~3、9、A、B の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3
ポート 1		A	P*/A	P*/A
ポート 2		A	P*/A	P*/A
ポート A		P	P*/A	P
ポート 3		D	P*/D	P*/D
ポート B		P*/D	P*/D	P*/D
ポート 9	P97	P*/C	P*/C	P*/C
	P96	C*/P	P*/C	P*/C
	P95~P93	C	P*/C	P*/C
	P92~P91	P	P	P
	P90	P*/C	P*/C	P*/C

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- * : リセット直後

3.4 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。

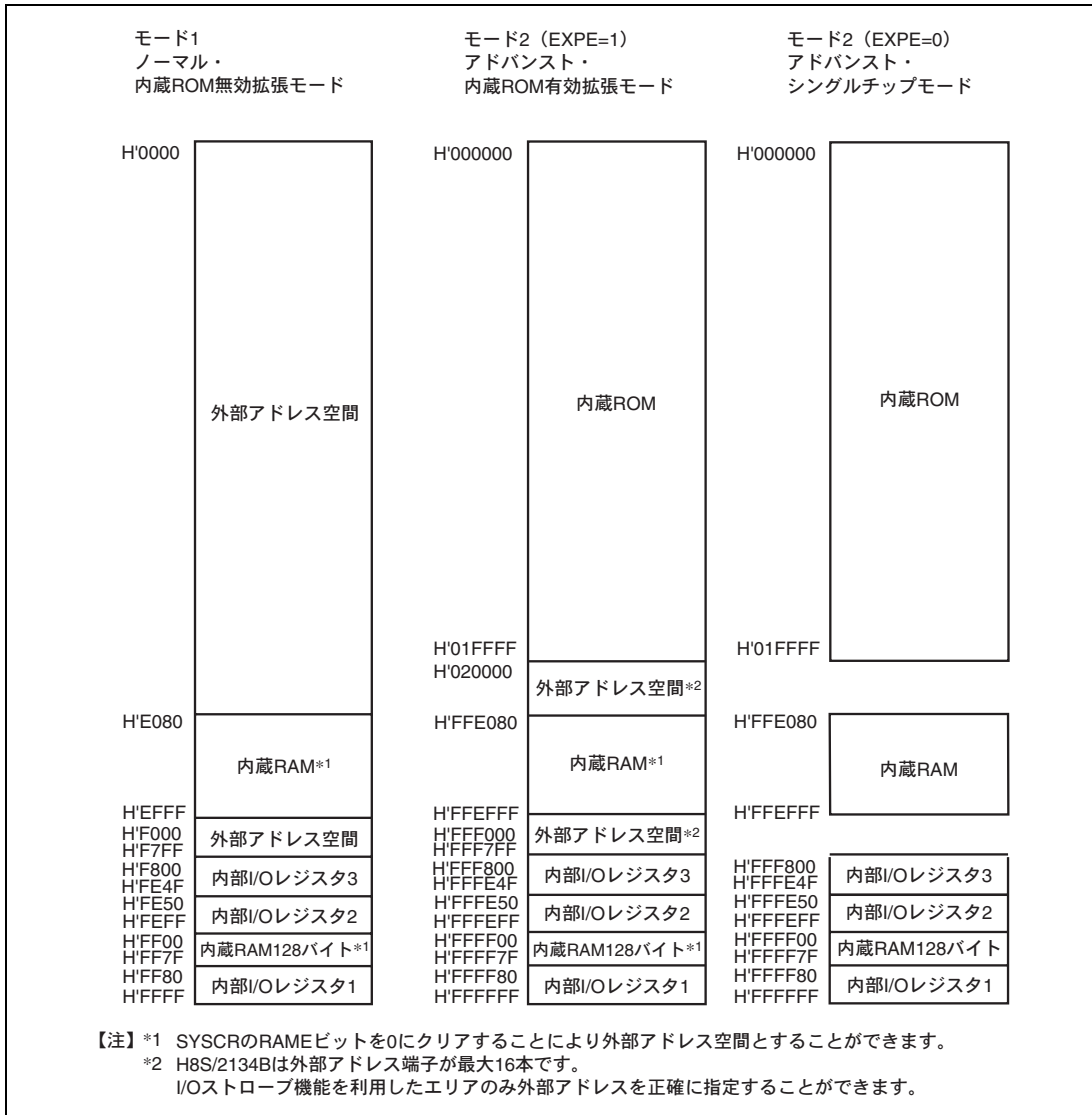


図 3.1 アドレスマップ (1)

3. MCU 動作モード

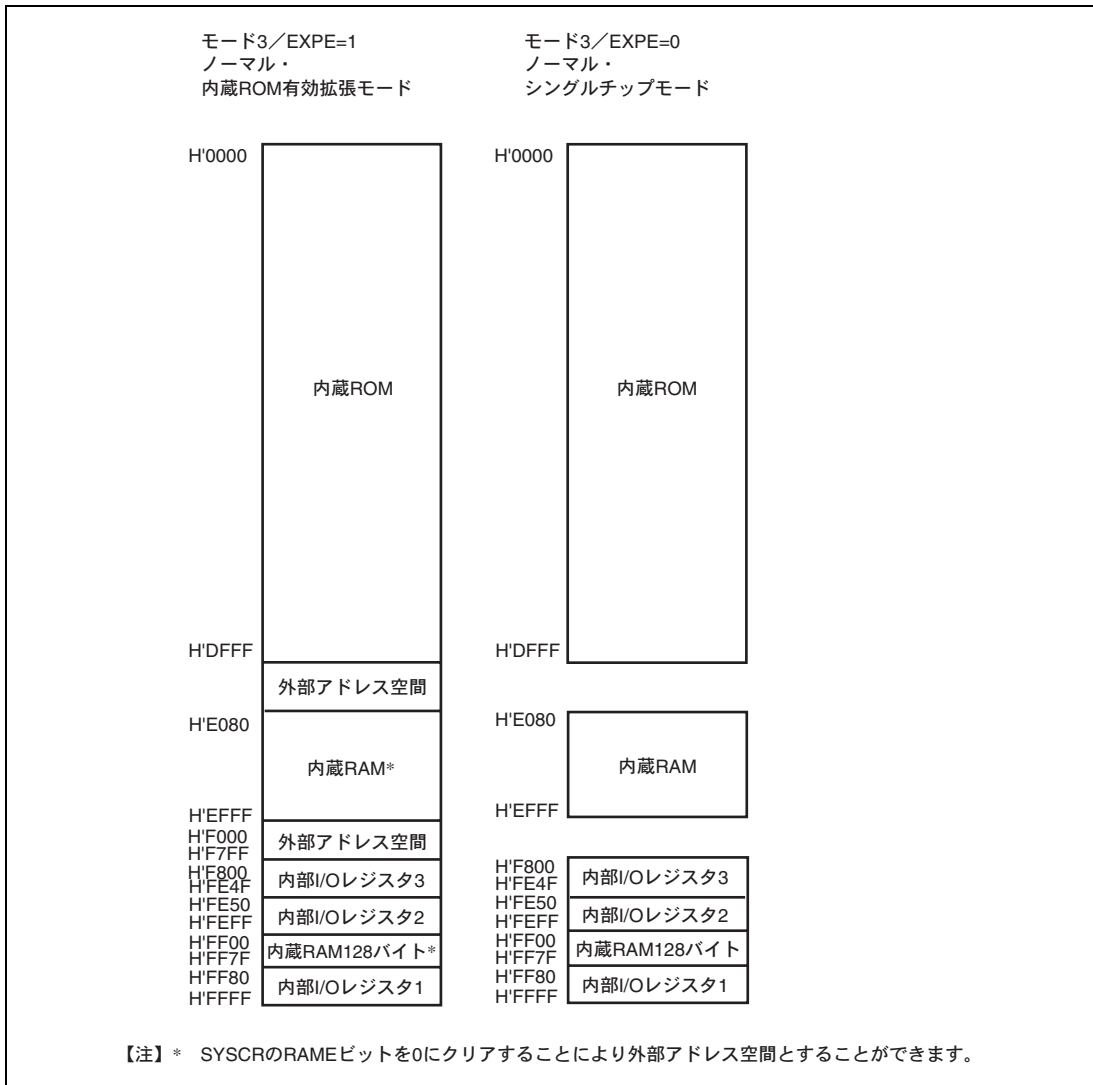


図 3.2 アドレスマップ (2)

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すようにリセット、割り込み、直接遷移、およびトラップ命令があります。これらの例外処理要因には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバーフローにより開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ただし、ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	トラップ命令	トラップ (TRAPA) 命令の実行により開始します。 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス	
		ノーマルモード	アドバンスモード
リセット	0	H'0000~H'0001	H'000000~H'000003
システム予約	1	H'0002~H'0003	H'000004~H'000007
	5	H'000A~H'000B	H'000014~H'000017
直接遷移	6	H'000C~H'000D	H'000018~H'00001B
外部割り込み NMI	7	H'000E~H'000F	H'00001C~H'00001F
トラップ命令 (4 要因)	8	H'0010~H'0011	H'000020~H'000023
	9	H'0012~H'0013	H'000024~H'000027
	10	H'0014~H'0015	H'000028~H'00002B
	11	H'0016~H'0017	H'00002C~H'00002F
システム予約	12	H'0018~H'0019	H'000030~H'000033
	15	H'001E~H'001F	H'00003C~H'00003F
外部割り込み IRQ0	16	H'0020~H'0021	H'000040~H'000043
外部割り込み IRQ1	17	H'0022~H'0023	H'000044~H'000047
外部割り込み IRQ2	18	H'0024~H'0025	H'000048~H'00004B
外部割り込み IRQ3	19	H'0026~H'0027	H'00004C~H'00004F
外部割り込み IRQ4	20	H'0028~H'0029	H'000050~H'000053
外部割り込み IRQ5	21	H'002A~H'002B	H'000054~H'000057
外部割り込み IRQ6	22	H'002C~H'002D	H'000058~H'00005B
外部割り込み IRQ7	23	H'002E~H'002F	H'00005C~H'00005F
内部割り込み*	24	H'0030~H'0031	H'000060~H'000063
	107	H'00DE~H'00DF	H'0001BC~H'0001BF

【注】 * 内部割り込みのベクタテーブルは「5.5 割り込み例外処理ベクタテーブル」を参照してください。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 11 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1 に示します。

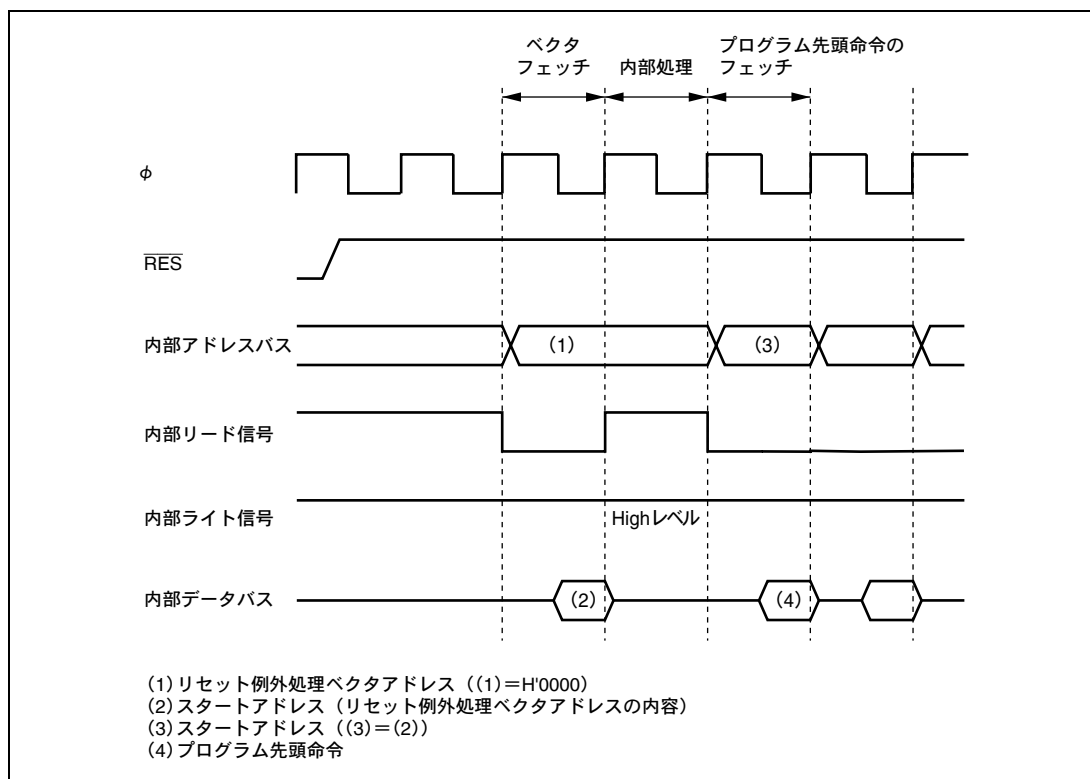


図 4.1 リセットシーケンス (モード 3)

4. 例外処理

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx: 32, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後は、モジュールストップコントロールレジスタ (MSTPCR) は初期化され、すべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

4.4 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み例外処理を開始させる要因には、外部割り込み要因 (NMI、IRQ7~IRQ0、KIN15~KIN0) と、内蔵周辺モジュールからの内部割り込み要因があります。NMI は最も優先順位の高い割り込みです。割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスを PC にロードしてその番地からプログラムの実行を開始します。

4.5 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディショニングレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 にトラップ命令例外処理実行後の CCR の状態を示します。

表 4.3 トラップ命令例外処理後の CCR の状態

割り込み制御モード	CCR	
	I	UI
0	1	—
1	1	1

【記号説明】

- 1 : 1にセット
 — : 実行前の値を保持

4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

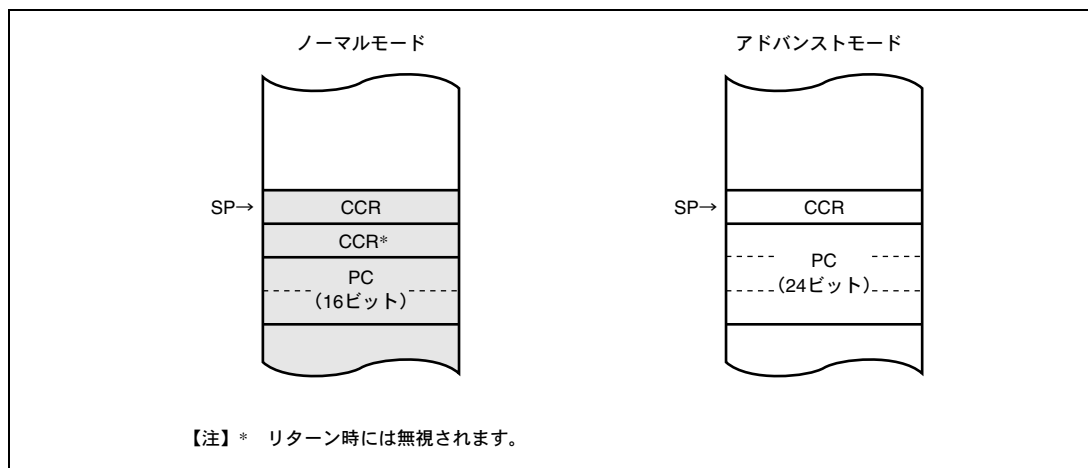


図 4.2 例外処理終了後のスタックの状態

4.7 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると誤動作の原因となります。SP を奇数に設定したとき作例を図 4.3 に示します。

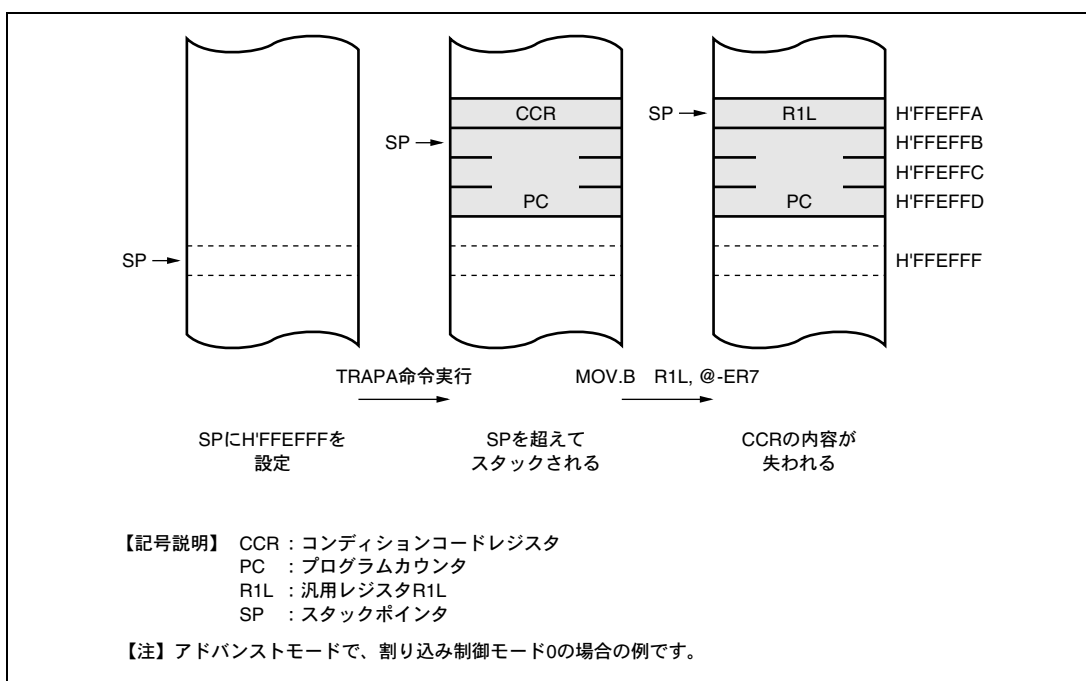


図 4.3 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより2種類の割り込み制御モードを設定できます。

- ICRにより、優先順位を設定可能

インタラプトコントロールレジスタ (ICR) により、NMI、アドレスブレイク以外の割り込み要求にはモジュールごとに3レベルの優先順位を設定できます。

- 独立したベクタアドレス

すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 23本の外部割り込み端子

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。IRQ6割り込みは、 $\overline{\text{IRQ6}}$ からの割り込みと $\overline{\text{KIN7}}\sim\overline{\text{KIN0}}$ との兼用になっています。また、IRQ7割り込みは、 $\overline{\text{IRQ7}}$ からの割り込みと $\overline{\text{KIN15}}\sim\overline{\text{KIN8}}$ との兼用になっています。 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ は、それぞれユーザプログラムによりマスクできます。

5. 割り込みコントローラ

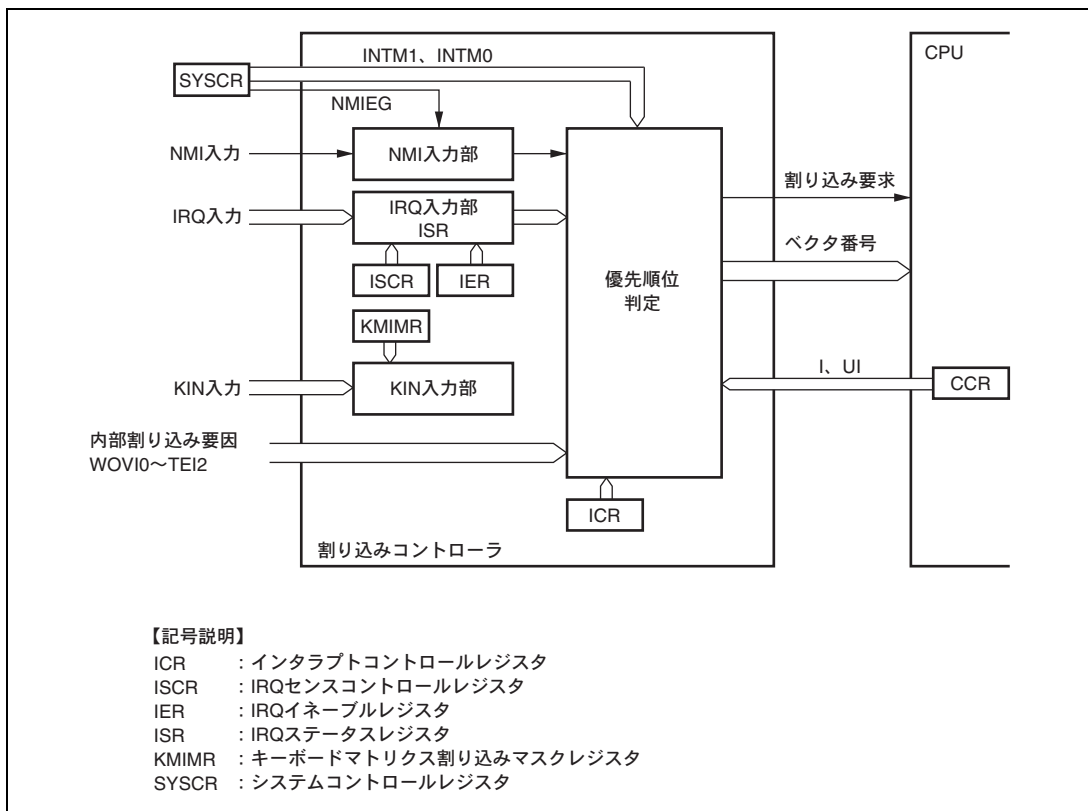


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

記号	入出力	機能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能です。
IRQ7~IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能です。
KIN15~KIN0	入力	マスク可能な外部割り込み 立ち下がりエッジ、レベルセンスのいずれかを選択可能です。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ (SYSCR) については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- インタラプトコントロールレジスタA～C (ICRA～ICRC)
- アドレスブレイクコントロールレジスタ (ABRKCR)
- ブレイクアドレスレジスタA～C (BARA～BARC)
- IRQセンスコントロールレジスタ (ISCRH、ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- キーボードマトリクス割り込みマスクレジスタ (KMIMRA、KMIMR)

5.3.1 インタラプトコントロールレジスタ A～C (ICRA～ICRC)

ICR は、NMI とアドレスブレイクを除く割り込みのコントロールレベルを設定します。各割り込み要因と ICRA～ICRC の対応を表 5.2 に示します。

ビット	ビット名	初期値	R/W	説明
7～0	ICRn7 ～ ICRn0	すべて 0	R/W	割り込みコントロールレベル 0 : 対応する割り込み要因は割り込みコントロールレベル 0 (非優先) 1 : 対応する割り込み要因は割り込みコントロールレベル 1 (優先)

(n : A～C)

表 5.2 各割り込み要因と ICR の対応

ビット	ビット名	レジスタ		
		ICRA	ICRB	ICRC
7	ICRn7	IRQ0	A/D 変換器	SCI_0
6	ICRn6	IRQ1	FRT	SCI_1
5	ICRn5	IRQ2、IRQ3	—	SCI_2
4	ICRn4	IRQ4、IRQ5	—	—
3	ICRn3	IRQ6、IRQ7	TMR_0	—
2	ICRn2	—	TMR_1	—
1	ICRn1	WDT_0	TMR_Y	—
0	ICRn0	WDT_1	—	—

(n : A～C)

【記号説明】

— : リザーブビットです。0 をライトしてください。

5. 割り込みコントローラ

5.3.2 アドレスブレイクコントロールレジスタ (ABRKCR)

ABRKCR は、アドレスブレイクの制御を行います。CMF フラグ、BIE フラグがいずれも 1 にセットされるとアドレスブレイクが要求されます。

ビット	ビット名	初期値	R/W	説明
7	CMF	0	R	コンディションマッチフラグ アドレスブレイク要因フラグです。BARA~BARC で設定したアドレスをプリフェッチしたことを示します。 [セット条件] BIE フラグが 1 のとき、BARA~BARC で設定したアドレスのプリフェッチを実行したとき [クリア条件] アドレスブレイク割り込み例外処理を実行したとき
6~1	—	すべて 0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。
0	BIE	0	R/W	ブレイク割り込みイネーブル アドレスブレイクの許可/禁止を選択します。 0: 禁止 1: 許可

5.3.3 ブレイクアドレスレジスタ A~C (BARA~BARC)

BAR は、アドレスブレイクを発生させるアドレスを指定します。ブレイクアドレスは、命令の第 1 バイトが存在するアドレスに設定してください。ノーマルモードでは、アドレス A23~A16 は比較されません。

• BARA

ビット	ビット名	初期値	R/W	説明
7~0	A23~A16	すべて 0	R/W	アドレス 23~16 A23~A16 ビットは、内部アドレスバスの A23~A16 と比較されます。

• BARB

ビット	ビット名	初期値	R/W	説明
7~0	A15~A8	すべて 0	R/W	アドレス 15~8 A15~A8 ビットは、内部アドレスバスの A15~A8 と比較されます。

• BARC

ビット	ビット名	初期値	R/W	説明
7~1	A7~A1	すべて 0	R/W	アドレス 7~1 A7~A1 ビットは、内部アドレスバスの A7~A1 と比較されます。
0	—	0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。

5.3.4 IRQ センスコントロールレジスタ (ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

• ISCRH

ビット	ビット名	初期値	R/W	説明
7	IRQ7SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A 00: $\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=7~4)
6	IRQ7SCA	0	R/W	
5	IRQ6SCB	0	R/W	
4	IRQ6SCA	0	R/W	
3	IRQ5SCB	0	R/W	
2	IRQ5SCA	0	R/W	
1	IRQ4SCB	0	R/W	
0	IRQ4SCA	0	R/W	

• ISCRL

ビット	ビット名	初期値	R/W	説明
7	IRQ3SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A 00: $\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=3~0)
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	
0	IRQ0SCA	0	R/W	

5.3.5 IRQ イネーブルレジスタ (IER)

IER は、IRQ7~IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IRQ7E	0	R/W	IRQn イネーブル (n=7~0) このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	
5	IRQ5E	0	R/W	
4	IRQ4E	0	R/W	
3	IRQ3E	0	R/W	
2	IRQ2E	0	R/W	
1	IRQ1E	0	R/W	
0	IRQ0E	0	R/W	

5. 割り込みコントローラ

5.3.6 IRQ ステータスレジスタ (ISR)

ISR は、IRQ7~IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/(W)*	[セット条件]
6	IRQ6F	0	R/(W)*	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/(W)*	[クリア条件]
4	IRQ4F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/(W)*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態で、割り込み例外処理を実行したとき (n=7~0)
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn
0	IRQ0F	0	R/(W)*	割り込み例外処理を実行したとき*

【注】 * フラグをクリアするための 0 ライトのみ可能です。

5.3.7 キーボードマトリクス割り込みレジスタ (KMIMRA、KMIMR)

KMIMRA、KMIMR は、キーセンス割り込み入力 ($\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$) のマスク制御を行います。なお、これらのレジスタの設定を有効にするためには MSTPCR の MSTP2 ビットを 0 にクリアしてください。

• KMIMRA

ビット	ビット名	初期値	R/W	説明
7	KMIMR15	1	R/W	キーボードマトリクス割り込みマスク 15~8
6	KMIMR14	1	R/W	キーセンス入力割り込み要求 (KIN 15~KIN8) を制御します。
5	KMIMR13	1	R/W	0: キーセンス入力割り込み要求を許可
4	KMIMR12	1	R/W	1: キーセンス入力割り込み要求を禁止
3	KMIMR11	1	R/W	
2	KMIMR10	1	R/W	
1	KMIMR9	1	R/W	
0	KMIMR8	1	R/W	

• KMIMR

ビット	ビット名	初期値	R/W	説明
7	KMIMR7	1	R/W	キーボードマトリクス割り込みマスク 7~0
6	KMIMR6	0	R/W	キーセンス入力割り込み要求 (KIN7~KIN0) を制御します。また、KMIMR6 は $\overline{\text{IRQ6}}$ 端子割り込み要求のマスク制御も同時に行います。
5	KMIMR5	1	R/W	0: キーセンス入力割り込み要求を許可
4	KMIMR4	1	R/W	1: キーセンス入力割り込み要求を禁止
3	KMIMR3	1	R/W	
2	KMIMR2	1	R/W	
1	KMIMR1	1	R/W	
0	KMIMR0	1	R/W	

IRQ7、IRQ6 割り込みと KIN15~KIN0 割り込み、KMIMRA、KMIMR との関係を図 5.2 に示します。

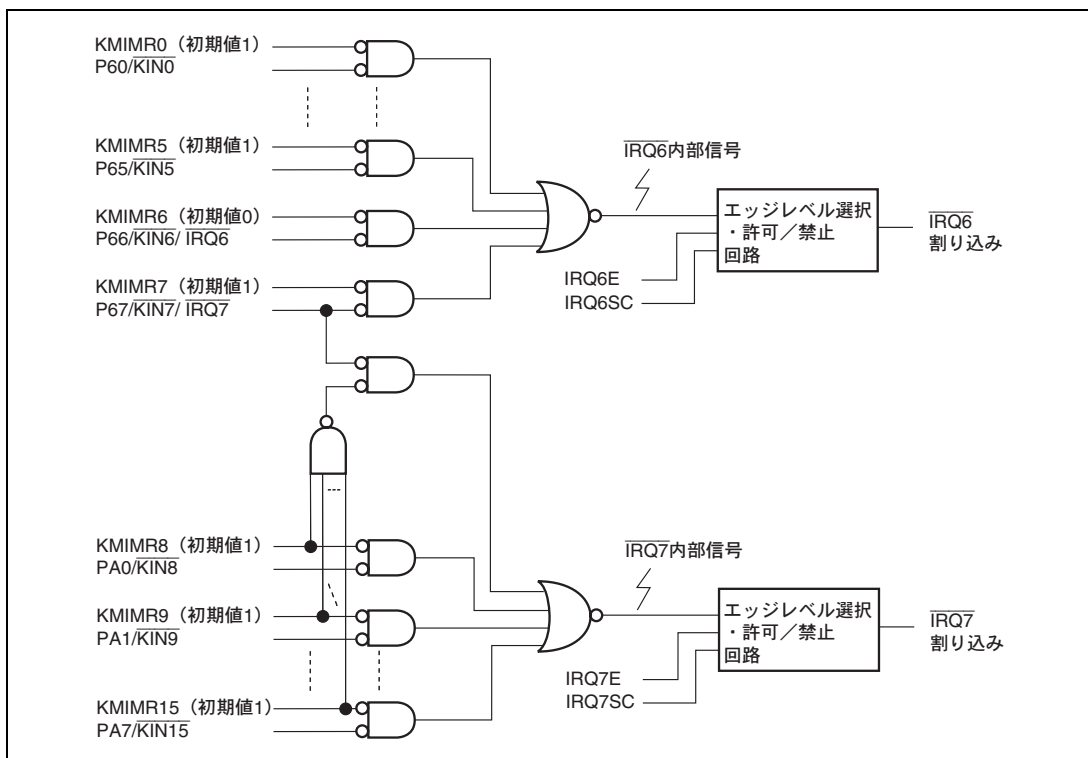


図 5.2 IRQ7、IRQ6 割り込みと KIN15~KIN0 割り込み、KMIMR、KMIMRA との関係

KMIMR15~KMIMR8 の 1 ビットでも 0 にクリアされていると、 $\overline{\text{IRQ7}}$ 端子からの割り込み入力が無視されます。また、 $\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$ 端子、あるいは $\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$ 端子を、キーセンス割り込み入力端子として使用する場合は、それぞれの対応する割り込み要因 (IRQ6 あるいは IRQ7) の割り込みセンス条件を、必ず Low レベルセンスまたは立ち下がりエッジセンスに設定してください。

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ7~IRQ0、KIN15~KIN0 の割り込み要因があります。KIN15~KIN8 は IRQ7 と、KIN7~KIN0 は IRQ6 と兼用になっています。このうち、NMI、IRQ7、IRQ6、IRQ2~IRQ0 は、すべてソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

5. 割り込みコントローラ

(2) IRQ7~IRQ0 割り込み

IRQ7~IRQ0 割り込みは $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ7~IRQ0 割り込みには以下の特長があります。

- IRQ7~IRQ0割り込み要求により、独立のベクタアドレスで割り込み例外処理を開始できます。
- $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ 端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQ7~IRQ0割り込み要求はIERによりマスクできます。
- ICRにより割り込みコントロールレベルを設定できます。
- IRQ7~IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ7~IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

IRQ7~IRQ0 割り込みのブロック図を図 5.3 に示します。

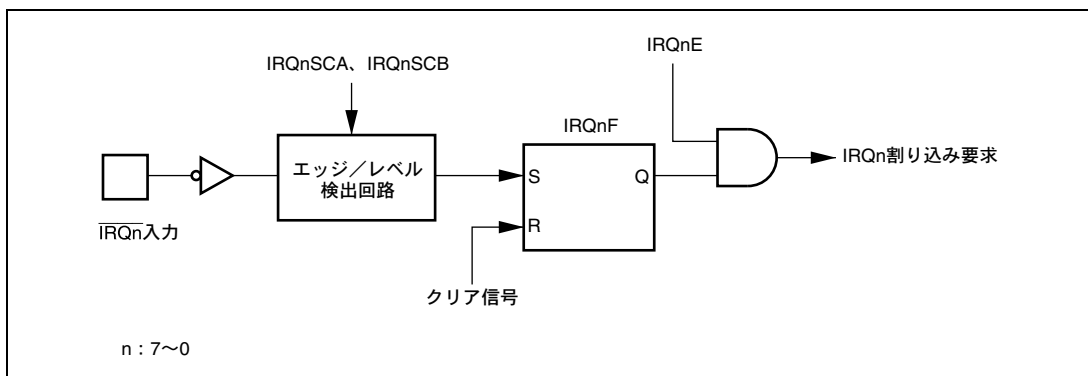


図 5.3 IRQ7~IRQ0 割り込みのブロック図

$\overline{\text{IRQ6}}$ 端子を IRQ6 割り込み入力端子として使用する場合は、KMIMR6 ビットを 0 にクリアしてください。

また、 $\overline{\text{IRQ7}}$ 端子を IRQ7 割り込み入力端子として使用する場合は、必ず KMIMR15~KMIMR8 の各ビットをすべて 1 にセットしてください。どれか 1 ビットでも 0 にクリアされていると、 $\overline{\text{IRQ7}}$ 端子からの IRQ7 割り込み入力が無視されます。

割り込み要求フラグ IRQ7F~IRQ0F は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

(3) KIN15~KIN0 割り込み

KIN15~KIN0 割り込みは、 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ 端子の入力信号により要求されます。 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ 端子をキーセンス入力として使用する場合、対応する KMIMR ビットは、そのキーセンス入力割り込みを許可するために、0 にクリアしてください。残りの使用していないキーセンス入力の KMIMR ビットは、その割り込みを禁止するために 1 にセットしてください。KIN15~KIN8 割り込みは IRQ7 割り込み、KIN7~KIN0 割り込みは IRQ6 割り込みとなります。割り込み要求発生端子条件、割り込み要求の許可、割り込みコントロールレベルの設定、および割り込み要求のステータス表示は、IRQ7 および IRQ6 割り込みの各設定、表示にしています。

なお、 $\overline{\text{KIN7}}\sim\overline{\text{KIN0}}$ 端子あるいは $\overline{\text{KIN15}}\sim\overline{\text{KIN8}}$ 端子をキーセンス割り込み入力端子として使用する場合は、それぞれの対応する割り込み要因（IRQ6 あるいは IRQ7）の割り込みセンス条件を、必ず Low レベルセンスまたは立ち下がりエッジセンスに設定してください。

5.4.2 内部割り込み要因

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

1. 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
2. ICRによって割り込みのコントロールレベルを設定できます。

5.5 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

ICR のビットが割り当てられているモジュールは、割り込みコントロールレベルを設定することができます。割り込みコントロールレベルと CCR の I、UI ビットにより、コントロールレベル 1（優先）に設定したモジュールの割り込みは、コントロールレベル 0（非優先）に設定したモジュールの割り込みより優先して処理できます。

5. 割り込みコントローラ

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アドバンストモード		
外部端子	NMI	7	H'000E	H'00001C	—	高 ▲
	IRQ0	16	H'0020	H'000040	ICRA7	
	IRQ1	17	H'0022	H'000044	ICRA6	
	IRQ2	18	H'0024	H'000048	ICRA5	
	IRQ3	19	H'0026	H'00004C		
	IRQ4	20	H'0028	H'000050	ICRA4	
	IRQ5	21	H'002A	H'000054		
	IRQ6, KIN7~KIN0 IRQ7, KIN15~KIN8	22 23	H'002C H'002E	H'000058 H'00005C	ICRA3	
—	システム予約	24	H'0030	H'000060	—	
WDT_0	WOVI0 (インターバルタイマ)	25	H'0032	H'000064	ICRA1	
WDT_1	WOVI1 (インターバルタイマ)	26	H'0034	H'000068	ICRA0	
—	アドレスブレイク	27	H'0036	H'00006C	—	
A/D 変換器	ADI (A/D 変換終了)	28	H'0038	H'000070	ICRB7	
—	システム予約	29 ~ 47	H'003A ~ H'005E	H'000074 ~ H'0000BC	—	
FRT	ICIA (インプットキャプチャ A)	48	H'0060	H'0000C0	ICRB6	
	ICIB (インプットキャプチャ B)	49	H'0062	H'0000C4		
	ICIC (インプットキャプチャ C)	50	H'0064	H'0000C8		
	ICID (インプットキャプチャ D)	51	H'0066	H'0000CC		
	OCIA (アウトプットコンペア A)	52	H'0068	H'0000D0		
	OCIB (アウトプットコンペア B)	53	H'006A	H'0000D4		
	FOVI (オーバーフロー)	54	H'006C	H'0000D8		
システム予約	55	H'006E	H'0000DC			
—	システム予約	56 ~ 63	H'0070 ~ H'007E	H'0000E0 ~ H'0000FC	—	
TMR_0	CMIA0 (コンペアマッチ A)	64	H'0080	H'000100	ICRB3	
	CMIB0 (コンペアマッチ B)	65	H'0082	H'000104		
	OVI0 (オーバーフロー)	66	H'0084	H'000108		
	システム予約	67	H'0086	H'00010C		
TMR_1	CMIA1 (コンペアマッチ A)	68	H'0088	H'000110	ICRB2	
	CMIB1 (コンペアマッチ B)	69	H'008A	H'000114		
	OVI1 (オーバーフロー)	70	H'008C	H'000118		
	システム予約	71	H'008E	H'00011C		

5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アドバンストモード		
TMR_Y	CMIAY (コンペアマッチ A) CMIBY (コンペアマッチ B) OVIY (オーバーフロー) システム予約	72	H'0090	H'000120	ICRB1	高 ▲
		73	H'0092	H'000124		
		74	H'0094	H'000128		
		75	H'0096	H'00012C		
-	システム予約	76	H'0098	H'000130	-	↑
		~	~	~		
		79	H'009E	H'00013C		
SCI_0	ERI0 (受信エラー0) RXI0 (受信完了0) TXI0 (送信データエンプティ0) TEI0 (送信終了0)	80	H'00A0	H'000140	ICRC7	↑
		81	H'00A2	H'000144		
		82	H'00A4	H'000148		
		83	H'00A6	H'00014C		
SCI_1	ERI1 (受信エラー1) RXI1 (受信完了1) TXI1 (送信データエンプティ1) TEI1 (送信終了1)	84	H'00A8	H'000150	ICRC6	↑
		85	H'00AA	H'000154		
		86	H'00AC	H'000158		
		87	H'00AE	H'00015C		
SCI_2	ERI2 (受信エラー2) RXI2 (受信完了2) TXI2 (送信データエンプティ2) TEI2 (送信終了2)	88	H'00B0	H'000160	ICRC5	↑
		89	H'00B2	H'000164		
		90	H'00B4	H'000168		
		91	H'00B6	H'00016C		
-	システム予約	92	H'00B8	H'000170	-	↑
		~	~	~		
		111	H'00DE	H'0001BC		

5. 割り込みコントローラ

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード1の2種類のモードがあり、割り込み制御モードによって動作が異なります。NMI割り込みおよびアドレスブレイク割り込みは、リセット状態やハードウェアスタンバイ状態を除き常に受け付けられます。割り込み制御モードの選択はSYSCRで行います。表5.4に割り込み制御モードを示します。

表 5.4 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0	ICR	I	Iビットにより割り込みマスク制御を行います。ICRにより優先順位の設定ができます。
1		1	ICR	I、UI	I、UIビットにより3レベルの割り込みマスク制御を行います。ICRにより優先順位の設定ができます。

5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIとアドレスブレイクを除く割り込み要求は、ICRおよびCPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.4に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. CCRのIビットが1にセットされているときは、割り込みコントローラはNMIとアドレスブレイク以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIとアドレスブレイク割り込みを除く割り込みはマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

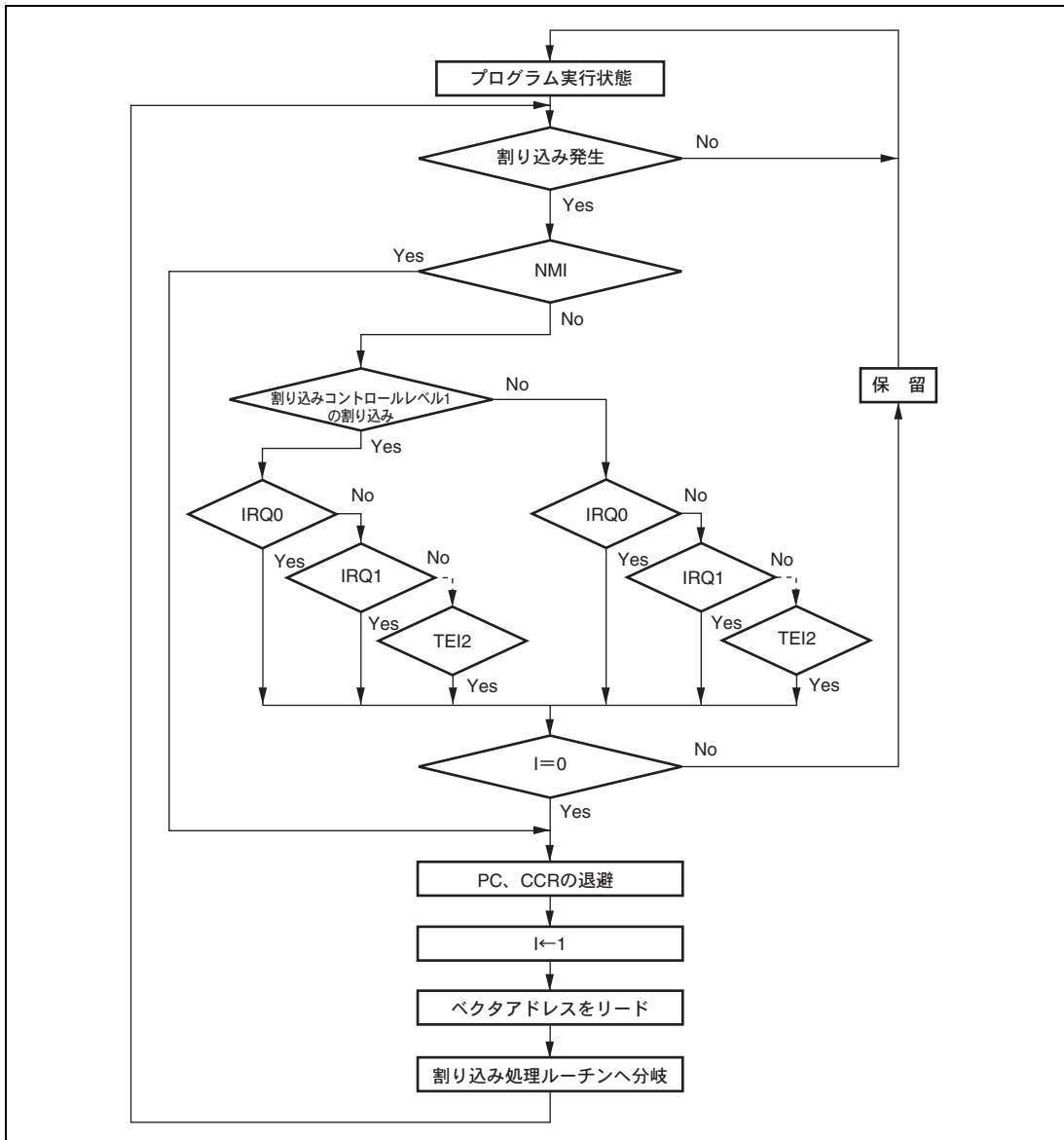


図 5.4 割り込み制御モード 0 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.2 割り込み制御モード 1

割り込み制御モード 1 では IRQ、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって 3 レベルのマスク制御を行います。

- 割り込みコントロールレベル0の割り込み要求は、CCRのIビットが0にクリアされているときは割り込み要求を受け付けます。Iビットが1にセットされているときは割り込み要求を保留します。
- 割り込みコントロールレベル1の割り込み要求は、CCRのIビット、またはUIビットが0にクリアされているときは割り込み要求を受け付けます。Iビット、およびUIビットがいずれも1にセットされているときは割り込み要求を保留します。

例えば各割り込み要求に対応する割り込みイネーブルビットを1にセット、ICRA~ICRCをそれぞれH'20、H'00、H'00に設定した場合（IRQ2、IRQ3割り込みをコントロールレベル1に、その他の割り込みをコントロールレベル0に設定）、次のようになります。このときの状態遷移を図 5.5 に示します。

- I=0のときはすべての割り込み要求を受け付けます。
(優先順位：NMI>IRQ2>IRQ3>アドレスブレイク>IRQ0>IRQ1…)
- I=1、UI=0のときはNMI、IRQ2、IRQ3、アドレスブレイクの割り込み要求のみを受け付けます。
- I=1、UI=1のときはNMIとアドレスブレイクの割り込み要求のみを受け付けます。

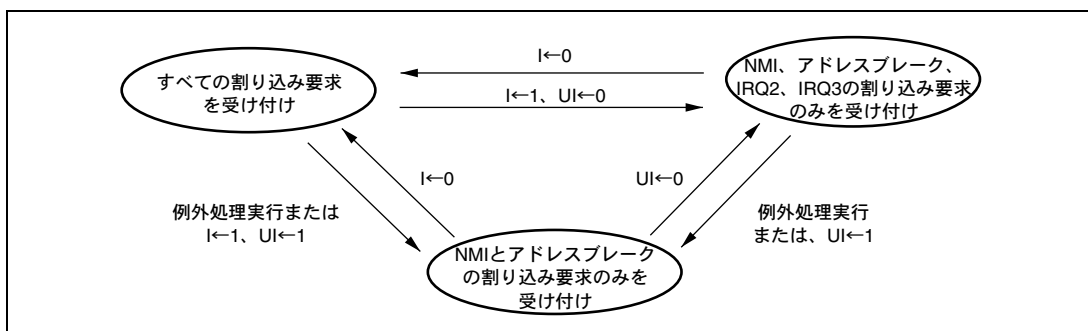


図 5.5 割り込み制御モード 1 の状態遷移

割り込み受け付けの動作フローチャートを図 5.6 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. 割り込みコントロールレベル1の割り込み要求は、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けます。
割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けます。Iビットが1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。
I、UIビットがいずれも1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。
Iビットが0にクリアされているときは、UIビットの影響を受けません。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのI、UIビットを1にセットします。これにより、NMIとアドレスブレイクを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

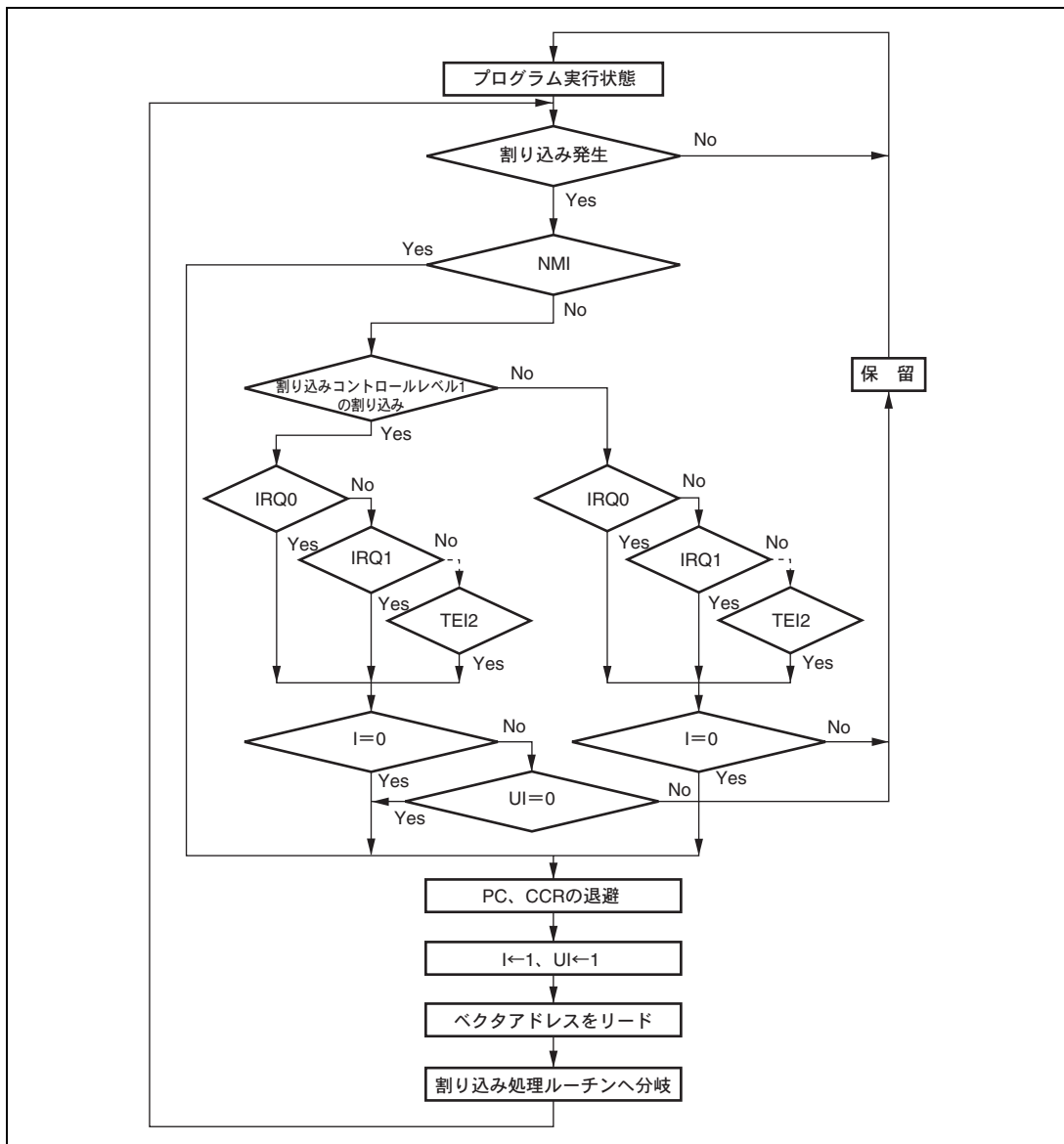


図 5.6 割り込み制御モード 1 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

図 5.7 に割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0、プログラム領域およびスタック領域を内蔵メモリの場合の例です。

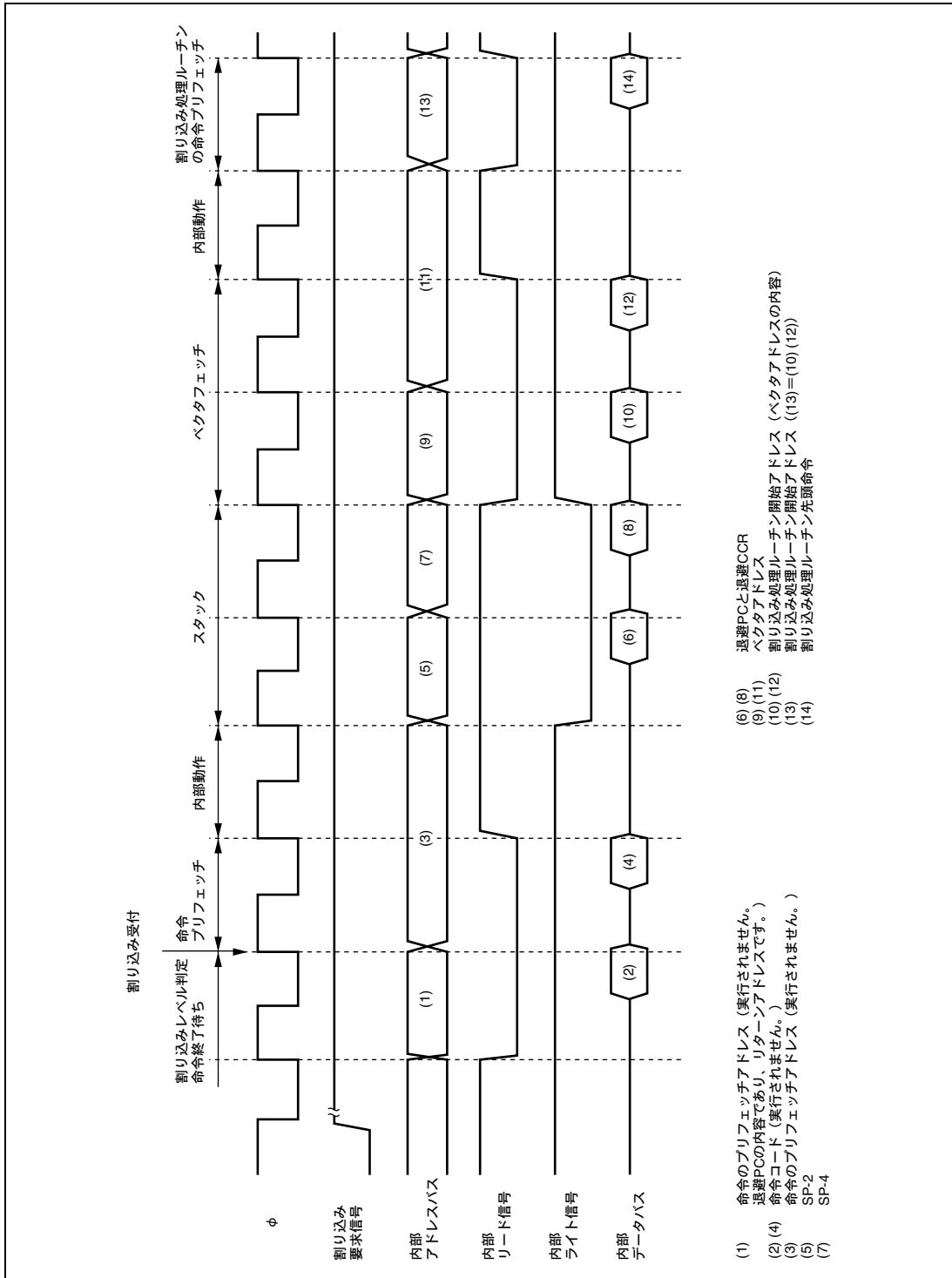


図 5.7 割り込み例外処理

5. 割り込みコントローラ

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.5 に示します。表 5.5 の実行状態の記号については表 5.6 を参照してください。

表 5.5 割り込み応答時間

No.	実行状態	ノーマルモード	アドバンスモード
1	割り込み優先順位判定* ¹	3	
2	実行中の命令が終了するまでの待ちステート数* ²	1~ (19+2・Si)	
3	PC、CCR のスタック	2・Sk	2・Sk
4	ベクタフェッチ	Si	2・Si
5	命令フェッチ* ³	2・Si	
6	内部処理* ⁴	2	
合計（内蔵メモリ使用时）		11~31	12~32

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.6 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチSi	1	4	6+2m	2	3+m
分岐アドレスリードSj					
スタック操作Sk					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.7 アドレスブレイク

5.7.1 特長

本 LSI では、ABRKCR、BAR の設定により、CPU による特定アドレスのプリフェッチを判定し、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク割り込みが発生すると、アドレスブレイク割り込み例外処理を実行します。

本機能により、プログラム上のバグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。

5.7.2 ブロック図

アドレスブレイクのブロック図を図 5.8 に示します。

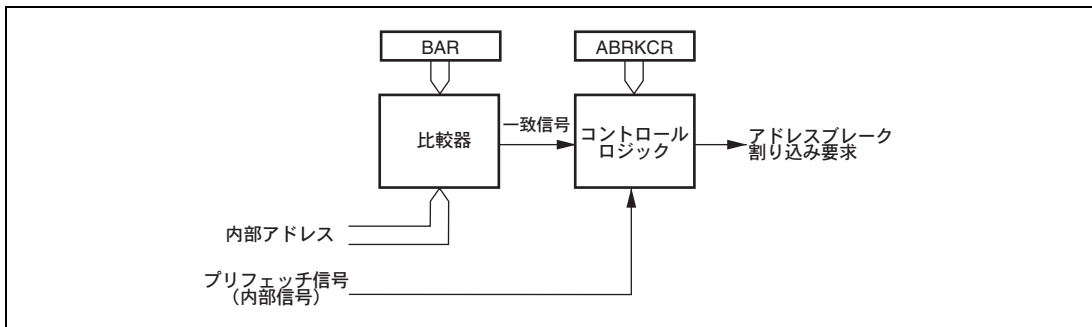


図 5.8 アドレスブレイクのブロック図

5.7.3 動作説明

ABRKCR、BAR の設定により、BAR に設定されたアドレスを CPU がプリフェッチしたときに、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク機能は、プリフェッチした時点で割り込みコントローラに対して、割り込み要求を発生し、割り込みコントローラで優先順位を判定します。割り込みが受け付けられると、そのとき実行中の命令が終了した後、割り込み例外処理を起動します。なお、アドレスブレイク割り込みでは CPU の CCR の I、UI ビットによる割り込みマスク制御は無効です。

アドレスブレイクを使用するときは、次に示すように各レジスタを設定します。

1. ブレイクアドレスを BAR の A23～A1 ビットに設定します。
2. ABRKCR の BIE ビットを 1 にセットしてアドレスブレイクを許可します。

BIE ビットを 0 にクリアしている場合、アドレスブレイクは要求されません。

設定条件が成立すると、ABRKCR の CMF フラグが 1 にセットされ、割り込みを要求します。割り込み処理ルーチンで、必要に応じて要因の判定を行ってください。

5.7.4 使用上の注意事項

1. アドレスブレイクでは、ブレイクアドレスを命令の第1バイトが存在するアドレスにしてください。その他のアドレスでは、条件成立とみなされない場合があります。
2. ノーマルモードの場合は、アドレスA23～A16は比較されません。
3. BARで設定したアドレスの直前の命令にブランチ命令（Bcc、BSR）、ジャンプ命令（JMP、JSR）、RTS命令、RTE命令を配置した場合、これらの命令の実行により当該アドレスに対するプリフェッチ信号が出力され、アドレスブレイクが要求される場合があります。これらの命令の直後のアドレスに対するブレイクアドレスの設定を行わない、あるいは割り込み処理ルーチンで、本来の条件成立による割り込み処理であったかの判定を行う、などの対策が必要です。
4. アドレスブレイク割り込みは、内部プリフェッチ信号とアドレスの組み合わせにより発生しますので、設定したアドレスの命令および直前の命令の内容、実行サイクルにより、割り込み例外処理の入るタイミングが異なります。図5.9にアドレスタイミング例を示します。

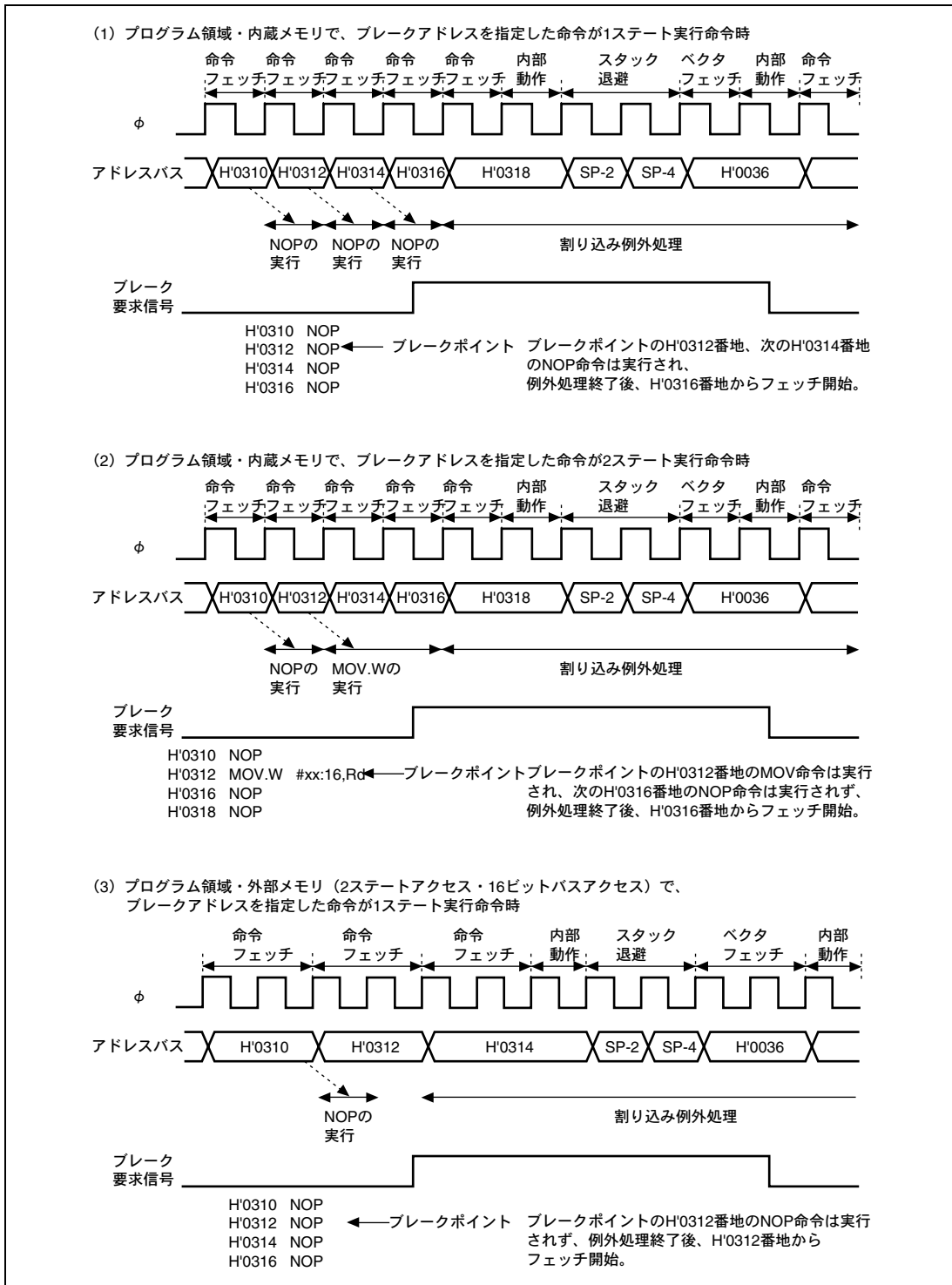


図 5.9 アドレスブレークタイミング例

5.8 使用上の注意事項

5.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TMR の TCR の CMIEA ビットを 0 にクリアする場合の例を図 5.10 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

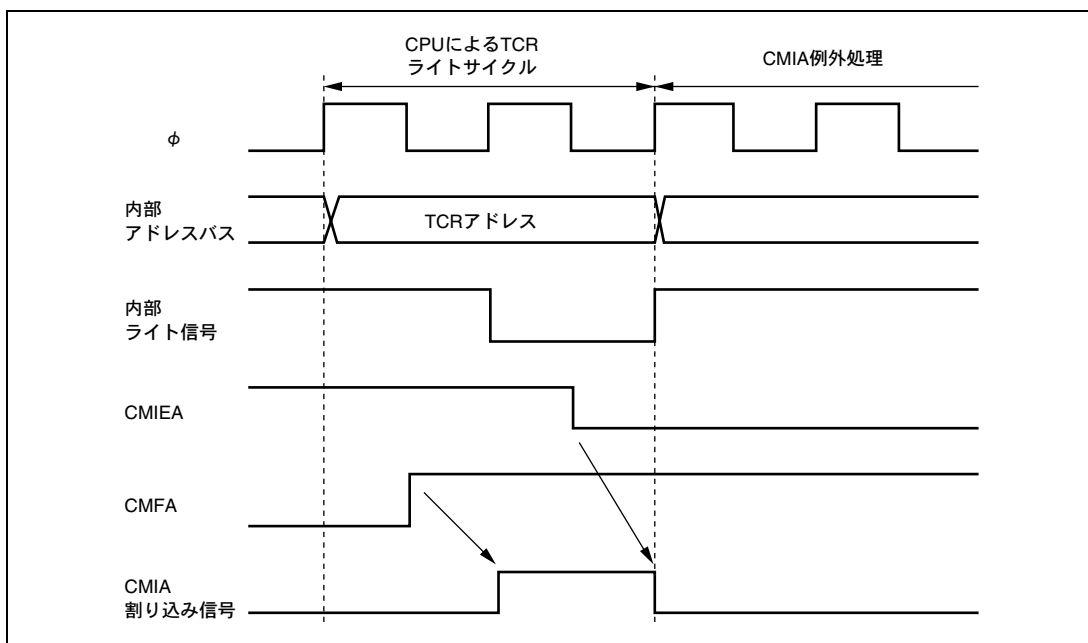


図 5.10 割り込みの発生とディスエーブルの競合

5.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.8.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:      EEPMOV.W
        MOV.W   R4, R4
        BNE    L1
```

5.8.4 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により IRQnF=1 となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。(n=7~0)

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間のバス幅、アクセスステート数などのバス仕様を設定することが可能です。

6.1 特長

- 基本バスインタフェース
2ステートアクセス空間/3ステートアクセス空間を選択可能
プログラムウェイトステートを挿入可能
- バーストROMインタフェース
基本拡張エリアをバーストROMインタフェースに設定可能
バーストアクセスは1または2ステートを選択可能
- アイドルサイクル挿入
外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

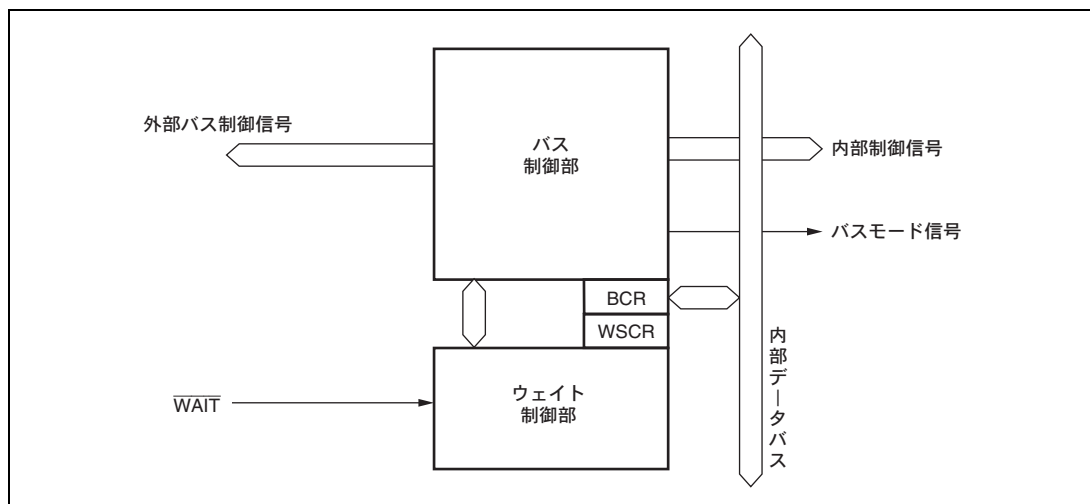


図 6.1 バスコントローラのブロック図

6. バスコントローラ (BSC)

6.2 入出力端子

BSC の端子構成を表 6.1、表 6.2 に示します。

表 6.1 H8S/2144B の端子構成

記号	入出力	機能
AS	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号 (SYSCR の IOSE=0 の場合)
$\overline{\text{IOS}}$	出力	I/O セレクト信号 (SYSCR の IOSE=1 の場合)
RD	出力	外部アドレス空間をリードしていることを示すストロープ信号
$\overline{\text{HWR}}$	出力	外部アドレス空間をライトし、データバスの上位 (D15~D8) が有効であることを示すストロープ信号
$\overline{\text{LWR}}$	出力	外部アドレス空間をライトし、データバスの下位 (D7~D0) が有効であることを示すストロープ信号
WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号

表 6.2 H8S/2134B の端子構成

記号	入出力	機能
AS	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号 (SYSCR の IOSE=0 の場合)
$\overline{\text{IOS}}$	出力	I/O セレクト信号 (SYSCR の IOSE=1 の場合)
RD	出力	外部アドレス空間をリードしていることを示すストロープ信号
$\overline{\text{WR}}$	出力	外部アドレス空間をライトし、データバスの上位 (D7~D0) が有効であることを示すストロープ信号
WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号

6.3 レジスタの説明

BSC には以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- バスコントロールレジスタ (BCR)
- ウェイトステートコントロールレジスタ (WSCR)

6.3.1 バスコントロールレジスタ (BCR)

BCR は、外部アドレス空間のアクセスモード、 \overline{AS} 端子を I/O ストロープ機能に設定したときの I/O 領域の範囲を設定します。

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット 0 をライトしないでください。
6	ICIS0	1	R/W	アイドルサイクル挿入 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルとバスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない 1: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを 1 ステート挿入する
5	BRSTRM	0	R/W	バースト ROM イネーブル 外部アドレス空間を選択します。 0: 基本バスインタフェース 1: バースト ROM インタフェース
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0: 1 ステート 1: 2 ステート
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0: 最大 4 ワード 1: 最大 8 ワード
2	—	1	R/W	リザーブビット 0 をライトしないでください。
1	IOS1	1	R/W	IOS セレクト 1、0
0	IOS0	1	R/W	\overline{IOS} 信号を出力するアドレスの範囲を指定します。表 6.4 を参照してください。

6. バスコントローラ (BSC)

6.3.2 ウェイトステートコントロールレジスタ (WSCR)

WSCR は、外部アドレス空間のデータバス幅、外部アドレス空間のアクセスステート数、および外部アドレス空間のウェイトモードとウェイトステート数を設定します。内蔵メモリおよび内蔵 I/O レジスタのバス幅およびアクセスステート数は WSCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	1 をライトしないでください。
5	ABW	1	R/W	バス幅コントロール 外部アドレス空間を 8 ビットアクセス空間とするか、16 ビットアクセス空間とするか選択します。 0 : 16 ビットアクセス空間* 1 : 8 ビットアクセス空間
4	AST	1	R/W	アクセスステートコントロール 外部アドレス空間を 2 ステータスアクセス空間とするか、3 ステータスアクセス空間とするか選択します。同時にウェイトステートの挿入を許可または禁止します。 0 : 2 ステートアクセス空間 外部アドレス空間のアクセスにウェイトステートの挿入を禁止 1 : 3 ステートアクセス空間 外部アドレス空間のアクセスにウェイトステートの挿入を許可
3	WMS1	0	R/W	ウェイトモードセレクト 1、0
2	WMS0	0	R/W	AST ビットが 1 にセットされたとき、外部アドレス空間をアクセスするときのウェイトモードを選択します。 00 : プログラムウェイトモード 01 : ウェイト禁止モード 10 : 端子ウェイトモード 11 : 端子オートウェイトモード
1	WC1	1	R/W	ウェイトカウント 1、0
0	WC0	1	R/W	AST ビットが 1 にセットされたとき、外部アドレス空間をアクセスするときのプログラムウェイトステート数を選択します。 00 : プログラムウェイトを挿入しない 01 : プログラムウェイトを 1 ステート挿入 10 : プログラムウェイトを 2 ステート挿入 11 : プログラムウェイトを 3 ステート挿入

【注】 * H8S/2134B では設定禁止

6.4 バス制御

6.4.1 バス仕様

外部アドレス空間のバス仕様は、バス幅、アクセスステート数、ウェイトモード・プログラムウェイトステート数の3つの要素で構成されます。内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの設定の影響を受けません。

(1) バス幅

バス幅は、WSCR の ABW ビットにより、8 ビットまたは 16 ビット*を選択します。

【注】 * H8S/2134B では 16 ビットアクセス空間には設定できません。

(2) アクセスステート数

アクセスステート数は、WSCR の AST ビットにより、2 ステートまたは 3 ステートを選択します。2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。

バースト ROM インタフェースでは、AST ビットの設定に関係なくアクセスステート数が決まります。

(3) ウェイトモード・プログラムウェイトステート数

WSCR の AST ビットによって 3 ステートアクセス空間に設定したとき、WSCR の WMS1、WMS0、WC1、WC0 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

各エリアの基本バスインタフェースのバス仕様を表 6.3 に示します。

表 6.3 基本拡張エリア/基本バスインタフェースのバス仕様

ABW	AST	WMS1	WMS0	WC1	WC0	バス仕様			
						バス幅	アクセスステート数	プログラムウェイトステート数	
0	0	—	—	—	—	16	2	0	
		1	0	1	—				—
	1	—*	—*	0	0	0	16	3	0
					1	0			1
		1	0	1	0	2			
		1	0	1	1	3			
1	0	—	—	—	—	8	2	0	
		1	0	1	—				—
	1	—*	—*	0	0	0	8	3	0
					1	0			1
		1	0	1	0	2			
		1	0	1	1	3			

【注】 * WMS1=0 かつ WMS0=1 を除く

6. バスコントローラ (BSC)

6.4.2 アドバンストモード

外部アドレス空間の初期状態は、基本バスインタフェースで3ステートアクセス空間になっています。内蔵ROM有効拡張モードでは、内蔵ROM、内蔵RAM、内部I/Oレジスタ、および、それらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵RAMおよびそのリザーブエリアは、SYSCRのRAMEビットを1にセットしたときに有効で、RAMEビットを0にクリアすると内蔵RAMおよびそのリザーブエリアは無効になり、対応するアドレスは外部アドレス空間になります。

H8S/2134Bはアドレス出力端子が16本であり、アドバンストモードでの上位アドレス(A16~A23)を出力する端子がありません。 \overline{AS} 端子を、I/Oストロブ端子に設定することによって、H'FFF000~H'FFF7FFをアクセスすることは可能です。したがって、アドバンストモードでROM有効拡張モードに設定した場合でも、アクセス可能な外部空間はH'FFF000~H'FFF7FFとなります。

6.4.3 ノーマルモード

外部アドレス空間の初期状態は、基本バスインタフェースで3ステートアクセス空間になっています。内蔵ROM無効拡張モードでは内蔵RAM、内部I/Oレジスタおよびそれらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵ROM有効拡張モードでは、内蔵ROM、内蔵RAM、内部I/Oレジスタおよび、それらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵RAMはSYSCRのRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると内蔵RAMは無効になり、対応するアドレスは外部アドレス空間になります。

6.4.4 I/O セレクト信号

本LSIは、I/Oセレクト信号(\overline{IOS})を出力することができ、設定された外部アドレス空間をアクセスしたときにLowレベルを出力します。図6.2に、 \overline{IOS} 信号出力タイミング例を示します。

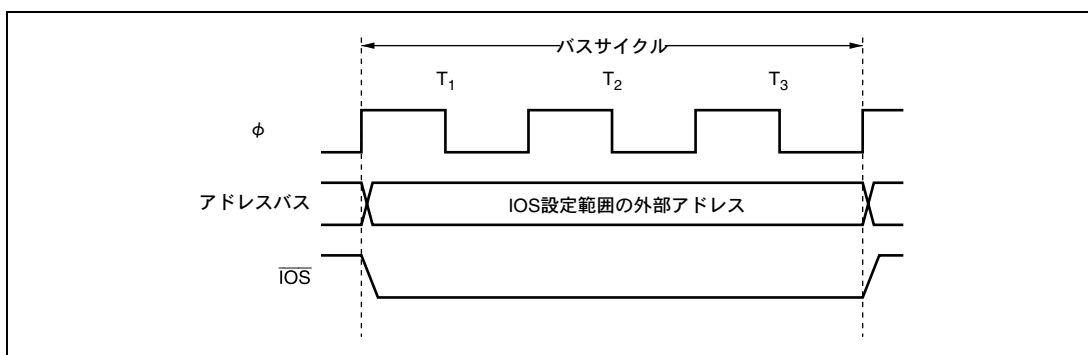


図 6.2 \overline{IOS} 信号出力タイミング

$\overline{\text{IOS}}$ 信号の出力の許可または禁止は、SYSCR の IOSE ビットの設定により行います。拡張モードでは、 $\overline{\text{IOS}}$ 端子はリセットにより $\overline{\text{AS}}$ 端子として動作しますので、 $\overline{\text{IOS}}$ 端子として動作させる場合には IOSE ビットを 1 にセットしてください。詳細は「第 7 章 I/O ポート」を参照してください。

$\overline{\text{IOS}}$ 信号を出力するアドレスの範囲は、BCR の IOS1、IOS0 ビットにより設定することができます。 $\overline{\text{IOS}}$ 信号を出力するアドレスの範囲を表 6.4 に示します。

表 6.4 $\overline{\text{IOS}}$ 信号を出力するアドレスの範囲

IOS1	IOS0	$\overline{\text{IOS}}$ 信号出力範囲
0	0	H'(FF)F000~H'(FF)F03F
	1	H'(FF)F000~H'(FF)F0FF
1	0	H'(FF)F000~H'(FF)F3FF
	1	H'(FF)F000~H'(FF)F7FF (初期値)

6.5 基本バスインタフェース

基本バスインタフェースでは ROM、SRAM との直結が可能です。基本バスインタフェースのバス仕様の選択については、表 6.3 を参照してください。

6.5.1 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズにはバイト、ワード、ロングワードがあります。BSC はデータアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス (D15~D8) を使用するか下位側データバス (D7~D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間または 16 ビットアクセス空間) とデータサイズによって制御します。

H8S/2134B では上位側データバスのみがあり、8 ビットアクセス空間のアライメントのみが適用されます。H8S/2134B の上位側データバスの端子は D7~D0 です。

6. バスコントローラ (BSC)

(1) 8ビットアクセス空間

図 6.3 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では常に上位側データバス (D15~D8) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

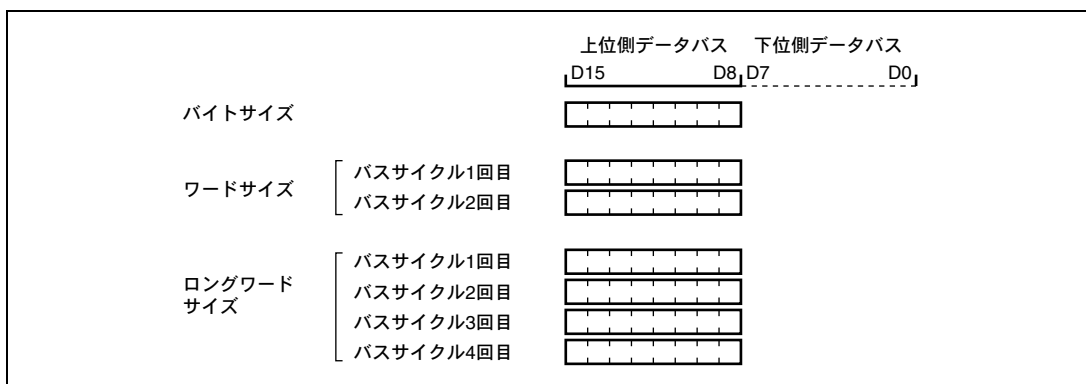


図 6.3 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16ビットアクセス空間 (H8S/2134B では使用できません)

図 6.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

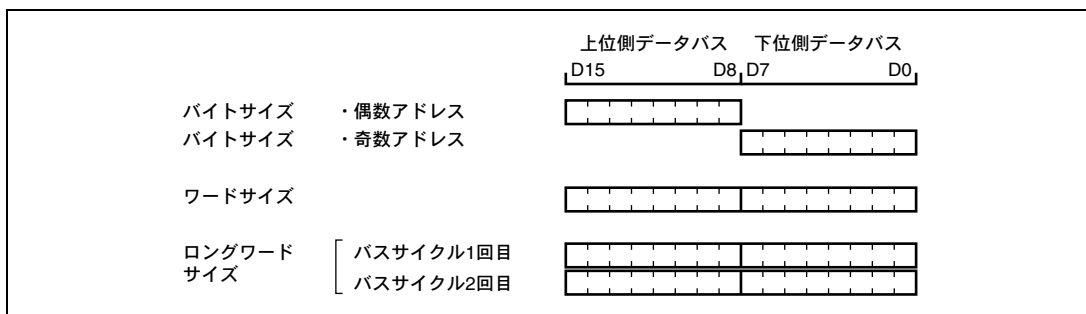


図 6.4 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.5.2 有効ストロープ

表 6.5 にアクセス空間と、使用するデータベースおよび有効なストロープを示します。

リード時はデータベースの上位側、下位側の区別なく \overline{RD} 信号が有効です。ライト時はデータベースの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

H8S/2134B では上位側データベースのみがあり、 \overline{RD} 信号、 \overline{HWR} 信号のみが有効です。また、 \overline{HWR} 信号が出力される端子は \overline{WR} になります。

表 6.5 使用するデータベースと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データベース上位 (D15~D8)	データベース下位 [H8S/2144B] (D7~D0)
8ビット アクセス空間	バイト	リード	—	\overline{RD}	有効	ポート他
		ライト	—	\overline{HWR} (\overline{WR})		ポート他
16ビット アクセス空間 [H8S/2144B]	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード	—	\overline{RD}	有効	有効
		ライト	—	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 不定 : 不定データが出力されます。

無効 : 入力状態であり、入力値は無視されます。

ポート他 : ポートまたは内蔵周辺機器の入出力端子となり、データベースとしては使用されません。

6.5.3 基本動作タイミング

(1) 8ビット2ステートアクセス空間

図 6.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。ウェイトステートを挿入することはできません。

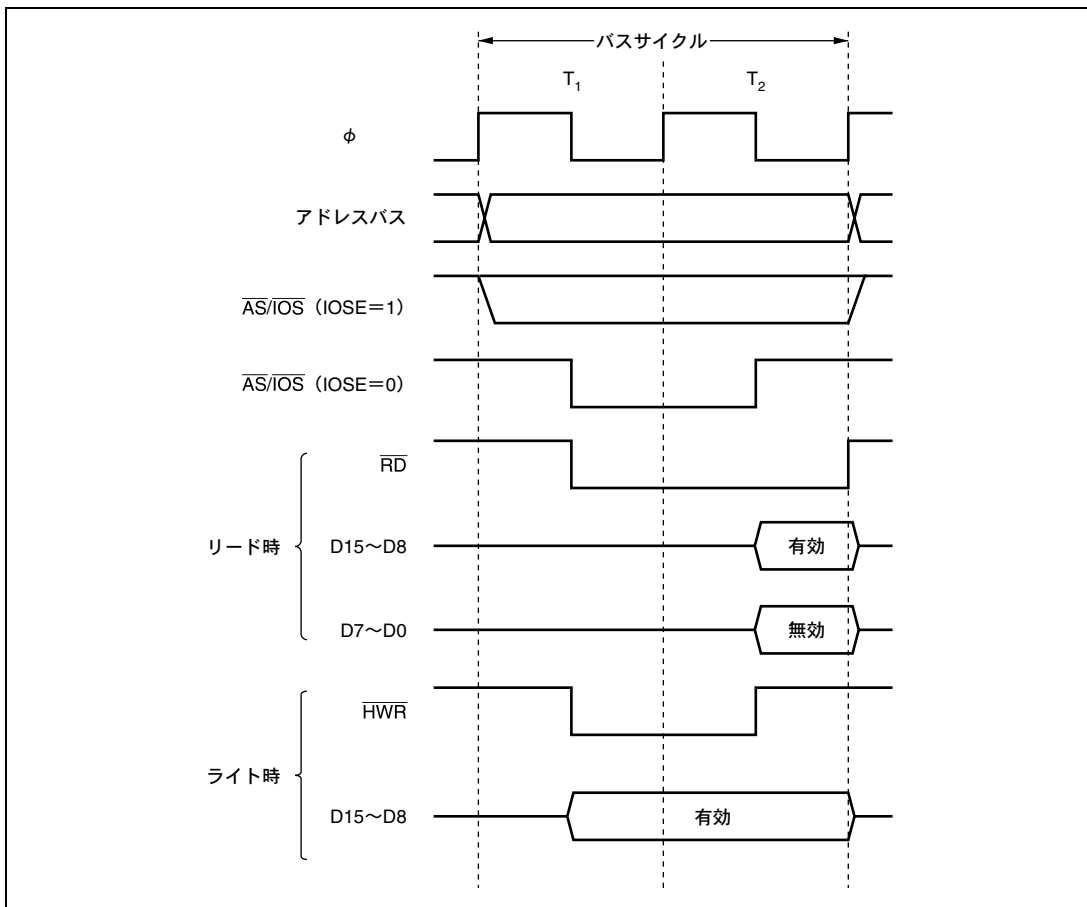


図 6.5 8ビット2ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間

図 6.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。ウェイトステートを挿入することができます。

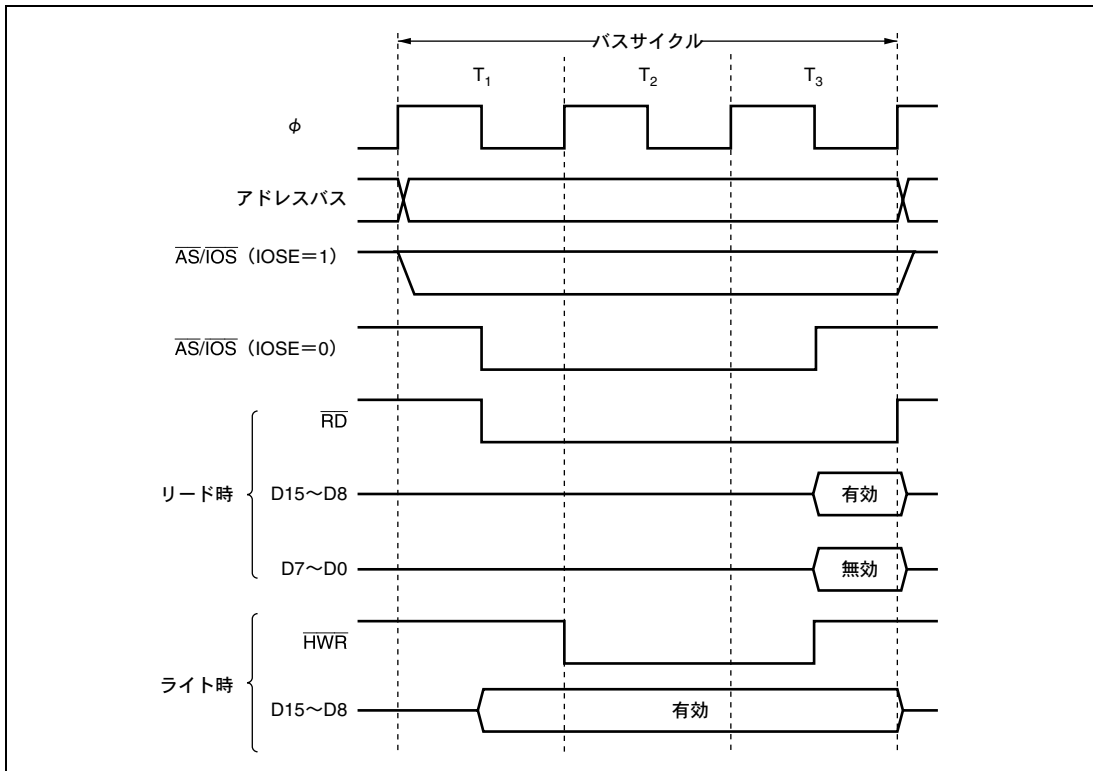


図 6.6 8 ビット 3 ステートアクセス空間のバスタイミング

6. バスコントローラ (BSC)

(3) 16 ビット 2 ステートアクセス空間 [H8S/2144B のみ]

図 6.7～図 6.9 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。ウェイトステートを挿入することはできません。

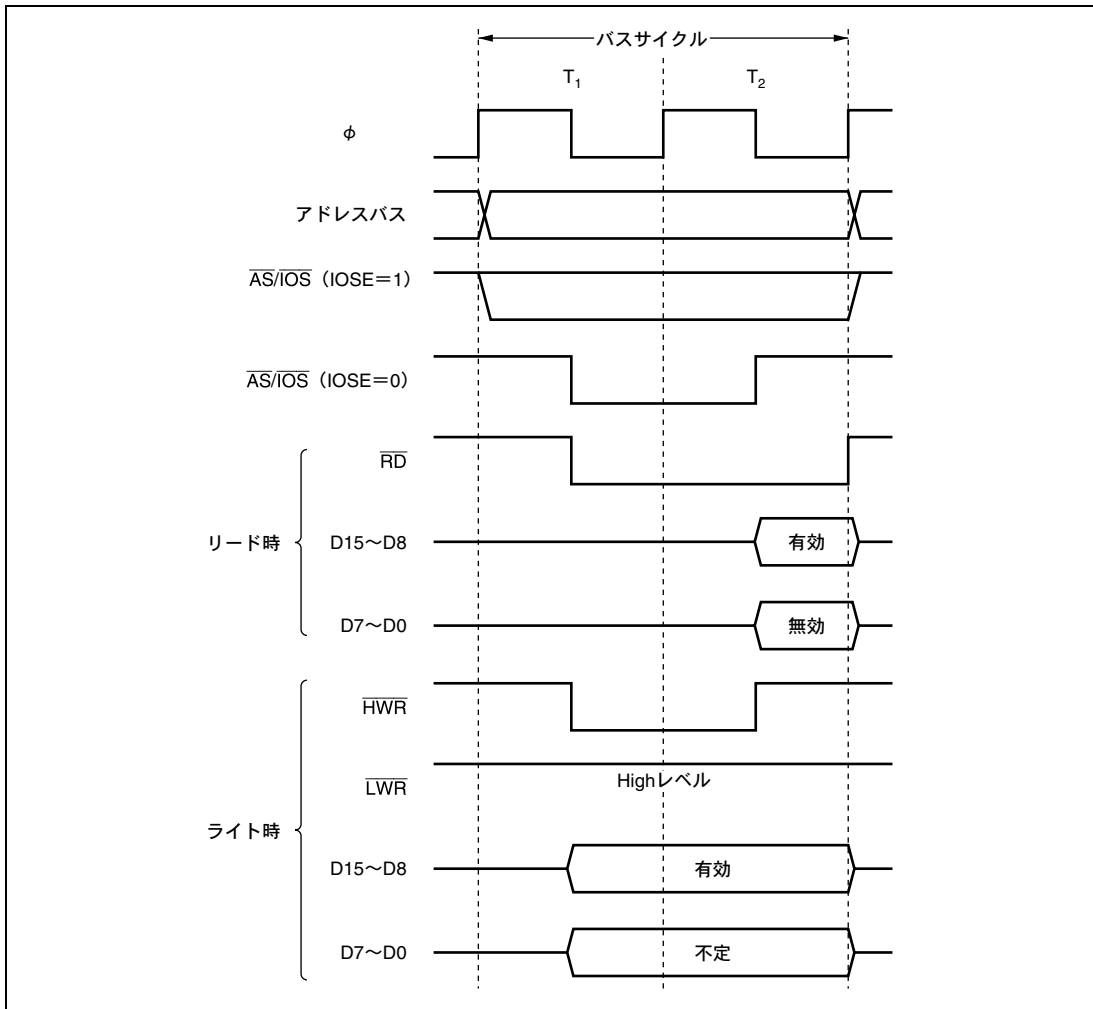


図 6.7 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

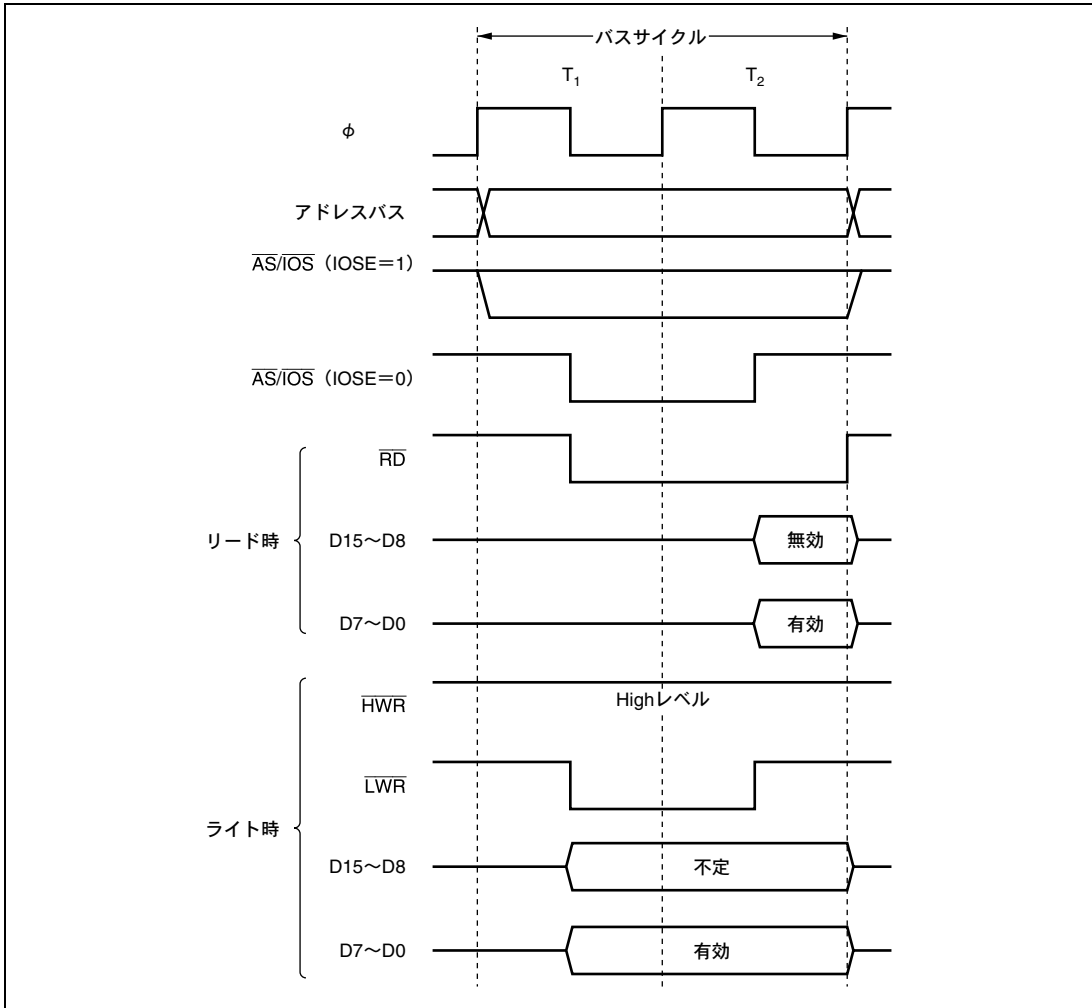


図 6.8 16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

6. バスコントローラ (BSC)

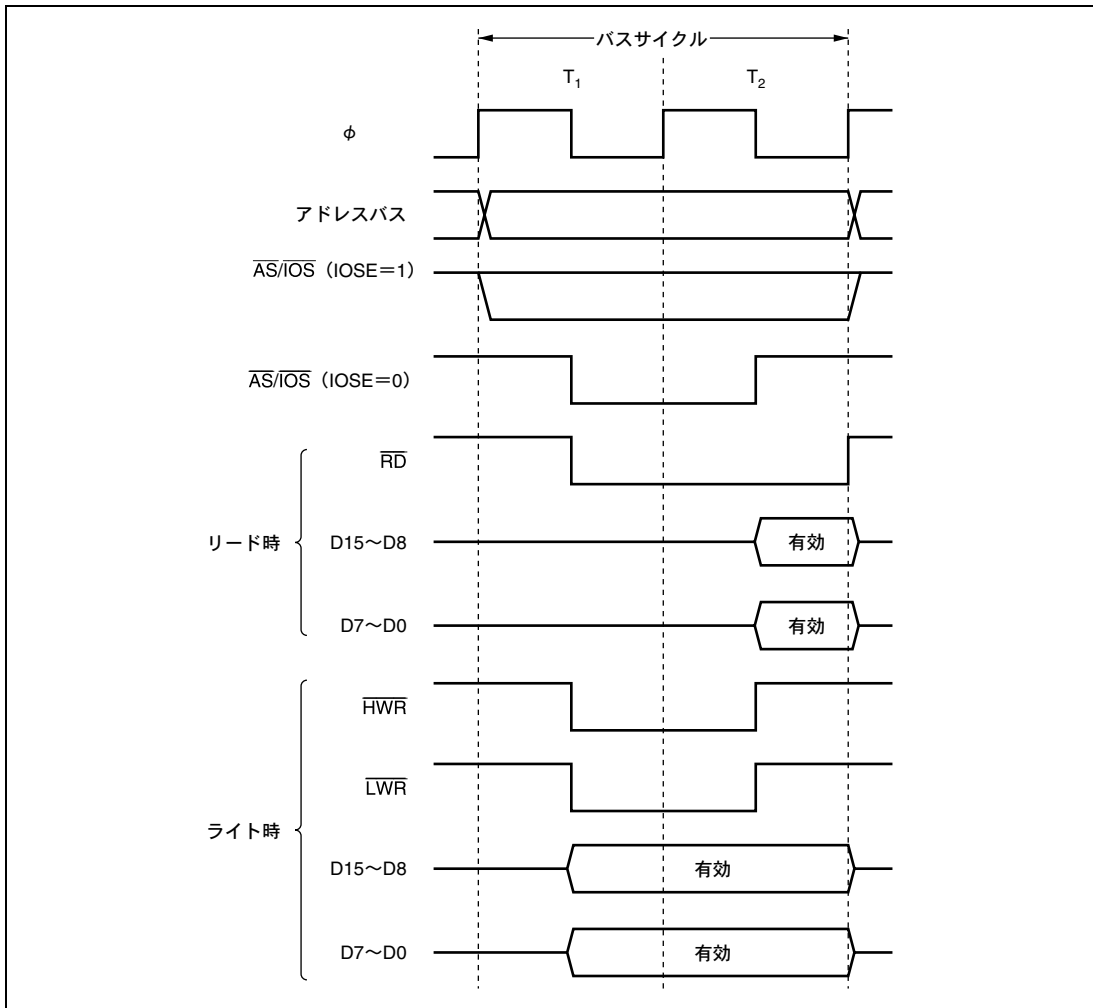


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)

(4) 16 ビット 3 ステートアクセス空間 [H8S/2144B のみ]

図 6.10～図 6.12 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上側側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下側側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

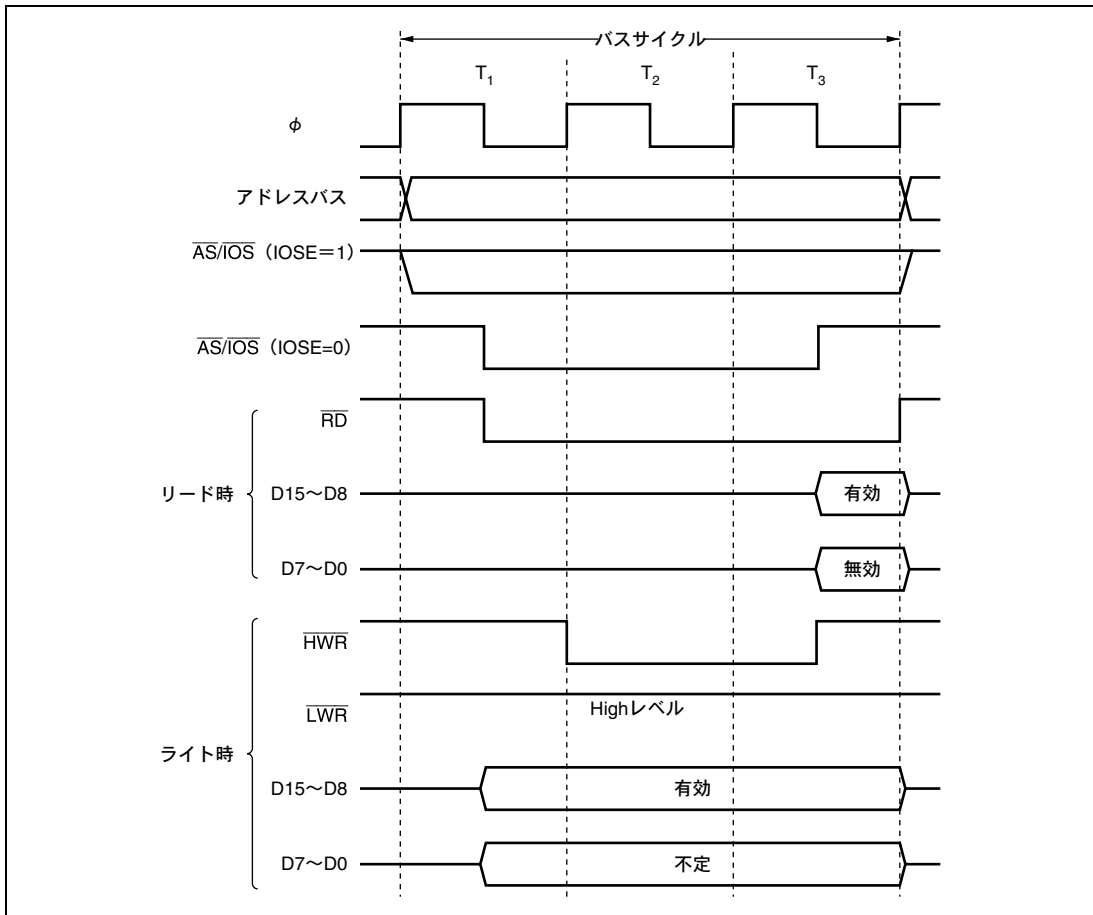


図 6.10 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

6. バスコントローラ (BSC)

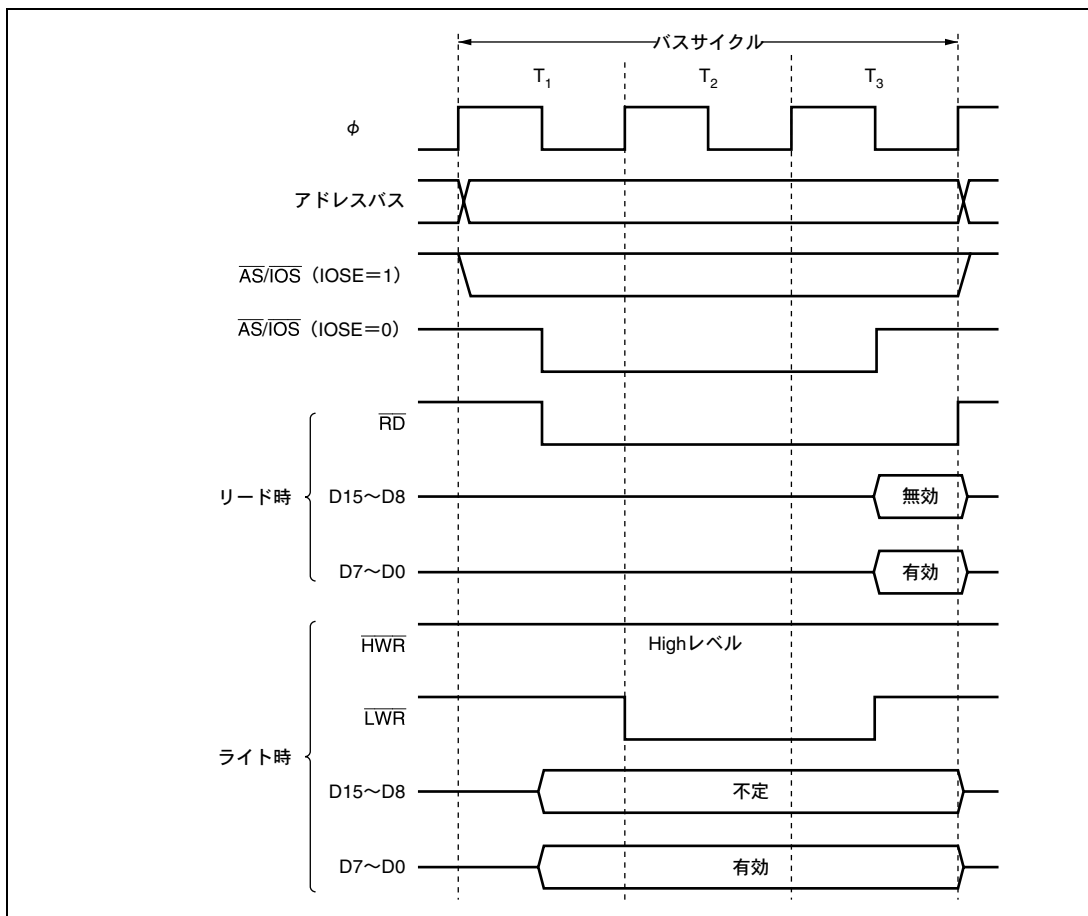


図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

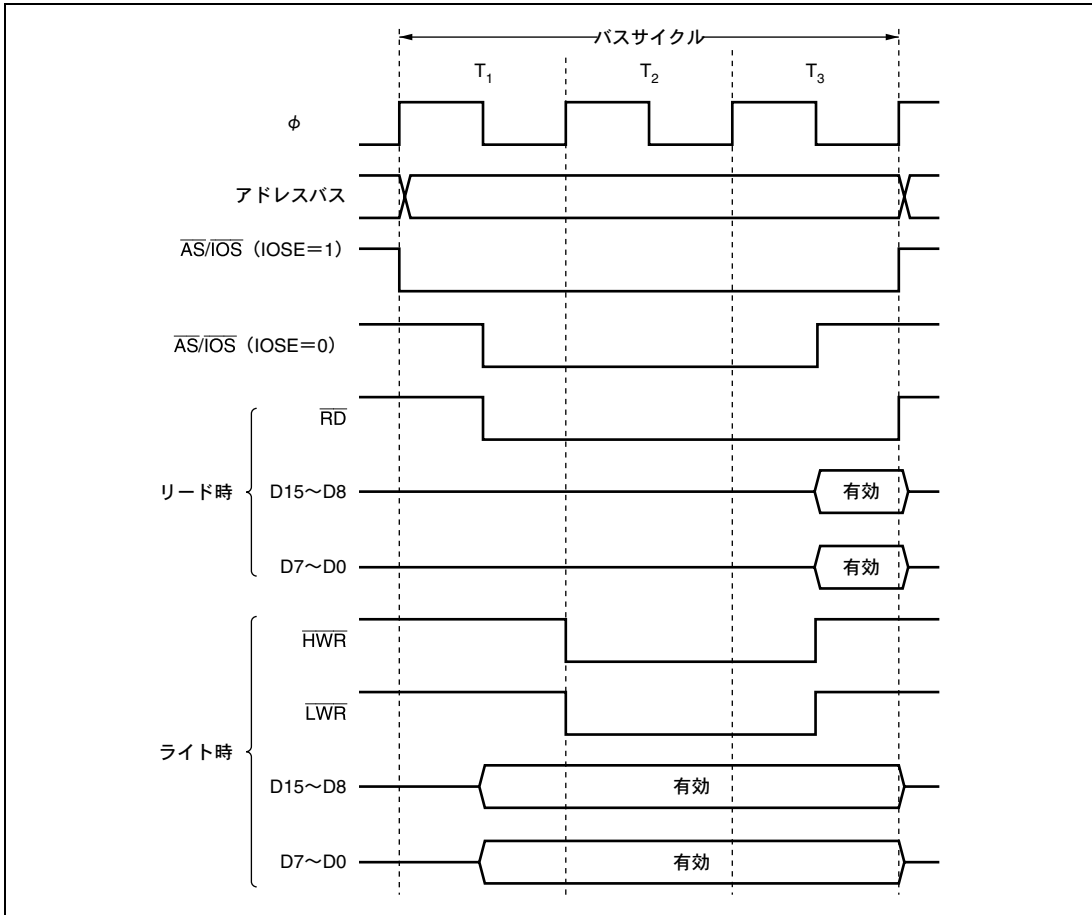


図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)

6. バスコントローラ (BSC)

6.5.4 ウェイト制御

本 LSI は外部アドレス空間をアクセスするとき、ウェイトステート (Tw) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、およびプログラムウェイトと $\overline{\text{WAIT}}$ 端子による端子ウェイトの組み合わせがあります。

(1) プログラムウェイトモード

プログラムウェイトモードでは外部アドレス空間をアクセスすると、常に WSCR の WC1、WC0 ビットにより設定されたステート数の Tw が、T₂ ステートと T₃ ステートの間に挿入されます。

(2) 端子ウェイトモード

端子ウェイトモードでは外部アドレス空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数の Tw が、T₂ ステートと T₃ ステートの間に挿入されます。T₂ または Tw の最後のステートの ϕ の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに Tw が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで Tw が挿入されます。

端子ウェイトモードは、4 ステート以上の Tw を挿入する場合や、外部デバイスごとに挿入する Tw 数を変える場合などに有効です。

(3) 端子オートウェイトモード

端子オートウェイトモードでは外部アドレス空間をアクセスしたとき、T₂ の ϕ の立ち下がりのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであると、WC1、WC0 ビットにより設定されたステート数の Tw が、T₂ ステートと T₃ ステートの間に挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されても、設定されたステート数を超える Tw は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで低速メモリと容易にインタフェースすることができます。

図 6.13 に端子ウェイトモードのウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

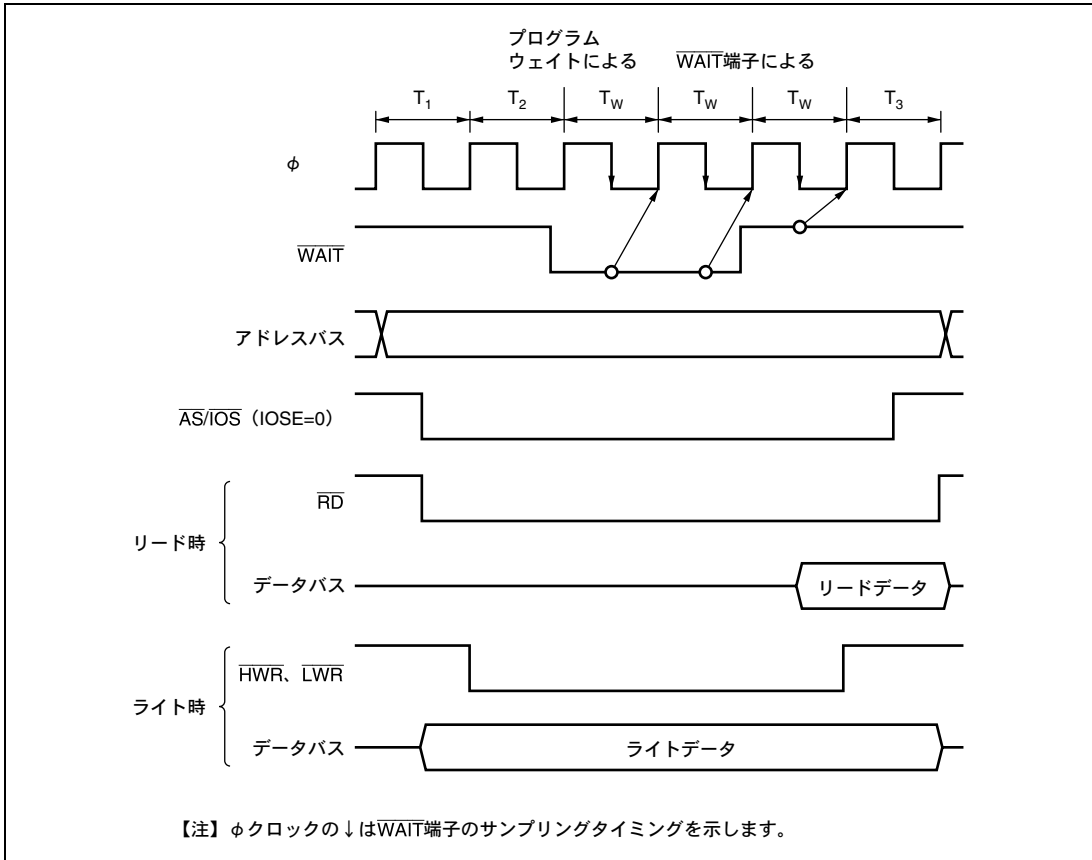


図 6.13 ウェイトステート挿入タイミング例 (端子ウェイトモード)

6.6 バースト ROM インタフェース

本 LSI は BCR の BRSTRM ビットを 1 にすることにより、外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。CPU の命令フェッチに限り最大 4 ワードまたは最大 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.6.1 基本動作タイミング

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) のアクセスステート数は、WSCR の AST ビットの設定に従います。AST ビットを 1 にセットすると、ウェイトステートを挿入することもできます。バーストサイクルは BCR の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.14、図 6.15 に示します。

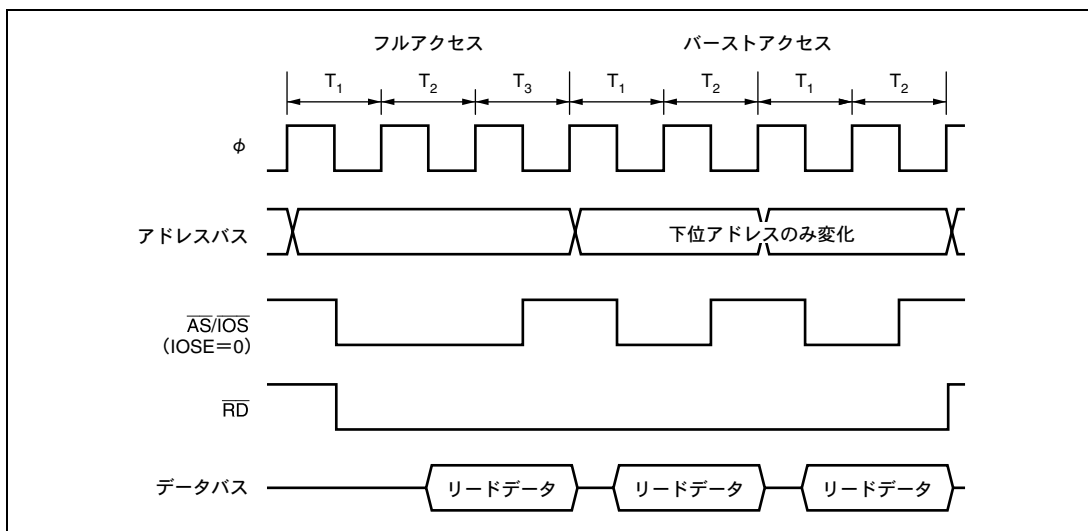


図 6.14 バースト ROM 空間のアクセスタイミング例 (AST=BRSTS1=1 の場合)

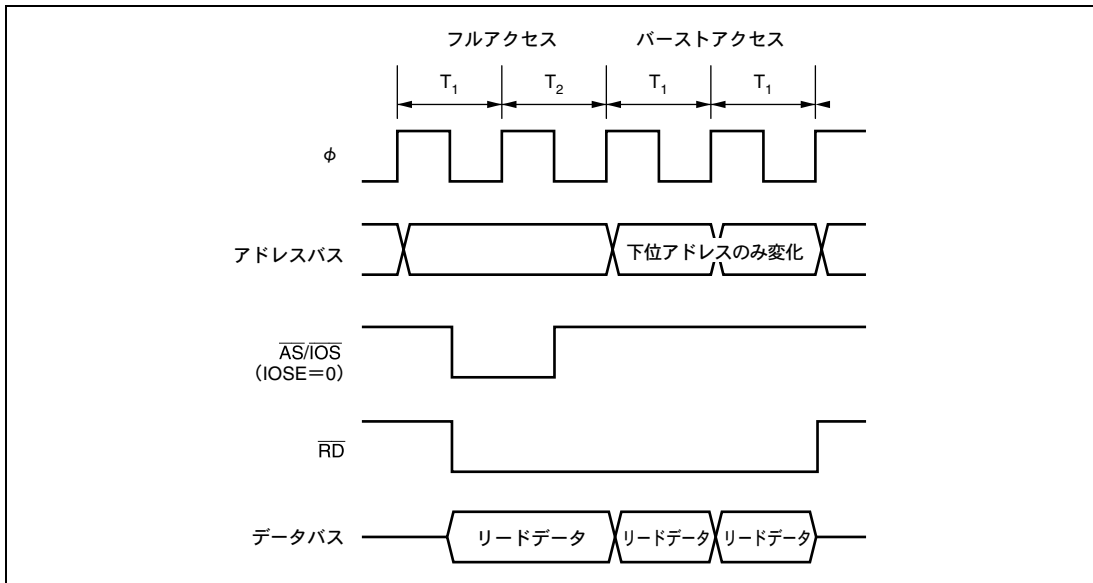


図 6.15 バースト ROM 空間のアクセスタイミング例 (AST=BRSTS1=0 の場合)

6.6.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル（フルアクセス）には、基本バスインタフェースと同様にプログラムウェイトの挿入、および \overline{WAIT} 端子による端子ウェイトの挿入が可能です。詳細は「6.5.4 ウェイト制御」を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

6.7 アイドルサイクル

本 LSI は外部アドレス空間をアクセスするときに、リードサイクルの直後にライトサイクルが発生した場合、バスサイクルとバスサイクルの間にアイドルサイクル (T_i) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM と、高速メモリ、I/O インタフェースとのデータ衝突を防ぐことができます。

BCR の ICIS0 ビットを 1 にセットした状態で外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.16 にアイドルサイクルの動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。図 6.16 (a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し図 6.16 (b) ではアイドルサイクルの挿入でデータの衝突を回避しています。

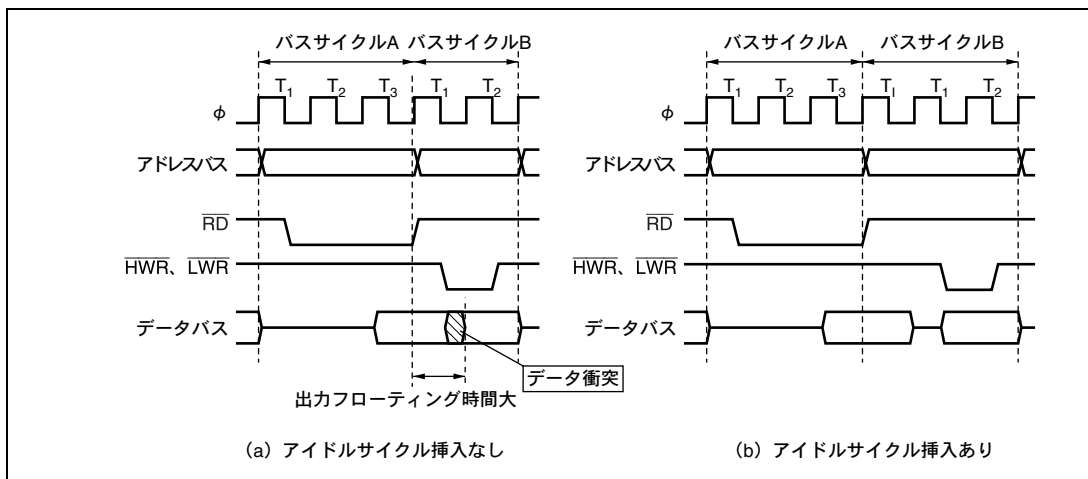


図 6.16 アイドルサイクルの動作例

アイドルサイクルでの端子状態を表 6.6 に示します。

表 6.6 アイドルサイクルでの端子状態

端子名		端子の状態
H8S/2144B	H8S/2134B	
A23~A0, $\overline{\text{IOS}}$	A15~A0, $\overline{\text{IOS}}$	直後のバスサイクルの内容
D15~D0	D7~D0	ハイインピーダンス
$\overline{\text{AS}}$	$\overline{\text{AS}}$	High レベル
RD	RD	High レベル
HWR, LWR	$\overline{\text{WR}}$	High レベル

7. I/O ポート

7.1 概要

H8S/2144B には、10 本の入出力ポート（ポート 1～6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。H8S/2134B には、8 本の入出力ポート（ポート 1～6、8、9）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を表 7.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR、ODR）から構成されています。なお、入力専用ポートには DDR はありません。

ポート 1～3、6、A、B には、入力プルアップ MOS が内蔵されています。ポート A、B は DDR と ODR で、入力プルアップ MOS のオン/オフを制御し、ポート 1～3、6 は DDR と入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン/オフを制御します。

ポート 1～6、8、9、A、B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1、2、3 は LED を駆動する（シンク電流 10mA）ことができます。

ポート A の入出力は Vcc 電源から独立した、VccB 電源によって動作します。したがって、VccB の電圧が 5V であれば、ポート A 端子は 5V 入力が可能になります。

また、ポート A の PA4～PA7 はバスバッファ駆動が可能です。

7. I/O ポート

表 7.1 H8S/2144B ポートの機能一覧

ポート	概要	モード 1	モード 2、モード 3		入出力形態他
			(EXPE=1)	(EXPE=0)	
ポート 1	アドレス出力と汎用 入出力ポートの兼用	A7 A6 A5 A4 A3 A2 A1 A0	A7/P17 A6/P16 A5/P15 A4/P14 A3/P13 A2/P12 A1/P11 A0/P10	P17 P16 P15 P14 P13 P12 P11 P10	入力プルアップ MOS 内蔵
ポート 2	アドレス出力と汎用 入出力ポートの兼用	A15 A14 A13 A12 A11 A10 A9 A8	A15/P27 A14/P26 A13/P25 A12/P24 A11/P23 A10/P22 A9/P21 A8/P20	P27 P26 P25 P24 P23 P22 P21 P20	入力プルアップ MOS 内蔵
ポート 3	データバス入出力と 汎用入出力ポートの 兼用	D15 D14 D13 D12 D11 D10 D9 D8		P37 P36 P35 P34 P33 P32 P31 P30	入力プルアップ MOS 内蔵
ポート 4	PWMX 出力、 TMR_0、TMR_1 入出 力、SCI_2 の入出力、 IrDA インタフェース の入出力と汎用入出 力ポートの兼用	P47/PWX1 P46/PWX0 P45/TMR1 P44/TMO1 P43/TMCI1 P42/TMRI0/SCK2 P41/TMO0/RxD2/IrRxD P40/TMCI0/TxD2/IrTxD			
ポート 5	SCI_0 の入出力と 汎用入出力ポートの 兼用	P52/SCK0 P51/RxD0 P50/TxD0			

ポート	概要	モード 1	モード 2、モード 3		入出力形態他
			(EXPE=1)	(EXPE=0)	
ポート 6	割り込み入力、FRT の入出力、TMR_Y 入出力、キーセンス割り込み入力、拡張 A/D 入力端子と汎用入出力ポートの兼用	P67/CIN7/KIN7/IRQ7 P66 /FTOB/CIN6/KIN6/IRQ6 P65/FTID/CIN5/KIN5 P64/FTIC/CIN4/KIN4 P63/FTIB/CIN3/KIN3 P62/FTIA/CIN2/KIN2/TMIY P61/FTOA/CIN1/KIN1 P60/FTCI/CIN0/KIN0			入力プルアップ MOS 内蔵
ポート 7	A/D 変換器のアナログ入力、 D/A 変換器のアナログ出力端子と汎用入出力ポートの兼用	P77/AN7/DA1 P76/AN6/DA0 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0			
ポート 8	割り込み入力、 SCI_1 入出力と汎用入出力ポートの兼用	P86/IRQ5/SCK1 P85/IRQ4/RxD1 P84/IRQ3/TxD1 P83 P82 P81 P80			
ポート 9	拡張データバス制御入出力、サブクロック入力、φ出力、割り込み入力、A/D 変換器の外部トリガ入力端子と汎用入出力ポートの兼用	P97/WAIT P96/φ/EXCL AS/IOS HWR RD P92/IRQ0 P91/IRQ1 P90/LWR/IRQ2/ADTRG		P97 P96/φ/EXCL P95 P94 P93 P92/IRQ0 P91/IRQ1 P90/IRQ2/ADTRG	
ポート A	アドレス出力、キーセンス割り込み入力、拡張 A/D 入力と汎用入出力ポートの兼用	PA7/KIN15/CIN15 PA6/KIN14/CIN14 PA5/KIN13/CIN13 PA4/KIN12/CIN12 PA3/KIN11/CIN11 PA2/KIN10/CIN10 PA1/KIN9/CIN9 PA0/KIN8/CIN8	PA7/A23/KIN15/CIN15 PA6/A22/KIN14/CIN14 PA5/A21/KIN13/CIN13 PA4/A20/KIN12/CIN12 PA3/A19/KIN11/CIN11 PA2/A18/KIN10/CIN10 PA1/A17/KIN9/CIN9 PA0/A16/KIN8/CIN8	PA7/KIN15/CIN15 PA6/KIN14/CIN14 PA5/KIN13/CIN13 PA4/KIN12/CIN12 PA3/KIN11/CIN11 PA2/KIN10/CIN10 PA1/KIN9/CIN9 PA0/KIN8/CIN8	入力プルアップ MOS 内蔵

7. I/O ポート

ポート	概要	モード 1	モード 2、モード 3		入出力形態他
			(EXPE=1)	(EXPE=0)	
ポート B	データバス入出力と汎用入出力ポートの兼用	PB7/D7 PB6/D6 PB5/D5 PB4/D4 PB3/D3 PB2/D2 PB1/D1 PB0/D0		PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0	入力プルアップ MOS 内蔵

表 7.2 H8S/2134B ポートの機能一覧

ポート	概要	モード 1	モード 2、モード 3		入出力形態他
			(EXPE=1)	(EXPE=0)	
ポート 1	アドレス出力と汎用入出力ポートの兼用	A7 A6 A5 A4 A3 A2 A1 A0	A7/P17 A6/P16 A5/P15 A4/P14 A3/P13 A2/P12 A1/P11 A0/P10	P17 P16 P15 P14 P13 P12 P11 P10	入力プルアップ MOS 内蔵
ポート 2	アドレス出力と汎用入出力ポートの兼用	A15 A14 A13 A12 A11 A10 A9 A8	A15/P27 A14/P26 A13/P25 A12/P24 A11/P23 A10/P22 A9/P21 A8/P20	P27 P26 P25 P24 P23 P22 P21 P20	入力プルアップ MOS 内蔵
ポート 3	データバス入出力と汎用入出力ポートの兼用	D7 D6 D5 D4 D3 D2 D1 D0		P37 P36 P35 P34 P33 P32 P31 P30	入力プルアップ MOS 内蔵

ポート	概要	モード 1	モード 2、モード 3		入出力形態他
			(EXPE=1)	(EXPE=0)	
ポート 4	PWMX 出力、 TMR_0、TMR_1 入出力、SCI_2 の入出力、IrDA インタフェースの入出力と汎用入出力ポートの兼用	P47/PWX1 P46/PWX0 P45/TMR1 P44/TMO1 P43/TMC11 P42/TMR10/SCK2 P41/TMO0/RxD2/IrRxD P40/TMC10/TxD2/IrTxD			
ポート 5	SCI_0 の入出力と汎用入出力ポートの兼用	P52/SCK0 P51/RxD0 P50/TxD0			
ポート 6	割り込み入力、FRT の入出力、TMR_Y 入出力、キーセンス割り込み入力、拡張 A/D 入力端子と汎用入出力ポートの兼用	P67/CIN7/ $\overline{KIN7}$ /IRQ7 P66/FTOB/CIN6/ $\overline{KIN6}$ /IRQ6 P65/FTID/CIN5/ $\overline{KIN5}$ P64/FTIC/CIN4/ $\overline{KIN4}$ P63/FTIB/CIN3/ $\overline{KIN3}$ P62/FTIA/CIN2/ $\overline{KIN2}$ /TMIY P61/FTOA/CIN1/ $\overline{KIN1}$ P60/FTC /CIN0/ $\overline{KIN0}$			入力プルアップ MOS 内蔵
ポート 7	A/D 変換器のアナログ入力、 D/A 変換器のアナログ出力端子と汎用入出力ポートの兼用	P77/AN7/DA1 P76/AN6/DA0 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0			
ポート 8	割り込み入力、 SCI_1 入出力と汎用入出力ポートの兼用	P86/IRQ5/SCK1 P85/IRQ4/RxD1 P84/IRQ3/TxD1 P83 P82 P81 P80			

7. I/O ポート

ポート	概要	モード 1	モード 2、モード 3		入出力形態他
			(EXPE=1)	(EXPE=0)	
ポート 9	拡張データバス制御入出力、サブクロック入力、φ出力、割り込み入力、A/D変換器の外部トリガ入力端子と汎用入出力ポートの兼用	P97/ $\overline{\text{WAIT}}$ P96/ $\phi/\overline{\text{EXCL}}$ $\overline{\text{AS}}/\overline{\text{IOS}}$ $\overline{\text{WR}}$ $\overline{\text{RD}}$ P92/ $\overline{\text{IRQ0}}$ P91/ $\overline{\text{IRQ1}}$ P90/ $\overline{\text{IRQ2}}/\overline{\text{ADTRG}}$	P97 P96/ $\phi/\overline{\text{EXCL}}$ P95 P94 P93 P92/ $\overline{\text{IRQ0}}$ P91/ $\overline{\text{IRQ1}}$ P90/ $\overline{\text{IRQ2}}/\overline{\text{ADTRG}}$		

7.2 ポート 1

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、アドレスバス出力端子と兼用になっており、動作モードによって端子機能が切り替わります。ポート 1 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 1 は以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1プルアップMOSコントロールレジスタ (P1PCR)

7.2.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR は、ポート 1 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	モード 1 のとき P1DDR の設定値にかかわらず、ポート 1 の各端子はアドレス出力となります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	モード 2、3 (EXPE=1) のとき P1DDR を 1 にセットすると対応するポート 1 の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。
3	P13DDR	0	W	
2	P12DDR	0	W	モード 2、3 (EXPE=0) のとき P1DDR を 1 にセットすると対応するポート 1 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
1	P11DDR	0	W	
0	P10DDR	0	W	

7.2.2 ポート 1 データレジスタ (P1DR)

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	このレジスタをリードすると、P1DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P1DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

7.2.3 ポート 1 プルアップ MOS コントロールレジスタ (P1PCR)

P1PCR はポート 1 の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P17PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P16PCR	0	R/W	
5	P15PCR	0	R/W	
4	P14PCR	0	R/W	
3	P13PCR	0	R/W	
2	P12PCR	0	R/W	
1	P11PCR	0	R/W	
0	P10PCR	0	R/W	

7.2.4 端子機能

- P17/A7、P16/A6、P15/A5、P14/A4、P13/A3、P12/A2、P11/A1、P10/A0

動作モードと P1nDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1	モード 2、3 (EXPE=1)		モード 2、3 (EXPE=0)	
	—	0	1	0	1
P1nDDR					
端子機能	A7~A0 出力端子	P17~P10 入力端子	A7~A0 出力端子	P17~P10 入力端子	P17~P10 出力端子

【注】 n=7~0

7. I/O ポート

7.2.5 ポート 1 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 7.3 に示します。

表 7.3 ポート 1 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1	OFF		OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P1DDR=0 かつ P1PCR=1 のときオン状態、その他のときはオフ状態です。

7.3 ポート 2

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、アドレスバス出力端子と兼用になっており、動作モードによって端子機能が切り替わります。ポート 2 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ (P2DDR)
- ポート2データレジスタ (P2DR)
- ポート2プルアップMOSコントロールレジスタ (P2PCR)

7.3.1 ポート 2 データディレクションレジスタ (P2DDR)

P2DDR はポート 2 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P27DDR	0	W	モード 1 のとき P2DDR の設定値にかかわらず、対応するポート 2 の各端子はアドレス出力となります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	モード 2、3 (EXPE=1) のとき P2DDR を 1 にセットすると対応するポート 2 の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。なお、P27~P24 については、IOSE ビット=1 にすることによりアドレス出力から出力ポートに切り替わります。ポート 2 をアドレス出力として使用する場合は、外部空間のアクセスを正常に行うために周辺機能出力に設定しないでください。
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	
				モード 2、3 (EXPE=0) のとき P2DDR を 1 にセットすると対応するポート 2 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

7.3.2 ポート 2 データレジスタ (P2DR)

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P27DR	0	R/W	P2DDR が 1 のときポート 2 のリードを行うと、P2DR の値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が 0 のときポート 2 のリードを行うと、端子の状態が読み出されます。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

7.3.3 ポート 2 プルアップ MOS コントロールレジスタ (P2PCR)

P2PCR はポート 2 の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P27PCR	0	R/W	モード 2、3 のとき、入力ポート状態で、P2PCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	P26PCR	0	R/W	
5	P25PCR	0	R/W	
4	P24PCR	0	R/W	
3	P23PCR	0	R/W	
2	P22PCR	0	R/W	
1	P21PCR	0	R/W	
0	P20PCR	0	R/W	

7.3.4 端子機能

- P27/A15、P26/A14、P25/A13、P24/A12

動作モードと SYSCR の IOSE ビットと P2nDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1	モード 2、3 (EXPE=1)		モード 2、3 (EXPE=0)		
		0	1	0	1	
P2nDDR	—	0	1	0	1	
IOSE	—	—	0	1	—	—
端子機能	A15~A12 出力端子	P27~P24 入力端子	A15~A12 出力端子	P27~P24 出力端子	P27~P24 入力端子	P27~P24 出力端子

【注】 n=7~4

7. I/O ポート

- P23/A11、P22/A10、P21/A9、P20/A8

動作モードと P2nDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1	モード 2、3 (EXPE=1)		モード 2、3 (EXPE=0)	
P2nDDR	—	0	1	0	1
端子機能	A11~A8 出力端子	P23~P20 入力端子	A11~A8 出力端子	P23~P20 入力端子	P23~P20 出力端子

【注】 n=3~0

7.3.5 ポート 2 入力プルアップ MOS

ポート 2 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 7.4 に示します。

表 7.4 ポート 2 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1	OFF		OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P2DDR=0 かつ P2PCR=1 のときオン状態、その他のときはオフ状態です。

7.4 ポート 3

ポート 3 は 8 ビットの入出力ポートです。ポート 3 は双方向データバスと兼用になっています。動作モードによって端子機能が切り替わります。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3プルアップMOSコントロールレジスタ (P3PCR)

7.4.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P37DDR	0	W	モード 1、2、3 (EXPE=1) のとき P3DDR による入出力の方向は無視され、自動的にデータ入出力となります。 モード 2、3 (EXPE=0) のとき P3DDR を 1 にセットすると対応するポート 3 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P36DDR	0	W	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

7.4.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P37DR	0	R/W	P3DDR が 1 のときポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。P3DDR が 0 のときポート 3 のリードを行うと、端子の状態が読み出されます。
6	P36DR	0	R/W	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

7. I/O ポート

7.4.3 ポート 3 プルアップ MOS コントロールレジスタ (P3PCR)

P3PCR は、ポート 3 に内蔵された入力プルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	P37PCR	0	R/W	モード 2、3 (EXPE=0) では、入力ポート状態で、P3PCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	P36PCR	0	R/W	
5	P35PCR	0	R/W	
4	P34PCR	0	R/W	
3	P33PCR	0	R/W	
2	P32PCR	0	R/W	
1	P31PCR	0	R/W	
0	P30PCR	0	R/W	

7.4.4 端子機能

- P37/D15*、P36/D14*、P35/D13*、P34/D12*、P33/D11*、P32/D10*、P31/D9*、P30/D8*

動作モードと P3nDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)	モード 2、3 (EXPE=0)	
P3nDDR	—	0	1
端子機能	D15~D8* 入出力端子	P37~P30 入力端子	P37~P30 出力端子

【注】 n=7~0

* H8S/2134B では D15~D8 は D7~D0 になります。

7.4.5 ポート 3 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 7.5 に示します。

表 7.5 ポート 3 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1)	OFF		OFF	
2、3 (EXPE=0)			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P3DDR=0 かつ P3PCR=1 のときオン状態、その他のときはオフ状態です。

7.5 ポート 4

ポート 4 は、8 ビットの入出力ポートです。ポート 4 は、PWMX 出力端子、TMR_0、TMR_1 の入出力端子、SCI_2 の入出力端子、IrDA インタフェースの入出力端子と兼用になっています。ポート 4 の端子機能は、いずれの動作モードでも共通です。ポート 4 には以下のレジスタがあります。

- ポート4データディレクションレジスタ (P4DDR)
- ポート4データレジスタ (P4DR)

7.5.1 ポート 4 データディレクションレジスタ (P4DDR)

P4DDR はポート 4 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説 明
7	P47DDR	0	W	P4DDR を 1 にセットすると対応するポート 4 の各端子は出力となり、0 にクリアすると入力になります。 ソフトウェアスタンバイモードでは 14 ビット PWM と SCI_2 は初期化されるため、TMR_0、TMR_1、P4DDR、P4DR の指定によって端子状態が決定されます。
6	P46DDR	0	W	
5	P45DDR	0	W	
4	P44DDR	0	W	
3	P43DDR	0	W	
2	P42DDR	0	W	
1	P41DDR	0	W	
0	P40DDR	0	W	

7.5.2 ポート 4 データレジスタ (P4DR)

P4DR は、ポート 4 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P47DR	0	R/W	P4DDR が 1 のときポート 4 のリードを行うと、P4DR の値を直接リードします。そのため端子の状態の影響を受けません。P4DDR が 0 のときポート 4 のリードを行うと、端子の状態が読み出されます。
6	P46DR	0	R/W	
5	P45DR	0	R/W	
4	P44DR	0	R/W	
3	P43DR	0	R/W	
2	P42DR	0	R/W	
1	P41DR	0	R/W	
0	P40DR	0	R/W	

7. I/O ポート

7.5.3 端子機能

- P47/PWX1

14 ビット PWM の DACR の OEB ビットと P47DDR ビットの組み合わせにより、次のように切り替わります。

OEB	0		1
P47DDR	0	1	—
端子機能	P47 入力端子	P47 出力端子	PWX1 出力端子

- P46/PWX0

14 ビット PWM の DACR の OEA ビットと P46DDR ビットの組み合わせにより、次のように切り替わります。

OEA	0		1
P46DDR	0	1	—
端子機能	P46 入力端子	P46 出力端子	PWX0 出力端子

- P45/TMR11

P45DDR ビットにより、次のように切り替わります。

P45DDR	0		1
端子機能	P45 入力端子		P45 出力端子
	TMR11 入力端子*		

【注】 * TMR_1 の TCR1 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットした場合は、TMR11 入力端子として使用します。

- P44/TMO1

TMR_1 の TCSR の OS3～OS0 ビット、および P44DDR ビットの組み合わせにより、次のように切り替わります。

OS3～OS0	すべてが 0		いずれかが 1
P44DDR	0	1	—
端子機能	P44 入力端子	P44 出力端子	TMO1 出力端子

- P43/TMC11

P43DDR ビットにより、次のように切り替わります。

P43DDR	0		1
端子機能	P43 入力端子		P43 出力端子
	TMC11 入力端子*		

【注】 * TMR_1 の TCR1 の CKS2～CKS0 ビットで外部クロックを選択した場合に、TMC11 入力端子として使用します。

- P42/TMRI0/SCK2

SCI_2 の SCR の CKE1、CKE0 ビット、SMR の C/\bar{A} ビット、および P42DDR ビットの組み合わせにより、次のように切り替わります。

CKE1	0				1
C/\bar{A}	0		1	—	
CKE0	0		1	—	—
P42DDR	0	1	—	—	—
端子機能	P42 入力端子	P42 出力端子	SCK2 出力端子	SCK2 出力端子	SCK2 入力端子
	TMRI0 入力端子*				

【注】 * TMR_0 の TCR の CCLR1、CCLR0 ビットをそれぞれ 1 にセットした場合は、TMRI0 入力端子として使用します。

- P41/TMO0/RxD2/IrRxD

TMR_0 の TCSR の OS3~OS0 ビット、SCI_2 の SCR の RE ビットおよび P41DDR ビットの組み合わせにより、次のように切り替わります。

OS3~OS0	すべてが 0			いずれかが 1
RE	0		1	0
P41DDR	0	1	—	—
端子機能	P41 入力端子	P41 出力端子	RxD2/IrRxD 入力端子	TMO0 出力端子

【注】 TMO0 出力端子として使用する場合は、SCI_2 の SCR の RE ビットを必ず 0 にクリアしてください。

- P40/TMCI0/TxD2/IrTxD

SCI_2 の SCR の TE ビットと P40DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P40DDR	0	1	—
端子機能	P40 入力端子	P40 出力端子	TxD2/IrTxD 出力端子
	TMCI0 入力端子*		

【注】 * TMR_0 の TCR0 の CKS2~CKS0 ビットで外部クロックを選択した場合に、TMCI0 入力端子として使用します。

7. I/O ポート

7.6 ポート 5

ポート 5 は、3 ビットの入出力ポートです。ポート 5 は、SCI_0 の入出力端子と兼用になっています。ポート 5 には以下のレジスタがあります。

- ポート5データディレクションレジスタ (P5DDR)
- ポート5データレジスタ (P5DR)

7.6.1 ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、ポート 5 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 1	—	リザーブビット 初期値を変更しないでください。
2	P52DDR	0	W	P5DDR を 1 にセットすると対応するポート 5 の各端子は出力となり、0 にクリアすると入力になります。ソフトウェアスタンバイモードでは、SCI_0 は初期化されるため、P5DDR、P5DR の指定によって端子状態が決定されます。
1	P51DDR	0	W	
0	P50DDR	0	W	

7.6.2 ポート 5 データレジスタ (P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 1	—	リザーブビット 初期値を変更しないでください。
2	P52DR	0	R/W	P5DDR が 1 のときポート 5 のリードを行うと、P5DR の値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が 0 のときポート 5 のリードを行うと、端子の状態が読み出されます。
1	P51DR	0	R/W	
0	P50DR	0	R/W	

7.6.3 端子機能

- P52/SCK0

SCI_0 の SMR の $C\bar{A}$ ビット、SCR の CKE0、CKE1 ビット、および P52DDR ビットの組み合わせにより、次のように切り替わります。

CKE1	0			1	
$C\bar{A}$	0		1	—	
CKE0	0		1	—	—
P52DDR	0	1	—	—	—
端子機能	P52 入力端子	P52 出力端子	SCK0 出力端子	SCK0 出力端子	SCK0 入力端子

- P51/RxD0

SCI_0 の SCR の RE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P51DDR	0	1	—
端子機能	P51 入力端子	P51 出力端子	RxD0 入力端子

- P50/TxD0

SCI_0 の SCR の TE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P50DDR	0	1	—
端子機能	P50 入力端子	P50 出力端子	TxD0 出力端子

7.7 ポート 6

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、FRT の入出力端子、TMR_Y の入力端子、キーセンス割り込み入力端子、拡張 A/D 入力端子、割り込み入力端子と兼用になっています。また、ポート 6 の入力レベルを 4 段階に切り替えることができます。ポート 6 の端子機能はいずれの動作モードでも共通です。ポート 6 には以下のレジスタがあります。

- ポート 6 データディレクションレジスタ (P6DDR)
- ポート 6 データレジスタ (P6DR)
- ポート 6 プルアップ MOS コントロールレジスタ (KMPCR)
- システムコントロールレジスタ 2 (SYSCR2)

7.7.1 ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、ポート 6 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P67DDR	0	W	P6DDR を 1 にセットすると対応するポート 6 の各端子は出力となり、0 にクリアすると入力になります。
6	P66DDR	0	W	
5	P65DDR	0	W	
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

7. I/O ポート

7.7.2 ポート 6 データレジスタ (P6DR)

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P67DR	0	R/W	P6DDR が 1 のときポート 6 のリードを行うと、P6DR の値を直接リードします。そのため端子の状態の影響を受けません。P6DDR が 0 のときポート 6 のリードを行うと、端子の状態が読み出されます。
6	P66DR	0	R/W	
5	P65DR	0	R/W	
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

7.7.3 ポート 6 プルアップ MOS コントロールレジスタ (KMPCR)

KMPCR は、ポート 6 に内蔵された入力プルアップ MOS をビットごとに制御します。なお、このレジスタの設定を有効にするためには MSTPCRL の MSTP2 ビットを 0 にクリアしてください。

ビット	ビット名	初期値	R/W	説明
7	KM7PCR	0	R/W	P6DDR を 0 にクリアした (入力ポート) 状態で、KMPCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	KM6PCR	0	R/W	
5	KM5PCR	0	R/W	
4	KM4PCR	0	R/W	
3	KM3PCR	0	R/W	
2	KM2PCR	0	R/W	
1	KM1PCR	0	R/W	
0	KM0PCR	0	R/W	

7.7.4 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、ポート 6 の入力レベルやプルアップ MOS の電流仕様を制御します。

ビット	ビット名	初期値	R/W	説明
7	KWUL1	0	R/W	キーウェイクアップレベル 1、0
6	KWUL0	0	R/W	ポート 6 の入力レベルを設定します。ポート 6 兼用端子の入力レベルも切り替わります。 00：ポート 6 は標準入力レベル 01：ポート 6 は入力レベル 1 10：ポート 6 は入力レベル 2 11：ポート 6 は入力レベル 3
5	P6PUE	0	R/W	ポート 6 入力プルアップ MOS エクストラ ポート 6 入力プルアップ MOS の電流仕様を選択します。 0：標準電流仕様 1：電流制限仕様
4	—	0	—	リザーブビット 1 をライトしないでください。
3~0	—	すべて 0	R/W	リザーブビット 1 をライトしないでください。

7.7.5 端子機能

- P67/CIN7/KIN7/IRQ7

P67DDR ビットにより、次のように切り替わります。

P67DDR	0	1
端子機能	P67 入力端子	P67 出力端子
	IRQ7 入力端子、KIN7 入力端子、CIN7 入力端子*	

【注】 * IER の IRQ7E ビットを 1 にセットした場合、IRQ7 入力端子として使用します。また、常時 KIN7、CIN7 入力端子として使用可能です。

- P66/FTOB/CIN6/KIN6/IRQ6

FRT の TOCR の OEB ビットと P66DDR ビットの組み合わせにより、次のように切り替わります。

OEB	0		1
P66DDR	0	1	—
端子機能	P66 入力端子	P66 出力端子	FTOB 出力端子
	IRQ6 入力端子、KIN6 入力端子、CIN6 入力端子*		

【注】 * KMIMR の KMIMR6 ビットが 0 の状態で IER の IRQ6E ビットを 1 にセットした場合、IRQ6 入力端子として使用します。また、常時 KIN6、CIN6 入力端子として使用可能です。

7. I/O ポート

- P65/FTID/CIN5/ $\overline{\text{KIN5}}$

P65DDR	0	1
端子機能	P65 入力端子	P65 出力端子
	FTID 入力端子、 $\overline{\text{KIN5}}$ 入力端子、CIN5 入力端子*	

【注】 * 常時 FTID、 $\overline{\text{KIN5}}$ 、CIN5 入力端子として使用可能です。

- P64/FTIC/CIN4/ $\overline{\text{KIN4}}$

P64DDR ビットにより、次のように切り替わります。

P64DDR	0	1
端子機能	P64 入力端子	P64 出力端子
	FTIC 入力端子、 $\overline{\text{KIN4}}$ 入力端子、CIN4 入力端子*	

【注】 * 常時 FTIC、 $\overline{\text{KIN4}}$ 、CIN4 入力端子として使用可能です。

- P63/FTIB/CIN3/ $\overline{\text{KIN3}}$

P63DDR	0	1
端子機能	P63 入力端子	P63 出力端子
	FTIB 入力端子、 $\overline{\text{KIN3}}$ 入力端子、CIN3 入力端子*	

【注】 * 常時 FTIB、 $\overline{\text{KIN3}}$ 、CIN3 入力端子として使用可能です。

- P62/FTIA/CIN2/ $\overline{\text{KIN2}}$ /TMIY

P62DDR	0	1
端子機能	P62 入力端子	P62 出力端子
	FTIA 入力端子、TMIY 入力端子、 $\overline{\text{KIN2}}$ 入力端子、CIN2 入力端子*	

【注】 * 常時 FTIA、TMIY、 $\overline{\text{KIN2}}$ 、CIN2 入力端子として使用可能です。

- P61/FTOA/CIN1/ $\overline{\text{KIN1}}$

FRT の TOCR の OEA ビット、および P61DDR ビットの組み合わせにより、次のように切り替わります。

OEA	0		1
P61DDR	0	1	—
端子機能	P61 入力端子	P61 出力端子	FTOA 入力端子
	$\overline{\text{KIN1}}$ 入力端子、CIN1 入力端子*		

【注】 常時 $\overline{\text{KIN1}}$ 、CIN1 入力端子として使用可能です

- P60/FTCI/CIN0/ $\overline{\text{KIN0}}$

P60DDR	0	1
端子機能	P60 入力端子	P60 出力端子
	FTCI 入力端子、 $\overline{\text{KIN0}}$ 入力端子、CIN0 入力端子*	

【注】 * FRT の TCR の CKS1、CKS0 ビットで外部クロックを選択した場合に、FTCI 入力端子として使用します。
常時 $\overline{\text{KIN0}}$ 、CIN0 入力端子として使用可能です。

7.7.6 ポート 6 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

P6PUE ビットによりプルアップ MOS 電流仕様を変更することができます。なお、内蔵周辺機能の出力端子に設定した場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS の状態を表 7.6 に示します。

表 7.6 ポート 6 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3		OFF	ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P6DDR=0 かつ KMPPCR=1 のときオン状態、その他のときはオフ状態です。

7. I/O ポート

7.8 ポート 7

ポート 7 は、8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子との兼用になっています。ポート 7 の端子機能はいずれの動作モードでも共通です。ポート 7 には以下のレジスタがあります。

- ポート 7 入力データレジスタ (P7PIN)

7.8.1 ポート 7 入力データレジスタ (P7PIN)

P7PIN は、ポート 7 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P77PIN	不定*	R	P7PIN のリードを行うと、常に端子の状態が読み出されます。P7PIN は PBDDR と同じアドレスであり、ライトを行うと PBDDR にデータが書き込まれ、ポート B の設定が変わります。
6	P76PIN	不定*	R	
5	P75PIN	不定*	R	
4	P74PIN	不定*	R	
3	P73PIN	不定*	R	
2	P72PIN	不定*	R	
1	P71PIN	不定*	R	
0	P70PIN	不定*	R	

【注】 * P77～P70 端子の状態により決定されます。

7.8.2 端子機能

- P77/AN7/DA1

D/A 変換器の DACR の DAE ビットと DAOE1 ビットの組み合わせにより、次のように切り替わります。

DAOE1	0		1
DAE	0	1	—
端子機能	P77 入力端子	DA1 出力端子	DA1 出力端子
	AN7 入力端子*		

【注】 * 常時 AN7 入力端子として使用可能です。

- P76/AN6/DA0

D/A 変換器の DACR の DAE ビットと DAOE0 ビットの組み合わせにより、次のように切り替わります。

DAOE0	0		1
DAE	0	1	—
端子機能	P76 入力端子	DA0 出力端子	DA0 出力端子
	AN6 入力端子*		

【注】 * 常時 AN6 入力端子として使用可能です。

- P75/AN5、P74/AN4、P73/AN3、P72/AN2、P71/AN1、P70/AN0

端子機能	P75~P70 入力端子
	AN5~AN0 入力端子*

【注】 * 常時 AN5~AN0 入力端子として使用可能です。

7.9 ポート 8

ポート 8 は、8 ビットの入出力ポートです。ポート 8 は、SCI_1 の入出力端子、割り込み入力端子と兼用になっています。ポート 8 の端子機能は、いずれの動作モードでも共通です。ポート 8 には以下のレジスタがあります。

- ポート 8 データディレクションレジスタ (P8DDR)
- ポート 8 データレジスタ (P8DR)

7.9.1 ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、ポート 8 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット 初期値を変更しないでください。
6	P86DDR	0	W	P8DDR は PBPIN と同じアドレスであり、リードするとポート B の状態が読み出されます。(H8S/2144B のみ) P8DDR を 1 にセットすると対応するポート 8 の各端子は出力となり、0 にクリアすると入力になります。
5	P85DDR	0	W	
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

7. I/O ポート

7.9.2 ポート 8 データレジスタ (P8DR)

P8DR は、ポート 8 の各端子 (P86~P80) の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット 初期値を変更しないでください。
6	P86DR	0	R/W	P8DDR が 1 のときポート 8 のリードを行うと、P8DR の値を直接リードします。そのため端子の状態の影響を受けません。P8DDR が 0 のときポート 8 のリードを行うと、端子の状態が読み出されます。
5	P85DR	0	R/W	
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

7.9.3 端子機能

- P86/ $\overline{\text{IRQ5}}$ /SCK1

SCI_1 の SMR の $\text{C}/\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビット、および P86DDR ビットの組み合わせにより、次のように切り替わります。

CKE1	0				1
$\text{C}/\overline{\text{A}}$	0			1	—
CKE0	0		1	—	—
P86DDR	0	1	—	—	—
端子機能	P86 入力端子	P86 出力端子	SCK1 出力端子	SCK1 出力端子	SCK1 入力端子
	$\overline{\text{IRQ5}}$ 入力端子*				

【注】 * IER の $\overline{\text{IRQ5E}}$ ビットを 1 にセットした場合、 $\overline{\text{IRQ5}}$ 入力端子として使用します。

- P85/ $\overline{\text{IRQ4}}$ /RxD1

SCI_1 の SCR の RE ビットと P85DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P85DDR	0	1	—
端子機能	P85 入力端子	P85 出力端子	RxD1 入力端子
	$\overline{\text{IRQ4}}$ 入力端子*		

【注】 * IER の $\overline{\text{IRQ4E}}$ ビットを 1 にセットした場合、 $\overline{\text{IRQ4}}$ 入力端子として使用します。

- P84/ $\overline{\text{IRQ3}}$ /TxD1

SCI_1 の SCR の TE ビットと P84DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P84DDR	0	1	—
端子機能	P84 入力端子	P84 出力端子	TxD1 出力端子
	$\overline{\text{IRQ3}}$ 入力端子*		

【注】 * IER の IRQ3E ビットを 1 にセットした場合、 $\overline{\text{IRQ3}}$ 入力端子として使用します。

- P83

P83DDR ビットにより、次のように切り替わります。

P83DDR	0	1
端子機能	P83 入力端子	P83 出力端子

- P82

P82DDR ビットにより、次のように切り替わります。

P82DDR	0	1
端子機能	P82 入力端子	P82 出力端子

- P81

P81DR ビットにより、次のように切り替わります。

P81DR	0	1
端子機能	P81 入力端子	P81 出力端子

- P80

P80DR ビットにより、次のように切り替わります。

P80DR	0	1
端子機能	P80 入力端子	P80 出力端子

7. I/O ポート

7.10 ポート 9

ポート 9 は、8 ビットの入出力ポートです。ポート 9 は、割り込み入力端子、A/D 変換器の入力端子、サブクロック入力端子、バス制御入出力端子およびシステムクロック (φ) 出力端子と兼用になっています。ポート 9 には以下のレジスタがあります。

- ポート 9 データディレクションレジスタ (P9DDR)
- ポート 9 データレジスタ (P9DR)

7.10.1 ポート 9 データディレクションレジスタ (P9DDR)

P9DDR は、ポート 9 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P97DDR	0	W	P9DDR は、モード 1 の場合 H'40 に、モード 2、3 の場合 H'00 に初期化されません。 モード 1、2、3 (EXPE=1) のとき P97 端子は、ウェイトモードの設定によりバス制御入力 (\overline{WAIT})、または入出力ポートになります。入出力ポートの場合、P97DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。P96 端子は、P96DDR を 1 にセットすると φ 出力端子、0 にクリアするとサブクロック入力 (EXCL) または入力ポートになります。P95~P93 端子は、P95DDR~P93DDR による入出力の方向は無視され、自動的にバス制御出力 ($\overline{AS}/\overline{IOS}$ 、HWR、WR、RD) となります。P92~P91 端子は、P92DDR~P91DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。 P90 端子は、WSCR の ABW ビットを 0 にクリア (H8S/2134B では設定禁止) すると、P90DDR による入出力の方向は無視され、バス制御出力 (LWR) となります。ABW ビットを 1 にセットした状態では、P90DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。 モード 2、3 (EXPE=0) のとき P9DDR を 1 にセットすると P96 端子は φ 出力端子、P97、P95~P90 端子は出力ポートとなります。P9DDR を 0 にクリアすると各端子は入力ポートになります。
6	P96DDR	1/0*	W	
5	P95DDR	0	W	
4	P94DDR	0	W	
3	P93DDR	0	W	
2	P92DDR	0	W	
1	P91DDR	0	W	
0	P90DDR	0	W	

【注】 * P96DDR の初期値はモード 1 の場合 1 に、モード 2、3 の場合 0 になります。

7.10.2 ポート9データレジスタ (P9DR)

P9DR は、ポート9の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P97DR	0	R/W	P96 以外では、P9DDR が 1 のときポート9のリードを行うと、P9DR の値を直接リードします。そのため端子の状態の影響を受けません。P9DDR が 0 のときポート9のリードを行うと、端子の状態が読み出されます。 P96 では、常に端子の状態が読み出されます。
6	P96DR	不定*	R	
5	P95DR	0	R/W	
4	P94DR	0	R/W	
3	P93DR	0	R/W	
2	P92DR	0	R/W	
1	P91DR	0	R/W	
0	P90DR	0	R/W	

【注】 * P96 端子の状態により決定されます。

7.10.3 端子機能

- P97/ $\overline{\text{WAIT}}$

動作モード、WSCR の WMS1 ビット、および P97DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)			モード 2、3 (EXPE=0)	
	0		1	—	
WMS1	0		1	—	
P97DDR	0	1	—	0	1
端子機能	P97 入力端子	P97 出力端子	$\overline{\text{WAIT}}$ 入力端子	P97 入力端子	P97 出力端子

- P96/ ϕ /EXCL

LPWRCR の EXCLE ビットと P96DDR ビットの組み合わせにより、次のように切り替わります。

P96DDR	0		1
	0		1
EXCLE	0		0
端子機能	P96 入力端子		EXCL 入力端子
			ϕ 出力端子

【注】 EXCL 入力端子として使用する場合は、P96DDR を 0 にクリアしてください。

- P95/ $\overline{\text{AS}}$ / $\overline{\text{IOS}}$

動作モード、SYSCR の IOSE ビット、および P95DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)		モード 2、3 (EXPE=0)	
	—		0	1
P95DDR	—		0	1
IOSE	0	1	—	—
端子機能	$\overline{\text{AS}}$ 出力端子	$\overline{\text{IOS}}$ 出力端子	P95 入力端子	P95 出力端子

7. I/O ポート

• P94/ $\overline{\text{HWR}}$ *

動作モード、および P94DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)	モード 2、3 (EXPE=0)	
P94DDR	—	0	1
端子機能	$\overline{\text{HWR}}$ *出力端子	P94 入力端子	P94 出力端子

【注】 * H8S/2134B では $\overline{\text{WR}}$ 端子になります。

• P93/ $\overline{\text{RD}}$

動作モード、および P93DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)	モード 2、3 (EXPE=0)	
P93DDR	—	0	1
端子機能	$\overline{\text{RD}}$ 出力端子	P93 入力端子	P93 出力端子

• P92/ $\overline{\text{IRQ0}}$

P92DDR	0	1
端子機能	P92 入力端子	P92 出力端子
$\overline{\text{IRQ0}}$ 入力端子*		

【注】 * IER の IRQ0E ビットを 1 にセットした場合、 $\overline{\text{IRQ0}}$ 入力端子として使用します。

• P91/ $\overline{\text{IRQ1}}$

P91DDR	0	1
端子機能	P91 入力端子	P91 出力端子
$\overline{\text{IRQ1}}$ 入力端子*		

【注】 * IER の IRQ1E ビットを 1 にセットした場合、 $\overline{\text{IRQ1}}$ 入力端子として使用します。。

• P90/ $\overline{\text{LWR}}^2$ / $\overline{\text{IRQ2}}$ / $\overline{\text{ADTRG}}$

動作モード、WSCR の ABW ビット、および P90DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)			モード 2、3 (EXPE=0)	
ABW	0	1		—	
P90DDR	—	0	1	0	1
端子機能	$\overline{\text{LWR}}$ 出力端子* ²	P90 入力端子	P90 出力端子	P90 入力端子	P90 出力端子
$\overline{\text{IRQ2}}$ 入力端子、 $\overline{\text{ADTRG}}$ 入力端子* ¹					

【注】 *¹ モード 1、2、3 (EXPE=1) でかつ WSCR の ABW ビットを 1 にセットしたとき、およびモード 2、3 (EXPE=0) のときに、IER の IRQ2E ビットを 1 にセットした場合、 $\overline{\text{IRQ2}}$ 入力端子として使用します。A/D 変換器の ADCR の TRGS1、TRGS0 ビットをいずれも 1 にセットした場合、 $\overline{\text{ADTRG}}$ 入力端子として使用します。

*² H8S/2134B では $\overline{\text{LWR}}$ 端子はありません。また、WSCR の ABW ビットを 0 に設定しないでください。

7.11 ポート A [H8S/2144B のみ]

ポート A は、8 ビットの入出力ポートです。ポート A は、キーセンス割り込み入力端子、拡張 A/D 入力端子、アドレス出力端子と兼用になっています。ポート A の端子機能は動作モードによって切り替わります。ポート A の入出力は、Vcc 電源から独立した VccB 電源によって動作します。ポート A の端子は、VccB の電圧が 5V であれば、5V まで入力可能です。ポート A には以下のレジスタがあります。PADDR と PAPIN は、同一のアドレスにアサインされています。

- ポートAデータディレクションレジスタ (PADDR)
- ポートA出力データレジスタ (PAODR)
- ポートA入力データレジスタ (PAPIN)

7.11.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	モード 1、モード 2 (EXPE=0)、モード 3 のとき PADDR を 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。 モード 2 (EXPE=1) のとき PADDR を 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。なお IOSE ビット=1 にすることによりアドレス入出力から出力ポートに切り替わります。 PADDR は PAPIN と同じアドレスであり、リードするとポート A の状態が読み出されます。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

7.11.2 ポート A 出力データレジスタ (PAODR)

PAODR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PA7ODR	0	R/W	PADDR の内容と関係なく、常に PAODR のリード/ライトが可能です。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

7. I/O ポート

7.11.3 ポート A 入力データレジスタ (PAPIN)

PAPIN はポート A の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PA7PIN	不定*	R	PAPIN のリードを行うと、常に端子の状態が読み出されます。 PAPIN は PADDR と同じアドレスであり、ライトを行うとポート A の設定が変わります。
6	PA6PIN	不定*	R	
5	PA5PIN	不定*	R	
4	PA4PIN	不定*	R	
3	PA3PIN	不定*	R	
2	PA2PIN	不定*	R	
1	PA1PIN	不定*	R	
0	PA0PIN	不定*	R	

【注】 * PA7~PA0 端子の状態により決定されます。

7.11.4 端子機能

- PA7/A23/ $\overline{\text{KIN15}}$ /CIN15

動作モードと SYSCR の IOSE ビット、および PA7DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
	PA7DDR	0	1	0	1
IOSE	—	—	—	0	1
端子機能	PA7 入力端子	PA7 出力端子	PA7 入力端子	A23 出力端子	PA7 出力端子
	KIN15 入力端子、CIN15 入力端子*				

【注】 * STCR の IICS ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。
常時 KIN15、CIN15 入力端子として使用可能です。

- PA6/A22/ $\overline{\text{KIN14}}$ /CIN14

動作モードと SYSCR の IOSE ビット、および PA6DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
	PA6DDR	0	1	0	1
IOSE	—	—	—	0	1
端子機能	PA6 入力端子	PA6 出力端子	PA6 入力端子	A22 出力端子	PA6 出力端子
	KIN14 入力端子、CIN14 入力端子*				

【注】 * STCR の IICS ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。
常時 KIN14、CIN14 入力端子として使用可能です。

- PA5/A21/ $\overline{\text{KIN13}}$ /CIN13

動作モードとSYSCRのIOSEビット、およびPA5DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
PA5DDR	0	1	0	1	
IOSE	—	—	—	0	1
端子機能	PA5 入力端子	PA5 出力端子	PA5 入力端子	A21 出力端子	PA5 出力端子
	$\overline{\text{KIN13}}$ 入力端子、CIN13 入力端子*				

【注】 * STCRのIICSビットを1にセットするとN-MOSオープンドレイン出力となり、直接バス駆動が可能です。
常時 $\overline{\text{KIN13}}$ 、CIN13入力端子として使用可能です。

- PA4/A20/ $\overline{\text{KIN12}}$ /CIN12

動作モードとSYSCRのIOSEビット、およびPA4DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
PA4DDR	0	1	0	1	
IOSE	—	—	—	0	1
端子機能	PA4 入力端子	PA4 出力端子	PA4 入力端子	A20 出力端子	PA4 出力端子
	$\overline{\text{KIN12}}$ 入力端子、CIN12 入力端子*				

【注】 * STCRのIICSビットを1にセットするとN-MOSオープンドレイン出力となり、直接バス駆動が可能です。
常時 $\overline{\text{KIN12}}$ 、CIN12入力端子として使用可能です。

- PA3/A19/ $\overline{\text{KIN11}}$ /CIN11

動作モードとSYSCRのIOSEビット、およびPA3DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
PA3DDR	0	1	0	1	
IOSE	—	—	—	0	1
端子機能	PA3 入力端子	PA3 出力端子	PA3 入力端子	A19 出力端子	PA3 出力端子
	$\overline{\text{KIN11}}$ 入力端子、CIN11 入力端子*				

【注】 * 常時 $\overline{\text{KIN11}}$ 、CIN11入力端子として使用可能です。

7. I/O ポート

- PA2/A18/ $\overline{\text{KIN10}}$ /CIN10

動作モードと SYSCR の IOSE ビット、および PA2DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
PA2DDR	0	1	0	1	
IOSE	—	—	—	0	1
端子機能	PA2 入力端子	PA2 出力端子	PA2 入力端子	A18 出力端子	PA2 出力端子
	KIN10 入力端子、CIN10 入力端子*				

【注】 * 常時 $\overline{\text{KIN10}}$ 、CIN10 入力端子として使用可能です。

- PA1/A17/ $\overline{\text{KIN9}}$ /CIN9

動作モードと SYSCR の IOSE ビットおよび PA1DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
PA1DDR	0	1	0	1	
IOSE	—	—	—	0	1
端子機能	PA1 入力端子	PA1 出力端子	PA1 入力端子	A17 出力端子	PA1 出力端子
	KIN9 入力端子、CIN9 入力端子*				

【注】 * 常時 $\overline{\text{KIN9}}$ 、CIN9 入力端子として使用可能です。

- PA0/A16/ $\overline{\text{KIN8}}$ /CIN8

動作モードと SYSCR の IOSE ビットおよび PA0DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
PA0DDR	0	1	0	1	
IOSE	—	—	—	0	1
端子機能	PA0 入力端子	PA0 出力端子	PA0 入力端子	A16 出力端子	PA0 出力端子
	KIN8 入力端子、CIN8 入力端子*				

【注】 * 常時 $\overline{\text{KIN8}}$ 、CIN8 入力端子として使用可能です。

7.11.5 ポート A 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

PA7～PA4 は IICS=1 にセットした状態では、入力プルアップ MOS は常にオフとなります。入力プルアップ MOS の状態を表 7.7 に示します。

表 7.7 ポート A 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3		OFF		ON/OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で PADDR=0 かつ PAODR=1 のときオン状態、その他のときはオフ状態です。

7.12 ポート B [H8S/2144B のみ]

ポート B は、8 ビットの入出力ポートです。ポート B は、データバス入出力端子と兼用になっています。ポート B の端子機能は動作モードによって端子機能が切り替わります。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B 出力データレジスタ (PBODR)
- ポート B 入力データレジスタ (PBPIN)

7.12.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR は、ポート B の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	PBDDR は P7PIN と同じアドレスであり、リードするとポート 7 の端子状態が読み出されます。 モード 1、2、3 (EXPE=1) のとき WSCR の ABW ビットを 0 にクリアすると、PBDDR による入出力の方向は無視され、自動的にデータ入出力 (D7～D0) となります。ABW ビットを 1 にセットした状態では、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	モード 2、3 (EXPE=0) のとき PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

7. I/O ポート

7.12.2 ポート B 出力データレジスタ (PBODR)

PBODR は、ポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7ODR	0	R/W	PBDDR の内容と関わりなく、常に PBODR のリード/ライトが可能です。
6	PB6ODR	0	R/W	
5	PB5ODR	0	R/W	
4	PB4ODR	0	R/W	
3	PB3ODR	0	R/W	
2	PB2ODR	0	R/W	
1	PB1ODR	0	R/W	
0	PB0ODR	0	R/W	

7.12.3 ポート B 入力データレジスタ (PBPIN)

PBPIN はポート B の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PB7PIN	不定*	R	PBPIN のリードを行うと、常に端子の状態が読み出されます。PBPIN は P8DDR と同じアドレスであり、ライトを行うと P8DDR にデータが書き込まれポート 8 の設定が変わります。
6	PB6PIN	不定*	R	
5	PB5PIN	不定*	R	
4	PB4PIN	不定*	R	
3	PB3PIN	不定*	R	
2	PB2PIN	不定*	R	
1	PB1PIN	不定*	R	
0	PB0PIN	不定*	R	

【注】 * PB7～PB0 端子の状態により決定されます。

7.12.4 端子機能

- PB7/D7、PB6/D6、PB5/D5、PB4/D4、PB3/D3、PB2/D2、PB1/D1、PB0/D0

動作モードと WSCR の ABW ビットおよび PBnDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、モード 2、3 (EXPE=1)			モード 2、3 (EXPE=0)	
	0	1		—	
ABW	0	1		—	
PBnDDR	—	0	1	0	1
端子機能	Dn 入出力端子	PBn 入力端子	PBn 出力端子	PBn 入力端子	PBn 出力端子

【記号説明】 n=7～0

7.12.5 ポート B 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

出力端子に設定した場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS の状態を表 7.8 に示します。

表 7.8 ポート B 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1) かつ WSCR の ABW=0 のとき	OFF		OFF	
1、2、3 (EXPE=1) かつ WSCR の ABW=1 のとき、または 2、3 (EXPE=0) のとき			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で PBDDR=0 かつ PBODR=1 のときオン状態、その他のときはオフ状態です。

8. 14 ビット PWM タイマ (PWMX)

本 LSI は 2 チャンネルの 14 ビット PWM (Pulse Width Modulator) を内蔵しています。LSI 外部にローパスフィルタを接続することにより、14 ビット D/A 変換器として使用できます。

8.1 特長

- リップルの少ないパルス分割方式
- 2種類の分解能を選択可能
 - システムクロック周期
 - システムクロック周期×2
- 2種類の基本周期を設定可能
 - 基本周期 $T \times 64$
 - 基本周期 $T \times 256$ (T =分解能)
- 4種類の動作速度を設定可能
- 4種類の動作クロック (基本周期2種類×分解能2種類) を選択可能

8. 14ビットPWMタイマ (PWMX)

PWM (D/A) のブロック図を図 8.1 に示します。

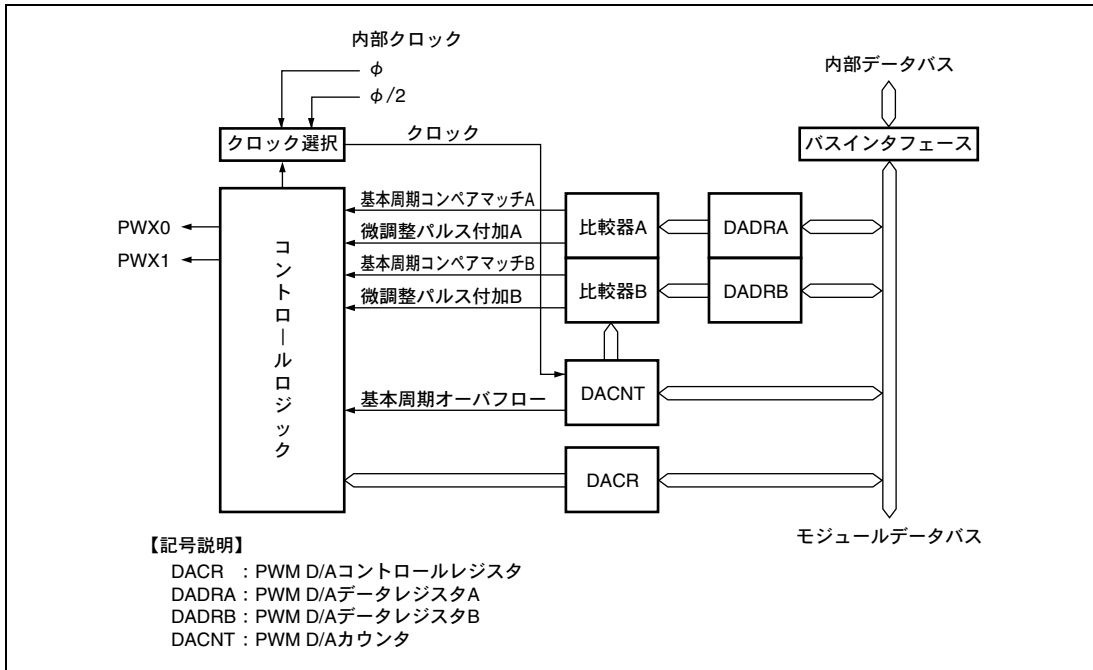


図 8.1 PWM (D/A) のブロック図

8.2 入出力端子

PWM(D/A)の入出力端子を表 8.1 に示します。

表 8.1 端子構成

名称	記号	入出力	機能
PWM 出力端子 X0	PWX0	出力	PWMX チャンネル A の PWM 出力
PWM 出力端子 X1	PWX1	出力	PWMX チャンネル B の PWM 出力

8.3 レジスタの説明

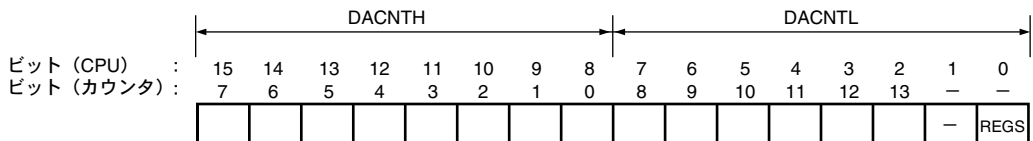
PWM (D/A) には以下のレジスタがあります。PWM (D/A) のレジスタは、他のレジスタと同一のアドレスに割り当てられています。レジスタの選択は、シリアルタイムコントロールレジスタ (STCR) の HICE ビットで行います。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- PWM (D/A) カウンタH (DACNTH)
- PWM (D/A) カウンタL (DACNTL)
- PWM (D/A) データレジスタAH (DADRAH)
- PWM (D/A) データレジスタAL (DADRAL)
- PWM (D/A) データレジスタBH (DADRBH)
- PWM (D/A) データレジスタBL (DADRBL)
- PWM (D/A) コントロールレジスタ (DACR)

【注】 DADRA と DACR、DADRB と DACNT のアドレスは同一です。レジスタの切り替えは DACNT または DADRB の REGS ビットで行います。

8.3.1 PWM (D/A) カウンタ H、L (DACNTH、DACNTL)

DACNT は 14 ビットのリード/ライト可能なアップカウンタです。入カクロックは DACR の CKS ビットにより選択します。DACNT は、2 チャネルの PWM (D/A) のタイムベースとして使用されます。14 ビット精度で使用する場合には全ビットを、12 ビット精度で使用する場合には上位 2 ビットを無視し、下位 12 ビットを利用します。DACNT は 16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「8.4 バスマスタとのインタフェース」を参照してください。



- DACNTH

ビット	ビット名	初期値	R/W	説明
7~0	UC7~UC0	すべて 0	R/W	上位アップカウンタ

8. 14 ビット PWM タイマ (PWMX)

• DACNTL

ビット	ビット名	初期値	R/W	説明
7~2	UC8~UC13	すべて 0	R/W	下位アップカウンタ
1	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	REGS	1	R/W	レジスタセレクト DADRA と DACR, DADR B と DACNT は同一のアドレスに配置されています。 このビットはアクセス可能にするレジスタを選択します。 0 : DADRA と DADR B がアクセス可能 1 : DACR と DACNT がアクセス可能

8.3.2 PWM (D/A) データレジスタ A、B (DADRA、DADR B)

DADRA は PWM (D/A) チャネル A に、DADR B は PWM (D/A) チャネル B に対応します。DADR は 16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「8.4 バスマスタとのインタフェース」を参照してください。

• DADRA

ビット	ビット名	初期値	R/W	説明
15	DA13	1	R/W	D/A データ 13~0 D/A 変換データを設定します。このレジスタの値は DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、下位 2 ビット DA1、DA0 をそれぞれ 0 に固定します。この下位 2 ビットデータは DACNT の上位 2 ビットに対応しています。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	
0	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

• DADRB

ビット	ビット名	初期値	R/W	説明
15	DA13	1	R/W	D/A データ 13~0 D/A 変換データを設定します。このレジスタの値は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、下位 2 ビット DA1、DA0 をそれぞれ 0 に固定します。この下位 2 ビットデータは DACNT の上位 2 ビットに対応しています。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	キャリアフリーケンシセレクト 0 : 基本周期 = 分解能 (T) × 64 で動作 DADR の値の範囲は H'0401~H'FFFD 1 : 基本周期 = 分解能 (T) × 256 で動作 DADR の値の範囲は H'0103~H'FFFF
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。 このビットはアクセス可能にするレジスタを選択します。 0 : DADRA と DADRB がアクセス可能 1 : DACR と DACNT がアクセス可能

8. 14 ビット PWM タイマ (PWMX)

8.3.3 PWM (D/A) コントロールレジスタ (DACR)

DACR は、テストモードの設定、出力の許可、出力位相および動作速度を選択します。

ビット	ビット名	初期値	R/W	説明
7	TEST	0	R/W	テストモード テスト状態を選択します。このビットは LSI のテストのために使用しますので、通常は 0 に設定してください。 0 : PWM (D/A) はユーザ状態となり、通常の動作をします 1 : PWM (D/A) はテスト状態となり、正しい変換結果は得られません
6	PWME	0	R/W	PWM イネーブル DACNT の動作/停止を選択します。 0 : DACNT は 14 ビットのアップカウンタとして動作 1 : DACNT=H'0003 で停止
5	—	1	R	リザーブビット
4	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
3	OEB	0	R/W	アウトプットイネーブル B PWM (D/A) チャンネル B の出力の許可/禁止を選択します。 0 : PWM (D/A) チャンネル B 出力 (PWX1 出力端子) を禁止 1 : PWM (D/A) チャンネル B 出力 (PWX1 出力端子) を許可
2	OEA	0	R/W	アウトプットイネーブル A PWM (D/A) チャンネル A の出力の許可/禁止を選択します。 0 : PWM (D/A) チャンネル A 出力 (PWX0 出力端子) を禁止 1 : PWM (D/A) チャンネル A 出力 (PWX0 出力端子) を許可
1	OS	0	R/W	アウトプットセレクト PWM (D/A) の出力位相を選択します。 0 : PWM (D/A) 直接出力 1 : PWM (D/A) 反転出力
0	CKS	0	R/W	クロックセレクト PWM (D/A) の分解能を選択します。分解能はシステムクロック (ϕ) が 10MHz の場合、100ns と 200ns が選択できます。 0 : 分解能 (T) = システムクロック周期 (t_{cyc}) で動作 1 : 分解能 (T) = システムクロック周期 (t_{cyc}) \times 2 で動作

8.4 バスマスタとのインタフェース

DACNT、DADRA、DADRBは16ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間のデータバスは8ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8ビットのテンポラリレジスタ (TEMP) を介して行います。各レジスタのリード/ライトは次のような動作で行われます。

(1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPにストアされます。次に下位バイトのライトにより、TEMPにある上位バイトの値と合わせて16ビットデータとしてレジスタにライトされます。

(2) レジスタからのリード時の動作

上位バイトのリードにより、上位バイトの値はCPUに転送され、下位バイトの値はTEMPに転送されます。次に下位バイトのリードにより、TEMPにある下位バイトの値がCPUに転送されます。

これらのレジスタのアクセスはMOV命令を使用し、常に16ビット単位で行い、上位バイト、下位バイトの順序で行ってください。上位バイトのみ、下位バイトのみのアクセスではデータは正しく転送されません。なお、ビット操作命令は使用できません。

例1 DACNTへのライト

```
MOV. W R0, @DACNT    DACNTへR0の内容をライト
```

例2 DADRAのリード

```
MOV. W @DADRA, R0    DADRAの内容をR0に転送
```

表 8.2 16ビットレジスタのリード/ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA、DADRB	○	○	○	×
DACNT	○	×	○	×

【記号説明】

- : 許されているアクセスを示します。
ワード単位のアクセスとは上位バイト、下位バイトの順序で連続してアクセスすることを含みます。
- × : その単位のアクセスでは、結果が保証されません。

8.5 動作説明

PWX 端子からは、図 8.2 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス (CFS=0 の場合 256、CFS=1 の場合 64) の 0 レベル幅の合計 (TL) が DADR のデータと対応しています。OS=0 の場合、この波形が直接出力されます。OS=1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計 (TH) が DADR のデータと対応しています。出力波形を図 8.3、図 8.4 に示します。

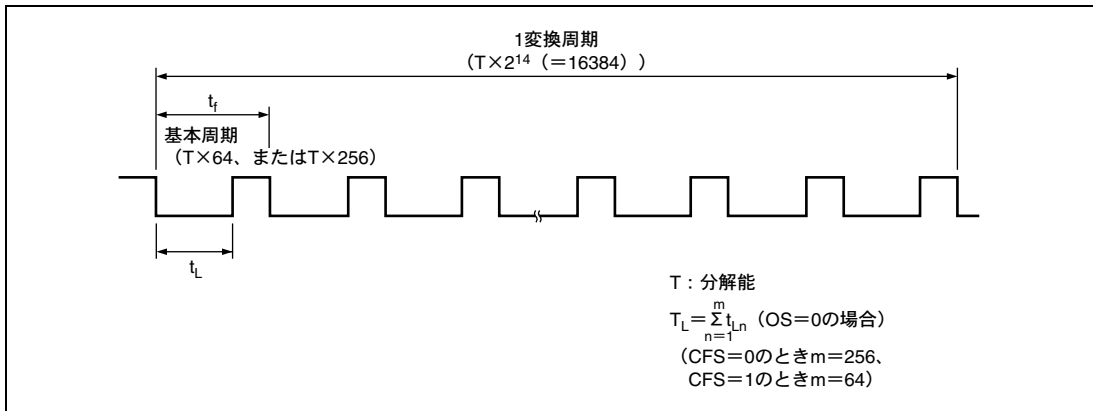


図 8.2 PWM (D/A) の動作

CKS、CFS、OS ビットの設定と、分解能、基本周期、変換周期との関係を表 8.3 に示します。DADR の内容がある値以上ではないと PWM 出力は固定レベルとなります。

表 8.3 設定値と動作内容 (φ : 10MHz 時の例)

CKS	分解能 T (μs)	CFS	基本 周期 (μs)	変換 周期 (μs)	TL/TH (OS=0/OS=1)	DADR 固定ビット				変換 周期* (μs)	
						変換精度 (ビット数)	ビットデータ				
							3	2	1		0
0	0.1	0	6.4	1638.4	(1) 常時 Low/High レベル出力 (DADR=H'0001~H'03FD)	14				1638.4	
						12			0	0	409.6
						10	0	0	0	0	102.4
		1	25.6		(1) 常時 Low/High レベル出力 (DADR=H'0003~H'00FF)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
1	0.2	0	12.8	3276.8	(1) 常時 Low/High レベル出力 DADR=H'0001~H'03FD (2) (データ値)×T DADR=H'0401~H'FFFD	14				3276.8	
						12			0	0	819.2
						10	0	0	0	0	204.8
		1	51.2		(1) 常時 Low/High レベル出力 DADR=H'0003~H'00FF (2) (データ値)×T DADR=H'0103~H'FFFD	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8

【注】 * DADR の特定のビットを固定することにより得られる変換周期です。

8. 14ビットPWMタイマ (PWMX)

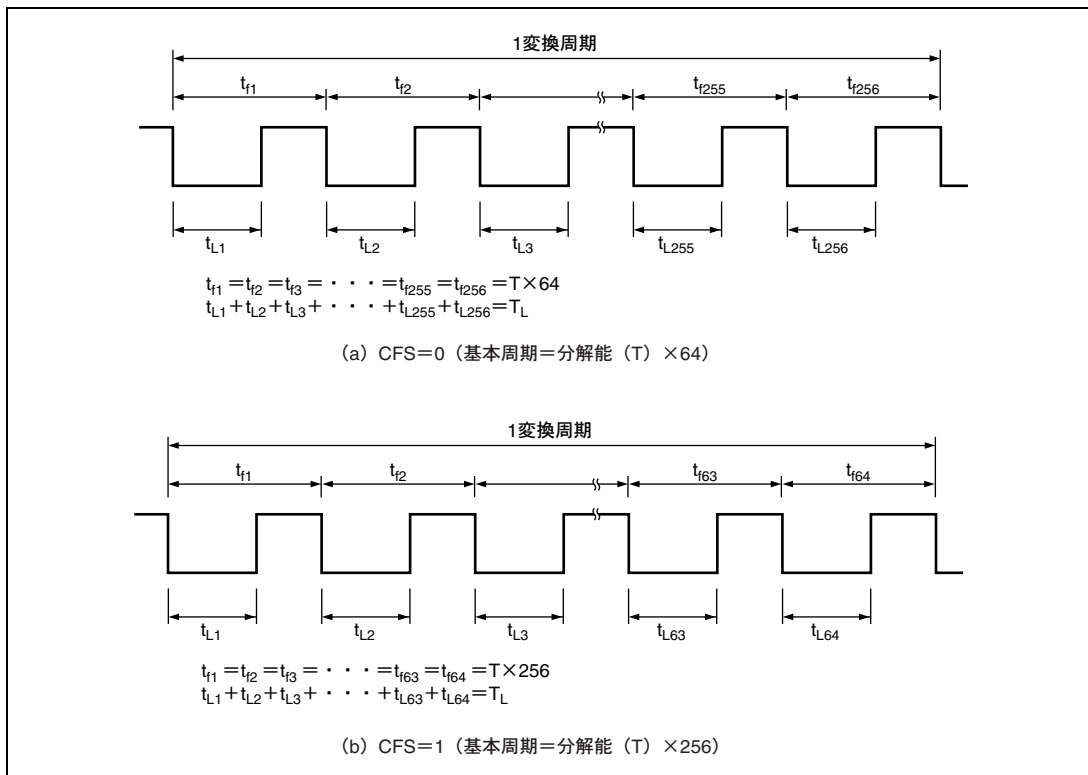


図 8.3 出力波形 (OS=0、DADR は TL に対応)

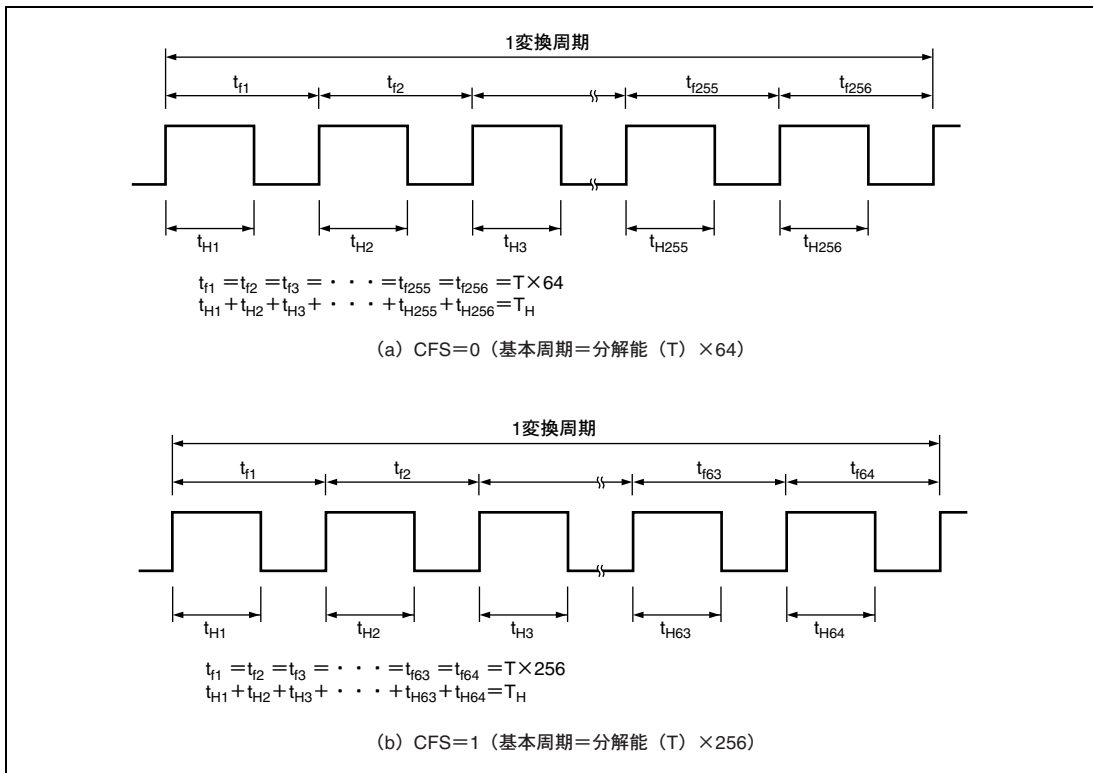


図 8.4 出力波形 (OS=1、DADR は TH に対応)

8. 14ビットPWMタイマ (PWMX)

付加パルスについては、CFS=1（基本周期=分解能（T）×256）かつOS=1（PWMX反転出力）の設定を例に示します。CFS=1のとき、図8.5に示すようにDADRの上位8ビット（DA13～DA6）で基本パルスのデューティ比が、次の6ビット（DA5～DA0）で付加パルスの位置が決定されます。

表8.4に付加パルスの位置を示します。

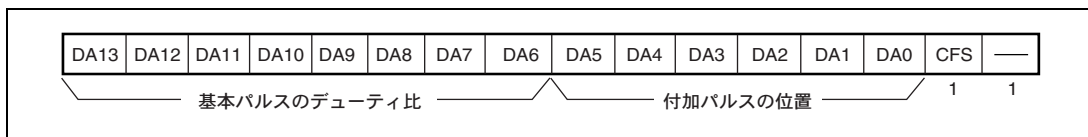


図 8.5 CFS=1のときのD/Aデータレジスタの構成

ここでは、DADR=H'0207（B'0000 0010 0000 0111）の場合を考えます。図8.6に出力波形を示します。CFS=1であり、上位8ビットの値がB'0000 0010ですので、基本パルスはHigh幅が $2/256 \times (T)$ のデューティ比となります。

次に続く6ビットの値がB'0000 01ですので、表8.4より、付加パルスは基本パルス No.63の位置でのみ出力されます。付加パルスは基本パルスに $1/256 \times (T)$ だけ追加される形となります。

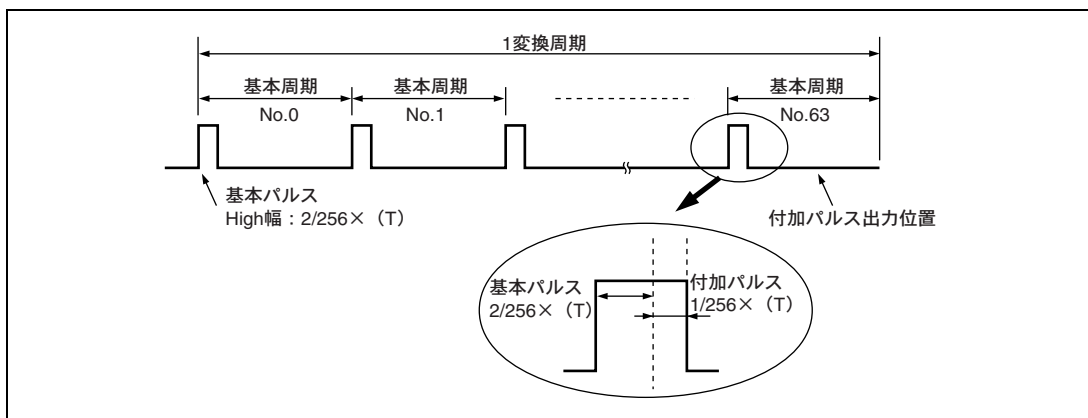


図 8.6 DADR=H'0207のときの出力波形（OS=1）

なお、CFS=0（基本周期=分解能（T）×64）の場合、基本パルスのデューティ比は上位6ビットで、付加パルスの位置はその次の8ビットで決定されるという点以外は、同様な考え方となります。

8.6 使用上の注意事項

8.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PWMX の動作停止／許可を設定することが可能です。初期値では PWMX の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 18 章 低消費電力状態」を参照してください。

9. 16ビットフリーランニングタイマ (FRT)

本 LSI は、16 ビットフリーランニングタイマ (FRT : Free Running Timer) を内蔵しています。FRT は 16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能です。また、入力パルスの幅や外部クロックの周期を測定することができます。

9.1 特長

- 4種類のカウント入力クロックを選択可能

3種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) と、外部クロックのうちから選択できます (外部イベントのカウントが可能)。

- 2本の独立したコンパレータ

2種類の波形出力が可能です。

- 4本の独立したインプットキャプチャ

立ち上がり/立ち下がりエッジの選択が可能です。

バッファ動作を指定できます。

- カウンタのクリア指定が可能

コンペアマッチAによりカウンタの値をクリアすることができます。

- 7種類の割り込み要因

コンペアマッチ×2要因、インプットキャプチャ×4要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

- 自動加算機能による特殊動作

OCRAの内容にOCRARおよびOCRAFの内容を自動的に加算し、ソフトウェアの介在なしに周期的な波形を生成することができます。ICRDの内容とOCRDMの内容×2を自動的に加算し、この間のインプットキャプチャ動作を制限することができます。

9. 16ビットフリーランニングタイマ (FRT)

FRTのブロック図を図9.1に示します。

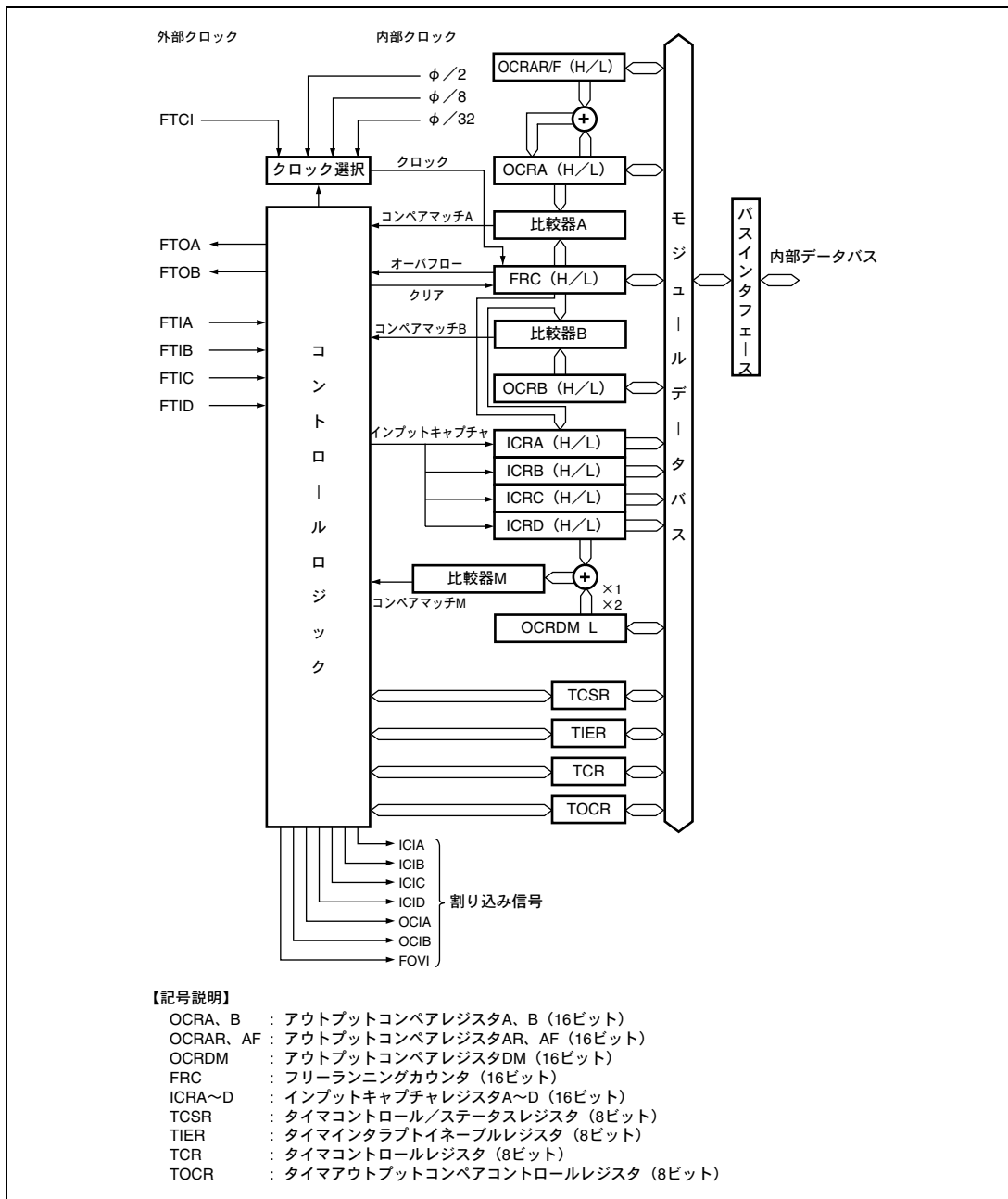


図9.1 16ビットフリーランニングタイマのブロック図

9.2 入出力端子

FRT の入出力端子を表 9.1 に示します。

表 9.1 端子構成

名 称	記号	入出力	機 能
カウンタクロック入力端子	FTCI	入力	FRC のカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ A 入力端子	FTIA	入力	インプットキャプチャ A の入力
インプットキャプチャ B 入力端子	FTIB	入力	インプットキャプチャ B の入力
インプットキャプチャ C 入力端子	FTIC	入力	インプットキャプチャ C の入力
インプットキャプチャ D 入力端子	FTID	入力	インプットキャプチャ D の入力

9.3 レジスタの説明

FRT には以下のレジスタがあります。

- フリーランニングカウンタ (FRC)
- アウトプットコンペアレジスタ A (OCRA)
- アウトプットコンペアレジスタ B (OCRB)
- インプットキャプチャレジスタ A (ICRA)
- インプットキャプチャレジスタ B (ICRB)
- インプットキャプチャレジスタ C (ICRC)
- インプットキャプチャレジスタ D (ICRD)
- アウトプットコンペアレジスタ AR (OCRAR)
- アウトプットコンペアレジスタ AF (OCRAF)
- アウトプットコンペアレジスタ DM (OCRDM)
- タイマインタラプトイネーブルレジスタ (TIER)
- タイマコントロール/ステータスレジスタ (TCSR)
- タイマコントロールレジスタ (TCR)
- タイマアウトプットコンペアコントロールレジスタ (TOCR)

【注】 OCRA と OCRB のアドレスは同一です。レジスタの切り替えは TOCR の OCRA ビットで行います。また、ICRA、ICRB、ICRC と OCRAR、OCRAF、OCRDM のアドレスは同一です。レジスタの切り替えは TOCR の ICRA ビットで行います。

9. 16 ビットフリーランニングタイマ (FRT)

9.3.1 フリーランニングカウンタ (FRC)

FRC は 16 ビットのリード/ライト可能なアップカウンタです。入力クロックは TCR の CKS1、CKS0 ビットにより選択します。FRC はコンペアマッチ A によりクリアすることができます。FRC が H'FFFF から H'0000 にオーバフローすると、TCSR の OVF が 1 にセットされます。FRC は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。FRC の初期値は H'0000 です。

9.3.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

OCR は 16 ビットのリード/ライト可能なレジスタです。FRT には 2 本の OCR があります。OCR の値は FRC の値と常に比較されています。両者の値が一致 (コンペアマッチ) すると、TCSR の OCFA、OCFB フラグが 1 にセットされます。このとき TOCR の OEA、OEB ビットが 1 にセットされていると、TOCR の OLVLA、OLVLB ビットで設定した出力レベルの値がアウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。リセット後、コンペアマッチが発生するまで FTOA、FTOB は 0 出力です。OCR は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。OCR の初期値は H'FFFF です。

9.3.3 インプットキャプチャレジスタ A~D (ICRA~ICRD)

ICR は 16 ビットのリード専用のレジスタです。FRT には 4 本の ICR があります。インプットキャプチャ入力信号 (FTIA~FTID) の立ち上がり、または立ち下がりエッジが検出されると FRC の値が ICRA~ICRD に転送されます。このとき同時に TCSR の ICFA~ICFD フラグが 1 にセットされます。FRC から ICR への転送は ICF の値にかかわらず行われます。インプットキャプチャ信号の検出エッジは TCR の IEDGA~IEDGD ビットにより選択できます。

また、ICRC は ICRA のバッファレジスタとして、ICRD は ICRB のバッファレジスタとしてそれぞれ使用することもできます。この機能は TCR の BUFEA、BUFEB ビットにより選択できます。

例えば ICRA がインプットキャプチャレジスタとして、ICRC が ICRA のバッファレジスタとして設定された場合、インプットキャプチャが発生すると、FRC の値が ICRA に、ICRA の値がバッファレジスタ ICRC に転送されます。

インプットキャプチャ動作を確実に行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上にしてください。

ICRA~ICRD は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。ICR の初期値は H'0000 です。

9.3.4 アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)

OCRAR、OCRAF は 16 ビットのリード/ライト可能なレジスタです。TOCR の OCRAMS ビットを 1 にセットすると、OCRA を OCRAR、OCRAF を使用した動作モードに設定されます。OCRAR、OCRAF の値は交互に OCRA に自動的に加算され、OCRA に書き込まれます。書き込みはコンペアマッチ A のタイミングで行われます。

OCRAMS ビットを 1 にセットした後の最初のコンペアマッチ A では、OCRAF が加算されます。コンペアマッチ A の動作は、OCRAR、OCRAF のいずれを加算した後のコンペアマッチかによって異なります。TOCR の OLVLA ビットの設定は無視され、OCRAF 加算後のコンペアマッチ A では 1 を出力、OCRAR 加算後のコンペアマッチ A では 0 を出力します。

OCRA の自動加算機能を使用する場合には、FRC の入力クロックを内部クロック $\phi/2$ で、かつ OCRAR (または OCRAF) の値を H'0001 以下に設定しないでください。

OCRAR、OCRAF は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRAR、OCRAF の初期値は H'FFFF です。

9.3.5 アウトプットコンペアレジスタ DM (OCRDM)

OCRDM は 16 ビットのリード/ライト可能なレジスタです。OCRDM の上位 8 ビットは H'00 に固定にされています。TOCR の ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外の場合、ICRD を OCRDM を使用した動作モードに設定されます。インプットキャプチャ D が発生した時点をもスク期間の開始とします。続いて ICRD の内容に OCRDM の値を 2 倍して加算した値を FRC と比較し、一致した時点をもスク期間の終了とします。マスク期間中は、新たなインプットキャプチャ D の発生は禁止されています。ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 の場合はマスク期間は発生しません。

OCRDM は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRDM の初期値は H'0000 です。

9.3.6 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、割り込み要求の許可/禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	ICIAE	0	R/W	インプットキャプチャインタラプト A イネーブル TCSR の ICFA フラグが 1 にセットされたとき、ICFA フラグによる割り込み要求 (ICIA) を許可または禁止します。 0: ICFA による割り込み要求 (ICIA) を禁止 1: ICFA による割り込み要求 (ICIA) を許可
6	ICIBE	0	R/W	インプットキャプチャインタラプト B イネーブル TCSR の ICFB フラグが 1 にセットされたとき、ICFB フラグによる割り込み要求 (ICIB) を許可または禁止します。 0: ICFB による割り込み要求 (ICIB) を禁止 1: ICFB による割り込み要求 (ICIB) を許可

9. 16 ビットフリーランニングタイム (FRT)

ビット	ビット名	初期値	R/W	説明
5	ICICE	0	R/W	<p>インプットキャプチャインタラプト C イネーブル</p> <p>TCSR の ICFC フラグが 1 にセットされたとき、ICFC フラグによる割り込み要求 (ICIC) を許可または禁止します。</p> <p>0 : ICFC による割り込み要求 (ICIC) を禁止</p> <p>1 : ICFC による割り込み要求 (ICIC) を許可</p>
4	ICIDE	0	R/W	<p>インプットキャプチャインタラプト D イネーブル</p> <p>TCSR の ICFD フラグが 1 にセットされたとき、ICFD フラグによる割り込み要求 (ICID) を許可または禁止します。</p> <p>0 : ICFD による割り込み要求 (ICID) を禁止</p> <p>1 : ICFD による割り込み要求 (ICID) を許可</p>
3	OCIAE	0	R/W	<p>アウトプットコンペアインタラプト A イネーブル</p> <p>TCSR の OCFA フラグが 1 にセットされたとき、OCFA フラグによる割り込み要求 (OCIA) を許可または禁止します。</p> <p>0 : OCFA による割り込み要求 (OCIA) を禁止</p> <p>1 : OCFA による割り込み要求 (OCIA) を許可</p>
2	OCIBE	0	R/W	<p>アウトプットコンペアインタラプト B イネーブル</p> <p>TCSR の OCFB フラグが 1 にセットされたとき、OCFB フラグによる割り込み要求 (OCIB) を許可または禁止します。</p> <p>0 : OCFB による割り込み要求 (OCIB) を禁止</p> <p>1 : OCFB による割り込み要求 (OCIB) を許可</p>
1	OVIE	0	R/W	<p>タイマオーバーフローインタラプトイネーブル</p> <p>TCSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割り込み要求 (FOVI) を許可または禁止します。</p> <p>0 : OVF による割り込み要求 (FOVI) を禁止</p> <p>1 : OVF による割り込み要求 (FOVI) を許可</p>
0	—	1	R	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>

9.3.7 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、カウンタクリアの選択、割り込み要求信号の許可/禁止制御を行います。

ビット	ビット名	初期値	R/W	説明
7	ICFA	0	R/(W)*	<p>インプットキャプチャフラグ A</p> <p>インプットキャプチャ信号により FRC の値が ICRA に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき</p> <p>[クリア条件]</p> <p>ICFA=1 の状態で ICFA リード後、ICFA に 0 をライトしたとき</p>
6	ICFB	0	R/(W)*	<p>インプットキャプチャフラグ B</p> <p>インプットキャプチャ信号により FRC の値が ICRB に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRC に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき</p> <p>[クリア条件]</p> <p>ICFB=1 の状態で ICFB をリード後、ICFB に 0 をライトしたとき</p>
5	ICFC	0	R/(W)*	<p>インプットキャプチャフラグ C</p> <p>インプットキャプチャ信号により、FRC の値が ICRC に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、FTIC 入力端子に IEDGC ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRC へのデータ転送は行われません。バッファ動作では、このフラグは ICICE ビットを 1 にセットすることにより外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号が発生したとき</p> <p>[クリア条件]</p> <p>ICFC=1 の状態で ICFC をリード後、ICFC に 0 をライトしたとき</p>

9. 16 ビットフリーランニングタイマ (FRT)

ビット	ビット名	初期値	R/W	説明
4	ICFD	0	R/(W)*	<p>インプットキャプチャフラグ D</p> <p>インプットキャプチャ信号により、FRC の値が ICRD に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、FTID 入力端子に IEDGD ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRD へのデータ転送は行われません。バッファ動作では、このフラグは ICFD は ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] インプットキャプチャ信号が発生したとき</p> <p>[クリア条件] ICFD=1 の状態で ICFD をリード後、ICFD に 0 をライトしたとき</p>
3	OCFA	0	R/(W)*	<p>アウトプットコンペアフラグ A</p> <p>FRC と OCRA の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] FRC=OCRA になったとき</p> <p>[クリア条件] OCFA=1 の状態で OCFA をリード後、OCFA に 0 をライトしたとき</p>
2	OCFB	0	R/(W)*	<p>アウトプットコンペアフラグ B</p> <p>FRC と OCRB の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] FRC=OCRB になったとき</p> <p>[クリア条件] OCFB=1 の状態で OCFB をリード後、OCFB に 0 をライトしたとき</p>
1	OVF	0	R/(W)*	<p>タイマオーバーフロー</p> <p>FRC のオーバーフローの発生を示すフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] FRC の値がオーバーフロー (H'FFFF→H'0000) したとき</p> <p>[クリア条件] OVF=1 の状態で OVF をリード後、OVF に 0 をライトしたとき</p>
0	CCLRA	0	R/W	<p>カウンタクリア A</p> <p>コンペアマッチ A (FRC と OCRA の一致信号) により FRC をクリアするか、しないかを選択します。</p> <p>0 : FRC のクリアを禁止 1 : コンペアマッチ A により FRC をクリア</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9.3.8 タイマコントロールレジスタ (TCR)

TCR は、インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IEDGA	0	R/W	インプットエッジセレクト A インプットキャプチャ A 入力 (FTIA) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ A 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ A 入力の立ち上がりエッジでキャプチャ
6	IEDGB	0	R/W	インプットエッジセレクト B インプットキャプチャ B 入力 (FTIB) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ B 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ B 入力の立ち上がりエッジでキャプチャ
5	IEDGC	0	R/W	インプットエッジセレクト C インプットキャプチャ C 入力 (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ C 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ C 入力の立ち上がりエッジでキャプチャ
4	IEDGD	0	R/W	インプットエッジセレクト D インプットキャプチャ D 入力 (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ D 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ D 入力の立ち上がりエッジでキャプチャ
3	BUFEA	0	R/W	バッファイネーブル A ICRC を ICRA のバッファレジスタとして使用するかどうかを選択します。 0: ICRC を ICRA のバッファレジスタとして使用しない 1: ICRC を ICRA のバッファレジスタとして使用する
2	BUFEB	0	R/W	バッファイネーブル B ICRD を ICRB のバッファレジスタとして使用するかどうかを選択します。 0: ICRD を ICRB のバッファレジスタとして使用しない 1: ICRD を ICRB のバッファレジスタとして使用する
1	CKS1	0	R/W	クロックセレクト 1、0 FRC に入力するクロックを選択します。 00: 内部クロック $\phi/2$ をカウント 01: 内部クロック $\phi/8$ をカウント 10: 内部クロック $\phi/32$ をカウント 11: 外部クロック入力端子 (FTCI) の立ち上がりエッジでカウント
0	CKS0	0	R/W	

9. 16 ビットフリーランニングタイム (FRT)

9.3.9 タイマアウトプットコンペアコントロールレジスタ (TOCR)

TOCR は、アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、ICRD、OCRA の動作モード、およびインプットキャプチャレジスタ A、B、C のアクセスの切り替え制御を行います。

ビット	ビット名	初期値	R/W	説明
7	ICRDMS	0	R/W	インプットキャプチャ D モードセレクト ICRD を通常の動作モードにするか、OCRDM を使用した動作モードにするかを選択します。 0: ICRD を通常の動作モードに設定 1: ICRD を OCRDM を使用した動作モードに設定
6	OCRAMS	0	R/W	アウトプットコンペア A モードセレクト OCRA を通常の動作モードにするか、OCRAR、OCRAF を使用した動作モードにするかを選択します。 0: OCRA を通常の動作モードに設定 1: OCRA を OCRAR、OCRAF を使用した動作モードに設定
5	ICRS	0	R/W	インプットキャプチャレジスタセレクト ICRA と OCRAR、ICRB と OCRAF、ICRC と OCRDM のアドレスは同一です。このアドレスをリード/ライトするとき、どちらのレジスタを選択するか制御します。ICRA、ICRB、ICRC 動作には影響を与えません。 0: ICRA、ICRB と ICRC レジスタを選択 1: OCRAR、OCRAF と OCRDM レジスタを選択
4	OCRS	0	R/W	アウトプットコンペアレジスタセレクト OCRA と OCRB のアドレスは同一です。このアドレスをリード/ライトするとき、どちらのレジスタを選択するか制御します。OCRA、OCRB の動作には影響を与えません。 0: OCRA レジスタを選択 1: OCRB レジスタを選択
3	OEA	0	R/W	アウトプットイネーブル A アウトプットコンペア A 出力端子 (FTOA) を制御します。 0: アウトプットコンペア A 出力を禁止 1: アウトプットコンペア A 出力を許可
2	OEB	0	R/W	アウトプットイネーブル B アウトプットコンペア B 出力端子 (FTOB) を制御します。 0: アウトプットコンペア B 出力を禁止 1: アウトプットコンペア B 出力を許可

ビット	ビット名	初期値	R/W	説明
1	OLVLA	0	R/W	アウトプットレベル A コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプット コンペア A 出力端子 (FTOA) の出力レベルを選択します。OCRAMS ビットが 1 の場合は無視されます。 0: コンペアマッチ A で 0 出力 1: コンペアマッチ A で 1 出力
0	OLVLB	0	R/W	アウトプットレベル B コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプット コンペア B 出力端子 (FTOB) の出力レベルを選択します。 0: コンペアマッチ B により 0 出力 1: コンペアマッチ B により 1 出力

9.4 動作説明

9.4.1 パルス出力

デューティ 50% のパルスを任意の位相差で出力させた例を図 9.2 に示します。TCSR の CCLRA ビットを 1 にセットし、コンペアマッチが発生するたびに OLVLA、OLVLB ビットをソフトウェアにより反転させます。

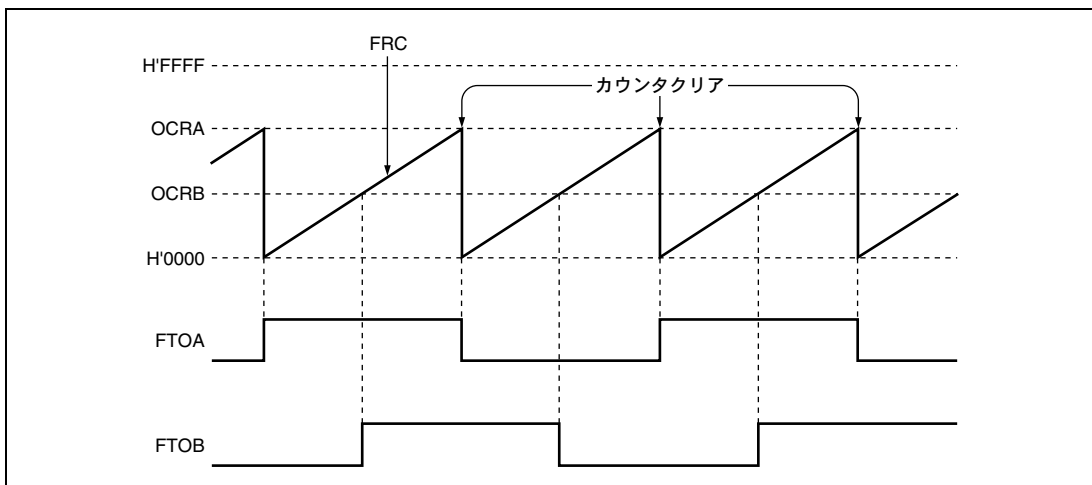


図 9.2 パルス出力例

9.5 動作タイミング

9.5.1 FRC のカウントタイミング

内部クロック動作の場合のFRCのカウントタイミングを図9.3に示します。また、外部クロック動作の場合のFRCのカウントタイミングを図9.4に示します。なお、外部クロックのパルス幅は1.5システムクロック(ϕ)以上が必要です。これ以下のパルス幅では正しく動作しませんので注意が必要です。

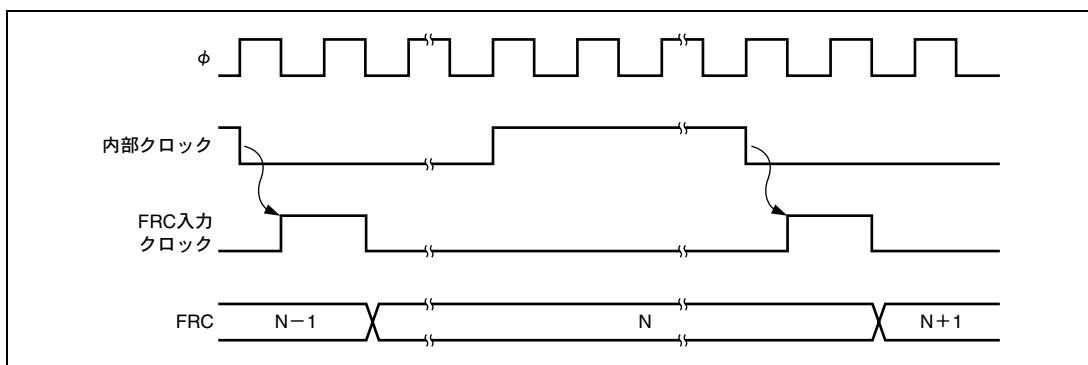


図 9.3 内部クロック動作時のカウントタイミング

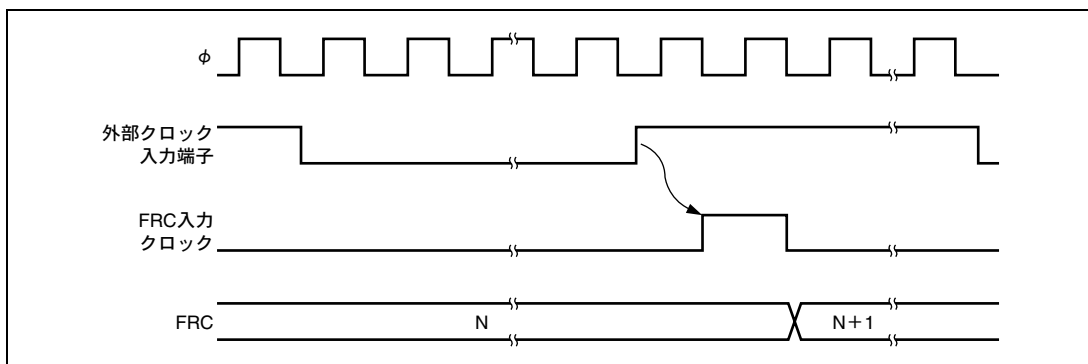


図 9.4 外部クロック動作時のカウントタイミング

9.5.2 アウトプットコンペア出カタイミング

コンペアマッチ信号は、FRC と OCR の値が一致した最後のステート（FRC が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TOCR の OLVL ビットで設定される出力値がアウトプットコンペア出力端子（FTOA、FTOB）に出力されます。アウトプットコンペア A 出力タイミングを図 9.5 に示します。

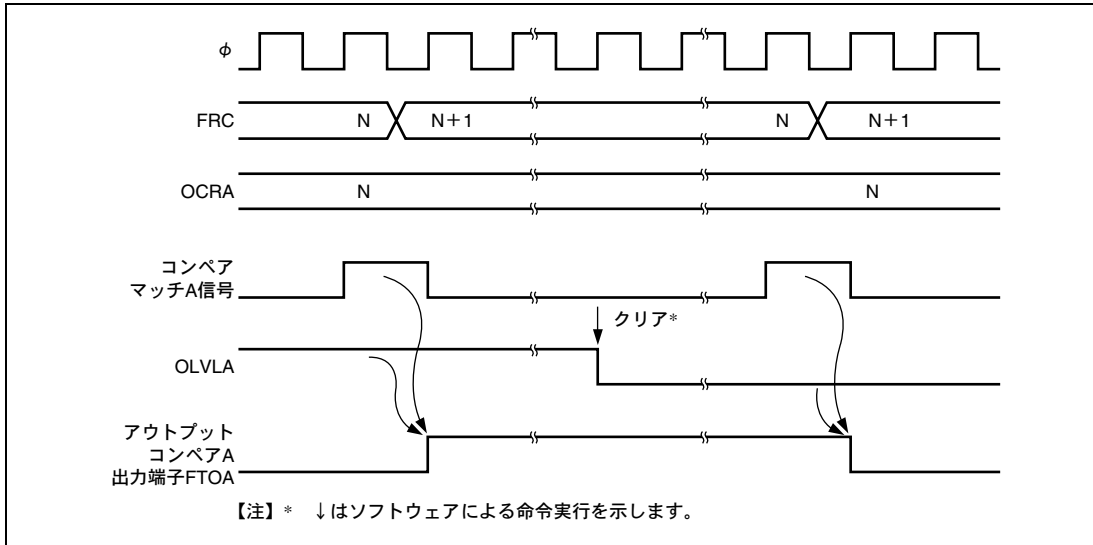


図 9.5 アウトプットコンペア A 出カタイミング

9.5.3 FRC のクリアタイミング

FRC はコンペアマッチ A 信号でクリアすることができます。このタイミングを図 9.6 に示します。

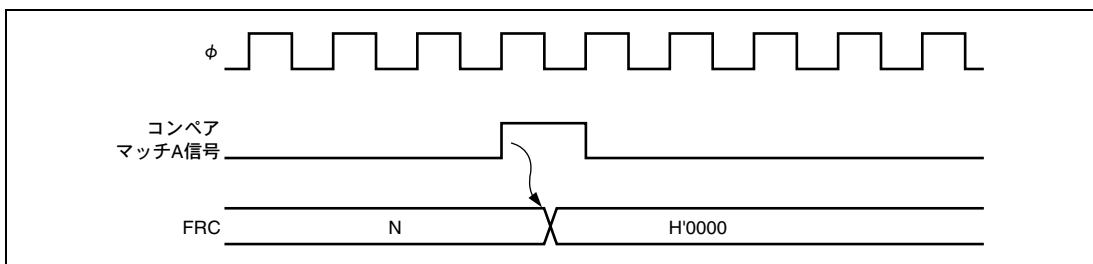


図 9.6 コンペアマッチ A 信号による FRC のクリアタイミング

9.5.4 インพุットキャプチャ入力タイミグ

インพุットキャプチャ入力は、TCR の IEDGA~IEDGD ビットの設定により立ち上がりエッジ/立ち下がりエッジの選択ができます。立ち上がりエッジを選択した場合のタイミグを図 9.7 に示します。

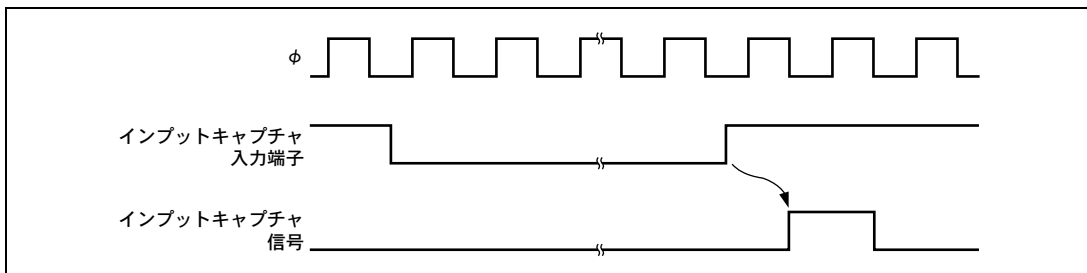


図 9.7 インพุットキャプチャ入力信号タイミグ (通常時)

また、ICRA~ICRD のリード時に、対応するインพุットキャプチャ信号を入力するとインพุットキャプチャ信号は 1 システムクロック (ϕ) 遅延されます。このタイミグを図 9.8 に示します。

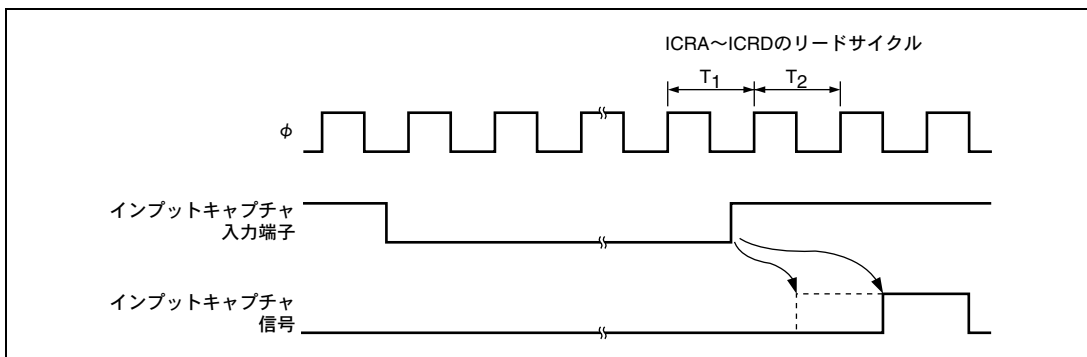


図 9.8 インพุットキャプチャ入力信号タイミグ (ICRA~ICRD のリード時)

9.5.5 バッファ動作時の入力キャプチャ入力タイミング

ICRC または ICRC を ICRA または ICRB のバッファとして動作させることができます。ICRC を ICRA のバッファレジスタとして使用し (BUFEA=1)、立ち上がり/立ち下がり両エッジ指定 (IEDGA=1、IEDGC=0 または IEDGA=0、IEDGC=1) とした場合の入力キャプチャ入力タイミングを図 9.9 に示します。

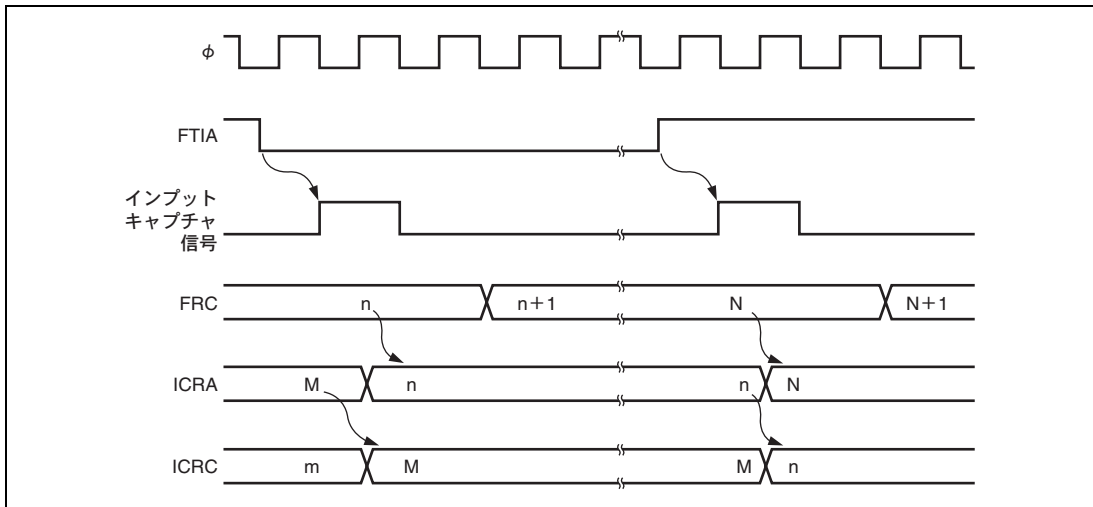


図 9.9 バッファ動作タイミング (入力キャプチャ)

入力キャプチャフラグは、ICRC または ICRC をバッファレジスタとして使用した場合でも各入力キャプチャ入力の指定されたエッジに対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているとき、入力キャプチャ入力に IEDGC ビットで指定したエッジになると ICFC フラグがセットされ、そのとき ICICE ビットがセットされていれば割り込み要求が発生します。ただし、FRC の値は ICRC には転送されません。また、バッファ動作時に、入力キャプチャ入力信号が発生するタイミングでデータ転送レジスタ (ICRA と ICRC または ICRB と ICRC) のリードが行われると、入力キャプチャ入力信号は 1 システムクロック (φ) 遅延されます。BUFEA=1 のときのバッファ動作タイミングを図 9.10 に示します。

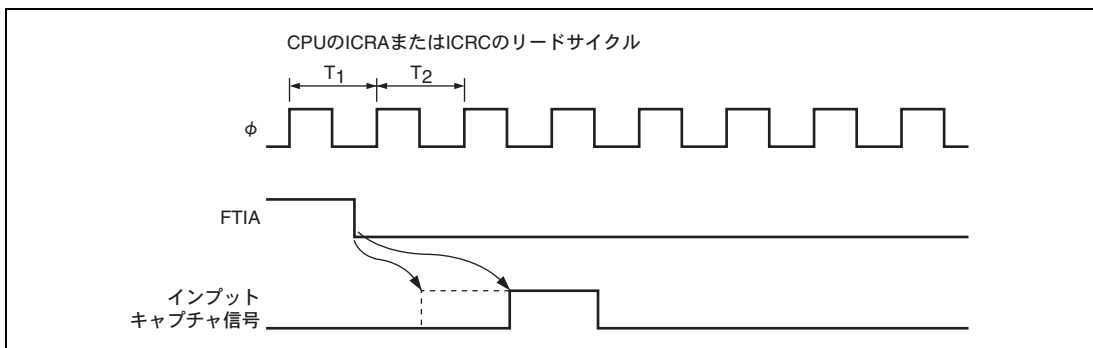


図 9.10 バッファ動作タイミング (BUFEA=1)

9.5.6 インพุットキャプチャ時のフラグセットタイミング

インพุットキャプチャ信号入力により ICFA~ICFD フラグは1にセットされ、FRC の値が対応する ICRA~ICRD に転送されます。ICFA~ICFD フラグのセットタイミングを図 9.11 に示します。

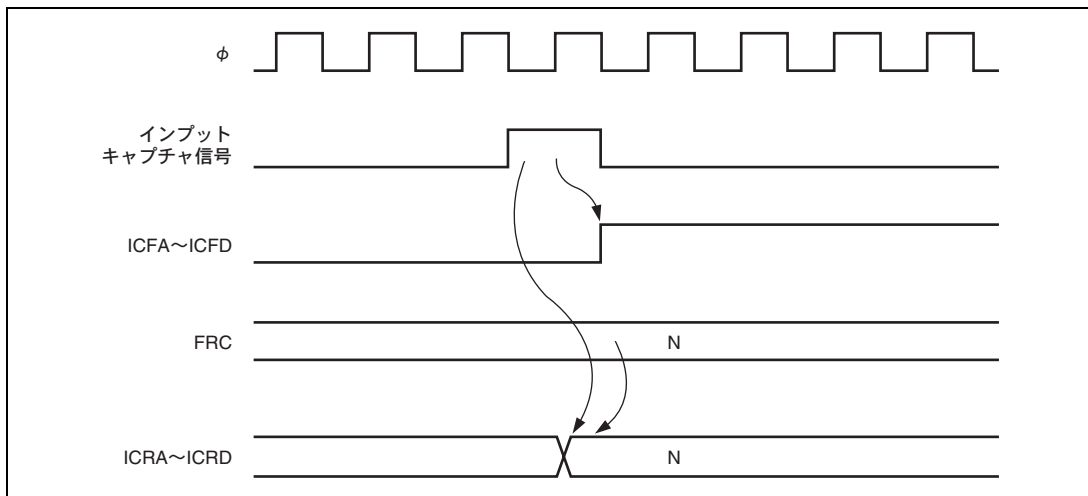


図 9.11 ICFA~ICFD フラグのセットタイミング

9.5.7 アウトプットコンペア時のフラグセットタイミング

OCFA、OCFB フラグは、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。OCRA、OCRB と FRC の値が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB フラグのセットタイミングを図 9.12 に示します。

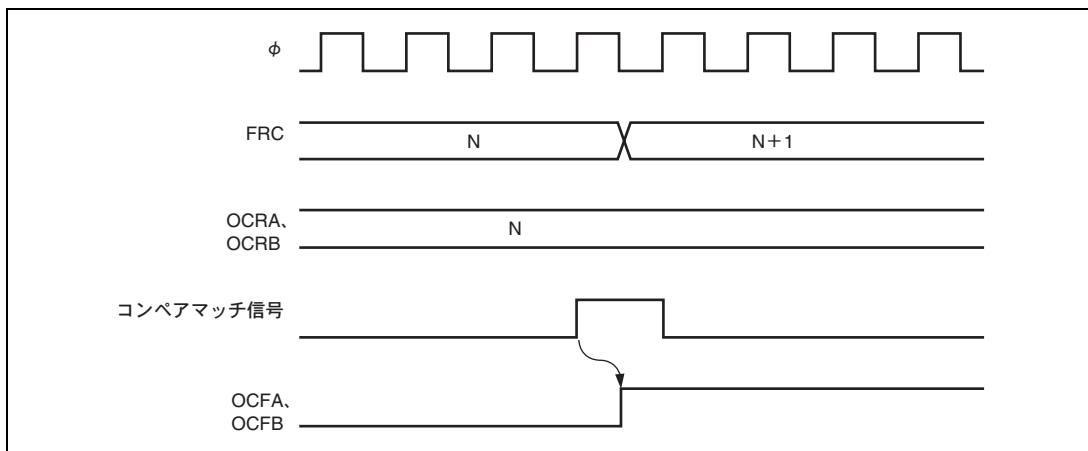


図 9.12 OCFA、OCFB フラグのセットタイミング

9.5.8 オーバフロー時のフラグセットタイミング

OVF フラグは、FRC がオーバフロー (H'FFFF→H'0000) したとき 1 にセットされます。OVF フラグのセットタイミングを図 9.13 に示します。

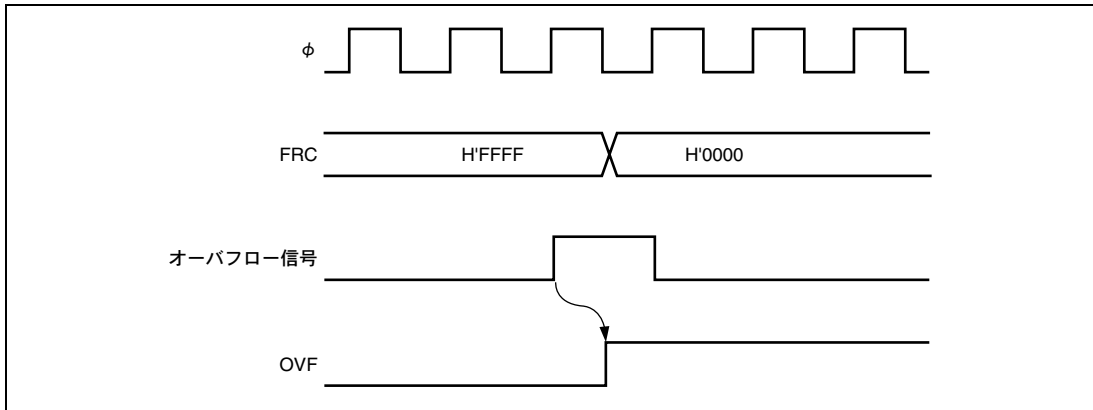


図 9.13 OVF フラグのセットタイミング

9.5.9 自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図 9.14 に示します。

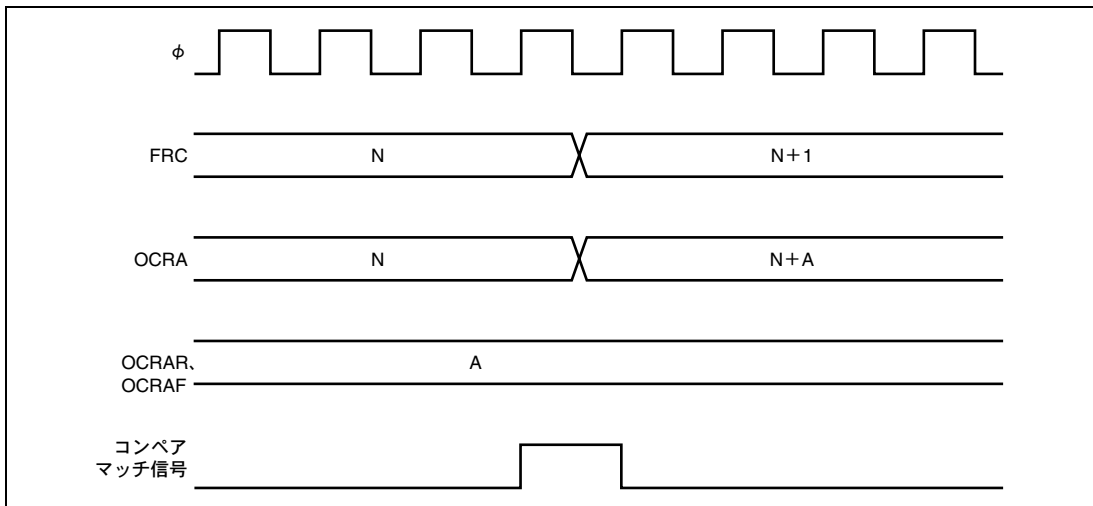


図 9.14 OCRA の自動加算タイミング

9. 16ビットフリーランニングタイマ (FRT)

9.5.10 マスク信号生成タイミング

TOCR の ICRDMS ビットが 1 にセットされている場合、OCRDM の値が H'0000 以外であると、ICRD のインプットキャプチャ信号をマスクする信号が生成されます。マスク信号はインプットキャプチャ信号によりセットされます。マスク信号は ICRD の値に OCRDM の値を 2 倍して加算した値と、FRC のコンペアマッチによりクリアされます。マスク信号のセットタイミングを図 9.15 に示します。マスク信号のクリアタイミングを図 9.16 に示します。

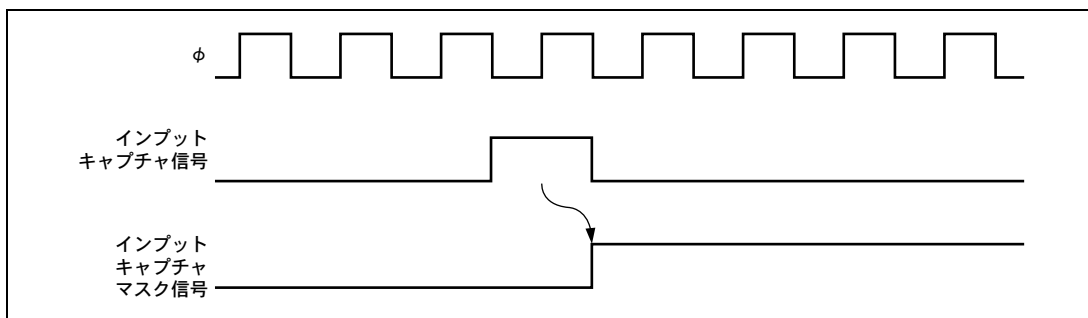


図 9.15 インプットキャプチャマスク信号のセットタイミング

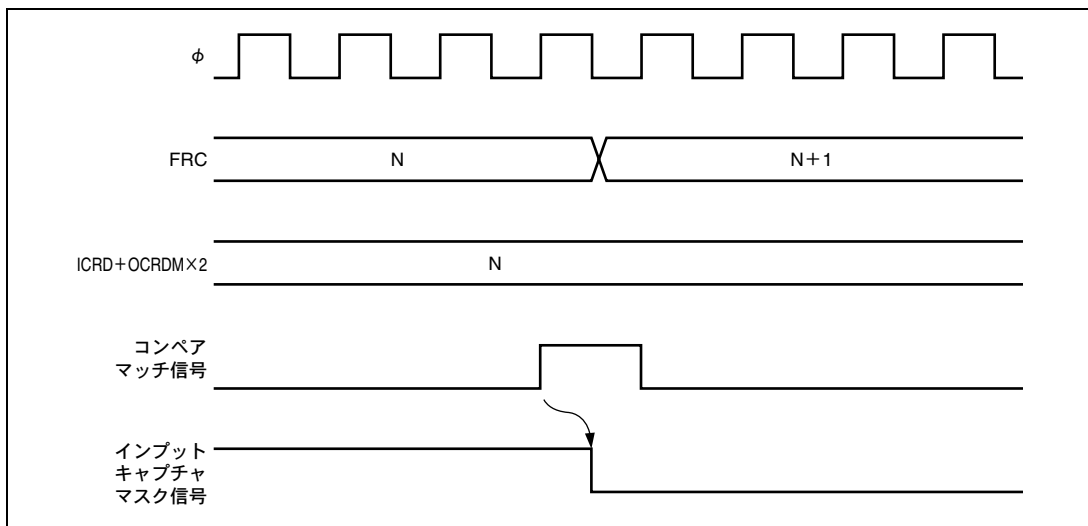


図 9.16 インプットキャプチャマスク信号のクリアタイミング

9.6 割り込み要因

FRTの割り込み要因はICIA~ICID、OCIA、OCIBおよびFOVIの7つあります。各割り込み要因はTIERの各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。表9.2に各割り込み要因と優先順位を示します。

表 9.2 FRT 割り込み要因

名 称	割り込み要因	割り込みフラグ	優先順位
ICIA	ICRAのインプットキャプチャ	ICFA	高  低
ICIB	ICRBのインプットキャプチャ	ICFB	
ICIC	ICRCのインプットキャプチャ	ICFC	
ICID	ICRDのインプットキャプチャ	ICFD	
OCIA	OCRAのコンペアマッチ	OCFA	
OCIB	OCRBのコンペアマッチ	OCFB	
FOVI	FRCのオーバーフロー	OVF	

9.7 使用上の注意事項

9.7.1 FRCのライトとクリアの競合

FRCのライトサイクルの次のステートでカウンタクリア信号が発生すると、FRCへのライトは行われず、FRCのクリアが優先されます。このタイミングを図9.17に示します。

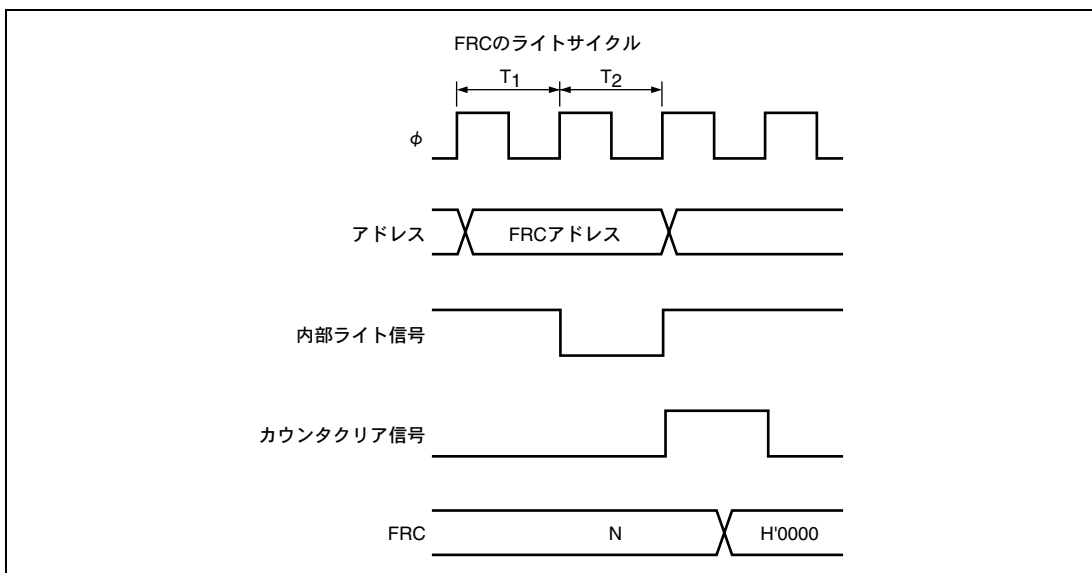


図 9.17 FRCのライトとクリアの競合

9.7.2 FRC のライトとカウントアップの競合

FRC のライトサイクルの次のステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。このタイミングを図 9.18 に示します。

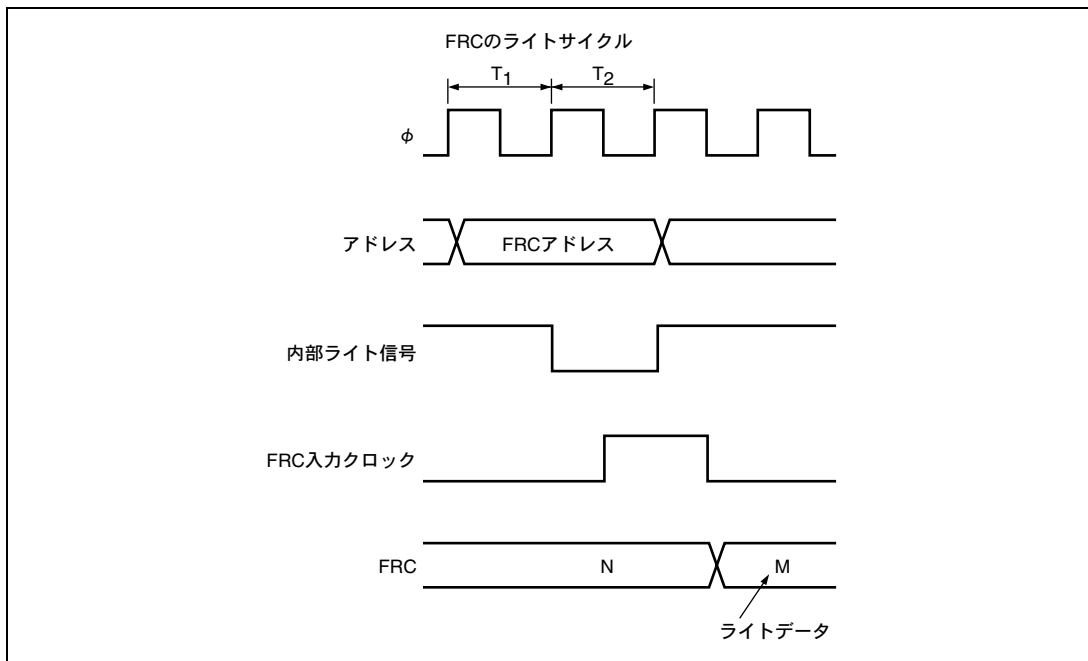


図 9.18 FRC のライトとカウントアップの競合

9.7.3 OCRのライトとコンペアマッチの競合

OCRA、OCRBのライトサイクルの次のステートでコンペアマッチが発生した場合、OCRのライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図9.19に示します。

OCRAの自動加算機能を選択しているとき、OCRA、OCRAR、OCRAFのライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAFのライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図9.20に示します。

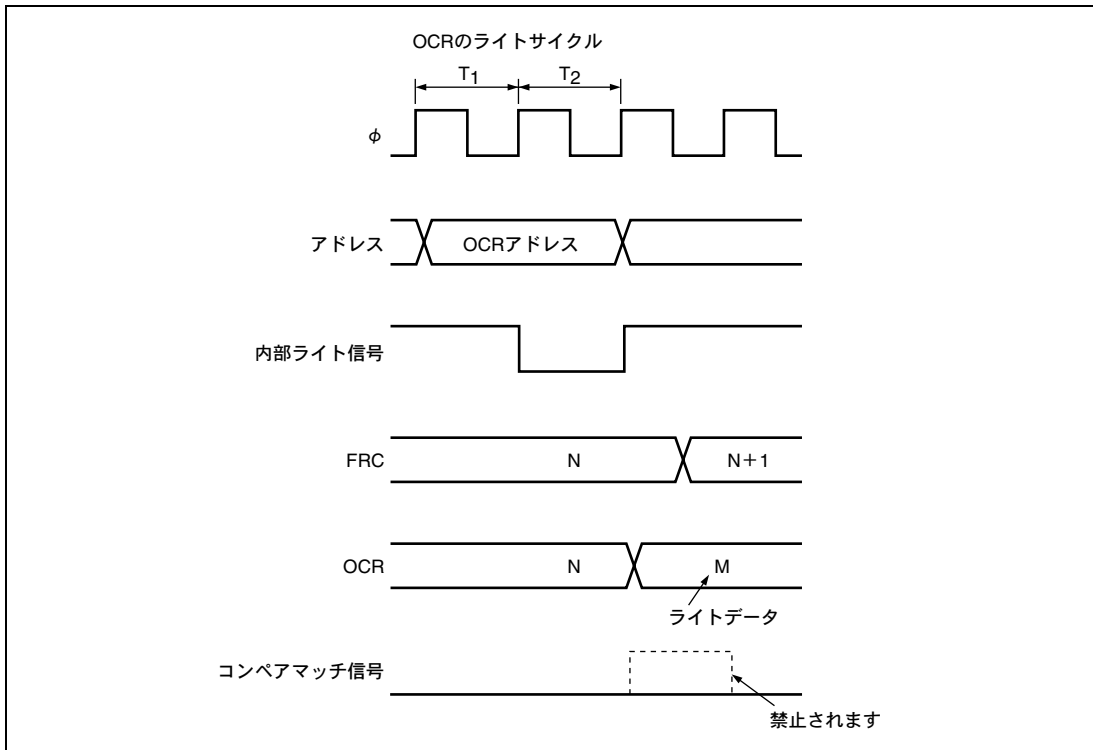


図 9.19 OCRのライトとコンペアマッチの競合（自動加算機能を使用していない場合）

9. 16 ビットフリーランニングタイマ (FRT)

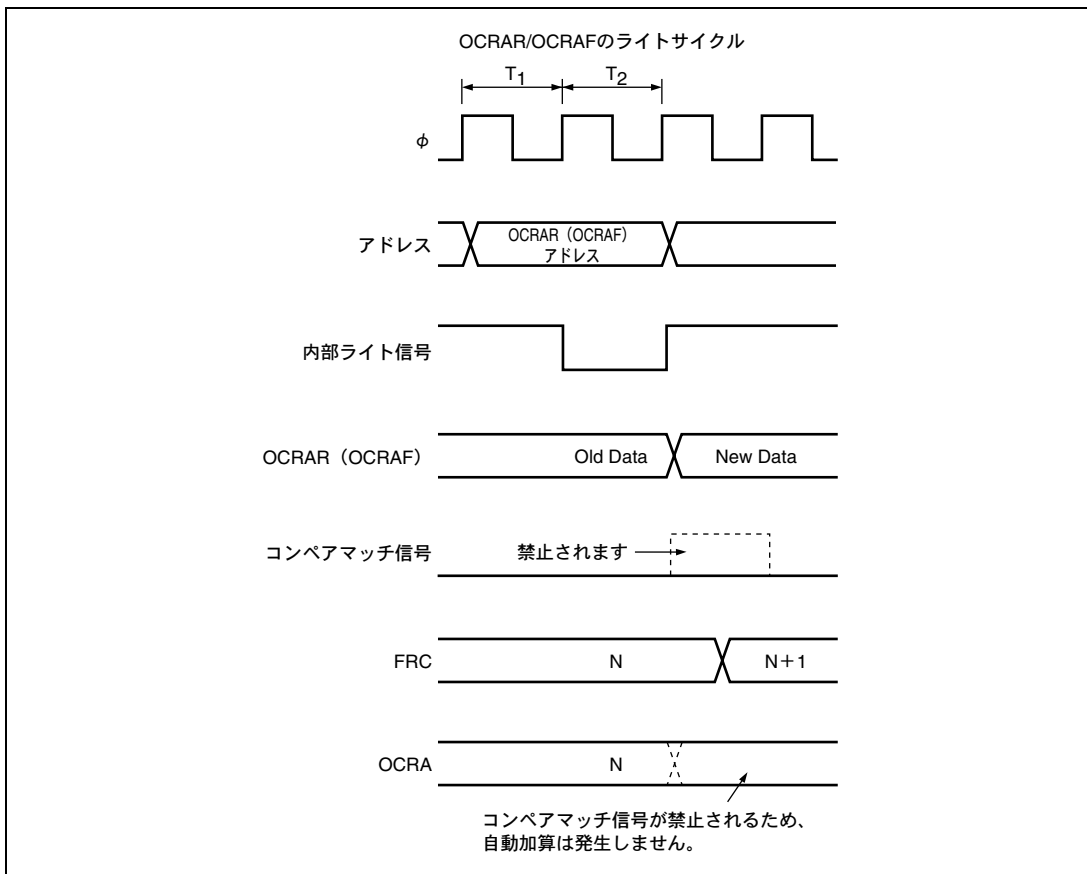


図 9.20 OCRAR/OCRAF のライトとコンペアマッチの競合 (自動加算機能を使用している場合)

9.7.4 内部クロックの切り替えとカウンタの動作

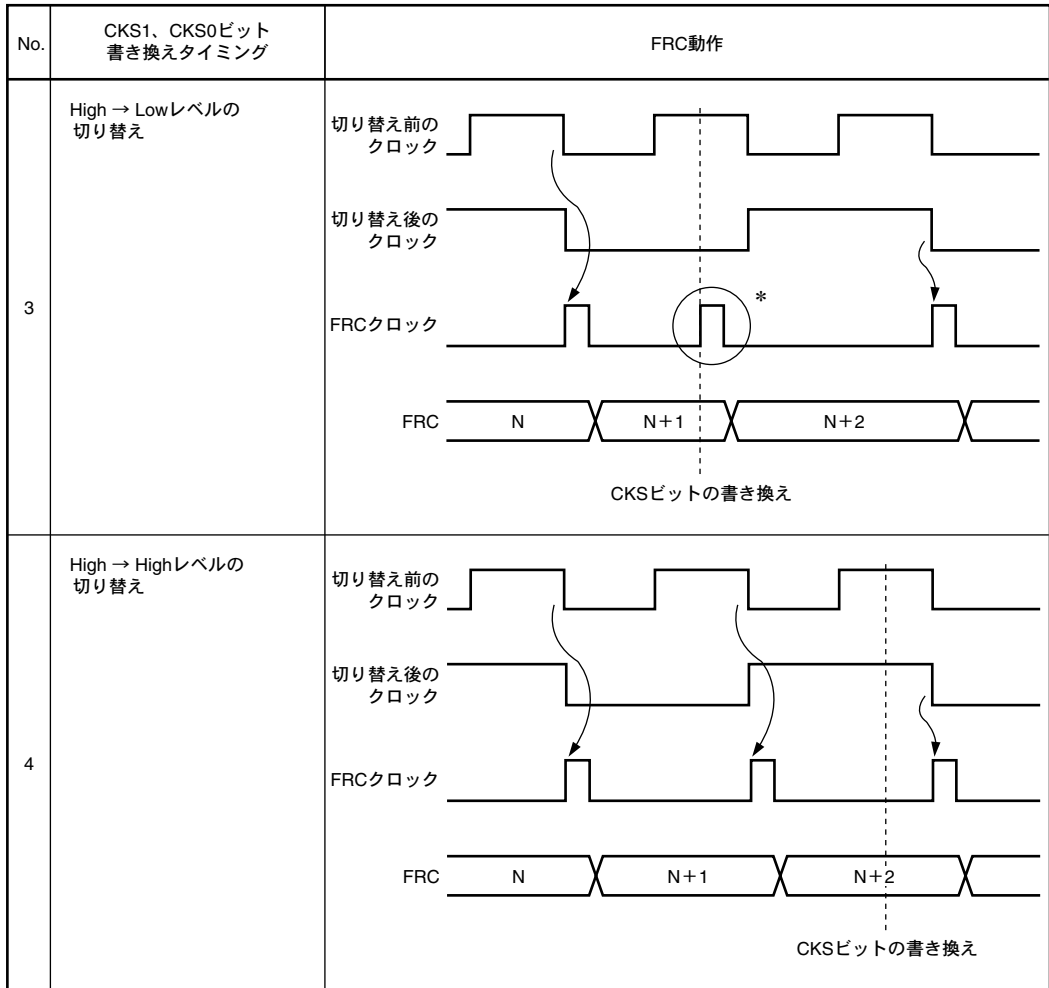
内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と FRC 動作の関係を表 9.3 に示します。

内部クロックを使用する場合、システムクロック (ϕ) を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため、表 9.3 の No.3 のように切り替え前のクロック High→切り替え後のクロック Low レベルになるような切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 9.3 内部クロックの切り替えと FRC 動作

No.	CKS1、CKS0ビット 書き換えタイミング	FRC動作
1	Low → Lowレベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>FRCクロック</p> <p>FRC N N+1</p> <p>CKSビットの書き換え</p>
2	Low → Highレベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>FRCクロック</p> <p>FRC N N+1 N+2</p> <p>CKSビットの書き換え</p>

9. 16ビットフリーランニングタイマ (FRT)



【注】 * 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRCはカウントアップされます。

9.7.5 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、FRTの動作停止/許可を設定することが可能です。初期値ではFRTの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第18章 低消費電力状態」を参照してください。

10. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 3 チャンネルの 8 ビットタイマ (TMR_0、TMR_1、TMR_Y) を内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

10.1 特長

- クロックを選択可能

TMR_0、TMR_1：6種類の内部クロックと、外部クロックのうちから選択できます。

TMR_Y：3種類の内部クロックと、外部クロックのうちから選択できます。

- カウンタのクリア指定が可能

コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。

- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御

独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。(TMR_Yにはタイマ出力端子がありません)

- TMR_0、TMR_1のカスケード接続が可能

TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です(16ビットカウントモード)。

TMR_1はTMR_0のコンペアマッチをカウント可能です(コンペアマッチカウントモード)。

- 複数の割り込み要因

TMR_0、TMR_1、TMR_Y：コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。

10. 8ビットタイマ (TMR)

8ビットタイマのブロック図を図10.1、図10.2に示します。

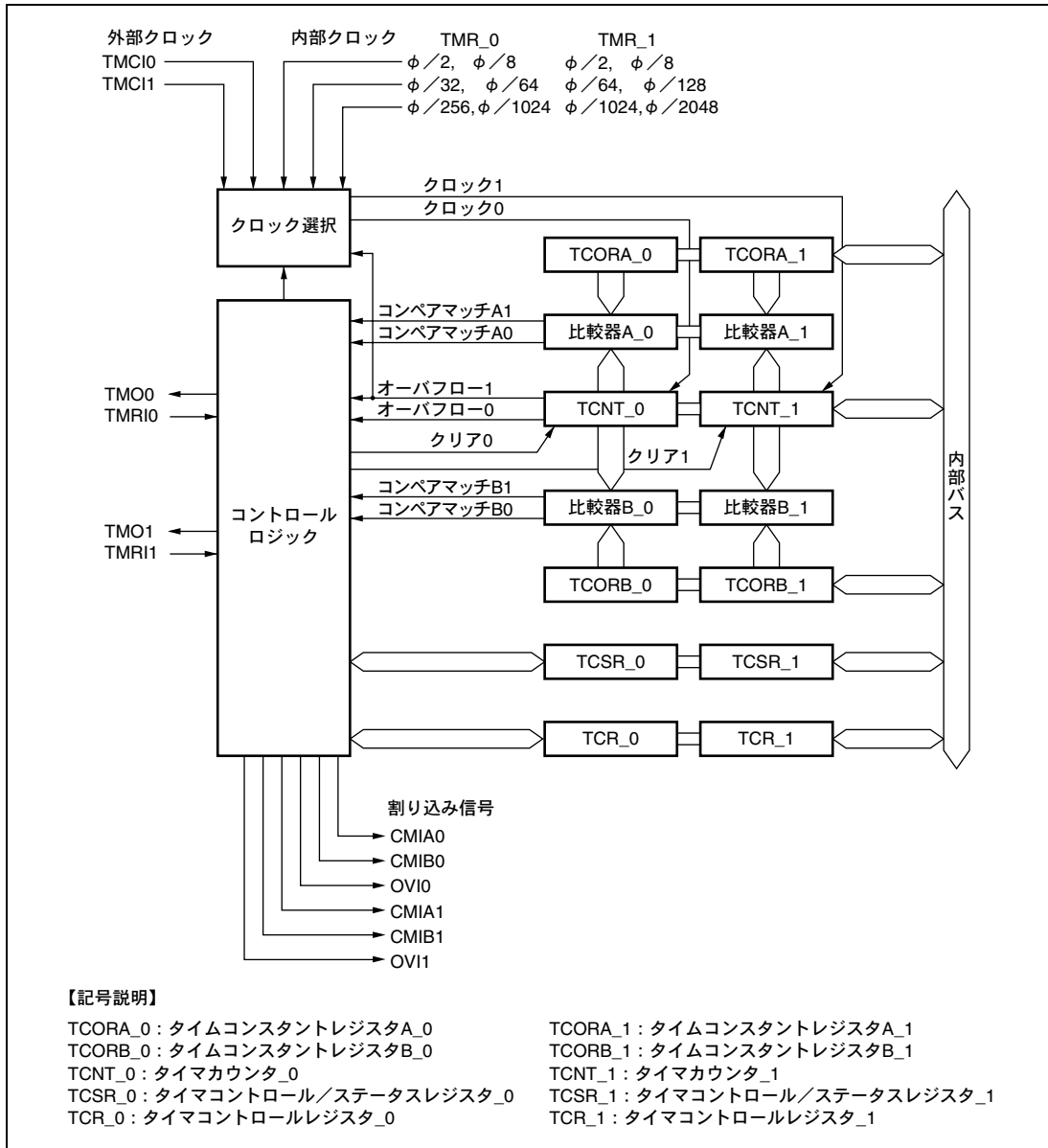


図 10.1 8ビットタイマ (TMR_0, TMR_1) のブロック図

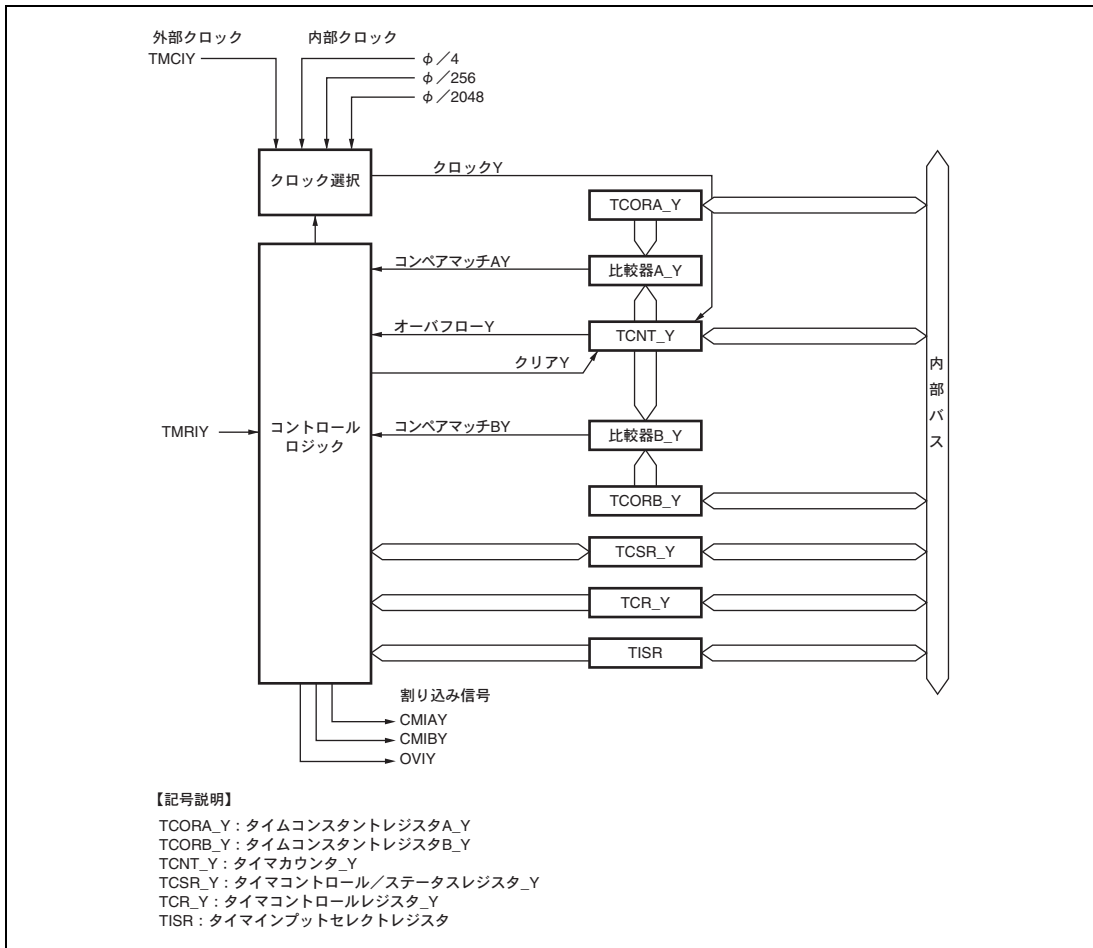


図 10.2 8ビットタイマ (TMR_Y) のブロック図

10. 8ビットタイマ (TMR)

10.2 入出力端子

TMR の入出力端子を表 10.1 に示します。

表 10.1 端子構成

チャンネル	名 称	記号	入出力	機 能
TMR_0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi0	入力	カウンタ外部リセット入力
TMR_1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi1	入力	カウンタ外部リセット入力
TMR_Y	タイマクロック/ リセット入力端子	TMIY (TMCiY/TMRiY)	入力	カウンタ外部クロック入力/ リセット入力

10.3 レジスタの説明

TMR にはチャンネルごとに以下のレジスタがあります。なお、シリアルタイマコントロールレジスタについては「3.2.3 シリアルタイマコントロールレジスタ (STCR)」を参照してください。

- タイマカウンタ (TCNT)
- タイムコンスタントレジスタA (TCORA)
- タイムコンスタントレジスタB (TCORB)
- タイマコントロールレジスタ (TCR)
- タイマコントロール/ステータスレジスタ (TCSR)
- タイマインプットセレクトレジスタ (TISR) *

【注】 * TISR は TMR_Y のみです。

10.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのリード/ライト可能なアップカウンタです。TCNT_0、TCNT_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー(H'FF→H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

10.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

10.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

10. 8 ビットタイマ (TMR)

10.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2~0 STCR の ICKS1、ICKS0 ビットとの組み合わせで、TCNT に入力するクロックとカウント条件を選択します。表 10.2 を参照してください。

表 10.2 TCNT に入力するクロックとカウント条件

チャネル	TCR			STCR		説 明
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	—	—	クロック入力を禁止
	0	0	1	—	0	内部クロックφ/8 立ち下がりエッジでカウント
	0	0	1	—	1	内部クロックφ/2 立ち下がりエッジでカウント
	0	1	0	—	0	内部クロックφ/64 立ち下がりエッジでカウント
	0	1	0	—	1	内部クロックφ/32 立ち下がりエッジでカウント
	0	1	1	—	0	内部クロックφ/1024 立ち下がりエッジでカウント
	0	1	1	—	1	内部クロックφ/256 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	—	内部クロックφ/8 立ち下がりエッジでカウント
	0	0	1	1	—	内部クロックφ/2 立ち下がりエッジでカウント
	0	1	0	0	—	内部クロックφ/64 立ち下がりエッジでカウント
	0	1	0	1	—	内部クロックφ/128 立ち下がりエッジでカウント
	0	1	1	0	—	内部クロックφ/1024 立ち下がりエッジでカウント
	0	1	1	1	—	内部クロックφ/2048 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_0 のコンペアマッチ A でカウント*
TMR_Y	0	0	0	—	—	クロック入力を禁止
	0	0	1	—	—	内部クロックφ/4 立ち下がりエッジでカウント
	0	1	0	—	—	内部クロックφ/256 立ち下がりエッジでカウント
	0	1	1	—	—	内部クロックφ/2048 立ち下がりエッジでカウント
	1	0	0	—	—	クロック入力を禁止
共通	1	0	1	—	—	外部クロックの立ち上がりエッジでカウント
	1	1	0	—	—	外部クロックの立ち下がりエッジでカウント
	1	1	1	—	—	外部クロックの立ち上がり/立ち下がり両エッジでカウント

【注】 * TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。

10. 8ビットタイマ (TMR)

10.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_0 の値と TCORB_0 の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_0 の値と TCORA_0 の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT_0 の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガインープル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0: コンペアマッチ A による A/D 変換開始要求を禁止 1: コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB_0 と TCNT_0 のコンペアマッチ B による TMO0 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA_0 と TCNT_0 のコンペアマッチ A による TMO0 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_1 の値と TCORB_1 の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_1 の値と TCORA_1 の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマーオーバーフローフラグ [セット条件] TCNT_1 の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3, 2 TCORB_1 と TCNT_1 のコンペアマッチ B による TMO1 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1, 0 TCORA_1 と TCNT_1 のコンペアマッチ A による TMO1 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10. 8 ビットタイマ (TMR)

• TCSR_Y

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグ B [セット条件] TCNT_Y の値と TCORB_Y の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)* ¹	コンペアマッチフラグ A [セット条件] TCNT_Y の値と TCORA_Y の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)* ¹	タイマオーバフローフラグ [セット条件] TCNT_Y の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_Y と TCNT_Y のコンペアマッチ B による TMOY 端子* ² の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_Y と TCNT_Y のコンペアマッチ A による TMOY 端子* ² の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 本製品には TMOY 外部出力端子はありません。

10.3.6 タイマインプットセレクトレジスタ (TISR)

TISR は、カウンタ外部クロック／リセット入力の信号源を許可または禁止します。

ビット	ビット名	初期値	R/W	説明
7~1	—	すべて1	R/(W)	リザーブビット 初期値を変更しないでください。
0	IS	0	R/W	インプットセレクト TMR_Yのカウンタ外部クロック／リセット入力の信号源としてタイマクロック／リセット入力端子 TMIY (TMCIY/TMRIY) を選択します。 0: TMIY (TMCIY/TMRIY) の入力禁止 1: TMIY (TMCIY/TMRIY) の入力許可

10.4 動作説明

10.4.1 パルス出力

任意のデューティパルスを出力させる例を図 10.3 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

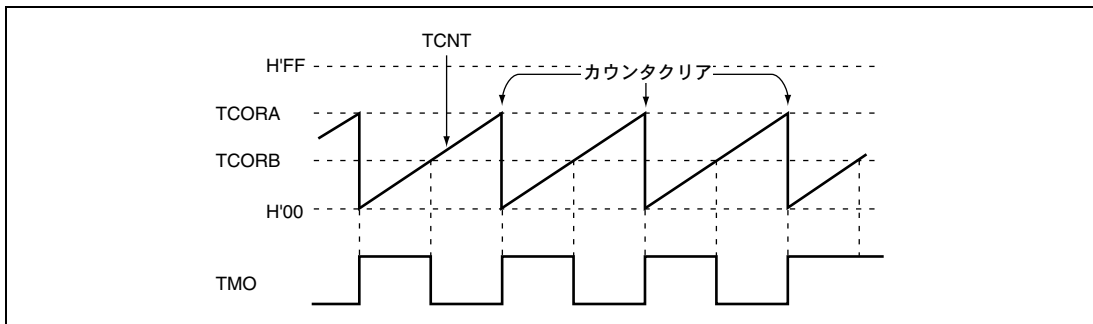


図 10.3 パルス出力例

10.5 動作タイミング

10.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.4 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.5 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

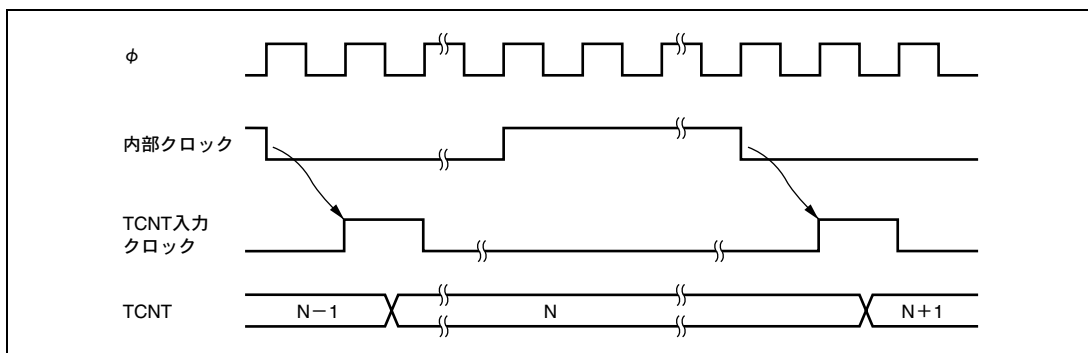


図 10.4 内部クロック動作時のカウントタイミング

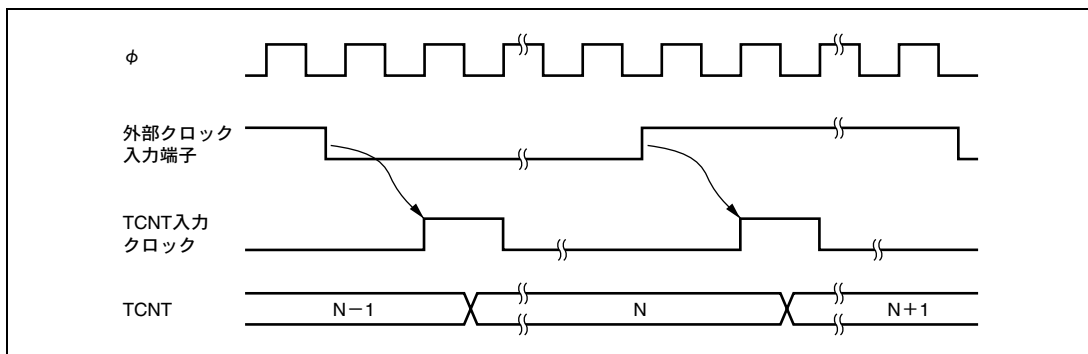


図 10.5 外部クロック動作時のカウントタイミング (両エッジの場合)

10.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCNT と TCOR の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 10.6 に示します。

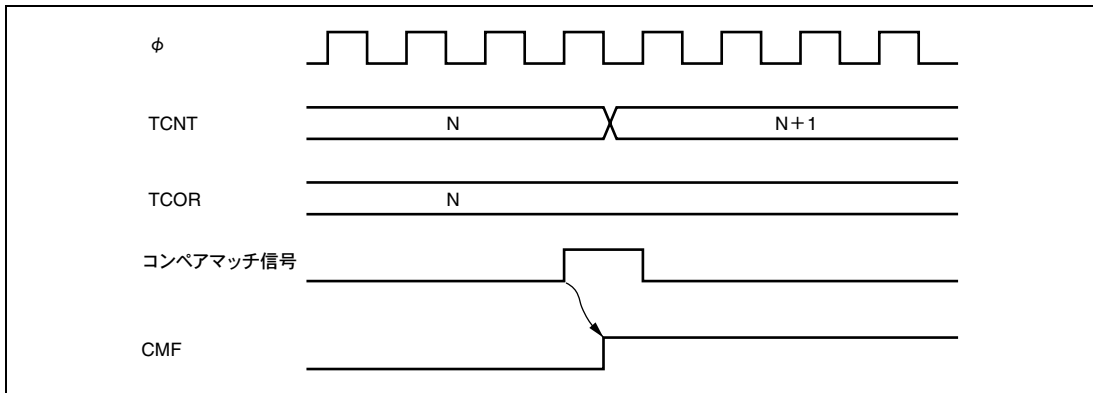


図 10.6 コンペアマッチ時の CMF フラグのセットタイミング

10.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 10.7 に示します。

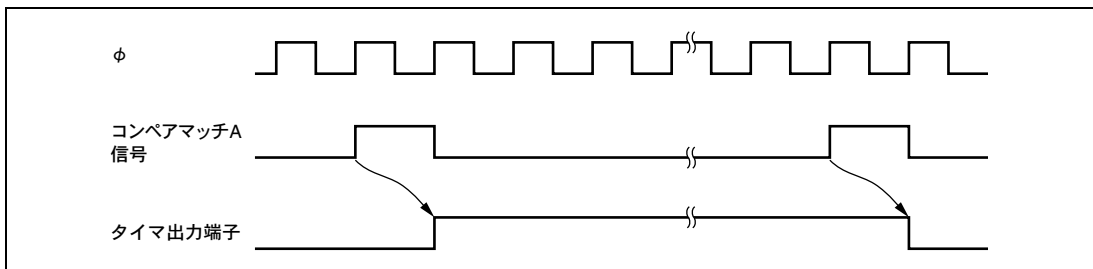


図 10.7 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

10.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 10.8 に示します。

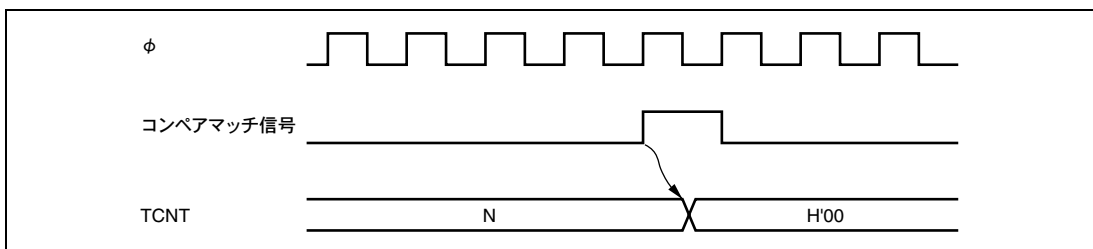


図 10.8 コンペアマッチによるカウンタクリアタイミング

10.5.5 TCNT の外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 10.9 に示します。

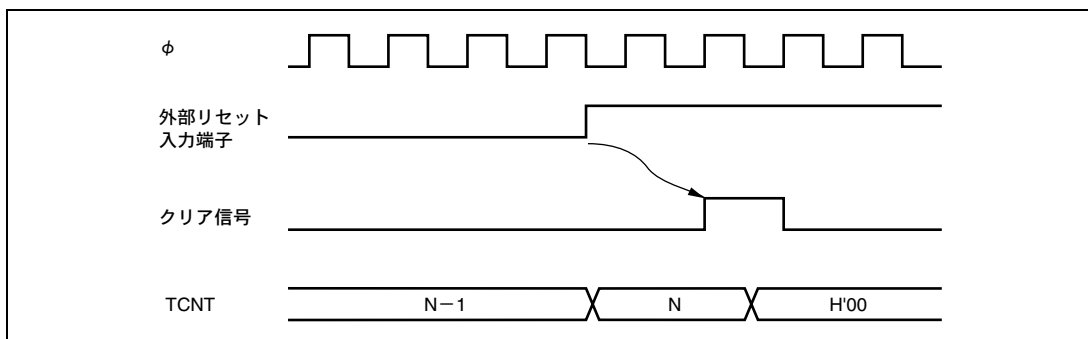


図 10.9 外部リセット入力によるクリアタイミング

10.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により1にセットされます。OVFフラグのセットタイミングを図 10.10 に示します。

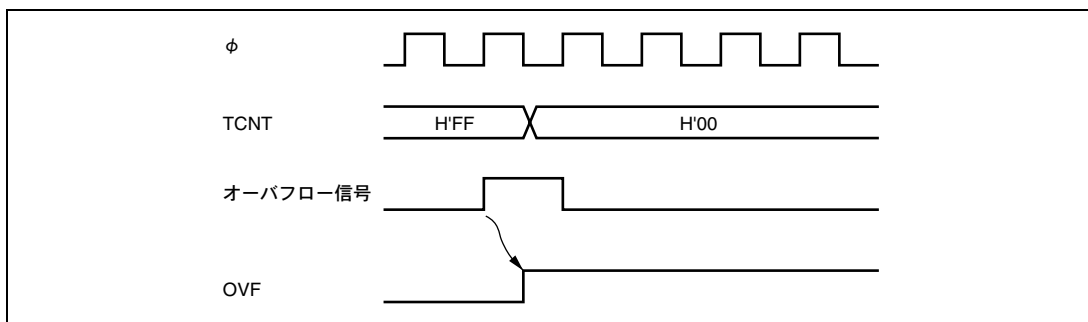


図 10.10 OVF フラグのセットタイミング

10.6 カスケード接続時の動作

TCR_0、TCR_1のいずれか一方のCKS2~CKS0ビットをB'100に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットタイマモードか、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1のタイマでカウントするコンペアマッチカウントモードにすることができます。

10.6.1 16ビットカウントモード

TCR_0のCKS2~CKS0ビットがB'100のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。また、TMI0端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされません。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

10.6.2 コンペアマッチカウントモード

TCR_1のCKS2~CKS0ビットがB'100のとき、TCNT_1はチャンネル0のコンペアマッチAをカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

10.7 割り込み要因

TMR_0、TMR_1、TMR_Yの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表10.3に各割り込み要因と優先順位を示します。各割り込み要因は、TCRまたはTCSRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 10.3 8ビットタイマ TMR_0、TMR_1、TMR_Y の割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	優先順位
TMR_0	CMIA0	TCORA_0のコンペアマッチ	CMFA	高  低
	CMIB0	TCORB_0のコンペアマッチ	CMFB	
	OVI0	TCNT_0のオーバーフロー	OVF	
TMR_1	CMIA1	TCORA_1のコンペアマッチ	CMFA	
	CMIB1	TCORB_1のコンペアマッチ	CMFB	
	OVI1	TCNT_1のオーバーフロー	OVF	
TMR_Y	CMIAY	TCORA_Yのコンペアマッチ	OMFA	
	CMIBY	TCORB_Yのコンペアマッチ	CMFB	
	OVIY	TCNT_Yのオーバーフロー	OVF	

10.8 使用上の注意事項

10.8.1 TCNT のライトとカウンタクリアの競合

図 10.11 のように TCNT のライトサイクル中の T2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

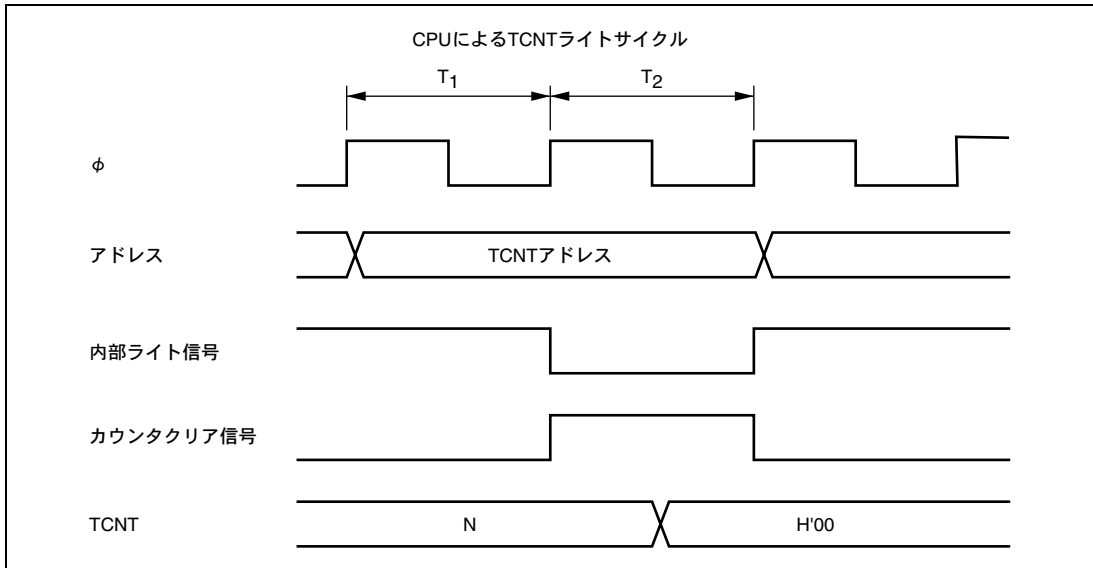


図 10.11 TCNT のライトとクリアの競合

10.8.2 TCNTのライトとカウントアップの競合

図 10.12 のように TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

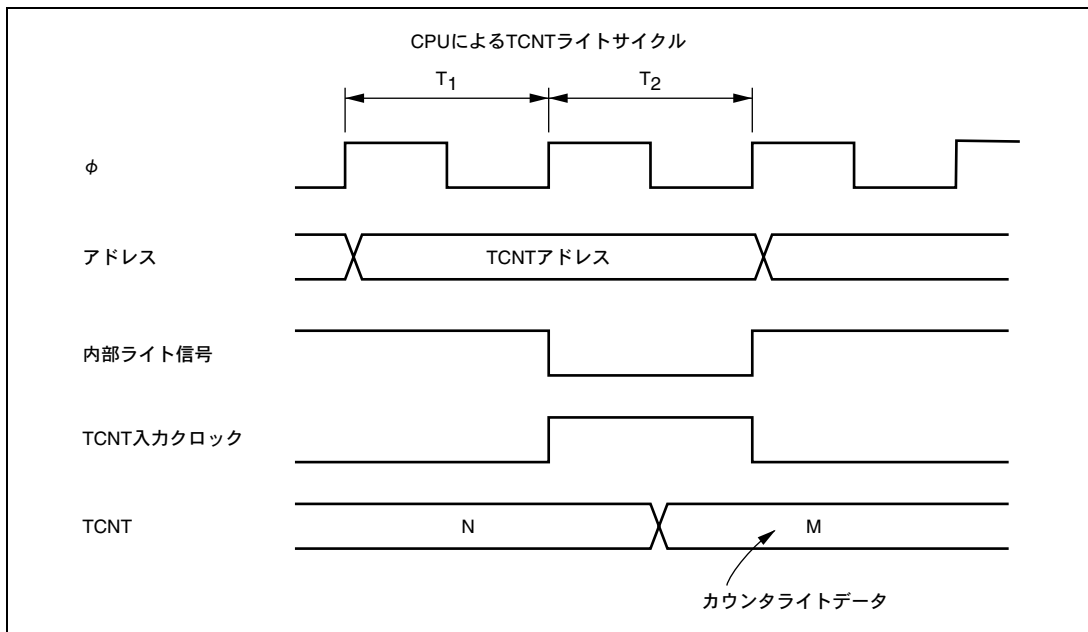


図 10.12 TCNT のライトとカウントアップの競合

10.8.3 TCOR のライトとコンペアマッチの競合

図 10.13 のように TCOR のライトサイクル中の T2 ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

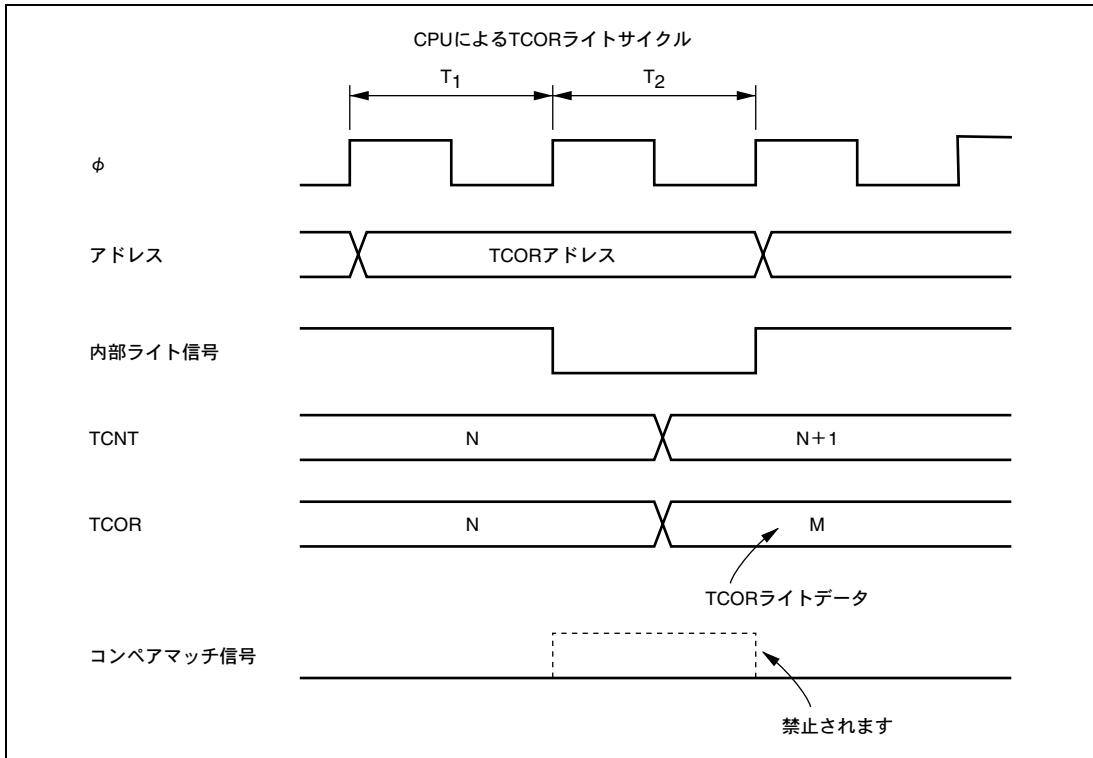


図 10.13 TCOR のライトとコンペアマッチの競合

10.8.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 10.4 に示すタイマ出力の優先順位に従って動作します。

表 10.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

10.8.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 10.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 10.5 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 10.5 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1</p> <p>CKSビット書き換え</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1 N+2</p> <p>CKSビット書き換え</p>

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル* ³ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。

*2 停止→High レベルの場合を含みます。

*3 High レベル→停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

10.8.6 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1の入カクロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

10.8.7 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TMR の動作停止/許可を設定することが可能です。初期値ではTMR の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第18章 低消費電力状態」を参照してください。

10. 8ビットタイマ (TMR)

11. ウォッチドッグタイマ (WDT)

本 LSI は、2 チャンネルのウォッチドッグタイマ (WDT_0、WDT_1) を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバフローすると、本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。また、外部にオーバフロー信号 ($\overline{\text{RESO}}$) を出力することができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバフローするごとにインターバルタイマ割り込みを発生します。WDT_0、WDT_1 のブロック図を図 11.1 に示します。

11.1 特長

- WDT_0は8種類、WDT_1は16種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能
- 内部リセットを選択した場合、カウンタがオーバフローすると $\overline{\text{RESO}}$ 端子からLowレベル信号を出力 (H8S/2144Bのみ)

インターバルタイマモード

- カウンタがオーバフローすると、インターバルタイマ割り込み (WOVI) を発生

11. ウォッチドッグタイマ (WDT)

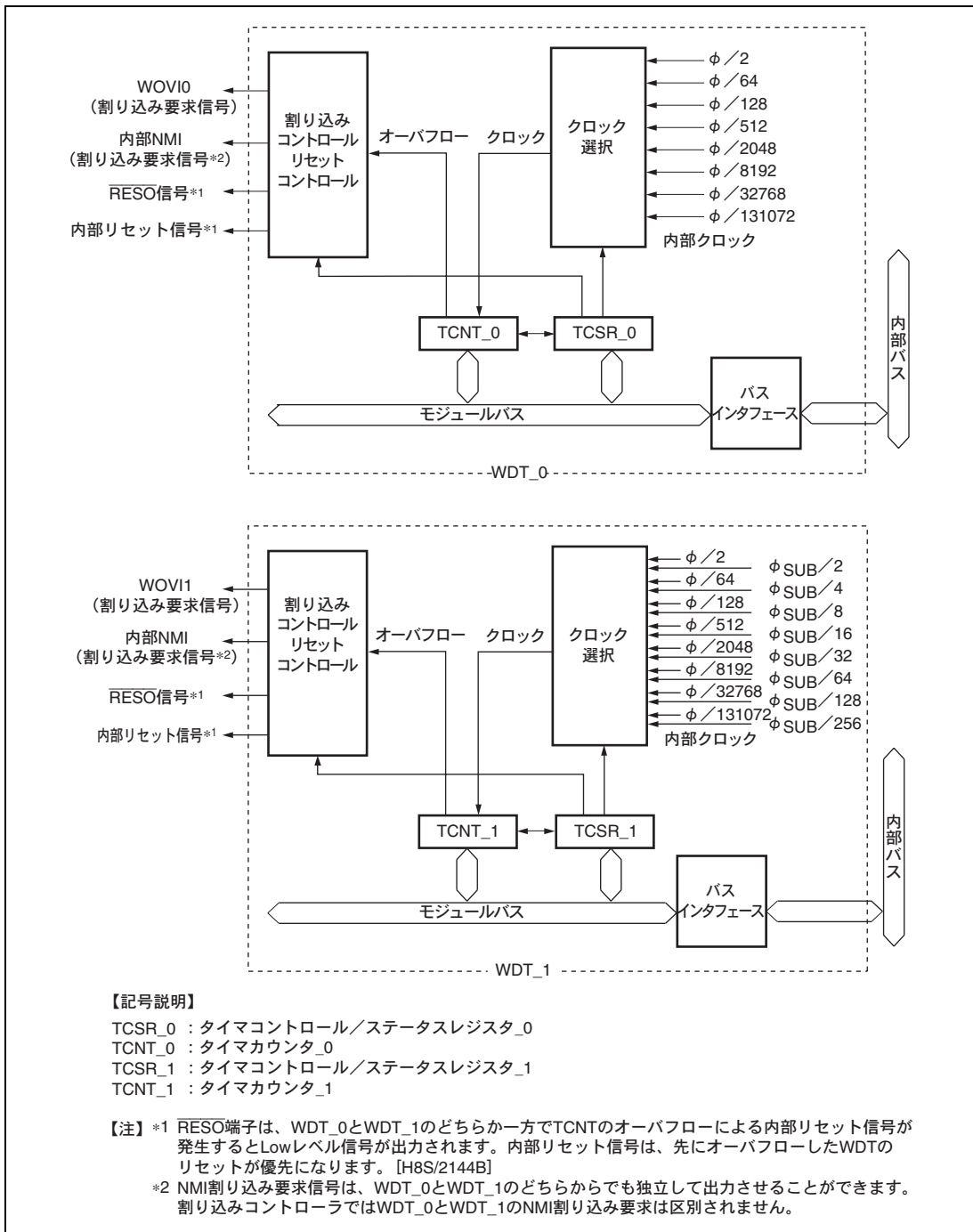


図 11.1 WDTのブロック図

11.2 入出力端子

WDT の入出力端子を表 11.1 に示します。

表 11.1 端子構成

名 称	記号	入出力	機 能
リセット出力端子	RESO	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力 [H8S/2144B]
外部サブクロック入力端子	EXCL	入力	WDT_1 のプリスケアラのカウンタ入カクロック

11.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は「11.6.1 レジスタアクセス時の注意事項」を参照してください。システムコントロールレジスタについては、「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)

11.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

11.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

- TCSR_0

ビット	ビット名	初期値	R/W	説 明
7	OVF	0	R(W)* ¹	<p>オーバフローフラグ</p> <p>TCNT がオーバフロー (H'FF→H'00) したことを示します。</p> <p>[セット条件]</p> <p>TCNT がオーバフロー (H'FF→H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • OVF=1 の状態で、TCSR をリード後*²、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき

11. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
6	WT/ \bar{I}	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用する かを選択します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4	—	0	R/(W)	リザーブビット 初期値を変更しないでください。
3	RST/ \overline{NMI}	0	R/W	リセットまたは NMI TCNT がオーバフローしたときに、内部リセットか NMI 割り込み要求かを選択 します。 0: NMI 割り込みを要求 1: 内部リセットを要求
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。() 内は $\phi=10\text{MHz}$ のときのオー バフロー周期を表します。 000: $\phi/2$ (周期 51.2 μs) 001: $\phi/64$ (周期 1.64ms) 010: $\phi/128$ (周期 3.28ms) 011: $\phi/512$ (周期 13.1ms) 100: $\phi/2048$ (周期 52.4ms) 101: $\phi/8192$ (周期 209.7ms) 110: $\phi/32768$ (周期 0.84s) 111: $\phi/131072$ (周期 3.36s)
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*1	オーバフローフラグ TCNT がオーバフロー (H'FF→H'00) したことを示します。 [セット条件] TCNT がオーバフロー (H'FF→H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、 セット後、内部リセットにより自動的にクリアされます。 [クリア条件] • OVF=1 の状態で、TCSR をリード後*2、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき

11. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
6	WT/ \overline{IT}	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用する かを選択します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4	PSS	0	R/W	プリスケラセレクト TCNT に入力するクロックを選択します。 0: ϕ ベースのプリスケラ (PSM) の分周クロックをカウント 1: ϕ SUB ベースのプリスケラ (PSS) の分周クロックをカウント
3	RST/ \overline{NMI}	0	R/W	リセットまたは NMI TCNT がオーバフローしたときに、内部リセットか NMI 割り込み要求かを選択 します。 0: NMI 割り込みを要求 1: 内部リセットを要求
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。() 内は $\phi=10\text{MHz}$ 、 $\phi\text{ SUB}=32.768\text{kHz}$ のときのオーバフロー周期を表します。 PSS=0 の場合 000: $\phi/2$ (周期 51.2 μs) 001: $\phi/64$ (周期 1.64ms) 010: $\phi/128$ (周期 3.28ms) 011: $\phi/512$ (周期 13.1ms) 100: $\phi/2048$ (周期 52.4ms) 101: $\phi/8192$ (周期 209.7ms) 110: $\phi/32768$ (周期 0.84s) 111: $\phi/131072$ (周期 3.36s) PSS=1 の場合 000: $\phi\text{ SUB}/2$ (周期 15.6ms) 001: $\phi\text{ SUB}/4$ (周期 31.3ms) 010: $\phi\text{ SUB}/8$ (周期 62.5ms) 011: $\phi\text{ SUB}/16$ (周期 125ms) 100: $\phi\text{ SUB}/32$ (周期 250ms) 101: $\phi\text{ SUB}/64$ (周期 500ms) 110: $\phi\text{ SUB}/128$ (周期 1s) 111: $\phi\text{ SUB}/256$ (周期 2s)

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてくだ
 さい。

11.4 動作説明

11.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するとき、TCSR の WT/\overline{IT} ビット=1 に、TME ビット=1 に設定してください。ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、内部リセットまたは NMI 割り込み要求を発生します。システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバーフローを発生させないようにプログラミングしてください。

TCSR の RST/\overline{NMI} ビットを 1 にセットしておく、図 11.2 に示すように TCNT がオーバーフローしたときに、本 LSI の内部をリセットする信号が 518 システムクロックの間出力され、 \overline{RESO} 端子から 132 ステートの間 Low レベルが出力されます。また、 RST/\overline{NMI} ビットを 0 にクリアしておく、TCNT がオーバーフローしたときに、NMI 割り込み要求を発生します。このとき \overline{RESO} 端子は High レベルのままです。

ウォッチドッグタイマからの内部リセット要求と \overline{RES} 端子からのリセット入力は、同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。ウォッチドッグタイマからの内部リセット要求と \overline{RES} 端子からのリセット入力が同時に発生したときは、 \overline{RES} 端子からのリセット入力が優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

【注】 \overline{RESO} 端子は H8S/2144B のみです。

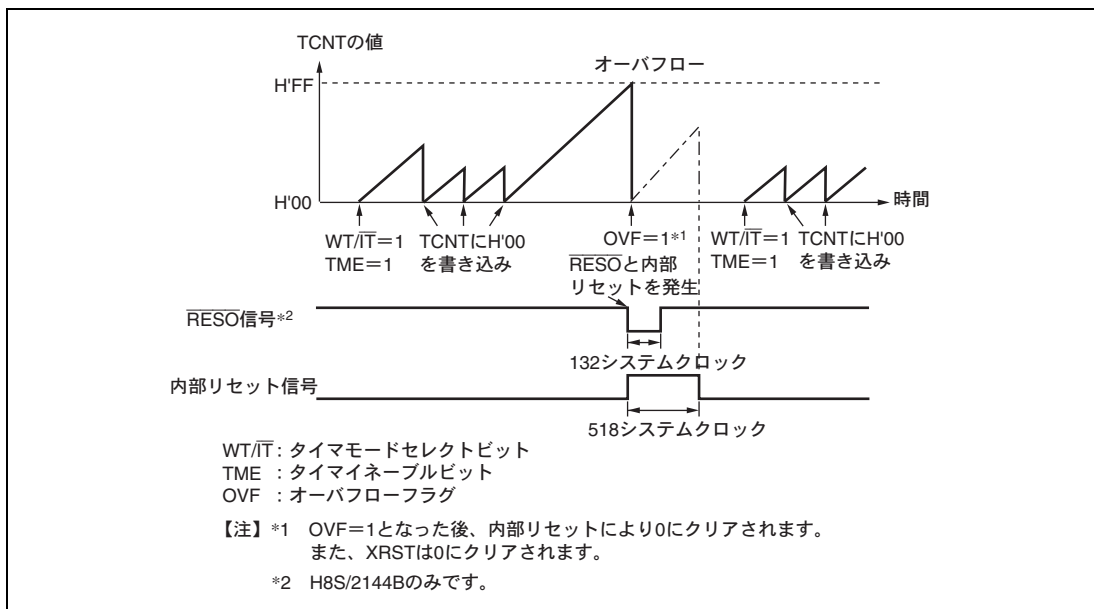


図 11.2 ウォッチドッグタイマモード時 ($RST/\overline{NMI}=1$) の動作

11.4.2 インターバルタイマモード

インターバルタイマとして動作しているときは、図 11.3 に示すように TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 11.4 に示します。

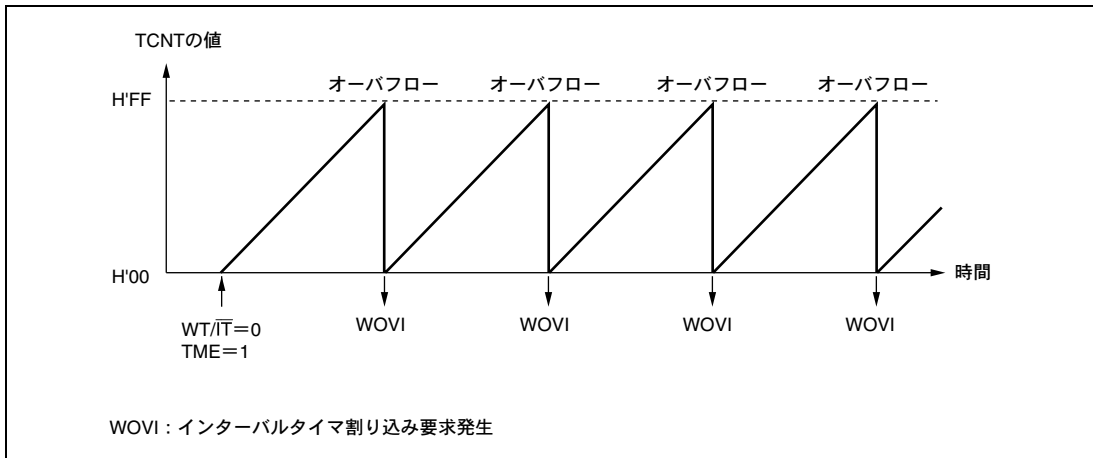


図 11.3 インターバルタイマモード時の動作

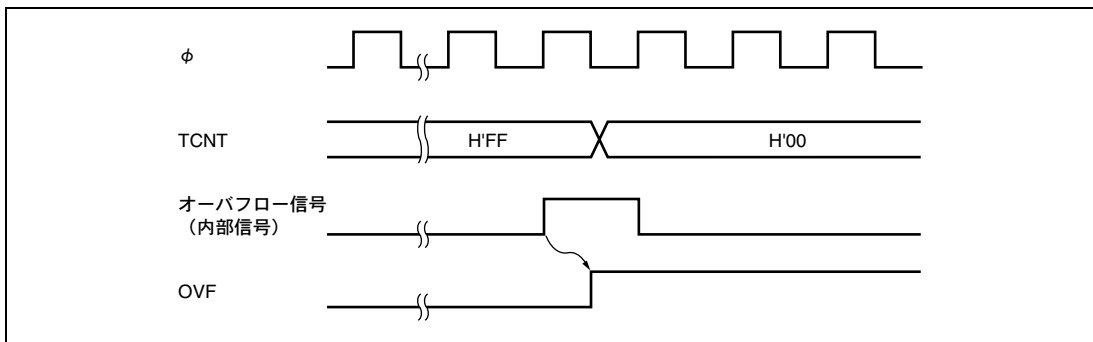


図 11.4 OVF のセットタイミング

11. ウォッチドッグタイマ (WDT)

11.4.3 $\overline{\text{RESO}}$ 信号出力タイミング (H8S/2144B のみ)

ウォッチドッグタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされます。このとき $\overline{\text{RST/NMI}}$ ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。また、同時に $\overline{\text{RESO}}$ 端子から Low レベルを出力します。これらのタイミングを図 11.5 に示します。

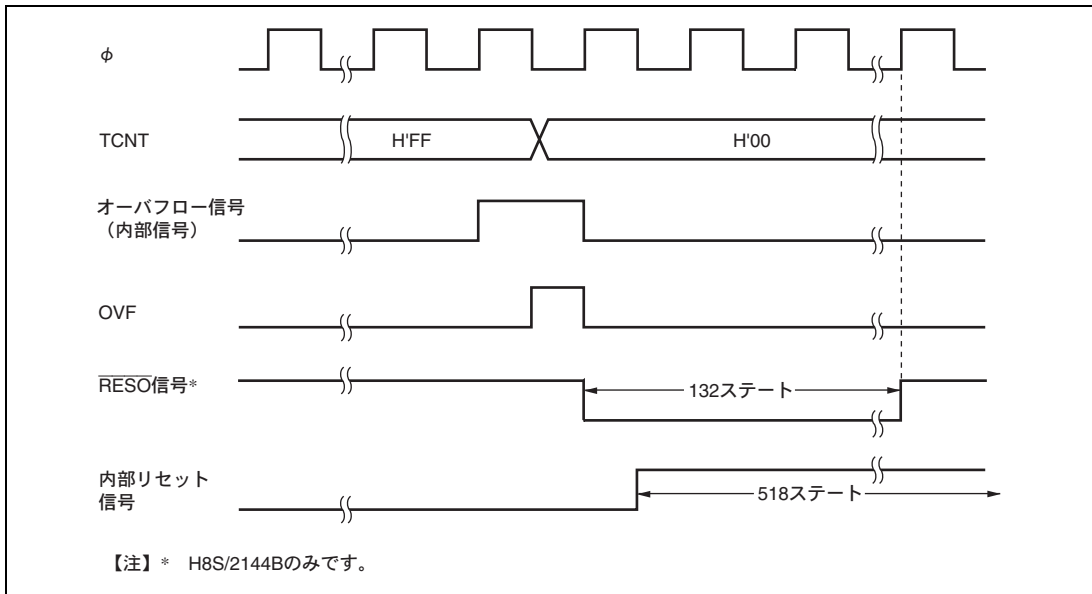


図 11.5 $\overline{\text{RESO}}$ 信号の出力タイミング

11.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) が発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時は、オーバーフローにより NMI 割り込み要求が発生します。

表 11.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNT のオーバーフロー	OVF

11.6 使用上の注意事項

11.6.1 レジスタアクセス時の注意事項

TCNT、TCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト (WDT_0 の例)

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、**図 11.6** に示すようにして転送してください。TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。

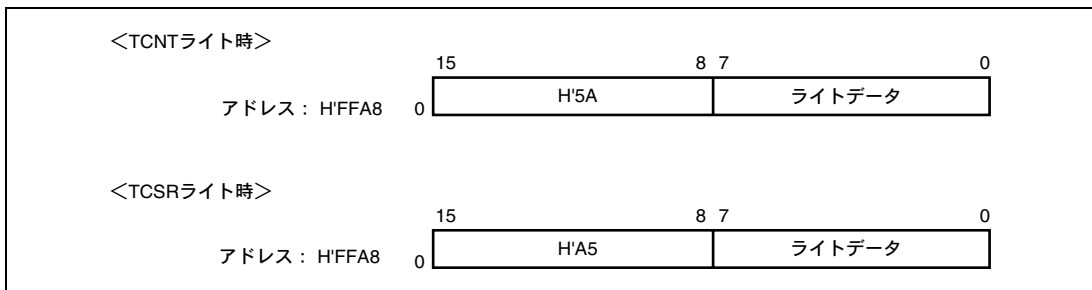


図 11.6 TCNT、TCSR へのライト (WDT_0 の例)

(2) TCNT、TCSR からのリード (WDT_0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。

11. ウォッチドッグタイマ (WDT)

11.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 11.7 に示します。

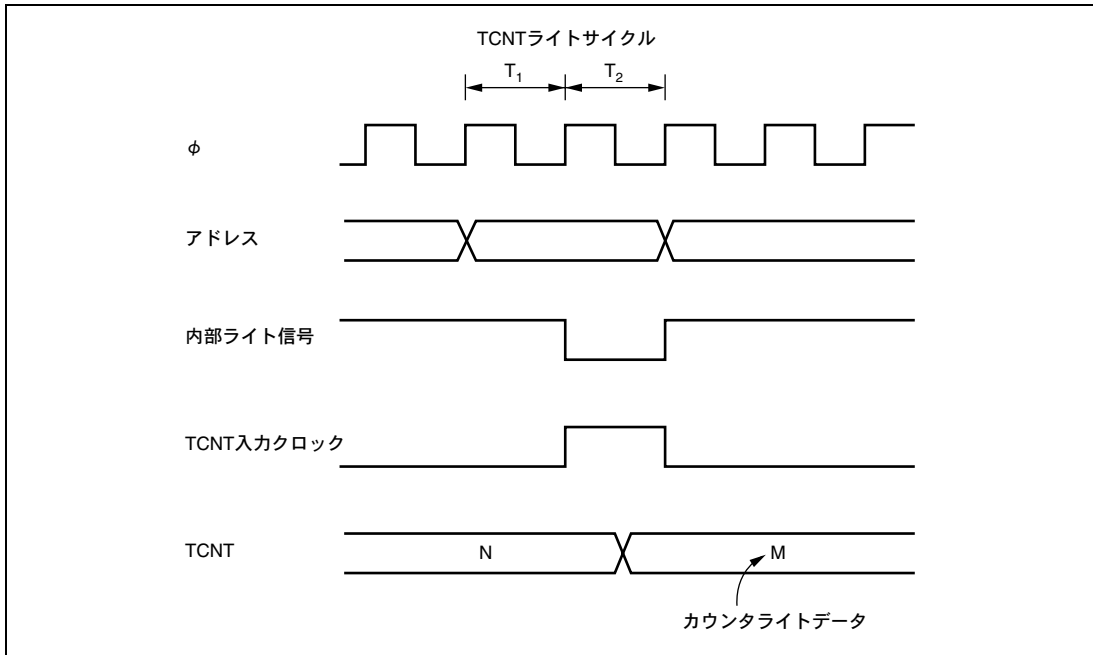


図 11.7 TCNT のライトとカウントアップの競合

11.6.3 CKS2~CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2~CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.6.5 $\overline{\text{RESO}}$ 信号によるシステムのリセット (H8S/2144B のみ)

$\overline{\text{RESO}}$ 出力信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{RESO}}$ 信号は、 $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{RESO}}$ 信号でシステム全体をリセットするときは、図 11.8 に示すような回路で行ってください。

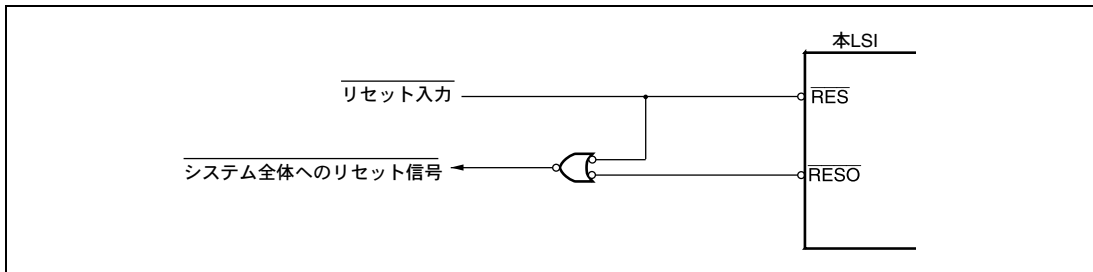


図 11.8 $\overline{\text{RESO}}$ 信号によるシステムのリセット回路例

11.6.6 高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値

WDT_1 を時計用クロックのカウンタとして使用し、かつ高速モードとサブアクティブモード間、あるいは高速モードとウォッチモード間を遷移する場合には、内部クロックの切り替えにともなうカウンタ値のずれが生じます。

高速モードからサブアクティブモードまたはウォッチモードへの遷移時には、WDT_1 の制御クロックがメインクロックからサブクロックに切り替わるタイミングで約2~3クロックサイクル分カウンタアップタイミングが遅くなります。また、サブクロック動作時にはメインクロック発振器がストップするため、ウォッチモードまたはサブアクティブモードから高速モードへの遷移時には、内部発振が安定するまでクロックは供給されなくなります。このため、発振を開始し SBYCR の STS2~STS0 ビットで設定された発振安定待機時間はカウンタアップを停止し、この期間分のカウンタ値のずれが生じます。

WDT_1 を時計用クロックのカウンタとして使用するときは注意してください。なお、同じモード内で動作している間は、カウンタ値のずれは発生しません。

11. ウォッチドッグタイマ (WDT)

12. シリアルコミュニケーションインタフェース (SCI、IrDA)

本 LSI は独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

SCI_2 は、IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

12.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です。
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能
- ストップビット長 : 1ビット/2ビット選択可能
- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時、RxD端子のレベルを直接リードすることでブレークを検出可能

クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー
- クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

SCI のブロック図を図 12.1 に示します。

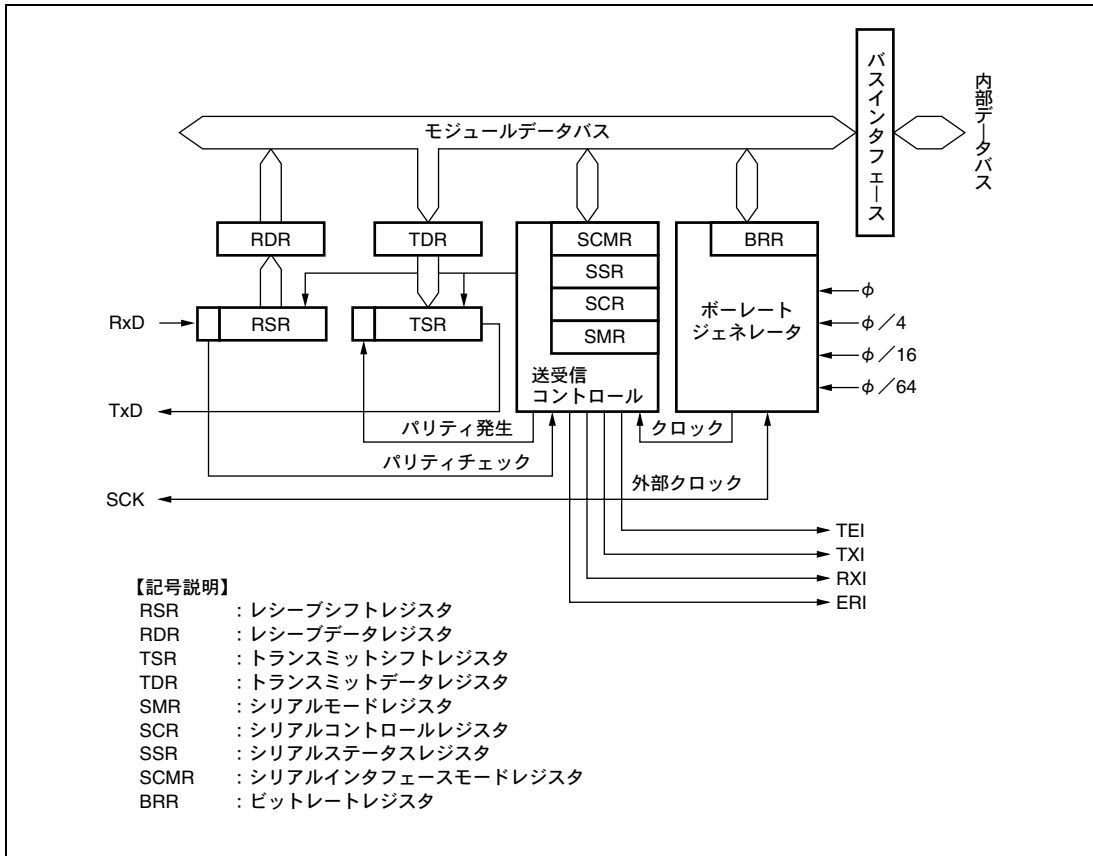


図 12.1 SCI のブロック図

12.2 入出力端子

SCIには、表 12.1 の入出力端子があります。

表 12.1 端子構成

チャンネル	記号*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2/IrRxD	入力	チャンネル2の受信データ入力端子 (通常/IrDA)
	TxD2/IrTxD	出力	チャンネル2の送信データ出力端子 (通常/IrDA)

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

12.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- シリアルインタフェースモードレジスタ (SCMR)
- ビットレートレジスタ (BRR)
- キーボードコンバータコントロールレジスタ (KBCOMP)

12.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

12.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

12.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につきの送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。TDR の初期値は H'FF です。

12.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

12.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「12.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、BRR 中の n の値を表します。

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

12.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「12.8 割り込み要因」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「12.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。
1	CKE1	0	R/W	クロックイネーブル 1、0 クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00 : 内部クロック (SCK 端子は入出力ポートとして使用できます) 01 : 内部クロック (SCK 端子からビットレートと同じ周波数のクロックを出力します) 1x : 外部クロック (ビットレートの 16 倍の周波数のクロックを SCK 端子に入力してください。) クロック同期式の場合 0x : 内部クロック (SCK 端子はクロック出力端子となります。) 1x : 外部クロック (SCK 端子はクロック入力端子となります。)
0	CKE0	0	R/W	

【注】 x : Don't care

12.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • RDRF=1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] • ストップビットが 0 のとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき 2 ストップのときも 1 ビット目のストップビットのみチェックします。

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
2	TEND	1	R	トランスミットエンド [セット条件] • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための0ライトのみ可能です。

12.3.8 シリアルインタフェースモードレジスタ (SCMR)

SCMR は SCI 機能およびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W	データ転送方向 シリアル/パラレル変換の方向を選択します。 0: TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 1: TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	データインバート 送受信データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	シリアルコミュニケーションインタフェースモードセレクト 0: 通常の調歩同期式またはクロック同期式モード 1: リザーブモード

12.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける BRR の設定値 N とビットレート B の関係を表 12.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 12.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

ϕ : 動作周波数 (MHz)

n : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

通常の調歩同期式モードにおける BRR の値 N の設定例を表 12.3 に、各動作周波数における設定可能な最大ビットレートを表 12.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 12.6 に示します。また、表 12.5、表 12.7 に外部クロック入力時の最大ビットレートを示します。

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 12.3 ビットレートに対する BRR の設定例〔調歩同期モード〕 (1)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 - : 設定可能ですが誤差がです。

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 12.3 ビットレートに対する BRR の設定例〔調歩同期モード〕 (2)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	N	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	N	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 - : 設定可能ですが誤差がでます。

12. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 12.3 ビットレートに対する BRR の設定例〔調歩同期モード〕 (3)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	16	0.00

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	14	-2.34	0	15	0.00	0	15	1.73

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 - : 設定可能ですが誤差がでます。

12. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 12.4 各動作周波数における最大ビットレート (調歩同期式モード)

φ (MHz)	最大ビットレート (bit/s)	N	N	φ (MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0	9.8304	307200	0	0
2.097152	65536	0	0	10	312500	0	0
2.4576	76800	0	0	12	375000	0	0
3	93750	0	0	12.288	384000	0	0
3.6864	115200	0	0	14	437500	0	0
4	125000	0	0	14.7456	460800	0	0
4.9152	153600	0	0	16	500000	0	0
5	156250	0	0	17.2032	537600	0	0
6	187500	0	0	18	562500	0	0
6.144	192000	0	0	19.6608	614400	0	0
7.3728	230400	0	0	20	625000	0	0
8	250000	0	0				

表 12.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250	9.8304	2.4576	153600
2.097152	0.5243	32768	10	2.5000	156250
2.4576	0.6144	38400	12	3.0000	187500
3	0.7500	46875	12.288	3.0720	192000
3.6864	0.9216	57600	14	3.5000	218750
4	1.0000	62500	14.7456	3.6864	230400
4.9152	1.2288	76800	16	4.0000	250000
5	1.2500	78125	17.2032	4.3008	268800
6	1.5000	93750	18	4.5000	281250
6.144	1.5360	96000	19.6608	4.9152	307200
7.3728	1.8432	115200	20	5.0000	312500
8	2.0000	125000			

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 12.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	動作周波数 ϕ (MHz)											
	2		4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	—	—								
250	2	124	2	249	3	124	—	—	3	249		
500	1	249	2	124	2	249	—	—	3	124	—	—
1k	1	124	1	249	2	124	—	—	2	249	—	—
2.5k	0	199	1	99	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	19
500k	0	0*	0	1*	0	3	0	4	0	7	0	9
1M			0	0	0	1			0	3	0	4
2.5M							0	0*			0	1
5M											0	0*

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

* : 連続送信／連続受信はできません。

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3	12	2.0000	2000000.0
4	0.6667	666666.7	14	2.3333	2333333.3
6	1.0000	1000000.0	16	2.6667	2666666.7
8	1.3333	1333333.3	18	3.0000	3000000.0
10	1.6667	1666666.7	20	3.3333	3333333.3

12. シリアルコミュニケーションインタフェース (SCI、IrDA)

12.3.10 キーボードコンパレータコントロールレジスタ (KBCOMP)

KBCOMP は、SCI および A/D 変換器の機能選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI_2 の入出力端子を通常の SCI 端子にするか IrDA 端子にするかを選択します。 0 : TxD2/IrTxD、RxD2/IrRxD 端子は、TxD2、RxD2 として動作 1 : TxD2/IrTxD、RxD2/IrRxD 端子は、IrTxD、IrRxD として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト 2~0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000 : $B \times 3/16$ (B=ビットレート) 001 : $\phi/2$ 010 : $\phi/4$ 011 : $\phi/8$ 100 : $\phi/16$ 101 : $\phi/32$ 110 : $\phi/64$ 111 : $\phi/128$
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3	KBADE	0	R/W	A/D 変換器に関するビットです。詳細は「14.3.4 キーボードコンパレータコントロールレジスタ (KBCOMP)」を参照してください。
2	KBCH2	0	R/W	
1	KBCH1	0	R/W	
0	KBCH0	0	R/W	

12.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

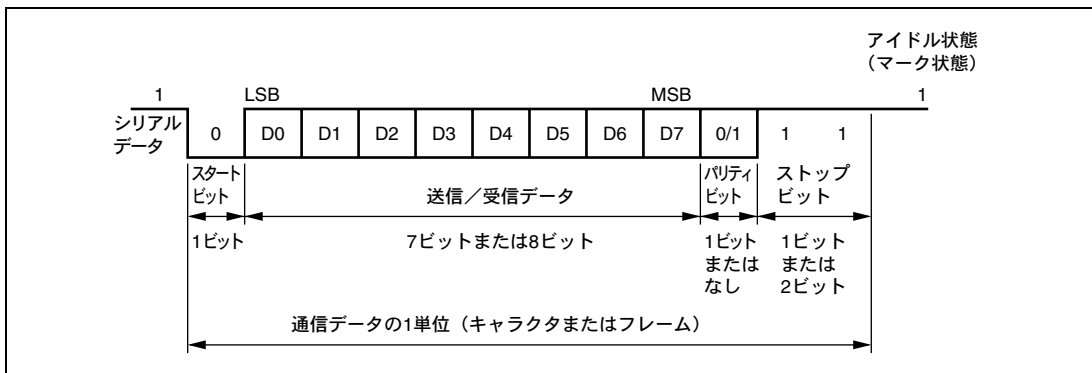


図 12.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2ストップビットの例)

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

12.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 12.8 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「12.5 マルチプロセッサ通信機能」を参照してください。

表 12.8 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

12.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 12.3 に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} (1+F) - (L-0.5) F \right\} \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

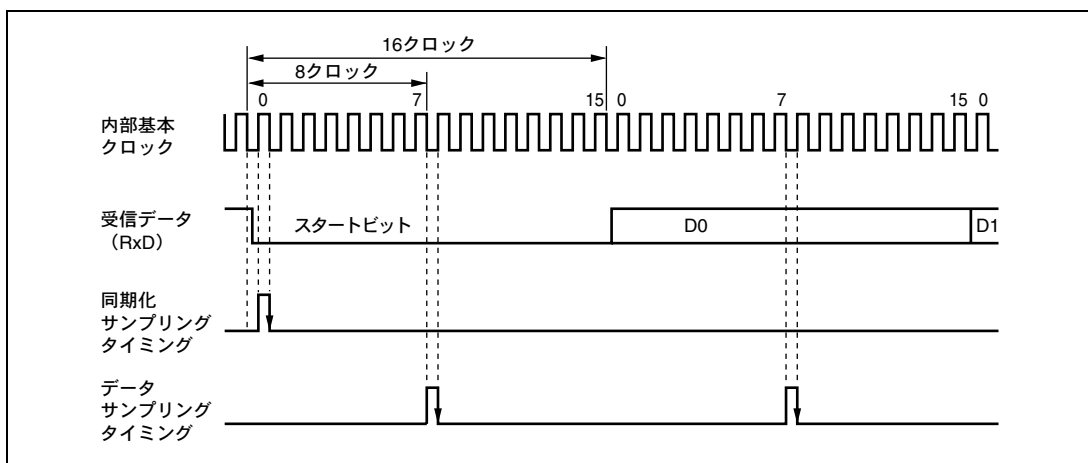


図 12.3 調歩同期式モードの受信データサンプリングタイミング

12.4.3 クロック

SCIの送受信クロックは、SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図12.4に示すように送信データの中央でクロックが立ち上がります。

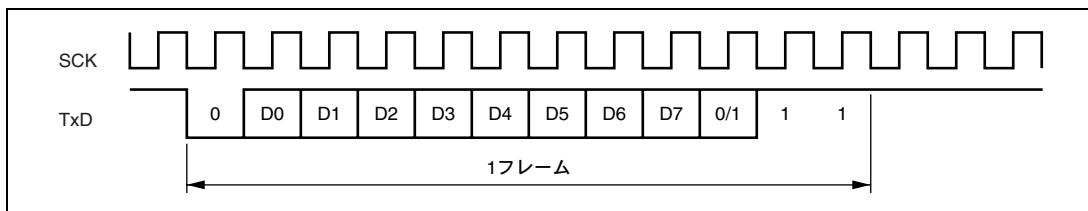


図 12.4 出カクロックと送信データの位相関係 (調歩同期式モード)

12.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 12.5 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

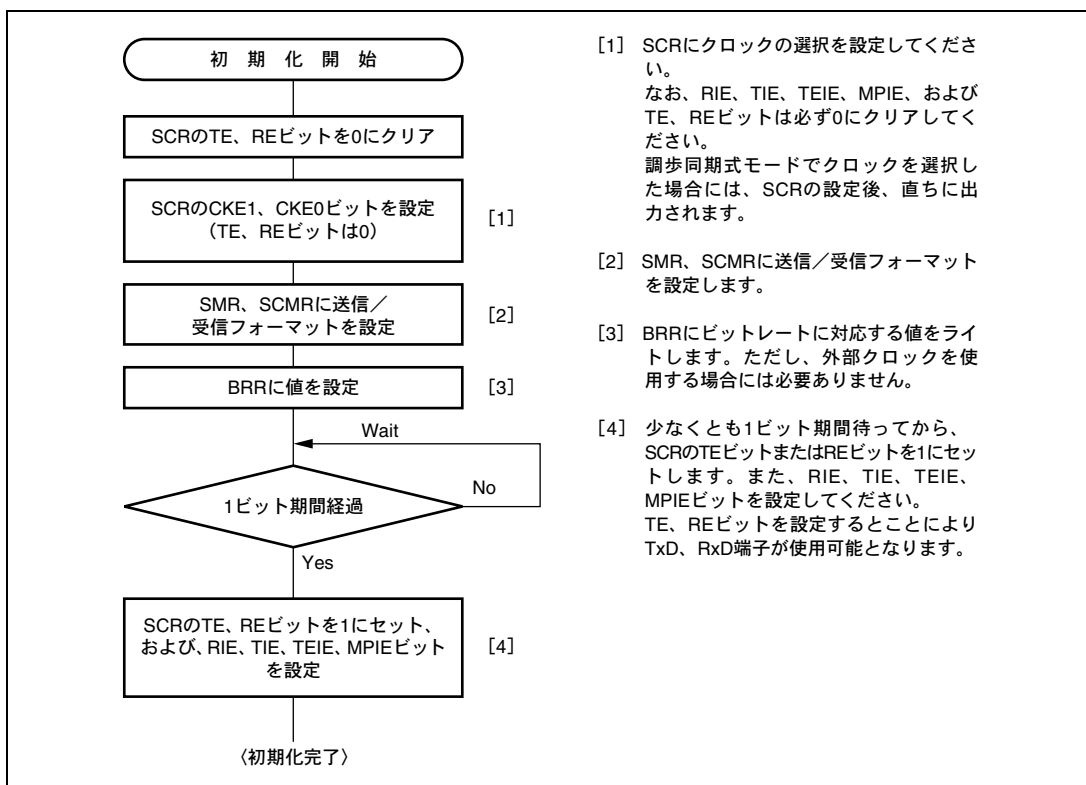


図 12.5 SCI の初期化フローチャートの例

12.4.5 データ送信 (調歩同期式)

図 12.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。

図 12.7 にデータ送信のフローチャートの例を示します。

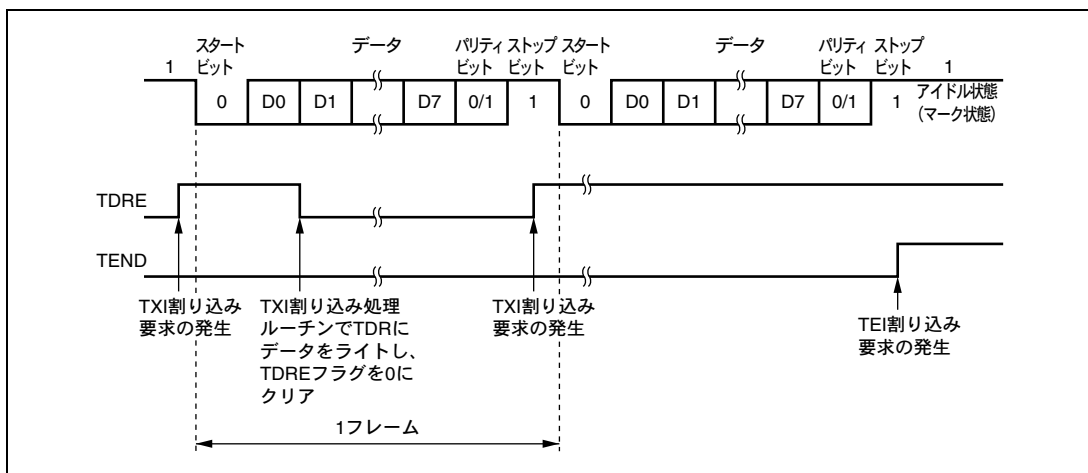


図 12.6 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

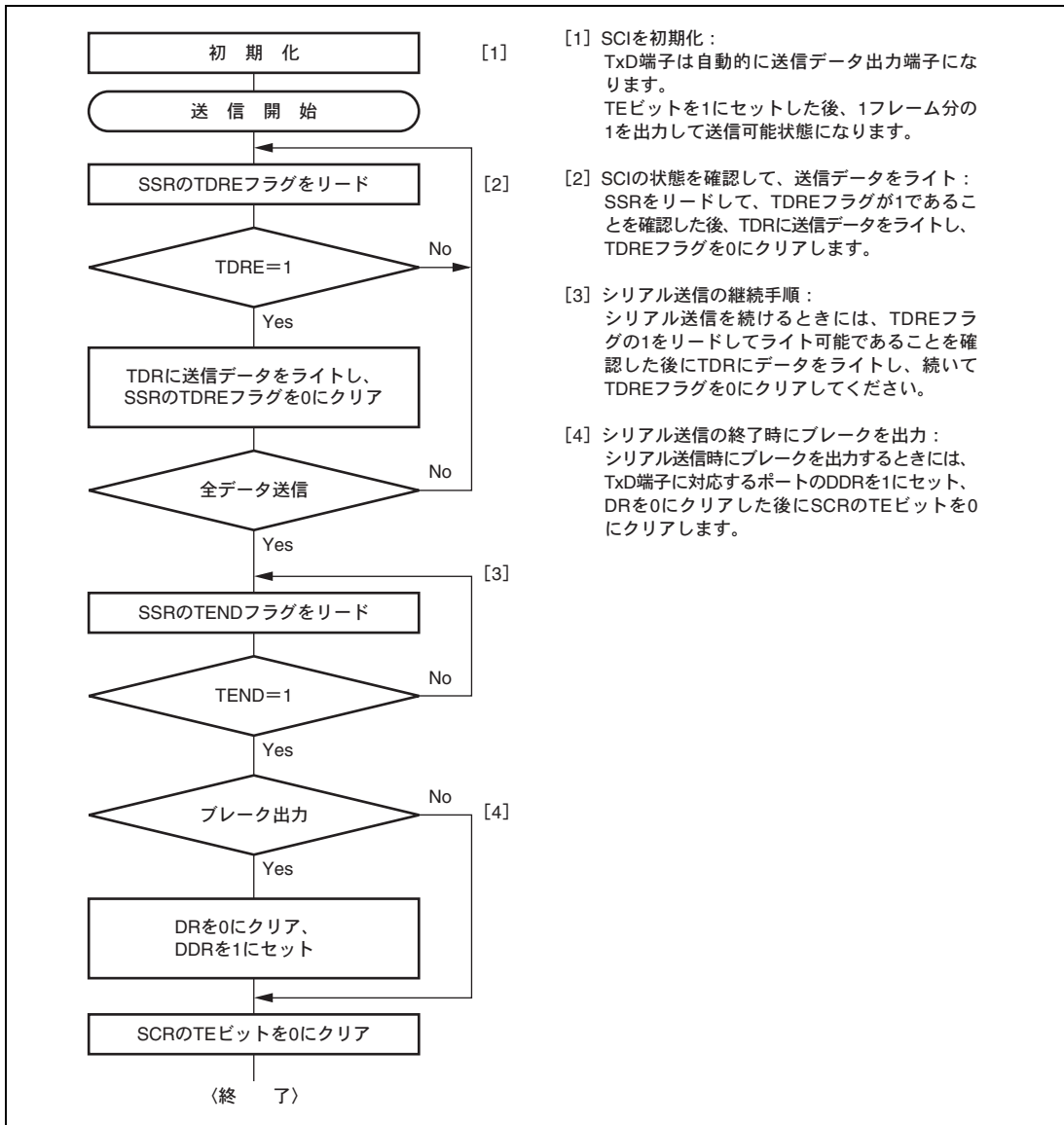


図 12.7 シリアル送信のフローチャートの例

12.4.6 シリアルデータ受信 (調歩同期式)

図 12.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

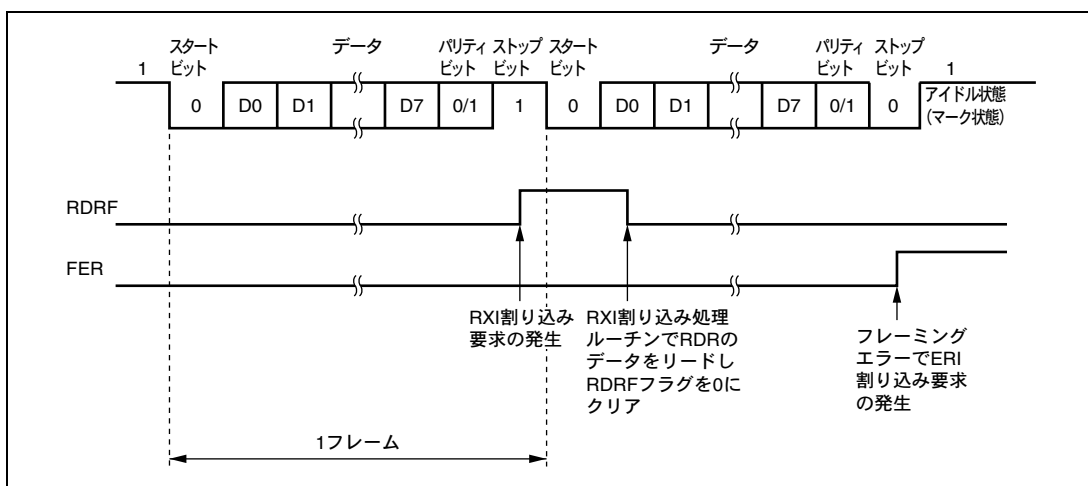


図 12.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 12.9 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.9 にデータ受信のためのフローチャートの例を示します。

表 12.9 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

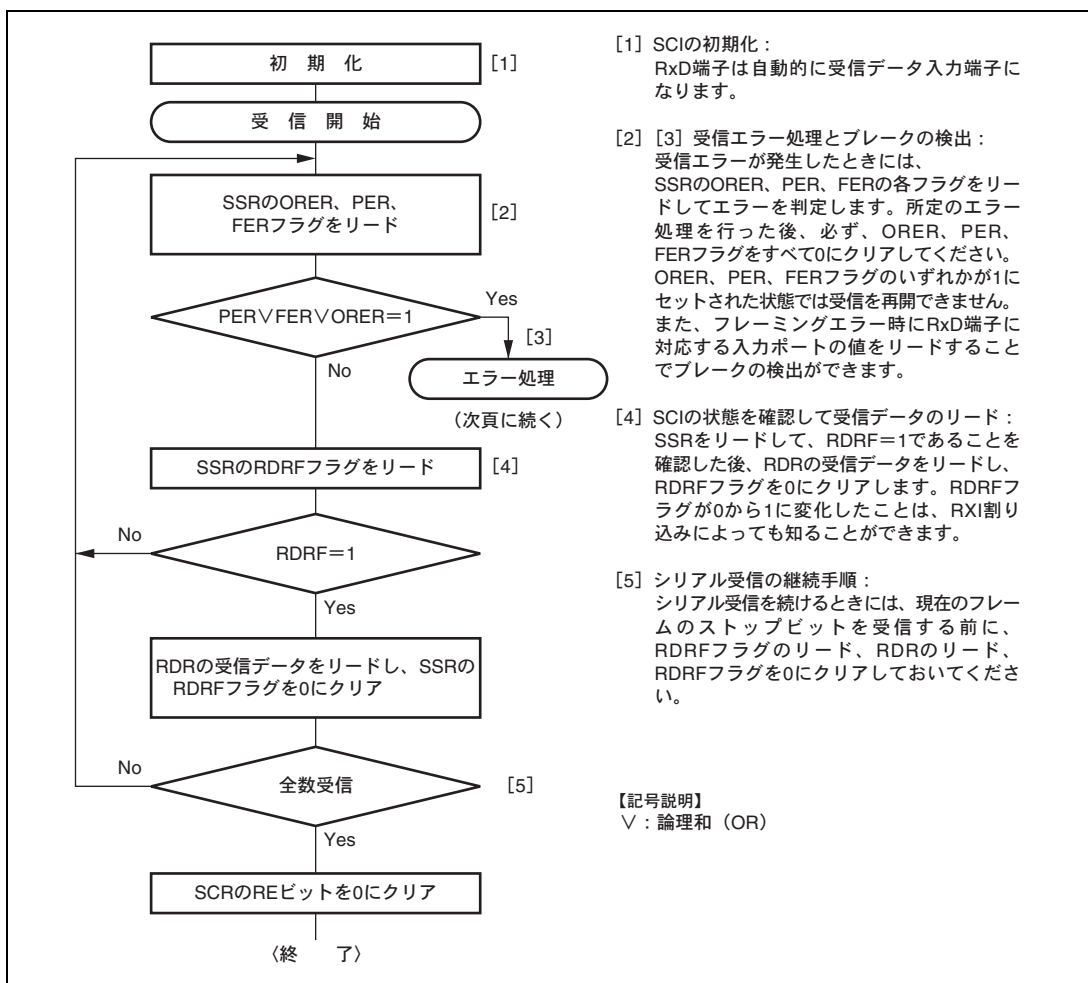


図 12.9 シリアル受信データフローチャートの例 (1)

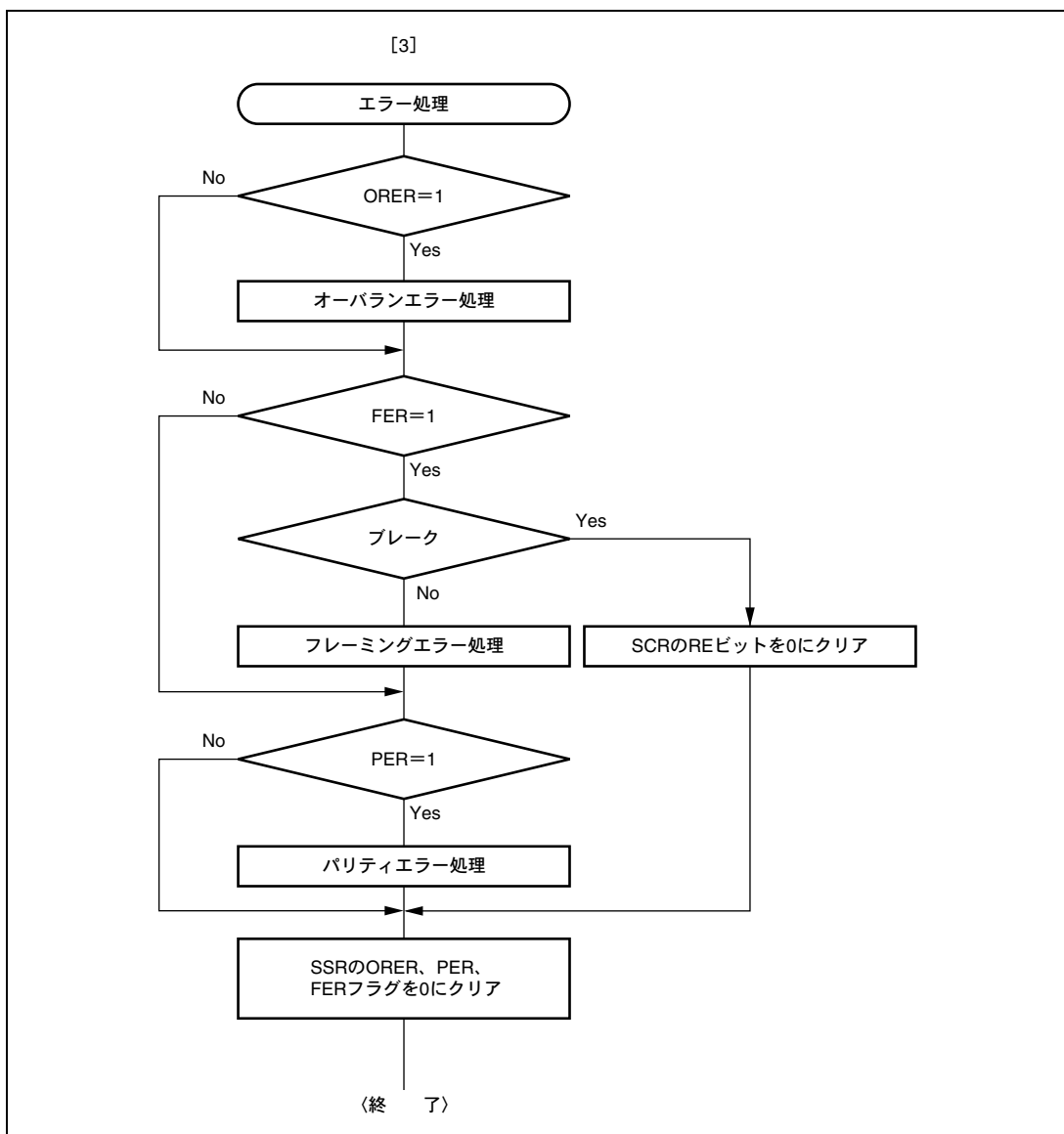


図 12.9 シリアル受信データフローチャートの例 (2)

12.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 12.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPB が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

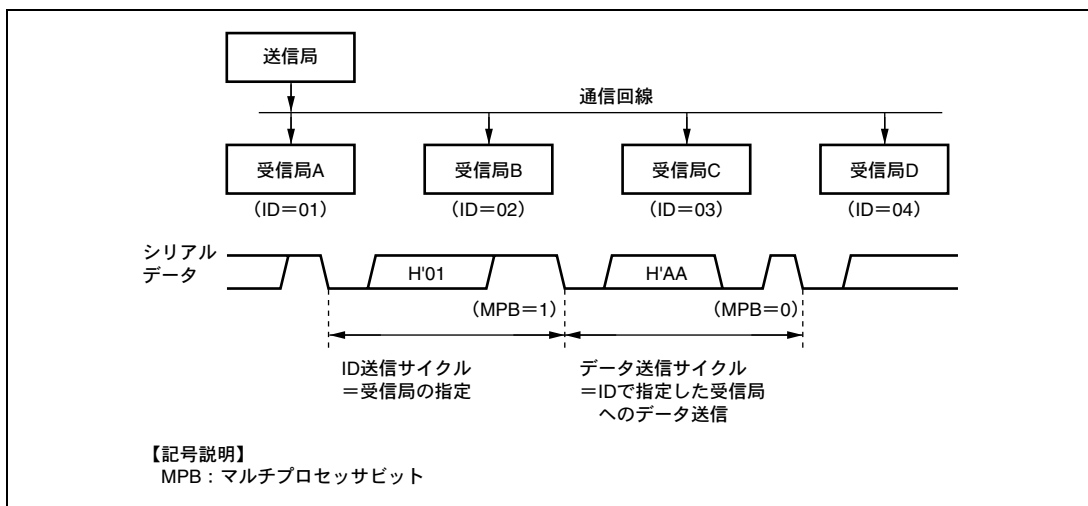


図 12.10 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

12.5.1 マルチプロセッサシリアルデータ送信

図 12.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

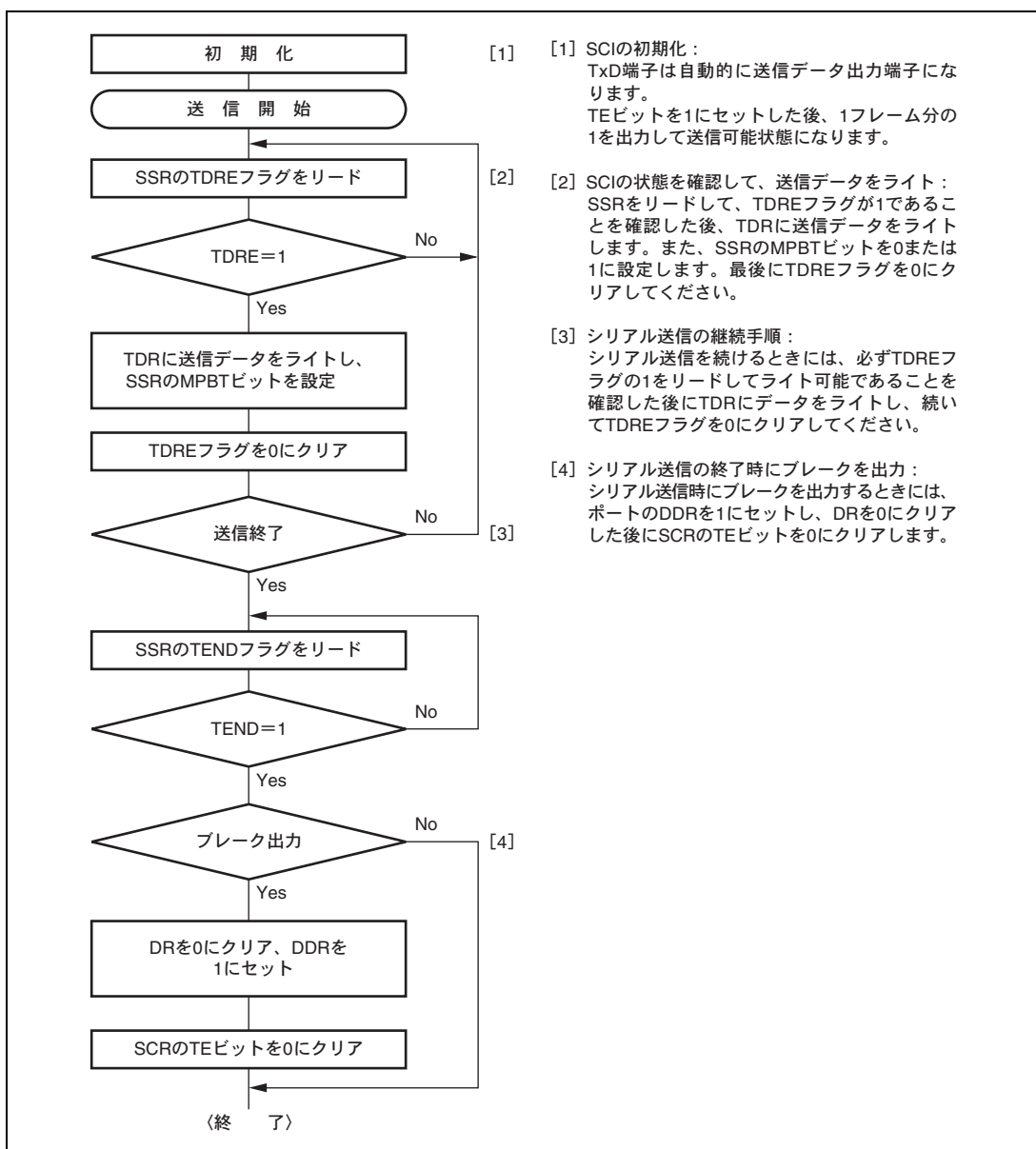


図 12.11 マルチプロセッサシリアル送信のフローチャートの例

12.5.2 マルチプロセッサシリアルデータ受信

図 12.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 12.12 に受信時の動作例を示します。

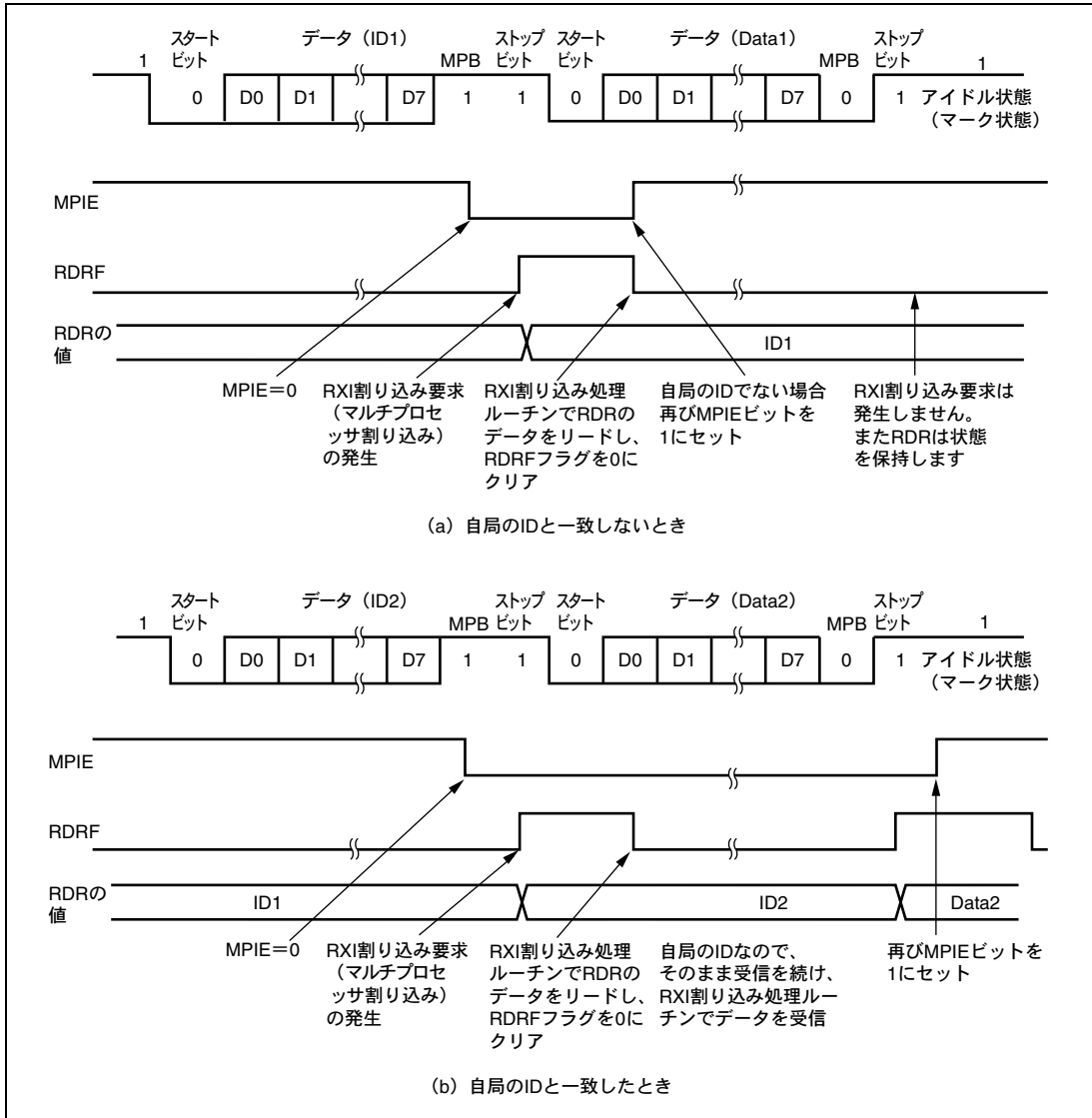


図 12.12 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

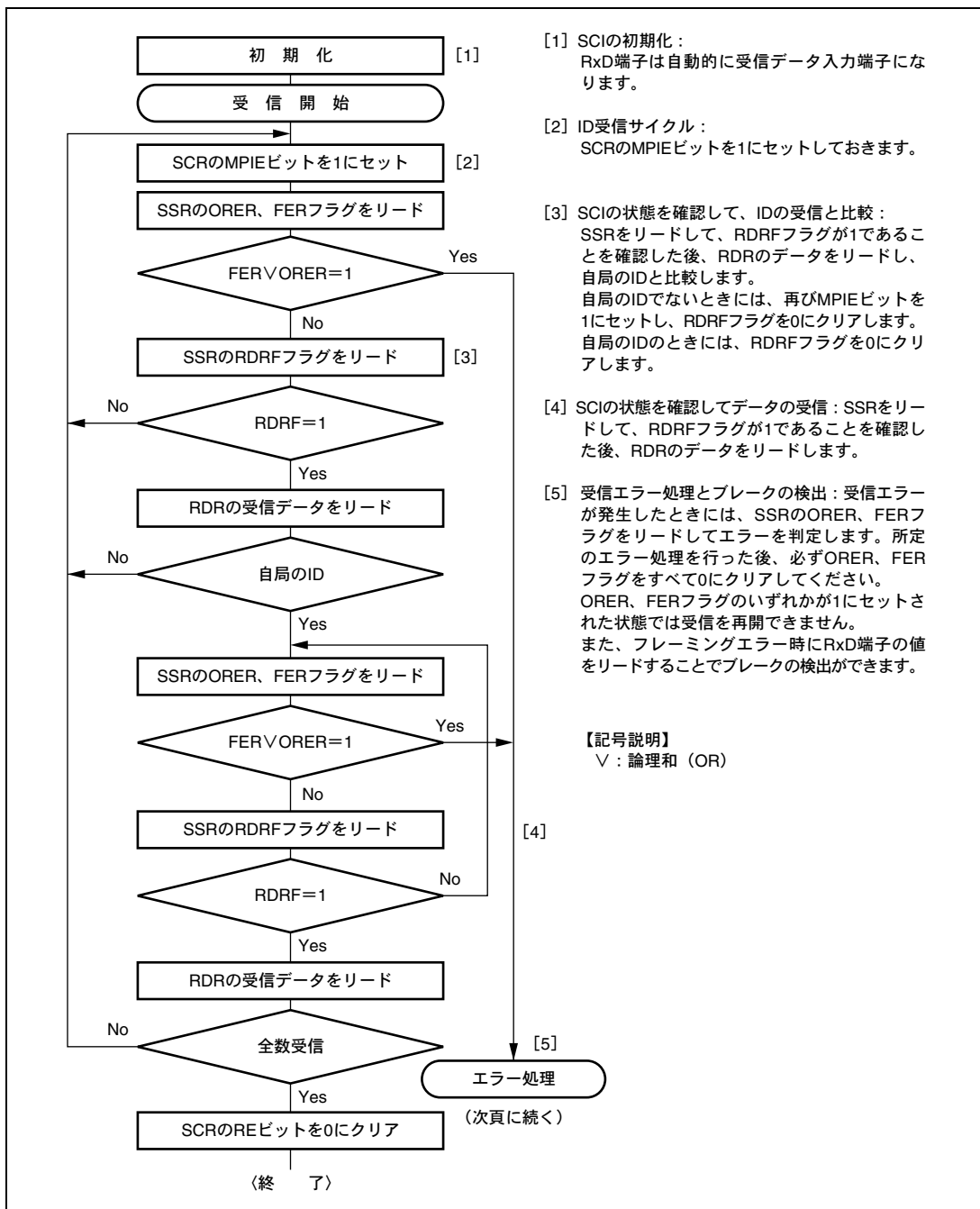


図 12.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

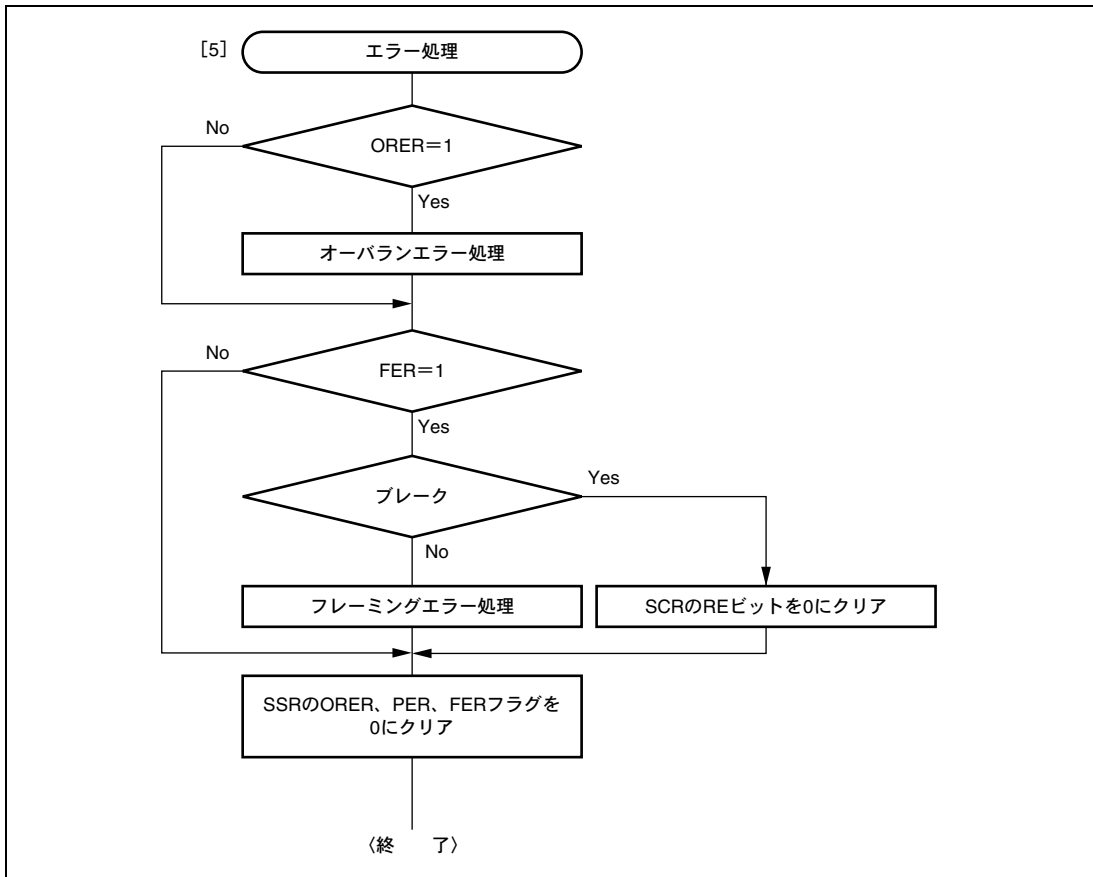


図 12.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

12.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 12.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりで同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

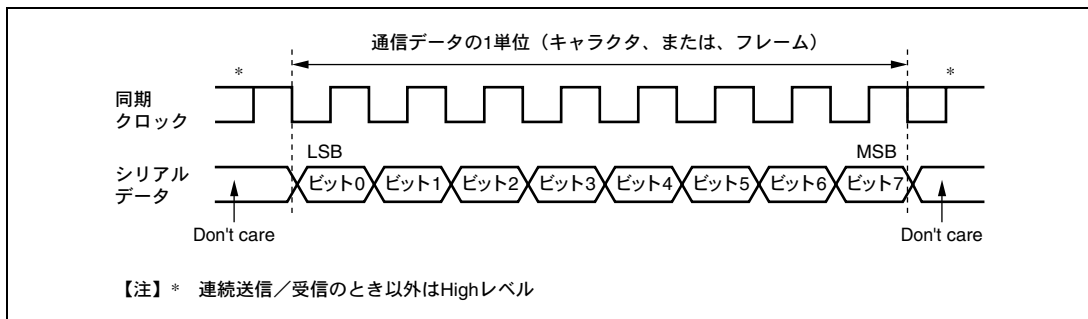


図 12.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

12.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

12.6.2 SCI の初期化 (クロック同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 12.15 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

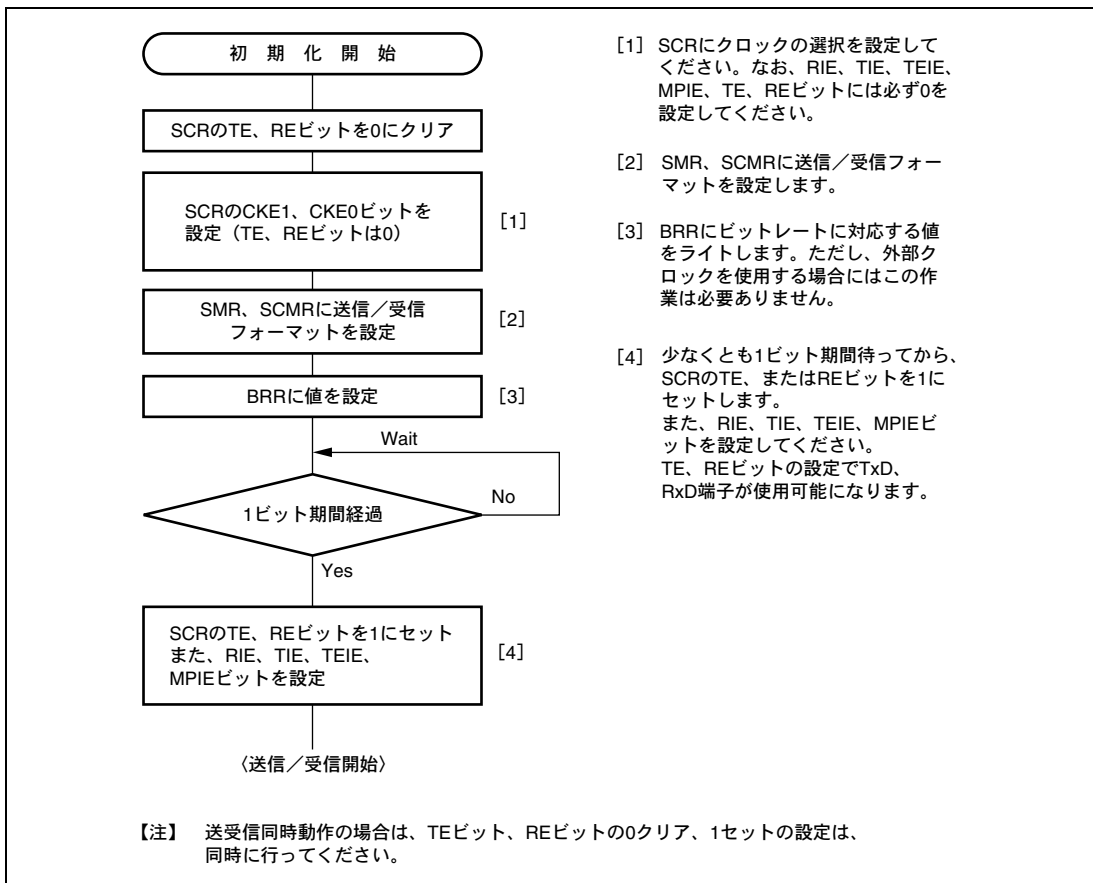


図 12.15 SCI の初期化フローチャートの例

12.6.3 シリアルデータ送信 (クロック同期式)

図 12.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。SCK端子はHighレベルに固定されます。

図 12.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはREビットをクリアしただけではクリアされませんので注意してください。

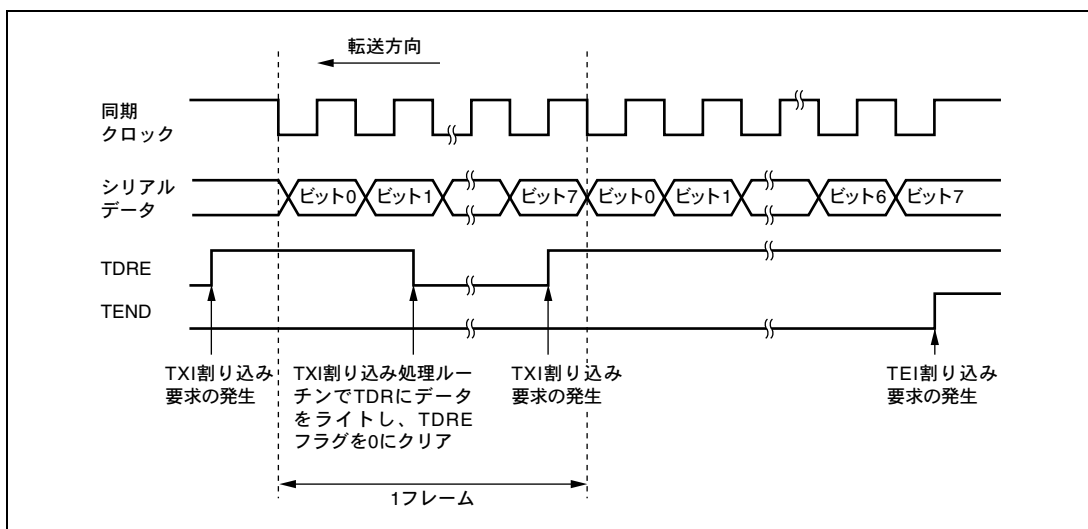


図 12.16 クロック同期式モードの送信時の動作例

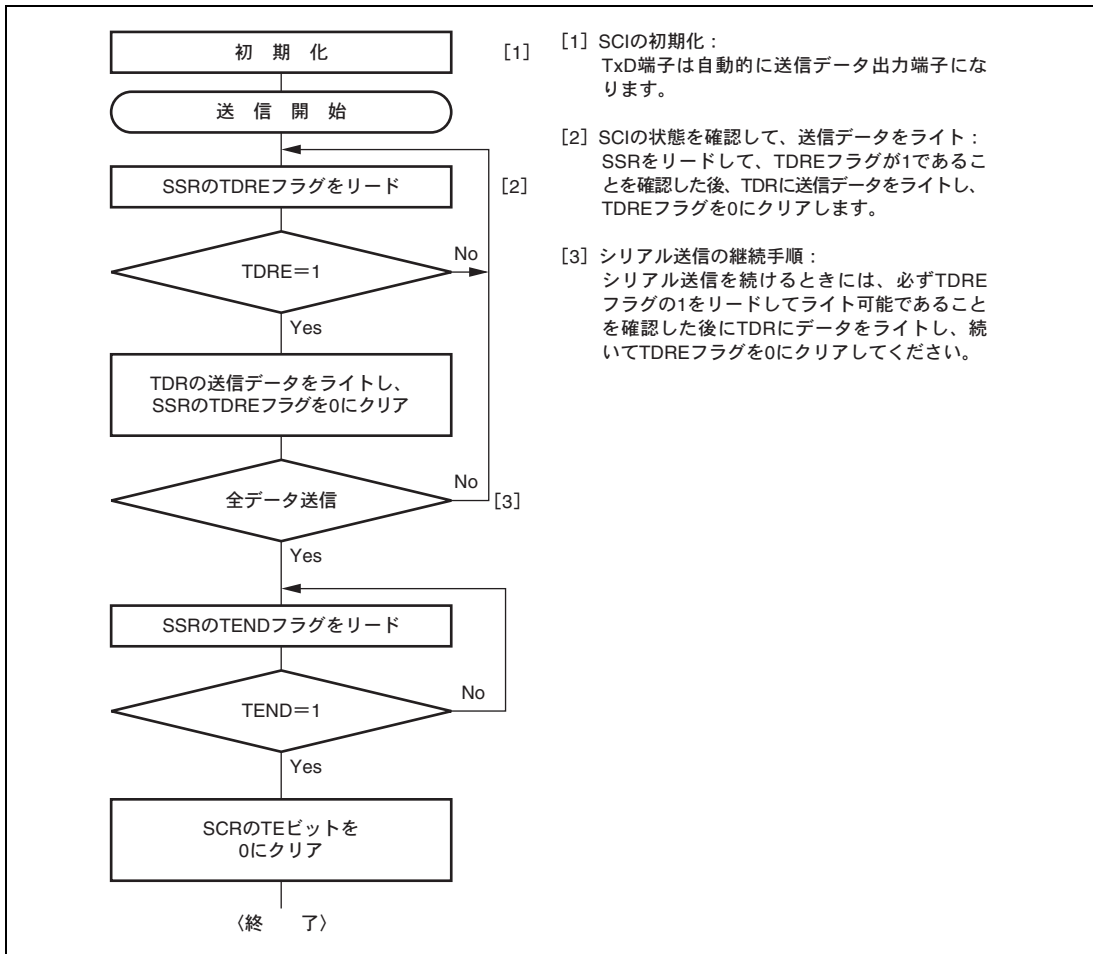


図 12.17 シリアル送信のフローチャートの例

12.6.4 シリアルデータ受信 (クロック同期式)

図 12.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

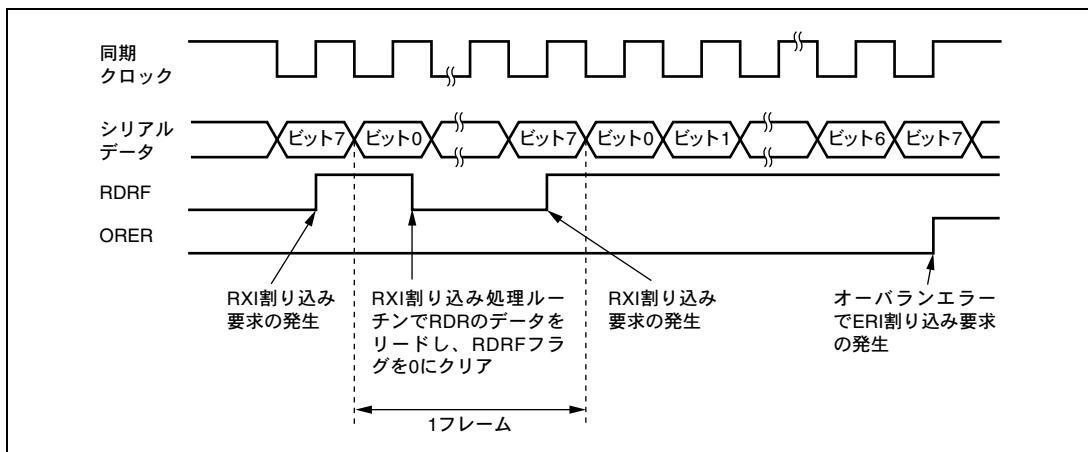


図 12.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.19 にデータ受信のためのフローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

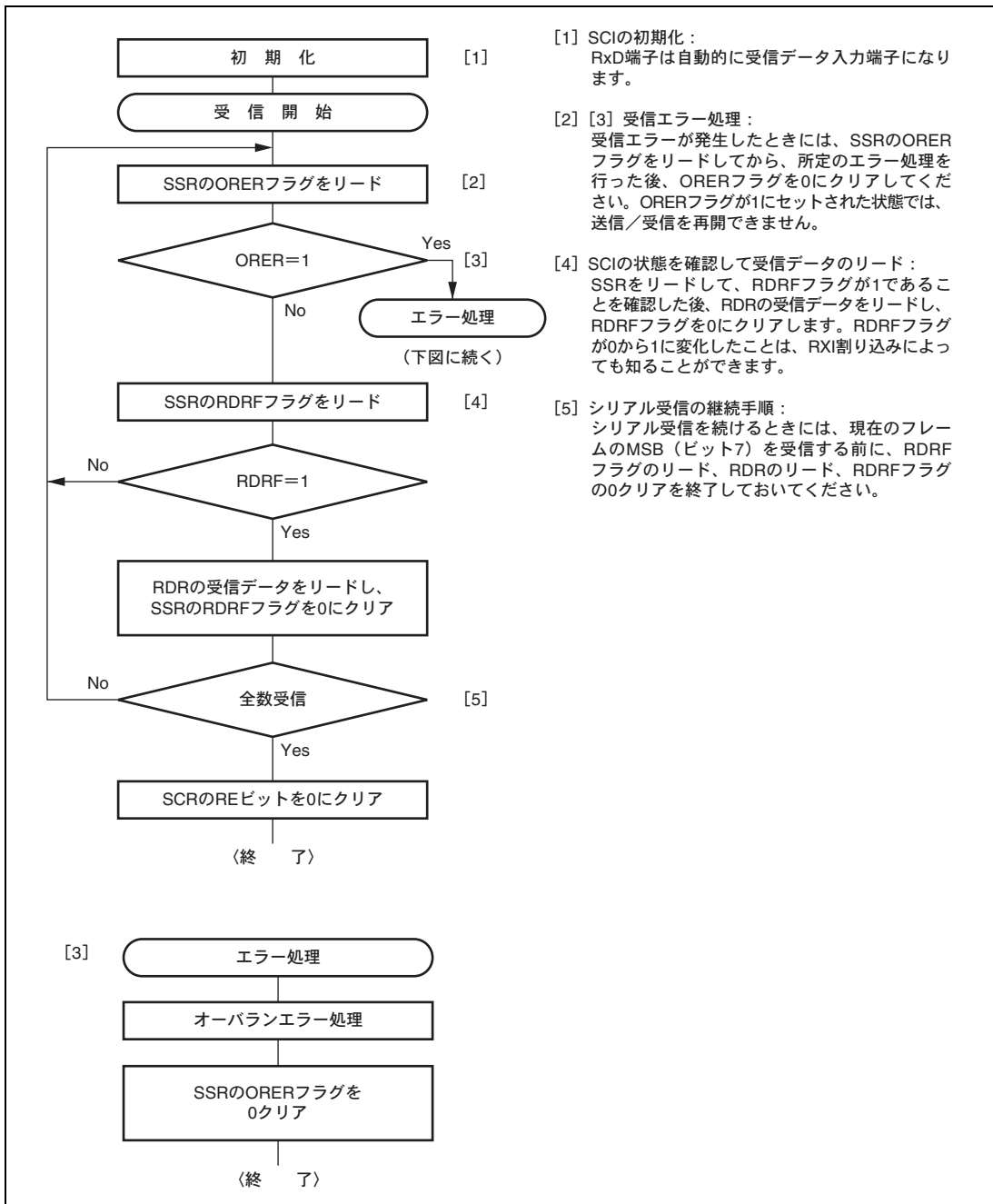


図 12.19 シリアルデータ受信フローチャートの例

12.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 12.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、SSR の TDRE および TEND が 1 にセットされていることを確認した後、SCR の TE ビットを 0 にクリアしてから TE および RE ビットを 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから SSR の RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE ビットを 1 命令で同時に 1 にセットしてください。

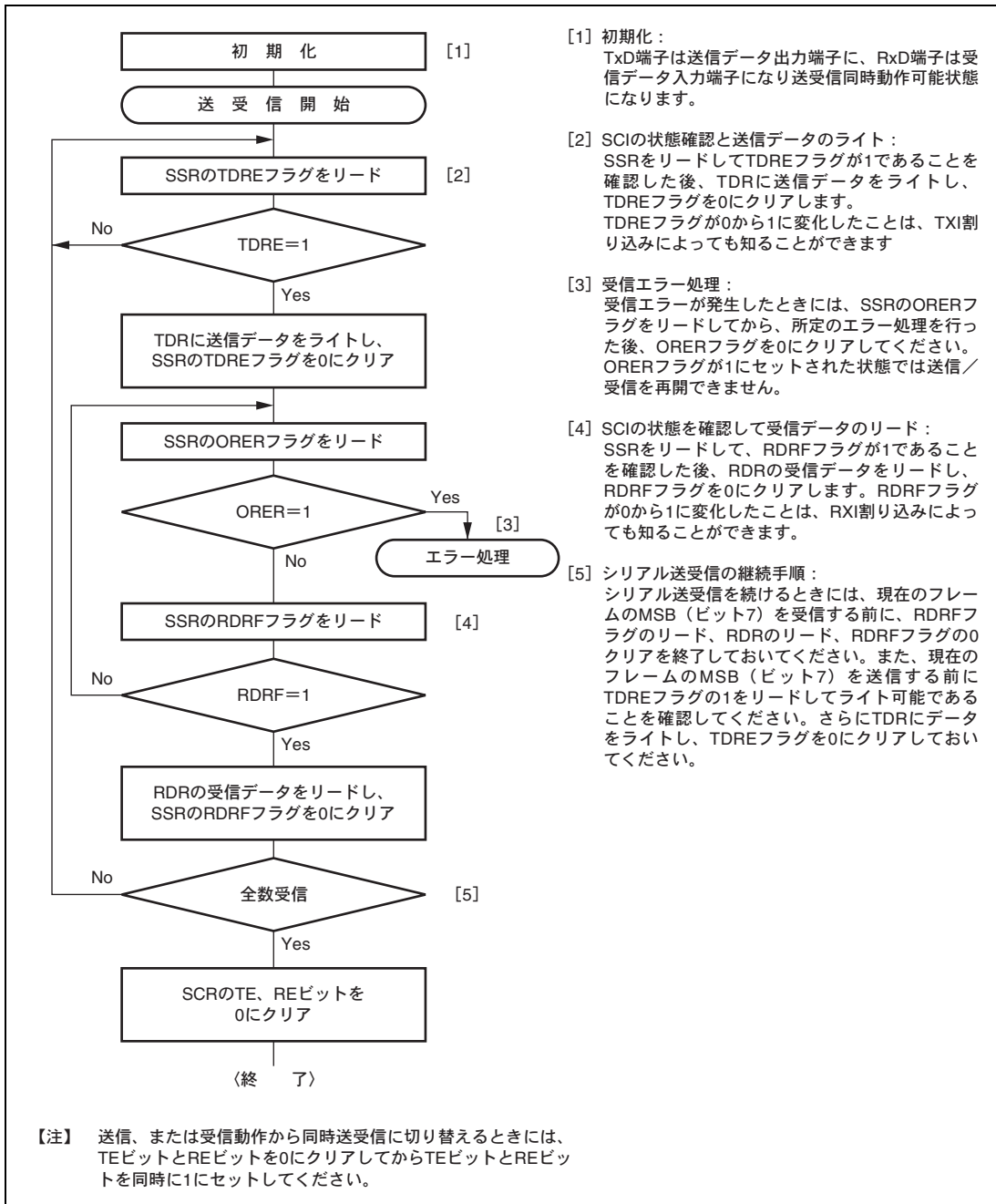


図 12.20 シリアル送受信同時動作のフローチャートの例

12.7 IrDA 動作

SCI_2 は IrDA 動作が可能です。図 12.21 に IrDA のブロック図を示します。

KBCOMP の IrE ビットで IrDA 機能をイネーブルにすると、SCI_2 の TxD2、RxD2 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行ないます (IrTxD、IrRxD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより設定を変更してください。

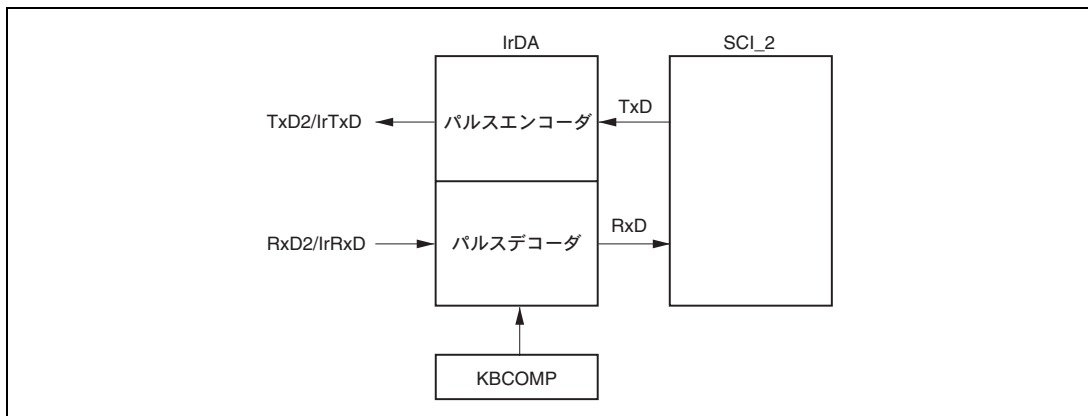


図 12.21 IrDA ブロック図

(1) 送信

送信時に SCI から出力される信号 (UART フレーム) は、IrDA インタフェースにより IR フレームに変換されます (図 12.22 参照)。

シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $\frac{3}{16}$ の High パルスが出力されます (初期値)。なお、High パルスは KBCOMP の IrCKS2~0 ビットの設定値により変化させることも可能です。

High パルス幅は最小 $1.41 \mu\text{s}$ 、最大 $(\frac{3}{16} + 2.5\%) \times \text{ビットレート}$ 、または $(\frac{3}{16} \times \text{ビットレート}) + 1.08 \mu\text{s}$ と定められています。システムクロック ϕ が 20MHz のとき、 $1.41 \mu\text{s}$ 以上で最大の High パルス幅は $1.6 \mu\text{s}$ が設定可能です。

シリアルデータが 1 のときはパルスは出力されません。

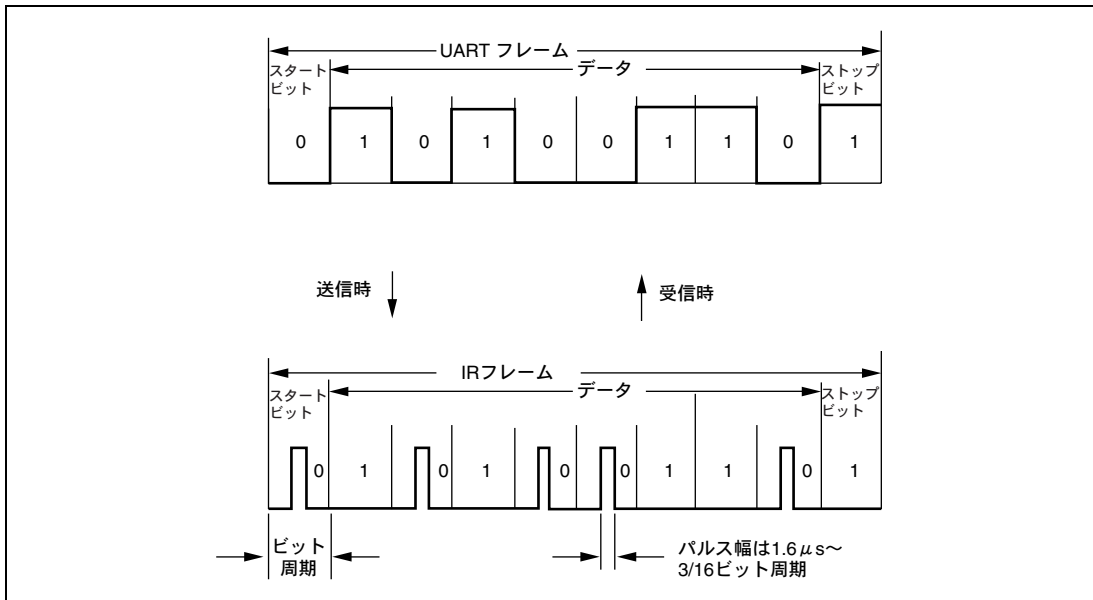


図 12.22 IrDA 送信/受信動作

(2) 受信

受信時に IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI₂ に入力されます。

High パルスが検出されたときには 0 データを出力し、1 ビット期間中にパルスがないときには 1 データを出力します。最小パルス幅の 1.41 μs より短いパルスは 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート×3/16 よりパルス幅を短くする場合に、適用可能な IrCKS2~IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 12.10 に示します。

12. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 12.10 IrCKS2~IrCKS0 ビットの設定

動作周波数 φ (MHz)	ビットレート (bps) (上段) / ビット周期×3/16 (μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	—
2.097152	010	010	010	010	010	—
2.4576	010	010	010	010	010	—
3	011	011	011	011	011	—
3.6864	011	011	011	011	011	011
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101

【記号説明】 — : SCI 側のビットレート設定ができません。

12.8 割り込み要因

表 12.11 にシリアルコミュニケーションインタフェースにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 12.11 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	優先順位
0	ERI0	受信エラー	ORER、FER、PER	高  低
	RXI0	受信データフル	RDRF	
	TXI0	送信データエンプティ	TDRE	
	TEI0	送信終了	TEND	
1	ERI1	受信エラー	ORER、FER、PER	
	RXI1	受信データフル	RDRF	
	TXI1	送信データエンプティ	TDRE	
	TEI1	送信終了	TEND	
2	ERI2	受信エラー	ORER、FER、PER	
	RXI2	受信データフル	RDRF	
	TXI2	送信データエンプティ	TDRE	
	TEI2	送信終了	TEND	

12.9 使用上の注意事項

12.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作停止/許可を設定することが可能です。初期値では SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 18 章 低消費電力状態」を参照してください。

12.9.2 ブレークの検出と処理

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、SSR の FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

12.9.3 マーク状態とブレークの送り出し

SCR の TE が 0 のとき、TxD 端子はポートの DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR=1、DR=1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR=1、DR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

12.9.4 受信エラーフラグと送信動作 (クロック同期式モードのみ)

SSR の受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では、SSR の TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には受信エラーフラグを 0 にクリアしておいてください。また、SCR の RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

12.9.5 TDR へのライトと TDRE フラグの関係

TDR へのデータのライトは SSR の TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータはまだ TSR に転送されていないため失われてしまいます。したがって、TDR への送信データのライトは必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

12.9.6 モード遷移時の動作

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードへ遷移するときは、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE=1$ に設定し、SSR リード→TDR ライト→TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 12.23 に送信時のモード遷移フローチャートの例を示します。図 12.24、図 12.25 に送信時の端子状態を示します。

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときには、受信動作を停止 ($RE=0$) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE=1$ に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 12.26 に受信時のモード遷移フローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

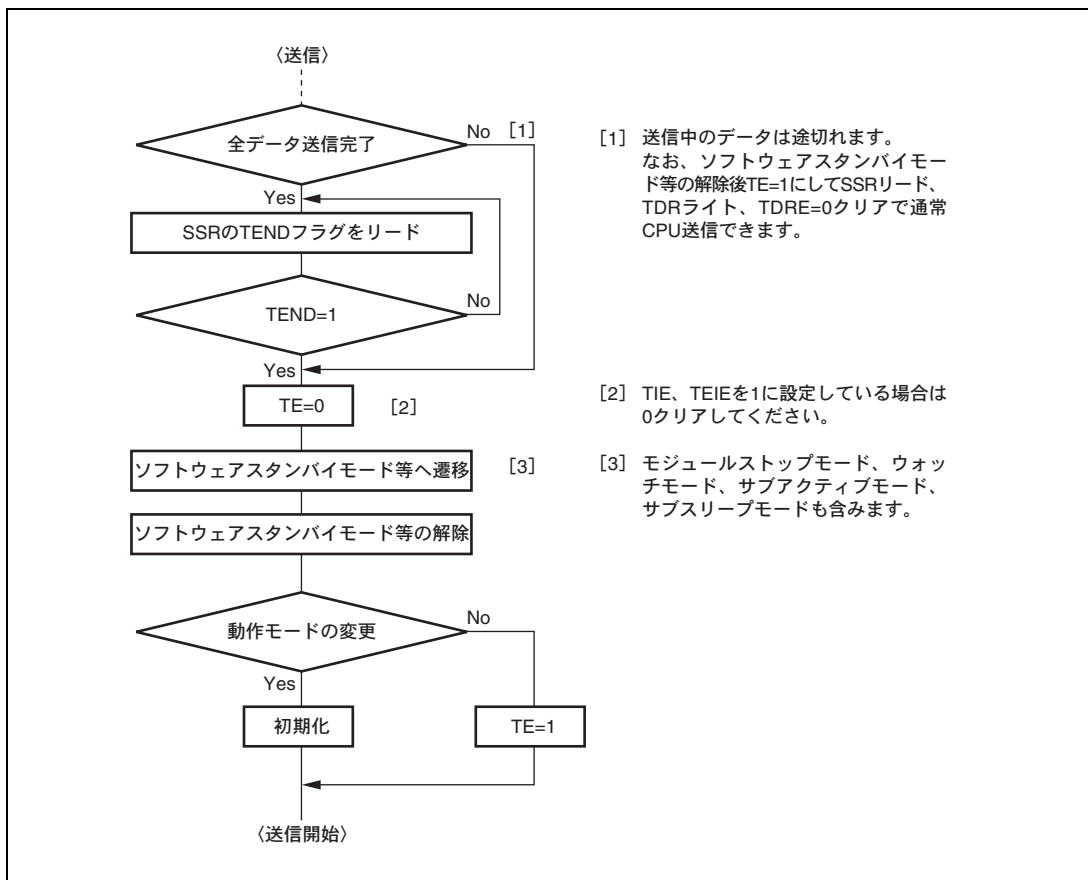


図 12.23 送信時のモード遷移フローチャートの例

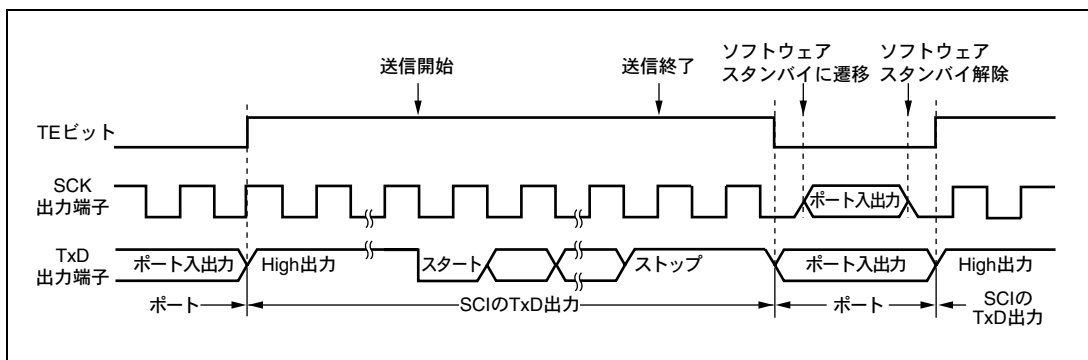


図 12.24 調歩同期式モード送信時（内部クロック）の端子状態

12. シリアルコミュニケーションインタフェース (SCI, IrDA)

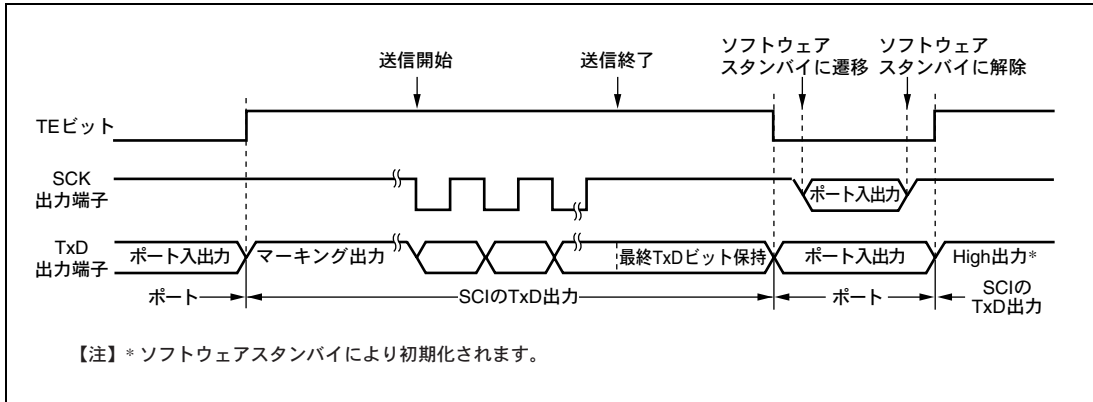


図 12.25 クロック同期式モード送信時（内部クロック）の端子状態

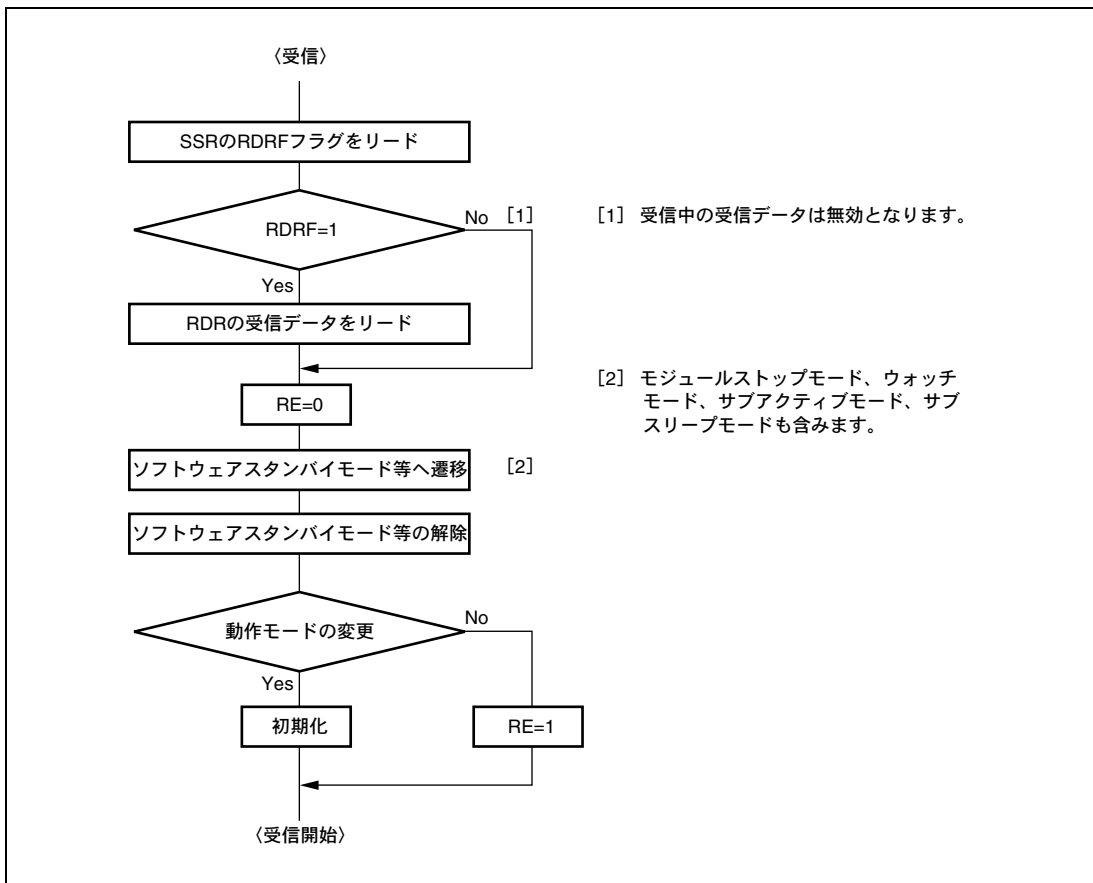


図 12.26 受信時のモード遷移フローチャートの例

12.9.7 SCK 端子からポート端子への切り替え

送信終了状態で SCK 端子をポート端子に切り替えるとき、図 12.27 に示すように半サイクルの Low 出力後にポート出力となります。

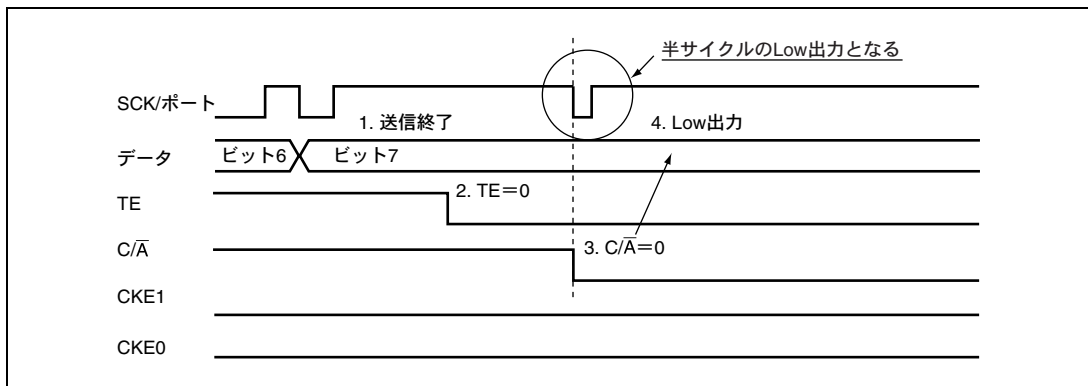


図 12.27 SCK 端子からポート端子へ切り替える時の動作

SCK 端子をポート端子に切り替えるときに発生する Low 出力を回避するためには、SCK 端子を入力状態にして (SCK/ポート端子を外部回路で Pull-up)、DDR=1、DR=1、 $C/\bar{A}=1$ 、CKE1=0、CKE0=0、TE=1 の状態で次の 1~5 の順で設定してください。

1. シリアルデータ送信終了
2. TEビット=0
3. CKE1ビット=1
4. C/\bar{A} ビット=0 (ポート出力に切り替え)
5. CKE1ビット=0

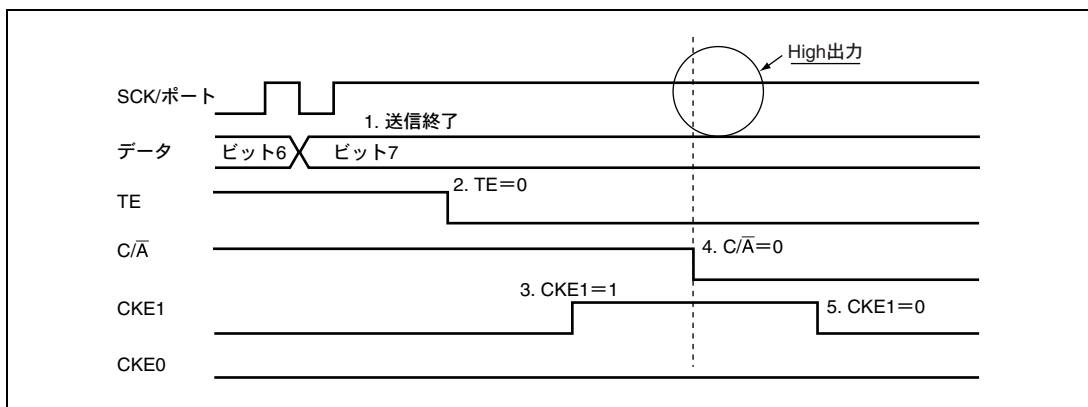


図 12.28 SCK 端子からポート端子へ切り替え時の Low 出力の回避例

13. D/A 変換器

13.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 μ s（負荷容量20pF時）
- 出力電圧：0V \sim AVref（H8S/2144B）
0V \sim AVcc（H8S/2134B）
- ソフトウェアスタンバイモード時のD/A出力保持機能

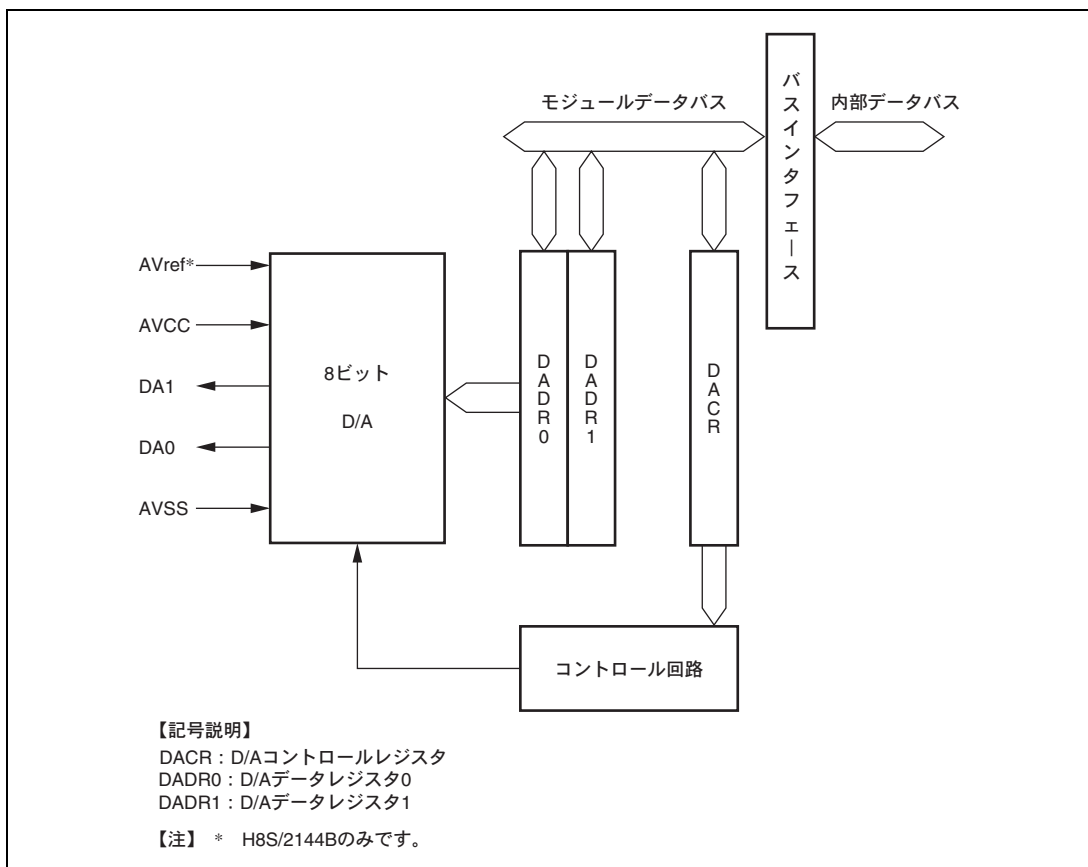


図 13.1 D/A 変換器のブロック図

13. D/A 変換器

13.2 入出力端子

D/A 変換器で使用する入出力端子を表 13.1 に示します。

表 13.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電源端子	Avref*	入力	アナログ部の基準電圧

【注】 * H8S/2144B のみ

13.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ (DACR)

13.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタは、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、D/A データレジスタの値が変換され、アナログ出力端子に出力されます。DADR0、DADR1 の初期値は H'00 です。

13.3.2 D/A コントロールレジスタ (DACR)

DACR は D/A 変換器の動作を制御します。

ビット	ビット名	初期値	R/W	説 明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA1 を禁止 1 : チャンネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA0 を禁止 1 : チャンネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可

ビット	ビット名	初期値	R/W	説明
5	DAE	0	R/W	D/A イネーブル DAOE1、DAOE0 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE1、DAOE0 ビットにより制御されます。詳細は表 13.2 を参照してください。
4~0	—	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 13.2 D/A 変換の制御

ビット 7	ビット 6	ビット 5	説明	
DAOE1	DAOE0	DAE		
0	0	—	D/A 変換を禁止	
		1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
			1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可	
			1	チャンネル 0、1 の D/A 変換を許可
		1	—	チャンネル 0、1 の D/A 変換を許可

13.4 動作説明

2 チャンネルの D/A 変換器は、それぞれ独立に変換を行うことができます。

DACR の DAOE ビットを 1 にセットすると、D/A 変換が許可され変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを図 13.2 に示します。

1. DADR0 に変換データをライトします。
2. DACR の DAOE0 ビットを 1 にセットすると、D/A 変換が開始されます。t_{DCONV} 時間経過後、変換結果がアナログ出力端子 DA0 より出力されます。DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表わされます。

$$\frac{\text{DADRの内容}}{256} \times \text{AVref}$$

3. DADR0 を書き換えると、ただちに変換が開始されます。t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0 ビットを 0 にクリアすると、アナログ出力を禁止します。

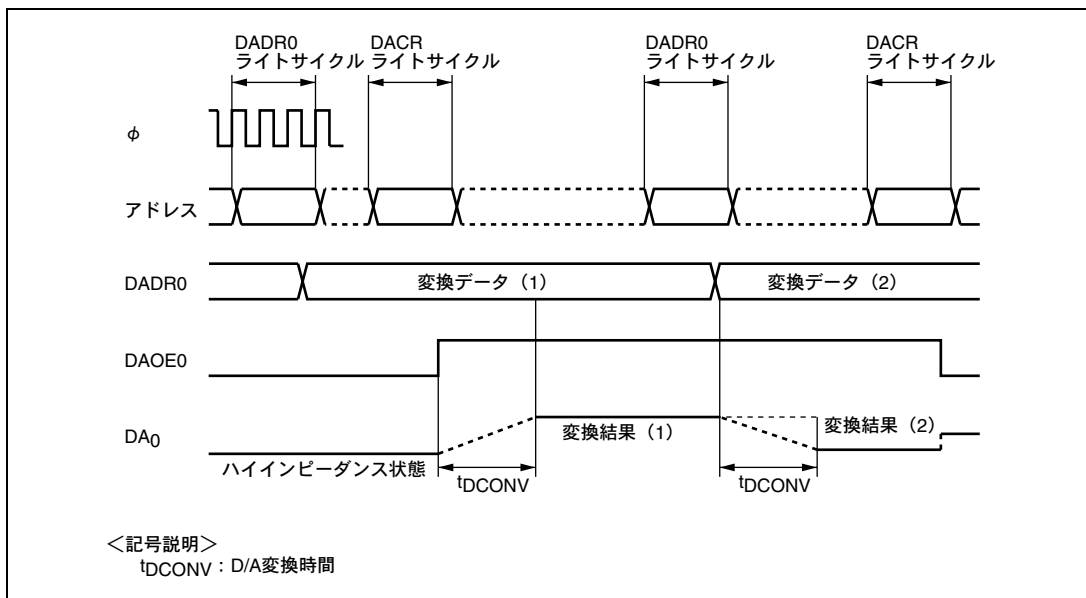


図 13.2 D/A 変換器の動作例

13.5 使用上の注意事項

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE1、DAOE0、DAE ビットをすべて 0 にクリアして D/A 出力を禁止にしてください。

13.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作停止/許可を設定することが可能です。初期値では D/A 変換器の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 18 章 低消費電力状態」を参照してください。

14. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力および最大 16 チャンネル*のデジタル入力を選択することができます。デジタル入力は多値入力判定のコンパレータなどの用途に最適です。

【注】 * H8S/2134B は最大 8 チャンネル

14.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネルのアナログ入力と16チャンネル*²のデジタル入力
- リファレンス電源電圧端子（Avref*¹）をアナログ基準電圧として、アナログ変換電圧範囲を設定可能
- 変換時間：1チャンネル当たり13.4 μ s（10MHz動作時）
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 8ビットタイマ（TMR）の変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求（ADI）を発生

【注】 *1 H8S/2144B のみ

*2 H8S/2134B は最大 8 チャンネル

14. A/D 変換器

A/D 変換器のブロック図を図 14.1 に示します。

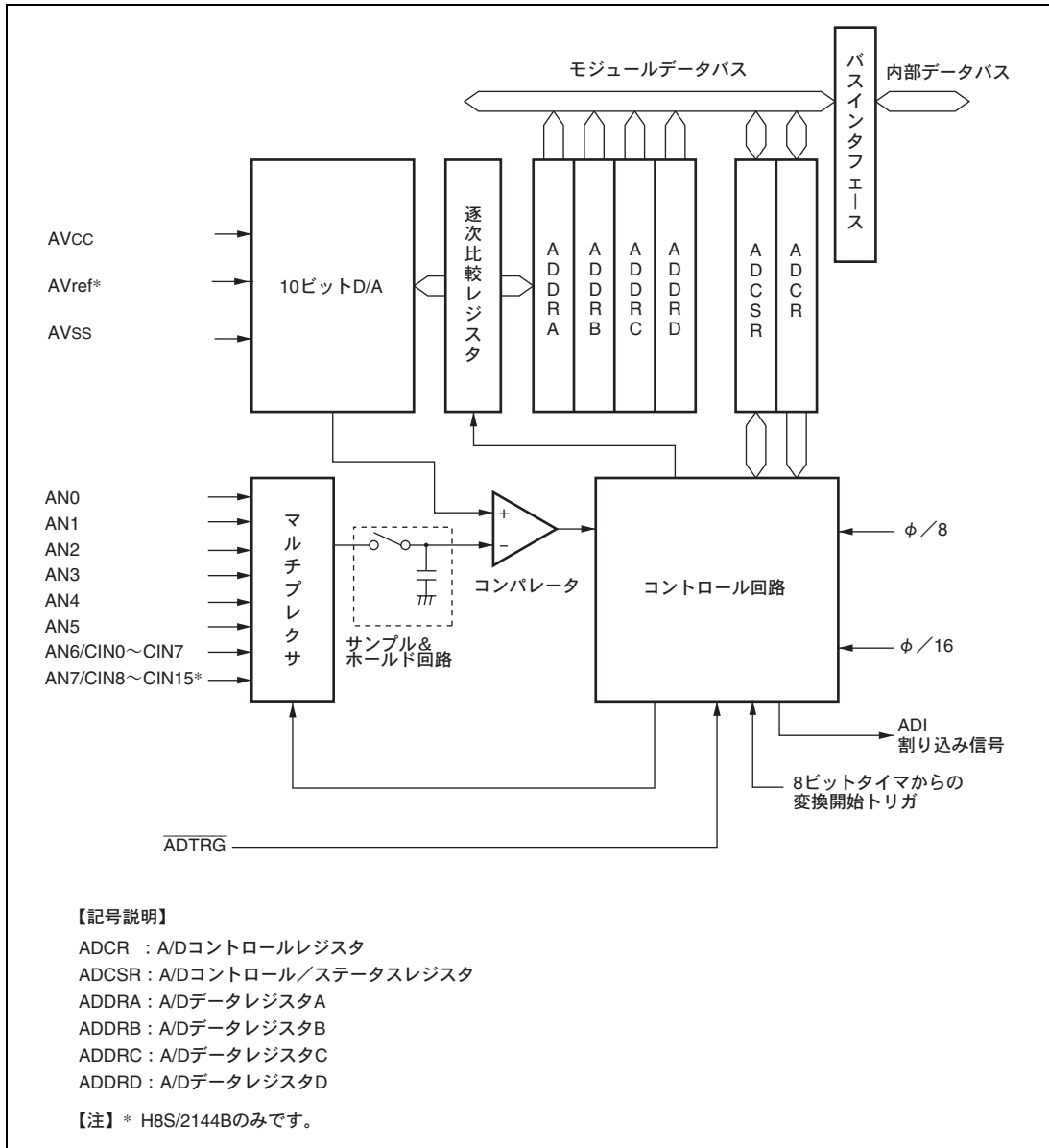


図 14.1 A/D 変換器のブロック図

14.2 入出力端子

A/D 変換器で使用する端子を表 14.1 に示します。8 本のアナログ入力端子は 4 チャンネル×2 グループに分割されています。アナログ入力端子 0~3 (AN0~AN3) がグループ 0、アナログ入力端子 4~7 (AN4~AN7) がグループ 1 になっています。AN6、AN7 は拡張 A/D 変換入力端子 (CIN0~CIN15) を選択することができます。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 14.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電源端子	AVref	入力	アナログ部の基準電圧 (H8S/2144B のみ)
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力端子
拡張 A/D 変換入力端子 0~15	CIN0~CIN15	入力	拡張 A/D 変換入力 (デジタル入力端子) チャンネル 0~15 デジタル入力端子として使用可能 (H8S/2134B はチャンネル 0~7)

14.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)
- キーボードコンバータコントロールレジスタ (KBCOMP)

14. A/D 変換器

14.3.1 A/D データレジスタ A~D (ADDRA~ADDRD)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA~ADDRD の 4 本があります。各アナログ入力チャネルの変換結果が格納される ADDR は表 14.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイト下位バイトの順でアクセスしてください。

表 14.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル		変換結果が格納される A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6 または CIN0~CIN7	ADDRC
AN3	AN7 または CIN8~CIN15*	ADDRD

【注】 * H8S/2144B のみ

14.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R(W)* ¹	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none">• シングルモードで A/D 変換が終了したとき• スキャンモードで選択されたすべてのチャネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none">• 1 の状態をリードした後、0 をライトしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 1 にセットすると A/D 変換を開始します。0 にクリアすると A/D 変換を停止します。シングルモードでは選択したチャネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャネルを順次連続変換します。

ビット	ビット名	初期値	R/W	説明
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。SCAN ビットの設定は、A/D 変換停止時 (ADST=0) に行ってください。 0 : シングルモード 1 : スキャンモード
3	CKS	0	R/W	クロックセレクト A/D 変換時間を設定します。入力チャネルの設定は、A/D 変換停止時 (ADST=0) に行ってください。 0 : 変換時間=266 ステート (Max) 1 : 変換時間=134 ステート (Max) 変換時間の切り替えは、ADST=0 の状態で行ってください。
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	チャンネルセレクト 2~0 アナログ入力チャネルを選択します。入力チャネルの設定は、A/D 変換停止時 (ADST=0) に行ってください。 SCAN=0 のとき 000 : AN0 001 : AN1 010 : AN2 011 : AN3 100 : AN4 101 : AN5 110 : AN6 または CIN0~CIN7 111 : AN7 または CIN8~CIN15*2 SCAN=1 のとき 000 : AN0 001 : AN0、AN1 010 : AN0~AN2 011 : AN0~AN3 100 : AN4 101 : AN4、AN5 110 : AN4、AN5、AN6 または CIN0~CIN7 111 : AN4、AN5、AN6 または CIN0~CIN7、AN7 または CIN8~CIN15*2

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 CIN8~CIN15 は H8S/2144B のみです。

14.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時 (ADST=0) に行ってください。 00 : 外部トリガによる A/D 変換の開始を禁止 01 : 外部トリガによる A/D 変換の開始を禁止 10 : TMR からの変換トリガによる A/D 変換の開始を許可 11 : $\overline{\text{ADTRG}}$ による A/D 変換の開始を許可
5~0	—	すべて 1	R	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。

14. A/D 変換器

14.3.4 キーボードコンパレータコントロールレジスタ (KBCOMP)

KBCOMP は、A/D 変換する CIN 入力チャンネルの選択、CIN15～CIN0 のコンパレータスキャン機能を許可/禁止します。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	SCI に関するビットです。詳細は「12.3.10 キーボードコンパレータコントロールレジスタ (KBCOMP)」を参照してください。
6	IrCKS2	0	R/W	
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3	KBADE	0	R/W	キーボード A/D イネーブル (AN6、AN7) KBCH2～KBCH0 ビットとの組み合わせにより、A/D 変換器チャンネル 6、7 をアナログ端子とするかデジタル端子とするかを選択します。詳細はビット 2～0 を参照してください。A/D 変換器のアナログ端子を、デジタル入力端子 (CIN0～CIN7、CIN8～CIN15*) に設定します。
2	KBCH2	0	R/W	キーボード A/D チャンネルセレクト 2～0 KBADE ビットの組み合わせにより、デジタル入力端子から、A/D 変換するチャンネルを選択します。入力チャンネルの設定は、変換停止中に行ってください。 チャンネル 6 チャンネル 7 0xxx : AN6 AN7 1000 : CIN0 CIN8* 1001 : CIN1 CIN9* 1010 : CIN2 CIN10* 1011 : CIN3 CIN11* 1100 : CIN4 CIN12* 1101 : CIN5 CIN13* 1110 : CIN6 CIN14* 1111 : CIN7 CIN15*
1	KBCH1	0	R/W	
0	KBCH0	0	R/W	

【注】 x : Don't care

* CIN8～CIN15 は H8S/2144B のみです。

14.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

14.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

14.4.2 スキャンモード

スキャンモードは、複数チャネル (1 チャネルを含む) のアナログ入力を常にモニタするような応用に適しています。ソフトウェア、タイムまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャネル (CH2=0 のとき AN0、CH2=1 のとき AN4) から A/D 変換は開始されます。

複数のチャネルが選択されている場合は、第 1 チャネルの変換が終了した後、ただちに第 2 チャネル (AN1 または AN5) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャネル内を連続して繰り返し行います。変換された結果は、各チャネルに対応した ADDR に転送され保持されます。

スキャンモードで 3 チャネル (AN0~AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。

動作タイミングを図 14.2 に示します。

1. 動作モードをスキャンモードに (SCAN=1)、スキャングループを 0 に (CH2=0)、アナログ入力チャネルを AN0~AN2 (CH1=1、CH0=0) に設定して A/D 変換を開始 (ADST=1) します。
2. 第 1 チャネル (AN0) の A/D 変換が開始され A/D 変換が終了すると、変換結果を ADDR1 に転送します。
次に第 2 チャネル (AN1) が自動的に選択され、変換を開始します。
3. 同様に第 3 チャネル (AN2) まで変換を行います。
4. 選択されたすべてのチャネル (AN0~AN2) の変換が終了すると、ADF=1 となり、再び第 1 チャネル (AN0) を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると A/D 変換終了後、ADI 割り込みが発生します。

14. A/D 変換器

5. ADSTビットが1にセットされている間は、2～4を繰り返します。

ADSTビットを0にクリアするとA/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル（AN0）から変換が行われます。

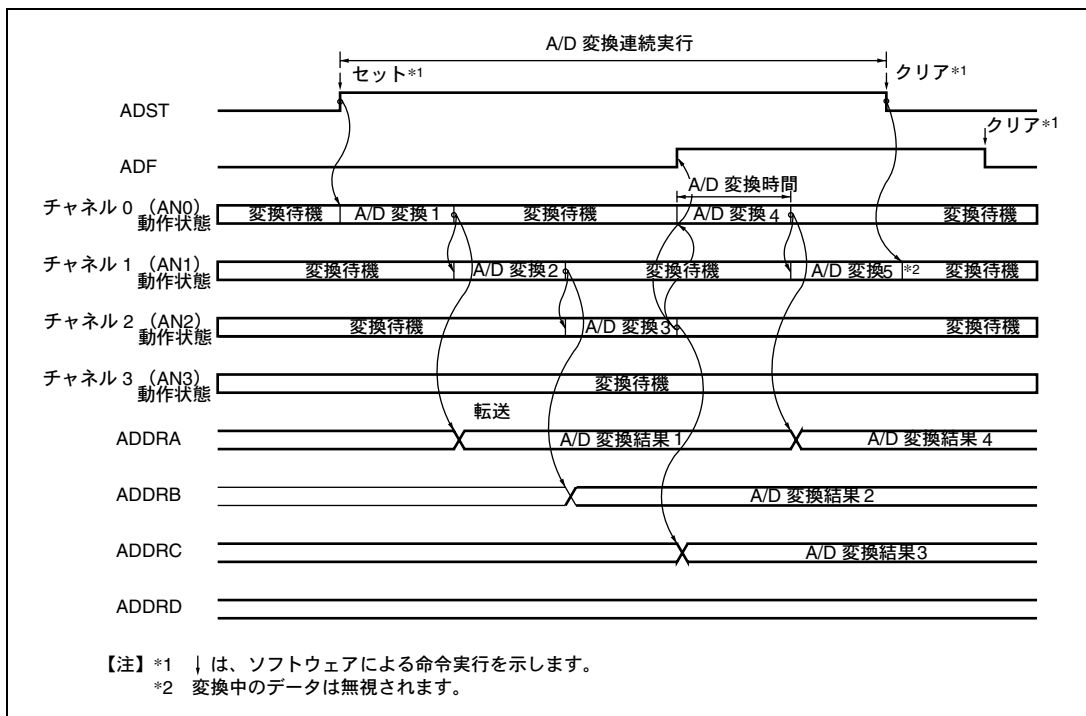


図 14.2 A/D 変換器の動作例（スキャンモード AN0～AN2 の3チャンネル選択時）

14.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_b)時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 14.3 に示します。また、A/D 変換時間を表 14.3 に示します。

A/D 変換時間(t_{conv})は、図 14.3 に示すように、 t_b と入力サンプリング時間(t_{spt})を含めた時間となります。ここで t_b は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 14.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 14.3 に示す値が 1 回目の変換時間となります。2 回目以降は CKS=0 の場合は 256 ステート（固定）、CKS=1 の場合は 128 ステート（固定）となります。

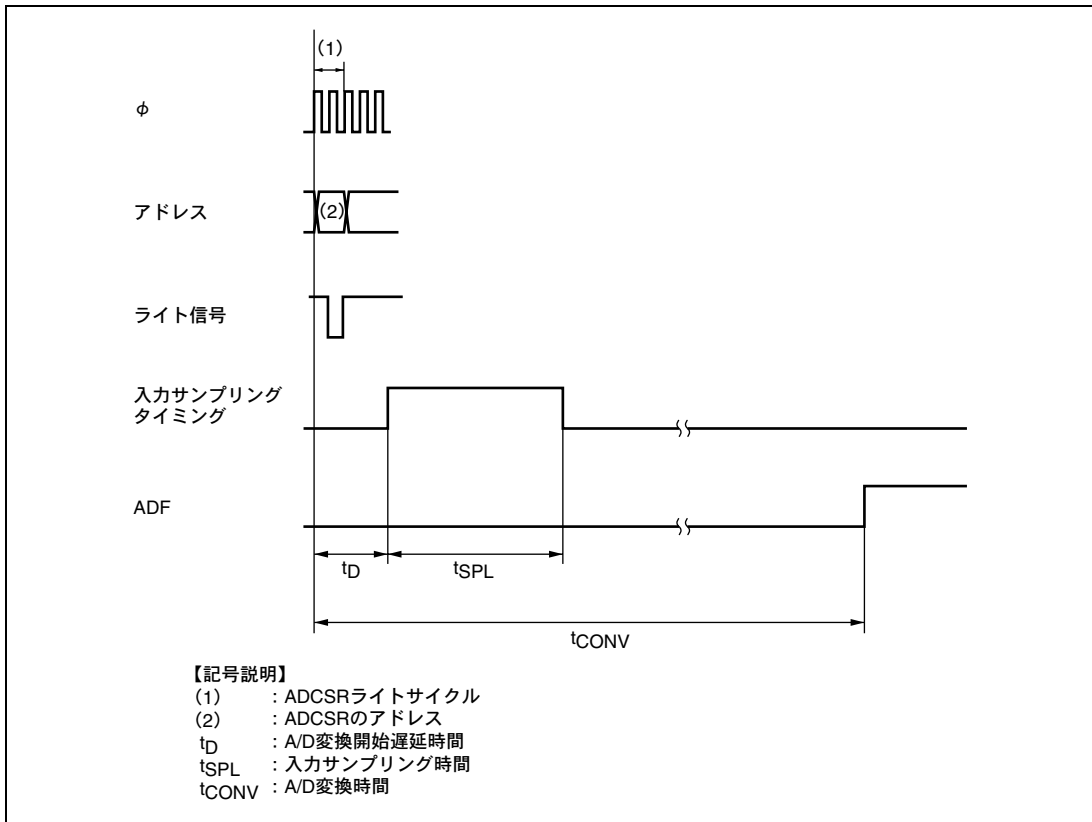


図 14.3 A/D 変換タイミング

表 14.3 A/D 変換時間（シングルモード）

項目	記号	CKS=0			CKS=1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10	—	17	6	—	9
入力サンプリング時間	t_{SPL}	—	63	—	—	31	—
A/D 変換時間	t_{CONV}	259	—	266	131	—	134

【注】 表中の数値の単位はステートです。

14.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 14.4 に示します。

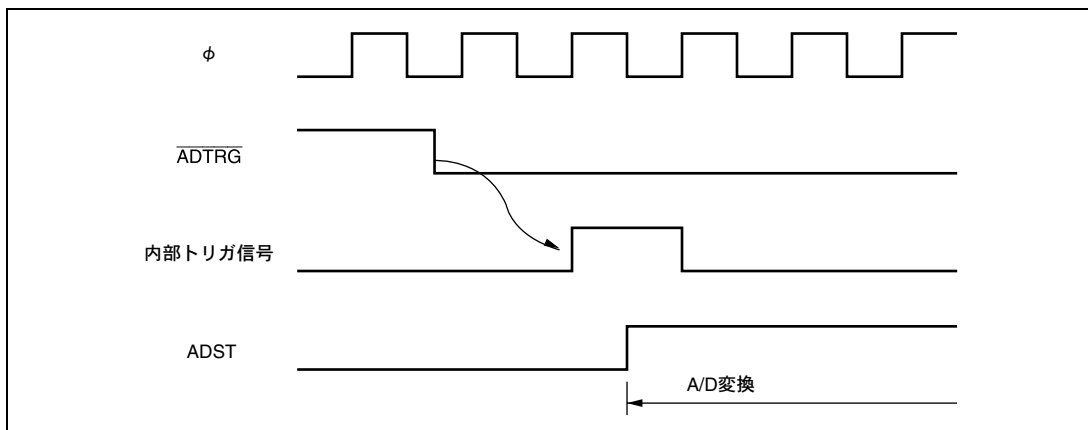


図 14.4 外部トリガ入力タイミング

14.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。

14.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図14.5)

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図14.6)

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図14.6)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図14.6)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

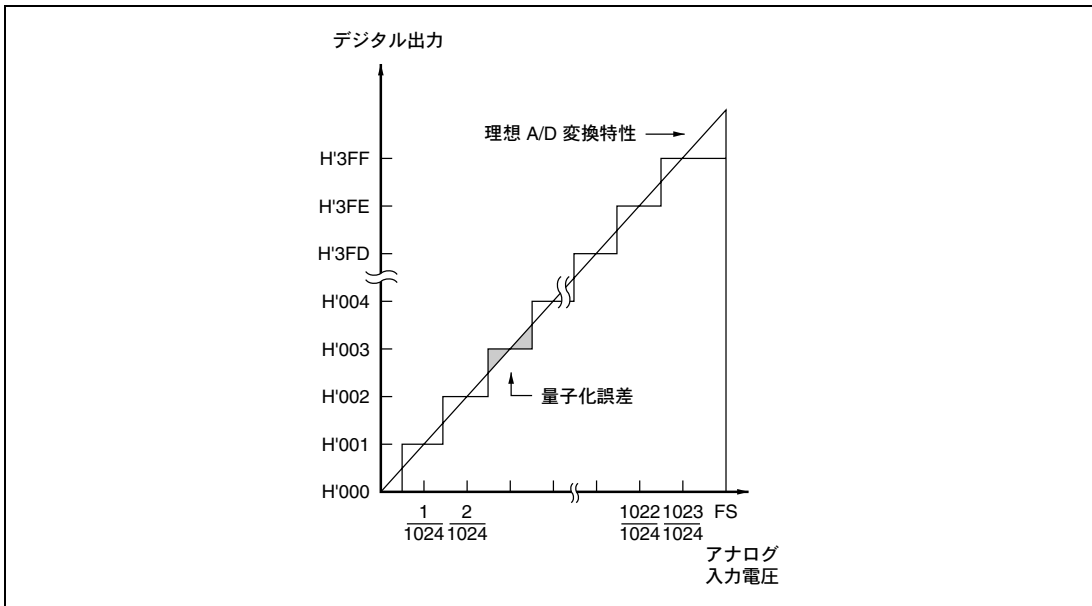


図 14.5 A/D 変換精度の定義

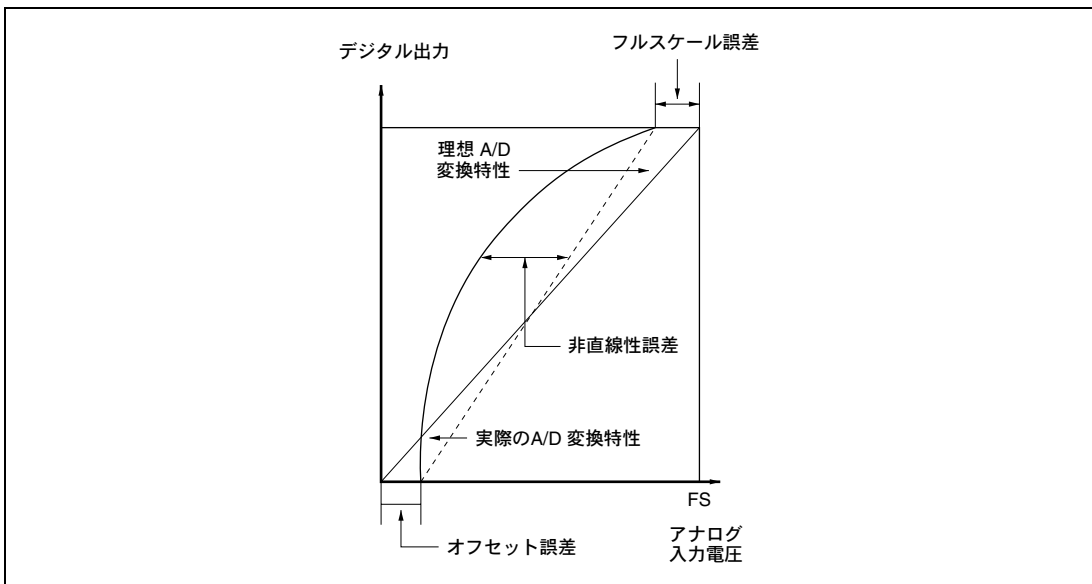


図 14.6 A/D 変換精度の定義

14.7 使用上の注意事項

14.7.1 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が $5mV/\mu s$ 以上）には追従できないことがあります（図 14.7）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。詳細は「第 20 章 電気的特性」を参照してください。

14.7.2 絶対精度への影響

容量を付加することにより、グラウンドとのカップリングを受けることになりますので、グラウンドにノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定なグラウンドに接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

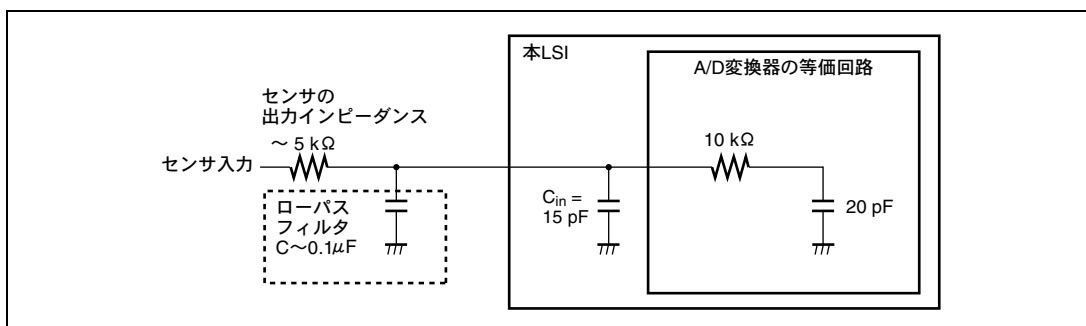


図 14.7 アナログ入力回路の例

14.7.3 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{SS} \leq AN_n \leq AV_{ref}^*$ の範囲としてください。（ $n=0\sim 7$ ）

【注】 * H8S/2144B のみです。H8S/2134B では $AV_{SS} \leq AN_n \leq AV_{CC}$ の範囲としてください。

- デジタル入力電圧の範囲

デジタル入力端子 CIN_n に印加する電圧は $AV_{SS} \leq CIN_n \leq AV_{ref}^*$ かつ $V_{SS} \leq CIN_n \leq V_{CC}$ の範囲としてください。

（H8S/2144B : $n=0\sim 15$ 、H8S/2134B : $n=0\sim 7$ ）

【注】 * H8S/2144B のみです。H8S/2134B では $AV_{CC} \leq CIN_n \leq AV_{CC}$ の範囲としてください。

- AVcc、AVssとVcc、Vssの関係

AVcc、AVssとVcc、Vssとの関係はAVss=Vssとし、さらに、A/D変換器を使用しないときもAVcc、AVss端子をオープンにしないでください。

- AVref*端子の設定範囲

AVref*端子によるリファレンス電圧の設定範囲はAVref*≤AVccにしてください。

【注】* H8S/2144Bのみです。

14.7.4 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN7）、アナログ基準電圧（AVref*）、アナログ電源電圧（AVcc）は、アナロググランド（AVss）で、デジタル回路と分離してください。さらに、アナロググランド（AVss）は、ボード上の安定したグランド（Vss）に一点接続してください。

【注】* H8S/2144Bのみです。

14.7.5 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN7）、アナログ基準電圧（AVref*）の破壊を防ぐために、図 14.8 に示すようにAVcc-AVss間に保護回路を接続してください。AVcc、AVref*に接続するバイパスコンデンサ、AN0～AN7に接続するフィルタ用のコンデンサは、必ずAVssに接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN7の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどでA/D変換を頻繁に行う場合、A/D変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（R_{in}）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

【注】* H8S/2144Bのみです。

14. A/D 変換器

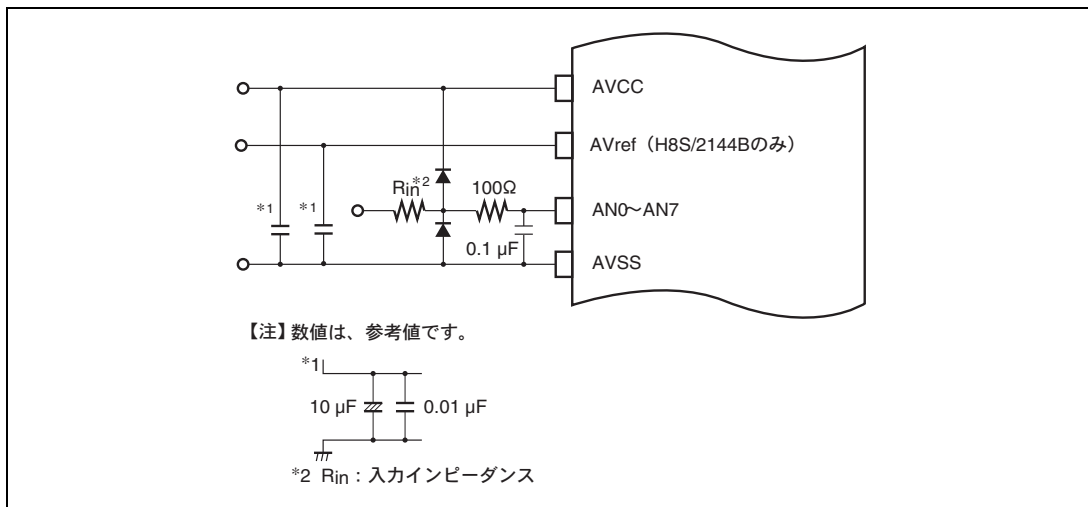


図 14.8 アナログ入力保護回路の例

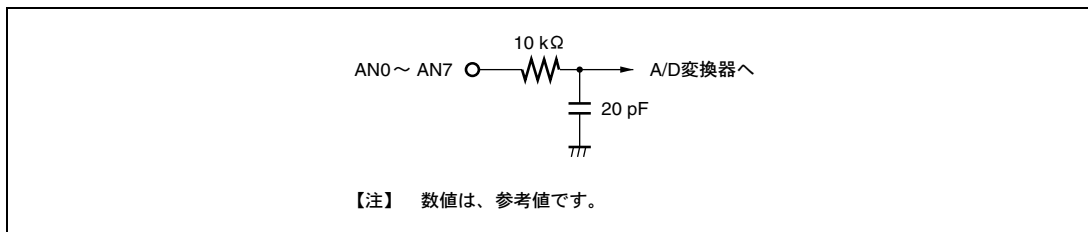


図 14.9 アナログ入力端子等価回路

14.7.6 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作停止/許可を設定することが可能です。初期値では A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 18 章 低消費電力状態」を参照してください。

15. RAM

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブルビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8S/2144B	4K バイト	H'E080~H'EFFF、H'FF00~H'FF7F
	H8S/2134B	4K バイト	H'E080~H'EFFF、H'FF00~H'FF7F

16. ROM

本 LSI に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 16.1 に示します。

16.1 特長

- 容量

製品区分	ROM 容量	ROM アドレス
H8S/2144B	128K バイト	H'000000~H'01FFFF (モード 2) H'0000~H'DFFF (モード 3)
H8S/2134B	128K バイト	H'000000~H'01FFFF (モード 2) H'0000~H'DFFF (モード 3)

- 書き込み／消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは、32Kバイト×2ブロック、8Kバイト×2ブロック、16Kバイト×1ブロック、28Kバイト×1ブロック、1Kバイト×4ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き込み／消去時間

書き込み時間は128バイト同時書き込みで10ms (typ.)、1バイトあたり換算約80 μ s (typ.) です。

消去時間はブロックあたり100ms (typ.) です。

- 書き換え回数

100回まで書き換え可能です。

16. ROM

- オンボードプログラミングモード：2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み／消去ができます。この他、ユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み／消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。

- ライタモード

オンボードプログラミングの他にPROMライタを用いて書き込み／消去を行うライタモードがあります。

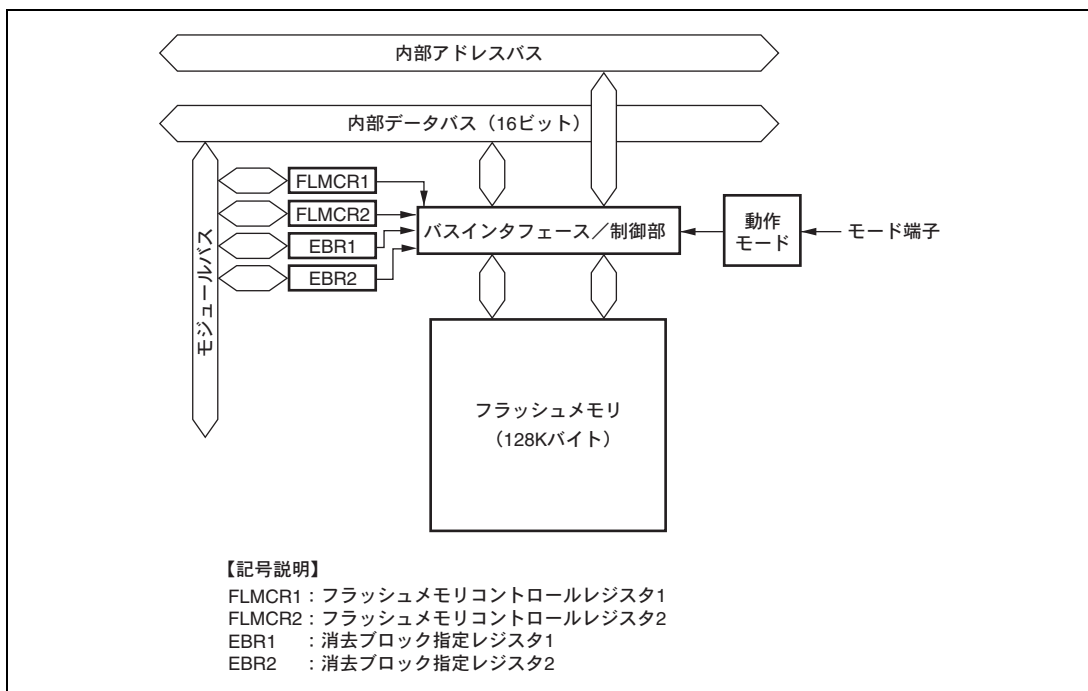


図 16.1 フラッシュメモリのブロック図

16.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本LSIは図16.2に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

表16.1にブートモードとユーザプログラムモードの相違点を示します。図16.3にブートモードを、図16.4にユーザプログラムモードを示します。

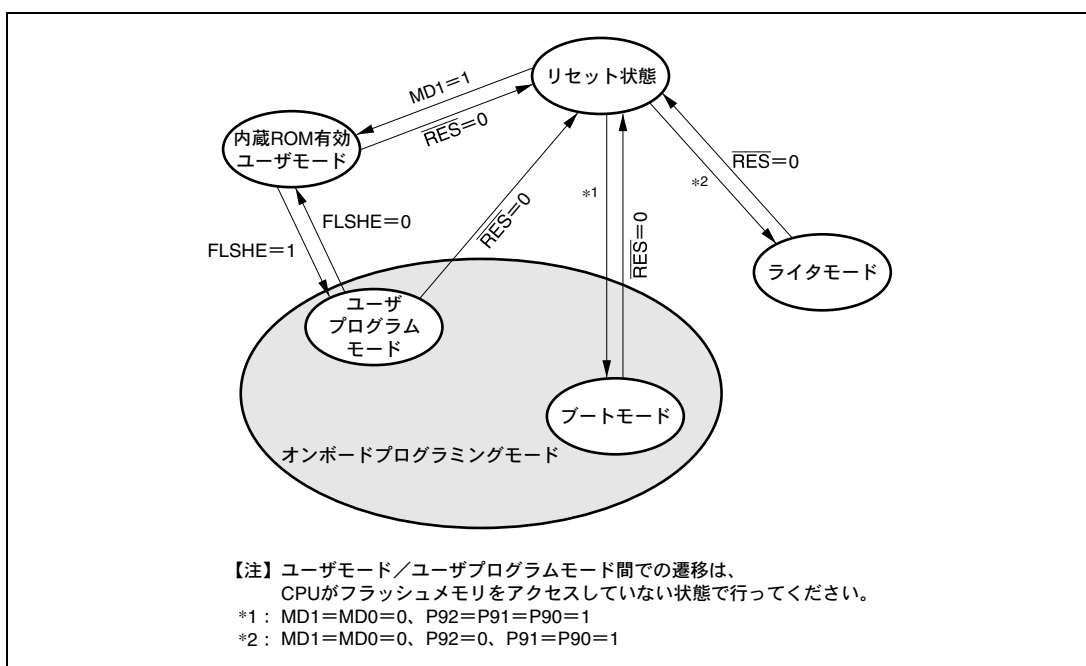


図 16.2 フラッシュメモリに関する状態遷移

表 16.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御プログラム*	プログラム/プログラムベリファイ	プログラム/プログラムベリファイ イレース/イレースベリファイ

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

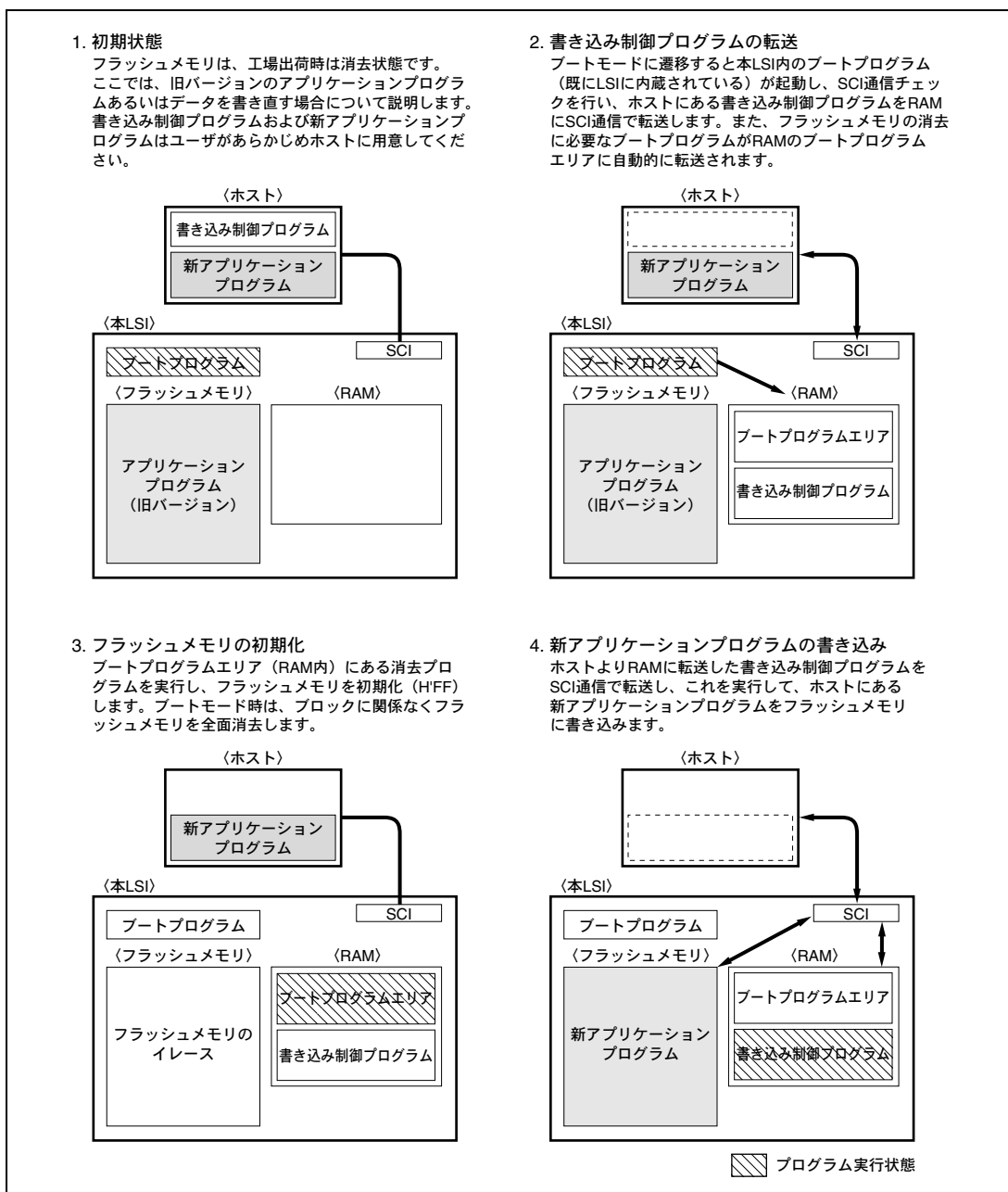
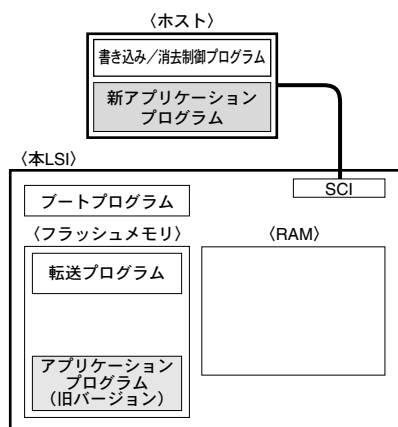


図 16.3 ブートモード

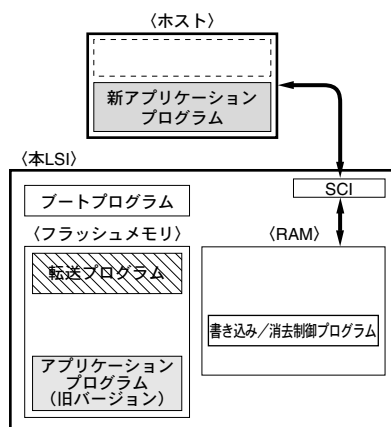
1. 初期状態

- (1) 書き込み/消去制御プログラムを内蔵RAMに転送するプログラムは、あらかじめユーザがフラッシュメモリに書き込んでおいてください。
 (2) 書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



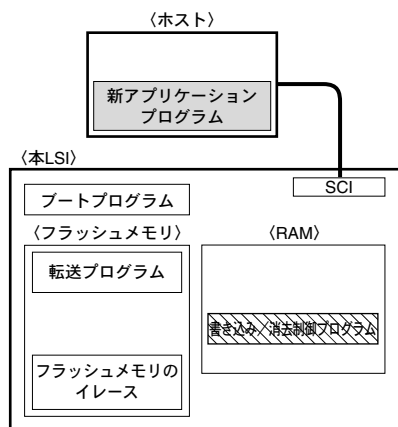
2. 書き込み/消去制御プログラムの転送

- フラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



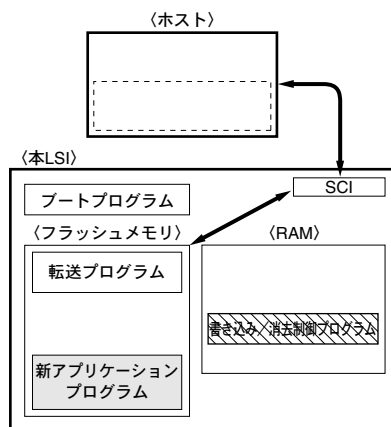
3. フラッシュメモリの初期化

- RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (HFF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

- 次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 16.4 ユーザプログラムモード (例)

16.3 ブロック構成

16.3.1 ブロック構成

図 16.5 に 128K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 32K バイト (2 ブロック)、8K バイト (2 ブロック)、16K バイト (1 ブロック)、28K バイト (1 ブロック)、1K バイト (4 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

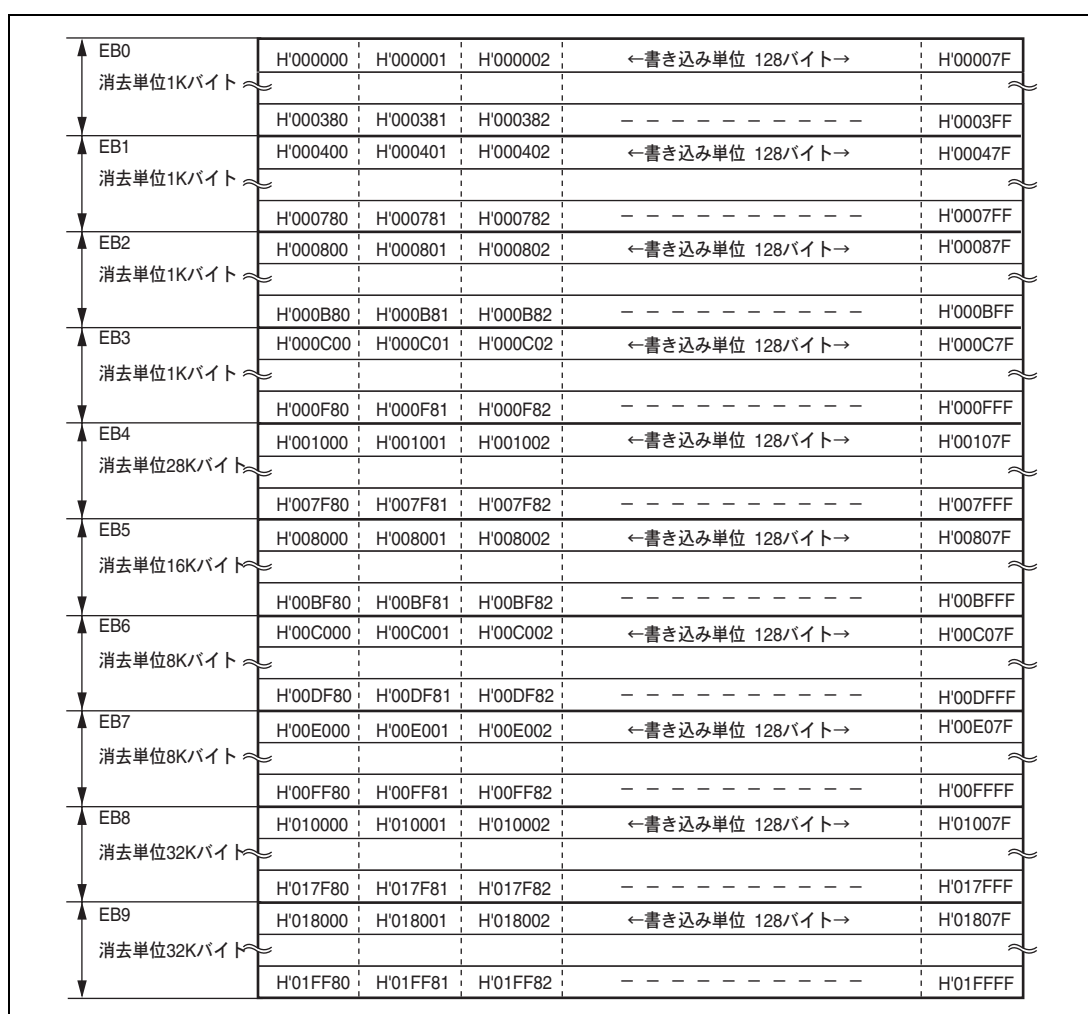


図 16.5 フラッシュメモリのブロック構成

16.4 入出力端子

フラッシュメモリは表 16.2 に示す端子により制御されます。

表 16.2 端子構成

端子名	入出力	機 能
RES	入力	リセット
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
P92	入力	本 LSI の動作モードを設定
P91	入力	本 LSI の動作モードを設定
P90	入力	本 LSI の動作モードを設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

16.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。FLMCR1、FLMCR2、EBR1、EBR2 をアクセスするためには、シリアルタイムコントロールレジスタ (STCR) の FLSHE ビットを 1 にセットする必要があります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)

16.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は FLMCR2 と組み合わせて設定することで、フラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「16.8 フラッシュメモリの書き込み/消去」を参照してください。

FLMCR1 はリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードで H'80 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	FWE	1	R	フラッシュライトイネーブル 内蔵フラッシュメモリへの書き込み/消去を制御します。リードすると常に 1 が読み出されます。ライトは無効です。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み/消去が可能となります。0 のときこのレジスタの EV、PV、E、P ビットと FLMCR2 の ESU、PSU ビットと EBR1、EBR2 の各ビットは 1 にセットできません。また、これらのビットと同時に 0 にクリアしないでください。
5	—	0	R	リザーブビット
4	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
3	EV	0	R/W	イレースベリファイ SWE=1 の状態でこのビットを 1 にセットするとイレースベリファイモードへ遷移し、0 にクリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ SWE=1 の状態でこのビットを 1 にセットするとプログラムベリファイモードへ遷移し、0 にクリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE=1、ESU=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、0 にクリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE=1、PSU=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、0 にクリアするとプログラムモードを解除します。

16.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）の有無のモニタと、フラッシュメモリのプログラム/イレースモードへのセットアップを行います。FLMCR2 はリセット、ハードウェアスタンバイモードで H'00 に初期化されます。ESU ビット、PSU ビットはソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード、および FLMCR1 の SWE ビットが 0 のとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	フラッシュメモリエラー このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「16.9.3 エラープロテクト」を参照してください。
6~2	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
1	ESU	0	R/W	イレースセットアップ SWE=1 の状態でこのビットを 1 にセットするとイレースセットアップ状態となり、0 にクリアするとセットアップ状態を解除します。FLMCR1 の E ビットを 1 にセットする前に、このビットを 1 にセットしてください。
0	PSU	0	R/W	プログラムセットアップ SWE=1 の状態でこのビットを 1 にセットするとプログラムセットアップ状態となり、0 にクリアするとセットアップ状態を解除します。FLMCR1 の P ビットを 1 にセットする前に、このビットを 1 にセットしてください。

16.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。EBR1、EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード、および FLMCR1 の SWE ビットが 0 のとき H'00 に初期化されます。このレジスタは 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1、EBR2 は 0 に自動クリアされます。

• EBR1

ビット	ビット名	初期値	R/W	説明
7~2	—	すべて 0	R(W)	リザーブビット 初期値を変更しないでください。
1	EB9	0	R/W*	このビットが 1 のとき EB9 (H'018000~H'01FFFF) の 32K バイトが消去対象となります。
0	EB8	0	R/W*	このビットが 1 のとき EB8 (H'010000~H'017FFF) の 32K バイトが消去対象となります。

• EBR2

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W*	このビットが 1 のとき EB7 (H'00E000~H'00FFFF) の 8K バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'00C000~H'00DFFF) の 8K バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'008000~H'00BFFF) の 16K バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'001000~H'007FFF) の 28K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'000C00~H'000FFF) の 1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'000800~H'000BFF) の 1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'000400~H'0007FF) の 1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000~H'0003FF) の 1K バイトが消去対象となります。

【注】 * ノーマルモードの場合は 0 が読み出され、ライトは無効です。

16.6 動作モード

フラッシュメモリはCPUと16ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1ステートでアクセスできます。偶数番地が上位8ビット、奇数番地が下位8ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵ROMの有効または無効の設定はモード端子(MD1、MD0)およびMDCRのEXPEビットにより行います。この設定を表16.3に示します。

ノーマルモード(モード3)のとき、使用できるROMは最大56Kバイトになります。

表 16.3 動作モードとROM

動作モード			モード端子		MDCR	内蔵ROM
MCU 動作モード	CPU 動作モード	内容	MD1	MD0	EXPE	
モード1	ノーマル	内蔵ROM無効拡張モード	0	1	1	無効
モード2	アドバンスト	シングルチップモード	1	0	0	有効(128Kバイト)
	アドバンスト	内蔵ROM有効拡張モード	1	0	1	
モード3	ノーマル	シングルチップモード	1	1	0	有効(56Kバイト)
	ノーマル	内蔵ROM有効拡張モード	1	1	1	

16.7 オンボードプログラミング

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、バリファイを行うことができます。本モードには、2種類の動作モード(ブートモード、ユーザプログラムモード)があります。ブートモードの設定方法は、表16.4を参照してください。ユーザプログラムモードは、ソフトウェアで制御ビットを設定し動作可能です。また、フラッシュメモリに関する各モードへの状態遷移図は、図16.2を参照してください。

表 16.4 オンボードプログラミングモードの設定方法

モード設定		MD1	MD0	P92	P91	P90
ブートモード		0	0	1*	1*	1*
ユーザプログラムモード	モード2(アドバンストモード)	1	0	—	—	—
	モード3(ノーマルモード)	1	1	—	—	—

【注】 * ブートモード起動後はI/Oポートとして使用可能です。

16.7.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 16.5 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「16.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
2. SCI_1は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI_1のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD1端子がHighの状態で行ってください。必要に応じてRxD1端子およびTx/D1端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表16.6の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。実行が終了した本エリアにホスト側から送信される書き込み制御プログラムを格納します。格納できるエリアはH'FFE080～H'FFE87F番地です。ただし、H'FFE080～H'FFE087番地はIDコードを配置します。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。図16.6にブートモード時の内蔵RAMエリアを示します。
6. 書き込み制御プログラム（RAMエリアのH'FFE088）に分岐するときSCI_1は送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。Tx/D1端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、モード端子を設定してリセットを解除*1してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。

8. ブートモードの途中でモード端子の入力レベルを変化させないでください。リセット中にモード端子の入力レベルを変化（例えばLowレベル→Highレベル）させると、動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号（ \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{WR} ）の状態が変化*²します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、外部の信号と衝突しないように注意してください。
9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

- 【注】 *1 モード端子の入力はリセット解除後、モードプログラミングセットアップ時間（ $t_{MDS}=4$ ステート）を満足する必要があります。
- *2 アドレス兼用ポートは、リセット中にモード端子がモード1の設定になったとき、アドレスとしてLowレベルを出力します。それ以外のモードではハイインピーダンス状態となります。また、バス制御出力信号はリセット中にモード端子がモード1の設定になったとき、Highレベルを出力します。それ以外のモードではハイインピーダンス状態となります。

表 16.5 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 <div style="border: 1px solid black; border-radius: 15px; padding: 5px; display: inline-block;">ブートプログラム起動</div>
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 ↓ H'00を正常に受信したらH'55送信 ↓ H'AA受信	H'00,H'00・・・H'00 ↓ H'00 ↓ H'55 ↓ H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_1のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 ↓ H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 ↓ 書き込み制御プログラムを1バイト毎に送信(N回繰り返し)	上位バイト、下位バイト ↓ エコーバック ↓ H'XX ↓ エコーバック	受信した2バイトデータをホストへエコーバック ↓ 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し)
フラッシュメモリ消去	ブートプログラム消去エラー ↓ H'AA受信	H'FF ↓ H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 16.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本LSIのシステムクロック周波数範囲
19200bps	8~20MHz
9600bps	4~20MHz
4800bps	2~18MHz

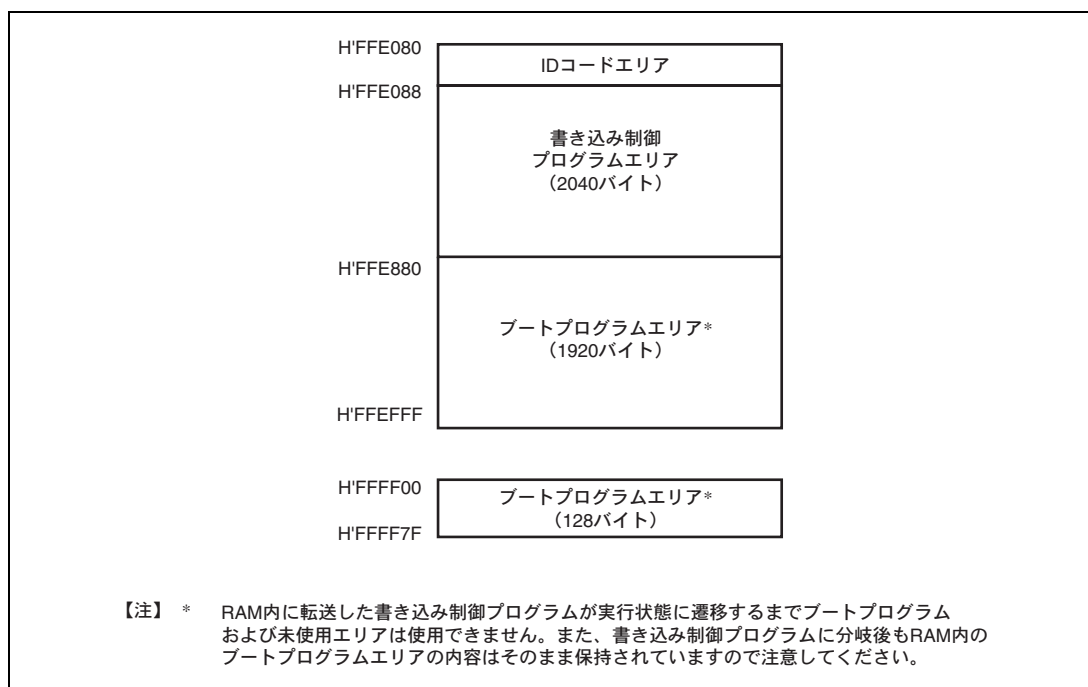


図 16.6 ブートモード時の内蔵 RAM エリア

本 LSI のブートモードでは 8 バイトの ID コードエリアの内容を確認し、本 LSI に対応した書き込み制御プログラムであるか識別します。ブートモードで使用する書き込み制御プログラムをオリジナルで作成する際には、8 バイトの ID コードをプログラムの先頭に追加してください。

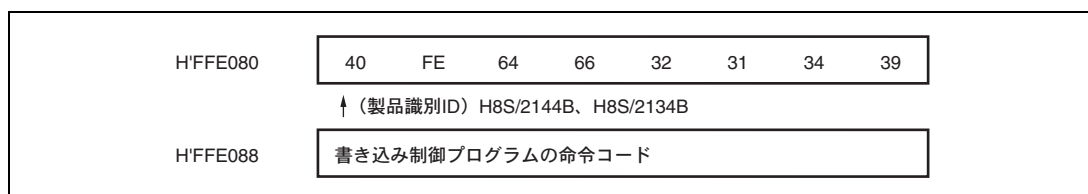


図 16.7 ID コードエリア

16.7.2 ユーザプログラムモード

ユーザモードではユーザが用意した書き込み／消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができるユーザプログラムモードがあります。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み／消去プログラムを書き込んでおくか、書き込み／消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み／消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み／消去プログラムは内蔵 RAM に転送して実行してください。図 16.8 にユーザプログラムモードでの書き込み／消去手順の例を示します。書き込み／消去プログラムは「16.8 フラッシュメモリの書き込み／消去」に沿ったものを用意してください。

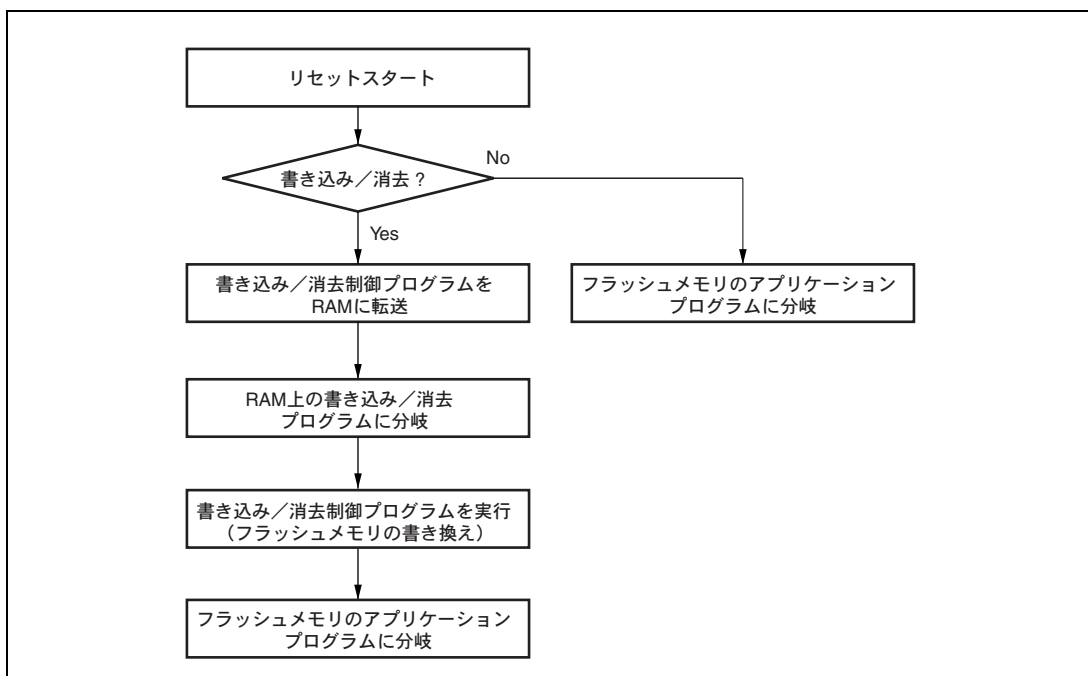
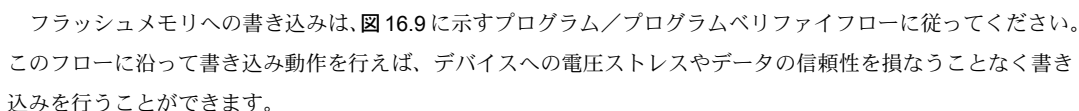


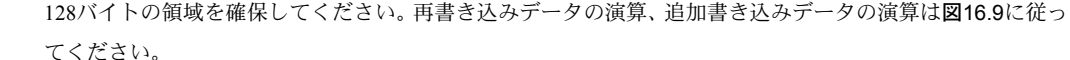
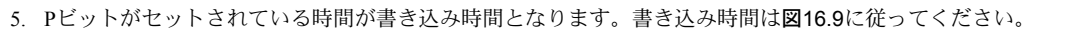
図 16.8 ユーザプログラムモードにおける書き込み／消去例

16.8 フラッシュメモリの書き込み／消去

オンボードでのフラッシュメモリの書き込み／消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1、FLMCR2の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザプログラムモードでの書き込み／消去プログラムではこれらのモードを組み合わせ書き込み／消去を行います。フラッシュメモリへの書き込みは「16.8.1 プログラム／プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「16.8.2 イレース／イレースベリファイ」に沿って行ってください。

16.8.1 プログラム／プログラムベリファイ

フラッシュメモリへの書き込みは、に示すプログラム／プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、既書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算はに従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間はに従ってください。
6. ウォッチドッグタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は $(y+z2+\alpha+\beta)$ μ sより大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
8. 同一ビットに対するプログラム／プログラムベリファイシーケンスの繰り返しは、(N)回を超えないようにしてください。

16. ROM

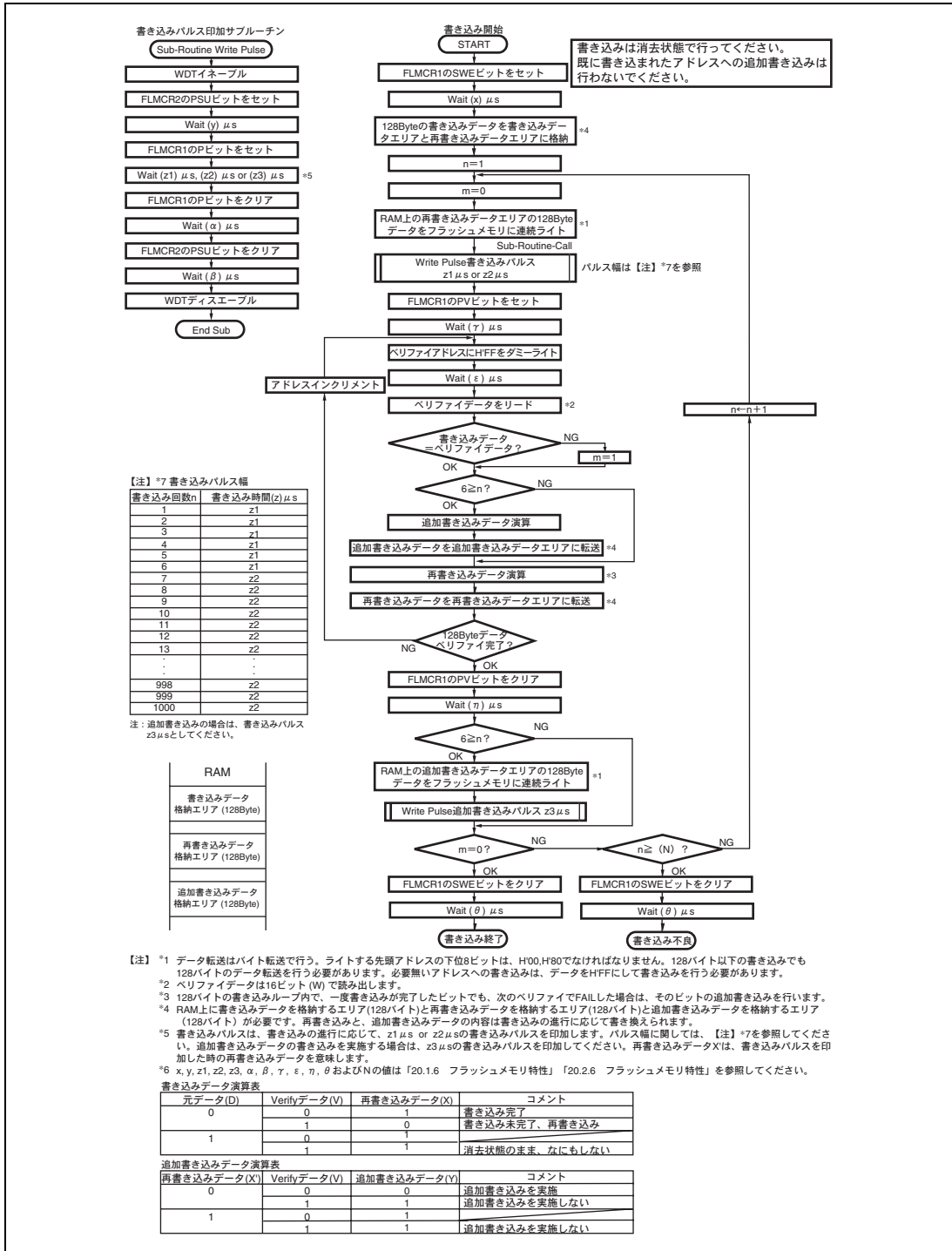


図 16.9 プログラム/プログラムベリファイフロー

16.8.2 イレース/イレースベリファイ

消去は図 16.10 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、2（EBR1、EBR2）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドッグタイマの設定はプログラムの暴走等による過剰消去を避けるためのものです。オーバフロー周期は $(y+z+\alpha+\beta)$ msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。

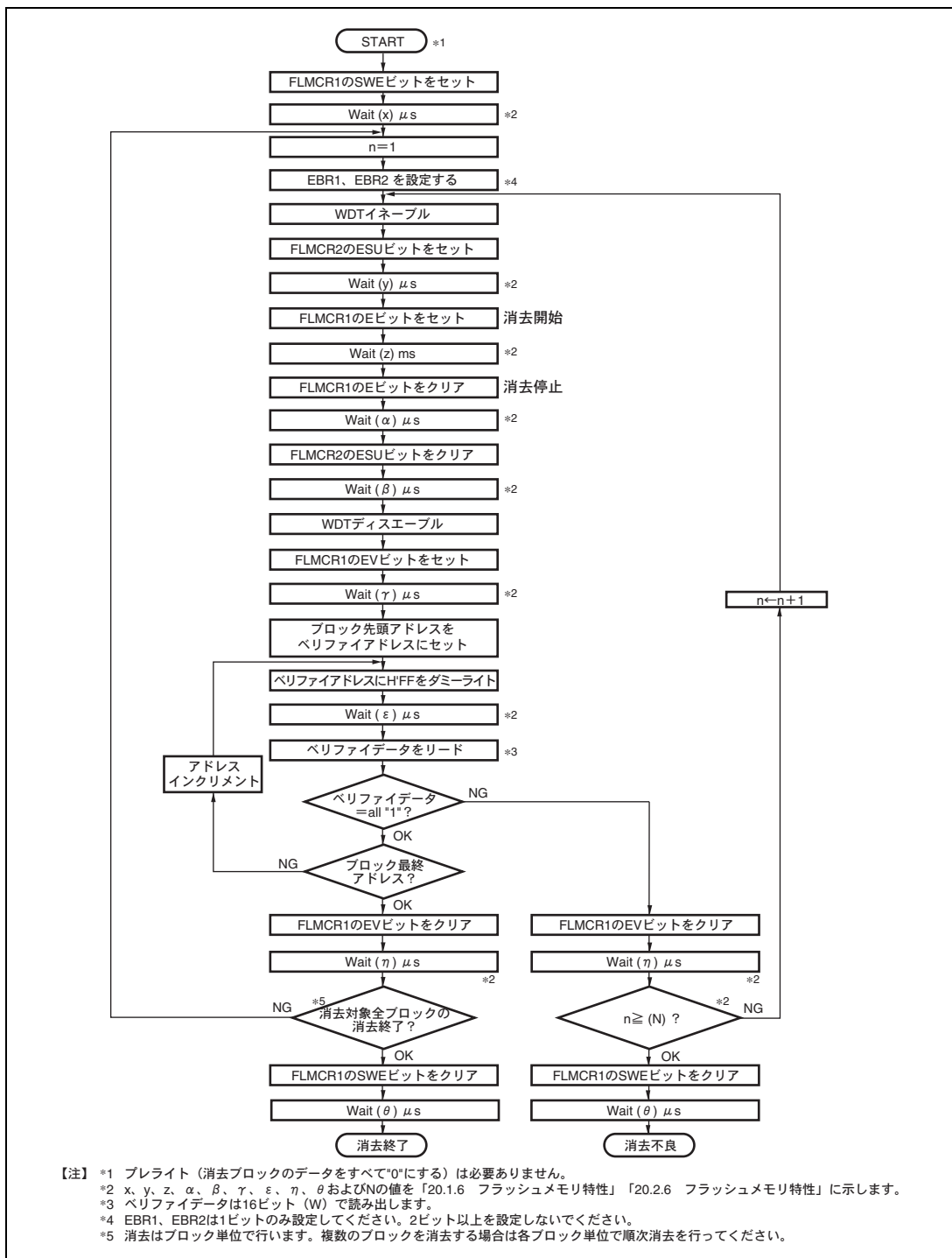


図 16.10 イレース/イレースペリファイフロー

16.9 書き込み／消去プロテクト

フラッシュメモリに対する書き込み／消去プロテクトにはハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類あります。

16.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセット(WDTのオーバフローリセット含む)、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードへの状態遷移によりフラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1、2(FLMCR1、FLMCR2)、消去ブロック指定レジスタ1、2(EBR1、EBR2)が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子をLowレベルに保持しないとリセット状態になりません。また、動作中のリセットはAC特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子をLowレベルに保持してください。

16.9.2 ソフトウェアプロテクト

ソフトウェアでFLMCR1のSWEビットをクリアすることで全ブロック書き込み／消去プロテクト状態になります。この状態でFLMCR1のPビットまたはEビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、消去ブロック指定レジスタ1、2(EBR1、EBR2)の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2をH'00に設定すると全ブロックが消去プロテクト状態になります。

16.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み／消去中にCPUの暴走や書き込み／消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み／消去動作を中断した状態です。書き込み／消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中に以下のエラーを検出すると、FLMCR2のFLERビットが1にセットされ、エラープロテクト状態となります。

- 書き込み／消去中のフラッシュメモリ読み出し(ベクタリードおよび命令フェッチを含む)
- 書き込み／消去中のリセットを除く例外処理開始
- 書き込み／消去中のSLEEP命令実行(ソフトウェアスタンバイ、スリープ、サブアクティブ、サブスリープ、ウォッチモードへの遷移)
- 書き込み／消去中にCPUがバス権を失ったとき

このとき、FLMCR1、FLMCR2、EBR1、EBR2の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。Pビット、Eビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PVビット、EVビットは保持され、ペリファイモードへの遷移は可能です。エラープロテクト状態は、リセットまたはハードウェアスタンバイモードによってのみ解除できます。

16.10 フラッシュメモリの書き込み／消去時の割り込み

フラッシュメモリへの書き込み、消去中（FLMCR1のPビットまたはEビットがセット）、およびブートモードでのブートプログラム実行中*¹は、書き込み、消去動作を最優先とするため、NMI入力を含むすべての割り込みを禁止してください。

1. 書き込み、消去中に割り込みが発生すると、正常な書き込み／消去アルゴリズムに沿った動作が保証できなくなります。
2. 書き込み／消去中の割り込み例外処理では正常なベクタリードができないため*²、結果としてCPUが暴走してしまいます。
3. ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなります。

【注】 *¹ 書き込み制御プログラムによる書き込みが完了するまでは、CPU内部と外部で割り込み要求を禁止する必要があります。

*² 以下の2つの理由によって正常なベクタリードが行われません。

- ・書き込み、消去中（FLMCR1のPビットまたはEビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません（値は不定）。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

16.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様にPROMライタで書き込み／消去を行うことができます。PROMライタはルネサス テクノロジ 128K バイトフラッシュメモリ内蔵マイコンデバイスタイプ*をサポートしているライタを使用してください。図 16.11 にライタモード時のメモリマップを示します。

【注】 * PROMライタの書き込み電圧を3.3Vに設定してください。



図 16.11 ライタモード時のメモリマップ

16.12 使用上の注意事項

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み/消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。PROM ライタは、ルネサス テクノロジ 128K バイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧 3.3V をサポートしているものを使用してください。また、ライタの設定を HN28F101 や書き込み電圧を 5.0V にセットしないでください。

(2) 電源投入/切断時の注意

V_{CC} 電源の印加/切断時は $\overline{\text{RES}}$ 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

(3) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

(4) SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に 100 μ s 以上の待ち時間をおいて行ってください。SWE ビットをセットするとフラッシュメモリのデータを書き換えることができますが、SWE=1 のときは、プログラムベリファイ/イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ（プログラム/イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中に SWE ビットのクリアを行わないでください。

(5) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

フラッシュメモリへの書き込み/消去を行う場合は、書き込み/消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(6) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

16. ROM

(7) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(8) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

17. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック (ϕ)、バスマスタクロック、および内部クロックを生成します。クロック発振器は、発振器、デューティ補正回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、波形形成回路で構成されます。クロック発振器のブロック図を図 17.1 に示します。

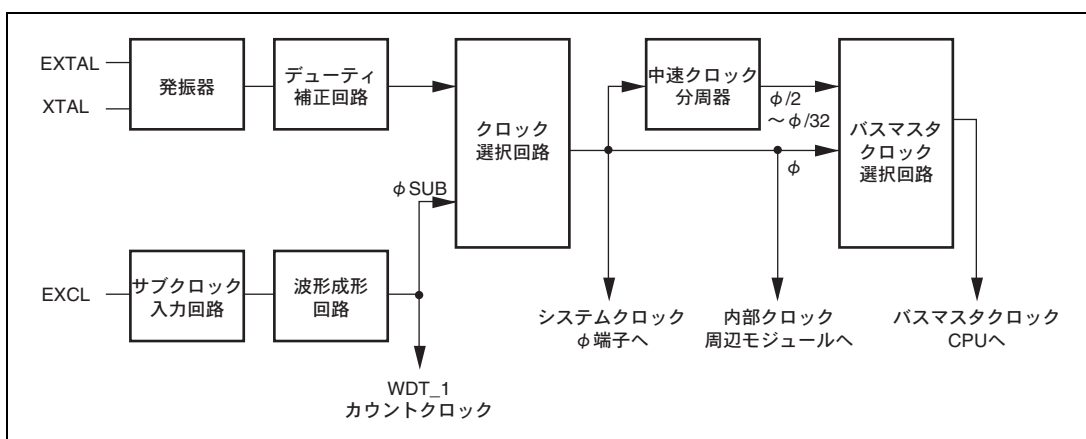


図 17.1 クロック発振器のブロック図

高速モード、中速モードでのバスマスタクロックの選択は、スタンバイコントロールレジスタの SCK2~SCK0 ビットの設定によりソフトウェアで行います。また、スタンバイコントロールレジスタについては、「18.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

サブクロック入力は、ローパワーコントロールレジスタの EXCLE ビットの設定によりソフトウェアで制御します。ローパワーコントロールレジスタについては「18.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

17. クロック発振器

17.1 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

17.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 17.2 に示します。ダンピング抵抗 R_d は表 17.1 に示すものを使用してください。水晶発振子は AT カット 並列共振形を使用してください。

水晶発振子の等価回路を図 17.3 に示します。水晶発振子は表 17.2 に示す特性のものを使用してください。水晶発振子は、システムクロック (ϕ) と同一の周波数のものを使用してください。

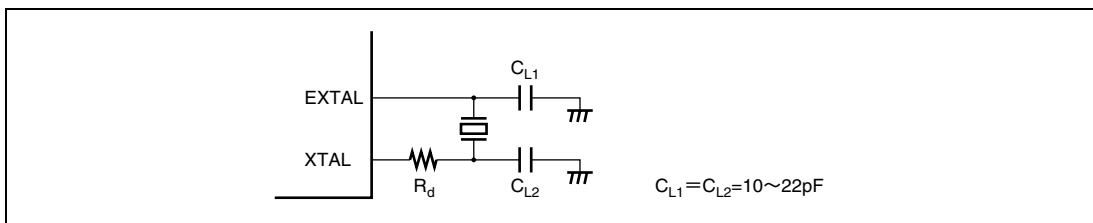


図 17.2 水晶発振子の接続例

表 17.1 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	16	20
R_d (Ω)	1k	500	200	0	0	0	0

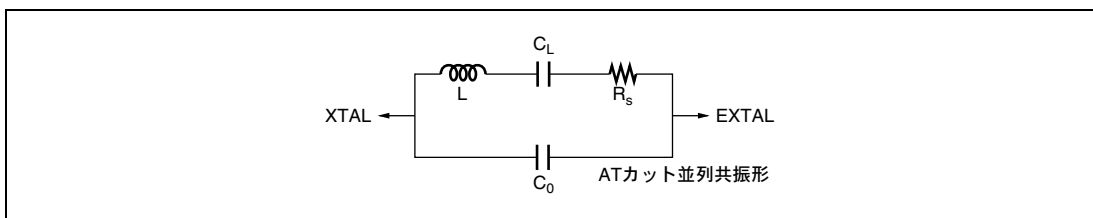


図 17.3 水晶発振子の等価回路

表 17.2 水晶発振子の特性

周波数 (MHz)	2	4	8	10	12	16	20
$R_s \text{ max}$ (Ω)	500	120	80	70	60	50	40
$C_0 \text{ max}$ (pF)	7						

17.1.2 外部クロックを入力する方法

外部クロック入力の接続例を図 17.4 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時は外部クロックを High レベルにしてください。外部クロックの入力条件を表 17.3 に示します。外部クロックはシステムクロック (ϕ) と同一の周波数としてください。

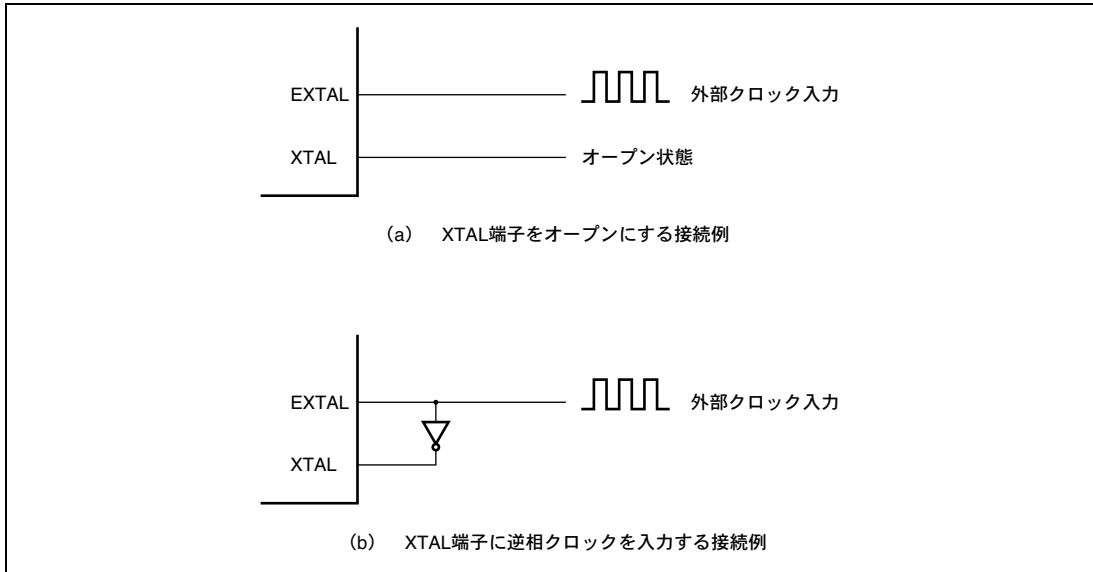


図 17.4 外部クロックの接続例

表 17.3 外部クロック入力条件

項目	記号	$V_{CC}=4.0\sim 5.5V$		$V_{CC}=5.0V\pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック入力パルス幅 Low レベル	t_{EXL}	25	—	20	—	ns	図 17.5	
外部クロック入力パルス幅 High レベル	t_{EXH}	25	—	20	—	ns		
外部クロック立ち上がり時間	t_{EXr}	—	5	—	5	ns		
外部クロック立ち下がり時間	t_{EXf}	—	5	—	5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	0.4	0.6	tcyc	$\phi \geq 5MHz$	図 20.4
		80	—	80	—	ns	$\phi < 5MHz$	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	0.4	0.6	tcyc	$\phi \geq 5MHz$	
		80	—	80	—	ns	$\phi < 5MHz$	

17. クロック発振器

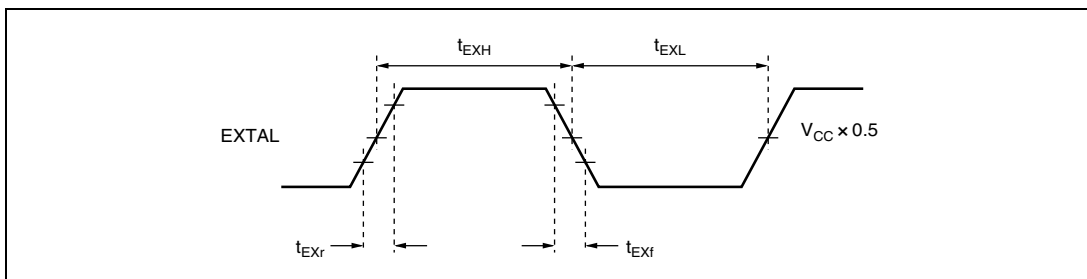


図 17.5 外部クロック入力タイミグ

発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low レベルにしリセット状態を保持してください。表 17.4 に外部クロック出力安定遅延時間、図 17.6 に外部クロック出力安定遅延時間タイミグを示します。

表 17.4 外部クロック出力安定遅延時間

条件： $V_{CC}=4.0V\sim 5.5V$ 、 $AV_{CC}=4.0V\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500	—	μs	図 17.6

【注】 * t_{DEXT} は、RES パルス幅 (t_{RESW}) を含みます。

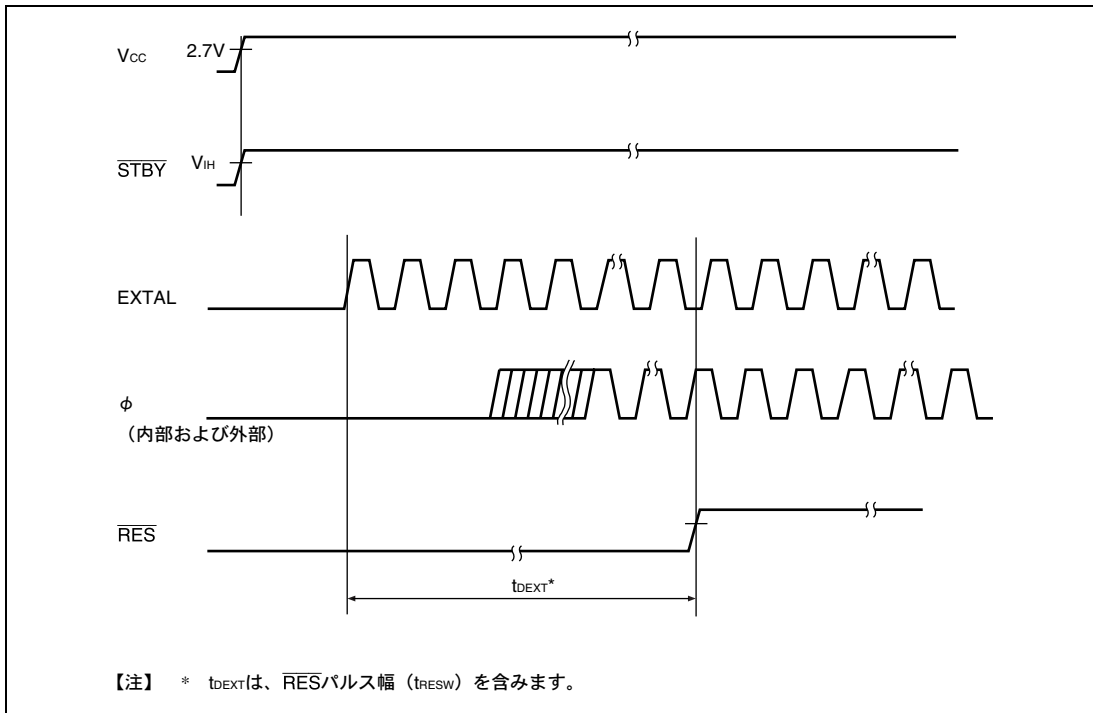


図 17.6 外部クロック出力安定遅延時間タイミング

17.2 デューティ補正回路

デューティ補正回路は発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正してシステムクロック (ϕ) を生成します。

17.3 中速クロック分周器

中速クロック分周器は、システムクロック (ϕ) を分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ を生成します。

17.4 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SBYCR の SCK2~SCK0 ビットによりシステムクロック (ϕ)、または中速クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) から選択します。

17.5 サブクロック入力回路

EXCL 端子からのサブクロック入力を制御します。サブクロックを使用する場合は、EXCL 端子から 32.768kHz の外部クロックを入力してください。このとき P9DDR の P96DDR ビットを 0 にクリアし、LPWRCR の EXCLE ビットを 1 にセットしてください。

サブクロックの入力条件を表 17.5 に示します。サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

表 17.5 サブクロック入力条件

項目	記号	$V_{CC}=4.0\sim 5.5V$			単位	測定条件
		Min	typ	Max		
サブクロック入力パルス幅 Low レベル	t_{EXCLL}	—	15.26	—	μs	図 17.7
サブクロック入力パルス幅 High レベル	t_{EXCLH}	—	15.26	—	μs	
サブクロック入力立ち上がり時間	t_{EXCLr}	—	—	10	ns	
サブクロック入力立ち下がり時間	t_{EXCLf}	—	—	10	ns	

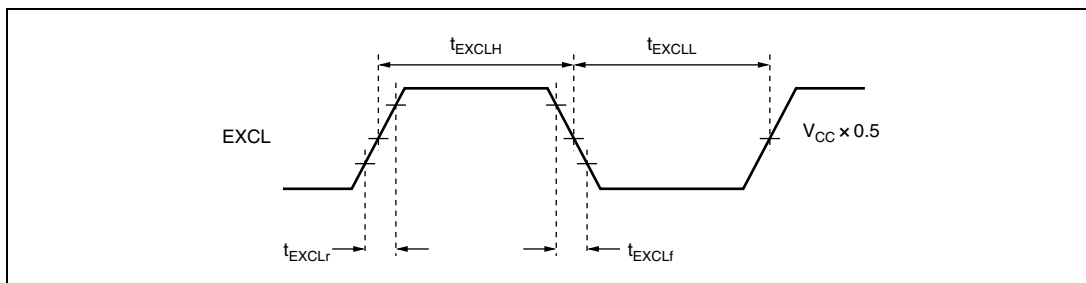


図 17.7 サブクロック入力タイミング

17.6 波形成形回路

EXCL 端子から入力されたサブクロックのノイズ除去のため、 ϕ クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。

サブアクティブモード、サブスリープモード、およびウォッチモードではサンプリングされません。

17.7 クロック選択回路

LSI 内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、リセット状態、スタンバイモードからの復帰時には、EXTAL、XTAL 端子の発振器で生成されるクロックをシステムクロックとして選択します。

サブアクティブモード、サブスリープモード、ウォッチモードでは、EXCL 端子から入力されるサブクロックをシステムクロックとして選択します。このとき、CPU、TMR_0、TMR_1、WDT_0、WDT_1、ポート、割り込みコントローラなどのモジュールおよび機能はφSUB により動作し、各タイマのカウントクロックやサンプリングクロックもφSUB を分周したクロックとなります。

17.8 使用上の注意事項

17.8.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本書で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

17.8.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。また、図 17.8 に示すように発振回路の近くには他の信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

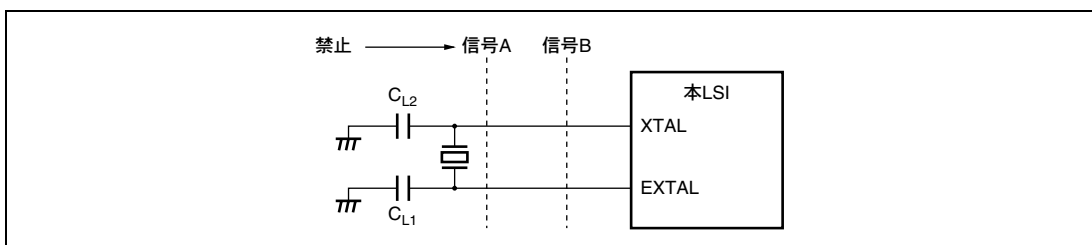


図 17.8 発振回路部のボード設計に関する注意事項

18. 低消費電力状態

リセット解除後の動作モードには、通常の高速モードでのプログラム実行状態のほかに消費電力を著しく低下させる7種類の低消費電力モードがあります。このほか、内蔵周辺モジュールを選択的に停止させて消費電力を低下させるモジュールストップモードがあります。

- 中速モード

CPUを動作させるシステムクロックの周波数は $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ の中から選択できます。

- サブアクティブモード

CPUはサブクロックで動作します。TMR_0、TMR_1、WDT_0、WDT_1以外の内蔵周辺モジュールは動作を停止します。

- スリープモード

CPUは動作を停止しますが、内蔵周辺モジュールは動作します。

- サブスリープモード

CPUおよびTMR_0、TMR_1、WDT_0、WDT_1以外の内蔵周辺モジュールは動作を停止します。

- ウォッチモード

CPUおよびWDT_1以外の内蔵周辺モジュールは動作を停止します。

- ソフトウェアスタンバイモード

クロック発振器が停止し、CPUおよび内蔵周辺モジュールは動作を停止します。

- ハードウェアスタンバイモード

クロック発振器が停止し、CPUおよび内蔵周辺モジュールはリセット状態になります。

- モジュールストップモード

上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることができます。

18.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。SBYCR、LPWRCR、MSTPCRH、MSTPCRL をアクセスするためには、シリアルタイムコントロールレジスタ（STCR）のFLSHE ビットを0にクリアする必要があります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ（STCR）」を参照してください。

- スタンバイコントロールレジスタ（SBYCR）
- ローパワーコントロールレジスタ（LPWRCR）
- モジュールストップコントロールレジスタH（MSTPCRH）
- モジュールストップコントロールレジスタL（MSTPCRL）

18.1.1 スタンバイコントロールレジスタ（SBYCR）

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0：スリープモードに遷移 1：ソフトウェアスタンバイモード、サブアクティブモードまたはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき 0：サブスリープモードに遷移 1：ウォッチモードまたは高速モードに遷移 割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除する際に、クロック発振器が発振を開始してからクロックが安定するまでの待機ステート数を設定します。動作周波数に応じて待機時間が 8ms（発振安定時間）以上となるように設定してください。設定値と待機ステート数の関係は表 18.1 のとおりです。 外部クロックを使用する場合は任意の選択が可能です。通常の場合は最小値を推奨します。
5	STS1	0	R/W	
4	STS0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	SCK2	0	R/W	システムクロックセレクト 2~0 高速モードおよび中速モードでのバスマスタのクロックを選択します。 なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合にはSCK2~SCK0をB'000にしてください。 000：高速モード 001：中速クロックは $\phi/2$ 010：中速クロックは $\phi/4$ 011：中速クロックは $\phi/8$ 100：中速クロックは $\phi/16$ 101：中速クロックは $\phi/32$ 11X：—
1	SCK1	0	R/W	
0	SCK0	0	R/W	

【注】 X：Don't care

表 18.1 動作周波数と待機時間

STS2	STS1	STS0	待機時間	20MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192 ステート	0.4	0.8	1.0	1.3	2.0	4.1	ms
0	0	1	16384 ステート	0.8	1.6	2.0	2.7	4.1	8.2	
0	1	0	32768 ステート	2.0	3.3	4.1	5.5	8.2	16.4	
0	1	1	65536 ステート	4.1	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	8.2	13.1	16.4	21.8	32.8	65.5	
1	0	1	262144 ステート	16.4	26.2	32.8	43.6	65.6	131.2	
1	1	0	リザーブ	—	—	—	—	—	—	—
1	1	1	16 ステート*	0.8	1.6	2.0	2.7	4.0	8.0	μ s

：推奨設定時間

【注】 * フラッシュメモリ内蔵版では本設定は使用しないでください。

18. 低消費電力状態

18.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	<p>ダイレクトトランスファオンフラグ</p> <p>SLEEP 命令実行後の遷移先を指定します。</p> <p>高速モードまたは中速モードで SLEEP 命令を実行したとき</p> <p>0: スリープモード、ソフトウェアスタンバイモードまたはウォッチモードに遷移</p> <p>1: サブアクティブモードに直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移</p> <p>サブアクティブモードで SLEEP 命令を実行したとき</p> <p>0: サブスリープモードまたはウォッチモードに遷移</p> <p>1: 高速モードに直接遷移、またはサブスリープモードに遷移</p>
6	LSON	0	R/W	<p>ロースピードオンフラグ</p> <p>SLEEP 命令実行後の遷移先を指定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。</p> <p>高速モードまたは中速モードで SLEEP 命令を実行したとき</p> <p>0: スリープモード、ソフトウェアスタンバイモード、またはウォッチモードに遷移</p> <p>1: ウォッチモード、またはサブアクティブモードに遷移</p> <p>サブアクティブモードで SLEEP 命令を実行したとき</p> <p>0: ウォッチモードまたは高速モードに直接遷移</p> <p>1: サブスリープモードまたはウォッチモードに遷移</p> <p>ウォッチモードを解除したとき</p> <p>0: 高速モードに遷移</p> <p>1: サブアクティブモードに遷移</p>
5	NESEL	0	R/W	<p>ノイズ除去サンプリング周波数選択</p> <p>EXCL 端子から入力されたサブクロック (ϕ SUB) を、システムクロック発振器で生成されたクロック (ϕ) により、サンプリングする周波数を選択します。</p> <p>$\phi = 5\text{MHz}$ 以上のときは 0 をセットしてください。</p> <p>0: ϕ の 32 分周クロックでサンプリング</p> <p>1: ϕ の 4 分周クロックでサンプリング</p>
4	EXCLE	0	R/W	<p>サブクロック入力カインェーブル</p> <p>EXCL 端子からのサブクロック入力を制御します。</p> <p>0: EXCL 端子からのサブクロック入力禁止</p> <p>1: EXCL 端子からのサブクロック入力許可</p>
3	—	0	R/W	<p>リザーブビット</p> <p>リードすると不定値が読み出されます。1 にセットしないでください。</p>
2~0	—	すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>

18.1.3 モジュールストップコントロールレジスタ H, L (MSTPCRH, MSTPCRL)

MSTPCRH、MSTPCRL は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを1にセットするとそのモジュールはモジュールストップモードになります。

• MSTPCRH

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP15	0*	R/W	—
6	MSTP14	0	R/W	—
5	MSTP13	1	R/W	16 ビットフリーランニングタイム (FRT)
4	MSTP12	1	R/W	8 ビットタイム (TMR_0、TMR_1)
3	MSTP11	1	R/W	14 ビット PWM タイマ (PWMX)
2	MSTP10	1	R/W	D/A 変換器
1	MSTP9	1	R/W	A/D 変換器
0	MSTP8	1	R/W	8 ビットタイム (TMR_Y)

【注】 * 1にセットしないでください。

• MSTPCRL

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
6	MSTP6	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
5	MSTP5	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
4	MSTP4	1	R/W	—
3	MSTP3	1	R/W	—
2	MSTP2	1	R/W	キーボードマトリクス割り込みマスクレジスタ (KMIMR)、 キーボードマトリクス割り込みマスクレジスタ A (KMIMRA)、 ポート 6 プルアップ MOS コントロールレジスタ (KMPCR)
1	MSTP1	1*	R/W	—
0	MSTP0	1	R/W	—

【注】 * リード/ライト可ですが、動作に影響を与えません。

18.2 モード間遷移と LSI の状態

図 18.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。 \overline{STBY} 入力によりすべてのモードからハードウェアスタンバイモードに遷移します。また、 \overline{RES} 入力によりハードウェアスタンバイモードを除くすべてのモードからリセット状態に遷移します。表 18.2 に各動作モードでの LSI の内部状態を示します。

18. 低消費電力状態

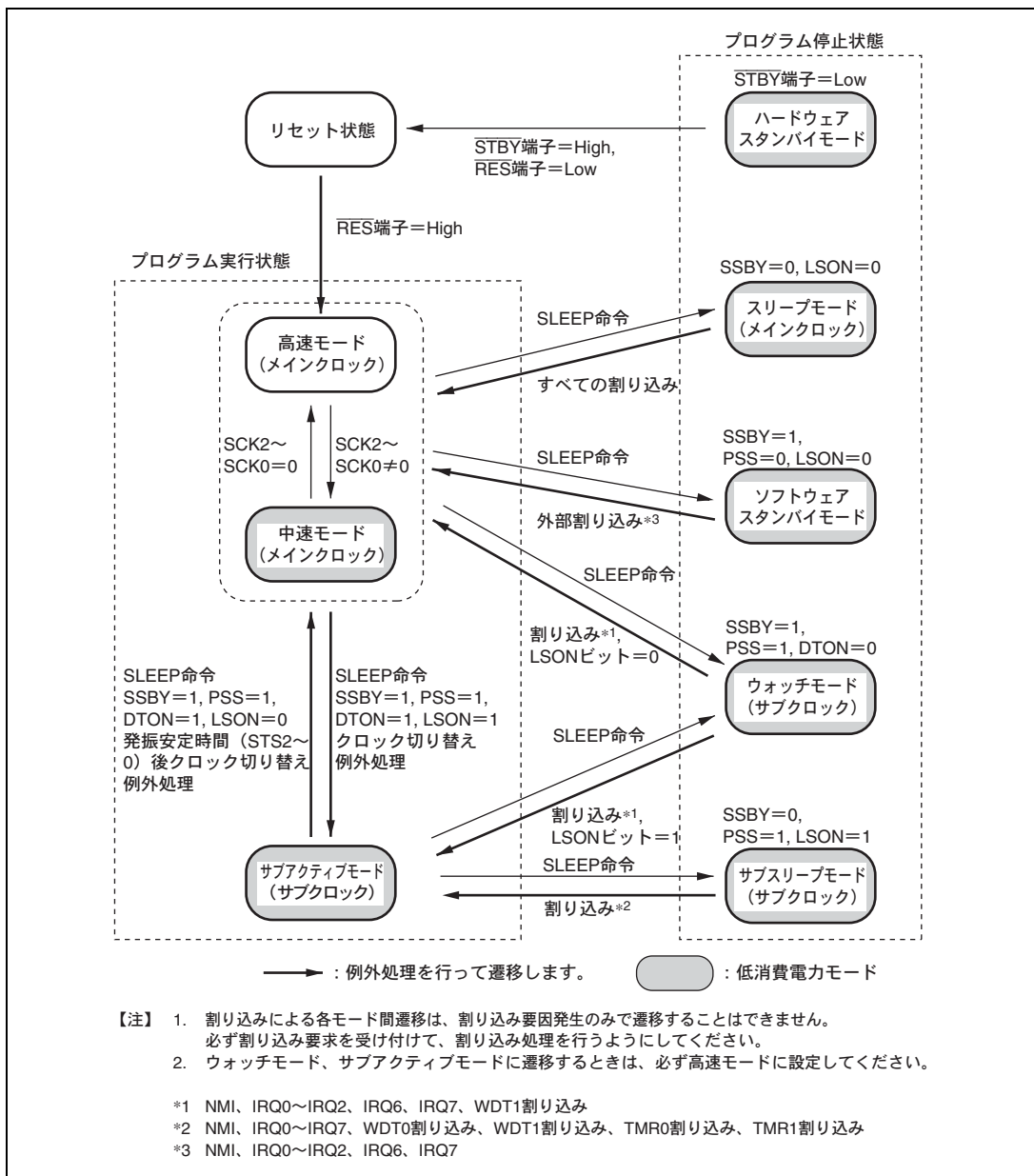


図 18.1 モード遷移図

表 18.2 各動作モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止
サブクロック入力		動作	動作	動作	動作	動作	動作	動作	停止	停止
CPU 動作	命令実行	動作	中速 動作	停止	動作	停止	サブ クロック	停止	停止	停止
	レジスタ			保持		保持		動作		
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ0~7									
	KIN0~15									
周辺 モジュール	WDT_1	動作	動作	動作	動作	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)
	WDT_0					停止 (保持)				
	TMR_0、1				動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)		
	FRT									
	TMR_Y				動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	
	SCL_0									
	SCL_1									
	SCL_2									
	PWMX									
	D/A 変換器				動作	保持	動作	保持	保持	保持
	A/D 変換器									
	RAM									
	I/O				動作	保持	動作	保持	動作	保持

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作停止

停止（リセット）は、内部レジスタおよび内部状態を初期化

モジュールストップモードは、対象モジュールのみ停止（リセットまたは保持）

18.3 中速モード

SBYCR の SCK2～SCK0 ビットの設定により、そのバスサイクルの終了時点で中速モードになります。動作クロックは $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ から選択できます。バスマスタ以外の内蔵周辺機能はシステムクロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは4ステートアクセス、内部 I/O レジスタは8ステートアクセスになります。

中速モードは、SCK2～SCK0 ビットをいずれも0にクリアすると、そのバスサイクルの終了時点で高速モードに遷移します。

SBYCR の SSBY ビットが0、LPWRCR の LSON ビットが0 のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。SSBY ビットが1、LPWRCR の LSON ビットが0、TCSR (WDT_1) の PSS ビットが0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにすると中速モードは解除されリセット状態に遷移します。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、中速モードは解除されハードウェアスタンバイモードに遷移します。

図 18.2 に中速モードのタイミングを示します。

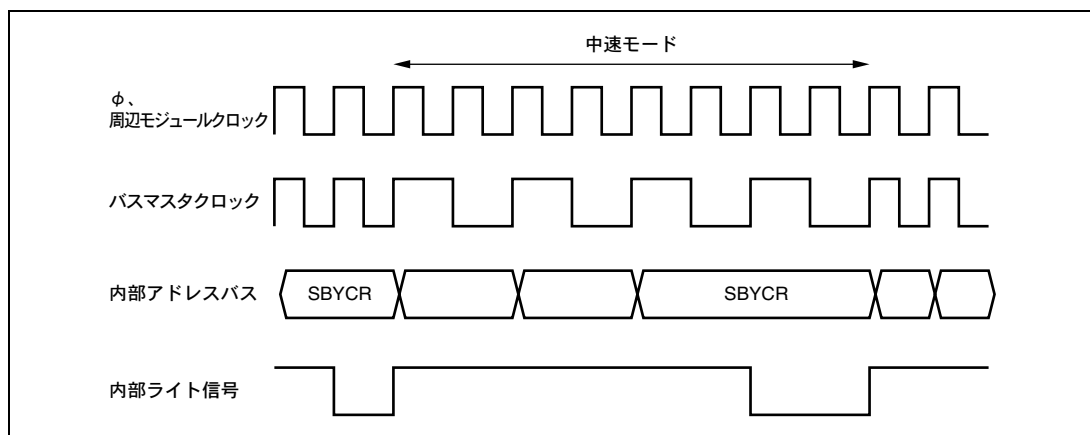


図 18.2 中速モードのタイミング

18.4 スリープモード

SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは動作します。CPU の内部レジスタの内容は保持されます。

スリープモードは、割り込み、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって解除されます。

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されているとき、または NMI 以外の割り込みが CPU でマスクされているとスリープモードは解除できません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、スリープモードは解除されリセット状態になります。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、スリープモードは解除されハードウェアスタンバイモードに遷移します。

18.5 ソフトウェアスタンバイモード

SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、TCSR (WDT_1) の PSS が 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、クロック発振器が停止し、CPU および内蔵周辺機能が停止します。ただし、規定の電圧が与えられているかぎり、CPU のレジスタと内蔵 RAM のデータおよび SCI、PWMX を除く内蔵周辺機能と I/O ポートの状態は保持されます。

ソフトウェアスタンバイモードは、外部割り込み (NMI、IRQ0~IRQ2、IRQ6、IRQ7)、 $\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

外部割り込み要求信号が入力されると、システムクロック発振器が発振を開始します。SBYCR の STS2~STS0 ビットによって設定された時間が経過するとソフトウェアスタンバイモードが解除され、割り込み例外処理を開始します。IRQ0~IRQ2、IRQ6、IRQ7 割り込みでソフトウェアスタンバイモードを解除するときには、対応するイネーブルビットを 1 にセットし、かつ IRQ0~IRQ2、IRQ6、IRQ7 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、IRQ0~IRQ2、IRQ6、IRQ7 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、または割り込みが CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ソフトウェアスタンバイモードは解除されハードウェアスタンバイモードに遷移します。

NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている (立ち上がりエッジ指定) 状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット (立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

18. 低消費電力状態

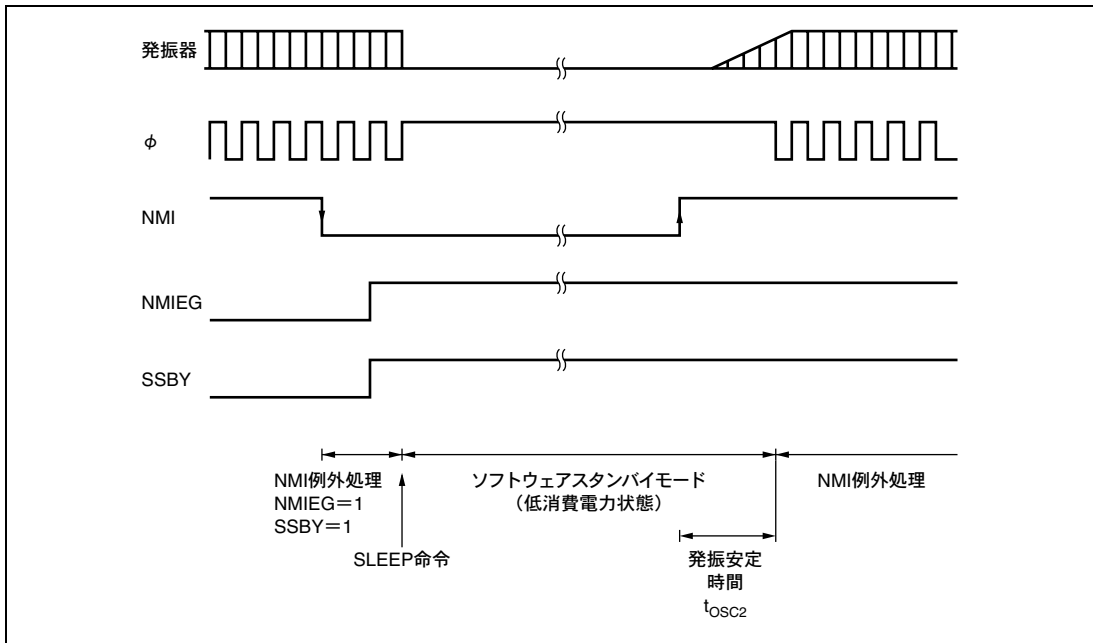


図 18.3 ソフトウェアスタンバイモードの応用例

18.6 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どのモードからでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になります。規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中に、モード端子 (MD1、MD0) の状態を変化させないでください。

ハードウェアスタンバイモードは、 $\overline{\text{RES}}$ 入力と $\overline{\text{STBY}}$ 入力によって解除されます。

$\overline{\text{RES}}$ 端子を Low レベルの状態、 $\overline{\text{STBY}}$ 端子を High レベルにするとクロック発振器が発振を開始します。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理を開始します。

図 18.4 にハードウェアスタンバイモードのタイミング例を示します。

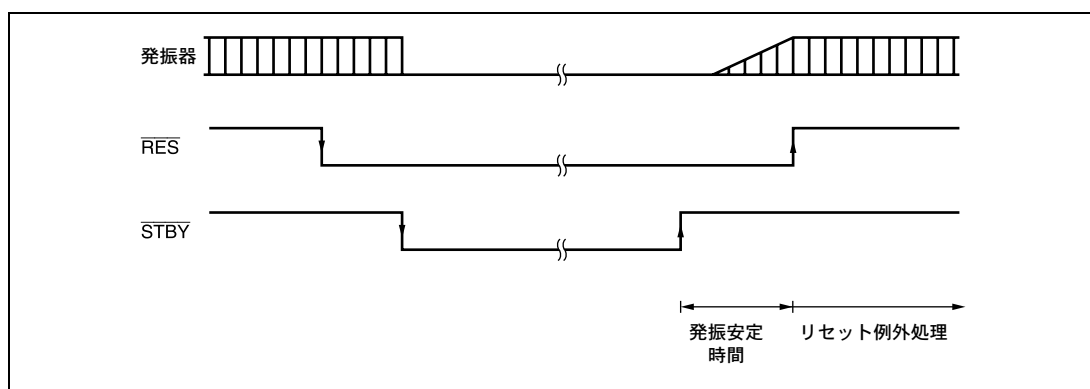


図 18.4 ハードウェアスタンバイモードのタイミング

18.7 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR (WDT_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモードでは、CPU および WDT_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは、割り込み (WOVH、NMI、IRQ0~IRQ2、IRQ6、IRQ7)、 $\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

割り込みが発生するとウォッチモードは解除され、LPWRCR の LSON ビットが 0 のときは高速モードあるいは中速モードに、LSON ビットが 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2~STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0~IRQ2、IRQ6、IRQ7 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては、割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

18.8 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR (WDT_1) の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、TMR_0、TMR_1、WDT_0、WDT_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは、割り込み (内蔵周辺機能からの割り込み、NMI、IRQ0~IRQ7)、 $\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ0~IRQ7 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

18.9 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 1、TCSR (WDT_1) の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビットが 1 の状態であれば、サブアクティブモードに直接遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR_0、TMR_1、WDT_0、WDT_1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SBYCR の SCK2~SCK0 の各ビットを必ず 0 としてください。

サブアクティブモードは、SLEEP 命令、 $\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR (WDT_1) の PSS ビットが 1 のとき SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR (WDT_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 0、TCSR (WDT_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、高速モードに直接遷移します。

直接遷移の詳細は「18.11 直接遷移」を参照してください。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

18.10 モジュールストップモード

モジュールストップモードはすべての内蔵周辺モジュールに対して設定できます。

MSTPCR の各モジュールに対応した MSTP ビットを 1 にセットすると、そのモジュールはバスサイクルの終了時点でモジュールストップモードへ遷移します。0 にクリアするとモジュールストップモードは解除され、バスサイクルの終了時点で動作を再開します。モジュールストップモードでは、SCI、D/A 変換器、A/D 変換器、PWMX を除く周辺モジュールの内部状態は保持されています。

リセット解除後は、すべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

18.11 直接遷移

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移例外処理を開始します。

高速モードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 1、DTON ビットが 1、TSCR (WDT_1) の PSS ビットが 1 にセットした状態で SLEEP 命令を実行すると、サブアクティブモードに遷移します。

サブアクティブモードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、DTON ビットが 1、TSCR (WDT_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、SBYCR の STS2~STS0 により設定された時間を経過した後、直接高速モードに遷移します。

18.12 使用上の注意事項

18.12.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

18.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

19. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. ビット構成一覧

- 「19.1 レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット番号が表示されているものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットのレジスタの場合、MSB側のビットを記載しています。

3. 各動作モード別レジスタの状態

- 「19.1 レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

4. レジスタ選択条件

- 「19.1 レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- レジスタ選択条件については「3.2.2 システムコントロールレジスタ (SYSCR)」、「3.2.3 シリアルタイムコントロールレジスタ (STCR)」、「18.1.3 モジュールストップコントロールレジスタH、L (MSTPCR_H、MSTPCR_L)」および各モジュールのレジスタ説明を参照してください。

19. レジスタ一覧

19.1 レジスタアドレス一覧 (アドレス順)

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
キーボードコンパレータコントロールレジスタ	KBCOMP	8	H'FEE4	IrDA/ 拡張 A/D	8	2
インタラプトコントロールレジスタ A	ICRA	8	H'FEE8	INT	8	2
インタラプトコントロールレジスタ B	ICRB	8	H'FEE9	INT	8	2
インタラプトコントロールレジスタ C	ICRC	8	H'FEEA	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FEEB	INT	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FEEC	INT	8	2
IRQ センスコントロールレジスタ L	ISCR L	8	H'FEED	INT	8	2
アドレスブレイクコントロールレジスタ	ABRKCR	8	H'FEF4	INT	8	2
ブレイクアドレスレジスタ A	BARA	8	H'FEF5	INT	8	2
ブレイクアドレスレジスタ B	BARB	8	H'FEF6	INT	8	2
ブレイクアドレスレジスタ C	BARC	8	H'FEF7	INT	8	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FF80	FLASH	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FF81	FLASH	8	2
消去ブロック指定レジスタ 1	EBR1	8	H'FF82	FLASH	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FF83	SYSTEM	8	2
消去ブロック指定レジスタ 2	EBR2	8	H'FF83	FLASH	8	2
スタンドバイコントロールレジスタ	SBYCR	8	H'FF84	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FF85	SYSTEM	8	2
モジュールストップコントロールレジスタ H	MSTPCR H	8	H'FF86	SYSTEM	8	2
モジュールストップコントロールレジスタ L	MSTPCL	8	H'FF87	SYSTEM	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF88	SCI_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF89	SCI_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF8A	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF8B	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF8C	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF8D	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF8E	SCI_1	8	2
タイマインタラプトイネーブルレジスタ	TIER	8	H'FF90	FRT	8	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FF91	FRT	8	2
フリーランニングカウンタ H	FRCH	8	H'FF92	FRT	8	2
フリーランニングカウンタ L	FRCL	8	H'FF93	FRT	8	2
アウトプットコントロールレジスタ AH	OCRAH	8	H'FF94	FRT	8	2
アウトプットコントロールレジスタ BH	OCRBH	8	H'FF94	FRT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
アウトプットコントロールレジスタ AL	OCRAL	8	H'FF95	FRT	8	2
アウトプットコントロールレジスタ BL	OCRBL	8	H'FF95	FRT	8	2
タイマコントロールレジスタ	TCR	8	H'FF96	FRT	8	2
タイマアウトプットコンペアコントロールレジスタ	TOCR	8	H'FF97	FRT	8	2
インプットキャプチャレジスタ AH	ICRAH	8	H'FF98	FRT	8	2
アウトプットコントロールレジスタ ARH	OCRARH	8	H'FF98	FRT	8	2
インプットキャプチャレジスタ AL	ICRAL	8	H'FF99	FRT	8	2
アウトプットコントロールレジスタ ARL	OCRARL	8	H'FF99	FRT	8	2
インプットキャプチャレジスタ BH	ICRBH	8	H'FF9A	FRT	8	2
アウトプットコントロールレジスタ AFH	OCRAFH	8	H'FF9A	FRT	8	2
インプットキャプチャレジスタ BL	ICRBL	8	H'FF9B	FRT	8	2
アウトプットコントロールレジスタ AFL	OCRAFL	8	H'FF9B	FRT	8	2
インプットキャプチャレジスタ CH	ICRCH	8	H'FF9C	FRT	8	2
アウトプットコンペアレジスタ DMH	OCRDMH	8	H'FF9C	FRT	8	2
インプットキャプチャレジスタ CL	ICRCL	8	H'FF9D	FRT	8	2
アウトプットコンペアレジスタ DML	OCRDML	8	H'FF9D	FRT	8	2
インプットキャプチャレジスタ DH	ICRDH	8	H'FF9E	FRT	8	2
インプットキャプチャレジスタ DL	ICRDL	8	H'FF9F	FRT	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FFA0	SCI_2	8	2
PWM(D/A)コントロールレジスタ	DACR	8	H'FFA0	PWMX	8	2
PWM(D/A)データレジスタ AH	DADRAH	8	H'FFA0	PWMX	8	2
PWM(D/A)データレジスタ AL	DADRAL	8	H'FFA1	PWMX	8	2
ビットレートレジスタ_2	BRR_2	8	H'FFA1	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FFA2	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FFA3	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FFA4	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FFA5	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FFA6	SCI_2	8	2
PWM(D/A)カウンタ H	DACNTH	8	H'FFA6	PWMX	8	2
PWM(D/A)データレジスタ BH	DADRBH	8	H'FFA6	PWMX	8	2
PWM(D/A)カウンタ L	DACNTL	8	H'FFA7	PWMX	8	2
PWM(D/A)データレジスタ BL	DADRBL	8	H'FFA7	PWMX	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8	WDT	8	2
タイマカウンタ_0	TCNT_0	8	H'FFA8	WDT_0	8	2
			(ライト時)			
タイマカウンタ_0	TCNT_0	8	H'FFA9	WDT_0	8	2
			(リード時)			
ポート A 出力データレジスタ	PAODR	8	H'FFAA	PORT	8	2
ポート A 入力データレジスタ	PAPIN	8	H'FFAB	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FFAB	PORT	8	2

19. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポート1ブルアップMOSコントロールレジスタ	P1PCR	8	H'FFAC	PORT	8	2
ポート2ブルアップMOSコントロールレジスタ	P2PCR	8	H'FFAD	PORT	8	2
ポート3ブルアップMOSコントロールレジスタ	P3PCR	8	H'FFAE	PORT	8	2
ポート1データディレクションレジスタ	P1DDR	8	H'FFB0	PORT	8	2
ポート2データディレクションレジスタ	P2DDR	8	H'FFB1	PORT	8	2
ポート1データレジスタ	P1DR	8	H'FFB2	PORT	8	2
ポート2データレジスタ	P2DR	8	H'FFB3	PORT	8	2
ポート3データディレクションレジスタ	P3DDR	8	H'FFB4	PORT	8	2
ポート4データディレクションレジスタ	P4DDR	8	H'FFB5	PORT	8	2
ポート3データレジスタ	P3DR	8	H'FFB6	PORT	8	2
ポート4データレジスタ	P4DR	8	H'FFB7	PORT	8	2
ポート5データディレクションレジスタ	P5DDR	8	H'FFB8	PORT	8	2
ポート6データディレクションレジスタ	P6DDR	8	H'FFB9	PORT	8	2
ポート5データレジスタ	P5DR	8	H'FFBA	PORT	8	2
ポート6データレジスタ	P6DR	8	H'FFBB	PORT	8	2
ポートB出力データレジスタ	PBODR	8	H'FFBC	PORT	8	2
ポートB入力データレジスタ	PBPIN	8	H'FFBD (リード時)	PORT	8	2
ポート8データディレクションレジスタ	P8DDR	8	H'FFBD (ライト時)	PORT	8	2
ポート7入力データレジスタ	P7PIN	8	H'FFBE (リード時)	PORT	8	2
ポートBデータディレクションレジスタ	PBDDR	8	H'FFBE (ライト時)	PORT	8	2
ポート8データレジスタ	P8DR	8	H'FFBF	PORT	8	2
ポート9データディレクションレジスタ	P9DDR	8	H'FFC0	PORT	8	2
ポート9データレジスタ	P9DR	8	H'FFC1	PORT	8	2
インタラプティブイネーブルレジスタ	IER	8	H'FFC2	INT	8	2
シリアルタイムコントロールレジスタ	STCR	8	H'FFC3	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FFC4	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FFC5	SYSTEM	8	2
バスコントロールレジスタ	BCR	8	H'FFC6	BSC	8	2
ウェイトステートコントロールレジスタ	WSCR	8	H'FFC7	BSC	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFC8	TMR_0	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFC9	TMR_1	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFCA	TMR_0	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFCB	TMR_1	16	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFCC	TMR_0	16	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFCD	TMR_1	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFCE	TMR_0	16	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFCF	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFD0	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFD1	TMR_1	16	2
シリアルモードレジスタ_0	SMR_0	8	H'FFD8	SCI_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FFD9	SCI_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FFDA	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FFDB	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FFDC	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FFDD	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FFDE	SCI_0	8	2
A/D データレジスタ AH	ADDRAH	8	H'FFE0	A/D 変換器	8	2
A/D データレジスタ AL	ADDRAL	8	H'FFE1	A/D 変換器	8	2
A/D データレジスタ BH	ADDRBH	8	H'FFE2	A/D 変換器	8	2
A/D データレジスタ BL	ADDRBL	8	H'FFE3	A/D 変換器	8	2
A/D データレジスタ CH	ADDRCH	8	H'FFE4	A/D 変換器	8	2
A/D データレジスタ CL	ADDRCL	8	H'FFE5	A/D 変換器	8	2
A/D データレジスタ DH	ADDRDH	8	H'FFE6	A/D 変換器	8	2
A/D データレジスタ DL	ADDRDL	8	H'FFE7	A/D 変換器	8	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FFE8	A/D 変換器	8	2
A/D コントロールレジスタ	ADCR	8	H'FFE9	A/D 変換器	8	2
タイマコントロール/ステータスレジスタ	TCSR_1	8	H'FFEA	WDT_1	8	2
タイマカウンタ_1	TCNT_1	8	H'FFEA	WDT_1	8	2
			(ライト時)			
タイマカウンタ_1	TCNT_1	8	H'FFEB	WDT_1	8	2
			(リード時)			
タイマコントロールレジスタ_Y	TCR_Y	8	H'FFF0	TMR_Y	16	2
キーボードマトリクス割り込みレジスタ 6	KMIMR	8	H'FFF1	INT	8	2
タイマコントロール/ステータスレジスタ_Y	TCSR_Y	8	H'FFF1	TMR_Y	16	2
ブルアップ MOS コントロールレジスタ	KMPCR	8	H'FFF2	PORT	8	2
タイムコンスタントレジスタ A_Y	TCORA_Y	8	H'FFF2	TMR_Y	16	2
キーボードマトリクス割り込みレジスタ A	KMIMRA	8	H'FFF3	INT	8	2
タイムコンスタントレジスタ B_Y	TCORB_Y	8	H'FFF3	TMR_Y	16	2
タイマカウンタ_Y	TCNT_Y	8	H'FFF4	TMR_Y	16	2
タイマインプットセレクトレジスタ	TISR	8	H'FFF5	TMR_Y	16	2
D/A データレジスタ 0	DADR0	8	H'FFF8	D/A 変換器	8	2
D/A データレジスタ 1	DADR1	8	H'FFF9	D/A 変換器	8	2
D/A コントロールレジスタ	DACR	8	H'FFFA	D/A 変換器	8	2

19. レジスタ一覧

19.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビットレジスタは、8 ビットずつ 2 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
KBCOMP	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0	IrDA/ 拡張 A/D
ICRA	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0	INT
ICRB	ICRB7	ICRB6	ICRB5	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0	
ICRC	ICRC7	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	ICRC0	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
ISCR_L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
ABRKCR	CMF	—	—	—	—	—	—	BIE	
BARA	A23	A22	A21	A20	A19	A18	A17	A16	
BARB	A15	A14	A13	A12	A11	A10	A9	A8	
BARC	A7	A6	A5	A4	A3	A2	A1	—	
FLMCR1	FWE	SWE	—	—	EV	PV	E	P	FLASH
FLMCR2	FLER	—	—	—	—	—	ESU	PSU	
EBR1	—	—	—	—	—	—	EB9	EB8	
SYSCR2	KWUL1	KWUL0	P6PUE	—	—	—	—	—	SYSTEM
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	FLASH
SBYCR	SSBY	STS2	STS1	STS0	—	SCK2	SCK1	SCK0	SYSTEM
LPWRCR	DTON	LSON	NESEL	EXCLE	—	—	—	—	
MSTPCR_H	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTP_CRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
SMR_1	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI_1
BRR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_1	—	—	—	—	SDIR	SINV	—	SMIF	
TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—	FRT
TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
FRCH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
FRCL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

19. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
OCRAH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	FRT
OCRBH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRAL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRBL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
TOCR	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB	
ICRAH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRARH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
ICRAL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRARL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRBH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRAFH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
ICRBL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRAFL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRCH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRDMH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
ICRCL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRDML	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRDH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
ICRDL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SMR_2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_2
DACR	TEST	PWME	—	—	OEB	OEA	OS	CKS	PWMX
DADRAH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
DADRAL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	—	
BRR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCI_2
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_2	—	—	—	—	SDIR	SINV	—	SMIF	
DACNTH	UC7	UC6	UC5	UC4	UC3	UC2	UC1	UC0	PWMX
DADRBH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
DACNTL	UC8	UC9	UC10	UC11	UC12	UC13	—	REGS	
DADRBL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS	
TCSR_0	OVF	WT/ \bar{IT}	TME	—	RST/ \bar{NM}	CKS2	CKS1	CKS0	WDT_0
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	PORT

19. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PAPIN	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN	PORT
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR	
P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR	
P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR	
P5DDR	—	—	—	—	—	P52DDR	P51DDR	P50DDR	
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P5DR	—	—	—	—	—	P52DR	P51DR	P50DR	
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR	
PBPIN	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN	
P8DDR	—	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
P7PIN	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
P8DR	—	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR	
P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	
P9DR	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR	
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	INT
STCR	IICS	—	—	IICE	FLSHE	—	ICKS1	ICKS0	SYSTEM
SYSCR	—	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME	
MDCR	EXPE	—	—	—	—	—	MDS1	MDS0	
BCR	—	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	IOS1	IOS0	BSC
WSCR	—	—	ABW	AST	WMS1	WMS0	WC1	WC0	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
TCORA_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORA_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCORB_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_0、 TMR_1
TCORB_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SMR_0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_0
BRR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_0	—	—	—	—	SDIR	SINV	—	SMIF	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
ADDRAL	AD1	AD0	—	—	—	—	—	—	
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0	—	—	—	—	—	—	
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0	—	—	—	—	—	—	
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0	—	—	—	—	—	—	
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	—	—	—	—	—	—	
TCSR_1	OVF	WT/ \bar{IT}	TME	PSS	RST/ \bar{NM}	CKS2	CKS1	CKS0	WDT_1
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR_Y	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	
KMIMR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	INT
TCSR_Y	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0	TMR_Y
KMPCR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	PORT
TCORA_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_Y
KMIMRA	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8	INT
TCORB_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_Y
TCNT_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TISR	—	—	—	—	—	—	—	IS	
DADR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	D/A 変換器
DADR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
DACR	DAOE1	DAOE0	DAE	—	—	—	—	—	

19. レジスタ一覧

19.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
KBCOMP	初期化	—	—	—	—	—	—	—	初期化	IrDA/ A/D 変換器
ICRA	初期化	—	—	—	—	—	—	—	初期化	INT
ICRB	初期化	—	—	—	—	—	—	—	初期化	
ICRC	初期化	—	—	—	—	—	—	—	初期化	
ISR	初期化	—	—	—	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	—	—	—	初期化	
ABRKCR	初期化	—	—	—	—	—	—	—	初期化	INT
BARA	初期化	—	—	—	—	—	—	—	初期化	
BARB	初期化	—	—	—	—	—	—	—	初期化	
BARC	初期化	—	—	—	—	—	—	—	初期化	
FLMCR1	初期化	—	初期化	—	初期化	初期化	—	初期化	初期化	FLASH
FLMCR2	初期化	—	初期化	—	初期化	初期化	—	初期化	初期化	
EBR1	初期化	—	初期化	—	初期化	初期化	—	初期化	初期化	
SYSCR2	初期化	—	—	—	—	—	—	—	初期化	SYSTEM
EBR2	初期化	—	初期化	—	初期化	初期化	—	初期化	初期化	FLASH
SBYCR	初期化	—	—	—	—	—	—	—	初期化	SYSTEM
LPWRCR	初期化	—	—	—	—	—	—	—	初期化	
MSTPCRH	初期化	—	—	—	—	—	—	—	初期化	
MSTPCRL	初期化	—	—	—	—	—	—	—	初期化	
SMR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	SCI_1
BRR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SCR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TDR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SSR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RDR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SCMR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TIER	初期化	—	—	—	—	—	—	—	初期化	FRT
TCSR	初期化	—	—	—	—	—	—	—	初期化	
FRCH	初期化	—	—	—	—	—	—	—	初期化	
FRCL	初期化	—	—	—	—	—	—	—	初期化	
OCRAH	初期化	—	—	—	—	—	—	—	初期化	

19. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ ドッグ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
OCRBH	初期化	—	—	—	—	—	—	初期化	FRT	
OCRAL	初期化	—	—	—	—	—	—	初期化		
OCRBL	初期化	—	—	—	—	—	—	初期化		
TCR	初期化	—	—	—	—	—	—	初期化		
TOCR	初期化	—	—	—	—	—	—	初期化		
ICRAH	初期化	—	—	—	—	—	—	初期化		
OCRARH	初期化	—	—	—	—	—	—	初期化		
ICRAL	初期化	—	—	—	—	—	—	初期化		
OCRARL	初期化	—	—	—	—	—	—	初期化		
ICRBH	初期化	—	—	—	—	—	—	初期化		
OCRAFH	初期化	—	—	—	—	—	—	初期化		
ICRBL	初期化	—	—	—	—	—	—	初期化		
OCRAFL	初期化	—	—	—	—	—	—	初期化		
ICRCH	初期化	—	—	—	—	—	—	初期化		
OCRDMH	初期化	—	—	—	—	—	—	初期化		
ICRCL	初期化	—	—	—	—	—	—	初期化		
OCRDML	初期化	—	—	—	—	—	—	初期化		
ICRDH	初期化	—	—	—	—	—	—	初期化		
ICRDL	初期化	—	—	—	—	—	—	初期化		
SMR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化	SCI_2	
DACR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	PWMX	
DADRAH	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
DADRAL	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
BRR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化	SCI_2	
SCR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
TDR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
SSR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
RDR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
SCMR_2	初期化	—	—	—	—	—	—	初期化		
DACNTH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	PWMX	
DADRBH	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
DACNTL	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
DADRBL	初期化	—	初期化	—	初期化	初期化	初期化	初期化		
TCSR_0	初期化	—	—	—	—	—	—	初期化	WDT_0	
TCNT_0	初期化	—	—	—	—	—	—	初期化		
PAODR	初期化	—	—	—	—	—	—	初期化	PORT	
PAPIN	—	—	—	—	—	—	—	—		

19. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ ドッグ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PADDR	初期化	—	—	—	—	—	—	初期化	PORT	
P1PCR	初期化	—	—	—	—	—	—	初期化		
P2PCR	初期化	—	—	—	—	—	—	初期化		
P3PCR	初期化	—	—	—	—	—	—	初期化		
P1DDR	初期化	—	—	—	—	—	—	初期化		
P2DDR	初期化	—	—	—	—	—	—	初期化		
P1DR	初期化	—	—	—	—	—	—	初期化		
P2DR	初期化	—	—	—	—	—	—	初期化		
P3DDR	初期化	—	—	—	—	—	—	初期化		
P4DDR	初期化	—	—	—	—	—	—	初期化		
P3DR	初期化	—	—	—	—	—	—	初期化		
P4DR	初期化	—	—	—	—	—	—	初期化		
P5DDR	初期化	—	—	—	—	—	—	初期化		
P6DDR	初期化	—	—	—	—	—	—	初期化		
P5DR	初期化	—	—	—	—	—	—	初期化		
P6DR	初期化	—	—	—	—	—	—	初期化		
PBODR	初期化	—	—	—	—	—	—	初期化		
PBPIN	—	—	—	—	—	—	—	—		
P8DDR	初期化	—	—	—	—	—	—	初期化		
P7PIN	—	—	—	—	—	—	—	—		
PBDDR	初期化	—	—	—	—	—	—	初期化		
P8DR	初期化	—	—	—	—	—	—	初期化		
P9DDR	初期化	—	—	—	—	—	—	初期化		
P9DR	初期化	—	—	—	—	—	—	初期化		
IER	初期化	—	—	—	—	—	—	初期化	INT	
STCR	初期化	—	—	—	—	—	—	初期化	SYSTEM	
SYSCR	初期化	—	—	—	—	—	—	初期化		
MDCR	初期化	—	—	—	—	—	—	初期化		
BCR	初期化	—	—	—	—	—	—	初期化	BSC	
WSCR	初期化	—	—	—	—	—	—	初期化		
TCR_0	初期化	—	—	—	—	—	—	初期化	TMR_0、	
TCR_1	初期化	—	—	—	—	—	—	初期化	TMR_1	
TCSR_0	初期化	—	—	—	—	—	—	初期化		
TCSR_1	初期化	—	—	—	—	—	—	初期化		
TCORA_0	初期化	—	—	—	—	—	—	初期化		
TCORA_1	初期化	—	—	—	—	—	—	初期化		
TCORB_0	初期化	—	—	—	—	—	—	初期化		
TCORB_1	初期化	—	—	—	—	—	—	初期化		

19. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ ドッグ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
TCNT_0	初期化	—	—	—	—	—	—	—	初期化	TMR_0、
TCNT_1	初期化	—	—	—	—	—	—	—	初期化	TMR_1
SMR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	SCI_0
BRR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SCR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TDR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SSR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RDR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SCMR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRAH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	A/D 変換器
ADDRAL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRBH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	—	—	—	—	—	—	—	初期化	WDT_1
TCNT_1	初期化	—	—	—	—	—	—	—	初期化	
TCR_Y	初期化	—	—	—	—	—	—	—	初期化	TMR_Y
KMIMR	初期化	—	—	—	—	—	—	—	初期化	INT
TCSR_Y	初期化	—	—	—	—	—	—	—	初期化	TMR_Y
KMPCR	初期化	—	—	—	—	—	—	—	初期化	PORT
TCORA_Y	初期化	—	—	—	—	—	—	—	初期化	TMR_Y
KMIMRA	初期化	—	—	—	—	—	—	—	初期化	INT
TCORB_Y	初期化	—	—	—	—	—	—	—	初期化	TMR_Y
TCNT_Y	初期化	—	—	—	—	—	—	—	初期化	TMR_Y
TISR	初期化	—	—	—	—	—	—	—	初期化	TMR_Y
DADR0	初期化	—	—	—	—	—	—	—	初期化	D/A 変換器
DADR1	初期化	—	—	—	—	—	—	—	初期化	
DACR	初期化	—	—	—	—	—	—	—	初期化	

19.4 レジスタ選択条件

下位アドレス	レジスタ名称	H8S/2144B レジスタ選択条件	H8S/2134B レジスタ選択条件	モジュール名
H'FEE4	KBCOMP	条件なし	←	IrDA/拡張 A/D
H'FEE8	ICRA	条件なし	←	INT
H'FEE9	ICRB			
H'FEEA	ICRC			
H'FEEB	ISR			
H'FEEC	ISCRH			
H'FEED	ISCRH			
H'FEED	ISCRH			
H'FEF4	ABRKCR	条件なし	←	INT
H'FEF5	BARA			
H'FEF6	BARB			
H'FEF7	BARC			
H'FF80	FLMCR1	STCR の FLSHE=1	←	FLASH
H'FF81	FLMCR2			
H'FF82	EBR1	STCR の FLSHE=1	←	FLASH
H'FF83	SYSCR2	STCR の FLSHE=0	←	SYSTEM
	EBR2	STCR の FLSHE=1	←	FLASH
H'FF84	SBYCR	STCR の FLSHE=0	←	SYSTEM
H'FF85	LPWRCCR			
H'FF86	MSTPCRH			
H'FF87	MSTPCRL			
H'FF88	SMR_1			
H'FF89	BRR_1	MSTP6=0 STCR の IICE=0	←	
H'FF8A	SCR_1	MSTP6=0	←	
H'FF8B	TDR_1			
H'FF8C	SSR_1			
H'FF8D	RDR_1			
H'FF8E	SCMR_1	MSTP6=0 STCR の IICE=0	←	
H'FF90	TIER	MSTP13=0	←	FRT
H'FF91	TCSR			
H'FF92	FRCH			
H'FF93	FRCL			

下位アドレス	レジスタ名称	H8S/2144B レジスタ選択条件		H8S/2134B レジスタ選択条件	モジュール名
H'FF94	OCRAH	MSTP13=0	TOCR の OCRS=0	←	FRT
	OCRBH		TOCR の OCRS=1		
H'FF95	OCRAL		TOCR の OCRS=0		
	OCRBL		TOCR の OCRS=1		
H'FF96	TCR				
H'FF97	TOCR				
H'FF98	ICRAH		TOCR の ICRS=0		
	OCRARH		TOCR の ICRS=1		
H'FF99	ICRAL		TOCR の ICRS=0		
	OCRARL		TOCR の ICRS=1		
H'FF9A	ICRBH		TOCR の ICRS=0		
	OCRAFH		TOCR の ICRS=1		
H'FF9B	ICRBL		TOCR の ICRS=0		
	OCRAFL		TOCR の ICRS=1		
H'FF9C	ICRCH	TOCR の ICRS=0			
	OCRDMH	TOCR の ICRS=1			
H'FF9D	ICRCL	TOCR の ICRS=0			
	OCRDML	TOCR の ICRS=1			
H'FF9E	ICRDH				
H'FF9F	ICRDL				
H'FFA0	SMR_2	MSTP5=0 STCR の IICE=0		←	SCI_2
H'FFA0	DADRAH	MSTP11=0 STCR の IICE=1	DACNT/DADRB の REGS=0	←	PWMX
	DACR		DACNT/DADRB の REGS=1		
H'FFA1	BRR_2	MSTP5=0 STCR の IICE=0		←	SCI_2
	DADRAL	MSTP11=0 STCR の IICE=1	DACNT/DADRB の REGS=0	←	PWMX
H'FFA2	SCR_2	MSTP5=0		←	SCI_2
H'FFA3	TDR_2				
H'FFA4	SSR_2				
H'FFA5	RDR_2				
H'FFA6	SCMR_2	MSTP5=0 STCR の IICE=0		←	
	DADRBH	MSTP11=0 STCR の IICE=1	DACNT/DADRB の REGS=0	←	PWMX
	DACNTH		DACNT/DADRB の REGS=1		
H'FFA7	DADRBL		DACNT/DADRB の REGS=0		
	DACNTL		DACNT/DADRB の REGS=1		

19. レジスタ一覧

下位アドレス	レジスタ名称	H8S/2144B レジスタ選択条件	H8S/2134B レジスタ選択条件	モジュール名
H'FFA8	TCSR_0	条件なし	←	WDT_0
	TCNT_0(ライト)			
H'FFA9	TCNT_0(リード)			
H'FFAA	PAODR	条件なし	-	PORT
H'FFAB	PAPIN (リード)			
		PADDR(ライト)		
H'FFAC	P1PCR	条件なし	←	
H'FFAD	P2PCR			
H'FFAE	P3PCR			
H'FFB0	P1DDR			
H'FFB1	P2DDR			
H'FFB2	P1DR			
H'FFB3	P2DR			
H'FFB4	P3DDR			
H'FFB5	P4DDR			
H'FFB6	P3DR	条件なし	←	
H'FFB7	P4DR			
H'FFB8	P5DDR			
H'FFB9	P6DDR			
H'FFBA	P5DR			
H'FFBB	P6DR			
H'FFBC	PBODR	条件なし	-	
H'FFBD	P8DDR(ライト)	条件なし	←	
	PBPIN (リード)	条件なし	-	
H'FFBE	P7PIN (リード)	条件なし	←	
	PBDDR(ライト)	条件なし	-	
H'FFBF	P8DR			
H'FFC0	P9DDR			
H'FFC1	P9DR			
H'FFC2	IER	条件なし	←	INT
H'FFC3	STCR	条件なし	←	SYSTEM
H'FFC4	SYSCR			
H'FFC5	MDCR			
H'FFC6	BCR	条件なし	←	BSC
H'FFC7	WSCR			

下位アドレス	レジスタ名称	H8S/2144B レジスタ選択条件	H8S/2134B レジスタ選択条件	モジュール名
H'FFC8	TCR_0	MSTP12=0	←	TMR_0, TMR_1
H'FFC9	TCR_1			
H'FFCA	TCSR_0			
H'FFCB	TCSR_1			
H'FFCC	TCORA_0			
H'FFCD	TCORA_1			
H'FFCE	TCORB_0			
H'FFCF	TCORB_1			
H'FFD0	TCNT_0			
H'FFD1	TCNT_1			
H'FFD8	SMR_0	MSTP7=0 STCR の IICE=0	←	SCI_0
H'FFD9	BRR_0	MSTP7=0 STCR の IICE=0	←	
H'FFDA	SCR_0	MSTP7=0	←	
H'FFDB	TDR_0			
H'FFDC	SSR_0			
H'FFDD	RDR_0			
H'FFDE	SCMR_0	MSTP7=0 STCR の IICE=0	←	
H'FFE0	ADDRAH	MSTP9=0	←	A/D
H'FFE1	ADDRAL			
H'FFE2	ADDRBH			
H'FFE3	ADDRBL			
H'FFE4	ADDRCH			
H'FFE5	ADDRCL			
H'FFE6	ADDRDH			
H'FFE7	ADDRDL			
H'FFE8	ADCSR			
H'FFE9	ADCR			
H'FFEA	TCSR_1	条件なし	←	WDT_1
	TCNT_1(ライト)			
H'FFEB	TCNT_1(リード)			
H'FFF0	TCR_Y	MSTP8=0SYSCR の HIE=0	←	TMR_Y
H'FFF1	KMIMR	MSTP2=0 SYSCR の HIE=1	←	INT
	TCSR_Y	MSTP8=0 SYSCR の HIE=0	←	TMR_Y
H'FFF2	KMPCR	MSTP2=0 SYSCR の HIE=1	←	PORT
	TCORA_Y	MSTP8=0 SYSCR の HIE=0	←	TMR_Y
H'FFF3	KMIMRA	MSTP2=0 SYSCR の HIE=1	←	INT
	TCORB_Y	MSTP8=0 SYSCR の HIE=0	←	TMR_Y

19. レジスタ一覧

下位アドレス	レジスタ名称	H8S/2144B レジスタ選択条件	H8S/2134B レジスタ選択条件	モジュール名
H'FFF4	TCNT_Y	MSTP8=0 SYSCR の HIE=0	←	TMR_Y
H'FFF5	TISR	MSTP8=0 SYSCR の HIE=0	←	TMR_Y
H'FFF8	DADR0	MSTP10=0	←	D/A
H'FFF9	DADR1			
H'FFFA	DACR			

20. 電気的特性

20.1 H8S/2144B の電気的特性

20.1.1 絶対最大定格

絶対最大定格を表 20.1 に示します。

表 20.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	-0.3~+7.0	V
入出力バッファ用電源電圧 (ポート A 用電源)	V_{CCB}	-0.3~+7.0	V
電源電圧 (VCL 端子) *	V_{CL}	-0.3~+4.3	V
入力電圧 (ポート 6、7、A 以外)	V_{in}	-0.3~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	V_{in}	-0.3~ $V_{CC} + 0.3$	V
入力電圧 (ポート A で CIN 入力非選択時)	V_{in}	-0.3~ $V_{CCB} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力選択時)	V_{in}	-0.3~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート A で CIN 入力選択時)	V_{in}	-0.3~ $V_{CCB} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート 7)	V_{in}	-0.3~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	-0.3~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3~+7.0	V
アナログ入力電圧	V_{AN}	-0.3~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20~+75 広温度範囲仕様品 : -40~ +85	℃
動作温度 (FLASH メモリ書込み/消去時)	T_{opr}	通常仕様品 : -20~+75 広温度範囲仕様品 : -40~ +85	℃
保存温度	T_{stg}	-55~+125	℃

【使用上の注意】

1. 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
2. 5V/4V 品の入力端子への印加電圧は、最大でも 7.0V 以下としてください。

【注】 * チップ内部の動作電源電圧端子です。

5V 品/4V 品では VCL 端子には電源電圧を印加しないでください。VCL 端子と GND との間には、内部電圧安定化のため必ず外付けのコンデンサを接続してください。

20. 電氣的特性

20.1.2 DC 特性

DC 特性を表 20.2 に示します。また、出力許容電流値、バス駆動特性をそれぞれ表 20.3、表 20.4 に示します。

表 20.2 DC 特性 (1)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{CCB}=5.0V \pm 10\%$ 、 $AV_{CC}^{*1}=5.0V \pm 10\%$ 、 $AV_{ref}^{*1}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}^{*1}=0V$

$T_a=-20 \sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40 \sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件		
シュミット トリガ入力電圧	P67~P60 (KWUL=00) *2*4、 $\overline{KIN15} \sim \overline{KIN8}^{*5*6}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$ 、 $\overline{IRQ5} \sim \overline{IRQ3}$	(1)	V_T^-	1.0	—	—	V		
			V_T^+	—	—	$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$			
			$V_T^+ - V_T^-$	0.4	—	—			
シュミット トリガ入力電圧 (レベル 切換時) *4	P67~P60 (KWUL=01)	(2)	V_T^-	$V_{CC} \times 0.3$	—	—	V		
			V_T^+	—	—	$V_{CC} \times 0.7$			
	$V_T^+ - V_T^-$		$V_{CC} \times 0.05$	—	—				
	P67~P60 (KWUL=10)		V_T^-	$V_{CC} \times 0.4$	—	—			
			V_T^+	—	—	$V_{CC} \times 0.8$			
	P67~P60 (KWUL=11)		$V_T^+ - V_T^-$	$V_{CC} \times 0.03$	—	—			
			V_T^-	$V_{CC} \times 0.45$	—	—			
	V_T^+		—	—	$V_{CC} \times 0.9$				
$V_T^+ - V_T^-$	0.05	—	—						
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、NMI、 MD1~MD0	(2)	V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V		
				EXTAL	$V_{CC} \times 0.7$	—			$V_{CC} + 0.3$
				PA7~PA0*5	$V_{CCB} \times 0.7$	—			$V_{CCB} + 0.3$
				ポート 7	2.0	—			$AV_{CC} + 0.3$
	上記(1)(2)以外の入力端子			2.0	—	$V_{CC} + 0.3$			
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、MD1~MD0 PA7~PA0	(3)	V_{IL}	- 0.3	—	0.5	V		
				- 0.3	—	1.0			
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			- 0.3	—	0.8			

項目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -200 \mu A$
			$V_{CCB} - 0.5$	—	—	V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 (RESO を除く)	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3		—	—	1.0	V	$I_{OL} = 10mA$
	RESO		—	—	0.4	V	$I_{OL} = 2.6mA$

- 【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。
A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V~5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref} \leq AV_{CC}$ としてください。
- *2 P67~P60 にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。
- *4 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *5 ポート A の印加電圧の上限は、CIN 入力非選択時は $V_{CCB}+0.3V$ 、CIN 入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *6 ポート A の特性は、 V_{CCB} 依存、その他の端子が出力モードの場合、 V_{CC} 依存です。

20. 電気的特性

表 20.2 DC 特性 (2)

条件: $V_{CC}=5.0V\pm 10\%$ 、 $V_{CCB}=5.0V\pm 10\%$ 、 $AV_{CC}^{*1}=5.0V\pm 10\%$ 、 $AV_{ref}^{*1}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}^{*1}=0V$

$T_a=-20\sim+75^\circ C$ (通常仕様品)、 $T_a=-40\sim+85^\circ C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	STBY、NMI、MD1~MD0		—	—	1.0		
	ポート 7		—	—	1.0		$V_{in}=0.5\sim AV_{CC}-0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1~6 ポート 8、9、A*4、B	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$ $V_{in}=0.5\sim V_{CCB}-0.5V$
入力プルアップ MOS 電流	ポート 1~3	- I_p	30	—	300	μA	$V_{in}=0V$
	ポート A*4、B、 ポート 6 (P6PUE=0)		60	—	600		
	ポート 6 (P6PUE=1)		15	—	200		
入力容量	RES	(4) C_{in}	—	—	80	pF	$V_{in}=0V$ $f=1MHz$ $T_a=25^\circ C$
	NMI		—	—	50		
	上記(4)以外の入力端子		—	—	15		
消費電流*2	通常動作時	I_{CC}	—	55	70	mA	$f=20MHz$
	スリープ時		—	36	55		$f=20MHz$
	スタンバイ時*3		—	1.0	5.0	μA	$T_a\leq 50^\circ C$
			—	—	20.0		$50^\circ C < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}	—	1.2	2.0	mA	
	A/D、D/A 変換待機時		—	0.01	5.0		
リファレンス 電源電流	A/D 変換中	AI_{ref}	—	0.5	1.0	mA	
	A/D、D/A 変換中		—	2.0	5.0		
	A/D、D/A 変換待機時		—	0.01	5.0	μA	$AV_{ref}=2.0V\sim AV_{CC}$
アナログ電源電圧*1		AV_{CC}	4.5	—	5.5	V	動作時
			2.0	—	5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0	—	—	V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V\sim 5.5V$ の範囲の電圧を印加してください。このとき、 $AV_{ref}\leq AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{CCB}-0.2V$ 、 $V_{IL\ max}=0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM}\leq V_{CC}<4.5V$ のとき、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{CCB}-0.2V$ 、 $V_{IL\ max}=0.2V$ とした場合の値です。

*4 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。

表 20.2 DC 特性 (3)

条件 : $V_{CC}=4.0V\sim 5.5V$ 、 $V_{CCB}=4.0V\sim 5.5V$ 、 $AV_{CC}^{*1}=4.0V\sim 5.5V$ 、 $AV_{ref}^{*1}=4.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}^{*1}=0V$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67~P60 (KWUL=00) *2*4、 KIN15~KIN0*5*6、 $\overline{IRQ2}\sim\overline{IRQ0}$ *3、 $\overline{IRQ5}\sim\overline{IRQ3}$	(1) V_T^-	1.0	—	—	V	$V_{CC}=4.5V\sim 5.5V$ 、 $V_{CCB}=4.5V\sim 5.5V$	
		V_T^+	—	—	$V_{CC}\times 0.7$ $V_{CCB}\times 0.7$			
		$V_T^+ - V_T^-$	0.4	—	—			
			V_T^-	0.8	—	—	V	$V_{CC}=4.0V\sim 4.5V$ 、 $V_{CCB}=4.0V\sim 4.5V$
			V_T^+	—	—	$V_{CC}\times 0.7$ $V_{CCB}\times 0.7$		
			$V_T^+ - V_T^-$	0.3	—	—		
シュミット トリガ入力電圧 (レベル 切換時) *4	P67~P60 (KWUL=01)	V_T^-	$V_{CC}\times 0.3$	—	—	V	$V_{CC}=4.0V\sim 5.5V$	
		V_T^+	—	—	$V_{CC}\times 0.7$			
		$V_T^+ - V_T^-$	$V_{CC}\times 0.05$	—	—			
	P67~P60 (KWUL=10)	V_T^-	$V_{CC}\times 0.4$	—	—			
		V_T^+	—	—	$V_{CC}\times 0.8$			
		$V_T^+ - V_T^-$	$V_{CC}\times 0.03$	—	—			
	P67~P60 (KWUL=11)	V_T^-	$V_{CC}\times 0.45$	—	—			
		V_T^+	—	—	$V_{CC}\times 0.9$			
		$V_T^+ - V_T^-$	0.05	—	—			
入力 High レベル電圧	RES、STBY、NMI、 MD1~MD0 EXTAL PA7~PA0*5 ポート 7	(2) V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V		
			$V_{CC}\times 0.7$	—	$V_{CC} + 0.3$			
			$V_{CCB}\times 0.7$	—	$V_{CCB} + 0.3$			
			2.0	—	$AV_{CC} + 0.3$			
	2.0		—	$V_{CC} + 0.3$				
上記(1)(2)以外の入力端子								
入力 Low レベル電圧	RES、STBY、 MD1~MD0 PA7~PA0	(3) V_{IL}	- 0.3	—	0.5	V	$V_{CCB}=4.5V\sim 5.5V$ $V_{CCB}=4.0V\sim 4.5V$	
			- 0.3	—	1.0			
			- 0.3	—	0.8			
	- 0.3		—	0.8				
NMI、EXTAL ほか、 上記(1)(3)以外の入力端子								

20. 電氣的特性

項目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -200 \mu A$
			$V_{CCB} - 0.5$	—	—	V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$
			3.5	—	—	V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.0V \sim 4.5V$ 、 $V_{CCB} = 4.0V \sim 4.5V$
出力 Low レベル電圧	全出力端子 (\overline{RESO} を除く)	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3		—	—	1.0	V	$I_{OL} = 10mA$
	\overline{RESO}		—	—	0.4	V	$I_{OL} = 2.6mA$

- 【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。
A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V~5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref} \leq AV_{CC}$ としてください。
- *2 P67~P60 にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。
- *4 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC} + 0.3V$ 、CIN 入力選択時は $V_{CC} + 0.3V$ と $AV_{CC} + 0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *5 ポート A の印加電圧の上限は、CIN 入力非選択時は $V_{CCB} + 0.3V$ 、CIN 入力選択時は $V_{CCB} + 0.3V$ と $AV_{CC} + 0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *6 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。

表 20.2 DC 特性 (4)

条件 : $V_{CC}=4.0V\sim 5.5V$ 、 $V_{CCB}=4.0V\sim 5.5V$ 、 $AV_{CC}^{*1}=4.0V\sim 5.5V$ 、 $AV_{ref}^{*1}=4.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}^{*1}=0V$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	STBY、NMI、MD1~MD0		—	—	1.0		
	ポート 7		—	—	1.0		$V_{in}=0.5\sim AV_{CC}-0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1~6 ポート 8、9、A*4、B	$ I_{TSJ} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$ 、 $V_{in}=0.5\sim V_{CCB}-0.5V$
入力プリアップ MOS 電流	ポート 1~3	- I_p	30	—	300	μA	$V_{in}=0V$ 、 $V_{CC}=4.5V\sim 5.5V$ 、 $V_{CCB}=4.5V\sim 5.5V$
	ポート A*4、B、 ポート 6 (P6PUE=0)		60	—	600		
	ポート 6 (P6PUE=1)		15	—	200		
	ポート 1~3		20	—	200	μA	$V_{in}=0V$ 、 $V_{CC}=4.0V\sim 4.5V$ 、 $V_{CCB}=4.0V\sim 4.5V$
	ポート A*4、B、 ポート 6 (P6PUE=0)		40	—	500		
	ポート 6 (P6PUE=1)		10	—	150		
入力容量	RES	(4) C_{in}	—	—	80	pF	$V_{in}=0V$ 、 $f=1MHz$ 、 $T_a=25^{\circ}C$
	NMI		—	—	50		
	上記(4)以外の入力端子		—	—	15		
消費電流*2	通常動作時	I_{CC}	—	45	58	mA	$f=16MHz$
	スリープ時		—	30	46		
	スタンバイ時*3		—	1.0	5.0	μA	$T_a\leq 50^{\circ}C$
			—	—	20.0		$50^{\circ}C < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}	—	1.2	2.0	mA	
	A/D、D/A 変換待機時		—	0.01	5.0		
リファレンス 電源電流	A/D 変換中	AI_{ref}	—	0.5	1.0	mA	
	A/D、D/A 変換中		—	2.0	5.0		
	A/D、D/A 変換待機時		—	0.01	5.0	μA	$AV_{ref}=2.0V\sim AV_{CC}$
アナログ電源電圧*1		AV_{CC}	4.0	—	5.5	V	動作時
			2.0	—	5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0	—	—	V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref}\leq AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{CCB}-0.2V$ 、 $V_{IL\ max}=0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プリアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM}\leq V_{CC}<4.0V$ のとき、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{CCB}-0.2V$ 、 $V_{IL\ max}=0.2V$ とした場合の値です。

*4 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。

20. 電氣的特性

表 20.3 出力許容電流値

条件 : $V_{CC}=4.0V\sim 5.5V$ 、 $V_{CCB}=4.0V\sim 5.5V$ 、 $V_{SS}=0V$

$T_a = -20\sim +75^{\circ}C$ (通常仕様品)、 $T_a = -40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	
出力 Low レベル許容電流 (1 端子あたり)	PA7~PA4 (バス駆動機能選択)	I _{OL}	—	—	20	mA
	ポート 1、2、3		—	—	10	
	RESO		—	—	3	
	上記以外の出力端子		—	—	2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	Σ I _{OL}	—	—	80	mA
	上記を含む、全出力端子の総和		—	—	120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	- I _{OH}	—	—	2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	Σ - I _{OH}	—	—	40	mA

- 【注】
1. LSI の信頼性を確保するため、出力電流値は表 20.3 の値を超えないようにしてください。
 2. ダーリントントランジスタや、LED を直接駆動する場合には、図 20.1、図 20.2 に示すように出力に必ず電流制限抵抗を挿入してください。

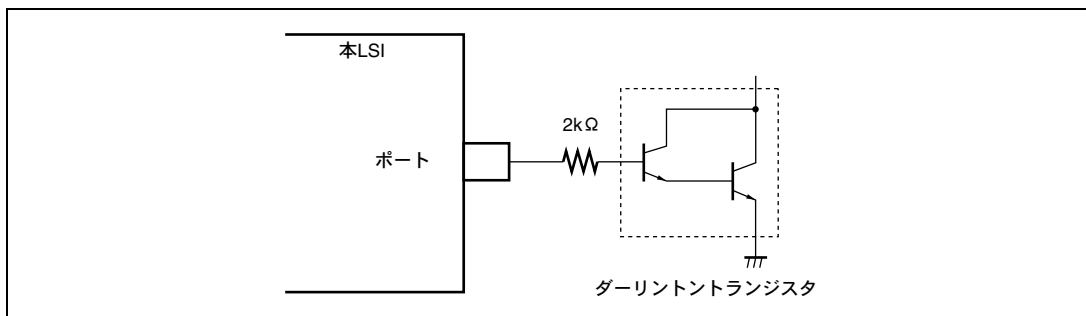


図 20.1 ダーリントントランジスタ駆動回路例

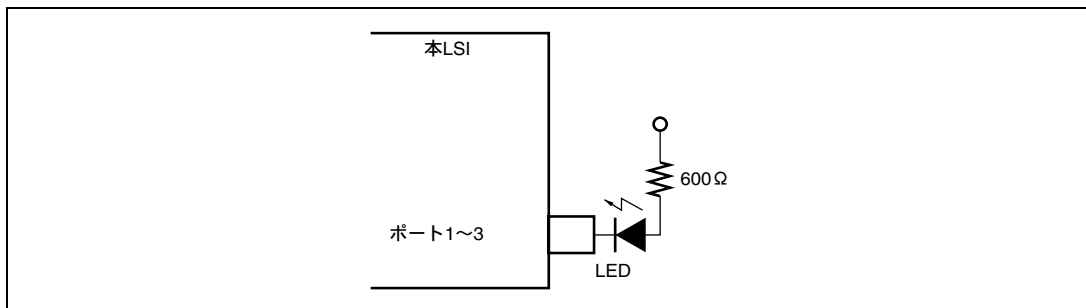


図 20.2 LED 駆動回路例

表 20.4 バス駆動特性

条件 : $V_{CCB}=4.0V\sim 5.5V$ 、 $V_{SS}=0V$

対象端子 : PA7~PA4 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	V_{OL}	—	—	0.8	V	$I_{OL}=16mA$ 、 $V_{CCB}=4.5V\sim 5.5V$
		—	—	0.5		$I_{OL}=8mA$
		—	—	0.4		$I_{OL}=3mA$

20.1.3 AC 特性

図 20.3 に AC 特性測定条件を示します。

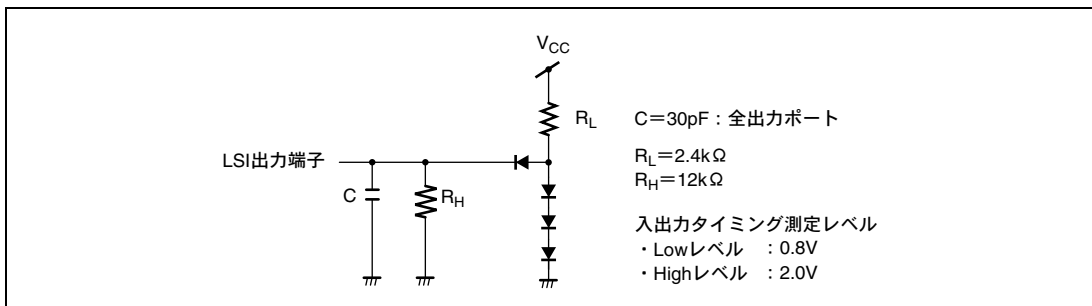


図 20.3 出力負荷回路

20. 電気的特性

(1) クロックタイミング

表 20.5 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック (ϕ) 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 17 章 クロック発振器」を参照してください。

表 20.5 クロックタイミング

条件 A : $V_{CC}=5.0V\pm 10\%$ 、 $V_{CCB}=5.0V\pm 10\%$ 、 $V_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数

$T_a = -20\sim+75^\circ C$ (通常仕様品)、 $T_a = -40\sim+85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0V\sim 5.5V$ 、 $V_{CCB}=4.0V\sim 5.5V$ 、 $V_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数

$T_a = -20\sim+75^\circ C$ (通常仕様品)、 $T_a = -40\sim+85^\circ C$ (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
クロックサイクル時間	t_{cyc}	62.5	500	50	500	ns	図 20.4
クロックハイレベルパルス幅	t_{CH}	20	—	17	—	ns	図 20.4
クロックローレベルパルス幅	t_{CL}	20	—	17	—	ns	
クロック立ち上がり時間	t_{Cr}	—	10	—	8	ns	
クロック立ち下がり時間	t_{Cf}	—	10	—	8	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	10	—	10	—	ms	図 20.5
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8	—	8	—	ms	図 20.6
外部クロック出力安定遅延時間	t_{DEXT}	500	—	500	—	μs	

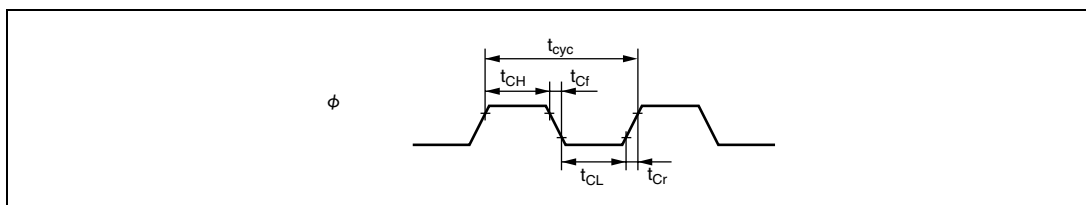


図 20.4 システムクロックタイミング

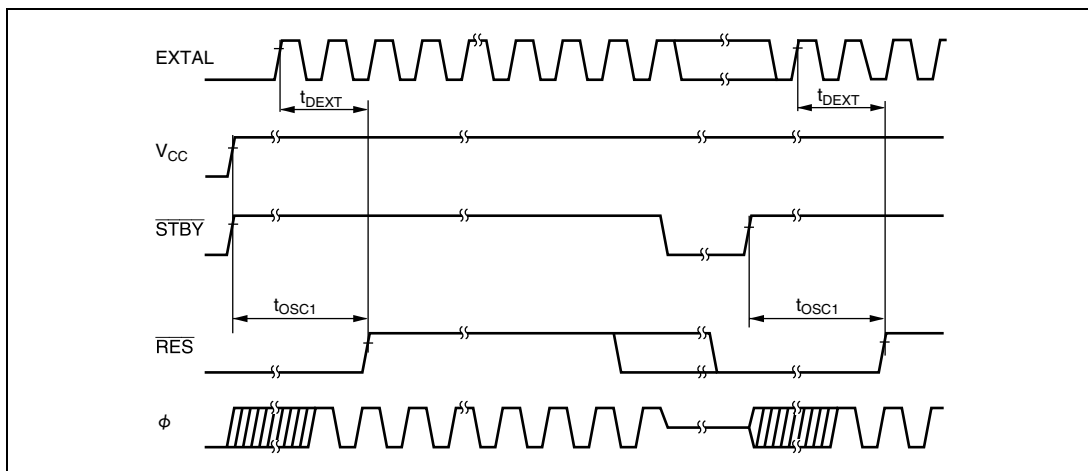


図 20.5 発振安定時間タイミング

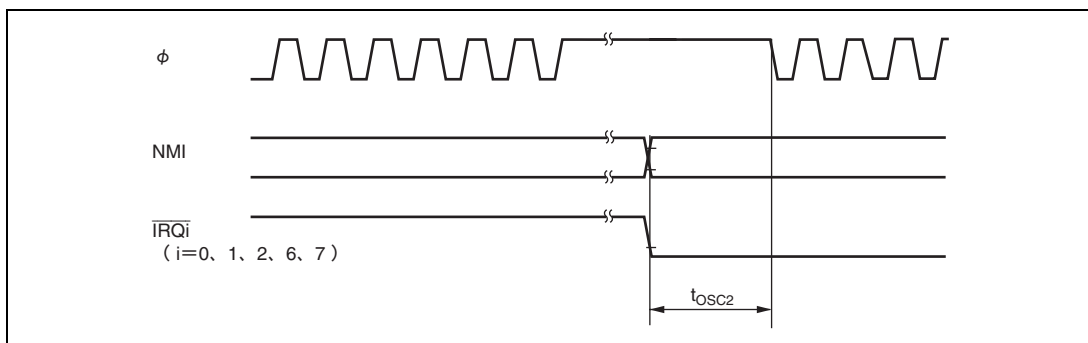


図 20.6 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

20. 電気的特性

(2) 制御信号タイミング

表 20.6 に制御信号タイミングを示します。サブクロック ($\phi = 32.768\text{kHz}$) で動作可能な外部割り込みは、NMI、IRQ0~IRQ2, IRQ6, IRQ7 のみです。

表 20.6 制御信号タイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $\phi = 32.768\text{kHz}$, 2MHz~最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 32.768\text{kHz}$, 2MHz~最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
RES セットアップ時間	t_{RESS}	200	—	200	—	ns	図 20.7
RES パルス幅	t_{RESW}	20	—	20	—	t_{cyc}	
NMI セットアップ時間 (NMI)	t_{NMIS}	150	—	150	—	ns	図 20.8
NMI ホールド時間 (NMI)	t_{NMIH}	10	—	10	—	ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	200	—	ns	
IRQ セットアップ時間 (IRQ7~IRQ0)	t_{IRQS}	150	—	150	—	ns	
IRQ ホールド時間 (IRQ7~IRQ0)	t_{IRQH}	10	—	10	—	ns	
IRQ パルス幅 (IRQ7, IRQ6, IRQ2~IRQ0) (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—	200	—	ns	

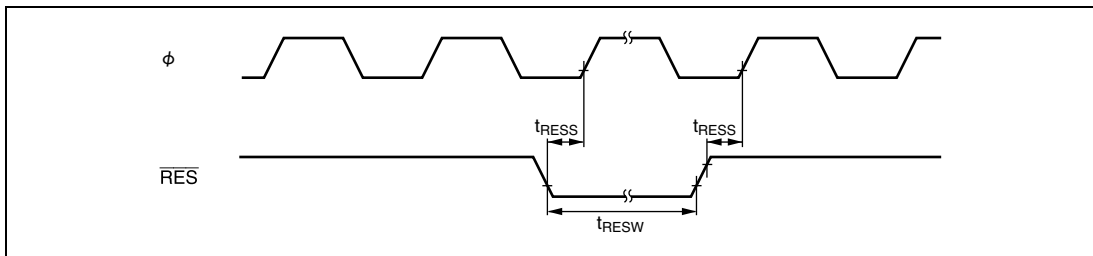


図 20.7 リセット入力タイミング

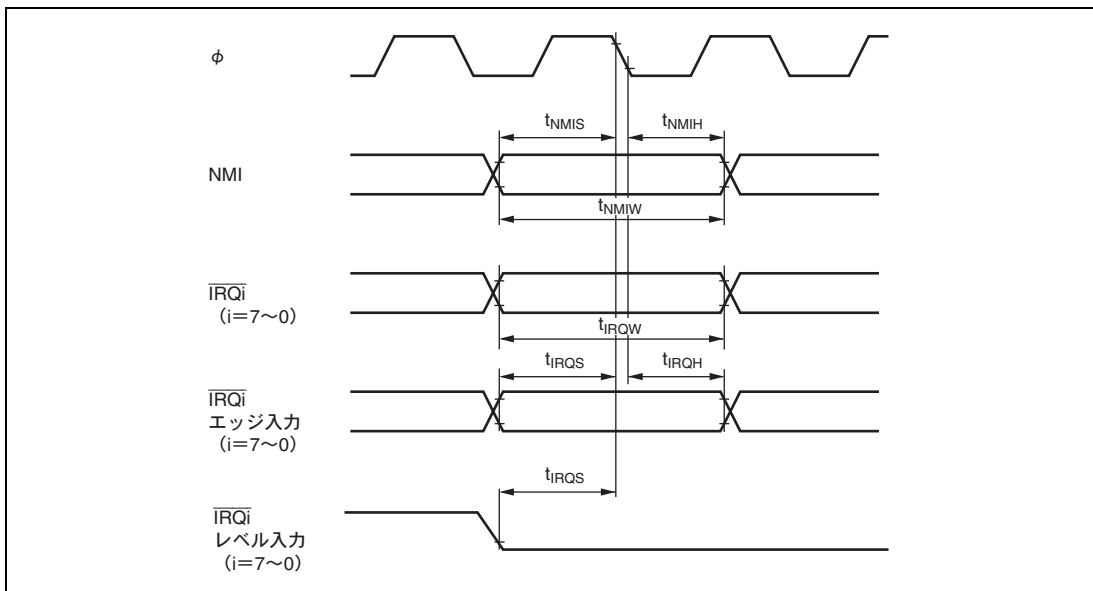


図 20.8 割り込み入力タイミング

20. 電気的特性

(3) バスタイミング

表 20.7 にバスタイミングを示します。サブクロック ($\phi = 32.768\text{kHz}$) 動作では、外部拡張モードの動作は保証されません。

表 20.7 バスタイミング (1) (ノーマルモード使用時)

条件 A : $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{CCB} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 2\text{MHz} \sim$ 最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{CCB} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 2\text{MHz} \sim$ 最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
アドレス遅延時間	t_{AD}	—	30	—	20	ns	図 20.9 ~ 図 20.13
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 20$	—	$0.5 \times t_{cyc} - 15$	—	ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 15$	—	$0.5 \times t_{cyc} - 10$	—	ns	
\overline{CS} 遅延時間 (\overline{IOS})	t_{CSD}	—	30	—	20	ns	
\overline{AS} 遅延時間	t_{ASD}	—	45	—	30	ns	
RD 遅延時間 1	t_{RSD1}	—	45	—	30	ns	
RD 遅延時間 2	t_{RSD2}	—	45	—	30	ns	
リードデータセットアップ時間	t_{RDS}	20	—	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	0	—	ns	
リードデータアクセス時間 1	t_{ACC1}	—	$1.0 \times t_{cyc} - 40$	—	$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	t_{ACC2}	—	$1.5 \times t_{cyc} - 35$	—	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}	—	$2.0 \times t_{cyc} - 40$	—	$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	t_{ACC4}	—	$2.5 \times t_{cyc} - 35$	—	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}	—	$3.0 \times t_{cyc} - 40$	—	$3.0 \times t_{cyc} - 30$	ns	
HWR、LWR 遅延時間 1	t_{WRD1}	—	45	—	30	ns	
HWR、LWR 遅延時間 2	t_{WRD2}	—	45	—	30	ns	
HWR、LWR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 30$	—	$1.0 \times t_{cyc} - 20$	—	ns	
HWR、LWR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 30$	—	$1.5 \times t_{cyc} - 20$	—	ns	

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
ライトデータ遅延時間	t_{WDD}	—	45	—	30	ns	図 20.9 ~ 図 20.13
ライトデータセットアップ時間	t_{WDS}	0	—	0	—	ns	
ライトデータホールド時間	t_{WDH}	15	—	10	—	ns	
WAIT セットアップ時間	t_{WTS}	45	—	30	—	ns	
WAIT ホールド時間	t_{WTH}	5	—	5	—	ns	

表 20.7 バスタイミング (2) (アドバンスモード使用時)

条件 A : $V_{CC}=5.0V \pm 10\%$ 、 $V_{CCB}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0V \sim 5.5V$ 、 $V_{CCB}=4.0V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
アドレス遅延時間	t_{AD}	—	45	—	30	ns	図 20.9 ~ 図 20.13
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 35$	—	$0.5 \times t_{cyc} - 25$	—	ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 15$	—	$0.5 \times t_{cyc} - 10$	—	ns	
CS 遅延時間 (IOS)	t_{CSD}	—	45	—	30	ns	
AS 遅延時間	t_{ASD}	—	45	—	30	ns	
RD 遅延時間 1	t_{RSD1}	—	45	—	30	ns	
RD 遅延時間 2	t_{RSD2}	—	45	—	30	ns	
リードデータセットアップ時間	t_{RDS}	20	—	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	0	—	ns	
リードデータアクセス時間 1	t_{ACC1}	—	$1.0 \times t_{cyc} - 55$	—	$1.0 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 2	t_{ACC2}	—	$2.5 \times t_{cyc} - 35$	—	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}	—	$3.0 \times t_{cyc} - 55$	—	$3.0 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 4	t_{ACC4}	—	$2.5 \times t_{cyc} - 35$	—	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}	—	$3.0 \times t_{cyc} - 55$	—	$3.0 \times t_{cyc} - 40$	ns	
HWR、LWR 遅延時間 1	t_{WRD1}	—	45	—	30	ns	
HWR、LWR 遅延時間 2	t_{WRD2}	—	45	—	30	ns	

20. 電気的特性

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
HWR、LWR パルス幅 1	t_{WSW1}	$1.0 \times$ $t_{cyc} - 30$	—	$1.0 \times$ $t_{cyc} - 20$	—	ns	図 20.9 ～ 図 20.13
HWR、LWR パルス幅 2	t_{WSW2}	$1.5 \times$ $t_{cyc} - 30$	—	$1.5 \times$ $t_{cyc} - 20$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	45	—	30	ns	
ライトデータセットアップ時間	t_{WDS}	0	—	0	—	ns	
ライトデータホールド時間	t_{WDH}	15	—	10	—	ns	
WAIT セットアップ時間	t_{WTS}	45	—	30	—	ns	
WAIT ホールド時間	t_{WTH}	5	—	5	—	ns	

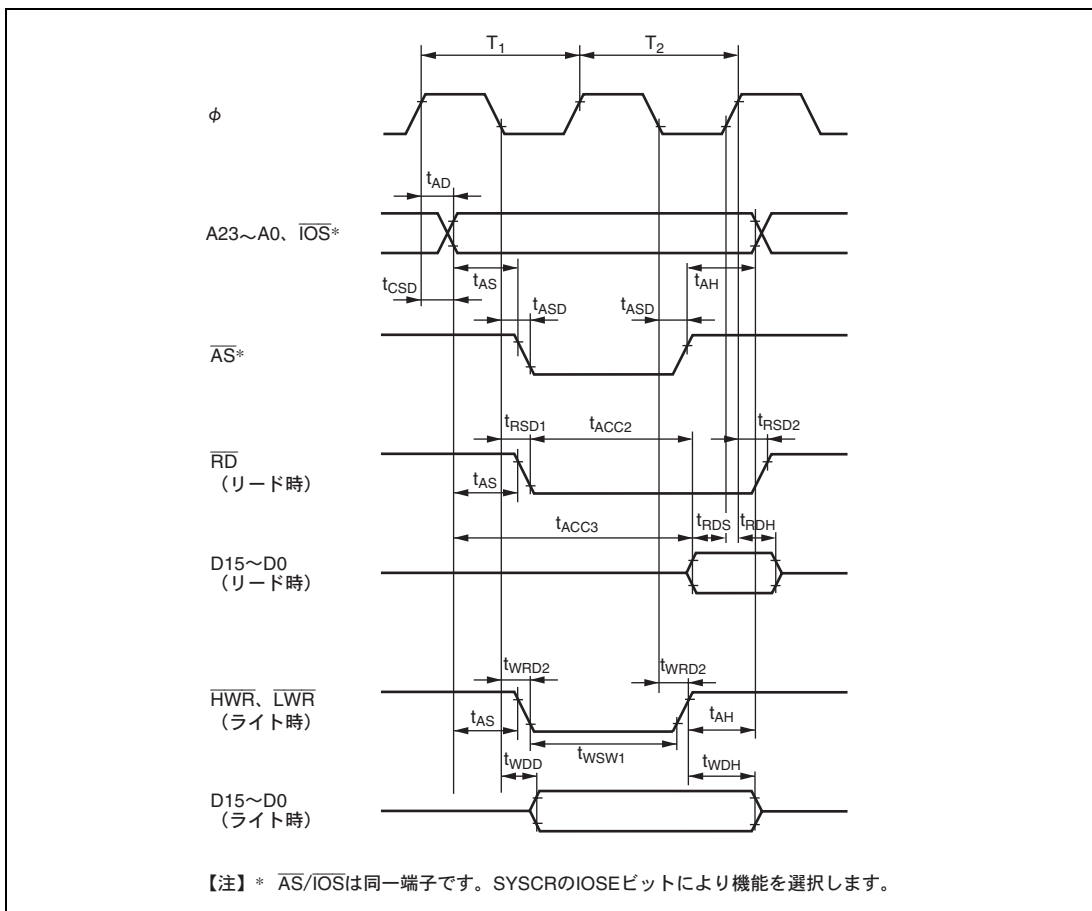


図 20.9 基本バスタイミング/2 ステートアクセス

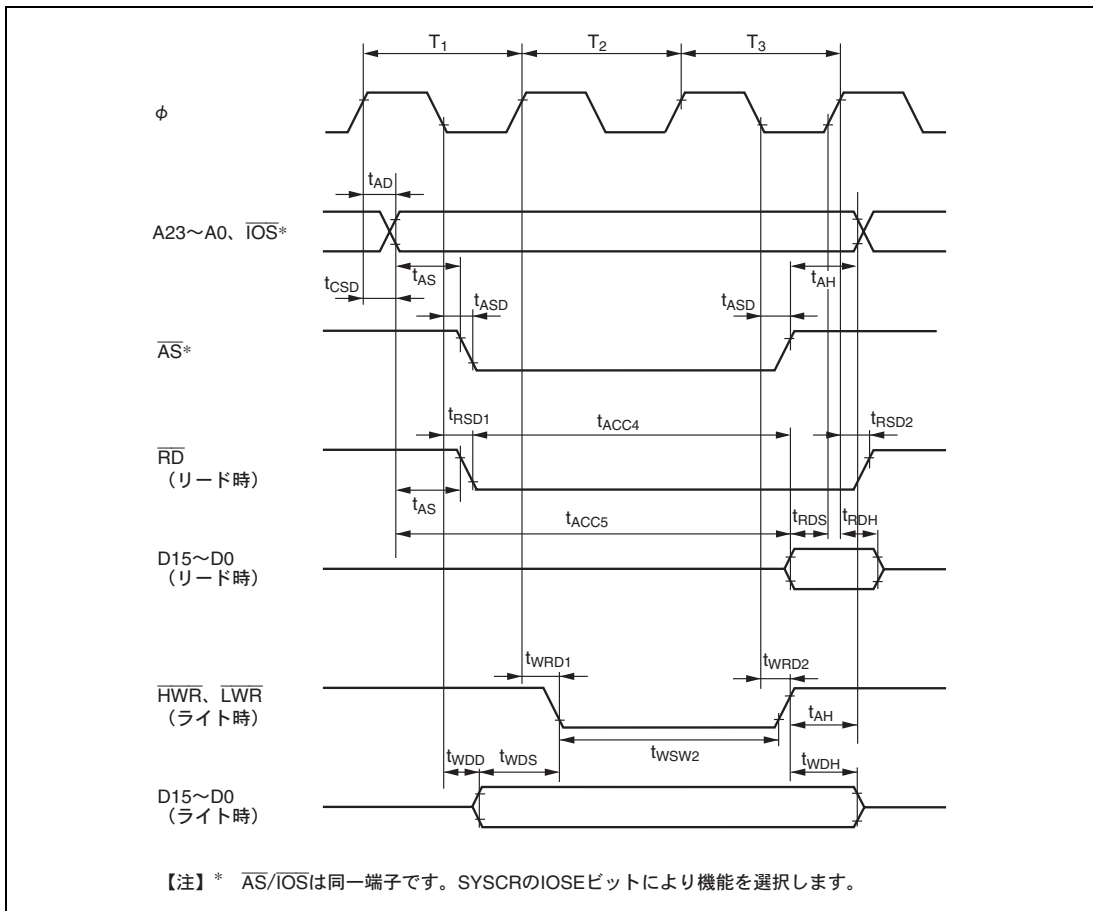


図 20.10 基本バスタイミング/3 ステートアクセス

20. 電気的特性

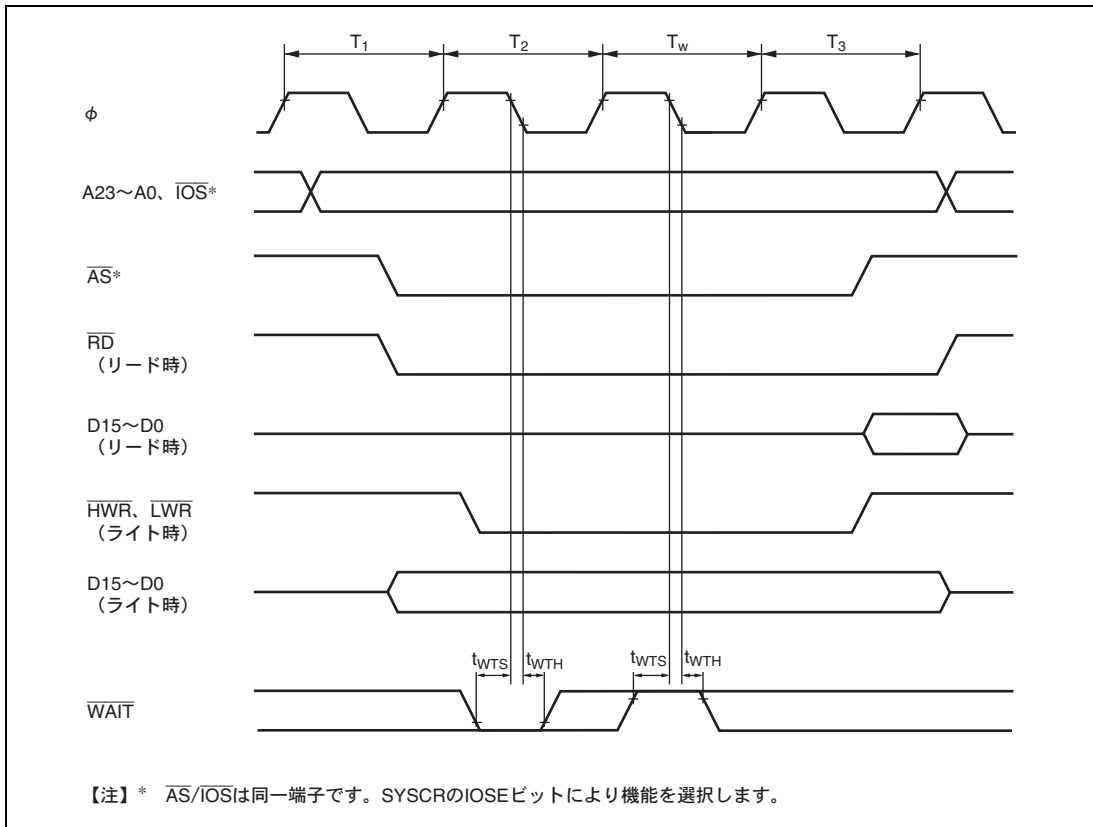


図 20.11 基本バスタイミング/3 ステートアクセス 1 ウェイト

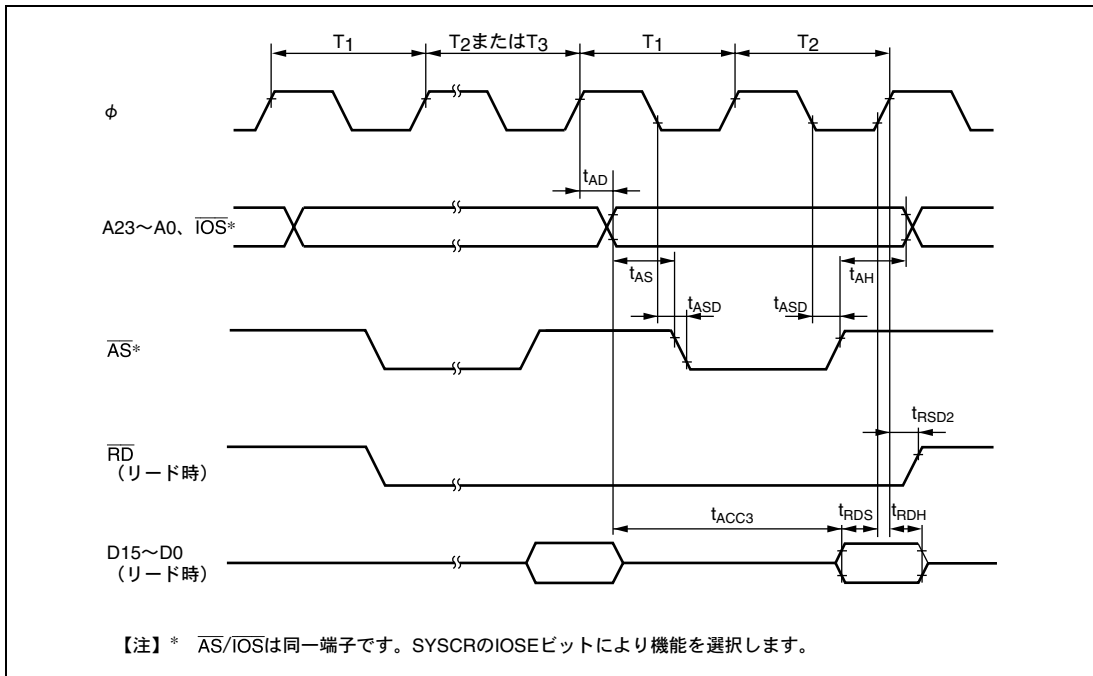


図 20.12 バースト ROM アクセスタイミング/2 ステートアクセス

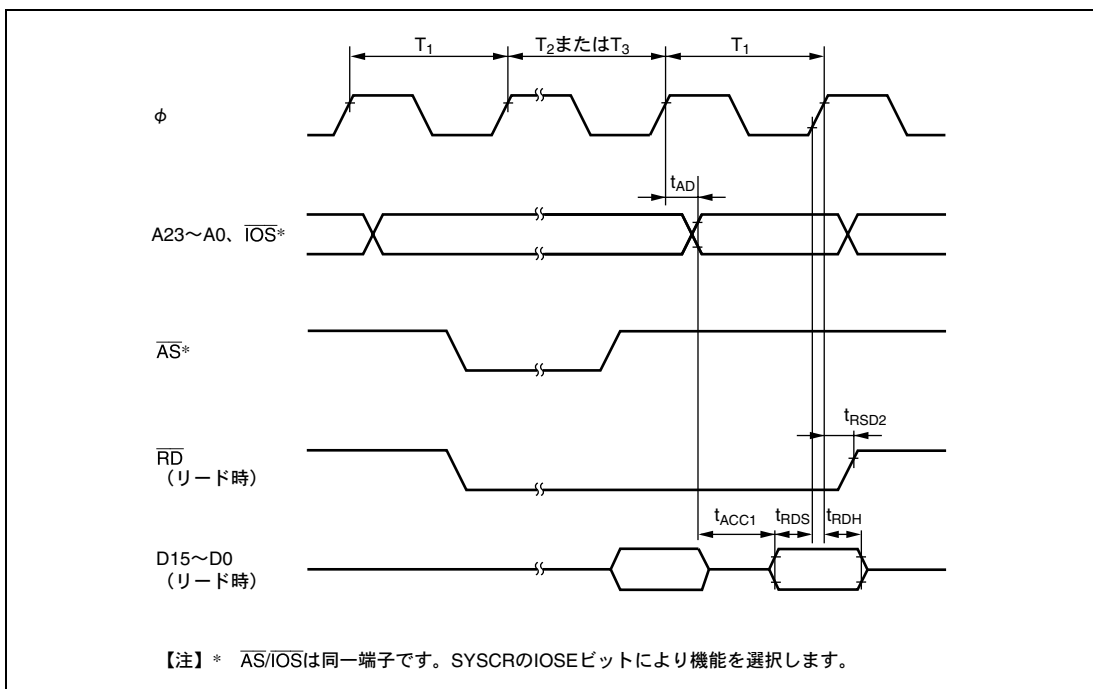


図 20.13 バースト ROM アクセスタイミング/1 ステートアクセス

20. 電気的特性

(4) 内蔵周辺モジュールタイミング

表 20.8 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ($\phi = 32.768\text{kHz}$) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0~2, 6, 7)、ウォッチドッグタイマ、8 ビットタイマ (チャンネル 0, 1) のみです。

表 20.8 内蔵周辺モジュールタイミング

条件 A : $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{CCB} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}^*$ 、 $2\text{MHz} \sim$ 最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{CCB} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}^*$ 、 $2\text{MHz} \sim$ 最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

項目		記号	条件 B		条件 A		単位	測定条件	
			16MHz		20MHz				
			min	max	min	max			
I/O ポート	出力データ遅延時間	t_{PWD}	—	50	—	50	ns	図 20.14	
	入力データセットアップ時間	t_{PRS}	30	—	30	—			
	入力データホールド時間	t_{PRH}	30	—	30	—			
FRT	タイマ出力遅延時間	t_{FTOD}	—	50	—	50	ns	図 20.15	
	タイマ入力セットアップ時間	t_{FTIS}	30	—	30	—			
	タイマクロック入力セットアップ時間	t_{FTCS}	30	—	30	—			図 20.16
	タイマクロック パルス幅	単エッジ指定	t_{FTCWH}	1.5	—	1.5	—	t_{cyc}	
		両エッジ指定	t_{FTCWL}	2.5	—	2.5	—		
TMR	タイマ出力遅延時間	t_{TMOD}	—	50	—	50	ns	図 20.17 図 20.19 図 20.18	
	タイマリセット入力セットアップ時間	t_{TMRS}	30	—	30	—			
	タイマクロック入力セットアップ時間	t_{TMCS}	30	—	30	—			
	タイマクロック パルス幅	単エッジ指定	t_{TMCWH}	1.5	—	1.5	—	t_{cyc}	
		両エッジ指定	t_{TMCWL}	2.5	—	2.5	—		
PWMX	パルス出力遅延時間	t_{PWOD}	—	50	—	50	ns	図 20.20	
SCI	入カクロック サイクル	調歩同期	t_{SCYC}	4	—	4	—	t_{cyc}	図 20.21
		クロック同期		6	—	6	—		
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	t_{SCYC}		
	入カクロック立ち上がり時間	t_{SCKr}	—	1.5	—	1.5	t_{cyc}		
	入カクロック立ち下がり時間	t_{SCKf}	—	1.5	—	1.5			
	送信データ遅延時間 (クロック同期)	t_{TXD}	—	50	—	50	ns	図 20.22	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	50	—	50	—			
受信データホールド時間 (クロック同期)	t_{RXH}	50	—	50	—				

項目		記号	条件 B		条件 A		単位	測定条件
			16MHz		20MHz			
			min	max	min	max		
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	30	—	ns	図 20.23
WDT	$\overline{RES0}$ 出力遅延時間	t_{RESD}	—	120	—	100	ns	図 20.24
	$\overline{RES0}$ 出力パルス幅	t_{RESOW}	132	—	132	—	t_{cyc}	

【注】 * サブクロック動作時に使用可能な内蔵周辺モジュールのみ

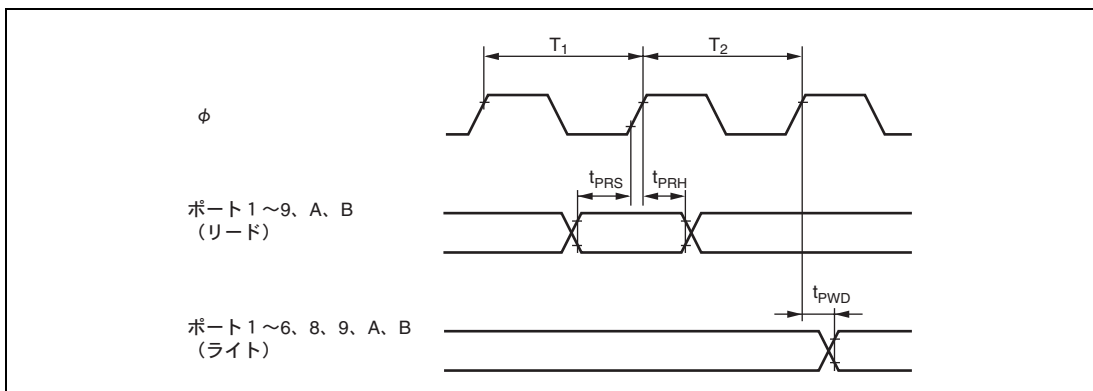


図 20.14 I/O ポート入出力タイミング

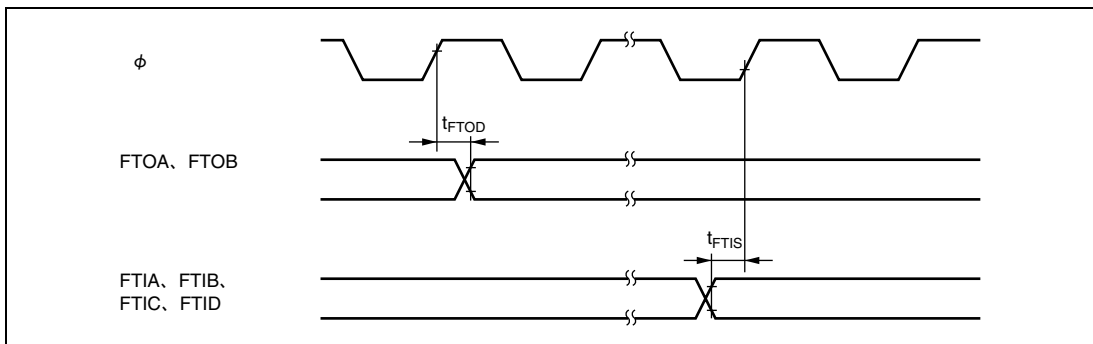


図 20.15 FRT 入出力タイミング

20. 電気的特性

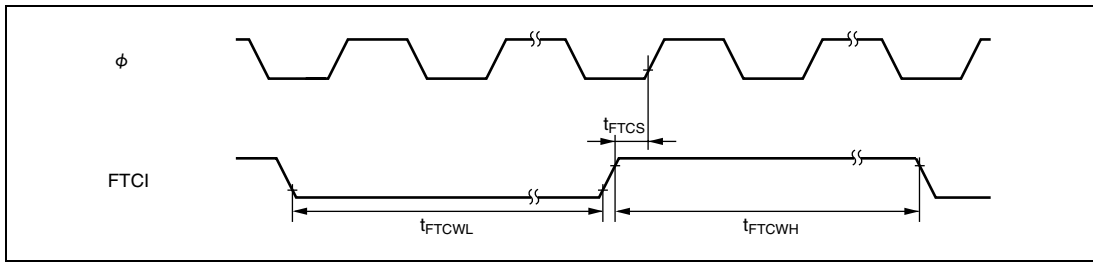


図 20.16 FRT クロック入力タイミング

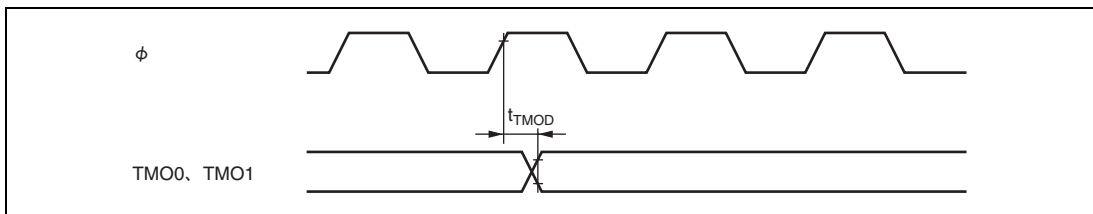


図 20.17 8 ビットタイマ出カタイミング

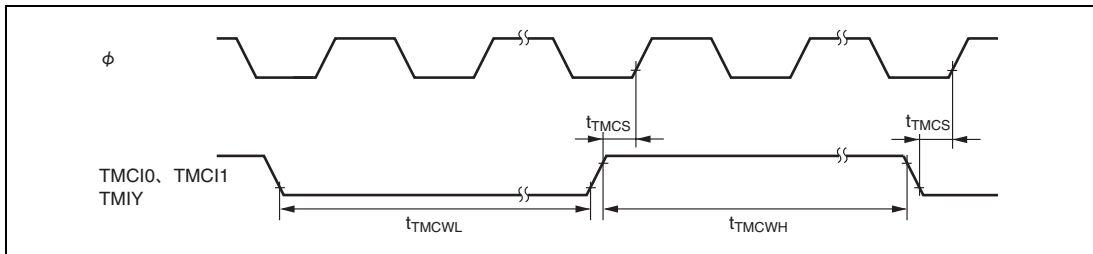


図 20.18 8 ビットタイマクロック入力タイミング

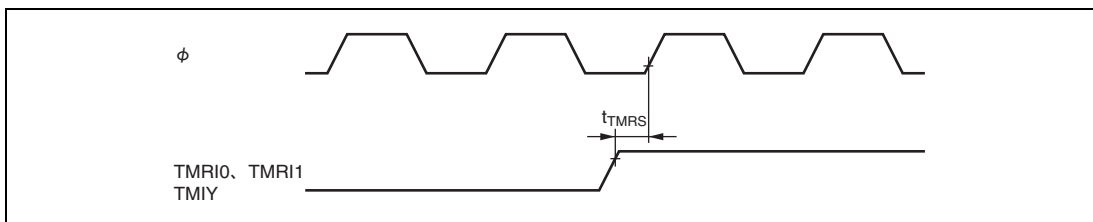


図 20.19 8 ビットタイマリセット入力タイミング

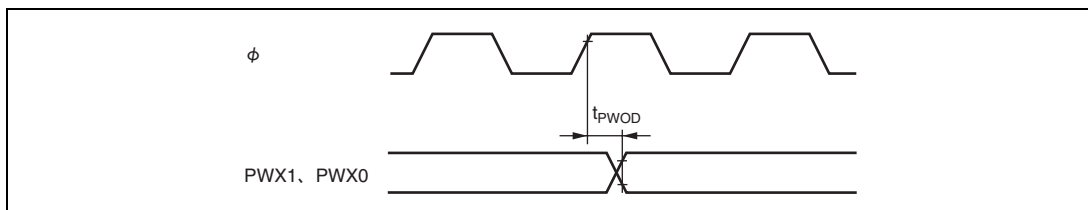


図 20.20 PWM、PWMX 出カタイミング

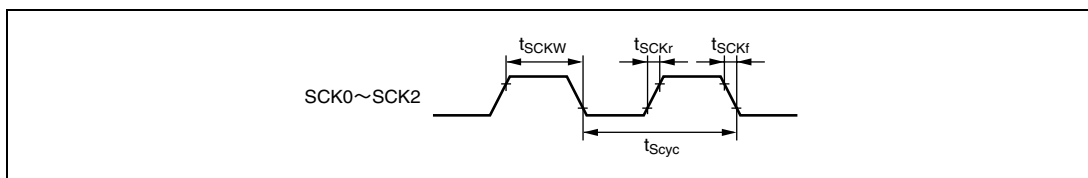


図 20.21 SCK クロック入カタイミング

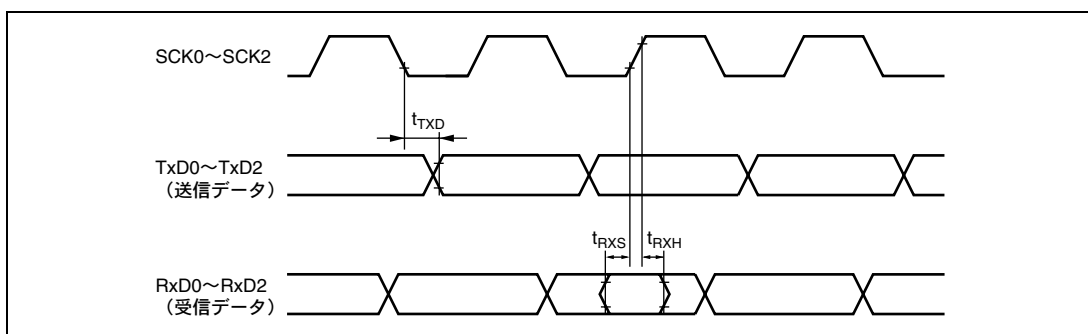


図 20.22 SCI 入出カタイミング/クロック同期式モード

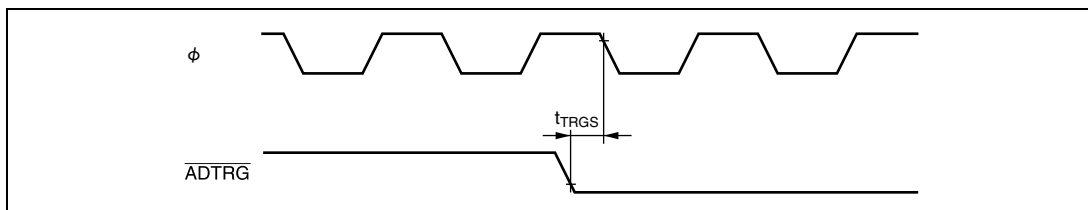


図 20.23 A/D 変換器外部トリガ入カタイミング

20. 電気的特性

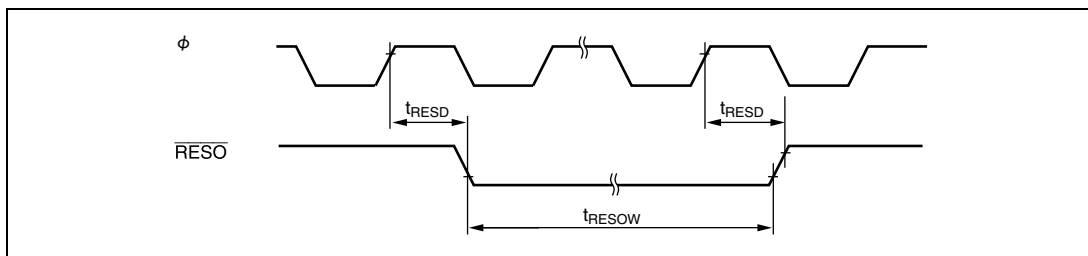


図 20.24 WDT 出カタイミング ($\overline{\text{RESO}}$)

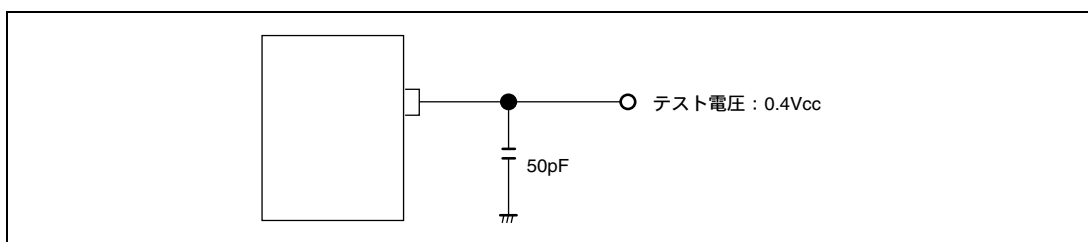


図 20.25 テスタ測定条件

20.1.4 A/D 変換特性

A/D 変換特性を表 20.9、表 20.10 に示します。

表 20.9 A/D 変換特性 (AN7~AN0 入力 : 134/266 ステート変換)

条件 A : $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0V \sim 5.5V$ 、 $AV_{CC}=4.0V \sim 5.5V$ 、 $AV_{ref}=4.0V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	条件 B			条件 A			単位
	16MHz			20MHz			
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間* ³	—	—	8.4	—	—	6.7	μs
アナログ入力容量	—	—	20	—	—	20	pF
許容信号源インピーダンス	—	—	10* ¹	—	—	10* ¹	k Ω
			5* ²			5* ²	
非直線性誤差	—	—	± 3.0	—	—	± 3.0	LSB
オフセット誤差	—	—	± 3.5	—	—	± 3.5	LSB
フルスケール誤差	—	—	± 3.5	—	—	± 3.5	LSB
量子化誤差	—	—	± 0.5	—	—	± 0.5	LSB
絶対精度	—	—	± 4.0	—	—	± 4.0	LSB

【注】 *1 変換時間 $\geq 11.17 \mu s$ (CKS=1 で $\phi \leq 12MHz$ 、または CKS=0) のとき

*2 変換時間 $< 11.17 \mu s$ (CKS=1 で $\phi > 12MHz$) のとき

*3 シングルモードで最大動作周波数のとき

20. 電気的特性

表 20.10 A/D 変換特性 (CIN15~CIN0 入力 : 134/266 ステート変換)

条件 A : $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0V \sim 5.5V$ 、 $AV_{CC}=4.0V \sim 5.5V$ 、 $AV_{ref}=4.0V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	条件 B			条件 A			単位
	16MHz			20MHz			
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間*3	—	—	8.4	—	—	6.7	μs
アナログ入力容量	—	—	20	—	—	20	pF
許容信号源インピーダンス	—	—	10^{*1}	—	—	10^{*1}	k Ω
			5^{*2}			5^{*2}	
非直線性誤差	—	—	± 5.0	—	—	± 5.0	LSB
オフセット誤差	—	—	± 5.5	—	—	± 5.5	LSB
フルスケール誤差	—	—	± 5.5	—	—	± 5.5	LSB
量子化誤差	—	—	± 0.5	—	—	± 0.5	LSB
絶対精度	—	—	± 6.0	—	—	± 6.0	LSB

【注】 *1 変換時間 $\geq 11.17 \mu s$ (CKS=1 で $\phi \leq 12MHz$ 、または CKS=0) のとき

*2 変換時間 $< 11.17 \mu s$ (CKS=1 で $\phi > 12MHz$) のとき

*3 シングルモードで最大動作周波数のとき

20.1.5 D/A 変換特性

D/A 変換特性を表 20.11 に示します。

表 20.11 D/A 変換特性

条件 A : $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0V \sim 5.5V$ 、 $AV_{CC}=4.0V \sim 5.5V$ 、 $AV_{ref}=4.0V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		条件 B			条件 A			単位
		16MHz			20MHz			
		min	typ	max	min	typ	max	
分解能		8			8			ビット
変換時間	負荷容量 20pF	—	—	10	—	—	10	μs
絶対精度	負荷抵抗 2M Ω	—	± 1.0	± 1.5	—	± 1.0	± 1.5	LSB
	負荷抵抗 4M Ω	—	—	± 1.0	—	—	± 1.0	

20.1.6 フラッシュメモリ特性

表 20.12 にフラッシュメモリ特性を示します。

表 20.12 フラッシュメモリ特性 (書き込み/消去時の動作範囲)

条件 : $V_{CC}=4.0V \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim +75^\circ C$ (通常仕様品)、 $T_a=-40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間 ^{*1*2*4}		tP	—	10	200	ms/ 128 バイト	
消去時間 ^{*1*3*6}		tE	—	100	1200	ms/ブロック	
書き替え回数		N _{WEC}	—	—	100	回	
書き込み時	SWE-bit セット後のウェイト時間 ^{*1}	x	1	—	—	μs	
	PSU-bit セット後のウェイト時間 ^{*1}	y	50	—	—	μs	
	P-bit セット後のウェイト時間 ^{*1*4}	z1	28	30	32	μs	$1 \leq n \leq 6$
		z2	198	200	202	μs	$7 \leq n \leq 1000$
		z3	8	10	12	μs	追加書き込み
	P-bit クリア後のウェイト時間 ^{*1}	α	5	—	—	μs	
	PSU-bit クリア後のウェイト時間 ^{*1}	β	5	—	—	μs	
	PV-bit セット後のウェイト時間 ^{*1}	γ	4	—	—	μs	
	ダミーライト後のウェイト時間 ^{*1}	ε	2	—	—	μs	
	PV-bit クリア後のウェイト時間 ^{*1}	η	2	—	—	μs	
	SWE-bit クリア後のウェイト時間 ^{*1}	θ	100	—	—	μs	
最大書き込み回数 ^{*1*4*5}	N	—	—	1000	回		

20. 電気的特性

項目		記号	min.	typ.	max.	単位	測定条件
消去時	SWE-bit セット後のウェイト時間* ¹	x	1	—	—	μs	
	ESU-bit セット後のウェイト時間* ¹	y	100	—	—	μs	
	E-bit セット後のウェイト時間* ¹ * ⁶	z	10	—	100	ms	
	E-bit クリア後のウェイト時間* ¹	α	10	—	—	μs	
	ESU-bit クリア後のウェイト時間* ¹	β	10	—	—	μs	
	EV-bit セット後のウェイト時間* ¹	γ	20	—	—	μs	
	H'FF ダミーライト後のウェイト時間* ¹	ε	2	—	—	μs	
	EV-bit クリア後のウェイト時間* ¹	η	4	—	—	μs	
	SWE-bit クリア後のウェイト時間* ¹	θ	100	—	—	μs	
	最大消去回数* ¹ * ⁶ * ⁷	N	—	—	120	回	

- 【注】 *1 各時間の設定は、書き込み/消去のアルゴリズムに従って行ってください。
- *2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）
- *3 1 ブロックを消去する時間（フラッシュメモリコントロールレジスタ（FLMCR1）の E-bit をセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）
- *4 書き込み時間の最大値（tP（max））

$$tP（max） = （P\text{-bit セット後のウェイト時間 } (z1) + (z3) ） \times 6$$

$$+ P\text{-bit セット後のウェイト時間 } (z2) \times （ N - 6 ）$$
- *5 最大書き込み回数（N）は、実際の（z1、z2、z3）の設定値に合わせ、書き込み時間の最大値（tP（max））以下となるよう設定してください。また、P-bit セット後のウェイト時間（z1、z2、z3）は、下記のように書き込み回数（n）の値によって切り替えてください。
書き込み回数 n

$$1 \leq n \leq 6 \quad z1 = 30 \mu s, \quad z3 = 10 \mu s$$

$$7 \leq n \leq 1000 \quad z2 = 200 \mu s$$
- *6 消去時間の最大値（tE（max））

$$tE（max） = E\text{-bit セット後のウェイト時間 } (z) \times \text{最大消去回数 } (N)$$
- *7 最大消去回数（N）は、実際の（z）の設定値に合わせ、消去時間の最大値（tE(max)）以下となるよう設定してください。

20.1.7 使用上の注意事項

1. 内部降圧品

本製品は、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。

この内部降圧端子（VCL端子）とVSS端子間には、内部電圧安定用のコンデンサ（ $0.47\mu\text{F}$ を1個または2個並列）を接続する必要があります。

外付けコンデンサ接続方法は図20.26を参照してください。

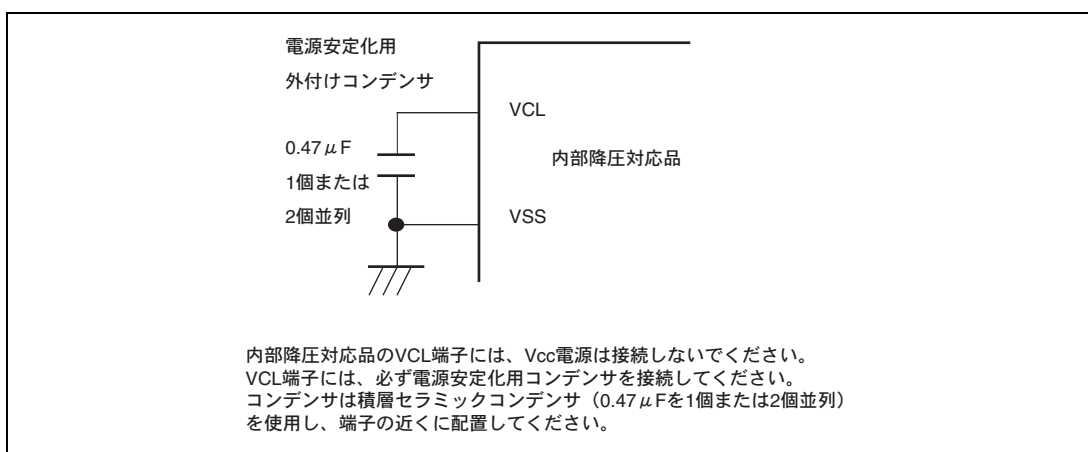


図 20.26 VCL コンデンサ接続方法

20. 電気的特性

20.2 H8S/2134B の電気的特性

20.2.1 絶対最大定格

絶対最大定格を表 20.13 に示します。

表 20.13 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	-0.3~+7.0	V
電源電圧 (VCL 端子) *	V_{CL}	-0.3~+4.3	V
入力電圧 (ポート 6、7 以外)	V_{in}	-0.3~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	V_{in}	-0.3~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力選択時)	V_{in}	-0.3~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート 7)	V_{in}	-0.3~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3~+7.0	V
アナログ入力電圧	V_{AN}	-0.3~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20~+75 広温度範囲仕様品 : -40~ +85	°C
動作温度 (FLASH メモリ書き込み/消去時)	T_{opr}	通常仕様品 : -20~+75 広温度範囲仕様品 : -40~ +85	°C
保存温度	T_{stg}	-55~+125	°C

【使用上の注意】

1. 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
2. 5V/4V 品の入力端子への印加電圧は、最大でも 7.0V 以下としてください。

【注】 * チップ内部の動作電源電圧端子です。

5V 品/4V 品では VCL 端子には電源電圧を印加しないでください。VCL 端子と GND との間には、内部電圧安定化のため必ず外付けのコンデンサを接続してください。

20.2.2 DC 特性

DC 特性を表 20.14 に示します。また、出力許容電流値、バス駆動特性をそれぞれ表 20.16、表 20.17 に示します。

表 20.14 DC 特性 (1)

条件 : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}^{*1}=5.0V\pm 10\%$ 、 $V_{SS}=AV_{SS}^{*1}=0V$

$T_a=-20\sim+75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim+85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67~P60 (KWUL=00) *2*4、 KIN7~KIN0、 IRQ2~IRQ0*3、 IRQ5~IRQ3	(1) V_T^-	1.0	—	—	V	
		V_T^+	—	—	$V_{CC}\times 0.7$		
		$V_T^+ - V_T^-$	0.4	—	—		
シュミット トリガ入力電圧 (レベル 切替時) *4	P67~P60 (KWUL=01)	V_T^-	$V_{CC}\times 0.3$	—	—	V	
		V_T^+	—	—	$V_{CC}\times 0.7$		
		$V_T^+ - V_T^-$	$V_{CC}\times 0.05$	—	—		
	P67~P60 (KWUL=10)	V_T^-	$V_{CC}\times 0.4$	—	—		
		V_T^+	—	—	$V_{CC}\times 0.8$		
		$V_T^+ - V_T^-$	$V_{CC}\times 0.03$	—	—		
		P67~P60 (KWUL=11)	V_T^-	$V_{CC}\times 0.45$	—		
V_T^+	—		—	$V_{CC}\times 0.9$			
$V_T^+ - V_T^-$	0.05		—	—			
入力 High レベル電圧	RES、STBY、NMI、 MD1~MD0	(2) V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC}\times 0.7$	—	$V_{CC} + 0.3$		
	ポート 7		2.0	—	$AV_{CC} + 0.3$		
	上記(1)(2)以外の入力端子		2.0	—	$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、MD1~MD0	(3) V_{IL}	- 0.3	—	0.5	V	
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子		- 0.3	—	0.8		
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH}=-200\mu A$
			3.5	—	—	V	$I_{OH}=-1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
			ポート 1、2、3	—	—	1.0	V

- 【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVSS 端子を開放しないでください。
A/D 変換器、D/A 変換器を使用しない場合でも、AVCC 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V~5.5V の範囲の電圧を印加してください。
- *2 P67~P60 にはそれと兼用の周辺機能入力を含みます。
- *3 IRQ2 には、それと兼用の ADTRG 端子を含みます。
- *4 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

20. 電気的特性

表 20.14 DC 特性 (2)

条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}^{*1}=5.0V \pm 10\%$ 、 $V_{SS}=AV_{SS}^{*1}=0V$

$T_a=-20 \sim +75^\circ C$ (通常仕様品)、 $T_a=-40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	I _{in}	—	—	10.0	μA	V _{in} =0.5~V _{CC} -0.5V
	STBY、NMI、MD1~MD0		—	—	1.0		
	ポート 7		—	—	1.0		
スリープ状態 リーク電流 (オフ状態)	ポート1~6	I _{TSL}	—	—	1.0	μA	V _{in} =0.5~V _{CC} -0.5V
	ポート 8、9						
入力プルアップ MOS 電流	ポート 1~3	- I _p	30	—	300	μA	V _{in} =0V
	ポート 6 (P6PUE=0)		60	—	600		
	ポート 6 (P6PUE=1)		15	—	200		
入力容量	RES	(4) C _{in}	—	—	80	pF	V _{in} =0V f=1MHz T _a =25°C
	NMI		—	—	50		
	上記(4)以外の入力端子		—	—	15		
消費電流*2	通常動作時	I _{CC}	—	55	70	mA	f=20MHz
	スリープ時		—	36	55		f=20MHz
	スタンバイ時*3		—	1.0	5.0	μA	T _a ≤50°C
			—	—	20.0		50°C<T _a
アナログ 電源電流	A/D、D/A 変換中	Al _{CC}	—	1.2	2.0	mA	
	A/D、D/A 変換待機時		—	0.01	5.0		μA
リファレンス 電源電流*4	A/D 変換中	Al _{ref}	—	0.5	1.0	mA	
	A/D、D/A 変換中		—	2.0	5.0		
	A/D、D/A 変換待機時		—	0.01	5.0	μA	
アナログ電源電圧*1		AV _{CC}	4.5	—	5.5	V	動作時
			2.0	—	5.5		待機時、非使用時
RAM スタンバイ電圧		V _{RAM}	2.0	—	—	V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AV_{CC}、AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AV_{CC} 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V~5.5V の範囲の電圧を印加してください。

*2 消費電流値は、V_{IH} min=V_{CC}-0.2V、V_{IL} max=0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM}≤V_{CC}<4.5V のとき、V_{IH} min=V_{CC}-0.2V、V_{IL} max=0.2V とした場合の値です。

*4 アナログ電源電流 (Al_{CC}) にリファレンス電源電流 (Al_{ref}) が加算されます。

表 20.14 DC 特性 (3)

条件: $V_{CC}=4.0V\sim 5.5V$ 、 $AV_{CC}^{*1}=4.0V\sim 5.5V$ 、 $V_{SS}=AV_{SS}^{*1}=0V$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件		
シュミット トリガ入力電圧	P67~P60 (KWUL=00) *2*4、 KIN7~KIN0、 IRQ2~IRQ0*3、 IRQ5~IRQ3	(1)	V_T^-	1.0	—	—	V	$V_{CC}=4.5V\sim 5.5V$ 、	
			V_T^+	—	—	$V_{CC}\times 0.7$			
			$V_T^+ - V_T^-$	0.4	—	—			
				V_T^-	0.8	—	—	V	$V_{CC}=4.0V\sim 4.5V$ 、
				V_T^+	—	—	$V_{CC}\times 0.7$		
				$V_T^+ - V_T^-$	0.3	—	—		
シュミット トリガ入力電圧 (レベル 切替時)	P67~P60 (KWUL=01)	(2)	V_T^-	$V_{CC}\times 0.3$	—	—	V	$V_{CC}=4.0V\sim 5.5V$	
			V_T^+	—	—	$V_{CC}\times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC}\times 0.05$	—	—			
	P67~P60 (KWUL=10)		V_T^-	$V_{CC}\times 0.4$	—	—			
			V_T^+	—	—	$V_{CC}\times 0.8$			
			$V_T^+ - V_T^-$	$V_{CC}\times 0.03$	—	—			
	P67~P60 (KWUL=11)		V_T^-	$V_{CC}\times 0.45$	—	—			
			V_T^+	—	—	$V_{CC}\times 0.9$			
			$V_T^+ - V_T^-$	0.05	—	—			
入力 High レベル電圧	RES、STBY、NMI、 MD1~MD0	(2)	V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V		
	EXTAL			$V_{CC}\times 0.7$	—	$V_{CC} + 0.3$			
	ポート 7			2.0	—	$AV_{CC} + 0.3$			
	上記(1)(2)以外の入力端子			2.0	—	$V_{CC} + 0.3$			
入力 Low レベル電圧	RES、STBY、 MD1~MD0	(3)	V_{IL}	-0.3	—	0.5	V		
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3	—	0.8			
出力 High レベル電圧	全出力端子		V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -200\mu A$	
				3.5	—	—	V	$I_{OH} = -1mA$ 、 $V_{CC}=4.5V\sim 5.5V$ 、	
				3.0	—	—	V	$I_{OH} = -1mA$ 、 $V_{CC}=4.0V\sim 4.5V$ 、	
出力 Low レベル電圧	全出力端子		V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$	
				ポート 1、2、3	—	—	1.0	V	$I_{OL}=10mA$

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V~5.5V の範囲の電圧を印加してください。

*2 P67~P60 にはそれと兼用の周辺機能入力を含みます。

*3 IRQ2 には、それと兼用の ADTRG 端子を含みます。

20. 電気的特性

- *4 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

表 20.14 DC 特性 (4)

条件 : $V_{CC}=4.0V\sim 5.5V$ 、 $AV_{CC}^{*1}=4.0V\sim 5.5V$ 、 $V_{SS}=AV_{SS}^{*1}=0V$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	STBY、NMI、MD1~MD0		—	—	1.0		
	ポート 7		—	—	1.0		$V_{in}=0.5\sim AV_{CC}-0.5V$
スリープステート リーク電流 (オフ状態)	ポート 1~6 ポート 8、9	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
入力プルアップ MOS 電流	ポート 1~3	- I_p	30	—	300	μA	$V_{in}=0V$ 、 $V_{CC}=4.5V\sim 5.5V$ 、
	ポート 6 (P6PUE=0)		60	—	600		
	ポート 6 (P6PUE=1)		15	—	200		
	ポート 1~3		20	—	200	μA	$V_{in}=0V$ 、 $V_{CC}=4.0V\sim 4.5V$ 、
	ポート 6 (P6PUE=0)		40	—	500		
	ポート 6 (P6PUE=1)		10	—	150		
入力容量	RES	(4) C_{in}	—	—	80	pF	$V_{in}=0V$ 、 $f=1MHz$ 、 $T_a=25^{\circ}C$
	NMI		—	—	50		
	上記(4)以外の入力端子		—	—	15		
消費電流*2	通常動作時	I_{CC}	—	45	58	mA	$f=16MHz$
	スリープ時		—	30	46		
	スタンバイ時*3		—	1.0	5.0	μA	$T_a\leq 50^{\circ}C$ $50^{\circ}C < T_a$
			—	—	20.0		
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}	—	1.2	2.0	mA	
	A/D、D/A 変換待機時		—	0.01	5.0		
リファレンス 電源電流*4	A/D 変換中	AI_{ref}	—	0.5	1.0	mA	
	A/D、D/A 変換中		—	2.0	5.0		
	A/D、D/A 変換待機時		—	0.01	5.0	μA	
アナログ電源電圧*1		AV_{CC}	4.0	—	5.5	V	動作時
RAM スタンバイ電圧			2.0	—	5.5		待機時、非使用時

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{SS} 端子を開放しないでください。
A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V\sim 5.5V$ の範囲の電圧を印加してください。

*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} \leq V_{CC} < 4.0V$ のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ とした場合の値です。

*4 アナログ電源電流 (AI_{CC}) にリファレンス電源電流 (AI_{ref}) が加算されます。

表 20.15 出力許容電流値

条件 : $V_{CC}=4.0V\sim 5.5V$ 、 $V_{SS}=0V$ $T_a = -20\sim +75^{\circ}C$ (通常仕様品)、 $T_a = -40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、2、3	—	—	10	mA
	上記以外の出力端子	—	—	2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	—	—	80	mA
	上記を含む、全出力端子の総和	—	—	120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	40	mA

- 【注】
1. LSI の信頼性を確保するため、出力電流値は表 20.15 の値を超えないようにしてください。
 2. ダーリントトランジスタや、LED を直接駆動する場合には、図 20.27、図 20.28 に示すように出力に必ず電流制限抵抗を挿入してください。

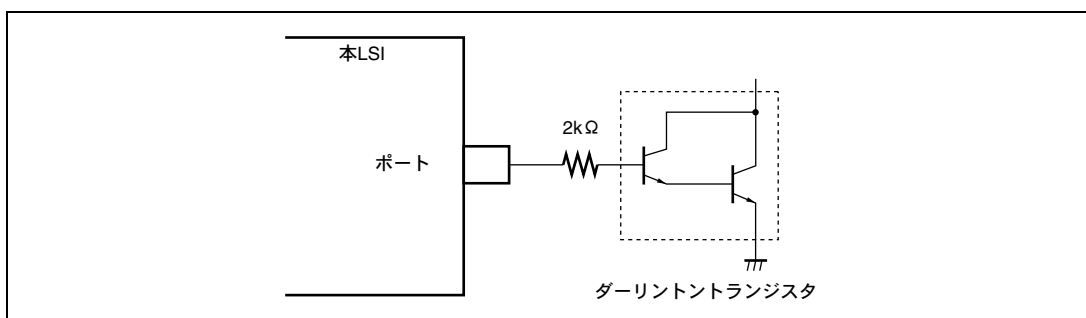


図 20.27 ダーリントトランジスタ駆動回路例

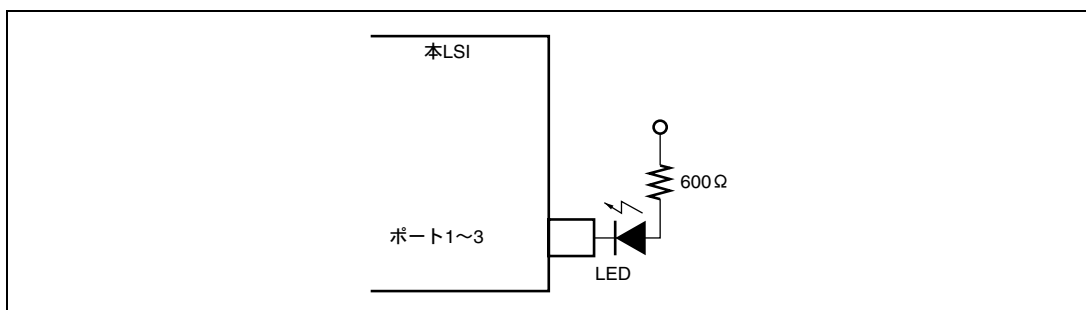


図 20.28 LED 駆動回路例

20. 電気的特性

20.2.3 AC 特性

図 20.29 に AC 特性測定条件を示します。

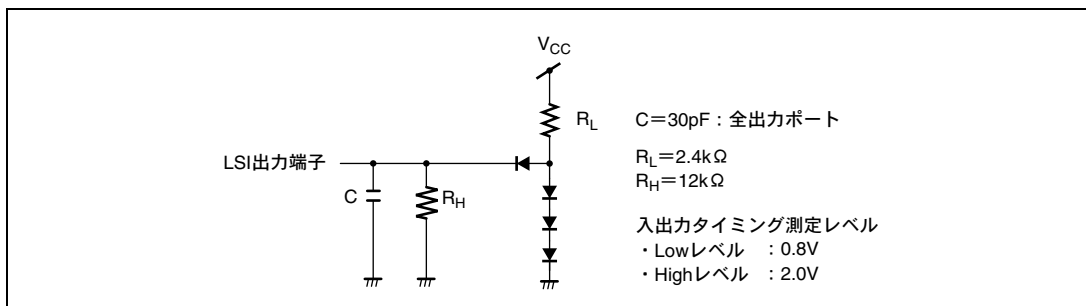


図 20.29 出力負荷回路

(1) クロックタイミング

表 20.16 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック (ϕ) 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 17 章 クロック発振器」を参照してください。

表 20.16 クロックタイミング

条件 A : $V_{CC}=5.0\text{V}\pm 10\%$ 、 $V_{SS}=0\text{V}$ 、 $\phi=2\text{MHz}\sim$ 最大動作周波数

$T_a = -20\sim+75^\circ\text{C}$ (通常仕様品)、 $T_a = -40\sim+85^\circ\text{C}$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0\text{V}\sim 5.5\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $\phi=2\text{MHz}\sim$ 最大動作周波数

$T_a = -20\sim+75^\circ\text{C}$ (通常仕様品)、 $T_a = -40\sim+85^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
クロックサイクル時間	t_{cyc}	62.5	500	50	500	ns	図 20.30
クロックハイレベルパルス幅	t_{CH}	20	—	17	—	ns	
クロックローレベルパルス幅	t_{CL}	20	—	17	—	ns	
クロック立ち上がり時間	t_{Cr}	—	10	—	8	ns	
クロック立ち下がり時間	t_{Cf}	—	10	—	8	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	10	—	10	—	ms	図 20.31
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8	—	8	—	ms	図 20.32
外部クロック出力安定遅延時間	t_{dEXT}	500	—	500	—	μs	

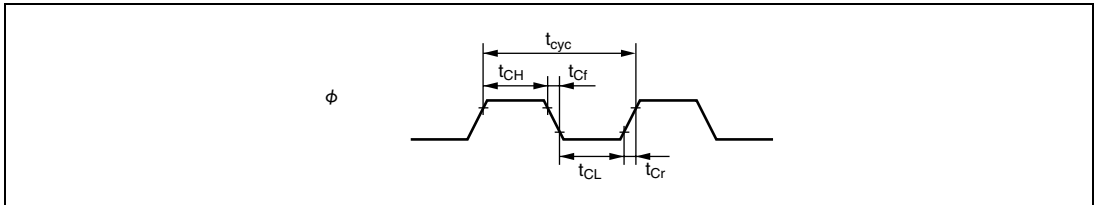


図 20.30 システムクロックタイミング

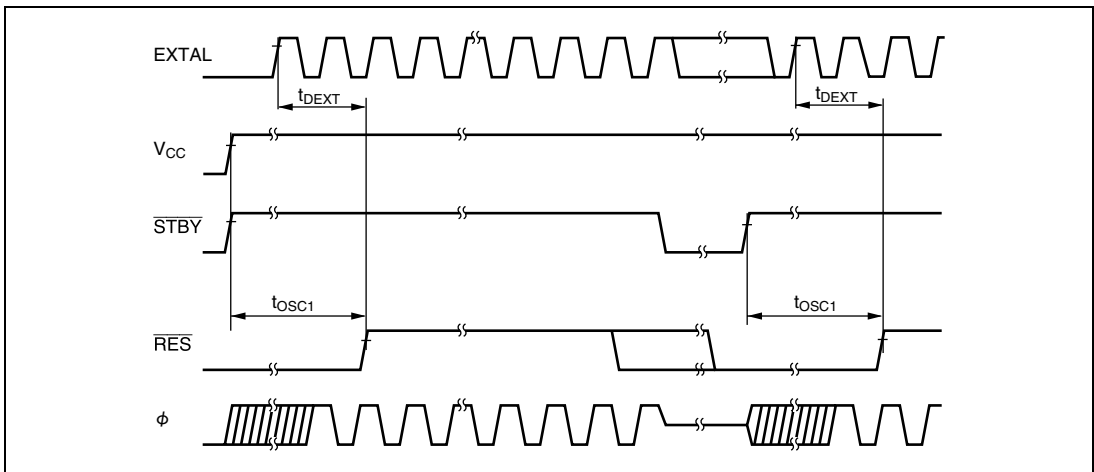


図 20.31 発振安定時間タイミング

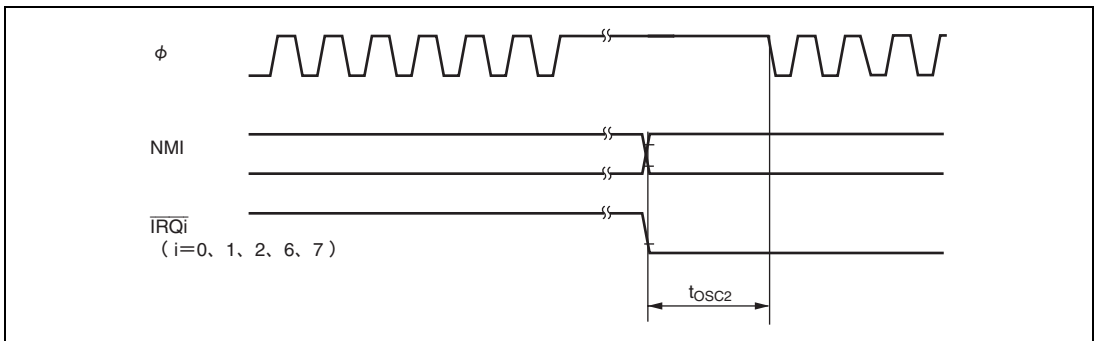


図 20.32 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

20. 電気的特性

(2) 制御信号タイミング

表 20.17 に制御信号タイミングを示します。サブクロック ($\phi = 32.768\text{kHz}$) で動作可能な外部割り込みは、NMI、IRQ0~IRQ2、IRQ6、IRQ7 のみです。

表 20.17 制御信号タイミング

条件 A : $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}$ 、2MHz~最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}$ 、2MHz~最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
RES セットアップ時間	t_{RESS}	200	—	200	—	ns	図 20.33
RES パルス幅	t_{RESW}	20	—	20	—	t_{cyc}	
NMI セットアップ時間 (NMI)	t_{NMIS}	150	—	150	—	ns	図 20.34
NMI ホールド時間 (NMI)	t_{NMIH}	10	—	10	—	ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	200	—	ns	
IRQ セットアップ時間 (IRQ7~IRQ0)	t_{IRQS}	150	—	150	—	ns	
IRQ ホールド時間 (IRQ7~IRQ0)	t_{IRQH}	10	—	10	—	ns	
IRQ パルス幅 (IRQ7、IRQ6、IRQ2~IRQ0) (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—	200	—	ns	

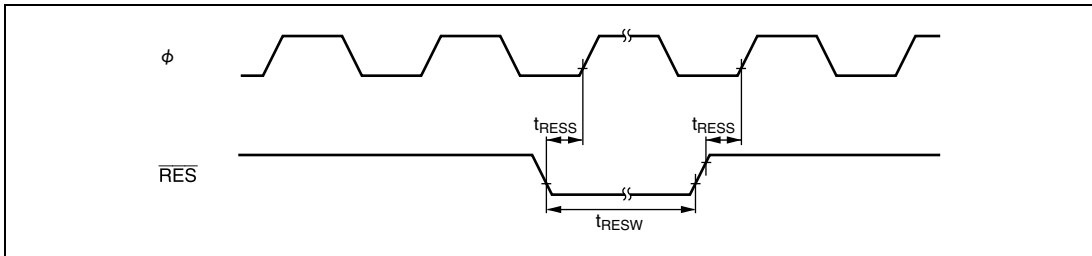


図 20.33 リセット入カタイミグ

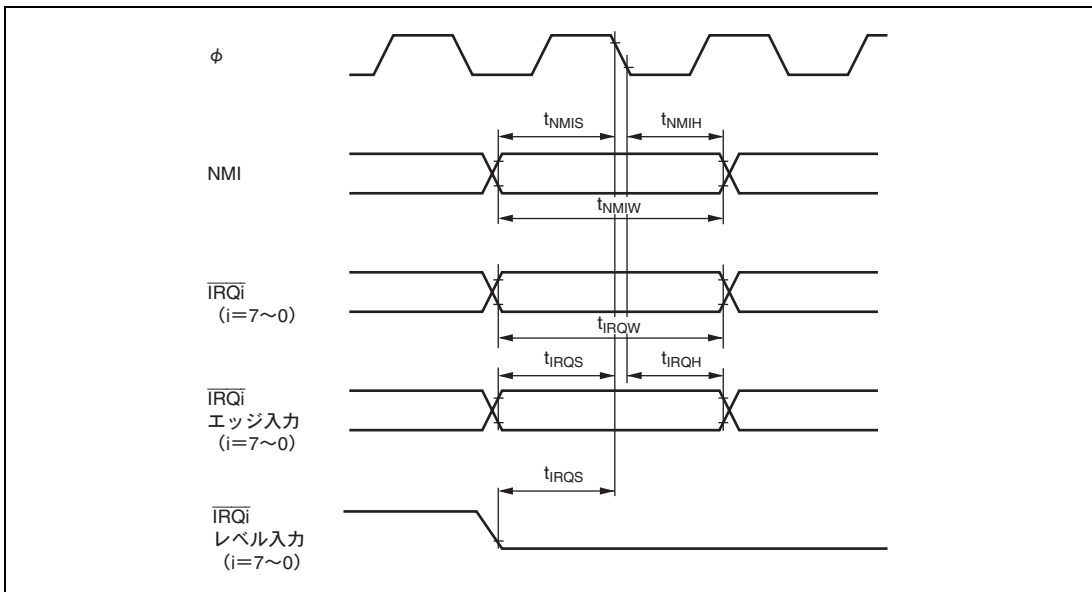


図 20.34 割り込み入カタイミグ

20. 電気的特性

(3) バスタイミング

表 20.18 にバスタイミングを示します。サブクロック ($\phi = 32.768\text{kHz}$) 動作では、外部拡張モードの動作は保証されません。

表 20.18 バスタイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $\phi = 2\text{MHz} \sim$ 最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2\text{MHz} \sim$ 最大動作周波数

$T_a = -20 \sim +75^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
アドレス遅延時間	t_{AD}	—	30	—	20	ns	図 20.35 ~ 図 20.39
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 20$	—	$0.5 \times t_{cyc} - 15$	—	ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 15$	—	$0.5 \times t_{cyc} - 10$	—	ns	
CS 遅延時間 (IOS)	t_{CSD}	—	30	—	20	ns	
\overline{AS} 遅延時間	t_{ASD}	—	45	—	30	ns	
RD 遅延時間 1	t_{RSD1}	—	45	—	30	ns	
RD 遅延時間 2	t_{RSD2}	—	45	—	30	ns	
リードデータセットアップ時間	t_{RDS}	20	—	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	0	—	ns	
リードデータアクセス時間 1	t_{ACC1}	—	$1.0 \times t_{cyc} - 40$	—	$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	t_{ACC2}	—	$1.5 \times t_{cyc} - 35$	—	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}	—	$2.0 \times t_{cyc} - 40$	—	$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	t_{ACC4}	—	$2.5 \times t_{cyc} - 35$	—	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}	—	$3.0 \times t_{cyc} - 40$	—	$3.0 \times t_{cyc} - 30$	ns	
WR 遅延時間 1	t_{WRD1}	—	45	—	30	ns	
WR 遅延時間 2	t_{WRD2}	—	45	—	30	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 30$	—	$1.0 \times t_{cyc} - 20$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 30$	—	$1.5 \times t_{cyc} - 20$	—	ns	

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
ライトデータ遅延時間	t_{WDD}	—	45	—	30	ns	図 20.35 ~ 図 20.39
ライトデータセットアップ時間	t_{WDS}	0	—	0	—	ns	
ライトデータホールド時間	t_{WDH}	15	—	10	—	ns	
WAIT セットアップ時間	t_{WTS}	45	—	30	—	ns	
WAIT ホールド時間	t_{WTH}	5	—	5	—	ns	

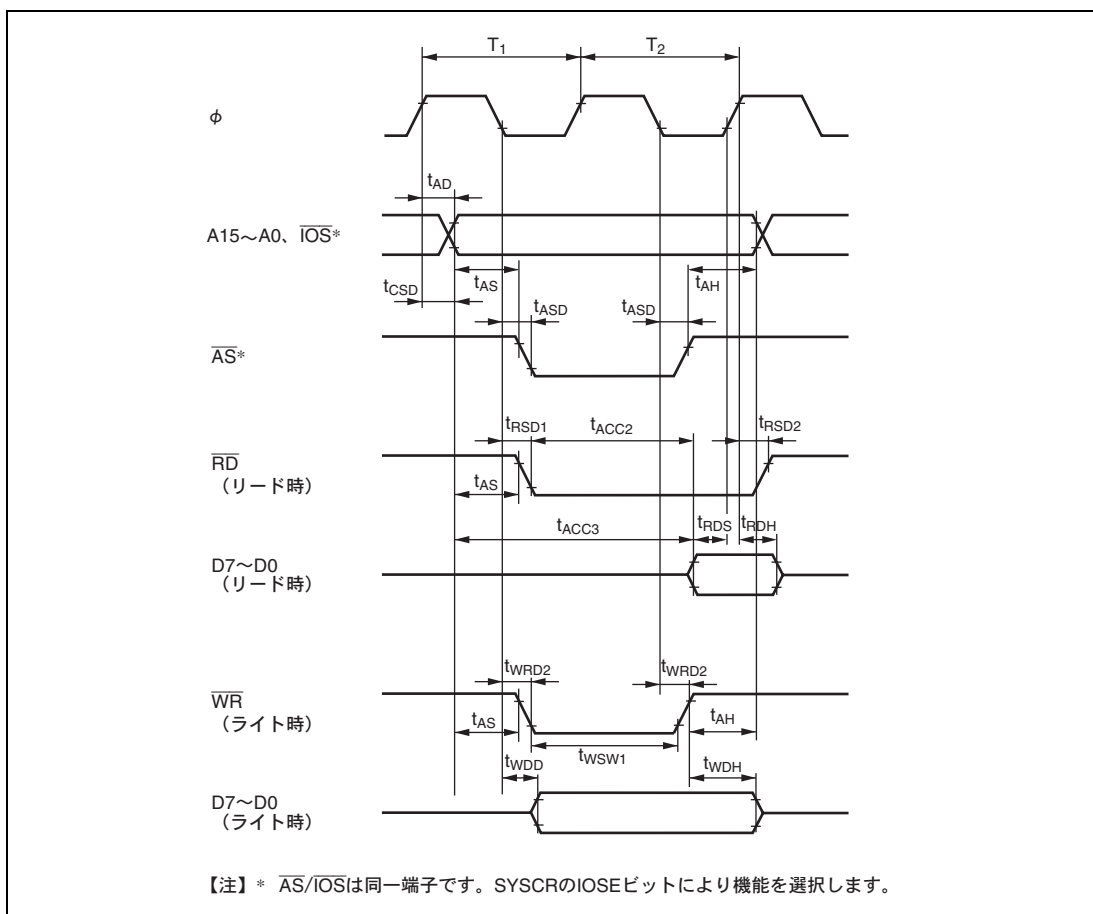


図 20.35 基本バスタイミング/2 ステートアクセス

20. 電気的特性

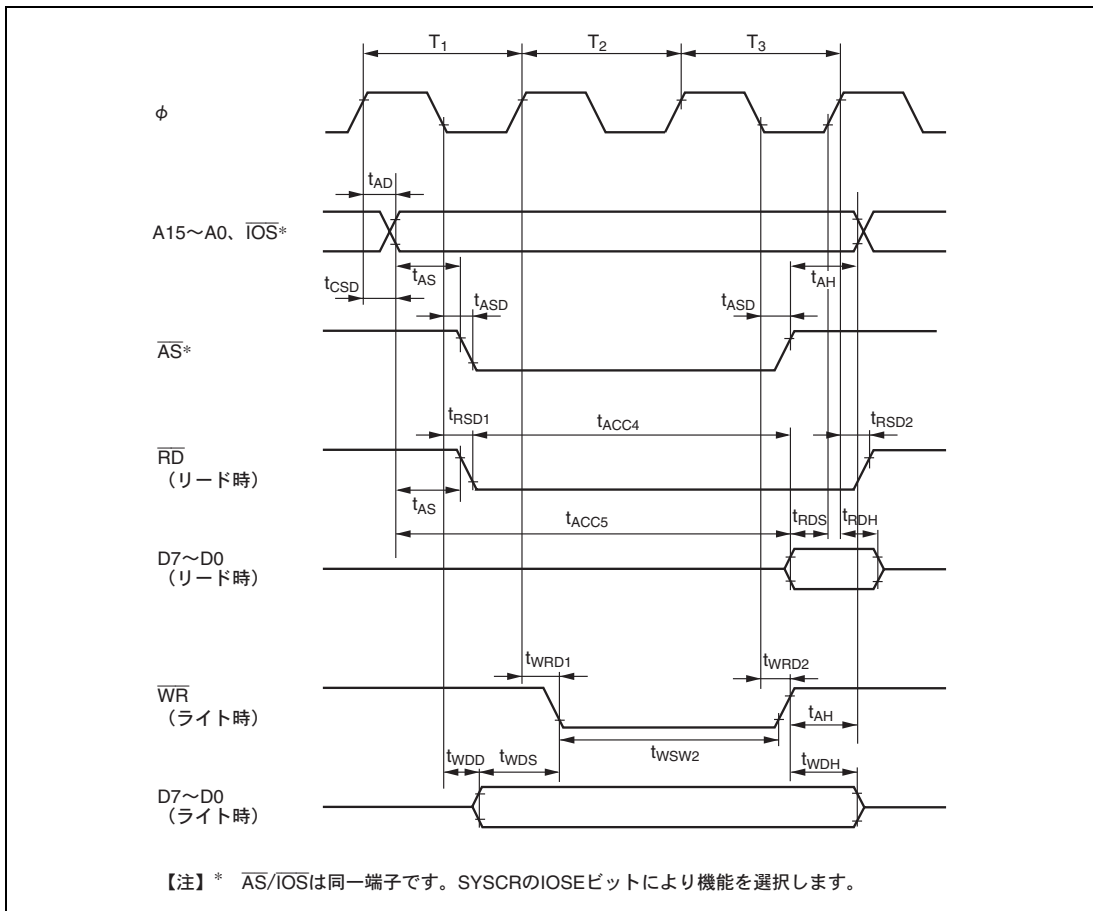


図 20.36 基本バスタイミング/3 ステートアクセス

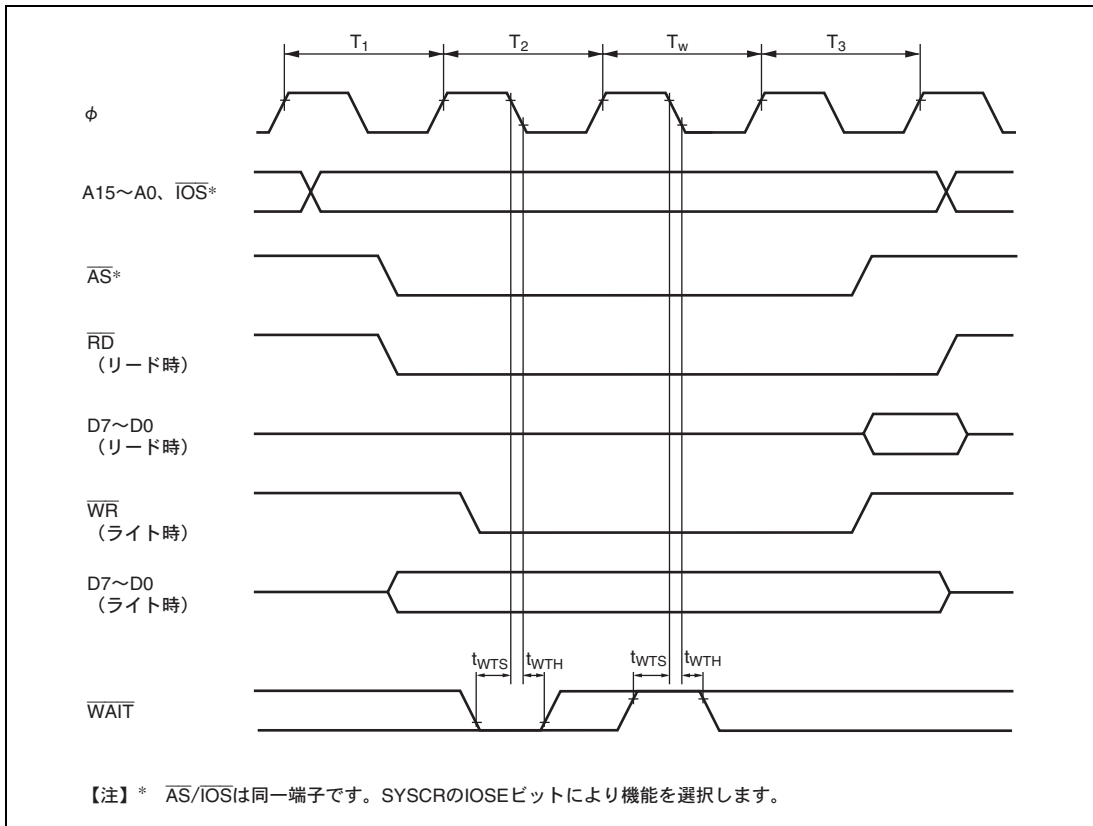


図 20.37 基本バスタイミング/3 ステートアクセス1ウェイト

20. 電気的特性

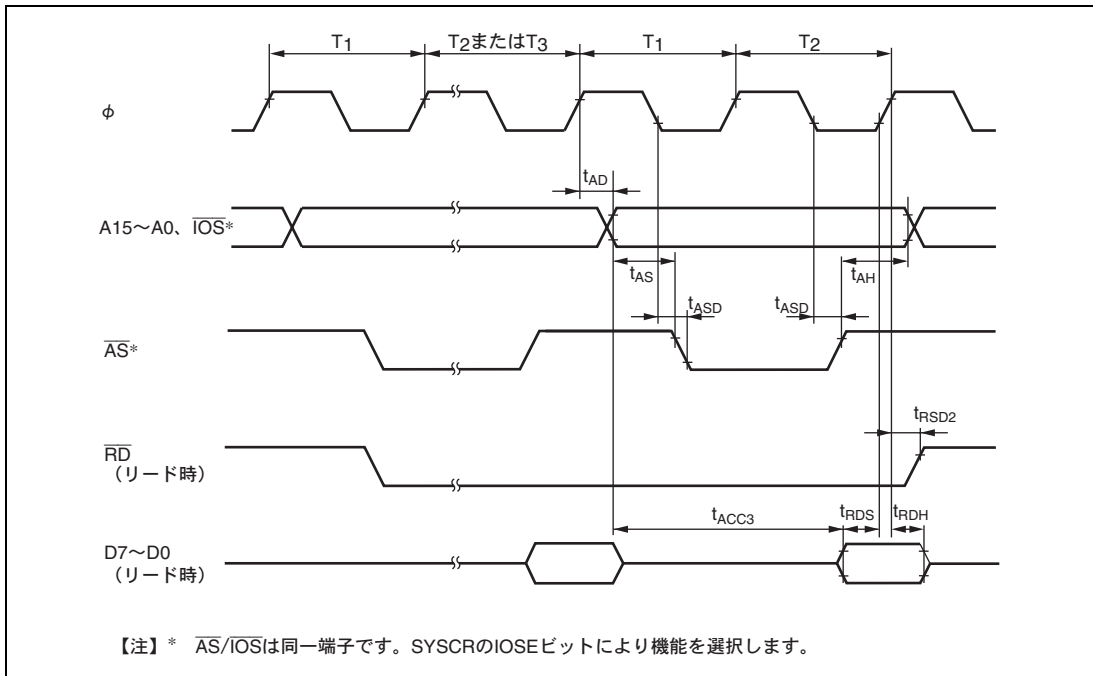


図 20.38 バースト ROM アクセスタイミング/2 ステートアクセス

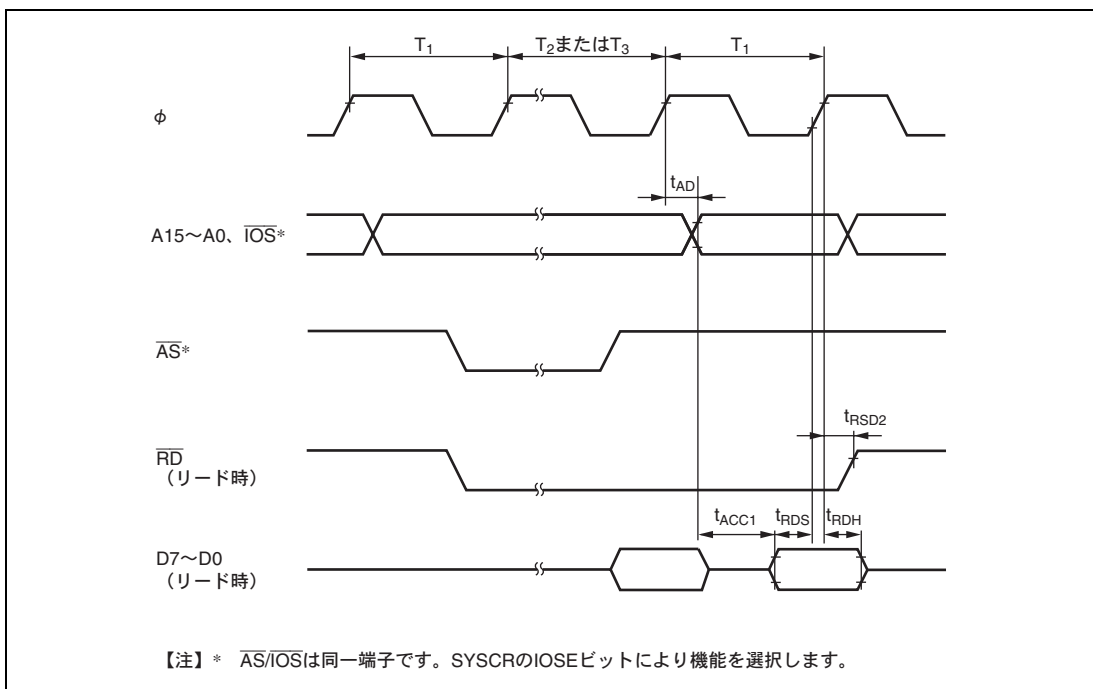


図 20.39 バースト ROM アクセスタイミング/1 ステートアクセス

(4) 内蔵周辺モジュールタイミング

表 20.19 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ($\phi=32.768\text{kHz}$) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0~2, 6, 7)、ウォッチドッグタイマ、8 ビットタイマ (チャンネル 0, 1) のみです。

表 20.19 内蔵周辺モジュールタイミング

条件 A : $V_{CC}=5.0\text{V}\pm 10\%$ 、 $V_{SS}=0\text{V}$ 、 $\phi=32.768\text{kHz}$ 、2MHz~最大動作周波数

$T_a = -20\sim+75^\circ\text{C}$ (通常仕様品)、 $T_a = -40\sim+85^\circ\text{C}$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0\text{V}\sim 5.5\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $\phi=32.768\text{kHz}$ 、2MHz~最大動作周波数

$T_a = -20\sim+75^\circ\text{C}$ (通常仕様品)、 $T_a = -40\sim+85^\circ\text{C}$ (広温度範囲仕様品)

項目		記号	条件 B		条件 A		単位	測定条件	
			16MHz		20MHz				
			min	max	min	max			
I/O ポート	出力データ遅延時間	t_{PWD}	—	50	—	50	ns	図 20.40	
	入力データセットアップ時間	t_{PRS}	30	—	30	—			
	入力データホールド時間	t_{PRH}	30	—	30	—			
FRT	タイマ出力遅延時間	t_{FTOD}	—	50	—	50	ns	図 20.41	
	タイマ入力セットアップ時間	t_{FTIS}	30	—	30	—			
	タイマクロック入力セットアップ時間	t_{FTCS}	30	—	30	—	t_{cyc}	図 20.42	
	タイマクロック パルス幅	単エッジ指定	t_{FTCWH}	1.5	—	1.5			—
		両エッジ指定	t_{FTCWL}	2.5	—	2.5			—
TMR	タイマ出力遅延時間	t_{TMOD}	—	50	—	50	ns	図 20.43	
	タイマリセット入力セットアップ時間	t_{TMRS}	30	—	30	—			
	タイマクロック入力セットアップ時間	t_{TMCS}	30	—	30	—			
	タイマクロック パルス幅	単エッジ指定	t_{TMCWH}	1.5	—	1.5	—	t_{cyc}	図 20.44
		両エッジ指定	t_{TMCWL}	2.5	—	2.5	—		
PWMX	パルス出力遅延時間	t_{PWOD}	—	50	—	50	ns	図 20.46	
SCI	入カクロック サイクル	調歩同期	t_{SCYC}	4	—	4	—	t_{cyc}	図 20.47
		クロック同期		6	—	6	—		
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	t_{SCYC}	図 20.48	
	入カクロック立ち上がり時間	t_{SCKr}	—	1.5	—	1.5	t_{cyc}		
	入カクロック立ち下がり時間	t_{SCKf}	—	1.5	—	1.5			
	送信データ遅延時間 (クロック同期)	t_{TXD}	—	50	—	50	ns		
	受信データセットアップ時間 (クロック同期)	t_{RXS}	50	—	50	—			
受信データホールド時間 (クロック同期)	t_{RXH}	50	—	50	—				
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	30	—	ns	図 20.49	

【注】 * サブクロック動作時に使用可能な内蔵周辺モジュールのみ

20. 電気的特性

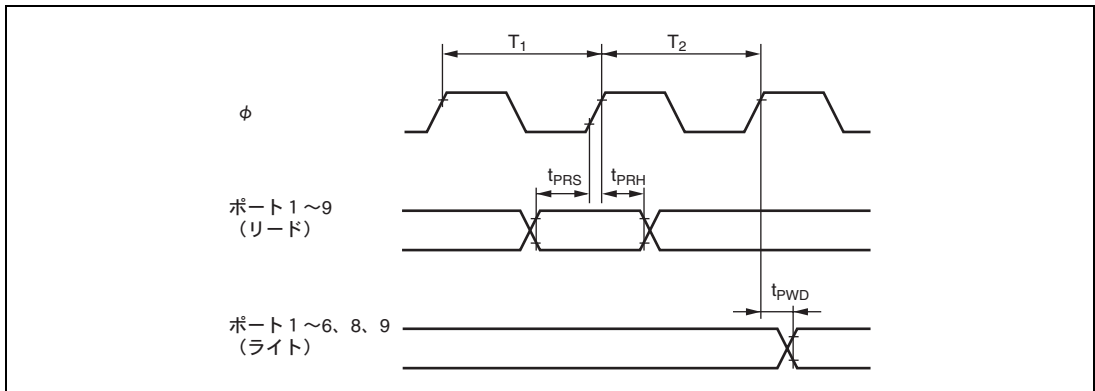


図 20.40 I/O ポート入出力タイミング

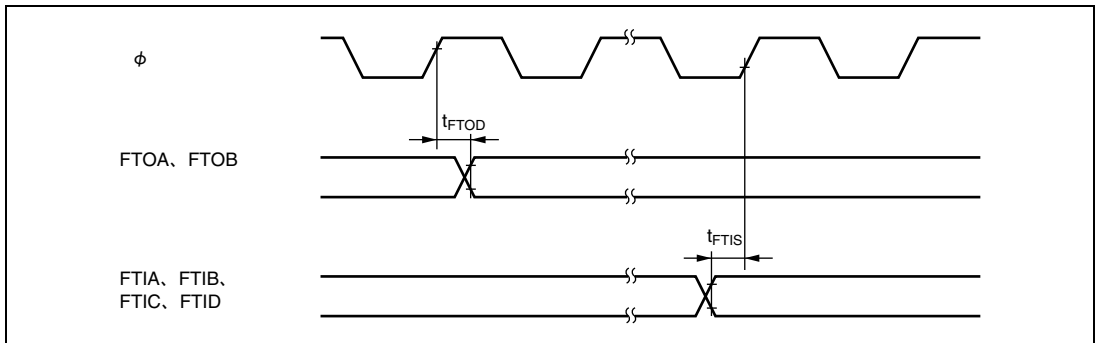


図 20.41 FRT 入出力タイミング

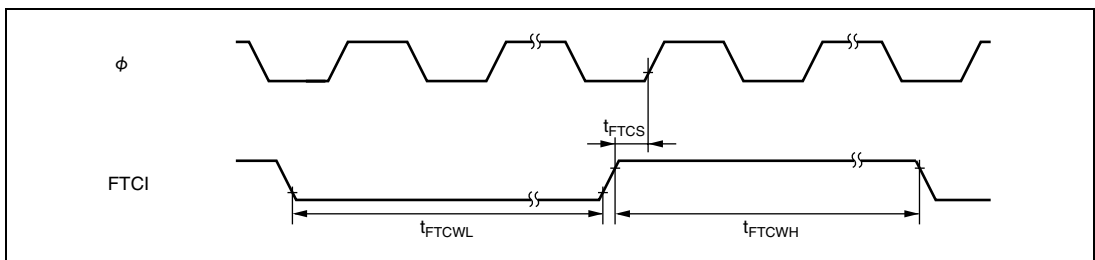


図 20.42 FRT クロック入力タイミング

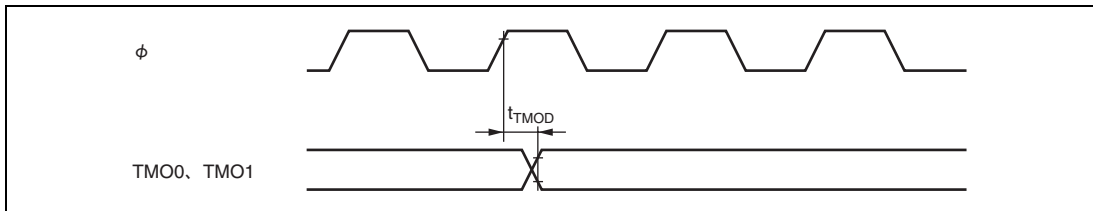


図 20.43 8ビットタイマ出カタイミング

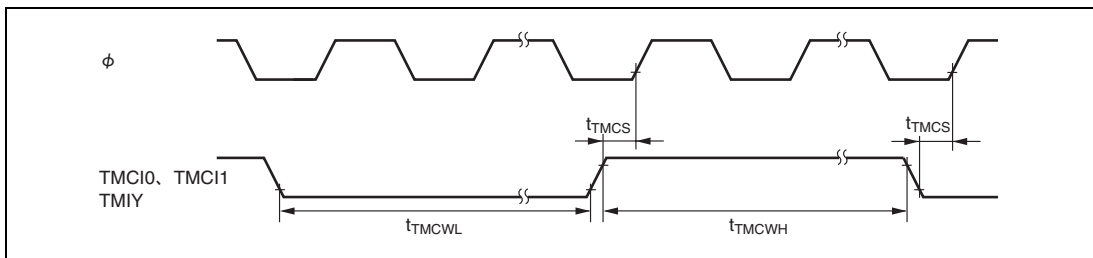


図 20.44 8ビットタイマクロック入カタイミング

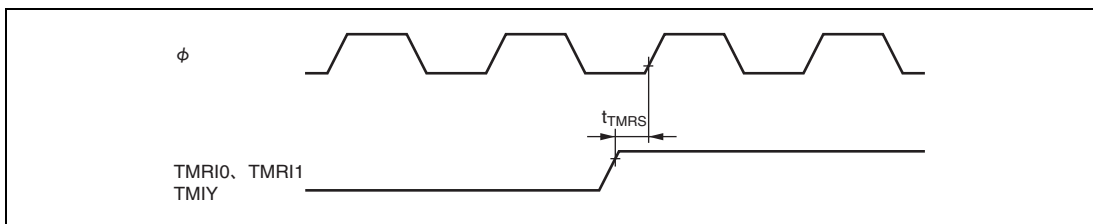


図 20.45 8ビットタイマリセット入カタイミング

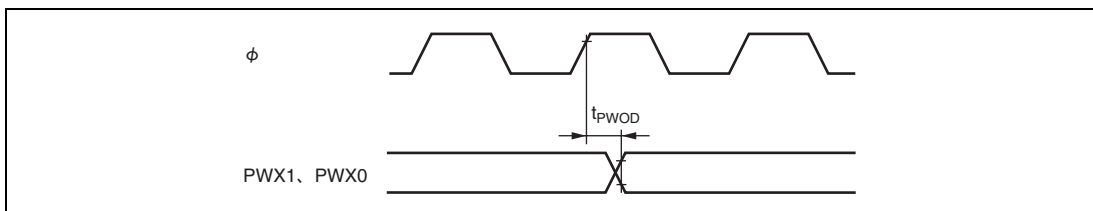


図 20.46 PWM、PWMX 出カタイミング

20. 電気的特性

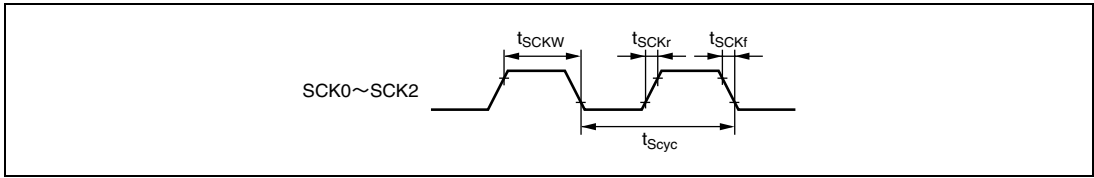


図 20.47 SCK クロック入力タイミング

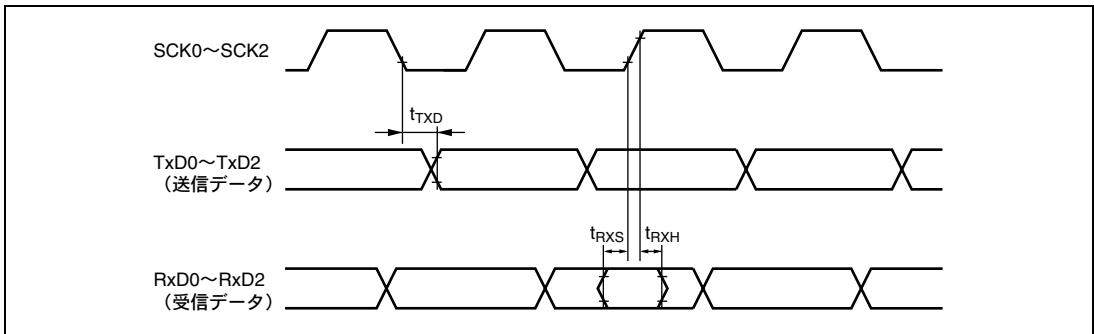


図 20.48 SCI 入出タイミング/クロック同期式モード

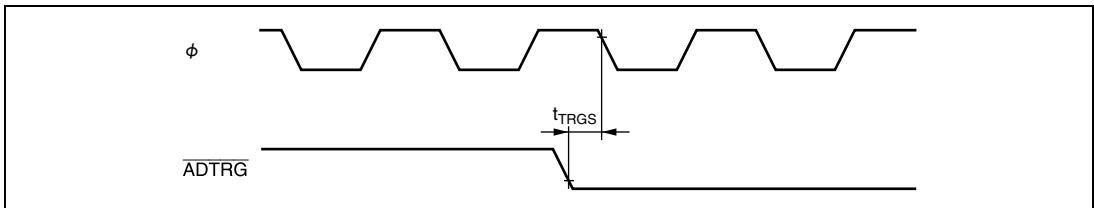


図 20.49 A/D 変換器外部トリガ入力タイミング

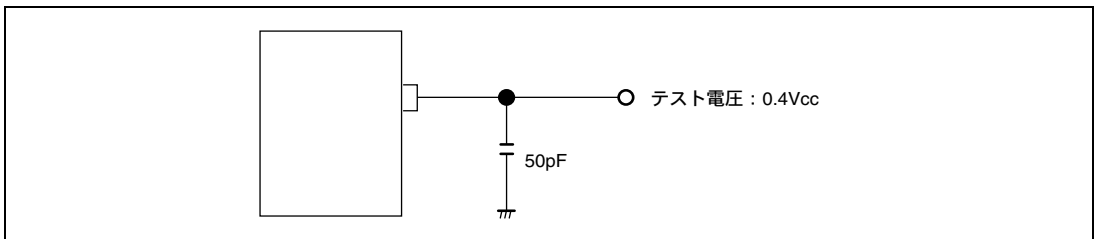


図 20.50 テスタ測定条件

20.2.4 A/D 変換特性

A/D 変換特性を表 20.20、表 20.21 に示します。

表 20.20 A/D 変換特性 (AN7~AN0 入力: 134/266 ステート変換)

条件 A: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B: $V_{CC}=4.0V \sim 5.5V$ 、 $AV_{CC}=4.0V \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	条件 B			条件 A			単位
	16MHz			20MHz			
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間*3	—	—	8.4	—	—	6.7	μs
アナログ入力容量	—	—	20	—	—	20	pF
許容信号源インピーダンス	—	—	10*1	—	—	10*1	k Ω
			5*2			5*2	
非直線性誤差	—	—	± 3.0	—	—	± 3.0	LSB
オフセット誤差	—	—	± 3.5	—	—	± 3.5	LSB
フルスケール誤差	—	—	± 3.5	—	—	± 3.5	LSB
量子化誤差	—	—	± 0.5	—	—	± 0.5	LSB
絶対精度	—	—	± 4.0	—	—	± 4.0	LSB

【注】 *1 変換時間 $\geq 11.17 \mu s$ (CKS=1 で $\phi \leq 12MHz$ 、または CKS=0) のとき

*2 変換時間 $< 11.17 \mu s$ (CKS=1 で $\phi > 12MHz$) のとき

*3 シングルモードで最大動作周波数のとき

20. 電気的特性

表 20.21 A/D 変換特性 (CIN7~CIN0 入力 : 134/266 ステート変換)

条件 A : $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a=-20 \sim +75^\circ C$ (通常仕様品)、 $T_a=-40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0V \sim 5.5V$ 、 $AV_{CC}=4.0V \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz \sim$ 最大動作周波数、

$T_a=-20 \sim +75^\circ C$ (通常仕様品)、 $T_a=-40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	条件 B			条件 A			単位
	16MHz			20MHz			
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間* ³	—	—	8.4	—	—	6.7	μs
アナログ入力容量	—	—	20	—	—	20	pF
許容信号源	—	—	10^{*1}	—	—	10^{*1}	k Ω
インピーダンス			5^{*2}			5^{*2}	
非直線性誤差	—	—	± 5.0	—	—	± 5.0	LSB
オフセット誤差	—	—	± 5.5	—	—	± 5.5	LSB
フルスケール誤差	—	—	± 5.5	—	—	± 5.5	LSB
量子化誤差	—	—	± 0.5	—	—	± 0.5	LSB
絶対精度	—	—	± 6.0	—	—	± 6.0	LSB

【注】 *1 変換時間 $\geq 11.17 \mu s$ (CKS=1 で $\phi \leq 12MHz$ 、または CKS=0) のとき

*2 変換時間 $< 11.17 \mu s$ (CKS=1 で $\phi > 12MHz$) のとき

*3 シングルモードで最大動作周波数のとき

20.2.5 D/A 変換特性

D/A 変換特性を表 20.22 に示します。

表 20.22 D/A 変換特性

条件 A : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数、

$T_a = -20\sim+75^\circ C$ (通常仕様品)、 $T_a = -40\sim+85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC}=4.0V\sim 5.5V$ 、 $AV_{CC}=4.0V\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数、

$T_a = -20\sim+75^\circ C$ (通常仕様品)、 $T_a = -40\sim+85^\circ C$ (広温度範囲仕様品)

項目		条件 B			条件 A			単位
		16MHz			20MHz			
		min	typ	max	min	typ	max	
分解能		8			8			ビット
変換時間	負荷容量 20pF	—	—	10	—	—	10	μs
絶対精度	負荷抵抗 2M Ω	—	± 1.0	± 1.5	—	± 1.0	± 1.5	LSB
	負荷抵抗 4M Ω	—	—	± 1.0	—	—	± 1.0	

20.2.6 フラッシュメモリ特性

表 20.23 にフラッシュメモリ特性を示します。

表 20.23 フラッシュメモリ特性 (書き込み/消去時の動作範囲)

条件 : $V_{CC}=4.0V\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim+75^\circ C$ (通常仕様品)、 $T_a=-40\sim+85^\circ C$ (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間*1*2*4		tP	—	10	200	ms/ 128 バイト	
消去時間*1*3*6		tE	—	100	1200	ms/ブロック	
書き替え回数		N_{WEC}	—	—	100	回	
書き込み時	SWE-bit セット後のウェイト時間*1	x	1	—	—	μs	
	PSU-bit セット後のウェイト時間*1	y	50	—	—	μs	
	P-bit セット後のウェイト時間*1*4	z1	28	30	32	μs	$1\leq n\leq 6$
		z2	198	200	202	μs	$7\leq n\leq 1000$
		z3	8	10	12	μs	追加書き込み
	P-bit クリア後のウェイト時間*1	α	5	—	—	μs	
	PSU-bit クリア後のウェイト時間*1	β	5	—	—	μs	
	PV-bit セット後のウェイト時間*1	γ	4	—	—	μs	
	ダミーライト後のウェイト時間*1	ε	2	—	—	μs	
	PV-bit クリア後のウェイト時間*1	η	2	—	—	μs	
SWE-bit クリア後のウェイト時間*1	θ	100	—	—	μs		
最大書き込み回数*1*4*5		N	—	—	1000	回	

20. 電気的特性

項 目		記号	min.	typ.	max.	単位	測定条件
消去時	SWE-bit セット後のウェイト時間* ¹	x	1	—	—	μs	
	ESU-bit セット後のウェイト時間* ¹	y	100	—	—	μs	
	E-bit セット後のウェイト時間* ¹ * ⁶	z	10	—	100	ms	
	E-bit クリア後のウェイト時間* ¹	α	10	—	—	μs	
	ESU-bit クリア後のウェイト時間* ¹	β	10	—	—	μs	
	EV-bit セット後のウェイト時間* ¹	γ	20	—	—	μs	
	H'FF ダミーライト後のウェイト時間* ¹	ε	2	—	—	μs	
	EV-bit クリア後のウェイト時間* ¹	η	4	—	—	μs	
	SWE-bit クリア後のウェイト時間* ¹	θ	100	—	—	μs	
	最大消去回数* ¹ * ⁶ * ⁷	N	—	—	120	回	

- 【注】 *1 各時間の設定は、書き込み/消去のアルゴリズムに従い行ってください。
- *2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）
- *3 1 ブロックを消去する時間（フラッシュメモリコントロールレジスタ（FLMCR1）の E-bit をセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）
- *4 書き込み時間の最大値（tP（max））

$$tP(max) = (P\text{-bit セット後のウェイト時間}(z1) + (z3)) \times 6$$

$$+ P\text{-bit セット後のウェイト時間}(z2) \times ((N) - 6)$$
- *5 最大書き込み回数（N）は、実際の（z1、z2、z3）の設定値に合わせ、書き込み時間の最大値（tP（max））以下となるよう設定してください。また、P-bit セット後のウェイト時間（z1、z2、z3）は、下記のように書き込み回数（n）の値によって切り替えてください。
書き込み回数 n

$$1 \leq n \leq 6z1 = 30 \mu s, z3 = 10 \mu s$$

$$7 \leq n \leq 1000z2 = 200 \mu s$$
- *6 消去時間の最大値（tE（max））

$$tE(max) = E\text{-bit セット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$
- *7 最大消去回数（N）は、実際の（z）の設定値に合わせ、消去時間の最大値（tE(max)）以下となるよう設定してください。

20.2.7 使用上の注意事項

1. 内部降圧品

本製品は、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。

この内部降圧端子（VCL端子）とVSS端子間には、内部電圧安定用のコンデンサ（ $0.47\mu\text{F}$ を1個または2個並列）を接続する必要があります。

外付けコンデンサ接続方法は図20.51を参照してください。

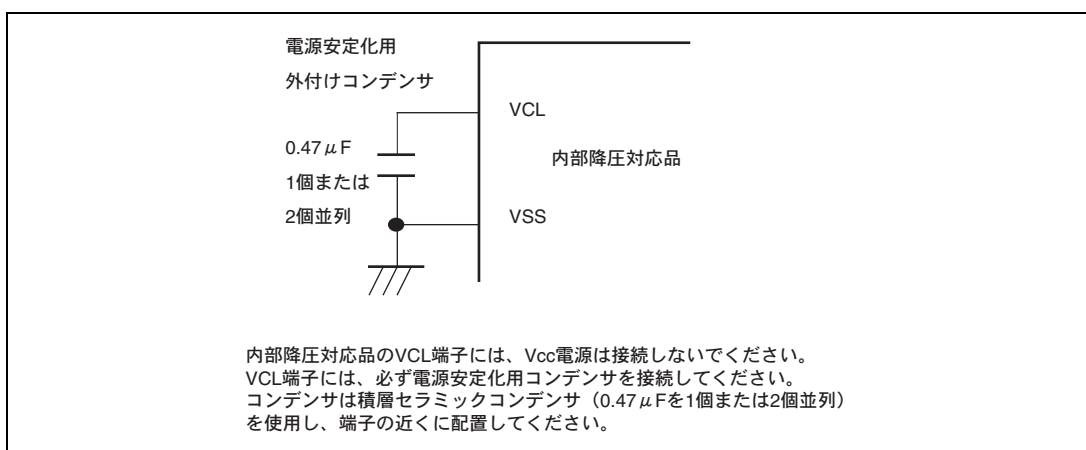


図 20.51 VCL コンデンサ接続方法

付録

A. 各処理状態における I/O ポートの状態

表 A.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェ アスタンバ イモード	ソフトウェ アスタンバ イモード	ウォッチ モード	スリープ モード	サブ スリープ モード	サブ アクティブ モード	プログラム 実行状態					
ポート 1 A7~A0	1	L	T	keep* ¹	keep* ¹	keep* ¹	keep* ¹	A7~A0	A7~A0					
	2, 3 (EXPE=1)	T						アドレス 出力/ 入力ポート	アドレス 出力/ 入力ポート					
	2, 3 (EXPE=0)							入出力ポート	入出力ポート					
ポート 2 A15~A8	1	L	T	keep* ¹	keep* ¹	keep* ¹	keep* ¹	A15~A8	A15~A8					
	2, 3 (EXPE=1)	T						アドレス 出力/ 入力ポート	アドレス 出力/ 入力ポート					
	2, 3 (EXPE=0)							入出力ポート	入出力ポート					
ポート 3 D15~D8* ³	1	T	T	T	T	T	T	D15~D8* ³	D15~D8* ³					
	2, 3 (EXPE=1)													
	2, 3 (EXPE=0)			keep	keep	keep	keep			入出力ポート	入出力ポート			
ポート 4	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート					
	2, 3 (EXPE=1)													
	2, 3 (EXPE=0)													
ポート 5	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート					
	2, 3 (EXPE=1)													
	2, 3 (EXPE=0)													

付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェ アスタンバ イモード	ソフトウェ アスタンバ イモード	ウォッチ モード	スリープ モード	サブ スリープ モード	サブ アクティブ モード	プログラム 実行状態
ポート6	1	T	T	Keep	keep	keep	keep	入出力ポート	入出力ポート
	2, 3 (EXPE=1)								
	2, 3 (EXPE=0)								
ポート7	1	T	T	T	T	T	T	入力ポート	入力ポート
	2, 3 (EXPE=1)								
	2, 3 (EXPE=0)								
ポート8	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
	2, 3 (EXPE=1)								
	2, 3 (EXPE=0)								
ポート97 WAIT	1	T	T	T/keep	T/keep	T/keep	T/keep	WAIT/ 入出力ポート	WAIT/ 入出力ポート
	2, 3 (EXPE=1)			keep	keep	keep	keep	入出力ポート	入出力ポート
	2, 3 (EXPE=0)								
ポート96 φ EXCL	1	クロック 出力	T	[DDR=1] H	EXCL 入力	[DDR=1] クロック 出力	EXCL 入力	EXCL 入力	クロック 出力/ EXCL 入力/ 入力ポート
	2, 3 (EXPE=1)	T		[DDR=0] T	クロック 出力 [DDR=0] T	EXCL 入力	EXCL 入力	EXCL 入力	
	2, 3 (EXPE=0)								
ポート95~93 AS、HWR ^{*4} 、 RD	1	H	T	H	H	H	H	AS、HWR ^{*4} 、 RD	AS、HWR ^{*4} 、 RD
	2, 3 (EXPE=1)	T		keep	keep	keep	keep	入出力ポート	入出力ポート
	2, 3 (EXPE=0)								
ポート92~91	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
	2, 3 (EXPE=1)								
	2, 3 (EXPE=0)								

ポート名 端子名	MCU 動作モード	リセット	ハードウェ アスタンバ イモード	ソフトウェ アスタンバ イモード	ウォッチ モード	スリープ モード	サブ スリープ モード	サブ アクティブ モード	プログラム 実行状態
ポート 90 LWR* ²	1	T	T	H/keep	H/keep	H/keep	H/keep	LWR/ 入出力ポート	LWR/ 入出力ポート
	2, 3 (EXPE=1)								
	2, 3 (EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート
ポート A* ² A23~A16	1	T	T	keep*	keep*	keep*	keep*	入出力ポート	入出力ポート
	2, 3 (EXPE=1)							A23~A16/ 入出力ポート	A23~A16/ 入出力ポート
	2, 3 (EXPE=0)							入出力ポート	入出力ポート
ポート B* ² D7~D0	1	T	T	T/keep	T/keep	T/keep	T/keep	D7~D0/ 入出力ポート	D7~D0/ 入出力ポート
	2, 3 (EXPE=1)								
	2, 3 (EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

Keep : 入力ポートはハイインピーダンス (DDR=0、PCR=1 の場合、入力プルアップ MOS は ON 状態を保持)

出力ポートは保持

なお、端子により内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR : データディレクションレジスタ

【注】 *1 アドレス出力の場合、最後にアクセスしたアドレスを保持

*2 H8S/2144B の場合です。H8S/2134B にはありません。

*3 H8S/2144B の場合です。H8S/2134B では D7~D0 になります。

*4 H8S/2144B の場合です。H8S/2134B では WR になります。

B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8S/2144B	フラッシュメモリ版	HD64F2144B	F2144BFA20	100 ピン QFP (FP-100B)
			F2144BTE20	100 ピン TQFP (TFP-100B)
H8S/2134B	フラッシュメモリ版	HD64F2134B	F2134BFA20	80 ピン QFP (FP-80A)
			F2134BTE20	80 ピン TQFP (TFP-80C)

【注】 上記製品は開発中、計画中の製品も含まれます。各製品の状況につきましては、当社営業担当者に確認してください。

C. 外形寸法図

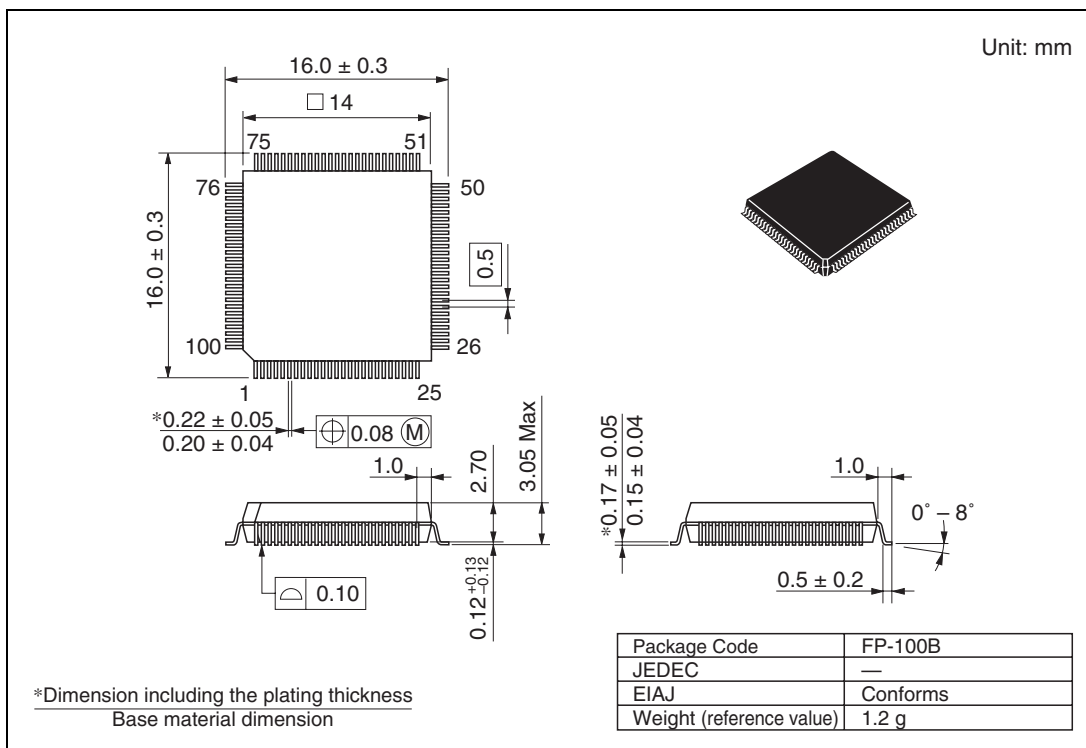


図 C.1 FP-100B の外形寸法図

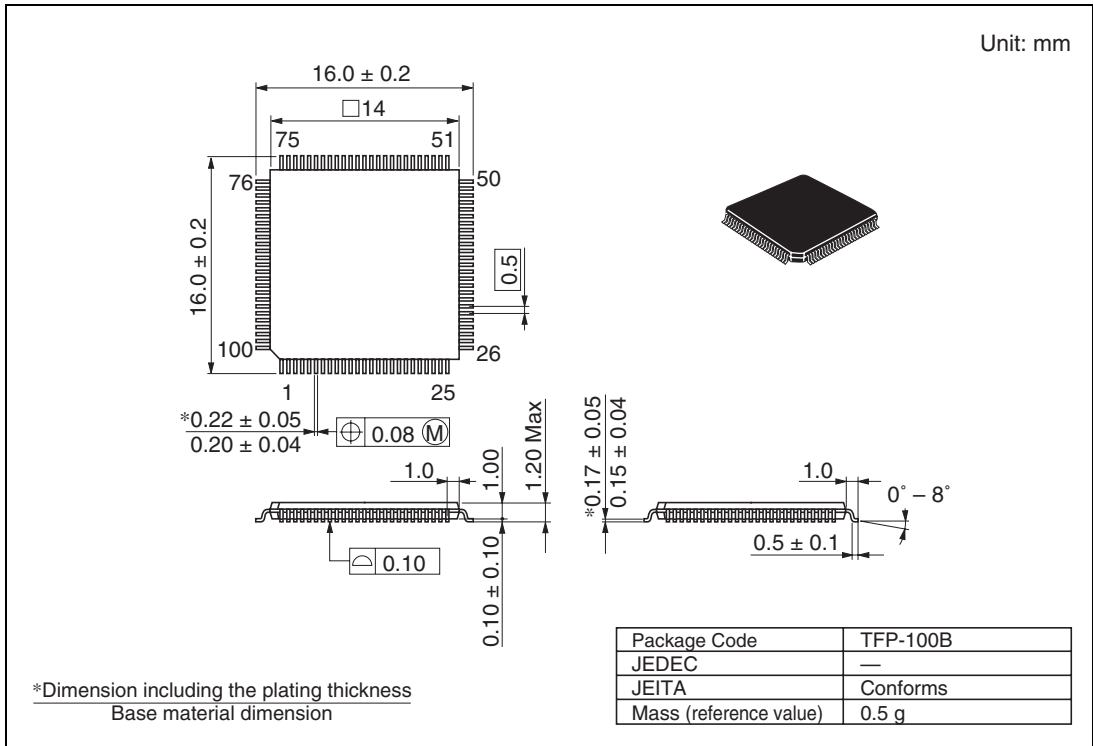


図 C.2 TFP-100B の外形寸法図

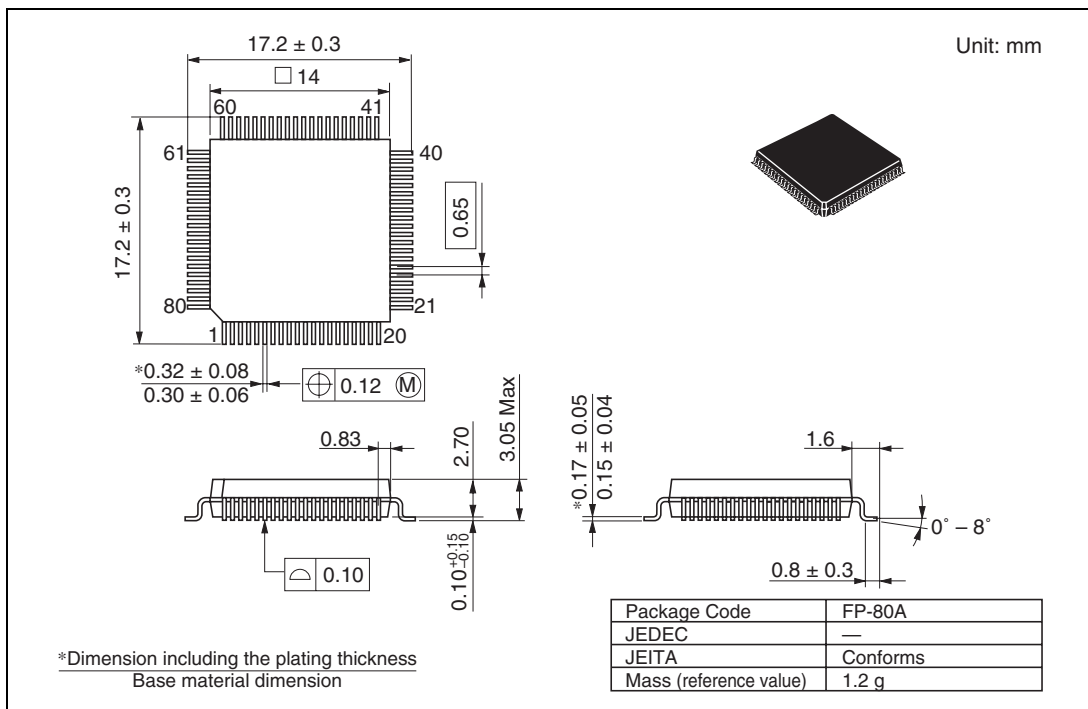


図 C.3 FP-80A の外形寸法図

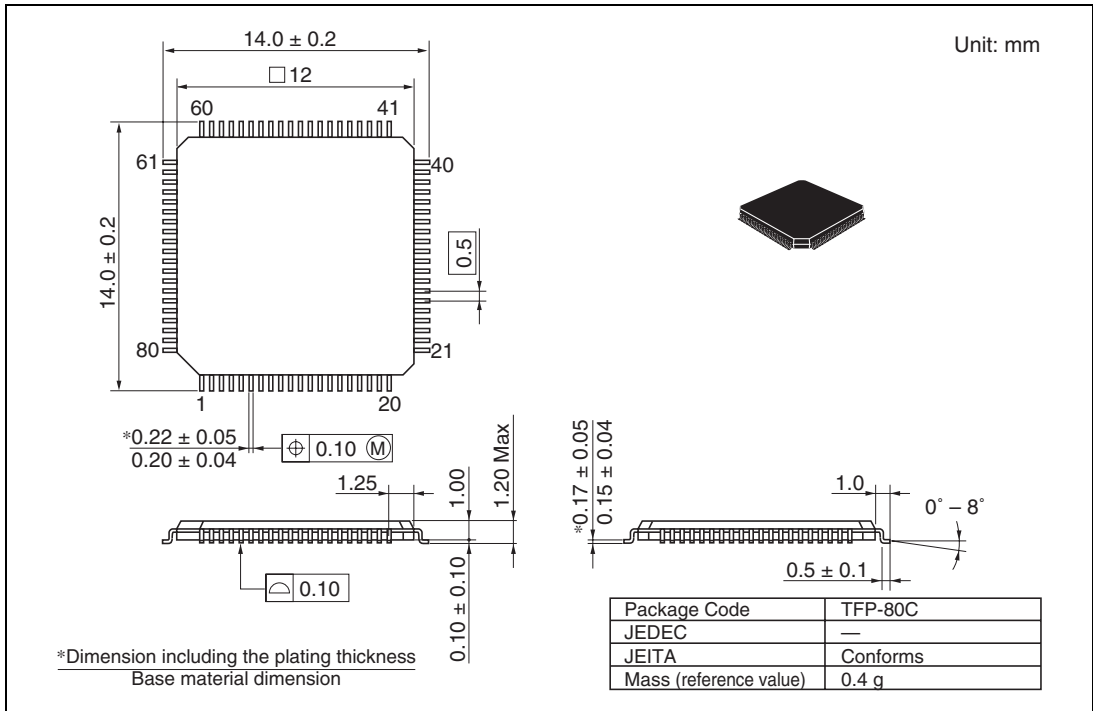


図 C.4 TFP-80C の外形寸法図

索引

【数字／記号】

14 ビット PWM タイマ	8-1
16 ビットカウントモード	10-15
16 ビットフリーランニングタイマ	9-1
8 ビットタイマ	10-1

【A～Z】

A/D 変換器	14-1
ADI	14-10
Bcc	2-24
CMI	10-16
CMIA	10-16
CMIA Y	10-16
CMIB	10-16
CMIB Y	10-16
D/A 変換器	13-1
EA 拡張部	2-26
EEPMOV 命令	2-35
ERI	12-43
FOV	9-19
ICI	9-19
IrDA 動作	12-40
NMI 割り込み	5-7, 11-8
OCI	9-19
OVI	10-16
OVI Y	10-16
RXI	12-43
TCNT のカウントタイミング	10-12
TCR	19-8
TEI	12-43
TXI	12-43
WOVI	11-8

【あ】

アイドルサイクル	6-22
アウトプットコンペア出力	9-13
アドレスマップ	3-7
アドレス空間	2-8
アドレッシングモード	2-27
アナログ入力チャネル	14-4

イミディエイト	2-29
イレース／イレースベリファイ	16-19
インターバルタイマモード	11-7
インプットキャプチャ入力	9-14
ウェイト制御	6-18
ウォッチドッグタイマ	11-1
ウォッチドッグタイマモード	11-6
ウォッチモード	18-12
エクステンドレジスタ	2-11
エラープロテクト	16-21
オーバランエラー	12-24
オペレーションフィールド	2-26
オンボードプログラミング	16-11

【か】

外部トリガ	14-9
書き込み／消去プロテクト	16-21
カスケード接続時	10-15
クリアタイミング	9-13
クロック同期式モード	12-32
クロック発振器	17-1
コンディションコードレジスタ	2-11
コンディションフィールド	2-26
コンペアマッチカウントモード	10-15

【さ】

サブアクティブモード	18-13
サブスリープモード	18-12
算術演算命令	2-19
システム制御命令	2-25
実効アドレス	2-27, 2-30
シフト命令	2-21
シリアルコミュニケーションインタフェース	12-1
シングルモード	14-7
水晶発振子	17-2
スタックの状態	4-5
スタックポインタ	2-10
スリープモード	18-9
絶対アドレス	2-28
ソフトウェアスタンバイモード	18-9
ソフトウェアプロテクト	16-21

【た】	
中速モード	18-8
調歩同期式モード	12-17
直接遷移	18-14
低消費電力状態	18-1
ディスプレイメント付きレジスタ間接	2-27
データ転送命令	2-18
動作モードの選択	3-1
トグル出力	10-19
トラップ命令例外処理	4-5

【は】	
バースト ROM インタフェース	6-20
ハードウェアスタンバイモード	18-11
ハードウェアプロテクト	16-21
バッファ動作	9-15
パリティエラー	12-24
パルス出力	9-11
汎用レジスタ	2-10
ビットレート	12-10
ビット操作命令	2-22, 2-34
ブートモード	16-12
フラッシュメモリ	16-1
プリデクリメントレジスタ間接	2-28
ブレーク	12-44
フレーミングエラー	12-24
プログラム/プログラムベリファイ	16-17
プログラムカウンタ	2-11
プログラムカウンタ相対	2-29
ブロック転送命令	2-25
分岐命令	2-24
変換時間	14-8
ポストインクリメントレジスタ間接	2-28

【ま】	
マーク状態	12-44
マルチプロセッサ通信機能	12-27
命令セット	2-16
メモリ間接	2-29
モジュールストップモード	18-13

【や】	
ユーザプログラムモード	16-16

【ら】	
ライタモード	16-22
リセット	4-3

リセット例外処理	4-3
レジスタ	

ABRKCR	5-4, 19-2, 19-6, 19-10, 19-14
ADCR	14-5, 19-5, 19-9, 19-13, 19-17
ADCSR	14-4, 19-5, 19-9, 19-13, 19-17
ADDR	14-4, 19-5, 19-9, 19-13, 19-17
BAR	5-4, 19-2, 19-6, 19-10, 19-14
BCR	6-3, 19-4, 19-8, 19-12, 19-16
BRR	12-10, 19-5, 19-9, 19-13, 19-17
DACNT	8-3, 19-3, 19-7, 19-11, 19-15
DACR	8-6, 13-2, 19-3, 19-5, 19-7, 19-9, 19-11, 19-13, 19-15, 19-18
DADR0	13-2, 19-5, 19-9, 19-13, 19-18
DADR1	13-2, 19-5, 19-9, 19-13, 19-18
EBR1	16-10, 19-2, 19-6, 19-10, 19-14
EBR2	16-10, 19-2, 19-6, 19-10, 19-14
FLMCR1	16-8, 19-2, 19-6, 19-10, 19-14
FLMCR2	16-9, 19-2, 19-6, 19-10, 19-14
FRC	9-4, 19-2, 19-6, 19-10, 19-14
ICR	5-3, 9-4, 19-2, 19-3, 19-6, 19-7, 19-10, 19-11, 19-14, 19-15
IER	5-5, 19-4, 19-8, 19-12, 19-16
ISCR	5-5, 19-2, 19-6, 19-10, 19-14
ISR	5-6, 19-2, 19-6, 19-10, 19-14
KBCOMP	14-6, 19-2, 19-6, 19-10, 19-14
KMIMR	5-6, 19-5, 19-9, 19-13, 19-17
KMIMRA	5-6, 19-5, 19-9, 19-13, 19-17
KMPCCR	7-18, 19-5, 19-9, 19-13, 19-17
LPWRCCR	18-4, 19-2, 19-6, 19-10, 19-14
MDCR	3-2, 19-4, 19-8, 19-12, 19-16
MSTPCR	18-5, 19-2, 19-6, 19-10, 19-14
OCR	9-4, 19-3, 19-7, 19-11, 19-15
OCRDM	9-5
P1DDR	7-6, 19-4, 19-8, 19-12, 19-16
P1DR	7-7, 19-4, 19-8, 19-12, 19-16
P1PCR	7-7, 19-4, 19-8, 19-12, 19-16
P2DDR	7-8, 19-4, 19-8, 19-12, 19-16
P2DR	7-9, 19-4, 19-8, 19-12, 19-16
P2PCR	7-9, 19-4, 19-8, 19-12, 19-16
P3DDR	7-11, 19-4, 19-8, 19-12, 19-16
P3DR	7-11, 19-4, 19-8, 19-12, 19-16
P3PCR	7-12, 19-4, 19-8, 19-12, 19-16
P4DDR	7-13, 19-4, 19-8, 19-12, 19-16
P4DR	7-13, 19-4, 19-8, 19-12, 19-16
P5DDR	7-16, 19-4, 19-8, 19-12, 19-16
P5DR	7-16, 19-4, 19-8, 19-12, 19-16
P6DDR	7-17, 19-4, 19-8, 19-12, 19-16

P6DR	7-18, 19-4, 19-8, 19-12, 19-16
P7PIN	7-22, 19-4, 19-8, 19-12, 19-16
P8DDR	7-23, 19-4, 19-8, 19-12, 19-16
P8DR	7-24, 19-4, 19-8, 19-12, 19-16
P9DDR	7-26, 19-4, 19-8, 19-12, 19-16
P9DR	7-27, 19-4, 19-8, 19-12, 19-16
PADDR	7-29, 19-3, 19-8, 19-12, 19-16
PAODR	7-29, 19-3, 19-7, 19-11, 19-16
PAPIN	7-30, 19-3, 19-8, 19-11, 19-16
PBDDR	7-33, 19-4, 19-8, 19-12, 19-16
PBODR	7-34, 19-4, 19-8, 19-12, 19-16
PBPIN	7-34, 19-4, 19-8, 19-12, 19-16
RDR	12-4, 19-5, 19-9, 19-13, 19-17
RSR	12-4
SBYCR	18-2, 19-2, 19-6, 19-10, 19-14
SCMR	12-9, 19-5, 19-9, 19-13, 19-17
SCR	12-6, 19-5, 19-9, 19-13, 19-17
SMR	12-5, 19-5, 19-9, 19-13, 19-17
SSR	12-7, 19-5, 19-9, 19-13, 19-17
STCR	3-4, 19-4, 19-8, 19-12, 19-16
SYSCR	3-2, 19-4, 19-8, 19-12, 19-16
SYSCR2	7-19, 19-2, 19-6, 19-10, 19-14
TCNT	10-5, 11-3, 19-3, 19-5, 19-7, 19-9, 19-11, 19-13, 19-16, 19-17
TCOR	10-5, 19-4, 19-8, 19-12, 19-17

TCR	9-9, 10-6, 19-3, 19-4, 19-7, 19-11, 19-12, 19-15, 19-17
TCSR	9-7, 10-8, 11-3, 19-2, 19-3, 19-4, 19-6, 19-7, 19-8, 19-10, 19-11, 19-12, 19-14, 19-16, 19-17
TDR	12-4, 19-5, 19-9, 19-13, 19-17
TIER	9-5, 19-2, 19-6, 19-10, 19-14
TISR	10-11, 19-5, 19-9, 19-13, 19-18
TOCR	9-10, 19-3, 19-7, 19-11, 19-15
TSR	12-4
WSCR	6-4, 19-4, 19-8, 19-12, 19-16
例外処理	4-1
例外処理ベクタテーブル	4-2
レジスタフィールド	2-26
レジスタ間接	2-27
レジスタ直接	2-27
論理演算命令	2-21

【わ】

割り込みコントローラ	5-1
割り込み制御モード	5-12
割り込みマスクビット	2-11
割り込み例外処理	4-4
割り込み例外処理ベクタテーブル	5-9

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2144B、H8S/2134B

発行年月日 2005年2月18日 Rev.1.00
発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサス小平セミコン 技術ドキュメント部

© 2005. Renesas Technology Corp., All rights reserved. Printed in Japan.



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌	支	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	業	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
浜	松	支	〒430-7710	浜松市板屋町111-2 (浜松アクトタワー10F)	(053) 451-2131
西	部	業	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児	支	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com

H8S/2144B, H8S/2134B
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0230-0100