

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

H8/36912 群, H8/36902 群

瑞萨 16 位单片机

H8 族 / H8/300L 超小功率系列

Keep safety first in your circuit designs!

1. Renesas Technology Corp. puts the maximum effort into making semiconductor products better and more reliable, but there is always the possibility that trouble may occur with them. Trouble with semiconductors may lead to personal injury, fire or property damage.

Remember to give due consideration to safety when making your circuit designs, with appropriate measures such as (i) placement of substitutive, auxiliary circuits, (ii) use of nonflammable material or (iii) prevention against any malfunction or mishap.

Notes regarding these materials

1. These materials are intended as a reference to assist our customers in the selection of the Renesas Technology Corp. product best suited to the customer's application; they do not convey any license under any intellectual property rights, or any other rights, belonging to Renesas Technology Corp. or a third party.
2. Renesas Technology Corp. assumes no responsibility for any damage, or infringement of any third-party's rights, originating in the use of any product data, diagrams, charts, programs, algorithms, or circuit application examples contained in these materials.

3. All information contained in these materials, including product data, diagrams, charts, programs and algorithms represents information on products at the time of publication of these materials, and are subject to change by Renesas Technology Corp. without notice due to product improvements or other reasons. It is therefore recommended that customers contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor for the latest product information before purchasing a product listed herein.

The information described here may contain technical inaccuracies or typographical errors.

Renesas Technology Corp. assumes no responsibility for any damage, liability, or other loss rising from these inaccuracies or errors.

Please also pay attention to information published by Renesas Technology Corp. by various means, including the Renesas Technology Corp. Semiconductor home page (<http://www.renesas.com>).

4. When using any or all of the information contained in these materials, including product data, diagrams, charts, programs, and algorithms, please be sure to evaluate all information as a total system before making a final decision on the applicability of the information and products. Renesas Technology Corp. assumes no responsibility for any damage, liability or other loss resulting from the information contained herein.
5. Renesas Technology Corp. semiconductors are not designed or manufactured for use in a device or system that is used under circumstances in which human life is potentially at stake. Please contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor when considering the use of a product contained herein for any specific purposes, such as apparatus or systems for transportation, vehicular, medical, aerospace, nuclear, or undersea repeater use.
6. The prior written approval of Renesas Technology Corp. is necessary to reprint or reproduce in whole or in part these materials.
7. If these products or technologies are subject to the Japanese export control restrictions, they must be exported under a license from the Japanese government and cannot be imported into a country other than the approved destination.
Any diversion or reexport contrary to the export control laws and regulations of Japan and/or the country of destination is prohibited.
8. Please contact Renesas Technology Corp. for further details on these materials or the products contained therein.

注意

本文只是参考译文，前页所载英文具有正式效力。

请遵循安全第一进行电路设计

1. 虽然瑞萨科技尽力提高半导体产品的质量和可靠性，但是半导体产品也可能发生故障。半导体的故障可能导致人身伤害、火灾事故以及财产损害。在电路设计时，请充分考虑安全性，采用合适的如冗余设计、利用非易燃材料以及故障或者事故防止等的安全设计方法。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的瑞萨科技产品的参考资料，不转让属于瑞萨科技或者第三者所有的知识产权和其它权利的许可。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法以及其它应用电路的例子而引起的损害或者对第三者的权力的侵犯，瑞萨科技不承担责任。
3. 本资料所记载的产品数据、图、表、程序、算法以及其它所有信息均为本资料发行时的信息，由于改进产品或者其它原因，本资料记载的信息可能变动，恕不另行通知。在购买本资料所记载的产品时，请预先向瑞萨科技或者经授权的瑞萨科技产品经销商确认最新信息。
本资料所记载的信息可能存在技术不准确或者印刷错误。因这些错误而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
同时也请通过各种方式注意瑞萨科技公布的信息，包括瑞萨科技半导体网站。
(<http://www.renesas.com>)
4. 在使用本资料所记载部分或者全部数据、图、表、程序以及算法等信息时，在最终做出有关信息和产品是否适用的判断前，务必对作为整个系统的所有信息进行评价。由于本资料所记载的信息而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
5. 瑞萨科技的半导体产品不是为在可能和人命相关的环境下使用的设备或者系统而设计和制造的产品。在研讨将本资料所记载的产品用于运输、交通车辆、医疗、航空宇宙用、原子能控制、海底中继器的设备或者系统等特殊用途时，请与瑞萨科技或者经授权的瑞萨产品经销商联系。
6. 未经瑞萨科技的书面许可，不得翻印或者复制全部或者部分资料的内容。
7. 如果本资料所记载的某产品或者技术内容受日本出口管理限制，必须在得到日本政府的有关部门许可后才能出口，并且不准进口到批准目的地国家以外的国家。
禁止违反日本和（或者）目的地国家的出口管理法和法规的任何转卖、挪用或者再出口。
8. 如果需要了解本资料所记载的信息或者产品的详细，请与瑞萨科技联系。

General Precautions on Handling of Product

1. Treatment of NC Pins

Note: Do not connect anything to the NC pins.

The NC (not connected) pins are either not connected to any of the internal circuitry or are used as test pins or to reduce noise. If something is connected to the NC pins, the operation of the LSI is not guaranteed.

2. Treatment of Unused Input Pins

Note: Fix all unused input pins to high or low level.

Generally, the input pins of CMOS products are high-impedance input pins. If unused pins are in their open states, intermediate levels are induced by noise in the vicinity, a passthrough current flows internally, and a malfunction may occur.

3. Processing before Initialization

Note: When power is first supplied, the product's state is undefined.

The states of internal circuits are undefined until full power is supplied throughout the chip and a low level is input on the reset pin. During the period where the states are undefined, the register settings and the output state of each pin are also undefined.

Design your system so that it does not malfunction because of processing while it is in this undefined state. For those products which have a reset function, reset the LSI immediately after the power supply has been turned on.

4. Prohibition of Access to Undefined or Reserved Addresses

Note: Access to undefined or reserved addresses is prohibited.

The undefined or reserved addresses may be used to expand functions, or test registers may have been allocated to these addresses. Do not access these registers; the system's operation is not guaranteed if they are accessed.

有关产品的一般注意事项

1. NC 管脚的处理

【注意】 NC管脚什么也不要连接。

NC(Non-Connection)管脚有不连接内部电路和作为测试管脚和降低噪声等目的使用的使用的情况。因此，对于NC管脚，请什么也不要连接。如果连接，不能保证。

2. 未使用的输入管脚的处理

【注意】 将未使用的输入管脚固定成高电平或者低电平。

CMOS产品的输入管脚一般为高阻抗输入。如果将未使用的输入管脚处于开放状态，就可能由于周围噪声的感应而产生中间电平，在内部产生浸透电流，引起误动作。对于未使用的输入管脚，请固定成高电平或低电平。

3. 初始化前的处理

【注意】 加入电源时，产品的状态不定。

从给所有电源管脚外加电压开始，到给复位管脚输入低电平为止，内部电路处于不确定状态，寄存器的设定和各管脚的输出状态不定。请采用避免由此不定状态引起的系统误动作的对策进行系统设计。对于具有复位功能的产品，在加入电源后，请首先执行复位运行。

4. 禁止存取未定义地址或者保留地址

【注意】 禁止存取未定义地址或者保留地址。

未定义地址或者保留地址，除了将来用于功能扩展外，还有被分配测试用寄存器等的情况。因为不能保证存取这些寄存器时的运行和继续运行，所以请不要存取。

本手册的构成

本手册由如下的内容构成：

1. 有关产品的一般注意事项
2. 本手册的构成
3. 前言
4. 目录
5. 概要
6. 各功能模块的说明
 - CPU 和系统控制
 - 内部外围模块

各模块功能说明的构成根据各模块而不同。一般由①特点、②输入/输出管脚、③寄存器说明、④运行说明、⑤使用时的注意事项等章节构成。

设计采用本 LSI 的应用系统时，请在充分确认了注意事项的基础上进行。请务必阅读各章节中有关说明的注意事项和各章节最后的使用时的注意事项（使用时的注意事项根据需要记载）。

7. 寄存器一览表
8. 电特性
9. 附录
10. 本版中修改或者追加的部分（仅适用于修订版）

修订履历汇总了对前版内容的修改和追加的主要部分。记载的内容并非全部修订内容，有关详细内容请在本手册的正文中确认。

11. 索引

前 言

H8/36912群和H8/36902群是以高速H8/300H CPU为核心,集成了系统构成所必需的外围功能的单片机。H8/300H CPU具有与H8/300CPU兼容的指令系统。

对象者 本手册是以设计“采用H8/36912群和H8/36902群的应用系统”的用户为对象。
使用本手册的读者需要具备有关电路、逻辑电路以及微型计算机的基础知识。

目 的 本手册是以“能让用户理解H8/36912群和H8/36902群的硬件功能和电特性”为目的。
关于执行指令的详细内容,已记述在《H8/300H Series Software Manual》中,请对照阅读。

阅读方法

- 希望了解全部功能时
→ 请按照目录的顺序阅读。
本书大致按CPU、系统控制功能、外围功能、电特性的顺序构成。
- 希望了解详细的CPU功能时
→ 请参照《H8/300H Series Software Manual》。
- 知道寄存器名,希望了解寄存器的详细功能时
→ 在本手册的后面附有“索引”,请从索引检索页号。
关于地址、位内容以及初始化,汇总在“**第19章 寄存器一览表**”中。

寄存器的表示

如串行通信接口等相同或类似的功能存在于多个通道时,使用以下的表示方法:

XXX_N (XXX为基本寄存器名称, N为通道号)

范例 位的表示顺序: 以左侧为高位、右侧为低位的顺序表示
数字的表示 : 2进制数为 B'xxxx, 16进制数为 H'xxxx, 10进制数为 xxxx
信号的表示 : 对低电平有效的信号加上划线。 $\overline{\text{xxxx}}$

注意

在使用内部仿真器（E7）进行 H8/36912 群和 H8/36902 群的程序开发和调试时，必须注意以下限制事项：

1. $\overline{\text{NMI}}$ 管脚被E7占用，用户不能使用。
2. E7使用地址H'2000~H'2FFF区，用户不能使用。
3. 绝对不能存取地址H'F980~H'FD7F区。
4. 在使用E7时，可设定地址断开是让E7使用还是开放给用户。在E7使用地址断开的情况下，用户不能存取地址断开的控制寄存器。
5. 在使用E7时， $\overline{\text{NMI}}$ 管脚为输入/输出（输出为漏极开路）管脚。

相关资料一览表 最新的资料刊登在网站上，请确认现有的资料是否为最新版。
([http:// www.renesas.com](http://www.renesas.com))

- 有关 H8/36912 群和 H8/36902 群的用户手册

资料名	资料编号
H8/36912 群、H8/36902 群 硬件手册	本手册
H8/300H Series Software Manual	REJ09B0213-0300
H8/300H 系列程序设计手册	ADC-602-003

- 有关开发工具的用户手册

资料名	资料编号
H8S, H8/300 Series C/C++ Compiler, Assembler, Optimizing Linkage Editor User's Manual	REJ10B0058-0100
H8S, H8/300 Series Simulator/Debugger User's Manual	ADE-702-282A
H8S, H8/300 Series High-Performance Embedded Workshop, High-Performance Debugging Interface Tutorial	ADE-702-231
High-Performance Embedded Workshop User's Manual	ADE-702-201A

- 应用注意事项

资料名	资料编号
Single Power Supply F-ZTAT™ On-Board Programming	REJ05B0520-0200

【注】本手册根据日语版《H8/36912群、H8/36902群硬件手册 第二版》（RJJ09B0085-0200Z）翻译。有关最新内容，请查阅日语版或者英语版。

目 录

第 1 章	概 要	1
1.1	特点	1
1.2	内部框图	3
1.3	管脚排列图	5
1.4	管脚功能	9
第 2 章	CPU	11
2.1	地址空间和存储器映像	12
2.2	寄存器结构	14
2.2.1	通用寄存器	14
2.2.2	程序计数器 (PC)	15
2.2.3	条件码寄存器 (CCR)	16
2.3	数据格式	17
2.3.1	通用寄存器的数据格式	17
2.3.2	存储器的数据格式	19
2.4	指令系统	20
2.4.1	指令的功能分类表	20
2.4.2	指令的基本格式	28
2.5	寻址方式和有效地址	29
2.5.1	寻址方式	29
2.5.2	有效地址的计算方法	31
2.6	基本总线周期	34
2.6.1	内部存储器 (RAM、ROM)	34
2.6.2	内部外围模块	35
2.7	CPU 的状态	36
2.8	使用注意事项	37
2.8.1	空区域的数据存取	37
2.8.2	EEPMOV 指令	37
2.8.3	位操作指令	37
第 3 章	异常处理	43
3.1	异常处理源和向量地址	43
3.2	寄存器说明	45
3.2.1	中断边沿选择寄存器 1 (IEGR1)	45
3.2.2	中断边沿选择寄存器 2 (IEGR2)	45

3.2.3	中断允许寄存器 1 (IENR1)	46
3.2.4	中断允许寄存器 2 (IENR2)	46
3.2.5	中断标志寄存器 1 (IRR1)	47
3.2.6	中断标志寄存器 2 (IRR2)	47
3.2.7	唤醒中断标志寄存器 (IWPR)	48
3.3	复位异常处理	48
3.4	中断异常处理	48
3.4.1	外部中断请求	48
3.4.2	内部中断请求	50
3.4.3	中断处理顺序	50
3.4.4	中断响应时间	51
3.5	使用注意事项	52
3.5.1	复位后的中断请求	52
3.5.2	堆栈区的存取	52
3.5.3	改写端口模式寄存器时的注意事项	52
第 4 章	地址断开	55
4.1	寄存器说明	56
4.1.1	地址断开控制寄存器 (ABRKCR)	56
4.1.2	地址断开状态寄存器 (ABRKSR)	57
4.1.3	断开地址寄存器 (BARH、BARL)	57
4.1.4	断开数据寄存器 (BDRH、BDRL)	58
4.2	运行说明	58
第 5 章	时钟振荡器	61
5.1	特点	62
5.2	寄存器说明	62
5.2.1	RC 控制寄存器 (RCCR)	62
5.2.2	RC 修整数据保护寄存器 (RCTRMDPR)	63
5.2.3	RC 修整数据寄存器 (RCTRMDR)	64
5.2.4	时钟控制状态寄存器 (CKCSR)	65
5.3	系统时钟选择的运行说明	66
5.3.1	时钟控制的运行说明	67
5.3.2	时钟转换时序	69
5.4	内部振荡器的修整	71
5.5	外部振荡器	73
5.5.1	连接晶体谐振器的方法	73
5.5.2	连接陶瓷谐振器的方法	74
5.5.3	输入外部时钟的方法	74
5.6	预定标器	74
5.6.1	预定标器 S	74

5.7	使用注意事项	75
5.7.1	谐振器的注意事项	75
5.7.2	电路板设计的注意事项	75
第 6 章	低功耗模式	77
6.1	寄存器说明	78
6.1.1	系统控制寄存器 1 (SYSCR1)	78
6.1.2	系统控制寄存器 2 (SYSCR2)	79
6.1.3	模块待机控制寄存器 1 (MSTCR1)	80
6.1.4	模块待机控制寄存器 2 (MSTCR2)	80
6.2	模式间转移和LSI状态	81
6.2.1	睡眠模式	82
6.2.2	待机模式	82
6.2.3	子睡眠模式	83
6.3	激活模式的运行频率	83
6.4	直接转移	83
6.5	模块待机功能	83
第 7 章	ROM	85
7.1	块结构	86
7.2	寄存器说明	87
7.2.1	快速擦写存储控制寄存器 1 (FLMCR1)	87
7.2.2	快速擦写存储控制寄存器 2 (FLMCR2)	88
7.2.3	块指定寄存器 1 (EBR1)	88
7.2.4	快速擦写存储器允许寄存器 (FENR)	88
7.3	单板上编程	89
7.3.1	引导模式	90
7.3.2	用户模式的写/擦除	92
7.4	编程/擦除程序	93
7.4.1	编程/编程验证	93
7.4.2	擦除/擦除验证	96
7.4.3	快速擦写存储器的编程/擦除时的中断	96
7.5	编程/擦除保护	98
7.5.1	硬件保护	98
7.5.2	软件保护	98
7.5.3	错误保护	98
第 8 章	RAM	99
第 9 章	I/O 端口	101
9.1	端口1	102
9.1.1	端口模式寄存器 1 (PMR1)	102

9.1.2	端口控制寄存器 1 (PCR1)	103
9.1.3	端口数据寄存器 1 (PDR1)	103
9.1.4	端口上拉控制寄存器 1 (PUCR1)	104
9.1.5	管脚功能	104
9.2	端口2	105
9.2.1	端口控制寄存器 2 (PCR2)	105
9.2.2	端口数据寄存器 2 (PDR2)	106
9.2.3	管脚功能	106
9.3	端口5	107
9.3.1	端口模式寄存器 5 (PMR5)	107
9.3.2	端口控制寄存器 5 (PCR5)	108
9.3.3	端口数据寄存器 5 (PDR5)	108
9.3.4	端口上拉控制寄存器 5 (PUCR5)	108
9.3.5	管脚功能	109
9.4	端口7	110
9.4.1	端口控制寄存器 7 (PCR7)	110
9.4.2	端口数据寄存器 7 (PDR7)	111
9.4.3	管脚功能	111
9.5	端口8	112
9.5.1	端口控制寄存器 8 (PCR8)	112
9.5.2	端口数据寄存器 8 (PDR8)	113
9.5.3	管脚功能	113
9.6	端口B	115
9.6.1	端口数据寄存器 B (PDRB)	115
9.6.2	管脚功能	116
9.7	端口C	117
9.7.1	端口控制寄存器 C (PCRC)	117
9.7.2	端口数据寄存器 C (PDRC)	117
9.7.3	管脚功能	118
第 10 章	定时器 B1	119
10.1	特点	119
10.2	寄存器说明	120
10.2.1	定时器模式寄存器 B1 (TMB1)	120
10.2.2	定时器计数器 B1 (TCB1)	120
10.2.3	定时器装入寄存器 B1 (TLB1)	120
10.3	运行说明	121
10.3.1	间隔定时器的运行	121
10.3.2	自动再装入定时器的运行	121
10.4	定时器B1的运行模式	121

第 11 章	定时器 V	123
11.1	特点	123
11.2	输入/输出管脚	125
11.3	寄存器说明	125
11.3.1	定时器计数器 V (TCNTV)	125
11.3.2	时间常数寄存器 A、B (TCORA、TCORB)	125
11.3.3	定时器控制寄存器 V0 (TCRV0)	126
11.3.4	定时器控制/状态寄存器 V (TCSR V)	127
11.3.5	定时器控制寄存器 V1 (TCRV1)	128
11.4	运行说明	128
11.4.1	定时器 V 的运行	128
11.5	定时器 V 的使用例	132
11.5.1	输出任意占空比脉冲	132
11.5.2	TRGV 输入的任意延迟时间和任意脉宽的脉冲输出	133
11.6	使用注意事项	134
第 12 章	定时器 W	137
12.1	特点	137
12.2	输入/输出管脚	140
12.3	寄存器说明	140
12.3.1	定时器模式寄存器 W (TMRW)	141
12.3.2	定时器控制寄存器 W (TCRW)	142
12.3.3	定时器中断允许寄存器 W (TIERW)	143
12.3.4	定时器状态寄存器 W (TSRW)	143
12.3.5	定时 I/O 控制寄存器 0 (TIOR0)	145
12.3.6	定时 I/O 控制寄存器 1 (TIOR1)	146
12.3.7	定时器计数器 (TCNT)	147
12.3.8	通用寄存器 A、B、C、D (GRA、GRB、GRC、GRD)	147
12.4	运行说明	148
12.4.1	通常运行	148
12.4.2	PWM 运行	151
12.5	运行时序	156
12.5.1	TCNT 的计数时序	156
12.5.2	输出比较的输出时序	157
12.5.3	输入捕捉时序	158
12.5.4	通过比较匹配产生的计数器清除时序	158
12.5.5	缓冲器运行时序	159
12.5.6	比较匹配时的 IMFA~IMFD 标志的置位时序	160
12.5.7	输入捕捉时的标志置位时序	161
12.5.8	状态标志的清除时序	161
12.6	使用注意事项	162

第 13 章	监视定时器	165
13.1	特点	165
13.2	寄存器说明	165
13.2.1	定时器控制/状态寄存器 WD (TCSRWD)	166
13.2.2	定时计数器 WD (TCWD)	167
13.2.3	定时器模式寄存器 WD (TMWD)	167
13.3	运行说明	168
第 14 章	串行通信接口 3 (SCI3)	169
14.1	特点	169
14.2	输入/输出管脚	170
14.3	寄存器说明	171
14.3.1	接收移位寄存器 (RSR)	171
14.3.2	接收数据寄存器 (RDR)	171
14.3.3	发送移位寄存器 (TSR)	171
14.3.4	发送数据寄存器 (TDR)	171
14.3.5	串行模式寄存器 (SMR)	172
14.3.6	串行控制寄存器 3 (SCR3)	173
14.3.7	串行状态寄存器 (SSR)	174
14.3.8	位速率寄存器 (BRR)	175
14.3.9	采样模式寄存器 (SPMR)	179
14.4	异步模式的运行说明	180
14.4.1	时钟	180
14.4.2	SCI3 的初始化	181
14.4.3	数据发送	182
14.4.4	数据接收	184
14.5	时钟同步模式的运行说明	187
14.5.1	时钟	187
14.5.2	SCI3 的初始化	187
14.5.3	数据发送	188
14.5.4	数据接收	190
14.5.5	数据发送和接收的同时运行	192
14.6	多处理器通信功能	193
14.6.1	多处理器数据发送	194
14.6.2	多处理器数据接收	195
14.7	中断请求	197
14.8	使用注意事项	197
14.8.1	关于中止的检测和处理	197
14.8.2	标记状态和中止的发送	197
14.8.3	关于接收错误标志和发送运行 (只限时钟同步模式)	198
14.8.4	异步模式的接收数据采样时序和接收容限	198

第 15 章	I²C 总线接口 2 (IIC2)	199
15.1	特点	199
15.2	输入/输出管脚	201
15.3	寄存器说明	201
15.3.1	I ² C 总线控制寄存器 1 (ICCR1)	202
15.3.2	I ² C 总线控制寄存器 2 (ICCR2)	203
15.3.3	I ² C 总线模式寄存器 (ICMR)	205
15.3.4	I ² C 总线中断许可寄存器 (ICIER)	206
15.3.5	I ² C 总线状态寄存器 (ICSR)	208
15.3.6	从属地址寄存器 (SAR)	210
15.3.7	I ² C 总线发送数据寄存器 (ICDRT)	210
15.3.8	I ² C 总线接收数据寄存器 (ICDRR)	210
15.3.9	I ² C 总线移位寄存器 (ICDRS)	210
15.4	运行说明	211
15.4.1	I ² C 总线格式	211
15.4.2	主发送运行	212
15.4.3	主接收运行	214
15.4.4	从属发送运行	216
15.4.5	从属接收运行	218
15.4.6	时钟同步串行格式	220
15.4.7	噪声消除电路	222
15.4.8	使用例	223
15.5	中断请求	227
15.6	位同步电路	228
第 16 章	A/D 转换器	229
16.1	特点	229
16.2	输入/输出管脚	230
16.3	寄存器说明	231
16.3.1	A/D 数据寄存器 A~D (ADDRA~D)	231
16.3.2	A/D 控制/状态寄存器 (ADCSR)	232
16.3.3	A/D 控制寄存器 (ADCR)	233
16.4	运行说明	233
16.4.1	单通道模式	233
16.4.2	扫描模式	233
16.4.3	输入采样和 A/D 转换时间	234
16.4.4	外部触发输入时序	235
16.5	A/D 转换精度的定义	236
16.6	使用注意事项	238
16.6.1	关于容许信号源阻抗	238
16.6.2	关于对绝对精度的影响	238

第 17 章	带隙电路、加电复位和低电压检测电路	239
17.1	特点	239
17.2	寄存器说明	241
17.2.1	低电压检测控制寄存器 (LVDCR)	241
17.2.2	低电压检测状态寄存器 (LVDSR)	242
17.3	运行说明	243
17.3.1	加电复位电路	243
17.3.2	低电压检测电路	244
第 18 章	电源电路	249
18.1	使用内部电源降压电路时	249
18.2	不使用内部电源降压电路时	250
第 19 章	寄存器一览表	251
19.1	寄存器地址一览表 (地址顺序)	252
19.2	寄存器位一览表	255
19.3	各运行模式的寄存器状态	258
第 20 章	电特性	261
20.1	绝对最大额定值	261
20.2	电特性F-ZTAT™版	262
20.2.1	电源电压和运行范围	262
20.2.2	DC 特性	264
20.2.3	AC 特性	269
20.2.4	A/D 转换特性	272
20.2.5	监视定时器特性	273
20.2.6	电源电压检测电路特性	273
20.2.7	LVDI 外部输入电压检测电路特性	274
20.2.8	加电复位特性	274
20.2.9	快速擦写存储器特性	275
20.3	电特性 (掩模型ROM版) 【暂定】	276
20.3.1	电源电压和工作范围	276
20.3.2	DC 特性	278
20.3.3	AC 特性	283
20.3.4	A/D 转换特性	285
20.3.5	监视定时器特性	286
20.3.6	电源电压检测电路特性	287
20.3.7	LVDI 外部输入电压检测电路特性	287
20.3.8	加电复位特性	288
20.4	时序图	288
20.5	输出负载条件	290

附录	291
A. 指令	291
A.1 指令一览表	291
A.2 操作码映像	306
A.3 指令执行状态数	309
A.4 指令和寻址方式的组合	318
B. I/O端口	319
B.1 I/O 端口框图	319
B.2 各处理状态中的端口状态	329
C. 型号一览表	330
D. 外形尺寸图	331
索引	335

图目录

第1章 概要

图1.1 H8/36912群的内部框图.....	3
图1.2 H8/36902群的内部框图.....	4
图1.3 H8/36912群的管脚排列图 (FP-32A)	5
图1.4 H8/36902群的管脚排列图 (FP-32A)	6
图1.5 H8/36912群的管脚排列图 (FP-32D、32P4B)	7
图1.6 H8/36902群的管脚排列图 (FP-32D、32P4B)	8

第2章 CPU

图2.1 存储器映像 (1)	12
图2.1 存储器映像 (2)	13
图2.2 CPU内部寄存器结构.....	14
图2.3 通用寄存器的使用方法.....	15
图2.4 堆栈指针和堆栈区的关系.....	15
图2.5 通用寄存器的数据格式 (1)	17
图2.5 通用寄存器的数据格式 (2)	18
图2.6 存储器的数据格式.....	19
图2.7 指令格式.....	28
图2.8 存储器间接转移地址的指定.....	31
图2.9 内部存储器的存取周期.....	34
图2.10 内部外围模块的存取周期 (3个状态存取)	35
图2.11 CPU的状态分类	36
图2.12 状态转移图.....	36
图2.13 相同地址中分配2个寄存器的定时器构成例子	38

第3章 异常处理

图3.1 复位异常处理顺序.....	49
图3.2 中断异常处理结束后的堆栈状态	51
图3.3 中断请求顺序.....	52
图3.4 端口模式寄存器的操作和中断请求标志的清除步骤	53

第4章 地址断开

图4.1 地址断开的框图.....	55
图4.2 地址断开中断的运行例子 (1)	58
图4.2 地址断开中断的运行例子 (2)	59

第5章 时钟振荡器

图5.1 时钟发生电路的框图.....	61
图5.2 LSI的系统时钟状态转移图.....	66
图5.3 从内部振荡时钟转换到外部时钟的流程图 (1)	67
图5.4 从外部时钟转换到内部振荡时钟的流程图 (2)	68
图5.5 从内部振荡时钟转换到外部时钟的时序	69

图5.6	从外部时钟转换到内部振荡时钟的时序	70
图5.7	内部振荡器的修整流程图例子	71
图5.8	内部振荡器的修整时序图	72
图5.9	晶体谐振器的连接例子	73
图5.10	晶体谐振器的等效电路	73
图5.11	陶瓷谐振器的连接例子	74
图5.12	输入外部时钟时的连接例子	74
图5.13	有关振荡电路的电路板设计的注意事项	75
第6章 低功耗模式		
图6.1	模式转移图	81
第7章 ROM		
图7.1	快速擦写存储器的块结构	86
图7.2	用户模式的编程/擦除例子	92
图7.3	编程/编程验证流程图	94
图7.4	擦除/擦除验证流程图	97
第9章 I/O 端口		
图9.1	端口1的管脚结构	102
图9.2	端口2的管脚结构	105
图9.3	端口5的管脚结构	107
图9.4	端口7的管脚结构	110
图9.5	端口8的管脚结构	112
图9.6	端口B的管脚结构	115
图9.7	端口C的管脚结构	117
第10章 定时器 B1		
图10.1	定时器B1的框图	119
第11章 定时器 V		
图11.1	定时器V的框图	124
图11.2	内部时钟运行时的计数时序	129
图11.3	外部时钟运行时的计数时序	129
图11.4	OVF的置位时序	130
图11.5	CMFA和CMFB的置位时序	130
图11.6	TMOV输出时序	130
图11.7	通过比较匹配进行的清除时序	131
图11.8	通过TMRIV输入进行的清除时序	131
图11.9	脉冲输出例子	132
图11.10	同步于TRGV输入的脉冲输出例子	133
图11.11	写TCNTV和清除的竞争	134
图11.12	写TCORA和比较匹配的竞争	135
图11.13	内部时钟的转换和TCNTV运行	135
第12章 定时器 W		
图12.1	定时器W的框图	139
图12.2	自由运行计数器的运行	148
图12.3	周期计数器的运行	148

图12.4	0输出和1输出的运行例子 (TOA=0和TOB=1)	149
图12.5	交替输出的运行例子 (TOA=0和TOB=1)	149
图12.6	交替输出的运行例子 (TOA=0和TOB=1)	150
图12.7	输入捕捉运行例子	150
图12.8	缓冲器运行例子 (输入捕捉)	151
图12.9	PWM模式运行例子 (1)	152
图12.10	PWM模式运行例子 (2)	152
图12.12	PWM模式运行例子 (TOB=TOC=TOD=0、初始输出0)	154
图12.13	PWM模式运行例 (TOB=TOC=TOD=1、初始输出1)	155
图12.14	内部时钟运行时的计数时序	156
图12.15	外部时钟运行时的计数时序	156
图12.16	输出比较的输出时序	157
图12.17	输入捕捉的输入信号时序	158
图12.18	通过比较匹配产生的计数器清除时序	158
图12.19	缓冲器运行时序 (比较匹配)	159
图12.20	缓冲器运行时序 (输入捕捉)	159
图12.21	比较匹配时的IMFA~IMFD标志的置位时序	160
图12.22	发生输入捕捉时的IMFA~IMFD标志的置位时序	161
图12.23	由CPU进行的状态标志的清除时序	161
图12.24	TCNT的写操作与清除的竞争	163
图12.25	内部时钟转换和TCNT运行	163
图12.26	比较匹配和对TCRW的位操作指令发生竞争时的例子	164
第13章 监视定时器		
图13.1	监视定时器的框图	165
图13.2	监视定时器的运行例子	168
第14章 串行通信接口3 (SCI3)		
图14.1	SCI3的框图	170
图14.2	噪声消除电路的框图	179
图14.3	异步通信的数据格式	180
图14.5	初始化SCI3时的流程图例子	181
图14.6	异步模式发送时的运行例子 (8位数据/有奇偶校验/1个停止位的例子)	182
图14.7	发送数据的流程图例子 (异步模式)	183
图14.8	异步模式接收时的运行例子 (8位数据/有奇偶校验/1个停止位的例子)	184
图14.9	接收数据的流程图例子 (异步模式)	186
图14.10	时钟同步通信的数据格式	187
图14.11	时钟同步模式发送时的运行例子	188
图14.12	发送数据的流程图例子 (时钟同步模式)	189
图14.13	时钟同步模式接收时的运行例子	190
图14.15	数据发送和接收同时运行的流程图例子 (时钟同步模式)	192
图14.16	使用多处理器格式的处理器之间的通信例子	193
图14.17	多处理器数据发送的流程图例子	194
图14.18	多处理器数据接收的流程图例子	195
图14.19	多处理器格式接收时的运行例子 (8位数据/有多处理器位/1个停止位的例子)	196
图14.20	异步模式接收数据的采样时序	198

第15章 I²C 总线接口 2 (IIC2)	
图15.1 I ² C总线接口2的框图	200
图15.2 输入/输出管脚的外部电路连接的例子	201
图15.3 I ² C总线格式	211
图15.4 I ² C总线时序	211
图15.5 主发送模式的运行时序 (1)	213
图15.6 主发送模式的运行时序 (2)	213
图15.7 主接收模式的运行时序 (1)	215
图15.8 主接收模式的运行时序 (2)	215
图15.9 从属发送模式的运行时序 (1)	217
图15.10 从属发送模式的运行时序 (2)	218
图15.11 从属接收模式的运行时序 (1)	219
图15.12 从属接收模式的运行时序 (2)	219
图15.13 时钟同步串行的传送格式	220
图15.14 发送模式的运行时序	221
图15.15 接收模式的运行时序	222
图15.16 噪声消除电路的框图	222
图15.17 主发送模式的流程图例子	223
图15.18 主接收模式的流程图例子	224
图15.19 从属发送模式的流程图例子	225
图15.20 从属接收模式的流程图例子	226
图15.21 位同步电路的时序	228
第16章 A/D 转换器	
图16.1 A/D转换器的框图	230
图16.2 A/D转换时序	234
图16.3 外部触发输入的时序	235
图16.4 A/D转换精度的定义 (1)	237
图16.5 A/D转换精度的定义 (2)	237
图16.6 模拟输入电路的例子	238
第17章 带隙电路、加电复位和低电压检测电路	
图17.1 BGR的位置框图	240
图17.3 加电复位电路的运行时序	243
图17.4 低电压检测复位电路的运行时序	244
图17.5 低电压检测中断电路的运行时序	245
图17.6 低电压检测中断电路的运行时序 (在检测电压使用ExtU、ExtD管脚输入时)	246
图17.7 低电压检测电路运行/解除的设定时序	247
第18章 电源电路	
图18.1 使用内部电源降压电路时的电源连接图	249
图18.2 不使用内部电源降压电路时的电源连接图	250
第20章 电特性	
图20.1 系统时钟输入时序	288
图20.2 RES管脚Low电平宽度时序	288
图20.3 输入时序	289
图20.4 I ² C总线接口2输入/输出时序	289

图20.5	SCK3输入时钟时序	289
图20.6	SCI3时钟同步模式输入/输出时序	290
图20.7	输出负载电路	290

附录

图B.1	端口1框图 (P17)	319
图B.2	端口2框图 (P14)	320
图B.3	端口2框图 (P22)	321
图B.4	端口2框图 (P21)	321
图B.5	端口2框图 (P20)	322
图B.6 (1)	端口5框图 (P57、P56) (H8/36912群)	322
图B.6 (2)	端口5框图 (P57、P56) (H8/36902群)	323
图B.7	端口5框图 (P55)	323
图B.8	端口7框图 (P76)	324
图B.9	端口7框图 (P75)	324
图B.10	端口7框图 (P74)	325
图B.11	端口8框图 (P84、P83、P82、P81)	326
图B.12	端口8框图 (P80)	326
图B.13	端口B框图 (PB3、PB2)	327
图B.14	端口B框图 (PB1、PB0)	327
图B.15	端口C框图 (PC1)	328
图B.16	端口C框图 (PC0)	328
图D.1	FP-32D外形尺寸图	331
图D.2	FP-32A外形尺寸图	332
图D.3	32P4B外形尺寸图	333

表目录

第1章 概要	
表1.1 管脚功能.....	9
第2章 CPU	
表2.1 操作符号.....	20
表2.2 数据传送指令.....	21
表2.3 算术运算指令.....	21
表2.4 逻辑运算指令.....	23
表2.5 移位指令.....	23
表2.6 位操作指令.....	24
表2.7 分支指令.....	26
表2.8 系统控制指令.....	27
表2.9 块传送指令.....	27
表2.10 寻址方式一览表.....	29
表2.11 绝对地址的存取范围.....	30
表2.12 有效地址的计算方法(1).....	31
表2.12 有效地址的计算方法(2).....	33
第3章 异常处理	
表3.1 异常处理源和向量地址.....	44
表3.2 中断请求等待状态数.....	51
第4章 地址断开	
表4.1 使用的数据总线.....	57
第5章 时钟振荡器	
表5.1 晶体谐振器的参数.....	73
第6章 低功耗模式	
表6.1 运行频率和待机时间.....	79
表6.2 执行SLEEP指令后的状态和由中断产生的返回目标.....	81
表6.2 执行SLEEP指令后的状态和由中断产生的返回目标.....	81
第7章 ROM	
表7.1 编程模式的选择方法.....	89
表7.2 引导模式的运行.....	91
表7.3 可自动匹配位速率的系统时钟频率.....	91
表7.4 再编程数据的运算表.....	95
表7.5 追加编程数据的运算表.....	95
表7.6 编程时间.....	95

第10章 定时器 B1	
表10.1 定时器B1的运行模式	121
第11章 定时器 V	
表11.1 管脚结构	125
表11.2 输入到TCNTV的时钟和计数条件	126
第12章 定时器 W	
表12.1 定时器W的功能一览表	138
表12.2 管脚结构	140
第14章 串行通信接口 3 (SCI3)	
表14.1 管脚结构	170
表14.2 对位速率的BRR的设定例子 (异步模式)	176
表14.3 各频率的最大位速率 (异步模式)	178
表14.4 对位速率的BRR的设定例子 (时钟同步模式)	178
表14.5 SSR状态标志的状态和接收数据的传送	185
表14.6 SCI3的中断请求	197
第15章 I²C 总线接口 2 (IIC2)	
表15.1 管脚结构	201
表15.2 传送率	203
表15.3 中断请求一览表	227
表15.4 监视SCL的时间	228
第16章 A/D 转换器	
表16.1 管脚结构	230
表16.2 模拟输入通道与A/D数据寄存器的对应	231
表16.3 A/D转换时间 (单通道模式)	235
第17章 带隙电路、加电复位和低电压检测电路	
表17.1 LVDCCR的设定和选择功能	242
第20章 电特性	
表20.1 绝对最大额定值	261
表20.2 DC特性 (1)	264
表20.2 DC特性 (2)	268
表20.3 AC特性	269
表20.4 I ² C总线接口2时序	271
表20.5 串行通信接口 (SCI3) 时序	271
表20.6 A/D转换器特性	272
表20.7 监视定时器特性	273
表20.8 电源电压检测电路特性	273
表20.9 LVDI外部输入电压检测电路特性	274
表20.10 加电复位特性	274
表20.11 快速擦写存储器特性	275
表20.12 DC特性 (1)	278
表20.12 DC特性 (2)	282
表20.13 AC特性	283

表20.14	I ² C总线接口2时序	284
表20.15	串行接口 (SCI3) 时序	285
表20.16	A/D转换器特性	285
表20.17	监视定时器特性	286
表20.18	电源电压检测电路特性	287
表20.19	LVDI外部输入电压检测电路特性	287
表20.20	加电复位特性	288

附录

表A.1	指令集一览表	293
表A.2	操作码映像 (1)	306
表A.2	操作码映像 (2)	307
表A.2	操作码映像 (3)	308
表A.3	执行状态 (周期) 所需要的状态数	309
表A.4	指令执行状态 (周期数)	310
表A.5	指令和寻址方式的组合	318

第 1 章 概要

1.1 特点

- 16位高速H8/300H CPU
在目标码级，与H8/300 CPU向上兼容
通用寄存器：16位×16个
基本指令：62种
- 丰富的外围功能
定时器B1*（8位定时器）
定时器V（8位定时器）
定时器W（16位定时器）
监视定时器
SCI3（异步或者时钟同步串行通信接口）
10位A/D转换器
I²C总线接口*（依照菲利普公司提倡的I²C总线接口方式）
POR/LVD（加电复位&低电压检测电路）
地址断开
【注】 * 只限 H8/36912 群
- 内部存储器

产品分类	产品型号	ROM	RAM	备考	
快速擦写存储器版 (F-ZTAT™版)	H8/36912F	HD64F36912G	8K 字节	1536 字节	
	H8/36902F	HD64F36902G	8K 字节	1536 字节	
掩模型 ROM 版	H8/36912	HD64336912G	8K 字节	512 字节	计划中
	H8/36911	HD64336911G	4K 字节	256 字节	计划中
	H8/36902	HD64336902G	8K 字节	512 字节	计划中
	H8/36901	HD64336901G	4K 字节	256 字节	计划中
	H8/36900	HD64336900G	2K 字节	256 字节	计划中

【注】 F-ZTAT™是（株）瑞萨科技的商标。

- 通用输入/输出端口

输入/输出端口：18个。其中5个大电流端口（ $I_{OL}=20\text{mA}$ @ $V_{OL}=1.5\text{V}$ 、 $-I_{OH}=4\text{mA}$ @ $V_{OH}=V_{CC}-1.0\text{V}$ ）

输入端口：4个（模拟输入管脚兼用）

- 内部振荡器

频率精度 $8\text{MHz} \pm 1\%$ (Typ.) $V_{CC}=5.0\text{V}$ 、 $T_a=25^\circ\text{C}$

（快速擦写存储器版） $8\text{MHz} \pm 3\%$ $V_{CC}=4.0\sim 5.0\text{V}$ 、 $T_a=-20\sim 75^\circ\text{C}$

$10\text{MHz} \pm 4\%$ (Typ.) $V_{CC}=4.0\sim 5.0\text{V}$ 、 $T_a=-20\sim 75^\circ\text{C}$

- 支持各种低功耗模式

- 小型封装

封装	代码	外形尺寸	管脚节距	备考
LQFP-32	FP-32A	7.0 × 7.0 mm	0.8 mm	
SOP-32	FP-32D	11.3 × 20.45 mm	1.27 mm	
SDIP-32	32P4B	400mil	1.78mm	

1.2 内部框图

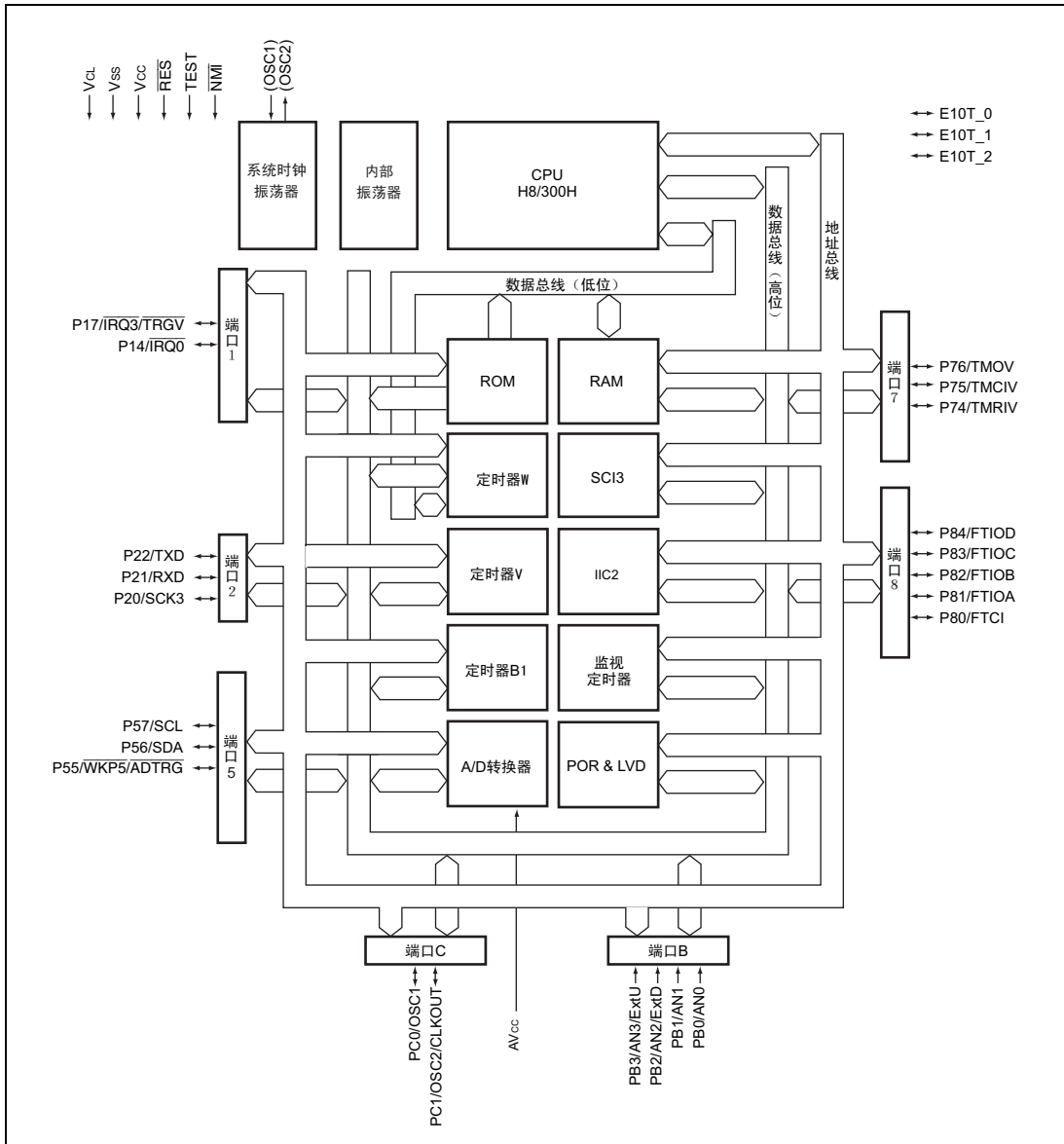


图 1.1 H8/36912 群的内部框图

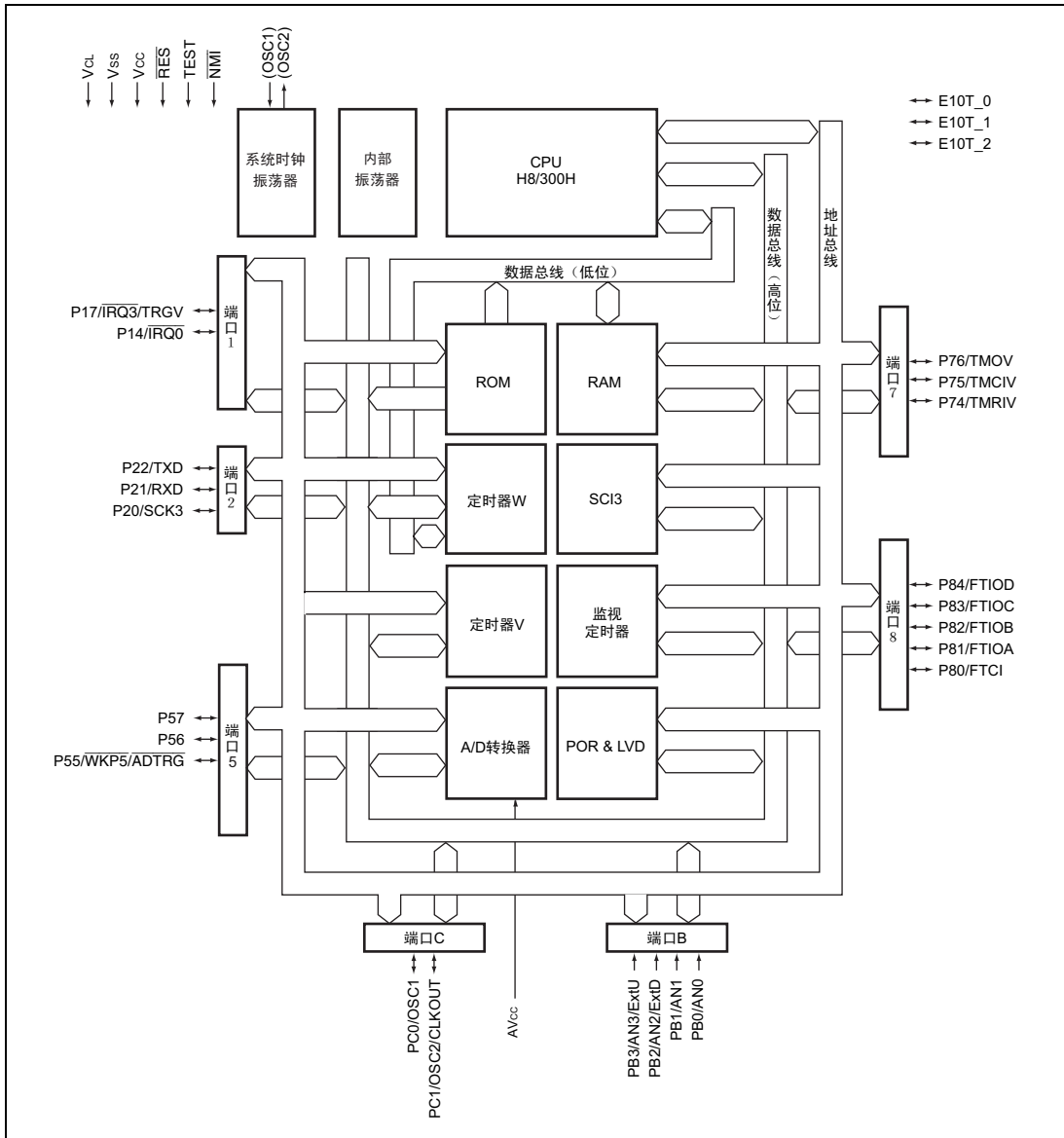


图 1.2 H8/36902 群的内部框图

1.3 管脚排列图

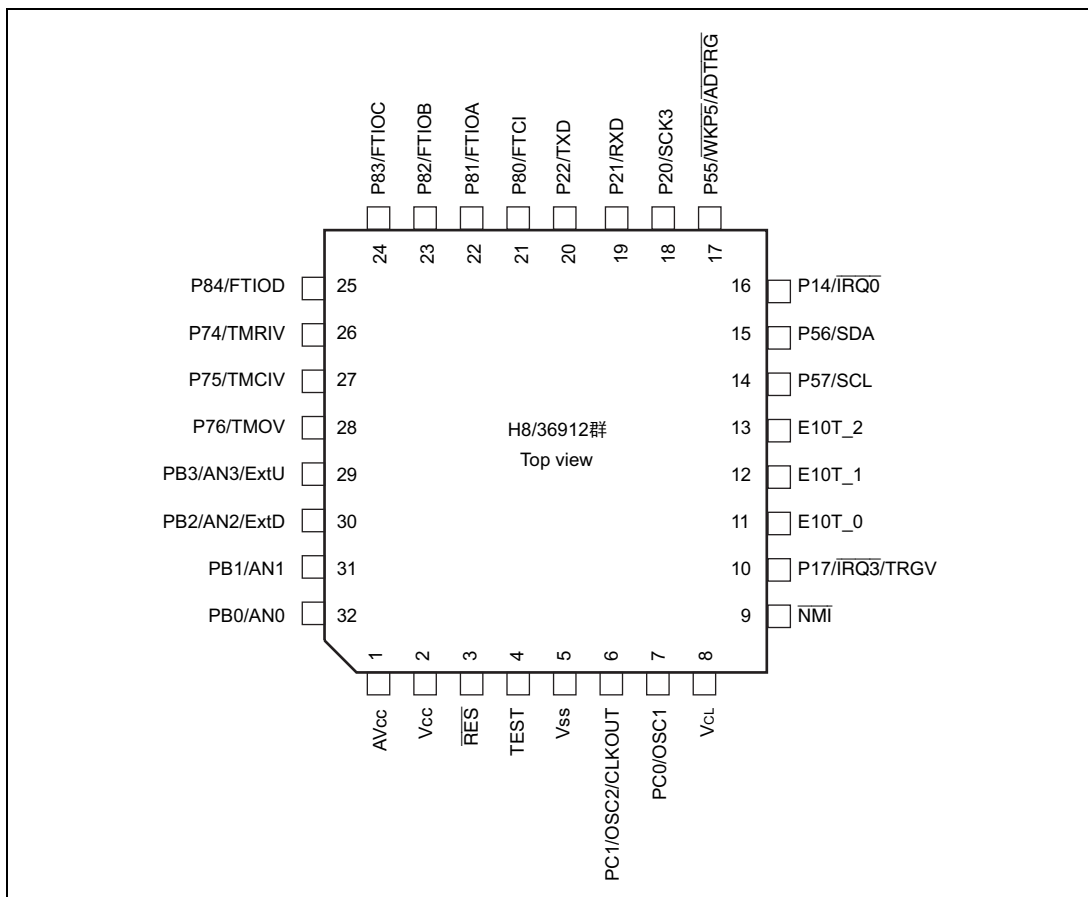


图 1.3 H8/36912 群的管脚排列图 (FP-32A)

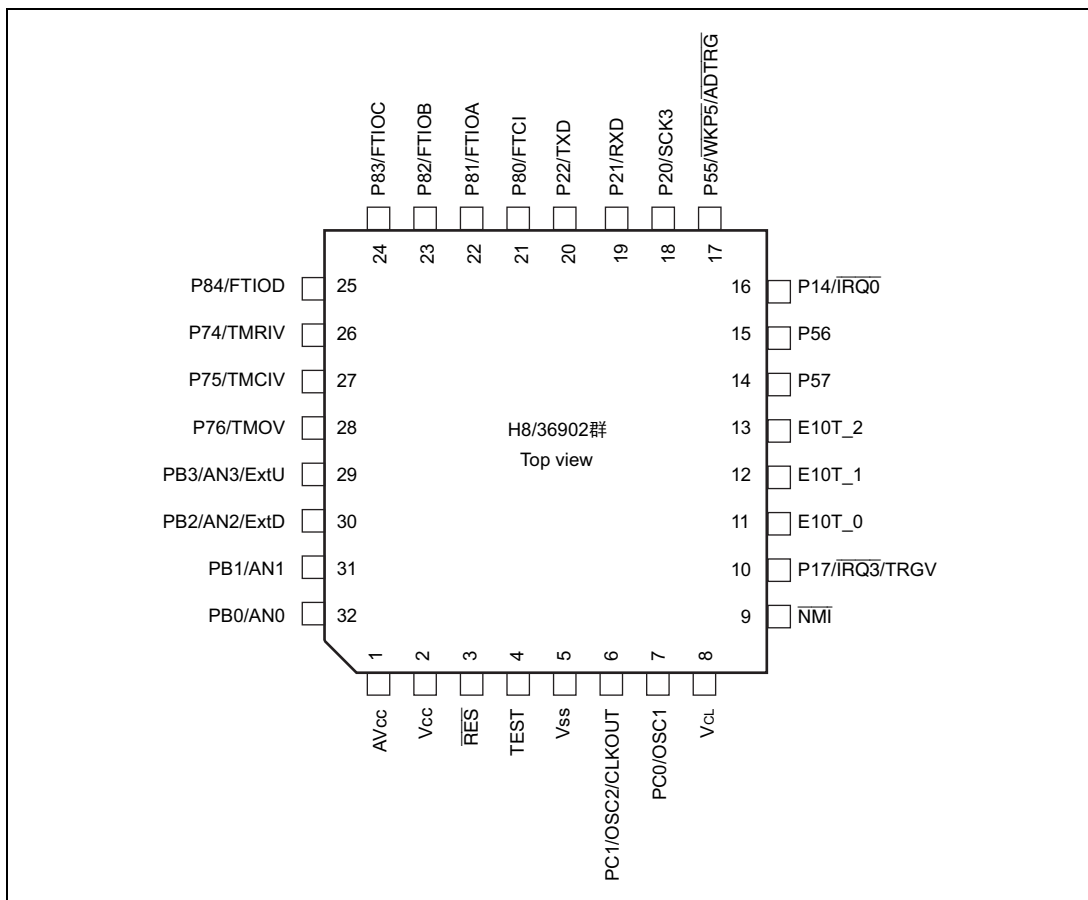


图 1.4 H8/36902 群的管脚排列图 (FP-32A)

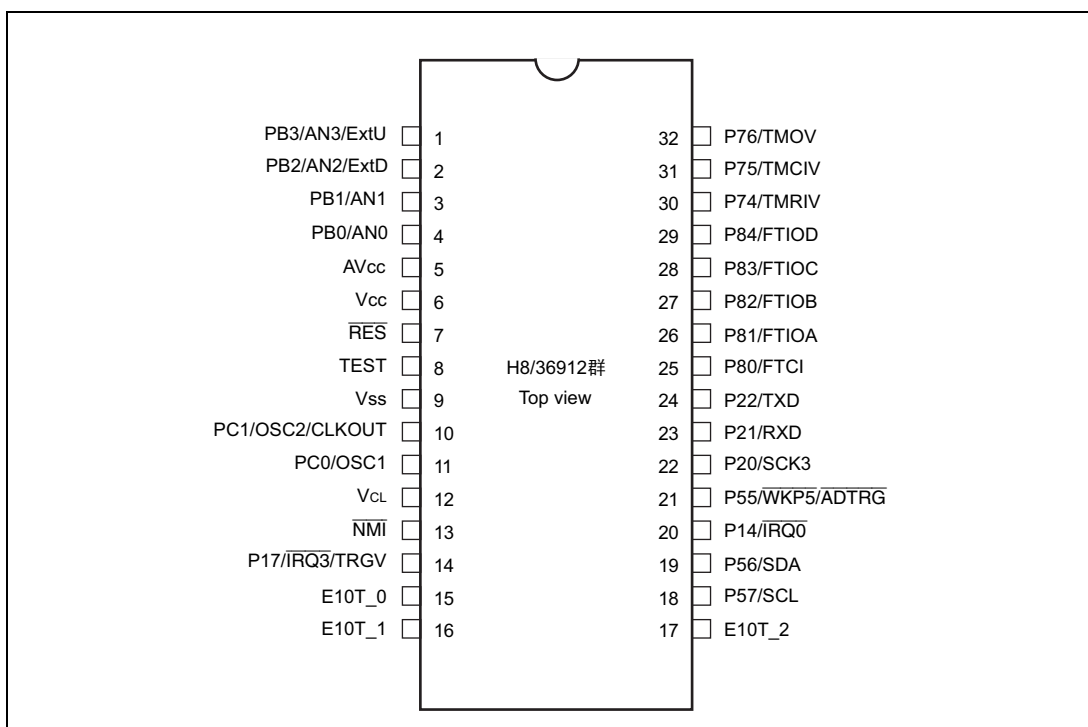


图 1.5 H8/36912 群的管脚排列图 (FP-32D、32P4B)

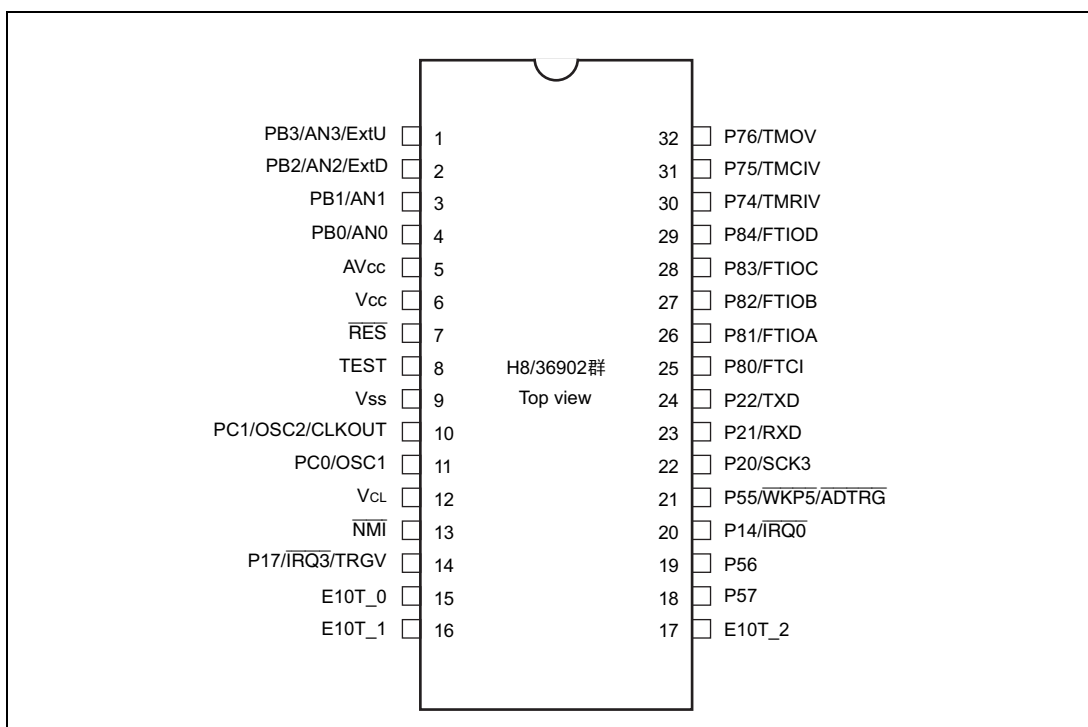


图 1.6 H8/36902 群的管脚排列图 (FP-32D、32P4B)

1.4 管脚功能

表 1.1 管脚功能

分类	符号	管脚号		输入/输出	功 能
		FP-32D 32P4B	FP-32A		
电源	Vcc	6	2	输入	电源管脚。必须与系统电源连接。
	Vss	9	5	输入	接地管脚。必须与系统电源 (0V) 连接。
	AVcc	5	1	输入	用于 A/D 转换的模拟电源管脚。不使用 A/D 转换器时，必须与系统电源连接。
	Vcl	12	8	输入	内部降压电源管脚。为了稳定化，必须在此管脚和 Vss 管脚之间插入 0.1μF 左右的电容。
时钟	OSC1	11	7	输入	用于系统时钟的晶体谐振器或者陶瓷谐振器的连接管脚，也能输入外部时钟。使用内部振荡器时，能将系统时钟输出到 OSC2。连接例子请参照“第 5 章 时钟发生器”。
	OSC2/CLKOUT	10	6	输出	
系统控制	RES	7	3	输入	复位管脚。内置上拉电阻 (typ. 150KΩ)。如果将此管脚设定为低电平，就进入复位状态。
	TEST	8	4	输入	测试管脚。必须与 V _{SS} 电位连接。
外部中断	NMI	13	9	输入	非屏蔽中断请求输入管脚。必须用电阻上拉。
	IRQ0、IRQ3	20、14	16、10	输入	外部中断请求输入管脚。能选择上升沿/下降沿。
	WKP5	21	17	输入	外部中断请求输入管脚。能选择上升沿/下降沿。
定时器 V	TMOV	32	28	输出	由输出比较功能产生的波形输出管脚。
	TMCIV	31	27	输入	外部事件输入管脚。
	TMRIV	30	26	输入	计数器复位输入管脚。
	TRGV	14	10	输入	计数开始触发输入管脚。
定时器 W	FTCI	25	21	输入	外部事件输入管脚。
	FTIOA~FTIOD	26~29	22~25	输入/输出	输出比较的输出/输入捕捉的输入/PWM 输出的兼用管脚。

第 1 章 概要

类型	符号	管脚号		输入/输出	功能
		FP-32D 32P4B	FP-32A		
I ² C 总线接口 2*	SDA	19	15	输入/输出	I ² C 数据输入/输出管脚。能用 NMOS 漏极开路输出直接驱动总线。
	SCL	18	14	输入/输出	I ² C 时钟输入/输出管脚。能用 NMOS 漏极开路输出直接驱动总线。
串行通信接口	TXD	24	20	输出	发送数据输出管脚。
	RXD	23	19	输入	接收数据输入管脚。
	SCK3	22	18	输入/输出	时钟输入/输出管脚。
A/D 转换器	AN3~AN0	1~4	29~32	输入	模拟信号输入管脚。
	ADTRG	21	17	输入	转换开始触发输入管脚。
I/O 端口	P17、P14	14、20	10、16	输入/输出	2 位输入/输出端口。
	P22~P20	24~22	20~18	输入/输出	3 位输入/输出端口。
	P57~P55	18、19、 21	14、15、 17	输入/输出	3 位输入/输出端口。
	P76~P74	32~30	28~26	输入/输出	3 位输入/输出端口。
	P84~P80	29~25	25~21	输入/输出	5 位输入/输出端口。
	PB3~PB0	1~4	29~32	输入	4 位输入端口。
	PC1、PC0	10、11	6、7	输入/输出	2 位输入/输出端口。
低电压检测电路	ExtU、ExtD	1、2	29、30	输入	用于低电压检测电路的检测电压外部输入管脚。
E7	E10T_0 E10T_1 E10T_2	15、16、 17	11、12、 13	—	用于 E7 仿真器的接口管脚。

【注】* 只限 H8/36912 系列。

第 2 章 CPU

H8/36912 群和 H8/36902 群 CPU 是与 H8/300CPU 向上兼容的体系结构为 32 位的 H8/300H CPU，仅支持 64K 字节地址空间的正常模式。

- H8/300 CPU 向上兼容
可执行 H8/300 系列的目标程序
追加 16 位 × 8 个扩展寄存
追加 32 位传送和运算指令
追加带符号的乘除法指令等
- 通用寄存器：16 位 × 16 个
也可用作 8 位 × 16 个 + 16 位 × 8 个、32 位 × 8 个的通用寄存器
- 基本指令：62 种
8 / 16 / 32 位传送、运算指令
乘除法指令
强大的位操作指令
- 寻址方式：8 种
寄存器直接 (Rn)
寄存器间接 (@ERn)
带位移量寄存器间接 (@ (d:16, ERn), @ (d:24, ERn))
后增/先减寄存器间接 (@ERn+ / @-ERn)
绝对地址 (@aa:8, @aa:16, @aa:24)
立即 (#xx:8, #xx:16, #xx:32)
程序计数器相对 (@ (d:8, PC), @ (d:16, PC))
存储器间接 (@@aa:8)
- 地址空间：64K 字节
- 高速运算
频繁出现的指令全部以 2~4 个状态执行
8 / 16 / 32 位寄存器间的加减法： 2 个状态
8 × 8 位寄存器间的乘法： 14 个状态
16 ÷ 8 位寄存器间的除法： 14 个状态
16 × 16 位寄存器间的乘法： 22 个状态
32 ÷ 16 位寄存器间的除法： 22 个状态

- 低功耗运行
通过SLEEP指令转移到低功耗状态

2.1 地址空间和存储器映像

H8/36912 群和 H836902 群的地址空间是包括程序区和数据区在内的 64K 字节。存储器映像如图 2.1 所示。

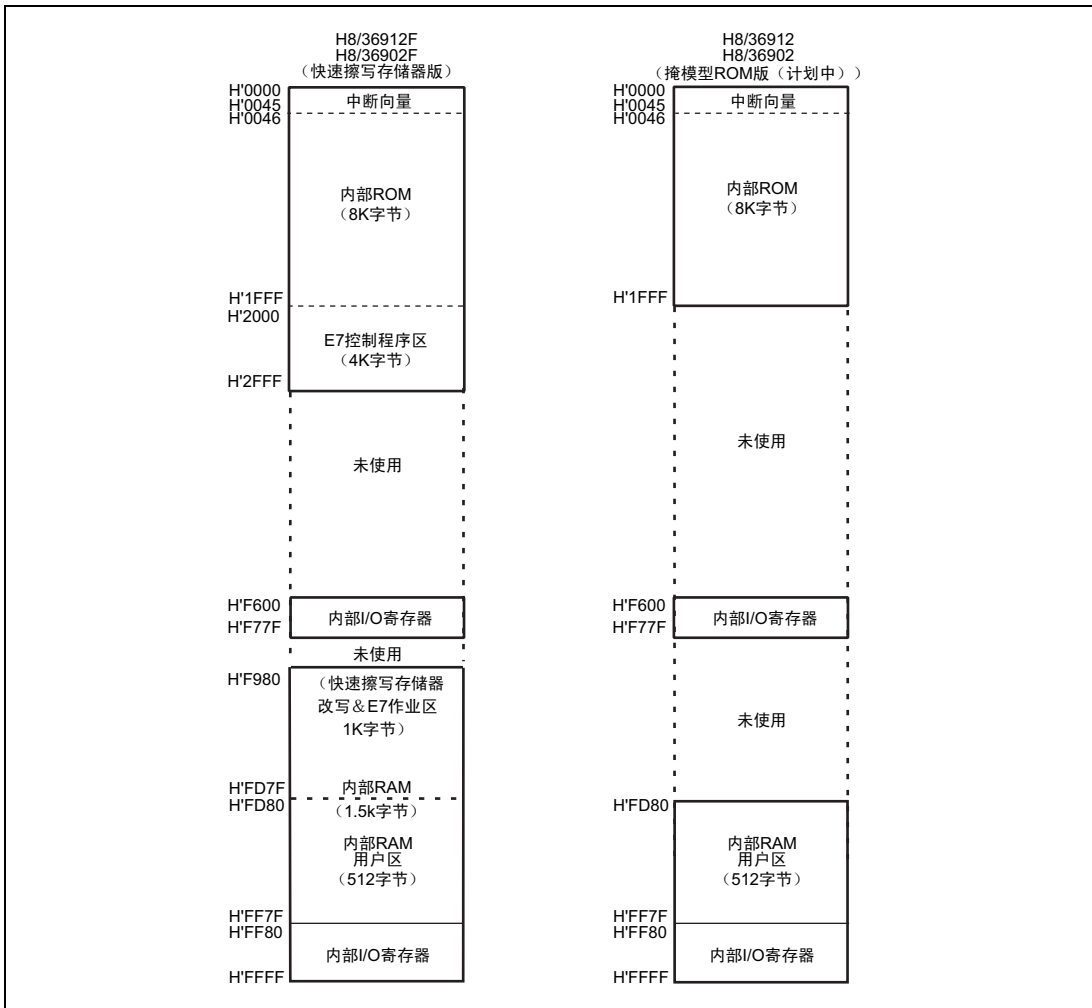


图 2.1 存储器映像 (1)

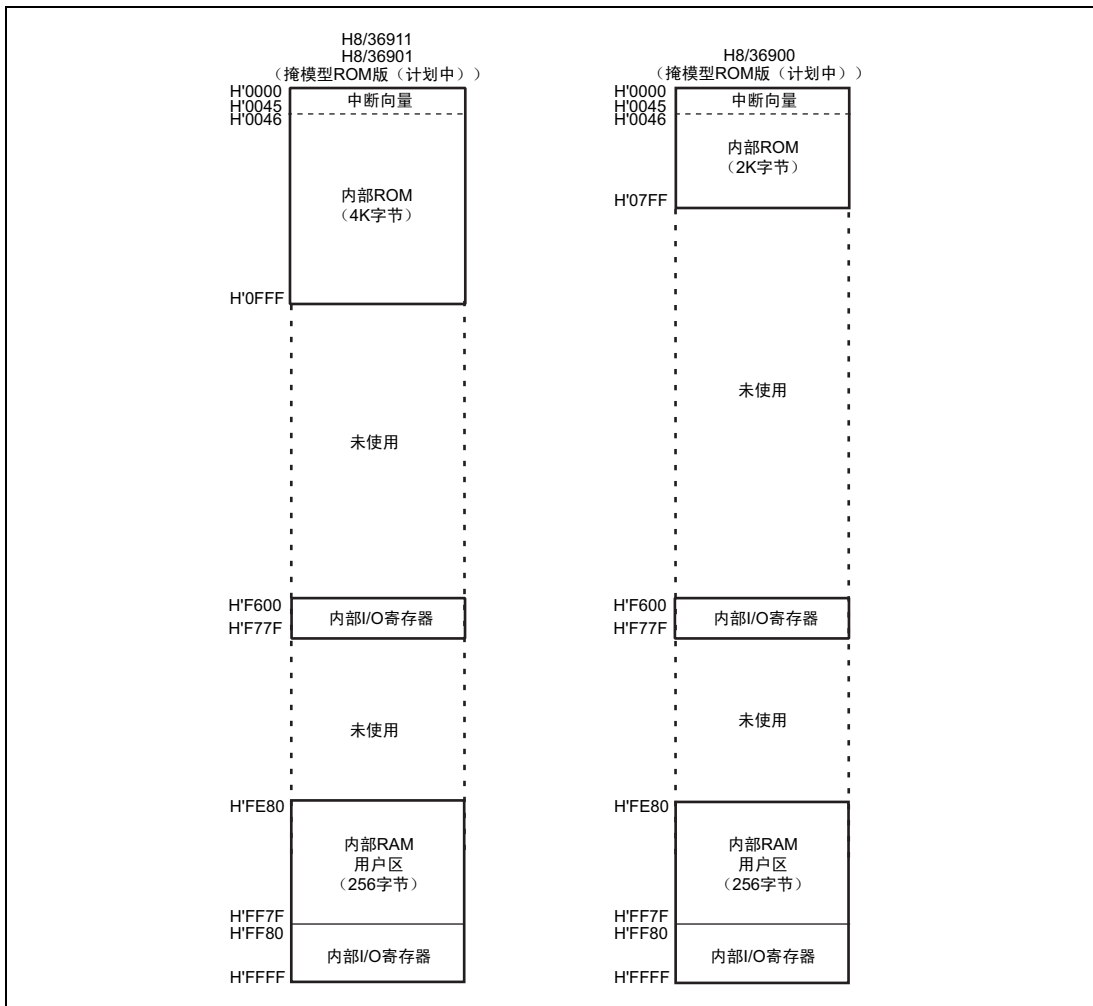


图 2.1 存储器映像 (2)

2.2 寄存器结构

H8/300H CPU 的内部寄存器结构如图 2.2 所示。这些寄存器分通用寄存器和控制寄存器 2 种。控制寄存器有 24 位程序计数器 (PC) 和 8 位条件码寄存器 (CCR)。

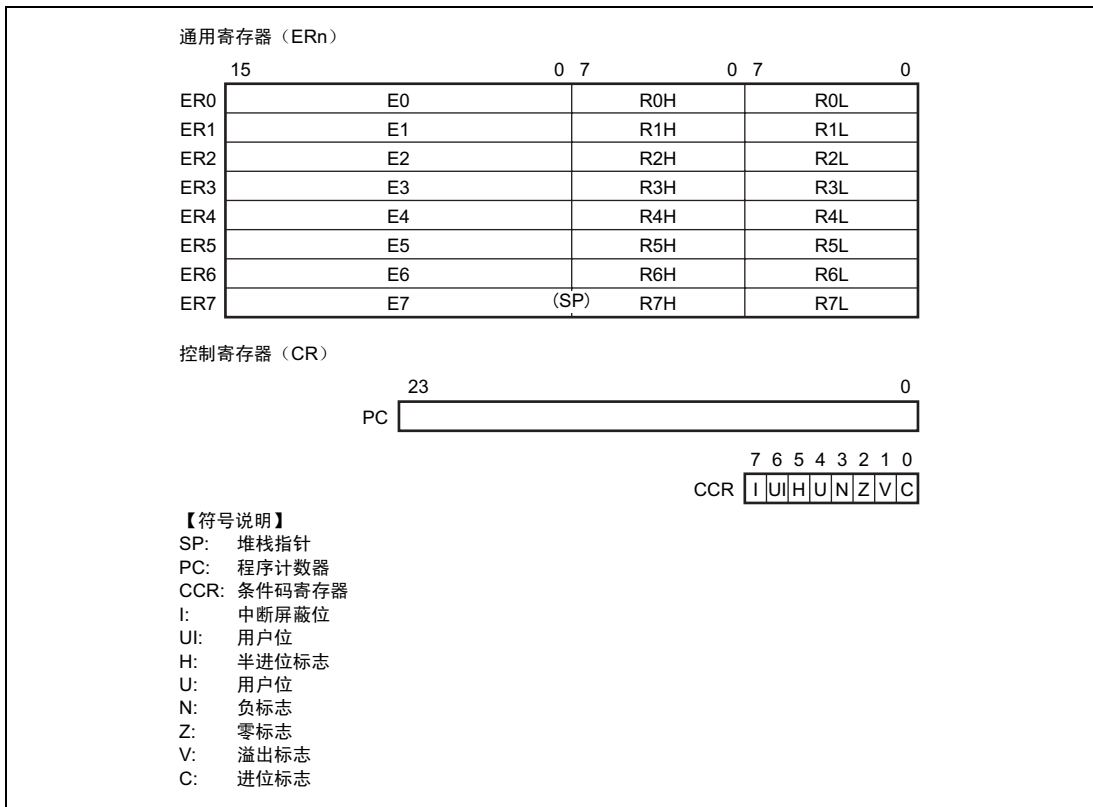


图 2.2 CPU 内部寄存器结构

2.2.1 通用寄存器

H8/300H CPU 具有 8 个 32 位长的通用寄存器。它们具有相同的功能，即可用作地址寄存器也可用作数据寄存器。对于数据寄存器，可用作 32 位、16 位或者 8 位寄存器。通用寄存器的使用方法如图 2.3 所示。

用作地址寄存器和 32 位数据寄存器时，用通用寄存器 ER (ER0~ER7) 来指定。

用作 16 位数据寄存器时，将通用寄存器 ER 分为通用寄存器 E (E0~E7) 和通用寄存器 R (R0~R7) 来指定。它们具有相同的功能，并且最多可使用 16 个 16 位寄存器。有时将通用寄存器 E (E0~E7) 特称为扩展寄存器。

用作 8 位数据寄存器时，将通用寄存器 R 分为通用寄存器 RH (R0H~R7H) 和 RL (R0L~R7L) 来指定。它们具有相同的功能，并且最多可使用 16 个 8 位寄存器。能单独指定各寄存器的使用方法。

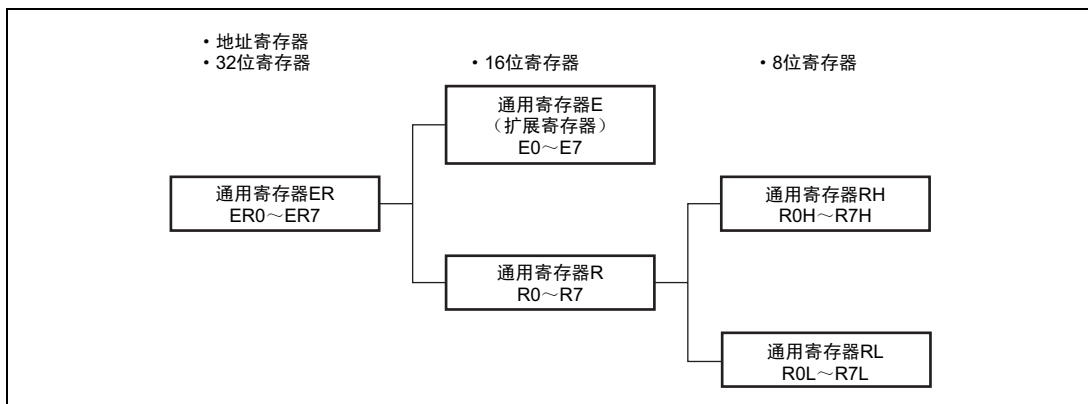


图 2.3 通用寄存器的使用方法

通用寄存器 ER7 除了通用寄存器的功能外，还有堆栈指针 (SP) 的功能，被隐含地用于异常处理和子程序调用等处。堆栈指针和堆栈区的关系如图 2.4 所示。

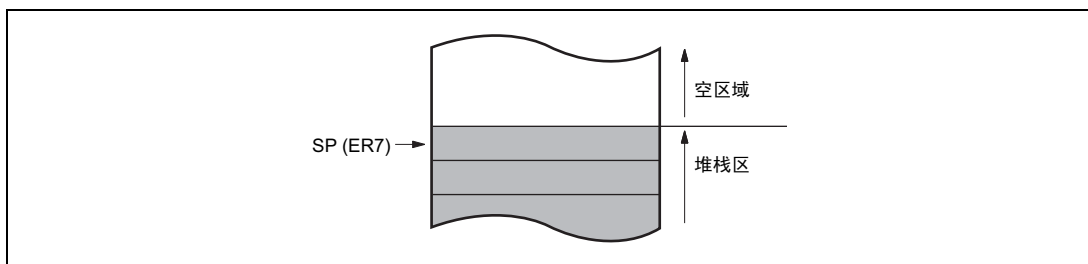


图 2.4 堆栈指针和堆栈区的关系

2.2.2 程序计数器 (PC)

PC 是一个 24 位计数器，指示 CPU 执行下一条指令的地址。由于 CPU 的指令都是以偶数地址开始的 2 个字节 (字) 为单位，所以在读取指令码时 PC 的最低位被认为 0。在通过复位异常处理过程中生成的向量地址装入起始地址时，进行 PC 的初始化。

2.2.3 条件码寄存器 (CCR)

CCR 表示 CPU 的内部状态，由中断屏蔽位 (I)、半进位 (H)、负 (N)、零 (Z)、溢出 (V) 和进位 (C) 等 8 位标志构成。I 位通过复位异常处理被初始化为 1，而其它位不被初始化。

位	符号	初始值	R/W	说 明
7	I	1	R/W	中断屏蔽位 如果此位被置 1，中断请求就被屏蔽。但是，NMI 与 I 位无关，总被接受。I 位在异常处理执行开始后被置 1。
6	UI	不定	R/W	用户位 可用软件 (LDC、STC、ANDC、ORC 和 XORC 指令) 读写。
5	H	不定	R/W	半进位标志 通过执行 ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B 和 NEG.B 指令，在位 3 发生进位或借位时被置 1，否则被清 0。通过执行 ADD.W、SUB.W、CMP.W 和 NEG.W 指令在位 11 发生进位或借位时，或者通过执行 ADD.L、SUB.L、CMP.L 和 NEG.L 指令在位 27 发生进位或借位时被置 1，否则被清 0。
4	U	不定	R/W	用户位 可用软件 (LDC、STC、ANDC、ORC 和 XORC 指令) 读写。
3	N	不定	R/W	负标志 将数据的最高位视为符号位，保存最高位的值。
2	Z	不定	R/W	零标志 数据为零时被置 1，否则被清 0。
1	V	不定	R/W	溢出标志 由于执行算术运算指令而发生溢出时被置 1，否则被清 0。
0	C	不定	R/W	进位标志 由于执行运算而发生进位时被置 1，否则被清 0。进位有以下种类： 加法结果的进位 减法结果的借位 移位和循环的进位 另外，在进位标志中还有位累加器功能，可用于位操作指令。

根据指令，标志位有时不发生变化。能用 LDC、STC、ANDC、ORC 和 XORC 指令操作 CCR。另外，N、Z、V 和 C 各标志位可用于条件转移指令（Bcc）。有关各指令的标志位变化，请参照“附录 A.1 指令一览表”。

2.3 数据格式

H8/300H CPU 能处理 1 位、4 位 BCD、8 位（字节）、16 位（字）以及 32 位（长字）的数据。1 位数据用位操作指令处理，以操作数据（字节）第 n 位（ $n=0, 1, 2, \dots, 7$ ）的形式存取。在 10 进制校正指令 DAA 和 DAS 中，字节数据被视为 2 位数的 4 位 BCD 数据。

2.3.1 通用寄存器的数据格式

通用寄存器的数据格式如图 2.5 所示。

数据类型	通用寄存器	数据格式
1位数据	RnH	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ 7 │ 6 │ 5 │ 4 │ 3 │ 2 │ 1 │ 0 │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
1位数据	RnL	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ 7 │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
4位BCD数据	RnH	<pre> 7 4 3 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ Don't care │ │ │ │ │ │ │ │ │ 高位 低位 └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
4位BCD数据	RnL	<pre> 7 4 3 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ Don't care │ │ │ │ │ │ │ │ │ 高位 低位 └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
字节数据	RnH	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ MSB LSB </pre>
字节数据	RnL	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ MSB LSB </pre>

图 2.5 通用寄存器的数据格式（1）

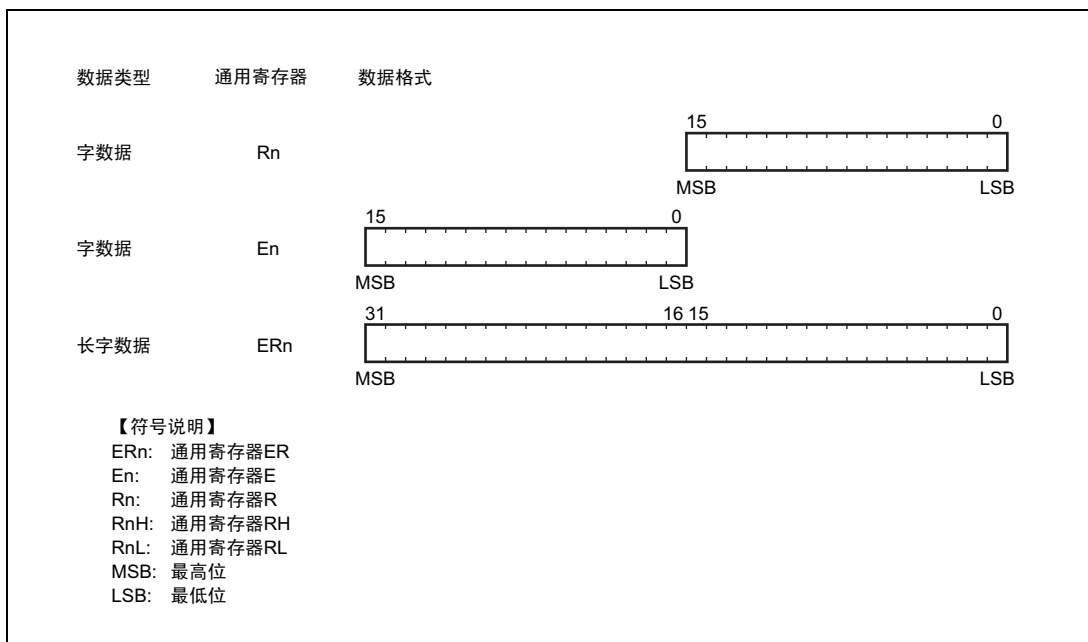


图 2.5 通用寄存器的数据格式 (2)

2.3.2 存储器的数据格式

存储器的数据格式如图 2.6 所示。

H8/300H CPU 能存取存储器中的字数据和长字数据，但是限定于从偶数地址开始的数据。如果存取从奇数地址开始的字数据或长字数据，地址的最低位就被视为 0，将存取从前 1 个地址开始的数据，此时不发生地址错误。指令码也相同。

将 ER7 (SP) 作为地址寄存器存取堆栈区时，必须以字或长字存取。

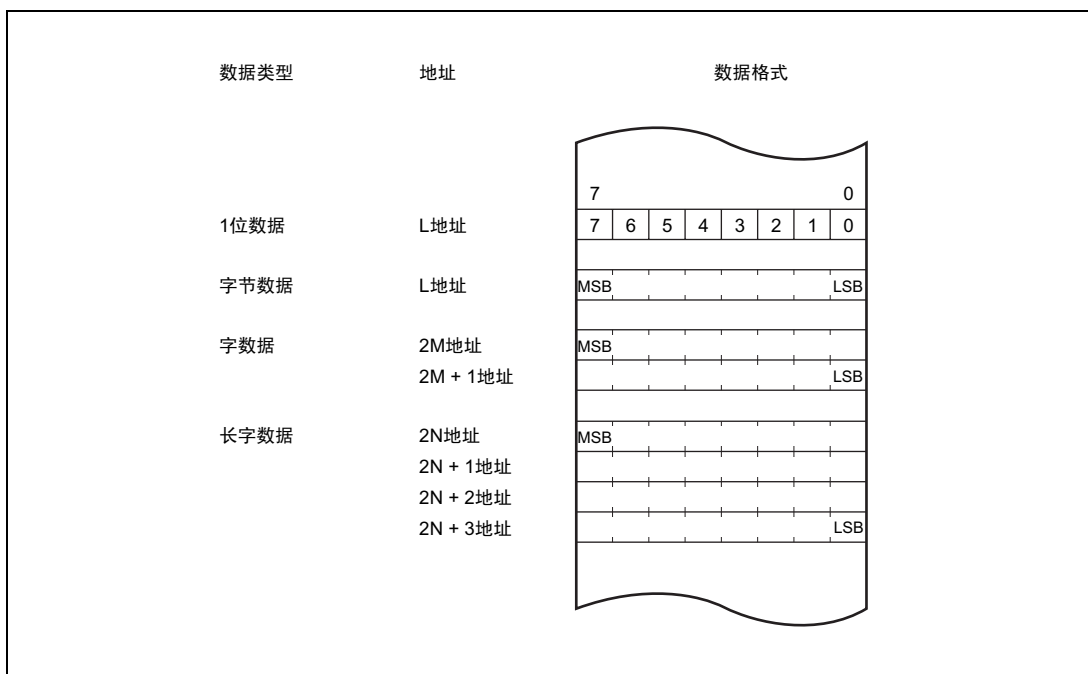


图 2.6 存储器的数据格式

2.4 指令系统

2.4.1 指令的功能分类表

H8/300H CPU 的指令共有 62 种。各指令的功能分类如表 2.2~2.9 所示。各表使用的操作符号定义如下：

表 2.1 操作符号

Rd	通用寄存器（目标）*
Rs	通用寄存器（源）*
Rn	通用寄存器 *
ERn	通用寄存器（32 位寄存器 / 地址寄存器）
(EAd)	目标操作数
(EAs)	源操作数
CCR	条件码寄存器
N	CCR 的 N（负）标志位
Z	CCR 的 Z（零）标志位
V	CCR 的 V（溢出）标志位
C	CCR 的 C（进位）标志位
PC	程序计数器
SP	堆栈指针
#IMM	立即数
disp	位移量
+	加法
-	减法
×	乘法
÷	除法
∧	逻辑与
∨	逻辑或
⊕	逻辑异或
→	传送
~	非（逻辑补）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 位长

【注】* 通用寄存器为 8 位（R0H~R7H、R0L~R7L）、16 位（R0~R7、E0~E7）、或者 32 位寄存器 / 地址寄存器（ER0~ER7）。

表 2.2 数据传送指令

指令	长度*	功能
MOV	B/W/L	(EAs) → Rd、Rs → (EAd) 在两个通用寄存器之间或者通用寄存器和存储器之间进行数据传送，或者将立即数传送给通用寄存器。
MOVFPPE	B	(EAs) → Rd 本 LSI 不能使用。
MOVTPPE	B	Rs → (EAs) 本 LSI 不能使用。
POP	W/L	@SP+ → Rn 将数据从堆栈返回到通用寄存器。 POP.W Rn 和 MOV.W @SP+, Rn 相同。 POP.L ERn 和 MOV.L @SP+, ERn 相同。
PUSH	W/L	Rn → @-SP 将通用寄存器的内容保存到堆栈。 PUSH.W Rn 和 MOV.W Rn, @-SP 相同。 PUSH.L ERn 和 MOV.L ERn, @-SP 相同。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.3 算术运算指令

指令	长度*	功能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$ 、 $Rd \pm \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行加减运算（在字节长的通用寄存器和立即数之间不能进行减法运算。必须使用 SUBX 或者 ADD 指令）。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行带进位加减运算。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 通用寄存器加减 1 或者加减 2（字节长的运算只能加减 1）。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 、 $Rd \pm 4 \rightarrow Rd$ 32 位寄存器加减 1、加减 2 或者加减 4。
DAA DAS	B	Rd（10 进制校正） → Rd 参照 CCR，将通用寄存器的加减结果校正为 4 位 BCD 数据。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 在两个通用寄存器之间进行无符号乘法运算。能进行 8 位 × 8 位 → 16 位和 16 位 × 16 位 → 32 位的乘法。

指 令	长度*	功 能
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 在两个通用寄存器之间进行带符号乘法运算。能进行 8 位 \times 8 位 \rightarrow 16 位和 16 位 \times 16 位 \rightarrow 32 位的乘法。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 在两个通用寄存器之间进行无符号除法运算。能进行 16 位 \div 8 位 \rightarrow 商 8 位 余数 8 位和 32 位 \div 16 位 \rightarrow 商 16 位 余数 16 位的除法。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 在两个通用寄存器之间进行带符号除法运算。能进行 16 位 \div 8 位 \rightarrow 商 8 位 余数 8 位和 32 位 \div 16 位 \rightarrow 商 16 位 余数 16 位的除法。
CMP	B/W/L	$Rd - Rs$ 、 $Rd - \#IMM$ 在两个通用寄存器或者通用寄存器和立即数之间进行比较，将结果反映到 CCR。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 取通用寄存器内容的 2 的补码（算术取补）。
EXTU	W/L	Rd （零扩展） $\rightarrow Rd$ 将 16 位寄存器的低 8 位零扩展为字，或者将 32 位寄存器的低 16 位零扩展为长字。
EXTS	W/L	Rd （符号扩展） $\rightarrow Rd$ 将 16 位寄存器的低 8 位符号扩展为字，或者将 32 位寄存器的低 16 位符号扩展为长字。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.4 逻辑运算指令

指 令	长度*	功 能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑与运算。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑或运算。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑异或运算。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 取通用寄存器内容的 1 的补码（逻辑补）。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.5 移位指令

指 令	长度*	功 能
SHAL SHAR	B/W/L	Rd （移位处理） $\rightarrow Rd$ 将通用寄存器的内容进行算术移位。
SHLL SHLR	B/W/L	Rd （移位处理） $\rightarrow Rd$ 将通用寄存器的内容进行逻辑移位。
ROTL ROTR	B/W/L	Rd （循环处理） $\rightarrow Rd$ 将通用寄存器的内容进行循环移位。
ROTXL ROTXR	B/W/L	Rd （循环处理） $\rightarrow Rd$ 将通用寄存器的内容带进行进位标志的循环。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.6 位操作指令

指令	长度*	功能
BSET	B	$1 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数指定的某一位置 1。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BCLR	B	$0 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数指定的某一位清 0。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BNOT	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数指定的某一位取反。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BTST	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow Z$ 测试通用寄存器或者存储器的操作数指定的某一位，并反映到零标志。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BAND	B	$C \wedge (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数指定的某一位与进位标志位进行逻辑与，结果存放在进位标志。
BIAND	B	$C \wedge (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数指定的某一位取反后与进位标志进行逻辑与，结果存放在进位标志。位序号由 3 位立即数指定。
BOR	B	$C \vee (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数指定的某一位与进位标志进行逻辑或，结果存放在进位标志。
BIOR	B	$C \vee (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数指定的某一位取反后与进位标志进行逻辑或，结果存放在进位标志。位序号由 3 位立即数指定。
BXOR	B	$C \oplus (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数指定的某一位与进位标志进行逻辑异或，结果存放在进位标志位。
BIXOR	B	$C \oplus (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数指定的某一位取反后与进位标志进行逻辑异或，结果存放在进位标志位。位序号由 3 位立即数指定。
BLD	B	$(\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数指定的某一位传送到进位标志。
BILD	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数指定的某一位取反后传送到进位标志。位序号由 3 位立即数指定。

指 令	长度*	功 能
BST	B	C→ (<位序号> of <EAd>) 将进位标志的内容传送到通用寄存器或者存储器的操作数指定的某一位。
BIST	B	C→~ (<位序号> of <EAd>) 将进位标志的内容取反后传送到通用寄存器或者存储器的操作数指定的某一位。位序号由 3 位立即数指定。

【注】* 此长度表示操作数长度。

B: 字节

表 2.7 分支指令

命令	サイズ	機能																																																			
Bcc*	-	<p>当指定的条件成立时, 转移到指定的地址。转移条件如下表所示:</p> <table border="1"> <thead> <tr> <th>助记符</th> <th>说明</th> <th>转移条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	助记符	说明	转移条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
助记符	说明	转移条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (LOW)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	MInus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	-	无条件转移到指定的地址。																																																			
BSR	-	转移到指定地址的子程序。																																																			
JSR	-	转移到指定地址的子程序。																																																			
RTS	-	从子程序返回。																																																			

【注】* Bcc 指令是条件分支指令的总称。

表 2.8 系统控制指令

指令	长度*	功能
TRAPA	—	进行陷阱指令的异常处理。
RTE	—	从异常处理程序返回。
SLEEP	—	转移到低功耗状态。
LDC	B/W	(EAs) → CCR 将源操作数传送到 CCR。虽然 CCR 是字节长，但是从存储器传送时，以字长读数据。
STC	B/W	CCR → (EAd) 将 CCR 的内容传送到目标位置。虽然 CCR 是字节长，但是给存储器传送时，以字长写数据。
ANDC	B	CCR ∧ #IMM → CCR 取 CCR 和立即数的逻辑与。
ORC	B	CCR ∨ #IMM → CCR 取 CCR 和立即数的逻辑或。
XORC	B	CCR ⊕ #IMM → CCR 取 CCR 和立即数的逻辑异或。
NOP	—	PC + 2 → PC 只进行 PC 的递增。

【注】* 此长度表示操作数长度。

B: 字节

W: 字

表 2.9 块传送指令

指令	长度	功能
EEPMOV.B	—	if R4L ≠ 0 then Repeat @ER5+ → @ER6+, R4L - 1 → R4L Until R4L = 0 else next;
EEPMOV.W	—	if R4 ≠ 0 then Repeat @ER5+ → @ER6+, R4 - 1 → R4 Until R4 = 0 else next; 块传送指令。从 ER5 指向的地址开始，将 R4L 或者 R4 指定的字节数的数据传送到 ER6 指向的地址。传送结束后执行下一条指令。

2.4.2 指令的基本格式

H8/300H CPU 的指令以 2 个字节（字）为单位。各指令由操作字段（OP）、寄存器字段（r）、EA 扩展部（EA）和条件字段（cc）构成。指令格式的例子如图 2.7 所示。

(1) 操作字段

表示指令的功能，指定寻址方式和操作数的处理内容。一定包含指令的前4位，也有两个操作字段的情况。

(2) 寄存器字段

指定通用寄存器。地址寄存器时为3位，数据寄存器时为3位或者4位。也有2个寄存器字段或者无寄存器字段的情况。

(3) EA 扩展部

指定立即数、绝对地址或者位移量。为8位、16位、32位。将24位地址和位移量作为高8位全为0（H'00）的32位数据处理。

(4) 条件字段

指定条件分支指令的转移条件。

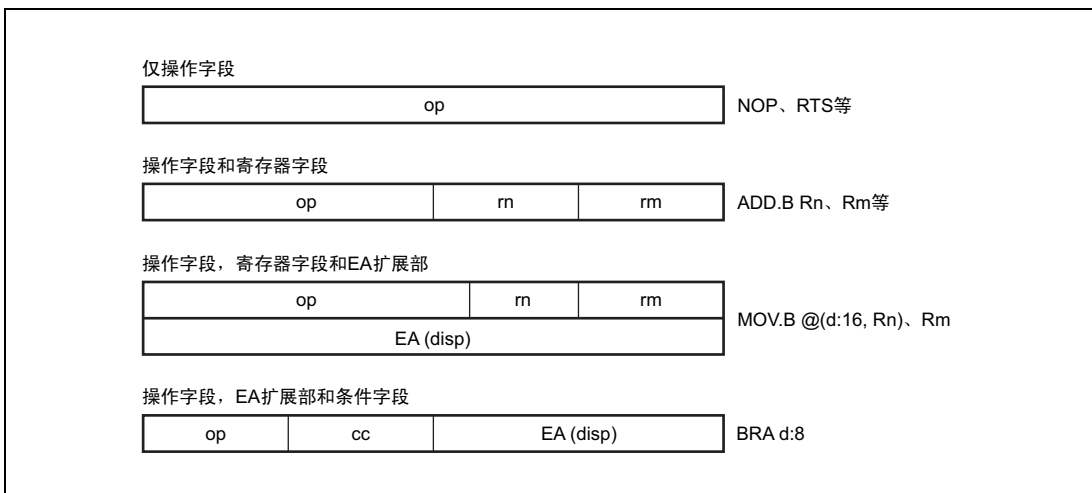


图 2.7 指令格式

2.5 寻址方式和有效地址

以下说明有关 H8/300H CPU 的寻址方式和有效地址。在 H8/36912 群和 H8/36902 群产生的 24 位地址中的高 8 位被忽略，有效地址为 16 位。

2.5.1 寻址方式

H8/300H CPU 支持表 2.10 的 8 种寻址方式，各指令能使用的寻址方式不同，详细内容请参照“附录 A.4 指令和寻址方式的组合”。

运算指令可使用寄存器直接和立即寻址方式；传送指令除了程序计数器相对和存储器间接以外，可使用所有的寻址方式；位操作指令可使用寄存器直接、寄存器间接和绝对地址 (@aa:8) 指定操作数，并且可使用寄存器直接 (BSET、BCLR、BNOT 和 BTST 各指令) 和立即 (3 位) 指定操作数中的位序号。

表 2.10 寻址方式一览表

No.	寻址方式	符号
1	寄存器直接	Rn
2	寄存器间接	@ERn
3	带位移量寄存器间接	@(d:16, ERn) / @(d:24, ERn)
4	后增寄存器间接 先减寄存器间接	@ERn+ @-ERn
5	绝对地址	@aa:8 / @aa:16 / @aa:24
6	立即	#xx:8 / #xx:16 / #xx:32
7	程序计数器相对	@(d:8, PC) / @(d:16, PC)
8	存储器间接	@@aa:8

(1) 寄存器直接 Rn

指令码的寄存器字段指定的寄存器 (8位、16位或者32位) 为操作数。

作为8位寄存器，可指定R0H~R7H、R0L~R7L。

作为16位寄存器，可指定R0~R7、E0~E7。

作为32位寄存器，可指定ER0~ER7。

(2) 寄存器间接 @ERn

将指令码的寄存器字段指定的地址寄存器 (ERn) 的低24位作为地址，指定存储器的操作数。

(3) 带位移量寄存器间接 @ (d:16, ERn) / @ (d:24, ERn)

指令码的寄存器字段指定的地址寄存器 (ERn) 的内容加上指令码中的16位或者24位位移量, 其结果的低24位作为地址指定存储器的操作数。计算时, 对16位位移量进行符号扩展。

(4) 后增寄存器间接 @ERn+ / 先减寄存器间接 @-ERn

• 后增寄存器间接 @ERn+

将指令码的寄存器字段指定的地址寄存器 (ERn) 内容的低24位作为地址指定存储器的操作数。

然后, 地址寄存器的内容 (32位) 加1、加2或者加4, 其结果存入地址寄存器。字节加1, 字加2, 长字加4。在字和长字的情况下, 寄存器的内容必须是偶数。

• 先减寄存器间接 @-ERn

指令码的寄存器字段指定的地址寄存器 (ERn) 内容减1、减2或者减4, 其结果的低24位作为地址指定存储器的操作数。

然后, 将减法的结果存入地址寄存器。字节减1, 字减2, 长字减4。在字和长字的情况下, 地址寄存器的内容必须是偶数。

(5) 绝对地址 @aa:8 / @aa:16 / @aa:24

用指令码中含有的绝对地址指定存储器的操作数。

绝对地址是8位 (@aa:8)、16位 (@aa:16) 或者24位 (@aa:24)。

在8位绝对地址时, 高16位全部为1 (H'FFFF)。

在16位绝对地址时, 高8位进行符号扩展。

在24位绝对地址时, 能存取全地址空间。

在H8/36912群和H8/36902群时, 由于高8位被忽略, 因此, 绝对地址的存取范围如表2.11所示。

表 2.11 绝对地址的存取范围

绝对地址	存取范围
8 位 (@aa:8)	H'FF00~H'FFFF
16 位 (@aa:16)	H'0000~H'FFFF
24 位 (@aa:24)	H'0000~H'FFFF

(6) 立即 #xx:8 / #xx:16 / #xx:32

将指令码中含有的8位 (#xx:8)、16位 (#xx:16) 或者32位 (#xx:32) 数据用作直接操作数。

ADDS、SUBS、INC和DEC指令在指令码中隐含地包含立即数；位操作指令在指令码中可能含有指定位序号的3位立即数；TRAPA指令在指令码中含有指定向量地址的2位立即数。

(7) 程序计数器相对 @(d:8, PC) / @(d:16, PC)

用在条件转移指令和BSR指令。

PC内容指定的24位地址加上指令码中包含的8位或者16位位移量，生成24位转移地址。在加法运算时，将位移量符号扩展为24位。另外，由于被加的PC内容为下一条指令的起始地址，所以分支指令的可能转移范围是-126~+128字节（-63~+64字）或者是-32766~+32768字节（-16383~+16384字），此时，加法的结果必须是偶数。

(8) 存储器间接 @@aa:8

用于JMP和JSR指令。用指令码中包含的8位绝对地址指定存储器的操作数，此内容作为转移地址进行转移。用长字指定存储器的操作数，其中第1个字节被忽略，生成24位长的转移地址。存储器间接转移地址的指定方法如图2.8所示。

由于绝对地址的高位全部为0，因此能保存转移地址的范围是0~255（H'0000~H'00FF）。但是必须注意：其中起始的区域与异常处理向量区共用。

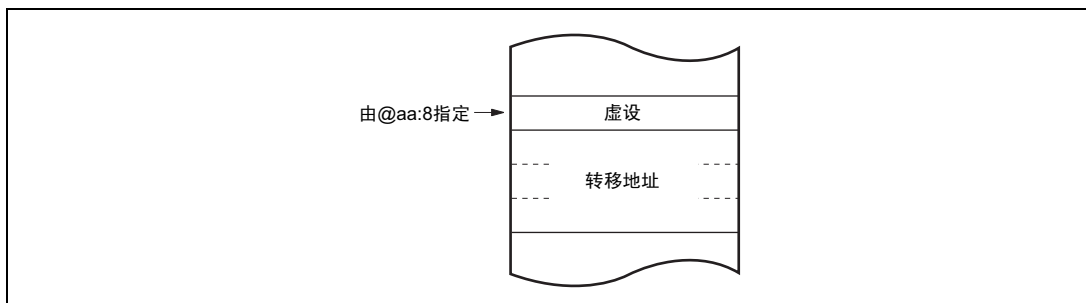


图 2.8 存储器间接转移地址的指定

2.5.2 有效地址的计算方法

各寻址方式中的有效地址（EA：Effective Address）的计算方法如表 2.12 所示。在 H8/36912 群和 H8/36902 群时，计算结果的高 8 位被忽略，生成 16 位的有效地址。

表 2.12 有效地址的计算方法 (1)

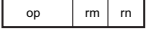
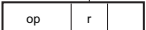

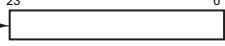
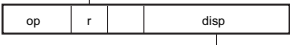
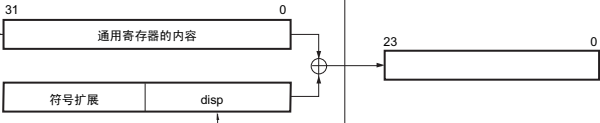

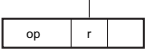
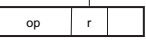
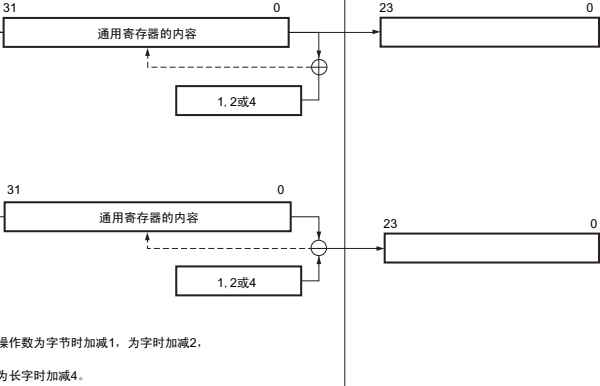
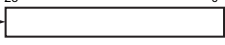
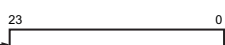


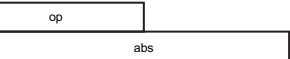
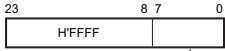
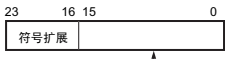

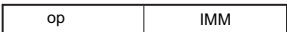
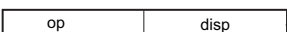
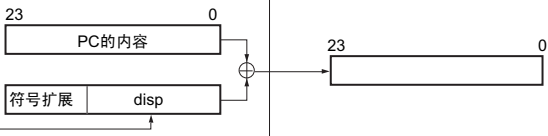

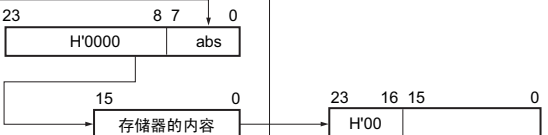
NO.	寻址方式・指令格式	有效地址计算方法	有效地址 (EA)
(1)	寄存器直接 (Rn) 		操作数为通用寄存器的内容。
(2)	寄存器间接 (@ERn) 		
(3)	带位移量寄存器间接 @(d:16, ERn)/@(d:24, ERn) 		
(4)	后增寄存器间接/先减寄存器间接 ・后增寄存器间接@ERn+  ・先减寄存器间接@-ERn 	 <p>操作数为字节时加1, 为字时加2. 为长字时加4.</p>	 
(5)	绝对地址 @ aa:8  @ aa:16  @ aa:24 		  

表 2.12 有效地址的计算方法 (2)

NO.	寻址方式·指令格式	有效地址计算方法	有效地址(EA)
(6)	立即#xx:8/#xx:16/#xx:32 		操作数为立即数。
(7)	程序计数器相对 @(d:8, PC)/@(d:16, PC) 		
(8)	存储器间接 @@ aa:8 		

【符号说明】

r, rm, rn : 寄存器字段

op : 操作字段

disp : 位移量

IMM : 立即数

abs : 绝对地址

2.6 基本总线周期

CPU 以系统时钟 (ϕ) 为基准运行。从 ϕ 的上升沿到下一个上升沿称为 1 个状态。总线周期由 2 个状态或者 3 个状态构成，通过内部存储器和内部外围模块进行不同的存取。

2.6.1 内部存储器 (RAM、ROM)

内部存储器的存取以 2 个状态进行。数据总线宽度是 16 位，可进行字节或者字存取。内部存储器的存取周期如图 2.9 所示。

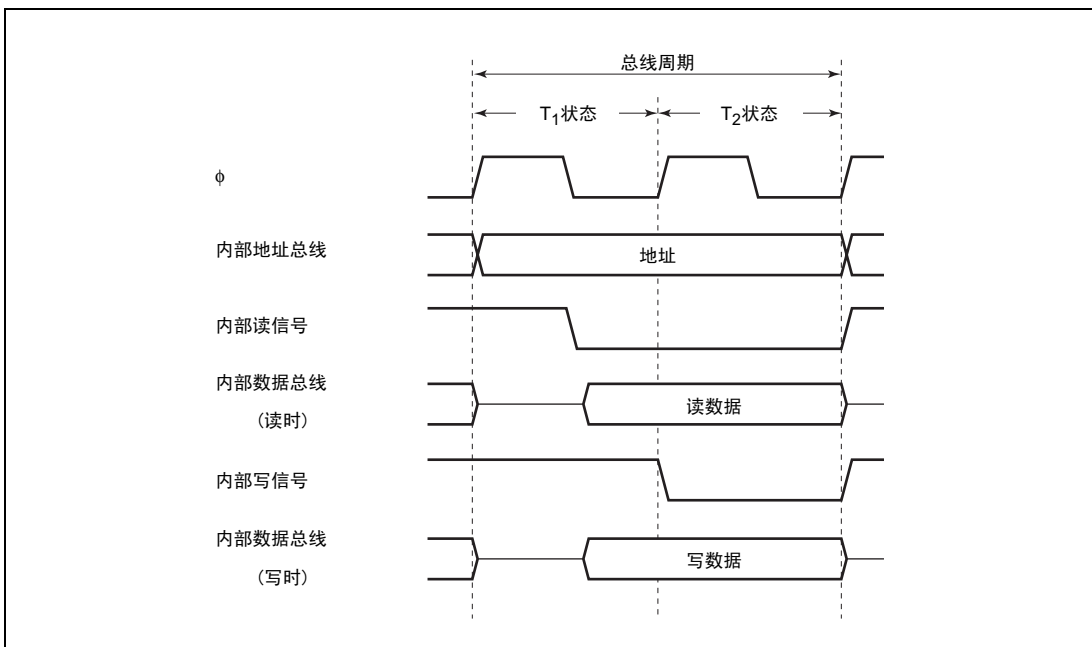


图 2.9 内部存储器的存取周期

2.6.2 内部外围模块

内部外围模块的存取以 2 个状态或者 3 个状态进行。数据总线宽度是 8 位或者 16 位，根据寄存器而不同。各寄存器的数据总线宽度和存取状态数请参照“19.1 寄存器地址一览表（按地址顺序）”。数据总线宽度为 16 位的寄存器只能进行字存取；数据总线宽度为 8 位的寄存器可以进行字节存取和字存取。如果对数据总线宽度为 8 位的寄存器进行字存取，总线周期就发生 2 次。2 个状态存取时的运行时序和内部存储器相同。3 个状态存取时的运行时序如图 2.10 所示。

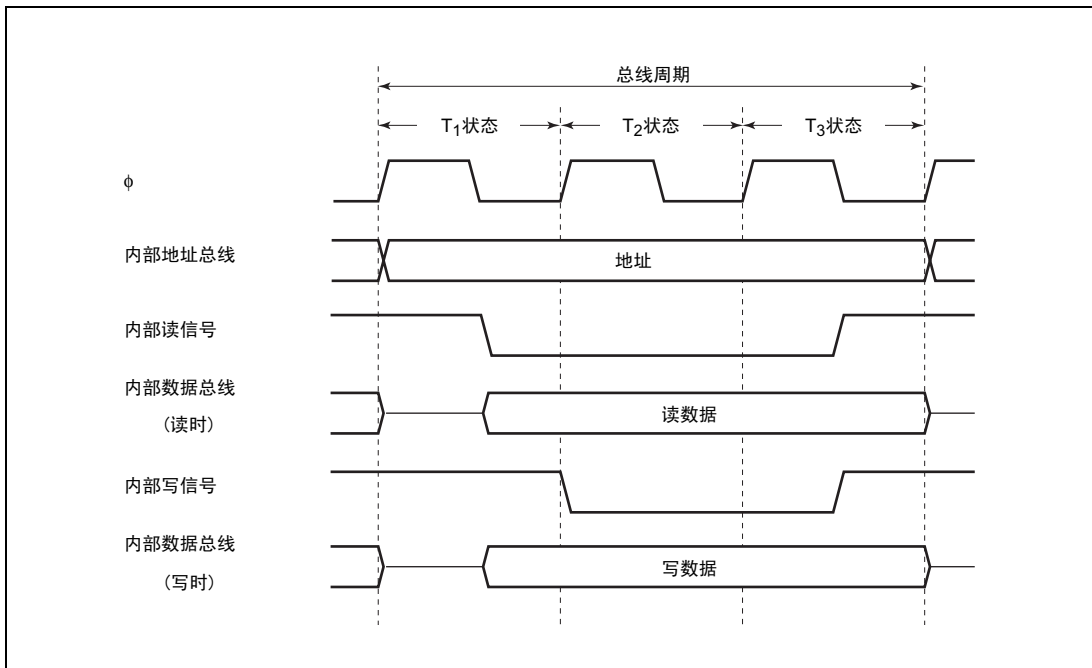


图 2.10 内部外围模块的存取周期（3 个状态存取）

2.7 CPU 的状态

CPU 的状态有复位状态、程序执行状态、程序停止状态和异常处理状态 4 种。程序执行状态有激活模式；程序停止状态有睡眠模式和待机模式。各状态的分类如图 2.11、各状态之间的转移条件如图 2.12 所示。程序执行状态和程序停止状态的详细内容请参照“第 6 章 低功耗模式”，异常处理的详细内容请参照“第 3 章 异常处理”。

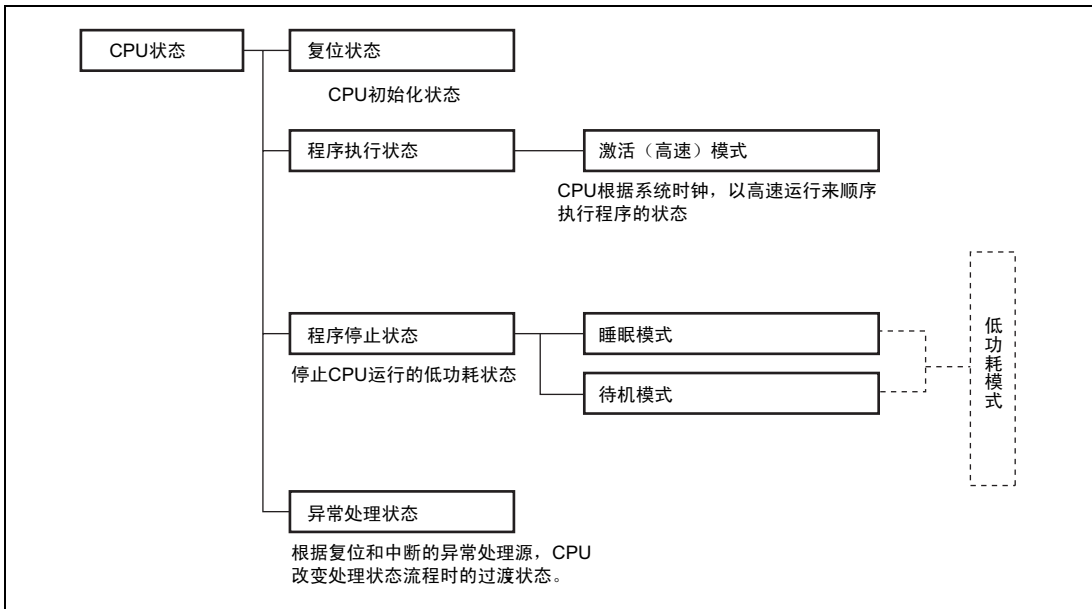


图 2.11 CPU 的状态分类

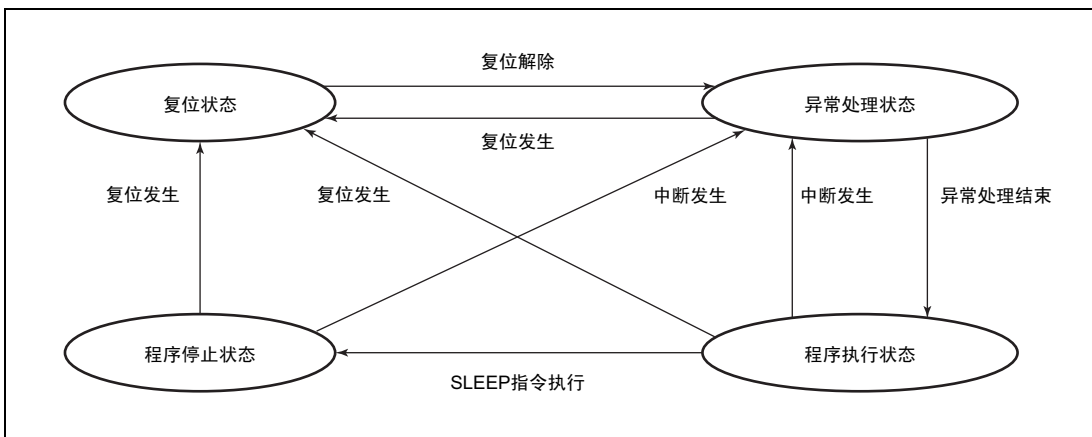


图 2.12 状态转移图

2.8 使用注意事项

2.8.1 空区域的数据存取

本 LSI 的地址空间，除了开放给用户的 ROM、RAM 和内部 I/O 寄存器的区域以外，还有空区域。如果将数据从 CPU 传送给空区域，传送数据就会丢失，可能会导致 CPU 的误动作。从空区域给 CPU 传送数据的内容不被保证。

2.8.2 EEPROM 指令

EEPROM 指令为块传送指令，从 R5 指向的地址开始，将 R4L 表示的字节数的数据传送到 R6 指向的地址。在设定 R4L 和 R6 时，不能使传送目标的结束地址（R6+R4L 的值）超过 H'FFFF（在执行过程中，R6 的值 H'FFFF 不能为 H'0000）。

2.8.3 位操作指令

BSET、BCLR、BNOT、BST 和 BIST 指令以字节单位读指定地址的数据，在操作对象位（1 位）后以字节单位写到相同地址。因此，必须注意：如果在相同地址中分配 2 个寄存器、或者含有写专用位的寄存器、或者对端口使用直接位操作指令，就有可能改写位操作对象以外的数据。

（1）相同地址中分配 2 个寄存器的位操作

例1：对定时器装入寄存器和定时器计数器的位操作

（适用于定时器B1，而不适用于H8/36902群）

在相同地址中分配 2 个寄存器的定时器构成例子如图 2.13 所示。如果对定时器装入寄存器和定时器计数器执行位操作指令，由于定时器装入寄存器和定时器计数器共享地址，因此产生以下运行：

1. 以字节单位读定时器计数器的数据。
2. CPU通过位操作指令设定或者复位对象位（1位）。
3. 以字节单位将已写的的数据写到定时器装入寄存器。

因为定时器的计数器一直在计数，所以读到的数据不一定和定时器装入寄存器的数据相等。因此定时器计数器的操作对象位以外的数据被改写后，被写到定时器装入寄存器。

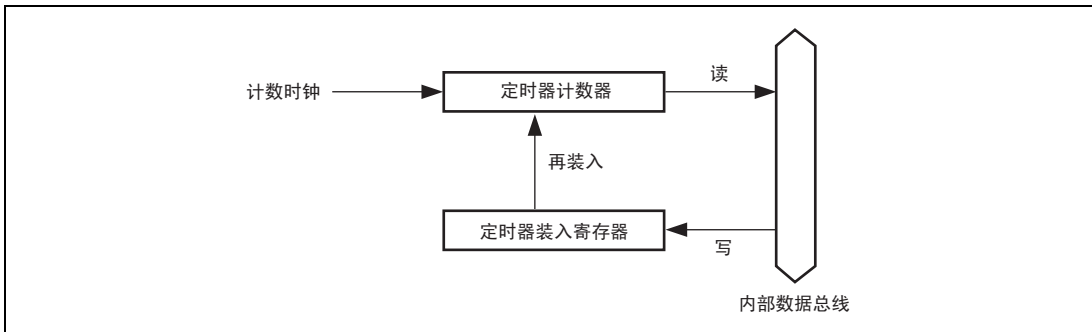


图 2.13 相同地址中分配 2 个寄存器的定时器构成例子

例2：对端口5执行BSET指令

假设 P57、P56 是输入管脚，分别为低电平和高电平输入状态；P55~P50 是输出管脚，分别为低电平输出状态。通过 BSET 指令给 P50 输出高电平的例子如下所示：

【执行BSET指令前】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【执行BSET指令】

```
BSET #0, @PDR5
```

对端口 5 执行 BSET 指令。

【执行BSET指令后】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

【运行说明】

- 一旦执行BSET指令，CPU就读端口5。P57、P56是输入管脚，CPU读管脚的状态（低电平和高电平输入）。P55~P50是输出管脚，CPU读PDR5的值。因此，在例子中，PDR5是H'80，而CPU读到的数据为H'40。
- CPU将读到的数据的位0置1，数据变为H'41。

3. 将H'41写到PDR5，结束BSET指令。

其结果，PDR5 的位 0 变为 1，P50 成为高电平输出。但是 PDR5 的位 7 和位 6 发生了变化。因此，必须将与 PDR5 相同的数据存放放到存储器的工作区，对工作区的数据进行位操作后，再将此数据写到 PDR5。

【执行BSET指令前】

```
MOV.B #80, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR5
```

先将要写到 PDR5 的值 (H'80) 写到存储器的工作区 (RAM0) 和 PDR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【执行BSET指令】

```
BSET #0, @RAM0
```

对 PDR5 的工作区 (RAM0) 执行 BSET 指令。

【执行BSET指令后】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR5
```

将工作区 (RAM0) 的值写到 PDR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) 含有写专用位寄存器的位操作

例3: 对端口5的PCR5执行BCLR指令

假设 P57、P56 是输入管脚，分别为低电平和高电平输入状态；P55~P50 是输出管脚，分别为低电平输出状态。通过 BCLR 指令将 P50 设定为输入管脚的例子如下所示，被设定为输入管脚的 P50 为高电平输入状态。

【执行BCLR指令前】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【执行BCLR指令】

```
BCLR    #0 , @PCR5
```

对 PCR5 执行 BCLR 指令。

【执行BCLR指令后】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输出	输出	输出	输出	输出	输出	输出	输入
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

【运行说明】

1. 一旦执行BCLR指令，CPU就读PCR5。PCR5是写专用寄存器，CPU读H'FF。因此，在例子中，PCR5是H'3F，而CPU读到的数据是H'FF。
2. CPU将读到的数据的位0清0，数据变为H'FE。
3. 将H'FE写到PCR5，结束BCLR指令。

其结果，PCR5 的位 0 变为 0，P50 成为输入管脚。但是 PCR5 的位 7 和位 6 变为 1，所以 P57 和 P56 变为输出管脚。因此，必须将与 PCR5 相同的数据存放到存储器的工作区，对工作区的数据进行位操作后，将此数据写到 PCR5。

【执行BCLR指令前】

```
MOV.B #3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR5
```

先将要写到 PCR5 的值 (H'3F) 写到存储器的工作区 (RAM0) 和 PCR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【执行BCLR指令】

```
BCLR #0, @RAM0
```

对 PCR5 的工作区 (RAM0) 执行 BCLR 指令。

【执行BCLR指令后】

```
MOV.B @RAM0,R0L
MOV.B R0L, @PCR5
```

将工作区 (RAM0) 的值写到 PCR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

第 3 章 异常处理

异常处理由复位、陷阱指令和中断产生。

- 复位

复位是优先级最高的异常处理。如果通过 $\overline{\text{RES}}$ 管脚解除复位，就开始异常处理。也可通过监视定时器的溢出进行复位，开始异常处理。此异常处理与通过 $\overline{\text{RES}}$ 管脚的异常处理相同。

- 由陷阱指令产生的异常处理

通过执行TRAPA指令开始异常处理。TRAPA指令通过指令码中指定的0~3的向量号生成不同的向量地址。由陷阱指令产生的异常处理与CCR的I位无关，在程序执行状态下总是被接受。

- 中断异常处理

通过CCR的I位屏蔽除NMI以外的外部中断请求和除地址断开以外的内部中断请求，并且在I位为1期间这些中断请求被保留。如果发生中断请求，就在结束指令的执行或者结束异常处理时开始异常处理。

3.1 异常处理源和向量地址

各种异常处理源的向量地址和优先级如表 3.1 所示。发生多个中断请求时，按优先级顺序从高到低进行处理。

表 3.1 异常处理源和向量地址

发生源	异常处理源	向量号	向量地址	优先级
RES 管脚 监视定时器	复位	0	H'0000~H'0001	
—	系统保留	1~6	H'0002~H'000D	
外部中断管脚	NMI	7	H'000E~H'000F	
CPU	陷阱指令 #0	8	H'0010~H'0011	
	陷阱指令 #1	9	H'0012~H'0013	
	陷阱指令 #2	10	H'0014~H'0015	
	陷阱指令 #3	11	H'0016~H'0017	
地址断开	断开条件成立	12	H'0018~H'0019	
CPU	通过执行睡眠指令的直接转移	13	H'001A~H'001B	
外部中断管脚	IRQ0、低电压检测中断	14	H'001C~H'001D	
—	系统保留	15、16	H'001E~H'0021	
外部中断管脚	IRQ3	17	H'0022~H'0023	
	WKP	18	H'0024~H'0025	
—	系统保留	19、20	H'0026~H'0029	
定时器 W	输入捕捉 A/比较匹配 A	21	H'002A~H'002B	
	输入捕捉 B/比较匹配 B			
	输入捕捉 C/比较匹配 C			
	输入捕捉 D/比较匹配 D			
	溢出			
定时器 V	比较匹配 A	22	H'002C~H'002D	
	比较匹配 B			
	溢出			
SCI3	接收数据满	23	H'002E~H'002F	
	发送数据空			
	发送结束			
	接收错误			
IIC2	发送数据空	24	H'0030~H'0031	
	发送结束			
	接收错误			
A/D 转换器	A/D 转换结束	25	H'0032~H'0033	
—	系统保留	26~28	H'0034~H'0039	
定时器 B1	溢出	29	H'003A~H'003B	
—	系统保留	30~33	H'003C~H'0043	
时钟转换	时钟转换 (外部时钟→内部振荡器时钟)	34	H'0044~H'0045	低

3.2 寄存器说明

控制中断时有以下寄存器：

- 中断边沿选择寄存器1 (IEGR1)
- 中断边沿选择寄存器2 (IEGR2)
- 中断允许寄存器1 (IENR1)
- 中断允许寄存器2 (IENR2)
- 中断标志寄存器1 (IRR1)
- 中断标志寄存器2 (IRR2)
- 唤醒中断标志寄存器 (IWPR)

3.2.1 中断边沿选择寄存器 1 (IEGR1)

IEGR1 选择 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 管脚发生中断请求的边沿方向。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位 总是读出 0。
6~4	—	全 1	—	保留位 总是读出 1。
3	IEG3	0	R/W	IRQ3 边沿选择 0: 检测 $\overline{\text{IRQ3}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{IRQ3}}$ 管脚输入的上升沿
2	—	0	—	保留位
1	—	0	—	总是读出 0。
0	IEG0	0	R/W	IRQ0 边沿选择 0: 检测 $\overline{\text{IRQ0}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{IRQ0}}$ 管脚输入的上升沿

3.2.2 中断边沿选择寄存器 2 (IEGR2)

IEGR2 选择 $\overline{\text{ADTRG}}$ 、 $\overline{\text{WKP5}}$ 管脚发生中断请求的边沿方向。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。
6	—	1	—	总是读出 1。
5	WPEG5	0	R/W	WKP5 边沿选择 0: 检测 $\overline{\text{WKP5}}$ 管脚 ($\overline{\text{ADTRG}}$ 管脚) 输入的下降沿 1: 检测 $\overline{\text{WKP5}}$ 管脚 ($\overline{\text{ADTRG}}$ 管脚) 输入的上升沿
4~0	—	全 0	—	保留位。 总是读出 0。

3.2.3 中断允许寄存器 1 (IENR1)

IENR1 允许直接转移中断和外部管脚中断。

位	位名	初始值	R/W	说 明
7	IENDT	0	R/W	允许直接转移中断请求 如果将此位置 1，就允许直接转移中断请求。
6	—	0	—	保留位 总是读出 0。
5	IENWP	0	R/W	允许唤醒中断请求 此位为 WKP5 管脚的允许位，如果将此位置 1，就允许中断请求。
4	—	1	—	保留位。总是读出 1。
3	IEN3	0	R/W	允许 IRQ3 中断请求 如果将此位置 1，就允许 $\overline{\text{IRQ3}}$ 管脚的中断请求。
2	—	0	—	保留位
1	—	0	—	总是读出 0。
0	IEN0	0	R/W	允许 IRQ0 中断请求 如果将此位置 1，就允许 $\overline{\text{IRQ0}}$ 管脚的中断请求。

3.2.4 中断允许寄存器 2 (IENR2)

IENR2 允许定时器 B1 中断。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位 总是读出 0。
6	—	0	R/W	保留位 可读写，但不能设定为 1。
5	IENRB1	0	R/W	允许定时器 B1 中断 如果将此位置 1，就允许定时器 B1 的溢出中断请求。
4~0	—	全 1	—	保留位 总是读出 1。

在通过清除中断允许寄存器禁止中断请求时或者在清除中断标志寄存器时，必须在屏蔽了中断请求的状态 (I=1) 下进行。如果在 I=0 的状态下进行上述操作，当指令的执行与该中断请求发生竞争时，就在该操作指令执行结束时，执行与发生的中断请求对应的异常处理。

3.2.5 中断标志寄存器 1 (IRR1)

IRR1 是直接转移中断、IRQ3、IRQ0 中断请求的状态标志寄存器。

位	位名	初始值	R/W	说 明
7	IRRDT	0	R/W	直接转移中断请求标志 [置位条件] 在 SYSCR2 的 DTON 置 1 的状态下，执行睡眠指令并且已直接转移时 [清除条件] 写 0 时
6	—	0	—	保留位 总是读出 0。
5	—	1	—	保留位
4	—	1	—	总是读出 1。
3	IRRI3	0	R/W	IRQ3 中断请求标志 [置位条件] 当 $\overline{\text{IRQ3}}$ 管脚被设定为中断输入并且检测到被指定的边沿时 [清除条件] 写 0 时
2	—	0	—	保留位
1	—	0	—	总是读出 0。
0	IRRI0	0	R/W	IRQ0 中断请求标志 [置位条件] 当 $\overline{\text{IRQ0}}$ 管脚被设定为中断输入并且检测到被指定的边沿时 [清除条件] 写 0 时

3.2.6 中断标志寄存器 2 (IRR2)

IRR2 是定时器 B1 中断请求的状态标志寄存器。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位 总是读出 0。
6	—	—	—	保留位
5	IRRTB1	0	R/W	定时器 B1 中断请求标志 [置位条件] 定时器 B1 溢出时。 [清除条件] 写 0 时。
4~0	—	全 1	—	保留位 总是读出 1。

3.2.7 唤醒中断标志寄存器 (IWPR)

IWPR 是 $\overline{\text{WKP5}}$ 管脚中断请求的状态标志寄存器。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。
6	—	1	—	总是读出 1。
5	IWPF5	0	R/W	WKP5 中断请求标志 [置位条件] 当 $\overline{\text{WKP5}}$ 管脚被设定为中断输入并且检测到被指定的边沿时 [清除条件] 写 0 时
4~0	—	全 0	—	保留位 总是读出 0。

3.3 复位异常处理

当 $\overline{\text{RES}}$ 管脚为低电平时，全部停止执行中的处理，LSI 进入复位状态。通过复位，初始化 CPU 的内部状态和内部外围模块的各寄存器。接通电源时，为了确保本 LSI 的复位，必须在规定的时间内保持 $\overline{\text{RES}}$ 管脚为低电平。如果在运行中复位，也必须在规定的时间内保持 $\overline{\text{RES}}$ 管脚为低电平。详细内容请参照“第 17 章 带隙电路、加电复位和低电压检测电路”。如果 $\overline{\text{RES}}$ 管脚在保持一定时间的低电平后变为高电平，就在保持一定时间的复位状态后开始复位异常处理。复位异常处理的顺序如图 3.1 所示，复位异常处理的顺序如下：

1. 设置条件码寄存器 (CCR) 的 I 位。
2. CPU 生成复位异常处理的向量地址 (H'0000~H'0001)，并将该地址的数据作为起始地址传送到程序计数器 (PC)，然后开始执行程序。

3.4 中断异常处理

3.4.1 外部中断请求

外部中断请求有 NMI、IRQ3、IRQ0 和 WKP5 中断请求。

(1) NMI 中断请求

NMI 中断请求由 $\overline{\text{NMI}}$ 管脚的下降输入边沿产生。NMI 中断请求是最优先的中断请求，与 CCR 的 I 位的值无关总是被接受。

(2) IRQ3、IRQ0 中断请求

IRQ3、IRQ0中断请求由 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 管脚的输入边沿产生。对这些中断请求分配不同的中断向量，能通过IEGR1的IEG3和IEG0独立选择各管脚的检测的边沿方向。在通过PMR1将 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 管脚设定为中断请求输入的状态下，如果检测到指定的边沿，就将IRR1的对应位设定为1，并向CPU请求中断。这些中断请求能通过IENR1的IEN3和IEN0来禁止。

(3) WKP 中断请求

WKP中断请求由 $\overline{\text{WKP5}}$ 管脚输入边沿发生。能通过IEGR2的WPEG5选择要检测的边沿方向。在通过PMR5将 $\overline{\text{WKP5}}$ 管脚设定为中断请求输入的状态下，如果检测到指定的边沿，就将IWPR的对应位设定为1，并向CPU请求中断。这些中断请求能通过IENR1的IENWP来禁止。

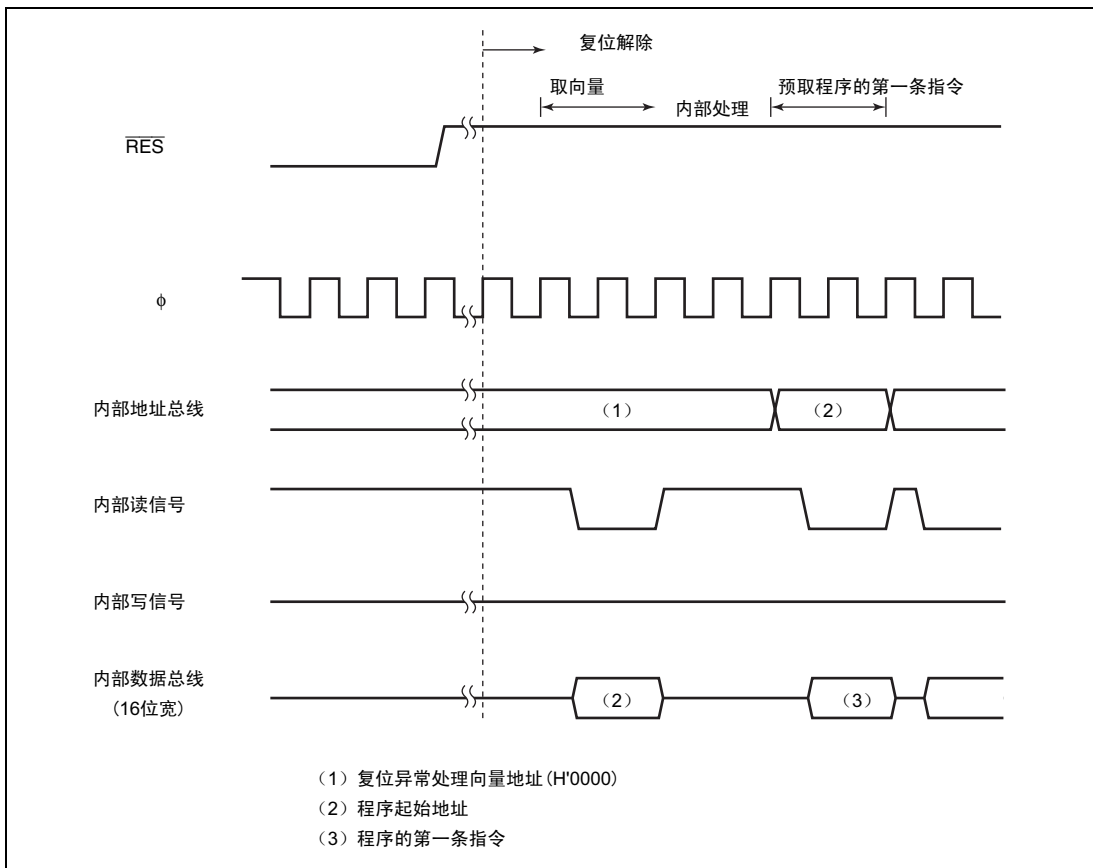


图 3.1 复位异常处理顺序

3.4.2 内部中断请求

各内部外围模块有中断请求状态标志和中断允许位。通过执行 SLEEP 指令所发生的直接转移中断的功能包含在 IRR1 和 IENR1 中。如果发生来自内部外围模块的中断请求，就将对应的中断请求状态标志置 1，并向 CPU 请求中断。这些中断请求能通过对应的允许位清 0 来禁止。

3.4.3 中断处理顺序

中断请求由中断控制器进行控制，中断运行如下：

1. 如果发生NMI或者中断允许位被置1的中断源，中断请求信号就被传送到中断控制器。
2. 在发生多个中断请求的情况下，中断控制器根据表3.1向CPU请求当时优先级最高的中断处理，而保留其它的中断处理。
3. 如果中断请求是NMI或者地址断开，就与I位无关，CPU总是接受。除此以外的中断请求只在CCR的I位被清除时才被接受，但是在I位被置位期间保留中断请求。
4. 如果CPU接受中断请求，就在执行完正在执行中的指令后开始中断异常处理。首先，将PC和CCR的值压入堆栈区，此时堆栈的状态如图3.2所示。被压栈的PC值为返回后执行的第一条指令的地址。
5. 其次，将CPU的I位置1。由此屏蔽除NMI和地址断开以外的中断请求，并且，通过返回时的出栈，I位的值与CCR的其它位一起恢复到异常处理开始前的值。
6. 最后，CPU生成与接受的中断请求对应的向量地址，并将该地址的数据作为中断处理程序的起始地址传送给PC，然后开始中断处理。

程序区在内部 ROM、堆栈区在内部 RAM 情况下的中断请求顺序如图 3.3 所示。

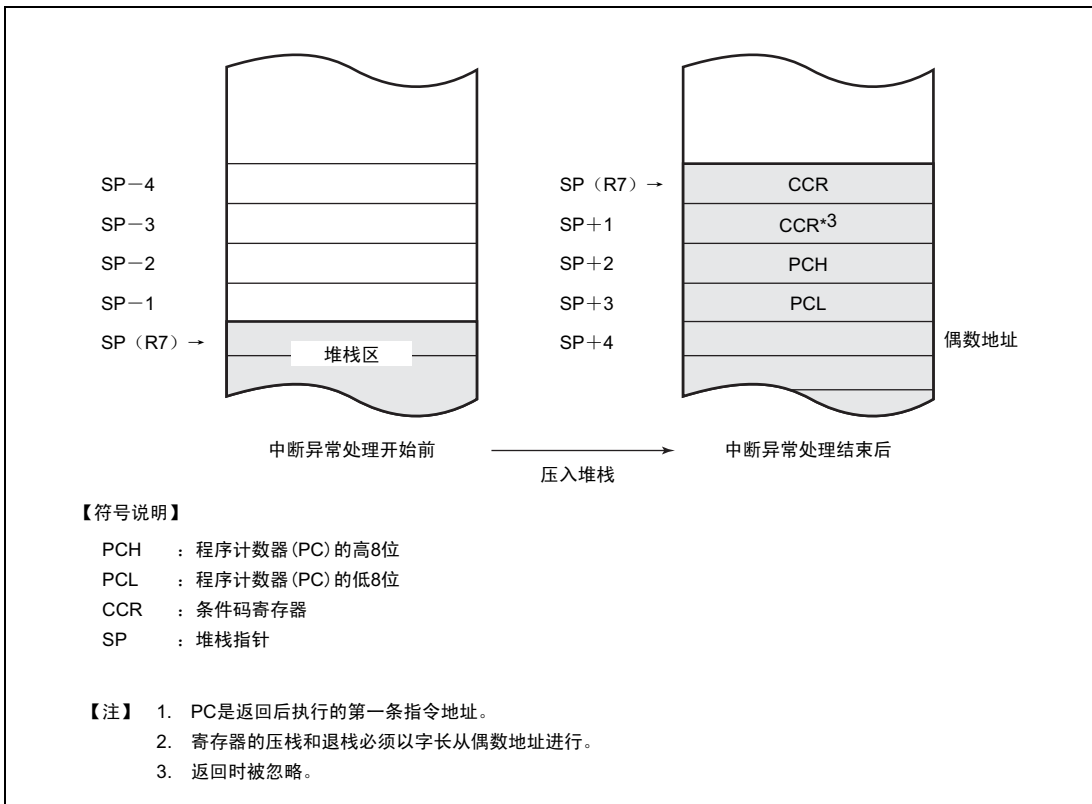


图 3.2 中断异常处理结束后的堆栈状态

3.4.4 中断响应时间

在中断请求标志被置位后并且在执行中断请求处理程序的第一条指令之前的等待状态数如表 3.2 所示。

表 3.2 中断请求等待状态数

项 目	状态数	合计
执行中的指令结束时的等待时间*	1~23	15~37
PC、CCR 的堆栈	4	
取向量	2	
取指令	4	
内部处理	4	

【注】 * EEPMOV 指令除外。

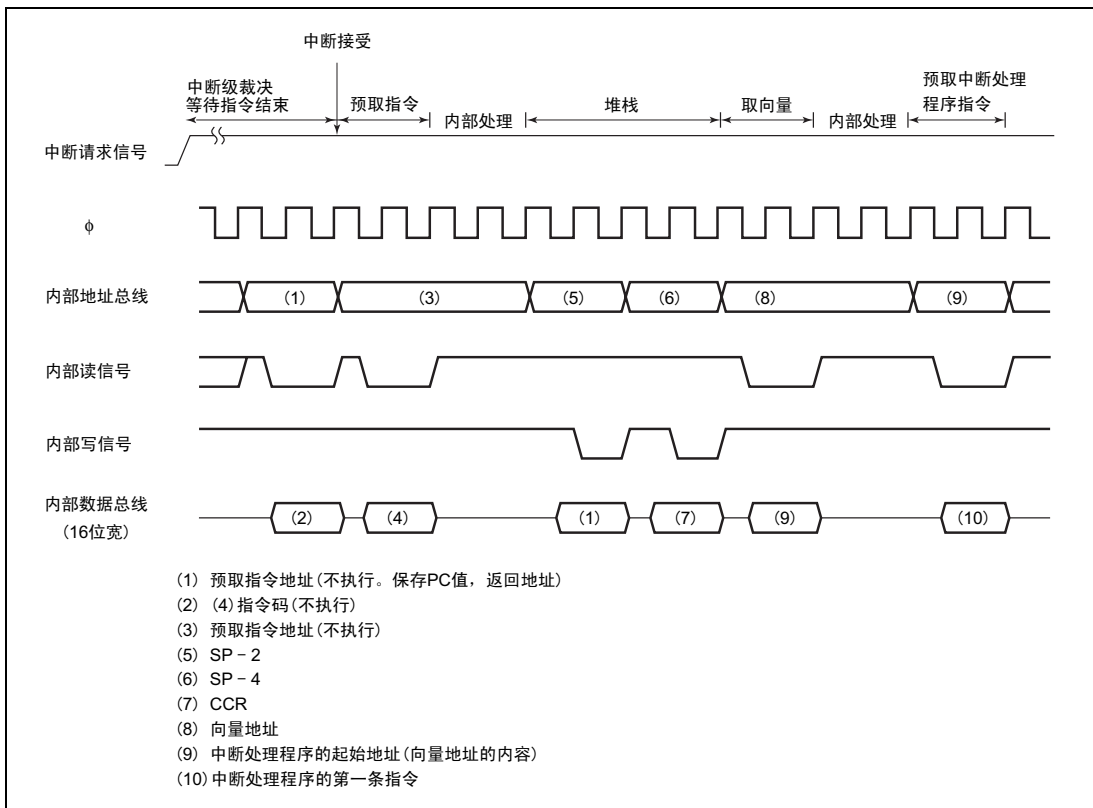


图 3.3 中断请求顺序

3.5 使用注意事项

3.5.1 复位后的中断请求

如果在刚复位后并且在堆栈指针 (SP) 初始化之前 CPU 接受中断请求, PC 和 CCR 的保存就无法正常进行而导致程序失控。为预防上述情况, 在复位异常处理后, 立即禁止包括 NMI 的所有中断请求, 由于在复位后总是执行程序的第一条指令, 所以必须在程序的起始位置初始化 SP (例: MOV.W #xx:16, SP)。

3.5.2 堆栈区的存取

存取字数据时, 地址的最低位被视为 0。存取堆栈区时, 为了保持堆栈指针 (SP: R7) 为偶数, 必须总是以字长进行。(例: “PUSH Rn (MOV.W Rn, @-SP)” 或者 “POP Rn (MOV.W @SP+, Rn)”)。

3.5.3 改写端口模式寄存器时的注意事项

在改写端口模式寄存器后，改变外部中断请求管脚 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 和 $\overline{\text{WKP5}}$ 的功能时，中断请求标志有时被置 1。转换管脚功能时，必须在禁止中断请求的状态下改写端口模式寄存器，并且至少在执行一条指令（可用 NOP 指令）之后清除中断请求标志。端口模式寄存器的操作和中断请求标志的清除步骤如图 3.4 所示。

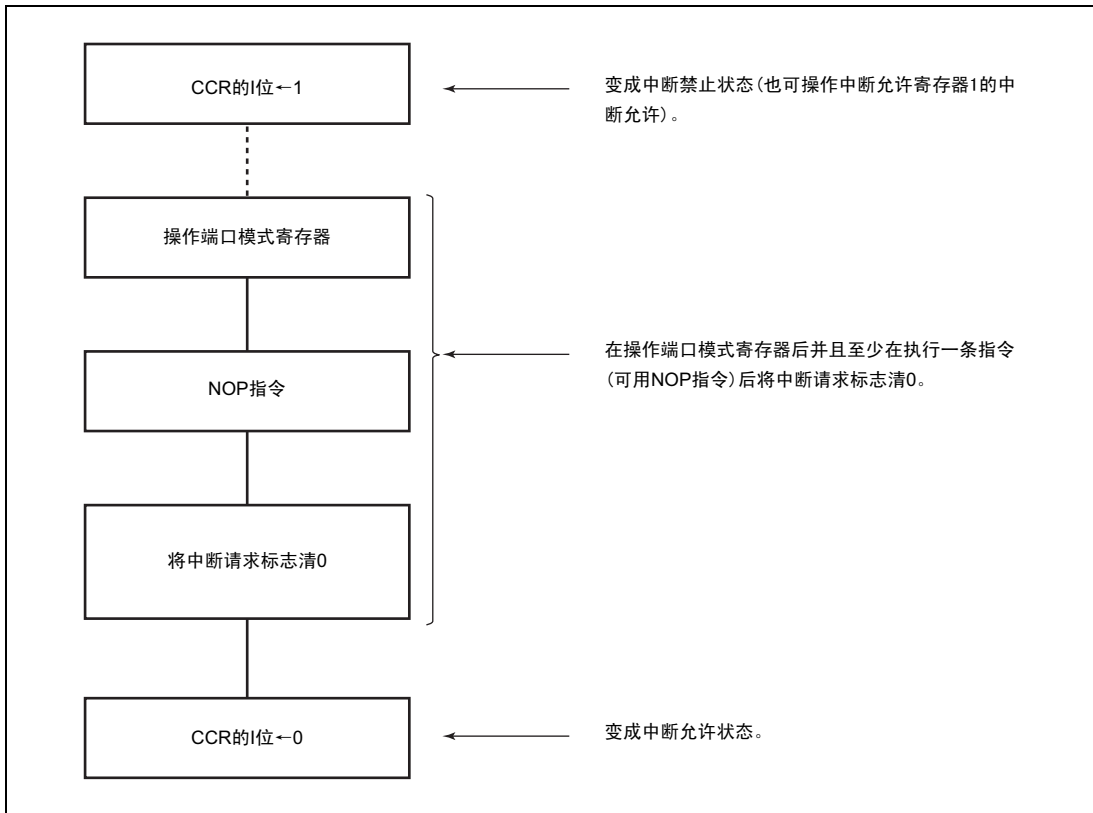


图 3.4 端口模式寄存器的操作和中断请求标志的清除步骤

第 4 章 地址断开

地址断开提供简单的单板上程序调试功能。如果设定的断开条件成立，地址断开就产生地址断开中断请求。此中断请求不受 CCR 的 I 位的影响。在可设定的断开条件中有特定地址的指令执行、特定地址的存取和数据的组合等。另外，通过地址断开功能，能检测出程序误动作的开始位置并转移到修正程序等。地址断开的框图如图 4.1 所示。

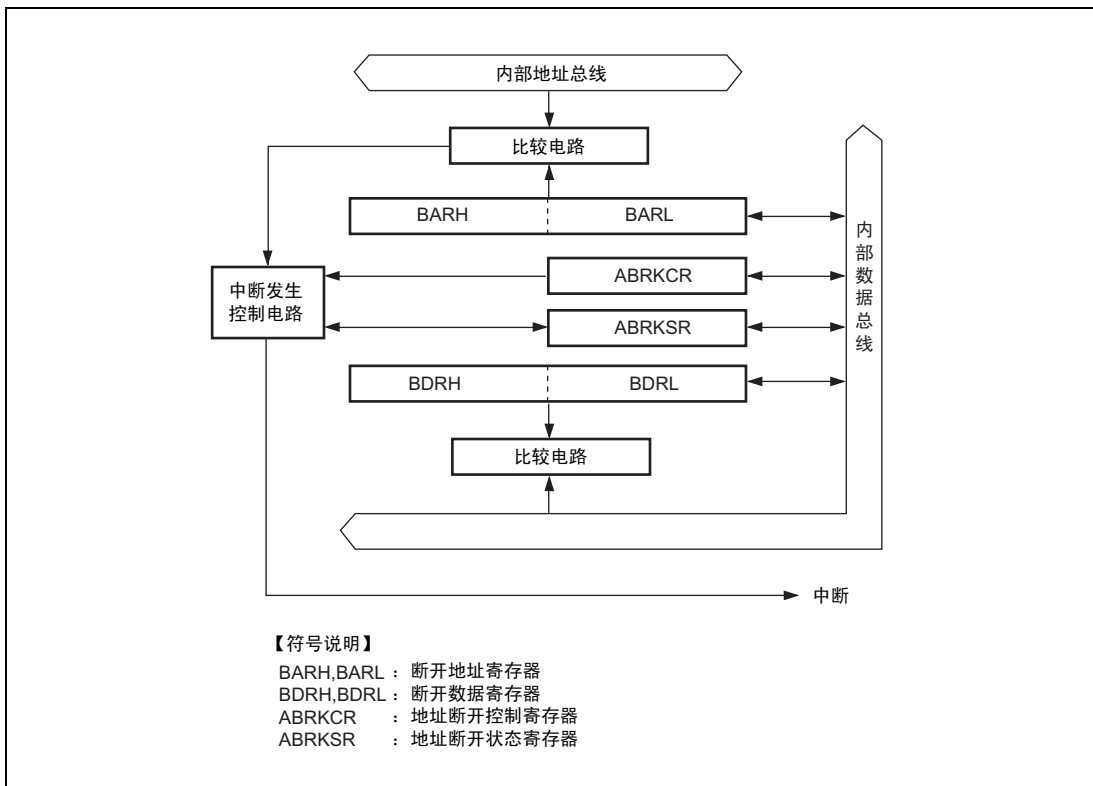


图 4.1 地址断开的框图

4.1 寄存器说明

地址断开有以下寄存器：

- 地址断开控制寄存器（ABRKCR）
- 地址断开状态寄存器（ABRKSr）
- 断开地址寄存器（BARH、BARL）
- 断开数据寄存器（BDRH、BDRL）

4.1.1 地址断开控制寄存器（ABRKCR）

ABRKCR 设定地址断开的条件。

位	位名	初始值	R/W	说 明
7	RTINTE	1	R/W	允许 RTE 中断 0: 屏蔽 RTE 指令执行后的中断, 而且一定执行一条指令。 1: 不屏蔽中断。
6	CSEL1	0	R/W	条件选择 1~0 设定地址断开的条件。 00: 指令执行周期 01: CPU 数据读周期 10: CPU 数据写周期 11: CPU 数据读/写周期
5	CSEL0	0	R/W	
4	ACMP2	0	R/W	地址比较 2~0 设定 BAR 和内部地址总线的比较条件。 000: 比较 16 位。 001: 比较高 12 位。 010: 比较高 8 位。 011: 比较高 4 位。 1XX: 保留 (不能设定)
3	ACMP1	0	R/W	
2	ACMP0	0	R/W	
1	DCMP1	0	R/W	数据比较 1~0 设定 BDR 和内部数据总线的比较条件。 00: 不比较数据。 01: BDRL 和数据总线低 8 位比较。 10: BDRH 和数据总线高 8 位比较。 11: BDR 和数据总线 16 位比较。
0	DCMP0	0	R/W	

【注】X: Don't care

在数据读周期或者数据写周期设定地址断开时，必须注意：根据存取容量和数据总线宽度的组合所使用的数据总线不同。各种存取和使用的数据总线的对应如表 4.1 所示。如果对 8 位数据总线宽度的 I/O 寄存器空间进行字存取，就发生 2 次字节存取。有关各寄存器的数据总线宽度，请参照“19.1 寄存器地址一览表（按地址顺序）”。

表 4.1 使用的数据总线

	字存取		字节存取	
	偶数地址	奇数地址	偶数地址	奇数地址
ROM 空间	高 8 位	低 8 位	高 8 位	高 8 位
RAM 空间	高 8 位	低 8 位	高 8 位	高 8 位
8 位数据总线宽度的 I/O 寄存器	高 8 位	高 8 位	高 8 位	高 8 位
16 位数据总线宽度的 I/O 寄存器	高 8 位	低 8 位	—	—

4.1.2 地址断开状态寄存器（ABRKSR）

ABRKSR 由地址断开的中断请求标志及其允许位构成。

位	位名	初始值	R/W	说 明
7	ABIF	0	R/W	地址断开中断标志 (置位条件) 由 ABRKCR 设定的条件成立时。 (清除条件) 读到 1 的状态后，写 0 时。
6	ABIE	0	R/W	允许地址断开中断 为 1 时，允许地址断开中断请求。
5~0	—	全 1	—	保留位。总是读出 1。

4.1.3 断开地址寄存器（BARH、BARL）

BARH 和 BARL 是为了产生地址断开中断而设定地址的 16 位可读写寄存器。在将地址断开条件设定为指令执行周期的情况下，必须设定指令的第 1 个字节的地址。此寄存器的初始值是 H'FFFF。

4.1.4 断开数据寄存器 (BDRH、BDRL)

BDRH 和 BDRL 是为了产生地址断开中断而设定数据的 16 位可读写寄存器。BDRH 和高 8 位数据总线比较，BDRL 和低 8 位数据总线比较。在进行字节存取存储器或者寄存器时，偶数地址和奇数地址的数据传送都使用高 8 位的数据总线。因此，在字节存取时，必须将比较数据设定到 BDRH。另外，在字存取时，使用的数据总线根据地址而不同。详细内容请参照“4.1.1 地址断开控制寄存器 (ABRKCR)”。此寄存器的初始值不定。

4.2 运行说明

地址断开功能在 ABRKSR 的 ABIF 置 1 以及 ABRKSR 的 ABIE 置 1 时，向 CPU 发出中断请求。通过被设定在 BAR 的地址、被设定在 BDR 的数据以及被设定在 ABRKCR 的条件的组合，将 ABRKSR 的 ABIF 置 1。如果中断请求被接受，就在当时执行中的指令结束后，启动中断异常处理。另外，地址断开中断不被 CPU 的 CCR 的 I 位屏蔽。

设定地址断开中断的运行例子如图 4.2 所示。

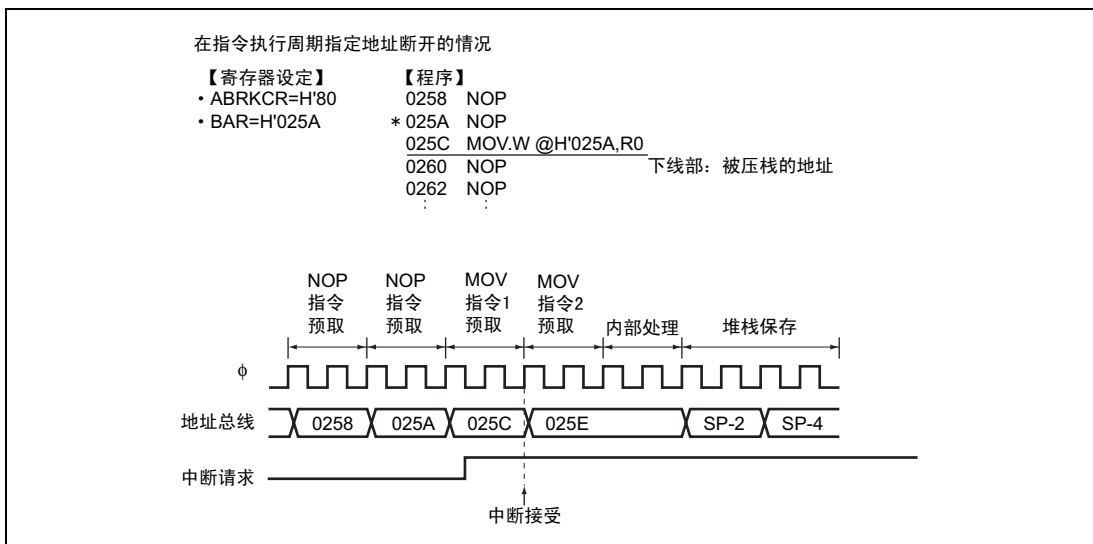


图 4.2 地址断开中断的运行例子 (1)

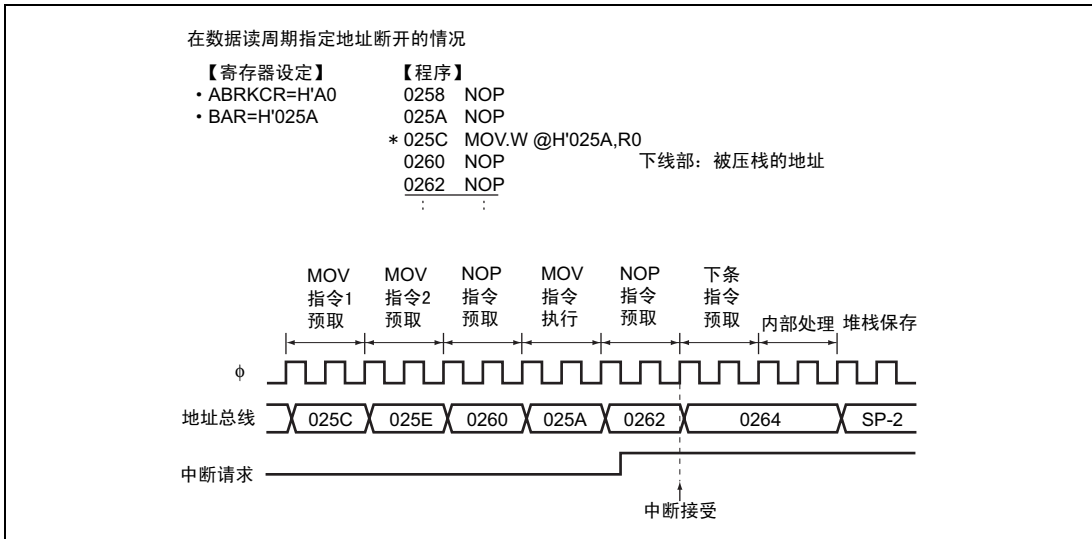


图 4.2 地址断开中断的运行例子 (2)

第 5 章 时钟振荡器

时钟发生电路由外部振荡器、内部振荡器、占空比校正电路、时钟选择电路和系统时钟分频器所成的系统时钟发生电路构成。时钟发生电路的框图如图 5.1 所示。

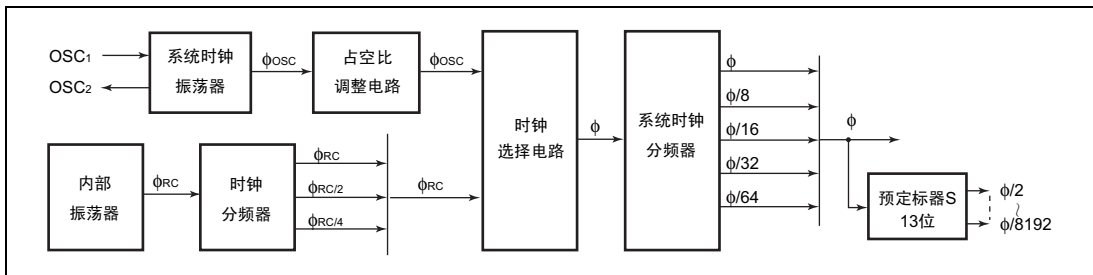


图 5.1 时钟发生电路的框图

系统时钟 ϕ 是 CPU 和外围功能运行的基准时钟。系统时钟被预定标器 S 分频为 $\phi/2 \sim \phi/8192$ ，分别提供给各外围模块。

5.1 特点

- 可选择2种时钟源
内部振荡时钟
外部振荡时钟
- 通过用户软件可选择2种内部振荡器的振荡频率
8MHz
10MHz
- 振荡频率的修整
用户通过改写修整寄存器能调整内部振荡器的振荡频率。
- 当系统时钟从外部时钟转换到内部振荡时钟时，能向CPU请求中断。

5.2 寄存器说明

与时钟振荡器有关的寄存器如下：

- RC控制寄存器（RCCR）
- RC修整数据保护寄存器（RCTRMDPR）
- RC修整数据寄存器（RCTRMDR）
- 时钟控制状态寄存器（CKCSR）

5.2.1 RC 控制寄存器（RCCR）

RCCR 进行内部振荡器的控制。

位	位名	初始值	R/W	说 明
7	RCSTP	0	R/W	内部振荡器待机 此位为 1 时，内部振荡器为待机状态。
6	FSEL	0	R/W	内部振荡器的振荡频率选择 0: 8MHz 1: 10MHz

位	位名	初始值	R/W	说 明
5	VCLSEL	0	R/W	内部振荡器的电源选择 0: 选择 VBGR 1: 选择 VCL 如果选择 VCL, 就不能保证内部振荡器的振荡频率的精度。
4~2	—	全 0	—	保留位 总是读出 0。
1	RCPSC1	0	R/W	内部振荡器的分频比选择
0	RCPSC0	0	R/W	只在 CKCSR 的 CKSTA 为 0 时才能写。本位改写后 ϕ_{RC} 的分频比发生变化。 0X: 不分频 ϕ_{RC} 10: $\phi_{RC}/2$ 11: $\phi_{RC}/4$

5.2.2 RC 修整数据保护寄存器 (RCTRMDPR)

RCTRMDPR 是对 RCTRMDPR 本身和 RCTRMDR 进行写控制的寄存器。本寄存器的改写必须用 MOV 指令进行, 而不能有位操作指令改变设定值。

位	位名	初始值	R/W	说 明
7	WRI	1	W	写禁止 只在此位的写入值为 0 时才能写此寄存器。 总是读出 1。
6	PRWE	0	R/W	保护信息写允许 此位为 1 时, 允许写此寄存器的位 5 和位 4。 [置位条件] • 给 WRI 写 0、PRWE 写 1 时 [清除条件] • 复位 • 给 WRI 写 0、PRWE 写 0 时
5	LOCKDW	0	R/W	修整数据寄存器锁定 此位为 1 时, RC 修整数据寄存器 (RCTRMDR) 为不可写状态。如果对此位进行一次 1 的设定, 以后即使写 0, 只要不复位, RCTRMDR 总是为不可写状态。 [置位条件] • 在 PRWE 为 1 的状态下, 给 WRI 写 0、LOCKDW 写 1 时 [清除条件] • 复位

位	位名	初始值	R/W	说 明
4	TRMDRWE	0	R/W	修整数据寄存器写允许 当 LOCKDW 为 0、TRMDRWE 为 1 时，允许写 RCTRMDR。 [置位条件] • 在 PRWE 为 1 的状态下，给 WRI 写 0、LOCKDW 写 1 时 [清除条件] • 复位 • 在 PRWE 为 1 的状态下，给 WRI 写 0、LOCKDW 写 0 时
3~0	—	全 1	—	保留位 总是读出 1

5.2.3 RC 修整数据寄存器 (RCTRMDR)

RCTRMDR 保存内部振荡频率的修整数据。

位	位名	初始值	R/W	说 明
7	TRMD7	(0) *	R/W	修整数据
6	TRMD6	(0) *	R/W	在快速擦写存储器版，LSI 复位后立即将修整数据从快速擦写存储器装入，写到此寄存器。如果读这些位，就读出不定值。
5	TRMD5	(0) *	R/W	
4	TRMD4	(0) *	R/W	在掩模型 ROM 版（计划中），能通过改写这些位修整内部振荡器。改写这些位后，内部振荡器的振荡频率立即发生变化。初始值是 H'00。
3	TRMD3	(0) *	R/W	
2	TRMD2	(0) *	R/W	频率的变化：（TRMD7 为符号位） （最小频率）H'80 ← H'FC ← H'00 → H'04 → H'7C（最大频率）。
1	TRMD1	0	R	
0	TRMD0	0	R	

【注】* 在快速擦写存储器版，从快速擦写存储器将该位初始化成修整数据值。

5.2.4 时钟控制状态寄存器 (CKCSR)

CKCSR 进行端口 C 的功能选择、系统时钟的转换控制以及系统时钟的状态表示等。

位	位名	初始值	R/W	说 明																				
7	PMRC1	0	R/W	端口 C 功能选择位 1、0 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>PMRC1</th> <th>PMRC0</th> <th>PC1</th> <th>PC0</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>I/O</td> <td>I/O</td> </tr> <tr> <td>1</td> <td>0</td> <td>CLKOUT</td> <td>I/O</td> </tr> <tr> <td>0</td> <td>1</td> <td>I/O</td> <td>OSC1 (外部时钟输入)</td> </tr> <tr> <td>1</td> <td>1</td> <td>OSC2</td> <td>OSC1</td> </tr> </tbody> </table>	PMRC1	PMRC0	PC1	PC0	0	0	I/O	I/O	1	0	CLKOUT	I/O	0	1	I/O	OSC1 (外部时钟输入)	1	1	OSC2	OSC1
PMRC1	PMRC0	PC1	PC0																					
0	0	I/O	I/O																					
1	0	CLKOUT	I/O																					
0	1	I/O	OSC1 (外部时钟输入)																					
1	1	OSC2	OSC1																					
6	PMRC0	0	R/W																					
5	—	0	R/W	保留位 可读写，但不能置 1。																				
4	OSCSEL	0	R/W	LSI 的运行时钟选择 此位是选择 LSI 系统时钟的位。 0: 将内部振荡时钟选择为系统时钟 1: 将外部时钟选择为系统时钟																				
3	CKSWIE	0	R/W	时钟转换中断允许 如果此位置 1，就允许时钟转换的中断请求。																				
2	CKSWIF	0	R/W	时钟转换中断请求标志 [置位条件] • 当运行时钟从外部时钟转换到内部振荡时钟时 [清除条件] • 读 1 的状态后，写 0 时																				
1	—	1	R	保留位 总是读出 1。																				
0	CKSTA	0	R	LSI 运行时钟状态 0: LSI 由内部振荡器时钟运行 1: LSI 由外部时钟运行																				

5.3 系统时钟选择的运行说明

LSI 的系统时钟状态转移如图 5.2 所示。

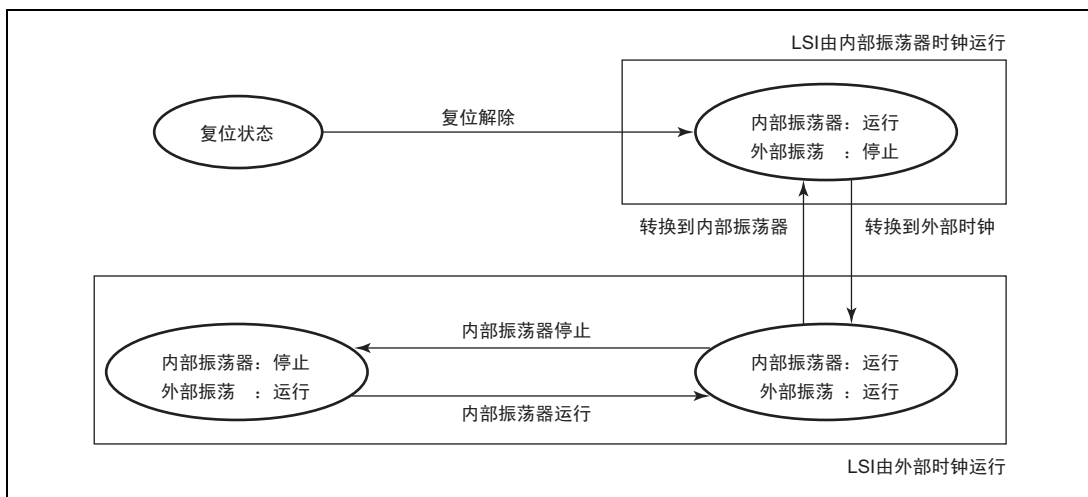


图 5.2 LSI 的系统时钟状态转移图

5.3.1 时钟控制的运行说明

LSI 系统时钟在复位后以内部振荡器运行。用户能通过软件将系统时钟从内部振荡时钟转换到外部时钟。

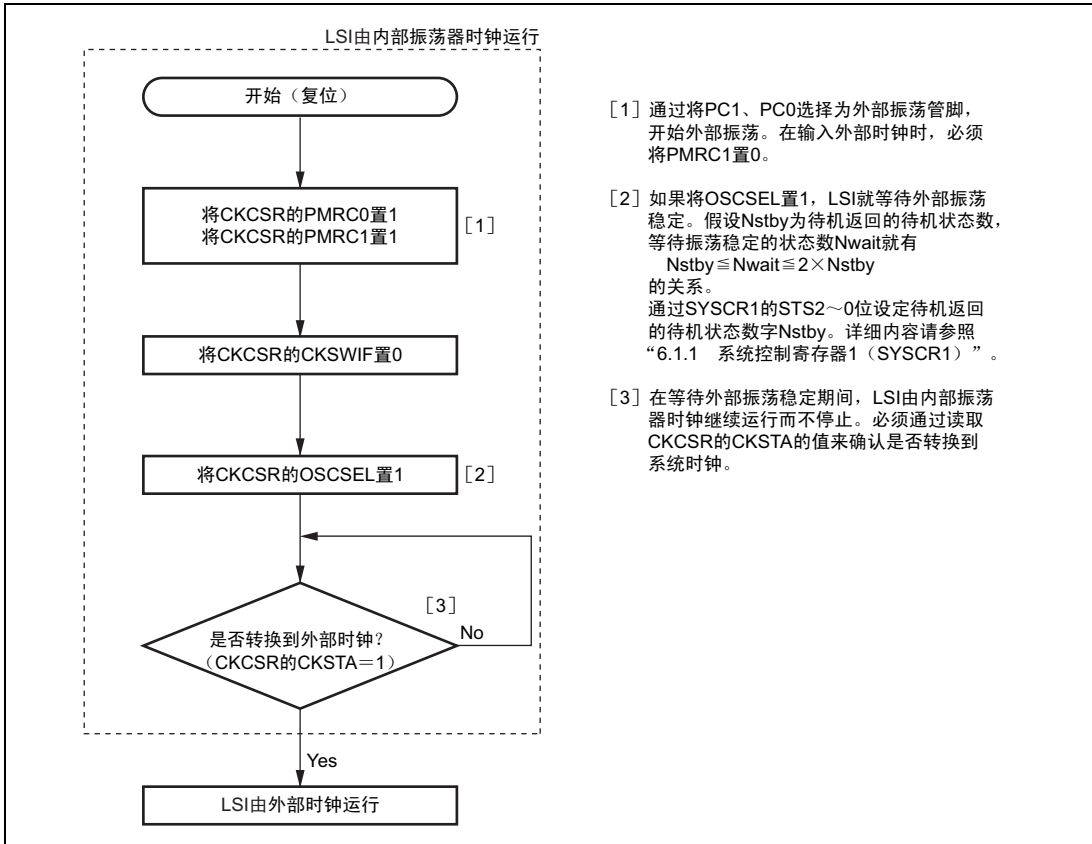


图 5.3 从内部振荡时钟转换到外部时钟的流程图 (1)

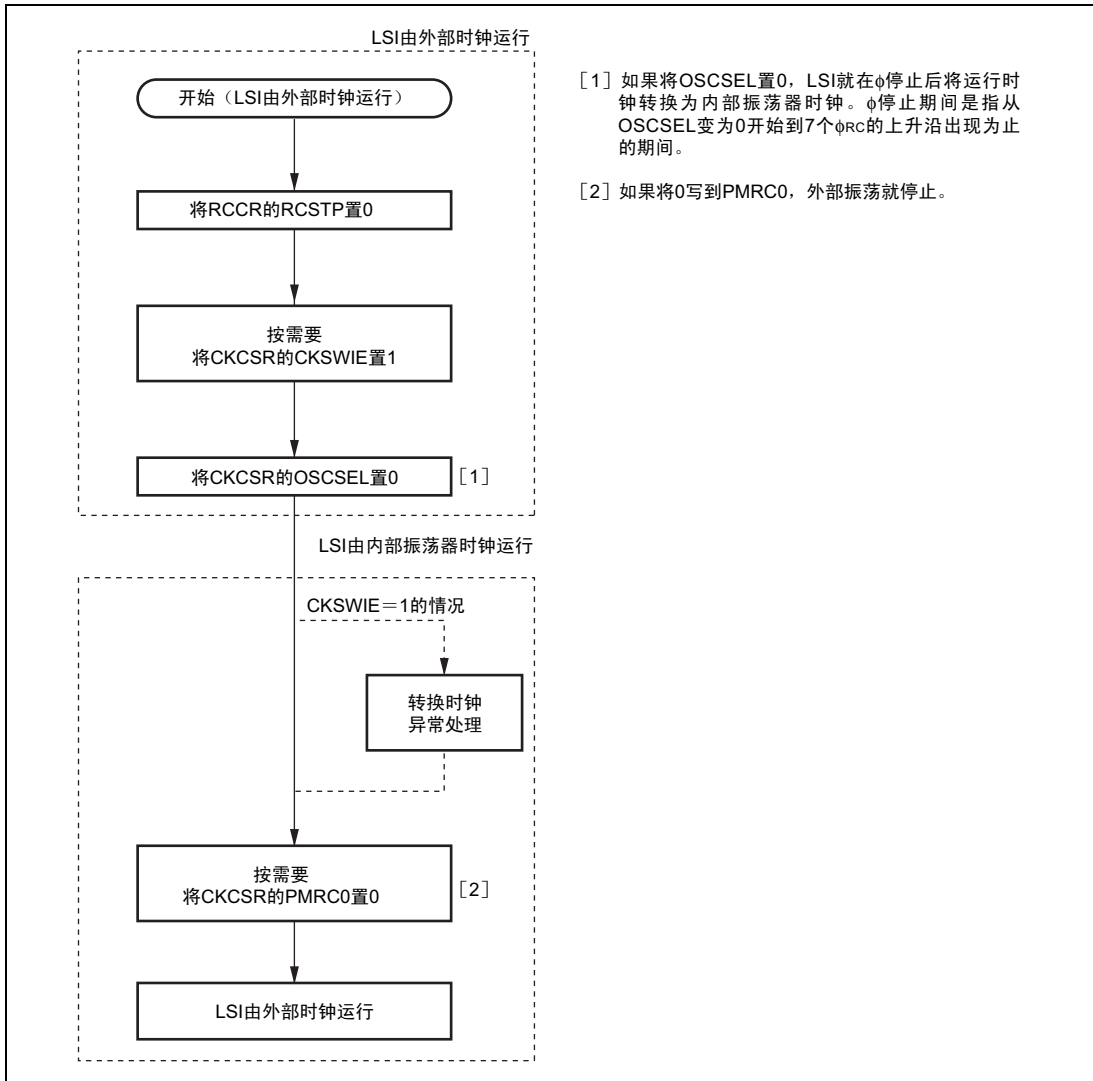


图 5.4 从外部时钟转换到内部振荡时钟的流程图 (2)

5.3.2 时钟转换时序

时钟转换时序如图 5.5 和图 5.6 所示。

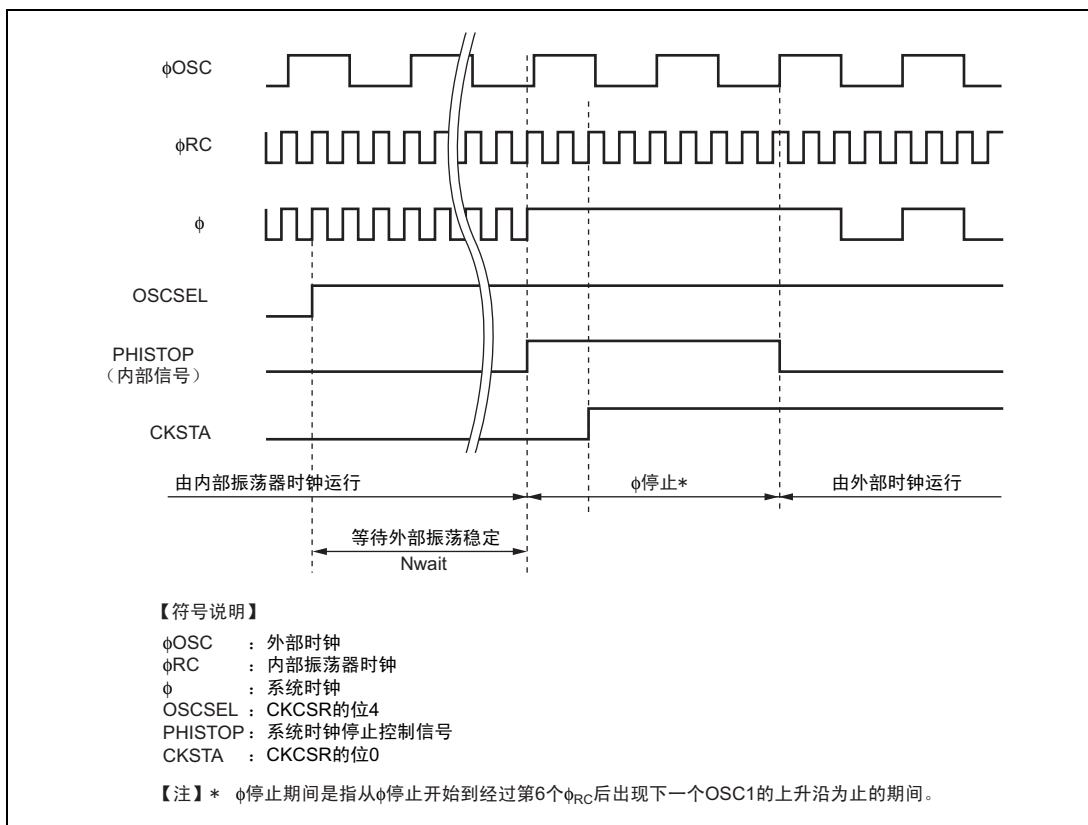


图 5.5 从内部振荡时钟转换到外部时钟的时序

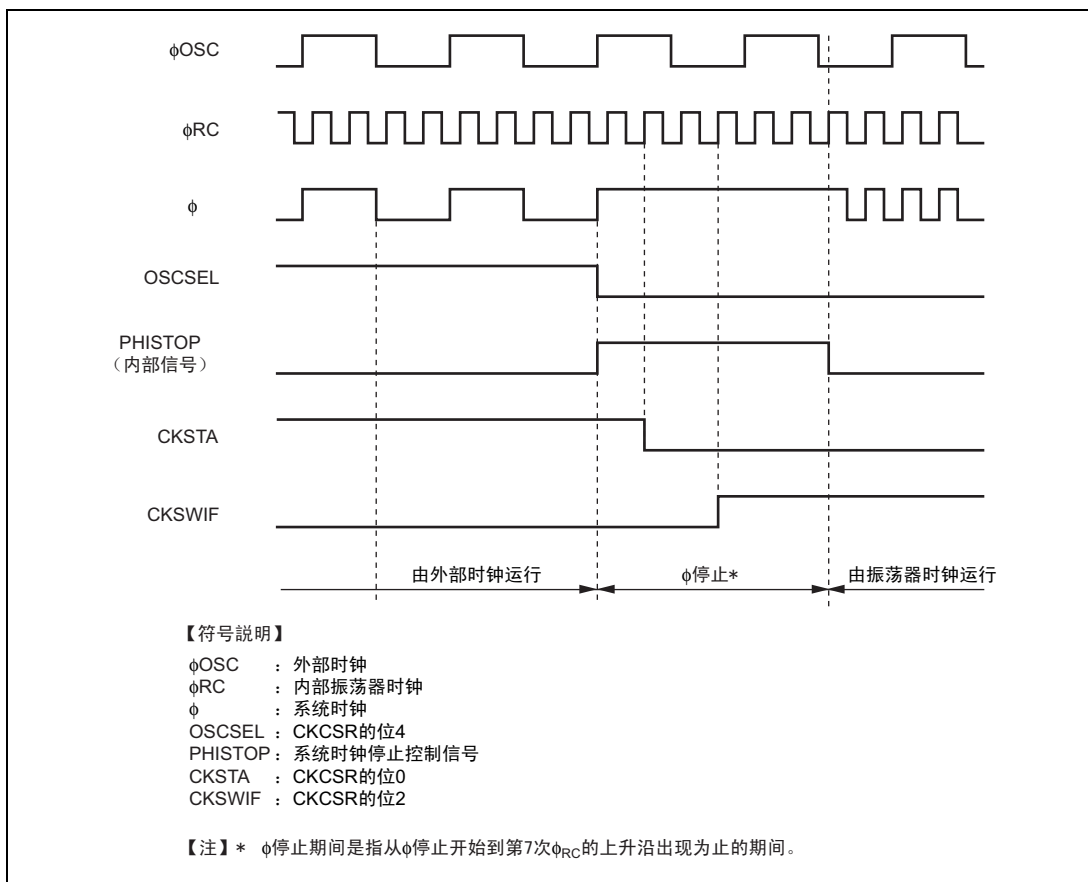


图 5.6 从外部时钟转换到内部振荡时钟的时序

5.4 内部振荡器的修整

用户能通过使用内部定时器 W 的输入捕捉功能并从外部提供基准脉冲来修整内部振荡器。修整流程图的例子如图 5.7、时序图如图 5.8 所示。因为 RCTRMDR 通过复位恢复到初始值，如果用户自身进行修整，就需要在复位后进行重新修整或者将修整值保存在本 LSI 外部并进行再装入等操作。

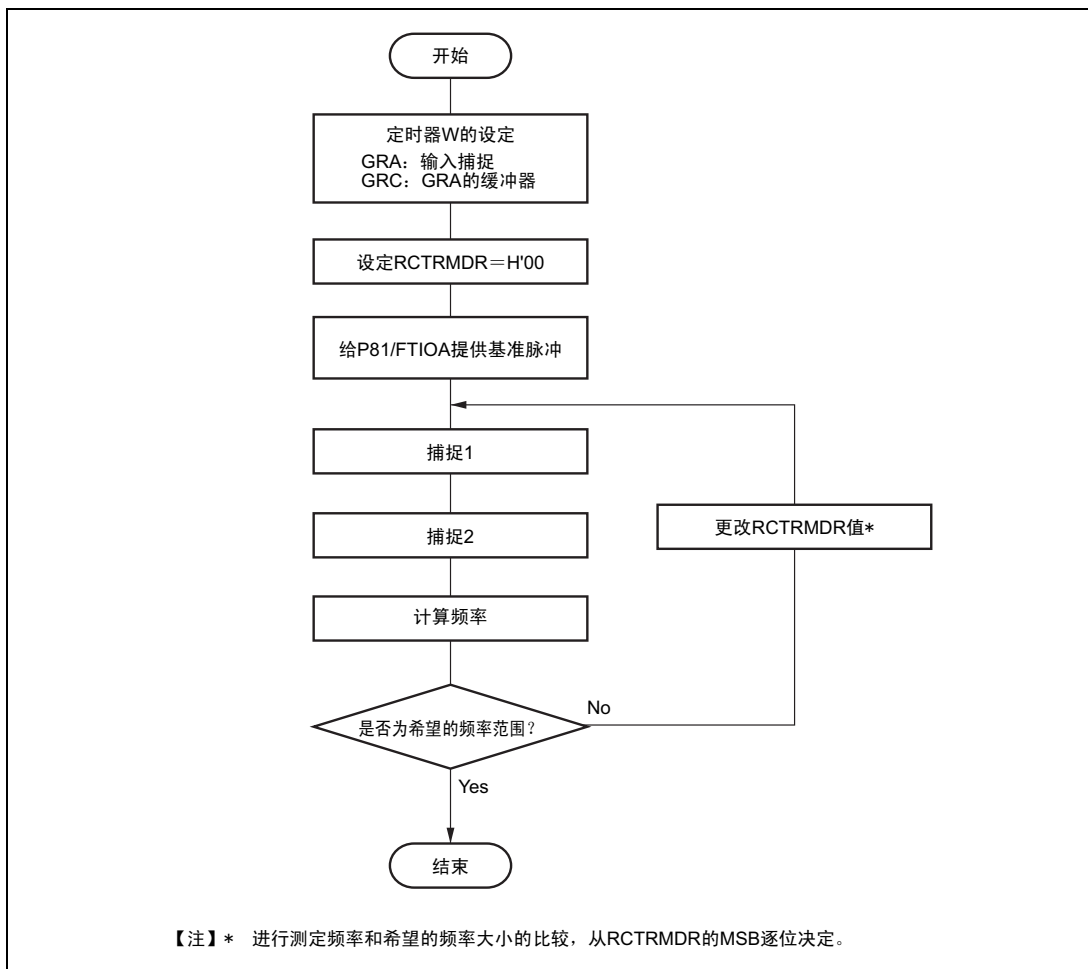


图 5.7 内部振荡器的修整流程图例子

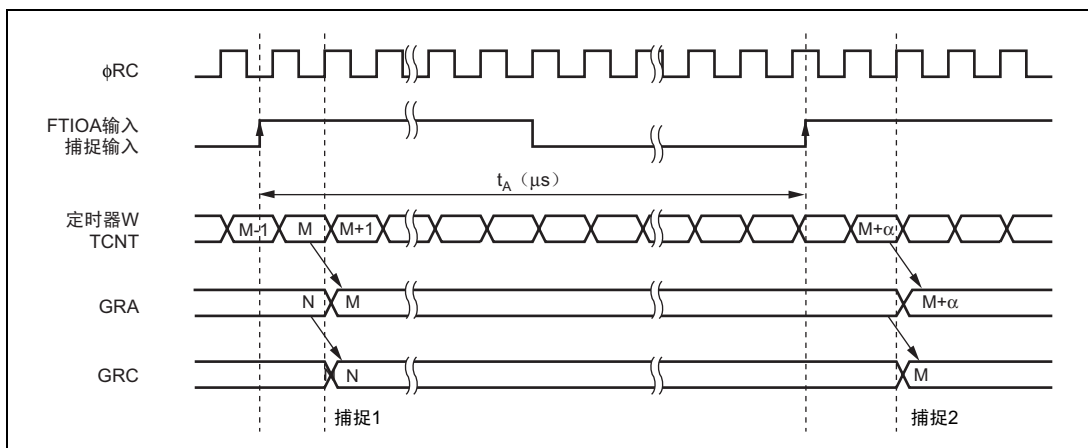


图 5.8 内部振荡器的修整时序图

内部振荡器的振荡频率可由以下计算式求出。由于输入捕捉的输入通过φRC 采样，所以在计算值中包含±1 个时钟（φRC）以内的采样误差。

$$\phi RC = \frac{(M+\alpha) - M}{t_A} \text{ (MHz)}$$

φRC: 内部振荡器的振荡频率 (MHz)

t_A : 基准时钟周期 (μs)

M: 定时器 W 的计数器值

5.5 外部振荡器

供给外部振荡时钟的方法有连接晶体谐振器或陶瓷谐振器的方法和输入外部时钟的方法。振荡管脚 OSC1、OSC2 与通用端口 PC0、PC1 兼用。有关将 PC0/PC1 设定为晶体谐振器或者外部时钟输入管脚的方法请参照“5.3 时钟选择的运行说明”。

5.5.1 连接晶体谐振器的方法

晶体谐振器的连接例子如图 5.9 所示，晶体谐振器必须使用 AT-CUT 并联谐振型。晶体谐振器的等效电路如图 5.10 所示，必须使用如表 5.1 所示性能的谐振器。

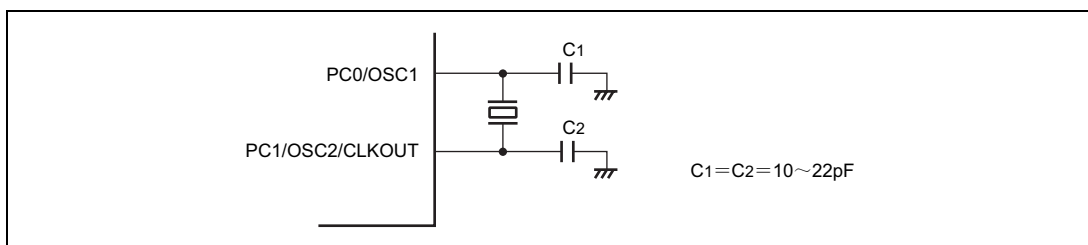


图 5.9 晶体谐振器的连接例子

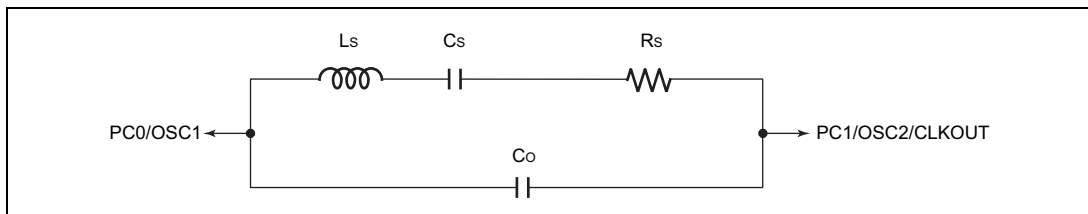


图 5.10 晶体谐振器的等效电路

表 5.1 晶体谐振器的参数

频率 (MHz)	2	4	8	10	16
Rs (max)	500Ω	120Ω	80Ω	60Ω	50Ω
Co (max)	70pF				

5.5.2 连接陶瓷谐振器的方法

陶瓷谐振器的连接例子如图 5.11 所示。

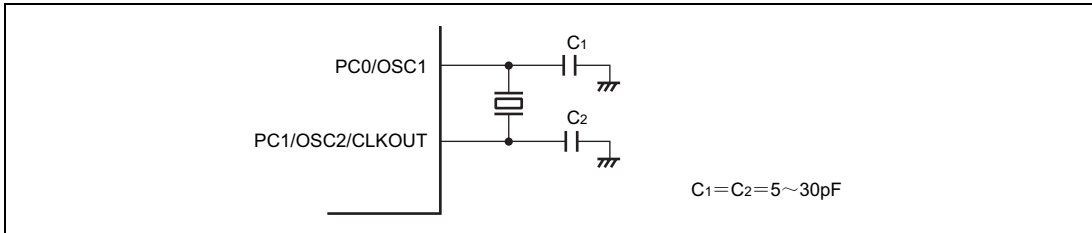


图 5.11 陶瓷谐振器的连接例子

5.5.3 输入外部时钟的方法

通过将外部时钟输入到 OSC1 管脚，能供给外部时钟。连接例子如图 5.12 所示，外部时钟的占空比必须设为 45%~55%。

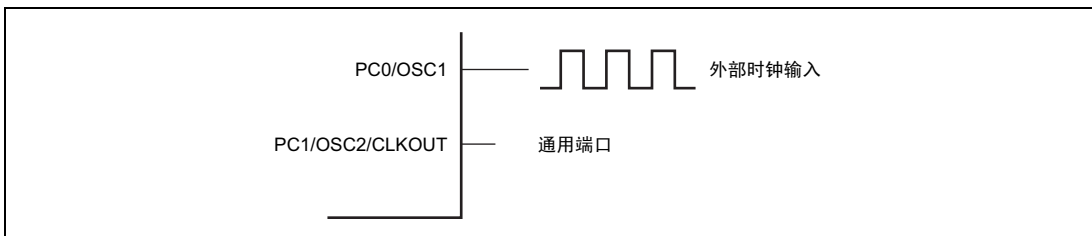


图 5.12 输入外部时钟时的连接例子

5.6 预定标器

5.6.1 预定标器 S

预定标器 S 是将系统时钟 (ϕ) 作为输入时钟的 13 位计数器，分频后的输出时钟用作内部外围模块的内部时钟。复位时，预定标器 S 被初始化为 H'0000，解除复位后开始累加计数。在待机模式或子睡眠模式中，由于系统时钟振荡器停止，预定标器 S 也停止运行。此时，预定标器 S 被初始化为 H'0000，不能从 CPU 存取。

预定标器 S 的输出由各种内部外围功能共用，分频比能由各种内部外围功能独立设定。另外，在激活模式和睡眠模式中，预定标器 S 的时钟输入为 SYSCR2 的 MA2~MA0 设定的分频比的系统时钟。

5.7 使用注意事项

5.7.1 谐振器的注意事项

有关谐振器的诸特性与用户的电路板设计密切相关，所以希望用户参考本章介绍的谐振器的连接例子，经过充分评价后使用。由于振荡电路的电路常数取决于谐振器和安装电路的寄生电容等因素，所以必须与谐振器厂家充分磋商后决定。设计时，振荡管脚的外加电压不能超过最大额定值。

5.7.2 电路板设计的注意事项

在使用晶体谐振器（陶瓷谐振器）时，必须将谐振器和负载电容尽量排列在 OSC1 和 OSC2 管脚附近。另外，振荡电路的附近不要使其它信号线通过（图 5.13），否则可能发生因电感而导致振荡不正常的情况。

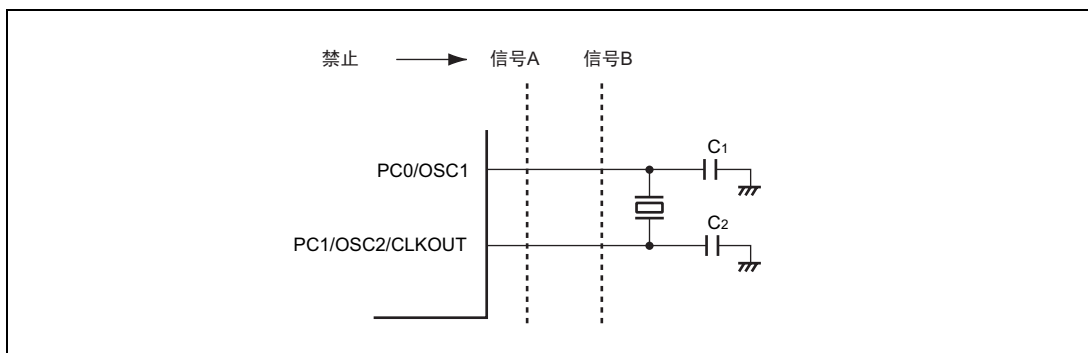


图 5.13 有关振荡电路的电路板设计的注意事项

第 6 章 低功耗模式

在复位解除后的运行模式中，除了通常的激活模式以外，还有显著降低功耗的 3 种低功耗模式。此外，还有选择性地停止内部模块功能、降低功耗的模块待机功能。

- 激活模式
CPU和内部外围模块以系统时钟运行。系统时钟的频率可以从 ϕ_{osc} 、 $\phi_{osc}/8$ 、 $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 和 $\phi_{osc}/64$ 中选择。
- 睡眠模式
CPU停止运行，内部外围模块以系统时钟运行。
- 待机模式
CPU和全部内部外围模块停止运行
- 子睡眠模式
CPU和全部内部外围模块停止运行，I/O端口保持转移前的状态。
- 模块待机功能
独立于上述运行模式，能以模块为单位停止不使用的内部外围模块的运行，降低功耗。

6.1 寄存器说明

与低功耗模式有关的寄存器如下：

- 系统控制寄存器1 (SYSCR1)
- 系统控制寄存器2 (SYSCR2)
- 模块待机控制寄存器1 (MSTCR1)
- 模块待机控制寄存器2 (MSTCR2)

6.1.1 系统控制寄存器 1 (SYSCR1)

SYSCR1和SYSCR2一起进行低功耗模式的控制。

位	位名	初始值	R/W	说 明
7	SSBY	0	R/W	软件待机 选择 SLEEP 指令执行后的转移目标。 0: 转移到睡眠模式 1: 转移到待机模式 详细内容请参照表 6.2。
6	STS2	0	R/W	待机定时器选择 2~0 从待机模式转移到激活模式或者睡眠模式时，对系统时钟振荡器从开始振荡到供给时钟为止的待机状态数进行设定。本 LSI 在待机期间，系统时钟自动成为内部振荡器，并进行待机状态数的计数。必须按照运行频率将待机时间设定在 6.5ms 以上。设定值和待机状态数的关系如表 6.1 所示。 在使用外部时钟的情况下，F-ZTAT 版的待机时间必须设定在 100μs 以上；屏蔽 ROM 版推荐选择最小值 (STS2=STS1=STS0=1)。 STS2~STS0 在通过用户软件将系统时钟从内部振荡器时钟转换到外部时钟时，还需设定外部振荡稳定等待的状态数。与上述待机返回的待机状态数的关系如下所示： $Nstby \leq Nwait \leq 2 \times Nstby$ Nwait: 振荡稳定等待的状态数 Nstby: 待机返回的待机状态数
5	STS1	0	R/W	
4	STS0	0	R/W	
3~0	—	全 0	—	保留位 总是读出 0。

表 6.1 运行频率和待机时间

位			待机状态数	运行频率					
STS2	STS1	STS0		10MHz	8MHz	5MHz	4MHz	2.5MHz	2MHz
0	0	0	8,192 个状态	0.8	1.0	1.6	2.0	3.3	4.1
0	0	1	16,384 个状态	1.6	2.0	3.3	4.1	6.6	8.2
0	1	0	32,768 个状态	3.3	4.1	6.6	8.2	13.1	16.4
0	1	1	65,536 个状态	6.6	8.2	13.1	16.4	26.2	32.8
1	0	0	131,072 个状态	13.1	16.4	26.2	32.8	52.4	65.5
1	0	1	1,024 个状态	0.10	0.13	0.21	0.26	0.42	0.51
1	1	0	128 个状态	0.01	0.02	0.03	0.03	0.05	0.06
1	1	1	16 个状态	0.00	0.00	0.00	0.00	0.00	0.01

【注】 1. 时间的单位为 ms。

2. 即使系统时钟以外部时钟运行，也由内部振荡器对待机状态数进行计数。

6.1.2 系统控制寄存器 2 (SYSCR2)

SYSCR2 和 SYSCR1 一起进行低功耗模式的控制。

位	位名	初始值	R/W	说 明
7	SMSEL	0	R/W	睡眠模式选择 此位和 SYSCR1 的 SSBY 一起选择 SLEEP 指令执行后的转移模式。详细内容请参照表 6.2。
6	—	0	—	保留位 总是读出 0。
5	DTON	0	R/W	直接转移 ON 标志 此位和 SYSCR1 的 SSBY 一起选择 SLEEP 指令执行后的转移模式。详细内容请参照表 6.2。
4	MA2	0	R/W	激活模式时钟选择 2~0 选择激活模式和睡眠模式的运行时钟频率。 时钟在 SLEEP 指令执行后转换到设定的频率。 0XX: ϕ 100: $\phi/8$ 101: $\phi/16$ 110: $\phi/32$ 111: $\phi/64$
3	MA1	0	R/W	
2	MA0	0	R/W	
1	—	0	—	
0	—	0	—	保留位 总是读出 0。

【注】 X: Don't care

6.1.3 模块待机控制寄存器 1 (MSTCR1)

MSTCR1 以模块为单位将内部外围模块设定为待机状态。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位 总是读出 0。
6	MSTIIC	0	R/W	IIC2 模块待机 此位是 1 时，IIC2 为待机状态。
5	MSTS3	0	R/W	SCI3 模块待机 此位是 1 时，ISCI3 为待机状态。
4	MSTAD	0	R/W	A/D 转换器模块待机 此位是 1 时，A/D 转换器为待机状态。
3	MSTWD	0	R/W	监视定时器模块待机 此位是 1 时，监视定时器为待机状态（但是，如果对监视定时器的计数时钟选择了内部振荡器，就与此位的设定无关，监视定时器照常运行）。
2	MSTTW	0	R/W	定时器 W 模块待机 此位是 1 时，定时器 W 为待机状态。
1	MSTTV	0	R/W	定时器 V 模块待机 此位是 1 时，定时器 V 为待机状态。
0	—	0	—	保留位 总是读出 0。

6.1.4 模块待机控制寄存器 2 (MSTCR2)

MSTCR2 以模块为单位将内部外围模块设定为待机状态。

位	位名	初始值	R/W	说 明
7~5	—	全 0	—	保留位 总是读出 0。
4	MSTTB1	0	R/W	定时器 B1 模块待机 此位是 1 时，定时器 B1 为待机状态。
3~0	—	全 0	—	保留位 总是读出 0。

6.2 模式间转移和 LSI 状态

模式间可进行的转移如图 6.1 所示。通过执行 SLEEP 指令，从程序执行状态转移到程序停止状态；通过中断，从程序停止状态返回到程序执行状态。而且，能通过从激活模式到激活模式的直接转移来改变运行频率；通过 $\overline{\text{RES}}$ 输入，从全部的模式转移到复位状态。在执行 SLEEP 指令时向各模式的转移条件和由中断产生的返回目标如表 6.2 所示，各运行模式的 LSI 内部状态如表 6.3 所示。

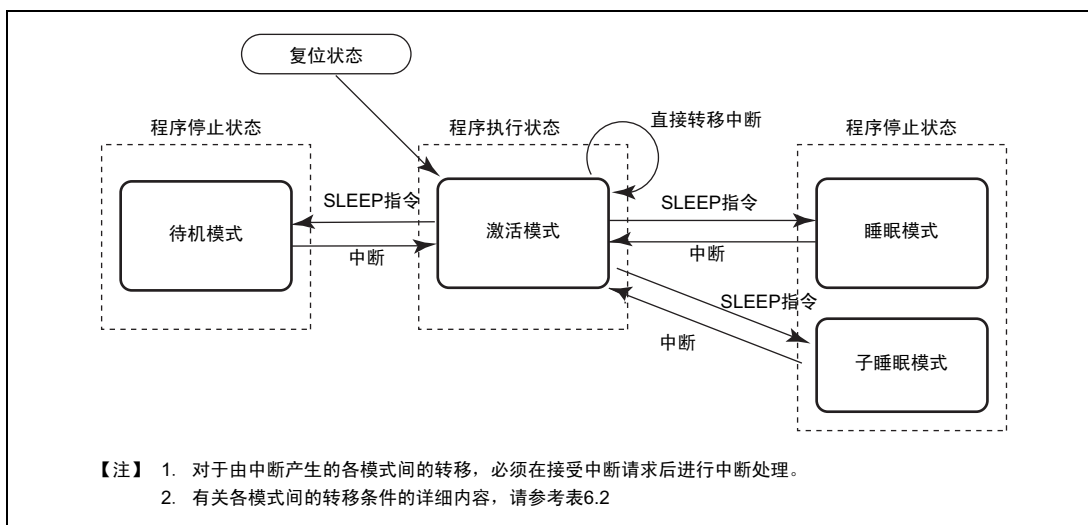


图 6.1 模式转移图

表 6.2 执行 SLEEP 指令后的状态和由中断产生的返回目标

DTON	SSBY	SMSEL	执行 SLEEP 指令后的状态	由中断产生的返回目标
0	0	0	睡眠模式	激活模式
0	0	1	子睡眠模式	激活模式
0	1	X	待机模式	激活模式
1	X	0*	激活模式（直接转移）	

【注】 X: Don't care

* 如果在 SMSEL=1 情况下进行状态转移，定时器 V、SCI3、A/D 转换器就被复位，各寄存器的值恢复到初始值。在激活模式转移后使用这些功能时，需要重新设定各寄存器。

表 6.3 各运行模式的 LSI 状态

功 能		激活	睡眠	子睡眠	待机
系统时钟振荡器		运行	运行	停止	停止
CPU	指令执行	运行	停止	停止	停止
	寄存器	运行	保持	保持	保持
RAM		运行	保持	保持	保持
I/O 端口		运行	保持	保持	寄存器为保持、 输出为高阻抗
外部中断	IRQ3、IRQ0	运行	运行	运行	运行
	WKP5	运行	运行	运行	运行
外围模块	定时器 B1	运行	运行	保持	保持
	定时器 V	运行	运行	复位	复位
	定时器 W	运行	运行	保持	保持
	监视定时器	运行	运行	保持（在对计数时钟选择了内部振荡器时为运行状态）	
	SCI3	运行	运行	复位	复位
	IIC2	运行	运行	保持	保持
	A/D 转换器	运行	运行	复位	复位
	LVD	运行	运行	运行	运行

6.2.1 睡眠模式

在睡眠模式中，虽然 CPU 停止运行，但是内部外围模块以 SYSCR2 的 MA2~MA0 设定的频率时钟运行。CPU 的寄存器内容保持不变。如果发生中断请求，睡眠模式就被解除，开始中断异常处理。当 CCR 的 I 位为 1 或者中断被中断允许位屏蔽时，不能解除睡眠模式。在睡眠模式中，如果将 $\overline{\text{RES}}$ 管脚设为低电平，睡眠模式就被解除并转移到复位状态。

6.2.2 待机模式

在待机模式中，系统时钟振荡器停止运行，所以 CPU 和内部外围模块都停止运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器和内部 RAM 的数据就保持不变。另外，只要提供 RAM 数据保持电压所规定的电压，内部 RAM 的数据就能保持不变，I/O 端口为高阻抗状态。

待机模式由中断解除。如果发生中断请求，内部振荡器就开始振荡。在使用外部振荡器时，外部振荡器也开始振荡。在经过由 SYSCR1 的 STS2~STS0 设定的时间后，待机模式被解除，开始中断异常处理。如果 CCR 的 I 位为 1 或者中断被中断允许位屏蔽，就不能解除待机模式。

在待机模式中，如果将 $\overline{\text{RES}}$ 管脚设为低电平，内部振荡器就开始振荡。在内部振荡器开始振荡的同时，系统时钟供给整个 LSI。必须在规定的时间内保持 $\overline{\text{RES}}$ 管脚为低电平。如果将 $\overline{\text{RES}}$ 管脚设为高电平，就在经过加电复位电路产生的振荡稳定时间后解除内部复位信号，CPU 开始复位异常处理。

6.2.3 子睡眠模式

在子睡眠模式中，系统时钟振荡器停止运行，所以 CPU 和内部外围模块都停止运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器和内部 RAM 的数据就保持不变，I/O 端口保持转移前的状态。

子睡眠模式由中断解除。如果发生中断请求，内部 RC 振荡器就开始振荡。在使用外部振荡器时，外部振荡器也开始振荡。在经过由 SYSCR1 的 STS2~STS0 设定的时间后，子睡眠模式就被解除，开始中断异常处理。另外，如果 CCR 的 I 位为 1 或者中断被中断允许位屏蔽，就不能解除子睡眠模式。

在子睡眠模式中，如果将 $\overline{\text{RES}}$ 管脚设为低电平，内部振荡器就开始振荡。在内部振荡器开始振荡的同时，系统时钟供给整个 LSI。必须在规定的时间内保持 $\overline{\text{RES}}$ 管脚为低电平。如果 $\overline{\text{RES}}$ 管脚设为高电平，就在经过加电复位电路产生的振荡稳定时间后解除内部复位信号，CPU 开始复位异常处理。

6.3 激活模式的运行频率

激活模式以 SYSCR2 的 MA2~MA0 设定的频率时钟运行，运行频率在 SLEEP 指令执行后转换到设定的频率。

6.4 直接转移

CPU 执行程序的运行模式有激活模式。能通过激活模式之间的转移更改运行频率。如果在将 SYSCR2 的 DTON 置 1 后执行 SLEEP 指令，就进行直接转移，转移后便开始直接转移中断异常处理。在由中断允许寄存器 1 禁止直接转移中断的情况下，不进行直接转移而转移到睡眠模式或者子睡眠模式。必须注意：如果在 CCR 的 I 位为 1 的状态下进行直接转移，就在转移到睡眠模式或者子睡眠模式后，不能由中断解除。

6.5 模块待机功能

模块待机功能对全部外围模块进行设定。对被设定为模块待机状态的模块停止供给时钟，成为低功耗状态。如果将对应 MSTCR1 和 MSTCR2 的各模块的位置 1，该模块就变为模块待机状态；如果清除，就解除待机状态。

第 7 章 ROM

内置在 HD64F36912G 和 HD64F36902G 中的 12K 字节（其中 4K 字节为 E7 控制程序区）快速擦写存储器的特点如下：

- 编程/擦除方式

编程是以 64 字节为单位的同时写方式，擦除以块为单位进行。快速擦写存储器分为 1K 字节×4 块和 4K 字节×2 块。全面擦除时也必须按块逐个擦除。

- 改写次数

最多能改写 1000 次。

- 单板上编程

通过启动内部引导程序进行全面擦除和编程的引导模式，能在单板上进行编程/擦除。另外，通常的用户模式也能在单板上擦除和改写任意的块。

- 位速率自动匹配

在引导模式中传送数据时，本 LSI 的位速率和主机的传送位速率自动匹配。

- 编程/擦除保护

能通过软件对快速擦写存储器设定编程/擦除保护。

7.1 块结构

12K 字节快速擦写存储器的块结构如图 7.1 所示。粗线框表示擦除块，细线框表示编程的单位，框内的数值表示地址。快速擦写存储器被分成 1K 字节×4 块和 4K 字节×2 块，以此单位进行擦除，以低位地址的 H'00、H'40、H'80 或者 H'C0 开始的 64 字节为单位进行编程。

擦除单位	H'0000	H'0001	H'0002	←编程单位64字节→	H'003F
	H'0040	H'0041	H'0042		H'007F
1K字节					
擦除单位	H'03C0	H'03C1	H'03C2	←编程单位64字节→	H'03FF
	H'0400	H'0401	H'0402		H'043F
1K字节					
擦除单位	H'07C0	H'07C1	H'07C2	←编程单位64字节→	H'07FF
	H'0800	H'0801	H'0802		H'083F
1K字节					
擦除单位	H'0840	H'0841	H'0842	←编程单位64字节→	H'087F
1K字节					
擦除单位	H'0BC0	H'0BC1	H'0BC2	←编程单位64字节→	H'0BFF
	H'0C00	H'0C01	H'0C02		H'0C3F
1K字节					
擦除单位	H'0C40	H'0C41	H'0C42	←编程单位64字节→	H'0C7F
1K字节					
擦除单位	H'0FC0	H'0FC1	H'0FC2	←编程单位64字节→	H'0FFF
	H'1000	H'1001	H'1002		H'103F
4K字节					
擦除单位	H'1040	H'1041	H'1042	←编程单位64字节→	H'107F
4K字节					
擦除单位	H'1FC0	H'1FC1	H'1FC2	←编程单位64字节→	H'1FFF
	H'2000	H'2001	H'2002		H'203F
擦除单位	H'2040	H'2041	H'2042	←编程单位64字节→	H'207F
4K字节					
	H'2FC0	H'2FC1	H'2FC2		H'2FFF

图 7.1 快速擦写存储器的块结构

7.2 寄存器说明

快速擦写存储器有以下寄存器：

- 快速擦写存储控制寄存器 1 (FLMCR1)
- 快速擦写存储控制寄存器 2 (FLMCR2)
- 块指定寄存器 1 (EBR1)
- 快速擦写存储器允许寄存器 (FENR)

7.2.1 快速擦写存储控制寄存器 1 (FLMCR1)

FLMCR1 使快速擦写存储器转移到编程模式、编程验证模式、擦除模式或者擦除验证模式。有关具体的设定方法请参照“7.4 的编程/擦除程序”。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位 总是读出 0。
6	SWE	0	R/W	软件写允许 1: 可进行快速擦写存储器的编程/擦除。 0: 此寄存器的其它位和 EBR1 的各位不能置位。
5	ESU	0	R/W	擦除准备 1: 为擦除准备状态。 0: 解除设置状态。 必须在 FLMCR1 的 E 位置 1 之前置位。
4	PSU	0	R/W	编程准备 1: 为编程准备状态。 0: 解除准备状态。 必须在 FLMCR1 的 P 位置 1 之前置位。
3	EV	0	R/W	擦除验证 1: 转移到擦除验证模式。 0: 解除擦除验证模式。
2	PV	0	R/W	编程验证 1: 转移到编程验证模式。 0: 解除编程验证模式。
1	E	0	R/W	擦除 如果在 SWE=1、ESU=1 的状态下置 1，就转移到擦除模式。 0: 解除擦除模式。
0	P	0	R/W	编程 如果在 SWE=1、PSU=1 的状态下置 1 就转移到编程模式。 0: 解除编程模式。

7.2.2 快速擦写存储控制寄存器 2 (FLMCR2)

FLMCR2 表示快速擦写存储器的编程/擦除状态。FLMCR2 是读专用寄存器，不能写。

位	位名	初始值	R/W	说 明
7	FLER	0	R	在快速擦写存储器的编程/擦除过程中进行错误检测，如果进入错误保护状态，此位就被置位。 详细内容请参照“7.5.3 错误保护”。
6~0	—	全 0	—	保留位。 总是读出 0。

7.2.3 块指定寄存器 1 (EBR1)

EBR1 是指定快速擦写存储器擦除块的寄存器。当 FLMCR1 的 SWE 位为 0 时，EBR1 被初始化为 H'00。此寄存器不可将 2 个以上的位同时置 1，否则，EBR1 就被自动清 0。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位
6	—	0	—	总是读出 0。
5	EB5	0	R/W	1: H'2000~H'2FFF 的 4K 字节为擦除对象。
4	EB4	0	R/W	1: H'1000~H'1FFF 的 4K 字节为擦除对象。
3	EB3	0	R/W	1: H'0C00~H'0FFF 的 1K 字节为擦除对象。
2	EB2	0	R/W	1: H'0800~H'0BFF 的 1K 字节为擦除对象。
1	EB1	0	R/W	1: H'0400~H'07FF 的 1K 字节为擦除对象。
0	EB0	0	R/W	1: H'0000~H'03FF 的 1K 字节为擦除对象。

7.2.4 快速擦写存储器允许寄存器 (FENR)

FENR 的位 7 (FLSHE) 设定是否允许 CPU 存取快速擦写存储器的控制寄存器 FLMCR1、FLMCR2、EBR1。

位	位名	初始值	R/W	说 明
7	FLSHE	0	R/W	快速擦写存储器控制寄存器允许 1: 可存取快速擦写存储器控制寄存器。 0: 不能存取控制寄存器。
6~0	—	全 0	—	保留位。 总是读出 0。

7.3 单板上编程

作为进行快速擦写存储器编程/擦除的模式，提供了能进行单板上编程/擦除的引导模式。此外，在用户模式中也能进行单板上编程/擦除。如果从复位状态开始复位，本 LSI 就根据 TEST 管脚、 $\overline{\text{NMI}}$ 管脚和端口的输入电平转移到如表 7.1 所示的不同模式。必须至少在解除复位的 4 个状态以前确定各管脚的输入电平。

如果转移到引导模式，就启动 LSI 的内部引导程序。引导程序通过 SCI3 将编程控制程序从连接于外部的主机传送到内部 RAM，在全面擦除快速擦写存储器后执行编程控制程序。能用于单板上状态的初始编程或者在用户模式无法进行编程/擦除时的强制恢复等。在用户模式中，能通过转移到用户准备的编程/擦除程序，擦除和改写任意块。

表 7.1 编程模式的选择方法

TEST	$\overline{\text{NMI}}$	E10T_0	解除复位后的 LSI 状态
0	1	X	用户模式
0	0	1	引导模式

【注】 X: Don't care

7.3.1 引导模式

从复位解除开始转移到编程控制程序为止，有关引导模式的运行如表 7.2 所示。

1. 在引导模式中，需要在主机侧预先准备好给快速擦写存储器的编程控制程序。请根据“7.4 编程/擦除程序”所述的内容，准备编程控制程序。
2. 将SCI3设定为异步方式，发送/接收格式为“8位数据，1位停止位，无奇偶校验”。
3. 一旦启动引导程序，就测定从主机连续发送的异步串行通信数据H'00的低电平宽度，计算位速率，并将SCI3的位速率与主机的位速率进行匹配。必须在RXD管脚为高电平的状态下解除复位。根据需要，在电路板上将RXD管脚和TXD管脚上拉。从复位解除到能测定低电平宽度为止大约需要100个状态。
4. 在位速率的匹配结束后，作为调整结束信号，发送1个字节的H'00，因此，如果主机正常接收到调整结束信号，就必须发送1个字节的H'55；如果不能正常接收，就必须通过复位重新启动引导模式。通过主机的位速率和本LSI的系统时钟频率的组合，有可能发生在容许范围内位速率不匹配的情况。因此，必须将主机的传送位速率和本LSI的系统时钟频率设定在表7.3的范围内。
5. 在引导模式中，引导程序使用一部分内部RAM。能存放主机发送来的编程控制程序的区域是H'F980~H'FEF。在执行程序转移到编程控制程序之前，不能使用该引导程序区。
6. 在转移到编程控制程序时，SCI3将结束发送和接收（SCR3的RE=0、TE=0），但是，由于在BRR中保持位速率的匹配值，因此能继续用编程控制程序与主机发送和接收写数据和验证数据。TXD管脚为高电平输出状态（PCR22=1、P22=1）。转移到编程控制程序后的CPU通用寄存器的内容不定。尤其是堆栈指针，由于被隐含地使用在子程序调用等处，因此必须在编程控制程序的开头进行初始化。
7. 引导模式由复位解除。必须将复位管脚设为低电平，在至少经过20个状态后，设定TEST管脚和NMI管脚，解除复位。如果发生WDT溢出复位，引导模式也被解除。
8. 在引导模式的执行过程中，不能改变TEST管脚和NMI管脚的输入电平。

表 7.2 引导模式的运行

项目	主机的运行	通信内容	本LSI的运行
	处理内容		处理内容
启动引导模式			开始复位后 转移到引导程序
位速率的匹配	以规定的位速率连续发送H'00 ↓ 如果正常接收到H'00, 就发送H'55	H'00, H'00 . . . H'00 ← H'00 ← H'55	<ul style="list-style-type: none"> 测定接收数据H'00的低电平宽度 计算位速率, 设定SCI3的BBR 在位速率的匹配结束后, 给主机发送H'00 接收H'55
擦除快速擦写存储器	↓ 接收H'AA ← 引导程序擦除错误	← H'FF ← H'AA	测试快速擦写存储器的数据, 在被写入的情况下, 擦除全部块后向主机发送H'AA (在不能擦除时, 发送H'FF后停止运行)
编程控制程序的传送	↓ 将传送的编程控制程序的字节数(N)按高位字节、低位字节的顺序发送2个字节 ↓ 按字节发送编程控制程序(重复N次) ↓ 接收H'AA	高位字节、低位字节 ← 回送 ← H'XX ← 回送 ← H'AA	将接收到的2个字节数据回送给主机 ↓ 在将接收到的数据回送给主机的同时传送给RAM(重复N次) ↓ 给主机发送H'AA
			转移到被传送至内部RAM的编程控制程序, 开始执行

表 7.3 可自动匹配位速率的系统时钟频率

主机的位速率	LSI 的系统时钟频率范围
9600bps	8 ~ 10MHz
4800bps	4 ~ 10MHz
2400bps	2 ~ 10MHz

7.3.2 用户模式的编程/擦除

在用户模式中，通过转移到用户准备的编程/擦除程序，能单板上擦除或者改写任意块。不但需要用户设定好转移条件和提供单板上改写数据的手段，而且还必须根据需要预先将编程/擦除程序或者为从外部提供编程/擦除程序的程序写入部分快速擦写存储器。由于在编程/擦除过程中不能读取快速擦写存储器的内容，因此与引导模式相同，必须将编程/擦除程序传送到内部 RAM 后执行。用户模式的编程/擦除步骤的例子如图 7.2 所示。请按照“7.4 编程/擦除程序”所述的内容，准备编程/擦除程序。

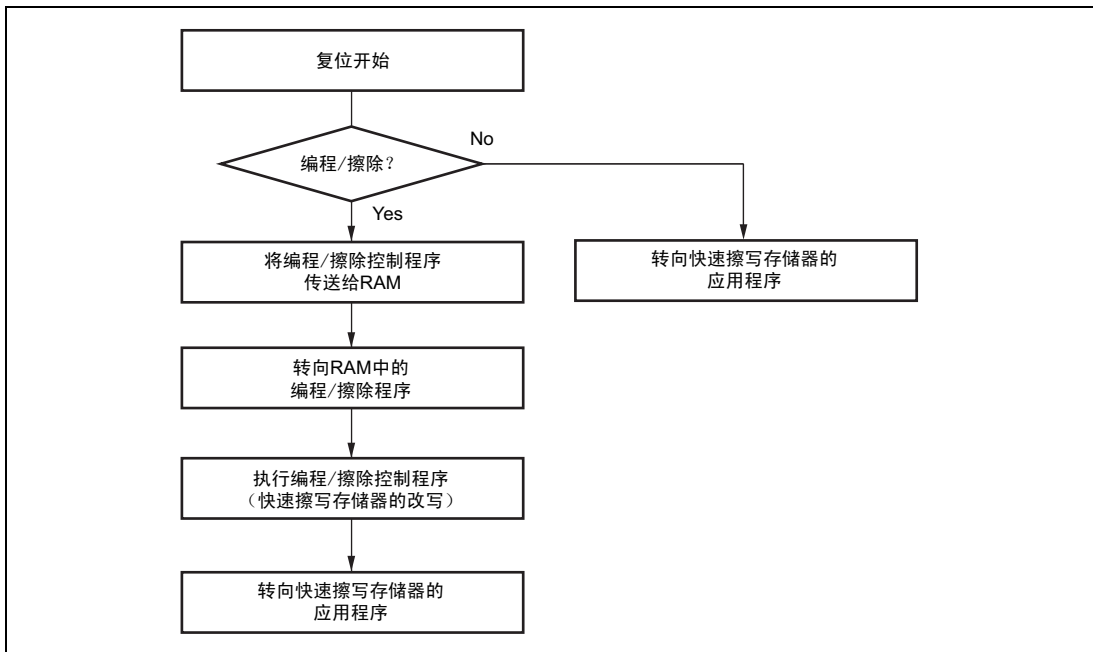


图 7.2 用户模式的编程/擦除例子

7.4 编程/擦除程序

采取软件方式，对快速擦写存储器进行单板上编程/擦除。快速擦写存储器根据 FLMCR1 的设定转移到编程模式、编程验证模式、擦除模式或者擦除验证模式。引导模式的编程控制程序 and 用户模式的编程/擦除程序结合这些模式进行编程/擦除。对快速擦写存储器的编程必须按照“7.4.1 编程/编程验证”所述的内容进行，对快速擦写存储器的擦除必须按照“7.4.2 擦除/擦除验证”所述的内容进行。

7.4.1 编程/编程验证

对快速擦写存储器的编程必须按照图 7.3 所示的编程/编程验证流程图进行。如果按照此流程进行编程，就不会给芯片施加过分的电压应力和提高数据的可靠性。

1. 编程必须在擦除状态下进行，已经被编程的地址不可再编程。
2. 1次的编程操作以64字节为单位。在写不满64字节的数据时，也需要给快速擦写存储器传送64字节的数据。不需要写的地址必须写H'FF。
3. 必须在RAM中确保64字节的编程数据区、64字节的再编程数据区和64字节的追加编程数据区。再编程数据的运算必须按照表7.4进行，追加编程数据的运算必须按照表7.5进行。
4. 必须以字节为单位，从再编程数据区或者追加编程数据区连续传送64字节到快速擦写存储器。程序地址和64字节数据被锁存在快速擦写存储器中。必须将传送目标的快速擦写存储器的起始地址的低8位设定为H'00、H'40、H'80或H'C0。
5. P位被置位的时间为编程时间。必须按照表7.6设定编程时间。
6. 监视定时器的设定是为了避免由于程序失控等引起的过剩编程。溢出周期必须设定在6.6ms左右。
7. 对验证地址的虚写，必须给偶数地址写1个字节的H'FF。能以字为单位从虚写的地址读验证数据。
8. 对同一位的编程/编程验证的顺序，重复次数不能超过1000次。

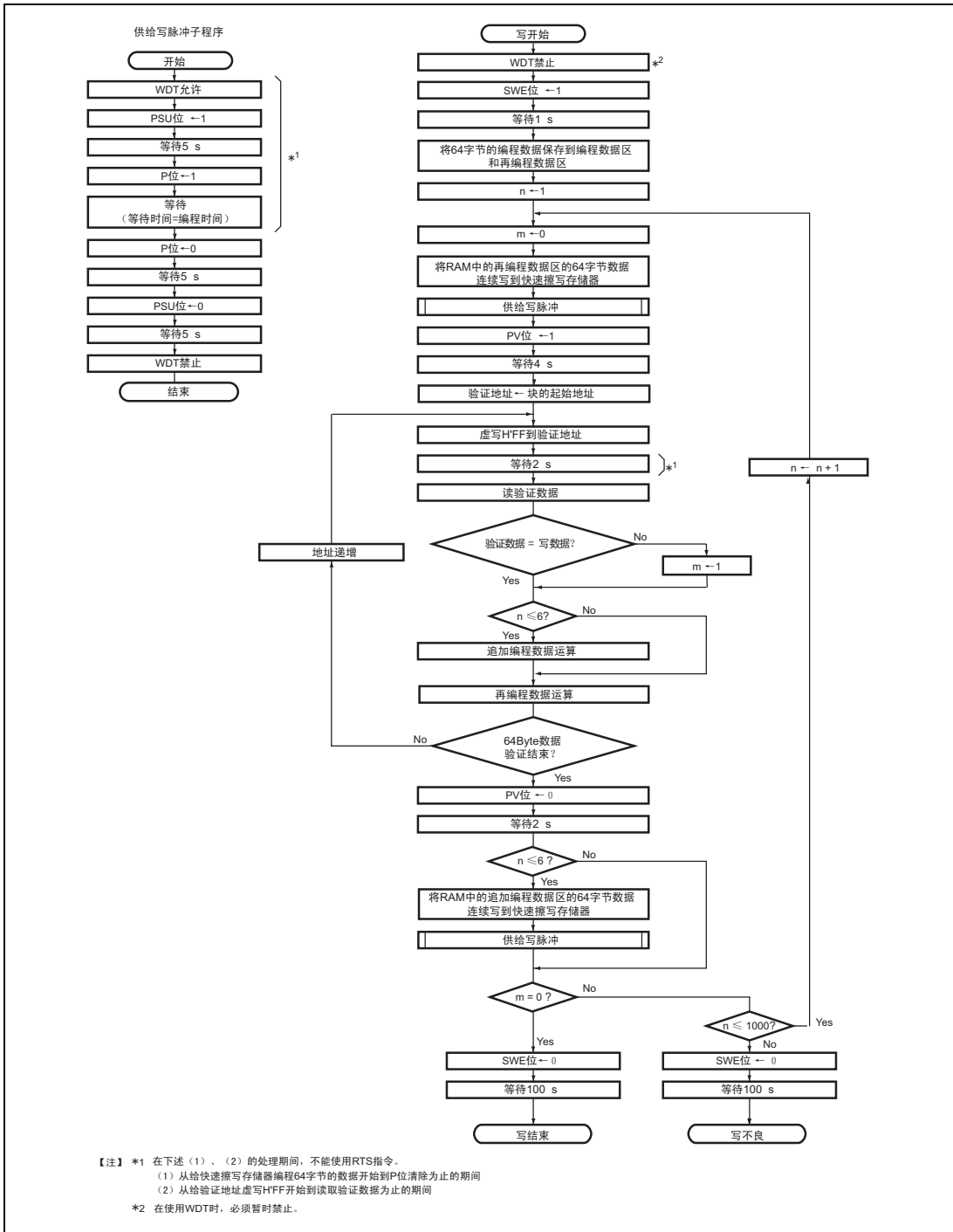


图 7.3 编程/编程验证流程图

表 7.4 再编程数据的运算表

编程数据	验证数据	再编程数据	备 考
0	0	1	编程结束位
0	1	0	再编程位
1	0	1	
1	1	1	擦除状态

表 7.5 追加编程数据的运算表

再编程数据	验证数据	追加编程数据	备 考
0	0	0	追加编程的位
0	1	1	不进行追加编程
1	0	1	不进行追加编程
1	1	1	不进行追加编程

表 7.6 编程时间

n (写次数)	编程	追加编程	备 考
1~6	30	10	
7~1,000	200	—	

【注】时间的单位为 μs 。

7.4.2 擦除/擦除验证

擦除必须按照图 7.4 的擦除/擦除验证流程图进行。

1. 在擦除前不需要进行预写（将要擦除的存储器的所有数据全部清0）。
2. 擦除以块为单位进行。必须通过块指定寄存器1（EBR1）选择要擦除的块。擦除多块时也必须逐块依次擦除。
3. E位被设定的时间为擦除时间。
4. 监视定时器的设定是为了避免由于程序失控等引起的过剩擦除。溢出周期必须设定在19.8ms左右。
5. 对验证地址的虚写，必须给偶数地址写1个字节的H'FF。能以字为单位从虚写的地址读验证数据。
6. 读出的数据为未擦除时，再次设定为擦除方式，重复进行擦除/擦除验证顺序。但是重复次数不能超过100次。

7.4.3 快速擦写存储器的编程/擦除时的中断

在对快速擦写存储器进行编程/擦除或者执行引导程序过程中，由于以下原因，必须禁止包括 NMI 的全部中断请求。

1. 如果在编程/擦除过程中发生中断，就不能保证按编程/擦除算法的正常运行。
2. 如果在写向量地址前或者在编程/擦除过程中开始中断异常处理，就不能正常地取得向量，导致CPU失控。
3. 如果在执行引导程序过程中发生中断，就无法执行正常的引导模式顺序。

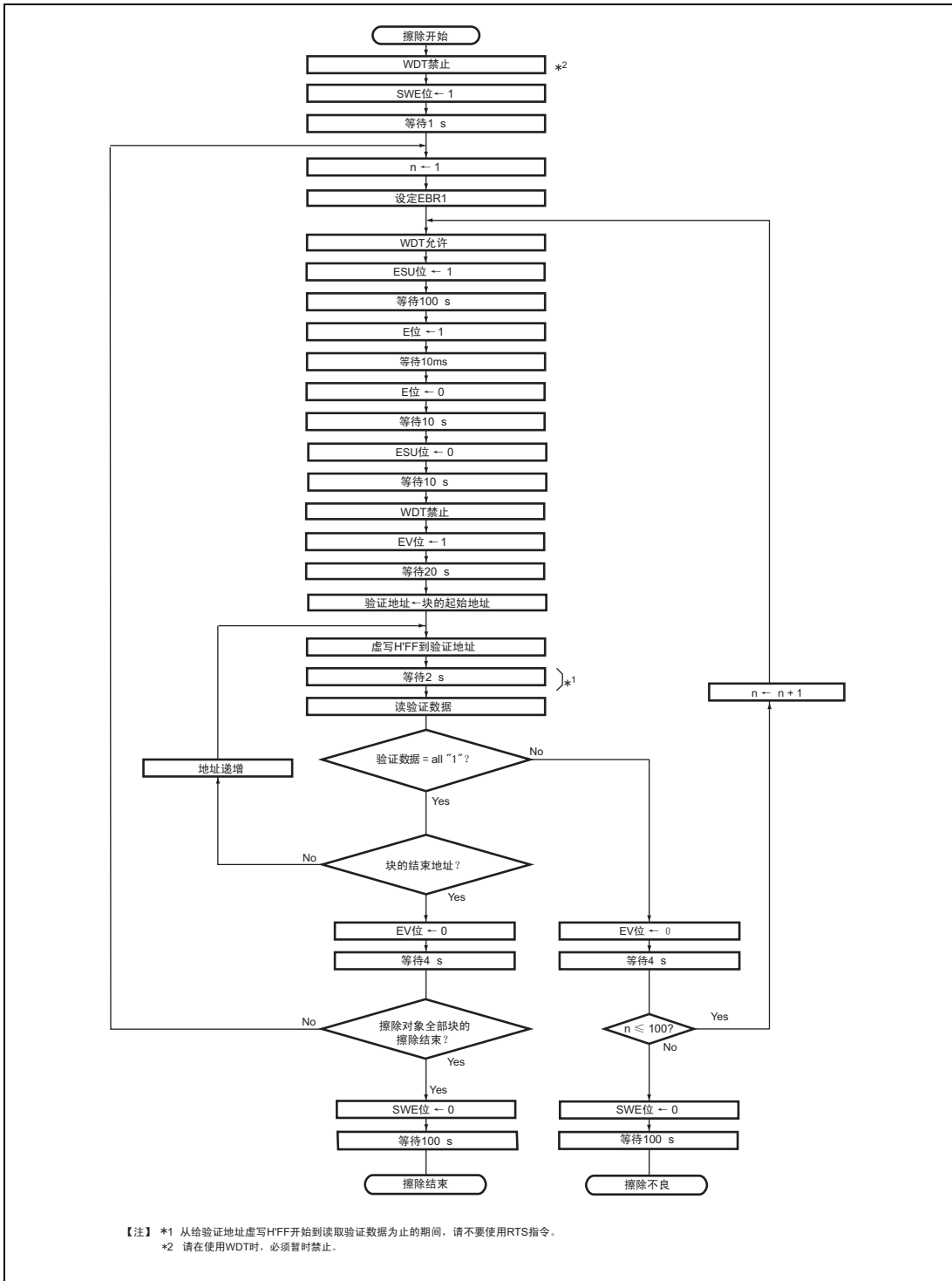


图 7.4 擦除/擦除验证流程图

7.5 编程/擦除保护

快速擦写存储器的编程/擦除保护状态有硬件保护、软件保护和错误保护3种。

7.5.1 硬件保护

硬件保护是指通过转移到复位、子激活模式或者待机模式的状态，对快速擦写存储器的编程/擦除强制禁止和中断的状态。快速擦写存储器控制寄存器1（FLMCR1）、快速擦写存储器控制寄存器2（FLMCR2）和块指定寄存器1（EBR1）被初始化。对于由 $\overline{\text{RES}}$ 管脚产生的复位，从接通电源到振荡稳定为止，如果不保持 $\overline{\text{RES}}$ 管脚为低电平，就不能进入复位状态。另外，运行中的复位必须在AC特性中规定的 $\overline{\text{RES}}$ 脉宽之间，保持 $\overline{\text{RES}}$ 管脚为低电平。

7.5.2 软件保护

通过用软件清除FLMCR1的SWE位，全部的块变为编程/擦除保护状态。在此状态下，即使将FLMCR1的P位或者E位置位，也不转移到程序模式或者擦除模式。另外，通过块指定寄存器1（EBR1）的设定能按块进行擦除保护。如果将EBR1设定为H'00，全部的块就变为擦除保护状态。

7.5.3 错误保护

错误保护是在对快速擦写存储器的编程/擦除过程中，如果检测出CPU失控以及不按照编程/擦除算法的运行，就强制中断编程/擦除运行的状态。通过中断编程/擦除运行，防止因过剩编程和过剩擦除给快速擦写存储器带来的损坏。

如果在快速擦写存储器的编程/擦除过程中检测出以下错误，FLMCR2的FLER位就被置1，进入错误保护状态：

- 在编程/擦除过程中，读快速擦写存储器（含读向量和取指令）
- 在编程/擦除过程中，开始复位以外的异常处理
- 在编程/擦除过程中，执行SLEEP指令

此时，虽然保持FLMCR1、FLMCR2和EBR1的内容，但是在检测出错误时，强制中断程序模式或者擦除模式。即使对P位和E位置位，也不转移到程序模式或擦除模式。但是能保持PV位和EV位，转移到验证模式。错误保护状态只能由复位解除。

第 8 章 RAM

H8/36912F 和 H8/36902F 内置 1536 字节、H8/36912 和 H8/36902 内置 512 字节、H8/36911、H8/36901 和 H8/36900 内置 256 字节的高速静态 RAM。RAM 以 16 位宽的数据总线和 CPU 连接，字节数据和字数据都以 2 个状态存取。

产品分类		RAM 容量	RAM 地址
快速擦写存储器版	H8/36912F	1536 字节	H'F980~H'FF7F*
	H8/36902F	1536 字节	H'F980~H'FF7F*
掩模型 ROM 版	H8/36912、H8/36902	512 字节	H'FD80~H'FF7F
	H8/36911、H8/36901	256 字节	H'FE80~H'FF7F
	H8/36900	256 字节	H'FE80~H'FF7F

【注】 * 使用E7 时，绝对不能存取 H'F980~H'FD7F 区域。

第 9 章 I/O 端口

H8/36912 群和 H8/36902 群具备 18 个通用输入/输出端口。其中端口 8 (P84~P80) 为大电流端口，在输出低电平时能驱动 20mA (@ $V_{OL}=1.5V$)。虽然都与内部外围模块的输入/输出管脚或者外部中断输入管脚兼用，复位后变为输入端口，但是可以通过寄存器的设定来转换功能。用于选择这些功能的寄存器有包含在 I/O 端口内和包含在各内部外围模块内的寄存器。通用输入/输出端口由控制输入/输出的端口控制寄存器和保存输出数据的端口数据寄存器构成，能以位为单位选择输入/输出。有关各端口的功能请参照“附录 B.1 I/O 端口框图”。另外，有关对端口控制寄存器和端口数据寄存器的位操作指令的执行，请参照“2.8.3 位操作指令”。

9.1 端口 1

端口 1 是与 IRQ 中断输入管脚和定时器 V 输入管脚兼用的输入/输出端口。端口 1 的各管脚结构如图 9.1 所示。

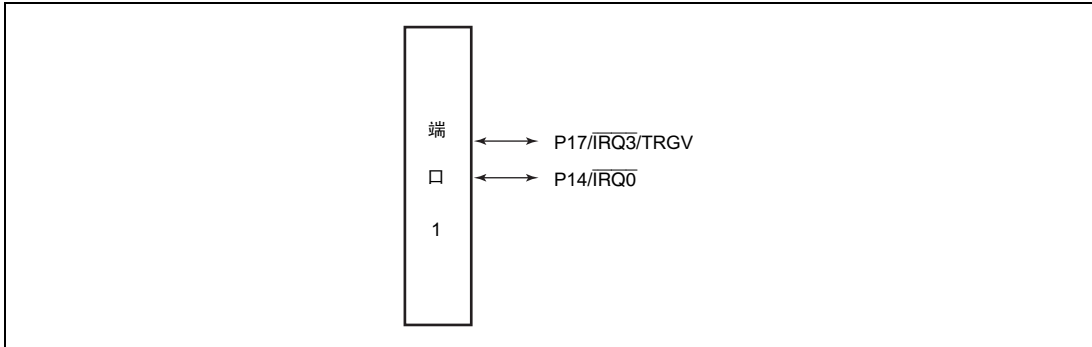


图 9.1 端口 1 的管脚结构

端口 1 有以下寄存器：

- 端口模式寄存器 1 (PMR1)
- 端口控制寄存器 1 (PCR1)
- 端口数据寄存器 1 (PDR1)
- 端口上拉控制寄存器 1 (PUCR1)

9.1.1 端口模式寄存器 1 (PMR1)

PMR1 转换端口 1 和端口 2 的管脚功能。

位	位名	初始值	R/W	说 明
7	IRQ3	0	R/W	选择 P17/ $\overline{\text{IRQ3}}$ /TRGV 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{IRQ3}}$ 和 TRGV 输入管脚
6	—	0	—	保留位
5	—	0	—	总是读出 0。
4	IRQ0	0	R/W	选择 P14/ $\overline{\text{IRQ0}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{IRQ0}}$ 输入管脚
3	—	0	—	保留位
2	—	0	—	总是读出 0。

位	位名	初始值	R/W	说 明
1	TXD	0	R/W	选择 P22/TXD 管脚的功能。 0: 通用输入/输出端口 1: TXD 输出管脚
0	—	0	—	保留位 总是读出 0。

9.1.2 端口控制寄存器 1 (PCR1)

PCR1 按位选择用于端口 1 的通用输入/输出端口的管脚输入/输出。

位	位名	初始值	R/W	说 明
7	PCR17	0	W	在通过 PMR1 选择通用输入/输出端口的功能时，如果将此位置 1，对应的管脚就为输出端口；如果清 0，就为输入端口。 位 6、5、3~0 为保留位。
6	—	—	—	
5	—	—	—	
4	PCR14	0	W	
3	—	—	—	
2	—	—	—	
1	—	—	—	
0	—	—	—	

9.1.3 端口数据寄存器 1 (PDR1)

PDR1 是端口 1 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P17	0	R/W	保存端口 1 的输出值。 如果读此寄存器，对于被 PCR1 置位的位，就读取此寄存器的值；对于被 PCR1 清除的位，与此寄存器的值无关，读取管脚的状态。 位 6、5、3~0 是保留位。总是读出 1。
6	—	1	—	
5	—	1	—	
4	P14	0	R/W	
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

9.1.4 端口上拉控制寄存器 1 (PUCR1)

PUCR1 按位控制被设定为输入端口的管脚的上拉 MOS。

位	位名	初始值	R/W	说 明
7	PUCR17	0	R/W	只有被 PCR1 清除的位才有效。 如果置 1，对应的 P17 和 P14 管脚的上拉 MOS 就为 ON 状态； 如果清 0，就为 OFF 状态。 位 6、5、3~0 为保留位。总是读出 1。
6	—	1	—	
5	—	1	—	
4	PUCR14	0	R/W	
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

9.1.5 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

- P17 $\overline{\text{IRQ3}}$ /TRGV管脚

寄存器名	PMR1	PCR1	功 能
位名	IRQ3	PCR17	
设定值	0	0	P17 输入管脚
		1	P17 输出管脚
	1	X	$\overline{\text{IRQ3}}$ 输入/TRGV 输入管脚

【注】 X: Don't care

- P14/ $\overline{\text{IRQ0}}$ 管脚

寄存器名	PMR1	PCR1	功 能
位名	IRQ0	PCR14	
设定值	0	0	P14 输入管脚
		1	P14 输出管脚
	1	X	$\overline{\text{IRQ0}}$ 输入管脚

【注】 X: Don't care

9.2 端口 2

端口 2 是与 SCI3 的输入/输出管脚兼用的输入/输出端口。端口 2 的各管脚结构如图 9.2 所示。对于兼用管脚的功能，优先 PMR1 和 SCI3 寄存器的设定。

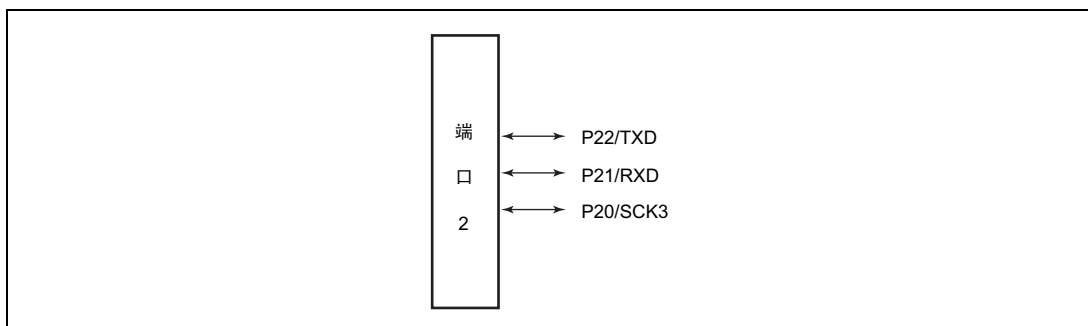


图 9.2 端口 2 的管脚结构

端口 2 有以下寄存器：

- 端口控制寄存器 2 (PCR2)
- 端口数据寄存器 2 (PDR2)

9.2.1 端口控制寄存器 2 (PCR2)

PCR2 按位选择用作端口 2 的通用输入/输出端口的管脚输入/输出。

位	位名	初始值	R/W	说 明
7~3	—	全 1	—	保留位
2	PCR22	0	W	在选择通用输入/输出端口的功能时，如果将此位置 1，对应的管脚就为输出端口；如果清 0，就为输入端口。
1	PCR21	0	W	
0	PCR20	0	W	

9.2.2 端口数据寄存器 2 (PDR2)

PDR2 是端口 2 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7~3	—	全 1	—	保留位。 总是读出 1。
2	P22	0	R/W	保存端口 2 的输出值。
1	P21	0	R/W	如果读此寄存器，对于被 PCR2 置位的位，就读取此寄存器的值；对于被 PCR2 清除的位，与此寄存器的值无关，读取管脚的状态。
0	P20	0	R/W	

9.2.3 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

- P22/TXD管脚

寄存器名	PMR1	PCR2	功 能
位名	TXD	PCR22	
设定值	0	0	P22 输入管脚
		1	P22 输出管脚
	1	X	TXD 输出管脚

【注】 X: Don't care

- P21/RXD管脚

寄存器名	SCR3	PCR2	功 能
位名	RE	PCR21	
设定值	0	0	P21 输入管脚
		1	P21 输出管脚
	1	X	RXD 输入管脚

【注】 X: Don't care

- P20/SCK3管脚

寄存器名	SCR3		SMR	PCR2	功 能
位名	CKE1	CKE0	COM	PCR20	
设定值	0	0	0	0	P20 输入管脚
				1	P20 输出管脚
	0	0	1	X	SCK3 输出管脚
	0	1	X	X	SCK3 输出管脚
	1	X	X	X	SCK3 输入管脚

9.3 端口 5

端口 5 是与 I²C 总线接口输入/输出管脚*、A/D 触发输入管脚以及唤醒中断输入管脚兼用的输入/输出端口。端口 5 的各管脚结构如图 9.3 所示。对于 P57/SCL 和 P56/SDA 管脚的功能，优先 I²C 总线接口寄存器的设定。

【注】 * 只限 H8/36912 群。

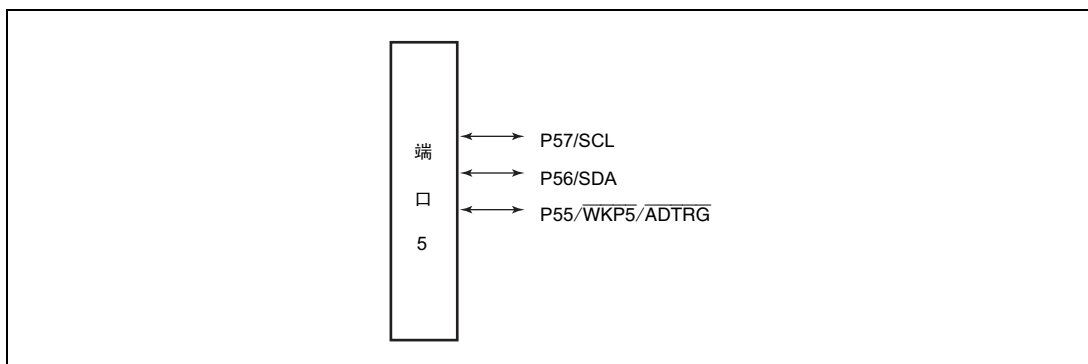


图 9.3 端口 5 的管脚结构

端口 5 有以下寄存器：

- 端口模式寄存器 5 (PMR5)
- 端口控制寄存器 5 (PCR5)
- 端口数据寄存器 5 (PDR5)
- 端口上拉控制寄存器 5 (PUCR5)

9.3.1 端口模式寄存器 5 (PMR5)

PMR5 转换端口 5 的管脚功能。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。
6	—	0	—	总是读出 0。
5	WKP5	0	R/W	选择 P55/ WKP5/ADTRG 管脚的功能。 0: 通用输入/输出端口 1: WKP5 输入管脚和 ADTRG 输入管脚
4~0	—	全 0	—	保留位。 总是读出 0。

9.3.2 端口控制寄存器 5 (PCR5)

PCR5 按位选择用于端口 5 的通用输入/输出端口的管脚输入/输出。

位	位名	初始值	R/W	说 明
7	PCR57	0	W	在选择通用输入/输出端口的功能时，如果将此位置 1，对应的管脚就为输出端口；如果清 0，就为输入端口。
6	PCR56	0	W	
5	PCR55	0	W	
4~0	—	全 1	—	保留位

9.3.3 端口数据寄存器 5 (PDR5)

PDR5 是端口 5 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P57	0	R/W	保存端口 5 的输出值。
6	P56	0	R/W	如果读此寄存器，对于被 PCR5 置位的位，就读取此寄存器的值；对于被 PCR5 清除的位，与此寄存器的值无关，读取管脚的状态。
5	P55	0	R/W	
4~0	—	全 1	—	保留位。 总是读出 1。

9.3.4 端口上拉控制寄存器 5 (PUCR5)

PUCR5 按位控制被设定为输入端口的管脚的上拉 MOS。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。
6	—	0	—	总是读出 0。
5	PUCR55	0	R/W	只有被 PCR5 清除的位才有效。 如果置 1，对应管脚的上拉 MOS 为 ON 状态；如果清 0，为 OFF 状态。
4~0	—	全 0	—	保留位。 总是读出 0。

9.3.5 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

- P57/SCL管脚

寄存器名	ICCR	PCR5	功 能
位名	ICE	PCR57	
设定值	0	0	P57 输入管脚
		1	P57 输出管脚
	1	X	SCL 输入/输出管脚*

【注】X: Don't care

SCL 的输出形态为 NMOS 漏极开路输出，能直接驱动总线。

* 只限H8/36912群。

- P56/SDA管脚

寄存器名	ICCR	PCR5	功 能
位名	ICE	PCR56	
设定值	0	0	P56 输入管脚
		1	P56 输出管脚
	1	X	SDA 输入/输出管脚*

【注】X: Don't care

SDA 的输出形态为 NMOS 漏极开路输出，能直接驱动总线。

* 只限H8/36912群。

- P55/WKP5/ADTRG管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP5	PCR55	
设定值	0	0	P55 输入管脚
		1	P55 输出管脚
	1	X	WKP5/ADTRG 输入管脚

【注】 X: Don't care

9.4 端口 7

端口 7 是与定时器 V 的输入/输出管脚兼用的输入/输出端口。端口 7 的各管脚结构如图 9.4 所示。对于 P76/TMOV 管脚的功能，优先定时器 V 的 TCSR_V 的设定。P75/TMCIV 和 P74/TMRIV 的管脚为定时器 V 输入兼用端口，与端口 7 的寄存器的设定无关，被连接到定时器 V。

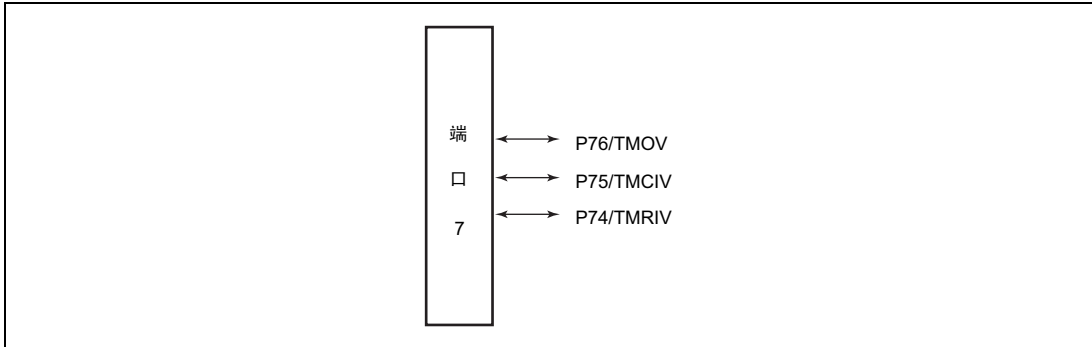


图 9.4 端口 7 的管脚结构

端口 7 有以下寄存器：

- 端口控制寄存器 7 (PCR7)
- 端口数据寄存器 7 (PDR7)

9.4.1 端口控制寄存器 7 (PCR7)

PCR7 按位选择用作端口 7 的通用输入/输出端口的管脚输入/输出。

位	位名	初始值	R/W	说 明
7	—	—	—	保留位。
6	PCR76	0	W	如果将此位置 1，对应的管脚就为输出端口；如果清 0，就为输入端口。但是，对于 P76/TMOV 管脚的输入/输出方向，优先定时器 V 的 TCSR _V 的设定。
5	PCR75	0	W	
4	PCR74	0	W	
3~0	—	全 1	—	保留位。

9.4.2 端口数据寄存器 7 (PDR7)

PDR7 是端口 7 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。 总是读出 1。
6	P76	0	R/W	保存端口 7 的输出值。
5	P75	0	R/W	如果读此寄存器，对于被 PCR7 置位的位，就读取此寄存器的值；对于被 PCR7 清除的位，与此寄存器的值无关，读取管脚的状态。
4	P74	0	R/W	
3~0	—	全 1	—	保留位。 总是读出 1。

9.4.3 管脚功能

寄存器的设定值与端口的管脚功能的关系如下：

- P76/TMOV管脚

寄存器名	TCSR.V	PCR7	功 能
位名	OS3~OS0	PCR76	
设定值	0000	0	P76 输入管脚
		1	P76 输出管脚
	除上述以外	X	TMOV 输出管脚

【注】 X: Don't care

- P75/TMCIV管脚

寄存器名	PCR7	功 能
位名	PCR75	
设定值	0	P75 输入/TMCIV 输入管脚
	1	P75 输出/TMCIV 输入管脚

- P74/TMRIV管脚

寄存器名	PCR7	功 能
位名	PCR74	
设定值	0	P74 输入/TMRIV 输入管脚
	1	P74 输出/TMRIV 输入管脚

9.5 端口 8

端口 8 是与定时器 W 的输入/输出管脚兼用的输入/输出端口。端口 8 的各管脚结构如图 9.5 所示。对于 P84/FTIOD、P83/FTIOC、P82/FTIOB 和 P81/FTIOA 的功能，优先定时器 W 寄存器的设定。P80/FTCI 管脚是定时器 W 输入兼用端口，与端口 8 的寄存器的设定无关，被连接到定时器 W。

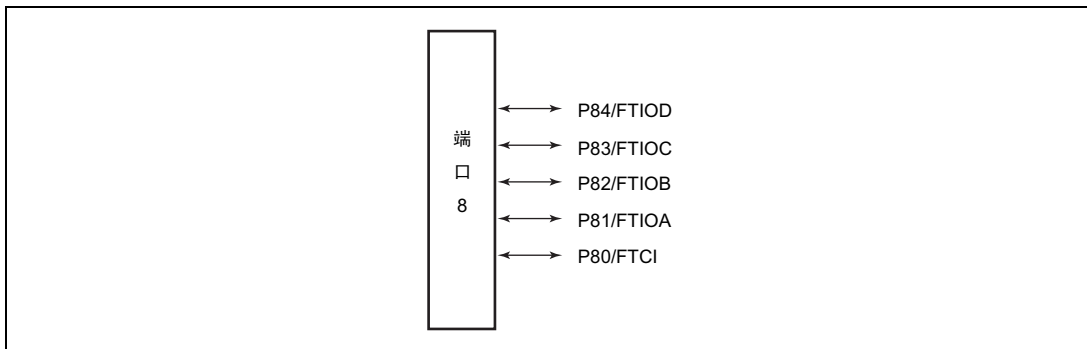


图 9.5 端口 8 的管脚结构

端口 8 有以下寄存器：

- 端口控制寄存器 8 (PCR8)
- 端口数据寄存器 8 (PDR8)

9.5.1 端口控制寄存器 8 (PCR8)

PCR8 按位选择用作端口 8 的通用输入/输出端口的管脚输入/输出。

位	位名	初始值	R/W	说 明
7~5	—	全 1	—	保留位
4	PCR84	0	W	在选择通用输入/输出端口的功能时，如果将此位置 1，对应的管脚就为输出端口；如果清 0，就为输入端口。
3	PCR83	0	W	
2	PCR82	0	W	
1	PCR81	0	W	
0	PCR80	0	W	

9.5.2 端口数据寄存器 8 (PDR8)

PDR8 是端口 8 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7~5	—	全 1	—	保留位
4	P84	0	R/W	保存端口 8 的输出值。 如果读此寄存器，对于被 PCR8 置位的位，就读取此寄存器的值；对于被 PCR8 清除的位，与此寄存器的值无关，读取管脚的状态。
3	P83	0	R/W	
2	P82	0	R/W	
1	P81	0	R/W	
0	P80	0	R/W	

9.5.3 管脚功能

寄存器的设定值与端口的管脚功能的关系如下：

- P84/FTIOD管脚

寄存器名	TIOR1			PCR8	功 能
	IOD2	IOD1	IOD0	PCR84	
设定值	0	0	0	0	P84 输入/FTIOD 输入管脚
				1	P84 输出/FTIOD 输入管脚
	0	0	1	X	FTIOD 输出管脚
				X	FTIOD 输出管脚
	1	X	X	0	P84 输入/FTIOD 输入管脚
				1	P84 输出/FTIOD 输入管脚

【注】 X: Don't care

- P83/FTIOC管脚

寄存器名	TIOR1			PCR8	功 能
	IOC2	IOC1	IOC0	PCR83	
设定值	0	0	0	0	P83 输入/FTIOC 输入管脚
				1	P83 输出/FTIOC 输入管脚
	0	0	1	X	FTIOC 输出管脚
				X	FTIOC 输出管脚
	1	X	X	0	P83 输入/FTIOC 输入管脚
				1	P83 输出/FTIOC 输入管脚

【注】 X: Don't care

• P82/FTIOB管脚

寄存器名	TIOR0			PCR8	功 能
	位名	IOB2	IOB1	IOB0	
设定值	0	0	0	0	P82 输入/FTIOB 输入管脚
				1	P82 输出/FTIOB 输入管脚
	0	0	1	X	FTIOB 输出管脚
	0	1	X	X	FTIOB 输出管脚
	1	X	X	0	P82 输入/FTIOB 输入管脚
				1	P82 输出/FTIOB 输入管脚

【注】 X: Don't care

• P81/FTIOA管脚

寄存器名	TIOR0			PCR8	功 能
	位名	IOA2	IOA1	IOA0	
设定值	0	0	0	0	P81 输入/FTIOA 输入管脚
				1	P81 输出/FTIOA 输入管脚
	0	0	1	X	FTIOA 输出管脚
	0	1	X	X	FTIOA 输出管脚
	1	X	X	0	P81 输入/FTIOA 输入管脚
				1	P81 输出/FTIOA 输入管脚

【注】 X: Don't care

• P80/FTCI管脚

寄存器名	PCR8	功 能
位名	PCR80	
设定值	0	P80 输入/FTCI 输入管脚
	1	P80 输出/FTCI 输入管脚

9.6 端口 B

端口 B 是与 A/D 转换器的模拟输入管脚、LVD 的外部比较电压输入管脚兼用的输入端口。端口 B 的各管脚结构如图 9.6 所示。

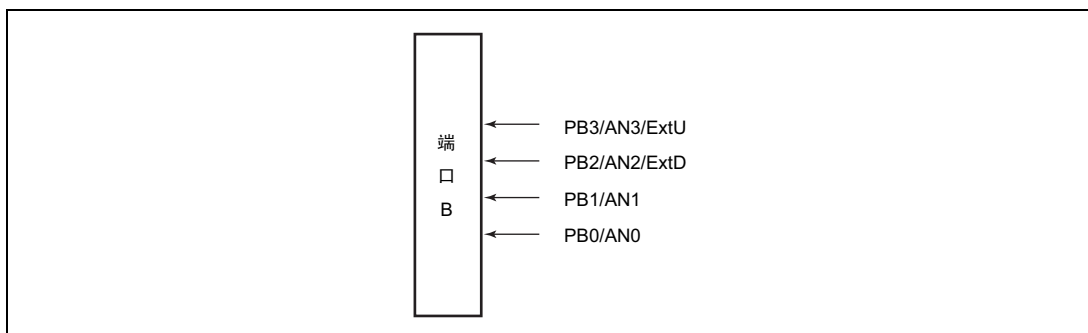


图 9.6 端口 B 的管脚结构

端口 B 有以下寄存器：

- 端口数据寄存器 B (PDRB)

9.6.1 端口数据寄存器 B (PDRB)

PDRB 是端口 B 的通用输入端口数据寄存器。

位	位名	初始值	R/W	说 明
7~4	—	全 1	—	保留位
3	PB3	—	R	如果读此寄存器，就能读出各管脚的输入值。 但是，在读由 A/D 转换器的 ADCSR 指定为模拟输入通道的管脚或者由低电压检测电路的 LVDCR 指定为外部比较电压的输入管脚时，就读出 0。
2	PB2	—	R	
1	PB1	—	R	
0	PB0	—	R	

9.6.2 管脚功能

寄存器的设定值与端口的管脚功能的关系如下：

- PB3/AN3/ExtU管脚

寄存器名	ADCSR			LVDCR	功 能
位名	CH2	CH1	CH0	VDDII	
设定值	0	1	1	1	AN3 输入管脚
	除上述以外			0	AN3 输入管脚/ExtU 输入管脚
	除上述以外			1	PB3 输入管脚
	除上述以外			0	PB3 输入管脚/ExtU 输入管脚

- PB2/AN2/ExtD管脚

寄存器名	ADCSR				LVDCR	功 能
位名	CH2	SCAN	CH1	CH0	VDDII	
设定值	0	0	1	0	1	AN2 输入管脚
	0	1	1	X	0	AN2 输入管脚/ExtD 输入管脚
	除上述以外				1	PB2 输入管脚
	除上述以外				0	PB2 输入管脚/ExtD 输入管脚

【注】 X: Don't care

- PB1/AN1管脚

寄存器名	ADCSR				功 能
位名	CH2	SCAN	CH1	CH0	
设定值	0	X	0	1	AN1 输入管脚
	0	1	1	X	
	除上述以外				PB1 输入管脚

【注】 X: Don't care

- PB0/AN0管脚

寄存器名	ADCSR				功 能
位名	CH2	SCAN	CH1	CH0	
设定值	0	0	0	0	AN0 输入管脚
	0	1	X	X	
	除上述以外				PB0 输入管脚

【注】 X: Don't care

9.7 端口 C

端口 C 是外部振荡管脚、时钟输出管脚和输入/输出管脚。端口 C 的各管脚结构如图 9.7 所示。对于兼用管脚的功能，优先 CKCSR 的寄存器设定。

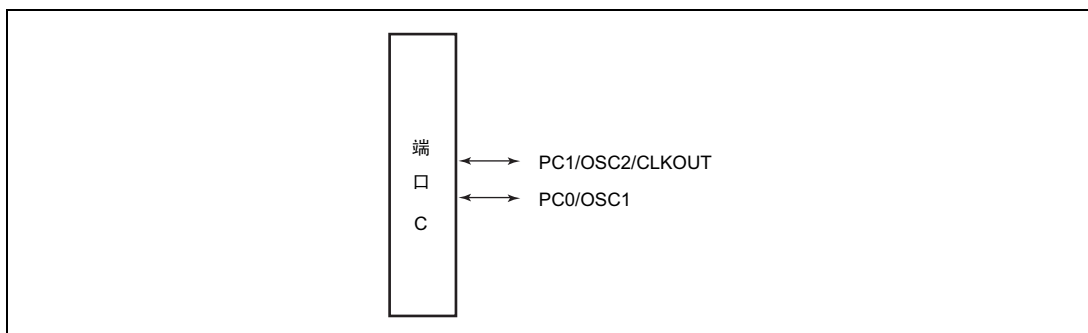


图 9.7 端口 C 的管脚结构

端口 C 有以下寄存器：

- 端口控制寄存器 C (PCRC)
- 端口数据寄存器 C (PDRC)

9.7.1 端口控制寄存器 C (PCRC)

PCRC 按位指定用作通用输出端口的管脚输入/输出端口。

位	位名	初始值	R/W	说 明
7~2	—	全 1	—	保留位
1	PCRC1	0	W	在选择通用输入/输出端口的功能时，如果将此位置 1，对应的管脚就为输出端口；如果清 0，就为输入端口。
0	PCRC0	0	W	

9.7.2 端口数据寄存器 C (PDRC)

PDRC 是端口 C 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7~2	—	全 1	—	保留位
1	PC1	0	R/W	保存端口 C 的输出值。 如果读此寄存器，对于被 PCRC 置位的位，就读取此寄存器的值；对于被 PCRC 清除的位，与此寄存器的值无关，读取管脚的状态。
0	PC0	0	R/W	

9.7.3 管脚功能

寄存器的设定值与端口的管脚功能的关系如下：

- PC1/OSC2/CLKOUT管脚

寄存器名	CKCSR		PCRC	功 能
位名	PMRC1	PMRC0	PCRC1	
设定值	0	X	0	PC1 输入管脚
			1	PC1 输出管脚
	1	0	X	CLKOUT 输出管脚
			1	X

【注】 X: Don't care

- PC0/OSC1管脚

寄存器名	CKCSR	PCRC	功 能
位名	PMRC0	PCRC0	
设定值	0	0	PC0 输入管脚
		1	PC0 输出管脚
	1	X	OSC1 振荡管脚

【注】 X: Don't care

第 10 章 定时器 B1

定时器 B1 是由输入时钟进行累加计数的 8 位定时器,有间隔和自动再装入 2 种功能。定时器 B1 的框图如图 10.1 所示。

10.1 特点

- 时钟选择: 7种
可选择7种时钟 ($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$)
- 由计数器的溢出产生中断

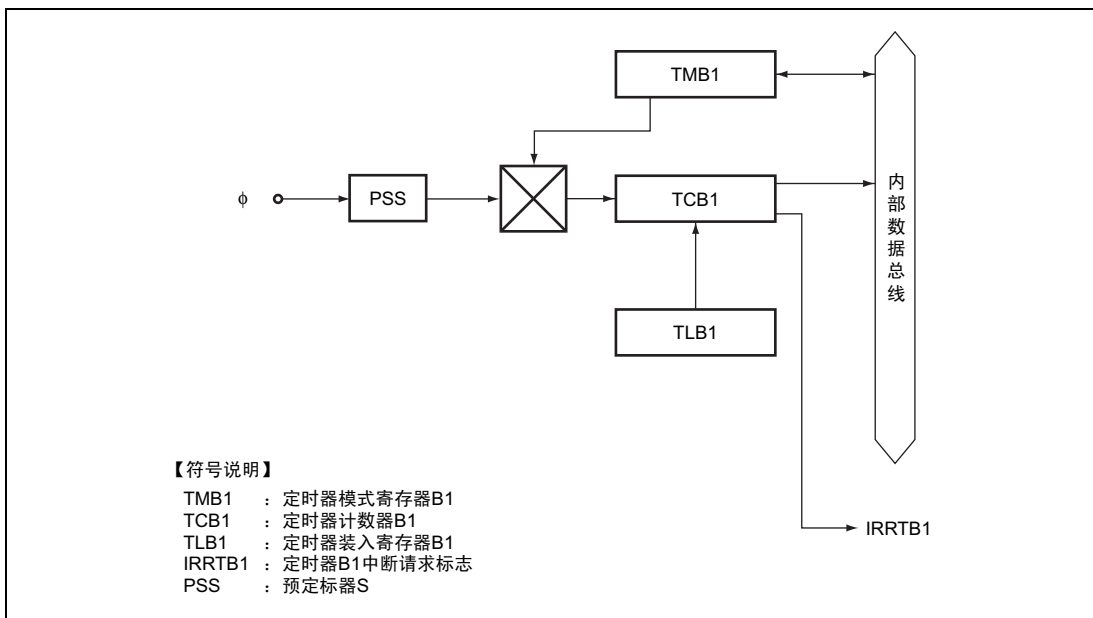


图 10.1 定时器 B1 的框图

10.2 寄存器说明

定时器B1有以下寄存器：

- 定时器模式寄存器B1（TMB1）
- 定时器计数器B1（TCB1）
- 定时器装入寄存器B1（TLB1）

10.2.1 定时器模式寄存器 B1（TMB1）

TMB1 选择自动再装入功能和输入时钟。

位	位名	初始值	R/W	说 明
7	TMB17	0	R/W	自动再装入功能选择 0: 选择间隔功能 1: 选择自动再装入功能
6	—	1	R/W	保留位 可读写，但不能清0。
5~3	—	全 1	—	保留位 总是读出 1。
2	TMB12	0	R/W	时钟选择 000: 用内部时钟 ϕ /8192 计数 001: 用内部时钟 ϕ /2048 计数 010: 用内部时钟 ϕ /512 计数 011: 用内部时钟 ϕ /256 计数 100: 用内部时钟 ϕ /64 计数 101: 用内部时钟 ϕ /16 计数 110: 用内部时钟 ϕ /4 计数 111: 保留（不能设定）
1	TMB11	0	R/W	
0	TMB10	0	R/W	

10.2.2 定时器计数器 B1（TCB1）

TCB1 是 8 位可读增量计数器，根据输入的内部时钟进行累加计数。输入的时钟通过 TMB1 的 TMB12~TMB10 进行选择。随时能从 CPU 读取 TCB1 的值。如果 TCB1 溢出（H'FF→H'00 或者 H'FF→TLB1 的设定值），IRR2 的 IRRTB1 标志就被置 1。TCB1 被分配到和 TLB1 相同的地址。

10.2.3 定时器装入寄存器 B1（TLB1）

TLB1 是 8 位的写专用寄存器，设定 TCB1 的再装入值。如果给 TLB1 设定再装入值，该值也同时被装入到 TCB1，TCB1 从该值开始累加计数。另外，如果在自动再装入运行时 TCB1 溢出，TLB1 的值就被装入到 TCB1。因此，能在 1~256 的范围内设定溢出周期。TLB1 被分配到和 TCB1 相同的地址。

10.3 运行说明

10.3.1 间隔定时器的运行

如果将 TMB1 的 TMB17 清 0，定时器 B1 就作为 8 位的间隔定时器运行。由于在复位时 TCB1 被清为 H'00 并且 TMB17 被清 0，所以在复位后作为间隔定时器不停运行而继续累加计数。定时器 B1 的运行时钟能通过 TMB1 的 TMB12~TMB10 选择预定标器 S 输出的 7 种内部时钟。

如果在 TMB1 的计数值变为 H'FF 后输入时钟，定时器 B1 就溢出，IRR2 的 IRRTB1 标志被置 1。此时，如果 IENR2 的 IENTB1 为 1，就向 CPU 请求中断。

溢出时，TCB1 的计数值返回到 H'00，并重新开始累加计数。如果在间隔定时器运行时 (TMB17=0) 设定 TLB1，TLB1 的值也同时被装入到 TCB1。

10.3.2 自动再装入定时器的运行

如果将 TMB1 的 TMB17 置 1，定时器 B1 就作为 8 位的自动再装入定时器运行。如果给 TLB1 设定再装入值，该值也同时被装入到 TCB1，TCB1 从该值开始累加计数。如果在 TCB1 的计数值变为 H'FF 后输入时钟，定时器 B1 就溢出，TLB1 的值被装入到 TCB1，从该值继续累加计数。因此，根据 TLB1 的值，能在 1~256 的范围内设定溢出周期。

自动再装入运行时的时钟和中断与间隔运行时相同。另外，如果在自动再装入运行时 (TMB17=1) 重新设定 TLB1 的值，TLB1 的值也同时被装入到 TCB1。

10.4 定时器 B1 的运行模式

定时器 B1 运行模式如表 10.1 所示。

表 10.1 定时器 B1 的运行模式

运行模式		复位	激活	睡眠	子睡眠	待机
TCB1	间隔	复位	运行	运行	停止	停止
	自动再装入	复位	运行	运行	停止	停止
TMB1		复位	运行	保持	保持	保持

第 11 章 定时器 V

定时器 V 是基于 8 位计数器的 8 位定时器。除了能进行外部事件的计数以外，还能通过 2 个寄存器的比较匹配信号，进行计数器的复位、中断请求和输出任意占空比脉冲等。另外，由于具有通过 TRGV 管脚的触发输入开始计数的功能，因此，可以从触发输入开始经过任意时间后，控制与触发同步的脉冲输出。定时器 V 的框图如图 11.1 所示。

11.1 特点

- 可以选择 7 种时钟
能从 6 种内部时钟 ($\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$) 和外部时钟中选择。
- 可以指定计数器的清除信号
能从比较匹配 A、比较匹配 B 或者外部复位信号中选择。在选择停止计数功能时，清除计数器的同时停止计数。
- 通过 2 个比较匹配信号的组合，控制定时器输出
根据 2 个可独立运行的比较匹配信号的组合，能进行任意占空比的脉冲输出和 PWM 输出等各种应用。
- 中断源
有比较匹配 A、比较匹配 B 和定时器溢出 3 种中断源。
- 通过触发输入开始计数的功能
具有通过 TRGV 管脚的触发输入开始计数的功能。TRGV 管脚的触发输入可以选择上升沿、下降沿或者两边沿。

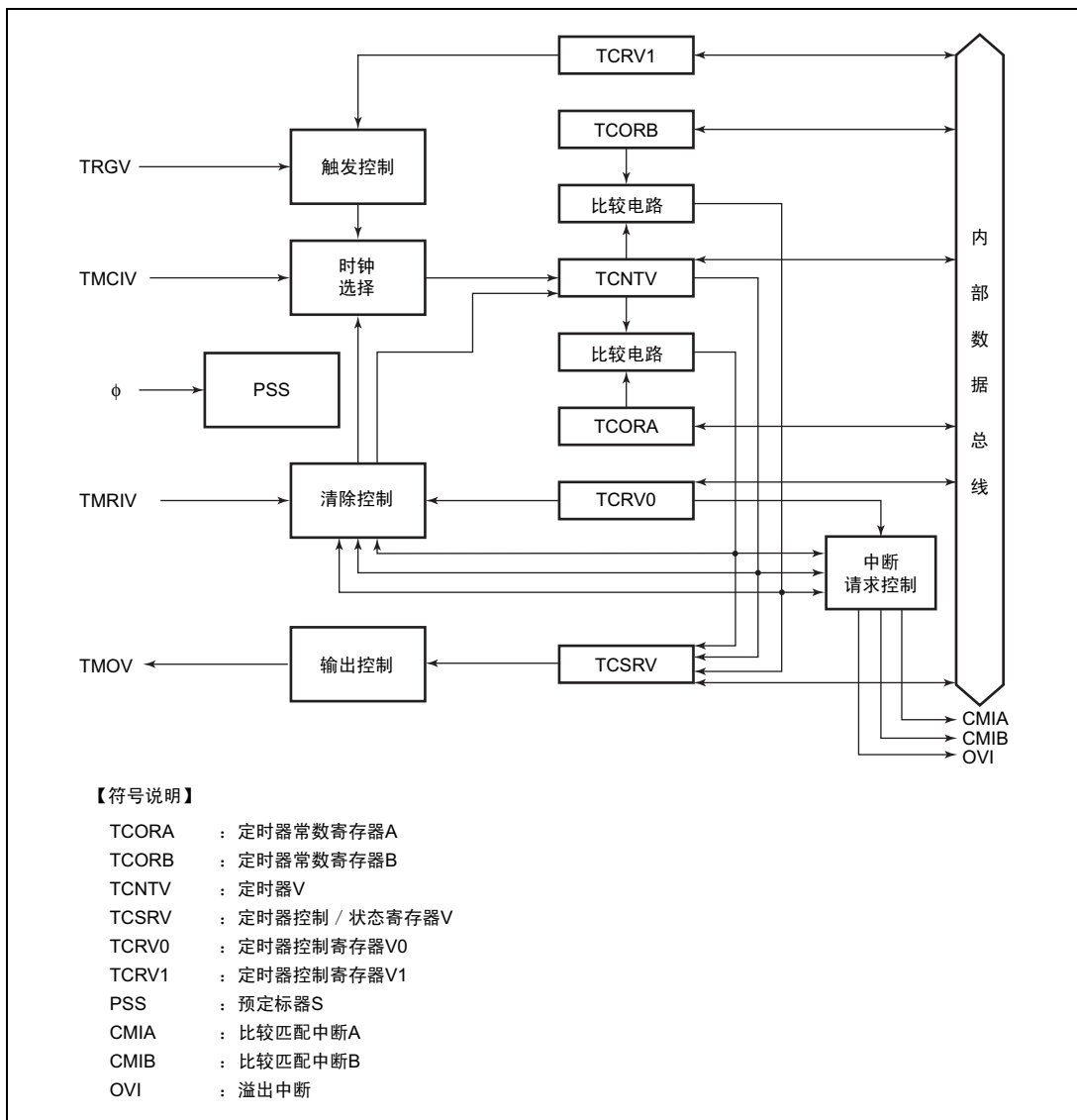


图 11.1 定时器 V 的框图

11.2 输入/输出管脚

定时器 V 的管脚结构如表 11.1 所示。

表 11.1 管脚结构

名称	略称	输入/输出	功 能
定时器 V 输出	TMOV	输出	定时器 V 的波形输出管脚
定时器 V 时钟输入	TMCIV	输入	输入到 TCNTV 的时钟输入管脚
定时器 V 复位输入	TMRIV	输入	复位 TCNTV 的外部输入管脚
触发输入	TRGV	输入	开始计数的触发输入管脚

11.3 寄存器说明

定时器 V 有以下寄存器：

- 定时器计数器 V (TCNTV)
- 时间常数寄存器 A (TCORA)
- 时间常数寄存器 B (TCORB)
- 定时器控制寄存器 V0 (TCRV0)
- 定时器控制/状态寄存器 V (TCSR V)
- 定时器控制寄存器 V1 (TCRV1)

11.3.1 定时器计数器 V (TCNTV)

TCNTV 是 8 位增量计数器。通过 TCRV0 的 CKS2~CKS0 选择时钟。CPU 能随时读写 TCNTV 的值。TCNTV 能由外部复位输入信号、比较匹配信号 A 或者比较匹配信号 B 清除。不论由哪种信号清除，都用 TCRV0 的 CCLR1 和 CCLR0 选择。另外，如果 TCNTV 溢出，TCSR V 的 OVF 就被置 1。TCNTV 的初始值是 H'00。

11.3.2 时间常数寄存器 A、B (TCORA、TCORB)

TCORA 和 TCORB 具有相同的功能。

TCORA 是 8 位可读写寄存器。TCORA 的值不断地与 TCNTV 比较，如果一致，TCSR V 的 CMFA 就置 1。此时，如果 TCRV0 的 CMIEA 是 1，就向 CPU 发出中断请求。但是，在 TCORA 的写周期的 T3 状态禁止比较。另外，能根据 TCORA 和 TCNTV 一致的信号（比较匹配 A）和设定 TCSR V 的 OS3~OS0，控制 TMOV 管脚的定时器输出。

TCORA、TCORB 的初始值是 H'FF。

11.3.3 定时器控制寄存器 V0 (TCRV0)

TCRV0 选择 TCNTV 输入时钟、指定 TCNTV 清除条件和控制各中断请求。

位	位名	初始值	R/W	说 明
7	CMIEB	0	R/W	比较匹配中断允许 B 1：允许由 TCSRv 的 CMFB 产生的中断请求。
6	CMIEA	0	R/W	比较匹配中断允许 A 1：允许由 TCSRv 的 CMFA 产生的中断请求。
5	OVIE	0	R/W	定时器溢出中断允许 1：允许由 TCSRv 的 OVF 产生的中断请求。
4	CCLR1	0	R/W	计数器清除 1~0 指定 TCNTV 的清除条件。 00：不被清除。 01：通过比较匹配 A 清除。 10：通过比较匹配 B 清除。 11：通过在 TMRIV 管脚的上升沿清除。 清除后的 TCNTV 运行因 TCRV1 的 TRGE 而不同。
3	CCLR0	0	R/W	
2	CKS2	0	R/W	时钟选择 2~0 通过和 TCRV1 的 ICKS0 组合，选择输入到 TCNTV 的时钟和计数条件。请参照表 11.2。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 11.2 输入到 TCNTV 的时钟和计数条件

TCRV0			TCRV1	说 明
位 2	位 1	位 0	位 0	
CKS2	CKS1	CKS0	ICKS0	
0	0	0	—	禁止时钟输入
0	0	1	0	在内部时钟 $\phi/4$ 下降沿计数
0	0	1	1	在内部时钟 $\phi/8$ 下降沿计数
0	1	0	0	在内部时钟 $\phi/16$ 下降沿计数
0	1	0	1	在内部时钟 $\phi/32$ 下降沿计数
0	1	1	0	在内部时钟 $\phi/64$ 下降沿计数
0	1	1	1	在内部时钟 $\phi/128$ 下降沿计数
1	0	0	—	禁止时钟输入
1	0	1	—	在外部时钟的上升沿计数
1	1	0	—	在外部时钟的下降沿计数
1	1	1	—	在外部时钟的上升/下降两边沿计数

11.3.4 定时器控制/状态寄存器 V (TCSR_V)

TCSR_V 表示状态标志和进行由比较匹配的输出控制。

位	位名	初始值	R/W	说 明
7	CMFB	0	R/W	比较匹配标志 B [置位条件] 当 TCNTV 的值与 TCORB 的值一致时 [清除条件] 在 CMFB=1 的状态下, 读 CMFB 以后, CMFB 写 0 时
6	CMFA	0	R/W	比较匹配标志 A [置位条件] 当 TCNTV 的值与 TCORA 的值一致时 [清除条件] 在 CMFA=1 的状态下, 读 CMFA 以后, CMFA 写 0 时
5	OVF	0	R/W	定时器溢出标志 [置位条件] 当 TCNTV 的值从 H'FF 溢出为 H'00 时 [清除条件] 在 OVF=1 的状态下, 读 OVF 以后, OVF 写 0 时
4	—	1	—	保留位。总是读出 1。
3	OS3	0	R/W	输出选择 3~2 选择 TCORB 和 TCNTV 比较匹配的 TMOV 管脚的输出方法。 00: 不变化 01: 0 输出 10: 1 输出 11: 交替输出
2	OS2	0	R/W	
1	OS1	0	R/W	输出选择 1~0 选择 TCORA 和 TCNTV 比较匹配的 TMOV 管脚的输出方法。 00: 不变化 01: 0 输出 10: 1 输出 11: 交替输出
0	OS0	0	R/W	

OS3 和 OS2 选择比较匹配 B 的输出方法, OS1 和 OS0 选择比较匹配 A 的输出方法, 各自都能独立设定。复位后, 在发生最初的比较匹配之前, 定时器输出为 0。

11.3.5 定时器控制寄存器 V1 (TCRV1)

TCRV1 选择 TRGV 管脚的边沿、TRGV 输入的允许和 TCNTV 输入时钟。

位	位名	初始值	R/W	说 明
7~5	—	全 1	—	保留位。总是读出 1。
4	TVEG1	0	R/W	TRGV 输入边沿选择
3	TVEG0	0	R/W	选择 TRGV 管脚的输入边沿。 00: 禁止 TRGV 的触发输入 01: 选择上升沿 10: 选择下降沿 11: 选择上升/下降两边沿
2	TRGE	0	R/W	根据 TVEG1 和 TVEG0 选择的边沿输入, 开始 TCNTV 累加计数。 0: 通过 TRGV 管脚输入开始 TCNTV 累加计数以及通过比较匹配清除 TCNTV 时, 禁止 TCNTV 累加计数的停止 1: 通过 TRGV 管脚输入开始 TCNTV 累加计数以及通过比较匹配清除 TCNTV 时, 允许 TCNTV 累加计数的停止
1	—	1	—	保留位。总是读出 1。
0	ICKS0	0	R/W	内部时钟选择 0 通过和 TCRV0 的 CKS2~CKS0 组合, 选择输入到 TCNTV 的时钟。请参照表 11.2。

11.4 运行说明

11.4.1 定时器 V 的运行

1. 定时器V的运行时钟根据表11.2, 能选择预定标器S输出的6种内部时钟或者外部时钟。如果选择运行时钟, TCNTV就开始累加计数。选择内部时钟时的计数时序如图11.2, 选择外部时钟的两边沿时的计数时序如图11.3所示。
2. 如果TCNTV从H'FF溢出为H'00, TCSR的OVF就被置位, 此时的时序如图11.4所示。如果TCRV0的OVIE是1, 就向CPU发出中断请求。
3. TCNTV不断地和TCORA、TCORB比较, 如果一致, TCSR的CMFA、CMFB分别被置1。在值一致后的最后状态产生比较匹配信号, 此时的时序如图11.5所示。如果TCRV0的CMIEA或者CMIEB是1, 就向CPU发出中断请求。
4. 当发生比较匹配A或B时, 由TCSR的OS3~OS0选择的输出值从TMOV管脚输出。通过比较匹配A信号进行交替输出时的输出时序如图11.6所示。
5. 如果TCRV0的CCLR1、CCLR0是01或者10, 就用对应的比较匹配清除TCNTV。清除时序如图11.7所示。

6. 如果TCRV0的CCLR1和CCLR0是11，就用TMRIV管脚输入的上升沿清除TCNTV。TMRIV输入的脉宽需要1.5个以上的系统时钟，清除时序如图11.8所示。
7. 如果在TCRV1的TRGE置1的状态下发生计数器清除源，就在清除TCNTV的同时停止累加计数。如果从TRGV管脚输入由TCRV1的TVEG1或者TVEG0选择的边沿，就重新开始TCNTV的累加计数。

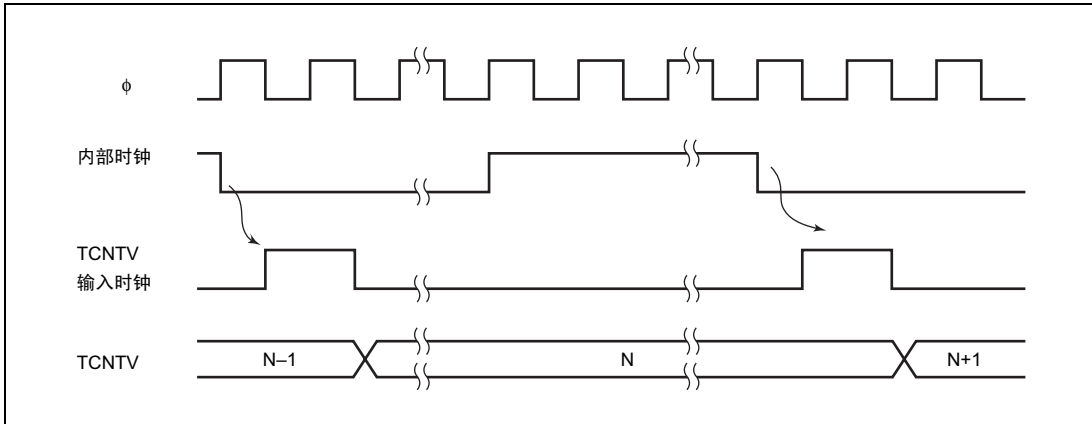


图 11.2 内部时钟运行时的计数时序

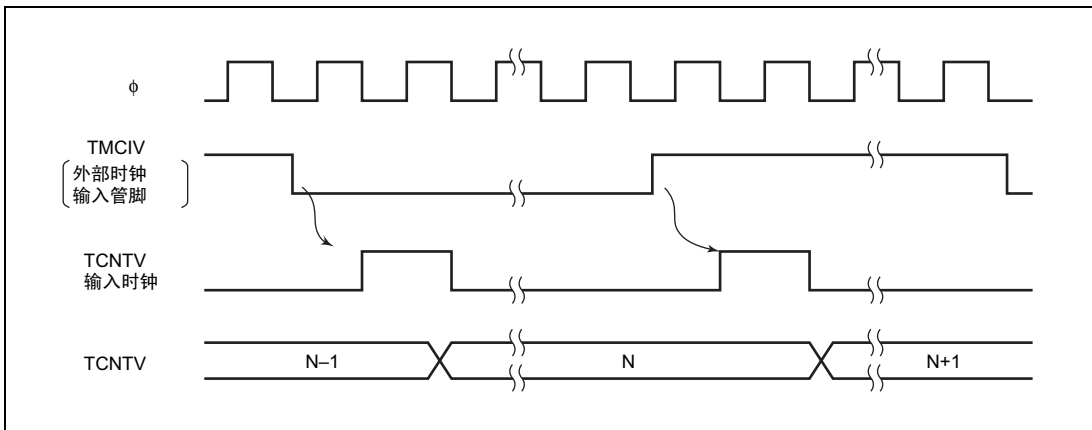


图 11.3 外部时钟运行时的计数时序

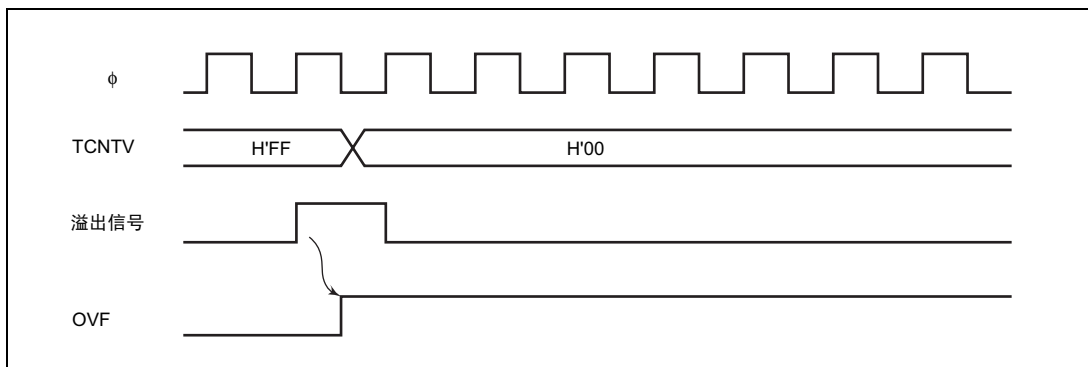


图 11.4 OVF 的置位时序

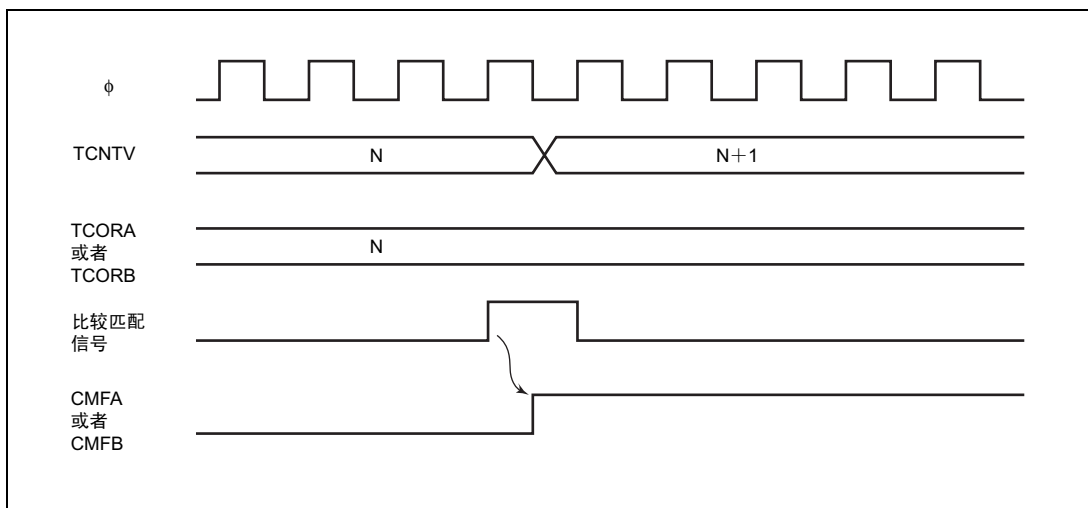


图 11.5 CMFA 和 CMFB 的置位时序

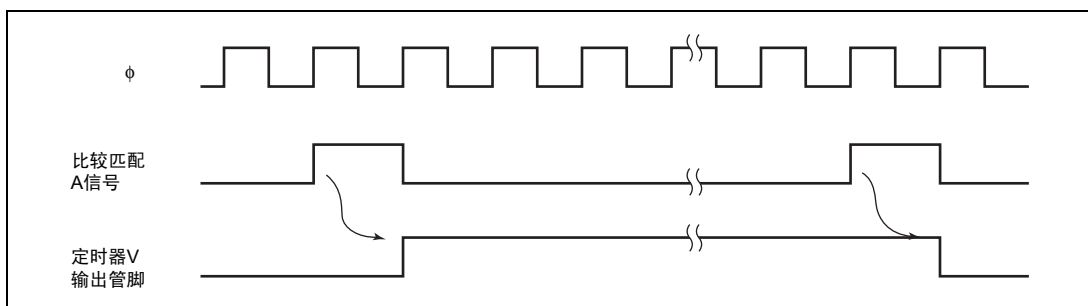


图 11.6 TMOV 输出时序

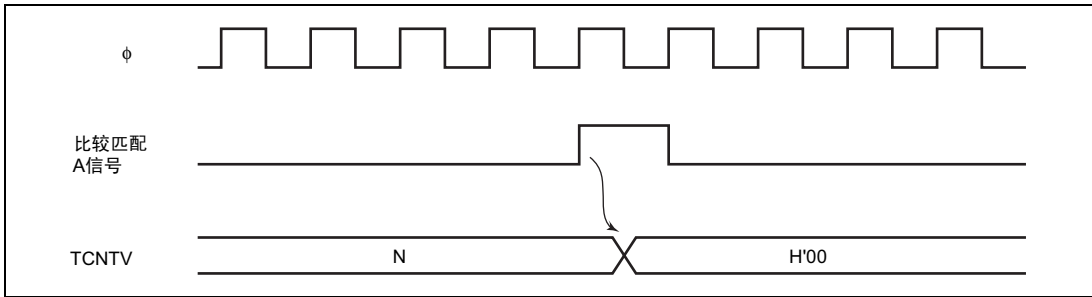


图 11.7 通过比较匹配进行的清除时序

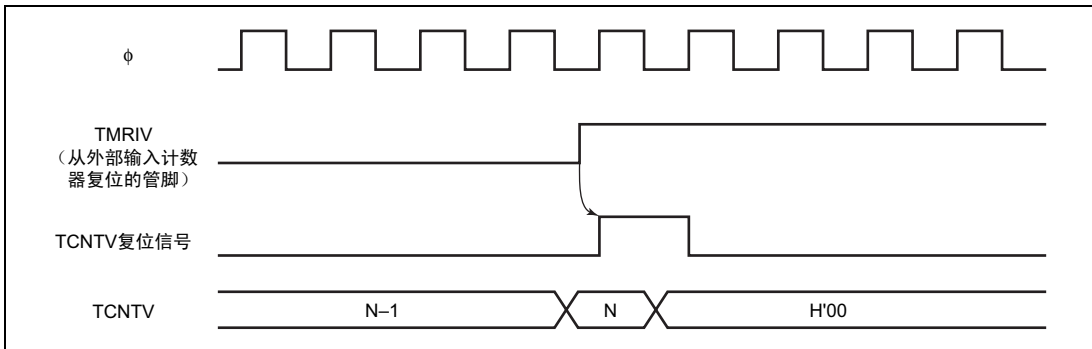


图 11.8 通过 TMRIV 输入进行的清除时序

11.5 定时器 V 的使用例

11.5.1 输出任意占空比脉冲

输出任意占空比脉冲的例子如图 11.9 所示。

1. 为了通过TCORA比较匹配清除TCNTV，设定TCRV0的CCLR1和CCLR0。
2. 为了通过TCORA比较匹配输出1、通过TCORB比较匹配输出0，设定TCSR的OS3~OS0。
3. 设定TCRV0的CKS2~CKS0和TCRV1的ICKS0，选择所希望的时钟源。
4. 根据上述设定，可以不通过软件输出TCORA为周期、TCORB为脉宽的波形。

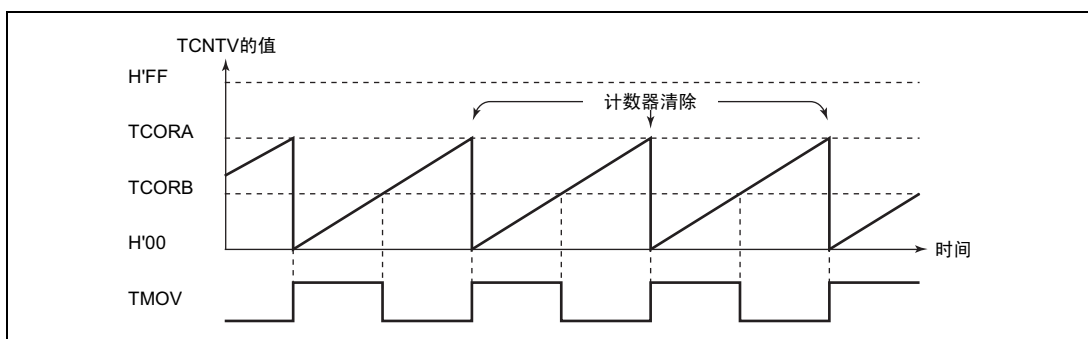


图 11.9 脉冲输出例子

11.5.2 TRGV 输入中的任意延迟时间和任意脉宽的脉冲输出

利用通过 TRGV 输入开始累加计数的功能，能输出来自 TRGV 输入的任何延迟时间和任意脉宽的脉冲。该输出例子如图 11.10 所示。

1. 为了通过TCORB比较匹配清除TCNTV，设定TCRV0的CCLR1和CCLR0。
2. 为了通过TCORA比较匹配输出1、通过TCORB的比较匹配输出0，设定TCSR0的OS3~OS0。
3. 为了使TRGV输入的下沿有效，设定TCRV1的TVEG1~TVEG0和TRGE。
4. 设定TCRV0的CKS2~CKS0和TCRV1的ICKS0，选择所希望的时钟源。
5. 根据上述设定，可以不通过软件输出同步于TRGV输入的且延迟时间为TCORA、脉宽为(TCORB-TCORA)的波形。

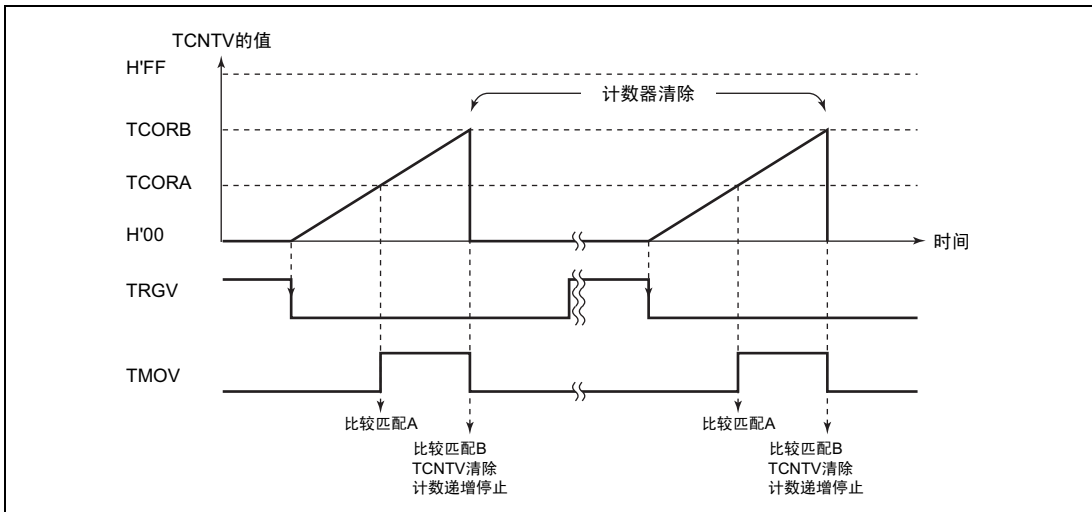


图 11.10 同步于 TRGV 输入的脉冲输出例子

11.6 使用注意事项

在定时器 V 的运行过程中，会发生以下的竞争和动作：

1. 在写周期的T3状态进行寄存器的写操作。如图11.11所示，如果在TCNTV写周期的T3状态产生TCNTV清除信号，就优先清除而不写计数器。只有在TCNTV写周期的T3状态发生累加计数的情况下，才优先写计数器。
2. 在TCORA或TCORB写周期的T3状态发生比较匹配的情况下，优先写TCORA或者TCORB，禁止比较匹配信号。该时序如图11.12所示。
3. 如果比较匹配A和比较匹配B同时发生，对于比较匹配A设定的输出和对于比较匹配B设定的输出有可能会出现竞争。此时，按照交替输出>1输出>0输出的优先顺序，输出发生变化。
4. 根据转换内部时钟的时序，TCNTV有可能被累加计数。如果使用内部时钟，就在检测到将系统时钟(ϕ)分频后的内部时钟的下降沿后，产生一个计数时钟。因此，如图11.13所示，如果按照转换前的时钟“高”电平→转换后的时钟“低”电平的时序转换时钟，就把转换时序视作下降沿产生计数时钟，并且对TCNTV进行累加计数。另外，在转换内部时钟和外部时钟时，TCNTV也有可能被累加计数。

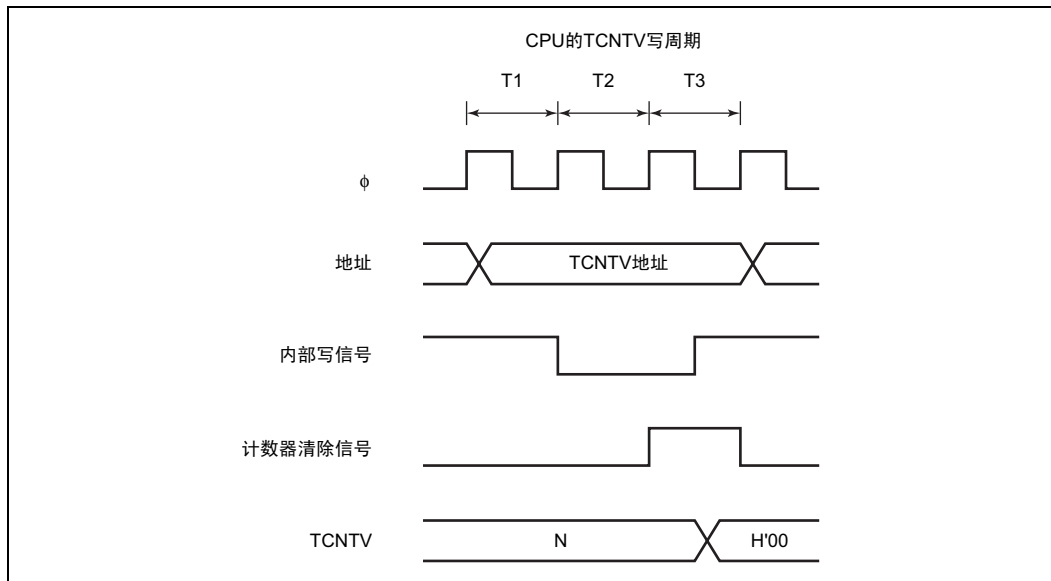


图 11.11 写 TCNTV 和清除的竞争

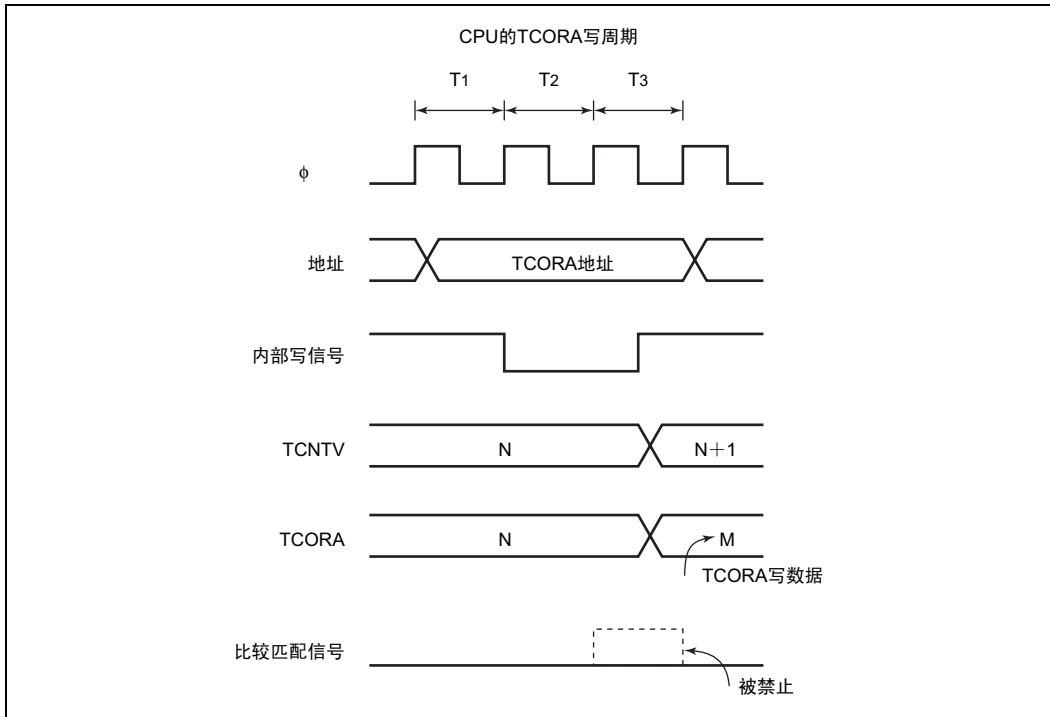


图 11.12 写 TCORA 和比较匹配的竞争

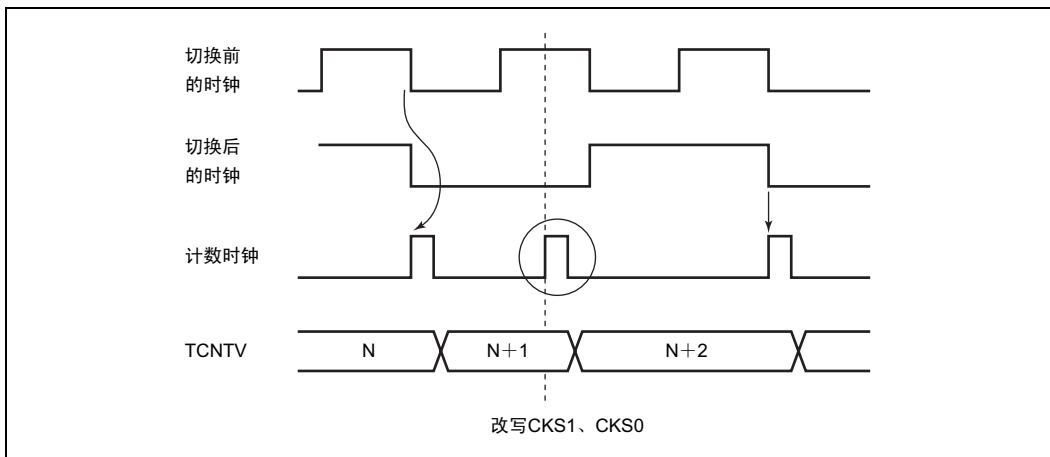


图 11.13 内部时钟的转换和 TCNTV 运行

第 12 章 定时器 W

定时器 W 是内置输出比较功能和输入捕捉功能的 16 位定时器。除了可以对外部事件进行计数以外，还可以通过定时计数器和 4 个通用寄存器的比较匹配信号，作为任意占空比的脉冲输出等多功能定时器进行各种应用。

12.1 特点

- 计数器输入时钟：5 种
4 种内部时钟 (ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$) 或者外部时钟 (外部事件计数)
- 最多可以处理 4 个脉冲输入/输出
- 通用寄存器：4 个
能单独设定为输出比较寄存器或者输入捕捉寄存器
也能用作输出比较/输入捕捉寄存器的缓冲寄存器
- 定时器输入/输出功能
 - 输出比较 : 能进行 0 输出/1 输出/交替输出
 - 输入捕捉 : 检测上升沿/下降沿/两边沿
 - 计数器清除功能 : 能通过比较匹配进行计数器清除
 - PWM 模式 : 最多能进行 3 相 PWM 输出
- 能任意设定定时器输出的初始值
- 5 种中断源
 - 4 种比较匹配/输入捕捉兼用中断、溢出中断

定时器 W 的功能一览表如表 12.1、定时器 W 的框图如图 12.1 所示。

表 12.1 定时器 W 的功能一览表

项目	计数器	输入/输出管脚			
		FTIOA	FTIOB	FTIOC	FTIOD
计数时钟	内部时钟: ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部时钟: FTCl				
通用寄存器 (比较匹配/输入捕捉兼用寄存器)	周期设定为 GRA	GRA	GRB	GRC 在缓冲器运行时 GRA 的缓冲寄存器	GRD 在缓冲器运行时 GRB 的缓冲寄存器
计数器清除功能	GRA 的比较匹配	GRA 的比较匹配	—	—	—
输出初始值设定功能	—	○	○	○	○
缓冲器运行	—	○	○	—	—
比较匹配输出	0 输出	—	○	○	○
	1 输出	—	○	○	○
	交替输出	—	○	○	○
输入捕捉功能	—	○	○	○	○
PWM 模式	—	—	○	○	○
中断源	溢出	比较匹配 /输入捕捉	比较匹配 /输入捕捉	比较匹配 /输入捕捉	比较匹配 /输入捕捉

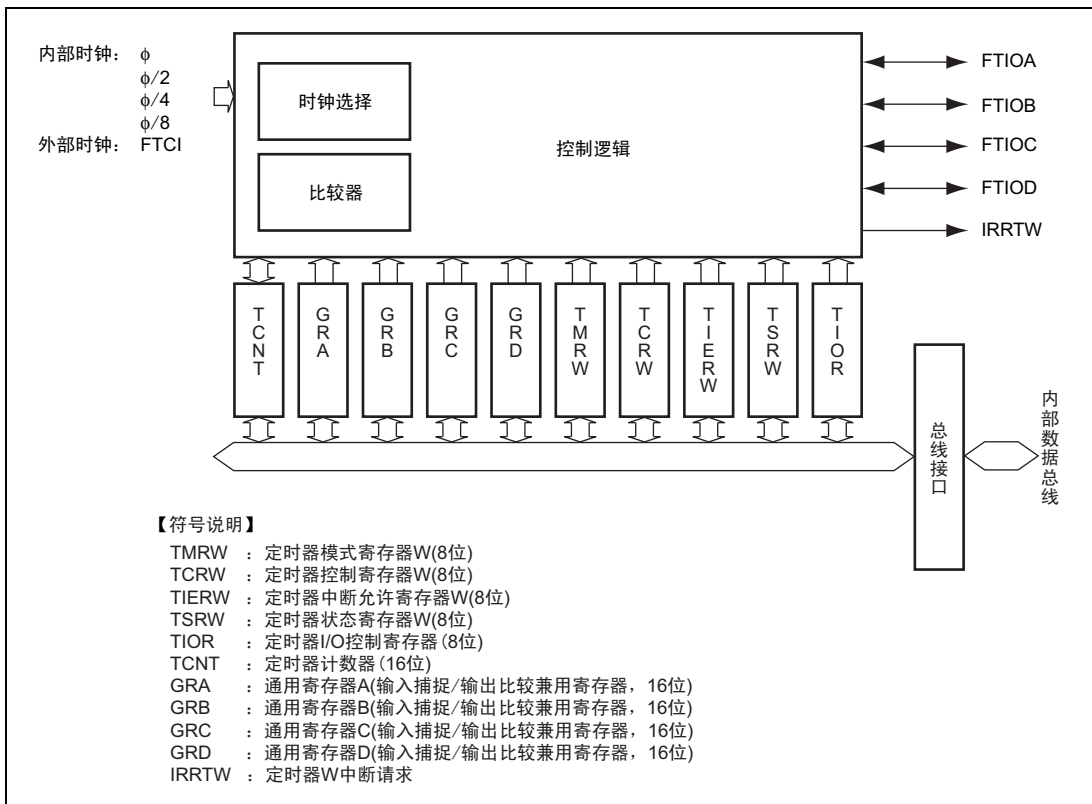


图 12.1 定时器 W 的框图

12.2 输入/输出管脚

定时器W的管脚结构如表12.2所示。

表 12.2 管脚结构

名称	略称	输入/输出	功能
外部时钟输入	FTCI	输入	外部时钟输入管脚
输入捕捉/输出比较 A	FTIOA	输入/输出	GRA 输出比较的输出/GRA 输入捕捉的输入管脚
输入捕捉/输出比较 B	FTIOB	输入/输出	GRB 输出比较的输出/ GRB 输入捕捉的输入管脚/ PWM 输出管脚 (PWM 模式)
输入捕捉/输出比较 C	FTIOC	输入/输出	GRC 输出比较的输出/ GRC 输入捕捉的输入管脚/ PWM 输出管脚 (PWM 模式)
输入捕捉/输出比较 D	FTIOD	输入/输出	GRD 输出比较的输出/ GRD 输入捕捉的输入管脚/ PWM 输出管脚 (PWM 模式)

12.3 寄存器说明

定时器W有以下寄存器：

- 定时器模式寄存器W (TMRW)
- 定时器控制寄存器W (TCRW)
- 定时器中断允许寄存器W (TIERW)
- 定时器状态寄存器W (TSRW)
- 定时器I/O控制寄存器0 (TIOR0)
- 定时器I/O控制寄存器1 (TIOR1)
- 定时器计数器 (TCNT)
- 通用寄存器A (GRA)
- 通用寄存器B (GRB)
- 通用寄存器C (GRC)
- 通用寄存器D (GRD)

12.3.1 定时器模式寄存器 W (TMRW)

TMRW 选择通用寄存器的功能和定时器的输出模式等。

位	位名	初始值	R/W	说 明
7	CTS	0	R/W	计数器启动 0: TCNT 停止计数 1: 进行计数
6	—	1	—	保留位 总是读出 1。
5	BUFEB	0	R/W	缓冲器运行 B 选择 GRD 功能。 0: 作为输入捕捉/输出比较寄存器运行 1: 作为 GRB 的缓冲寄存器运行
4	BUFEA	0	R/W	缓冲器运行 A 选择 GRC 的功能。 0: 作为输入捕捉/输出比较寄存器运行 1: 作为 GRA 的缓冲寄存器运行
3	—	1	—	保留位 总是读出 1。
2	PWMD	0	R/W	PWM 模式 D 选择 FTIOD 管脚的输出模式。 0: 通常的输出比较的输出 1: PWM 输出
1	PWMC	0	R/W	PWM 模式 C 选择 FTIOC 管脚的输出模式。 0: 通常的输出比较的输出 1: PWM 输出
0	PWMB	0	R/W	PWM 模式 B 选择 FTIOB 管脚的输出模式。 0: 通常的输出比较的输出 1: PWM 输出

12.3.2 定时器控制寄存器 W (TCRW)

TCRW选择TCNT的计数器时钟、选择计数器的清除条件以及设定定时器的输出电平

位	位名	初始值	R/W	说 明
7	CCLR	0	R/W	计数器清除 1: 通过比较匹配 A 清除 TCNT。 0: TCNT 作为自由运行计数器运行。
6	CKS2	0	R/W	时钟选择 2~0
5	CKS1	0	R/W	选择输入到 TCNT 的时钟。
4	CKS0	0	R/W	000: 对内部时钟 ϕ 进行计数 001: 对内部时钟 $\phi/2$ 进行计数 010: 对内部时钟 $\phi/4$ 进行计数 011: 对内部时钟 $\phi/8$ 进行计数 1XX: 对外部事件(FTCI) 的上升沿进行计数 在选择内部时钟 ϕ 的情况下, 在子激活和子睡眠模式中, 对子时钟进行计数。
3	TOD	0	R/W	定时器输出电平置位 D 设定在最初发生比较匹配 D 之前的 FTIOD 管脚的输出值。 0: 输出值 0* 1: 输出值 1*
2	TOC	0	R/W	定时器输出电平置位 C 设定在最初发生比较匹配 C 之前的 FTIOC 管脚的输出值。 0: 输出值 0* 1: 输出值 1*
1	TOB	0	R/W	定时器输出电平置位 B 设定在最初发生比较匹配 B 之前的 FTIOB 管脚的输出值。 0: 输出值 0* 1: 输出值 1*
0	TOA	0	R/W	定时器输出电平置位 A 设定在最初发生比较匹配 A 之前的 FTIOA 管脚的输出值。 0: 输出值 0* 1: 输出值 1*

【注】 X: Don't care

* 在变更时反映输出值。

12.3.3 定时器中断允许寄存器 W (TIERW)

TIERW 控制定时器 W 的中断请求。

位	位名	初始值	R/W	说 明
7	OVIE	0	R/W	定时器溢出中断允许 此位为 1 时, 允许由 TSRW 的 OVF 标志产生的中断请求 (FOVI)。
6~4	—	全 1	—	保留位 总是读出 1。
3	IMIED	0	R/W	输入捕捉/比较匹配中断允许 D 此位为 1 时, 允许由 TSRW 的 IMFD 产生的中断请求 IMID。
2	IMIEC	0	R/W	输入捕捉/比较匹配中断允许 C 此位为 1 时, 允许由 TSRW 的 IMFC 产生的中断请求 IMIC。
1	IMIEB	0	R/W	输入捕捉/比较匹配中断允许 B 此位为 1 时, 允许由 TSRW 的 IMFB 产生的中断请求 IMIB。
0	IMIEA	0	R/W	输入捕捉/比较匹配中断允许 A 此位为 1 时, 允许由 TSRW 的 IMFA 产生的中断请求 IMIA。

12.3.4 定时器状态寄存器 W (TSRW)

TSRW 表示中断请求状态。

位	位名	初始值	R/W	说 明
7	OVF	0	R/W	定时器溢出 [置位条件] • TCNT 从 H'FFFF 溢出为 H'0000 时 [清除条件] • 在读到 1 的状态后, 写 0 时
6~4	—	全 1	—	保留位 总是读出 1。

位	位名	初始值	R/W	说 明
3	IMFD	0	R/W	输入捕捉/比较匹配标志 D [置位条件] <ul style="list-style-type: none"> 当 GRD 作为输出比较寄存器运行, 并且与 TCNT 相同时 当 GRD 作为输入捕捉寄存器运行, 并且通过输入捕捉信号将 TCNT 的值传送到 GRD 时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时
2	IMFC	0	R/W	输入捕捉/比较匹配标志 C [置位条件] <ul style="list-style-type: none"> 当 GRC 作为输出比较寄存器运行, 并且与 TCNT 相同时 当 GRC 作为输入捕捉寄存器运行, 并且通过输入捕捉信号将 TCNT 的值传送到 GRC 时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时
1	IMFB	0	R/W	输入捕捉/比较匹配标志 B [置位条件] <ul style="list-style-type: none"> 当 GRB 作为输出比较寄存器运行, 并且与 TCNT 相同时 当 GRB 作为输入捕捉寄存器运行, 并且通过输入捕捉信号将 TCNT 的值传送到 GRB 时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时
0	IMFA	0	R/W	输入捕捉/比较匹配标志 A [置位条件] <ul style="list-style-type: none"> 当 GRA 作为输出比较寄存器运行, 并且与 TCNT 相同时 当 GRA 作为输入捕捉寄存器运行, 并且通过输入捕捉信号将 TCNT 的值传送到 GRA 时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时

12.3.5 定时 I/O 控制寄存器 0 (TIOR0)

TIOR0选择GRA、GRB和FTIOA、FTIOB管脚的功能。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位 总是读出 1。
6	IOB2	0	R/W	I/O 控制 B2 选择 GRB 的功能。 0: 作为输出比较寄存器运行 1: 作为输入捕捉寄存器运行
5 4	IOB1 IOB0	0 0	R/W R/W	I/O 控制 B1~0 当 IOB2=0 时 00: 禁止通过比较匹配的管脚输出 01: 通过 GRB 的比较匹配, 对 FTIOB 管脚进行 0 输出 10: 通过 GRB 的比较匹配, 对 FTIOB 管脚进行 1 输出 11: 通过 GRB 的比较匹配, 对 FTIOB 管脚进行交替输出 当 IOB2=1 时 00: 通过 FTIOB 管脚的上升沿, 对 GRB 进行输入捕捉 01: 通过 FTIOB 管脚的下降沿, 对 GRB 进行输入捕捉 1X: 通过 FTIOB 管脚的两边沿, 对 GRB 进行输入捕捉
3	—	1	—	保留位 总是读出 1。
2	IOA2	0	R/W	I/O 控制 A2 选择 GRA 的功能。 0: 作为输出比较寄存器运行 1: 作为输入捕捉寄存器运行
1 0	IOA1 IOA0	0 0	R/W R/W	I/O 控制 A1~0 当 IOA2=0 时 00: 禁止通过比较匹配的管脚输出 01: 通过 GRA 的比较匹配, 对 FTIOA 管脚进行 0 输出 10: 通过 GRA 的比较匹配, 对 FTIOA 管脚进行 1 输出 11: 通过 GRA 的比较匹配, 对 FTIOA 管脚进行交替输出 当 IOA2=1 时 00: 通过 FTIOA 管脚的上升沿, 对 GRA 进行输入捕捉 01: 通过 FTIOA 管脚的下降沿, 对 GRA 进行输入捕捉 1X: 通过 FTIOA 管脚的两边沿, 对 GRA 进行输入捕捉

【注】 X: Don't care

12.3.6 定时 I/O 控制寄存器 1 (TIOR1)

TIOR1选择GRC、GRD和FTIOC、FTIOD管脚的功能。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位 总是读出 1。
6	IOD2	0	R/W	I/O 控制 D2 选择 GRD 的功能。 0: 作为输出比较寄存器运行 1: 作为输入捕捉寄存器运行 如果用 TMRW 的 BUFEB 选择了 GRB 的缓冲运行, 就必须选择与 GRB 相同的 功能。
5 4	IOD1 IOD0	0 0	R/W R/W	I/O 控制 D1~0 当 IOD2=0 时 00: 禁止通过比较匹配的管脚输出 01: 通过 GRD 的比较匹配, 对 FTIOD 管脚进行 0 输出 10: 通过 GRD 的比较匹配, 对 FTIOD 管脚进行 1 输出 11: 通过 GRD 的比较匹配, 对 FTIOD 管脚进行交替输出 当 IOD2=1 时 00: 通过 FTIOD 管脚的上升沿, 对 GRD 进行输入捕捉 01: 通过 FTIOD 管脚的下降沿, 对 GRD 进行输入捕捉 1X: 通过 FTIOD 管脚的两边沿, 对 GRD 进行输入捕捉
3	—	1	—	保留位 总是读出 1。
2	IOC2	0	R/W	I/O 控制 C2 选择 GRC 的功能。 0: 作为输出比较寄存器运行 1: 作为输入捕捉寄存器运行 如果用 TMRW 的 BUFEA 选择了 GRA 的缓冲运行, 就必须选择与 GRA 相同的 功能。
1 0	IOC1 IOC0	0 0	R/W R/W	I/O 控制 C1~0 当 IOC2=0 时 00: 禁止通过比较匹配的管脚输出 01: 通过 GRC 的比较匹配, 对 FTIOC 管脚进行 0 输出 10: 通过 GRC 的比较匹配, 对 FTIOC 管脚进行 1 输出 11: 通过 GRC 的比较匹配, 对 FTIOC 管脚进行交替输出 当 IOC2=1 时 00: 通过 FTIOC 管脚的上升沿, 对 GRC 进行输入捕捉 01: 通过 FTIOC 管脚的下降沿, 对 GRC 进行输入捕捉 1X: 通过 FTIOC 管脚的两边沿, 对 GRC 进行输入捕捉

【注】 X: Don't care

12.3.7 定时器计数器 (TCNT)

TCNT 为 16 位可读写的增量计数器。通过 TCRW 的 CKS2~CKS0 的位选择输入时钟。根据 TCRW 的 CCLR 的设定,能通过与 GRA 的比较匹配将 TCNT 清为 H'0000。如果 TCNT 从 H'FFFF 溢出为 H'0000,TSRW 的 OVF 就被置 1。此时,如果 TIERW 的 OVIE 被置位,就产生中断请求。TCNT 不能以 8 位为单位而必须以 16 位为单位存取。TCNT 的初始值是 H'0000。

12.3.8 通用寄存器 A、B、C、D (GRA、GRB、GRC、GRD)

通用寄存器为 16 位可读写寄存器,即能用作输出比较寄存器,也能用作输入捕捉寄存器。通过 TIOR0 和 TIOR1 转换其功能。

被设定为输出比较寄存器的通用寄存器的值总是和 TCNT 的值比较。如果两者相同(比较匹配),TSRW 的 IMFA~IMFD 标志就被置 1。此时,如果 TIERW 的 IMIEA~IMIED 被置位,就产生中断请求。另外,能通过 TIOR 设定比较匹配输出。

如果检测到外部的输入捕捉信号,就将 TCNT 的值保存到被设定为输入捕捉寄存器的通用寄存器,并且将 TSRW 的 IMFA~IMFD 标志置 1。此时,如果 TIERW 的 IMIEA~IMIED 被置位,就产生中断请求。能通过 TIOR 选择输入捕捉信号的检测边沿。

另外,GRC 和 GRD 还能分别用作 GRA 和 GRB 的缓冲寄存器。此功能可通过 TMRW 的 BUFEA 和 BUFEB 选择。

例如,在 GRA 被设定为输出比较寄存器、GRC 被设定为 GRA 的缓冲寄存器的情况下,每次发生比较匹配 A 时,缓冲寄存器 GRC 的值就被传送到 GRA。

在 GRA 被设定为输入捕捉寄存器、GRC 被设定为 GRA 的缓冲寄存器的情况下,如果发生输入捕捉,TCNT 的值就被传送到 GRA,并且 GRA 的值被传送到缓冲寄存器 GRC。

GRA~GRD 不能以 8 位为单位而必须以 16 位为单位存取。GRA~GRD 的初始值是 H'FFFF。

12.4 运行说明

定时器 W 有以下运行模式：

- 通常运行
- PWM 运行

12.4.1 通常运行

TCNT 进行自由运行计数或者周期计数运行。TCNT 在复位后立即被设定为自由运行计数器，如果将 TMRW 的 CTS 位置 1，就开始计数。如果 TCNT 从 H'FFFF 溢出为 H'0000，TSRW 的 OVF 标志就被置 1；如果 TIERW 的 OVIE 位是 1，就产生中断请求。自由运行计数器的运行如图 12.2 所示。

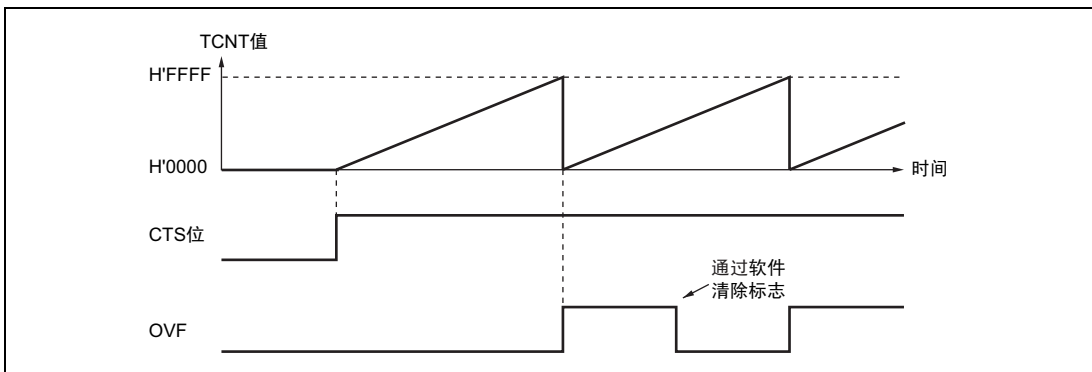


图 12.2 自由运行计数器的运行

如果把用于周期设定的 GRA 设定为输出比较寄存器，并且将 TCRW 的 CCLR 置 1，就进行周期计数运行。如果计数值与 GRA 相同，TCNT 就被清 H'0000，并且 TSRW 的 IMFA 位被置 1。此时，如果对应的 TIERW 的 IMIEA 位是 1，就产生中断请求。TCNT 从 H'0000 继续进行累加计数。周期计数器的运行如图 12.3 所示。

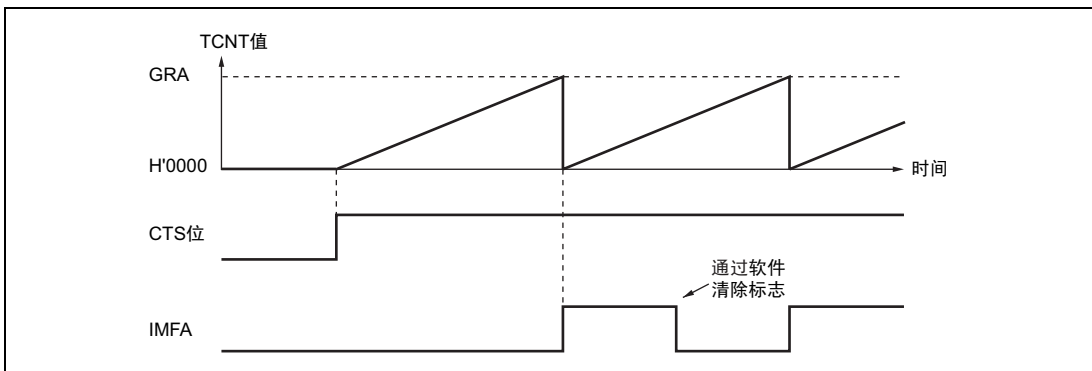


图 12.3 周期计数器的运行

通过将通用寄存器设定为输出比较寄存器，根据比较匹配 A~D 能从 FTIOA、FTIOB、FTIOC 或者 FTIOD 管脚进行 0 输出/1 输出/交替输出。使 TCNT 自由运行、比较匹配 A 进行 1 输出以及比较匹配 B 进行 0 输出的设定例子如图 12.4 所示。在设定的电平和管脚的电平相同时，管脚的电平不发生变化。

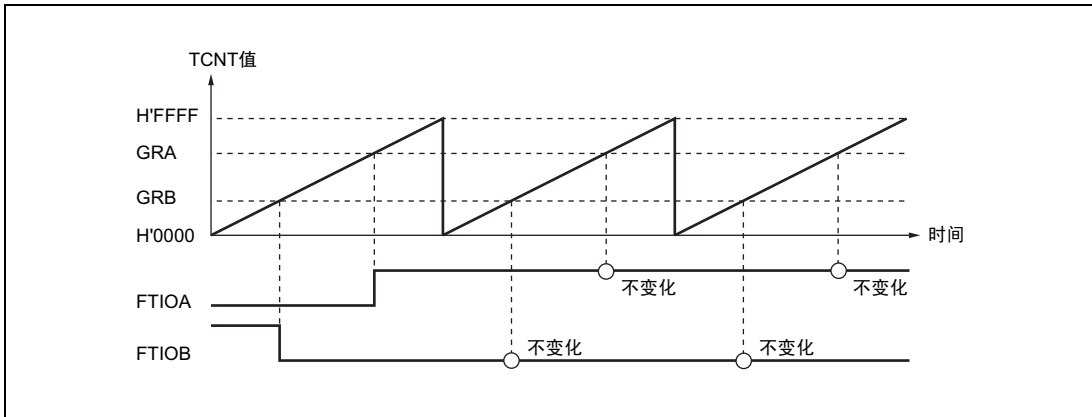


图 12.4 0 输出和 1 输出的运行例子 (TOA=0 和 TOB=1)

使 TCNT 自由运行、比较匹配 A 和比较匹配 B 进行交替输出的设定例子如图 12.5 所示。

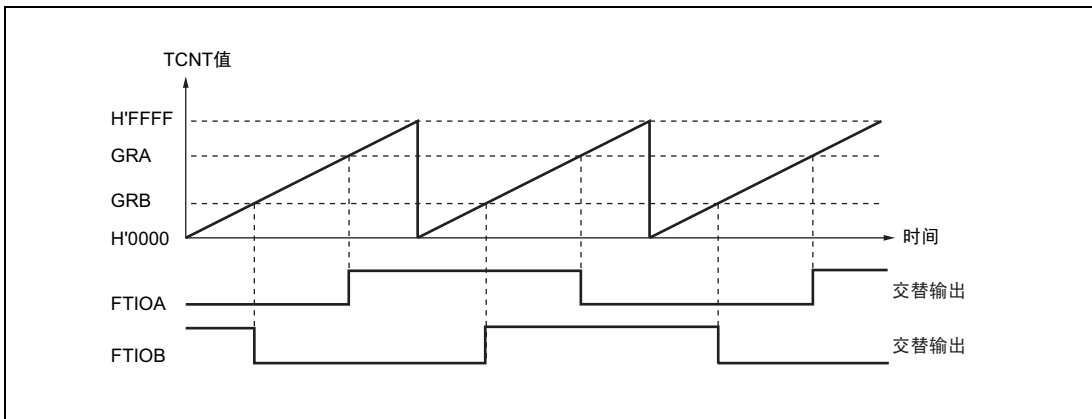


图 12.5 交替输出的运行例子 (TOA=0 和 TOB=1)

使 TCNT 周期计数运行、比较匹配 A 和 B 都进行交替输出的设定例子如图 12.6 所示。

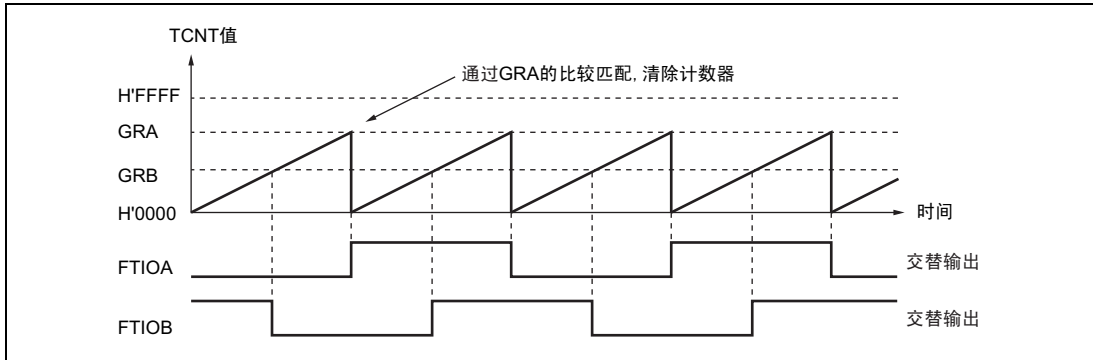


图 12.6 交替输出的运行例子 (TOA=0 和 TOB=1)

通过将通用寄存器设定为输入捕捉寄存器, 能在检测到 FTIOA~FTIOD 管脚的输入边沿后将 TCNT 的值传送到 GRA、GRB、GRC 或者 GRD。能从上升沿/下降沿/两边沿中选择检测边沿。利用输入捕捉功能, 能测定脉宽和周期。有关将 TCNT 设定为自由运行计数、FTIOA 管脚的输入捕捉的输入边沿选择两边沿、FTIOB 管脚的输入捕捉的输入边沿选择下降沿的例子如图 12.7 所示。

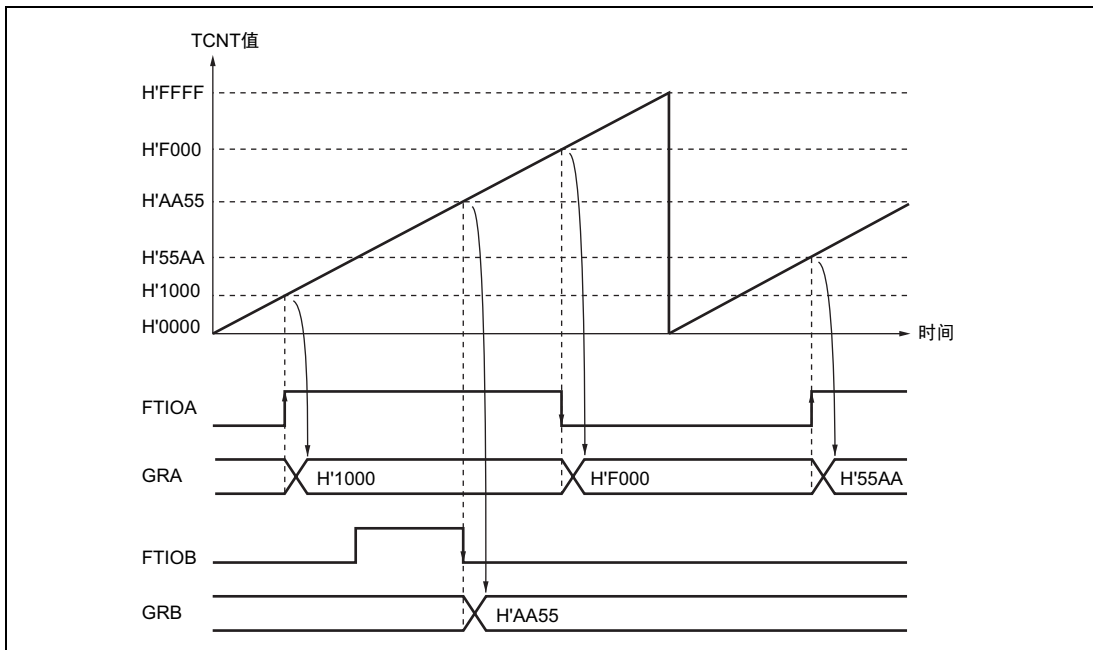


图 12.7 输入捕捉运行例子

将 GRA 设定为输入捕捉寄存器、GRC 设定为 GRA 的缓冲寄存器时的运行例子如图 12.8 所示，这是 TCNT 选择为自由运行，FTIOA 管脚的输入捕捉的输入边沿选择为上升沿和下降沿的两边沿的例子。由于被设定为缓冲器运行，因此在通过输入捕捉 A 将 TCNT 的值保存到 GRA 的同时，将以前保存在 GRA 的值传送到 GRC。

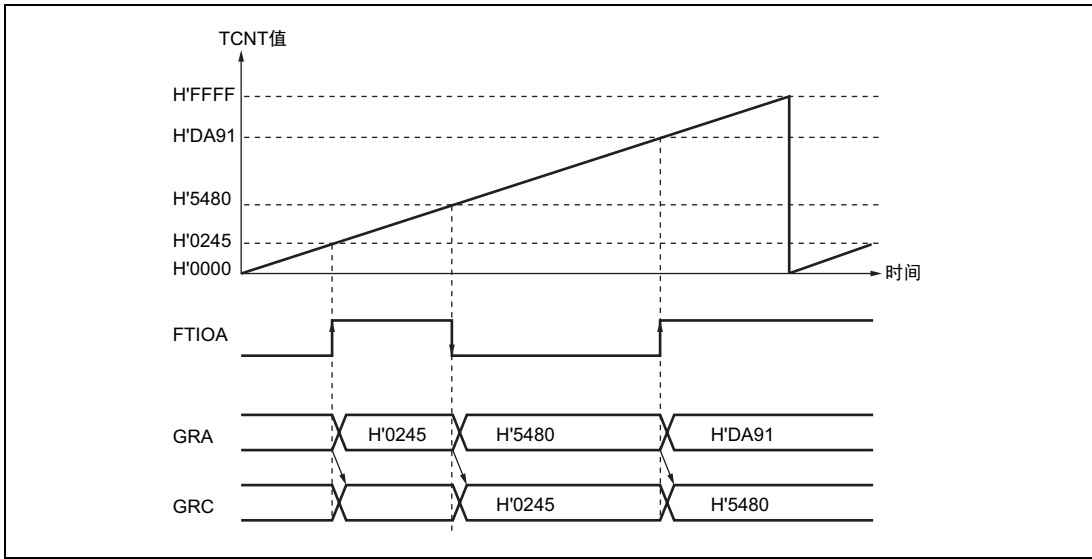


图 12.8 缓冲器运行例子（输入捕捉）

12.4.2 PWM 运行

PWM 模式将 GRA 作为周期寄存器、GRB、GRC 和 GRD 作为占空比寄存器，分别从 FTIOB、FTIOC 和 FTIOD 的输出管脚输出 PWM 波形，最多能输出 3 相 PWM。在 PWM 模式中，通用寄存器自动作为输出比较寄存器运行。输出电平由 TCRW 的 TOB~TOD 决定。当 TOB=1 时，通过比较匹配 A 将 FTIOB 输出管脚初始化为 1，并通过比较匹配 B 输出 0；当 TOB=0 时，通过比较匹配 A 将 FTIOB 输出管脚初始化为 0，并且通过比较匹配 B 输出 1。对于设定为 PWM 模式的输出管脚，TIOR0 和 TIOR1 的输出设定无效。在周期寄存器的设定值和占空比寄存器的设定值相同的情况下，即使发生比较匹配，输出值也不变化。

通过比较匹配 A 清除 TCNT 后输出 1 (TOB=TOC=TOD=1)，并且通过比较匹配 B、C 和 D 输出 0 时的运行例子如图 12.9 所示。

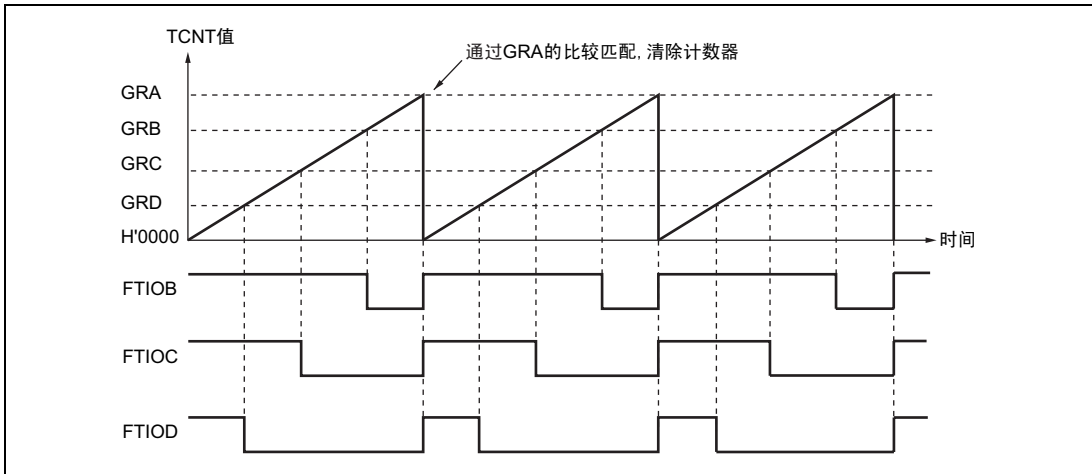


图 12.9 PWM 模式运行例子 (1)

通过比较匹配 A 清除 TCNT 后输出 0 (TOB=TOC=TOD=0)，并且通过比较匹配 B、C 和 D 输出 1 时的运行例如图 12.10 所示。

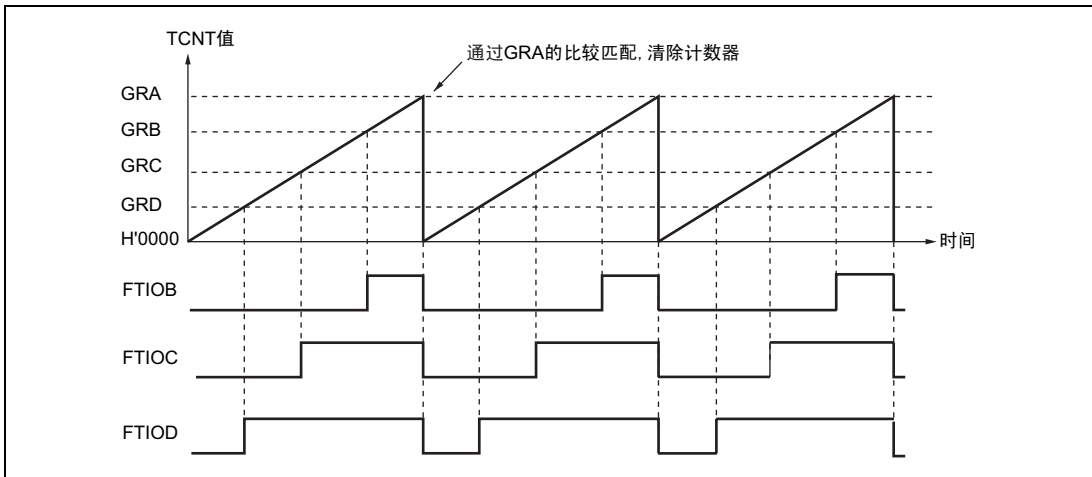


图 12.10 PWM 模式运行例子 (2)

将 FTIOB 管脚设定为 PWM 模式、GRD 设定为 GRB 的缓冲寄存器时的运行例子如图 12.11 所示。它是通过比较匹配 A 清除 TCNT、通过比较匹配 B 输出 1 以及通过比较匹配 A 输出 0 的例子。

由于被设定为缓冲器运行，所以如果发生比较匹配 B，就在输出值发生变化的同时缓冲寄存器 GRD 的值被传送到 GRB。每次发生比较匹配 B 时，都将反复执行此运行。

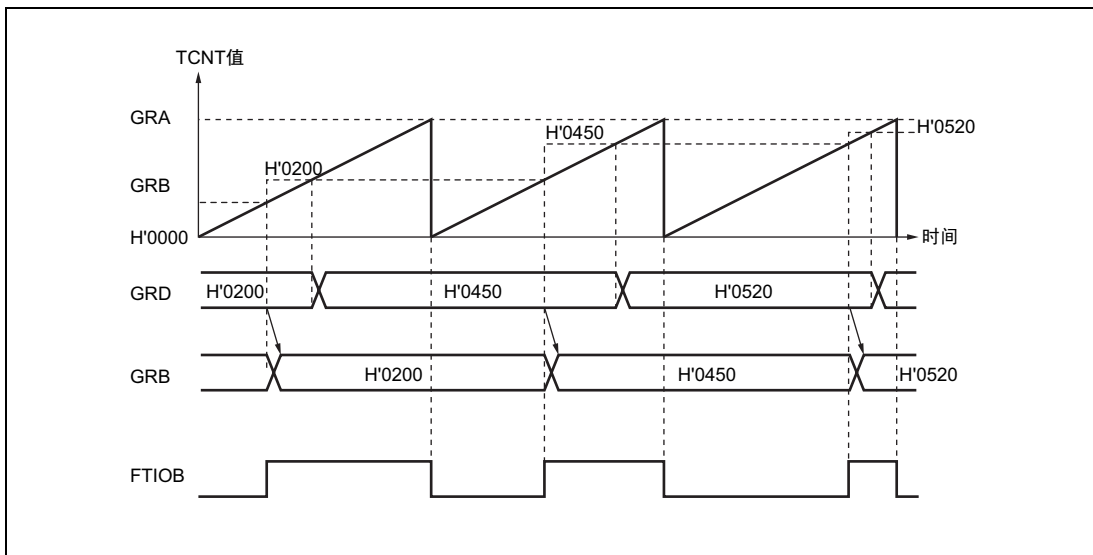


图12.11 缓冲器运行例子（输出比较）

在 PWM 模式中，输出占空比 0% 和 100% 的 PWM 波形的例子如图 12.12 和图 12.13 所示。

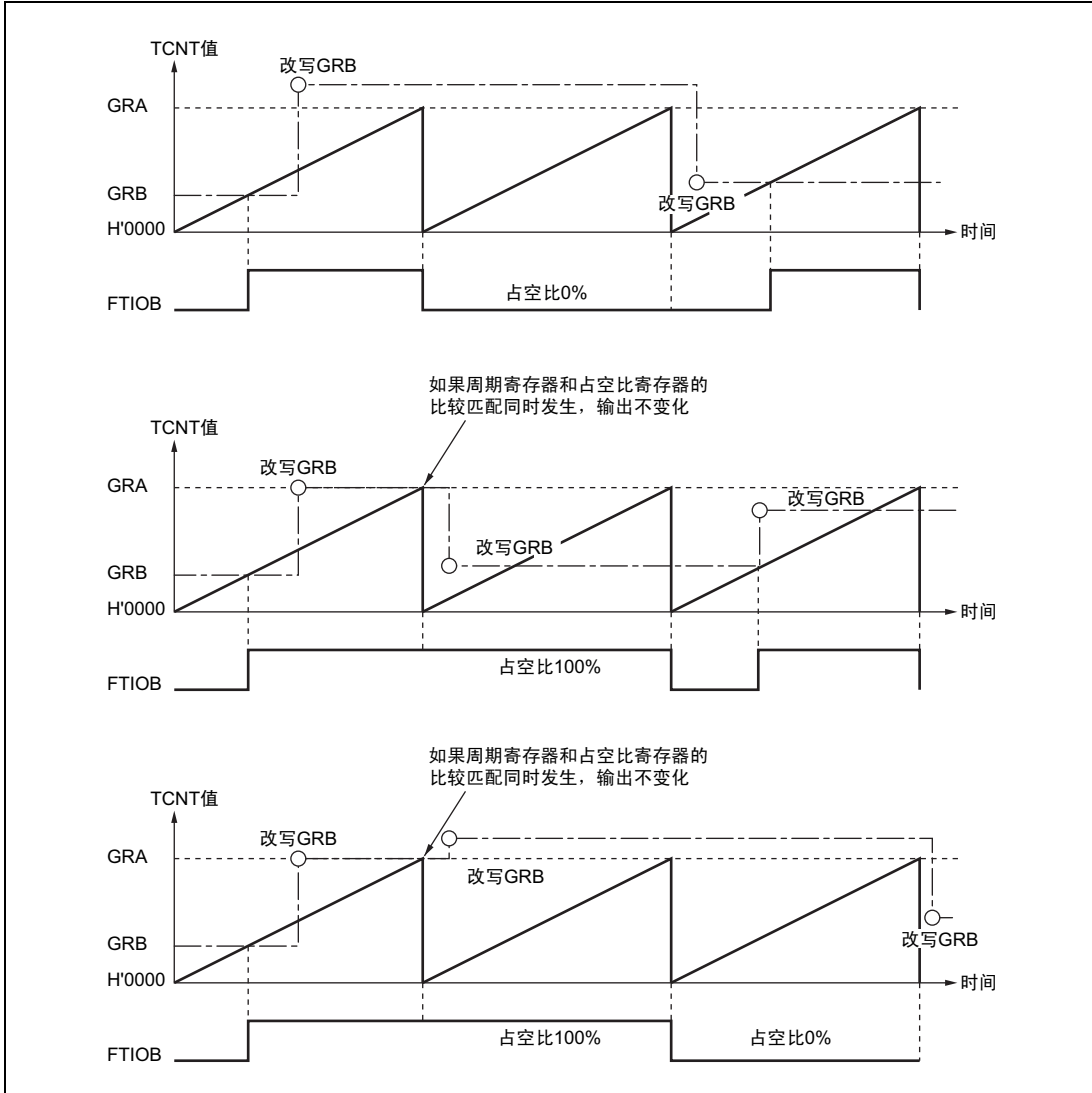


图 12.12 PWM 模式运行例子 (TOB=TOC=TOD=0、初始输出 0)

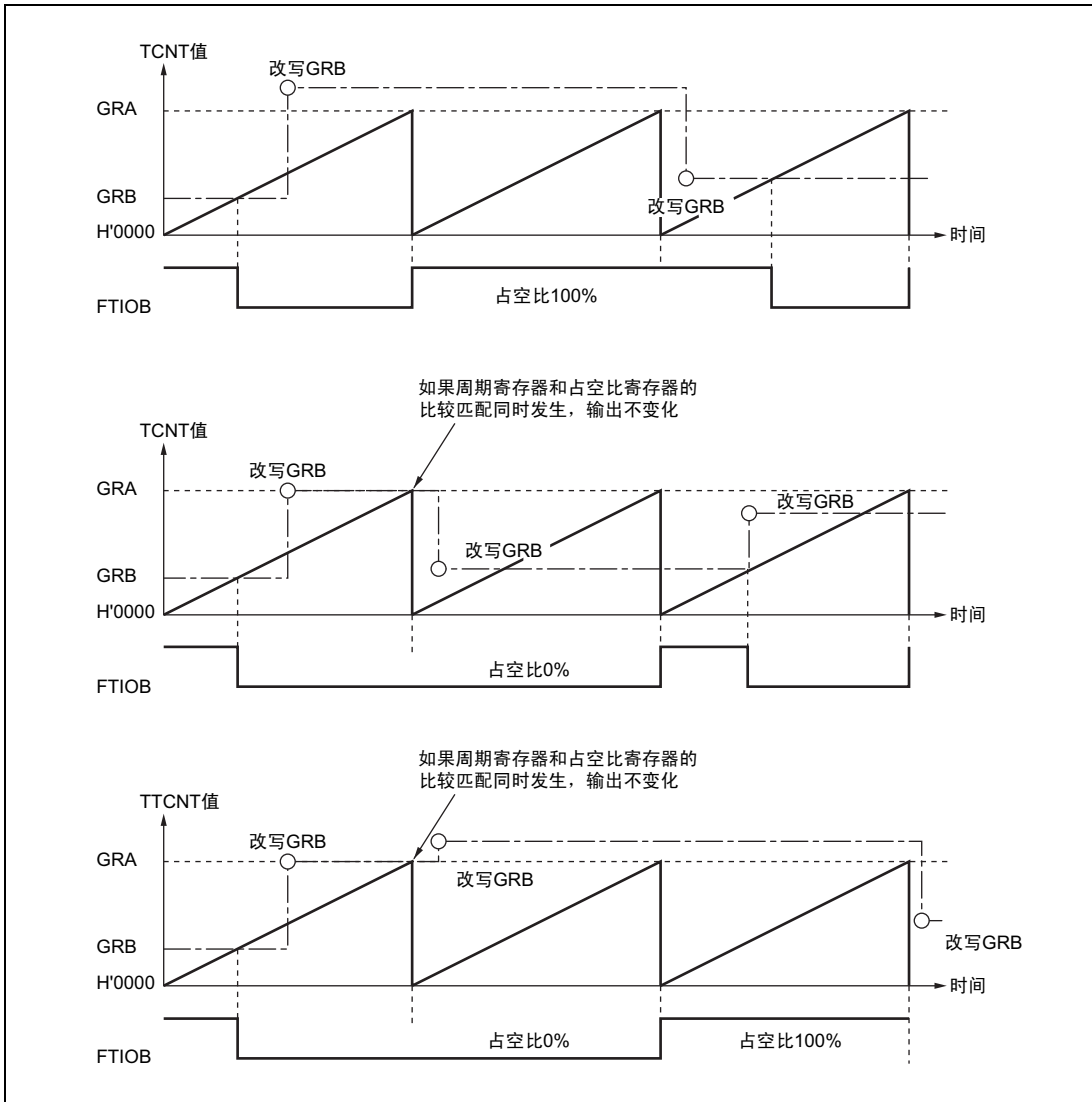


图 12.13 PWM 模式运行例 (TOB=TOC=TOD=1、初始输出 1)

12.5 运行时序

12.5.1 TCNT 的计数时序

内部时钟运行时的 TCNT 的计数时序如图 12.14 所示，外部时钟运行时的 TCNT 的计数时序如图 12.15 所示。另外，外部时钟需要 2 个系统时钟 (ϕ) 以上的脉宽，否则就不能正常运行。

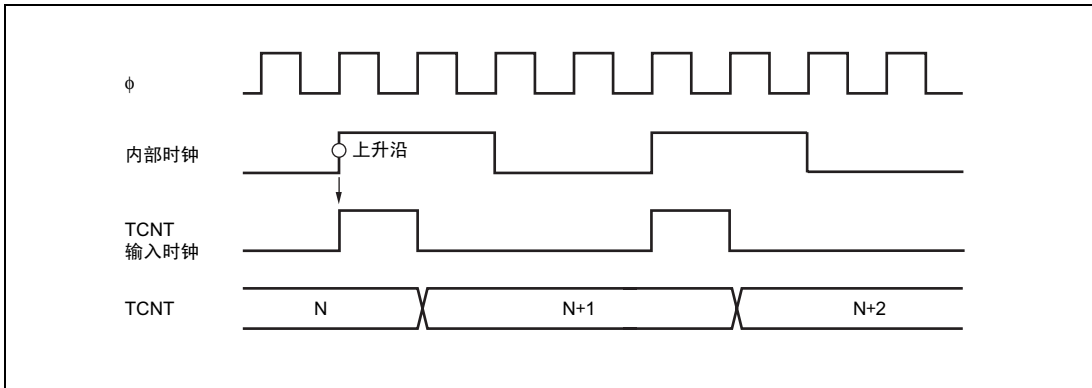


图 12.14 内部时钟运行时的计数时序

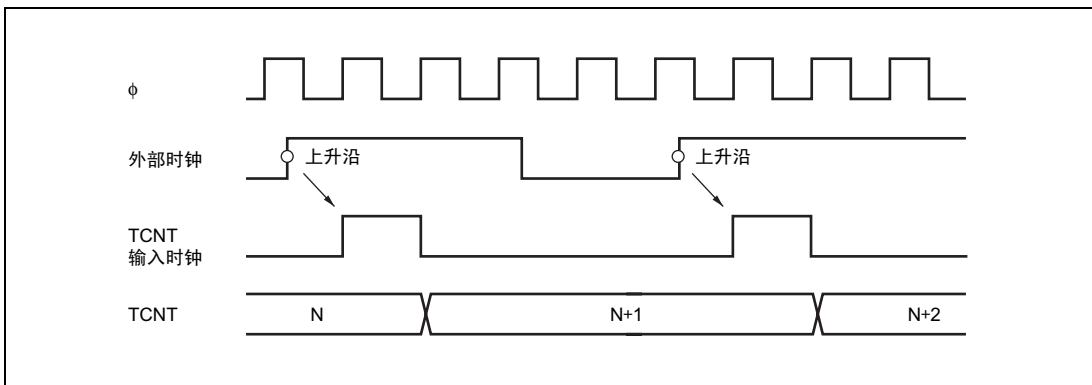


图 12.15 外部时钟运行时的计数时序

12.5.2 输出比较的输出时序

比较匹配信号发生在 TCNT 与 GR 相同的最后状态（TCNT 更新相同后的计数值的时序）。在产生比较匹配信号时，由 TIOR 设定的输出值被输出到输出比较的输出管脚（FTIOA、FTIOB、FTIOC 以及 FTIOD）。

在 TCNT 与 GR 相同后，并且在 TCNT 输入时钟发生之前，不产生比较匹配信号。输出比较的输出时序如图 12.16 所示。

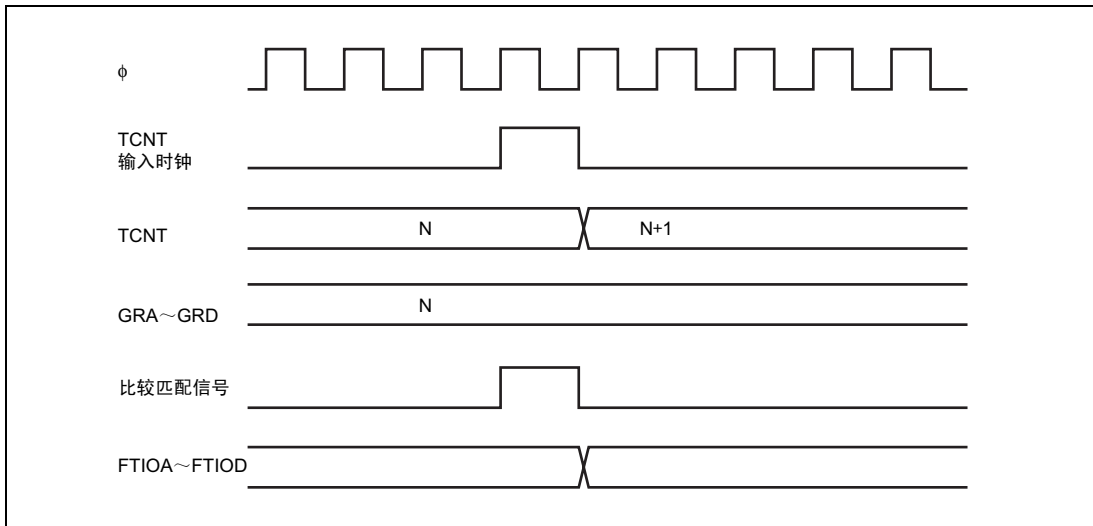


图 12.16 输出比较的输出时序

12.5.3 输入捕捉时序

输入捕捉的输入能通过设定 TIOR0 和 TIOR1 选择上升沿、下降沿或者两边沿，选择下降沿时的时序如图 12.17 所示。另外，输入捕捉的输入信号需要 2 个系统时钟 (ϕ) 以上的脉宽，否则就不能正常运行。

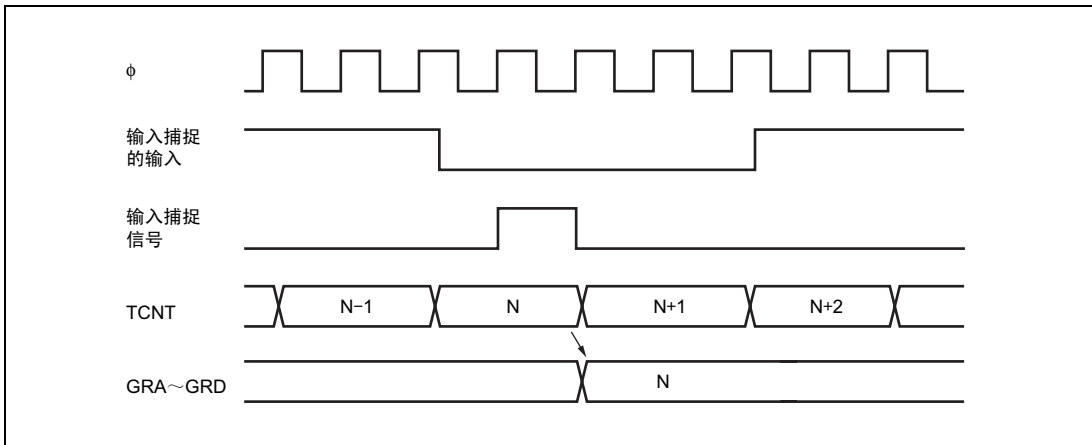


图 12.17 输入捕捉的输入信号时序

12.5.4 通过比较匹配产生的计数器清除时序

通过比较匹配 A 产生的计数器清除时序如图 12.18 所示。假设 GRA 的值为 N，计数器就从 0 计数到 N，周期为 N+1。

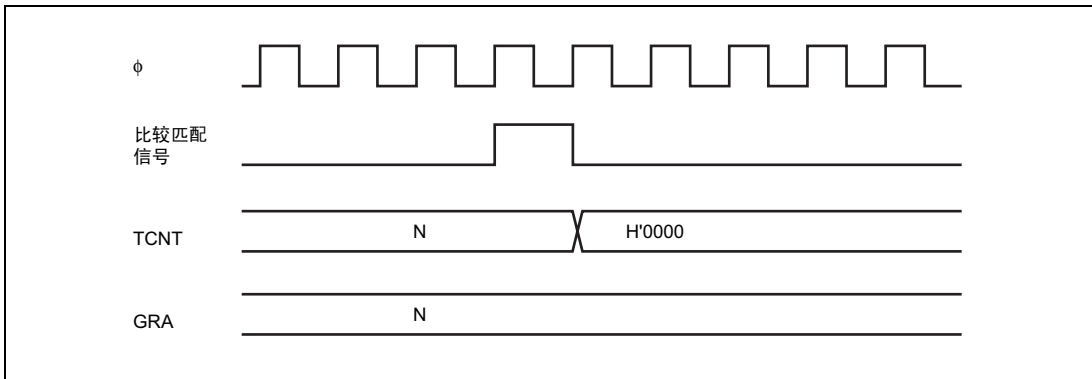


图 12.18 通过比较匹配产生的计数器清除时序

12.5.5 缓冲器运行时序

缓冲器运行时的时序如图 12.19 和图 12.20 所示。

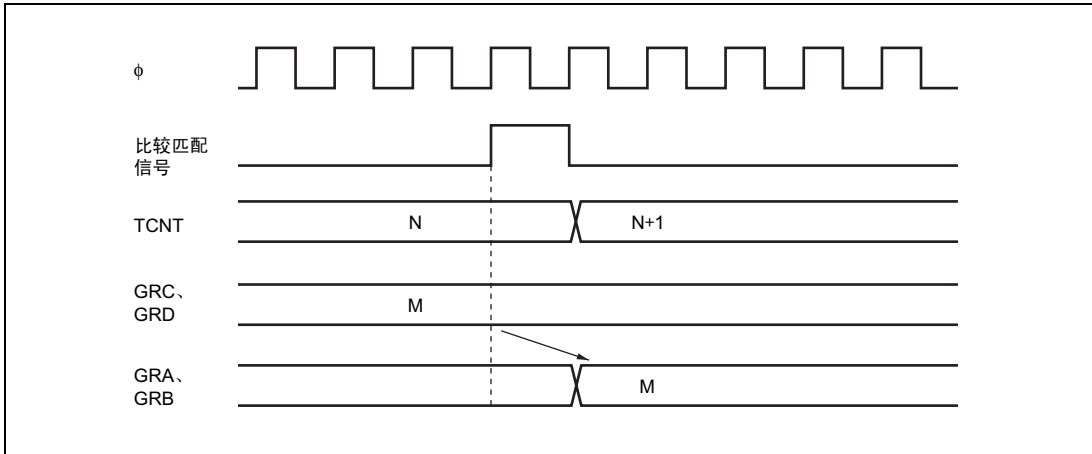


图 12.19 缓冲器运行时序（比较匹配）

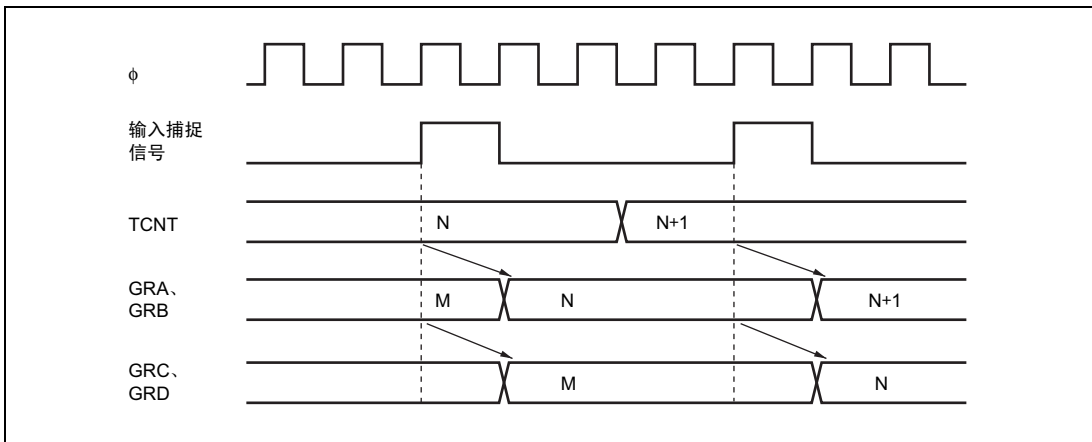


图 12.20 缓冲器运行时序（输入捕捉）

12.5.6 比较匹配时的 IMFA~IMFD 标志的置位时序

在通用寄存器（GRA、GRB、GRC 以及 GRD）与 TCNT 相同时，作为输出比较寄存器运行时的 IMFA~IMFD 标志被置 1。

比较匹配信号发生在相同的最后状态（TCNT 更新相同后的计数值的时序）。因此，在 TCNT 与通用寄存器（GRA、GRB 以及 GRD）相同后，并且在 TCNT 输入时钟发生之前，不产生比较匹配信号。

IMFA~IMFD 标志的置位时序如图 12.21 所示。

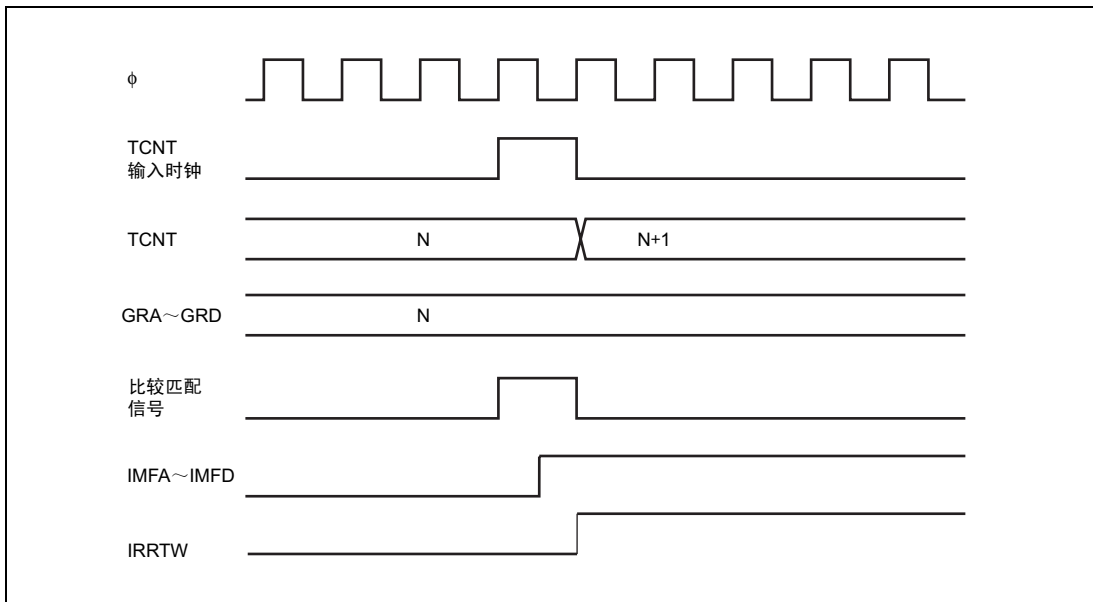


图 12.21 比较匹配时的 IMFA~IMFD 标志的置位时序

12.5.7 输入捕捉时的标志置位时序

在发生输入捕捉时，作为输入捕捉寄存器运行时的 IMFA~IMFD 标志被置 1。IMFA~IMFD 标志的置位时序如图 12.22 所示。

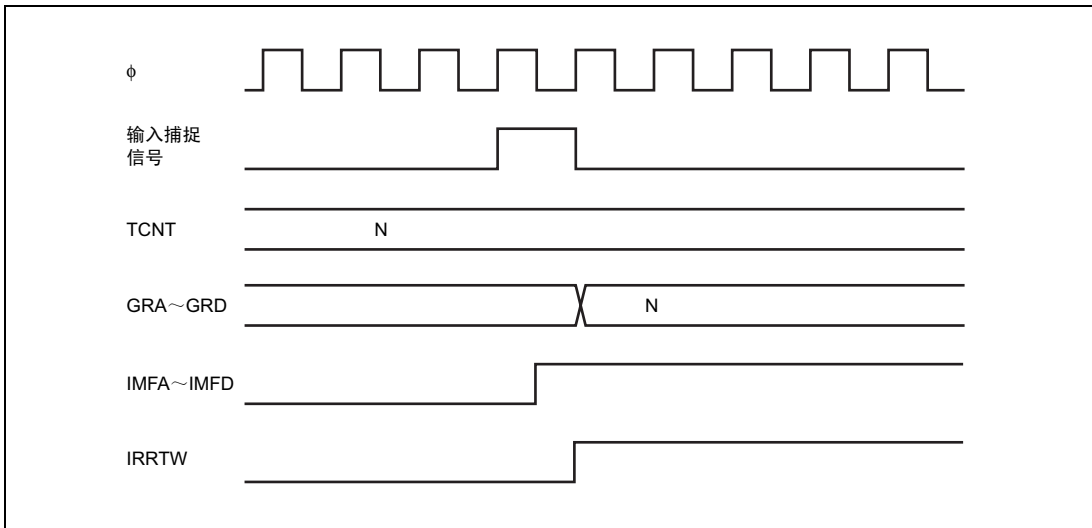


图 12.22 发生输入捕捉时的 IMFA~IMFD 标志的置位时序

12.5.8 状态标志的清除时序

当 CPU 读到 1 的状态后写 0 时，状态标志被清除。

由 CPU 进行的状态标志的清除时序如图 12.23 所示。

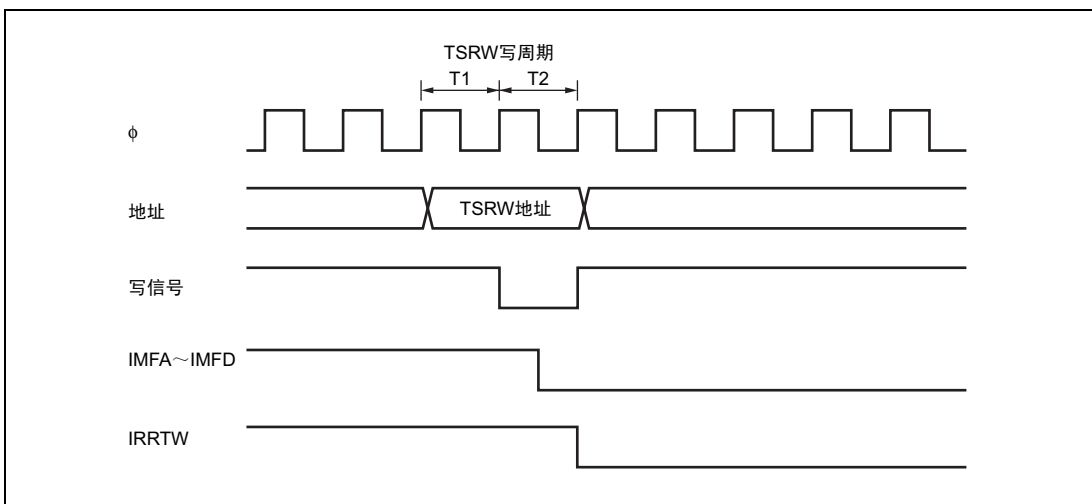


图 12.23 由 CPU 进行的状态标志的清除时序

12.6 使用注意事项

在定时器 W 运行中，会发生以下的竞争或者运行：

1. 输入时钟和输入捕捉需要2个系统时钟 (ϕ) 以上的脉宽，否则就不能正常运行。
2. 在写周期的 T2状态进行寄存器的写操作。如图12.24所示，如果在TCNT写周期的 T2状态发生计数器清除信号，就优先清除TCNT而不写TCNT。当TCNT的写操作和TCNT的累加计数发生竞争时，优先写操作。
3. 根据转换内部时钟的时序，TCNT可能被累加计数。在使用内部时钟时，当检测到将系统时钟 (ϕ) 分频后的内部时钟的上升沿后，产生计数时钟。因此，如图12.25所示，如果按照转换前的时钟“低”电平→转换后的时钟“高”电平的时序转换时钟，就把转换时序视作上升沿产生计数时钟，并且对TCNT进行累加计数。
4. 如果在发生中断请求的状态下进入模块待机状态，就不能清除中断源。因此，必须在预先禁止中断后进入模块待机状态。
5. TCRW的TOA~TOD位是决定最初发生比较匹配前的FTIO管脚输出值的位。如果发生一次比较匹配，并且通过比较匹配FTIOA~FTIOD输出发生变化，FTIOA~FTIOD管脚的输出值和TOA~TOD位的读出值就可能不一致。另外，在TCRW的写操作和比较匹配A~D发生竞争时，优先写操作，由比较匹配引起的输出变化不反映到FTIOA~FTIOD管脚。因此，如果使用位操作指令写TCRW，FTIOA~FTIOD管脚的输出值就可能达不到预想的结果。要在比较匹配运行中写TCRW时，必须在存取TCRW前暂时停止计数器运行，然后读端口8的状态，在将FTIOA~FTIOD的输出值反映到TOA~TOD后，进行写操作，此后重新启动计数器。比较匹配和对TCRW的位操作指令发生竞争时的例子如图12.26所示。

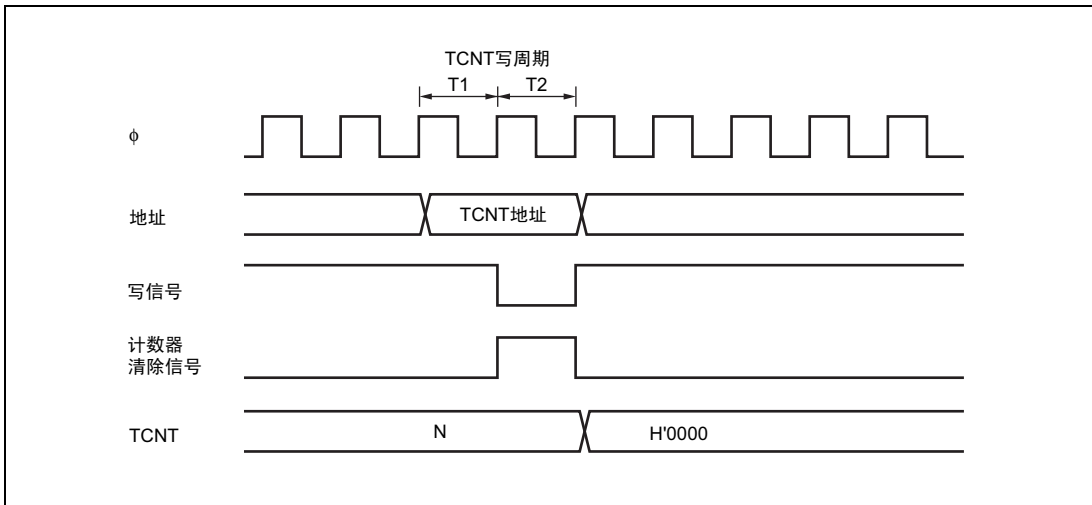


图 12.24 TCNT 的写操作与清除的竞争

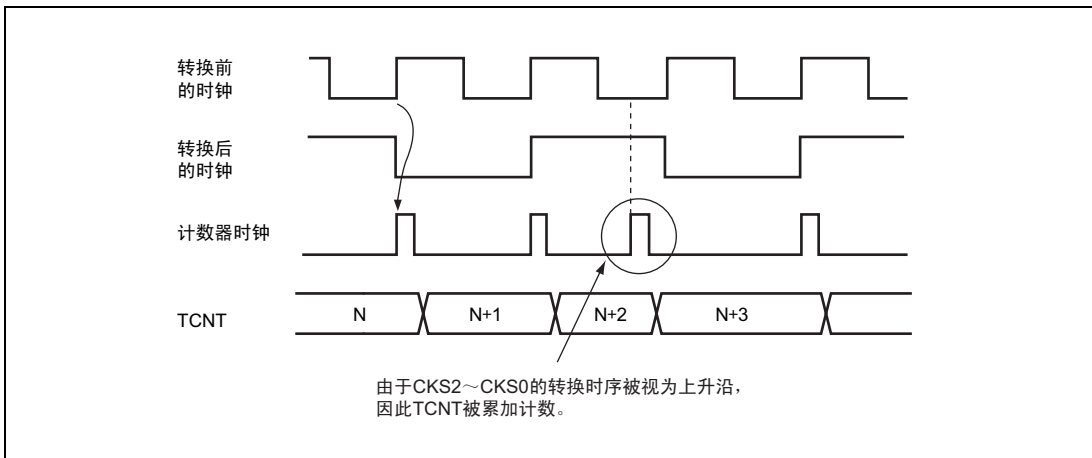


图 12.25 内部时钟转换和 TCNT 运行

TCRW: 设定为H'06, 使用比较匹配B和比较匹配C。在1输出状态下, 根据比较匹配B将FTIOB管脚设定为交替输出或者0输出。在此, 为了清除此TOC位 (FTIOC管脚输出Low电平), 执行BCLR #2, @TCRW, 如果在下图的时序同时发生比较匹配, 就优先对TCRW写H'02, FTIOB管脚就不能通过比较匹配输出Low电平, 而保持High电平输出。

位	7	6	5	4	3	2	1	0
TCRW	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA
设定值	0	0	0	0	0	0	1	0

BCLR #2, @TCRW

- (1) TCRW的读操作 : 读H'06
- (2) 更改操作 : 将H'06改为H'02
- (3) TCRW的写操作 : 写H'02

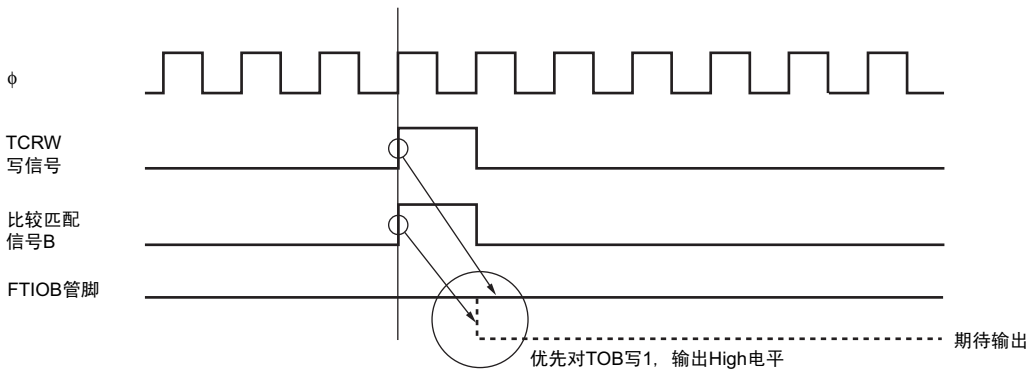


图 12.26 比较匹配和对 TCRW 的位操作指令发生竞争时的例子

第 13 章 监视定时器

监视定时器是 8 位定时器，在由于系统失控等原因不能改写计数器的值而产生溢出时，对 LSI 内部进行复位。监视定时器的框图如图 13.1 所示。

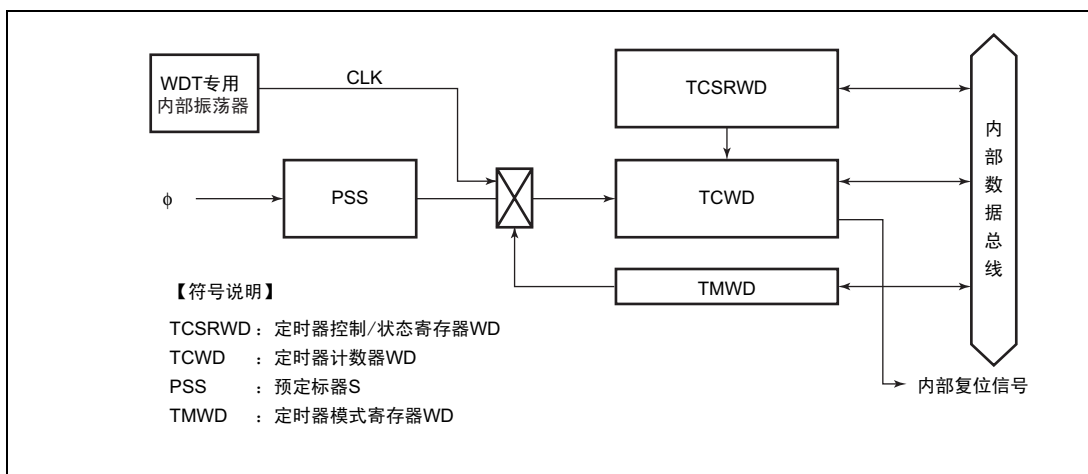


图 13.1 监视定时器的框图

13.1 特点

- 可选择9种内部时钟
可以选择8种内部时钟 ($\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$) 或者WDT专用内部振荡器作为定时器的计数时钟。如果选择了WDT专用内部振荡器，就在所有运行模式中作为监视定时器运行。
- 在计数器溢出时产生复位信号
溢出周期可设定在选择时钟的1倍到256倍之间。
- 在初始状态下有效
监视定时器在解除复位后开始运行。

13.2 寄存器说明

监视定时器有以下寄存器：

- 定时器控制/状态寄存器WD (TCSRWD)
- 定时器计数器WD (TCWD)
- 定时器模式寄存器WD (TMWD)

13.2.1 定时器控制/状态寄存器 WD (TCSRWD)

TCSRWD 是控制 TCSRWD 本身写和 TCWD 写的寄存器，具有控制监视定时器运行和表示运行状态的功能。必须用 MOV 指令对本寄存器进行改写，位操作指令不能改变设定值。

位	位名	初始值	R/W	说 明
7	B6WI	1	R/W	位 6 写禁止 只在此位的写入值是 0 时，此寄存器的位 6 的写操作才有效。总是读出 1。
6	TCWE	0	R/W	定时器计数器 WD 写允许 此位是 1 时，TCWD 为写允许。给此位写数据时，位 7 的写入值必须为 0。
5	B4WI	1	R/W	位 4 写禁止 只在此位的写入值是 0 时，此寄存器的位 4 的写操作才有效。总是读出 1。
4	TCSRWE	0	R/W	定时控制/状态寄存器 WD 写允许 此位是 1 时，此寄存器的位 2 和位 0 为写允许。给此位写数据时，位 5 的写入值必须是 0。
3	B2WI	1	R/W	位 2 写禁止 只在此位的写入值是 0 时，此寄存器的位 2 的写操作才有效。总是读出 1。
2	WDON	1	R/W	监视定时器 ON 如果将此位置 1，TCWD 就开始累加计数；如果清 0，TCWD 就停止累加计数。监视定时器为初始值有效。在不使用监视定时器时，必须将本位清零。 [清除条件] • 在 TCSRWE=1 的状态下，给 B2WI 和 WDON 写 0 时 [置位条件] • 复位 • 在 TCSRWE=1 的状态下，给 B2WI 写 0 和给 WDON 写 1 时
1	B0WI	1	R/W	位 0 写禁止 只在此位的写入值是 0 时，此寄存器的位 0 的写操作才有效。总是读出 1。
0	WRST*	0	R/W	监视定时器复位 [清除条件] • 由 $\overline{\text{RES}}$ 管脚进行的复位 • 在 TCSRWE=1 的状态下，给 B0WI 和 WRST 写 0 时 [置位条件] • 在 TCWD 溢出并且产生内部复位信号时

【注】* 不能将WRST位变为1。

13.2.2 定时计数器 WD (TCWD)

TCWD 是 8 位可读写的增量计数器。如果 TCWD 从 H'FF 溢出到 H'00，就产生内部复位信号，并且 TCSRWD 的 WRST 被置 1。TCWD 的初始值是 H'00。

13.2.3 定时器模式寄存器 WD (TMWD)

TMWD 选择输入时钟。

位	位名	初始值	R/W	说 明
7~4	—	全 1	—	保留位。总是读出 1。
3	CKS3	1	R/W	时钟选择 3~0
2	CKS2	1	R/W	选择输入到 TCWD 的时钟。
1	CKS1	1	R/W	1000: 内部时钟: 以 $\phi/64$ 计数
0	CKS0	1	R/W	1001: 内部时钟: 以 $\phi/128$ 计数
				1010: 内部时钟: 以 $\phi/256$ 计数
				1011: 内部时钟: 以 $\phi/512$ 计数
				1100: 内部时钟: 以 $\phi/1024$ 计数
				1101: 内部时钟: 以 $\phi/2048$ 计数
				1110: 内部时钟: 以 $\phi/4096$ 计数
				1111: 内部时钟: 以 $\phi/8192$ 计数
				0XXX: WDT 专用内部振荡器
				关于由 WDT 专用内部振荡器产生的溢出周期, 请参照“第 20 章 电特性”。

【注】X: Don't care

13.3 运行说明

监视定时器有 8 位增量计数器。在复位解除后，TCWD 开始计数。如果 TCWD 的计数值从 H'FF 溢出，就产生内部复位信号。内部复位信号的输出时间为 256 个 φRC 时钟周期。由于 TCWD 是可写计数器，所以如果给 TCWD 设定值，就从该值开始累加计数。因此，根据 TCWD 的设定值，能在 1~256 个输入时钟的范围内设定溢出周期。在不使用监视定时器时，必须在 TCSRWD 的 TCSRWE=1 的状态下，给 B2WI 和 WDON 同时写 0，停止 TCWD 的累加计数（为了停止监视定时器，需要对 TCSRWD 进行 2 次写存取）。监视定时器的运行例子如图 13.2 所示。

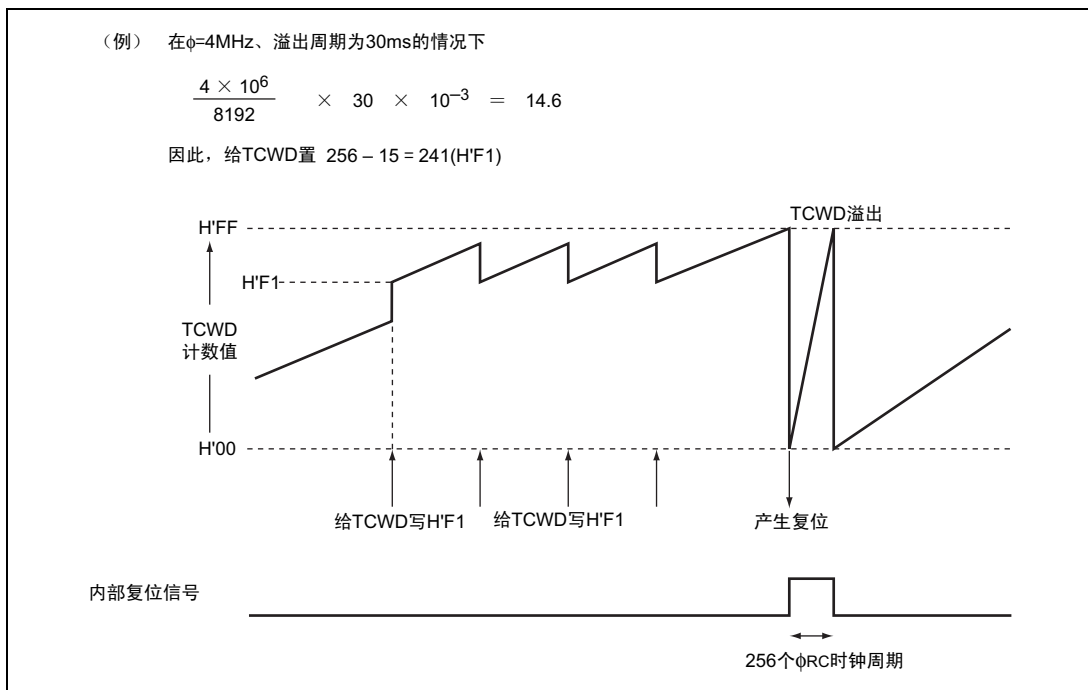


图 13.2 监视定时器的运行例子

第 14 章 串行通信接口 3 (SCI3)

H8/36912 群和 H8/36902 群具备串行通信接口 3 (SCI3)。SCI3 可进行异步和时钟同步 2 种模式的串行数据通信。在异步模式中，能与 Universal Asynchronous Receiver/Transmitter (UART) 或者 Asynchronous Communication Interface Adapter (ACIA) 等标准异步通信 LSI 进行串行数据通信。另外，在异步模式中具有多个处理器之间的串行数据通信功能（多处理器通信功能）。SCI3 的框图如图 14.1 所示。

14.1 特点

- 可将串行数据通信格式设定为异步或者时钟同步
- 可进行全双工通信
因为具有独立的发送部和接收部，所以能同时发送和接收。另外，发送部和接收部都为双缓冲结构，可以连续发送和接收。
- 可用内部波特率发生器选择任意的位速率
- 作为发送和接收时钟源，可选择内部波特率发生器或者外部时钟
- 6种中断源
有发送结束、发送数据空、接收数据满、溢出错误、帧错误和奇偶校验错误等中断源。
- 内置噪声消除电路（只限异步通信）

异步模式

- 数据长度：可选择7位/8位
- 停止位长度：可选择1位/2位
- 奇偶校验：可选择偶校验/奇校验/无奇偶校验
- 接收错误的检测：奇偶校验错误、溢出错误和帧错误
- 中止的检测：当发生帧错误时，可直接读取RXD管脚的电平来检测中止

时钟同步模式

- 数据长度：8位
- 接收错误的检测：溢出错误

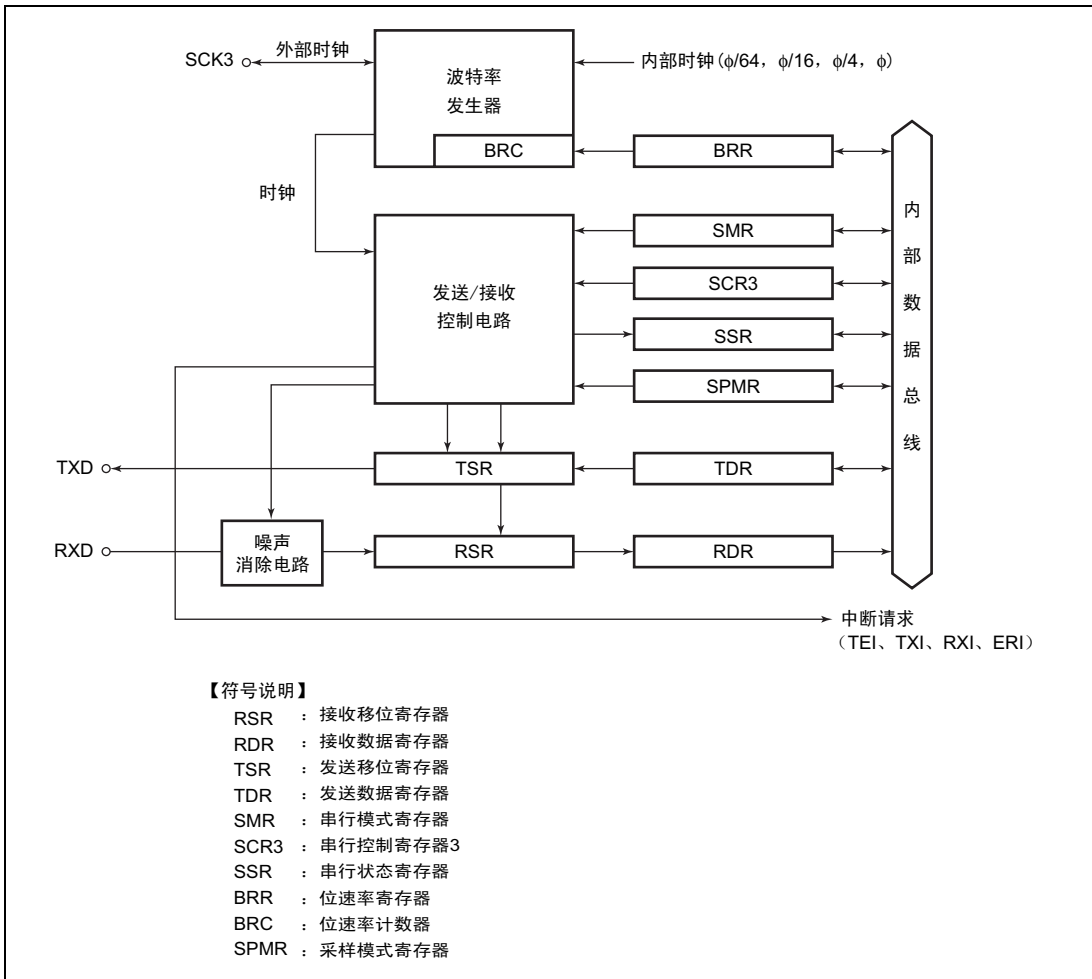


图 14.1 SCI3 的框图

14.2 输入/输出管脚

SCI3 管脚结构如表 14.1 所示。

表 14.1 管脚结构

名称	略称	输入/输出	功能
SCI3 时钟	SCK3	输入/输出	SCI3 的时钟输入/输出管脚
SCI3 接收数据输入	RXD	输入	SCI3 的接收数据输入管脚
SCI3 发送数据输出	TXD	输出	SCI3 的发送数据输出管脚

14.3 寄存器说明

SCI3 有以下寄存器：

- 接收移位寄存器 (RSR)
- 接收数据寄存器 (RDR)
- 发送移位寄存器 (TSR)
- 发送数据寄存器 (TDR)
- 串行模式寄存器 (SMR)
- 串行控制寄存器3 (SCR3)
- 串行状态寄存器 (SSR)
- 位速率寄存器 (BRR)
- 采样模式寄存器 (SPMR)

14.3.1 接收移位寄存器 (RSR)

RSR 是用于并行转换从 RXD 管脚输入的串行数据的接收移位寄存器。如果接收 1 帧的数据，就自动将数据传送给 RDR。不能从 CPU 直接存取此寄存器。

14.3.2 接收数据寄存器 (RDR)

RDR 是用于保存接收数据的 8 位寄存器。如果接收 1 帧的数据，就将接收数据从 RSR 传送给此寄存器，RSR 变为可接收下一个数据的状态。由于 RSR 和 RDR 是双缓冲结构，所以可以连续接收。必须在确认 SSR 的 RDRF 已被置 1 后，只读取 1 次 RDR。不能从 CPU 写 RDR，RDR 的初始值是 H'00。

14.3.3 发送移位寄存器 (TSR)

TSR 是用于发送串行数据的移位寄存器。写到 TDR 的发送数据被自动传送给 TSR，通过从 LSB 按顺序发送给 TXD 管脚，进行串行数据发送。不能从 CPU 直接存取此寄存器。

14.3.4 发送数据寄存器 (TDR)

TDR 是用于保存发送数据的 8 位寄存器。如果检测到 TSR 为空，就将写到 TDR 的发送数据传送给 TSR，然后开始发送。由于 TDR 和 TSR 是双缓冲结构，因此可以连续发送。在发送完 1 帧的数据时，如果下一个发送数据已被写到 TDR，就传送给 TSR，然后继续发送。为了正确地进行串行发送，必须在确认 SSR 的 TDRE 已被置 1 后，只对 TDR 写 1 次发送数据。TDR 的初始值是 H'FF。

14.3.5 串行模式寄存器 (SMR)

SMR 是用于选择串行数据通信格式和内部波特率发生器时钟源的寄存器。

位	位名	初始值	R/W	说 明
7	COM	0	R/W	通信模式 0: 以异步模式运行。 1: 以时钟同步模式运行。
6	CHR	0	R/W	字符长度 (仅异步模式有效) 0: 以 8 位数据长的格式发送/接收。 1: 以 7 位数据长的格式发送/接收。
5	PE	0	R/W	奇偶校验允许 (仅异步模式有效) 当此位为 1 时, 发送时附加奇偶校验位, 接收时检测奇偶校验。
4	PM	0	R/W	奇偶校验模式 (仅在异步模式中 PE=1 时有效) 0: 以偶数校验发送和接收。 1: 以奇数校验发送和接收。
3	STOP	0	R/W	停止位长度 (仅异步模式有效) 选择发送时的停止位的长度。 0: 1 个停止位 1: 2 个停止位 接收时, 与此位的设定值无关, 只检测停止位的第 1 位, 在第 2 位是 0 时, 视为下一个发送字符的起始位。
2	MP	0	R/W	多处理器模式 当此位为 1 时, 允许多处理器通信功能。PE 和 PM 位的设定值无效。在时钟同步模式中, 必须将此位设定为 0。
1	CKS1	0	R/W	时钟选择 1~0
0	CKS0	0	R/W	选择内置波特率发生器的时钟源。 00: ϕ 时钟 (n=0) 01: $\phi/4$ 时钟 (n=1) 10: $\phi/16$ 时钟 (n=2) 11: $\phi/64$ 时钟 (n=3) 有关此位的设定值和波特率的关系, 请参照“14.3.8 位速率寄存器 (BRR)”。 n 是设定值的 10 进制表示, 表示“14.3.8 位速率寄存器 (BRR)”中 n 的值。

14.3.6 串行控制寄存器 3 (SCR3)

SCR3 是用于进行发送和接收运行控制、中断控制以及选择发送和接收时钟源的寄存器。有关各中断请求请参照“14.7 中断请求”。

位	位名	初始值	R/W	说 明
7	TIE	0	R/W	发送中断允许 如果将此位置 1, 就允许 TXI 中断请求。
6	RIE	0	R/W	接收中断允许 如果将此位置 1, 就允许 RXI 和 ERI 中断请求。
5	TE	0	R/W	发送允许 此位为 1 时, 可发送。
4	RE	0	R/W	接收允许 此位为 1 时, 可接收。
3	MPIE	0	R/W	多处理器中断允许 (在异步模式中, 当 SMR 的 MP=1 时有效) 如果将此位置 1, 就跳读多处理器位为 0 的接收数据, 禁止对 SSR 的 RDRF、FER 和 OER 的各状态标志置位。如果接收到多处理器位为 1 的数据, 就自动清除此位, 返回到通常的接收运行状态。详细内容请参照“14.6 多处理器通信功能”。
2	TEIE	0	R/W	发送结束中断允许 如果将此位置 1, 就允许 TEI 中断请求。
1 0	CKE1 CKE0	0 0	R/W R/W	时钟允许 1~0 选择时钟源。 异步: 00: 内部波特率发生器 01: 内部波特率发生器 (从 SCK3 管脚输出与位速率相同频率的时钟) 10: 外部时钟 (必须从 SCK3 管脚输入频率为位速率的 16 倍的时钟) 11: 保留 时钟同步: 00: 内部时钟 (SCK3 管脚功能为时钟输出管脚) 01: 保留 10: 外部时钟 (SCK3 管脚功能为时钟输入管脚) 11: 保留

14.3.7 串行状态寄存器 (SSR)

SSR 由 SCI3 状态标志位、发送和接收多处理器位构成。只能清除 TDRE、RDRF、OER、PER 和 FER。

位	位名	初始值	R/W	说 明
7	TDRE	1	R/W	发送数据寄存器空 表示 TDR 内发送数据的有无。 [置位条件] <ul style="list-style-type: none"> 当 SCR3 的 TE 为 0 时 将数据从 TDR 传送到 TSR 时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时 给 TDR 写发送数据时
6	RDRF	0	R/W	接收数据寄存器满 表示 RDR 内接收数据的有无。 [置位条件] <ul style="list-style-type: none"> 当接收正常结束, 并将接收数据从 RSR 传送到 RDR 时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时 读 RDR 的数据时
5	OER	0	R/W	溢出错误 [置位条件] <ul style="list-style-type: none"> 在接收过程中, 发生溢出错误时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时
4	FER	0	R/W	帧错误 [置位条件] <ul style="list-style-type: none"> 在接收过程中, 发生帧错误时 [清除条件] <ul style="list-style-type: none"> 在读到 1 的状态后, 写 0 时
3	PER	0	R/W	奇偶校验错误 [置位条件] <ul style="list-style-type: none"> 在接收过程中, 发生奇偶校验错误时 [清除条件] <ul style="list-style-type: none"> 读到 1 的状态后, 写 0 时

位	位名	初始值	R/W	说 明
2	TEND	1	R	发送结束 [置位条件] • 当 SCR3 的 TE 为 0 时 • 当发送字符的最后一位被发送, 并且 TDRE 为 1 时 [清除条件] • 在读到 TDRE=1 的状态后, 给 TDRE 标志写 0 时 • 给 TDR 写发送数据时
1	MPBR	0	R	多处理器位接收 保存接收字符中的多处理器位。在 SCR3 的 RE=0 时不变化。
0	MPBT	0	R/W	多处理器位传送 指定附加在发送字符上的多处理器位的值。

14.3.8 位速率寄存器 (BRR)

BRR 是设定位速率的 8 位寄存器, 初始值是 H'FF。异步模式中的 SMR 的 CKS1、CKS0 的值 n 和 BRR 的值 N 的设定例子如表 14.2 所示, 异步模式的最大位速率如表 14.3 所示, 它们都表示激活 (高速) 模式中的值。时钟同步模式中的 SMR 的 CKS1、CKS0 的值和 BRR 的值 N 的设定例子如表 14.4 所示, 表示激活 (高速) 模式中的值。对于其它运行频率和位速率的组合, BRR 的设定值 N 和误差可用以下的计算式求出:

(异步模式)

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

$$\text{误差} (\%) = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

(时钟同步模式)

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: 位速率 (bit/s)

N: 波特率发生器的 BRR 的设定值 (0 ≤ N ≤ 255)

φ: 工作频率 (MHz)

n: SMR 的 CKS1 和 CKS0 的设定值 (0 ≤ n ≤ 3)

表 14.2 对位速率的 BRR 的设定例子 (异步模式)

位速率 (bit/s)	ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00	—	—	—

(续前表)

位速率 (bit/s)	ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	—	—	—	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

【符号说明】

—: 可以设定, 但是有误差。

(续前表)

位速率 (bit/s)	ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

(续前表)

位速率 (bit/s)	ϕ (MHz)					
	9.8304			10		
	n	N	误差 (%)	n	N	误差 (%)
110	2	174	-0.26	2	177	-0.25
150	2	127	0.00	2	129	0.16
300	1	255	0.00	2	64	0.16
600	1	127	0.00	1	129	0.16
1200	0	255	0.00	1	64	0.16
2400	0	127	0.00	0	129	0.16
4800	0	63	0.00	0	64	0.16
9600	0	31	0.00	0	32	-1.36
19200	0	15	0.00	0	15	1.73
31250	0	9	-1.70	0	9	0.00
38400	0	7	0.00	0	7	1.73

【符号说明】

—: 可以设定, 但是有误差。

表 14.3 各频率的最大位速率 (异步模式)

ϕ (MHz)	最大位速率 (bit/s)	n	N	ϕ (MHz)	最大位速率 (bit/s)	n	N
2	62500	0	0	5	156250	0	0
2.097152	65536	0	0	6	187500	0	0
2.4576	76800	0	0	6.144	192000	0	0
3	93750	0	0	7.3728	230400	0	0
3.6864	115200	0	0	8	250000	0	0
4	125000	0	0	9.8304	307200	0	0
4.9152	153600	0	0	10	312500	0	0

表 14.4 对位速率的 BRR 的设定例子 (时钟同步模式)

位速率 (bit/s)	ϕ (MHz)							
	2		4		8		10	
	n	N	n	N	n	N	n	N
110	3	70	—	—	—	—	—	—
250	2	124	2	249	3	124	—	—
500	1	249	2	124	2	249	—	—
1k	1	124	1	249	2	124	—	—
2.5k	0	199	1	99	1	199	1	249
5k	0	99	0	199	1	99	1	124
10k	0	49	0	99	0	199	0	249
25k	0	19	0	39	0	79	0	99
50k	0	9	0	19	0	39	0	49
100k	0	4	0	9	0	19	0	24
250k	0	1	0	3	0	7	0	9
500k	0	0*	0	1	0	3	0	4
1M			0	0*	0	1	—	—
2M					0	0*	—	—
2.5M							0	0*

【符号说明】

空白栏：不可设定。

—：可以设定，但是有误差。

*：不能连续发送和接收。

14.3.9 采样模式寄存器 (SPMR)

SPMR 是控制串行通信的寄存器。

位	位名	初始值	R/W	说 明
7~3	—	全 1	—	保留位 总是读出 1。
2	STDSPM	1	R/W	噪声消除功能选择 在异步通信时, 选择 RXD 管脚输入的噪声消除功能。 0: 噪声消除电路有效 1: 噪声消除电路无效
1	—	1	—	保留位
0	—	1	—	总是读出 1。

- 噪声消除电路

RXD 输入信号经过噪声消除电路被取到内部。噪声消除电路由 3 段串联的锁存电路和一致检测电路构成。用传送率的 16 倍频率的基本时钟采样 RXD 输入信号, 如果 3 个锁存器输出一致, 就将该电平传递给下一个电路; 如果不一致, 就保留以前的值。

也就是说, 如果将相同的电平保持在 3 个时钟以上, 就认为是信号; 但是 3 个时钟以下的信号变化被判断为噪声, 而不认为是信号变化。

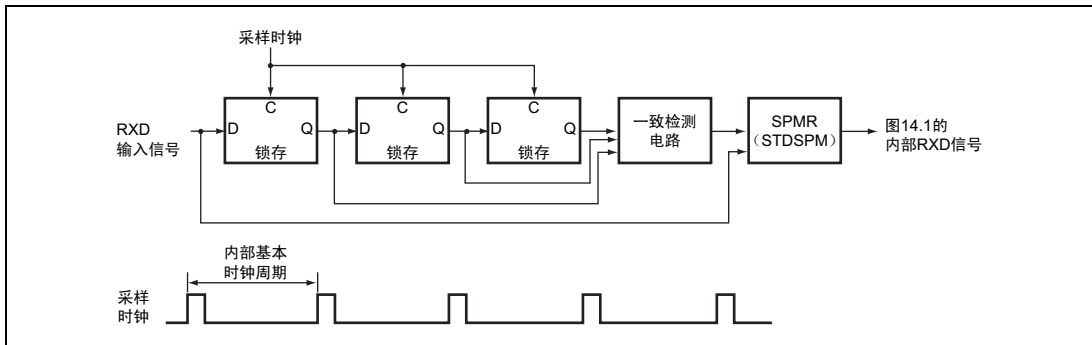


图 14.2 噪声消除电路的框图

14.4 异步模式的运行说明

异步通信的通信数据的一般格式如图 14.3 所示。通信数据的 1 个字符或者 1 帧从起始位 (Low 电平) 开始, 由发送/接收数据 (LSB 先)、奇偶校验位、停止位 (High 电平) 的顺序构成。因为 SCI3 内部的发送部和接收部是独立的, 所以能进行全双工通信。另外, 发送部和接收部都为双缓冲结构, 因此可以通过在发送过程中写下一个发送数据或者在接收过程中读下一个接收数据, 进行连续发送和接收。

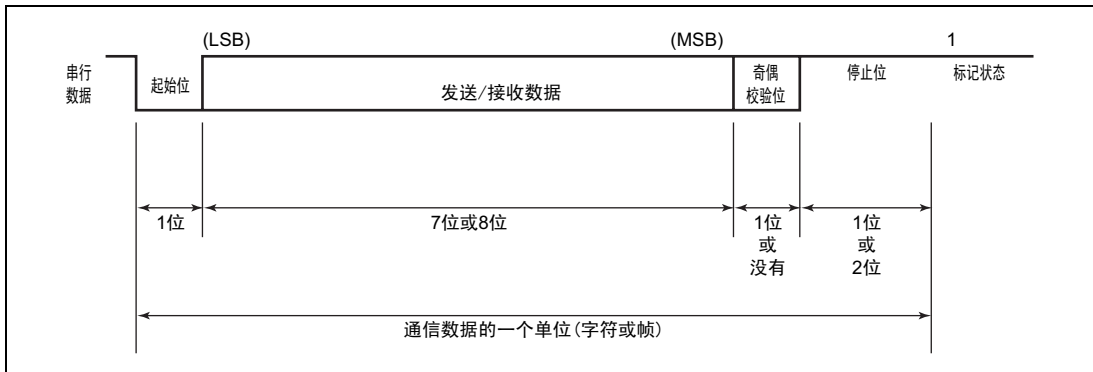


图 14.3 异步通信的数据格式

14.4.1 时钟

作为 SCI3 的发送和接收时钟源, 可通过设定 SMR 的 COM 和 SCR3 的 CKE1、CKE0, 选择内部波特率发生器生成的内部时钟或者从 SCK3 管脚输入的外部时钟。使用外部时钟时, 必须给 SCK3 管脚输入频率为位速率的 16 倍的时钟。使用内部时钟时, 能从 SCK3 管脚输出与位速率相同频率的时钟。输出时钟的相位如图 14.4 所示, 在发送和接收数据每位的中央, 时钟上升。

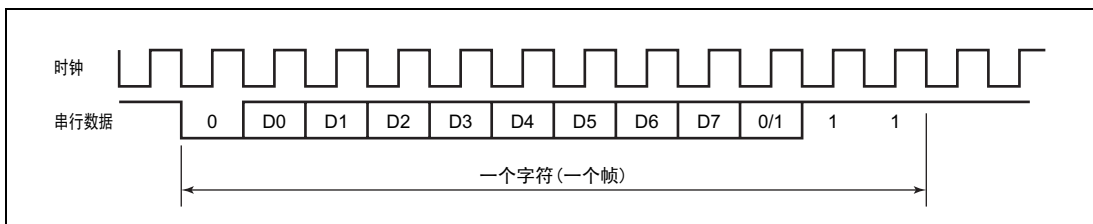


图 14.4 输出时钟和通信数据的相位关系 (异步模式)
(8 位数据/有奇偶校验/2 个停止位的例子)

14.4.2 SCI3 的初始化

按照图 14.5 的流程图例子进行初始化。必须注意：如果 TE 清 0，TDRE 就被置 1，但是即使 RE 清 0，RDRF、PER、FER 和 OER 各标志以及 RDR 也不被初始化。在异步模式中使用外部时钟时，必须从初始化开始供给时钟。

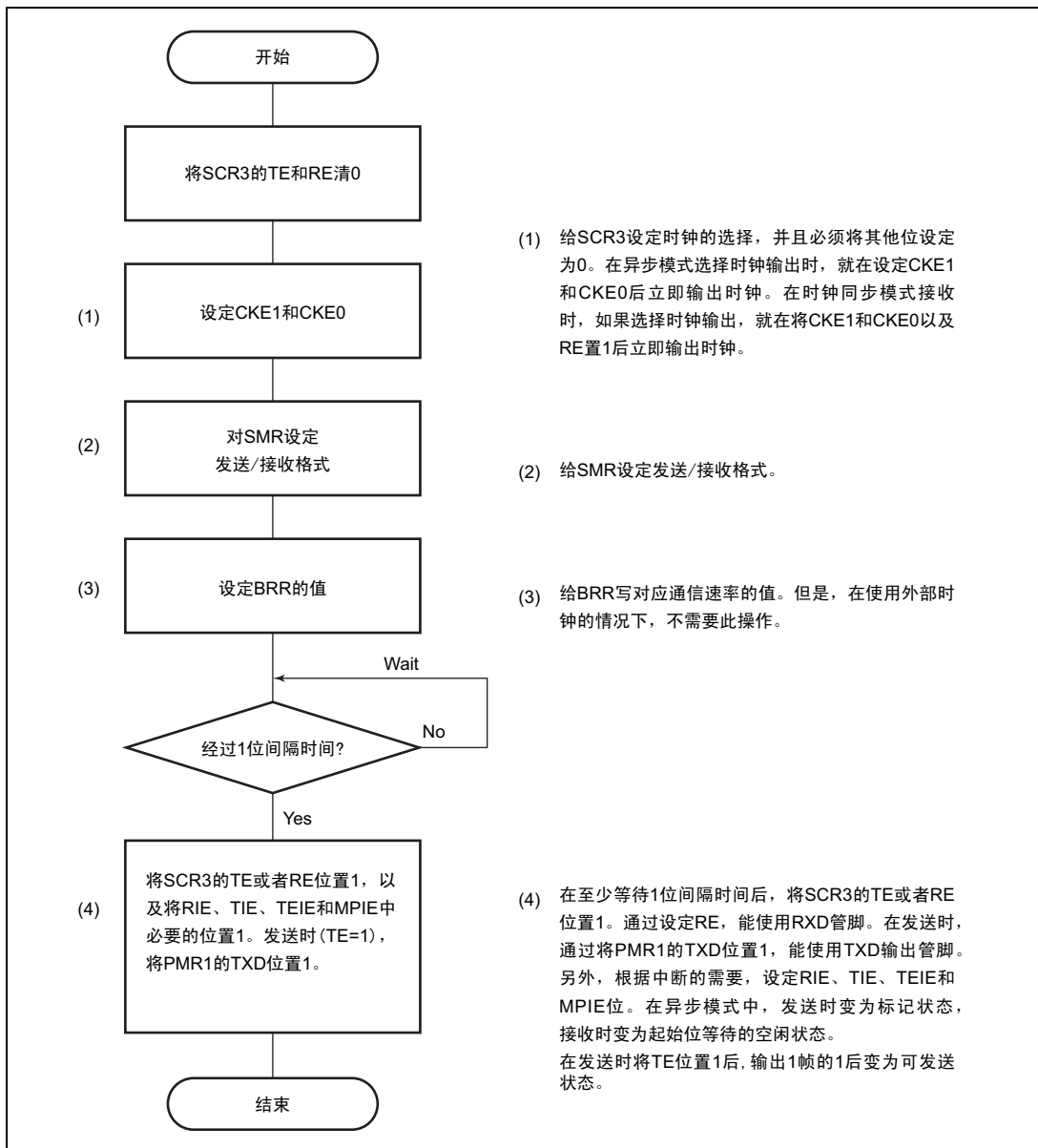


图 14.5 初始化 SCI3 时的流程图例子

14.4.3 数据发送

异步模式发送时的运行例子如图 14.6 所示，发送数据时 SCI3 的运行如下：

1. 监视SSR的TDRE，如果是0，就认为数据已被写到TDR，将数据从TDR传送到TSR。
2. 在TDRE置1后开始发送。此时，如果SCR3的TIE已被置1，就产生TXI中断请求。可通过此TXI中断处理程序，在前一个被传送的数据发送结束之前将下一个发送数据写到TDR，进行连续发送。
3. 在发送停止位的同时检测TDRE。
4. 如果TDRE是0，就将数据从TDR传送到TSR，在发送停止位后开始发送下一帧数据。
5. 如果TDRE是1，就将SSR的TEND置1，在发送停止位后输出1，变为标记状态。此时，如果SCR3的TEIE已被置1，就产生TEI。
6. 发送数据的流程图例子如图14.7所示。

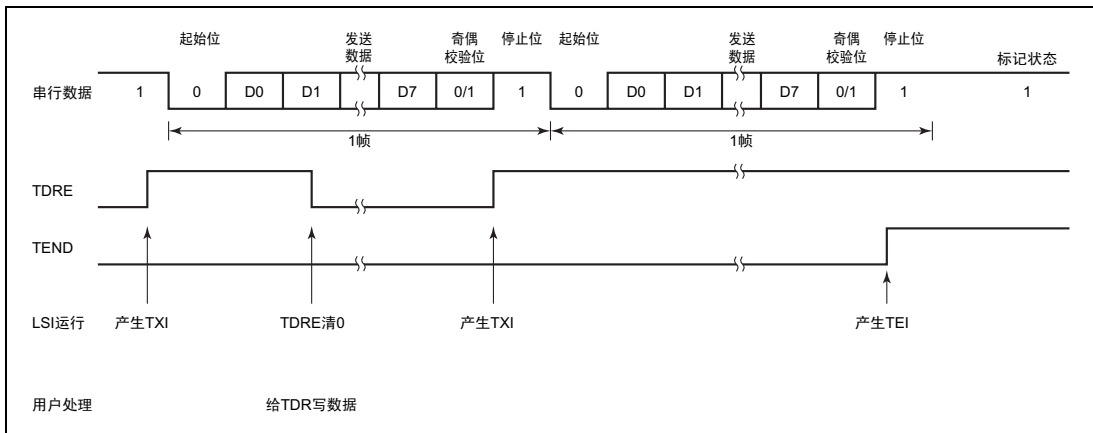


图 14.6 异步模式发送时的运行例子（8 位数据/有奇偶校验/1 个停止位的例子）

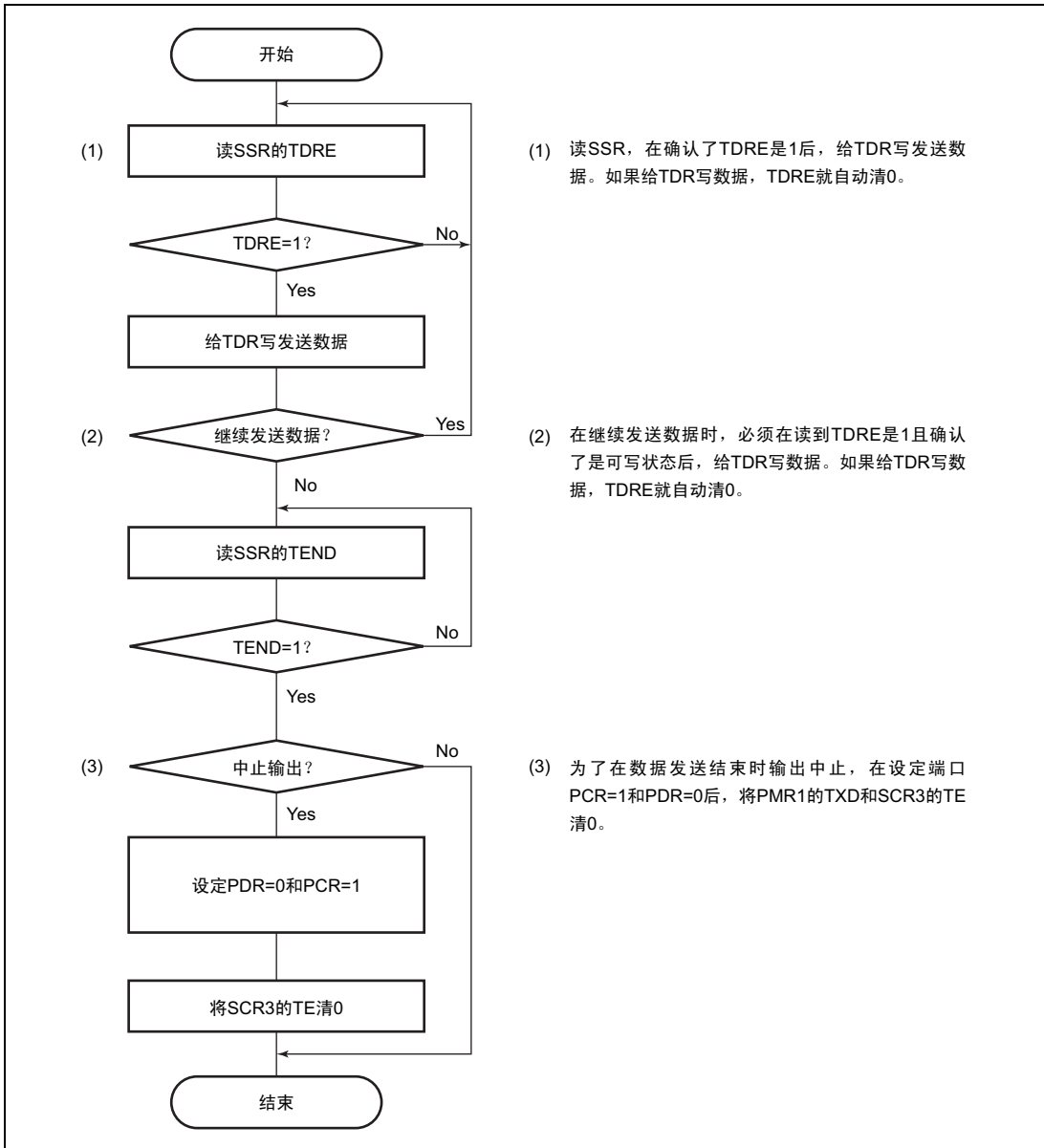


图 14.7 发送数据的流程图例子（异步模式）

14.4.4 数据接收

异步模式接收时的运行例子如图 14.7 所示，接收数据时 SCI3 的运行如下：

1. 监视通信线路，如果检测到起始位，就进行内部同步，将接收数据传送到RSR，并检查奇偶校验位和停止位。
2. 当发生溢出错误时（在SSR的RDRF置1的状态下，完成下一个数据的接收时），将SSR的OER置位。此时，如果SCR3的RIE已被置1，就产生ERI中断请求。接收数据不传送给RDR。
3. 当检测到奇偶校验错误时，将SSR的PER置位，并且将接收数据传送到RDR。此时，如果SCR3的RIE已被置1，就产生ERI中断请求。
4. 当检测到帧错误（停止位为0时）时，将SSR的FER置位，并且将接收数据传送到RDR。此时，如果将SCR3的RIE置1，就产生ERI中断请求。
5. 当正常接收时，将SSR的RDRF置位，并且将接收数据传送到RDR。此时，如果SCR3的RIE已被置1，就产生RXI中断请求。能通过此RXI中断处理程序，在下一个数据接收结束之前读取被传送到RDR的接收数据，进行连续接收。

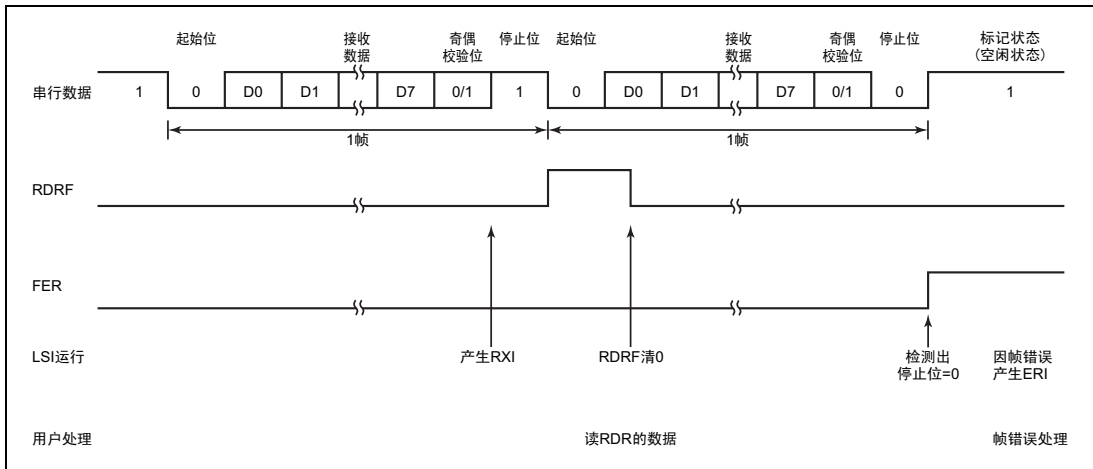


图 14.8 异步模式接收时的运行例子（8 位数据/有奇偶校验/1 个停止位的例子）

检测到接收错误时的 SSR 各状态标志的状态和接收数据的处理如表 14.5 所示。如果检测到接收错误，RDRF 就保持接收数据前的状态。在接收错误被置位的状态下，无法进行以后的接收运行。因此，必须在继续接收之前将 OER、FER、PER 和 RDR 清 0。接收数据的流程图例子如图 14.9 所示。

表 14.5 SSR 状态标志的状态和接收数据的传送

SSR 状态标志				接收数据	接收错误的状态
RDRF*	OER	FER	PER		
1	1	0	0	丢失	溢出错误
0	0	1	0	传送给 RDR	帧错误
0	0	0	1	传送给 RDR	奇偶校验错误
1	1	1	0	丢失	溢出错误 + 帧错误
1	1	0	1	丢失	溢出错误 + 奇偶校验错误
0	0	1	1	传送给 RDR	帧错误 + 奇偶校验错误
1	1	1	1	丢失	溢出错误 + 帧错误 + 奇偶校验错误

【注】 * RDRF 保持数据接收前的状态。

14.5 时钟同步模式的运行说明

时钟同步通信的通信数据格式如图 14.10 所示。在时钟同步模式中，与时钟脉冲同步发送和接收数据。1 个字符的通信数据由 LSB 开始的 8 位数据构成。SCI3 在发送数据时，在从同步时钟的下降沿到下一个下降沿之间输出数据。在接收数据时，与同步时钟的上升沿同步接收数据。MSB 输出后的通信线路保持 MSB 输出状态。在时钟同步模式中，不能附加奇偶校验位和多处理器位。由于在 SCI3 内部发送部和接收部是独立的，因此能通过共享时钟进行全双工通信。发送部和接收部都为双缓冲结构，因此可以通过在发送中写下一个发送数据或者在接收中读前一个接收数据，进行连续发送和接收。

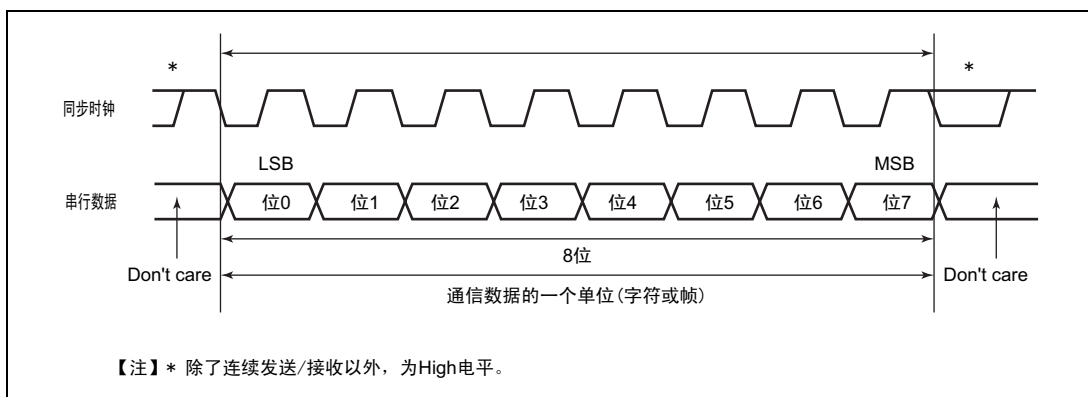


图 14.10 时钟同步通信的数据格式

14.5.1 时钟

通过设定 SMR 的 COM 和 SCR3 的 CKE1、CKE0，能选择内部波特率发生器生成的内部时钟或者从 SCK3 管脚输入的外部同步时钟。使用内部时钟运行时，从 SCK3 管脚输出同步时钟。同步时钟在发送和接收一个字符时输出 8 个脉冲；在不进行发送和接收时，固定为高电平。

14.5.2 SCI3 的初始化

在发送和接收数据前，必须按照图 14.5 的流程图例子初始化 SCI3。

14.5.3 数据发送

时钟同步模式发送时的运行例子如图14.11所示，发送数据时SCI3的运行如下：

1. SCI3监视SSR的TDRE，如果是0，就认为数据已被写到TDR，将数据从TDR传送到TSR。
2. 在将TDRE置1后开始发送。此时，如果SCR3的TIE已被置1，就产生TXI中断请求。
3. 当设定为时钟输出模式时，SCI3输出8个脉冲的同步时钟；当设定为外部时钟时，与输入时钟同步输出数据。由LSB（位0）开始按顺序从TXD管脚发送串行数据。
4. 在发送MSB（位7）的同时检测TDRE。
5. 如果TDRE是0，就将数据从TDR传送给TSR，开始发送下一帧。
6. 如果TDRE是1，就将SSR的TEND置1，保持MSB输出状态。此时，如果SCR3的TEIE已被置1，就产生TEI。
7. 发送结束后，SCK3管脚固定为高电平。

发送数据的流程图例子如图 14.12 所示。由于在表示数据接收状态的错误标志（OER、FER、PER）被置 1 的状态下不能进行发送，因此必须在发送前确认错误标志（OER、FER、PER）是否已被清 0。

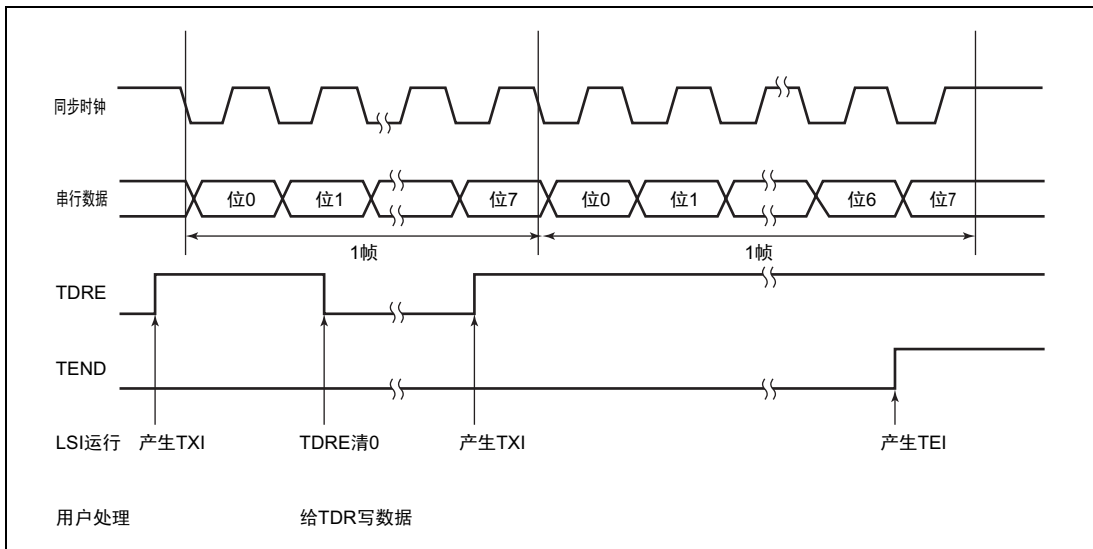


图 14.11 时钟同步模式发送时的运行例子

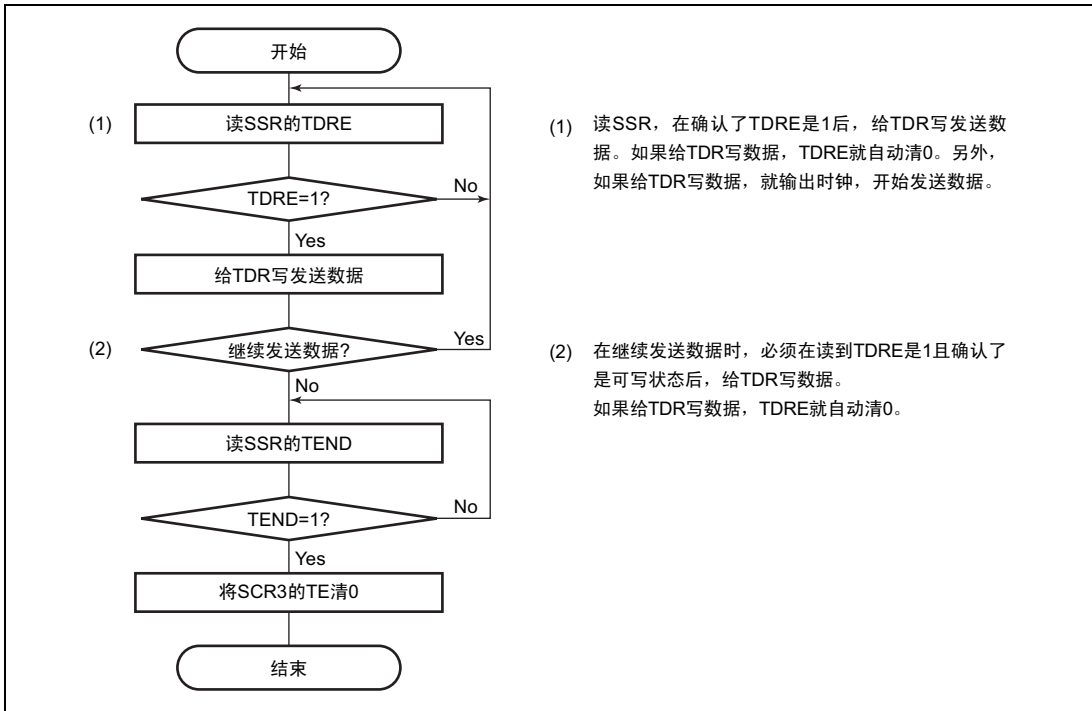


图 14.12 发送数据的流程图例子（时钟同步模式）

14.5.4 数据接收

时钟同步模式接收时的运行例子如图 14.13 所示，在接收时 SCI3 的运行如下：

1. SCI3在与同步时钟的输入或者输出同步后初始化内部，然后开始接收。
2. 将接收的数据传送到RSR。
3. 当发生溢出错误时（在SSR的RDRF置1的状态下，完成下一个数据的接收时），将SSR的OER置位。此时，如果SCR3的RIE已被置1，就产生ERI中断请求。接收数据不传送给RDR，保持RDRF置1的状态。
4. 当正常接收时，将SSR的RDRF置位，并且将接收数据传送到RDR。此时，如果SCR3的RIE已被置1，就产生RXI中断请求。

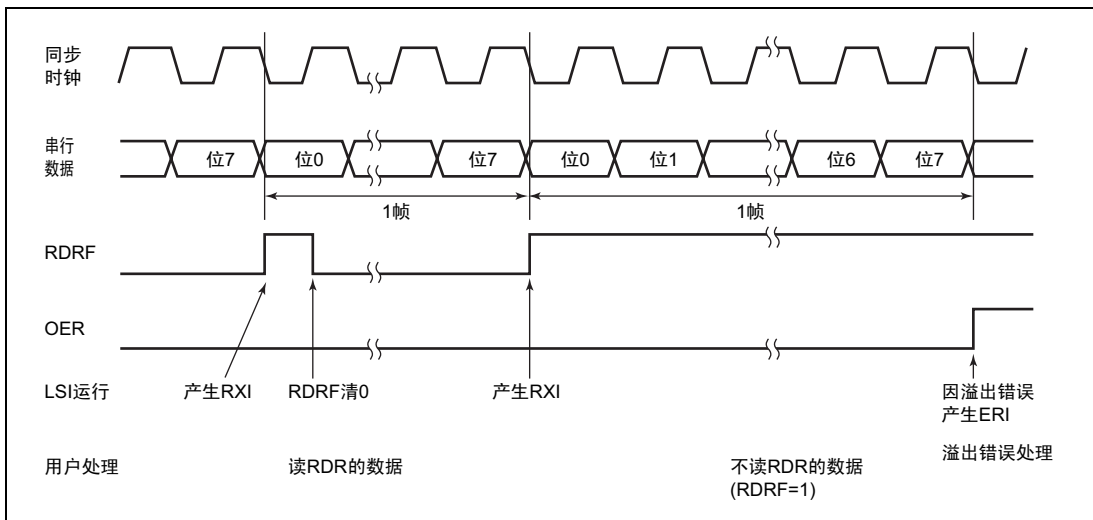


图 14.13 时钟同步模式接收时的运行例子

在接收错误被置位的状态下，无法进行以后的接收运行。因此，必须在继续接收前将 OER、FER、PER 和 RDRF 清 0。接收数据的流程图例子如图 14.14 所示。

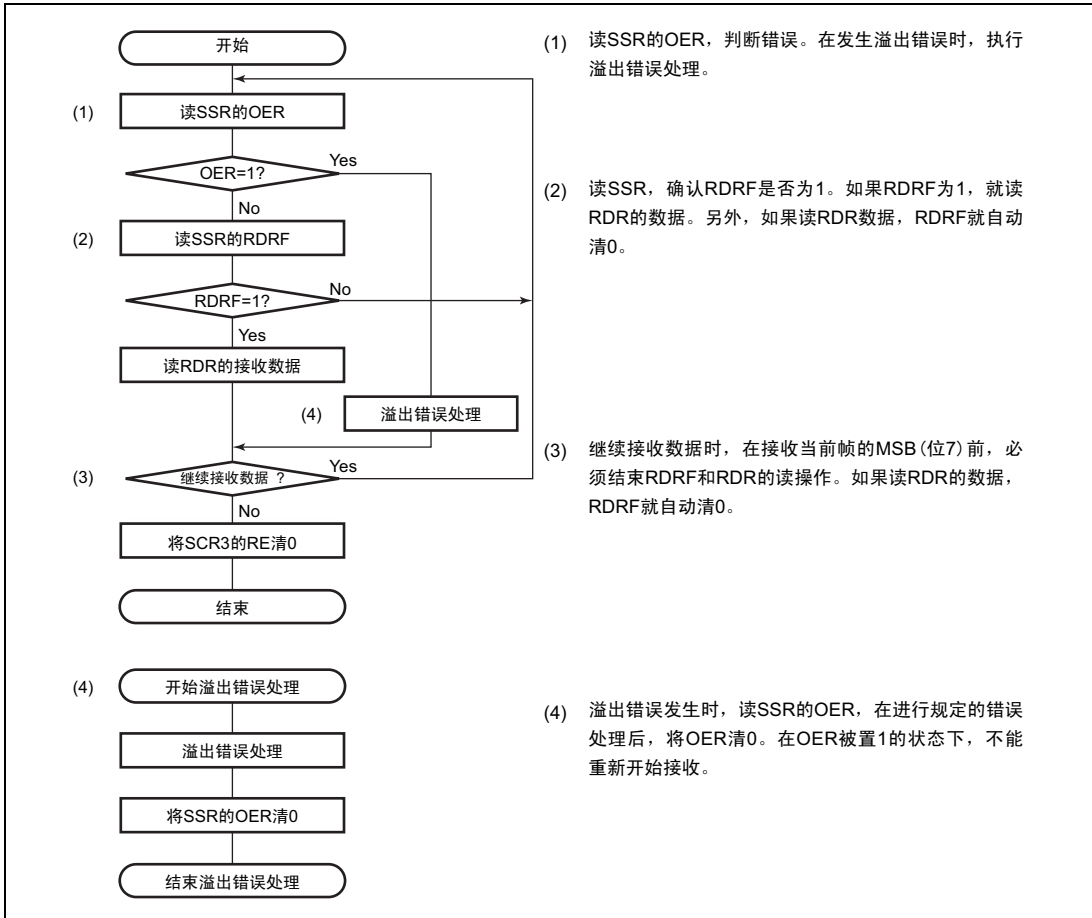


图 14.14 接收数据的流程图例子 (时钟同步模式)

14.5.5 数据发送和接收的同时运行

数据发送和接收同时运行的流程图例子如图 14.15 所示，必须在 SCI3 初始化后，按照以下的步骤进行数据发送和接收的同时运行。从发送转换到同时发送和接收时，必须在确认 SCI3 为发送结束状态且 TDRE 和 TEND 被置 1 以后，将 TE 清 0，然后用 1 条指令同时将 TE 和 RE 置 1。从接收转换到同时发送和接收时，必须在确认 SCI3 为接收结束状态后，将 RE 清 0，然后在确认 RDRF 和错误标志 (OER、FER、PER) 已被清 0 后，用 1 条指令同时将 TE 和 RE 置 1。

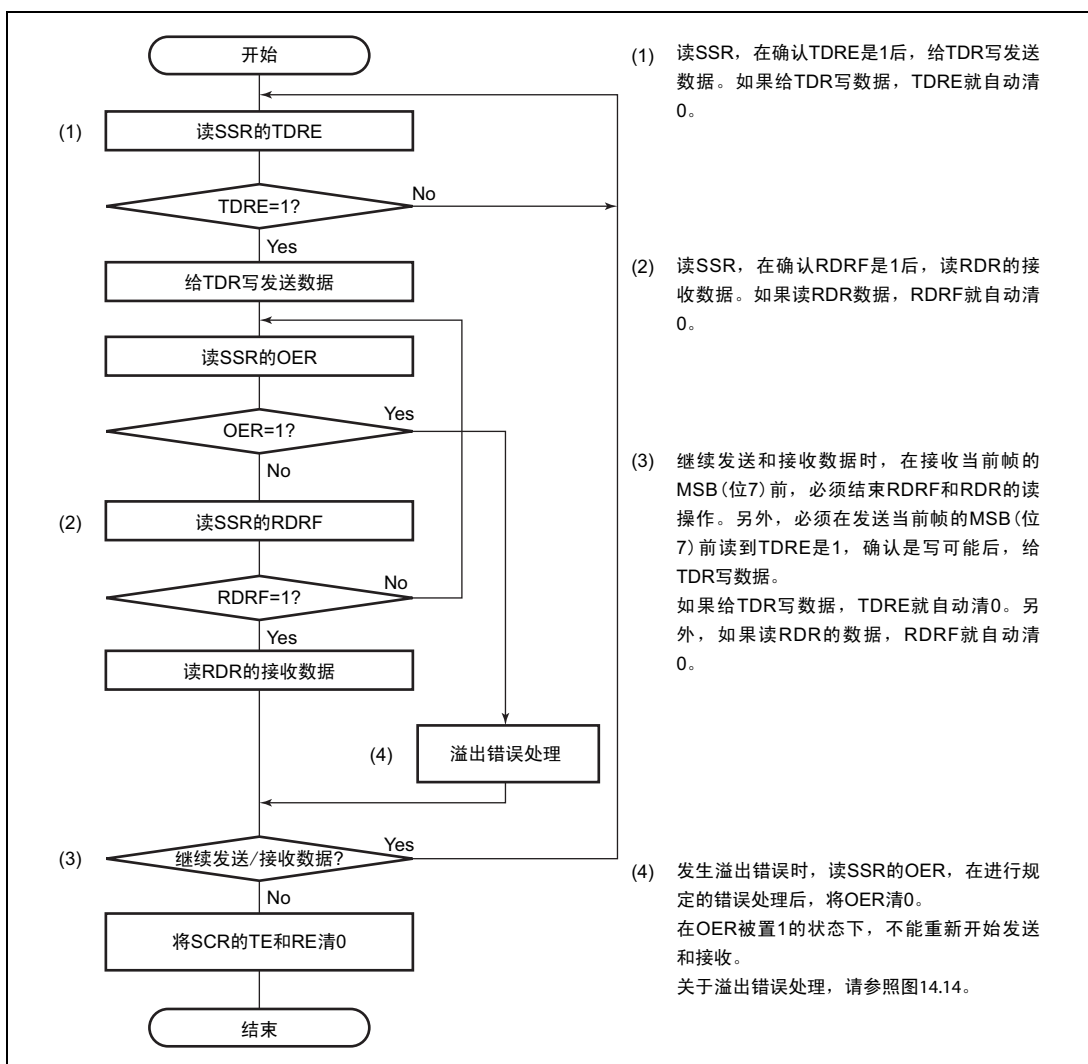


图 14.15 数据发送和接收同时运行的流程图例子 (时钟同步模式)

14.6 多处理器通信功能

如果使用多处理器通信功能，就能通过附加多处理器位的异步串行通信，在多个处理器之间共享通信线路进行数据的发送/接收。在多处理器通信中，给接收站分配各自特有的 ID 码。串行通信周期由指定接收站的 ID 发送周期和指定接收站的数据发送周期构成。由多处理器位区分 ID 发送周期和数据发送周期，当多处理器位是 1 时，为 ID 发送周期；当多处理器位是 0 时，为数据发送周期。使用多处理器格式的处理器之间的通信例子如图 14.16 所示。发送站首先发送附加了多处理器位为 1 的接收站 ID 码的通信数据，接着发送附加了多处理器位为 0 的发送数据的通信数据。如果接收站接收到多处理器位为 1 的通信数据，就与本站的 ID 比较，如果一致，就继续接收被发送的通信数据；如果不一致，就在再次接收到多处理器位为 1 的通信数据之前，跳读通信数据。

SCI3 为了支持此功能，在 SCR3 中设有 MPIE 位。如果 MPIE 置 1，就在接收到多处理器位为 1 的数据之前，禁止将接收数据从 RSR 传送到 RDR、禁止接收错误的检测以及禁止 SSR 的 RDRF、FER、OER 各状态标志的置位。如果接收到多处理器位为 1 的字符，就在将 SSR 的 MPBR 置 1 的同时自动清除 MPIE，然后返回到通常的接收运行状态。此时，如果 SCR3 的 RIE 已被置位，就产生 RXI 中断。

在指定多处理器格式时，奇偶校验位的指定无效。除此以外与通常的异步模式相同，进行多处理器通信时的时钟也和通常的异步模式相同。

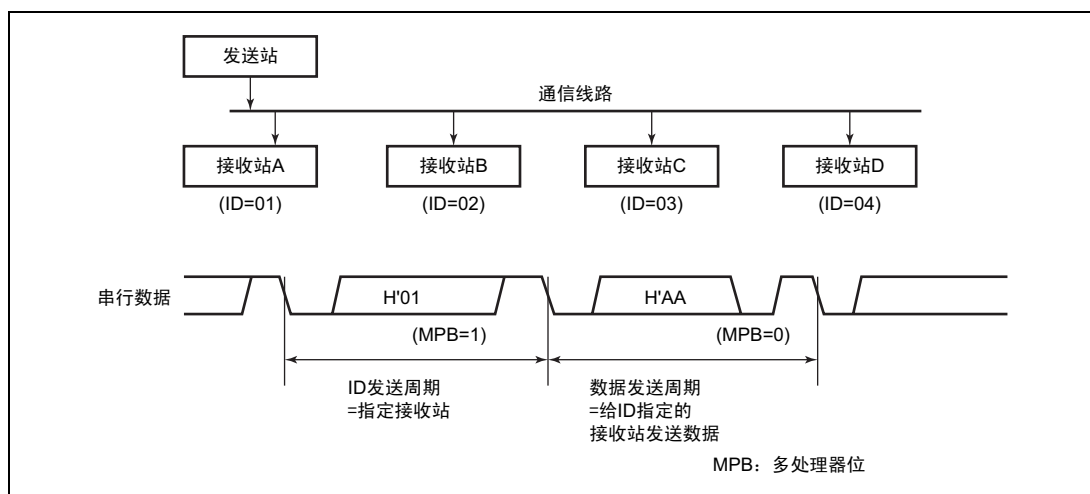


图 14.16 使用多处理器格式的处理器之间的通信例子
(对接收站A发送数据H'AA的例子)

14.6.1 多处理器数据发送

多处理器数据发送的流程图例子如图 14.17 所示。必须在 ID 发送周期将 SSR 的 MPBT 置 1 后发送 ID 码，在数据发送周期将 SSR 的 MPBT 清 0 后发送数据。其它运行和异步模式的运行相同。

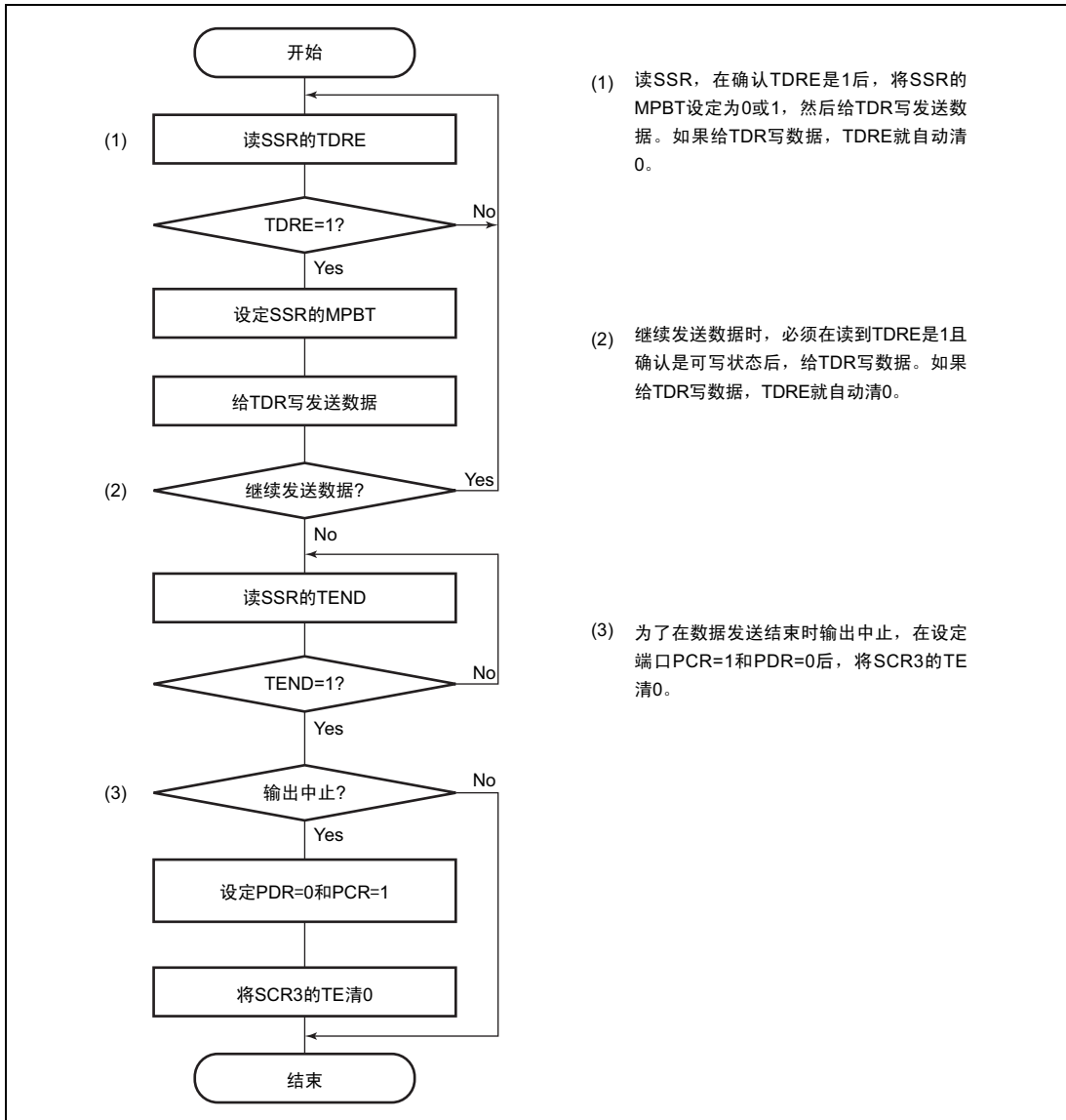


图 14.17 多处理器数据发送的流程图例子

14.6.2 多处理器数据接收

多处理器数据接收的流程图例子如图 14.18 所示。如果 SCR3 的 MPIE 置 1，就在接收到多处理器位为 1 的通信数据之前，跳读通信数据。如果接收到多处理器位为 1 的通信数据，就将接收数据传送到 RDR，此时产生 RXI 中断请求。其它运行和异步模式的运行相同。接收时的运行例子如图 14.19 所示。

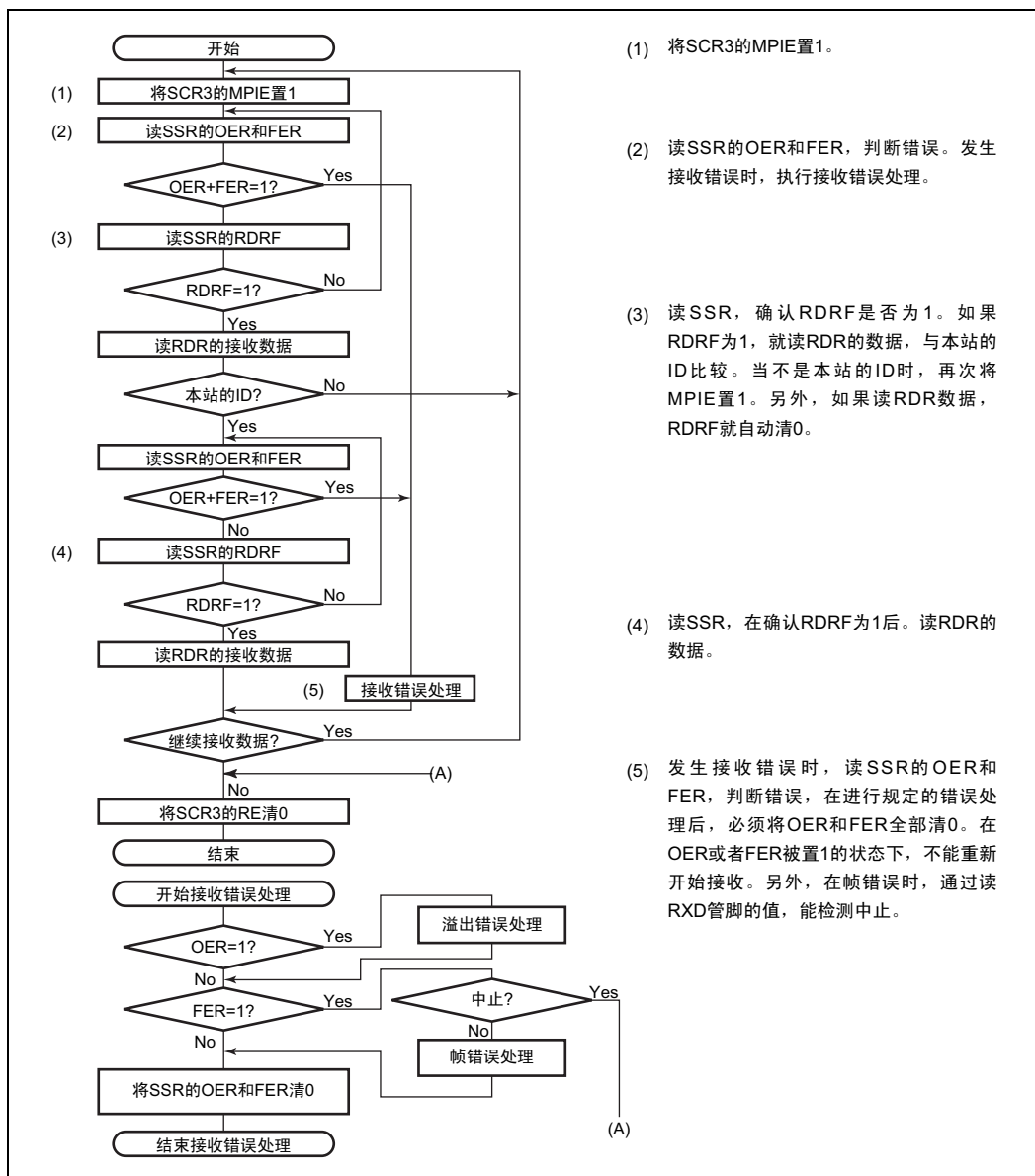


图 14.18 多处理器数据接收的流程图例子

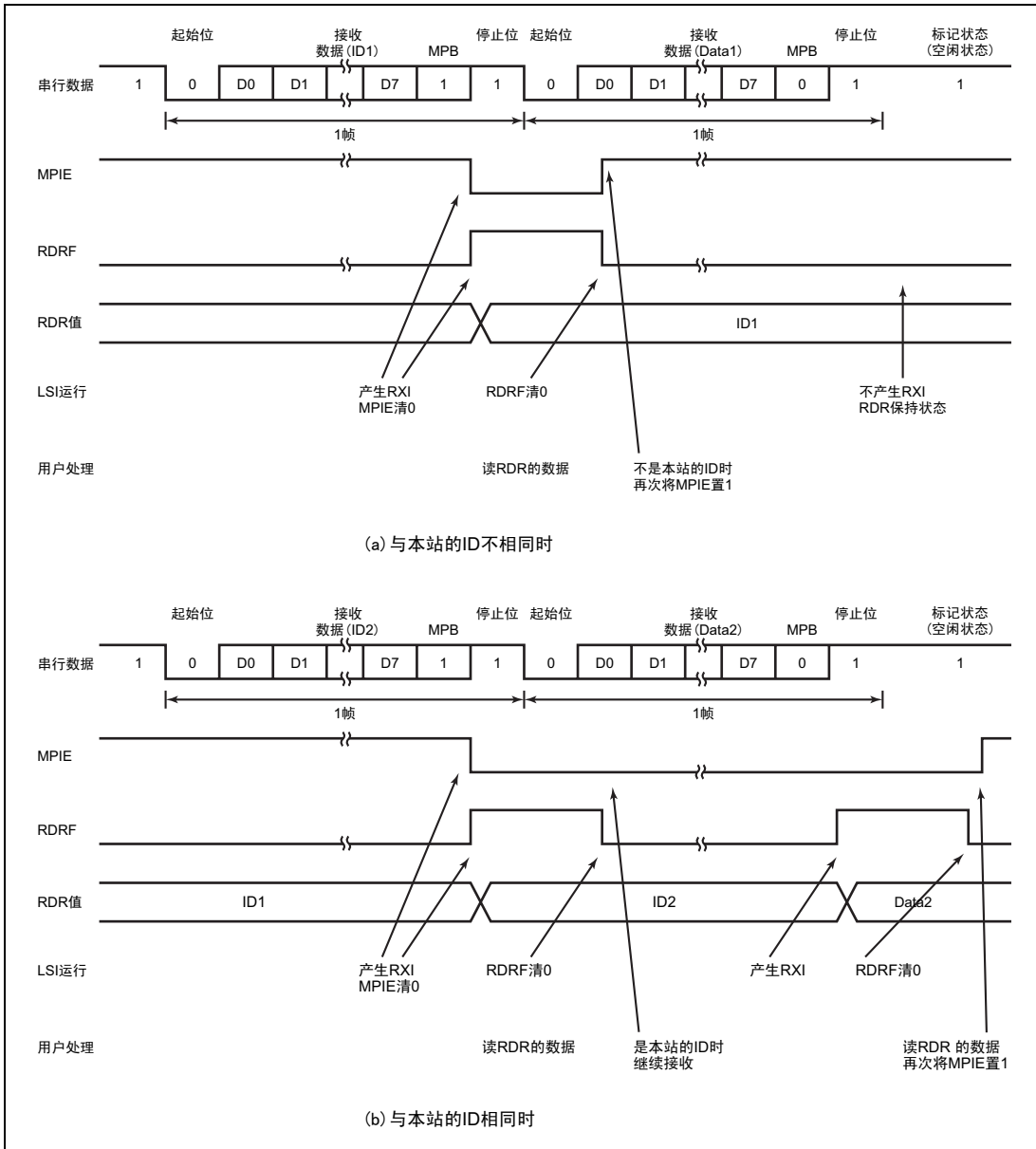


图 14.19 多处理器格式接收时的运行例子
 (8 位数据/有多处理器位/1 个停止位的例子)

14.7 中断请求

SCI3 生成的中断请求有发送结束、发送数据空、接收数据满和接收错误（溢出错误、帧错误和奇偶校验错误）共计 6 种，各中断请求的内容如表 14.6 所示。

表 14.6 SCI3 的中断请求

中断请求	略称	中断源
接收数据满	RXI	SSR 的 RDRF 置位
发送数据空	TXI	SSR 的 TDRE 置位
发送结束	TEI	SSR 的 TEND 置位
接收错误	ERI	SSR 的 OER、FER 和 PER 置位

SSR 的 TDRE 的初始值为 1。因此，如果在给 TDR 传送发送数据前将 SCR3 的 TIE 置 1，即使没准备好发送数据也会发生 TXI。另外，SSR 的 TEND 的初始值为 1。如果在给 TDR 传送发送数据前将 SCR3 的 TEIE 置 1，即使数据未被发送也会发生 TEI。通过在中断处理程序中给 TDR 传送数据，也能有效地利用这些中断请求。相反，为了防止这些中断请求（TXI、TEI）的发生，必须在给 TDR 传送发送数据后，将对应这些中断请求的允许位（TIE、TEIE）置 1。

14.8 使用注意事项

14.8.1 关于中止的检测和处理

在检测帧错误时，能通过直接读 RXD 管脚的值检测中止。因为在中止期间 RXD 管脚的输入全部为 0，所以 FER 和 PER 可能被置位。SCI3 在接收到中止后还继续接收运行。因此必须注意：即使将 FER 清 0 也会再次被置 1。

14.8.2 标记状态和中止的发送

当 TE 为 0 时，TXD 管脚变为由 PDR 和 PCR 决定输入/输出方向和电平的 I/O 端口。利用它可将 TXD 管脚设定为标记状态或者能在发送数据时发送中止。为了在 TE 置 1 前将通信线路设定为标记状态（1 的状态），设定 PCR=1 和 PDR=1。此时，由于 TE 清 0，TXD 管脚变为 I/O 端口并输出 1。另外，要在发送数据时发送中止，就在设定 PCR=1 和 PDR=0 后，将 TE 清 0。如果 TE 清 0，与当前的发送状态无关，发送部被初始化，TXD 管脚变为 I/O 端口，并从 TXD 管脚输出 0。

14.8.3 关于接收错误标志和发送运行（只限时钟同步模式）

在接收错误标志（OER、PER、FER）置 1 的状态下，即使将 TDRE 清 0 也不能开始发送。必须在开始发送时，将接收错误标志清 0。另外，必须注意：即使 RE 清 0 也不能将接收错误标志清 0。

14.8.4 异步模式的接收数据采样时序和接收容限

在异步模式中，SCI3 以频率为传送率的 16 倍的基本时钟运行。在接收时，SCI3 用基本时钟采样起始位的下降沿，使内部同步。另外，在基本时钟的第 8 个上升沿将接收数据取到内部，如图 14.20 所示。

因此，在异步模式中的接收容限可用式（1）表示。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} - (L-0.5) F \right\} \times 100 (\%) \quad \dots \text{式 (1)}$$

N: 对于时钟的位速率的比率 (N=16)

D: 时钟的占空比 (D=0.5~1.0)

L: 帧长 (L=9~12)

F: 时钟频率偏差的绝对值

在式（1）中，假设 F（时钟频率偏差的绝对值）=0、D（时钟的占空比）=0.5，

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 (\%) = 46.875 \%$$

但是，此值只是计算值，所以在系统设计时必须留有 20~30% 的容限。

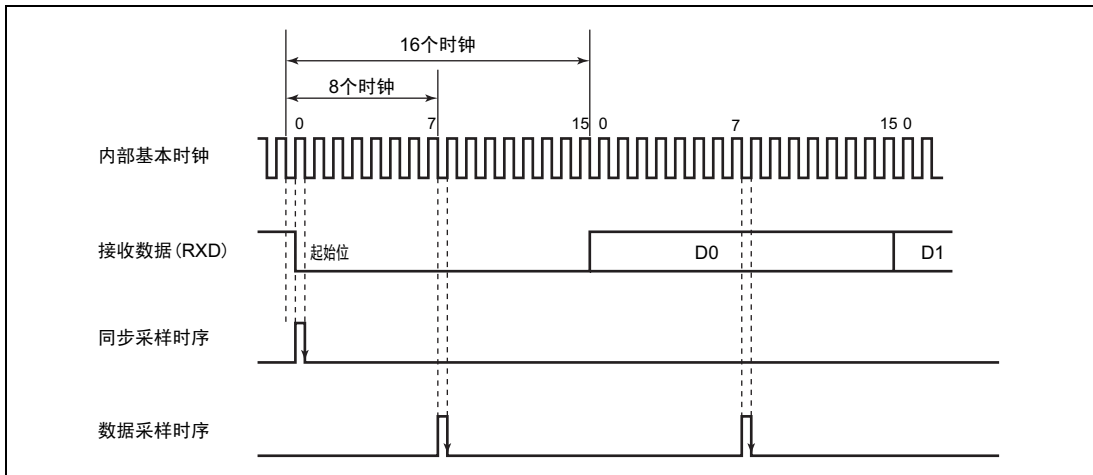


图 14.20 异步模式接收数据的采样时序

第 15 章 I²C 总线接口 2 (IIC2)

I²C 总线接口 2 遵循菲利普斯公司提倡的 I²C 总线 (Inter IC Bus) 接口方式, 具有子集功能。但是, 控制 I²C 总线的寄存器结构与菲利普斯公司有些不同。I²C 总线接口 2 的框图如图 15.1 所示, 输入/输出管脚的外部电路连接例子如图 15.2 所示。

15.1 特点

- 可选择 I²C 总线格式或者时钟同步串行格式
- 可连续发送/接收
移位寄存器、发送数据寄存器和接收数据寄存器各自独立, 可连续发送/接收

I²C 总线格式

- 在主模式中, 自动生成开始条件和停止条件
- 接收时, 可选择应答的输出电平
- 发送时, 自动装入应答位
- 内置位同步/等待功能
在主模式中, 按位监视 SCL 的状态, 自动取得同步。在完成传送准备前, 将 SCL 设为 Low 电平, 使主侧处于待机状态。
- 中断源: 6 种
发送数据空 (包含从属地址相同时)、发送结束、接收数据满 (包含从属地址相同时)、仲裁失败、NACK 检测、停止条件检测
- 可直接驱动总线
在选择总线驱动功能时 2 个管脚 SCL 和 SDA 为 NMOS 漏极开路输出

时钟同步串行格式

- 中断源: 4 种
发送数据空、发送结束、接收数据满、溢出错误

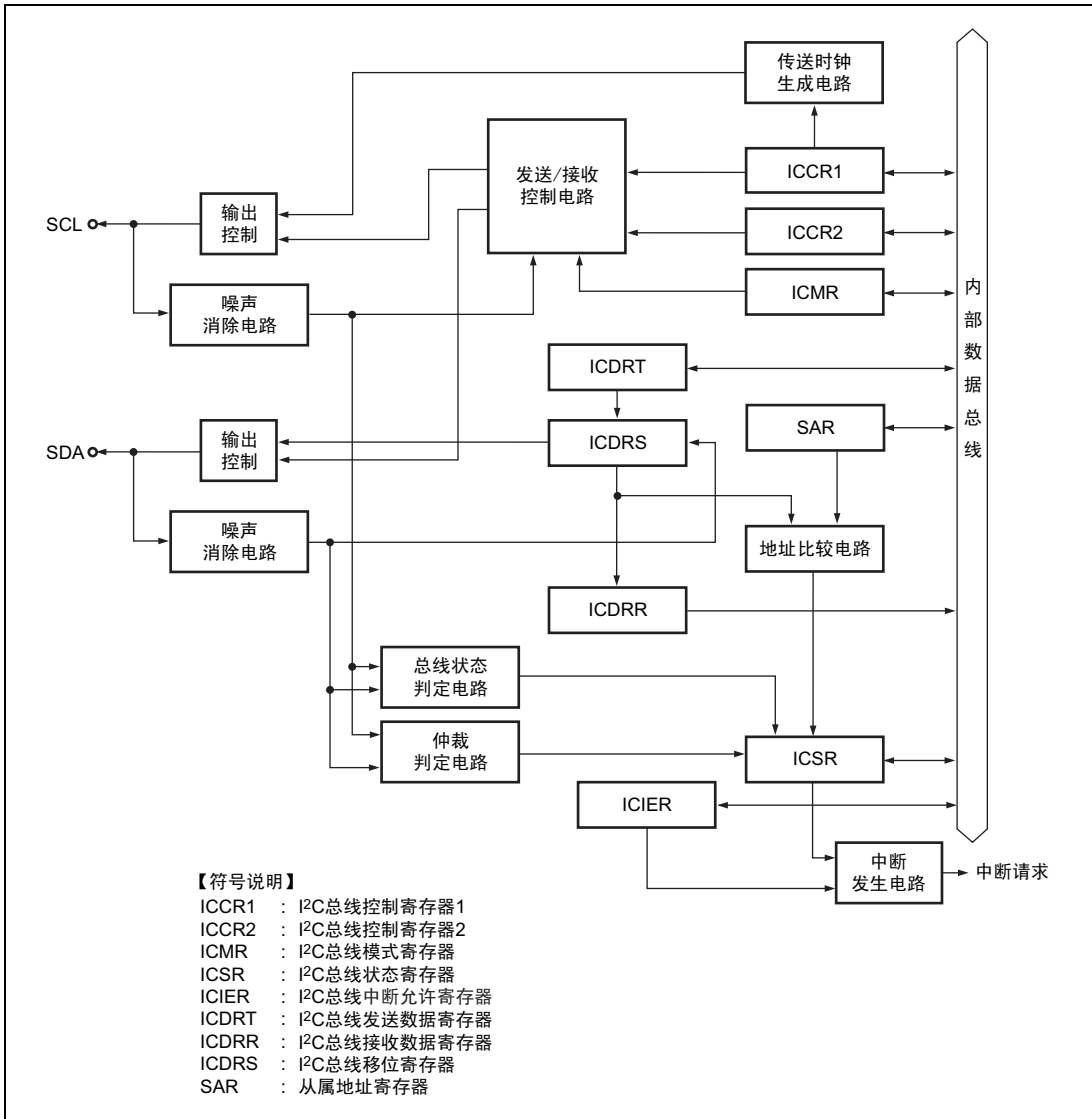


图 15.1 I²C 总线接口 2 的框图

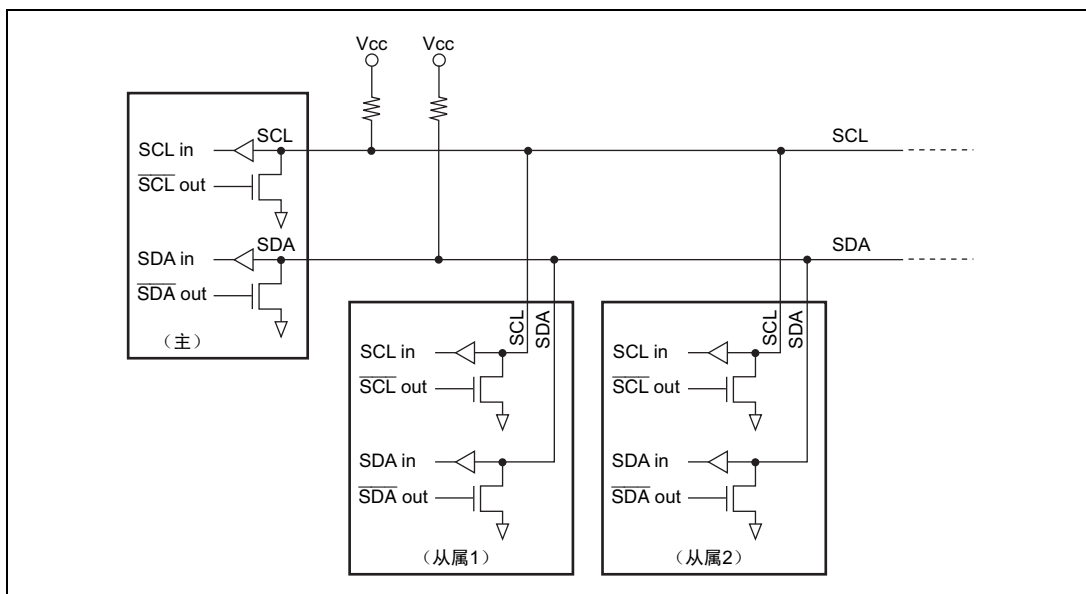


图 15.2 输入/输出管脚的外部电路连接的例子

15.2 输入/输出管脚

I²C 总线接口 2 使用的管脚结构如表 15.1 所示。

表 15.1 管脚结构

名称	符号	输入/输出	功能
串行时钟管脚	SCL	输入/输出	I ² C 串行时钟输入/输出管脚
串行数据管脚	SDA	输入/输出	I ² C 串行数据输入/输出管脚

15.3 寄存器说明

I²C 总线接口 2 有以下寄存器：

- I²C 总线控制寄存器 1 (ICCR1)
- I²C 总线控制寄存器 2 (ICCR2)
- I²C 总线模式寄存器 (ICMR)
- I²C 总线中断允许寄存器 (ICIER)
- I²C 总线状态寄存器 (ICSR)
- 从属地址寄存器 (SAR)
- I²C 总线发送数据寄存器 (ICDRT)
- I²C 总线接收数据寄存器 (ICDRR)
- I²C 总线移位寄存器 (ICDRS)

15.3.1 I²C 总线控制寄存器 1 (ICCR1)

ICCR1 选择 I²C 总线接口 2 的运行/停止、发送/接收控制、主模式/从属模式、发送/接收以及主模式传送时钟频率。

位	位名	初始值	R/W	说 明
7	ICE	0	R/W	I ² C 总线接口 2 允许 0: 本模块为功能停止状态 (SCL/SDA 管脚为端口功能) 1: 本模块为可传送运行状态 (SCL/SDA 为总线驱动状态)
6	RCVD	0	R/W	接收禁止 在 TRS=0 的状态下, 读 ICDRR 时, 设定下一次的运行状态 (继续/禁止)。 0: 继续下一次的接收运行 1: 禁止下一次的接收运行
5 4	MST TRS	0 0	R/W R/W	主/从属选择 发送/接收选择 如果在 I ² C 总线格式的主模式中总线竞争失败, MST 和 TRS 就都被硬件复位, 变为从属接收模式。而且, 必须在传送帧期间更改 TRS。另外, 在从属接收模式中, 如果开始条件后的 7 位与设定在 SAR 的从属地址一致且第 8 位是 1, TRS 就自动置 1。在时钟同步串行格式的主接收模式中, 如果发生溢出错误, MST 就清 0, 变为从属接收模式。 根据 MST 和 TRS 组合的运行模式如下。另外, 在选择了时钟同步串行格式且 MST=1 时, 为时钟输出。 00: 从属接收模式 01: 从属发送模式 10: 主接收模式 11: 主发送模式
3	CKS3	0	R/W	传送时钟选择 3~0
2	CKS2	0	R/W	主模式时, 必须对照所需的传送率 (参照表 15.2) 进行设定。在从属模式中, 这些位用于确保发送模式时的数据准备时间。此时间在 CKS3=0 时为 10tcyc, 在 CKS3=1 时为 20tcyc。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 15.2 传送率

位 3	位 2	位 1	位 0	时钟	传送率		
					$\phi=5\text{MHz}$	$\phi=8\text{MHz}$	$\phi=10\text{MHz}$
CKS3	CKS2	CKS1	CKS0				
0	0	0	0	$\phi/28$	179kHz	286kHz	357kHz
			1	$\phi/40$	125kHz	200kHz	250kHz
		1	0	$\phi/48$	104kHz	167kHz	208kHz
			1	$\phi/64$	78.1kHz	125kHz	156kHz
	1	0	0	$\phi/80$	62.5kHz	100kHz	125kHz
			1	$\phi/100$	50.0kHz	80.0kHz	100kHz
		1	0	$\phi/112$	44.6kHz	71.4kHz	89.3kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz
1	0	0	0	$\phi/56$	89.3kHz	143kHz	179kHz
			1	$\phi/80$	62.5kHz	100kHz	125kHz
		1	0	$\phi/96$	52.1kHz	83.3kHz	104kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz
	1	0	0	$\phi/160$	31.3kHz	50.0kHz	62.5kHz
			1	$\phi/200$	25.0kHz	40.0kHz	50.0kHz
		1	0	$\phi/224$	22.3kHz	35.7kHz	44.6kHz
			1	$\phi/256$	19.5kHz	31.3kHz	39.1kHz

15.3.2 I²C 总线控制寄存器 2 (ICCR2)

ICCR2 控制开始/停止条件的发行、SDA 管脚的操作、SCL 管脚的监视以及 I²C 总线接口 2 控制部的复位。

位	位名	初始值	R/W	说 明
7	BBSY	0	R/W	总线忙 具有表示 I ² C 总线占有/释放状态的标志功能和主模式开始/停止条件的发行功能。在时钟同步串行格式时，此位无意义。在 I ² C 总线格式时，如果在 SCL=高电平的状态下将 SDA 从高电平变为低电平，就认为发行了开始条件，将此位置 1；如果在 SCL=高电平的状态下将 SDA 从低电平变为高电平，就认为发行了停止条件，将此位清 0。在发行开始条件时，给 BBSY 写 1 并将 SCP 清 0，在再次发送开始条件时也进行同样的操作。在发行停止条件时，将 BBSY 和 SCP 清 0。另外，发行开始条件/停止条件时必须使用 MOV 指令。

位	位名	初始值	R/W	说 明
6	SCP	1	R/W	<p>开始/停止条件发行禁止位</p> <p>在主模式中，SCP 位控制开始条件/停止条件的发行。在发行开始条件时，给 BBSY 写 1 并将 SCP 清 0，再次发送开始条件时也进行同样的操作。在发行停止条件时，将 BBSY 和 SCP 清 0。此位总是读出 1，即使写 1，也不保存数据。</p>
5	SDAO	1	R/W	<p>SDA 输出值控制</p> <p>在更改 SDA 的输出电平时，此位和位 4 的 SDAO 组合使用。另外，在传送中不能操作此位。</p> <p>0: 读时，SDA 管脚输出为 Low 电平 : 写时，SDA 管脚输出变为 Low 电平</p> <p>1: 读时，SDA 管脚输出为 High 电平 : 写时，SDA 管脚输出变为 Hi-Z (通过外部上拉电阻，输出 High 电平)</p>
4	SDAOP	1	R/W	<p>SDAO 写保护</p> <p>通过改写 SDAO 位，控制改变 SDA 管脚的输出电平。在更改输出电平时，用 MOV 指令将 SDAO 和 SDAOP 清 0，或者给 SDAO 写 1 并将 SDAOP 清 0。此位总是读出 1。</p>
3	SCLO	1	R	<p>SCLO 监视 SCL 的输出电平。读时，如果 SCLO 是 1，SCL 管脚输出 High 电平；如果 SCLO 是 0，SCL 管脚输出 Low 电平。</p>
2	—	1	—	<p>保留位。</p> <p>总是读出 1。</p>
1	IICRST	0	R/W	<p>IIC 控制部复位</p> <p>IICRST 对除了 I²C 寄存器以外的控制部进行复位。在 I²C 运行中由于通信不良而中止时，如果将 IICRST 位置 1，就能不进行端口的设定和寄存器的初始化，而能将 I²C 控制部复位。</p>
0	—	1	—	<p>保留位。</p> <p>总是读出 1。</p>

15.3.3 I²C 总线模式寄存器 (ICMR)

ICMR 选择 MSB 先/LSB 先、控制主模式等待和选择传送位数。

位	位名	初始值	R/W	说 明
7	MLS	0	R/W	MSB 先/LSB 先选择 0: MSB 先 1: LSB 先 在 I ² C 总线格式中使用, 必须设定为 0。
6	WAIT	0	R/W	等待插入位 在 I ² C 总线格式的主模式时, WAIT 设定在传送除应答以外的数据后是否为等待状态。如果将 WAIT 设为 1, 就在数据最后位的时钟下降后延长 2 个传送时钟的 Low 电平时间。如果将 WAIT 清 0, 就不插入等待, 而连续传送数据和应答。 另外, 在 I ² C 总线格式的从属模式和时钟同步串行格式时, 此位的设定值无效。
5	—	1	—	保留位。
4	—	1	—	总是读出 1。
3	BCWP	1	R/W	BC 写保护 控制 BC2~BC0 的写操作。要改写 BC2~BC0 时, 在将此位设为 0 后用 MOV 指令进行。另外, 在时钟同步串行模式时, 不能改写 BC。 0: 写时, 设定 BC2~BC0 的值 1: 读时, 总是读出 1 写时, BC2~BC0 的设定值无效

位	位名	初始值	R/W	说 明		
2	BC2	0	R/W	位计数器 2~0 指定下一个传送数据的位数。如果读此位，就能得到剩余的传送位数。在 I ² C 总线格式中，给数据加上 1 个应答位后传送。必须在传送帧期间进行设定。另外，如果要设定 000 以外的值，就必须在 SCL 为 Low 的状态下进行。在传送完含应答的数据后，这些位自动返回 000。在选择时钟同步串行格式时，不能改写这些位。		
1	BC1	0	R/W			
0	BC0	0	R/W			
				<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;"> I²C总线格式 000: 9 位 001: 2 位 010: 3 位 011: 4 位 100: 5 位 101: 6 位 110: 7 位 111: 8 位 </td> <td style="width: 50%; vertical-align: top;"> 时钟同步式串行格式 000: 8 位 001: 1 位 010: 2 位 011: 3 位 100: 4 位 101: 5 位 110: 6 位 111: 7 位 </td> </tr> </table>	I ² C总线格式 000: 9 位 001: 2 位 010: 3 位 011: 4 位 100: 5 位 101: 6 位 110: 7 位 111: 8 位	时钟同步式串行格式 000: 8 位 001: 1 位 010: 2 位 011: 3 位 100: 4 位 101: 5 位 110: 6 位 111: 7 位
I ² C总线格式 000: 9 位 001: 2 位 010: 3 位 011: 4 位 100: 5 位 101: 6 位 110: 7 位 111: 8 位	时钟同步式串行格式 000: 8 位 001: 1 位 010: 2 位 011: 3 位 100: 4 位 101: 5 位 110: 6 位 111: 7 位					

15.3.4 I²C 总线中断许可寄存器 (ICIER)

ICIER 允许各种中断源、选择应答的有效/无效、设定发送应答以及确认接收应答。

位	位名	初始值	R/W	说 明
7	TIE	0	R/W	发送中断允许 在 ICSR 的 TDRE 被置位后，允许/禁止发送数据空中断 (TXI)。 0: 禁止发送数据空中断请求 (TXI) 1: 允许发送数据空中断请求 (TXI)
6	TEIE	0	R/W	发送结束中断允许 TEIE 选择在 ICSR 的 TDRE 为 1 状态并且在第 9 个时钟上升时是否允许发送结束中断 (TEI)。另外，能通过将 TEND 清 0 或者将 TEIE 清 0 来解除 TEI。 0: 禁止发送结束中断请求 (TEI) 1: 允许发送结束中断请求 (TEI)

位	位名	初始值	R/W	说 明
5	RIE	0	R/W	<p>接收中断允许</p> <p>当接收数据从 ICDRS 传送到 ICDRR 并且 ICSR 的 RDRF 被置 1 后, RIE 选择是否允许接收数据满中断请求 (RXI) 和选择是否允许时钟同步格式时的溢出错误中断请求 (ERI)。另外, 能通过 RDRF 清 0 或者 RIE 清 0 来解除 RXI。</p> <p>0: 禁止接收数据满中断请求 (RXI) 和时钟同步格式时的溢出错误中断请求 (ERI)</p> <p>1: 允许接收数据满中断请求 (RXI) 和时钟同步格式时的溢出错误中断请求 (ERI)</p>
4	NAKIE	0	R/W	<p>NACK 接收中断允许</p> <p>在 ICSR 的 NACKF 和 AL 被置位后, NAKIE 选择是否允许 NACK 接收中断请求 (NAKI) 和选择是否允许时钟同步格式时的溢出错误 (ICSR 的 OVE 置位) 中断请求 (ERI)。另外, 能通过将 NACKF 或者 OVE 清 0 或者将 NAKIE 清 0 来解除 NAKI。</p> <p>0: 禁止 NACK 接收中断请求 (NAKI)</p> <p>1: 允许 NACK 接收中断请求 (NAKI)</p>
3	STIE	0	R/W	<p>停止条件检测中断允许</p> <p>0: 禁止停止条件检测中断请求 (STPI)</p> <p>1: 允许停止条件检测中断请求 (STPI)</p>
2	ACKE	0	R/W	<p>应答位判定选择</p> <p>0: 忽视接收应答的内容而进行连续传送。</p> <p>1: 接收应答为 1 时, 中止传送。</p>
1	ACKBR	0	R	<p>接收应答</p> <p>此位是在发送模式时保存从接收设备返回的应答数据的位, 写无效。</p> <p>0: 接收应答=0</p> <p>1: 接收应答=1</p>
0	ACKBT	0	R/W	<p>发送应答</p> <p>在接收模式时, 设定在应答时序发送的位。</p> <p>0: 在应答时序发送 0</p> <p>1: 在应答时序发送 1</p>

15.3.5 I²C 总线状态寄存器 (ICSR)

ICSR 确认各中断请求标志和状态。

位	位名	初始值	R/W	说 明
7	TDRE	0	R/W	发送数据空 [置位条件] <ul style="list-style-type: none"> • 数据从 ICDRT 传送到 ICDRS, 并且 ICDRT 为空时 • 将 TRS 置位时 • 发行开始条件 (包含再次发送) 时 • 在从属模式的状态下从接收模式变为发送模式时 [清除条件] <ul style="list-style-type: none"> • 读到 1 的状态后, 写 0 时 • 用指令给 ICDRT 写数据时
6	TEND	0	R/W	发送结束 [置位条件] <ul style="list-style-type: none"> • I²C 总线格式时, 在 TDRE 为 1 的状态下 SCL 的第 9 个时钟上升时 • 时钟同步串行格式时, 在送出发送帧的最后位时 [清除条件] <ul style="list-style-type: none"> • 读到 1 的状态后, 写 0 时 • 用指令给 ICDRT 写数据时
5	RDRF	0	R/W	接收数据寄存器满 [置位条件] <ul style="list-style-type: none"> • 将接收数据从 ICDRS 传送到 ICDRR 时 [清除条件] <ul style="list-style-type: none"> • 读到 1 的状态后, 写 0 时 • 用指令读 ICDRR 时
4	NACKF	0	R/W	无应答检测标志 [置位条件] <ul style="list-style-type: none"> • 在 ICIEP 的 ACKE=1 的状态下, 发送时没有接收设备的应答时 [清除条件] <ul style="list-style-type: none"> • 读到 1 的状态后, 写 0 时

位	位名	初始值	R/W	说 明
3	STOP	0	R/W	<p>停止条件检测标志</p> <p>[置位条件]</p> <ul style="list-style-type: none"> 在帧传送结束后, 检测到停止条件时 <p>[清除条件]</p> <ul style="list-style-type: none"> 读到 1 的状态后, 写 0 时
2	AL/OVE	0	R/W	<p>仲裁失败标志/溢出错误标志</p> <p>在 I²C 总线格式的主模式时, AL/OVE 表示总线竞争失败。另外, 在时钟同步格式并且在 RDRF=1 的状态下, 表示接收到最后位。</p> <p>在多个主设备几乎同时要占有总线时, I²C 总线接口 2 监视 SDA, 如果与自己送出的数据不同, 就将 AL 标志置 1, 表示总线已被其它主设备占有。</p> <p>[置位条件]</p> <ul style="list-style-type: none"> 主发送模式时, 在 SCL 的上升沿, 内部 SDA 和 SDA 管脚的电平不一致时 主模式时, 当检测到开始条件并且 SDA 管脚为 High 电平时 时钟同步格式时, 在 RDRF=1 的状态下接收到最后位时 <p>[清除条件]</p> <ul style="list-style-type: none"> 读到 1 的状态后, 写 0 时
1	AAS	0	R/W	<p>从属地址识别标志</p> <p>在从属接收模式中, 当紧接着开始条件后的第一帧与 SAR 的 SVA6~SVA0 一致时, 此标志被置位。</p> <p>[置位条件]</p> <ul style="list-style-type: none"> 在从属接收模式中, 检测到从属地址时 在从属接收模式中, 检测到一般调用地址时 <p>[清除条件]</p> <ul style="list-style-type: none"> 读到 1 的状态后, 写 0 时
0	ADZ	0	R/W	<p>一般调用地址识别标志</p> <p>在 I²C 总线格式的从属接收模式时有效</p> <p>[置位条件]</p> <ul style="list-style-type: none"> 在从属接收模式中, 检测到一般调用地址时 <p>[清除条件]</p> <ul style="list-style-type: none"> 读到 1 的状态后, 写 0 时

15.3.6 从属地址寄存器 (SAR)

SAR 选择格式和设定从属地址。在 I²C 总线格式的从属模式中，当开始条件后送来的第 1 帧的高 7 位和 SAR 的高 7 位一致时，作为从属设备运行。

位	位名	初始值	R/W	说 明
7	SVA6	0	R/W	从属地址 6~0 设定与连接到 I ² C 总线的其它从属设备不同的唯一地址。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	格式选择 0: 选择 I ² C 总线格式 1: 选择时钟同步串行格式

15.3.7 I²C 总线发送数据寄存器 (ICDRT)

ICDRT 是保存发送数据的 8 位可读写寄存器，当检测到移位寄存器 (ICDRS) 为空时，将写在 ICDRT 的发送数据传送到 ICDRS，开始发送数据。在 ICDRS 的数据发送中，如果把下次发送的数据预先写到 ICDRT，就能连续发送。另外，在将 ICMR 的 MLS 位设定为 1 时，如果在对 ICDRT 写数据后进行读，就能读取 MSB/LSB 的反转数据。ICDRT 的初始值为 H'FF。

15.3.8 I²C 总线接收数据寄存器 (ICDRR)

ICDRR 是保存接收数据的 8 位寄存器。如果 1 字节的数据接收结束，就将接收的数据从 ICDRS 传送到 ICDRR，成为可接收下一个数据的状态。另外，由于 ICDRR 是接收专用寄存器，所以不能从 CPU 写。ICDRR 的初始值为 H'FF。

15.3.9 I²C 总线移位寄存器 (ICDRS)

ICDRS 是用于发送/接收数据的寄存器。发送时，将发送数据从 ICDRT 传送到 ICDRS，从 SDA 管脚送出数据。接收时，如果 1 字节的数据接收结束，就将数据从 ICDRS 传送到 ICDRR。另外，不能直接从 CPU 读本寄存器。

15.4 运行说明

I²C 总线接口 2 通过设定 SAR 的 FS，能在 I²C 总线模式或者时钟同步串行模式进行通信。

15.4.1 I²C 总线格式

I²C 总线格式如图 15.3 所示，I²C 总线的时序如图 15.4 所示。继开始条件之后的第 1 帧必须是 8 位结构。

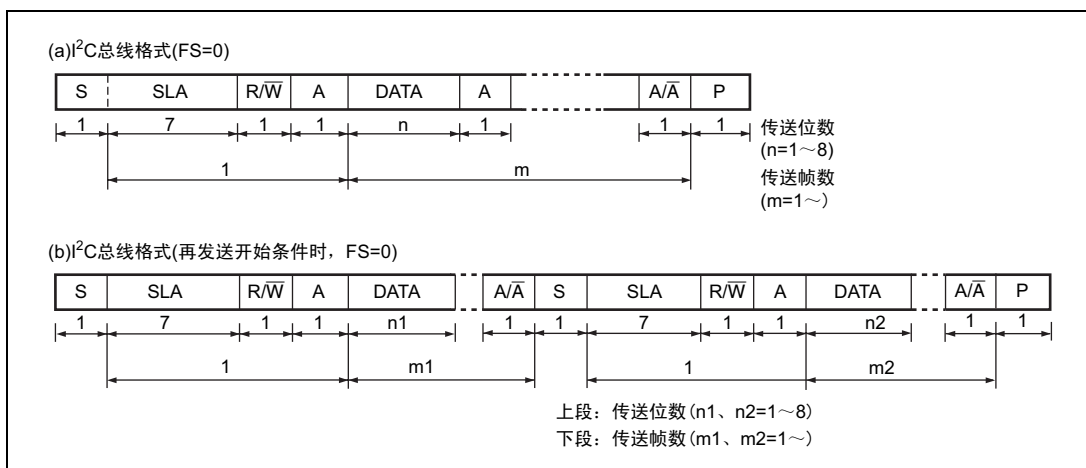


图 15.3 I²C 总线格式

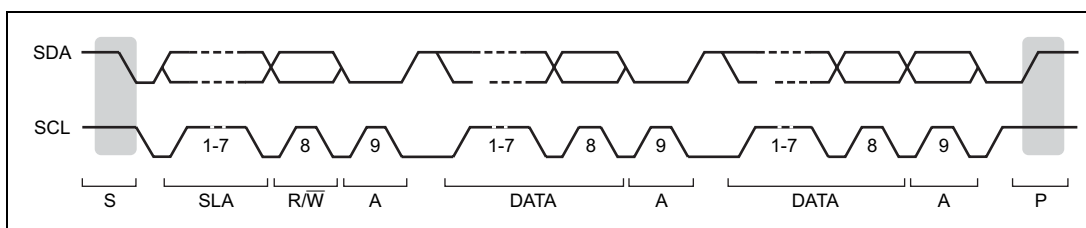


图 15.4 I²C 总线时序

符号说明

- S : 开始条件。主设备在 SCL=High 电平的状态下将 SDA 从 High 电平变为 Low 电平。
- SLA : 从属地址
- R/W : 表示发送/接收方向。为 1 时，从属设备向主设备发送数据；为 0 时，从主设备向从属设备发送数据。
- A : 应答。接收设备将 SDA 变为 Low 电平。
- DATA : 发送/接收数据
- P : 停止条件。主设备在 SCL=High 电平状态下将 SDA 从 Low 电平变为 High 电平。

15.4.2 主发送运行

在主发送模式中，主设备输出发送时钟和发送数据，从属设备返回应答。关于主发送模式的运行时序，请参照图 15.5 和图 15.6。主发送模式的发送步骤和运行如下所示：

1. 将ICCR1的ICE设为1，并且设定ICMR的MLS、WAIT以及ICCR1的CKS3~CKS0等（初始设定）。
2. 读ICCR2的BBSY标志，在确认总线处于释放状态后，将ICCR1的MST和TRS设定为主发送模式。然后，用MOV指令写BBSY=1和SCP=0（发行开始条件），生成开始条件。
3. 在确认ICSR的TDRE被置位后，给ICDRT写发送数据（第1个字节是表示从属地址和R/W的数据）。此时，TDRE自动清0，在将数据从ICDRT传送到ICDRS后，TDRE被重新置位。
4. 在TDRE已被置位的状态下结束1个字节的发送，在发送时钟的第9个时钟的上升沿，将ICSR的TEND置位。读ICIER的ACKBR，在确认已选择从属设备后，将第2个字节的数据写到ICDRT。由于在ACKBR为1时无法确认从属设备，因此发行停止条件。通过MOV指令写BBSY=0和SCP=0来发行停止条件。另外，在数据准备完成前或者在发行停止条件前，SCL被固定为Low电平。
5. 在每次TDRE被置位时，将第2个字节以后的发送数据写到ICDRT。
6. 如果给ICDRT写发送字节数，就在TDRE被置位的状态下等待TEND置位（最后字节发送结束），或者在ICIER的ACKE已置位的状态下等待接收设备的NACK（ICSR的NACKF=1）。然后，发行停止条件，清除TEND或者NACKF。
7. 如果ICSR的STOP被置位，就返回从属接收模式。

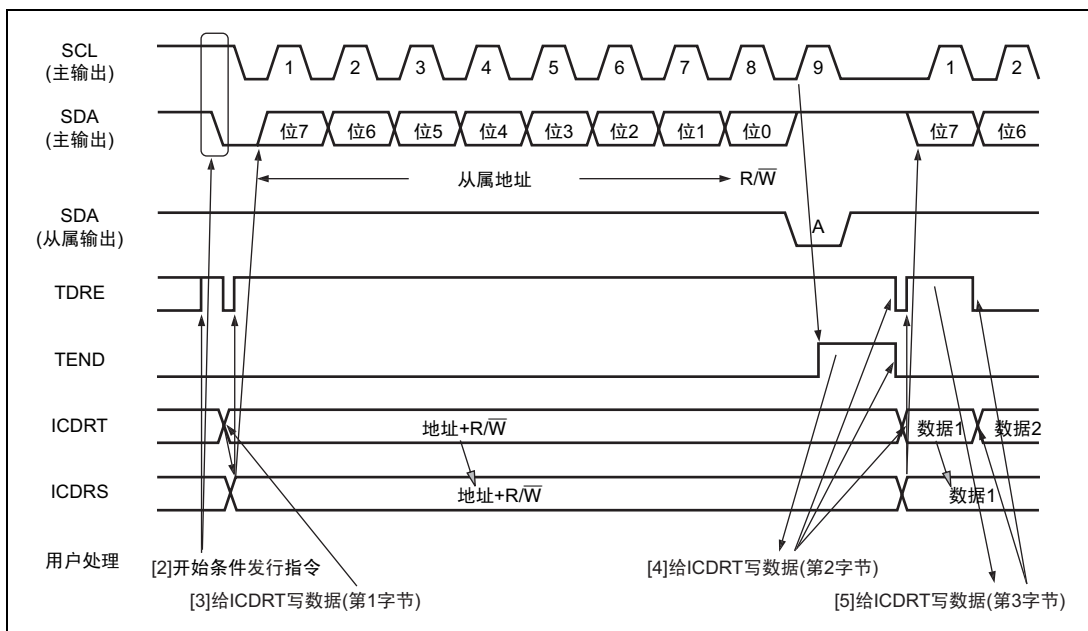


图 15.5 主发送模式的运行时序 (1)

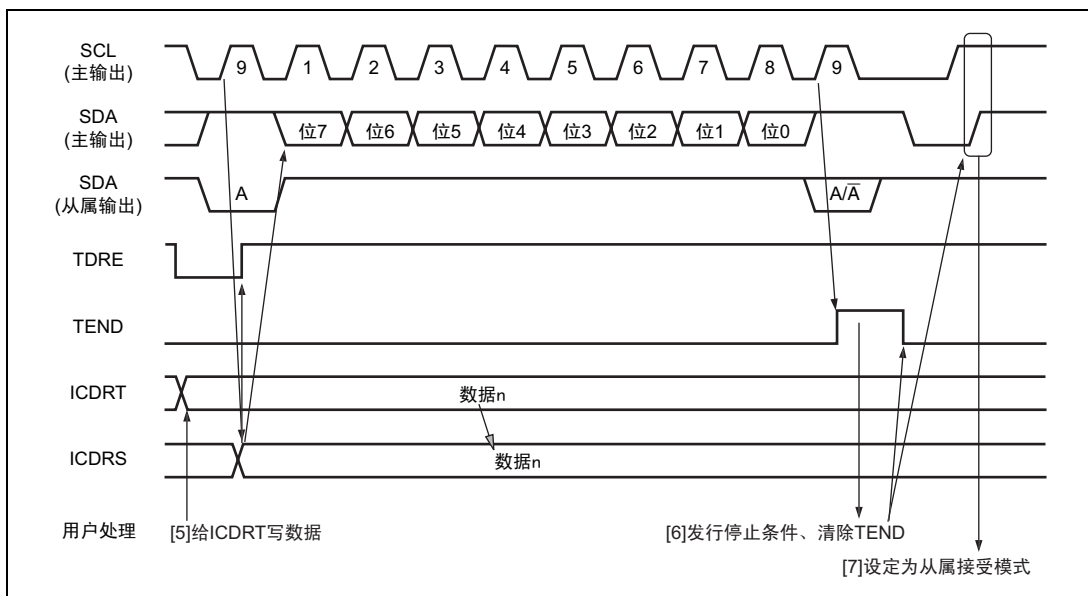


图 15.6 主发送模式的运行时序 (2)

15.4.3 主接收运行

在主接收模式中，主设备输出接收时钟，接收来自从属设备的数据并返回应答。关于主接收模式的运行时序，请参照图 15.7 和图 15.8。

主接收模式的接收步骤和运行如下所示：

1. 在清除ICSR的TEND后，清除ICCR1的TRS，从主发送模式转换为主接收模式。然后清除TDRE。
2. 如果虚读 ICDRR，就开始接收，与内部时钟同步输出接收时钟，接收数据。在接收时钟的第 9 个时钟，主设备将设定到 ICIEP 的 ACKBT 的电平输出到 SDA。
3. 1 个帧数据的接收结束，在接收时钟的第9个时钟的上升沿，将ICSR的RDRF置位。此时，可通过读ICDRR来读取接收到的数据，同时清除RDRF。
4. 在每次RDRF被置位时，都能通过读ICDRR来连续接收数据。另外，由于其它处理，如果在RDRF被置位的状态下ICDRR的读延迟到第8个时钟下降时，就在读ICDRR之前SCL被固定为Low电平。
5. 在下一个接收数据为最后帧时，在读ICDRR之前将ICCR1的RCVD置位。由此，在下次接收后，成为可发行停止条件的状态。
6. 如果在接收时钟的第9个时钟的上升沿RDRF被置位，就发行停止条件。
7. 如果 ICSR 的 STOP 被置位，就读取 ICDRR，然后清除 RCVD。
8. 返回从属接收模式。

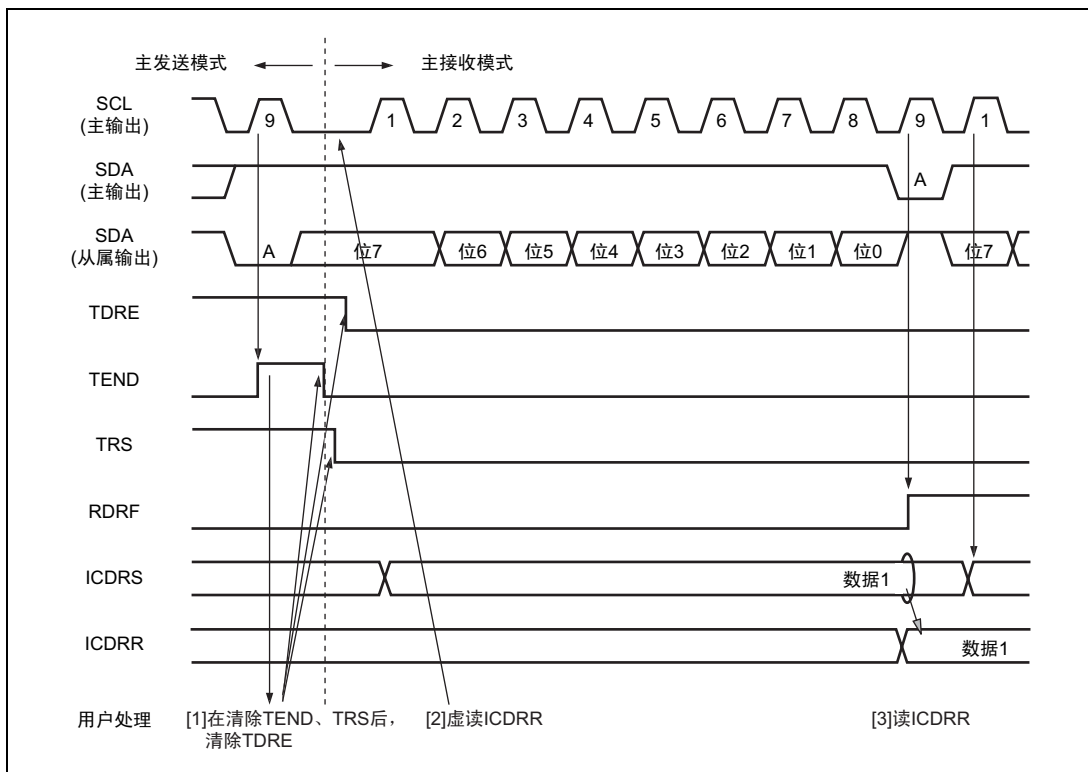


图 15.7 主接收模式的运行时序 (1)

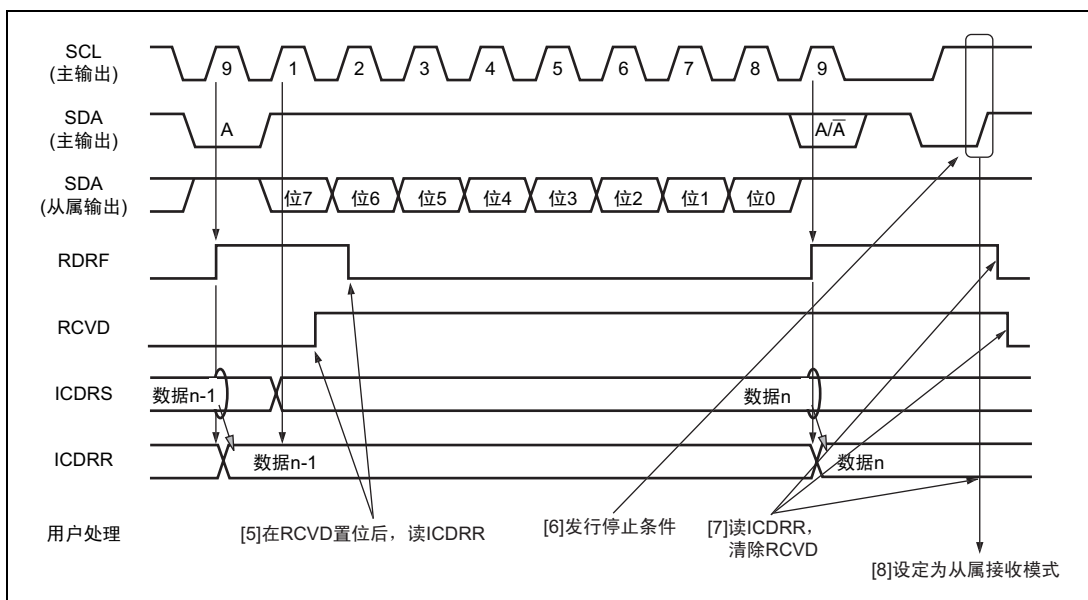


图 15.8 主接收模式的运行时序 (2)

15.4.4 从属发送运行

在从属发送模式中，从属设备输出发送数据，主设备输出接收时钟并返回应答。关于从属发送模式的运行时序，请参照图 15.9 和图 15.10。

从属发送模式的发送步骤和运行如下所示：

1. 将ICCR1的ICE位置1，或者设定ICMR的MLS、WAIT以及ICCR1的CKS3~CKS0等（初始设定）。将ICCR1的MST和TRS设定为从属接收模式，等待从属地址一致。
2. 在检测到开始条件后的第1帧的从属地址一致时，在第9个时钟的上升沿，从属设备将设定在ICIER的ACKBT的电平输出到SDA。此时，在第8位的数据（R/W）为1时，ICCR1的TRS和ICSR的TDRE被置位，自动转换为从属发送模式。在每次TDRE被置位时，如果给ICDRT写发送数据，就可以连续发送。
3. 如果在给ICDRT写最后的发送数据之后TDRE被置位，就在TDRE=1的状态下等待ICSR的TEND被置位。如果TEND被置位，就清除TEND。
4. 为了结束处理，清除TRS，并且虚读ICDRR，释放SCL。
5. 清除TDRE。

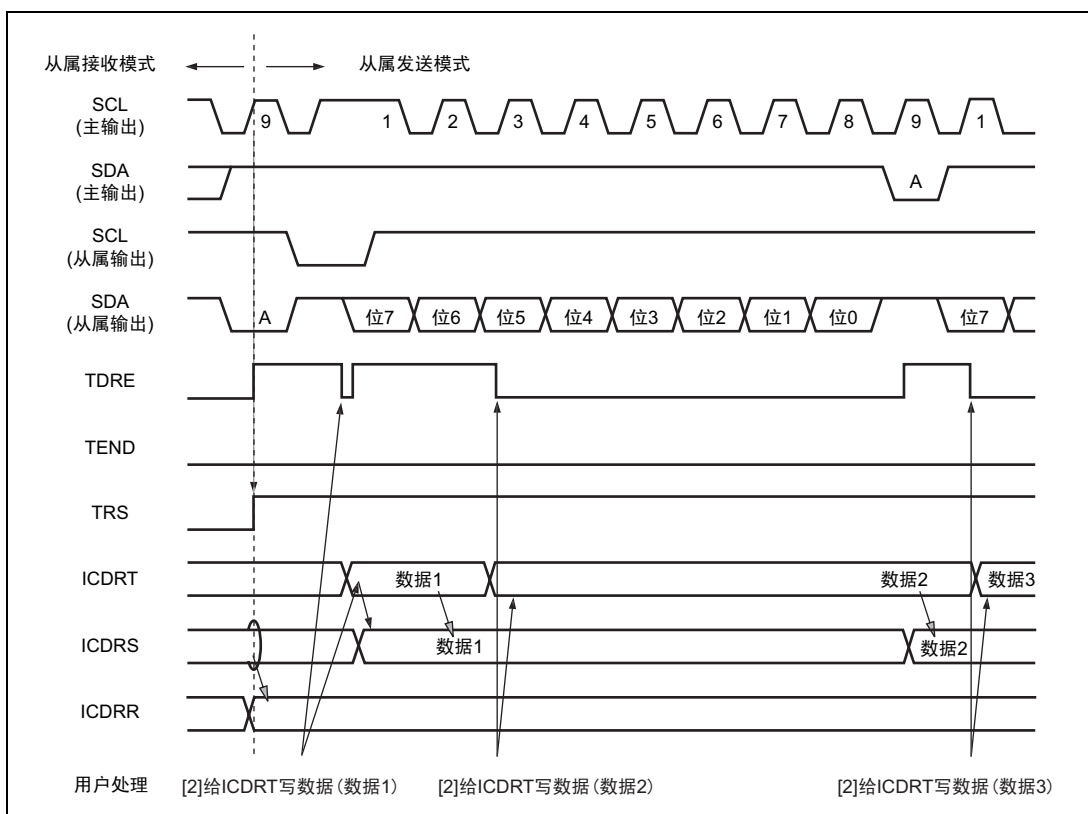


图 15.9 从属发送模式的运行时序 (1)

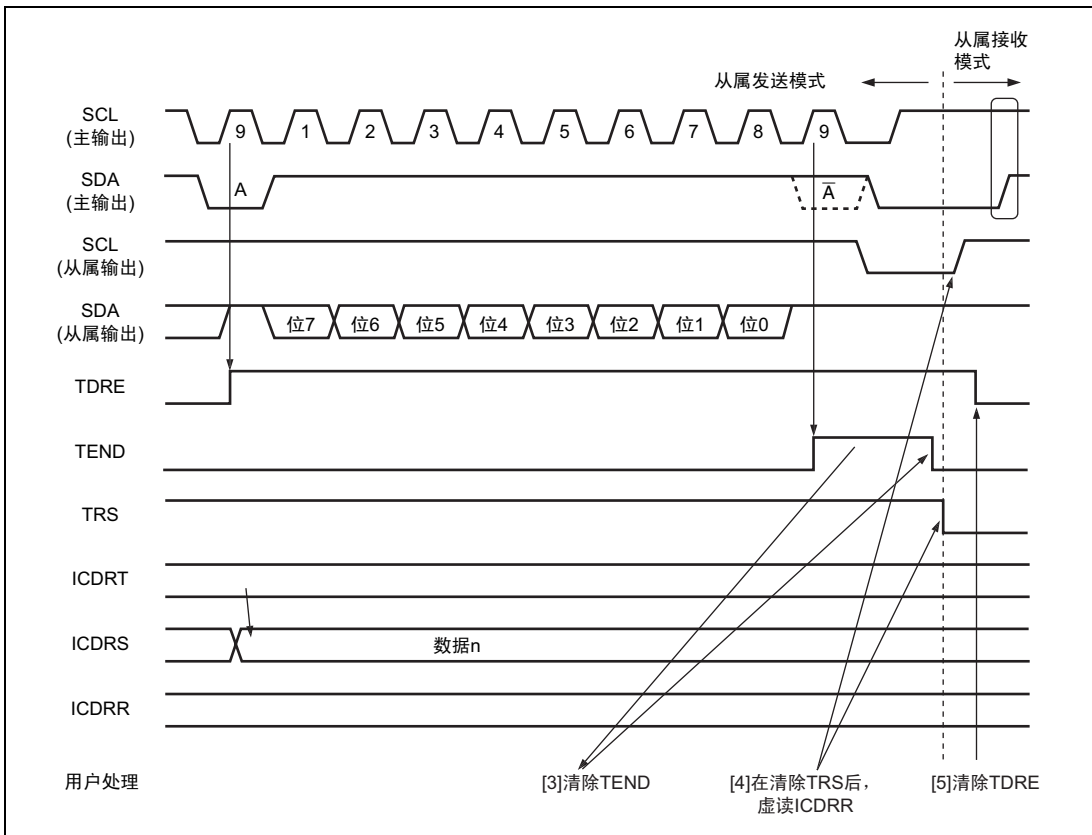


图 15.10 从属发送模式的运行时序 (2)

15.4.5 从属接收运行

在从属接收模式中，主设备输出发送时钟和发送数据，从属设备返回应答。关于从属接收模式的运行时序，请参照图 15.11 和图 15.12。从属接收模式的接收步骤和运行如下所示：

1. 将ICCR1的ICE位置1，或者设定ICMR的MLS、WAIT以及ICCR1的CKS3~CKS0等（初始设定）。将ICCR1的MST和TRS设为从属接收模式，等待从属地址一致。
2. 在检测到开始条件后的第一帧的从属地址一致时，在第9个时钟的上升沿，从属设备将设定在ICIER的ACKBT的电平输出到SDA。由于ICSR的RDRF被同时置位，所以虚读ICIER（因为读数据表示从属地址+R/W，所以不需要）。
3. 在每次RDRF被置位时，读ICDRR。如果在RDRF被置位的状态下第8个时钟下降，就在读ICDRR之前SCL被固定为Low电平。在读ICDRR之前被更改的返回给主设备的应答设定，反映在下一个传送帧。
4. 最后字节的读取也同样通过读ICDRR进行。

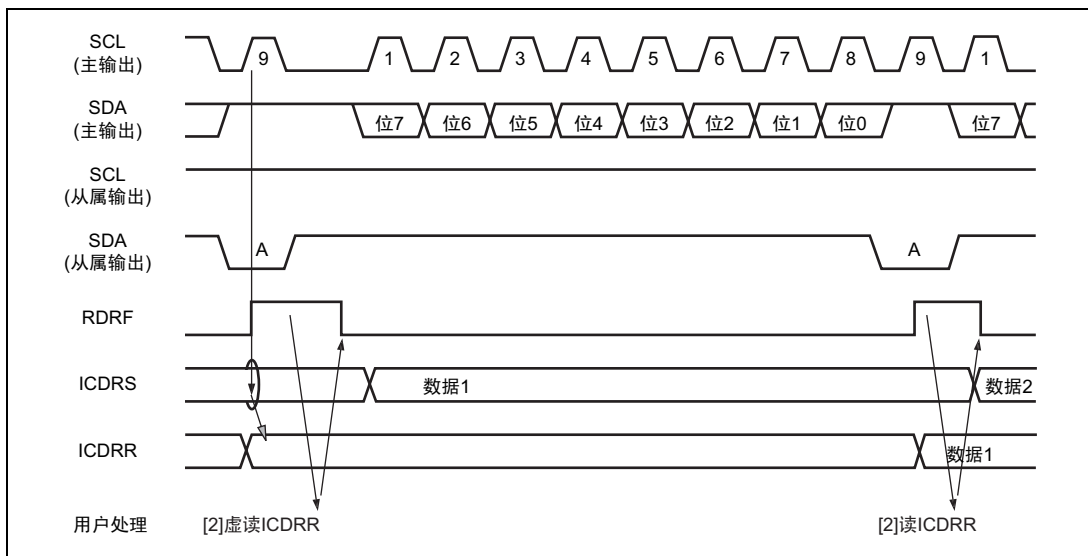


图 15.11 从属接收模式的运行时序 (1)

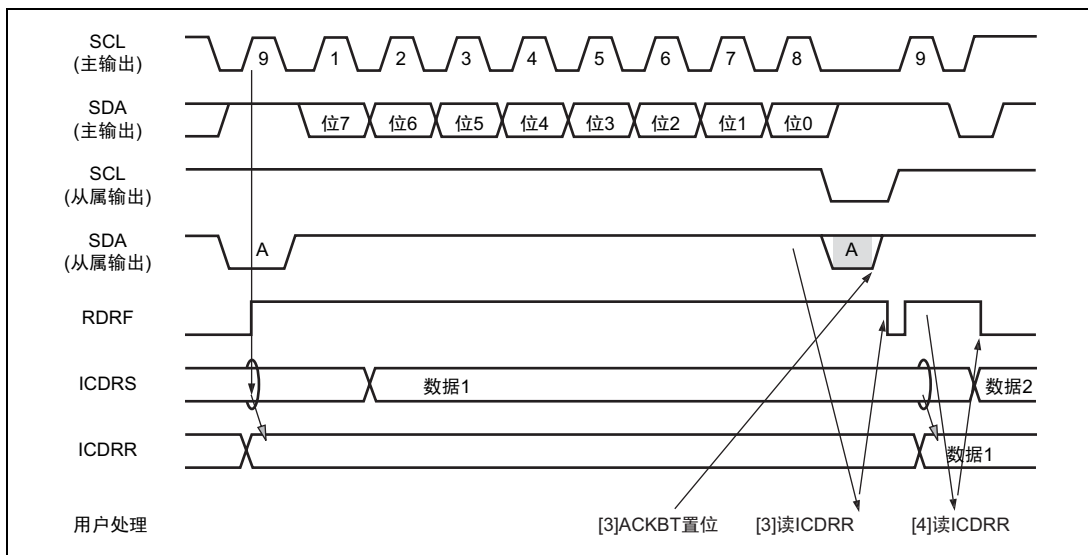


图 15.12 从属接收模式的运行时序 (2)

15.4.6 时钟同步串行格式

通过将 SAR 的 FS 置 1，本模块能作为时钟同步串行运行。在 ICCR1 的 MST=1 时，从 SCL 输出传送时钟；在 MST=0 时，输入外部时钟。

(1) 数据传送格式

时钟同步串行的传送格式如图 15.13 所示。

在 SCL 时钟的下降沿和下一个下降沿之间输出传送数据，保证 SCL 时钟上升沿的数据。数据的传送顺序可通过 ICMR 的 MLS 选择 MSB 先或者 LSB 先。另外，能通过 ICCR2 的 SDAO 在传送等待中改变 SDA 的输出电平。

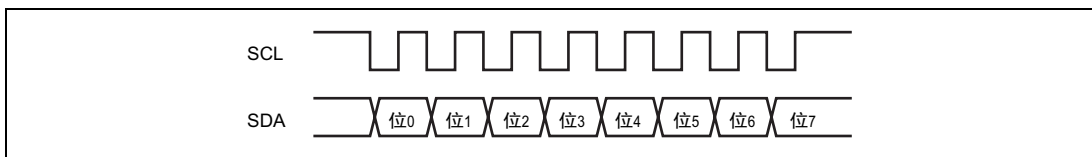


图 15.13 时钟同步串行的传送格式

(2) 发送运行

在发送模式中，与传送时钟的下降沿同步从 SDA 输出发送数据。在 ICCR1 的 MST=1 时，为输出传送时钟；在 MST=0 时，为输入传送时钟。发送模式的运行时序请参照图 15.14。发送模式的步骤和运行如下所示：

1. 将 ICCR1 的 ICE 位置 1，并且设定 ICCR1 的 MST、CKS3~CKS0 等（初始设定）。
2. 将 ICCR1 的 TRS 置位，设为发送模式。由此，ICSR 的 TDRE 被置位。
3. 如果确认了 TDRE 已被置位，就给 ICDRT 写发送数据。由此，数据从 ICDRT 传送到 ICDRS，TDRE 被自动置位。如果在每次 TDRE 被置位时给 ICDRT 写数据，就能连续发送。另外，从发送模式转换为接收模式时，必须在 TDRE 被置位的状态下清除 TRS。

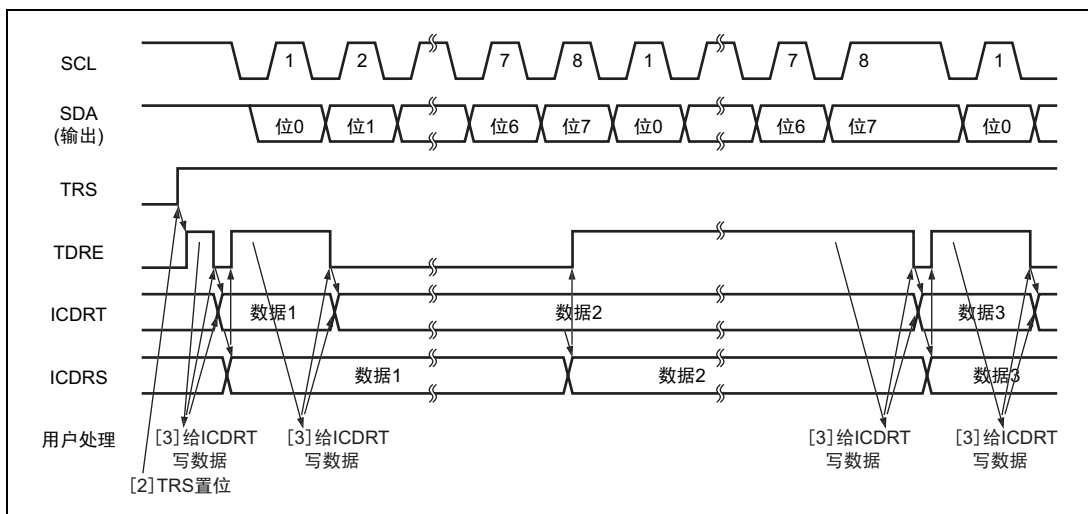


图 15.14 发送模式的运行时序

(3) 接收运行

在接收模式中，在传送时钟的上升沿锁存数据。在 ICCR1 的 MST=1 时，为输出传送时钟；在 MST=0 时，为输入传送时钟。关于接收模式的运行时序，请参照图 15.15。接收模式的步骤和运行如下所示：

1. 将 ICCR1 的 ICE 位置 1，并且设定 ICCR1 的 MST、CKS3~CKS0 等（初始设定）。
2. 在输出传送时钟时，设定 MST=1，开始输出接收时钟。
3. 接收结束时，数据从 ICDRS 传送到 ICDRR，ICSR 的 RDRF 被置位。由于在 MST=1 时为可接收下一字节的状态，所以连续输出时钟。在每次 RDRF 被置位时，可通过读 ICDRR 进行连续接收。如果在 RDRF 被置位的状态下第 8 个时钟上升，就检测到溢出，将 ICSR 的 AL/OVE 置位。此时，ICDRR 的值保持以前的接收数据。
4. MST=1 时，为了停止接收，在将 ICCR1 的 RCVD 置位后读 ICDRR。由此，在下一字节接收结束后，SCL 被固定为 High 电平。

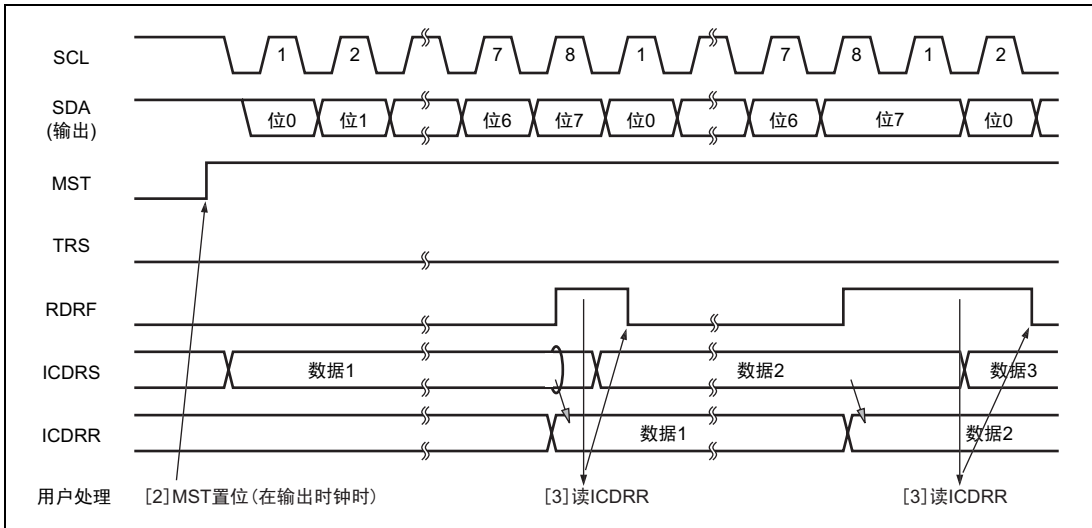


图 15.15 接收模式的运行时序

15.4.7 噪声消除电路

经过噪声消除电路将 SCL 管脚和 SDA 管脚的状态取到内部。噪声消除电路的框图如图 15.16 所示。

噪声消除电路由 2 段串联的锁存电路和一致检测电路构成。用系统时钟采样 SCL 管脚的输入信号（或者 SDA 管脚的输入信号）。当 2 个锁存器输出一致时，将该电平传给下一个电路；不一致时，就保持以前的值。

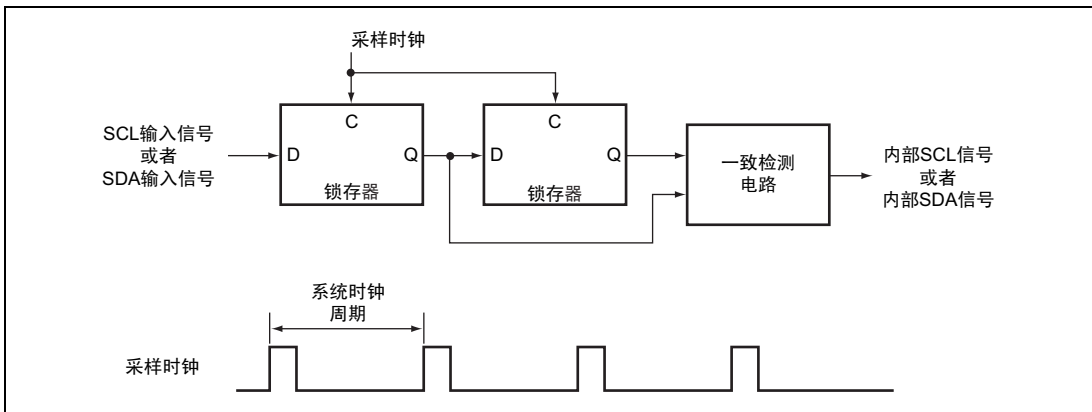


图 15.16 噪声消除电路的框图

15.4.8 使用例

使用 I²C 总线接口 2 时的各模式的流程图例子如图 15.17~图 15.20 所示。

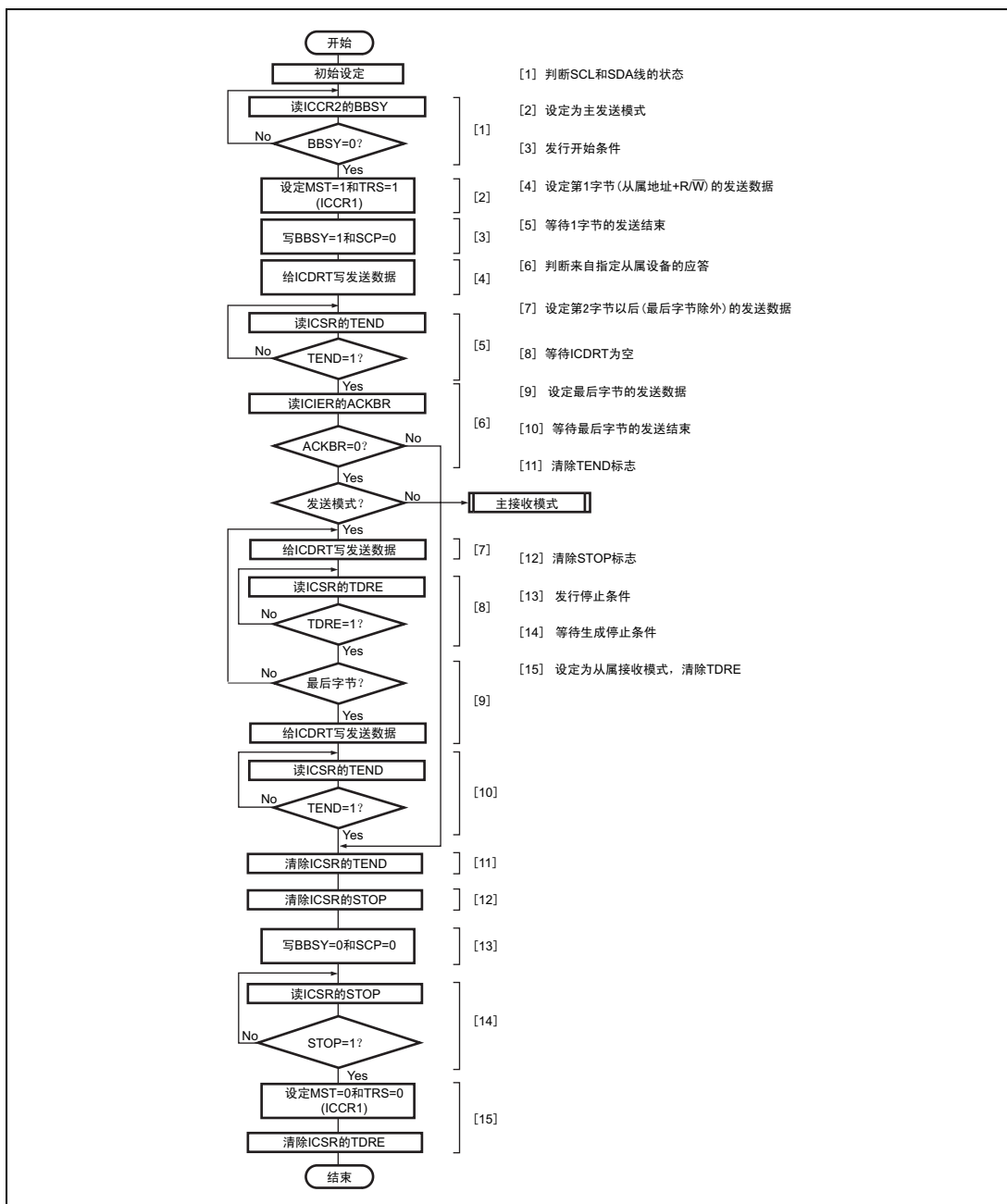


图 15.17 主发送模式的流程图例子

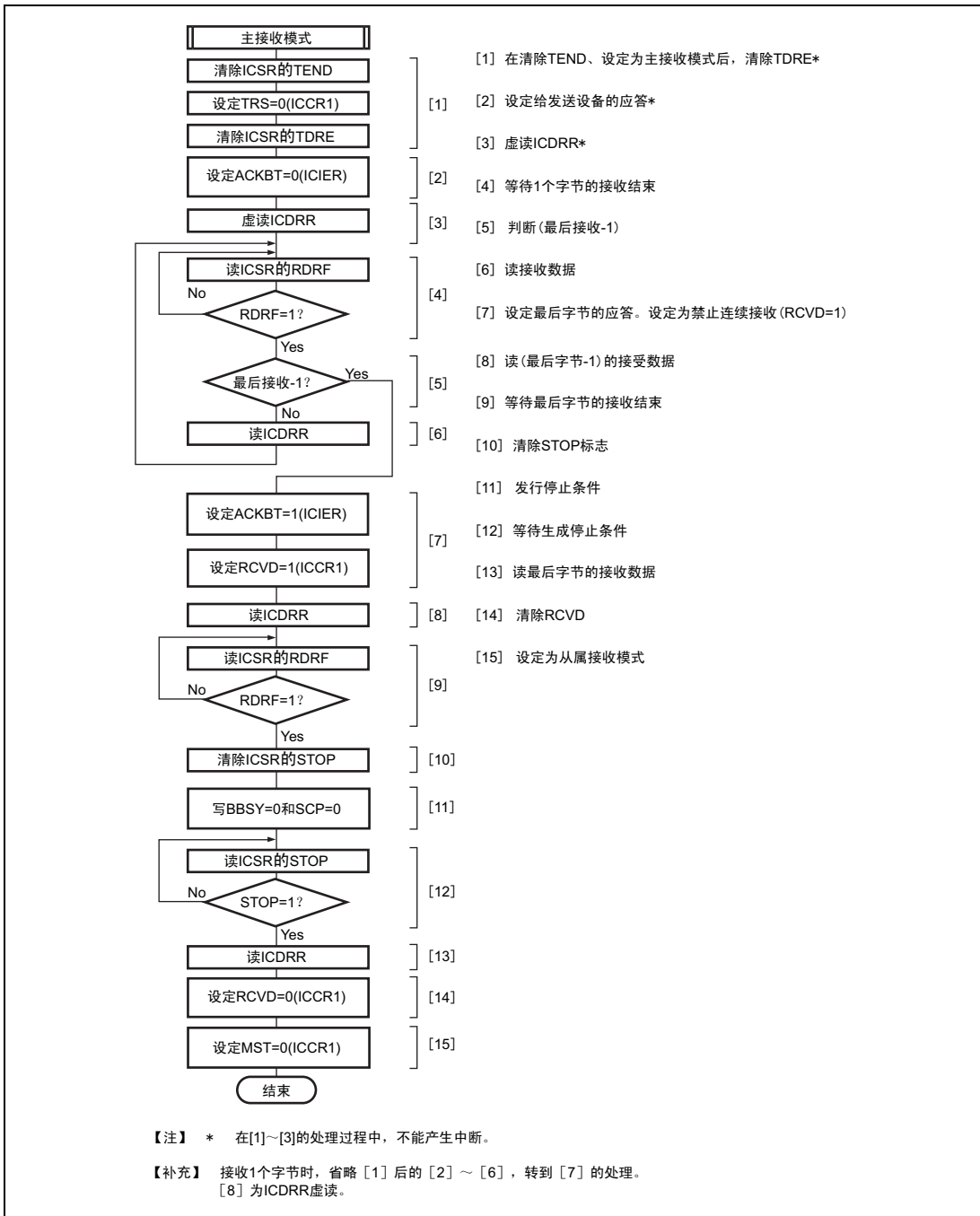


图 15.18 主接收模式的流程图例子

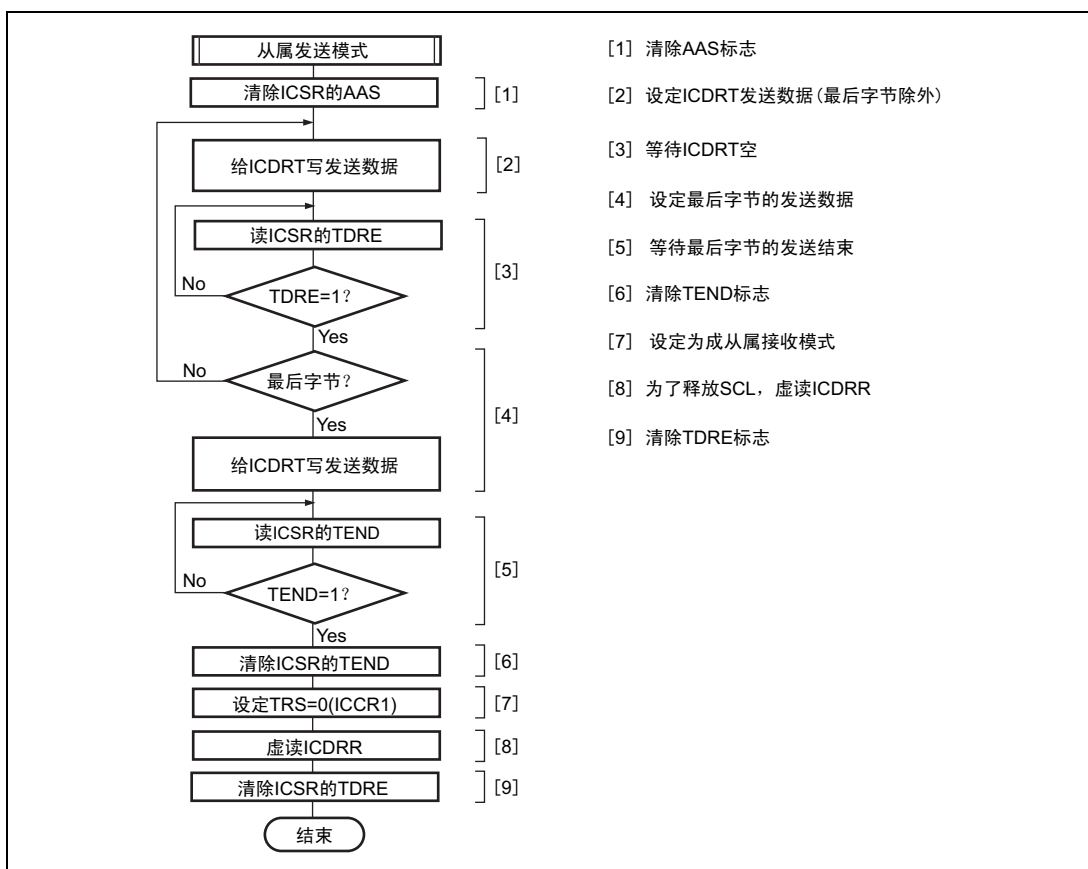


图 15.19 从属发送模式的流程图例子

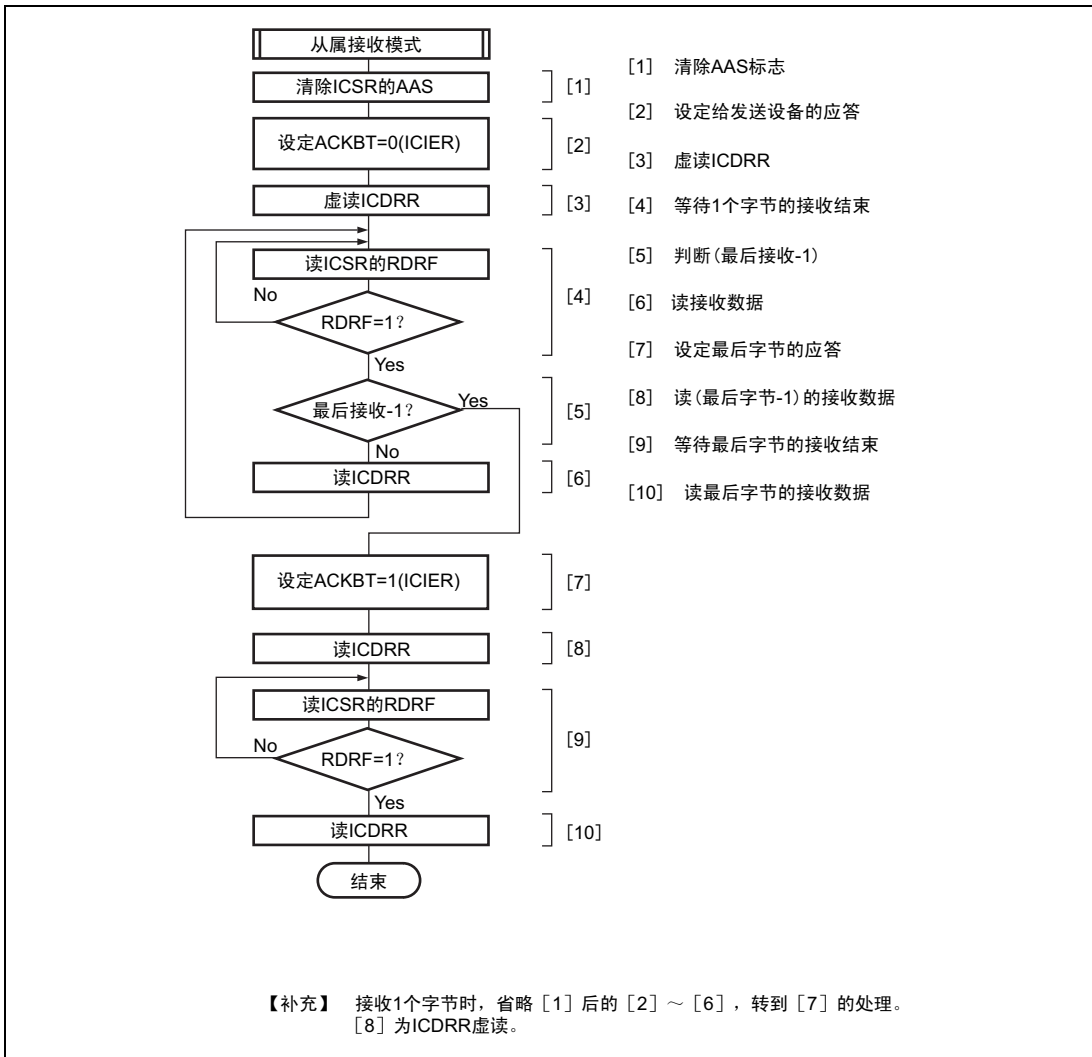


图 15.20 从属接收模式的流程图例子

15.5 中断请求

本模块的中断请求有发送数据空、发送结束、接收数据满、检测 NACK、检测停止条件以及仲裁失败/溢出错误共计 6 种。各中断请求的内容如表 15.3 所示。

表 15.3 中断请求一览表

中断请求	略称	中断条件	I ² C 模式	时钟同步模式
发送数据空	TXI	$(TDRE=1) \cdot (TIE=1)$	○	○
发送结束	TEI	$(TEND=1) \cdot (TEIE=1)$	○	○
接收数据满	RXI	$(RDRF=1) \cdot (RIE=1)$	○	○
检测停止条件	STPI	$(STOP=1) \cdot (STIE=1)$	○	×
检测 NACK	NAKI	$\{(NACKF=1)+(AL=1)\} \cdot (NAKIE=1)$	○	×
仲裁失败/溢出错误			○	○

表 15.3 的中断条件为 1 并且 CCR 的 I 位为 0 时，CPU 执行中断异常处理。在异常处理中，必须清除各个中断源。但是，必须注意：通过给 ICDRT 写发送数据，自动清除 TDRE 和 TEND；通过读 ICDRR，自动清除 RDRF。特别是在对 ICDRT 写发送数据的同时，TDRE 被再次置位，并且如果清除 TDRE，有时会多发送 1 个字节。

15.6 位同步电路

本模块在设定为主模式时，由于可能在以下两个状态下高电平期间变窄，因此要监视 SCL，边按位取得同步，边进行通信。

- SCL 被从属设备拉成 Low 电平
- 因 SCL 线的负载（负载容量、上拉电阻），SCL 的上升变迟缓

位同步电路的时序如图 15.21 所示。在将 SCL 由 Low 输出变为 Hi-Z 到监视 SCL 为止的时间如表 15.4 所示。

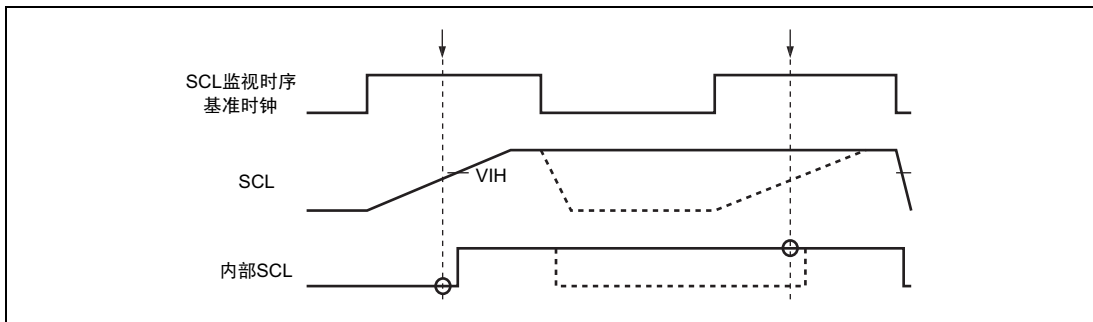


图 15.21 位同步电路的时序

表 15.4 监视 SCL 的时间

CKS3	CKS2	监视 SCL 的时间
0	0	7.5 t _{cyc}
	1	19.5 t _{cyc}
1	0	17.5 t _{cyc}
	1	41.5 t _{cyc}

第 16 章 A/D 转换器

这是逐次逼近方式的 10 位 A/D 转换器，最多能转换 4 个通道的模拟输入。A/D 转换器的框图如图 16.1 所示。

16.1 特点

- 分辨率：10位
- 输入通道：4个通道
- 高速转换：每1个通道最小7 μ s（在10MHz运行时）
- 运行模式：2种
 - 单通道模式：1个通道的A/D转换
 - 扫描模式：1~4个通道的连续A/D转换
- 数据寄存器：4个
 - 将A/D转换结果传送到各通道对应的数据寄存器，并且保持A/D转换结果。
- 采样和保持功能
- 开始转换的方法：2种
 - 可通过软件或者外部触发信号开始A/D转换
- 中断源
 - 能产生A/D转换结束的中断（ADI）请求。

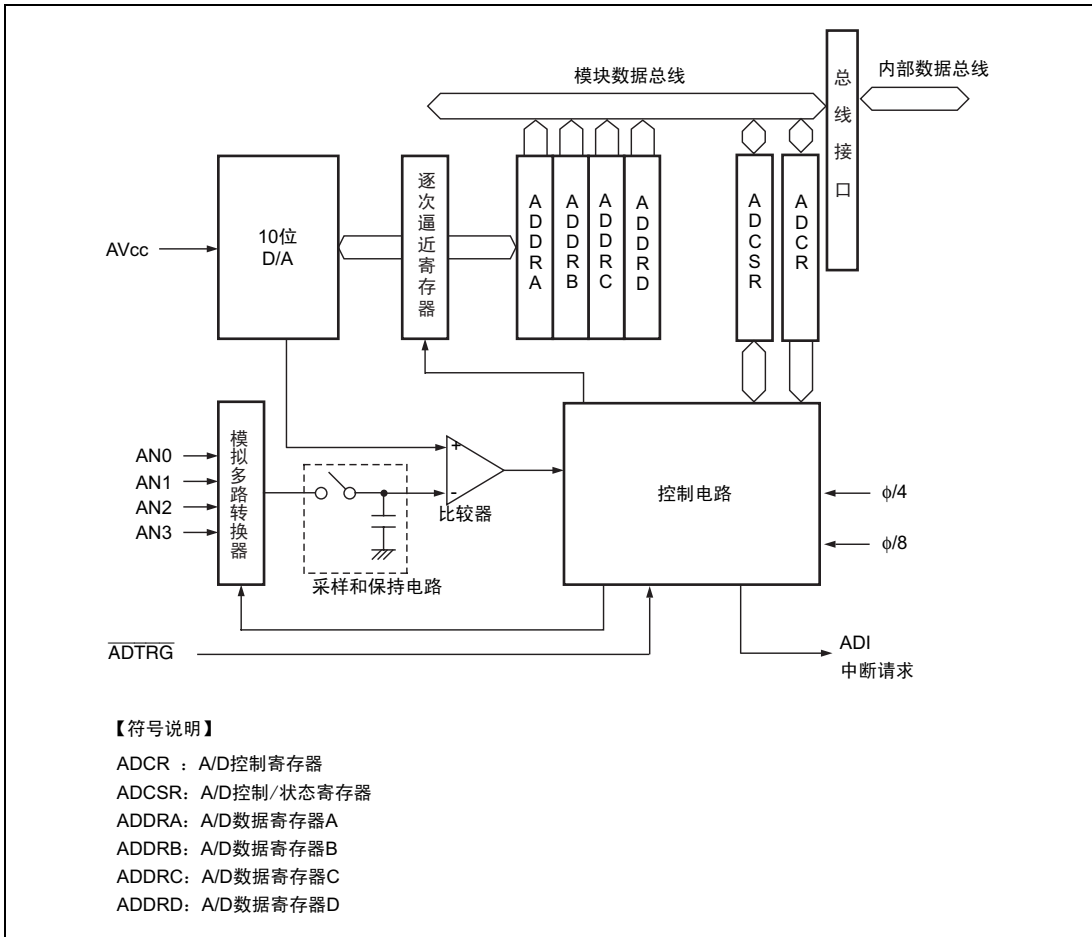


图 16.1 A/D 转换器的框图

16.2 输入/输出管脚

A/D转换器使用的管脚如表16.1所示。

表 16.1 管脚结构

管脚名称	略称	输入/输出	功能
模拟电源管脚	AVcc	输入	模拟部的电源管脚
模拟输入管脚 0	AN0	输入	模拟输入管脚
模拟输入管脚 1	AN1	输入	
模拟输入管脚 2	AN2	输入	
模拟输入管脚 3	AN3	输入	
A/D 外部触发输入管脚	$\overline{\text{ADTRG}}$	输入	用于开始 A/D 转换的外部触发输入管脚

16.3 寄存器说明

A/D 转换器有以下寄存器：

- A/D数据寄存器A (ADDRA)
- A/D数据寄存器B (ADDRB)
- A/D数据寄存器C (ADDRC)
- A/D数据寄存器D (ADDRD)
- A/D控制/状态寄存器 (ADCSR)
- A/D控制寄存器 (ADCR)

16.3.1 A/D 数据寄存器 A~D (ADDRA~D)

A/D 数据寄存器是用于保存 A/D 转换结果的 16 位只读寄存器，有 ADDRA~ADDRD 4 个。保存各模拟输入通道的转换结果的 A/D 数据寄存器如表 16.2 所示。

10 位转换数据被保存在 A/D 数据寄存器的位 15 到位 6，低 6 位的读出值总是 0。与 CPU 之间的数据总线为 8 位宽度，可从 CPU 直接读取高位字节，但是对于低位字节，将读取在读高位字节时被传送到暂存器的数据。因此，在读 A/D 数据寄存器时，必须进行字存取或者只读高位字节。ADDR 的初始值是 H'0000。

表 16.2 模拟输入通道与 A/D 数据寄存器的对应

模拟输入通道	保存转换结果的 A/D 数据寄存器
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD

16.3.2 A/D 控制/状态寄存器 (ADCSR)

ADCSR 由 A/D 转换器的控制位和转换结束状态位构成。

位	位名	初始值	R/W	说 明
7	ADF	0	R/W	A/D 结束标志 [置位条件] • 在单通道模式中, A/D 转换结束时 • 在扫描模式中, 所选的全部通道的一次转换结束时 [清除条件] • 读到 1 的状态后, 写 0 时
6	ADIE	0	R/W	A/D 中断允许 如果将此位置 1, 就允许由 ADF 产生的 A/D 转换结束的中断请求 (ADI)。
5	ADST	0	R/W	A/D 开始 如果将该位置 1, 就开始 A/D 转换。如果在单通道模式中 A/D 转换结束, 此位就被自动清除。在扫描模式中, 通过软件、复位或者待机模式将此位清除前, 依次连续转换所选的通道。
4	SCAN	0	R/W	扫描模式 选择 A/D 转换模式。 0: 单通道模式 1: 扫描模式
3	CKS	0	R/W	时钟选择 设定 A/D 转换时间。 0: 转换时间=134 个状态 (max) 1: 转换时间=70 个状态 (max) 必须在 ADST=0 的状态下, 切换转换时间。
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	通道选择 2~0 选择模拟输入通道 SCAN=0 时 000: AN0 001: AN1 010: AN2 011: AN3 SCAN=1 时 000: AN0 001: AN0~AN1 010: AN0~AN2 011: AN0~AN3 【注】 在使用 AN3 或者 AN2 进行 A/D 转换时, 不能将 LVDCCR 的 VDDII 置 0。 如果置 0, 就不能保证 A/D 转换精度。

16.3.3 A/D 控制寄存器 (ADCR)

ADCR 允许通过外部触发开始 A/D 转换。

位	位名	初始值	R/W	说 明
7	TRGE	0	R/W	触发允许 如果将此位置 1, 就在外部触发管脚 ($\overline{\text{ADTRG}}$) 的上升沿或者下降沿开始 A/D 转换。 根据中断边沿选择寄存器 2 (IEGR2) 的 WPEG5 的设定, 选择外部触发管脚 ($\overline{\text{ADTRG}}$) 的上升沿或者下降沿。
6~4	—	全 1	—	保留位 总是读出 1。
3	—	0	R/W	保留位
2	—	0	R/W	可读写, 但不能置 1。
1	—	1	R/W	保留位 总是读出 1。
0	—	0	R/W	保留位 可读写, 但不能置 1。

16.4 运行说明

A/D 转换器采用逐次逼近方式, 分辨率为 10 位。运行模式有单通道模式和扫描模式。为了避免误动作, 必须在 ADCSR 的 ADST 位为 0 的状态下转换运行模式或者模拟输入通道。在改变运行模式或者模拟输入通道的同时, 能进行 ADST 位的置位。

16.4.1 单通道模式

单通道模式将指定的 1 个通道的模拟输入进行如下的一次 A/D 转换:

1. 如果通过软件或者外部触发输入将 ADCSR 的 ADST 位置 1, 就开始对所选通道进行 A/D 转换。
2. 如果 A/D 转换结束, 就将 A/D 转换结果传送到对应该通道的 A/D 数据寄存器。
3. 在 A/D 转换结束时, ADCSR 的 ADF 标志被置 1。此时, 如果 ADIE 位已被置 1, 就产生 ADI 中断请求。
4. ADST 位在 A/D 转换中保持 1, 在转换结束时被自动清除, 并且 A/D 转换器变为待机状态。

16.4.2 扫描模式

扫描模式将指定的最多 4 个通道的模拟输入依次进行如下的连续 A/D 转换:

1. 如果通过软件或者外部触发输入将 ADCSR 的 ADST 位置 1, 就从第 1 个通道开始 A/D 转换。
2. 如果各通道的 A/D 转换结束, 就将 A/D 转换结果依次传送到对应该通道的 A/D 数据寄存器。
3. 如果所选的全部通道的 A/D 转换结束, ADCSR 的 ADF 标志就被置 1。此时, 如果 ADIE 位已被置 1, 就产生 ADI 中断请求。A/D 转换器再次从第 1 个通道开始 A/D 转换。

4. ADST 位不被自动清除，在被置 1 期间重复 2~3。如果将 ADST 位清 0，就停止 A/D 转换。

16.4.3 输入采样和 A/D 转换时间

A/D 转换器内置采样和保持电路。A/D 转换器在从 ADST 位被置 1 开始经过 t_D 时间后对输入进行采样，然后开始转换。A/D 转换的时序如图 16.2、A/D 转换时间如表 16.3 所示。

如图 16.2 所示，A/D 转换时间包含 t_D 和输入采样时间。在此， t_D 由 ADCSR 的写时序决定，而不为定值。因此，转换时间在表 16.3 所示的范围内变化。扫描模式的转换时间以表 16.3 中所示的值为第一次转换时间，但是第二次以后的转换时间在 $CKS=0$ 时为 128 个状态（固定）；在 $CKS=1$ 时为 66 个状态（固定）。

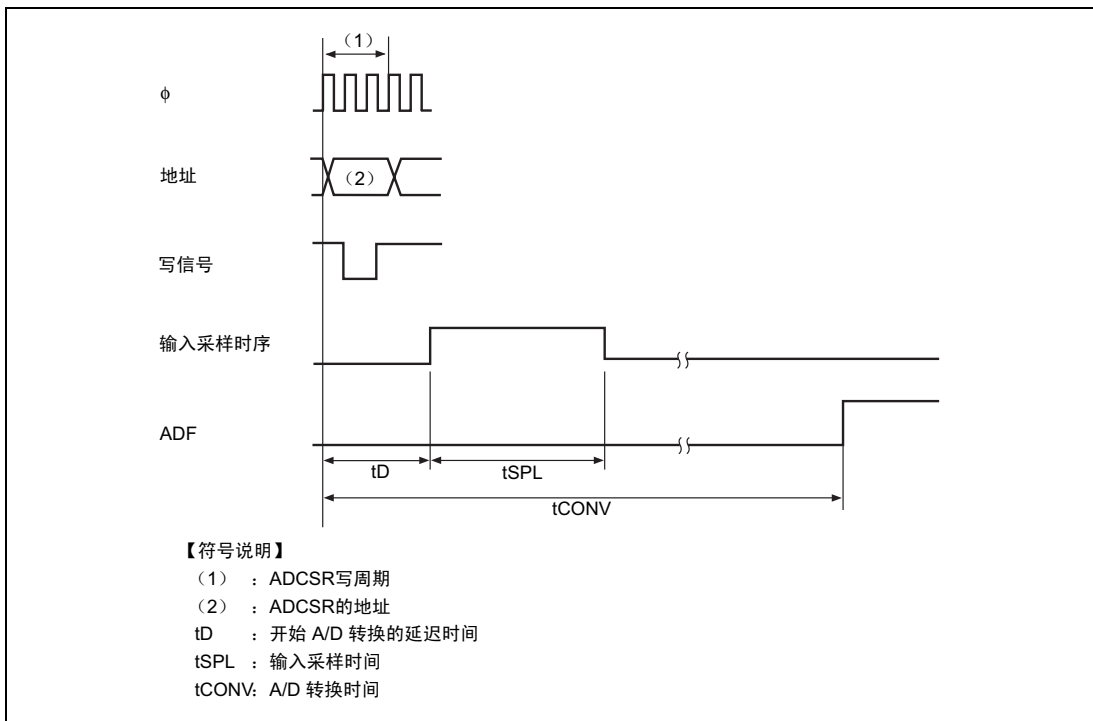


图 16.2 A/D 转换时序

表 16.3 A/D 转换时间（单通道模式）

	符号	CKS=0			CKS=1		
		min	typ	max	min	typ	max
A/D 转换开始的延迟时间	tD	6	—	9	4	—	5
输入采样时间	tSPL	—	31	—	—	15	—
A/D 转换时间	tCONV	131	—	134	69	—	70

【注】 表中数值的单位为状态。

16.4.4 外部触发输入时序

能通过外部触发输入来开始 A/D 转换。在 ADCR 的 TRGE 位置 1 时，外部触发输入从 $\overline{\text{ADTRG}}$ 管脚输入。在 $\overline{\text{ADTRG}}$ 输入管脚的下降沿，ADCSR 的 ADST 位被置 1，开始 A/D 转换。无论是单通道模式还是扫描模式，其它的运行与通过软件将 ADST 位置 1 的情况相同。此时序如图 16.3 所示。

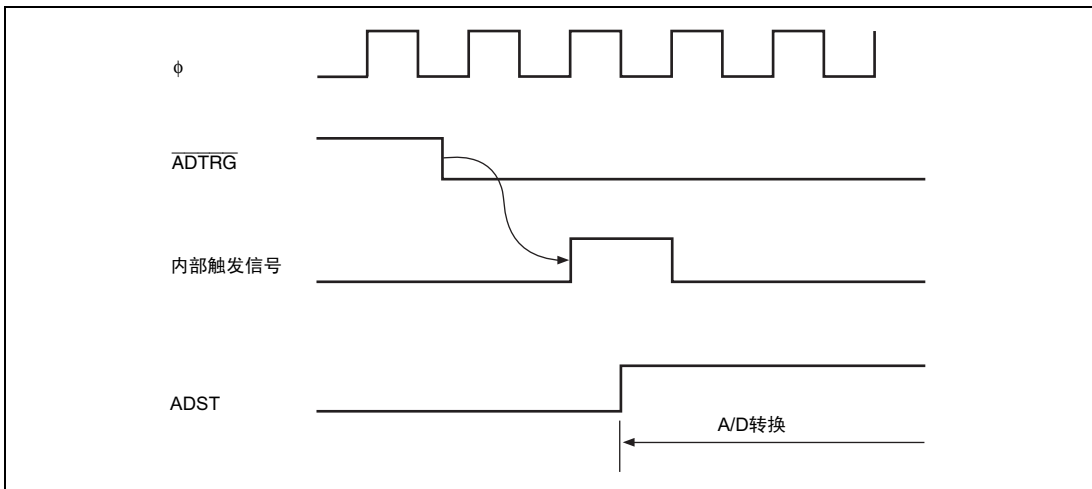


图 16.3 外部触发输入的时序

16.5 A/D 转换精度的定义

本 LSI 的 A/D 转换精度的定义如下：

- 分辨率
A/D转换器的数字输出码的位数
- 量化误差
A/D转换器固有的偏差，为1/2LSB（图16.4）
- 偏移误差
数字输出从最小电压值0000000000变化到0000000001时，来自模拟输入电压值的理想A/D转换特性的偏差（图16.5）。
- 满刻度误差
数字输出从1111111110变化到1111111111时，来自模拟输入电压值的理想A/D转换特性的偏差（图16.5）。
- 非线性误差
来自从零电压到满刻度电压之间的理想A/D转换特性的误差。但是，不包含偏移误差、满刻度误差和量化误差。
- 绝对精度
数字值和模拟输入值的偏差。包含偏移误差、满刻度误差、量化误差和非线性误差。

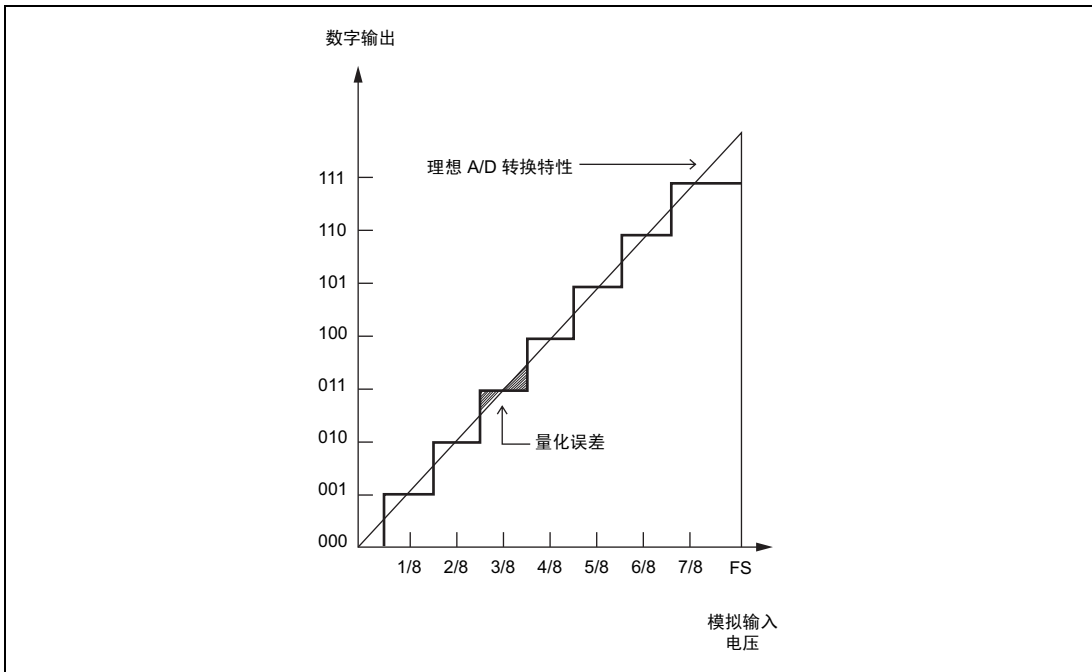


图 16.4 A/D 转换精度的定义 (1)

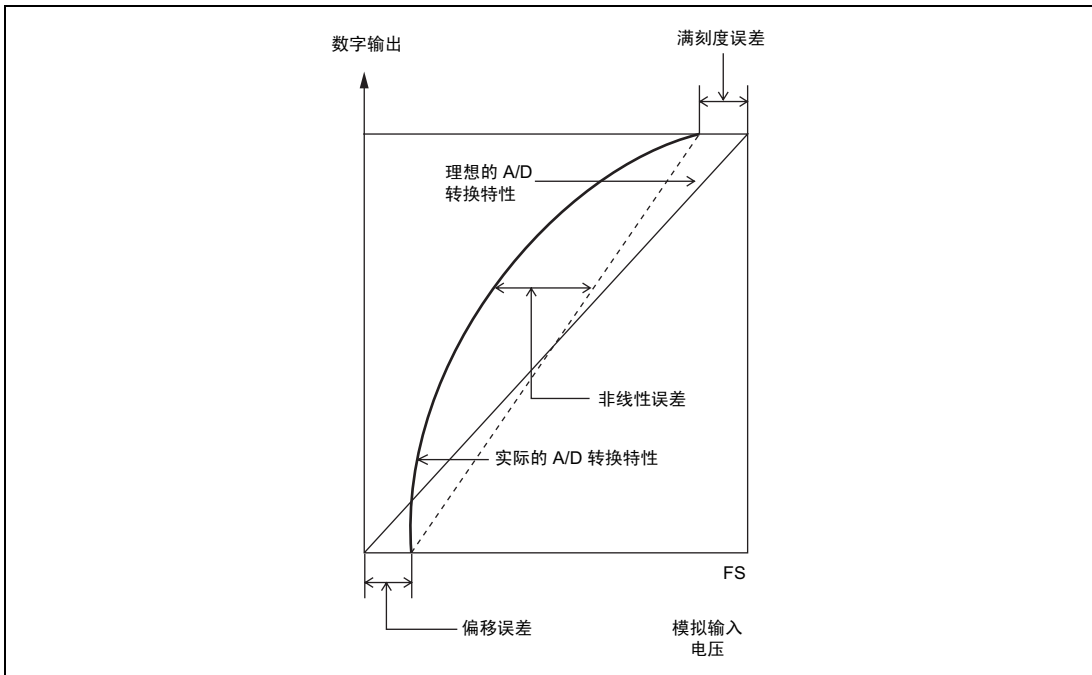


图 16.5 A/D 转换精度的定义 (2)

16.6 使用注意事项

16.6.1 关于容许信号源阻抗

对于信号源阻抗为 $5\text{k}\Omega$ 以下的输入信号，本 LSI 的模拟输入为保证其转换精度的设计。这是为了在采样时间内，对 A/D 转换器的采样和保持电路的输入电容进行充电而制定的规格。在传感器的输出阻抗超过 $5\text{k}\Omega$ 时，有可能发生充电不足且不能保证 A/D 转换精度。在单通道模式中进行转换且在外部设置大电容的情况下，由于输入负载实际上变为只有 $10\text{k}\Omega$ 的内部输入电阻，因此几乎可忽略信号源阻抗。但是在这种情况下，由于形成低通滤波器，所以有可能无法跟踪大微分系数的模拟信号（例如，电压的变动率在 $5\text{mV}/\mu\text{s}$ 以上）（图 16.6）。在转换高速模拟信号或者在扫描模式中进行转换时，必须插入一个低阻抗的缓冲器。

16.6.2 关于对绝对精度的影响

由于附加电容会导致与 GND 的耦合，因此，如果在 GND 中有噪声，就有可能降低绝对精度，必须与电稳定的 GND 连接。另外，必须注意：在安装电路板上滤波器电路不要干涉数字信号和充当天线。

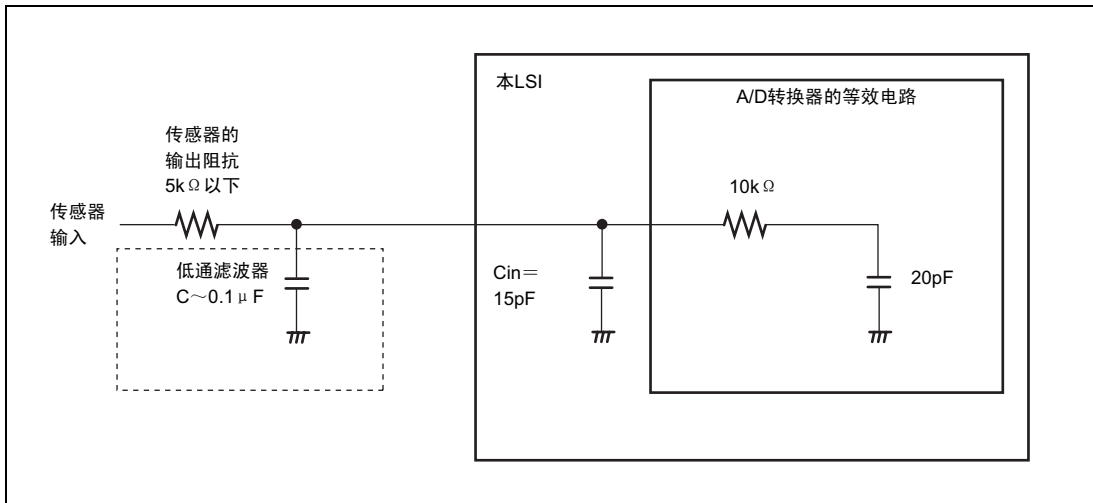


图 16.6 模拟输入电路的例子

第 17 章 带隙电路、加电复位和低电压检测电路

本 LSI 内置带隙电路（BGR: Band Gap Regulator）、加电复位电路和低电压检测电路。

BGR 给内部振荡和低电压检测电路提供基准电压，BGR 的位置框图如图 17.1 所示。

低电压检测电路由低电压检测中断电路（LVDI: Interrupt by Low Voltage Detect）和低电压检测复位电路（LVDR: Reset by Low Voltage Detect）构成。

本电路用于防止由电源电压下降而引起的本 LSI 的异常运行（失控），并在电源电压再次上升时再现电源电压下降前的状态。

即使电源电压下降，在运行保证电压以上且正常运行中通过转移到待机模式，就能消除电源电压下降到运行保证电压以下时的不稳定状态，提高系统的安全性。而且，在电源电压下降后自动转移到复位状态；如果电源电压再次上升，就在保持一定时间的复位状态后自动转移到激活模式。

加电复位电路和低电压检测电路的框图如图 17.2 所示。

17.1 特点

- BGR 电路

能在全部的工作电压和工作温度范围内输出稳定的基准电压。

通过用寄存器将 BGR 设定为 OFF，能降低功耗。

- 加电复位电路

通过与外部连接电容，在通电时产生内部复位信号。

- 低电压检测电路

低电压检测复位电路：监视电源电压，当电源电压低于规定电压时产生内部复位信号。

低电压检测中断电路：监视电源电压，当电源电压低于或高于规定电压时产生中断。

复位发生电压的检测电平可选择是只使用低电压检测复位电路还是使用低电压检测中断电路和低电压检测复位电路。

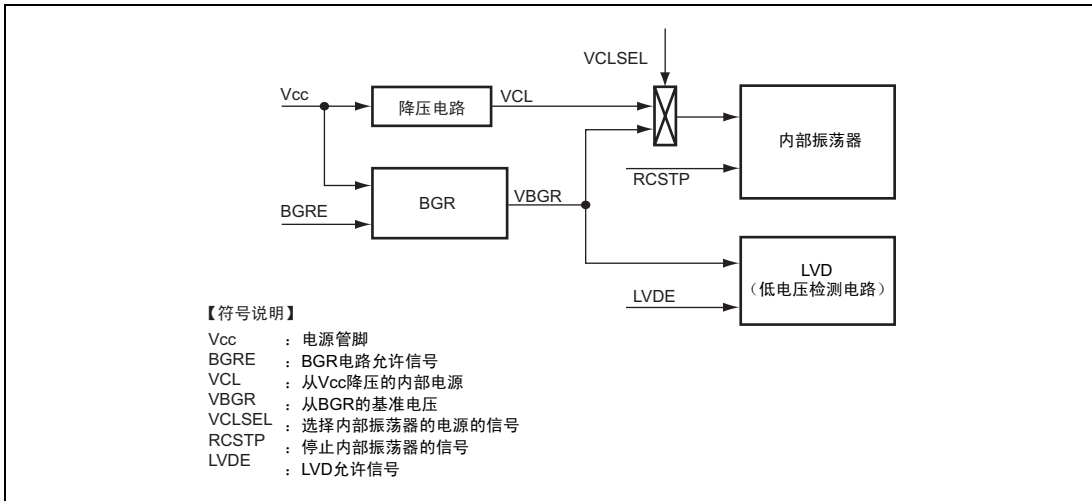


图 17.1 BGR 的位置框图

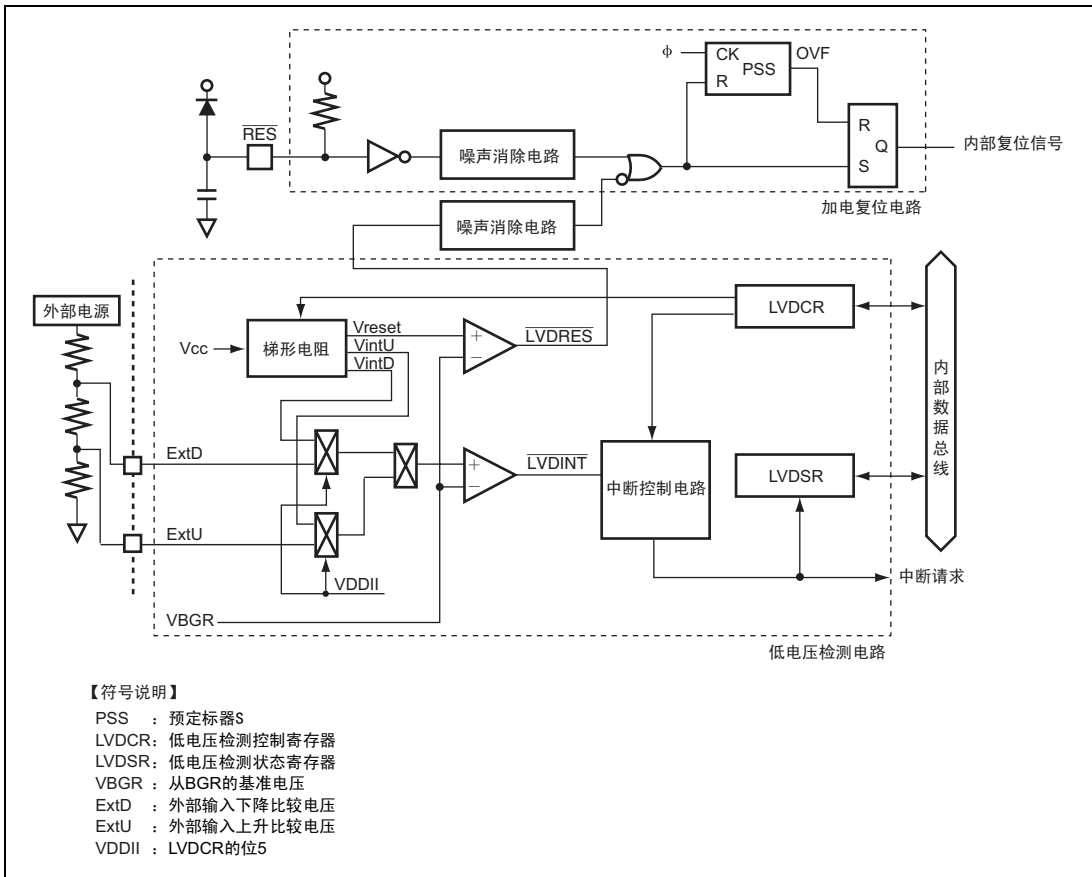


图17.2 加电复位电路和低电压检测电路框图

17.2 寄存器说明

低电压检测电路有以下寄存器：

- 低电压检测控制寄存器 (LVDCR)
- 低电压检测状态寄存器 (LVDSR)

17.2.1 低电压检测控制寄存器 (LVDCR)

LVDCR 对是否使用低电压检测电路、是否使用 BGR 电路、LVDI 比较电压的选择、LVDR 检测电平的设定、是否允许由低电压检测复位电路产生的复位、以及是否允许由电源电压下降和上升产生的中断进行控制。

LVDCR 的设定值和选择功能的关系如表 17.1 所示，必须按照表 17.1 设定 LVDCR。

位	位名	初始值	R/W	说 明
7	LVDE	1*	R/W	LVD 允许 0: 未使用低电压检测电路 (待机状态) 1: 使用低电压检测电路
6	BGRE	1*	R/W	BGR 允许 0: 未使用 BGR 电路 (待机状态) 1: 使用 BGR 电路
5	VDDII	1*	R/W	LVDI 外部比较电压的输入禁止 0: LVDI 比较电压使用外部电压 1: LVDI 比较电压使用内部电压
4	—	1	—	保留位 总是读出 1。写无效。
3	LVDSSEL	0*	R/W	LVDR 检测电平的选择 0: 复位检测电压为 2.3V(typ.) 1: 复位检测电压为 3.6V(typ.) 使用电压下降检测和电压上升检测中断时，必须使用 2.3V(typ.)的复位检测电压； 只使用复位检测时，必须使用 3.6V(typ.)的复位检测电压。
2	LVDRE	1*	R/W	LVDR 允许 0: 禁止由 LVDR 产生的复位 1: 允许由 LVDR 产生的复位
1	LVDDE	0	R/W	电压下降时的中断允许 0: 禁止电压下降时的中断请求 1: 允许电压下降时的中断请求

位	位名	初始值	R/W	说 明
0	LVDUE	0	R/W	电压上升时的中断允许 0: 禁止电压上升时的中断请求 1: 允许电压上升时的中断请求

【注】* 在通过 LVDR 复位时，不被初始化；在加电复位和监视定时器复位时，被初始化。

表 17.1 LVDCR 的设定和选择功能

LVDCR 设定值							选择功能			
LVDE	BGRE	VDDII	LVDSEL	LVDRE	LVDDE	LVDDUE	加电复位	低电压检测 复位	低电压检测 下降中断	低电压检测 上升中断
0	*1	*2	*2	*2	*2	*2	○	—	—	—
1	1	*1	1	1	0	0	○	○	—	—
1	1	*1	0	0	1	0	○	—	○	—
1	1	*1	0	0	1	1	○	—	○	○
1	1	*1	0	1	1	1	○	○	○	○

【注】*1 根据需要进行设定。

*2 设定值无效。

17.2.2 低电压检测状态寄存器 (LVDSR)

LVDSR 表示电源电压低于或者高于某个规定电压。

位	位名	初始值	R/W	说 明
7~2	—	全 1	—	保留位。 总是读出 1，写无效。
1	LVDDF	0*	R/W	LVD 电源电压下降标志 [置位条件] 在电源电压下降到 Vint(D) (typ.=3.7V)以下时 [清除条件] 在读到 1 的状态后，写 0 时
0	LVDUF	0*	R/W	LVD 电源电压上升标志 [置位条件] 在 LVDCR 的 LVDUE 位置 1 的状态下，电源电压下降到 Vint(D)以下且在下降到 Vreset1 (typ.=2.3V)以下之前上升到 Vint(U) (typ.=4.0V)以上时 [清除条件] 在读到 1 的状态后，写 0 时

【注】* 在通过 LVDR 复位时，被初始化。

17.3 运行说明

17.3.1 加电复位电路

加电复位电路的运行时序如图 17.3 所示。由于电源电压上升，经过内部上拉电阻（typ. 150kΩ）逐渐对外接在 $\overline{\text{RES}}$ 管脚的电容充电。此 $\overline{\text{RES}}$ 管脚的状态传到内部，对预定标器 S 和整个芯片进行复位。如果 $\overline{\text{RES}}$ 管脚的电平上升到规定电平，就解除预定标器 S 的复位，开始累加计数。如果预定标器 S 对 ϕ 进行 131,072 次计数，就产生 OVF 信号，解除内部复位信号。另外，为了避免由 $\overline{\text{RES}}$ 管脚的噪声而产生的误动作，在芯片内置了 typ. 400ns 左右的噪声消除电路。

为了使 LSI 工作稳定，需要使电源在规定的时间内上升。电源上升时间(t_{PWON})的最大值由振荡频率(f_{OSC})和连接到 $\overline{\text{RES}}$ 管脚的电容(C_{RES})来定义。假设电源上升时间为达到电源电压的 90% 前的时间，请设计满足下列算式的电源电路：

$$t_{\text{PWON}} (\text{ms}) \leq 90 \times C_{\text{RES}} (\mu\text{F}) + 162/f_{\text{OSC}} (\text{MHz})$$

($t_{\text{PWON}} \leq 3000\text{ms}$ 、 $C_{\text{RES}} \geq 0.22\mu\text{F}$ 、 $2 \sim 10\text{MHz}$ 时 $f_{\text{OSC}}=10$)

但是，电源电压 V_{CC} 必须下降到 $V_{\text{POR}}=100\text{mV}$ 以下，所以必须在充分放掉 $\overline{\text{RES}}$ 管脚的电荷后使电源电压 V_{CC} 上升。为了放掉 $\overline{\text{RES}}$ 管脚的电荷，建议给 V_{CC} 侧外接二极管。如果从超过 V_{POR} 的电压开始电源电压 V_{CC} 上升，加电复位有可能不工作。

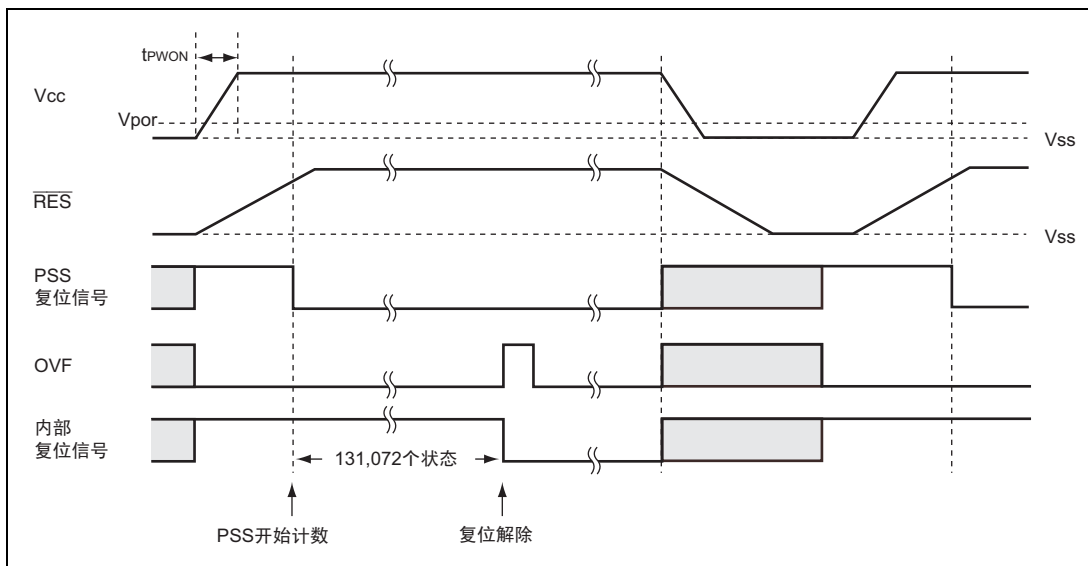


图 17.3 加电复位电路的运行时序

17.3.2 低电压检测电路

(1) 低电压检测复位电路 (LVDR)

LVDR 的运行时序如图 17.4 所示。LVDR 在加电复位解除后有效。解除 LVDR 时，在将 LVDCR 的 LVDRE 位清 0 后将 LVDCR 的 LVDE 位清 0，根据需要也将 BGRE 位清 0。为了避免误动作，LVDE 位和 BGRE 位不能与 LVDRE 位同时清除。另外，在再次让 LVDR 运行时，将 LVDE 位和 BGRE 位置 1，并且通过软件、定时器等在等待基准电压和电压检测电源稳定为止的时间 t_{LVDRON} (50 μ s) 后将 LVDRE 位置 1。此后，必须进行端口的输出设定。

如果电源电压下降到 V_{reset} 电压 (typ.=2.3V 或者 3.6V) 以下，LVDR 就将 \overline{LVDRES} 信号变为 0，并且复位预定标器 S。只要加电复位不工作，就继续保持低电压检测复位状态。如果电源电压再次上升到 V_{reset} 电压以上，预定标器 S 就开始累加计数，对 ϕ 进行 131,072 次计数，解除内部复位信号。此时，LVDCR 的 LVDE、BGRE、VDDII、LVDSSEL 和 LVDRE 位不被初始化。

但是，在电源电压 V_{cc} 下降到 $V_{LVDRmin}=1.0V$ 以下后开始上升时，有可能低电压检测复位不工作，所以必须充分评价。

另外，如果电源电压 V_{cc} 下降到 $V_{por}=100mV$ 以下，本 LSI 就为加电复位运行。

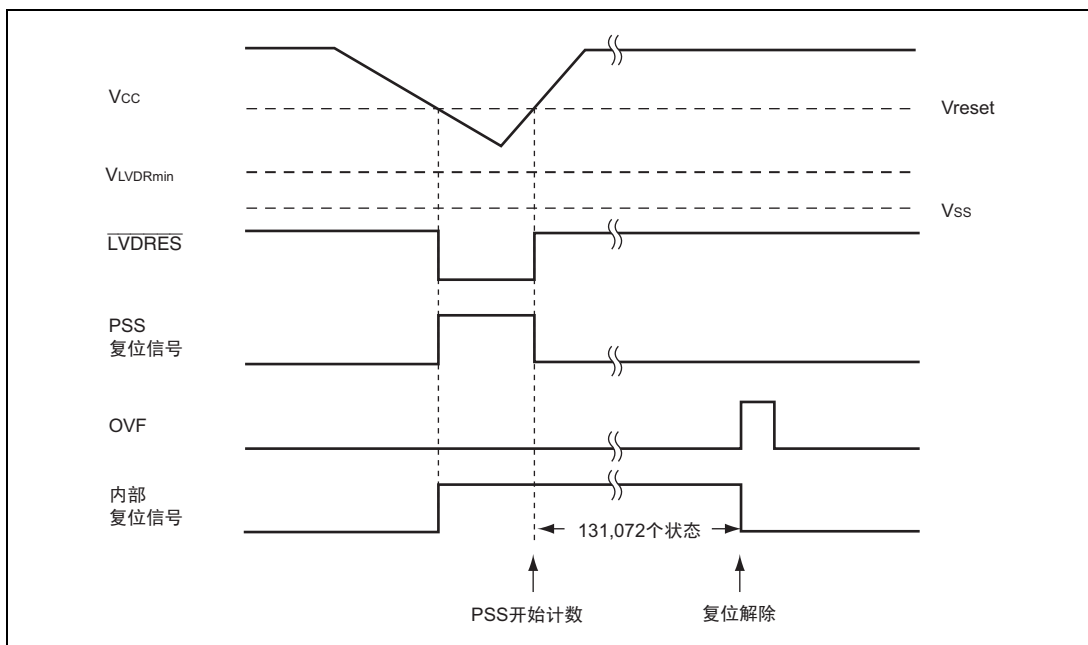


图 17.4 低电压检测复位电路的运行时序

(2) 低电压检测中断电路 (LVDI: 检测电压为内部产生时)

LVDI 的运行时序如图 17.5 所示。

LVDI 在接通电源时, 电压检测电路有效, 但是中断请求无效。为了使 LVDI 的中断有效, 需要将 LVDSR 的 LVDDF、LVDUF 位清 0, 并且将 LVDCR 的 LVDDE 或者 LVDUE 置 1。然后, 必须进行端口的输出设定。

在解除 LVDI 时, 必须按照 (4) 使用 LVDR、LVDI 时的运行/解除设定的步骤。

另外, 在将 LVDE 设为待机状态后再次让其运行时, 需将 LVDE 位置 1, 按需要给 VDDII 写 1, 并且通过软件、定时器等在等待基准电压和低电压检测电源稳定为止的时间 t_{LVDON} (50 μ s) 后, 将 LVDDF、LVDUF 位清 0, 并且将 LVDDE 或者 LVDUE 置 1。然后, 必须进行端口的输出设定。

如果电源电压下降到 $V_{int}(D)$ 电压 (typ.=3.7V) 以下, LVDI 就使 \overline{LVDINT} 信号变为 0, 并且将 LVDDF 位置 1。此时如果 LVDDE 位是 1, 就产生 IRQ0 中断请求。此时, 必须将所需数据保存到外接的 EEPROM 等, 并且转移到待机模式或者子睡眠模式。设计电源电路时, 必须在结束此处理前将电源电压保持在保证运行的下限电压以上。

另外, 如果电源电压不降到 V_{reset1} (typ.=2.3V) 而上升到 $V_{int}(U)$ 电压 (typ.=4.0V) 以上, \overline{LVDINT} 信号就变为 1。此时, 如果 LVDUE 位是 1, LVDSR 的 LVDUF 位就被置 1, 同时产生 IRQ0 中断请求。

如果电源电压下降到 V_{reset1} (typ.=2.3V) 以下, 本 LSI 就为低电压检测复位运行 (LVDRE=1 的情况)。

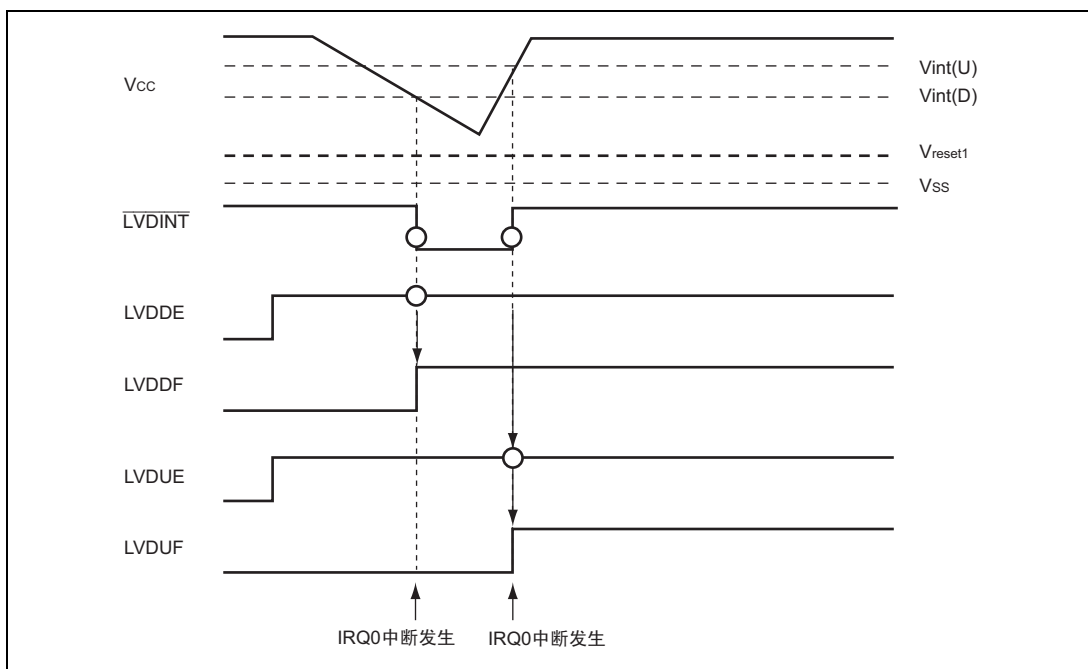


图 17.5 低电压检测中断电路的运行时序

(3) 低电压检测中断电路 (LVDI: 检测电压使用 ExtU、ExtD 管脚输入时)

LVDI 的运行时序如图 17.6 所示。

LVDI 在接通电源时, 电压检测电路有效, 但是中断请求无效。为了使 LVDI 的中断有效, 需要将 LVDSR 的 LVDDF、LVUDF 位清 0, 并且将 LVDCR 的 LVDDE 或者 LVDUE 置 1。在使用外部比较电压时, 给 LVDCR 的 VDDII 写 0, 并且通过软件、定时器等在等待检测电路稳定为止的时间 t_{LVDON} (50 μ s) 后, 将 LVDDF、LVUDF 位清 0, 并且将 LVDDE 或者 LVDUE 置 1。然后, 必须进行端口的输出设定。对于外部比较电压的初始值, 必须给 ExtU、ExtD 管脚外加高于 V_{exd} 的电压。

在解除和重新设定 LVDI 时, 必须按照 (4) 使用 LVDR、LVDI 时的运行/解除设定的步骤。

如果 ExtD 管脚的电源电压下降到 V_{exd} (D) 电压 (typ.= 1.15V) 以下, LVDI 就将 \overline{LVDINT} 信号变为 0, 并将 LVDDF 位置 1。此时如果 LVDDE 位是 1, 就产生 IRQ0 中断请求。此时, 必须将所需数据保存到外接的 EEPROM 等, 并且转移到待机模式或者子睡眠模式。设计电源电路时, 必须在结束此处理之前将电源电压保持在保证运行的下限电压以上。

另外, 如果电源电压不降到 V_{reset1} (typ.=2.3V) 而 ExtU 管脚的输入电压上升到 V_{exd} (typ.=1.15V) 以上, \overline{LVDINT} 信号就变为 1。此时, 如果 LVDUE 位是 1, LVDSR 的 LVUDF 位就被置 1, 同时产生 IRQ0 中断请求。如果电源电压下降到 V_{reset1} (typ.=2.3V) 以下, 本 LSI 就为低电压检测复位运行。在检测电压使用 ExtU、ExtD 管脚输入时, 也必须使用 LVDR (复位检测电压 typ.=2.3V)。

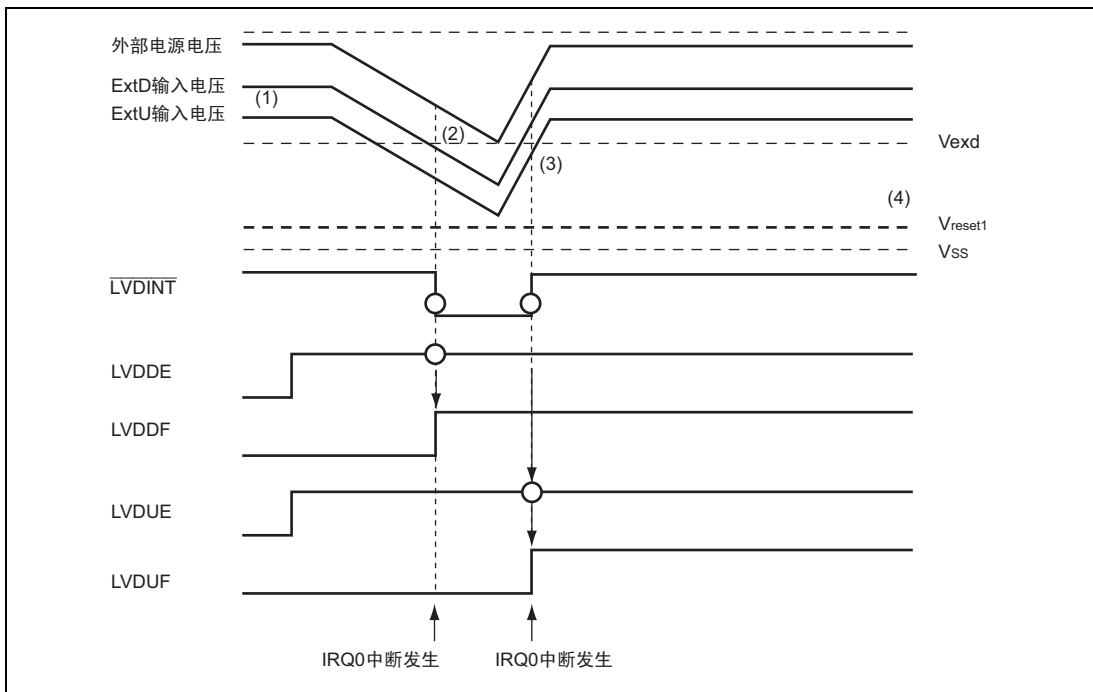


图 17.6 低电压检测中断电路的运行时序 (在检测电压使用 ExtU、ExtD 管脚输入时)

(4) 使用 LVDR、LVDI 时的运行/解除设定的步骤

在初始值状态下低电压检测电路运行。为了正常解除和运行，必须按以下步骤设定。设定低电压检测电路解除和运行时的时序如图 17.7 所示。

1. 解除低电压检测电路时，在将LVDR、LVDI位全部清0后将LVDE、BGRE位清0，并且按需要将LVDCR的VDDII置1。为了避免误动作，LVDE、BGRE位不能同时和LVDR、LVDI位清除。
2. 运行低电压检测电路时，首先将LVDCR的LVDE、BGRE位置1。在使用ExtU、ExtD管脚的外部比较电压时，将LVDDII清0。
3. 通过软件、定时器等在等待基准电压和低电压检测电源稳定为止的时间（ $t_{LVDO\text{N}}=50\mu\text{s}$ ）后，将LVDSR的LVDDF位和LVUDF位清0，并且按需要将LVDCR的LVDR、LVDE和LVDI位置1。

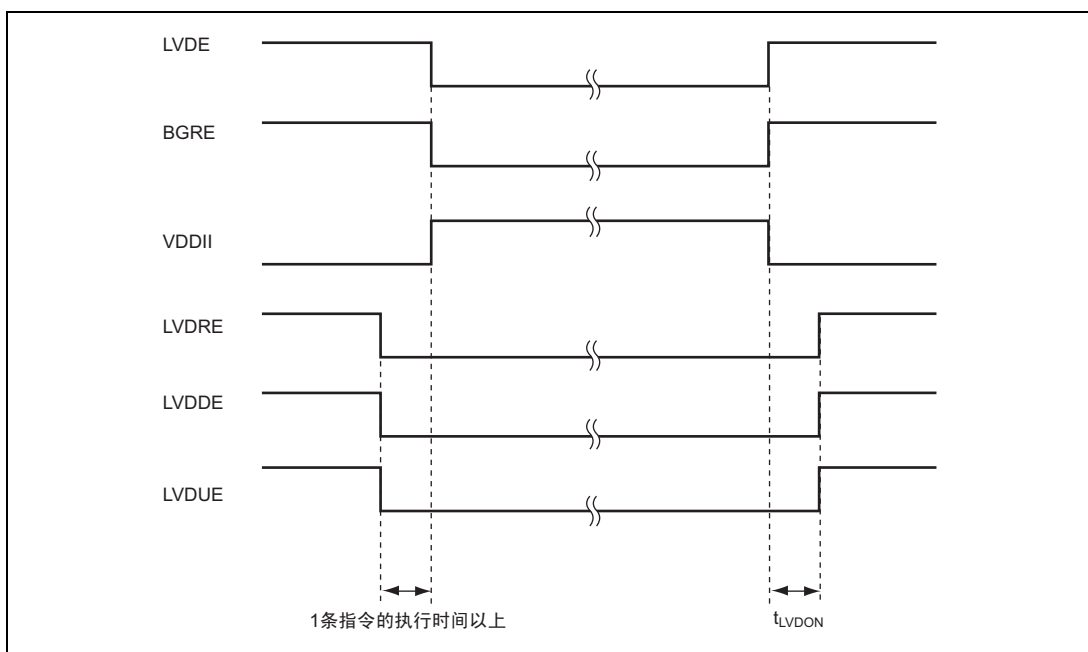


图 17.7 低电压检测电路运行/解除的设定时序

第 18 章 电源电路

本 LSI 内置内部电源降压电路。通过使用此内部电源降压电路，能不依靠连接到外部 V_{CC} 管脚的电源电压，将内部电源大约固定在 3.0V。因此，在 3.0V 以上使用外部电源时，就能抑制消耗电流，使其和使用大约 3.0V 的外部电源时基本相同。在外部电压低于 3.0V 以下时，内部电压与外部电压基本相同。也能不使用内部电源降压电路而将内部电源电压用作外部电源电压。

18.1 使用内部电源降压电路时

如图 18.1 所示，必须将外部电源连接到 V_{CC} 管脚，并且在 V_{CL} 和 V_{SS} 之间连接一个大约 0.1 μ F 的电容。根据这个附加外部电路，使内部降压电路有效。外部电路的输入/输出电平以连接到 V_{CC} 的外部电源电压和连接到 V_{SS} 的 GND 电位为基准。例如，对于端口的输入/输出电平，High 电平以 V_{CC} 为基准，Low 电平以 V_{SS} 为基准。A/D 转换器的模拟电源不受内部降压电路的影响。

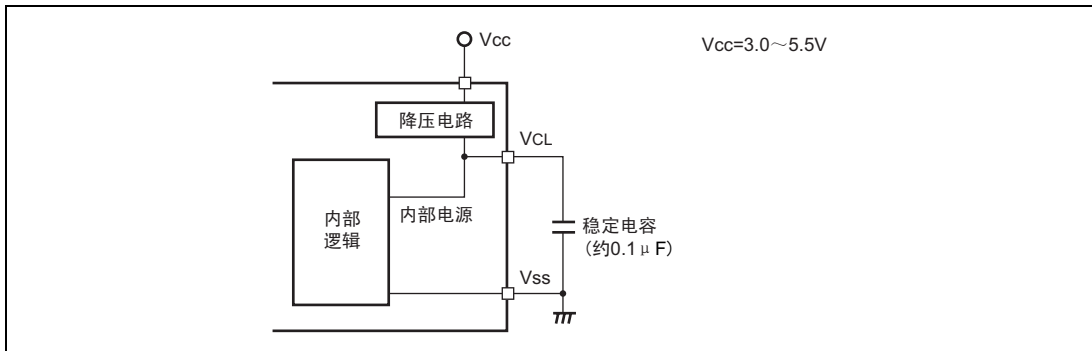


图 18.1 使用内部电源降压电路时的电源连接图

18.2 不使用内部电源降压电路时

如图 18.2 所示，必须将外部电源连接到 V_{CL} 和 V_{CC} 管脚。直接将外部电源提供给内部电源。可使用的电源电压为 $3.0V \sim 3.6V$ 。如果提供超过此范围的电源，就不能保证运行。

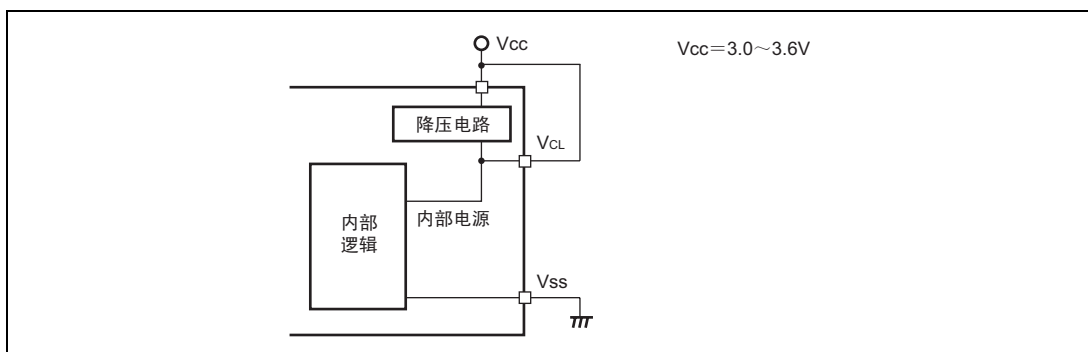


图 18.2 不使用内部电源降压电路时的电源连接图

第 19 章 寄存器一览表

寄存器地址一览表汇总了有关内部寄存器地址、位结构以及各运行模式状态的信息。表的记述方法如下：

1. 寄存器地址一览表（地址顺序）
 - 从分配地址小的寄存器顺序记载。
 - 根据模块名分类。
 - 表示数据总线宽度。
 - 表示存取状态数。
2. 寄存器一览表
 - 按照“寄存器地址一览表（地址顺序）”的顺序，记载位结构。
 - 在位名称列中用“—”表示保留位。
 - 为16位寄存器时，从MSB侧的位开始记载。
3. 各运行模式的寄存器状态
 - 按照“寄存器地址一览表（地址顺序）”的顺序，记载寄存器状态。
 - 表示基本运行模式的寄存器状态。在有内部模块固有的复位等时，请参照内部模块的章节。

19.1 寄存器地址一览表（地址顺序）

数据总线宽度表示位数。

存取状态数表示指定的基准时钟的状态数。

寄存器名	略称	位数	地址	模块	数据总线 宽度	存取 状态数
低电压检测控制寄存器	LVDCR	8	H'F730	低电压检测电路	8	2
低电压检测状态寄存器	LVDSR	8	H'F731	低电压检测电路	8	2
时钟控制状态寄存器	CKCSR	8	H'F734	时钟振荡器	8	2
RC 控制寄存器	RCCR	8	H'F735	内部振荡器	8	2
RC 修整数据保护寄存器	RCTRM DPR	8	H'F736	内部振荡器	8	2
RC 修整数据寄存器	RCTRM DR	8	H'F737	内部振荡器	8	2
I ² C 总线控制寄存器 1	ICCR1	8	H'F748	IIC2	8	2
I ² C 总线控制寄存器 2	ICCR2	8	H'F749	IIC2	8	2
I ² C 总线模式寄存器	ICMR	8	H'F74A	IIC2	8	2
I ² C 总线中断允许寄存器	ICIER	8	H'F74B	IIC2	8	2
I ² C 总线状态寄存器	ICSR	8	H'F74C	IIC2	8	2
从属地址寄存器	SAR	8	H'F74D	IIC2	8	2
I ² C 总线发送数据寄存器	ICDRT	8	H'F74E	IIC2	8	2
I ² C 总线接收数据寄存器	ICDRR	8	H'F74F	IIC2	8	2
定时器模式寄存器 B1	TMB1	8	H'F760	定时器 B1	8	2
定时器计数器 B1 / 定时器装入寄存器 B1	TCB1(R)/ TLB1(W)	8	H'F761	定时器 B1	8	2
定时器模式寄存器 W	TMRW	8	H'FF80	定时器 W	8	2
定时器控制寄存器 W	TCRW	8	H'FF81	定时器 W	8	2
定时器中断允许寄存器 W	TIERW	8	H'FF82	定时器 W	8	2
定时器状态寄存器 W	TSRW	8	H'FF83	定时器 W	8	2
定时器 I/O 控制寄存器 0	TIOR0	8	H'FF84	定时器 W	8	2
定时器 I/O 控制寄存器 1	TIOR1	8	H'FF85	定时器 W	8	2
定时器计数器	TCNT	16	H'FF86	定时器 W	16* ¹	2
通用寄存器 A	GRA	16	H'FF88	定时器 W	16* ¹	2
通用寄存器 B	GRB	16	H'FF8A	定时器 W	16* ¹	2
通用寄存器 C	GRC	16	H'FF8C	定时器 W	16* ¹	2
通用寄存器 D	GRD	16	H'FF8E	定时器 W	16* ¹	2
快速擦写存储器控制寄存器 1	FLMCR1	8	H'FF90	ROM	8	2
快速擦写存储器控制寄存器 2	FLMCR2	8	H'FF91	ROM	8	2

寄存器名	略称	位数	地址	模块	数据总线	
					宽度	存取状态数
块指定寄存器 1	EBR1	8	H'FF93	ROM	8	2
快速擦写存储器允许寄存器	FENR	8	H'FF9B	ROM	8	2
定时器控制寄存器 V0	TCRV0	8	H'FFA0	定时器 V	8	3
定时器控制/状态寄存器 V	TCSR V	8	H'FFA1	定时器 V	8	3
时间常数寄存器 A	TCORA	8	H'FFA2	定时器 V	8	3
时间常数寄存器 B	TCORB	8	H'FFA3	定时器 V	8	3
定时器计数器 V	TCNTV	8	H'FFA4	定时器 V	8	3
定时器控制寄存器 V1	TCRV1	8	H'FFA5	定时器 V	8	3
串行模式寄存器	SMR	8	H'FFA8	SCI3	8	3
位速率寄存器	BRR	8	H'FFA9	SCI3	8	3
串行控制寄存器 3	SCR3	8	H'FFAA	SCI3	8	3
发送数据寄存器	TDR	8	H'FFAB	SCI3	8	3
串行状态寄存器	SSR	8	H'FFAC	SCI3	8	3
接收数据寄存器	RDR	8	H'FFAD	SCI3	8	3
采样模式寄存器	SPMR	8	H'FFAE	SCI3	8	3
A/D 数据寄存器 A	ADDRA	16	H'FFB0	A/D 转换器	8	3
A/D 数据寄存器 B	ADDRB	16	H'FFB2	A/D 转换器	8	3
A/D 数据寄存器 C	ADDRC	16	H'FFB4	A/D 转换器	8	3
A/D 数据寄存器 D	ADDRD	16	H'FFB6	A/D 转换器	8	3
A/D 控制/状态寄存器	ADCSR	8	H'FFB8	A/D 转换器	8	3
A/D 控制寄存器	ADCR	8	H'FFB9	A/D 转换器	8	3
定时器控制/状态寄存器 WD	TCSRWD	8	H'FFC0	WDT*2	8	2
定时器计数器 WD	TCWD	8	H'FFC1	WDT*2	8	2
定时器模式寄存器 WD	TMWD	8	H'FFC2	WDT*2	8	2
地址断开控制寄存器	ABRKCR	8	H'FFC8	地址断开	8	2
地址断开状态寄存器	ABRKSR	8	H'FFC9	地址断开	8	2
断开地址寄存器 H	BARH	8	H'FFCA	地址断开	8	2
断开地址寄存器 L	BARL	8	H'FFCB	地址断开	8	2
断开数据寄存器 H	BDRH	8	H'FFCC	地址断开	8	2
断开数据寄存器 L	BDRL	8	H'FFCD	地址断开	8	2
端口上拉控制寄存器 1	PUCR1	8	H'FFD0	I/O 端口	8	2
端口上拉控制寄存器 5	PUCR5	8	H'FFD1	I/O 端口	8	2
端口数据寄存器 1	PDR1	8	H'FFD4	I/O 端口	8	2
端口数据寄存器 2	PDR2	8	H'FFD5	I/O 端口	8	2
端口数据寄存器 5	PDR5	8	H'FFD8	I/O 端口	8	2
端口数据寄存器 7	PDR7	8	H'FFDA	I/O 端口	8	2
端口数据寄存器 8	PDR8	8	H'FFDB	I/O 端口	8	2

第 19 章 寄存器一览表

寄存器名	略称	位数	地址	模块	数据总线 宽度	存取 状态数
端口数据寄存器 B	PDRB	8	H'FFDD	I/O 端口	8	2
端口数据寄存器 C	PDRC	8	H'FFDE	I/O 端口	8	2
端口模式寄存器 1	PMR1	8	H'FFE0	I/O 端口	8	2
端口模式寄存器 5	PMR5	8	H'FFE1	I/O 端口	8	2
端口控制寄存器 1	PCR1	8	H'FFE4	I/O 端口	8	2
端口控制寄存器 2	PCR2	8	H'FFE5	I/O 端口	8	2
端口控制寄存器 5	PCR5	8	H'FFE8	I/O 端口	8	2
端口控制寄存器 7	PCR7	8	H'FFEA	I/O 端口	8	2
端口控制寄存器 8	PCR8	8	H'FFEB	I/O 端口	8	2
端口控制寄存器 C	PCRC	8	H'FFEE	I/O 端口	8	2
系统控制寄存器 1	SYSCR1	8	H'FFF0	低功耗	8	2
系统控制寄存器 2	SYSCR2	8	H'FFF1	低功耗	8	2
中断边沿选择寄存器 1	IEGR1	8	H'FFF2	中断	8	2
中断边沿选择寄存器 2	IEGR2	8	H'FFF3	中断	8	2
中断允许寄存器 1	IENR1	8	H'FFF4	中断	8	2
中断允许寄存器 2	IENR2	8	H'FFF5	中断	8	2
中断标志寄存器 1	IRR1	8	H'FFF6	中断	8	2
中断标志寄存器 2	IRR2	8	H'FFF7	中断	8	2
唤醒中断标志寄存器	IWPR	8	H'FFF8	中断	8	2
模块待机控制寄存器 1	MSTCR1	8	H'FFF9	低功耗	8	2
模块待机控制寄存器 2	MSTCR2	8	H'FFFA	低功耗	8	2

【注】 *1 只能字存取。

*2 WDT: 监视定时器

19.2 寄存器位一览表

内部外围模块寄存器的位名如下所示。

对于 16 位寄存器，分别用 8 位 2 段表示。

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
LVDCR	LVDE	BGRE	VDDII	—	LVDSSEL	LVDRE	LVDDE	LVDUE	低电压检测 电路
LVDSR	—	—	—	—	—	—	LVDDF	LVDFUF	
CKCSR	PMRC1	PMRC0	—	OSCSEL	CKSWIE	CKSWIF	—	CKSTA	时钟振荡器
RCCR	RCSTP	FSEL	VCLSEL	—	—	—	RCPSC1	RCPSC0	内部振荡器
RCTRMDPR	WRI	PRWE	LOCKDW	TRMDR	—	—	—	—	
RCTRMDR	TRMD7	TRMD6	TRMD5	TRMD4	TRMD3	TRMD2	TRMD1	TRMD0	
ICCR1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—	
ICMR	MLS	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
TMB1	TMB17	—	—	—	—	TMB12	TMB11	TMB10	定时器 B1
TCB1(R)/ TLB1(W)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TMRW	CTS	—	BUFEB	BUFEA	—	PWMD	PWMC	PWMB	定时器 W
TCRW	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA	
TIERW	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA	
TSRW	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA	
TIOR0	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
TIOR1	—	IOD2	IOD1	IOD0	—	IOC2	IOC1	IOC0	
TCNT	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8	
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0	
GRA	GRA15	GRA14	GRA13	GRA12	GRA11	GRA10	GRA9	GRA8	
	GRA7	GRA6	GRA5	GRA4	GRA3	GRA2	GRA1	GRA0	
GRB	GRB15	GRB14	GRB13	GRB12	GRB11	GRB10	GRB9	GRB8	
	GRB7	GRB6	GRB5	GRB4	GRB3	GRB2	GRB1	GRB0	
GRC	GRC15	GRC14	GRC13	GRC12	GRC11	GRC10	GRC9	GRC8	
	GRC7	GRC6	GRC5	GRC4	GRC3	GRC2	GRC1	GRC0	
GRD	GRD15	GRD14	GRD13	GRD12	GRD11	GRD10	GRD9	GRD8	
	GRD7	GRD6	GRD5	GRD4	GRD3	GRD2	GRD1	GRD0	

第 19 章 寄存器一览表

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
FLMCR1	—	SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER	—	—	—	—	—	—	—	
EBR1	—	—	EB5	EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE	—	—	—	—	—	—	—	
TCRV0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	定时器 V
TCSRv	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
TCORA	TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0	
TCORB	TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0	
TCNTV	TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0	
TCRV1	—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0	
SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
SPMR	—	—	—	—	—	STDSPM	—	—	
ADDRA	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 转换器
	AD1	AD0	—	—	—	—	—	—	
ADDRB	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRC	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
ADCR	TRGE	—	—	—	—	—	—	—	
TCSRWD	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST	WDT*
TCWD	TCWD7	TCWD6	TCWD5	TCWD4	TCWD3	TCWD2	TCWD1	TCWD0	
TMWD	—	—	—	—	CKS3	CKS2	CKS1	CKS0	
ABRKCR	RTINTE	CSEL1	CSEL0	ACMP2	ACMP1	ACMP0	DCMP1	DCMP0	地址断开
ABRKSR	ABIF	ABIE	—	—	—	—	—	—	
BARH	BARH7	BARH6	BARH5	BARH4	BARH3	BARH2	BARH1	BARH0	
BARL	BARL7	BARL6	BARL5	BARL4	BARL3	BARL2	BARL1	BARL0	
BDRH	BDRH7	BDRH6	BDRH5	BDRH4	BDRH3	BDRH2	BDRH1	BDRH0	
BDRL	BDRL7	BDRL6	BDRL5	BDRL4	BDRL3	BDRL2	BDRL1	BDRL0	

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块	
PUCR1	PUCR17	—	—	PUCR14	—	—	—	—	I/O 端口	
PUCR5	—	—	PUCR55	—	—	—	—	—		
PDR1	P17	—	—	P14	—	—	—	—		
PDR2	—	—	—	—	—	P22	P21	P20		
PDR5	P57	P56	P55	—	—	—	—	—		
PDR7	—	P76	P75	P74	—	—	—	—		
PDR8	—	—	—	P84	P83	P82	P81	P80		
PDRB	—	—	—	—	PB3	PB2	PB1	PB0		
PDRC	—	—	—	—	—	—	PC1	PC0		
PMR1	IRQ3	—	—	IRQ0	—	—	TXD	—		
PMR5	—	—	WKP5	—	—	—	—	—		
PCR1	PCR17	—	—	PCR14	—	—	—	—		
PCR2	—	—	—	—	—	PCR22	PCR21	PCR20		
PCR5	PCR57	PCR56	PCR55	—	—	—	—	—		
PCR7	—	PCR76	PCR75	PCR74	—	—	—	—		
PCR8	—	—	—	PCR84	PCR83	PCR82	PCR81	PCR80		
PCRC	—	—	—	—	—	—	PCRC1	PCRC0		
SYSCR1	SSBY	STS2	STS1	STS0	—	—	—	—	低功耗	
SYSCR2	SMSSEL	—	DTON	MA2	MA1	MA0	—	—		
IEGR1	—	—	—	—	IEG3	—	—	IEG0	中断	
IEGR2	—	—	WPEG5	—	—	—	—	—		
IENR1	IENDT	—	IENWP	—	IEN3	—	—	IEN0		
IENR2	—	—	IENTB1	—	—	—	—	—		
IRR1	IRRDT	—	—	—	IRRI3	—	—	IRRI0		
IRR2	—	—	IRRTB1	—	—	—	—	—		
IWPR	—	—	IWPF5	—	—	—	—	—		
MSTCR1	—	MSTIIC	MSTS3	MSTAD	MSTWD	MSTTW	MSTTV	—		低功耗
MSTCR2	—	—	—	MSTTB1	—	—	—	—		

【注】 * WDT: 监视定时器

19.3 各运行模式的寄存器状态

寄存器略称	复位	激活	睡眠	子睡眠	待机	模块
LVDCR	初始化	—	—	—	—	低电压检测电路
LVDSR	初始化	—	—	—	—	
CKCSR	初始化	—	—	—	—	时钟振荡器
RCCR	初始化	—	—	—	—	内部振荡器
RCTRMDPR	初始化	—	—	—	—	
RCTRMDR	初始化	—	—	—	—	
ICCR1	初始化	—	—	—	—	IIC2
ICCR2	初始化	—	—	—	—	
ICMR	初始化	—	—	—	—	
ICIER	初始化	—	—	—	—	
ICSR	初始化	—	—	—	—	
SAR	初始化	—	—	—	—	
ICDRT	初始化	—	—	—	—	
ICDRR	初始化	—	—	—	—	
TMB1	初始化	—	—	—	—	定时器 B1
TCB1/TLB1	初始化	—	—	—	—	
TMRW	初始化	—	—	—	—	定时器 W
TCRW	初始化	—	—	—	—	
TIERW	初始化	—	—	—	—	
TSRW	初始化	—	—	—	—	
TIOR0	初始化	—	—	—	—	
TIOR1	初始化	—	—	—	—	
TCNT	初始化	—	—	—	—	
GRA	初始化	—	—	—	—	
GRB	初始化	—	—	—	—	
GRC	初始化	—	—	—	—	
GRD	初始化	—	—	—	—	
FLMCR1	初始化	—	—	初始化	初始化	ROM
FLMCR2	初始化	—	—	初始化	初始化	
EBR1	初始化	—	—	初始化	初始化	
FENR	初始化	—	—	初始化	初始化	
TCRV0	初始化	—	—	初始化	初始化	定时器 V
TCSRv	初始化	—	—	初始化	初始化	
TCORA	初始化	—	—	初始化	初始化	
TCORB	初始化	—	—	初始化	初始化	
TCNTV	初始化	—	—	初始化	初始化	

寄存器略称	复位	激活	睡眠	子睡眠	待机	模块
TCRV1	初始化	—	—	初始化	初始化	定时器 V
SMR	初始化	—	—	初始化	初期化	SCI3
BRR	初始化	—	—	初始化	初期化	
SCR3	初始化	—	—	初始化	初期化	
TDR	初始化	—	—	初始化	初期化	
SSR	初始化	—	—	初始化	初始化	
RDR	初始化	—	—	初始化	初始化	
SPMR	初始化	—	—	初始化	初始化	
ADDRA	初始化	—	—	初始化	初始化	A/D 转换器
ADDRB	初始化	—	—	初始化	初始化	
ADDRC	初始化	—	—	初始化	初始化	
ADDRD	初始化	—	—	初始化	初始化	
ADCSR	初始化	—	—	初始化	初始化	
ADCR	初始化	—	—	初始化	初始化	
TCSRWD	初始化	—	—	—	—	
TCWD	初始化	—	—	—	—	
TMWD	初始化	—	—	—	—	
ABRKCR	初始化	—	—	—	—	地址断开
ABRKSR	初始化	—	—	—	—	
BARH	初始化	—	—	—	—	
BARL	初始化	—	—	—	—	
BDRH	初始化	—	—	—	—	
BDRL	初始化	—	—	—	—	
PUCR1	初始化	—	—	—	—	
PUCR5	初始化	—	—	—	—	
PDR1	初始化	—	—	—	—	
PDR2	初始化	—	—	—	—	
PDR5	初始化	—	—	—	—	
PDR7	初始化	—	—	—	—	
PDR8	初始化	—	—	—	—	
PDRB	初始化	—	—	—	—	
PDRC	初始化	—	—	—	—	
PMR1	初始化	—	—	—	—	
PMR5	初始化	—	—	—	—	
PCR1	初始化	—	—	—	—	
PCR2	初始化	—	—	—	—	
PCR5	初始化	—	—	—	—	
PCR7	初始化	—	—	—	—	
PCR8	初始化	—	—	—	—	
PCRC	初始化	—	—	—	—	

第 19 章 寄存器一览表

寄存器略称	复位	激活	睡眠	子睡眠	待机	模块
SYSCR1	初始化	—	—	—	—	低功耗
SYSCR2	初始化	—	—	—	—	
IEGR1	初始化	—	—	—	—	中断
IEGR2	初始化	—	—	—	—	
IENR1	初始化	—	—	—	—	
IENR2	初始化	—	—	—	—	
IRR1	初始化	—	—	—	—	
IRR2	初始化	—	—	—	—	
IWPR	初始化	—	—	—	—	
MSTCR1	初始化	—	—	—	—	低功耗
MSTCR2	初始化	—	—	—	—	

【注】 — 表示不被初始化。

* WDT: 监视定时器

第 20 章 电特性

20.1 绝对最大额定值

表 20.1 绝对最大额定值

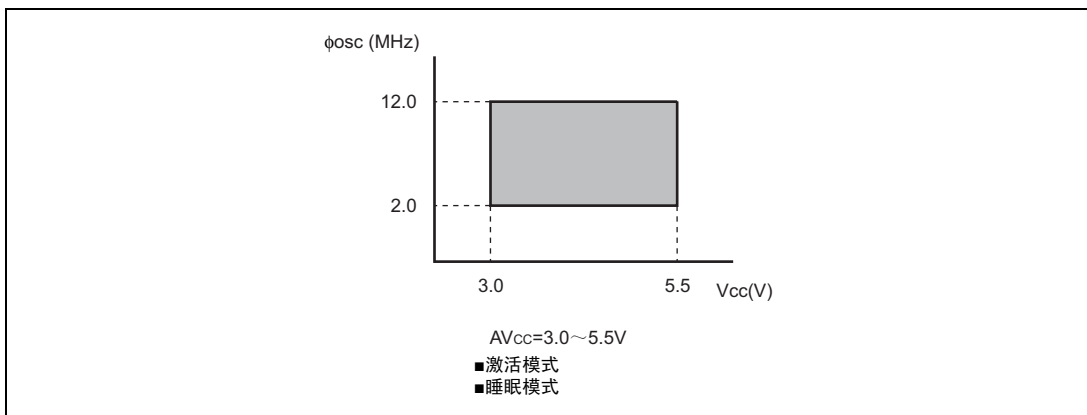
项目		符号	规格值	单位	备注
电源电压		Vcc	-0.3~+7.0	V	*
模拟电源电压		AVcc	-0.3~+7.0	V	
输入电压	端口 B 以外	VIN	-0.3~Vcc+0.3	V	
	端口 B		-0.3~AVcc+0.3	V	
工作温度		Topr	-20~+75	°C	
保存温度		Tstg	-55~+125	°C	

【注】* 如果超过绝对最大额定值使用 LSI，就会造成 LSI 的永久性损坏。另外，在通常运行中，希望在“电特性”的条件下使用，如果超出这些条件，就会造成 LSI 的误动作，同时会给 LSI 的可靠性带来坏影响。

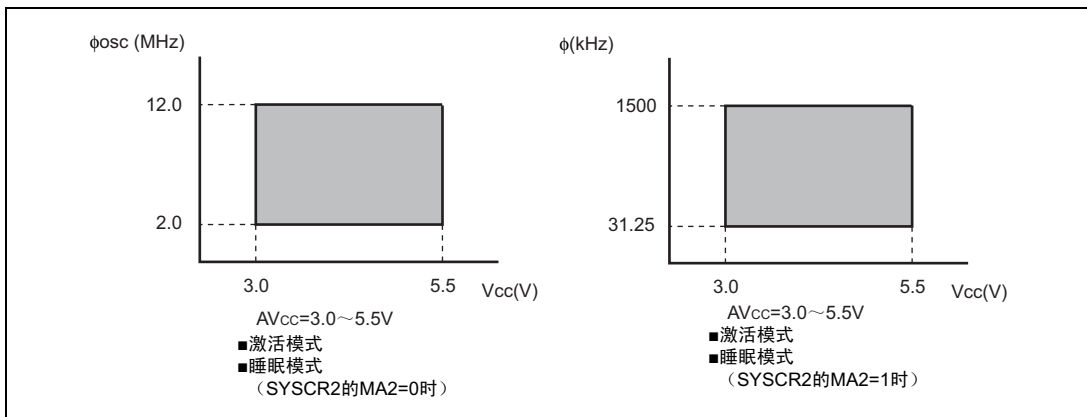
20.2 电特性 F-ZTAT™ 版

20.2.1 电源电压和运行范围

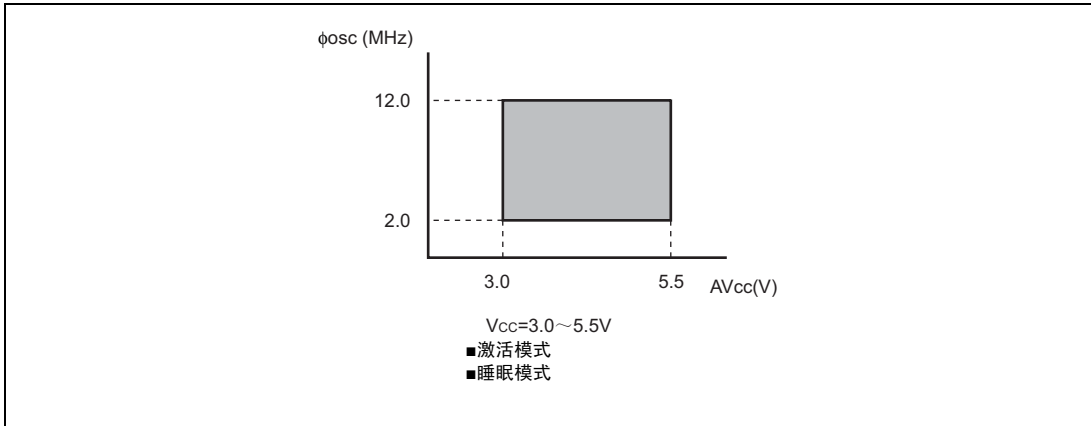
(1) 电源电压和振荡频率的范围



(2) 电源电压和工作频率的范围



(3) 模拟电源电压和 A/D 转换器的精度保证范围



20.2.2 DC 特性

表 20.2 DC 特性 (1)

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入 High 电平电压	V_{IH}	\overline{RES} 、 \overline{NMI} $\overline{WKP5}$ $\overline{IRQ0}$ 、 $\overline{IRQ3}$ \overline{ADTRG} TMRIV、TMCIV	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
		FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV		$V_{CC}\times 0.9$		$V_{CC}+0.3$	V	
		RXD、SCL、SDA P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
			$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V		
		PB3~PB0	$AV_{CC}=4.0\sim 5.5V$	$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V	
			$AV_{CC}=3.0\sim 5.5V$	$AV_{CC}\times 0.8$	—	$AV_{CC}+0.3$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V	
				$V_{CC}-0.3$	—	$V_{CC}+0.3$	V	

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考		
				Min	Typ	Max				
输入 Low 电平电压	V _{IL}	RES、NMI WKP5 IRQ0、IRQ3 ADTRG TMRIV、TMCIV	V _{CC} =4.0~5.5V	-0.3	—	V _{CC} ×0.2	V			
		FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV		-0.3	—	V _{CC} ×0.1	V			
		RXD、SCL、SDA P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	V _{CC} =4.0~5.5V	-0.3	—	V _{CC} ×0.3	V			
			-0.3	—	V _{CC} ×0.2	V				
		PB3~PB0	AV _{CC} =4.0~5.5V	-0.3	—	AV _{CC} ×0.3	V			
			AV _{CC} =3.0~5.5V	-0.3	—	AV _{CC} ×0.2				
		OSC1	V _{CC} =4.0~5.5V	-0.3	—	0.5	V			
				-0.3	—	0.3	V			
		输出 High 电平电压	V _{OH}	P17、P14 P22~P20 P55	V _{CC} =4.0~5.5V -I _{OH} =4mA	V _{CC} -1.0	—	—	V	
				P76~P74 P84~P80 PC1、PC0	-I _{OH} =0.1mA	V _{CC} -0.5	—	—	V	
P56、P57	V _{CC} =4.0~5.5V -I _{OH} =0.1mA			V _{CC} -2.5	—	—	V			
	V _{CC} =3.0~4.0V -I _{OH} =0.1mA			V _{CC} -2.2	—	—	V			

第 20 章 电特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考		
				Min	Typ	Max				
输出 Low 电平电压	VOL	P17、P14 P22~P20 P57~P55 P76~P74 PC1、PC0	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V			
			$I_{OL}=0.4mA$	—	—	0.4	V			
		P84~P80	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=20.0mA$	—	—	1.5	V			
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10.0mA$	—	—	1.0	V			
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.4	V			
			$I_{OL}=0.4mA$	—	—	0.4	V			
		SCL、SDA	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=6.0mA$	—	—	0.6	V			
			$I_{OL}=3.0mA$	—	—	0.4	V			
		输入/输出 泄漏电流	I _{IL}	OSC1 NM \bar{I} WKP5 $\bar{I}RQ0$ 、 $\bar{I}RQ3$ $\bar{A}DTRG$ 、TRGV TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD RXD、 SCK3、SCL、SDA	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
				P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
PB3~PB0	$V_{IN}=0.5V\sim$ ($AV_{CC}-0.5V$)			—	—	1.0	μA			

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
上拉 MOS 电流	-I _p	P17、P14 P55	V _{CC} =5.0V V _{IN} =0.0V	50.0	—	300.0	μA	
			V _{CC} =3.0V V _{IN} =0.0V	—	60.0	—	μA	参考值
输入电容	C _{IN}	除电源管脚 之外的全部 输入管脚	f=1MHz V _{IN} =0.0V T _a =25°C	—	—	15.0	pF	
激活模式 消耗电流	I _{OP1}	V _{CC}	激活模式 1 V _{CC} =5.0V、f _{osc} =12MHz	—	12.0	18.0	mA	*
			激活模式 1 V _{CC} =3.0V、f _{osc} =12MHz	—	9.6	—	mA	参考值 *
	I _{OP2}	V _{CC}	激活模式 2 V _{CC} =5.0V、f _{osc} =12MHz	—	2.0	2.5	mA	*
			激活模式 2 V _{CC} =3.0V、f _{osc} =12MHz	—	1.5	—	mA	参考值 *
睡眠模式 消耗电流	I _{SLEEP1}	V _{CC}	睡眠模式 1 V _{CC} =5.0V、f _{osc} =12MHz	—	7.2	12.0	mA	*
			睡眠模式 1 V _{CC} =3.0V、f _{osc} =12MHz	—	6.0	—	mA	参考值 *
	I _{SLEEP2}	V _{CC}	睡眠模式 2 V _{CC} =5.0V、f _{osc} =12MHz	—	1.8	2.2	mA	*
			睡眠模式 2 V _{CC} =3.0V、f _{osc} =12MHz	—	1.4	—	mA	参考值 *
子睡眠模式 消耗电流	I _{SUBSP}	V _{CC}	V _{CC} =5.0V LVDE=0、BGRE=0	—	—	5.0	μA	*
待机模式 消耗电流	I _{STBY}	V _{CC}	LVDE=0、BGRE=0	—	—	5.0	μA	*
RAM 数据 保持电压	V _{RAM}	V _{CC}		2.0	—	—	V	

【注】 * 测定消耗电流时的管脚状态如下所示，流向上拉 MOS 或输出缓冲器的电流除外。

模式	RES 管脚	内部状态	各管脚	振荡管脚
激活模式 1	Vcc	运行	Vcc	主时钟： 晶体或者陶瓷谐振器 和内部振荡器
激活模式 2		运行 (φ/64)		
睡眠模式 1	Vcc	只有定时器运行	Vcc	
睡眠模式 2		只有定时器运行 (φ/64)		
子睡眠模式 待机模式	Vcc	CPU 和定时器都停止	Vcc	—

表 20.2 DC 特性 (2)

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75℃)

项目	符号	适用管脚	测定条件	规格值			单位
				Min	Typ	Max	
输出 Low 电平 容许电流 (每个管脚)	I _{OL}	除 P84~P80、SCL、 SDA 之外的输出管脚	Vcc=4.0~5.5V	—	—	2.0	mA
		P84~P80		—	—	20.0	mA
		除 P84~P80、SCL、 SDA 之外的输出管脚	—	—	—	0.5	mA
		P84~P80		—	—	10.0	mA
		SCL、SDA		—	—	6.0	mA
输出 Low 电平 容许电流 (总计)	I _{OL}	除 P84~P80、SCL、 SDA 之外的输出管脚	Vcc=4.0~5.5V	—	—	40.0	mA
		P84~P80、SCL、SDA		—	—	80.0	mA
		除 P84~P80、SCL、 SDA 之外的输出管脚	—	—	—	20.0	mA
		P84~P80、SCL、SDA		—	—	40.0	mA
输出 High 电平 容许电流 (每个管脚)	- I _{OH}	除 P56、P57 之外的全 部输出管脚	Vcc=4.0~5.5V	—	—	4.0	mA
				—	—	0.2	mA
		P56、P57	Vcc=4.0~5.5V	—	—	2.0	mA
				—	—	0.2	mA
输出 High 电平 容许电流 (总计)	- I _{OH}	全部输出管脚	Vcc=4.0~5.5V	—	—	40.0	mA
				—	—	8.0	mA

20.2.3 AC 特性

表 20.3 AC 特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
系统时钟振荡器 振荡频率	f _{osc}	OSC1、OSC2		2.0	—	12.0	MHz	
系统时钟(φ) 周期时间	t _{cyc}			1	—	64	t _{osc}	* ¹ 图 20.1
				—	—	32.0	μs	
指令周期时间				2	—	—	t _{cyc}	
振荡稳定时间 (晶体谐振器)	t _{rc}	OSC1、OSC2		—	—	10.0	ms	
振荡稳定时间 (陶瓷谐振器)	t _{rc}	OSC1、OSC2		—	—	5.0	ms	
外部时钟 High 电平宽度	t _{CPH}	OSC1		35.0	—	—	ns	图 20.1
外部时钟 Low 电平宽度	t _{CPL}	OSC1		35.0	—	—	ns	
外部时钟上升时间	t _{CPr}	OSC1		—	—	15.0	ns	
外部时钟下降时间	t _{CPf}	OSC1		—	—	15.0	ns	
\overline{RES} 管脚 Low 电平宽度*	t _{REL}	\overline{RES}		2500	—	—	ns	图 20.2

【注】 * 使用加电复位时除外。

第 20 章 电特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
NMI 管脚 High 电平宽度	t _{IHNMI}	NMI		1500	—	—	ns	图 20.3
NMI 管脚 Low 电平宽度	t _{ILNMI}	NMI		1500	—	—	ns	
输入管脚 High 电平宽度	t _{IH}	IRQ0、IRQ3 WKP5、 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	t _{cyc}	图 20.3
输入管脚 Low 电平宽度	t _{IL}	IRQ0、IRQ3 WKP5、 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	t _{cyc}	
内部振荡器 振荡频率*2	frc		$V_{CC}=5.0V$ $T_a=25^{\circ}C$ FSEL=0、 VCLSEL=0	7.92*3	8.0	8.08*3	MHz	
			$V_{CC}=4.0\sim 5.5V$ FSEL=0、 VCLSEL=0	7.76	8.0	8.24		
			$V_{CC}=4.0\sim 5.5V$ FSEL=1、 VCLSEL=0	9.6*3	10.0	10.4*3		

【注】 *1 根据系统控制寄存器 2 (SYSCR2) 的 MA2~MA0 的设定而定。

*2 掩模型 ROM 版的振荡频率请参照另定的规格。

*3 参考值。

表 20.4 I²C 总线接口 2 时序(在没有特别记载的情况下: V_{CC}=3.0~5.5V、V_{SS}=0.0V、T_a=-20~+75℃)

项目	符号	测定条件	规格值			单位	参照图
			Min	Typ	Max		
SCL 输入周期时间	tsCL		12t _{cyc} +600	—	—	ns	图 20.4
SCL 输入 High 电平脉宽	tsCLH		3t _{cyc} +300	—	—	ns	
SCL 输入 Low 电平脉宽	tsCLL		5t _{cyc} +300	—	—	ns	
SCL、SDA 输入下降时间	tsf		—	—	300	ns	
SCL、SDA 输入尖峰脉冲消除时间	tsP		—	—	1t _{cyc}	ns	
SDA 输入总线自由时间	tbUF		5t _{cyc}	—	—	ns	
开始条件输入保持时间	tSTA		3t _{cyc}	—	—	ns	
再发送开始条件输入准备时间	tSTAS		3t _{cyc}	—	—	ns	
停止条件输入准备时间	tSTOS		3t _{cyc}	—	—	ns	
数据输入准备时间	tSDAS		1t _{cyc} +20	—	—	ns	
数据输入保持时间	tSDAH		0	—	—	ns	
SCL、SDA 的电容性负载	C _b		0	—	400	pF	
SCL、SDA 输出下降时间	tsf	V _{CC} =4.0~5.5V	—	—	250	ns	
			—	—	300	ns	

表 20.5 串行通信接口 (SCI3) 时序

(在没有特别记载的情况下: V_{CC}=3.0~5.5V、V_{SS}=0.0V、T_a=-20~+75℃)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
输入时钟周期	异步	SCK3		4	—	—	t _{cyc}	图 20.5
	时钟同步			6	—	—	t _{cyc}	
输入时钟脉宽	tsCKW	SCK3		0.4	—	0.6	t _{scyc}	
发送数据延迟时间 (时钟同步)	tTXD	TXD		—	—	1	t _{cyc}	图 20.6
接收数据准备时间 (时钟同步)	tRXS	RXD		83.3	—	—	ns	
接收数据保持时间 (时钟同步)	tRXH	RXD		83.3	—	—	ns	

20.2.4 A/D 转换特性

表 20.6 A/D 转换器特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	備考
				Min	Typ	Max		
模拟电源电压	AV _{CC}	AV _{CC}		3.0	V _{CC}	5.5	V	*1
模拟输入电压	AV _{IN}	AN3~AN0		V _{SS} -0.3	—	AV _{CC} +0.3	V	
模拟电源电流	AI _{OP} E	AV _{CC}	AV _{CC} =5.0V f _{osc} =12MHz	—	—	2.0	mA	
	AI _{STOP1}	AV _{CC}		—	50	—	μA	*2 参考值
	AI _{STOP2}	AV _{CC}		—	—	5.0	μA	*3
模拟输入电容	CA _{IN}	AN3~AN0		—	—	30.0	pF	
容许信号源阻抗	RA _{IN}	AN3~AN0		—	—	5.0	kΩ	
分辨率 (数据长度)				10	10	10	位	
转换时间 (单通道模式)			AV _{CC} =3.0~5.5V	134	—	—	t _{cyc}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AV _{CC} =4.0~5.5V	70	—	—	t _{cyc}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AV _{CC} =4.0~5.5V	134	—	—	t _{cyc}	
非线性误差				—	—	±3.5	LSB	
偏移误差				—	—	±3.5	LSB	
满刻度误差				—	—	±3.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±4.0	LSB	

【注】 *1 在不使用 A/D 转换器时, 必须使 AV_{CC}=V_{CC}。

*2 AI_{STOP1} 为激活模式和睡眠模式中的 A/D 转换待机时的电流值。

*3 AI_{STOP2} 为复位、待机模式、子激活模式和子睡眠模式中的 A/D 转换待机时的电流值。

20.2.5 监视定时器特性

表 20.7 监视定时器特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
内部振荡器溢出时间	tOVF			0.2	0.4	—	s	*

【注】 * 在选择内部振荡器的状态下, 从 0 到 255 累加计数, 表示内部复位发生为止的时间。

20.2.6 电源电压检测电路特性

表 20.8 电源电压检测电路特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
电源下降检测电压	Vint(D)	LVDSEL=0	3.3	3.7	4.3	V
电源上升检测电压	Vint(U)	LVDSEL=0	3.6	4.0	4.5	V
复位检测电压 1* ¹	Vreset1	LVDSEL=0	2.0	2.3	2.7	V
复位检测电压 2* ²	Vreset2	LVDSEL=1	3.0	3.6	4.2	V
LVDR 运行下限电压* ³	$V_{LVDRmin}$		1.0	—	—	V
LVD 稳定时间	t_{LVDON}		50	—	—	μs
待机模式消耗电流	I_{STBY}	LVDE=1 BGRE=1 $V_{CC}=5.0V$	—	—	350	μA

【注】 *¹ 必须在电压下降检测功能和电压上升检测功能并用时使用。

*² 在只使用低电压检测复位时, 必须选择低电压复位 2。

*³ 如果电源电压 V_{CC} 降低到 $V_{LVDRmin}=1.0V$ 以下后开始上升, 低电压检测复位就有可能不工作, 所以必须充分评价。

20.2.7 LVDI 外部输入电压检测电路特性

表 20.9 LVDI 外部输入电压检测电路特性

(V_{CC}=4.5~5.5V、AV_{CC}=3.0~5.5V、V_{SS}=0.0V、Ta=-20~+75°C)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
ExtD/ExtU 输入检测电压	V _{exd}		0.85	1.15	1.45	V
ExtD/ExtU 输入电压范围	V _{extD/U}	V _{extD} >V _{extU}	- 0.3	—	AV _{CC} +0.3 或者 V _{CC} +0.3 中 的低电压	V

20.2.8 加电复位特性

表 20.10 加电复位特性

(在没有特别记载的情况下: V_{SS}=0.0V、Ta=-20~+75°C)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
$\overline{\text{RES}}$ 管脚上拉电阻	R _{RES}		100	150	—	kΩ
加电复位启动电压*	V _{por}		—	—	100	mV

【注】 * 电源电压 V_{CC} 必须下降到 V_{por}=100mV 以下，所以必须在充分放掉 $\overline{\text{RES}}$ 管脚的电荷后使电源电压 V_{CC} 上升。为了放掉 $\overline{\text{RES}}$ 管脚的电荷，建议给 V_{CC} 侧外接二极管。如果从超过 100mV 电源电压上升，加电复位有可能不工作。

20.2.9 快速擦写存储器特性

表 20.11 快速擦写存储器特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目		符号	测定条件	规格值			单位
				Min	Typ	Max	
编程时间 (每 64 个字节) *1 *2 *4		tp		—	7	200	ms
擦除时间 (每 1 块) *1 *3 *6		te		—	100	1200	ms
改写次数		NWEC		1000	10000	—	次
编程时	SWE 位置位后的待机时间*1	x		1	—	—	μs
	PSU 位置位后的待机时间*1	y		50	—	—	μs
	P 位置位后的待机时间*1 *4	z1	$1 \leq n \leq 6$	28	30	32	μs
			$7 \leq n \leq 1000$	198	200	202	μs
			追加编程	8	10	12	μs
	P 位清除后的待机时间*1	α		5	—	—	μs
	PSU 位清除后的待机时间*1	β		5	—	—	μs
	PV 位置位后的待机时间*1	γ		4	—	—	μs
	虚写后的待机时间*1	ε		2	—	—	μs
	PV 位清除后的待机时间*1	η		2	—	—	μs
	SWE 位清除后的待机时间*1	θ		100	—	—	μs
	最大写次数*1 *4 *5	N		—	—	1000	次
擦除时	SWE 位置位后的待机时间*1	x		1	—	—	μs
	ESU 位置位后的待机时间*1	y		100	—	—	μs
	E 位置位后的待机时间*1 *6	z		10	—	100	ms
	E 位清除后的待机时间*1	α		10	—	—	μs
	ESU 位清除后的待机时间*1	β		10	—	—	μs
	EV 位置位后的待机时间*1	γ		20	—	—	μs
	虚写后的待机时间*1	ε		2	—	—	μs
	EV 位清除后的待机时间*1	η		4	—	—	μs
	SWE 位清除后的待机时间*1	θ		100	—	—	μs
	最大擦除次数*1 *6 *7	N		—	—	120	次

【注】 *1 必须按照编程/擦除算法, 设定各时间。

*2 通过每 64 个字节的编程时间表示对快速擦写存储器控制寄存器 1 (FLMCR1) 的 P 位置位的总时间。不包含编程验证时间。

*3 通过擦除 1 块的时间表示对快速擦写存储器控制寄存器 1 (FLMCR1) 的 E 位置位的总时间。不包含擦除验证时间。

*4 编程时间的最大值 (tp(MAX)) = P 位置位后的待机时间(z) × 最大写次数(N)

- *5 必须配合实际的 $z1$ 、 $z2$ 、 $z3$ 的设定值，使最大写次数(N)不超过编程时间的最大值 $t_p(\text{MAX})$ 。另外，必须根据下述写次数(n) 的值，改变 P 位置位后的待机时间 ($z1$ 、 $z2$)。

写次数 n

$$1 \leq n \leq 6 \quad z1 = 30\mu\text{s}$$

$$7 \leq n \leq 1000 \quad z2 = 200\mu\text{s}$$

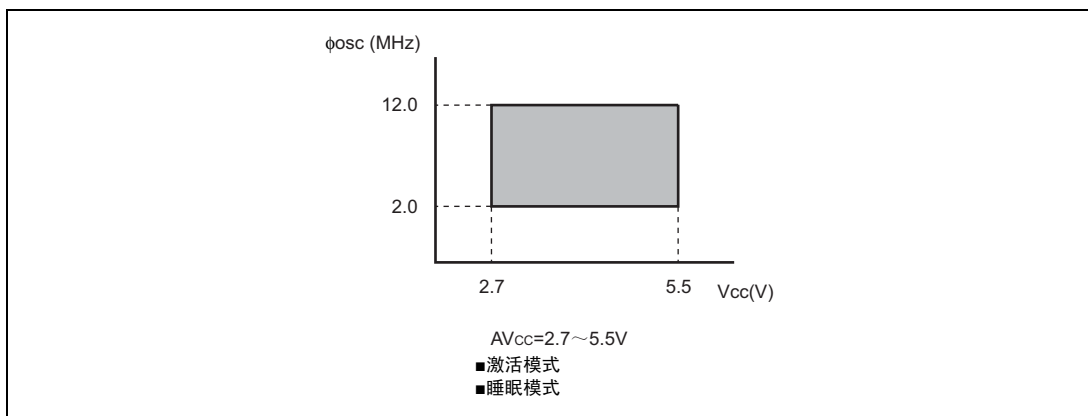
- *6 擦除时间的最大值 ($t_E(\text{MAX})$) = E 位置位后的待机时间(z) × 最大擦除次数(N)
- *7 必须配合实际的(z)的设定值，使最大擦除次数(N)不超过擦除时间的最大值 $t_E(\text{MAX})$ 。

20.3 电特性（掩模型 ROM 版）【暂定】

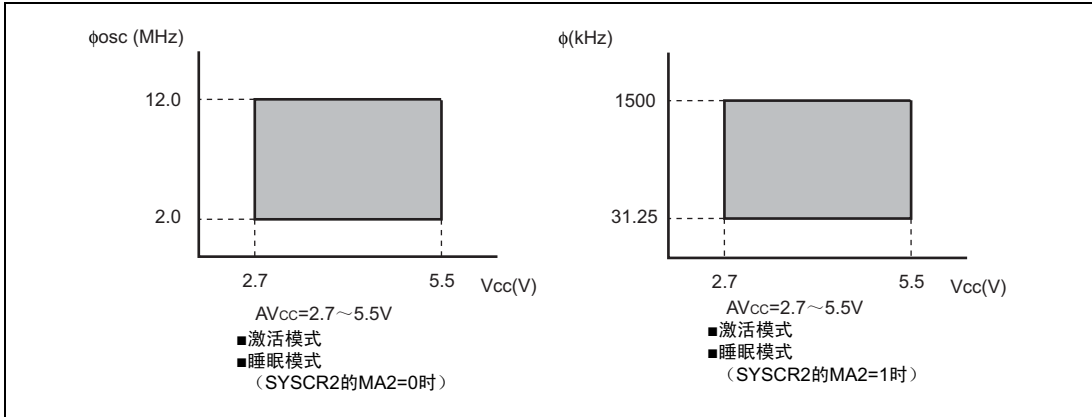
掩模型 ROM 版的电特性保证值为暂定值。

20.3.1 电源电压和工作范围

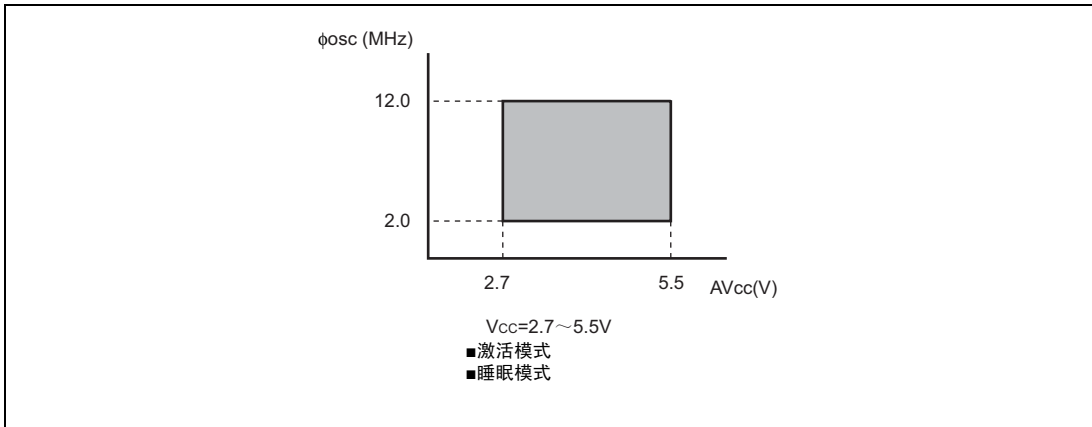
(1) 电源电压和外部振荡频率的范围



(2) 电源电压和工作频率的范围



(3) 模拟电源电压和 A/D 转换器的精度保证范围



20.3.2 DC 特性

表 20.12 DC 特性 (1)

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入 High 电平电压	V_{IH}	\overline{RES} 、 \overline{NMI} $\overline{WKP5}$ $\overline{IRQ0}$ 、 $\overline{IRQ3}$ \overline{ADTRG} TMRIV、TMCIV	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
		FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV		$V_{CC}\times 0.9$		$V_{CC}+0.3$	V	
		RXD、SCL、SDA P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
			$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V		
		PB3~PB0	$AV_{CC}=4.0\sim 5.5V$	$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V	
			$AV_{CC}=2.7\sim 5.5V$	$AV_{CC}\times 0.8$	—	$AV_{CC}+0.3$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V	
				$V_{CC}-0.3$	—	$V_{CC}+0.3$	V	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考		
				Min	Typ	Max				
输入 Low 电平电压	V _{IL}	RES、NMI WKP5 IRQ0、IRQ3 ADTRG TMRIV、TMCIV	V _{CC} =4.0~5.5V	-0.3	—	V _{CC} ×0.2	V			
		FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV		-0.3	—	V _{CC} ×0.1	V			
		RXD、SCL、SDA P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	V _{CC} =4.0~5.5V	-0.3	—	V _{CC} ×0.3	V			
			-0.3	—	V _{CC} ×0.2	V				
		PB3~PB0	AV _{CC} =4.0~5.5V	-0.3	—	AV _{CC} ×0.3	V			
			AV _{CC} =2.7~5.5V	-0.3	—	AV _{CC} ×0.2				
		OSC1	V _{CC} =4.0~5.5V	-0.3	—	0.5	V			
				-0.3	—	0.3	V			
		输出 High 电平电压	V _{OH}	P17、P14 P22~P20 P55	V _{CC} =4.0~5.5V -I _{OH} =4mA	V _{CC} -1.0	—	—	V	
				P76~P74 P84~P80 PC1、PC0	-I _{OH} =0.1mA	V _{CC} -0.5	—	—	V	
P56、P57	V _{CC} =4.0~5.5V -I _{OH} =0.1mA			V _{CC} -2.5	—	—	V			
	V _{CC} =2.7~4.0V -I _{OH} =0.1mA			V _{CC} -2.2	—	—	V			

第 20 章 电特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考		
				Min	Typ	Max				
输出 Low 电平电压	V _{OL}	P17、P14 P22~P20 P57~P55 P76~P74 PC1、PC0	V _{CC} =4.0~5.5V I _{OL} =1.6mA	—	—	0.6	V			
			I _{OL} =0.4mA	—	—	0.4	V			
		P84~P80	V _{CC} =4.0~5.5V I _{OL} =20.0mA	—	—	1.5	V			
			V _{CC} =4.0~5.5V I _{OL} =10.0mA	—	—	1.0	V			
			V _{CC} =4.0~5.5V I _{OL} =1.6mA	—	—	0.4	V			
			I _{OL} =0.4mA	—	—	0.4	V			
		SCL、SDA	V _{CC} =4.0~5.5V I _{OL} =6.0mA	—	—	0.6	V			
			I _{OL} =3.0mA	—	—	0.4	V			
		输入/输出 泄漏电流	I _I	OSC1 NM \bar{I} WKP5 $\bar{I}RQ0$ 、 $\bar{I}RQ3$ $\bar{A}DTRG$ 、TRGV TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD RXD、 SCK3、SCL、SDA	V _{IN} =0.5V~ (V _{CC} -0.5V)	—	—	1.0	μA	
				P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	V _{IN} =0.5V~ (V _{CC} -0.5V)	—	—	1.0	μA	
PB3~PB0	V _{IN} =0.5V~ (AV _{CC} -0.5V)			—	—	1.0	μA			

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
上拉 MOS 电流	-I _p	P17、P14 P55	V _{CC} =5.0V V _{IN} =0.0V	50.0	—	300.0	μA	
			V _{CC} =2.7V V _{IN} =0.0V	—	60.0	—	μA	参考值
输入电容	C _{IN}	除电源管脚 之外的全部 输入管脚	f=1MHz V _{IN} =0.0V T _a =25°C	—	—	15.0	pF	
激活模式 消耗电流	I _{OP1}	V _{CC}	激活模式 1 V _{CC} =5.0V、f _{osc} =12MHz	—	12.0	18.0	mA	*
			激活模式 1 V _{CC} =2.7V、f _{osc} =12MHz	—	9.6	—	mA	参考值 *
	I _{OP2}	V _{CC}	激活模式 2 V _{CC} =5.0V、f _{osc} =12MHz	—	2.0	2.5	mA	*
			激活模式 2 V _{CC} =2.7V、f _{osc} =12MHz	—	1.5	—	mA	参考值 *
睡眠模式 消耗电流	I _{SLEEP1}	V _{CC}	睡眠模式 1 V _{CC} =5.0V、f _{osc} =12MHz	—	7.2	12.0	mA	*
			睡眠模式 1 V _{CC} =2.7V、f _{osc} =12MHz	—	6.0	—	mA	参考值 *
	I _{SLEEP2}	V _{CC}	睡眠模式 2 V _{CC} =5.0V、f _{osc} =12MHz	—	1.8	2.2	mA	*
			睡眠模式 2 V _{CC} =2.7V、f _{osc} =12MHz	—	1.4	—	mA	参考值 *
子睡眠模式 消耗电流	I _{SUBSP}	V _{CC}	V _{CC} =5.0V LVDE=0、BGRE=0	—	—	5.0	μA	*
待机模式 消耗电流	I _{STBY}	V _{CC}	LVDE=0、BGRE=0	—	—	5.0	μA	*
RAM 数据 保持电压	V _{RAM}	V _{CC}		2.0	—	—	V	

【注】 * 测定消耗电流时的管脚状态如下，流向上拉 MOS 或输出缓冲器的电流除外。

模式	RES 管脚	内部状态	各管脚	振荡管脚
激活模式 1	Vcc	运行	Vcc	主时钟： 晶体或者陶瓷谐振器 和内部振荡器
激活模式 2		运行 (φ/64)		
睡眠模式 1	Vcc	只有定时器运行	Vcc	
睡眠模式 2		只有定时器运行 (φ/64)		
子睡眠模式 待机模式	Vcc	CPU 和定时器都停止	Vcc	

表 20.12 DC 特性 (2)

(在没有特别记载的情况下: Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

项目	符号	适用管脚	测定条件	规格值			单位
				Min	Typ	Max	
输出 Low 电平 容许电流 (每个管脚)	I _{OL}	除 P84~P80、SCL、 SDA 之外的输出管脚	Vcc=4.0~5.5V	—	—	2.0	mA
		P84~P80		—	—	20.0	mA
		除 P84~P80、SCL、 SDA 之外的输出管脚	—	—	—	0.5	mA
		P84~P80		—	—	10.0	mA
		SCL、SDA		—	—	6.0	mA
输出 Low 电平 容许电流 (总计)	Σ I _{OL}	除 P84~P80、SCL、 SDA 之外的输出管脚	Vcc=4.0~5.5V	—	—	40.0	mA
		P84~P80、SCL、SDA		—	—	80.0	mA
		除 P84~P80、SCL、 SDA 之外的输出管脚	—	—	—	20.0	mA
		P84~P80、SCL、SDA		—	—	40.0	mA
输出 High 电平 容许电流 (每个管脚)	- I _{OH}	除 P56、P57 之外的全 部输出管脚	Vcc=4.0~5.5V	—	—	4.0	mA
				—	—	0.2	mA
		P56、P57	Vcc=4.0~5.5V	—	—	2.0	mA
				—	—	0.2	mA
输出 High 电平 容许电流 (总计)	- Σ I _{OH}	全部输出管脚	Vcc=4.0~5.5V	—	—	40.0	mA
				—	—	8.0	mA

20.3.3 AC 特性

表 20.13 AC 特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
系统时钟振荡器 振荡频率	fosc	OSC1、OSC2		2.0	—	12.0	MHz	
系统时钟 (ϕ) 周期时间	tcyc			1	—	64	tosc	* 图 20.1
				—	—	32.0	μs	
指令周期时间				2	—	—	tcyc	
振荡稳定时间 (晶体谐振器)	trc	OSC1、OSC2		—	—	10.0	ms	
振荡稳定时间 (陶瓷谐振器)	trc	OSC1、OSC2		—	—	5.0	ms	
外部时钟 High 电平宽度	tCPH	OSC1		35.0	—	—	ns	图 20.1
外部时钟 Low 电平宽度	tCPL	OSC1		35.0	—	—	ns	
外部时钟 上升时间	tCPr	OSC1		—	—	15.0	ns	
外部时钟 下降时间	tCPf	OSC1		—	—	15.0	ns	
\overline{RES} 管脚 Low 电平宽度	tREL	\overline{RES}	接通电源时和下列 以外的模式	2500	—	—	ns	图 20.2
			激活模式和睡眠模 式运行时	2500	—	—	ns	
NMI 管脚 High 电平宽度	tIHNMI	\overline{NMI}		1500	—	—	ns	图 20.3
\overline{NMI} 管脚 Low 电平宽度	tILNMI	\overline{NMI}		1500	—	—	ns	

第 20 章 电特性

(在没有记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
输入管脚 High 电平宽度	t _{IH}	$\overline{IRQ0}$ 、 $\overline{IRQ3}$ $\overline{WKP5}$ 、 TMCIV、TMRIV TRGV、 \overline{ADTRG} FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	t _{cyc}	图 20.3
输入管脚 Low 电平宽度	t _{IL}	$\overline{IRQ0}$ 、 $\overline{IRQ3}$ $\overline{WKP5}$ 、 TMCIV、TMRIV TRGV、 \overline{ADTRG} FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	t _{cyc}	图 20.3
内部振荡器 振荡频率	f _{RC}		$V_{CC}=4.0\sim 5.5V$ FSEL=0、 VCLSEL=0	TBD	—	TBD	MHz	
			$V_{CC}=4.0\sim 5.5V$ FSEL=1、 VCLSEL=0	TBD	—	TBD	MHz	

【注】 * 根据系统控制寄存器 2 (SYSCR2) 的 MA2~MA0 的设定而定。

表 20.14 I²C 总线接口 2 时序

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	测定条件	规格值			单位	参照图
			Min	Typ	Max		
SCL 输入周期时间	ts _{CL}		12t _{cyc} +600	—	—	ns	图 20.4
SCL 输入 High 电平脉宽	ts _{CLH}		3t _{cyc} +300	—	—	ns	
SCL 输入 Low 电平脉宽	ts _{CLL}		5t _{cyc} +300	—	—	ns	
SCL、SDA 输入下降时间	ts _f		—	—	300	ns	
SCL、SDA 输入尖峰脉冲消除时间	ts _p		—	—	1t _{cyc}	ns	
SDA 输入总线自由时间	t _{BUF}		5t _{cyc}	—	—	ns	
开始条件输入保持时间	t _{STAH}		3t _{cyc}	—	—	ns	
再发送开始条件输入准备时间	t _{STAS}		3t _{cyc}	—	—	ns	
停止条件输入准备时间	t _{STOS}		3t _{cyc}	—	—	ns	
数据输入准备时间	t _{SDAS}		1t _{cyc} +20	—	—	ns	

项目	符号	测定条件	规格值			单位	参照图
			Min	Typ	Max		
数据输入保持时间	tSDAH		0	—	—	ns	图 20.4
SCL、SDA 的电容性负载	Cb		0	—	400	pF	
SCL、SDA 输出下降时间	tsf	Vcc=4.0~5.5V	—	—	250	ns	
			—	—	300	ns	

表 20.15 串行接口 (SCI3) 时序

(在没有特别记载的情况下: Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75℃)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
输入时钟周期	异步	tscyc	SCK3	4	—	—	t _{cyc}	图 20.5
	时钟同步			6	—	—	t _{cyc}	
输入时钟脉宽	t _{sckw}	SCK3		0.4	—	0.6	t _{sckw}	
发送数据延迟时间 (时钟同步)	t _{TXD}	TXD		—	—	1	t _{cyc}	图 20.6
接收数据准备时间 (时钟同步)	t _{RXS}	RXD		83.3	—	—	ns	
接收数据保持时间 (时钟同步)	t _{RXH}	RXD		83.3	—	—	ns	

20.3.4 A/D 转换特性

表 20.16 A/D 转换器特性

(在没有特别记载的情况下: Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75℃)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
模拟电源电压	AVcc	AVcc		2.7	Vcc	5.5	V	*1
模拟输入电压	AVIN	AN3~AN0		Vss-0.3	—	AVcc+0.3	V	
模拟电源电流	AI _{OP} E	AVcc	AVcc=5.0V f _{osc} =12MHz	—	—	2.0	mA	
	AI _{STOP1}	AVcc		—	50	—	μA	*2 参考值
	AI _{STOP2}	AVcc		—	—	5.0	μA	*3
模拟输入电容	CAIN	AN3~AN0		—	—	30.0	pF	
容许信号源阻抗	RAIN	AN3~AN0		—	—	5.0	kΩ	
分辨率 (数据长度)				10	10	10	位	

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
转换时间 (单通道模式)			AVcc=2.7~5.5V	134	—	—	tcyc	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AVcc=4.0~5.5V	70	—	—	tcyc	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
满刻度误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换時間 (单通道模式)			AVcc=4.0~5.5V	134	—	—	tcyc	
非线性误差				—	—	±3.5	LSB	
偏移误差				—	—	±3.5	LSB	
满刻度误差				—	—	±3.5	LSB	
满刻度误差				—	—	±0.5	LSB	
绝对精度				—	—	±4.0	LSB	

【注】 *1 在不使用 A/D 转换器时，必须使 AVcc=Vcc。

*2 AI_{STOP1} 是激活模式和睡眠模式中的 A/D 转换待机时的电流值。

*3 AI_{STOP2} 是复位、待机模式、子激活模式和子睡眠模式中的 A/D 转换待机时的电流值。

20.3.5 监视定时器特性

表 20.17 监视定时器特性

(在没有特别记载的情况下: Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
内部振荡器溢出时间	toVF			0.2	0.4	—	s	*

【注】 * 在选择内部振荡器的状态下，从 0 到 255 累加计数，表示内部复位发生为止的时间。

20.3.6 电源电压检测电路特性

表 20.18 电源电压检测电路特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
电源下降检测电压	$V_{int}(D)$	LVDSSEL=0	3.3	3.7	4.3	V
电源上升检测电压	$V_{int}(U)$	LVDSSEL=0	3.6	4.0	4.5	V
复位检测电压 1* ¹	V_{reset1}	LVDSSEL=0	2.0	2.3	2.7	V
复位检测电压 2* ²	V_{reset2}	LVDSSEL=1	3.0	3.6	4.2	V
LVDR 运行下限电压* ³	$V_{LVDRmin}$		1.0	—	—	V
LVD 稳定时间	t_{LVDON}		50	—	—	μs
待机模式消耗电流	I_{STBY}	LVDE=1 BGRE=1 $V_{CC}=5.0V$	—	—	350	μA

【注】 *1 必须在电压下降检测功能和电压上升检测功能并用时使用。

*2 在只使用低电压检测复位时，必须选择低电压复位 2。

*3 如果电源电压 V_{CC} 降低到 $V_{LVDRmin}=1.0V$ 以下后开始上升，低电压检测复位就有可能不工作，所以必须充分评价。

20.3.7 LVDI 外部输入电压检测电路特性

表 20.19 LVDI 外部输入电压检测电路特性

($V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
ExtD/ExtU 输入检测电压	V_{exd}		0.85	1.15	1.45	V
ExtD/ExtU 输入电压范围	$V_{extD/U}$	$V_{extD} > V_{extU}$	- 0.3	—	$AV_{CC}+0.3$ 或者 $V_{CC}+0.3$ 中的低电压	V

20.3.8 加电复位特性

表 20.20 加电复位特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
RES 管脚上拉电阻	R_{RES}		100	150	—	$k\Omega$
加电复位启动电压*	V_{por}		—	—	100	mV

【注】 * 电源电压 V_{CC} 必须下降到 $V_{por}=100mV$ 以下, 所以必须在充分放掉 RES 管脚的电荷后使电源电压 V_{CC} 上升。为了放掉 RES 管脚的电荷, 建议给 V_{CC} 侧外接二极管。如果从超过 100mV 电源电压 V_{CC} 上升, 加电复位就有可能不工作。

20.4 时序图

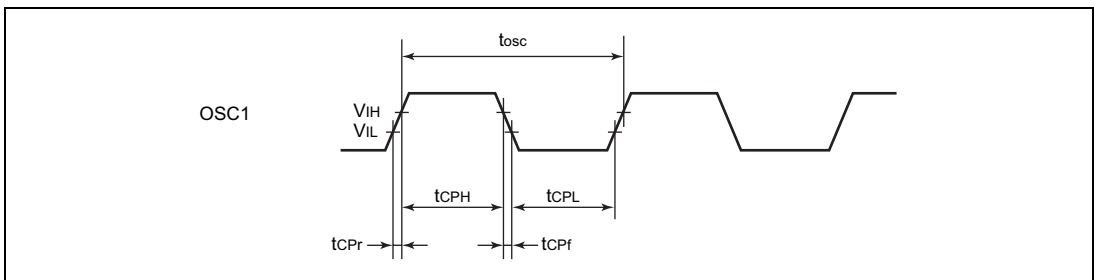


图 20.1 系统时钟输入时序

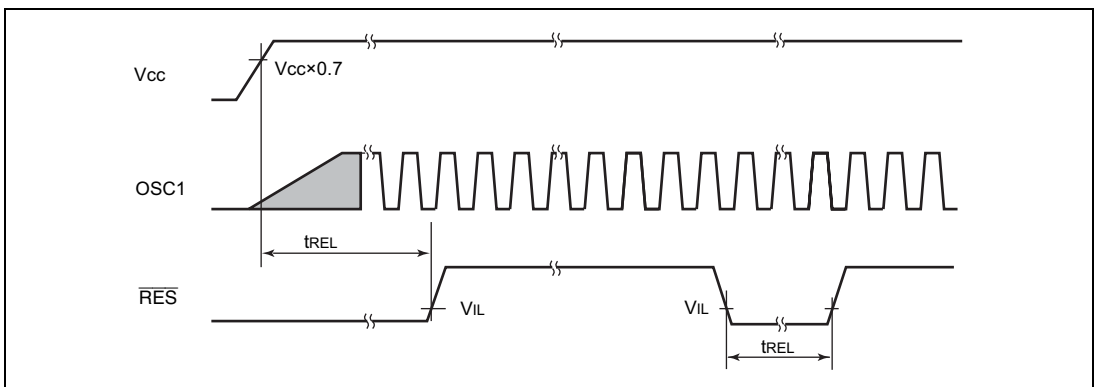


图 20.2 RES 管脚 Low 电平宽度时序

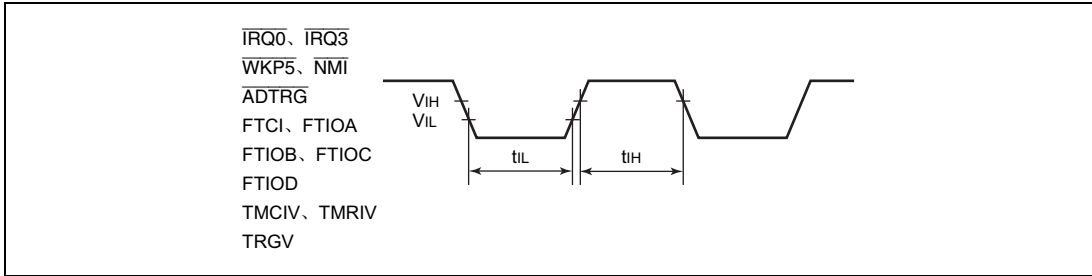


图 20.3 输入时序

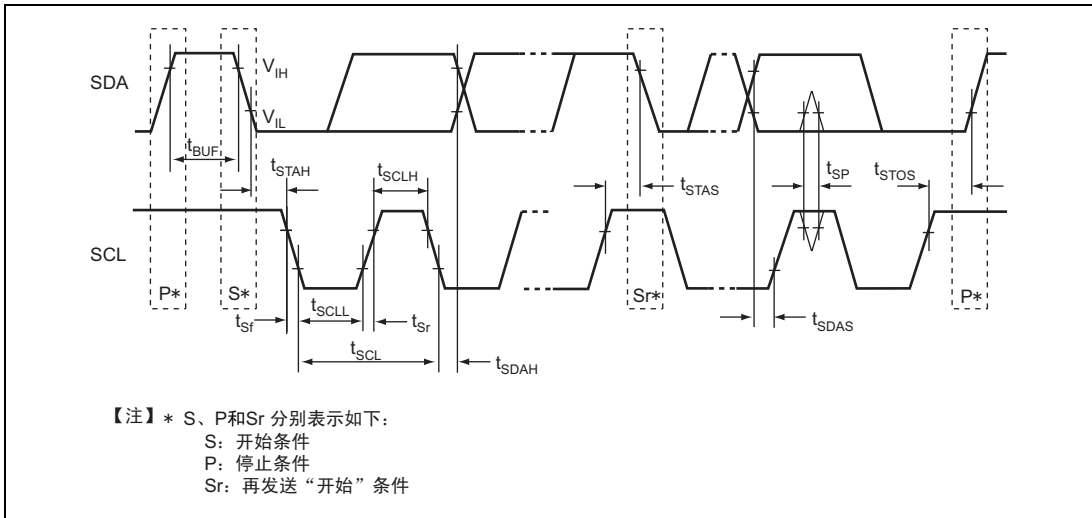


图 20.4 I²C 总线接口 2 输入/输出时序

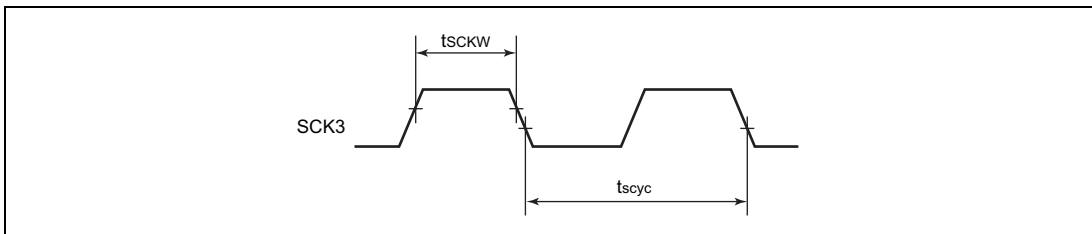


图 20.5 SCK3 输入时钟时序

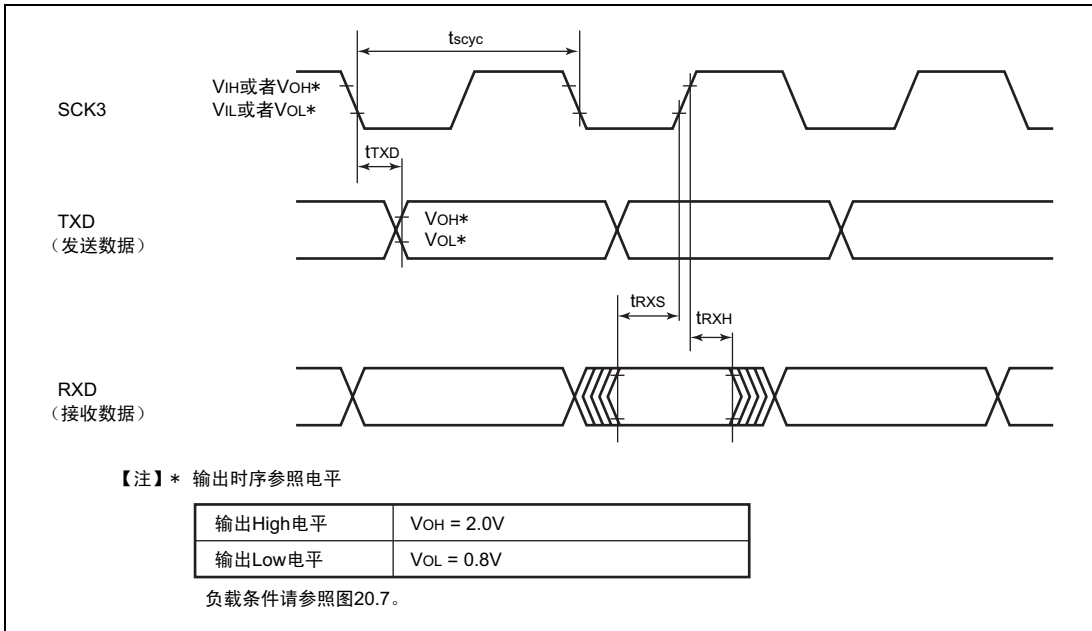


图 20.6 SCI3 时钟同步模式输入/输出时序

20.5 输出负载条件

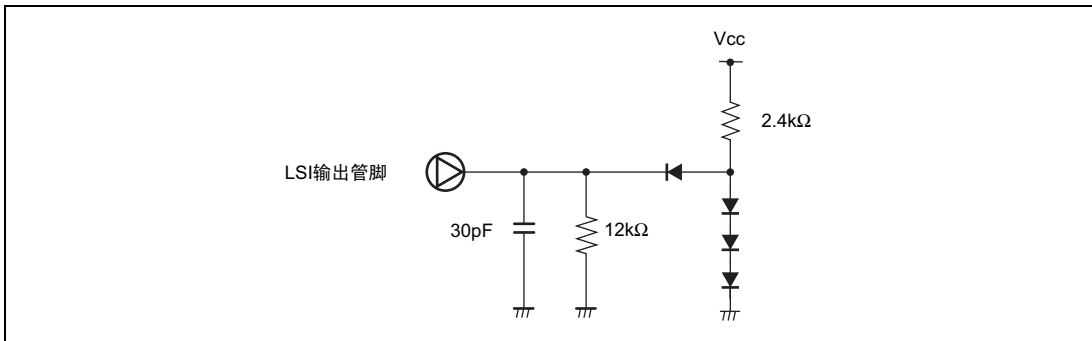


图 20.7 输出负载电路

附录

A. 指令

A.1 指令一览表

《操作符号》

符号	内容
Rd	目标侧通用寄存器
Rs	源侧通用寄存器
Rn	通用寄存器
ERd	目标侧通用寄存器（地址寄存器或者 32 位寄存器）
ERs	源侧通用寄存器（地址寄存器或者 32 位寄存器）
ERn	通用寄存器（32 位寄存器）
(EAd)	目标操作数
(EAs)	源操作数
PC	程序计数器
SP	堆栈指针
CCR	条件码寄存器
N	CCR 的 N（负）标志
Z	CCR 的 Z（零）标志
V	CCR 的 V（溢出）标志
C	CCR 的 C（进位）标志
disp	位移量
→	从左边的操作数传送到右边的操作数，或者从左边的状态转移到右边的状态
+	两边的操作数相加
-	左边的操作数减去右边的操作数
×	两边的操作数相乘
÷	左边的操作数除以右边的操作数
∧	两边的操作数逻辑与
∨	两边的操作数逻辑或

【注】 通用寄存器为 8 位（R0H~R7H、R0L~R7L）或者 16 位（R0~R7、E0~E7）。

《操作符号》

符号	内容
\oplus	两边的操作数逻辑异或
\sim	非（逻辑补）
$() \langle \rangle$	操作数的内容
\updownarrow	表示根据执行结果而变化
*	表示不定的状态（不保证值）
0	表示总是被清 0
1	表示总是被置 1
—	表示不受执行结果的影响
Δ	根据条件而不同。请参照注意事项

表 A.1 指令集一览表

(1) 数据传送指令

助记符	长度	寻址方式 / 指令长度 (字节)			操作	条件码								执行状态数*1	
		#xx	Rn	@(d, ERn) @-ERn/@ERn+ @aa @(d, PC) @@aa		I	H	N	Z	V	C	普通	高级		
MOV	B	2			#xx:8 → Rd8	-	-	↑	↑	0	-	-	-	2	
	B	2			Rs8 → Rd8	-	-	↑	↑	0	-	-	-	2	
	B		2		@ERs → Rd8	-	-	↑	↑	0	-	-	-	4	
	B		4		@(d:16, ERs) → Rd8	-	-	↑	↑	0	-	-	-	6	
	B		8		@(d:24, ERs) → Rd8	-	-	↑	↑	0	-	-	-	10	
	B		2		@ERs → Rd8, ERs32+1 → ERs32	-	-	↑	↑	0	-	-	-	6	
	B		2		@aa:8 → Rd8	-	-	↑	↑	0	-	-	-	4	
	B		4		@aa:16 → Rd8	-	-	↑	↑	0	-	-	-	6	
	B		6		@aa:24 → Rd8	-	-	↑	↑	0	-	-	-	8	
	B	2			Rs8 → @ERd	-	-	↑	↑	0	-	-	-	4	
	B		4		Rs8 → @(d:16, ERd)	-	-	↑	↑	0	-	-	-	6	
	B		8		Rs8 → @(d:24, ERd)	-	-	↑	↑	0	-	-	-	10	
	B		2		ERd32-1 → ERd32, Rs8 → @ERd	-	-	↑	↑	0	-	-	-	6	
	B		2		Rs8 → @aa:8	-	-	↑	↑	0	-	-	-	4	
	B		4		Rs8 → @aa:16	-	-	↑	↑	0	-	-	-	6	
	B		6		Rs8 → @aa:24	-	-	↑	↑	0	-	-	-	8	
	W	4			#xx:16 → Rd16	-	-	↑	↑	0	-	-	-	4	
	W	2			Rs16 → Rd16	-	-	↑	↑	0	-	-	-	2	
	W		2		@ERs → Rd16	-	-	↑	↑	0	-	-	-	4	
	W		4		@(d:16, ERs) → Rd16	-	-	↑	↑	0	-	-	-	6	
	W		8		@(d:24, ERs) → Rd16	-	-	↑	↑	0	-	-	-	10	
	W		2		@ERs → Rd16, ERs32+2 → @ERd32	-	-	↑	↑	0	-	-	-	6	
	W		4		@aa:16 → Rd16	-	-	↑	↑	0	-	-	-	6	
	W		6		@aa:24 → Rd16	-	-	↑	↑	0	-	-	-	8	

助记符	长度	寻址方式 / 指令长度 (字节)				操作	条件码							执行状态数*1					
		#xx	Rn	@ERn	@(d, ERn)		-ERn	@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	普通	高级
MOV	W		2																4
MOV.W Rs, @ERd	W																		
MOV.W Rs, @(d:16, ERd)	W				4														6
MOV.W Rs, @(d:24, ERd)	W				8														10
MOV.W Rs, @-ERd	W					2													6
MOV.W Rs, @aa:16	W						4												6
MOV.W Rs, @aa:24	W							6											8
MOV.L #xx:32, ERd	L	6																	6
MOV.L ERs, ERd	L		2																2
MOV.L @ERS, ERd	L			4															8
MOV.L @(d:16, ERs), ERd	L				6														10
MOV.L @(d:24, ERs), ERd	L				10														14
MOV.L @ERS+, ERd	L					4													10
MOV.L @aa:16, ERd	L							6											10
MOV.L @aa:24, ERd	L								8										12
MOV.L ERs, @ERd	L			4															8
MOV.L ERs, @(d:16, ERd)	L				6														10
MOV.L ERs, @(d:24, ERd)	L				10														14
MOV.L ERs, @-ERd	L					4													10
MOV.L ERs, @aa:16	L							6											10
MOV.L ERs, @aa:24	L								8										12
POP.W Rn	W									2									6
POP.L ERn	L																		10
PUSH.W Rn	W										4								10
PUSH.L ERn	L											2							6
MOVFPE @aa:16, Rd	B											4							10
MOVTPPE @aa:16	B												4						10

(2) 算术运算指令

助记符	长度	寻址方式 / 指令长度 (字节)			操作	条件码							执行状态数*		
		#xx	Rn	@ERn @/d, ERn @-ERn/@ERn+ @aa @/d, PC) @@aa		I	H	N	Z	V	C	普通	高级		
ADD	B	2			Rd8#xx:8→Rd8	-	↑	↑	↑	↑	↑	↑	↑	2	
	B	2			Rd8+Rs8→Rd8	-	↑	↑	↑	↑	↑	↑	↑	2	
	W	4			Rd16#xx:16→Rd16	-	(1)	↑	↑	↑	↑	↑	↑	4	
	W	2			Rd16+Rs16→Rd16	-	(1)	↑	↑	↑	↑	↑	↑	2	
	L	6			ERd32#xx:32→ERd32	-	(2)	↑	↑	↑	↑	↑	↑	6	
ADDX	L	2			ERd32+ERS32→ERd32	-	(2)	↑	↑	↑	↑	↑	↑	2	
	B	2			Rd8#xx:8+C→Rd8	-	↑	↑	(3)	↑	↑	↑	↑	2	
	B	2			Rd8+Rs8+C→Rd8	-	↑	↑	(3)	↑	↑	↑	↑	2	
	L	2			ERd32+1→ERd32	-	-	-	-	-	-	-	-	2	
	L	2			ERd32+2→ERd32	-	-	-	-	-	-	-	-	2	
INC	L	2			ERd32+4→ERd32	-	-	-	-	-	-	-	-	2	
	B	2			Rd8+1→Rd8	-	-	-	-	-	-	-	-	2	
	W	2			Rd16+1→Rd16	-	-	-	-	-	-	-	-	2	
	W	2			Rd16+2→Rd16	-	-	-	-	-	-	-	-	2	
	L	2			ERd32+1→ERd32	-	-	-	-	-	-	-	-	2	
DAA	L	2			ERd32+2→ERd32	-	-	-	-	-	-	-	-	2	
	B	2			Rd8 10进制调整→Rd8	-	*	↑	↑	↑	*	↑	↑	2	
	B	2			Rd8-Rs8→Rd8	-	↑	↑	↑	↑	↑	↑	↑	2	
	W	4			Rd16#xx:16→Rd16	-	(1)	↑	↑	↑	↑	↑	↑	4	
	W	2			Rd16-Rs16→Rd16	-	(1)	↑	↑	↑	↑	↑	↑	2	
SUB	L	6			ERd32#xx:32→ERd32	-	(2)	↑	↑	↑	↑	↑	↑	6	
	L	2			ERd32-ERS32→ERd32	-	(2)	↑	↑	↑	↑	↑	↑	2	
	B	2			Rd8#xx:8-C→Rd8	-	↑	↑	(3)	↑	↑	↑	↑	2	
	B	2			Rd8-Rs8-C→Rd8	-	↑	↑	(3)	↑	↑	↑	↑	2	
	B	2					-	↑	↑	(3)	↑	↑	↑	2	

助记符	长度	寻址方式 / 指令长度 (字节)				操作	条件码							执行状态数*1		
		#xx	Rn	@ERn	@(d, ERn)@(ERn)@ERn+@aa		@(d, PC)@aa	I	H	N	Z	V	C	普通	高级	
SUBS	L	2														2
	L	2														2
	L	2														2
DEC	B	2														2
	W	2														2
	W	2														2
	L	2														2
	L	2														2
	B	2														2
DAS	B	2									*					2
	B	2														14
MULXU	B	2														22
	W	2														22
MULXS	B	4														16
	W	4														24
DIVXU	B	2														14
	W	2														22
DIVXS	B	4														16
	W	4														24
CMP	B	2														2
	B	2														2
	W	4														4
	W	2														2

助记符	长度	#xx	Rn	寻址方式/指令长度(字节)					操作	条件码						执行状态数*1		
				@ERn	@(d, ERn)	@-ERn	@ERn+1	@aa		@(d, PC)@aa	—	I	H	N	Z	V	C	普通
CMP	CMP.L #xx:32, ERd	L	6						ERd32-#xx:32	—	(2)	↑	↑	↑	↑	↑	4	
	CMP.L ERs, ERd	L	2						ERd32-ERs32	—	(2)	↑	↑	↑	↑	↑	2	
NEG	NEG.B Rd	B	2						0-Rd8 → Rd8	—	↑	↑	↑	↑	↑	2		
	NEG.W Rd	W	2						0-Rd16 → Rd16	—	↑	↑	↑	↑	↑	2		
EXTU	NEG.L ERd	L	2						0-ERd32 → ERd32	—	↑	↑	↑	↑	↑	2		
	EXTU.W Rd	W	2						0- (<位15~8> of Rd16)	—	—	0	↑	0	—	2		
	EXTU.L ERd	L	2						0- (<位31~16> of ERd32)	—	—	0	↑	0	—	2		
EXTS	EXTS.W Rd	W	2						(<位7> of Rd16) → (<位15~8> of Rd16)	—	—	↑	↑	↑	↑	2		
	EXTS.L ERd	L	2						(<位15> of ERd32) → (<位31~16> of ERd32)	—	—	↑	↑	↑	↑	2		

(3) 逻辑运算指令

助记符	长度	寻址方式/指令长度(字节)			操作	条件码								执行状态数*1		
		#xx	Rn	@(d, ERn) @-ERn@ERn+ @aa @(d, PC) @aa		I	H	N	Z	V	C	普通	高级			
AND	B	2														2
	B	2														2
	W	4														4
	W	2														2
	L	6														6
	L	4														4
OR	B	2														2
	B	2														2
	W	4														4
	W	2														2
	L	6														6
	L	4														4
	B	2														2
	B	2														2
	W	4														4
	L	6														6
XOR	B	2														2
	B	2														2
	W	4														4
	W	2														2
	L	6														6
	L	4														4
NOT	B	2														2
	W	2														2
	L	2														2
	L	2														2

(4) 移位指令

助记符	长度	寻址方向 / 指令长度 (字节)			操作	条件码							执行状态数 *1			
		#xx	Rn	@(d, ERn) @-ERn@ERn+ @aa @(d, PC) @@aa -		I	H	N	Z	V	C	普通	高级			
SHAL	B	2				-	-	-	-	-	-	-	-	-	2	
	W	2				-	-	-	-	-	-	-	-	-	2	
	L	2				-	-	-	-	-	-	-	-	-	2	
SHAR	B	2				-	-	-	-	-	-	-	-	2		
	W	2				-	-	-	-	-	-	-	-	2		
	L	2				-	-	-	-	-	-	-	-	2		
SHLL	B	2				-	-	-	-	-	-	-	-	2		
	W	2				-	-	-	-	-	-	-	-	2		
	L	2				-	-	-	-	-	-	-	-	2		
SHLR	B	2				-	-	-	-	-	-	-	-	2		
	W	2				-	-	-	-	-	-	-	-	2		
	L	2				-	-	-	-	-	-	-	-	2		
ROTXL	B	2				-	-	-	-	-	-	-	-	2		
	W	2				-	-	-	-	-	-	-	-	2		
	L	2				-	-	-	-	-	-	-	-	2		
ROTXR	B	2				-	-	-	-	-	-	-	-	2		
	W	2				-	-	-	-	-	-	-	-	2		
	L	2				-	-	-	-	-	-	-	-	2		
ROTL	B	2				-	-	-	-	-	-	-	-	2		
	W	2				-	-	-	-	-	-	-	-	2		
	L	2				-	-	-	-	-	-	-	-	2		
ROTR	B	2				-	-	-	-	-	-	-	-	2		
	W	2				-	-	-	-	-	-	-	-	2		
	L	2				-	-	-	-	-	-	-	-	2		

(5) 位操作指令

助记符	长度	寻址方式 / 指令长度 (字节)				操作	条件码							执行状态数 *1		
		#xx	Rn	@(d, ERn)	@(d, ERn) @ERn+ @aa @(d, PC) @aa		I	H	N	Z	V	C	普通	高级		
BSET	B	2				(#xx:3 of Rd8) ← 1	—	—	—	—	—	—	—	—	2	
	B		4			(#xx:3 of @ERd) ← 1	—	—	—	—	—	—	—	—	8	
	B				4	(#xx:3 of @aa:8) ← 1	—	—	—	—	—	—	—	—	8	
	B	2				(Rn8 of Rd8) ← 1	—	—	—	—	—	—	—	—	2	
	B		4			(Rn8 of @ERd) ← 1	—	—	—	—	—	—	—	—	8	
BCLR	B				4	(Rn8 of @aa:8) ← 1	—	—	—	—	—	—	—	—	8	
	B	2				(#xx:3 of Rd8) ← 0	—	—	—	—	—	—	—	—	2	
	B		4			(#xx:3 of @ERd) ← 0	—	—	—	—	—	—	—	—	8	
	B				4	(#xx:3 of @aa:8) ← 0	—	—	—	—	—	—	—	—	8	
	B	2				(Rn8 of Rd8) ← 0	—	—	—	—	—	—	—	—	2	
BNOT	B		4			(Rn8 of @ERd) ← 0	—	—	—	—	—	—	—	—	8	
	B				4	(Rn8 of @aa:8) ← 0	—	—	—	—	—	—	—	—	8	
	B	2				(#xx:3 of Rd8) ← ~ (#xx:3 of Rd8)	—	—	—	—	—	—	—	—	2	
	B		4			(#xx:3 of @ERd) ← ~ (#xx:3 of @ERd)	—	—	—	—	—	—	—	—	8	
	B				4	(#xx:3 of @aa:8) ← ~ (#xx:3 of @aa:8)	—	—	—	—	—	—	—	—	8	
BTST	B		4			(Rn8 of Rd8) ← ~ (Rn8 of Rd8)	—	—	—	—	—	—	—	—	2	
	B					(Rn8 of @ERd) ← ~ (Rn8 of @ERd)	—	—	—	—	—	—	—	—	8	
	B		4			(Rn8 of @aa:8) ← ~ (Rn8 of @aa:8)	—	—	—	—	—	—	—	—	8	
	B	2				~ (#xx:3 of Rd8) → Z	—	—	—	↑	—	—	—	—	2	
	B		4			~ (#xx:3 of @ERd) → Z	—	—	—	↑	—	—	—	—	6	
BLD	B				4	~ (#xx:3 of @aa:8) → Z	—	—	—	↑	—	—	—	—	6	
	B	2				~ (Rn8 of @Rd8) → Z	—	—	—	↑	—	—	—	—	2	
	B		4			~ (Rn8 of @ERd) → Z	—	—	—	↑	—	—	—	—	6	
	B				4	~ (Rn8 of @aa:8) → Z	—	—	—	↑	—	—	—	—	6	
	B	2				(#xx:3 of Rd8) → C	—	—	—	—	↑	—	—	—	2	
BILD	B		4			(#xx:3 of @ERd) → C	—	—	—	—	↑	—	—	—	6	
	B				4	(#xx:3 of @aa:8) → C	—	—	—	—	↑	—	—	—	6	
	B	2				~ (#xx:3 of Rd8) → C	—	—	—	—	—	↑	—	—	2	
	B		4			~ (#xx:3 of @ERd) → C	—	—	—	—	—	—	↑	—	6	
	B				4	~ (#xx:3 of @aa:8) → C	—	—	—	—	—	—	—	↑	6	

助记符	长度	寻址方式 / 指令长度 (字节)				操作	条件码						执行状态数 *1			
		#xx	Rn	@ERn	@(d, ERn)		I	H	N	Z	V	C	普通	高级		
BST	BST #xx:3, Rd	B	2													2
	BST #xx:3, @ERd	B		4												8
BIST	BST #xx:3, @aa:8	B			4											8
	BIST #xx:3, Rd	B	2													2
	BIST #xx:3, @ERd	B		4												8
	BIST #xx:3, @aa:8	B			4											8
BAND	BAND #xx:3, Rd	B	2													2
	BAND #xx:3, @ERd	B		4												6
BIAND	BAND #xx:3, @aa:8	B			4											6
	BIAND #xx:3, Rd	B	2													2
	BIAND #xx:3, @ERd	B		4												6
	BIAND #xx:3, @aa:8	B			4											6
BOR	BIAND #xx:3, Rd	B	2													2
	BIAND #xx:3, @ERd	B		4												6
BIOR	BIAND #xx:3, @aa:8	B			4											6
	BOR #xx:3, Rd	B	2													2
	BOR #xx:3, @ERd	B		4												6
	BOR #xx:3, @aa:8	B			4											6
BIXOR	BIOR #xx:3, Rd	B	2													2
	BIOR #xx:3, @ERd	B		4												6
	BIOR #xx:3, @aa:8	B			4											6
	BIXOR #xx:3, Rd	B	2													2
BXOR	BIXOR #xx:3, @ERd	B		4												6
	BIXOR #xx:3, @aa:8	B			4											6
	BIXOR #xx:3, Rd	B	2													2
	BIXOR #xx:3, @ERd	B		4												6

(6) 转移指令

助记符	长度	寻址方式 / 指令长度 (字节)			操作	转移条件	条件码					执行状态数*1						
		#xx	Rn	@(d, ERn) @/ERn @/ERn+ @aa @(d, PC) @/aa			I	H	N	Z	V	C	普通	高级				
Bcc																		
BRA d:8(BT d:8)	—					2												4
BRA d:16(BT d:16)	—					4												6
BRN d:8(BF d:8)	—					2												4
BRN d:16(BF d:16)	—					4												6
BHI d:8	—					2												4
BHI d:16	—					4												6
BLS d:8	—					2												4
BLS d:16	—					4												6
BCC d:8(BHS d:8)	—					2												4
BCC d:16(BHS d:16)	—					4												6
BCS d:8(BLO d:8)	—					2												4
BCS d:16(BLO d:16)	—					4												6
BNE d:8	—					2												4
BNE d:16	—					4												6
BEQ d:8	—					2												4
BEQ d:16	—					4												6
BVC d:8	—					2												4
BVC d:16	—					4												6
BVS d:8	—					2												4
BVS d:16	—					4												6
BPL d:8	—					2												4
BPL d:16	—					4												6
BMI d:8	—					2												4
BMI d:16	—					4												6

助记符	长度	寻址方式 / 指令长度 (字节)			操作	转移条件	条件码							执行状态数 *1		
		#xx	Rn	@(d, ERn) @-ERn/@ERn+ @aa @(d, PC) @aa			I	H	N	Z	V	C	普通	高级		
Bcc	BGE d:8	—			2	if condition is true then PC←PC+d else next;	N@V=0	—	—	—	—	—	—	—	—	4
	BGE d:16	—			4			—	—	—	—	—	—	—	—	6
	BLT d:8	—			2		N@V=1	—	—	—	—	—	—	—	—	4
	BLT d:16	—			4			—	—	—	—	—	—	—	—	6
	BGT d:8	—			2		Z∨(N@V)=0	—	—	—	—	—	—	—	—	4
	BGT d:16	—			4			—	—	—	—	—	—	—	—	6
JMP	BLE d:8	—			2		Z∨(N@V)=1	—	—	—	—	—	—	—	—	4
	BLE d:16	—			4			—	—	—	—	—	—	—	—	6
	JMP @ERn	—	2			PC←ERn	—	—	—	—	—	—	—	—	—	4
	JMP @aa:24	—		4		PC←aa:24	—	—	—	—	—	—	—	—	—	6
BSR	JMP @aa:8	—				PC←@aa:8	—	—	—	—	—	—	—	—	—	8
	BSR d:8	—			2	PC←@-SP, PC←PC+d:8	—	—	—	—	—	—	—	—	—	6
	BSR d:16	—			4	PC←@-SP, PC←PC+d:16	—	—	—	—	—	—	—	—	—	8
JSR	JSR @ERn	—	2			PC←@-SP, PC←ERn	—	—	—	—	—	—	—	—	—	6
	JSR @aa:24	—		4		PC←@-SP, PC←aa:24	—	—	—	—	—	—	—	—	—	8
	JSR @aa:8	—			2	PC←@-SP, PC←@aa:8	—	—	—	—	—	—	—	—	—	8
RTS	—				2	PC←@SP+	—	—	—	—	—	—	—	—	—	8

(7) 系统控制指令

助记符	长度	寻址方式 / 指令长度 (字节)				操作	条件码							执行状态数*1							
		#xx	Rn @ERn	@(d, ERn)	@(d, ERn)@ERn+		@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	普通	高级				
TRAPA #xx:2	—											1	—	—	—	—	—	—	14	16	
RTE	—											—	—	—	—	—	—	—	—	—	10
SLEEP	—											—	—	—	—	—	—	—	—	—	2
LDC #xx:8, CCR	B	2										—	—	—	—	—	—	—	—	—	2
LDC Rs, CCR	B		2									—	—	—	—	—	—	—	—	—	2
LDC @ERs, CCR	W			4								—	—	—	—	—	—	—	—	—	6
LDC @(d:16, ERs), CCR	W				6							—	—	—	—	—	—	—	—	—	8
LDC @(d:24, ERs), CCR	W				10							—	—	—	—	—	—	—	—	—	12
LDC @ERs+, CCR	W					4						—	—	—	—	—	—	—	—	—	8
LDC @aa:16, CCR	W								6			—	—	—	—	—	—	—	—	—	8
LDC @aa:24, CCR	W								8			—	—	—	—	—	—	—	—	—	10
STC CCR, Rd	B		2									—	—	—	—	—	—	—	—	—	2
STC CCR, @ERd	W			4								—	—	—	—	—	—	—	—	—	6
STC CCR, @(d:16, ERd)	W				6							—	—	—	—	—	—	—	—	—	8
STC CCR, @(d:24, ERd)	W				10							—	—	—	—	—	—	—	—	—	12
STC CCR, @ERd	W					4						—	—	—	—	—	—	—	—	—	8
STC CCR, @aa:16	W											—	—	—	—	—	—	—	—	—	8
STC CCR, @aa:24	W								6			—	—	—	—	—	—	—	—	—	10
ANDC #xx:8, CCR	B	2										—	—	—	—	—	—	—	—	—	2
ORC #xx:8, CCR	B	2										—	—	—	—	—	—	—	—	—	2
XORC #xx:8, CCR	B	2										—	—	—	—	—	—	—	—	—	2
NOP	—											—	—	—	—	—	—	—	—	—	2

(8) 数据传送指令

助记符	长度	寻址方式 / 指令长度 (字节)				操作	条件码				执行状态数*1		
		#xx	Rn @ERn	@(d, ERn)	@ERn/ERn+ @aa @(d, PC) @aa		I	H	N	Z	V	C	普通
EEPMOV	—					Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	8+4n*2	
EEPMOVW	—					Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	8+4n*2	

【注】 *1 执行状态数是操作码和操作数存在于内部存储器的情况。除此以外的情况，请参照“A.3 指令执行状态数”。

*2 n为R4L或者R4的设置值。

- (1) 位11发生进位或者借位时置1，否则清0。
- (2) 位27发生进位或者借位时置1，否则清0。
- (3) 运算结果为0时，保持运算前的值，否则清0。
- (4) 调整结果发生进位时置1，否则保持运算前的值。
- (5) E时钟同步传送指令的执行状态数不固定。
- (6) 除数为负时置1，否则清0。
- (7) 除数为0时置1，否则清0。
- (8) 商为负时置1，否则清0。

A.2 操作码映像

表 A.2 操作码映像 (1)

指令码:

第1个字节	第2个字节
AH AL	BH BL

表示BH的最高位为0的情况。
表示BH的最高位为1的情况。

AH	AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD		表A.2(2)	表A.2(2)	MOV		ADDX	表A.2(2)
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	ORB	XORB	ANDB	表A.2(2)	SUB		表A.2(2)	表A.2(2)	CMP		SUBX	表A.2(2)
2	MOV.B																
3	MOV.B																
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE	
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR		
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	BIST	MOV							
7					BOR	BXOR	BAND	BAND	BILD	MOV	表A.2(2)	表A.2(2)	EEPMOV	表A.2(3)			
8	ADD																
9	ADDX																
A	CMP																
B	SUBX																
C	OR																
D	XOR																
E	AND																
F	MOV																

表 A.2 操作码映像 (2)

指令码:		第1个字节		第2个字节																		
		AH	AL	BH	BL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
BH	0																					
AH	01	MOV			LDC/STC								SLEEP					表A.2 (3)	表A.2 (3)			表A.2 (3)
	0A	INC																				
	0B	ADDS				INC							ADDS					INC				INC
	0F	DAA																				
	10	SHLL					SHLL						SHAL									
	11	SHLR					SHLR						SHAR									
	12	ROTXL					ROTXL						ROTL									
	13	ROTXR					ROTXR						ROTR									
	17	NOT					NOT						NEG									EXTS
	1A	DEC																				
	1B	SUBS											SUBS									DEC
	1F	DAS																				
	58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT						
	79	MOV	ADD	CMP	SUB	OR	XOR	AND														
	7A	MOV	ADD	CMP	SUB	OR	XOR	AND														

表 A.2 操作码映像 (3)

指令码:		第1个字节		第2个字节		第3个字节		第4个字节												
		AH	AL	BH	BL	CH	CL	DH	DL											
	AHALBHCLCH	CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F		
	01406																			
	01C05	MULXS	MULXS																	
	01D05	DIVXS		DIVXS																
	01F06			OR	XOR	AND														
	7Cr06 *1			BTST																
	7Cr07 *1			BOR	BXOR	BAND	BLD	BIOR	BIXOR	BIAND	BILD	BST								
	7Dr06 *1	BSET	BNOT		BCLR															
	7Dr07 *1	BSET	BNOT		BCLR															
	7Eaa6 *2			BTST																
	7Eaa7 *2			BOR	BXOR	BAND	BLD	BIOR	BIXOR	BIAND	BILD	BST								
	7Faa6 *2	BSET	BNOT		BCLR															
	7Faa7 *2	BSET	BNOT		BCLR															

【注】*1 r为寄存器指定部

*2 aa为绝对地址指定部

A.3 指令执行状态数

本章节表示有关 H8/300H CPU 各指令的执行状态和执行状态数的计算方法。

作为指令的执行状态，在指令执行中进行的取指令、读数据/写数据等的周期数如表 A.4 所示，在各周期中所需的状态数如表 A.3 所示。用以下的计算式计算指令的执行状态数：

$$\text{执行状态数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

执行状态数的计算例子

(例) 从内部 ROM 取指令，存取内部 RAM 的情况

1. BSET #0, @FF00

根据表A.4

$$I=L=2, J=K=M=N=0$$

根据表A.3

$$S_I=2, S_L=2$$

$$\text{执行状态数} = 2 \times 2 + 2 \times 2 = 8$$

从内部ROM取指令、从内部ROM读转移地址、堆栈区为内部RAM的情况

2. JSR @@30

根据表A.4

$$I=2, J=K=1, L=M=N=0$$

根据表A.3

$$S_I=S_J=S_K=2$$

$$\text{执行状态数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 执行状态 (周期) 所需要的状态数

执行状态 (周期)		存取对象		
		内部存储器	内部外围模块	
取指令	S_I	2	—	
读转移地址	S_J			
栈操作	S_K			
字节数据存取	S_L			2或者3*
字数据存取	S_M			2或者3*
内部运行	S_N	1		

【注】* 根据内部外围模块而不同。详细内容请参照“19.1 寄存器地址一览表 (地址顺序)”。

表 A.4 指令执行状态 (周期数)

指令	助记符	取指令	读转移地址	栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
BLT d:8	2						

指令	助记符	取指令	读转移地址	栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		

指令	助记符	取指令	读转移地址	栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

指令	助记符	取指令	读转移地址	栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

指令	助记符	取指令	读转移地址	栈操作	存取 字节数据	存取 字数据	内部运行	
		I	J	K	L	M	N	
LDC	LDC #xx:8, CCR	1						
	LDC Rs, CCR	1						
	LDC@ERs, CCR	2				1		
	LDC@(d:16, ERs), CCR	3				1		
	LDC@(d:24,ERs), CCR	5				1		
	LDC@ERs+, CCR	2				1	2	
	LDC@aa:16, CCR	3				1		
	LDC@aa:24, CCR	4				1		
MOV	MOV.B #xx:8, Rd	1						
	MOV.B Rs, Rd	1						
	MOV.B @ERs, Rd	1			1			
	MOV.B @(d:16, ERs), Rd	2			1			
	MOV.B @(d:24, ERs), Rd	4			1			
	MOV.B @ERs+, Rd	1			1		2	
	MOV.B @aa:8, Rd	1			1			
	MOV.B @aa:16, Rd	2			1			
	MOV.B @aa:24, Rd	3			1			
	MOV.B Rs, @ERd	1			1			
	MOV.B Rs, @(d:16, ERd)	2			1			
	MOV.B Rs, @(d:24, ERd)	4			1			
	MOV.B Rs, @-ERd	1			1		2	
	MOV.B Rs, @aa:8	1			1			
	MOV.B Rs, @aa:16	2			1			
	MOV.B Rs, @aa:24	3			1			
	MOV.W #xx:16, Rd	2						
	MOV.W Rs, Rd	1						
	MOV.W @ERs, Rd	1					1	
	MOV.W @(d:16,ERs), Rd	2					1	
	MOV.W @(d:24,ERs), Rd	4					1	
	MOV.W @ERs+, Rd	1					1	2
	MOV.W @aa:16, Rd	2					1	
	MOV.W @aa:24, Rd	3					1	
	MOV.W Rs, @ERd	1					1	
	MOV.W Rs, @(d:16,ERd)	2					1	
	MOV.W Rs, @(d:24,ERd)	4					1	

指令	助记符	取指令	读转移地址	栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs,@ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
MOV.L ERs, @aa:24	4				2		
MOVFPE	MOVFPE @aa:16, Rd* ²	2			1		
MOVTPE	MOVTPE Rs,@aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

指令	助记符	取指令	读转移地址	栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2		2	
RTS	RTS	2		1		2	
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					

指令	助记符	取指令	读转移地址	栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR,@-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #xx:2	2	1	2			4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 n 为 R4L 和 R4 的设定值。各自进行 (n+1) 次源侧和目标侧的存取。

*2 在本 LSI 中不能使用。

A.4 指令和寻址方式的组合

表 A.5 指令和寻址方式的组合

功能	指令	寻址方式															
		# xx	Rn	@ERn	@(d:16,ERn)	BWL	@(d:24,ERn)	@ERn+/@ERn	@aa:8	@aa:16	@aa:24	@(d:8,PC)	@(d:16,PC)	@@aa:8			
数据传送类指令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	MOVFP, MOVTP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	ADD, CMP	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	—
算术运算指令	SUB	WL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	—
	ADDX, SUBX	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, MULXS, DIVXU, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
逻辑运算指令	AND, OR, XOR	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
移位指令	移位指令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	位操作指令	—	B	B	—	—	—	—	—	—	—	—	—	—	—	—	—
转移指令	BCC, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
系统控制指令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	W	W	—
	STC	—	B	W	W	W	W	W	W	W	W	W	W	W	W	W	—
	ANDC, ORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
数据块传送指令	XORC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
数据块传送指令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW

B. I/O 端口

B.1 I/O 端口框图

$\overline{\text{RES}}$ 在复位时为低电平， $\overline{\text{SBY}}$ 在复位时以及待机模式中为低电平。

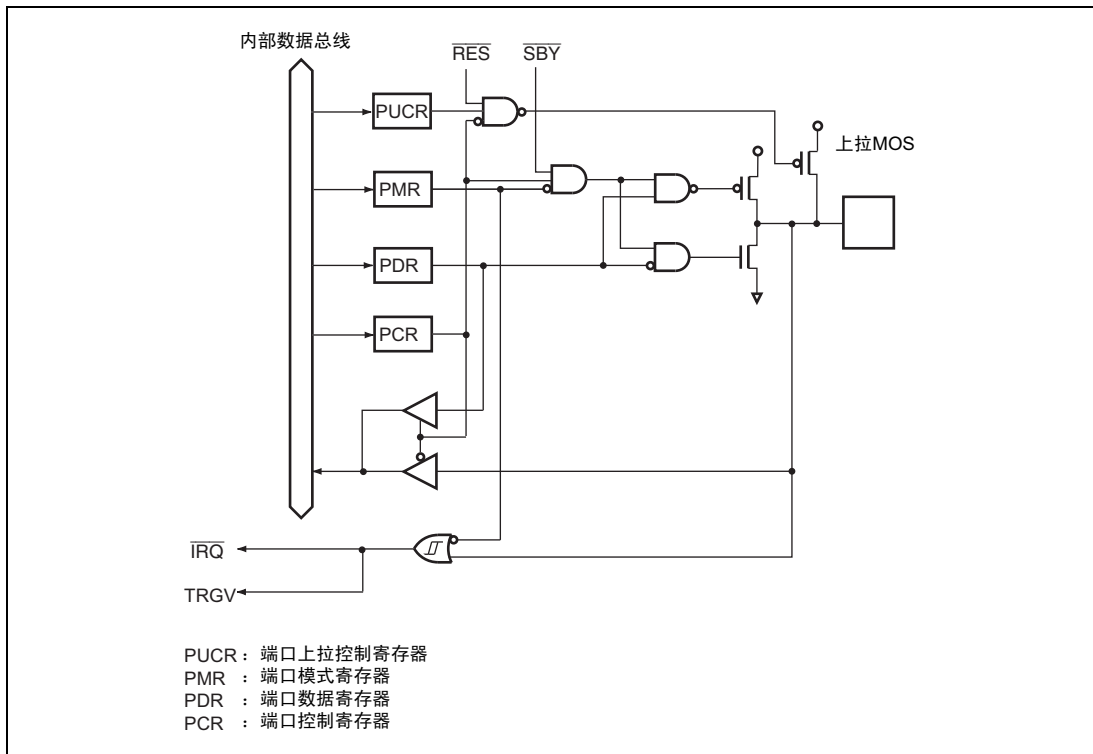


图 B.1 端口 1 框图 (P17)

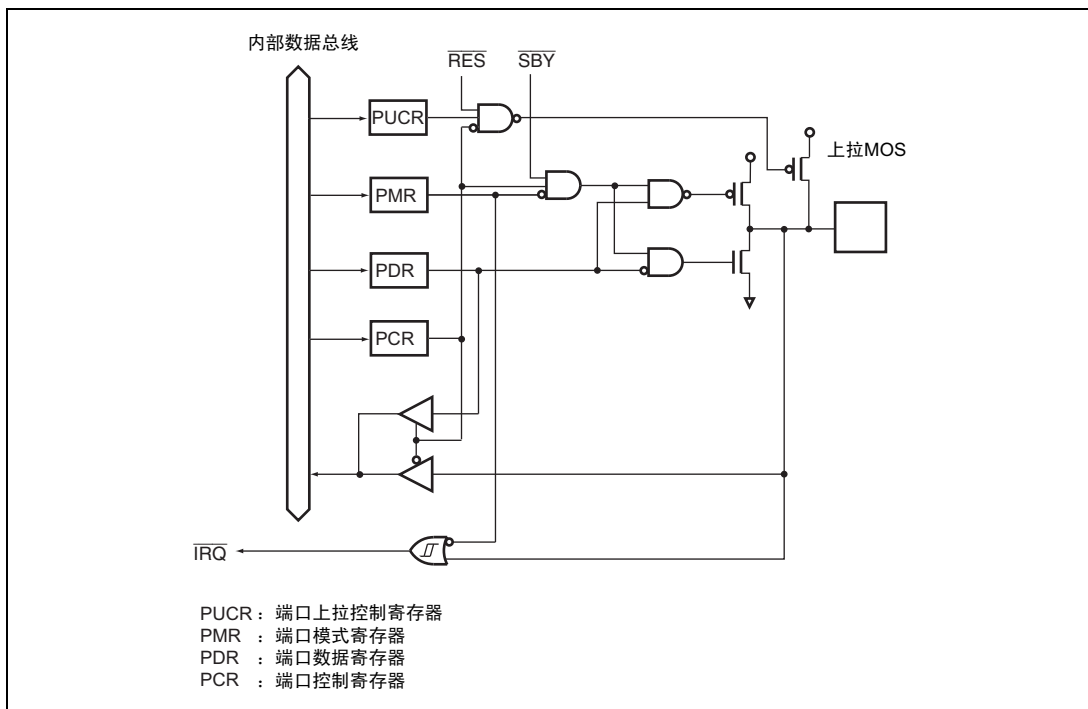


图 B.2 端口 2 框图 (P14)

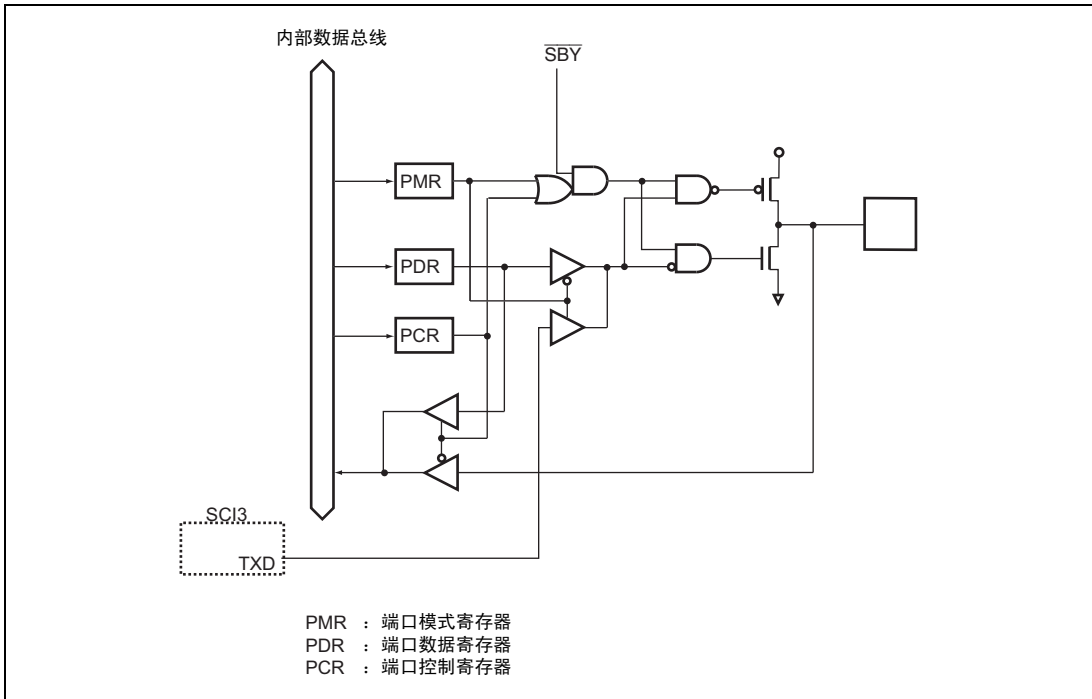


图 B.3 端口 2 框图 (P22)

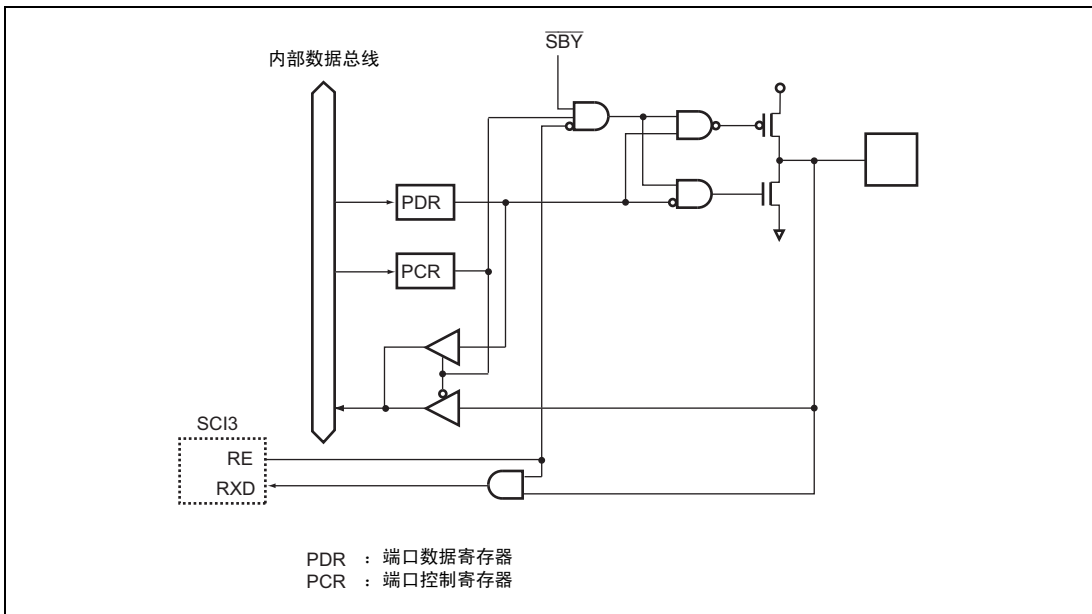


图 B.4 端口 2 框图 (P21)

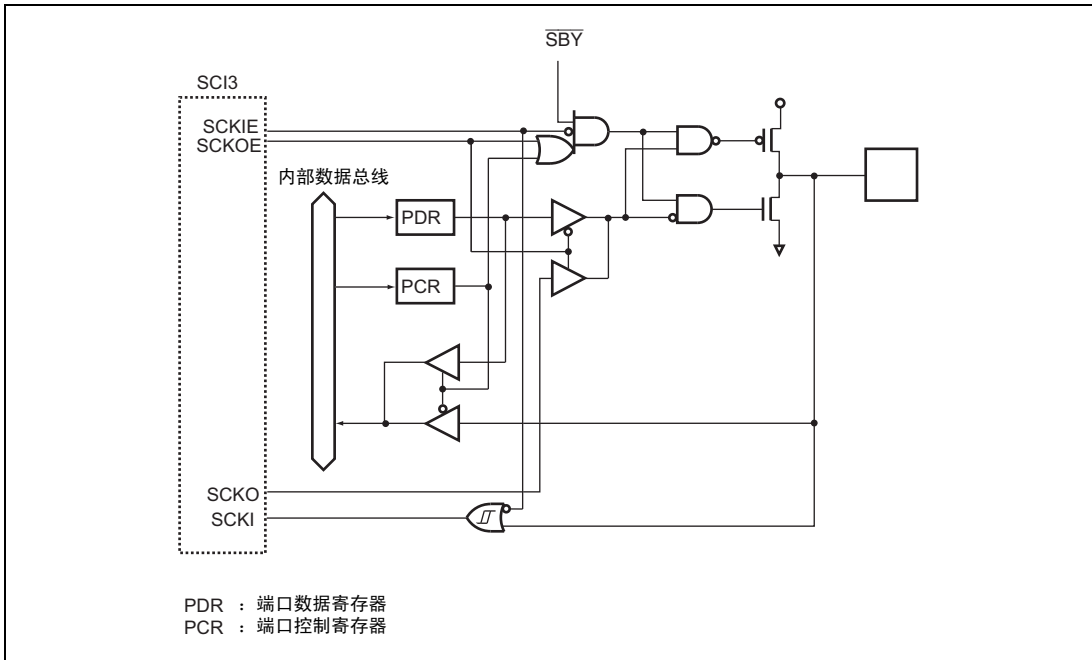


图 B.5 端口 2 框图 (P20)

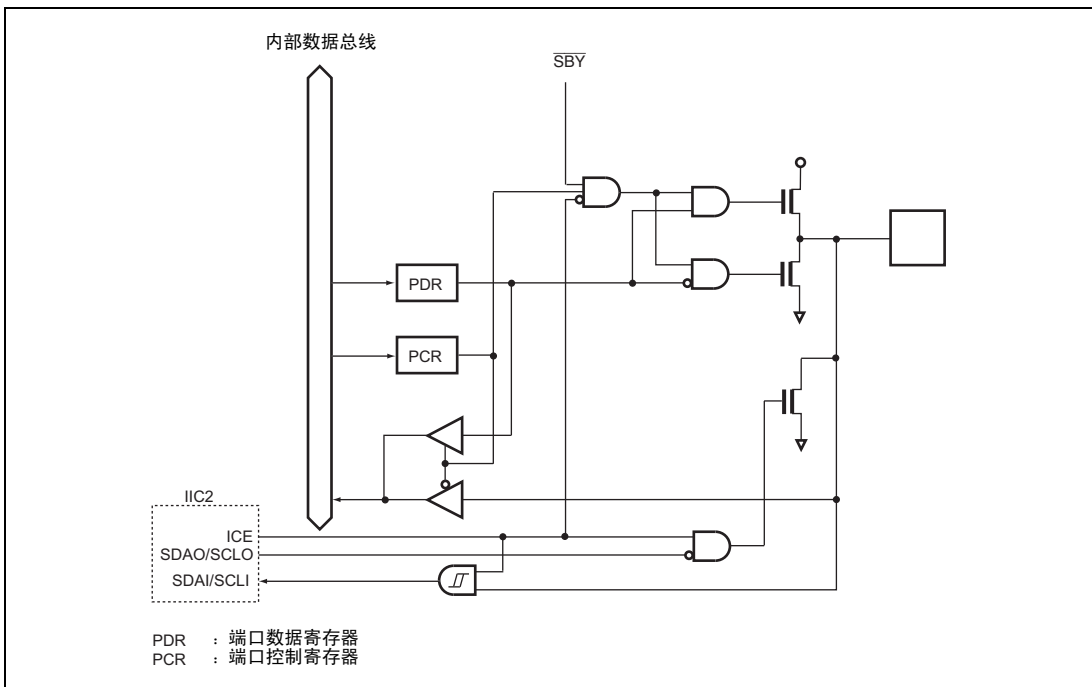


图 B.6 (1) 端口 5 框图 (P57、P56) (H8/36912 群)

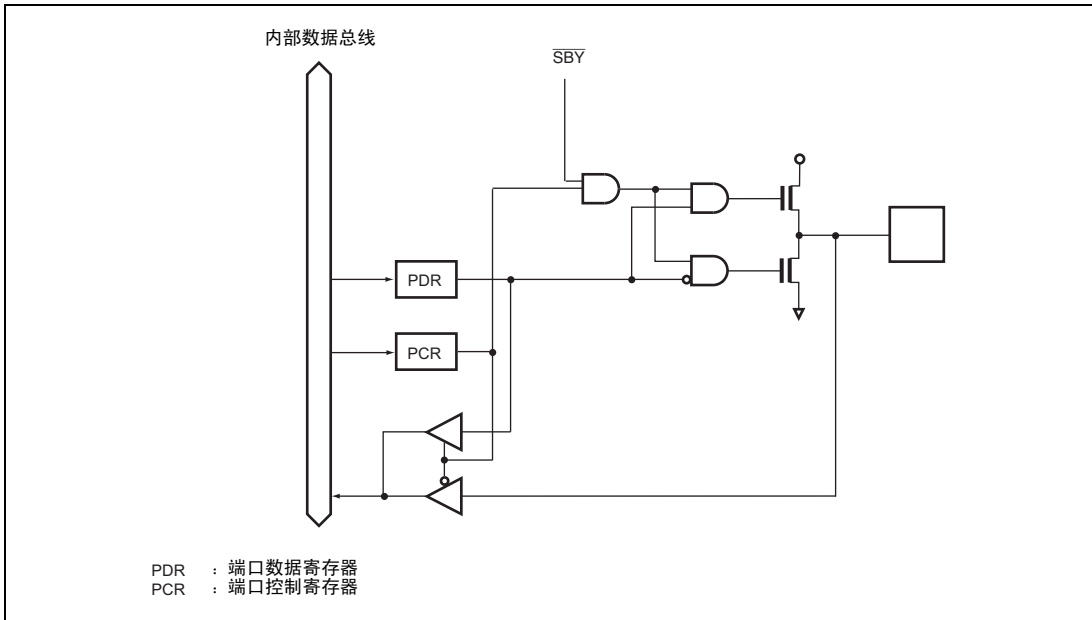


图 B.6 (2) 端口 5 框图 (P57、P56) (H8/36902 群)

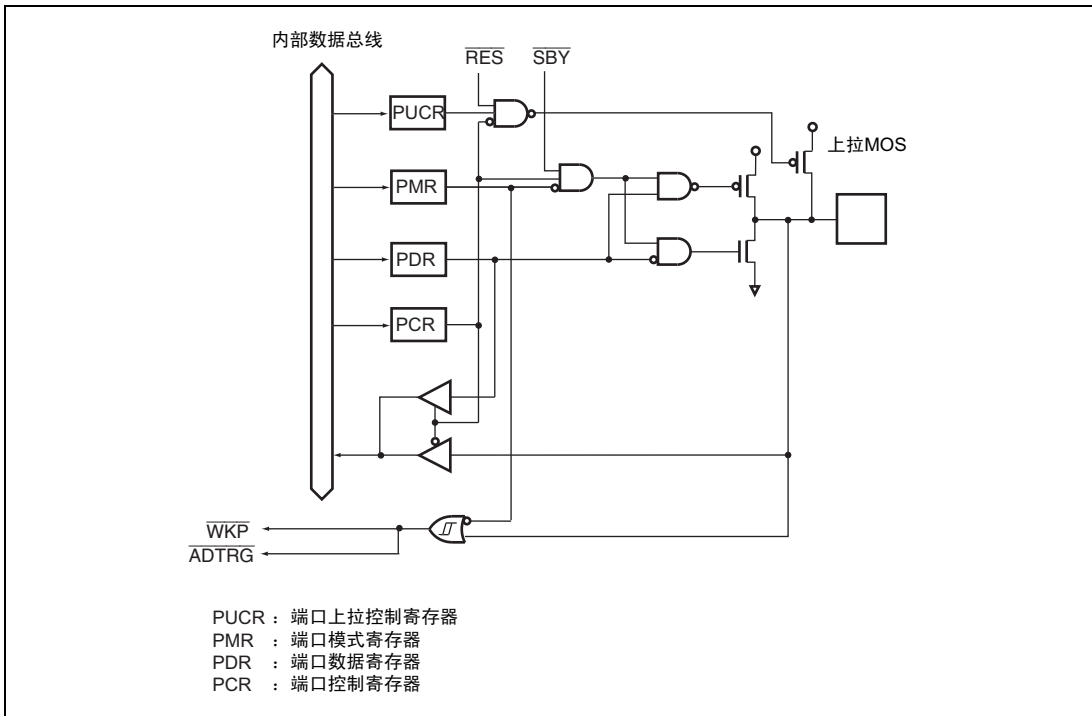


图 B.7 端口 5 框图 (P55)

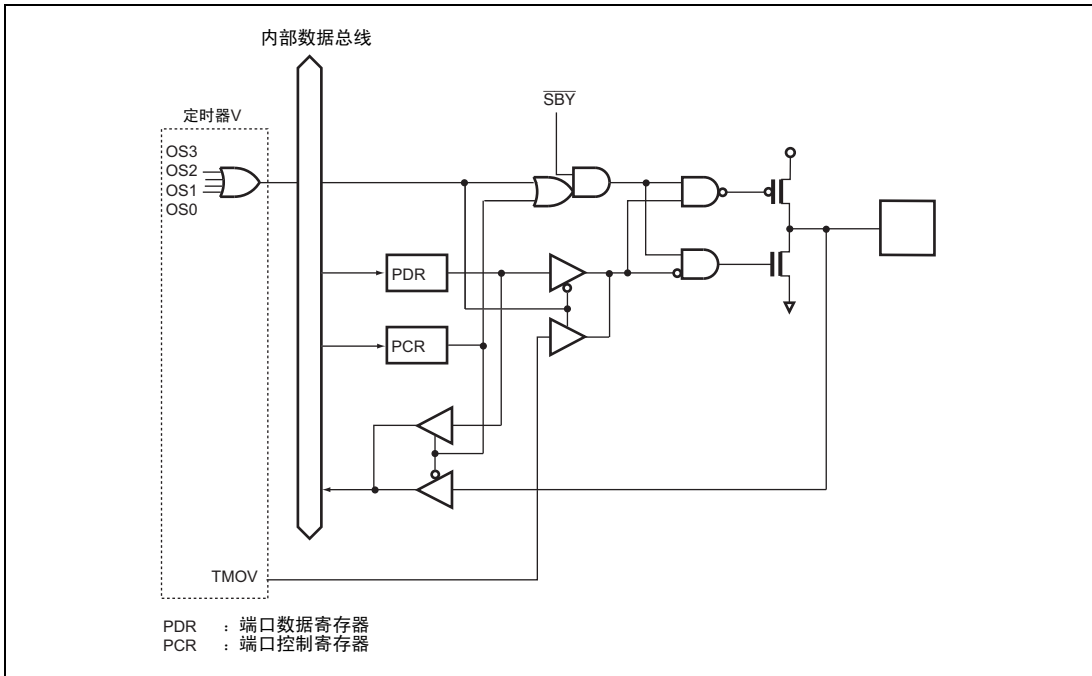


图 B.8 端口 7 框图 (P76)

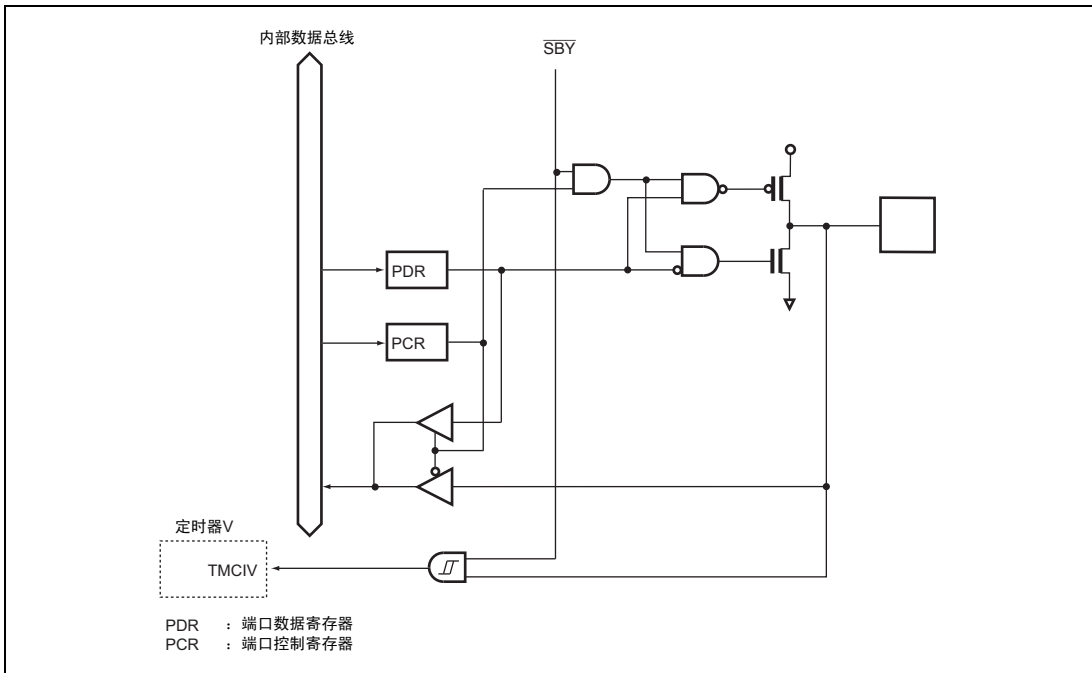


图 B.9 端口 7 框图 (P75)

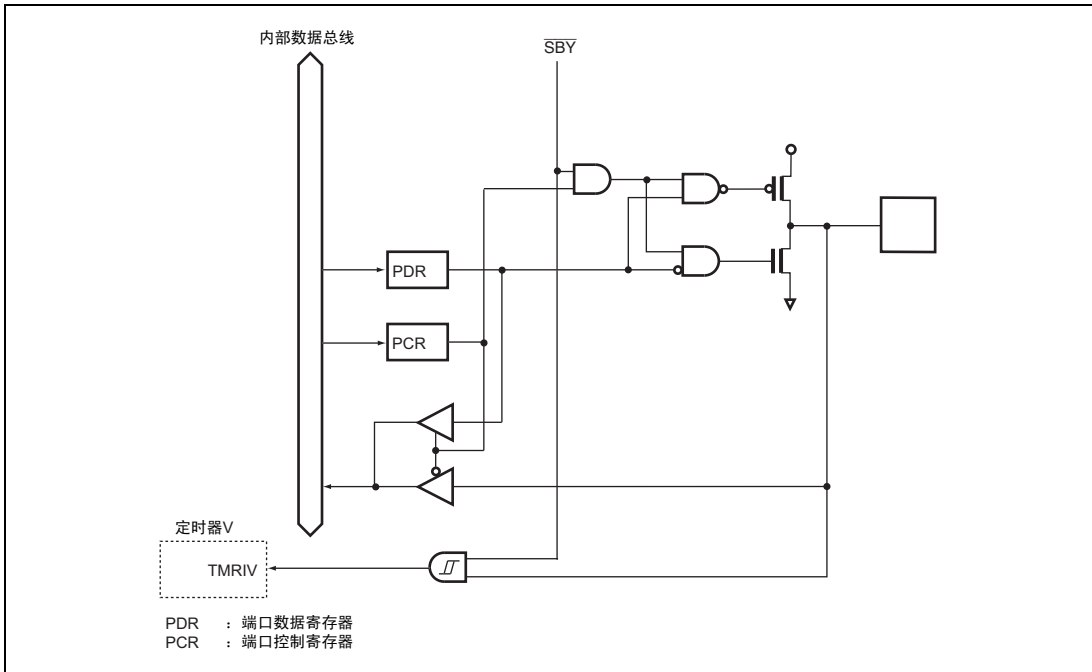


图 B.10 端口 7 框图 (P74)

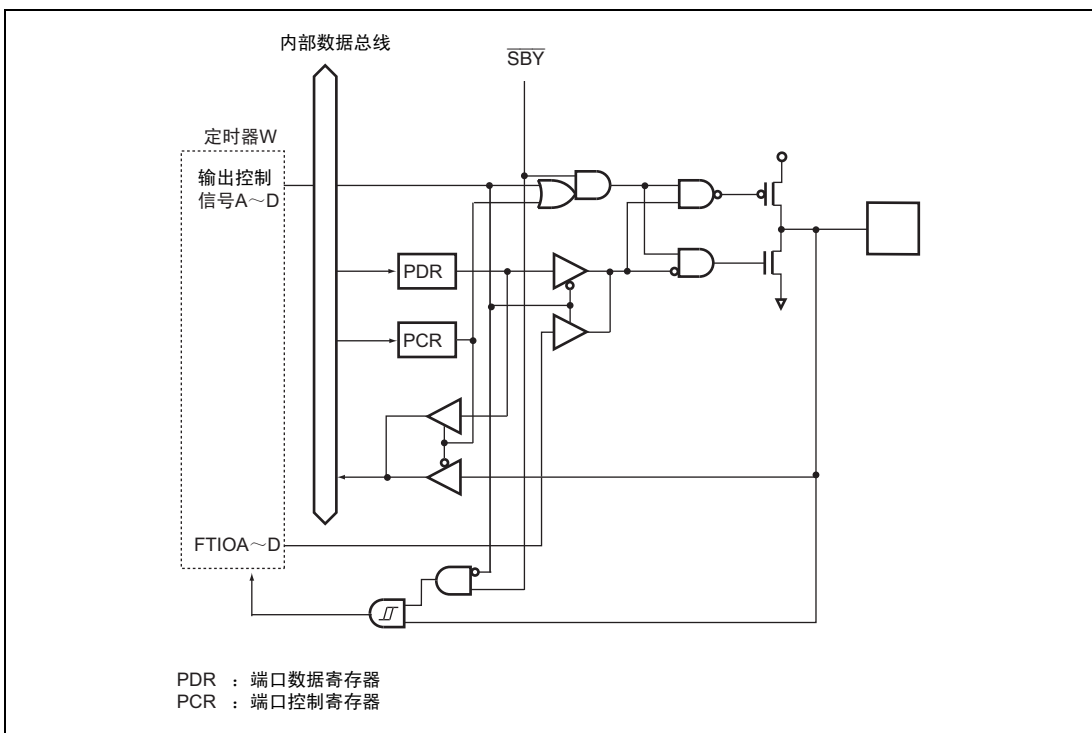


图 B.11 端口 8 框图 (P84、P83、P82、P81)

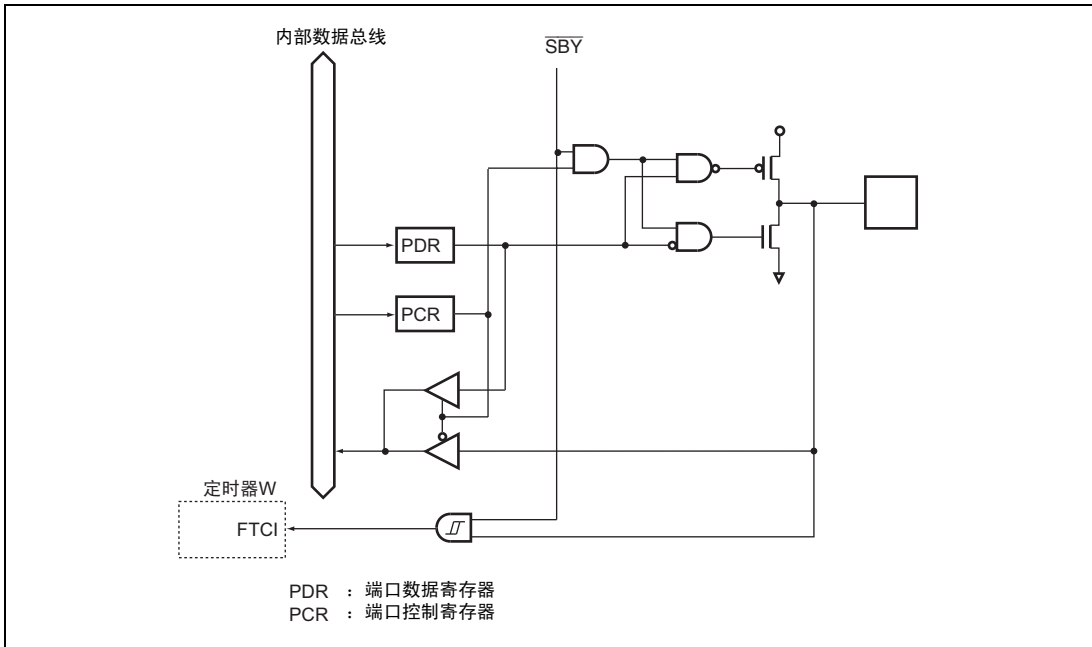


图 B.12 端口 8 框图 (P80)

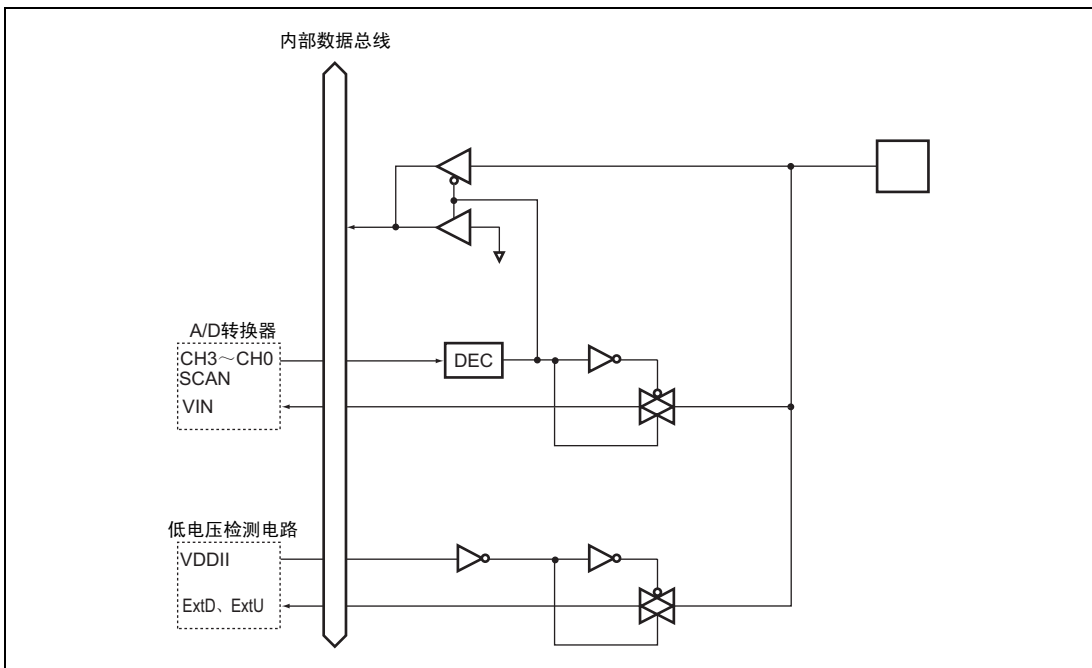


图 B.13 端口 B 框图 (PB3、PB2)

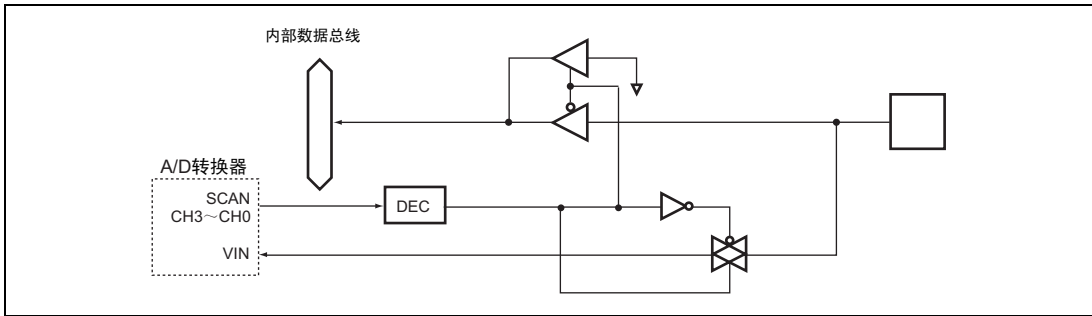


图 B.14 端口 B 框图 (PB1、PB0)

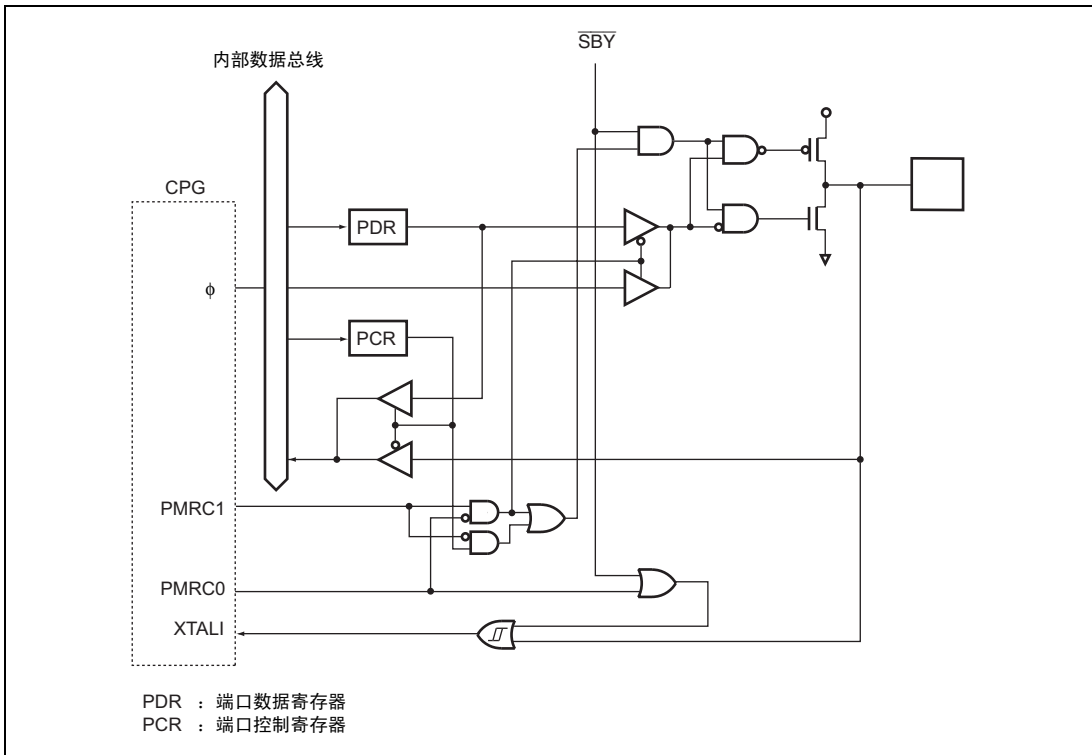


图 B.15 端口 C 框图 (PC1)

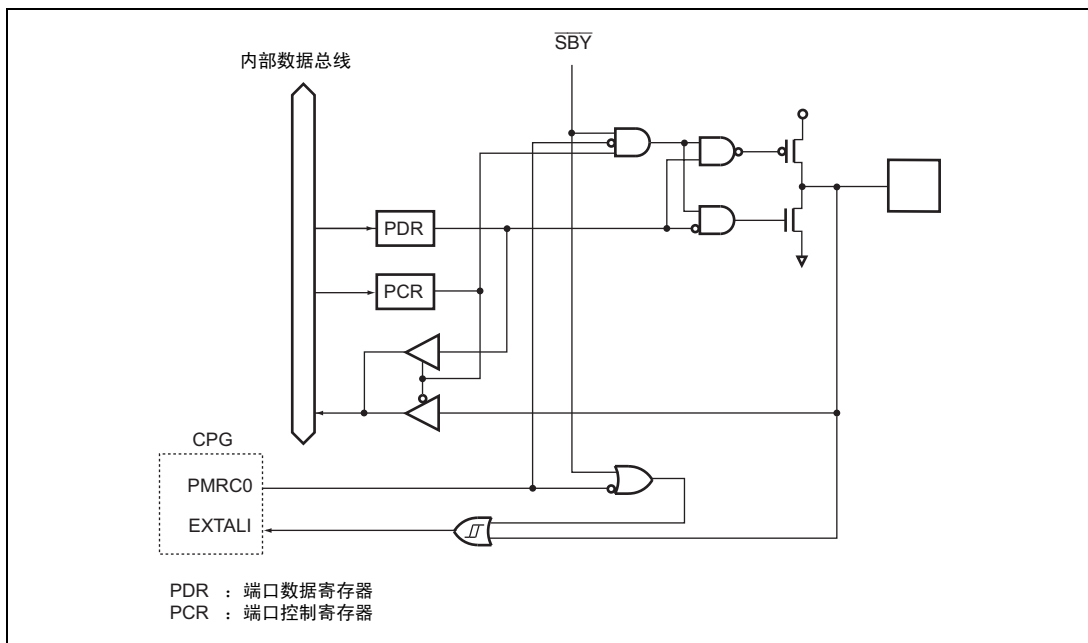


图 B.16 端口 C 框图 (PC0)

B.2 各处理状态中的端口状态

运行模式	复位	激活	睡眠	子睡眠	待机
P17、P14	高阻抗	运行	保持	保持	高阻抗*
P22~P20	高阻抗	运行	保持	保持	高阻抗
P57~P55	高阻抗	运行	保持	保持	高阻抗*
P76~P74	高阻抗	运行	保持	保持	高阻抗
P84~P80	高阻抗	运行	保持	保持	高阻抗
PB3~PB0	高阻抗	高阻抗	高阻抗	保持	高阻抗
PC1、PC0	高阻抗	运行	保持	保持	高阻抗

【注】 *1 上拉 MOS 在 ON 状态下输出 High 电平。

C. 型号一览表

产品分类		产品型号	标记型号	封装 (代码)
H8/36912	快速擦写存储器版	HD64F36912G	HD64F36912GFH	LQFP-32 (FP-32A)
			HD64F36912GTP	SOP-32 (FP-32D)
			HD64F36912GP	SDIP-32 (32P4B)
	掩模型 ROM 版	HD64336912G	HD64336912G(***) FH	LQFP-32 (FP-32A)
			HD64336912G(***) TP	SOP-32 (FP-32D)
			HD64336912G(***)P	SDIP-32 (32P4B)
H8/36911	掩模型 ROM 版	HD64336911G	HD64336911G(***)FH	LQFP-32 (FP-32A)
			HD64336911G(***)TP	SOP-32 (FP-32D)
			HD64336911G(***)P	SDIP-32 (32P4B)
H8/36902	快速擦写存储器版	HD64F36902G	HD64F36902GFH	LQFP-32 (FP-32A)
			HD64F36902GTP	SOP-32 (FP-32D)
			HD64F36902GP	SDIP-32 (32P4B)
	掩模型 ROM 版	HD64336902G	HD64336902G(***)FH	LQFP-32 (FP-32A)
			HD64336902G(***)TP	SOP-32 (FP-32D)
			HD64336902G(***)P	SDIP-32 (32P4B)
H8/36901	掩模型 ROM 版	HD64336901G	HD64336901G(***)FH	LQFP-32 (FP-32A)
			HD64336901G(***)TP	SOP-32 (FP-32D)
			HD64336901G(***)P	SDIP-32 (32P4B)
H8/36900	掩模型 ROM 版	HD64336900G	HD64336900G(***)FH	LQFP-32 (FP-32A)
			HD64336900G(***)TP	SOP-32 (FP-32D)
			HD64336900G(***)P	SDIP-32 (32P4B)

【注】 (***)为 ROM 码。

D. 外形尺寸图

有关外形尺寸，以记载于《瑞萨半导体封装数据手册》的外形尺寸图为准。

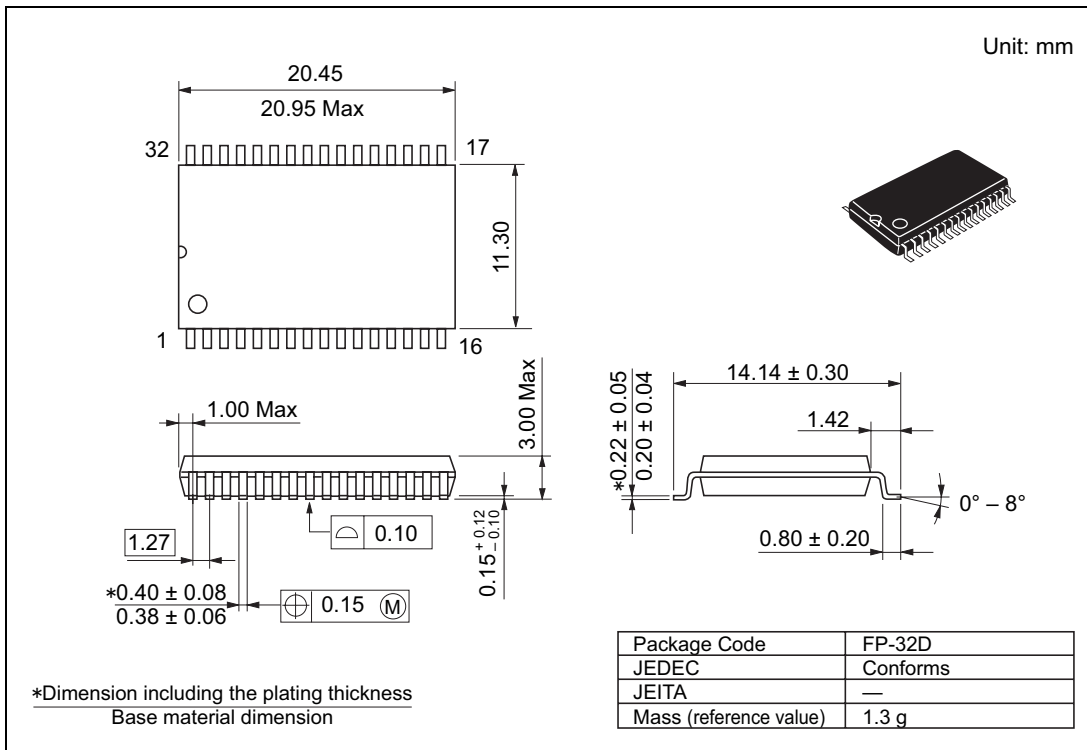


图 D.1 FP-32D 外形尺寸图

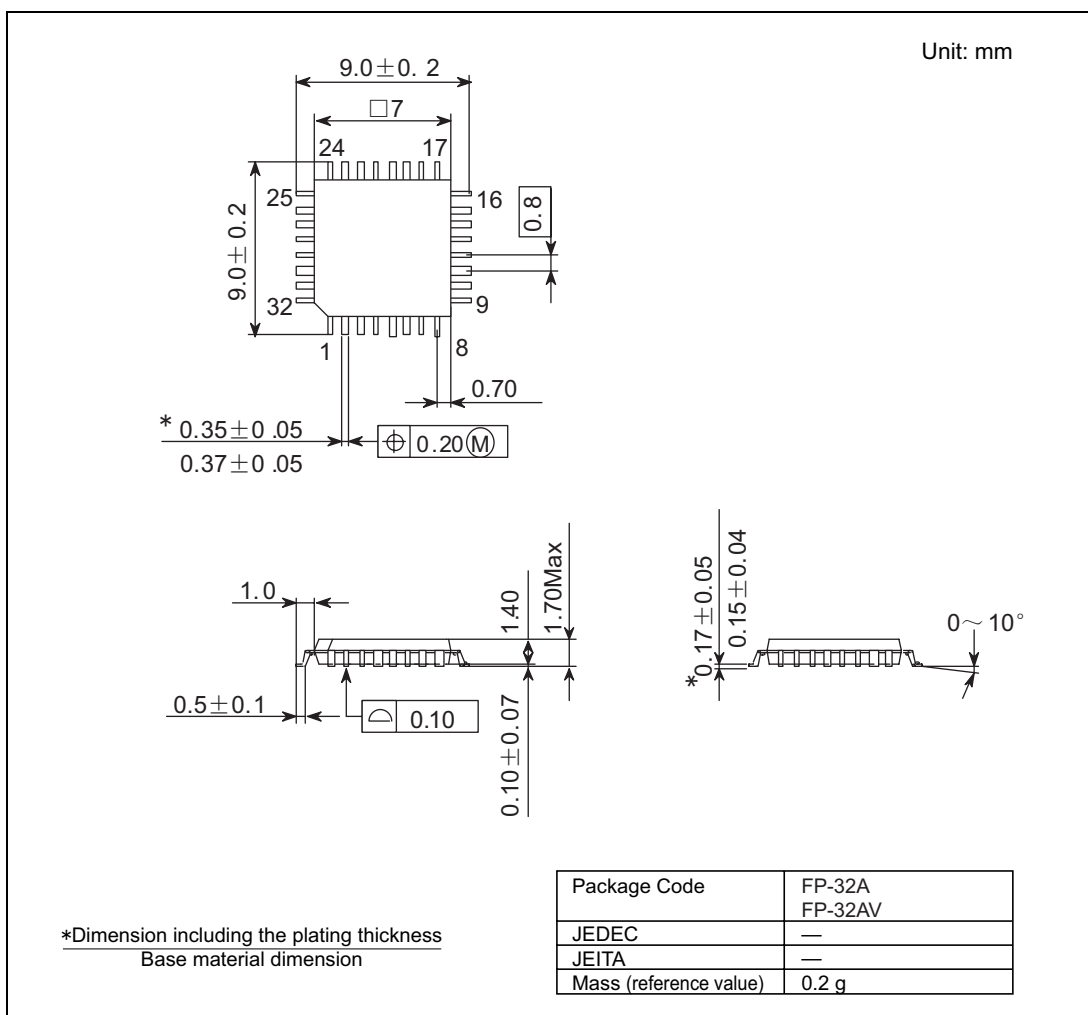


图 D.2 FP-32A 外形尺寸图

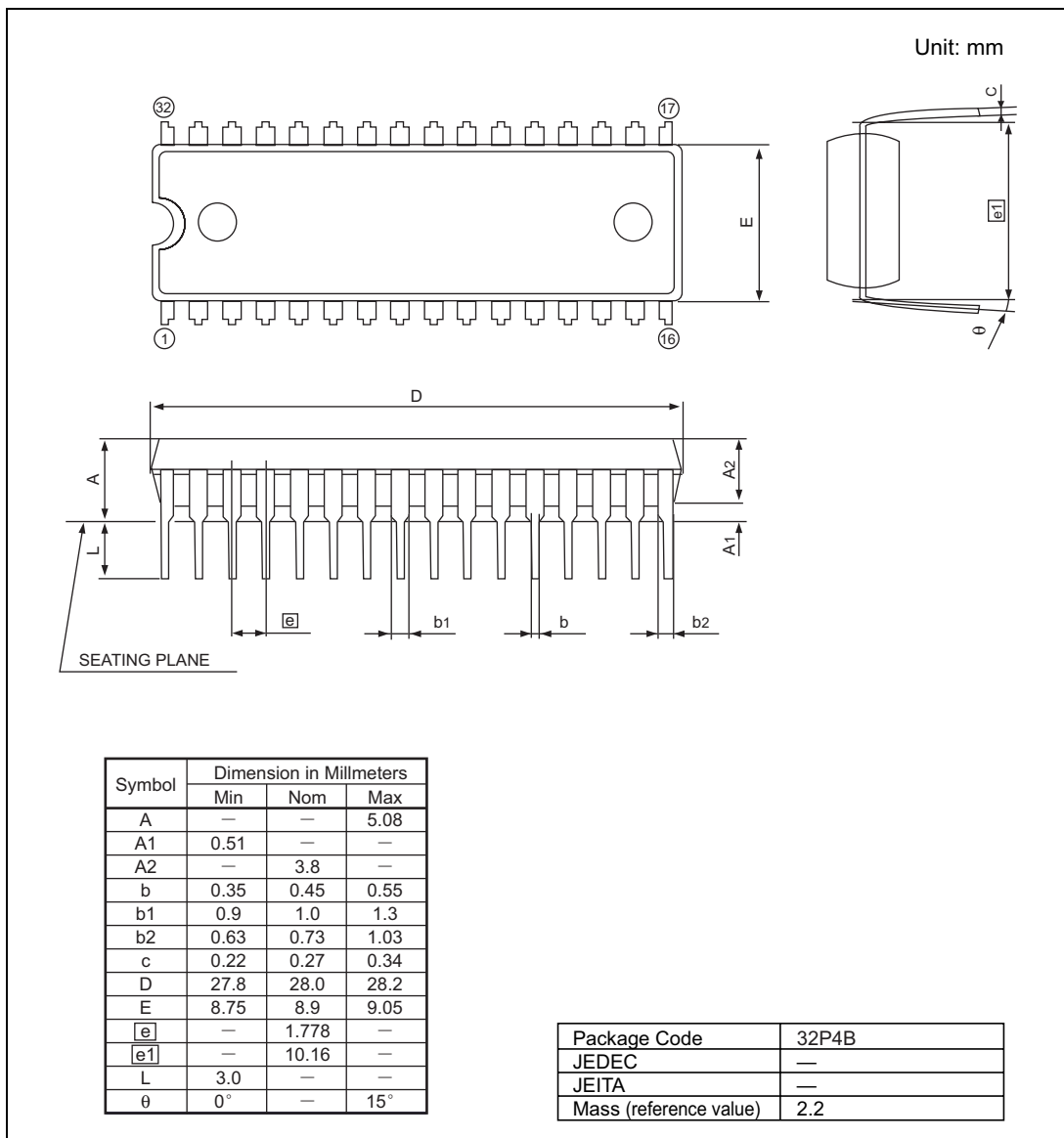


图 D.3 32P4B 外形尺寸图

索引

ABRKCR	56, 253, 256, 259	MSTCR1.....	80, 254, 257, 260
ABRKSr	57, 253, 256, 259	MSTCR2.....	80, 254, 257, 260
ADCR.....	233, 253, 256, 259	PCDDR.....	117
ADCSR.....	232, 253, 256, 259	PCDR	117
ADDRA.....	231, 253, 256, 259	PCR1.....	103, 254, 257, 259
ADDRB.....	231, 253, 256, 259	PCR2.....	105, 254, 257, 259
ADDRc	231, 253, 256, 259	PCR5.....	108, 254, 257, 259
ADDRD	231, 253, 256, 259	PCR7.....	110, 254, 257, 259
BARH	57, 253, 256, 259	PCR8.....	112, 254, 257, 259
BARL.....	57, 253, 256, 259	PDR1.....	103, 253, 257, 259
BDRH.....	58, 253, 256, 259	PDR2.....	106, 253, 257, 259
BDRL	58, 253, 256, 259	PDR5.....	108, 253, 257, 259
BRR	175, 253, 256, 259	PDR7.....	111, 253, 257, 259
EBR1.....	88, 253, 256, 258	PDR8.....	113, 253, 257, 259
FENR	88, 253, 256, 258	PDRB	115, 254, 257, 259
FLMCR1.....	87, 252, 256, 258	PMR1	102, 254, 257, 259
FLMCR2.....	88, 252, 256, 258	PMR5	107, 254, 257, 259
GRA	147, 252, 255, 258	PUCR1.....	104, 253, 257, 259
GRB	147, 252, 255, 258	PUCR5.....	108, 253, 257, 259
GRC.....	147, 252, 255, 258	RDR	171, 253, 256, 259
GRD	147, 252, 255, 258	RSR.....	171
ICCR1	202, 252, 255, 258	SAR	210, 252, 255, 258
ICCR2	203, 252, 255, 258	SCR3.....	173, 253, 256, 259
ICDRR.....	210, 252, 255, 258	SMR	172, 253, 256, 259
ICDRS.....	210	SSR.....	174, 253, 256, 259
ICDRT	210	SYSCR1.....	78, 254, 257, 260
ICIER	206, 252, 255, 258	SYSCR2.....	79, 254, 257, 260
ICMR.....	205, 252, 255, 258	TCB1	120, 252, 255, 258
ICSR	208, 252, 255, 258	TCNT.....	147, 252, 255, 258
IEGR1	45, 254, 257, 260	TCNTV	125, 253, 256, 258
IEGR2	45, 254, 257, 260	TCORA.....	125, 253, 256, 258
IENR1	46, 254, 257, 260	TCORB.....	125, 253, 256, 258
IENR2	46, 254, 257, 260	TCRV0.....	126, 253, 256, 258
IRR1.....	47, 254, 257, 260	TCRV1.....	128, 253, 256, 259
IRR2.....	47, 254, 257, 260	TCRW.....	142, 252, 255, 258
IWPR.....	48, 254, 257, 260	TCSRV	127, 253, 256, 258
LVDcR.....	241, 252, 255, 258	TCSRWD.....	166, 253, 256, 259
LVDsR	242, 252, 255, 258	TCWD.....	167, 253, 256, 259

TDR.....	171, 253, 256, 259	TMB1.....	120, 252, 255, 258
TIERW	143, 252, 255, 258	TMRW	141, 252, 255, 258
TIOR0	145, 252, 255, 258	TMWD	167, 253, 256, 259
TIOR1	146, 252, 255, 258	TSR	171
TLB1	120, 252, 255, 258	TSRW.....	143, 252, 255, 258

修订记录	H8/36912 群、H8/36902 群 硬件手册
------	----------------------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2005.09.28	—	初版发行

瑞萨16位单片机

用户手册

H8/36912群、H8/36902群

Publication Date: 1st Edition, September, 2005
Rev.1.00, September 28, 2005

Published by: Sales Strategic Planning Div.
Renesas Technology Corp.

Edited by: Customer Support Department
Global Strategic Communication Div.
Renesas Solutions Corp.

© 2005. Renesas Technology Corp., All rights reserved. Printed in Japan.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, United Kingdom
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 2607 Ruijing Building, No.205 Maoming Road (S), Shanghai 200020, China
Tel: <86> (21) 6472-1001, Fax: <86> (21) 6415-2952

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2730-6071

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> 2-796-3115, Fax: <82> 2-796-2145

Renesas Technology Malaysia Sdn. Bhd.

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510



H8/36912群,H8/36902群

RENESAS

瑞萨电子株式会社

RCJ09B0010-0100