

V850E2/FF4-M

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

- 対象者** このマニュアルは、V850E2/FF4-M の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示す V850E2/FF4-M のハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E2/FF4-M のユーザズ・マニュアルは、このマニュアルと V850E2/Fx4 ユーザズ・マニュアル ハードウェア編と、アーキテクチャ編 (V850E2M ユーザズ・マニュアル アーキテクチャ編) の 3 冊に分かれています。
- このマニュアルには、主に V850E2/FG4 からの差分を記載していますので、記載のない内容は V850E2/Fx4 ユーザズ・マニュアル ハードウェア編を参照ください。
- | | |
|--------------------|-----------------|
| ハードウェア編 | アーキテクチャ編 |
| ・端子機能 | ・データ・タイプ |
| ・CPU 機能 | ・レジスタ・セット |
| ・内蔵周辺機能 | ・命令形式と命令セット |
| ・フラッシュ・メモリ・プログラミング | ・割り込みと例外 |
| | ・パイプラインの動作 |
- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。
- 一通り V850E2/FF4-M の機能を理解しようとするとき
- 目次に従ってお読みください。
- 命令機能の詳細を理解しようとするとき
- 別冊の V850E2M ユーザズ・マニュアル アーキテクチャ編を参照してください。

目 次

第 1 章	概説	8
1.1	V850E2/FF4-M 製品の概要	8
1.1.1	V850E2/FF4-M の機能	8
1.2	関連資料	12
1.3	オーダ情報	12
第 2 章	端子機能	13
2.1	特徴	13
2.2	概説	14
2.3	ポート・グループ・コンフィギュレーション・レジスタ	14
2.4	V850E2/FF4-M ポート・グループ構成	14
2.4.1	V850E2/FF4-M ポート機能	15
2.4.2	アルファベット順端子機能一覧	21
2.4.3	リセット期間中／解除後, スタンバイ・モード期間中／ 解除後のポート機能	25
2.4.4	未使用端子の推奨接続	25
2.5	ポート・フィルタ	26
第 3 章	CPU システム機能	27
3.1	概要	27
3.2	メモリ	30
3.2.1	DMA アクセス・メモリ・マップ	30
3.2.2	V850E2/FF4-M メモリ・マップ	31
3.2.3	メモリ領域	32
第 4 章	割り込み機能	34
4.1	V850E2/FF4-M 割り込み要因	34
4.1.1	V850E2/FF4-M 割り込み要因	34
第 5 章	DMA 機能	42
第 6 章	フラッシュ・メモリ	46
6.1	コード・フラッシュ・メモリ概要	47
6.1.1	コード・フラッシュ・メモリ・マッピング	47
6.1.2	データ・フラッシュ・メモリ・マッピング	48
6.2	コード・フラッシュ・セルフ・プログラミング	49
6.2.1	安全なセルフ・プログラミング (ブート・クラスタ・スワップ)	49
第 7 章	データ CRC 機能 (DCRA)	52
第 8 章	クロック・コントローラ	53
8.1	Always-On エリアのクロック・ドメイン	53
8.2	Isolated エリア 0 のクロック・ドメイン	56
8.3	Isolated エリア 1 のクロック・ドメイン	60

第 9 章	スタンバイ・コントローラ (STBC)	63
第 10 章	コード保護とセキュリティ	64
第 11 章	リセット・コントローラ	65
第 12 章	OS タイマ (OSTM)	66
第 13 章	ウインドウ・ウォッチドッグ・タイマ A (WDTA)	67
第 14 章	タイマ・アレイ・ユニット A (TAUA)	68
	14.1 V850E2/FF4-M の TAUA の特徴	68
	14.2 TAUA 入出力選択	69
	14.2.1 TAUA0 入力の選択	69
	14.2.2 TAUA0 出力の選択	79
第 15 章	タイマ・アレイ・ユニット B (TAUB)	82
	15.1 V850E2/FF4-M の TAUB の特徴	82
	15.2 TAUB 入力選択	83
	15.2.1 TAUB1 入力の選択	83
第 16 章	タイマ・アレイ・ユニット J (TAUJ)	85
	16.1 V850E2/FF4-M の TAUJ の特徴	85
	16.2 TAUJ 入力選択	86
	16.2.1 TAUJ0 入力の選択	86
第 17 章	タイマ・オプション機能 (TAPA)	88
	17.1 V850E2/FF4-M のタイマ・オプション機能の特徴	88
第 18 章	エンコーダ・タイマ (ENCA)	89
	18.1 V850E2/FF4-M の ENCA の機能	89
第 19 章	アシンクロナス・シリアル・インタフェース E (UARTE _n)	90
	19.1 V850E2/FF4-M の UARTE _n の機能	90
第 20 章	LIN マスタ・コントローラ (LMA)	91
	20.1 V850E2/FF4-M の LMA _n の特徴	91
第 21 章	CAN コントローラ (FCN)	92
	21.1 V850E2/FF4-M の FCN 機能	92
第 22 章	クロック同期シリアル・インタフェース G (CSIG)	93
第 23 章	I ² C バス (I ² CB)	94

第 24 章	乱数ジェネレータ A (RNGA)	95
第 25 章	キー・リターン機能 (KR)	96
第 26 章	A/D コンバータ (ADCA)	97
	26.1 V850E2/FF4-M ADCA の特徴	97
第 27 章	Peripheral Interconnection (PIC)	98
第 28 章	オンチップ・デバッグ・ユニット (OCD)	99
第 29 章	バウンダリ・スキャン	100
第 30 章	電源	101

第 1 章 概説

1.1 V850E2/FF4-M 製品の概要

1.1.1 V850E2/FF4-M の機能

各製品の機能一覧を示します。

(1) V850E2/FF4-M 製品概要

表 1-1 V850E2/FF4-M 製品一覧 (1/2)

愛称		FF4-M-256K	FF4-M-384K	FF4-M-512K
品名		μPD70F3543	μPD70F3544	μPD70F3545
内蔵メモリ	コード・フラッシュ	256 KB	384 KB	512 KB
	データ・フラッシュ	32 KB		
	RAM	32 KB	40 KB	48 KB
	バックアップ RAM	4 KB		
CPU	CPU システム		V850E2M	
	FPU		あり	
	CPU 周波数		80 MHz max.	
	システム保護機能 (SPF)	MPU	あり	
		SRP	あり	
		TSU	あり	
PPU		あり		
命令キャッシュ		8 KB/ 2 way associative (4 KB/ way)		
DMA		8 チャンネル		
動作クロック	メイン・クロック発振回路 (MainOsc)		4 MHz ~ 20 MHz	
	低速内蔵発振回路 (LS IntOsc)		240 kHz typ.	
	高速内蔵発振 (HS IntOsc)		8 MHz typ.	
	PLL0 (SSCG0)		80 MHz max.	
	PLL1		80 MHz max.	
I/O ポート		49		
A/D コンバータ (ADCA)		12 チャンネル, 12/10 ビット, 6 S & H		
タイマ	タイマ・アレイ・ユニット A (TAUA), 16 ビット		1 ユニット x 16 チャンネル	
	タイマ・アレイ・ユニット B (TAUB), 16 ビット		1 ユニット x 16 チャンネル	
	タイマ・アレイ・ユニット J (TAUJ), 32 ビット		1 ユニット x 4 チャンネル	
	ウインドウ・ウォッチドッグ・タイマ (WDTA)		2 チャンネル	
	OS タイマ (OSTM)		1 チャンネル	
	モータ制御 (TAPA)		1 チャンネル	
	エンコーダ・タイマ (ENCA)		1 チャンネル	
シリアル・インタフェース	CAN (FCN)		1 チャンネル (64 メッセージ・バッファ)	
	LIN マスタ・コントローラ付き UART (LMA, URTE)		3 チャンネル	
	CSI (CSIG)		2 チャンネル	
	FIFO 付き CSI (CSIH)		-	
	I ² C (IICB)		1 チャンネル	

表 1-1 V850E2/FF4-M 製品一覧 (2/2)

愛 称		FF4-M-256K	FF4-M-384K	FF4-M-512K
品 名		μPD70F3543	μPD70F3544	μPD70F3545
割り込み	マスカブル	外部	11	
		内部	84	
	ノンマスカブル (NMI)	外部	1	
		内部	-	
その他の機能	パワーオン・クリア		あり	
	クロック・モニタ (CLMA)		メイン・クロック, 高速内蔵発振, PLL0 監視可能	
	ランダム・ナンバ・ジェネレータ (RNGA)		1 チャンネル	
	データ CRC (DCRA)		1 チャンネル	
	キー割り込み (KR)		8 チャンネル	
	ウエイクアップ信号出力		a_1	
	補助周波数出力 (FOUT)		あり	
	オンチップ・デバッグ		あり	
電源		$V_{POC}^2 \sim 5.5 V^1$		
動作温度		$-40^\circ C \sim +125^\circ C^1$		
パッケージ		80-pin LQFP		

1) データシート参照

2) 2.9V +/-0.1V.

注意 V850E2/Fx4 ユーザーズマニュアルハードウェア編を参照する場合は、この表で、機能の有無、チャンネル数をご確認ください。

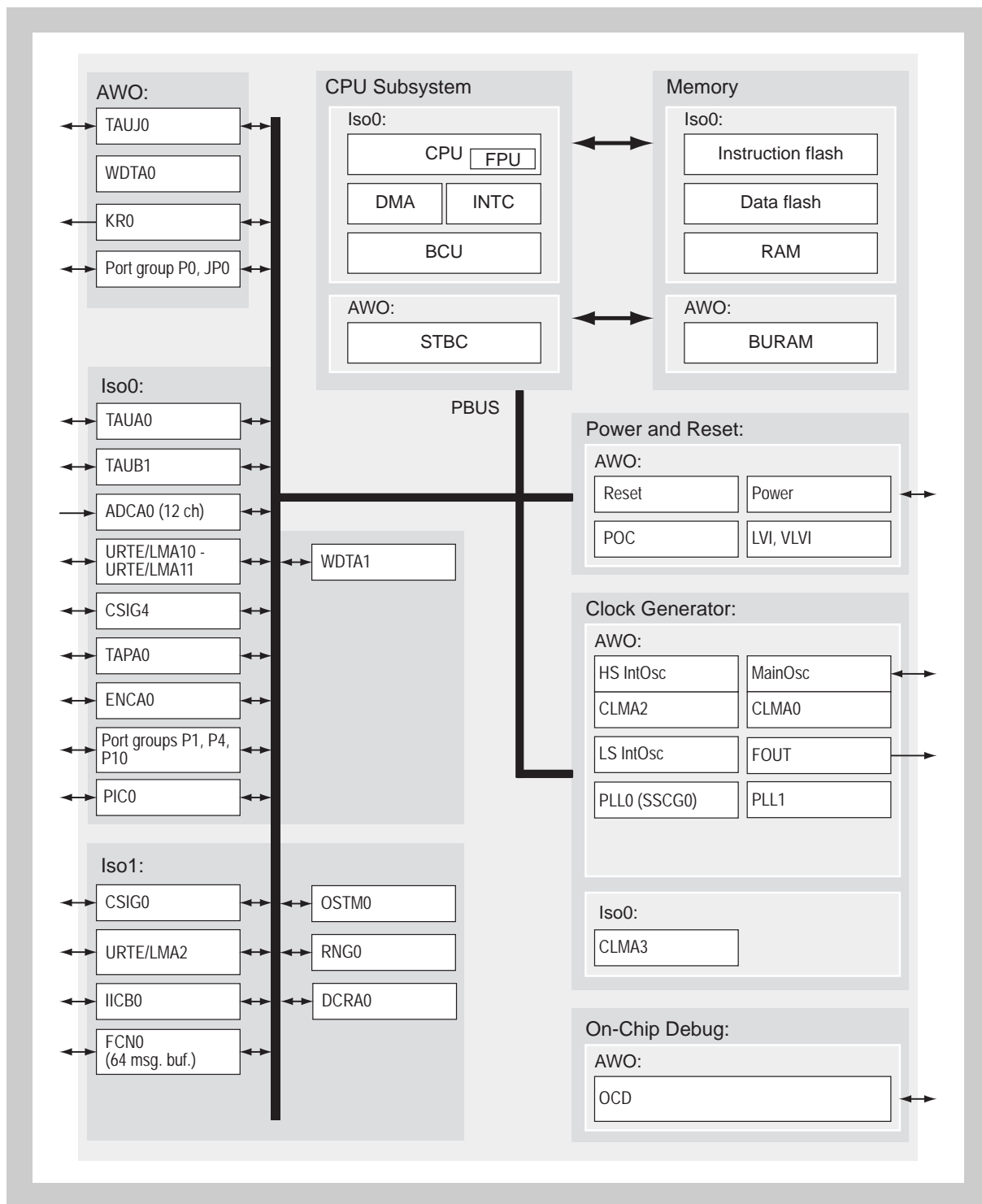


図 1-1 V850E2/FF4-M のブロック図

1.2 関連資料

表 1-2 関連資料一覧

資料番号	タイトル
R01US0001J	V850E2M ユーザーズマニュアル アーキテクチャ編
R01UH0013J	V850E2/Fx4 ユーザーズマニュアル ハードウェア編

1.3 オーダ情報

表 1-3 V850E2/FF4-M オーダ情報

オーダ名称	パッケージ	内蔵コード・フラッシュ	内蔵ローカルRAM	品質水準	備考
μPD70F3543M1GKA-GAK-AX	80 ピン・プラスチック LQFP (ファインピッチ) (12×12)	256 K バイト	32 K バイト	(A)	
μPD70F3543M1GKA1-GAK-AX				(A1)	
μPD70F3543M1GKA2-GAK-AX				(A2)	
μPD70F3544M1GKA-GAK-AX		384 K バイト	40 K バイト	(A)	
μPD70F3544M1GKA1-GAK-AX				(A1)	
μPD70F3544M1GKA2-GAK-AX				(A2)	
μPD70F3545M1GKA-GAK-AX		512 K バイト	48 K バイト	(A)	
μPD70F3545M1GKA1-GAK-AX				(A1)	
μPD70F3545M1GKA2-GAK-AX				(A2)	

備考 1. 各品質水準の動作周囲温度は次のとおりです。

(A) 品 : - 40 ~ + 85 °C

(A1) 品 : - 40 ~ + 110 °C

(A2) 品 : - 40 ~ + 125 °C

2. オーダ名称末尾「-AX」の製品は、鉛フリー製品です。

第2章 端子機能

この章では、ポート機能の一般的な内容について説明します。

2.1 特徴

ポート・グループ この製品には下記番号のポート・グループがあります。

表 2-1 V850E2/FF4-M のポート・グループ

ポート・グループ	V850E2/FF4-M
数	5
名称	P0, P1, P4, P10, JP0

ポート・グループ・インデクス n この章を通して、個々のポート・グループはインデクス "n" ($n = 0, 1, 4, 10$) により識別されます。たとえば、Pn 端子のポート・モード・コントロール・レジスタは PMCN です。

レジスタ・アドレス すべてのポートと JTAG ポートのコントロール・レジスタのアドレスは、それぞれのベース・アドレス <PORTn_base> と <JPORn_base> からのオフセット・アドレスとして与えられます。
ベース・アドレスの <PORTn_base> と <JPORn_base> は下表に示します。

表 2-2 ポート・ベース・アドレス <PORTn_base> および <JPORn_base>

<PORTn_base> アドレス	<JPORn_base> アドレス
FF40 0000 _H	FF44 0000 _H

2.2 概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポート・グループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

詳細は V850E2/Fx4 ユーザーズマニュアル ハードウェア編を参照してください。

2.3 ポート・グループ・コンフィギュレーション・レジスタ

V850E2/Fx4 との共通内容となります。

V850E2/Fx4 ユーザーズマニュアル ハードウェア編を参照してください。

2.4 V850E2/FF4-M ポート・グループ構成

この節では次の説明をします。

- ポートレジスタ保護機能の概要。詳細は V850E2/Fx4 ユーザーズマニュアル ハードウェア編 2.4.1 「ポート・レジスタ保護」を参照してください。
- ポート機能の基本的なことの説明。
詳細は V850E2/Fx4 ユーザーズマニュアル ハードウェア編 2.4.2 「ポート機能概要」を参照してください。
- すべての各製品のポート・グループと関連の制御レジスタ。
詳細は 2.4.1 「V850E2/FF4-M ポート機能」以降を参照してください。
- アルファベット順の兼用機能と割り当てられているポートの一覧は、2.4.2 「アルファベット順端子機能一覧」を参照してください。
- リセット期間中／解除後、スタンバイ・モード期間中／解除後のポート機能については、2.4.3 「リセット期間中／解除後、スタンバイ・モード期間中／解除後のポート機能」を参照してください。

2.4.1 V850E2/FF4-M ポート機能

V850E2/FF4-M のポート機能およびその兼用機能とポート制御レジスタについて示します。

(1) 汎用 I/O 機能

V850E2/FF4-M のポート機能と兼用機能について表 2-3 「V850E2/FF4-M の汎用 I/O 機能」に示します。

PMCn_m, PFCn_m, PFCEn_m と PMn_m を制御することによって異なったモードにすることが可能です。

表 2-3 V850E2/FF4-M の汎用 I/O 機能 (1/2)

ポート・モード	兼用機能							
PMCn_m = 0	PMCn_m = 1							
	PFCEn_m = 0, PFCn_m = 0		PFCEn_m = 0, PFCn_m = 1		PFCEn_m = 1, PFCn_m = 0		PFCEn_m = 1, PFCn_m = 1	
	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0	PMn_m = 1	PMn_m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
ポート・グループ 0:								
P0_0					ADCA0TRG0		INTP0	
P0_1			CSIG4DCS	CSIG4SO ^a	URTE2RX		INTP1	TAUA001
P0_2			CSIG4SI		ADCA0TRG2	URTE2TX	INTP2	TAUA002
P0_3			CSIG4SC ^a		ADCA0TRG1		INTP3/ TAPA0ESO	
P0_4		FCN0TX					INTP11	
P0_5	FCN0RX						INTP12	
P0_6		URTE11TX	KR011		NMI			
P0_7	URTE11RX		KR012		INTP4			
P0_8		URTE10TX	KR013		INTP5	TAUA005	IICB0SDA	
P0_9	URTE10RX		KR014		INTP6	TAUA006	IICB0SCL	
P0_12	TAUJ010	TAUJ000	KR010		INTP8			CSCXFOUT
P0_13	TAUJ011	TAUJ001	KR015		INTP7		CSIG0SI	
P0_14	TAUJ012	TAUJ002	KR016			TAUB1013	CSIG0DCS	CSIG0SO ^a
P0_15	TAUJ013	TAUJ003	KR017			TAUB1014	CSIG0SC ^a	
ポート・グループ 1:								
P1_1	TAUA011	TAUA001			ENCA0AIN			FCN0TX
P1_2	TAUA012	TAUA002			ENCA0BIN	TAPA0UP		
P1_3	TAUA013	TAUA003			ENCA0ZIN	TAPA0UN		
P1_4	TAUA014	TAUA004			ENCA0TIN0	TAPA0VP		
P1_5	TAUA015	TAUA005			ENCA0TIN1	TAPA0VN		
P1_6	TAUA016	TAUA006				TAPA0WP		
P1_7	TAUA017	TAUA007				TAPA0WN	FCN0RX	
P1_8	TAUA018	TAUA008						
P1_9	TAUA019	TAUA009	INTP3					
P1_10	TAUA010	TAUA0010					INTP4	
P1_11	TAUA011	TAUA0011					INTP5	
P1_12	TAUA012	TAUA0012					INTP6	

表 2-3 V850E2/FF4-M の汎用 I/O 機能 (2/2)

ポート・モード	兼用機能							
PMc _n _m = 0	PMc _n _m = 1							
	PFCE _n _m = 0, PFC _n _m = 0		PFCE _n _m = 0, PFC _n _m = 1		PFCE _n _m = 1, PFC _n _m = 0		PFCE _n _m = 1, PFC _n _m = 1	
	PM _n _m = 1	PM _n _m = 0	PM _n _m = 1	PM _n _m = 0	PM _n _m = 1	PM _n _m = 0	PM _n _m = 1	PM _n _m = 0
	ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4
ポート・グループ 4:								
P4_0	TAUB111	TAUB101	TAUA0113	TAUA0013				
P4_1	TAUB112	TAUB102	TAUA0114	TAUA0014			URTE2RX	
P4_2	TAUB113	TAUB103	TAUA0115	TAUA0015				URTE2TX
P4_3	TAUB115	TAUB105	CSIG0SI	URTE10TX				
P4_4	INTP2	TAUB106	URTE10RX	CSIG0SO ^a			ENCA0TIN0	
P4_5	TAUB117	TAUB107	CSIG0SC ^a		KR0I3		ENCA0TIN1	
P4_6	TAUB119	TAUB109	CSIG4SI	URTE11TX	KR0I2		ENCA0AIN	
P4_7	INTP4	TAUB1010	URTE11RX	CSIG4SO ^a	KR0I1		ENCA0BIN	
P4_8	TAUB1111	TAUB1011	CSIG4SC ^a		KR0I0		ENCA0ZIN	
P4_9	TAUB1113	TAUB1013						
P4_10	TAUB1114	TAUB1014						
ポート・グループ 10:								
P10_6								
P10_7								
P10_8								
P10_9	ADCA0TRG0							
P10_10	ADCA0TRG1							
P10_11	ADCA0TRG2							
ポート・グループ JP0^b:								
JP0_0	INTP0		TAUJ0I0	TAUJ0O0				
JP0_1	INTP1		TAUJ0I1	TAUJ0O1				
JP0_2	INTP2	CSCXFOUT	TAUJ0I2	TAUJ0O2				
JP0_3	INTP3		TAUJ0I3	TAUJ0O3				
JP0_4								
JP0_5	NMI							

a) この兼用モードを使用する場合、PIPC_n.PIPC_n_m = 1 に設定してください。入出力に設定でき、PM_n_m レジスタの影響を受けなくなります。

b) JP0_0 - JP0_2 については、フラッシュ書き込み時に使用します。
JP0_0 - JP0_5 については、デバッグ時に使用します。
詳細は、V850E2/Fx4 ユーザーズマニュアル ハードウェア編を参照してください。

(2) V850E2/FF4-M ポート制御レジスタ

V850E2/FF4-M のポートを制御するレジスタとそのアドレス、初期値について示します。

表凡例 A : レジスタ・アドレス

I : 初期値

B : 有効ビット

– 1 : 有効 X : 無効

– 右側 : ビット 0, 左側 : 最上位ビット

表 2-4 V850E2/FF4-M ポート制御レジスタ (グループ 0, 1, 4, 10) (1/2)

レジスタ		ポート・グループ n =			
		0	1	4	10
Pn	A:	FF40 0000 _H	FF40 0004 _H	FF40 0010 _H	FF40 0028 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	XXXX 1111 11XX XXXX
PSRn	A:	FF40 0100 _H	FF40 0104 _H	FF40 0110 _H	FF40 0128 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 XX11 1111 1111 1111 XX11 1111 1111	XXX1 1111 1111 111X XXX1 1111 1111 111X	XXXX X111 1111 1111 XXXX X111 1111 1111	XXXX 1111 11XX XXXX XXXX 1111 11XX XXXX
PNOTn	A:	FF40 0700 _H	FF40 0704 _H	FF40 0710 _H	FF40 0728 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	XXXX 1111 11XX XXXX
PPRn	A:	FF40 0200 _H	FF40 0204 _H	FF40 0210 _H	FF40 0228 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	XXXX 1111 11XX XXXX
PMn	A:	FF40 0300 _H	FF40 0304 _H	FF40 0310 _H	FF40 0328 _H
	I:	FFFE _H	FFFF _H	FFFF _H	FFFF _H
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	XXXX 1111 11XX XXXX
PMCn	A:	FF40 0400 _H	FF40 0404 _H	FF40 0410 _H	FF40 0428 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	XXXX 111X XXXX XXXX
PFCn	A:	FF40 0500 _H	FF40 0504 _H	FF40 0510 _H	—
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	
PFCEn	A:	FF40 0600 _H	FF40 0604 _H	FF40 0610 _H	—
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 XX11 1111 1111	XXX1 11XX 1111 111X	XXXX XXX1 1111 X11X	
PMSRn	A:	FF40 0800 _H	FF40 0804 _H	FF40 0810 _H	FF40 0828 _H
	I:	0000 FFFE _H	0000 FFFF _H	0000 FFFF _H	0000 FFFF _H
	B:	1111 XX11 1111 1111 1111 XX11 1111 1111	XXX1 1111 1111 111X XXX1 1111 1111 111X	XXXX X111 1111 1111 XXXX X111 1111 1111	XXXX 1111 11XX XXXX XXXX 1111 11XX XXXX
PMCSRn	A:	FF40 0900 _H	FF40 0904 _H	FF40 0910 _H	FF40 0928 _H
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	1111 XX11 1111 1111 1111 XX11 1111 1111	XXX1 1111 1111 111X XXX1 1111 1111 111X	XXXX X111 1111 1111 XXXX X111 1111 1111	XXXX 111X XXXX XXXX XXXX 111X XXXX XXXX

表 2-4 V850E2/FF4-M ポート制御レジスタ (グループ 0, 1, 4, 10) (2/2)

レジスタ		ポート・グループ n =			
		0	1	4	10
PIBCn	A:	FF40 4000 _H	FF40 4004 _H	FF40 4010 _H	FF40 4028 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	XXXX 1111 11XX XXXX
PBDCn	A:	FF40 4100 _H	FF40 4104 _H	FF40 4110 _H	FF40 4128 _H
	I:	0000 _H	0000 _H	0000 _H	0000 _H
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	XXXX 1111 11XX XXXX
PIPCn	A:	FF40 4200 _H	FF40 4204 _H	FF40 4210 _H	—
	I:	0000 _H	0000 _H	0000 _H	
	B:	11XX XXXX XXXX 1X1X	XXXX XXXX X111 111X	XXXX XXX1 1X11 XXXX	
PUn	A:	FF40 4300 _H	FF40 4304 _H	FF40 4310 _H	—
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	
PDn	A:	FF40 4400 _H	FF40 4404 _H	FF40 4410 _H	—
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	
PODCn	A:	FF40 4500 _H	FF40 4504 _H	FF40 4510 _H	FF40 4528 _H
	I:	0000 0001 _H	0000 0000 _H	0000 0000 _H	0000 0000 _H
	B:	XXXX XXXX XXXX XXXX 1111 XX11 1111 1111	XXXX XXXX XXXX XXXX XXX1 1111 1111 111X	XXXX XXXX XXXX XXXX XXXX X111 1111 1111	XXXX XXXX XXXX XXXX XXXX 1111 11XX XXXX
PDSCn	A:	FF40 4600 _H	FF40 4604 _H	FF40 4610 _H	—
	I:	0000 0000 _H	0000 0000 _H	0000 0000 _H	
	B:	XXXX XXXX XXXX XXXX 1111 XX11 1111 1111	XXXX XXXX XXXX XXXX XXX1 1111 1111 111X	XXXX XXXX XXXX XXXX XXXX X111 1111 1111	
PISn	A:	FF40 4700 _H	FF40 4704 _H	FF40 4710 _H	—
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	
PISEn	A:	FF40 4800 _H	FF40 4804 _H	FF40 4810 _H	—
	I:	0000 _H	0000 _H	0000 _H	
	B:	1111 XX11 1111 1111	XXX1 1111 1111 111X	XXXX X111 1111 1111	
PPCMDn	A:	FF40 4C00 _H	FF40 4C04 _H	FF40 4C10 _H	FF40 4C28 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	1111 1111	1111 1111	1111 1111	1111 1111
PPROTSn	A:	FF40 4B00 _H	FF40 4B04 _H	FF40 4B10 _H	FF40 4B28 _H
	I:	00 _H	00 _H	00 _H	00 _H
	B:	XXXX XXX1	XXXX XXX1	XXXX XXX1	XXXX XXX1

注意 各レジスタの詳細は、V850E2/Fx4 ユーザーズマニュアル ハードウェア編
2.3 ポート・グループ・コンフィギュレーション・レジスタを参照ください。

表 2-5 V850E2/FF4-M ポート制御レジスタ (グループ JP) (1/2)

レジスタ	ポート・グループ n =	
	JP	
JPn	A:	FF44 0000 _H
	I:	00 _H
	B:	XX11 1111
JPSRn	A:	FF44 0010 _H
	I:	0000 0000 _H
	B:	XXXX XXXX XX11 1111 XXXX XXXX XX11 1111
JPNOTn	A:	FF44 0070 _H
	I:	00 _H
	B:	XX11 1111
JPPRn	A:	FF44 0020 _H
	I:	00 _H
	B:	XX11 1111
JPMn	A:	FF44 0030 _H
	I:	FF _H
	B:	XX11 1111
JPMCn	A:	FF44 0040 _H
	I:	00 _H
	B:	XX1X 1111
JPFCn	A:	FF44 0500 _H
	I:	00 _H
	B:	XXXX 1111
JPFCEn	A:	—
	I:	
	B:	
JPMSRn	A:	FF44 0080 _H
	I:	0000 00FF _H
	B:	XXXX XXXX XX11 1111 XXXX XXXX XX11 1111
JPMCSRn	A:	FF44 0090 _H
	I:	0000 0000 _H
	B:	XXXX XXXX XX1X 1111 XXXX XXXX XX1X 1111
JPIBCn	A:	FF44 0400 _H
	I:	00 _H
	B:	XX11 1111
JPBDCn	A:	FF44 0410 _H
	I:	00 _H
	B:	XX11 1111
JPIPCn	A:	—
	I:	
	B:	
JPU _n	A:	FF44 0430 _H
	I:	00 _H
	B:	XX11 1111

表 2-5 V850E2/FF4-M ポート制御レジスタ (グループ JP) (2/2)

レジスタ	ポート・グループ n =	
	JP	
JPDn	A:	FF44 0440 _H
	I:	00 _H
	B:	XX11 1111
JPODCn	A:	FF44 0450 _H
	I:	0000 0000 _H
	B:	XXXX XXXX XXXX XXXX XXXX XXXX XX11 1111
JPDSCn	A:	FF44 0460 _H
	I:	0000 0000 _H
	B:	XXXX XXXX XXXX XXXX XXXX XXXX XX11 1111
JPISn	A:	FF44 0470 _H
	I:	00 _H
	B:	XX11 1111
JPISEn	A:	FF44 0480 _H
	I:	00 _H
	B:	XX11 1111
JPPCMDn	A:	FF44 04C0 _H
	I:	00 _H
	B:	1111 1111
JPPROTSn	A:	FF44 04B0 _H
	I:	00 _H
	B:	XXXX XXX1

注意 各レジスタの詳細は、V850E2/Fx4 ユーザーズマニュアル ハードウェア編
2.3 ポート・グループ・コンフィギュレーション・レジスタを参照ください。

2.4.2 アルファベット順端子機能一覧

アルファベット順の兼用機能と割り当てられているポートの一覧を次に示します。

表 2-6 アルファベット順端子機能一覧 (1/4)

端子名	I/O	端子機能	ポート
ADCA0I0	I	A/D コンバータ 0 入力チャンネル 0	–
ADCA0I1	I	A/D コンバータ 0 入力チャンネル 1	–
ADCA0I2	I	A/D コンバータ 0 入力チャンネル 2	–
ADCA0I3	I	A/D コンバータ 0 入力チャンネル 3	–
ADCA0I4	I	A/D コンバータ 0 入力チャンネル 4	–
ADCA0I5	I	A/D コンバータ 0 入力チャンネル 5	–
ADCA0I6	I	A/D コンバータ 0 入力チャンネル 6	P10_6
ADCA0I7	I	A/D コンバータ 0 入力チャンネル 7	P10_7
ADCA0I8	I	A/D コンバータ 0 入力チャンネル 8	P10_8
ADCA0I9	I	A/D コンバータ 0 入力チャンネル 9	P10_9
ADCA0I10	I	A/D コンバータ 0 入力チャンネル 10	P10_10
ADCA0I11	I	A/D コンバータ 0 入力チャンネル 11	P10_11
ADCA0TRG0	I	A/D コンバータ 0 トリガ 0	P0_0, P10_9
ADCA0TRG1	I	A/D コンバータ 0 トリガ 1	P0_3, P10_10
ADCA0TRG2	I	A/D コンバータ 0 トリガ 2	P0_2, P10_11
A0VDD	–	A/D コンバータ 0 電源	–
A0VREFM	–	A/D コンバータ 0 基準電圧 (–)	–
A0VREFP	–	A/D コンバータ 0 基準電圧 (+)	–
A0VSS	–	A/D コンバータ 0 グランド	–
CSCXFOUT	O	クロック制御 FOUT	P0_12
CSIG0SC	I/O	CSIG 0 データ・クロック	P0_15, P4_5
CSIG0SI	I	CSIG 0 シリアル・データ入力	P0_13, P4_3
CSIG0SO	O	CSIG 0 シリアル・データ出力	P0_14, P4_4
CSIG4SC	I/O	CSIG 4 データ・クロック	P0_3, P4_8
CSIG4SI	I	CSIG 4 シリアル・データ入力	P0_2, P4_6
CSIG4SO	O	CSIG 4 シリアル・データ出力	P0_1, P4_7
DCURDY	O	デバッグ・レディ信号	JP0_5
DCUTCK	I	デバッグ・クロック入力	JP0_2
DCUTDI	I	デバッグ・データ入力	JP0_0
DCUTDO	O	デバッグ・データ出力	JP0_1
DCUTMS	I	デバッグ・モード選択	JP0_3
DCUTRST	I	デバッグ・リセット	JP0_4
ENCA0AIN	I	ENCA0 エンコーダ入力 (フェーズ A)	P1_1, P4_6
ENCA0BIN	I	ENCA0 エンコーダ入力 (フェーズ B)	P1_2, P4_7
ENCA0TIN0	I	ENCA0 キャプチャ・トリガ入力 0	P1_4, P4_4
ENCA0TIN1	I	ENCA0 キャプチャ・トリガ出力 1	P1_5, P4_5
ENCA0ZIN	I	ENCA0 エンコーダ入力 (フェーズ Z)	P1_3, P4_8

表 2-6 アルファベット順端子機能一覧 (2/4)

端子名	I/O	端子機能	ポート
EnVDD	-	ポート・バッファ電源	-
EnVSS	-	ポート・バッファ・グラウンド	-
FCN0RX	I	CAN0 受信入力	P0_5, P1_7
FCN0TX	O	CAN0 送信出力	P0_4, P1_1
FLMD0	I	動作モード選択端子 0	-
FLMD1	I	動作モード選択端子 1	P0_1
FVDD	-	フラッシュ電源	-
IICB0SCL	I/O	I ² C 0 クロック信号	P0_9
IICB0SDA	I/O	I ² C 0 データ/アドレス信号	P0_8
INTP0	I	外部割り込み入力 0	P0_0, JP0_0
INTP1	I	外部割り込み入力 1	P0_1, JP0_1
INTP2	I	外部割り込み入力 2	P0_2, P4_4, JP0_2
INTP3	I	外部割り込み入力 3	P0_3, P1_9, JP0_3
INTP4	I	外部割り込み入力 4	P0_7 P1_10, P4_7
INTP5	I	外部割り込み入力 5	P0_8, P1_11
INTP6	I	外部割り込み入力 6	P0_9, P1_12,
INTP7	I	外部割り込み入力 7	P0_13
INTP8	I	外部割り込み入力 8	P0_12
INTP11	I	外部割り込み入力 11	P0_4
INTP12	I	外部割り込み入力 12	P0_5
KR0I0	I	キー・リターン入力 0	P0_12, P4_8
KR0I1	I	キー・リターン入力 1	P0_6, P4_7
KR0I2	I	キー・リターン入力 2	P0_7, P4_6
KR0I3	I	キー・リターン入力 3	P0_8, P4_5
KR0I4	I	キー・リターン入力 4	P0_9
KR0I5	I	キー・リターン入力 5	P0_13
KR0I6	I	キー・リターン入力 6	P0_14
KR0I7	I	キー・リターン入力 7	P0_15
NMI	I	外部ノンマスクابل割り込み	P0_6, JP0_5
OSCVDD	-	OSC 電源	-
OSCVSS	-	OSC グラウンド	-
REGnC	-	電圧レギュレータ容量接続	-
REGnVDD	-	電圧レギュレータ入力	-
REGnVSS	-	電圧レギュレータ・グラウンド	-
RESET	I	外部リセット入力	-
RESETOUT	O	リセット出力	P0_0
TAUA0I1	I	タイマ・アレイ・ユニット A0 チャンネル 1 入力	P1_1
TAUA0I2	I	タイマ・アレイ・ユニット A0 チャンネル 2 入力	P1_2
TAUA0I3	I	タイマ・アレイ・ユニット A0 チャンネル 3 入力	P1_3
TAUA0I4	I	タイマ・アレイ・ユニット A0 チャンネル 4 入力	P1_4
TAUA0I5	I	タイマ・アレイ・ユニット A0 チャンネル 5 入力	P1_5

表 2-6 アルファベット順端子機能一覧 (3/4)

端子名	I/O	端子機能	ポート
TAUA0I6	I	タイマ・アレイ・ユニット A0 チャンネル 6 入力	P1_6
TAUA0I7	I	タイマ・アレイ・ユニット A0 チャンネル 7 入力	P1_7
TAUA0I8	I	タイマ・アレイ・ユニット A0 チャンネル 8 入力	P1_8
TAUA0I9	I	タイマ・アレイ・ユニット A0 チャンネル 9 入力	P1_9
TAUA0I10	I	タイマ・アレイ・ユニット A0 チャンネル 10 入力	P1_10
TAUA0I11	I	タイマ・アレイ・ユニット A0 チャンネル 11 入力	P1_11
TAUA0I12	I	タイマ・アレイ・ユニット A0 チャンネル 12 入力	P1_12
TAUA0I13	I	タイマ・アレイ・ユニット A0 チャンネル 13 入力	P4_0
TAUA0I14	I	タイマ・アレイ・ユニット A0 チャンネル 14 入力	P4_1
TAUA0I15	I	タイマ・アレイ・ユニット A0 チャンネル 15 入力	P4_2
TAUA0O1	O	タイマ・アレイ・ユニット A0 チャンネル 1 出力	P0_1, P1_1
TAUA0O2	O	タイマ・アレイ・ユニット A0 チャンネル 2 出力	P0_2, P1_2
TAUA0O3	O	タイマ・アレイ・ユニット A0 チャンネル 3 出力	P1_3
TAUA0O4	O	タイマ・アレイ・ユニット A0 チャンネル 4 出力	P1_4
TAUA0O5	O	タイマ・アレイ・ユニット A0 チャンネル 5 出力	P0_8, P1_5
TAUA0O6	O	タイマ・アレイ・ユニット A0 チャンネル 6 出力	P0_9, P1_6
TAUA0O7	O	タイマ・アレイ・ユニット A0 チャンネル 7 出力	P1_7
TAUA0O8	O	タイマ・アレイ・ユニット A0 チャンネル 8 出力	P1_8
TAUA0O9	O	タイマ・アレイ・ユニット A0 チャンネル 9 出力	P1_9
TAUA0O10	O	タイマ・アレイ・ユニット A0 チャンネル 10 出力	P1_10
TAUA0O11	O	タイマ・アレイ・ユニット A0 チャンネル 11 出力	P1_11
TAUA0O12	O	タイマ・アレイ・ユニット A0 チャンネル 12 出力	P1_12
TAUA0O13	O	タイマ・アレイ・ユニット A0 チャンネル 13 出力	P4_0
TAUA0O14	O	タイマ・アレイ・ユニット A0 チャンネル 14 出力	P4_1
TAUA0O15	O	タイマ・アレイ・ユニット A0 チャンネル 15 出力	P4_2
TAUB1I1	I	タイマ・アレイ・ユニット B1 チャンネル 1 入力	P4_0
TAUB1I2	I	タイマ・アレイ・ユニット B1 チャンネル 2 入力	P4_1
TAUB1I3	I	タイマ・アレイ・ユニット B1 チャンネル 3 入力	P4_2
TAUB1I5	I	タイマ・アレイ・ユニット B1 チャンネル 5 入力	P4_3
TAUB1I7	I	タイマ・アレイ・ユニット B1 チャンネル 7 入力	P4_5
TAUB1I9	I	タイマ・アレイ・ユニット B1 チャンネル 9 入力	P4_6
TAUB1I11	I	タイマ・アレイ・ユニット B1 チャンネル 11 入力	P4_8
TAUB1I13	I	タイマ・アレイ・ユニット B1 チャンネル 13 入力	P4_9
TAUB1I14	I	タイマ・アレイ・ユニット B1 チャンネル 14 入力	P4_10
TAUB1O1	O	タイマ・アレイ・ユニット B1 チャンネル 1 出力	P4_0
TAUB1O2	O	タイマ・アレイ・ユニット B1 チャンネル 2 出力	P4_1
TAUB1O3	O	タイマ・アレイ・ユニット B1 チャンネル 3 出力	P4_2
TAUB1O5	O	タイマ・アレイ・ユニット B1 チャンネル 5 出力	P4_3
TAUB1O6	O	タイマ・アレイ・ユニット B1 チャンネル 6 出力	P4_4
TAUB1O7	O	タイマ・アレイ・ユニット B1 チャンネル 7 出力	P4_5
TAUB1O9	O	タイマ・アレイ・ユニット B1 チャンネル 9 出力	P4_6

表 2-6 アルファベット順端子機能一覧 (4/4)

端子名	I/O	端子機能	ポート
TAUB1O10	O	タイマ・アレイ・ユニット B 1 チャンネル 10 出力	P4_7
TAUB1O11	O	タイマ・アレイ・ユニット B 1 チャンネル 11 出力	P4_8
TAUB1O13	O	タイマ・アレイ・ユニット B 1 チャンネル 13 出力	P4_9, P0_14
TAUB1O14	O	タイマ・アレイ・ユニット B 1 チャンネル 14 出力	P4_10, P0_15
TAUJ0I0	I	タイマ・アレイ・ユニット J 0 チャンネル 0 入力	P0_12, JP0_0
TAUJ0I1	I	タイマ・アレイ・ユニット J 0 チャンネル 1 入力	P0_13, JP0_1
TAUJ0I2	I	タイマ・アレイ・ユニット J 0 チャンネル 2 入力	P0_14, JP0_2
TAUJ0I3	I	タイマ・アレイ・ユニット J 0 チャンネル 3 入力	P0_15, JP0_3
TAUJ0O0	O	タイマ・アレイ・ユニット J 0 チャンネル 0 出力	P0_12, JP0_0
TAUJ0O1	O	タイマ・アレイ・ユニット J 0 チャンネル 1 出力	P0_13, JP0_1
TAUJ0O2	O	タイマ・アレイ・ユニット J 0 チャンネル 2 出力	P0_14, JP0_2
TAUJ0O3	O	タイマ・アレイ・ユニット J 0 チャンネル 3 出力	P0_15, JP0_3
TAPA0UP	O		P1_2
TAPA0UN	O		P1_3
TAPA0VP	O		P1_4
TAPA0VN	O		P1_5
TAPA0WP	O		P1_6
TAPA0WN	O		P1_7
URTE2RX	I	UARTE2 受信データ入力	P0_1, P4_1
URTE2TX	O	UARTE2 送信データ出力	P0_2, P4_2
URTE10RX	I	UARTE10 受信データ入力	P0_9, P4_4
URTE10TX	O	UARTE10 送信データ出力	P0_8, P4_3
URTE11RX	I	UARTE11 受信データ入力	P0_7, P4_7
URTE11TX	O	UARTE11 送信データ出力	P0_6, P4_6
X1, X2	-	メイン・クロック用発振子接続	-

2.4.3 リセット期間中／解除後，スタンバイ・モード期間中／解除後のポート機能

リセット時／リセット後のポートの機能については，データ・シートに記載しています。

スタンバイ・モード時のポート機能については，V850E2/Fx4 ユーザーズマニュアル ハードウェア編第9章「スタンバイ・コントローラ（STBC）」を参照してください。

2.4.4 未使用端子の推奨接続

ほとんどの出力ポートおよび入出力ポートは，リセット解除後にハイ・インピーダンス状態になり，入力バッファが使用不可となります。

これらのポートは，未使用時にオープンにしておくことができます。

ただし，以下の端子は例外とします。

- JP0_4 : 内部プルダウン・レジスタがアクティブ
- P0_0 : RESETOUT 信号が出力
- $\overline{\text{RESET}}$: 常に入力に接続してください

端子が未使用の場合，下記のように接続することを推奨します。

端子	推奨接続
JTAG Port0(JP0_4 以外), Port0(P0_0-0-3 以外)	出力時：オープン 入力時：端子ごとに抵抗を介して E0VDD または E0VSS に接続
JP0_4 P0_0-0_3	出力時：オープン 入力時：端子ごとに抵抗を介して E0VSS に接続
Port1, 3, 4	出力時：オープン 入力時：端子ごとに抵抗を介して E1VDD または E1VSS に接続
Port10	出力時：オープン 入力時：端子ごとに抵抗を介して A0VDD または A0VSS に接続
PTCTL1	オープン
FLMD0	E0VSS に接続
$\overline{\text{RESET}}$	E0VDD に接続
A0VDD, A0VREFP	E1VDD に接続
A0VSS, A0VREFM	E1VSS に接続

2.5 ポート・フィルタ

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品はアナログ・フィルタとデジタル・フィルタを両方をサポートしています。

詳細は V850E2/Fx4 ユーザーズマニュアル ハードウェア編を参照してください。

第3章 CPUシステム機能

この章では、V850E2/FF4-Mに固有の内容についてのみ記載します。

それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

3.1 概要

V850E2/FF4-MのCPUはハーバード・アーキテクチャに基づいており、RISC命令セットをサポートしています。7段パイプラインの制御によりほとんどの命令を1クロックで実行し、命令実行速度を改善しました。

デジタル制御のアプリケーションを使用するための理想的なマイクロコントローラにするために、32ビット・ハードウェア乗算器による乗算処理、飽和演算命令、ビット操作命令などを可能にしました。

- CPU**
- コア : V850E2M CPU
アーキテクチャ : V850E2v3 アーキテクチャ
 - 命令実行時間

製品	最小実行命令時間 ^a	最速CPUクロック ^a
V850E2/FF4-M	12.5 ns	80 MHz

a) CPUクロックにSSCG (Spread Spectrum Clock Generator) を使用した場合変動動作のために最速CPUクロックは80 MHzから変動します。それに伴い、最小命令実行時間も変動します。

- 32ビット汎用レジスタ (32本)
- 7段パイプライン
- 2ウェイ・スーパスカラー
- 内部32ビット・アーキテクチャ
- メモリ空間 :
 - プログラム領域 : 4 Gバイト・リニア
 - データ領域 : 4 Gバイト・リニア

- プロセッサ保護機能
 - メモリ保護ユニット (MPU)

ユーザ・プログラムに許可されていない実行, またはデータ操作から CPU メモリ空間を保護します (命令/定数保護領域を最大 5 個, データ保護領域を最大 6 個)。
 - システム・レジスタ保護 (SRP)

信頼済みでないプログラムによるシステム・レジスタ破壊を防ぐことができます。
 - 周辺装置保護 (PPU)

周辺装置へのアクセスに対し, システムごとに固有に定義された不正アクセスを検出し, 防ぐことができます。
 - タイミング監視 (TSU)

信頼済みでないプログラムの不当な VPU 時間占有を防ぐことや, 資産管理, 割り込み禁止の時間の管理を行えます。

注意 本マイクロコントローラのメモリ保護ユニット (MPU) は, データ保護領域 5 をベース・アドレス 0 以外の値を設定して使用した場合, 領域上限におけるミスアライン・アクセスで不正アクセスを検出できないおそれがあります。ミスアライン・アクセスが起こらないよう使用してください。

- 命令セット**
- V850E2M 命令セットは, 従来の V850 命令セットの上位互換でよりコード・サイズを減少させ, 命令実行速度を速めています。
 - 1クロックでの乗算処理が可能
 - 16 ビット × 16 ビット → 32 ビット
 - 32 ビット × 32 ビット → 32 ビットまたは, 64 ビット
 - 32 ビット × 32 ビット → 64 ビット
 - オーバフロー/アンダフロー検出による飽和演算命令
 - 1クロックでの 32 ビット・シフト命令
 - ビット操作命令 (SET1, CLR1, NOT1, TST1)
 - ロング/ショート・フォーマットのロード/ストア命令
 - 符号付きロード命令
 - MAC 演算命令

32 ビット × 32 ビット + 64 ビット → 64 ビット
 - 浮動小数点演算

V850E2/FF4-M の FPU は ANSI/IEEE 標準規格 754-1985 「IEEE 2 進浮動小数点演算規格」に準拠しています (製品間の違いは表 3-1 「CPU サブシステムの特徴の違い」を参照してください)。
- 表 3-1 「CPU サブシステムの特徴の違い」に V850E2/FF4-M 製品間の CPU サブシステムの主な違いを示します。
- FPU : 浮動小数点演算
 - PPU : プロセッサ保護
 - MEMC : 外部メモリ・インターフェース

表 3-1 CPU サブシステムの特徴の違い

製品	FPU	PPU	MEMC
FF4-M	あり	あり	—

3.2 メモリ

CPU メモリ・マップ, DMA アドレス・マップ, および特定のメモリ空間について説明します。

3.2.1 DMA アクセス・メモリ・マップ

詳細は, V850E2/Fx4 ユーザーズマニュアル ハードウェア編の 6.3.3 「DMA アクセス・メモリ・マップ」を参照してください。

3.2.2 V850E2/FF4-M メモリ・マップ

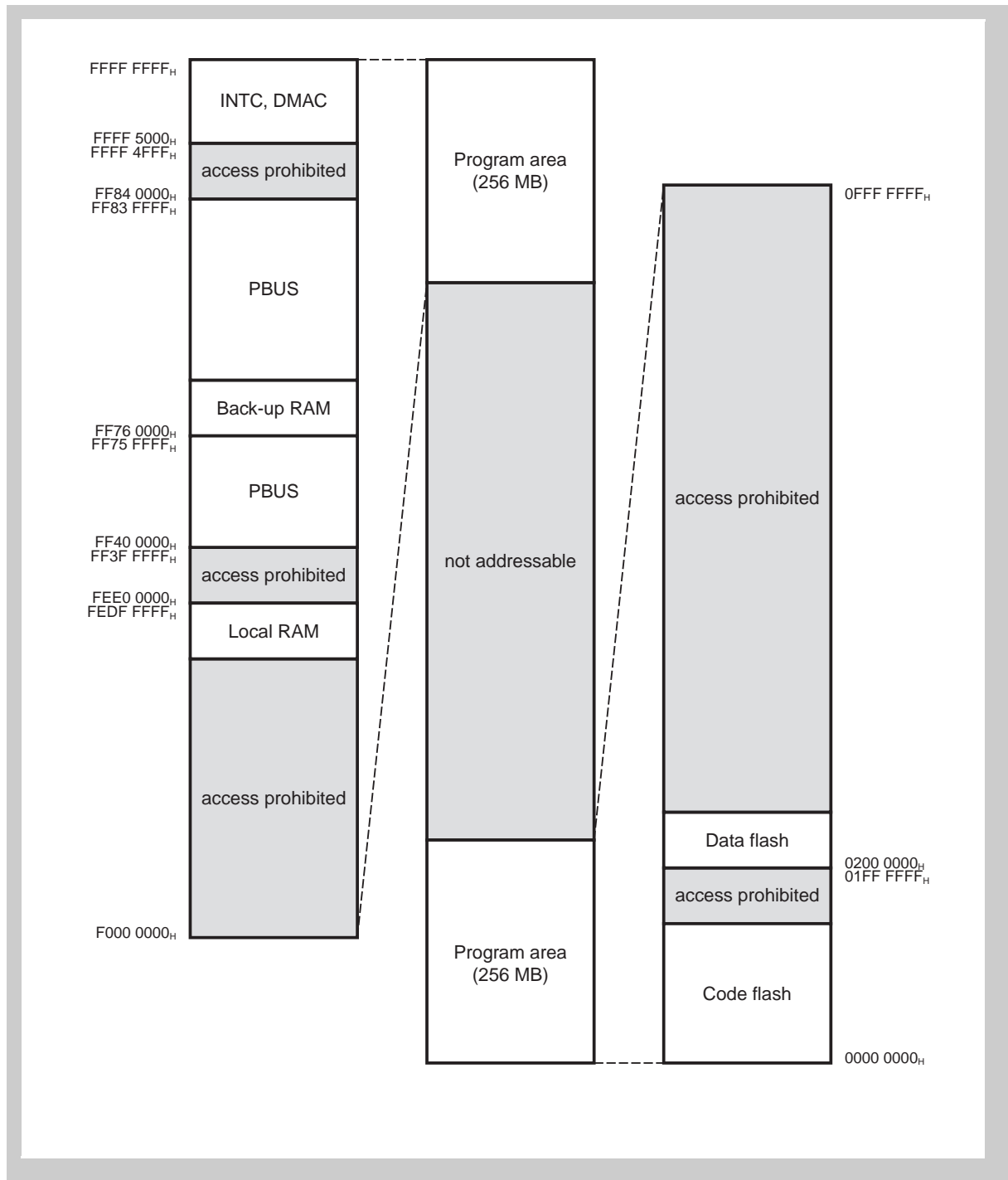


図 3-1 V850E2/FF4-M メモリ・マップ

3.2.3 メモリ領域

V850E2/FF4-M のメモリ領域には次のような領域があります。

- 内蔵コード・フラッシュ領域
- 内蔵データ・フラッシュ領域
- 内蔵ローカル RAM 領域
- 内蔵バックアップ RAM 領域
- 外部メモリ領域

領域ごとに説明して行きます。

(1) 内蔵コード・フラッシュ領域

コード・フラッシュのサイズとアドレス範囲について次に示します。

表 3-2 コード・フラッシュ・メモリ領域

愛称	製品名	サイズ	アドレス範囲
FF4-M-256K	μPD70F3543	256 KB	0000 0000 _H - 0003 FFFF _H
FF4-M-384K	μPD70F3544	384 KB	0000 0000 _H - 0005 FFFF _H
FF4-M-512K	μPD70F3545	512 KB	0000 0000 _H - 0007 FFFF _H

(2) 内蔵データ・フラッシュ領域

データ・フラッシュのサイズとアドレス範囲について次に示します。

表 3-3 内部データ・フラッシュ領域

愛称	製品名	サイズ	アドレス範囲
FF4-M-256K	μPD70F3543	32 KB	0200 0000 _H - 0200 7FFF _H
FF4-M-384K	μPD70F3544		
FF4-M-512K	μPD70F3545		

(3) 内蔵ローカル RAM 領域

ローカル RAM のサイズとアドレス範囲について次に示します。

表 3-4 ローカル RAM 領域

愛称	製品名	サイズ	アドレス範囲
FF4-M-256K	μPD70F3543	32 KB	FEDF 8000 _H - FEDF FFFF _H
FF4-M-384K	μPD70F3544	40 KB	FEDF 6000 _H - FEDF FFFF _H
FF4-M-512K	μPD70F3545	48 KB	FEDF 4000 _H - FEDF FFFF _H

注意 データ RAM から任意の命令コードをフェッチする前に、その命令コードを含むデータ RAM の 16 バイト境界領域を初期化してください。
16 バイト境界領域は、アドレス XXXX XXX0_H から XXXX XXXF_H までの領域です。
データ RAM を初期化する際、任意のデータ値を書き込むことができますが、必ず命令をフェッチする前に初期化を行うようにしてください。
初期化されていないデータ RAM 領域から命令をフェッチすると、メモリ保護例外 (MEP) が発生する場合があります。

備考 通常、データ RAM からの読み出しを行う前にデータ RAM 全体を初期化することを推奨します。

(4) 内蔵バックアップ RAM 領域

バックアップ RAM のサイズとアドレス範囲について次に示します。

表 3-5 バックアップ RAM 領域

愛称	製品名	サイズ	アドレス範囲
FF4-M-256K	μPD70F3543	4 KB	FF76 0000 _H - FF76 0FFF _H
FF4-M-384K	μPD70F3544		
FF4-M-512K	μPD70F3545		

備考 バックアップ RAM 領域に対し、命令フェッチはできません。
アクセスは、32 ビット単位でのみリード/ライト可能です。

バックアップ RAM 書き込み許可 バックアップ RAM にライト・アクセスするには特定の手順に従わなくてはなりません。詳細は V850E2/Fx4 ユーザーズマニュアル ハードウェア編の 3.5.4 「バックアップ RAM 保護」を参照してください。

第4章 割り込み機能

4.1 V850E2/FF4-M 割り込み要因

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。
それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアル
ハードウェア編をご参照ください。

4.1.1 V850E2/FF4-M 割り込み要因

(1) V850E2/FF4-M EI レベル・マスクブル割り込み

表 4-1 V850E2/FF4-M EI レベル・マスクブル割り込み要因 (1/8)

チャンネル ^a	割り込み		割り込み要求					
	制御レジスタ		割り込み名称	割り込み要因	ユニット	デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
	レジスタ名称	アドレス FFFF...						
0	ICWDTA0	6000 _H	INTWDTA0	WDTA0 75% 割り込み	WDTA0	1	0080 _H	0080 _H
1	ICWDTA1	6002 _H	INTWDTA1	WDTA1 75% 割り込み	WDTA1	2	0090 _H	0090 _H
2	ICLVI	6004 _H	INTLVI	LVI 割り込み	LVI	3	00A0 _H	00A0 _H
3	R.F.U.	6006 _H	R.F.U.			4	00B0 _H	00B0 _H
4	R.F.U.	6008 _H	R.F.U.			5	00C0 _H	00C0 _H
5	R.F.U.	600E _H	R.F.U.			6	00D0 _H	00D0 _H
6	R.F.U.	6010 _H	R.F.U.			7	00E0 _H	00E0 _H
7	R.F.U.	600E _H	R.F.U.			8	00F0 _H	00F0 _H
8	R.F.U.	6010 _H	R.F.U.			9	0100 _H	0100 _H
9	ICP0	6012 _H	INTP0	端子入力エッジ検出	Port	10	0110 _H	0110 _H
10	ICP1	6014 _H	INTP1	端子入力エッジ検出	Port	11	0120 _H	0120 _H
11	ICP2	6016 _H	INTP2	端子入力エッジ検出	Port	12	0130 _H	0130 _H
12	ICP3	6018 _H	INTP3	端子入力エッジ検出	Port	13	0140 _H	0140 _H
13	ICP4	601A _H	INTP4	端子入力エッジ検出	Port	14	0150 _H	0150 _H
14	ICP5	601C _H	INTP5	端子入力エッジ検出	Port	15	0160 _H	0160 _H
15	ICP6	601E _H	INTP6	端子入力エッジ検出	Port	16	0170 _H	0170 _H
16	ICP7	6020 _H	INTP7	端子入力エッジ検出	Port	17	0180 _H	0180 _H
17	ICP8	6022 _H	INTP8	端子入力エッジ検出	Port	18	0190 _H	0190 _H
18	R.F.U.	6024 _H	R.F.U.			19	01A0 _H	01A0 _H
19	R.F.U.	6026 _H	R.F.U.			20	01B0 _H	01B0 _H
20	ICTAUA0I0	6028 _H	INTTAUA0I0	チャンネル 0 割り込み	TAUA0	21	01C0 _H	01C0 _H
	ICTAPA0IPEKIO		INTTAPA0IPEKIO ^b	山割り込み 0	TAPA0			
21	ICTAUA0I1	602A _H	INTTAUA0I1	チャンネル 1 割り込み	TAUA0	22	01D0 _H	01D0 _H
22	ICTAUA0I2	602C _H	INTTAUA0I2	チャンネル 2 割り込み	TAUA0	23	01E0 _H	01E0 _H

表 4-1 V850E2/FF4-M EI レベル・マスカブル割り込み要因 (2/8)

割り込み			割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャネル ^a	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
23	ICTAUA0I3	602E _H	INTTAUA0I3	チャンネル 3 割り込み	TAUA0	24	01F0 _H	01F0 _H
24	ICTAUA0I4	6030 _H	INTTAUA0I4	チャンネル 4 割り込み	TAUA0	25	0200 _H	0200 _H
	ICTAPA0IVLY0		INTTAPA0IVLY0 ^b	谷割り込み 0	TAPA0			
25	ICTAUA0I5	6032 _H	INTTAUA0I5	チャンネル 5 割り込み	TAUA0	26	0210 _H	0210 _H
26	ICTAUA0I6	6034 _H	INTTAUA0I6	チャンネル 6 割り込み	TAUA0	27	0220 _H	0220 _H
27	ICTAUA0I7	6036 _H	INTTAUA0I7	チャンネル 7 割り込み	TAUA0	28	0230 _H	0230 _H
28	ICTAUA0I8	6038 _H	INTTAUA0I8	チャンネル 8 割り込み	TAUA0	29	0240 _H	0240 _H
29	ICTAUA0I9	603A _H	INTTAUA0I9	チャンネル 9 割り込み	TAUA0	30	0250 _H	0250 _H
30	ICTAUA0I10	603C _H	INTTAUA0I10	チャンネル 10 割り込み	TAUA0	31	0260 _H	0260 _H
31	ICTAUA0I11	603E _H	INTTAUA0I11	チャンネル 11 割り込み	TAUA0	32	0270 _H	0270 _H
32	ICTAUA0I12	6040 _H	INTTAUA0I12	チャンネル 12 割り込み	TAUA0	33	0280 _H	0280 _H
33	ICTAUA0I13	6042 _H	INTTAUA0I13	チャンネル 13 割り込み	TAUA0	34	0290 _H	0290 _H
34	ICTAUA0I14	6044 _H	INTTAUA0I14	チャンネル 14 割り込み	TAUA0	35	02A0 _H	02A0 _H
35	ICTAUA0I15	6046 _H	INTTAUA0I15	チャンネル 15 割り込み	TAUA0	36	02B0 _H	02B0 _H
36	ICTAUB1I0	6048 _H	INTTAUB1I0	チャンネル 0 割り込み	TAUB1	37	02C0 _H	02C0 _H
37	ICTAUB1I1	604A _H	INTTAUB1I1	チャンネル 1 割り込み	TAUB1	38	02D0 _H	02D0 _H
38	ICTAUB1I2	604C _H	INTTAUB1I2	チャンネル 2 割り込み	TAUB1	39	02E0 _H	02E0 _H
39	ICTAUB1I3	604E _H	INTTAUB1I3	チャンネル 3 割り込み	TAUB1	40	02F0 _H	02F0 _H
40	ICTAUB1I4	6050 _H	INTTAUB1I4	チャンネル 4 割り込み	TAUB1	41	0300 _H	0300 _H
41	ICTAUB1I5	6052 _H	INTTAUB1I5	チャンネル 5 割り込み	TAUB1	42	0310 _H	0310 _H
42	ICTAUB1I6	6054 _H	INTTAUB1I6	チャンネル 6 割り込み	TAUB1	43	0320 _H	0320 _H
43	ICTAUB1I7	6056 _H	INTTAUB1I7	チャンネル 7 割り込み	TAUB1	44	0330 _H	0330 _H
44	ICTAUB1I8	6058 _H	INTTAUB1I8	チャンネル 8 割り込み	TAUB1	45	0340 _H	0340 _H
45	ICTAUB1I9	605A _H	INTTAUB1I9	チャンネル 9 割り込み	TAUB1	46	0350 _H	0350 _H
46	ICTAUB1I10	605C _H	INTTAUB1I10	チャンネル 10 割り込み	TAUB1	47	0360 _H	0360 _H
47	ICTAUB1I11	605E _H	INTTAUB1I11	チャンネル 11 割り込み	TAUB1	48	0370 _H	0370 _H
48	ICTAUB1I12	6060 _H	INTTAUB1I12	チャンネル 12 割り込み	TAUB1	49	0380 _H	0380 _H
49	ICTAUB1I13	6062 _H	INTTAUB1I13	チャンネル 13 割り込み	TAUB1	50	0390 _H	0390 _H
50	ICTAUB1I14	6064 _H	INTTAUB1I14	チャンネル 14 割り込み	TAUB1	51	03A0 _H	03A0 _H
51	ICTAUB1I15	6066 _H	INTTAUB1I15	チャンネル 15 割り込み	TAUB1	52	03B0 _H	03B0 _H
52	R.F.U.	6068 _H	R.F.U.			53	03C0 _H	03C0 _H
53	R.F.U.	606A _H	R.F.U.			54	03D0 _H	03D0 _H
54	R.F.U.	606C _H	R.F.U.			55	03E0 _H	03E0 _H
55	R.F.U.	606E _H	R.F.U.			56	03F0 _H	03F0 _H
56	R.F.U.	6070 _H	R.F.U.			57	0400 _H	0400 _H
57	R.F.U.	6072 _H	R.F.U.			58	0410 _H	0410 _H
58	R.F.U.	6074 _H	R.F.U.			59	0420 _H	0420 _H
59	R.F.U.	6076 _H	R.F.U.			60	0430 _H	0430 _H

表 4-1 V850E2/FF4-M EI レベル・マスカブル割り込み要因 (3/8)

割り込み			割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャネル ^a	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
60	R.F.U.	6078 _H	R.F.U.			61	0440 _H	0440 _H
61	R.F.U.	607A _H	R.F.U.			62	0450 _H	0450 _H
62	R.F.U.	607C _H	R.F.U.			63	0460 _H	0460 _H
63	R.F.U.	607E _H	R.F.U.			64	0470 _H	0470 _H
64	R.F.U.	6080 _H	R.F.U.			65	0480 _H	0480 _H
65	R.F.U.	6082 _H	R.F.U.			66	0490 _H	0490 _H
66	R.F.U.	6084 _H	R.F.U.			67	04A0 _H	04A0 _H
67	R.F.U.	6086 _H	R.F.U.			68	04B0 _H	04B0 _H
68	R.F.U.	6088 _H	R.F.U.			69	04C0 _H	04C0 _H
69	R.F.U.	608A _H	R.F.U.			70	04D0 _H	04D0 _H
70	R.F.U.	608C _H	R.F.U.			71	04E0 _H	04E0 _H
71	R.F.U.	608E _H	R.F.U.			72	04F0 _H	04F0 _H
72	R.F.U.	6090 _H	R.F.U.			73	0500 _H	0500 _H
73	R.F.U.	6092 _H	R.F.U.			74	0510 _H	0510 _H
74	R.F.U.	6094 _H	R.F.U.			75	0520 _H	0520 _H
75	R.F.U.	6096 _H	R.F.U.			76	0530 _H	0530 _H
76	R.F.U.	6098 _H	R.F.U.			77	0540 _H	0540 _H
77	R.F.U.	609A _H	R.F.U.			78	0550 _H	0550 _H
78	R.F.U.	609C _H	R.F.U.			79	0560 _H	0560 _H
79	R.F.U.	609E _H	R.F.U.			80	0570 _H	0570 _H
80	R.F.U.	60A0 _H	R.F.U.			81	0580 _H	0580 _H
81	R.F.U.	60A2 _H	R.F.U.			82	0590 _H	0590 _H
82	R.F.U.	60A4 _H	R.F.U.			83	05A0 _H	05A0 _H
83	R.F.U.	60A6 _H	R.F.U.			84	05B0 _H	05B0 _H
84	R.F.U.	60A8 _H	R.F.U.			85	05C0 _H	05C0 _H
85	R.F.U.	60AA _H	R.F.U.			86	05D0 _H	05D0 _H
86	R.F.U.	60AC _H	R.F.U.			87	05E0 _H	05E0 _H
87	R.F.U.	60AE _H	R.F.U.			88	05F0 _H	05F0 _H
88	R.F.U.	60B0 _H	R.F.U.			89	0600 _H	0600 _H
89	R.F.U.	60B2 _H	R.F.U.			90	0610 _H	0610 _H
90	R.F.U.	60B4 _H	R.F.U.			91	0620 _H	0620 _H
91	R.F.U.	60B6 _H	R.F.U.			92	0630 _H	0630 _H
92	R.F.U.	60B8 _H	R.F.U.			93	0640 _H	0640 _H
93	R.F.U.	60BA _H	R.F.U.			94	0650 _H	0650 _H
94	R.F.U.	60BC _H	R.F.U.			95	0660 _H	0660 _H
95	R.F.U.	60BE _H	R.F.U.			96	0670 _H	0670 _H
96	R.F.U.	60C0 _H	R.F.U.			97	0680 _H	0680 _H
97	R.F.U.	60C2 _H	R.F.U.			98	0690 _H	0690 _H

表 4-1 V850E2/FF4-M EI レベル・マスカブル割り込み要因 (4/8)

チャネル ^a	割り込み		割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
98	R.F.U.	60C4 _H	R.F.U.			99	06A0 _H	06A0 _H
99	R.F.U.	60C6 _H	R.F.U.			100	06B0 _H	06B0 _H
100	ICADCA0ERR	60C8 _H	INTADCA0ERR	エラー割り込み	ADCA0	101	06C0 _H	06C0 _H
101	ICADCA0I0	60CA _H	INTADCA0I0	CG0 変換終了	ADCA0	102	06D0 _H	06D0 _H
102	ICADCA0I1	60CC _H	INTADCA0I1	CG1 変換終了	ADCA0	103	06E0 _H	06E0 _H
103	ICADCA0I2	60CE _H	INTADCA0I2	CG2 変換終了	ADCA0	104	06F0 _H	06F0 _H
104	ICADCA0LLT	60D0 _H	INTADCA0LLT	変換割り込み	ADCA0	105	0700 _H	0700 _H
105	ICFCNWUP	60D2 _H	INTFCNWUP	ウェイクアップ割り込み	FCN0	106	0710 _H	0710 _H
106	ICFCN0ERR	60D4 _H	INTFCN0ERR	エラー割り込み	FCN0	107	0720 _H	0720 _H
107	ICFCN0REC	60D6 _H	INTFCN0REC	受信割り込み	FCN0	108	0730 _H	0730 _H
108	ICFCN0TRX	60D8 _H	INTFCN0TRX	送信割り込み	FCN0	109	0740 _H	0740 _H
109	ICCSIG0IRE	60DA _H	INTCSIG0IRE	受信エラー割り込み	CSIG0	110	0750 _H	0750 _H
110	ICCSIG0IR	60DC _H	INTCSIG0IR	受信状態割り込み	CSIG0	111	0760 _H	0760 _H
111	ICCSIG0IC	60DE _H	INTCSIG0IC	通信状態割り込み	CSIG0	112	0770 _H	0770 _H
112	R.F.U.	60E0 _H	R.F.U.			113	0780 _H	0780 _H
113	R.F.U.	60E2 _H	R.F.U.			114	0790 _H	0790 _H
114	R.F.U.	60E4 _H	R.F.U.			115	07A0 _H	07A0 _H
115	R.F.U.	60E6 _H	R.F.U.			116	07B0 _H	07B0 _H
116	R.F.U.	60E8 _H	R.F.U.			117	07C0 _H	07C0 _H
117	R.F.U.	60EA _H	R.F.U.			118	07D0 _H	07D0 _H
118	R.F.U.	60EC _H	R.F.U.			119	07E0 _H	07E0 _H
119	ICDMA0	60EE _H	INTDMA0	DMA チャネル 0 転送完了	DMA	120	07F0 _H	07F0 _H
	ICCT0		INTCT0 ^c	DMA チャネル 0 カウント一致割り込み	DMA			
120	ICDMA1	60F0 _H	INTDMA1	DMA チャネル 1 転送完了	DMA	121	0800 _H	0800 _H
	ICCT1		INTCT1 ^c	DMA チャネル 1 カウント一致割り込み	DMA			
121	ICDMA2	60F2 _H	INTDMA2	DMA チャネル 2 転送完了	DMA	122	0810 _H	0810 _H
	ICCT2		INTCT2 ^c	DMA チャネル 2 カウント一致割り込み	DMA			
122	ICDMA3	60F4 _H	INTDMA3	DMA チャネル 3 転送完了	DMA	123	0820 _H	0820 _H
	ICCT3		INTCT3 ^c	DMA チャネル 3 カウント一致割り込み	DMA			
123	ICDMA4	60F6 _H	INTDMA4	DMA チャネル 4 転送完了	DMA	124	0830 _H	0830 _H
	ICCT4		INTCT4 ^c	DMA チャネル 4 カウント一致割り込み	DMA			
124	ICDMA5	60F8 _H	INTDMA5	DMA チャネル 5 転送完了	DMA	125	0840 _H	0840 _H
	ICCT5		INTCT5 ^c	DMA チャネル 5 カウント一致割り込み	DMA			
125	ICDMA6	60FA _H	INTDMA6	DMA チャネル 6 転送完了	DMA	126	0850 _H	0850 _H
	ICCT6		INTCT6 ^c	DMA チャネル 6 カウント一致割り込み	DMA			
126	ICDMA7	60FC _H	INTDMA7	DMA チャネル 7 転送完了	DMA	127	0860 _H	0860 _H
	ICCT7		INTCT7 ^c	DMA チャネル 7 カウント一致割り込み	DMA			
127	ICFL	60FE _H	INTFL	シーケンス完了割り込み	FLASH	128	0870 _H	0870 _H

表 4-1 V850E2/FF4-M EI レベル・マスカブル割り込み要因 (5/8)

割り込み			割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャネル ^a	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
128	ICIICB0IS	6100 _H	INTIICB0IS	状態割り込み	IICB0	129	0880 _H	0880 _H
129	ICIICB0IA	6102 _H	INTIICB0IA	データ転送/受信割り込み	IICB0	130	0890 _H	0890 _H
130	R.F.U.	6104 _H	R.F.U.			131	08A0 _H	08A0 _H
131	R.F.U.	6106 _H	R.F.U.			132	08B0 _H	08B0 _H
132	R.F.U.	6108 _H	R.F.U.			133	08C0 _H	08C0 _H
133	R.F.U.	610A _H	R.F.U.			134	08D0 _H	08D0 _H
134	R.F.U.	610C _H	R.F.U.			135	08E0 _H	08E0 _H
135	ICTAUJ0I0	610E _H	INTTAUJ0I0	チャンネル 0 割り込み	TAUJ0	136	08F0 _H	08F0 _H
136	ICTAUJ0I1	6110 _H	INTTAUJ0I1	チャンネル 1 割り込み	TAUJ0	137	0900 _H	0900 _H
137	ICTAUJ0I2	6112 _H	INTTAUJ0I2	チャンネル 2 割り込み	TAUJ0	138	0910 _H	0910 _H
138	ICTAUJ0I3	6114 _H	INTTAUJ0I3	チャンネル 3 割り込み	TAUJ0	139	0920 _H	0920 _H
139	R.F.U.	6116 _H	R.F.U.			140	0930 _H	0930 _H
140	R.F.U.	6118 _H	R.F.U.			141	0940 _H	0940 _H
141	R.F.U.	611A _H	R.F.U.			142	0950 _H	0950 _H
142	R.F.U.	611C _H	R.F.U.			143	0960 _H	0960 _H
143	R.F.U.	611E _H	R.F.U.			144	0970 _H	0970 _H
144	R.F.U.	6120 _H	R.F.U.			145	0980 _H	0980 _H
145	R.F.U.	6122 _H	R.F.U.			146	0990 _H	0990 _H
146	R.F.U.	6124 _H	R.F.U.			147	09A0 _H	09A0 _H
147	ICOSTM0	6126 _H	INTOSTM0	OSTM0 割り込み	OSTM0	148	09B0 _H	09B0 _H
148	R.F.U.	6128 _H	R.F.U.			149	09C0 _H	09C0 _H
149	R.F.U.	612A _H	R.F.U.			150	09D0 _H	09D0 _H
150	R.F.U.	612C _H	R.F.U.			151	09E0 _H	09E0 _H
151	R.F.U.	612E _H	R.F.U.			152	09F0 _H	09F0 _H
152	R.F.U.	6130 _H	R.F.U.			153	0A00 _H	0A00 _H
153	R.F.U.	6132 _H	R.F.U.			154	0A10 _H	0A10 _H
154	R.F.U.	6134 _H	R.F.U.			155	0A20 _H	0A20 _H
155	R.F.U.	6136 _H	R.F.U.			156	0A30 _H	0A30 _H
156	R.F.U.	6138 _H	R.F.U.			157	0A40 _H	0A40 _H
157	R.F.U.	613A _H	R.F.U.			158	0A50 _H	0A50 _H
158	R.F.U.	613C _H	R.F.U.			159	0A60 _H	0A60 _H
159	R.F.U.	613E _H	R.F.U.			160	0A70 _H	0A70 _H
160	R.F.U.	6140 _H	R.F.U.			161	0A80 _H	0A80 _H
161	R.F.U.	6142 _H	R.F.U.			162	0A90 _H	0A90 _H
162	R.F.U.	6144 _H	R.F.U.			163	0AA0 _H	0AA0 _H
163	R.F.U.	6146 _H	R.F.U.			164	0AB0 _H	0AB0 _H
164	R.F.U.	6148 _H	R.F.U.			165	0AC0 _H	0AC0 _H
165	R.F.U.	614A _H	R.F.U.			166	0AD0 _H	0AD0 _H

表 4-1 V850E2/FF4-M EI レベル・マスカブル割り込み要因 (6/8)

割り込み			割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャネル ^a	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
166	R.F.U.	614C _H	R.F.U.			167	0AE0 _H	0AE0 _H
167	R.F.U.	614E _H	R.F.U.			168	0AF0 _H	0AF0 _H
168	R.F.U.	6150 _H	R.F.U.			169	0B00 _H	0B00 _H
169	R.F.U.	6152 _H	R.F.U.			170	0B10 _H	0B10 _H
170	ICCSIG4IRE	6154 _H	INTCSIG4IRE	受信エラー割り込み	CSIG4	171	0B20 _H	0B20 _H
171	ICCSIG4IR	6156 _H	INTCSIG4IR	受信状態割り込み	CSIG4	172	0B30 _H	0B30 _H
172	ICCSIG4IC	6158 _H	INTCSIG4IC	通信状態割り込み	CSIG4	173	0B40 _H	0B40 _H
173	R.F.U.	615A _H	R.F.U.			174	0B50 _H	0B50 _H
174	R.F.U.	615C _H	R.F.U.			175	0B60 _H	0B60 _H
175	R.F.U.	615E _H	R.F.U.			176	0B70 _H	0B70 _H
176	R.F.U.	6160 _H	R.F.U.			177	0B80 _H	0B80 _H
177	R.F.U.	6162 _H	R.F.U.			178	0B90 _H	0B90 _H
178	R.F.U.	6164 _H	R.F.U.			179	0BA0 _H	0BA0 _H
179	R.F.U.	6166 _H	R.F.U.			180	0BB0 _H	0BB0 _H
180	R.F.U.	6168 _H	R.F.U.			181	0BC0 _H	0BC0 _H
181	R.F.U.	616A _H	R.F.U.			182	0BD0 _H	0BD0 _H
182	R.F.U.	616C _H	R.F.U.			183	0BE0 _H	0BE0 _H
183	R.F.U.	616E _H	R.F.U.			184	0BF0 _H	0BF0 _H
184	R.F.U.	6170 _H	R.F.U.			185	0C00 _H	0C00 _H
185	R.F.U.	6172 _H	R.F.U.			186	0C10 _H	0C10 _H
186	R.F.U.	6174 _H	R.F.U.			187	0C20 _H	0C20 _H
187	ICENCA0I0	6176 _H	INTENCA0I0	キャプチャ/コンペアー一致割り込み	ENCA0	188	0C30 _H	0C30 _H
188	ICENCA0I1	6178 _H	INTENCA0I1	キャプチャ/コンペアー一致割り込み	ENCA0	189	0C40 _H	0C40 _H
189	ICENCA0IUD	617A _H	INTENCA0IUD	アンダフロー割り込み	ENCA0	190	0C50 _H	0C50 _H
190	ICENCA0IEC	617C _H	INTENCA0IEC	エンコーダ・クリア割り込み	ENCA0	191	0C60 _H	0C60 _H
191	ICENCA0IOV	617E _H	INTENCA0IOV	オーバフロー割り込み	ENCA0	192	0C70 _H	0C70 _H
192	R.F.U.	6180 _H	R.F.U.			193	0C80 _H	0C80 _H
193	ICLMA2IS	6182 _H	INTLMA2IS	状態割り込み	LMA2	194	0C90 _H	0C90 _H
194	ICLMA2IR	6184 _H	INTLMA2IR	受信完了割り込み	LMA2	195	0CA0 _H	0CA0 _H
195	ICLMA2IT	6186 _H	INTLMA2IT	転送割り込み	LMA2	196	0CB0 _H	0CB0 _H
196	R.F.U.	6188 _H	R.F.U.			197	0CC0 _H	0CC0 _H
197	R.F.U.	618A _H	R.F.U.			198	0CD0 _H	0CD0 _H
198	R.F.U.	618C _H	R.F.U.			199	0CE0 _H	0CE0 _H
199	R.F.U.	618E _H	R.F.U.			200	0CF0 _H	0CF0 _H
200	R.F.U.	6190 _H	R.F.U.			201	0D00 _H	0D00 _H
201	R.F.U.	6192 _H	R.F.U.			202	0D10 _H	0D10 _H
202	R.F.U.	6194 _H	R.F.U.			203	0D20 _H	0D20 _H
203	R.F.U.	6196 _H	R.F.U.			204	0D30 _H	0D30 _H

表 4-1 V850E2/FF4-M EI レベル・マスカブル割り込み要因 (7/8)

割り込み			割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
チャネル ^a	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
204	R.F.U.	6198 _H	R.F.U.			205	0D40 _H	0D40 _H
205	R.F.U.	619A _H	R.F.U.			206	0D50 _H	0D50 _H
206	R.F.U.	619C _H	R.F.U.			207	0D60 _H	0D60 _H
207	R.F.U.	619E _H	R.F.U.			208	0D70 _H	0D70 _H
208	ICP11	61A0 _H	INTP11	端子入力エッジ検出	Port	209	0D80 _H	0D80 _H
209	ICP12	61A2 _H	INTP12	端子入力エッジ検出	Port	210	0D90 _H	0D90 _H
210	R.F.U.	61A4 _H	R.F.U.			211	0DA0 _H	0DA0 _H
211	R.F.U.	61A6 _H	R.F.U.			212	0DB0 _H	0DB0 _H
212	R.F.U.	61A8 _H	R.F.U.			213	0DC0 _H	0DC0 _H
213	R.F.U.	61AA _H	R.F.U.			214	0DD0 _H	0DD0 _H
214	R.F.U.	61AC _H	R.F.U.			215	0DE0 _H	0DE0 _H
215	R.F.U.	61AE _H	R.F.U.			216	0DF0 _H	0DF0 _H
216	R.F.U.	61B0 _H	R.F.U.			217	0E00 _H	0E00 _H
217	R.F.U.	61B2 _H	R.F.U.			218	0E10 _H	0E10 _H
218	R.F.U.	61B4 _H	R.F.U.			219	0E20 _H	0E20 _H
219	R.F.U.	61B6 _H	R.F.U.			220	0E30 _H	0E30 _H
220	ICKR0	61B8 _H	INTKR0	キー・リターン割り込み	KR0	221	0E40 _H	0E40 _H
221	R.F.U.	61BA _H	R.F.U.			222	0E50 _H	0E50 _H
222	R.F.U.	61BC _H	R.F.U.			223	0E60 _H	0E60 _H
223	R.F.U.	61BE _H	R.F.U.			224	0E70 _H	0E70 _H
224	R.F.U.	61C0 _H	R.F.U.			225	0E80 _H	0E80 _H
225	R.F.U.	61C2 _H	R.F.U.			226	0E90 _H	0E90 _H
226	R.F.U.	61C4 _H	R.F.U.			227	0EA0 _H	0EA0 _H
227	R.F.U.	61C6 _H	R.F.U.			228	0EB0 _H	0EB0 _H
228	R.F.U.	61C8 _H	R.F.U.			229	0EC0 _H	0EC0 _H
229	R.F.U.	61CA _H	R.F.U.			230	0ED0 _H	0ED0 _H
230	R.F.U.	61CC _H	R.F.U.			231	0EE0 _H	0EE0 _H
231	R.F.U.	61CE _H	R.F.U.			232	0EF0 _H	0EF0 _H
232	R.F.U.	61D0 _H	R.F.U.			233	0F00 _H	0F00 _H
233	R.F.U.	61D2 _H	R.F.U.			234	0F10 _H	0F10 _H
234	R.F.U.	61D4 _H	R.F.U.			235	0F20 _H	0F20 _H
235	R.F.U.	61D6 _H	R.F.U.			236	0F30 _H	0F30 _H
236	R.F.U.	61D8 _H	R.F.U.			237	0F40 _H	0F40 _H
237	R.F.U.	61DA _H	R.F.U.			238	0F50 _H	0F50 _H
238	R.F.U.	61DC _H	R.F.U.			239	0F60 _H	0F60 _H
239	R.F.U.	61DE _H	R.F.U.			240	0F70 _H	0F70 _H
240	R.F.U.	61E0 _H	R.F.U.			241	0F80 _H	0F80 _H
241	R.F.U.	61E2 _H	R.F.U.			242	0F90 _H	0F90 _H

表 4-1 V850E2/FF4-M EI レベル・マスカブル割り込み要因 (8/8)

チャンネル ^{a)}	割り込み		割り込み要求			デフォルト・プライオリティ	例外コード	ハンドラ・アドレス 0000...
	制御レジスタ		割り込み名称	割り込み要因	ユニット			
	レジスタ名称	アドレス FFFF...						
242	R.F.U.	61E4 _H	R.F.U.			243	0FA0 _H	0FA0 _H
243	R.F.U.	61E6 _H	R.F.U.			244	0FB0 _H	0FB0 _H
244	R.F.U.	61E8 _H	R.F.U.			245	0FC0 _H	0FC0 _H
245	R.F.U.	61EA _H	R.F.U.			246	0FD0 _H	0FD0 _H
246	R.F.U.	61EC _H	R.F.U.			247	0FE0 _H	0FE0 _H
247	R.F.U.	61EE _H	R.F.U.			248	0FF0 _H	0FF0 _H
248	ICLMA10IS	61F0 _H	INTLMA10IS	状態割り込み	LMA10	249	1000 _H	1000 _H
249	ICLMA10IR	61F2 _H	INTLMA10IR	受信完了割り込み	LMA10	250	1010 _H	1010 _H
250	ICLMA10IT	61F4 _H	INTLMA10IT	転送割り込み	LMA10	251	1020 _H	1020 _H
251	ICLMA11IS	61F6 _H	INTLMA11IS	状態割り込み	LMA11	252	1030 _H	1030 _H
252	ICLMA11IR	61F8 _H	INTLMA11IR	受信完了割り込み	LMA11	253	1040 _H	1040 _H
253	ICLMA11IT	61FA _H	INTLMA11IT	転送割り込み	LMA11	254	1050 _H	1050 _H
254	R.F.U.	61FC _H	R.F.U.			255	1060 _H	1060 _H
255	R.F.U.	61FE _H	R.F.U.			256	1070 _H	1070 _H

a) EINT_n の n (0 ~ 255) チャンネル番号を示します。

b) 共有されている 2 つの割り込みは、TAPAINSL0 レジスタにより選択可能です。

詳細は、V850E2/Fx4 ユーザーズマニュアル ハードウェア編 5.2.3 「V850E2/Fx4 TAPA EI レベル・マスカブル割り込みの共有」を参照してください。

c) 共有されている 2 つの割り込みは、DMAINTSL0 レジスタにより選択可能です。

詳細は、V850E2/Fx4 ユーザーズマニュアル ハードウェア編の 5.2.4 「V850E2/Fx4 DMA 割り込み選択」を参照してください。

第5章 DMA機能

この章では、V850E2/FF4-Mに固有の内容についてのみ記載します。
それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアル
ハードウェア編をご参照ください。

表 5-1 DMA 起動要因 (0 ~ 32)

DTFRn.IFCn[6:0]	DMA 開始要因と なる割り込み	V850E2/ FF4-M
0	No DMA	対応
1	INTP0	対応
2	INTP1	対応
3	INTP2	対応
4	INTP3	対応
5	INTP4	対応
6	INTP5	対応
7	INTP6	対応
8	INTP7	対応
9	INTP8	対応
10	INTP9	—
11	not uses	—
12	INTTAUA0I8	対応
13	INTTAUA0I9	対応
14	INTTAUA0I10	対応
15	INTTAUA0I11	対応
16	INTTAUA0I12	対応
17	INTTAUA0I13	対応
18	INTTAUA0I14	対応
19	INTTAUA0I15	対応
20	INTTAUB1I0	対応
21	INTTAUB1I1	対応
22	INTTAUB1I4	対応
23	INTTAUB1I5	対応
24	INTTAUB1I8	対応
25	INTTAUB1I9	対応
26	INTTAUB1I12	対応
27	INTTAUB1I13	対応
28	not uses	—
29	not uses	—
30	not uses	—
31	not uses	—
32	not uses	—

表 5-2 DMA 起動要因 (33 ~ 72)

DTFRn.IFCn[6:0]	DMA 開始要因となる割り込み	V850E2/FF4-M
33	not uses	—
34	not uses	—
35	not uses	—
36	INTFCN0TRX	対応
37	not uses	—
38	INTAD0I0	対応
39	INTAD0I1	対応
40	INTAD0I2	対応
41	INTADCA0LLT	対応
42	INTCSIG0IR	対応
43	INTCSIG0IC	対応
44	not uses	—
45	not uses	—
46	not uses	—
47	not uses	—
48	INTDMA0 : INTCT0 ^a	対応
49	INTDMA1 : INTCT1 ^a	対応
50	INTDMA2 : INTCT2 ^a	対応
51	INTDMA3 : INTCT3 ^a	対応
52	INTDMA4 : INTCT4 ^a	対応
53	INTDMA5 : INTCT5 ^a	対応
54	INTDMA6 : INTCT6 ^a	対応
55	INTDMA7 : INTCT7 ^a	対応
56	INTFL	対応
57	INTIICB0IA	対応
58	not uses	—
59	INTTAUJ0I0	対応
60	INTTAUJ0I1	対応
61	INTTAUJ0I2	対応
62	INTTAUJ0I3	対応
63	not uses	—
64	not uses	—
65	not uses	—
66	not uses	—
67	not uses	—
68	not uses	—
69	not uses	—
70	not uses	—
71	not uses	—
72	not uses	—

表 5-3 DMA 起動要因 (73 ~ 112)

DTFRn.IFCn[6:0]	DMA 開始要因となる割り込み	V850E2/FF4-M
73	not uses	—
74	not uses	—
75	not uses	—
76	not uses	—
77	not uses	—
78	not uses	—
79	not uses	—
80	not uses	—
81	not uses	—
82	INTCSIG4IR	対応
83	INTCSIG4IC	対応
84	not uses	—
85	not uses	—
86	not uses	—
87	not uses	—
88	not uses	—
89	not uses	—
90	not uses	—
91	not uses	—
92	INTLMA2IT	対応
93	not uses	—
94	not uses	—
95	not uses	—
96	not uses	—
97	not uses	—
98	not uses	—
99	not uses	—
100	not uses	—
101	not uses	—
102	not uses	—
103	not uses	—
104	not uses	—
105	not uses	—
106	not uses	—
107	not uses	—
108	not uses	—
109	not uses	—
110	not uses	—
111	not uses	—
112	not uses	—

表 5-4 DMA 起動要因 (113 ~ 127)

DTFRn.IFCn[6:0]	DMA 開始要因となる割り込み	V850E2/FF4-M
113	not uses	—
114	not uses	—
115	not uses	—
116	not uses	—
117	INTLMA10IR	対応
118	INTLMA10IT	対応
119	INTLMA11IR	対応
120	INTLMA11IT	対応
121	not uses	—
122	not uses	—
123	not uses	—
124	not uses	—
125	not uses	—
126	not uses	—
127	not uses	—

a) 共有されている2つの割り込みは、DMAINTSLOレジスタにより選択可能です。詳細は、V850E2/Fx4 ユーザーズマニュアルハードウェア編の5.2.4「V850E2/Fx4 DMA 割り込み選択」を参照してください。

第6章 フラッシュ・メモリ

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。
それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアル
ハードウェア編をご参照ください。

以下の V850E2/FF4-M デバイスは、次のような内蔵フラッシュ・メモリを備えています。

シリーズ名	製品名	コード・フラッシュ	データ・フラッシュ
FF4-M-256K	μPD70F3543	256 KB	32 KB
FF4-M-384K	μPD70F3544	384 KB	32 KB
FF4-M-512K	μPD70F3545	512 KB	32 KB

6.1 コード・フラッシュ・メモリ概要

6.1.1 コード・フラッシュ・メモリ・マッピング

マイクロコントローラの内蔵コード・フラッシュ・メモリ領域は、4 KB のブロックに分割されており、ブロック単位のプログラミング/消去が可能です。コード・フラッシュ・メモリを備えるすべての V850E2/FF4-M デバイスのブロック構造とアドレスの割り当てを次の表に示します。

表 6-1 V850E2/FF4-M デバイスのコード・フラッシュ・メモリ構成

		ブロック 127 (4 KB)	0007 FFFF _H 0007 F000 _H	アドレス
		
	ブロック 95 (4 KB)	ブロック 95 (4 KB)	0005 FFFF _H 0005 F000 _H	
	
ブロック 63 (4 KB)	ブロック 63 (4 KB)	ブロック 63 (4 KB)	0003 FFFF _H 0003 0000 _H	
...	
ブロック 1 (4 KB)	ブロック 1 (4 KB)	ブロック 1 (4 KB)	0000 1FFF _H 0000 1000 _H	
ブロック 0 (4 KB)	ブロック 0 (4 KB)	ブロック 0 (4 KB)	0000 0FFF _H 0000 0000 _H	
256 KB	384 KB	512 KB	コード・フラッシュの サイズ	
μPD70F3543	μPD70F3544	μPD70F3545	製品	

6.1.2 データ・フラッシュ・メモリ・マッピング

データ・フラッシュ・メモリは、2 KB のブロック・サイズで編成されています。

データ・フラッシュ・メモリを備えるすべての V850E2/FF4-M デバイスのブロック構造とアドレス割り当てを次の表に示します。

表 6-2 V850E2/FF4-M データ・フラッシュ・メモリ

製品	データ・フラッシュのサイズ	2 KB ブロックの数	アドレス範囲
• FF4-M: - μ PD70F3543 - μ PD70F3544 - μ PD70F3545	32 KB	16	0200 0000 _H - 0200 7FFF _H

6.2 コード・フラッシュ・セルフ・プログラミング

6.2.1 安全なセルフ・プログラミング（ブート・クラスタ・スワップ）

表 6-3 ブート・スワップ・クラスタとブート・ブロック・クラスタの保護
(512 KB の製品)

ブート ブロックの数	ブート・スワップ・クラスタ		ブート・ブロック・クラスタの保護	
	サイズ	アクティブなアドレス ⇄ インアクティブなアドレス	サイズ	アドレス
00 _H	4 KB	0000 0000 _H - 0000 0FFF _H ⇄ 0000 1000 _H - 0000 1FFF _H	4 KB	0000 0000 _H - 0000 0FFF _H
01 _H	8 KB	0000 0000 _H - 0000 1FFF _H ⇄ 0000 2000 _H - 0000 3FFF _H	8 KB	0000 0000 _H - 0000 1FFF _H
02 _H	16 KB	0000 0000 _H - 0000 3FFF _H ⇄ 0000 4000 _H - 0000 7FFF _H	12 KB	0000 0000 _H - 0000 2FFF _H
03 _H			16 KB	0000 0000 _H - 0000 3FFF _H
04 _H	32 KB	0000 0000 _H - 0000 7FFF _H ⇄ 0000 8000 _H - 0000 FFFF _H	20 KB	0000 0000 _H - 0000 4FFF _H
...		
07 _H			32 KB	0000 0000 _H - 0000 7FFF _H
08 _H	64 KB	0000 0000 _H - 0000 FFFF _H ⇄ 0001 0000 _H - 0001 FFFF _H	36 KB	0000 0000 _H - 0000 8FFF _H
...		
0F _H			64 KB	0000 0000 _H - 0000 FFFF _H
10 _H	128 KB	0000 0000 _H - 0001 FFFF _H ⇄ 0002 0000 _H - 0003 FFFF _H	68 KB	0000 0000 _H - 0001 0FFF _H
...		
1F _H			128 KB	0000 0000 _H - 0001 FFFF _H
20 _H	256 KB	0000 0000 _H - 0003 FFFF _H ⇄ 0004 0000 _H - 0007 FFFF _H	132 KB	0000 0000 _H - 0002 0FFF _H
...		
3F _H			256 KB	0000 0000 _H - 0003 FFFF _H
40 _H	512 KB	設定禁止	260 KB	0000 0000 _H - 0004 0FFF _H
...		
7F _H			512 KB	0000 0000 _H - 0007 FFFF _H

表 6-4 ブート・スワップ・クラスタとブート・ブロック・クラスタの保護
(384 KB の製品)

ブート ブロックの数	ブート・スワップ・クラスタ		ブート・ブロック・クラスタの保護	
	サイズ	アクティブなアドレス ⇄ インアクティブなアドレス	サイズ	アドレス
00 _H	4 KB	0000 0000 _H - 0000 0FFF _H ⇄ 0000 1000 _H - 0000 1FFF _H	4 KB	0000 0000 _H - 0000 0FFF _H
01 _H	8 KB	0000 0000 _H - 0000 1FFF _H ⇄ 0000 2000 _H - 0000 3FFF _H	8 KB	0000 0000 _H - 0000 1FFF _H
02 _H	16 KB	0000 0000 _H - 0000 3FFF _H ⇄ 0000 4000 _H - 0000 7FFF _H	12 KB	0000 0000 _H - 0000 2FFF _H
03 _H			16 KB	0000 0000 _H - 0000 3FFF _H
04 _H	32 KB	0000 0000 _H - 0000 7FFF _H ⇄ 0000 8000 _H - 0000 FFFF _H	20 KB	0000 0000 _H - 0000 4FFF _H
...		
07 _H			32 KB	0000 0000 _H - 0000 7FFF _H
08 _H	64 KB	0000 0000 _H - 0000 FFFF _H ⇄ 0001 0000 _H - 0001 FFFF _H	36 KB	0000 0000 _H - 0000 8FFF _H
...		
0F _H			64 KB	0000 0000 _H - 0000 FFFF _H
10 _H	128 KB	0000 0000 _H - 0001 FFFF _H ⇄ 0002 0000 _H - 0003 FFFF _H	68 KB	0000 0000 _H - 0001 0FFF _H
...		
1F _H			128 KB	0000 0000 _H - 0001 FFFF _H
20 _H	256 KB	設定禁止	132 KB	0000 0000 _H - 0002 0FFF _H
...		
3F _H			256 KB	0000 0000 _H - 0003 FFFF _H
40 _H	384 KB	設定禁止	260 KB	0000 0000 _H - 0004 0FFF _H
...		
5F _H			384 KB	0000 0000 _H - 0005 FFFF _H

表 6-5 ブート・スワップ・クラスタとブート・ブロック・クラスタの保護
(256 KB の製品)

ブート ブロックの数	ブート・スワップ・クラスタ		ブート・ブロック・クラスタの保護	
	サイズ	アクティブなアドレス ⇄ インアクティブなアドレス	サイズ	アドレス
00 _H	4 KB	0000 0000 _H - 0000 0FFF _H ⇄ 0000 1000 _H - 0000 1FFF _H	4 KB	0000 0000 _H - 0000 0FFF _H
01 _H	8 KB	0000 0000 _H - 0000 1FFF _H ⇄ 0000 2000 _H - 0000 3FFF _H	8 KB	0000 0000 _H - 0000 1FFF _H
02 _H	16 KB	0000 0000 _H - 0000 3FFF _H ⇄ 0000 4000 _H - 0000 7FFF _H	12 KB	0000 0000 _H - 0000 2FFF _H
03 _H			16 KB	0000 0000 _H - 0000 3FFF _H
04 _H	32 KB	0000 0000 _H - 0000 7FFF _H ⇄ 0000 8000 _H - 0000 FFFF _H	20 KB	0000 0000 _H - 0000 4FFF _H
...		
07 _H			32 KB	0000 0000 _H - 0000 7FFF _H
08 _H	64 KB	0000 0000 _H - 0000 FFFF _H ⇄ 0001 0000 _H - 0001 FFFF _H	36 KB	0000 0000 _H - 0000 8FFF _H
...		
0F _H			64 KB	0000 0000 _H - 0000 FFFF _H
10 _H	128 KB	0000 0000 _H - 0001 FFFF _H ⇄ 0002 0000 _H - 0003 FFFF _H	68 KB	0000 0000 _H - 0001 0FFF _H
...		
1F _H			128 KB	0000 0000 _H - 0001 FFFF _H
20 _H	256 KB	設定禁止	132 KB	0000 0000 _H - 0002 0FFF _H
...		
3F _H			256 KB	0000 0000 _H - 0003 FFFF _H

第7章 データCRC機能 (DCRA)

データCRC機能A (DCRA) については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第8章 クロック・コントローラ

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。
それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアル
ハードウェア編をご参照ください。

8.1 Always-On エリアのクロック・ドメイン

(1) クロック・ドメイン AWO_2

クロック選択制御レジスタ : CKSC_A02		電力供給領域 : Always-On エリア		
アドレス	FF42 2020 _H	クロック・ドメイン : AWO_2		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_A02 [31:1])	クロック・ソース	クロックの制限	ドメイン・ クロック	モジュール : クロック
0001 _H	低速 IntOsc [240 kHz] / 1	≤ 48 MHz	CKSCLK_A02	WDTA0: PCLK VCPC0: PCLK CLMA0: PCLK CLMA2: PCLK KR0: PCLK FCLAnCTLm: PCLK
0007_H	高速 IntOsc [8 MHz] / 1			
0008 _H	高速 IntOsc [8 MHz] / 2			
0009 _H	高速 IntOsc [8 MHz] / 4			
000A _H	高速 IntOsc [8 MHz] / 8			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

注意 本 CKSC レジスタで選択されるクロック・ソースはシステム全体のクロックであるため、ソフトウェアで同クロック・ソースを停止、またはクロック選択なしの状態にしないでください。

(2) クロック・ドメイン AWO_3

クロック選択制御レジスタ : CKSC_A03		電力供給領域 : Always-On エリア		
アドレス	FF42 2030 _H	クロック・ドメイン : AWO_3		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_A03 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 _H	低速 IntOsc [240 kHz] / 1	≤ 48 MHz	CKSCLK_A03	TAUJ0: PCLK
0007_H	高速 IntOsc [8 MHz] / 1			
000C _H	MainOsc / 1			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(3) クロック・ドメイン AWO_5

クロック選択制御レジスタ : CKSC_A05		電力供給領域 : Always-On エリア		
アドレス	FF42 2050 _H	クロック・ドメイン : AWO_5		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_A05 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007_H	高速 IntOsc [8 MHz] / 1	≤ 40 MHz	CKSCLK_A05	バックアップRAM: PCLK
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
上記以外	設定禁止			

注意 本 CKSC レジスタで選択されるクロック・ソースはシステム全体のクロックであるため、ソフトウェアで同クロック・ソースを停止させないでください。

(4) クロック・ドメイン AWO_6

クロック選択制御レジスタ : CKSC_A06		電力供給領域 : Always-On エリア		
アドレス	FF42 2060 _H	クロック・ドメイン : AWO_6		
初期値	0000 0000 _H			
クロック・ソース ID (CKSC_A06 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 _H	低速 IntOsc [240 kHz] / 1	≤ 20 MHz	CKSCLK_A06	FOUT
0007 _H	高速 IntOsc [8 MHz] / 1			
000C _H	MainOsc / 1			
0017 _H	PLL0 / 4			
001F _H	PLL1 / 4			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(5) クロック・ドメイン AWO_7

クロック選択制御レジスタ : CKSC_A07		電力供給領域 : Always-On エリア		
アドレス	FF42 2070 _H	クロック・ドメイン : AWO_7		
初期値	0000 0006 _H			
クロック・ソース ID (CKSC_A07 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0001 _H	低速 IntOsc [240 kHz] / 1	-	CKSCLK_A07	WDTA0: WDTACKI
0003 _H	低速 IntOsc [240 kHz] / 4			
0005 _H	低速 IntOsc [240 kHz] / 512			
上記以外	設定禁止			

Always-On エリアのクロック・ドメインの注意事項

1. CKSC_nm レジスタ指定されたクロック・ソースの発振を停止させた状態、またはクロック選択なしの状態から CPU から該当クロック・ドメイン領域へアクセスしないでください。
2. CKSC_nm レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_nm レジスタで“クロック選択なし”あるいは停止しない別のクロック・ソースを設定してください。または同 CKSC_nm レジスタの STPMK ビットを“1”に設定してください。

8.2 Isolated エリア 0 のクロック・ドメイン

(1) クロック・ドメイン ISO0_0

クロック選択制御レジスタ : CKSC_000		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6000 _H	クロック・ドメイン : ISO0_0		
初期値	0000 0074 _H			
クロック・ソース ID (CKSC_000 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0008 _H	高速 IntOsc [8 MHz] / 2	≤ 80 MHz	CKSCLK_000	CPU, CPU サブシステム
0009 _H	高速 IntOsc [8 MHz] / 4			
000A _H	高速 IntOsc [8 MHz] / 8			
000B _H	高速 IntOsc [8 MHz] / 32			
000C _H	MainOsc / 1			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
003A _H	高速 IntOsc [8 MHz] (低速 IntOsc [240 kHz]) ^a			
上記以外	設定禁止			

a) 高速 IntOsc が無効の場合は、低速 IntOsc が自動的に選択されます。

注意 本 CKSC レジスタで選択されるクロック・ソースはシステム全体のクロックであるため、ソフトウェアで同クロック・ソースを停止させないでください。

(2) クロック・ドメイン ISO0_5

クロック選択制御レジスタ : CKSC_005		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6050 _H	クロック・ドメイン : ISO0_5		
初期値	0000 00E _H			
クロック・ソース ID (CKSC_005 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0001 _H	低速 IntOsc [240 kHz] / 1	≤ 48 MHz	CKSCLK_005	WDTA1: PCLK DNFAn: PCLK CLMA3: PCLK FCLAnCTLm: PCLK
0007_H	高速 IntOsc [8 MHz] / 1			
0008 _H	高速 IntOsc [8 MHz] / 2			
0009 _H	高速 IntOsc [8 MHz] / 4			
000A _H	高速 IntOsc [8 MHz] / 8			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

注意 本 CKSC レジスタで選択されるクロック・ソースはシステム全体のクロックであるため、ソフトウェアで同クロック・ソースを停止、またはクロック選択なしの状態にしないでください。

(3) クロック・ドメイン ISO0_6

クロック選択制御レジスタ : CKSC_006		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6060 _H	クロック・ドメイン : ISO0_6		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_006 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 80 MHz	CKSCLK_006	TAUA0: PCLK TAPA0: PCLK ENCA0: PCLK TAUB1: PCLK PIC: PCLK
000C _H	MainOsc / 1			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(4) クロック・ドメイン ISO0_7

クロック選択制御レジスタ : CKSC_007		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6070 _H	クロック・ドメイン : ISO0_7		
初期値	0000 0006 _H			
クロック・ソース ID (CKSC_007 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0001 _H	低速 IntOsc [240 kHz] / 1	—	CKSCLK_007	WDTA1: WDTATCKI
0003 _H	低速 IntOsc [240 kHz] / 4			
上記以外	設定禁止			

(5) クロック・ドメイン ISO0_11

クロック選択制御レジスタ : CKSC_011		電力供給領域 : Isolated エリア 0		
アドレス	FF42 60B0 _H	クロック・ドメイン : ISO0_11		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_011 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_011	URTE10: PCLK URTE11: PCLK LMA10: PCLK LMA11: PCLK CNTA2: PCLK CSIG4: PCLK
000C _H	MainOsc / 1			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(6) クロック・ドメイン ISO0_12

クロック選択制御レジスタ : CKSC_012		電力供給領域 : Isolated エリア 0		
アドレス	FF42 60C0 _H	クロック・ドメイン : ISO0_12		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_012 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_012	ADCA0: PCLK
000C _H	MainOsc			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(7) クロック・ドメイン ISO0_16

クロック選択制御レジスタ : CKSC_016		電力供給領域 : Isolated エリア 0		
アドレス	FF42 6100 _H	クロック・ドメイン : ISO0_16		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_016 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール・クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_016	DNFAn: DNFATCKI
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
上記以外	設定禁止			

Isolated エリア 0 のクロック・ドメインの注意事項

1. CKSC_nm レジスタ指定されたクロック・ソースの発振を停止させた状態、またはクロック選択なしの状態から CPU から該当クロック・ドメイン領域へアクセスしないでください。
2. CKSC_nm レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_nm レジスタで“クロック選択なし”あるいは停止しない別のクロック・ソースを設定してください。または同 CKSC_nm レジスタの STPMK ビットを“1”に設定してください。

8.3 Isolated エリア 1 のクロック・ドメイン

(1) クロック・ドメイン ISO1_1

クロック選択制御レジスタ : CKSC_101		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A010 _H	クロック・ドメイン : ISO1_1		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_101 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0001 _H	低速 IntOsc [240 kHz] / 1	≤ 48 MHz	CKSCLK_101	DNFAn: PCLK DCRA: PCLK RNGA: PCLK FCLAnCTLm: PCLK
0007_H	高速 IntOsc [8 MHz] / 1			
0008 _H	高速 IntOsc [8 MHz] / 2			
0009 _H	高速 IntOsc [8 MHz] / 4			
000A _H	高速 IntOsc [8 MHz] / 8			
0014 _H	PLL0 / 1			
0015 _H	PLL0 / 2			
0017 _H	PLL0 / 4			
001A _H	PLL0 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

注意 本 CKSC レジスタで選択されるクロック・ソースはシステム全体のクロックであるため、ソフトウェアで同クロック・ソースを停止、またはクロック選択なしの状態にしないでください。

(2) クロック・ドメイン ISO1_8

クロック選択制御レジスタ : CKSC_108		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A080 _H	クロック・ドメイン : ISO1_8		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_108 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007_H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_108	CSIG0: PCLK IICB0: PCLK
000C _H	MainOsc / 1			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(3) クロック・ドメイン ISO1_12

クロック選択制御レジスタ : CKSC_112		電力供給領域 : Isolated エリア 1		
アドレス	FF42 A0C0 _H	クロック・ドメイン : ISO1_12		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_112 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_112	OSTM0: PCLK
000C _H	MainOsc / 1			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(4) クロック・ドメイン ISO1_13

クロック選択制御レジスタ : CKSC_113		電力供給領域 : Isolated エリア 1		
アドレス初期値	FF42 A0D0 _H	クロック・ドメイン : ISO1_13		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_113 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_113	FCNA0: PCLK
000C _H	MainOsc / 1			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(5) クロック・ドメイン ISO1_14

クロック選択制御レジスタ : CKSC_114		電力供給領域 : Isolated エリア 1		
アドレス初期値	FF42 A0E0 _H	クロック・ドメイン : ISO1_14		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_114 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_114	URTE2: PCLK LMA2: PCLK CNTA1: PCLK
000C _H	MainOsc / 1			
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
0000 _H	クロック選択なし			
上記以外	設定禁止			

(6) クロック・ドメイン ISO1_28

クロック選択制御レジスタ : CKSC_128		電力供給領域 : Isolated エリア 1		
アドレス初期値	FF42 A1C0 _H	クロック・ドメイン : ISO1_28		
初期値	0000 000E _H			
クロック・ソース ID (CKSC_128 [31:1])	クロック・ソース	クロックの制限	ドメイン・クロック	モジュール : クロック
0007 _H	高速 IntOsc [8 MHz] / 1	≤ 48 MHz	CKSCLK_128	DNFAn: DNFATCKI
001C _H	PLL1 / 1			
001D _H	PLL1 / 2			
001F _H	PLL1 / 4			
0022 _H	PLL1 / 8			
上記以外	設定禁止			

Isolated エリア 1 のクロック・ドメインの注意事項

1. CKSC_nm レジスタ指定されたクロック・ソースの発振を停止させた状態、またはクロック選択なしの状態から CPU から該当クロック・ドメイン領域へアクセスしないでください。
2. CKSC_nm レジスタで選択したクロック・ソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめ同 CKSC_nm レジスタで“クロック選択なし”あるいは停止しない別のクロック・ソースを設定してください。または同 CKSC_nm レジスタの STPMK ビットを“1”に設定してください。

第9章 スタンバイ・コントローラ (STBC)

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。
それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアル
ハードウェア編をご参照ください。

注意 V850E2/FF4-M には、V850E2/FG4 と比較して以下のレジスタがありません。
WUFL016, WUFMSKL016, WUFCL016, WUFL116, WUFMSKL116,
WUFCL116
WUFL024, WUFMSKL024, WUFCL024, WUFL124, WUFMSKL124,
WUFCL124

第10章 コード保護とセキュリティ

コード保護とセキュリティについては、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第11章 リセット・コントローラ

リセット・コントローラについては、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第12章 OSタイマ (OSTM)

OSタイマ全般については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第 13 章 ウィンドウ・ウォッチドッグ・タイマ A (WDTA)

ウィンドウ・ウォッチドッグ・タイマ A については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

第14章 タイマ・アレイ・ユニットA (TAUA)

この章では、タイマ・アレイ・ユニットA (TAUA) について説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。

それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

14.1 V850E2/FF4-M の TAUA の特徴

ユニット この製品は次のユニット数の TAUA を搭載しています。

表 14-1 TAUA のユニット数

TAUA	V850E2/FF4-M
ユニット数	1
名称	TAUA0

n の意味 この章では、TAUA の各ユニットを「n」で識別します ($n = 0$)。たとえば、TAUAN チャネル出力モード・レジスタ (TAUAN TOM) のように記述しています。

m の意味 TAUA には 16 本のチャネルがあります。この章では、各チャネルを「m」で識別しており ($m = 0-15$)、特定のチャネルを CHm のように記述しています。
偶数チャネル ($m = 0, 2, 4, 6, 8, 10, 12, 14$) は CHm_even と記述します。
奇数チャネル ($m = 1, 3, 5, 7, 9, 11, 13, 15$) は CHm_odd と記述します。

14.2 TAUA 入出力選択

14.2.1 TAUA0 入力の選択

TAUA0 機能 (TAUATTIN0-15) に入力する要因を、以下の4つから選択することができます。
(各チャンネルによって要因が異なります。詳細は、図 14-1 を参照してください。)

- 端子入力：PORT 兼用機能インプット端子 (TAUA0I1-15) からの入力
- タイミング測定機能：FCN のタイム・スタンプ信号を選択できます。
- ボー・レート測定：URTE のデータ受信信号を選択できます。
- PIC 機能：PIC 機能からの出力信号を選択できます。

以下の図は、TAUA0の入力選択構成を記載します。

FCNのタイムスタンプ信号：TSOUT

URTEのデータ受信信号：URTE_nRX (n = 10, 11)

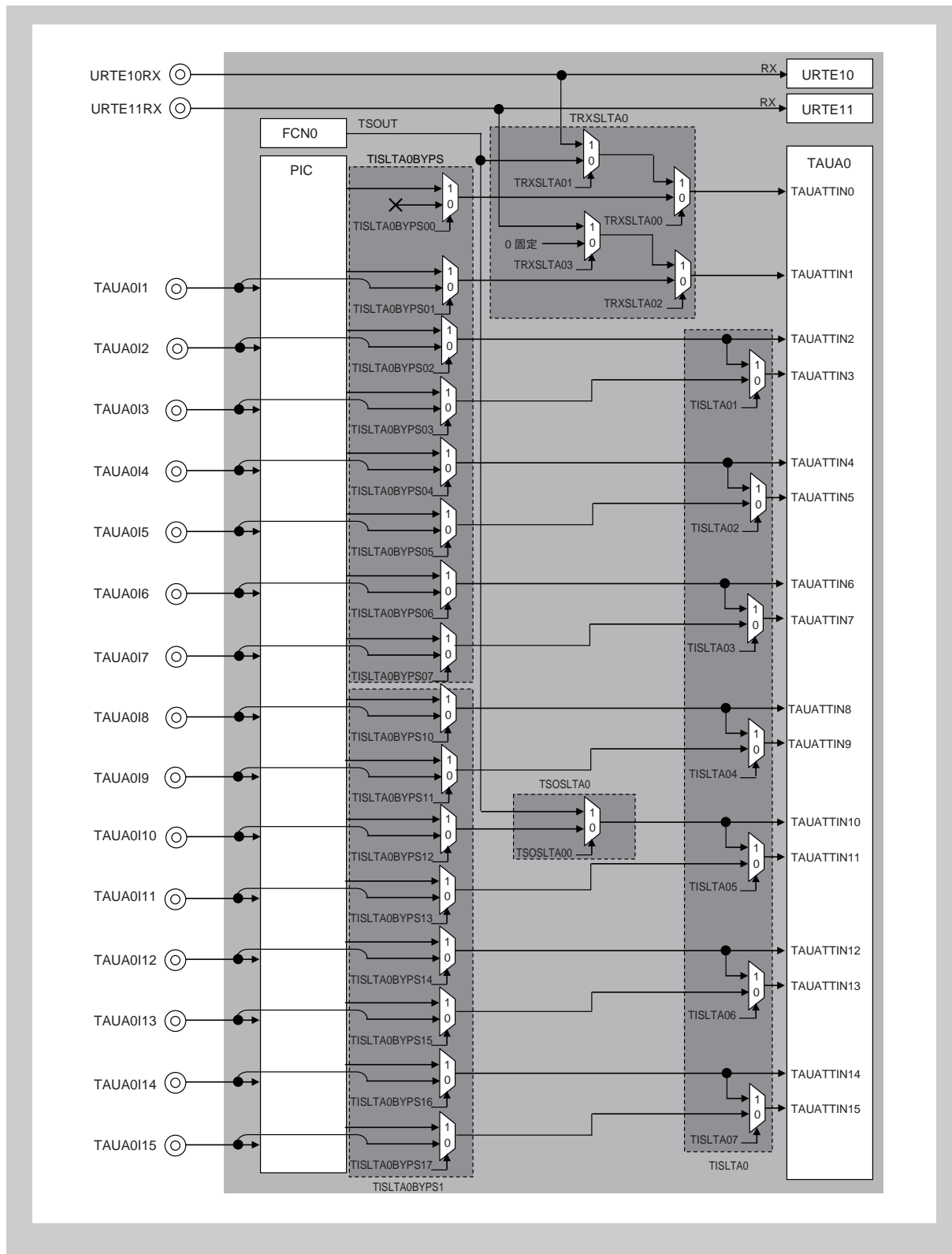


図 14-1 TAUA0 入力の選択図

(1) TRXSLTA0 - TAUA0 (TAUATTIN0-1) 入力選択レジスタ

本レジスタは、TAUA0 機能 (TAUATTIN0-1) に入力する信号を選択するレジスタです。

本レジスタで選択可能な TAUATTIN0 への入力要因は、以下の3つです。

- PIC 機能からの出力信号
- FCN0 のタイム・スタンプ信号
- URTE10 のデータ受信信号

本レジスタで選択可能な TAUATTIN1 への入力要因は、以下の2つです。

- TISLTA0BYPS01 ビットの選択結果信号
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I1) からの入力信号)
- URTE11 のデータ受信信号

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FF77 1004_H

初期値： 00_H

7	6	5	4	3	2	1	0
0	0	0	0	TRXSLTA 03	TRXSLTA 02	TRXSLTA 01	TRXSLTA 00
R	R	R	R	R/W	R/W	R/W	R/W

表 14-2 TRXSLTA0 レジスタの内容

ビット位置	ビット名	機能
3	TRXSLTA03	TRXSLTA02 ビットへの出力信号選択 0: 設定禁止 (0 固定) 1: URTE11.URTE11RX (データ受信信号)
2	TRXSLTA02	TAUA0 機能の TAUATTIN1 への選択 0: TISLTA0BYPS01 ビットの選択結果信号 1: TRXSLTA03 ビットの選択結果信号
1	TRXSLTA01	TRXSLTA00 ビットへの出力信号選択 0: FCN0.TSOUT (タイム・スタンプ信号) 1: URTE10.URTE10RX (データ受信信号)
0	TRXSLTA00	TAUA0 機能の TAUATTIN0 への選択 0: PIC 機能からの出力信号 注1 1: TRXSLTA01 ビットの選択結果信号

注 1: PIC 機能からの出力信号を選択する場合は、V850E2/Fx4 ユーザーズマニュアルハードウェア編の第35章「Peripheral Interconnection (PIC)」に記載されている設定方法に従ってください。

TRXSLTA0 レジスタのビットで選択可能な機能の一覧を以下に記載します。

表 14-3 TRXSLTA0 レジスタのビット選択一覧

TRXSLTA03	TRXSLTA02	TRXSLTA01	TRXSLTA00	選択される機能
–	–	1 or 0	0	PIC 機能からの出力信号 注1
–	–	0	1	FCN0.TSOUT (タイム・スタンプ信号)
–	–	1	1	URTE10.URTE10RX (データ受信信号)
1 or 0	0	–	–	TISLTA0BYPS01 ビットの選択結果信号
0	1	–	–	設定禁止 (0 固定)
1	1	–	–	URTE11.URTE11RX (データ受信信号)

注 1: PIC 機能からの出力信号を選択する場合は、V850E2/Fx4 ユーザーズマニュアル ハードウェア編の第 35 章「Peripheral Interconnection (PIC)」に記載されている設定方法に従ってください。

(2) TSOSLTA0 — TAUA0 (TAUATTIN10, TISLTA05 ビット) 入力選択レジスタ

本レジスタは、TAUA0 機能 (TAUATTIN10)、セレクト (TISLTA05 ビット) に入力する信号を選択するレジスタです。

本レジスタで選択可能な TAUATTIN10, TISLTA05 ビットへの入力要因は、以下の 2 つです。

- FCN0 のタイム・スタンプ信号
- TISLTA0BYPS12 ビットの選択結果信号
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I10) からの入力信号)

アクセス: 8 ビット単位でリード/ライト可能です。

アドレス: FF77 2014_H

初期値: 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	TSOSLTA00
R	R	R	R	R	R	R	R/W

表 14-4 TSOSLTA0 レジスタの内容

ビット位置	ビット名	機能
0	TSOSLTA00	TAUA0 機能の TAUATTIN10 への選択 TISLTA05 ビットへの出力信号選択 0: TISLTA0BYPS12 ビットの選択結果信号 1: FCN0.TSOUT (タイム・スタンプ信号)

(3) TISLTA0BYPS0 — TAUA0 (TAUATTIN2, 4, 6, TISLTA01-3 ビット) 入力選択レジスタ 0

本レジスタは、TAUA0 機能 (TAUATTIN2,4,6)、セレクト (TISLTA01-3 ビット)、セレクト (TRXSLTA00,02 ビット) に入力する信号を選択するレジスタです。

本レジスタで選択可能な TRXSLTA00 ビットへの入力要因は、以下です。

- PIC 機能からの制御信号

本レジスタで選択可能な TRXSLTA02 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I1) からの入力信号

本レジスタで選択可能な TAUATTIN2, TISLTA01 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I2) からの入力信号

本レジスタで選択可能な TISLTA01 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I3) からの入力信号

本レジスタで選択可能な TAUATTIN4, TISLTA02 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I4) からの入力信号

本レジスタで選択可能な TISLTA02 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I5) からの入力信号

本レジスタで選択可能な TAUATTIN6, TISLTA03 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I6) からの入力信号

本レジスタで選択可能な TISLTA03 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I7) からの入力信号

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FF77 1008_H

初期値： 00_H

7	6	5	4	3	2	1	0
TISLTA0 BYP07	TISLTA0 BYP06	TISLTA0 BYP05	TISLTA0 BYP04	TISLTA0 BYP03	TISLTA0 BYP02	TISLTA0 BYP01	TISLTA0BY PS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 14-5 TISLTA0BYP0 レジスタの内容

ビット位置	ビット名	機能
7	TISLTA0BYP07	TISLTA03 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I7) 1: PIC 機能からの出力信号 注1
6	TISLTA0BYP06	TAUA0 機能の TAUATTIN6 への選択 TISLTA03 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I6) 1: PIC 機能からの出力信号 注1
5	TISLTA0BYP05	TISLTA02 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I5) 1: PIC 機能からの出力信号 注1
4	TISLTA0BYP04	TAUA0 機能の TAUATTIN4 への選択 TISLTA02 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I4) 1: PIC 機能からの出力信号 注1
3	TISLTA0BYP03	TISLTA01 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I3) 1: PIC 機能からの出力信号 注1
2	TISLTA0BYP02	TAUA0 機能の TAUATTIN2 への選択 TISLTA01 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I2) 1: PIC 機能からの出力信号 注1
1	TISLTA0BYP01	TRXSLTA02 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I1) 1: PIC 機能からの出力信号 注1
0	TISLTA0BYP00	TRXSLTA00 ビットへの出力信号選択 0: Non-Connection (出力無し) 1: PIC 機能からの出力信号 注1

注 1: PIC 機能からの出力信号を選択する場合は、V850E2/Fx4 ユーザーズマニュアルハードウェア編の第 35 章「Peripheral Interconnection (PIC)」に記載されている設定方法に従ってください。

(4) TISLTA0BYPS1 — TAUA0 (TAUATTIN8,12,14, TISLTA04-7 ビット, TSOSLTA00 ビット) 入力選択レジスタ 1

本レジスタは、TAUA0 機能 (TAUATTIN8,12,14)、セクタ (TISLTA04-7 ビット)、セクタ (TSOSLTA00 ビット) に入力する信号を選択するレジスタです。

本レジスタで選択可能な TAUATTIN8, TISLTA04 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I8) からの入力信号

本レジスタで選択可能な TISLTA04 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I9) からの入力信号

本レジスタで選択可能な TSOSLTA00 への入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I10) からの入力信号

本レジスタで選択可能な TISLTA05 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I11) からの入力信号

本レジスタで選択可能な TAUATTIN12, TISLTA06 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I12) からの入力信号

本レジスタで選択可能な TISLTA06 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I13) からの入力信号

本レジスタで選択可能な TAUATTIN14, TISLTA07 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号
- PORT 兼用機能インプット端子 (TAUA0I14) からの入力信号

本レジスタで選択可能な TISLTA07 ビットへの入力要因は、以下の2つです。

- PIC 機能からの制御信号

- PORT 兼用機能入力端子 (TAUA0I15) からの入力信号

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FF77 100C_H

初期値： 00_H

7	6	5	4	3	2	1	0
TISLTA0 BYPS17	TISLTA0 BYPS16	TISLTA0 BYPS15	TISLTA0 BYPS14	TISLTA0 BYPS13	TISLTA0 BYPS12	TISLTA0 BYPS11	TISLTA0 BYPS10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14-6 TISLTA0BYPS1 レジスタの内容

ビット位置	ビット名	機能
7	TISLTA0BYPS17	TISLTA07 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I15) 1: PIC 機能からの出力信号 注1
6	TISLTA0BYPS16	TAUA0 機能の TAUATTIN14 への選択 TISLTA07 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I14) 1: PIC 機能からの出力信号 注1
5	TISLTA0BYPS15	TISLTA06 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I13) 1: PIC 機能からの出力信号 注1
4	TISLTA0BYPS14	TAUA0 機能の TAUATTIN12 への選択 TISLTA06 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I12) 1: PIC 機能からの出力信号 注1
3	TISLTA0BYPS13	TISLTA05 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I11) 1: PIC 機能からの出力信号 注1
2	TISLTA0BYPS12	TSOSLTA00 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I10) 1: PIC 機能からの出力信号 注1
1	TISLTA0BYPS11	TISLTA04 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I9) 1: PIC 機能からの出力信号 注1
0	TISLTA0BYPS10	TAUA0 機能の TAUATTIN8 への選択 TISLTA04 ビットへの出力信号選択 0: PORT 兼用機能入力端子 (TAUA0I8) 1: PIC 機能からの出力信号 注1

注 1: PIC 機能からの出力信号を選択する場合は、V850E2/Fx4 ユーザーズマニュアルハードウェア編の第 35 章「Peripheral Interconnection (PIC)」に記載されている設定方法に従ってください。

(5) TISLTA0 — TAUA0 (TAUATTIN3,5,7,9,11,13,15) 入力選択レジスタ

本レジスタは、TAUA0 機能 (TAUATTIN3,5,7,9,11,13,15) に入力する信号を選択するレジスタです。

本レジスタで選択可能な TAUATTIN3 への入力要因は、以下の2つです。

- TISLTA0BYPS02 ビットの選択結果信号 (チャンネル2への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I2) からの入力信号)
- TISLTA0BYPS03 ビットの選択結果信号 (チャンネル3への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I3) からの入力信号)

本レジスタで選択可能な TAUATTIN5 への入力要因は、以下の2つです。

- TISLTA0BYPS04 ビットの選択結果信号 (チャンネル4への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I4) からの入力信号)
- TISLTA0BYPS05 ビットの選択結果信号 (チャンネル5への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I5) からの入力信号)

本レジスタで選択可能な TAUATTIN7 への入力要因は、以下の2つです。

- TISLTA0BYPS06 ビットの選択結果信号 (チャンネル6への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I6) からの入力信号)
- TISLTA0BYPS07 ビットの選択結果信号 (チャンネル7への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I7) からの入力信号)

本レジスタで選択可能な TAUATTIN9 への入力要因は、以下の2つです。

- TISLTA0BYPS10 ビットの選択結果信号 (チャンネル8への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I8) からの入力信号)
- TISLTA0BYPS11 ビットの選択結果信号 (チャンネル9への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I9) からの入力信号)

本レジスタで選択可能な TAUATTIN11 への入力要因は、以下の2つです。

- TS0SLTA00 ビットの選択結果信号 (TISLTA0BYPS12 の選択結果信号, FCN0 のタイム・スタンプ信号)
- TISLTA0BYPS013 ビットの選択結果信号 (チャンネル11への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I11) からの入力信号)

本レジスタで選択可能な TAUATTIN13 への入力要因は、以下の2つです。

- TISLTA0BYPS014 ビットの選択結果信号 (チャンネル 12 への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I12) からの入力信号)
- TISLTA0BYPS015 ビットの選択結果信号 (チャンネル 13 への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I13) からの入力信号)

本レジスタで選択可能な TAUATTIN15 への入力要因は、以下の2つです。

- TISLTA0BYPS016 ビットの選択結果信号 (チャンネル 14 への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I14) からの入力信号)
- TISLTA0BYPS017 ビットの選択結果信号 (チャンネル 15 への入力)
(PIC 機能からの出力信号, PORT 兼用機能インプット端子 (TAUA0I15) からの入力信号)

アクセス: 8ビット単位でリード/ライト可能です。

アドレス: FF77 1000_H

初期値: 00_H

7	6	5	4	3	2	1	0
TISLTA07	TISLTA06	TISLTA05	TISLTA04	TISLTA03	TISLTA02	TISLTA01	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 14-7 TISLTA0 レジスタの内容

ビット位置	ビット名	機能
7	TISLTA07	TAUA0 機能の TAUATTIN15 への選択 0: TISLTA0BYPS17 ビットの選択結果信号 (チャンネル 15 への入力) 1: TISLTA0BYPS16 ビットの選択結果信号 (チャンネル 14 への入力)
6	TISLTA06	TAUA0 機能の TAUATTIN13 への選択 0: TISLTA0BYPS15 ビットの選択結果信号 (チャンネル 13 への入力) 1: TISLTA0BYPS14 ビットの選択結果信号 (チャンネル 12 への入力)
5	TISLTA05	TAUA0 機能の TAUATTIN11 への選択 0: TISLTA0BYPS13 ビットの選択結果信号 (チャンネル 11 への入力) 1: TSOSLTA00 ビットの選択結果信号 (チャンネル 10 への入力)
4	TISLTA04	TAUA0 機能の TAUATTIN9 への選択 0: TISLTA0BYPS11 ビットの選択結果信号 (チャンネル 9 への入力) 1: TISLTA0BYPS10 ビットの選択結果信号 (チャンネル 8 への入力)
3	TISLTA03	TAUA0 機能の TAUATTIN7 への選択 0: TISLTA0BYPS07 ビットの選択結果信号 (チャンネル 7 への入力) 1: TISLTA0BYPS06 ビットの選択結果信号 (チャンネル 6 への入力)
2	TISLTA02	TAUA0 機能の TAUATTIN5 への選択 0: TISLTA0BYPS05 ビットの選択結果信号 (チャンネル 5 への入力) 1: TISLTA0BYPS04 ビットの選択結果信号 (チャンネル 4 への入力)
1	TISLTA01	TAUA0 機能の TAUATTIN3 への選択 0: TISLTA0BYPS03 ビットの選択結果信号 (チャンネル 3 への入力) 1: TISLTA0BYPS02 ビットの選択結果信号 (チャンネル 2 への入力)

14.2.2 TAUA0 出力の選択

PORT 兼用機能アウトプット端子 (TAUA0O1, 3, 5, 7, 9) から出力する要因は、以下の2つから選択する事ができます。

- TAUA 機能 : TAUA 機能からの出力信号を選択できます。
- PIC 機能 : PIC 機能からの出力信号を選択できます。

以下の図は、TAUA0 の出力選択構成を記載します。

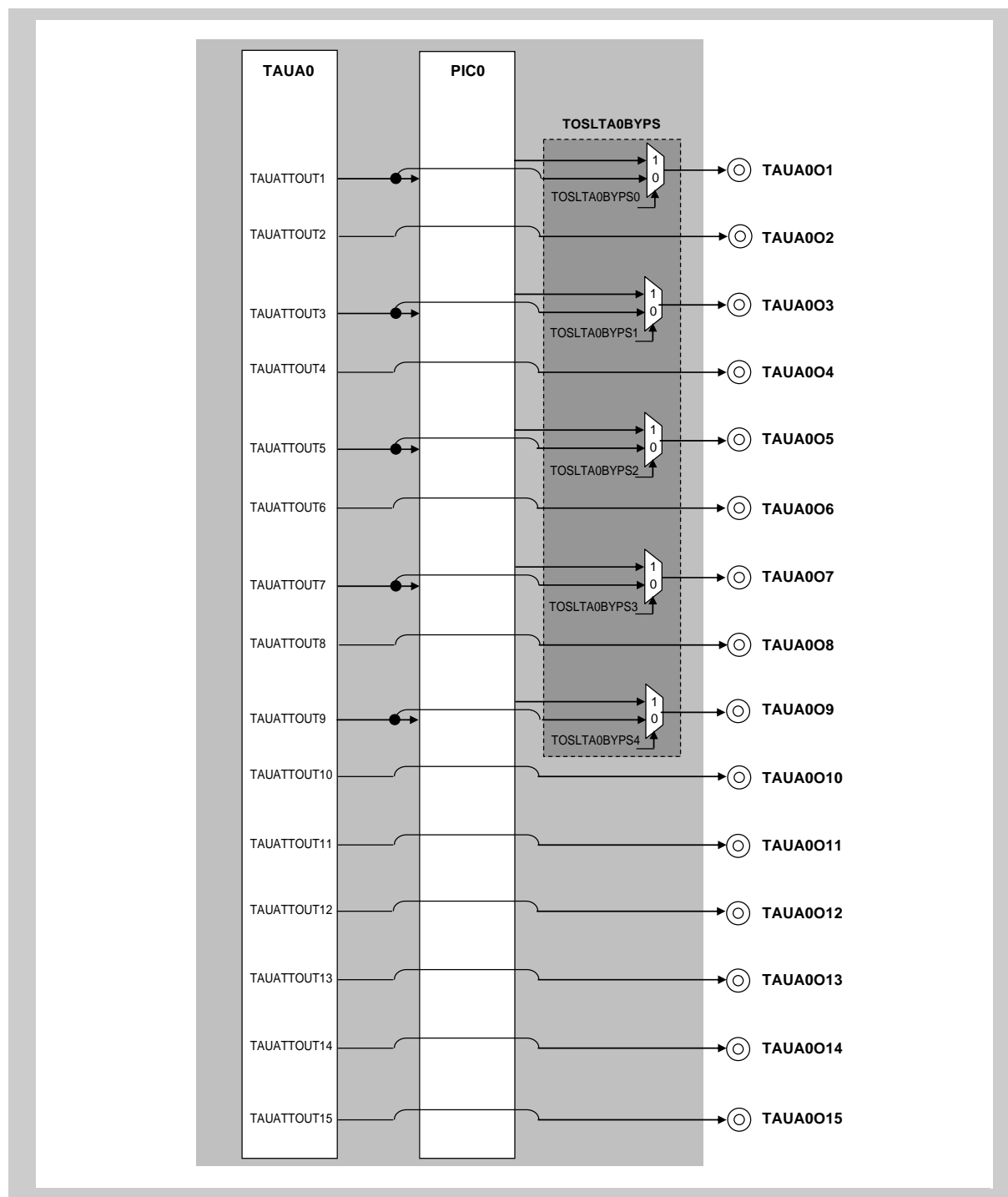


図 14-2 TAUA0 出力の選択図

(1) TOSLTA0BYP5 — PORT 兼用機能アウトプット端子 (TAUA001, 3, 5, 7, 9) 出力選択レジスタ

本レジスタは、PORT 兼用機能アウトプット端子 (TAUA001, 3, 5, 7, 9) へ出力する信号を選択するレジスタです。

本レジスタで選択可能な TAUA001 への出力要因は、以下の2つです。

- PIC 機能からの出力信号
- TAUA0 機能の TAUATTOUT1 信号

本レジスタで選択可能な TAUA003 への出力要因は、以下の2つです。

- PIC 機能からの出力信号
- TAUA0 機能の TAUATTOUT3 信号

本レジスタで選択可能な TAUA005 への出力要因は、以下の2つです。

- PIC 機能からの出力信号
- TAUA0 機能の TAUATTOUT5 信号

本レジスタで選択可能な TAUA007 への出力要因は、以下の2つです。

- PIC 機能からの出力信号
- TAUA0 機能の TAUATTOUT7 信号

本レジスタで選択可能な TAUA009 への出力要因は、以下の2つです。

- PIC 機能からの出力信号
- TAUA0 機能の TAUATTOUT9 信号

アクセス： 8ビット単位でリード／ライト可能です。

アドレス： FF77 1010_H

初期値： 00_H

7	6	5	4	3	2	1	0
0	0	0	TOSLTA0 BYP4	TOSLTA0 BYP3	TOSLTA0 BYP2	TOSLTA0 BYP1	TOSLTA0 BYP0
R	R	R	R/W	R/W	R/W	R/W	R/W

表 14-8 TOSLTA0BYP レジスタの内容

ビット位置	ビット名	機能
4	TOSLTA0BYP4	TAUA009 端子への選択 0: TAUA0 機能の TAUATTOU9 信号 1: PIC 機能からの出力信号 注1
3	TOSLTA0BYP3	TAUA007 端子への選択 0: TAUA0 機能の TAUATTOU7 信号 1: PIC 機能からの出力信号 注1
2	TOSLTA0BYP2	TAUA005 端子への選択 0: TAUA0 機能の TAUATTOU5 信号 1: PIC 機能からの出力信号 注1
1	TOSLTA0BYP1	TAUA003 端子への選択 0: TAUA0 機能の TAUATTOU3 信号 1: PIC 機能からの出力信号 注1
0	TOSLTA0BYP0	TAUA001 端子への選択 0: TAUA0 機能の TAUATTOU1 信号 1: PIC 機能からの出力信号 注1

注 1: PIC 機能からの出力信号を選択する場合は、V850E2/Fx4 ユーザーズマニュアルハードウェア編の第 35 章「Peripheral Interconnection (PIC)」に記載されている設定方法に従ってください。

第15章 タイマ・アレイ・ユニットB (TAUB)

この章では、タイマ・アレイ・ユニットB (TAUB) について説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。
それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアル
ハードウェア編をご参照ください。

15.1 V850E2/FF4-M の TAUB の特徴

ユニット この製品は次のユニット数の TAUB を搭載しています。

表 15-1 TAUB のユニット数

TAUB	V850E2/FF4-M
ユニット数	1
名称	TAUB1

n の意味 この章では、TAUB の各ユニットを「n」で識別します ($n = 1$)。たとえば、TAUBn チャンネル出力モード・レジスタ (TAUBnTOM) のように記述しています。

m の意味 TAUB には 16 本のチャンネルがあります。この章では、各チャンネルを「m」で識別しており ($m = 0-15$)、特定のチャンネルを CHm のように記述しています。
偶数チャンネル ($m = 0, 2, 4, 6, 8, 10, 12, 14$) は CHm_even と記述します。
奇数チャンネル ($m = 1, 3, 5, 7, 9, 11, 13, 15$) は CHm_odd と記述します。

15.2 TAUB 入力選択

15.2.1 TAUB1 入力の選択

TAUB1 機能 (TAUBTTIN2) に入力する要因を、以下の2つから選択することができます。

- 端子入力：PORT 兼用機能インプット端子 (TAUB1I2) からの入力
- ポー・レート測定：URTE のデータ受信信号を選択できます。

以下の図は、TAUB1 の入力選択構成を記載します。

URTE のデータ受信信号：URTE2RX

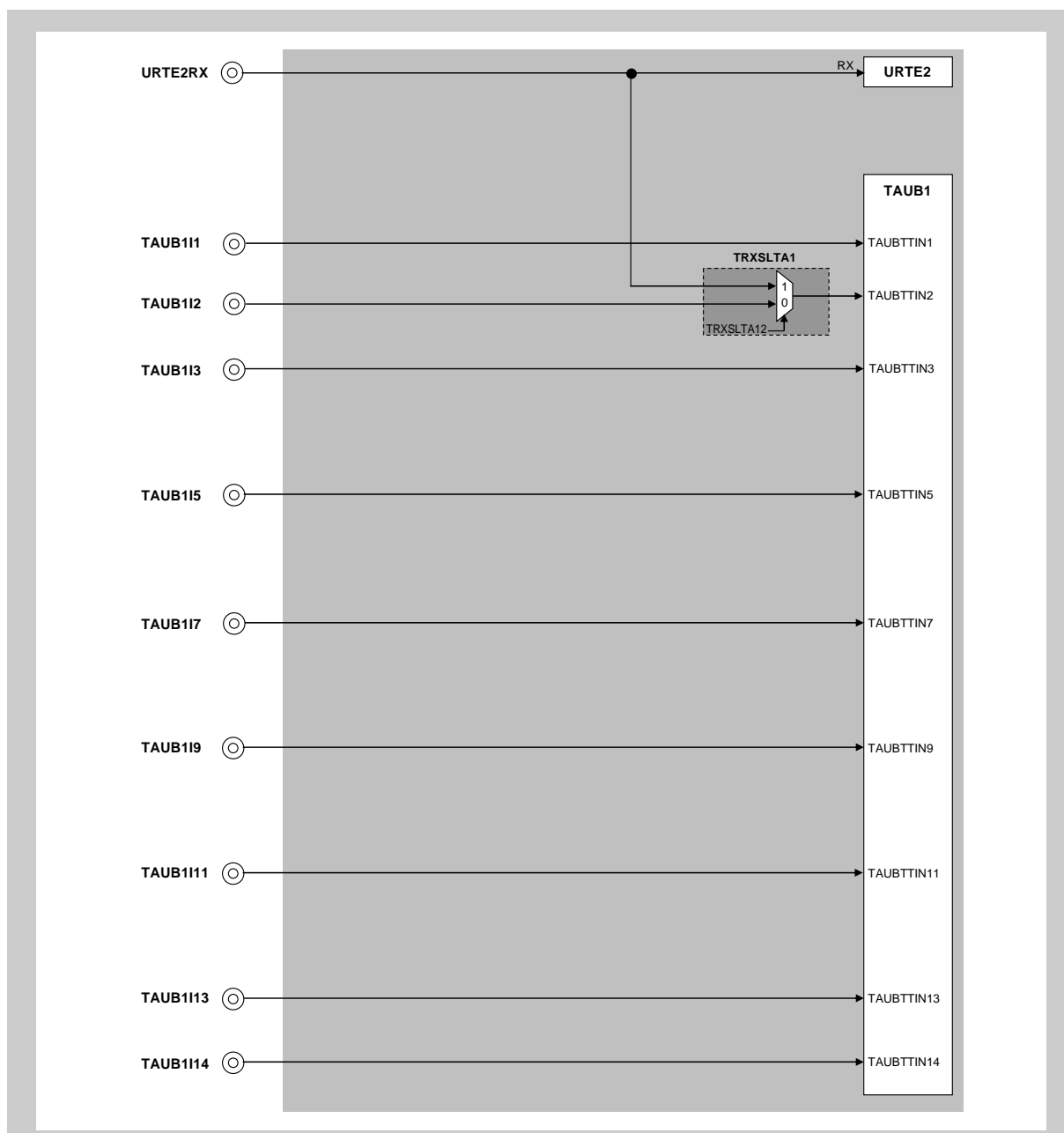


図 15-1 TAUB1 入力の選択図

(1) TRXSLTA1 — TAUB1 (TAUBTTIN2) 入力選択レジスタ

本レジスタは、TAUB1 機能 (TAUBTTIN2) に入力する信号を選択するレジスタです。

本レジスタで選択可能な TAUBTTIN2 への入力要因は、以下の2つです。

- URTE2 のデータ受信信号
- PORT 兼用機能インプット端子 (TAUB1I2) からの入力信号

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FF77 2018_H

初期値： 00_H

7	6	5	4	3	2	1	0
0	0	0	0	0	TRXSLTA 12	0	0
R	R	R	R	R	R/W	R	R

表 15-2 TRXSLTA1 レジスタの内容

ビット位置	ビット名	機能
2	TRXSLTA12	TAUB1 機能の TAUBTTIN2 への選択 0: TAUB1I2 端子からの入力信号 1: URTE2.URTE2RX (データ受信信号)

第16章 タイマ・アレイ・ユニットJ (TAUJ)

この章では、タイマ・アレイ・ユニットJ (TAUJ) について説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。

それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

16.1 V850E2/FF4-M の TAUJ の特徴

ユニット この製品は次のユニット数の TAUJ を搭載しています。

表 16-1 TAUJ のユニット数

TAUJ	
ユニット数	1
名称	TAUJ0

n の意味 この章では、TAUJ の各ユニットを「n」で識別します (n = 0)。たとえば、TAUJn チャネル出力モード・レジスタ (TAUJnTOM) のように記述しています。

m の意味 TAUJ には 4 本のチャネルがあります。この章では、各チャネルを「m」で識別しており (m = 0-3)、特定のチャネルを CHm のように記述しています。偶数チャネル (m = 0, 2) は CHm_even と記述します。奇数チャネル (m = 1, 3) は CHm_odd と記述します。

16.2 TAUJ 入力選択

16.2.1 TAUJ0 入力の選択

TAUJ0 機能 (TAUJTTIN0-3) に入力する要因を、以下の2つから選択することができます。

- 端子入力：PORT 兼用機能インプット端子 (TAUJ0I0-3) からの入力
- PIC 機能：PIC 機能からの出力信号を選択できます。

以下の図は、TAUJ0 の入力選択構成を記載します。

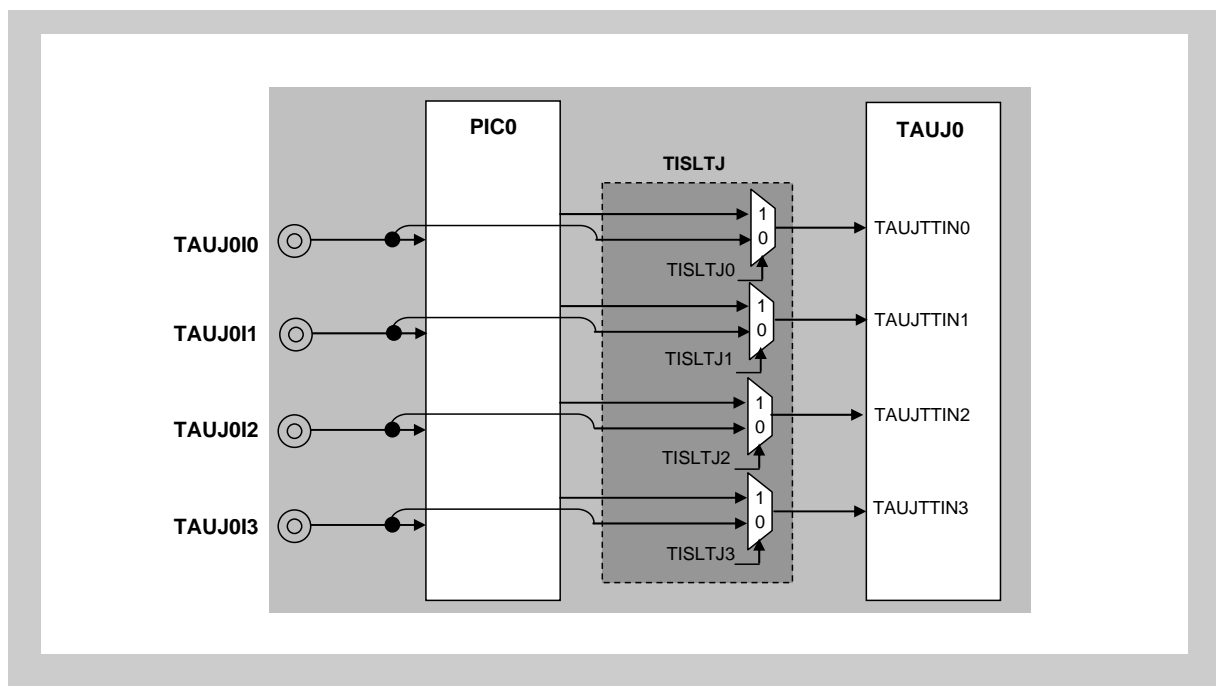


図 16-1 TAUJ0 入力の選択図

(1) TISLTJ — TAUJ0 (TAUJTTIN0-3) 入力選択レジスタ

本レジスタは、TAUJ0 機能 (TAUJTTIN0-3) に入力する信号を選択するレジスタです。

本レジスタで選択可能な TAUJTTIN0-3 への入力要因は、以下の2つです。

- PIC 機能からの出力信号
- PORT 兼用機能入力端子 (TAUJ0I0-3) からの入力信号

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FF77 3000_H

初期値： 00_H

7	6	5	4	3	2	1	0
0	0	0	0	TISLTJ3	TISLTJ2	TISLTJ1	TISLTJ0
R	R	R	R	R/W	R/W	R/W	R/W

表 16-2 TISLTJ レジスタの内容

ビット位置	ビット名	機能
3	TISLTJ3	TAUJ0 機能の TAUJTTIN3 への選択 0: PORT 兼用機能入力端子 (TAUJ0I3) 1: PIC 機能からの出力信号 注1
2	TISLTJ2	TAUJ0 機能の TAUJTTIN2 への選択 0: PORT 兼用機能入力端子 (TAUJ0I2) 1: PIC 機能からの出力信号 注1
1	TISLTJ1	TAUJ0 機能の TAUJTTIN1 への選択 0: PORT 兼用機能入力端子 (TAUJ0I1) 1: PIC 機能からの出力信号 注1
0	TISLTJ0	TAUJ0 機能の TAUJTTIN0 への選択 0: PORT 兼用機能入力端子 (TAUJ0I0) 1: PIC 機能からの出力信号 注1

注 1: PIC 機能からの出力信号を選択する場合は、V850E2/Fx4 ユーザーズマニュアルハードウェア編の第35章「Peripheral Interconnection (PIC)」に記載されている設定方法に従ってください。

第17章 タイマ・オプション機能 (TAPA)

この章では、タイマ・オプション機能について説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。

それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

17.1 V850E2/FF4-M のタイマ・オプション機能の特徴

チャンネル この製品は次のチャンネル数のタイマ・オプション機能を搭載しています。

表 17-1 タイマ・オプション機能のチャンネル数

TAPA	V850E2/FF4-M
チャンネル数	1
名称	TAPA0

n の意味 この章では、タイマ・オプション機能の各チャンネルを「n」で識別します。たとえば、TAPAn フラグ・レジスタ (TAPAnFLG) (n = 0) のように記述しています。

第18章 エンコーダ・タイマ (ENCA)

本章では、エンコーダ・タイマ (ENCA) 全般について説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。
それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアル
ハードウェア編をご参照ください。

18.1 V850E2/FF4-M の ENCA の機能

チャンネル数 本マイクロコントローラは以下のチャンネル数のエンコーダ・タイマを搭載しています。

表 18-1 ENCA のチャンネル

ENCA	V850E2/FF4-M
チャンネル数	1
名称	ENCA0

n の意味 本章では、エンコーダ・タイマの各チャンネルを「n」(n = 0) で識別します。
たとえば、ENCAn 制御レジスタは ENCAnCTL と記述します。

第19章 アシクロナス・シリアル・インタフェースE (UARTE_n)

この章では、アシクロナス・シリアル・インタフェースE (UARTE_n) について説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

19.1 V850E2/FF4-M の UARTE_n の機能

チャンネル この製品は次のチャンネル数のアシクロナス・シリアル・インタフェース機能を搭載しています。

表 19-1 UARTE_n のチャンネル数

アシクロナス・シリアル・インタフェースE	V850E2/FF4-M
チャンネル数	3
名称	UARTE2, UARTE10, UARTE11

n の意味 この章では、アシクロナス・シリアル・インタフェースE の各チャンネルを「n」で識別します (n = 2, 10, 11)。たとえば、UARTE_n 制御レジスタ 0 (URTE_nCTL0) のように記述しています。

第20章 LIN マスタ・コントローラ (LMA)

この章では、LIN マスタ・コントローラについて説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。

それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

20.1 V850E2/FF4-M の LMA_n の特徴

LMA_n のユニット数 この製品は次のユニット数の LIN マスタ・コントローラ LMA_n を搭載しています。

表 20-1 LMA_n ユニット

LIN マスタ・コントローラ	V850E2/FF4-M
ユニット数	3
名称	LMA2, LMA10, LMA11

LMA_n の n の意味 この章では、LIN マスタ・コントローラの各ユニットを「n」で識別します (n = 2, 10, 11)。たとえば、LMA_n 制御レジスタ L (LMA_nCTL) のように記述しています。

CNTA_m のチャンネル数 この製品は、次のチャンネル数の LIN マスタ・スケジューラ・カウンタ CNTA_m を搭載しています。

表 20-2 LIN マスタ・スケジューラ・カウンタ LMA_n のチャンネル

LIN マスタ・スケジューラ・カウンタ	V850E2/FF4-M
チャンネル数	2
名称	CNTA1, CNTA2

CNTA_m の m の意味 この章では、LIN マスタ・コントローラの各チャンネルを「m」で識別します (m = 1, 2)。たとえば、CNTA_m 制御レジスタ (CNTA_mCTL) のように記述しています。

第21章 CANコントローラ (FCN)

この製品は ISO 11898 で標準化されている CAN プロトコルに準拠したオンチップの CAN (Controller Area Network) コントローラを搭載しています。

この章では、CAN コントローラ (FCN) について説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。

それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

21.1 V850E2/FF4-M の FCN 機能

チャンネル この製品は次のチャンネル数の CAN コントローラを搭載しています。

表 21-1 FCN のチャンネル

製品	V850E2/FF4-M
チャンネル数 n	1
名称	FCN0

n の意味 本章では、CAN コントローラの各チャンネルを「n」(n = 0) で識別します。たとえば、FCNn グローバル制御レジスタ (FCNnGMCLCTL) のように記述しています。

表 21-2 FCN チャンネルのメッセージ・バッファ

チャンネル	メッセージ・バッファの数 m
FCN0	64

m の意味 本章では、FCN メッセージ・バッファ・レジスタを「m」(m = 0 ~ 63) で識別します。たとえば、FCN チャンネル n, FCN メッセージ・バッファ・レジスタ m のメッセージ・データ・バイト 4 は、FCNnMmDAT4B と記述します。

第 22 章 クロック同期シリアル・インタフェース G (CSIG)

クロック同期シリアル・インタフェース G (CSIG) については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

注意 FF4-M では、スレーブ選択入力信号 (CSIGTSSI)、ハンドシェイク機能には対応していません。

第23章 I²Cバス (I²CB)

I²Cバス (I²CB) については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

第 24 章 乱数ジェネレータ A (RNGA)

乱数ジェネレータ A (RNGA) については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第25章 キー・リターン機能 (KR)

キー・リターン機能については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第26章 A/Dコンバータ (ADCA)

この章では、A/Dコンバータ A の一般的な内容について説明します。

この章では、V850E2/FF4-M に固有の内容についてのみ記載します。

それ以外の共通の内容につきましては、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

26.1 V850E2/FF4-M ADCA の特徴

チャンネル この製品は次のチャンネル数の A/D コンバータ A を搭載しています。

表 26-1 ADCA のユニット

A/D コンバータ A	V850E2/FF4-M
チャンネル数 n	1
名称	ADCA0

n の意味 この章では、ADCA の各ユニットを「n」で識別します。たとえば、ADCA_n、ADCA_n の制御レジスタ 0 (ADCA_nCTL0) (n = 0) のように記述しています。

i の意味 A/D コンバータには 3 つの A/D 変換チャンネル・グループ (略号は CG) があります。本章では、各チャンネル・グループを「i」(i = 0-2) で識別します。たとえば、CG_i 割り込みコントローラ・レジスタ (ADCA_nIOC_i) のように記述しています。

m の意味 各 A/D コンバータには複数の変換チャンネルがあります。この章では、各 ADCA の各チャンネルを「m」で識別します。たとえば、チャンネル m 変換結果レジスタ (ADCA_nCmCR) のように記述しています。各デバイスの ADCA のチャンネル数を次の表に示します。

表 26-2 ADCA チップ・セレクト・インデックス

ADCA _n	V850E2/FF4-M チャンネル・インデックス
ADCA0	m = 0-11

第 27 章 Peripheral Interconnection (PIC)

Peripheral Interconnection (PIC) については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第28章 オンチップ・デバッグ・ユニット (OCD)

オンチップ・デバッグ・ユニット (OCD) については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第 29 章 バウンダリ・スキャン

バウンダリ・スキャンについては、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアル ハードウェア編をご参照ください。

第30章 電源

電源については、V850E2/FG4 と共通の内容となりますので、V850E2/Fx4 ユーザーズマニュアルハードウェア編をご参照ください。

改訂記録	V850E2/FF4-M ユーザーズマニュアル ハードウェア編
------	---------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.07.30	—	初版発行

V850E2/FF4-M ユーザーズマニュアル
ハードウェア編

発行年月日 2013年7月30日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町 2-6-2 (日本ビル)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

V850E2/FF4-M



ルネサスエレクトロニクス株式会社

R01UH0250JJ0100