

# RL78/G1E

ユーザーズマニュアル ハードウェア編

Smart Analog IC 内蔵 16 ビット・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報を御確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準：            コンピュータ、OA 機器、通信機器、計測機器、AV 機器、  
                                 家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準：        輸送機器（自動車、電車、船舶等）、交通用信号機器、  
                                 防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。  
CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インターフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

# このマニュアルの使い方

**対象者** このマニュアルは、RL78/G1E の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・ 64 ピン : R5F10FLx (x = C, D, E)
- ・ 80 ピン : F5F10FMx (x = C, D, E)

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成** RL78/G1E のマニュアルは、このマニュアルと RL78/G1A ユーザーズ・マニュアル、および RL78 ファミリーユーザーズ・マニュアルの 3 冊に分かれています。

RL78/G1E ユーザーズ・マニュアル ハードウェア編	RL78/G1A ユーザーズ・マニュアル ハードウェア編	RL78 ファミリー ユーザーズ・マニュアル ソフトウェア編
<ul style="list-style-type: none"><li>・ 端子機能</li><li>・ 内部ブロック機能</li><li>・ 内蔵周辺機能</li><li>・ 電気的特性</li></ul>	<ul style="list-style-type: none"><li>・ 端子機能</li><li>・ 内部ブロック機能</li><li>・ 割り込み</li><li>・ その他の内蔵周辺機能</li><li>・ 電気的特性</li></ul>	<ul style="list-style-type: none"><li>・ CPU 機能</li><li>・ 命令セット</li><li>・ 命令の説明</li></ul>

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。

□マイクロコントローラ部の機能詳細を知りたいとき

→別冊の RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) を参照してください。

□RL78/G1A マイクロコントローラの命令機能の詳細を知りたいとき

→別冊の RL78 ファミリー ユーザーズ・マニュアル ソフトウェア編 (R01US0015J) を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{XXX}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数…XXXXまたはXXXXB 10進数…XXXX 16進数…XXXXH

## 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

### デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G1E ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0353E
RL78/G1A ユーザーズ・マニュアル ハードウェア編	R01UH0305J	R01UH0305E
RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

### フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	R02UT0008J	R02UT0008E

### その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CS0003J	R01CS0003E
半導体パッケージ 実装マニュアル	注	
NEC 半導体デバイスの品質水準	C11531J	C11531E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
信頼性ハンドブック	R51ZZ0001C	R51ZZ0001E

注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文: <http://japan.renesas.com/products/package/manual/index.jsp>

英文: <http://www.renesas.com/products/package/manual/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROM は、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlash は、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash<sup>®</sup>を使用しています。

# 目次

第1章 概 説.....	1
1.1 特 徴.....	1
1.1.1 マイクロコントローラ部 .....	1
1.1.2 アナログ部 .....	3
1.2 型名一覧.....	4
1.3 端子接続図 (Top View) .....	5
1.3.1 64 ピン製品 .....	5
1.3.2 80 ピン製品 .....	6
1.4 端子名称 .....	7
1.5 ブロック図 .....	9
1.5.1 64 ピン製品 .....	9
1.5.2 80 ピン製品 .....	12
1.6 機能概要 .....	15
第2章 端子機能.....	18
2.1 マイクロコントローラ部の端子機能.....	18
2.1.1 ポート機能 .....	22
2.1.1.1 64ピン製品 .....	23
2.1.1.2 80ピン製品 .....	25
2.1.2 ポート以外の機能 .....	27
2.1.2.1 製品別の搭載機能.....	27
2.1.2.2 機能説明 .....	30
2.2 アナログ部の端子機能 .....	32
2.2.1 64 ピン製品 .....	32
2.2.2 80 ピン製品 .....	33
2.3 未使用端子の処理 .....	34
2.4 端子ブロック図 .....	36
2.5 端子機能の説明 .....	48
2.5.1 ポート 0 (P00-P04) .....	48
2.5.2 ポート 1 (P10-P15) .....	50
2.5.3 ポート 2 (P20-P24) .....	52
2.5.4 ポート 4 (P40-P42) .....	53
2.5.5 ポート 5 (P50, P51) .....	54
2.5.6 ポート 7 (P70-P73) .....	55
2.5.7 ポート 12 (P121, P122) .....	56



2.5.8	ポート 13 (P130, P137) .....	57
2.5.9	ポート 14 (P140) .....	58
2.5.10	AV <sub>DD</sub> , AV <sub>SS</sub> , V <sub>DD</sub> , V <sub>SS</sub> .....	59
2.5.11	$\overline{\text{RESET}}$ .....	59
2.5.12	REGC.....	59
2.5.13	AV <sub>DD3</sub> .....	60
2.5.14	SC_IN.....	60
2.5.15	CLK_SYNCH.....	60
2.5.16	SYNCH_OUT .....	60
2.5.17	AGND2.....	60
2.5.18	GAINAMP_OUT .....	60
2.5.19	GAINAMP_IN.....	60
2.5.20	MPXIN10, MPXIN11, MPXIN20, MPXIN21, MPXIN30, MPXIN31, MPXIN40, MPXIN41, MPXIN50, MPXIN51, MPXIN60, MPXIN61 .....	60
2.5.21	AMP1_OUT, AMP2_OUT, AMP3_OUT .....	60
2.5.22	DAC1_OUT, DAC2_OUT, DAC3_OUT, DAC4_OUT .....	60
2.5.23	VREFIN1, VREFIN2, VREFIN3, VREFIN4 .....	60
2.5.24	AGND1 .....	61
2.5.25	AV <sub>DD1</sub> .....	61
2.5.26	AGND3.....	61
2.5.27	BGR_OUT.....	61
2.5.28	AV <sub>DD2</sub> .....	61
2.5.29	LDO_OUT .....	61
2.5.30	TEMP_OUT.....	61
2.5.31	$\overline{\text{ARESET}}$ .....	61
2.5.32	DV <sub>DD</sub> .....	61
2.5.33	$\overline{\text{SCLK}}$ .....	61
2.5.34	SDO .....	61
2.5.35	SDI .....	62
2.5.36	$\overline{\text{CS}}$ .....	62
2.5.37	DGND.....	62
2.5.38	HPF_OUT .....	62
2.5.39	CLK_HPF .....	62
2.5.40	CLK_LPF.....	62
2.5.41	AGND4.....	62
2.5.42	LPF_OUT .....	62
2.5.43	I.C.....	62

第3章 マイクロコントローラ部 .....	63
3.1 概 要 .....	63
3.2 RL78/G1A (64ピン製品) との機能比較 .....	64
3.3 CPUアーキテクチャ .....	68
3.3.1 メモリ空間 .....	68
3.3.2 プロセッサ・レジスタ .....	68
3.3.2.1 制御レジスタ .....	68
3.3.2.2 汎用レジスタ .....	68
3.3.2.3 ES, CSレジスタ .....	68
3.3.2.4 特殊機能レジスタ (SFR : Special Function Register) .....	69
3.3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) .....	77
3.3.3 命令アドレスのアドレッシング .....	89
3.3.4 処理データ・アドレスに対するアドレッシング .....	89
3.4 ポート機能 .....	90
3.4.1 ポートの機能 .....	90
3.4.2 ポートの構成 .....	90
3.4.2.1 ポート0 .....	91
3.4.2.2 ポート1 .....	91
3.4.2.3 ポート2 .....	91
3.4.2.4 ポート3 .....	92
3.4.2.5 ポート4 .....	92
3.4.2.6 ポート5 .....	92
3.4.2.7 ポート6 .....	92
3.4.2.8 ポート7 .....	92
3.4.2.9 ポート12 .....	93
3.4.2.10 ポート13 .....	93
3.4.2.11 ポート14 .....	93
3.4.2.12 ポート15 .....	93
3.4.3 ポート機能を制御するレジスタ .....	94
3.4.3.1 ポート・モード・レジスタ (PMxx) .....	96
3.4.3.2 ポート・レジスタ (Pxx) .....	97
3.4.3.3 プルアップ抵抗オプション・レジスタ (PUxx) .....	98
3.4.3.4 ポート・入力モード・レジスタ (PIMxx) .....	98
3.4.3.5 ポート・出力モード・レジスタ (POMxx) .....	99
3.4.3.6 ポート・モード・コントロール・レジスタ (PMCxx) .....	99
3.4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC) .....	100
3.4.3.8 周辺I/Oリダイレクション・レジスタ (PIOR) .....	102
3.4.3.9 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS) .....	102
3.4.3.10 グローバル・アナログ・インプット・ディスエーブル・レジスタ (GAIDIS) .....	102
3.4.4 ポート機能の動作 .....	103
3.4.4.1 入出力ポートへの書き込み .....	103

3.4.4.2	入出力ポートからの読み出し .....	103
3.4.4.3	入出力ポートでの演算 .....	103
3.4.4.4	EV <sub>DD</sub> ≤ V <sub>DD</sub> による異電位 (1.8 V系, 2.5 V系, 3 V系) 対応.....	103
3.4.4.5	入出力バッファによる異電位 (1.8 V系, 2.5 V系, 3 V系) 対応 .....	104
3.4.5	兼用機能使用時のレジスタ設定.....	106
3.4.6	ポート機能使用時の注意事項 .....	106
3.5	クロック発生回路.....	107
3.5.1	クロック発生回路の機能 .....	107
3.5.2	クロック発生回路の構成 .....	109
3.5.3	クロック発生回路を制御するレジスタ .....	112
3.5.3.1	クロック動作モード制御レジスタ (CMC) .....	112
3.5.3.2	システム・クロック制御レジスタ (CKC) .....	113
3.5.3.3	クロック動作ステータス制御レジスタ (CSC) .....	114
3.5.3.4	発振安定時間カウンタ状態レジスタ (OSTC) .....	115
3.5.3.5	発振安定時間選択レジスタ (OSTS) .....	115
3.5.3.6	周辺イネーブル・レジスタ0 (PER0) .....	116
3.5.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC) .....	117
3.5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) .....	117
3.5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) .....	117
3.5.4	システム・クロック発振回路 .....	118
3.5.5	クロック発生回路の動作 .....	118
3.5.6	クロックの制御.....	118
3.5.7	発振子と発振回路定数 .....	119
3.6	タイマ・アレイ・ユニット .....	123
3.6.1	タイマ・アレイ・ユニットの機能 .....	125
3.6.1.1	単独チャンネル動作機能 .....	125
3.6.1.2	複数チャンネル連動動作機能 .....	127
3.6.1.3	8ビット・タイマ動作機能 (チャンネル1, 3のみ) .....	128
3.6.1.4	LIN-bus対応機能 (ユニット0のチャンネル7のみ) .....	129
3.6.2	タイマ・アレイ・ユニットの構成 .....	130
3.6.2.1	タイマ・カウンタ・レジスタmn (TCRmn) .....	134
3.6.2.2	タイマ・データ・レジスタmn (TDRmn) .....	134
3.6.3	タイマ・アレイ・ユニットを制御するレジスタ .....	135
3.6.3.1	周辺イネーブル・レジスタ0 (PER0) .....	135
3.6.3.2	タイマ・クロック選択レジスタm (TPSm) .....	135
3.6.3.3	タイマ・モード・レジスタmn (TMRmn) .....	136
3.6.3.4	タイマ・ステータス・レジスタmn (TSRmn) .....	141
3.6.3.5	タイマ・チャンネル許可ステータス・レジスタm (TEm) .....	141
3.6.3.6	タイマ・チャンネル開始レジスタm (TSm) .....	141
3.6.3.7	タイマ・チャンネル停止レジスタm (TTm) .....	141
3.6.3.8	タイマ入力選択レジスタ0 (TIS0) .....	141

3.6.3.9	タイマ出力許可レジスタm (TOEm)	142
3.6.3.10	タイマ出力レジスタm (TOm)	142
3.6.3.11	タイマ出力レベル・レジスタm (TOLm)	143
3.6.3.12	タイマ出力モード・レジスタm (TOMm)	143
3.6.3.13	入力切り替え制御レジスタ (ISC)	144
3.6.3.14	ノイズ・フィルタ許可レジスタ1 (NFEN1)	144
3.6.3.15	タイマ入出力端子のポート機能を制御するレジスタ	145
3.6.4	タイマ・アレイ・ユニットの基本ルール	146
3.6.5	カウンタの動作	146
3.6.6	チャンネル出力 (TOmn 端子) の制御	146
3.6.7	タイマ入力 (TImn) の制御	146
3.6.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	146
3.6.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	146
3.6.10	タイマ・アレイ・ユニット使用時の注意事項	146
3.7	リアルタイム・クロック	147
3.8	12ビット・インターバル・タイマ	148
3.8.1	12ビット・インターバル・タイマの機能	148
3.8.2	12ビット・インターバル・タイマの構成	148
3.8.3	12ビット・インターバル・タイマを制御するレジスタ	149
3.8.3.1	周辺イネーブル・レジスタ0 (PER0)	149
3.8.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	149
3.8.3.3	インターバル・タイマ・コントロール・レジスタ (ITMC)	149
3.8.4	12ビット・インターバル・タイマの動作	150
3.9	クロック出力／ブザー出力制御回路	151
3.9.1	クロック出力／ブザー出力制御回路の機能	151
3.9.2	クロック出力／ブザー出力制御回路の構成	152
3.9.3	クロック出力／ブザー出力制御回路を制御するレジスタ	152
3.9.3.1	クロック出力選択レジスタ0 (CKS0)	153
3.9.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	154
3.9.4	クロック出力／ブザー出力制御回路の動作	154
3.9.5	クロック出力／ブザー出力制御回路の注意事項	154
3.10	ウォッチドッグ・タイマ	155
3.11	A/Dコンバータ	156
3.11.1	A/Dコンバータの機能	156
3.11.2	A/Dコンバータの構成	159
3.11.3	A/Dコンバータを制御するレジスタ	161
3.11.3.1	周辺イネーブル・レジスタ0 (PER0)	161
3.11.3.2	A/Dコンバータ・モード・レジスタ0 (ADM0)	161
3.11.3.3	A/Dコンバータ・モード・レジスタ1 (ADM1)	162
3.11.3.4	A/Dコンバータ・モード・レジスタ2 (ADM2)	163

3.11.3.5	12ビットA/D変換結果レジスタ (ADCR)	163
3.11.3.6	8ビットA/D変換結果レジスタ (ADCRH)	163
3.11.3.7	アナログ入力チャネル指定レジスタ (ADS)	164
3.11.3.8	変換結果比較上限値設定レジスタ (ADUL)	168
3.11.3.9	変換結果比較下限値設定レジスタ (ADLL)	168
3.11.3.10	A/Dテスト・レジスタ (ADTES)	168
3.11.3.11	アナログ入力端子のポート機能を制御するレジスタ	168
3.11.4	A/D コンバータの変換動作	169
3.11.5	入力電圧と変換結果	169
3.11.6	A/D コンバータの動作モード	169
3.11.7	A/D コンバータの設定フロー・チャート	169
3.11.8	SNOOZE モード機能	169
3.11.9	A/D コンバータ特性表の読み方	169
3.11.10	A/D コンバータの注意事項	169
3.12	シリアル・アレイ・ユニット	170
3.12.1	シリアル・アレイ・ユニットの機能	171
3.12.1.1	3線シリアルI/O (CSI00, CSI10, CSI20, CSI21)	171
3.12.1.2	UART (UART0-UART2)	172
3.12.1.3	簡易I <sup>2</sup> C (IIC00, IIC10, IIC20)	173
3.12.2	シリアル・アレイ・ユニットの構成	174
3.12.2.1	シフト・レジスタ	178
3.12.2.2	シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット	178
3.12.3	シリアル・アレイ・ユニットを制御するレジスタ	180
3.12.3.1	周辺イネーブル・レジスタ0 (PER0)	180
3.12.3.2	シリアル・クロック選択レジスタm (SPSm)	180
3.12.3.3	シリアル・モード・レジスタmn (SMRmn)	181
3.12.3.4	シリアル通信動作設定レジスタmn (SCRmn)	183
3.12.3.5	シリアル・データ・レジスタmn (SDRmn) の上位7ビット	187
3.12.3.6	シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)	187
3.12.3.7	シリアル・ステータス・レジスタmn (SSRmn)	187
3.12.3.8	シリアル・チャネル開始レジスタm (SSm)	187
3.12.3.9	シリアル・チャネル停止レジスタm (STm)	187
3.12.3.10	シリアル・チャネル許可ステータス・レジスタm (SEm)	187
3.12.3.11	シリアル出力許可レジスタm (SOEm)	187
3.12.3.12	シリアル出力レジスタm (SOM)	187
3.12.3.13	シリアル出力レベル・レジスタm (SOLm)	188
3.12.3.14	シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)	188
3.12.3.15	入力切り替え制御レジスタ (ISC)	188
3.12.3.16	ノイズ・フィルタ許可レジスタ0 (NFEN0)	188
3.12.3.17	シリアル入出力端子のポート機能を制御するレジスタ	189
3.12.4	動作停止モード	190

3.12.5	3線シリアル I/O (CSI00, CSI10, CSI20, CSI21) 通信の動作 .....	190
3.12.6	UART (UART0-UART2) 通信の動作 .....	190
3.12.7	LIN 通信の動作 .....	190
3.12.8	簡易 I <sup>2</sup> C (IIC00, IIC10, IIC20) 通信の動作 .....	190
3.13	シリアル・インタフェース IICA .....	191
3.14	乗除積和算器 .....	192
3.15	DMAコントローラ .....	193
3.16	割り込み機能 .....	194
3.16.1	割り込み機能の種類 .....	194
3.16.2	割り込み要因と構成 .....	194
3.16.3	割り込み機能を制御するレジスタ .....	200
3.16.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) .....	205
3.16.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) .....	207
3.16.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) .....	209
3.16.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ 許可レジスタ (EGN0) .....	213
3.16.3.5	プログラム・ステータス・ワード (PSW) .....	214
3.16.4	割り込み処理動作 .....	214
3.17	キー割り込み機能 .....	215
3.17.1	キー割り込みの機能 .....	215
3.17.2	キー割り込みの構成 .....	216
3.17.3	キー割り込みを制御するレジスタ .....	218
3.17.3.1	キー・リターン・コントロール・レジスタ (KRCTL) .....	218
3.17.3.2	キー・リターン・モード・レジスタ0 (KRM0) .....	218
3.17.3.3	キー・リターン・フラグ・レジスタ (KRF) .....	218
3.17.3.4	ポート・モード・レジスタ0-2, 7 (PM0-PM2, PM7) .....	218
3.17.3.5	周辺I/Oリダイレクション・レジスタ (PIOR) .....	219
3.17.4	キー割り込み機能の動作 .....	219
3.18	スタンバイ機能 .....	220
3.19	リセット機能 .....	221
3.20	パワーオン・リセット回路 .....	222
3.21	電圧検出回路 .....	223
3.21.1	電圧検出回路の機能 .....	223
3.21.2	電圧検出回路の構成 .....	224
3.21.3	電圧検出回路を制御するレジスタ .....	225
3.21.3.1	電圧検出レジスタ (LVIM) .....	225
3.21.3.2	電圧検出レベル・レジスタ (LVIS) .....	225
3.21.4	電圧検出回路の動作 .....	228
3.21.5	電圧検出回路の注意事項 .....	228

3.22	安全機能	229
3.22.1	安全機能の概要	229
3.22.2	安全機能で使用するレジスタ	230
3.22.3	安全機能の動作	230
3.22.3.1	フラッシュ・メモリCRC演算機能（高速CRC）	230
3.22.3.2	CRC演算機能（汎用CRC）	230
3.22.3.3	RAMパリティ・エラー検出機能	230
3.22.3.4	RAMガード機能	230
3.22.3.5	SFRガード機能	230
3.22.3.6	不正メモリ・アクセス検出機能	230
3.22.3.7	周波数検出機能	231
3.22.3.8	A/Dテスト機能	231
3.23	レギュレータ	232
3.24	オプション・バイト	233
3.24.1	オプション・バイトの機能	233
3.24.1.1	ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）	233
3.24.1.2	オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）	234
3.24.2	ユーザ・オプション・バイトのフォーマット	235
3.24.3	オンチップ・デバッグ・オプション・バイトのフォーマット	238
3.24.4	オプション・バイトの設定	238
3.25	フラッシュ・メモリ	239
3.25.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	239
3.25.1.1	プログラミング環境	240
3.25.1.2	通信方式	240
3.25.2	外部デバイス（UART 内蔵）によるシリアル・プログラミング	241
3.25.3	オンボード上の端子処理	241
3.25.4	シリアル・プログラミング方法	241
3.25.5	PG-FP5 使用時の各コマンド処理時間（参考値）	241
3.25.6	セルフ・プログラミング	241
3.25.7	セキュリティ設定	241
3.25.8	データ・フラッシュ	241
3.26	オンチップ・デバッグ機能	242
3.26.1	E1 オンチップデバッグエミュレータと RL78/G1E の接続	242
3.26.2	オンチップ・デバッグ・セキュリティ ID	243
3.26.3	ユーザ資源の確保	243
3.27	10進補正（BCD）回路	244
3.28	命令セットの概要	245
第4章	アナログ部	246
4.1	コンフィギュラブル・アンプ	246

4.1.1	コンフィギュラブル・アンプの機能概要	246
4.1.2	ブロック図	247
4.1.3	コンフィギュラブル・アンプを制御するレジスタ	250
4.1.4	コンフィギュラブル・アンプの動作手順	268
4.2	ゲイン調整アンプ	282
4.2.1	ゲイン調整アンプの機能概要	282
4.2.2	ブロック図	282
4.2.3	ゲイン調整アンプを制御するレジスタ	284
4.2.4	ゲイン調整アンプの動作手順	287
4.3	D/Aコンバータ	288
4.3.1	D/A コンバータの機能概要	288
4.3.2	ブロック図	288
4.3.3	D/A コンバータを制御するレジスタ	289
4.3.4	D/A コンバータの動作手順	291
4.3.5	D/A コンバータ使用上の注意点	292
4.4	ローパス・フィルタ	293
4.4.1	ローパス・フィルタの機能概要	293
4.4.2	ブロック図	294
4.4.3	ローパス・フィルタを制御するレジスタ	295
4.4.4	ローパス・フィルタの動作手順	297
4.5	ハイパス・フィルタ	298
4.5.1	ハイパス・フィルタの機能概要	298
4.5.2	ブロック図	299
4.5.3	ハイパス・フィルタを制御するレジスタ	300
4.5.4	ハイパス・フィルタの動作手順	302
4.6	温度センサ回路	303
4.6.1	温度センサ回路の機能概要	303
4.6.2	ブロック図	303
4.6.3	温度センサ回路を制御するレジスタ	304
4.6.4	温度センサ回路の動作手順	305
4.7	出力電圧可変レギュレータ	306
4.7.1	出力電圧可変レギュレータの機能概要	306
4.7.2	ブロック図	306
4.7.3	出力電圧可変レギュレータを制御するレジスタ	307
4.7.4	出力電圧可変レギュレータの動作手順	309
4.8	基準電圧生成回路	310
4.8.1	基準電圧生成回路の機能概要	310
4.8.2	ブロック図	310



4.8.3	基準電圧生成回路を制御するレジスタ	311
4.8.4	基準電圧生成回路の動作手順	311
4.8.5	基準電圧生成回路使用上の注意点	311
4.9	SPI	312
4.9.1	SPI の機能	312
4.9.2	SPI 通信動作	313
4.10	アナログ・リセット機能	315
4.10.1	アナログ・リセット機能の概要	315
4.10.2	アナログ・リセットを制御するレジスタ	318
第 5 章	電気的特性	319
5.1	絶対最大定格	320
5.1.1	マイクロコントローラ部の絶対最大定格	320
5.1.2	アナログ部の絶対最大定格	322
5.1.3	絶対最大定格（マイクロコントローラ部，アナログ部共通）	322
5.2	マイクロコントローラ部の電気的特性	323
5.2.1	発振回路特性	323
5.2.1.1	X1発振回路特性	323
5.2.1.2	オンチップ・オシレータ特性	324
5.2.2	DC 特性	325
5.2.2.1	端子特性	325
5.2.2.2	電源電流特性	331
5.2.3	AC 特性	336
5.2.4	周辺機能特性	341
5.2.4.1	シリアル・アレイ・ユニット	341
5.2.5	アナログ特性	371
5.2.5.1	A/Dコンバータ特性	371
5.2.5.2	温度センサ／内部基準電圧出力特性	377
5.2.5.3	POR回路特性	377
5.2.5.4	LVD回路特性	378
5.2.5.5	電源電圧立ち上がり傾き特性	379
5.2.6	データ・メモリ STOP モード低電源電圧データ保持特性	380
5.2.7	フラッシュ・メモリ・プログラミング特性	380
5.2.8	専用フラッシュ・メモリ・プログラマ通信（UART）	381
5.2.9	フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング・スペック	382
5.3	アナログ部の電気的特性	383
5.3.1	アナログ部の動作条件	383
5.3.2	電源電流特性	384
5.3.3	各機能の電気的特性	386

5.3.3.1	コンフィギュラブル・アンプ特性 .....	386
5.3.3.2	ゲイン調整アンプ特性 .....	396
5.3.3.3	D/Aコンバータ特性 .....	398
5.3.3.4	ローパス・フィルタ回路特性 .....	399
5.3.3.5	ハイパス・フィルタ回路特性 .....	400
5.3.3.6	温度センサ回路特性 .....	401
5.3.3.7	出力電圧可変レギュレータ特性 .....	401
5.3.3.8	基準電圧生成回路特性 .....	401
5.3.3.9	SPI .....	402
第 6 章 外形図 .....		404
付録 A 特性曲線 ( $T_A = 25^\circ\text{C}$ , TYP.) (参考値) .....		406
付録 B 改訂履歴 .....		413
B.1	本版で改訂された主な箇所 .....	413
B.2	前版までの改版履歴 .....	417

## 第1章 概 説

### ★ 1.1 特 徴

RL78/G1E は、センサ微小信号処理用アナログ・フロントエンド回路として、コンフィギュラブル・アンプ、ゲイン調整アンプ、フィルタ回路、D/A コンバータ、温度センサ回路等を内蔵したアナログチップと16ビット・マイクロコントローラを1パッケージにしたMCP (Multi Chip Package) です。RL78/G1Eの16ビット・マイクロコントローラ部は、RL78/G1A (64ピン製品相当) を搭載しています。

#### 1.1.1 マイクロコントローラ部

スタンバイ機能を用いた低消費電力テクノロジー

- HALT モード
- STOP モード
- SNOOZE モード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：0.03125  $\mu$ s (高速オンチップ・オシレータ・クロック 32 MHz 動作時) から 0.05  $\mu$ s (高速システム・クロック 20 MHz 動作時) までを変更可能
- アドレス空間：1M バイト
- 汎用レジスタ：8ビット・レジスタ  $\times$  8  $\times$  4 バンク
- 内蔵 RAM：2 KB~4 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：32 KB~64 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止、書き換え禁止 (セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウィンドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：4 KB
- バックグラウンド・オペレーション (BGO)；データ・フラッシュ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000 回 (TYP.)
- 書き換え電圧：VDD = 1.8~5.5 V

### 高速オンチップ・オシレータ

- 32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz から選択
- 高精度±1.0% (VDD = 1.8~5.5 V, TA = -20~+85 °C)

### 動作周囲温度

- TA = -40~+85 °C (A : 民生用途, D : 産業用途)

### 電源電圧範囲

- VDD (マイクロコントローラ部) = 1.6 V~5.5 V
- AVDD (マイクロコントローラ部 A/D コンバータ) = 1.6 V~3.6 V
- AVDDn (アナログ部) = 3.0 V~5.5 V
- DVDD (アナログ部 SPI) = 3.0 V~5.5 V

### 電源管理とリセット機能

- パワーオン・リセット (POR) 回路内蔵
- 電圧検出 (LVD) 回路内蔵 (割り込み, リセットを3段階で選択)

### DMA (Direct Memory Access) コントローラ

- 2 チャンネル搭載
- 8 ビット/16 ビットの SFR⇔内蔵 RAM 間の転送が2クロック

### 乗除・積和演算器

- 16 ビット×16 ビット = 32 ビット (符号付/符号なし)
- 32 ビット÷32 ビット = 32 ビット (符号なし)
- 16 ビット×16 ビット+32 ビット = 32 ビット (符号付/符号なし)

### シリアル・インタフェース

- CSI : 2 チャンネル (64 ピン製品), 4 チャンネル (80 ピン製品)
- UART/UART (LIN-bus 対応) : 2 チャンネル/1 チャンネル
- 簡易 I<sup>2</sup>C : 1 チャンネル (64 ピン製品), 3 チャンネル (80 ピン製品)

### タイマ

- 16 ビット・タイマ : 8 チャンネル
- 12 ビット・インターバル・タイマ : 1 チャンネル
- ウォッチドッグ・タイマ : 1 チャンネル (専用の低速オンチップ・オシレータ・クロックで動作可能)

### A/Dコンバータ

- 8/12 ビット分解能 A/D コンバータ
- アナログ入力 : 13 チャンネル (64 ピン製品), 17 チャンネル (80 ピン製品)
- 内部基準電圧 (1.45 V) と温度センサを搭載<sup>注</sup>

注. HS (高速メイン) モードのみ選択可能

備考 1. n = 1~3

2. 製品によって、搭載している機能が異なります。1.6 機能概要を参照してください。

### 入出力ポート

- I/Oポート：24本（64ピン製品）、30本（80ピン製品）
- N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップ抵抗の切り替え可能
- 異電位（1.8/2.5/3V系）動作デバイスと接続可能
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵

### その他

- 10進補正（BCD）回路内蔵

### ROM, RAM容量

フラッシュ ROM	データ・ フラッシュ	RAM	RL78/G1E	
			64ピン製品	80ピン製品
32 KB	4 KB	2 KB	R5F10FLC	R5F10FMC
48 KB	4 KB	3 KB	R5F10FLD	R5F10FMD
64 KB	4 KB	4 KB	R5F10FLE	R5F10FME

備考 製品により，搭載している機能が異なります。「1.6 機能概要」を参照してください。

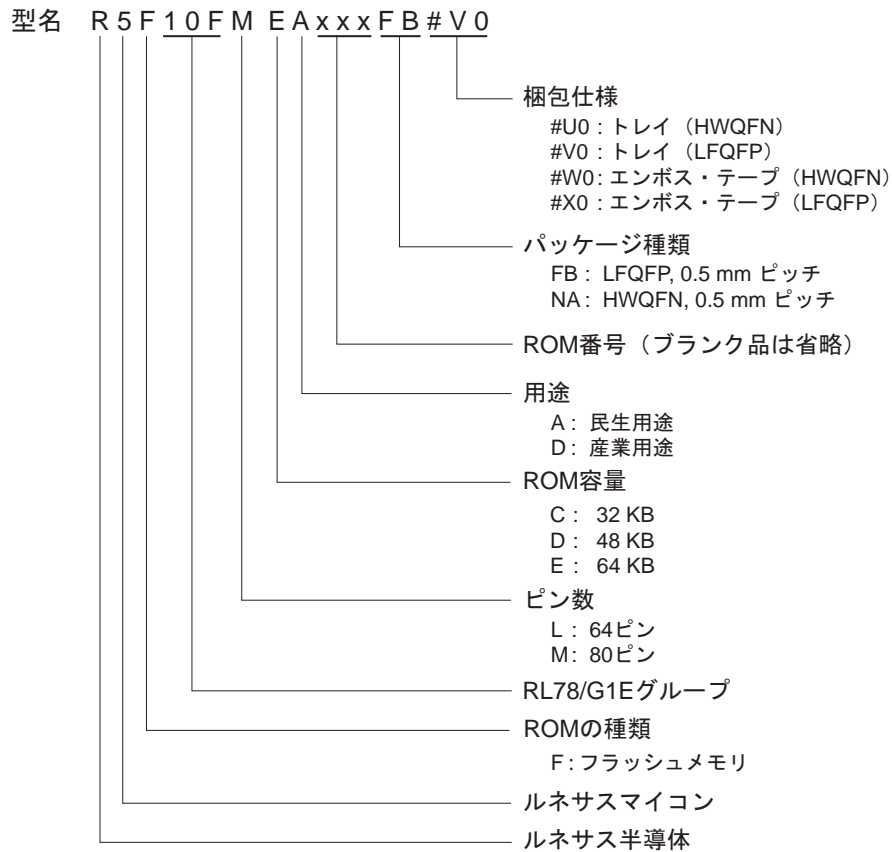
### 1.1.2 アナログ部

- コンフィギュラブル・アンプ: 3チャンネル
- ゲイン調整アンプ: 1チャンネル
- ハイパス・フィルタ: 1チャンネル<sup>注</sup>
- ローパス・フィルタ: 1チャンネル
- D/Aコンバータ: 4チャンネル
- 出力電圧可変レギュレータ: 1チャンネル
- 基準電圧生成回路: 1チャンネル
- 温度センサ回路: 1チャンネル
- SPI（アナログ部）: 1チャンネル

注. 80ピン製品のみ。

備考 製品により，搭載している機能が異なります。「1.6 機能概要」を参照してください。

1.2 型名一覧



ピン数	パッケージ	データ・フラッシュ	発注型名
★ 64 ピン	64 ピン・プラスチック HWQFN (ファインピッチ) (9×9)	搭載	R5F10FLCANA#U0, R5F10FLCANA#W0, R5F10FLDANA#U0, R5F10FLDANA#W0, R5F10FLEANA#U0, R5F10FLEANA#W0, R5F10FLCDNA#U0, R5F10FLCDNA#W0, R5F10FLDDNA#U0, R5F10FLDDNA#W0, R5F10FLEDNA#U0, R5F10FLEDNA#W0
80 ピン	80 ピン・プラスチック LFQFP (12×12)	搭載	R5F10FMCAFB#V0, R5F10FMCAFB#X0, R5F10FMDAFB#V0, R5F10FMDAFB#X0, R5F10FMEAFB#V0, R5F10FMEAFB#X0, R5F10FMCDFB#V0, R5F10FMCDFB#X0, R5F10FMDDFB#V0, R5F10FMDDFB#X0, R5F10FMEDFB#V0, R5F10FMEDFB#X0

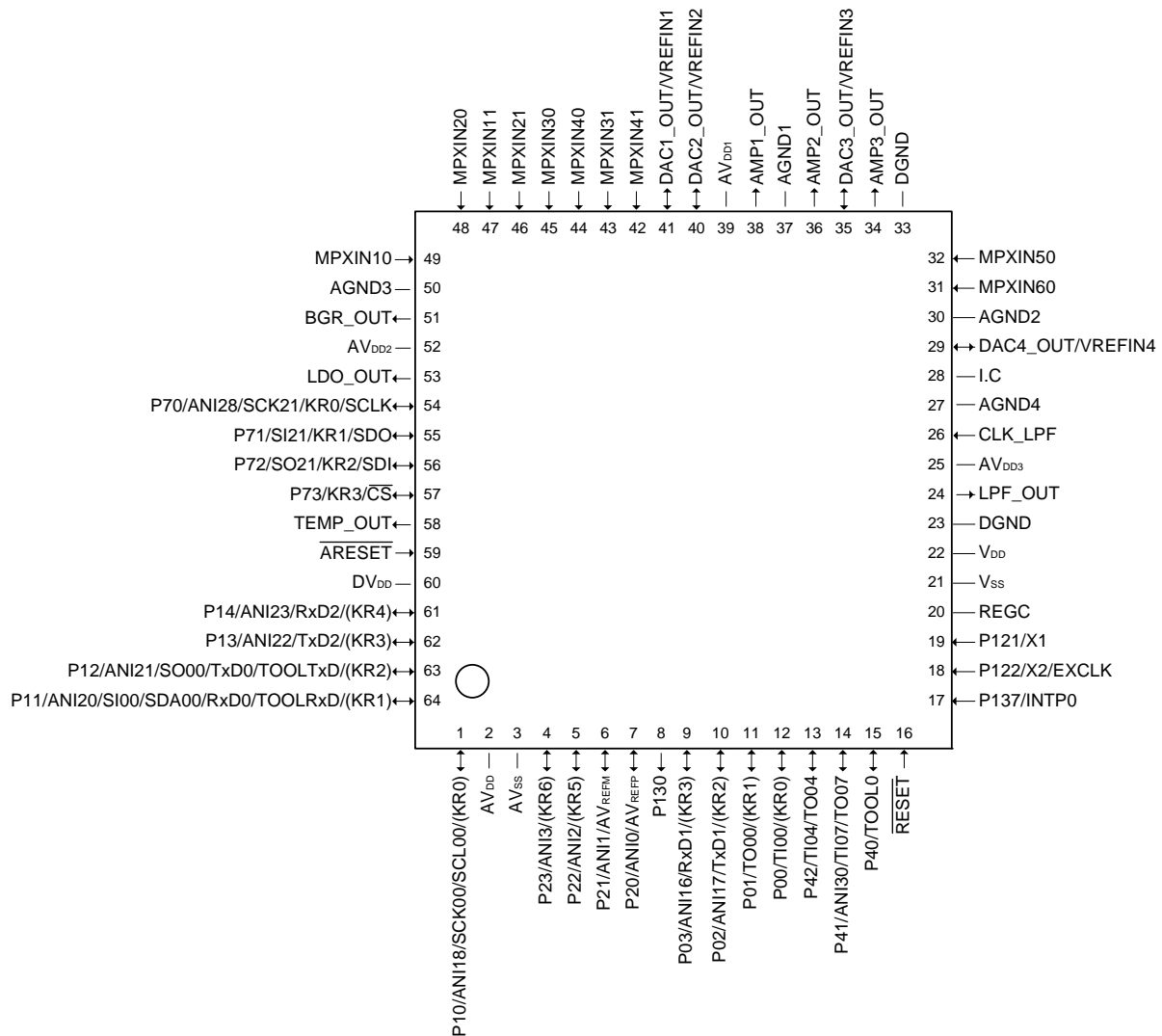
注意 発注型名は、本マニュアル発行時のものです。

最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

## ★ 1.3 端子接続図 (Top View)

## 1.3.1 64 ピン製品

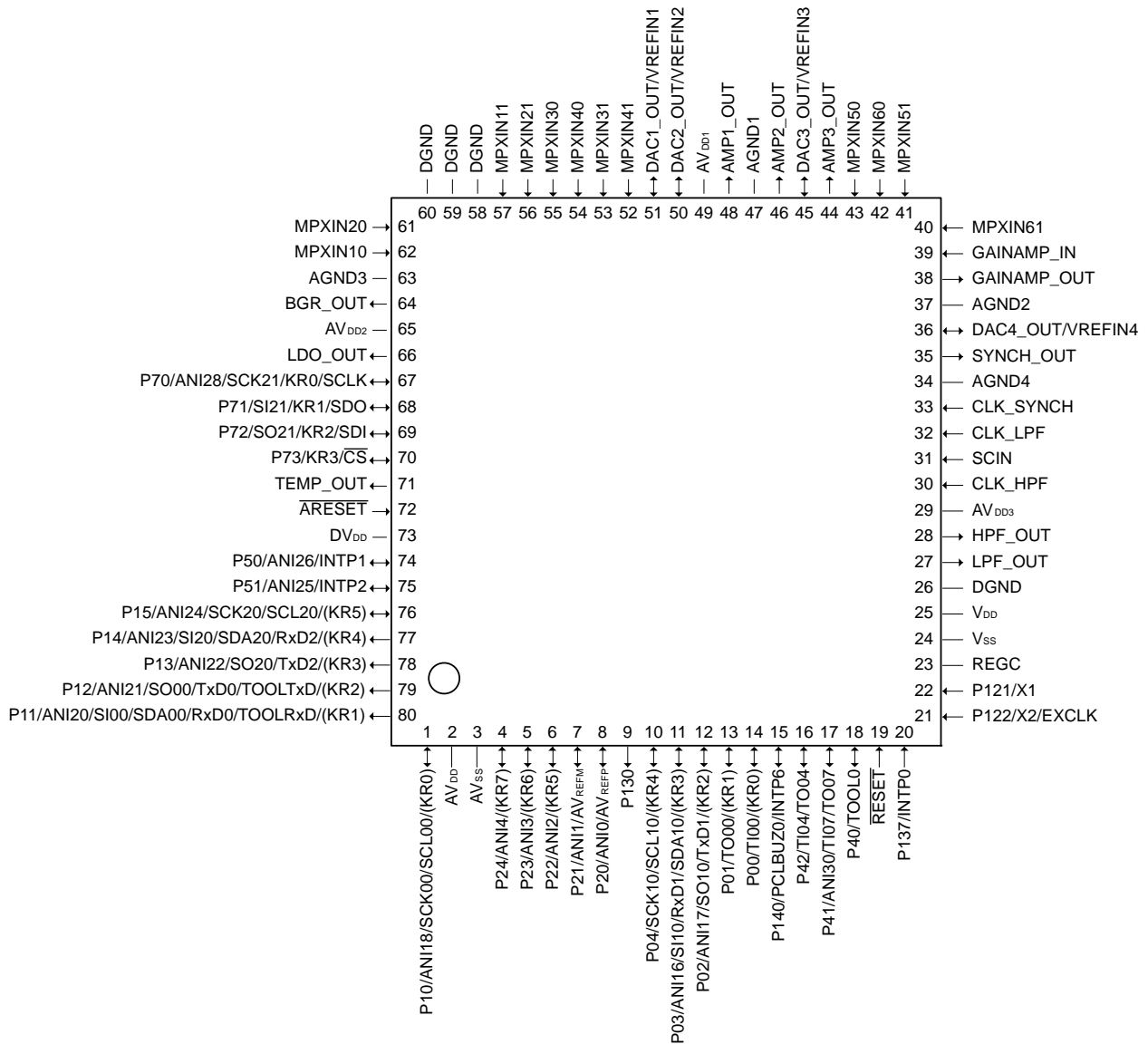
64 ピン・プラスチック WQFN (ファインピッチ) (9 × 9)



- 注意 1. REGC はコンデンサ (0.47~1 $\mu$ F) を介し、Vss に接続してください。
2. VDD, AVDD1, AVDD2, AVDD3, DVDD は同電位としてください。
3. Vss, AGND1, AGND2, AGND3, AGND4, DGND は同電位としてください。
4. I.C はオープンとしてください。
5. LDO\_OUT はコンデンサ (4.7 $\mu$ F: 推奨) を介し、AGND3 に接続してください。
6. BGR\_OUT はコンデンサ (0.1 $\mu$ F: 推奨) を介し、AGND3 に接続してください。
7. ローパス・フィルタまたはハイパス・フィルタを使用する場合、DAC4\_OUT/VREFIN4 はコンデンサ (470 pF: 推奨) を介し、AGND1 に接続してください。

## ★ 1.3.2 80ピン製品

80ピン・プラスチック LQFP (ファインピッチ) (12×12)



- 注意 1. REGC はコンデンサ (0.47~1 $\mu$ F) を介し、V<sub>SS</sub>に接続してください。
2. V<sub>DD</sub>, AV<sub>DD1</sub>, AV<sub>DD2</sub>, AV<sub>DD3</sub>, DV<sub>DD</sub>は同電位としてください。
3. V<sub>SS</sub>, AGND1, AGND2, AGND3, AGND4, DGND は同電位としてください。
4. LDO\_OUT はコンデンサ (4.7 $\mu$ F: 推奨) を介し、AGND3 に接続してください。
5. BGR\_OUT はコンデンサ (0.1 $\mu$ F: 推奨) を介し、AGND3 に接続してください。
6. ローパス・フィルタまたはハイパス・フィルタを使用する場合、DAC4\_OUT/VREFIN4 はコンデンサ (470 pF: 推奨) を介し、AGND1 に接続してください。



## ★ 1.4 端子名称

## ○マイクロコントローラ部

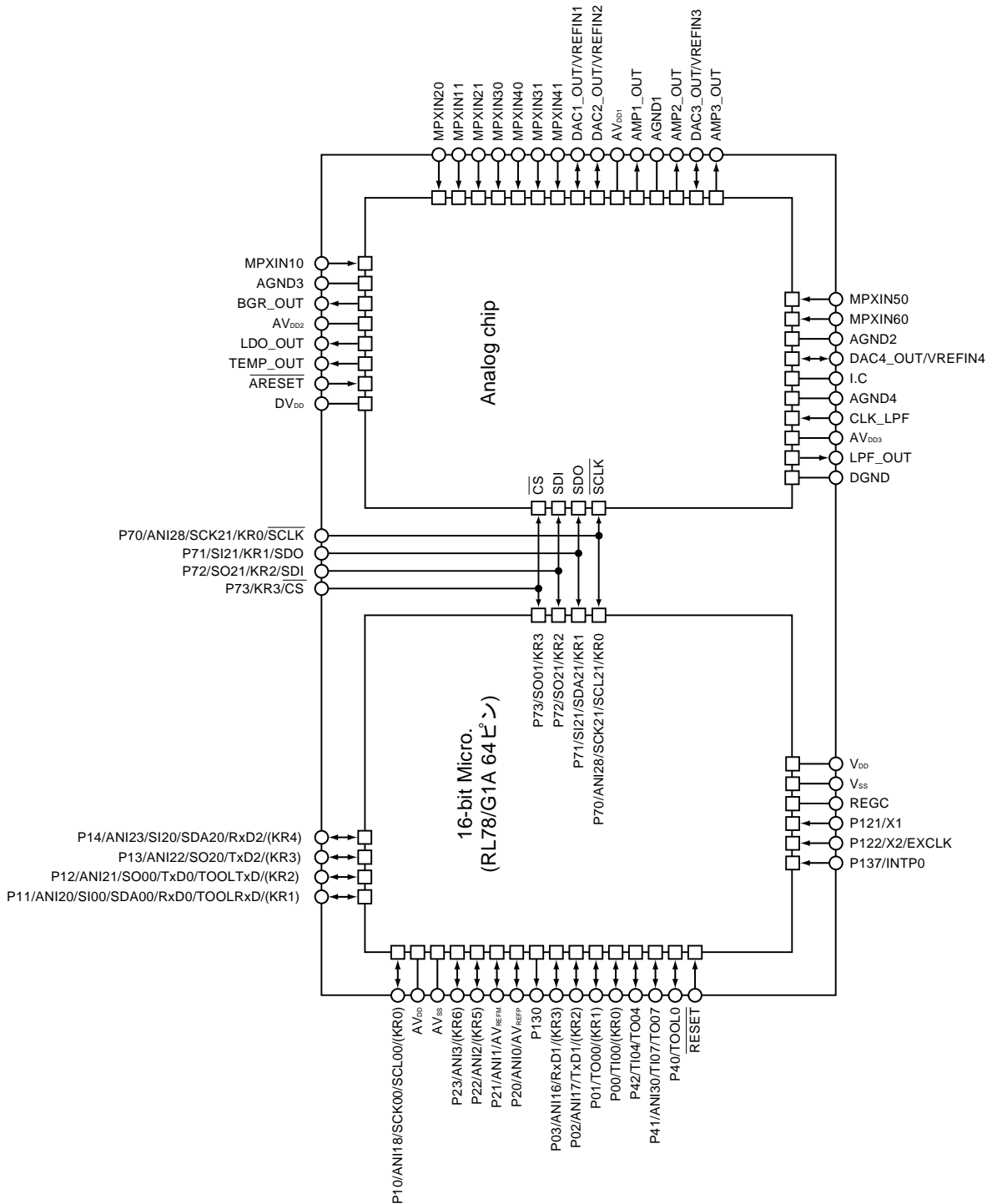
ANI0-ANI4,	: Analog Input	RxD0-RxD2	: Receive Data
ANI16-ANI18,		SCK00, SCK10,	: Serial Clock Input/Output
ANI20-ANI26,		SCK20, SCK21	
ANI28, ANI30		SCL00, SCL10,	: Serial Clock Input/Output
AVREFM	: Analog Reference Voltage Minus	SCL20	
AVREFP	: Analog Reference Voltage Plus	SDA00, SDA10,	: Serial Data Input/Output
EXCLK	: External Clock Input (Main System Clock)	SDA20	
INTP0-INTP2	: External Interrupt Input	SI00, SI10,	: Serial Data Input
INTP6		SI20, SI21	
KR0-KR7	: Key Return	SO00, SO10	: Serial Data Output
P00-P04	: Port 0	SO20, SO21	
P10-P15	: Port 1	TI00, TI04,	: Timer Input
P20-P24	: Port 2	TI07	
P40-P42	: Port 4	TO00, TO04,	: Timer Output
P50, P51	: Port 5	TO07	
P70-P73	: Port 7	TOOL0	: Data Input/Output for Tool
P121, P122	: Port 12	TOOLRxD,	: Data Input/Output for External Device
P130, P137	: Port 13	TOOLTxD	
P140	: Port 14	TxD0-TxD2	: Transmit Data
PCLBUZ0	: Programmable Clock Output/ Buzzer Output	V <sub>DD</sub>	: Power Supply
REGC	: Regulator Capacitance	V <sub>SS</sub>	: Ground
RESET	: Reset	X1, X2	: Crystal Oscillator (Main System Clock)
		AV <sub>DD</sub>	: Analog Power Supply
		AV <sub>SS</sub>	: Analog Ground

## ○アナログ部

AV <sub>DD1</sub>	: Power supply for configurable amplifiers	AMP1_OUT,	: Configurable amplifier output
AV <sub>DD2</sub>	: Power supply for variable output voltage regulator and reference voltage generator	AMP2_OUT,	
AV <sub>DD3</sub>	: Power supply for low-pass filter and high-pass filter	AMP3_OUT	
AGND1	: Ground for configurable amplifiers	DAC1_OUT,	: D/A converter output
AGND2	: Ground for gain adjustment amplifier	DAC2_OUT,	
AGND3	: Ground for variable output voltage regulator and reference voltage generator	DAC3_OUT,	
AGND4	: Ground for low-pass filter and high-pass filter	DAC4_OUT	
MPXIN10,	: Multiplexer input	VREFIN1,	
MPXIN11,		VREFIN2,	
MPXIN20,		VREFIN3	: Reference voltage input for configurable amplifier
MPXIN21,		VREFIN4	: Reference voltage input for Gain adjustment amplifier, low-pass filter, and high-pass filter
MPXIN30,			
MPXIN31,		<u>SCLK</u>	: Serial clock input
MPXIN40,		SDO	: Serial data output
MPXIN41,		SDI	: Serial data input
MPXIN50,		<u>CS</u>	: Chip select input
MPXIN51,		TEMP_OUT	: Temperature sensor output
MPXIN60,		ARESET	: Reset for analog block
MPXIN61		DV <sub>DD</sub>	: Power supply for SPI
SC_IN	: Input for filter signal processing	DGND	: Ground for SPI
CLK_SYNCH	: Synchronous detector control clock input	HPF_OUT	: High-pass filter output
SYNCH_OUT	: Synchronous detector output	CLK_HPF	: Pin for inputting high-pass filter control clock
GAINAMP_IN	: Gain adjustment amplifier input	CLK_LPF	: Pin for inputting low-pass filter control clock
GAINAMP_OUT	: Gain adjustment amplifier output	LPF_OUT	: Low-pass filter output
		BGR_OUT	: Reference voltage generator output
		LDO_OUT	: Variable output voltage regulator
		I.C	: Internal connect

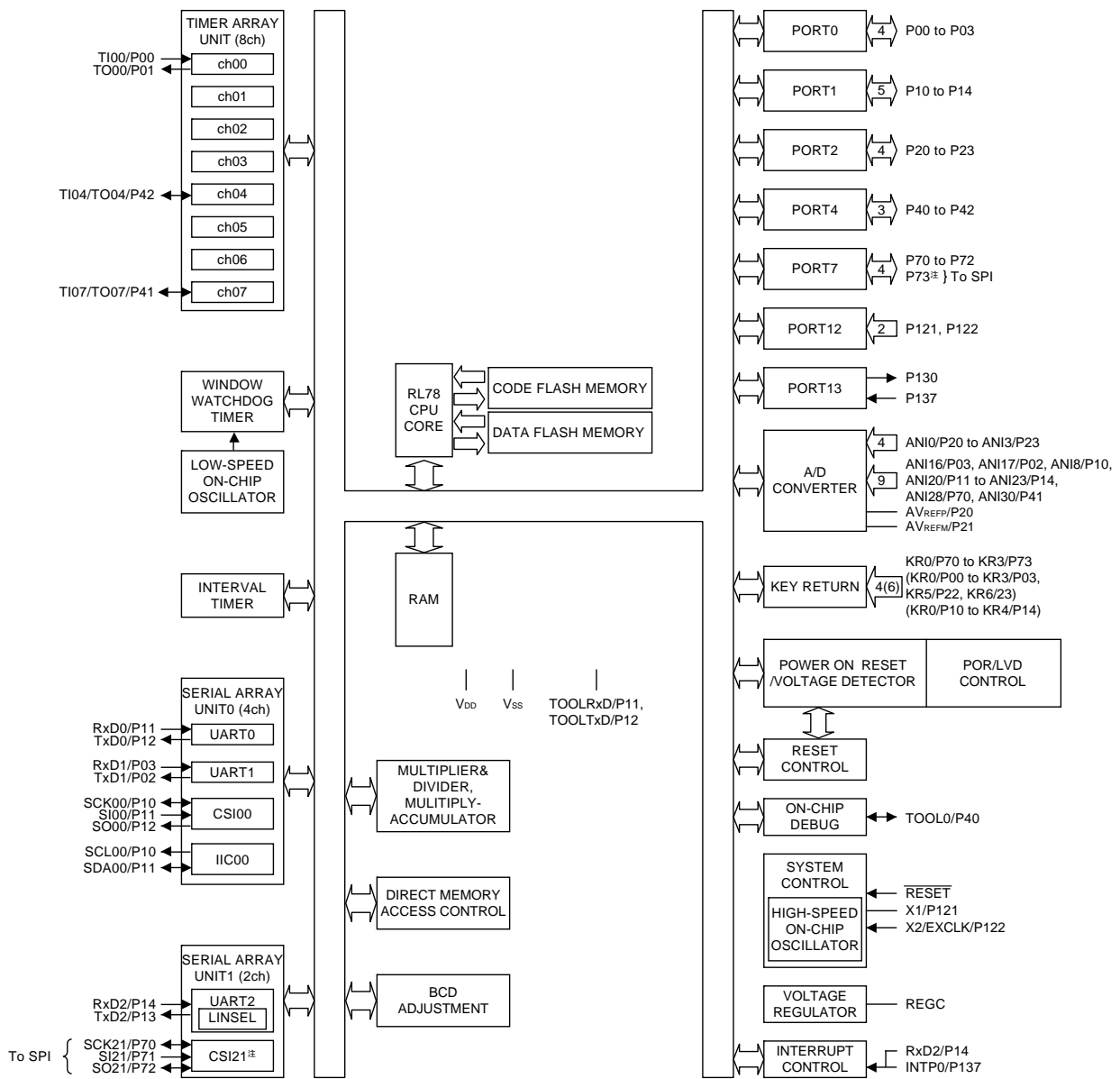
★ 1.5 ブロック図

1.5.1 64 ピン製品



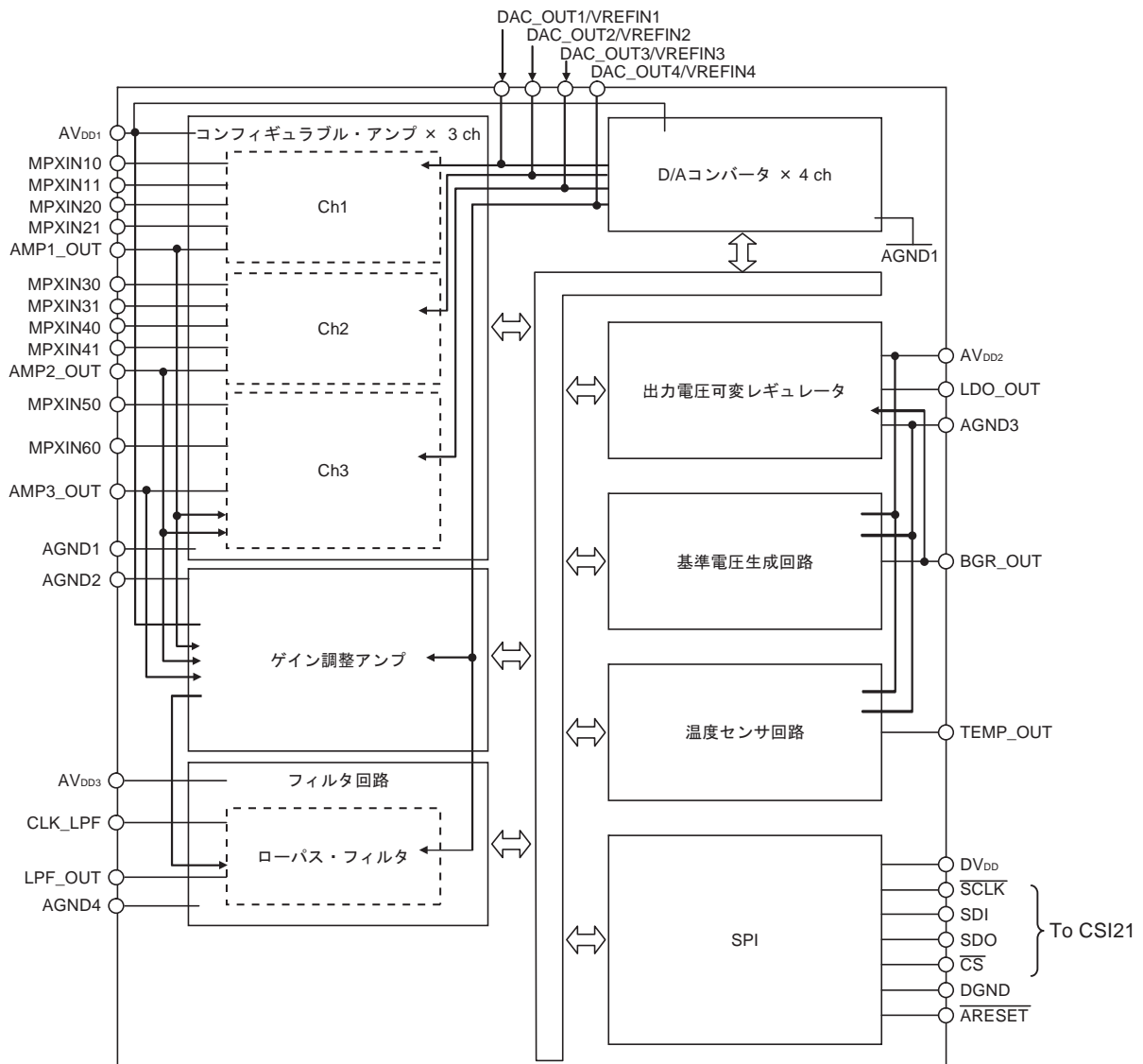
備考. RL78/G1E (64 ピン製品) は、マイクロコントローラ部とアナログ部の 2 チップを 1 パッケージに搭載した MCP (Multi Chip Package) です。

★ (1) マイクロコントローラ部ブロック図 (64ピン製品)

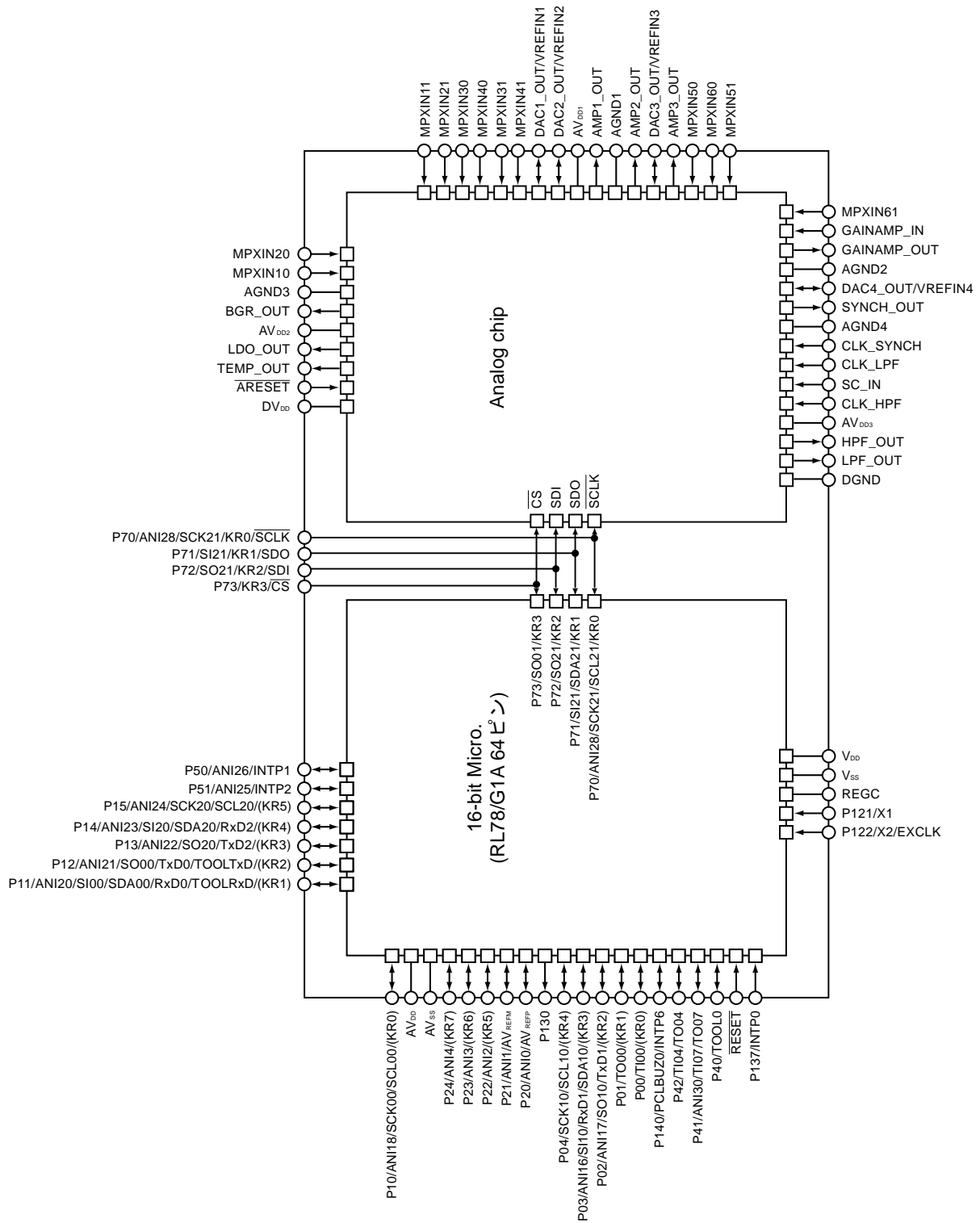


注 パッケージ内部で接続しています。

(2) アナログ部ブロック図 (64ピン製品)

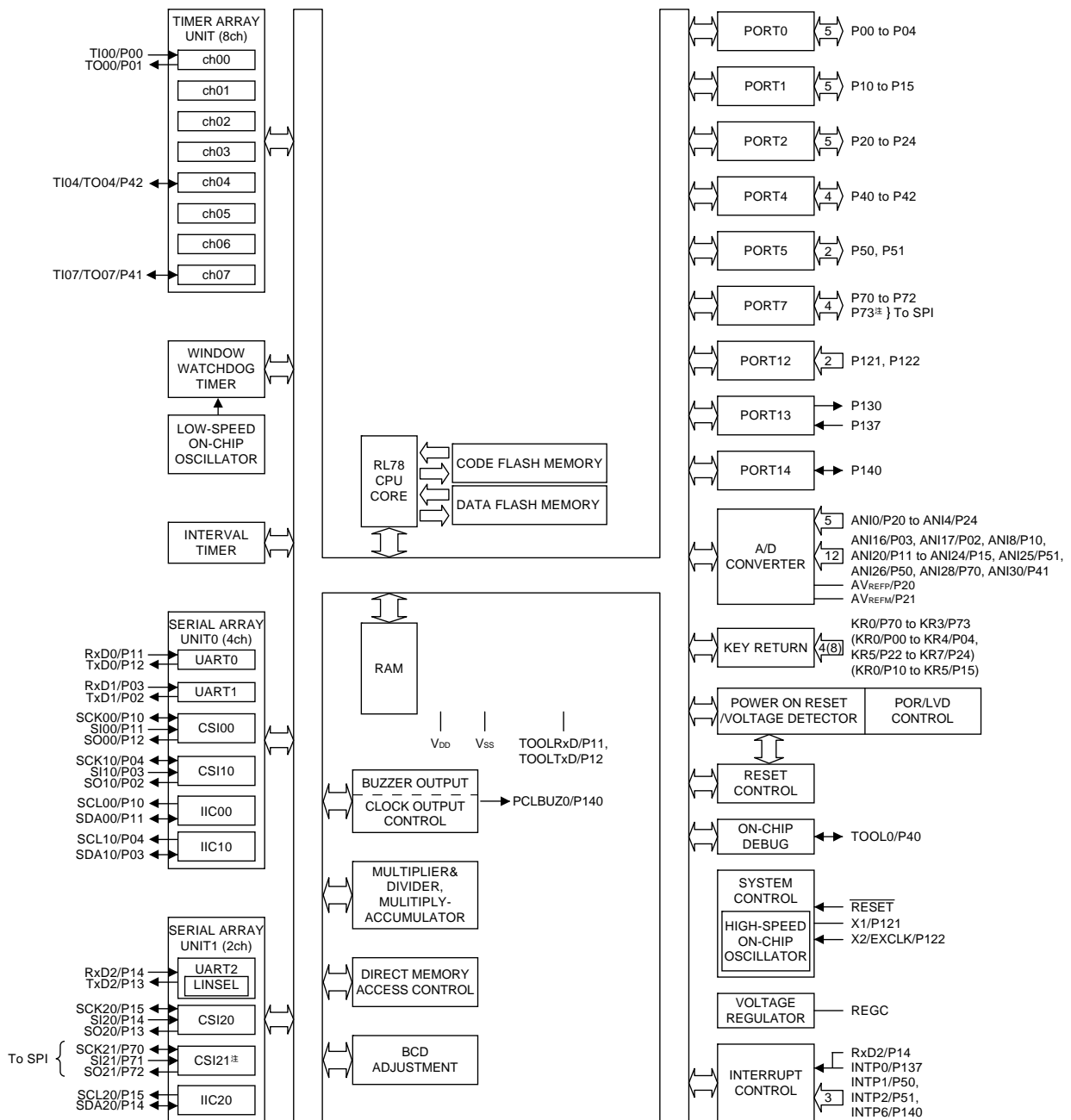


★ 1.5.2 80 ピン製品



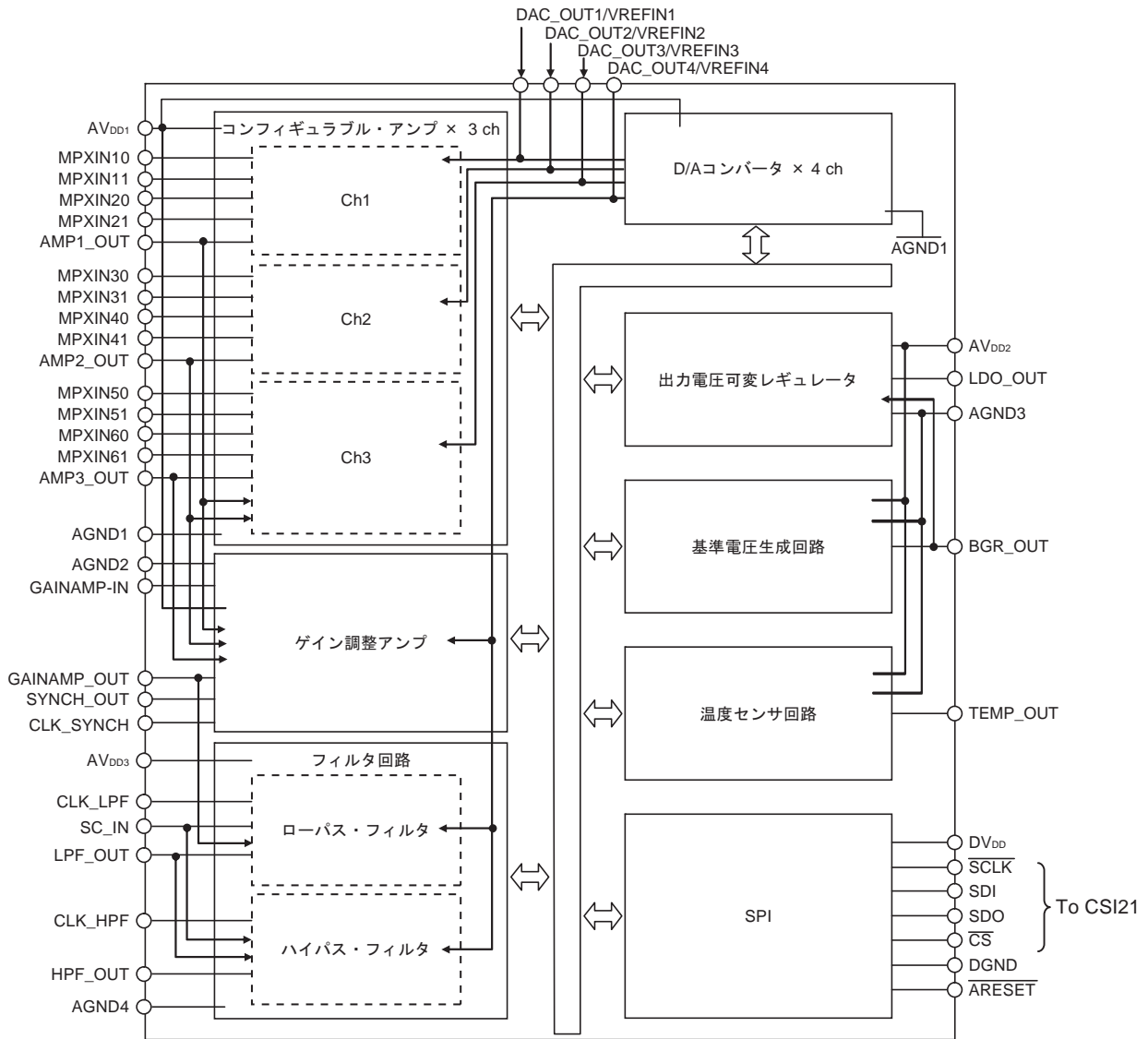
備考. RL78/G1E (80 ピン製品) は、マイクロコントローラ部とアナログ部の 2 チップを 1 パッケージに搭載した MCP (Multi Chip Package) です。

★ (1) マイクロコントローラ部ブロック図 (80ピン製品)



注. パッケージ内部で接続しています。

(2) アナログ部ブロック図 (80ピン製品)





## ★ 1.6 機能概要

表 1-1 マイクロコントローラ部の機能概要 (1/2)

項目		64ピン製品	80ピン製品
		R5F10FLx	R5F10FMx
コード・フラッシュ・メモリ		32 - 64KB	32 - 64KB
データ・フラッシュ・メモリ		4KB	4KB
RAM		2 - 4KB 注 <sup>1</sup>	2 - 4KB 注 <sup>1</sup>
メモリ空間		1Mバイト	
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 1~20 MHz : V <sub>DD</sub> = 2.7~5.5V, 1~8 MHz : V <sub>DD</sub> = 1.8~2.7V, 1~4 MHz : V <sub>DD</sub> = 1.6~1.8V	
	高速オンチップ・オシレータ・クロック	HS (高速メイン) モード : 1~32 MHz (V <sub>DD</sub> = 2.7~5.5V) , HS (高速メイン) モード : 1~16 MHz (V <sub>DD</sub> = 2.4~5.5V) , LS (低速メイン) モード : 1~8 MHz (V <sub>DD</sub> = 1.8~5.5V) , LV (低電圧メイン) モード : 1~4 MHz (V <sub>DD</sub> = 1.6~5.5V)	
サブシステム・クロック		-	
低速オンチップ・オシレータ・クロック		15kHz (TYP.)	
汎用レジスタ		(8ビット・レジスタ×8) ×4バンク	
最小命令実行時間		0.03125μs (高速オンチップ・オシレータ・クロック : f <sub>IH</sub> = 32MHz動作時)	
		0.05μs (高速システム・クロック : f <sub>MX</sub> = 20MHz動作時)	
命令セット		<ul style="list-style-type: none"> <li>・ データ転送 (8 / 16ビット)</li> <li>・ 加減/論理演算 (8 / 16ビット)</li> <li>・ 乗算 (8ビット×8ビット)</li> <li>・ ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, プール演算) など</li> </ul>	
I/Oポート	合計	24	30
	CMOS入出力	20	26
	CMOS入力	3	3
	CMOS出力	1	1
	N-chO.D入出力 (6V耐圧)	-	-
タイマ	16ビット・タイマ	8チャンネル	
	ウォッチドッグ・タイマ	1チャンネル	
	リアルタイム・クロック (RTC)	-	
	12ビット・インターバル・ タイマ (IT)	1チャンネル	
	タイマ出力	3本 (PWM出力 : 2本 注 <sup>2</sup> )	
	RTC出力	-	

注 1. 4 Kバイトの場合, セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約 3 Kバイトとなります (詳細は, 3.3 CPU アーキテクチャを参照)。

2. 使用チャンネルの設定によって, PWM 出力数は変わります (詳細は, 3.6 タイマ・アレイ・ユニットを参照)。

表 1-1 マイクロコントローラ部の機能概要 (2/2)

項目	64ピン製品		80ピン製品	
	R5F10FLx		R5F10FMx	
クロック出力/ブザー出力	-		1本 ・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : f <sub>MAIN</sub> = 20 MHz動作時)	
8/12ビット分解能A/Dコンバータ	13チャンネル		17チャンネル	
シリアル・インタフェース	<ul style="list-style-type: none"> <li>・ 64ピン製品 CSI : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル UART : 1チャンネル CSI : 1チャンネル/UART (LIN-bus対応) : 1チャンネル</li> <li>・ 80ピン製品 CSI : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル CSI : 1チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART : 1チャンネル CSI : 2チャンネル/簡易I<sup>2</sup>C : 1チャンネル/UART (LIN-bus対応) : 1チャンネル</li> </ul>			
I <sup>2</sup> Cバス	-			
乗除・積和演算器	乗算 : 16ビット×16ビット (符号付/符号なし) 除算 : 32ビット÷32ビット (符号なし) 積和演算 : 16ビット×16ビット+32ビット (符号付/符号なし)			
DMAコントローラ	2チャンネル			
ベクタ割り込み要因	内部	25		
	外部	2	5	
キー割り込み	4 ch (7) <sup>注1</sup>		4 ch (8) <sup>注1</sup>	
リセット	<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・リセットによる内部リセット</li> <li>・ 電圧検出回路による内部リセット</li> <li>・ 不正命令の実行による内部リセット<sup>注2</sup></li> <li>・ RAMパリティ・エラーによる内部リセット</li> <li>・ 不正メモリ・アクセスによる内部リセット</li> </ul>			
パワーオン・リセット回路	<ul style="list-style-type: none"> <li>・ パワーオン・リセット : 1.51±0.03V</li> <li>・ パワーダウン・リセット : 1.50±0.03V</li> </ul>			
電圧検出回路	検出レベル : 3段階			
オンチップ・デバッグ機能	あり			

注1. ( ) 内は周辺 I/O リダイレクション・レジスタ (PIOR) 機能を使用した場合の数です。

2. FFH の命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

表 1-2 アナログ部の機能概要

項目	64ピン製品	80ピン製品
	R5F10FLx	R5F10FMx
センサ・インタフェース・アンプ	コンフィギュラブル・アンプ 3ch	
ゲイン調整アンプ	1 ch	1 ch (同期検波機能付)
ローパス・フィルタ	1 ch	
ハイパス・フィルタ	-	1 ch
8ビットD/Aコンバータ	4 ch	
出力電圧可変レギュレータ	1 ch	
基準電圧生成回路	1 ch	
★ 温度センサ回路	1 ch	
電源電圧	V <sub>DD</sub> = 1.6 V~5.5 V, AV <sub>DD</sub> = 1.6 V~3.6 V, AV <sub>DDn</sub> = 3.0 V~5.5 V, DV <sub>DD</sub> = 3.0 V~5.5 V	
動作周囲温度	T <sub>A</sub> = -40°C~+85°C	

備考 n = 1~3

## 第2章 端子機能

### 2.1 マイクロコントローラ部の端子機能

RL78/G1Eの16ビット・マイクロコントローラ部は、RL78/G1A(64ピン製品)を搭載しておりますが、一部の端子機能はRL78/G1A(64ピン製品)とは異なります。マイクロコントローラ部における、RL78/G1E(64ピン製品、80ピン製品)とRL78/G1A(64ピン製品)の端子機能の差異は、次のとおりです。

#### ★ (1) ポート機能の比較 (64ピン製品)

(1/2)

RL78/G1E (64ピン製品)		RL78/G1A (64ピン製品)	
機能名称	兼用機能	機能名称	兼用機能
P00	同右	P00	TI00/(KR0)
P01	同右	P01	TO00/(KR1)
P02	ANI17/TxD1/(KR2)	P02	ANI17/SO10/TxD1/(KR2)
P03	P03/ANI6/RxD1/(KR3)	P03	ANI16/SI10/SDA10/RxD1/(KR3)
		P04	SCK10/SCL10/(KR4)
		P05	TI05/TO05/KR8
		P06	TI06/TO06/KR9
P10	同右	P10	ANI18/SCK00/SCL00/(KR0)
P11	同右	P11	ANI20/SI00/RxD0/TOOLRxD/SDA00/(KR1)
P12	同右	P12	ANI21/SO00/TxD0/TOOLTxD/(KR2)
P13	ANI22/TxD2/(KR3)	P13	ANI22/SO20/TxD2/(KR3)
P14	ANI23/RxD2/(KR4)	P14	ANI23/SI20/SDA20/RxD2/(KR4)
		P15	ANI24/SCK20/SCL20/(KR5)
		P16	TI01/TO01/INTP5
P20	同右	P20	ANI0/AV <sub>REFP</sub>
P21	同右	P21	ANI1/AV <sub>REFM</sub>
P22	同右	P22	ANI2/(KR5)
P23	同右	P23	ANI3/(KR6)
		P24	ANI4/(KR7)
		P25	ANI5/(KR8)
		P26	ANI6/(KR9)
		P27	ANI7
		P30	ANI27/SCK11/SCL11/INTP3/RTC1HZ
		P31	ANI29/TI03/TO03/INTP4
P40	同右	P40	TOOL0
P41	同右	P41	ANI30/TI07/TO07
P42	同右	P42	TI04/TO04
		P43	-
		P50	ANI26/SI11/SDA11/INTP1
		P51	ANI25/SO11/INTP2
		P60	SCLA0
		P61	SDAA0
		P62	-
		P63	-

- ★ 備考 上図の( )内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。詳細は、3.4.3.8 周辺I/Oリダイレクション・レジスタ(PIOR)にてフォーマットを参照してください。

(2/2)

RL78/G1E (64 ピン製品)		RL78/G1A (64 ピン製品)	
機能名称	兼用機能	機能名称	兼用機能
P70	ANI28/SCK21/KR0/SCLK <sup>注</sup>	P70	ANI28/SCK21/SCL21/KR0
P71	SI21/KR1/SDO <sup>注</sup>	P71	SI21/SDA21/KR1
P72	SO21/KR2/SDI <sup>注</sup>	P72	SO21/KR2
P73	KR3/ $\overline{\text{CS}}$ <sup>注</sup>	P73	SO01/KR3
		P74	SI01/SDA01/INTP8/KR4
		P75	SCK01/SCL01/INTP9/KR5
		P76	INTP10/KR6
		P77	INTP11/KR7
		P120	ANI19
P121	同右	P121	X1
P122	同右	P122	X2/EXCLK
		P123	XT1
		P124	XT2/EXCLKS
P130	同右	P130	-
P137	同右	P137	INTP0
		P140	PCLBUZ0/INTP6
		P141	PCLBUZ1/INTP7
		P150	ANI8
		P151	ANI9/(KR6)
		P152	ANI10/(KR7)
		P153	ANI11/(KR8)
		P154	ANI12/(KR9)

注 SCLK, SDO, SDI,  $\overline{\text{CS}}$  は、アナログ部の端子機能です。P70-73 は、アナログ部の端子機能を兼用しています。パッケージ内部で、アナログ部の端子に接続しています。

- ★ 備考 上図の ( ) 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、3.4.3.8 周辺 I/O リダイレクション・レジスタ (PIOR) にてフォーマットを参照してください。

## ★ (2) ポート機能の比較 (80ピン製品)

(1/2)

RL78/G1E (80ピン製品)		RL78/G1A (64ピン製品)	
機能名称	兼用機能	機能名称	兼用機能
P00	同右	P00	TI00/(KR0)
P01	同右	P01	TO00/(KR1)
P02	同右	P02	ANI17/SO10/TxD1/(KR2)
P03	同右	P03	ANI16/SI10/SDA10/RxD1/(KR3)
P04	同右	P04	SCK10/SCL10/(KR4)
		P05	TI05/TO05/KR8
		P06	TI06/TO06/KR9
P10	同右	P10	ANI18/SCK00/SCL00/(KR0)
P11	同右	P11	ANI20/SI00/RxD0/TOOLRxD/SDA00/(KR1)
P12	同右	P12	ANI21/SO00/TxD0/TOOLTxD/(KR2)
P13	同右	P13	ANI22/SO20/TxD2/(KR3)
P14	同右	P14	ANI23/SI20/SDA20/RxD2/(KR4)
P15	同右	P15	ANI24/SCK20/SCL20/(KR5)
		P16	TI01/TO01/INTP5
P20	同右	P20	ANI0/AV <sub>REFP</sub>
P21	同右	P21	ANI1/AV <sub>REFM</sub>
P22	同右	P22	ANI2/(KR5)
P23	同右	P23	ANI3/(KR6)
P24	同右	P24	ANI4/(KR7)
		P25	ANI5/(KR8)
		P26	ANI6/(KR9)
		P27	ANI7
		P30	ANI27/SCK11/SCL11/INTP3/RTC1HZ
		P31	ANI29/TI03/TO03/INTP4
P40	同右	P40	TOOL0
P41	同右	P41	ANI30/TI07/TO07
P42	同右	P42	TI04/TO04
		P43	–
P50	ANI26/INTP1	P50	ANI26/SI11/SDA11/INTP1
P51	ANI25/INTP2	P51	ANI25/SO11/INTP2
		P60	SCLA0
		P61	SDAA0
		P62	–
		P63	–

- ★ 備考 上図の ( ) 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。  
詳細は、3.4.3.8 周辺 I/O リダイレクション・レジスタ (PIOR) にてフォーマットを参照してください。

(2/2)

RL78/G1E (80ピン製品)		RL78/G1A (64ピン製品)	
機能名称	兼用機能	機能名称	兼用機能
P70	ANI28/SCK21/KR0/SCLK <sup>注</sup>	P70	ANI28/SCK21/SCL21/KR0
P71	SI21/KR1/SDO <sup>注</sup>	P71	SI21/SDA21/KR1
P72	SO21/KR2/SDI <sup>注</sup>	P72	SO21/KR2
P73	KR3/ $\overline{CS}$ <sup>注</sup>	P73	SO01/KR3
		P74	SI01/SDA01/INTP8/KR4
		P75	SCK01/SCL01/INTP9/KR5
		P76	INTP10/KR6
		P77	INTP11/KR7
		P120	ANI19
P121	同右	P121	X1
P122	同右	P122	X2/EXCLK
		P123	XT1
		P124	XT2/EXCLKS
P130	同右	P130	-
P137	同右	P137	INTP0
P140	同右	P140	PCLBUZ0/INTP6
		P141	PCLBUZ1/INTP7
		P150	ANI8
		P151	ANI9/(KR6)
		P152	ANI10/(KR7)
		P153	ANI11/(KR8)
		P154	ANI12/(KR9)

注  $\overline{SCLK}$ 、SDO、SDI、 $\overline{CS}$ は、アナログ部の端子機能です。P70-73は、アナログ部の端子機能を兼用しています。パッケージ内部で、アナログ部の端子に接続しています。

★ 備考 上図の（ ）内の機能は、周辺 I/O リダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、3.4.3.8 周辺 I/O リダイレクション・レジスタ（PIOR）にてフォーマットを参照してください。

### (3) ポート以外の機能の比較（64ピン製品，80ピン製品共通）

ポート以外の機能の比較に関しては、2.1.2.1 製品別の搭載機能を参照してください。

### 2.1.1 ポート機能

端子の入出力バッファ電源と端子の関係を次に示します。

表 2-1 各端子の入出力バッファ電源

#### (1) 64 ピン製品

電源	対応する端子
V <sub>DD</sub>	<ul style="list-style-type: none"> <li>・ P20-P23 以外のポート端子</li> <li>・ RESET, REGC</li> </ul>
AV <sub>DD</sub>	<ul style="list-style-type: none"> <li>・ P20-P23</li> </ul>

#### (2) 80 ピン製品

電源	対応する端子
V <sub>DD</sub>	<ul style="list-style-type: none"> <li>・ P20-P24 以外のポート端子</li> <li>・ RESET, REGC</li> </ul>
AV <sub>DD</sub>	<ul style="list-style-type: none"> <li>・ P20-P24</li> </ul>



## ★ 2.1.1.1 64ピン製品

端子タイプに関しては、2.4 端子ブロック図を参照してください。

(1/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P00	8-1-1	入出力	入力ポート	TI00/(KR0)	ポート0。4ビット入出力ポート。 P00, P01, P03の入力はTTL入力バッファに設定可能。 P02-P03の出力は、N-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P02, P03はアナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P01				TO00/(KR1)	
P02	7-3-2	アナログ 入力ポート	ANI17/TxD1 /(KR2)		
P03	8-3-2		ANI16/RxD1 /(KR3)		
P10	8-3-2	入出力	アナログ 入力ポート	ANI18/SCK00 /SCL00/(KR0)	ポート1。5ビット入出力ポート。 P10, P11, P14の入力はTTL入力バッファに設定可能。 P10-P14の出力は、N-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P10-P14はアナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P11				ANI20/SI00 /RxD0/TOOLRxD /SDA00/(KR1)	
P12	7-3-2			ANI21/SO00 /TxD0/TOOLTxD /(KR2)	
P13				ANI22/TxD2 /(KR3)	
P14	8-3-2			ANI23/RxD2 /(KR4)	
P20	4-3-1	入出力	アナログ 入力ポート	ANI0/AV <sub>REFP</sub>	ポート2。4ビット入出力ポート。 アナログ入力に設定可能 <sup>注2</sup> 。 1ビット単位で入力／出力の指定可能。
P21				ANI1/AV <sub>REFM</sub>	
P22				ANI2/(KR5)	
P23				ANI3/(KR6)	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。3ビット入出力ポート。 P41はアナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41	7-3-1		アナログ 入力ポート	ANI30/TI07/TO07	
P42	7-1-1		入力ポート	TI04/TO04	

★ 注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ x (PMCx) で設定します（1ビット単位で設定可能）。

2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

★ 備考 上図の（ ）内の機能は、周辺 I/O リダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、3.4.3.8 周辺 I/O リダイレクション・レジスタ（PIOR）にてフォーマットを参照してください。

(2/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P70	7-3-1	入出力	アナログ 入力ポート	ANI28/KR0 /SCK21/SCLK <sup>注2</sup>	ポート7。4ビット入出力ポート。 P70はアナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	7-1-2			KR1/SI21/SDO <sup>注2</sup>	
P72	7-1-1			KR2/SO21/SDI <sup>注2</sup>	
P73				KR3/CS <sup>注2</sup>	
P121	2-2-1	入力	入力ポート	X1	ポート12。2ビット入力ポート。
P122				X2/EXCLK	
P130	1-1-1	出力	出力ポート	—	ポート13。1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV <sub>DD</sub> に接続してください。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ x (PMCx) で設定します（1ビット単位で設定可能）。

2. SCLK, SDO, SDI, CS は、アナログ部の端子機能です。P70-73 は、アナログ部の端子機能を兼用しています。

★ パッケージ内部で、アナログ部の端子に接続しています。

## 2.1.1.2 80ピン製品

端子タイプに関しては、2.4 端子ブロック図を参照してください。

(1/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P00	8-1-1	入出力	入力ポート	TI00/(KR0)	ポート0。5ビット入出力ポート。 P00, P01, P03, P04の入力はTTL入力バッファに設定可能。P02-P04の出力は、N-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 P02, P03はアナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P01				TO00/(KR1)	
P02	7-3-2		アナログ 入力ポート	ANI17/SO10 /TxD1/(KR2)	
P03				ANI16/SI10/RxD1 /SDA10/(KR3)	
P04	8-1-2		入力ポート	SCK10/SCL10 /(KR4)	
P10	8-3-2	入出力	アナログ 入力ポート	ANI18/SCK00 /SCL00/(KR0)	ポート1。6ビット入出力ポート。 P10, P11, P14-P15の入力はTTL入力バッファに設定可能。P10-P15の出力は、N-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) に設定可能。 P10-P15は、アナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P11				ANI20/SI00/RxD0 /TOOLRxD /SDA00/(KR1)	
P12	7-3-2			ANI21/SO00 /TxD0/TOOLTxD /(KR2)	
P13				ANI22/TxD2 /SO20/(KR3)	
P14	8-3-2			ANI23/RxD2/SI20 /SDA20/(KR4)	
P15		ANI24/SCK20 /SCL20/(KR5)			
P20	4-3-1	入出力	アナログ 入力ポート	ANI0/AV <sub>REFP</sub>	ポート2。5ビット入出力ポート。 アナログ入力に設定可能 <sup>注2</sup> 。 1ビット単位で入力/出力の指定可能。
P21				ANI1/AV <sub>REFM</sub>	
P22				ANI2/(KR5)	
P23				ANI3/(KR6)	
P24				ANI4/(KR7)	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。3ビット入出力ポート。 P41はアナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41	7-3-1		アナログ 入力ポート	ANI30/TI07/TO07	
P42	7-1-1		入力ポート	TI04/TO04	

- ★ 注1. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ x (PMCx) で設定します (1ビット単位で設定可能)。
2. 各端子をデジタル/アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で設定します。
- ★ 備考 上図の ( ) 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、3.4.3.8 周辺 I/O リダイレクション・レジスタ (PIOR) にてフォーマットを参照してください。

(2/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P50	7-3-2	入出力	アナログ 入力ポート	ANI26/INTP1	ポート5。2ビット入出力ポート。 P50の出力は、N-chオープン・ドレイン出力（V <sub>DD</sub> 耐圧）に設定可能。 P50, P51はアナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	7-3-1			ANI25/INTP2	
P70	7-3-1	入出力	アナログ 入力ポート	ANI28/KR0 /SCK21/SCLK <sup>注2</sup>	ポート7。4ビット入出力ポート。 P70はアナログ入力に設定可能 <sup>注1</sup> 。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	7-1-2			KR1/SI21/SDO <sup>注2</sup>	
P72	7-1-1			KR2/SO21/SDI <sup>注2</sup>	
P73				KR3/CS <sup>注2</sup>	
P121	2-2-1	入力	入力ポート	X1	ポート12。
P122				X2/EXCLK	2ビット入力ポート。
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-1-1	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV <sub>DD</sub> に接続してください。

- ★ 注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ x (PMCx) で設定します（1ビット単位で設定可能）。
2. SCLK, SDO, SDI, CS は、アナログ部の端子機能です。P70-73 は、アナログ部の端子機能を兼用しています。パッケージ内部で、アナログ部の端子に接続しています。

## 2.1.2 ポート以外の機能

## 2.1.2.1 製品別の搭載機能

(1/3)

機能名称	RL78/G1E (64-pin)	RL78/G1E (80-pin)	RL78/G1A (64-pin)
ANI0	○	○	○
ANI1	○	○	○
ANI2	○	○	○
ANI3	○	○	○
ANI4	-	○	○
ANI5	-	-	○
ANI6	-	-	○
ANI7	-	-	○
ANI8	-	-	○
ANI9	-	-	○
ANI10	-	-	○
ANI11	-	-	○
ANI12	-	-	○
ANI16	○	○	○
ANI17	○	○	○
ANI18	○	○	○
ANI19	-	-	○
ANI20	○	○	○
ANI21	○	○	○
ANI22	○	○	○
ANI23	○	○	○
ANI24	-	○	○
ANI25	-	○	○
ANI26	-	○	○
ANI27	-	-	○
ANI28	○	○	○
ANI29	-	-	○
ANI30	○	○	○
INTP0	○	○	○
INTP1	-	○	○
INTP2	-	○	○
INTP3	-	-	○
INTP4	-	-	○
INTP5	-	-	○
INTP6	-	○	○
INTP7	-	-	○
INTP8	-	-	○
INTP9	-	-	○
INTP10	-	-	○
INTP11	-	-	○

(2/3)

★

機能名称	RL78/G1E (64-pin)	RL78/G1E (80-pin)	RL78/G1A (64-pin)
KR0	○	○	○
KR1	○	○	○
KR2	○	○	○
KR3	○	○	○
KR4	(○)	(○)	○
KR5	(○)	(○)	○
KR6	(○)	(○)	○
KR7	-	(○)	○
KR8	-	-	○
KR9	-	-	○
PCLBUZ0	-	○	○
PCLBUZ1	-	-	○
REGC	○	○	○
RTC1HZ	-	-	○
RESET	○	○	○
RXD0	○	○	○
RXD1	○	○	○
RXD2	○	○	○
SCK00	○	○	○
SCK01	-	-	○
SCK10	-	○	○
SCK11	-	-	○
SCK20	-	○	○
SCK21	○	○	○
SCLA0	-	-	○
SCL00	○	○	○
SCL01	-	-	○
SCL10	-	○	○
SCL11	-	-	○
SCL20	-	○	○
SCL21	-	-	○
SDAA0	-	-	○
SDA00	○	○	○
SDA01	-	-	○
SDA10	-	○	○
SDA11	-	-	○
SDA20	-	○	○
SDA21	-	-	○
SI00	○	○	○
SI01	-	-	○
SI10	-	○	○
SI11	-	-	○
SI20	-	○	○
SI21	○	○	○

★ 備考 上図の(○)は、周辺 I/O リダイレクション・レジスタ (PIOR) の対応ビットに 1 を設定した場合のみ使用可能になります。

(3/3)

機能名称	RL78/G1E (64-pin)	RL78/G1E (80-pin)	RL78/G1A (64-pin)
SO00	○	○	○
SO01	-	-	○
SO10	-	○	○
SO11	-	-	○
SO20	-	○	○
SO21	○	○	○
TI00	○	○	○
TI01	-	-	○
TI03	-	-	○
TI04	○	○	○
TI05	-	-	○
TI06	-	-	○
TI07	○	○	○
TO00	○	○	○
TO01	-	-	○
TO03	-	-	○
TO04	○	○	○
TO05	-	-	○
TO06	-	-	○
TO07	○	○	○
TxD0	○	○	○
TxD1	○	○	○
TxD2	○	○	○
X1	○	○	○
X2	○	○	○
EXCLK	○	○	○
EXCLKS	-	-	○
XT1	-	-	○
XT2	-	-	○
V <sub>DD</sub>	○	○	○
EV <sub>DD0</sub>	一注	一注	○
AV <sub>DD</sub>	○	○	○
AV <sub>REFP</sub>	○	○	○
AV <sub>REFM</sub>	○	○	○
V <sub>SS</sub>	○	○	○
EV <sub>SS0</sub>	一注	一注	○
AV <sub>SS</sub>	○	○	○
TOOLRxD	○	○	○
TOOLTxD	○	○	○
TOOL0	○	○	○

注 パッケージ内部において、EV<sub>DD0</sub>はV<sub>DD</sub>に、EV<sub>SS0</sub>はV<sub>SS</sub>に接続しています。

## 2.1.2.2 機能説明

以下に、RL78/G1E（64ピン製品、80ピン製品）の機能について説明します。

(1/2)

機能名称	入出力	機能
ANI0- ANI4, ANI16- ANI18, ANI20- ANI26, ANI28, ANI30	入力	A/Dコンバータのアナログ入力
INTP0- INTP2, INTP6	入力	外部割り込み要求入力
KR0- KR7	入力	キー割り込み入力
PCLBUZ0	出力	クロック出力／ブザー出力
REGC	-	内部動作レギュレータ出力安定容量接続 コンデンサ (0.47~1 $\mu$ F) を介し、V <sub>SS</sub> に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RESET	入力	マイクロコントローラ部の機能に対する外部リセット入力
RxD0- RxD2	入力	シリアル・インタフェースUART0-UART2のシリアル・データ入力
TxD0-TxD2	出力	シリアル・インタフェースUART0-UART2のシリアル・データ出力
★ SCK00, SCK10, SCK20, SCK21	入出力	シリアル・インタフェース CSI00, CSI10, CSI20, CSI21 のシリアル・クロック入力／出力
SCL00, SCL10, SCL20	出力	シリアル・インタフェース IIC00, IIC10, IIC20 のシリアル・クロック出力
SDA00, SDA10, SDA20	入出力	シリアル・インタフェース IIC00, IIC10, IIC20 のシリアル・データ入出力
SI00, SI10, SI20, SI21	入力	シリアル・インタフェース CSI00, CSI10, CSI20, CSI21 のシリアル・データ入力
SO00, SO10, SO20, SO21	出力	CSI00, CSI10, CSI20, CSI21のシリアル・データ出力
TI00, TI04, TI07	入力	16ビット・タイマ 00, 04, 07 への外部カウント・クロック／キャプチャ・トリガ入力
TO00, TO04, TO07	出力	16ビット・タイマ00, 04, 07のタイマ出力
X1, X2	-	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力



(2/2)

機能名称	入出力	機能
V <sub>DD</sub>	-	<64ピン製品の場合> P20-P23 以外のポート端子, および RESET, REGC 端子の正電源 <80ピン製品の場合> P20-P24 以外のポート端子, および RESET, REGC 端子の正電源
AV <sub>DD</sub>	-	P20-P24, A/Dコンバータの正電源
AV <sub>REFP</sub>	入力	A/Dコンバータの基準電位 (+側) 入力
AV <sub>REFM</sub>	入力	A/Dコンバータの基準電位 (-側) 入力 AV <sub>SS</sub> , V <sub>SS</sub> と同電位にしてください。
V <sub>SS</sub>	-	<64ピン製品の場合> P20-P23 以外のポート端子, および RESET, REGC 端子のグランド電位 <80ピン製品の場合> P20-P24 以外のポート端子, および RESET, REGC 端子のグランド電位
AV <sub>SS</sub>	-	P20-P24, A/Dコンバータのグランド電位。 V <sub>SS</sub> と同電位にしてください。
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART シリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART シリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力

- ★ 注意 リセット解除時の P40/TOOL0 と動作モードとの関係は、次のようになります。

表 2-2 リセット解除時の P40/TOOL0 と動作モードとの関係

P40/TOOL0	動作モード
V <sub>DD</sub>	通常動作モード
0V	フラッシュ・メモリ・プログラミング・モード

詳細は、3.25.4 シリアル・プログラミング方法を参照してください。

- ★ 備考 ノイズ対策およびラッチアップ対策として、V<sub>DD</sub> - V<sub>SS</sub> ライン間へのバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

## 2.2 アナログ部の端子機能

★ 入出力回路タイプに関しては、2.4 端子ブロック図を参照してください。

### ★ 2.2.1 64 ピン製品

機能名称	入出力回路タイプ	入出力	機能	
AV <sub>DD3</sub>	—	—	フィルタ用電源端子	
AGND2	—	—	ゲイン調整アンプ用 GND 端子	
MPXIN60	ANALOG6	入力	マルチプレクサ6 入力端子0 (コンフィギュラブル・アンプ Ch3 入力端子0 (+))	
MPXIN50	ANALOG6		マルチプレクサ5 入力端子0 (コンフィギュラブル・アンプ Ch3 入力端子0 (-))	
AMP3_OUT	ANALOG10	出力	コンフィギュラブル・アンプ Ch3 出力端子	
DAC3_OUT /VREFIN3	ANALOG2	入出力	D/A コンバータ Ch3 出力端子/ コンフィギュラブル・アンプ Ch3 基準電圧入力端子	
AMP2_OUT	ANALOG11	出力	コンフィギュラブル・アンプ Ch2 出力端子	
AGND1	—	—	コンフィギュラブル・アンプ Ch1~Ch3 用 GND 端子	
AMP1_OUT	ANALOG11	出力	コンフィギュラブル・アンプ Ch1 出力端子	
AV <sub>DD1</sub>	—	—	コンフィギュラブル・アンプ Ch1~Ch3 用電源端子	
DAC2_OUT/ VREFIN2	ANALOG2	入出力	D/A コンバータ Ch2 出力端子/ コンフィギュラブル・アンプ Ch2 基準電圧入力端子	
DAC1_OUT/ VREFIN1	ANALOG2		D/A コンバータ Ch1 出力端子/ コンフィギュラブル・アンプ Ch1 基準電圧入力端子	
MPXIN41	ANALOG6	入力	マルチプレクサ4 入力端子1 (コンフィギュラブル・アンプ Ch2 入力端子1 (+))	
MPXIN31	ANALOG6		マルチプレクサ3 入力端子1 (コンフィギュラブル・アンプ Ch2 入力端子1 (-))	
MPXIN40	ANALOG6		マルチプレクサ4 入力端子0 (コンフィギュラブル・アンプ Ch2 入力端子0 (+))	
MPXIN30	ANALOG6		マルチプレクサ3 入力端子0 (コンフィギュラブル・アンプ Ch2 入力端子0 (-))	
MPXIN21	ANALOG6		マルチプレクサ2 入力端子1 (コンフィギュラブル・アンプ Ch1 入力端子1 (+))	
MPXIN11	ANALOG6		マルチプレクサ1 入力端子1 (コンフィギュラブル・アンプ Ch1 入力端子1 (-))	
MPXIN20	ANALOG6		マルチプレクサ2 入力端子0 (コンフィギュラブル・アンプ Ch1 入力端子0 (+))	
MPXIN10	ANALOG6		マルチプレクサ1 入力端子0 (コンフィギュラブル・アンプ Ch1 入力端子0 (-))	
AGND3	—		—	出力電圧可変レギュレータ, 基準電圧生成回路用 GND 端子
BGR_OUT	ANALOG9		出力	基準電圧生成回路出力端子
AV <sub>DD2</sub>	—	—	出力電圧可変レギュレータ, 基準電圧生成回路用電源端子	
LDO_OUT	ANALOG3	出力	出力電圧可変レギュレータ出力端子	
TEMP_OUT	ANALOG4	出力	温度センサ出力端子	
ARESET	ANALOG5	入力	アナログ部の機能に対する外部リセット入力	
DV <sub>DD</sub>	—	—	SPI 用電源端子	
SCLK	ANALOG8	入力	SPI 用シリアル・クロック入力端子	
SDO	ANALOG12	出力	SPI 用シリアル・データ出力端子	
SDI	ANALOG8	入力	SPI 用シリアル・データ入力端子	
CS	ANALOG8	入力	SPI 用チップ・セレクト入力端子	
DGND	—	—	SPI 用 GND 端子	
DAC4_OUT /VREFIN4	ANALOG13	入出力	D/A コンバータ Ch4 出力端子/ゲイン調整アンプ, フィルタ基準電圧入力端子	
CLK_LPF	ANALOG7	入力	ローパス・フィルタ用制御クロック入力端子	
AGND4	—	—	フィルタ用 GND 端子	
LPF_OUT	ANALOG1	出力	ローパス・フィルタ出力端子	

## ★ 2.2.2 80ピン製品

機能名称	入出力回路タイプ	入出力	機能	
AV <sub>DD3</sub>	—	—	フィルタ用電源端子	
SC_IN	ANALOG6	入力	フィルタ信号処理用入力端子	
CLK_SYNCH	ANALOG7	入力	同期検波用制御クロック入力端子	
SYNCH_OUT	ANALOG11	出力	同期検波出力端子	
AGND2	—	—	ゲイン調整アンプ用 GND 端子	
GAINAMP_OUT	ANALOG10	出力	ゲイン調整アンプ用出力端子	
GAINAMP_IN	ANALOG6	入力	ゲイン調整アンプ用入力端子	
MPXIN61	ANALOG6	入力	マルチプレクサ6 入力端子1 (コンフィギュラブル・アンプ Ch3 入力端子1 (+))	
MPXIN51	ANALOG6		マルチプレクサ5 入力端子1 (コンフィギュラブル・アンプ Ch3 入力端子1 (-))	
MPXIN60	ANALOG6		マルチプレクサ6 入力端子0 (コンフィギュラブル・アンプ Ch3 入力端子0 (+))	
MPXIN50	ANALOG6		マルチプレクサ5 入力端子0 (コンフィギュラブル・アンプ Ch3 入力端子0 (-))	
AMP3_OUT	ANALOG10	出力	コンフィギュラブル・アンプ Ch3 出力端子	
DAC3_OUT /VREFIN3	ANALOG2	入出力	D/A コンバータ Ch3 出力端子/ コンフィギュラブル・アンプ Ch3 基準電圧入力端子	
AMP2_OUT	ANALOG11	出力	コンフィギュラブル・アンプ Ch2 出力端子	
AGND1	—	—	コンフィギュラブル・アンプ Ch1~Ch3 用 GND 端子	
AMP1_OUT	ANALOG11	出力	コンフィギュラブル・アンプ Ch1 出力端子	
AV <sub>DD1</sub>	—	—	コンフィギュラブル・アンプ Ch1~Ch3 用電源端子	
DAC2_OUT/ VREFIN2	ANALOG2	入出力	D/A コンバータ Ch2 出力端子/ コンフィギュラブル・アンプ Ch2 基準電圧入力端子	
DAC1_OUT/ VREFIN1	ANALOG2		D/A コンバータ Ch1 出力端子/ コンフィギュラブル・アンプ Ch1 基準電圧入力端子	
MPXIN41	ANALOG6	入力	マルチプレクサ4 入力端子1 (コンフィギュラブル・アンプ Ch2 入力端子1 (+))	
MPXIN31	ANALOG6		マルチプレクサ3 入力端子1 (コンフィギュラブル・アンプ Ch2 入力端子1 (-))	
MPXIN40	ANALOG6		マルチプレクサ4 入力端子0 (コンフィギュラブル・アンプ Ch2 入力端子0 (+))	
MPXIN30	ANALOG6		マルチプレクサ3 入力端子0 (コンフィギュラブル・アンプ Ch2 入力端子0 (-))	
MPXIN21	ANALOG6		マルチプレクサ2 入力端子1 (コンフィギュラブル・アンプ Ch1 入力端子1 (+))	
MPXIN11	ANALOG6		マルチプレクサ1 入力端子1 (コンフィギュラブル・アンプ Ch1 入力端子1 (-))	
MPXIN20	ANALOG6		マルチプレクサ2 入力端子0 (コンフィギュラブル・アンプ Ch1 入力端子0 (+))	
MPXIN10	ANALOG6		マルチプレクサ1 入力端子0 (コンフィギュラブル・アンプ Ch1 入力端子0 (-))	
AGND3	—		—	出力電圧可変レギュレータ, 基準電圧生成回路用 GND 端子
BGR_OUT	ANALOG9		出力	基準電圧生成回路出力端子
AV <sub>DD2</sub>	—	—	出力電圧可変レギュレータ, 基準電圧生成回路用電源端子	
LDO_OUT	ANALOG3	出力	出力電圧可変レギュレータ出力端子	
TEMP_OUT	ANALOG4	出力	温度センサ出力端子	
ARESET	ANALOG5	入力	アナログ部の機能に対する外部リセット入力	
DV <sub>DD</sub>	—	—	SPI 用電源端子	
SCLK	ANALOG8	入力	SPI 用シリアル・クロック入力端子	
SDO	ANALOG12	出力	SPI 用シリアル・データ出力端子	
SDI	ANALOG8	入力	SPI 用シリアル・データ入力端子	
CS	ANALOG8	入力	SPI 用チップ・セレクト入力端子	
DGND	—	—	SPI 用 GND 端子	
DAC4_OUT /VREFIN4	ANALOG13	入出力	D/A コンバータ Ch4 出力端子/ゲイン調整アンプ, フィルタ基準電圧入力端子	
HPF_OUT	ANALOG1	出力	ハイパス・フィルタ出力端子	
CLK_HPF	ANALOG7	入力	ハイパス・フィルタ用制御クロック入力端子	
CLK_LPF	ANALOG7	入力	ローパス・フィルタ用制御クロック入力端子	
AGND4	—	—	フィルタ用 GND 端子	
LPF_OUT	ANALOG1	出力	ローパス・フィルタ出力端子	

## 2.3 未使用端子の処理

各端子の未使用時の処理を表 2-3 に示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View) , 2.1 マイクロコントローラ部の端子機能, 2.2 アナログ部の端子機能を参照してください。

表 2-3 各端子の未使用時処理方法

(1/2)

★	端子名	入出力	未使用時の推奨接続方法	
	P00	入出力	入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。	
	P01	入出力		
	P02	入出力		
	P03	入出力		
	P04	入出力		
	P10	入出力		
	P11	入出力		
	P12	入出力		
	P13	入出力		
	P14	入出力		
	P15	入出力		
	P20	入出力		入力時：個別に抵抗を介して、 $AV_{DD}$ または $AV_{SS}$ に接続してください。 出力時：オープンにしてください。
	P21	入出力		
	P22	入出力		
	P23	入出力		
	P24	入出力		
	P40	入出力	入力時：個別に抵抗を介して $V_{DD}$ に接続、またはオープンにしてください。 出力時：オープンにしてください。	
	P41	入出力		
	P42	入出力	入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。	
	P50	入出力		
	P51	入出力		
	P70	入出力		
	P71	入出力		
	P72	入出力		
	P73	入出力		
	P121	入力		個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。
	P122	入力		
	P130	出力	オープンにしてください。	
	P137	入力	個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。	
	P140	入出力	入力時：個別に抵抗を介して、 $V_{DD}$ または $V_{SS}$ に接続してください。 出力時：オープンにしてください。	
	RESET	入力		

(2/2)

端子名	入出力	未使用時の推奨接続方法	
SC_IN	入力	AGND4に接続してください。	
CLK_SYNCH	入力	オープンにしてください。	
SYNCH_OUT	出力		
GAINAMP_OUT	出力		
GAINAMP_IN	入力	AGND2に接続してください。	
MPXIN61	入力	AGND1に接続してください。	
MPXIN51	入力		
MPXIN60	入力		
MPXIN50	入力		
AMP3_OUT	出力	オープンにしてください。	
DAC3_OUT/VREFIN3	入出力		
AMP2_OUT	出力		
AMP1_OUT	出力		
DAC2_OUT/VREFIN2	入出力		
DAC1_OUT/VREFIN1	入出力		
MPXIN41	入力		AGND1に接続してください。
MPXIN31	入力		
MPXIN40	入力		
MPXIN30	入力		
MPXIN21	入力		
MPXIN11	入力		
MPXIN20	入力		
MPXIN10	入力		
TEMP_OUT	出力	オープンにしてください。	
SCLK	入力		
SDO	出力		
SDI	入力		
CS	入力		
DAC4_OUT/VREFIN4	入出力		
HPF_OUT	出力		
CLK_HPF	入力		
CLK_LPF	入力		
LPF_OUT	出力		
LDO_OUT	出力		
BGR_OUT	出力		
I.C	—		
ARESET	入力		—注

- ★ 注 ARESET の供給元が Hi-Z となる場合は、抵抗を介して DGND に接続してください。  
機能に関する詳細は、2.5.31 ARESET を参照してください。

★ 2.4 端子ブロック図

2.1.1 ポート機能 に記載した端子タイプについて、端子ブロック図を図 2-1～図 2-12 に示します。  
 また、2.2 アナログ部の端子機能 に記載した入出力回路タイプについて、入出力回路図を図 2-13 に示します。

図 2-1 端子タイプ 1-1-1 の端子ブロック図

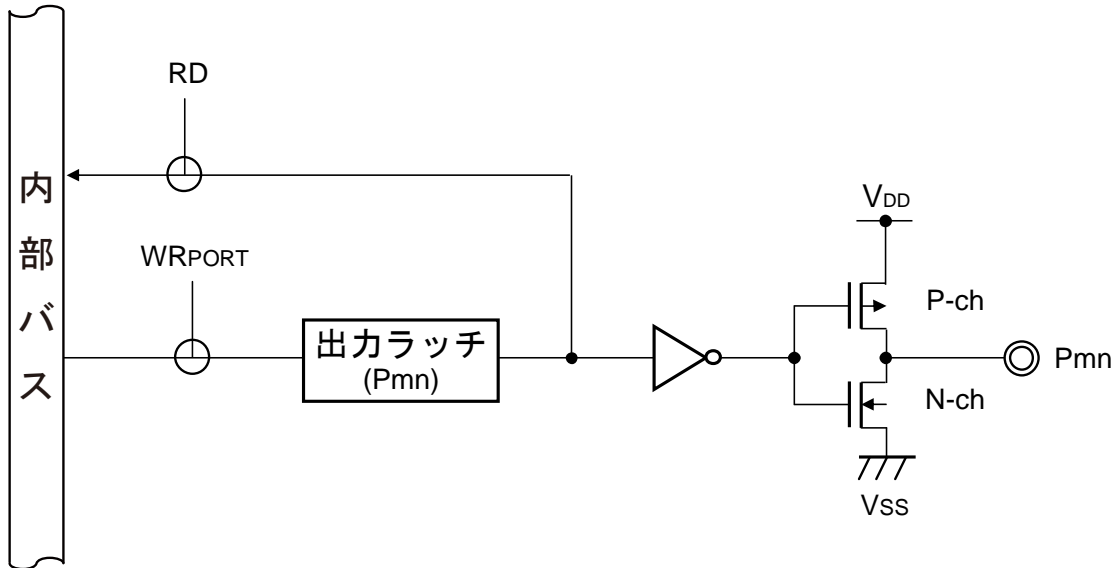


図 2-2 端子タイプ 2-1-1 の端子ブロック図

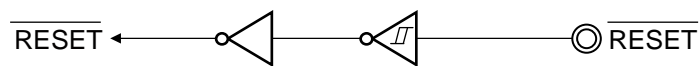
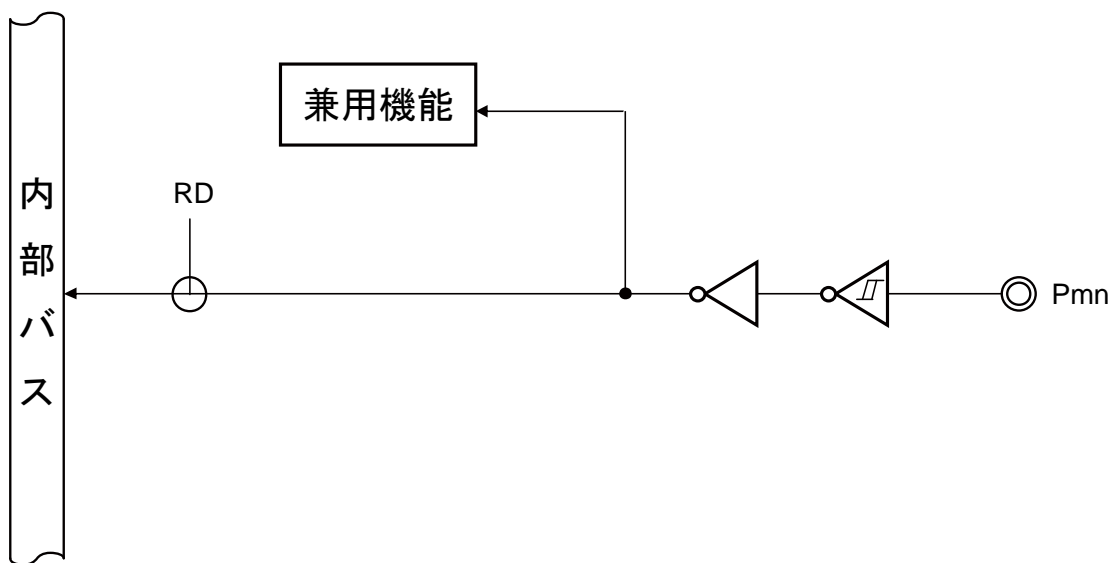


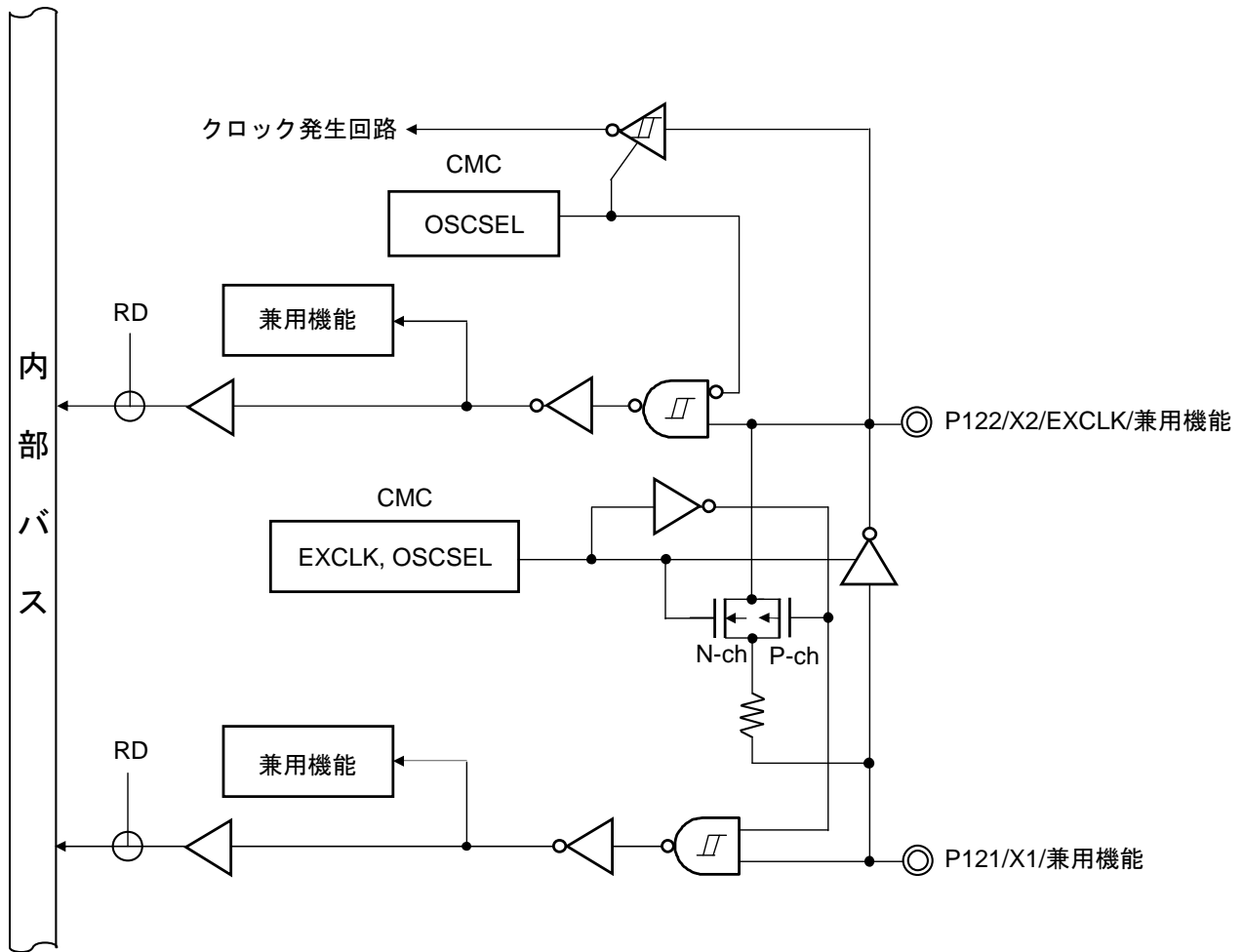
図 2-3 端子タイプ 2-1-2 の端子ブロック図



備考 兼用機能は、2.1.1 ポート機能を参照してください。

★

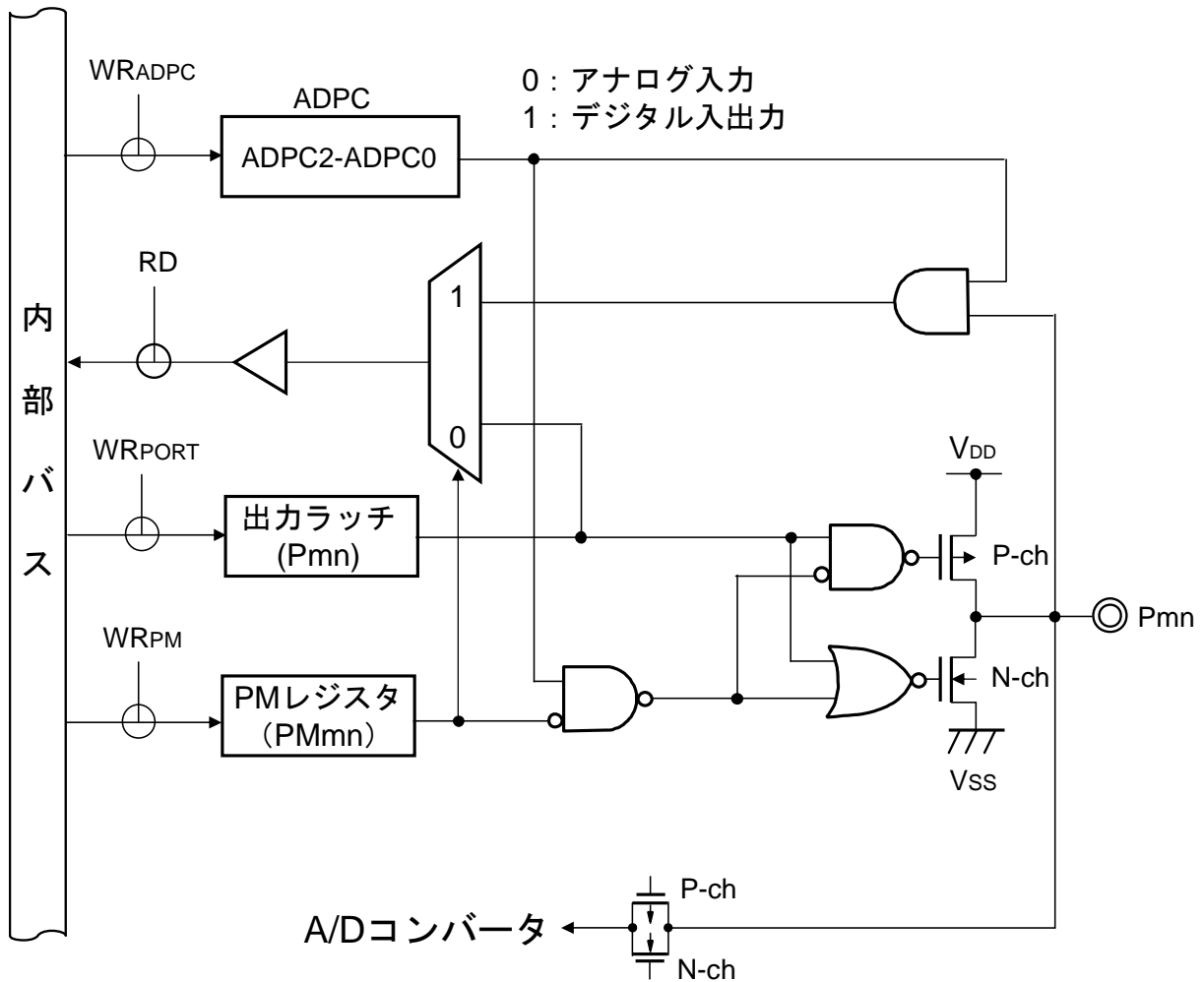
図 2-4 端子タイプ 2-2-1 の端子ブロック図



備考 兼用機能は、2.1.1 ポート機能を参照してください。

★

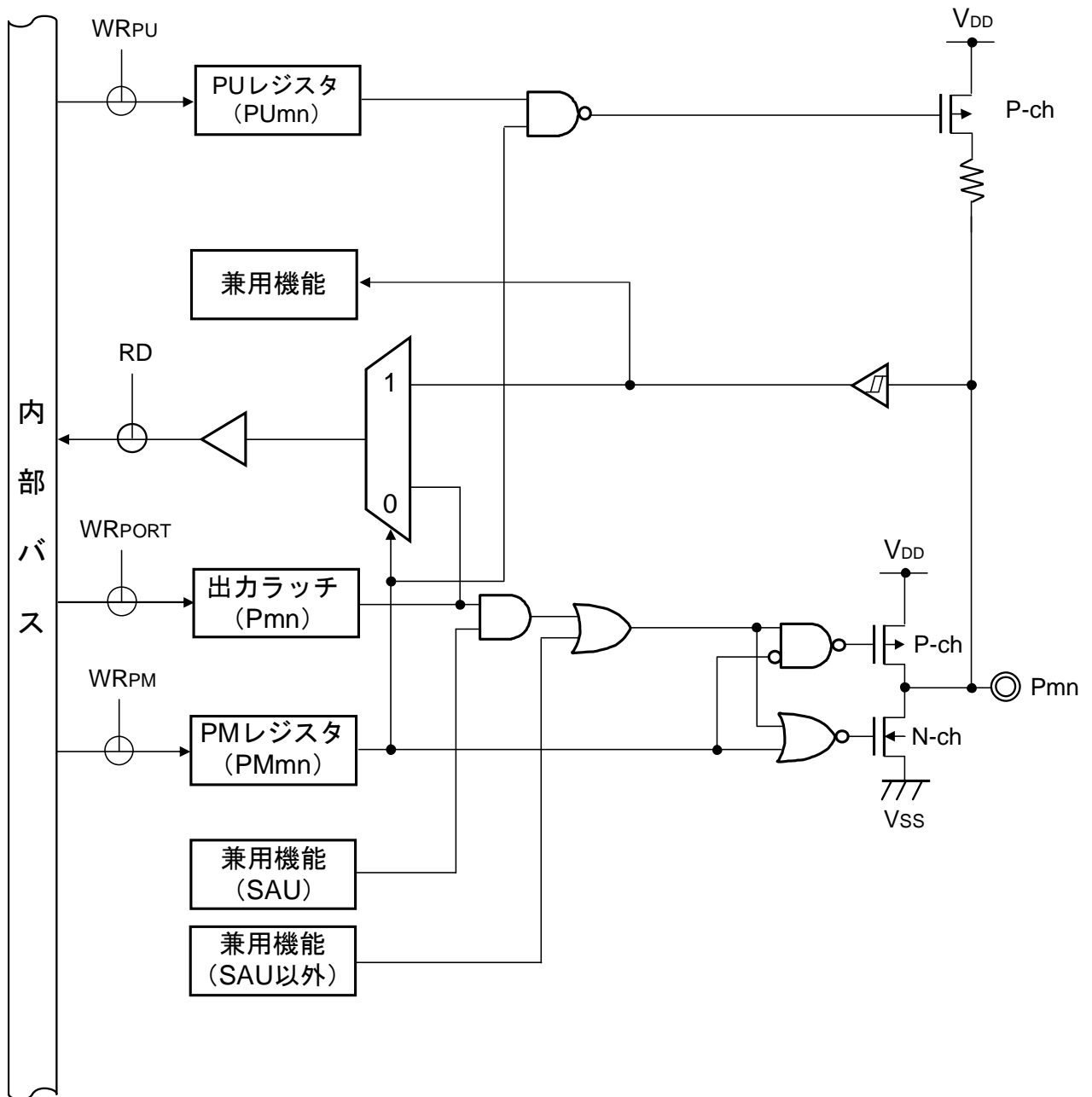
図 2-5 端子タイプ 4-3-1 の端子ブロック図





★

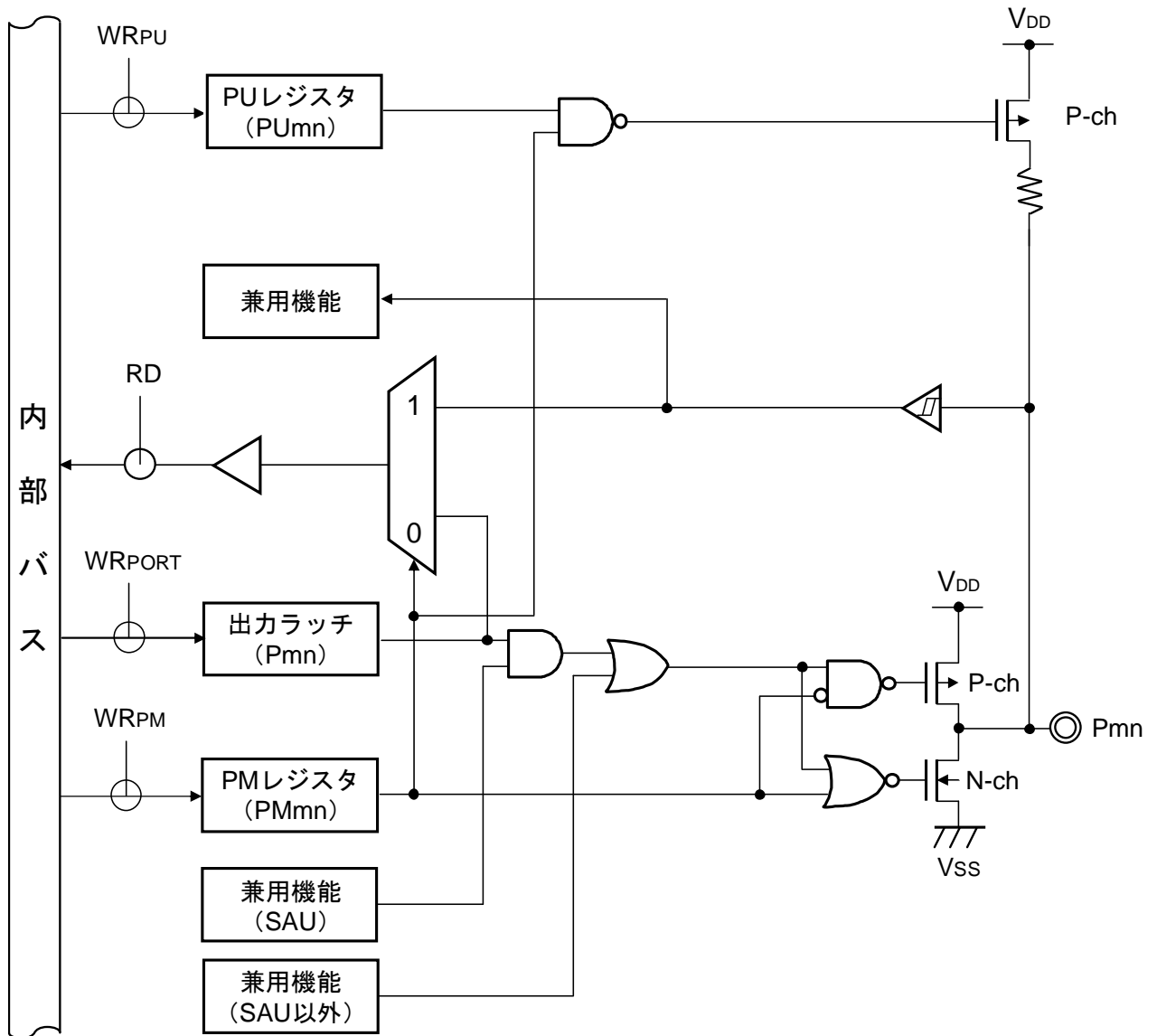
図 2-6 端子タイプ 7-1-1 の端子ブロック図



- 備考 1. 兼用機能は、2.1.1 ポート機能を参照してください。  
 2. SAU : シリアル・アレイ・ユニット

★

図 2-7 端子タイプ 7-1-2 の端子ブロック図

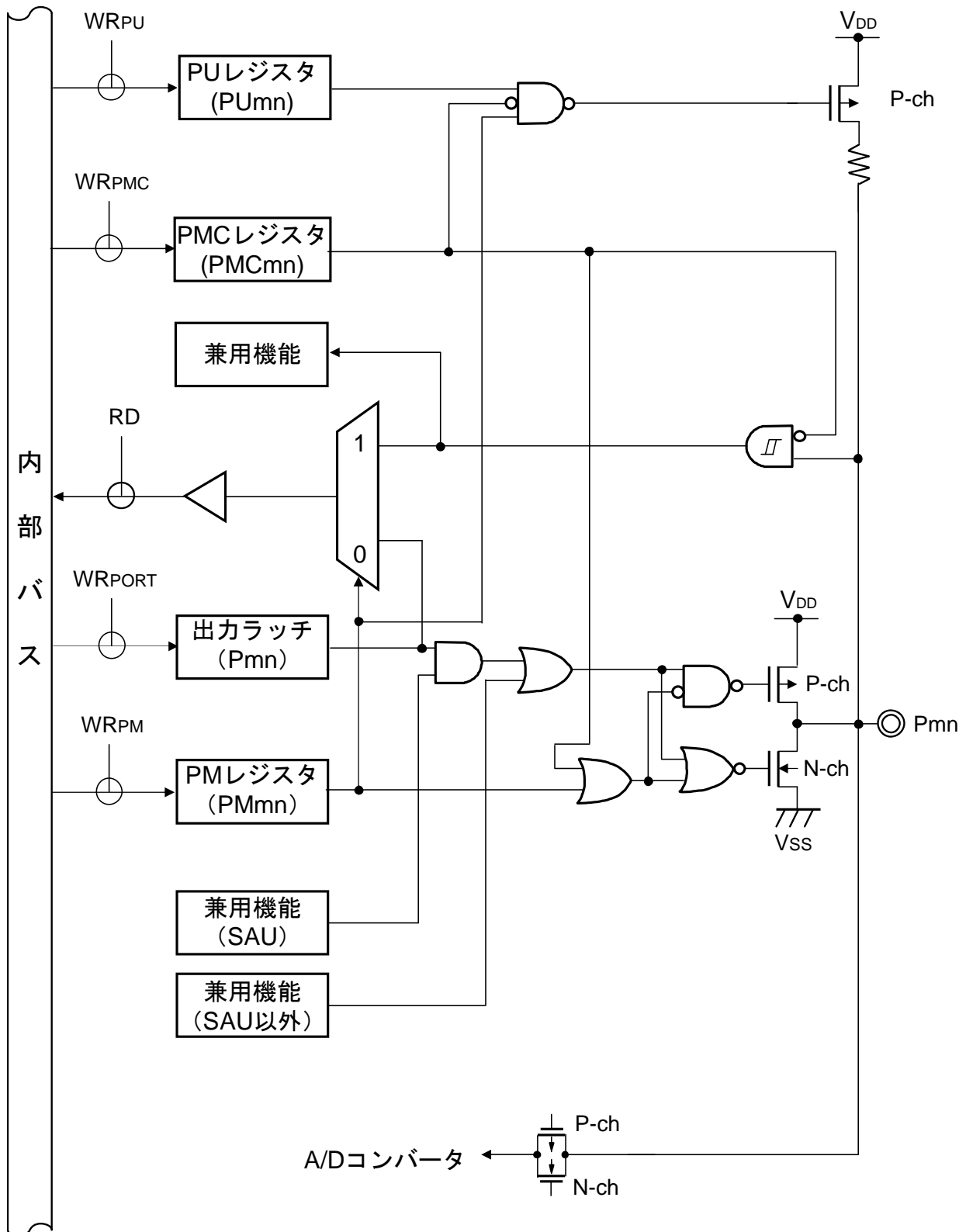


備考 1. 兼用機能は、2.1.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

★

図 2-8 端子タイプ 7-3-1 の端子ブロック図

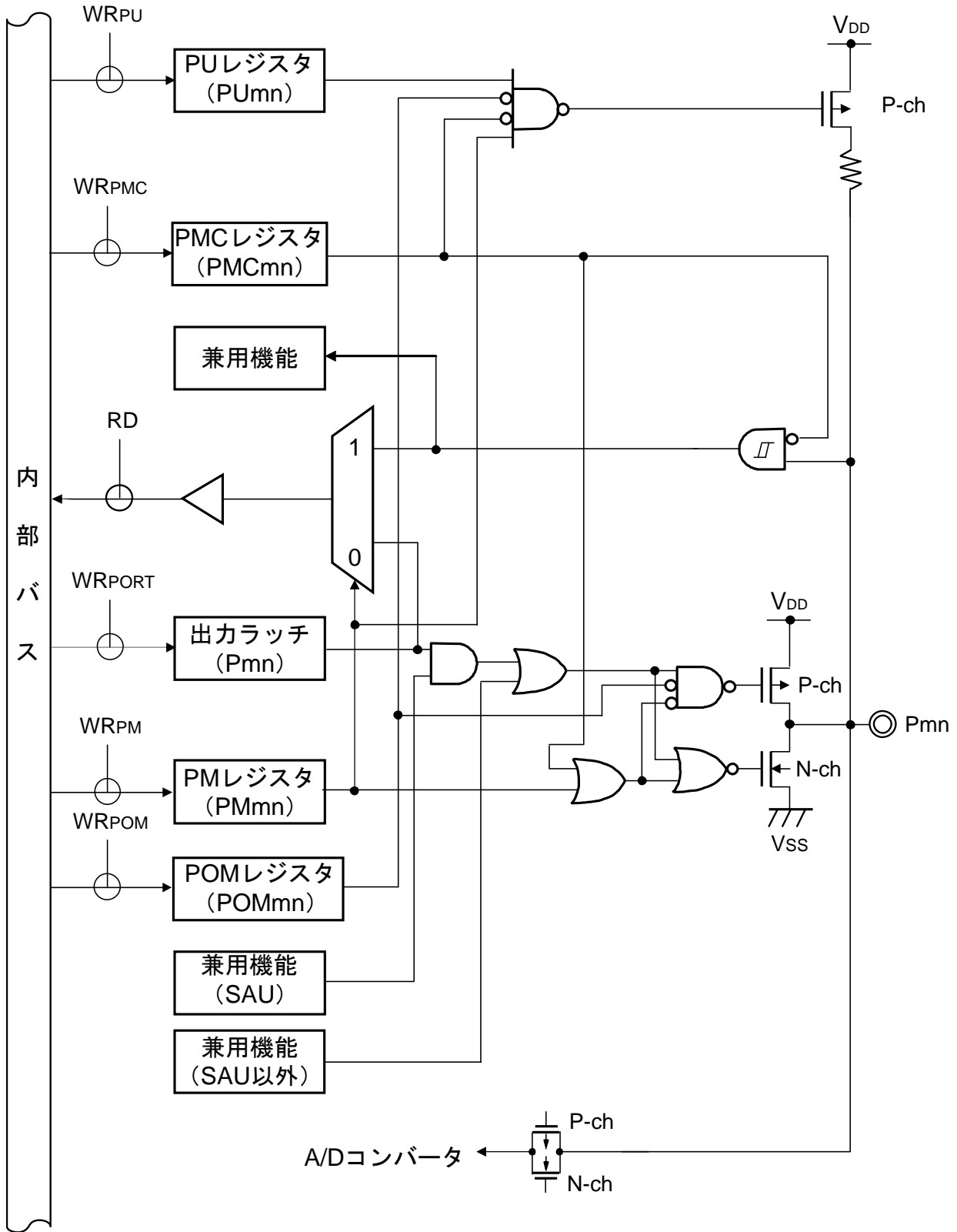


備考 1. 兼用機能は、2.1.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

★

図 2-9 端子タイプ 7-3-2 の端子ブロック図

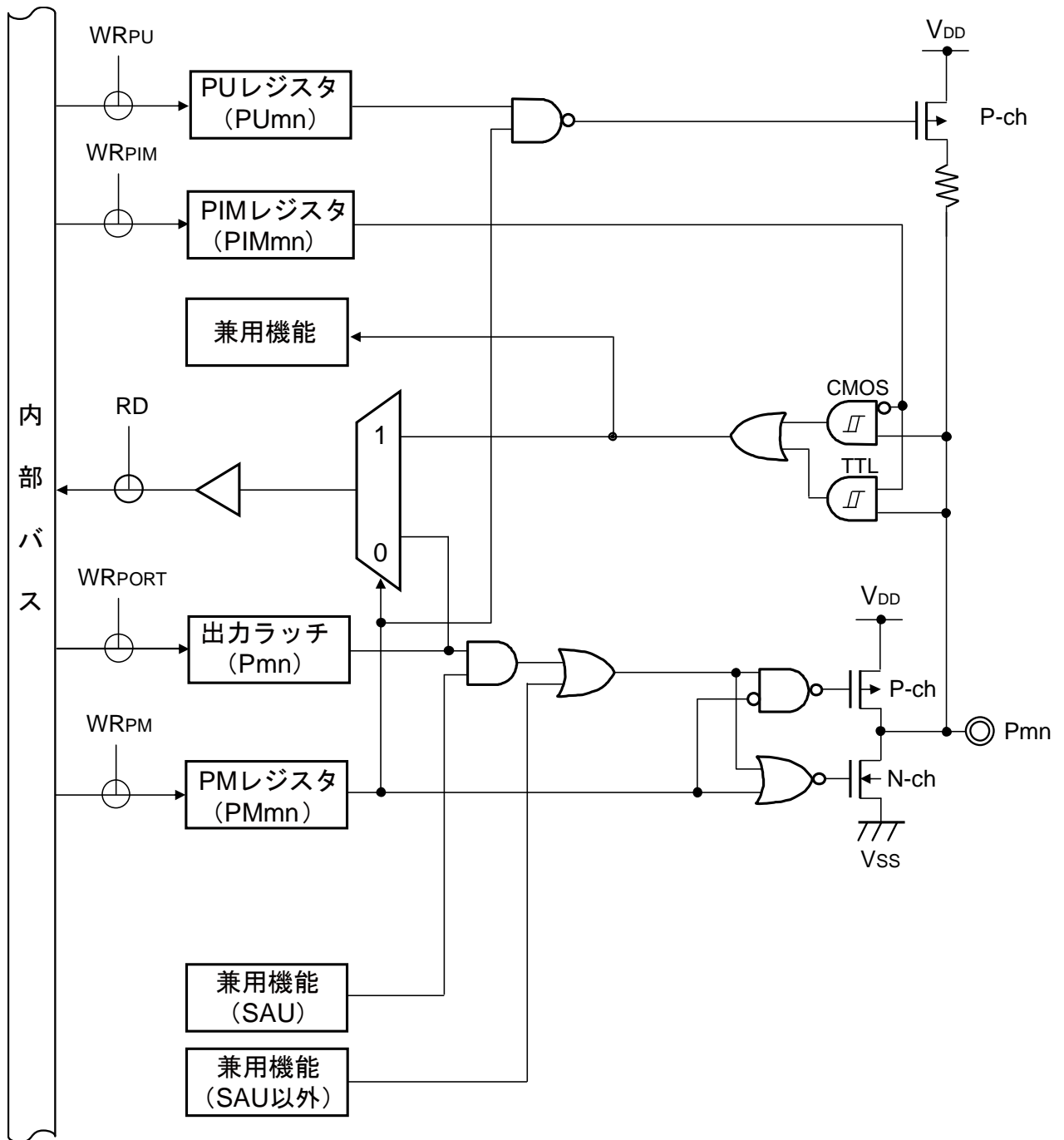


備考 1. 兼用機能は、2.1.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

★

図 2-10 端子タイプ 8-1-1 の端子ブロック図

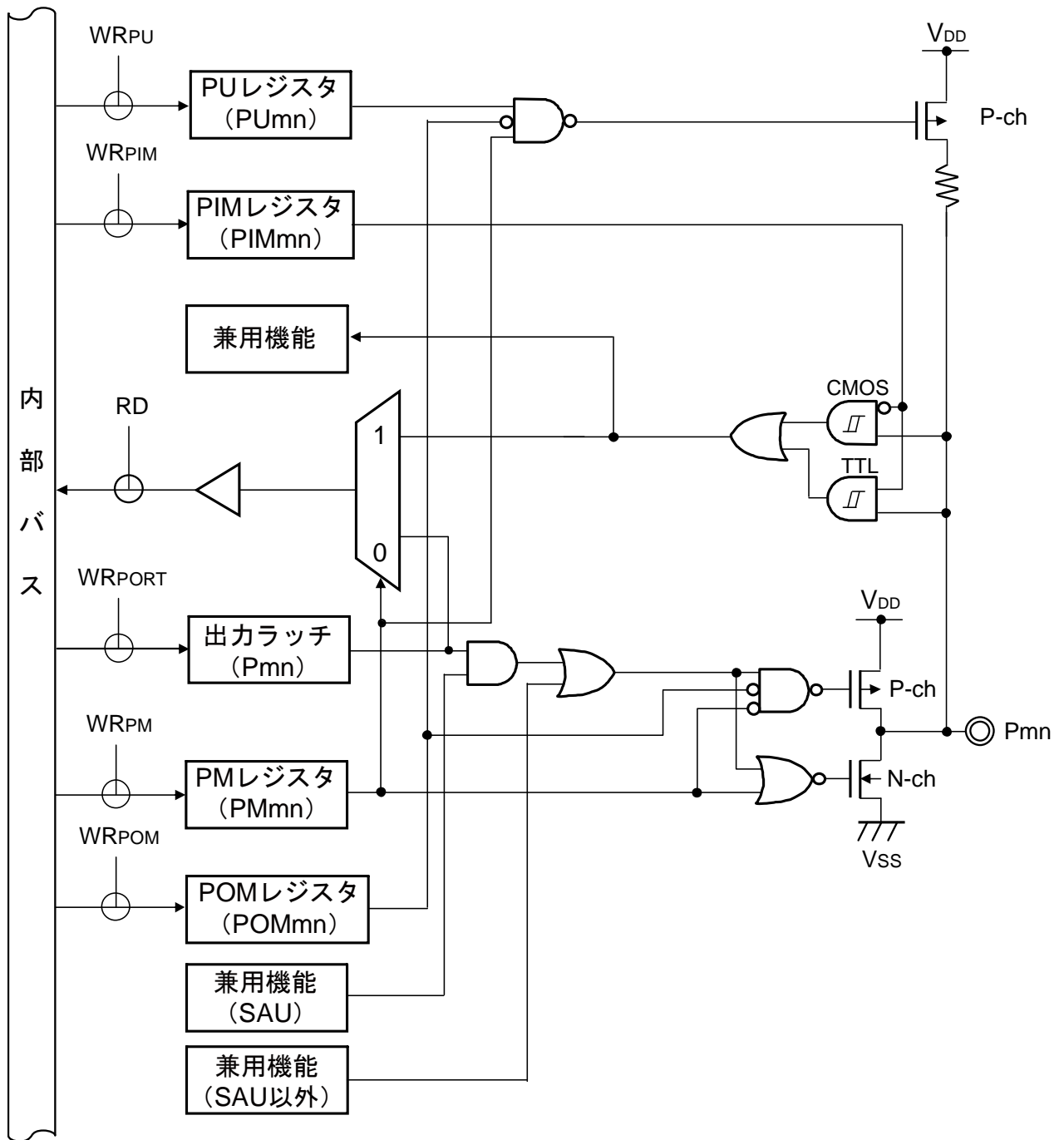


備考 1. 兼用機能は、2.1.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

★

図 2-11 端子タイプ 8-1-2 の端子ブロック図

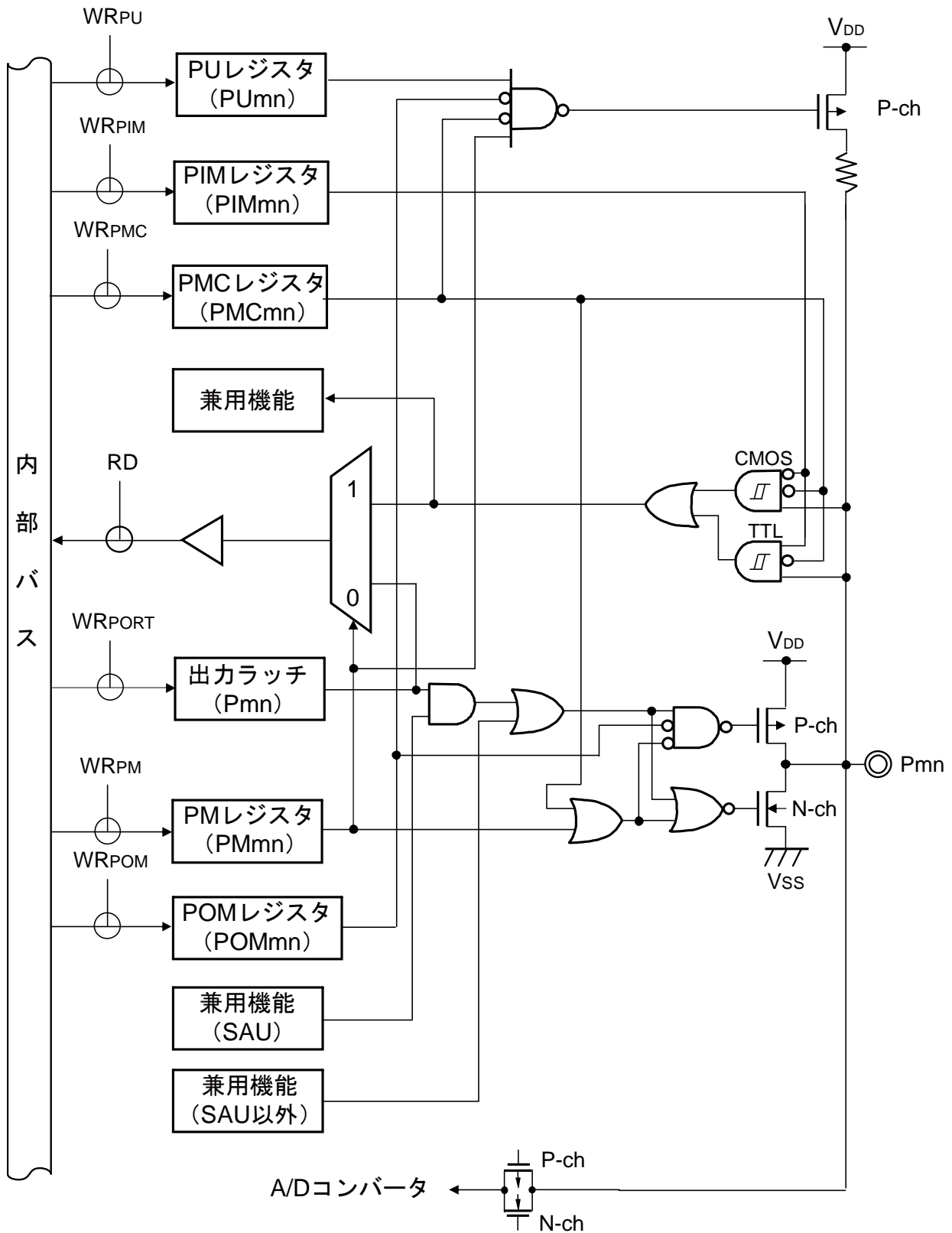


備考 1. 兼用機能は、2.1.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

★

図 2-12 端子タイプ 8-3-2 の端子ブロック図



備考 1. 兼用機能は、2.1.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図 2-13 端子の入出力回路一覧 (1/2)

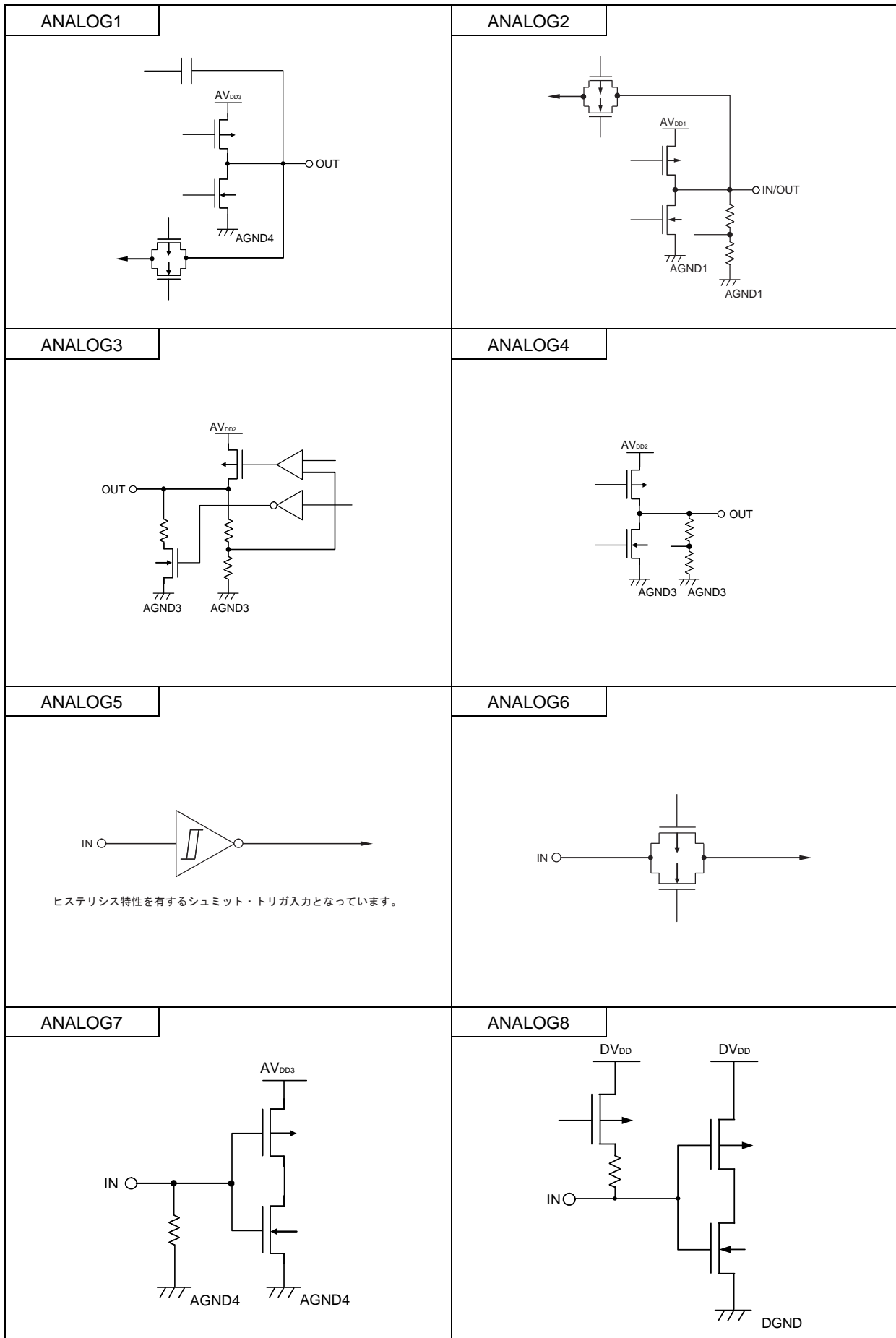
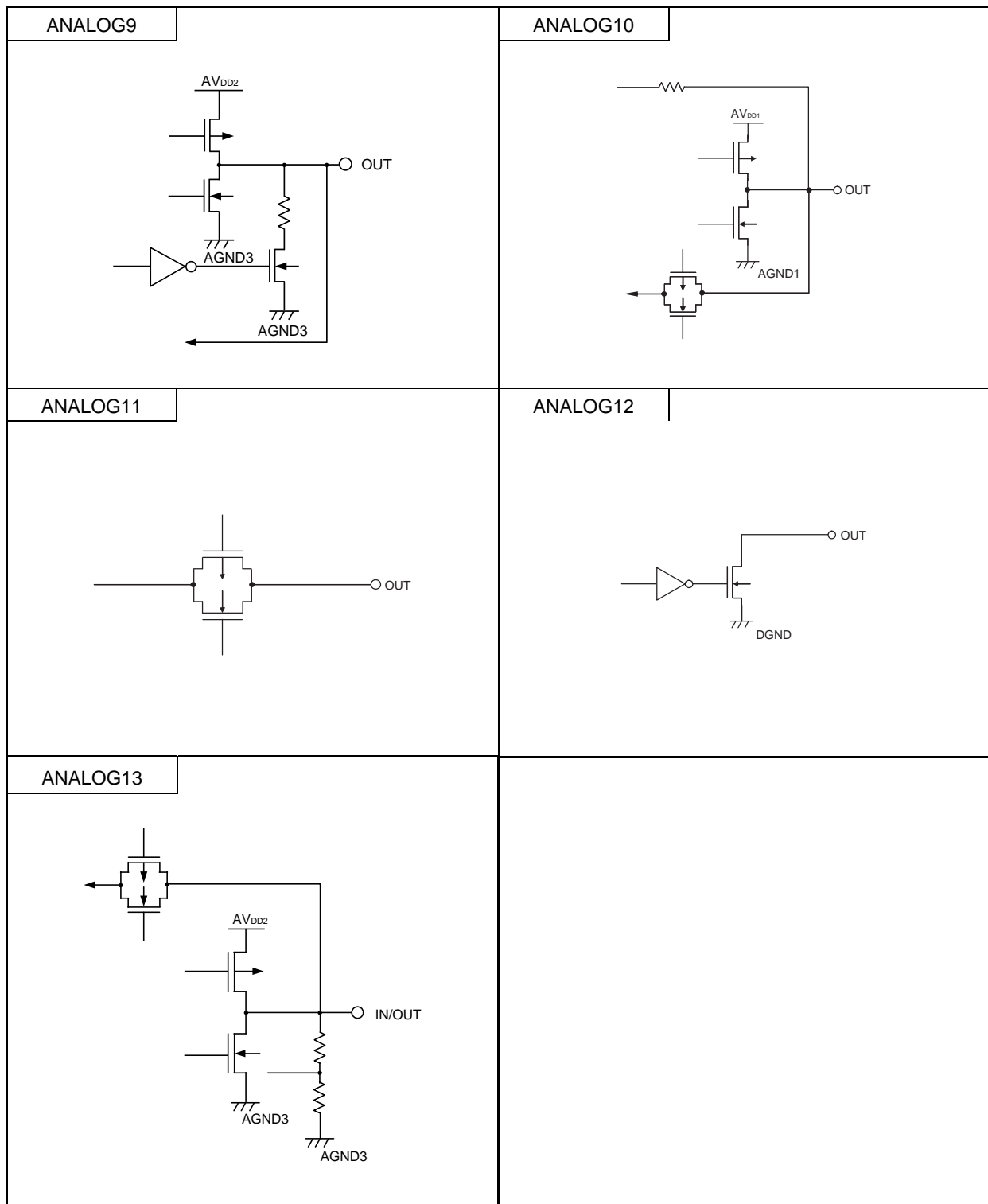




図 2-13 端子の入出力回路一覧 (2/2)



## 2.5 端子機能の説明

備考 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View) , 2.1 マイクロコントローラ部の端子機能, 2.2 アナログ部の端子機能を参照してください。

### 2.5.1 ポート 0 (P00-P04)

#### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 0 (PM0) の設定により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

#### (2) コントロール・モード

タイマの入出力, A/D コンバータのアナログ入力, シリアル・インタフェースのデータ入出力, クロック入出力, キー・リターン入力として機能します。

##### (a) ANI16, ANI17

A/D コンバータのアナログ入力端子として機能します。

##### (b) SI10

シリアル・インタフェース CSI10 のシリアル・データ入力端子です。

##### (c) SO10

シリアル・インタフェース CSI10 のシリアル・データ出力端子です。

##### (d) SCK10

シリアル・インタフェース CSI10 のシリアル・クロック入出力端子です。

##### (e) TxD1

シリアル・インタフェース UART1 のシリアル・データ出力端子です。

- (f) RxD1  
シリアル・インタフェース UART1 のシリアル・データ入力端子です。
- (g) SDA10  
シリアル・インタフェース IIC10 のシリアル・データ入出力端子です。
- (h) SCL10  
シリアル・インタフェース IIC10 のシリアル・クロック出力端子です。
- (i) TI00  
16 ビット・タイマ 00 への外部カウント・クロック/キャプチャ・トリガ入力端子です。
- (j) TO00  
16 ビット・タイマ 00 のタイマ出力端子です。
- (k) KR0-KR4  
キー・リターン入力端子です。

## 2.5.2 ポート 1 (P10-P15)

### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 1 (PM1) の設定により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

A/D コンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力、プログラミング UART の入出力として機能します。

#### (a) ANI18, ANI20-ANI24

A/D コンバータのアナログ入力端子として機能します。

#### (b) TxD0, TxD2

シリアル・インタフェース UART0, UART2 のシリアル・データ出力端子です。

#### (c) RxD0, RxD2

シリアル・インタフェース UART0, UART2 のシリアル・データ入力端子です。

#### ★ (d) SCK00, SCK20

シリアル・インタフェース CSI00, CSI20 のシリアル・クロック入出力端子です。

#### (e) SI00, SI20

シリアル・インタフェース CSI00, CSI20 のシリアル・データ入力端子です。

#### (f) SO00, SO20

シリアル・インタフェース CSI00, CSI20 のシリアル・データ出力端子です。

## (g) TOOLTxD

フラッシュ・メモリ・プログラミング時に使用する、外部デバイス接続用の UART のシリアル・データ出力端子です。

## (h) TOOLRxD

フラッシュ・メモリ・プログラミング時に使用する、外部デバイス接続用の UART のシリアル・データ入力端子です。

## (i) SDA00, SDA20

シリアル・インタフェース IIC00, IIC20 のシリアル・データ入出力端子です。

## (j) SCL00, SCL20

シリアル・インタフェース IIC00, IIC20 のシリアル・クロック出力端子です。

## (k) KR0-KR5

キー・リターン入力端子です。

### 2.5.3 ポート 2 (P20-P24)

#### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 2 (PM2) の設定により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

#### (2) コントロール・モード

A/D コンバータのアナログ入力、A/D コンバータの基準電位入力として機能します。

##### (a) ANI0-ANI4

A/D コンバータのアナログ入力端子として機能します。

##### (b) AVREFP

A/D コンバータの基準電位 (+側) 入力端子です。

##### (c) AVREFM

A/D コンバータの基準電位 (-側) 入力端子です。

##### (d) KR5, KR6, KR7

キー・リターン入力端子です。

## 2.5.4 ポート 4 (P40-P42)

### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 4 (PM4) の設定により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

A/D コンバータのアナログ入力、フラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力、タイマの入出力機能として機能します。

#### (a) TI04, TI07

16 ビット・タイマ 04, 07 への外部カウント・クロック／キャプチャ・トリガ入力端子です。

#### (b) TO04, TO07

16 ビット・タイマ 04, 07 のタイマ出力端子です。

#### (c) TOOL0

フラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力端子です。  
オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください（プルダウン禁止）。

#### (d) ANI30

A/D コンバータのアナログ入力端子として機能します。

## 2.5.5 ポート 5 (P50, P51)

### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 5 (PM5) の設定により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

A/D コンバータのアナログ入力、外部割り込み要求入力として機能します。

#### (a) ANI25, ANI26

A/D コンバータのアナログ入力端子として機能します。

#### (b) INTP1, INTP2

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。



## 2.5.6 ポート7 (P70-P73)

### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

キー割り込み入力端子、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

#### (a) ANI28

A/Dコンバータのアナログ入力端子として機能します。

#### (b) KR0-KR2

キー割り込み入力端子です。

#### (c) SI21

シリアル・インタフェースCSI21のシリアル・データ入力端子です。

#### (d) SO21

シリアル・インタフェースCSI21のシリアル・データ出力端子です。

#### ★ (e) SCK21

シリアル・インタフェースCSI21のシリアル・クロック入出力端子です。

## 2.5.7 ポート 12 (P121, P122)

### (1) ポート・モード

P121, P122 は入力ポートとして機能します。

### (2) コントロール・モード

メイン・システム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力として機能します。

#### (a) X1, X2

メイン・システム・クロック用発振子接続端子です。

#### (b) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

## 2.5.8 ポート 13 (P130, P137)

### (1) ポート・モード

P130 は出力ポートとして機能します。P137 は入力ポートとして機能します。

### (2) コントロール・モード

外部割り込み要求入力端子として機能します。

#### (a) INTP0

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

## 2.5.9 ポート 14 (P140)

### (1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 14 (PM14) の設定により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

クロック/ブザー出力、外部割り込み要求入力として機能します。

#### (a) INTTP6

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

#### (b) PCLBUZ0

クロック/ブザー出力端子です。

### 2.5.10 AVDD, AVSS, VDD, VSS

(a) AVDD

A/D コンバータの基準電圧入力、および P20 - P24, A/D コンバータの正電源供給端子です。

(b) AVSS

A/D コンバータのグランド電位端子です。A/D コンバータを使用しないときでも、常に VSS と同電位で使用してください。

(c) VDD

VDD は正電源供給端子です。

(d) VSS

VSS はグランド電位です。

備考 ノイズおよびラッチアップ対策として、VDD-VSS ライン間のバイパスコンデンサ (0.1  $\mu$ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

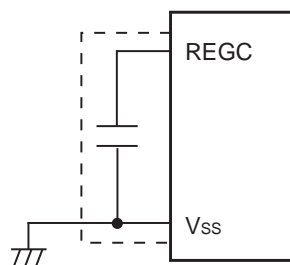
### 2.5.11 $\overline{\text{RESET}}$

マイクロコントローラ部の機能に対する、ロウ・レベル・アクティブのシステム・リセット入力端子です。使用しない場合は、直接または抵抗を介して VDD に接続してください。使用する場合は、VDD を基準に設計してください。機能に関する詳細は、3.5.5 クロック発生回路の動作, 3.19 リセット機能, 3.20 パワーオン・リセット回路を参照してください。

### 2.5.12 REGC

内部動作レギュレータ出力安定容量接続端子です。コンデンサ (0.47  $\mu$ F ~ 1  $\mu$ F) を介し、VSS に接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

### 2.5.13 AVDD3

ハイパス・フィルタ<sup>注</sup>、ローパス・フィルタ用の電源端子です。

### 2.5.14 SC\_IN

フィルタ信号処理用の入力端子です。

### 2.5.15 CLK\_SYNCH

同期検波用制御クロック入力端子です。

### 2.5.16 SYNCH\_OUT

同期検波出力端子です。

### 2.5.17 AGND2

ゲイン調整アンプのグランド端子です。

### 2.5.18 GAINAMP\_OUT

ゲイン調整アンプ用の出力端子です。

### 2.5.19 GAINAMP\_IN

ゲイン調整アンプ用の入力端子です。

### 2.5.20 MPXIN10, MPXIN11, MPXIN20, MPXIN21, MPXIN30, MPXIN31, MPXIN40, MPXIN41, MPXIN50, MPXIN51, MPXIN60, MPXIN61

マルチプレクサ用の入力端子です。

### 2.5.21 AMP1\_OUT, AMP2\_OUT, AMP3\_OUT

コンフィギュラブル・アンプ(Ch1-Ch3)用の出力端子です。

### 2.5.22 DAC1\_OUT, DAC2\_OUT, DAC3\_OUT, DAC4\_OUT

D/A コンバータ Ch1~Ch4 の出力端子です。

### 2.5.23 VREFIN1, VREFIN2, VREFIN3, VREFIN4

コンフィギュラブル・アンプ Ch1~Ch3 およびゲイン調整アンプ、ローパス・フィルタ、ハイパス・フィルタ<sup>注</sup>の基準電圧入力端子です。

注 RL78/G1E (80ピン) のみ。

### 2.5.24 AGND1

コンフィギュラブル・アンプ (Ch1~Ch3) 用のグラウンド端子です。

### 2.5.25 AVDD1

コンフィギュラブル・アンプ Ch1~Ch3 用の電源端子です。

### 2.5.26 AGND3

出力電圧可変レギュレータ, 基準電圧生成回路用の GND 端子です

### 2.5.27 BGR\_OUT

基準電圧生成回路用の出力端子です

### 2.5.28 AVDD2

出力電圧可変レギュレータ, 基準電圧生成回路用の電源端子です

### 2.5.29 LDO\_OUT

出力電圧可変レギュレータ用の出力端子です。

### 2.5.30 TEMP\_OUT

温度センサ用の出力端子です。

### 2.5.31 $\overline{\text{ARESET}}$

アナログ部の機能に対する, ロウ・レベル・アクティブのシステム・リセット入力端子です。DVDDに電源投入後, SPIとの通信を開始する前に, 外部リセットを入力する必要があります。内蔵のマイクロコントローラ部より制御する場合は, リセット時にロウ・レベル出力ポートとなる P130 と直接接続することを推奨します。Hi-Z となる端子と接続する場合は, 抵抗を介して DGND に接続してください。機能に関する詳細は, 4.10 アナログ・リセット機能を参照してください。

### 2.5.32 DVDD

SPI の電源端子です。

### 2.5.33 $\overline{\text{SCLK}}$

SPI のシリアル・クロック入力端子です。

### 2.5.34 SDO

SPI のシリアル・データ出力端子です。

### 2.5.35 SDI

SPI のシリアル・データ入力端子です。

### 2.5.36 $\overline{\text{CS}}$

SPI のチップ・セレクト入力端子です。

### 2.5.37 DGND

SPI の GND 端子です。

### 2.5.38 HPF\_OUT

ハイパス・フィルタ用の出力端子です。

### 2.5.39 CLK\_HP

ハイパス・フィルタ用制御クロック入力端子です。

### 2.5.40 CLK\_LP

ローパス・フィルタ用制御クロック入力端子です。

### 2.5.41 AGND4

ローパス・フィルタ, ハイパス・フィルタ用の GND 端子です。

### 2.5.42 LPF\_OUT

ローパス・フィルタ用の出力端子です。

### 2.5.43 I.C

I.C (Internal connect) 端子は, IC 内部で接続されているのみで機能はありません。常にオープンにしてください。



## 第3章 マイクロコントローラ部

### 3.1 概 要

RL78/G1E の 16 ビット・マイクロコントローラ部は、RL78/G1A（64 ピン製品）を搭載しております。マイクロコントローラ部の各機能の詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）を参照してください。

RL78/G1E では、RL78/G1A（64 ピン製品）の全機能端子がパッケージ外部に出ないため、一部、使用できる機能が RL78/G1A（64 ピン製品）とは異なります。本章では、RL78/G1A（64 ピン製品）との機能およびレジスタの違いについて示します。

## 3.2 RL78/G1A (64ピン製品) との機能比較

各機能における RL78/G1E (64ピン製品, 80ピン製品) と RL78/G1A (64ピン製品) の相違点を以下に示します。詳細は、備考欄に記入した各節を参照してください。

(1/4)

項目		RL78/G1E		RL78/G1A (64ピン製品)	備考
		64ピン製品	80ピン製品		
コード・フラッシュ・メモリ		32-64 KB	32-64 KB	32-64 KB	詳細は、3.3節を参照して下さい。
データ・フラッシュ・メモリ		4 KB	4 KB	4 KB	
RAM		2-4 KB	2-4 KB	2-4 KB	
メモリ空間		1 Mバイト		1 Mバイト	
プロセッサ・レジスタ		制御レジスタ : PC, PSW, SP		制御レジスタ : PC, PSW, SP	相違有り。 詳細は、3.3節を参照して下さい。
		汎用レジスタ : (8ビット・レジスタ×8) ×4バンク		汎用レジスタ : (8ビット・レジスタ×8) ×4バンク	
		特殊機能レジスタ (SFR)		特殊機能レジスタ (SFR)	
		拡張特殊機能レジスタ (2nd SFR)		拡張特殊機能レジスタ (2nd SFR)	
I/O ポート	合計	24	30	56	相違有り。 詳細は、3.4節を参照して下さい。
	COMS 入出力	20	26	46	
	COMS 入力	3		5	
	COMS 出力	1		1	
	N-ch O.D 入出力 (6V 耐圧)	-		4	
メイン・システム・クロック	高速 システム・ クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・ クロック入力 (EXCLK) 1~20 MHz : V <sub>DD</sub> = 2.7~5.5 V, 1~8 MHz : V <sub>DD</sub> = 1.8~2.7 V, 1~4 MHz : V <sub>DD</sub> = 1.6~1.8 V	X1 (水晶/セラミック) 発振, 外部メイン・システム・ クロック入力 (EXCLK) 1~20 MHz : V <sub>DD</sub> = 2.7~3.6 V, 1~8 MHz : V <sub>DD</sub> = 1.8~2.7 V, 1~4 MHz : V <sub>DD</sub> = 1.6~1.8 V	相違有り。 詳細は、3.5節を参照して下さい。  RL78/G1E では、 サブシステム・クロックは使用できません。	
	高速 オンチップ・ オシレータ・ クロック	HS (高速メイン) モード : 1~32 MHz (V <sub>DD</sub> = 2.7~5.5 V) , HS (高速メイン) モード : 1~16 MHz (V <sub>DD</sub> = 2.4~5.5 V) , LS (低速メイン) モード : 1~8 MHz (V <sub>DD</sub> = 1.8~5.5 V) , LV (低電圧メイン) モード : 1~4 MHz (V <sub>DD</sub> = 1.6~5.5 V)	HS (高速メイン) モード : 1~32 MHz (V <sub>DD</sub> = 2.7~3.6 V) , HS (高速メイン) モード : 1~16 MHz (V <sub>DD</sub> = 2.4~3.6 V) , LS (低速メイン) モード : 1~8 MHz (V <sub>DD</sub> = 1.8~3.6 V) , LV (低電圧メイン) モード : 1~4 MHz (V <sub>DD</sub> = 1.6~3.6 V)		
サブシステム・クロック		-		XT1 (水晶) 発振, 外部サブシステム・ クロック入力 (EXCLKS) 32.768 kHz (TYP.) : V <sub>DD</sub> = 1.6~3.6 V	

(2/4)

項目		RL78/G1E		RL78/G1A	備考
		64ピン製品	80ピン製品	(64ピン製品)	
低速オンチップ・オシレータ・クロック		15 kHz (TYP.) : $V_{DD} = 1.6 \sim 5.5$ V		15 kHz (TYP.) : $V_{DD} = 1.6 \sim 3.6$ V	相違有り。 詳細は、3.5節を参照して下さい。  RL78/G1Eでは、サブシステム・クロックは使用できません。
最小命令実行時間		0.03125 $\mu$ s (高速オンチップ・オシレータ・クロック : $f_{IH} = 32$ MHz 動作時)		0.03125 $\mu$ s (高速オンチップ・オシレータ・クロック : $f_{IH} = 32$ MHz 動作時)	
		0.05 $\mu$ s (高速システム・クロック : $f_{MX} = 20$ MHz 動作時)		0.05 $\mu$ s (高速システム・クロック : $f_{MX} = 20$ MHz 動作時)	
		-		30.5 $\mu$ s (サブシステム・クロック : $f_{SUB} = 32.768$ kHz 動作時)	
タイマ	16ビット・タイマ	8チャンネル		8チャンネル	相違有り。 3.6節参照。
	ウォッチドッグ・タイマ	1チャンネル		1チャンネル	3.10節参照。
	リアルタイム・クロック (RTC)	-		1チャンネル	RL78/G1Eでは、使用できません。 (3.7節参照)
	12ビット・インターバル・タイマ (IT)	1チャンネル		1チャンネル	相違有り。 3.8節参照。
	タイマ出力	3本 (PWM出力 : 2本 <sup>注</sup> )		7本 (PWM出力 : 6本 <sup>注</sup> )	相違有り。 3.6節参照。
	RTC出力	-		1本 ・1 Hz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz)	RL78/G1Eでは、使用できません。 (3.7節参照)

注 使用チャンネルの設定によって、PWM出力数は変わります。

(3/4)

項 目	RL78/G1E		RL78/G1A	備考
	64 ピン製品	80 ピン製品	(64 ピン製品)	
クロック出力 ／ブザー出力	－	1 本 ・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・シス テム・クロック : f <sub>MAIN</sub> = 20 MHz 動作時)	2 本 ・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・シス テム・クロック : f <sub>MAIN</sub> = 20 MHz 動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシス テム・クロック : f <sub>SUB</sub> = 32.768 kHz 動作 時)	相違有り。 詳細は、3.9 節を参 照して下さい。
8/12 ビット分解能 A/D コ ンバータ (AV <sub>DD</sub> = 1.6 V ~ 3.6 V)	13 チャンネル	17 チャンネル	28 チャンネル	相違有り。 3.11 節参照。
シリアル・インタフェース	【ユニット 0】 ・ CSI : 1 チャンネル / 簡易 I <sup>2</sup> C : 1 チャンネル UART : 1 チャンネル ・ UART : 1 チャンネル 【ユニット 1】 ・ CSI : 1 チャンネル / UART : 1 チャンネル (LIN-bus 対応)	【ユニット 0】 ・ CSI : 1 チャンネル / 簡易 I <sup>2</sup> C : 1 チャンネル UART : 1 チャンネル ・ CSI : 1 チャンネル / 簡易 I <sup>2</sup> C : 1 チャンネル UART : 1 チャンネル 【ユニット 1】 ・ CSI : 2 チャンネル / 簡易 I <sup>2</sup> C : 1 チャンネル / UART : 1 チャンネル (LIN-bus 対応)	【ユニット 0】 ・ CSI : 2 チャンネル / 簡易 I <sup>2</sup> C : 2 チャンネル UART : 1 チャンネル ・ CSI : 2 チャンネル / 簡易 I <sup>2</sup> C : 2 チャンネル UART : 1 チャンネル 【ユニット 1】 ・ CSI : 2 チャンネル / 簡易 I <sup>2</sup> C : 2 チャンネル / UART : 1 チャンネル (LIN-bus 対応)	相違有り。 詳細は、3.12 節を 参照して下さい。
I <sup>2</sup> C バス	－		1 チャンネル	RL78/G1E では、 使用できません。 (3.13 節参照)
乗除・積和算器	機能×5 (乗算、除算、積和演算)		機能×5 (乗算、除算、積和演算)	3.14 節参照。
DMA コントローラ	2 チャンネル		2 チャンネル	3.15 節参照。
ベクタ割り込み 要因	内部	25	27	相違有り。
	外部	2	13	3.16 節参照。
キー割り込み機能	4 ch (7 ch) <sup>注</sup>	4 ch (8 ch) <sup>注</sup>	10 ch	相違有り。 3.17 節参照。

注 ( ) 内は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

(4/4)

項 目	RL78/G1E		RL78/G1A (64ピン製品)	備考
	64ピン製品	80ピン製品		
スタンバイ機能	HALT, STOP, SNOOZE モード		HALT, STOP, SNOOZE モード	3.18 節参照
リセット機能	7リセット・ソース		7リセット・ソース	3.19 節参照
パワーオン・リセット回路	パワーオン・リセット: 1.51+/-0.03 V, パワーダウン・リセット: 1.50+/-0.03 V		パワーオン・リセット: 1.51+/-0.03 V, パワーダウン・リセット: 1.50+/-0.03 V	3.20 節参照
電圧検出回路	検出レベル: 3段階		検出レベル: 12段階	相違有り。 3.21 節参照。
安全機能	フラッシュ・メモリ CRC 演算機能 (高速 CRC) CRC 演算機能 (汎用 CRC) RAM パリティ・エラー検出機能 RAM ガード機能 SFR ガード機能 不正メモリ・アクセス検出機能 周波数検出機能 A/D テスト機能		フラッシュ・メモリ CRC 演算機能 (高速 CRC) CRC 演算機能 (汎用 CRC) RAM パリティ・エラー検出機能 RAM ガード機能 SFR ガード機能 不正メモリ・アクセス検出機能 周波数検出機能 A/D テスト機能	相違有り。 詳細は、3.22 節を 参照して下さい。
レギュレータ	1チャンネル		1チャンネル	3.23 節参照
オプション・バイト	使用可		使用可	相違有り。 3.24 節参照。
フラッシュ・メモリ	使用可		使用可	相違有り。 3.25 節参照。
オンチップ・デバック機能	使用可		使用可	3.26 節参照。
10進補正 (BCD) 回路	使用可		使用可	3.27 節参照。
命令セット	<ul style="list-style-type: none"> <li>・データ転送 (8/16 ビット)</li> <li>・加減/論理演算 (8/16 ビット)</li> <li>・乗算 (8 ビット×8 ビット)</li> <li>・ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, プール演算) など</li> </ul>		<ul style="list-style-type: none"> <li>・データ転送 (8/16 ビット)</li> <li>・加減/論理演算 (8/16 ビット)</li> <li>・乗算 (8 ビット×8 ビット)</li> <li>・ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, プール演算) など</li> </ul>	3.28 節参照。
電源電圧	V <sub>DD</sub> = 1.6 V~5.5 V		V <sub>DD</sub> = 1.6 V~3.6 V	電源電圧範囲が 違います。

### 3.3 CPU アーキテクチャ

本節では、機能およびレジスタにおける、RL78/G1A（64ピン製品）との違いについて示します。詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の3章 CPU アーキテクチャを参照してください。

#### 3.3.1 メモリ空間

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の3.1 メモリ空間を参照してください。

#### 3.3.2 プロセッサ・レジスタ

##### 3.3.2.1 制御レジスタ

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の3.2.1 制御レジスタを参照してください。

##### 3.3.2.2 汎用レジスタ

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の3.2.2 汎用レジスタを参照してください。

##### 3.3.2.3 ES, CS レジスタ

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の3.2.3 ES, CS レジスタを参照してください。

## 3.3.2.4 特殊機能レジスタ (SFR : Special Function Register)

RL78/G1E (64ピン製品, 80ピン製品) と RL78/G1A (64ピン製品) の相違点を以下に示します。

## (1) 64ピン製品

表 3-1 特殊機能レジスタ (SFR) の比較 (1/4)

アドレス	RL78/G1E (64ピン製品)		RL78/G1A (64ピン製品)	
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号
FFF00H	ポート・レジスタ 0 <sup>注</sup>	P0	ポート・レジスタ 0	P0
FFF01H	ポート・レジスタ 1 <sup>注</sup>	P1	ポート・レジスタ 1	P1
FFF02H	ポート・レジスタ 2 <sup>注</sup>	P2	ポート・レジスタ 2	P2
FFF03H			ポート・レジスタ 3	P3
FFF04H	ポート・レジスタ 4 <sup>注</sup>	P4	ポート・レジスタ 4	P4
FFF05H			ポート・レジスタ 5	P5
FFF06H			ポート・レジスタ 6	P6
FFF07H	ポート・レジスタ 7 <sup>注</sup>	P7	ポート・レジスタ 7	P7
FFF0CH	ポート・レジスタ 12 <sup>注</sup>	P12	ポート・レジスタ 12	P12
FFF0DH	同右	P13	ポート・レジスタ 13	P13
FFF0EH			ポート・レジスタ 14	P14
FFF0FH			ポート・レジスタ 15	P15
FFF10H	同右	TXD0/ SIO00	シリアル・データ・レジスタ00	TXD0/ SIO00
FFF11H		—		—
FFF12H	同右	RXD0/ SIO01	シリアル・データ・レジスタ01	RXD0/ SIO01
FFF13H		—		—
FFF18H	同右	TDR00	タイマ・データ・レジスタ00	TDR00
FFF19H				
FFF1AH	同右	TDR01L	タイマ・データ・レジスタ01	TDR01L
FFF1BH		TDR01H		TDR01H
FFF1EH	同右	ADCR	12ビット A/D 変換結果レジスタ	ADCR
FFF1FH	同右	ADCRH	8ビット A/D 変換結果レジスタ	ADCRH
FFF20H	ポート・モード・レジスタ 0 <sup>注</sup>	PM0	ポート・モード・レジスタ 0	PM0
FFF21H	ポート・モード・レジスタ 1 <sup>注</sup>	PM1	ポート・モード・レジスタ 1	PM1
FFF22H	ポート・モード・レジスタ 2 <sup>注</sup>	PM2	ポート・モード・レジスタ 2	PM2
FFF23H			ポート・モード・レジスタ 3	PM3
FFF24H	ポート・モード・レジスタ 4 <sup>注</sup>	PM4	ポート・モード・レジスタ 4	PM4
FFF25H			ポート・モード・レジスタ 5	PM5
FFF26H	ポート・モード・レジスタ 6 <sup>注</sup>	PM6	ポート・モード・レジスタ 6	PM6
FFF27H	ポート・モード・レジスタ 7 <sup>注</sup>	PM7	ポート・モード・レジスタ 7	PM7
FFF2CH			ポート・モード・レジスタ 12	PM12
FFF2EH	ポート・モード・レジスタ 14 <sup>注</sup>	PM14	ポート・モード・レジスタ 14	PM14
FFF2FH	ポート・モード・レジスタ 15 <sup>注</sup>	PM15	ポート・モード・レジスタ 15	PM15
FFF30H	同右	ADM0	A/D コンバータ・モード・レジスタ 0	ADM0
FFF31H	アナログ入力チャネル指定レジスタ <sup>注</sup>	ADS	アナログ入力チャネル指定レジスタ	ADS
FFF32H	A/D コンバータ・モード・レジスタ 1 <sup>注</sup>	ADM1	A/D コンバータ・モード・レジスタ 1	ADM1

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

表 3-1 特殊機能レジスタ (SFR) の比較 (2/4)

アドレス	RL78/G1E (64ピン製品)		RL78/G1A (64ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号	
FFF34H	同右	KRCTL	キー・リターン・コントロール・レジスタ	KRCTL	
FFF35H	同右	KRF	キー・リターン・フラグ・レジスタ	KRF	
FFF36H			キー割り込みモード制御レジスタ 1	KRM1	
FFF37H	キー割り込みモード制御レジスタ 0 注	KRM0	キー割り込みモード制御レジスタ 0	KRM0	
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ 0 注	EGP0	外部割り込み立ち上がりエッジ許可レジスタ 0	EGP0	
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ 0 注	EGN0	外部割り込み立ち下がりエッジ許可レジスタ 0	EGN0	
FFF3AH			外部割り込み立ち上がりエッジ許可レジスタ 1	EGP1	
FFF3BH			外部割り込み立ち下がりエッジ許可レジスタ 1	EGN1	
FFF44H	同右	TXD1/ SIO10	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02
FFF45H		—		—	
FFF46H	同右	RXD1/ SIO11	シリアル・データ・レジスタ03	RXD1/ SIO11	SDR03
FFF47H		—		—	
FFF48H	同右	TXD2/ SIO20	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10
FFF49H		—		—	
FFF4AH	同右	RXD2/ SIO21	シリアル・データ・レジスタ11	RXD2/ SIO21	SDR11
FFF4BH		—		—	
FFF50H			IICA シフト・レジスタ 0	IICA0	
FFF51H			IICA ステータス・レジスタ 0	IICS0	
FFF52H			IICA フラグ・レジスタ 0	IICF0	
FFF64H	同右	TDR02	タイマ・データ・レジスタ02	TDR02	
FFF65H					
FFF66H	同右	TDR03L	タイマ・データ・レジスタ03	TDR03L	TDR03
FFF67H		TDR03H		TDR03H	
FFF68H	同右	TDR04	タイマ・データ・レジスタ04	TDR04	
FFF69H					
FFF6AH	同右	TDR05	タイマ・データ・レジスタ05	TDR05	
FFF6BH					
FFF6CH	同右	TDR06	タイマ・データ・レジスタ06	TDR06	
FFF6DH					
FFF6EH	同右	TDR07	タイマ・データ・レジスタ07	TDR07	
FFF6FH					

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。



表 3-1 特殊機能レジスタ (SFR) の比較 (3/4)

アドレス	RL78/G1E (64 ピン製品)		RL78/G1A (64 ピン製品)	
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号
FFF90H	同右	ITMC	インターバル・タイマ・コントロール・レジスタ	ITMC
FFF91H				
FFF92H			秒カウント・レジスタ	SEC
FFF93H			分カウント・レジスタ	MIN
FFF94H			時カウント・レジスタ	HOUR
FFF95H			曜日カウント・レジスタ	WEEK
FFF96H			日カウント・レジスタ	DAY
FFF97H			月カウント・レジスタ	MONTH
FFF98H			年カウント・レジスタ	YEAR
FFF99H			時計誤差補正レジスタ	SUBCUD
FFF9AH			アラーム分レジスタ	ALARMWM
FFF9BH			アラーム時レジスタ	ALARMWH
FFF9CH			アラーム曜日レジスタ	ALARMWW
FFF9DH			リアルタイム・クロック・コントロール・レジスタ 0	RTCC0
FFF9EH			リアルタイム・クロック・コントロール・レジスタ 1	RTCC1
FFFA0H	クロック動作モード制御レジスタ <sup>注</sup>	CMC	クロック動作モード制御レジスタ	CMC
FFFA1H	クロック動作ステータス制御レジスタ <sup>注</sup>	CSC	クロック動作ステータス制御レジスタ	CSC
FFFA2H	同右	OSTC	発振安定時間カウンタ状態レジスタ	OSTC
FFFA3H	同右	OSTS	発振安定時間選択レジスタ	OSTS
FFFA4H	システム・クロック制御レジスタ <sup>注</sup>	CKC	システム・クロック制御レジスタ	CKC
FFFA5H			クロック出力選択レジスタ 0	CKS0
FFFA6H			クロック出力選択レジスタ 1	CKS1
FFFA8H	同右	RESF	リセット・コントロール・フラグ・レジスタ	RESF
FFFA9H	同右	LVIM	電圧検出レジスタ	LVIM
FFFAAH	同右	LVIS	電圧検出レベル・レジスタ	LVIS
FFFABH	同右	WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE
FFFACH	同右	CRCIN	CRC入力レジスタ	CRCIN

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

表 3-1 特殊機能レジスタ (SFR) の比較 (4/4)

アドレス	RL78/G1E (64 ピン製品)			RL78/G1A (64 ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号		特殊機能レジスタ (SFR) 名称	略号	
FFFB0H	同右	DSA0		DMA SFRアドレス・レジスタ0	DSA0	
FFFB1H	同右	DSA1		DMA SFRアドレス・レジスタ1	DSA1	
FFFB2H	同右	DRA0L	DRA0	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0
FFFB3H	同右	DRA0H		DMA RAMアドレス・レジスタ0H	DRA0H	
FFFB4H	同右	DRA1L	DRA1	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1
FFFB5H	同右	DRA1H		DMA RAMアドレス・レジスタ1H	DRA1H	
FFFB6H	同右	DBC0L	DBC0	DMAバイト・カウント・レジスタ0L	DBC0L	DBC0
FFFB7H	同右	DBC0H		DMAバイト・カウント・レジスタ0H	DBC0H	
FFFB8H	同右	DBC1L	DBC1	DMAバイト・カウント・レジスタ1L	DBC1L	DBC1
FFFB9H	同右	DBC1H		DMAバイト・カウント・レジスタ1H	DBC1H	
FFFBAH	同右	DMC0		DMAモード・コントロール・レジスタ0	DMC0	
FFFBBH	同右	DMC1		DMAモード・コントロール・レジスタ1	DMC1	
FFF BCH	同右	DRC0		DMA動作コントロール・レジスタ0	DRC0	
FFFB DH	同右	DRC1		DMA動作コントロール・レジスタ1	DRC1	
FFFD0H	割り込み要求・フラグ・レジスタ 2L 注	IF2L	IF2	割り込み要求・フラグ・レジスタ 2L	IF2L	IF2
FFFD1H	割り込み要求・フラグ・レジスタ 2H 注	IF2H		割り込み要求・フラグ・レジスタ 2H	IF2H	
FFFD4H	割り込みマスク・フラグ・レジスタ 2L 注	MK2L	MK2	割り込みマスク・フラグ・レジスタ 2L	MK2L	MK2
FFFD5H	割り込みマスク・フラグ・レジスタ 2H 注	MK2H		割り込みマスク・フラグ・レジスタ 2H	MK2H	
FFFD8H	優先順位指定フラグ・レジスタ 02L 注	PR02L	PR02	優先順位指定フラグ・レジスタ 02L	PR02L	PR02
FFFD9H	優先順位指定フラグ・レジスタ 02H 注	PR02H		優先順位指定フラグ・レジスタ 02H	PR02H	
FFFDCH	優先順位指定フラグ・レジスタ 12L 注	PR12L	PR12	優先順位指定フラグ・レジスタ 12L	PR12L	PR12
FFFD DH	優先順位指定フラグ・レジスタ 12H 注	PR12H		優先順位指定フラグ・レジスタ 12H	PR12H	
FFFE0H	割り込み要求・フラグ・レジスタ 0L 注	IF0L	IF0	割り込みマスク・フラグ・レジスタ 0L	IF0L	IF0
FFFE1H	割り込み要求・フラグ・レジスタ 0H 注	IF0H		割り込みマスク・フラグ・レジスタ 0H	IF0H	
FFFE2H	割り込み要求・フラグ・レジスタ 1L 注	IF1L	IF1	割り込みマスク・フラグ・レジスタ 1L	IF1L	IF1
FFFE3H	割り込み要求・フラグ・レジスタ 1H 注	IF1H		割り込みマスク・フラグ・レジスタ 1H	IF1H	
FFFE4H	割り込みマスク・フラグ・レジスタ 0L 注	MK0L	MK0	割り込みマスク・フラグ・レジスタ 0L	MK0L	MK0
FFFE5H	割り込みマスク・フラグ・レジスタ 0H 注	MK0H		割り込みマスク・フラグ・レジスタ 0H	MK0H	
FFFE6H	割り込みマスク・フラグ・レジスタ 1L 注	MK1L	MK1	割り込みマスク・フラグ・レジスタ 1L	MK1L	MK1
FFFE7H	割り込みマスク・フラグ・レジスタ 1H 注	MK1H		割り込みマスク・フラグ・レジスタ 1H	MK1H	
FFFE8H	優先順位指定フラグ・レジスタ 00L 注	PR00L	PR00	優先順位指定フラグ・レジスタ 00L	PR00L	PR00
FFFE9H	優先順位指定フラグ・レジスタ 00H 注	PR00H		優先順位指定フラグ・レジスタ 00H	PR00H	
FFFEAH	優先順位指定フラグ・レジスタ 01L 注	PR01L	PR01	優先順位指定フラグ・レジスタ 01L	PR01L	PR01
FFFE BH	優先順位指定フラグ・レジスタ 01H 注	PR01H		優先順位指定フラグ・レジスタ 01H	PR01H	
FFFECH	優先順位指定フラグ・レジスタ 10L 注	PR10L	PR10	優先順位指定フラグ・レジスタ 10L	PR10L	PR10
FFFE DH	優先順位指定フラグ・レジスタ 10H 注	PR10H		優先順位指定フラグ・レジスタ 10H	PR10H	
FFFE EH	優先順位指定フラグ・レジスタ 11L 注	PR11L	PR11	優先順位指定フラグ・レジスタ 11L	PR11L	PR11
FFFE FH	優先順位指定フラグ・レジスタ 11H 注	PR11H		優先順位指定フラグ・レジスタ 11H	PR11H	
FFFF0H	同右	MDAL		乗除算データ・レジスタA (L)	MDAL	
FFFF1H						
FFFF2H	同右	MDAH		乗除算データ・レジスタA (H)	MDAH	
FFFF3H						
FFFF4H	同右	MDBH		乗除算データ・レジスタB (H)	MDBH	
FFFF5H						
FFFF6H	同右	MDBL		乗除算データ・レジスタB (L)	MDBL	
FFFF7H						
FFFFEH	同右	PMC		プロセッサ・モード・コントロール・レジスタ	PMC	

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。

## (2) 80ピン製品

表 3-2 特殊機能レジスタ (SFR) の比較 (1/4)

アドレス	RL78/G1E (80ピン製品)		RL78/G1A (64ピン製品)	
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号
FFF00H	ポート・レジスタ 0 <sup>注</sup>	P0	ポート・レジスタ 0	P0
FFF01H	ポート・レジスタ 1 <sup>注</sup>	P1	ポート・レジスタ 1	P1
FFF02H	ポート・レジスタ 2 <sup>注</sup>	P2	ポート・レジスタ 2	P2
FFF03H			ポート・レジスタ 3	P3
FFF04H	ポート・レジスタ 4 <sup>注</sup>	P4	ポート・レジスタ 4	P4
FFF05H	同右	P5	ポート・レジスタ 5	P5
FFF06H			ポート・レジスタ 6	P6
FFF07H	ポート・レジスタ 7 <sup>注</sup>	P7	ポート・レジスタ 7	P7
FFF0CH	ポート・レジスタ 12 <sup>注</sup>	P12	ポート・レジスタ 12	P12
FFF0DH	同右	P13	ポート・レジスタ 13	P13
FFF0EH	ポート・レジスタ 14 <sup>注</sup>	P14	ポート・レジスタ 14	P14
FFF0FH			ポート・レジスタ 15	P15
FFF10H	同右	TXD0/ SIO00	シリアル・データ・レジスタ00	TXD0/ SIO00
FFF11H		—		—
FFF12H	同右	RXD0/ SIO01	シリアル・データ・レジスタ01	RXD0/ SIO01
FFF13H		—		—
FFF18H	同右	TDR00	タイマ・データ・レジスタ00	TDR00
FFF19H				
FFF1AH	同右	TDR01L	タイマ・データ・レジスタ01	TDR01L
FFF1BH		TDR01H		TDR01H
FFF1EH	同右	ADCR	12ビット A/D 変換結果レジスタ	ADCR
FFF1FH	同右	ADCRH	8ビット A/D 変換結果レジスタ	ADCRH
FFF20H	ポート・モード・レジスタ 0 <sup>注</sup>	PM0	ポート・モード・レジスタ 0	PM0
FFF21H	ポート・モード・レジスタ 1 <sup>注</sup>	PM1	ポート・モード・レジスタ 1	PM1
FFF22H	ポート・モード・レジスタ 2 <sup>注</sup>	PM2	ポート・モード・レジスタ 2	PM2
FFF23H			ポート・モード・レジスタ 3	PM3
FFF24H	ポート・モード・レジスタ 4 <sup>注</sup>	PM4	ポート・モード・レジスタ 4	PM4
FFF25H	同右	PM5	ポート・モード・レジスタ 5	PM5
FFF26H	ポート・モード・レジスタ 6 <sup>注</sup>	PM6	ポート・モード・レジスタ 6	PM6
FFF27H	ポート・モード・レジスタ 7 <sup>注</sup>	PM7	ポート・モード・レジスタ 7	PM7
FFF2CH			ポート・モード・レジスタ 12	PM12
FFF2EH	ポート・モード・レジスタ 14 <sup>注</sup>	PM14	ポート・モード・レジスタ 14	PM14
FFF2FH	ポート・モード・レジスタ 15 <sup>注</sup>	PM15	ポート・モード・レジスタ 15	PM15
FFF30H	同右	ADM0	A/D コンバータ・モード・レジスタ 0	ADM0
FFF31H	アナログ入力チャネル指定レジスタ <sup>注</sup>	ADS	アナログ入力チャネル指定レジスタ	ADS
FFF32H	A/D コンバータ・モード・レジスタ 1 <sup>注</sup>	ADM1	A/D コンバータ・モード・レジスタ 1	ADM1

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

表 3-2 特殊機能レジスタ (SFR) の比較 (2/4)

アドレス	RL78/G1E (80 ピン製品)		RL78/G1A (64 ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号	
FFF34H	同右	KRCTL	キー・リターン・コントロール・レジスタ	KRCTL	
FFF35H	同右	KRF	キー・リターン・フラグ・レジスタ	KRF	
FFF36H			キー割り込みモード制御レジスタ 1	KRM1	
FFF37H	同右	KRM0	キー割り込みモード制御レジスタ 0	KRM0	
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ 0 <sup>注</sup>	EGP0	外部割り込み立ち上がりエッジ許可レジスタ 0	EGP0	
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ 0 <sup>注</sup>	EGN0	外部割り込み立ち下がりエッジ許可レジスタ 0	EGN0	
FFF3AH			外部割り込み立ち上がりエッジ許可レジスタ 1	EGP1	
FFF3BH			外部割り込み立ち下がりエッジ許可レジスタ 1	EGN1	
FFF44H	同右	TXD1/ SIO10	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02
FFF45H		—		—	
FFF46H	同右	RXD1/ SIO11	シリアル・データ・レジスタ03	RXD1/ SIO11	SDR03
FFF47H		—		—	
FFF48H	同右	TXD2/ SIO20	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10
FFF49H		—		—	
FFF4AH	同右	RXD2/ SIO21	シリアル・データ・レジスタ11	RXD2/ SIO21	SDR11
FFF4BH		—		—	
FFF50H			IICA シフト・レジスタ 0	IICA0	
FFF51H			IICA ステータス・レジスタ 0	IICS0	
FFF52H			IICA フラグ・レジスタ 0	IICF0	
FFF64H	同右	TDR02	タイマ・データ・レジスタ02	TDR02	
FFF65H					
FFF66H	同右	TDR03L	タイマ・データ・レジスタ03	TDR03L	TDR03
FFF67H		TDR03H		TDR03H	
FFF68H	同右	TDR04	タイマ・データ・レジスタ04	TDR04	
FFF69H					
FFF6AH	同右	TDR05	タイマ・データ・レジスタ05	TDR05	
FFF6BH					
FFF6CH	同右	TDR06	タイマ・データ・レジスタ06	TDR06	
FFF6DH					
FFF6EH	同右	TDR07	タイマ・データ・レジスタ07	TDR07	
FFF6FH					

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

表 3-2 特殊機能レジスタ (SFR) の比較 (3/4)

アドレス	RL78/G1E (80 ピン製品)		RL78/G1A (64 ピン製品)	
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号
FFF90H	同右	ITMC	インターバル・タイマ・コントロール・レジスタ	ITMC
FFF91H				
FFF92H			秒カウント・レジスタ	SEC
FFF93H			分カウント・レジスタ	MIN
FFF94H			時カウント・レジスタ	HOURL
FFF95H			曜日カウント・レジスタ	WEEK
FFF96H			日カウント・レジスタ	DAY
FFF97H			月カウント・レジスタ	MONTH
FFF98H			年カウント・レジスタ	YEAR
FFF99H			時計誤差補正レジスタ	SUBCUD
FFF9AH			アラーム分レジスタ	ALARMWM
FFF9BH			アラーム時レジスタ	ALARMWH
FFF9CH			アラーム曜日レジスタ	ALARMWW
FFF9DH			リアルタイム・クロック・コントロール・レジスタ 0	RTCC0
FFF9EH			リアルタイム・クロック・コントロール・レジスタ 1	RTCC1
FFFA0H	クロック動作モード制御レジスタ <sup>注</sup>	CMC	クロック動作モード制御レジスタ	CMC
FFFA1H	クロック動作ステータス制御レジスタ <sup>注</sup>	CSC	クロック動作ステータス制御レジスタ	CSC
FFFA2H	同右	OSTC	発振安定時間カウンタ状態レジスタ	OSTC
FFFA3H	同右	OSTS	発振安定時間選択レジスタ	OSTS
FFFA4H	システム・クロック制御レジスタ <sup>注</sup>	CKC	システム・クロック制御レジスタ	CKC
FFFA5H	クロック出力選択レジスタ 0 <sup>注</sup>	CKS0	クロック出力選択レジスタ 0	CKS0
FFFA6H			クロック出力選択レジスタ 1	CKS1
FFFA8H	同右	RESF	リセット・コントロール・フラグ・レジスタ	RESF
FFFA9H	同右	LVIM	電圧検出レジスタ	LVIM
FFFAAH	同右	LVIS	電圧検出レベル・レジスタ	LVIS
FFFABH	同右	WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE
FFFACH	同右	CRCIN	CRC入力レジスタ	CRCIN

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

表 3-2 特殊機能レジスタ (SFR) の比較 (4/4)

アドレス	RL78/G1E (80 ピン製品)			RL78/G1A (64 ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号		特殊機能レジスタ (SFR) 名称	略号	
FFFB0H	同右	DSA0		DMA SFRアドレス・レジスタ0	DSA0	
FFFB1H	同右	DSA1		DMA SFRアドレス・レジスタ1	DSA1	
FFFB2H	同右	DRA0L	DRA0	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0
FFFB3H	同右	DRA0H		DMA RAMアドレス・レジスタ0H	DRA0H	
FFFB4H	同右	DRA1L	DRA1	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1
FFFB5H	同右	DRA1H		DMA RAMアドレス・レジスタ1H	DRA1H	
FFFB6H	同右	DBC0L	DBC0	DMAバイト・カウンタ・レジスタ0L	DBC0L	DBC0
FFFB7H	同右	DBC0H		DMAバイト・カウンタ・レジスタ0H	DBC0H	
FFFB8H	同右	DBC1L	DBC1	DMAバイト・カウンタ・レジスタ1L	DBC1L	DBC1
FFFB9H	同右	DBC1H		DMAバイト・カウンタ・レジスタ1H	DBC1H	
FFFBAH	同右	DMC0		DMAモード・コントロール・レジスタ0	DMC0	
FFFBBH	同右	DMC1		DMAモード・コントロール・レジスタ1	DMC1	
FFF BCH	同右	DRC0		DMA動作コントロール・レジスタ0	DRC0	
FFFB DH	同右	DRC1		DMA動作コントロール・レジスタ1	DRC1	
FFFD0H	割り込み要求・フラグ・レジスタ 2L <sup>注</sup>	IF2L	IF2	割り込み要求・フラグ・レジスタ 2L	IF2L	IF2
FFFD1H	割り込み要求・フラグ・レジスタ 2H <sup>注</sup>	IF2H		割り込み要求・フラグ・レジスタ 2H	IF2H	
FFFD4H	割り込みマスク・フラグ・レジスタ 2L <sup>注</sup>	MK2L	MK2	割り込みマスク・フラグ・レジスタ 2L	MK2L	MK2
FFFD5H	割り込みマスク・フラグ・レジスタ 2H <sup>注</sup>	MK2H		割り込みマスク・フラグ・レジスタ 2H	MK2H	
FFFD8H	優先順位指定フラグ・レジスタ 02L <sup>注</sup>	PR02L	PR02	優先順位指定フラグ・レジスタ 02L	PR02L	PR02
FFFD9H	優先順位指定フラグ・レジスタ 02H <sup>注</sup>	PR02H		優先順位指定フラグ・レジスタ 02H	PR02H	
FFFDCH	優先順位指定フラグ・レジスタ 12L <sup>注</sup>	PR12L	PR12	優先順位指定フラグ・レジスタ 12L	PR12L	PR12
FFFD DH	優先順位指定フラグ・レジスタ 12H <sup>注</sup>	PR12H		優先順位指定フラグ・レジスタ 12H	PR12H	
FFFE0H	割り込み要求・フラグ・レジスタ 0L <sup>注</sup>	IF0L	IF0	割り込みマスク・フラグ・レジスタ 0L	IF0L	IF0
FFFE1H	割り込み要求・フラグ・レジスタ 0H <sup>注</sup>	IF0H		割り込みマスク・フラグ・レジスタ 0H	IF0H	
FFFE2H	割り込み要求・フラグ・レジスタ 1L <sup>注</sup>	IF1L	IF1	割り込みマスク・フラグ・レジスタ 1L	IF1L	IF1
FFFE3H	割り込み要求・フラグ・レジスタ 1H <sup>注</sup>	IF1H		割り込みマスク・フラグ・レジスタ 1H	IF1H	
FFFE4H	割り込みマスク・フラグ・レジスタ 0L <sup>注</sup>	MK0L	MK0	割り込みマスク・フラグ・レジスタ 0L	MK0L	MK0
FFFE5H	割り込みマスク・フラグ・レジスタ 0H <sup>注</sup>	MK0H		割り込みマスク・フラグ・レジスタ 0H	MK0H	
FFFE6H	割り込みマスク・フラグ・レジスタ 1L <sup>注</sup>	MK1L	MK1	割り込みマスク・フラグ・レジスタ 1L	MK1L	MK1
FFFE7H	割り込みマスク・フラグ・レジスタ 1H <sup>注</sup>	MK1H		割り込みマスク・フラグ・レジスタ 1H	MK1H	
FFFE8H	優先順位指定フラグ・レジスタ 00L <sup>注</sup>	PR00L	PR00	優先順位指定フラグ・レジスタ 00L	PR00L	PR00
FFFE9H	優先順位指定フラグ・レジスタ 00H <sup>注</sup>	PR00H		優先順位指定フラグ・レジスタ 00H	PR00H	
FFFEAH	優先順位指定フラグ・レジスタ 01L <sup>注</sup>	PR01L	PR01	優先順位指定フラグ・レジスタ 01L	PR01L	PR01
FFFE BH	優先順位指定フラグ・レジスタ 01H <sup>注</sup>	PR01H		優先順位指定フラグ・レジスタ 01H	PR01H	
FFFECH	優先順位指定フラグ・レジスタ 10L <sup>注</sup>	PR10L	PR10	優先順位指定フラグ・レジスタ 10L	PR10L	PR10
FFFE DH	優先順位指定フラグ・レジスタ 10H <sup>注</sup>	PR10H		優先順位指定フラグ・レジスタ 10H	PR10H	
FFFE EH	優先順位指定フラグ・レジスタ 11L <sup>注</sup>	PR11L	PR11	優先順位指定フラグ・レジスタ 11L	PR11L	PR11
FFFE FH	優先順位指定フラグ・レジスタ 11H <sup>注</sup>	PR11H		優先順位指定フラグ・レジスタ 11H	PR11H	
FFFF0H	同右	MDAL		乗除算データ・レジスタA (L)	MDAL	
FFFF1H						
FFFF2H	同右	MDAH		乗除算データ・レジスタA (H)	MDAH	
FFFF3H						
FFFF4H	同右	MDBH		乗除算データ・レジスタB (H)	MDBH	
FFFF5H						
FFFF6H	同右	MDBL		乗除算データ・レジスタB (L)	MDBL	
FFFF7H						
FFFFEH	同右	PMC		プロセッサ・モード・コントロール・レジスタ	PMC	

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。

## 3.3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

RL78/G1E (64ピン製品, 80ピン製品) と RL78/G1A (64ピン製品) の相違点を以下に示します。

## (1) 64ピン製品

表 3-3 拡張特殊機能レジスタ (2nd SFR) の比較 (1/6)

アドレス	RL78/G1E (64ピン製品)		RL78/G1A (64ピン製品)	
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号
F0010H	同右	ADM2	A/Dコンバータ・モード・レジスタ2	ADM2
F0011H	同右	ADUL	変換結果比較上限値設定レジスタ	ADUL
F0012H	同右	ADLL	変換結果比較下限値設定レジスタ	ADLL
F0013H	同右	ADTES	A/Dテスト・レジスタ	ADTES
F0030H	プルアップ抵抗オプション・レジスタ 0 <sup>注</sup>	PU0	プルアップ抵抗オプション・レジスタ 0	PU0
F0031H	プルアップ抵抗オプション・レジスタ 1 <sup>注</sup>	PU1	プルアップ抵抗オプション・レジスタ 1	PU1
F0033H			プルアップ抵抗オプション・レジスタ 3	PU3
F0034H	プルアップ抵抗オプション・レジスタ 4 <sup>注</sup>	PU4	プルアップ抵抗オプション・レジスタ 4	PU4
F0035H			プルアップ抵抗オプション・レジスタ 5	PU5
F0037H	プルアップ抵抗オプション・レジスタ 7 <sup>注</sup>	PU7	プルアップ抵抗オプション・レジスタ 7	PU7
F003CH			プルアップ抵抗オプション・レジスタ 12	PU12
F003EH			プルアップ抵抗オプション・レジスタ 14	PU14
F0040H	ポート入力モード・レジスタ 0 <sup>注</sup>	PIM0	ポート入力モード・レジスタ 0	PIM0
F0041H	ポート入力モード・レジスタ 1 <sup>注</sup>	PIM1	ポート入力モード・レジスタ 1	PIM1
F0050H	ポート出力モード・レジスタ 0 <sup>注</sup>	POM0	ポート出力モード・レジスタ 0	POM0
F0051H	ポート出力モード・レジスタ 1 <sup>注</sup>	POM1	ポート出力モード・レジスタ 1	POM1
F0055H			ポート出力モード・レジスタ 5	POM5
F0057H			ポート出力モード・レジスタ 7	POM7
F0060H	同右	PMC0	ポート・モード・コントロール・レジスタ 0	PMC0
F0061H	ポート・モード・コントロール・レジスタ 1 <sup>注</sup>	PMC1	ポート・モード・コントロール・レジスタ 1	PMC1
F0063H			ポート・モード・コントロール・レジスタ 3	PMC3
F0064H	同右	PMC4	ポート・モード・コントロール・レジスタ 4	PMC4
F0065H			ポート・モード・コントロール・レジスタ 5	PMC5
F0067H	同右	PMC7	ポート・モード・コントロール・レジスタ 7	PMC7
F006CH			ポート・モード・コントロール・レジスタ 12	PMC12
F0070H	同右	NFEN0	ノイズ・フィルタ許可レジスタ0	NFEN0
F0071H	ノイズ・フィルタ許可レジスタ 1 <sup>注</sup>	NFEN1	ノイズ・フィルタ許可レジスタ 1	NFEN1

注 RL78/G1A (64ピン製品) とは, ビット設定が異なります。

注意 網掛け部のレジスタは, 書き込み禁止です。

表 3-3 拡張特殊機能レジスタ (2nd SFR) の比較 (2/6)

アドレス	RL78/G1E (64ピン製品)		RL78/G1A (64ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号	
F0073H	同右	ISC	入力切り替え制御レジスタ	ISC	
F0074H	タイマ入力選択レジスタ 0 <sup>注</sup>	TIS0	タイマ入力選択レジスタ 0	TIS0	
F0076H	A/Dポート・コンフィギュレーション・レジスタ <sup>注</sup>	ADPC	A/Dポート・コンフィギュレーション・レジスタ	ADPC	
F0077H	周辺 I/O リダイレクション・レジスタ <sup>注</sup>	PIOR	周辺 I/O リダイレクション・レジスタ	PIOR	
F0078H	同右	IAWCTL	不正メモリ・アクセス検出制御レジスタ	IAWCTL	
F007CH	同右	GAIDIS	グローバル・アナログ・インプット・デイスエーブル・レジスタ	GAIDIS	
F007DH			グローバル・デジタル・インプット・デイスエーブル・レジスタ	GDIDIS	
F0090H	同右	DFLCTL	データ・フラッシュ・コントロール・レジスタ	DFLCTL	
F00A0H	同右	HIOTRM	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	
F00A8H	同右	HOCODIV	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	
F00E0H	同右	MDCL	乗除算データ・レジスタ C (L)	MDCL	
F00E2H	同右	MDCH	乗除算データ・レジスタ C (H)	MDCH	
F00E8H	同右	MDUC	乗除算コントロール・レジスタ	MDUC	
F00F0H	周辺イネーブル・レジスタ 0 <sup>注</sup>	PER0	周辺イネーブル・レジスタ 0	PER0	
★ F00F3H	サブシステム・クロック供給モード制御レジスタ <sup>注</sup>	OSMC	サブシステム・クロック供給モード制御レジスタ	OSMC	
F00F5H	同右	RPECTL	RAMパリティ・エラー制御レジスタ	RPECTL	
F00FEH	同右	BCDADJ	BCD補正結果レジスタ	BCDADJ	
F0100H	同右	SSR00L	シリアル・ステータス・レジスタ 00	SSR00L	SSR00
F0101H		—		—	
F0102H	同右	SSR01L	シリアル・ステータス・レジスタ 01	SSR01L	SSR01
F0103H		—		—	
F0104H	同右	SSR02L	シリアル・ステータス・レジスタ 02	SSR02L	SSR02
F0105H		—		—	
F0106H	同右	SSR03L	シリアル・ステータス・レジスタ 03	SSR03L	SSR03
F0107H		—		—	
F0108H	同右	SIR00L	シリアル・フラグ・クリア・トリガ・レジスタ 00	SIR00L	SIR00
F0109H		—		—	
F010AH	同右	SIR01L	シリアル・フラグ・クリア・トリガ・レジスタ 01	SIR01L	SIR01
F010BH		—		—	
F010CH	同右	SIR02L	シリアル・フラグ・クリア・トリガ・レジスタ 02	SIR02L	SIR02
F010DH		—		—	
F010EH	同右	SIR03L	シリアル・フラグ・クリア・トリガ・レジスタ 03	SIR03L	SIR03
F010FH		—		—	

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。



表 3-3 拡張特殊機能レジスタ (2nd SFR) の比較 (3/6)

アドレス	RL78/G1E (64ピン製品)		RL78/G1A (64ピン製品)			
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称		略号	
F0110H	同右	SMR00	シリアル・モード・レジスタ00		SMR00	
F0111H						
F0112H	シリアル・モード・レジスタ 01 注	SMR01	シリアル・モード・レジスタ 01		SMR01	
F0113H						
F0114H	シリアル・モード・レジスタ 02 注	SMR02	シリアル・モード・レジスタ 02		SMR02	
F0115H						
F0116H	シリアル・モード・レジスタ 03 注	SMR03	シリアル・モード・レジスタ 03		SMR03	
F0117H						
F0118H	同右	SCR00	シリアル通信動作設定レジスタ 00		SCR00	
F0119H						
F011AH	シリアル通信動作設定レジスタ 01 注	SCR01	シリアル通信動作設定レジスタ 01		SCR01	
F011BH						
F011CH	シリアル通信動作設定レジスタ 02 注	SCR02	シリアル通信動作設定レジスタ 02		SCR02	
F011DH						
F011EH	シリアル通信動作設定レジスタ 03 注	SCR03	シリアル通信動作設定レジスタ 03		SCR03	
F011FH						
F0120H	同右	SE0L	SE0	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0
F0121H		—			—	
F0122H	同右	SS0L	SS0	シリアル・チャンネル開始レジスタ0	SS0L	SS0
F0123H		—			—	
F0124H	同右	ST0L	ST0	シリアル・チャンネル停止レジスタ0	ST0L	ST0
F0125H		—			—	
F0126H	同右	SPS0L	SPS0	シリアル・クロック選択レジスタ0	SPS0L	SPS0
F0127H		—			—	
F0128H	同右	SO0		シリアル出力レジスタ0	SO0	
F0129H						
F012AH	同右	SOE0L	SOE0	シリアル出力許可レジスタ0	SOE0L	SOE0
F012BH		—			—	
F0134H	同右	SOL0L	SOL0	シリアル出力レベル・レジスタ0	SOL0L	SOL0
F0135H		—			—	
F0138H	同右	SSC0L	SSC0	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0
		—			—	
F0140H	同右	SSR10L	SSR10	シリアル・ステータス・レジスタ10	SSR10L	SSR10
F0141H		—			—	
F0142H	同右	SSR11L	SSR11	シリアル・ステータス・レジスタ11	SSR11L	SSR11
F0143H		—			—	

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

表 3-3 拡張特殊機能レジスタ (2nd SFR) の比較 (4/6)

アドレス	RL78/G1E (64ピン製品)			RL78/G1A (64ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号		特殊機能レジスタ (SFR) 名称	略号	
F0148H	同右	SIR10L	SIR10	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10
F0149H		—			—	
F014AH	同右	SIR11L	SIR11	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11
F014BH		—			—	
F0150H	シリアル・モード・レジスタ 10 <sup>注</sup>	SMR10		シリアル・モード・レジスタ 10	SMR10	
F0151H						
F0152H	シリアル・モード・レジスタ 11 <sup>注</sup>	SMR11		シリアル・モード・レジスタ 11	SMR11	
F0153H						
F0158H	シリアル通信動作設定レジスタ 10 <sup>注</sup>	SCR10		シリアル通信動作設定レジスタ 10	SCR10	
F0159H						
F015AH	シリアル通信動作設定レジスタ 11 <sup>注</sup>	SCR11		シリアル通信動作設定レジスタ 11	SCR11	
F015BH						
F0160H	同右	SE1L	SE1	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1
F0161H		—			—	
F0162H	同右	SS1L	SS1	シリアル・チャンネル開始レジスタ1	SS1L	SS1
F0163H		—			—	
F0164H	同右	ST1L	ST1	シリアル・チャンネル停止レジスタ1	ST1L	ST1
F0165H		—			—	
F0166H	同右	SPS1L	SPS1	シリアル・クロック選択レジスタ1	SPS1L	SPS1
F0167H		—			—	
F0168H	同右	SO1		シリアル出力レジスタ1	SO1	
F0169H						
F016AH	同右	SOE1L	SOE1	シリアル出力許可レジスタ1	SOE1L	SOE1
F016BH		—			—	
F0174H	同右	SOL1L	SOL1	シリアル出力レベル・レジスタ1	SOL1L	SOL1
F0175H		—			—	

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

表 3-3 拡張特殊機能レジスタ (2nd SFR) の比較 (5/6)

アドレス	RL78/G1E (64ピン製品)		RL78/G1A (64ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号	
F0180H	同右	TCR00	タイマ・カウンタ・レジスタ00	TCR00	
F0181H					
F0182H	同右	TCR01	タイマ・カウンタ・レジスタ01	TCR01	
F0183H					
F0184H	同右	TCR02	タイマ・カウンタ・レジスタ02	TCR02	
F0185H					
F0186H	同右	TCR03	タイマ・カウンタ・レジスタ03	TCR03	
F0187H					
F0188H	同右	TCR04	タイマ・カウンタ・レジスタ04	TCR04	
F0189H					
F018AH	同右	TCR05	タイマ・カウンタ・レジスタ05	TCR05	
F018BH					
F018CH	同右	TCR06	タイマ・カウンタ・レジスタ06	TCR06	
F018DH					
F018EH	同右	TCR07	タイマ・カウンタ・レジスタ07	TCR07	
F018FH					
F0190H	同右	TMR00	タイマ・モード・レジスタ00	TMR00	
F0191H					
F0192H	タイマ・モード・レジスタ 01 <sup>注</sup>	TMR01	タイマ・モード・レジスタ 01	TMR01	
F0193H					
F0194H	タイマ・モード・レジスタ 02 <sup>注</sup>	TMR02	タイマ・モード・レジスタ 02	TMR02	
F0195H					
F0196H	タイマ・モード・レジスタ 03 <sup>注</sup>	TMR03	タイマ・モード・レジスタ 03	TMR03	
F0197H					
F0198H	同右	TMR04	タイマ・モード・レジスタ 04	TMR04	
F0199H					
F019AH	タイマ・モード・レジスタ 05 <sup>注</sup>	TMR05	タイマ・モード・レジスタ 05	TMR05	
F019BH					
F019CH	タイマ・モード・レジスタ 06 <sup>注</sup>	TMR06	タイマ・モード・レジスタ 06	TMR06	
F019DH					
F019EH	同右	TMR07	タイマ・モード・レジスタ 07	TMR07	
F019FH					
F01A0H	同右	TSR00L	タイマ・ステータス・レジスタ00	TSR00L	TSR00
F01A1H		—			
F01A2H	同右	TSR01L	タイマ・ステータス・レジスタ01	TSR01L	TSR01
F01A3H		—			
F01A4H	同右	TSR02L	タイマ・ステータス・レジスタ02	TSR02L	TSR02
F01A5H		—			
F01A6H	同右	TSR03L	タイマ・ステータス・レジスタ03	TSR03L	TSR03
F01A7H		—			
F01A8H	同右	TSR04L	タイマ・ステータス・レジスタ04	TSR04L	TSR04
F01A9H		—			
F01AAH	同右	TSR05L	タイマ・ステータス・レジスタ05	TSR05L	TSR05
F01ABH		—			
F01ACH	同右	TSR06L	タイマ・ステータス・レジスタ06	TSR06L	TSR06
F01ADH		—			
F01AEH	同右	TSR07L	タイマ・ステータス・レジスタ07	TSR07L	TSR07
F01AFH		—			

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

表 3-3 拡張特殊機能レジスタ (2nd SFR) の比較 (6/6)

アドレス	RL78/G1E (64ピン製品)		RL78/G1A (64ピン製品)			
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号		
F01B0H	同右	TE0L	TE0	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0
F01B1H		–			–	
F01B2H	同右	TS0L	TS0	タイマ・チャネル開始レジスタ0	TS0L	TS0
F01B3H		–			–	
F01B4H	同右	TT0L	TT0	タイマ・チャネル停止レジスタ0	TT0L	TT0
F01B5H		–			–	
F01B6H	同右	TPS0		タイマ・クロック選択レジスタ0	TPS0	
F01B7H		–			–	
F01B8H	タイマ出力レジスタ 0 <sup>注</sup>	TO0L	TO0	タイマ出力レジスタ0	TO0L	TO0
F01B9H		–			–	
F01BAH	タイマ出力許可レジスタ 0 <sup>注</sup>	TOE0L	TOE0	タイマ出力許可レジスタ0	TOE0L	TOE0
F01BBH		–			–	
F01BCH	タイマ出力レベル・レジスタ 0 <sup>注</sup>	TOL0L	TOL0	タイマ出力レベル・レジスタ0	TOL0L	TOL0
F01BDH		–			–	
F01BEH	タイマ出力モード・レジスタ 0 <sup>注</sup>	TOM0L	TOM0	タイマ出力モード・レジスタ0	TOM0L	TOM0
F01BFH		–			–	
F0230H				IICAコントロール・レジスタ00	IICCTL00	
F0231H				IICAコントロール・レジスタ01	IICCTL01	
F0232H				IICAロウ・レベル幅設定レジスタ0	IICWL0	
F0233H				IICAハイ・レベル幅設定レジスタ0	IICWH0	
F0234H				スレーブ・アドレス・レジスタ0	SVA40	
F02F0H	同右	CRC0CTL		フラッシュ・メモリCRC制御レジスタ	CRC0CTL	
F02F2H	同右	PGCRCL		フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	
F02FAH	同右	CRCD		CRCデータ・レジスタ	CRCD	

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

## (2) 80ピン製品

表 3-4 拡張特殊機能レジスタ (2nd SFR) の比較 (1/6)

アドレス	RL78/G1E (80ピン製品)		RL78/G1A (64ピン製品)	
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号
F0010H	同右	ADM2	A/Dコンバータ・モード・レジスタ2	ADM2
F0011H	同右	ADUL	変換結果比較上限値設定レジスタ	ADUL
F0012H	同右	ADLL	変換結果比較下限値設定レジスタ	ADLL
F0013H	同右	ADTES	A/Dテスト・レジスタ	ADTES
F0030H	プルアップ抵抗オプション・レジスタ 0 <sup>注</sup>	PU0	プルアップ抵抗オプション・レジスタ 0	PU0
F0031H	プルアップ抵抗オプション・レジスタ 1 <sup>注</sup>	PU1	プルアップ抵抗オプション・レジスタ 1	PU1
F0033H			プルアップ抵抗オプション・レジスタ 3	PU3
F0034H	プルアップ抵抗オプション・レジスタ 4 <sup>注</sup>	PU4	プルアップ抵抗オプション・レジスタ 4	PU4
F0035H	同右	PU5	プルアップ抵抗オプション・レジスタ 5	PU5
F0037H	プルアップ抵抗オプション・レジスタ 7 <sup>注</sup>	PU7	プルアップ抵抗オプション・レジスタ 7	PU7
F003CH			プルアップ抵抗オプション・レジスタ 12	PU12
F003EH	プルアップ抵抗オプション・レジスタ 14 <sup>注</sup>	PU14	プルアップ抵抗オプション・レジスタ 14	PU14
F0040H	同右	PIM0	ポート入力モード・レジスタ 0	PIM0
F0041H	ポート入力モード・レジスタ 1 <sup>注</sup>	PIM1	ポート入力モード・レジスタ 1	PIM1
F0050H	同右	POM0	ポート出力モード・レジスタ 0	POM0
F0051H	同右	POM1	ポート出力モード・レジスタ 1	POM1
F0055H	同右	POM5	ポート出力モード・レジスタ 5	POM5
F0057H			ポート出力モード・レジスタ 7	POM7
F0060H	同右	PMC0	ポート・モード・コントロール・レジスタ 0	PMC0
F0061H	同右	PMC1	ポート・モード・コントロール・レジスタ 1	PMC1
F0063H			ポート・モード・コントロール・レジスタ 3	PMC3
F0064H	同右	PMC4	ポート・モード・コントロール・レジスタ 4	PMC4
F0065H	同右	PMC5	ポート・モード・コントロール・レジスタ 5	PMC5
F0067H	同右	PMC7	ポート・モード・コントロール・レジスタ 7	PMC7
F006CH			ポート・モード・コントロール・レジスタ 12	PMC12
F0070H	同右	NFEN0	ノイズ・フィルタ許可レジスタ0	NFEN0
F0071H	ノイズ・フィルタ許可レジスタ 1 <sup>注</sup>	NFEN1	ノイズ・フィルタ許可レジスタ 1	NFEN1

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

表 3-4 拡張特殊機能レジスタ (2nd SFR) の比較 (2/6)

アドレス	RL78/G1E (80 ピン製品)		RL78/G1A (64 ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号	
F0073H	同右	ISC	入力切り替え制御レジスタ	ISC	
F0074H	タイマ入力選択レジスタ 0 <sup>注</sup>	TIS0	タイマ入力選択レジスタ 0	TIS0	
F0076H	A/D ポート・コンフィギュレーション・レジスタ <sup>注</sup>	ADPC	A/D ポート・コンフィギュレーション・レジスタ	ADPC	
F0077H	周辺 I/O リダイレクション・レジスタ <sup>注</sup>	PIOR	周辺 I/O リダイレクション・レジスタ	PIOR	
F0078H	同右	IAWCTL	不正メモリ・アクセス検出制御レジスタ	IAWCTL	
F007CH	同右	GAIDIS	グローバル・アナログ・インプット・ディスプレイ・レジスタ	GAIDIS	
F007DH			グローバル・デジタル・インプット・ディスプレイ・レジスタ	GDIDIS	
F0090H	同右	DFLCTL	データ・フラッシュ・コントロール・レジスタ	DFLCTL	
F00A0H	同右	HIOTRM	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	
F00A8H	同右	HOCODIV	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	
F00E0H	同右	MDCL	乗除算データ・レジスタ C (L)	MDCL	
F00E2H	同右	MDCH	乗除算データ・レジスタ C (H)	MDCH	
F00E8H	同右	MDUC	乗除算コントロール・レジスタ	MDUC	
F00F0H	周辺イネーブル・レジスタ 0 <sup>注</sup>	PER0	周辺イネーブル・レジスタ 0	PER0	
★ F00F3H	サブシステム・クロック供給モード制御レジスタ <sup>注</sup>	OSMC	サブシステム・クロック供給モード制御レジスタ	OSMC	
F00F5H	同右	RPECTL	RAMパリティ・エラー制御レジスタ	RPECTL	
F00FEH	同右	BCDADJ	BCD補正結果レジスタ	BCDADJ	
F0100H	同右	SSR00L	シリアル・ステータス・レジスタ00	SSR00L	SSR00
F0101H		—		—	
F0102H	同右	SSR01L	シリアル・ステータス・レジスタ01	SSR01L	SSR01
F0103H		—		—	
F0104H	同右	SSR02L	シリアル・ステータス・レジスタ02	SSR02L	SSR02
F0105H		—		—	
F0106H	同右	SSR03L	シリアル・ステータス・レジスタ03	SSR03L	SSR03
F0107H		—		—	
F0108H	同右	SIR00L	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00
F0109H		—		—	
F010AH	同右	SIR01L	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01
F010BH		—		—	
F010CH	同右	SIR02L	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02
F010DH		—		—	
F010EH	同右	SIR03L	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03
F010FH		—		—	

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

表 3-4 拡張特殊機能レジスタ (2nd SFR) の比較 (3/6)

アドレス	RL78/G1E (80ピン製品)		RL78/G1A (64ピン製品)				
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称		略号		
F0110H	同右	SMR00	シリアル・モード・レジスタ00		SMR00		
F0111H							
F0112H	シリアル・モード・レジスタ 01 <sup>注</sup>	SMR01	シリアル・モード・レジスタ 01		SMR01		
F0113H							
F0114H	同右	SMR02	シリアル・モード・レジスタ 02		SMR02		
F0115H							
F0116H	シリアル・モード・レジスタ 03 <sup>注</sup>	SMR03	シリアル・モード・レジスタ 03		SMR03		
F0117H							
F0118H	同右	SCR00	シリアル通信動作設定レジスタ 00		SCR00		
F0119H							
F011AH	シリアル通信動作設定レジスタ 01 <sup>注</sup>	SCR01	シリアル通信動作設定レジスタ 01		SCR01		
F011BH							
F011CH	同右	SCR02	シリアル通信動作設定レジスタ 02		SCR02		
F011DH							
F011EH	シリアル通信動作設定レジスタ 03 <sup>注</sup>	SCR03	シリアル通信動作設定レジスタ 03		SCR03		
F011FH							
F0120H	同右	SE0L	SE0	シリアル・チャンネル許可ステータス・レジスタ0		SE0L	SE0
F0121H		—				—	
F0122H	同右	SS0L	SS0	シリアル・チャンネル開始レジスタ0		SS0L	SS0
F0123H		—				—	
F0124H	同右	ST0L	ST0	シリアル・チャンネル停止レジスタ0		ST0L	ST0
F0125H		—				—	
F0126H	同右	SPS0L	SPS0	シリアル・クロック選択レジスタ0		SPS0L	SPS0
F0127H		—				—	
F0128H	同右	SO0		シリアル出力レジスタ0		SO0	
F0129H							
F012AH	同右	SOE0L	SOE0	シリアル出力許可レジスタ0		SOE0L	SOE0
F012BH		—				—	
F0134H	同右	SOL0L	SOL0	シリアル出力レベル・レジスタ0		SOL0L	SOL0
F0135H		—				—	
F0138H	同右	SSC0L	SSC0	シリアル・スタンバイ・コントロール・レジスタ0		SSC0L	SSC0
		—				—	
F0140H	同右	SSR10L	SSR10	シリアル・ステータス・レジスタ10		SSR10L	SSR10
F0141H		—				—	
F0142H	同右	SSR11L	SSR11	シリアル・ステータス・レジスタ11		SSR11L	SSR11
F0143H		—				—	

注 RL78/G1A (64ピン製品) とは、ビット設定が異なります。

表 3-4 拡張特殊機能レジスタ (2nd SFR) の比較 (4/6)

アドレス	RL78/G1E (80 ピン製品)			RL78/G1A (64 ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号		特殊機能レジスタ (SFR) 名称	略号	
F0148H	同右	SIR10L	SIR10	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10
F0149H		—			—	
F014AH	同右	SIR11L	SIR11	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11
F014BH		—			—	
F0150H	同右	SMR10		シリアル・モード・レジスタ10	SMR10	
F0151H						
F0152H	シリアル・モード・レジスタ11 <sup>注</sup>	SMR11		シリアル・モード・レジスタ11	SMR11	
F0153H						
F0158H	同右	SCR10		シリアル通信動作設定レジスタ10	SCR10	
F0159H						
F015AH	シリアル通信動作設定レジスタ11 <sup>注</sup>	SCR11		シリアル通信動作設定レジスタ11	SCR11	
F015BH						
F0160H	同右	SE1L	SE1	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1
F0161H		—			—	
F0162H	同右	SS1L	SS1	シリアル・チャンネル開始レジスタ1	SS1L	SS1
F0163H		—			—	
F0164H	同右	ST1L	ST1	シリアル・チャンネル停止レジスタ1	ST1L	ST1
F0165H		—			—	
F0166H	同右	SPS1L	SPS1	シリアル・クロック選択レジスタ1	SPS1L	SPS1
F0167H		—			—	
F0168H	同右	SO1		シリアル出力レジスタ1	SO1	
F0169H						
F016AH	同右	SOE1L	SOE1	シリアル出力許可レジスタ1	SOE1L	SOE1
F016BH		—			—	
F0174H	同右	SOL1L	SOL1	シリアル出力レベル・レジスタ1	SOL1L	SOL1
F0175H		—			—	

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。



表 3-4 拡張特殊機能レジスタ (2nd SFR) の比較 (5/6)

アドレス	RL78/G1E (80 ピン製品)		RL78/G1A (64 ピン製品)		
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号	
F0180H	同右	TCR00	タイマ・カウンタ・レジスタ00	TCR00	
F0181H					
F0182H	同右	TCR01	タイマ・カウンタ・レジスタ01	TCR01	
F0183H					
F0184H	同右	TCR02	タイマ・カウンタ・レジスタ02	TCR02	
F0185H					
F0186H	同右	TCR03	タイマ・カウンタ・レジスタ03	TCR03	
F0187H					
F0188H	同右	TCR04	タイマ・カウンタ・レジスタ04	TCR04	
F0189H					
F018AH	同右	TCR05	タイマ・カウンタ・レジスタ05	TCR05	
F018BH					
F018CH	同右	TCR06	タイマ・カウンタ・レジスタ06	TCR06	
F018DH					
F018EH	同右	TCR07	タイマ・カウンタ・レジスタ07	TCR07	
F018FH					
F0190H	同右	TMR00	タイマ・モード・レジスタ00	TMR00	
F0191H					
F0192H	タイマ・モード・レジスタ 01 <sup>注</sup>	TMR01	タイマ・モード・レジスタ 01	TMR01	
F0193H					
F0194H	タイマ・モード・レジスタ 02 <sup>注</sup>	TMR02	タイマ・モード・レジスタ 02	TMR02	
F0195H					
F0196H	タイマ・モード・レジスタ 03 <sup>注</sup>	TMR03	タイマ・モード・レジスタ 03	TMR03	
F0197H					
F0198H	同右	TMR04	タイマ・モード・レジスタ 04	TMR04	
F0199H					
F019AH	タイマ・モード・レジスタ 05 <sup>注</sup>	TMR05	タイマ・モード・レジスタ 05	TMR05	
F019BH					
F019CH	タイマ・モード・レジスタ 06 <sup>注</sup>	TMR06	タイマ・モード・レジスタ 06	TMR06	
F019DH					
F019EH	同右	TMR07	タイマ・モード・レジスタ 07	TMR07	
F019FH					
F01A0H	同右	TSR00L	タイマ・ステータス・レジスタ00	TSR00L	TSR00
F01A1H		—			
F01A2H	同右	TSR01L	タイマ・ステータス・レジスタ01	TSR01L	TSR01
F01A3H		—			
F01A4H	同右	TSR02L	タイマ・ステータス・レジスタ02	TSR02L	TSR02
F01A5H		—			
F01A6H	同右	TSR03L	タイマ・ステータス・レジスタ03	TSR03L	TSR03
F01A7H		—			
F01A8H	同右	TSR04L	タイマ・ステータス・レジスタ04	TSR04L	TSR04
F01A9H		—			
F01AAH	同右	TSR05L	タイマ・ステータス・レジスタ05	TSR05L	TSR05
F01ABH		—			
F01ACH	同右	TSR06L	タイマ・ステータス・レジスタ06	TSR06L	TSR06
F01ADH		—			
F01AEH	同右	TSR07L	タイマ・ステータス・レジスタ07	TSR07L	TSR07
F01AFH		—			

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。

表 3-4 拡張特殊機能レジスタ (2nd SFR) の比較 (6/6)

アドレス	RL78/G1E (80 ピン製品)		RL78/G1A (64 ピン製品)			
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号		
F01B0H	同右	TE0L	TE0	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0
F01B1H		–			–	
F01B2H	同右	TS0L	TS0	タイマ・チャンネル開始レジスタ0	TS0L	TS0
F01B3H		–			–	
F01B4H	同右	TT0L	TT0	タイマ・チャンネル停止レジスタ0	TT0L	TT0
F01B5H		–			–	
F01B6H	同右	TPS0		タイマ・クロック選択レジスタ0	TPS0	
F01B7H						
F01B8H	タイマ出力レジスタ 0 <sup>注</sup>	TO0L	TO0	タイマ出力レジスタ0	TO0L	TO0
F01B9H		–			–	
F01BAH	タイマ出力許可レジスタ 0 <sup>注</sup>	TOE0L	TOE0	タイマ出力許可レジスタ0	TOE0L	TOE0
F01BBH		–			–	
F01BCH	タイマ出力レベル・レジスタ 0 <sup>注</sup>	TOL0L	TOL0	タイマ出力レベル・レジスタ0	TOL0L	TOL0
F01BDH		–			–	
F01BEH	タイマ出力モード・レジスタ 0 <sup>注</sup>	TOM0L	TOM0	タイマ出力モード・レジスタ0	TOM0L	TOM0
F01BFH		–			–	
F0230H				IICAコントロール・レジスタ00	IICCTL00	
F0231H				IICAコントロール・レジスタ01	IICCTL01	
F0232H				IICAロウ・レベル幅設定レジスタ0	IICWL0	
F0233H				IICAハイ・レベル幅設定レジスタ0	IICWH0	
F0234H				スレーブ・アドレス・レジスタ0	SVA40	
F02F0H	同右	CRC0CTL		フラッシュ・メモリCRC制御レジスタ	CRC0CTL	
F02F2H	同右	PGCRCL		フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	
F02FAH	同右	CRCD		CRCデータ・レジスタ	CRCD	

注 RL78/G1A (64 ピン製品) とは、ビット設定が異なります。

注意 網掛け部のレジスタは、書き込み禁止です。

### 3.3.3 命令アドレスのアドレッシング

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 3.3 命令アドレスのアドレッシングを参照してください。

### 3.3.4 処理データ・アドレスに対するアドレッシング

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 3.4 処理データ・アドレスに対するアドレッシングを参照してください。

### 3.4 ポート機能

本節では、機能およびレジスタにおける、RL78/G1A（64ピン製品）との違いについて示します。詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の4章 ポート機能を参照してください。

#### 3.4.1 ポートの機能

RL78/G1E（64ピン製品、80ピン製品）は、デジタル入出力ポートを備えており、多様な制御を行うことができます。また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、「第2章 端子機能」を参照してください。

#### 3.4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表3-5 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ（PM0-PM2, PM4-PM7, PM14, PM15） ポート・レジスタ（P0-P2, P4, P5, P7, P12-P14） ブルアップ抵抗オプション・レジスタ（PU0, PU1, PU4, PU5, PU7, PU14） ポート入力モード・レジスタ（PIM0, PIM1） ポート出力モード・レジスタ（POM0, POM1, POM5） ポート・モード・コントロール・レジスタ（PMC0, PMC1, PMC4, PMC5, PMC7） A/Dポート・コンフィギュレーション・レジスタ（ADPC） 周辺I/Oリダイレクション・レジスタ（PIOR） グローバル・アナログ・インプット・ディスエーブル・レジスタ（GAIDIS）
ポート	・64ピン製品： 合計：24本（CMOS入出力：20本，CMOS入力：3本，CMOS出力：1本） ・80ピン製品： 合計：30本（CMOS入出力：26本，CMOS入力：3本，CMOS出力：1本）
ブルアップ抵抗	・64ピン製品       ：合計：16本 ・80ピン製品       ：合計：21本

各ポートの詳細については、RL78/G1Aユーザーズ・マニュアル ハードウェア編（R01UH0305J）の4.2 ポートの構成も、あわせて参照してください。

### 3.4.2.1 ポート 0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 0 (PM0) により 1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 0 (PU0) の設定により、1 ビット単位で内蔵プルアップ抵抗を使用できます。

P00, P01, P03, P04 端子の入力は、ポート入力モード・レジスタ 0 (PIM0) の設定により、1 ビット単位で通常入力バッファまたは TTL 入力バッファに指定できます。

P02-P04 端子の出力は、ポート出力モード・レジスタ 0 (POM0) の設定により、1 ビット単位で通常 CMOS 出力または N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧) に設定可能です。

★ P02, P03 端子は、ポート・モード・コントロール・レジスタ 0 (PMC0) の設定により、1 ビット単位で、デジタル入出力／アナログ入力の指定ができます。

また、兼用機能として、タイマの入出力、A/D コンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力、キー・リターン入力機能があります。

リセット信号の発生により、以下ようになります。

- ・ P00, P01, P04 端子 … 入力モード
- ・ P02, P03 端子 … アナログ入力

### 3.4.2.2 ポート 1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 1 (PM1) により 1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 1 (PU1) の設定により、1 ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P14-P15 端子の入力は、ポート入力モード・レジスタ 1 (PIM1) の設定により、1 ビット単位で、通常入力バッファまたは TTL 入力バッファに指定できます。

出力は、ポート出力モード・レジスタ 1 (POM1) の設定により、1 ビット単位で、通常 CMOS 出力または N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧) に設定可能です。

★ ポート・モード・コントロール・レジスタ 1 (PMC1) の設定により、1 ビット単位で、デジタル入出力／アナログ入力の指定ができます。

また、兼用機能として、A/D コンバータのアナログ入力、シリアル・インタフェースのデータ入出力、プログラミング UART の送受信、キー・リターン入力機能があります。

リセット信号の発生により、P10-P15 はアナログ入力になります。

### 3.4.2.3 ポート 2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 2 (PM2) により 1 ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能として A/D コンバータのアナログ入力、A/D コンバータの基準電位入力、キー・リターン入力端子機能があります。

各端子をデジタル／アナログのいずれにするかは、A/D ポート・コンフィギュレーション・レジスタ (ADPC) で設定します。

リセット信号の発生により、P20/ANI0-P24/ANI4 は、すべてアナログ入力になります。

### 3.4.2.4 ポート 3

RL78/G1E では、ポート 3 は使用できません。

### 3.4.2.5 ポート 4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 4 (PM4) により 1 ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 4 (PU4) の設定により、1 ビット単位で内蔵プルアップ抵抗を使用できます。

- ★ P41 端子は、ポート・モード・コントロール・レジスタ 4 (PMC4) の設定により、デジタル入出力/アナログ入力の指定ができます。

また、兼用機能として、A/D コンバータのアナログ入力、フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力、タイマの入出力機能があります。

リセット信号の発生により、入力モードになります。

### 3.4.2.6 ポート 5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 5 (PM5) により 1 ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 5 (PU5) の設定により、1 ビット単位で内蔵プルアップ抵抗を使用できます。

P50 端子は、ポート出力モード・レジスタ 5 (POM5) の設定により、1 ビット単位で通常 CMOS 出力または N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧) に指定できます。

- ★ P50、P51 端子は、ポート・モード・コントロール・レジスタ 5 (PMC5) の設定により、1 ビット単位で、デジタル入出力/アナログ入力の指定ができます。

また、兼用機能として、A/D コンバータのアナログ入力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

### 3.4.2.7 ポート 6

RL78/G1E では、ポート 6 は使用できません。

### 3.4.2.8 ポート 7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 7 (PM7) により 1 ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 7 (PU7) の設定により、1 ビット単位で内蔵プルアップ抵抗を使用できます。

- ★ P70 端子は、ポート・モード・コントロール・レジスタ 7 (PMC7) の設定により、デジタル入出力/アナログ入力の指定ができます。

また、兼用機能として、キー割り込み入力、A/D コンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

### 3.4.2.9 ポート 12

P121, P122 は入力専用ポートです。兼用機能として、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力機能があります。

リセット信号の発生により、入力モードになります。

### 3.4.2.10 ポート 13

P130 は、出力ラッチ付き 1 ビット出力専用ポートです。P137 は 1 ビット入力専用ポートで、兼用機能として、外部割り込み要求入力があります。

### 3.4.2.11 ポート 14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 14 (PM14) により 1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 14 (PU14) の設定により、1 ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として、クロック／ブザー出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

### 3.4.2.12 ポート 15

RL78/G1E では、ポート 15 は使用できません。

### 3.4.3 ポート機能を制御するレジスタ

RL78/G1A（64ピン製品）と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の4.3 ポート機能を制御するレジスタを参照してください。

★ 各製品で搭載しているPM<sub>xx</sub>, P<sub>xx</sub>, PU<sub>xx</sub>, PIM<sub>xx</sub>, POM<sub>xx</sub>, PMC<sub>xx</sub>レジスタとそのビット（1/2）

ポート		ビット名					RL78/G1E		RL78/G1A	
		PM <sub>xx</sub> レジスタ	P <sub>xx</sub> レジスタ	PU <sub>xx</sub> レジスタ	PIM <sub>xx</sub> レジスタ	POM <sub>xx</sub> レジスタ	PMC <sub>xx</sub> レジスタ	(64ピン 製品)	(80ピン 製品)	(64ピン 製品)
ポート0	0	PM00	P00	PU00	PIM00	—	—	○	○	○
	1	PM01	P01	PU01	PIM01	—	—	○	○	○
	2	PM02	P02	PU02	—	POM02	PMC02	○	○	○
	3	PM03	P03	PU03	PIM03	POM03	PMC03	○	○	○
	4	PM04	P04 <sup>注2</sup>	PU04 <sup>注2</sup>	PIM04 <sup>注2</sup>	POM04 <sup>注2</sup>	—	△	○	○
	5	PM05	P05 <sup>注1</sup>	PU05 <sup>注1</sup>	—	—	—	△	△	○
	6	PM06	P06 <sup>注1</sup>	PU06 <sup>注1</sup>	—	—	—	△	△	○
ポート1	0	PM10	P10	PU10	PIM10	POM10	PMC10	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	PMC11	○	○	○
	2	PM12	P12	PU12	—	POM12	PMC12	○	○	○
	3	PM13	P13	PU13	—	POM13	PMC13	○	○	○
	4	PM14	P14	PU14	PIM14	POM14	PMC14	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	PMC15	—	○	○
	6	PM16	P16 <sup>注1</sup>	PU16 <sup>注1</sup>	PIM16 <sup>注1</sup>	—	—	△	△	○
ポート2	0	PM20	P20	—	—	—	—	○	○	○
	1	PM21	P21	—	—	—	—	○	○	○
	2	PM22	P22	—	—	—	—	○	○	○
	3	PM23	P23	—	—	—	—	○	○	○
	4	PM24	P24 <sup>注2</sup>	—	—	—	—	△	○	○
	5	PM25	P25 <sup>注1</sup>	—	—	—	—	△	△	○
	6	PM26	P26 <sup>注1</sup>	—	—	—	—	△	△	○
	7	PM27	P27 <sup>注1</sup>	—	—	—	—	△	△	○

- ★ 注1. RL78/G1E（64ピン製品，80ピン製品）には搭載していません  
 2. RL78/G1E（64ピン製品）には搭載していません

★ 備考 ○：搭載，△：一部搭載（注付きのレジスタについて差分があります），—：非搭載



## ★ 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット (2/2)

ポート		ビット名						RL78/G1E		RL78/G1A
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ	(64ピン 製品)	(80ピン 製品)	(64ピン 製品)
ポート3	0	PM30	P30	PU30	—	—	PMC30	—	—	○
	1	PM31	P31	PU31	—	—	PMC31	—	—	○
ポート4	0	PM40	P40	PU40	—	—	—	○	○	○
	1	PM41	P41	PU41	—	—	PMC41	○	○	○
	2	PM42	P42	PU42	—	—	—	○	○	○
	3	PM43	P43 <sup>注1</sup>	PU43 <sup>注1</sup>	—	—	—	△	△	○
ポート5	0	PM50	P50	PU50	—	POM50	PMC50	—	○	○
	1	PM51	P51	PU51	—	—	PMC51	—	○	○
ポート6	0	PM60	P60 <sup>注1</sup>	—	—	—	—	△	△	○
	1	PM61	P61 <sup>注1</sup>	—	—	—	—	△	△	○
	2	PM62	P62 <sup>注1</sup>	—	—	—	—	△	△	○
	3	PM63	P63 <sup>注1</sup>	—	—	—	—	△	△	○
ポート7	0	PM70	P70	PU70	—	—	PMC70	○	○	○
	1	PM71	P71	PU71	—	POM71 <sup>注1</sup>	—	△	△	○
	2	PM72	P72	PU72	—	—	—	○	○	○
	3	PM73	P73	PU73	—	—	—	○	○	○
	4	PM74	P74 <sup>注1</sup>	PU74 <sup>注1</sup>	—	POM74 <sup>注1</sup>	—	△	△	○
	5	PM75	P75 <sup>注1</sup>	PU75 <sup>注1</sup>	—	—	—	△	△	○
	6	PM76	P76 <sup>注1</sup>	PU76 <sup>注1</sup>	—	—	—	△	△	○
	7	PM77	P77 <sup>注1</sup>	PU77 <sup>注1</sup>	—	—	—	△	△	○
ポート12	0	PM120	P120	PU120	—	—	PMC120	—	—	○
	1	—	P121	—	—	—	—	○	○	○
	2	—	P122	—	—	—	—	○	○	○
	3	—	P123	—	—	—	—	—	—	○
	4	—	P124	—	—	—	—	—	—	○
ポート13	0	—	P130	—	—	—	—	○	○	○
	7	—	P137	—	—	—	—	○	○	○
ポート14	0	PM140	P140 <sup>注2</sup>	PU140 <sup>注2</sup>	—	—	—	△	○	○
	1	PM141	P141 <sup>注1</sup>	PU141 <sup>注1</sup>	—	—	—	△	△	○
ポート15	0	PM150	P150 <sup>注1</sup>	—	—	—	—	△	△	○
	1	PM151	P151 <sup>注1</sup>	—	—	—	—	△	△	○
	2	PM152	P152 <sup>注1</sup>	—	—	—	—	△	△	○
	3	PM153	P153 <sup>注1</sup>	—	—	—	—	△	△	○
	4	PM154	P154 <sup>注1</sup>	—	—	—	—	△	△	○

- ★ 注1. RL78/G1E (64ピン製品, 80ピン製品) には搭載していません  
 2. RL78/G1E (64ピン製品) には搭載していません

★ 備考 ○ : 搭載、△ : 一部搭載、— : 非搭載

## 3.4.3.1 ポート・モード・レジスタ (PMxx)

## (1) 64ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	1	PM16	1	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM14	1	1	1	1	1	1	PM141	PM140	FFF2EH	FFH	R/W
PM15	1	1	1	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

- 注意 1. PM0 レジスタのビット 4-6, PM1 レジスタのビット 6, PM2 レジスタのビット 4-7, PM4 レジスタのビット 3, PM6 レジスタのビット 0-3, PM7 レジスタのビット 4-7, PM14 レジスタのビット 0, 1, PM15 レジスタのビット 0-4 には, 必ず 0 を設定してください。
2. PM0 レジスタのビット 7, PM1 レジスタのビット 5, 7, PM4 レジスタのビット 4-7, PM6 レジスタのビット 4-7, PM14 レジスタのビット 2-7, PM15 レジスタのビット 5-7 には, 必ず 1 を設定してください。

## (2) 80ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	1	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
★ PM5	1	1	1	1	1	1	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM14	1	1	1	1	1	1	PM141	PM140	FFF2EH	FFH	R/W
PM15	1	1	1	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

- 注意 1. PM0 レジスタのビット 5, 6, PM1 レジスタのビット 6, PM2 レジスタのビット 5-7, PM4 レジスタのビット 3, PM6 レジスタのビット 0-3, PM7 レジスタのビット 4-7, PM14 レジスタのビット 1, PM15 レジスタのビット 0-4 には, 必ず 0 を設定してください。
- ★ 2. PM0 レジスタのビット 7, PM1 レジスタのビット 7, PM4 レジスタのビット 4-7, PM5 レジスタのビット 2-7, PM6 レジスタのビット 4-7, PM14 レジスタのビット 2-7, PM15 レジスタのビット 5-7 には, 必ず 1 を設定してください。

## 3.4.3.2 ポート・レジスタ (Pxx)

## (1) 64ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	P03	P02	P01	P00	FFF00H	00H	R/W
P1	0	0	0	P14	P13	P12	P11	P10	FFF01H	00H	R/W
P2	0	0	0	0	P23	P22	P21	P20	FFF02H	00H	R/W
P4	0	0	0	0	0	P42	P41	P40	FFF04H	00H	R/W
P7	0	0	0	0	P73	P72	P71	P70	FFF07H	00H	R/W
P12	0	0	0	0	0	P122	P121	0	FFF0CH	不定	R/W <sup>注1</sup>
★ P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W <sup>注1</sup>

★ 注1. P121, P122, P137 は Read only です。

2. P137 : 不定

P130 : 0 (出力ラッチ)

★ 注意 P0 レジスタのビット 4-7, P1 レジスタのビット 5-7, P2 レジスタのビット 4-7, P4 レジスタのビット 3-7, P7 レジスタのビット 4-7, P12 のビット 0, 3-7, P13 のビット 1-6 には, 必ず 0 を設定してください。

## (2) 80ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	P04	P03	P02	P01	P00	FFF00H	00H	R/W
P1	0	0	P15	P14	P13	P12	P11	P10	FFF01H	00H	R/W
P2	0	0	0	P24	P23	P22	P21	P20	FFF02H	00H	R/W
P4	0	0	0	0	0	P42	P41	P40	FFF04H	00H	R/W
★ P5	0	0	0	0	0	0	P51	P50	FFF05H	00H	R/W
P7	0	0	0	0	P73	P72	P71	P70	FFF07H	00H	R/W
P12	0	0	0	0	0	P122	P121	0	FFF0CH	不定	R/W <sup>注1</sup>
★ P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W <sup>注1</sup>
P14	0	0	0	0	0	0	0	P140	FFF0EH	00H	R/W

★ 注1. P121, P122, P137 は Read only です。

2. P137 : 不定

P130 : 0 (出力ラッチ)

★ 注意 P0 レジスタのビット 5-7, P1 レジスタのビット 6, 7, P2 のビット 5-7, P4 のビット 3-7, P5 のビット 2-7, P7 レジスタのビット 4-7, P12 レジスタのビット 0, 3-7, P13 のビット 1-6, P14 レジスタのビット 1-7 には, 必ず 0 を設定してください。

## 3.4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

## (1) 64ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	0	0	0	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU4	0	0	0	0	0	PU42	PU41	PU40	F0034H	01H	R/W
PU7	0	0	0	0	PU73	PU72	PU71	PU70	F0037H	00H	R/W

注意 PU0 レジスタのビット 4-7, PU1 レジスタのビット 5-7, PU4 レジスタのビット 3-7, PU7 レジスタのビット 4-7 には, 必ず 0 を設定してください。

## (2) 80ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	0	0	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU4	0	0	0	0	0	PU42	PU41	PU40	F0034H	01H	R/W
★ PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU7	0	0	0	0	PU73	PU72	PU71	PU70	F0037H	00H	R/W
★ PU14	0	0	0	0	0	0	0	PU140	F003EH	00H	R/W

★ 注意 PU0 レジスタのビット 5-7, PU1 レジスタのビット 6, 7, PU4 レジスタのビット 3-7, PU5 レジスタのビット 2-7, PU7 レジスタのビット 4-7, PU14 のビット 1-7 には, 必ず 0 を設定してください。

## 3.4.3.4 ポート・入力モード・レジスタ (PIMxx)

## (1) 64ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	PIM03	0	PIM01	PIM00	F0040H	00H	R/W
PIM1	0	0	0	PIM14	0	0	PIM11	PIM10	F0041H	00H	R/W

★ 注意 PIM0 のビット 2, 4-7, PIM1 のビット 2, 3, 5-7 には, 必ず 0 を設定してください。

## (2) 80ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
★ PIM0	0	0	0	PIM04	PIM03	0	PIM01	PIM00	F0040H	00H	R/W
PIM1	0	0	PIM15	PIM14	0	0	PIM11	PIM10	F0041H	00H	R/W

★ 注意 PIM0 のビット 2, 5-7, PIM1 のビット 2, 3, 6, 7 には, 必ず 0 を設定してください。

## 3.4.3.5 ポート・出力モード・レジスタ (POMxx)

## (1) 64ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	POM03	POM02	0	0	F0050H	00H	R/W
POM1	0	0	0	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W

★ 注意 POM0 レジスタのビット 0, 1, 4-7, POM1 レジスタのビット 5-7 には、必ず 0 を設定してください。

## (2) 80ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	0	F0050H	00H	R/W
POM1	0	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM5	0	0	0	0	0	0	0	POM50	F0055H	00H	R/W

★ 注意 POM0 レジスタのビット 0, 1, 5-7, POM1 レジスタのビット 6, 7, POM5 レジスタのビット 1-7 には、必ず 0 を設定してください。

## 3.4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

## (1) 64ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	PMC03	PMC02	1	1	F0060H	FFH	R/W
PMC1	1	1	1	PMC14	PMC13	PMC12	PMC11	PMC10	F0061H	FFH	R/W
PMC4	1	1	1	1	1	1	PMC41	1	F0064H	FFH	R/W
PMC7	1	1	1	1	1	1	1	PMC70	F0067H	FFH	R/W

★ 注意 PMC0 レジスタのビット 0, 1, 4-7, PMC1 レジスタのビット 5-7, PMC4 レジスタのビット 0, 2-7, PMC7 レジスタのビット 1-7 には、必ず 1 を設定してください。

## (2) 80ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	PMC03	PMC02	1	1	F0060H	FFH	R/W
PMC1	1	1	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10	F0061H	FFH	R/W
PMC4	1	1	1	1	1	1	PMC41	1	F0064H	FFH	R/W
PMC5	1	1	1	1	1	1	PMC51	PMC50	F0065H	FFH	R/W
PMC7	1	1	1	1	1	1	1	PMC70	F0067H	FFH	R/W

★ 注意 PMC0 レジスタのビット 0, 1, 4-7, PMC1 レジスタのビット 6, 7, PMC4 レジスタのビット 0, 2-7, PMC5 レジスタのビット 2-7, PMC7 レジスタのビット 1-7 には、必ず 1 を設定してください。

## 3.4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

## (1) 64ピン製品

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え			
			ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	A	A	A	A
0	0	1	D	D	D	D
0	1	0	D	D	D	A
0	1	1	D	D	A	A
1	0	0	D	A	A	A
上記以外			設定禁止			

- 注意 1. ビット 3 - 7 には、必ず 0 を設定してください。
- A/D 変換で使用するチャンネルは、ポート・モード・レジスタ 2 (PM2) で入力モードに選択してください。
  - ADPC レジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
  - AV<sub>REFP</sub> と AV<sub>REFM</sub> を使用する場合は、ANI0 と ANI1 をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

## (2) 80ピン製品

アドレス：F0076H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え				
			ANI4/P24	ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	A	A	A	A	A
0	0	1	D	D	D	D	D
0	1	0	D	D	D	D	A
0	1	1	D	D	D	A	A
1	0	0	D	D	A	A	A
1	0	1	D	A	A	A	A
上記以外			設定禁止				

- 注意 1. ビット 3 - 7 には、必ず 0 を設定してください。
- A/D 変換で使用するチャンネルは、ポート・モード・レジスタ 2 (PM2) で入力モードに選択してください。
  - ADPC レジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
  - AV<sub>REFP</sub> と AV<sub>REFM</sub> を使用する場合は、ANI0 と ANI1 をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

## 3.4.3.8 周辺 I/O リダイレクション・レジスタ (PIOR)

アドレス : F0077H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	0	0	PIOR1	PIOR0

機能	64ピン製品				80ピン製品			
	PIOR1, PIOR0の設定値				PIOR1, PIOR0の設定値			
	0, 0	0, 1	1, 0	1, 1	0, 0	0, 1	1, 0	1, 1
KR0	P70	設定禁止	P00	P10	P70	設定禁止	P00	P10
KR1	P71		P01	P11	P71		P01	P11
KR2	P72		P02	P12	P72		P02	P12
KR3	P73		P03	P13	P73		P03	P13
KR4	-		-	P14	-		P04	P14
KR5	-		P22	-	-		P22	P15
KR6	-		P23	-	-		P23	-
KR7	-		-	-	-		P24	-

★ 備考 - : 兼用機能として使用できません。

## 3.4.3.9 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

RL78/G1E では、GDIDIS レジスタは使用できません。

## 3.4.3.10 グローバル・アナログ・インプット・ディスエーブル・レジスタ (GAIDIS)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 4.3.10 グローバル・アナログ・インプット・ディスエーブル・レジスタ (GAIDIS) を参照してください。



### 3.4.4 ポート機能の動作

RL78/G1A（64ピン製品）と異なる動作について示します。

#### 3.4.4.1 入出力ポートへの書き込み

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 4.4.1 入出力ポートへの書き込みを参照してください。

#### 3.4.4.2 入出力ポートからの読み出し

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 4.4.2 入出力ポートからの読み出しを参照してください。

#### 3.4.4.3 入出力ポートでの演算

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 4.4.3 入出力ポートでの演算を参照してください。

#### ★ 3.4.4.4 $EV_{DD} \leq V_{DD}$ による異電位（1.8 V 系，2.5 V 系，3 V 系）対応

RL78/G1E では、 $EV_{DD}$  端子がありませんので、本機能は使用できません。

### ★ 3.4.4.5 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応

ポート入力モード・レジスタ（PIMxx），ポート出力モード・レジスタ（POMxx）で入出力バッファを切り替えることにより，異電位（1.8 V系，2.5 V系，3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系，2.5 V系，3 V系）の外部デバイスからの入力を受ける場合，ポート入力モード・レジスタ 0, 1（PIM0, PIM1）をビットごとに設定して，通常入力（CMOS）/TTL 入力バッファを切り換えます。

異電位（1.8 V系，2.5 V系，3 V系）の外部デバイスへ出力する場合，ポート出力モード・レジスタ 0, 1（POM0, POM1）をビットごとに設定して，N-ch オープン・ドレイン（V<sub>DD</sub> 耐圧）を切り換えます。

以下，シリアル・インタフェースでの接続について説明します。

#### (1) UART0-UART2, CSI00, CSI10, CSI20 機能の入力ポートを TTL 入力バッファで使用する 場合の設定手順

UART0 の場合	: P11
UART1 の場合	: P03
UART2 の場合	: P14
CSI00 の場合	: P10, P11
CSI10 の場合	: P03, P04
CSI20 の場合	: P14, P15

- ① 使用する入力端子を，外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② PIM0, PIM1 レジスタの該当ビットを 1 に設定し，TTL 入力バッファに切り換えます。なお，V<sub>IH</sub>，V<sub>IL</sub> は，TTL 入力バッファ選択時の DC 特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し，UART/CSI モードに設定します。

★ (2) UART0-UART2, CSI00, CSI10, CSI20 機能の出力ポートを N-ch オープン・ドレイン出力モードで使用する場合の設定手順

UART0 の場合	: P12
UART1 の場合	: P02
UART2 の場合	: P13
CSI00 の場合	: P10, P12
CSI10 の場合	: P02, P04
CSI20 の場合	: P13, P15

- ① 使用する出力端子を、外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
- ③ 該当するポートの出力ラッチに 1 を設定します。
- ④ POM0, POM1 レジスタの該当ビットを 1 に設定し、N-ch オープン・ドレイン出力（V<sub>DD</sub> 耐圧）モードに設定します。
- ⑤ シリアル・アレイ・ユニットを動作許可し、UART/CSI モードに設定します。
- ⑥ PM0, PM1 レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

★ (3) IIC00, IIC10, IIC20 機能の入出力ポートを異電位（1.8 V 系, 2.5 V 系, 3 V 系）で使用する場合の設定手順

IIC00 の場合	: P10, P11
IIC10 の場合	: P03, P04
IIC20 の場合	: P14, P15

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
- ③ 該当するポートの出力ラッチに 1 を設定します。
- ④ POM0, POM1 レジスタの該当ビットを 1 に設定し、N-ch オープン・ドレイン出力（V<sub>DD</sub> 耐圧）モードに設定します。
- ⑤ PIM0, PIM1 レジスタの該当ビットを 1 に設定し、TTL 入力バッファに切り換えます。なお、V<sub>IH</sub>, V<sub>IL</sub> は、TTL 入力バッファ選択時の DC 特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易 I<sup>2</sup>C モードに設定します。
- ⑦ PM0, PM1 レジスタの該当ビットを出力モードに設定します（出力モードのままデータ入出力可能）。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

### ★ 3.4.5 兼用機能使用時のレジスタ設定

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 4.5 兼用機能使用時のレジスタ設定を参照してください。

### 3.4.6 ポート機能使用時の注意事項

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 4.6 ポート機能使用時の注意事項を参照してください。

### 3.5 クロック発生回路

本節では、機能およびレジスタにおける、RL78/G1A（64ピン製品）との違いについて示します。詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の5章 クロック発生回路を参照してください。

#### 3.5.1 クロック発生回路の機能

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

注意 RL78/G1E（64ピン製品、80ピン製品）では、サブシステム・クロックは使用できません。

##### (1) メイン・システム・クロック

###### ① X1 発振回路

X1, X2 に発振子を接続することにより、 $f_x = 1 \sim 20$  MHz のクロックを発振させることができます。STOP 命令の実行または MSTOP ビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

###### ② 高速オンチップ・オシレータ

★ オプションバイト（000C2H）により、 $f_{IH} = 32$  MHz / 24 MHz / 16 MHz / 12 MHz / 8 MHz / 6 MHz / 4 MHz / 3 MHz / 2 MHz / 1 MHz（TYP.）から周波数を選択し、発振させることができます。リセット解除後、CPU は必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP 命令の実行または HIOSTOP ビット（CSC レジスタのビット0）の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、3.5.3.8 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）の節で確認して下さい。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	フラッシュ動作モード	発振周波数 (MHz)									
		1	2	3	4	6	8	12	16	24	32
$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	HS（高速メイン）モード	○	○	○	○	○	○	○	○	○	○
$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		○	○	○	○	○	○	○	○	○	—
$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	LS（低速メイン）モード	○	○	○	○	○	○	—	—	—	—
$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	LV（低電圧メイン）モード	○	○	—	○	—	—	—	—	—	—

また、EXCLK/X2/P122 端子から外部メイン・システム・クロック（ $f_{EX} = 1 \sim 20$  MHz）を供給することができます。STOP 命令の実行または MSTOP ビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0 ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1 クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

## ★ (2) 低速オンチップ・オシレータ・クロック（低速オンチップ・オシレータ）

$f_{IL} = 15 \text{ kHz}$  (TYP.) のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックを CPU クロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ウォッチドッグ・タイマ
- 12 ビットインターバル・タイマ

## ★ オプション・バイト (000C0H) のビット 4 (WDTON) または、サブシステム・クロック供給モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0) のどちらか、または両方が 1 のときに動作します。

ただし、 $WDTON = 1$ ,  $WUTMMCK0 = 0$  かつオプション・バイト (000C0H) のビット 0 (WDSTBYON) が 0 のときに、HALT 命令または STOP 命令を実行した場合、低速オンチップ・オシレータ回路は発振を停止します。

備考	$f_X$	: X1 クロック発振周波数
	$f_{IH}$	: 高速オンチップ・オシレータ・クロック周波数
	$f_{EX}$	: 外部メイン・システム・クロック周波数
	$f_{IL}$	: 低速オンチップ・オシレータ・クロック周波数

### 3.5.2 クロック発生回路の構成

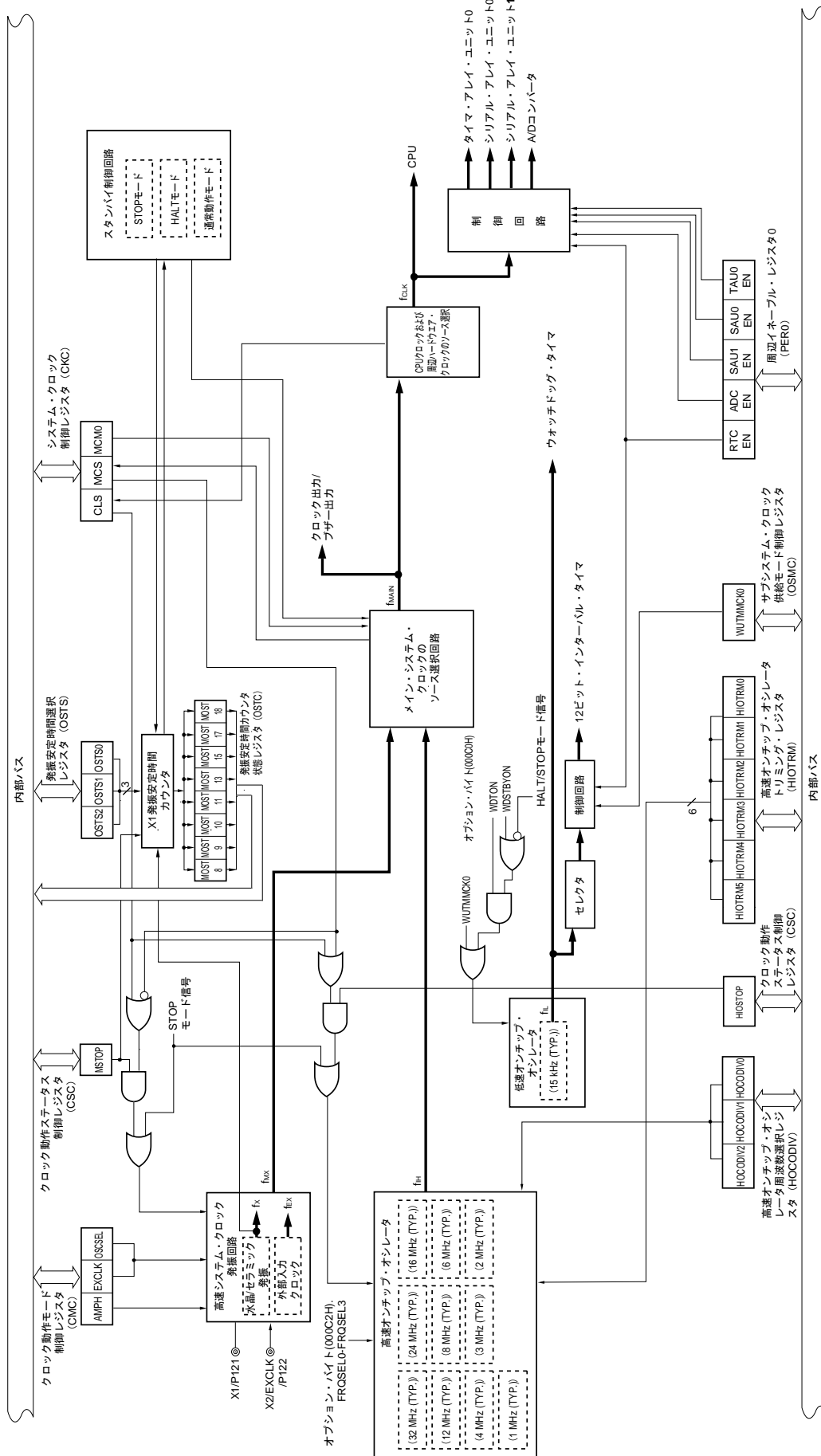
クロック発生回路は、次のハードウェアで構成しています。

表 3-6 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ0 (PER0) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

★

図3-1 クロック発生回路のブロック図



(備考は次ページにあります。)





備考 $f_x$	: X1 クロック発振周波数
$f_{IH}$	: 高速オンチップ・オシレータ・クロック周波数
$f_{EX}$	: 外部メイン・システム・クロック周波数
$f_{MX}$	: 高速システム・クロック周波数
$f_{MAIN}$	: メイン・システム・クロック周波数
$f_{CLK}$	: CPU/周辺ハードウェア・クロック周波数
$f_{IL}$	: 低速オンチップ・オシレータ・クロック周波数

### 3.5.3 クロック発生回路を制御するレジスタ

RL78/G1A（64ピン製品）と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の5.3 クロック発生回路を制御するレジスタを参照してください。

#### ★ 3.5.3.1 クロック動作モード制御レジスタ（CMC）

アドレス：FFFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121 端子	X2/EXCLK/P122 端子
0	0	入力ポート・モード	入力ポート	
0	1	X1 発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	X1 クロック発振周波数の制御
0	$1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_x \leq 20 \text{ MHz}$

注意 1. ビット 1-3, 5 には必ず 0 を設定してください。

- CMC レジスタは、リセット解除後、8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。CMC レジスタを初期値（00H）のまま使用する場合、暴走時の誤作動（00H 以外の書き込みで復帰不可）を防止するために、リセット解除後は必ず 00H に設定してください。
- リセット解除後、クロック動作ステータス制御レジスタ（CSC）の設定で X1 発振を開始する前に、CMC レジスタを設定してください。
- X1 クロック発振周波数が 10 MHz を越える場合は、必ず AMPH ビットに 1 を設定してください。
- AMPH ビットは、リセット解除後、 $f_{CLK}$  に  $f_{IH}$  を選択した状態（ $f_{CLK}$  を  $f_{MX}$  に切り替える前の状態）で設定してください。
- システム・クロックの周波数上限は 32 MHz ですが、X1 発振回路の周波数上限は 20 MHz になります。

備考  $f_x$  : X1 クロック発振周波数

## 3.5.3.2 システム・クロック制御レジスタ (CKC)

アドレス : FFFA4H    リセット時 : 00H    R/W<sup>注</sup>

略号	7	6	5	4	3	2	1	0
CKC	CLS	0	MCS	MCM0	0	0	0	0

CLS	CPU/周辺ハードウェア・クロック (fCLK) のステータス
0	メイン・システム・クロック (fMAIN)
1	-

MCS	メイン・システム・クロック (fMAIN) のステータス
0	高速オンチップ・オシレータ・クロック (fIH)
1	高速システム・クロック (fMX)

MCM0	メイン・システム・クロック (fMAIN) の動作制御
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX)

注    ビット 7, 5 は、Read Only です。

注意    ビット 0 - 3, 6 には必ず 0 を設定してください。

備考    fIH : 高速オンチップ・オシレータ・クロック周波数

fMX : 高速システム・クロック周波数

fMAIN : メイン・システム・クロック周波数

## 3.5.3.3 クロック動作ステータス制御レジスタ (CSC)

アドレス : FFFA1H    リセット時 : C0H    R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	1	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1 発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1 発振回路動作	EXCLK 端子からの外部クロック有効	入力ポート
1	X1 発振回路停止	EXCLK 端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

- 注意 1. ビット 6 には、必ず 1 を設定してください。
- リセット解除後、MSTOP ビットを 0 に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただし OSTS レジスタを初期値のまま使用する場合は、OSTS レジスタを設定する必要はありません。
  - MSTOP ビットの設定で X1 発振を開始する場合は、X1 クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
  - CPU/周辺ハードウェア・クロック (fCLK) に選択しているクロックは、CSC レジスタで停止しないでください。
  - クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、表 3-7 のようになります。

表 3-7 クロック停止方法

クロック	クロック停止 (外部クロック入力無効) 前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・ クロック	CPU/周辺ハードウェア・クロックが高速システム・ クロック以外で動作 (CLS = 0かつMCS = 0)	MSTOP = 1
高速オンチップ・ オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチッ プ・オシレータ・クロック以外で動作 (CLS = 0かつ MCS = 1)	HIOSTOP = 1

### 3.5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 5.3.4 発振安定時間カウンタ状態レジスタ (OSTC) を参照してください。

### 3.5.3.5 発振安定時間選択レジスタ (OSTS)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 5.3.5 発振安定時間選択レジスタ (OSTS) を参照してください。

## 3.5.3.6 周辺イネーブル・レジスタ 0 (PER0)

アドレス : F00F0H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	1
PER0	RTCEN	0	ADCEN	0	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用する SFR へのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・12ビット・インターバル・タイマで使用する SFR へのライト可

ADCEN	A/D コンバータの入カクロック供給の制御
0	入カクロック供給停止 ・A/D コンバータで使用する SFR へのライト不可 ・A/D コンバータはリセット状態
1	入カクロック供給 ・A/D コンバータで使用する SFR へのライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用する SFR へのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用する SFR へのライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用する SFR へのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用する SFR へのライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用する SFR へのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用する SFR へのライト可

注意 ビット1, 4, 6には必ず0を設定してください。

## ★ 3.5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマの動作クロック
0	初期値
1	低速オンチップ・オシレータ・クロック

注意 1. ビット7には、必ず0を設定してください。

2. 12ビット・インターバル・タイマを使用する場合は、リセット解除後、周辺イネーブル・レジスタ0 (PER0) の RTCEN ビットを1に設定する前に、サブシステム・クロック供給モード制御レジスタ (OSMC) の WUTMMCK0 ビットを1に設定してください。

備考 RL78/G1E ではサブシステム・クロックは使用できませんが、サブシステム・クロック供給モード制御レジスタ (OSMC) にて、12ビット・インターバル・タイマのクロックを制御します。

## 3.5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) を参照してください。

## 3.5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) を参照してください。

### 3.5.4 システム・クロック発振回路

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 5.4 システム・クロック発振回路を参照してください。

### 3.5.5 クロック発生回路の動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 5.5 クロック発生回路の動作を参照してください。

### 3.5.6 クロックの制御

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 5.6 クロックの制御を参照してください。



### 3.5.7 発振子と発振回路定数

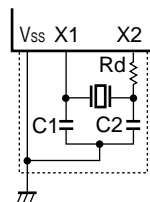
動作確認済みの発振子と、その発振回路定数（参考）を示します。

- 注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。  
 また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。
2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78/G1Eの内部動作条件については、DC、AC特性の規格内で使用してください。

★

図3-2 外付け発振回路例

(a) X1発振



(1) X1発振

2013年3月現在 (1/4)

メーカー	発振子	品名	SMD/ リード	周波数 (MHz)	フラッシュ 動作モード 注1	発振回路定数 <sup>注2</sup> (参考)			電圧範囲(V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
京セラ クリスタル デバイス 株式会社 <sup>注3</sup>	水晶振動子	CX8045GB04000D0HEQZ1	SMD	4.0	LV	12	12	0	1.6	5.5
		CX8045GB04000D0HEQZ1	SMD	4.0	LS	12	12	0	1.8	5.5
		CX8045GB04000D0HEQZ1	SMD	4.0	HS	12	12	0	2.4	5.5
		CX8045GB08000D0HEQZ1	SMD	8.0	LS	12	12	0	1.8	5.5
		CX8045GB08000D0HEQZ1	SMD	8.0	HS	12	12	0	2.4	5.5
		CX8045GB12000D0HEQZ1	SMD	12.0	HS	10	10	0	2.4	5.5
		CX3225GB16000D0HEQZ1	SMD	16.0	HS	10	10	0	2.4	5.5
		CX3225GB20000D0HEQZ1	SMD	20.0	HS	8	8	0	2.7	5.5

★

- 注1. フラッシュ動作モードは、オプション・バイト (000C2H) のCMODE1, CMODE0ビットで設定します。
2. C1, C2の値は、参考値です。
3. この発振子を使用する場合は、京セラクリスタルデバイス株式会社 (<http://www.kyocera-crystal.jp/>) にお問い合わせください。

備考 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

- HS (高速メイン) モード :  $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 32 MHz (X1クロック発振時 : 1 MHz ~ 20 MHz)  
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 16 MHz
- LS (低速メイン) モード :  $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 8 MHz
- LV (低電圧メイン) モード :  $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 4 MHz

## (1) X1 発振

2013年3月現在 (2/4)

メーカー	発振子	品名	SMD/ リード	周波数 (MHz)	フラッシュ 動作モード 注 <sup>1</sup>	発振回路定数 <sup>注2</sup> (参考)			電圧範囲(V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所 注 <sup>3</sup>	セラミック 発振子	CSTCC2M00G56-R0	SMD	2.0	LV	(47)	(47)	0	1.6	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0	1.6	5.5
		CSTLS4M00G53-B0	Lead	4.0		(15)	(15)	0	1.6	5.5
		CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.8	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0	1.8	5.5
		CSTLS4M00G53-B0	Lead	4.0		(15)	(15)	0	1.8	5.5
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0	1.8	5.5
		CSTLS4M19G53-B0	Lead	4.194		(15)	(15)	0	1.8	5.5
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0	1.8	5.5
		CSTLS4M91G53-B0	Lead	4.915		(15)	(15)	0	1.8	5.5
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0	1.8	5.5
		CSTLS5M00G53-B0	Lead	5.0		(15)	(15)	0	1.8	5.5
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0	1.8	5.5
		CSTLS6M00G53-B0	Lead	6.0		(15)	(15)	0	1.8	5.5
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0	1.8	5.5
		CSTLS8M00G53-B0	Lead	8.0		(15)	(15)	0	1.8	5.5

- ★ 注1. フラッシュ動作モードは、オプション・バイト (000C2H) の CMODE1, CMODE0 ビットで設定します。
2. C1, C2 の欄の ( ) 内は、内蔵容量値を示しています。
3. この発振子を使用する場合は、株式会社村田製作所 (<http://www.murata.co.jp/>) にお問い合わせください。

備考 動作電圧範囲, CPU 動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード :  $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$  (X1 クロック発振時 :  $1\text{ MHz} \sim 20\text{ MHz}$ )  
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン) モード :  $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$

LV (低電圧メイン) モード :  $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 4\text{ MHz}$

## (1) X1 発振

2013年3月現在 (3/4)

メーカー	発振子	品名	SMD/ リード	周波数 (MHz)	フラッシュ 動作モード 注1	発振回路定数注2 (参考)			電圧範囲(V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所 注3	セラミック 発振子	CSTCC2M00G56-R0	SMD	2.0	HS	(47)	(47)	0	2.4	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0	2.4	5.5
		CSTLS4M00G53-B0	Lead	4.0		(15)	(15)	0	2.4	5.5
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0	2.4	5.5
		CSTLS4M19G53-B0	Lead	4.194		(15)	(15)	0	2.4	5.5
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0	2.4	5.5
		CSTLS4M91G53-B0	Lead	4.915		(15)	(15)	0	2.4	5.5
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0	2.4	5.5
		CSTLS5M00G53-B0	Lead	5.0		(15)	(15)	0	2.4	5.5
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0	2.4	5.5
		CSTLS6M00G53-B0	Lead	6.0		(15)	(15)	0	2.4	5.5
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0	2.4	5.5
		CSTLS8M00G53-B0	Lead	8.0		(15)	(15)	0	2.4	5.5
		CSTCE8M38G52-R0	SMD	8.388		(10)	(10)	0	2.4	5.5
		CSTLS8M38G53-B0	Lead	8.388		(15)	(15)	0	2.4	5.5
		CSTCE10M0G52-R0	SMD	10.0		(10)	(10)	0	2.4	5.5
		CSTLS10M0G53-B0	Lead	10.0		(15)	(15)	0	2.4	5.5
		CSTCE12M0G52-R0	SMD	12.0		(10)	(10)	0	2.4	5.5
		CSTCE16M0V53-R0	SMD	16.0		(15)	(15)	0	2.4	5.5
		CSTLS16M0X51-B0	Lead	16.0		(5)	(5)	0	2.4	5.5
CSTCE20M0V51-R0	SMD	20.0	(5)	(5)	0	2.7	5.5			
CSTLS20M0X51-B0	Lead	20.0	(5)	(5)	0	2.7	5.5			

- ★ 注1. フラッシュ動作モードは、オプション・バイト (000C2H) の CMODE1, CMODE0 ビットで設定します。
2. C1, C2 の欄の ( ) 内は、内蔵容量値を示しています。
3. この発振子を使用する場合は、株式会社村田製作所 (<http://www.murata.co.jp/>) にお問い合わせください。

備考 動作電圧範囲, CPU 動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード :  $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 32 MHz (X1 クロック発振時 : 1 MHz ~ 20 MHz)

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 16 MHz

LS (低速メイン) モード :  $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 8 MHz

LV (低電圧メイン) モード :  $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 4 MHz

## (1) X1 発振

2013年3月現在 (4/4)

メーカー	発振子	品名	SMD/ リード	周波数 (MHz)	フラッシュ 動作モード 注 <sup>1</sup>	発振回路定数 <sup>注2</sup> (参考)			電圧範囲(V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
日本電波工業 株式会社 <sup>注3</sup>	水晶振動子	NX8045GB	SMD	8	LS	1	1	0	1.8	5.5
		NX8045GB	SMD	8	HS	1	1	0	2.4	5.5
		NX3225GB	SMD	16		2	2	0	2.4	5.5
		NX2520SA	SMD	20		1	1	0	2.7	5.5

- ★ 注1. フラッシュ動作モードは、オプション・バイト (000C2H) の CMODE1, CMODE0 ビットで設定します。
2. C1, C2 の値は、参考値です。
3. この発振子を使用する場合は、日本電波工業株式会社 (<http://www.ndk.com/jp/>) にお問い合わせください。

備考 動作電圧範囲, CPU 動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード :  $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 32 MHz (X1 クロック発振時 : 1 MHz ~ 20 MHz)  
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 16 MHz

LS (低速メイン) モード :  $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 8 MHz

LV (低電圧メイン) モード :  $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  @ 1 MHz ~ 4 MHz

### 3.6 タイマ・アレイ・ユニット

本節では、機能およびレジスタにおける、RL78/G1A（64ピン製品）との違いについて示します。詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の6章 タイマ・アレイ・ユニットを参照してください。

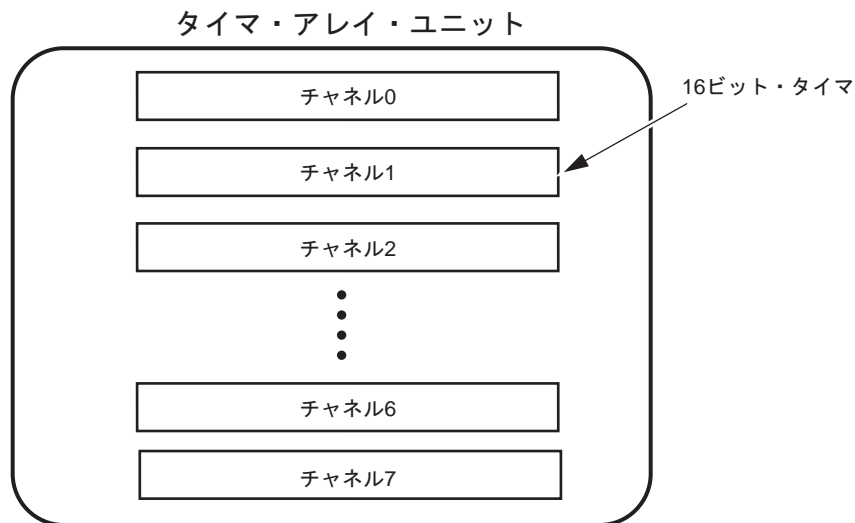
タイマ・アレイ・ユニットは、RL78/G1E の全製品に搭載されています（ユニット 0, チャンネル 0-7）。

ユニット	チャンネル	64ピン製品, 80ピン製品
ユニット0	チャンネル0	○
	チャンネル1	○
	チャンネル2	○
	チャンネル3	○
	チャンネル4	○
	チャンネル5	○
	チャンネル6	○
	チャンネル7	○

注意 この節では、以降の主な説明を、80ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。



各機能の詳細に関しては、下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> <li>● インターバル・タイマ (→3.6.8 節参照)</li> <li>● 方形波出力 (→3.6.8 節参照)</li> <li>● 外部イベント・カウンタ (→3.6.8 節参照)</li> <li>● 分周器機能<sup>注</sup> (→3.6.8 節参照)</li> <li>● 入力パルス間隔測定 (→3.6.8 節参照)</li> <li>● 入力信号のハイ/ロウ・レベル幅測定 (→3.6.8 節参照)</li> <li>● デイレイ・カウンタ (→3.6.8 節参照)</li> </ul>	<ul style="list-style-type: none"> <li>● ワンショット・パルス出力 (→3.6.9 節参照)</li> <li>● PWM出力 (→3.6.9 節参照)</li> <li>● 多重PWM出力 (→3.6.9 節参照)</li> </ul>

注 ユニット0のチャンネル0のみ。

ユニット0のチャンネル1,3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。チャンネル1,3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ(上位/下位8ビット・タイマ)/方形波出力(下位8ビット・タイマのみ)
- 外部イベント・カウンタ(下位8ビット・タイマのみ)
- デイレイ・カウント(下位8ビット・タイマのみ)

また、ユニット0のチャンネル7は、シリアル・アレイ・ユニットのUART2と連携し、LIN-bus通信動作を実現することができます。

### 3.6.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

#### 3.6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

##### ① インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。



##### ② 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子（TOnn）より出力します。



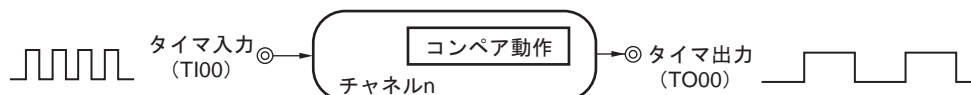
##### ③ 外部イベント・カウンタ

タイマ入力端子（TIlnn）に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



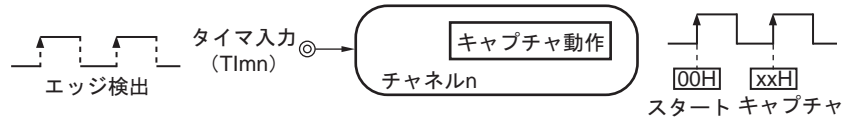
##### ④ 分周器機能（ユニット0のチャンネル0のみ）

タイマ入力端子（TI00）から入力されたクロックを分周して出力端子（TO00）より出力します。



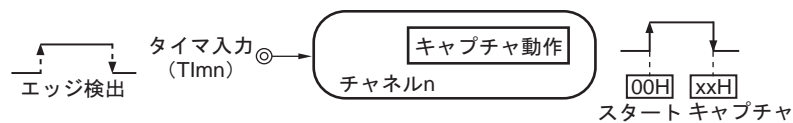
## ⑤ 入力パルス間隔測定

タイマ入力端子 (TImn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



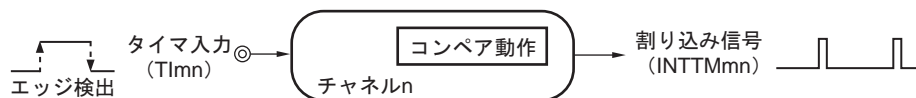
## ⑥ 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



## ⑦ デイレイ・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考

m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-7 (ただし、タイマ入力端子 (TImn) : n = 0, 4, 7, タイマ出力端子 (TOmn) の場合 : n = 0, 4, 7) )



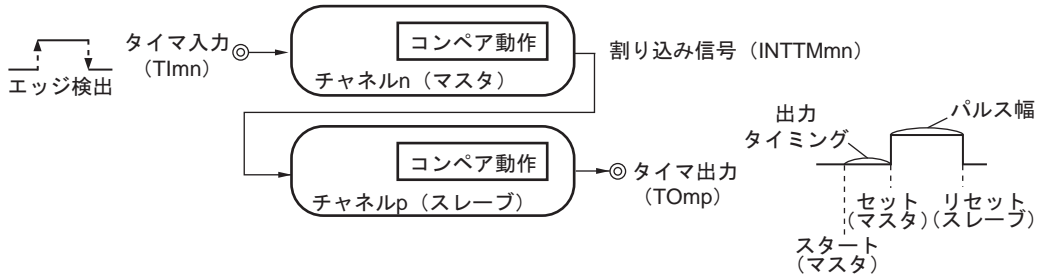
### 3.6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

#### ① ワンショット・パルス出力

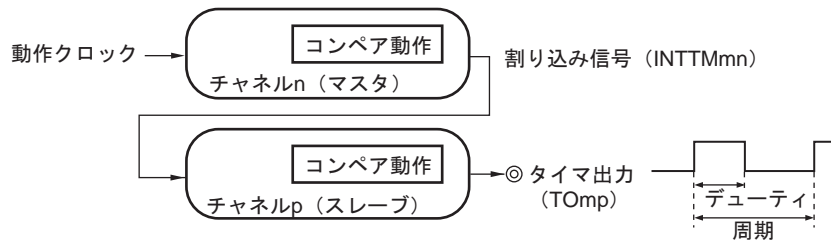
2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



★

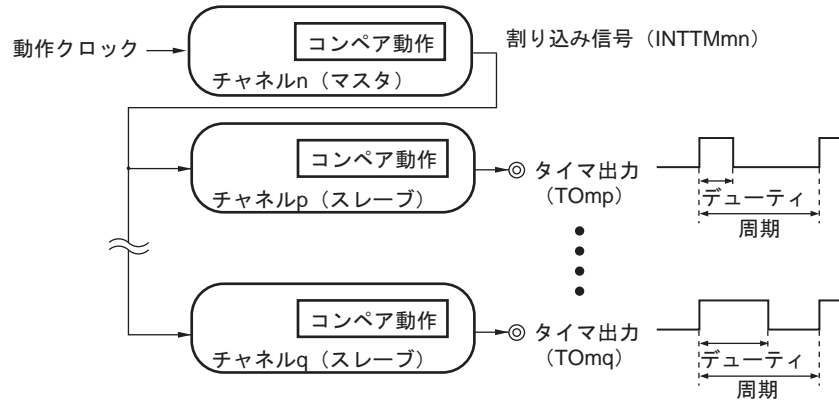
#### ② PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



### ③ 多重 PWM (Pulse Width Modulation) 出力

PWM 機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティの PWM 信号を最大7種類生成することができます。



**注意** 複数チャンネル連動動作機能のルールの詳細については、3.6.4 タイマ・アレイ・ユニットの基本ルールを参照して下さい。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7 (ただし、タイマ入力端子 (TImn) : n = 0, 4, 7, タイマ出力端子 (TOmn) の場合 : n = 0, 4, 7) ) , p, q : スレーブ・チャンネル番号 (4, 7)

#### 3.6.1.3 8ビット・タイマ動作機能 (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

**注意** 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。詳細は、3.6.4 タイマ・アレイ・ユニットの基本ルールを参照して下さい。

### 3.6.1.4 LIN-bus 対応機能（ユニット0のチャンネル7のみ）

LIN-bus 通信機能において、受信信号が LIN-bus の通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

#### ① ウェイク・アップ信号の検出

UART2 のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイク・アップ信号と認識します。

#### ② ブレーク・フィールドの検出

ウェイク・アップ信号検出後、UART2 のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

#### ③ シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART2 のシリアル・データ入力端子（RxD2）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus対応機能の動作設定については、3.6.3.13 入力切り替え制御レジスタ（ISC）、3.6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能を参照してください。

### 3.6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表 3-8 タイマ・アレイ・ユニットの構成

項 目	構 成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00, TI04, TI07, RxD2 端子 (LIN-bus 用)
タイマ出力	TO00, TO04, TO07, 出力制御回路
制御レジスタ	<p>&lt;ユニット設定部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・周辺イネーブル・レジスタ 0 (PER0)</li> <li>・タイマ・クロック選択レジスタ m (TPSm)</li> <li>・タイマ・チャンネル許可ステータス・レジスタ m (TEm)</li> <li>・タイマ・チャンネル開始レジスタ m (TSM)</li> <li>・タイマ・チャンネル停止レジスタ m (TTm)</li> <li>・タイマ入力選択レジスタ 0 (TIS0)</li> <li>・タイマ出力許可レジスタ m (TOEm)</li> <li>・タイマ出力レジスタ m (TOm)</li> <li>・タイマ出力レベル・レジスタ m (TOLm)</li> <li>・タイマ出力モード・レジスタ m (TOMm)</li> </ul> <p>&lt;各チャンネル部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・タイマ・モード・レジスタ mn (TMRmn)</li> <li>・タイマ・ステータス・レジスタ mn (TSRmn)</li> <li>・入力切り替え制御レジスタ (ISC)</li> <li>・ノイズ・フィルタ許可レジスタ 1 (NFEN1)</li> <li>・ポート・モード・コントロール・レジスタ (PMCxx)</li> <li>・ポート・モード・レジスタ (PMxx)</li> <li>・ポート・レジスタ (Pxx)</li> </ul>

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子は、次のとおりです。

表 3-9 製品に搭載しているタイマ入出力端子

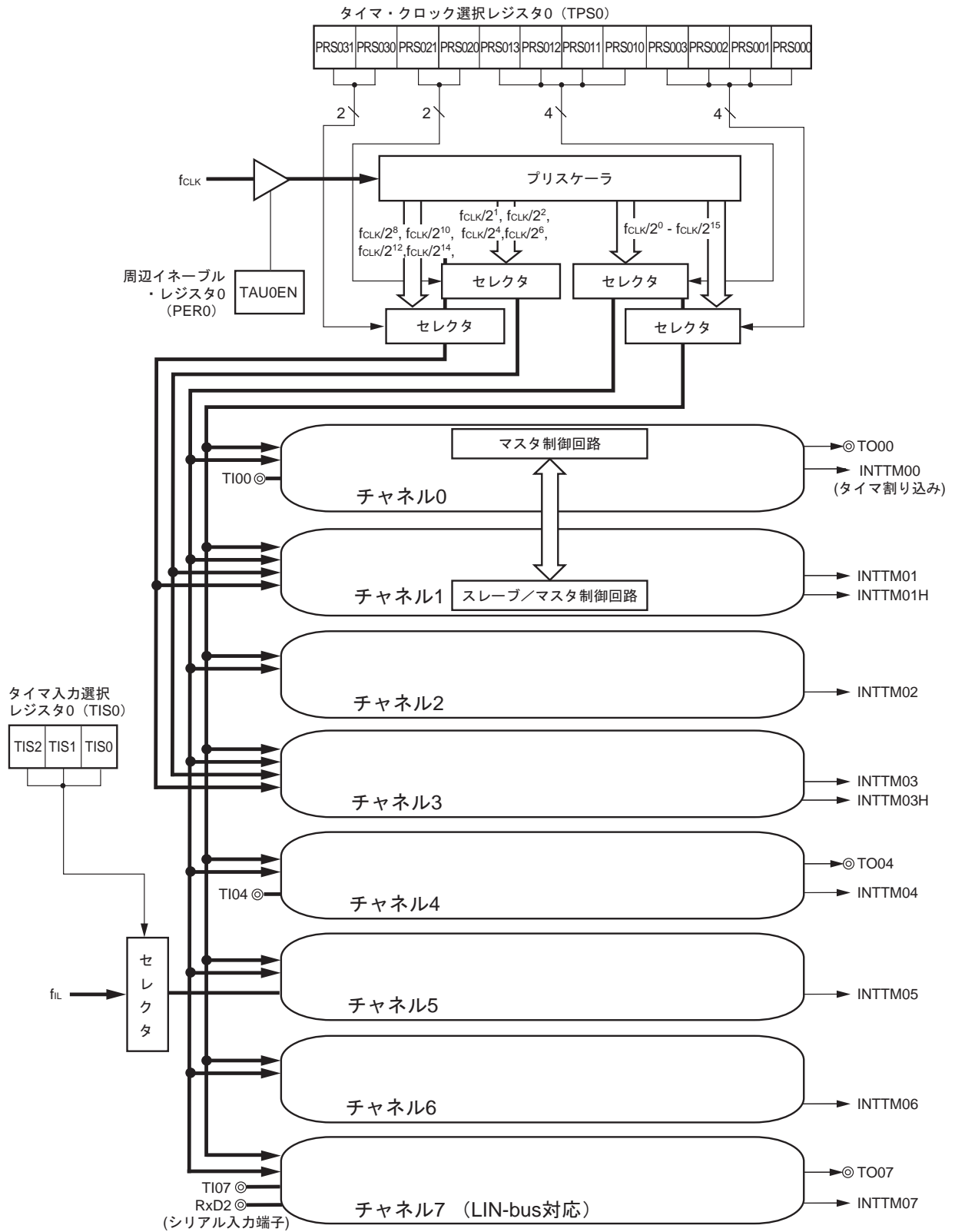
タイマ・アレイ・ユニット・チャンネル	RL78/G1E (64 ピン製品, 80 ピン製品)	
ユニット 0	チャンネル 0	P00/TI00, P01/TO00
	チャンネル 1	—
	チャンネル 2	—
	チャンネル 3	—
	チャンネル 4	P42/TI04/TO04
	チャンネル 5	—
	チャンネル 6	—
	チャンネル 7	P41/TI07/TO07

備考 1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

2. — : タイマ入出力端子はないが、チャンネルは搭載 (インターバル・タイマとしてのみ使用可能)

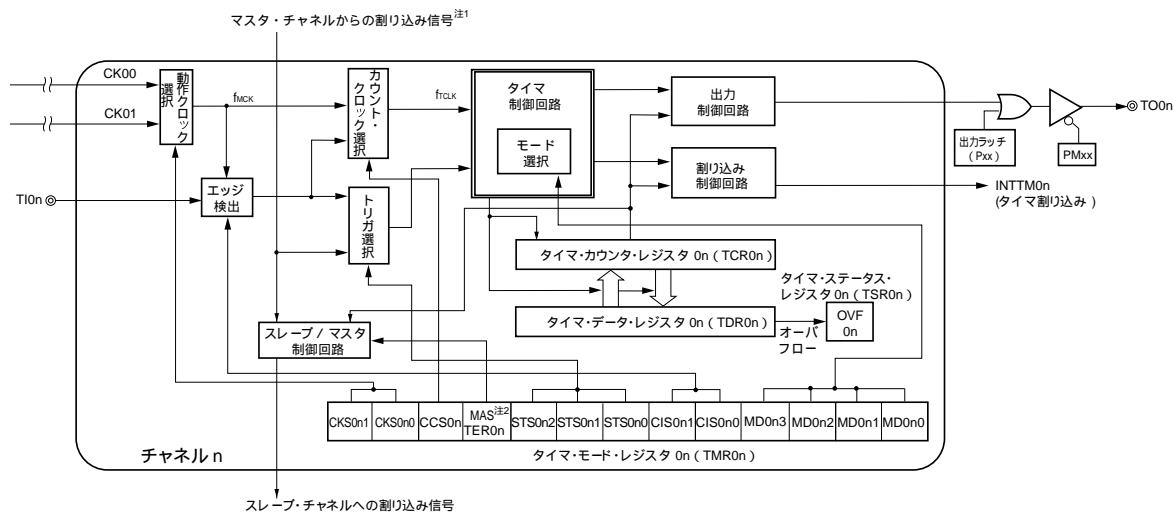
図 3-3 に、RL78/G1E (80 ピン製品) のタイマ・アレイ・ユニットのブロック図を示します。

図 3-3 タイマ・アレイ・ユニット 0 の全体ブロック図 (例 : 80 ピン製品)



備考 f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック周波数

図 3-4 タイマ・アレイ・ユニット 0 のチャンネル 0, 4 内部ブロック図

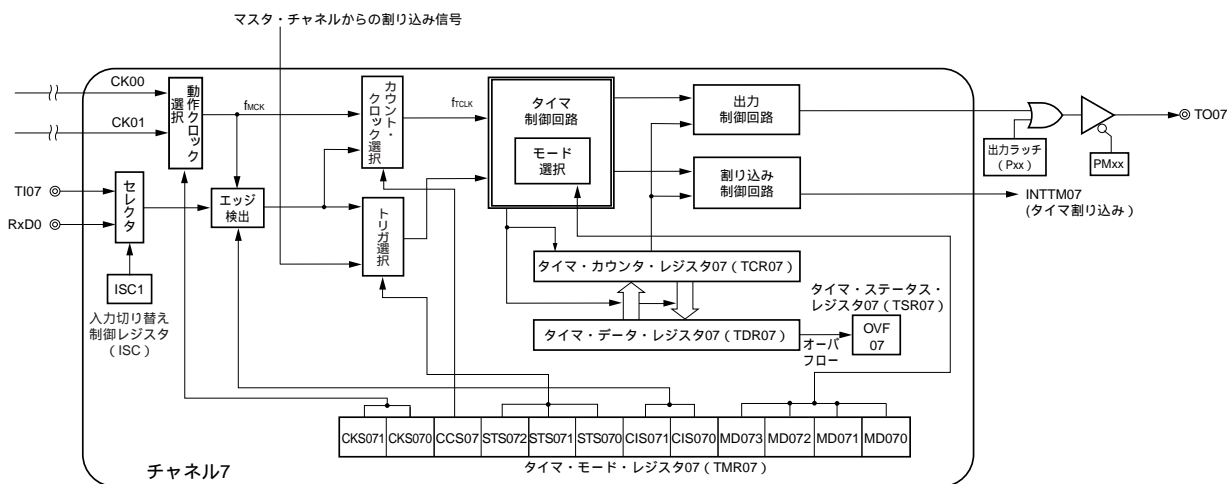


注 1. チャンネル 4 のみ

2. n = 4 のみ

備考 n = 0, 4

図 3-5 タイマ・アレイ・ユニット 0 のチャンネル 7 内部ブロック図



### 3.6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn) を参照してください。

### 3.6.2.2 タイマ・データ・レジスタ mn (TDRmn)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.2.2 タイマ・データ・レジスタ mn (TDRmn) を参照してください。



### 3.6.3 タイマ・アレイ・ユニットを制御するレジスタ

RL78/G1A (64ピン製品) と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.3 タイマ・アレイ・ユニットを制御するレジスタを参照してください。

#### ★ 3.6.3.1 周辺イネーブル・レジスタ 0 (PER0)

アドレス : F00F0H リセット時 : 00H R/W

略号	<b>7</b>	6	<b>5</b>	4	<b>3</b>	<b>2</b>	1	<b>0</b>
PER0	RTCEN	0	ADCEN	0	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット 0 の入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット 0 で使用する SFR へのライト不可 ・タイマ・アレイ・ユニット 0 はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット 0 で使用する SFR へのリード/ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます(タイマ入力選択レジスタ0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1 (NFEN1), ポート・モード・コントロール・レジスタ0, 1, 4 (PMC0, PMC1, PMC4), ポート・モード・レジスタ0, 1, 4 (PM0, PM1, PM4), ポート・レジスタ0, 1, 4 (P0, P1, P4) は除く)。

- ・タイマ・クロック選択レジスタ m (TPSm)
- ・タイマ・モード・レジスタ mn (TMRmn)
- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- ・タイマ・チャンネル開始レジスタ m (TSm)
- ・タイマ・チャンネル停止レジスタ m (TTm)
- ・タイマ出力許可レジスタ m (TOEm)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOLm)
- ・タイマ出力モード・レジスタ m (TOMm)

2. ビット1, 4, 6には必ず0を設定してください。

#### 3.6.3.2 タイマ・クロック選択レジスタ m (TPSm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.3.2 タイマ・クロック選択レジスタ m (TPSm) を参照してください。

### 3.6.3.3 タイマ・モード・レジスタ mn (TMRmn)

- タイマ・モード・レジスタ mn (TMRmn) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TER mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 <sup>注</sup>	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKSmn1	CKSmn0	チャンネルnの動作クロック (fmck) の選択
0	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm3
動作クロック (fmck) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fclk) を生成します。		
動作クロックCKm2, CKm3は、チャンネル1, 3のみ選択可能です。		

CCSmn	チャンネルnのカウント・クロック (fclk) の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fmck)
1	TImn端子からの入力信号の有効エッジ チャンネル5使用時は、TIS0で選択した入力信号の有効エッジ
カウント・クロック (fclk) は、タイマ・カウンタ、出力制御回路、割り込み制御回路に使用されます。	

★ 注 ビット 11 は Read only の 0 固定で、書き込みは無視されます。

注意 1. ビット 13, 5, 4 には、必ず 0 を設定してください。

- カウント・クロック (fclk) に CKSmn0, CKSmn1 ビットで指定した動作クロック (fmck) , TImn 端子からの入力信号の有効エッジのどれを選択していても、fclk に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7 (ただし、タイマ入力端子 (TImn) の場合 : n = 0, 4, 7, タイマ出力端子 (TOmn) の場合 : n = 0, 4, 7) )

● タイマ・モード・レジスタ mn (TMRmn) のフォーマット (2/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TER mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 <sup>注</sup>	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

TMRmn (n = 2, 4, 6) のビット 11

MASTER mn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作（スレーブ／マスタ）の選択
0	単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
<p>チャンネル2, 4, 6のみマスタ・チャンネル（MASTERmn = 1）に設定できます。</p> <p>チャンネル0, 5, 7は0固定となります（チャンネル0は最上位チャンネルのため，このビットの設定によらずマスタとして動作します）。</p> <p>また，単独チャンネル動作機能として使用するチャンネルは，MASTERmn = 0にします。</p>	

TMRmn (n = 1, 3) のビット 11

SPLITmn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TImn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用（複数チャンネル連動動作機能のスレーブ・チャンネル時）
上記以外			設定禁止

★ 注 ビット 11 は Read only の 0 固定で，書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7 (ただし，タイマ入力端子 (TImn) の場合 : n = 0, 4, 7, タイマ出力端子 (TOmn) の場合 : 0, 4, 7) )

● タイマ・モード・レジスタ mn (TMRmn) のフォーマット (3/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TER mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 <sup>注</sup>	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CISmn1	CISmn0	TImn端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がリエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がリエッジ, キャプチャ・トリガ : 立ち下がリエッジ

STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。

★ 注 ビット 11 は Read only の 0 固定で, 書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7 (ただし, タイマ入力端子 (TImn) の場合 : n = 0, 4, 7, タイマ出力端子 (TOmn) の場合 : n = 0, 4, 7) )

● タイマ・モード・レジスタ mn (TMRmn) のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TER mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 <sup>注</sup>	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	MD mn0	チャンネルnの 動作モードの設定	対応する機能	TCRの カウント動作
0	0	0	1/0	インターバル・タイ マ・モード	インターバル・タイマ／方形波出力／ 分周器機能／PWM出力（マスタ）	ダウン・カウント
0	1	0	1/0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	0	イベント・カウンタ・ モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	1/0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・ パルス出力／PWM出力（スレーブ）	ダウン・カウント
1	1	0	0	キャプチャ&ワンカ ウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外				設定禁止		
MDmn0ビットの動作は、各動作モードによって変わります（下表を参照）。						

★ 注 ビット 11 は Read only の 0 固定で、書き込みは無視されます。

(備考は次のページにあります。)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・ モード (0, 0, 0) ・キャプチャ・モード (0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モ ード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)
・ワンカウント・モード 注 <sup>1</sup> (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注 <sup>2</sup> 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウン ト・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

注 1. ワンカウント・モードでは、カウント動作開始時の割り込み出力 (INTTMmn) ,  
TOMn 出力は制御しません。

2. 動作中にスタート・トリガ (TSMn = 1) がかかると、カウンタを初期化し、割り込みを発生して再カウン  
ト・スタートします。(割り込み要求は発生せず)

★

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7 (ただし、タイマ入力端子 (TIMn) の場合 : n = 0,  
4, 7, タイマ出力端子 (TOMn) の場合 : n = 0, 4, 7) )

### 3.6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.3.4 タイマ・ステータス・レジスタ mn (TSRmn) を参照してください。

### 3.6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm) を参照してください。

### 3.6.3.6 タイマ・チャンネル開始レジスタ m (TSM)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.3.6 タイマ・チャンネル開始レジスタ m (TSM) を参照してください。

### 3.6.3.7 タイマ・チャンネル停止レジスタ m (TTm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.3.7 タイマ・チャンネル停止レジスタ m (TTm) を参照してください。

### 3.6.3.8 タイマ入力選択レジスタ 0 (TIS0)

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル 5 で使用するタイマ入力の選択
0	0	0	初期値
1	0	0	低速オンチップ・オシレータ・クロック (f <sub>IL</sub> )
上記以外			設定禁止

注意 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK}+10ns$  以上必要となります。

### 3.6.3.9 タイマ出力許可レジスタ m (TOEm)

アドレス : F01BAH, F01BBH (TOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOE m7	0	0	TOE m4	0	0	0	TOE m0

TOEmn	チャンネルnのタイマ出力許可/禁止
0	カウント動作によるTOmn (タイマ・チャンネル出力ビット) の動作停止 TOmnビットへの書き込みが可能。 TOmn端子がデータ出力機能となり、TOmnビットに設定したレベルがTOmn端子から出力される。 TOmn端子の出力レベルをソフトウェアで操作することができる。
1	カウント動作によるTOmn (タイマ・チャンネル出力ビット) 動作許可。 TOmnビットへの書き込み不可 (書き込みが無視される)。 TOmn端子がタイマ出力機能となり、タイマの動作によりセット/リセットされる。 TOmn端子からタイマ動作にあわせた方形波出力やPWM出力ができる。

注意 ビット 15-8, 6, 5, 3-1 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7 (ただし、タイマ入力端子 (TImn) の場合 : n = 0, 4, 7, タイマ出力端子 (TOmn) の場合 : n = 0, 4, 7) )

### 3.6.3.10 タイマ出力レジスタ m (TOM)

アドレス : F01B8H, F01B9H (TO0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM	0	0	0	0	0	0	0	0	TO m7	0	0	TO m4	0	0	0	TO m0

TOMn	チャンネルnのタイマ出力
0	タイマ出力値が "0"
1	タイマ出力値が "1"

注意 ビット 15-8, 6, 5, 3-1 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7 (ただし、タイマ入力端子 (TImn) の場合 : n = 0, 4, 7, タイマ出力端子 (TOmn) の場合 : n = 0, 4, 7) )



### 3.6.3.11 タイマ出力レベル・レジスタ m (TOLm)

アドレス : F01BCH, F01BDH (TOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOL m7	0	0	TOL m4	0	0	0	0

TOLmn	チャンネルnのタイマ出力レベルの制御
0	正論理出力 (アクティブ・ハイ)
1	負論理出力 (アクティブ・ロウ)

注意 ビット 15-8, 6, 5, 3-0 には、必ず 0 を設定してください。

備考 1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7 (ただし、タイマ入力端子 (TImn) の場合 : n = 0, 4, 7, タイマ出力端子 (TOmn) の場合 : n = 0, 4, 7) )

### 3.6.3.12 タイマ出力モード・レジスタ m (TOMm)

アドレス : F01BEH, F01BFH (TOM0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOM m7	0	0	TOM m4	0	0	0	0

TOMmn	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTMmn) によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTMmn) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMmp) で出力がリセットされる)

注意 ビット 15-8, 0 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-1 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号

n = 4, 7

(マスタ・チャンネル, スレーブ・チャンネルの関係についての詳細は、3.6.4 タイマ・アレイ・ユニットの基本ルールを参照してください。)

### 3.6.3.13 入力切り替え制御レジスタ (ISC)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6. 3. 13 入力切り替え制御レジスタ (ISC) を参照してください。

### 3.6.3.14 ノイズ・フィルタ許可レジスタ 1 (NFEN1)

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	0	0	TNFEN04	0	0	0	TNFEN00

TNFEN07	TI07/TO07/P41 端子または RxD2/P14 端子入力信号のノイズ・フィルタ使用可否 <sup>注</sup>
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN04	TI04/TO04/P42 端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN00	TI00/P00 端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

注 入力切り替え制御レジスタ (ISC) の ISC1 ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0 に設定 : TI07 端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1 に設定 : RxD2 端子のノイズ・フィルタ使用可否選択が可能

注意 ビット 6, 5, 3-1 には、必ず 0 を設定してください。

### ★ 3.6.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート・モード・コントロール・レジスタ（PMCxx））を設定してください。

詳細は、3.4.3.1 ポート・モード・レジスタ（PMxx）、3.4.3.2 ポート・レジスタ（Pxx）、3.4.3.6 ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

設定の詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の6.3.15 タイマ入出力端子のポート機能を制御するレジスタ を参照してください。

### 3.6.4 タイマ・アレイ・ユニットの基本ルール

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.4 タイマ・アレイ・ユニットの基本ルールを参照してください。

### 3.6.5 カウンタの動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.5 カウンタの動作を参照してください。

### 3.6.6 チャンネル出力 (TOmn 端子) の制御

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.6 チャンネル出力 (TOmn 端子) の制御を参照してください。

### 3.6.7 タイマ入力 (TImn) の制御

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.7 タイマ入力 (TImn) の制御を参照してください。

### 3.6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能を参照してください。

### 3.6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照してください。

### 3.6.10 タイマ・アレイ・ユニット使用時の注意事項

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 6.10 タイマ・アレイ・ユニット使用時の注意事項を参照してください。

### 3.7 リアルタイム・クロック

RL78/G1E（64ピン製品、80ピン製品）では、リアルタイム・クロックは使用できません。

### 3.8 12ビット・インターバル・タイマ

#### 3.8.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。STOPモードからのウェイク・アップや、A/DコンバータのSNOOZEモードのトリガに役立ちます。

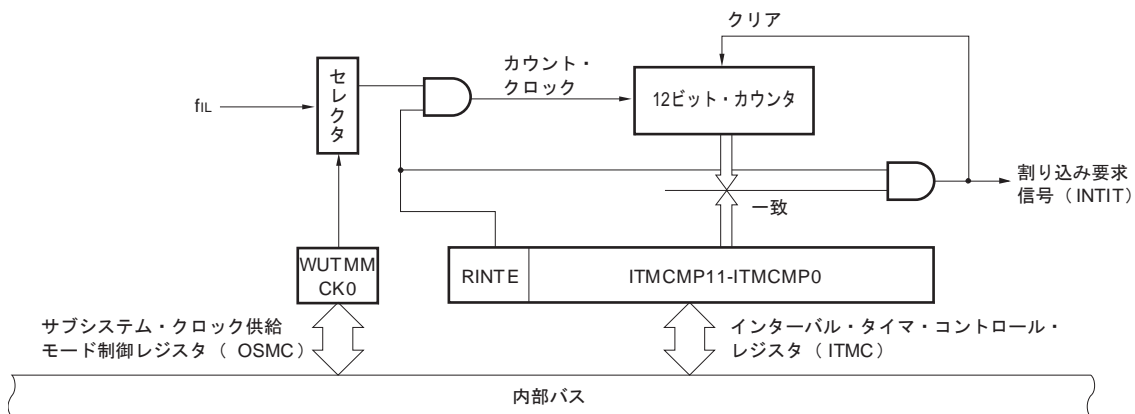
#### ★ 3.8.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表 3-10 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	インターバル・タイマ・コントロール・レジスタ (ITMC)

図 3-6 12ビット・インターバル・タイマのブロック図



### 3.8.3 12ビット・インターバル・タイマを制御するレジスタ

RL78/G1A (64ピン製品) と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 8.3 12ビット・インターバル・タイマを制御するレジスタを参照してください。

#### 3.8.3.1 周辺イネーブル・レジスタ 0 (PER0)

アドレス : F00F0H リセット時 : 00H RW

略号	<b>7</b>	6	<b>5</b>	4	<b>3</b>	<b>2</b>	1	<b>0</b>
PER0	RTCEN	0	ADCEN	0	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのライト可

#### ★ 3.8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

アドレス : F00F3H リセット時 : 00H RW

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMM CK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマの動作クロック
0	初期値
1	低速オンチップ・オシレータ・クロック ( $f_{IL}$ )

注意 1. ビット 7 は必ず 0 を設定してください。

- 12ビット・インターバル・タイマを使用する場合は、リセット解除後、周辺イネーブル・レジスタ 0 (PER0) の RTCEN ビットを 1 に設定する前に、サブシステム・クロック供給モード制御レジスタ (OSMC) の WUTMMCK0 ビットを 1 に設定してください。

#### 3.8.3.3 インターバル・タイマ・コントロール・レジスタ (ITMC)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 8.3.3 インターバル・タイマ・コントロール・レジスタ (ITMC) を参照してください。

### 3.8.4 12ビット・インターバル・タイマの動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 8.4 12ビット・インターバル・タイマの動作を参照してください。



### 3.9 クロック出力／ブザー出力制御回路

クロック出力／ブザー出力制御回路の出力端子の有無は、製品によって異なります。

出力端子	64ピン製品	80ピン製品
PCLBUZ0	—	○
PCLBUZ1	—	—

注意 64ピン製品には、クロック出力／ブザー出力制御回路の出力端子がありません。

#### 3.9.1 クロック出力／ブザー出力制御回路の機能

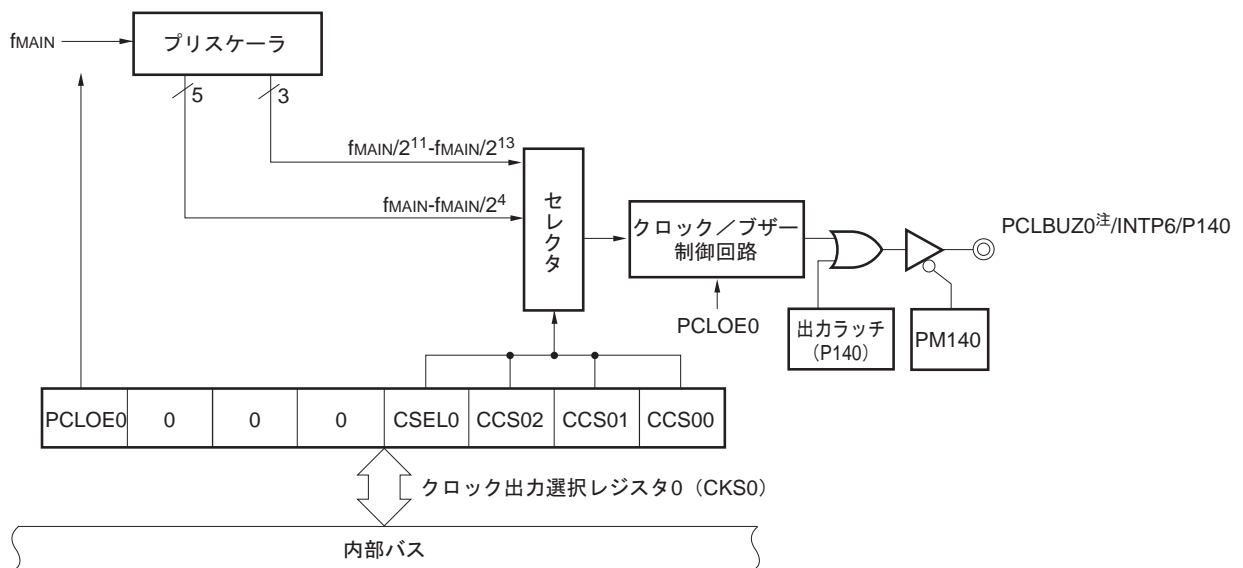
クロック出力は周辺 IC に供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0 端子は、クロック出力選択レジスタ 0 (CKS0) で選択したクロックを出力します。

図 3-7 にクロック出力／ブザー出力制御回路のブロック図を示します。

図 3-7 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0 から出力可能な周波数は、第 5 章 電気的特性を参照してください。

### 3.9.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表 3-11 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタn (CKS0) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

### 3.9.3 クロック出力／ブザー出力制御回路を制御するレジスタ

RL78/G1A (64ピン製品) と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 9.3 クロック出力／ブザー出力制御回路を制御するレジスタを参照してください。

## 3.9.3.1 クロック出力選択レジスタ 0 (CKS0)

アドレス : FFFA5H (CKS0) リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

CKS0	PCLOE0	0	0	0	CSEL0	CCS02	CCS01	CCS00
------	--------	---	---	---	-------	-------	-------	-------

PCLOE0	PCLBUZ0端子の出力許可／禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSEL	CCS02	CCS01	CCS00	PCLBUZ0端子の出力クロックの選択				
				f <sub>MAIN</sub> = 5 MHz	f <sub>MAIN</sub> = 10 MHz	f <sub>MAIN</sub> = 20 MHz	f <sub>MAIN</sub> = 32 MHz	
0	0	0	0	f <sub>MAIN</sub>	5 MHz	10 MHz <sup>注</sup>	設定禁止 <sup>注</sup>	設定禁止 <sup>注</sup>
0	0	0	1	f <sub>MAIN</sub> /2	2.5 MHz	5 MHz	10 MHz <sup>注</sup>	16 MHz <sup>注</sup>
0	0	1	0	f <sub>MAIN</sub> /2 <sup>2</sup>	1.25 MHz	2.5 MHz	5 MHz	8 MHz <sup>注</sup>
0	0	1	1	f <sub>MAIN</sub> /2 <sup>3</sup>	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f <sub>MAIN</sub> /2 <sup>4</sup>	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f <sub>MAIN</sub> /2 <sup>11</sup>	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	f <sub>MAIN</sub> /2 <sup>12</sup>	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	f <sub>MAIN</sub> /2 <sup>13</sup>	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
上記以外				設定禁止				

注 出力クロックは、16 MHz 以内の範囲で使用してください。また、 $2.7\text{ V} \leq V_{\text{DD}} < 4.0\text{ V}$  で使用する場合は、8 MHz 以内のみ使用可能です。詳しくは、5.2.3 AC 特性を参照してください。

注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。

2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前に PCLOEn = 0にしてください。

備考 f<sub>MAIN</sub> : メイン・システム・クロック周波数

### ★ 3.9.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx））を設定してください。

詳細は、3.4.3.1 ポート・モード・レジスタ（PMxx）、3.4.3.2 ポート・レジスタ（Pxx）を参照してください。

設定の詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の9.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ を参照してください。

### 3.9.4 クロック出力／ブザー出力制御回路の動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の9.4 クロック出力／ブザー出力制御回路の動作を参照してください。

### 3.9.5 クロック出力／ブザー出力制御回路の注意事項

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の9.5 クロック出力／ブザー出力制御回路の注意事項を参照してください。

### 3.10 ウォッチドッグ・タイマ

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 10 章 ウォッチドッグ・タイマを参照してください。

### 3.11 A/D コンバータ

A/D コンバータのアナログ入力チャネル数は、製品によって異なります。

			64ピン製品	80ピン製品
アナログ 入力 チャネル	合計		13 ch	17 ch
	高精度 チャネル	AV <sub>DD</sub> 入力 バッファ 電源系端子	4 ch (ANI0-ANI3)	5 ch (ANI0-ANI4)
	標準 チャネル	V <sub>DD</sub> 入力 バッファ 電源系端子	9 ch (ANI16-ANI18, ANI20-ANI23, ANI28, ANI30)	12 ch (ANI16-ANI18, ANI20-ANI26, ANI28, ANI30)

備考 この節では、A/D コンバータの機能、ブロック図、構成などに関し、80ピン製品の場合を例に説明しています。64ピン製品で該当しない項目（アナログ入力チャネルなど）に関しては、無視してください。

#### 3.11.1 A/D コンバータの機能

A/D コンバータは、アナログ入力をデジタル値に変換するコンバータで、最大17チャネルのA/Dコンバータ・アナログ入力（ANI0-ANI4, ANI16-ANI18, ANI20-ANI26, ANI28, ANI30）を選択できる構成になっています。変換分解能は、A/D コンバータ・モード・レジスタ2（ADM2）のADTYPビットにより12ビット分解能と8ビット分解能を選択できます。

A/D コンバータには、次のような機能があります。

- ★
  - 12ビット／8ビット分解能 A/D 変換  
ANI0-ANI4, ANI16-ANI18, ANI20-ANI26, ANI28, ANI30 からアナログ入力を1チャネル選択し、12ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。
- ★ 注意 有効な分解能は、AV<sub>DD</sub>, AV<sub>REFP</sub>の電圧条件により異なります。詳細は、5.2.5.1 A/Dコンバータ特性を参照してください。
- ★ 備考 10ビット分解能で使用する場合は、12ビット分解能モード（ADTYP = 0）に設定し、変換結果の上位10ビットを使用し、下位2ビットは使用しないでください。

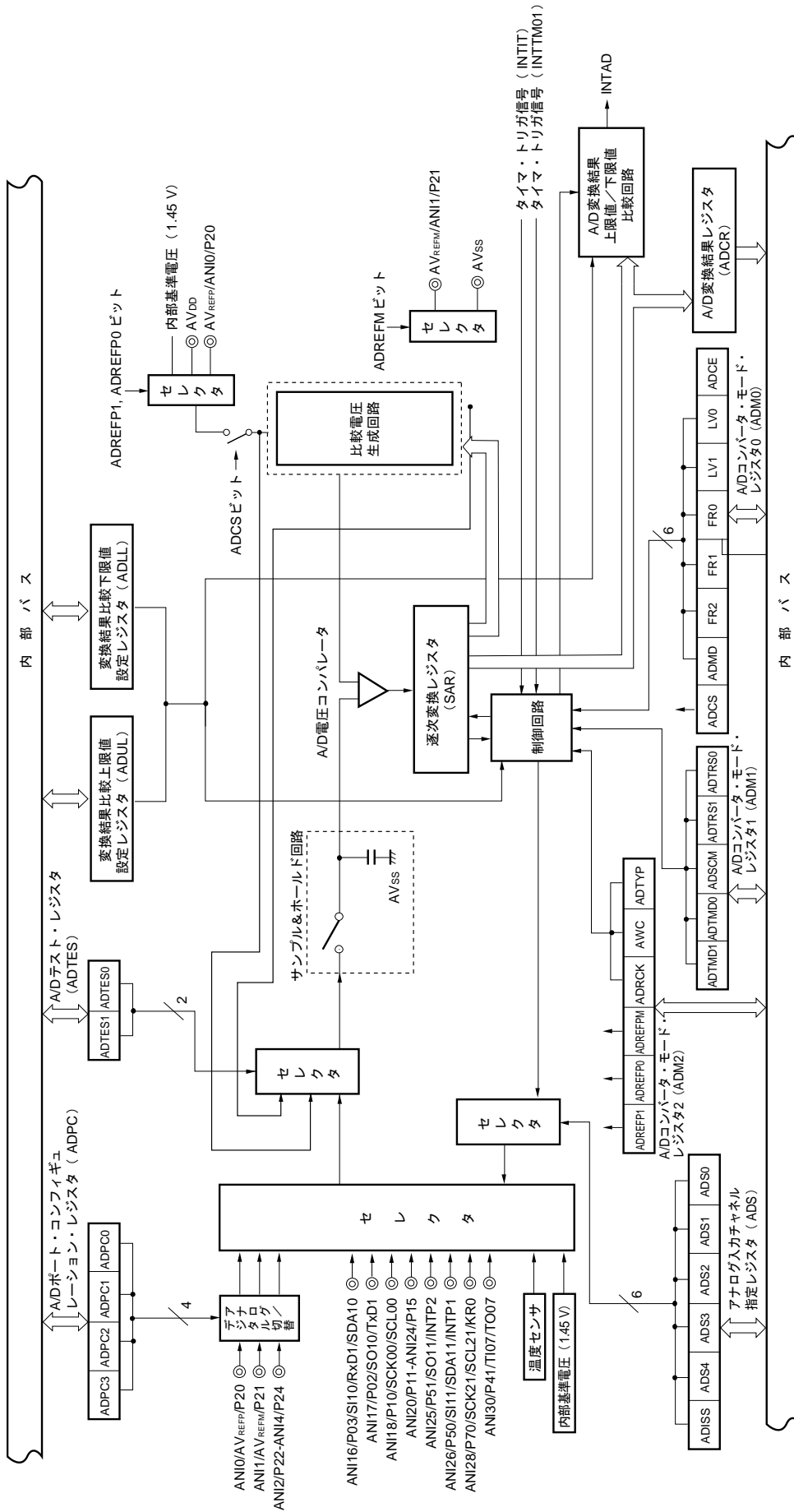
- ★ 下記のモードの組み合わせにより、さまざまな A/D 変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。

動作モード <sup>注</sup>	サンプリング・クロック数	
標準1	11 $f_{AD}$	アナログ入力源の出力インピーダンスに応じて、サンプリング・コンデンサに十分に充電されるサンプリング・クロック数に設定してください。
標準2	23 $f_{AD}$	
低電圧1	33 $f_{AD}$	
低電圧2	187 $f_{AD}$	

注 アナログ入力チャンネル、 $AV_{DD}$ 電圧、トリガ・モード、 $f_{CLK}$ により、選択可能な動作モードが異なります。詳細は、3.11.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0) を参照し、AD変換時間の選択について確認してください。

図 3-8 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、80ピン製品の場合です。





### 3.11.2 A/D コンバータの構成

A/D コンバータは、次のハードウェアで構成しています。

#### (1) ANI0-ANI4, ANI16-ANI18, ANI20-ANI26, ANI28, ANI30 端子

A/D コンバータの 17 チャンネルのアナログ入力端子です。A/D 変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

#### (2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を 1 つ 1 つ サンプリングし、A/D 電圧コンパレータに送ります。A/D 変換動作中は、サンプリングしたアナログ入力電圧を保持します。

#### (3) A/D 電圧コンパレータ

A/D 電圧コンパレータは、サンプリングされた電圧値と比較電圧生成回路の電圧タップの出力を比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ( $1/2 AV_{REF}$ ) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ( $1/2 AV_{REF}$ ) より小さい場合には、SAR レジスタの MSB ビットをリセットします。

次に SAR レジスタのビット 10 が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット 11 の値によって、比較電圧生成回路の電圧タップが選択されます。

ビット 11 = 0 : ( $1/4 AV_{REF}$ )

ビット 11 = 1 : ( $3/4 AV_{REF}$ )

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果で SAR レジスタのビット 10 を操作します。

アナログ入力電圧  $\geq$  比較電圧生成回路の電圧タップ : ビット 10 = 1

アナログ入力電圧  $\leq$  比較電圧生成回路の電圧タップ : ビット 10 = 0

このような比較を SAR レジスタのビット 0 まで続けます。

8 ビット分解能で A/D 変換する場合は、SAR レジスタのビット 4 まで続けます。

備考  $AV_{REF}$  : A/D コンバータの+側基準電圧

( $AV_{REFP}$ , 内部基準電圧 (1.45 V),  $AV_{DD}$  から選択可能)

#### (4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

#### (5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SAR レジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から 1 ビットずつ設定するレジスタです。

SAR レジスタの最下位ビット (LSB) まで設定すると (A/D 変換終了)、その SAR レジスタの内容 (変換結果) は、A/D 変換結果レジスタ (ADCR) に保持されます。また、指定されたすべての A/D 変換が終了すると、A/D 変換終了割り込み要求信号 (INTAD) が発生します。

#### (6) 12 ビット A/D 変換結果レジスタ (ADCR)

A/D 変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D 変換結果を下位 12 ビットに保持します (上位 4 ビットは 0 に固定)。

#### (7) 8 ビット A/D 変換結果レジスタ (ADCRH)

A/D 変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D 変換結果の上位 8 ビットを格納します。

#### (8) 制御回路

A/D 変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D 変換が終了した場合、INTAD を発生します。

#### (9) AVREFP 端子

外部から基準電圧 (AVREFP) を入力する端子です。

AVREFP を A/D コンバータの基準電圧の+側として使用する場合は、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADREFP1, ADREFP0 ビットに 1 を設定してください。

AVREFP と一側基準電圧 (AVREFM/AVSS) 間にかかる電圧に基づいて、ANI0-ANI12, ANI16-ANI30 に入力されるアナログ信号をデジタル信号に変換します。

A/D コンバータの+側基準電圧には、AVREFP のほかに AVDD と内部基準電圧 (1.45 V) を選択することが可能です。

#### (10) AVREFM 端子

外部から基準電圧 (AVREFM) を入力する端子です。AVREFM を A/D コンバータの一側の基準電圧として使用する場合は、ADM2 レジスタの ADREFM ビットを 1 にセットしてください。

A/D コンバータの一側基準電圧には、AVREFM のほかに AVSS を選択することが可能です。

### 3.11.3 A/D コンバータを制御するレジスタ

RL78/G1A（64ピン製品）と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 11.3 A/D コンバータを制御するレジスタを参照してください。

#### 3.11.3.1 周辺イネーブル・レジスタ 0（PER0）

アドレス：F00F0H    リセット時：00H    R/W

略号	7	6	5	4	3	2	1	1
PER0	RTCEN	0	ADCEN	0	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/D コンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ A/D コンバータで使用する SFR へのライト不可 ・ A/D コンバータはリセット状態
1	入カクロック供給 ・ A/D コンバータで使用する SFR へのリード/ライト可

★

注意 ビット 1, 4, 6 には必ず 0 を設定してください。

#### 3.11.3.2 A/D コンバータ・モード・レジスタ 0（ADM0）

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 11.3.2 A/D コンバータ・モード・レジスタ 0（ADM0）を参照してください。

## 3.11.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

アドレス : FFF32H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

★

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・チャンネル1のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)
0	1	設定禁止
1	0	設定禁止
1	1	インターバル・タイマ割り込み信号 (INTIT)

注意 1. ADM1 レジスタを書き換える場合は、必ず変換停止状態 (A/Dコンバータ・モード・レジスタ0 (ADM0) のADCS=0, ADCE = 0) のときに行ってください。

★

2. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 :  $f_{CLK}$  の2クロック + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 :  $f_{CLK}$  の2クロック + A/D電源安定待ち時間 + A/D変換時間

3. SNOOZE機能以外のモードにおいて、INTRTC, INTIT入力後最大  $f_{CLK}$  の4クロック間は、次のINTRTC, INTIT入力がトリガとして有効になりません。

備考 1. × : don't care

2.  $f_{CLK}$  : CPU/周辺ハードウェア・クロック周波数

#### 3.11.3.4 A/D コンバータ・モード・レジスタ 2 (ADM2)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.3.4 A/D コンバータ・モード・レジスタ 2 (ADM2) を参照してください。

#### 3.11.3.5 12 ビット A/D 変換結果レジスタ (ADCR)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.3.5 12 ビット A/D 変換結果レジスタ (ADCR) を参照してください。

#### 3.11.3.6 8 ビット A/D 変換結果レジスタ (ADCRH)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.3.6 8 ビット A/D 変換結果レジスタ (ADCRH) を参照してください。

## 3.11.3.7 アナログ入力チャンネル指定レジスタ (ADS)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

- セレクト・モード (64ピン製品, ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	選択チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV <sub>REFP</sub> 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV <sub>REFM</sub> 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	設定禁止	
0	0	0	1	0	1	設定禁止	
0	0	0	1	1	0	設定禁止	
0	0	0	1	1	1	設定禁止	
0	0	1	0	0	0	設定禁止	
0	0	1	0	0	1	設定禁止	
0	0	1	0	1	0	設定禁止	
0	0	1	0	1	1	設定禁止	
0	0	1	1	0	0	設定禁止	
0	0	1	1	0	1	設定禁止	
0	0	1	1	1	0	設定禁止	
0	0	1	1	1	1	設定禁止	
0	1	0	0	0	0	ANI16	P03/ANI16端子
0	1	0	0	0	1	ANI17	P02/ANI17端子
0	1	0	0	1	0	ANI18	P10/ANI18端子
0	1	0	0	1	1	設定禁止	
0	1	0	1	0	0	ANI20	P11/ANI20端子
0	1	0	1	0	1	ANI21	P12/ANI21端子
0	1	0	1	1	0	ANI22	P13/ANI22端子
0	1	0	1	1	1	ANI23	P14/ANI23端子
0	1	1	0	0	0	設定禁止	
0	1	1	0	0	1	設定禁止	
0	1	1	0	1	0	設定禁止	
0	1	1	0	1	1	設定禁止	
0	1	1	1	0	0	ANI28	P70/ANI28端子
0	1	1	1	0	1	設定禁止	
0	1	1	1	1	0	ANI30	P41/ANI30端子
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力 <sup>注</sup>
1	0	0	0	0	1	—	内部基準電圧出力(1.45V) <sup>注</sup>
上記以外						設定禁止	

注 HS (高速メイン) モードのみ選択可能です。

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

• スキャン・モード (64ピン製品, ADMD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	1	0	1	0	0	ANI20	ANI21	ANI22	ANI23
上記以外						設定禁止			

注意 1. ビット 5, 6 には必ず 0 を設定してください。

- A/D 変換で使用するチャネルは、ポート・モード・レジスタ 0 - 2, 4, 7 (PM0 - PM2, PM4, PM7) で入力モードに選択してください。
- A/D ポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。
- ポート・モード・コントロール・レジスタ 0, 4, 7 (PMC0, PMC4, PMC7) でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。
- ADISS ビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
- AV<sub>REFP</sub> を A/D コンバータの+側の基準電圧源として使用している場合、ANI0 を A/D 変換チャネルとして選択しないでください。
- AV<sub>REFM</sub> を A/D コンバータの-側の基準電圧源として使用している場合、ANI1 を A/D 変換チャネルとして選択しないでください。
- ADISS = 1 を設定した場合、+側の基準電圧源に内部基準電圧 (1.45 V) は使用できません。  
また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、3. 11. 7 A/D コンバータの設定フロー・チャートを参照してください。
- STOP モードで CPU 動作中から HALT モードへ移行する場合は、ADISS = 1 に設定しないでください。  
また、ADISS = 1 設定時に、メイン・システム・クロックで CPU 動作中から HALT モードへ移行する場合は、5. 2. 2. 2 電源電流特性に示す温度センサ動作電流 (ITMPS) の電流値が加算されます。
- 製品により、対応する ANI 端子が存在しない場合は、変換結果を無視してください。

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

• セレクト・モード (80ピン製品, ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	選択チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV <sub>REFP</sub> 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV <sub>REFM</sub> 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	設定禁止	
0	0	0	1	1	0	設定禁止	
0	0	0	1	1	1	設定禁止	
0	0	1	0	0	0	設定禁止	
0	0	1	0	0	1	設定禁止	
0	0	1	0	1	0	設定禁止	
0	0	1	0	1	1	設定禁止	
0	0	1	1	0	0	設定禁止	
0	0	1	1	0	1	設定禁止	
0	0	1	1	1	0	設定禁止	
0	0	1	1	1	1	設定禁止	
0	1	0	0	0	0	ANI16	P03/ANI16端子
0	1	0	0	0	1	ANI17	P02/ANI17端子
0	1	0	0	1	0	ANI18	P10/ANI18端子
0	1	0	0	1	1	設定禁止	
0	1	0	1	0	0	ANI20	P11/ANI20端子
0	1	0	1	0	1	ANI21	P12/ANI21端子
0	1	0	1	1	0	ANI22	P13/ANI22端子
0	1	0	1	1	1	ANI23	P14/ANI23端子
0	1	1	0	0	0	ANI24	P15/ANI24端子
0	1	1	0	0	1	ANI25	P51/ANI25端子
0	1	1	0	1	0	ANI26	P50/ANI26端子
0	1	1	0	1	1	設定禁止	
0	1	1	1	0	0	ANI28	P70/ANI28端子
0	1	1	1	0	1	設定禁止	
0	1	1	1	1	0	ANI30	P41/ANI30端子
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力 <sup>注</sup>
1	0	0	0	0	1	—	内部基準電圧出力(1.45V) <sup>注</sup>
上記以外						設定禁止	

注 HS (高速メイン) モードのみ選択可能です。



アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

• スキャン・モード（80ピン製品，ADMD = 1）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	1	0	1	0	0	ANI20	ANI21	ANI22	ANI23
0	1	0	1	0	1	ANI21	ANI22	ANI23	ANI24
0	1	0	1	1	0	ANI22	ANI23	ANI24	ANI25
0	1	0	1	1	1	ANI23	ANI24	ANI25	ANI26
上記以外						設定禁止			

注意 1. ビット 5, 6 には必ず 0 を設定してください。

- A/D 変換で使用するチャンネルは、ポート・モード・レジスタ 0-2, 4, 7 (PM0 - PM2, PM4, PM7) で入力モードに選択してください。
- A/D ポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。
- ポート・モード・コントロール・レジスタ 0, 4, 7 (PMC0, PMC4, PMC7) でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。
- ADISS ビットを書き換える場合は、必ず変換停止状態 (ADCS=0, ADCE = 0) のときに行ってください。
- AV<sub>REFP</sub> を A/D コンバータの+側の基準電圧源として使用している場合、ANI0 を A/D 変換チャンネルとして選択しないでください。
- AV<sub>REFM</sub> を A/D コンバータの-側の基準電圧源として使用している場合、ANI1 を A/D 変換チャンネルとして選択しないでください。
- ADISS = 1 を設定した場合、+側の基準電圧源に内部基準電圧 (1.45 V) は使用できません。  
また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、3.11.7 A/D コンバータの設定フロー・チャートを参照してください。
- STOP モードで CPU 動作中から HALT モードへ移行する場合は、ADISS = 1 に設定しないでください。  
また、ADISS = 1 設定時に、メイン・システム・クロックで CPU 動作中から HALT モードへ移行する場合は、5.2.2.2 電源電流特性に示す温度センサ動作電流 (I<sub>TMPs</sub>) の電流値が加算されます。
- 製品により、対応する ANI 端子が存在しない場合は、変換結果を無視してください。

### 3.11.3.8 変換結果比較上限値設定レジスタ (ADUL)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.3.8 変換結果比較上限値設定レジスタ (ADUL) を参照してください。

### 3.11.3.9 変換結果比較下限値設定レジスタ (ADLL)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.3.9 変換結果比較下限値設定レジスタ (ADLL) を参照してください。

### 3.11.3.10 A/D テスト・レジスタ (ADTES)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.3.10 A/D テスト・レジスタ (ADTES) を参照してください。

### ★ 3.11.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/D コンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・モード・コントロール・レジスタ (PMCxx), A/D ポート・コンフィギュレーション・レジスタ (ADPC)) を設定してください。

詳細は、以下を参照してください。

- 3.4.3.1 ポート・モード・レジスタ (PMxx)
- 3.4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)
- 3.4.3.7 A/D ポート・コンフィギュレーション・レジスタ (ADPC)

設定の詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.3.11 アナログ入力端子のポート機能を制御するレジスタ を参照してください。

### 3.11.4 A/D コンバータの変換動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.4 A/D コンバータの変換動作を参照してください。

### 3.11.5 入力電圧と変換結果

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.5 入力電圧と変換結果を参照してください。

### 3.11.6 A/D コンバータの動作モード

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.6 A/D コンバータの動作モードを参照してください。

### 3.11.7 A/D コンバータの設定フロー・チャート

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.7 A/D コンバータの設定フロー・チャートを参照してください。

### 3.11.8 SNOOZE モード機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.8 SNOOZE モード機能を参照してください。

### 3.11.9 A/D コンバータ特性表の読み方

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.9 A/D コンバータ特性表の読み方を参照してください。

### 3.11.10 A/D コンバータの注意事項

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 11.10 A/D コンバータの注意事項を参照してください。

### 3.12 シリアル・アレイ・ユニット

シリアル・アレイ・ユニット0は1つのユニットに4つのシリアル・チャンネルを持ち、シリアル・アレイ・ユニット1は1つのユニットに2つのシリアル・チャンネルを持ちます。各チャンネルは3線シリアル（CSI）、UART、簡易I<sup>2</sup>Cの通信機能を実現できます。

RL78/G1E（64ピン製品、80ピン製品）で対応している各チャンネルの機能割り当ては、次のようになっています。

- 64ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	—		—
1	0	—	UART2 (LIN-bus対応)	—
	1	CSI21 <sup>注</sup>		—

注 パッケージ内部で、アナログ部の端子に接続しています。

- 80ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21 <sup>注</sup>		—

注 パッケージ内部で、アナログ部の端子に接続しています。

ユニット0のチャンネル0,1で「UART0」を使用するときは、CSI00を使用することはできませんが、チャンネル2,3のCSI10やUART1やIIC10は使用することができます。

注意 この節では、以降の主な説明を80ピン製品のユニット、チャンネル構成で説明しています。

### 3.12.1 シリアル・アレイ・ユニットの機能

RL78/G1E（64ピン製品，80ピン製品）で対応している各シリアル・インタフェースの特徴を示します。

#### 3.12.1.1 3線シリアル I/O（CSI00, CSI10, CSI20, CSI21）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，3.12.5 3線シリアル I/O（CSI00, CSI10, CSI20, CSI21）通信の動作を参照してください。

##### [データ送受信]

- ・7, 8ビットのデータ長
- ・送受信データの位相制御
- ・MSB/LSB ファーストの選択
- ・送受信データのレベル設定

##### [クロック制御]

- ・マスタ／スレーブの選択
- ・入出カクロックの位相制御
- ・プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・最大転送レート
 

マスタ通信時（CSI00）	: Max. $f_{CLK}/2$ <sup>注</sup>
マスタ通信時（CSI00以外）	: Max. $f_{CLK}/4$ <sup>注</sup>
スレーブ通信時	: Max. $f_{MCK}/6$ <sup>注</sup>

##### [割り込み機能]

- ・転送完了割り込み／バッファ空き割り込み

##### [エラー検出フラグ]

- ・オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している，CSI00のみ設定可能です。

注 ただし，SCKサイクル・タイム（ $t_{KCY}$ ）の特性を満たす範囲内で使用してください（第5章 電気的特性を参照）。

### 3.12.1.2 UART (UART0-UART2)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して) データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重 UART 通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み (INTP0) を組み合わせて LIN-bus にも対応可能です。

具体的な設定例は、3.12.6 UART (UART0 - UART2) 通信の動作を参照してください。

#### [データ送受信]

- ・7, 8, 9 ビットのデータ長<sup>注</sup>
- ・MSB/LSB ファーストの選択
- ・送受信データのレベル設定, 反転の選択
- ・パリティ・ビット付加, パリティ・チェック機能
- ・ストップ・ビット付加

#### [割り込み機能]

- ・転送完了割り込み/バッファ空き割り込み
- ・フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

#### [エラー検出フラグ]

- ・フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、以下のチャンネルの UART 受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0 のみ設定可能です。

UART2 (ユニット1のチャンネル0, 1) は、LIN-bus に対応しています。

#### [LIN-bus 機能]

- |   |   |   |
|---|---|---|
| <ul style="list-style-type: none"> <li>・ウエイク・アップ信号検出</li> <li>・シンク・ブレーク・フィールド (SBF) 検出</li> <li>・シンク・フィールド測定, ポー・レート算出</li> </ul> | } | <p>外部割り込み (INTP0) ,<br/>タイマ・アレイ・ユニットを使用</p> |
|---|---|---|

注 9ビット・データ長は、UART0のみ対応しています。

### 3.12.1.3 簡易 I<sup>2</sup>C (IIC00, IIC10, IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I<sup>2</sup>C では、EEPROM, フラッシュ・メモリ, A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション, ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、3.12.8 簡易 I<sup>2</sup>C (IIC00, IIC10, IIC20) 通信の動作を参照してください。

#### [データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK 出力機能<sup>注</sup>, ACK 検出機能
- ・8 ビットのデータ長  
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットで R/W 制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

#### [割り込み機能]

- ・転送完了割り込み

#### [エラー検出フラグ]

- ・パリティ・エラー (ACK エラー), オーバラン・エラー

#### ※ [簡易 I<sup>2</sup>C でサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウェイト検出機能

注 最終データの受信時は、SOEmn ビット (シリアル出力許可レジスタ m (SOEm)) ビットに 0 を書き込み、シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は、3.12.8 簡易 I<sup>2</sup>C (IIC00, IIC10, IIC20) 通信の動作を参照してください。

## 3.12.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 3-12 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビットまたは9ビット <sup>注1</sup>
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビットまたは9ビット <sup>注1,2</sup>
★ シリアル・クロック入出力	SCK00, SCK10, SCK20, SCK21端子 (3線シリアルI/O用), SCL00, SCL10, SCL20, SCL21端子 (簡易I <sup>2</sup> C用)
シリアル・データ入力	SI00, SI10, SI20, SI21端子 (3線シリアルI/O用), RxD0, RxD1端子 (UART用), RxD2端子 (LIN-bus対応UART用)
シリアル・データ出力	SO00, SO10, SO20, SO21端子 (3線シリアルI/O用), TxD0, TxD1端子 (UART 用), TxD2端子 (LIN-bus対応UART用), 出力制御回路
シリアル・データ入出力	SDA00, SDA10, SDA20端子 (簡易I <sup>2</sup> C用)
制御レジスタ	<p>&lt;ユニット設定部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・周辺イネーブル・レジスタ0 (PER0)</li> <li>・シリアル・クロック選択レジスタm (SPSm)</li> <li>・シリアル・チャンネル許可レジスタm (SEm)</li> <li>・シリアル・チャンネル開始レジスタm (SSm)</li> <li>・シリアル・チャンネル停止レジスタm (STm)</li> <li>・シリアル出力許可レジスタm (SOEm)</li> <li>・シリアル出力レジスタm (SOM)</li> <li>・シリアル出力レベル・レジスタm (SOLm)</li> <li>・シリアル・スタンバイ・コントロール・レジスタm (SSCm)</li> <li>・入力切り替え制御レジスタ (ISC)</li> <li>・ノイズ・フィルタ許可レジスタ0 (NFEN0)</li> </ul> <p>&lt;各チャンネル部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・シリアル・データ・レジスタmn (SDRmn)</li> <li>・シリアル・モード・レジスタmn (SMRmn)</li> <li>・シリアル通信動作設定レジスタmn (SCRmn)</li> <li>・シリアル・ステータス・レジスタmn (SSRmn)</li> <li>・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)</li> </ul> <ul style="list-style-type: none"> <li>・ポート入力モード・レジスタ0, 1 (PIM0, PIM1)</li> <li>・ポート出力モード・レジスタ0, 1 (POM0, POM1)</li> <li>・ポート・モード・レジスタ0, 1, 7 (PM0, PM1, PM7)</li> <li>・ポート・レジスタ0, 1, 7 (P0, P1, P7)</li> </ul>

(注、備考は次ページにあります。)



- 注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- ・ mn = 00, 01 の場合 : 下位 9 ビット
  - ・ 上記以外の場合 : 下位 8 ビット
2. シリアル・データ・レジスタ mn (SDRmn) の下位 8 ビットは、通信方式により、次の SFR 名称でリード／ライト可能です。
- ・ CSIp 通信時 . . . SIOp (CSIp データ・レジスタ)
  - ・ UARTq 受信時 . . . RXDq (UARTq 受信データ・レジスタ)
  - ・ UARTq 送信時 . . . TXDq (UARTq 送信データ・レジスタ)
  - ・ IICr 通信時 . . . SIOr (IICr データ・レジスタ)

備考 m : ユニット番号 (m = 0, 1)

n : チャンネル番号 (n = 0-3)

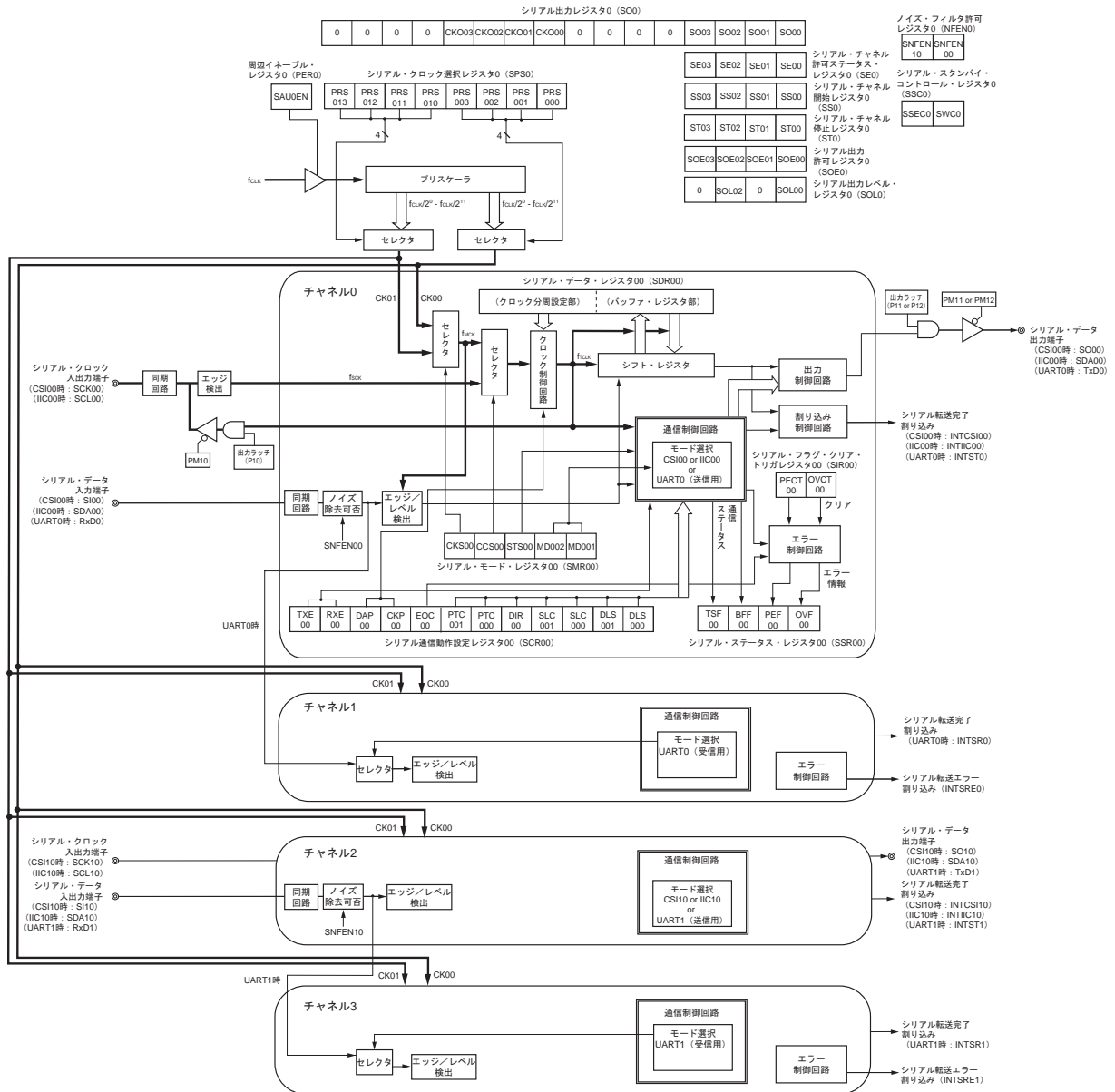
p : CSI 番号 (80 ピン製品の場合 p = 00, 10, 20, 21 64 ピン製品の場合 p=00, 21)

q : UART 番号 (q = 0-2)

r : IIC 番号 (80 ピン製品の場合 r = 00, 10, 20 64 ピン製品の場合 r = 00)

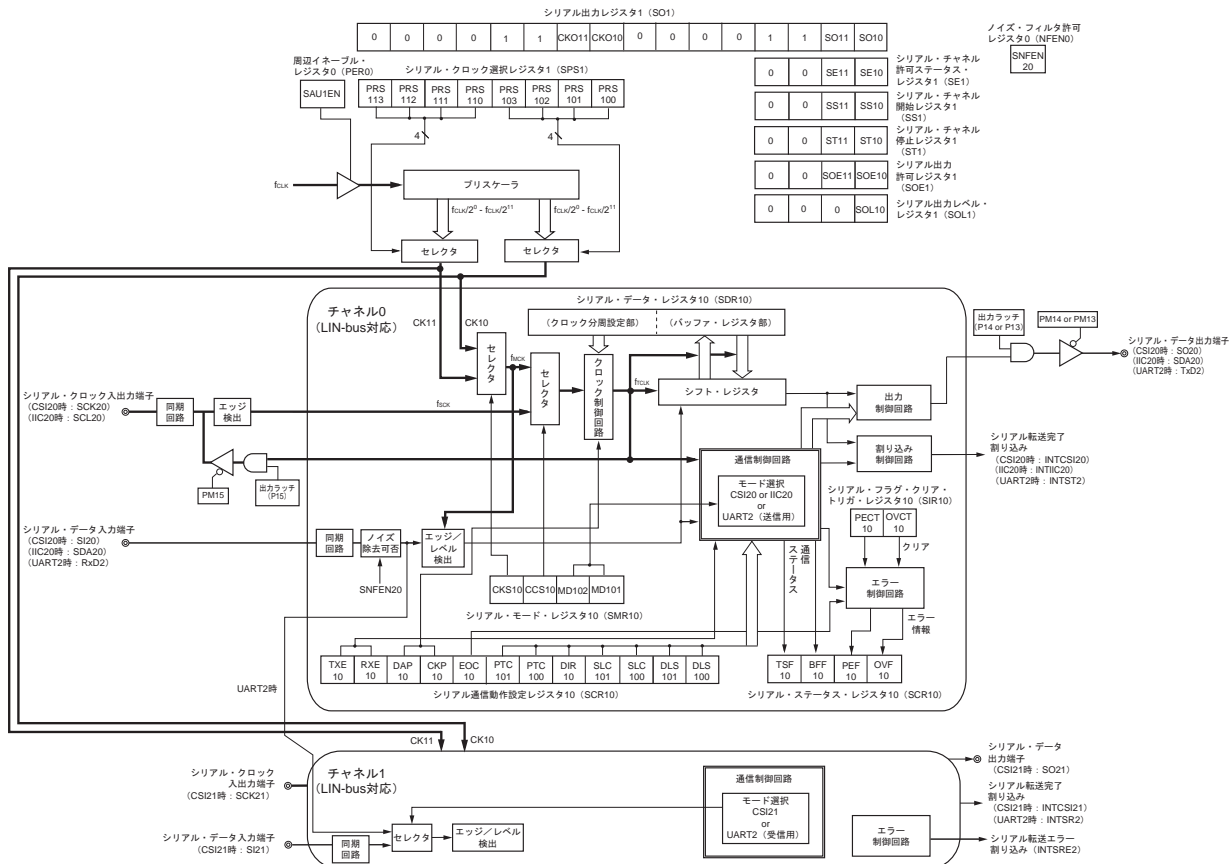
★ 図 3-9 にシリアル・アレイ・ユニット 0 のブロック図を示します。

図 3-9 シリアル・アレイ・ユニット 0 のブロック図



★ 図 3-10 にシリアル・アレイ・ユニット 1 のブロック図を示します。

図 3-10 シリアル・アレイ・ユニット 1 のブロック図



### ★ 3.12.2.1 シフト・レジスタ

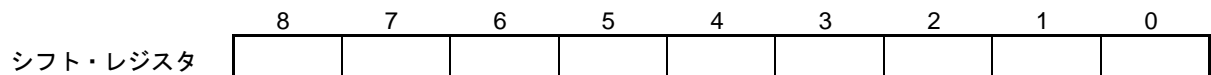
パラレル⇄シリアルの変換を行う 9 ビットのレジスタです。

9 ビット・データ長での UART 通信時は、9 ビット（ビット 0～8）を使用します<sup>注1</sup>。

シフト・レジスタをプログラムで直接操作することはできません。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換し、SDRmn レジスタの下位 8/9 ビットに格納します。送信時は、SDRmn レジスタの下位 8/9 ビットから転送された値をシリアル・データとしてシリアル出力端子から出力します。

詳細は、3.12.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビットを参照してください。



### ★ 3.12.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビット

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ（16 ビット）です。

SDR00, SDR01 のビット 8-0（下位 9 ビット）、または SDR02, SDR03, SDR10<sup>注1</sup>, SDR11<sup>注1</sup> のビット 7-0（下位 8 ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9（上位 7 ビット）の部分は動作クロック（fMCK）の分周設定レジスタとして使われます。

備考 SDRmn レジスタの上位 7 ビットの機能については、RL78/G1A と同じビット設定です。

RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 12.3.5 シリアル・データ・レジスタ mn (SDRmn) の上位 7 ビットを参照してください。

受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

下位 8/9 ビットに格納するデータは、データ出力順序にかかわらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット 0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- 7 ビット・データ長（SDRmn レジスタのビット 0-6 に格納）
- 8 ビット・データ長（SDRmn レジスタのビット 0-7 に格納）
- 9 ビット・データ長（SDRmn レジスタのビット 0-8 に格納）<sup>注1</sup>

また SDRmn レジスタの下位 8/9 ビットは、通信方式により、次の SFR 名称にて 8 ビット単位でリード/ライト可能<sup>注2</sup>です。

- CSIp 通信時・・・SIOp (CSIp データ・レジスタ)
- UARTq 受信時・・・RXDq (UARTq 受信データ・レジスタ)
- UARTq 送信時・・・TXDq (UARTq 送信データ・レジスタ)
- IICr 通信時・・・SIOr (IICr データ・レジスタ)

SDRmn レジスタは 16 ビット単位でリード/ライト可能です。

リセット信号の発生により、SDRmn レジスタは 0000H になります。

注 1. 9 ビット・データ長は、UART0 のみ対応しています。

2. ただし動作停止 (SEmn = 0) ときは、8 ビット単位のライト禁止

備考 1. 受信完了後、ビット 0-8 内でデータ長を越える部分のビットには、“0” が格納されます。

2. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3)

p: CSI 番号 (80 ピン製品の場合 p = 00, 10, 20, 21 64 ピン製品の場合 p = 00, 21)

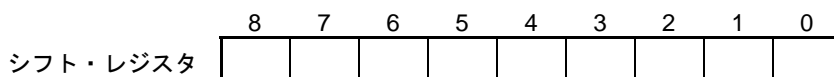
q: UART 番号 (q = 0-2) r: IIC 番号 (80 ピン製品の場合 r = 00, 10, 20 64 ピン製品の場合 r = 00)

## ★ 図 3-11 シリアル・データ・レジスタ mn (SDRmn) (mn = 00, 01, 02, 03, 10, 11) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01)      リセット時 : 0000H      R/W  
 FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) ,  
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11)



・ UART0で9ビット・データ長通信を行う場合 (mn = 00, 01)



注意 9ビット・データ長通信を行う場合, SDRmn レジスタのビット8は, 必ず0を設定してください。

### 3.12.3 シリアル・アレイ・ユニットを制御するレジスタ

RL78/G1A (64ピン製品) と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

#### 3.12.3.1 周辺イネーブル・レジスタ 0 (PER0)

アドレス : F00F0H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	1
PER0	RTCEN	0	ADCEN	0	SAU1EN	SAU0EN	0	TAU0EN

SAU1EN	シリアル・アレイ・ユニット 1 の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット 1 で使用する SFR へのライト不可 ・シリアル・アレイ・ユニット 1 はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット 1 で使用する SFR へのリード/ライト可

★

SAU0EN	シリアル・アレイ・ユニット 0 の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット 0 で使用する SFR へのライト不可 ・シリアル・アレイ・ユニット 0 はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット 0 で使用する SFR へのリード/ライト可

★

注意 ビット 1, 4, 6 には必ず 0 を設定してください。

#### 3.12.3.2 シリアル・クロック選択レジスタ m (SPSm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.2 シリアル・クロック選択レジスタ m (SPSm) を参照してください。

## 3.12.3.3 シリアル・モード・レジスタ mn (SMRmn)

- シリアル・モード・レジスタ mn (SMRmn) の設定 (1/2)
- ★ アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) リセット時 : 0020H R/W
- F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn <sup>注</sup>	0	SIS mn0 <sup>注</sup>	1	0	0	MD mn2	MD mn1	MD mn0

CKSmn	チャンネルnの動作クロック (f <sub>MCK</sub> ) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1

動作クロック (f<sub>MCK</sub>) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (f<sub>TCLK</sub>) を生成します。

CCSmn	チャンネルnの転送クロック (f <sub>TCLK</sub> ) の選択
0	CKSmnビットで指定した動作クロックf <sub>MCK</sub> の分周クロック
1	SCKp端子からの入力クロックf <sub>SCK</sub> (CSIモードのスレーブ転送)

転送クロックf<sub>TCLK</sub>は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (f<sub>MCK</sub>) の分周設定を行います。

STSmn <sup>注</sup>	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I <sup>2</sup> C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)

SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。

注 SMR01, SMR03, SMR11 レジスタのみ。

注意 ビット 13-9, 7, 4, 3 (SMR00, SMR02, SMR10 レジスタの場合は、ビット 13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1)  
 n : チャネル番号 (n = 0-3)  
 p : CSI 番号 (80ピン製品の場合 p = 00, 10, 20, 21 64ピン製品の場合 p = 00, 21)  
 q : UART 番号 (q = 0-2)  
 r : IIC 番号 (80ピン製品の場合 r = 00, 10, 20 64ピン製品の場合 r = 00)

- シリアル・モード・レジスタ mn (SMRmn) の設定 (2/2)
- ★ • アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03)      リセット時 : 0020H      R/W
- F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn <sup>注</sup>	0	SIS mn0 <sup>注</sup>	1	0	0	MD mn2	MD mn1	MD mn0

SISmn0 <sup>注</sup>	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がリエッジをスタート・ビットとして検出します。入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。入力される通信データは、反転して取り込まれます。

MDmn2	MDmn1	チャンネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I <sup>2</sup> Cモード
1	1	設定禁止

MDmn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み（転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11 レジスタのみ。

注意 ビット 13-9, 7, 4, 3 (SMR00, SMR02, SMR10 レジスタの場合は、ビット 13-6, 4, 3) には、必ず 0 を設定してください。ビット 5 には、必ず 1 を設定してください。

備考 m : ユニット番号 (m = 0, 1)  
 n : チャンネル番号 (n = 0-3)  
 p : CSI 番号 (80 ピン製品の場合 p = 00, 10, 20, 21 64 ピン製品の場合 p = 00, 21)  
 q : UART 番号 (q = 0-2)  
 r : IIC 番号 (80 ピン製品の場合 r = 00, 10, 20 64 ピン製品の場合 r = 00)



### 3.12.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

- シリアル通信動作設定レジスタ mn (SCRmn) の設定 (1/2)

- ★ アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03)      リセット時 : 0087H      R/W
- F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR	TXE	RXE	DAP	CKP	0	EOC	PTC	PTC	DIR	0	SLC	SLC	0	1	DLS	DLS
mn	mn	mn	mn	mn	mn	mn1	mn0	mn	mn	mn1 <sup>注1</sup>	mn0	mn	mn	mn1 <sup>注2</sup>	mn0	mn0

TXEmn	RXEmn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	CSIモードでのデータとクロックの位相選択	タイプ
0	0	SCKp	1
0	1	SCKp	2
1	0	SCKp	3
1	1	SCKp	4

UARTモード、簡易I<sup>2</sup>Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOCmn	エラー割り込み信号 (INTSREx (x = 0-2) ) のマスク可否の選択
0	エラー割り込みINTSRExをマスクする (INTSRxはマスクされない)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxはマスクされる)

CSIモード、簡易I<sup>2</sup>Cモード、UART送信時には、EOCmn = 0に設定してください<sup>注3</sup>。  
 UART受信時には、EOCmn = 1に設定してください。

(注、注意、備考は次ページにあります。)

- ★ 注 1. SCR00, SCR02, SCR10 レジスタのみ。その他は、0 固定になります。
2. SCR00, SCR01 レジスタのみ。その他は、1 固定になります。
3. CSI<sub>m</sub>n を EOC<sub>m</sub>n = 0 で使用しない場合、エラー割り込み INTSREn が発生する場合があります。

注意 ビット 3, 6, 11 には、必ず 0 を設定してください。ビット 2 には、必ず 1 を設定してください。

備考 m : ユニット番号 (m = 0, 1)

n : チャネル番号 (n = 0-3)

p : CSI 番号 (80 ピン製品の場合 p = 00, 10, 20, 21 64 ピン製品の場合 p=00, 21)

• シリアル通信動作設定レジスタ mn (SCRmn) の設定 (2/2)

★ アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03)      リセット時 : 0087H      R/W  
 F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1 <sup>注1</sup>	SLC mn0	0	1	DLS mn1 <sup>注2</sup>	DLS mn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 <sup>注3</sup>	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード、簡易I<sup>2</sup>Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIRmn	CSI, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

簡易I<sup>2</sup>Cモード時には、必ずDIRmn = 0に設定してください。

SLCmn1 <sup>注1</sup>	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は、全てのストップ・ビットが完了してから割り込みを発生します。UART受信時、簡易I<sup>2</sup>Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。CSIモード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。

DLSmn1 <sup>注2</sup>	DLSmn0	CSI, UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)
その他		設定禁止

簡易I<sup>2</sup>Cモード時には、必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

(注, 注意, 備考は次ページにあります。)

- 注 1. SCR00, SCR02, SCR10 レジスタのみ。その他は、0 固定になります。
2. SCR00, SCR01 レジスタのみ。その他は、1 固定になります。
3. データの内容にかかわらず必ず 0 が付加されます。

注意 ビット 3, 6, 11 には、必ず 0 を設定してください。ビット 2 には、必ず 1 を設定してください。

備考 m : ユニット番号 (m = 0, 1)

n : チャネル番号 (n = 0-3)

p : CSI 番号 (80 ピン製品の場合 p = 00, 10, 20, 21 64 ピン製品の場合 p=00, 21)

### 3.12.3.5 シリアル・データ・レジスタ mn (SDRmn) の上位7ビット

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.5 シリアル・データ・レジスタ mn (SDRmn) の上位7ビットを参照してください。

### 3.12.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) を参照してください。

### 3.12.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.7 シリアル・ステータス・レジスタ mn (SSRmn) を参照してください。

### 3.12.3.8 シリアル・チャンネル開始レジスタ m (SSm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.8 シリアル・チャンネル開始レジスタ m (SSm) を参照してください。

### 3.12.3.9 シリアル・チャンネル停止レジスタ m (STm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.9 シリアル・チャンネル停止レジスタ m (STm) を参照してください。

### 3.12.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm) を参照してください。

### 3.12.3.11 シリアル出力許可レジスタ m (SOEm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.11 シリアル出力許可レジスタ m (SOEm) を参照してください。

### 3.12.3.12 シリアル出力レジスタ m (SOM)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.12 シリアル出力レジスタ m (SOM) を参照してください。

### 3.12.3.13 シリアル出力レベル・レジスタ m (SOLm)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.13 シリアル出力レベル・レジスタ m (SOLm) を参照してください。

### 3.12.3.14 シリアル・スタンバイ・コントロール・レジスタ 0 (SSC0)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.14 シリアル・スタンバイ・コントロール・レジスタ 0 (SSC0) を参照してください。

### 3.12.3.15 入力切り替え制御レジスタ (ISC)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.15 入力切り替え制御レジスタ (ISC) を参照してください。

### 3.12.3.16 ノイズ・フィルタ許可レジスタ 0 (NFEN0)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.3.16 ノイズ・フィルタ許可レジスタ 0 (NFEN0) を参照してください。

### ★ 3.12.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロール・レジスタ（PMCxx）を設定してください。

詳細は、3.4.3.1 ポート・モード・レジスタ（PMxx）、3.4.3.2 ポート・レジスタ（Pxx）、3.4.3.4 ポート入力モード・レジスタ（PIMxx）、3.4.3.5 ポート出力モード・レジスタ（POMxx）、3.4.3.6 ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

設定の詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の12.3.17 シリアル入出力端子のポート機能を制御するレジスタ を参照してください。

### 3.12.4 動作停止モード

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.4 動作停止モードを参照してください。

### 3.12.5 3線シリアル I/O (CSI00, CSI10, CSI20, CSI21) 通信の動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.5 3線シリアル I/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) 通信の動作を参照してください。

### 3.12.6 UART (UART0-UART2) 通信の動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.6 UART (UART0-UART2) 通信の動作を参照してください。

### 3.12.7 LIN 通信の動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.7 LIN 通信の動作を参照してください。

### 3.12.8 簡易 I<sup>2</sup>C (IIC00, IIC10, IIC20) 通信の動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 12.8 簡易 I<sup>2</sup>C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信の動作を参照してください。



### 3.13 シリアル・インタフェース IICA

RL78/G1E（60ピン製品、80ピン製品）では、シリアル・インタフェース IICA は使用できません。

### 3.14 乗除積和算器

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 14 章 乗除積和算器を参照してください。

### 3.15 DMA コントローラ

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 15 章 DMA コントローラを参照してください。

### 3.16 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		64ピン製品	80ピン製品
マスカブル 割り込み	外部	2	5
	内部	25	

#### 3.16.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

##### (1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表 3-13 を参照してください。

スタンバイ・リリース信号を発生し、STOP モード、HALT モード、SNOOZE モードを解除します。マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

##### (2) ソフトウェア割り込み

BRK 命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

#### 3.16.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（表 3-13 参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

表 3-13 割り込み要因一覧 (1/3)

割り込みの処理	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部／外部	ペクタ・ フォーグル・ アドレス	基本構成タイプ <sup>注2</sup>	RL78/G1E	
		名称	トリガ				64ピン	80ピン
マスクابل	0	INTWDTI	ウォッチドッグ・タイマのインターバル <sup>注3</sup> (オーバフロー時間の75%+1/2f <sub>clk</sub> )	内部	0004H	(A)	○	○
	1	INTLVI	電圧検出 <sup>注4</sup>		0006H		○	○
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)	○	○
	3	INTP1			-		○	
	4	INTP2			-		○	
	5	INTP3			-		-	
	6	INTP4			-		-	
	7	INTP5			-		-	
	8	INTST2 /INTCSI20 /INTIIC20	UART2送信の転送完了, バッファ空き割り込み /CSI20の転送完了, バッファ空き割り込み /IIC20の転送完了	内部	0014H	(A)	○ <sup>注5</sup>	○
	9	INTSR2 /INTCSI21 /INTIIC21	UART2受信の転送完了, バッファ空き割り込み /CSI21の転送完了, バッファ空き割り込み /IIC21の転送完了		0016H		○ <sup>注6</sup>	○ <sup>注6</sup>
	10	INTSRE2	UART2受信の通信エラー発生		0018H		○	○
	11	INTDMA0	DMA0の転送完了		001AH		○	○
	12	INTDMA1	DMA1の転送完了		001CH		○	○
	13	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了, バッファ空き割り込み /CSI00の転送完了, バッファ空き割り込み /IIC00の転送完了		001EH		○	○
	14	INTSR0 /INTCSI01 /INTIIC01	UART0受信の転送完了, バッファ空き割り込み /CSI01の転送完了, バッファ空き割り込み /IIC01の転送完了		0020H		○ <sup>注7</sup>	○ <sup>注7</sup>
15	INTSRE0	UART0受信の通信エラー発生		0022H		○	○	
	INTTM01H	タイマ・チャンネル1のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)			○	○		

★

注 1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。0が最高順位、53が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図 3-13 の (A) - (D) に対応しています。

3. オプション・バイト (000C0H) のビット 7 (WDTINT) = 1 選択時。

4. 電圧検出レベル・レジスタ (LVIS) のビット 7 (LVIMD) = 0 選択時。

5. INTST2 のみ。

6. INTSR2 と INTCSI21 のみ。

7. INTSR0 のみ。

表 3-13 割り込み要因一覧 (2/3)

割り込みの処理	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部／外部	ペナルティ・アドレス	基本構成タイプ <sup>注2</sup>	RL78/G1E								
		名称	トリガ				64ピン	80ピン							
★ ★ ★ ★	16	INTST1	UART1送信の転送完了, バッファ空き割り込み	内部	0024H	(A)	○ <sup>注3</sup>	○							
		/INTCSI10	CSI10の転送完了, バッファ空き割り込み												
		/INTIIC10	IIC10の転送完了												
		17	INTSR1						UART1受信の転送完了	0026H	○ <sup>注4</sup>	○ <sup>注4</sup>			
		/INTCSI11	CSI11の転送完了, バッファ空き割り込み												
		/INTIIC11	IIC11の転送完了												
		18	INTSRE1						UART1受信の通信エラー発生				0028H	○	○
			INTTM03H						タイマ・チャンネル3のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)						
		19	INTIICA0						IICA0通信完了				002AH	-	-
		20	INTTM00						タイマ・チャンネル0のカウント完了またはキャプチャ完了				002CH	○	○
		21	INTTM01						タイマ・チャンネル1のカウント完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)				002EH	○	○
		22	INTTM02						タイマ・チャンネル2のカウント完了またはキャプチャ完了				0030H	○	○
		23	INTTM03						タイマ・チャンネル3のカウント完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)				0032H	○	○
		24	INTAD						A/D変換終了				0034H	○	○
25	INTRTC	リアルタイム・クロックの定周期信号/アラーム一致検出	0036H	-	-										
26	INTIT	12ビット・インターバル・タイマのインターバル信号検出	0038H	○	○										
27	INTKR	キー・リターン信号検出	外部	003AH	(C)	○	○								
28	INTTM04	タイマ・チャンネル4のカウント完了またはキャプチャ完了	内部	0042H	(A)	○	○								

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、39が最低順位です。

- 2. 基本構成タイプの (A) - (D) は、それぞれ図 3-13 の (A) - (D) に対応しています。
- 3. INTST1 のみ。
- 4. INTSR1 のみ。

表 3-13 割り込み要因一覧 (3/3)

割り込みの処理	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部／外部	ベクタ・アドレス	基本構成タイプ <sup>注2</sup>	RL78/G1E	
		名称	トリガ				64ピン	80ピン
マスクアブル	29	INTTM05	タイマ・チャンネル5のカウント完了またはキャプチャ完了	内部	0044H	(A)	○	○
	30	INTTM06	タイマ・チャンネル6のカウント完了またはキャプチャ完了		0046H		○	○
	31	INTTM07	タイマ・チャンネル7のカウント完了またはキャプチャ完了		0048H		○	○
	32	INTP6	端子入力エッジ検出	外部	004AH	(B)	—	○
	33	INTP7			004CH		—	—
	34	INTP8			004EH		—	—
	35	INTP9			0050H		—	—
	36	INTP10			0052H		—	—
	37	INTP11			0054H		—	—
	★	38	INTMD	除算演算終了／積和演算結果オーバフロー発生	内部	005EH	(A)	○
39		INTFL	予約 <sup>注3</sup>	0062H		○		○
ソフトウェア	—	BRK	BRK命令の実行	—	007EH	(D)	○	○
リセット	—	RESET	RESET端子入力	—	0000H	—	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出 <sup>注4</sup>				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行 <sup>注5</sup>				○	○
		IAW	不正メモリ・アクセス				○	○
		RAMTOP	RAMパリティ・エラー				○	○

注 1. デフォルト・プライオリティは、複数のマスクアブル割り込みが発生している場合に、優先する順位です。0が最高順位、39が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図 3-13 の (A) - (D) に対応しています。

★ 3. フラッシュ・セルフ・プログラミング・ライブラリ，データ・フラッシュ・ライブラリで使します。

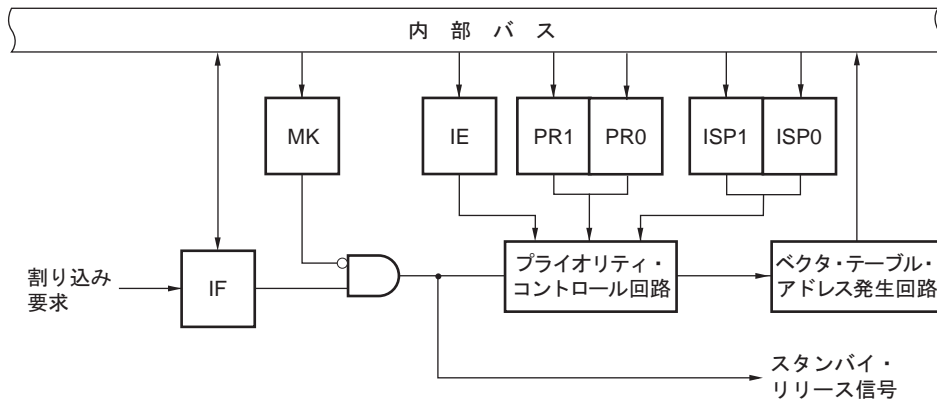
4. 電圧検出レベル・レジスタ (LVIS) のビット 7 (LVIMD) = 1 選択時。

5. FFH の命令コードを実行したときに発生します。

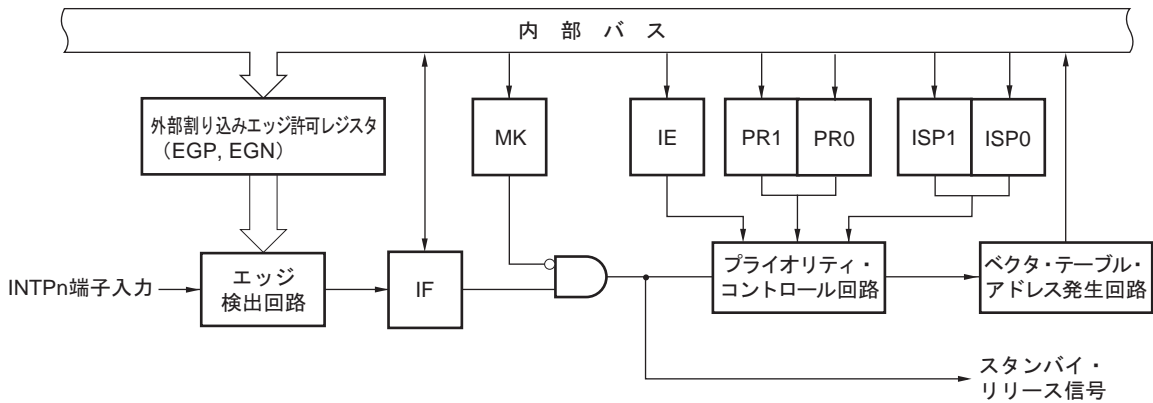
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図 3-13 割り込み機能の基本構成 (1/2)

(a) 内部マスカブル割り込み



(b) 外部マスカブル割り込み (INTPn)



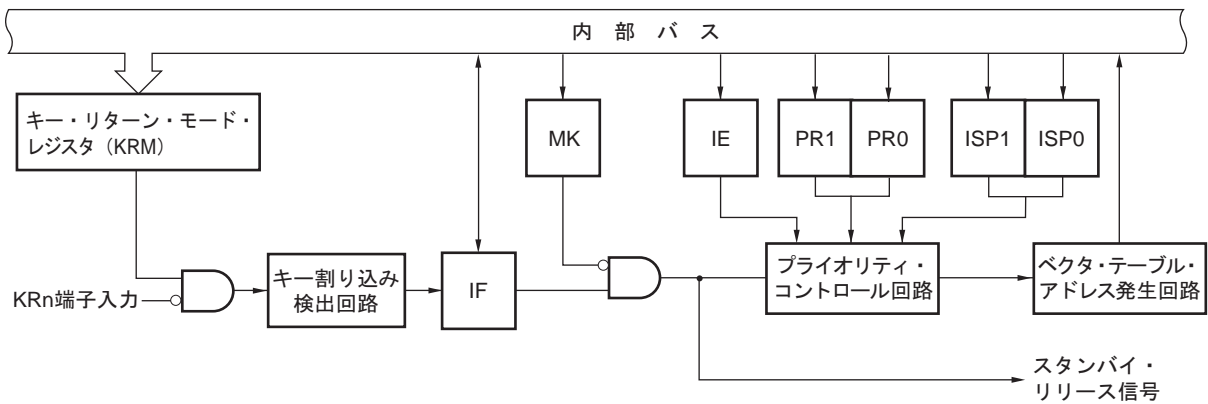
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースervice・プライオリティ・フラグ 0
- ISP1 : インサースervice・プライオリティ・フラグ 1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ 0
- PR1 : 優先順位指定フラグ 1

備考 64ピン製品 : n = 0  
 80ピン製品 : n = 0-3, 6

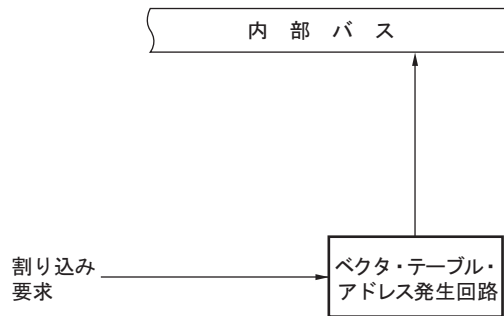


図 3-13 割り込み機能の基本構成 (2/2)

(c) 外部マスカブル割り込み (INTKR)



(d) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ 0
- ISP1 : インサースビス・プライオリティ・フラグ 1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ 0
- PR1 : 優先順位指定フラグ 1

備考 64ピン製品 : n = 0-6  
 80ピン製品 : n = 0-7

### 3.16.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表3-14に示します。

表 3-14 割り込み要求ソースに対応する各種フラグ (1/4)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		RL78/G1E	
		レジスタ		レジスタ		レジスタ	8ビット	8ビット
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1		○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		–	○
INTP2	PIF2		PMK2		PPR02, PPR12		–	○
INTP3	PIF3		PMK3		PPR03, PPR13		–	–
INTP4	PIF4		PMK4		PPR04, PPR14		–	–
INTP5	PIF5		PMK5		PPR05, PPR15		–	–
INTST2 <sup>注1</sup>	STIF2 <sup>注1</sup>	IF0H	STMK2 <sup>注1</sup>	MK0H	STPR02, STPR12 <sup>注1</sup>	PR00H, PR10H	○	○
INTCSI20 <sup>注1</sup>	CSIIF20 <sup>注1</sup>		CSIMK20 <sup>注1</sup>		CSIPR020, CSIPR120 <sup>注1</sup>		–	○
INTIIC20 <sup>注1</sup>	IICIF20 <sup>注1</sup>		IICMK20 <sup>注1</sup>		IICPR020, IICPR120 <sup>注1</sup>		–	○
INTSR2 <sup>注2</sup>	SRIF2 <sup>注2</sup>		SRMK2 <sup>注2</sup>		SRPR02, SRPR12 <sup>注2</sup>		–	○
INTCSI21 <sup>注2</sup>	CSIIF21 <sup>注2</sup>		CSIMK21 <sup>注2</sup>		CSIPR021, CSIPR121 <sup>注2</sup>		○	○
INTIIC21 <sup>注2</sup>	IICIF21 <sup>注2</sup>		IICMK21 <sup>注2</sup>		IICPR021, IICPR121 <sup>注2</sup>		–	–

注 1. 割り込み要因 INTST2, INTCSI20, INTIIC20 のうち、いずれかが発生したら、IF0H レジスタのビット 0 はセット (1) されます。また、MK0H, PR00H, PR10H レジスタのビット 0 は、3 つすべての割り込み要因に対応しています。

2. 割り込み要因 INTSR2, INTCSI21, INTIIC21 のうち、いずれかが発生したら、IF0H レジスタのビット 1 はセット (1) されます。また、MK0H, PR00H, PR10H レジスタのビット 1 は、3 つすべての割り込み要因に対応しています。

表 3-14 割り込み要求ソースに対応する各種フラグ (2/4)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		RL78/G1E	
		レジスタ		レジスタ		レジスタ	割り込み 許可	割り込み 禁止
INTSRE2	SREIF2	IF0H	SREMK2	MK0H	SREPR02, SREPR12	PR00H, PR10H	○	○
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10		○	○
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		○	○
INTST0 <sup>注1</sup>	STIF0 <sup>注1</sup>		STMK0 <sup>注1</sup>		STPR00, STPR10 <sup>注1</sup>		○	○
INTCSI00 <sup>注1</sup>	CSIF00 <sup>注1</sup>		CSIMK00 <sup>注1</sup>		CSIPR000, CSIPR100 <sup>注1</sup>		○	○
INTIIC00 <sup>注1</sup>	IICIF00 <sup>注1</sup>		IICMK00 <sup>注1</sup>		IICPR000, IICPR100 <sup>注1</sup>		○	○
INTSR0 <sup>注2</sup>	SRIF0 <sup>注2</sup>		SRMK0 <sup>注2</sup>		SRPR00, SRPR10 <sup>注2</sup>		○	○
INTCSI01 <sup>注2</sup>	CSIF01 <sup>注2</sup>		CSIMK01 <sup>注2</sup>		CSIPR001, CSIPR101 <sup>注2</sup>		—	—
INTIIC01 <sup>注2</sup>	IICIF01 <sup>注2</sup>		IICMK01 <sup>注2</sup>		IICPR001, IICPR101 <sup>注2</sup>		—	—
INTSRE0 <sup>注3</sup>	SREIF0 <sup>注3</sup>		SREMK0 <sup>注3</sup>		SREPR00, SREPR10 <sup>注3</sup>		○	○
INTTM01H <sup>注3</sup>	TMIF01H <sup>注3</sup>		TMMK01H <sup>注3</sup>		TMPR001H, TMPR101H <sup>注3</sup>		○	○

注 1. 割り込み要因 INTST0, INTCSI00, INTIIC00 のうち、いずれかが発生したら、IF0H レジスタのビット 5 はセット (1) されます。また、MK0H, PR00H, PR10H レジスタのビット 5 は、3 つすべての割り込み要因に対応しています。

2. 割り込み要因 INTSR0, INTCSI01, INTIIC01 のうち、いずれかが発生したら、IF0H レジスタのビット 6 はセット (1) されます。また、MK0H, PR00H, PR10H レジスタのビット 6 は、3 つすべての割り込み要因に対応しています。

★ 3. UART0 受信エラー割り込み, TAU0 のチャンネル 1 (上位 8 ビット・タイマ動作時) の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0 受信のエラー割り込みを使用しない (EOC01 = 0) 場合は、UART0 と TAU0 チャンネル 1 (上位 8 ビット・タイマ動作時) を同時に使用できます。割り込み要因 INTSRE0, INTTM01H のうち、どちらかが発生したら、IF0H レジスタのビット 7 はセット (1) されます。また、MK0H, PR00H, PR10H レジスタのビット 7 は、両方の割り込み要因に対応しています。

表 3-14 割り込み要求ソースに対応する各種フラグ (3/4)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		RL78/G1E	
		レジスタ		レジスタ		レジスタ	INTP	INTC
INTST1 <sup>注1</sup>	STIF1 <sup>注1</sup>	IF1L	STMK1 <sup>注1</sup>	MK1L	STPR01, STPR11 <sup>注1</sup>	PR01L, PR11L	○	○
INTCSI10 <sup>注1</sup>	CSIIF10 <sup>注1</sup>		CSIMK10 <sup>注1</sup>		CSIPR010, CSIPR110 <sup>注1</sup>		—	○
INTIIC10 <sup>注1</sup>	IICIF10 <sup>注1</sup>		IICMK10 <sup>注1</sup>		IICPR010, IICPR110 <sup>注1</sup>		—	○
INTSR1 <sup>注2</sup>	SRIF1 <sup>注2</sup>		SRMK1 <sup>注2</sup>		SRPR01, SRPR11 <sup>注2</sup>		○	○
INTCSI11 <sup>注2</sup>	CSIIF11 <sup>注2</sup>		CSIMK11 <sup>注2</sup>		CSIPR011, CSIPR111 <sup>注2</sup>		—	—
INTIIC11 <sup>注2</sup>	IICIF11 <sup>注2</sup>		IICMK11 <sup>注2</sup>		IICPR011, IICPR111 <sup>注2</sup>		—	—
INTSRE1 <sup>注3</sup>	SREIF1 <sup>注3</sup>		SREMK1 <sup>注3</sup>		SREPR01, SREPR11 <sup>注3</sup>		○	○
INTTM03H <sup>注3</sup>	TMIF03H <sup>注3</sup>		TMMK03H <sup>注3</sup>		TMPR003H, TMPR103H <sup>注3</sup>		○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		—	—
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		—	—
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○

(注は次ページにあります。)

- 注 1. 割り込み要因 INTST1, INTCSI10, INTIIC10 のうち、いずれかが発生したら、IF1L レジスタのビット 0 はセット (1) されます。また、MK1L, PR01L, PR11L レジスタのビット 0 は、3 つすべての割り込み要因に対応しています。
2. 割り込み要因 INTSR1, INTCSI11, INTIIC11 のうち、いずれかが発生したら、IF1L レジスタのビット 1 はセット (1) されます。また、MK1L, PR01L, PR11L レジスタのビット 1 は、3 つすべての割り込み要因に対応しています。
- ★ 3. UART1 受信のエラー割り込み, TAU0 のチャンネル 3 (上位 8 ビット・タイマ動作時) の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1 受信のエラー割り込みを使用しない (EOC03 = 0) の場合は、UART1 と TAU0 のチャンネル 3 (上位 8 ビット・タイマ動作時) を同時に使用できます。割り込み要因 INTSRE1, INTTM03H のうち、どちらかが発生したら、IF1L レジスタのビット 2 はセット (1) されます。また、MK1L, PR01L, PR11L レジスタのビット 2 は、両方の割り込み要因に対応しています。

表 3-14 割り込み要求ソースに対応する各種フラグ (4/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		RL78/G1E				
		レジスタ		レジスタ		レジスタ	64ピン	80ピン			
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○			
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○			
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○			
INTP6	PIF6		PMK6		PPR06, PPR16		—	○			
INTP7	PIF7		PMK7		PPR07, PPR17		—	—			
INTP8	PIF8		PMK8		PPR08, PPR18		—	—			
INTP9	PIF9		PMK9		PPR09, PPR19		—	—			
INTP10	PIF10		PMK10		PPR10, PPR110		—	—			
INTP11	PIF11		IF2H		PMK11		MK2H	PPR011, PPR111	PR02H, PR12H	—	—
INTMD	MDIF				MDMK			MDPR0, MDPR1		○	○
INTFL	FLIF	FLMK		FLPR0, FLPR1	○	○					

次のページより、RL78/G1A（64ピン製品）と異なるビット設定を示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 16.3 割り込み機能を制御するレジスタを参照してください。

RL78/G1A (64ピン製品) と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 16.3 割り込み機能を制御するレジスタを参照してください。

### 3.16.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

#### (1) 64ピン製品

アドレス : FFFE0H    リセット時 : 00H    R/W

略号	<u>7</u>	6	5	4	3	<u>2</u>	<u>1</u>	<u>0</u>
IF0L	0	0	0	0	0	PIF0	LVIF	WDTIF

アドレス : FFFE1H    リセット時 : 00H    R/W

略号	<u>7</u>	<u>6</u>	<u>5</u>	<u>4</u>	<u>3</u>	<u>2</u>	<u>1</u>	<u>0</u>
IF0H	TMIF01H SREIF0	SRIF0	STIF0 CSIF00 IICIF00	DMAIF1	DMAIF0	SREIF2	SRIF2 CSIF21	STIF2

アドレス : FFFE2H    リセット時 : 00H    R/W

略号	<u>7</u>	<u>6</u>	<u>5</u>	<u>4</u>	3	<u>2</u>	<u>1</u>	<u>0</u>
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	0	SREIF1 TMIF03H	SRIF1	STIF1

アドレス : FFFE3H    リセット時 : 00H    R/W

略号	<u>7</u>	6	5	4	<u>3</u>	<u>2</u>	1	<u>0</u>
IF1H	TMIF04	0	0	0	KRIF	ITIF	0	ADIF

アドレス : FFFD0H    リセット時 : 00H    R/W

略号	7	6	5	4	3	<u>2</u>	<u>1</u>	<u>0</u>
IF2L	0	0	0	0	0	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H    リセット時 : 00H    R/W

略号	<u>7</u>	6	<u>5</u>	4	3	2	1	0
IF2H	FLIF	0	MDIF	0	0	0	0	0

- 注意 1. IF0L レジスタのビット 3-7 には、必ず 0 を設定してください。
2. IF1L レジスタのビット 3 には、必ず 0 を設定してください。
3. IF1H レジスタのビット 1, 4-6 には、必ず 0 を設定してください。
4. IF2L レジスタのビット 3-7 には、必ず 0 を設定してください。
5. IF2H レジスタのビット 0-4, 6 には、必ず 0 を設定してください。

## (2) 80ピン製品

アドレス：FFFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	0	0	0	PIF2	PIF1	PIF0	LVIF	WDTIF

アドレス：FFFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF01H SREIF0	SRIF0	STIF0 CSIF00 IICIF00	DMAIF1	DMAIF0	SREIF2	SRIF2 CSIF21	STIF2 CSIF20 IICIF20

アドレス：FFFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	0	SREIF1 TMIF03H	SRIF1	STIF1 CSIF10 IICIF10

アドレス：FFFE3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	0	0	0	KRIF	ITIF	0	ADIF

アドレス：FFFD0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	0	0	0	0	PIF6	TMIF07	TMIF06	TMIF05

アドレス：FFFD1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	0	MDIF	0	0	0	0	0

- 注意 1. IF0L レジスタのビット 5 - 7 には、必ず 0 を設定してください。
2. IF1L レジスタのビット 3 には、必ず 0 を設定してください。
3. IF1H レジスタのビット 1, 4 - 6 には、必ず 0 を設定してください。
4. IF2L レジスタのビット 4 - 7 には、必ず 0 を設定してください。
5. IF2H レジスタのビット 0 - 4, 6 には、必ず 0 を設定してください。



### 3.16.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

#### (1) 64ピン製品

アドレス：FFFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	1	1	1	1	1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK01H SREMK0	SRMK0	STMK0 CSIMK00 IICMK00	DMAMK1	DMAMK0	SREMK2	SRMK2 CSIMK21	STMK2

アドレス：FFFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	1	SREMK1 TMMK03H	SRMK1	STMK1

アドレス：FFFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	1	1	1	KRMK	ITMK	1	ADMK

アドレス：FFFD4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	1	1	1	1	TMMK07	TMMK06	TMMK05

アドレス：FFFD5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	1	MDMK	1	1	1	1	1

- 注意 1. MK0L レジスタのビット 3 - 7 には、必ず 1 を設定してください。
2. MK1L レジスタのビット 3 には、必ず 1 を設定してください。
3. MK1H レジスタのビット 1, 4 - 6 には、必ず 1 を設定してください。
4. MK2L レジスタのビット 3 - 7 には、必ず 1 を設定してください。
5. MK2H レジスタのビット 0 - 4, 6 には、必ず 1 を設定してください。

## (2) 80ピン製品

アドレス：FFFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	1	1	1	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK01H SREMK0	SRMK0	STMK0 CSIMK00 IICMK00	DMAMK1	DMAMK0	SREMK2	SRMK2 CSIMK21	STMK2 CSIMK20 IICMK20

アドレス：FFFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	1	SREMK1 TMMK03H	SRMK1	STMK1 CSIMK10 IICMK10

アドレス：FFFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	1	1	1	KRMK	ITMK	1	ADMK

アドレス：FFFD4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	1	1	1	PMK6	TMMK07	TMMK06	TMMK05

アドレス：FFFD5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	1	MDMK	1	1	1	1	1

- 注意 1. MK0L レジスタのビット 5 - 7 には、必ず 1 を設定してください。
2. MK1L レジスタのビット 3 には、必ず 1 を設定してください。
3. MK1H レジスタのビット 1, 4 - 6 には、必ず 1 を設定してください。
4. MK2L レジスタのビット 4 - 7 には、必ず 1 を設定してください。
5. MK2H レジスタのビット 0 - 4, 6 には、必ず 1 を設定してください。

### 3.16.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

#### (1) 64ピン製品

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	1	1	1	1	1	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	1	1	1	1	1	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	TMPR001H SREPR00	SRPR00	STPR00 CSIPR000 IICPR00	DMAPR01	DMAPR00	SREPR02	SRPR02 CSIPR021	STPR02

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	TMPR101H SREPR10	SRPR10	STPR10 CSIPR100 IICPR100	DMAPR11	DMAPR10	SREPR12	SRPR12 CSIPR121	STPR12

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	1	SREPR01 TMPR003H	SRPR01	STPR01

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	1	SREPR11 TMPR103H	SRPR11	STPR11

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	1	1	1	KRPR0	ITPR0	1	ADPR0

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	1	1	1	KRPR1	ITPR1	1	ADPR1

アドレス : FFFD8H    リセット時 : FFH    R/W

略号	7	6	5	4	3	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
PR02L	1	1	1	1	1	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH    リセット時 : FFH    R/W

略号	7	6	5	4	3	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
PR12L	1	1	1	1	1	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H    リセット時 : FFH    R/W

略号	<input type="checkbox"/>	6	<input type="checkbox"/>	4	3	2	1	0
PR02H	FLPR0	1	MDPR0	1	1	1	1	1

アドレス : FFFDDH    リセット時 : FFH    R/W

略号	<input type="checkbox"/>	6	<input type="checkbox"/>	4	3	2	1	0
PR12H	FLPR1	1	MDPR1	1	1	1	1	1

- 注意 1. PR00L レジスタのビット 3 - 7 には、必ず 1 を設定してください。
2. PR10L レジスタのビット 3 - 7 には、必ず 1 を設定してください。
  3. PR01L レジスタのビット 3 には、必ず 1 を設定してください。
  4. PR11L レジスタのビット 3 には、必ず 1 を設定してください。
  5. PR01H レジスタのビット 1, 4 - 6 には、必ず 1 を設定してください。
  6. PR11H レジスタのビット 1, 4 - 6 には、必ず 1 を設定してください。
  7. PR02L レジスタのビット 3 - 7 には、必ず 1 を設定してください。
  8. PR12L レジスタのビット 3 - 7 には、必ず 1 を設定してください。
  9. PR02H レジスタのビット 0 - 4, 6 には、必ず 1 を設定してください。
  10. PR12H レジスタのビット 0 - 4, 6 には、必ず 1 を設定してください。

## (2) 80ピン製品

アドレス：FFFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	1	1	1	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	1	1	1	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	TMPR001H SREPR00	SRPR00	STPR00 IICPR000	DMAPR01	DMAPR00	SREPR02	SRPR02 CSIPR021	STPR02 CSIPR020 IICPR020

アドレス：FF FEDH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	TMPR101H SREPR10	SRPR10	STPR10 CSIPR100 IICPR100	DMAPR11	DMAPR10	SREPR12	SRPR12 CSIPR121	STPR12 CSIPR120 IICPR120

アドレス：FFFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	1	SREPR01 TMPR003H	SRPR01	STPR01 CSIPR010 IICPR010

アドレス：FFFEEH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	1	SREPR11 TMPR103H	SRPR11	STPR11 CSIPR110 IICPR110

アドレス：FF FEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	1	1	1	KRPR0	ITPR0	1	ADPR0

アドレス：FFFEFH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	1	1	1	KRPR1	ITPR1	1	ADPR1

アドレス : FFFD8H    リセット時 : FFH    R/W

略号	7	6	5	4	③	②	①	①	①	①	①
PR02L	1	1	1	1	PPR06	TMPR007	TMPR006	TMPR005			

アドレス : FFFDCH    リセット時 : FFH    R/W

略号	7	6	5	4	③	②	①	①	①	①	①
PR12L	1	1	1	1	PPR16	TMPR107	TMPR106	TMPR105			

アドレス : FFFD9H    リセット時 : FFH    R/W

略号	⑦	6	⑤	4	3	2	1	0
PR02H	FLPR0	1	MDPR0	1	1	1	1	1

アドレス : FFFDDH    リセット時 : FFH    R/W

略号	⑦	6	⑤	4	3	2	1	0
PR12H	FLPR1	1	MDPR1	1	1	1	1	1

- 注意 1. PR00L レジスタのビット 5 - 7 には、必ず 1 を設定してください。
2. PR10L レジスタのビット 5 - 7 には、必ず 1 を設定してください。
  3. PR01L レジスタのビット 3 には、必ず 1 を設定してください。
  4. PR11L レジスタのビット 3 には、必ず 1 を設定してください。
  5. PR01H レジスタのビット 1, 4 - 6 には、必ず 1 を設定してください。
  6. PR11H レジスタのビット 1, 4 - 6 には、必ず 1 を設定してください。
  7. PR02L レジスタのビット 4 - 7 には、必ず 1 を設定してください。
  8. PR12L レジスタのビット 4 - 7 には、必ず 1 を設定してください。
  9. PR02H レジスタのビット 4 - 7 には、必ず 1 を設定してください。
  10. PR12H レジスタのビット 0 - 4, 6 には、必ず 1 を設定してください。

### 3.16.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

#### (1) 64ピン製品

アドレス : FFF38H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	0	0	0	0	0	0	EGP0

アドレス : FFF39H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	0	0	0	0	0	0	EGN0

#### (2) 80ピン製品

アドレス : FFF38H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	EGP6	0	0	0	EGP2	EGP1	EGP0

アドレス : FFF39H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	EGN6	0	0	0	EGN2	EGN1	EGN0

EGPn ビットと EGNn ビットに対応するポートを表 3-15 に示します。

表 3-15 EGPn ビットと EGNn ビットに対応するポート

検出許可ビット		エッジ検出ポート	割り込み要求信号	RL78/G1E	
				64ピン	80ピン
EGP0	EGN0	P137	INTP0	○	○
EGP1	EGN1	P50	INTP1	—	○
EGP2	EGN2	P51	INTP2	—	○
EGP6	EGN6	P140	INTP6	—	○

**注意** 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPn ビットと EGNn ビットを 0 に設定してからポート・モードに切り替えてください。

**備考** n = 0-2, 6

### 3.16.3.5 プログラム・ステータス・ワード (PSW)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 16.3.5 プログラム・ステータス・ワード (PSW) を参照してください。

### 3.16.4 割り込み処理動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 16.4 割り込み処理動作を参照してください。



### 3.17 キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	64ピン製品	80ピン製品
キー割り込み入力 チャネル	4 ch (7 ch)	4 ch (8 ch)

備考 1. ( ) 内は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定時のみ。

2. この節では、以降の主な説明を 80 ピン製品の場合で説明しています。

#### 3.17.1 キー割り込みの機能

キー割り込み入力端子 (KR0-KR7) に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

有効エッジが入力されたチャネルの特定方法は、次の2種類があります。

- ・ポートの入力レベルにてチャネルを特定する方法 (KR0-KR7)
- ・キー割り込みフラグにてチャネルを特定する方法 (KR0-KR5)

表 3-16 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ (KRM0)	キー・リターン・フラグ・レジスタ (KRF)
KR0	KRM00	KRF0
KR1	KRM01	KRF1
KR2	KRM02	KRF2
KR3	KRM03	KRF3
KR4	KRM04	KRF4
KR5	KRM05	KRF5
KR6	KRM06	—
KR7	KRM07	—

備考 KR0-KR3 (KR0-KR6) : 64 ピン製品

KR0-KR3 (KR0-KR7) : 80 ピン製品

( ) 内は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定時のみ。

### 3.17.2 キー割り込みの構成

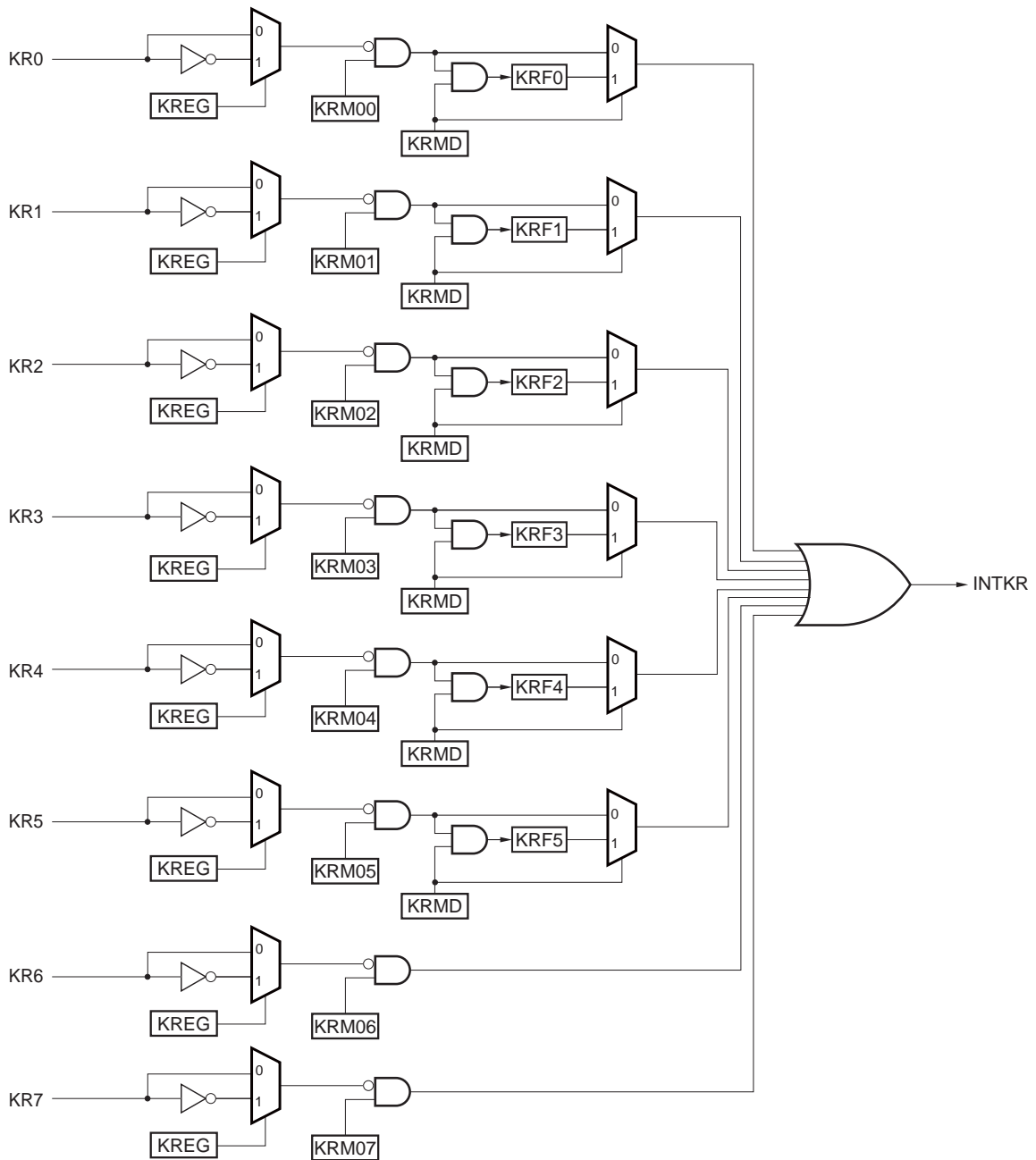
キー割り込みは、次のハードウェアで構成されています。

表 3-17 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・コントロール・レジスタ (KRCTL)
	キー・リターン・モード・レジスタ0 (KRM0)
	キー・リターン・フラグ・レジスタ (KRF)
	ポート・モード・レジスタ0-2, 7 (PM0-PM2, PM7)
	周辺I/Oリダイレクション・レジスタ (PIOR)

★

図 3-14 キー割り込みのブロック図



備考 KR0-KR3 (KR0-KR6) : 64 ピン製品

KR0-KR3 (KR0-KR7) : 80 ピン製品

( ) 内は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定時のみ。

### 3.17.3 キー割り込みを制御するレジスタ

RL78/G1A (64ピン製品) と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 17.3 キー割り込みを制御するレジスタを参照してください。

#### 3.17.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 17.3.1 キー・リターン・コントロール・レジスタ (KRCTL) を参照してください。

#### 3.17.3.2 キー・リターン・モード・レジスタ 0 (KRM0)

##### (1) 64ピン製品

アドレス: FFF37H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
KRM0	0	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

注意 KRM0 レジスタのビット 7 には、必ず 0 を設定してください。

##### ★ (2) 80ピン製品

アドレス: FFF37H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

#### 3.17.3.3 キー・リターン・フラグ・レジスタ (KRF)

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 17.3.3 キー・リターン・フラグ・レジスタ (KRF) を参照してください。

#### 3.17.3.4 ポート・モード・レジスタ 0-2, 7 (PM0-PM2, PM7)

##### (1) 64ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	1	PM16	1	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W

注意 1. PM0 レジスタのビット 4-6, PM1 レジスタのビット 6, PM2 レジスタのビット 4-7, PM7 レジスタのビット 4-7 には、必ず 0 を設定してください。

2. PM0 レジスタのビット 7, PM1 レジスタのビット 5, 7 には、必ず 1 を設定してください。

(2) 80ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	1	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W

注意 1. PM0 レジスタのビット 5, 6, PM1 レジスタのビット 6, PM2 レジスタのビット 5-7, PM7 レジスタのビット 4-7 には, 必ず 0 を設定してください。

2. PM0 レジスタのビット 7, PM1 レジスタのビット 7 には, 必ず 1 を設定してください。

3.17.3.5 周辺 I/O リダイレクション・レジスタ (PIOR)

アドレス : F0077H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	0	0	PIOR1	PIOR0

機能	64ピン製品				80ピン製品			
	PIOR1, PIOR0の設定値				PIOR1, PIOR0の設定値			
	0, 0	0, 1	1, 0	1, 1	0, 0	0, 1	1, 0	1, 1
KR0	P70	設定禁止	P00	P10	P70	設定禁止	P00	P10
KR1	P71		P01	P11	P71		P01	P11
KR2	P72		P02	P12	P72		P02	P12
KR3	P73		P03	P13	P73		P03	P13
KR4	-		-	P14	-		P04	P14
KR5	-		P22	-	-		P22	P15
KR6	-		P23	-	-		P23	-
KR7	-		-	-	-		P24	-

3.17.4 キー割り込み機能の動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 17.4 キー割り込み機能の動作を参照してください。

### 3.18 スタンバイ機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 18 章 スタンバイ機能を参照してください。

### 3.19 リセット機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 19 章 リセット機能を参照してください。

### 3.20 パワーオン・リセット回路

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 20 章 パワーオン・リセット回路を参照してください。



### 3.21 電圧検出回路

#### ★ 3.21.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト (000C1H) で動作モードと検出電圧 (VLVDH, VLVDL, VLVD) を設定します。

電圧検出 (LVD) 回路は、次のような機能を持ちます。

- ・電源電圧 (VDD) と検出電圧 (VLVDH, VLVDL, VLVD) を比較し、内部リセットまたは割り込み要求信号を発生します。
- ・電源電圧の検出電圧 (VLVDH, VLVDL, VLVD) は、オプション・バイトにて検出レベルを3段階より選択できます (3.24 オプション・バイトを参照)。
- ・STOP モード時においても動作可能です。
- ・電源立ち上がり時は、5.2.3 AC 特性に示す動作電圧範囲まで、電圧検出機能か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOP モードに移行するか、電圧検出機能か外部リセットで、リセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

##### (a) 割り込み&リセット・モード (オプション・バイト LVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト 000C1H で2つの検出電圧 (VLVDH, VLVDL) を選択します。高電圧検出レベル (VLVDH) はリセット解除用/割り込み発生用として使用します。低電圧検出レベル (VLVDL) はリセット発生用として使用します。

##### (b) リセット・モード (オプション・バイト LVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト 000C1H で選択する1つの検出電圧 (VLVD) を、リセット発生/解除用として使用します。

##### (c) 割り込みモード (オプション・バイト LVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト 000C1H で選択する1つの検出電圧 (VLVD) を、リセット解除用/割り込み発生用として使用します。

★ 各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生。 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して割り込み要求信号を発生。	POR 解除後 1 回目の動作電圧立ち上げ時に $V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 POR 解除後 2 回目以降は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号を発生。

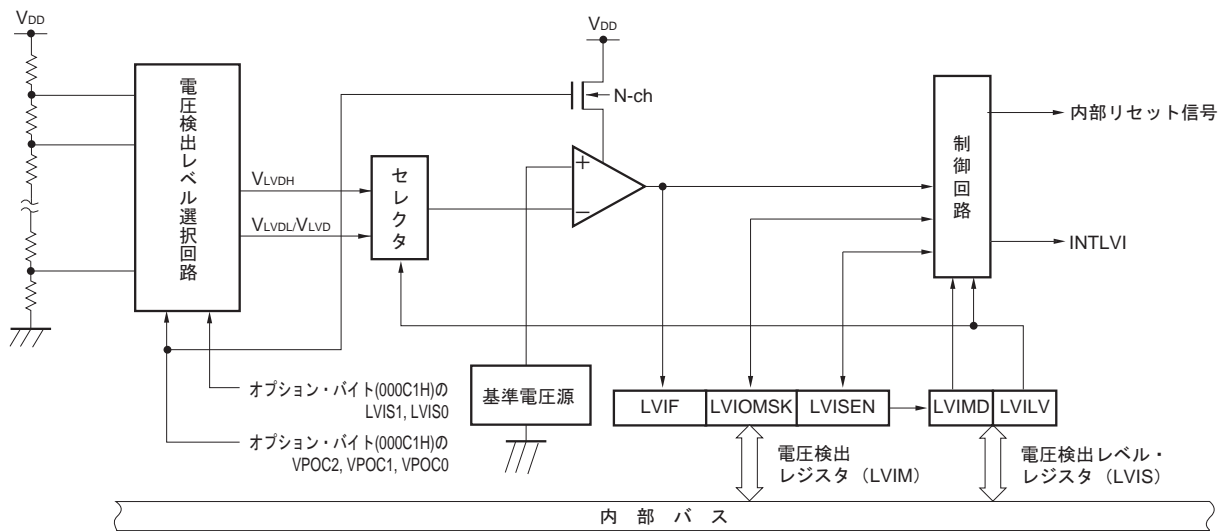
電圧検出回路動作時では、電圧検出フラグ (LVIF : 電圧検出レジスタ (LVIM) のビット 0) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット 0 (LVIRF) がセット (1) されます。RESF レジスタについての詳細は、3.19 リセット機能を参照してください。

### 3.21.2 電圧検出回路の構成

電圧検出回路のブロック図を図 3-15 に示します。

★ 図 3-15 電圧検出回路のブロック図



### 3.21.3 電圧検出回路を制御するレジスタ

RL78/G1A（64ピン製品）と異なるビット設定を以下に示します。各レジスタの詳細については、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 21.3 電圧検出回路を制御するレジスタを参照してください。

#### 3.21.3.1 電圧検出レジスタ（LVIM）

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 21.3.1 電圧検出レジスタ（LVIM）を参照してください。

#### 3.21.3.2 電圧検出レベル・レジスタ（LVIS）

RL78/G1A と同じビット設定です。RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の 21.3.2 電圧検出レベル・レジスタ（LVIS）を参照してください。

## ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (1/2)

アドレス : 000C1H/010C1H<sup>注</sup>

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

- LVD の設定 (割り込み&リセットモード)

検出電圧			オプション・バイト設定値						
V <sub>LVDH</sub>		V <sub>LVDL</sub>	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
3.13	3.06	1.84	0	0	1	0	0	1	0
3.75	3.67	2.45	0	1	0	0	0		
4.06	3.98	2.75	0	1	1	0	0		
-			上記以外は設定禁止						

- LVD の設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
3.13	3.06	0	0	1	0	0	1	1
3.75	3.67	0	1	0	0	0		
4.06	3.98	0	1	1	0	0		
-		上記以外は設定禁止						

注 ブート・スワップ時は、000C1H と 010C1H が切り替わるので、010C1H にも 000C1H と同じ値を設定してください。

- ★ 備考 1. LVD 回路の詳細は、3.21 電圧検出回路を参照してください。
- 2. 検出電圧は TYP.値です。詳細は、5.2.5.4 LVD 回路特性を参照してください。

(注意は、次ページにあります。)

## ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (2/2)

アドレス : 000C1H/010C1H<sup>注</sup>

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

## ● LVD の設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
3.13	3.06	0	0	1	0	0	0	1
3.75	3.67	0	1	0	0	0		
4.06	3.98	0	1	1	0	0		
-		上記以外は設定禁止						

## ● LVD の設定 (RESET 端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
-	-	1	x	x	x	x	x	1
-		上記以外は設定禁止						

注 ブート・スワップ時は、000C1H と 010C1H が切り替わるので、010C1H にも 000C1H と同じ値を設定してください。

- ★ 注意 1. ビット 4 には、必ず 1 を書き込んでください。
  2. 電源立ち上がり時は、5.2.3 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOP モードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。  
動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。
- ★ 備考 1. x : don't care
  2. LVD 回路の詳細は、3.21 電圧検出回路を参照してください。
  3. 検出電圧は TYP. 値です。詳細は、5.2.5.4 LVD 回路特性を参照してください。

### 3.21.4 電圧検出回路の動作

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 21.4 電圧検出回路の動作を参照してください。

### 3.21.5 電圧検出回路の注意事項

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 21.5 電圧検出回路の注意事項を参照してください。

## 3.22 安全機能

### 3.22.1 安全機能の概要

安全規格IEC60730, IEC61508に対応するため, RL78/G1Eでは以下の安全機能を搭載しています。この安全機能は, マイコンで自己診断することで, 故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能 (高速CRC, 汎用CRC)

CRC演算を行うことにより, フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて, 以下の2つのCRCを使い分けていただくことができます。

- ・「高速CRC」… 初期設定ルーチンの中で, CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- ・「汎用CRC」… CPU動作中に, コード・フラッシュ・メモリ領域に限らず, 多用途のチェックに使用できます。

(2) RAMパリティ・エラー検出機能

RAMデータを読み出すときに, パリティ・エラーを検出します。

(3) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(4) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない, アクセスが制限されている領域) への不正なアクセスを検出します。

★ (6) 周波数検出機能

タイマ・アレイ・ユニットを使用して, CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

★ (7) A/Dテスト機能

A/Dコンバータの+側基準電圧, -側基準電圧, アナログ入力チャネル (ANI), 温度センサ出力電圧および内部基準電圧をA/D変換することにより, A/Dコンバータの自己チェックができます。

備考 安全規格IEC60730に対応する安全機能の使用例は, RL78 MCUシリーズのIEC60730/60335セルフテスト・ライブラリ アプリケーションノート (R01AN1062, R01AN1296) を参照してください。

### 3.22.2 安全機能で使用するレジスタ

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.2 安全機能で使用するレジスタを参照してください。

### 3.22.3 安全機能の動作

#### 3.22.3.1 フラッシュ・メモリ CRC 演算機能 (高速 CRC)

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.3.1 フラッシュ・メモリ CRC 演算機能 (高速 CRC) を参照してください。

#### 3.22.3.2 CRC 演算機能 (汎用 CRC)

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.3.2 CRC 演算機能 (汎用 CRC) を参照してください。

#### 3.22.3.3 RAM パリティ・エラー検出機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.3.3 RAM パリティ・エラー検出機能を参照してください。

#### 3.22.3.4 RAM ガード機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.3.4 RAM ガード機能を参照してください。

#### 3.22.3.5 SFR ガード機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.3.5 SFR ガード機能を参照してください。

#### 3.22.3.6 不正メモリ・アクセス検出機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.3.6 不正メモリ・アクセス検出機能を参照してください。



### 3.22.3.7 周波数検出機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.3.7 周波数検出機能を参照してください。

RL78/G1A (64ピン製品) と異なるビット設定を以下に示します。

#### (1) タイマ入力選択レジスタ 0 (TIS0)

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	初期値
1	0	0	低速オンチップ・オシレータ・クロック (fil)
上記以外			設定禁止

### 3.22.3.8 A/D テスト機能

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 22.3.8 A/D テスト機能を参照してください。

### 3.23 レギュレータ

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の23章 レギュレータを参照してください。

## 3.24 オプション・バイト

### 3.24.1 オプション・バイトの機能

RL78/G1E のフラッシュ・メモリの 000C0H-000C3H は、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。

なお、機能が配置されていないビットについては、必ず、本マニュアルで指定された値を設定ください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3H は 010C0H-010C3H と切り替わるので、010C0H-010C3H にも 000C0H-000C3H と同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

#### 3.24.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

##### ★ (1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
  - ・カウンタの動作許可／禁止
  - ・HALT/STOP モード時の動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
  - ・インターバル割り込みを使用する／使用しない

注意 ブート・スワップ時は、000C0H と 010C0H が切り替わるので、010C0H にも 000C0H と同じ値を設定してください。

##### ★ (2) 000C1H/010C1H

- LVD の動作モード設定
  - ・割り込み&リセット・モード
  - ・リセット・モード
  - ・割り込みモード
  - ・LVD オフ (RESET 端子による外部リセットを使用)

##### ★ OLVD 検出レベル ( $V_{LVDH}$ , $V_{LVDL}$ , $V_{LVD}$ ) の設定

★ 注意 1. 電源立ち上がり時は、5.2.3 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOP モードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

2. ブート・スワップ時は、000C1H と 010C1H が切り替わるので、010C1H にも 000C1H と同じ値を設定してください。

## (3) 000C2H/010C2H

## ○フラッシュの動作モード設定

- ・LV（低電圧メイン）モード
- ・LS（低速メイン）モード
- ・HS（高速メイン）モード

## ○高速オンチップ・オシレータの周波数設定

- ★ ・32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz（TYP.）から選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

## 3.24.1.2 オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）

## ○オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止／許可

## ○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する  
／消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

### 3.24.2 ユーザ・オプション・バイトのフォーマット

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 24.2 ユーザ・オプション・バイトのフォーマットを参照してください。

RL78/G1A (64 ピン製品) と異なるビット設定を以下に示します。

#### ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (1/2)

アドレス : 000C1H/010C1H<sup>注</sup>

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

#### ★ ● LVD の設定 (割り込み&リセットモード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
3.13	3.06	1.84	0	0	1	0	0	1	0
3.75	3.67	2.45	0	1	0	0	0		
4.06	3.98	2.75	0	1	1	0	0		
-			上記以外は設定禁止						

#### ★ ● LVD の設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
3.13	3.06	0	0	1	0	0	1	1
3.75	3.67	0	1	0	0	0		
4.06	3.98	0	1	1	0	0		
-		上記以外は設定禁止						

注 ブート・スワップ時は、000C1H と 010C1H が切り替わるので、010C1H にも 000C1H と同じ値を設定してください。

注意 1. ビット 4 には、必ず 1 を書き込んでください。

2. 電源立ち上がり時は、5.2.3 AC 特性に示す動作電圧範囲まで、電圧検出機能が外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOP モードに移行、または電圧検出機能が外部リセットで、リセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

★ 備考 1. LVD の設定に関しては、3.21 電圧検出回路を参照してください。

2. 検出電圧は TYP. 値です。詳細は、5.2.5.4 LVD 回路特性を参照してください。

## ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (2/2)

アドレス : 000C1H/010C1H<sup>注</sup>

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

## ★ ● LVD の設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
3.13	3.06	0	0	1	0	0	0	1
3.75	3.67	0	1	0	0	0		
4.06	3.98	0	1	1	0	0		
-		上記以外は設定禁止						

## ★ ● LVD オフ (RESET 端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
-	-	1	x	x	x	x	x	1
-		上記以外は設定禁止						

注 ブート・スワップ時は、000C1H と 010C1H が切り替わるので、010C1H にも 000C1H と同じ値を設定してください。

注意 1. ビット 4 には、必ず 1 を書き込んでください。

- 電源立ち上がり時は、5.2.3 AC 特性に示す動作電圧範囲まで、電圧検出機能が外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOP モードに移行、または電圧検出機能が外部リセットで、リセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

## ★ 備考 1. x : don't care

- LVD の設定に関しては、3.21 電圧検出回路を参照してください。
- 検出電圧は TYP. 値です。詳細は、5.2.5.4 LVD 回路特性を参照してください。

## ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H<sup>注</sup>

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
0	0	LV (低電圧メイン) モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS (低速メイン) モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS (高速メイン) モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注 ブート・スワップ時は、000C2H と 010C2H が切り替わるので、010C2H にも 000C2H と同じ値を設定してください。

- ★ 注意 1. ビット 5, 4 には、必ず 10B を書き込んでください。
2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、5.2.3 AC 特性を参照してください。

### 3.24.3 オンチップ・デバッグ・オプション・バイトのフォーマット

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 24.3 オンチップ・デバッグ・オプション・バイトのフォーマットを参照してください。

### 3.24.4 オプション・バイトの設定

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 24.4 オプション・バイトの設定を参照してください。



### 3.25 フラッシュ・メモリ

本節では、機能およびレジスタにおける、RL78/G1A（64ピン製品）との違いについて示します。詳細は、RL78/G1A ユーザーズ・マニュアル ハードウェア編（R01UH0305J）の25章 フラッシュ・メモリを参照してください。

#### ★ 3.25.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78/G1E の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP5, FL-PR5
- E1 オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

##### (1) オンボード・プログラミング

ターゲット・システム上にRL78/G1Eを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

##### (2) オフボード・プログラミング

ターゲット・システム上にRL78/G1Eを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FLPR5, FA シリーズは、（株）内藤電誠町田製作所の製品です。

★

表 3-18 RL78/G1E と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラム接続端子			端子名	ピン番号	
信号名		入出力		端子機能	64ピン製品
PG-FP5 FL-PR5	E1 オンチップ デバッグ エミュレータ				
–	TOOL0	入出力	送受信信号	TOOL0/ P40	15 18
SI / RxD	–	入出力			
–	RESET	出力	リセット信号	RESET	16 19
/RESET	–	出力			
V <sub>DD</sub>		入出力	V <sub>DD</sub> 電圧生成/ 電源監視	V <sub>DD</sub>	22 25
GND		–	グラウンド	V <sub>SS</sub> V <sub>SS0</sub> REGC 注	21 – 20 23
EMV <sub>DD</sub>		–	TOOL0 端子 駆動電源	V <sub>DD</sub> EV <sub>DD0</sub>	22 – 25 –

- ★ 注 REGC 端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。
- 備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラムによるプログラミング時には、オープンで構いません。

### 3.25.1.1 プログラミング環境

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.1.1 プログラミング環境を参照してください。

### 3.25.1.2 通信方式

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.1.2 通信方式を参照してください。

### ★ 3.25.2 外部デバイス (UART 内蔵) によるシリアル・プログラミング

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.2 外部デバイス (UART 内蔵) によるシリアル・プログラミングを参照してください。

### 3.25.3 オンボード上の端子処理

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.3 オンボード上の端子処理を参照してください。

### ★ 3.25.4 シリアル・プログラミング方法

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.4 シリアル・プログラミング方法を参照してください。

### ★ 3.25.5 PG-FP5 使用時の各コマンド処理時間 (参考値)

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.5 PG-FP5 使用時の各コマンド処理時間 (参考値) を参照してください。

### ★ 3.25.6 セルフ・プログラミング

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.6 セルフ・プログラミングを参照してください。

### ★ 3.25.7 セキュリティ設定

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.7 セキュリティ設定を参照してください。

### ★ 3.25.8 データ・フラッシュ

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 25.8 データ・フラッシュを参照してください。

## 3.26 オンチップ・デバッグ機能

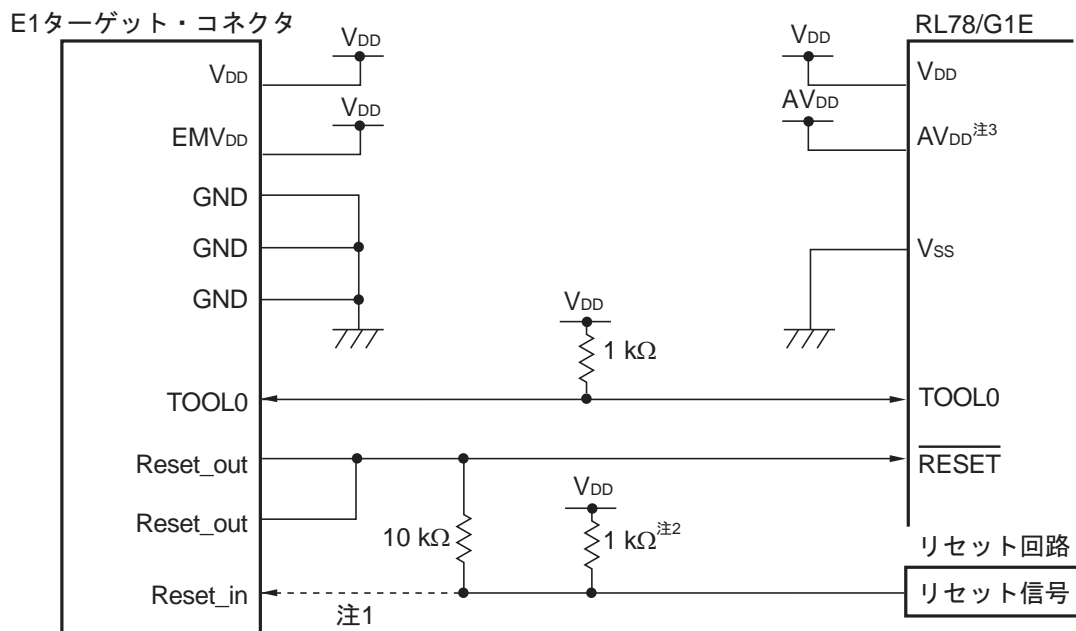
### 3.26.1 E1 オンチップデバッグエミュレータと RL78/G1E の接続

RL78/G1E は、オンチップ・デバッグ対応の E1 オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 $V_{DD}$ 、 $\overline{\text{RESET}}$ 、TOOL0、 $V_{SS}$  端子を使用します。シリアル通信としては、TOOL0 端子を使用した単線 UART を使用します。

**注意** RL78/G1E には、開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図 3-16 E1 オンチップデバッグエミュレータと RL78/G1E の接続例

★



注 1. フラッシュ・プログラミング時、点線部の接続は必要ありません。

2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。
3.  $AV_{DD} \leq 3.6 \text{ V}$  で使用してください。

注意 1. 上記回路例は、リセット信号の出力が N-ch オープン・ドレインのバッファ（出力抵抗が 100  $\Omega$  以下）を想定した回路例です。

2.  $\overline{\text{ARESET}}$  端子の取扱いについては、2.5.31  $\overline{\text{ARESET}}$  を参照してください。

### 3.26.2 オンチップ・デバッグ・セキュリティ ID

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 26.2 オンチップ・デバッグ・セキュリティ ID を参照してください。

### 3.26.3 ユーザ資源の確保

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 26.3 ユーザ資源の確保を参照してください。

### 3.27 10進補正 (BCD) 回路

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 27 章 10 進補正 (BCD) 回路を参照してください。

### 3.28 命令セットの概要

RL78/G1A ユーザーズ・マニュアル ハードウェア編 (R01UH0305J) の 28 章 命令セットの概要を参照してください。

## 第4章 アナログ部

### 4.1 コンフィギュラブル・アンプ

RL78/G1E (64 ピン製品, 80 ピン製品) は, コンフィギュラブル・アンプを 3 ch 搭載しています。

#### 4.1.1 コンフィギュラブル・アンプの機能概要

コンフィギュラブル・アンプでは, SPI 制御レジスタの設定により次の機能を実現することができます。

- 単独チャンネルで動作する機能
  - 非反転アンプ
    - ・ 増幅率を9.5 dBから40.1 dBまで18ステップで選択可能
    - ・ 動作モードを4通りから選択可能
    - ・ パワーオフ機能を搭載
  - 反転アンプ
    - ・ 増幅率を6 dBから40 dBまで18ステップで選択可能
    - ・ 動作モードを4通りから選択可能
    - ・ パワーオフ機能を搭載
  - 差動アンプ
    - ・ 増幅率を6 dBから40 dBまで18ステップで選択可能
    - ・ 動作モードを4通りから選択可能
    - ・ パワーオフ機能を搭載
  - I/V変換アンプ
    - ・ 帰還抵抗値を20 kΩから640 kΩまで6ステップで選択可能
    - ・ 動作モードを4通りから選択可能
    - ・ パワーオフ機能を搭載
- 複数チャンネルで動作する機能
  - 計装アンプ
    - ・ 増幅率を20 dBから54 dBまで18ステップで選択可能
    - ・ 動作モードを4通りから選択可能
    - ・ パワーオフ機能を搭載

また, コンフィギュラブル・アンプでは, DACn\_OUT 出力信号を基準電圧として使用できます。D/A コンバータを使用しない場合は, DACn\_OUT/VREFINn 端子から外部基準電圧を入力します。

D/Aコンバータの使用に関しては, 4.3 D/Aコンバータを参照してください。

備考 n = 1~3



4.1.2 ブロック図

図 4-1 コンフィギュラブル・アンプ Ch1 のブロック図

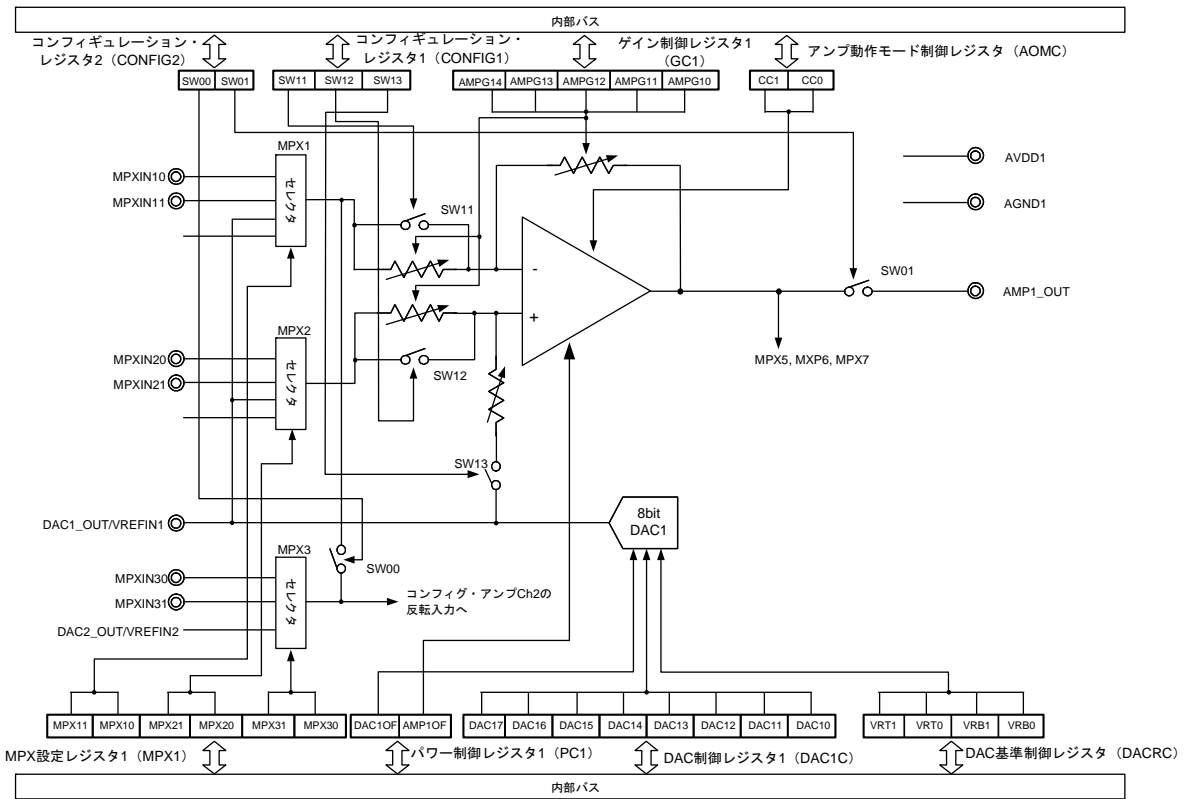


図 4-2 コンフィギュラブル・アンプ Ch2 のブロック図

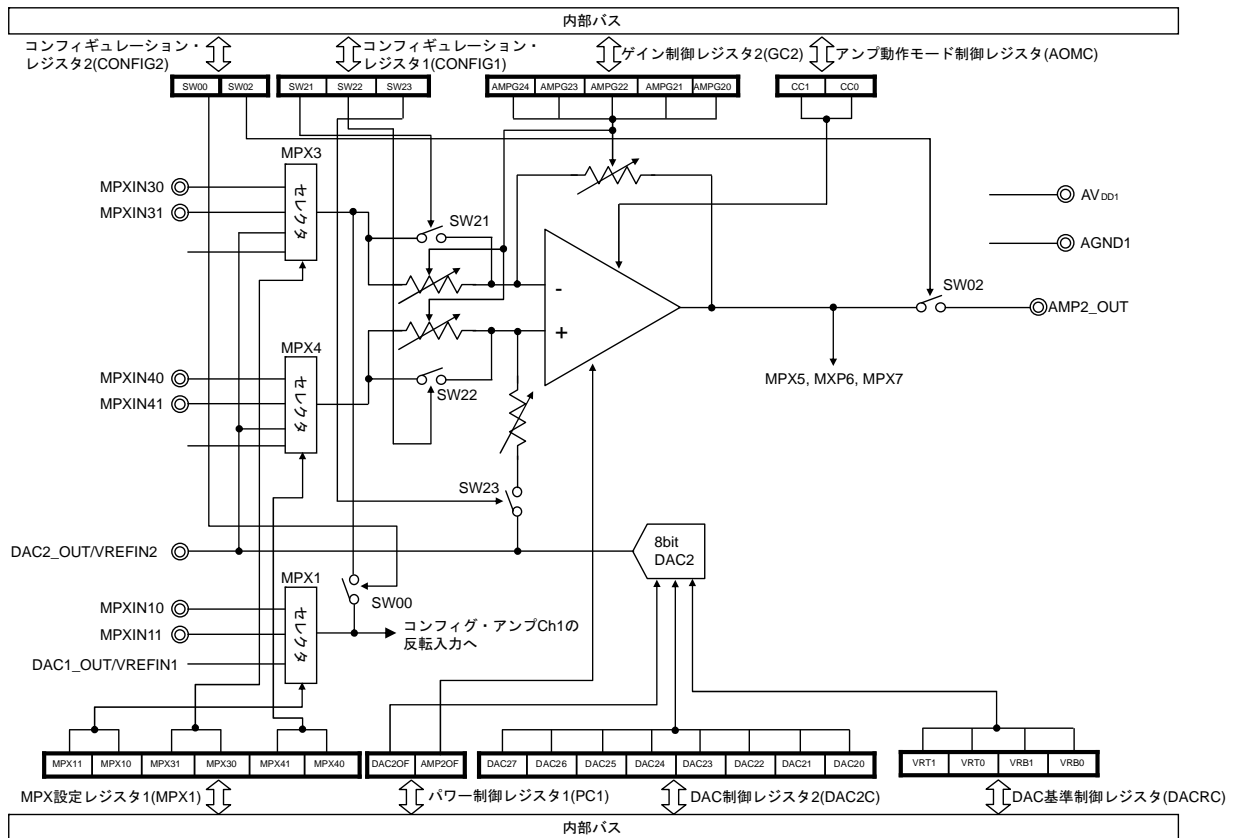
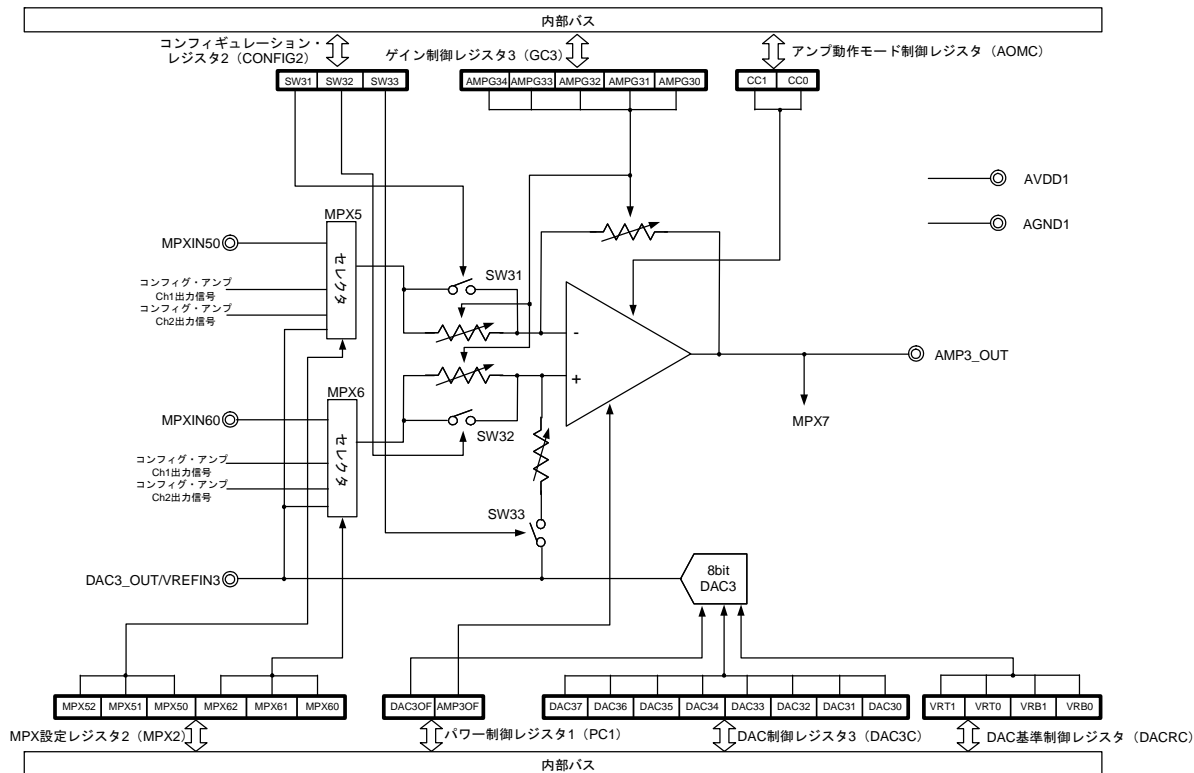
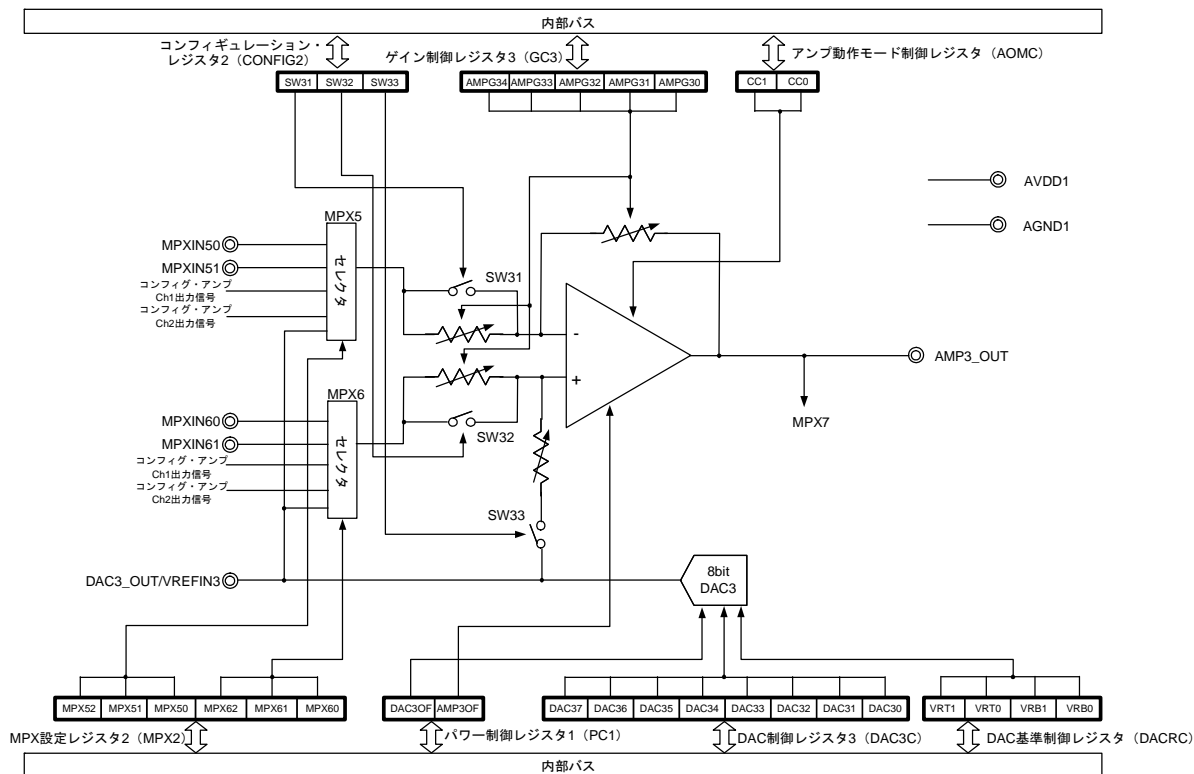


図 4-3 コンフィギュラブル・アンプ Ch3 のブロック図

● 64 ピン製品



● 80 ピン製品



### 4.1.3 コンフィギュラブル・アンプを制御するレジスタ

コンフィギュラブル・アンプでは、次の9種類のレジスタを使用します。

- コンフィギュレーション・レジスタ 1 (CONFIG1)
- コンフィギュレーション・レジスタ 2 (CONFIG2)
- MPX 設定レジスタ 1 (MPX1)
- MPX 設定レジスタ 2 (MPX2)
- ゲイン制御レジスタ 1 (GC1)
- ゲイン制御レジスタ 2 (GC2)
- ゲイン制御レジスタ 3 (GC3)
- アンプ動作モード制御レジスタ (AOMC)
- パワー制御レジスタ 1 (PC1)

## (1) コンフィギュレーション・レジスタ 1 (CONFIG1)

コンフィギュラブル・アンプ Ch1, Ch2 の各スイッチの ON/OFF を設定します。  
リセット信号の発生により, 00H になります。

アドレス : 00H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
CONFIG1	0	SW11	SW12	SW13	0	SW21	SW22	SW23

SW11	SW11 の制御
0	SW11 を OFF
1	SW11 を ON

SW12	SW12 の制御
0	SW12 を OFF
1	SW12 を ON

SW13	SW13 の制御
0	SW13 を OFF
1	SW13 を ON

SW21	SW21 の制御
0	SW21 を OFF
1	SW21 を ON

SW22	SW22 の制御
0	SW22 を OFF
1	SW22 を ON

SW23	SW23 の制御
0	SW23 を OFF
1	SW23 を ON

備考 ビット 7, 3 は 1 ライトにより書き換え可能ですが, 特に関連機能はありません。

## (2) コンフィギュレーション・レジスタ 2 (CONFIG2)

コンフィギュラブル・アンプ Ch1~Ch3 の各スイッチの ON/OFF を設定します。  
リセット信号の発生により、00H になります。

アドレス : 01H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
CONFIG2	0	SW31	SW32	SW33	0	SW02	SW01	SW00

SW31	SW31 の制御
0	SW31 を OFF
1	SW31 を ON

SW32	SW32 の制御
0	SW32 を OFF
1	SW32 を ON

SW33	SW33 の制御
0	SW33 を OFF
1	SW33 を ON

SW02	SW02 の制御
0	SW02 を OFF
1	SW02 を ON

SW01	SW01 の制御
0	SW01 を OFF
1	SW01 を ON

SW00	SW00 の制御
0	SW00 を OFF
1	SW00 を ON

備考 ビット 7, 3 は 1 ライトにより書き換え可能ですが、特に関連機能はありません。

## (3) MPX 設定レジスタ 1 (MPX1)

MPX1, MPX2, MPX3, MPX4 を制御するレジスタです。

コンフィギュラブル・アンプ Ch1, Ch2 の入力信号を選択します。

リセット信号の発生により, 00H になります。

アドレス : 03H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
MPX1	MPX11	MPX10	MPX21	MPX20	MPX31	MPX30	MPX41	MPX40

MPX11	MPX10	コンフィギュラブル・アンプ Ch1 の反転入力ソース
0	0	MPXIN10 端子
0	1	MPXIN11 端子
1	0	D/A コンバータ Ch1 出力信号または VREFIN1 端子
1	1	オープン

MPX21	MPX20	コンフィギュラブル・アンプ Ch1 の非反転入力ソース
0	0	MPXIN20 端子
0	1	MPXIN21 端子
1	0	D/A コンバータ Ch1 出力信号または VREFIN1 端子
1	1	オープン

MPX31	MPX30	コンフィギュラブル・アンプ Ch2 の反転入力ソース
0	0	MPXIN30 端子
0	1	MPXIN31 端子
1	0	D/A コンバータ Ch2 出力信号または VREFIN2 端子
1	1	オープン

MPX41	MPX40	コンフィギュラブル・アンプ Ch2 の非反転入力ソース
0	0	MPXIN40 端子
0	1	MPXIN41 端子
1	0	D/A コンバータ Ch2 出力信号または VREFIN2 端子
1	1	オープン

## (4) MPX 設定レジスタ 2 (MPX2)

MPX5, MPX6 を制御するレジスタです。

コンフィギュラブル・アンプ Ch3 の入力信号を選択します。

リセット信号の発生により, 00H になります。

- 64ピン製品

アドレス : 04H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
MPX2	0	MPX52	MPX51	MPX50	0	MPX62	MPX61	MPX60

MPX52	MPX51	MPX50	コンフィギュラブル・アンプ Ch3 の反転入力ソース
0	0	0	MPXIN50 端子
0	1	0	コンフィギュラブル・アンプ Ch1 出力信号
0	1	1	コンフィギュラブル・アンプ Ch2 出力信号
1	0	0	D/A コンバータ Ch3 出力信号または VREFIN3 端子
上記以外			設定禁止

MPX62	MPX61	MPX60	コンフィギュラブル・アンプ Ch3 の非反転入力ソース
0	0	0	MPXIN60 端子
0	1	0	コンフィギュラブル・アンプ Ch1 出力信号
0	1	1	コンフィギュラブル・アンプ Ch2 出力信号
1	0	0	D/A コンバータ Ch3 出力信号または VREFIN3 端子
上記以外			設定禁止

備考 ビット 7, 3 は 1 ライトにより書き換え可能ですが, 特に関連機能はありません。



- 80ピン製品

アドレス：04H リセット時：00H R/W

	7	6	5	4	3	2	1	0
MPX2	0	MPX52	MPX51	MPX50	0	MPX62	MPX61	MPX60

MPX52	MPX51	MPX50	コンフィギュラブル・アンプ Ch3 の反転入力ソース
0	0	0	MPXIN50 端子
0	0	1	MPXIN51 端子
0	1	0	コンフィギュラブル・アンプ Ch1 出力信号
0	1	1	コンフィギュラブル・アンプ Ch2 出力信号
1	0	0	D/A コンバータ Ch3 出力信号または VREFIN3 端子
上記以外			設定禁止

MPX62	MPX61	MPX60	コンフィギュラブル・アンプ Ch3 の非反転入力ソース
0	0	0	MPXIN60 端子
0	0	1	MPXIN61 端子
0	1	0	コンフィギュラブル・アンプ Ch1 出力信号
0	1	1	コンフィギュラブル・アンプ Ch2 出力信号
1	0	0	D/A コンバータ Ch3 出力信号または VREFIN3 端子
上記以外			設定禁止

備考 ビット7, 3は1ライトにより書き換え可能ですが、特に関連機能はありません。

## (5) ゲイン制御レジスタ 1 (GC1)

コンフィギュラブル・アンプ Ch1 の増幅率および帰還抵抗値を設定するレジスタです。

設定値はコンフィギュラブル・アンプ Ch1 の構成に依存します。

コンフィギュラブル・アンプ Ch1~Ch3 を組み合わせて計装アンプとして使用するときは、必ずゲイン制御レジスタ 1 (GC1) を 03H に設定してください。

リセット信号の発生により、00H になります。

アドレス : 06H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
GC1	0	0	0	AMPG14	AMPG13	AMPG12	AMPG11	AMPG10

表 4-1 コンフィギュラブル・アンプ Ch1 増幅率 (非反転アンプ)

AMPG14	AMPG13	AMPG12	AMPG11	AMPG10	コンフィギュラブル・アンプ Ch1 の増幅率 (Typ.)
0	0	0	0	0	9.5 dB
0	0	0	0	1	10.9 dB
0	0	0	1	0	12.4 dB
0	0	0	1	1	14.0 dB
0	0	1	0	0	15.6 dB
0	0	1	0	1	17.3 dB
0	0	1	1	0	19.0 dB
0	0	1	1	1	20.8 dB
0	1	0	0	0	22.7 dB
0	1	0	0	1	24.5 dB
0	1	0	1	0	26.4 dB
0	1	0	1	1	28.3 dB
0	1	1	0	0	30.3 dB
0	1	1	0	1	32.2 dB
0	1	1	1	0	34.2 dB
0	1	1	1	1	36.1 dB
1	0	0	0	0	38.1 dB
1	0	0	0	1	40.1 dB
上記以外					設定禁止

★ 備考 ビット 7~5 は 0 固定です。(Read only)

表 4-2 コンフィギュラブル・アンプ Ch1 増幅率 (反転アンプ, 差動アンプ)

AMPG14	AMPG13	AMPG12	AMPG11	AMPG10	コンフィギュラブル・アンプCh1 の増幅率 (Typ.)
0	0	0	0	0	6 dB
0	0	0	0	1	8 dB
0	0	0	1	0	10 dB
0	0	0	1	1	12 dB
0	0	1	0	0	14 dB
0	0	1	0	1	16 dB
0	0	1	1	0	18 dB
0	0	1	1	1	20 dB
0	1	0	0	0	22 dB
0	1	0	0	1	24 dB
0	1	0	1	0	26 dB
0	1	0	1	1	28 dB
0	1	1	0	0	30 dB
0	1	1	0	1	32 dB
0	1	1	1	0	34 dB
0	1	1	1	1	36 dB
1	0	0	0	0	38 dB
1	0	0	0	1	40 dB
上記以外					設定禁止

表 4-3 コンフィギュラブル・アンプ Ch1 帰還抵抗値 (I/V 変換アンプ)

AMPG14	AMPG13	AMPG12	AMPG11	AMPG10	コンフィギュラブル・アンプCh1 の帰還抵抗値 (Typ.)
0	0	0	0	0	20kΩ
0	0	0	0	1	
0	0	0	1	0	
0	0	0	1	1	40kΩ
0	0	1	0	0	
0	0	1	0	1	
0	0	1	1	0	80kΩ
0	0	1	1	1	
0	1	0	0	0	
0	1	0	0	1	160kΩ
0	1	0	1	0	
0	1	0	1	1	
0	1	1	0	0	320kΩ
0	1	1	0	1	
0	1	1	1	0	
0	1	1	1	1	640kΩ
1	0	0	0	0	
1	0	0	0	1	
上記以外					設定禁止

## (6) ゲイン制御レジスタ 2 (GC2)

コンフィギュラブル・アンプ Ch2 の増幅率および帰還抵抗値を設定するレジスタです。

設定値はコンフィギュラブル・アンプ Ch2 の構成に依存します。

コンフィギュラブル・アンプ Ch1~Ch3 を組み合わせて計装アンプとして使用するときは、必ずゲイン制御レジスタ 2 (GC2) を 03H に設定してください。

リセット信号の発生により、00H になります。

アドレス : 07H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
GC2	0	0	0	AMPG24	AMPG23	AMPG22	AMPG21	AMPG20

表 4-4 コンフィギュラブル・アンプ Ch2 増幅率 (非反転アンプ)

AMPG24	AMPG23	AMPG22	AMPG21	AMPG20	コンフィギュラブル・アンプ Ch2 の増幅率 (Typ.)
0	0	0	0	0	9.5 dB
0	0	0	0	1	10.9 dB
0	0	0	1	0	12.4 dB
0	0	0	1	1	14.0 dB
0	0	1	0	0	15.6 dB
0	0	1	0	1	17.3 dB
0	0	1	1	0	19.0 dB
0	0	1	1	1	20.8 dB
0	1	0	0	0	22.7 dB
0	1	0	0	1	24.5 dB
0	1	0	1	0	26.4 dB
0	1	0	1	1	28.3 dB
0	1	1	0	0	30.3 dB
0	1	1	0	1	32.2 dB
0	1	1	1	0	34.2 dB
0	1	1	1	1	36.1 dB
1	0	0	0	0	38.1 dB
1	0	0	0	1	40.1 dB
上記以外					設定禁止

★ 備考 ビット 7~5 は 0 固定です。(Read only)

表 4-5 コンフィギュラブル・アンプ Ch2 増幅率（反転アンプ，差動アンプ）

AMPG24	AMPG23	AMPG22	AMPG21	AMPG20	コンフィギュラブル・アンプ Ch2 の増幅率 (Typ.)
0	0	0	0	0	6 dB
0	0	0	0	1	8 dB
0	0	0	1	0	10 dB
0	0	0	1	1	12 dB
0	0	1	0	0	14 dB
0	0	1	0	1	16 dB
0	0	1	1	0	18 dB
0	0	1	1	1	20 dB
0	1	0	0	0	22 dB
0	1	0	0	1	24 dB
0	1	0	1	0	26 dB
0	1	0	1	1	28 dB
0	1	1	0	0	30 dB
0	1	1	0	1	32 dB
0	1	1	1	0	34 dB
0	1	1	1	1	36 dB
1	0	0	0	0	38 dB
1	0	0	0	1	40 dB
上記以外					設定禁止

表 4-6 コンフィギュラブル・アンプ Ch2 帰還抵抗値 (I/V 変換アンプ)

AMPG24	AMPG23	AMPG22	AMPG21	AMPG20	コンフィギュラブル・アンプCh2 の帰還抵抗値 (Typ.)
0	0	0	0	0	20kΩ
0	0	0	0	1	
0	0	0	1	0	
0	0	0	1	1	40kΩ
0	0	1	0	0	
0	0	1	0	1	
0	0	1	1	0	80kΩ
0	0	1	1	1	
0	1	0	0	0	
0	1	0	0	1	160kΩ
0	1	0	1	0	
0	1	0	1	1	
0	1	1	0	0	320kΩ
0	1	1	0	1	
0	1	1	1	0	
0	1	1	1	1	640kΩ
1	0	0	0	0	
1	0	0	0	1	
上記以外					設定禁止

## (7) ゲイン制御レジスタ 3 (GC3)

コンフィギュラブル・アンプ Ch3 の増幅率および帰還抵抗値を設定するレジスタです。

設定値はコンフィギュラブル・アンプ Ch3 の構成に依存します。

コンフィギュラブル・アンプ Ch1~Ch3 を組み合わせて計装アンプとして使用するときは、必ずゲイン制御レジスタ 1 (GC1) とゲイン制御レジスタ 2 (GC2) をそれぞれ 03H に設定してください。

リセット信号の発生により、00H になります。

アドレス : 08H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
GC3	0	0	0	AMPG34	AMPG33	AMPG32	AMPG31	AMPG30

表 4-7 コンフィギュラブル・アンプ Ch3 増幅率 (非反転アンプ)

AMPG34	AMPG33	AMPG32	AMPG31	AMPG30	コンフィギュラブル・アンプ Ch3 の増幅率 (Typ.)
0	0	0	0	0	9.5 dB
0	0	0	0	1	10.9 dB
0	0	0	1	0	12.4 dB
0	0	0	1	1	14.0 dB
0	0	1	0	0	15.6 dB
0	0	1	0	1	17.3 dB
0	0	1	1	0	19.0 dB
0	0	1	1	1	20.8 dB
0	1	0	0	0	22.7 dB
0	1	0	0	1	24.5 dB
0	1	0	1	0	26.4 dB
0	1	0	1	1	28.3 dB
0	1	1	0	0	30.3 dB
0	1	1	0	1	32.2 dB
0	1	1	1	0	34.2 dB
0	1	1	1	1	36.1 dB
1	0	0	0	0	38.1 dB
1	0	0	0	1	40.1 dB
上記以外					設定禁止

★ 備考 ビット 7~5 は 0 固定です。(Read only)



表 4-8 コンフィギュラブル・アンプ Ch3 増幅率（反転アンプ，差動アンプ）

AMPG34	AMPG33	AMPG32	AMPG31	AMPG30	コンフィギュラブル・アンプ Ch3 の増幅率 (Typ.)
0	0	0	0	0	6 dB
0	0	0	0	1	8 dB
0	0	0	1	0	10 dB
0	0	0	1	1	12 dB
0	0	1	0	0	14 dB
0	0	1	0	1	16 dB
0	0	1	1	0	18 dB
0	0	1	1	1	20 dB
0	1	0	0	0	22 dB
0	1	0	0	1	24 dB
0	1	0	1	0	26 dB
0	1	0	1	1	28 dB
0	1	1	0	0	30 dB
0	1	1	0	1	32 dB
0	1	1	1	0	34 dB
0	1	1	1	1	36 dB
1	0	0	0	0	38 dB
1	0	0	0	1	40 dB
上記以外					設定禁止

表 4-9 コンフィギュラブル・アンプ Ch3 帰還抵抗値 (I/V 変換アンプ)

AMPG34	AMPG33	AMPG32	AMPG31	AMPG30	コンフィギュラブル・アンプCh3 の帰還抵抗値 (Typ.)
0	0	0	0	0	20kΩ
0	0	0	0	1	
0	0	0	1	0	
0	0	0	1	1	40kΩ
0	0	1	0	0	
0	0	1	0	1	
0	0	1	1	0	80kΩ
0	0	1	1	1	
0	1	0	0	0	
0	1	0	0	1	160kΩ
0	1	0	1	0	
0	1	0	1	1	
0	1	1	0	0	320kΩ
0	1	1	0	1	
0	1	1	1	0	
0	1	1	1	1	640kΩ
1	0	0	0	0	
1	0	0	0	1	
上記以外					設定禁止

表 4-10 コンフィギュラブル・アンプ Ch3 増幅率 (計装アンプ)

AMPG34	AMPG33	AMPG32	AMPG31	AMPG30	コンフィギュラブル・アンプCh3 の増幅率 (Typ.)
0	0	0	0	0	20 dB
0	0	0	0	1	22 dB
0	0	0	1	0	24 dB
0	0	0	1	1	26 dB
0	0	1	0	0	28 dB
0	0	1	0	1	30 dB
0	0	1	1	0	32 dB
0	0	1	1	1	34 dB
0	1	0	0	0	36 dB
0	1	0	0	1	38 dB
0	1	0	1	0	40 dB
0	1	0	1	1	42 dB
0	1	1	0	0	44 dB
0	1	1	0	1	46 dB
0	1	1	1	0	48 dB
0	1	1	1	1	50 dB
1	0	0	0	0	52 dB
1	0	0	0	1	54 dB
上記以外					設定禁止

## (8) アンプ動作モード制御レジスタ (AOMC)

コンフィギュラブル・アンプ Ch1~Ch3 の動作モードを選択します。  
リセット信号の発生により、00H になります。

アドレス：09H リセット時：00H R/W

	7	6	5	4	3	2	1	0
AOMC	0	0	0	0	0	0	CC1	CC0

CC1	CC0	コンフィギュラブル・アンプ Ch1~Ch3 の動作モード
0	0	高速モード
0	1	中速モード2
1	0	中速モード1
1	1	低速モード

- ★ 備考 1. ビット 5~2 は、1 ライトにより書き換え可能ですが、特に関連機能はありません。  
2. ビット 7, 6 は 0 固定です。(Read only)

## (9) パワー制御レジスタ 1 (PC1)

コンフィギュラブル・アンプ、D/A コンバータの動作許可/停止を設定するレジスタです。

使用しない機能は、動作停止させることで、低消費電力化とノイズ低減をはかります。

コンフィギュラブル・アンプ Ch1~Ch3 のいずれかを使用するときは、ビット 2~0 の対応する制御ビットに 1 を設定してください。

リセット信号の発生により、00H になります。

アドレス : 11H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PC1	DAC4OF	DAC3OF	DAC2OF	DAC1OF	0	AMP3OF	AMP2OF	AMP1OF

AMP3OF	コンフィギュラブル・アンプ Ch3 の動作制御
0	コンフィギュラブル・アンプ Ch3 動作停止
1	コンフィギュラブル・アンプ Ch3 動作許可

AMP2OF	コンフィギュラブル・アンプ Ch2 の動作制御
0	コンフィギュラブル・アンプ Ch2 動作停止
1	コンフィギュラブル・アンプ Ch2 動作許可

AMP1OF	コンフィギュラブル・アンプ Ch1 の動作制御
0	コンフィギュラブル・アンプ Ch1 動作停止
1	コンフィギュラブル・アンプ Ch1 動作許可

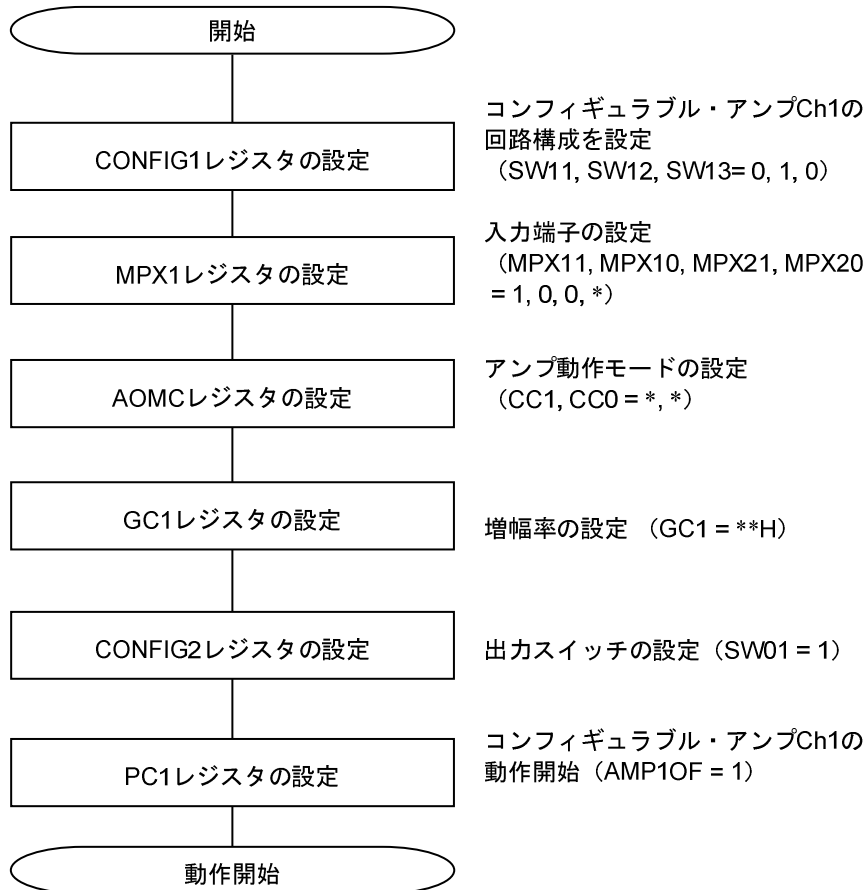
注意 ビット 3 は、必ず 0 を設定してください。

## 4.1.4 コンフィギュラブル・アンプの動作手順

## (1) 非反転アンプとして使用時の動作手順

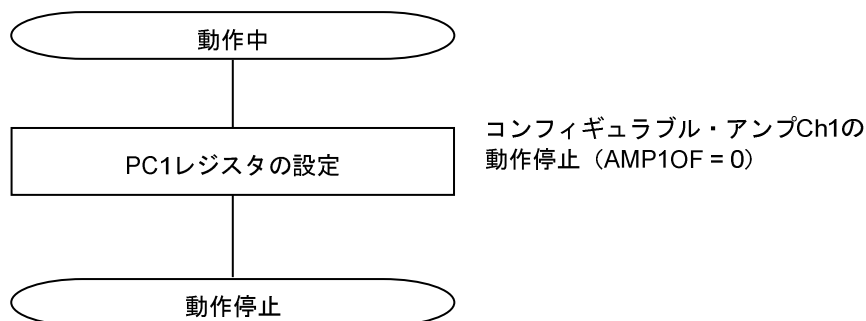
コンフィギュラブル・アンプを非反転アンプとして使用する場合の動作開始手順と動作停止手順を以下に示します。

## コンフィギュラブル・アンプ Ch1（非反転アンプ）動作開始手順例

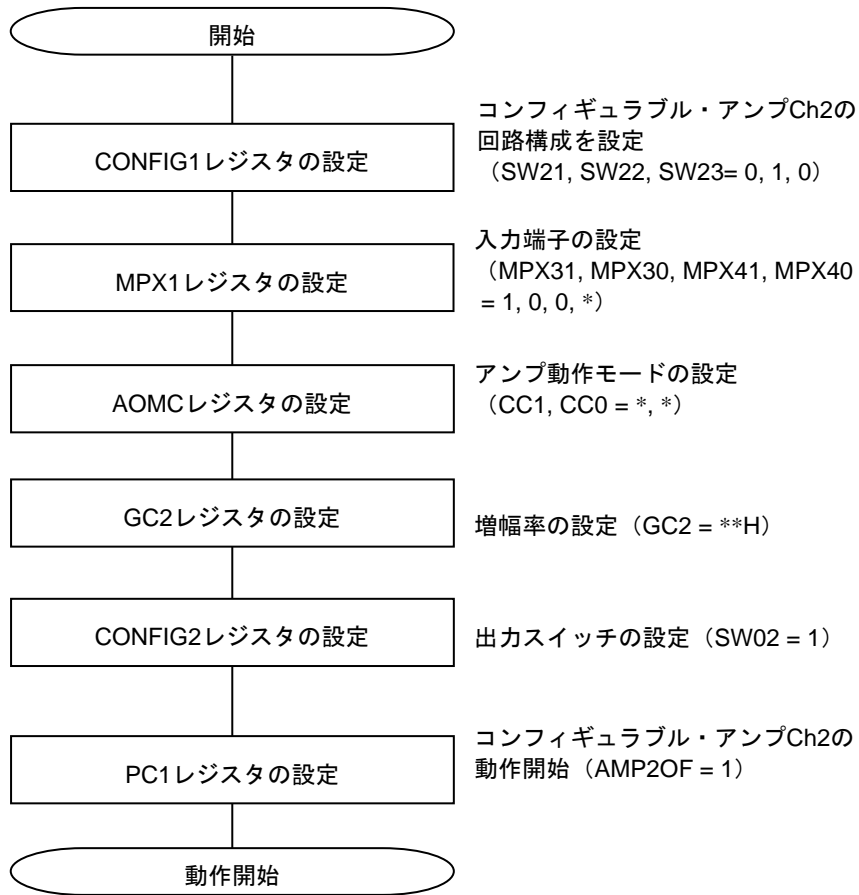


備考 \* : don't care

## コンフィギュラブル・アンプ Ch1（非反転アンプ）動作停止手順例

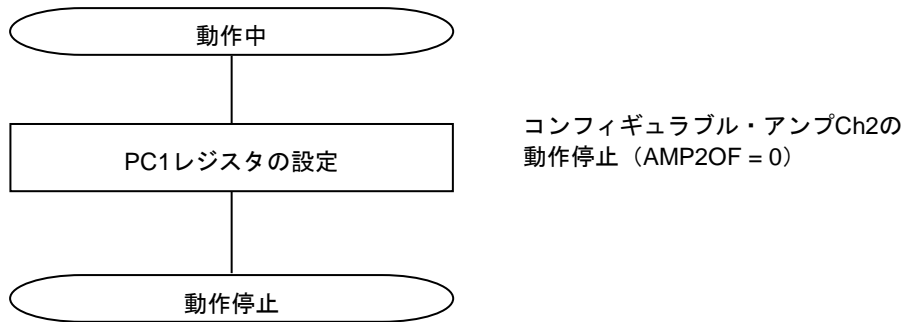


コンフィギュラブル・アンプ Ch2（非反転アンプ）動作開始手順例

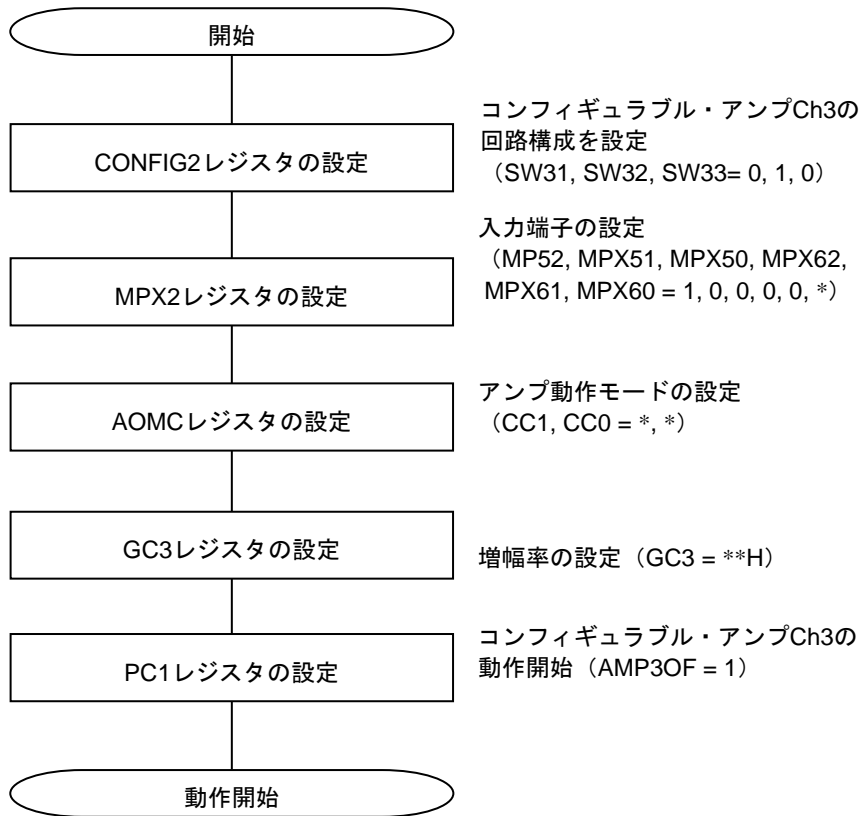


備考 \* : don't care

コンフィギュラブル・アンプ Ch2（非反転アンプ）動作停止手順例

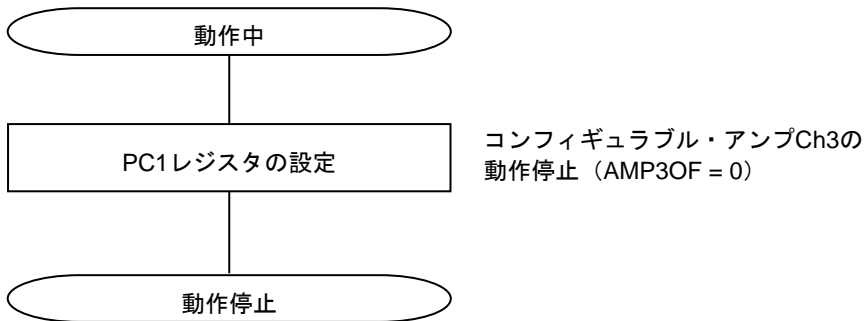


コンフィギュラブル・アンプ Ch3 (非反転アンプ) 動作開始手順例



備考 \* : don't care

コンフィギュラブル・アンプ Ch3 (非反転アンプ) 動作停止手順例

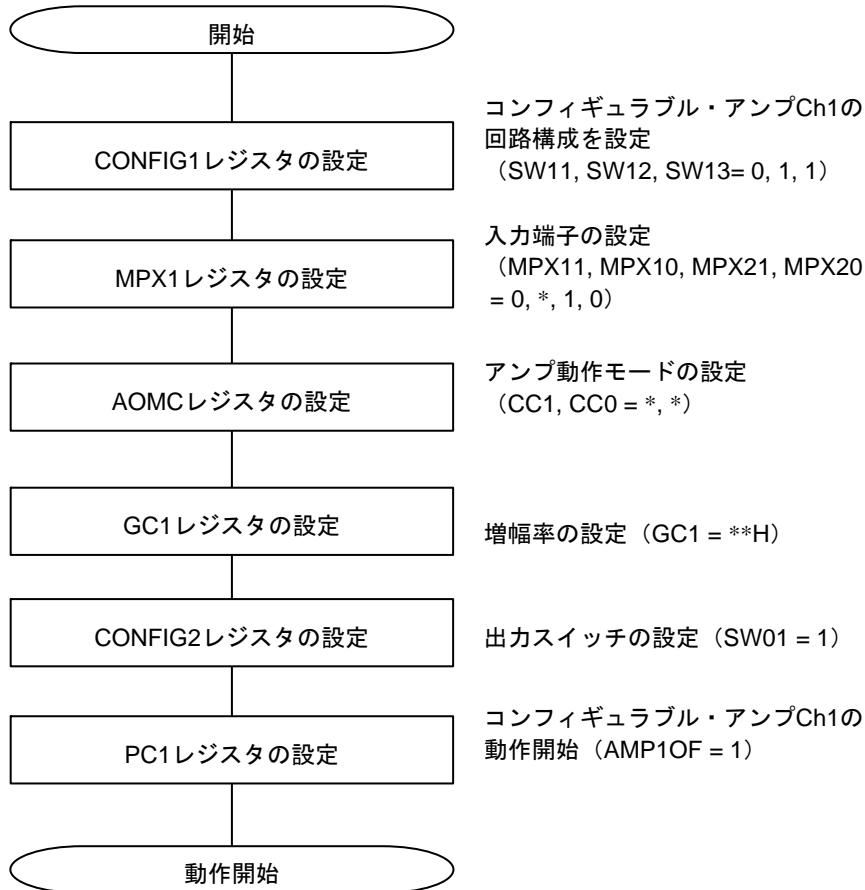




## (2) 反転アンプとして使用時の動作手順

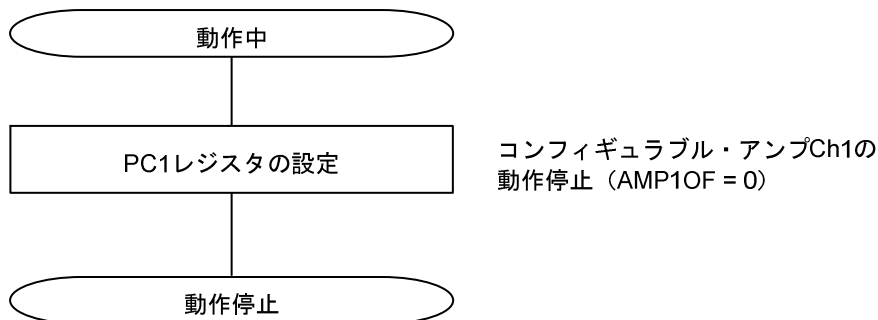
コンフィギュラブル・アンプを反転アンプとして使用する場合の動作開始手順と動作停止手順を以下に示します。

## コンフィギュラブル・アンプ Ch1 (反転アンプ) 動作開始手順例

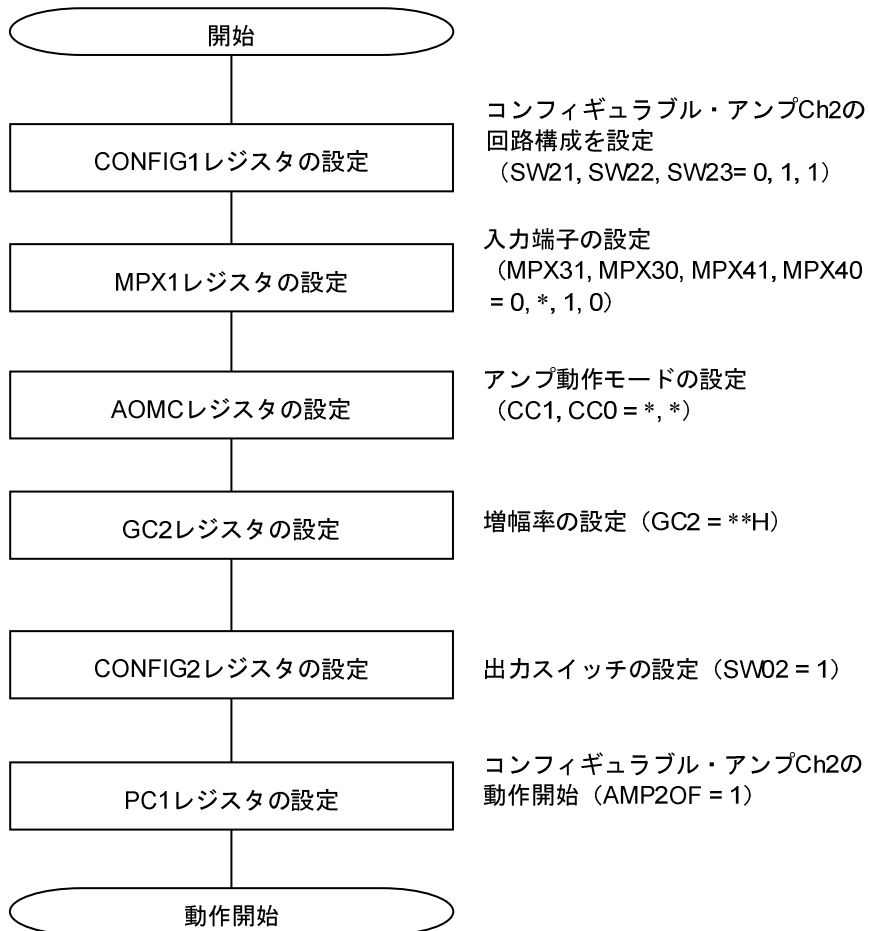


備考 \* : don't care

## コンフィギュラブル・アンプ Ch1 (反転アンプ) 動作停止手順例

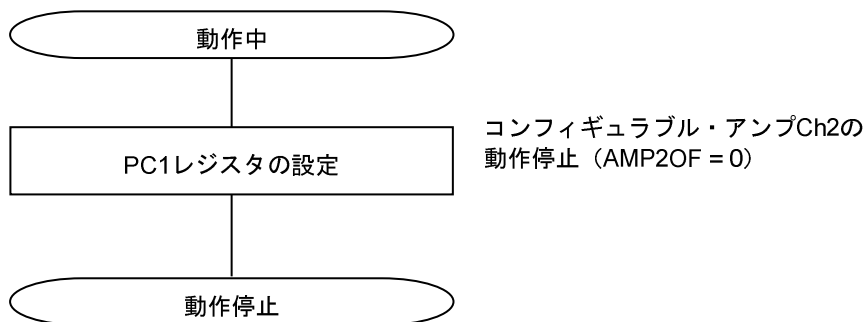


コンフィギュラブル・アンプ Ch2（反転アンプ）動作開始手順例

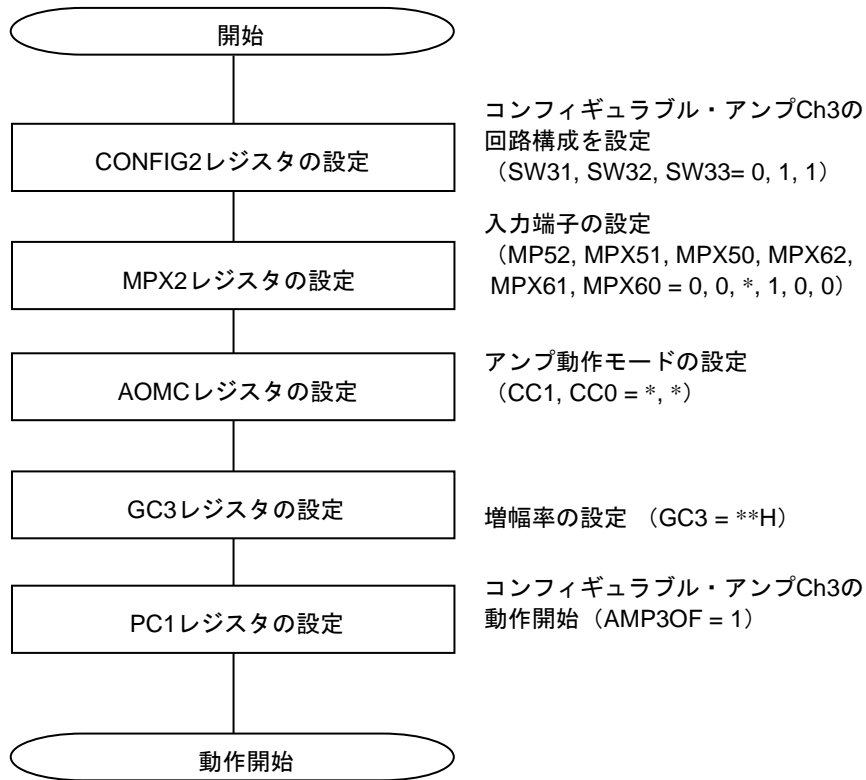


備考 \* : don't care

コンフィギュラブル・アンプ Ch2（反転アンプ）動作停止手順例

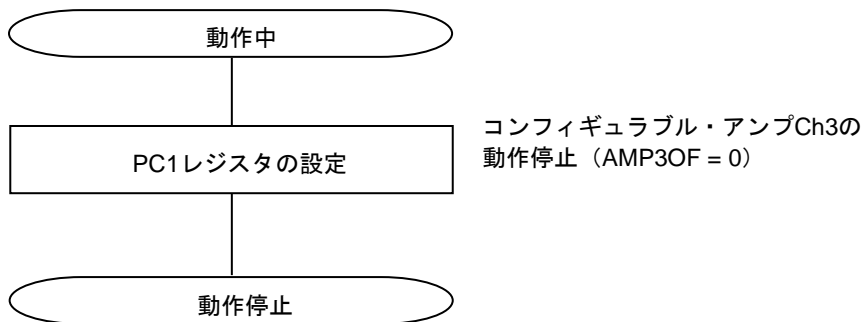


コンフィギュラブル・アンプ Ch3（反転アンプ）動作開始手順例



備考 \* : don't care

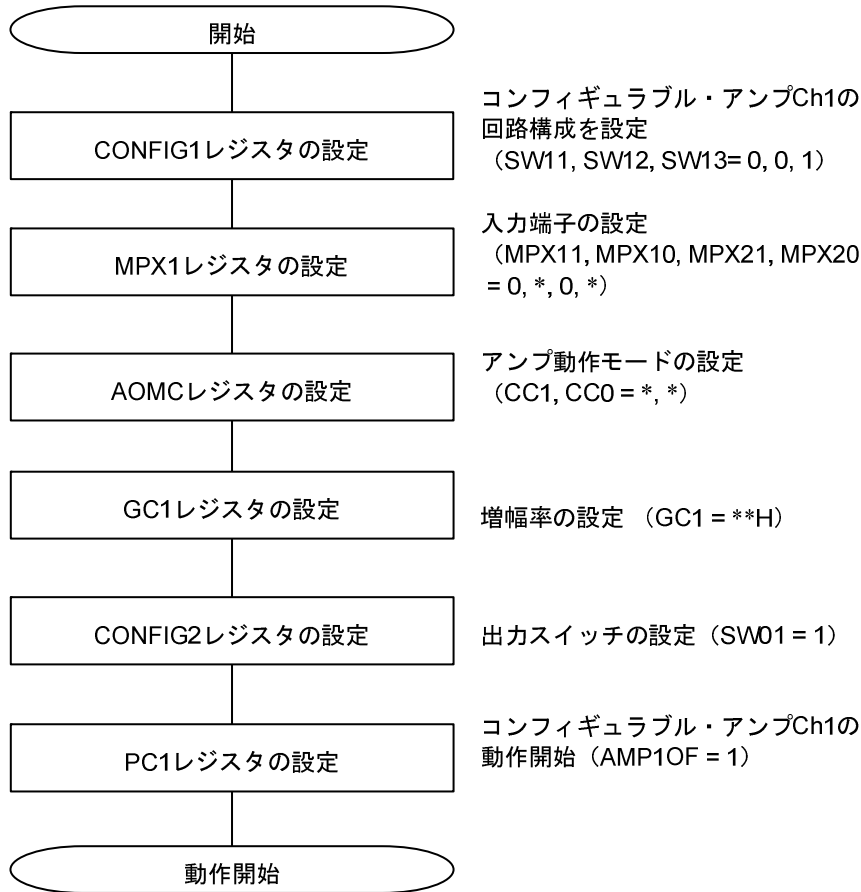
コンフィギュラブル・アンプ Ch3（反転アンプ）動作停止手順例



## (3) 差動アンプとして使用時の動作手順

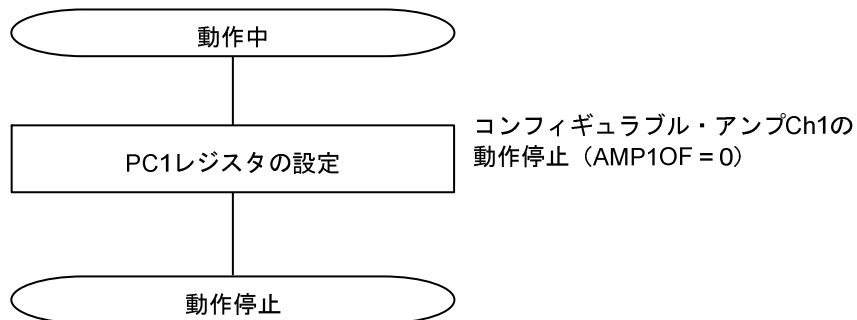
コンフィギュラブル・アンプを差動アンプとして使用する場合の動作開始手順と動作停止手順を以下に示します。

## コンフィギュラブル・アンプ Ch1 (差動アンプ) 動作開始手順例

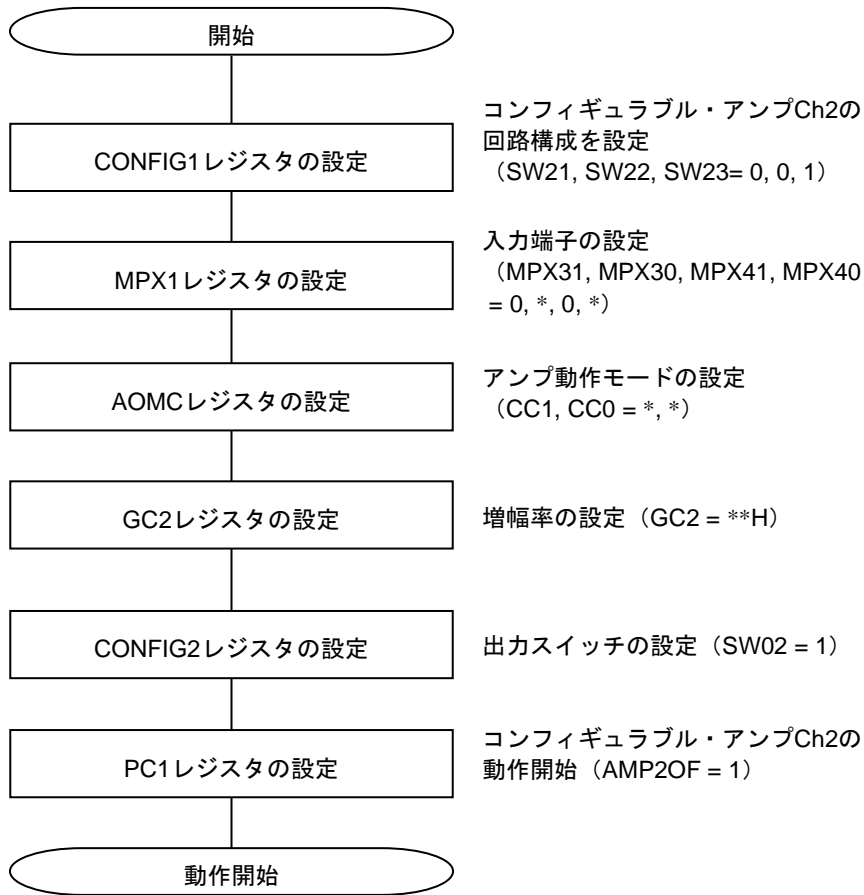


備考 \* : don't care

## コンフィギュラブル・アンプ Ch1 (差動アンプ) 動作停止手順例

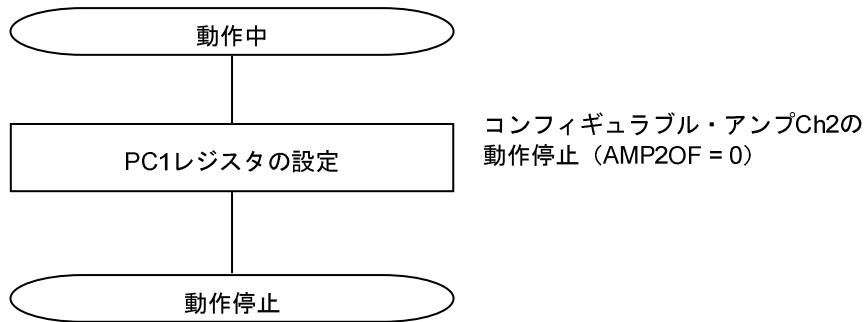


コンフィギュラブル・アンプ Ch2 (差動アンプ) 動作開始手順例

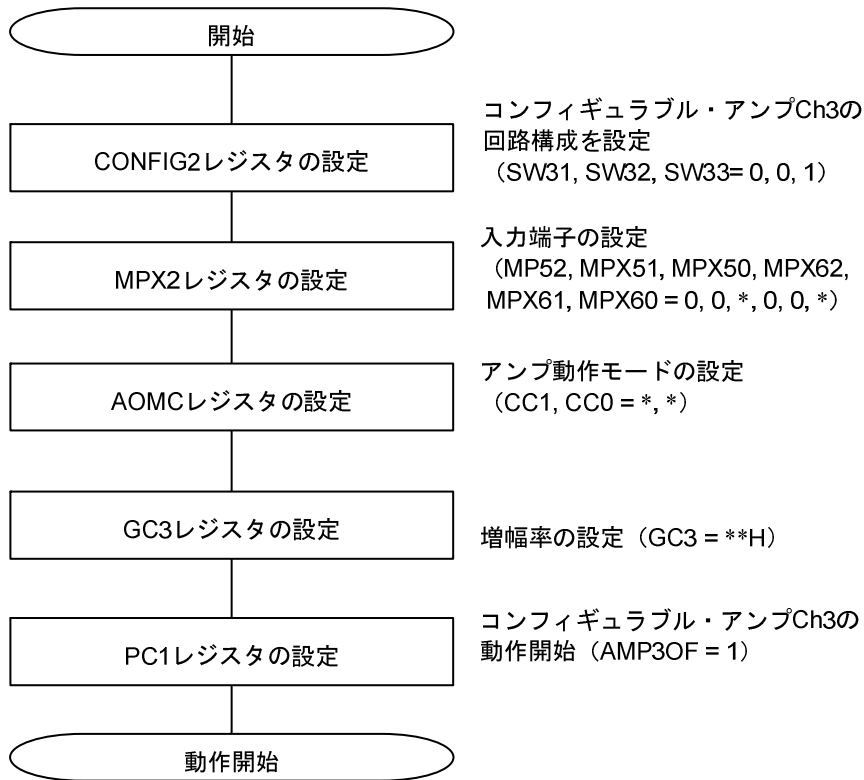


備考 \* : don't care

コンフィギュラブル・アンプ Ch2 (差動アンプ) 動作停止手順例

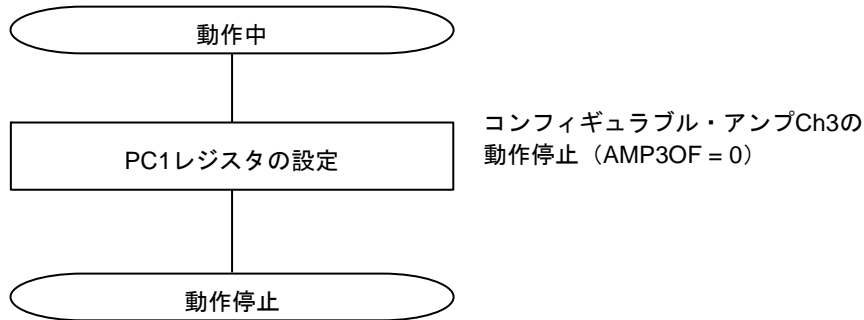


コンフィギュラブル・アンプ Ch3 (差動アンプ) 動作開始手順例



備考 \* : don't care

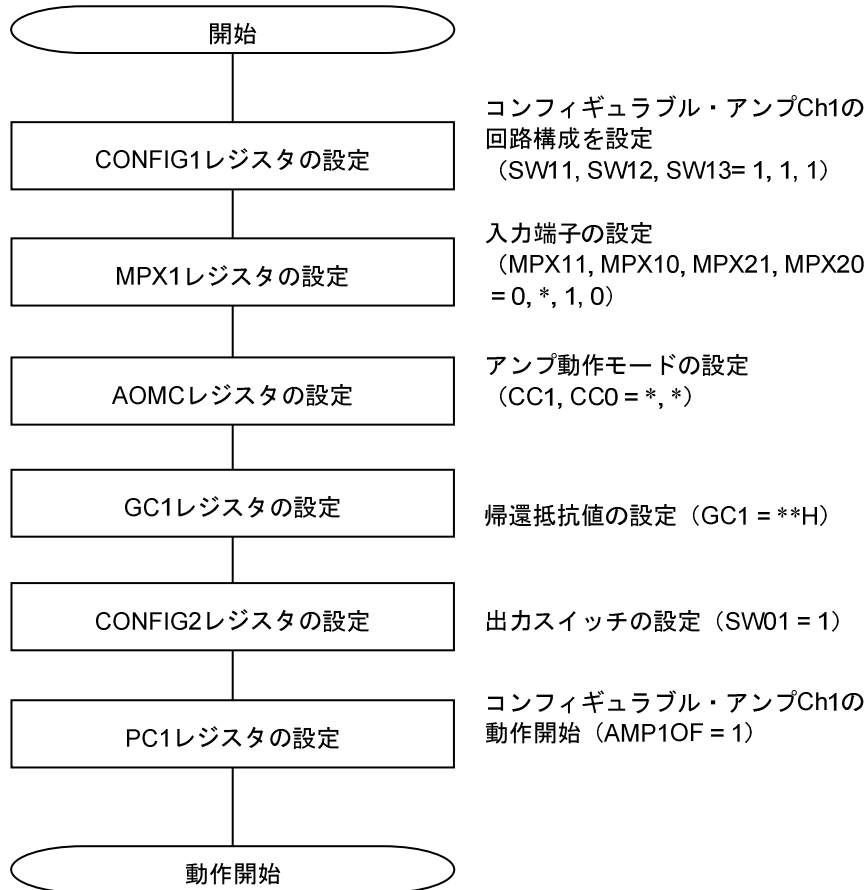
コンフィギュラブル・アンプ Ch3 (差動アンプ) 動作停止手順例



## (4) I/V 変換アンプとして使用時の動作手順

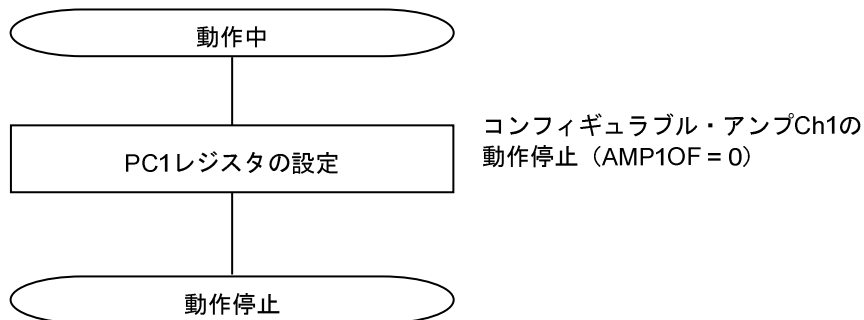
コンフィギュラブル・アンプを I/V 変換アンプとして使用する場合の動作開始手順と動作停止手順を以下に示します。

## コンフィギュラブル・アンプ Ch1 (I/V 変換アンプ) 動作開始手順例

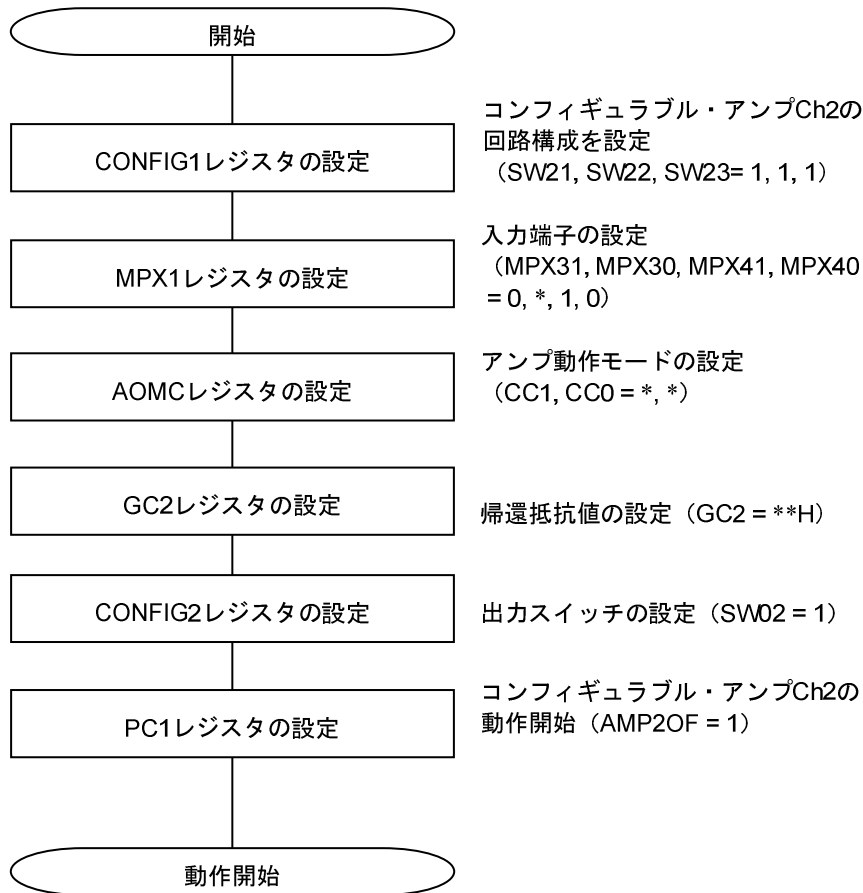


備考 \* : don't care

## コンフィギュラブル・アンプ Ch1 (I/V 変換アンプ) 動作停止手順例

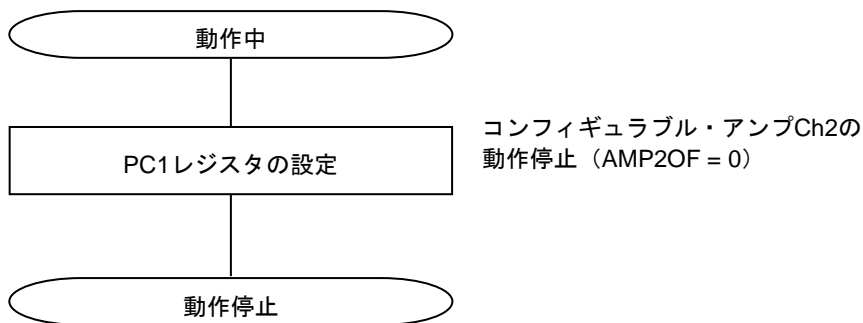


### コンフィギュラブル・アンプ Ch2 (I/V 変換アンプ) 動作開始手順例



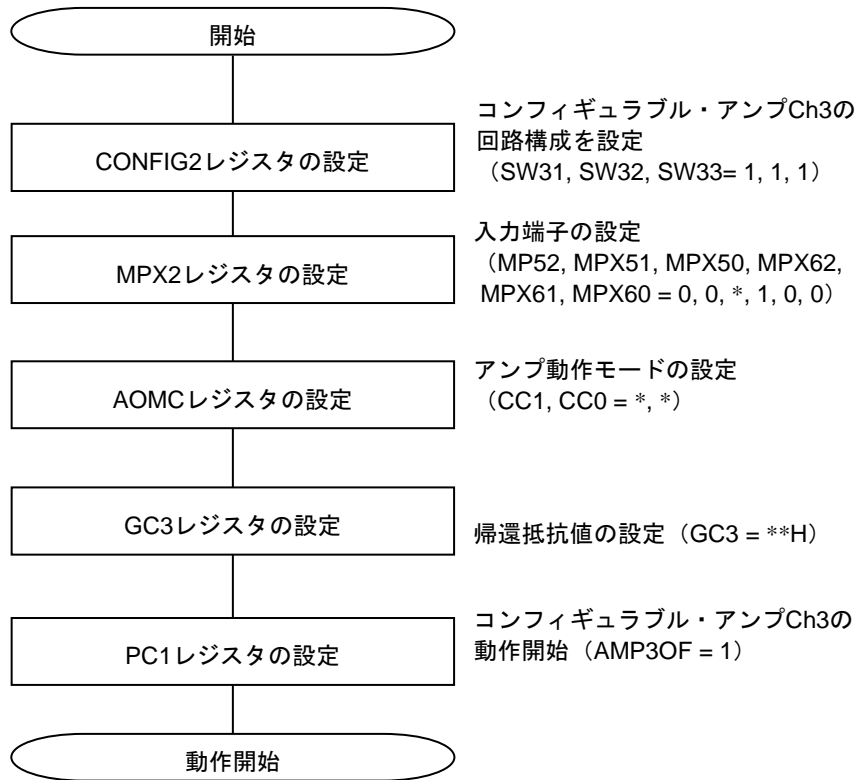
備考 \* : don't care

### コンフィギュラブル・アンプ Ch2 (I/V 変換アンプ) 動作停止手順例



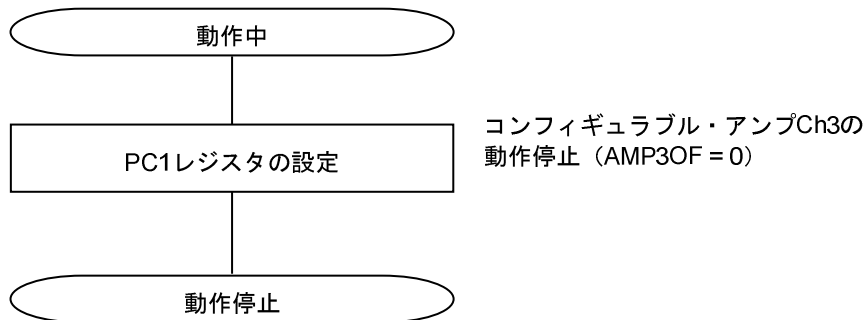


### コンフィギュラブル・アンプ Ch3 (I/V 変換アンプ) 動作開始手順例



備考 \* : don't care

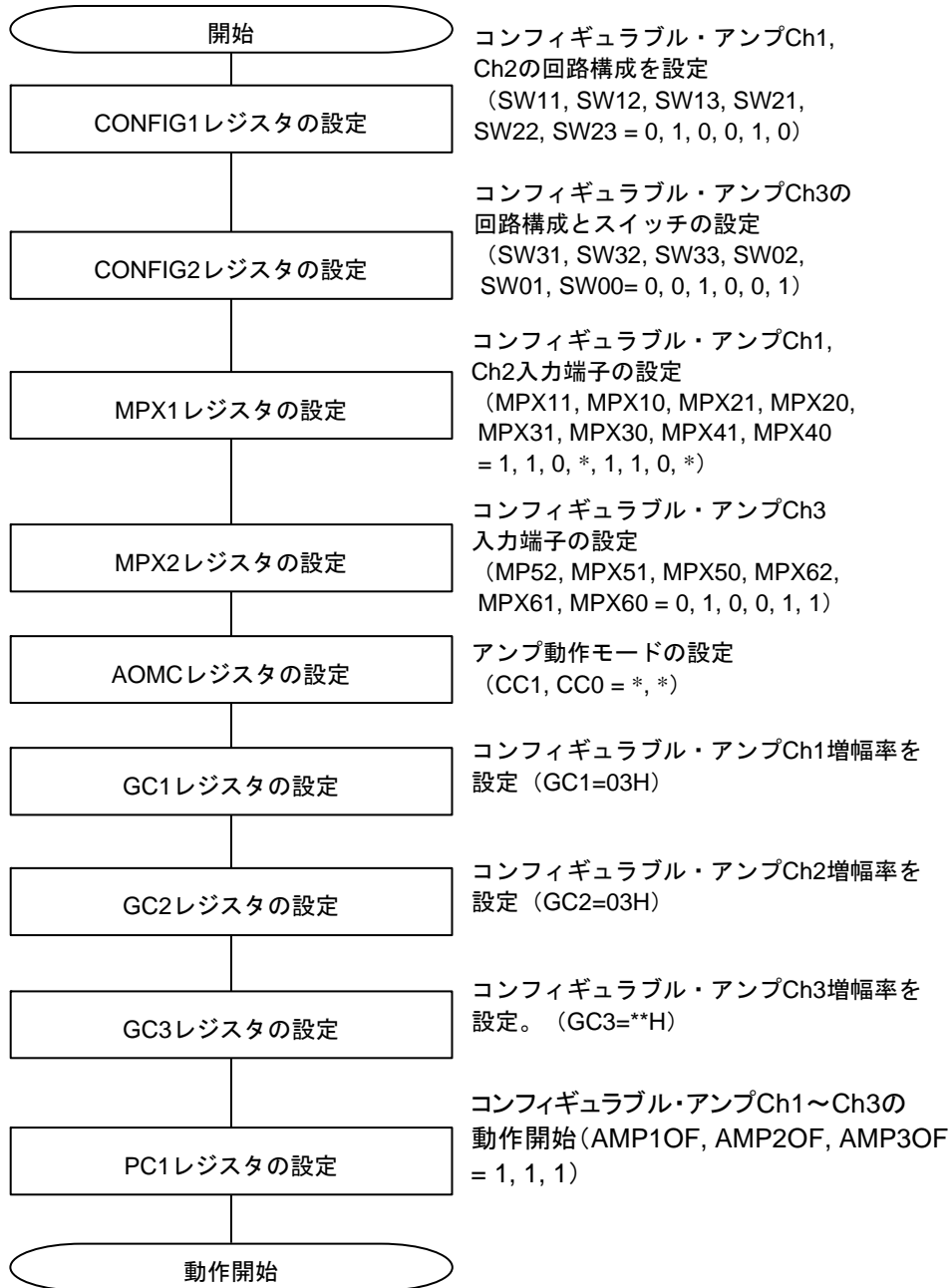
### コンフィギュラブル・アンプ Ch3 (I/V 変換アンプ) 動作停止手順例



## (5) 計装アンプとして使用時の動作手順

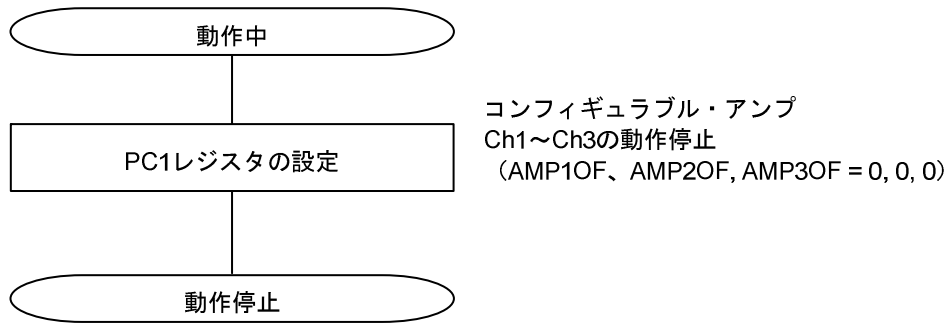
コンフィギュラブル・アンプを計装アンプとして使用する場合の動作開始手順と動作停止手順を以下に示します。

## コンフィギュラブル・アンプ（計装アンプ）動作開始手順例



備考 \* : don't care

## コンフィギュラブル・アンプ（計装アンプ）動作停止手順例



## 4.2 ゲイン調整アンプ

RL78/G1E (64ピン製品, 80ピン製品) は, ゲイン調整アンプを 1ch 搭載しています。

### 4.2.1 ゲイン調整アンプの機能概要

ゲイン調整アンプには, 以下の機能があります。

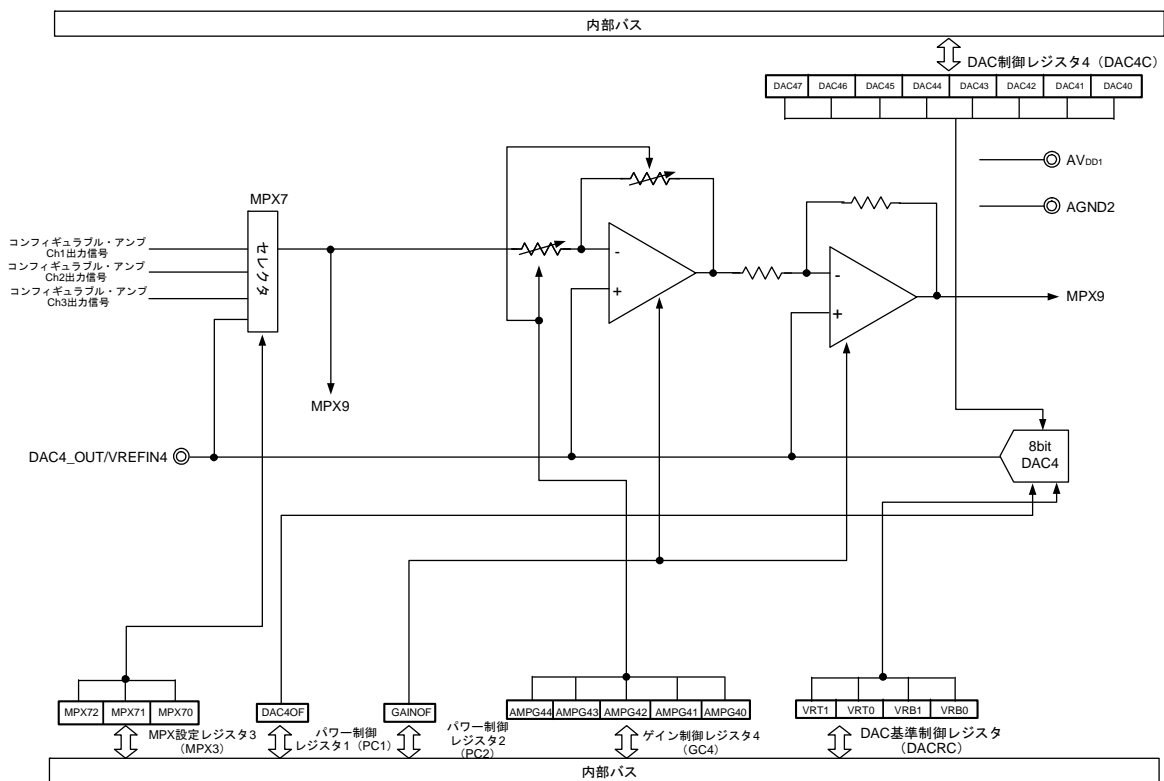
- レール・トゥ・レール入出力
  - 増幅率を 6 dB から 40 dB まで 18 ステップで選択可能
  - パワーオフ機能を搭載
  - 同期検波機能を搭載<sup>注</sup>
- ★ - CLK\_SYNCH = H : 反転出力信号 (SYNCH\_OUT)  
 - CLK\_SYNCH = L : 非反転出力信号 (SYNCH\_OUT)
- ★ 注 80ピン製品のみ。2つの出力端子 (GAINAMP\_OUT 端子, SYNCH\_OUT 端子) のうち, SYNCH\_OUT 端子からの出力は, CLK\_SYNCH 端子の入力に応じ, 反転出力もしくは非反転出力となります。

また, ゲイン調整アンプでは, DAC4\_OUT 出力信号を基準電圧として使用できます。D/A コンバータ Ch4 を使用しない場合は, DAC4\_OUT/VREFIN4 端子から外部基準電圧を入力します。

D/A コンバータの使用に関しては, 4.3 D/A コンバータを参照してください。

### 4.2.2 ブロック図

- 64ピン製品





### 4.2.3 ゲイン調整アンプを制御するレジスタ

ゲイン調整アンプでは、次の3種類のレジスタを使用します。

- MPX 設定レジスタ 3 (MPX3)
- ゲイン制御レジスタ 4 (GC4)
- パワー制御レジスタ 2 (PC2)

#### (1) MPX 設定レジスタ 3 (MPX3)

MPX7, MPX9, MPX10, MPX11 を制御するレジスタです。

ゲイン調整アンプの入力信号を選択するときは、ビット2~0を設定してください。

リセット信号の発生により、00H になります。

- 64ピン製品

アドレス：05H リセット時：00H R/W

	7	6	5	4	3	2	1	0
MPX3	0	0	SCF2	SCF1	0	MPX72	MPX71	MPX70

MPX72	MPX71	MPX70	ゲイン調整アンプの入力ソース
0	0	0	-
0	0	1	コンフィギュラブル・アンプ Ch1 出力信号
0	1	0	コンフィギュラブル・アンプ Ch2 出力信号
0	1	1	コンフィギュラブル・アンプ Ch3 出力信号
1	0	0	D/A コンバータ Ch4 出力信号または VREFIN4 端子
上記以外			設定禁止

注意 ビット3は、必ず0を設定してください。

★ 備考 ビット7, 6は0固定です。(Read only)

- 80ピン製品

アドレス：05H リセット時：00H R/W

	7	6	5	4	3	2	1	0
MPX3	0	0	SCF2	SCF1	SCF0	MPX72	MPX71	MPX70

MPX72	MPX71	MPX70	ゲイン調整アンプの入力ソース
0	0	0	GAINAMP_IN 端子
0	0	1	コンフィギュラブル・アンプ Ch1 出力信号
0	1	0	コンフィギュラブル・アンプ Ch2 出力信号
0	1	1	コンフィギュラブル・アンプ Ch3 出力信号
1	0	0	D/A コンバータ Ch4 出力信号または VREFIN4 端子
上記以外			設定禁止

★ 備考 ビット7, 6は0固定です。(Read only)

## (2) ゲイン制御レジスタ 4 (GC4)

ゲイン調整アンプの増幅率を設定するレジスタです。  
リセット信号の発生により、00H になります。

アドレス：0AH リセット時：00H R/W

	7	6	5	4	3	2	1	0
GC4	0	0	0	AMP44	AMP43	AMP42	AMP41	AMP40

AMP44	AMP43	AMP42	AMP41	AMP40	増幅率
0	0	0	0	0	6 dB
0	0	0	0	1	8 dB
0	0	0	1	0	10 dB
0	0	0	1	1	12 dB
0	0	1	0	0	14 dB
0	0	1	0	1	16 dB
0	0	1	1	0	18 dB
0	0	1	1	1	20 dB
0	1	0	0	0	22 dB
0	1	0	0	1	24 dB
0	1	0	1	0	26 dB
0	1	0	1	1	28 dB
0	1	1	0	0	30 dB
0	1	1	0	1	32 dB
0	1	1	1	0	34 dB
0	1	1	1	1	36 dB
1	0	0	0	0	38 dB
1	0	0	0	1	40 dB
上記以外					設定禁止

★ 備考 ビット7~5は0固定です。(Read only)

## (3) パワー制御レジスタ 2 (PC2)

ゲイン調整アンプ, ローパス・フィルタ, ハイパス・フィルタ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路の動作許可/停止を設定するレジスタです。

使用しない機能は, 動作停止させることで, 低消費電力化とノイズ低減をはかります。

ゲイン調整アンプを使用するときは, ビット 4 を 1 に設定してください。

リセット信号の発生により, 00H になります。

- 64 ピン製品

アドレス: 12H リセット時: 00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	0	LDOOF	TEMPOF

GAINOF	ゲイン調整アンプの動作制御
0	ゲイン調整アンプの動作停止
1	ゲイン調整アンプの動作許可

注意 ビット 2 は, 必ず 0 に設定してください。

備考 ビット 7~5 は 1 ライトにより書き換え可能ですが, 特に関連機能はありません。

- 80 ピン製品

アドレス: 12H リセット時: 00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	HPFOF	LDOOF	TEMPOF

GAINOF	ゲイン調整アンプの動作制御
0	ゲイン調整アンプの動作停止
1	ゲイン調整アンプの動作許可

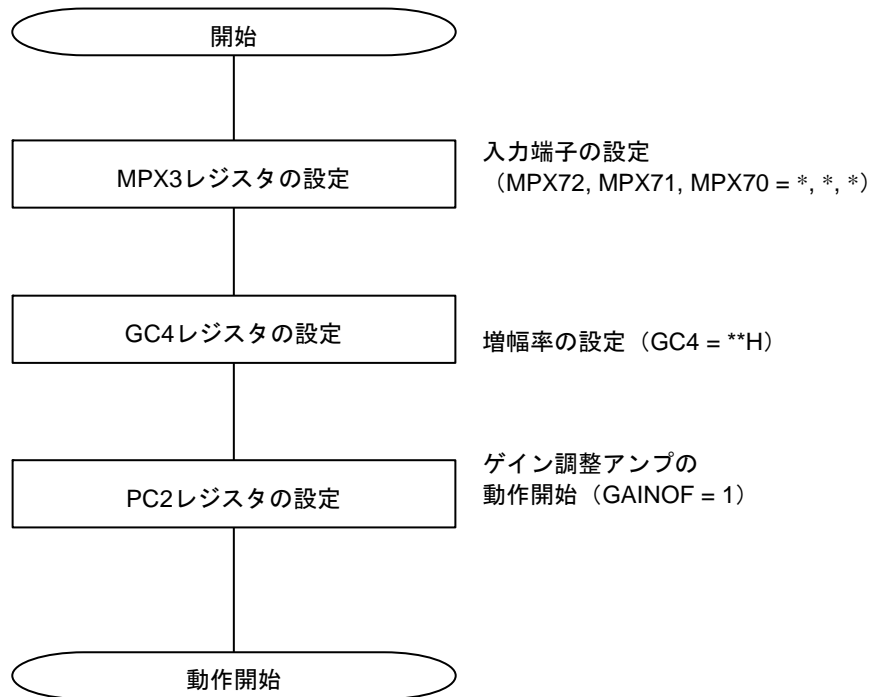
備考 ビット 7~5 は 1 ライトにより書き換え可能ですが, 特に関連機能はありません。



#### 4.2.4 ゲイン調整アンプの動作手順

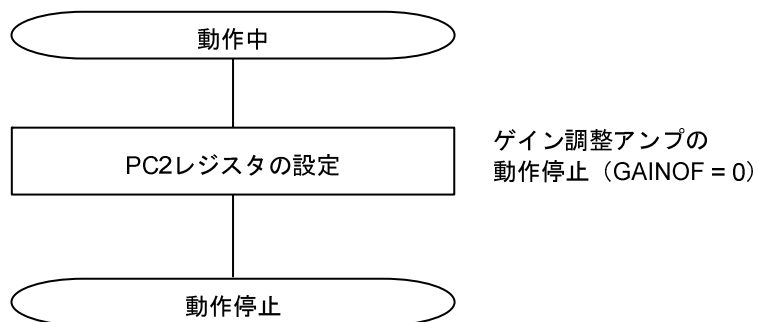
ゲイン調整アンプの動作開始手順と動作停止手順を以下に示します。

##### ゲイン調整アンプの動作開始手順例



備考 \* : don't care

##### ゲイン調整アンプの動作停止手順例



### 4.3 D/A コンバータ

RL78/G1E（64 ピン製品、80 ピン製品）は、D/A コンバータを 4 ch 搭載しています。

#### 4.3.1 D/A コンバータの機能概要

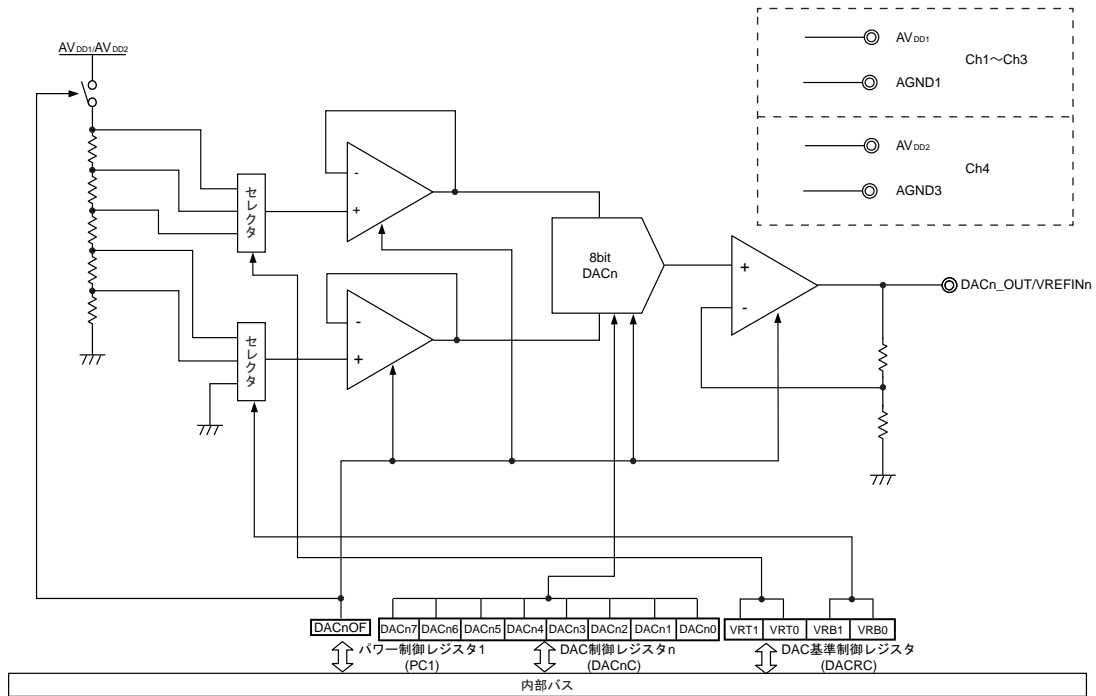
D/A コンバータは、デジタル入力をアナログ信号に変換する 8 ビット分解能のコンバータです。  
D/A コンバータの機能について、以下に示します。

- 8 ビット分解能（×4 ch : Ch1~Ch4）
- R-2R ラダー方式
- ★ ● アナログ電圧出力：出力電圧値は、以下の式で計算できます。  
出力電圧値 = { (基準電圧上限値 - 基準電圧下限値) × m/256 } + 基準電圧下限値  
(m = 0~255 : DACnC レジスタに設定した値)
- コンフィギュラブル・アンプ、ゲイン調整アンプ、ハイパス・フィルタ<sup>注</sup>、ローパス・フィルタの基準電圧調整機能
- パワーオフ機能を搭載

注 80 ピン製品のみ。

備考 n = 1~4

#### 4.3.2 ブロック図



備考: n=1-4

### 4.3.3 D/A コンバータを制御するレジスタ

D/A コンバータでは、次の3種類のレジスタを使用します。

- DAC 基準制御レジスタ (DACRC)
- DAC 制御レジスタ 1, 2, 3, 4 (DAC1C, DAC2C, DAC3C, DAC4C)
- パワー制御レジスタ 1 (PC1)

#### (1) DAC 基準制御レジスタ (DACRC)

D/A コンバータ Ch1~Ch4 の基準電圧の上限値 (VRT) と下限値 (VRB) を選択するレジスタです。

基準電圧上限値を選択するときは、ビット 3, 2 を設定してください。

基準電圧下限値を設定するときは、ビット 1, 0 を設定してください。

リセット信号の発生により、00H になります。

アドレス : 0CH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
DACRC	0	0	0	0	VRT1	VRT0	VRB1	VRB0

★	VRT1	VRT0	基準電圧上限値 (Typ.)
	0	0	$AV_{DD1}$
	0	1	$AV_{DD1} \times 4/5$
	1	0	$AV_{DD1} \times 3/5$
	1	1	$AV_{DD1}$

★	VRB1	VRB0	基準電圧下限値 (Typ.)
	0	0	AGND1
	0	1	$AV_{DD1} \times 1/5$
	1	0	$AV_{DD1} \times 2/5$
	1	1	AGND1

備考 1. ビット 7~4 は 0 固定です。(Read only)

2. 出力電圧値の算出に関しては、4.3.1 D/A コンバータの機能概要を参照してください。

## (2) DAC 制御レジスタ 1, 2, 3, 4 (DAC1C, DAC2C, DAC3C, DAC4C)

DACn\_OUT 端子に出力するアナログ電圧値を設定するレジスタです。

DACn\_OUT 出力信号は、コンフィギュラブル・アンプ、ゲイン調整アンプ、ローパス・フィルタ、ハイパス・フィルタの基準電圧として使用できます。

リセット信号の発生により、80H になります。

アドレス：0DH (n = 1), 0EH (n = 2), 0FH (n = 3), 10H (n = 4) リセット時：80H R/W

	7	6	5	4	3	2	1	0
DACnC	DACn7	DACn6	DACn5	DACn4	DACn3	DACn2	DACn1	DACn0

備考 1. n = 1~4

2. 出力電圧値の算出に関しては、4.3.1 D/Aコンバータの機能概要を参照してください。

## (3) パワー制御レジスタ 1 (PC1)

コンフィギュラブル・アンプ、D/A コンバータの動作許可/停止を設定するレジスタです。

使用しない機能は、動作停止させることで、低消費電力化とノイズ低減をはかります。

D/A コンバータ Ch1~Ch4 のいずれかを使用するときは、ビット 7~4 の対応する制御ビットに 1 を設定してください。

リセット信号の発生により、00H になります。

アドレス：11H リセット時：00H R/W

	7	6	5	4	3	2	1	0
PC1	DAC4OF	DAC3OF	DAC2OF	DAC1OF	0	AMP3OF	AMP2OF	AMP1OF

DAC4OF	D/A コンバータ Ch4 の動作制御
0	D/A コンバータ Ch4 の動作停止
1	D/A コンバータ Ch4 の動作許可

DAC3OF	D/A コンバータ Ch3 の動作制御
0	D/A コンバータ Ch3 の動作停止
1	D/A コンバータ Ch3 の動作許可

DAC2OF	D/A コンバータ Ch2 の動作制御
0	D/A コンバータ Ch2 の動作停止
1	D/A コンバータ Ch2 の動作許可

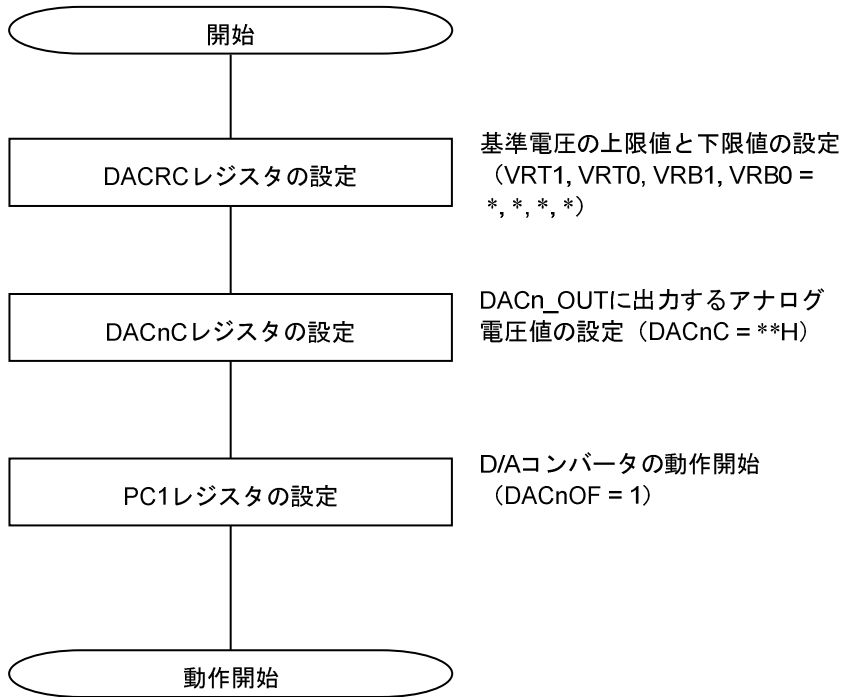
DAC1OF	D/A コンバータ Ch1 の動作制御
0	D/A コンバータ Ch1 の動作停止
1	D/A コンバータ Ch1 の動作許可

注意 ビット 3 は、必ず 0 を設定してください。

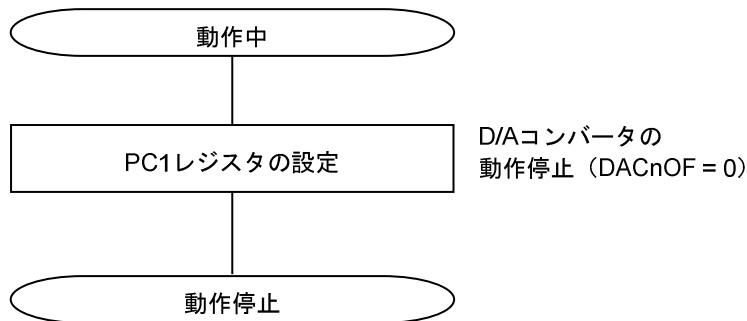
#### 4.3.4 D/A コンバータの動作手順

D/A コンバータの動作開始手順と動作停止手順を以下に示します。

##### D/A コンバータ動作開始手順例



##### D/A コンバータ動作停止手順例



備考 \* : don't care  
n = 1~4

### 4.3.5 D/A コンバータ使用上の注意点

D/A コンバータを使用する際の注意事項を次に示します。

- (1) D/Aコンバータの出カインピーダンスが高いため、DACn\_OUTから電流を取り出すことはできません。負荷の入カインピーダンスが低い場合には、負荷とDACn\_OUT端子の間にフォロアンプを挿入して使用してください。また、フォロアンプや負荷までの配線は極力短くするようにしてください（出カインピーダンスが高いため）。配線が長くなるような場合は、グランド・パターンで囲むなどの処置をしてください。
- (2) VREFINnに外部基準電源を入力する場合は、DACnOF = 0にしてください。

備考 n = 1~4

## 4.4 ローパス・フィルタ

RL78/G1E（64ピン製品、80ピン製品）は、スイッチト・キャパシタ型ローパス・フィルタを1ch搭載しています。

### 4.4.1 ローパス・フィルタの機能概要

ローパス・フィルタの機能について、以下に示します。

- バターワース特性（Q値=0.702）
- カットオフ周波数（ $f_c$ ）範囲：9 Hz～4.5 kHz
- 外部入力クロック周波数（ $f_{CLK\_LPF}$ ）範囲： $f_c \times 2 / 0.009 = 2 \text{ kHz} \sim 1 \text{ MHz}$
- ★ ● パワーオフ機能を搭載

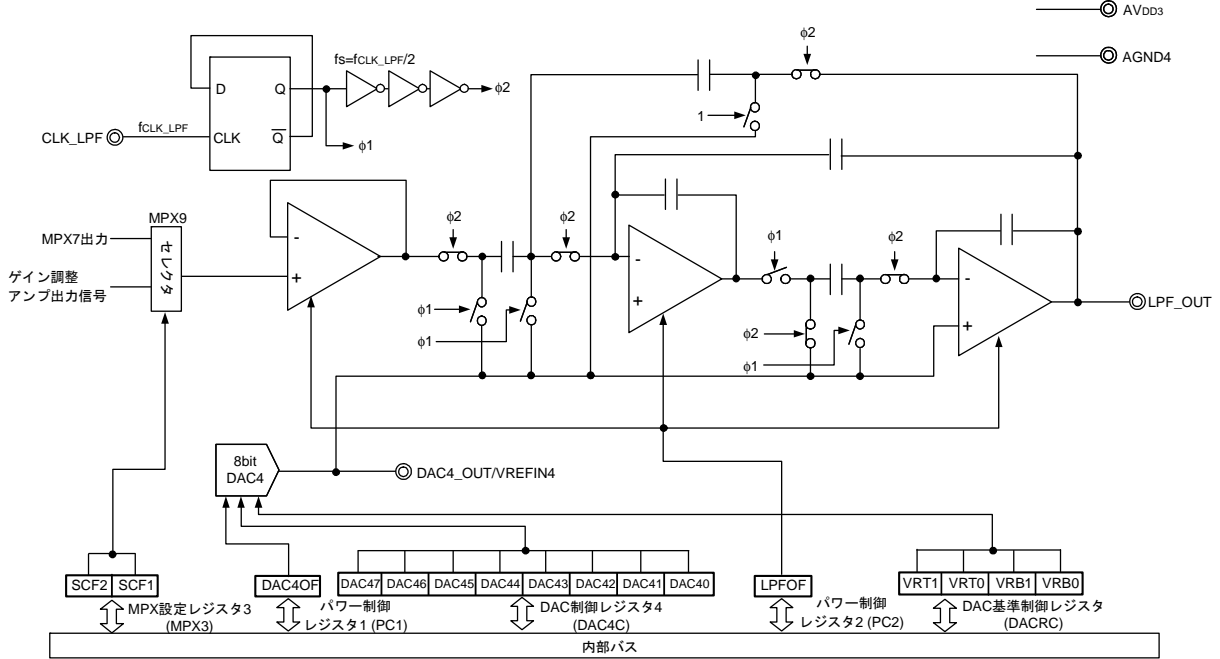
また、ローパス・フィルタでは、DAC4\_OUT出力信号を基準電圧として使用できます。D/AコンバータCh4を使用しない場合は、DAC4\_OUT/VREFIN4端子から外部基準電圧を入力します。

D/Aコンバータの使用に関しては、4.3 D/Aコンバータを参照してください。

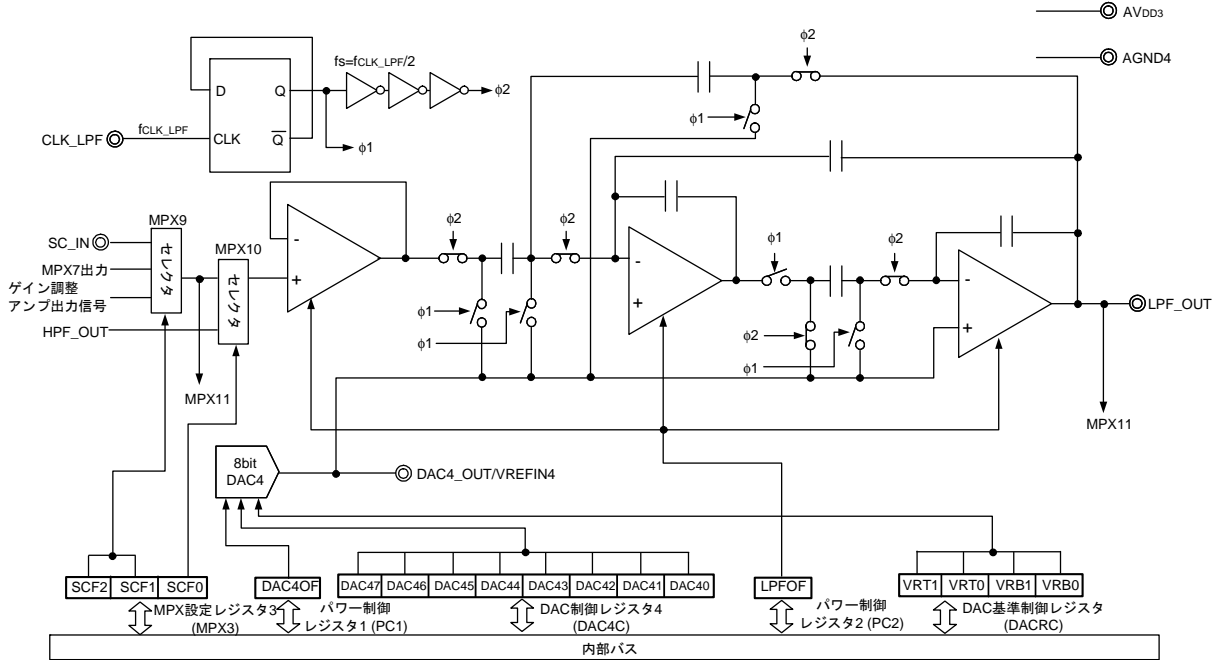
- 備考 1. ローパス・フィルタの内部制御クロック（ $f_s$ ）は、デューティ50%で使用するため、内蔵Dフリップ・フロップで外部入力クロックを2分周したクロックを使用します。内部制御クロック周波数（ $f_s$ ）を100 kHzとする場合は、CLK\_LPF端子に200 kHzのクロック信号を入力します。
2. ローパス・フィルタへの入力信号は、ローパス・フィルタ通過後に位相が反転します。

4.4.2 ブロック図

• 64ピン製品



• 80ピン製品





### 4.4.3 ローパス・フィルタを制御するレジスタ

★ ローパス・フィルタでは、次の2種類のレジスタを使用します。

- MPX 設定レジスタ 3 (MPX3)
- パワー制御レジスタ 2 (PC2)

#### (1) MPX 設定レジスタ 3 (MPX3)

★ MPX7, MPX9, MPX10, MPX11 を制御するレジスタです。

フィルタ回路への入力信号を選択するときは、ビット 5, 4 を設定してください。

ローパス・フィルタとハイパス・フィルタの信号処理順序を切り替えるときは、ビット 3 を設定してください。

リセット信号の発生により、00H になります。

- 64 ピン製品

アドレス : 05H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
MPX3	0	0	SCF2	SCF1	0	MPX72	MPX71	MPX70

SCF2	SCF1	フィルタ回路の入力ソース
0	0	-
0	1	MPX7 出力信号
1	0	ゲイン調整アンプの出力信号
1	1	設定禁止

注意 ビット 3 は、必ず 0 を設定してください。

★ 備考 ビット 7, 6 は 0 固定です。(Read only)

- 80 ピン製品

アドレス : 05H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
MPX3	0	0	SCF2	SCF1	SCF0	MPX72	MPX71	MPX70

SCF2	SCF1	フィルタ回路の入力ソース
0	0	SC_IN 端子
0	1	MPX7 出力信号
1	0	ゲイン調整アンプの出力信号
1	1	設定禁止

SCF0	フィルタ信号処理順序の切り替え
0	MPX9 出力信号は、ローパス・フィルタ通過後にハイパス・フィルタの入力へ
1	MPX9 出力信号は、ハイパス・フィルタ通過後にローパス・フィルタの入力へ

★ 備考 ビット 7, 6 は 0 固定です。(Read only)

## (2) パワー制御レジスタ 2 (PC2)

ゲイン調整アンプ、ローパス・フィルタ、ハイパス・フィルタ、出力電圧可変レギュレータ、基準電圧生成回路、温度センサ回路の動作許可/停止を設定するレジスタです。

使用しない機能は、動作停止させることで、低消費電力化とノイズ低減をはかります。

ローパス・フィルタを使用するときは、ビット3を1に設定してください。

リセット信号の発生により、00Hになります。

- 64ピン製品

アドレス：12H リセット時：00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	0	LDOOF	TEMPOF

LPFOF	ローパス・フィルタの動作制御
0	ローパス・フィルタの動作停止
1	ローパス・フィルタの動作許可

注意 ビット2は、必ず0を設定してください。

★ 備考 ビット7~5は1ライトにより書き換え可能ですが、特に関連機能はありません。

- 80ピン製品

アドレス：12H リセット時：00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	HPFOF	LDOOF	TEMPOF

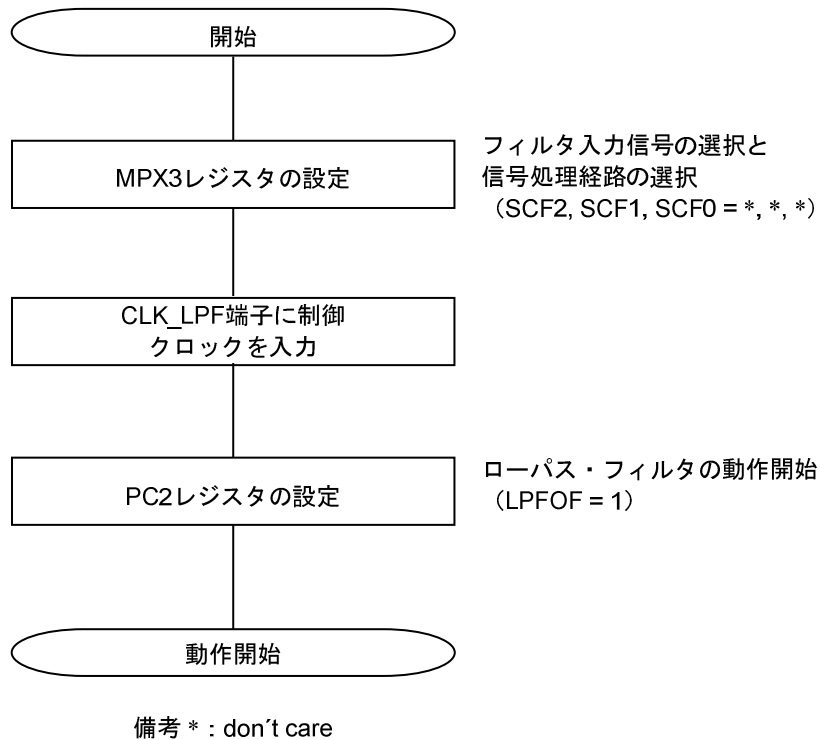
LPFOF	ローパス・フィルタの動作制御
0	ローパス・フィルタの動作停止
1	ローパス・フィルタの動作許可

★ 備考 ビット7~5は1ライトにより書き換え可能ですが、特に関連機能はありません。

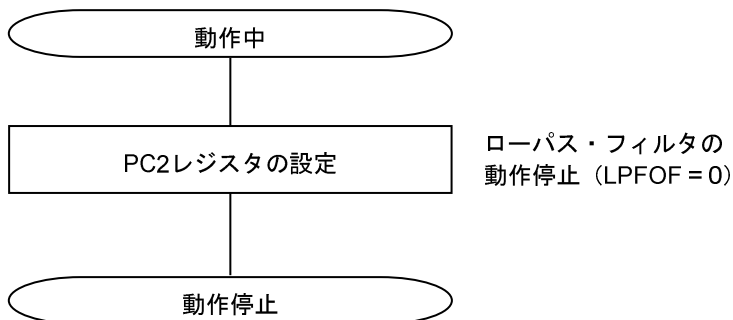
#### 4.4.4 ローパス・フィルタの動作手順

ローパス・フィルタの動作開始手順と動作停止手順を以下に示します。

##### ローパス・フィルタ動作開始手順例



##### ローパス・フィルタ動作停止手順例



## 4.5 ハイパス・フィルタ

RL78/G1E (80ピン製品)は、スイッチト・キャパシタ型ハイパス・フィルタを1ch搭載しています。<sup>注</sup>

注 64ピン製品には、ハイパス・フィルタがありません。

### 4.5.1 ハイパス・フィルタの機能概要

ハイパス・フィルタの機能について、以下に示します。

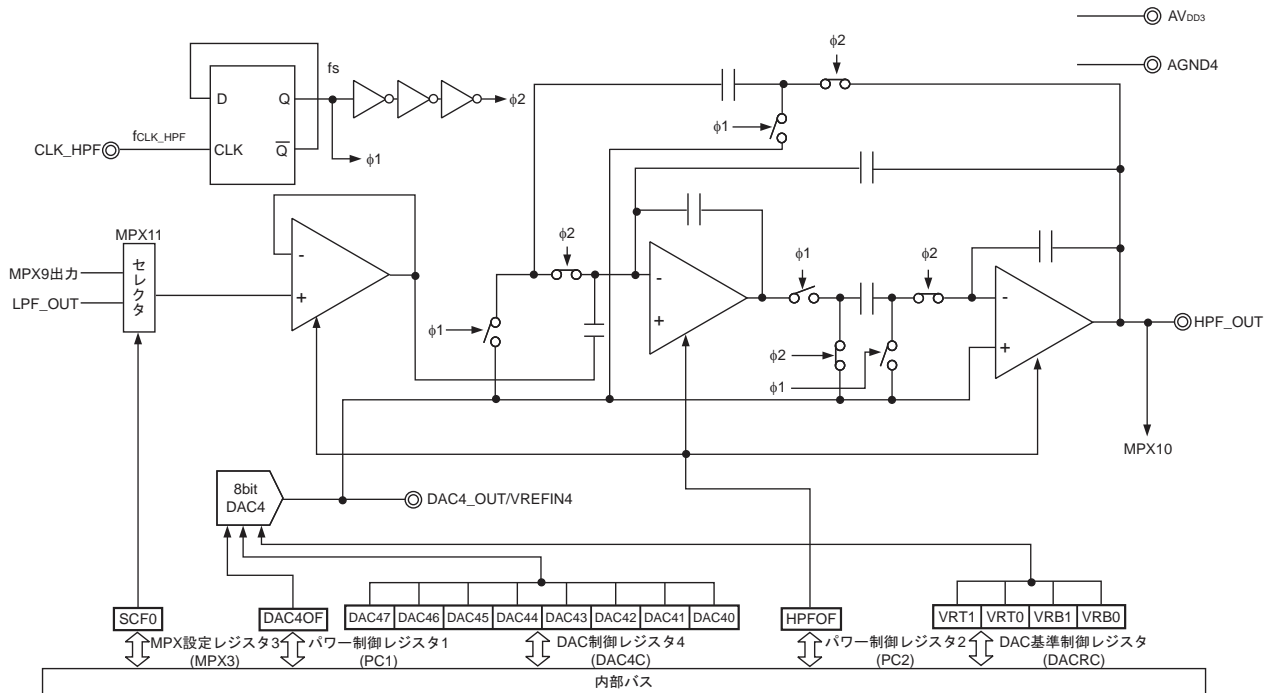
- バターワース特性 (Q値=0.702)
  - カットオフ周波数 (fc) 範囲 : 8 Hz~800 Hz
  - 外部入力クロック周波数 (fCLK\_HPF) 範囲 :  $fc \times 2 / 0.008 = 2 \text{ kHz} \sim 200 \text{ kHz}$
- ★
- パワーオフ機能を搭載

また、ハイパス・フィルタでは、DAC4\_OUT 出力信号を基準電圧として使用できます。D/AコンバータCh4を使用しない場合は、DAC4\_OUT/VREFIN4 端子から外部基準電圧を入力します。

D/Aコンバータの使用に関しては、4.3 D/Aコンバータを参照してください。

- 備考 1. ハイパス・フィルタの内部制御クロック (fs) は、デューティ 50%で使用するため、内蔵Dフリップ・フロップで外部入力クロックを2分周したクロックを使用します。内部制御クロック周波数 (fs) を 100 kHz とする場合は、CLK\_HPF 端子に 200 kHz のクロック信号を入力します。
2. ハイパス・フィルタへの入力信号は、ハイパス・フィルタ通過後に位相が反転します。

4.5.2 ブロック図



### 4.5.3 ハイパス・フィルタを制御するレジスタ

★ ハイパス・フィルタでは、次の2種類のレジスタを使用します。

- MPX 設定レジスタ 3 (MPX3)
- パワー制御レジスタ 2 (PC2)

#### (1) MPX 設定レジスタ 3 (MPX3)

MPX7, MPX9, MPX10, MPX11 を制御するレジスタです。

★ フィルタ回路への入力信号を選択するときは、ビット 5, 4 を設定してください。

ローパス・フィルタとハイパス・フィルタの信号処理順序を切り替えるときは、ビット 3 を設定してください。

- 80 ピン製品

アドレス : 05H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
MPX3	0	0	SCF2	SCF1	SCF0	MPX72	MPX71	MPX70

★

SCF2	SCF1	フィルタ回路の入カソース
0	0	SC_IN 端子
0	1	MPX7 出力信号
1	0	ゲイン調整アンプの出力信号
1	1	設定禁止

SCF0	フィルタ信号処理順序の切り替え
0	MPX9 出力信号は、ローパス・フィルタ通過後にハイパス・フィルタの入カへ
1	MPX9 出力信号は、ハイパス・フィルタ通過後にローパス・フィルタの入カへ

備考 ビット 7, 6 は 0 固定です。(Read only)

## (2) パワー制御レジスタ 2 (PC2)

ゲイン調整アンプ, ローパス・フィルタ, ハイパス・フィルタ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路の動作許可/停止を設定するレジスタです。

使用しない機能は, 動作停止させることで, 低消費電力化とノイズ低減をはかります。

ハイパス・フィルタを使用するときは, ビット 2 を 1 に設定してください。

リセット信号の発生により, 00H になります。

- 80 ピン製品

アドレス : 12H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	HPFOF	LDOOF	TEMPOF

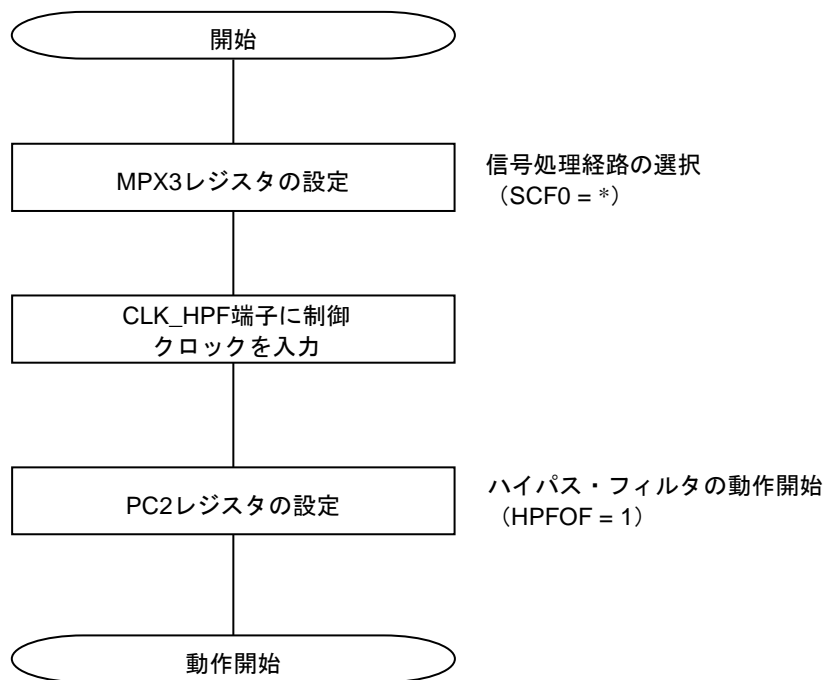
HPFOF	ハイパス・フィルタの動作制御
0	ハイパス・フィルタの動作停止
1	ハイパス・フィルタの動作許可

備考 ビット 7~5 は 1 ライトにより書き換え可能ですが, 特に関連機能はありません。

#### 4.5.4 ハイパス・フィルタの動作手順

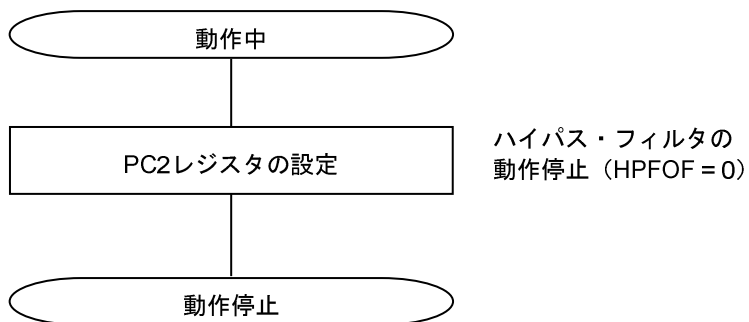
ハイパス・フィルタの動作開始手順と動作停止手順を以下に示します。

##### ハイパス・フィルタ動作開始手順例



備考 \* : don't care

##### ハイパス・フィルタ動作停止手順例





## 4.6 温度センサ回路

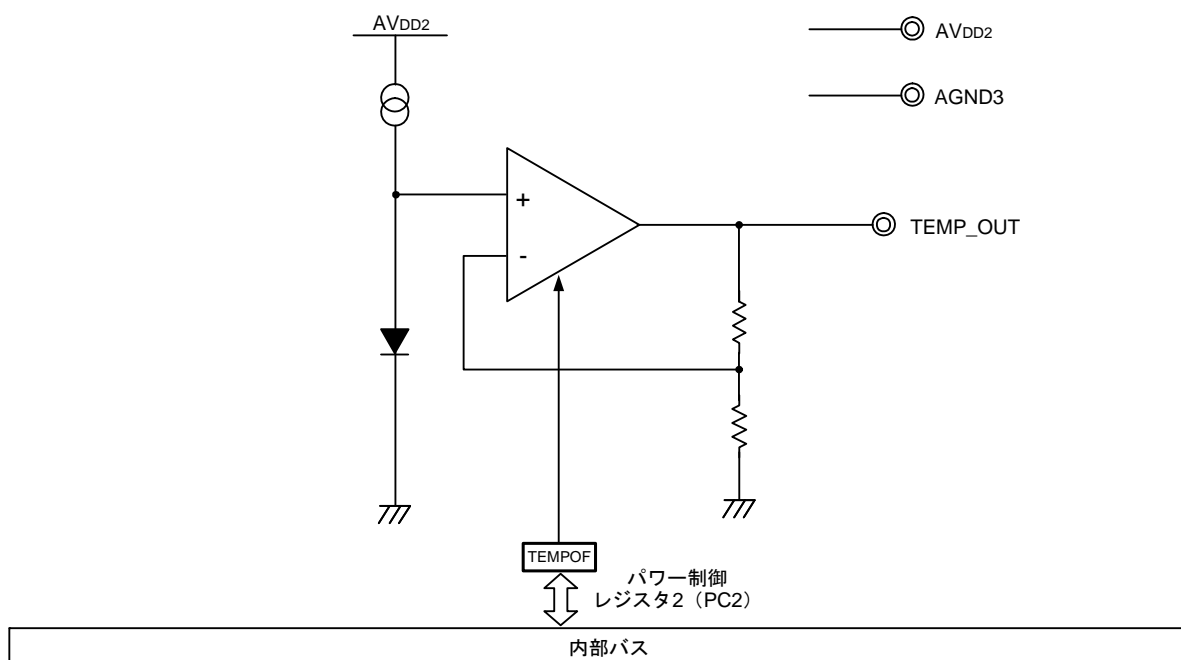
RL78/G1E（64ピン製品、80ピン製品）は、温度センサ回路を1ch搭載しています。

### 4.6.1 温度センサ回路の機能概要

温度センサ回路の機能について、以下に示します。

- 出力電圧温度係数：-5mV/°C（Typ.）
- パワーオフ機能を搭載

### 4.6.2 ブロック図



### 4.6.3 温度センサ回路を制御するレジスタ

温度センサ回路は、パワー制御レジスタ 2 (PC2) で制御します。

#### (1) パワー制御レジスタ 2 (PC2)

ゲイン調整アンプ、ローパス・フィルタ、ハイパス・フィルタ、出力電圧可変レギュレータ、基準電圧生成回路、温度センサ回路の動作許可/停止を設定するレジスタです。

使用しない機能は、動作停止させることで、低消費電力化とノイズ低減をはかります。

温度センサ回路を使用するときは、ビット 0 に 1 を設定してください。

リセット信号の発生により、00H になります。

- 64 ピン製品

アドレス : 12H リセット時 : 00 R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	0	LDOOF	TEMPOF

TEMPOF	温度センサ回路の動作制御
0	温度センサ回路の動作停止
1	温度センサ回路の動作許可

注意 ビット 2 は、必ず 0 に設定してください。

備考 ビット 7~5 は 1 ライトにより書き換え可能ですが、特に関連機能はありません。

- 80 ピン製品

アドレス : 12H リセット時 : 00 R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	HPFOF	LDOOF	TEMPOF

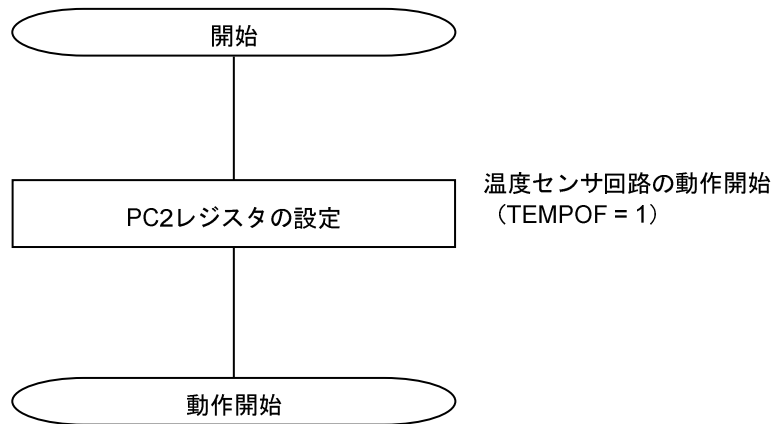
TEMPOF	温度センサ回路の動作制御
0	温度センサ回路の動作停止
1	温度センサ回路の動作許可

備考 ビット 7~5 は 1 ライトにより書き換え可能ですが、特に関連機能はありません。

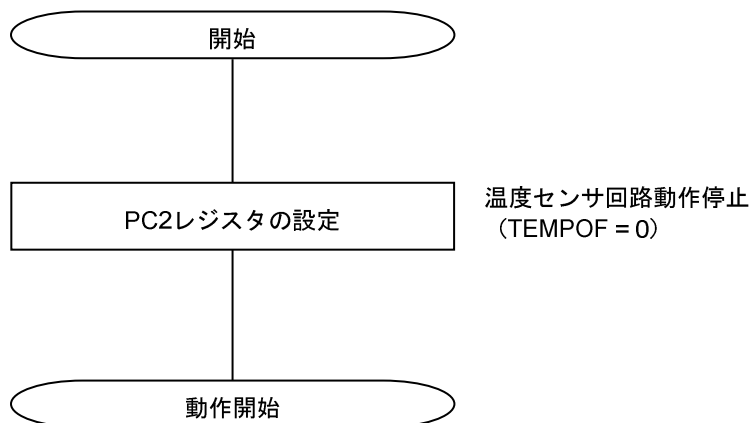
#### 4.6.4 温度センサ回路の動作手順

温度センサ回路の動作開始手順と動作停止手順を以下に示します。

##### 温度センサ回路動作開始手順例



##### 温度センサ回路動作停止手順例



## 4.7 出力電圧可変レギュレータ

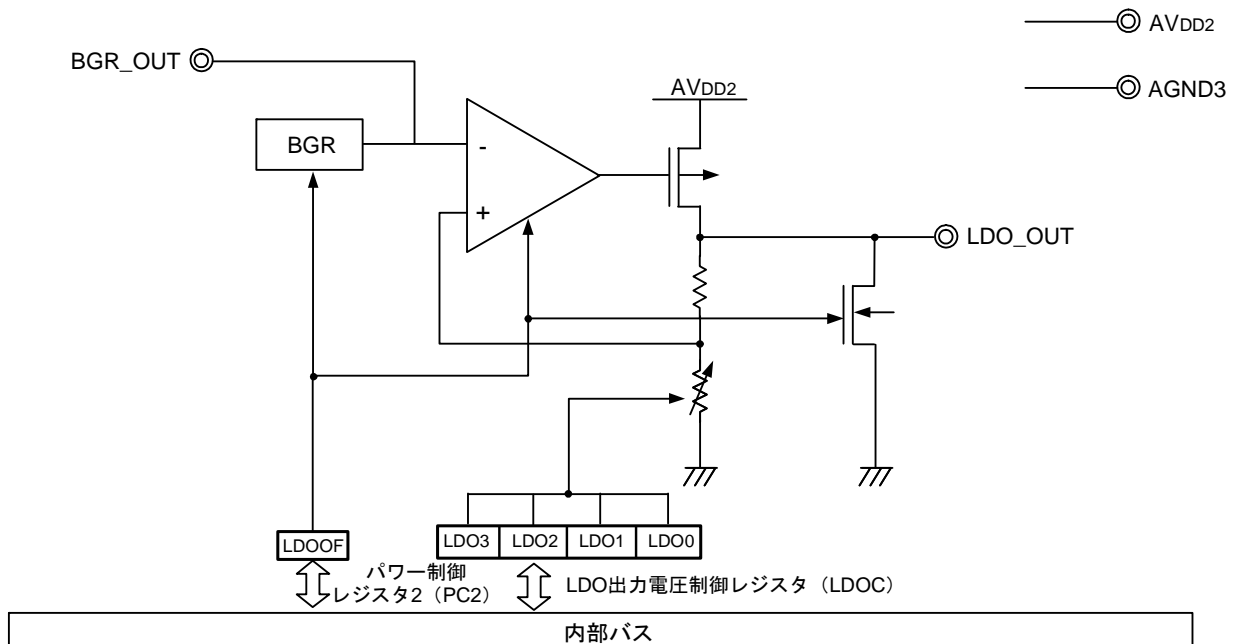
RL78/G1E（64ピン製品、80ピン製品）は、出力電圧可変レギュレータを1ch搭載しています。5V系の供給電圧から3.3V（デフォルト値）を生成するシリーズ・レギュレータです。

### 4.7.1 出力電圧可変レギュレータの機能概要

出力電圧可変レギュレータの機能について、以下に示します。

- 可変出力電圧範囲：2.0～3.3V（Typ.）
- 出力電流：15mA（Max.）
- パワーオフ機能を搭載

### 4.7.2 ブロック図



### 4.7.3 出力電圧可変レギュレータを制御するレジスタ

出力電圧可変レギュレータでは、次の2種類のレジスタを使用します。

- LDO 出力電圧制御レジスタ (LDOC)
- パワー制御レジスタ 2 (PC2)

#### (1) LDO 出力電圧制御レジスタ (LDOC)

出力電圧可変レギュレータの出力電圧を設定するレジスタです。

リセット信号の発生により、0DH になります。

アドレス：0BH リセット時：0DH R/W

	7	6	5	4	3	2	1	0
LDOC	0	0	0	0	LDO3	LDO2	LDO1	LDO0

LDO3	LDO2	LDO1	LDO0	出力電圧可変レギュレータの出力電圧 (Typ.)
0	0	0	0	2.0 V
0	0	0	1	2.1 V
0	0	1	0	2.2 V
0	0	1	1	2.3 V
0	1	0	0	2.4 V
0	1	0	1	2.5 V
0	1	1	0	2.6 V
0	1	1	1	2.7 V
1	0	0	0	2.8 V
1	0	0	1	2.9 V
1	0	1	0	3.0 V
1	0	1	1	3.1 V
1	1	0	0	3.2 V
1	1	0	1	3.3 V <sup>注</sup>
上記以外				設定禁止

注 3.3 V 出力は、電源電圧 4 V 以上で可能となります。

★

備考 ビット 7~4 は 0 固定です。(Read only)

## (2) パワー制御レジスタ 2 (PC2)

ゲイン調整アンプ, ローパス・フィルタ, ハイパス・フィルタ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路の動作許可/停止を設定するレジスタです。

使用しない機能は, 動作停止させることで, 低消費電力化とノイズ低減をはかります。

出力電圧可変レギュレータと基準電圧生成回路を使用するときは, ビット1に1を設定してください。リセット信号の発生により, 00Hになります。

- 64ピン製品

アドレス: 12H リセット時: 00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	0	LDOOF	TEMPOF

LDOOF	出力電圧可変レギュレータと基準電圧生成回路の動作制御
0	出力電圧可変レギュレータと基準電圧生成回路の動作停止
1	出力電圧可変レギュレータと基準電圧生成回路の動作許可

注意 ビット2は, 必ず0を設定してください。

★ 備考 ビット7~5は1ライトにより書き換え可能ですが, 特に関連機能はありません。

- 80ピン製品

アドレス: 12H リセット時: 00H R/W

	7	6	5	4	3	2	1	0
PC2	0	0	0	GAINOF	LPFOF	HPFOF	LDOOF	TEMPOF

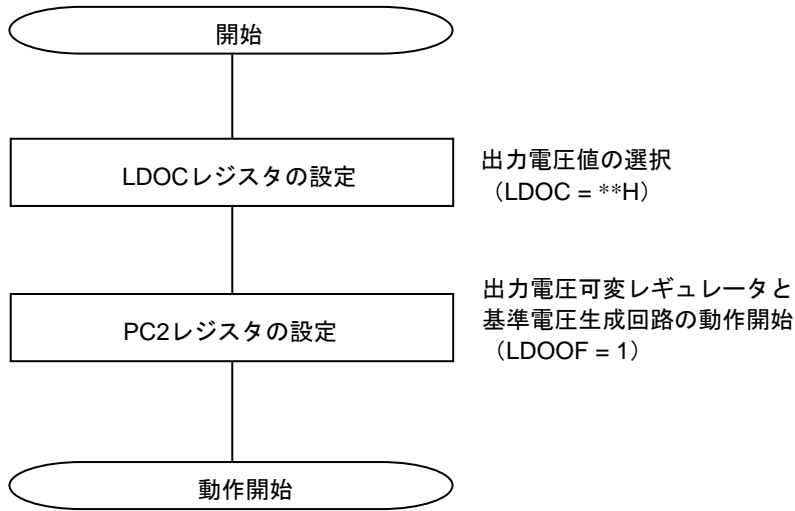
LDOOF	出力電圧可変レギュレータと基準電圧生成回路の動作制御
0	出力電圧可変レギュレータと基準電圧生成回路の動作停止
1	出力電圧可変レギュレータと基準電圧生成回路の動作許可

★ 備考 ビット7~5は1ライトにより書き換え可能ですが, 特に関連機能はありません。

### 4.7.4 出力電圧可変レギュレータの動作手順

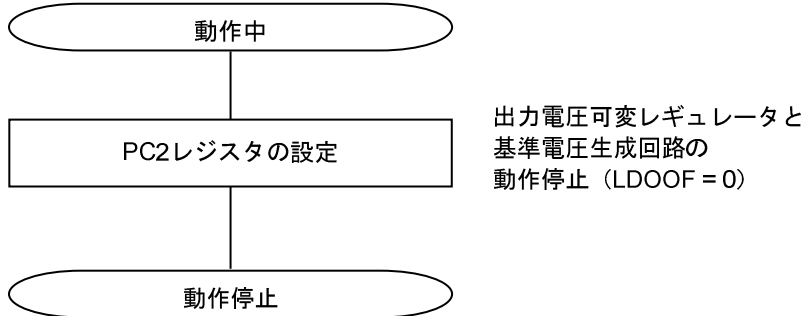
出力電圧可変レギュレータ，基準電圧生成回路の動作開始手順と動作停止手順を以下に示します。

出力電圧可変レギュレータ，基準電圧生成回路動作開始手順例



備考 \* : don't care

出力電圧可変レギュレータ，基準電圧生成回路動作停止手順例



## 4.8 基準電圧生成回路

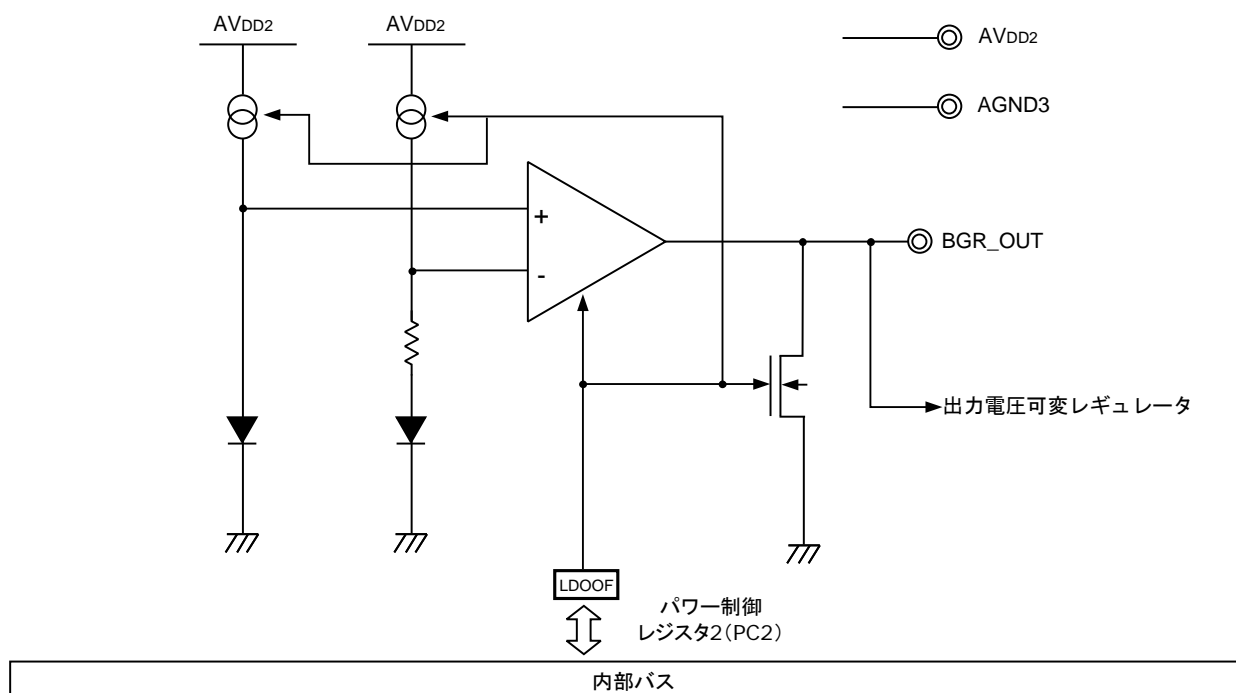
RL78/G1E（64ピン製品，80ピン製品）は，基準電圧生成回路を1ch搭載しています。

### 4.8.1 基準電圧生成回路の機能概要

★ 基準電圧生成回路の機能について，以下に示します。

- 基準出力電圧値：1.21V（Typ.）
- パワーオフ機能を搭載

### 4.8.2 ブロック図





### 4.8.3 基準電圧生成回路を制御するレジスタ

基準電圧生成回路は、パワー制御レジスタ 2 (PC2) を使用します。

パワー制御レジスタ 2 の設定については、4.7.3 (2) パワー制御レジスタ 2 (PC2) を参照してください。

### 4.8.4 基準電圧生成回路の動作手順

基準電圧生成回路の動作開始手順と動作停止手順は、4.7.4 出力電圧可変レギュレータの動作手順を参照してください。

### 4.8.5 基準電圧生成回路使用上の注意点

基準電圧生成回路を使用する際の注意事項を次に示します。

- (1) 基準電圧生成回路の出カインピーダンスが高いため、BGR\_OUTから電流を取り出すことはできません。負荷の入カインピーダンスが低い場合には、負荷とBGR\_OUT端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください（出カインピーダンスが高いため）。配線が長くなるような場合は、グランド・パターンで囲むなどの処置をしてください。

## 4.9 SPI

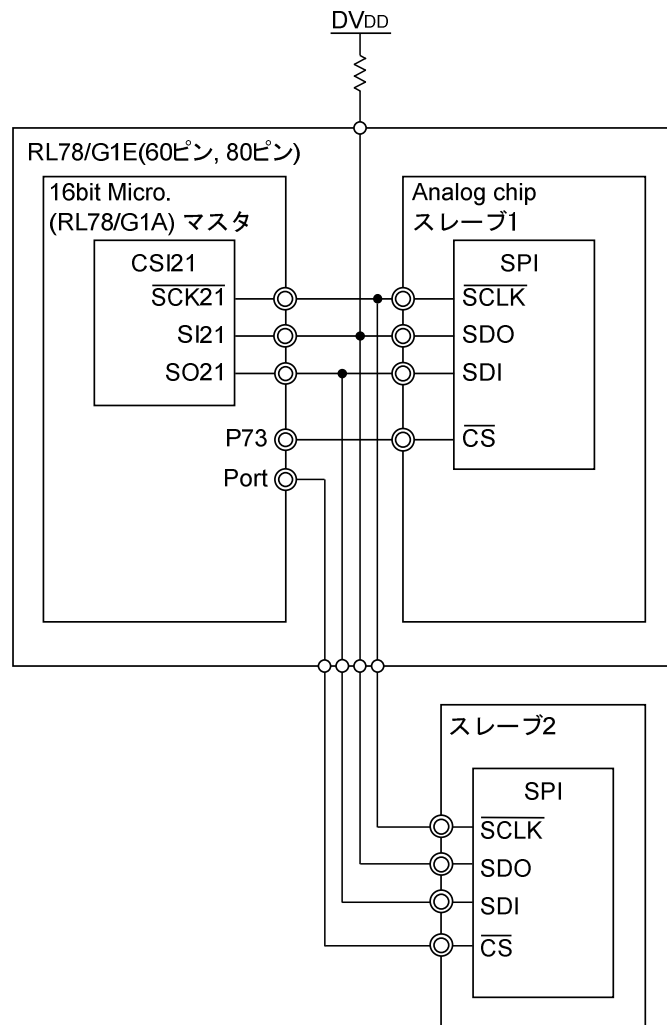
## 4.9.1 SPI の機能

SPI は、シリアル・クロック ( $\overline{\text{SCLK}}$ ) とシリアル・データ (SDI, SDO), チップ・セレクト入力 ( $\overline{\text{CS}}$ ) の4本のラインによるクロック同期式通信にて、外部機器からの制御インタフェースに使用します。

[データ送受信]

- 16ビット単位の世界長
- MSB ファースト

図 4-4 SPI の構成例



注意 DV<sub>DD</sub>に電源投入後、SPI との通信を開始する前に、 $\overline{\text{ARESET}}$  端子に外部リセットを入力させる必要があります。詳細は、4.10 アナログ・リセット機能を参照してください。

### 4.9.2 SPI 通信動作

16 ビット単位でデータの送受信を行います。 $\overline{CS} = \text{Low}$  の場合、データの送受信が可能です。データは、シリアル・クロックの立ち下がりエッジに同期して 1 ビットごとに送信され、シリアル・クロックの立ち上がりエッジに同期して 1 ビットごとに受信します。R/W ビット=1 の場合、 $\overline{CS}$  の立ち下がり後 16 回目の  $\overline{SCLK}$  立ち上がりエッジ検出時に、アドレス・データに応じた SPI 制御レジスタへデータが書き込まれ、その内容の動作が実行されます。R/W ビット = 0 の場合、 $\overline{CS}$  の立ち下がり後 9 回目以降の  $\overline{SCLK}$  立ち下がりエッジに同期して、アドレス・データに応じたレジスタデータを出力します。

図 4-5 SPI 通信タイミング

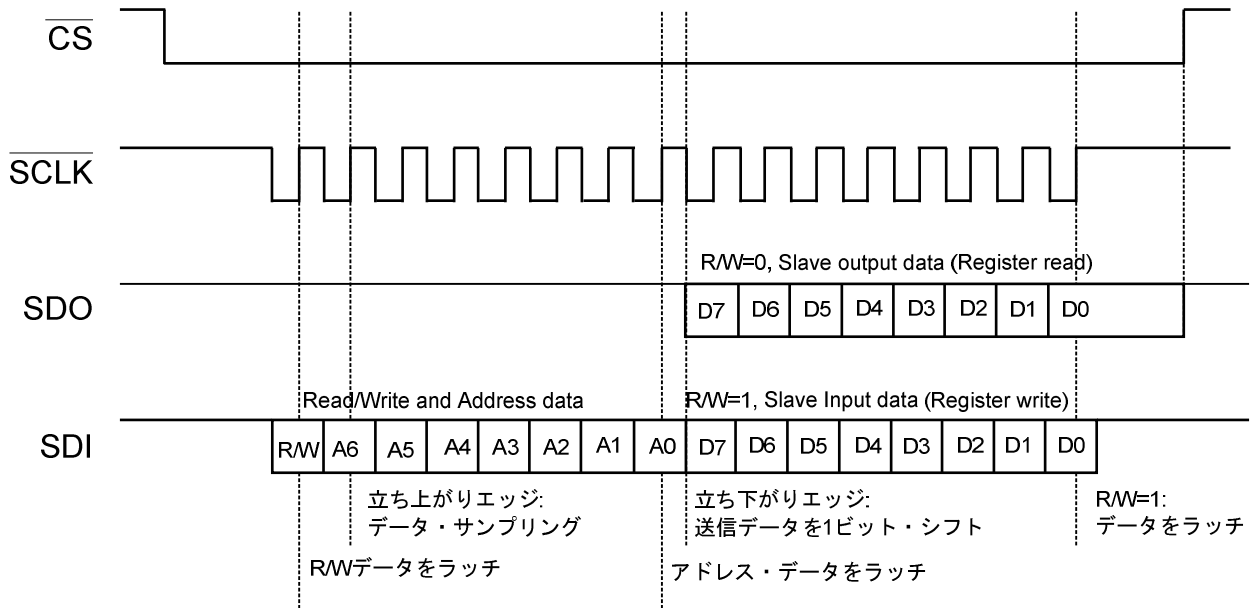


表 4-11 SPI 制御レジスタ一覧

アドレス	SPI制御レジスタ名称	R/W	リセット時
00H	コンフィギュレーション・レジスタ1 (CONFIG1)	R/W	00H
01H	コンフィギュレーション・レジスタ2 (CONFIG2)	R/W	00H
03H	MPX設定レジスタ1 (MPX1)	R/W	00H
04H	MPX設定レジスタ2 (MPX2)	R/W	00H
05H	MPX設定レジスタ3 (MPX3)	R/W	00H
06H	ゲイン制御レジスタ1 (GC1)	R/W	00H
07H	ゲイン制御レジスタ2 (GC2)	R/W	00H
08H	ゲイン制御レジスタ3 (GC3)	R/W	00H
09H	アンプ動作モード制御レジスタ (AOMC)	R/W	00H
0AH	ゲイン制御レジスタ4 (GC4)	R/W	00H
0BH	LDO出力電圧制御レジスタ (LDOC)	R/W	0DH
0CH	DAC基準制御レジスタ (DACRC)	R/W	00H
0DH	DAC制御レジスタ1 (DAC1C)	R/W	80H
0EH	DAC制御レジスタ2 (DAC2C)	R/W	80H
0FH	DAC制御レジスタ3 (DAC3C)	R/W	80H
10H	DAC制御レジスタ4 (DAC4C)	R/W	80H
11H	パワー制御レジスタ1 (PC1)	R/W	00H
12H	パワー制御レジスタ2 (PC2)	R/W	00H
13H	リセット制御レジスタ (RC)	R/W	00H <sup>注</sup>

- ★ 注 リセット制御レジスタによる内部リセットの場合、リセット制御レジスタは初期化 (00H) されません。  
 詳細は、4.10 アナログ・リセット機能を参照してください。

## 4.10 アナログ・リセット機能

### 4.10.1 アナログ・リセット機能の概要

RL78/G1E (64ピン製品, 80ピン製品) は, アナログ・リセット機能を搭載しています。リセットの発生により, アナログ部の SPI 制御レジスタが初期化されます。リセットを発生させる方法には, 次の2種類があります。

- $\overline{\text{ARESET}}$  端子へのリセット信号入力による外部リセット
- リセット制御レジスタ (RC) による内部リセット (RESET ビットへの1ライト)

外部リセットと内部リセットの機能は, 以下のとおりです。

- DV<sub>DD</sub>に電源投入後, SPI との通信を開始する前に,  $\overline{\text{ARESET}}$  端子による外部リセットを発生させる必要があります。端子の処理に関しては, 2.5.31  $\overline{\text{ARESET}}$  を参照してください。
- リセットがかかると, アナログ部の各機能ブロックは, 表 4-12 に示すような状態になります。また, リセット受け付け後の SPI 制御レジスタの状態は, 表 4-13 に示すような状態になり, その際の端子状態は, 表 4-14 に示すような様態になります。
- 外部リセットでは,  $\overline{\text{ARESET}}$  端子にロウ・レベルが入力されることでリセットがかかり, 内部リセットでは, リセット制御レジスタ (RC) の RESET ビットへの1ライトによりリセットがかかります。
- 外部リセットでは,  $\overline{\text{ARESET}}$  端子にロウ・レベルが入力された後, ハイ・レベルが入力されると, リセットが解除されます。内部リセットでは, リセット制御レジスタ (RC) の RESET ビットへの0ライトによりリセットが解除されます。

★ 注意 外部リセットを行う場合,  $\overline{\text{ARESET}}$  端子に 10 $\mu$ s 以上のロウ・レベルを入力してください。

表 4-12 アナログ・リセット期間中の動作状態

機能ブロック	ARESET端子による 外部リセット	リセット制御レジスタ (RC) による内部リセット
コンフィギュラブル・アンプ	動作停止	
ゲイン調整アンプ	動作停止	
D/Aコンバータ	動作停止	
ローパス・フィルタ	動作停止	
ハイパス・フィルタ <sup>注</sup>	動作停止	
温度センサ回路	動作停止	
出力電圧可変レギュレータ	動作停止	
基準電圧生成回路	動作停止	
SPI	動作停止	動作可能

注 80ピン製品のみ。

表 4-13 アナログ・リセット受け付け後の SPI 制御レジスタの状態

アドレス	SPI制御レジスタ名称	リセット受け付け後の状態	
		外部リセット時	内部リセット時
00H	コンフィギュレーション・レジスタ1 (CONFIG1)	00H	00H
01H	コンフィギュレーション・レジスタ2 (CONFIG2)	00H	00H
03H	MPX設定レジスタ1 (MPX1)	00H	00H
04H	MPX設定レジスタ2 (MPX2)	00H	00H
05H	MPX設定レジスタ3 (MPX3)	00H	00H
06H	ゲイン制御レジスタ1 (GC1)	00H	00H
07H	ゲイン制御レジスタ2 (GC2)	00H	00H
08H	ゲイン制御レジスタ3 (GC3)	00H	00H
09H	アンプ動作モード制御レジスタ (AOMC)	00H	00H
0AH	ゲイン制御レジスタ4 (GC4)	00H	00H
0BH	LDO出力電圧制御レジスタ (LDOC)	0DH	0DH
0CH	DAC基準制御レジスタ (DACRC)	00H	00H
0DH	DAC制御レジスタ1 (DAC1C)	80H	80H
0EH	DAC制御レジスタ2 (DAC2C)	80H	80H
0FH	DAC制御レジスタ3 (DAC3C)	80H	80H
10H	DAC制御レジスタ4 (DAC4C)	80H	80H
11H	パワー制御レジスタ1 (PC1)	00H	00H
12H	パワー制御レジスタ2 (PC2)	00H	00H
13H	リセット制御レジスタ (RC)	00H	01H <sup>注</sup>

★ 注 リセット制御レジスタによる内部リセットの場合、リセット制御レジスタは初期化 (00H) されません。ARESET端子への外部リセット入力、または、RESET ビットへの0 ライトにより初期化 (00H) されます。

表 4-14 リセット後の端子状態

端子名	$\overline{\text{ARESET}}$ 端子による外部リセット	リセット制御レジスタ (RC) による内部リセット
SC_IN	Hi-Z	Hi-Z
CLK_SYNCH	プルダウン入力	プルダウン入力
SYNCH_OUT	Hi-Z	Hi-Z
GAINAMP_OUT	Hi-Z	Hi-Z
GAINAMP_IN	Hi-Z	Hi-Z
MPXIN61	Hi-Z	Hi-Z
MPXIN51	Hi-Z	Hi-Z
MPXIN60	Hi-Z	Hi-Z
MPXIN50	Hi-Z	Hi-Z
AMP3_OUT	Hi-Z	Hi-Z
DAC3_OUT/VREFIN3	プルダウン入力	プルダウン入力
AMP2_OUT	Hi-Z	Hi-Z
AMP1_OUT	Hi-Z	Hi-Z
DAC2_OUT/VREFIN2	プルダウン入力	プルダウン入力
DAC1_OUT/VREFIN1	プルダウン入力	プルダウン入力
MPXIN41	Hi-Z	Hi-Z
MPXIN31	Hi-Z	Hi-Z
MPXIN40	Hi-Z	Hi-Z
MPXIN30	Hi-Z	Hi-Z
MPXIN21	Hi-Z	Hi-Z
MPXIN11	Hi-Z	Hi-Z
MPXIN20	Hi-Z	Hi-Z
MPXIN10	Hi-Z	Hi-Z
BGR_OUT	プルダウン	プルダウン
LDO_OUT	プルダウン	プルダウン
TEMP_OUT	プルダウン	プルダウン
$\overline{\text{SCLK}}$	Hi-Z	プルアップ入力
SDO	Hi-Z (オープン・ドレイン)	Hi-Z (オープン・ドレイン)
SDI	Hi-Z	プルアップ入力
$\overline{\text{CS}}$	Hi-Z	プルアップ入力
DAC4_OUT/VREFIN4	プルダウン入力	プルダウン入力
HPF_OUT	Hi-Z	Hi-Z
CLK_HPF	プルダウン入力	プルダウン入力
CLK_LPF	プルダウン入力	プルダウン入力
LPF_OUT	Hi-Z	Hi-Z

## 4.10.2 アナログ・リセットを制御するレジスタ

### (1) リセット制御レジスタ (RC)

リセット制御レジスタ (RC) は、アナログ部のリセットを制御するレジスタです。

- ★ RESET ビットへの 1 ライトにより、内部リセットを発生させることができます。リセット制御レジスタ (RC) 自身の初期化 (00H) は、 $\overline{\text{ARESET}}$  端子による外部リセット、もしくは RESET ビットへの 0 ライトにより行います。

アドレス : 13H リセット時 : 00H<sup>注</sup> R/W

略号	7	6	5	4	3	2	1	0
RC	0	0	0	0	0	0	0	RESET

RESET	内部リセット信号の要求
0	内部リセット信号を要求しない、または内部リセットの解除
1	内部リセット信号を要求、または内部リセット信号が発生中

- ★ 注 リセット制御レジスタによる内部リセットの場合、リセット制御レジスタは初期化 (00H) されません。  
 $\overline{\text{ARESET}}$  端子への外部リセット入力、または、RESET ビットへの 0 ライトにより初期化 (00H) されます。

注意 RESET ビット=1 の場合、リセット制御レジスタ (RC) 以外のレジスタへの書き込み動作は無視されます。  
外部リセットによるリセット制御レジスタ (RC) の初期化 (00H)、もしくは RESET ビットへの 0 ライトにより、レジスタへの書き込みが可能となります。

- ★ 備考 ビット 7~1 は 0 固定です。(Read only)



## 第5章 電気的特性

この章では、以下の対象製品の電気的特性を示します。

対象製品 A : 民生用途  $T_A = -40 \sim +85^\circ\text{C}$   
R5F10FLCANA, R5F10FLCANA, R5F10FLDANA, R5F10FLDANA,  
R5F10FLEANA, R5F10FLEANA, R5F10FMCAFB, R5F10FMCAFB,  
R5F10FMDAFB, R5F10FMDAFB, R5F10FMEAFB, R5F10FMEAFB

対象製品 D : 産業用途  $T_A = -40 \sim +85^\circ\text{C}$   
R5F10FLCDNA, R5F10FLCDNA, R5F10FLDDNA, R5F10FLDDNA,  
R5F10FLEDNA, R5F10FLEDNA, R5F10FMCDFB, R5F10FMCDFB,  
R5F10FMDDFB, R5F10FMDDFB, R5F10FMEDFB, R5F10FMEDFB

- 注意 1. RL78/G1Eには、開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により、搭載している端子が異なります。第2章 端子機能を参照してください。本章では、主な内容をRL78/G1E（80ピン製品）で説明しています。

## 5.1 絶対最大定格

## 5.1.1 マイクロコントローラ部の絶対最大定格

絶対最大定格 (T<sub>A</sub> = 25 °C)

項目	略号	条件	定格	単位	
電源電圧	V <sub>DD</sub>		-0.5~+6.5	V	
	AV <sub>DD</sub>		-0.5~+4.6	V	
	AV <sub>REFP</sub>		-0.3~AV <sub>DD</sub> +0.3 <sup>注3</sup>	V	
	AV <sub>SS</sub>		-0.5~+0.3	V	
	AV <sub>REFM</sub>		-0.3~AV <sub>DD</sub> +0.3 <sup>注3</sup> かつ AV <sub>REFM</sub> ≤ AV <sub>REFP</sub>	V	
REGC端子 入力電圧	V <sub>I</sub> REGC	REGC	-0.3~2.8 かつ -0.3~V <sub>DD</sub> +0.3 <sup>注1</sup>	V	
入力電圧	V <sub>I1</sub>	P00-P04, P10-P15, P40-P42, P50-P51, P70-P73, P140	-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V	
	V <sub>I3</sub>	P121, P122, P137, EXCLK, RESET	-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V	
	V <sub>I4</sub>	P20-P24	-0.3~AV <sub>DD</sub> +0.3 <sup>注3</sup>	V	
	V <sub>I5</sub>	I.C端子	-0.5~+0.3	V	
出力電圧	V <sub>O1</sub>	P00-P04, P10-P15, P40-P42, P50-P51, P70-P73, P130, P140	-0.3~V <sub>DD</sub> +0.3 <sup>注2</sup>	V	
	V <sub>O2</sub>	P20-P24	-0.3~AV <sub>DD</sub> +0.3 <sup>注3</sup>	V	
アナログ 入力電圧	V <sub>AI1</sub>	ANI16-ANI18, ANI20-ANI26, ANI28, ANI30	-0.3~V <sub>DD</sub> +0.3 かつ -0.3~AV <sub>REF(+)</sub> +0.3 <sup>注2,4</sup>	V	
	V <sub>AI2</sub>	ANI0-ANI4	-0.3~AV <sub>DD</sub> +0.3 かつ -0.3~AV <sub>REF(+)</sub> +0.3 <sup>注3,4</sup>	V	
ハイ・レベル 出力電流	I <sub>OH1</sub>	1端子	-40	mA	
		端子合計	P00-P04, P40-P42, P130, P140	-70	mA
		-170mA	P10-P15, P50-P51, P70-P73	-100	mA
	I <sub>OH2</sub>	1端子	ANI0-ANI4	-0.1	mA
		端子合計		-1.3	mA
ロウ・レベル 出力電流	I <sub>OL1</sub>	1端子	40	mA	
		端子合計	P00-P04, P40-P42, P130, P140	70	mA
		170mA	P10-P15, P50-P51, P70-P73	100	mA
	I <sub>OL2</sub>	1端子	ANI0-ANI4	0.4	mA
		端子合計		6.4	mA

(注, 注意, 備考は次ページにあります。)

- 注 1. REGC 端子にはコンデンサ ( $0.47\mu\sim 1\mu\text{F}$ ) を介して  $V_{SS}$  に接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
2. 6.5 V 以下であること。
3. 4.6 V 以下であること。
4. A/D 変換対象の端子は、 $AV_{REF(+)}+0.3\text{ V}$  を超えないでください。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

- 備考 1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。
2.  $AV_{REF(+)}$  : A/D コンバータの+側基準電圧
  3.  $V_{SS}$  を基準電位とします。

## 5.1.2 アナログ部の絶対最大定格

絶対最大定格 (T<sub>A</sub> = 25 °C)

項目	略号	条件	定格	単位
電源電圧	AV <sub>DDA</sub>	AV <sub>DD1</sub> , AV <sub>DD2</sub> , AV <sub>DD3</sub>	-0.3~+6.0	V
	DV <sub>DD</sub>	DV <sub>DD</sub>	-0.3~+6.0	V
	AGND	AGND1, AGND2, AGND3, AGND4	-0.3~+0.3	V
	DGND	DGND	-0.3~+0.3	V
入力電圧	V <sub>I1</sub>	MPXIN10, MPXIN11, MPXIN20, MPXIN21, MPXIN30, MPXIN31, MPXIN40, MPXIN41, MPXIN50, MPXIN51, MPXIN60, MPXIN61, SC_IN, CLK_SYNCH, VREFIN1, VREFIN2, VREFIN3, VREFIN4, CLK_LPF, CLK_HPF, RESET	-0.3~AV <sub>DDA</sub> +0.3 <sup>注</sup>	V
	V <sub>I2</sub>	SCLK, SDI, $\overline{CS}$	-0.3~DV <sub>DD</sub> +0.3 <sup>注</sup>	V
出力電圧	V <sub>O1</sub>	LDO_OUT, BGR_OUT, AMP1_OUT, AMP2_OUT, AMP3_OUT, GAINAMP_OUT, SYNCH_OUT, LPF_OUT, HPF_OUT, DAC1_OUT, DAC2_OUT, DAC3_OUT, DAC4_OUT, TEMP_OUT	-0.3~AV <sub>DDA</sub> +0.3 <sup>注</sup>	V
	V <sub>O2</sub>	SDO	-0.3~DV <sub>DD</sub> +0.3 <sup>注</sup>	V
出力電流	I <sub>O1</sub>	AMP1_OUT, AMP2_OUT, AMP3_OUT, GAINAMP_OUT, SYNCH_OUT LPF_OUT, HPF_OUT DAC1_OUT, DAC2_OUT, DAC3_OUT, DAC4_OUT, TEMP_OUT	1	mA
	I <sub>O2</sub>	SDO	-10	mA
	I <sub>LDOOUT</sub>	LDO_OUT	15	mA

注 6.0 V 以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

## 5.1.3 絶対最大定格 (マイクロコントローラ部, アナログ部共通)

項目	略号	条件	定格	単位
動作周囲温度	T <sub>A</sub>	通常動作時	-40~+85	°C
		フラッシュ・メモリ・プログラミング時	-40~+85	°C
保存温度	T <sub>stg</sub>		-40~+150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

## 5.2 マイクロコントローラ部の電気的特性

### 5.2.1 発振回路特性

#### 5.2.1.1 X1 発振回路特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

★ 項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (fx) 注	セラミック発振子／水晶振動子	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		20.0	MHz
		$2.4 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0		16.0	
		$1.8 \text{ V} \leq V_{DD} < 2.4 \text{ V}$	1.0		8.0	
		$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$	1.0		4.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

- ★ 注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1 クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTC レジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

- ★ 備考 X1 発振回路を使用する場合は、3.5.4 システム・クロック発振回路を参照してください。

## ★ 5.2.1.2 オンチップ・オシレータ特性

(T<sub>A</sub> = -40~+85 °C, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, V<sub>SS</sub> = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ ・クロック周波数 <sup>注1,2</sup>	f <sub>IH</sub>			1		32	MHz
高速オンチップ・オシレータ ・クロック周波数精度		-20~+85 °C	1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V	-1.0		+1.0	%
			1.6 V ≤ V <sub>DD</sub> < 1.8 V	-5.0		+5.0	%
		-40~-20 °C	1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V	-1.5		+1.5	%
			1.6 V ≤ V <sub>DD</sub> < 1.8 V	-5.5		+5.5	%
低速オンチップ・オシレータ ・クロック周波数	f <sub>IL</sub>				15		kHz
低速オンチップ・オシレータ ・クロック周波数精度				-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット 0-3 および HOCODIV レジスタのビット 0-2 によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

## 5.2.2 DC 特性

## 5.2.2.1 端子特性

(TA = -40~+85°C, 1.6 V ≤ AVDD ≤ 3.6 V, 1.6 V ≤ VDD ≤ 5.5 V, AVDD ≤ VDD, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 出力電流 <sup>注1</sup>	IOH1	P00-P04, P10-P15, P40-P42, P50-P51, P130, P140 1端子	1.6 V ≤ VDD ≤ 5.5 V			-10.0 <sup>注2</sup>	mA
		P70-P73 1端子	1.6 V ≤ VDD ≤ 5.5 V			-3.0 <sup>注2</sup>	
	合計 (デューティ = 70 %時 <sup>注3</sup> )	P00-P04, P40-P42, P130, P140	4.0 V ≤ VDD ≤ 5.5 V			-55.0	mA
			2.7 V ≤ VDD < 4.0 V			-10.0	
			1.8 V ≤ VDD < 2.7 V			-5.0	
			1.6 V ≤ VDD < 1.8 V			-2.5	
	合計 (デューティ = 70 %時 <sup>注3</sup> )	P10-P15, P50-P51, P70-P73	4.0 V ≤ VDD ≤ 5.5 V			-80.0	mA
			2.7 V ≤ VDD < 4.0 V			-19.0	
			1.8 V ≤ VDD < 2.7 V			-10.0	
			1.6 V ≤ VDD < 1.8 V			-5.0	
	全端子合計 (デューティ = 70 %時 <sup>注3</sup> )		1.6 V ≤ VDD ≤ 5.5 V			-100.0	mA
IOH2	P20-P24 1端子	1.6 V ≤ AVDD ≤ 3.6 V			-0.1 <sup>注2</sup>	mA	
	全端子合計 (デューティ = 70 %時 <sup>注3</sup> )	1.6 V ≤ AVDD ≤ 3.6 V			-1.3	mA	

注1. VDD 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ ≤ 70 %の条件でのスペックです。

デューティ比 > 70 %に変更した出力電流の値は、次の計算式で求めることができます。

(デューティ比を n %に変更する場合)

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mA の場合, n = 80 %

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \doteq -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。

また、絶対最大定格以上の電流は流せません。

注意 P00, P02-P04, P10-P15, P50 は、N-ch オープン・ドレイン・モード時には、ハイ・レベルを出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ AV<sub>DD</sub> ≤ 3.6 V, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, AV<sub>DD</sub> ≤ V<sub>DD</sub>, V<sub>SS</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル 出力電流 <sup>注1</sup>	IOL1	P00-P04, P10-P15, P40-P42, P50-P51, P130, P140 1端子	1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V			20.0 <sup>注2</sup>	mA
		P70-P73 1端子	1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V			3.0 <sup>注2</sup>	
	P00-P04, P40-P42, P130, P140 合計 (デューティ = 70 %時 <sup>注3</sup> )		4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V			70.0	mA
			2.7 V ≤ V <sub>DD</sub> < 4.0 V			15.0	
			1.8 V ≤ V <sub>DD</sub> < 2.7 V			9.0	
			1.6 V ≤ V <sub>DD</sub> < 1.8 V			4.5	
	P10-P15, P50-P51, P70-P73 合計 (デューティ = 70 %時 <sup>注3</sup> )		4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V			80.0	mA
			2.7 V ≤ V <sub>DD</sub> < 4.0 V			35.0	
			1.8 V ≤ V <sub>DD</sub> < 2.7 V			20.0	
			1.6 V ≤ V <sub>DD</sub> < 1.8 V			10.0	
	全端子合計 <sup>注3</sup>		1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V			150.0	mA
	IOL2	P20-P24 1端子	1.6 V ≤ AV <sub>DD</sub> ≤ 3.6 V			0.4 <sup>注2</sup>	mA
全端子合計 <sup>注3</sup>		1.6 V ≤ AV <sub>DD</sub> ≤ 3.6 V			5.2	mA	

注1. 出力端子から V<sub>SS</sub> 端子に流れ込んでも、デバイスの動作を保證する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ ≤ 70 % の条件でのスペックです。

デューティ > 70 % に変更した出力電流の値は、次の計算式で求めることができます。

(デューティ比を n % に変更する場合)

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I<sub>OL</sub> = 10.0 mA の場合, n = 80 %

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \doteq 8.7 \text{ mA}$$

ただし、1 端子あたりに流せる電流は、デューティによって変わることはありません。

また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。



(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ AV<sub>DD</sub> ≤ 3.6 V, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, AV<sub>DD</sub> ≤ V<sub>DD</sub>, V<sub>SS</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力電圧	V <sub>IH1</sub>	P00-P04, P10-P15, P40-P42, P50-P51, P70-P73, P140	通常入力バッファ	0.8V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH2</sub>	P01, P03, P04, P10, P11, P13 - P15	TTL入力バッファ 4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V	2.2		V <sub>DD</sub>	V
			TTL入力バッファ 3.3 V ≤ V <sub>DD</sub> < 4.0 V	2.0		V <sub>DD</sub>	V
			TTL入力バッファ 1.6 V ≤ V <sub>DD</sub> < 3.3 V	1.5		V <sub>DD</sub>	V
	V <sub>IH3</sub>	P20 - P24		0.7AV <sub>DD</sub>		AV <sub>DD</sub>	V
	V <sub>IH5</sub>	P121-P122, P137, EXCLK, $\overline{\text{RESET}}$		0.8V <sub>DD</sub>		V <sub>DD</sub>	V
ロウ・レベル 入力電圧	V <sub>IL1</sub>	P00-P04, P10-P15, P40-P42, P50-P51, P70-P73, P140	通常入力バッファ	0		0.2V <sub>DD</sub>	V
	V <sub>IL2</sub>	P01, P03, P04, P10, P11, P13 - P15	TTL入力バッファ 4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ V <sub>DD</sub> < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ V <sub>DD</sub> < 3.3 V	0		0.32	V
	V <sub>IL3</sub>	P20 - P24		0		0.3AV <sub>DD</sub>	V
	V <sub>IL5</sub>	P121-P122, P137, EXCLK, $\overline{\text{RESET}}$		0		0.2V <sub>DD</sub>	V

注意 P00, P02-P04, P10-P15, P50 は、N-ch オープン・ドレイン・モード時でも V<sub>IH</sub> の最大値 (MAX.) は V<sub>DD</sub> です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ AV<sub>DD</sub> ≤ 3.6 V, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, AV<sub>DD</sub> ≤ V<sub>DD</sub>, V<sub>SS</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 出力電圧	V <sub>OH1</sub>	P00-P04, P10-P15, P40-P42, P50-P51, P130, P140	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH1</sub> = -10.0 mA	V <sub>DD</sub> -1.5			V
			4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH1</sub> = -3.0 mA	V <sub>DD</sub> -0.7			V
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH1</sub> = -2.0 mA	V <sub>DD</sub> -0.6			V
			1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH1</sub> = -1.5 mA	V <sub>DD</sub> -0.5			V
			1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH1</sub> = -1.0 mA	V <sub>DD</sub> -0.5			V
	V <sub>OH2</sub>	P20-P24	1.6 V ≤ AV <sub>DD</sub> ≤ 3.6 V, I <sub>OH2</sub> = -100 μA	AV <sub>DD</sub> -0.5			V
	V <sub>OH4</sub>	P70-P73	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH4</sub> = -3.0 mA	V <sub>DD</sub> -1.1			V
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH4</sub> = -2.0 mA	V <sub>DD</sub> -0.9			V
			1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH4</sub> = -1.5 mA	V <sub>DD</sub> -0.7			V
			1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OH4</sub> = -1.0 mA	V <sub>DD</sub> -0.7			V

注意 P00, P02 - P04, P10 - P15, P50 は, N-ch オープン・ドレイン・モード時には, ハイ・レベル出力しません。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ AV<sub>DD</sub> ≤ 3.6 V, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, AV<sub>DD</sub> ≤ V<sub>DD</sub>, V<sub>SS</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル 出力電圧	VOL1	P00-P04, P10-P15, P40-P42, P50-P51, P130, P140	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL1</sub> = 20.0 mA			1.5	V
			4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL1</sub> = 8.5 mA			0.7	V
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL1</sub> = 3.0 mA			0.6	V
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL1</sub> = 1.5 mA			0.4	V
			1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL1</sub> = 0.6 mA			0.4	V
			1.6 V ≤ V <sub>DD</sub> < 5.5 V, I <sub>OL1</sub> = 0.3 mA			0.4	V
			VOL2	P20-P24	1.6 V ≤ AV <sub>DD</sub> ≤ 3.6 V, I <sub>OL2</sub> = 400 μA		
	VOL4	P70-P73	2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL4</sub> = -3.0 mA			1.0	V
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL4</sub> = -1.5 mA			0.6	V
			1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL4</sub> = -0.6 mA			0.5	V
			1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V, I <sub>OL4</sub> = -0.3 mA			0.5	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T<sub>A</sub> = -40 ~ +85 °C, 1.6 V ≤ AV<sub>DD</sub> ≤ 3.6 V, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, AV<sub>DD</sub> ≤ V<sub>DD</sub>, V<sub>SS</sub> = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力リーク 電流	I <sub>LIH1</sub>	P00 - P04, P10 - P15, P40 - P42, P50 - P51, P70 - P73, P140	V <sub>I</sub> = V <sub>DD</sub>			1	μA	
	I <sub>LIH2</sub>	P137, $\overline{\text{RESET}}$	V <sub>I</sub> = V <sub>DD</sub>			1	μA	
	I <sub>LIH3</sub>	P121, P122 (X1, X2, EXCLK)	V <sub>I</sub> = V <sub>DD</sub>	入力ポート時, 外部 クロック入力時			1	μA
				発振子接続時			10	μA
I <sub>LIH4</sub>	P20 - P24	V <sub>I</sub> = AV <sub>DD</sub>			1	μA		
ロウ・レベル 入力リーク 電流	I <sub>LIL1</sub>	P00 - P04, P10 - P15, P40 - P42, P50 - P51, P70 - P73, P140	V <sub>I</sub> = V <sub>SS</sub>			-1	μA	
	I <sub>LIL2</sub>	P121, P122, P137, $\overline{\text{RESET}}$	V <sub>I</sub> = V <sub>SS</sub>			-1	μA	
	I <sub>LIL3</sub>	P121, P122 (X1, X2, EXCLK)	V <sub>I</sub> = V <sub>SS</sub>	入力ポート時, 外部 クロック入力時			-1	μA
				発振子接続時			-10	μA
I <sub>LIL4</sub>	P20 - P24	V <sub>I</sub> = AV <sub>SS</sub>			-1	μA		
内蔵プル アップ抵抗	R <sub>U</sub>	P00 - P04, P10 - P15, P40 - P42, P50 - P51, P70 - P73, P140	V <sub>I</sub> = V <sub>SS</sub> , 入力ポート時	10	20	100	kΩ	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

5.2.2.2 電源電流特性

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $V_{SS} = 0\text{ V}$ )

(1/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 注1	IDD1	動作 モード	HS (高速 メイン) モード注4	$f_{IH} = 32\text{ MHz}$ 注3	基本動作	$V_{DD} = 5.0\text{ V}$		2.1		mA
						$V_{DD} = 3.0\text{ V}$		2.1		
				通常動作	$V_{DD} = 5.0\text{ V}$		4.6	7.0	mA	
					$V_{DD} = 3.0\text{ V}$		4.6	7.0		
				$f_{IH} = 24\text{ MHz}$ 注3	通常動作	$V_{DD} = 5.0\text{ V}$		3.7	5.5	mA
						$V_{DD} = 3.0\text{ V}$		3.7	5.5	
			$f_{IH} = 16\text{ MHz}$ 注3	通常動作	$V_{DD} = 5.0\text{ V}$		2.7	4.0	mA	
					$V_{DD} = 3.0\text{ V}$		2.7	4.0		
			LS (低速 メイン) モード注4	$f_{IH} = 8\text{ MHz}$ 注3	通常動作	$V_{DD} = 3.0\text{ V}$		1.2	1.8	mA
						$V_{DD} = 2.0\text{ V}$		1.2	1.8	
			LV (低電 圧メイ ン) モー ド注4	$f_{IH} = 4\text{ MHz}$ 注3	通常動作	$V_{DD} = 3.0\text{ V}$		1.2	1.7	mA
						$V_{DD} = 2.0\text{ V}$		1.2	1.7	
		HS (高速 メイン) モード注4	$f_{MX} = 20\text{ MHz}$ 注2 $V_{DD} = 5.0\text{ V}$	通常動作	方形波入力		3.0	4.6	mA	
					発振子接続		3.2	4.8		
				通常動作	方形波入力		3.0	4.6	mA	
					発振子接続		3.2	4.8		
			$f_{MX} = 10\text{ MHz}$ 注2 $V_{DD} = 5.0\text{ V}$	通常動作	方形波入力		1.9	2.7	mA	
					発振子接続		1.9	2.7		
通常動作	方形波入力				1.9	2.7	mA			
	発振子接続				1.9	2.7				
LS (低速 メイン) モード注4	$f_{MX} = 8\text{ MHz}$ 注2 $V_{DD} = 3.0\text{ V}$	通常動作	方形波入力		1.1	1.7	mA			
			発振子接続		1.1	1.7				
	通常動作	方形波入力		1.1	1.7	mA				
		発振子接続		1.1	1.7					

注 1.  $V_{DD}$  に流れるトータル電流です。入力端子を  $V_{DD}$ , または  $V_{SS}$  に固定した状態での入力リーク電流を含みます。また MAX. 値には周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ / プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータは停止時。
3. 高速システム・クロックは停止時。
4. 動作電圧範囲, CPU 動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード:  $V_{DD} = 2.7 \sim 5.5\text{ V}$  @1 MHz~32 MHz  
 $V_{DD} = 2.4 \sim 5.5\text{ V}$  @1 MHz~16 MHz

LS (低速メイン) モード:  $V_{DD} = 1.8 \sim 5.5\text{ V}$  @1 MHz~8 MHz

LV (低電圧メイン) モード:  $V_{DD} = 1.6 \sim 5.5\text{ V}$  @1 MHz~4 MHz

備考 1.  $f_{MX}$ : 高速システム・クロック周波数 (X1 クロック発振周波数または外部メイン・システム・クロック周波数)

2.  $f_{IH}$ : 高速オンチップ・オシレータ・クロック周波数

(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, V<sub>SS</sub> = 0 V)

(2/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 注 <sup>1</sup>	I <sub>DD2</sub> 注 <sup>2</sup>	HALT モード	HS (高速メイ ン) モード注 <sup>6</sup>	f <sub>IH</sub> = 32 MHz注 <sup>4</sup>	V <sub>DD</sub> = 5.0 V		0.54	1.63	mA
					V <sub>DD</sub> = 3.0 V		0.54	1.63	
				f <sub>IH</sub> = 24 MHz注 <sup>4</sup>	V <sub>DD</sub> = 5.0 V		0.44	1.28	mA
					V <sub>DD</sub> = 3.0 V		0.44	1.28	
				f <sub>IH</sub> = 16 MHz注 <sup>4</sup>	V <sub>DD</sub> = 5.0 V		0.40	1.00	mA
					V <sub>DD</sub> = 3.0 V		0.40	1.00	
		LS (低速メイ ン) モード注 <sup>6</sup>	f <sub>IH</sub> = 8 MHz注 <sup>4</sup>	V <sub>DD</sub> = 3.0 V		260	530	μA	
				V <sub>DD</sub> = 2.0 V		260	530		
		LV (低電圧メイ ン) モード注 <sup>6</sup>	f <sub>IH</sub> = 4 MHz注 <sup>4</sup>	V <sub>DD</sub> = 3.0 V		420	640	μA	
				V <sub>DD</sub> = 2.0 V		420	640		
		HS (高速メイ ン) モード注 <sup>6</sup>	f <sub>MX</sub> = 20 MHz注 <sup>3</sup>	V <sub>DD</sub> = 5.0 V	方形波入力		0.28	1.00	mA
					発振子接続		0.45	1.17	
			f <sub>MX</sub> = 20 MHz注 <sup>3</sup>	V <sub>DD</sub> = 3.0 V	方形波入力		0.28	1.00	mA
					発振子接続		0.45	1.17	
			f <sub>MX</sub> = 10 MHz注 <sup>3</sup>	V <sub>DD</sub> = 5.0 V	方形波入力		0.19	0.60	mA
					発振子接続		0.26	0.67	
		f <sub>MX</sub> = 10 MHz注 <sup>3</sup>	V <sub>DD</sub> = 3.0 V	方形波入力		0.19	0.60	mA	
				発振子接続		0.26	0.67		
	LS (低速メイ ン) モード注 <sup>6</sup>	f <sub>MX</sub> = 8 MHz注 <sup>3</sup>	V <sub>DD</sub> = 3.0 V	方形波入力		95	330	μA	
				発振子接続		145	380		
		f <sub>MX</sub> = 8 MHz注 <sup>3</sup>	V <sub>DD</sub> = 2.0 V	方形波入力		95	330	μA	
				発振子接続		145	380		
	I <sub>DD3</sub> 注 <sup>5</sup>	STOP モード	T <sub>A</sub> = -40°C				0.15	0.50	μA
			T <sub>A</sub> = +25°C				0.22	0.50	
T <sub>A</sub> = +50°C				0.34	1.10				
T <sub>A</sub> = +70°C				0.46	1.90				
T <sub>A</sub> = +85°C				0.75	3.30				

(注, 備考は次ページにあります。)

- 注 1.  $V_{DD}$ に流れるトータル電流である。入力端子を  $V_{DD}$  または  $V_{SS}$  に固定した状態での入力リーク電流を含みます。また MAX.値には周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでの HALT 命令実行時。
  3. 高速オンチップ・オシレータは停止時。
  4. 高速システム・クロックは停止時。
  5. 12 ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
  6. 動作電圧範囲、CPU 動作周波数、動作モードの関係を次に示します。

HS (高速メイン) モード :  $V_{DD} = 2.7 \sim 5.5 \text{ V} @ 1 \text{ MHz} \sim 32 \text{ MHz}$

$V_{DD} = 2.4 \sim 5.5 \text{ V} @ 1 \text{ MHz} \sim 16 \text{ MHz}$

LS (低速メイン) モード :  $V_{DD} = 1.8 \sim 5.5 \text{ V} @ 1 \text{ MHz} \sim 8 \text{ MHz}$

LV (低電圧メイン) モード :  $V_{DD} = 1.6 \sim 5.5 \text{ V} @ 1 \text{ MHz} \sim 4 \text{ MHz}$

- 備考 1.  $f_{MX}$  : 高速システム・クロック周波数 (X1 クロック発振周波数または外部メイン・システム・クロック周波数)
2.  $f_{IH}$  : 高速オンチップ・オシレータ・クロック周波数
  3. 「STOP モード」以外の TYP.値の温度条件は、 $T_A = 25^\circ\text{C}$

(TA = -40~+85°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
★ 低速オンチップ・オシレータ動作電流	I <sub>FIL</sub> <sup>注1</sup>				0.20		μA
12ビット・インターバル・タイマ動作電流	I <sub>IT</sub> <sup>注1, 2, 3</sup>				0.02 <sup>注3</sup>		μA
ウォッチドッグ・タイマ動作電流	I <sub>WDT</sub> <sup>注1, 2, 4</sup>	f <sub>IL</sub> = 15 kHz, f <sub>MAIN</sub> 停止時			0.22		μA
A/Dコンバータ動作電流	I <sub>ADC</sub> <sup>注5, 6</sup>	AV <sub>DD</sub> = 3.0 V, 最高速変換時			420	720	μA
AV <sub>REF(+)</sub> 電流	I <sub>AVREF</sub> <sup>注7</sup>	AV <sub>DD</sub> = 3.0 V, ADREFP1 = 0, ADREFP0 = 0 <sup>注6</sup>			14.0	25.0	μA
		AV <sub>REFP</sub> = 3.0 V, ADREFP1 = 0, ADREFP0 = 1 <sup>注9</sup>			14.0	25.0	
		ADREFP1 = 1, ADREFP0 = 0 <sup>注1</sup>			14.0	25.0	
A/Dコンバータ基準電圧電流	I <sub>ADREF</sub> <sup>注1, 8</sup>	V <sub>DD</sub> = 3.0 V			75.0		μA
温度センサ動作電流	I <sub>TMPS</sub> <sup>注1</sup>	V <sub>DD</sub> = 3.0 V			75.0		μA
LVD動作電流	I <sub>LVD</sub> <sup>注1, 10</sup>				0.08		μA
BGO動作電流	I <sub>BGO</sub> <sup>注1, 11</sup>				2.5	12.2	mA
セルフ・プログラミング動作電流	I <sub>FSP</sub> <sup>注1, 12</sup>				2.5	12.2	mA
SNOOZE動作電流	I <sub>SNOZ</sub>	A/Dコンバータ動作 (AV <sub>DD</sub> = 3.0 V)	モード遷移中 <sup>注1, 13</sup>		0.50	0.60	mA
			変換動作中 <sup>注1</sup>		0.60	0.75	mA
			変換動作中 <sup>注6</sup>		420	720	μA
		CSI/UART動作 <sup>注1</sup>		0.70	0.84	mA	

(注, 備考は次ページにあります。)



- ★ 注 1.  $V_{DD}$ に流れる電流です。
2. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
  3. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は、 $I_{DD1}$ または $I_{DD2}$ に $I_{IT}$ を加算した値が、RL78/マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時は $I_{FIL}$ を加算してください。
  4. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は、 $I_{DD1}$ 、 $I_{DD2}$ または $I_{DD3}$ に $I_{WDT}$ を加算した値が、RL78マイクロコントローラの電流値となります。
  5. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータ動作時は、 $I_{DD1}$ または $I_{DD2}$ に $I_{ADC}$ 、 $I_{AVREF}$ 、 $I_{ADREF}$ を加算した値が、RL78マイクロコントローラの電流値となります。
  6.  $AV_{DD}$ に流れる電流です。
  7. A/Dコンバータの基準電圧源から流れる電流です。
  8. 内部基準電圧の動作電流です。
  9.  $AV_{REFP}$ に流れる電流です。
  10. LVD回路にのみ流れる電流です。LVD回路の動作時は、 $I_{DD1}$ 、 $I_{DD2}$ または $I_{DD3}$ に $I_{LVD}$ を加算した値が、RL78マイクロコントローラの電流値となります。
  11. データ・フラッシュ書き換え動作に流れる電流です。
  12. セルフ・プログラミング動作に流れる電流です。
  13. SNOOZEモードへの移行時間は、3.18 スタンバイ機能を参照してください。

備考 1.  $f_{IL}$  : 低速オンチップ・オシレータ・クロック周波数

2.  $f_{CLK}$  : CPU/周辺ハードウェア・クロック周波数

3. TYP.値の温度条件は、 $T_A = 25^{\circ}\text{C}$ です。

## 5.2.3 AC 特性

(TA = -40~+85°C, 1.6V ≤ AVDD ≤ 3.6V, 1.6V ≤ VDD ≤ 5.5V, AVDD ≤ VDD, VSS = 0V)

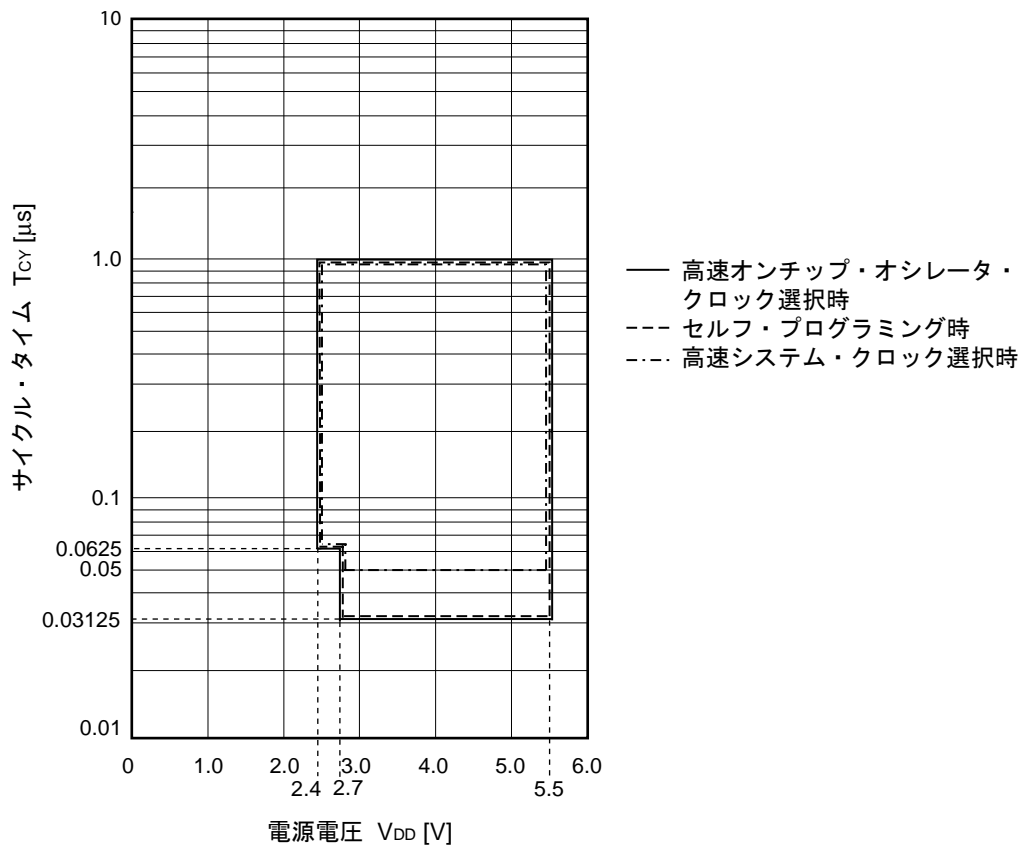
項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LV (低電圧メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.25		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.125		1	μs
		セルフ・プログラミング実行時	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LV (低電圧メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.25		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.125		1	μs
外部システム・クロック周波数	fEX	2.7 V ≤ VDD ≤ 5.5 V		1.0		20.0	MHz	
		2.4 V ≤ VDD < 2.7 V		1.0		16.0		
		1.8 V ≤ VDD < 2.4 V		1.0		8.0		
		1.6 V ≤ VDD < 1.8 V		1.0		4.0		
外部システム・クロック入力 ハイ・レベル幅 ロウ・レベル幅	tEXH, tEXL	2.7 V ≤ VDD ≤ 5.5 V		24			ns	
		2.4 V ≤ VDD < 2.7 V		30				
		1.8 V ≤ VDD < 2.4 V		60				
		1.6 V ≤ VDD < 1.8 V		120				
TI00, TI04, TI07入力 ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL			1/fMCK +10			ns	
TO00, TO04, TO07 出力周波数	fTO	HS (高速メイン) モード	4.0 V ≤ VDD ≤ 5.5 V			16	MHz	
			2.7 V ≤ VDD < 4.0 V			8		
			1.8 V ≤ VDD < 2.7 V			4		
			1.6 V ≤ VDD < 1.8 V			2		
		LV (低電圧メイン) モード	1.6 V ≤ VDD < 5.5 V			2		
		LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V			4		
		1.6 V ≤ VDD < 1.8 V			2			
PCLBUZ0出力周波数	fPCL	HS (高速メイン) モード	4.0 V ≤ VDD ≤ 5.5 V			16	MHz	
			2.7 V ≤ VDD < 4.0 V			8		
			1.8 V ≤ VDD < 2.7 V			4		
			1.6 V ≤ VDD < 1.8 V			2		
		LV (低電圧メイン) モード	1.8 V ≤ VDD ≤ 5.5 V			4		
			1.6 V ≤ VDD < 1.8 V			2		
		LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V			4		
			1.6 V ≤ VDD < 1.8 V			2		
割り込み入力 ハイ・レベル幅, ロウ・レベル幅	tINIHL, tINIL	INTP0, INTP1, INTP2, INTP6		1.6 V ≤ VDD ≤ 5.5 V	1		μs	
★ キー割り込み入力 ハイ・レベル幅, ロウ・レベル幅	tKR	KR0-KR7		1.8 V ≤ VDD ≤ 5.5 V	250		ns	
				1.8V ≤ AVDD ≤ 3.6V				
				1.6 V ≤ VDD < 1.8 V	1		μs	
				1.6V ≤ AVDD < 1.8V				
RESETロウ・レベル幅	tRSL			10			μs	

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

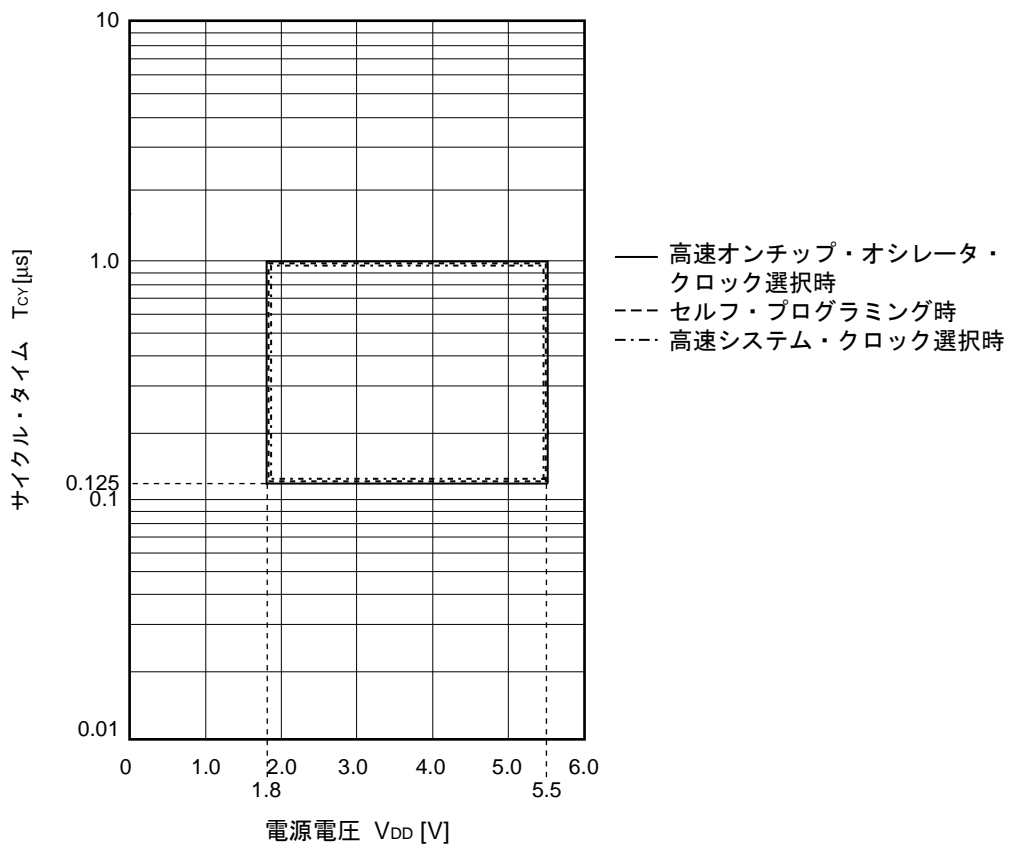
タイマ・クロック選択レジスタ 0 (TPS0) とタイマ・モード・レジスタ 0n (TMR0n) の CKS0n ビットで設定する動作クロック。N : チャネル番号 (n = 0-7) )

★ メイン・システム・クロック動作時の最小命令実行時間

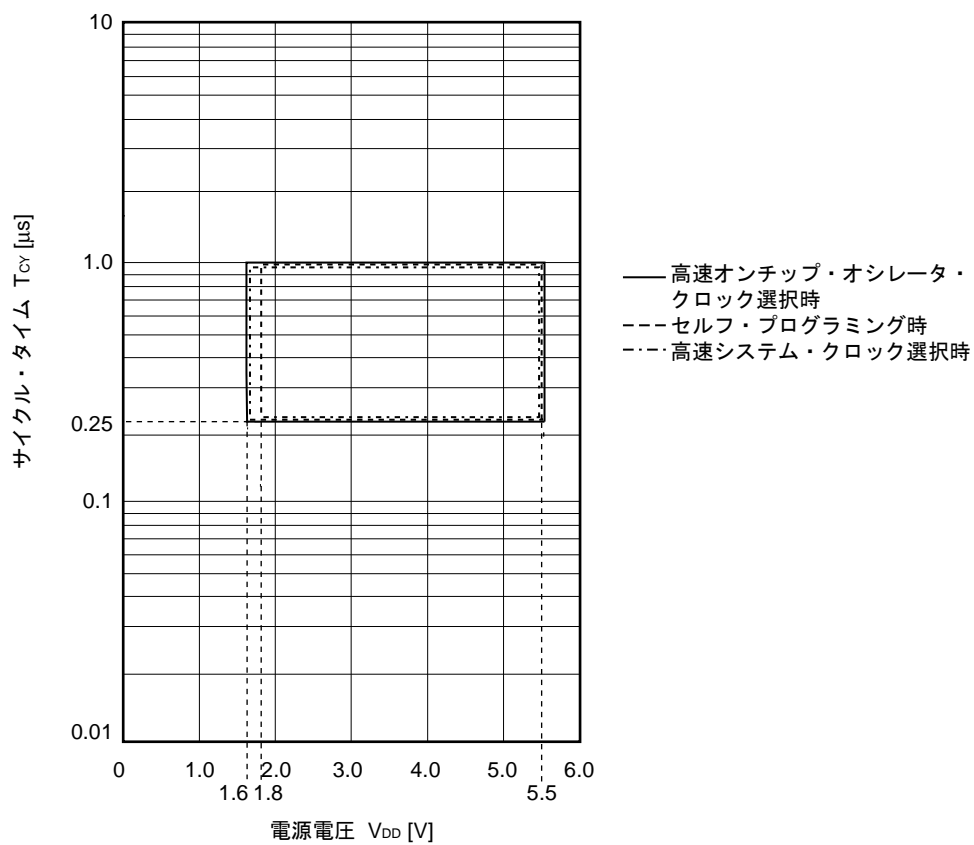
$T_{CY}$  vs  $V_{DD}$  (HS (高速メイン) モード)



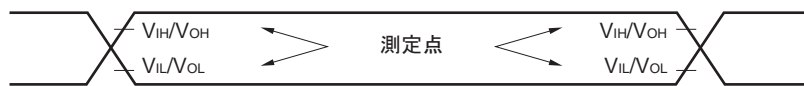
T<sub>CY</sub> vs V<sub>DD</sub> (LS (低速メイン) モード)



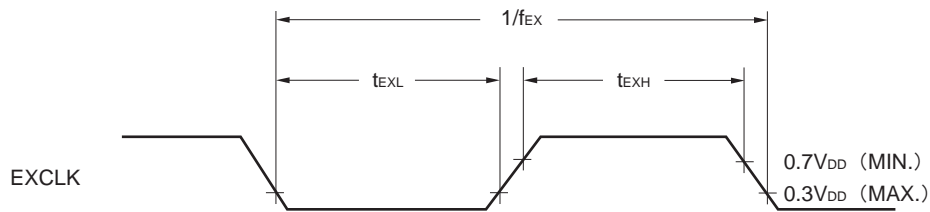
T<sub>CY</sub> vs V<sub>DD</sub> (LV (低電圧メイン) モード)



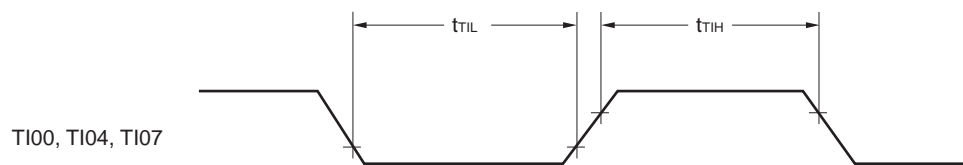
★ AC タイミング測定点



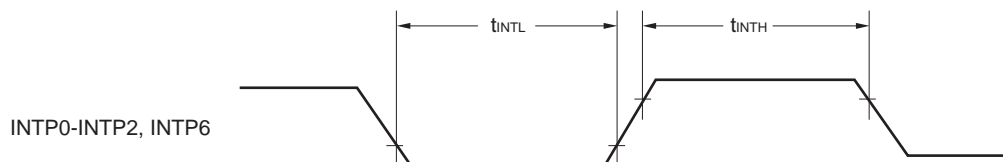
外部システム・クロック・タイミング



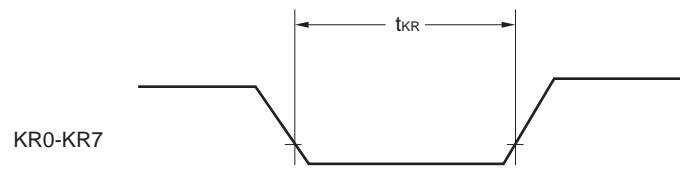
TI/TO タイミング



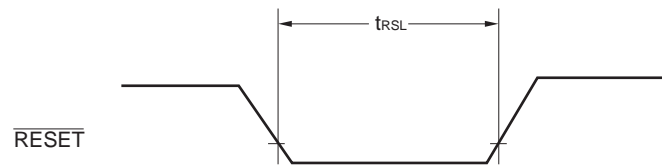
割り込み要求入力タイミング



## キー割り込み入力タイミング

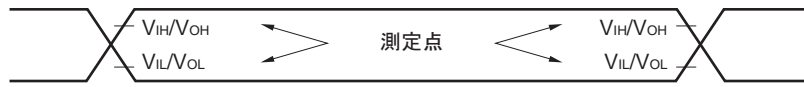


## RESET 入力タイミング



5.2.4 周辺機能特性

★ AC タイミング測定点



★ 5.2.4.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UART モード) (専用ボー・レート・ジェネレータ出力)

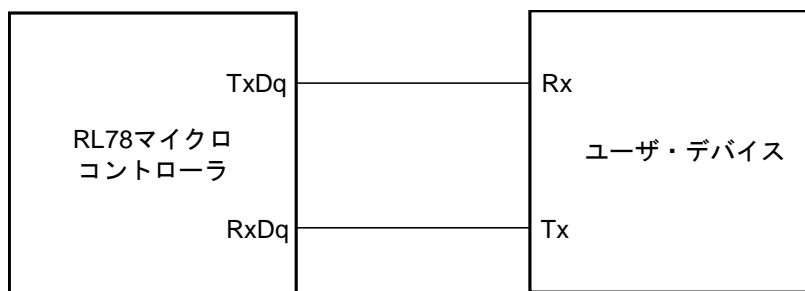
(TA = -40~+85°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0V)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート 注4		2.4 V ≤ VDD ≤ 5.5 V		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK 注6		5.3 <sup>注5</sup>		1.3		0.6	Mbps
		1.8 V ≤ VDD ≤ 5.5 V		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK 注6		5.3 <sup>注5</sup>		1.3		0.6	Mbps
		1.7 V ≤ VDD ≤ 5.5 V		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK 注6		5.3 <sup>注5</sup>		1.3 <sup>注5</sup>		0.6	Mbps
		1.6 V ≤ VDD ≤ 5.5 V		—		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK 注6		—		1.3 <sup>注5</sup>		0.6	Mbps

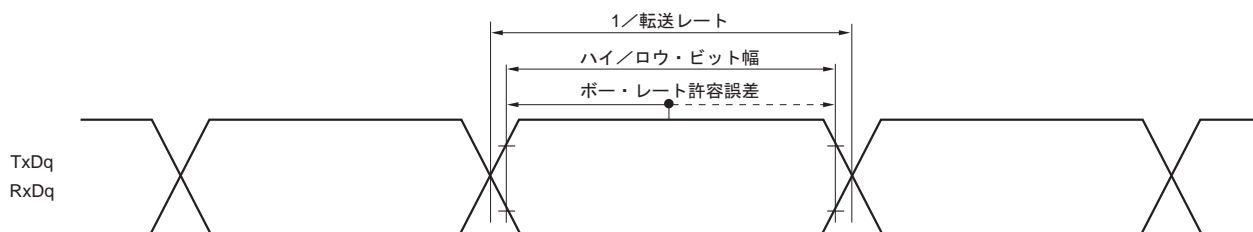
- 注 1. HS は、HS (高速メイン) モードの条件です。
- 2. LS は、LS (低速メイン) モードの条件です。
- 3. LV は、LV (低電圧メイン) モードの条件です。
- 4. SNOOZE モードでの転送レートは、4,800bps です。
- 5. 低電圧インターフェース時は、次の条件も必要になります。
  - 2.4 V ≤ VDD < 2.7 V : MAX. 2.6 Mbps
  - 1.8 V ≤ VDD < 2.4 V : MAX. 1.3 Mbps
  - 1.6 V ≤ VDD < 1.8 V : MAX. 0.6 Mbps
- 6. 各動作モードでの fCLK を次に示します。
  - HS (高速メイン) モード : fCLK = 32 MHz
  - LS (低速メイン) モード : fCLK = 8 MHz
  - LV (低電圧メイン) モード : fCLK = 4 MHz

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq 端子は通常入力バッファを選択、TxDq 端子は通常出力モードを選択します。

## UART モード接続図（同電位通信時）



## UART モードのビット幅（同電位通信時）（参考）



備考 1. q : UART 番号 (q = 0 - 2) , g : PIM, POM 番号 (g = 0, 1)

2.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。)

m : ユニット番号, n : チャネル番号 (mn = 00 - 03, 10, 11) )



★ (2) 同電位通信時 (CSI モード) (マスタ・モード, SCKp…内部クロック出力, CSI00 のみ対応)

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $V_{SS} = 0\text{ V}$ )

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	$t_{KCY1}$	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ $t_{KCY1} \geq 2/f_{CLK}$	83.3 <sup>注4</sup>		250		500		ns
SCKp ハイ・レベル幅 ロウ・レベル幅	$t_{KH1}$ , $t_{KL1}$	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2$ -7		$t_{KCY1}/2$ -50		$t_{KCY1}/2$ -50		ns
		$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2$ -10		$t_{KCY1}/2$ -50		$t_{KCY1}/2$ -50		
Slpセットアップ時間 (対SCKp↑) <sup>注5</sup>	$t_{SIK1}$	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	23		110		110		ns
		$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	33		110		110		
Slpホールド時間 (対SCKp↑) <sup>注5</sup>	$t_{SH1}$	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	10		10		10		ns
SCKp↓→SOp 出力遅延時間 <sup>注6</sup>	$t_{KSO1}$	$C = 20\text{ pF}$ <sup>注7</sup>		10		10		10	ns

注 1. HS は, HS (高速メイン) モードの条件です。

2. LS は, LS (低速メイン) モードの条件です。

3. LV は, LV (低電圧メイン) モードの条件です。

4.  $f_{MCK}$  は, 24MHz 以下で使用してください。

5.  $DAPmn = 0$ ,  $CKPmn = 0$  または  $DAPmn = 1$ ,  $CKPmn = 1$  のとき。  $DAPmn = 0$ ,  $CKPmn = 1$  または  $DAPmn = 1$ ,  $CKPmn = 0$  のときは“対 SCKp↓”となります。

6.  $DAPmn = 0$ ,  $CKPmn = 0$  または  $DAPmn = 1$ ,  $CKPmn = 1$  のとき。  $DAPmn = 0$ ,  $CKPmn = 1$  または  $DAPmn = 1$ ,  $CKPmn = 0$  のときは“対 SCKp↑”となります。

7. C は, SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考 1. p: CSI 番号 ( $p = 00$ ), m: ユニット番号 ( $m = 0$ ), n: チャネル番号 ( $n = 0$ ),  
g: PIM, POM 番号 ( $g = 1$ )

2.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数  
(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。  
m: ユニット番号, n: チャネル番号 ( $mn = 00$ ))

## ★ (3) 同電位通信時 (CSI モード) (マスタ・モード, SCKp…内部クロック出力)

(TA = -40~+85°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	t <sub>KCY1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V t <sub>KCY1</sub> ≥ 4/f <sub>CLK</sub>	125		500		1000		ns
		2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V t <sub>KCY1</sub> ≥ 4/f <sub>CLK</sub>	250		500		1000		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V t <sub>KCY1</sub> ≥ 4/f <sub>CLK</sub>	500		500		1000		ns
		1.7 V ≤ V <sub>DD</sub> ≤ 5.5 V t <sub>KCY1</sub> ≥ 4/f <sub>CLK</sub>	1000		1000		1000		ns
		1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V t <sub>KCY1</sub> ≥ 4/f <sub>CLK</sub>	—		1000		1000		ns
SCKp ハイ・レベル幅 ロウ・レベル幅	t <sub>KH1</sub> , t <sub>KL1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V	t <sub>KCY1</sub> /2		t <sub>KCY1</sub> /2		t <sub>KCY1</sub> /2		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	t <sub>KCY1</sub> /2	-12	t <sub>KCY1</sub> /2	-50	t <sub>KCY1</sub> /2	-50	ns
		2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V	t <sub>KCY1</sub> /2	-18	t <sub>KCY1</sub> /2	-50	t <sub>KCY1</sub> /2	-50	ns
		1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V	t <sub>KCY1</sub> /2	-38	t <sub>KCY1</sub> /2	-50	t <sub>KCY1</sub> /2	-50	ns
		1.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	t <sub>KCY1</sub> /2	-50	t <sub>KCY1</sub> /2	-50	t <sub>KCY1</sub> /2	-50	ns
		1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	t <sub>KCY1</sub> /2	-100	t <sub>KCY1</sub> /2	-100	t <sub>KCY1</sub> /2	-100	ns
Slpセットアップ時間 (対SCKp↑) <sup>注4</sup>	t <sub>SIK1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V	44		110		110		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	44		110		110		ns
		2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V	75		110		110		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V	110		110		110		ns
		1.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	220		220		220		ns
		1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	—		220		220		ns
Slpホールド時間 (対SCKp↑) <sup>注4</sup>	t <sub>KSH1</sub>	1.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	19		19		19		ns
		1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	—		19		19		ns
SCKp ↓ → SOP出力 遅延時間 <sup>注5</sup>	t <sub>KSO1</sub>	1.7 V ≤ V <sub>DD</sub> ≤ 5.5 V C = 30 pF <sup>注6</sup>		25		25		25	ns
		1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V C = 30 pF <sup>注6</sup>		—		25		25	

(注, 注意, 備考は次ページにあります。)

- 注 1. HS は, HS (高速メイン) モードの条件です。
2. LS は, LS (低速メイン) モードの条件です。
3. LV は, LV (低電圧メイン) モードの条件です。
4. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。
5. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。
6. C は, SCKp, SOP 出カラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOP 端子と SCKp 端子は通常出力モードを選択します。

備考 p: CSI 番号 (p = 00, 10, 20, 21), m: ユニット番号 (m = 0, 1),  
n: チャネル番号 (n = 0 - 2), g: PIM, POM 番号 (g = 0, 1)

★ (4) 同電位通信時 (CSI モード) (スレーブ・モード, SCKp…外部クロック入力) (1/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (1/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCKp サイクル ・タイム <sup>注4</sup>	$t_{KCY2}$	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$20 \text{ MHz} < f_{MCK}$	$8/f_{MCK}$	—	—	—	—	ns	
			$f_{MCK} \leq 20 \text{ MHz}$	$6/f_{MCK}$		$6/f_{MCK}$		$6/f_{MCK}$	ns	
		$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$16 \text{ MHz} < f_{MCK}$	$8/f_{MCK}$	—	—	—	—	ns	
			$f_{MCK} \leq 16 \text{ MHz}$	$6/f_{MCK}$		$6/f_{MCK}$		$6/f_{MCK}$	ns	
		$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$6/f_{MCK}$ かつ 500ns		$6/f_{MCK}$ かつ 500ns		$6/f_{MCK}$ かつ 500ns		ns
		$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$6/f_{MCK}$ かつ 750ns		$6/f_{MCK}$ かつ 750ns		$6/f_{MCK}$ かつ 750ns		ns
		$1.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$6/f_{MCK}$ かつ 1500ns		$6/f_{MCK}$ かつ 1500ns		$6/f_{MCK}$ かつ 1500ns		ns
		$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		—		$6/f_{MCK}$ かつ 1500ns		$6/f_{MCK}$ かつ 1500ns		ns
SCKp ハイ・レベル幅 ロウ・レベル幅	$t_{KH2}$ , $t_{KL2}$	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$t_{KCY2}/2$ -7		$t_{KCY2}/2$ -7		$t_{KCY2}/2$ -7		ns
		$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$t_{KCY2}/2$ -8		$t_{KCY2}/2$ -8		$t_{KCY2}/2$ -8		ns
		$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$t_{KCY2}/2$ -18		$t_{KCY2}/2$ -18		$t_{KCY2}/2$ -18		ns
		$1.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$t_{KCY2}/2$ -66		$t_{KCY2}/2$ -66		$t_{KCY2}/2$ -66		ns
		$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		—		$t_{KCY2}/2$ -66		$t_{KCY2}/2$ -66		ns

- 注 1. HS は, HS (高速メイン) モードの条件です。  
 2. LS は, LS (低速メイン) モードの条件です。  
 3. LV は, LV (低電圧メイン) モードの条件です。  
 4. SNOOZE モードでの転送レートは, MAX.: 1 Mbps です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子と SCKp 端子は通常入力バッファ, SOp 端子は通常出力モードを選択。

- 備考 1. p: CSI 番号 (p = 00, 10, 20, 21), m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-2),  
 g: PIM, POM 番号 (g = 0, 1)  
 2.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数  
 (シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。  
 m: ユニット番号, n: チャネル番号 (mn = 00-03, 10, 11) )

★ (4) 同電位通信時 (CSI モード) (スレーブ・モード, SCKp…外部クロック入力) (2/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (2/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセット アップ時間 (対SCKp↑) <sup>注4</sup>	$t_{SIK2}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$1/f_{MCK}$ +20		$1/f_{MCK}$ +30		$1/f_{MCK}$ +30		ns
		$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$1/f_{MCK}$ +30		$1/f_{MCK}$ +30		$1/f_{MCK}$ +30		ns
		$1.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$1/f_{MCK}$ +40		$1/f_{MCK}$ +40		$1/f_{MCK}$ +40		ns
		$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	—		$1/f_{MCK}$ +40		$1/f_{MCK}$ +40		ns
Slp ホールド時間 (対SCKp↑) <sup>注4</sup>	$t_{KSI2}$	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$1/f_{MCK}$ +31		$1/f_{MCK}$ +31		$1/f_{MCK}$ +31		ns
		$1.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$1/f_{MCK}$ +250		$1/f_{MCK}$ +250		$1/f_{MCK}$ +250		ns
		$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	—		$1/f_{MCK}$ +250		$1/f_{MCK}$ +250		ns
SCKp↓ →SOp出力 遅延時間 <sup>注5</sup>	$t_{KSO2}$	$C = 30 \text{ pF}$ <sup>注6</sup>	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{MCK}$ +44		$2/f_{MCK}$ +110		$2/f_{MCK}$ +110	ns
			$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{MCK}$ +75		$2/f_{MCK}$ +110		$2/f_{MCK}$ +110	ns
			$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{MCK}$ +110		$2/f_{MCK}$ +110		$2/f_{MCK}$ +110	ns
			$1.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{MCK}$ +220		$2/f_{MCK}$ +220		$2/f_{MCK}$ +220	ns
			$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	—		$2/f_{MCK}$ +220		$2/f_{MCK}$ +220	ns

注 1. HS は、HS (高速メイン) モードの条件です。

2. LS は、LS (低速メイン) モードの条件です。

3. LV は、LV (低電圧メイン) モードの条件です。

4.  $DAPmn = 0$ ,  $CKPmn = 0$  または  $DAPmn = 1$ ,  $CKPmn = 1$  のとき。  $DAPmn = 0$ ,  $CKPmn = 1$  または  $DAPmn = 1$ ,  $CKPmn = 0$  のときは“対 SCKp↓”となります。

5.  $DAPmn = 0$ ,  $CKPmn = 0$  または  $DAPmn = 1$ ,  $CKPmn = 1$  のとき。  $DAPmn = 0$ ,  $CKPmn = 1$  または  $DAPmn = 1$ ,  $CKPmn = 0$  のときは“対 SCKp↑”となります。

6. C は、SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は通常入力バッファを選択し、SOp 端子は通常出力モードを選択します。

備考 1. p : CSI 番号 (p = 00, 10, 20, 21), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-2),

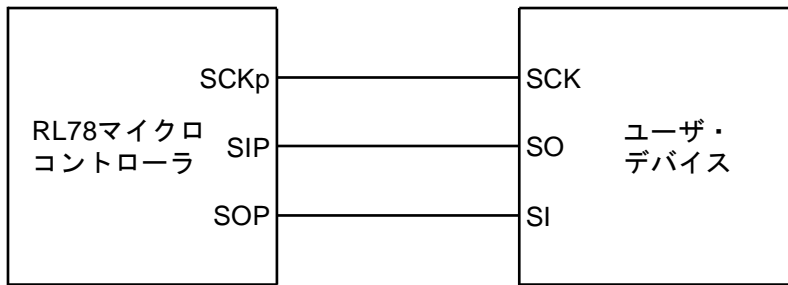
g : PIM, POM 番号 (g = 0, 1)

2.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

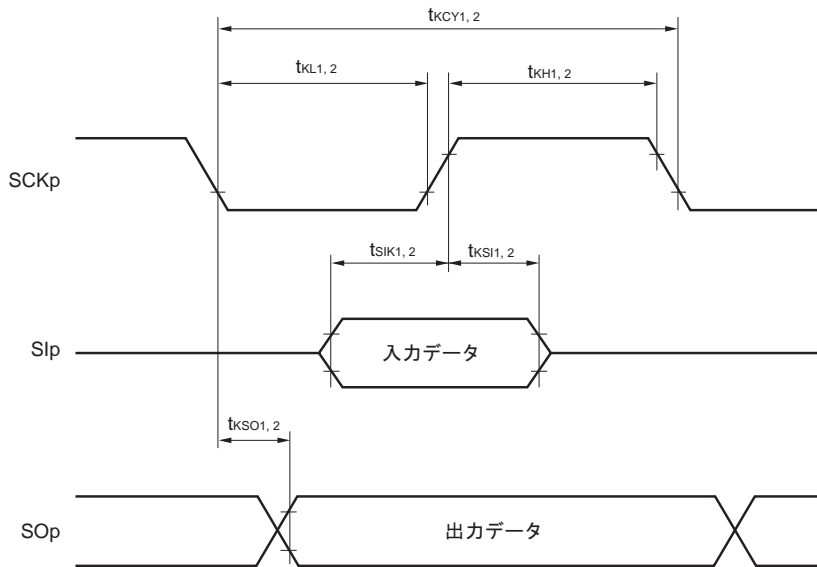
(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。

m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11) )

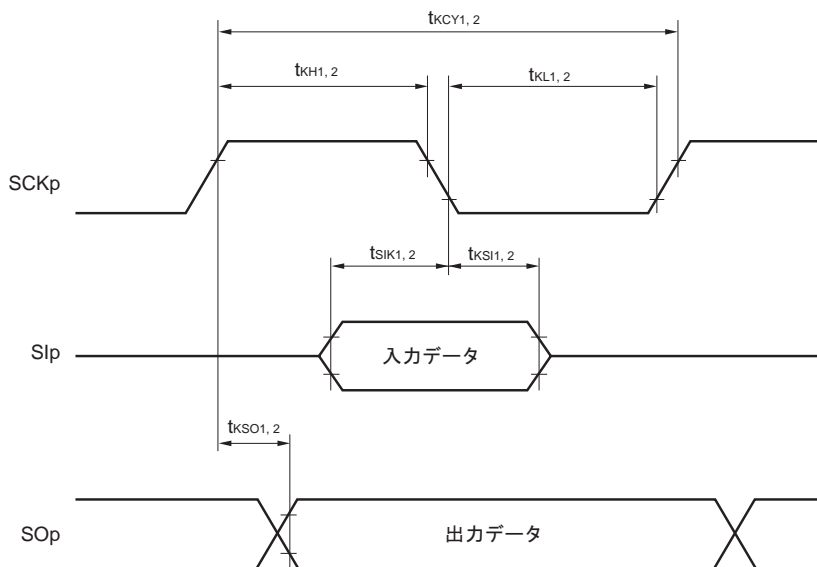
CSI モード接続図 (同電位通信時)



CSI モード・シリアル転送タイミング (同電位通信時)  
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSI モード・シリアル転送タイミング (同電位通信時)  
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 1. p : CSI 番号 (p = 00, 10, 20, 21)

2. m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11)

★ (5) 同電位通信時 (簡易 I<sup>2</sup>C モード) (1/2)(T<sub>A</sub> = -40 ~ +85 °C, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, V<sub>SS</sub> = 0 V) (1/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLr クロック 周波数	f <sub>SCL</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 <sup>注4</sup>		400 <sup>注4</sup>		400 <sup>注4</sup>	kHz
		1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 <sup>注4</sup>		400 <sup>注4</sup>		400 <sup>注4</sup>	kHz
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 <sup>注4</sup>		300 <sup>注4</sup>		300 <sup>注4</sup>	kHz
		1.7 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		250 <sup>注4</sup>		250 <sup>注4</sup>		250 <sup>注4</sup>	kHz
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		—		250 <sup>注4</sup>		250 <sup>注4</sup>	kHz
SCLr = "L" のホールド ・タイム	t <sub>LOW</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1850		1850		ns
SCLr = "H" のホールド ・タイム	t <sub>HIGH</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1850		1850		ns

注 1. HS は, HS (高速メイン) モードの条件です。

2. LS は, LS (低速メイン) モードの条件です。

3. LV は, LV (低電圧メイン) モードの条件です。

4. 表中の値で、かつ、f<sub>MCK</sub>/4 以下に設定してください。

(注意は次ページに、備考は次々ページにあります。)

★ (5) 同電位通信時 (簡易 I<sup>2</sup>C モード) (2/2)(T<sub>A</sub> = -40 ~ +85 °C, 1.6 V ≤ V<sub>DD</sub> ≤ 5.5 V, V<sub>SS</sub> = 0 V) (2/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・ セットアップ 時間 (受信時)	t <sub>SU:DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f <sub>MCK</sub> +85 <sup>注4</sup>		1/f <sub>MCK</sub> +145 <sup>注4</sup>		1/f <sub>MCK</sub> +145 <sup>注4</sup>		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/f <sub>MCK</sub> +145 <sup>注4</sup>		1/f <sub>MCK</sub> +145 <sup>注4</sup>		1/f <sub>MCK</sub> +145 <sup>注4</sup>		ns
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/f <sub>MCK</sub> +230 <sup>注4</sup>		1/f <sub>MCK</sub> +230 <sup>注4</sup>		1/f <sub>MCK</sub> +230 <sup>注4</sup>		ns
		1.7 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1/f <sub>MCK</sub> +290 <sup>注4</sup>		1/f <sub>MCK</sub> +290 <sup>注4</sup>		1/f <sub>MCK</sub> +290 <sup>注4</sup>		ns
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1/f <sub>MCK</sub> +290 <sup>注4</sup>		1/f <sub>MCK</sub> +290 <sup>注4</sup>		ns
データ・ ホールド時間 (送信時)	t <sub>HD:DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.7 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—	—	0	405	0	405	ns

注 1. HS は、HS (高速メイン) モードの条件です。

2. LS は、LS (低速メイン) モードの条件です。

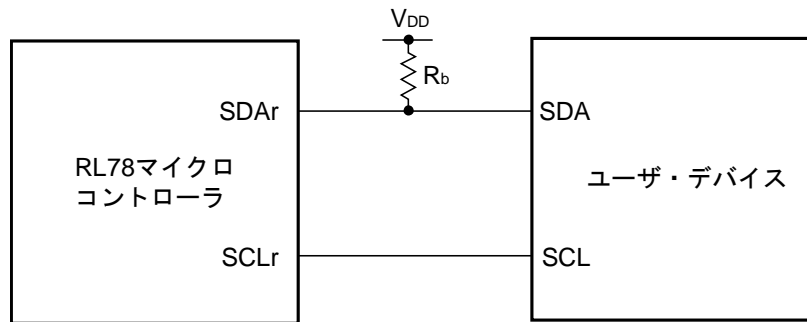
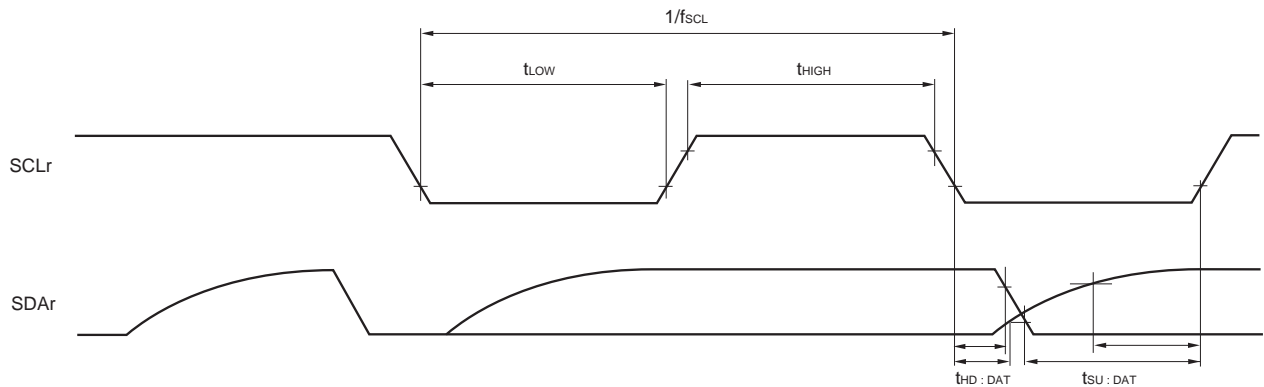
3. LV は、LV (低電圧メイン) モードの条件です。

4. f<sub>MCK</sub> 値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ h (POMh) で、SDAr は通常入力バッファ、N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧) モードを選択し、SCLr は通常出力モードを選択します。なお V<sub>IH</sub>、V<sub>IL</sub> は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)



簡易 I<sup>2</sup>C モード接続図（同電位通信時）簡易 I<sup>2</sup>C モード・シリアル転送タイミング（同電位通信時）

- 備考 1.  $R_b$  [ $\Omega$ ] : 通信ライン (SDAr) プルアップ抵抗値,  $C_b$  [F] : 通信ライン (SCLr, SDAr) 負荷容量値
2.  $r$  : IIC 番号 ( $r = 00, 10, 20$ ),  $g$  : PIM 番号 ( $g = 0, 1$ ),  $h$  : POM 番号 ( $h = 0, 1$ )
3.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数  
 (シリアル・モード・レジスタ  $mn$  (SMR $mn$ ) の CKS $mn$  ビットで設定する動作クロック。  
 $m$  : ユニット番号 ( $m = 0, 1$ ),  $n$  : チャネル番号 ( $n = 0, 2$ ),  $mn = 00-03, 10, 11$ )

★ (6) 異電位 (1.8 V 系, 2.5 V 系, 3 V 系) 通信時 (UART モード) (専用ボー・レート・ジェネレータ出力) (1/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (1/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送 レート <sup>注4</sup>	受信	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ , $2.7\text{V} \leq V_b \leq 4.0\text{V}$		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$	bps
			最大転送レート 理論値 $f_{MCK} = f_{CLK}$ <sup>注7</sup>	5.3	1.3	0.6	Mbps		
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$ , $2.3\text{V} \leq V_b \leq 2.7\text{V}$		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$	bps
			最大転送レート 理論値 $f_{MCK} = f_{CLK}$ <sup>注7</sup>	5.3	1.3	0.6	Mbps		
		$1.8\text{V} \leq V_{DD} < 3.3\text{V}$ , $1.6\text{V} \leq V_b \leq 2.0\text{V}$ <sup>注5</sup>		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$	bps
			最大転送レート 理論値 $f_{MCK} = f_{CLK}$ <sup>注7</sup>	5.3 <sup>注6</sup>	1.3	0.6	Mbps		

注1. HS は, HS (高速メイン) モードの条件です。

2. LS は, LS (低速メイン) モードの条件です。

3. LV は, LV (低電圧メイン) モードの条件です。

4. SNOOZE モードでの転送レートは, 4,800 bps です。

5.  $V_{DD} \geq V_b$  で使用してください。

6. 低電圧インタフェース時は, 次の条件も必要になります。

$2.4 \text{ V} \leq V_{DD} < 2.7 \text{ V}$  : MAX. 2.6 Mbps

$1.8 \text{ V} \leq V_{DD} < 2.4 \text{ V}$  : MAX. 1.3 Mbps

7. 各動作モードでの  $f_{CLK}$  を次に示します。

HS (高速メイン) モード :  $f_{CLK} = 32 \text{ MHz}$

LS (低速メイン) モード :  $f_{CLK} = 8 \text{ MHz}$

LV (低電圧メイン) モード :  $f_{CLK} = 4 \text{ MHz}$

(注意, 備考は次ページにあります。)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, RxDq 端子は TTL 入力バッファを選択し, TxDq 端子は N-ch オープン・ドレイン出力 ( $V_{DD}$  耐圧) モードを選択します。なお  $V_{IH}$ ,  $V_{IL}$  は, TTL 入力バッファ選択時の DC 特性を参照してください。

備考 1.  $V_b$  [V]: 通信ライン電圧

2. q: UART 番号 (q = 0-2), g: PIM, POM 番号 (g = 0, 1)

3.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数  
(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。

m: ユニット番号, n: チャネル番号 (mn = 00-03, 10, 11) )

4. シリアル・アレイ・ユニットの UART モードの異電位通信時の AC 特性は下記の  $V_{IH}$  と  $V_{IL}$  を観測点としています。

$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$  のとき:  $V_{IH} = 2.2\text{ V}$ ,  $V_{IL} = 0.8\text{ V}$

$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ,  $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$  のとき:  $V_{IH} = 2.0\text{ V}$ ,  $V_{IL} = 0.5\text{ V}$

$1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$ ,  $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$  のとき:  $V_{IH} = 1.5\text{ V}$ ,  $V_{IL} = 0.32\text{ V}$

5. 周辺 I/O リダイレクション・レジスタ (PIOR) のビット 1 (PIOR1) が 1 のとき, UART2 の異電位通信は使用できません。

★ (6) 異電位 (1.8 V 系, 2.5 V 系, 3 V 系) 通信時 (UART モード) 専用ボー・レート・ジェネレータ出力) (2/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (2/2)

項目	略号	条件		HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送 レート	送信	4.0V ≤ V <sub>DD</sub> ≤ 5.5V, 2.7V ≤ V <sub>b</sub> ≤ 4.0V	最大転送レート 理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		注4		注4		注4	bps
					2.8 <sup>注5</sup>		2.8 <sup>注5</sup>		2.8 <sup>注5</sup>	Mbps
		2.7V ≤ V <sub>DD</sub> < 4.0V, 2.3V ≤ V <sub>b</sub> ≤ 2.7V	最大転送レート 理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		注7		注7		注7	bps
					1.2 <sup>注8</sup>		1.2 <sup>注8</sup>		1.2 <sup>注8</sup>	Mbps
		1.8V ≤ V <sub>DD</sub> < 3.3V, 1.6V ≤ V <sub>b</sub> ≤ 2.0V <sup>注6</sup>	最大転送レート 理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		注9		注9		注9	bps
					0.43 <sup>注10</sup>		0.43 <sup>注10</sup>		0.43 <sup>注10</sup>	Mbps

注 1. HS は, HS (高速メイン) モードの条件です。

2. LS は, LS (低速メイン) モードの条件です。

3. LV は, LV (低電圧メイン) モードの条件です。

4.  $f_{MCK}/6$  または次の計算式で求められる最大転送レートのどちらか小さい方が, 有効な最大転送レートとなります。

4.0 V ≤ V<sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V<sub>b</sub> ≤ 4.0 V 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-Cb \times Rb \times \ln(1 - \frac{2.2}{Vb})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-Cb \times Rb \times \ln(1 - \frac{2.2}{Vb})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

(注の続きと, 注意は次ページにあります。)

5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注 4 により算出してください。
6.  $V_{DD} \geq V_b$  で使用してください。
7.  $f_{MCK}/6$  または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V  $\leq V_{DD} < 4.0$  V, 2.3 V  $\leq V_b \leq 2.7$  V 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-Cb \times Rb \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\begin{aligned} \text{ボー・レート} \\ \text{許容誤差 (理論値)} \end{aligned} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-Cb \times Rb \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100[\%]$$

※この値は送信側と受信側の相対差の理論値となります。

8. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注 7 により算出してください。
9.  $f_{MCK}/6$  または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V  $\leq V_{DD} \leq 3.3$  V, 1.6 V  $\leq V_b \leq 2.0$  V 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-Cb \times Rb \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\begin{aligned} \text{ボー・レート} \\ \text{許容誤差 (理論値)} \end{aligned} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-Cb \times Rb \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100[\%]$$

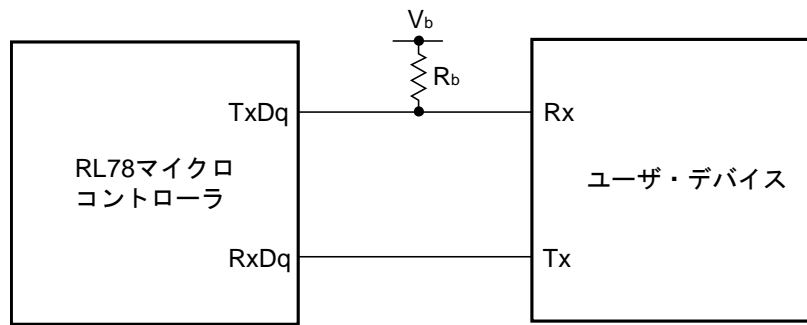
※この値は送信側と受信側の相対差の理論値となります。

10. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注 9 により算出してください。

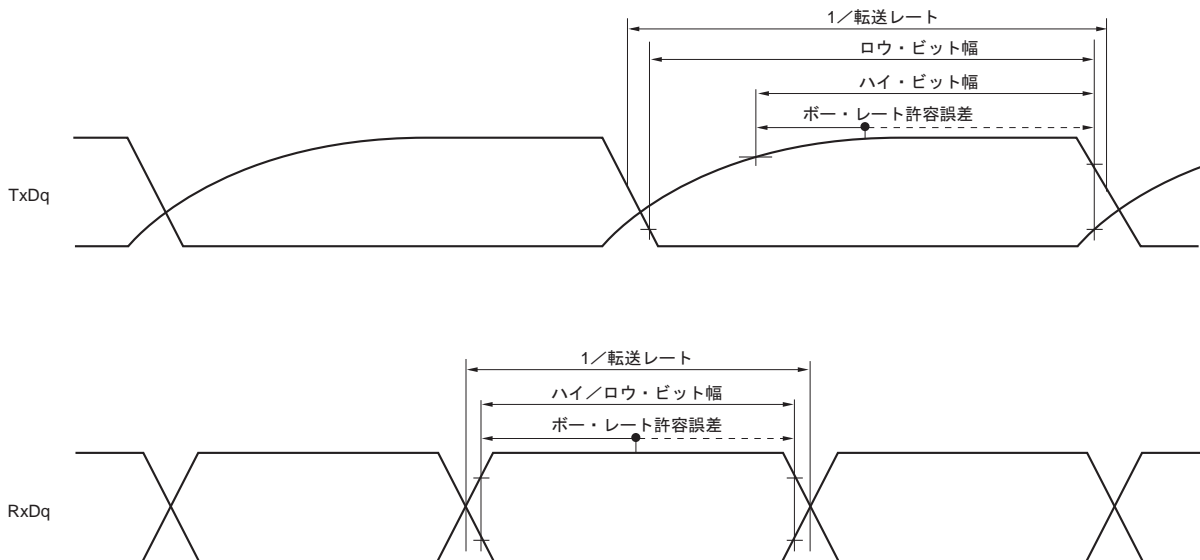
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq 端子は TTL 入力バッファを選択し、TxDq 端子は N-ch オープン・ドレイン出力 ( $V_{DD}$  耐圧) モードを選択します。なお  $V_{IH}$ ,  $V_{IL}$  は、TTL 入力バッファ選択時の DC 特性を参照してください

(備考は次ページにあります。)

UART モード接続図（異電位通信時）



UART モードのビット幅（異電位通信時）（参考）



- 備考 1.  $R_b$  [ $\Omega$ ]: 通信ライン (TxDq) プルアップ抵抗値,  $C_b$  [F]: 通信ライン (TxDq) 負荷容量値,  
 $V_b$  [V]: 通信ライン電圧
2.  $q$ : UART 番号 ( $q = 0-2$ ),  $g$ : PIM, POM 番号 ( $g = 0, 1$ )
  3.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数  
 (シリアル・モード・レジスタ  $mn$  (SMR $mn$ ) の CKS $mn$  ビットで設定する動作クロック。  
 $m$ : ユニット番号,  $n$ : チャンネル番号 ( $mn = 00-03, 10, 11$ ))
  4. シリアル・アレイ・ユニットの UART モードの異電位通信時の AC 特性は下記の  $V_{IH}$  と  $V_{IL}$  を観測点としています。
    - $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$  のとき:  $V_{IH} = 2.2\text{ V}$ ,  $V_{IL} = 0.8\text{ V}$
    - $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ,  $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$  のとき:  $V_{IH} = 2.0\text{ V}$ ,  $V_{IL} = 0.5\text{ V}$
    - $1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$ ,  $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$  のとき:  $V_{IH} = 1.5\text{ V}$ ,  $V_{IL} = 0.32\text{ V}$
  5. 周辺 I/O リダイレクション・レジスタ (PIOR) のビット 1 (PIOR1) が 1 のとき, UART2 の異電位通信は使用できません。

★ (7) 異電位 (2.5V系, 3V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力, CSI00のみ対応) (1/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (1/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t <sub>KCY1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 1.4 kΩ, t <sub>KCY1</sub> ≥ 2/f <sub>CLK</sub>	200		1150		1150		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ, t <sub>KCY1</sub> ≥ 2/f <sub>CLK</sub>	300		1150		1150		
SCKpハイ・レベル幅	t <sub>KH1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 1.4 kΩ	t <sub>KCY1</sub> /2 -50		t <sub>KCY1</sub> /2 -50		t <sub>KCY1</sub> /2 -50		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	t <sub>KCY1</sub> /2 -120		t <sub>KCY1</sub> /2 -120		t <sub>KCY1</sub> /2 -120		
SCKpロウ・レベル幅	t <sub>KL1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 1.4 kΩ	t <sub>KCY1</sub> /2 -7		t <sub>KCY1</sub> /2 -50		t <sub>KCY1</sub> /2 -50		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	t <sub>KCY1</sub> /2 -10		t <sub>KCY1</sub> /2 -50		t <sub>KCY1</sub> /2 -50		
Slpセットアップ時間 (対SCKp↑) <sup>注4</sup>	t <sub>SIK1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 1.4 kΩ	58		479		479		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	121		479		479		
Slpホールド時間 (対SCKp↑) <sup>注4</sup>	t <sub>KSH1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	10		10		10		
SCKp ↓ → SOP 出力遅延時間 <sup>注4</sup>	t <sub>KSO1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 1.4 kΩ		60		60		60	ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ		130		130		130	

(注は次ページにあります。)

★ (7) 異電位 (2.5V系, 3V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力, CSI00のみ対応) (2/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (2/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↓) <sup>注5</sup>	t <sub>SIK1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	23		110		110		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	33		110		110		
Slp ホールド時間 (対SCKp↓) <sup>注5</sup>	t <sub>KS1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		
SCKp↑→SOp 出力遅延時間 <sup>注5</sup>	t <sub>KSO1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10	10			10	ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10	10			10	

注1. HSは、HS (高速メイン) モードの条件です。

2. LSは、LS (低速メイン) モードの条件です。

3. LVは、LV (低電圧メイン) モードの条件です。

4. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

5. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧) モードを選択します。

備考1. Rb [Ω]: 通信ライン (SCKp, SOOp) プルアップ抵抗値, Cb [F]: 通信ライン (SCKp, SOOp) 負荷容量値, Vb [V]: 通信ライン電圧

2. p: CSI 番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0),  
g: PIM, POM 番号 (g = 1)

3. シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は下記の V<sub>IH</sub> と V<sub>IL</sub> を観測点としています。

4.0 V ≤ V<sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V<sub>b</sub> ≤ 4.0 V のとき: V<sub>IH</sub> = 2.2 V, V<sub>IL</sub> = 0.8 V

2.7 V ≤ V<sub>DD</sub> < 4.0 V, 2.3 V ≤ V<sub>b</sub> ≤ 2.7 V のとき: V<sub>IH</sub> = 2.0 V, V<sub>IL</sub> = 0.5 V



★ (8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力) (1/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (1/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	4.0 V $\leq$ V <sub>DD</sub> $\leq$ 5.5 V, 2.7 V $\leq$ V <sub>b</sub> $\leq$ 4.0 V, Cb = 30 pF, Rb = 1.4 k $\Omega$ tkCY1 $\geq$ 4/fCLK	300		1150		1150		ns
		2.7 V $\leq$ V <sub>DD</sub> < 4.0 V, 2.3 V $\leq$ V <sub>b</sub> $\leq$ 2.7 V, Cb = 30 pF, Rb = 2.7 k $\Omega$ tkCY1 $\geq$ 4/fCLK	500		1150		1150		
		1.8 V $\leq$ V <sub>DD</sub> < 3.3 V, 1.6 V $\leq$ V <sub>b</sub> $\leq$ 2.0 V, <sup>注4</sup> Cb = 30 pF, Rb = 5.5 k $\Omega$ tkCY1 $\geq$ 4/fCLK	1150		1150		1150		
SCKp ハイ・レベル幅	tkH1	4.0 V $\leq$ V <sub>DD</sub> $\leq$ 5.5 V, 2.7 V $\leq$ V <sub>b</sub> $\leq$ 4.0 V, Cb = 30 pF, Rb = 1.4 k $\Omega$	tkCY1/2 -75		tkCY1/2 -75		tkCY1/2 -75		ns
		2.7 V $\leq$ V <sub>DD</sub> < 4.0 V, 2.3 V $\leq$ V <sub>b</sub> $\leq$ 2.7 V, Cb = 30 pF, Rb = 2.7 k $\Omega$	tkCY1/2 -170		tkCY1/2 -170		tkCY1/2 -170		
		1.8 V $\leq$ V <sub>DD</sub> < 3.3 V, 1.6 V $\leq$ V <sub>b</sub> $\leq$ 2.0 V, <sup>注4</sup> Cb = 30 pF, Rb = 5.5 k $\Omega$	tkCY1/2 -458		tkCY1/2 -458		tkCY1/2 -458		
SCKp ロウ・レベル幅	tkL1	4.0 V $\leq$ V <sub>DD</sub> $\leq$ 5.5 V, 2.7 V $\leq$ V <sub>b</sub> $\leq$ 4.0 V, Cb = 30 pF, Rb = 1.4 k $\Omega$	tkCY1/2 -12		tkCY1/2 -50		tkCY1/2 -50		ns
		2.7 V $\leq$ V <sub>DD</sub> < 4.0 V, 2.3 V $\leq$ V <sub>b</sub> $\leq$ 2.7 V, Cb = 30 pF, Rb = 2.7 k $\Omega$	tkCY1/2 -18		tkCY1/2 -50		tkCY1/2 -50		
		1.8 V $\leq$ V <sub>DD</sub> < 3.3 V, 1.6 V $\leq$ V <sub>b</sub> $\leq$ 2.0 V, <sup>注4</sup> Cb = 30 pF, Rb = 5.5 k $\Omega$	tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		

(注, 注意, 備考は次ページにあります。)

- 注 1. HS は、HS（高速メイン）モードの条件です。
2. LS は、LS（低速メイン）モードの条件です。
3. LV は、LV（低電圧メイン）モードの条件です。
4.  $V_{DD} \geq V_b$  で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 ( $V_{DD}$  耐圧) モードを選択します。なお  $V_{IH}$ 、 $V_{IL}$  は、TTL 入力バッファ選択時の DC 特性を参照してください。

- 備考 1.  $R_b$  [ $\Omega$ ] : 通信ライン (SCKp, SOOp) プルアップ抵抗値,  $C_b$  [F] : 通信ライン (SCKp, SOOp) 負荷容量値,  $V_b$  [V] : 通信ライン電圧
2. p : CSI 番号 (p = 00, 10, 20) , m : ユニット番号, n : チャネル番号 (mn = 00, 10, 20) ,  
g : PIM, POM 番号 (g = 0, 1)
3. シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は下記の  $V_{IH}$  と  $V_{IL}$  を観測点としています。
- $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$  ,  $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$  のとき :  $V_{IH} = 2.2\text{ V}$  ,  $V_{IL} = 0.8\text{ V}$
- $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$  ,  $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$  のとき :  $V_{IH} = 2.0\text{ V}$  ,  $V_{IL} = 0.5\text{ V}$
- $1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$  ,  $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$  のとき :  $V_{IH} = 1.5\text{ V}$  ,  $V_{IL} = 0.32\text{ V}$
4. CSI21 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

★ (8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSI モード) (マスタ・モード, SCKp…内部クロック出力) (2/2)

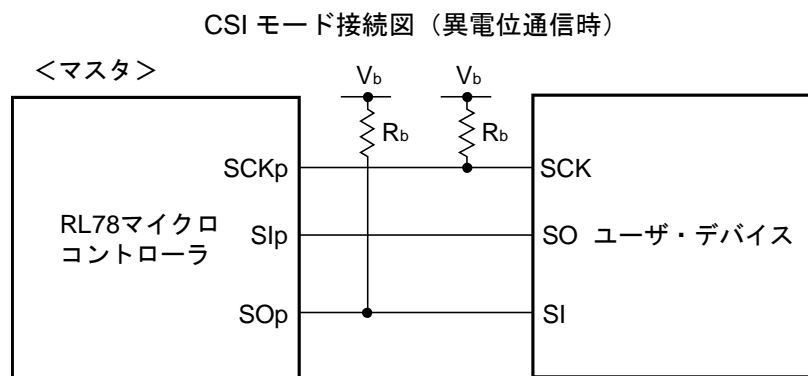
( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (2/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN	MAX	MIN	MAX	MIN	MAX	
Slp セットアップ 時間 (対SCKp↑) <sup>注4</sup>	t <sub>SIK1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		479		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		479		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, <sup>注6</sup> Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		ns
Slp ホールド時間 (対SCKp↑) <sup>注4</sup>	t <sub>KS1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, <sup>注6</sup> Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp↓ →SOp出力 遅延時間 <sup>注4</sup>	t <sub>KSO1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100		100	ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195	ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, <sup>注6</sup> Cb = 30 pF, Rb = 5.5 kΩ		483		483		483	ns
Slp セットアップ 時間 (対SCKp↓) <sup>注5</sup>	t <sub>SIK1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		110		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		110		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, <sup>注6</sup> Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		ns
Slp ホールド時間 (対SCKp↓) <sup>注5</sup>	t <sub>KS1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, <sup>注6</sup> Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp↑ →SOp出力 遅延時間 <sup>注5</sup>	t <sub>KSO1</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns
		1.8 V ≤ V <sub>DD</sub> < 4.0 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, <sup>注6</sup> Cb = 30 pF, Rb = 5.5 kΩ		25		25		25	ns

(注, 注意, 備考は次ページにあります。)

- 注 1. HS は、HS（高速メイン）モードの条件です。
2. LS は、LS（低速メイン）モードの条件です。
3. LV は、LV（低電圧メイン）モードの条件です。
4. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
5. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。
6.  $V_{DD} \geq V_b$  で使用してください。

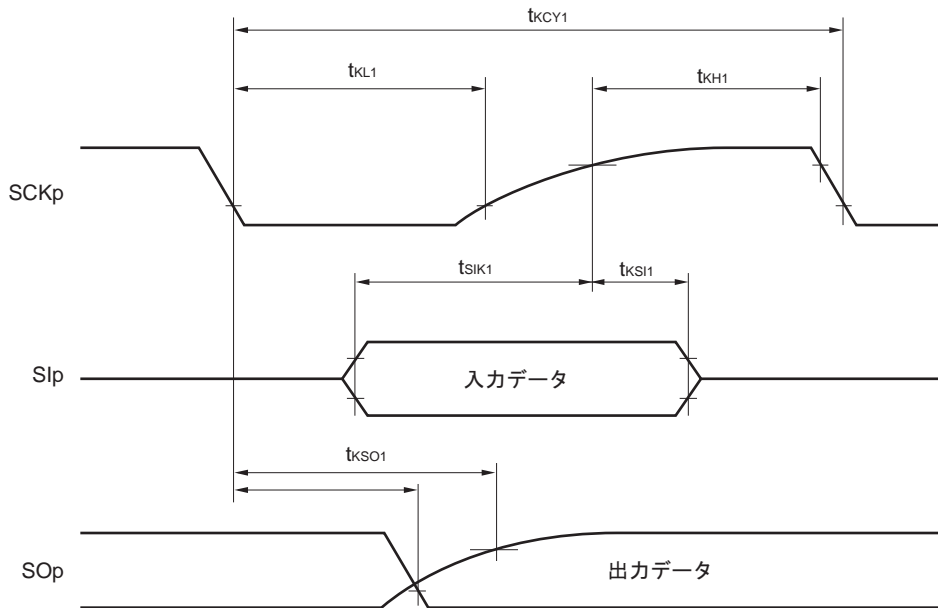
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 ( $V_{DD}$  耐圧) モードを選択します。なお  $V_{IH}$ ,  $V_{IL}$  は、TTL 入力バッファ選択時の DC 特性を参照してください。



- 備考 1.  $R_b$  [ $\Omega$ ]: 通信ライン (SCKp, SOp) プルアップ抵抗値,  $C_b$  [F]: 通信ライン (SCKp, SOp) 負荷容量値,  $V_b$  [V]: 通信ライン電圧
2. p: CSI 番号 (p = 00, 10, 20), m: ユニット番号, n: チャネル番号 (mn = 00, 10, 20),  
g: PIM, POM 番号 (g = 0, 1)
3. シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は下記の  $V_{IH}$  と  $V_{IL}$  を観測点としています。
- $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$  のとき:  $V_{IH} = 2.2\text{ V}$ ,  $V_{IL} = 0.8\text{ V}$
- $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ,  $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$  のとき:  $V_{IH} = 2.0\text{ V}$ ,  $V_{IL} = 0.5\text{ V}$
- $1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$ ,  $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$  のとき:  $V_{IH} = 1.5\text{ V}$ ,  $V_{IL} = 0.32\text{ V}$
4. CSI21 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

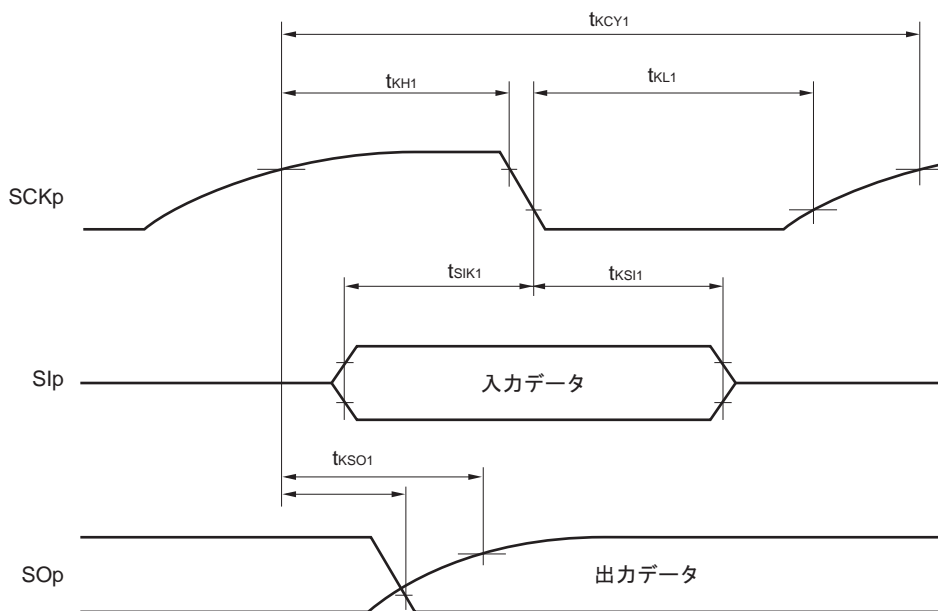
CSI モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



CSI モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



- 備考 1. p : CSI 番号 (p = 00, 10, 20) , m : ユニット番号, n : チャネル番号 (mn = 00, 10, 20) ,  
 g : PIM, POM 番号 (g = 0, 1)
2. CSI21 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

★ (9) 異電位 (1.8 V 系, 2.5 V 系, 3V 系) 通信時 (CSI モード) (スレーブ・モード, SCKp…外部クロック入力) (1/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (1/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル ・タイム <sup>注4</sup>	t <sub>KCY2</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V							
		24 MHz < f <sub>MCK</sub>	14/f <sub>MCK</sub>		—		—		ns
		20 MHz < f <sub>MCK</sub> ≤ 24 MHz	12/f <sub>MCK</sub>		—		—		ns
		8 MHz < f <sub>MCK</sub> ≤ 20 MHz	10/f <sub>MCK</sub>		—		—		ns
		4 MHz < f <sub>MCK</sub> ≤ 8 MHz	8/f <sub>MCK</sub>		16/f <sub>MCK</sub>		—		ns
		f <sub>MCK</sub> ≤ 4 MHz	6/f <sub>MCK</sub>		10/f <sub>MCK</sub>		10/f <sub>MCK</sub>		ns
		2.7 V ≤ V <sub>DD</sub> < 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V							
		24 MHz < f <sub>MCK</sub>	20/f <sub>MCK</sub>		—		—		ns
		20 MHz < f <sub>MCK</sub> ≤ 24 MHz	16/f <sub>MCK</sub>		—		—		ns
		16 MHz < f <sub>MCK</sub> ≤ 20 MHz	14/f <sub>MCK</sub>		—		—		ns
		8 MHz < f <sub>MCK</sub> ≤ 16 MHz	12/f <sub>MCK</sub>		—		—		ns
		4 MHz < f <sub>MCK</sub> ≤ 8 MHz	8/f <sub>MCK</sub>		16/f <sub>MCK</sub>		—		ns
		f <sub>MCK</sub> ≤ 4 MHz	6/f <sub>MCK</sub>		10/f <sub>MCK</sub>		10/f <sub>MCK</sub>		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注5</sup>							
		24 MHz < f <sub>MCK</sub>	48/f <sub>MCK</sub>		—		—		ns
		20 MHz < f <sub>MCK</sub> ≤ 24 MHz	36/f <sub>MCK</sub>		—		—		ns
		16 MHz < f <sub>MCK</sub> ≤ 20 MHz	32/f <sub>MCK</sub>		—		—		ns
		8 MHz < f <sub>MCK</sub> ≤ 16 MHz	26/f <sub>MCK</sub>		—		—		ns
		4 MHz < f <sub>MCK</sub> ≤ 8 MHz	16/f <sub>MCK</sub>		16/f <sub>MCK</sub>		—		ns
		f <sub>MCK</sub> ≤ 4 MHz	10/f <sub>MCK</sub>		10/f <sub>MCK</sub>		10/f <sub>MCK</sub>		ns

注1. HS は, HS (高速メイン) モードの条件です。

2. LS は, LS (低速メイン) モードの条件です。

3. LV は, LV (低電圧メイン) モードの条件です。

4. SNOOZE モードでの転送レートは, MAX. : 1 Mbps です。

5. V<sub>DD</sub> ≥ V<sub>b</sub> で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子と SCKp 端子は TTL 入力バッファを選択し, SOp 端子は N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧) モードを選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

★ (9) 異電位 (1.8 V 系, 2.5 V 系, 3V 系) 通信時 (CSI モード) (スレーブ・モード, SCKp…外部クロック入力) (2/2)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ) (2/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp ハイ・レベル幅 ロウ・レベル幅	t <sub>KH2</sub> , t <sub>KL2</sub>	4.0 V $\leq$ V <sub>DD</sub> $\leq$ 5.5 V, 2.7 V $\leq$ V <sub>b</sub> $\leq$ 4.0 V	t <sub>KCY2</sub> /2		t <sub>KCY2</sub> /2		t <sub>KCY2</sub> /2		ns
		2.7 V $\leq$ V <sub>DD</sub> < 4.0 V, 2.3 V $\leq$ V <sub>b</sub> $\leq$ 2.7 V	t <sub>KCY2</sub> /2		t <sub>KCY2</sub> /2		t <sub>KCY2</sub> /2		ns
		1.8 V $\leq$ V <sub>DD</sub> < 3.3 V, 1.6 V $\leq$ V <sub>b</sub> $\leq$ 2.0 V <sup>注4</sup>	t <sub>KCY2</sub> /2		t <sub>KCY2</sub> /2		t <sub>KCY2</sub> /2		ns
Slp セットアップ 時間 (対SCKp↑) <sup>注5</sup>	t <sub>SIK2</sub>	4.0 V $\leq$ V <sub>DD</sub> $\leq$ 5.5 V, 2.7 V $\leq$ V <sub>b</sub> $\leq$ 4.0 V	1/f <sub>MCK</sub>		1/f <sub>MCK</sub>		1/f <sub>MCK</sub>		ns
		2.7 V $\leq$ V <sub>DD</sub> $\leq$ 4.0V, 2.3 V $\leq$ V <sub>b</sub> $\leq$ 2.7 V	1/f <sub>MCK</sub>		1/f <sub>MCK</sub>		1/f <sub>MCK</sub>		ns
		1.8 V $\leq$ V <sub>DD</sub> < 3.3 V, 1.6 V $\leq$ V <sub>b</sub> $\leq$ 2.0 V <sup>注4</sup>	1/f <sub>MCK</sub>		1/f <sub>MCK</sub>		1/f <sub>MCK</sub>		ns
Slpホールド時間 (対SCKp↑) <sup>注5</sup>	t <sub>KSI2</sub>		1/f <sub>MCK</sub>		1/f <sub>MCK</sub>		1/f <sub>MCK</sub>		ns
SCKp↓ →SOp出力 遅延時間 <sup>注6</sup>	t <sub>KSO2</sub>	4.0 V $\leq$ V <sub>DD</sub> $\leq$ 5.5 V, 2.7 V $\leq$ V <sub>b</sub> $\leq$ 4.0 V, Cb = 30 pF, Rb = 1.4 k $\Omega$		2/f <sub>MCK</sub>		2/f <sub>MCK</sub>		2/f <sub>MCK</sub>	ns
		2.7 V $\leq$ V <sub>DD</sub> $\leq$ 4.0 V, 2.3 V $\leq$ V <sub>b</sub> $\leq$ 2.7 V, Cb = 30 pF, Rb = 2.7 k $\Omega$		2/f <sub>MCK</sub>		2/f <sub>MCK</sub>		2/f <sub>MCK</sub>	ns
		1.8 V $\leq$ V <sub>DD</sub> < 3.3 V, 1.6 V $\leq$ V <sub>b</sub> $\leq$ 2.0 V <sup>注4</sup> , Cb = 30 pF, Rb = 5.5 k $\Omega$		2/f <sub>MCK</sub>		2/f <sub>MCK</sub>		2/f <sub>MCK</sub>	ns

注 1. HS は、HS (高速メイン) モードの条件です。

2. LS は、LS (低速メイン) モードの条件です。

3. LV は、LV (低電圧メイン) モードの条件です。

4.  $V_{DD} \geq V_b$  で使用してください。

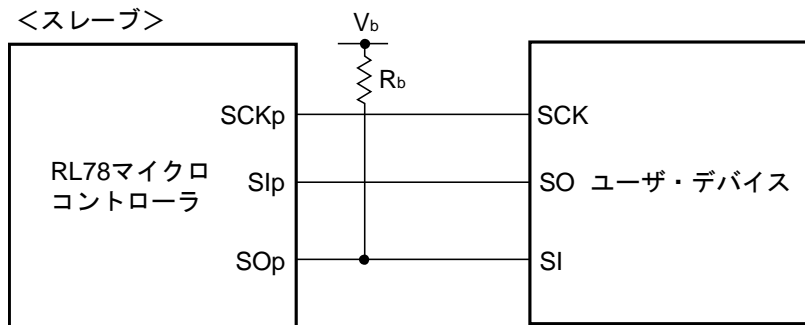
5. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

6. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↑”となります。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 ( $V_{DD}$  耐圧) モードを選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

CSI モード接続図 (異電位通信時)

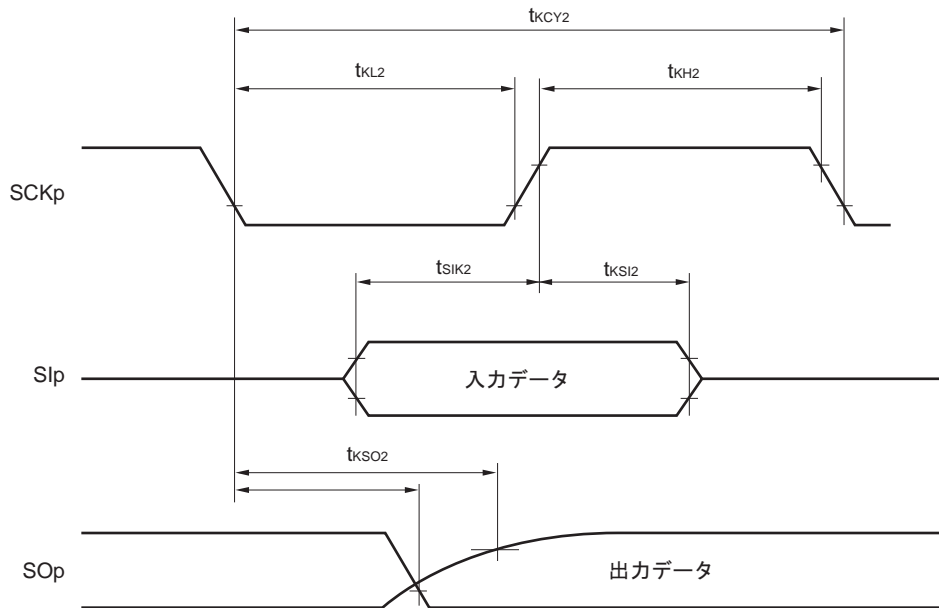


- 備考 1.  $R_b$  [ $\Omega$ ]: 通信ライン (SOp) プルアップ抵抗値,  $C_b$  [F]: 通信ライン (SOp) 負荷容量値,  
 $V_b$  [V]: 通信ライン電圧
2.  $p$ : CSI 番号 ( $p = 00, 10, 20$ ),  $m$ : ユニット番号,  $n$ : チャネル番号 ( $mn = 00, 10, 20$ ),  
 $g$ : PIM, POM 番号 ( $g = 0, 1$ )
3.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数  
 (シリアル・モード・レジスタ  $mn$  (SMR $mn$ ) の CKS $mn$  ビットで設定する動作クロック。  
 $m$ : ユニット番号,  $n$ : チャネル番号 ( $mn = 00, 10, 20$ ))
4. シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は下記の  $V_{IH}$  と  $V_{IL}$  を観測点としています。
- $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$  のとき:  $V_{IH} = 2.2\text{ V}$ ,  $V_{IL} = 0.8\text{ V}$   
 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ,  $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$  のとき:  $V_{IH} = 2.0\text{ V}$ ,  $V_{IL} = 0.5\text{ V}$   
 $1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$ ,  $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$  のとき:  $V_{IH} = 1.5\text{ V}$ ,  $V_{IL} = 0.32\text{ V}$
5. CSI21 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。



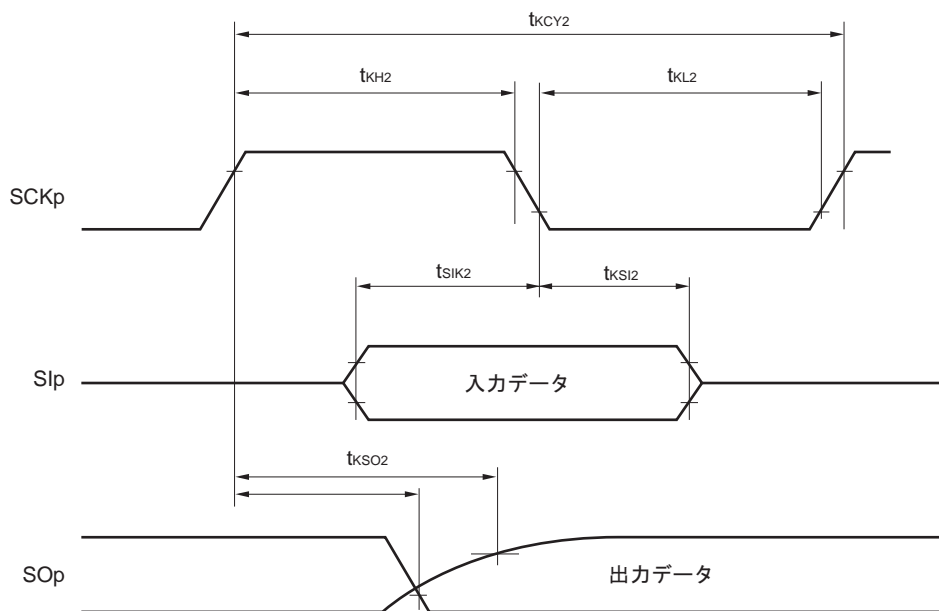
CSI モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



CSI モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



- 備考 1. p : CSI 番号 (p = 00, 10, 20) , m : ユニット番号, n : チャネル番号 (mn = 00, 10, 20) ,  
 g : PIM, POM 番号 (g = 0, 1)
2. CSI21 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

★ (10) 異電位 (1.8 V 系, 2.5 V 系, 3 V 系) 通信時 (簡易 I<sup>2</sup>C モード) (1/2)(T<sub>A</sub> = -40 ~ +85 °C, 1.8 V ≤ V<sub>DD</sub> ≤ 5.5 V, V<sub>SS</sub> = 0 V) (1/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLr クロック 周波数	f <sub>SCL</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 <sup>注4</sup>		300 <sup>注4</sup>		300 <sup>注4</sup>	kHz
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 <sup>注4</sup>		300 <sup>注4</sup>		300 <sup>注4</sup>	kHz
		4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 <sup>注4</sup>		300 <sup>注4</sup>		300 <sup>注4</sup>	kHz
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 <sup>注4</sup>		300 <sup>注4</sup>		300 <sup>注4</sup>	kHz
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注5</sup> , Cb = 100 pF, Rb = 5.5 kΩ		300 <sup>注4</sup>		300 <sup>注4</sup>		300 <sup>注4</sup>	kHz
SCLr = " L" のホールド ・タイム	t <sub>LOW</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注5</sup> , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = " H" のホールド ・タイム	t <sub>HIGH</sub>	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		610		610		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		610		ns
		4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		610		610		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		610		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注5</sup> , Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns

(注は次ページにあります。)

★ (10) 異電位 (1.8 V 系, 2.5 V 系, 3 V 系) 通信時 (簡易 I<sup>2</sup>C モード) (2/2)(T<sub>A</sub> = -40 ~ +85 °C, 1.8 V ≤ V<sub>DD</sub> ≤ 5.5 V, V<sub>SS</sub> = 0 V) (2/2)

項目	略号	条件	HS <sup>注1</sup>		LS <sup>注2</sup>		LV <sup>注3</sup>		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ ・セット アップ時間 (受信時)	t <sub>SU</sub> : DAT	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f <sub>MCK</sub> +135 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f <sub>MCK</sub> +135 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		ns
		4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/f <sub>MCK</sub> +190 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/f <sub>MCK</sub> +190 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注5</sup> , Cb = 100 pF, Rb = 5.5 kΩ	1/f <sub>MCK</sub> +190 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		1/f <sub>MCK</sub> +190 <sup>注6</sup>		ns
データ ・ホールド 時間 (送信時)	t <sub>HD</sub> : DAT	4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ V <sub>b</sub> ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ V <sub>DD</sub> ≤ 4.0 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注5</sup> , Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	ns

注1. HS は, HS (高速メイン) モードの条件です。

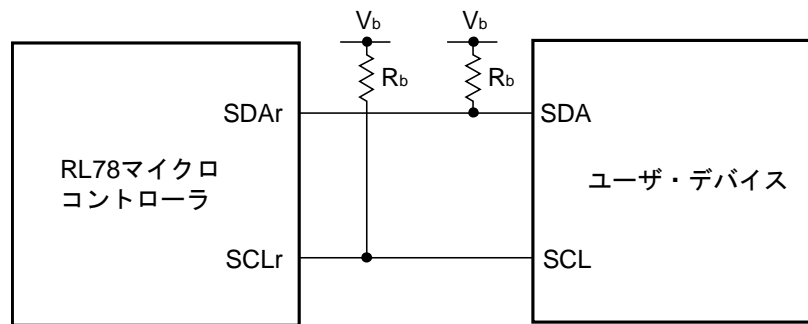
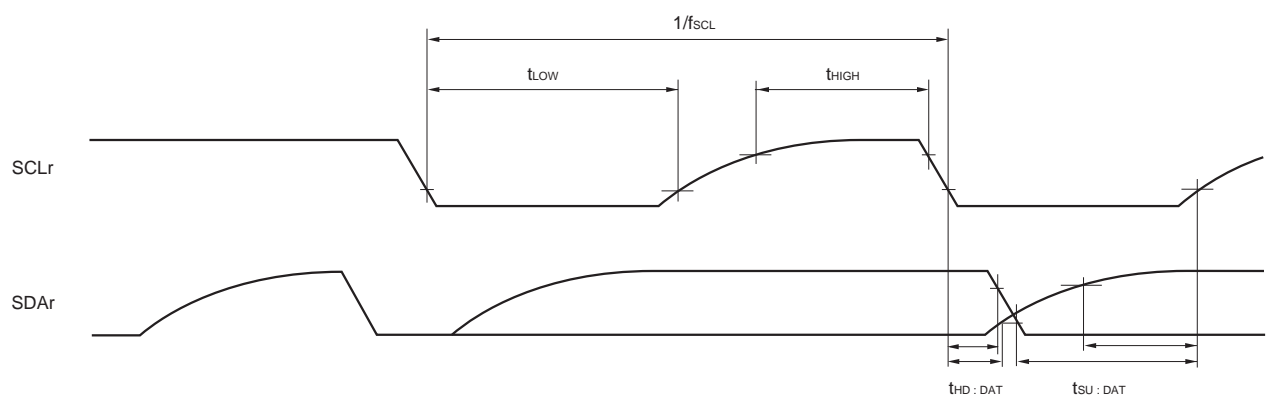
2. LS は, LS (低速メイン) モードの条件です。

3. LV は, LV (低電圧メイン) モードの条件です。

4. 表中の値で、かつ、f<sub>MCK</sub>/4 以下に設定してください。5. V<sub>DD</sub> ≥ V<sub>b</sub> で使用してください。6. f<sub>MCK</sub> 値は、SCLr = "L" と SCLr = "H" のホールド・タイムを超えない設定にしてください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、SDAr は TTL 入力バッファ、N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧) モードを選択し、SCLr は N-ch オープン・ドレイン出力 (V<sub>DD</sub> 耐圧) モードを選択します。なお VIH, VIL は、TLL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易 I<sup>2</sup>C モード接続図 (異電位通信時)簡易 I<sup>2</sup>C モード・シリアル転送タイミング (異電位通信時)

- 備考 1.  $R_b$  [ $\Omega$ ]: 通信ライン (SDAr, SCLr) プルアップ抵抗値,  $C_b$  [F]: 通信ライン (SDAr, SCLr) 負荷容量値,  
 $V_b$  [V]: 通信ライン電圧
2.  $r$ : IIC 番号 ( $r = 00, 10, 20$ ),  $g$ : PIM, POM 番号 ( $g = 0, 1$ )
3.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数  
 (シリアル・モード・レジスタ  $mn$  (SMR $mn$ ) の CKS $mn$  ビットで設定する動作クロック。  
 $m$ : ユニット番号,  $n$ : チャネル番号 ( $mn = 00, 01, 02, 10$ ))

## 5.2.5 アナログ特性

## 5.2.5.1 A/D コンバータ特性

## A/D コンバータ特性の区分

★	基準電圧 入力チャネル	基準電圧 (+) = AV <sub>REFP</sub> 基準電圧 (-) = AV <sub>REFM</sub>	基準電圧 (+) = AV <sub>DD</sub> 基準電圧 (-) = AV <sub>SS</sub>	基準電圧 (+) = 内部基準電圧 基準電圧 (-) = AV <sub>SS</sub>
	高精度チャネル ANI0- ANI4 (入力バッファ電源 : AV <sub>DD</sub> )	5.2.5.1 (1) を参照 5.2.5.1 (2) を参照	5.2.5.1 (3) を参照	5.2.5.1 (6) を参照
	標準チャネル ANI16-ANI18, ANI20-ANI26, ANI28, ANI30 (入力バッファ電源 : V <sub>DD</sub> )	5.2.5.1 (4) を参照	5.2.5.1 (5) を参照	
	内部基準電圧, 温度センサ出力電圧	5.2.5.1 (4) を参照	5.2.5.1 (5) を参照	—

各入力チャネルと基準電圧の値から、それぞれの電気特性を上記表に記した節番より参照してください。

- ★ (1) 基準電圧 (+) = AV<sub>REFP</sub>/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV<sub>REFM</sub>/ANI1 (ADREFM = 1) 選択時, 変換対象 : ANI2-ANI4

(T<sub>A</sub> = -40 ~ +85 °C, 2.7 V ≤ V<sub>DD</sub> ≤ 5.5 V, 2.7 V ≤ AV<sub>REFP</sub> ≤ AV<sub>DD</sub> ≤ 3.6 V, V<sub>SS</sub> = 0 V, AV<sub>SS</sub> = 0 V, 基準電圧 (+) = AV<sub>REFP</sub>, 基準電圧 (-) = AV<sub>REFM</sub> = 0 V, HALT モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 <sup>注1, 2, 3</sup>	AINL	12ビット分解能		±1.7	±3.3	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	3.375			μs
ゼロスケール誤差 <sup>注1, 2, 3</sup>	EZS	12ビット分解能		±1.3	±3.2	LSB
フルスケール誤差 <sup>注1, 2, 3</sup>	EFS	12ビット分解能		±0.7	±2.9	LSB
積分直線性誤差 <sup>注1, 2, 3</sup>	ILE	12ビット分解能		±1.0	±1.4	LSB
微分直線性誤差 <sup>注1, 2, 3</sup>	DLE	12ビット分解能		±0.9	±1.2	LSB
アナログ入力電圧	V <sub>AIN</sub>		0		AV <sub>REFP</sub>	V

- ★ 注1. TYP.値は、AV<sub>DD</sub> = AV<sub>REFP</sub> = 3V, T<sub>A</sub> = 25°Cの平均値です。MAX.値は正規分布における、平均値±3σの値です。
2. この値は特性評価結果による値であり、出荷検査は行っていません。
3. 量子化誤差 (±1/2 LSB) を含みません。
- ★ 注意1. 各電源/グランド・ラインにノイズが載らないよう配線を引き回し、コンデンサを挿入する等の対策をしてください。
- また、AV<sub>REFP</sub>の基準電圧ラインは他の電源ラインと分離し、ノイズの影響が及ばないようにしてください。
2. A/D変換中は、変換端子の隣接端子とP20-P27に対して、デジタル信号のように急激に変化するパルスが入力されないようにしてください。

- ★ (2) 基準電圧 (+) =  $AV_{REFP}/ANI0$  (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) =  $AV_{REFM}/ANI1$  (ADREFM = 1) 選択時, 変換対象 ANI 端子 : ANI2-ANI4 ( $AV_{DD}$  を電源とする ANI 端子)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$ ,  $AV_{REFP} \leq AV_{DD} \leq V_{DD}$ ,  $V_{SS} = 0 \text{ V}$ ,  $AV_{SS} = 0 \text{ V}$ , 基準電圧 (+) =  $AV_{REFP}$ , 基準電圧 (-) =  $AV_{REFM} = 0 \text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 注 <sup>1</sup>	
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8 注 <sup>2</sup>			
総合誤差 <sup>注3</sup>	AINL	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 6.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 5.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.5$	
変換時間	t <sub>CONV</sub>	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	3.375			$\mu\text{s}$
		ADTYP = 0, 10ビット分解能 <sup>注1</sup>	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	6.75			
		ADTYP = 0, 8ビット分解能 <sup>注2</sup>	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	13.5			
		ADTYP = 1, 8ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	2.5625			
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	5.125			
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	10.25			
ゼロスケール誤差 <sup>注3</sup>	EVS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 4.5$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 4.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.0$	
フルスケール誤差 <sup>注3</sup>	EFS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 4.5$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 4.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.0$	
積分直線性誤差 <sup>注3</sup>	ILE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 1.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 1.0$	
微分直線性誤差 <sup>注3</sup>	DLE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 1.5$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 1.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 1.0$	
アナログ入力電圧	V <sub>AIN</sub>			0		AV <sub>REFP</sub>	V

注 1. ADCR レジスタの下位 2bit は使用できません。

2. ADCR レジスタの下位 4bit は使用できません。

3. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

- ★ (3) 基準電圧 (+) =  $AV_{DD}$  (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) =  $AV_{SS}$  (ADREFM = 0) 選択時, 対象 ANI 端子 : ANI0-ANI4 ( $AV_{DD}$  を電源とする ANI 端子)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$ ,  $AV_{DD} \leq V_{DD}$ ,  $V_{SS} = 0 \text{ V}$ ,  $AV_{SS} = 0 \text{ V}$ ,

基準電圧 (+) =  $AV_{DD}$ , 基準電圧 (-) =  $AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
		$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 <sup>注1</sup>	
		$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8 <sup>注2</sup>			
総合誤差 <sup>注3</sup>	AINL	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 7.5$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 5.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 3.0$	
変換時間	t <sub>CONV</sub>	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	3.375		$\mu\text{s}$
		ADTYP = 0, 10ビット分解能 <sup>注1</sup>	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	6.75		
		ADTYP = 0, 8ビット分解能 <sup>注2</sup>	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	13.5		
		ADTYP = 1, 8ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	2.5625		
			$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	5.125		
$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	10.25					
ゼロスケール誤差 <sup>注3</sup>	EZS	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 6.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 5.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.5$	
フルスケール誤差 <sup>注3</sup>	EFS	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 6.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 5.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.5$	
積分直線性誤差 <sup>注3</sup>	ILE	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 3.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 1.5$	
微分直線性誤差 <sup>注3</sup>	DLE	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 1.5$	
アナログ入力電圧	V <sub>AIN</sub>		0		$AV_{DD}$	V

- 注 1. ADCR レジスタの下位 2bit は使用できません。  
 2. ADCR レジスタの下位 4bit は使用できません。  
 3. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

- ★ (4) 基準電圧 (+) =  $AV_{REFP}/ANI0$  (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) =  $AV_{REFM}/ANI1$  (ADREFM = 1) 選択時, 変換対象: ANI16-ANI18, ANI20-ANI26, ANI28, ANI30 ( $V_{DD}$  を電源とする ANI 端子), 内部基準電圧, 温度センサ出力電圧

( $T_A = -40 \sim +85 \text{ } ^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$ ,  $AV_{REFP} \leq AV_{DD} \leq V_{DD}$ ,  $V_{SS} = 0 \text{ V}$ ,  $AV_{SS} = 0 \text{ V}$ , 基準電圧 (+) =  $AV_{REFP}$ , 基準電圧 (-) =  $AV_{REFM} = 0 \text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	REs		$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 <sup>注1</sup>	
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8 <sup>注2</sup>			
総合誤差 <sup>注3</sup>	AINL	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 7.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 5.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 3.0$	
変換時間	t <sub>CONV</sub>	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	4.125			$\mu\text{s}$
		ADTYP = 0, 10ビット分解能 <sup>注1</sup>	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	9.5			
		ADTYP = 0, 8ビット分解能 <sup>注2</sup>	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	57.5			
		ADTYP = 1, 8ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	3.3125			
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	7.875			
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	54.25			
ゼロスケール 誤差 <sup>注3</sup>	EzS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 5.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 5.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.5$	
フルスケール 誤差 <sup>注3</sup>	EFS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 5.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 5.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.5$	
積分直線性 誤差 <sup>注3</sup>	ILE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 3.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 1.5$	
微分直線性 誤差 <sup>注3</sup>	DLE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 2.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			$\pm 1.5$	
アナログ 入力電圧	V <sub>AIN</sub>			0		$AV_{REFP}$ かつ $V_{DD}$	V
		内部基準電圧 ( $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ , HS (高速メイン) モード)			$V_{BGR}$ <sup>注4</sup>		V
		温度センサ出力電圧 ( $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ , HS (高速メイン) モード)			$V_{TMPS25}$ <sup>注4</sup>		V

- 注1. ADCR レジスタの下位 2bit は使用できません。  
 2. ADCR レジスタの下位 4bit は使用できません。  
 3. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。  
 4. 5.2.5.2 温度センサ/内部基準電圧出力特性を参照してください。



- ★ (5) 基準電圧 (+) =  $AV_{DD}$  (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) =  $AV_{SS}$  (ADREFM = 0) 選択時, 変換対象: ANI16-ANI18, ANI20-ANI26, ANI28, ANI30 ( $V_{DD}$  を電源とする ANI 端子), 内部基準電圧, 温度センサ出力電圧

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$ ,  $AV_{DD} \leq V_{DD}$ ,  $V_{SS} = 0 \text{ V}$ ,  $AV_{SS} = 0 \text{ V}$ , 基準電圧 (+) =  $AV_{DD}$ , 基準電圧 (-) =  $AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
		$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 <sup>注1</sup>	
		$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8 <sup>注2</sup>			
総合誤差 <sup>注3</sup>	AINL	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 8.5$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 6.0$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 3.5$	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	4.125		$\mu\text{s}$
		ADTYP = 0, 10ビット分解能 <sup>注1</sup>	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	9.5		
		ADTYP = 0, 8ビット分解能 <sup>注2</sup>	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	57.5		
		ADTYP = 1, 8ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	3.3125		
			$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	7.875		
$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	54.25					
ゼロスケール誤差 <sup>注3</sup>	EVS	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 8.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 5.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 3.0$	
フルスケール誤差 <sup>注3</sup>	EFS	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 8.0$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 5.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 3.0$	
積分直線性誤差 <sup>注3</sup>	ILE	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 3.5$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 1.5$	
微分直線性誤差 <sup>注3</sup>	DLE	12ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.5$	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.5$	
		8ビット分解能	$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$		$\pm 2.0$	
アナログ入力電圧	VAIN		0		$AV_{DD}$ かつ $V_{DD}$	V
		内部基準電圧 ( $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ , HS (高速メイン) モード)		$V_{BGR}$ <sup>注4</sup>		V
		温度センサ出力電圧 ( $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ , HS (高速メイン) モード)		$V_{TMPS25}$ <sup>注4</sup>		V

注1. ADCR レジスタの下位 2bit は使用できません。

2. ADCR レジスタの下位 4bit は使用できません。

3. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

4. 5.2.5.2 温度センサ/内部基準電圧出力特性を参照してください。

- ★ (6) 基準電圧 (+) = 内部基準電圧 (1.45 V) (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AV<sub>SS</sub> (ADREFM = 0) 選択時, 対象 ANI 端子: ANI0-ANI4, ANI16-ANI18, ANI20-ANI26, ANI28, ANI30

(T<sub>A</sub> = -40 ~ +85 °C, 2.4 V ≤ V<sub>DD</sub> ≤ 5.5 V, 1.6 V ≤ AV<sub>DD</sub> ≤ 3.6 V, AV<sub>DD</sub> ≤ V<sub>DD</sub>, V<sub>SS</sub> = 0 V, AV<sub>SS</sub> = 0 V,  
基準電圧 (+) = 内部基準電圧, 基準電圧 (-) = AV<sub>SS</sub> = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	t <sub>CONV</sub>	8ビット分解能	16			μs
ゼロスケール誤差 <sup>注</sup>	EZS	8ビット分解能			±4.0	LSB
積分直線性誤差 <sup>注</sup>	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差 <sup>注</sup>	DLE	8ビット分解能			±2.5	LSB
基準電圧 (+)	AV <sub>REF</sub> (+)	= 内部基準電圧 (V <sub>BGR</sub> )	1.38	1.45	1.5	V
アナログ入力電圧	V <sub>AIN</sub>		0		V <sub>BGR</sub>	V

注. 量子化誤差 (±1/2 LSB) を含みません。

## 5.2.5.2 温度センサ／内部基準電圧出力特性

(TA = -40~+85 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V, HS (高速メイン) モード)

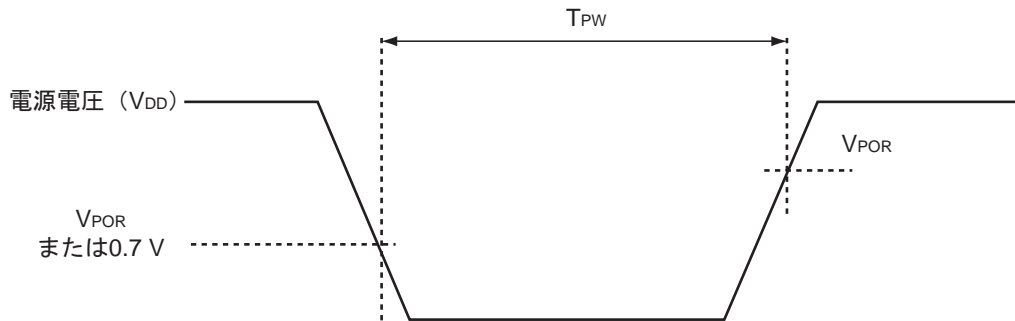
項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V <sub>TMP525</sub>	ADSレジスタ = 80H設定, TA = +25°C		1.05		V
内部基準電圧	V <sub>BGR</sub>	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F <sub>VTMP5</sub>	温度センサ電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	t <sub>AMP</sub>		10			μs

## 5.2.5.3 POR 回路特性

(TA = -40~+85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>POR</sub>	電源立ち上がり時	1.47	1.51	1.55	V
	V <sub>PDR</sub>	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅 <sup>注</sup>	T <sub>PW</sub>		300			μs

注. V<sub>DD</sub>がV<sub>PDR</sub>を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定により、メイン・システム・クロック(f<sub>MAIN</sub>)を停止した時は、V<sub>DD</sub>が0.7Vを下回ってから、V<sub>POR</sub>を上回るまでのPORによるリセット動作に必要な時間です。



## 5.2.5.4 LVD 回路特性

- リセット・モード, 割り込みモードの LVD 検出電圧

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{PDR} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	V <sub>LVD0</sub>	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
	V <sub>LVD1</sub>	電源立ち上がり時	3.68	3.75	3.82	V	
		電源立ち下がり時	3.60	3.67	3.74	V	
	V <sub>LVD2</sub>	電源立ち上がり時	3.07	3.13	3.19	V	
		電源立ち下がり時	3.00	3.06	3.12	V	
最小パルス幅	t <sub>LW</sub>		300			μs	
検出遅延					300	μs	

- 割り込み&リセット・モードの LVD 検出電圧

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{PDR} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・ モード	V <sub>LVD0</sub>	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧	1.80	1.84	1.87	V	
	V <sub>LVD3</sub>	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	V <sub>LVD0</sub>	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧	2.40	2.45	2.50	V	
	V <sub>LVD3</sub>	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V
			立ち下がり割り込み電圧	3.60	3.67	3.74	V
	V <sub>LVD0</sub>	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.81	V	
	V <sub>LVD3</sub>	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V
			立ち下がり割り込み電圧	3.90	3.98	4.06	V

- ★ 注意 検出電圧 (V<sub>LVD</sub>) は、動作電圧範囲内になるように設定してください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定で決まります。動作電圧範囲は以下のとおりです。

HS (高速メイン) モード :  $V_{DD} = 2.7 \sim 5.5 \text{ V} @ 1 \text{ MHz} \sim 32 \text{ MHz}$ ,

$V_{DD} = 2.4 \sim 5.5 \text{ V} @ 1 \text{ MHz} \sim 16 \text{ MHz}$

LS (低速メイン) モード :  $V_{DD} = 1.8 \sim 5.5 \text{ V} @ 1 \text{ MHz} \sim 8 \text{ MHz}$

LV (低電圧メイン) モード :  $V_{DD} = 1.6 \sim 5.5 \text{ V} @ 1 \text{ MHz} \sim 4 \text{ MHz}$

### 5.2.5.5 電源電圧立ち上がり傾き特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり	SV <sub>DD</sub>				54	V/ms

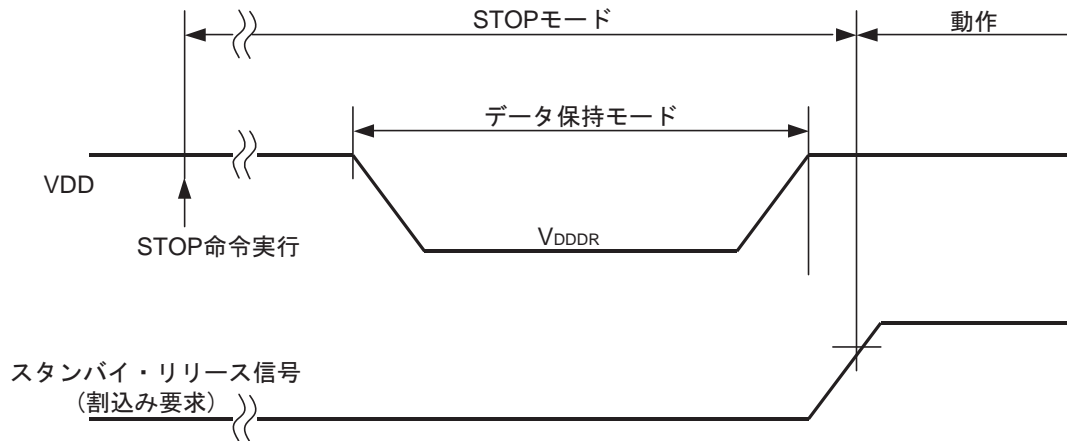
注意  $V_{DD}$  が、5.2.3 AC 特性に示す動作電圧範囲内に達するまで、LVD 回路か外部リセットで内部リセット状態を保ってください。

### 5.2.6 データ・メモリ STOP モード低電源電圧データ保持特性

★ (TA = -40~+85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46 <sup>注</sup>		5.5	V

注 POR 検出電圧に依存します。電圧降下時、POR リセットがかかるまではデータを保持しますが、POR リセットがかかった場合のデータは保持されません。



### 5.2.7 フラッシュ・メモリ・プログラミング特性

(TA = -40~+85 °C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	1.8 V ≤ VDD ≤ 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 <sup>注1,2</sup>	Cenwr	保持年数：20年 TA = 85°C <sup>注3</sup>	1,000			回
データ・フラッシュの書き換え回数 <sup>注1,2</sup>		保持年数：1年 TA = 25°C <sup>注3</sup>		1,000,000		
		保持年数：5年 TA = 85°C <sup>注3</sup>	100,000			
		保持年数：20年 TA = 85°C <sup>注3</sup>	10,000			

注 1. 消去 1 回+消去後の書き込み 1 回を書き換え回数 1 回とします。

保持年数は、1 度書き換えた後、次に書き換えを行うまでの期間とします。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時の値です。
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

## ★ 5.2.8 専用フラッシュ・メモリ・プログラマ通信 (UART)

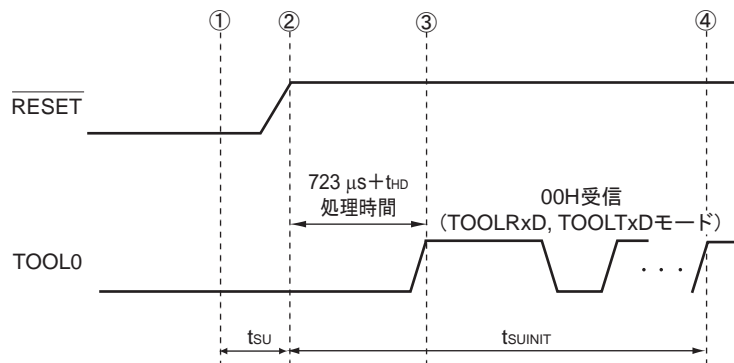
( $T_A = -40 \sim +85 \text{ } ^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		フラッシュ・メモリのプログラミング時	115.2 k		1 M	bps

★ 5.2.9 フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング・スペック

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	$t_{SUIINIT}$	外部リセット解除前にPOR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	$t_{SU}$	外部リセット解除前にPOR, LVD リセットは解除	10			$\mu\text{s}$
リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	$t_{HD}$	外部リセット解除前にPOR, LVD リセットは解除	1			ms



- ① TOOL0 端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前に POR, LVD リセットは解除されていること)
- ③ TOOL0 端子のロウ・レベルを解除
- ④ UART 受信によるモード引き込み, ポー・レート設定完了

備考  $t_{SUIINIT}$  : この区間では, リセット解除から 100 ms 以内に初期設定通信を完了してください。

$t_{SU}$  : TOOL0 端子をロウ・レベルにしてから, 外部リセットを解除するまでの時間

$t_{HD}$  : 外部/内部リセット解除から, TOOL0 端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)



## 5.3 アナログ部の電気的特性

## ★ 5.3.1 アナログ部の動作条件

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
電源電圧範囲	V <sub>DDOP</sub>	AV <sub>DD1</sub> , AV <sub>DD2</sub> , AV <sub>DD3</sub> , DV <sub>DD</sub>	3.0	—	5.5	V

## 5.3.2 電源電流特性

(-40°C ≤ T<sub>A</sub> ≤ 85°C, AV<sub>DD1</sub> = AV<sub>DD2</sub> = AV<sub>DD3</sub> = DV<sub>DD</sub> = 5.0 V)

項目	略号	条件	規格			単位	
			MIN	TYP	MAX		
電源電流	I <sub>stby11</sub> <sup>注</sup>	PC1 = 00H, PC2 = 00H	T <sub>A</sub> = -40°C	-	100	150	nA
			T <sub>A</sub> = +25°C	-	140	210	nA
			T <sub>A</sub> = +50°C	-	290	550	nA
			T <sub>A</sub> = +85°C	-	850	1850	nA
	I <sub>m111</sub> <sup>注</sup>	PC1 = 47H (コンフィギュラブル・アンプ Ch1~Ch3, D/A コンバータ Ch3 動作時), PC2 = 00H, CC1, CC0 = 0, 0, DACRC = 00H	-	1.55	3.6	mA	
	I <sub>m112</sub> <sup>注</sup>	PC1 = F7H, PC2 = 13H (コンフィギュラブル・アンプ Ch1~Ch3, D/A コンバータ Ch1~Ch4, ゲイン調整アンプ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路動作時), CC1, CC0 = 0, 0, DACRC = 00H	-	3.4	7.6	mA	
	I <sub>m113</sub> <sup>注</sup>	PC1 = F7H, PC2 = 0FH (コンフィギュラブル・アンプ Ch1~Ch3, D/A コンバータ Ch1~Ch4, ローパス・フィルタ, ハイパス・フィルタ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路動作時), CC1, CC0 = 0, 0, DACRC = 00H	-	4.5	11.0	mA	
	I <sub>m114</sub> <sup>注</sup>	PC1 = F7H, PC2 = 1FH (コンフィギュラブル・アンプ Ch1~Ch3, D/A コンバータ Ch1~Ch4, ローパス・フィルタ, ハイパス・フィルタ, ゲイン調整アンプ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路動作時), CC1, CC0 = 0, 0, DACRC = 00H	-	4.5	11.3	mA	
	I <sub>m121</sub> <sup>注</sup>	PC1 = 47H (コンフィギュラブル・アンプ Ch1~Ch3, D/A コンバータ Ch3 動作時), PC2 = 00H, CC1, CC0 = 1, 1, DACRC = 00H	-	0.73	1.8	mA	
	I <sub>m122</sub> <sup>注</sup>	PC1 = F7H, PC2 = 13H (コンフィギュラブル・アンプ Ch1~Ch3, D/A コンバータ Ch1~Ch4, ゲイン調整アンプ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路動作時), CC1, CC0 = 1, 1, DACRC = 00H	-	2.6	5.8	mA	
I <sub>m123</sub> <sup>注</sup>	PC1 = F7H, PC2 = 0FH (コンフィギュラブル・アンプ Ch1~Ch3, D/A コンバータ Ch1~Ch4, ローパス・フィルタ, ハイパス・フィルタ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路動作時), CC1, CC0 = 1, 1, DACRC = 00H	-	3.7	9.2	mA		
I <sub>m124</sub> <sup>注</sup>	PC1 = F7H, PC2 = 1FH (コンフィギュラブル・アンプ Ch1~Ch3, D/A コンバータ Ch1~Ch4, ローパス・フィルタ, ハイパス・フィルタ, ゲイン調整アンプ, 出力電圧可変レギュレータ, 基準電圧生成回路, 温度センサ回路動作時), CC1, CC0 = 1, 1, DACRC = 00H	-	3.9	9.5	mA		

(注は次ページにあります。)

注 AV<sub>DD1</sub>, AV<sub>DD2</sub>, AV<sub>DD3</sub>, DV<sub>DD</sub> 内部電源に流れるトータル電流です。ただし、プルアップ抵抗に流れる電流は含みません。入力端子を AV<sub>DD1</sub>, AV<sub>DD2</sub>, AV<sub>DD3</sub>, DV<sub>DD</sub> または AGND1, AGND2, AGND3, AGND4, DGND に固定した状態での入力リーク電流は含みます。各電流の定義については、以下の表を参照して下さい。

項目	略号	各機能ブロックの動作状態											
		コンフィギュ ラブル・アンプ			ゲイン調整 アンプ	D/A コンバータ				ローパス フィルタ	ハイパス フィルタ	温度 センサ 回路	出力電圧 可変レギュ レータ
		Ch1	Ch2	Ch3		Ch1	Ch2	Ch3	Ch4				
電流 特性	Im111 <sup>注1</sup>	ON	ON	ON	—	—	—	ON	—	—	—	—	—
	Im112 <sup>注1</sup>	ON	ON	ON	ON	ON	ON	ON	ON	—	—	ON	ON
	Im113 <sup>注1</sup>	ON	ON	ON	—	ON	ON	ON	ON	ON	ON	ON	ON
	Im114 <sup>注1</sup>	ON	ON	ON	ON	ON	ON	ON	ON	ON	ON	ON	ON
	Im121 <sup>注2</sup>	ON	ON	ON	—	—	—	ON	—	—	—	—	—
	Im122 <sup>注2</sup>	ON	ON	ON	ON	ON	ON	ON	ON	—	—	ON	ON
	Im123 <sup>注2</sup>	ON	ON	ON	—	ON	ON	ON	ON	ON	ON	ON	ON
	Im124 <sup>注2</sup>	ON	ON	ON	ON	ON	ON	ON	ON	ON	ON	ON	ON

注 1. CC1, CC0 = 0, 0

2. CC1, CC0 = 1, 1

## 5.3.3 各機能の電気的特性

## 5.3.3.1 コンフィギュラブル・アンプ特性

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $V_{REFIN1} = V_{REFIN2} = V_{REFIN3} = 1.7\text{ V}$ ,  $AMP10F = AMP20F = AMP30F = 1$ ,  $DAC10F = DAC20F = DAC30F = 0$ , 非反転アンプ) (1/2)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流 <sup>注</sup>	Icc00	CC1, CC0 = 0, 0	–	330	720	$\mu\text{A}$
	Icc01	CC1, CC0 = 0, 1	–	175	390	$\mu\text{A}$
	Icc10	CC1, CC0 = 1, 0	–	125	275	$\mu\text{A}$
	Icc11	CC1, CC0 = 1, 1	–	55	120	$\mu\text{A}$
入力電圧	VINL		AGND1 - 0.1	–	–	V
	VINH		–	–	$AV_{DD1} - 1.5$	V
出力電圧	VOU <sub>T</sub> L	IOL = -200 $\mu\text{A}$	–	AGND1 + 0.02	AGND1 + 0.06	V
	VOU <sub>T</sub> H	IOH = 200 $\mu\text{A}$	$AV_{DD1} - 0.06$	$AV_{DD1} - 0.02$	–	V
セットリング・タイム	t <sub>SET_AMP00</sub>	GCn = 00H (9.5 dB), CC1, CC0 = 0, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	9	$\mu\text{s}$
	t <sub>SET_AMP01</sub>	GCn = 00H (9.5 dB), CC1, CC0 = 0, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	18	$\mu\text{s}$
	t <sub>SET_AMP10</sub>	GCn = 00H (9.5 dB), CC1, CC0 = 1, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	28	$\mu\text{s}$
	t <sub>SET_AMP11</sub>	GCn = 00H (9.5 dB), CC1, CC0 = 1, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	71	$\mu\text{s}$
利得帯域幅	GBW00	CL = 30 pF, CC1, CC0 = 0, 0 GCn = 11H (40.1 dB)	–	2.3	–	MHz
	GBW01	CL = 30 pF, CC1, CC0 = 0, 1 GCn = 11H (40.1 dB)	–	1.1	–	MHz
	GBW10	CL = 30 pF, CC1, CC0 = 1, 0 GCn = 11H (40.1 dB)	–	0.71	–	MHz
	GBW11	CL = 30 pF, CC1, CC0 = 1, 1 GCn = 11H (40.1 dB)	–	0.22	–	MHz
入力換算ノイズ	En00	CC1, CC0 = 0, 0 f = 1 kHz, GCn = 11H (40.1 dB)	–	64	–	nV/ $\sqrt{\text{Hz}}$
	En01	CC1, CC0 = 0, 1 f = 1 KHz, GCn = 11H (40.1 dB)	–	85	–	nV/ $\sqrt{\text{Hz}}$
	En10	CC1, CC0 = 1, 0 f = 1 KHz, GCn = 11H (40.1 dB)	–	107	–	nV/ $\sqrt{\text{Hz}}$
	En11	CC1, CC0 = 1, 1 f = 1 KHz, GCn = 11H (40.1 dB)	–	159	–	nV/ $\sqrt{\text{Hz}}$

注 コンフィギュラブル・アンプ×1チャンネル分の値です。

備考 n = 1~3

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $VREFIN1 = VREFIN2 = VREFIN3 = 1.7\text{ V}$ ,  $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ , 非反転アンプ) (2/2)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
入力換算 オフセット電圧	VOFF00	CC1, CC0 = 0, 0, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20.8 dB)	-7	-	7	mV
	VOFF01	CC1, CC0 = 0, 1, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20.8 dB)	-10	-	10	mV
	VOFF10	CC1, CC0 = 1, 0, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20.8 dB)	-10	-	10	mV
	VOFF11	CC1, CC0 = 1, 1, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20.8 dB)	-12	-	12	mV
入力換算 オフセット 電圧温度係数	VOTC		-	$\pm 6$	-	$\mu\text{V}/^{\circ}\text{C}$
スルーレート	SR00	CC1, CC0 = 0, 0, $CL = 30\text{ pF}$ , GCn = 00H (9.5 dB)	-	0.68	-	$\text{V}/\mu\text{s}$
	SR01	CC1, CC0 = 0, 1, $CL = 30\text{ pF}$ , GCn = 00H (9.5 dB)	-	0.35	-	$\text{V}/\mu\text{s}$
	SR10	CC1, CC0 = 1, 0, $CL = 30\text{ pF}$ , GCn = 00H (9.5 dB)	-	0.25	-	$\text{V}/\mu\text{s}$
	SR11	CC1, CC0 = 1, 1, $CL = 30\text{ pF}$ GCn = 00H (9.5 dB)	-	0.09	-	$\text{V}/\mu\text{s}$
電源電圧変動 除去比	PSRR00	CC1, CC0 = 0, 0, GCn = 00H (9.5 dB), $f = 1\text{ kHz}$	-	70	-	dB
	PSRR01	CC1, CC0 = 0, 1, GCn = 00H (9.5 dB), $f = 1\text{ kHz}$	-	68	-	dB
	PSRR10	CC1, CC0 = 1, 0, GCn = 00H (9.5 dB), $f = 1\text{ kHz}$	-	62	-	dB
	PSRR11	CC1, CC0 = 1, 1, GCn = 00H (9.5 dB), $f = 1\text{ kHz}$	-	50	-	dB
ゲイン設定誤差	GAIN_Accu1	$T_A = 25^{\circ}\text{C}$	-0.6	-	0.6	dB
	GAIN_Accu2	$T_A = -40 \sim 85^{\circ}\text{C}$	-1.0	-	1.0	dB

備考 n = 1~3

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $VREFIN1 = VREFIN2 = VREFIN3 = 1.7\text{ V}$ ,  $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ , 反転アンプ) (1/2)

項目	略号	条件	規格			単位
			MIN	TYP.	MAX.	
消費電流 <sup>注</sup>	Icc00	CC1, CC0 = 0, 0	–	330	720	$\mu\text{A}$
	Icc01	CC1, CC0 = 0, 1	–	175	390	$\mu\text{A}$
	Icc10	CC1, CC0 = 1, 0	–	125	275	$\mu\text{A}$
	Icc11	CC1, CC0 = 1, 1	–	55	120	$\mu\text{A}$
入力電圧	VINL		AGND1 - 0.1	–	–	V
	VINH		–	–	$AV_{DD1} - 1.5$	V
出力電圧	VOU <sub>TL</sub>	IOL = -200 $\mu\text{A}$	–	AGND1 + 0.02	AGND1 + 0.06	V
	VOU <sub>TH</sub>	IOH = 200 $\mu\text{A}$	$AV_{DD1} - 0.06$	$AV_{DD1} - 0.02$	–	V
セットリング・タイム	t <sub>SET_AMP00</sub>	GCn = 00H (6 dB), CC1, CC0 = 0, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	9	$\mu\text{s}$
	t <sub>SET_AMP01</sub>	GCn = 00H (6 dB), CC1, CC0 = 0, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	18	$\mu\text{s}$
	t <sub>SET_AMP10</sub>	GCn = 00H (6 dB), CC1, CC0 = 1, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	28	$\mu\text{s}$
	t <sub>SET_AMP11</sub>	GCn = 00H (6 dB), CC1, CC0 = 1, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	71	$\mu\text{s}$
利得帯域幅	GBW00	CL = 30 pF, CC1, CC0 = 0, 0 GCn = 11H (40 dB)	–	1.5	–	MHz
	GBW01	CL = 30 pF, CC1, CC0 = 0, 1 GCn = 11H (40 dB)	–	0.9	–	MHz
	GBW10	CL = 30 pF, CC1, CC0 = 1, 0 GCn = 11H (40 dB)	–	0.67	–	MHz
	GBW11	CL = 30 pF, CC1, CC0 = 1, 1 GCn = 11H (40 dB)	–	0.22	–	MHz
入力換算ノイズ	En00	CC1, CC0 = 0, 0 f = 1 kHz, GCn = 11H (40 dB)	–	63	–	nV/ $\sqrt{\text{Hz}}$
	En01	CC1, CC0 = 0, 1 f = 1 kHz, GCn = 11H (40 dB)	–	85	–	nV/ $\sqrt{\text{Hz}}$
	En10	CC1, CC0 = 1, 0 f = 1 kHz, GCn = 11H (40 dB)	–	105	–	nV/ $\sqrt{\text{Hz}}$
	En11	CC1, CC0 = 1, 1 f = 1 kHz, GCn = 11H (40 dB)	–	150	–	nV/ $\sqrt{\text{Hz}}$

注 コンフィギュラブル・アンプ×1チャンネル分の値です。

備考 n = 1~3

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{V}$ ,  $V_{REFIN1} = V_{REFIN2} = V_{REFIN3} = 1.7\text{V}$ ,  $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ , 反転アンプ) (2/2)

項目	略号	条件	規格			単位
			MIN	TYP.	MAX.	
入力換算 オフセット電圧	VOFF00	CC1, CC0 = 0, 0, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20 dB)	-7	-	7	mV
	VOFF01	CC1, CC0 = 0, 1, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20 dB)	-10	-	10	mV
	VOFF10	CC1, CC0 = 1, 0, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20 dB)	-10	-	10	mV
	VOFF11	CC1, CC0 = 1, 1, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20 dB)	-12	-	12	mV
入力換算オフセッ ト電圧温度係数	VOTC		-	$\pm 6$	-	$\mu\text{V}/^{\circ}\text{C}$
スルーレート	SR00	CC1, CC0 = 0, 0, CL = 30 pF, GCn = 00H (6 dB)	-	0.68	-	V/ $\mu\text{s}$
	SR01	CC1, CC0 = 0, 1, CL = 30 pF, GCn = 00H (6 dB)	-	0.35	-	V/ $\mu\text{s}$
	SR10	CC1, CC0 = 1, 0, CL = 30 pF, GCn = 00H (6 dB)	-	0.25	-	V/ $\mu\text{s}$
	SR11	CC1, CC0 = 1, 1, CL = 30 pF, GCn = 00H (6 dB)	-	0.09	-	V/ $\mu\text{s}$
電源電圧変動 除去比	PSRR00	CC1, CC0 = 0, 0, GCn = 00H (6 dB), f = 1 kHz	-	70	-	dB
	PSRR01	CC1, CC0 = 0, 1, GCn = 00H (6 dB), f = 1 kHz	-	68	-	dB
	PSRR10	CC1, CC0 = 1, 0, GCn = 00H (6 dB), f = 1 kHz	-	62	-	dB
	PSRR11	CC1, CC0 = 1, 1, GCn = 00H (6 dB), f = 1 kHz	-	50	-	dB
ゲイン設定誤差	GAIN_Accu1	$T_A = 25^{\circ}\text{C}$	-0.6	-	0.6	dB
	GAIN_Accu2	$T_A = -40 \sim 85^{\circ}\text{C}$	-1.0	-	1.0	dB

備考 n = 1~3

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $V_{REFIN} = V_{REFIN2} = V_{REFIN3} = 1.7\text{ V}$ ,  $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ , 差動アンプ) (1/2)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流 <sup>注</sup>	Icc00	CC1, CC0 = 0, 0	-	330	720	$\mu\text{A}$
	Icc01	CC1, CC0 = 0, 1	-	175	390	$\mu\text{A}$
	Icc10	CC1, CC0 = 1, 0	-	125	275	$\mu\text{A}$
	Icc11	CC1, CC0 = 1, 1	-	55	120	$\mu\text{A}$
入力電圧	VINL		AGND1 - 0.1	-	-	V
	VINH		-	-	$AV_{DD1} - 1.5$	V
出力電圧	VOU <sub>TL</sub>	IOL = -200 $\mu\text{A}$	-	AGND1 + 0.02	AGND1 + 0.06	V
	VOU <sub>TH</sub>	IOH = 200 $\mu\text{A}$	$AV_{DD1} - 0.06$	$AV_{DD1} - 0.02$	-	V
セットリング・タイム	t <sub>SET_AMP00</sub>	GCn = 00H (6 dB), CC1, CC0 = 0, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	-	-	9	$\mu\text{s}$
	t <sub>SET_AMP01</sub>	GCn = 00H (6 dB), CC1, CC0 = 0, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	-	-	18	$\mu\text{s}$
	t <sub>SET_AMP10</sub>	GCn = 00H (6 dB), CC1, CC0 = 1, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	-	-	28	$\mu\text{s}$
	t <sub>SET_AMP11</sub>	GCn = 00H (6 dB), CC1, CC0 = 1, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	-	-	71	$\mu\text{s}$
利得帯域幅	GBW00	CL = 30 pF, CC1, CC0 = 0, 0, GCn = 11H (40 dB)	-	1.5	-	MHz
	GBW01	CL = 30 pF, CC1, CC0 = 0, 1, GCn = 11H (40 dB)	-	1.0	-	MHz
	GBW10	CL = 30 pF, CC1, CC0 = 1, 0, GCn = 11H (40 dB)	-	0.67	-	MHz
	GBW11	CL = 30 pF, CC1, CC0 = 1, 1, GCn = 11H (40 dB)	-	0.22	-	MHz
入力換算ノイズ	En00	CC1, CC0 = 0, 0 f = 1 kHz, GCn = 11H (40 dB)	-	63	-	nV/ $\sqrt{\text{Hz}}$
	En01	CC1, CC0 = 0, 1 f = 1 kHz, GCn = 11H (40 dB)	-	85	-	nV/ $\sqrt{\text{Hz}}$
	En10	CC1, CC0 = 1, 0 f = 1 kHz, GCn = 11H (40 dB)	-	106	-	nV/ $\sqrt{\text{Hz}}$
	En11	CC1, CC0 = 1, 1 f = 1 kHz, GCn = 11H (40 dB)	-	160	-	nV/ $\sqrt{\text{Hz}}$

注 コンフィギュラブル・アンプ×1チャンネル分の値です。

備考 n = 1~3



( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $V_{REFIN} = V_{REFIN2} = V_{REFIN3} = 1.7\text{ V}$ ,  $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ , 差動アンプ) (2/2)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
入力換算 オフセット電圧	VOFF00	CC1, CC0 = 0, 0, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20 dB)	-7	-	7	mV
	VOFF01	CC1, CC0 = 0, 1, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20 dB)	-10	-	10	mV
	VOFF10	CC1, CC0 = 1, 0, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20 dB)	-10	-	10	mV
	VOFF11	CC1, CC0 = 1, 1, $T_A = 25^{\circ}\text{C}$ GCn = 07H (20 dB)	-12	-	12	mV
入力換算オフセッ ト電圧温度係数	VOTC		-	$\pm 6$	-	$\mu\text{V}/^{\circ}\text{C}$
スルーレート	SR00	CC1, CC0 = 0, 0, CL = 30 pF, GCn = 00H (6 dB)	-	0.68	-	$\text{V}/\mu\text{s}$
	SR01	CC1, CC0 = 0, 1, CL = 30 pF, GCn = 00H (6 dB)	-	0.35	-	$\text{V}/\mu\text{s}$
	SR10	CC1, CC0 = 1, 0, CL = 30 pF, GCn = 00H (6 dB)	-	0.25	-	$\text{V}/\mu\text{s}$
	SR11	CC1, CC0 = 1, 1, CL = 30 pF, GCn = 00H (6 dB)	-	0.09	-	$\text{V}/\mu\text{s}$
同相信号除去比	CMRR00	CC1, CC0 = 0, 0, GCn = 11H (40 dB), f = 1 kHz	-	84	-	dB
	CMRR01	CC1, CC0 = 0, 1, GCn = 11H (40 dB) f = 1 kHz	-	82	-	dB
	CMRR10	CC1, CC0 = 1, 0, GCn = 11H (40 dB) f = 1 kHz	-	80	-	dB
	CMRR11	CC1, CC0 = 1, 1, GCn = 11H (40 dB) f = 1 kHz	-	76	-	dB
電源電圧変動 除去比	PSRR00	CC1, CC0 = 0, 0, GCn = 00H (6 dB) f = 1 kHz	-	70	-	dB
	PSRR01	CC1, CC0 = 0, 1, GCn = 00H (6 dB) f = 1 kHz	-	68	-	dB
	PSRR10	CC1, CC0 = 1, 0, GCn = 00H (6 dB) f = 1 kHz	-	62	-	dB
	PSRR11	CC1, CC0 = 1, 1, GCn = 00H (6 dB) f = 1 kHz	-	50	-	dB
ゲイン設定誤差	GAIN_Accu1	$T_A = 25^{\circ}\text{C}$	-0.6	-	0.6	dB
	GAIN_Accu2	$T_A = -40 \sim 85^{\circ}\text{C}$	-1.0	-	1.0	dB

備考 n = 1~3

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $VREFIN1 = VREFIN2 = VREFIN3 = 1.7\text{ V}$ ,  
 $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ , I/V 変換アンプ) (1/2)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流 <sup>注</sup>	Icc00	CC1, CC0 = 0, 0	–	330	720	$\mu\text{A}$
	Icc01	CC1, CC0 = 0, 1	–	175	390	$\mu\text{A}$
	Icc10	CC1, CC0 = 1, 0	–	125	275	$\mu\text{A}$
	Icc11	CC1, CC0 = 1, 1	–	55	120	$\mu\text{A}$
入力電流	IINL	$GCn = 0FH$ ( $Rfb = 640\text{ k}\Omega$ )	(10)	–	–	nA
出力電圧	VOU <sub>T</sub> L	$IOL = -200\ \mu\text{A}$	–	$AGND1 + 0.02$	$AGND1 + 0.06$	V
	VOU <sub>T</sub> H	$IOH = 200\ \mu\text{A}$	$AV_{DD1} - 0.06$	$AV_{DD1} - 0.02$	–	V
セットリング・タイム	t <sub>SET</sub> _AMP00	$GCn = 00H$ (20 k $\Omega$ ), CC1, CC0 = 0, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	9	$\mu\text{s}$
	t <sub>SET</sub> _AMP01	$GCn = 00H$ (20 k $\Omega$ ), CC1, CC0 = 0, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	18	$\mu\text{s}$
	t <sub>SET</sub> _AMP10	$GCn = 00H$ (20 k $\Omega$ ), CC1, CC0 = 1, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	28	$\mu\text{s}$
	t <sub>SET</sub> _AMP11	$GCn = 00H$ (20 k $\Omega$ ), CC1, CC0 = 1, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収束電圧 V <sub>PP</sub> = 999 mV	–	–	71	$\mu\text{s}$
電流電圧変換利得帯域幅	GBW00_0	CL = 30 pF, CC1, CC0 = 0, 0, $GCn = 00H$ ( $Rfb = 20\text{ k}\Omega$ )	–	1.3	–	MHz
	GBW00_1	CL = 30 pF, CC1, CC0 = 0, 0, $GCn = 0FH$ ( $Rfb = 640\text{ k}\Omega$ )	–	1.0	–	MHz
	GBW01_0	CL = 30 pF, CC1, CC0 = 0, 1, $GCn = 00H$ ( $Rfb = 20\text{ k}\Omega$ )	–	0.79	–	MHz
	GBW01_1	CL = 30 pF, CC1, CC0 = 0, 1, $GCn = 0FH$ ( $Rfb = 640\text{ k}\Omega$ )	–	0.51	–	MHz
	GBW10_0	CL = 30 pF, CC1, CC0 = 1, 0, $GCn = 00H$ ( $Rfb = 20\text{ k}\Omega$ )	–	0.58	–	MHz
	GBW10_1	CL = 30 pF, CC1, CC0 = 1, 0, $GCn = 0FH$ ( $Rfb = 640\text{ k}\Omega$ )	–	0.31	–	MHz
	GBW11_0	CL = 30 pF, CC1, CC0 = 1, 1, $GCn = 00H$ ( $Rfb = 20\text{ k}\Omega$ )	–	0.25	–	MHz
	GBW11_1	CL = 30 pF, CC1, CC0 = 1, 1, $GCn = 0FH$ ( $Rfb = 640\text{ k}\Omega$ )	–	0.09	–	MHz
入力換算ノイズ	En00	CC1, CC0 = 0, 0 f = 1 kHz, $GCn = 00H$ ( $Rfb = 20\text{ k}\Omega$ )	–	66	–	nV/ $\sqrt{\text{Hz}}$
	En01	CC1, CC0 = 0, 1 f = 1 kHz, $GCn = 00H$ ( $Rfb = 20\text{ k}\Omega$ )	–	90	–	nV/ $\sqrt{\text{Hz}}$
	En10	CC1, CC0 = 1, 0 f = 1 kHz, $GCn = 00H$ ( $Rfb = 20\text{ k}\Omega$ )	–	116	–	nV/ $\sqrt{\text{Hz}}$
	En11	CC1, CC0 = 1, 1 f = 1 kHz, $GCn = 00H$ ( $Rfb = 20\text{ k}\Omega$ )	–	193	–	nV/ $\sqrt{\text{Hz}}$

注 コンフィギュラブル・アンプ×1チャンネル分の値です。

備考 1. ( ) で示した数値は設計目標値であり, 出荷テストは行いません。

2. n = 1~3

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $VREFIN1 = VREFIN2 = VREFIN3 = 1.7\text{ V}$ ,  $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ , I/V 変換アンプ) (2/2)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
入力換算 オフセット電圧	VOFF00	CC1, CC0 = 0, 0, $T_A = 25^{\circ}\text{C}$ , GCn = 07H (Rfb = 80 k $\Omega$ )	-7	-	7	mV
	VOFF01	CC1, CC0 = 0, 1, $T_A = 25^{\circ}\text{C}$ , GCn = 07H (Rfb = 80 k $\Omega$ )	-10	-	10	mV
	VOFF10	CC1, CC0 = 1, 0, $T_A = 25^{\circ}\text{C}$ , GCn = 07H (Rfb = 80 k $\Omega$ )	-10	-	10	mV
	VOFF11	CC1, CC0 = 1, 1, $T_A = 25^{\circ}\text{C}$ , GCn = 07H (Rfb = 80 k $\Omega$ )	-12	-	12	mV
入力換算オフセッ ト電圧温度係数	VOTC		-	$\pm 6$	-	$\mu\text{V}/^{\circ}\text{C}$
スルーレート	SR00	CC1, CC0 = 0, 0, CL = 30 pF, GCn = 00H (Rfb = 20 k $\Omega$ )	-	0.68	-	V/ $\mu\text{s}$
	SR01	CC1, CC0 = 0, 1, CL = 30 pF, GCn = 00H (Rfb = 20 k $\Omega$ )	-	0.35	-	V/ $\mu\text{s}$
	SR10	CC1, CC0 = 1, 0, CL = 30 pF, GCn = 00H (Rfb = 20 k $\Omega$ )	-	0.25	-	V/ $\mu\text{s}$
	SR11	CC1, CC0 = 1, 1, CL = 30 pF, GCn = 00H (Rfb = 20 k $\Omega$ )	-	0.09	-	V/ $\mu\text{s}$
電源電圧変動 除去比	PSRR00	CC1, CC0 = 0, 0, GCn = 00H (Rfb = 20 k $\Omega$ )	-	70	-	dB
	PSRR01	CC1, CC0 = 0, 1, GCn = 00H (Rfb = 20 k $\Omega$ )	-	68	-	dB
	PSRR10	CC1, CC0 = 1, 0, GCn = 00H (Rfb = 20 k $\Omega$ )	-	62	-	dB
	PSRR11	CC1, CC0 = 1, 1, GCn = 00H (Rfb = 20 k $\Omega$ )	-	50	-	dB
Rfb 設定誤差	Rfb_Accu1	$T_A = 25^{\circ}\text{C}$	-25	-	25	%
	Rfb_Accu2	$T_A = -40\sim 85^{\circ}\text{C}$	-35	-	35	%

備考 n = 1~3

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $V_{REFIN1} = V_{REFIN2} = V_{REFIN3} = 1.7\text{ V}$ ,  
 $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ ,  $GC1 = GC2 = 03H$ , 計装アンプ) (1/2)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	lcc00	AMP1OF = AMP2OF = AMP3OF = 1, CC1, CC0 = 0, 0	–	970	2150	$\mu\text{A}$
	lcc01	AMP1OF = AMP2OF = AMP3OF = 1, CC1, CC0 = 0, 1	–	510	1150	$\mu\text{A}$
	lcc10	AMP1OF = AMP2OF = AMP3OF = 1, CC1, CC0 = 1, 0	–	350	780	$\mu\text{A}$
	lcc11	AMP1OF = AMP2OF = AMP3OF = 1, CC1, CC0 = 1, 1	–	140	330	$\mu\text{A}$
入力電圧	VINL		AGND1 - 0.1	–	–	V
	VINH		–	–	$AV_{DD1} - 1.5$	V
出力電圧	VOU TL	IOL = -200 $\mu\text{A}$	–	AGND1 + 0.02	AGND1 + 0.06	V
	VOU TH	IOH = 200 $\mu\text{A}$	$AV_{DD1} - 0.06$	$AV_{DD1} - 0.02$	–	V
セットリング・ タイム	tSET_AMP00	GC3 = 00H (20 dB), CC1, CC0 = 0, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収 束電圧 V <sub>PP</sub> = 999 mV	–	–	9	$\mu\text{s}$
	tSET_AMP01	GC3 = 00H (20 dB), CC1, CC0 = 0, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収 束電圧 V <sub>PP</sub> = 999 mV	–	–	18	$\mu\text{s}$
	tSET_AMP10	GC3 = 00H (20 dB), CC1, CC0 = 1, 0, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収 束電圧 V <sub>PP</sub> = 999 mV	–	–	28	$\mu\text{s}$
	tSET_AMP11	GC3 = 00H (20 dB), CC1, CC0 = 1, 1, CL = 30 pF, 出力電圧 1V <sub>PP</sub> 時, 出力収 束電圧 V <sub>PP</sub> = 999 mV	–	–	71	$\mu\text{s}$
利得帯域幅	GBW00	CL = 30 pF, CC1, CC0 = 0, 0 GC3 = 11H (54 dB)	–	1.82	–	MHz
	GBW01	CL = 30 pF, CC1, CC0 = 0, 1 GC3 = 11H (54 dB)	–	1.03	–	MHz
	GBW10	CL = 30 pF, CC1, CC0 = 1, 0 GC3 = 11H (54 dB)	–	0.69	–	MHz
	GBW11	CL = 30 pF, CC1, CC0 = 1, 1 GC3 = 11H (54 dB)	–	0.22	–	MHz
入力換算ノイズ	En00	CC1, CC0 = 0, 0 GC3 = 11H (54 dB) f = 1 kHz	–	90	–	nV/ $\sqrt{\text{Hz}}$
	En01	CC1, CC0 = 0, 1 GC3 = 11H (54 dB) f = 1 kHz	–	119	–	nV/ $\sqrt{\text{Hz}}$
	En10	CC1, CC0 = 1, 0 GC3 = 11H (54 dB) f = 1 kHz	–	150	–	nV/ $\sqrt{\text{Hz}}$
	En11	CC1, CC0 = 1, 1 GC3 = 11H (54 dB) f = 1 kHz	–	260	–	nV/ $\sqrt{\text{Hz}}$

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $V_{REFIN1} = V_{REFIN2} = V_{REFIN3} = 1.7\text{ V}$ ,  
 $AMP1OF = AMP2OF = AMP3OF = 1$ ,  $DAC1OF = DAC2OF = DAC3OF = 0$ ,  $GC1 = GC2 = 03H$ , 計装アンプ) (2/2)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
入力換算 オフセット電圧	VOFF00	CC1, CC0 = 0, 0, $T_A = 25^{\circ}\text{C}$ , GC3 = 00H (20 dB)	-7	-	7	mV
	VOFF01	CC1, CC0 = 0, 1, $T_A = 25^{\circ}\text{C}$ , GC3 = 00H (20 dB)	-10	-	10	mV
	VOFF10	CC1, CC0 = 1, 0, $T_A = 25^{\circ}\text{C}$ , GC3 = 00H (20 dB)	-10	-	10	mV
	VOFF11	CC1, CC0 = 1, 1, $T_A = 25^{\circ}\text{C}$ , GC3 = 00H (20 dB)	-12	-	12	mV
入力換算オフセッ ト電圧温度係数	VOTC		-	$\pm 6.0$	-	$\mu\text{V}/^{\circ}\text{C}$
スルーレート	SR00	CC1, CC0 = 0, 0, $CL = 30\text{ pF}$ , GC3 = 00H (20 dB)	-	0.68	-	$\text{V}/\mu\text{s}$
	SR01	CC1, CC0 = 0, 1, $CL = 30\text{ pF}$ , GC3 = 00H (20 dB)	-	0.35	-	$\text{V}/\mu\text{s}$
	SR10	CC1, CC0 = 1, 0, $CL = 30\text{ pF}$ , GC3 = 00H (20 dB)	-	0.25	-	$\text{V}/\mu\text{s}$
	SR11	CC1, CC0 = 1, 1, $CL = 30\text{ pF}$ , GC3 = 00H (20 dB)	-	0.09	-	$\text{V}/\mu\text{s}$
同相信号除去比	CMRR00	CC1, CC0 = 0, 0 GC3 = 11H (54 dB) $f = 1\text{ kHz}$	-	86	-	dB
	CMRR01	CC1, CC0 = 0, 1 GC3 = 11H (54 dB) $f = 1\text{ kHz}$	-	84	-	dB
	CMRR10	CC1, CC0 = 1, 0 GC3 = 11H (54 dB) $f = 1\text{ kHz}$	-	82	-	dB
	CMRR11	CC1, CC0 = 1, 1 GC3 = 11H (54 dB) $f = 1\text{ kHz}$	-	76	-	dB
電源電圧変動 除去比	PSRR00	CC1, CC0 = 0, 0 GC3 = 00H (20 dB) $f = 1\text{ kHz}$	-	70	-	dB
	PSRR01	CC1, CC0 = 0, 1 GC3 = 00H (20 dB) $f = 1\text{ kHz}$	-	68	-	dB
	PSRR10	CC1, CC0 = 1, 0 GC3 = 00H (20 dB) $f = 1\text{ kHz}$	-	62	-	dB
	PSRR11	CC1, CC0 = 1, 1 GC3 = 00H (20 dB) $f = 1\text{ kHz}$	-	50	-	dB
ゲイン設定誤差	GAIN_Accu1	$T_A = 25^{\circ}\text{C}$	-0.6	-	0.6	dB
	GAIN_Accu2	$T_A = -40 \sim 85^{\circ}\text{C}$	-1.0	-	1.0	dB

## 5.3.3.2 ゲイン調整アンプ特性

## (1) 64 ピン製品

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $VREFIN4 = 1.7\text{ V}$ ,  $GAINOF = 1$ ,  $DAC4OF = 0$ )

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	IccA		-	530	1300	$\mu\text{A}$
入力電圧	VINL		AGND2 - 0.1	-	-	V
	VINH		-	-	$AV_{DD1} - 0.05$	V
出力電圧	VOUTL1	IOL = -100 $\mu\text{A}$	-	AGND2 + 0.02	AGND2 + 0.05	V
	VOUTH1	IOH = 100 $\mu\text{A}$	$AV_{DD1} - 0.05$	$AV_{DD1} - 0.02$	-	V
利得帯域幅	GBW2	CL = 30 pF, GC4 = 11H (40 dB)	-	0.86	-	MHz
入力換算 オフセット電圧	VOFF	GC4 = 00H (6 dB), $T_A = 25^{\circ}\text{C}$ , 入力電圧 = 2.5 V	-30	-	30	mV
★ 入力換算オフセッ ト電圧温度係数	VOTC2	CLK_SYNCH = L, GAINAMP_OUT 端子	-	$\pm 18$	-	$\mu\text{V}/^{\circ}\text{C}$
スルーレート	SR	CL = 30 pF	-	0.9	-	V/ $\mu\text{s}$
入力換算ノイズ	En_Gain	f = 1 kHz, GC4 = 11H (40 dB)	-	700	-	nV/ $\sqrt{\text{Hz}}$
電源電圧変動 除去比	PSRR2	f = 1 kHz, GC4 = 00H (6 dB)	-	45	-	dB
ゲイン設定誤差	GAIN_Accu1	$T_A = 25^{\circ}\text{C}$	-0.6	-	0.6	dB
	GAIN_Accu2	$T_A = -40 \sim 85^{\circ}\text{C}$	-1.0	-	1.0	dB

## (2) 80 ピン製品

(-40°C ≤ T<sub>A</sub> ≤ 85°C, AV<sub>DD1</sub> = AV<sub>DD2</sub> = AV<sub>DD3</sub> = DV<sub>DD</sub> = 5.0 V, VREFIN4 = 1.7 V, GAINOF = 1, DAC4OF = 0)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	IccA		-	530	1300	μA
入力電圧	VINL		AGND2 - 0.1	-	-	V
	VINH		-	-	AV <sub>DD1</sub> - 0.05	V
出力電圧	VOUTL1	IOL = -100 μA, GAINAMP_OUT 端子	-	AGND2 + 0.02	AGND2 + 0.05	V
	VOUTH1	IOH = 100 μA, GAINAMP_OUT 端子	AV <sub>DD1</sub> - 0.05	AV <sub>DD1</sub> - 0.02	-	V
	VOUTL2	IOL = -100 μA, SYNCH_OUT 端子	-	AGND2 + 0.03	AGND2 + 0.06	V
	VOUTH2	IOH = 100 μA, SYNCH_OUT 端子	AV <sub>DD1</sub> - 0.06	AV <sub>DD1</sub> - 0.03	-	V
利得帯域幅	GBW1	CLK_SYNCH = H, SYNCH_OUT 端子, CL = 30 pF, GC4 = 11H (40 dB)	-	1.38	-	MHz
	GBW2	CLK_SYNCH = L, SYNCH_OUT 端子 もしくは GAINAMP_OUT 端子, CL = 30 pF, GC4 = 11H (40 dB)	-	0.86	-	MHz
入力換算 オフセット電圧	VOFF	GC4 = 00H (6 dB), T <sub>A</sub> = 25°C, GAINAMP_IN = 2.5 V	-30	-	30	mV
入力換算オフセッ ト電圧温度係数	VOTC1	CLK_SYNCH = H, SYNCH_OUT 端子	-	±6	-	μV/ °C
	VOTC2	CLK_SYNCH = L, GAINAMP_OUT 端子	-	±18	-	μV/°C
スルーレート	SR	CL = 30 pF	-	0.9	-	V/μs
入力換算ノイズ	En_Gain	f = 1 kHz, GC4 = 11H (40 dB) GAINAMP_OUT 端子	-	700	-	nV/ √Hz
電源電圧変動除去 比	PSRR1	CLK_SYNCH = H, SYNCH_OUT 端子, f = 1 kHz, GC4 = 00H (6 dB)	-	60	-	dB
	PSRR2	CLK_SYNCH = L, SYNCH_OUT 端子もしくは GAINAMP_OUT 端子, f = 1 kHz, GC4 = 00H (6 dB)	-	45	-	dB
ゲイン設定誤差	GAIN_Accu1	T <sub>A</sub> = 25°C	-0.6	-	0.6	dB
	GAIN_Accu2	T <sub>A</sub> = -40~85°C	-1.0	-	1.0	dB
CLK_SYNCH ロウ・レベル 入力電圧	V <sub>IL</sub> CLK_SYNCH				0.3 × AV <sub>DD1</sub>	V
CLK_SYNCH ハイ・レベル 入力電圧	V <sub>IH</sub> CLK_SYNCH		0.7 × AV <sub>DD1</sub>			V

## 5.3.3.3 D/A コンバータ特性

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = DV_{DD} = 5.0\text{ V}$ ,  $DAC1OF = DAC2OF = DAC3OF = DAC4OF = 1$ )

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
DAC ALL ON 消費電流 1	I_DAC_ON1	DAC1OF = DAC2OF = DAC3OF = DAC4OF = 1, VRB1, VRB0 = 0, 0	–	1400	2950	$\mu\text{A}$
DAC ALL ON 消費電流 2	I_DAC_ON2	DAC1OF = DAC2OF = DAC3OF = DAC4OF = 1, VRB1, VRB0 $\neq$ 0, 0	–	1620	3360	$\mu\text{A}$
バッファアンプ ON 消費電流 1 注 <sup>1</sup>	I_DAC_Buff1	DACxOF = 1, VRB1, VRB0 = 0, 0 (x = 1, 2, 3, 4)	–	390	820	$\mu\text{A}$
バッファアンプ ON 消費電流 2 注 <sup>1</sup>	I_DAC_Buff2	DACxOF = 1, VRB1, VRB0 $\neq$ 0, 0 (x = 1, 2, 3, 4)	–	610	1320	$\mu\text{A}$
DAC1 後段アンプ ON 消費電流	I_DAC_AMP1	DAC1OF = 1	–	140	320	$\mu\text{A}$
DAC2 後段アンプ ON 消費電流	I_DAC_AMP2	DAC2OF = 1	–	120	265	$\mu\text{A}$
DAC3 後段アンプ ON 消費電流	I_DAC_AMP3	DAC3OF = 1	–	120	265	$\mu\text{A}$
DAC4 後段アンプ ON 消費電流	I_DAC_AMP4	DAC4OF = 1	–	630	1370	$\mu\text{A}$
分解能	RES		–	–	8	bit
セットリング・ タイム	tSET	出力電圧 1Vpp 時, 出力収束電圧 Vpp = 990 mV	–	–	100	$\mu\text{s}$
微分非直線性誤差注 <sup>2</sup>	DNL	VRT1 = VRT0 = 0, VRB1 = VRB0 = 0	-2	–	2	LSB
積分非直線性誤差	INL	VRT1 = VRT0 = 0, VRB1 = VRB0 = 0	-2	–	2	LSB

注 1. DACx (x=1,2,3,4) のいずれか一つ以上が ON の時、バッファアンプは ON になります。例として、  
DAC1OF=DAC2OF=1, VRB1, VRB0=0, 0 時の消費電流 (I\_EXAMPLE) は次のように表されます。

$$I_{\text{EXAMPLE}} = I_{\text{DAC\_Buff1}} + I_{\text{DAC\_AMP1}} + I_{\text{DAC\_AMP2}}$$

2. 単調性は保証されます。

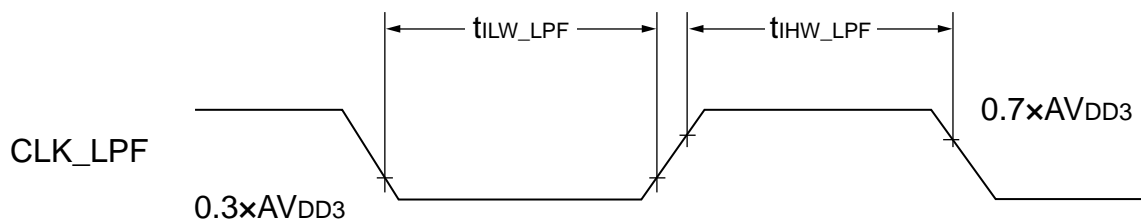


## 5.3.3.4 ローパス・フィルタ回路特性

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = DV_{DD} = 5.0\text{ V}$ ,  $LPFOF = 1$ )

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	I <sub>ccA</sub>		—	800	1800	μA
入力電圧	V <sub>ILLPF</sub>		AGND4 + 0.2	—	—	V
	V <sub>IHLPF</sub>		—	—	AV <sub>DD3</sub> - 1.5	V
出力電圧	V <sub>OLLPF</sub>	IOL = -200 μA	—	AGND4 + 0.22	AGND4 + 0.25	V
	V <sub>OHLPF</sub>	IOH = 200 μA	AV <sub>DD3</sub> - 1.55	AV <sub>DD3</sub> - 1.52	—	V
カットオフ周波数	fc1	f <sub>CLK_LPF</sub> = 2 kHz	—	9	—	Hz
	fc2	f <sub>CLK_LPF</sub> = 1 MHz	—	4.5	—	kHz
CLK_LPF ロウ・レベル 入力電圧	V <sub>ILCLK_LPF</sub>				0.3 × AV <sub>DD3</sub>	V
CLK_LPF ハイ・レベル 入力電圧	V <sub>IHCLK_LPF</sub>		0.7 × AV <sub>DD3</sub>			V
CLK_LPF 入力周波数	f <sub>CLK_LPF</sub>		2	—	1000	kHz
CLK_LPF 入カロウ・レベル幅 入カハイ・レベル幅	t <sub>ILW_LPF</sub> t <sub>IHW_LPF</sub>		200	—	—	ns

## クロックタイミング

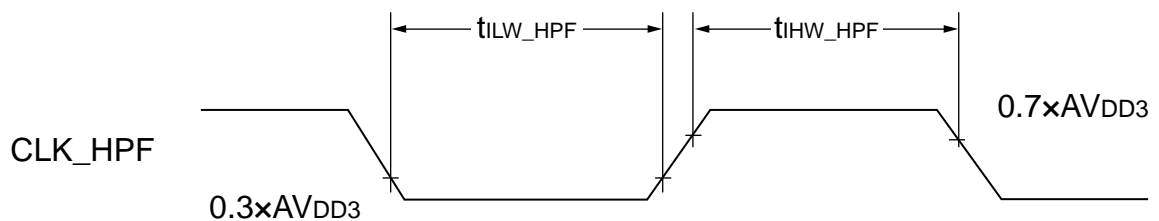


## 5.3.3.5 ハイパス・フィルタ回路特性

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = DV_{DD} = 5.0\text{ V}$ ,  $HPFOF = 1$ )

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	IccA		–	800	1800	$\mu\text{A}$
入力電圧	V <sub>ILHPF</sub>		AGND4 + 0.2	–	–	V
	V <sub>IHPF</sub>		–	–	AV <sub>DD3</sub> - 1.5	V
出力電圧	V <sub>OLHPF</sub>	IOL = -200 $\mu\text{A}$	–	AGND4 + 0.22	AGND4 + 0.25	V
	V <sub>OHPF</sub>	IOH = 200 $\mu\text{A}$	AV <sub>DD3</sub> - 1.55	AV <sub>DD3</sub> - 1.52	–	V
カットオフ周波数	fc1	f <sub>CLK_HPF</sub> = 2 kHz	–	8	–	Hz
	fc2	f <sub>CLK_HPF</sub> = 200 kHz	–	800	–	Hz
CLK_HPF ロウ・レベル 入力電圧	V <sub>ILCLK_HPF</sub>				0.3 × AV <sub>DD3</sub>	V
CLK_HPF ハイ・レベル 入力電圧	V <sub>IHCLK_HPF</sub>		0.7 × AV <sub>DD3</sub>			V
CLK_HPF 入力周波数	f <sub>CLK_HPF</sub>		2	–	200	kHz
CLK_HPF 入カロー・レベル幅 入カハイ・レベル幅	t <sub>ILW_HPF</sub>		200	–	–	ns
	t <sub>IHW_HPF</sub>					

## クロックタイミング



## 5.3.3.6 温度センサ回路特性

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = DV_{DD} = 5.0\text{ V}$ ,  $TEMPOF = 1$ )

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	I <sub>ccA</sub>		–	105	220	μA
出力電圧	V <sub>o</sub>	T <sub>A</sub> = 25°C	–	1.67	–	V
温度感度	T <sub>SE</sub>		–	-5.0	–	mV/°C

## 5.3.3.7 出力電圧可変レギュレータ特性

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = DV_{DD} = 5.0\text{ V}$ ,  $LDOOF = 1$ )

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
消費電流	I <sub>ccON</sub>	I <sub>out</sub> = 0 mA	–	150	320	μA
出力電圧精度	V <sub>_Accu</sub>	I <sub>out</sub> = 0 mA	-10	–	10	%
負荷電流特性	V <sub>out_load</sub>	I <sub>out</sub> = 0 mA~5 mA	–	15	30	mV
出力電流	I <sub>o</sub>		–	–	15	mA
ドロップアウト電圧 <sup>注</sup>	V <sub>d</sub>	I <sub>out</sub> = 15 mA	–	–	0.4	V
電源電圧変動除去比	PSRR	f = 1 kHz, CL = 4.7 μF, I <sub>o</sub> = 5 mA, AV <sub>DD2</sub> = 5.0 V, LDOC = 0DH (3.3 V)	–	60	–	dB
放電抵抗	R <sub>s</sub>	LDOOF = 0	540	715	1200	Ω
セットリング・タイム	T <sub>set_rise</sub>	CL = 4.7 μF, C <sub>BGR_OUT</sub> = 0.1 μF	–	–	5.0	ms
	T <sub>set_fall</sub>	CL = 4.7 μF, C <sub>BGR_OUT</sub> = 0.1 μF	–	–	45	ms

注 出力可能な電圧範囲は、ドロップアウト電圧と出力電圧精度によります。

## 5.3.3.8 基準電圧生成回路特性

( $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ,  $AV_{DD1} = AV_{DD2} = AV_{DD3} = AV_{DD4} = DV_{DD} = 5.0\text{ V}$ ,  $LDOOF = 1$ )

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
出力電圧	V <sub>BGR</sub>		–	1.21	–	V

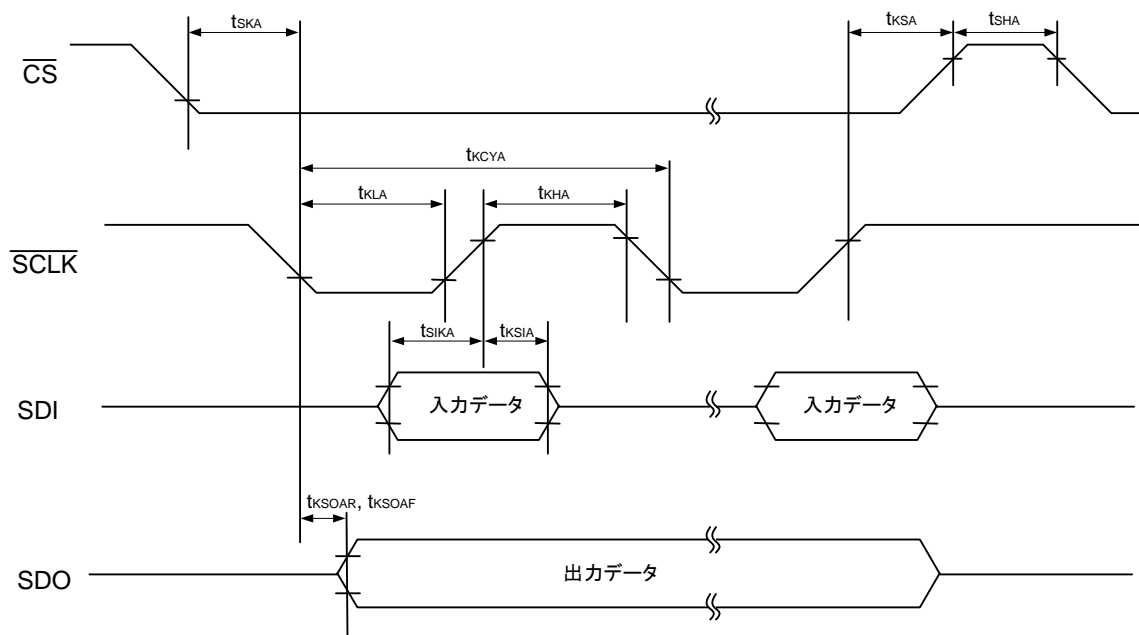
## ★ 5.3.3.9 SPI

(-40°C ≤ T<sub>A</sub> ≤ 85°C, AV<sub>DD1</sub> = AV<sub>DD2</sub> = AV<sub>DD3</sub> = AV<sub>DD4</sub> = DV<sub>DD</sub> = 5.0 V)

項目	略号	条件	規格			単位
			MIN	TYP	MAX	
ハイ・レベル入力電圧	V <sub>IH</sub>	CS 端子, SDI 端子, SCLK 端子, RESET 端子	2.0	DV <sub>DD</sub>	DV <sub>DD</sub> + 0.1	V
ロウ・レベル入力電圧	V <sub>IL</sub>	CS 端子, SDI 端子, SCLK 端子, RESET 端子	-0.1	DGND	0.7	V
ハイ・レベル 入力リーク電流	I <sub>leak_Hi1</sub>	CS 端子, SDI 端子, SCLK 端子	-1	-	2	μA
	I <sub>leak_Hi2</sub>	RESET 端子	-1	-	2	μA
ロウ・レベル 入力リーク電流 <sup>注</sup>	I <sub>leak_Lo1</sub>	CS 端子, SDI 端子, SCLK 端子	50	100	200	μA
	I <sub>leak_Lo2</sub>	RESET 端子	-1	-	2	μA
SDO 端子 ロウ・レベル出力電圧	V <sub>SDO_Lo</sub>	I <sub>O</sub> = -5 mA	-	400	830	mV
SDO 端子 OFF 時リーク電流	I <sub>leak_SDO</sub>		-1	-	2	μA
プルアップ抵抗	R <sub>SPI</sub>	CS 端子, SDI 端子, SCLK 端子	32.5	50	67.5	kΩ
SCLK サイクル・タイム	t <sub>KCYA</sub>		100	-	-	ns
SCLK ハイ・レベル幅, ロウ・レベル幅	t <sub>KHA</sub> , t <sub>KLA</sub>		0.9t <sub>KCYA</sub> /2	-	-	ns
SDI セットアップ時間 (対 SCLK ↑)	t <sub>SIKA</sub>		40	-	-	ns
SDI ホールド時間 (対 SCLK ↑)	t <sub>KSIA</sub>		20	-	-	ns
SCLK ↓ → SDO 出力 遅延時間	t <sub>KSOAR</sub>	プルアップ抵抗 10 kΩ, CL = 5 pF, V <sub>SDO</sub> = 5 V	-	250	300	ns
	t <sub>KSOAF</sub>	プルアップ抵抗 10kΩ, CL=5pF, V <sub>SDO</sub> = 5 V	-	-	20	ns
CS ハイ・レベル幅	t <sub>SHA</sub>		200	-	-	ns
CS ↓ → SCLK ↓ 遅延時間	t <sub>SKA</sub>		200	-	-	ns
SCLK ↑ → CS ↑ 遅延時間	t <sub>KSA</sub>		200	-	-	ns

注 プルアップ抵抗に流れる電流を含みます。

## SPI 転送クロック・タイミング

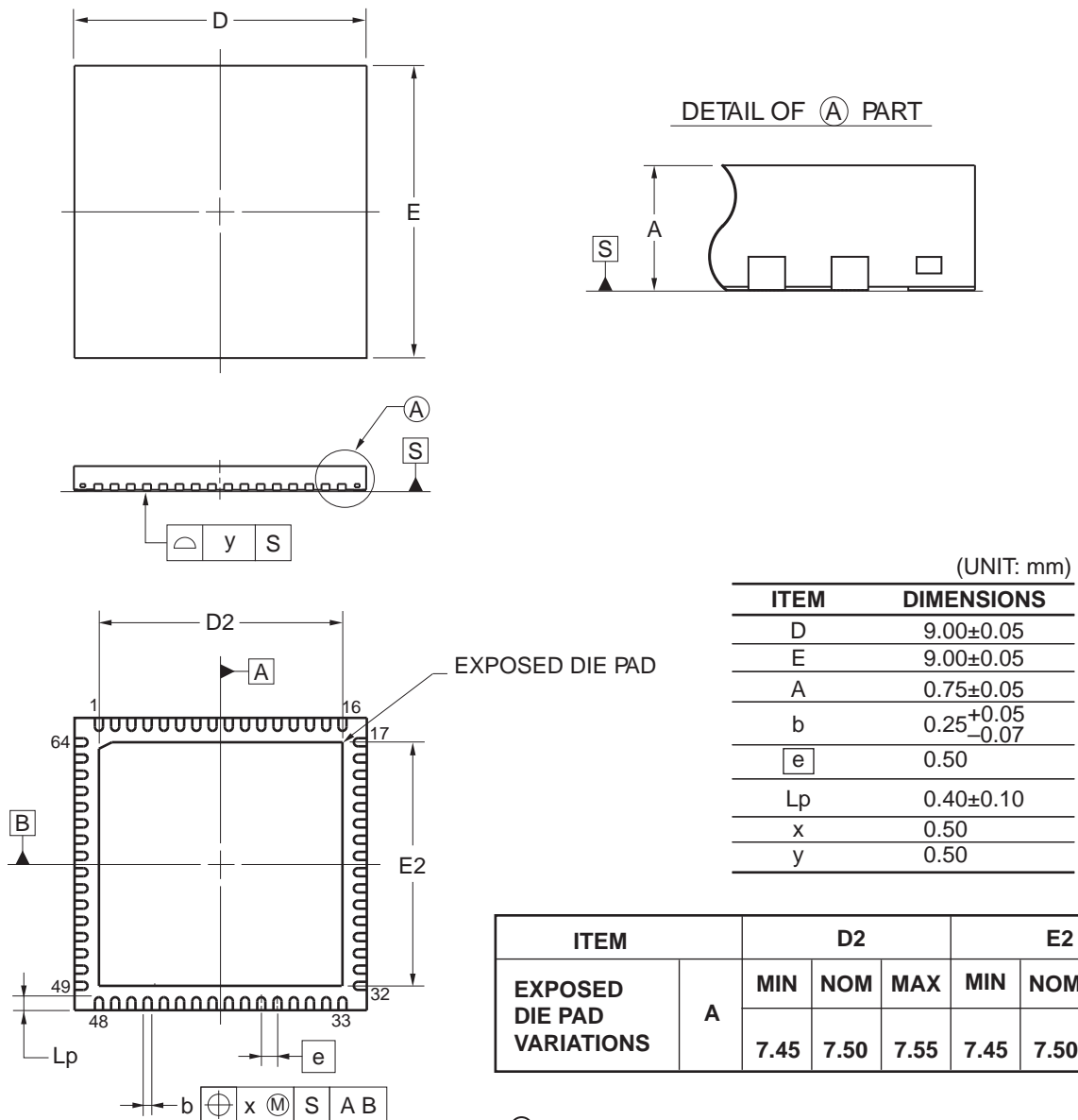


## 第6章 外形图

R5F10FLCANA, R5F10FLDANA, R5F10FLEANA, R5F10FLCDNA, R5F10FLDDNA, R5F10FLEDNA

64-PIN PLASTIC WQFN (9 x 9)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN64-9x9-0.50	PWQN0064KD-A	P64K8-50-6BA-1	0.21

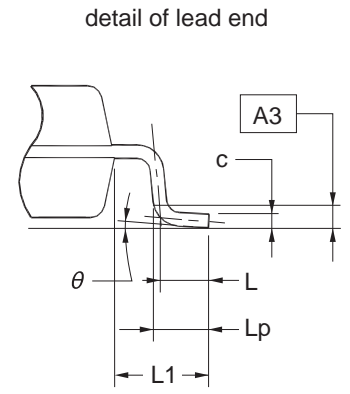
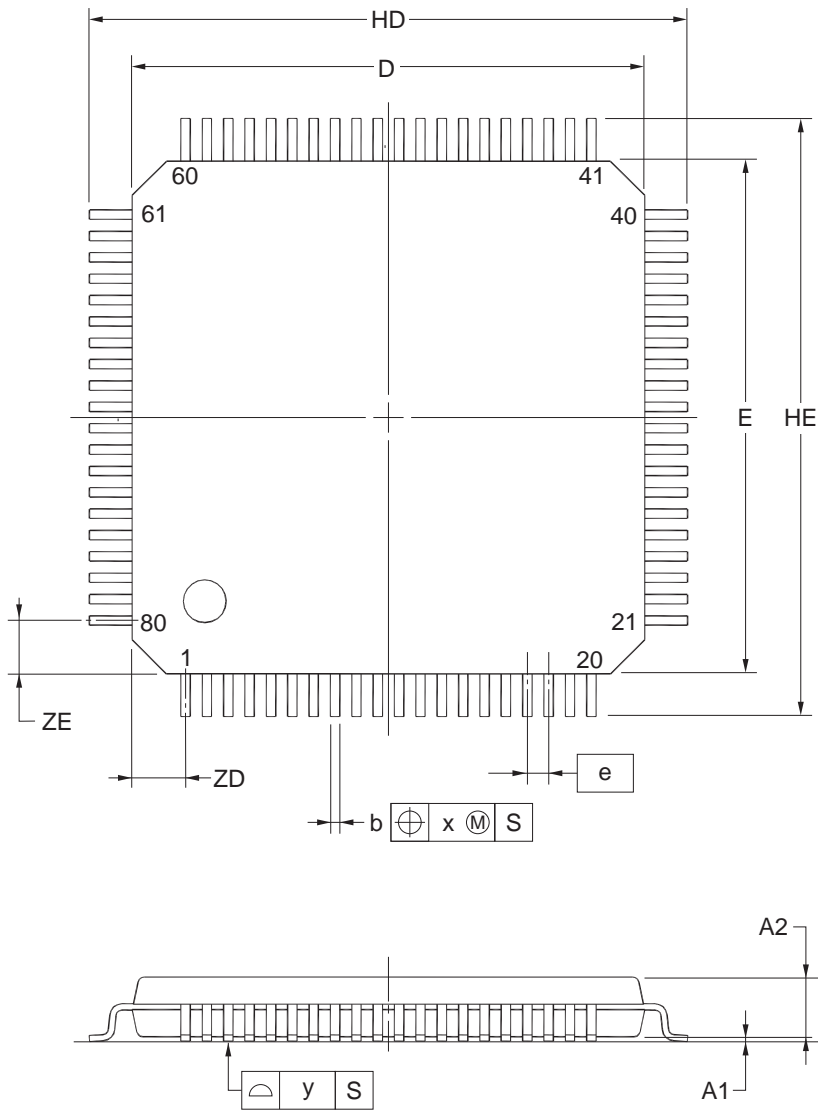


© 2012 Renesas Electronics Corporation. All rights reserved.

R5F10FMCAFB, R5F10FMDAFB, R5F10FMEAFB, R5F10FMCDFB, R5F10FMDDFB, R5F10FMEDFB

80-PIN PLASTIC LQFP (FINE PITCH) (12 × 12)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP80-12x12-0.50	PLQP0080KE-B	P80GK-50-GAK-2	0.53



(UNIT:mm)

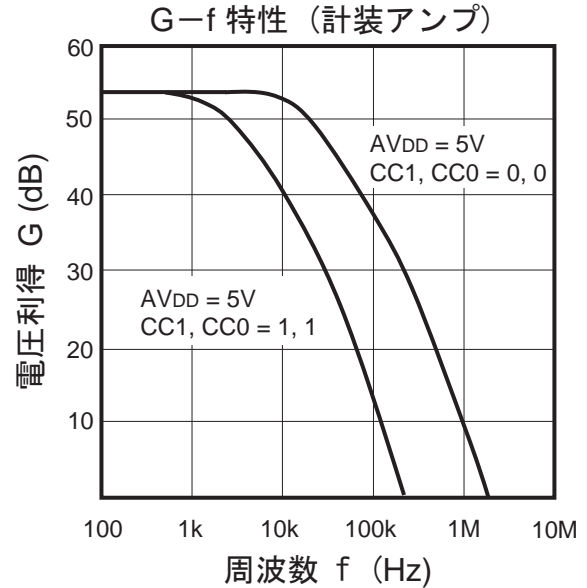
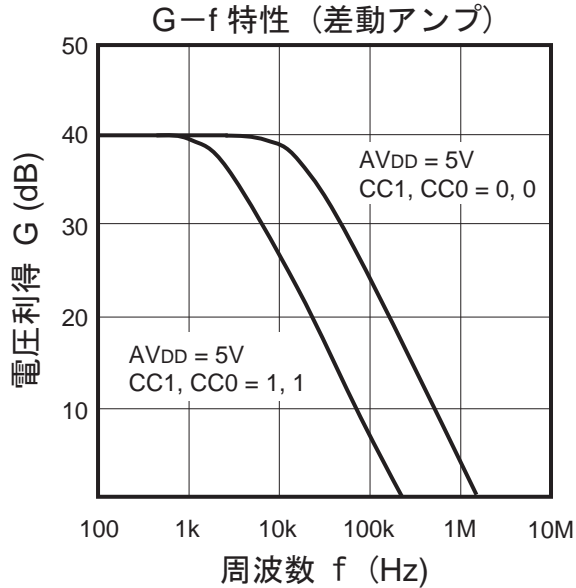
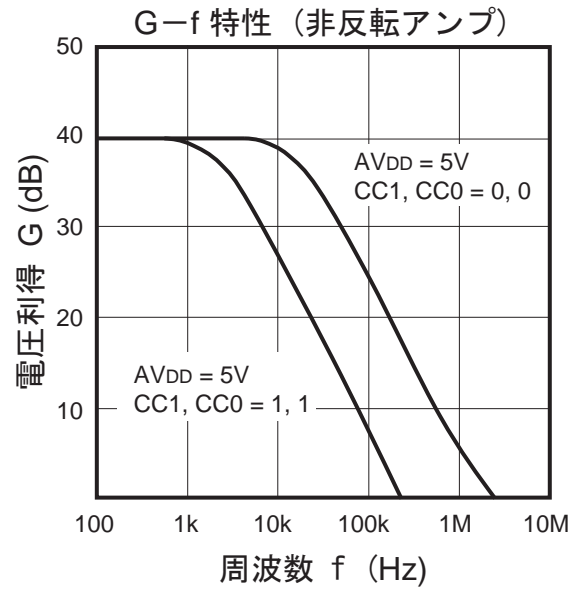
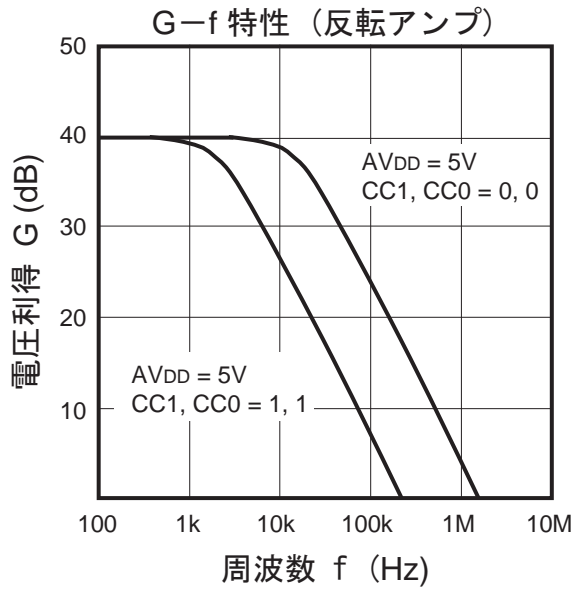
ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	0.145 <sup>+0.055</sup> <sub>-0.045</sub>
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° <sup>+5°</sup> <sub>-3°</sub>
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

NOTE  
 Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

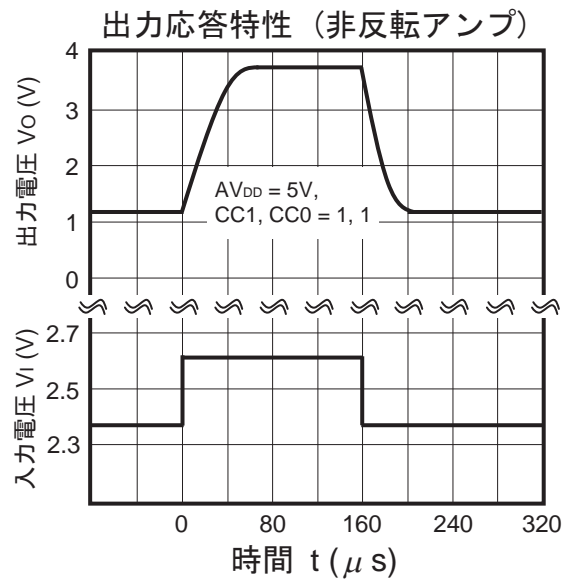
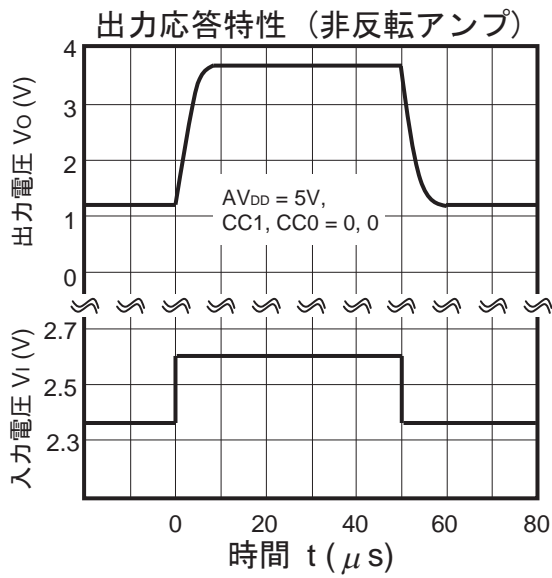
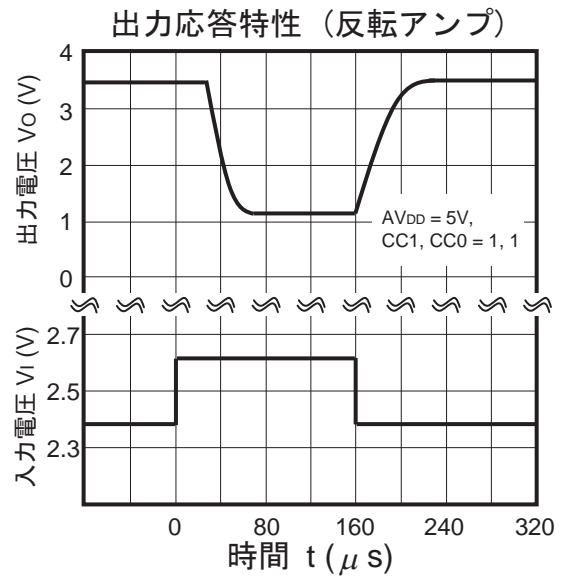
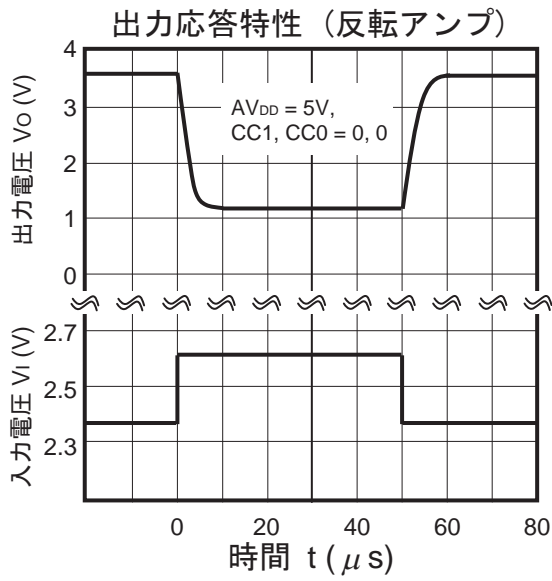
© 2012 Renesas Electronics Corporation. All rights reserved.

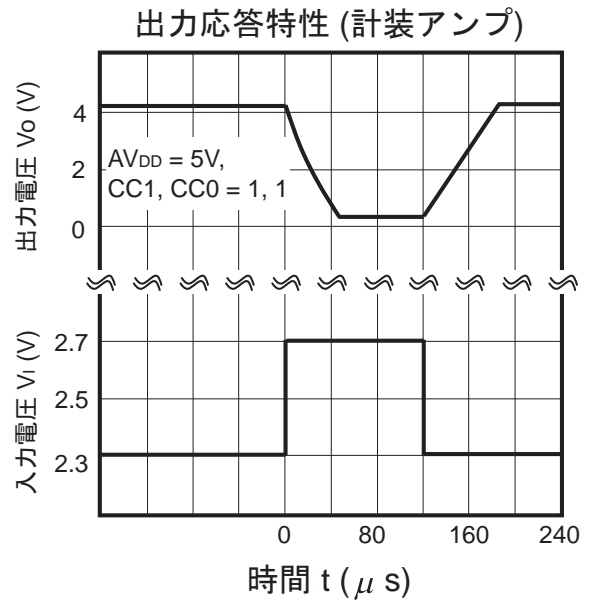
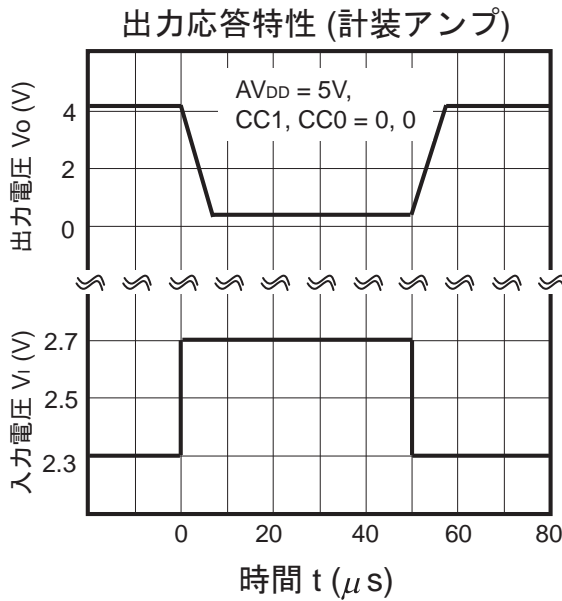
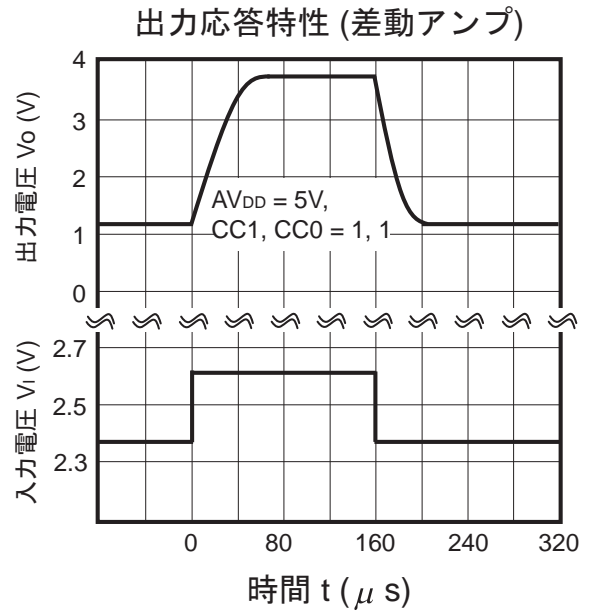
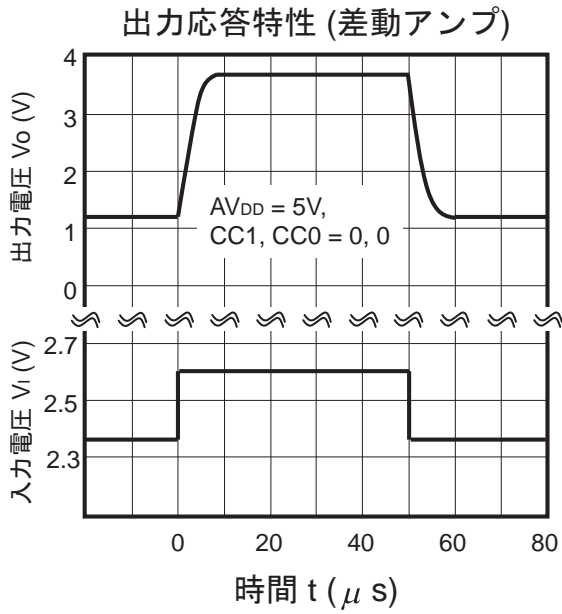
## 付録A 特性曲線 (TA = 25°C, TYP.) (参考値)

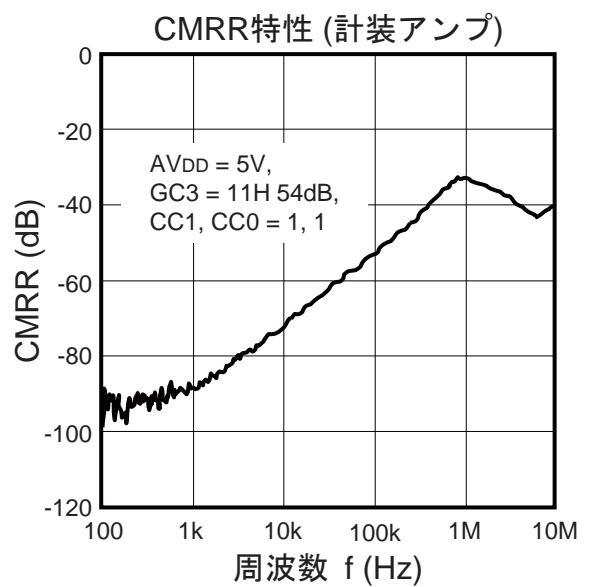
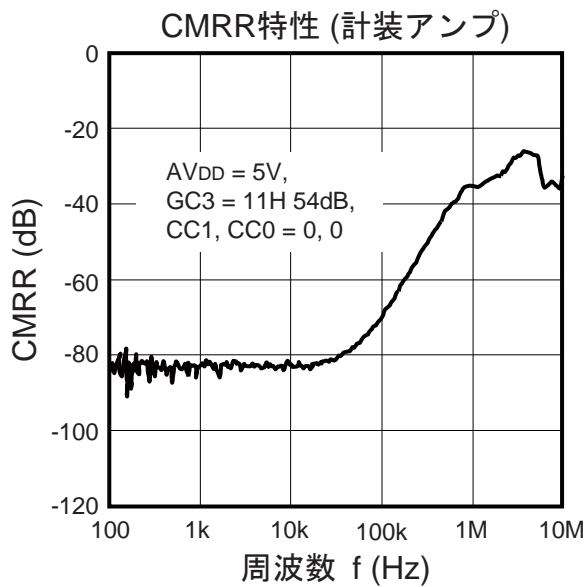
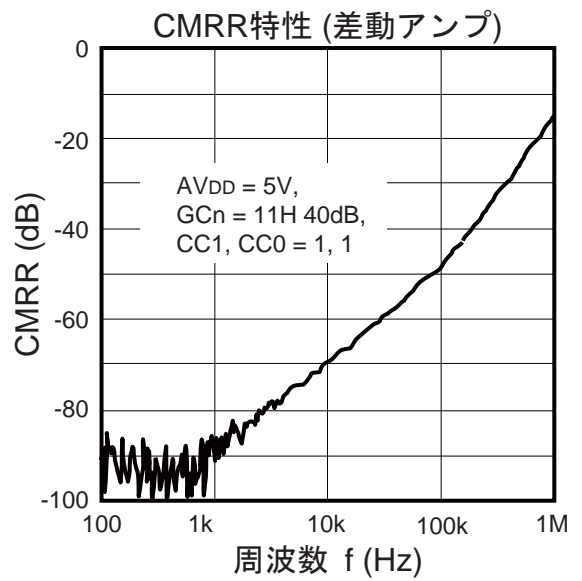
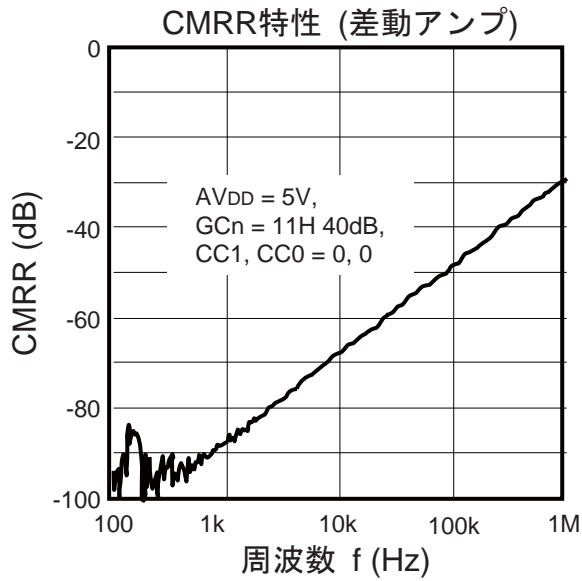
- コンフィギュラブル・アンプ

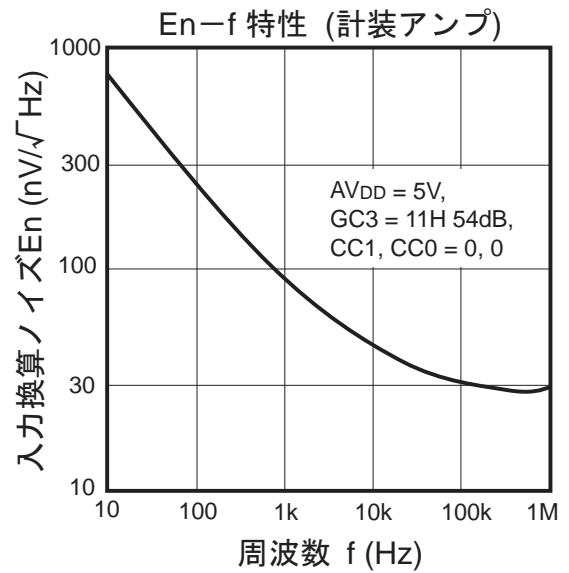
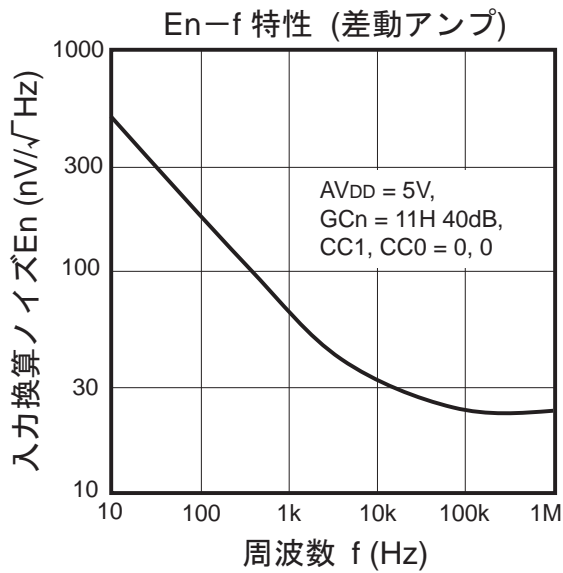
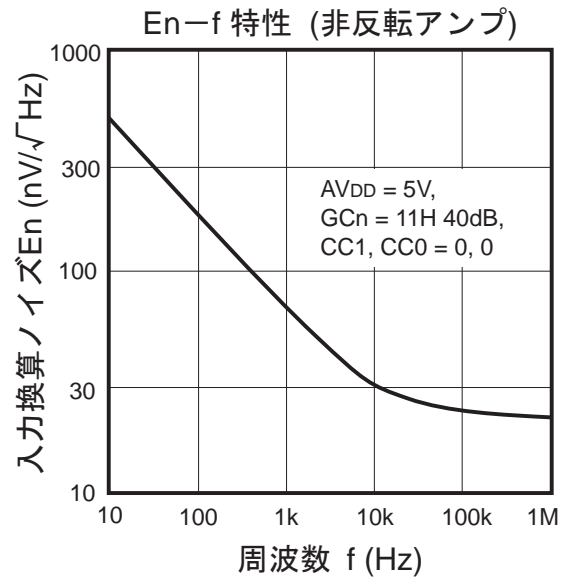
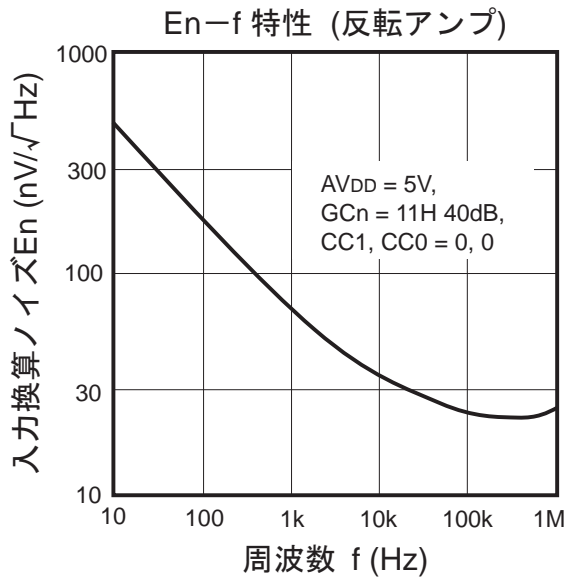




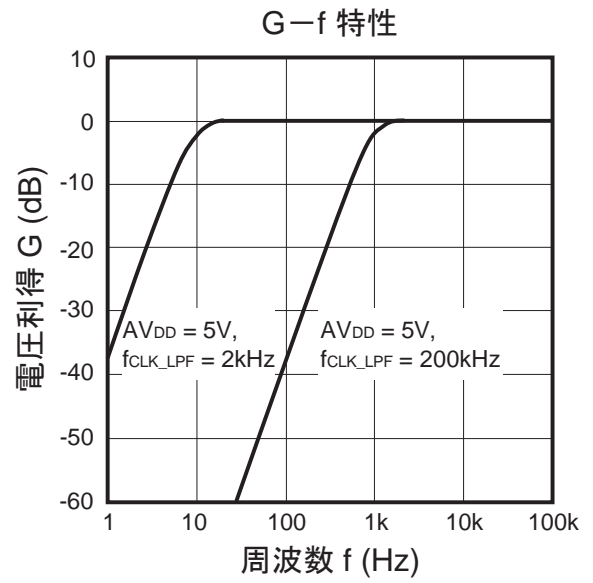
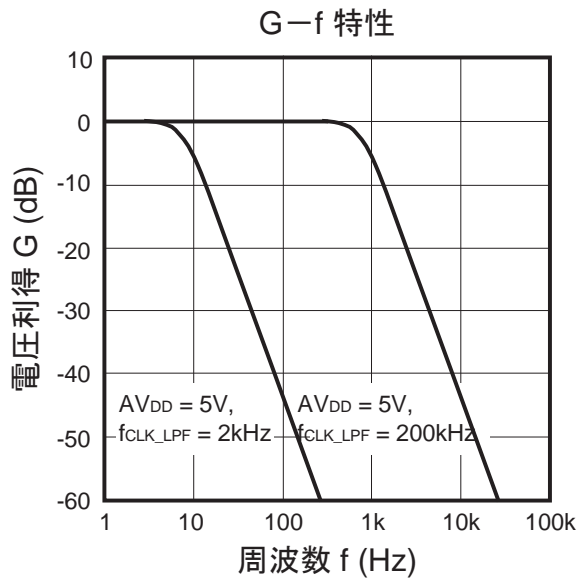




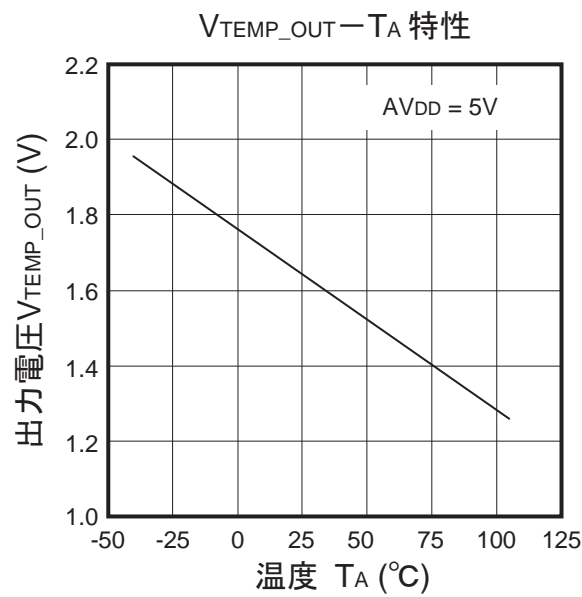




- ローパス・フィルタ, ハイパス・フィルタ

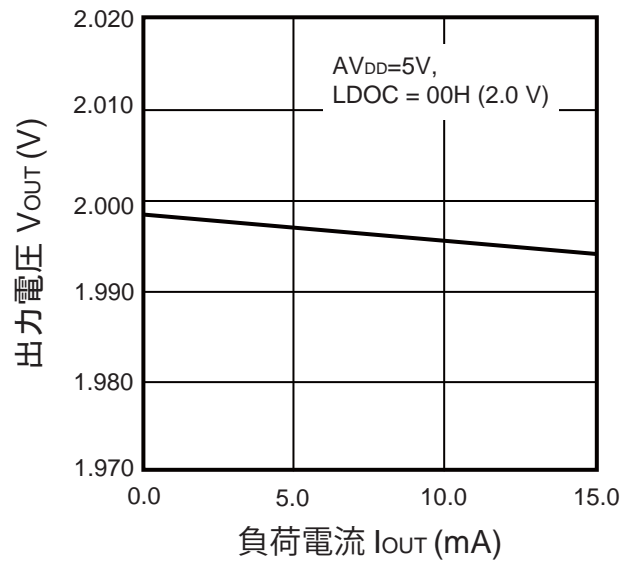


- 温度センサ

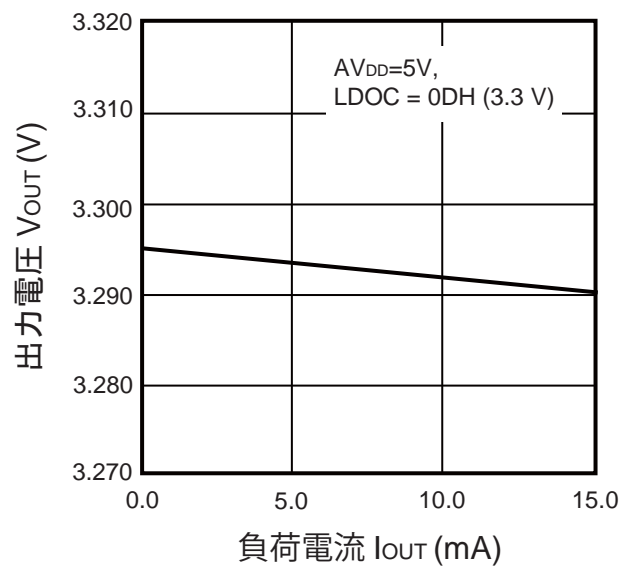


- 出力電圧可変レギュレータ

出力電圧-負荷電流 特性



出力電圧-負荷電流 特性



## 付録B 改訂履歴

## B.1 本版で改訂された主な箇所

(1/4)

箇所	内容	分類
R01UH0353JJ0101 → R01UH0353JJ0200		
第1章 概説		
P1	1.1 特徴を変更	(c)
P4	1.2 型名一覧の注意を削除	(c)
P5-14	1.3~1.5 SCK00, SCK10, SCK20, SCK21 端子を変更	(a)
P15-17	1.6 機能概要を変更	(c)
第2章 端子機能		
P18-21	2.1(1)(2) 兼用機能, 備考を変更	(c)
P23, 24	2.1.1.1 64ピン製品の表構成, 注意, 備考を変更	(c)
P25, 26	2.1.1.2 80ピン製品の表構成, 注意, 備考を変更	(c)
P28	2.1.2.1 機能名称, 備考を変更	(c)
P30, 31	2.1.2.2 機能名称, 注意, 備考を変更	(c)
P32	2.2 アナログ部の端子機能を変更	(c)
P32	2.2.1 64ピン製品の表構成を変更	(c)
P33	2.2.2 80ピン製品の表構成を変更	(c)
P34, 35	表 2-3 各端子の未使用時処理方法を変更	(c)
P36-45	2.4 端子ブロック図を変更	(c)
P50	2.5.2 ポート1 (P10-P15) を変更	(a)
P55	2.5.6 ポート7 (P70-P73) を変更	(a)
第3章 マイクロコントローラ部		
P78	表 3-3 サブシステム・クロック供給モード制御レジスタ (OSMC) に名称変更	(c)
P84	表 3-4 サブシステム・クロック供給モード制御レジスタ (OSMC) に名称変更	(c)
P91	3.4.2.1 ポート0を変更	(c)
P91	3.4.2.2 ポート1を変更	(c)
P92	3.4.2.5 ポート4を変更	(c)
P92	3.4.2.6 ポート5を変更	(c)
P92	3.4.2.8 ポート7を変更	(c)
P94, 95	3.4.3 ポート機能を制御するレジスタを変更	(c)
P94, 95	注, 備考を変更	(c)
P96	3.4.3.1 ポート・モード・レジスタ (PMxx) を変更	(c)
P97	3.4.3.2 ポート・レジスタ (Pxx) を変更	(c)
P98	3.4.3.3 プルアップ抵抗オプション・レジスタ (PUxx) を変更	(c)
P98	3.4.3.4 ポート・入力モード・レジスタ (PIMxx) を変更	(c)
P99	3.4.3.5 ポート・出力モード・レジスタ (POMxx) を変更	(c)
P99	3.4.3.6 ポート・モード・コントロール・レジスタ (PMCxx) を変更	(c)
P102	3.4.3.8 周辺 I/O リダイレクション・レジスタ (PIOR) に備考追加	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,  
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(2/4)

箇所	内容	分類
P103	3.4.4.4 EV <sub>DD</sub> ≦V <sub>DD</sub> による異電位 (1.8 V 系, 2.5 V 系, 3 V 系) 対応を追加	(c)
P104, 105	3.4.4.5 入出力バッファによる異電位 (1.8 V 系, 2.5 V 系, 3 V 系) 対応を変更	(c)
P106	3.4.5 兼用機能使用時のレジスタ設定を変更	(c)
P107, 108	3.5.1 クロック発生回路の機能を変更	(c)
P109	表 3-6 クロック発生回路の構成を変更	(c)
P110	図 3-1 クロック発生回路のブロック図を変更	(c)
P112	3.5.3.1 クロック動作モード制御レジスタ (CMC) を変更	(c)
P117	3.5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC) を変更	(c)
P119-122	3.5.7 発振子と発振回路定数を変更	(c)
P127	3.6.1.2 ①ワンショット・パルス出力を変更	(c)
P135	3.6.3.1 周辺イネーブル・レジスタ 0 (PER0) を変更	(c)
P136-140	3.6.3.3 タイマ・モード・レジスタ mn (TMRmn) を変更	(c)
P145	3.6.3.15 タイマ入出力端子のポート機能を制御するレジスタを変更	(c)
P148	3.8.2 12 ビット・インターバル・タイマの構成を変更	(a)
P149	3.8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC) を変更	(c)
P154	3.9.3.2 クロック出力/ブザー出力端子のポート機能を制御するレジスタを変更	(c)
P156, 157	3.11.1 A/D コンバータの機能を変更	(c)
P158	図 3-8 A/D コンバータのブロック図を変更	(c)
P161	3.11.3.1 周辺イネーブル・レジスタ 0 (PER0) を変更	(c)
P162	3.11.3.3 A/D コンバータ・モード・レジスタ 1 (ADM1) を変更	(c)
P168	3.11.3.11 アナログ入力端子のポート機能を制御するレジスタを変更	(c)
P174	表 3-12 シリアル・アレイ・ユニットの構成を変更	(c)
P176	図 3-9 シリアル・アレイ・ユニット 0 のブロック図を変更	(a)
P177	図 3-10 シリアル・アレイ・ユニット 1 のブロック図を変更	(c)
P178	3.12.2.1 シフト・レジスタを変更	(c)
P178, 179	3.12.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビットを変更	(c)
P180	3.12.3.1 周辺イネーブル・レジスタ 0 (PER0) を変更	(c)
P181, 182	3.12.3.3 シリアル・モード・レジスタ mn (SMRmn) を変更	(c)
P183-185	3.12.3.4 シリアル通信動作設定レジスタ mn (SCRmn) を変更	(c)
P189	3.12.3.17 シリアル入出力端子のポート機能を制御するレジスタを変更	(c)
P195-197	表 3-13 割り込み要因一覧を変更	(c)
P201, 203	表 3-14 割り込み要求ソースに対応する各種フラグを変更	(a)
P217	図 3-14 キー割り込みのブロック図を変更	(c)
P218	3.17.3.2 キー・リターン・モード・レジスタ 0 (KRM0) を変更	(c)
P223, 224	3.21.1 電圧検出回路の機能を変更	(c)
P224	図 3-15 電圧検出回路のブロック図を変更	(c)
P226, 227	ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット(1/2) (2/2)を変更。	(c)
P229	3.22.1 安全機能の概要を変更	(c)
P233, 234	3.24.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H) を変更	(c)
P235-237	3.24.2 ユーザ・オプション・バイトのフォーマットを変更	(c)
P239	3.25.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミングを変更	(c)
P240	表 3-18 RL78/G1E と専用フラッシュ・メモリ・プログラマの配線表を変更	(c)
P241	3.25.2 外部デバイス (UART 内蔵) によるシリアル・プログラミングを変更	(c)
P241	3.25.4 シリアル・プログラミング方法を変更	(c)
P241	3.25.5 PG-FP5 使用時の各コマンド処理時間 (参考値) を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,  
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更



(3/4)

箇所	内容	分類
第3章 マイクロコントローラ部		
P241	3.25.6 セルフ・プログラミングを変更	(c)
P241	3.25.7 セキュリティ設定を変更	(c)
P241	3.25.8 データ・フラッシュを変更	(c)
P242	図 3-16 E1 オンチップデバッグエミュレータと RL78/G1E の接続例を変更	(c)
第4章 アナログ部		
P256	4.1.3 (5) 備考を追加	(c)
P259	4.1.3 (6) 備考を追加	(c)
P262	4.1.3 (7) 備考を追加	(c)
P266	4.1.3 (8) 備考を追加	(c)
P282	4.2.1 ゲイン調整アンプの機能概要を変更	(c)
P284, 285	4.2.3 ゲイン調整アンプを制御するレジスタを変更	(c)
P288	4.3.1 D/A コンバータの機能概要を変更	(c)
P289	4.3.3 D/A コンバータを制御するレジスタに関する記述を変更	(c)
P289	4.3.3 (1) DAC 基準制御レジスタ (DACRC) を変更	(c)
P293	4.4.1 ローパス・フィルタの機能概要を変更	(c)
P295, 296	4.4.3 ローパス・フィルタを制御するレジスタを変更	(c)
P298	4.5.1 ハイパス・フィルタの機能概要を変更	(c)
P300	4.5.3 ハイパス・フィルタを制御するレジスタ変更	(c)
P307	4.7.3 (1) 備考を追加	(c)
P308	4.7.3 (2) 備考を追加	(c)
P314	表 4-11 SPI 制御レジスタ一覧の注を変更	(c)
P315	4.10.1 アナログ・リセット機能の概要の注意を変更	(c)
P316	表 4-13 アナログ・リセット受付後の SPI 制御レジスタの状態の注を変更	(c)
P318	4.10.2 アナログ・リセットを制御するレジスタを変更	(c)
第5章 電气的特性		
P322	5.1.3 絶対最大定格 (マイクロコントローラ部, アナログ部共通) を変更	(c)
P323	5.2.1.1 X1 発振回路特性を変更	(c)
P324	5.2.1.2 オンチップ・オシレータ特性を変更	(c)
P334, 335	5.2.2.2 電源電流特性を変更	(c)
P336	5.2.3 AC 特性を変更	(a)
P337-339	メイン・システム・クロック動作時の最小命令実行時間を追加, AC タイミング測定点を変更	(c)
P341	5.2.4 AC タイミング測定点を追加	(c)
P341	5.2.4.1 シリアル・アレイ・ユニット (1) を変更	(c)
P343	5.2.4.1 シリアル・アレイ・ユニット (2) を変更	(c)
P344, 345	5.2.4.1 シリアル・アレイ・ユニット (3) を変更	(c)
P346, 347	5.2.4.1 シリアル・アレイ・ユニット (4) を変更	(c)
P349, 350	5.2.4.1 シリアル・アレイ・ユニット (5) を変更	(c)
P352-355	5.2.4.1 シリアル・アレイ・ユニット (6) を変更	(c)
P357, 358	5.2.4.1 シリアル・アレイ・ユニット (7) を変更	(c)
P359-362	5.2.4.1 シリアル・アレイ・ユニット (8) を変更	(c)
P364, 365	5.2.4.1 シリアル・アレイ・ユニット (9) を変更	(c)
P368, 369	5.2.4.1 シリアル・アレイ・ユニット (10) を変更	(c)
P371-376	5.2.5.1 A/D コンバータ特性を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,  
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(4/4)

箇所	内容	分類
第 5 章 電気的特性		
P378	5.2.5.4 LVD 回路特性の注意の誤記訂正	(a)
P380	5.2.6 データ・メモリ STOP モード低電源電圧データ保持特性を変更	(c)
P381	5.2.8 専用フラッシュ・メモリ・プログラマ通信 (UART) を追加	(c)
P382	5.2.9 フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング・スペックを変更	(c)
P383	5.3.1 タイトルを「アナログ部の動作条件」に変更	(c)
P396	5.3.3.2 ゲイン調整アンプ特性 (1) を変更	(c)
P402	5.3.3.9 SPI を変更	(c)

**備考** 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,  
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

## B.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/4)

版 数	内 容	適用箇所
Rev.1.01	章、節の再構成	全般
	1.1 特徴を変更	第1章 概説
	1.2 型名一覧に梱包仕様を追加、発注型名の変更、注意を追加	
	1.3 注意7.の記述を変更	
	1.3 注意6.の記述を変更	
	1.6 機能概要に項目を追加、注を追加	
	1.6 機能概要の誤記訂正	
	2.1 ポート機能に関する、RL78/G1A との比較一覧を変更	第2章 端子機能
	2.1.1 ポート機能に関する誤記訂正	
	2.1.2 ポート以外の機能についての説明を追加	
	2.2 アナログ部の端子機能に関する誤記訂正	
	2.3 ARESET 端子に注を追加	
	2.5 RESET 端子、ARESET 端子に関する説明文を追加	
	3.2 RL78/G1A (64ピン製品) との機能比較に比較項目を追加	第3章 マイクロコントローラ部
	3.2 RL78/G1A (64ピン製品) との機能比較の誤記訂正	
	3.3.2.4 特殊機能レジスタ RL78/G1A (64ピン製品) との比較表を更新	
	3.3.2.5 拡張特殊機能レジスタ RL78/G1A (64ピン製品) との比較表を更新	
	3.4.2 ポートの構成について、各ポートの説明文を追加	
	3.4.2 ポートの構成について、各ポートの説明文における誤記訂正	
	3.4.3 ポート機能を制御するレジスタ 記載レジスタを追加	
	3.5.1 高速オンチップ・オシレータ機能の発振周波数の更新、及び、発振周波数に関する表を追加	
	3.5.3 クロック発生回路を制御するレジスタ 記載レジスタを追加	
	3.5.7 発振子と発振回路定数の水晶振動子に関する誤記訂正	
	表3-8 ポート・モード・コントロール・レジスタを追加	
	表3-9 製品に搭載しているタイマ入出力端子の誤記訂正	
	3.6.2 タイマ・アレイ・ユニットの構成 図3-4, 図3-5のブロック図を変更	
	3.6.3 タイマ・アレイ・ユニットを制御するレジスタ 記載レジスタを追加	
	3.8.3 12ビット・インターバル・タイマを制御するレジスタ 記載レジスタを追加	
	3.9.3 クロック出力/ブザー出力制御回路を制御するレジスタ 記載レジスタを追加	
	3.11.3 A/Dコンバータを制御するレジスタ 記載レジスタを追加	
	3.11.3.7 アナログ入力チャンネル指定レジスタ (ADS) に関する注意の変更と追加	
	3.12.3 シリアル・アレイ・ユニットを制御するレジスタ 記載レジスタを追加	
	3.16 割り込み機能 マスカブル割り込み数 (内部) の誤記訂正	
	3.16.3 割り込み機能を制御するレジスタ 記載レジスタを追加	
	3.17 キー割り込み機能 64ピン製品に関するチャンネル数の誤記訂正	
	3.17.3 キー割り込みを制御するレジスタ 記載レジスタを追加	

版数	内容	適用箇所
Rev.1.01	3. 17. 3. 2 キー・リターン・モード・レジスタ 0 (KRM0) に注意を追加	第 3 章 マイクロコントローラ部
	3. 21 電圧検出回路 誤記訂正	
	3. 21. 3 電圧検出回路を制御するレジスタ 記載レジスタを追加	
	3. 21. 3 電圧検出回路制御するレジスタ ユーザ・オプション・バイト (000C1H/010C1H) に関する誤記訂正	
	3. 22. 3 安全機能の動作 記載レジスタを追加	
	3. 24. 2 ユーザ・オプション・バイトのフォーマット ユーザ・オプション・バイト (000C1H/010C1H) に関する誤記訂正	
	3. 25 フラッシュ・メモリを追加	
	3. 26. 1 E1 オンチップデバッキングエミュレータと RL78/G1E の接続を追加	
Rev.1.01	4. 1. 1 コンフィギュラブル・アンプの機能概要 基準電圧に関する説明文を追加	第 4 章 アナログ部
	4. 1. 3 コンフィギュラブル・アンプを制御するレジスタ 記載レジスタを変更	
	4. 2. 1 ゲイン調整アンプの機能概要 基準電圧に関する説明文を追加	
	4. 2. 3 ゲイン調整アンプを制御するレジスタ 記載レジスタを変更	
	4. 3. 1 D/A コンバータ アナログ出力電圧値の計算式を修正	
	4. 4. 1 ローパス・フィルタの機能概要 基準電圧に関する説明文を追加	
	4. 4. 3 ローパス・フィルタを制御するレジスタ 記載レジスタを変更	
	4. 5. 1 ハイパス・フィルタの機能概要 基準電圧に関する説明文を追加	
	4. 5. 3 ハイパス・フィルタを制御するレジスタ 記載レジスタを変更	
	4. 8. 3 基準電圧生成回路を制御レジスタに関する説明文を変更	
	4. 9. 1 SPI の機能 注意を変更	
	表 4-11 注を追加	
	4. 10. 1 アナログ・リセット機能の概要 説明文の修正と追加	
	表 4-13 表の更新, 及び, 注の修正	
	4. 10. 2 (1) リセット制御レジスタ (RC) に関する説明文の修正, 注の修正, 注意を追加	
	ターゲットを削除	
	Rev.1.01	
5. 1. 3 絶対最大定格 (マイクロコントローラ部, アナログ部共通) を追加		
5. 2. 1. 1 X1 発振回路特性の説明, 注を変更		
5. 2. 2. 1 端子特性の注 3 を変更		
5. 2. 2. 1 端子特性の, ハイ・レベル出力電流/電圧, ロウ・レベル出力電流/電圧に関し, P70-P73 に対する規格を新規に追加		
5. 2. 2. 2 電源電流特性の説明, 注を変更		
5. 2. 2. 2 電源電流特性 $I_{DD3}$ ( $T_A=+50^{\circ}C$ ) の TYP. 値を更新 (規格修正)		
5. 2. 2. 2 電源電流特性 低速オンチップ・オシレータの動作電流 ( $I_{IL}$ ) を追加		
5. 2. 3 AC 特性に説明を追加, 備考を変更		
5. 2. 4. 1 シリアル・アレイ・ユニット (1) を変更		
5. 2. 4. 1 シリアル・アレイ・ユニット (2) を変更		
5. 2. 4. 1 シリアル・アレイ・ユニット (3) を変更		
5. 2. 4. 1 シリアル・アレイ・ユニット (4) を変更		
5. 2. 4. 1 シリアル・アレイ・ユニット (5) を変更		
5. 2. 4. 1 シリアル・アレイ・ユニット (6) を変更		

版 数	内 容	適用箇所
Rev.1.01	5.2.4.1 シリアル・アレイ・ユニット (7) を変更	第 5 章 電気的特性
	5.2.4.1 シリアル・アレイ・ユニット (8) を変更	
	5.2.4.1 シリアル・アレイ・ユニット (9) を変更	
	5.2.4.1 シリアル・アレイ・ユニット (10) を変更	
	5.2.5.1 A/D コンバータ特性 入力チャンネルに内部基準電圧, 温度センサ出力電圧を追加	
	5.2.5.2 温度センサ/内部基準電圧出力特性 内部基準電圧の略号を変更	
	5.2.5.3 POR 回路特性に注を追加	
	5.2.5.4 LVD 回路特性の誤記訂正	
	5.2.5.5 電源電圧立ち上がり傾き特性 傾きを変更	
	5.2.6 データ・メモリ STOP モード低電源電圧データ保持特性を変更	
	5.2.7 フラッシュ・メモリ・プログラミング特性 注を追加	
	5.2.8 フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング・スペック 説明文を修正	
	5.3.3.2 ゲイン調整アンプ特性 製品別の特性を追加	
	5.3.3.2 ゲイン調整アンプ特性 (2) 80 ピン製品 CLK_SYNCK 入力電圧の規格を追加	
	5.3.3.4 ローパス・フィルタ回路特性 誤記訂正, CLK_LPF 入力電圧の規格を追加	
	5.3.3.5 ハイパス・フィルタ回路特性 誤記訂正, CLK_HPF 入力電圧の規格を追加	
	Rev.0.04	
SPI インターフェースを SPI に呼称変更		
1.4 端子接続図 (Top view) の誤記訂正		第 1 章 概説
1.4.3 端子名称 マイクロコントローラ部の誤記訂正 (SCLA0, SCLA1 を削除)		
1.5 ブロック図の誤記訂正		
2.2 アナログ部端子機能 機能名称に関する誤記訂正, 及び, 機能説明に関する記述の修正		第 2 章 端子機能
2.3.4 ANI30 端子の誤記訂正 (D/A コンバータ→A/D コンバータに修正)		
2.3.43 I.C 端子に関する記述の修正		
3.1 RL78/G1A (64 ピン) との機能比較表に備考欄を追加		第 3 章 マイクロコントローラ機能
3.2 特殊機能レジスタ, 拡張特殊機能レジスタに関する, RL78/G1A との比較一覧の修正 (違いのないレジスタを消去)		
3.3.3 異電位 (1.8V 系, 2.5V 系, 3V 系) 外部デバイスとの接続方法について, 説明文と(2) 設定手順の修正		
3.4.4 発振子と発振回路定数を追加		
表 3-14 割り込み要因一覧の表の誤記訂正		
3.13 安全機能を追加		
5.1 コンフィギュラブル・アンプの機能概要, 及び, 5.3 コンフィギュラブル・アンプを制御するレジスタについて, 非反転アンプの増幅率修正		第 5 章 コンフィギュラブル・アンプ
8.1 ローパス・フィルタの機能概要を変更		第 8 章 ローパス・フィルタ
9.1 ハイパス・フィルタの機能概要を変更		第 9 章 ハイパス・フィルタ
11.3 LDO 出力電圧制御レジスタ (LDOC) の設定に注を追加	第 11 章 出力電圧可変レギュレータ	

版 数	内 容	適用箇所
Rev.0.04	15.3.2 $I_{m124}$ の TYP. 値の更新 (規格修正)	第 15 章 電気的特性 (ターゲット)
	15.3.2 各電流の定義について、回路動作状態の早見表を追加	
	15.3.3 各機能の電気的特性における誤記訂正、及び、規格値の更新 (規格修正)	
	15.3.3 各機能の電気的特性 (3) D/A コンバータの消費電流の記載変更、及び、消費電流に関する注と、微分非直線性誤差に関する注を追加	
	15.3.3 各機能の電気的特性 (4) ローパス・フィルタのクロックの定義を追加	
	15.3.3 各機能の電気的特性 (5) ハイパス・フィルタのクロックの定義を追加	
	15.3.3 各機能の電気的特性 (7) 出力電圧可変レギュレータの項目の誤記訂正、及び、ドロップアウト電圧に注を追加	
	15.3.3 各機能の電気的特性 (9) SPI の項目の誤記訂正	
Rev.0.03	1.5.2 RL78/G1E (80 ピン) のブロック図を変更	第 1 章 概説
	表 3-12 A/D コンバータのアナログ入力チャネルを変更	第 15 章 電気的特性 (ターゲット)
	15.1 絶対最大定格の定格値を変更	
	15.2.1 (1) X1 発振回路特性に変更	
	15.2.2 (2) 電源電流特性の条件、規格値を変更	
	15.2.2 (3) 周辺機能の動作電流に SNOOZE 動作電流を追加	
	15.2.3 AC 特性の AC タイミング測定点~RESET 入力タイミングを追加	
	簡易 I <sup>2</sup> C モード接続図 (異電位通信時) の備考 4 を削除	
	15.2.5.1 A/D コンバータ特性の区分を追加	
	15.2.5.2 温度センサ特性の規格値を変更	
	15.3.3 POR 回路特性の規格値を変更	
	15.3.2 電源電流特性の条件、規格値を変更	
	15.3.3 (7) 出力電圧可変レギュレータの条件を変更	
	15.3.3 (9) SPI インタフェースの条件を変更	
	Rev.0.02	
15.2.4. (7) 異電位通信時の規格値を変更		
15.2.5 (1) A/D コンバータ特性の規格値を変更		
15.2.10 フラッシュ・メモリ・プログラマ特性の条件、規格値を追加		
15.3.2 電源電流特性の条件、規格値を変更		
15.3.3 (1) コンフィギュラブル・アンプ部特性にセットリング・タイム追加、条件と規格値を変更		
15.3.3 (2) ゲイン調整アンプの条件、規格値を変更		
15.3.3 (3) D/A コンバータの条件、規格値を変更		
15.3.3 (4) ローパス・フィルタの条件、規格値を変更		
15.3.3 (5) 温度センサ回路の条件、規格値を変更		
15.3.3 (7) 出力電圧可変レギュレータの条件、規格値を変更		
15.3.3 (9) SPI インタフェースの条件、規格値を変更		

---

RL78/G1E

ユーザーズマニュアル ハードウェア編

発行年月日 2014年03月31日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部1753

---



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>



RL78/G1E